

M16C/6S1 グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

M16C ファミリ / M16C/60 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイクロコンピュータのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイクロコンピュータを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用する場合は、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意事項で構成されています。

本マイクロコンピュータは、注意事項を十分に確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して、訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細はこのマニュアルの本文で確認してください。

M16C/6S1 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/6S1グループ データシート	
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリ マップ、周辺機能の仕様、電気的特性、 タイミング)と動作説明 周辺機能の使用方法はアプリケーション ノートを参照してください。	M16C/6S1グループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	M16C/60、M16C/20、 M16C/Tinyシリーズ ユーザーズマニュアル ソフトウェア編	RJJ09B0136
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの 作成方法	ルネサス エレクトロニクスホームページに 掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメントなどに関する 速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0 レジスタのSRSTビット

P3_5 端子、VCC 端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数 : 11b

16進数 : EFA0h

10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

			0	1	×	○			

*1
シンボル
・・・

アドレス
・・・h番地

リセット後の値
・・・b

ビットシンボル	ビット名	機能	RW
・・・0	・・・ビット	b1 b0 0 0:・・・ 0 1:・・・ 1 0:設定しないでください 1 1:・・・	RW
・・・1		RW	
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“1”にしてください	RW
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0:・・・ 1:・・・	RO

*1
空白 : 用途に応じて“0”または“1”にしてください。
0 : “0”にしてください。
1 : “1”にしてください。
× : 何も配置されていないビットです。

*2
RW : 読むとビットの値が読めます。書くと有効データになります。
RO : 読むとビットの値が読めます。書いた値は無効になります。
WO : 書くと有効データになります。ビットの値は読めません(読んだ場合は不定値が読めます)。
— : 何も配置されていないビットです。

*3
・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます。

*4
・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
・設定しないでください
設定した場合の動作は保証されません。
・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ADC	Analog-to-digital converter	AD変換器
AES	Advanced Encryption Standard	米国政府標準として採用された共通鍵暗号アルゴリズム
AFE	Analog Front End	アナログフロントエンド
ARIB	Association of Radio Industries and Businesses	社団法人 電波産業会
BGR	Band Gap Reference	—
BPF	Band Pass Filter	帯域通過フィルタ
bps	bits per second	転送速度を表す単位、ビット/秒
CCITT	Comite Consultatif International Telegraphique et Telephonique	国際電信電話諮問委員会
CENELEC	Comite Europeen de Normalisation Electrotechnique	欧州電気標準化委員会
CRC	Cyclic Redundancy Check	巡回冗長検査
DAC	Digital-to-analog converter	DA変換器
DCSK	Differential Code Shift Keying	差動符号化、偏移変調
DLL	Data Link Layer	データリンク層
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
FCC	Federal Communications Commission	連邦通信委員会
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
LPF	Low Pass Filter	低域通帯フィルタ
LSB	Least Significant Bit	最下位ビット
MODEM	Modulator-demodulator	変復調器
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PHY	Physical Layer	物理層
PLC	Power Line Communications	高速電力線通信
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VGA	Variable Gain Amplifier	可変利得増幅器

すべての商標および登録商標は、それぞれの所有者に帰属します。

HDMI及びHigh-Definition Multimedia Interfaceは、HDMI Licensing, LLCの商標または登録商標です。

目次

番地別ページ早見表.....	B - 1
1. 概要.....	1
1.1 特長.....	1
1.1.1 機能.....	1
1.2 仕様概要.....	2
1.3 製品一覧.....	4
1.4 ブロック図.....	5
1.5 ピン配置図.....	6
1.6 端子機能の説明.....	10
2. 中央演算処理装置.....	13
2.1 データレジスタ(R0、R1、R2、R3).....	13
2.2 アドレスレジスタ(A0、A1).....	13
2.3 フレームベースレジスタ(FB).....	14
2.4 割り込みテーブルレジスタ(INTB).....	14
2.5 プログラムカウンタ(PC).....	14
2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP).....	14
2.7 スタティックベースレジスタ(SB).....	14
2.8 フラグレジスタ(FLG).....	14
2.8.1 キャリフラグ(Cフラグ).....	14
2.8.2 デバッグフラグ(Dフラグ).....	14
2.8.3 ゼロフラグ(Zフラグ).....	14
2.8.4 サインフラグ(Sフラグ).....	14
2.8.5 レジスタバンク指定フラグ(Bフラグ).....	14
2.8.6 オーバフローフラグ(Oフラグ).....	14
2.8.7 割り込み許可フラグ(Iフラグ).....	14
2.8.8 スタックポインタ指定フラグ(Uフラグ).....	15
2.8.9 プロセッサ割り込み優先レベル(IPL).....	15
2.8.10 予約領域.....	15
3. アドレス空間.....	16
3.1 アドレス空間.....	16
3.2 メモリ配置.....	16
4. SFR.....	18
4.1 SFR.....	18
4.2 SFR使用上の注意事項.....	34
4.2.1 レジスタ設定時の注意事項.....	34
5. プロテクト.....	35
5.1 概要.....	35
5.2 レジスタの説明.....	35
5.2.1 プロテクトレジスタ (PRCR).....	35
5.3 プロテクト使用上の注意事項.....	37
6. リセット.....	38
6.1 概要.....	38
6.2 レジスタの説明.....	40

6.2.1	プロセッサモードレジスタ0 (PM0).....	40
6.2.2	リセット要因判別レジスタ (RSTFR).....	41
6.3	オプション機能選択領域の説明.....	42
6.3.1	オプション機能選択1番地 (OFS1).....	42
6.4	動作説明.....	44
6.4.1	リセット後の状態.....	44
6.4.2	ハードウェアリセット.....	46
6.4.3	電圧監視0リセット.....	47
6.4.4	発振停止検出リセット.....	47
6.4.5	ウォッチドッグタイマリセット.....	47
6.4.6	ソフトウェアリセット.....	47
6.4.7	コールド/ウォームスタート判定機能.....	48
6.5	リセット使用上の注意事項.....	49
6.5.1	電源立ち上がり勾配.....	49
6.5.2	OSDRビット(発振停止検出リセット検出フラグ).....	49
6.5.3	VCC1 < Vdet0の場合のハードウェアリセット.....	49
6.5.4	PLLクロックの発振開始.....	50
7.	電圧検出回路.....	51
7.1	概要.....	51
7.2	レジスタの説明.....	52
7.2.1	電圧検出回路動作許可レジスタ (VCR2).....	52
7.2.2	電圧監視0回路制御レジスタ (VWOC).....	53
7.3	オプション機能選択領域の説明.....	54
7.3.1	オプション機能選択1番地 (OFS1).....	54
7.4	動作説明.....	55
7.4.1	電圧検出0回路.....	55
8.	クロック発生回路.....	56
8.1	概要.....	56
8.2	レジスタの説明.....	58
8.2.1	プロセッサモードレジスタ0 (PM0).....	59
8.2.2	システムクロック制御レジスタ0 (CM0).....	60
8.2.3	システムクロック制御レジスタ1 (CM1).....	62
8.2.4	発振停止検出レジスタ (CM2).....	64
8.2.5	周辺クロック選択レジスタ (PCLKR).....	66
8.2.6	PLL制御レジスタ0 (PLC0).....	67
8.2.7	PLLファンクションロック制御レジスタ (PLCF).....	69
8.2.8	サブクロック分周制御レジスタ (SCM0).....	70
8.2.9	周辺クロック停止レジスタ1 (PCLKSTP1).....	70
8.2.10	プロセッサモードレジスタ2(PM2).....	71
8.3	クロック発生回路で生成するクロック.....	72
8.3.1	メインクロック.....	72
8.3.2	PLLクロック.....	73
8.3.3	125kHz オンチップオシレータクロック (fOCO-S).....	74
8.3.4	サブクロック (fC).....	75
8.4	CPUクロックと周辺機能クロック.....	76
8.4.1	CPUクロックとBCLK.....	76
8.4.2	周辺機能クロック (f1、fOCO-S、fC32、fC).....	76

8.5	クロック出力機能	78
8.6	システムクロック保護機能	78
8.7	発振停止、再発振検出機能	79
8.7.1	CM27ビットが“0”(発振停止検出リセット)の場合の動作	79
8.7.2	CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作	80
8.7.3	発振停止、再発振検出機能使用方法	81
8.8	割り込み	81
8.9	クロック発生回路使用上の注意事項	82
8.9.1	発振子を用いた発振回路	82
8.9.2	発振回路のノイズ対策	83
8.9.3	発振停止、再発振検出機能	85
8.9.4	PLL周波数シンセサイザ使用時	85
9.	パワーコントロール	86
9.1	概要	86
9.2	レジスタの説明	86
9.2.1	フラッシュメモリ制御レジスタ0 (FMR0)	87
9.2.2	フラッシュメモリ制御レジスタ2 (FMR2)	88
9.3	クロック	89
9.3.1	通常動作モード	89
9.3.2	モード遷移手順	93
9.3.3	ウェイトモード	96
9.3.4	ストップモード	98
9.4	フラッシュメモリのパワーコントロール	100
9.4.1	フラッシュメモリの停止	100
9.4.2	フラッシュメモリの読み出し	101
9.5	消費電力を少なくするためのポイント	103
9.5.1	ポート	103
9.5.2	A/Dコンバータ	103
9.5.3	周辺機能の停止	103
9.5.4	発振駆動能力の切り替え	103
9.6	パワーコントロール使用上の注意	104
9.6.1	CPUクロック	104
9.6.2	ウェイトモード	104
9.6.3	ストップモード	104
9.6.4	低消費電流リードモード	105
9.6.5	スローリードモード	105
10.	プロセッサモード	106
10.1	概要	106
10.2	レジスタの説明	107
10.2.1	プロセッサモードレジスタ0 (PM0)	107
10.2.2	プロセッサモードレジスタ1 (PM1)	108
10.2.3	プログラム2領域制御レジスタ (PRG2C)	109
11.	バス	110
11.1	概要	110
11.2	レジスタの説明	110
11.3	動作説明	111

11.3.1	内部バス	111
11.4	バス使用上の注意	112
11.4.1	データフラッシュ読み出し	112
12.	プログラマブル入出力ポート	113
12.1	概要	113
12.2	入出力ポート、端子の構成	114
12.3	レジスタの説明	122
12.3.1	プルアップ制御レジスタ0 (PUR0)	123
12.3.2	プルアップ制御レジスタ1 (PUR1)	124
12.3.3	プルアップ制御レジスタ2 (PUR2)	125
12.3.4	ポート制御レジスタ (PCR)	126
12.3.5	ポートPiレジスタ (Pi) (i=0~10)	127
12.3.6	ポートPi方向レジスタ (PDi) (i=0~10)	128
12.3.7	NMIデジタルフィルタレジスタ (NMIDF)	129
12.4	周辺機能の入出力	130
12.4.1	周辺機能入出力とポート方向ビット	130
12.4.2	周辺機能入出力の優先順位	130
12.4.3	NMIデジタルフィルタ	131
12.4.4	CNVSS端子	131
12.5	未使用端子の処理	132
12.6	プログラマブル入出力ポート使用上の注意事項	133
12.6.1	SI/O3、SI/O4の影響	133
13.	割り込み	134
13.1	概要	134
13.2	レジスタの説明	135
13.2.1	プロセッサモードレジスタ2 (PM2)	137
13.2.2	割り込み制御レジスタ1 (TB5IC、TB4IC/U1BCNIC、TB3IC/U0BCNIC、BCNIC、DM0IC~DM3IC、ADIC、S0TIC~S2TIC、S0RIC~S2RIC、TA0IC~TA4IC、TB0IC~TB2IC、U5BCNIC、S5TIC、S5RIC~S7RIC、U6BCNIC/RTCTIC、S6TIC/RTCCIC、U7BCNIC、S7TIC、IICIC、SCLDAIC)	138
13.2.3	割り込み制御レジスタ2 (INT7IC、INT6IC、INT3IC、S4IC/INT5IC、S3IC/INT4IC、KUPIC、INT0IC~INT2IC)	139
13.2.4	割り込み要因選択レジスタ3 (IFSR3A)	140
13.2.5	割り込み要因選択レジスタ2 (IFSR2A)	141
13.2.6	割り込み要因選択レジスタ (IFSR)	142
13.2.7	アドレス一致割り込み許可レジスタ (AIER)	143
13.2.8	アドレス一致割り込み許可レジスタ2 (AIER2)	143
13.2.9	アドレス一致割り込みレジスタi (RMADi) (i=0~3)	144
13.2.10	ポート制御レジスタ (PCR)	145
13.2.11	NMIデジタルフィルタレジスタ (NMIDF)	146
13.3	割り込みの分類	147
13.4	ソフトウェア割り込み	148
13.4.1	未定義命令割り込み	148
13.4.2	オーバフロー割り込み	148
13.4.3	BRK割り込み	148
13.4.4	INT命令割り込み	148
13.5	ハードウェア割り込み	149

13.5.1	特殊割り込み	149
13.5.2	周辺機能割り込み	149
13.6	割り込みと割り込みベクタ	150
13.6.1	固定ベクタテーブル	150
13.6.2	可変ベクタテーブル	151
13.7	割り込み制御	153
13.7.1	マスカブル割り込みの制御	153
13.7.2	割り込みシーケンス	154
13.7.3	割り込み応答時間	155
13.7.4	割り込み要求受け付け時のIPLの変化	155
13.7.5	レジスタ退避	156
13.7.6	割り込みルーチンからの復帰	157
13.7.7	割り込み優先順位	157
13.7.8	割り込み優先レベル判定回路	157
13.7.9	多重割り込み	159
13.8	INT割り込み	159
13.9	NMI割り込み	160
13.10	キー入力割り込み	160
13.11	アドレス一致割り込み	162
13.12	ノンマスカブル割り込み要因の判別	163
13.13	割り込み使用上の注意事項	164
13.13.1	00000h番地の読み出し	164
13.13.2	SPの設定	164
13.13.3	NMI割り込み	164
13.13.4	割り込み要因の変更	165
13.13.5	割り込み制御レジスタの変更	166
13.13.6	割り込み制御レジスタを変更する命令	166
13.13.7	INT割り込み	166
14.	ウォッチドッグタイマ	167
14.1	概要	167
14.2	レジスタの説明	168
14.2.1	ウォッチドッグタイマ検出レジスタ (VW2C)	168
14.2.2	カウントソース保護モードレジスタ (CSPR)	169
14.2.3	ウォッチドッグタイマリフレッシュレジスタ (WDTR)	170
14.2.4	ウォッチドッグタイマスタートレジスタ (WDTS)	170
14.2.5	ウォッチドッグタイマ制御レジスタ (WDC)	171
14.3	オプション機能選択領域の説明	172
14.3.1	オプション機能選択1番地 (OFS1)	172
14.4	動作説明	173
14.4.1	カウントソース保護モード無効時	173
14.4.2	カウントソース保護モード有効時	174
14.5	割り込み	175
14.6	ウォッチドッグタイマ使用上の注意事項	176
15.	DMAC	177
15.1	概要	177
15.2	レジスタの説明	179
15.2.1	DMAiソースポインタ (SARi) (i=0~3)	180

15.2.2	DMAi ディスティネーションポインタ (DARi) (i=0~3)	180
15.2.3	DMAi 転送カウンタ (TCRi) (i=0~3)	181
15.2.4	DMAi 制御レジスタ (DMiCON) (i=0~3)	182
15.2.5	DMAi 要因選択レジスタ (DMiSL) (i=0~3)	183
15.3	動作説明	186
15.3.1	DMA 許可	186
15.3.2	DMA 要求	186
15.3.3	転送サイクル	187
15.3.4	DMAC 転送サイクル数	189
15.3.5	単転送モード	190
15.3.6	リピート転送モード	191
15.3.7	チャンネルの優先順位とDMA 転送タイミング	192
15.4	割り込み	193
15.5	DMAC 使用上の注意事項	194
15.5.1	DMiCON レジスタのDMAE ビットへの書き込み (i=0~3)	194
15.5.2	DMA 要求要因の変更	194
16.	タイマ A	195
16.1	概要	195
16.2	レジスタの説明	199
16.2.1	周辺クロック選択レジスタ (PCLKR)	200
16.2.2	時計用プリスケアラリセットフラグ (CPSRF)	200
16.2.3	周辺クロック停止レジスタ 1 (PCLKSTP1)	201
16.2.4	タイマ A カウントソース選択レジスタ i (TACSi) (i=0~2)	202
16.2.5	16 ビットパルス幅変調モード機能選択レジスタ (PWMFS)	203
16.2.6	タイマ A 波形出力機能選択レジスタ (TAPOFS)	204
16.2.7	タイマ A 出力波形変更許可レジスタ (TAOW)	205
16.2.8	タイマ Ai レジスタ (TAi) (i=0~4)	206
16.2.9	タイマ Ai-1 レジスタ (TAi1) (i=1, 2, 4)	207
16.2.10	カウント開始フラグ (TABSR)	208
16.2.11	ワンショット開始フラグ (ONSF)	209
16.2.12	トリガ選択レジスタ (TRGSR)	210
16.2.13	アップダウンフラグ (UDF)	211
16.2.14	タイマ Ai モードレジスタ (TAiMR) (i=0~4)	212
16.3	動作説明	213
16.3.1	複数モードに関わる共通事項	213
16.3.2	タイマモード	215
16.3.3	イベントカウンタモード (二相パルス信号処理を使用しない場合)	219
16.3.4	イベントカウンタモード (二相パルス信号処理を使用する場合)	223
16.3.5	ワンショットタイマモード	228
16.3.6	パルス幅変調モード (PWM モード)	232
16.3.7	プログラマブル出力モード (タイマ A1、A2、A4)	237
16.4	割り込み	241
16.5	タイマ A 使用上の注意事項	242
16.5.1	複数モードに関わる共通事項	242
16.5.2	タイマ A (タイマモード)	242
16.5.3	タイマ A (イベントカウンタモード)	242
16.5.4	タイマ A (ワンショットタイマモード)	243
16.5.5	タイマ A (パルス幅変調モード)	244

16.5.6	タイマA (プログラマブル出力モード).....	245
17.	タイマB	246
17.1	概要.....	246
17.2	レジスタの説明.....	249
17.2.1	周辺クロック選択レジスタ (PCLKR).....	250
17.2.2	時計用プリスケアラリセットフラグ (CPSRF)	251
17.2.3	周辺クロック停止レジスタ 1 (PCLKSTP1).....	251
17.2.4	タイマBi レジスタ (TBi) (i=0~5).....	252
17.2.5	タイマBi-1 レジスタ (TBi1) (i=0~5)	253
17.2.6	パルス周期/幅測定モード機能選択レジスタ i (PPWFSi) (i=1, 2).....	254
17.2.7	タイマB カウントソース選択レジスタ i (TBCSi) (i=0~3)	255
17.2.8	カウント開始フラグ (TABSR) タイマB3, 4, 5 カウント開始フラグ (TBSR).....	256
17.2.9	タイマBi モードレジスタ (TBiMR) (i=0~5).....	257
17.3	動作説明	258
17.3.1	複数モードに関わる共通事項	258
17.3.2	タイマモード	260
17.3.3	イベントカウンタモード	262
17.3.4	パルス周期測定モード、パルス幅測定モード	265
17.4	割り込み	270
17.5	タイマB 使用上の注意事項	271
17.5.1	複数モードに関わる共通事項	271
17.5.2	タイマB (タイマモード).....	271
17.5.3	タイマB (イベントカウンタモード).....	271
17.5.4	タイマB (パルス周期測定/パルス幅測定モード).....	272
18.	リアルタイムクロック	273
18.1	概要.....	273
18.2	レジスタの説明.....	275
18.2.1	周辺クロック停止レジスタ 1 (PCLKSTP1).....	276
18.2.2	秒データレジスタ (TRHSEC)	277
18.2.3	分データレジスタ (TRHMIN).....	278
18.2.4	時データレジスタ (TRHHR)	279
18.2.5	曜日データレジスタ (TRHWK)	280
18.2.6	日データレジスタ (TRHDY).....	281
18.2.7	月データレジスタ (TRHMON)	282
18.2.8	年データレジスタ (TRHYR)	283
18.2.9	タイマRH 制御レジスタ (TRHCR).....	284
18.2.10	タイマRH カウントソース選択レジスタ (TRHCSR).....	286
18.2.11	時計誤差補正レジスタ (TRHADJ)	287
18.2.12	タイマRH 割り込みフラグレジスタ (TRHIFR)	288
18.2.13	タイマRH 割り込み許可レジスタ (TRHIER).....	289
18.2.14	アラーム分レジスタ (TRHAMN)	290
18.2.15	アラーム時レジスタ (TRHAHR)	291
18.2.16	アラーム曜日レジスタ (TRHAWK).....	292
18.2.17	タイマRH プロテクトレジスタ (TRHPRC).....	293
18.3	動作説明	294
18.3.1	基本動作	294

18.3.2	アラーム機能	296
18.3.3	秒調整機能	297
18.3.4	時計誤差補正機能	298
18.3.5	クロック出力	299
18.4	割り込み	300
18.5	リアルタイムクロック使用上の注意事項	301
18.5.1	カウント開始、停止	301
18.5.2	レジスタ設定(時刻データ他).....	301
18.5.3	レジスタ設定(データ).....	301
18.5.4	リアルタイムクロックモードの時刻読み出し手順	302
19.	シリアルインタフェースUARTi (i=0~2, 5~7).....	303
19.1	概要	303
19.2	レジスタの説明	308
19.2.1	周辺クロック選択レジスタ (PCLKR).....	310
19.2.2	周辺クロック停止レジスタ 1 (PCLKSTP1).....	311
19.2.3	UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7)	312
19.2.4	UARTiビットレートレジスタ (UiBRG) (i=0~2, 5~7)	313
19.2.5	UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7)	313
19.2.6	UARTi送受信制御レジスタ0 (UiC0) (i=0~2, 5~7)	314
19.2.7	UARTi送受信制御レジスタ1 (UiC1) (i=0~2, 5~7)	316
19.2.8	UARTi受信バッファレジスタ (UiRB) (i=0~2, 5~7)	318
19.2.9	UART送受信制御レジスタ2 (UCON).....	320
19.2.10	UARTi特殊モードレジスタ4 (UiSMR4) (i=0~2, 5~7).....	321
19.2.11	UARTi特殊モードレジスタ3 (UiSMR3) (i=0~2, 5~7).....	323
19.2.12	UARTi特殊モードレジスタ2 (UiSMR2) (i=0~2, 5~7).....	324
19.2.13	UARTi特殊モードレジスタ (UiSMR) (i=0~2, 5~7).....	325
19.3	動作説明	326
19.3.1	クロック同期形シリアルI/Oモード	326
19.3.2	クロック非同期形シリアルI/O (UART)モード	335
19.3.3	特殊モード1 (I ² Cモード).....	345
19.3.4	特殊モード2	361
19.3.5	特殊モード3 (IEモード).....	365
19.3.6	特殊モード4 (SIMモード) (UART2)	367
19.4	割り込み	372
19.4.1	割り込み関連レジスタ	372
19.4.2	受信割り込み	373
19.5	シリアルインタフェースUARTi (i=0~2, 5, 6) 使用上の注意事項	374
19.5.1	複数モードに関わる共通事項	374
19.5.2	クロック同期形シリアルI/Oモード	374
19.5.3	特殊モード(I ² Cモード).....	376
19.5.4	特殊モード4(SIMモード)	378
20.	シリアルインタフェースSI/O3、SI/O4.....	379
20.1	概要	379
20.2	レジスタの説明	381
20.2.1	周辺クロック選択レジスタ (PCLKR).....	382
20.2.2	周辺クロック停止レジスタ 1 (PCLKSTP1).....	383
20.2.3	SI/Oi送受信レジスタ (SiTRR) (i=3, 4).....	383

20.2.4	SI/Oi制御レジスタ (SiC) (i=3, 4).....	384
20.2.5	SI/Oiビットレートレジスタ (SiBRG) (i=3, 4).....	385
20.2.6	SI/O3、4制御レジスタ2 (S34C2).....	385
20.3	動作説明.....	386
20.3.1	基本動作.....	386
20.3.2	CLK極性選択.....	386
20.3.3	LSBファースト、MSBファースト選択.....	387
20.3.4	内部クロック.....	388
20.3.5	送信後のSOUTi状態選択.....	389
20.3.6	外部クロック.....	390
20.3.7	SOUTi端子.....	390
20.3.8	SOUTi初期値設定機能.....	391
20.4	割り込み.....	392
20.5	シリアルインタフェースSI/O3、SI/O4使用上の注意事項.....	393
20.5.1	SOUTi出力禁止時のSOUTi端子のレベル.....	393
20.5.2	外部クロックの制御.....	393
20.5.3	レジスタアクセス.....	393
20.5.4	外部クロック使用時のレジスタアクセス.....	393
20.5.5	SiTRRレジスタアクセス.....	393
20.5.6	内部クロック使用時の端子の機能切り替え.....	393
20.5.7	外部クロック選択時のリセット後の動作.....	393
21.	マルチマスタI ² C-busインタフェース.....	394
21.1	概要.....	394
21.2	レジスタの説明.....	397
21.2.1	周辺クロック選択レジスタ (PCLKR).....	398
21.2.2	周辺クロック停止レジスタ1 (PCLKSTP1).....	399
21.2.3	I2C0データシフトレジスタ (S00).....	400
21.2.4	I2C0アドレスレジスタi (S0D0~S0D2) (i=0~2).....	401
21.2.5	I2C0制御レジスタ0 (S1D0).....	402
21.2.6	I2C0クロック制御レジスタ (S20).....	405
21.2.7	I2C0スタート/ストップコンディション制御レジスタ (S2D0).....	408
21.2.8	I2C0制御レジスタ1(S3D0).....	409
21.2.9	I2C0制御レジスタ2 (S4D0).....	413
21.2.10	I2C0ステータスレジスタ0 (S10).....	415
21.2.11	I2C0ステータスレジスタ1 (S11).....	420
21.3	動作説明.....	421
21.3.1	クロック.....	421
21.3.2	スタートコンディション発生方法.....	424
21.3.3	ストップコンディション発生方法.....	426
21.3.4	リスタートコンディションの発生.....	427
21.3.5	スタートコンディション重複防止機能.....	428
21.3.6	アービトレーションロスト.....	430
21.3.7	スタート/ストップコンディション検出.....	432
21.3.8	スレーブアドレス/データ送受信完了時の動作.....	435
21.3.9	タイムアウト検出.....	436
21.3.10	データ送受信例.....	437
21.4	割り込み.....	442
21.5	マルチマスタI ² C-busインタフェース使用上の注意事項.....	445

21.5.1	CPUクロックの制限	445
21.5.2	レジスタアクセス	445
21.5.3	ストップコンディション生成	445
21.5.4	“L”レベル/“H”レベル入力電圧、“L”レベル出力電圧	446
22.	A/Dコンバータ	448
22.1	概要	448
22.2	レジスタの説明	450
22.2.1	周辺クロック停止レジスタ 1 (PCLKSTP1)	451
22.2.2	ポート制御レジスタ (PCR)	452
22.2.3	断線検知アシスト機能レジスタ (AINRST)	453
22.2.4	ADレジスタ i (AD i) ($i=0\sim7$)	454
22.2.5	A/D制御レジスタ2 (ADCON2)	455
22.2.6	A/D制御レジスタ0 (ADCON0)	456
22.2.7	A/D制御レジスタ1 (ADCON1)	458
22.3	動作説明	459
22.3.1	A/D変換サイクル数	459
22.3.2	A/D変換開始条件	461
22.3.3	A/D変換結果	462
22.3.4	拡張アナログ入力端子	462
22.3.5	消費電流低減機能	462
22.3.6	A/D断線検出アシスト機能	462
22.4	動作モード	465
22.4.1	単発モード	465
22.4.2	繰り返しモード	467
22.4.3	単掃引モード	469
22.4.4	繰り返し掃引モード0	471
22.4.5	繰り返し掃引モード1	473
22.5	外部センサ	476
22.6	割り込み	477
22.7	A/Dコンバータ使用上の注意事項	478
22.7.1	アナログ入力選択	478
22.7.2	端子の処理	478
22.7.3	レジスタアクセス	478
22.7.4	A/D変換開始	478
22.7.5	A/D動作モードの変更	478
22.7.6	強制終了時の状態	479
22.7.7	A/D断線検出アシスト機能	479
22.7.8	A/D変換終了の検出方法	479
22.7.9	ϕ AD	479
22.7.10	繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1	480
23.	CRC演算回路	481
23.1	概要	481
23.2	レジスタの説明	482
23.2.1	SFR監視アドレスレジスタ (CRCSAR)	482
23.2.2	CRCモードレジスタ (CRCMR)	483
23.2.3	CRCデータレジスタ (CRCD)	483
23.2.4	CRCインプットレジスタ (CRCIN)	483

23.3	動作説明.....	484
23.3.1	基本動作.....	484
23.3.2	SFR アクセス監視機能.....	484
24.	フラッシュメモリ.....	487
24.1	概要.....	487
24.2	メモリ配置.....	488
24.3	レジスタの説明.....	489
24.3.1	フラッシュメモリ制御レジスタ0 (FMR0).....	489
24.3.2	フラッシュメモリ制御レジスタ1 (FMR1).....	492
24.3.3	フラッシュメモリ制御レジスタ2 (FMR2).....	493
24.3.4	フラッシュメモリ制御レジスタ3 (FMR3).....	494
24.3.5	フラッシュメモリ制御レジスタ6 (FMR6).....	495
24.3.6	フラッシュメモリ制御レジスタ7 (FMR7).....	496
24.4	オプション機能選択領域の説明.....	497
24.4.1	オプション機能選択1番地 (OFS1).....	498
24.5	フラッシュメモリ書き換え禁止機能.....	499
24.6	ブートモード.....	499
24.7	ユーザブートモード.....	500
24.7.1	ユーザブート機能.....	500
24.8	CPU書き換えモード.....	504
24.8.1	動作速度.....	505
24.8.2	データ保護機能.....	505
24.8.3	サスペンド機能.....	506
24.8.4	ソフトウェアコマンド(EW0モード).....	507
24.8.5	ソフトウェアコマンド(EW1モード).....	508
24.8.6	ステータスレジスタ.....	516
24.8.7	EW0モード.....	519
24.8.8	EW1モード.....	525
24.9	標準シリアル入出力モード.....	531
24.9.1	IDコードチェック機能.....	532
24.9.2	強制イレーズ機能.....	533
24.9.3	標準シリアル入出力モード禁止機能.....	533
24.9.4	標準シリアル入出力モード1.....	534
24.9.5	標準シリアル入出力モード2.....	536
24.10	パラレル入出力モード.....	537
24.10.1	ROMコードプロテクト機能.....	537
24.11	フラッシュメモリ使用上の注意事項.....	538
24.11.1	OFS1番地、IDコード格納番地.....	538
24.11.2	データフラッシュの読み出し.....	538
24.11.3	CPU書き換えモード.....	538
24.11.4	ユーザブート.....	541
24.11.5	EW1モード.....	541
25.	PLCモデムコア.....	542
25.1	概要.....	542
25.2	PLCモデムコアとMCUとの接続について.....	543
25.3	PLC部のレジスタについて.....	544

26.	アナログフロントエンド (AFE)	545
26.1	概要	545
26.2	送信線路	546
26.2.1	出力振幅調整	548
26.2.2	短絡保護 (過電流保護回路)	549
26.2.3	外部ラインドライバ使用時の周辺回路	549
26.3	受信経路	550
26.4	その他の回路	551
26.5	実装時の注意事項	552
27.	電気的特性	553
27.1	絶対最大定格	553
27.2	推奨動作条件	554
27.3	A/D変換特性	556
27.4	フラッシュメモリの電気的特性	557
27.5	電圧検出回路、電源回路の電気的特性	560
27.6	発振回路の電気的特性	562
27.7	アナログフロントエンド(AFE)の電気的特性	563
27.8	電気的特性	564
27.9	タイミング必要条件 (周辺機能、他)	566
27.9.1	リセット入力	566
27.9.2	タイマA入力	566
27.9.3	タイマB入力	568
27.9.4	シリアルインタフェース	569
27.9.5	外部割り込みINTi入力	569
27.9.6	マルチマスタI ² C-bus	570
28.	使用上の注意事項	571
28.1	OFS1番地、IDコード格納番地	571
28.2	ノイズに関する注意事項	572
28.3	SFR使用上の注意事項	573
28.3.1	レジスタ設定時の注意事項	573
28.4	プロテクト使用上の注意事項	574
28.5	リセット使用上の注意事項	575
28.5.1	電源立ち上がり勾配	575
28.5.2	OSDRビット(発振停止検出リセット検出フラグ)	575
28.5.3	VCC1 < Vdet0の場合のハードウェアリセット	575
28.5.4	PLLクロックの発振開始	576
28.6	クロック発生回路使用上の注意事項	577
28.6.1	発振子を用いた発振回路	577
28.6.2	発振回路のノイズ対策	578
28.6.3	発振停止、再発振検出機能	580
28.6.4	PLL周波数シンセサイザ使用時	580
28.7	パワーコントロール使用上の注意	581
28.7.1	CPUクロック	581
28.7.2	ウェイトモード	581
28.7.3	ストップモード	581
28.7.4	低消費電流リードモード	582
28.7.5	スローリードモード	582

28.8	バス使用上の注意	583
28.8.1	データフラッシュ読み出し	583
28.9	プログラマブル入出力ポート使用上の注意事項	583
28.9.1	SI/O3、SI/O4の影響	583
28.10	割り込み使用上の注意事項	584
28.10.1	00000h番地の読み出し	584
28.10.2	SPの設定	584
28.10.3	NMI割り込み	584
28.10.4	割り込み要因の変更	585
28.10.5	割り込み制御レジスタの変更	586
28.10.6	割り込み制御レジスタを変更する命令	586
28.10.7	INT割り込み	586
28.11	ウォッチドッグタイマ使用上の注意事項	587
28.12	DMAC使用上の注意事項	588
28.12.1	DMiCONレジスタのDMAEビットへの書き込み(i=0~3)	588
28.12.2	DMA要求要因の変更	588
28.13	タイマA使用上の注意事項	589
28.13.1	複数モードに関わる共通事項	589
28.13.2	タイマA(タイマモード)	589
28.13.3	タイマA(イベントカウンタモード)	589
28.13.4	タイマA(ワンショットタイマモード)	590
28.13.5	タイマA(パルス幅変調モード)	591
28.13.6	タイマA(プログラマブル出力モード)	592
28.14	タイマB使用上の注意事項	593
28.14.1	複数モードに関わる共通事項	593
28.14.2	タイマB(タイマモード)	593
28.14.3	タイマB(イベントカウンタモード)	593
28.14.4	タイマB(パルス周期測定/パルス幅測定モード)	594
28.15	リアルタイムクロック使用上の注意事項	595
28.15.1	カウント開始、停止	595
28.15.2	レジスタ設定(時刻データ他)	595
28.15.3	レジスタ設定(データ)	595
28.15.4	リアルタイムクロックモードの時刻読み出し手順	596
28.16	シリアルインタフェースUARTi(i=0~2, 5~7)使用上の注意事項	597
28.16.1	複数モードに関わる共通事項	597
28.16.2	クロック同期形シリアルI/Oモード	597
28.16.3	特殊モード(I ² Cモード)	599
28.16.4	特殊モード4(SIMモード)	601
28.17	シリアルインタフェースSI/O3、SI/O4使用上の注意事項	602
28.17.1	SOUTi出力禁止時のSOUTi端子のレベル	602
28.17.2	外部クロックの制御	602
28.17.3	レジスタアクセス	602
28.17.4	外部クロック使用時のレジスタアクセス	602
28.17.5	SiTRRレジスタアクセス	602
28.17.6	内部クロック使用時の端子の機能切り替え	602
28.17.7	外部クロック選択時のリセット後の動作	602
28.18	マルチマスタI ² C-busインタフェース使用上の注意事項	603
28.18.1	CPUクロックの制限	603
28.18.2	レジスタアクセス	603

28.18.3	ストップコンディション生成	603
28.18.4	“L”レベル/“H”レベル入力電圧、“L”レベル出力電圧	604
28.19	A/Dコンバータ使用上の注意事項	606
28.19.1	アナログ入力選択	606
28.19.2	端子の処理	606
28.19.3	レジスタアクセス	606
28.19.4	A/D変換開始	606
28.19.5	A/D動作モードの変更	606
28.19.6	強制終了時の状態	607
28.19.7	A/D断線検出アシスト機能	607
28.19.8	A/D変換終了の検出方法	607
28.19.9	φAD	607
28.19.10	繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1	608
28.20	フラッシュメモリ使用上の注意事項	609
28.20.1	OFS1番地、IDコード格納番地	609
28.20.2	データフラッシュの読み出し	609
28.20.3	CPU書き換えモード	609
28.20.4	ユーザブート	612
28.20.5	EW1モード	612
付録1.	外形寸法図	613
索引	614

番地別ページ早見表

掲載ページは最初に出てくるページです。複数回出てくるものは索引を参照してください。

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	40, 59, 107
0005h	プロセッサモードレジスタ1	PM1	108
0006h	システムクロック制御レジスタ0	CM0	60
0007h	システムクロック制御レジスタ1	CM1	62
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	35
000Bh			
000Ch	発振停止検出レジスタ	CM2	64
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	109
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	66, 200, 250, 310, 382, 398
0013h	サブクロック分周制御レジスタ	SCM0	70
0014h			
0015h	時計用プリスケアラセットフラグ	CPSRF	200, 251
0016h	周辺クロック停止レジスタ1	PCLKSTP1	70, 201, 251, 276, 311, 383, 399, 451
0017h			
0018h	リセット要因判別レジスタ	RSTFR	41
0019h			
001Ah	電圧検出回路動作許可レジスタ	VCR2	52
001Bh			
001Ch	PLL制御レジスタ0	PLC0	67
001Dh	PLLファンクションロック制御レジスタ	PLCF	69
001Eh	プロセッサモードレジスタ2	PM2	71, 137
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	53
002Bh			
002Ch	ウォッチドッグタイマ検出レジスタ	VW2C	168
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h	INT7割り込み制御レジスタ	INT7IC	139
0043h	INT6割り込み制御レジスタ	INT6IC	139
0044h	INT3割り込み制御レジスタ	INT3IC	139
0045h	タイマB5割り込み制御レジスタ	TB5IC	138
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	138
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	138
0048h	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	139
0049h	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	139
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	138
004Bh	DMA0割り込み制御レジスタ	DM0IC	138
004Ch	DMA1割り込み制御レジスタ	DM1IC	138
004Dh	キー入力割り込み制御レジスタ	KUPIC	139
004Eh	A/D変換割り込み制御レジスタ	ADIC	138
004Fh	UART2送信割り込み制御レジスタ	S2TIC	138
0050h	UART2受信割り込み制御レジスタ	S2RIC	138
0051h	UART0送信割り込み制御レジスタ	S0TIC	138
0052h	UART0受信割り込み制御レジスタ	S0RIC	138
0053h	UART1送信割り込み制御レジスタ	S1TIC	138
0054h	UART1受信割り込み制御レジスタ	S1RIC	138
0055h	タイマA0割り込み制御レジスタ	TA0IC	138
0056h	タイマA1割り込み制御レジスタ	TA1IC	138
0057h	タイマA2割り込み制御レジスタ	TA2IC	138
0058h	タイマA3割り込み制御レジスタ	TA3IC	138
0059h	タイマA4割り込み制御レジスタ	TA4IC	138
005Ah	タイマB0割り込み制御レジスタ	TB0IC	138
005Bh	タイマB1割り込み制御レジスタ	TB1IC	138
005Ch	タイマB2割り込み制御レジスタ	TB2IC	138
005Dh	INT0割り込み制御レジスタ	INT0IC	139
005Eh	INT1割り込み制御レジスタ	INT1IC	139
005Fh	INT2割り込み制御レジスタ	INT2IC	139
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	138
006Ah	DMA3割り込み制御レジスタ	DM3IC	138
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	138
006Ch	UART5送信割り込み制御レジスタ	S5TIC	138
006Dh	UART5受信割り込み制御レジスタ	S5RIC	138
006Eh	UART6バス衝突検出割り込み制御レジスタ、リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC、RTCTIC	138
006Fh	UART6送信割り込み制御レジスタ、リアルタイムクロックアラーム割り込み制御レジスタ	S6TIC、RTCCIC	138
0070h	UART6受信割り込み制御レジスタ	S6RIC	138
0071h	UART7バス衝突検出割り込み制御レジスタ	U7BCNIC	138
0072h	UART7送信割り込み制御レジスタ	S7TIC	138
0073h	UART7受信割り込み制御レジスタ	S7RIC	138
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
007Ah			
007Bh	I2C-bus インタフェース割り込み制御レジスタ	IICIC	138
007Ch	SCL/SDA 割り込み制御レジスタ	SCLDAIC	138
007Dh			
007Eh			
007Fh			
0080h~D17Fh			
0180h	DMA0 ソースポインタ	SAR0	180
0181h			
0182h			
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	180
0185h			
0186h			
0187h			
0188h	DMA0 転送カウンタ	TCR0	181
0189h			
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	182
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	180
0191h			
0192h			
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	180
0195h			
0196h			
0197h			
0198h	DMA1 転送カウンタ	TCR1	181
0199h			
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	182
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	180
01A1h			
01A2h			
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	180
01A5h			
01A6h			
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	181
01A9h			
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	182
01ADh			
01AEh			
01AFh			
01B0h	DMA3 ソースポインタ	SAR3	180
01B1h			
01B2h			
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	180
01B5h			
01B6h			
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	181
01B9h			

番地	レジスタ	シンボル	掲載ページ
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	182
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1 レジスタ	TB01	253
01C1h			
01C2h	タイマB1-1 レジスタ	TB11	253
01C3h			
01C4h	タイマB2-1 レジスタ	TB21	253
01C5h			
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	254
01C7h			
01C8h	タイマB カウントソース選択レジスタ0	TBCS0	255
01C9h	タイマB カウントソース選択レジスタ1	TBCS1	255
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマA カウントソース選択レジスタ0	TACS0	202
01D1h	タイマA カウントソース選択レジスタ1	TACS1	202
01D2h	タイマA カウントソース選択レジスタ2	TACS2	202
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	203
01D5h	タイマA 波形出力機能選択レジスタ	TAPOFS	204
01D6h			
01D7h			
01D8h	タイマA 出力波形変更許可レジスタ	TAOW	205
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	タイマB3-1 レジスタ	TB31	253
01E1h			
01E2h	タイマB4-1 レジスタ	TB41	253
01E3h			
01E4h	タイマB5-1 レジスタ	TB51	253
01E5h			
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	254
01E7h			
01E8h	タイマB カウントソース選択レジスタ2	TBCS2	255
01E9h	タイマB カウントソース選択レジスタ3	TBCS3	255
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01FAh			
01FBh			
01FCb			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	140
0206h	割り込み要因選択レジスタ2	IFSR2A	141
0207h	割り込み要因選択レジスタ	IFSR	142
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	143
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	143
0210h	アドレス一致割り込みレジスタ0	RMAD0	144
0211h			
0212h			
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	144
0215h			
0216h			
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	144
0219h			
021Ah			
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	144
021Dh			
021Eh			
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	87, 489
0221h	フラッシュメモリ制御レジスタ1	FMR1	492
0222h	フラッシュメモリ制御レジスタ2	FMR2	88, 493
0223h	フラッシュメモリ制御レジスタ3	FMR3	494
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	495
0231h	フラッシュメモリ制御レジスタ7	FMR7	496
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			

番地	レジスタ	シンボル	掲載ページ
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h	UART0特殊モードレジスタ4	U0SMR4	321
0245h	UART0特殊モードレジスタ3	U0SMR3	323
0246h	UART0特殊モードレジスタ2	U0SMR2	324
0247h	UART0特殊モードレジスタ	U0SMR	325
0248h	UART0送受信モードレジスタ	U0MR	312
0249h	UART0ビットレートレジスタ	U0BRG	313
024Ah	UART0送信バッファレジスタ	U0TB	313
024Bh			
024Ch	UART0送受信制御レジスタ0	U0C0	314
024Dh	UART0送受信制御レジスタ1	U0C1	316
024Eh	UART0受信バッファレジスタ	U0RB	318
024Fh			
0250h	UART送受信制御レジスタ2	UCON	320
0251h			
0252h			
0253h			
0254h	UART1特殊モードレジスタ4	U1SMR4	321
0255h	UART1特殊モードレジスタ3	U1SMR3	323
0256h	UART1特殊モードレジスタ2	U1SMR2	324
0257h	UART1特殊モードレジスタ	U1SMR	325
0258h	UART1送受信モードレジスタ	U1MR	312
0259h	UART1ビットレートレジスタ	U1BRG	313
025Ah	UART1送信バッファレジスタ	U1TB	313
025Bh			
025Ch	UART1送受信制御レジスタ0	U1C0	314
025Dh	UART1送受信制御レジスタ1	U1C1	316
025Eh	UART1受信バッファレジスタ	U1RB	318
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	321
0265h	UART2特殊モードレジスタ3	U2SMR3	323
0266h	UART2特殊モードレジスタ2	U2SMR2	324
0267h	UART2特殊モードレジスタ	U2SMR	325
0268h	UART2送受信モードレジスタ	U2MR	312
0269h	UART2ビットレートレジスタ	U2BRG	313
026Ah	UART2送信バッファレジスタ	U2TB	313
026Bh			
026Ch	UART2送受信制御レジスタ0	U2C0	314
026Dh	UART2送受信制御レジスタ1	U2C1	316
026Eh	UART2受信バッファレジスタ	U2RB	318
026Fh			
0270h	SI/O3送受信レジスタ	S3TRR	383
0271h			
0272h	SI/O3制御レジスタ	S3C	384
0273h	SI/O3ビットレートレジスタ	S3BRG	385
0274h	SI/O4送受信レジスタ	S4TRR	383
0275h			
0276h	SI/O4制御レジスタ	S4C	384
0277h	SI/O4ビットレートレジスタ	S4BRG	385
0278h	SI/O3、4制御レジスタ2	S34C2	385
0279h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	321
0285h	UART5特殊モードレジスタ3	U5SMR3	323
0286h	UART5特殊モードレジスタ2	U5SMR2	324
0287h	UART5特殊モードレジスタ	U5SMR	325
0288h	UART5送受信モードレジスタ	U5MR	312
0289h	UART5ビットレートレジスタ	U5BRG	313
028Ah	UART5送信バッファレジスタ	U5TB	313
028Bh			
028Ch	UART5送受信制御レジスタ0	U5C0	314
028Dh	UART5送受信制御レジスタ1	U5C1	316
028Eh	UART5受信バッファレジスタ	U5RB	318
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	321
0295h	UART6特殊モードレジスタ3	U6SMR3	323
0296h	UART6特殊モードレジスタ2	U6SMR2	324
0297h	UART6特殊モードレジスタ	U6SMR	325
0298h	UART6送受信モードレジスタ	U6MR	312
0299h	UART6ビットレートレジスタ	U6BRG	313
029Ah	UART6送信バッファレジスタ	U6TB	313
029Bh			
029Ch	UART6送受信制御レジスタ0	U6C0	314
029Dh	UART6送受信制御レジスタ1	U6C1	316
029Eh	UART6受信バッファレジスタ	U6RB	318
029Fh			
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7特殊モードレジスタ4	U7SMR4	321
02A5h	UART7特殊モードレジスタ3	U7SMR3	323
02A6h	UART7特殊モードレジスタ2	U7SMR2	324
02A7h	UART7特殊モードレジスタ	U7SMR	325
02A8h	UART7送受信モードレジスタ	U7MR	312
02A9h	UART7ビットレートレジスタ	U7BRG	313
02AAh	UART7送信バッファレジスタ	U7TB	313
02ABh			
02ACh	UART7送受信制御レジスタ0	U7C0	314
02ADh	UART7送受信制御レジスタ1	U7C1	316
02AEh	UART7受信バッファレジスタ	U7RB	318
02AFh			
02B0h	I2C0データシフトレジスタ	S00	400
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	401
02B3h	I2C0制御レジスタ0	S1D0	402
02B4h	I2C0クロック制御レジスタ	S20	405
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	408
02B6h	I2C0制御レジスタ1	S3D0	409
02B7h	I2C0制御レジスタ2	S4D0	413
02B8h	I2C0ステータスレジスタ0	S10	415
02B9h	I2C0ステータスレジスタ1	S11	420

番地	レジスタ	シンボル	掲載ページ
02BAh	I2C0アドレスレジスタ1	S0D1	401
02BBh	I2C0アドレスレジスタ2	S0D2	401
02BCh			
02BDh			
02BEh			
02BFh			
02C0h~02FFh			
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	256
0301h			
0302h	タイマA1-1レジスタ	TA11	207
0303h			
0304h	タイマA2-1レジスタ	TA21	207
0305h			
0306h	タイマA4-1レジスタ	TA41	207
0307h			
0308h			
0309h			
030Ah			
030Bh			
030Ch			
030Dh			
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	252
0311h			
0312h	タイマB4レジスタ	TB4	252
0313h			
0314h	タイマB5レジスタ	TB5	252
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	257
031Ch	タイマB4モードレジスタ	TB4MR	257
031Dh	タイマB5モードレジスタ	TB5MR	257
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	208, 256
0321h			
0322h	ワンショット開始フラグ	ONSF	209
0323h	トリガ選択レジスタ	TRGSR	210
0324h	アップダウンフラグ	UDF	211
0325h			
0326h	タイマA0レジスタ	TA0	206
0327h			
0328h	タイマA1レジスタ	TA1	206
0329h			
032Ah	タイマA2レジスタ	TA2	206
032Bh			
032Ch	タイマA3レジスタ	TA3	206
032Dh			
032Eh	タイマA4レジスタ	TA4	206
032Fh			
0330h	タイマB0レジスタ	TB0	252
0331h			
0332h	タイマB1レジスタ	TB1	252
0333h			
0334h	タイマB2レジスタ	TB2	252
0335h			
0336h	タイマA0モードレジスタ	TA0MR	212
0337h	タイマA1モードレジスタ	TA1MR	212
0338h	タイマA2モードレジスタ	TA2MR	212
0339h	タイマA3モードレジスタ	TA3MR	212

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
033Ah	タイマA4モ - ドレジスタ	TA4MR	212
033Bh	タイマB0モ - ドレジスタ	TB0MR	257
033Ch	タイマB1モ - ドレジスタ	TB1MR	257
033Dh	タイマB2モ - ドレジスタ	TB2MR	257
033Eh			
033Fh			
0340h	秒データレジスタ	TRHSEC	277
0341h	分データレジスタ	TRHMIN	278
0342h	時データレジスタ	TRHHR	279
0343h	曜日データレジスタ	TRHWK	280
0344h	日データレジスタ	TRHDY	281
0345h	月データレジスタ	TRHMON	282
0346h	年データレジスタ	TRHYR	283
0347h	タイマRH制御レジスタ	TRHCR	284
0348h	タイマRHカウントソース選択レジスタ	TRHCSR	286
0349h	時計誤差補正レジスタ	TRHADJ	287
034Ah	タイマRH割り込みフラグレジスタ	TRHIFR	288
034Bh	タイマRH割り込み許可レジスタ	TRHIER	289
034Ch	アラーム分レジスタ	TRHAMN	290
034Dh	アラーム時レジスタ	TRHAHR	291
034Eh	アラーム曜日レジスタ	TRHAWK	292
034Fh	タイマRHプロテクトレジスタ	TRHPRC	293
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	123
0361h	ブルアップ制御レジスタ1	PUR1	124
0362h	ブルアップ制御レジスタ2	PUR2	125
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	126, 145, 452
0367h			
0368h			
0369h	NMIデジタルフィルタレジスタ	NMIDF	129, 146
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			

番地	レジスタ	シンボル	掲載ページ
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	169
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	170
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	170
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	171
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	183
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	183
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	183
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	183
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	453
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	482
03B5h			
03B6h	CRCモードレジスタ	CRCMR	483
03B7h			
03B8h			
03B9h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCDCD	483
03BDh			
03BEh	CRCインプットレジスタ	CRCIN	483
03BFh			
03C0h	A/Dレジスタ0	AD0	454
03C1h			
03C2h	A/Dレジスタ1	AD1	454
03C3h			
03C4h	A/Dレジスタ2	AD2	454
03C5h			
03C6h	A/Dレジスタ3	AD3	454
03C7h			
03C8h	A/Dレジスタ4	AD4	454
03C9h			
03CAh	A/Dレジスタ5	AD5	454
03CBh			
03CCh	A/Dレジスタ6	AD6	454
03CDh			
03CEh	A/Dレジスタ7	AD7	454
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	455
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	456
03D7h	A/D制御レジスタ1	ADCON1	458
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	127
03E1h	ポートP1レジスタ	P1	127
03E2h	ポートP0方向レジスタ	PD0	128
03E3h	ポートP1方向レジスタ	PD1	128
03E4h	ポートP2レジスタ	P2	127
03E5h	ポートP3レジスタ	P3	127
03E6h	ポートP2方向レジスタ	PD2	128
03E7h	ポートP3方向レジスタ	PD3	128
03E8h	ポートP4レジスタ	P4	127
03E9h	ポートP5レジスタ	P5	127
03EAh	ポートP4方向レジスタ	PD4	128
03EBh	ポートP5方向レジスタ	PD5	128
03ECh	ポートP6レジスタ	P6	127
03EDh	ポートP7レジスタ	P7	127
03EEh	ポートP6方向レジスタ	PD6	128
03EFh	ポートP7方向レジスタ	PD7	128

番地	レジスタ	シンボル	掲載ページ
03F0h	ポートP8レジスタ	P8	127
03F1h	ポートP9レジスタ	P9	127
03F2h	ポートP8方向レジスタ	PD8	128
03F3h	ポートP9方向レジスタ	PD9	128
03F4h	ポートP10レジスタ	P10	127
03F5h			
03F6h	ポートP10方向レジスタ	PD10	128
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h~D07Fh			
D080h			
D081h			
D082h			
D083h			
D084h			
D085h			
D086h			
D087h			
D088h			
D089h			
D08Ah			
D08Bh			
D08Ch			
D08Dh			
D08Eh			
D08Fh			
D090h			
D091h			
D092h			
D093h			
D094h			
D095h			
D096h			
D097h			
D098h			
D099h			
D09Ah			
D09Bh			
D09Ch			
D09Dh			
D09Eh			
D09Fh			
D0A0h~D7FFh			
FFFFh	オプション機能選択1番地	OFS1	42, 54, 172, 498

空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

M16C/6S1 グループは、高レベルのコード効率化と高速演算処理が可能な M16C/60 シリーズの CPU、Yitran Communications 社で開発された PLC (Power Line Communication) モデムコアおよびアナログフロントエンド(AFE)を内蔵しています。PLC モデムコアは、DCSK (Differential Code Shift Keying) および DCSK ターボ、スペクトラム拡散変調方式を採用し、既存の電気配線上で最大 500kbps の信頼性の高い通信が可能です。また、各国の規制(FCC part15、ARIB、CENELEC)に対応し、スマートメーターやホームコントロールなどのさまざまな狭帯域アプリケーションに適しています。

1.1.1 機能

- MCU 部
 - CPU
 - 動作周波数：最大 30.72MHz
 - メモリ
 - フラッシュメモリ：128K~256K バイト
 - データフラッシュ：8K バイト
 - RAM：20K~31K バイト
 - 周辺機能
 - タイマ A：16 ビット×5、タイマ B：16 ビット×6、ウォッチドッグタイマ、リアルタイムクロック
 - UART：6 チャンネル、SIO：2 チャンネル、I²C：1 チャンネル
 - A/D：10 ビット×18 チャンネル
 - I/O：56 ピン
- PLC 部
 - 動作周波数：46.08MHz
 - 通信速度&周波数バンド
 - M16C6S 互換モード(DCSK)
 - FCC&ARIB：1.25K、5K、7.5kbps
 - CENELEC A バンド：0.625K、2.5kbps
 - CENELEC B バンド：0.625K、2.5kbps
 - 高速モード(DCSK ターボ)
 - FCC&ARIB：最大 500kbps@PHY/最大 300kbps@MAC ペイロード速度
 - CENELEC A バンド：最大 150kbps@PHY/最大 90kbps@MAC ペイロード速度
 - CENELEC B バンド：最大 50kbps@PHY/最大 30kbps@MAC ペイロード速度
- パッケージ：100 ピン、HTQFP
- 電源電圧：3.3V

1.2 仕様概要

表1.1~表1.4に仕様概要を示します。

表1.1 仕様概要(1/2)

分類	機能	概要
CPU	中央演算処理装置	M16C/60シリーズコア(乗算器:16ビット×16ビット 32ビット、積和演算命令:16ビット×16ビット+32ビット 32ビット) <ul style="list-style-type: none"> 基本命令数:91 最小命令実行時間: 32.6ns (f(BCLK) = 30.72MHz、VCC1 = VCC2 = 3.0~3.6V) 41.7ns (f(BCLK) = 24MHz、VCC1 = VCC2 = 2.7~3.0V)
メモリ	ROM、RAM、データフラッシュ	「表1.5 製品一覧」を参照してください
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、低速オンチップオシレータ(125kHz)、PLL周波数シンセサイザ 発振停止検出:メインクロック発振停止、再発振検出機能 周波数分周回路:1、2、4、8、16分周より選択 低消費電力機構:ウェイトモード、ストップモード リアルタイムクロック
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力:53(プルアップ抵抗設定可能) Nチャンネルオープンドレインポート:3
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数:70 外部割り込み入力:14(NMI、INT×5、キー入力×8) 割り込み優先レベル:7
ウォッチドッグタイマ		15ビット×1(プリスケール付) リセットスタート機能選択可能
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数:43 転送モード:2(単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3、プログラマブル出力モード×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	リアルタイムクロック	秒、分、時、曜日、月、年をカウント
シリアルインタフェース	UART0~UART2、UART5~UART7	クロック同期/非同期兼用×5チャンネル、PLC接続×1チャンネル、I ² C-bus、IEBus、特別モード2、SIM(UART2)
	SI/O3、SI/O4	クロック同期専用×2チャンネル
マルチマスタI ² C-busインタフェース		1チャンネル
A/Dコンバータ		分解能10ビット×18チャンネル、サンプル&ホールドあり 変換時間2.8μs
CRC演算回路		CRC-CCITT (X ¹⁶ +X ¹² +X ⁵ +1)、CRC-16 (X ¹⁶ +X ¹⁵ +X ² +1)に準拠
暗号	AES	AES暗号処理(鍵長128ビット)
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレース電圧:2.7V~3.6V プログラム、イレース回数: 1,000回(プログラムROM1、プログラムROM2)、 10,000回(データフラッシュ) プログラムセキュリティ:ROMコードプロテクト、IDコードチェック

表1.2 仕様概要(2/2)

分類	概要
デバッグ機能	オンチップデバッグ機能(2線式)、オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧	30.72MHz/VCC1 = VCC2 = 3.0V~3.6V 24MHz/VCC1 = VCC2 = 2.7V~3.0V PLC部の動作電源電圧/VCCA = 3.0V~3.6V VCC1 = VCC2 = VCCAで使用
消費電流	電気的特性に記載
動作周囲温度	-20~85、-40~85 (注1)
パッケージ	100ピンHTQFP : PTQP100KE-E (旧パッケージコード : 100PFW-E)

注1. 動作周囲温度は、「表1.5 製品一覧」を参照してください。

表1.3 PLC部DCSKモードの仕様概要

項目	性能	
変調方式	DCSK	
エラー検出・訂正	ショートブロック誤り訂正、CRC-16	
適合する各国規制	FCC、ARIB、EN50065-1-CENELEC	
データ速度と周波数帯域	FCC&ARIB	120kHz~400kHz 7.5kbps、Standardモード(SM) 5.0kbps、Robustモード(RM) 1.25kbps、Extremely Robustモード(ERM)
	CENELEC	Aバンド : 20kHz~80kHz Bバンド : 95kHz~125kHz 2.5kbps、Robustモード(RM) 0.625kbps、Extremely Robustモード(ERM)
内蔵AFE	D/Aコンバータ、LPF、ラインドライバアンプ A/Dコンバータ、VGA、BGR、VDC	

表1.4 PLC部DCSKターボモードの仕様概要

項目	性能	
変調方式	DCSKターボ	
エラー検出・訂正	ショートブロック誤り訂正、CRC-16	
適合する各国規制	FCC、ARIB、EN50065-1-CENELEC	
データ転送速度と周波数帯域	FCC&ARIB	120kHz~400kHz 最大500kbps@PHY、最大300kbps@MACペイロード速度 (通信パケット長 : データ1760バイト)
	CENELEC	Aバンド : 20kHz~80kHz 最大150kbps@PHY、最大90kbps@MACペイロード速度 (通信パケット長 : データ1760バイト)
		Bバンド : 95kHz~125kHz 最大50kbps@PHY、最大30kbps@MACペイロード速度 (通信パケット長 : データ1760バイト)
内蔵AFE	D/Aコンバータ、LPF、ラインドライバアンプ A/Dコンバータ、VGA、BGR、VDC	

1.3 製品一覧

表 1.5に製品一覧を、図 1.1に型名とメモリサイズ・パッケージを示します。

表 1.5 製品一覧

2013年9月現在

型名	ROM容量			RAM容量	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ			
R5F36S16NFB	128Kバイト	16Kバイト	4Kバイト × 2ブロック	20Kバイト	PTQP0100KE-E	動作周囲温度 -20 ~85
R5F36S16DFB						動作周囲温度 -40 ~85
R5F36S1ENFB	256Kバイト			31Kバイト		動作周囲温度 -20 ~85
R5F36S1EDFB						動作周囲温度 -40 ~85

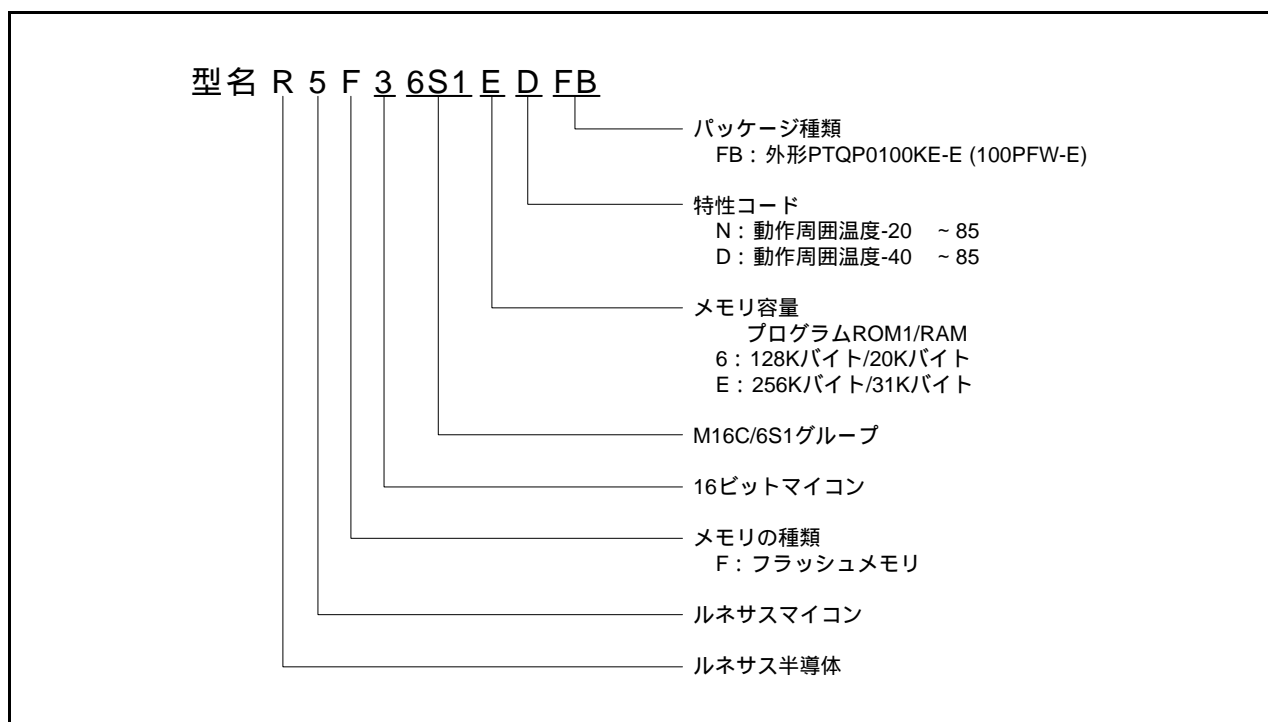
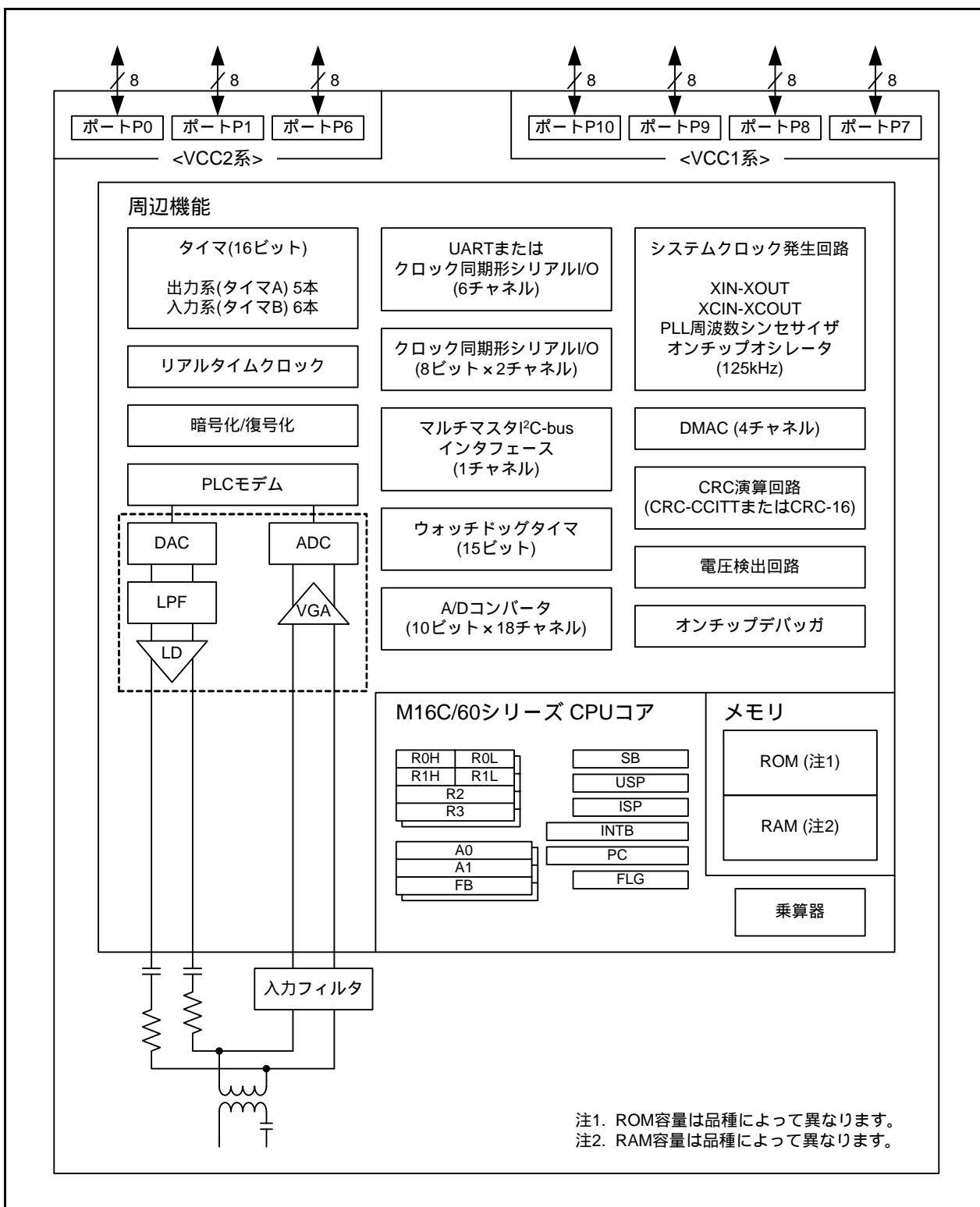


図 1.1 型名とメモリサイズ・パッケージ

1.4 ブロック図

図1.2にブロック図を示します。



注1. ROM容量は品種によって異なります。
注2. RAM容量は品種によって異なります。

図1.2 ブロック図

1.5 ピン配置図

図1.3にピン配置図(上面図)を示します。また、表1.6~表1.8に端子名一覧を示します。

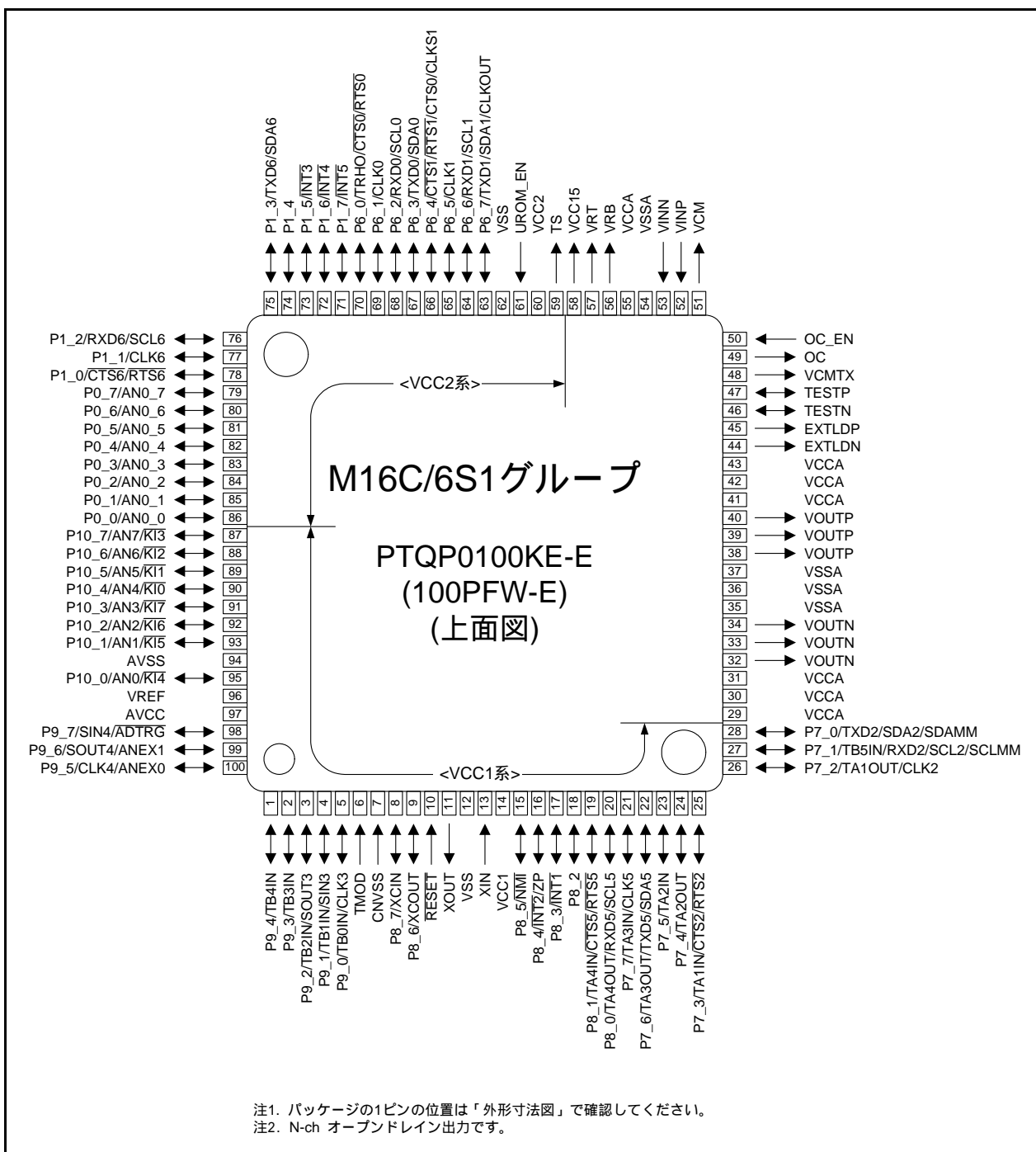


図1.3 ピン配置図(上面図)

表 1.6 端子名一覧(1/3)

Pin No.	電源	クロック	制御端子	ポート	周辺機能の入出力端子				
					割り込み	タイマ	シリアルインタフェース	PLC	ADC
1				P9_4		TB4IN			
2				P9_3		TB3IN			
3				P9_2		TB2IN	SOUT3		
4				P9_1		TB1IN	SIN3		
5				P9_0		TB0IN	CLK3		
6			TMOD						
7			CNVSS						
8		XCIN		P8_7					
9		XCOU		P8_6					
10			RESET						
11		XOUT							
12	VSS								
13		XIN							
14	VCC1								
15				P8_5	NMI				
16				P8_4	INT2	ZP			
17				P8_3	INT1				
18				P8_2					
19				P8_1		TA4IN	CTS5/RTS5		
20				P8_0		TA4OUT	RXD5/SCL5		
21				P7_7		TA3IN	CLK5		
22				P7_6		TA3OUT	TXD5/SDA5		
23				P7_5		TA2IN			
24				P7_4		TA2OUT			
25				P7_3		TA1IN	CTS2/RTS2		
26				P7_2		TA1OUT	CLK2		
27				P7_1		TB5IN	RXD2/SCL2/SCLMM		
28				P7_0			TXD2/SDA2/SDAMM		
29	VCCA								
30	VCCA								
31	VCCA								
32								VOUTN	
33								VOUTN	
34								VOUTN	
35	VSSA								
36	VSSA								
37	VSSA								
38								VOUTP	
39								VOUTP	
40								VOUTP	
41	VCCA								
42	VCCA								
43	VCCA								
44								EXTLDN	
45								EXTLDP	
46								TESTN	
47								TESTP	
48								VCMTX	
49	OC								

表1.7 端子名一覧(2/3)

Pin No.	電源	クロック	制御端子	ポート	周辺機能の入出力端子				
					割り込み	タイマ	シリアルインタフェース	PLC	ADC
50								OC_EN	
51								VCM	
52								VINP	
53								VINN	
54	VSSA								
55	VCCA								
56								VRB	
57								VRT	
58								VCC15	
59								TS	
60	VCC2								
61			UROM_EN						
62	VSS								
63		CLKOUT		P6_7				TXD1/SDA1	
64				P6_6				RXD1/SCL1	
65				P6_5				CLK1	
66				P6_4				CTS1/RTS1/CTS0/ CLKS1	
67				P6_3				TXD0/SDA0	
68				P6_2				RXD0/SCL0	
69				P6_1				CLK0	
70				P6_0		TRHO		CTS0/RTS0	
71				P1_7	$\overline{\text{INT5}}$				
72				P1_6	$\overline{\text{INT4}}$				
73				P1_5	$\overline{\text{INT3}}$				
74				P1_4					
75				P1_3				TXD6/SDA6	
76				P1_2				RXD6/SCL6	
77				P1_1				CLK6	
78				P1_0				CTS6/RTS6	
79				P0_7					AN0_7
80				P0_6					AN0_6
81				P0_5					AN0_5
82				P0_4					AN0_4
83				P0_3					AN0_3
84				P0_2					AN0_2
85				P0_1					AN0_1
86				P0_0					AN0_0
87				P10_7	$\overline{\text{KI3}}$				AN7
88				P10_6	$\overline{\text{KI2}}$				AN6
89				P10_5	$\overline{\text{KI1}}$				AN5
90				P10_4	$\overline{\text{KI0}}$				AN4
91				P10_3	$\overline{\text{KI7}}$				AN3
92				P10_2	$\overline{\text{KI6}}$				AN2
93				P10_1	$\overline{\text{KI5}}$				AN1
94	AVSS								
95				P10_0	$\overline{\text{KI4}}$				AN0

表 1.8 端子名一覧(3/3)

Pin No.	電源	クロック	制御端子	ポート	周辺機能の入出力端子				
					割り込み	タイマ	シリアルインタフェース	PLC	ADC
96									VREF
97	AVCC								
98				P9_7			SIN4		ADTRG
99				P9_6			SOUT4		ANEX1
100				P9_5			CLK4		ANEX0

1.6 端子機能の説明

表1.9 端子機能の説明(1/2)

分類	端子名	入出力	電源系統	機能
デジタル電源入力	VCC1、VCC2、VSS	入力	-	VCC1、VCC2端子は、VCC1 = VCC2の条件で2.7V~3.6Vを、VSS端子には0Vを入力してください。
マイコンADC電源入力	AVCC、AVSS	入力	VCC1	ADコンバータの電源入力です。AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
PLCアナログ電源入力	VCCA、VSSA	入力	-	AFEの電源入力です。VCCA端子はVCC1に、VSSA端子はVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイコンコンピュータはリセット状態になります。
モード設定入力	CNVSS、TMOD	入力	VCC1	動作モードを設定する端子です。CNVSS端子とTMOD端子とも抵抗を介してVSSに接続してください。
	UROM_EN	入力	VCC2	抵抗を介してVSSに接続してください。
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XIN端子とXOUT端子の間には、水晶発振子を接続してください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCIN端子とXCOUT端子の間には、水晶発振子を接続してください。
サブクロック出力	XCOUT	出力	VCC1	
クロック出力	CLKOUT	出力	VCC2	fC、f1、f8またはf32と同じ周期のクロックを出力します。
INT 割り込み入力	INT1、INT2	入力	VCC1	INT 割り込みの入力です。
	INT3~INT5	入力	VCC2	
NMI 割り込み入力	NMI	入力	VCC1	NMI 割り込みの入力です。
キー入力割り込み入力	KI0~KI7	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA1OUT~TA4OUT	入出力	VCC1	タイマA1~A4の入出力です。
	TA1IN~TA4IN	入力	VCC1	タイマA1~A4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN~TB5INT	入力	VCC1	タイマB0~B5の入力です。
リアルタイムクロック出力	TRHO	出力	VCC2	リアルタイムクロックの出力です。
シリアルインタフェース UART0~UART2、 UART5、UART6	CTS2、CTS5	入力	VCC1	送信制御用入力です。
	CTS0、CTS1、CTS6	入力	VCC2	
	RTS2、RTS5	出力	VCC1	受信制御用出力です。
	RTS0、RTS1、RTS6	出力	VCC2	
	CLK2、CLK5	入出力	VCC1	送受信クロック入出力です。
	CLK0、CLK1、CLK6	入出力	VCC2	
	RXD2、RXD5	入力	VCC1	シリアルデータ入力です。
	RXD0、RXD1、RXD6	入力	VCC2	
	TXD2、TXD5	出力	VCC1	シリアルデータ出力です。
	TXD0、TXD1、TXD6	出力	VCC2	
CLKS1	出力	VCC1	送受信クロック複数端子出力機能の出力です。	

注1. TXD2の出力はNチャンネルオープンドレインです。TXDi (i=0、1、5、6)の出力はCMOS出力で、プログラムでNチャンネルオープンドレイン出力に変更できます。

表 1.10 端子機能の説明 (2/2)

分類	端子名	入出力	電源系統	機能
UART0~UART2、 UART5、UART6 I ² Cモード	SDA2、SDA5	入出力	VCC1	I ² Cモードのシリアルデータ入出力です。
	SDA0、SDA1、SDA6	入出力	VCC2	
	SCL2、SCL5	入出力	VCC1	I ² Cモードの送受信クロック入出力です。
	SCL0、SCL1、SCL6	入出力	VCC2	
シリアルインタ フェース SI/O3、SI/O4	CLK3、CLK4	入出力	VCC1	送受信クロック入出力です。
	SIN3、SIN4	入力	VCC1	シリアルデータ入力です。
	SOUT3、SOUT4	出力	VCC1	シリアルデータ出力です。
マルチマスタ I ² C-bus インタフェース	SDAMM	入出力	VCC1	シリアルデータ入出力です。 (出力はNチャンネルオープンドレイン)
	SCLMM	入出力	VCC1	送受信クロック入出力です。 (出力はNチャンネルオープンドレイン)
基準電圧入力	VREF	入力	VCC1	ADコンバータの基準電圧入力です。
ADコンバータ	AN0~AN7	入力	VCC1	ADコンバータのアナログ入力です。
	AN0_0~AN0_7	入力	VCC2	
	ADTRG	入力	VCC1	外部起動要因入力です。
	ANEX0、ANEX1	入力	VCC1	ADコンバータ用の拡張アナログ入力です。
入出力ポート	P0_0~P0_7、 P1_0~P1_7、 P6_0~P6_7	入出力	VCC2	CMOSの8ビット入出力ポートです。方向レジスタを持ち、1端子ごとに入力または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P7_0~P7_7、 P8_0~P8_7、 P9_0~P9_7、 P10_0~P10_7	入出力	VCC1	P0と同等機能の8ビット入出力ポートです。ただし、P7_0、P7_1、P8_5の出力はNチャンネルオープンドレイン出力。プルアップはありません。P8_5はNMIと端子を共用し、NMIの入力レベルを確認できます。

注1. TxD、SDA2、SCL2、SDAMM、SCLMMの出力はNチャンネルオープンドレインです。TxD_i (i=0、1、3、6) SDA_i (i=0、1、5、6)、SCL_i (i=0、1、5、6)の出力はCMOS出力で、プログラムでNチャンネルオープンドレイン出力に変更できます。

表 1.11 内部接続端子機能の説明

分類	端子名	入出力	機能
チップ内割り込み入力	INT0、INT6、INT7	入力	PLCモデムからのINT割り込みの入力です。
チップ内タイマA接続	TA0OUT	入出力	PLCモデムとのタイマA0の入出力です。
	TA0IN	入力	PLCモデムからのタイマA0の入力です。
チップ内シリアル接続	TXD7	出力	PLCモデムへのシリアルデータ出力です。
	RXD7	入力	PLCモデムからのシリアルデータ入力です。
	CLK7	入出力	PLCモデムとの送受信クロック入出力です。
チップ内ポート	P2_0~P2_7、 P3_0~P3_7、 P4_0~P4_7、 P5_0~P5_7	入出力	PLCモデムと接続するポートです。PLCモデムとAFEのレジスタアクセス用のアドレス、データ、制御信号、ステータス信号として使います。

注1. チップ内のPLCモデムとの接続は、ルネサスの提供するDDLソフト経由で制御します。ユーザプログラムで直接アクセスはしないようにしてください。

表1.12 PLC部の端子機能の説明

分類	端子名	入出力	機能
RX信号	VINP	アナログ入力	差動受信入力端子です。
	VINN		
TX信号	VOUTP	アナログ出力	差動送信出力端子です。
	VOUTN		
アナログ端子	EXTLDP	アナログ出力	オプション仕様の外部ラインドライバ用の差動送信出力端子です。
	EXTLDN		
	VCMTX	アナログ出力	送信回路アナログ部の基準電圧端子です。VSSAへのバイパス容量を接続してください。
	VRT	アナログ出力	PLC部のADC用基準電圧端子です。VSSAへのバイパス容量を接続してください。
	VRB		
	VCM	アナログ出力	PLC部のアナログ回路用の基準電圧端子です。VSSAへのバイパス容量を接続してください。
テスト用端子	TESTP	アナログ入出力	テスト用入出力。何も接続しないでください。
	TESTN		
デジタル端子	OC_EN	入力	内蔵のラインドライバを使用し、過電流保護回路を有効にする場合、このピンを抵抗を介してVCCAに接続してください。オプションの外付けラインドライバ使用時は、このピンをVSSAに接続し、過電流保護回路を無効にしてください。
	OC	出力	過電流保護回路のステータス出力端子です。
	TS	出力	外部ラインドライバに対して、出力のON/OFFを制御する端子です。
レギュレータ出力	VCC15	出力	PLC部のデジタル回路用レギュレータ出力ピン(1.5V)です。VSSの間のバイパス容量にだけ接続してください。他の回路の電源供給には使用しないでください。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

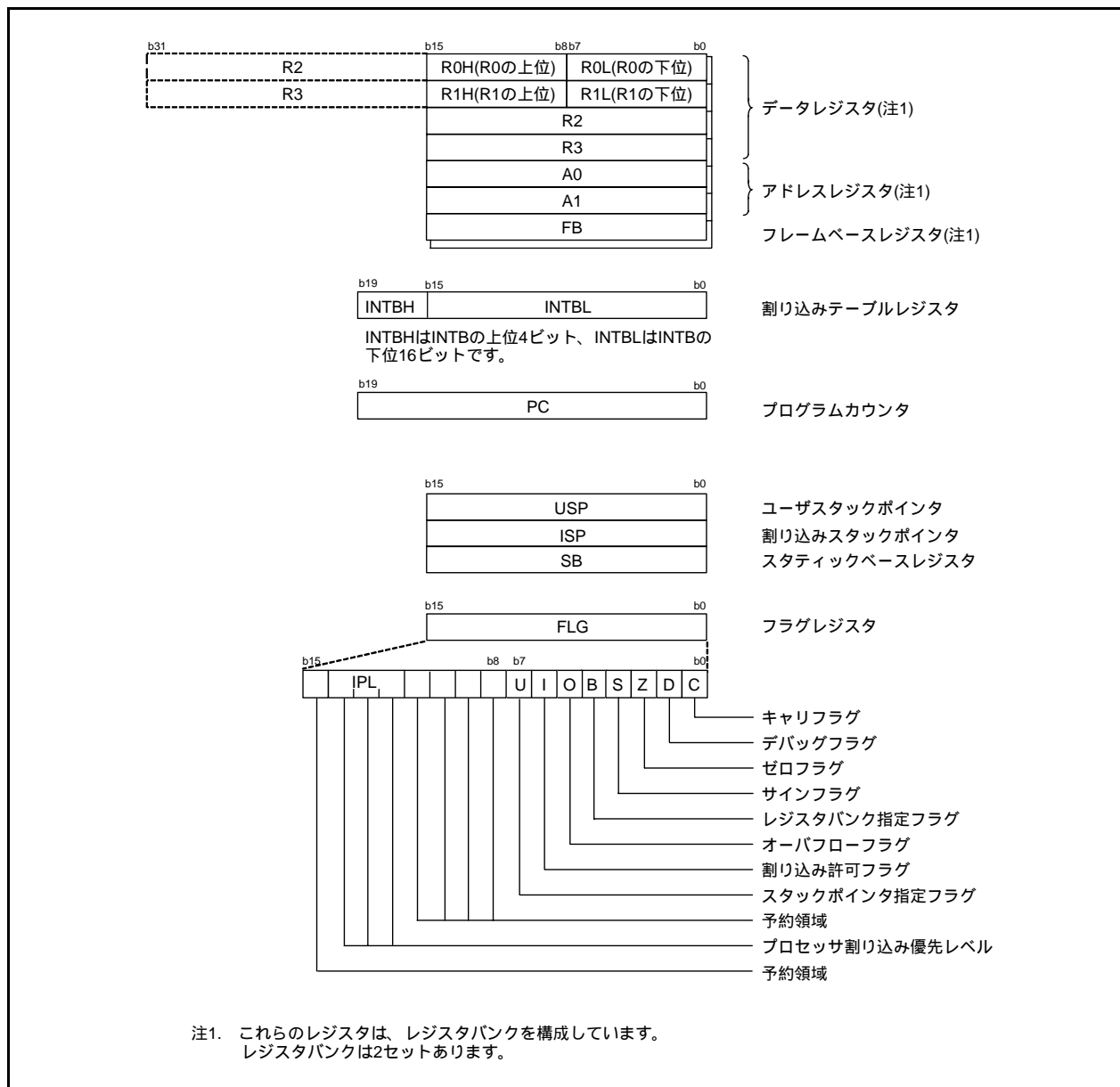


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせると32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせると32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。
Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。
割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. アドレス空間

3.1 アドレス空間

アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。

3.2 メモリ配置

SFRは、00000h番地から003FFh番地と、0D000h番地から0D7FFh番地に配置されています。ここには周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、アクセスしないでください。

内部RAMは00400h番地から上位方向に配置されます。例えば20Kバイトの内部RAMは、00400h番地から053FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

内部ROMはフラッシュメモリです。内部ROMにはデータフラッシュ、プログラムROM1、プログラムROM2があります。

データフラッシュは、0E000h番地から0FFFFh番地に配置されます。この領域は主にデータ格納用ですが、プログラムを格納することもできます。

プログラムROM2は、10000h番地から13FFFh番地に配置されます。プログラムROM1は、FFFFFh番地から下位方向に配置されます。例えば128KバイトのプログラムROM1は、E0000h番地からFFFFFh番地に配置されます。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されます。このベクタはJMPS命令またはJSRS命令で使用します(「M16C/60、M16C/20、M16C/Tiny シリーズユーザーズマニュアル ソフトウェア編」参照)。

割り込みの固定ベクタテーブルはFFFDCh番地からFFFFFh番地に配置されます。

割り込みの変ベクタテーブルは、INTBレジスタに設定された先頭番地から256バイトの領域に配置されます。

図3.1にメモリ配置を示します。

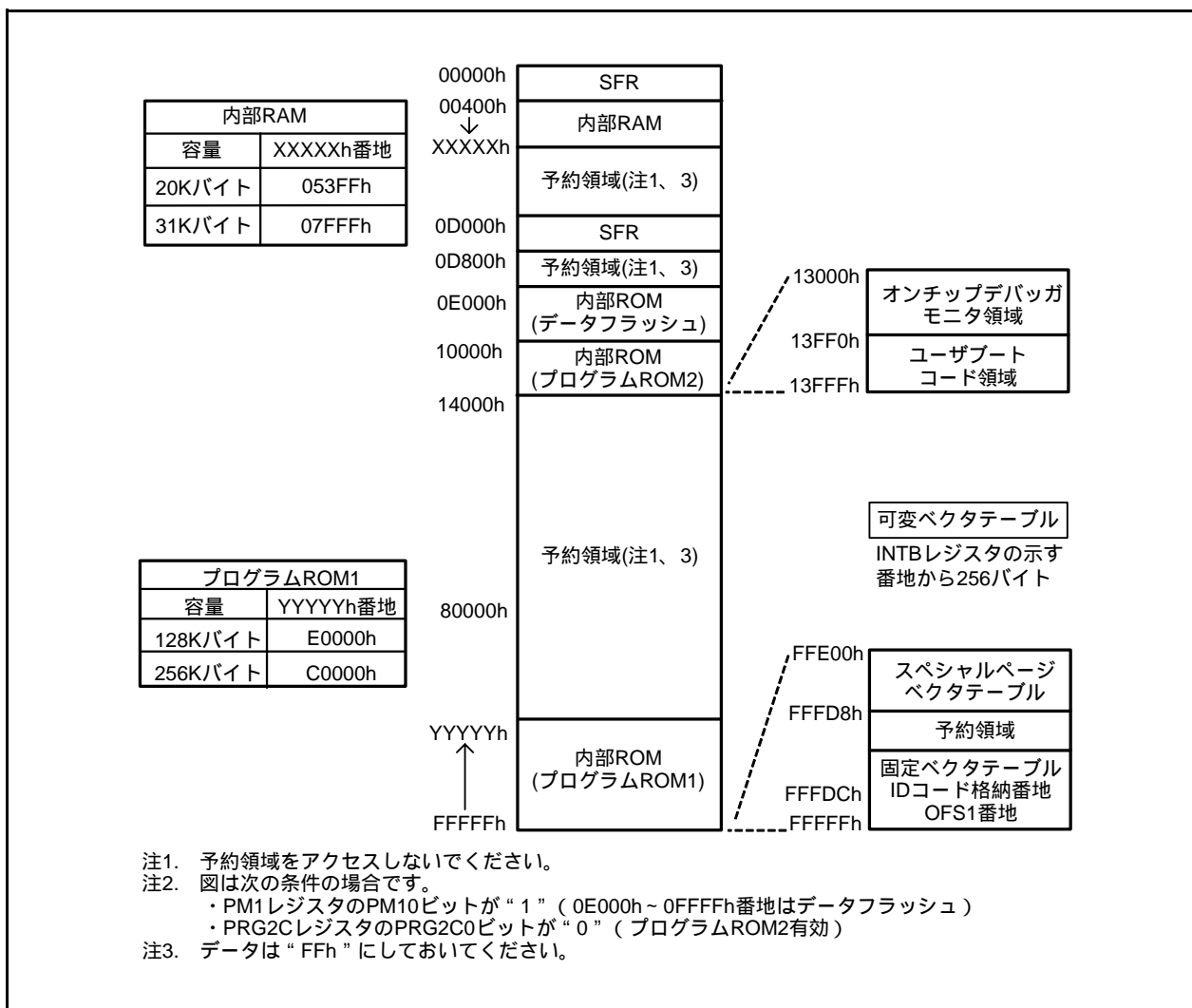


図3.1 メモリ配置

4. SFR

4.1 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表4.1~表4.16にSFR一覧を示します。

表4.1 SFR一覧(1/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	0000 0000b
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注2)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h	サブクロック分周制御レジスタ	SCM0	XXXX X000b
0014h			
0015h	時計用プリスケアラセットフラグ	CPSRF	0XXX XXXXb
0016h	周辺クロック停止レジスタ 1	PCLKSTP1	X000 0000b
0017h			
0018h	リセット要因判別レジスタ	RSTFR	XX00 001Xb(ハードウェアリセット) (注3)
0019h			
001Ah	電圧検出回路動作許可レジスタ	VCR2	0000 0000b (注4) 001X 0000b (注4)
001Bh			
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Dh	PLLファンクションロック制御レジスタ	PLCF	
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
001Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
 注2. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
 注3. RSTFRレジスタの各ビットは、リセットの種類によって状態が異なります。
 注4. ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください。

表4.2 SFR一覧(2/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 XX10b (注2、3) 1100 XX11b (注2)
002Bh			
002Ch	ウォッチドッグタイマ検出レジスタ	VW2C	1000 0X10b (注2)
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h	INT7割り込み制御レジスタ	INT7IC	XX00 X000b
0043h	INT6割り込み制御レジスタ	INT6IC	XX00 X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXX X000b
0048h	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XX00 X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
注2. ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください。
注3. OFS1番地のLVDASビットが“1”かつハードウェアリセット

表4.3 SFR一覧(3/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	XXXX X000b
006Ch	UART5送信割り込み制御レジスタ	S5TIC	XXXX X000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6バス衝突検出割り込み制御レジスタ、リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC、 RTCTIC	XXXX X000b
006Fh	UART6送信割り込み制御レジスタ、リアルタイムクロックアラーム割り込み制御レジスタ	S6TIC、RTCCIC	XXXX X000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7バス衝突検出割り込み制御レジスタ	U7BCNIC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh	I2C-busインタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA割り込み制御レジスタ	SCLDAIC	XXXX X000b
007Dh			
007Eh			
007Fh			
0080h~ 017Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.4 SFR 一覧 (4/16) (注 1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01ADh			
01AEh			
01AFh			

X: 不定です。

注 1. 空欄は予約領域です。アクセスしないでください。

表 4.5 SFR 一覧 (5/16) (注 1)

番地	レジスタ	シンボル	リセット後の値
01B0h	DMA3ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3制御レジスタ	DM3CON	0000 0X00b
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	XXXX X000b
01C7h			
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	X0h
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ2	TACS2	X0h
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定です。

注 1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR 一覧(6/16) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.7 SFR一覧(7/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h	フラッシュメモリ制御レジスタ7	FMR7	1000 0000b
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.8 SFR一覧(8/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h	UART0特殊モードレジスタ4	U0SMR4	00h
0245h	UART0特殊モードレジスタ3	U0SMR3	000X 0X0Xb
0246h	UART0特殊モードレジスタ2	U0SMR2	X000 0000b
0247h	UART0特殊モードレジスタ	U0SMR	X000 0000b
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	00XX 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART送受信制御レジスタ2	UCON	X000 0000b
0251h			
0252h			
0253h			
0254h	UART1特殊モードレジスタ4	U1SMR4	00h
0255h	UART1特殊モードレジスタ3	U1SMR3	000X 0X0Xb
0256h	UART1特殊モードレジスタ2	U1SMR2	X000 0000b
0257h	UART1特殊モードレジスタ	U1SMR	X000 0000b
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	00XX 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.9 SFR一覧(9/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0270h	SI/O3送受信レジスタ	S3TRR	XXh
0271h			
0272h	SI/O3制御レジスタ	S3C	0100 0000b
0273h	SI/O3ビットレートレジスタ	S3BRG	XXh
0274h	SI/O4送受信レジスタ	S4TRR	XXh
0275h			
0276h	SI/O4制御レジスタ	S4C	0100 0000b
0277h	SI/O4ビットレートレジスタ	S4BRG	XXh
0278h	SI/O3、4制御レジスタ2	S34C2	00XX X0X0b
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X 0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X000 0000b
0287h	UART5特殊モードレジスタ	U5SMR	X000 0000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	0000 1000b
028Dh	UART5送受信制御レジスタ1	U5C1	0000 0010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X 0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X000 0000b
0297h	UART6特殊モードレジスタ	U6SMR	X000 0000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	0000 1000b
029Dh	UART6送受信制御レジスタ1	U6C1	0000 0010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.10 SFR一覧(10/16) (注1)

番地	レジスタ	シンボル	リセット後の値
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7特殊モードレジスタ4	U7SMR4	00h
02A5h	UART7特殊モードレジスタ3	U7SMR3	000X 0X0Xb
02A6h	UART7特殊モードレジスタ2	U7SMR2	X000 0000b
02A7h	UART7特殊モードレジスタ	U7SMR	X000 0000b
02A8h	UART7送受信モードレジスタ	U7MR	00h
02A9h	UART7ビットレートレジスタ	U7BRG	XXh
02AAh	UART7送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7送受信制御レジスタ0	U7C0	0000 1000b
02ADh	UART7送受信制御レジスタ1	U7C1	0000 0010b
02AEh	UART7受信バッファレジスタ	U7RB	XXh
02AFh			XXh
02B0h	I2C0データシフトレジスタ	S00	XXh
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	0000 000Xb
02B3h	I2C0制御レジスタ0	S1D0	00h
02B4h	I2C0クロック制御レジスタ	S20	00h
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	0001 1010b
02B6h	I2C0制御レジスタ1	S3D0	0011 0000b
02B7h	I2C0制御レジスタ2	S4D0	00h
02B8h	I2C0ステータスレジスタ0	S10	0001 000Xb
02B9h	I2C0ステータスレジスタ1	S11	XXXX X000b
02BAh	I2C0アドレスレジスタ1	S0D1	0000 000Xb
02BBh	I2C0アドレスレジスタ2	S0D2	0000 000Xb
02BCh			
02BDh			
02BEh			
02BFh			
02C0h~ 02FFh			
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	000X XXXXb
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h			
0309h			
030Ah			
030Bh			
030Ch			
030Dh			
030Eh			
030Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.11 SFR 一覧(11/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
033Eh			
033Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.12 SFR一覧(12/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0340h	秒データレジスタ	TRHSEC	0000 0000b
0341h	分データレジスタ	TRHMIN	0000 0000b
0342h	時データレジスタ	TRHHR	0000 0000b
0343h	曜日データレジスタ	TRHWK	0000 0000b
0344h	日データレジスタ	TRHDY	0000 0001b
0345h	月データレジスタ	TRHMON	0000 0001b
0346h	年データレジスタ	TRHYR	0000 0000b
0347h	タイマRH制御レジスタ	TRHCR	0000 0100b
0348h	タイマRHカウントソース選択レジスタ	TRHCSR	0000 1000b
0349h	時計誤差補正レジスタ	TRHADJ	0000 0000b
034Ah	タイマRH割り込みフラグレジスタ	TRHIFR	XXX0 0000b
034Bh	タイマRH割り込み許可レジスタ	TRHIER	0000 0000b
034Ch	アラーム分レジスタ	TRHAMN	0000 0000b
034Dh	アラーム時レジスタ	TRHAHR	0000 0000b
034Eh	アラーム曜日レジスタ	TRHAWK	0XXX X000b
034Fh	タイマRHプロテクトレジスタ	TRHPRC	00XX XXXXb
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	00h
0361h	ブルアップ制御レジスタ1	PUR1	0000 0000b
0362h	ブルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0367h			
0368h			
0369h	NMI デジタルフィルタレジスタ	NMIDF	XXXX X000b
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.13 SFR一覧(13/16) (注1)

番地	レジスタ	シンボル	リセット後の値
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注2)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイムスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイム制御レジスタ	WDC	00XX XXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
注2. OFS1番地のCSPROINIビットが“0”の場合は“10000000b”になります。

表 4.14 SFR 一覧 (14/16) (注 1)

番地	レジスタ	シンボル	リセット後の値
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			
03C0h	A/Dレジスタ0	AD0	XXXX XXXXb 0000 00XXb
03C1h			
03C2h	A/Dレジスタ1	AD1	XXXX XXXXb 0000 00XXb
03C3h			
03C4h	A/Dレジスタ2	AD2	XXXX XXXXb 0000 00XXb
03C5h			
03C6h	A/Dレジスタ3	AD3	XXXX XXXXb 0000 00XXb
03C7h			
03C8h	A/Dレジスタ4	AD4	XXXX XXXXb 0000 00XXb
03C9h			
03CAh	A/Dレジスタ5	AD5	XXXX XXXXb 0000 00XXb
03CBh			
03CCh	A/Dレジスタ6	AD6	XXXX XXXXb 0000 00XXb
03CDh			
03CEh	A/Dレジスタ7	AD7	XXXX XXXXb 0000 00XXb
03CFh			

X: 不定です。

注 1. 空欄は予約領域です。アクセスしないでください。

表4.15 SFR一覧(15/16) (注1)

番地	レジスタ	シンボル	リセット後の値
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	0000 X00Xb
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ1	ADCON1	0000 0000b
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
0400h~ D07Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.16 SFR 一覧 (16/16) (注 1)

番地	レジスタ	シンボル	リセット後の値
D080h			
D081h			
D082h			
D083h			
D084h			
D085h			
D086h			
D087h			
D088h			
D089h			
D08Ah			
D08Bh			
D08Ch			
D08Dh			
D08Eh			
D08Fh			
D090h			
D091h			
D092h			
D093h			
D094h			
D095h			
D096h			
D097h			
D098h			
D099h			
D09Ah			
D09Bh			
D09Ch			
D09Dh			
D09Eh			
D09Fh			

X: 不定です。

注 1. 空欄は予約領域です。アクセスしないでください。

4.2 SFR使用上の注意事項

4.2.1 レジスタ設定時の注意事項

表 4.17 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表4.17 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマリフレッシュレジスタ	WDTR	037Dh
ウォッチドッグタイマスタートレジスタ	WDTS	037Eh
タイマA0レジスタ	TA0	0327h~0326h
タイマA1レジスタ	TA1	0329h~0328h
タイマA2レジスタ	TA2	032Bh~032Ah
タイマA3レジスタ	TA3	032Dh~032Ch
タイマA4レジスタ	TA4	032Fh~032Eh
タイマA1-1レジスタ	TA11	0303h~0302h
タイマA2-1レジスタ	TA21	0305h~0304h
タイマA4-1レジスタ	TA41	0307h~0306h
UART0ビットレートレジスタ	U0BRG	0249h
UART1ビットレートレジスタ	U1BRG	0259h
UART2ビットレートレジスタ	U2BRG	0269h
UART5ビットレートレジスタ	U5BRG	0289h
UART6ビットレートレジスタ	U6BRG	0299h
UART7ビットレートレジスタ	U7BRG	02A9h
UART0送信バッファレジスタ	U0TB	024Bh~024Ah
UART1送信バッファレジスタ	U1TB	025Bh~025Ah
UART2送信バッファレジスタ	U2TB	026Bh~026Ah
UART5送信バッファレジスタ	U5TB	028Bh~028Ah
UART6送信バッファレジスタ	U6TB	029Bh~029Ah
UART7送信バッファレジスタ	U7TB	02ABh~02AAh
SI/O3ビットレートレジスタ	S3BRG	0273h
SI/O4ビットレートレジスタ	S4BRG	0277h
I2C0制御レジスタ1	S3D0	02B6h
I2C0ステータスレジスタ0	S10	02B8h

表 4.18 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

5. プロテクト

5.1 概要

プロテクトはプログラムが暴走したときに備え、重要なレジスタが簡単に書き換えられないように保護する機能です。

5.2 レジスタの説明

表5.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
000Ah	プロテクトレジスタ	PRCR	00h

5.2.1 プロテクトレジスタ (PRCR)

プロテクトレジスタ				
ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PRCR	アドレス 000Ah番地	リセット後の値 00h	
0 0 0	PRC0	プロテクトビット0	CM0、CM1、CM2、PLC0、PLCF、PCLKR、SCM0、PCLKSTP1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
	PRC1	プロテクトビット1	PM0、PM1、PM2レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
	PRC2	プロテクトビット2	PD9、S3C、S4Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
	PRC3	プロテクトビット3	VCR2、VWOCレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
	— (b5-b4)	予約ビット	“0” にしてください	RW
	PRC6	プロテクトビット6	PRG2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
	— (b7)	予約ビット	“0” にしてください	RW

PRC6、PRC3、PRC1、PRC0 (プロテクトビット6、3、1、0) (b6、b3、b1、b0)

PRC6、PRC3、PRC1、PRC0ビットはプログラムで“1”(書き込み許可)を書くと、その後“1”(書き込み許可)の状態が続きます。これらのビットで保護されるレジスタは次の手順で変更してください。

- (1) PRC_i (i=0, 1, 3, 6) ビットに“1”を書く
- (2) PRC_i ビットで保護されるレジスタに値を書く
- (3) PRC_i ビットに“0”(書き込み禁止)を書く

PRC2 (プロテクトビット2) (b2)

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実施すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。下に手順を示します。手順の(1)と(2)の間に割り込みやDMA転送が入らないようにしてください。

- (1) PRC2ビットに“1”を書く
- (2) PRC2ビットで保護されるレジスタに値を書く

5.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

6. リセット

6.1 概要

リセットには、ハードウェアリセット、電圧監視0リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表6.1にリセットの種類、図6.1にリセット回路のブロック図、表6.3に入出力端子を示します。

表6.1 リセットの種類

リセットの名称	要因	初期化されないレジスタ、ビット
ハードウェアリセット	RESET端子の入力電圧が“L”	(A)
電圧監視0リセット	VCC1の下降 (監視電圧: Vdet0)	なし
発振停止検出リセット	メインクロック発振回路の停止を検出	(A) (B) (C)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー	(A) (B)
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く	(A) (B)

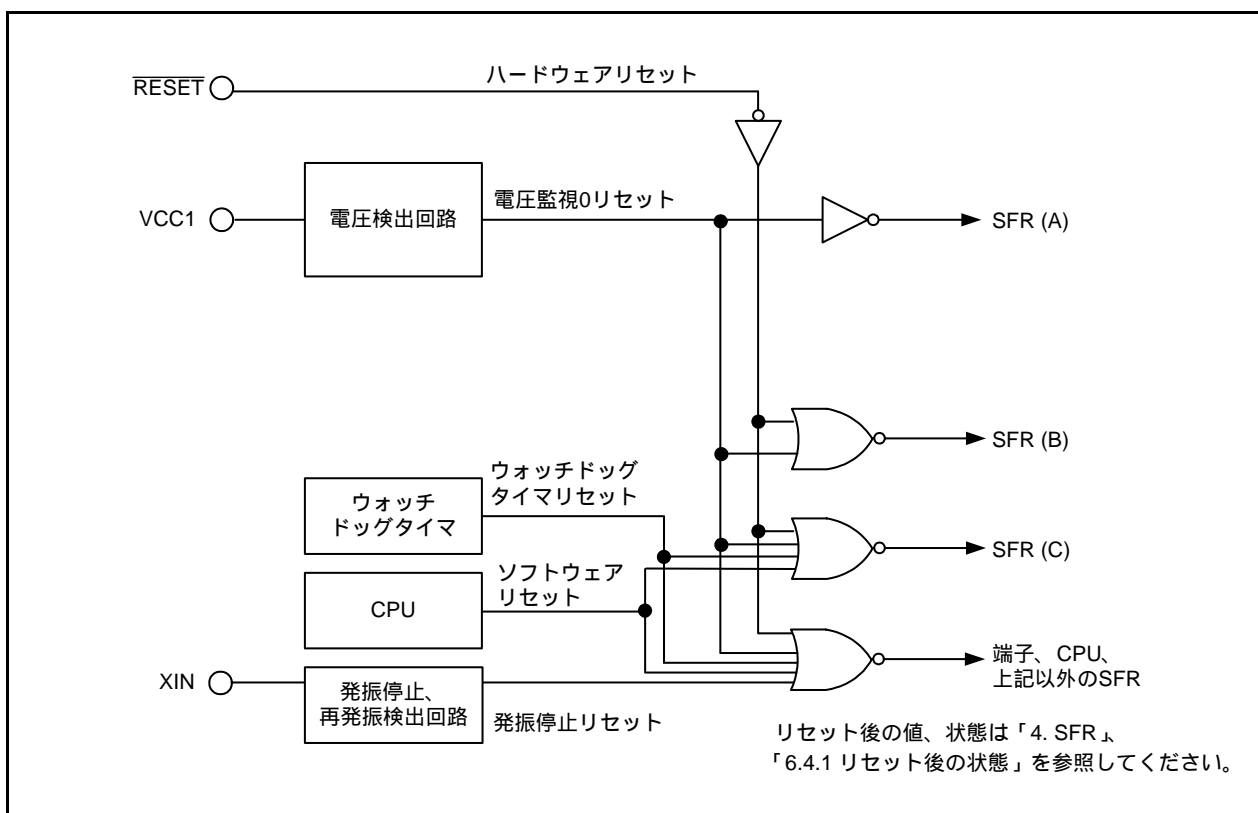


図6.1 リセット回路のブロック図

表6.2 リセット時のSFRの分類

SFRの分類	レジスタ、ビット
SFR(A)	RSTFRレジスタのOSDRビット、CWRビット RSTFRレジスタのCWRビット VCR2レジスタ、VW0Cレジスタ VW2CレジスタのVW2C3ビット PM0レジスタのPM00、PM01ビット
SFR(B)	—
SFR(C)	CM2レジスタのCM20、CM21、CM27ビット

表6.3 入出力端子

端子名	入出力	機能
RESET	入力	ハードウェアリセットの入力
VCC1	入力	電源入力。電圧監視0リセットはVCC1を監視する
XIN	入力	メインクロック入力。発振停止検出リセットはメインクロックを監視する

6.2 レジスタの説明

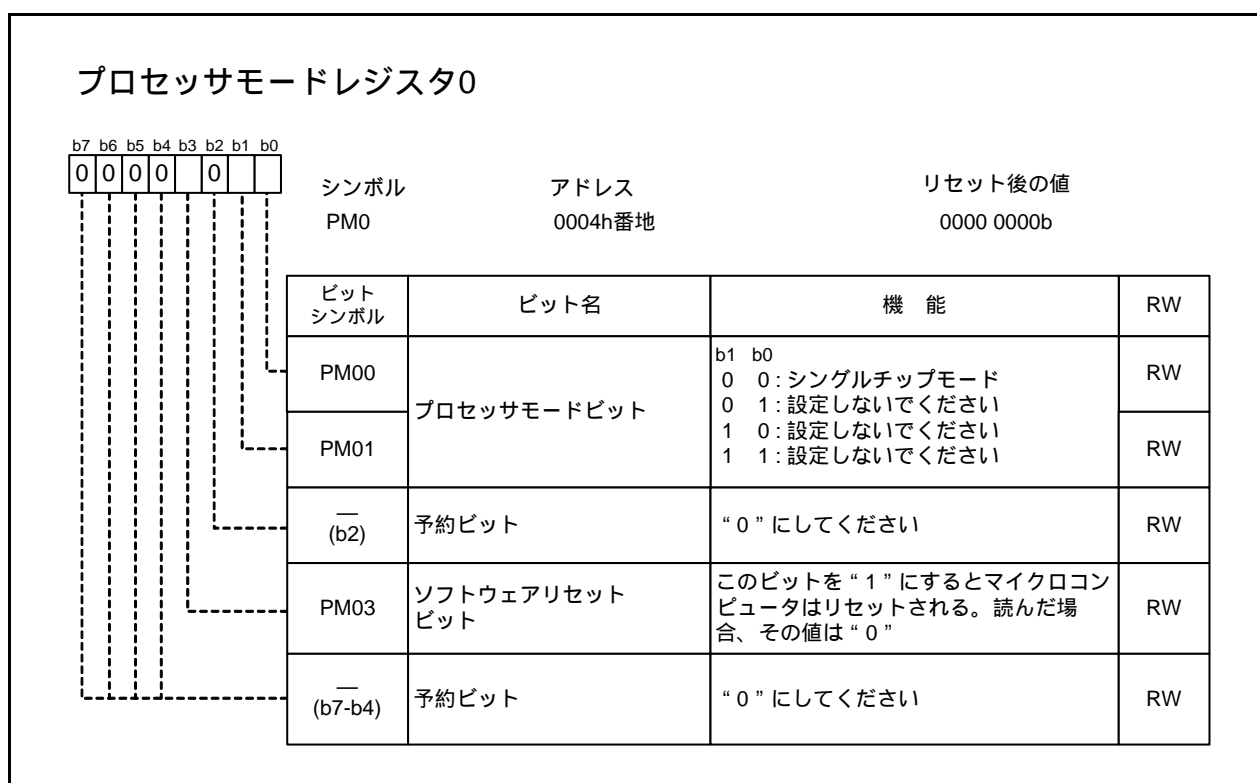
電圧監視0リセットで使用するレジスタは「7. 電圧検出回路」を参照してください。ウォッチドッグタイマリセットで使用するレジスタは「14. ウォッチドッグタイマ」を参照してください。発振停止検出しセットで使用するレジスタは「8.7 発振停止、再発振検出機能」を参照してください。

表6.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b
0018h	リセット要因判別レジスタ	RSTFR	XX00 001Xb (注1)

注1. 「6.2.2 リセット要因判別レジスタ (RSTFR)」参照

6.2.1 プロセッサモードレジスタ0 (PM0)



このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PM03 (ソフトウェアリセットビット) (b3)

PM03ビットに“1”を書くと、ソフトウェアリセットします。

6.2.2 リセット要因判別レジスタ (RSTFR)

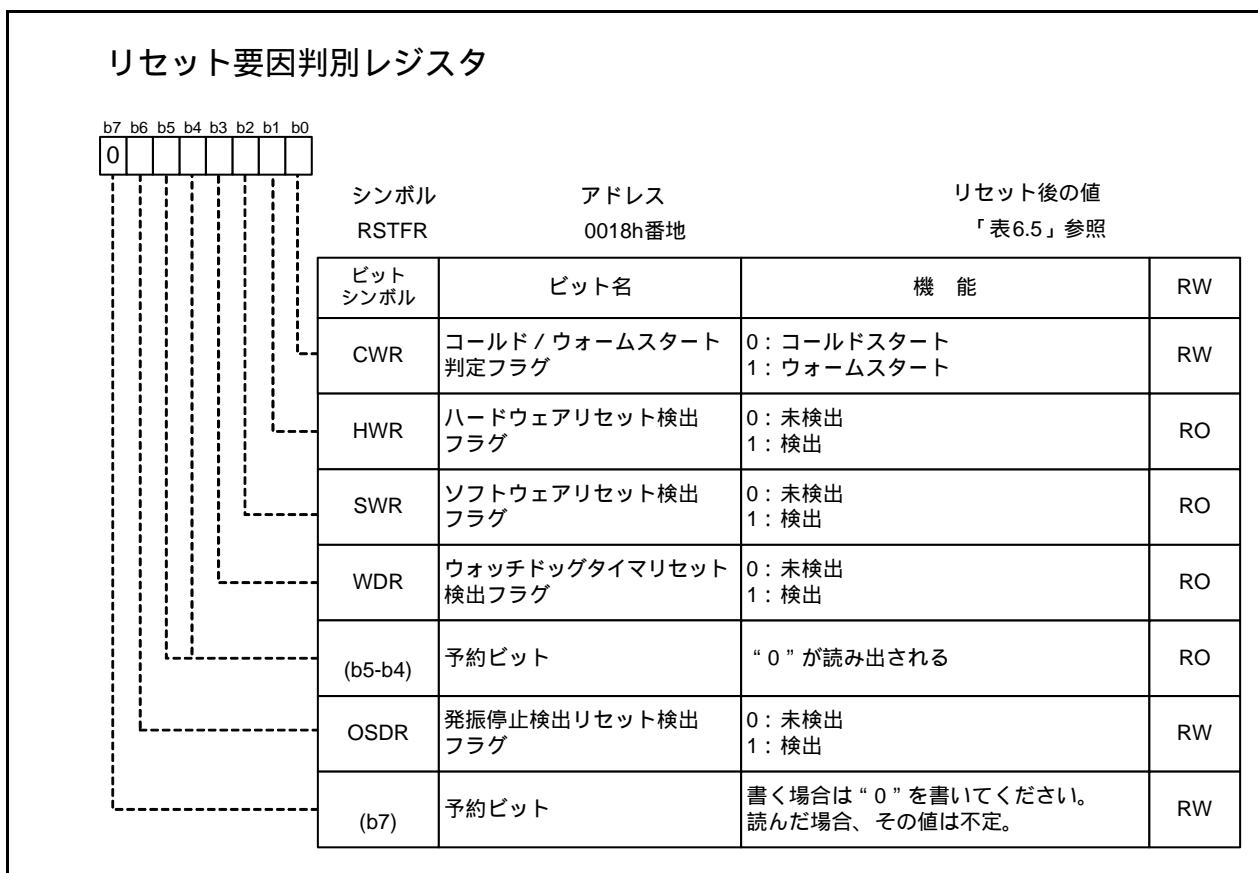


表6.5 リセット後のRSTFRレジスタのビットの値

リセット	RSTFRレジスタのビット				
	OSDR	WDR	SWR	HWR	CWR
ハードウェアリセット	変化しない	0	0	1	変化しない
電圧監視0リセット	0	0	0	0	0
発振停止検出リセット	1	0	0	0	変化しない
ウォッチドッグタイマリセット	0	1	0	0	変化しない
ソフトウェアリセット	0	0	1	0	変化しない

CWR (コールド/ウォームスタート判定フラグ) (b0)

[“0” になる条件]

- 電源投入

[“1” になる条件]

- CWRビットに“1”を書く

OSDR (発振停止検出リセット検出フラグ) (b6)

[“0” になる条件]

- 電源投入

- OSDRビットに“0”を書く

プログラムで“1”を書いても変化しません。

6.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

6.3.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地							
b7	b6	b5	b4	b3	b2	b1	b0
			1			1	
シンボル OFS1							
アドレス FFFFFh番地							
ビット シンボル	ビット名						機能
WDTON	ウォッチドッグタイマ起動選択ビット						0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態
— (b1)	予約ビット						“1”にしてください
ROMCR	ROMコードプロテクト解除ビット						0: ROMコードプロテクト解除 1: ROMCP1ビット有効
ROMCP1	ROMコードプロテクトビット						0: ROMコードプロテクト有効 1: ROMコードプロテクト解除
— (b4)	予約ビット						“1”にしてください
VDSEL1	Vdet0選択ビット1						0: Vdet0_2 1: Vdet0_0
LVDAS	電圧検出0回路起動ビット						0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効
CSPROINI	リセット後カウントソース保護モード選択ビット						0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効

WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

リセット後のウォッチドッグタイマの状態を決めるビットです。

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときは、WDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

ウォッチドッグタイマ、カウントソース保護モードの詳細は「14. ウォッチドッグタイマ」を参照してください。

ROMCR (ROMコードプロテクト解除ビット) (b2)

ROMCP1 (ROMコードプロテクトビット) (b3)

パラレル入出力モードによるフラッシュメモリの読み出しや内容の変更を禁止します。

表6.6 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

VDSEL1 (Vdet0選択ビット1) (b5)

電圧監視0リセットを使用する場合は、VDSEL1ビットを“0”(Vdet0は2.85V)にしてください。また、「6.4.7 コールド/ウォームスタート判定機能」を参照してください。

ブートモードでは無効です。

LVDAS (電圧検出0回路起動ビット) (b6)

ブートモードでは無効です。

6.4 動作説明

6.4.1 リセット後の状態

リセット後のSFRの状態はリセットの種類によって変わります。「4. SFR」の「リセット後の値」を参照してください。表 6.7 に RESET 端子のレベルが“L”の期間の端子の状態、図 6.2 にリセット後のCPUレジスタの状態、図 6.3 にリセットシーケンスを示します。

表 6.7 RESET 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態(注1)	
	シングルチップモード (CNVSS=VSS)	ブートモード (CNVSS=VCC1)
P0	入力ポート	入力ポート
P1	入力ポート	入力ポート
P2, P3, P4_0~P4_3	入力ポート	入力ポート
P4_4	入力ポート	入力ポート
P4_5~P4_7	入力ポート	入力ポート
P6, P7, P8, P9, P10	入力ポート	入力ポート

注1. 電源投入後、内部電源電圧が安定してからの状態です。電源投入後、td(P-R) 経つまでは不定です。

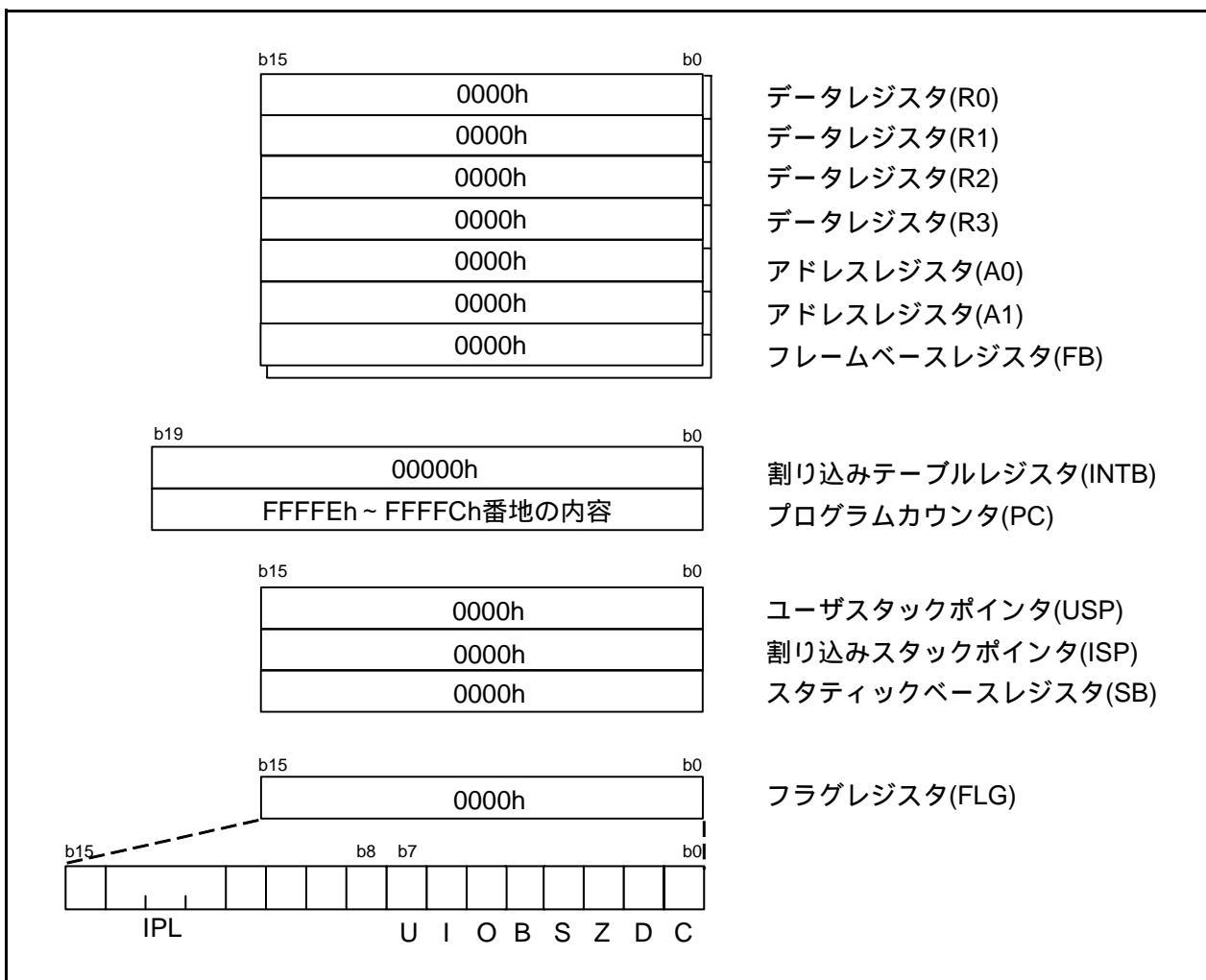


図6.2 リセット後のCPUレジスタの状態

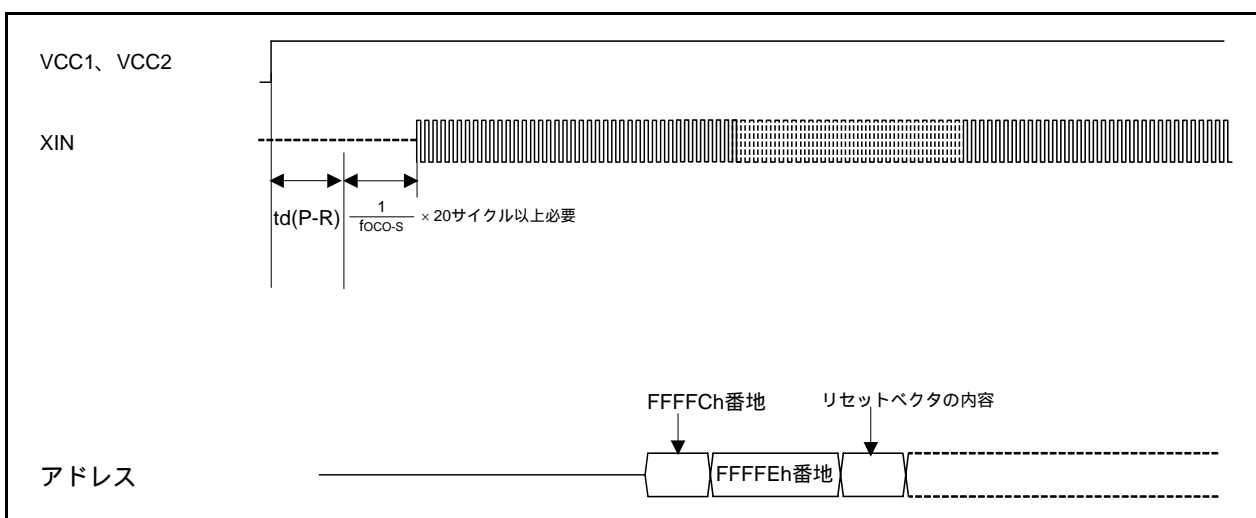


図6.3 リセットシーケンス

6.4.2 ハードウェアリセット

RESET 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET 端子に“L”を入力すると端子、CPU、SFRが初期化されます。

RESET 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ハードウェアリセット後、RSTFRレジスタのHWRビットが“1”(ハードウェアリセット検出)になります。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへの書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

ハードウェアリセットを発生させる手順は次のとおりです。

電源が安定している場合

- (1) RESET 端子に“L”を入力する
- (2) $t_w(\text{RSTL})$ 待つ
- (3) RESET 端子に“H”を入力する

電源投入時

- (1) RESET 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) $\frac{1}{f_{\text{OCO-S}}} \times 20$ サイクル待つ
- (5) RESET 端子に“H”を入力する

図6.4にリセット回路の例を示します。

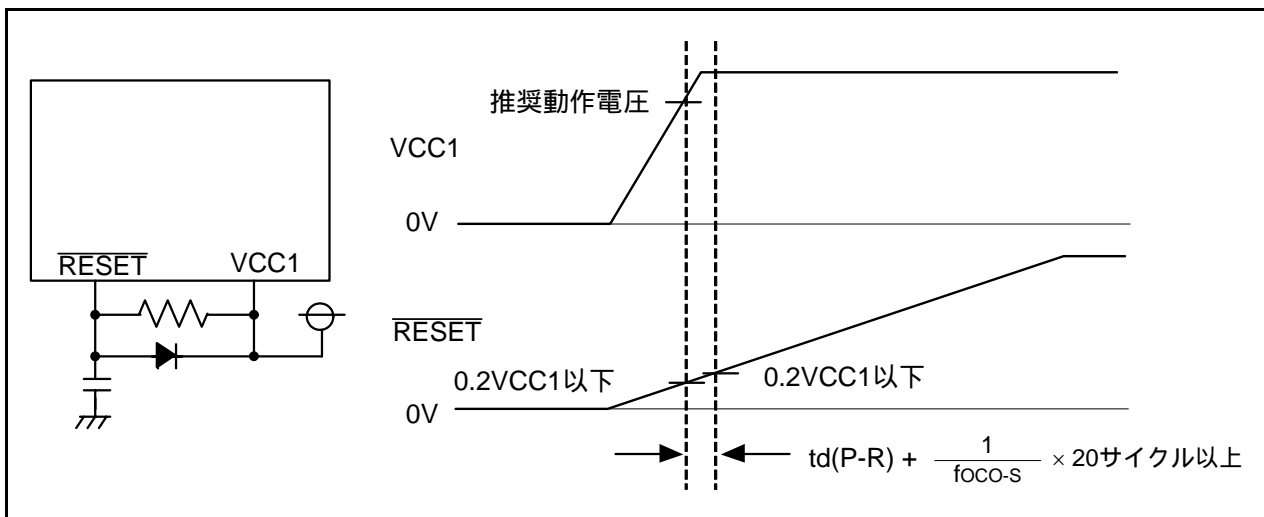


図6.4 リセット回路の例

6.4.3 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC1端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC1端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC1端子に入力する電圧がVdet0以上になると、fOCO-Sのカウントを開始します。fOCO-Sを32回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

電圧監視0リセット後、RSTFRレジスタのCWRビットが“0”(コールドスタート)になります。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC1端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.4 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。

発振停止検出リセット後RSTFRレジスタのOSDRビットが“1”(発振停止検出リセット検出)になります。発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。また、内部RAMへ書き込み中にメインクロック発振回路の停止を検出すると、内部RAMは不定となります。

発振停止検出リセットはハードウェアリセットまたは電圧監視0リセットで解除されます。

発振停止検出機能の詳細は「8.7 発振停止、再発振検出機能」を参照してください。

6.4.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセット後RSTFRレジスタのWDRビットが“1”(ウォッチドッグタイマリセット検出)になります。ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

6.4.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ソフトウェアリセット後RSTFRレジスタのSWRビットが“1”(ソフトウェアリセット検出)になります。ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。

6.4.7 コールド/ウォームスタート判定機能

VCC1がRAM保持電圧以下になったかどうかを検出する機能です。検出の基準になる電圧はVdet0です。このため、コールド/ウォームスタート判定機能は電圧監視0リセットを使用します。「7.4.1.1 電圧監視0リセット」に従って電圧監視0リセット関連ビットを設定してください。

RSTFRレジスタのCWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”(ウォームスタート)を書くと“1”になり、ハードウェアリセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセットでは変化しません。

コールド/ウォームスタート判定機能では、OFS1番地のVDSEL1ビットでVdet0レベルを選択できます。

- 電圧監視0リセットを使用する場合

VDSEL1ビットを“0”(Vdet0は2.85V (Vdet0_2)) にしてください。

- ユーザシステムとしては、電圧監視0リセットが必要ない場合

VDSEL1ビットを“1”(Vdet0_0) にしてください。この場合、電圧監視0リセットとその解除の両方をVdet0_0基準で行いますので、電圧監視0リセット解除後、ハードウェアリセットしてください。

図6.5にコールド/ウォームスタート判定機能の動作例を示します。

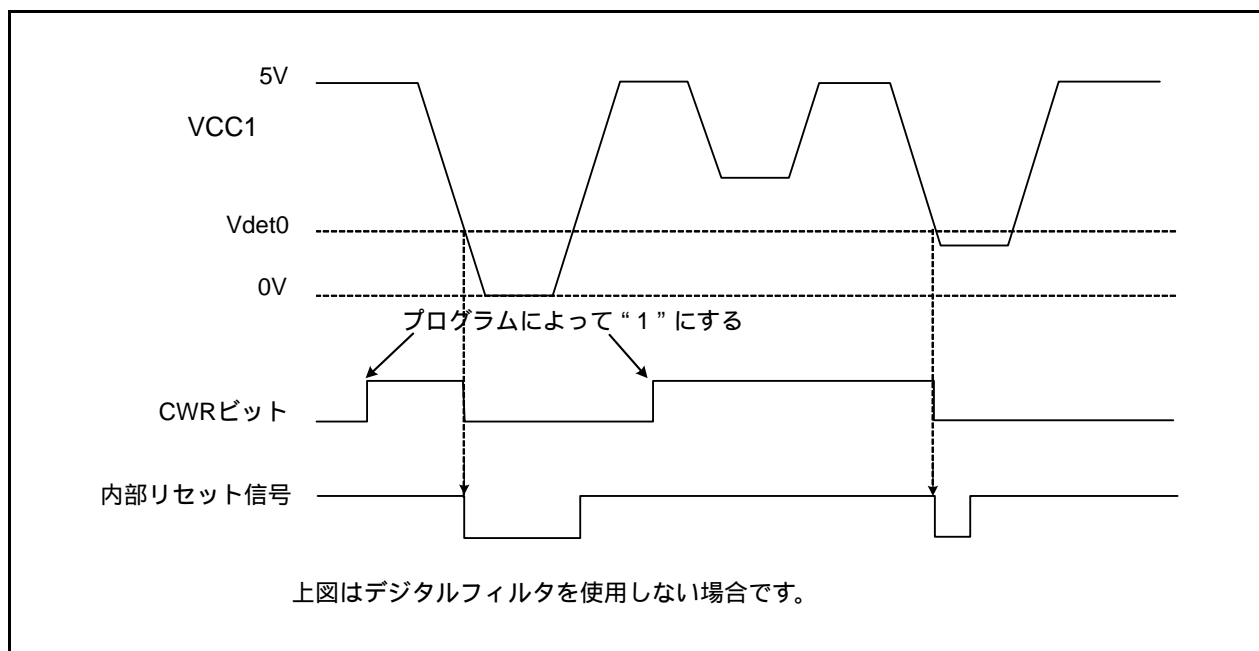


図6.5 コールド/ウォームスタート判定機能の動作例

6.5 リセット使用上の注意事項

6.5.1 電源立ち上がり勾配

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源VCC1立ち上がり勾配 (電圧範囲0V~2V)	0.05			V/ms

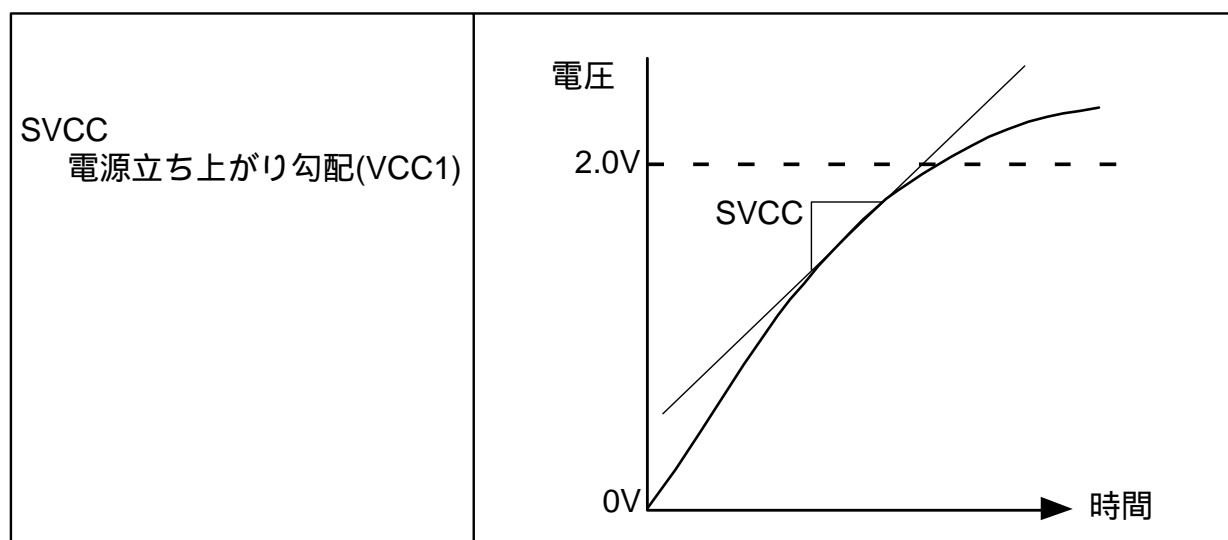


図6.6 SVCCのタイミング図

6.5.2 OSDRビット(発振停止検出リセット検出フラグ)

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”(未検出)になります。

6.5.3 VCC1 < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”(ハードウェアリセット後、電圧監視0リセット有効)かつVCC1 < Vdet0の状態、ハードウェアリセットした場合、RESET端子の入力レベルが“L”から“H”になると、リセットベクタで示される番地からプログラムを開始します。電圧監視0リセットにはなりません。

6.5.4 PLLクロックの発振開始

6.5.4.1 電圧検出0回路使用時

VCR2レジスタのVC25が“1”のときは、PLC0レジスタのPLC07ビットを“0”から“1”にしないでください。

電圧検出回路を使用する際、PLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) VC25ビットを“0”(電圧検出回路無効)にする
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) VC25ビットを“1”(電圧検出回路有効)にする

6.5.4.2 125kHz オンチップオシレータモードまたは125kHz オンチップオシレータ低消費電力モードで動作時

8分周または16分周(CM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択)で、PLC0レジスタのPLC07ビットを“0”から“1”にしてください。

6.5.4.3 タイマA、タイマBのカウントソース

PLLクロックを使用する場合は、タイマA、タイマBのカウントソースにfOCO-Sを選択しないでください。

6.5.4.4 ウォッチドッグタイマのカウントソースにfOCO-Sを選択時

PLC0レジスタのPLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) WDTRレジスタに“00h”を書いて“FFh”を書く(ウォッチドッグタイマリフレッシュ)
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) WDTRレジスタに“00h”を書いて“FFh”を書く(ウォッチドッグタイマリフレッシュ)

7. 電圧検出回路

7.1 概要

電圧検出回路はVCC1端子に入力する電圧を監視する回路です。VCC1入力電圧をプログラムで監視できます。また、電圧監視0リセットを使用できます。

表7.1に電圧検出回路の仕様を、図7.1に電圧検出回路ブロック図を示します。

表7.1 電圧検出回路の仕様

項目		電圧検出0
VCC1監視	監視する電圧	Vdet0
	検出対象	上昇または下降してVdet0を通過したか
	検出電圧	OFS1番地で2レベルから選択可能
	モニタ	なし
電圧検出時の処理	リセット	電圧監視0リセット
		Vdet0 > VCC1でリセット; VCC1 > Vdet0でCPU動作再開
	割り込み	なし

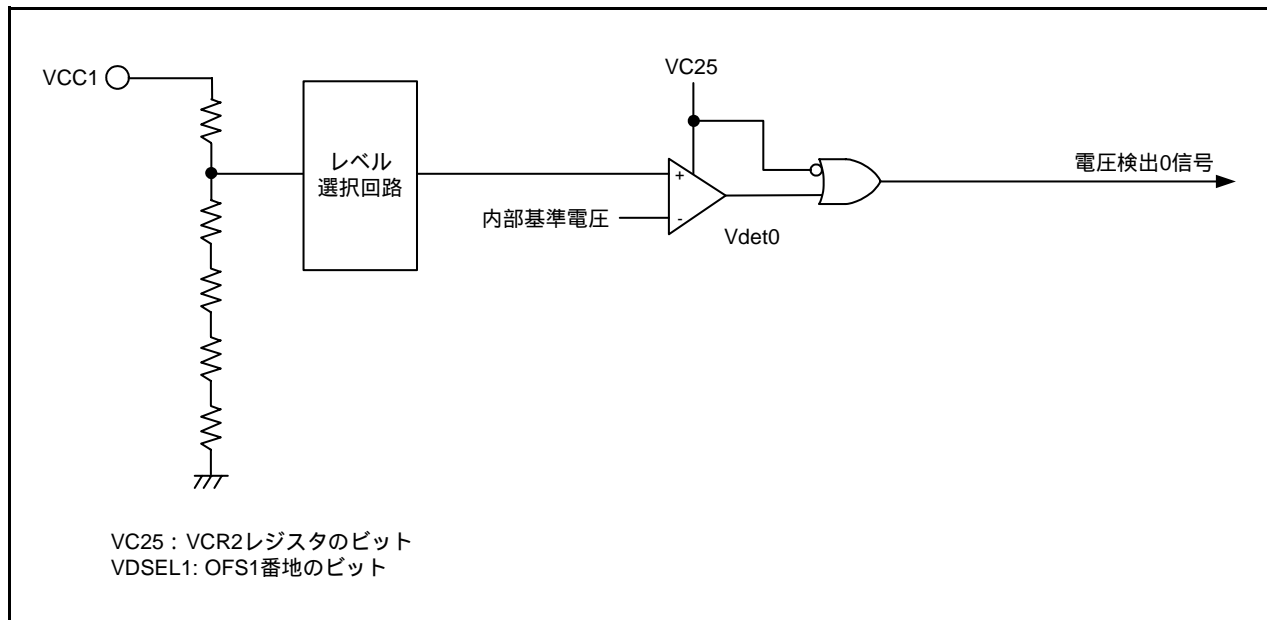


図7.1 電圧検出回路ブロック図

7.2 レジスタの説明

表7.2に電圧検出回路のレジスタを示します。リセット後の値は、ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください。

表7.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
001Ah	電圧検出回路動作許可レジスタ	VCR2	0000 0000b 001X 0000b
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 XX10b 1100 XX11b

7.2.1 電圧検出回路動作許可レジスタ (VCR2)

電圧検出回路動作許可レジスタ			
ビットシンボル	ビット名	機能	RW
(b4-b0)	予約ビット	“0” にしてください。	RW
VC25	電圧検出0許可ビット	0: 電圧検出0回路無効 1: 電圧検出0回路有効	RW
(b7-b6)	予約ビット	“0” にしてください。	RW

注1. OFS1番地のLVDASビットが“1”かつハードウェアリセット
 注2. 下記のいずれかのリセット後
 ・電圧監視0リセット
 ・OFS1番地のLVDASビットが“0”かつハードウェアリセット

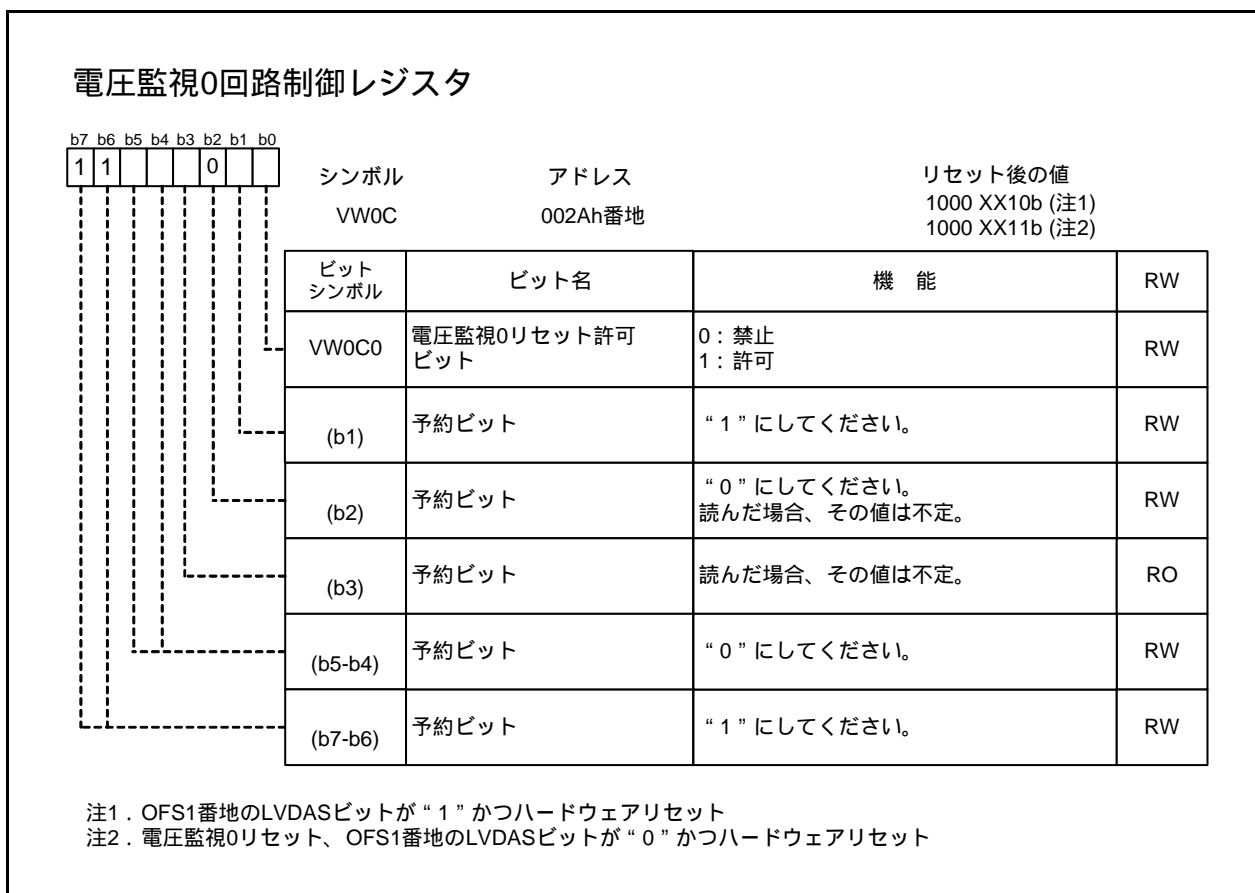
VCR2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VCR2レジスタの値は、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC25 (電圧検出0許可ビット) (b5)

電圧監視0リセットを使用する場合、VC25ビットを“1”(電圧検出0回路有効)にしてください。VC25ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

7.2.2 電圧監視0回路制御レジスタ (VW0C)



VW0CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW0C0 (電圧監視0リセット許可ビット) (b0)

VW0C0ビットはVCR2レジスタのVC25ビットが“1”(電圧検出0回路有効)のとき有効です。VC25ビットが“0”(電圧検出0回路無効)のときは、VW0C0ビットを“0”(禁止)にしてください。

ビット6

OFS1番地のLVDASビットが“1”の場合、ハードウェアリセット後“0”になります。電圧監視0リセットを使用する場合は“1”にしてください。

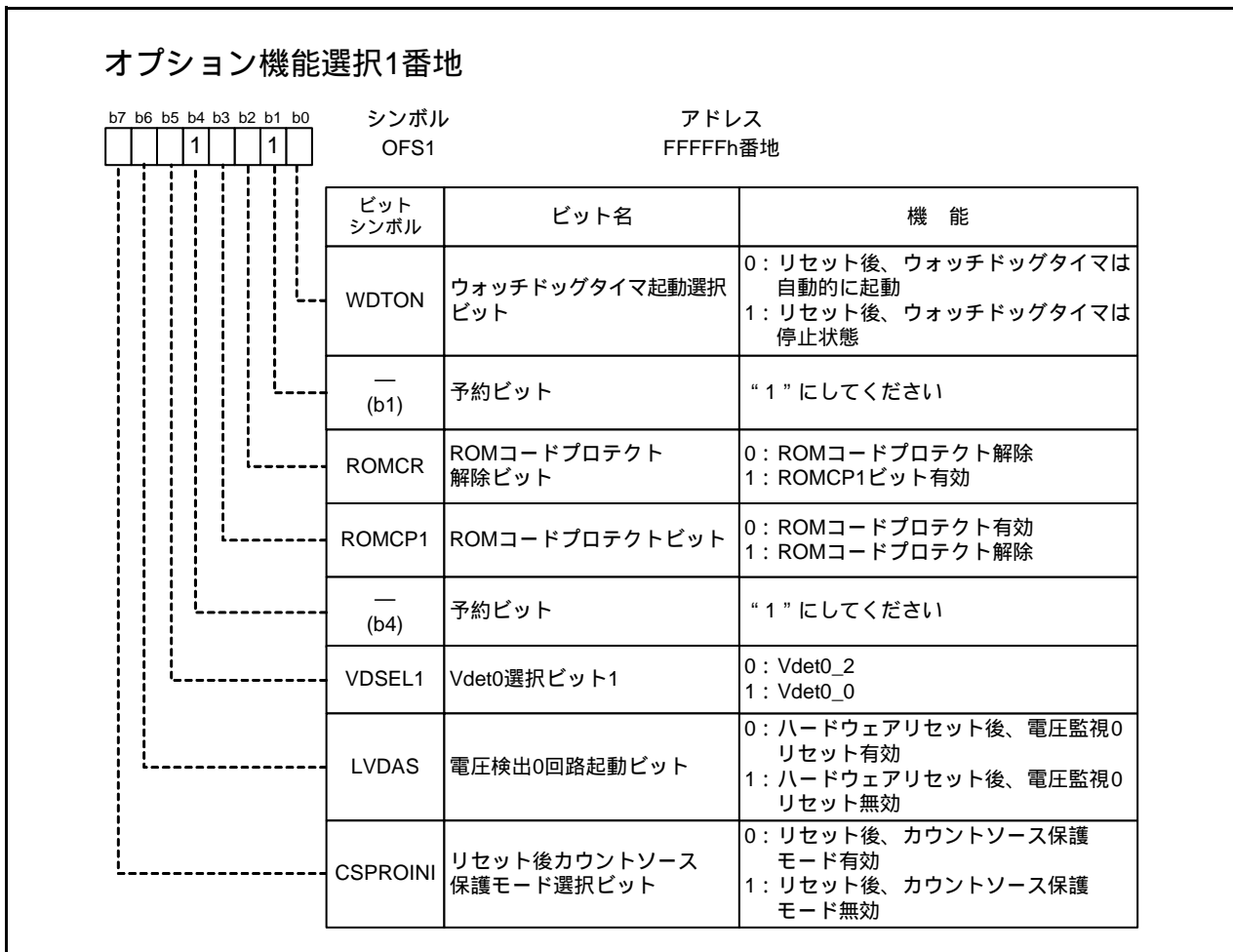
7.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

7.3.1 オプション機能選択1番地 (OFS1)



VDSEL1 (Vdet0選択ビット1) (b5)

電圧検出0回路で使用するVdet0のレベルを選択できます。電圧検出0回路はVdet0を基準に動作します。

電圧監視0リセットを使用する場合は、VDSEL1ビットを“0”(Vdet0は2.85V)にしてください。また、「6.4.7 コールド/ウォームスタート判定機能」を参照してください。

ブートモードでは無効です。

LVDAS (電圧検出0回路起動ビット) (b6)

ブートモードでは無効です。

7.4 動作説明

7.4.1 電圧検出0回路

VCR2レジスタのVC25ビットが“1”(電圧検出0回路有効)のとき、VCC1端子に入力する電圧が上昇または下降してVdet0を通過したか監視します。Vdet0のレベルはOFS1番地のVDSEL1ビットで選択できます。

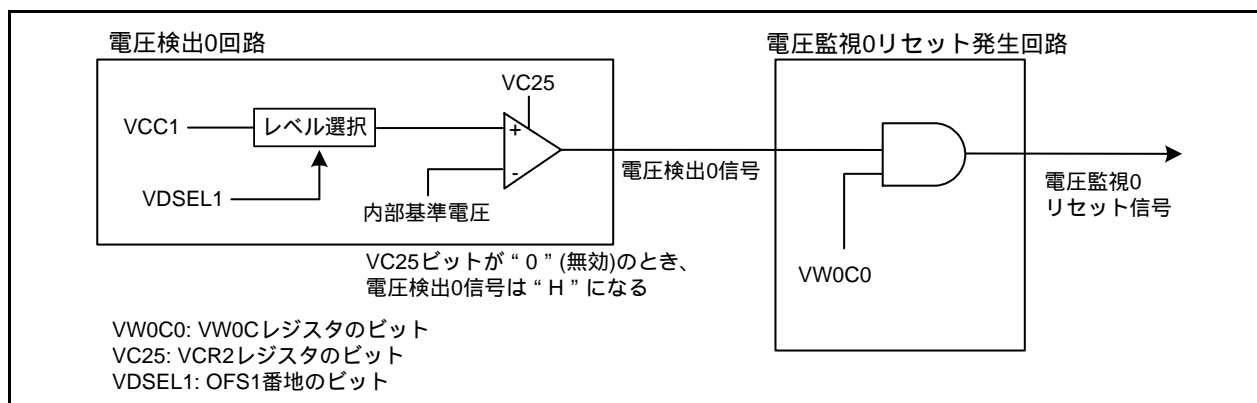


図7.2 電圧監視0リセット発生回路のブロック図

7.4.1.1 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1番地のVDSEL1ビットを“0”(Vdet0_2)にしてください。OFS1番地のLVDASビットが“1”(ハードウェアリセット後、電圧監視0リセット無効)の場合、表7.3の手順で関連ビットを設定してください。OFS1番地のLVDASビットが“0”(ハードウェアリセット後、電圧監視0リセット有効)の場合、表7.3の手順は必要ありません。

表 7.3 電圧監視0リセット関連ビットの設定手順

手順	処理
1	VCR2レジスタのVC25ビットを“1”(電圧検出0回路有効)にする
2	td(E-A)待つ
3	VW0CレジスタのVW0C0ビットを“1”(電圧監視0リセット許可)にする

電圧監視0リセットが発生するとRSTFRレジスタのCWRビットが“0”(コールドスタート)になります。リセット後の状態などは「6.4.3 電圧監視0リセット」を参照してください。

図7.3に電圧監視0リセット動作例を示します。

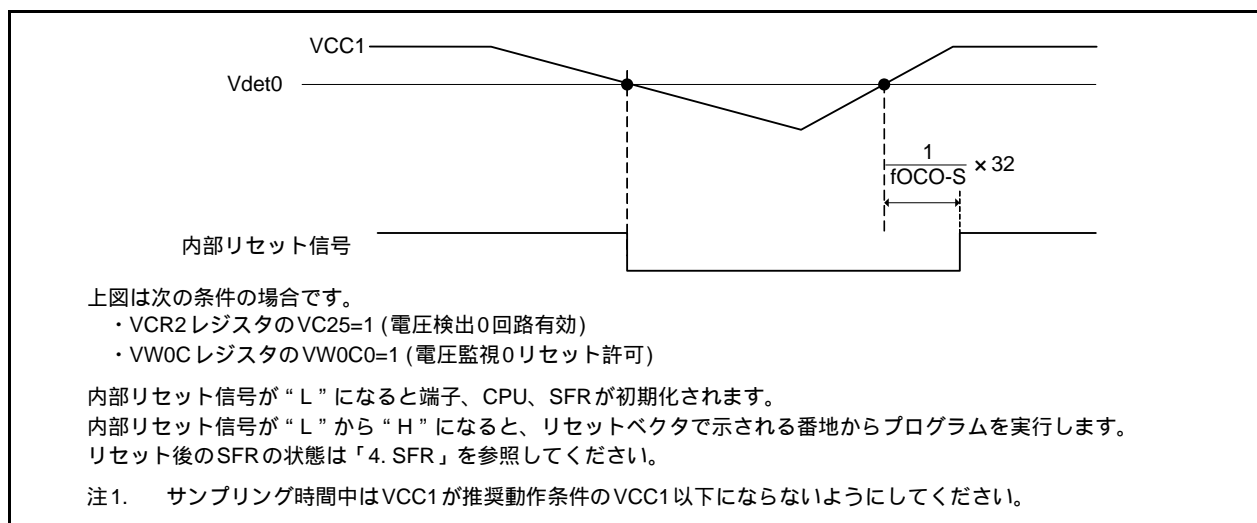


図7.3 電圧監視0リセット動作例

8. クロック発生回路

8.1 概要

CPUや周辺機能の動作クロックを発生する機能です。クロック発生回路として、3つの回路があります。

- メインクロック発振回路
- PLL周波数シンセサイザ
- 125kHzオンチップオシレータ
- サブクロック発振回路

表 8.1 にクロック発生回路の仕様を示します。また、図 8.1 にシステムクロック発生回路のブロック図を示します。

表 8.1 クロック発生回路の仕様

項目	メインクロック 発振回路	PLL周波数 シンセサイザ	125kHz オンチップオシレータ	サブクロック 発振回路
用途	•CPUの クロック源 •周辺機能の クロック源	•CPUの クロック源 •周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •メインクロック発振停止時の CPU、周辺機能のクロック源 •CPUクロック停止時のウォッ チドッグタイマのカウン トソース	•CPUのクロック源 •周辺機能のクロッ ク源
クロック周波数	15.36 MHz	CPU:11.52 ~ 30.72 MHz PLC:46.08 MHz	約 125 kHz	32.768 kHz
接続できる 発振子	水晶発振子(注2)	- (注1)	-	水晶発振子
発振子の 接続端子	XIN、XOUT	- (注1)	-	XCIN、XCOUT
発振の開始、 停止機能	あり	あり	あり	あり
リセット後の 状態	発振	停止	発振	停止

注1. PLL周波数シンセサイザは基準クロック源としてメインクロック発振回路を使用します。

したがって、これらの項目はメインクロック発振回路に準じます。

注2. 水晶発振子は15.36MHz (精度±75ppm以内)を使用してください。

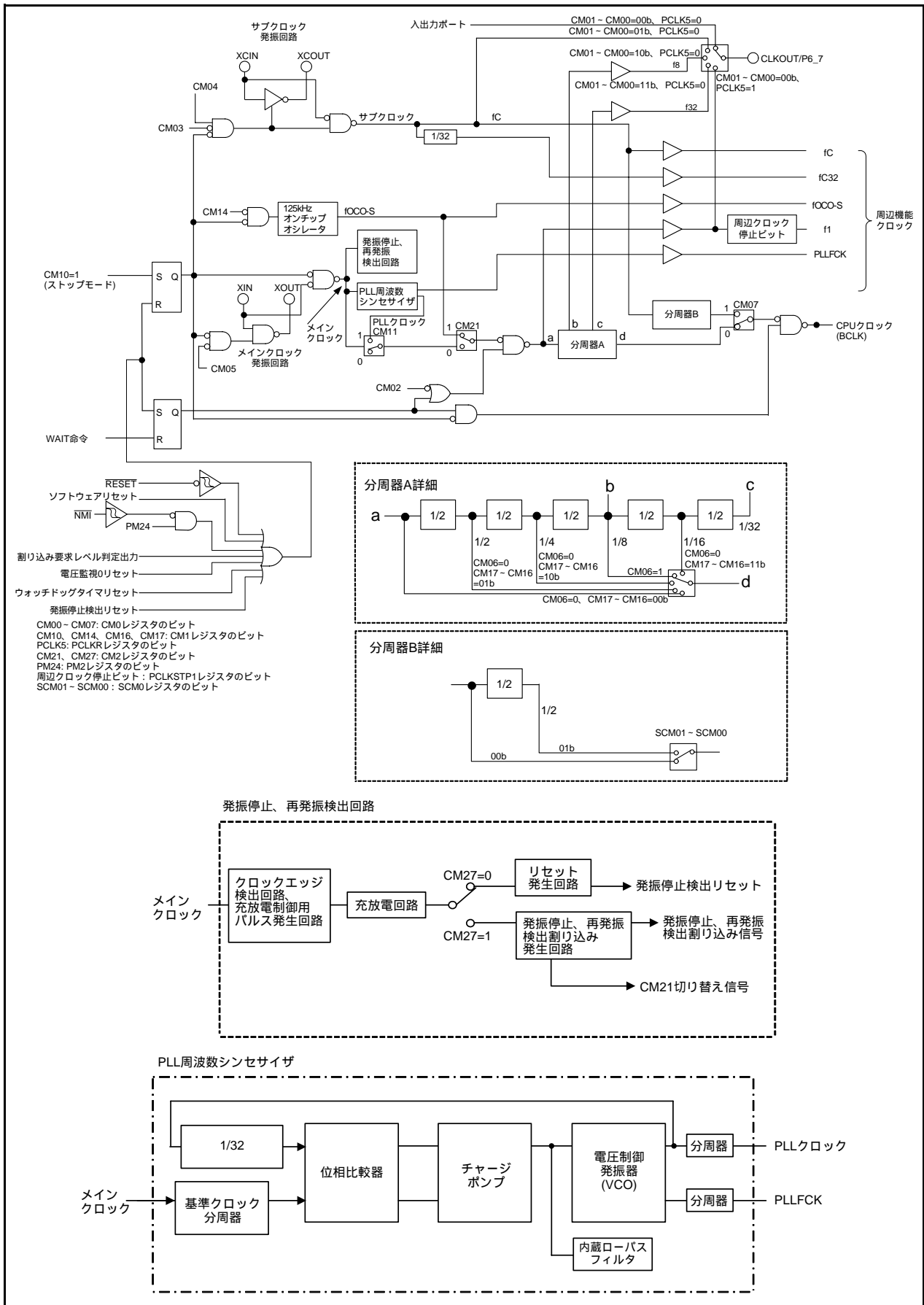


図8.1 システムクロック発生回路

表8.2 入出力端子

端子名	入出力	機能
XIN	入力	メインクロック発振回路を構成する
XOUT	出力	
XCIN	入力(注1)	サブクロック発振回路を構成する
XCOU	出力(注1)	
CLKOUT	出力	クロック出力(シングルチップモード時)

注1. 端子を共用するポートの方向ビットは“0”(入力モード)にしてください。

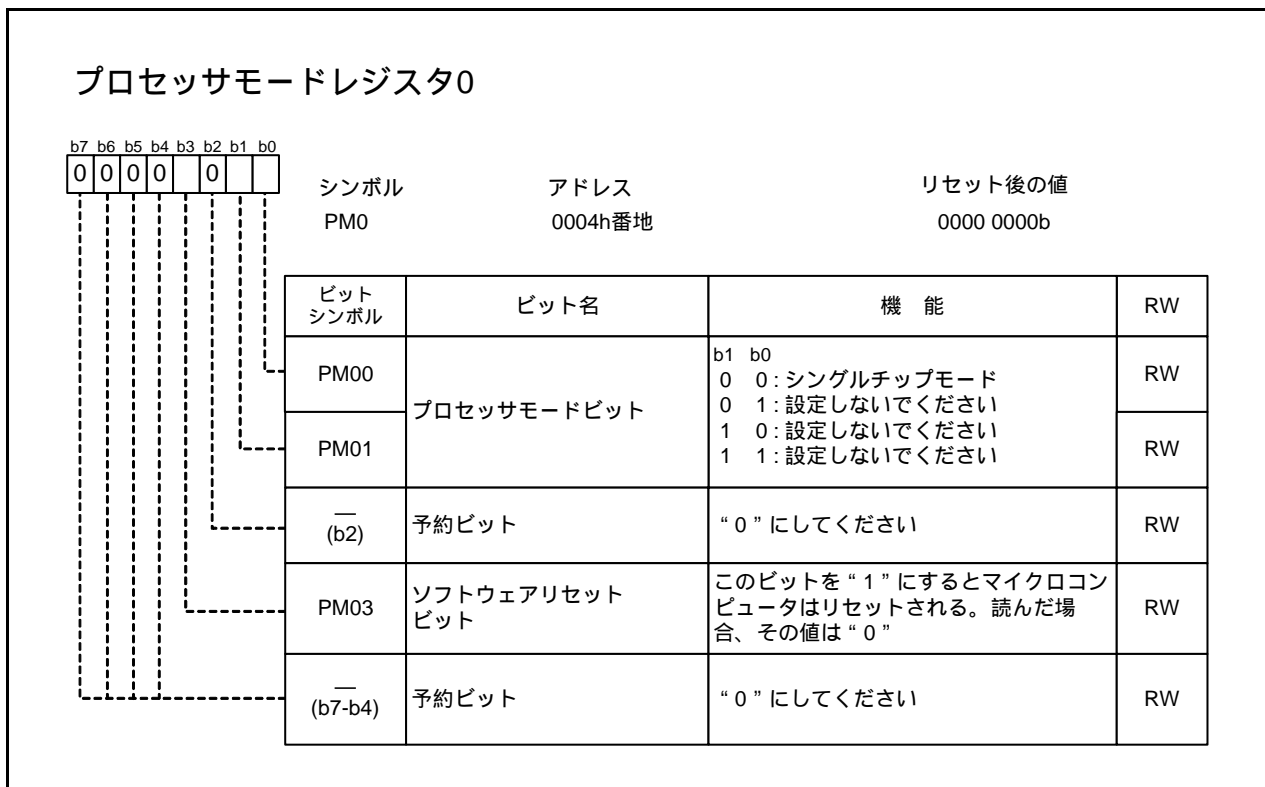
8.2 レジスタの説明

表8.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注1)
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h	サブクロック分周制御レジスタ	SCM0	XXXX X000b
0016h	周辺クロック停止レジスタ1	PCLKSTP1	X000 0000b
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Dh	PLLファンクションロック制御レジスタ	PLCF	00h
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b

注1. CM20、CM21、CM27ビットは発振停止検出リセットでは変化しません。

8.2.1 プロセッサモードレジスタ0 (PM0)



PM0レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

CM02 (ウェイトモード時周辺機能クロック停止ビット) (b2)

ウェイトモード時に周辺機能クロックの f_1 を停止させる機能です。周辺機能クロックの f_C 、 f_{C32} 、 f_{OCO-S} は CM02 ビットの影響を受けません。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02ビットに書いても変化しません。

CM03 (XCINクロック停止ビット) (b3)

CM04ビットが“0”(P8_6、P8_7は入出力ポート)の間、CM03ビットは“1”(停止)になります。

CM04 (ポートXC切り替えビット) (b4)

CM04ビットが“0”(P8_6、P8_7は入出力ポート)の間、CM03ビットは“1”(停止)になります。

CM05 (メインクロック停止ビット) (b5)

CM05ビットはメインクロックを停止させるためのビットです。メインクロックを停止させるのは次の場合です。

- 低消費電力モードにする
- 125kHz オンチップオシレータ低消費電力モードにする

CM05ビットはメインクロックが停止したかどうかの検出には使用できません。メインクロックの停止検出は「8.7 発振停止、再発振検出機能」を参照してください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM05ビットに書いても変化しません。

CM06 (メインクロック分周比選択ビット0) (b6)

次の条件のとき、CM06ビットは“1”(8分周モード)になります。

- ストップモードに遷移
- CM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつCM05ビットが“1”(メインクロック停止)のとき

CM07 (システムクロック選択ビット) (b7)

CPUクロック源と周辺機能クロック f_1 は、CM07ビット、CM1レジスタのCM11ビット、CM2レジスタのCM21ビットの組み合わせで決まります。CM07ビットが“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)の場合、CM11ビットとCM21ビットの組み合わせでCPUクロック源と周辺機能クロック f_1 が選択できます。CM07ビットが“1”(CPUクロック源はサブクロック)の場合、CPUクロック源は f_C で、CM11ビットとCM21ビットの組み合わせで周辺機能クロック f_1 が選択できます。

PM21ビットを“1”(クロック変更禁止)にする場合、CM07ビットを“0”(メインクロック)にした後で、PM21ビットを“1”にしてください。PM21ビットが“1”の場合、CM07ビットに書いても変化しません。

8.2.3 システムクロック制御レジスタ1 (CM1)

システムクロック制御レジスタ1			
ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル CM1	アドレス 0007h番地	リセット後の値 0010 0000b
	CM10	全クロック停止制御ビット	0: クロック発振 1: 全クロック停止(ストップモード)
	CM11	システムクロック選択ビット1	0: メインクロック 1: PLLクロック
	— (b2)	予約ビット	“ 0 ” にしてください
	CM13	XIN-XOUT帰還抵抗 選択ビット	0: 内蔵帰還抵抗接続 1: 内蔵帰還抵抗未接続
	CM14	125 kHzオンチップオシレータ 発振停止ビット	0: 125 kHzオンチップオシレータ発振 1: 125 kHzオンチップオシレータ停止
	CM15	XIN-XOUT駆動能力選択ビット	0: LOW 1: HIGH
	CM16	メインクロック分周比 選択ビット1	b7 b6 0 0: 分周なしモード 0 1: 2分周モード 1 0: 4分周モード 1 1: 16分周モード
	CM17		

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。クロック、モードの選択は「表9.3 クロック関連ビットの設定とモード」を参照してください。

CM10 (全クロック停止制御ビット) (b0)

CM11ビットが“1”(PLLクロック)、またはCM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、CM10ビットを“1”にしないでください。

次の場合、CM10ビットに書いても変化しません(ストップモードになりません)。

- PM2レジスタのPM21ビットが“1”(クロック変更禁止)
- CSPRレジスタのCSPROビットが“1”(ウォッチドッグタイマのカウントソース保護モード有効)
- NMI端子に“L”を入力

CM11 (システムクロック選択ビット1) (b1)

CM11ビットはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)のとき有効です。

CM07ビットが“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)の場合、CM11ビットでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”(CPUクロック源はサブクロック)の場合、CM11ビットで周辺機能クロックf1が選択できます。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM11ビットに書いても変化しません。

CM13 (XIN-XOUT帰還抵抗選択ビット) (b3)

CM13ビットは、メインクロックをまったく使用しない場合に使用できます。XIN-XOUT端子間に水晶発振子を接続する場合は、CM13ビットを“0”(内蔵帰還抵抗接続)にしてください(CM13ビットを“1”にしないでください)。

CM10ビットが“1”(ストップモード)のときは、CM13ビットの内容に関わらず帰還抵抗は未接続になります。

CM14 (125kHz オンチップオシレータ発振停止ビット) (b4)

CM14ビットは、CM21ビットが“0”(メインクロックまたはPLLクロック)のとき、“1”(125kHz オンチップオシレータ停止)にできます。CM21ビットを“1”(オンチップオシレータクロック)にすると、CM14ビットは“0”(125kHz オンチップオシレータ発振)になり、“1”を書いても変化しません(125kHz オンチップオシレータは停止しません)。

CSPRレジスタのCSPROビットが“1”(ウォッチドッグタイマのカウンタソース保護モード有効)のとき、CM14ビットは“0”(125kHz オンチップオシレータ発振)になり、“1”を書いても変化しません(125kHz オンチップオシレータは停止しません)。

CM15 (XIN-XOUT駆動能力選択ビット) (b5)

ストップモードに遷移したとき、またはCM2レジスタのCM21ビットを“0”(メインクロックまたはPLLクロック)かつCM0レジスタのCM05ビットを“1”(メインクロック停止)にしたとき、CM15ビットは“1”(駆動能力High)になります。

CM17~CM16 (メインクロック分周比選択ビット1) (b7~b6)

CM06ビットが“0”(CM17~CM16ビット有効)の場合に有効です。

8.2.4 発振停止検出レジスタ (CM2)

発振停止検出レジスタ			
ビットシンボル	ビット名	機能	RW
CM20	発振停止、再発振検出許可ビット	0: 発振停止、再発振検出機能無効 1: 発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2	0: メインクロックまたはPLLクロック 1: オンチップオシレータクロック	RW
CM22	発振停止、再発振検出フラグ	0: メインクロック停止、再発振を未検出 1: メインクロック停止、再発振を検出	RW
CM23	XINモニタフラグ	0: メインクロック発振 1: メインクロック停止	RO
— (b5-b4)	予約ビット	“0” にしてください	RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CM27	発振停止、再発振検出時の動作選択ビット	0: 発振停止検出リセット 1: 発振停止、再発振検出割り込み	RW

CM2 レジスタは PRCR レジスタの PRC0 ビットを “1” (書き込み許可) にした後で書き換えてください。CM20、CM21、CM27 ビットは、発振停止検出リセット時は変化しません。クロック、モードの選択は「表9.3 クロック関連ビットの設定とモード」を参照してください。

CM20 (発振停止、再発振検出許可ビット) (b0)

ストップモードへ遷移する場合、CM20 ビットを “0” (発振停止、再発振検出機能無効) にしてください。ストップモードからの復帰後、改めて CM20 ビットを “1” (有効) にしてください。

PM2 レジスタの PM21 ビットが “1” (クロック変更禁止) の場合、CM20 ビットに書いても変化しません。

CM21 (システムクロック選択ビット2) (b1)

CM07 ビットが “0” (CPU クロック源はメインクロック、PLL クロックまたはオンチップオシレータクロック) の場合、CM21 ビットで CPU クロック源と周辺機能クロック f1 が選択できます。CM07 ビットが “1” (CPU クロック源はサブクロック) の場合、CM21 ビットで周辺機能クロック f1 が選択できます。

CM20 ビットが “1” (発振停止、再発振検出機能有効) で、かつ CM23 ビットが “1” (メインクロック停止) のとき、CM21 ビットを “0” (メインクロックまたは PLL クロック) にしないでください。

CM20 ビットが “1” (発振停止、再発振検出機能有効)、CM27 ビットが “1” (発振停止、再発振検出割り込み)、かつ CPU クロック源がメインクロックのとき、メインクロック停止が検出されると CM21 ビットは “1” (オンチップオシレータクロック) になります。詳細は「8.7 発振停止、再発振検出機能」を参照してください。

CM22 (発振停止、再発振検出フラグ) (b2)

[“0” になる条件]

- プログラムで “0” を書く

[“1” になる条件]

- メインクロック停止検出
- メインクロック再発振検出
(プログラムで “1” を書いても変化しない)

CM22ビットが “0” から “1” に変化すると発振停止、再発振検出割り込み要求が発生します。割り込みルーチンで発振停止、再発振検出割り込みと他の割り込みとの要因判別のために使用してください。

CM22ビットが “1” のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。また、発振停止、再発振検出割り込み要求が受け付けられても、“0” になりません。

CM23 (XIN モニタフラグ) (b3)

発振停止、再発振検出割り込みルーチンで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。

8.2.5 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b
0	0	0	0	0	0					

ビット シンボル	ビット名	機 能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、マルチマ スタI ² C-bus インタフェースの クロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~ UART7、SI/O3、SI/O4のクロッ ク源)	0 : f2SIO 1 : f1SIO	RW
(b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビット で選択 1 : f1を出力	RW
(b7-b6)	予約ビット	“0” にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCLK5 (クロック出力機能拡張ビット) (b5)

CLKOUT端子の出力を選択できます。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。「表.8.4 CLKOUT端子の機能」を参照してください。

8.2.6 PLL制御レジスタ0 (PLC0)

PLL制御レジスタ0

シンボル PLC0	アドレス 001Ch番地	リセット後の値 0001 X010b	
ビット シンボル	ビット名	機能	RW
PLC00	PLL通倍率選択ビット	b2 b1 b0 0 0 0: 設定しないでください	RW
PLC01		0 0 1: 2通倍	RW
PLC02		0 1 0: 4通倍	RW
		0 1 1: 6通倍 1 0 0: 8通倍 1 0 1:] 設定しないでください	RW
— (b3)	予約ビット	読んだ場合、その値は不定	RO
PLC04	基準周波数カウンタ設定ビット	b5 b4 0 0: 分周なし	RW
PLC05		0 1: 2分周 1 0: 4分周 1 1: 設定しないでください	RW
PLC06	PLL FCK生成許可ビット	0: PLL FCK生成禁止 1: PLL FCK生成許可	RW
PLC07	動作許可ビット	0: PLL停止 1: PLL動作	RW

PLC0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLC02~PLC00 (PLL通倍率選択ビット) (b2~b0)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC02~PLC00ビットに書いても変化しません。

PLC05~PLC04 (基準周波数カウンタ設定ビット) (b5~b4)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PCL05~PCL04ビットに書いても変化しません。

PLC06 (PLLFCK生成許可ビット) (b6)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PLC機能を使用する場合は、PLC06ビットを“1”(PLLFCK生成許可)にしてください。表 8.5にPLC06ビットの機能を示します。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC06ビットに書いても変化しません。

表 8.5 PLC06ビットの機能

項目	PLC06ビット	
	0	1
PLLFCK生成	禁止	許可
PLC0レジスタのPLC02~PLC00ビット	有効	無効
PLCFレジスタ	無効	有効

PLC07 (動作許可ビット) (b7)

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC07ビットに書いても変化しません。

8.2.7 PLLファンクションロック制御レジスタ (PLCF)

PLL FCK制御レジスタ		シンボル PLCF	アドレス 001Dh番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機能		RW					
PLCF0	PLL FCK通倍率選択ビット	b1 b0	0 0: 8通倍	RW					
PLCF1		0 1: 12通倍	RW						
		1 0: 16通倍							
		1 1: 24通倍							
PLCF2	PLL FCK有効時 PLLクロック選択ビット	b1 b0	0 0: PLLクロック使用しない	RW					
PLCF3		0 1: 3分周	RW						
		1 0: 4分周							
		1 1: 8分周							
— (b7-b4)	予約ビット	“0” にしてください		RW					

PLCFレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
PLCFレジスタはPLC0レジスタのPLC06ビットが“1”(PLL FCK生成許可)のとき有効です。

PLCF1~PLCF0 (PLL FCK通倍率選択ビット) (b1~b0)

PLL FCKが46.08MHzになるよう設定してください。

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLCF1~PLCF0ビットに書いても変化しません。

PLCF3~PLCF2 (PLL FCK有効時PLLクロック選択ビット) (b3~b2)

PLCモデムを使用し、かつPLLクロックを使用する場合、“01b”(3分周)、“10b”(4分周)、“11b”(8分周)のいずれかを設定してください。PLLクロックを使用しない場合は“00b”でも構いません。

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLCF3~PLCF2ビットに書いても変化しません。

8.2.8 サブクロック分周制御レジスタ (SCM0)

サブクロック分周制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0 X X X X X 0 X X	シンボル SCM0	アドレス 0013h番地	リセット後の値 XXXX X000b
ビット シンボル	ビット名	機能	RW
SCM00	サブクロック分周比 選択ビット	b1 b0 0 0 : 分周なし 0 1 : 2分周 1 0 : 設定しないでください 1 1 : 設定しないでください	RW
SCM01			
— (b2)	予約ビット	“0” にしてください	RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

SCM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.9 周辺クロック停止レジスタ 1 (PCLKSTP1)

周辺クロック停止レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0 X X X X X X X X	シンボル PCLKSTP1	アドレス 0016h番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機能	RW
PCKSTP10	リアルタイムクロック 周辺クロック停止ビット	0: f1供給許可 1: f1供給禁止	RW
PCKSTP11	タイマ周辺クロック 停止ビット (タイマA、タイマB)	0: f1供給許可 1: f1供給禁止	RW
PCKSTP12	UART周辺クロック 停止ビット (UART0~2、UART5~7)	0: f1供給許可 1: f1供給禁止	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PCKSTP14	AD周辺クロック停止ビット	0: f1供給許可 1: f1供給禁止	RW
PCKSTP15	SIO周辺クロック停止ビット (SI/O3、SI/O4)	0: f1供給許可 1: f1供給禁止	RW
PCKSTP16	マルチマスタ ² C周辺クロ ック停止ビット (マルチマスタ ² C-busイン タフェース)	0: f1供給許可 1: f1供給禁止	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

PCKSTP1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.10 プロセッサモードレジスタ2(PM2)

プロセッサモードレジスタ2			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PM2	アドレス 001Eh番地	リセット後の値 XX00 0X01b
ビット シンボル	ビット名	機 能	RW
(b0)	予約ビット	“ 1 ” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
(b2)	何も配置されていない。書く場合、“ 0 ” を書いてください。 読んだ場合、その値は不定。		
(b3)	予約ビット	“ 0 ” にしてください	RW
PM24	NMI割り込み許可ビット	0: NMI割り込み禁止 1: NMI割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
(b7-b6)	何も配置されていない。書く場合、“ 0 ” を書いてください。 読んだ場合、その値は不定。		

PM2レジスタはPRCRレジスタのPRC1ビットを“ 1 ”(書き込み許可)にした後で書き換えてください。

PM21 (システムクロック保護ビット) (b1)

CPUクロックを保護するための機能です。(「8.6 システムクロック保護機能」参照)

PM21ビットを“ 1 ”にすると次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

PM21ビットが“ 1 ”のときは、WAIT命令を実行しないでください。

PM21ビットは、一度“ 1 ”にするとプログラムでは“ 0 ”にできません(“ 0 ”を書いても変化しません)。

PM25 (周辺機能クロックfC供給許可ビット) (b5)

リアルタイムクロックにfC供給するビットです(「図8.5 周辺機能クロック」参照)。

8.3 クロック発生回路で生成するクロック

クロック発生回路で生成するクロックを説明します。

8.3.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、メインクロックは動作していますが、CPUクロック源にはなっていません。

メインクロック発振回路はXIN-XOUT端子間に水晶発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。図8.2にメインクロックの接続回路例を示します。

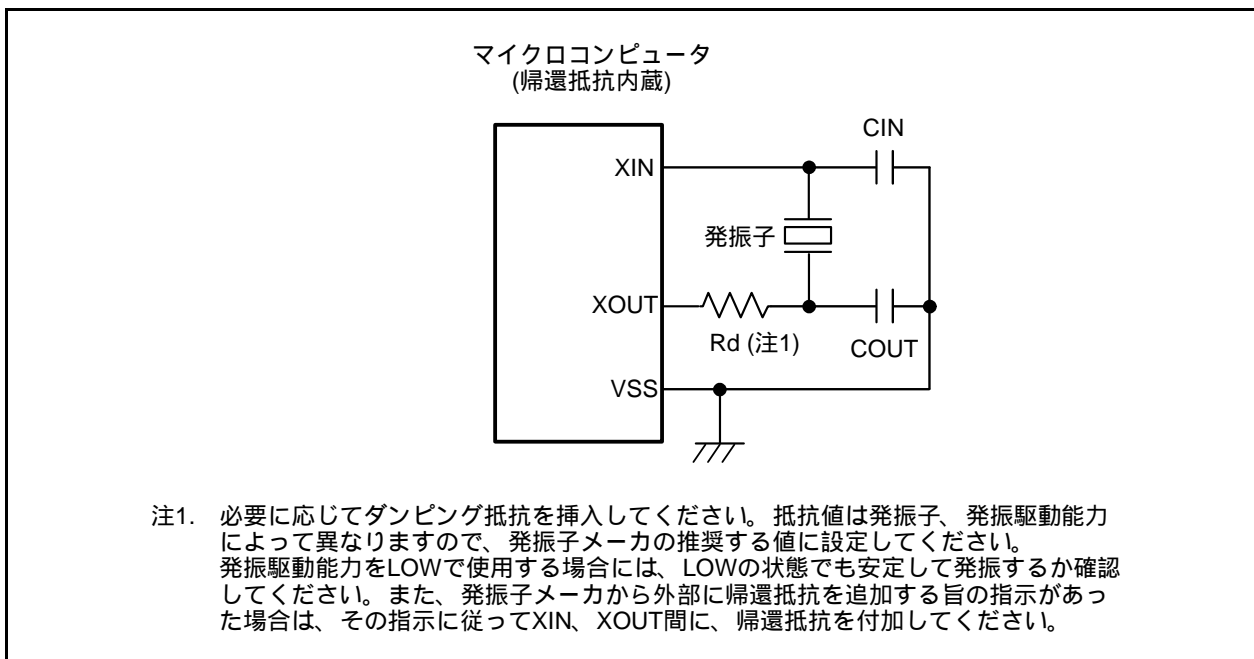


図8.2 メインクロックの接続回路例

CPUクロックのクロック源をサブクロック (fC) またはオンチップオシレータクロック (fOCO-S) に切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止) にすると、XOUTは“H”になります。このとき、内蔵している帰還抵抗は接続したままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

メインクロック発振回路をまったく使用しない場合、CM1レジスタのCM13ビットで帰還抵抗未接続を選択できます。

メインクロック発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

メインクロック発振開始

- (1) CM15ビットを“1”(駆動能力High)にする (XIN-XOUT間に水晶発振子を接続している場合)
- (2) CM05ビットを“0”(メインクロック発振)にする
- (3) メインクロック発振安定時間を待つ

メインクロックの発振停止

- (1) CM2レジスタのCM20ビットを“0”(発振停止、再発振検出機能無効)にする
- (2) CM05ビットを“1”(停止)にする

8.3.2 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。

リセット後、PLL周波数シンセサイザは停止しています。

メインクロックをPLC0レジスタのPLC05~PLC04ビットで選択した値で分周し、PLC02~PLC00ビットで選択した値で逡倍したものがPLLクロックになります。分周後のクロック周波数が2MHz~6MHzになるようにPLC05~PLC04ビットを設定してください。図8.3にメインクロックとPLLクロックの関係を示します。

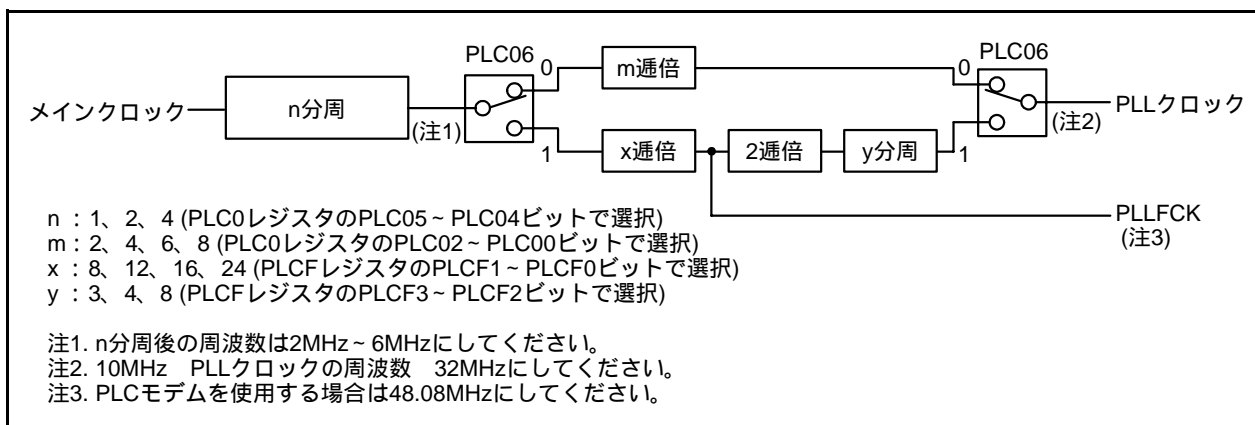


図 8.3 メインクロックとPLLクロックの関係

PLC05~PLC04、PLC02~PLC00ビットはリセット後、1回だけ設定できます。表8.6 PLLクロックの周波数設定例を示します。

表 8.6 PLLクロックの周波数設定例

メインクロック	設定値		PLLクロック
	PLC05~PLC04ビット	PLC02~PLC00ビット	
15.36MHz	10b (4分周)	100b (8逡倍)	30.72MHz

表 8.7 PLLクロックの周波数設定例 (PLC0レジスタのPLC06ビットが“1”(PLLFCK有効)の場合)

n分周後の周波数	PLCFレジスタのビット		PLLFCK	PLLクロック
	PLCF1~PLCF0	PLCF3~PLCF2		
3.84MHz	01b (12逡倍)	01b (3分周)	46.08 MHz	30.72 MHz
		10b (4分周)	46.08 MHz	23.04 MHz
		11b (8分周)	46.08 MHz	11.52 MHz

8.3.3 125kHz オンチップオシレータクロック (fOCO-S)

125kHz オンチップオシレータが供給する約125kHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、CSPRレジスタのCSPROビットが“1”(カウントソース保護モード)の場合、ウォッチドッグタイマのカウントソースになります(「14.4.2 カウントソース保護モード有効時」参照)。

リセット後、fOCO-Sの8分周がCPUクロックになります。

CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)、かつCM27ビットが“1”(発振停止、再発振検出割り込み)の場合、メインクロックが停止したときに、自動的に125kHz オンチップオシレータが動作を開始し、クロックを供給します。

fOCO-Sの発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

fOCO-Sの発振開始

- (1) CM1レジスタのCM14ビットを“0”(125kHz オンチップオシレータ発振)にする
- (2) $t_{su}(fOCO-S)$ 待つ

fOCO-Sの発振停止

- (1) CM1レジスタのCM14ビットを“1”(125kHz オンチップオシレータ停止)にする

なお、CM21ビットが“1”(CPUクロック源はオンチップオシレータ)のとき、CM14ビットは“0”(125kHz オンチップオシレータ発振)になります。

8.3.4 サブクロック (fC)

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマB、リアルタイムクロックのカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT 端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。図8.4にサブクロックの接続回路例を示します。

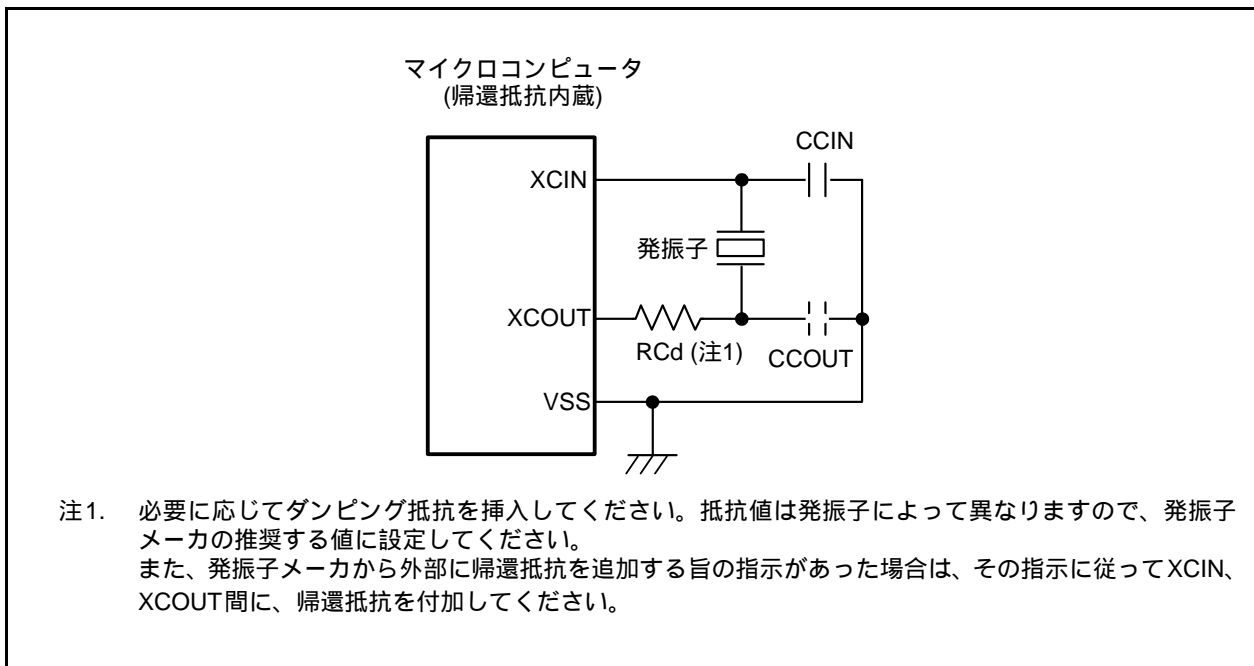


図8.4 サブクロックの接続回路例

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロック発振開始は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

XCIN-XCOUT 端子間に水晶発振子を接続する場合

- (1) PUR2レジスタのPU21ビットを“0”(P8_4、P8_6、P8_7はプルアップなし)にする
- (2) PD8レジスタのPD8_6、PD8_7ビットを“0”(ポートP8_6、P8_7は入力ポート)にする
- (3) CM04ビットを“1”(XCIN-XCOUT発振機能)にする。
- (4) CM03ビットを“0”(サブクロック発振)にする
- (5) サブクロック発振安定時間を待つ

8.4 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

8.4.1 CPUクロックとBCLK

CPUクロックは、CPUとウォッチドッグタイマの動作クロックです。また、 $\overline{\text{NMI}}$ デジタルフィルタのサンプリングクロックにもなります。

CPUクロックのクロック源としてメインクロック、PLLクロック、fOCO-S、またはfCが選択できます(「表9.2 通常動作モードのクロック」参照)。

CPUクロックのクロック源としてメインクロック、PLLクロック、またはfOCO-Sを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択できます。

CPUクロックのクロック源としてfCを選択した場合は、fCを1分周(分周なし)、または2分周したものがCPUのクロックになります。分周はSCM0レジスタのSCM01~SCM00ビットで選択できます。

リセット後、fOCO-Sの8分周がCPUクロックになります。また、ストップモードへの遷移時、またはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつ低速モードでCM0レジスタのCM05ビットが“1”(停止)のとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

BCLKはバスの基準クロックです。

8.4.2 周辺機能クロック (f1、fOCO-S、fC32、fC)

f1、fOCO40M、fC32は周辺機能の動作クロックになります。

f1は次のいずれかです。

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

f1はタイマA、タイマB、PWM機能、リアルタイムクロック、UART0~UART2、UART5~UART7、SI/O3、SI/O4、マルチマスタI²C-busインタフェース、A/Dコンバータで使用します。PCLKSTP1レジスタで、各周辺機能のf1供給を禁止できます。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックf1を停止する)にした後にWAIT命令を実行した場合、f1は停止します。

fOCO-SはタイマA、タイマBで使用できます。また、リセット、電圧検出回路、ウォッチドッグタイマでも使用します。fOCO-SはCM1レジスタのCM14ビットが“0”(125kHzオンチップオシレータ発振)のとき使用できます。

fC32はfCを32分周したもので、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

fCは、PM2レジスタのPM25ビットが“1”(周辺機能クロックfC供給許可)の場合、リアルタイムクロックのカウントソースになります。fCはサブクロックが供給されているときに使用できます。

図8.5に周辺機能クロックを示します。

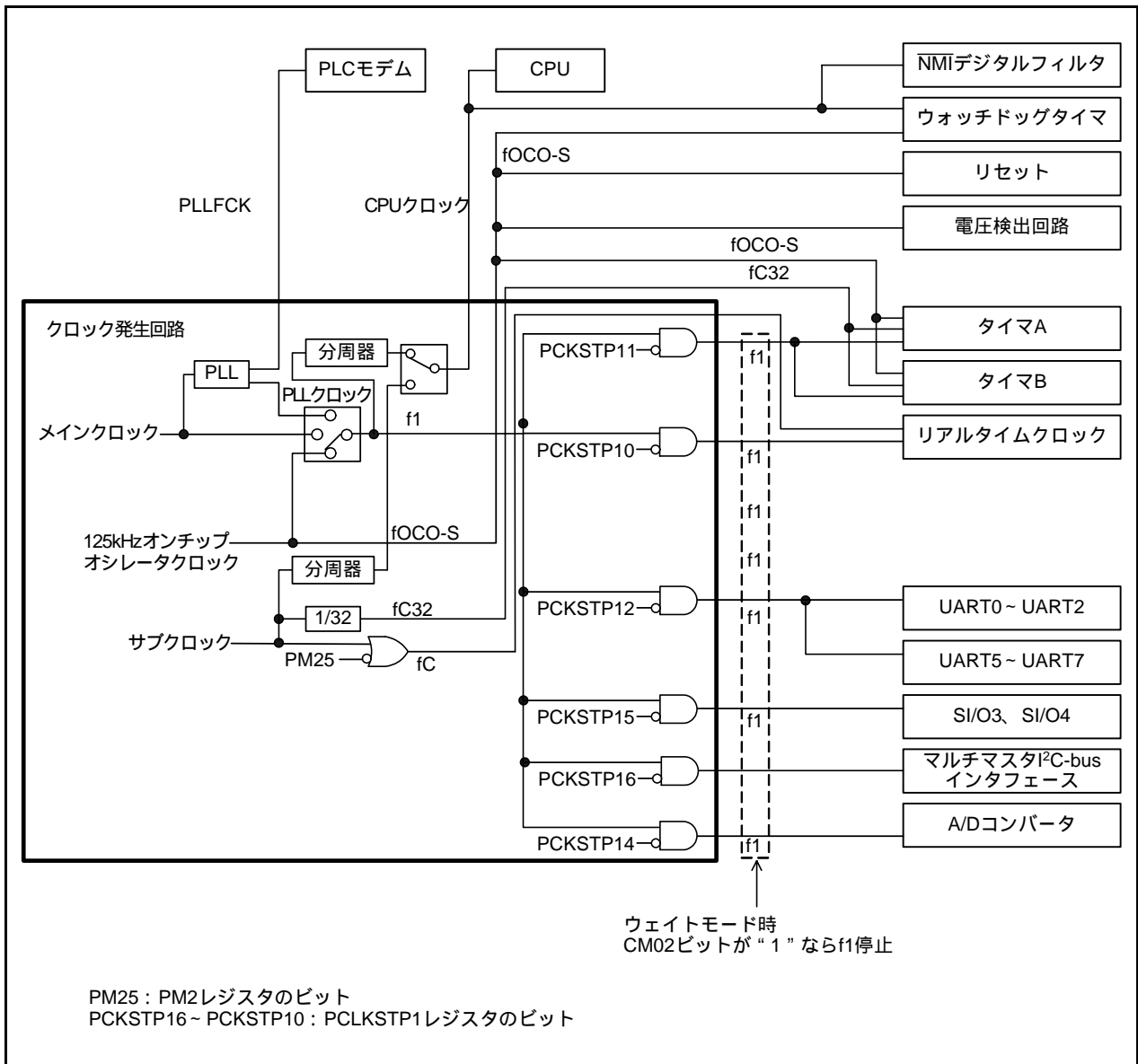


図8.5 周辺機能クロック

8.5 クロック出力機能

CLKOUT端子からf1、f8、f32、またはfCを出力できます。CM0レジスタのCM01~CM00ビットとPCLKRレジスタのPCLK5ビットで選択してください。f8はf1の8分周と同一周波数、f32はf1の32分周と同一周波数です。

CLKOUT端子から出力するクロックは、25MHz以下にしてください。

8.6 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラム暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット(ウェイトモード時の周辺機能クロックf1)
- CM0レジスタのCM05ビット(メインクロックを停止させないため)
- CM0レジスタのCM07ビット(CPUクロックのクロック源)
- CM1レジスタのCM10ビット(ストップモードに遷移しない)
- CM1レジスタのCM11ビット(CPUクロックのクロック源)
- CM2レジスタのCM20ビット(発振停止、再発振検出機能の設定)
- PLC0レジスタの全ビット(PLL周波数シンセサイザの設定)

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
- (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

PM21ビットが“1”のとき、WAIT命令を実行しないでください。

8.7 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みが発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

表8.8に発振停止、再発振検出機能の仕様を示します。

表8.8 発振停止、再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止、再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止、再発振検出時の動作	CM27ビットが“0”の場合: 発振停止検出リセット発生 CM27ビットが“1”の場合: 発振停止、再発振検出割り込み発生

8.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「4. SFR」,「6. リセット」参照)。

この状態はハードウェアリセット、または電圧監視0リセットによって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

8.7.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止または再発振を検出した場合、表8.9に示す状態になります。

高速モード、中速モード、低速モードではCM21ビットが“1”になります。したがって、高速モード、中速モードは125kHzオンチップオシレータモードになります。CM07ビットは変化しませんので、低速モードは低速モードのままですが、周辺機能クロックのクロック源はfOCO-Sになります。

CM21ビットが“1”になると、CM14ビットは“0”(125kHzオンチップオシレータ発振)になります。

PLL動作モードではCM21ビットは変化しませんので、割り込みルーチン内で125kHzオンチップオシレータモードにしてください。

表8.9 CM27ビットが“1”の場合の発振停止、再発振検出後の状態

条件	検出後の状態	
メインクロック 発振停止を検出	高速モード 中速モード	<ul style="list-style-type: none"> • 発振停止、再発振検出割り込み要求が発生する • CM14ビット=0 (125kHzオンチップオシレータ発振)
	低速モード 125kHzオンチップ オシレータモード	<ul style="list-style-type: none"> • CM21ビット=1 (fOCO-SがCPUクロックと周辺機能クロックのクロック源)(注1) • CM22ビット=1 (メインクロック停止を検出) • CM23ビット=1 (メインクロック停止)
	PLL動作モード	<ul style="list-style-type: none"> • 発振停止、再発振検出割り込み要求が発生する • CM14ビット=0 (125kHzオンチップオシレータ発振) • CM21ビットは変化しない • CM22ビット=1 (メインクロック停止を検出) • CM23ビット=1 (メインクロック停止)
メインクロック 再発振を検出	<ul style="list-style-type: none"> • 発振停止、再発振検出割り込み要求が発生する • CM14ビット=0 (125kHzオンチップオシレータ発振) • CM21ビットは変化しない • CM22ビット=1 (メインクロック再発振を検出) • CM23ビット=0 (メインクロック発振) 	

CM14ビット : CM1レジスタのビット

CM21、CM22、CM23ビット : CM2レジスタのビット

注1. 低速モード時のCPUクロックはfC

8.7.3 発振停止、再発振検出機能使用方法

発振停止検出後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図 8.6 にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。

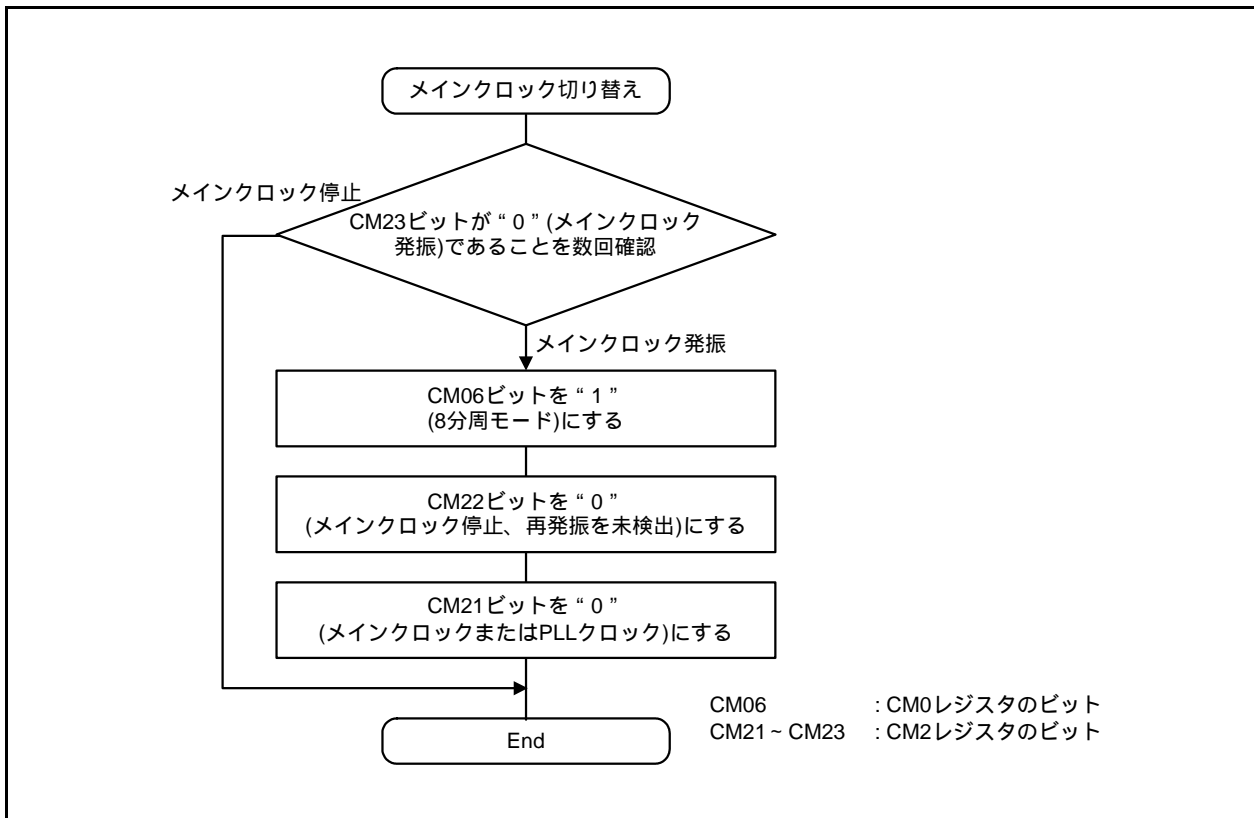


図8.6 オンチップオシレータクロックからメインクロックへの切り替え手順

発振停止、再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。

8.8 割り込み

発振停止、再発振検出割り込みはノンマスカブル割り込みです。

ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

発振停止、再発振検出の検出フラグは、CM2レジスタのCM22ビットです。CM22ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8.9 クロック発生回路使用上の注意事項

8.9.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/6S1グループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。なお、CLKOUT端子から出力するクロックは、25MHz以下にしてください。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビットCM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表8.10 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ PCLK5ビット	CM0レジスタ CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

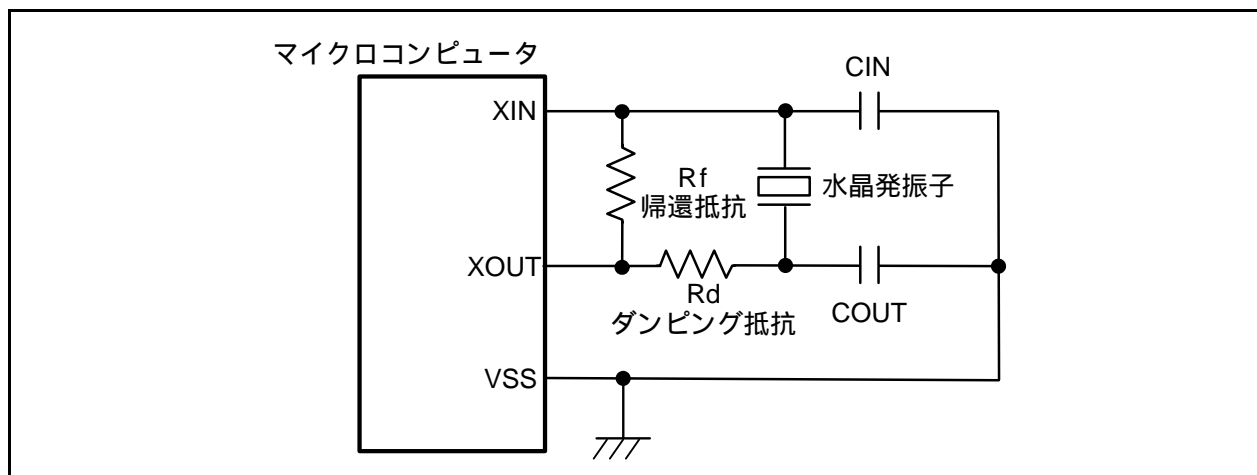


図8.7 発振回路例

8.9.2 発振回路のノイズ対策

8.9.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

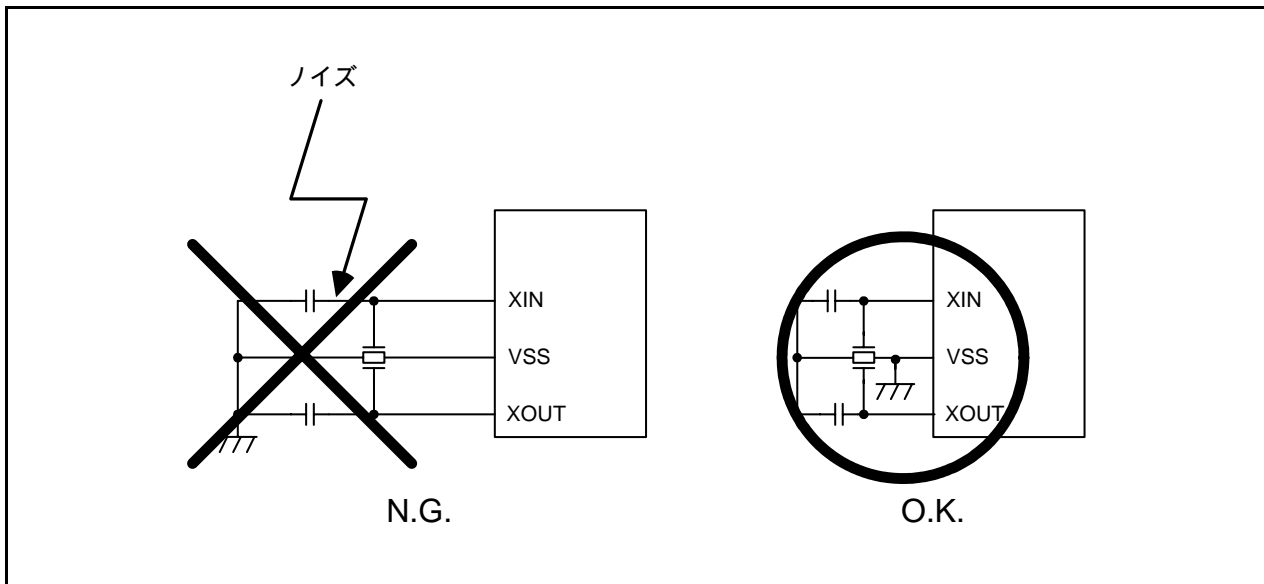


図8.8 クロック入出力端子の配線

•理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

8.9.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

•理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

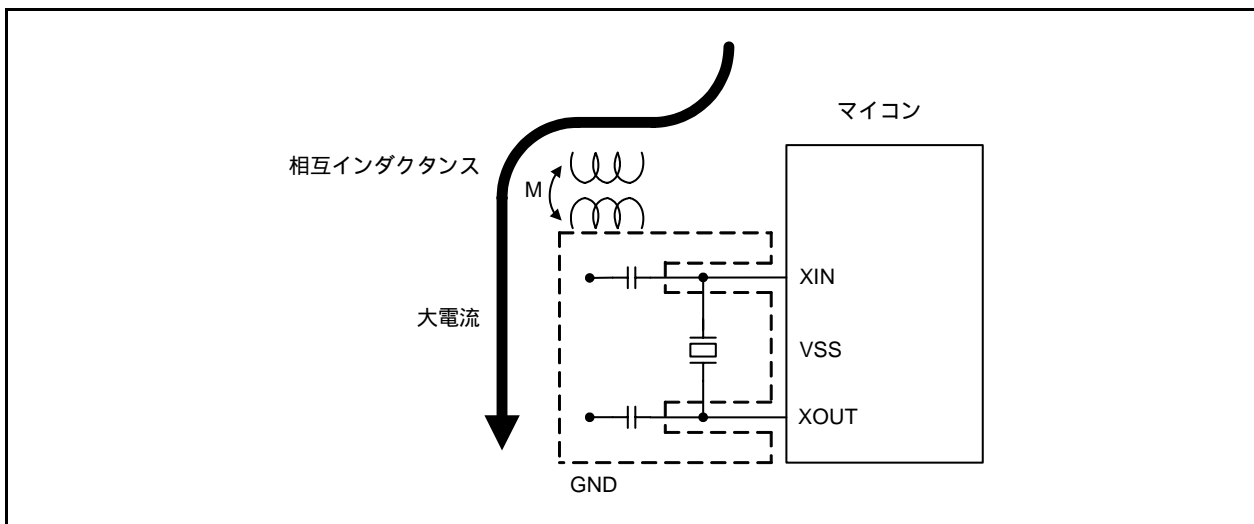


図8.9 大電流が流れる信号線の配線

8.9.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化する TAiOUT 端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

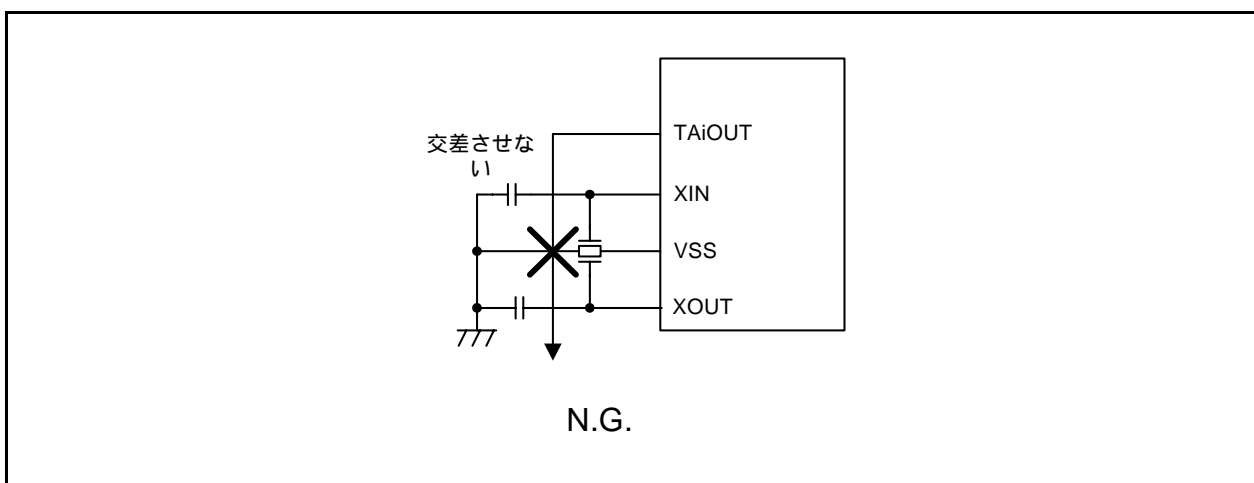


図8.10 高速にレベル変化する信号線の配線

8.9.3 発振停止、再発振検出機能

- 次の場合は、CM20ビットを“0”（発振停止、再発振検出機能無効）にした後、それぞれの状態に遷移してください。

CM05ビットを“1”（メインクロック停止）にする場合

CM10ビットを“1”（ストップモード）にする場合

- 発振停止、再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02ビットを“0”（ウェイトモード時周辺機能クロックf1を停止しない）にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”（発振停止、再発振検出機能無効）にしてください。

8.9.4 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 8.11 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数 (VCC1)			10	kHz
V _{p-p} (ripple)	電源リップル許容振幅電圧 (VCC1=3V時)			0.3	V
VCC1 (V/T)	電源リップル立ち上がり/立ち下がり勾配 (VCC1=3V時)			0.3	V/ms

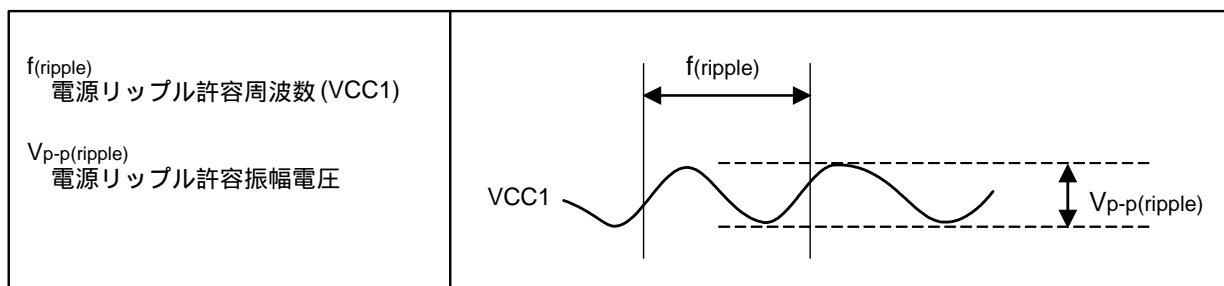


図 8.11 電源変動のタイミング図

9. パワーコントロール

9.1 概要

マイコンの消費電流を少なくするための手段を紹介します。

9.2 レジスタの説明

クロック関連のレジスタは「8. クロック発生回路」を参照してください。

表9.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b

9.2.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0		シンボル	アドレス	リセット後の値
		FMR0	0220h番地	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
ビットシンボル	ビット名	機能		RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ		RO
FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効		RW
FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効		RW
FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)		RW
— (b4)	予約ビット	“0” にしてください		RW
— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。		RW
FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了		RO
— (b7)	予約ビット	読んだ場合、不定		RO

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。

また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)

9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)

フラッシュメモリ制御レジスタ2			
シンボル FMR2	アドレス 0222h番地	リセット後の値 XXXX 0000b	
ビット シンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0”にしてください	RW
FMR22	スローリードモード許可 ビット	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード 許可ビット	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

FMR22 (スローリードモード許可ビット) (b2)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR22ビットは“0”(スローリードモード禁止)にしてください。

FMR22ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。また、FMR22ビットとFMR23ビットを同時に変更しないでください。

FMR23 (低消費電流リードモード許可ビット) (b3)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR23ビットは“0”(低消費電流リードモード禁止)にしてください。

低消費電流リードモードはCM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のときに使用できます。

FMR23ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。FMR22ビットとFMR23ビットを同時に変更しないでください。

次のいずれかが当てはまる場合は、FMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

- CM07ビットが“0”(CPUクロックはサブクロック以外)
- FMR22ビットが“0”(スローリードモード禁止)
- FMSTPビットが“1”(フラッシュメモリ停止)
- FMSTPビットを“1”から“0”にした後の復帰動作中(tps)

9.3 クロック

マイコンの消費電力は、動作しているクロックの数と周波数に関係があります。動作しているクロックが少ないほど、また、周波数が低いほど消費電力は少なくなります。

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

9.3.1 通常動作モード

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は少なくなります。また、不要な発振回路を停止させると更に消費電力は少なくなります。

9.3.1.1 高速モード、中速モード

高速モードでは、メインクロックの1分周(分周なし)がCPUクロックとなります。

中速モードでは、メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。

高速モード、中速モードとも、メインクロックの1分周(分周なし)と同一周波数の f_1 が周辺機能クロックになります。また、 f_C が供給されている場合は f_C 、 f_{C32} が周辺機能クロックとして使用できます。 f_{OCO-S} が供給されている場合は f_{OCO-S} が周辺機能クロックとして使用できます。

9.3.1.2 PLL動作モード

PLLクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。また、PLLクロックの1分周(分周なし)と同一周波数の f_1 が周辺機能クロックになります。

f_C が供給されている場合は f_C 、 f_{C32} が周辺機能クロックとして使用できます。 f_{OCO-S} が供給されている場合は f_{OCO-S} が周辺機能クロックとして使用できます。

PLL動作モードへは高速モードまたは中速モードから遷移できます。また、PLL動作モードからは高速モードまたは中速モードに遷移できます。ウェイトモード、ストップモードを含む他のモードに遷移するときは、高速モードまたは中速モードに遷移した後、他のモードに遷移してください(「図9.1 クロックのモードの状態遷移」参照)。

9.3.1.3 125kHz オンチップオシレータモード

fOCO-Sの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、fOCO-Sの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合は、fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが周辺機能クロックとして使用できます。

9.3.1.4 125kHz オンチップオシレータ低消費電力モード

125kHz オンチップオシレータモードにした後、メインクロックを停止させた状態です。fOCO-Sの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、fOCO-Sの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが周辺機能クロックとして使用できます。

9.3.1.5 低速モード

fCの1分周(分周なし)、2分周がCPUクロックとなります。

CM21ビットが“0”かつCM11ビットが“0”(メインクロック)の場合はメインクロックの1分周と同一周波数のf1が周辺機能クロックになります。CM21ビットが“0”かつCM11ビットが“1”(PLLクロック)の場合はPLLクロックの1分周と同一周波数のf1が周辺機能クロックになります。CM21ビットが“1”(オンチップオシレータクロック)の場合はfOCO-Sの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

9.3.1.6 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。fCの1分周(分周なし)、2分周がCPUクロックとなります。

fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

表9.2 通常動作モードのクロック

モード	CPUクロック	周辺機能クロック(注2)		
		f1	fC、fC32	fOCO-S
高速モード	メインクロックの1分周 (注1)	メインクロックの1分周	使用可	使用可
中速モード	メインクロックのn分周 (注1)			
PLL動作モード	PLLクロックの n分周(注1)	PLLクロックの1分周		
125kHzオンチップ オシレータモード	fOCO-Sのn分周(注1)	fOCO-Sの1分周		
125kHzオンチップ オシレータ低消費電力モード	fOCO-Sのn分周(注1)	fOCO-Sの1分周		
低速モード	fCのn分周	次のいずれか メインクロックの1分周 (CM21=0かつCM11=0の場合) PLLクロックの1分周 (CM21=0かつCM11=0の場合) fOCO-Sの1分周 (CM21=1の場合)		
低消費電力モード	fCのn分周	fOCO-Sの1分周 (CM21=1の場合)		

CM11 : CM1レジスタのビット

CM21 : CM2レジスタのビット

注1. CM0レジスタのCM06ビットと、CM1レジスタのCM17~CM16ビットで選択

注2. 周辺機能クロックは、各クロックが供給されている場合、使用可能です。供給方法は「8. クロック発生回路」を参照してください。

表9.3 クロック関連ビットの設定とモード

モード	CM2レジスタ	CM1レジスタ		CM0レジスタ			
	CM21	CM14	CM11	CM07	CM05	CM04	CM03
高速、中速モード	0		0	0	0		
PLL動作モード	0		1	0	0		
125kHzオンチップ オシレータモード	1	0	0	0	0 (注1)		
125kHzオンチップ オシレータ 低消費電力モード	1	0	0	0	1		
低速モード			0	1	0 (注1)	1	0
低消費電力モード			0	1	1	1	0

注1. メインクロックが発振

表9.4 クロック分周関連ビットの選択(注1)

分周	CM1レジスタ	CM0レジスタ
	CM17~CM16	CM06
分周なし(注2)	00b	0
2分周	01b	0
4分周	10b	0
8分周		1
16分周	11b	0

注1. 高速、中速モード、PLL動作モード、125kHzオンチップオシレータモード、125kHzオンチップオシレータ低消費電力モードの場合です。

注2. 高速モードは分周なしの設定にしてください。

表9.5 低速モード、低消費電力モードの分周関連ビットの設定例

分周	SCM0レジスタ
	SCM01~SCM00
分周なし	00b
2分周	01b

9.3.2 モード遷移手順

図9.1にクロックのモードの状態遷移を示します。図9.1の矢印はモード間の遷移が可能なことを示します。

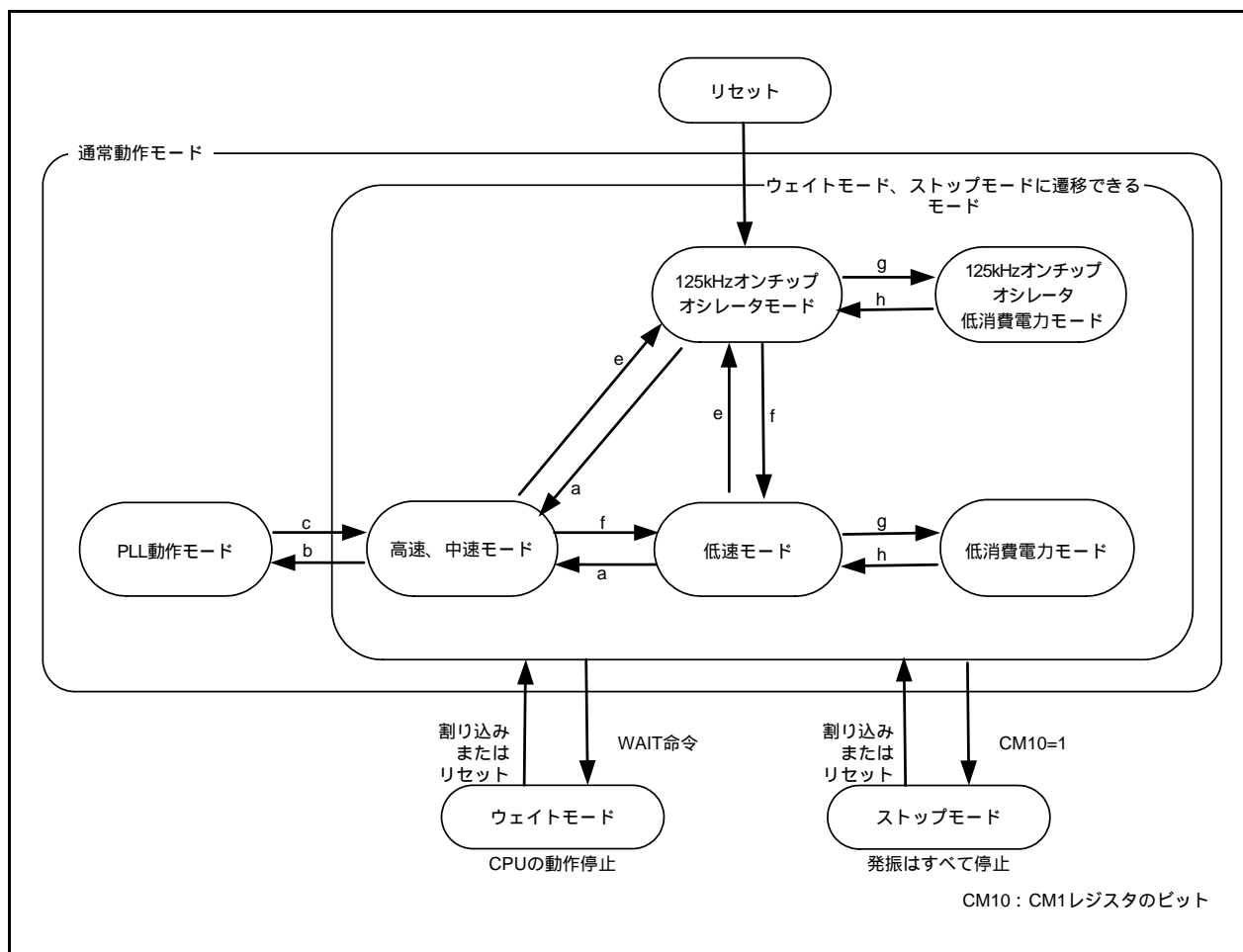


図9.1 クロックのモードの状態遷移

クロックの発振開始、停止、通常動作モード内のモード遷移は次のようにしてください。

- モードを遷移する場合は、遷移先のクロックが十分安定した後で遷移してください。
- クロックを停止する場合は、モードを遷移し終わった後で停止してください。モードの遷移と遷移元のクロックの停止を同時に行わないでください。
- モード遷移は後述のa~c、e~hに示す手順に従って実行してください。ただし、各レジスタ、ビットのアクセス方法などは「9.2 レジスタの説明」を参照してください。なお、a~c、e~hの記号は「図9.1 クロックのモードの状態遷移」の矢印のa~c、e~hに対応しています。
- 発振開始/停止の方法は「8.3.1 メインクロック」から「8.3.4 サブクロック (fC)」を参照してください。
- PLL動作モード、高速、中速モード、125kHzオンチップオシレータモードから他のモードに遷移する場合、または他のモードからこれらのモードに遷移する場合は、これらのモードを8分周または16分周にしてください。
- PLL動作モード、高速、中速モードで分周を切り替える場合は図9.2に示す順序で分周を切り替えてください。

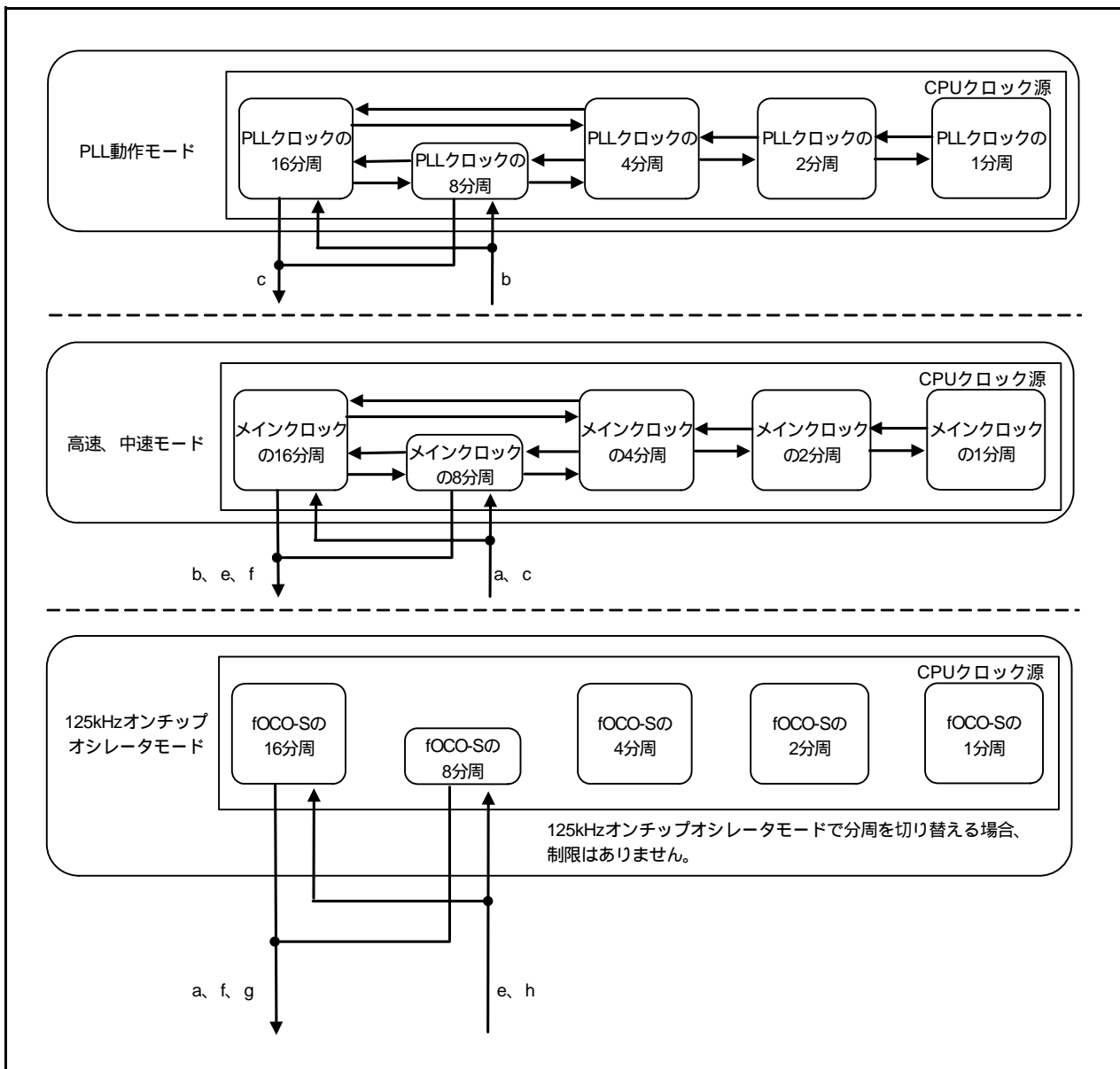


図9.2 分周切り替えの状態遷移

- a. 125kHz オンチップオシレータ、低速モードから高速モードまたは中速モードに遷移
 - (1) メインクロック発振、安定待ち。「8.3.1 メインクロック」参照
 - (2) CM06ビットを“1”(8分周)にする
 - (3) CM21ビットを“0”、CM07ビットを“0”(CPUクロック源はメインクロック)にする

- b. 高速、中速モードからPLL動作モードに遷移
 - (1) 1PLC0レジスタのPLC05~PLC04、PLC02~PLC00ビットで通倍率等を設定する
 - (2) PLC07ビットを“1”(PLL動作)にする
 - (3) PLLクロックが安定するまで待つ(tsu(PLL))
 - (4) CM06、CM17~CM16ビットで8分周または16分周を選択する
 - (5) CM11ビットを“1”、CM21ビットを“0”、CM07ビットを“0”(CPUクロック源はPLLクロック)にする

- c. PLL動作モードから高速モードまたは中速モードに遷移
 - (1) CM06、CM17~CM16ビットで8分周または16分周を選択する
 - (2) CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0”(CPUクロック源はメインクロック)にする
 - (3) PLC07ビットを“0”(PLL停止)にする

- e. 高速、中速、低速モードから125kHzオンチップオシレータモードに遷移
 - (1) 125kHz オンチップオシレータ発振、安定待ち。「8.3.3 125kHz オンチップオシレータクロック(fOCO-S)」参照
 - (2) CM21ビットを“1”(CPUクロック源はオンチップオシレータクロック)にする
 - (3) CM07ビットを“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)にする

- f. 高速、中速、125kHzオンチップオシレータモードから低速モードに遷移
 - (1) サブクロック発振、安定待ち。「8.3.4 サブクロック(fC)」参照
 - (2) SCM0レジスタのSCM01~SCM00ビットで分周比を選択する
 - (3) CM07ビットを“1”(CPUクロック源はサブクロック)にする

- g. 125kHzオンチップオシレータモードから125kHzオンチップオシレータ低消費電力モードに遷移。または低速モードから低消費電力モードに遷移。
下記を実行。
 - メインクロック発振停止。「8.3.1 メインクロック」参照

- h. 125kHzオンチップオシレータ低消費電力モードから125kHzオンチップオシレータモードに遷移。または低消費電力モードから低速モードに遷移。
下記を実行。
 - メインクロック発振、安定待ち。「8.3.1 メインクロック」参照

9.3.3 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPU、ウォッチドッグタイマ、NMIデジタルフィルタが停止します。ただし、CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合、ウォッチドッグタイマは動作します。クロック発生回路は停止しませんので、周辺機能クロックが供給されている周辺機能は動作します。

9.3.3.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合、ウェイトモード時にf1が停止しますので消費電力が低減できます。f1以外の周辺機能クロック(fOCO-S、fC、fC32)はCM02ビットでは停止しません。

9.3.3.2 ウェイトモードへの遷移

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロックの場合)は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると消費電力が低減できます。

ウェイトモードを使用する場合、以下の手順で遷移してください。

- (1) Iフラグを“0”にする
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ウェイトモードからの復帰に使用する周辺機能が停止している場合、動作させる。
- (3) ウェイトモードからの復帰に使用しない割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセット、NMI割り込み、電圧監視1割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”にする)
- (4) Iフラグを“1”にする
- (5) WAIT命令を実行する

9.3.3.3 ウェイトモード時の端子の状態

表9.6にウェイトモード時の端子の状態を示します。

表9.6 ウェイトモード時の端子の状態

端子		シングルチップモード
入出力ポート		ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません
	f1、f8、f32選択時	CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

9.3.3.4 ウェイトモードからの復帰

リセットまたは割り込みにより、ウェイトモードから復帰します。表9.7にウェイトモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックf1を停止しない)の場合は、周辺機能割り込みがウェイトモードからの復帰に使用できません。CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合は、周辺機能クロックf1を使用する周辺機能は停止します。したがって、外部信号、f1以外の周辺機能クロック(fOCO-S、fC、fC32)によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表9.7 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
		CM02=0の場合	CM02=1の場合
割り込み	INT	使用可	使用可
	キー入力	使用可	使用可
	タイマA、タイマB	すべてのモードで使用可	fOCO-SまたはfC32が供給され、かつそのクロックがカウントソースのとき使用可。 イベントカウンタモードで外部信号をカウント時、使用可
	シリアルインタフェース	外部クロックで使用可	外部クロックで使用可
	マルチマスタI ² C-busインタフェース	I ² C-busインタフェース割り込み、SCL/SDA割り込みとも使用可	SCL/SDA 割り込み使用可
	リアルタイムクロック	fCが供給されているとき使用可	
	NMI	デジタルフィルタ無効 (NMIDFレジスタのNMIDF2~NMIDF0ビットが“000b”)のとき使用可	
リセット	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	
	ウォッチドッグタイマ	カウントソース保護モード有効 (CSPRレジスタのCSPROビットが“1”)のとき使用可	

割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

9.3.4 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC1端子とVCC2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されません。VCC1端子とVCC2端子に印加する電圧を2.7V以下にする場合、VCC1 = VCC2 = VRAMにしてください。

また、外部信号によって動作する周辺機能は動作します。

9.3.4.1 ストップモードへの遷移

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力High)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

ストップモードを使用する場合、以下の手順で遷移してください。

- (1) Iフラグを“0”にする
- (2) ストップモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ストップモードからの復帰に使用する周辺機能が停止している場合は、動作させる。
- (3) ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする(ハードウェアリセット、電圧監視0リセット、NMI割り込み、電圧監視1割り込みまたは電圧監視2割り込みで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“000b”にする)
- (4) Iフラグを“1”にする。
- (5) CM1レジスタのCM10ビットを“1”にする。

9.3.4.2 ストップモード時の端子の状態

表9.8にストップモード時の端子の状態を示します。

表9.8 ストップモード時の端子の状態

端子		シングルチップモード
入出力ポート		ストップモードに入る直前の状態を保持
CLKOUT	f1、f8、f32、fC選択時	ストップモードに入る直前の状態を保持
XOUT		H
XCIN、XCOUT		ハイインピーダンス

9.3.4.3 ストップモードからの復帰

リセットまたは割り込みにより、ストップモードから復帰します。表9.9にストップモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

表9.9 ストップモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
割り込み	周辺機能割り込み	$\overline{\text{INT}}$	使用可
		キー入力	使用可
		タイマA、タイマB	イベントカウンタモードで外部信号をカウント時、使用可
		シリアルインタフェース	外部クロックを選択時、使用可
		マルチマスタI ² C-bus インタフェース	SCL/SDA割り込み使用可
	NMI	デジタルフィルタ無効 (NMIDFレジスタのNMIDF2~NMIDF0ビットが“000b”)のとき使用可	
リセット	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	

ハードウェアリセット、電圧監視0リセット、 $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード遷移前のCPUクロックによって異なります。表9.10にストップモードから復帰後のCPUクロックを示します。

表9.10 ストップモードから復帰後のCPUクロック

ストップモード遷移前のCPUクロック	ストップモードから復帰後のCPUクロック
メインクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周	メインクロックの8分周
fOCO-Sの1分周(分周なし)、2分周、4分周、8分周または16分周	fOCO-Sの8分周
fCの1分周(分周なし)、2、4分周	fCの1分周(分周なし)、2、4分周

9.4 フラッシュメモリのパワーコントロール

9.4.1 フラッシュメモリの停止

フラッシュメモリを停止すると、消費電流が少なくなります。フラッシュメモリを停止するので、フラッシュメモリ以外の領域でプログラムを実行してください。図9.3にフラッシュメモリの停止/再開手順を示します。このフローチャートに従って操作してください。

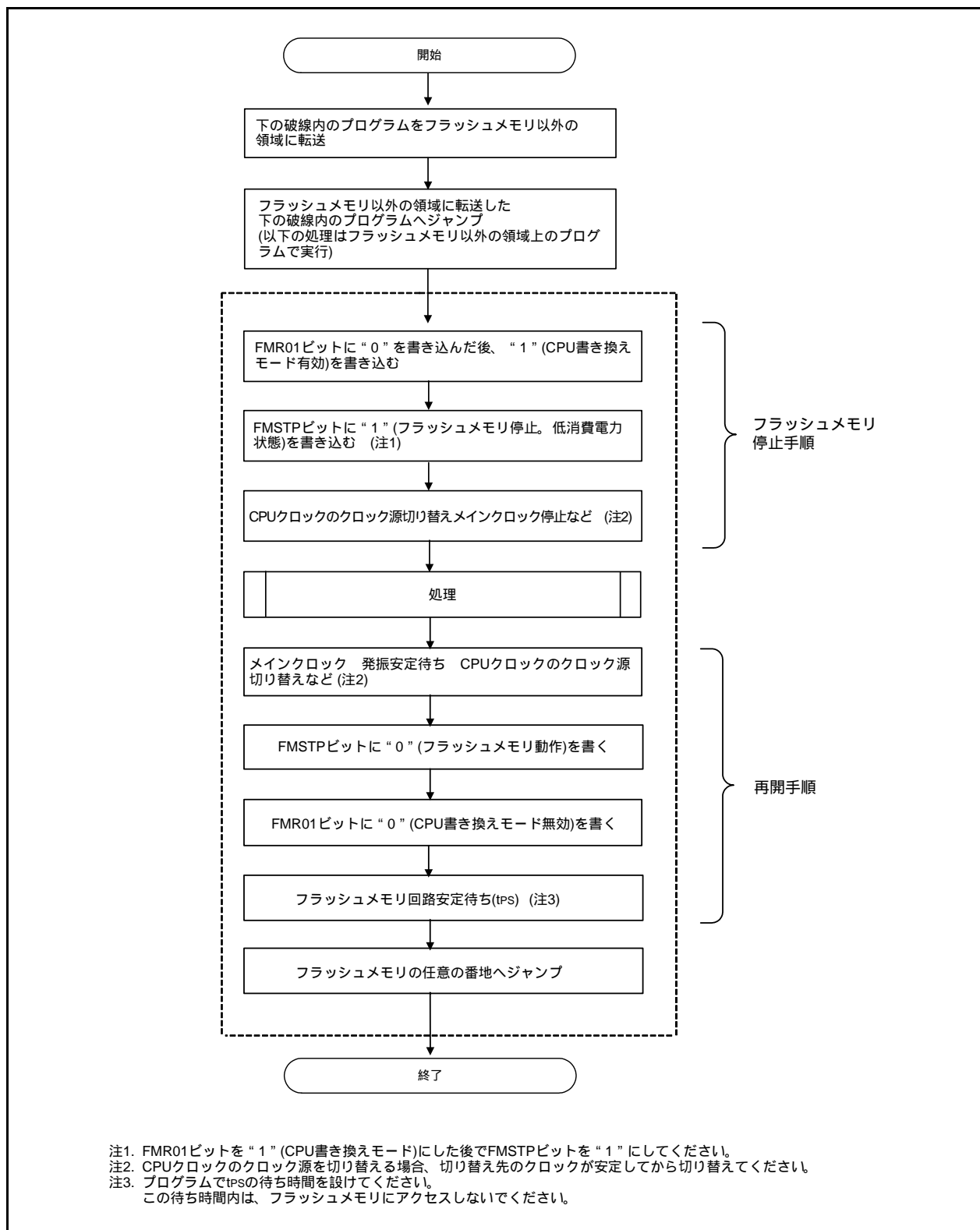


図9.3 フラッシュメモリの停止/再開手順

9.4.2 フラッシュメモリの読み出し

FMR2レジスタのFMR22、FMR23ビットを使って、フラッシュメモリを読み出す際の消費電流を低減できます。

9.4.2.1 スローリードモード

f(BCLK) f(SLOW_R)のとき使用できます。図9.4にスローリードモードの設定、解除を示します。

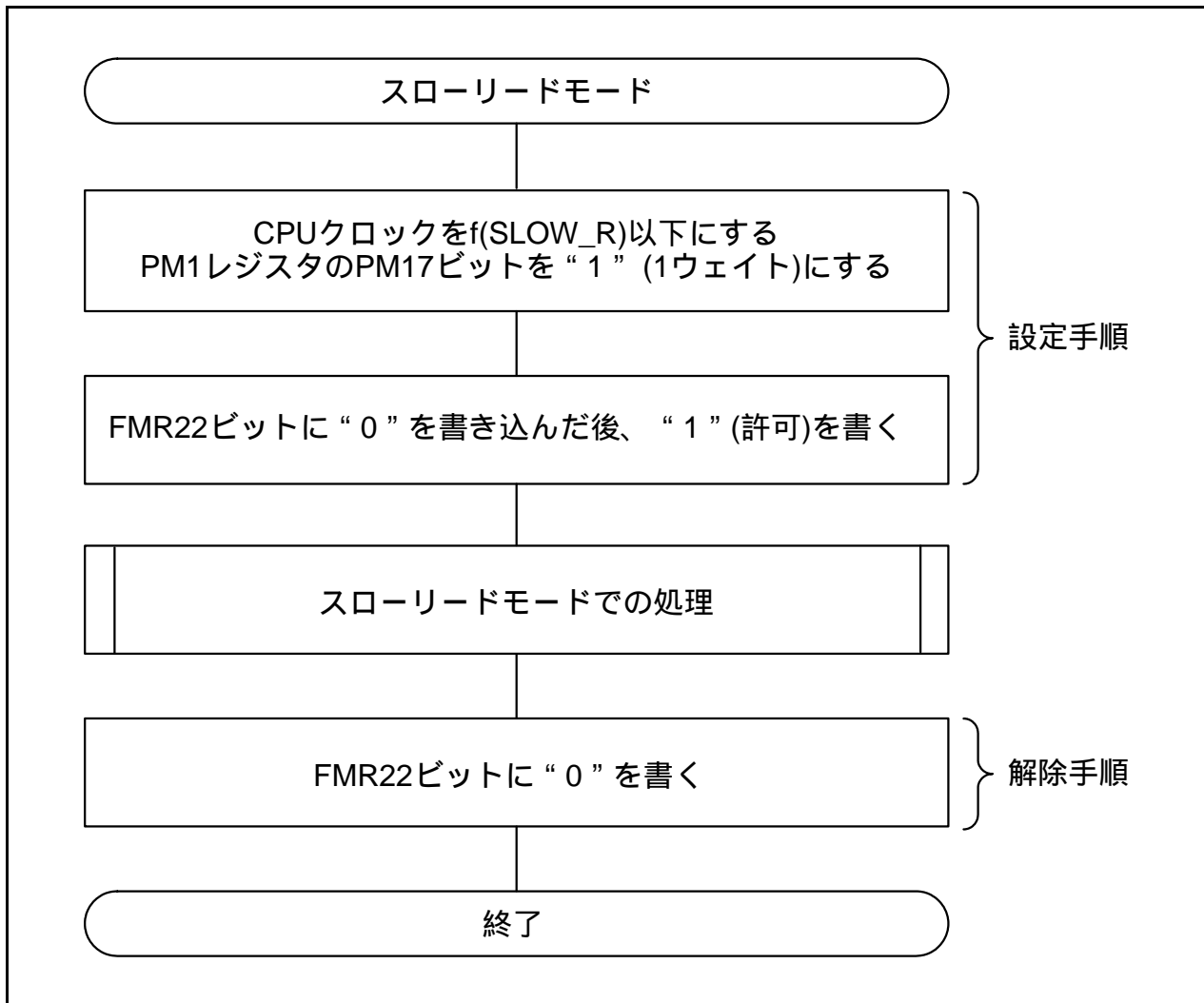


図9.4 スローリードモードの設定、解除

9.4.2.2 低消費電流リードモード

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のとき使用できます。図9.5に低消費電流リードモードの設定、解除を示します。

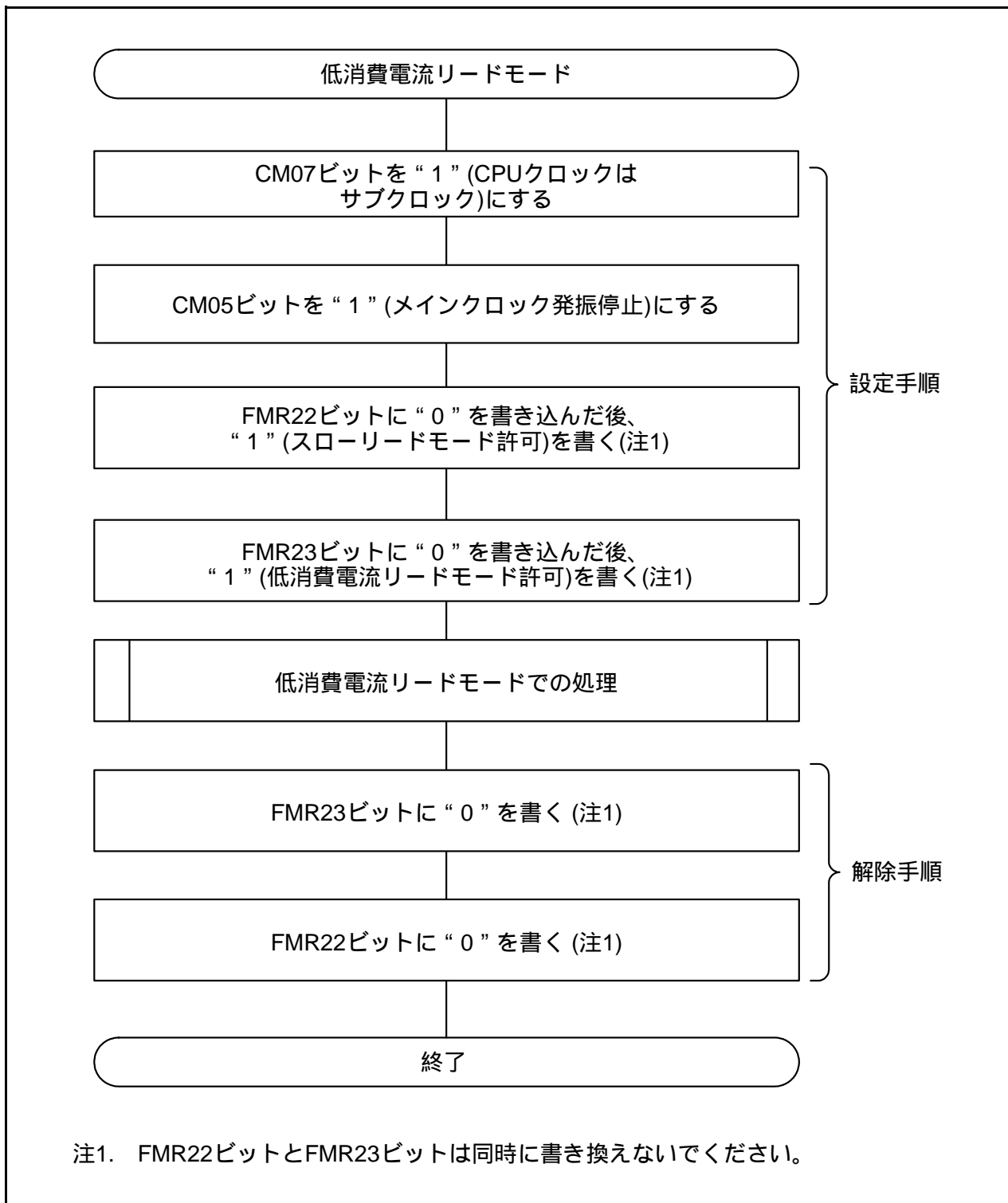


図9.5 低消費電流リードモードの設定、解除

9.5 消費電力を少なくするためのポイント

消費電力を少なくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

9.5.1 ポート

ウェイトモードまたはストップモードに遷移しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに遷移してください。

9.5.2 A/Dコンバータ

A/D変換を行わない場合、ADSTBYビットを“0”(A/D動作停止)にしてください。

9.5.3 周辺機能の停止

f1を使用していない周辺機能へのf1供給をPCLKSTP1レジスタで禁止してください。
ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

9.5.4 発振駆動能力の切り替え

発振が安定している場合、駆動能力を“Low”にしてください。

9.6 パワーコントロール使用上の注意

9.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

9.6.2 ウェイトモード

- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューはWAIT命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにWAIT命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT命令を実行する前に割り込み要求を受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
        WAIT          ;ウェイトモードに遷移
        NOP          ;NOP命令を4つ以上
        NOP
        NOP
        NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。

PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)

低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)

CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)

- PLC0レジスタのPLC07ビットを“0”(PLL停止)にしてください。PLC07ビットが“1”(PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

9.6.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上RESET端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0~4)のMR0ビットを“0”(パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求を受け付けられることはありません。

ストップモードに遷移するときのプログラム例を示します。

```
例:      FSET   I
          BSET   0, CM1      ;ストップモードに遷移
          JMP.B  L2          ;JMP.B命令を挿入

L2:      NOP                ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

9.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図9.5 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

9.6.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

10. プロセッサモード

10.1 概要

シングルチップモードで動作します。

表10.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

表10.2 入出力端子

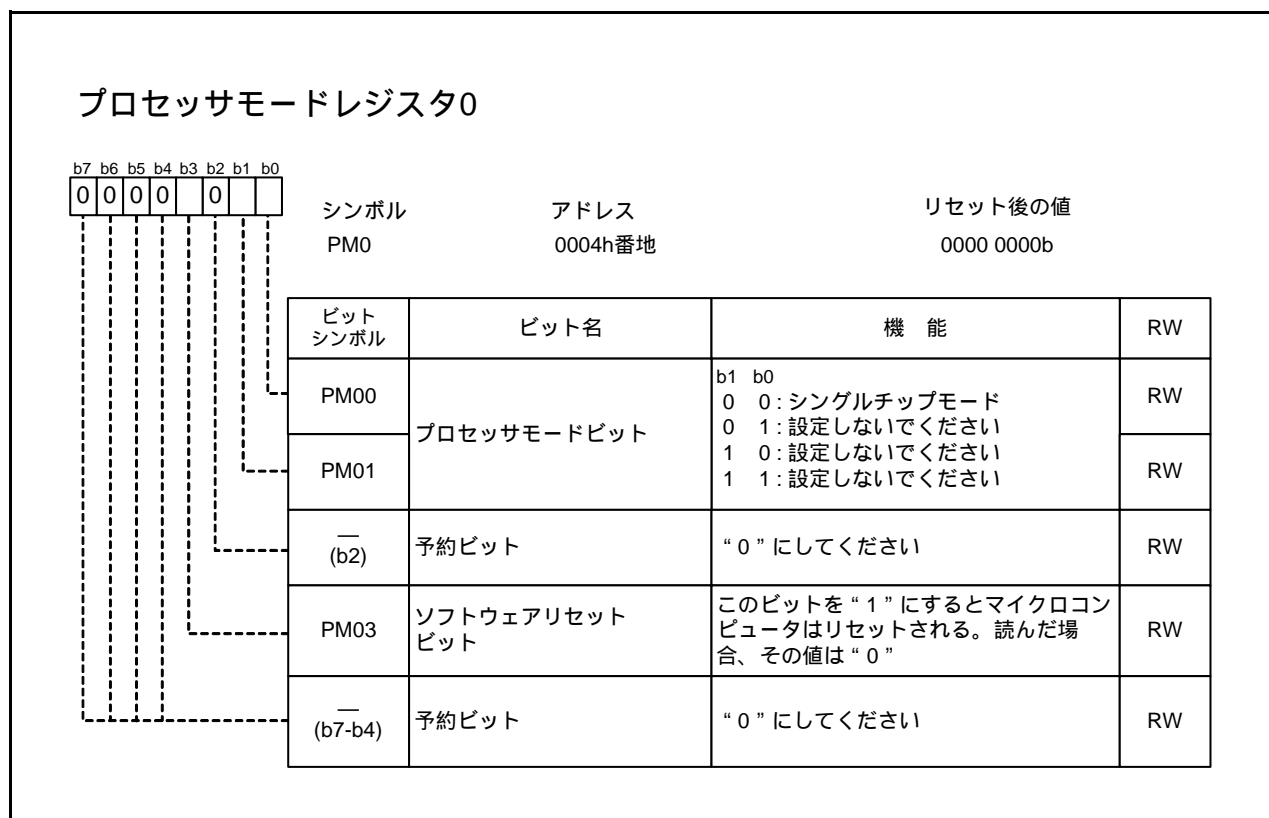
端子名	入出力	機能
CNVSS	入力	プロセッサモード選択、“L”を入力

10.2 レジスタの説明

表10.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b

10.2.1 プロセッサモードレジスタ0 (PM0)

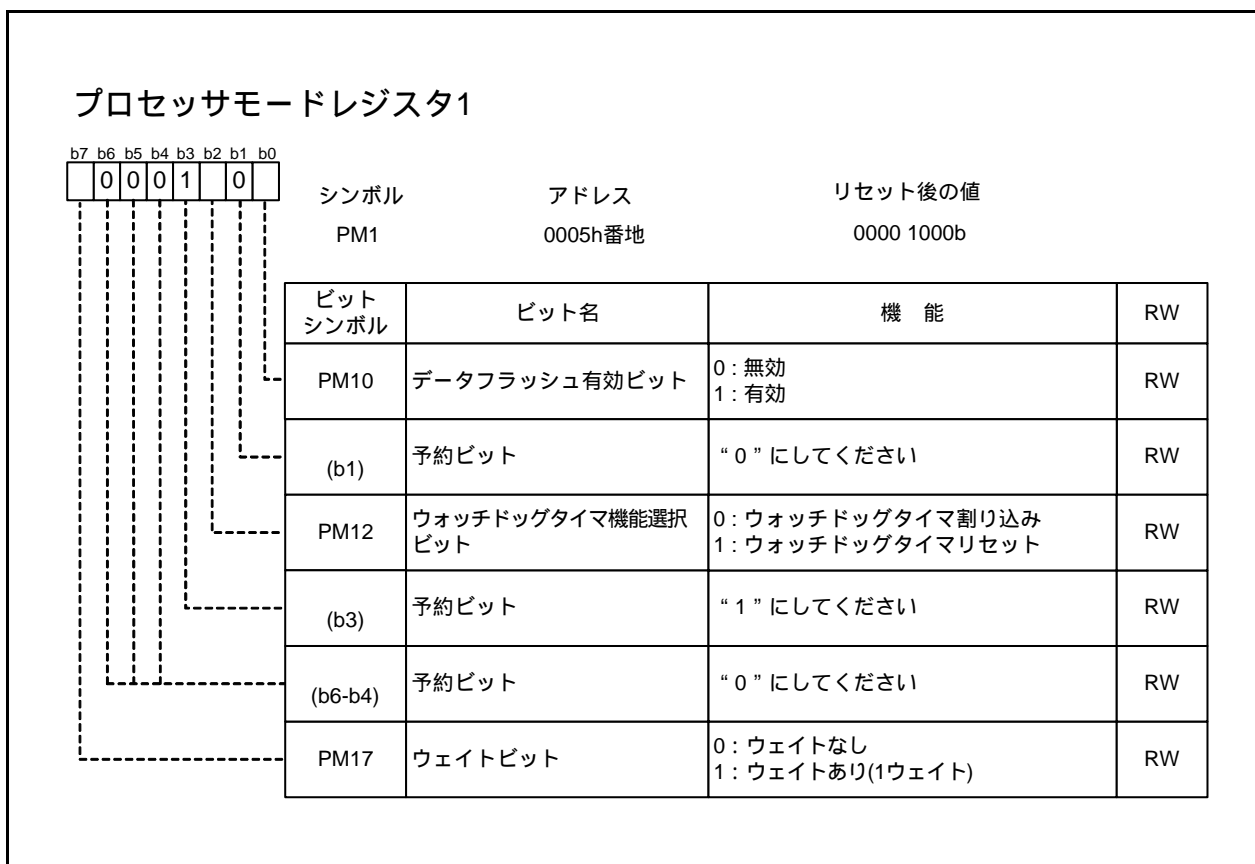


このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PM01~PM00 (プロセッサモードビット) (b1~b0)

00b固定とします。

10.2.2 プロセッサモードレジスタ1 (PM1)



このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
 PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

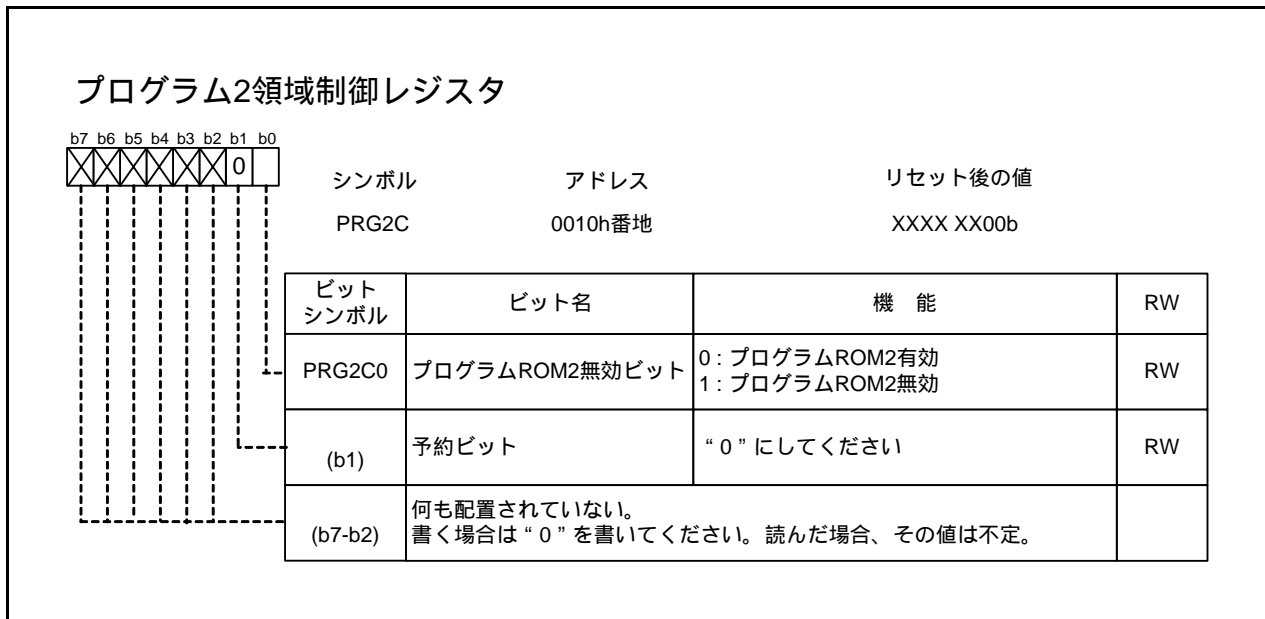
PM10 (データフラッシュ有効ビット) (b0)

0E000h~0FFFFh番地にデータフラッシュをマッピングするビットです。

データフラッシュにはブロックA (0E000h~0EFFFh番地)、ブロックB (0F000h~0FFFFh)があります。
 PM10ビットでデータフラッシュを有効にすると、ブロックA、ブロックB両方が使用できます。

PM10ビットは、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、自動的に“1”になります。

10.2.3 プログラム2領域制御レジスタ (PRG2C)



このレジスタはPRCRレジスタのPRC6ビットを“1”(書き込み許可)にした後で書き換えてください。

PRG2C0 (プログラムROM2無効ビット) (b0)

10000h~13FFFh番地にプログラムROM2をマッピングするビットです。

11. バス

11.1 概要

マイコン内部の内部バスについて説明します。

表11.1 バスの仕様

項目	内容
内部バス	<ul style="list-style-type: none"> •セパレートバス •データバス幅16ビット •ソフトウェアウェイト 0~1ウェイト挿入可

11.2 レジスタの説明

表 11.2 にバスに関係あるレジスタを示します。PM0、PM1 レジスタは「10. プロセッサモード」を、FMR1 レジスタは「24. フラッシュメモリ」を参照してください。

表11.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb

11.3 動作説明

11.3.1 内部バス

11.3.1.1 基準クロック

内部バスはBCLKを基準に動作します。ただし、アクセスする領域や、ウェイトの影響を受けます。詳細は「11.3.1.3 内部バスのソフトウェアウェイト」を参照してください。

11.3.1.2 バスホールド

次の場合は内部バスはホールド状態になります。

•フラッシュメモリをEW1モードで書き換える際の、自動書き込み、自動消去中
バスがホールド状態になると、次のような影響が出ます。

- CPU停止
- DMAC停止
- CSPRレジスタのCSPROビットが“0”(カウントソース保護モード無効)の場合、ウォッチドッグタイマ停止

なお、バスの使用優先順位は高い方から順に、バスホールド、DMAC、CPUとなります。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMAはバス使用権を得ることはできません。図11.1にバスの使用優先順位を示します。

バスホールド > DMAC > CPU

図11.1 バスの使用優先順位

11.3.1.3 内部バスのソフトウェアウェイト

ソフトウェアウェイト関連ビットのうち、PM1レジスタのPM17ビットは、内部メモリと外部領域の両方に影響を与えます。表11.3にソフトウェアウェイト関連ビットとバスサイクル(SFR、内部メモリ)を示します。

内部ROMのうち、データフラッシュはPM17ビットとFMR1レジスタのFMR17ビットの両方の影響を受けます。

表11.3 ソフトウェアウェイト関連ビットとバスサイクル(SFR、内部メモリ)

領域	ソフトウェアウェイト関連ビットの設定		ソフトウェアウェイト	バスサイクル	
	FMR1レジスタ FMR17ビット	PM1レジスタ PM17ビット			
SFR	-	-	1ウェイト	BCLKの2サイクル(注1)	
内部RAM	-	0	なし	BCLKの1サイクル(注1)	
		1	1ウェイト	BCLKの2サイクル	
内部ROM	プログラムROM1	-	0	なし	BCLKの1サイクル(注1)
	プログラムROM2	-	1	1ウェイト	BCLKの2サイクル
	データフラッシュ	0	-	1ウェイト	BCLKの2サイクル(注1)
		1	0	なし	BCLKの1サイクル
		1	1ウェイト	BCLKの2サイクル	

- : “0”でも“1”でも影響ない

注1. リセット後の状態

11.4 バス使用上の注意

11.4.1 データフラッシュ読み出し

2.7V VCC1 3.0Vの場合は、データフラッシュを読み出す際に1ウェイトが必要です。PM17ビットまたはFMR17ビットで1ウェイトにしてください。

12. プログラマブル入出力ポート

注意

P2 ~ P5は、外部への接続がありません。PLCモデムとLSI内部で接続しています。

12.1 概要

プログラマブル入出力ポート(以下、入出力ポートと称す)の仕様を表12.1に示します。

各端子は、入出力ポートまたは周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。また、周辺機能の入出力端子として使用する場合は、「12.4 周辺機能の入出力」を参照してください。

表12.1 プログラマブル入出力ポートの仕様

項目	仕様	
本数	合計	56本
	CMOS出力	53本
	Nチャンネルオープンドレイン出力	3本
入出力レベル	VCC2レベル	P0、P1、P6
	VCC1レベル	P7~P10
入出力選択	1本ごとにプログラムで選択	
選択機能	プルアップ抵抗を4本単位で選択	

表12.2 入出力端子

端子名	入出力	機能
P0_0~P0_7、P1_0~P1_7、P6_0~P6_7	入出力	入出力ポート CMOS出力、プルアップ抵抗選択可能
P7_0~P7_7	入出力	入出力ポート P7_0、P7_1はNチャンネルオープンドレイン出力、プルアップ抵抗なし。 P7_2~P7_7はCMOS出力、プルアップ抵抗選択可能。
P8_0~P8_7	入出力	入出力ポート P8_0~P8_4、P8_6、P8_7はCMOS出力、プルアップ抵抗選択可能。 P8_5はNチャンネルオープンドレイン出力、プルアップ抵抗なし。
P9_0~P9_7、P10_0~P10_7	入出力	入出力ポート CMOS出力、プルアップ抵抗選択可能
P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7 (注1)	入出力	入出力ポート PLCモデムとLSI内部で接続している

注1. P2 ~ P5は、内部PLCモデムに接続されています。外部端子がありません。

提供されるDLLソフトウェア経由で制御し、ユーザソフトから直接制御しないでください。

12.2 入出力ポート、端子の構成

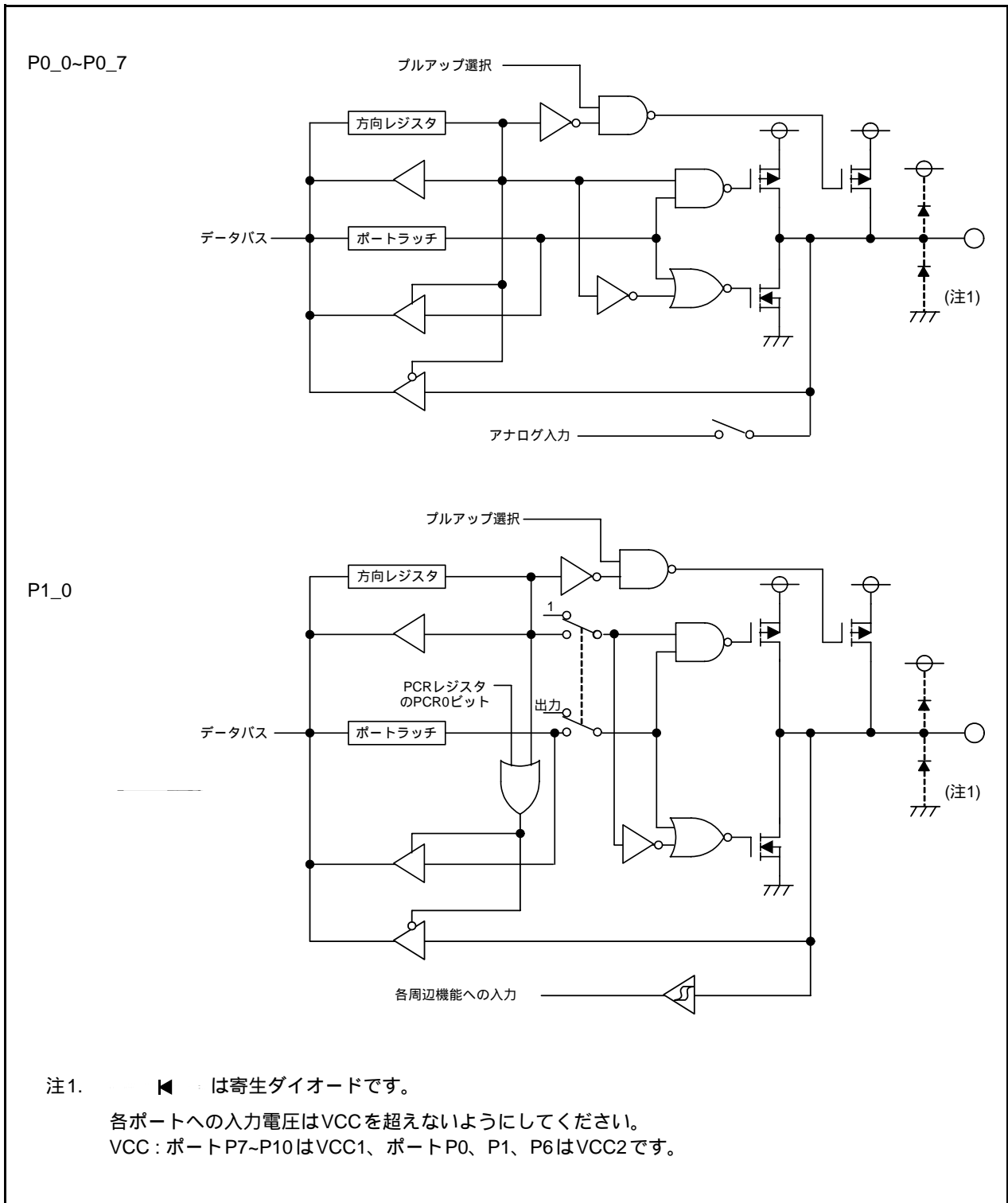


図12.1 入出力ポートの構成(1/8)

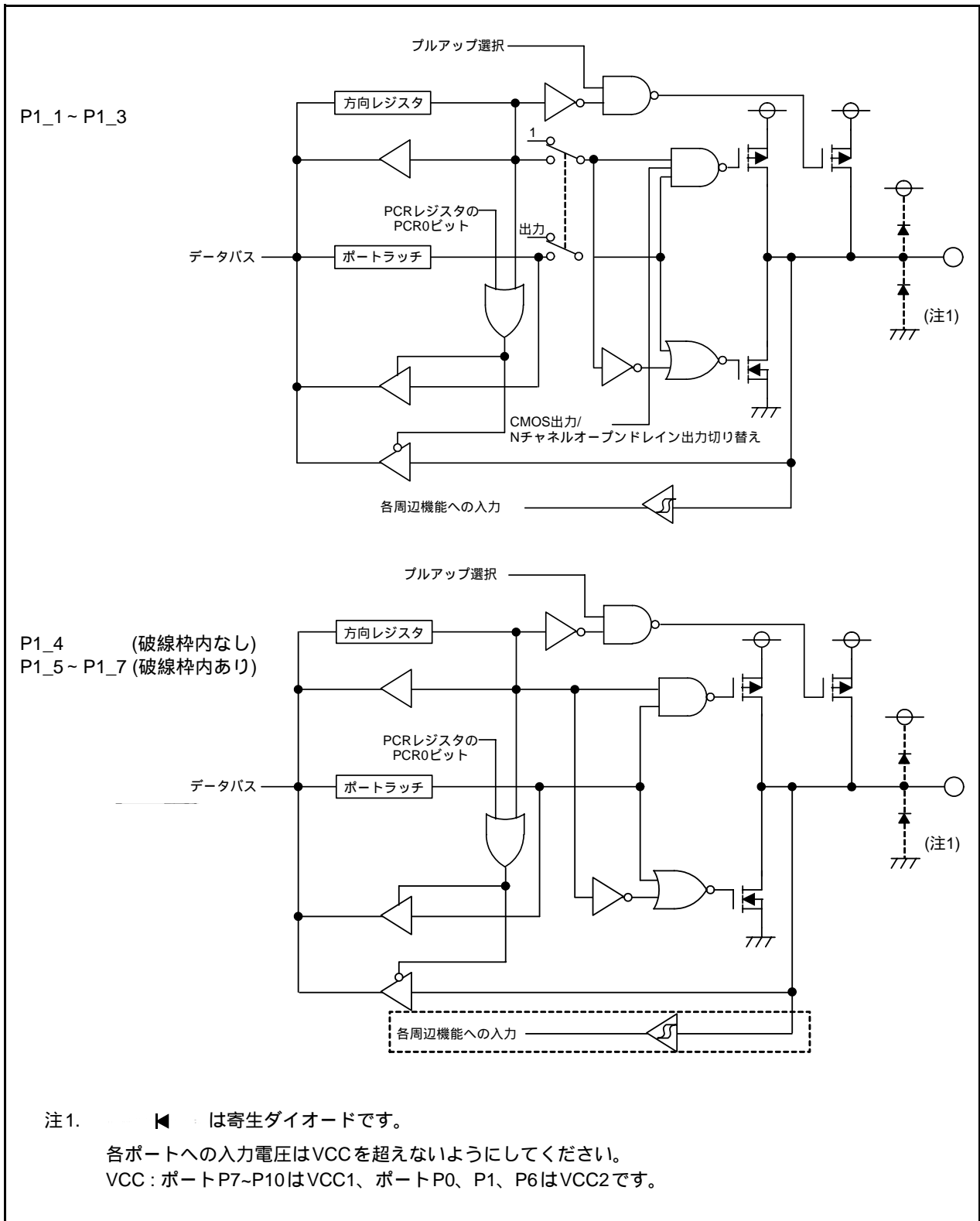


図12.2 入出力ポートの構成(2/8)

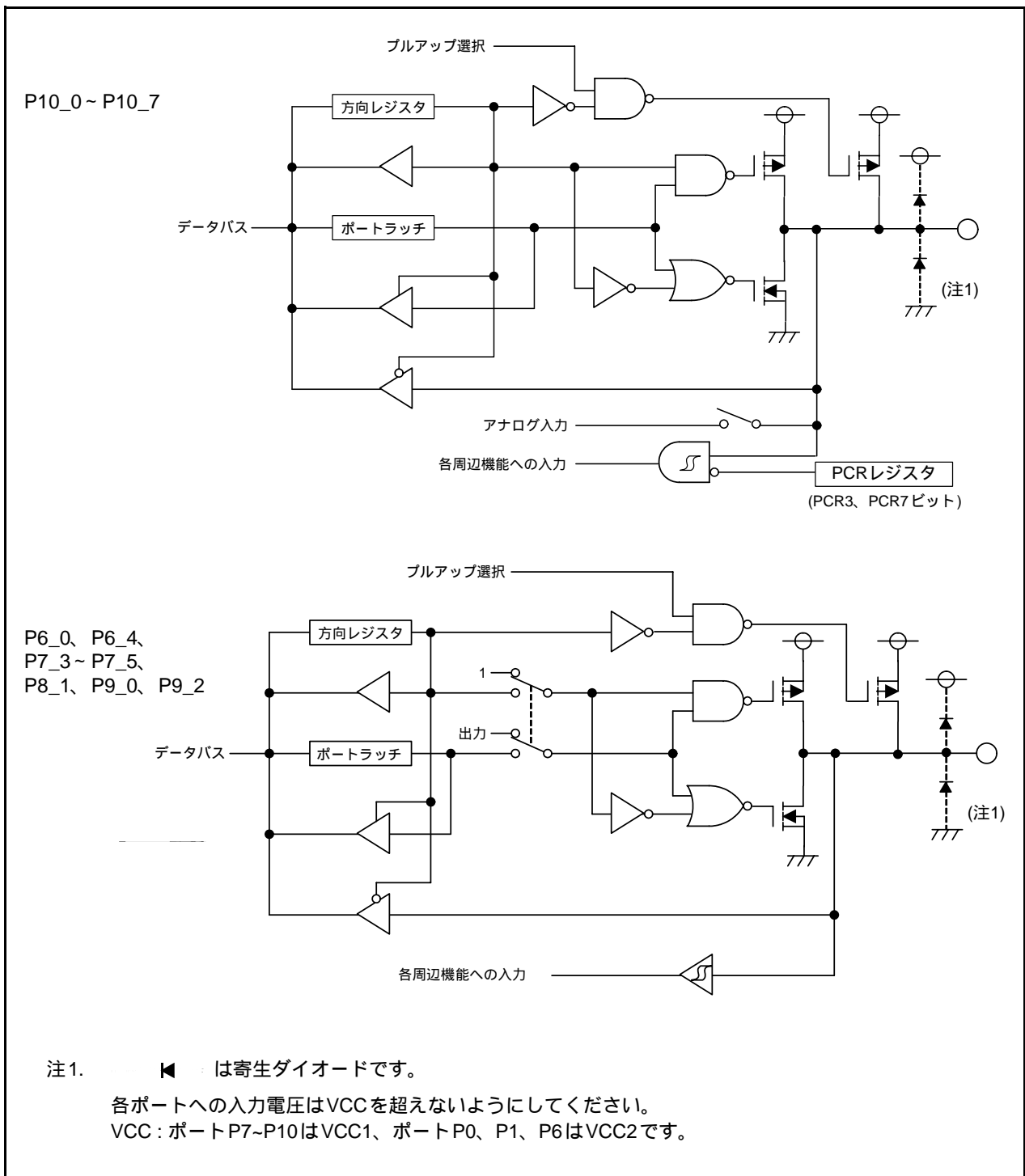


図12.3 入出力ポートの構成(3/8)

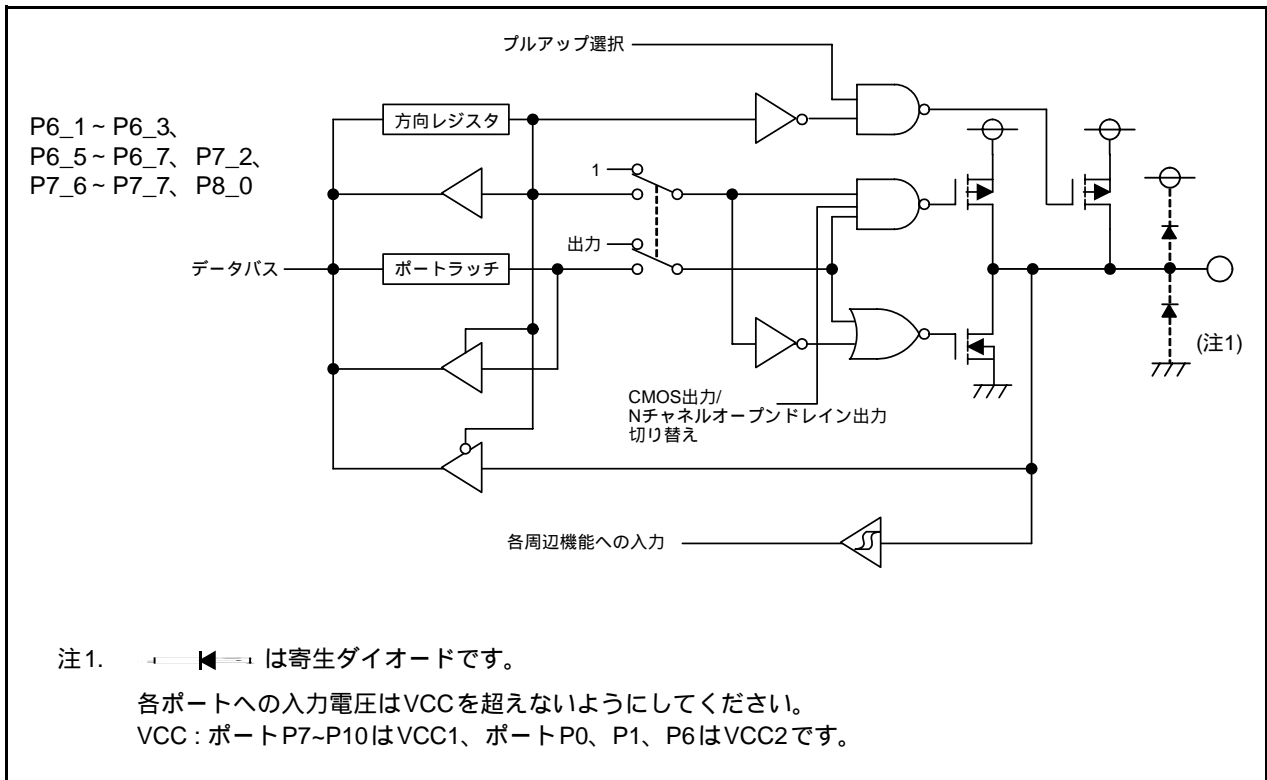


図12.4 入出力ポートの構成(4/8)

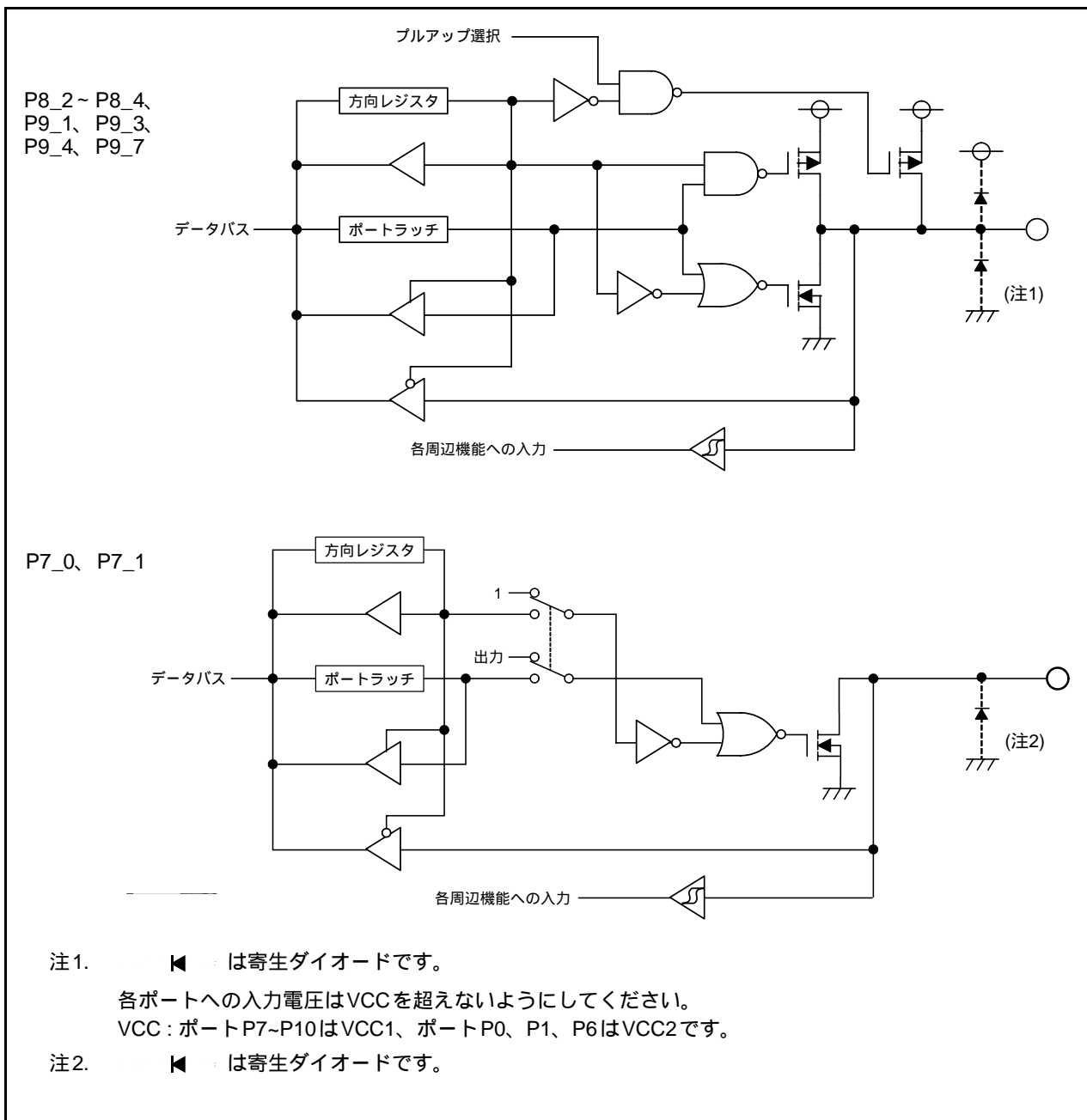


図12.5 入出力ポートの構成(5/8)

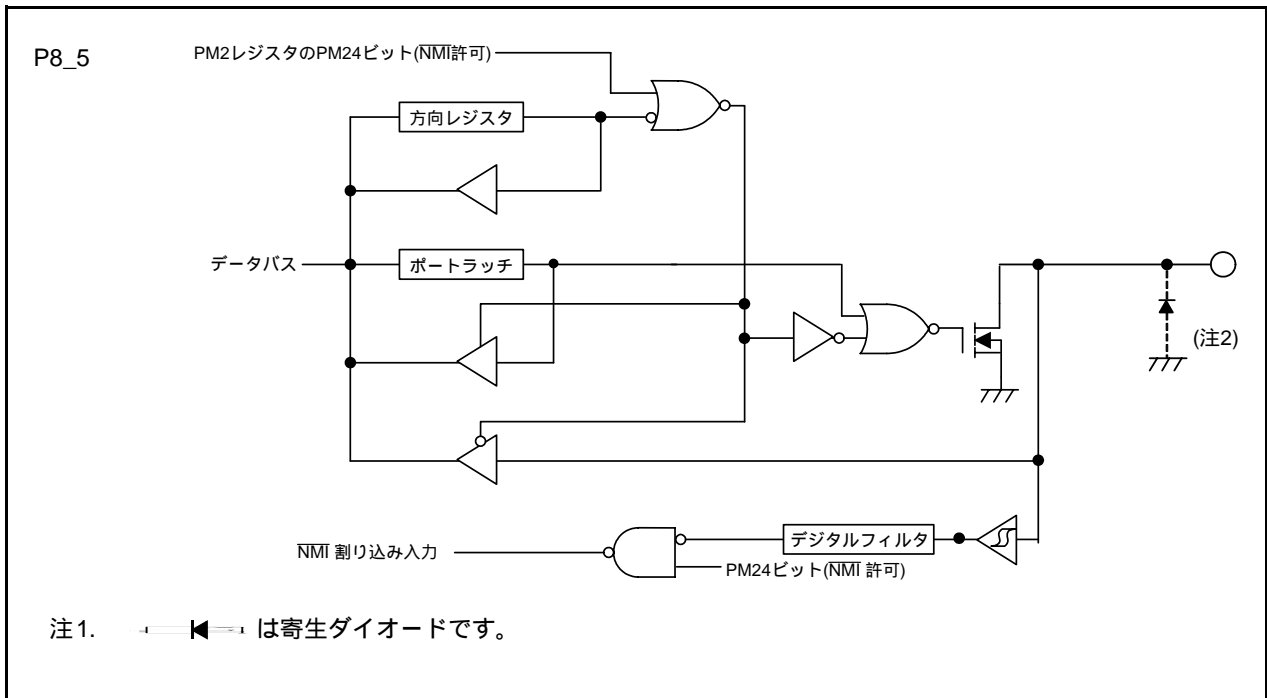


図 12.6 入出力ポートの構成 (6/8)

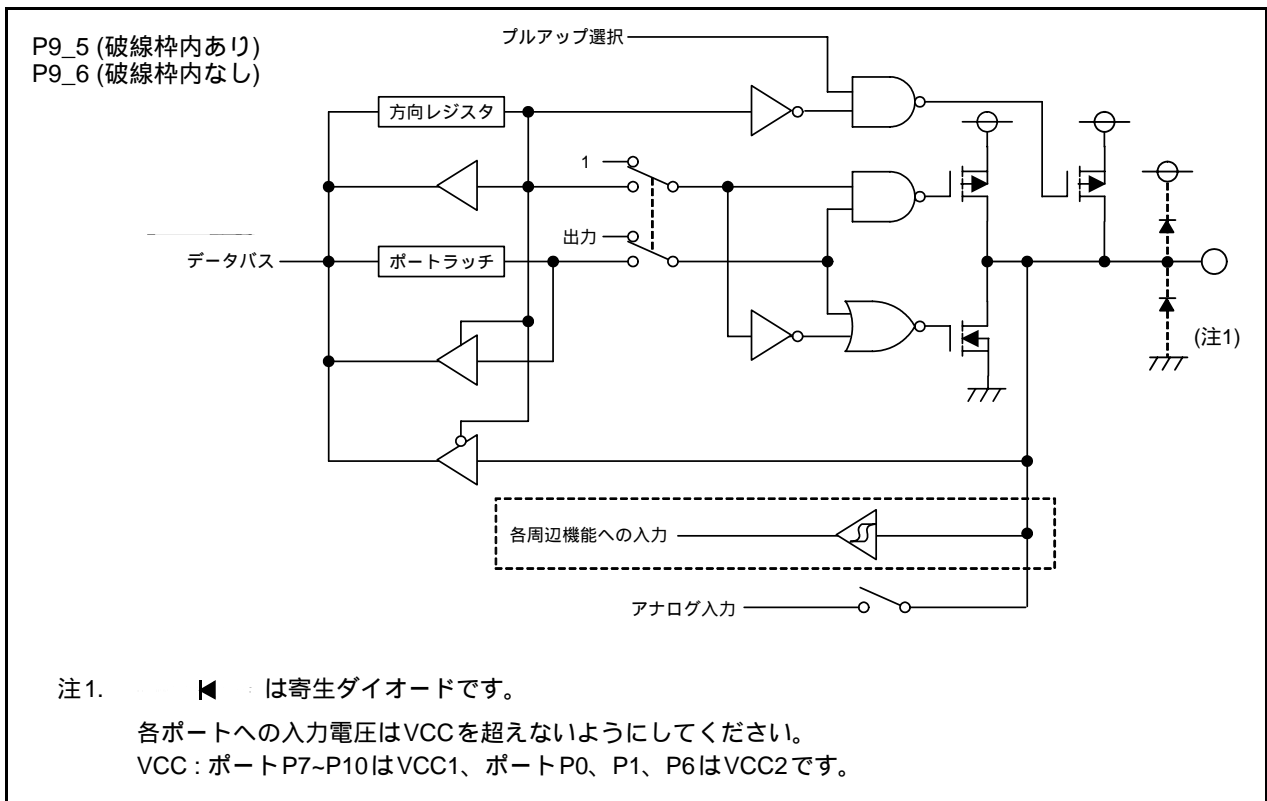


図 12.7 入出力ポートの構成 (7/8)

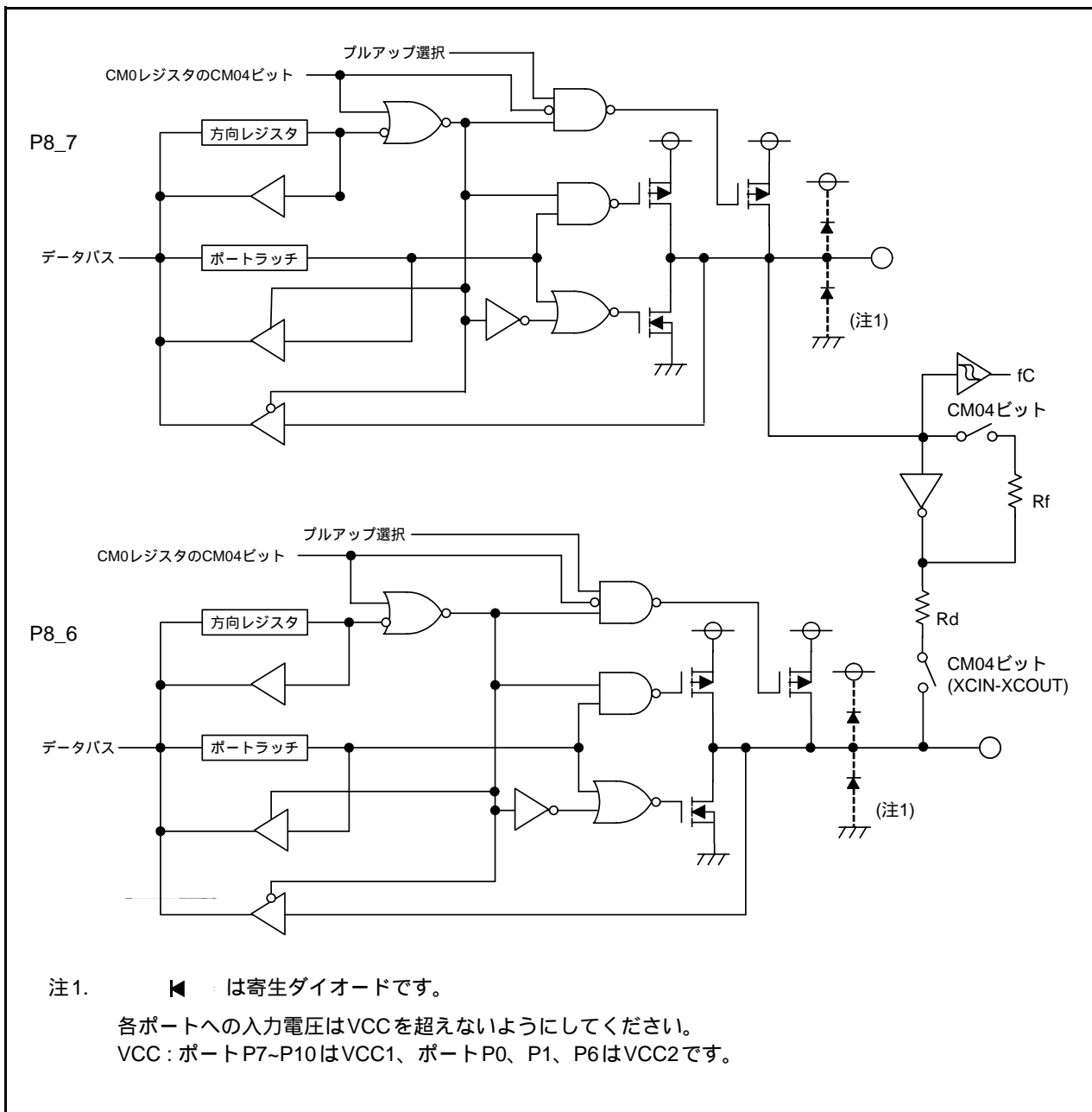


図12.8 入出力ポートの構成 (8/8)

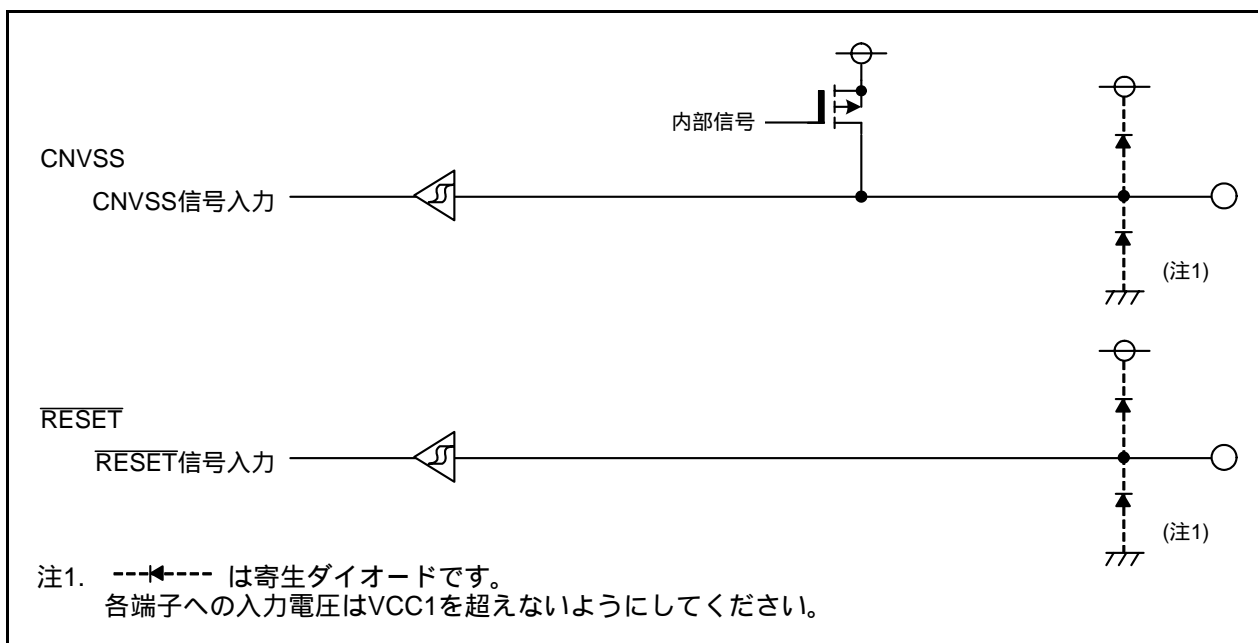


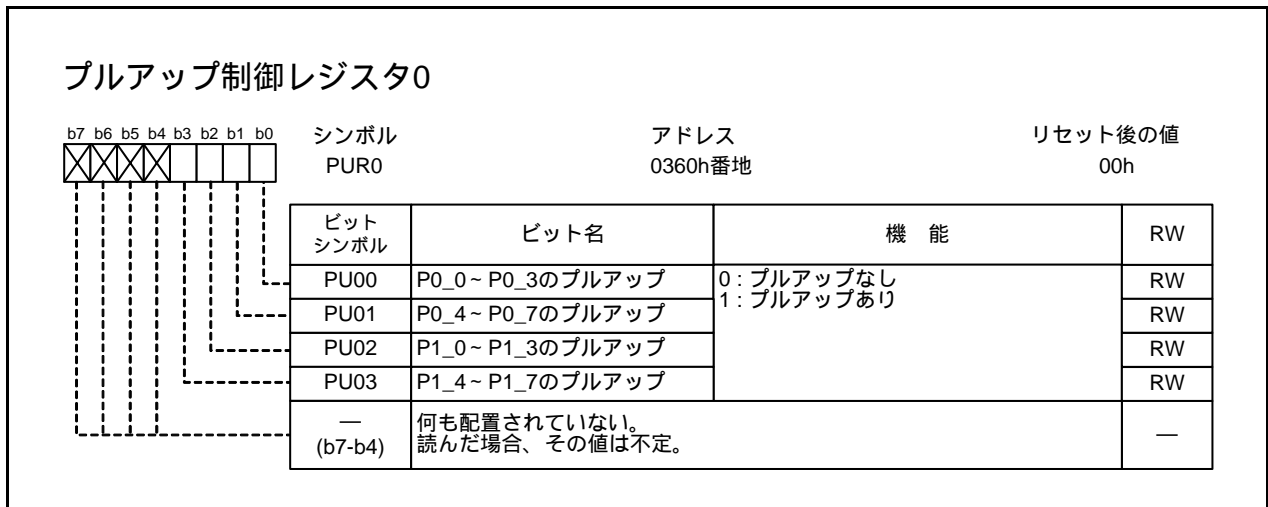
図 12.9 端子の構成

12.3 レジスタの説明

表12.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	0000 0000b
0362h	プルアップ制御レジスタ2	PUR2	00h
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0369h	NMIデジタルフィルタレジスタ	NMIDF	XXXX X000b
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F6h	ポートP10方向レジスタ	PD10	00h

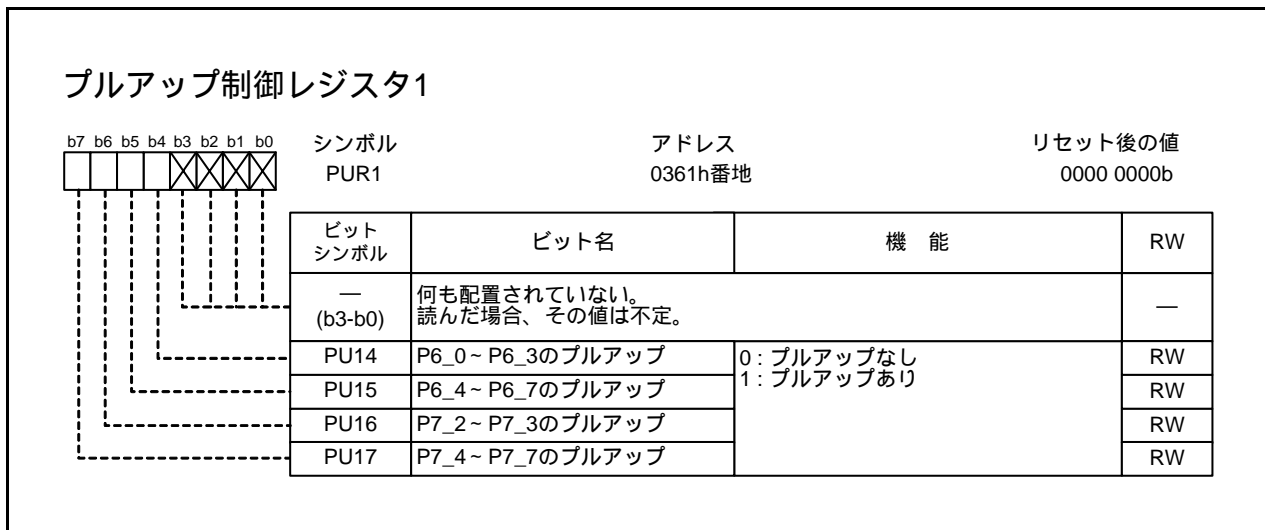
12.3.1 プルアップ制御レジスタ0 (PUR0)



PU0i (i=0~3) (b3~b0)

PU0i ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

12.3.2 プルアップ制御レジスタ1 (PUR1)



PU14 (P6_0~P6_3のプルアップ) (b4)

PU15 (P6_4~P6_7のプルアップ) (b5)

PU17 (P7_4~P7_7のプルアップ) (b7)

PU1i (i=4, 5, 7) ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

PU16 (P7_2~P7_3のプルアップ) (b6)

PU16 ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

P7_0、P7_1端子には、プルアップはありません。

12.3.3 プルアップ制御レジスタ2 (PUR2)

プルアップ制御レジスタ2

シンボル
PUR2

アドレス
0362h番地

リセット後の値
00h

ビット シンボル	ビット名	機 能	RW
PU20	P8_0 ~ P8_3のプルアップ	0 : プルアップなし 1 : プルアップあり	RW
PU21	P8_4 ~ P8_7のプルアップ		RW
PU22	P9_0 ~ P9_3のプルアップ		RW
PU23	P9_4 ~ P9_7のプルアップ		RW
PU24	P10_0 ~ P10_3のプルアップ		RW
PU25	P10_4 ~ P10_7のプルアップ		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

PUR2レジスタのビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

- PU20 (P8_0~P8_3のプルアップ) (b0)
- PU22 (P9_0~P9_3のプルアップ) (b2)
- PU23 (P9_4~P9_7のプルアップ) (b3)
- PU24 (P10_0~P10_3のプルアップ) (b4)
- PU25 (P10_4~P10_7のプルアップ) (b5)

PU2i (i=0, 2~5) ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

PU21 (P8_4、P8_6 ~ P8_7のプルアップ) (b1)

PU21 ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

P8_5端子は、プルアップはありません。

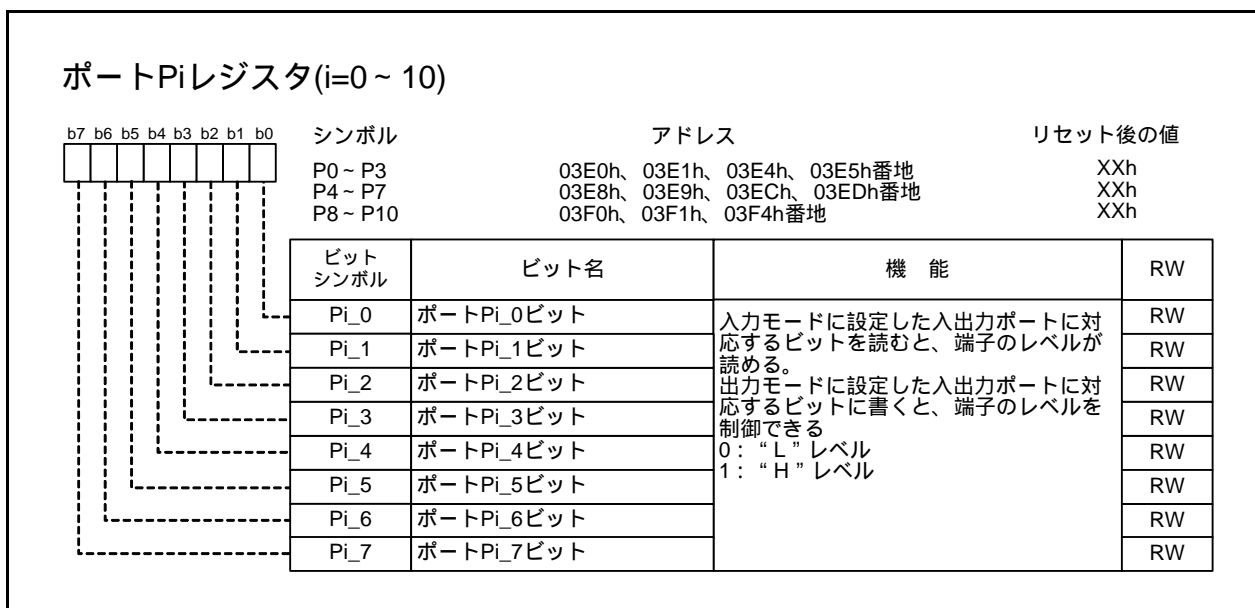
12.3.4 ポート制御レジスタ (PCR)

ポート制御レジスタ			
ビット シンボル	ビット名	機能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、 ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
PCR3	キー入力許可ビット (KI4~KI7)	0: 許可 1: 禁止	RW
— (b4)	何も配置されていない。 読んだ場合、その値は不定。		—
PCR5	INT6入力許可ビット	0: 許可 1: 禁止	RW
PCR6	INT7入力許可ビット	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット (KI0~KI3)	0: 許可 1: 禁止	RW

PCR0 (ポートP1制御ビット) (b0)

PCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

12.3.5 ポートPiレジスタ (Pi) (i=0~10)



外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。

入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

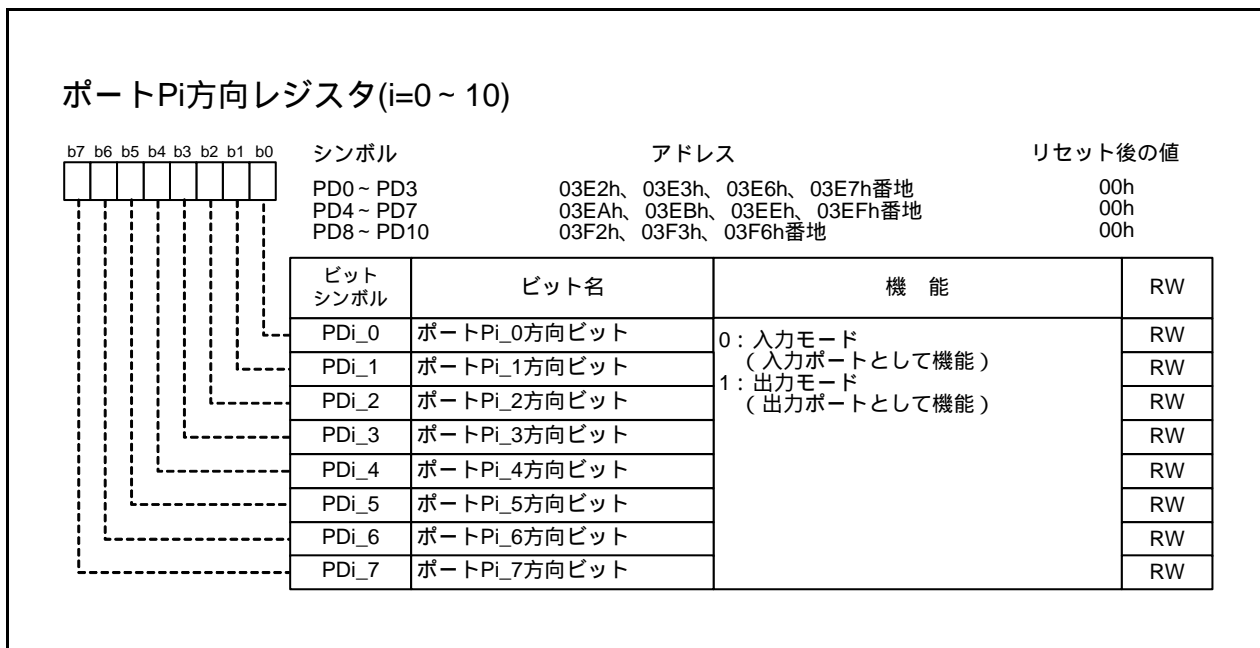
出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

P7_0、P7_1、P8_5はNチャンネルオープンドレインポートのため、“1”にするとハイインピーダンスとなります。

CM0レジスタのCM04ビットが“1”(XCIN-XCOUT発振機能)、かつPD8レジスタのPD8_6、PD8_7ビットが“0”(入力モード)の場合、P8レジスタのP8_6、P8_7ビットの値は不定です。

P2 ~ P5は、外部端子がありません。

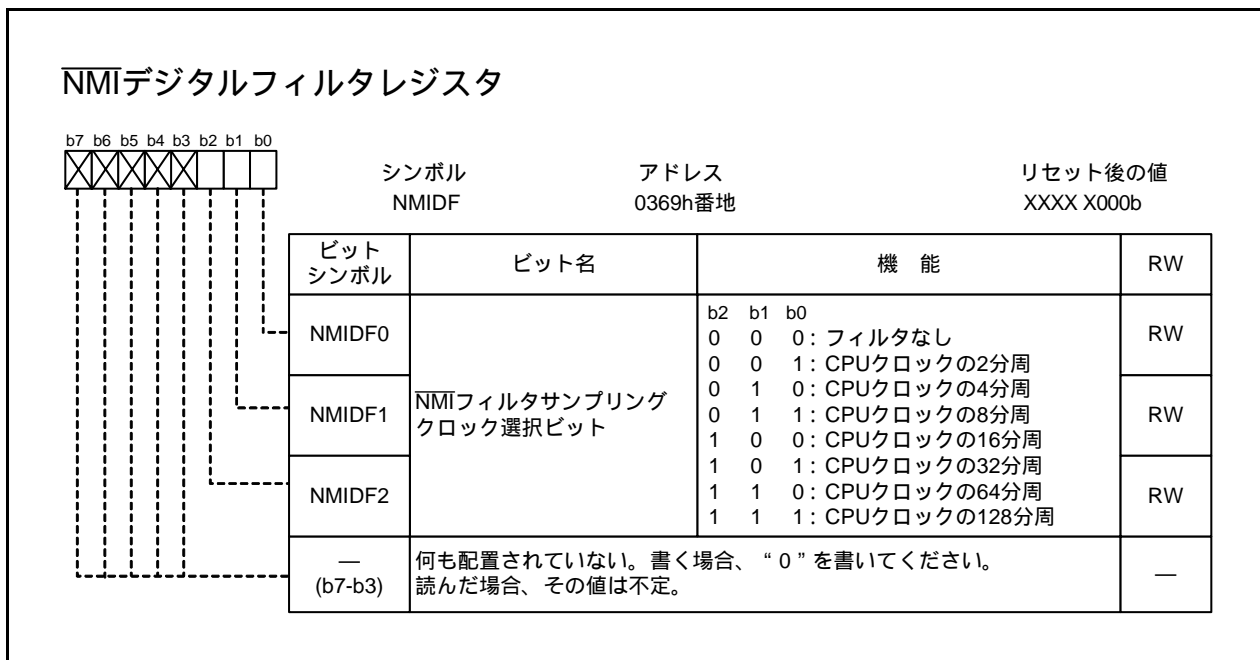
12.3.6 ポートPi方向レジスタ (PDi) (i=0~10)



PD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

PDiレジスタで、入出力ポートを入力に使用するか、出力に使用するかを選択してください。このレジスタの各ビットは、ポート1本ずつに対応しています。

P2 ~ P5は、外部端子がありません。

12.3.7 $\overline{\text{NMI}}$ デジタルフィルタレジスタ (NMIDF)

NMIDFレジスタは、次の状態に変更してください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)

なお、PM24ビットは一度“1”(NMI割り込み許可)にすると、プログラムでは“0”にできません。
したがって、PM24ビットを“1”にする前にNMIDFレジスタを変更してください

12.4 周辺機能の入出力

12.4.1 周辺機能入出力とポート方向ビット

プログラマブル入出力ポートは、周辺機能の入出力と端子を共用する場合があります(「表1.6~表1.8 端子名一覧」参照)。表12.4に周辺機能の入出力として機能する場合の方向ビットの設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表12.4 周辺機能の入出力として機能する場合の方向ビットの設定

周辺機能の入出力	端子を共用しているポートの方向ビットの設定
入力	“0”(入力モード)にしてください
出力	“0”でも“1”でもよい(方向ビットの設定に関係なく出力になる)

12.4.2 周辺機能入出力の優先順位

複数の周辺機能が端子を共用している場合があります。この場合、例えば、ある端子を共用する周辺機能Aと周辺機能Bが動作すると次のようになります。

- その端子が周辺機能Aの入力端子と、周辺機能Bの入力端子の機能を持つ場合
同じ信号をそれぞれの入力信号として入力します。ただし、周辺機能A、Bがその信号を受け付けるタイミングは周辺機能A、Bの内部の遅延などによって異なります。
- その端子が周辺機能Aの出力端子と、周辺機能Bの入力端子の機能を持つ場合
周辺機能Aは出力信号を端子から出力します。その信号を周辺機能Bが入力します。

12.4.3 NMIデジタルフィルタ

NMI入力機能には、デジタルフィルタがあります。サンプリングクロックはNMIDFレジスタのNMIDF2~NMIDF0ビットで選択できます。サンプリングクロックごとにNMIのレベルをサンプリングし、レベルが3度続けて一致した時点で、内部に伝えます。

NMIデジタルフィルタを使用する場合は、ウェイトモード、ストップモードに遷移しないでください。

ポートP8_5入力はデジタルフィルタの影響を受けません。

図12.10にNMIデジタルフィルタの構成を、図12.11にNMIデジタルフィルタ動作例を示します。

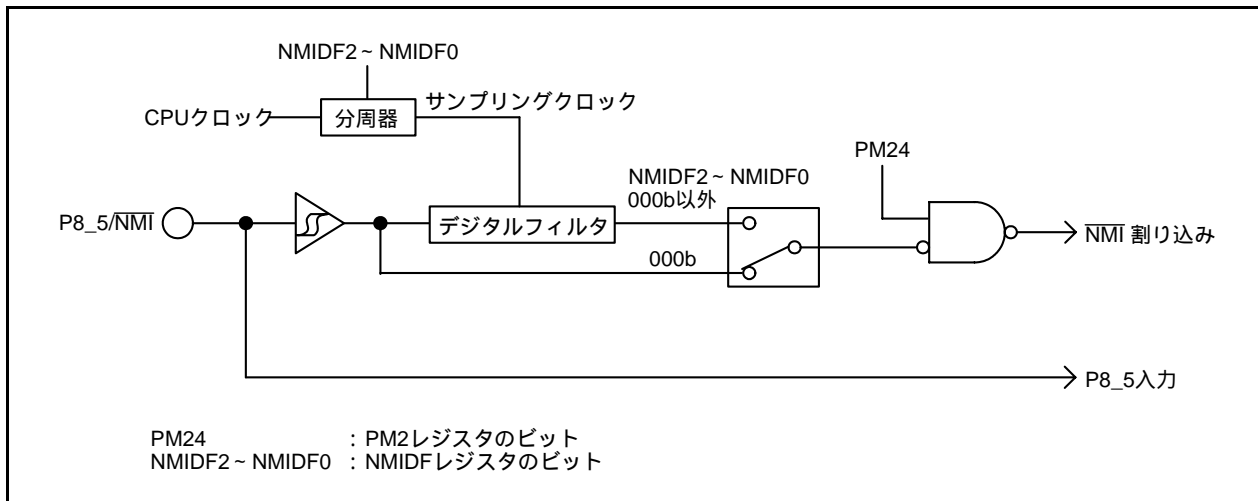


図12.10 NMIデジタルフィルタの構成

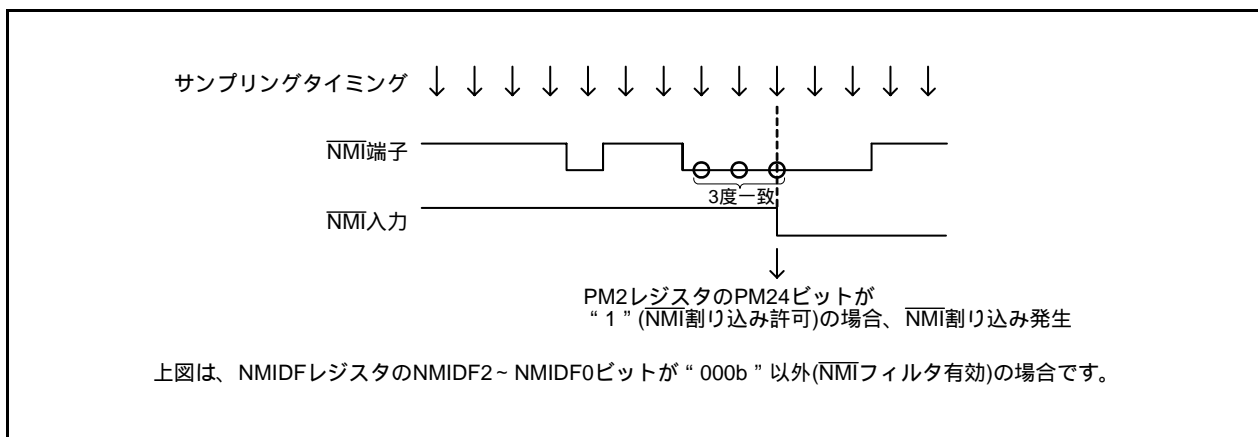


図12.11 NMIデジタルフィルタ動作例

12.4.4 CNVSS端子

ウォッチドッグタイマリセット、ハードウェアリセット、電圧監視0リセット後、CNVSS端子の内蔵プルアップ抵抗がONになります。このため、最大でfOCO-Sの2サイクルの期間、CNVSS端子は“H”レベルを出力します。必ず抵抗を介してVSSに接続してください。

12.5 未使用端子の処理

表12.5 未使用端子の処理例

端子名	処理内容(注2)
ポートP0、P1、P6	次のいずれか ・入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) ・入力モードに設定し、端子ごとに抵抗を介してVCC2に接続(プルアップ) ・出力モードに設定し、端子を開放(注1)
ポートP7~P10	次のいずれか ・入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) ・入力モードに設定し、端子ごとに抵抗を介してVCC1に接続(プルアップ) ・出力モードに設定し、端子を開放(注1、3)
AVCC	VCC1に接続
AVSS、VREF	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
 また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. ポートP7_0、P7_1、P8_5はNチャンネルオープンドレイン出力です。
 ポートP7_0、P7_1、P8_5を出力モードに設定する場合は“L”を出力してください。

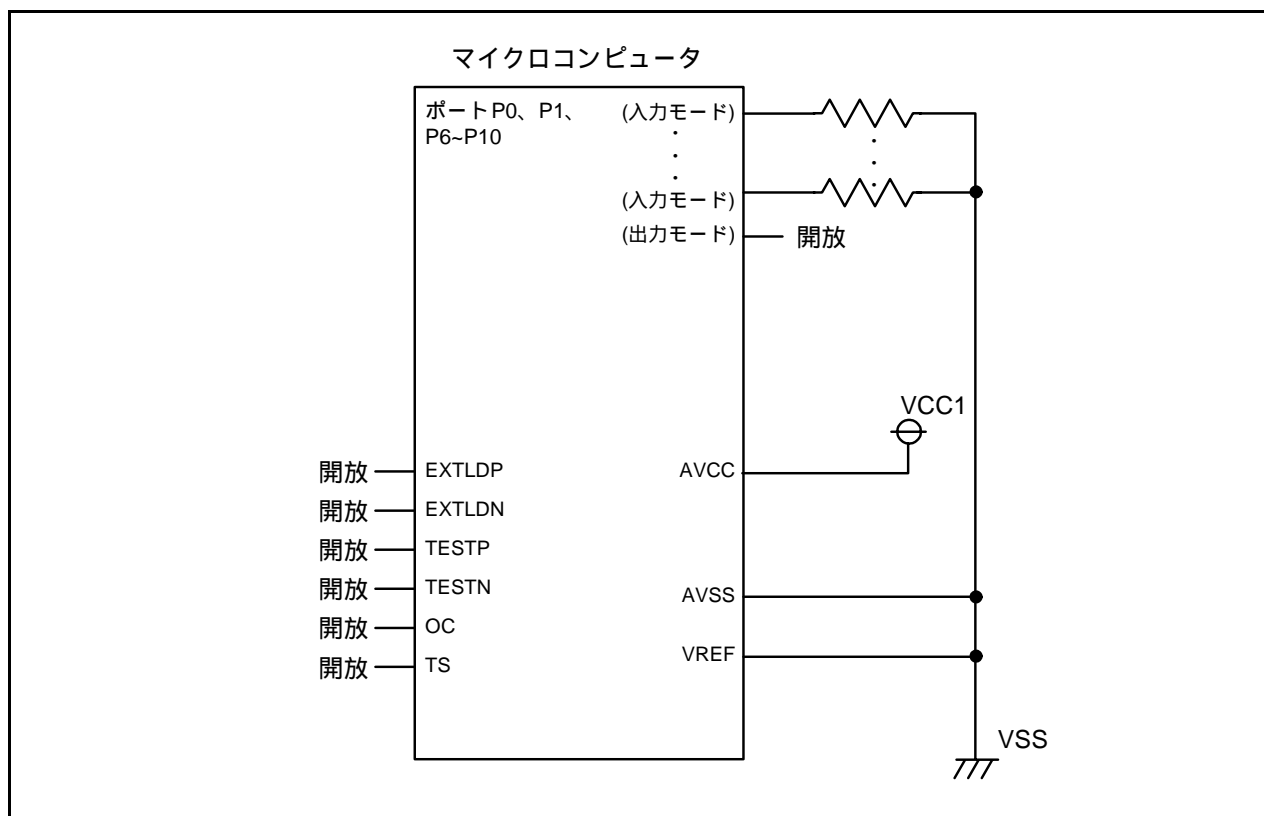


図12.12 未使用端子の処理例

12.6 プログラマブル入出力ポート使用上の注意事項

12.6.1 SI/O3、SI/O4の影響

S3CレジスタのSM32ビットを“1”にすると、P9_2端子はハイインピーダンスになります。S4CレジスタのSM42ビットを“1”にすると、P9_6端子はハイインピーダンスになります。

13. 割り込み

注意

UART7は内部でPLCモデムと接続しているので、外部端子はありません。
また、INT0、INT6、INT7も内部ポートとして使っているので、外部端子はありません。

13.1 概要

表13.1に割り込みの概要を、表13.2に入出力端子を示します。表13.2に示す端子は、外部割り込みの入力端子です。周辺機能割り込みに関係する端子は各周辺機能を参照してください。

表13.1 割り込みの概要

割り込みの分類		割り込み	機能
ソフトウェア		未定義命令 (UND 命令) オーバフロー (INTO 命令) BRK 命令 INT 命令	命令の実行で割り込みが発生する ノンマスクブル割り込み(注2)
ハードウェア	特殊	NMI ウォッチドッグタイマ 発振停止、再発振検出 アドレス一致 シングルステップ(注1) DBC(注1)	マイクロコンピュータのハードウェアによる割り込み ノンマスクブル割り込み(注2)
	周辺機能	INT、タイマなど (「13.6.2 可変ベクタテーブル」 参照)	マイクロコンピュータ内部の周辺機能による割り込み マスクブル割り込み(割り込み優先レベル: 7レベル) (注2)

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. マスクブル割り込み： 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
ノンマスクブル割り込み： 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

表13.2 入出力端子

端子名	入出力	機能
$\overline{\text{NMI}}$	入力	NMI割り込み入力
$\overline{\text{INT}}_i$	入力(注1)	$\overline{\text{INT}}_i$ 割り込み入力
$\overline{\text{KIO}}\sim\overline{\text{KI}}7$	入力(注1)	キー入力

i=0~7

注1. 端子を共用するポートの方向ビットは“0”(入力モード)にしてください。

注2. INT0、INT6、INT7は内部PLCモデムに接続されています。外部端子がありません。提供されるDLLソフトウェア経由で制御し、ユーザソフトから直接制御しないでください。

13.2 レジスタの説明

表13.3 レジスタ一覧(1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
0042h	$\overline{\text{INT7}}$ 割り込み制御レジスタ	INT7IC	XX00 X000b
0043h	$\overline{\text{INT6}}$ 割り込み制御レジスタ	INT6IC	XX00 X000b
0044h	$\overline{\text{INT3}}$ 割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ、 UART1バス衝突検出割り込み制御レジスタ	TB4IC、 U1BCNIC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ、 UART0バス衝突検出割り込み制御レジスタ	TB3IC、 U0BCNIC	XXXX X000b
0048h	SI/O4割り込み制御レジスタ、 $\overline{\text{INT5}}$ 割り込み制御レジスタ	S4IC、 INT5IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ、 $\overline{\text{INT4}}$ 割り込み制御レジスタ	S3IC、 INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XX00 X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	$\overline{\text{INT0}}$ 割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	$\overline{\text{INT1}}$ 割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	$\overline{\text{INT2}}$ 割り込み制御レジスタ	INT2IC	XX00 X000b
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	XXXX X000b
006Ch	UART5送信割り込み制御レジスタ	S5TIC	XXXX X000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6バス衝突検出割り込み制御レジスタ、 リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC、 RTCTIC	XXXX X000b

表 13.4 レジスタ一覧(2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Fh	UART6送信割り込み制御レジスタ、リアルタイムクロックアラーム割り込み制御レジスタ	S6TIC、 RTCCIC	XXXX X000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7バス衝突検出 割り込み制御レジスタ	U7BCNIC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
007Bh	I2C-busインタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA割り込み制御レジスタ	SCLDAIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0369h	NMI デジタルフィルタレジスタ	NMIDF	XXXX X000b

13.2.1 プロセッサモードレジスタ2 (PM2)

プロセッサモードレジスタ2			
ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PM2	アドレス 001Eh番地	リセット後の値 XX00 0X01b
(b0)	予約ビット	“1”にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
(b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		
(b3)	予約ビット	“0”にしてください	RW
PM24	$\overline{\text{NMI}}$ 割り込み許可ビット	0: $\overline{\text{NMI}}$ 割り込み禁止 1: $\overline{\text{NMI}}$ 割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		

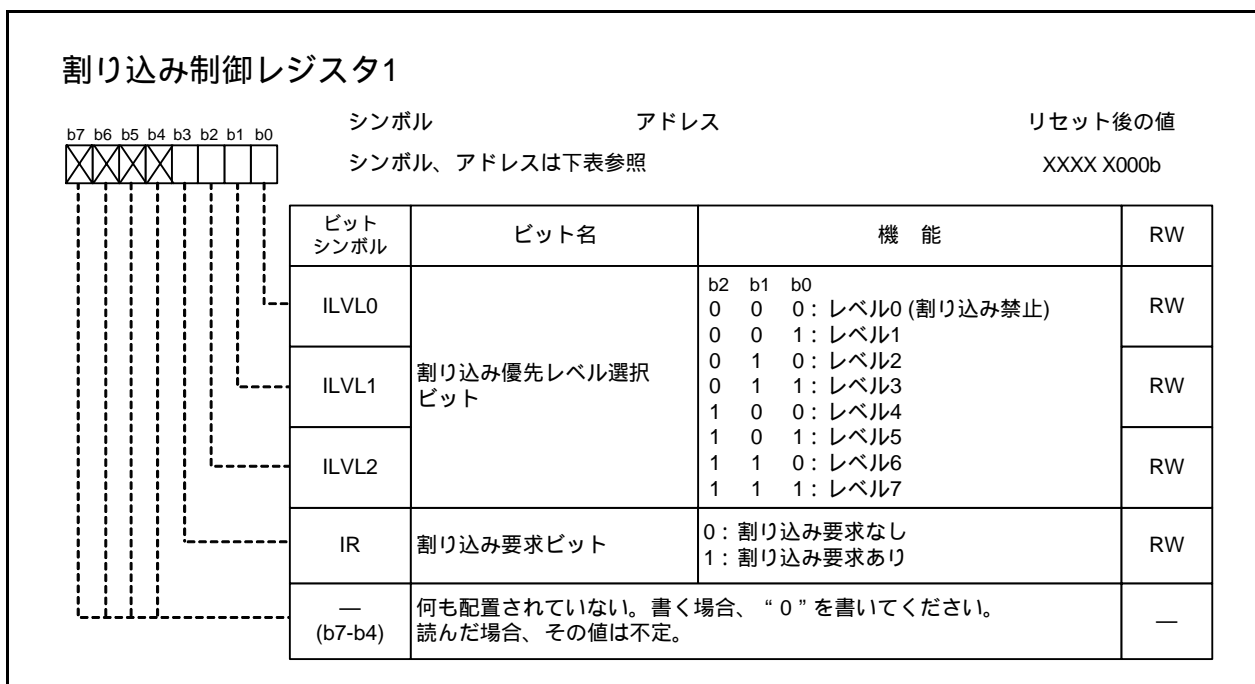
PM2レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PM24 ($\overline{\text{NMI}}$ 割り込み許可ビット) (b4)

一度“1”にすると、プログラムでは“0”にできません(“0”を書いても変化しません)。

13.2.2 割り込み制御レジスタ1

(TB5IC、TB4IC/U1BCNIC、TB3IC/U0BCNIC、BCNIC、DM0IC~DM3IC、ADIC、S0TIC~S2TIC、S0RIC~S2RIC、TA0IC~TA4IC、TB0IC~TB2IC、U5BCNIC、S5TIC、S5RIC~S7RIC、U6BCNIC/RTCTIC、S6TIC/RTCCIC、U7BCNIC、S7TIC、IICIC、SCLDAIC)



シンボル	アドレス
TB5IC	0045h 番地
TB4IC/U1BCNIC	0046h 番地
TB3IC/U0BCNIC	0047h 番地
BCNIC	004Ah 番地
DM0IC	004Bh 番地
DM1IC	004Ch 番地
DM2IC	0069h 番地
DM3IC	006Ah 番地
ADIC	004Eh 番地
S0TIC	0051h 番地
S1TIC	0053h 番地
S2TIC	004Fh 番地
S0RIC	0052h 番地
S1RIC	0054h 番地
S2RIC	0050h 番地
TA0IC	0055h 番地
TA1IC	0056h 番地

シンボル	アドレス
TA2IC	0057h 番地
TA3IC	0058h 番地
TA4IC	0059h 番地
TB0IC	005Ah 番地
TB1IC	005Bh 番地
TB2IC	005Ch 番地
U5BCNIC/CEC1IC	006Bh 番地
S5TIC/CEC2IC	006Ch 番地
S5RIC	006Dh 番地
S6RIC	0070h 番地
S7RIC	0073h 番地
U6BCNIC/RTCTIC	006Eh 番地
S6TIC/RTCCIC	006Fh 番地
U7BCNIC/PMC0IC	0071h 番地
S7TIC/PMC1IC	0072h 番地
IICIC	007Bh 番地
SCLDAIC	007Ch 番地

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。

複数の割り込み要因がレジスタを共用している場合は、IFSR2A、IFSR3A レジスタで選択してください。

IR (割り込み要求ビット) (b3)

IRビットが“0”のときに“1”を書かないでください。

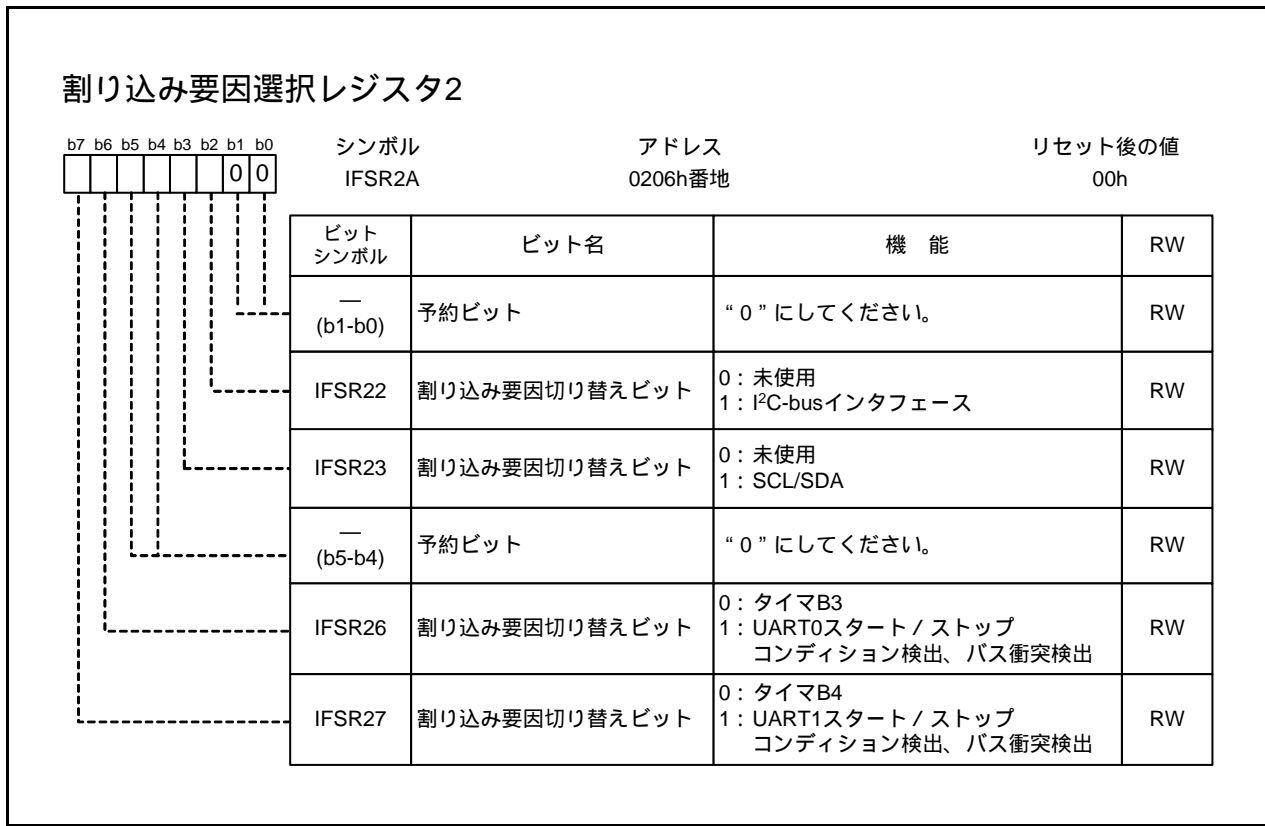
13.2.4 割り込み要因選択レジスタ3 (IFSR3A)

割り込み要因選択レジスタ3		シンボル IFSR3A	アドレス 0205h番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
0				0					
ビット シンボル	ビット名	機 能		RW					
IFSR30	INT6割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ		RW					
IFSR31	INT7割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ		RW					
— (b4-b2)	予約ビット	“0” にしてください。		RW					
IFSR35	割り込み要因切り替えビット	0: UART6スタート/ストップ コンディション検出、バス衝突検出 1: リアルタイムクロック周期		RW					
IFSR36	割り込み要因切り替えビット	0: UART6送信、NACK 1: リアルタイムクロックアラーム		RW					
IFSR37	キー入力割り込み極性 切り替えビット	0: 片エッジ 1: 両エッジ		RW					

IFSR31、IFSR30 (INT7、INT6割り込み極性切り替えビット) (b1、b0)

“1”を選択する場合は、対応するINT6ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

13.2.5 割り込み要因選択レジスタ2 (IFSR2A)



13.2.6 割り込み要因選択レジスタ (IFSR)

割り込み要因選択レジスタ			
ビット シンボル	ビット名	機 能	RW
IFSR0	INT0割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR1	INT1割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR2	INT2割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR3	INT3割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR4	INT4割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR5	INT5割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR6	割り込み要因切り替え ビット	0: SI/O3 1: INT4	RW
IFSR7	割り込み要因切り替え ビット	0: SI/O4 1: INT5	RW

シンボル: IFSR
 アドレス: 0207h番地
 リセット後の値: 00h

b7 b6 b5 b4 b3 b2 b1 b0

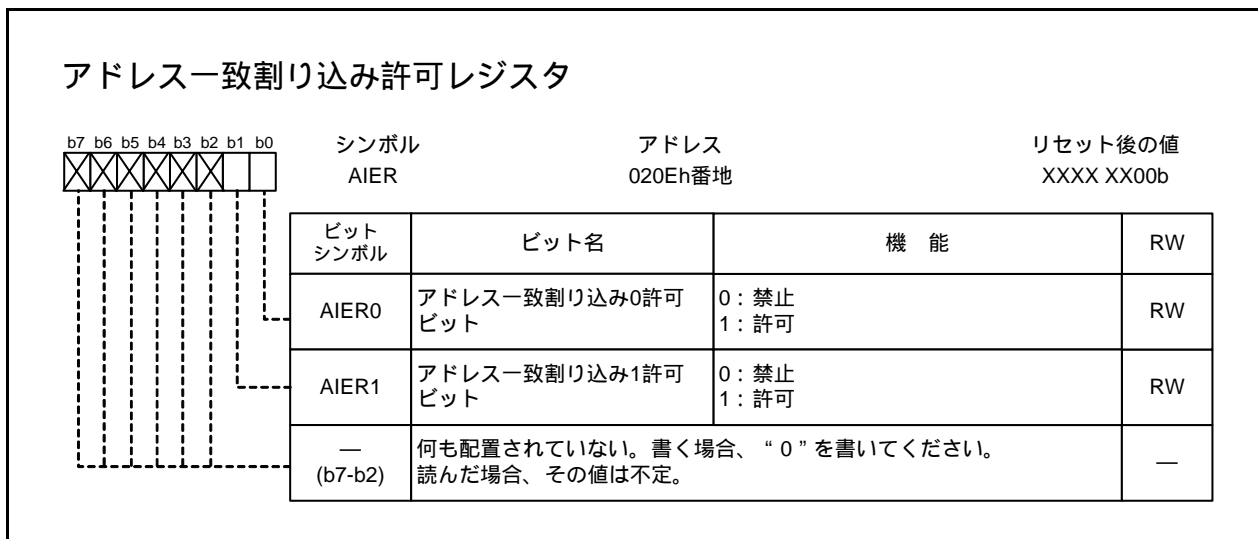
IFSR5~IFSR0 (INT5~INT0 割り込み極性切り替えビット) (b5~b0)

“1” (両エッジ) を選択する場合は、対応する INT0IC~INT5IC レジスタの POL ビットを “0” (立ち下がりがエッジ) にしてください。

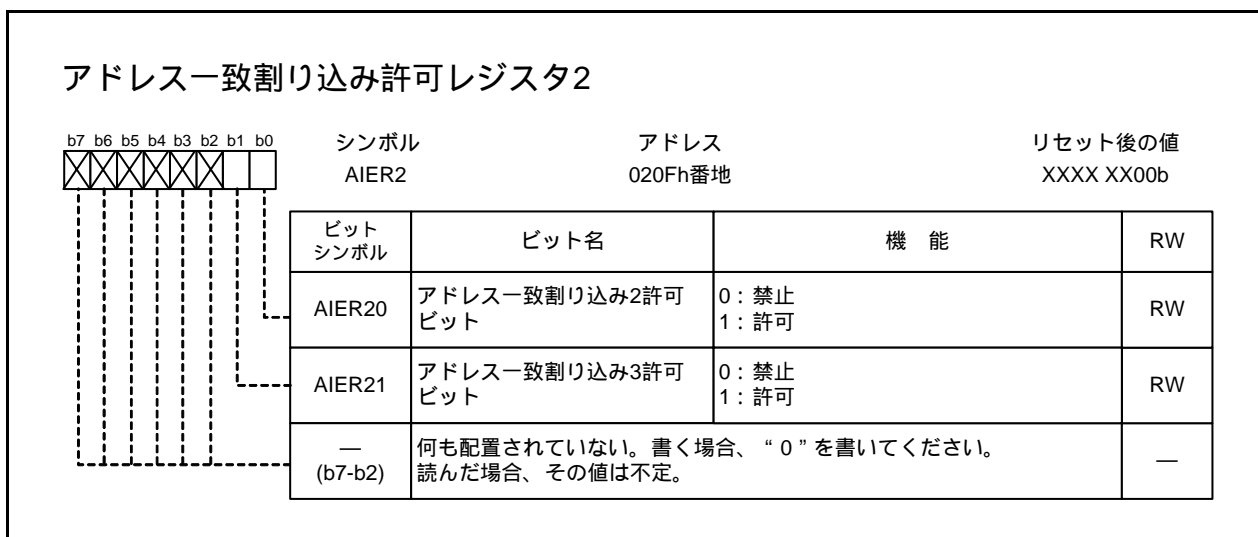
IFSR7、IFSR6 (割り込み要因切り替えビット) (b7、b6)

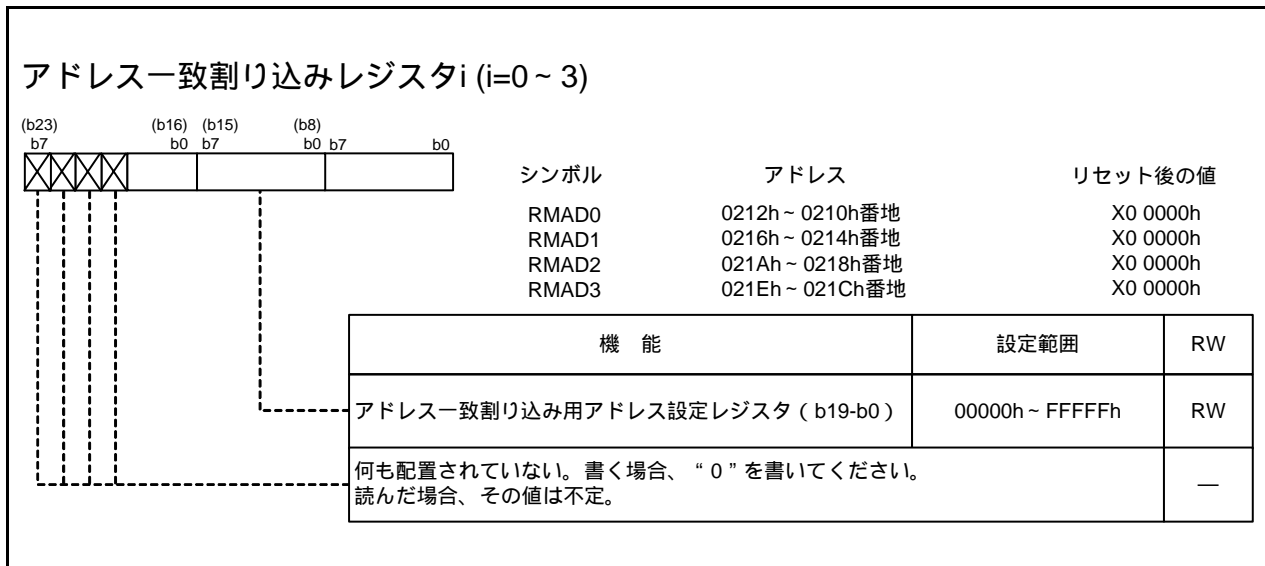
“0” (SI/O3、SI/O4) を選択する場合は、対応する S3IC、S4IC レジスタの POL ビットを “0” (立ち下がりがエッジ) にしてください。

13.2.7 アドレス一致割り込み許可レジスタ (AIER)



13.2.8 アドレス一致割り込み許可レジスタ2 (AIER2)



13.2.9 アドレス一致割り込みレジスタ*i* (RMAD*i*) (*i*=0~3)

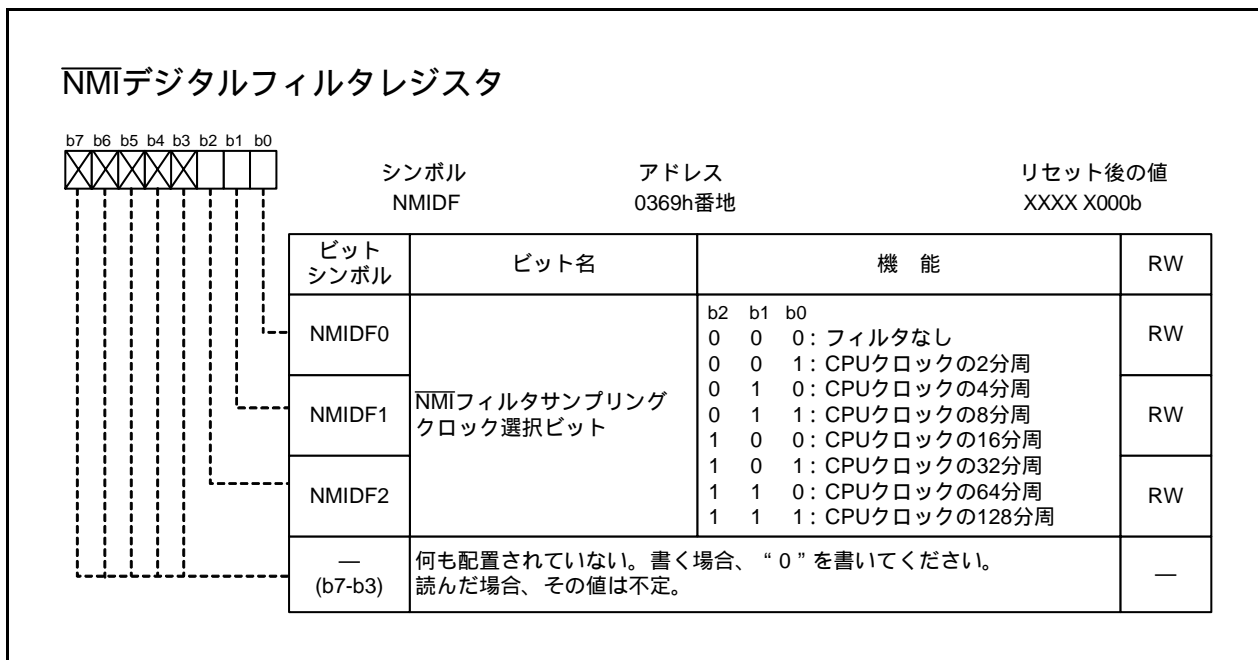
13.2.10 ポート制御レジスタ (PCR)

ポート制御レジスタ			
	シンボル PCR	アドレス 0366h番地	リセット後の値 0000 0XX0b
ビット シンボル	ビット名	機 能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、 ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
PCR3	キー入力許可ビット (KI4~KI7)	0: 許可 1: 禁止	RW
— (b4)	何も配置されていない。 読んだ場合、その値は不定。		—
PCR5	INT6入力許可ビット	0: 許可 1: 禁止	RW
PCR6	INT7入力許可ビット	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット (KI0~KI3)	0: 許可 1: 禁止	RW

PCR3 (キー入力許可ビット) (b3)

PCR7 (キー入力許可ビット) (b7)

AN4~AN7端子をアナログ入力に使用する場合は、PCR7ビットを“1”(キー入力禁止)にしてください。AN0~AN3端子をアナログ入力に使用する場合は、PCR3ビットを“1”(キー入力禁止)にしてください。

13.2.11 $\overline{\text{NMI}}$ デジタルフィルタレジスタ (NMIDF)

NMIDFレジスタは、次の状態に変更してください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)

なお、PM24ビットは一度“1”(NMI割り込み許可)にすると、プログラムでは“0”にできません。
したがって、PM24ビットを“1”にする前にNMIDFレジスタを変更してください

13.3 割り込みの分類

図13.1に割り込みの分類を示します。

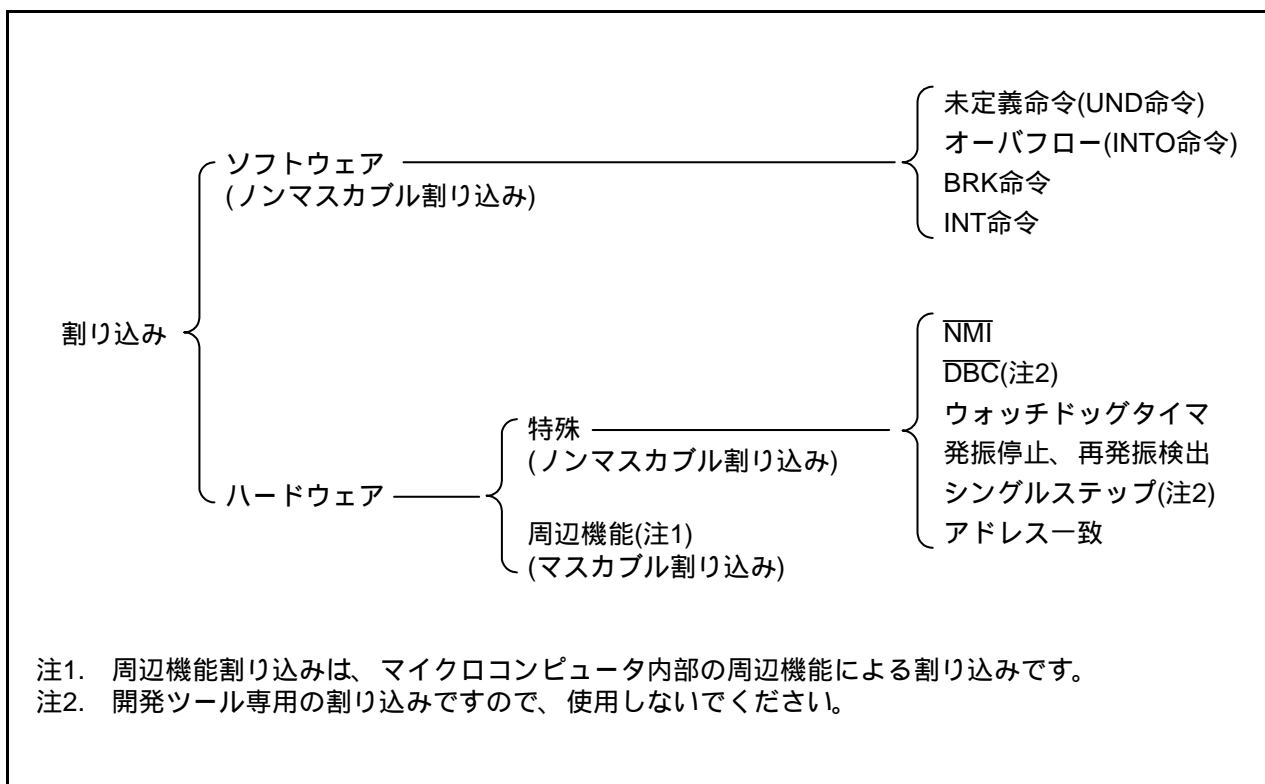


図13.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

13.4 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

13.4.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

13.4.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

13.4.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

13.4.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0~63です。ソフトウェア割り込み番号2~31、41~51、59、60は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0~31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32~63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

13.5 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

13.5.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

13.5.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「13.9 $\overline{\text{NMI}}$ 割り込み」を参照してください。

13.5.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

13.5.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマをリフレッシュしてください。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

13.5.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「8. クロック発生回路」を参照してください。

13.5.1.5 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

13.5.1.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「13.11 アドレス一致割り込み」を参照してください。

13.5.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表13.6~表13.7 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

13.6 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図13.2に割り込みベクタを示します。

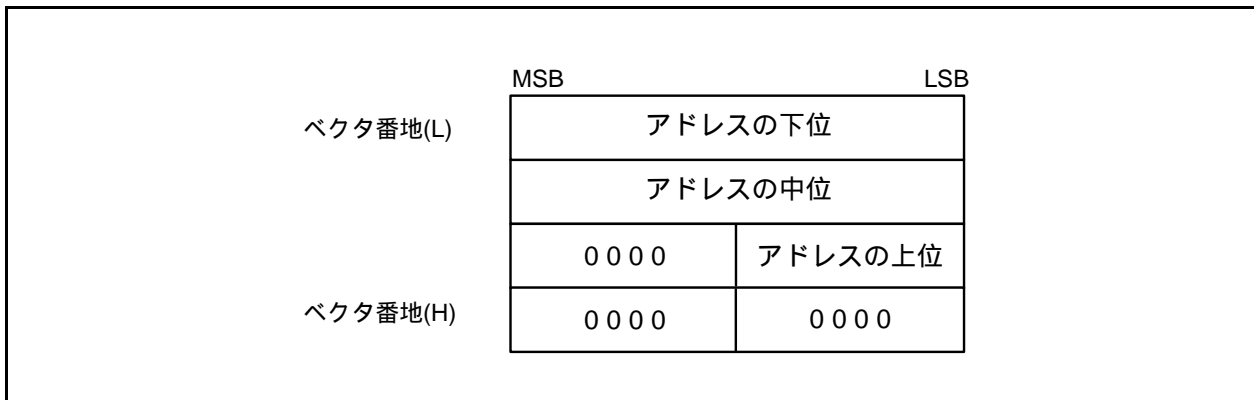


図13.2 割り込みベクタ

13.6.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表13.5に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能やOFS1番地に使用します。詳細は「24. フラッシュメモリ」を参照してください。

表13.5 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)~番地(H)	参照先
未定義命令(UND命令)	FFFDCh~FFFDf	M16C/60、M16C/20、M16C/Tiny シリーズユーザーズマニュアル ソフトウェア編
オーバフロー(INTO命令)	FFFE0h~FFFE3h	
BRK命令(注2)	FFFE4h~FFFE7h	
アドレス一致	FFFE8h~FFFEb	13.11 アドレス一致割り込み
シングルステップ(注1)	FFFECh~FFFEFh	-
ウォッチドッグタイマ、 発振停止、再発振検出	FFFF0h~FFFF3h	14. ウォッチドッグタイマ、 8. クロック発生回路
DBC(注1)	FFFF4h~FFFF7h	-
NMI	FFFF8h~FFFFb	13.9 NMI割り込み
リセット	FFFFCh~FFFFFh	6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行

13.6.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表13.6 可変ベクタテーブル(1/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT命令割り込み (注5)	+0~+3 (0000h~0003h) ~ +252 ~+255 (00FCh~00FFh)	0~63	M16C/60、M16C/20、M16C/Tiny シリーズユーザーズマニュアル ソフトウェア編
BRK命令 (注5)	+0~+3 (0000h~0003h)	0	
INT7	+8~+11 (0008h~000Bh)	2	13.8 INT割り込み
INT6	+12~+15 (000Ch~000Fh)	3	
INT3	+16~+19 (0010h~0013h)	4	
タイマB5	+20~+23 (0014h~0017h)	5	
タイマB4、UART1スタート/ストップコン ディション検出、バス衝突検出(注4)	+24~+27 (0018h~001Bh)	6	17. タイマB 19. シリアルインタフェースUARTi (i=0~2, 5~7)
タイマB3、UART0スタート/ストップコン ディション検出、バス衝突検出(注4)	+28~+31 (001Ch~001Fh)	7	
SI/O4、INT5 (注2)	+32~+35 (0020h~0023h)	8	13.8 INT割り込み
SI/O3、INT4 (注2)	+36~+39 (0024h~0027h)	9	20. シリアルインタフェースSI/O3、 SI/O4
UART2スタート/ストップコンディション 検出、バス衝突検出	+40~+43 (0028h~002Bh)	10	19. シリアルインタフェースUARTi (i=0~2, 5~7)
DMA0	+44~+47 (002Ch~002Fh)	11	15. DMAC
DMA1	+48~+51 (0030h~0033h)	12	
キー入力割り込み	+52~+55 (0034h~0037h)	13	
A/Dコンバータ	+56~+59 (0038h~003Bh)	14	22. A/Dコンバータ
UART2送信、NACK2(注3)	+60~+63 (003Ch~003Fh)	15	19. シリアルインタフェースUARTi (i=0~2, 5~7)
UART2受信、ACK2(注3)	+64~+67 (0040h~0043h)	16	
UART0送信、NACK0(注3)	+68~+71 (0044h~0047h)	17	
UART0受信、ACK0(注3)	+72~+75 (0048h~004Bh)	18	
UART1送信、NACK1(注3)	+76~+79 (004Ch~004Fh)	19	
UART1受信、ACK1(注3)	+80~+83 (0050h~0053h)	20	
タイマA0	+84~+87 (0054h~0057h)	21	
タイマA1	+88~+91 (0058h~005Bh)	22	
タイマA2	+92~+95 (005Ch~005Fh)	23	
タイマA3	+96~+99 (0060h~0063h)	24	
タイマA4	+100~+103 (0064h~0067h)	25	
タイマB0	+104~+107 (0068h~006Bh)	26	17. タイマB
タイマB1	+108~+111 (006Ch~006Fh)	27	
タイマB2	+112~+115 (0070h~0073h)	28	

- 注1. INTBレジスタが示す番地からの相対番地です。
 注2. IFSRレジスタのIFSR6、IFSR7ビットで選択してください。
 注3. I²Cモード時にNACK、ACKが割り込み要因になります。
 注4. IFSR2AレジスタのIFSR26、IFSR27ビットで選択してください。
 注5. Iフラグによる禁止はできません。

表 13.7 可変ベクタテーブル(2/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT0	+116~+119 (0074h~0077h)	29	13.8 INT 割り込み
INT1	+120~+123 (0078h~007Bh)	30	
INT2	+124~+127 (007Ch~007Fh)	31	
DMA2	+164~+167 (00A4h~00A7h)	41	15. DMAC
DMA3	+168~+171 (00A8h~00ABh)	42	
UART5 スタート/ストップコンディション 検出、バス衝突検出	+172~+175 (00ACh~00AFh)	43	19. シリアルインタフェースUARTi (i=0~2, 5~7)
UART5 送信、NACK5 (注2)	+176~+179 (00B0h~00B3h)	44	
UART5 受信、ACK5 (注2)	+180~+183 (00B4h~00B7h)	45	
UART6 スタート/ストップコンディション 検出、バス衝突検出、リアルタイムクロック 周期(注3)	+184~+187 (00B8h~00BBh)	46	18. リアルタイムクロック 19. シリアルインタフェースUARTi (i=0~2, 5~7)
UART6 送信、NACK6、リアルタイムク ロックアラーム(注2、3)	+188~+191 (00BCh~00BFh)	47	
UART6 受信、ACK6 (注2)	+192~+195 (00C0h~00C3h)	48	
UART7 スタート/ストップコンディション 検出、バス衝突検出	+196~+199 (00C4h~00C7h)	49	19. シリアルインタフェースUARTi (i=0~2, 5~7)
UART7 送信、NACK7 (注2)	+200~+203 (00C8h~00CBh)	50	
UART7 受信、ACK7 (注2)	+204~+207 (00CCh~00CFh)	51	
I ² C-bus インタフェース割り込み(注4)	+236~+239 (00ECh~00EFh)	59	21. マルチマスタI ² C-bus インタ フェース
SCL/SDA 割り込み(注4)	+240~+243 (00F0h~00F3h)	60	

- 注1. INTBレジスタが示す番地からの相対番地です。
注2. I²Cモード時にNACK、ACKが割り込み要因になります。
注3. IFSR3AレジスタのIFSR35、IFSR36ビットで選択してください。
注4. IFSR2AレジスタのIFSR22、IFSR23ビットで選択してください。

13.7 割り込み制御

13.7.1 マスカブル割り込みの制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2~ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

13.7.1.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

13.7.1.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられた後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

13.7.1.3 ILVL2~ILVL0ビット、IPL

割り込み優先レベルは、ILVL2~ILVL0ビットで設定できます。

表13.8に割り込み優先レベルの設定、表13.9にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2~ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表13.8 割り込み優先レベルの設定

ILVL2~ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表13.9 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

13.7.2 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図13.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
- (4) Iフラグは“0”(割り込み禁止)
- (5) Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
- (6) Uフラグは“0”(ISPを指定)
- (7) ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。
- (8) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (9) PCをスタックに退避します。
- (10) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (11) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

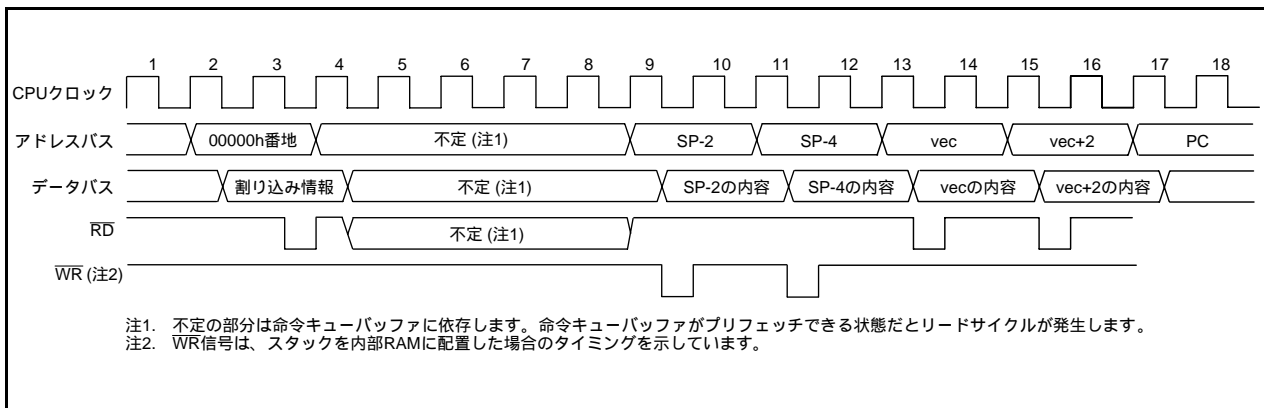


図13.3 割り込みシーケンスの実行時間

13.7.3 割り込み応答時間

図 13.4 割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 13.4 の (a))と割り込みシーケンスを実行する時間(図 13.4 の (b))で構成されます。

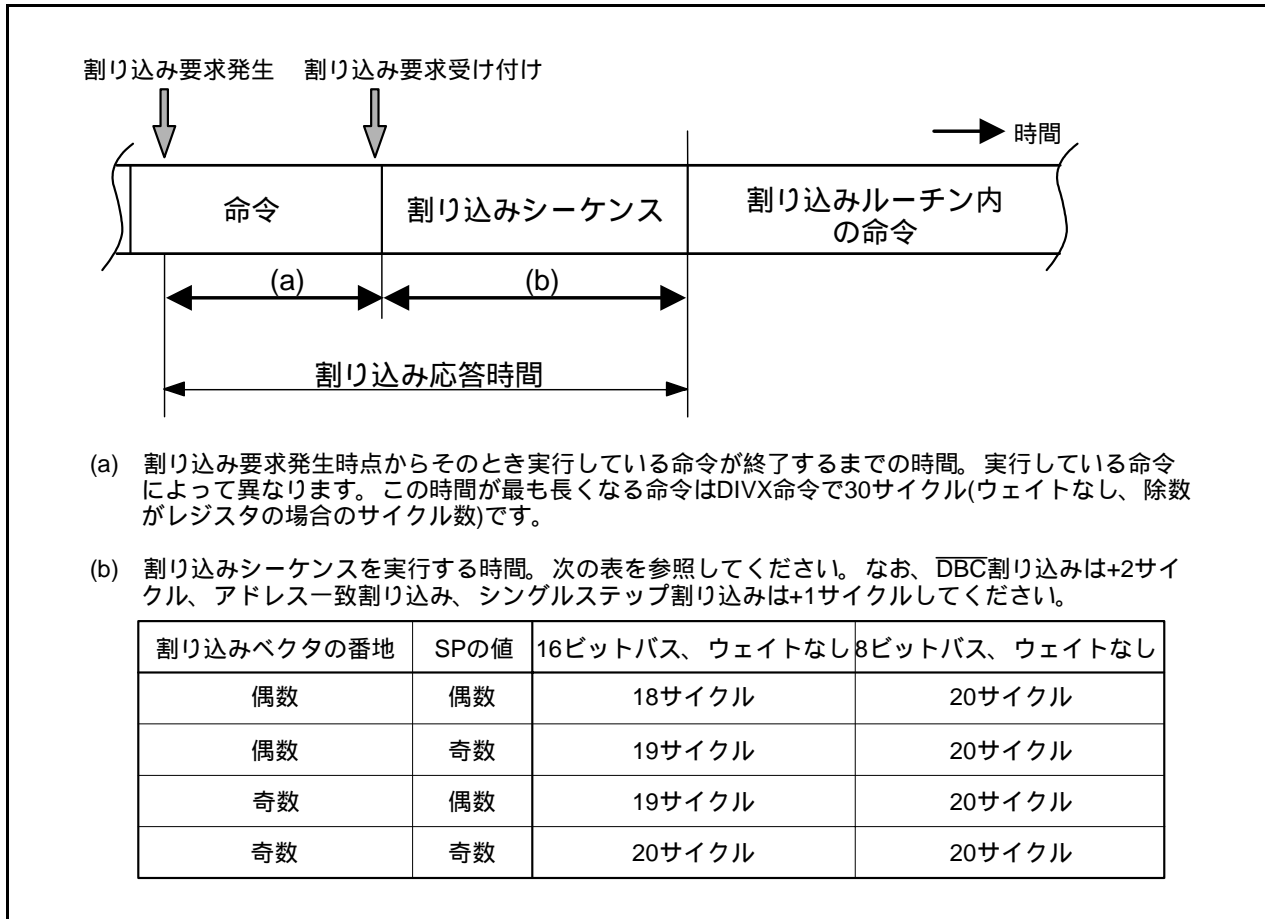


図 13.4 割り込み応答時間

13.7.4 割り込み要求受け付け時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 13.10 に示す値がIPLに設定されます。表 13.10 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 13.10 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 \overline{NMI} 、発振停止、再発振検出	7
ソフトウェア、アドレス一致、 \overline{DBC} 、シングルステップ	変化しない

13.7.5 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図13.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

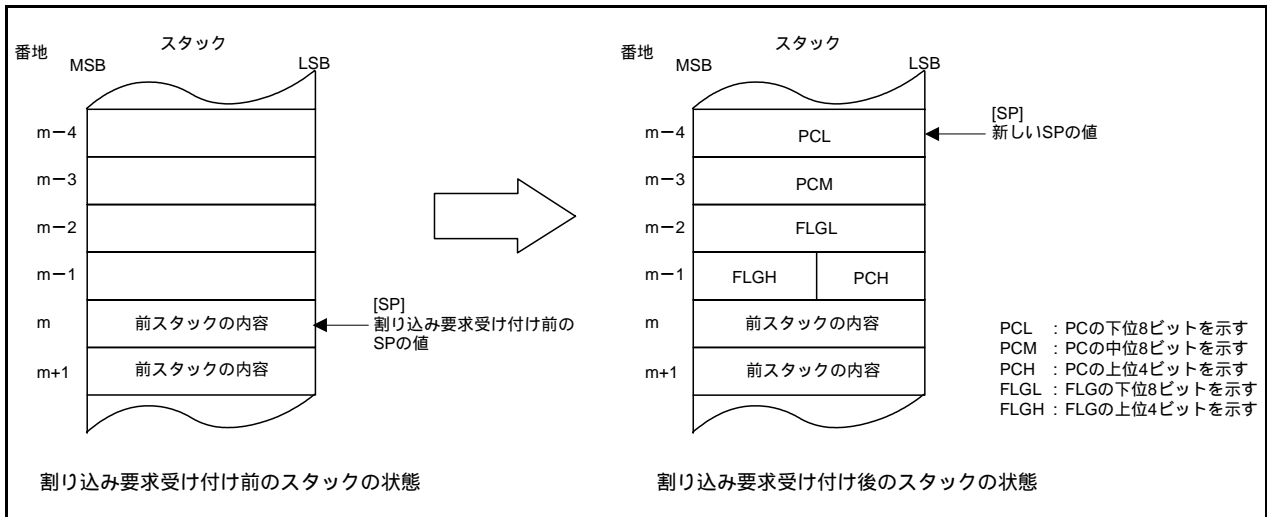


図13.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図13.6にレジスタ退避動作を示します。

注1. ソフトウェア番号32~63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

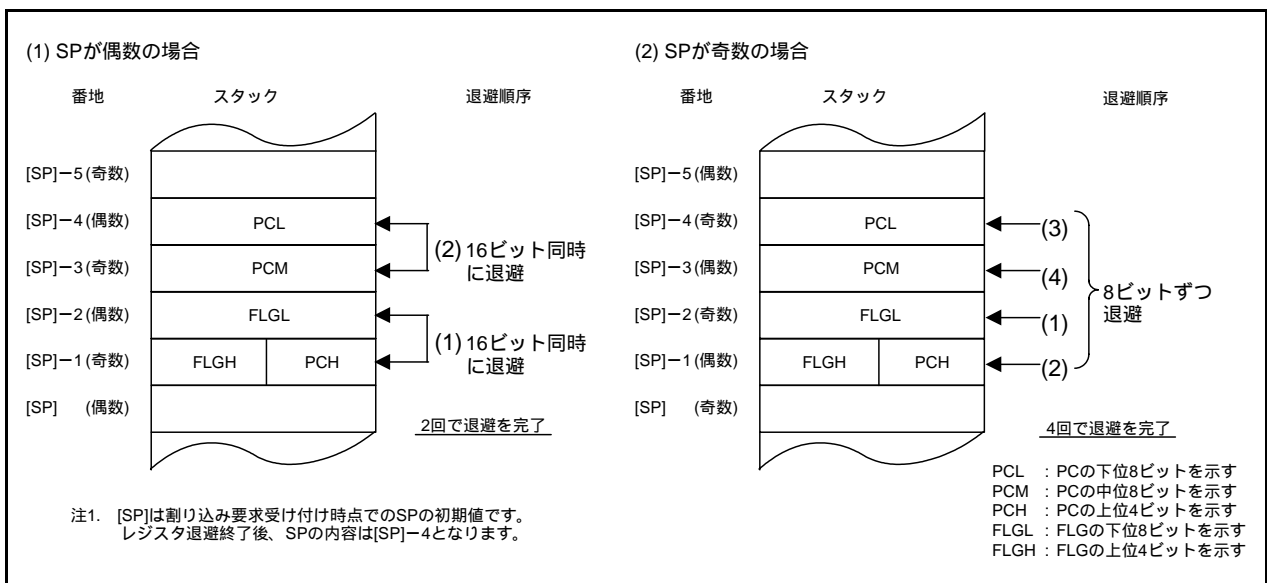


図13.6 レジスタ退避動作

13.7.6 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

13.7.7 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先レベルは、ILVL2~ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図13.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

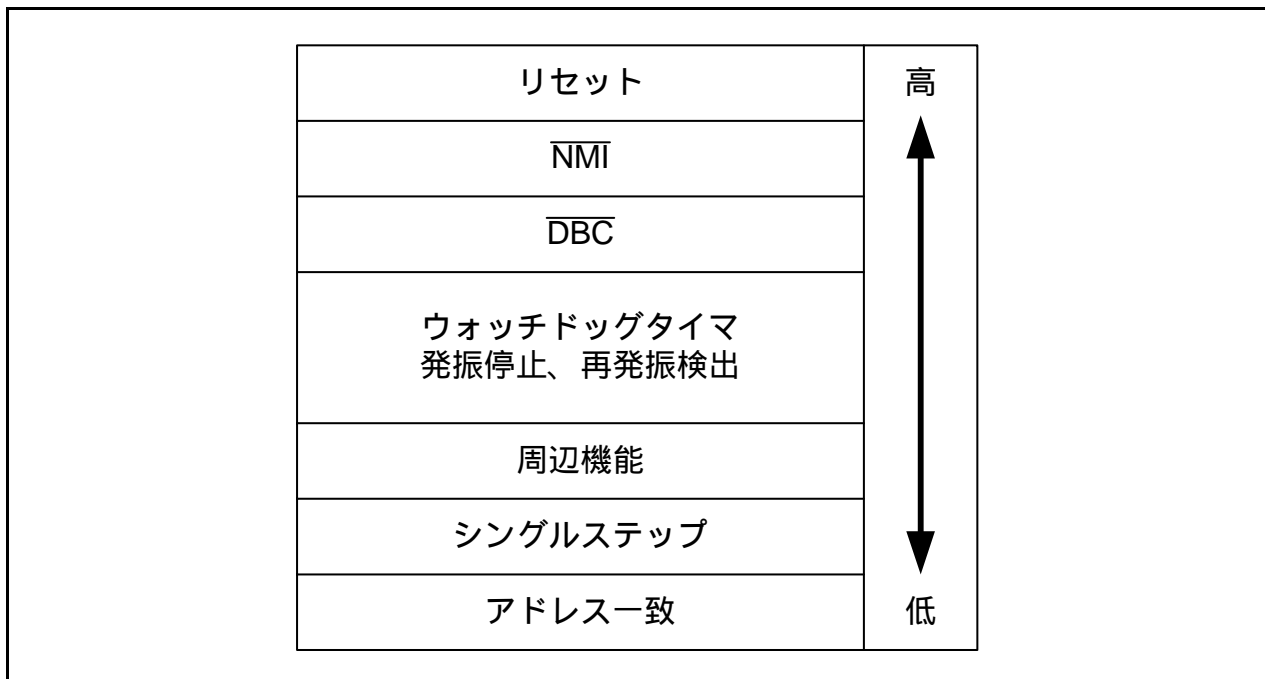


図13.7 ハードウェア割り込みの割り込み優先順位

13.7.8 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図13.8に割り込み優先レベル判定回路1を、図13.9に割り込み優先レベル判定回路2を示します。

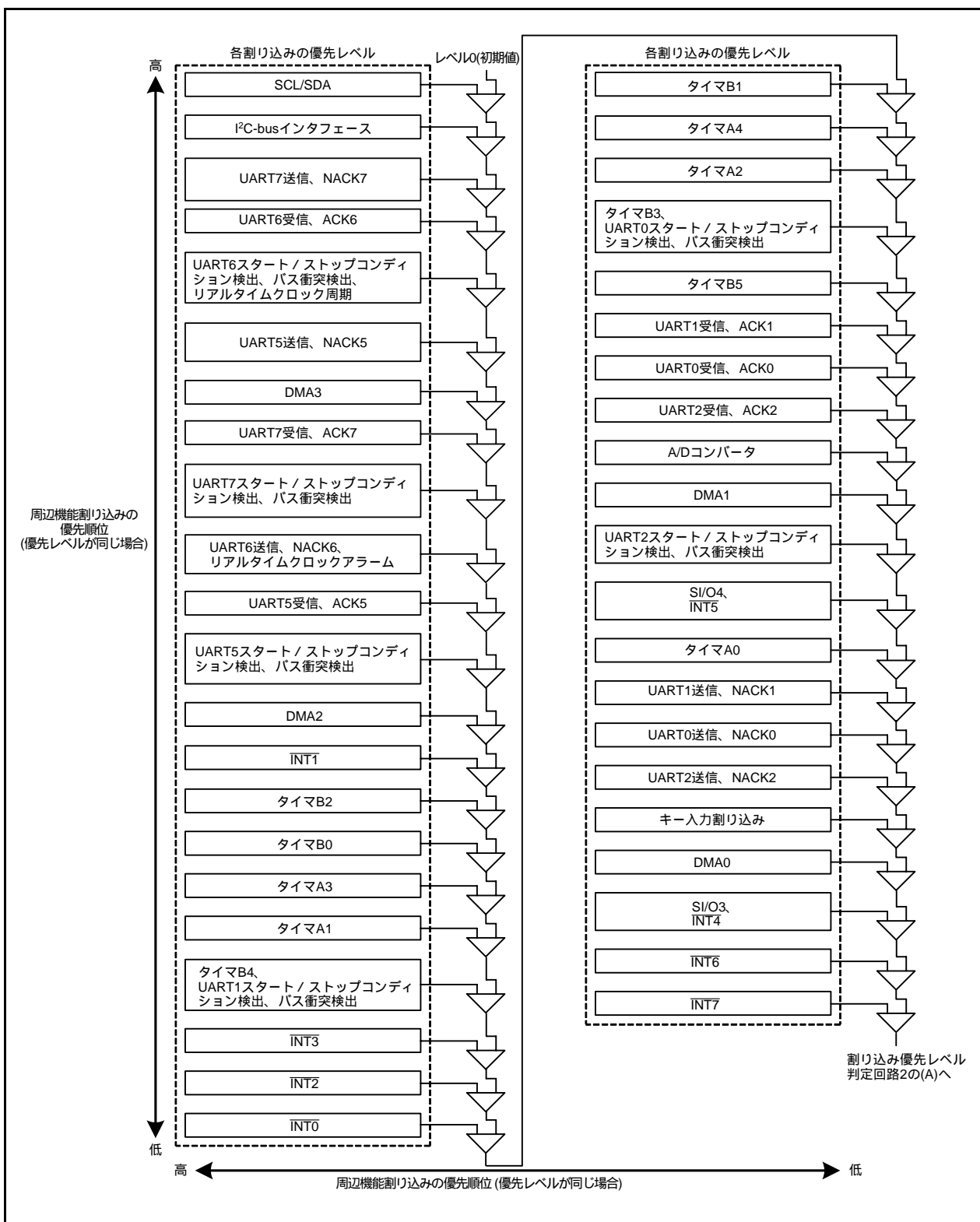


図 13.8 割り込み優先レベル判定回路1

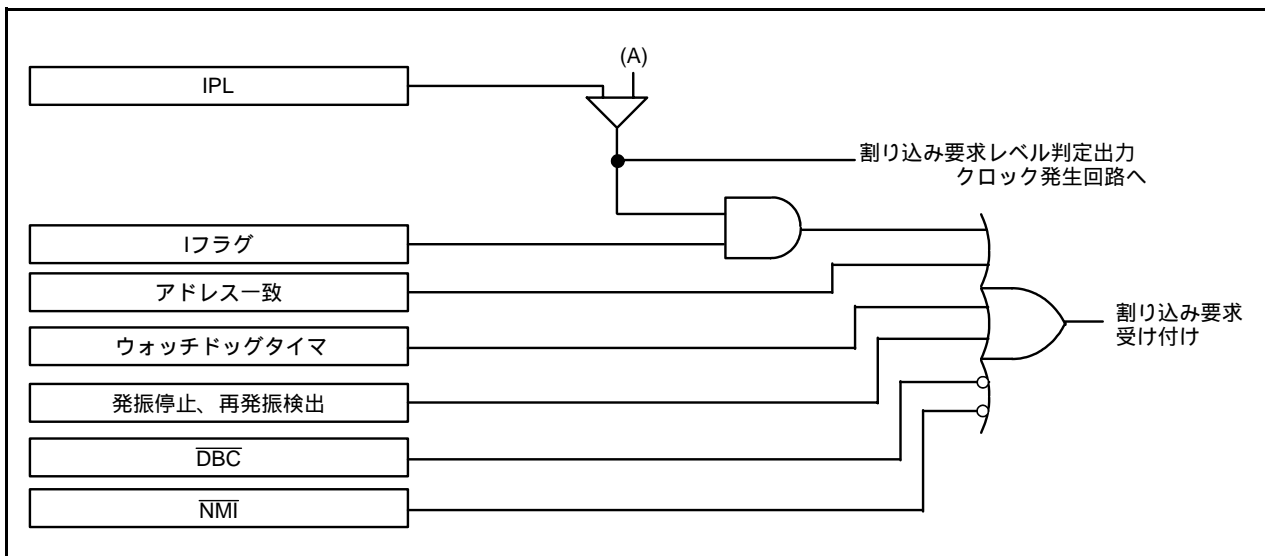


図13.9 割り込み優先レベル判定回路2

13.7.9 多重割り込み

割り込みルーチンへ分岐したときの状態は次のとおりです。

- Iフラグ = 0 (割り込み禁止)
- IRビット = 0 (割り込み要求なし)
- 割り込み優先レベル = IPL

割り込みルーチン内でIフラグを“1”(割り込み許可)にすることによって、IPLより高い優先順位を持つ割り込み要求を受け付けることができます。

なお、優先順位が低いために受け付けられなかった割り込み要求(IRビット)は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、次の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の > 復帰されたIPL
割り込み優先レベル

13.8 INT割り込み

$\overline{\text{INT}}_i$ 割り込み($i=1\sim5$)は外部入力による割り込みです。極性をIFSRレジスタのIFSR i ビット、IFSR3AレジスタのIFSR30、IFSR31ビットで選択できます。

$\overline{\text{INT}}_4$ とSI/O3、 $\overline{\text{INT}}_5$ とSI/O4は、ベクタや割り込み制御レジスタを共用しています。 $\overline{\text{INT}}_4$ 割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1”(INT4)に、 $\overline{\text{INT}}_5$ 割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1”(INT5)にしてください。

IFSR6、IFSR7ビットを変更した後、対応するIRビットを“0”(割り込み要求なし)にしてから、割り込みを許可してください。

$\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_6$ 、 $\overline{\text{INT}}_7$ は内部PLCモデムに接続されています。外部端子がありません。

13.9 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が “H” から “L” に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル割り込みです。 $\overline{\text{NMI}}$ 割り込みを使用する場合は、PM2レジスタのPM24ビットを“1”(NMI割り込み許可)にしてください。 $\overline{\text{NMI}}$ 入力にはデジタルフィルタがあります。デジタルフィルタは「12. プログラマブル入出力ポート」を参照してください。図13.10に $\overline{\text{NMI}}$ 割り込みのブロック図を示します。

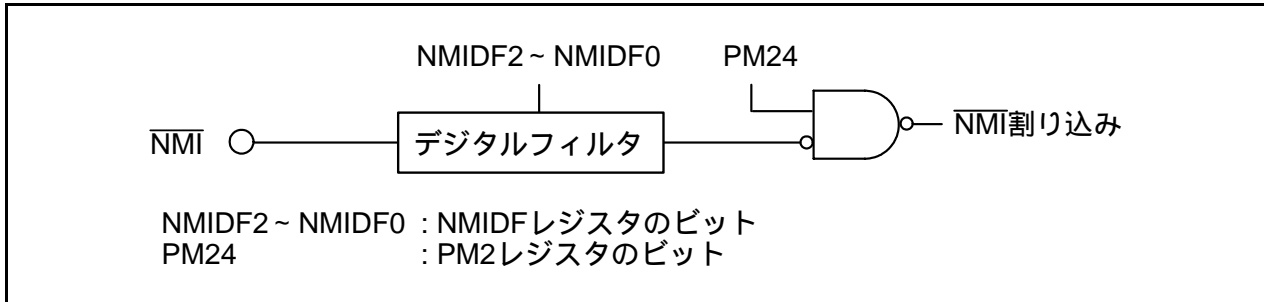


図13.10 $\overline{\text{NMI}}$ 割り込みのブロック図

13.10 キー入力割り込み

複数の端子のうち、いずれかの入力で割り込み要求が発生します。

PCRレジスタのPCR7ビットが“0”(KI0~KI3キー入力許可)の場合、P10_4 ~ P10_7のうち、PD10レジスタのPD10_4 ~ PD10_7ビットを“0”(入力)にしている端子が対象です。KI0~KI3端子のいずれかをキー入力割り込み入力に使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

同様にPCRレジスタのPCR3ビットが“0”(KI4~KI7キー入力許可)の場合、P10_0 ~ P10_3のうち、PD10レジスタのPD10_0 ~ PD10_3ビットを“0”(入力)にしている端子が対象です。KI4~KI7端子のいずれかをキー入力割り込み入力に使用する場合、AN0~AN3は4本ともアナログ入力端子として使用しないでください。

対象端子の入力波形がIFSR3AレジスタのIFSR37ビットと、KUPICレジスタのPOLビットで選択した波形と一致するとKUPICレジスタのIRビットが“1”(キー入力割り込み要求あり)になります。

キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

図13.11にキー入力割り込みのブロック図を示します。

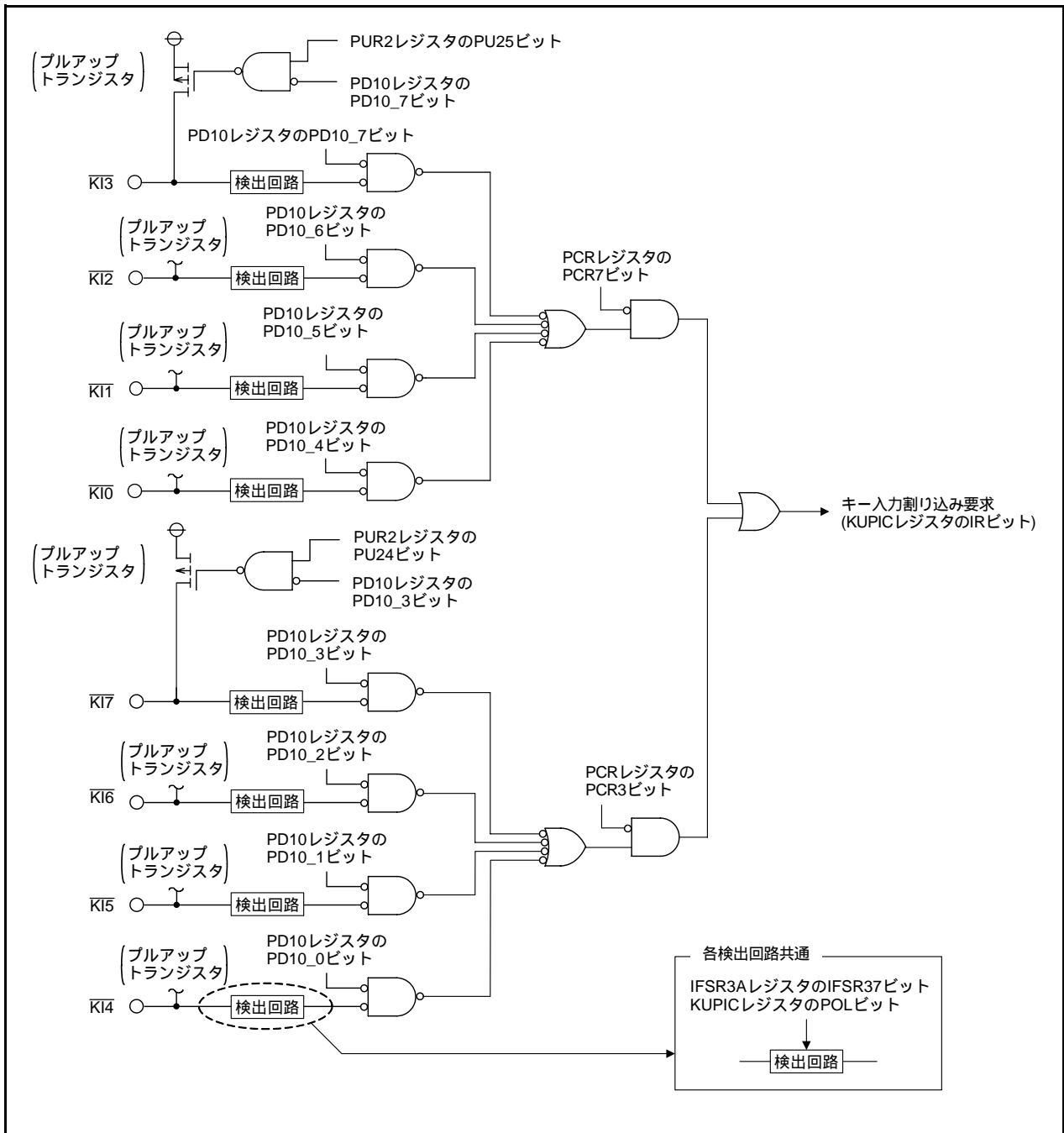


図 13.11 キー入力割り込みのブロック図

13.11 アドレス一致割り込み

RMADi レジスタ (i=0~3) で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADi レジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIER レジスタの AIER0、AIER1 ビット、AIER2 レジスタの AIER20、AIER21 ビットで選択できます。アドレス一致割り込みは、I フラグ、IPL の影響を受けません。アドレス一致割り込み要求を受け付けたときに退避される PC の値(「13.7.5 レジスタ退避」参照)は、RMADi レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて REIT 命令で復帰する
- スタックを POP 命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 13.11 アドレス一致割り込み要求受け付け時に退避される PC の値

RMADi レジスタで示される番地の命令	退避される PC の値
<ul style="list-style-type: none"> • 16ビットオペコード命令 • 8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest=A0またはA1)	RMADi レジスタで示される番地+2
上記以外	RMADi レジスタで示される番地+1

退避される PC の値: 「13.7.5 レジスタ退避」参照

表 13.12 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

13.12 ノンマスカブル割り込み要因の判別

ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。表13.13にノンマスカブル割り込みの要因判別に使用するビットを示します。

表13.13 ノンマスカブル割り込みの要因判別に使用するビット

割り込み	検出フラグ	
	ビット位置	機能
ウォッチドッグタイマ	VW2CレジスタのVW2C3ビット(ウォッチドッグタイマアンダフロー検出)	0: 未検出 1: 検出
発振停止、再発振検出	CM2レジスタのCM22ビット(発振停止、再発振検出)	

13.13 割り込み使用上の注意事項

13.13.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

13.13.2 SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000h”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

13.13.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”(NMI割り込み禁止)にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットを“1”設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットを“1”に設定すると、その時点でNMI割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”(NMI割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”(NMI割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- NMI端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

13.13.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図13.12 割り込み要因の変更手順例を示します。

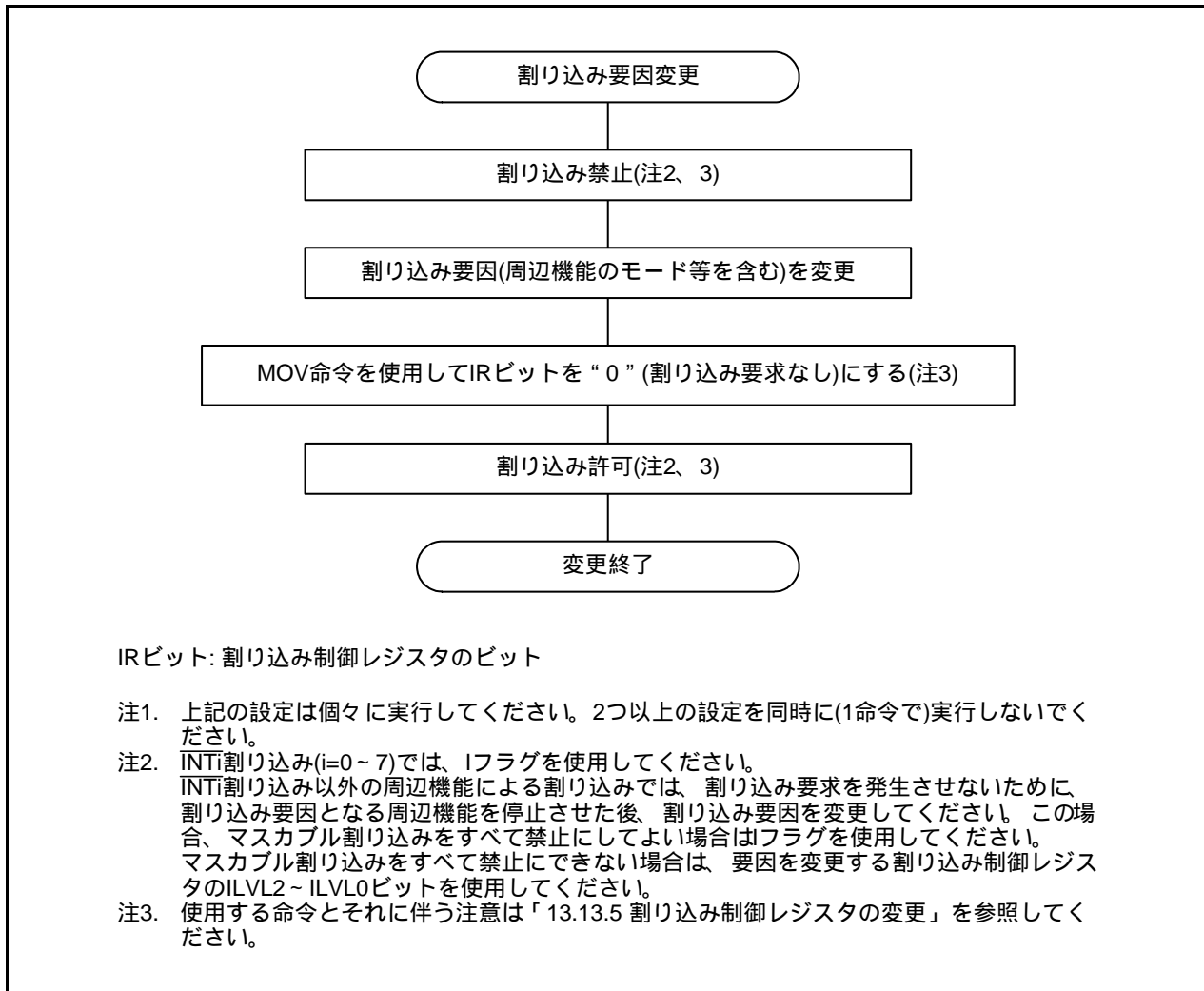


図13.12 割り込み要因の変更手順例

13.13.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所を変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「13.13.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
    NOP
    NOP
    FSET    I                ; 割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
    MOV.W   MEM, R0        ; ダミーリード
    FSET    I                ; 割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
    POPC    FLG            ; 割り込み許可
```

13.13.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。
AND、OR、BCLR、BSET、MOV
このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

13.13.7 INT割り込み

- INT1~INT5端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。
- INTOIC~INT7ICレジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビット、IFSR3AレジスタのIFSR31~IFSR30ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

14. ウォッチドッグタイマ

14.1 概要

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.4.5 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	fOCO-S
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 (OFS1番地のWDTONビットで選択) <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDT5レジスタへの書き込みによりカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード、バスホールド	なし
ウォッチドッグタイマカウンタリフレッシュタイミング	<ul style="list-style-type: none"> リセット (「6. リセット」参照) WDRレジスタに“00h”、“FFh”を書く アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比 16分周または128分周 (WDCレジスタのWDC7ビットで選択) ただし、CM0レジスタのCM07ビットが“1”(サブクロック)の場合は2分周 カウントソース保護モード 有効または無効 (OFS1番地のCSPROINIビットとCSPRレジスタのCSPROビットで選択) 	

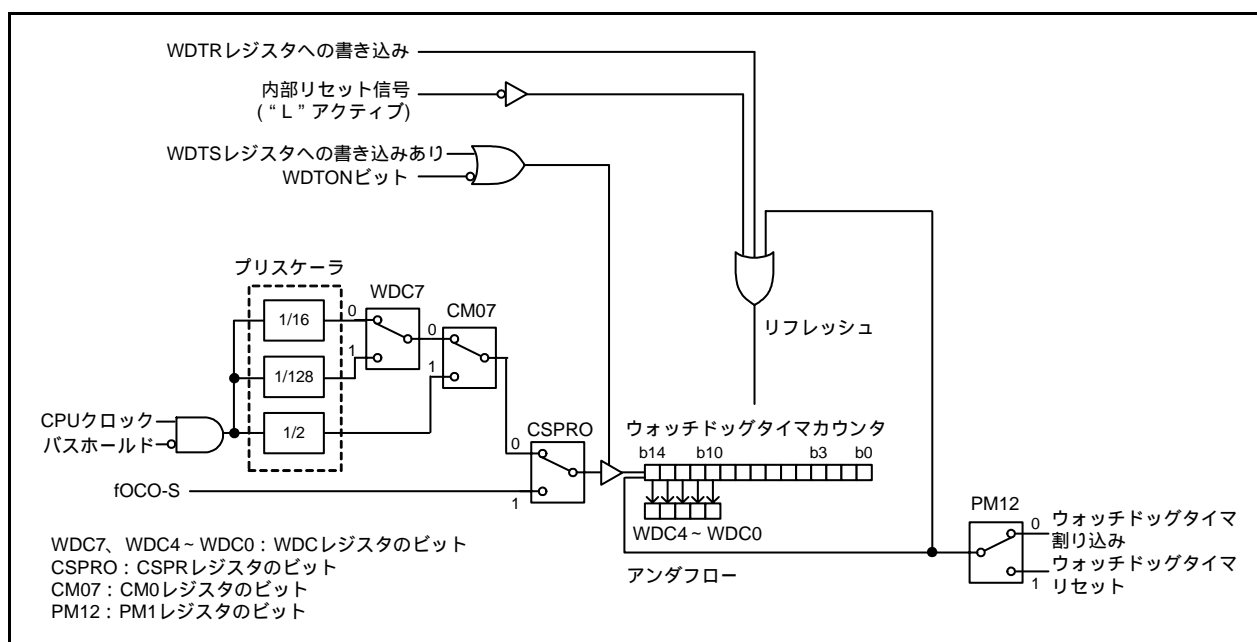


図14.1 ウォッチドッグタイマのブロック図

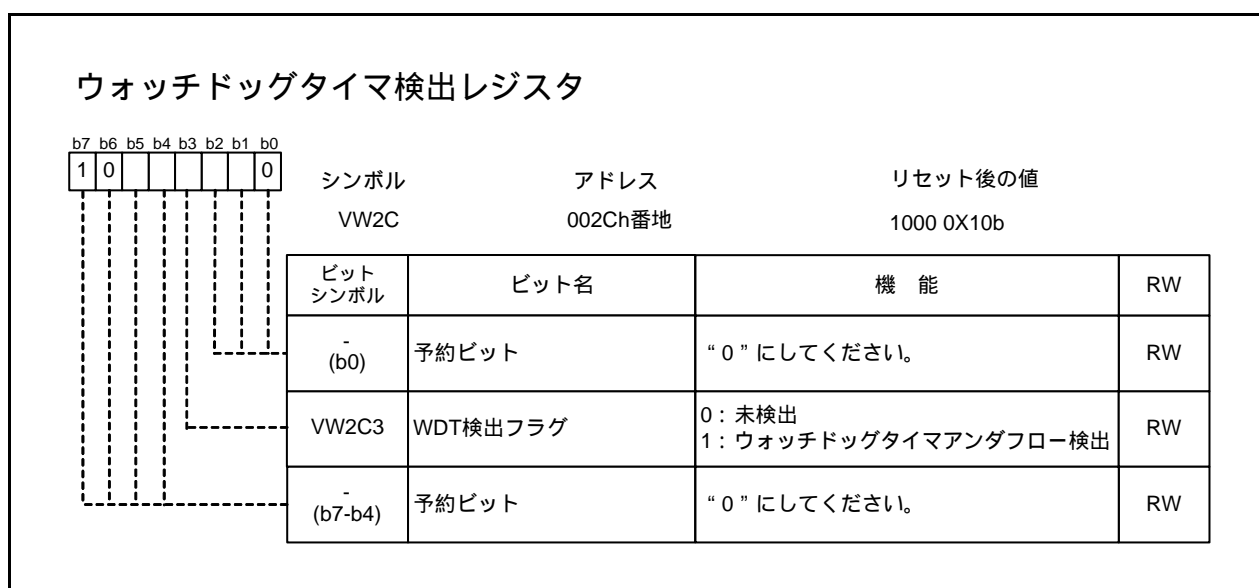
14.2 レジスタの説明

表14.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
002Ch	ウォッチドッグタイマ検出レジスタ	VW2C	1000 0X10b
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注1)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb

注1. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

14.2.1 ウォッチドッグタイマ検出レジスタ (VW2C)



VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
VW2C3ビットは、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2C3 (WDT 検出フラグ) (b3)

割り込みルーチンでウォッチドッグタイマ、発振停止、再発振検出の要因判別に使用してください。

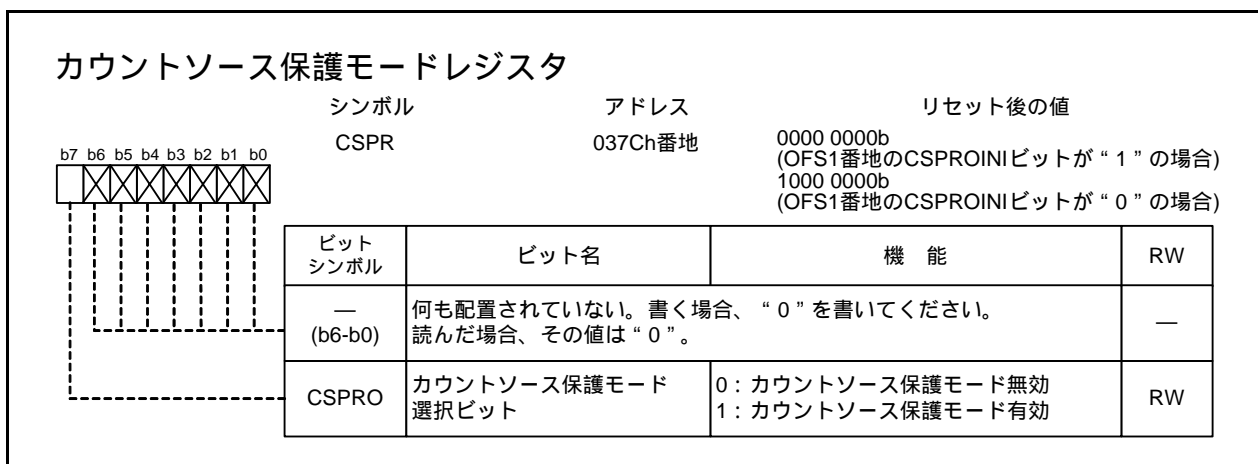
["0"になる条件]

- プログラムで“0”を書く

["1"になる条件]

- ウォッチドッグタイマのアンダフロー検出
(プログラムで“1”を書いても変化しません)

14.2.2 カウントソース保護モードレジスタ (CSPR)



CSPRO (カウントソース保護モード選択ビット) (b7)

CSPRO ビットは、ウォッチドッグタイマのカウント開始前に選択してください。カウント開始後、CSPRO ビットを変更しないでください。

["0" になる条件]

- OFS1 番地の CSPROINI ビットが“1”の状態でのリセット
(プログラムで“0”を書いても変化しません)

["1" になる条件]

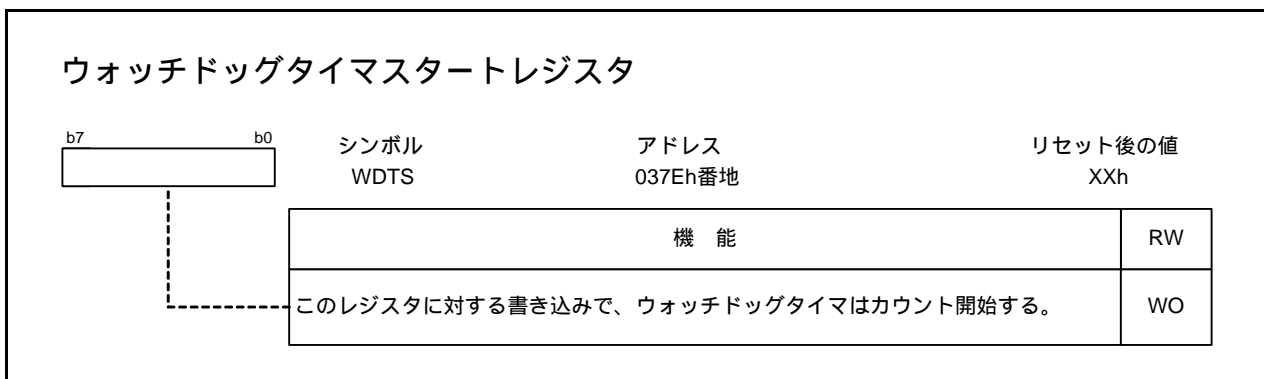
- OFS1 番地の CSPROINI ビットが“0”
 - プログラムで“0”を書いた後、続いて“1”を書く
- なお、“0”の書き込みと“1”の書き込みの間に、割り込み、DMA 転送が入らないようにしてください。

14.2.3 ウォッチドッグタイマリフレッシュレジスタ (WDTR)



ウォッチドッグタイマ割り込み発生後は、WDTRレジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

14.2.4 ウォッチドッグタイマスタートレジスタ (WDTS)



OFS1番地のWDTONビットが“1”(リセット後、ウォッチドッグタイマは停止)の場合、有効です。

14.2.5 ウォッチドッグタイマ制御レジスタ (WDC)

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	X						

シンボル
WDC

アドレス
037Fh番地

リセット後の値
00XX XXXXb

ビット シンボル	ビット名	機 能	RW
WDC0	ウォッチドッグタイマの上位ビット (b14~b10)が読める		RO
WDC1			RO
WDC2			RO
WDC3			RO
WDC4			RO
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
— (b6)	予約ビット	“0”にしてください。	RW
WDC7	プリスケアラ選択ビット	0 : 16分周 1 : 128分周	RW

WDC4~WDC0 (b4~b0)

CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)でウォッチドッグタイマの値を読み出す場合は、WDC4~WDC0ビットを3回以上読み出して判定してください。

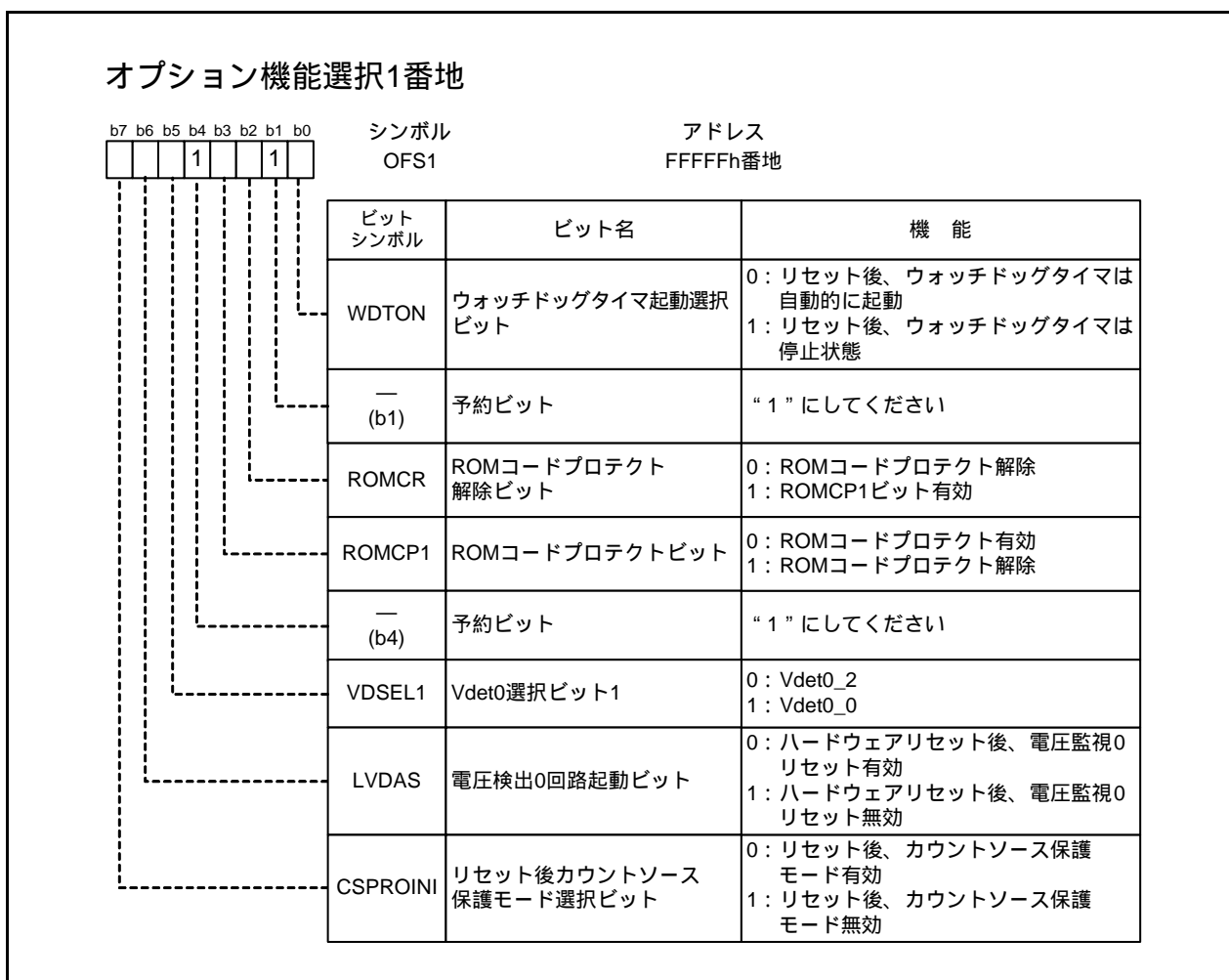
14.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

14.3.1 オプション機能選択1番地 (OFS1)



WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときはWDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

14.4 動作説明

14.4.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表14.3にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	<p>CM0レジスタのCM07ビットが“0”(メインクロック、PLLクロック、fOCO-S)の場合 $\text{プリスケアラの分周値}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)$ (注1) CPUクロック n: 16または128(WDCレジスタのWDC7ビットで選択) 例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms</p> <p>CM0レジスタのCM07ビットが“1”(サブクロック)の場合 $\text{プリスケアラの分周値}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)$ (注1) CPUクロック</p>
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」参照) WDTRレジスタに“00h”、“FFh”を書く アンダフロー
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択</p> <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマカウンタとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマカウンタとプリスケアラがカウントを開始
カウント停止条件	<ul style="list-style-type: none"> ストップモード ウェイトモード バスホールド (解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「6.4.5 ウォッチドッグタイマリセット」参照)

注1. WDTRレジスタに“00h”、“FFh”を書くと、ウォッチドッグタイマはリフレッシュされますが、プリスケアラは初期化されません。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。プリスケアラはリセット後、初期化されています。

14.4.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはfOCO-Sです。
表14.4にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.4 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	fOCO-S (125 kHz オンチップオシレータは自動で発振開始)
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) fOCO-S (周期は約32.8ms)
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」参照) WDTRレジスタに“00h”、“FFh”を書く アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマカウンタとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマカウンタとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、バスホールドでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.4.5 ウォッチドッグタイマリセット」参照)

CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合、ウォッチドッグタイマカウンタの下位3ビットを使用しないため、4096サイクルでアンダフローします。

また、CSPROビットを“1”(カウントソース保護モード有効)にすると、各ビットは次のようになります。

- CM1レジスタのCM14ビットが“0”(125kHzオンチップオシレータ発振)になる。また、“1”を書いても変化せず、125kHzオンチップオシレータは停止しない。
- PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマカウンタのアンダフロー時、ウォッチドッグタイマリセット)になる。
- CM1レジスタのCM10ビットに“1”を書いても変化せず、ストップモードに遷移しない。

14.5 割り込み

ウォッチドッグタイマ割り込みはノンマスカブル割り込みです。

ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

ウォッチドッグタイマの検出フラグは、VW2CレジスタのVW2C3ビットです。VW2C3ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

14.6 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

15. DMAC

15.1 概要

DMAC (ダイレクト・メモリ・アクセス・コントローラ) はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ (8ビットまたは16ビット) を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード (16ビット) または1バイト (8ビット) のデータ転送を完了するまでの動作を高速に行えます。表15.1にDMACの仕様、図15.1にDMACブロック図を示します。

表15.1 DMACの仕様

項目	仕様	
チャンネル数	4チャンネル(サイクルスチール方式)	
転送空間	<ul style="list-style-type: none"> • 1Mバイトの任意の空間から固定番地 • 固定番地から1Mバイトの任意の空間 • 固定番地から固定番地 	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA要求要因(注1)	43要因 INT0~INT7端子の立ち下がりエッジ (8) INT0~INT7端子の両エッジ (8) タイマA0~タイマA4割り込み要求 (5) タイマB0~タイマB5割り込み要求 (6) UART0~UART2、UART5~UART7送信割り込み要求 (6) UART0~UART2、UART5~UART7受信/ACK割り込み要求 (6) SI/O3、SI/O4割り込み要求 (2) A/D変換割り込み要求 (1) ソフトウェアトリガ (1)	
チャンネル優先順位	DMA0 > DMA1 > DMA2 > DMA3 (DMA0が最優先)	
転送単位	8ビットまたは16ビット	
転送番地方向	順方向または固定(転送元と転送先の両方を順方向にしないでください)	
転送モード	単転送	DMAi転送カウンタがアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	DMAi転送カウンタがアンダフローしたとき	
DMA転送開始	DMiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される	
DMA転送停止	単転送	<ul style="list-style-type: none"> • DMAEビットを“0”(禁止)にする • DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング	DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiレジスタまたはDARiレジスタのうち、順方向に指定された方のレジスタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード	
DMA転送サイクル数	SFR、内部RAM間:3サイクル	

注1. 選択できる要因はチャンネルによって異なります。

i=0~3

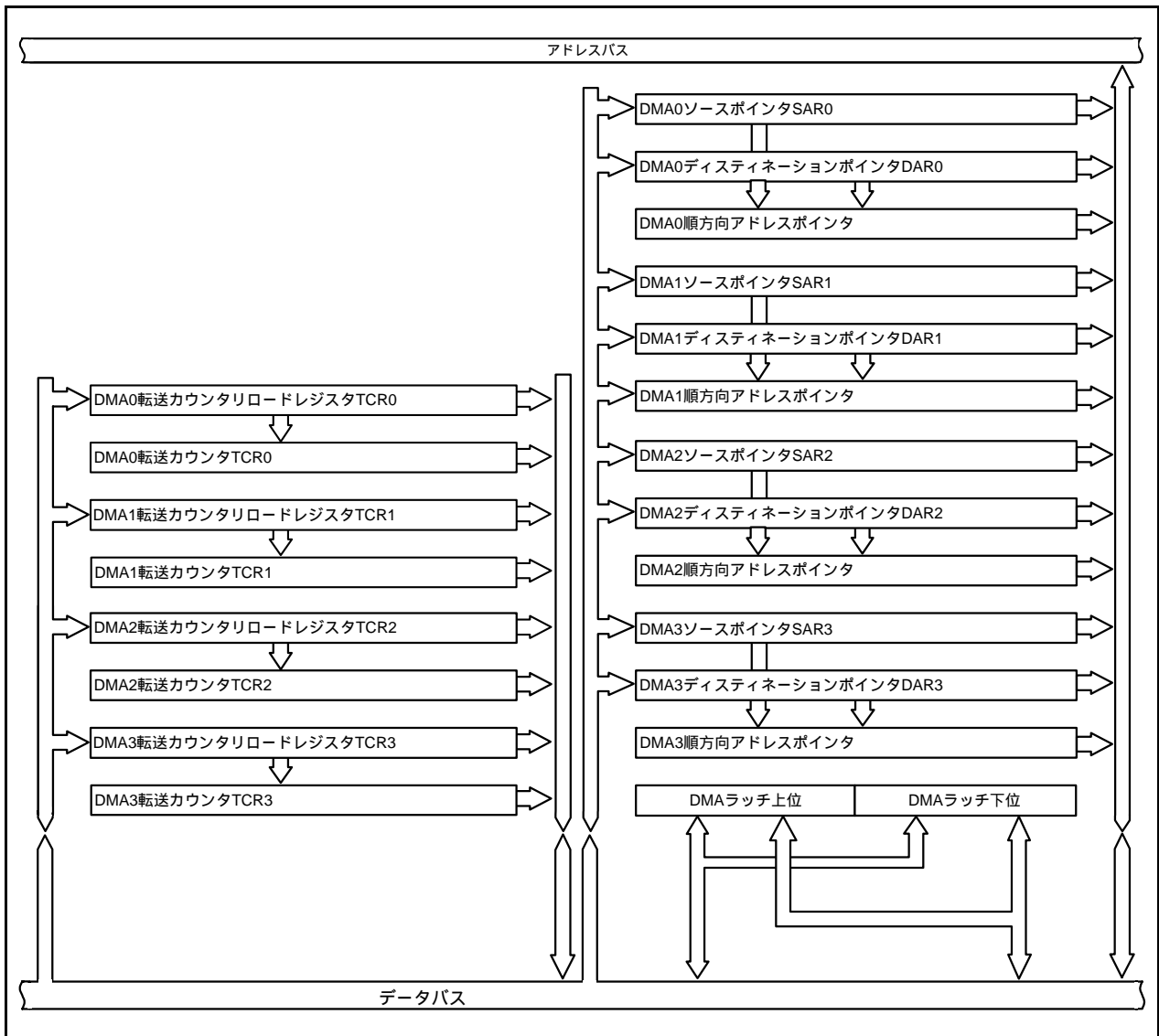


図 15.1 DMAC ブロック図

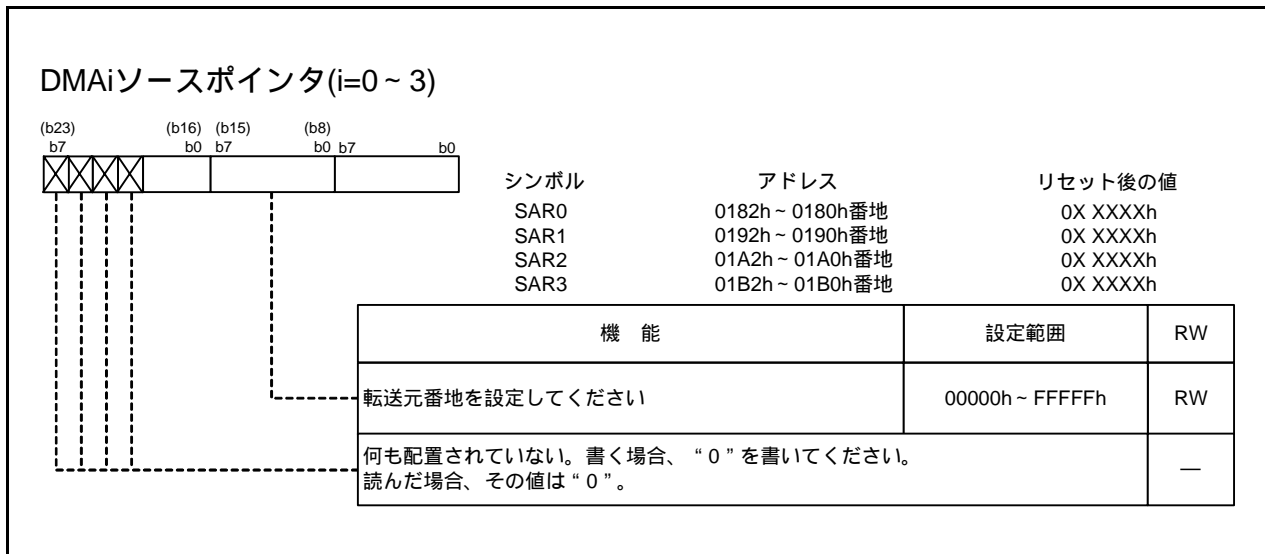
15.2 レジスタの説明

表15.2にレジスタ一覧にDMACのレジスタを示します。これらのレジスタをDMACでアクセスしないでください。

表15.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0180h	DMA0ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0184h	DMA0ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0188h	DMA0転送カウンタ	TCR0	XXh
0189h			XXh
018Ch	DMA0制御レジスタ	DM0CON	0000 0X00b
0190h	DMA1ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0194h	DMA1ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0198h	DMA1転送カウンタ	TCR1	XXh
0199h			XXh
019Ch	DMA1制御レジスタ	DM1CON	0000 0X00b
01A0h	DMA2ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A4h	DMA2ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A8h	DMA2転送カウンタ	TCR2	XXh
01A9h			XXh
01ACh	DMA2制御レジスタ	DM2CON	0000 0X00b
01B0h	DMA3ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B4h	DMA3ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B8h	DMA3転送カウンタ	TCR3	XXh
01B9h			XXh
01BCh	DMA3制御レジスタ	DM3CON	0000 0X00b
0390h	DMA2要因選択レジスタ	DM2SL	00h
0392h	DMA3要因選択レジスタ	DM3SL	00h
0398h	DMA0要因選択レジスタ	DM0SL	00h
039Ah	DMA1要因選択レジスタ	DM1SL	00h

15.2.1 DMAiソースポインタ (SARi) (i=0~3)



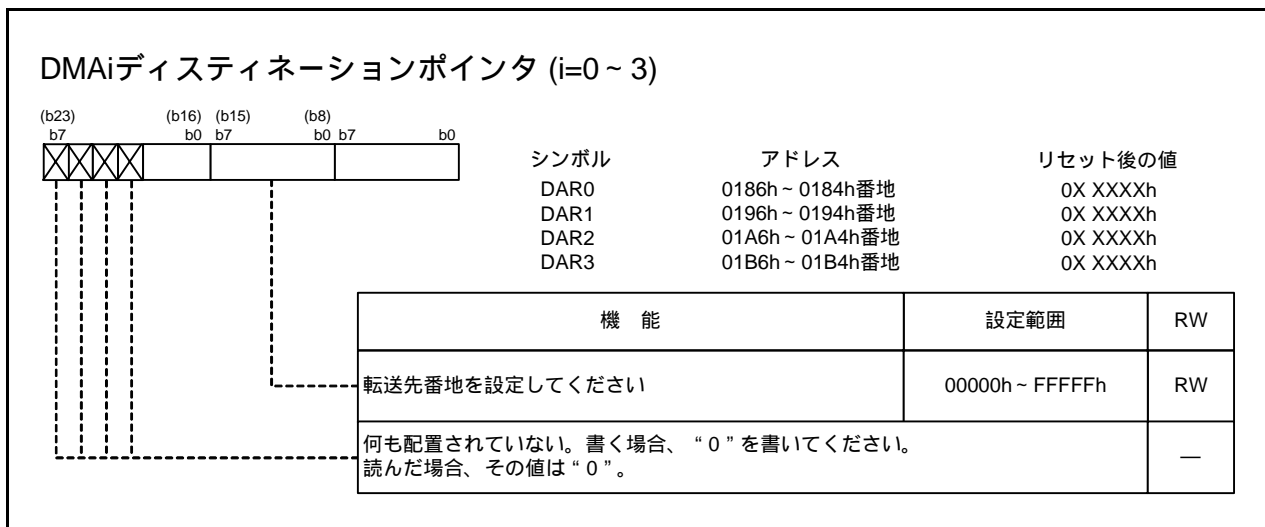
DMiCONレジスタのDSDビットが“0”(固定)の場合、SARiレジスタには、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。

DSDビットが“1”(順方向)の場合は、いつでも書けます。

DSDビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

15.2.2 DMAiディスティネーションポインタ (DARi) (i=0~3)



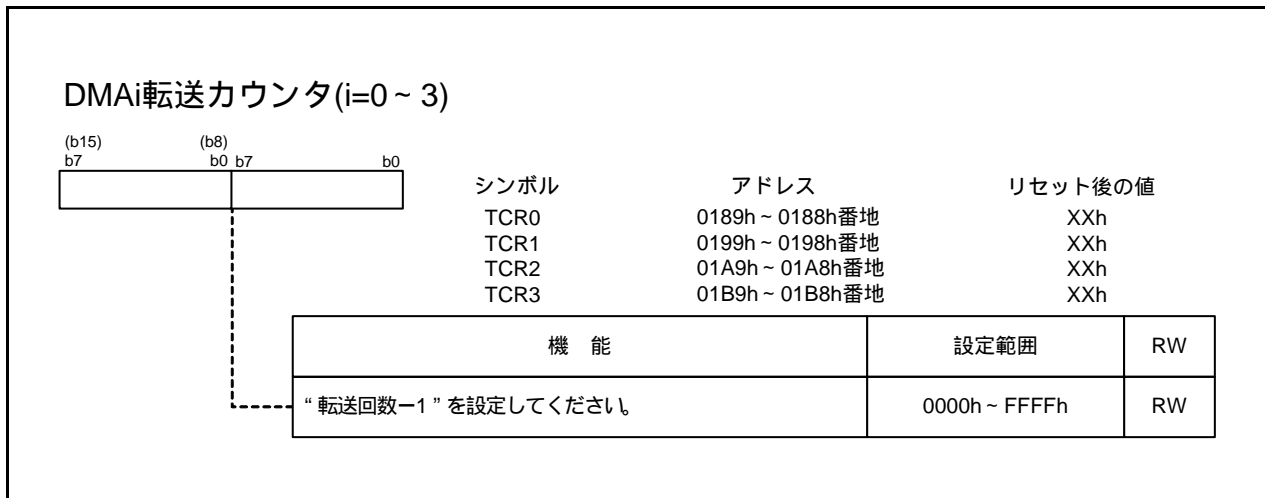
DMiCONレジスタのDADビットが“0”(固定)の場合、DARiレジスタには、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。

DADビットが“1”(順方向)の場合は、いつでも書けます。

DADビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

15.2.3 DMAi転送カウンタ (TCRi) (i=0~3)

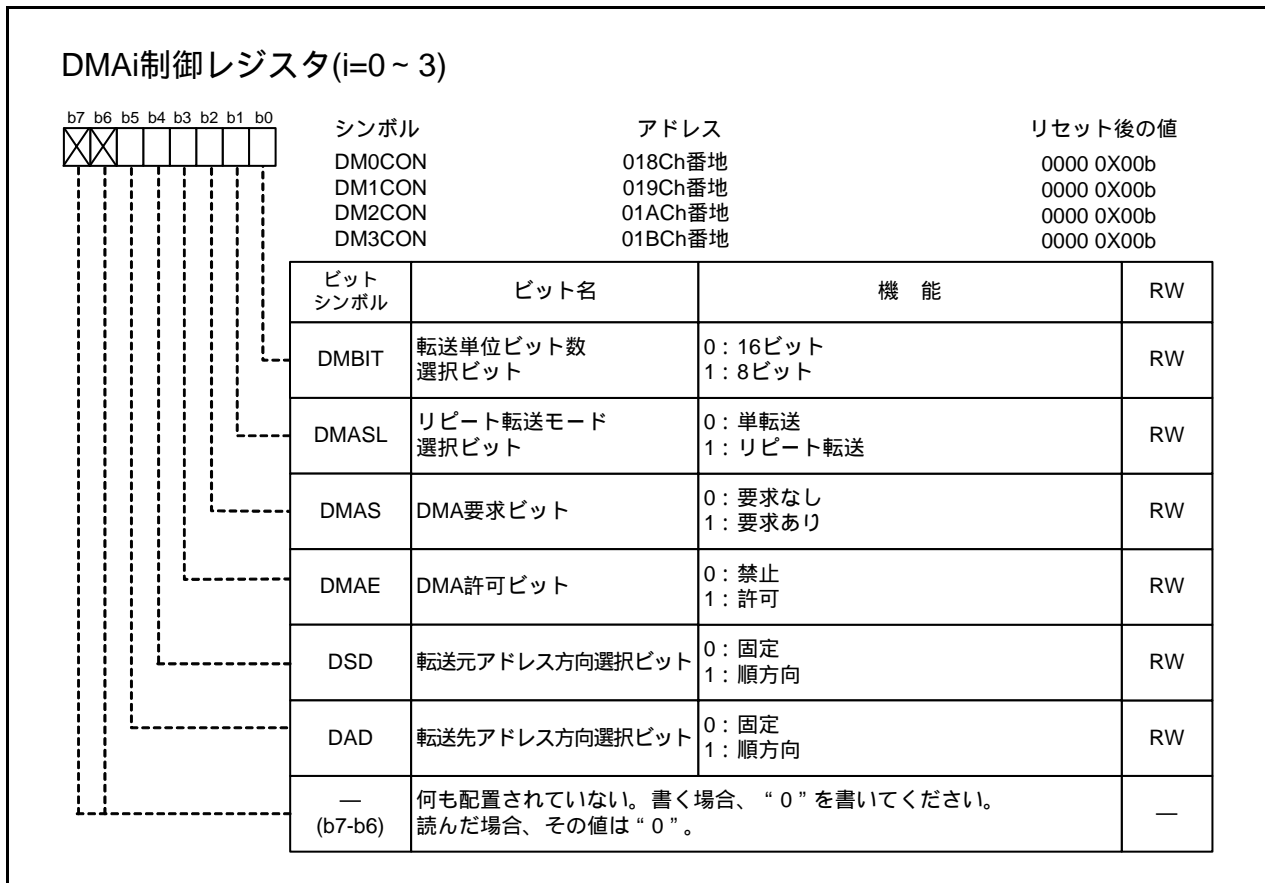


TCRiレジスタに書いた値はDMAi転送カウンタリロードレジスタに格納されます。

DMAi転送カウンタリロードレジスタの値は、次のタイミングでDMAi転送カウンタへ転送されます。

- DMiCONレジスタのDMAEビットに“1”(DMA許可)を書く
(単転送モード、リピート転送モードとも)
- DMAi転送カウンタがアンダフロー(リピート転送モード時)

15.2.4 DMAi制御レジスタ (DMiCON) (i=0~3)

**DMAS (DMA 要求ビット) (b2)**

[“0” になる条件]

- プログラムで “0” を書く
- データ転送開始

[“1” になる条件]

- DMA 要求検出
(プログラムで “1” を書いても変化しません)

DMAE (DMA 許可ビット) (b3)

[“0” になる条件]

- プログラムで “0” を書く
- DMA 転送カウンタアンダフロー (単転送モード時)

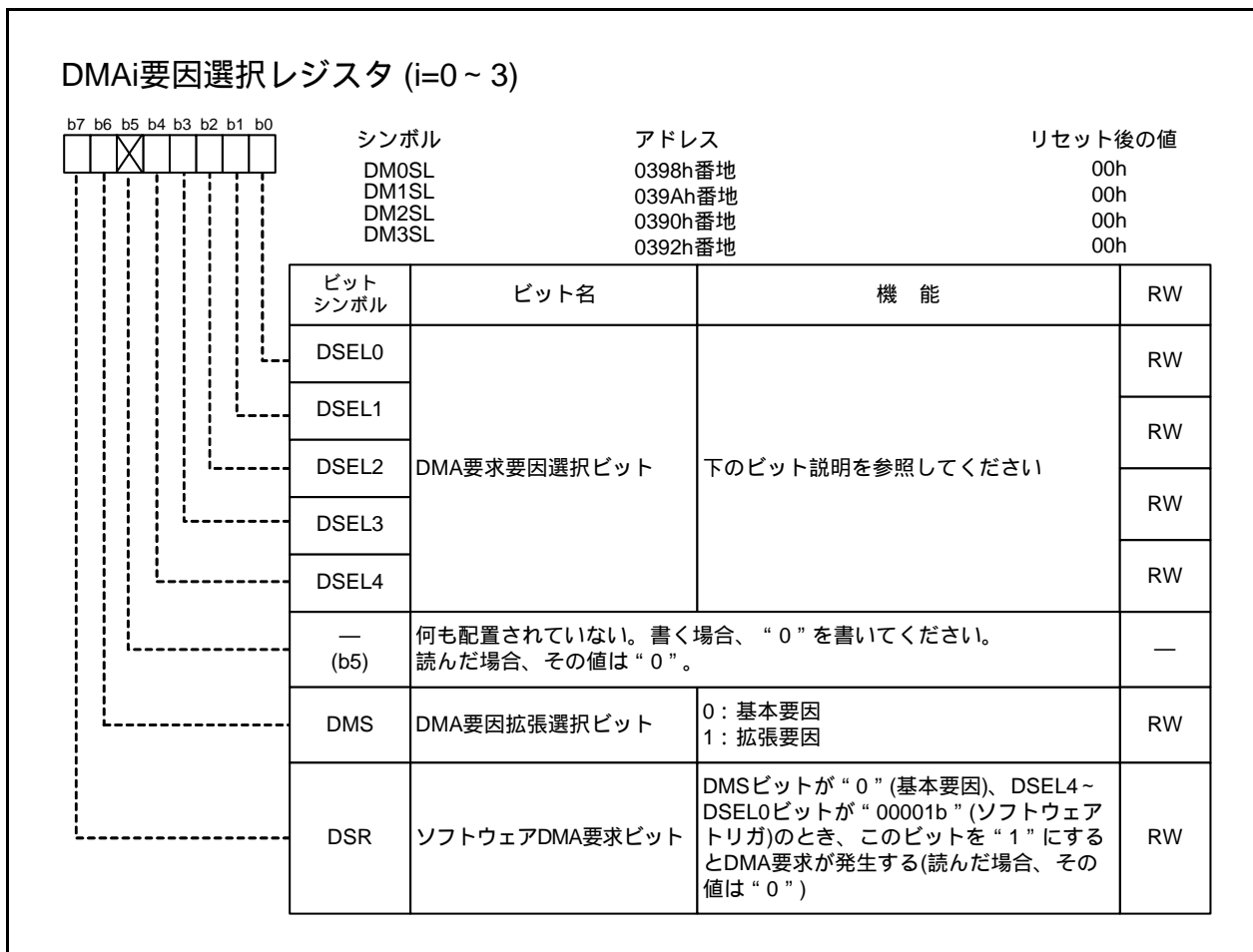
[“1” になる条件]

- プログラムで “1” を書く

DSD (転送元アドレス方向選択ビット) (b4)**DAD (転送先アドレス方向選択ビット) (b5)**

DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

15.2.5 DMAi要因選択レジスタ (DMiSL) (i=0~3)



DSEL4~DSEL0 (DMA 要求要因選択ビット) (b4~b0)

DMAiの要求要因は、DMSビットとDSEL4~DSEL0ビットの組み合わせで表15.3~表15.6のとおり選択できます。表15.3~表15.6にDMA要求要因を示します。

表 15.3 DMA0のDMA 要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	$\overline{\text{INT0}}$ 端子の立ち下がりエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	$\overline{\text{INT0}}$ 端子の両エッジ
0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1送信	-
1 0 0 0 0 b	UART1受信	$\overline{\text{INT4}}$ 端子の立ち下がりエッジ
1 0 0 0 1 b	UART5送信	$\overline{\text{INT4}}$ 端子の両エッジ
1 0 0 1 0 b	UART5受信	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0" または "1" - : 設定しないでください。

表 15.4 DMA1のDMA 要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	$\overline{\text{INT1}}$ 端子の立ち下がりエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	SI/O3
0 0 1 1 0 b	タイマA4	SI/O4
0 0 1 1 1 b	タイマB0	$\overline{\text{INT1}}$ 端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信/ACK0	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信/ACK2	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1受信/ACK1	-
1 0 0 0 0 b	UART1送信	$\overline{\text{INT5}}$ 端子の立ち下がりエッジ
1 0 0 0 1 b	UART5送信	$\overline{\text{INT5}}$ 端子の両エッジ
1 0 0 1 0 b	UART5受信/ACK5	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信/ACK6	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信/ACK7	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0" または "1" - : 設定しないでください。

表 15.5 DMA2のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	$\overline{\text{INT2}}$ 端子の立ち下がりエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	$\overline{\text{INT2}}$ 端子の両エッジ
0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1送信	-
1 0 0 0 0 b	UART1受信	$\overline{\text{INT6}}$ 端子の立ち下がりエッジ
1 0 0 0 1 b	UART5送信	$\overline{\text{INT6}}$ 端子の両エッジ
1 0 0 1 0 b	UART5受信	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X：“0”または“1” -：設定しないでください。

表 15.6 DMA3のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	$\overline{\text{INT3}}$ 端子の立ち下がりエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	SI/O3
0 0 1 1 0 b	タイマA4	SI/O4
0 0 1 1 1 b	タイマB0	$\overline{\text{INT3}}$ 端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信/ACK0	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信/ACK2	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1受信/ACK1	-
1 0 0 0 0 b	UART1送信	$\overline{\text{INT7}}$ 端子の立ち下がりエッジ
1 0 0 0 1 b	UART5送信	$\overline{\text{INT7}}$ 端子の両エッジ
1 0 0 1 0 b	UART5受信/ACK5	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信/ACK6	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信/ACK7	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X：“0”または“1” -：設定しないでください。

15.3 動作説明

15.3.1 DMA許可

DMiCONレジスタ(i=0~3)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMAiは次のように動作します。また、DMAEビットが“1”の状態でも再度“1”を書いた場合も同様の動作をします。

- DMiCONレジスタのDSDビットが“1”(順方向)の場合は、SARiレジスタの値を順方向アドレスポインタへリロードする。DMiCONレジスタのDADビットが“1”(順方向)の場合は、DARiレジスタの値を順方向アドレスポインタへリロードする。
- DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする。

15.3.2 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0~3)のDMSビット、DESL4~DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表15.7にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません(“1”を書いても変化しません)。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでもください。また、DMA転送サイクルよりもDMA要求が発生するサイクルが短い場合、転送要求回数と転送回数が一致しない場合があります。

なお、DMA要因に周辺機能を選択した場合、割り込みのとの関係は次のとおりです。

- DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。
- DMA転送の受け付けでは、割り込み制御レジスタのIRビットは変化しません。

表15.7 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> •データ転送開始直前 •プログラムで“0”を書いたとき
外部要因	INT0~INT7端子の入力エッジがDMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択したものと一致したとき	
周辺機能	DMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択した周辺機能の、割り込み要求が発生するタイミング(割り込み制御レジスタのIRビットが“0”なら、“1”に変化するタイミング)	

i=0~3

15.3.3 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。

図 15.2 にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1バスサイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば、転送単位が16ビットでソースもディスティネーションも奇数番地の場合(図15.2の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

15.3.3.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

15.3.3.2 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

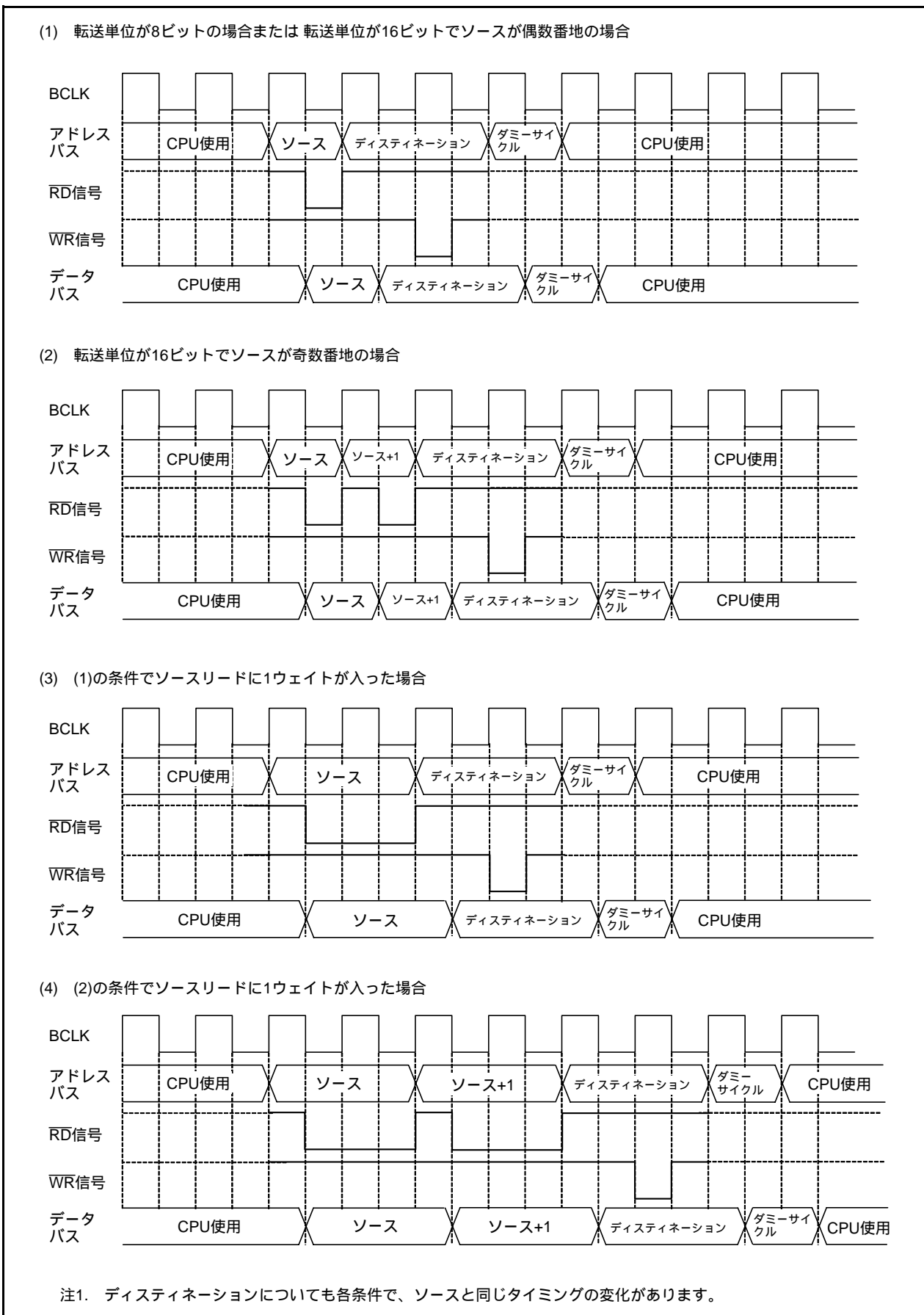


図15.2 ソースリードサイクル例

15.3.4 DMAC転送サイクル数

DMAC転送サイクル数は次のとおり計算できます。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表15.8 DMAC転送サイクル数

転送単位	バス	アクセス番地	シングルチップモード	
			読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=1)	16ビット (BYTE=L)	偶数	1	1
		奇数	1	1
	8ビット (BYTE=H)	偶数	-	-
		奇数	-	-
16ビット転送 (DMBIT=0)	16ビット (BYTE=L)	偶数	1	1
		奇数	2	2
	8ビット (BYTE=H)	偶数	-	-
		奇数	-	-

- : この条件はありません

DMBIT: DMiCONレジスタのビット (i=0~3)

表15.9 係数j、k (1)

	内部領域		
	内部ROM、RAM		SFR
	ウェイトなし	ウェイトあり	1ウェイト
j	1	2	2
k	1	2	2

注1. CSEレジスタの設定値に依存します。

15.3.5 単転送モード

単転送モードでは、DMA_i転送カウンタがアンダフローすると転送が終了します。図15.3に単転送モードの動作例を示します。

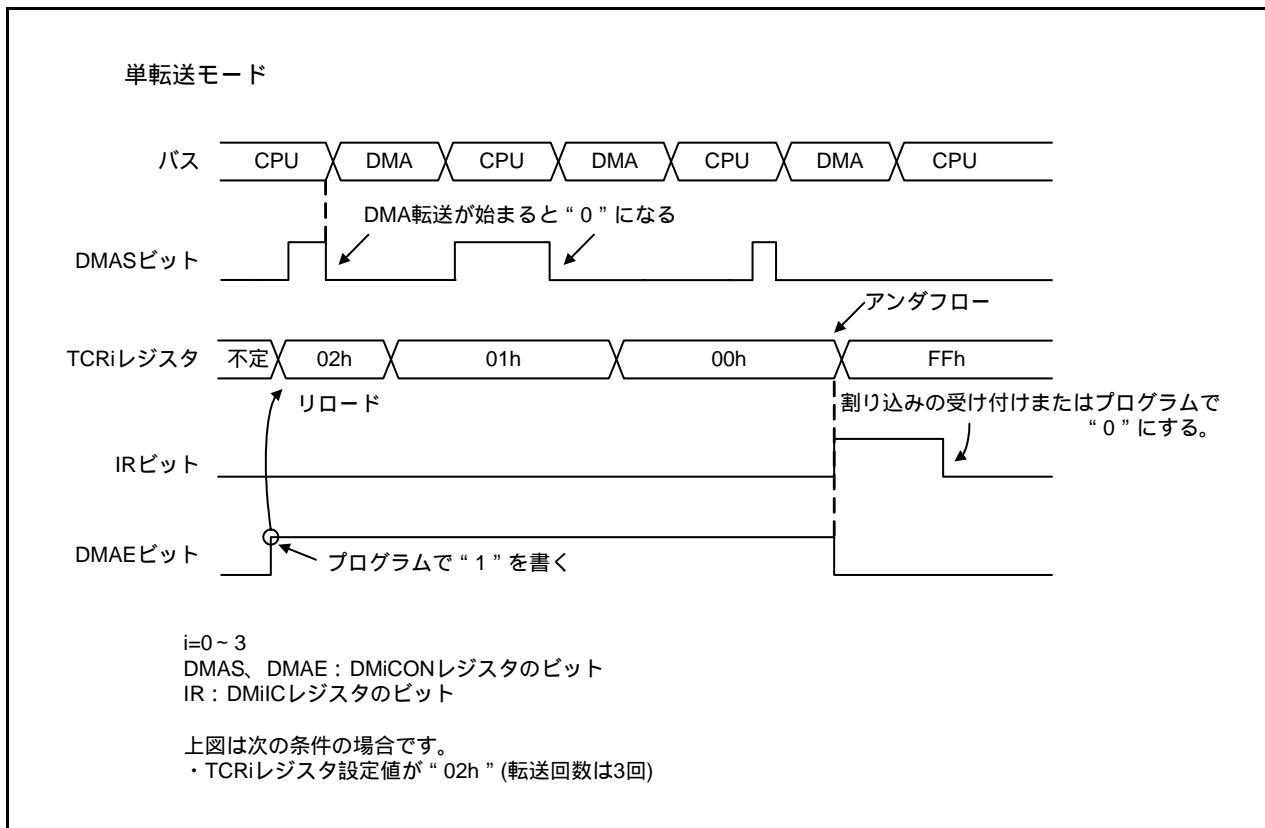


図15.3 単転送モードの動作例

15.3.6 リピート転送モード

リピート転送モードでは、DMA_i転送カウンタがアンダフローした後、DMA_i転送カウンタリロードレジスタの値がDMA_i転送カウンタにリロードされ、DMA転送を継続します。図15.4にリピート転送モードの動作例を示します。

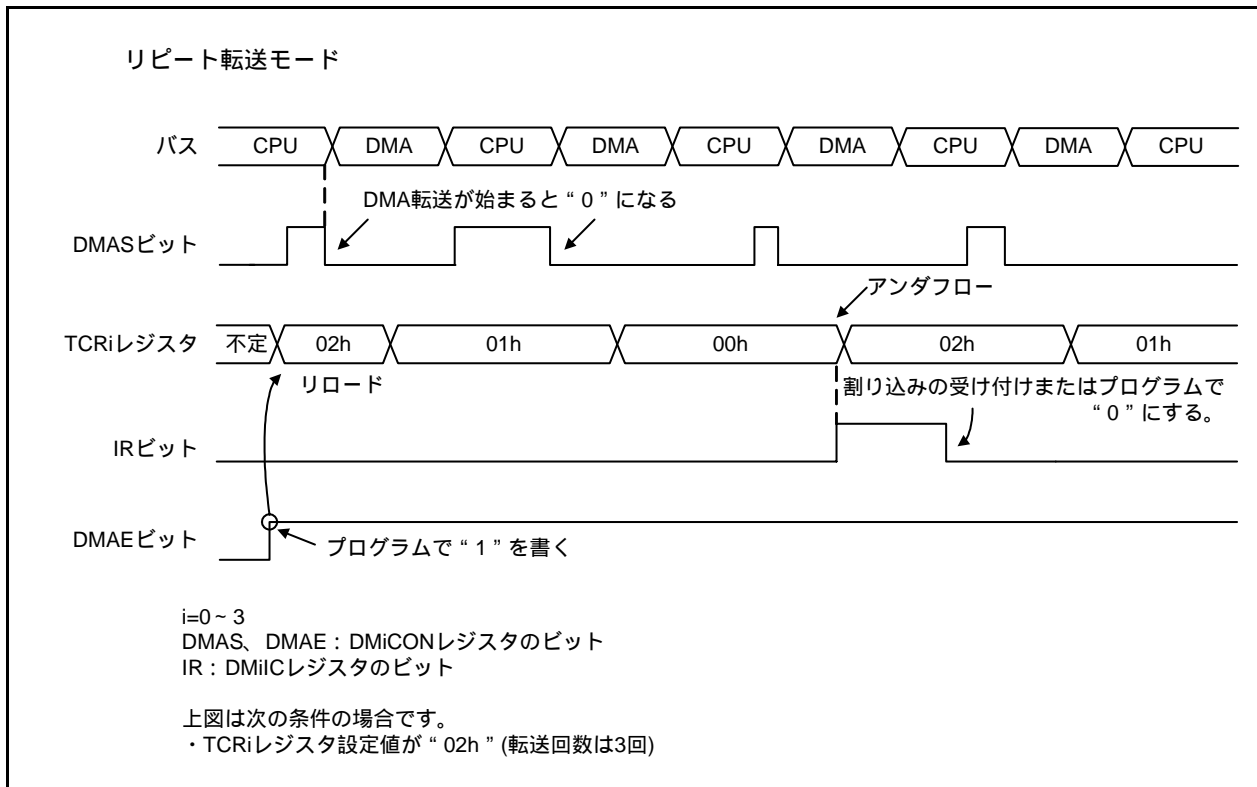


図15.4 リピート転送モードの動作例

15.3.7 チャンネルの優先順位とDMA転送タイミング

DMA0~DMA3のうち、複数のチャンネルが許可されている場合、複数のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0 > DMA1 > DMA2 > DMA3です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図15.5 外部要因によるDMA転送例を示します。

図15.5ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用权をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用权を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図15.5のDMA1のようにバス使用权を得るまでに複数回DMA要求が発生した場合も、バス使用权を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用权を返します。

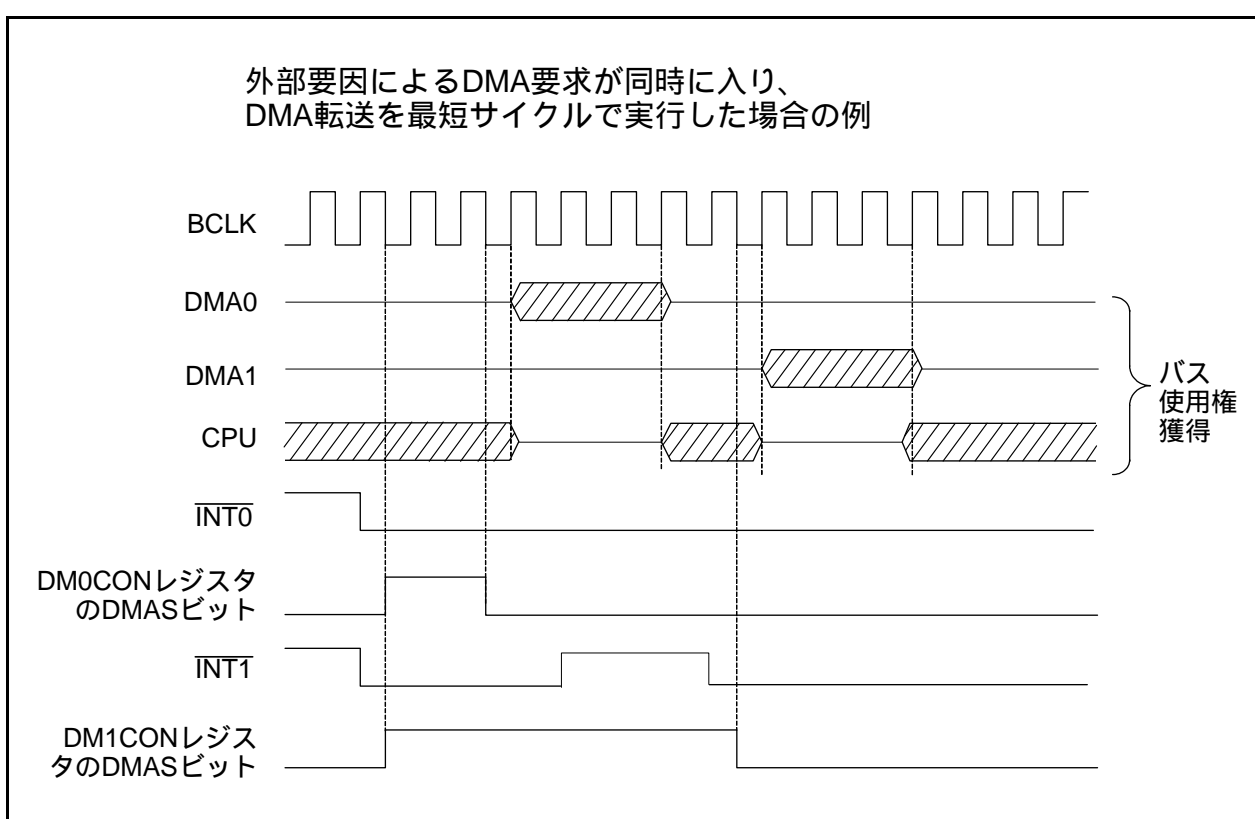


図15.5 外部要因によるDMA転送例

15.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。
また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。

表15.10 DMACの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Bh	DMA0 割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1 割り込み制御レジスタ	DM1IC	XXXX X000b
0069h	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b

DMiSLレジスタのDMSビットまたはDSEL4~DESL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DESL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。また、「13.13 割り込み使用上の注意事項」も参照してください。

15.5 DMAC 使用上の注意事項

15.5.1 DMiCON レジスタのDMAE ビットへの書き込み (i=0~3)

(a) に示す条件のときは、(b) に示す手順で書いてください。

(a) 条件

- DMAE ビットが “1” (DMA_i がアクティブ状態) のとき、再度、DMAE ビットへ “1” を書く。
- DMAE ビットへの書き込みと同時に DMA 要求が発生する可能性がある。

(b) 手順

- (1) DMiCON レジスタの DMAE ビットと DMAS ビットに同時に “1” を書く (注1)。
- (2) DMA_i が初期状態 (注2) になっていることを、プログラムで確認する。
DMA_i が初期状態になっていない場合は、(1)(2) を繰り返す。

注1. DMAS ビットは “1” を書いても変化しません。“0” を書くと “0” (DMA 要求なし) になります。したがって、DMAE ビットへ “1” を書くために、DMiCON レジスタへ書く場合、DMAS へ書く値を “1” にしておくこと、DMAS は書く直前の状態を保持できます。

DMAE ビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMAS へ書く値を “1” にしておくこと、命令実行中に発生した DMA 要求を保持できます。

注2. TCR_i レジスタの値で確認してください。

TCR_i レジスタを読んで、DMA 転送開始前に TCR_i レジスタへ書いた値 (DMAE ビット書き込み後に DMA 要求が発生した場合は「TCR_i レジスタへ書いた値-1」) が読めれば初期状態になっている、転送途中の値になっていなければ初期状態になっていない、と判断できます。

15.5.2 DMA 要求要因の変更

DMiSL レジスタの DMS ビットまたは DSEL4~DESL0 ビットを変更すると、DMiCON レジスタの DMAS ビットが “1” (DMA 要求あり) になることがあります。DMS ビットまたは DSEL4~DESL0 ビットを変更した後は、DMAS ビットを “0” (DMA 要求なし) にしてください。

16. タイマA

注意

タイマA0は内部でPLCモデムと接続しているので、TA0IN、TA0OUT端子はありません。

16.1 概要

タイマAにはタイマA0~A4があります。すべてのタイマは独立して動作します。表16.1にタイマAの仕様を、表16.2にタイマAの仕様の相違を、図16.1にタイマA、Bカウントソースを、図16.2にタイマA構成を、図16.3にタイマAブロック図を、表16.3に入出力端子を示します。

表16.1 タイマAの仕様

項目	内容
構成	16ビットタイマ × 5
動作モード	<ul style="list-style-type: none"> • タイマモード 内部カウントソースをカウントするモード • イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード • ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード • パルス幅変調モード (PWMモード) 任意の幅と周期のパルスを連続して出力するモード • プログラマブル出力モード 任意の“H”幅、“L”幅のパルスを連続して出力するモード (タイマA1、A2、A4)
割り込み要因	オーバフロー / アンダフロー × 5

表16.2 タイマAの仕様の相違

項目	タイマ				
	A0	A1	A2	A3	A4
イベントカウンタモード (二相パルス処理)	なし	なし	あり	あり	あり
プログラマブル出力モード	なし	あり	あり	なし	あり

注1. タイマA0端子は、内部PLCモデムに接続されています。外部端子がありません。
提供されるDLLソフトウェア経由で制御し、ユーザソフトから直接制御しないでください。

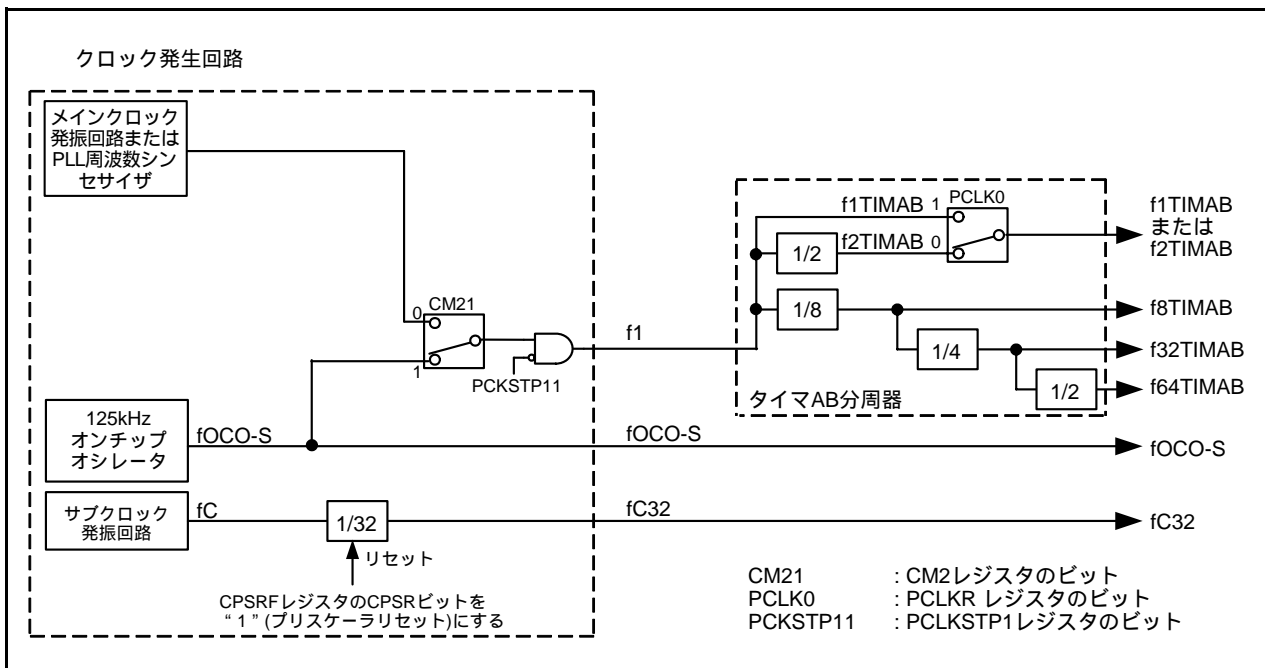


図 16.1 タイマA、B カウントソース

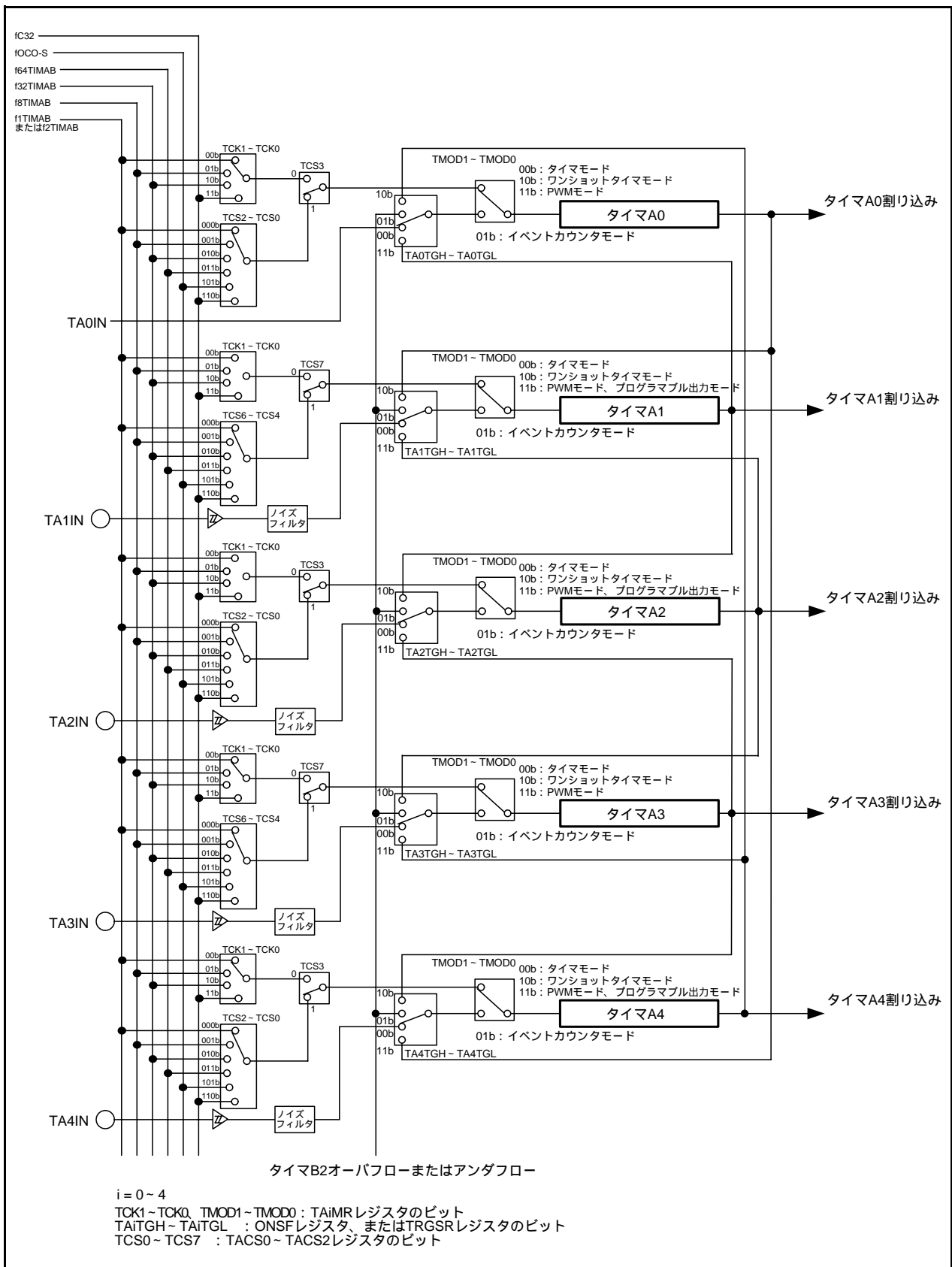


図 16.2 タイマA構成

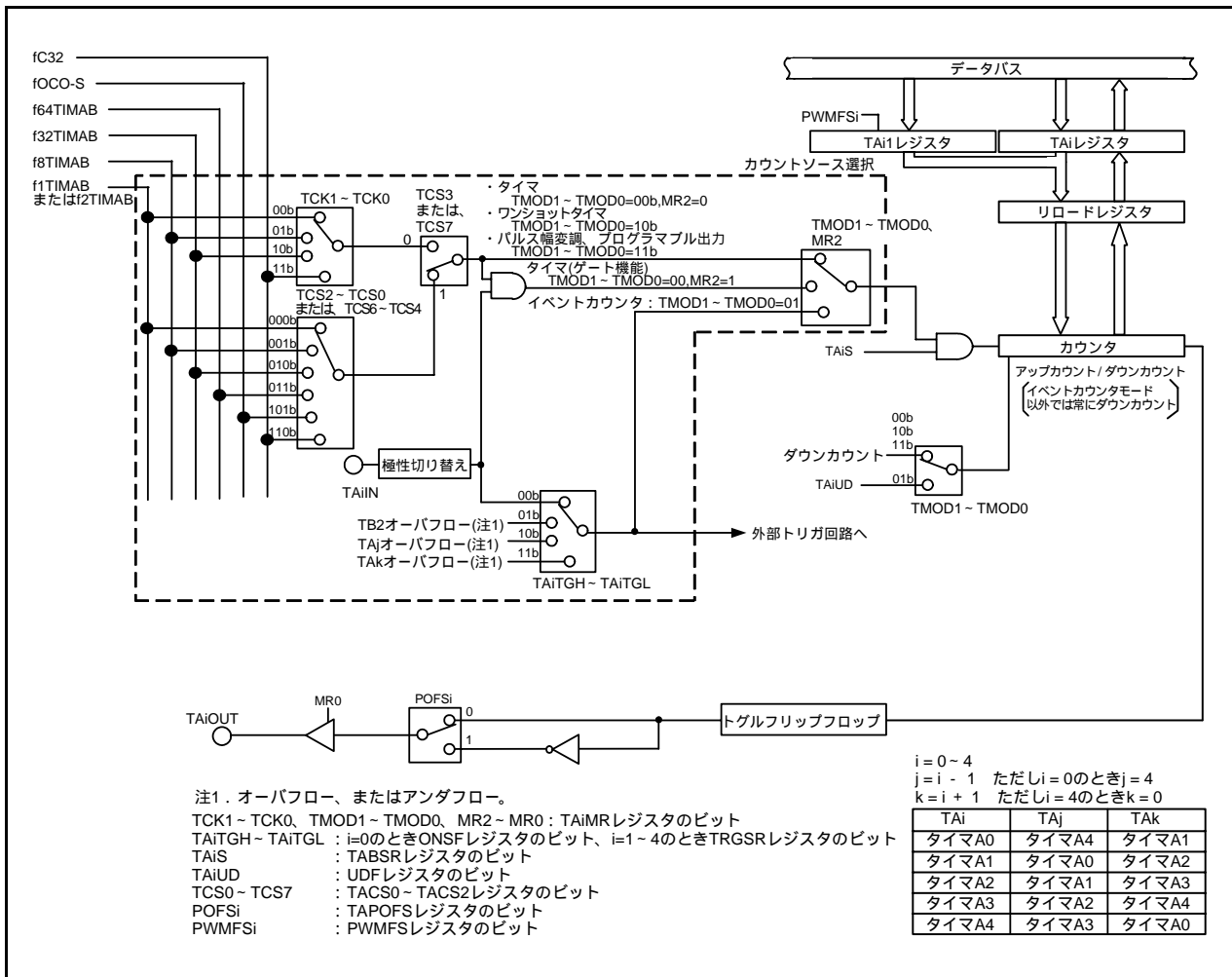


図 16.3 タイマAブロック図

表 16.3 入出力端子

端子名	入出力	機能
TAiIN	入力 (注1)	ゲート入力 (タイマモード) カウントソース入力 (イベントカウンタモード) 二相パルス入力 (イベントカウンタモード (二相パルス信号処理)) トリガ入力 (ワンショットタイマモード、PWMモード、プログラマブル出力モード)
TAiOUT	出力	パルス出力 (タイマモード、イベントカウンタモード、ワンショットタイマモード、PWMモード、プログラマブル出力モード)
	入力 (注1)	二相パルス入力 (イベントカウンタモード (二相パルス信号処理))
ZP	入力 (注1)	Z相 (カウンタ初期化) 入力 (イベントカウンタモード (二相パルス信号処理))

i=0~4、ただし、二相パルス入力はi=2, 3, 4、プログラマブル出力モードはi=1, 2, 4

注1. TAiIN、TAiOUT、ZP端子を入力で使用する場合、端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

16.2 レジスタの説明

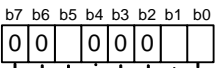
タイマA関連レジスタを表16.4 レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表16.4 レジスタ一覧

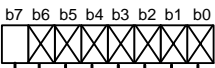
アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h	周辺クロック停止レジスタ1	PCLKSTP1	X000 0000b
01D0h	タイマAカウントソース選択レジスタ0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ2	TACS2	X0h
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0320h	カウント開始フラグ	TABSR	00h
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0336h	タイマA0モ - ドレジスタ	TA0MR	00h
0337h	タイマA1モ - ドレジスタ	TA1MR	00h
0338h	タイマA2モ - ドレジスタ	TA2MR	00h
0339h	タイマA3モ - ドレジスタ	TA3MR	00h
033Ah	タイマA4モ - ドレジスタ	TA4MR	00h

16.2.1 周辺クロック選択レジスタ (PCLKR)

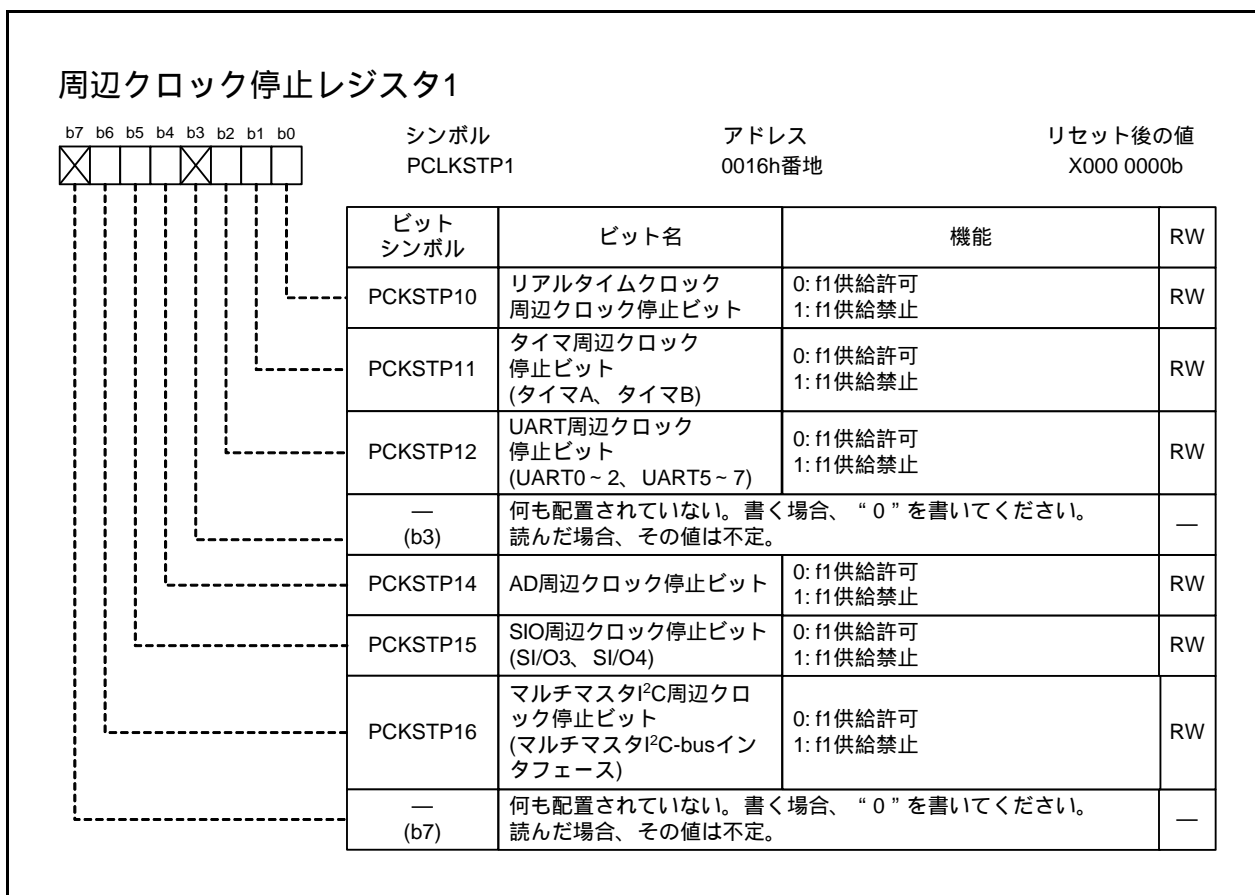
周辺クロック選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b
			
ビット シンボル	ビット名	機 能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、マルチマ スタI ² C-bus インタフェースの クロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~ UART7、SI/O3、SI/O4のクロッ ク源)	0 : f2SIO 1 : f1SIO	RW
(b4-b2)	予約ビット	"0" にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビッ トで選択 1 : f1を出力	RW
(b7-b6)	予約ビット	"0" にしてください	RW

PCLKR レジスタはPRCR レジスタのPRC0 ビットを "1" (書き込み許可) にした後で書き換えてください。

16.2.2 時計用プリスケアラリセットフラグ (CPSRF)

時計用プリスケアラリセットフラグ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル CPSRF	アドレス 0015h番地	リセット後の値 0XXX XXXXb
			
ビット シンボル	ビット名	機 能	RW
— (b6-b0)	何も配置されていない。書く場合、"0" を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラ リセットフラグ	このビットを "1" にすると時計用プリス ケアラが初期化される。 (読んだ場合、その値は "0")	RW

16.2.3 周辺クロック停止レジスタ 1 (PCLKSTP1)



PCKSTP1 レジスタはPRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP11(タイマ周辺クロック停止ビット) (b1)

カウントソースのクロック源としてf1を使用する場合、PCKSTP11 ビットを“0”(f1供給許可)にしてください。

16.2.4 タイマAカウントソース選択レジスタ*i* (TACSi) (*i*=0~2)

タイマAカウントソース選択レジスタ0、タイマAカウントソース選択レジスタ1				
ビットシンボル	シンボル	アドレス	リセット後の値	
b7 b6 b5 b4 b3 b2 b1 b0	TACS0 ~ TACS1	01D0h ~ 01D1h番地	00h	
	ビットシンボル	ビット名	機能	
	TCS0	TAiカウントソース選択ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
	TCS1			RW
	TCS2			RW
	TCS3	TAiカウントソース選択肢指定ビット	0 : TCK0 ~ TCK1有効、TCS0 ~ TCS2無効 1 : TCK0 ~ TCK1無効、TCS0 ~ TCS2有効	RW
	TCS4	TAjカウントソース選択ビット	b6 b5 b4 0 0 0 : f1TIMABまたはf2TIMAB 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
	TCS5			RW
	TCS6			RW
	TCS7	TAjカウントソース選択肢指定ビット	0 : TCK0 ~ TCK1有効、TCS4 ~ TCS6無効 1 : TCK0 ~ TCK1無効、TCS4 ~ TCS6有効	RW

TACS0レジスタ : *i* = 0, *j* = 1, TACS1レジスタ : *i* = 2, *j* = 3

タイマAカウントソース選択レジスタ2				
ビットシンボル	シンボル	アドレス	リセット後の値	
b7 b6 b5 b4 b3 b2 b1 b0	TACS2	01D2h番地	X0h	
	ビットシンボル	ビット名	機能	
	TCS0	TA4カウントソース選択ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
	TCS1			RW
	TCS2			RW
	TCS3	TA4カウントソース選択肢指定ビット	0 : TCK0 ~ TCK1有効、TCS0 ~ TCS2無効 1 : TCK0 ~ TCK1無効、TCS0 ~ TCS2有効	RW
	— (b7-b4)	何も配置されていない。 書く場合 "0" を書いてください。読んだ場合、その値は不定。		—

TCS2~TCS0 (TAiカウントソース選択ビット) (b2~b0) (*i*=0, 2, 4)TCS6~TCS4 (TAjカウントソース選択ビット) (b6~b4) (*j*=1, 3)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

16.2.5 16ビットパルス幅変調モード機能選択レジスタ (PWMFS)

16ビットパルス幅変調モード機能選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0 0 X X X X X X X	シンボル PWMFS	アドレス 01D4h番地	リセット後の値 0XX0 X00Xb
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PWMFS1	タイマA1プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
PWMFS2	タイマA2プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PWMFS4	タイマA4プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b6-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7)	予約ビット	“0” にしてください。	RW

PWMFS1 (タイマA1 プログラマブル出力モード選択ビット) (b1)

PWMFS2 (タイマA2 プログラマブル出力モード選択ビット) (b2)

PWMFS4 (タイマA4 プログラマブル出力モード選択ビット) (b4)

TAiMRレジスタのTMOD1~TMOD0ビットが“11b”(PWMモードまたはプログラマブル出力モード)、かつMR3ビットが“0”(16ビットPWMモード)のとき有効です。

16.2.6 タイマA波形出力機能選択レジスタ (TAPOFS)

タイマA波形出力機能選択レジスタ			
	シンボル TAPOFS	アドレス 01D5h番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機 能	RW
POFS0	TA0OUT出力極性制御ビット	0: 出力波形“H”アクティブ 1: 出力波形“L”アクティブ (出力反転)	RW
POFS1	TA1OUT出力極性制御ビット		RW
POFS2	TA2OUT出力極性制御ビット		RW
POFS3	TA3OUT出力極性制御ビット		RW
POFS4	TA4OUT出力極性制御ビット		RW
— (b7-b5)	何も設定されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—

16.2.7 タイマA出力波形変更許可レジスタ (TAOW)

タイマA出力波形変更許可レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0 ⊗ ⊗ ⊗ ⊗ ⊗ ⊗ ⊗ ⊗	シンボル TAOW	アドレス 01D8h番地	リセット後の値 XXX0 X00Xb
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
TA1OW	タイマA1出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
TA2OW	タイマA2出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
— (b3)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
TA4OW	タイマA4出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
— (b7-b5)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

プログラマブル出力モードで有効です。

出力中に出力波形の周期や幅を変更する場合は、次の手順で変更してください。

- (1) TAIOW ビット (i=1, 2, 4) を “0” (出力波形変更禁止) にする
- (2) TAI、TAIレジスタの両方またはいずれかに値を書く
- (3) TAIOW ビットを “1” (出力波形変更許可) にする

TAiOUT 出力の立ち上がりエッジ (POFSi ビットが “1” の場合は立ち下がりエッジ) のカウントソース1サイクル分前に、TAiOW ビットが “1” (出力波形変更許可) ならば、更新後の値がリロードされます。TAiOW ビットが “0” (出力波形変更禁止) ならば、更新前の値をリロードします。

16.2.8 タイマAiレジスタ (TAi) (i=0~4)

タイマAiレジスタ (i=0~4)			
	シンボル	アドレス	リセット後の値
	TA0	0327h ~ 0326h番地	XXh
	TA1	0329h ~ 0328h番地	XXh
	TA2	032Bh ~ 032Ah番地	XXh
	TA3	032Dh ~ 032Ch番地	XXh
	TA4	032Fh ~ 032Eh番地	XXh

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、 カウンタ周期： $\frac{(n+1)}{f_j}$	0000h ~ FFFFh	RW
イベントカウンタモード	設定値をnとすると、 アップカウント時、FFFFh-n+1回カウント ダウンカウント時、n+1回カウント	0000h ~ FFFFh	RW
ワンショットタイマモード	設定値をnとすると、 パルス幅： $\frac{n}{f_j}$	0000h ~ FFFFh	WO
パルス幅変調モード (16ビットPWMモード)	設定値をnとすると、 PWMの周期： $\frac{(2^{16}-1)}{f_j}$ PWMのパルス幅： $\frac{n}{f_j}$	0000h ~ FFFEh	WO
パルス幅変調モード (8ビットPWMモード)	上位番地の設定値をn、下位番地の設定 値をmとすると PWMの周期： $\frac{(2^8-1) \times (m+1)}{f_j}$ PWMパルスのパルス幅： $\frac{(m+1)n}{f_j}$	00h ~ FEh (上位番地) 00h ~ FFh (下位番地)	WO
プログラブル出力 モード	TAiレジスタ設定値をm、TAi1レジスタ設 定値をnとすると、次の波形を出力する “H”幅： $\frac{m}{f_j}$ “L”幅： $\frac{n}{f_j}$	0000h ~ FFFFh	WO

f_j: カウントソースの周波数

16ビット単位でアクセスしてください。TAiレジスタへはMOV命令を使用して書いてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントしません。

ワンショットタイマモード

TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、このとき、パルス出力ありを選択していても、TAiOUT端子からパルスは出力されません。

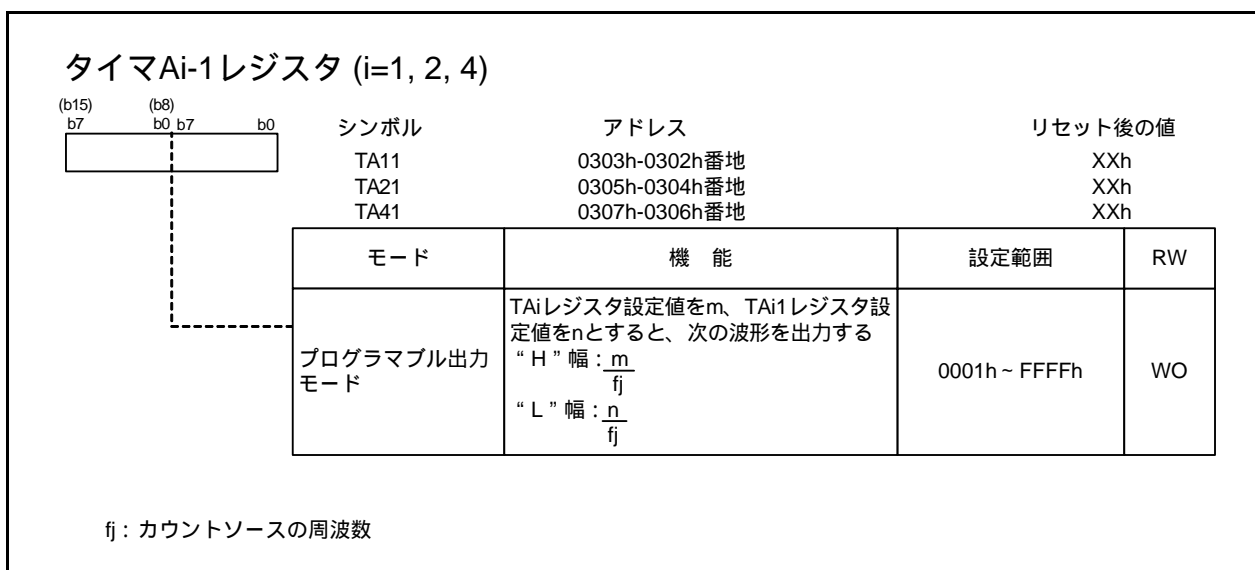
パルス幅変調モード(16ビットPWMモード)

TAiレジスタを“0000h”にした場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のみで、タイマAi割り込み要求も発生しません。

パルス幅変調モード(8ビットPWMモード)

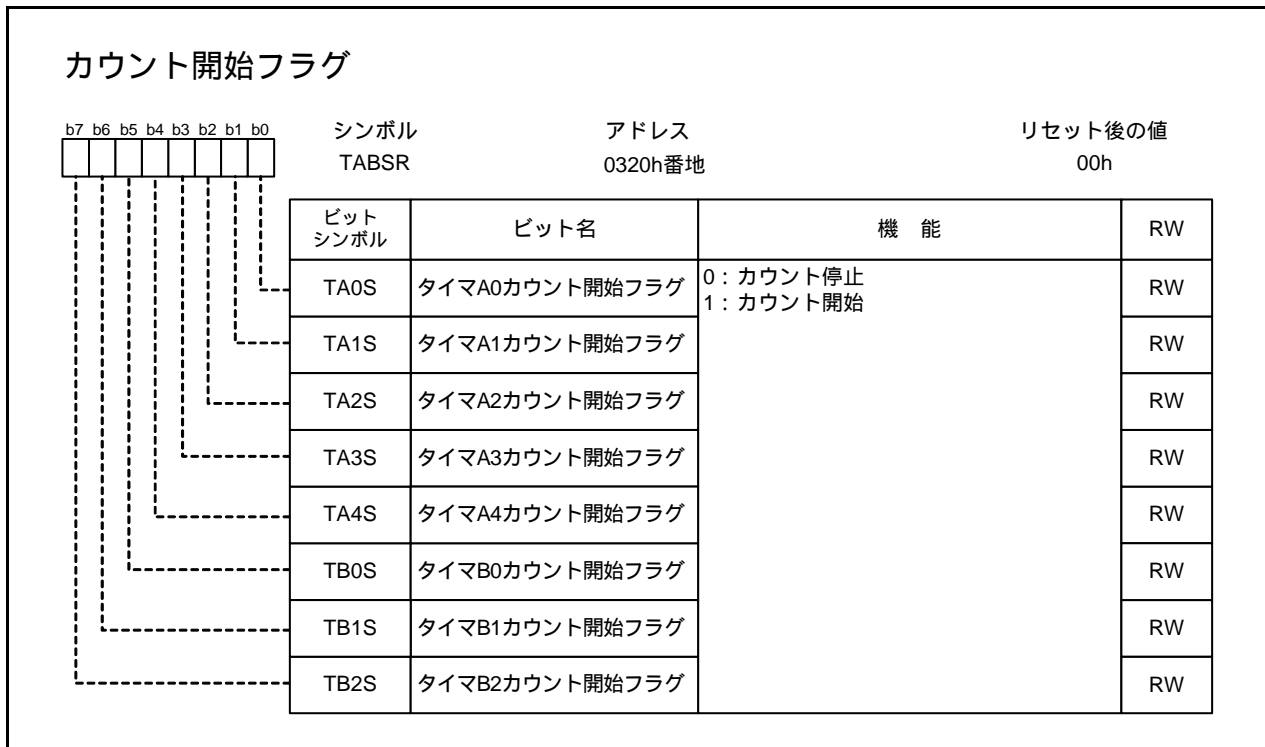
8ビットプリスケアラ(下位8ビット)と8ビットパルス幅変調器(上位8ビット)として動作します。TAiレジスタの上位8ビットに“00h”を設定した場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のみで、タイマAi割り込み要求も発生しません。

16.2.9 タイマAi-1レジスタ (TAi1) (i=1, 2, 4)



16ビット単位でアクセスしてください。MOV命令を使用して書いてください。

16.2.10 カウント開始フラグ (TABSR)



16.2.11 ワンショット開始フラグ (ONSF)

ワンショット開始フラグ		シンボル ONSF	アドレス 0322h番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機能		RW					
TA0OS	タイマA0ワンショット 開始フラグ	このビットを“1”にすると、 タイマのカウントを開始する。 読んだ場合、その値は“0”。		RW					
TA1OS	タイマA1ワンショット 開始フラグ			RW					
TA2OS	タイマA2ワンショット 開始フラグ			RW					
TA3OS	タイマA3ワンショット 開始フラグ			RW					
TA4OS	タイマA4ワンショット 開始フラグ			RW					
TAZIE	Z相入力有効ビット	0: Z相入力無効 1: Z相入力有効		RW					
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 0 0: TA0IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA4を選択 1 1: タイマA1を選択		RW					
TA0TGH				RW					

TAiOS (タイマAiワンショット開始フラグ) (i=0~4) (b4~b0)

ワンショットタイマモードで有効。TAiMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、TABSRレジスタのTAiSビットを“1”(カウント開始)にした後、このビットを“1”にすると、タイマAiのカウントを開始します。

TAZIE (Z相入力有効ビット) (b5)

タイマA3のイベントカウンタモード(二相パルス信号処理)で使用するビットです。詳細は、「16.3.4.3 二相パルス信号処理でのカウンタ初期化」を参照してください。

TA0TGH~TA0TGL (タイマA0イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード(二相パルス信号処理を使用しない)のイベント
- ワンショットタイマモード、PWMモードのトリガ

ただし、TA0MRレジスタのMR2ビットが“1”(TA0TGH~TA0TGLビットでトリガ選択)の場合。

TA0TGH~TA0TGLビットが“00b”の場合、TA0MRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TA0TGH~TA0TGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

16.2.12 トリガ選択レジスタ (TRGSR)

トリガ選択レジスタ		シンボル	アドレス	リセット後の値
		TRGSR	0323h番地	00h
ビットシンボル	ビット名	機能		RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0	0 0: TA1IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA0を選択 1 1: タイマA2を選択	RW
TA1TGH		RW		
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2	0 0: TA2IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA1を選択 1 1: タイマA3を選択	RW
TA2TGH		RW		
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4	0 0: TA3IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA2を選択 1 1: タイマA4を選択	RW
TA3TGH		RW		
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6	0 0: TA4IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA3を選択 1 1: タイマA0を選択	RW
TA4TGH		RW		

TA1TGH~TA1TGL (タイマA1 イベント/トリガ選択ビット) (b1~b0)

TA2TGH~TA2TGL (タイマA2 イベント/トリガ選択ビット) (b3~b2)

TA3TGH~TA3TGL (タイマA3 イベント/トリガ選択ビット) (b5~b4)

TA4TGH~TA4TGL (タイマA4 イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード (二相パルス信号処理を使用しない) のイベント
- ワンショットタイマモード、PWMモード、プログラマブル出力モードのトリガ

ただし、TAiMRレジスタのMR2ビットが“1” (TAiGH~TAiGLビットでトリガ選択) の場合。

TAiGH~TAiGLビットが“00b”の場合、TAiMRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TAiGH~TAiGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します (IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

16.2.13 アップダウンフラグ (UDF)

アップダウンフラグ		シンボル UDF	アドレス 0324h番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機能		RW					
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント		RW					
TA1UD	タイマA1アップダウンフラグ			RW					
TA2UD	タイマA2アップダウンフラグ			RW					
TA3UD	タイマA3アップダウンフラグ			RW					
TA4UD	タイマA4アップダウンフラグ			RW					
TA2P	タイマA2二相パルス信号 処理機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可		RW					
TA3P	タイマA3二相パルス信号 処理機能選択ビット			RW					
TA4P	タイマA4二相パルス信号 処理機能選択ビット			RW					

TA_iUD (タイマA_iアップダウンフラグ) (i=0~4) (b₄~b₀)

イベントカウンタモード(二相パルス信号処理機能を使用しない場合)時、有効になります。

TA2P (タイマA2二相パルス信号処理機能選択ビット) (b₅)

TA3P (タイマA3二相パルス信号処理機能選択ビット) (b₆)

TA4P (タイマA4二相パルス信号処理機能選択ビット) (b₇)

二相パルス信号処理機能を使用しない場合、“0” にしてください。

16.2.14 タイマAiモードレジスタ (TAiMR) (i=0~4)

タイマAiモードレジスタ(i = 0 ~ 4)		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		TA0MR ~ TA4MR	0336h ~ 033Ah番地	00h
ビットシンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1	b0	RW
TMOD1		0	0: タイマモード 1: イベントカウンタモード	RW
MR0	動作モードによって機能が異なる	1	0: ワンショットタイマモード	RW
MR1		1	1: パルス幅変調 (PWM)モード、 またはプログラマブル出力モード	RW
MR2				RW
MR3				RW
TCK0	動作モードによって機能が異なる			RW
TCK1				RW

16.3 動作説明

16.3.1 複数モードに関わる共通事項

16.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

例えば、停止しているカウンタは、カウント開始条件が揃った後、最初のカウンタソースのカウントタイミングからカウントを開始します。したがって、カウント開始条件が揃ってから、カウント開始するまで、遅延があります。図16.4にワンショットタイマモードの出力例を示します。

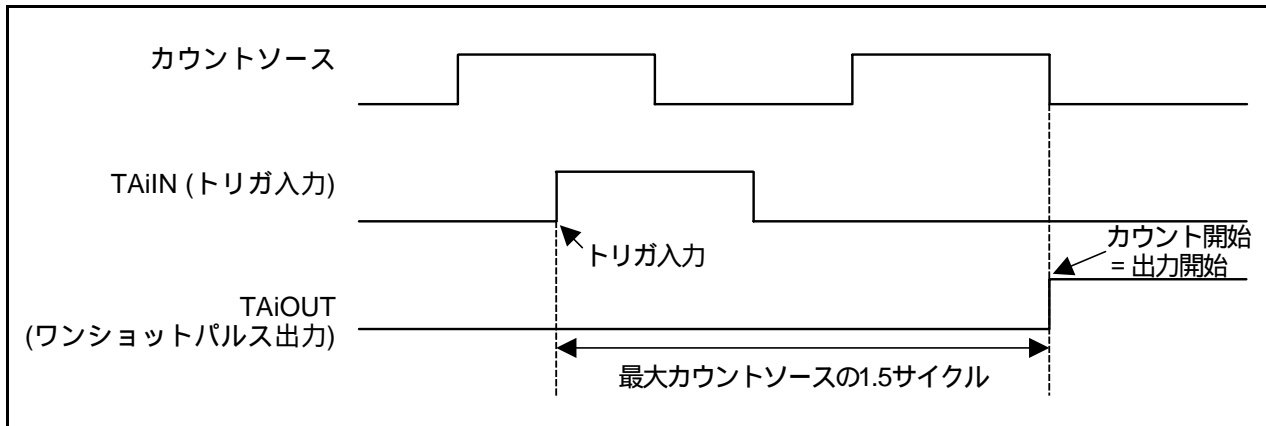


図16.4 ワンショットタイマモードの出力例

16.3.1.2 カウンタリロードタイミング

タイマ A_i は TA_i レジスタに設定された値 (n とします) からカウントを開始します。 TA_i レジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタは n からカウンタソースをダウンカウントします。そして、“0000h” になった次のカウンタソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます (アップカウントの場合は同様に “FFFFh” になった次のカウンタソースで、リロードレジスタの値をリロードします)。

TA_i レジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウンタソースが入力されるまで
 TA_i レジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウンタソースが入力された後
 TA_i レジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
 カウンタはカウント中の値を引き続きカウントし、“0000h” (または “FFFFh”) になった次のカウンタソースでリロードレジスタの値をリロードする。

16.3.1.3 カウントソース

タイマモード、ワンショットタイマモード、PWMモード、プログラマブル出力モードでは、内部のクロックをカウントします（「図16.1 タイマA、Bカウントソース」参照）。表16.5にタイマAカウントソースを示します。

f1は次のいずれかです。（「8. クロック発生回路」参照）また、f1を使用する場合は、PCLKSTP1レジスタのPCKSTP11ビットを“0”（f1供給許可）にしてください。

- メインクロックの1分周（分周なし）
- PLLクロックの1分周（分周なし）
- fOCO-Sの1分周（分周なし）

表16.5 タイマAカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS6~TCS4	TCK1~TCK0	
f1TIMAB	1	0	-	00b	f1
		1	000b	-	
f2TIMAB	0	0	-	00b	f1の2分周
		1	000b	-	
f8TIMAB	-	0	-	01b	f1の8分周
		1	001b	-	
f32TIMAB	-	0	-	10b	f1の32分周
		1	010b	-	
f64TIMAB	-	1	011b	-	f1の64分周
fOCO-S	-	1	101b	-	fOCO-S
fC32	-	0	-	11b	fC32
		1	110b	-	

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TACS0~TACS2レジスタのビット

TCK1~TCK0: TAI*M*R (i=0~4)レジスタのビット

16.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.6 にタイマモードの仕様を、表 16.7 にタイマモード時の使用レジスタと設定値を、図 16.5 にタイマモード時の動作例を示します。

表 16.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウンタ周期	$\frac{(n+1)}{f_j}$ n: TAIレジスタの設定値 0000h~FFFFh fj: カウントソースの周波数
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の期間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表16.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	f1を使用する場合“0”にしてください
PWMF5	PWMF5i	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	“00b”にしてください
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

タイマモード タイマAiモードレジスタ (i = 0 ~ 4)		シンボル	アドレス	リセット後の値
		TA0MR ~ TA4MR	0336h ~ 033Ah番地	00h
ビット シンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1 b0	0 0: タイマモード	RW
		TMOD1		RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)		RW
MR1	ゲート機能選択ビット	b4 b3	0 0: ゲート機能なし (TAiIN端子は入出力ポート) 0 1: TAiIN端子に“L”が入力されている 期間カウントする 1 0: TAiIN端子に“H”が入力されている 期間カウントする	RW
MR2		RW		
MR3	タイマモードでは“0”にしてください			RW
TCK0	カウントソース選択 ビット	b7 b6	0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1				

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

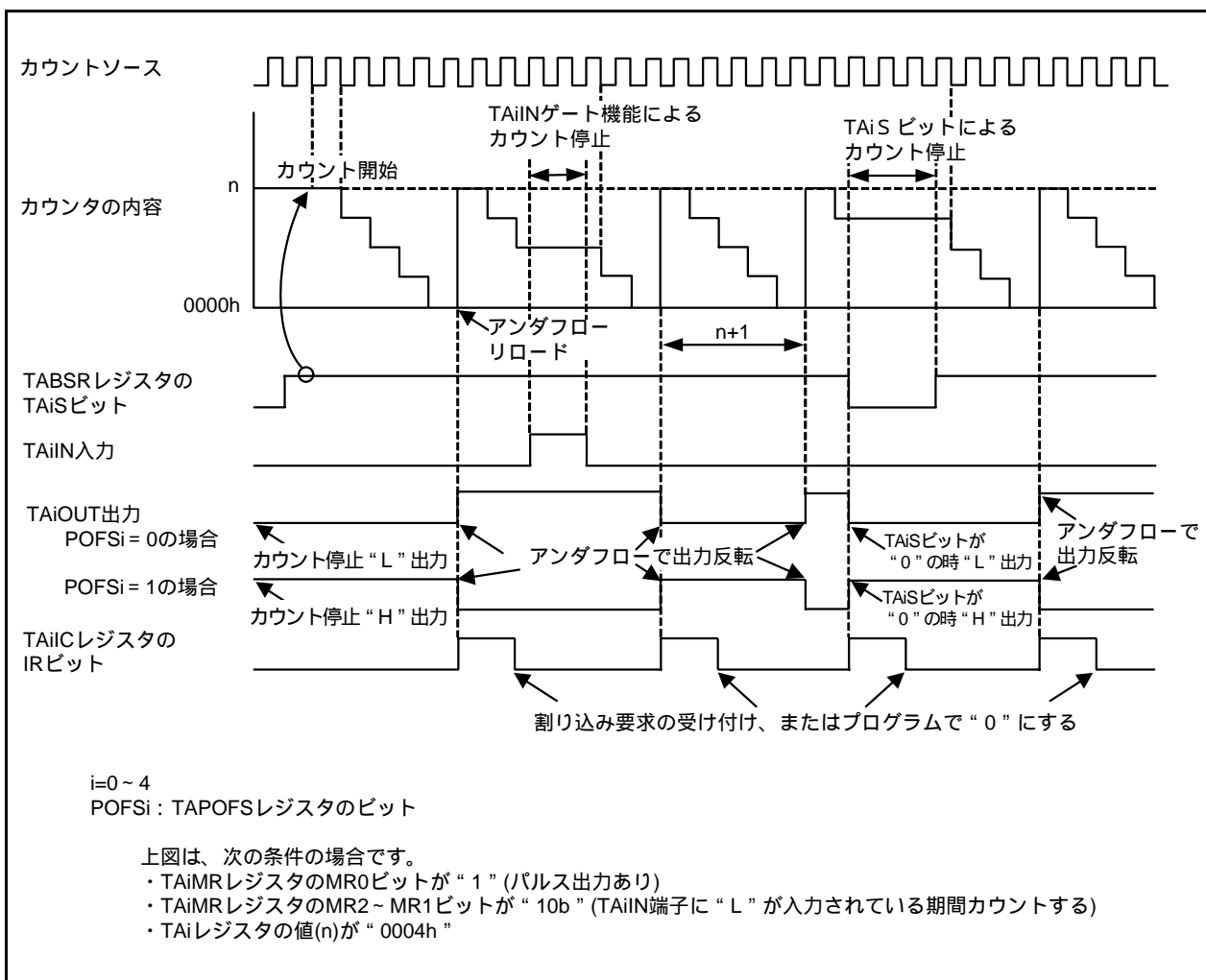


図 16.5 タイマモード時の動作例

16.3.3 イベントカウンタモード (二相パルス信号処理を使用しない場合)

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。

タイマA2、A3、A4は二相の外部信号をカウントできます。(「16.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)」参照。)

表16.8にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、表16.9にイベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)を、図16.6にイベントカウンタモード時の動作例を示します。

表16.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TAIIN端子に入力された外部信号(有効エッジを選択可能) • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー (j=i-1、ただしi=0のときj=4) • タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4のときk=0)
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントをプログラムで選択可能 • オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 FFFFh - n+1 • ダウンカウント時 n+1 n: TAIレジスタの設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフローまたはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAIレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAIレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAIレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない • パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の期間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表16.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケータをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	-(設定しないでよい)
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントソースを選択してください
TRGSR	TAiTGH~TAiTGL	カウントソースを選択してください
UDF	TAiUD	カウント動作を選択してください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用しない場合)
タイマAiモードレジスタ (i = 0 ~ 4)

シンボル	アドレス	リセット後の値
TA0MR ~ TA4MR	0336h ~ 033Ah番地	00h

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0 [] [0] [0] [] [] [0] [1]	TMOD0	動作モード選択ビット b1 b0 0 1: イベントカウンタモード	RW
	TMOD1		RW
	MR0	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
	MR1	0: 外部信号の立ち下がりカウント 1: 外部信号の立ち上がりカウント	RW
	MR2	イベントカウンタモードでは“0”にしてください	RW
	MR3	イベントカウンタモードでは“0”にしてください	RW
	TCK0	カウント動作タイプ 選択ビット 0: リロードタイプ 1: フリーランタイプ	RW
	TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可	RW

MR1 (カウント極性選択ビット) (b3)

ONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

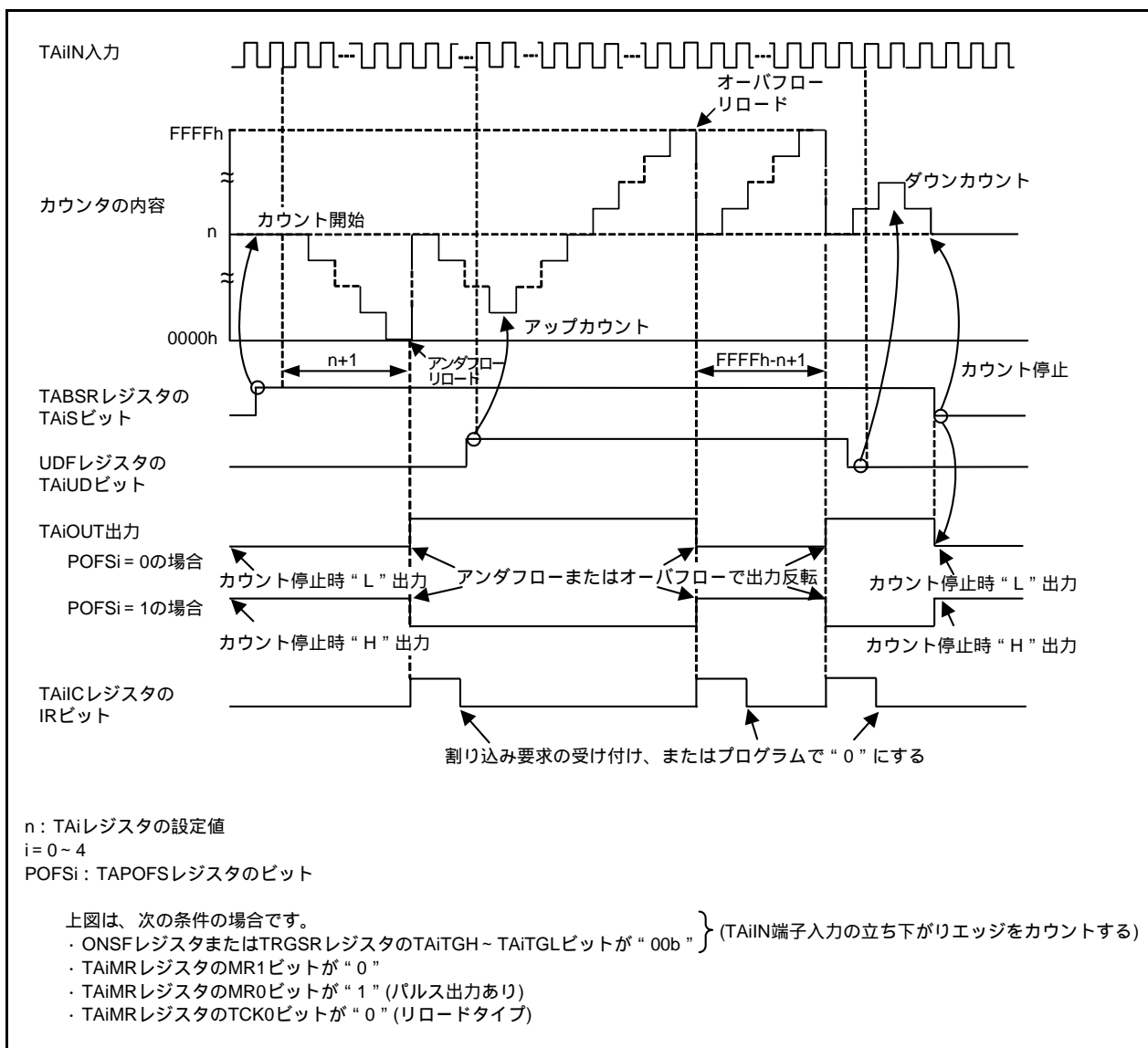


図16.6 イベントカウンタモード時の動作例

16.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)

二相パルス信号をカウントするモードです。タイマA2、A3、A4が使用できます。表16.10にイベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合)を、表16.11にイベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値を示します。

表16.10 イベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 FFFFh - n+1 • ダウンカウント時 n+1 n: TAi レジスタの設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタのTAiS ビットを "1" (カウント開始)にする
カウント停止条件	TAiS ビットを "0" (カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4 レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 通常処理動作、または4通倍処理動作を選択 (タイマA3) • Z相入力によるカウンタ初期化 (タイマA3) • Z相入力により、タイマのカウント値を "0" にする

i=2~4

表16.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	“1” にしてください
CPSRF	CPSR	時計用プリスケーラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	-(設定しないでよい)
PWMFS	PWMFSi	“0” にしてください
TACS0~TACS2	7~0	“00h” にしてください
TAPOFS	POFSi	“0” にしてください
TAOW	TAiOW	“0” にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0” にしてください
	TAZIE	タイマA3でZ相入力を使用するとき“1”にしてください
	TA0TGH~TA0TGL	“00b” にしてください
TRGSR	TAiTGH~TAiTGL	“00b” にしてください
UDF	TAiUD	“0” にしてください
	TAiP	“1” にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=2~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用する場合)
 タイマAiモードレジスタ (i = 2 ~ 4)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 1 0 0 0 1			
シンボル TA2MR ~ TA4MR		アドレス 0338h ~ 033Ah番地	リセット後の値 00h
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット	0: 通常処理動作 1: 4逓倍処理動作	RW

TCK1 (二相パルス処理動作選択ビット) (b7)

タイマ A3 は選択できます。このビットにかかわらずタイマ A2 は通常処理動作に、タイマ A4 は 4 逓倍処理動作に固定です。

16.3.4.1 通常処理動作

TA_jOUT端子(j=2, 3)の入力信号が“H”の期間、TA_jIN端子の立ち上がりをアップカウントし、立ち下がりダウンカウントします。図16.7に通常処理動作を示します。

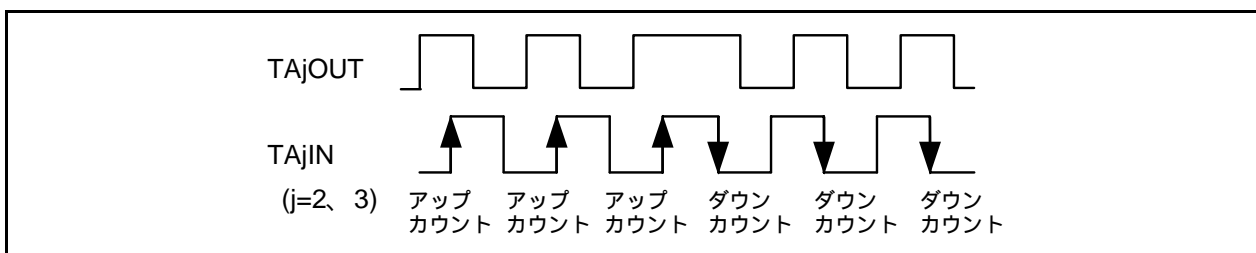


図16.7 通常処理動作

16.3.4.2 4逓倍処理動作

TAKOUT端子(k=3, 4)の入力信号が“H”の期間にTAKIN端子の入力信号が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の入力信号の立ち上がり、立ち下がりアップカウントします。TAKOUT端子の入力信号が“H”の期間にTAKIN端子の入力信号が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の入力信号の立ち上がり、立ち下がりダウンカウントします。

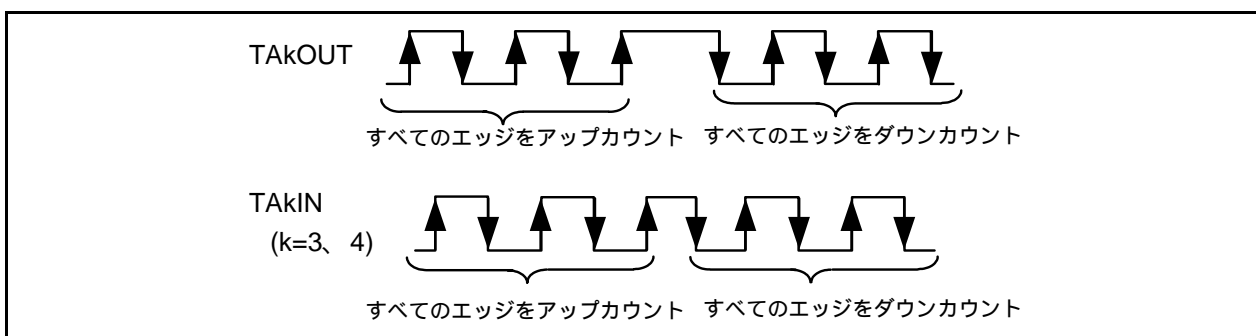


図16.8 4逓倍処理動作

16.3.4.3 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0000h”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図16.9二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

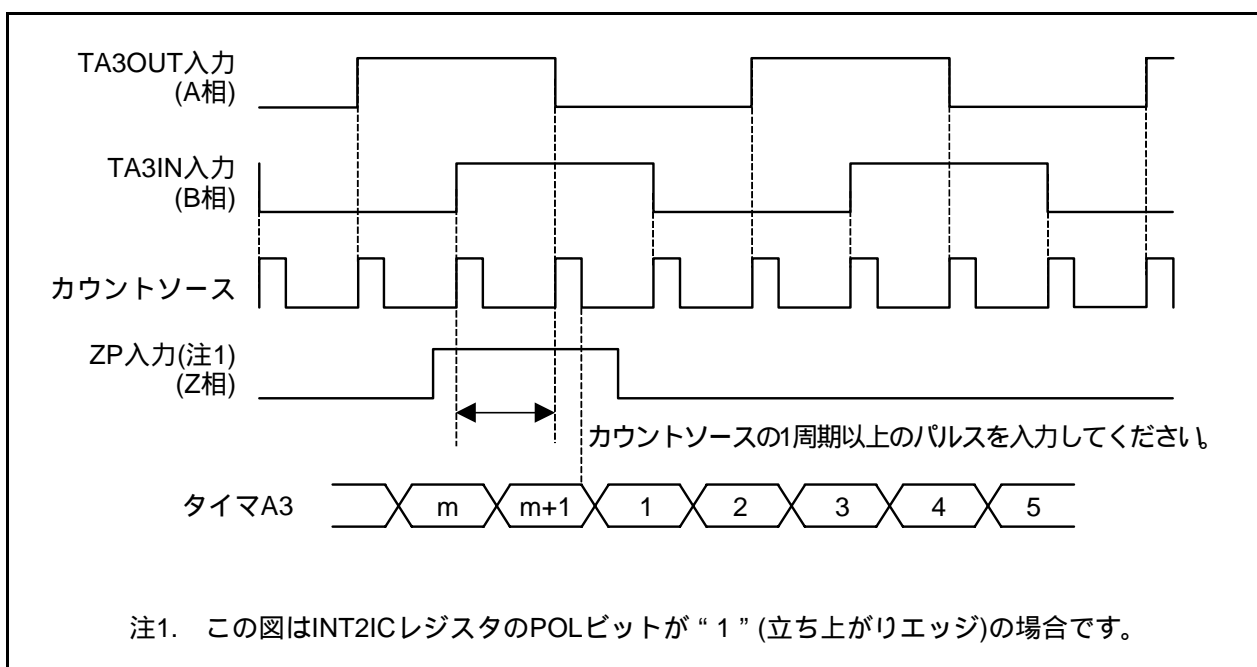
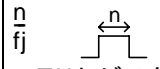


図16.9 二相パルス(A相、B相)とZ相の関係

16.3.5 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。表 16.12 にワンショットタイマモードの仕様を、表 16.13 にワンショットタイマモード時の使用レジスタと設定値を、図 16.10 にワンショットタイマモード時の動作例を示します。

表 16.12 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • カウンタが“0000h”になるタイミングでリロードしてカウントを停止 • カウント中にトリガが発生した場合、リロードしてカウントを継続
パルス幅	 <p>n: TAIレジスタの設定値 0000h~FFFFh ただし、“0000h”を設定した場合、カウンタは動作しない fj: カウントソースの周波数</p>
カウント開始条件	TABSRレジスタのTAISビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> • TAIIN端子からの外部トリガ入力 • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー (j=i-1、ただしi=0のときj=4) • タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4のときk=0) • ONSFレジスタのTAIOSビットを“1”(ワンショット開始)にする
カウント停止条件	<ul style="list-style-type: none"> • カウント値が“0000h”になりリロードした後 • TAI Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が“0000h”になるタイミング
TAIIN端子機能	入出力ポートまたはトリガ入力
TAIOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAIレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAIレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中(ただし、1回目のカウントソース入力後) TAIレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力 • 出力極性制御 TAIOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表16.13 ワンショットタイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	f1を使用する場合“0”にしてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	MR2ビットが“0”でカウントを開始するとき“1”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

ワンショットタイマモード タイマAiモードレジスタ (i=0~4)		シンボル	アドレス	リセット後の値						
b7	b6	b5	b4	b3	b2	b1	b0	TA0MR ~ TA4MR	0336h ~ 033Ah番地	00h
		0				1	0			
ビット シンボル	ビット名	機能		RW						
TMOD0	動作モード選択ビット	b1 b0	1 0: ワンショットタイマモード	RW						
TMOD1				RW						
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)		RW						
MR1	外部トリガ選択ビット	0: TAIiN端子の入力信号の立ち下がり 1: TAIiN端子の入力信号の立ち上がり		RW						
MR2	トリガ選択ビット	0: TAIOSビットが有効 1: TAIIGH ~ TAIIGLビットで選択		RW						
MR3	ワンショットタイマモードでは“0”にしてください			RW						
TCK0	カウントソース選択 ビット	b7 b6	0 0: f1TIMABまたはf2TIMAB	RW						
TCK1		0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32								

MR1 (外部トリガ選択ビット) (b3)

MR2ビットが“1”、かつONSFレジスタまたはTRGSRレジスタのTAiIGH~TAiIGLビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

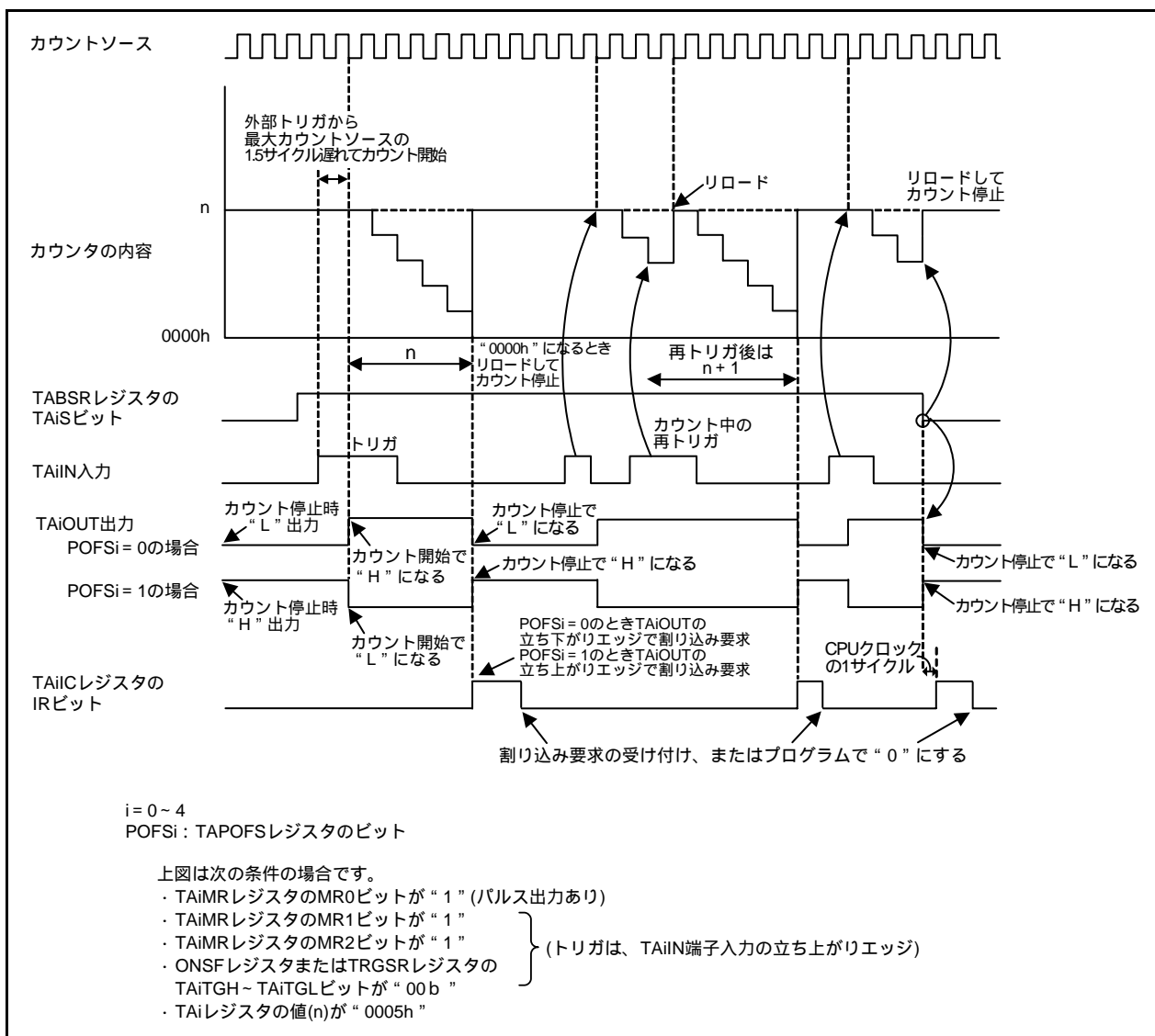
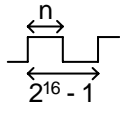
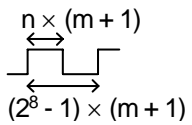


図 16.10 ワンショットタイマモード時の動作例

16.3.6 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。表16.14にパルス幅変調モードの仕様を、表16.15にパルス幅変調モード時の使用レジスタと設定値を、図16.11に16ビットパルス幅変調モードの動作例を、図16.12に8ビットパルス幅変調モードの動作例を示します。

表16.14 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^{16}-1)}{f_j}$ <p>n:TAiレジスタの設定値 fj:カウントソースの周波数</p>
8ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n \times (m+1)}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^8-1) \times (m+1)}{f_j}$ <p>m:TAiレジスタの下位番地の設定値 n:TAiレジスタの上位番地の設定値 fj:カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSRレジスタのTAiSビットを“1”(カウント開始)にする • TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー (j=i-1、ただしi=0のときj=4)、 タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4のときk=0)
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 16.15 パルス幅変調モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	f1を使用する場合“0”にしてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	PWMのパルス幅、周期を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

パルス幅変調モード タイマAiモードレジスタ(i = 0 ~ 4)			
シンボル TA0MR ~ TA4MR		アドレス 0336h ~ 033Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW
			RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット	0: TAIiN端子の入力信号の立ち下がり 1: TAIiN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAITGH ~ TAITGLビットで選択	RW
MR3	16/8ビットPWMモード選択 ビット	0: 16ビットPWMモード 1: 8ビットPWMモード	RW
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1			

MR1 (外部トリガ選択ビット) (b3)

MR2ビットが“1”、かつONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

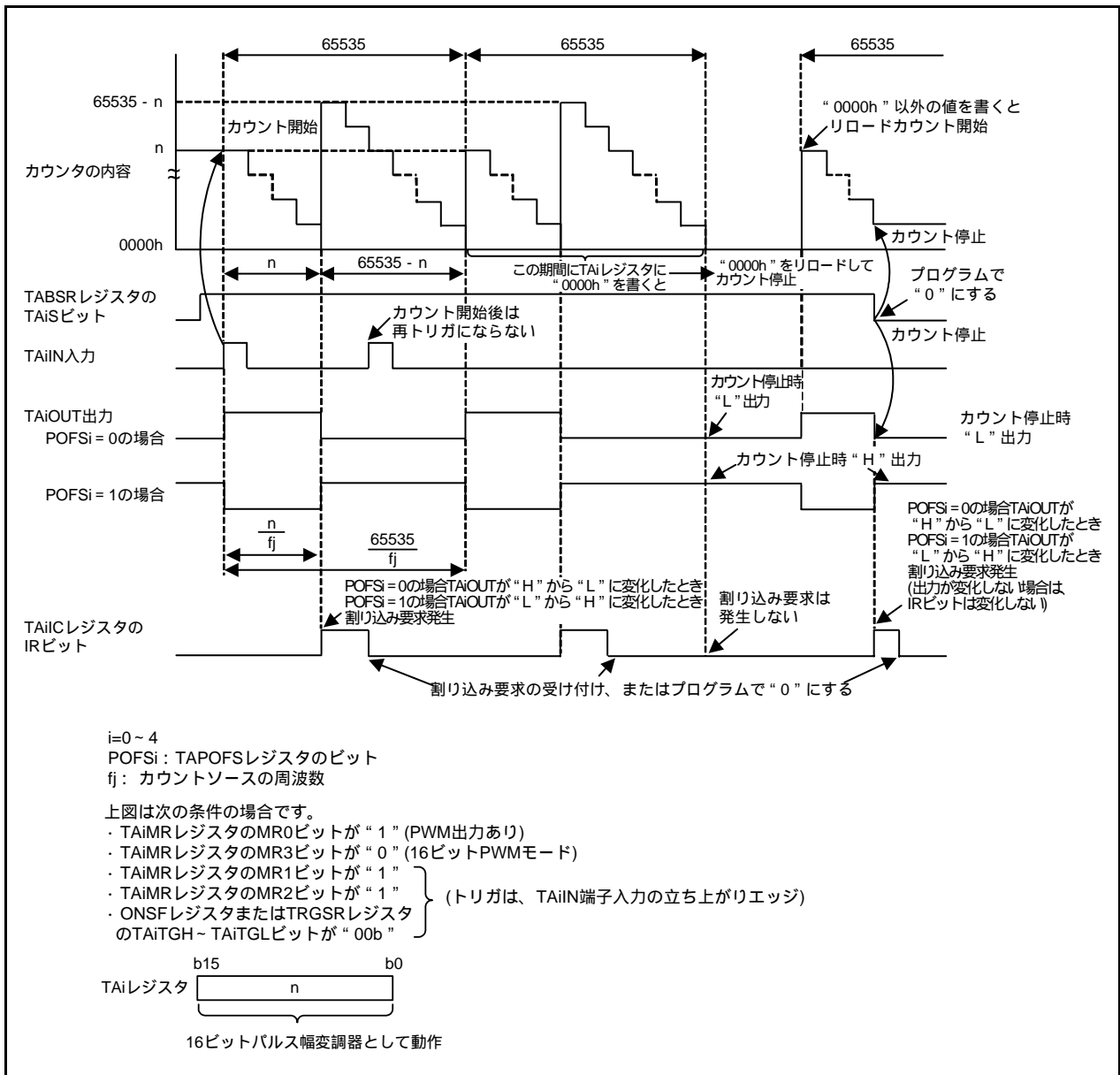


図 16.11 16ビットパルス幅変調モードの動作例

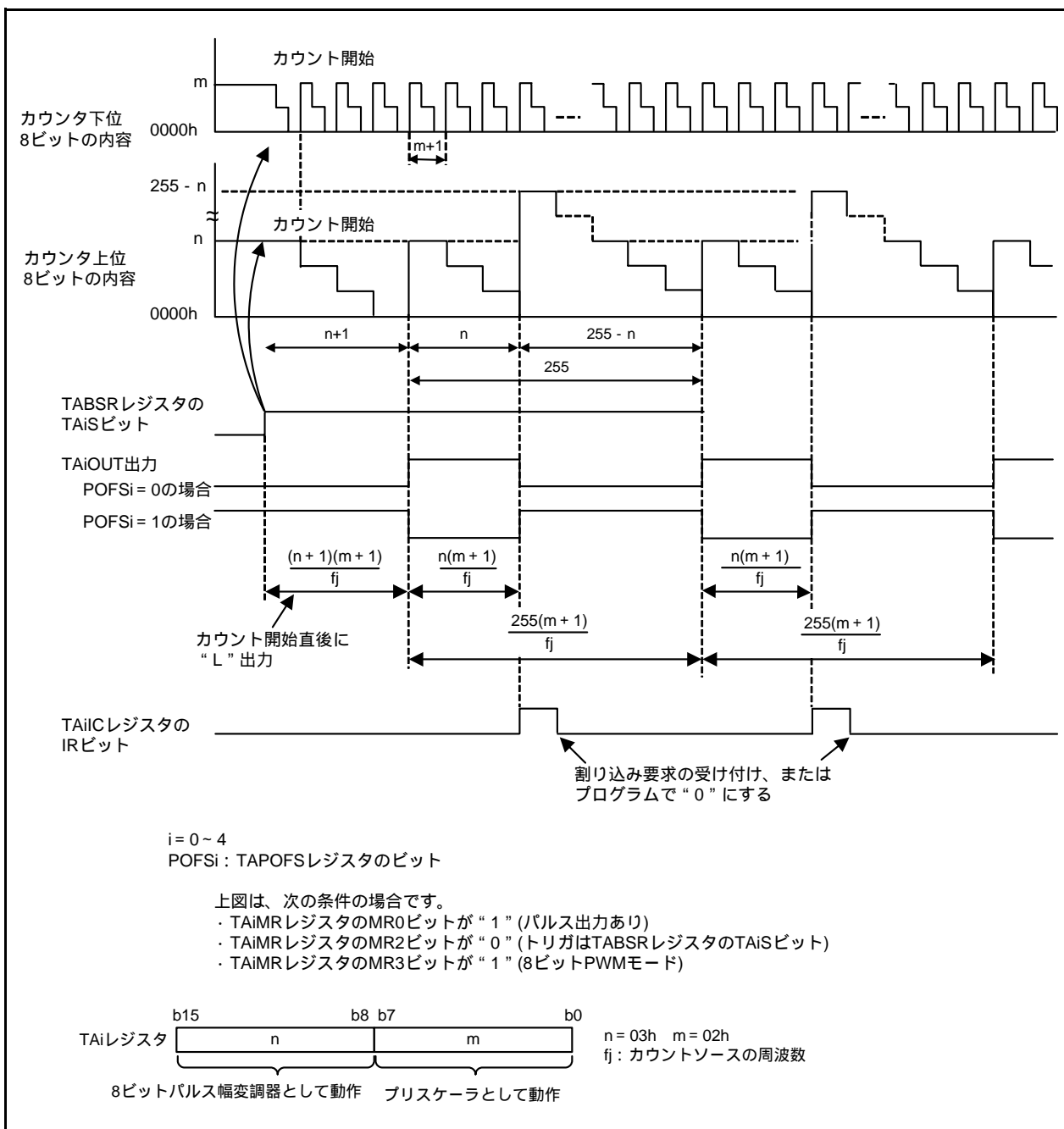
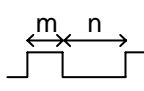


図 16.12 8ビットパルス幅変調モードの動作例

16.3.7 プログラマブル出力モード (タイマA1、A2、A4)

任意の“H”幅、“L”幅のパルスを連続して出力するモードです。表16.16にプログラマブル出力モードの仕様を、表16.17にプログラマブル出力モード時の使用レジスタと設定値を、図16.13にプログラマブル出力モード時の動作例を示します。

表16.16 プログラマブル出力モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • パルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
パルス幅	<ul style="list-style-type: none"> • “H”幅 $\frac{m}{f_j}$  <ul style="list-style-type: none"> • “L”幅 $\frac{n}{f_j}$ <p>m:TAiレジスタの設定値 n:TAi1レジスタの設定値 fj:カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSRレジスタのTAiSビットを“1”(カウント開始)にする • TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー (j=i-1)、 タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4ときk=0)
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	パルスの立ち上がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAi、TAi1レジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAi、TAi1レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAi、TAi1レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の期間は“H”を出力)

i=1, 2, 4

表16.17 プログラマブル出力モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	f1を使用する場合“0”にしてください
PWMFS	PWMFSi	“1”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	出力波形の変更を禁止するとき“0”に、許可するとき“1”にしてください
TAi1	15~0	“L”幅を設定してください(注2)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

プログラマブル出力モード タイマAiモードレジスタ(i= 1、 2、 4)																			
シンボル TA0MR ~ TA4MR		アドレス 0336h ~ 033Ah番地	リセット後の値 00h																
<table border="1"> <tr> <td>b7</td><td>b6</td><td>b5</td><td>b4</td><td>b3</td><td>b2</td><td>b1</td><td>b0</td> </tr> <tr> <td></td><td></td><td>0</td><td></td><td></td><td></td><td>1</td><td>1</td> </tr> </table>				b7	b6	b5	b4	b3	b2	b1	b0			0				1	1
b7	b6	b5	b4	b3	b2	b1	b0												
		0				1	1												
ビット シンボル	ビット名	機 能	RW																
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW																
			RW																
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW																
MR1	外部トリガ選択ビット	0: TAIiN端子の入力信号の立ち下がり 1: TAIiN端子の入力信号の立ち上がり	RW																
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAIiTGH ~ TAIiTGLビットで選択	RW																
MR3	プログラマブル出力モードでは、“0”にしてください		RW																
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW																
TCK1																			

MR1 (外部トリガ選択ビット) (b3)

MR2ビットが“1”、かつONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

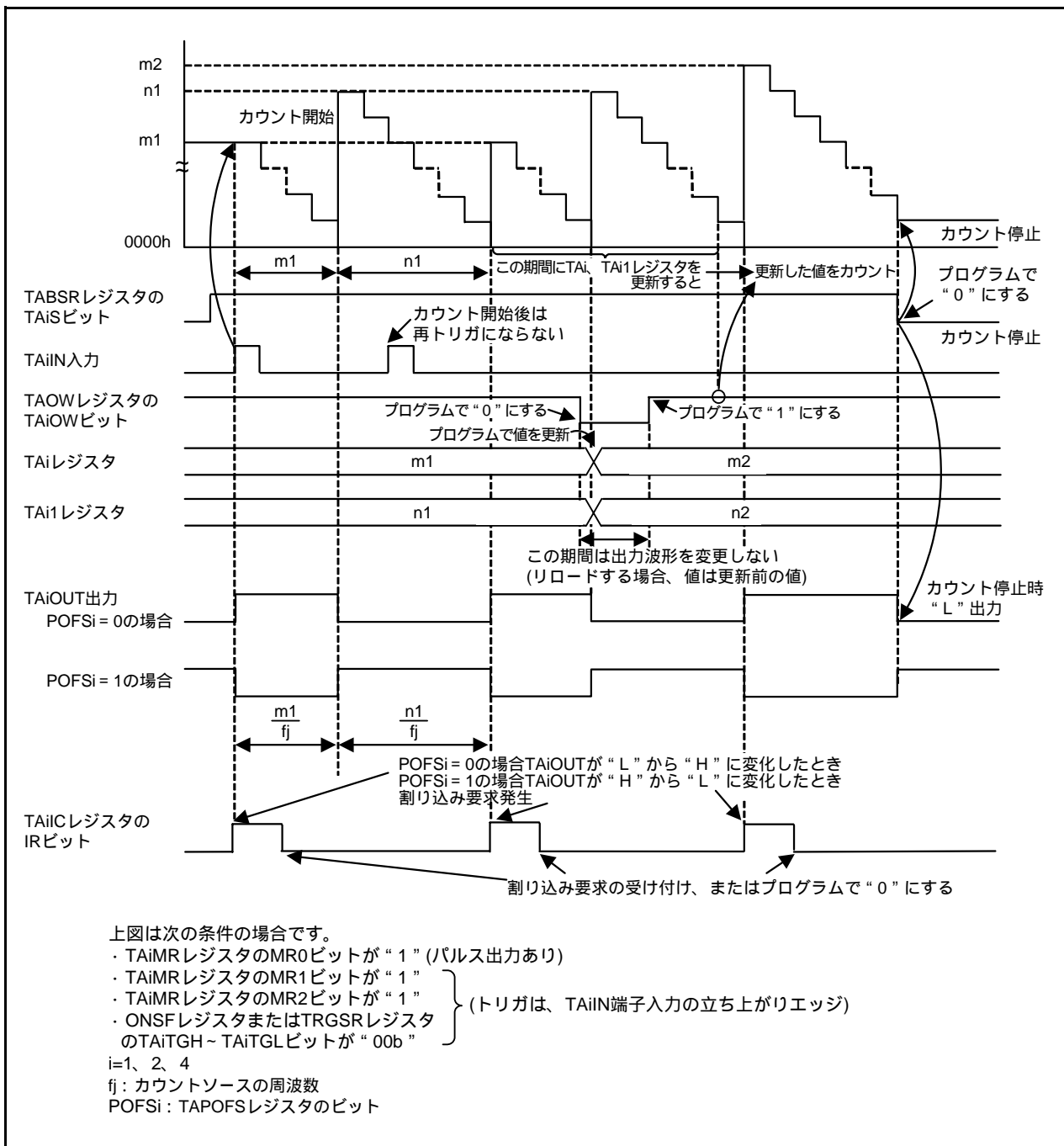


図 16.13 プログラマブル出力モード時の動作例

16.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表16.18にタイマAの割り込み関連レジスタを示します。

表16.18 タイマAの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b

タイマAi割り込みでは、TAiMRレジスタのTMOD1ビットを“0”から“1”（タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWMモードまたはプログラマブル出力モード）に変更すると、TAiICレジスタのIRビットが“1”（割り込み要求あり）になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「13.13 割り込み使用上の注意事項」も参照してください。

- (1) TAiICレジスタのILVL2~ILVL0ビットを“000b”（割り込み禁止）にする。
- (2) TAiMRレジスタを設定する。
- (3) TAiICレジスタのIRビットを“0”（割り込み要求なし）にする。

16.5 タイマA使用上の注意事項

16.5.1 複数モードに関わる共通事項

16.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

16.5.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

16.5.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/CTS2/RTS2/TA1IN/V、P7_4/TA2OUT/W、P7_5/TA2IN/W、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/CTS5/RTS5/U

16.5.2 タイマA(タイマモード)

16.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

16.5.3 タイマA(イベントカウンタモード)

16.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

16.5.4 タイマA (ワンショットタイマモード)

16.5.4.1 カウントを中断した場合の状態

カウント中にTAiS ビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT 端子は、TAPOFS レジスタのPOFSi ビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiC レジスタのIR ビットが“1”(割り込み要求あり)になります。

16.5.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

16.5.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、IR ビットを“0”にしてください。

16.5.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

16.5.5 タイマA (パルス幅変調モード)

16.5.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

16.5.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

16.5.6 タイマA (プログラマブル出力モード)

16.5.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

16.5.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

17. タイマB

17.1 概要

タイマBにはタイマB0~B5があります。すべてのタイマは独立して動作します。表17.1にタイマBの仕様、図17.1にタイマA、Bカウントソース、図17.2にタイマB構成、図17.3にタイマBブロック図、表17.2に入出力端子を示します。

表17.1 タイマBの仕様

項目	内容
構成	16ビットタイマ×6
動作モード	<ul style="list-style-type: none"> •タイマモード 内部カウントソースをカウントするモード •イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード •パルス周期測定モード、パルス幅測定モード 外部信号のパルス周期、またはパルス幅を測定するモード
割り込み要因	オーバフロー / アンダフロー / 測定パルスの有効エッジ × 6

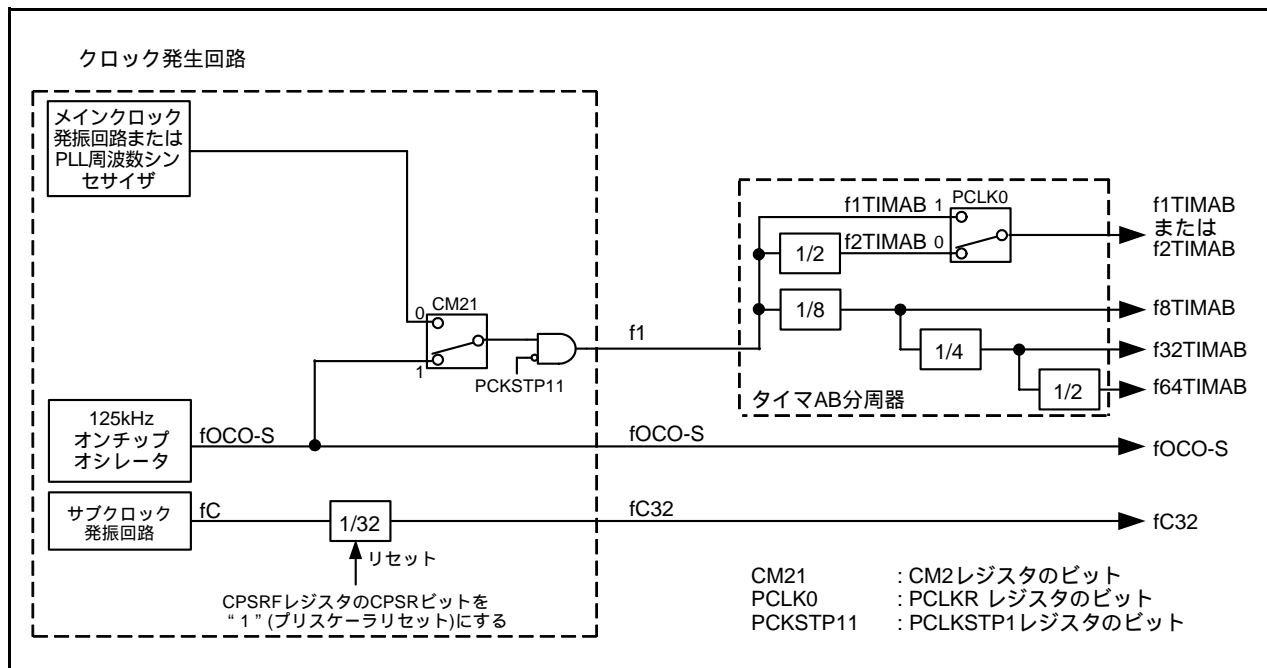


図17.1 タイマA、Bカウントソース

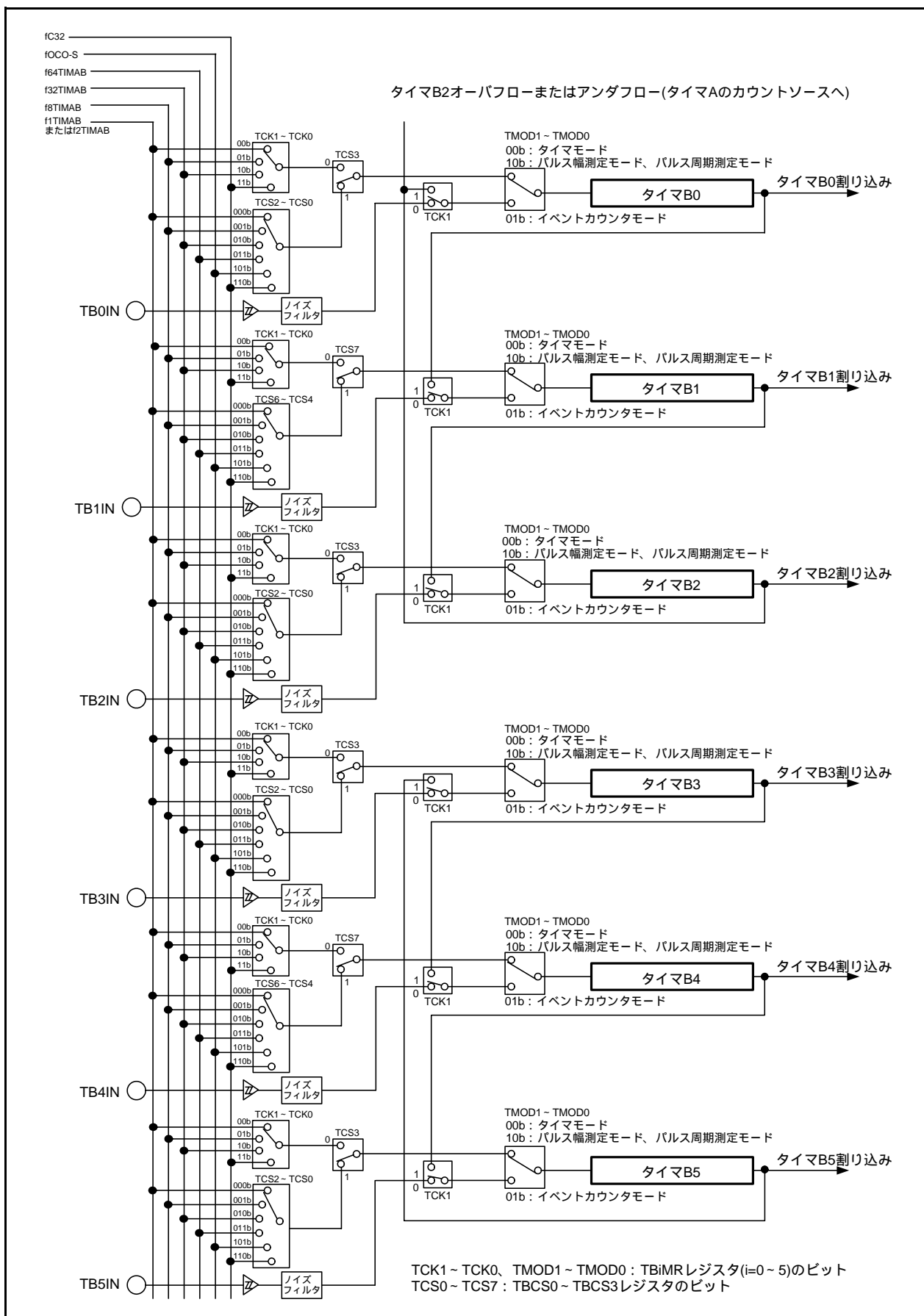


図17.2 タイマB構成

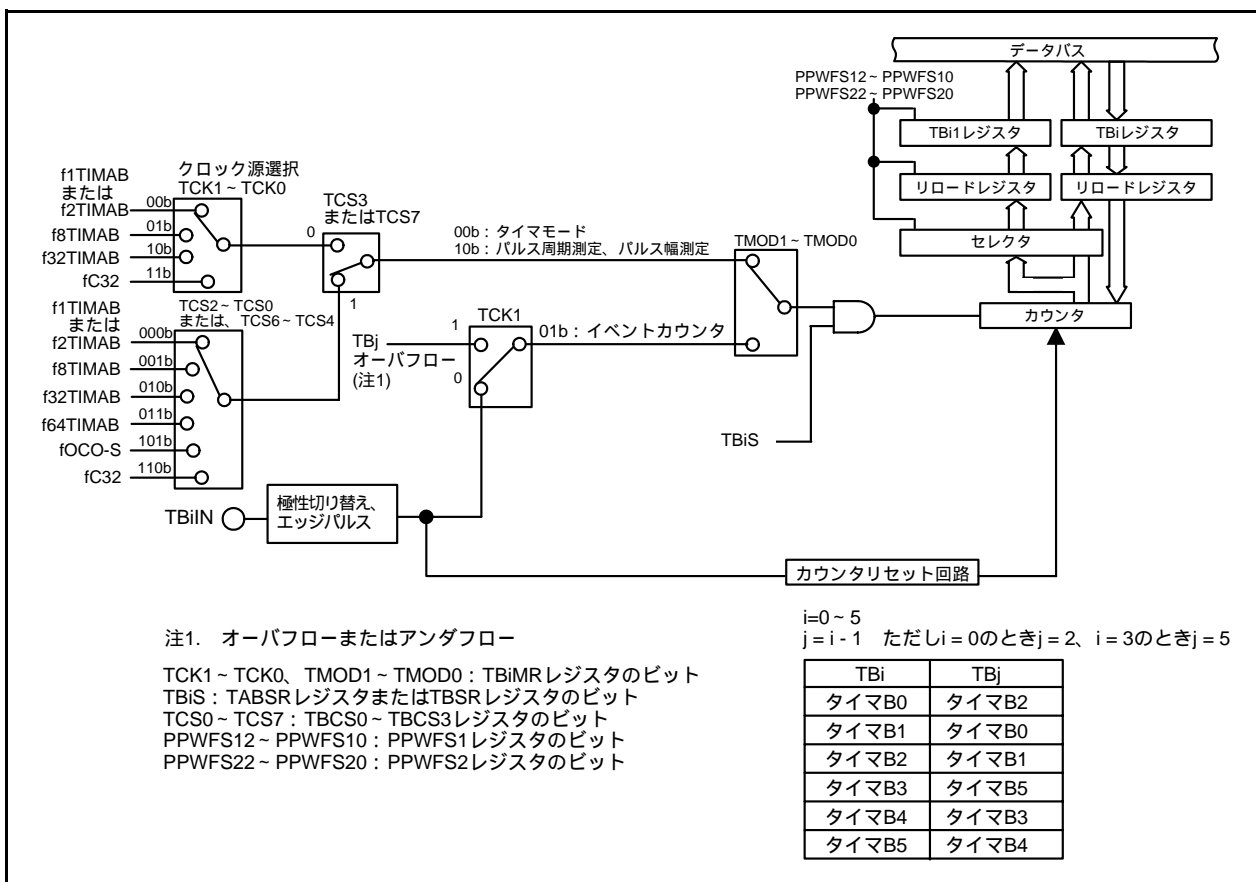


図17.3 タイマBブロック図

表17.2 入出力端子

端子名	入出力	機能
TBI _i N	入力(注1)	カウントソース入力(イベントカウンタモード) 測定パルス入力(パルス周期測定モード、パルス幅測定モード)

$i=0 \sim 5$

注1. TBI_iN 端子を入力で使用する場合、端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

17.2 レジスタの説明

タイマB関連レジスタを表17.3~表17.4レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表17.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h	周辺クロック停止レジスタ 1	PCLKSTP1	X000 0000b
01C0h	タイマB0-1レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	XXXX X000b
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	X0h
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	000X XXXXb
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
0320h	カウント開始フラグ	TABSR	00h
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh

表17.4 レジスタ一覧 (2/2)

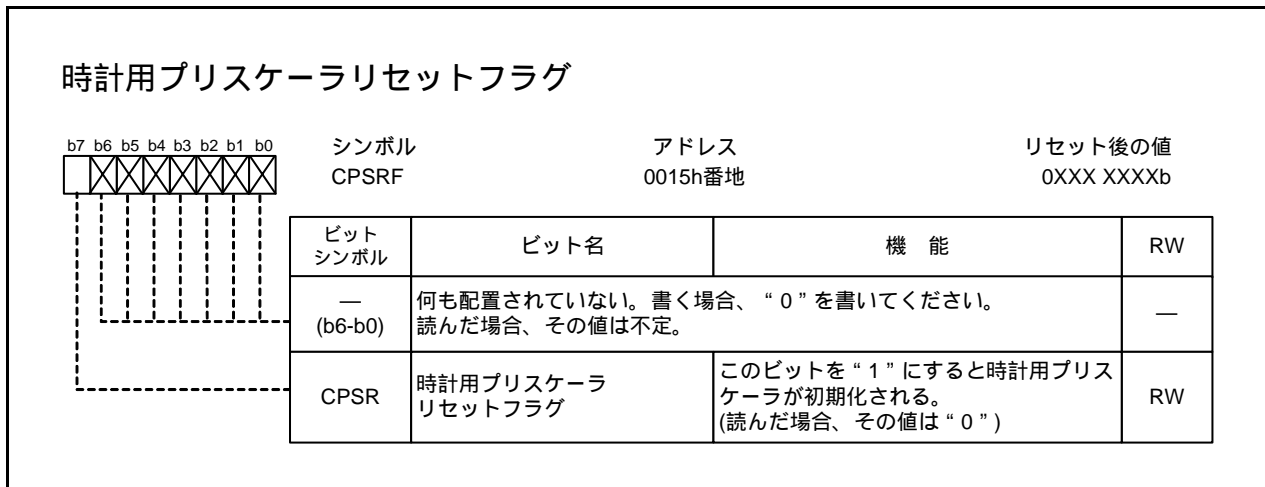
アドレス	レジスタ名	レジスタシンボル	リセット後の値
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Bh	タイマB0モ - ドレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モ - ドレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モ - ドレジスタ	TB2MR	00XX 0000b

17.2.1 周辺クロック選択レジスタ (PCLKR)

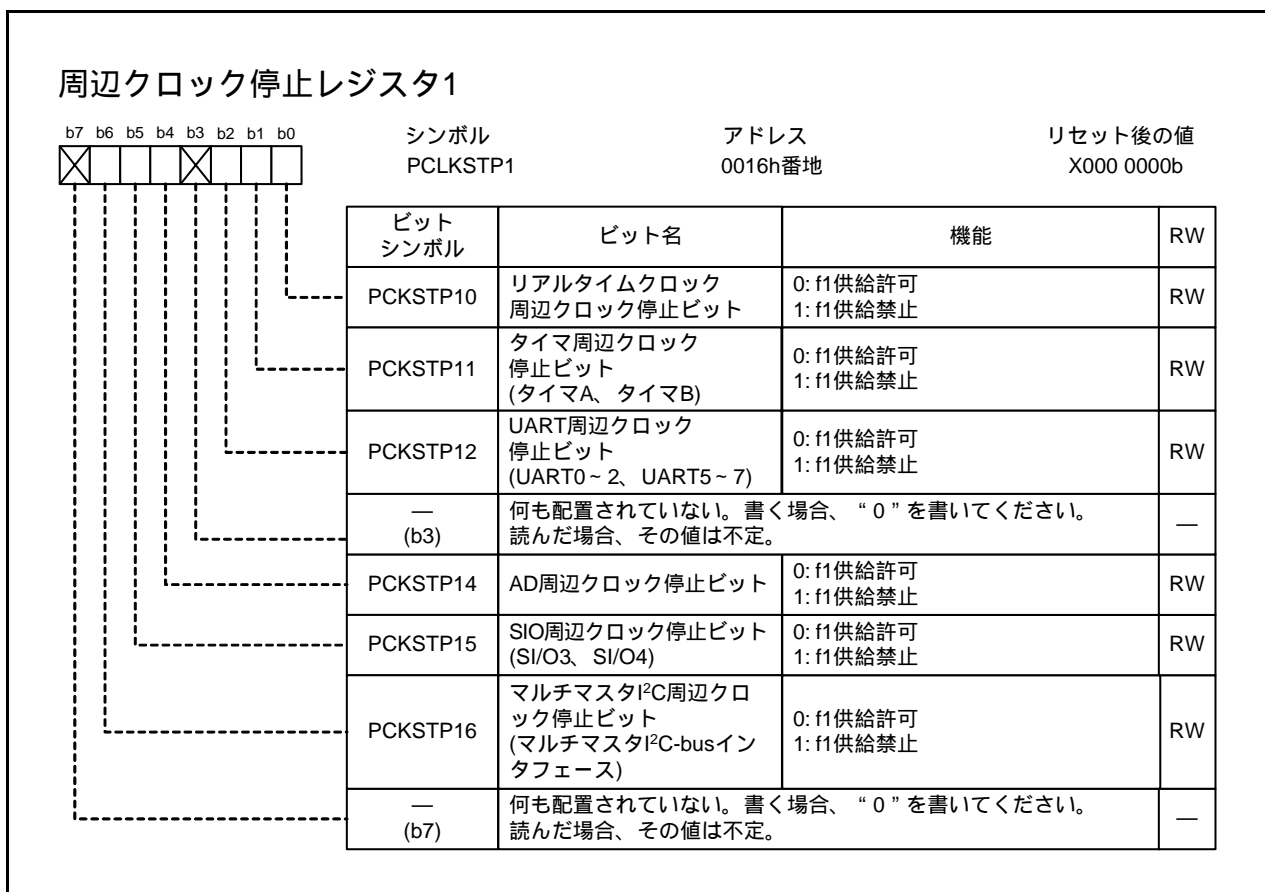
周辺クロック選択レジスタ			
ビットシンボル	ビット名	機能	RW
シンボル PCLKR アドレス 0012h番地 リセット後の値 0000 0011b b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 0 0			
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、マルチマスタI ² C-bus インタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~UART7、SI/O3、SI/O4のクロック源)	0 : f2SIO 1 : f1SIO	RW
(b4-b2)	予約ビット	"0" にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
(b7-b6)	予約ビット	"0" にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

17.2.2 時計用プリスケアラリセットフラグ(CPSRF)



17.2.3 周辺クロック停止レジスタ 1 (PCLKSTP1)



PCLKSTP1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP11(タイマ周辺クロック停止ビット) (b1)

カウントソースのクロック源としてf1を使用する場合、PCKSTP11ビットを“0”(f1供給許可)にしてください。

17.2.4 タイマBiレジスタ (TBi) (i=0~5)

タイマBiレジスタ(i=0 ~ 5)			
(b15) b7	(b8) b0 b7 b0	シンボル	アドレス
		TB0	0331h ~ 0330h番地
		TB1	0333h ~ 0332h番地
		TB2	0335h ~ 0334h番地
		TB3	0311h ~ 0310h番地
		TB4	0313h ~ 0312h番地
		TB5	0315h ~ 0314h番地
			リセット後の値
			XXXXh
			XXXXh
			XXXXh
			XXXXh
			XXXXh
			XXXXh

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、 カウンタ周期： $\frac{(n+1)}{fj}$	0000h ~ FFFFh	RW
イベントカウンタモード	設定値をnとすると、 n+1回カウント	0000h ~ FFFFh	RW
パルス周期測定モード パルス幅測定モード	初期値を設定する パルス周期またはパルス幅を測定する カウント中の値を読み出す	0000h ~ FFFFh	RW

fj: カウントソースの周波数

16ビット単位でアクセスしてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

パルス周期測定モード、パルス幅測定モード

TABSRまたはTBSRレジスタのTBiSビットが“0”(カウント停止)のときに設定してください。

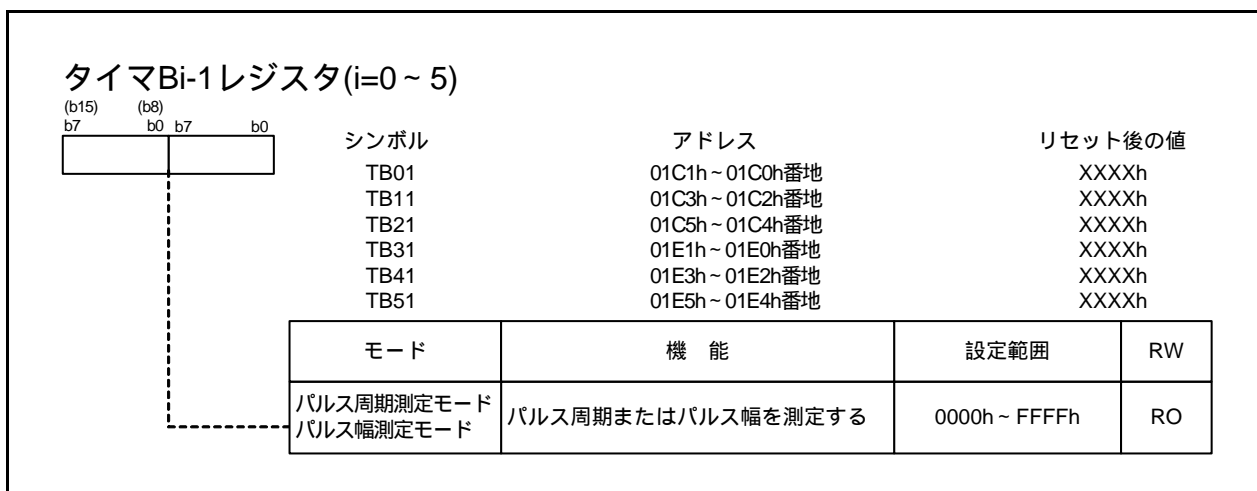
TABSRまたはTBSRレジスタのTBiSビットが“1”(カウント開始)のときはROになります。

カウンタは測定パルスの有効エッジからカウントソースのカウントを開始し、次の有効エッジでカウント値をレジスタに転送し、カウントを続けます。

PPWFS1レジスタのPPWFS12~PPWFS10ビット、PPWFS2レジスタのPPWFS22~PPWFS20ビットが“0”のとき、TBiレジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“1”のとき、TBiレジスタを読むとカウント中のカウンタの値が読み出せます。

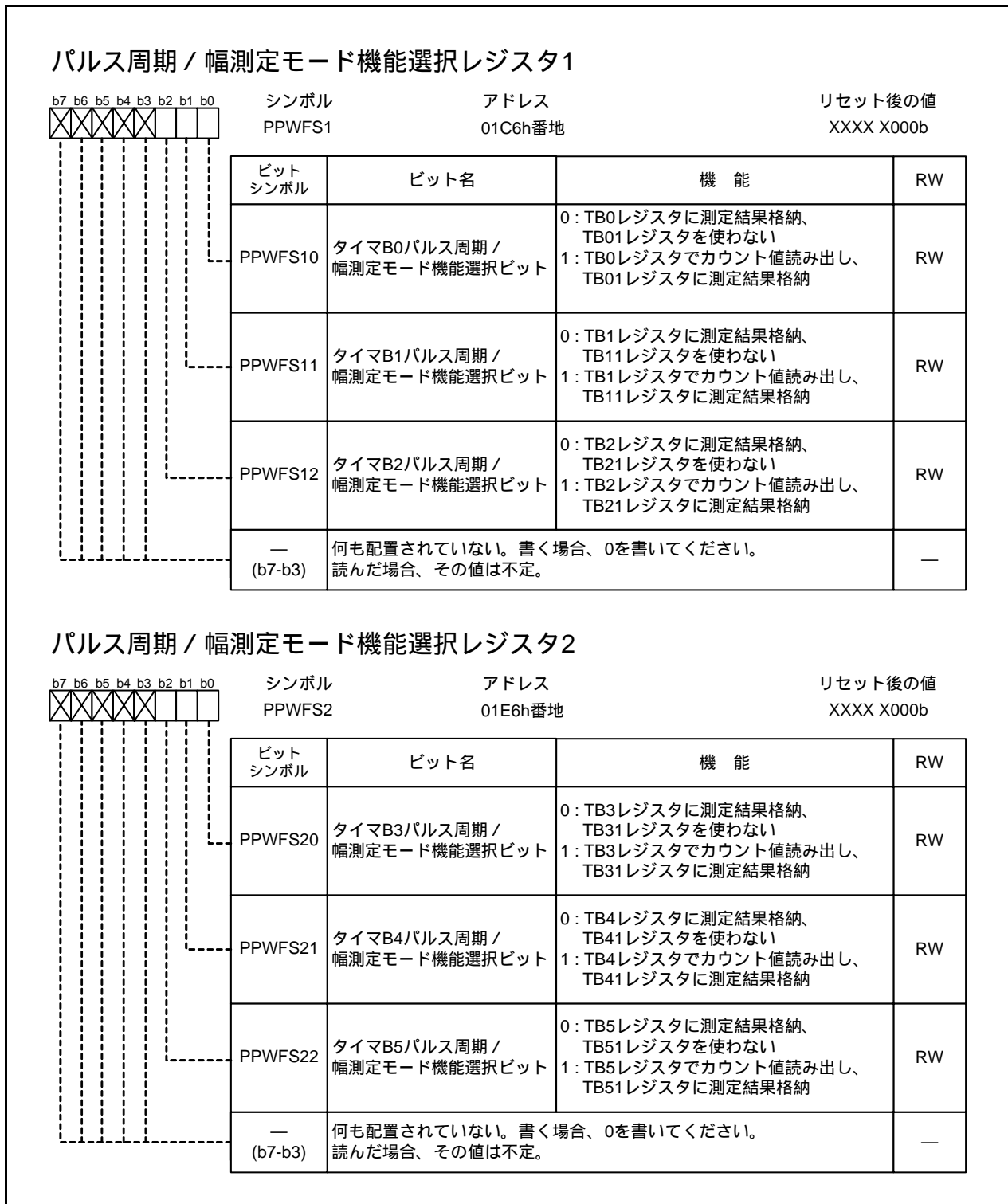
17.2.5 タイマBi-1 レジスタ (TBi1) (i=0~5)



16ビット単位でアクセスしてください。

PPWFS1 レジスタの PPWFS12~PPWFS10 ビット、PPWFS2 レジスタの PPWFS22~PPWFS20 ビットが “1” のとき、TBi1 レジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10、PPWFS22~PPWFS20 ビットが “0” のとき、TBi1 レジスタの値は不定です。

17.2.6 パルス周期/幅測定モード機能選択レジスタ_i (PPWFS_i) (i=1, 2)

パルス周期測定モードまたはパルス幅測定モードのとき有効です。

17.2.7 タイマBカウントソース選択レジスタ*i* (TBCSi) (*i*=0~3)

タイマBカウントソース選択レジスタ0、タイマBカウントソース選択レジスタ2			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	TBCS0 TBCS2	01C8h番地 01E8h番地	00h 00h
ビットシンボル	ビット名	機能	RW
TCS0	T <i>B</i> iカウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB	RW
		0 0 1: f8TIMAB	
		0 1 0: f32TIMAB	
TCS1		0 1 1: f64TIMAB	RW
		1 0 0: 設定しないでください	
TCS2		1 0 1: fOCO-S	RW
		1 1 0: fC32	
TCS3	T <i>B</i> iカウントソース選択肢指定ビット	1 1 1: 設定しないでください	RW
		0: TCK0~TCK1有効、TCS0~TCS2無効 1: TCK0~TCK1無効、TCS0~TCS2有効	
TCS4	T <i>B</i> jカウントソース選択ビット	b6 b5 b4 0 0 0: f1TIMABまたはf2TIMAB	RW
		0 0 1: f8TIMAB	
		0 1 0: f32TIMAB	
TCS5		0 1 1: f64TIMAB	RW
		1 0 0: 設定しないでください	
TCS6		1 0 1: fOCO-S	RW
		1 1 0: fC32	
TCS7	T <i>B</i> jカウントソース選択肢指定ビット	1 1 1: 設定しないでください	RW
		0: TCK0~TCK1有効、TCS4~TCS6無効 1: TCK0~TCK1無効、TCS4~TCS6有効	

TBCS0レジスタ: *i*=0、*j*=1、TBCS2レジスタ: *i*=3、*j*=4

タイマBカウントソース選択レジスタ1、タイマBカウントソース選択レジスタ3			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	TBCS1 TBCS3	01C9h番地 01E9h番地	X0h X0h
ビットシンボル	ビット名	機能	RW
TCS0	T <i>B</i> iカウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB	RW
		0 0 1: f8TIMAB	
		0 1 0: f32TIMAB	
TCS1		0 1 1: f64TIMAB	RW
		1 0 0: 設定しないでください	
TCS2		1 0 1: fOCO-S	RW
		1 1 0: fC32	
TCS3	T <i>B</i> iカウントソース選択肢指定ビット	1 1 1: 設定しないでください	RW
		0: TCK0~TCK1有効、TCS0~TCS2無効 1: TCK0~TCK1無効、TCS0~TCS2有効	
— (b7-b4)	何も配置されていない。 書く場合0を書いてください。読んだ場合、その値は不定。		—

TBCS1レジスタ: *i*=2、TBCS3レジスタ: *i*=5

TCS2~TCS0 (T*B*iカウントソース選択ビット) (b2~b0)TCS6~TCS4 (T*B*jカウントソース選択ビット) (b6~b4)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

17.2.8 カウント開始フラグ(TABSR)
 タイマB3, 4, 5カウント開始フラグ(TBSR)

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TABSR	アドレス 0320h番地	リセット後の値 00h
-------------------------	---------------	-----------------	----------------

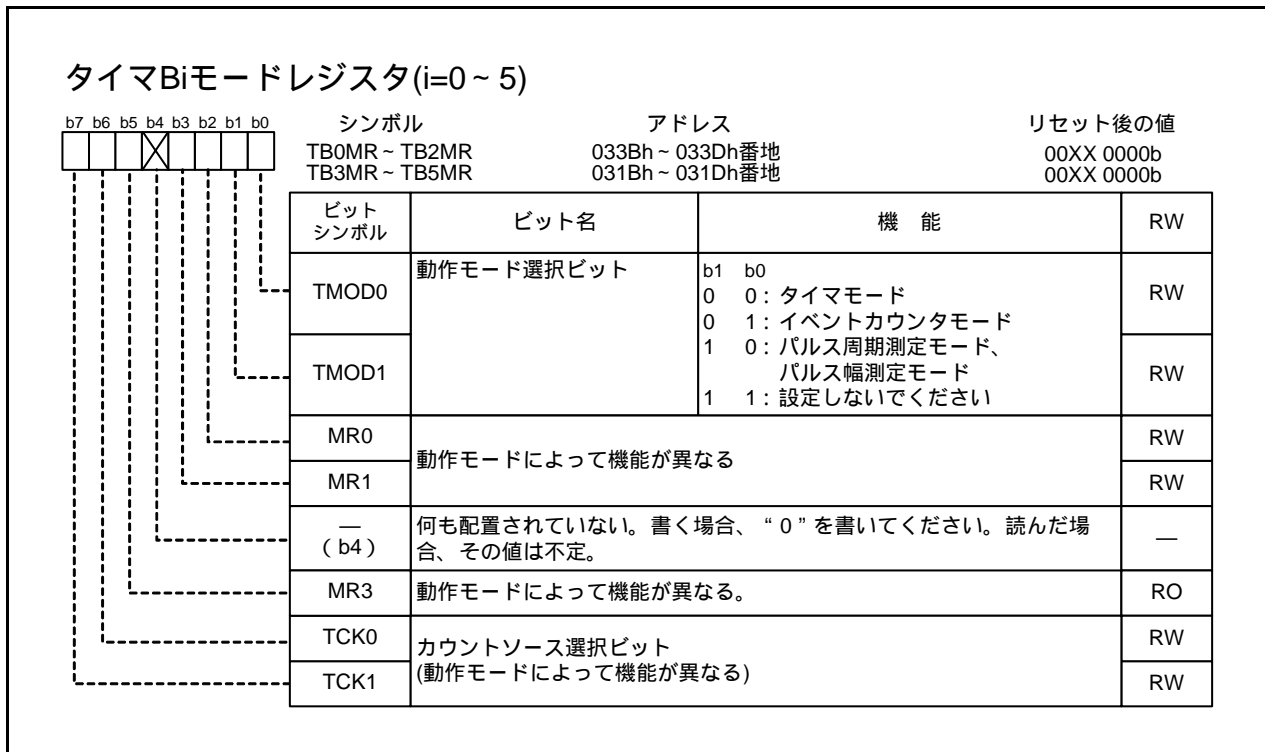
ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

タイマB3, 4, 5カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TBSR	アドレス 0300h番地	リセット後の値 000X XXXXb
-------------------------	--------------	-----------------	-----------------------

ビット シンボル	ビット名	機 能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TB4S	タイマB4カウント開始フラグ		RW
TB5S	タイマB5カウント開始フラグ		RW

17.2.9 タイマBiモードレジスタ (TBiMR) (i=0~5)



17.3 動作説明

17.3.1 複数モードに関わる共通事項

17.3.1.1 動作クロック

タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

17.3.1.2 カウンタリロードタイミング

タイマBiはT_{Bi}レジスタに設定された値(nとします)からカウントを開始します。T_{Bi}レジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタはnからカウントソースをダウンカウントします。そして、“0000h”になった次のカウントソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます。

T_{Bi}レジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウントソースが入力されるまで
T_{Bi}レジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウントソースが入力された後
T_{Bi}レジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
カウンタはカウント中の値を引き続きカウントし、“0000h”になった次のカウントソースでリロードレジスタの値をリロードする。

17.3.1.3 カウントソース

タイマモード、パルス周期測定モード、パルス幅測定モードでは、内部のクロックをカウントします（「図17.1 タイマA、Bカウントソース」参照）。表17.5にタイマBカウントソースを示します。

f1は次のいずれかです。（「8. クロック発生回路」参照）また、f1を使用する場合は、PCLKSTP1レジスタのPCKSTP11ビットを“0”（f1供給許可）にしてください。

- メインクロックの1分周（分周なし）
- PLLクロックの1分周（分周なし）
- fOCO-Sの1分周（分周なし）

表17.5 タイマBカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS4~TCS6	TCK1~TCK0	
f1TIMAB	1	0	-	00b	f1
		1	000b	-	
f2TIMAB	0	0	-	00b	f1の2分周
		1	000b	-	
f8TIMAB	-	0	-	01b	f1の8分周
		1	001b	-	
f32TIMAB	-	0	-	10b	f1の32分周
		1	010b	-	
f64TIMAB	-	1	011b	-	f1の64分周
fOCO-S	-	1	101b	-	fOCO-S
fC32	-	0	-	11b	fC32
		1	110b	-	

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TBCS0~TBCS3レジスタのビット

TCK1~TCK0: TBIMR (i=0~5)レジスタのビット

17.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表17.6にタイマモードの仕様、表17.7にタイマモード時の使用レジスタと設定値、図17.4にタイマモード時の動作例を示します。

表17.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウンタ周期	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5

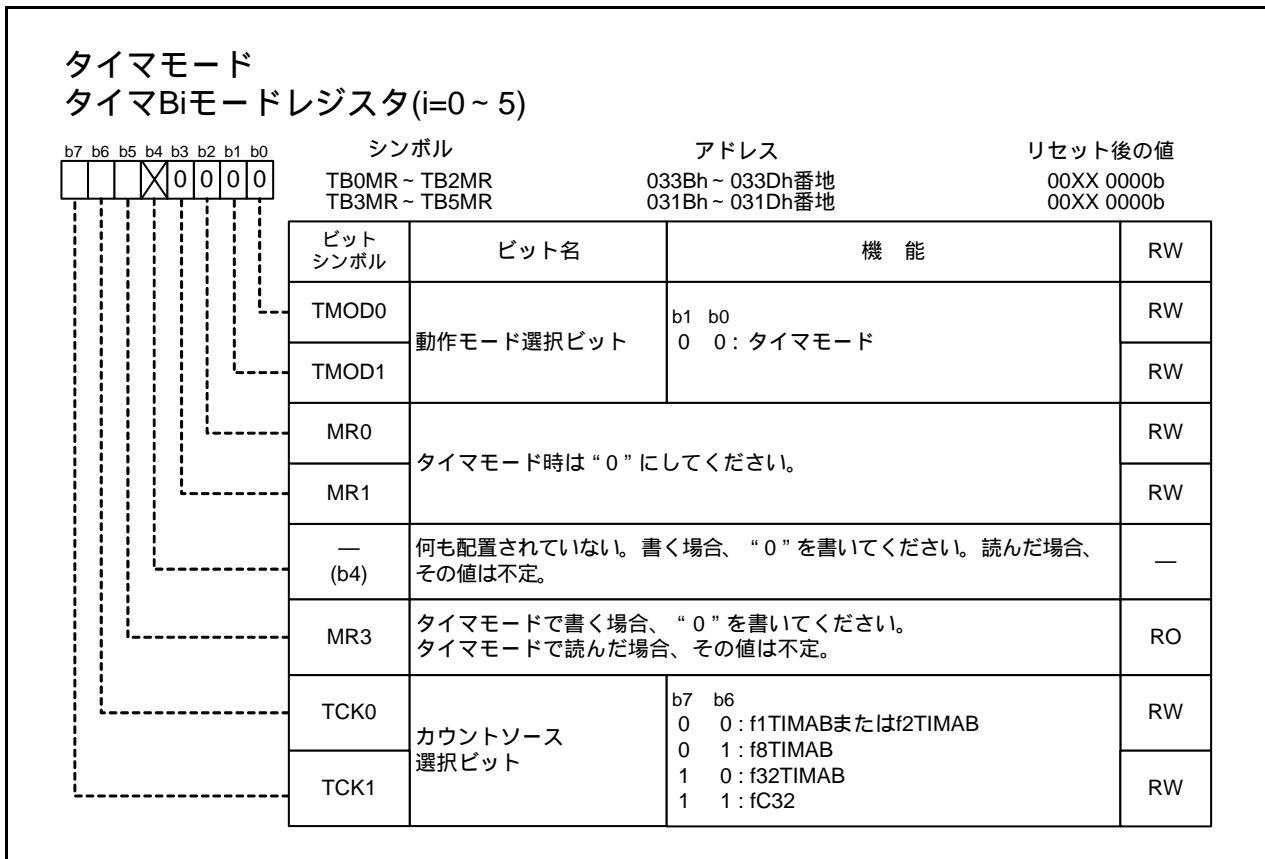
TBiS: TABSRまたはTBSRレジスタのビット

表17.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	f1を使用する場合“0”にしてください
TBi1	15~0	-(設定しないでよい)
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	“0”にしてください
TBCS0~TBCS3	7~0	カウントソースを選択してください
TABSR TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。



TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS3レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

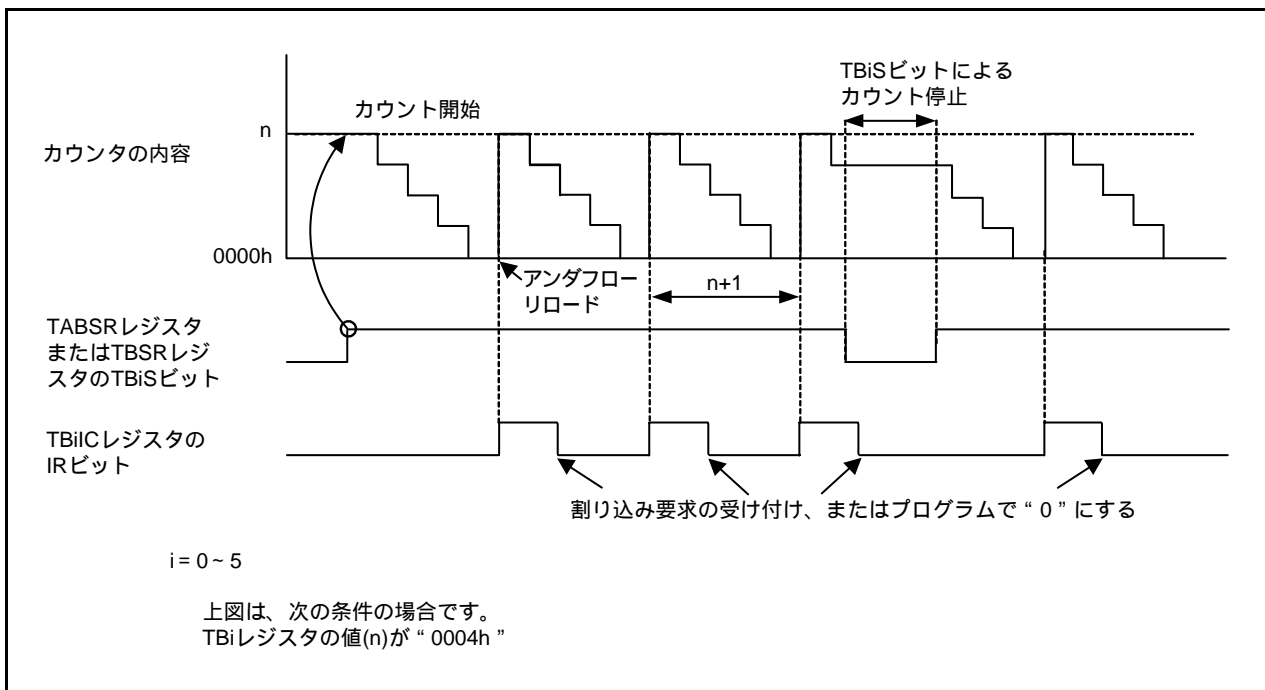


図17.4 タイマモード時の動作例

17.3.3 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。表 17.8 にイベントカウンタモードの仕様、表 17.9 にイベントカウンタモード時の使用レジスタと設定値、図 17.5 にイベントカウンタモード時の動作例を示します。

表 17.8 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN 端子に入力された外部信号 (カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可) • タイマ Bj のオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
カウント回数	$\frac{1}{(n+1)}$ n: TBi レジスタの設定値 0000h~FFFFh
カウント開始条件	TBiS ビットを “1” (カウント開始) にする
カウント停止条件	TBiS ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	カウントソース入力
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に TBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中に TBi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)

i=0~5 j=i-1、ただし i=0 のとき j=2、i=3 のとき j=5

TBiS: TABSR または TBSR レジスタのビット

表 17.9 イベントカウンタモード時の使用レジスタと設定値 (注 1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでもよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき “1” を書いてください
PCLKSTP1	PCKSTP11	-(設定しないでもよい)
TBi1	15~0	-(設定しないでもよい)
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	“0” にしてください
TBCS0~TBCS3	7~0	-(設定しないでもよい)
TABSR TBSR	TBiS	カウント開始時 “1” に、カウント停止時 “0” にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次の TBiMR レジスタを参照してください

i=0~5

注 1. この表は手順を示すものではありません。

イベントカウンタモード タイマBiモードレジスタ(i=0~5)		シンボル TB0MR~TB2MR TB3MR~TB5MR	アドレス 033Bh~033Dh番地 031Bh~031Dh番地	リセット後の値 00XX 0000b 00XX 0000b
ビット シンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1 b0	0 1: イベントカウンタモード	RW
TMOD1		RW		
MR0	カウント極性選択ビット	b3 b2	0 0: 外部信号の立ち下がりカウント 0 1: 外部信号の立ち上がりカウント 1 0: 外部信号の立ち上がりと立ち下がり をカウント 1 1: 設定しないでください	RW
MR1		RW		
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			—
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。			RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。			RW
TCK1	イベントクロック選択 ビット	0: TBiN端子からの入力 1: タイマBj (j=i-1 ただしi=0のときj=2、i=3のときj=5)		RW

MR1~MR0 (カウント極性選択ビット) (b3~b2)

TCK1ビットが“0”(TBiN端子からの入力)の場合に有効です。TCK1ビットが“1”(TBjのオーバフローまたはアンダフロー)の場合は、“0”でも“1”でも可。

TCK1 (イベントクロック選択ビット) (b7)

TCK1ビットが“1”の場合、タイマBj (j=i-1 ただしi=0のときj=2、i=3のときj=5)の割り込み要求発生タイミングで、イベントが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントは発生します)。

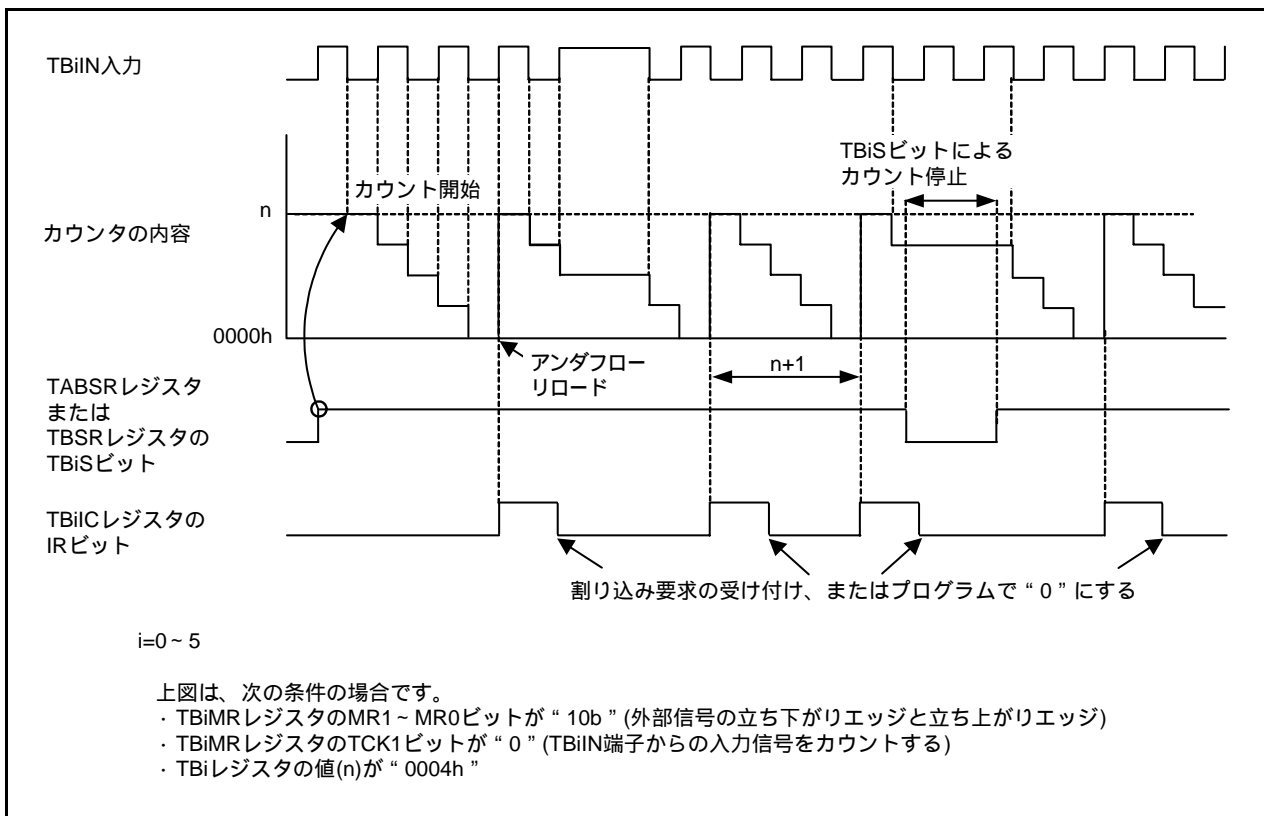


図17.5 イベントカウンタモード時の動作例

17.3.4 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 17.10 にパルス周期測定モード、パルス幅測定モードの仕様、表 17.11 にパルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値、図 17.6 にパルス周期測定モード時の動作図、図 17.7 にパルス幅測定モード時の動作図を示します。

表 17.10 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TBiS ビットを“1”(カウント開始)にする
カウント停止条件	TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング(注3)	<ul style="list-style-type: none"> • 測定パルスの有効エッジ入力時(注1) • オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になる。
TBiIN端子機能	測定パルス入力
タイマの読み出し	PPWFS1、PPWFS2レジスタのPPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“0”の場合 TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2) PPWFS1、PPWFS2レジスタのPPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“1”の場合 TBiレジスタを読むとカウンタの内容(カウント中の値)が読める。 TBi1レジスタを読むと、リロードレジスタの内容(測定結果)が読める
タイマの書き込み	カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる

i=0~5

TBiS: TABSRまたはTBSRレジスタのビット

- 注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
 注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。
 注3. タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

表17.11 パルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PCLKSTP1	PCKSTP11	f1を使用する場合“0”にしてください
TBi1	15~0	タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“1”のとき、測定結果が読み出せませす
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	カウント中のカウンタ値を読む場合、“1”にしてください
TBCS0~TBCS3	7~0	カウントソースを選択してください
TABSR TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	初期値を設定してください。 タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“0”の場合、測定結果が読み出せませす。 タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“1”の場合、カウント中のカウンタ値が読み出せませす
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。

**パルス周期測定モード、パルス幅測定モード
タイマBiモードレジスタ(i=0~5)**

b7 b6 b5 b4 b3 b2 b1 b0

			X			1	0
--	--	--	---	--	--	---	---

シンボル
TB0MR ~ TB2MR
TB3MR ~ TB5MR

アドレス
033Bh ~ 033Dh番地
031Bh ~ 031Dh番地

リセット後の値
00XX 0000b
00XX 0000b

ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0: パルス周期測定モード、パルス幅 測定モード	RW
			RW
MR0	測定モード選択ビット	b3 b2 0 0: パルス周期測定 (測定/フリスの立ち下がりがりから次の立ち上がり間の測定) 0 1: パルス周期測定 (測定/フリスの立ち上がりがりから次の立ち上がり間の測定)	RW
			RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	タイマBiオーバフロー フラグ	0: オーバフローなし 1: オーバフローあり	RO
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
			RW

MR3 (タイマBiオーバフローフラグ) (b5)

リセット後は不定です。TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS3レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

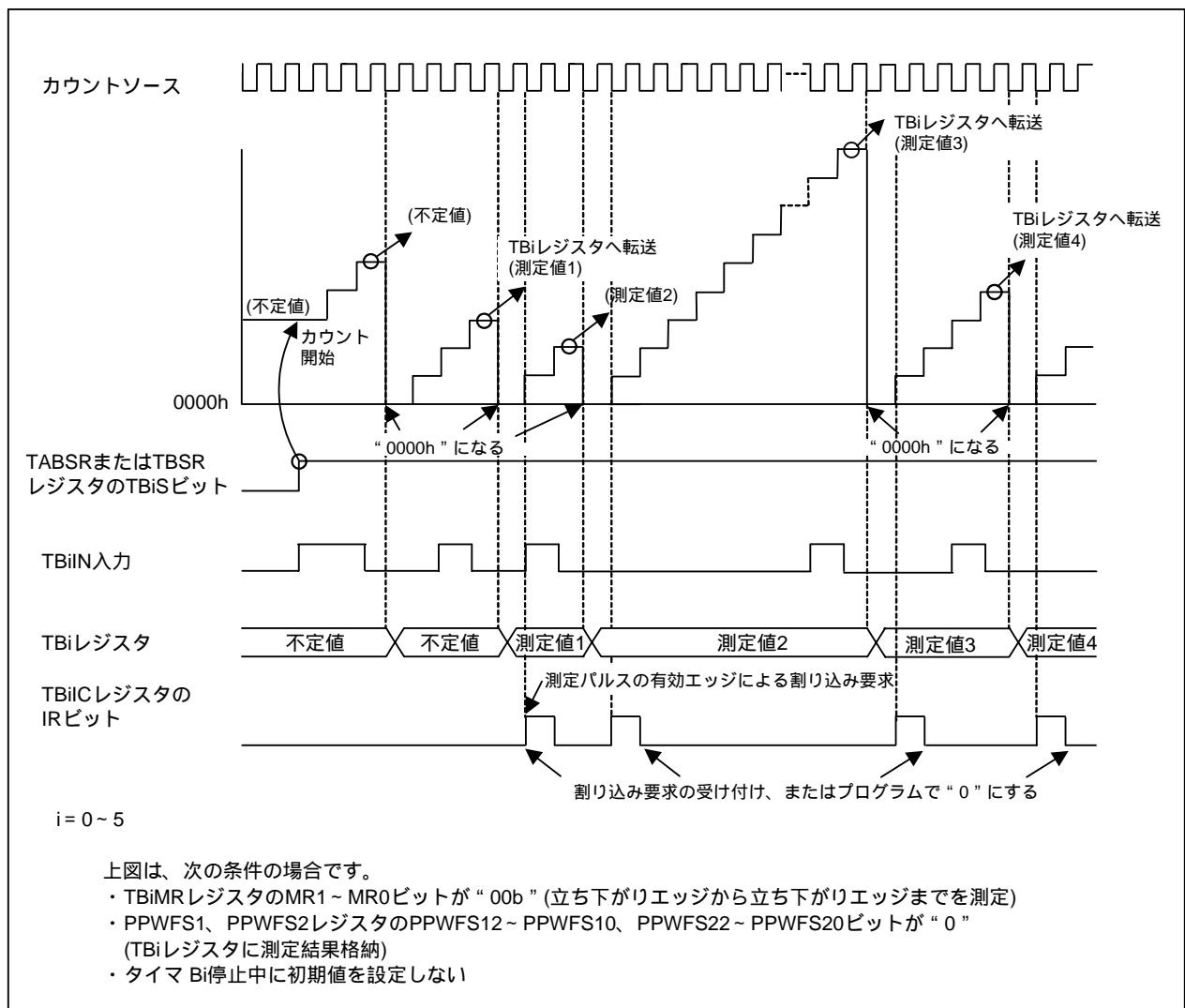


図17.6 パルス周期測定モード時の動作図

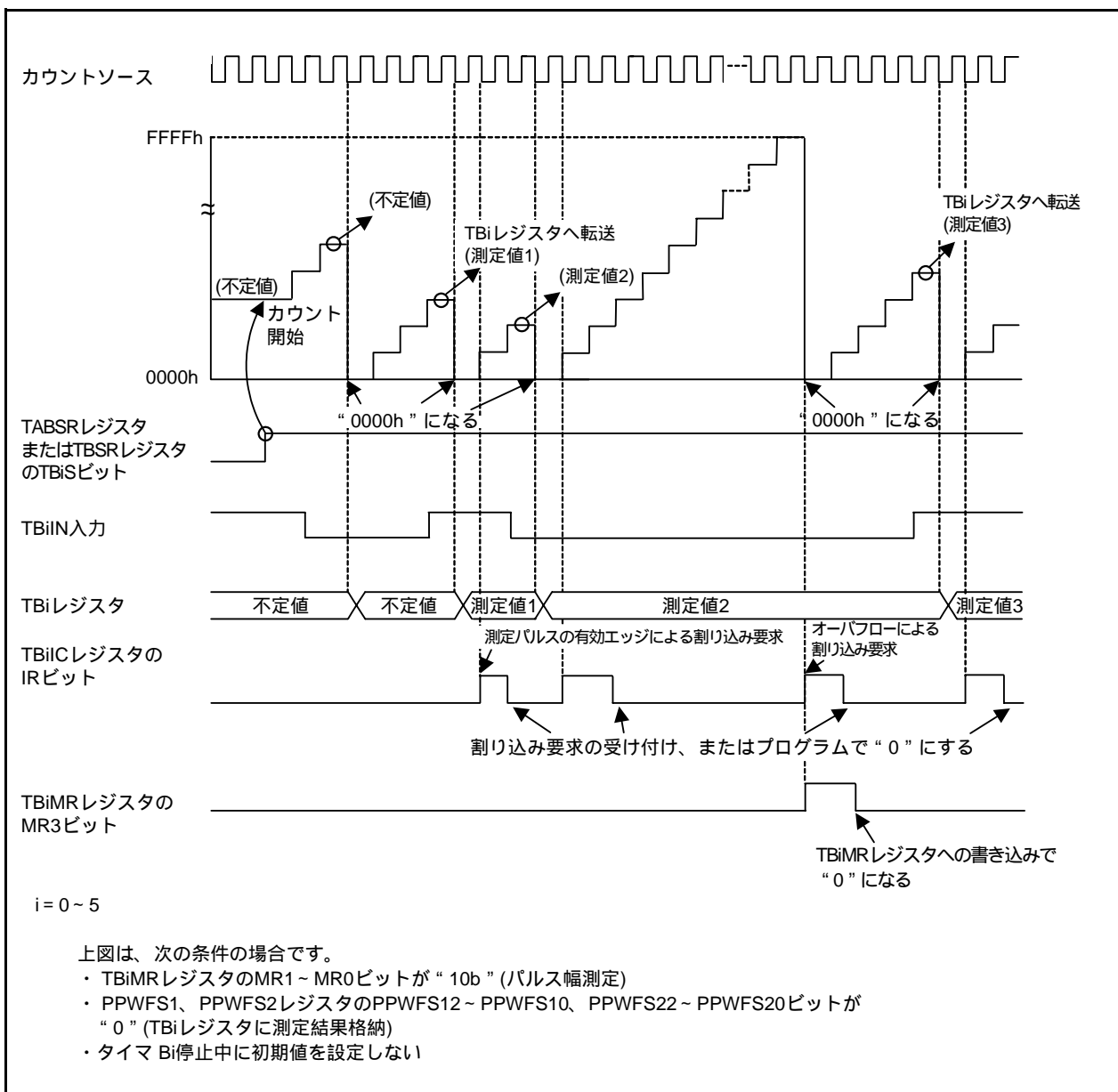


図 17.7 パルス幅測定モード時の動作図

17.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表17.12にタイマBの割り込み関連レジスタを示します。

表17.12 タイマBの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

タイマB3、タイマB4は他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。タイマB3割り込みを使用する場合は、IFSR2AレジスタのIFSR26ビットを“0”(タイマB3)にしてください。タイマB4割り込みを使用する場合は、IFSR2AレジスタのIFSR27ビットを“0”(タイマB4)にしてください。

17.5 タイマB使用上の注意事項

17.5.1 複数モードに関わる共通事項

17.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタ、TBCS0~TBCS3レジスタ、TBiレジスタ、PCLKRレジスタ、PPWFS1レジスタ、PPWFS2レジスタによって、モードやカウントソース等を設定した後、TABSРレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタ、TBCS0~TBCS3レジスタ、PCLKRレジスタ、PPWFS1レジスタ、PPWFS2レジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。

17.5.2 タイマB(タイマモード)

17.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

17.5.3 タイマB(イベントカウンタモード)

17.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

17.5.3.2 イベント

TBiMRレジスタのTCK1ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

17.5.4 タイマB (パルス周期測定/パルス幅測定モード)

17.5.4.1 TBiMRレジスタのMR3ビット

MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態、TBiMRレジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

17.5.4.2 割り込み

TBiICレジスタ(i=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

オーバフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

17.5.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

17.5.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

17.5.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

17.5.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

18. リアルタイムクロック

18.1 概要

リアルタイムクロックはタイマRHです。リアルタイムクロックはカウントソースから1秒を作り、秒、分、時、午前/午後、日、曜日、1週間、月、年をカウントします。2000年から2099年の閏年は自動で設定します。また、特定の分、時、曜日との一致を検出します。

表18.1にリアルタイムクロックの仕様を、図18.1にリアルタイムクロックのブロック図を、表18.2に入出力端子を示します。

表18.1 リアルタイムクロックの仕様

項目	内容
カウントソース	fC
カウント動作	アップカウント
カウント開始条件	TRHCRレジスタのRUNビットへの“1”(カウント開始)書き込み
カウント停止条件	TRHCRレジスタのRUNビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	周期割り込み 次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 250ms周期 • 500ms周期 • 秒データの更新 • 分データの更新 • 時データの更新 • 日、曜日データの更新 • 月データの更新 • 年データの更新 アラーム割り込み 時刻のデータとアラームのデータ的一致
TRHO端子機能	プログラブル入出力ポート、またはクロック出力
タイマの読み出し	TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタを読むと、カウンタ値が読める。 TRHSEC、TRHMIN、TRHHR、TRHDY、TRHMON、TRHYRレジスタの値はBCDコード
タイマの書き込み	TRHCRレジスタのRUNビットが“0”(カウンタ停止)のとき TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタに書き込める。 TRHSEC、TRHMIN、TRHHR、TRHDY、TRHMON、TRHYRレジスタに書き込む値はBCDコード
選択機能	<ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • アラーム機能 特定の曜日と時と分の組み合わせ、時と分の組み合わせ、または分のみを検出 • 秒調整機能 • 時計誤差補正機能 自動補正機能またはソフトウェアによる補正 • クロック出力

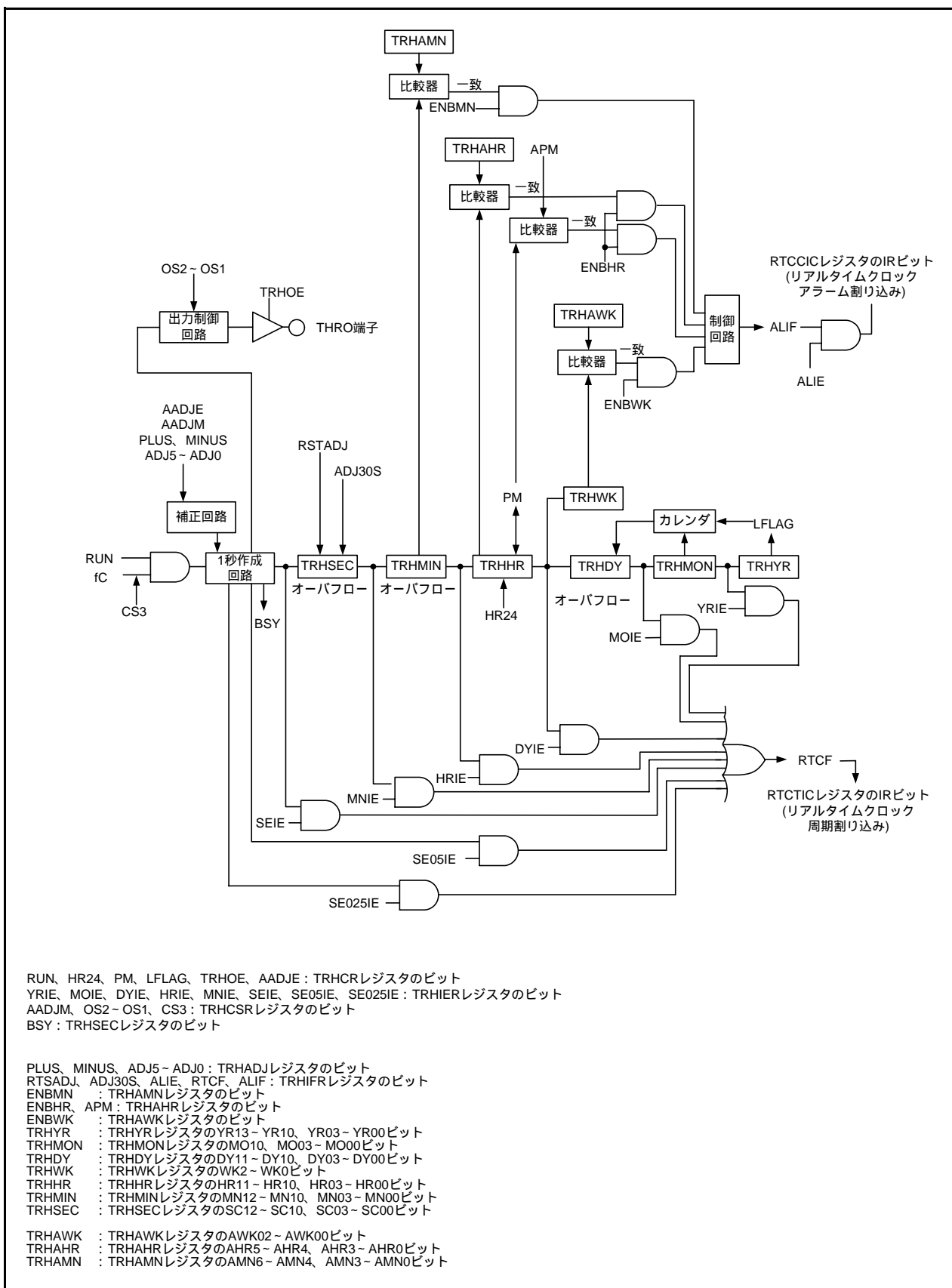


図 18.1 リアルタイムクロックのブロック図

表 18.2 入出力端子

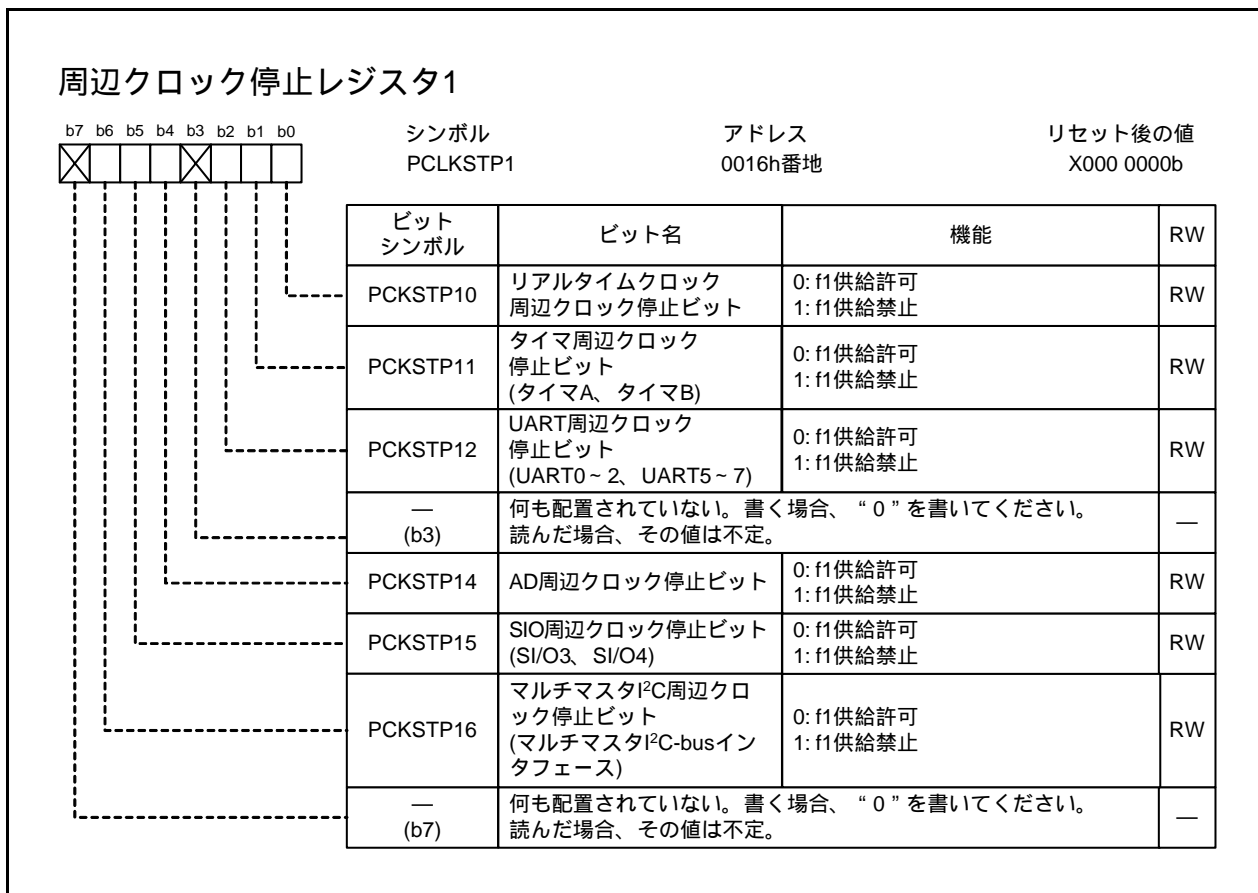
端子名	入出力	機能
TRHO	出力	アラーム出力

18.2 レジスタの説明

表 18.3 レジスタ構成

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0016h	周辺クロック停止レジスタ 1	PCLKSTP1	X000 0000b
0340h	秒データレジスタ	TRHSEC	0000 0000b
0341h	分データレジスタ	TRHMIN	0000 0000b
0342h	時データレジスタ	TRHHR	0000 0000b
0343h	曜日データレジスタ	TRHWK	0000 0000b
0344h	日データレジスタ	TRHDY	0000 0001b
0345h	月データレジスタ	TRHMON	0000 0001b
0346h	年データレジスタ	TRHYR	0000 0000b
0347h	タイマRH制御レジスタ	TRHCR	0000 0100b
0348h	タイマRHカウントソース選択レジスタ	TRHCSR	0000 1000b
0349h	時計誤差補正レジスタ	TRHADJ	0000 0000b
034Ah	タイマRH割り込みフラグレジスタ	TRHIFR	XXX0 0000b
034Bh	タイマRH割り込み許可レジスタ	TRHIER	0000 0000b
034Ch	アラーム分レジスタ	TRHAMN	0000 0000b
034Dh	アラーム時レジスタ	TRHAHR	0000 0000b
034Eh	アラーム曜日レジスタ	TRHAWK	0XXX X000b
034Fh	タイマRHプロテクトレジスタ	TRHPRC	00XX XXXXb

18.2.1 周辺クロック停止レジスタ 1 (PCLKSTP1)



PCKSTP1 レジスタはPRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP10 (リアルタイムクロック周辺クロック停止ビット) (b0)

リアルタイムクロックを使用する場合、PCKSTP10 ビットを“0”(f1 供給許可)にしてください。また、PM2 レジスタのPM25 ビットを“1”(fC 供給許可)にしてください。

18.2.2 秒データレジスタ (TRHSEC)

秒データレジスタ		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		TRHSEC	0340h番地	0000 0000b
ビットシンボル	ビット名	機能	設定範囲	RW
SC00	秒一位カウントビット	1秒ごとに“0”から“9”をカウント。桁上がりが発生すると、秒十位が“1”加算される。	0~9	RW
SC01				RW
SC02				RW
SC03				RW
SC10	秒十位カウントビット	“0”から“5”をカウントして、60秒をカウント。	0~5	RW
SC11				RW
SC12				RW
BSY	タイマRHビジーフラグ	TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタが更新中“1”になります。		RO

8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

SC03~SC00 (秒一位カウントビット) (b3~b0)

SC12~SC10 (秒十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

TRHSECレジスタのSC12~SC10、SC03~SC00ビットは、TRHCRレジスタのRUNビット“0”(カウンタ停止)のときに書き込んでください。

また、次の期間にアクセスしないでください。

- BSYビットが“1”(データ更新中)
- TRHCRレジスタのRUNビットを書き換えてからfCの3サイクル経つまで

BSY (タイマRHビジーフラグ) (b7)

データ更新中に“1”になります。次のビットはBSYビットが“0”(データ更新中ではない)のときに読み出してください。

- TRHSECレジスタのSC12~SC10、SC03~SC00ビット
- TRHMINレジスタのMN12~MN10、MN03~MN00ビット
- TRHHRレジスタのHR11~HR10、HR03~HR00ビット
- TRHCRレジスタのPMビット
- TRHWKレジスタのWK2~WK0ビット
- TRHDYレジスタのDY11~DY10、DY03~DY00ビット
- TRHMONレジスタのMO10、MO03~MO00ビット
- TRHYRレジスタのYR13~YR10、YR03~YR00ビット

18.2.3 分データレジスタ (TRHMIN)

分データレジスタ		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		TRHMIN	0341h番地	0000 0000b
0				
ビットシンボル	ビット名	機能	設定範囲	RW
MN00	分一位カウントビット	1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。	0~9	RW
MN01				RW
MN02				RW
MN03				RW
MN10	分十位カウントビット	“0”から“5”をカウントして、60分をカウント。	0~5	RW
MN11				RW
MN12				RW
(b7)	予約ビット	“0”にしてください。		RW

8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

MN03~MN00 (分一位カウントビット) (b3~b0)

MN12~MN10 (分十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

TRHSECレジスタからの桁上がりがあると、“1”加算されます。

TRHMINレジスタのMN12~MN10、MN03~MN00ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

18.2.4 時データレジスタ (TRHHR)

時データレジスタ		シンボル	アドレス	リセット後の値		
b7 b6 b5 b4 b3 b2 b1 b0		TRHHR	0342h番地	0000 0000b		
		ビットシンボル	ビット名	機能	設定範囲	RW
		HR00	時一位カウントビット	1時間ごとに“0”から“9”をカウント。桁上がりが発生すると、時十位が“1”加算される。	0~9	RW
		HR01				RW
		HR02				RW
		HR03				RW
		HR10	時十位カウントビット	HR24ビットが“0”(12時間モード)のとき、“0”から“1”をカウント。 HR24ビットが“1”(24時間モード)のとき、“0”から“2”をカウント。	0~2	RW
		HR11				RW
		(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			

8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

HR03~HR00 (時一位カウントビット) (b3~b0)

HR11~HR10 (時十位カウントビット) (b5~b4)

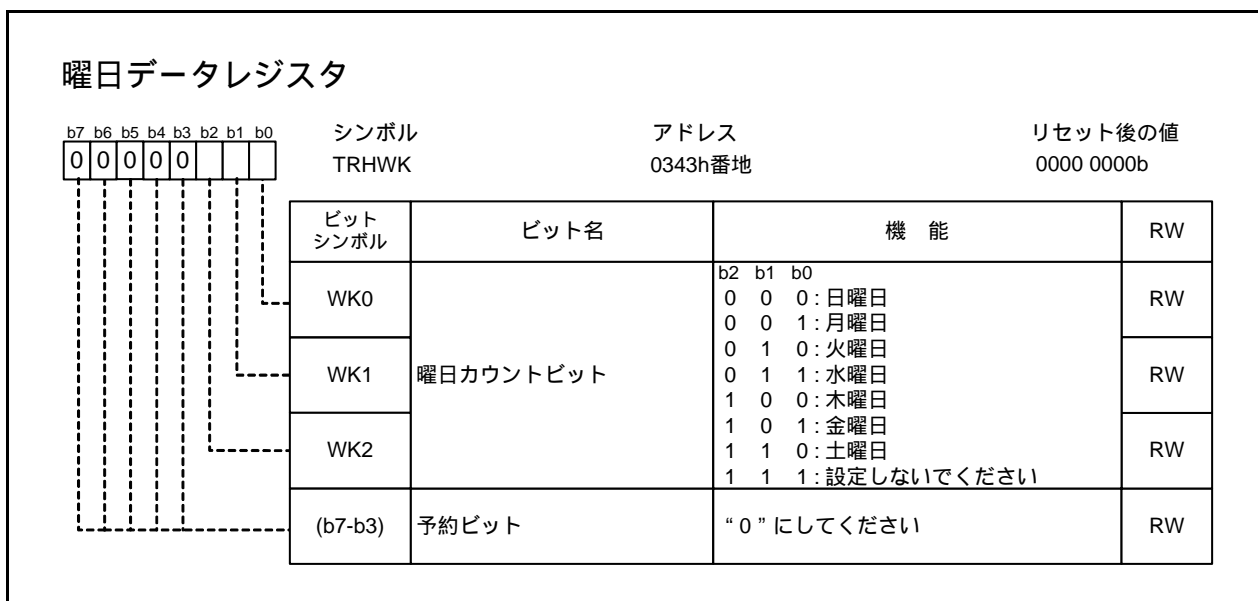
TRHCRレジスタのHR24ビットが“0”(12時間モード)の場合はBCDコードで“00”~“11”を設定してください。HR24ビットが“1”(24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

TRHMINレジスタからの桁上がりがあると、“1”加算されます。

TRHHRレジスタのHR11~HR10、HR03~HR00ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

18.2.5 曜日データレジスタ (TRHWK)



8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

WK2~WK0 (曜日カウントビット) (b2~b0)

“000b”(日曜日)~“110b”(土曜日)を繰り返しカウントしますので、1週間がカウントできます。

“111b”にはなりません。“111b”を設定しないでください。

TRHHRレジスタからの桁上がりがあると、“1”加算されます。

TRHWKレジスタのWK2~WK0ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

18.2.6 日データレジスタ (TRHDY)

ビットシンボル		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		TRHDY	0344h番地	0000 0001b
ビットシンボル	ビット名	機能	設定範囲	RW
DY00	日一位カウントビット	1日ごとに“0”から“9”をカウント。桁上がりが発生すると、日十位が“1”加算される。	0~9	RW
DY01				RW
DY02				RW
DY03				RW
DY10	日十位カウントビット	“0”から“3”をカウント。	0~3	RW
DY11				RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—

8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

DY03~DY00 (日一位カウントビット) (b3~b0)

DY11~DY10 (日十位カウントビット) (b5~b4)

BCDコードで“01”~“31”を設定してください。

TRHHRレジスタからの桁上がりがあると、“1”加算されます。2000年から2099年まで、閏年の2月を含む各月の日数(28~31)をカウントします。

TRHDYレジスタのDY11~DY10、DY03~DY00ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

18.2.7 月データレジスタ (TRHMON)

月データレジスタ		シンボル	アドレス	リセット後の値
		TRHMON	0345h番地	0000 0001b
ビットシンボル	ビット名	機能	設定範囲	RW
MO00	月一位カウントビット	1月ごとに“0”から“9”をカウント。桁上がりが発生すると、月十位が“1”加算される。	0~9	RW
MO01				RW
MO02				RW
MO03				RW
MO10	月十位カウントビット	“0”から“1”をカウント。	0~1	RW
(b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—

8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

MO03~MO00 (月一位カウントビット) (b3~b0)

MO10 (月十位カウントビット) (b4)

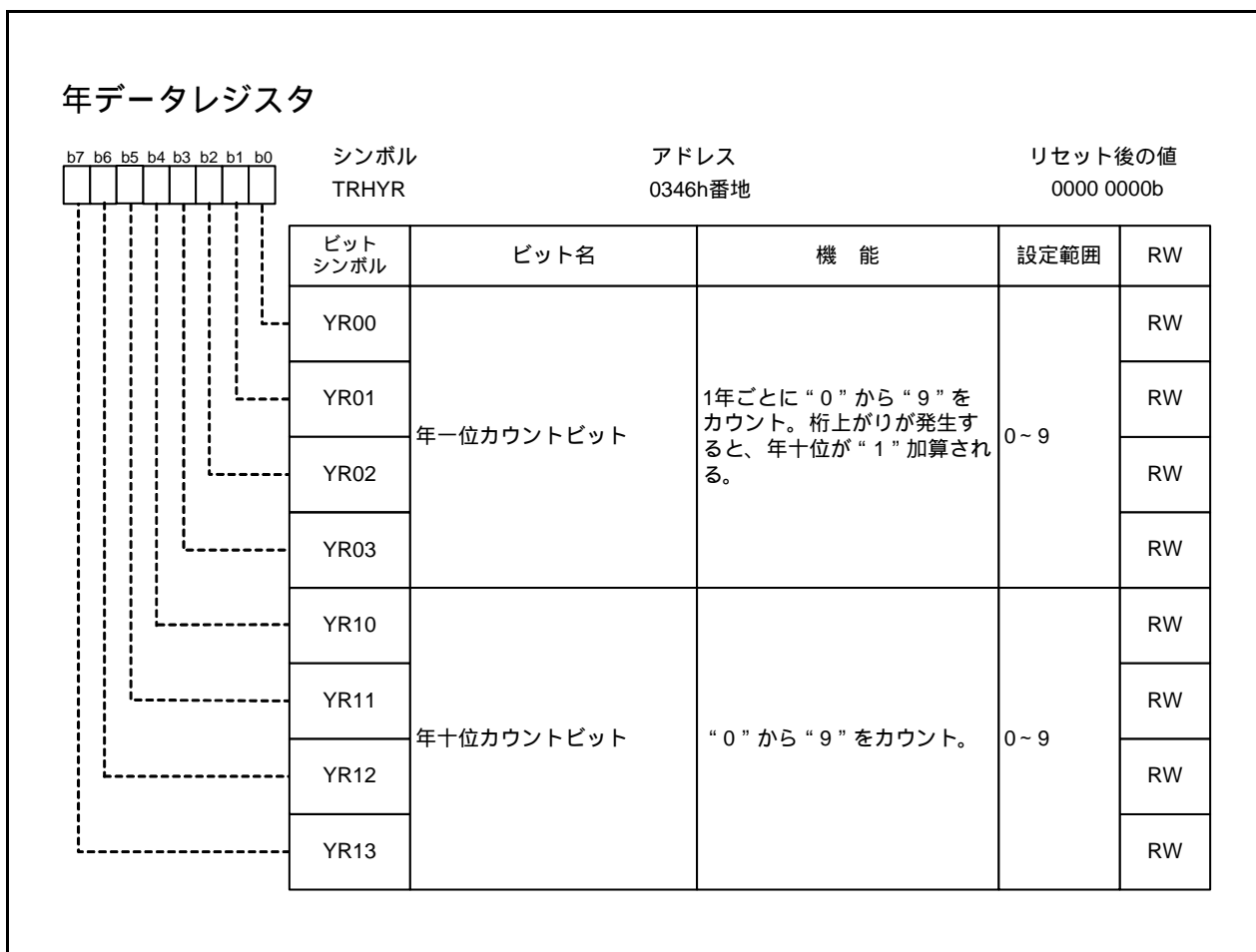
BCDコードで“01”~“12”を設定してください。

TRHDYレジスタからの桁上がりがあると、“1”加算されます。

TRHMONレジスタのMO10、MO03~MO00ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

18.2.8 年データレジスタ (TRHYR)



8ビット単位でアクセスしてください。

TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。

YR03~YR00 (年一位カウントビット) (b3~b0)

YR13~YR10 (年十位カウントビット) (b7~b4)

BCDコードで“00”~“99”を設定してください。年の千と百の位は“20”固定です。

TRHMONレジスタからの桁上がりがあると、“1”加算されます。

TRHYRレジスタのYR13~YR10、YR03~YR00ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

18.2.9 タイマRH制御レジスタ(TRHCR)

タイマRH制御レジスタ		シンボル	アドレス	リセット後の値
		TRHCR	0347h番地	0000 0100b
ビットシンボル	ビット名	機能	RW	
AADJE	自動補正機能許可ビット	0: 自動補正機能禁止 (ソフトウェアによる補正機能有効) 1: 自動補正機能許可 (ソフトウェアによる補正機能無効)	RW	
TRHOE	タイマRH出力許可ビット	0: TRHO出力禁止 1: TRHO出力許可	RW	
LFLAG	閏年フラグ	0: 平年 1: 閏年	RO	
(b3)	予約ビット	“0” にしてください。	RW	
(b4)	予約ビット	予約ビット読んだ場合、その値は“0”。	RO	
PM	午前/午後ビット	0: 午前 1: 午後	RW	
HR24	動作モードビット	0: 12時間モード 1: 24時間モード	RW	
RUN	タイマRH動作開始ビット	0: タイマRHカウント停止 1: タイマRHカウント開始	RW	

8ビット単位でアクセスしてください。

TRHOE (タイマRH出力許可ビット) (b1)

RUNビットが“0”(カウント停止)のときに変更してください。

LFLAG (閏年フラグ) (b2)

TRHYRレジスタの値が“00”または4の倍数の場合、LFLAGビットが“1”(閏年)になります。LFLAGビットが“1”の場合、2月の日数を29日にします。

PM (午前/午後ビット) (b5)

PMビットは、TRHCRレジスタのRUNビットが“0”(カウント停止)のときに書き込んでください。TRHPRCレジスタのPROTECTビットを“1”(書き込み許可)にした後で書き換えてください。また、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

HR24ビットが“0”(12時間モード)の場合に有効です。

PMビットは、カウント動作中、次のように変化します。

- PMビットが“1”(午後)で、11時59分59秒から、次の00時00分00秒になるとき、“0”になる。
- PMビットが“0”(午前)で、11時59分59秒から、次の00時00分00秒になるとき“1”になる。

図18.2に時刻表現の定義を示します。

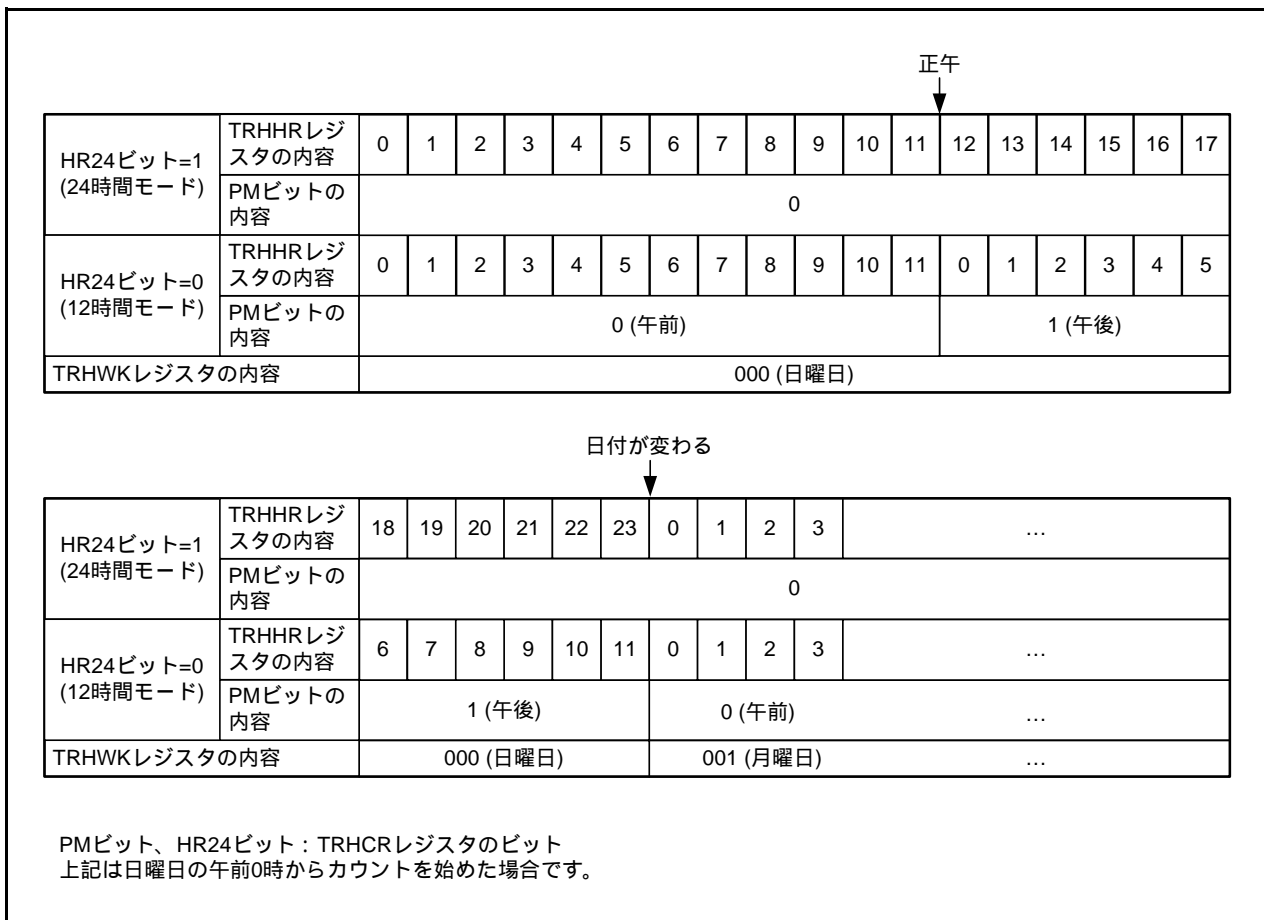


図18.2 時刻表現

HR24 (動作モードビット) (b6)

HR24ビットは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

RUN (タイマRH動作開始ビット) (b7)

RUNビットを“0”(カウンタ停止)にしたとき、内部カウンタは初期化されません。

18.2.10 タイマRHカウントソース選択レジスタ (TRHCSR)

タイマRHカウントソース選択レジスタ			
ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TRHCSR	アドレス 0348h番地	リセット後の値 0000 1000b
(b2-b0)	予約ビット	“0” にしてください	RW
CS3	カウントソース選択ビット	1: fC “1” にしてください。	RW
(b4)	予約ビット	“1” にしてください	RW
OS1	タイマRH出力選択ビット	b6 b5 0 0: fC 0 1: 1Hz (補正後) 1 0: 64Hz (補正後) 1 1: 設定しないでください	RW
OS2		RW	
AADJM	自動補正モード選択ビット	0: 1分毎に補正(分解能 ±0.5ppm) 1: 10秒毎に補正(分解能 ±3ppm)	RW

8ビット単位でアクセスしてください。

CS3 (カウントソース選択ビット) (b3)

PM2レジスタのPM25ビットを“1”(周辺機能クロックfC供給許可)にしてください。fCの詳細は「8. クロック発生回路」を参照してください。

OS2~OS1 (タイマRH出力選択ビット) (b6~b5)

TRHCRレジスタのRUNビットが“0”(カウント停止)のときに変更してください。

TRHCRレジスタのTRHOEビットが“1”(TRHO出力許可)の場合に有効です。なお、TRHOEビットが“0”(TRHO出力禁止)の場合はビット4は“0”でも構いません。

AADJM (自動補正モード選択ビット) (b7)

TRHCRレジスタのAADJEビットが“1”(自動補正機能許可)の場合に有効です。

18.2.11 時計誤差補正レジスタ (TRHADJ)

時計誤差補正レジスタ					
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TRHADJ	アドレス 0349h番地	リセット後の値 0000 0000b		
	ビット シンボル	ビット名	機能	設定範囲	RW
	ADJ0	補正值設定ビット	補正值設定	00h ~ 3Fh (00 ~ 63)	RW
	ADJ1				RW
	ADJ2				RW
	ADJ3				RW
	ADJ4				RW
	ADJ5				RW
	MINUS				補正加減算設定ビット
	PLUS	RW			

8ビット単位でアクセスしてください。

MINUS、PLUS (補正加減算設定ビット) (b7~b6)

1秒生成回路の内部カウンタを加減算するビットです。ADJ5~ADJ0ビットに設定した値を内部カウンタから加減算します。

時計が進んでいることを補正する場合、“01b”(減算)にしてください。時計が遅れていることを補正する場合、“10b”(加算)にしてください(「18.3.4 時計誤差補正機能」参照)。

18.2.12 タイマRH割り込みフラグレジスタ (TRHIFR)

タイマRH割り込みフラグレジスタ				
		シンボル TRHIFR	アドレス 034Ah番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機能	RW	
ALIF	アラーム割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	RW	
RTCF	RTC周期割り込みフラグ	0: 割り込み要求なし 1: 割り込み要求あり	RW	
ALIE	アラーム割り込み許可ビット	0: アラーム割り込み禁止 1: アラーム割り込み許可	RW	
ADJ30S	30秒調整ビット	このビットを“1”にするとTRHSECレジスタの値が次のようになる。 TRESECレジスタの値 29の場合、“00” TRESECレジスタの値 30の場合、“59” 読んだ場合、その値は“0”。	WO	
RSTADJ	秒カウンタリセット調整ビット	このビットを“1”にするとTRHSECレジスタが“00”になり、内部カウンタが初期化される。 読んだ場合、その値は“0”。	WO	
(b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			

8ビット単位でアクセスしてください。

ALIF (アラーム割り込みフラグ) (b0)

[“0”になる条件]

- 読んだ後、“0”を書く。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

- TRHAMN、TRHAHR、TRHAWKレジスタの内容とTRHMIN、TRHHR、TRHWKレジスタの内容が一致(「18.3.2 アラーム機能」参照)

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。

RTCF (RTC周期割り込みフラグ) (b1)

[“0”になる条件]

- 読んだ後、“0”を書く。読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。

[“1”になる条件]

- TRHIERレジスタで許可した割り込みの要因が発生

なお、読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。“1”を書いた場合は変化しません。

ADJ30S (30秒調整ビット) (b3)

ADJ30Sビットは、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに“1”にしてください。

RSTADJ (秒カウンタリセット調整ビット) (b4)

RTCFビットが“1”(周期割り込み要求あり)のとき、RSTADJビットを“1”にしないでください。

また、RSTADJビットは、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに“1”にしてください。

18.2.13 タイマRH割り込み許可レジスタ (TRHIER)

ビットシンボル		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		TRHIER	034Bh番地	0000 0000b
		ビットシンボル	ビット名	機能
		SE025IE	0.25秒周期割り込み許可ビット	0: 0.25秒周期割り込み禁止 1: 0.25秒周期割り込み許可
		SE05IE	0.5秒周期割り込み許可ビット	0: 0.5秒周期割り込み禁止 1: 0.5秒周期割り込み許可
		SEIE	秒周期割り込み許可ビット	0: 秒周期割り込み禁止 1: 秒周期割り込み許可
		MNIE	分周期割り込み許可ビット	0: 分周期割り込み禁止 1: 分周期割り込み許可
		HRIE	時周期割り込み許可ビット	0: 時周期割り込み禁止 1: 時周期割り込み許可
		DYIE	日周期割り込み許可ビット	0: 日周期割り込み禁止 1: 日周期割り込み許可
		MOIE	月周期割り込み許可ビット	0: 月周期割り込み禁止 1: 月周期割り込み許可
		YRIE	年周期割り込み許可ビット	0: 年周期割り込み禁止 1: 年周期割り込み許可

8ビット単位でアクセスしてください。

TRHIERレジスタは、TRHCRレジスタのRUNビットが“0”(カウンタ停止)のときに書き込んでください。

0.25秒、0.5秒、1秒、分、時、日、月、年のいずれかの周期で割り込み要求を発生させることができます。SE025IE、SE05IE、SEIE、MNIE、HRIE、DYIE、MOIE、YRIEビットのうち、いずれか1ビットを“1”(割り込み許可)にしてください(複数ビットを“1”にしないでください)。表18.4に周期割り込み要因を示します。

表18.4 周期割り込み要因

要因名	割り込み要因	割り込み許可ビット
年周期割り込み	TRHYRレジスタが更新(1年周期)される	YRIE
月周期割り込み	TRHMONレジスタが更新(1月周期)される	MOIE
日周期割り込み	TRHDYレジスタが更新(1日周期)される	DYIE
時周期割り込み	TRHHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TRHMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRHSECレジスタが更新(1秒周期)される	SEIE
500ms秒周期割り込み	500ms周期	SE05IE
250ms秒周期割り込み	250ms周期	SE025IE

上記のビットで割り込みを許可した場合、周期割り込み要因が発生すると、次のようになります。

- TRHIFRレジスタのRTCFビットが“1”(周期割り込み要求あり)になる
- RTCTICレジスタのIRビットが“1”(周期割り込み要求あり)になる

18.2.14 アラーム分レジスタ (TRHAMN)

アラーム分レジスタ		シンボル TRHAMN	アドレス 034Ch番地	リセット後の値 0000 0000b									
b7	b6	b5	b4	b3	b2	b1	b0						
ビット シンボル	ビット名	機能	設定範囲	RW									
AMN0	分一位アラームデータビット	アラームデータ格納	0~9	RW									
AMN1				RW									
AMN2				RW									
AMN3				RW									
AMN4	分十位アラームデータビット	アラームデータ格納	0~5	RW									
AMN5				RW									
AMN6				RW									
ENBMN	分アラーム許可ビット	0: 分アラーム禁止(TRHMINレジスタと比較しない) 1: 分アラーム許可(TRHMINレジスタと比較する)		RW									

8ビット単位でアクセスしてください。

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

AMN3~AMN0 (分一位アラームデータビット) (b3~b0)

AMN6~AMN4 (分十位アラームデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

18.2.15 アラーム時レジスタ (TRHAHR)

アラーム時レジスタ		シンボル TRHAHR	アドレス 034Dh番地	リセット後の値 0000 0000b					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機能	設定範囲	RW					
AHR0	時一位アラームデータビット	アラームデータ格納	0~9	RW					
AHR1				RW					
AHR2				RW					
AHR3				RW					
AHR4	時十位アラームデータビット	アラームデータ格納	0~2	RW					
AHR5				RW					
APM	午前/午後アラームデータビット	0: 午前 1: 午後		RW					
ENBHR	時アラーム許可ビット	0: 時アラーム禁止(TRHHRレジスタと比較しない) 1: 時アラーム許可(TRHHRレジスタと比較する)		RW					

8ビット単位でアクセスしてください。

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

AHR3~AHR0 (時一位アラームデータビット) (b3~b0)

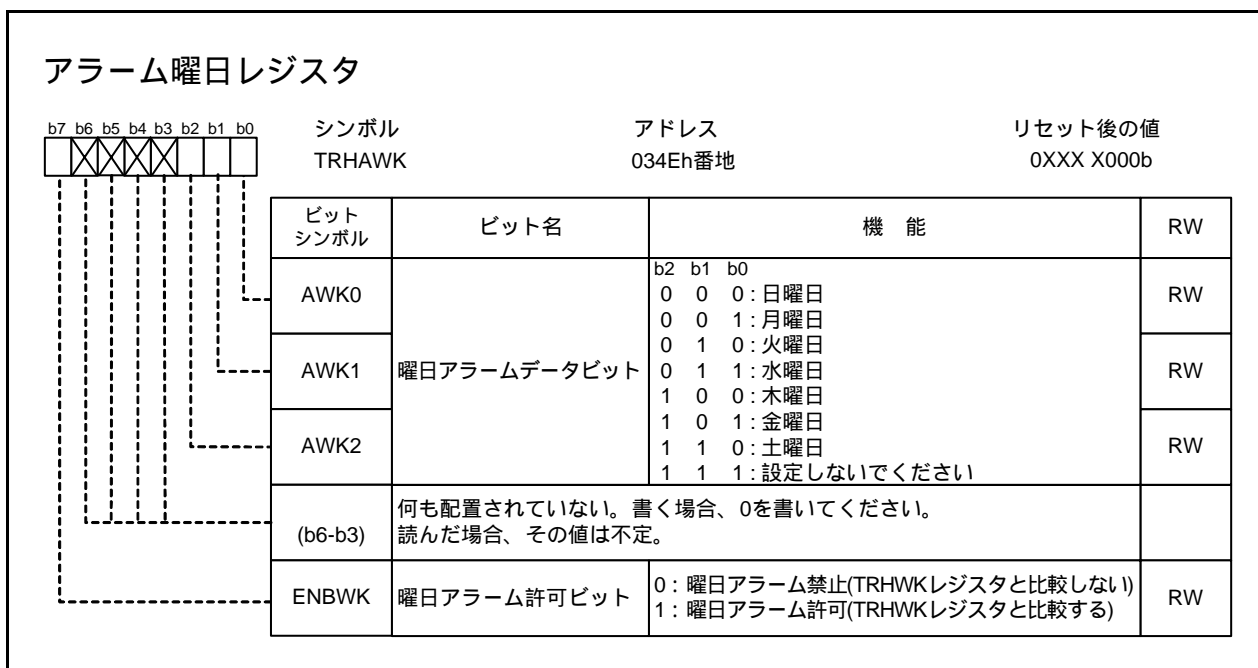
AHR5~AHR4 (時十位アラームデータビット) (b5~b4)

TRHCRレジスタのHR24ビットが“0”(12時間モード)の場合はBCDコードで“00”~“11”を設定してください。HR24ビットが“1”(24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

APM (午前/午後アラームデータビット) (b6)

TRHCRレジスタのHR24ビットが“1”(24時間モード)の場合は無効です。

18.2.16 アラーム曜日レジスタ (TRHAWK)



8ビット単位でアクセスしてください。

TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

AWK2~AWK0 (曜日アラームデータビット) (b2~b0)

“000b”(日曜日)~“110b”(土曜日)を設定してください。

18.2.17 タイマRHプロテクトレジスタ (TRHPRC)

タイマRHプロテクトレジスタ			
	シンボル TRHPRC	アドレス 034Fh番地	リセット後の値 00XX XXXXb
ビット シンボル	ビット名	機 能	RW
(b5-b0)		何も配置されていない。書く場合、0を書いてください。 読んだ場合、その値は不定。	
(b6)	予約ビット	“0” にしてください	RW
PROTECT	時刻データプロテクトビット	時刻のデータのレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW

8ビット単位でアクセスしてください。

PROTECT (時刻データプロテクトビット) (b7)

次のレジスタまたはビットは、PROTECTビットが“1”(書き込み許可)のとき変更できます。

TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYRレジスタ、TRHCRレジスタのPMビット

PROTECTビットはプログラムで“1”を書くと、その後“1”の状態が続きます。このビットで保護されるレジスタは次の手順で変更してください。

- (1) PROTECTビットに“1”を書く
- (2) PROTECTビットで保護されるレジスタに値を書く
- (3) PROTECTビットに“0”(書き込み禁止)を書く

18.3 動作説明

18.3.1 基本動作

TRHCSR レジスタで選択したカウントソースから1秒を作り、秒、分、時、午前/午後、日、曜日、月、年をカウントします。

カウントを始める時刻や日は、TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYR レジスタ、TRHCR レジスタのPMビットで設定できます。また、現在の時刻や日をTRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYR レジスタ、TRHCR レジスタのPMビットから読み出せます。ただし、TRHSEC レジスタのBSYビットが“1”(データ更新中)の場合はこれらのレジスタを読み出さないください。

0.25秒、0.5秒、1秒、分、時、日、月、年の周期で割り込み要求を発生させることができます。周期割り込みを使用する場合は、TRHIER レジスタでいずれか1つの割り込みを許可してください。周期割り込み要求が発生すると、TRHIFR レジスタのRTCFビットとRTCTIC レジスタのIRビットが“1”(割り込み要求あり)になります。

図18.3にリアルタイムクロック基本動作例を、図18.4に日時変更手順を示します。

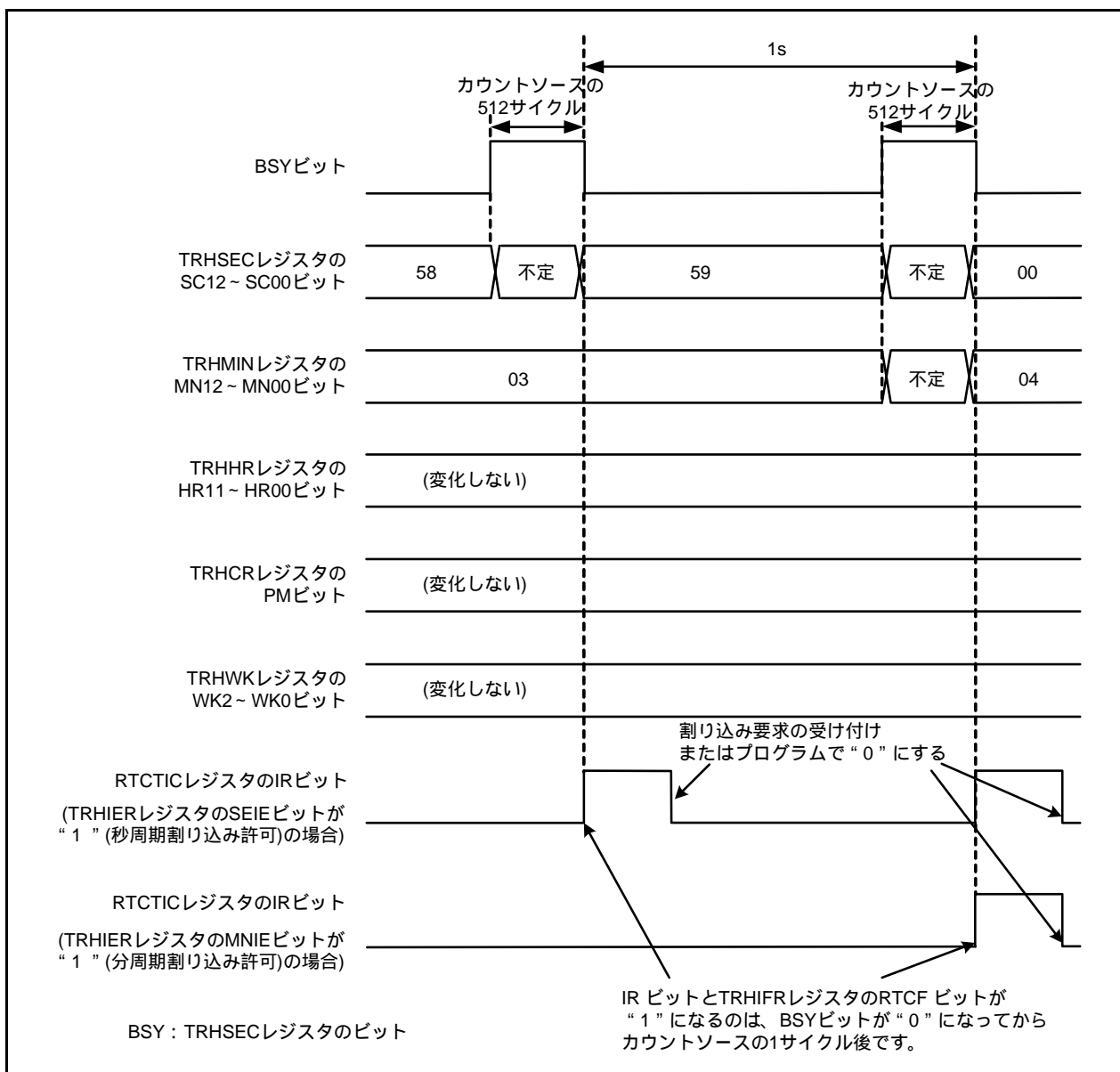


図18.3 リアルタイムクロック基本動作例

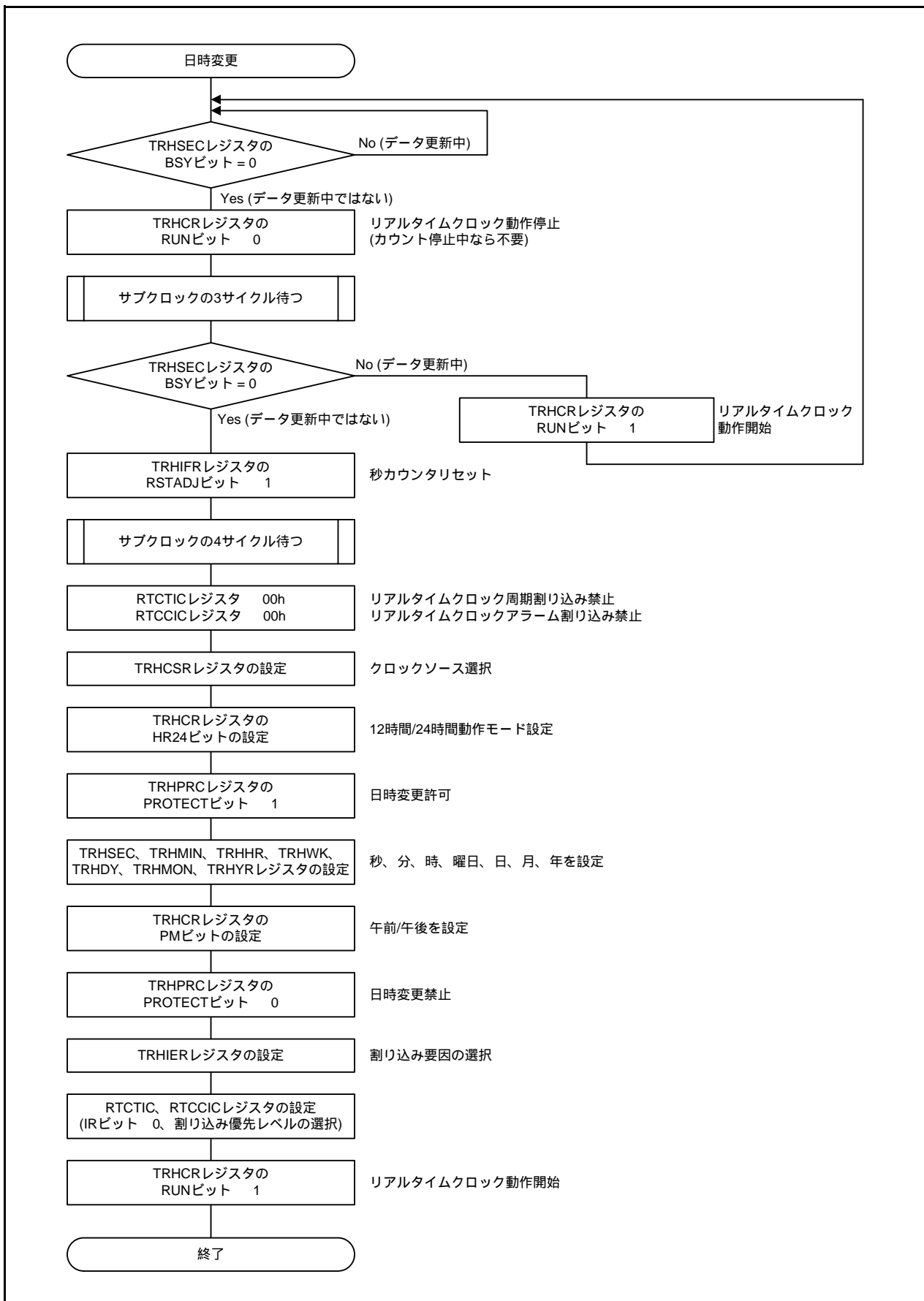


図18.4 日時変更手順

18.3.2 アラーム機能

時刻のデータ(注1)とアラームデータ(注2)を比較し、一致を検出します。比較は次のいずれかです。これ以外の組み合わせを許可しないでください。時は午前、午後の区別を含みます。

- 曜日と時と分
- 時と分
- 分のみ

比較結果が一致すると、次のようになります。

- TRHIFRレジスタのALIFビットが“1”(アラーム割り込み要求あり)になる
- TRHIFRレジスタのALIEビットが“1”(アラーム割り込み許可)の場合、RTCCICレジスタのIRビットが“1”(アラーム割り込み要求あり)になる

注1. 時刻データのビットは次のとおりです。

TRHMINレジスタのMN12~MN10、MN03~MN00ビット

TRHHRレジスタのHR11~HR10、HR03~HR00ビット

TRHCRレジスタのPMビット

TRHWKレジスタのWK2~WK0ビット

注2. アラームデータのビットは次のとおりです。

TRHAMNレジスタのAMN6~AMN4、AMN3~AMN0ビット

TRHAHRレジスタのAHR5~AHR4、AHR3~AHR0ビット

TRHAHRレジスタのAPMビット

TRHAWKレジスタのAWK2~AWK0ビット

図18.5にアラーム時刻設定手順を示します。

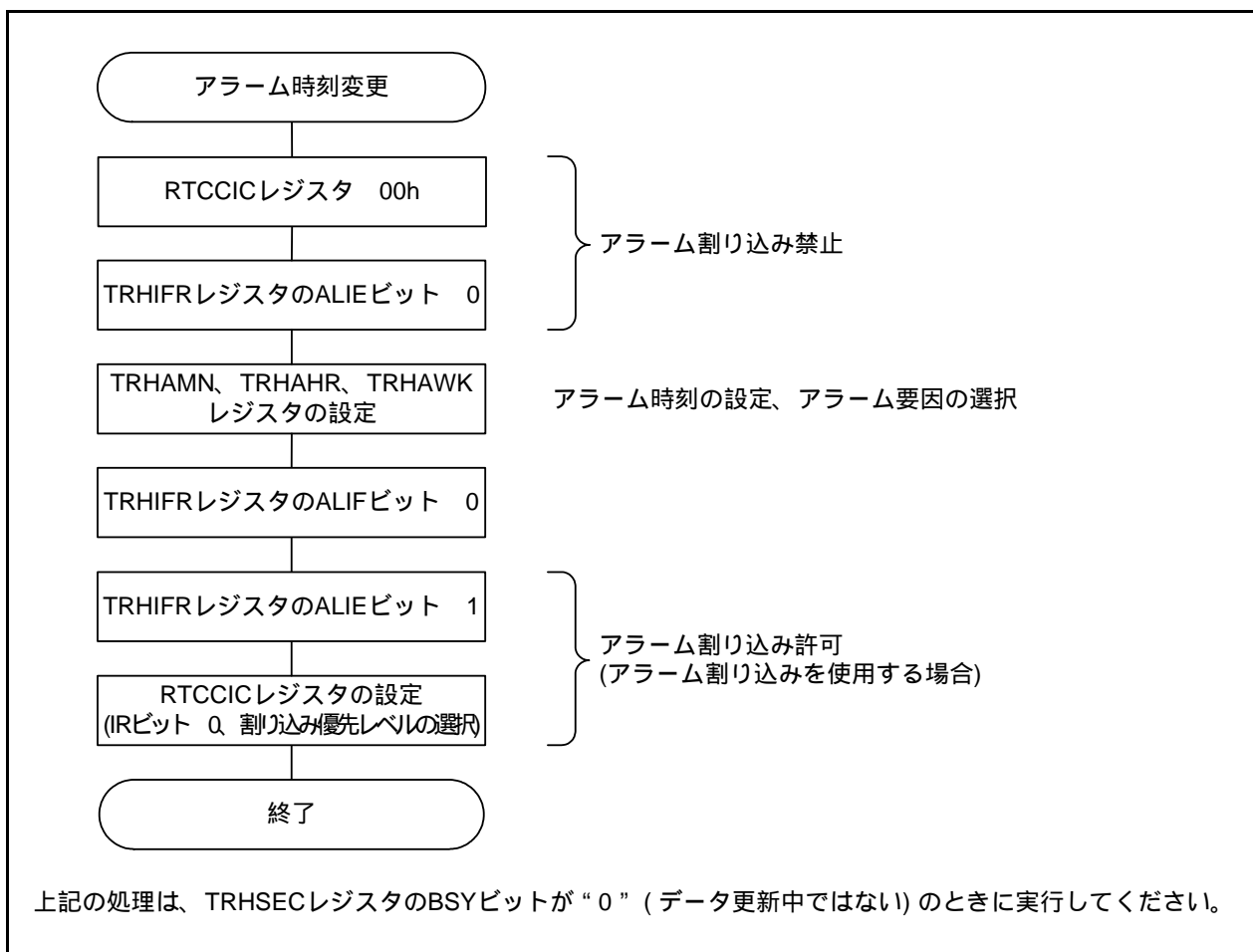


図18.5 アラーム時刻設定手順

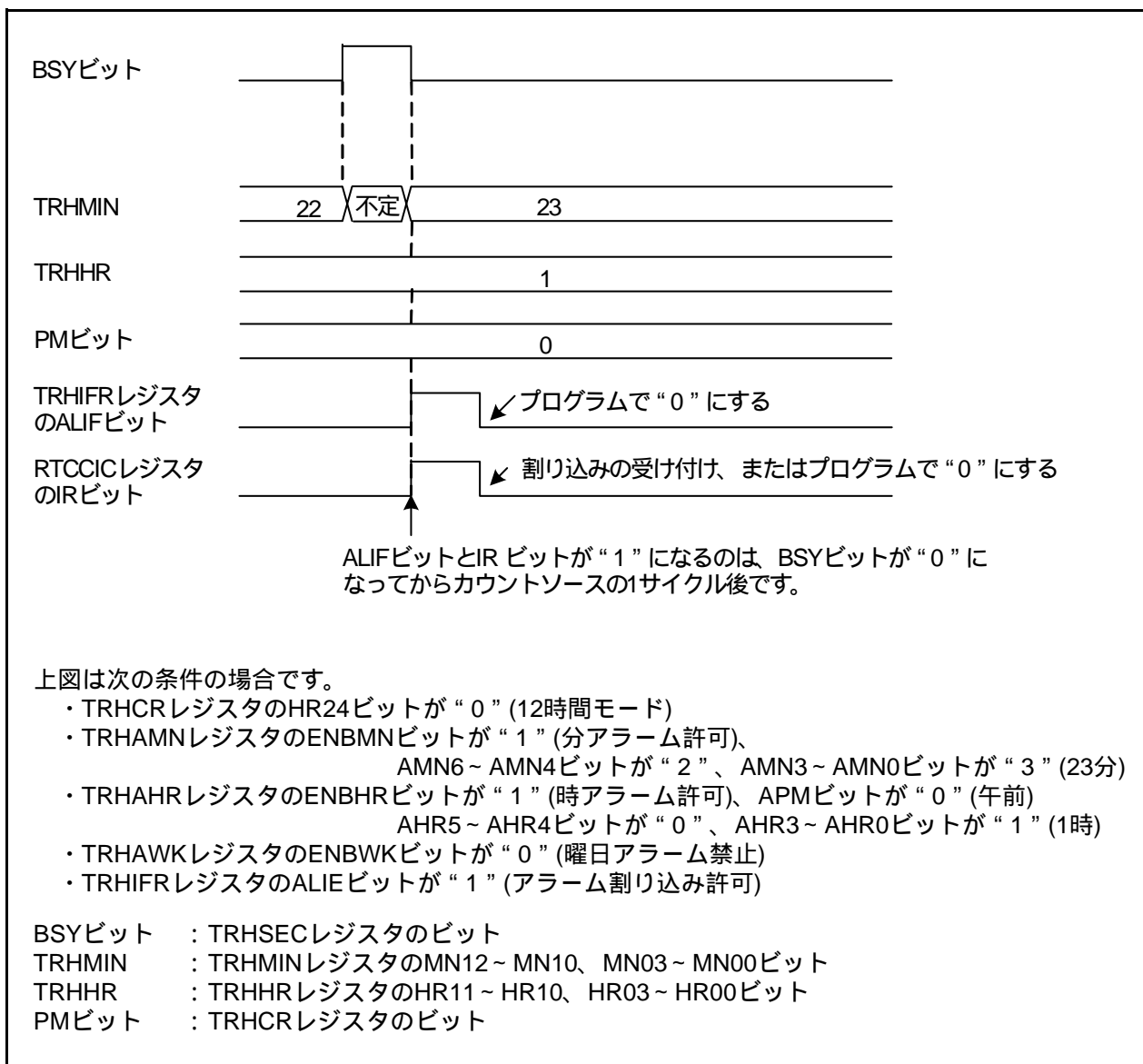


図 18.6 アラーム機能

18.3.3 秒調整機能

TRHIFRレジスタのRSTADJビットとADJ30Sビットで、TRHSECレジスタの調整ができます。

なお、ADJ30ビット、またはRSTADJビットを“1”にしてから、f_Cの4サイクル間はTRHSECレジスタをアクセスしないでください。

RSTADJビットに“1”を書くと、最小でカウントソースの2~3サイクル後にTRHSECレジスタが“00”になり、1秒生成回路の内部カウンタも同時に初期化されます。

ADJ30Sビットに“1”を書くと、最小でカウントソースの2~3サイクル後にTRHSECレジスタの値が次のようになります。

- TRHSECレジスタの値 29の場合、“00”
- TRHSECレジスタの値 30の場合、“59”

ADJ30Sビットに“1”を書いた場合、内部カウンタは初期化されません。

18.3.4 時計誤差補正機能

fCの周波数のずれを補正する機能です。1秒作成回路の内部カウンタは、基本動作として32.768kHzを32768カウントします。fCが32.768kHzより大きいまたは小さい場合、カウント回数を加減することで補正できます。

TRHCRレジスタのAADJEビットで自動補正またはソフトウェアによる補正を選択してください。

18.3.4.1 自動補正機能

TRHCRレジスタのAADJEビットが“1”の場合、自動補正機能が有効です。

TRHCSRレジスタのAADJMビットで補正のタイミングを選択してください。TRHADJレジスタに補正值と補正内容(加減算)を設定してください。選択した補正のタイミングごとに、補正值を自動で加減算します。次に例を示します。

例1) fC=32769Hzの場合

誤差

$$\frac{32769 - 32768}{32768} \times 10^6 = 30.5 \text{ ppm}$$

補正方法

32769Hzを32768+1カウントすると1秒になる。1分なら60多くカウントすればよい。1秒生成回路の内部カウンタはアップカウントするので、1分ごとに“60”を内部カウンタから減算し、オーバフローまでの時間を延長する。

レジスタ設定内容

- TRHCSRレジスタのAADJMビット: “0”(1分ごとに補正)
- TRHADJレジスタのPLUS、MINUSビット: “01b”(減算)
- TRHADJレジスタのADJ5~ADJ0ビット: “60”

例2) fC=32770Hzの場合

誤差

$$\frac{32770 - 32768}{32768} \times 10^6 = 61.0 \text{ ppm}$$

補正方法

32770Hzを32768+2カウントすると1秒になる。10秒なら20多くカウントすればよいので、10秒ごとに“20”を内部カウンタから減算。

レジスタ設定内容

- TRHCSRレジスタのAADJMビット: “1”(10秒ごとに補正)
- TRHADJレジスタのPLUS、MINUSビット: “01b”(減算)
- TRHADJレジスタのADJ5~ADJ0ビット: “20”

18.3.4.2 ソフトウェアによる補正

TRHCRレジスタのAADJEビットが“0”の場合、ソフトウェアによる補正が有効です。任意のタイミングでTRHADJレジスタに補正值と補正内容(加減算)を書いてください。書き込み命令を実行したタイミングで補正を行います。

例1) $f_C=32769\text{Hz}$ の場合

誤差

$$\frac{32769 - 32768}{32768} \times 10^6 = 30.5 \text{ ppm}$$

補正方法

32769Hzを32768+1カウントすると1秒になるので、1秒ごとに“1”を内部カウンタから減算。

レジスタ設定内容

- TRHADJレジスタのPLUS、MINUSビット: “01b”(減算)
 - TRHADJレジスタのADJ5~ADJ0ビット: “01”
- 1秒の割り込みごとにTRHADJレジスタに書き込む

18.3.4.3 補正モードの変更手順

補正モードを変更する場合は、TRHADJレジスタのPLUS、MINUSビットを“00b”(補正しない)にした後、TRHCRレジスタのAADJEビットを変更してください。また、補正モードを変更する、しないに関わらず、PLUS、MINUSビットを書き換えた後、再度書き換える場合は、カウントソースの1サイクル以上経ってから書き換えてください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) TRHADJレジスタのPLUS、MINUSビットを“00b”(補正しない)にする
- (2) TRHCRレジスタのAADJEビットを“1”(自動補正機能許可)にする
- (3) TRHCSRレジスタのAADJMビットで補正周期を選択する
- (4) TRHADJレジスタのPLUS、MINUSビットに加減算を、ADJ5~ADJ0ビットで補正值を設定する。ただし、(4)は(1)からカウントソースの1サイクル以上経ってから書き込む。

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) TRHADJレジスタのPLUS、MINUSビットを“00b”(補正しない)にする
 - (2) TRHCRレジスタのAADJEビットを“0”(ソフトウェアによる補正機能有効)にする
 - (3) 任意のタイミングでTRHADJレジスタのPLUS、MINUSビットに加減算を、ADJ5~ADJ0ビットで補正值を書き込むと補正を行う。
- ただし、(3)は(1)からカウントソースの1サイクル以上経ってから書き込む。以降、TRHADJレジスタに書き込むごとに補正を行う。

18.3.5 クロック出力

TRHCRレジスタのTRHOEビットが“1”(TRHO出力許可)の場合、TRHO端子からクロックを出力します。出力するクロックは、TRHCSRレジスタのOS2~OS1ビットで選択してください。OS2~OS1ビットが“01b”(1Hz)または“10b”(64Hz)の場合は、時計誤差補正機能で補正したクロックを出力します。

18.4 割り込み

リアルタイムクロックは次の2種類の割り込み要求を発生します。

- 0.25秒、0.5秒、1秒、分、時、日、月、年の周期割り込み
- アラーム割り込み

周期割り込みの要因は「表18.4 周期割り込み要因」を参照してください。周期割り込みでは、TRHIFRレジスタのRTCFビットが“0”から“1”(RTC周期割り込み要求あり)になるとき、RTCTICレジスタのIRビットが“1”(割り込み要求あり)になります。RTCFビットは、割り込みルーチンで“0”にしてください。

アラーム割り込みでは、TRHIFRレジスタのALIEビットが“1”(アラーム割り込み許可)で、ALIFビットが“0”から“1”(アラーム割り込み要求あり)になるとき、RTCCICレジスタのIRビットが“1”(割り込み要求あり)になります。ALIFビットは、割り込みルーチンで“0”にしてください。

割り込み要求発生タイミングは、各モードの仕様や動作例を参照してください。また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表18.5にリアルタイムクロックの割り込み関連レジスタを示します。

表18.5 リアルタイムクロックの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Eh	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
006Fh	リアルタイムクロックアラーム割り込み制御レジスタ	RTCCIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h

リアルタイムクロックは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。周期割り込みを使用する場合は、IFSR3AレジスタのIFSR35ビットを“1”(リアルタイムクロック周期)にしてください。アラーム割り込みを使用する場合は、IFSR3AレジスタのIFSR36ビットを“1”(リアルタイムクロックアラーム)にしてください。

18.5 リアルタイムクロック使用上の注意事項

18.5.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

18.5.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、HCRレジスタのRUNビットが“0”(カウント停止)のときに書いてください。

- TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYR、TRHIERレジスタ
- TRHCRレジスタのTRHOEビット、HR24ビット、PMビット
- TRHCSRレジスタのOS2~OS1ビット

また、TRHIERレジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

18.5.3 レジスタ設定(データ)

次のレジスタやビットは、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- TRHAMN、TRHAHR、TRHAWKレジスタ

18.5.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、SECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

「図18.7 時刻データ読み出し」に示す手順で読み出す。

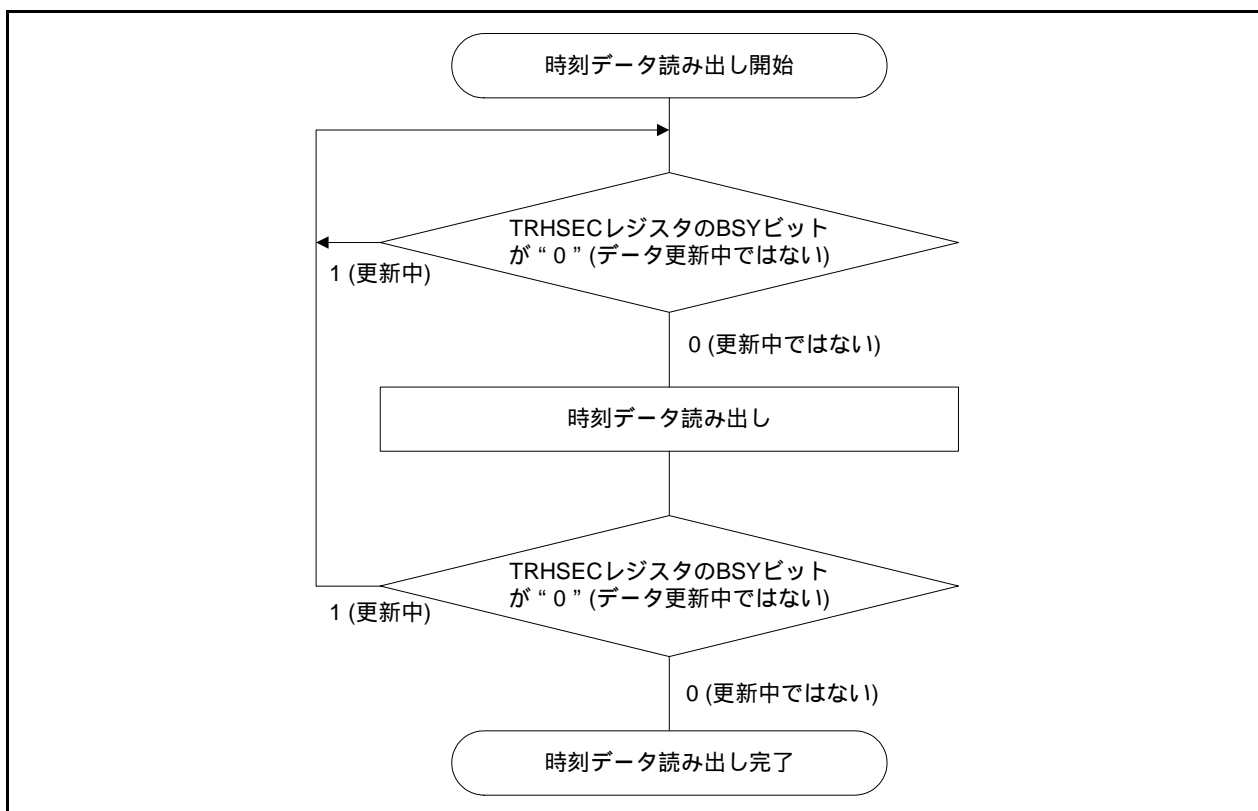


図18.7 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

SECレジスタのSC12~SC10、SC03~SC00ビット

TRHMINレジスタのMN12~MN10、MN03~MN00ビット

TRHHRレジスタのHR11~HR10、HR03~HR00ビット

TRHWKレジスタのWK2~WK0ビット

TRHCRレジスタのPMビット

TRHDYレジスタのDY11~DY10、DY03~DY00ビット

TRHMONレジスタのMO10、MO03~MO00ビット

TRHYRレジスタのYR13~YR10、YR03~YR00ビット

19. シリアルインタフェースUARTi (i=0~2, 5~7)

注意

UART7は内部でPLCモデムと接続しているため、外部端子はありません。

19.1 概要

UARTiはそれぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

表19.1にシリアルインタフェースUARTi (i=0~2, 5~7)の仕様、表19.2にUART0~UART2、UART5~UART7の仕様の相違、図19.1~図19.3にUARTiブロック図、図19.4にUARTi送受信部ブロック図を示します。

表19.1 シリアルインタフェースUARTi (i=0~2, 5~7)の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> • クロック同期形シリアルI/Oモード • クロック非同期形シリアルI/Oモード (UARTモード) • 特殊モード1(I²Cモード) 簡易形I²C-busインタフェースに対応したモードです。 • 特殊モード2 送受信クロックの極性と位相を選択できます。 • 特殊モード3(バス衝突検出機能、IEモード) UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。 • 特殊モード4(SIMモード) UART2で使用できます。SIMインタフェースに対応するモードです。

表19.2 UART0~UART2、UART5~UART7の仕様の相違

項目	UART0	UART1	UART2	UART5	UART6	UART7
クロック同期形シリアルI/Oモード	あり		あり	あり	あり	(注1)
クロック非同期形シリアルI/Oモード (UARTモード)	あり		あり	あり	あり	
特殊モード1(I ² Cモード)	あり		あり	あり	あり	
特殊モード2	あり		あり	あり	あり	
特殊モード3(IEモード)	あり		あり	あり	あり	
特殊モード4(SIMモード)	なし		あり	なし	なし	

注1. UART7はLSI内部でPLCモデムと接続しています。外部端子はありません。

ルネサスから提供するDLLソフトウェア経由で制御し、ユーザーソフトウェアから直接制御しないでください

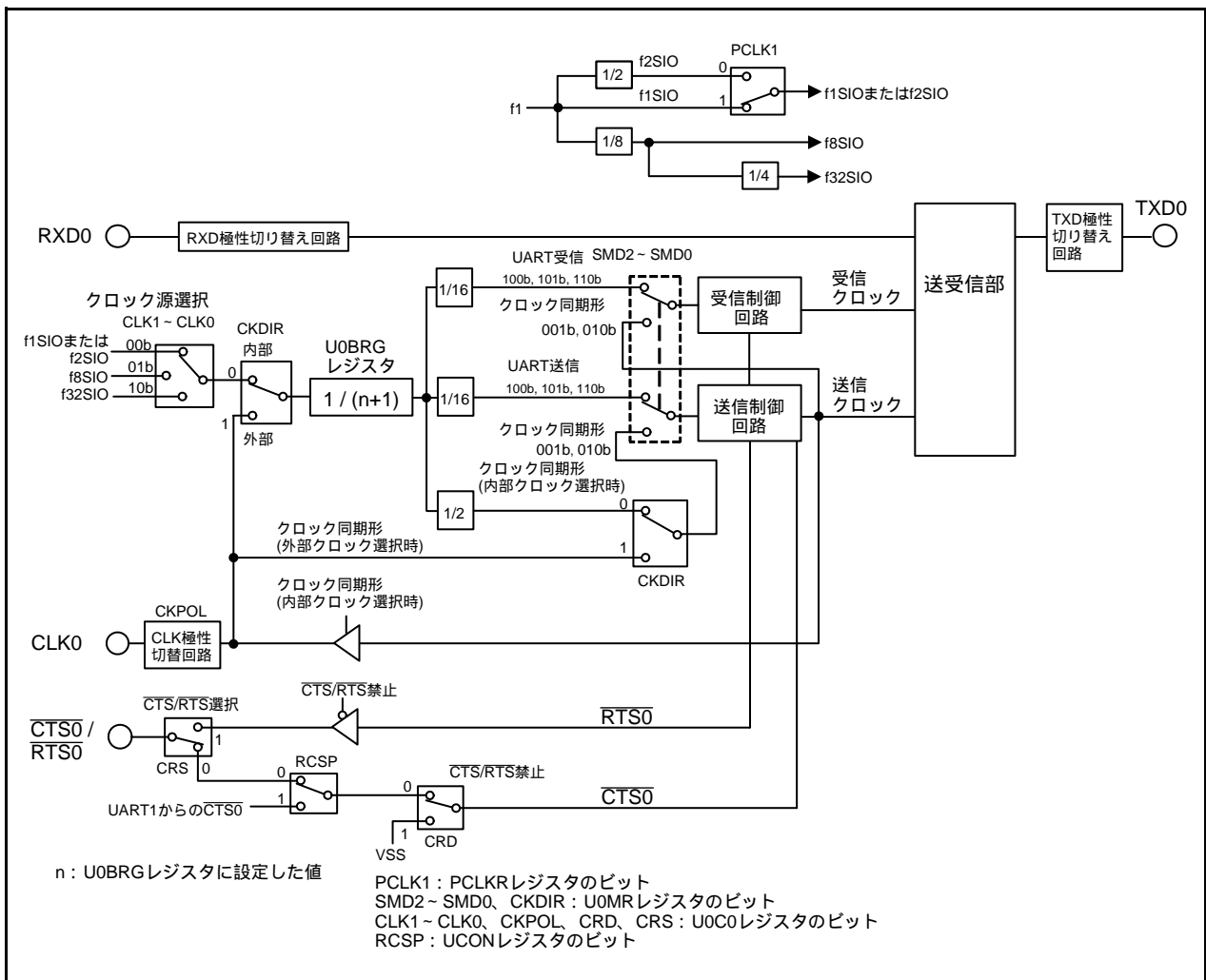


図 19.1 UART0 ブロック図

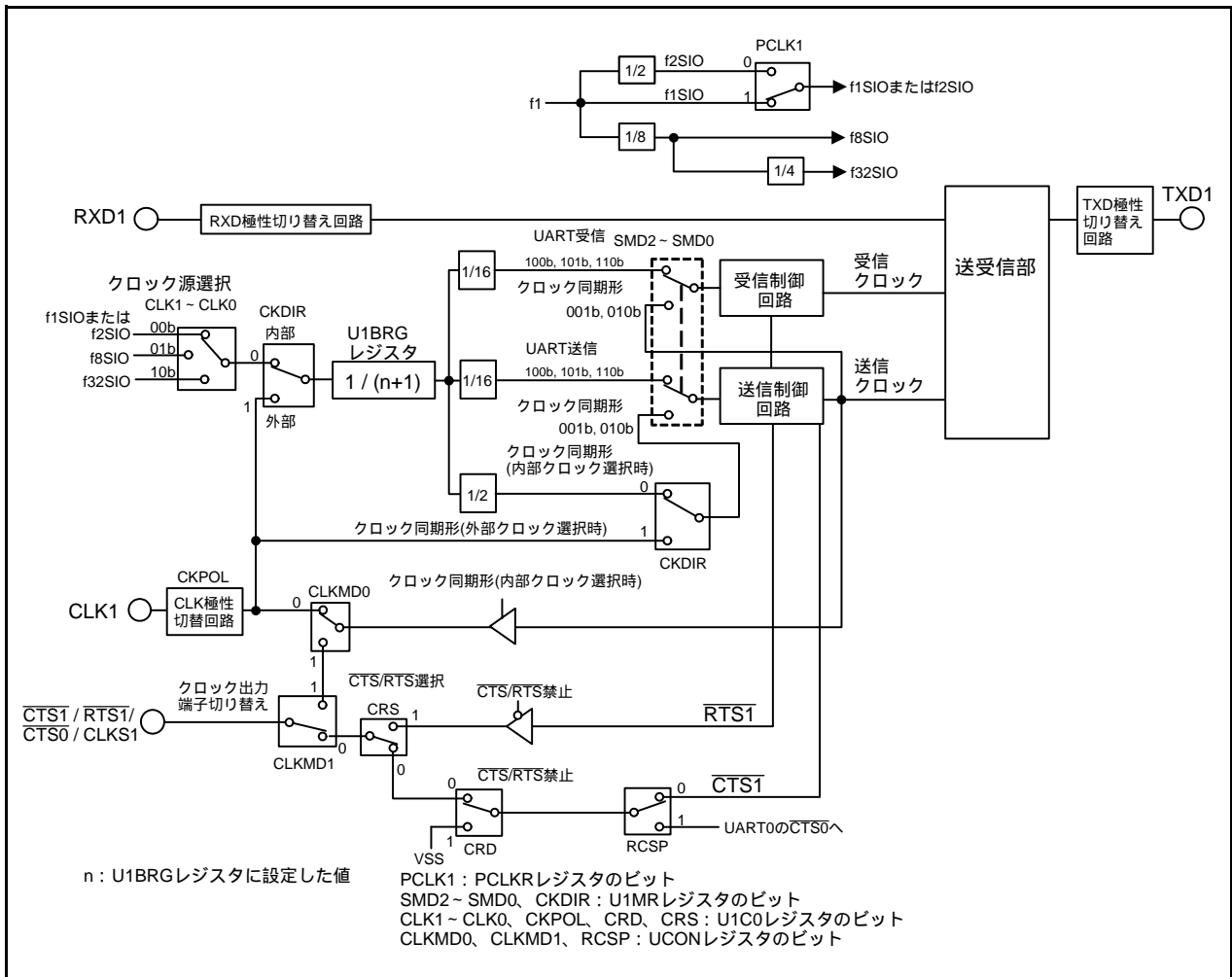


図19.2 UART1ブロック図

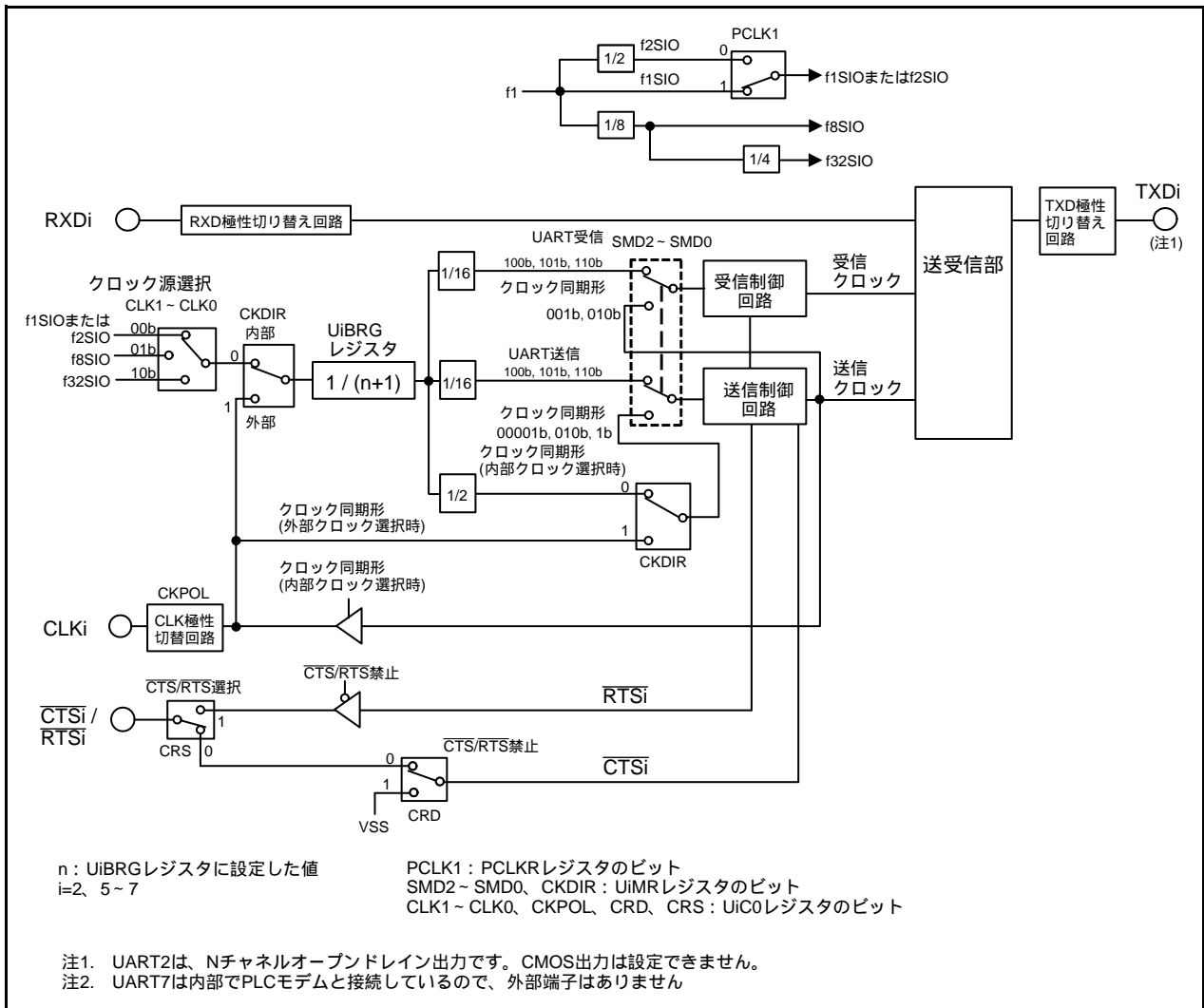


図 19.3 UART2、UART5~7ブロック図

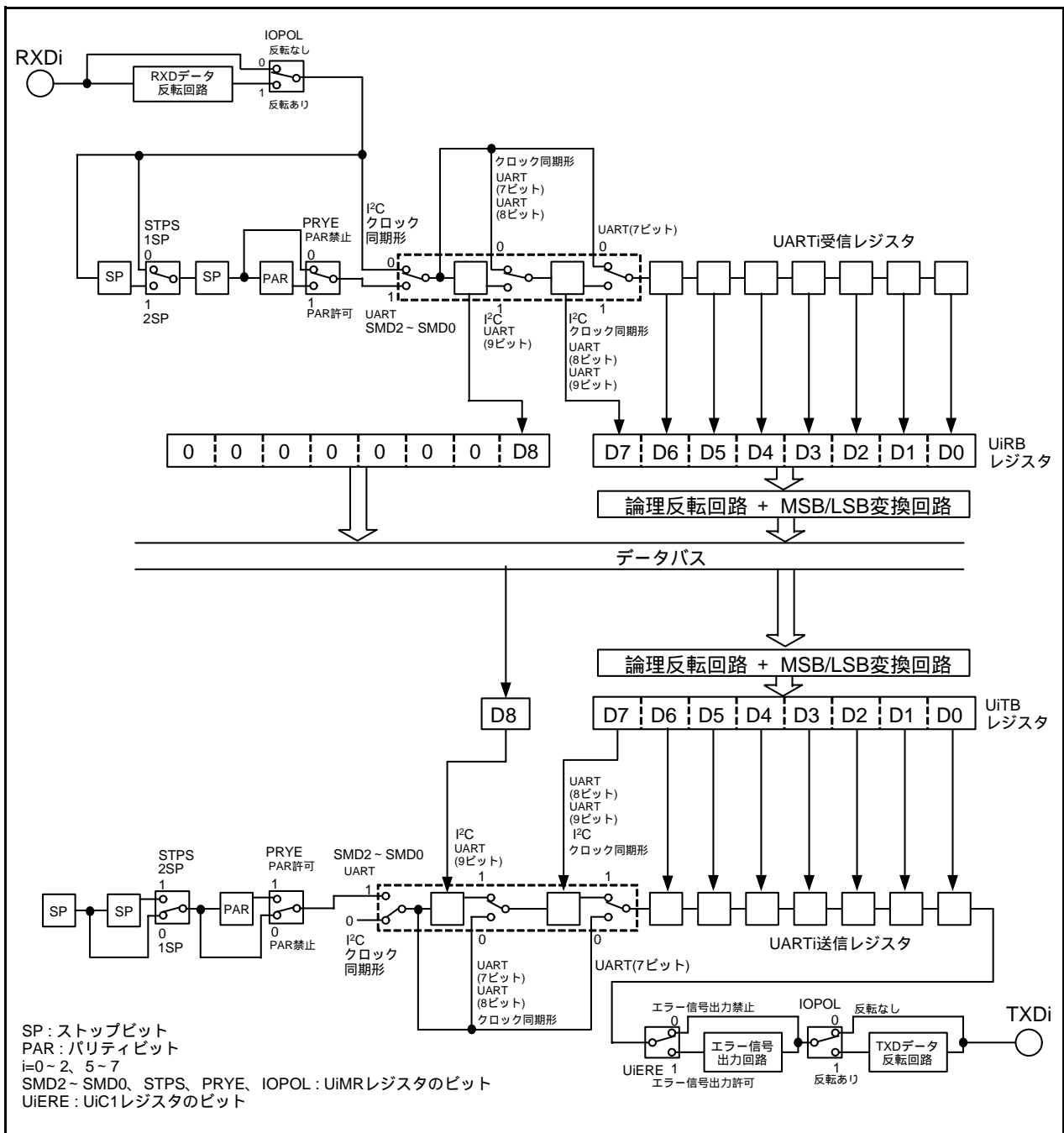


図 19.4 UART_i送受信部ブロック図

19.2 レジスタの説明

UART0~UART2、UART5~UART7関連レジスタを表19.3~表19.4 レジスタ一覧に示します。
レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表19.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0016h	周辺クロック停止レジスタ1	PCLKSTP1	X000 0000b
0244h	UART0特殊モードレジスタ4	U0SMR4	00h
0245h	UART0特殊モードレジスタ3	U0SMR3	000X 0X0Xb
0246h	UART0特殊モードレジスタ2	U0SMR2	X000 0000b
0247h	UART0特殊モードレジスタ	U0SMR	X000 0000b
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	00XX 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART送受信制御レジスタ2	UCON	X000 0000b
0254h	UART1特殊モードレジスタ4	U1SMR4	00h
0255h	UART1特殊モードレジスタ3	U1SMR3	000X 0X0Xb
0256h	UART1特殊モードレジスタ2	U1SMR2	X000 0000b
0257h	UART1特殊モードレジスタ	U1SMR	X000 0000b
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	00XX 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b

表19.4 レジスタ一覧 (2/2)

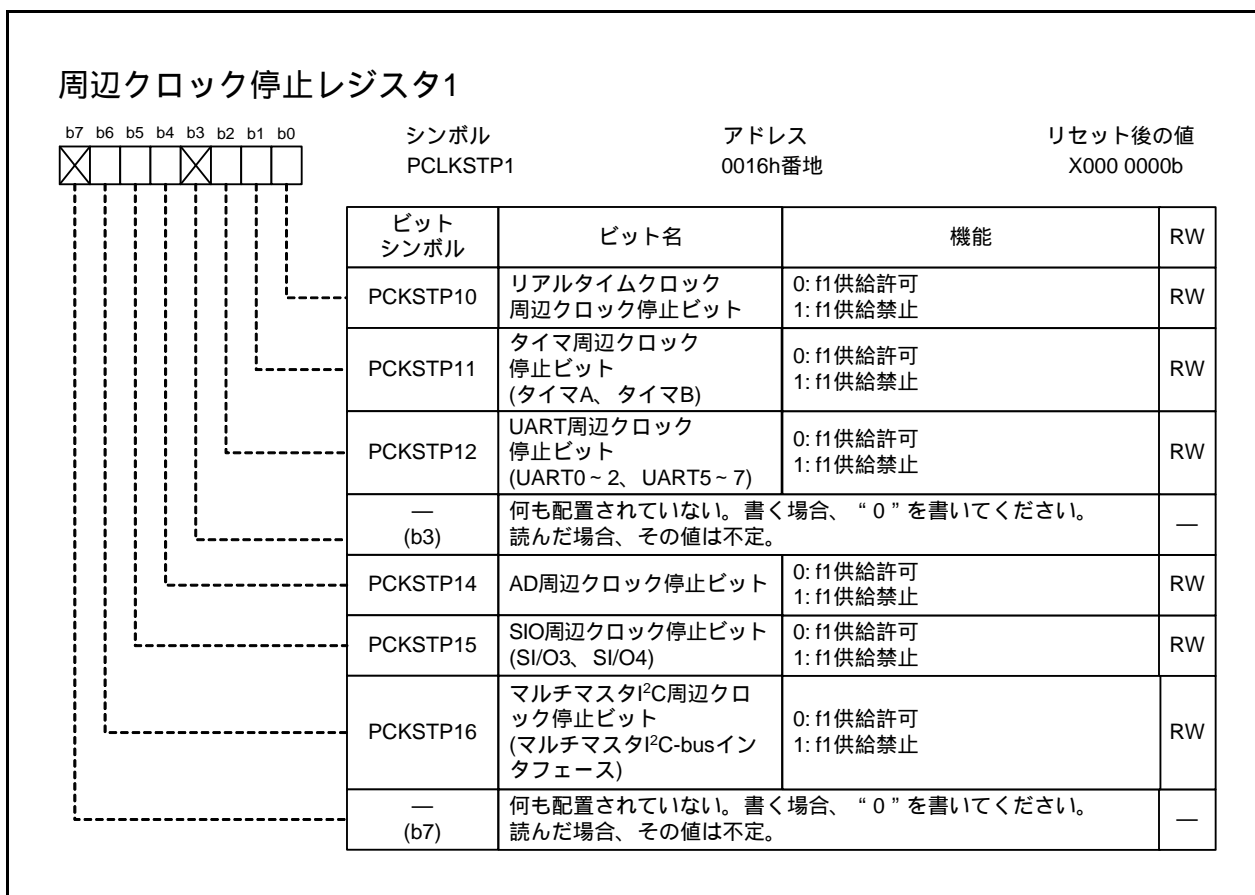
アドレス	レジスタ名	レジスタシンボル	リセット後の値
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X 0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X000 0000b
0287h	UART5特殊モードレジスタ	U5SMR	X000 0000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	0000 1000b
028Dh	UART5送受信制御レジスタ1	U5C1	0000 0010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X 0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X000 0000b
0297h	UART6特殊モードレジスタ	U6SMR	X000 0000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	0000 1000b
029Dh	UART6送受信制御レジスタ1	U6C1	0000 0010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh
02A4h	UART7特殊モードレジスタ4	U7SMR4	00h
02A5h	UART7特殊モードレジスタ3	U7SMR3	000X 0X0Xb
02A6h	UART7特殊モードレジスタ2	U7SMR2	X000 0000b
02A7h	UART7特殊モードレジスタ	U7SMR	X000 0000b
02A8h	UART7送受信モードレジスタ	U7MR	00h
02A9h	UART7ビットレートレジスタ	U7BRG	XXh
02AAh	UART7送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7送受信制御レジスタ0	U7C0	0000 1000b
02ADh	UART7送受信制御レジスタ1	U7C1	0000 0010b
02AEh	UART7受信バッファレジスタ	U7RB	XXh
02AFh			XXh

19.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	PCLKR	0012h番地	0000 0011b
ビットシンボル	ビット名	機能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、マルチマスタ ² C-bus インタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~UART7、SI/O3、SI/O4のクロック源)	0 : f2SIO 1 : f1SIO	RW
(b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
(b7-b6)	予約ビット	“0” にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

19.2.2 周辺クロック停止レジスタ1 (PCLKSTP1)



PCKSTP1 レジスタはPRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP12 (UART 周辺クロック停止ビット) (b2)

送受信クロックのクロック源としてf1を使用する場合、PCKSTP12 ビットを“0”(f1供給許可)にしてください。

19.2.3 UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7)

UARTi送受信モードレジスタ(i=0~2, 5~7)			
ビット シンボル	シンボル	アドレス	リセット後の値
	U0MR、U1MR、U2MR U5MR、U6MR、U7MR	0248h、0258h、0268h番地 0288h、0298h、02A8h番地	00h 00h
ビット シンボル	ビット名	機能	RW
		b2 b1 b0	
SMD0	シリアルI/Oモード選択 ビット	0 0 0: シリアルインタフェースは無効	RW
SMD1		0 0 1: クロック同期形シリアルI/Oモード	RW
SMD2		0 1 0: I ² Cモード 1 0 0: UARTモードキャラクタ長7ビット 1 0 1: UARTモードキャラクタ長8ビット 1 1 0: UARTモードキャラクタ長9ビット 上記以外: 設定しないでください	RW
CKDIR	内/外部クロック選択 ビット	0: 内部クロック 1: 外部クロック	RW
STPS	ストップビット長選択 ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
IOPOL	TXD、RXD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

SMD2~SMD0 (シリアルI/Oモード選択ビット) (b2~b0)

SMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

I²Cモードにするときは、UiSMRレジスタのICMビットを“1”(I²Cモード)にした後で、SMD2~SMD0ビットを“010b”(I²Cモード)にしてください。

19.2.4 UARTiビットレートレジスタ (UiBRG) (i=0~2, 5~7)

UARTiビットレートレジスタ (i=0~2, 5~7)

シンボル	アドレス	リセット後の値
U0BRG、U1BRG、U2BRG	0249h、0259h、0269h番地	XXh
U5BRG、U6BRG、U7BRG	0289h、0299h、02A9h番地	XXh

機能	設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h~FFh (I ² Cモード以外) 03h~FFh (I ² Cモード)	WO

送受信停止中に書いてください。
 このレジスタはMOV命令を使用して書いてください。
 このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

19.2.5 UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7)

UARTi送信バッファレジスタ (i=0~2, 5~7)

シンボル	アドレス	リセット後の値
U0TB	024Bh ~ 024Ah番地	XXXXh
U1TB	025Bh ~ 025Ah番地	XXXXh
U2TB	026Bh ~ 026Ah番地	XXXXh
U5TB	028Bh ~ 028Ah番地	XXXXh
U6TB	029Bh ~ 029Ah番地	XXXXh
U7TB	02ABh ~ 02AAh番地	XXXXh

機能	RW
送信データ	WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

このレジスタはMOV命令を使用して書いてください。
 キャラクタ長が9ビット、またはI²Cモードの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

19.2.6 UARTi送受信制御レジスタ0 (UiC0) (i=0~2, 5~7)

UARTi送受信制御レジスタ0(i=0~2, 5~7)			
ビット シンボル	シンボル	アドレス	リセット後の値
b7	U0C0、U1C0、U2C0	024Ch、025Ch、026Ch番地	0000 1000b
b6	U5C0、U6C0、U7C0	028Ch、029Ch、02ACh番地	0000 1000b
b5			
b4			
b3			
b2			
b1			
b0			

ビット シンボル	ビット名	機能	RW
CLK0	UiBRGカウント ソース選択ビット	b1 b0 0 0: f1SIO または f2SIO を選択 0 1: f8SIO を選択	RW
CLK1		1 0: f32SIO を選択 1 1: 設定しないでください	RW
CRS	CTS/RTS機能選択ビット	CRD=0のとき有効 0: CTS機能を選択 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止	RW
NCH	データ出力選択ビット	0: TXDi/SDAi、SCLi端子はCMOS出力 1: TXDi/SDAi、SCLi端子はNチャネルオー ブドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 送受信クロックの立ち下がり で送信データ出力、立ち上がり で受信データ入力 1: 送受信クロックの立ち上 がり で送信データ出力、立ち下 がり で受信データ入力	RW
UFORM	ビットオーダ選択ビット	0: LSBファースト 1: MSBファースト	RW

CLK1~CLK0 (UiBRG カウントソース選択ビット) (b1~b0)

“00b”(f1SIO または f2SIO を選択)のとき、PCLKR レジスタのPCLK1 ビットで選択してください。
PCLKR レジスタを設定した後で、CLK1~CLK0 を設定してください。
CLK1~CLK0 ビットを変更した場合は、UiBRG レジスタを設定してください。

CRS (CTS/RTS 機能選択ビット) (b2)

CTS_i/RTS_i は UCON レジスタの CLKMD1 ビットが “0”(CLK 出力は CLK1 のみ)、かつ UCON レジスタの RCSP ビットが “0”(CTS0/RTS0 分離しない)のとき使用できます。

CRD (CTS/RTS 禁止ビット) (b4)

CRD ビットが “1”(CTS/RTS 機能禁止)のとき、CTS_i/RTS_i 端子は入出力ポートとして使用できます。

NCH (データ出力選択ビット) (b5)

TXD2/SDA2、SCL2は、Nチャンネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

本機能はCMOS出力バッファのPチャンネルトランジスタを常時オフにするものであり、TXDi/SDAi、SCLi端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

UFORM (ビットオーダ選択ビット) (b7)

UFORMビットはUiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモードキャラクタ長7ビット)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

19.2.7 UARTi送受信制御レジスタ1 (UiC1) (i=0~2, 5~7)

UARTi送受信制御レジスタ1 (i=0, 1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル U0C1、U1C1	アドレス 024Dh、025Dh番地	リセット後の値 00XX 0010b
-------------------------	-------------------	-----------------------	-----------------------

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
UiLCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW
UiERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

UARTi送受信制御レジスタ1(i=2, 5~7)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル U2C1 U5C1、U6C1、U7C1	アドレス 026Dh番地 028Dh、029Dh、02ADh番地	リセット後の値 0000 0010b 0000 0010b
-------------------------	--------------------------------	--	-------------------------------------

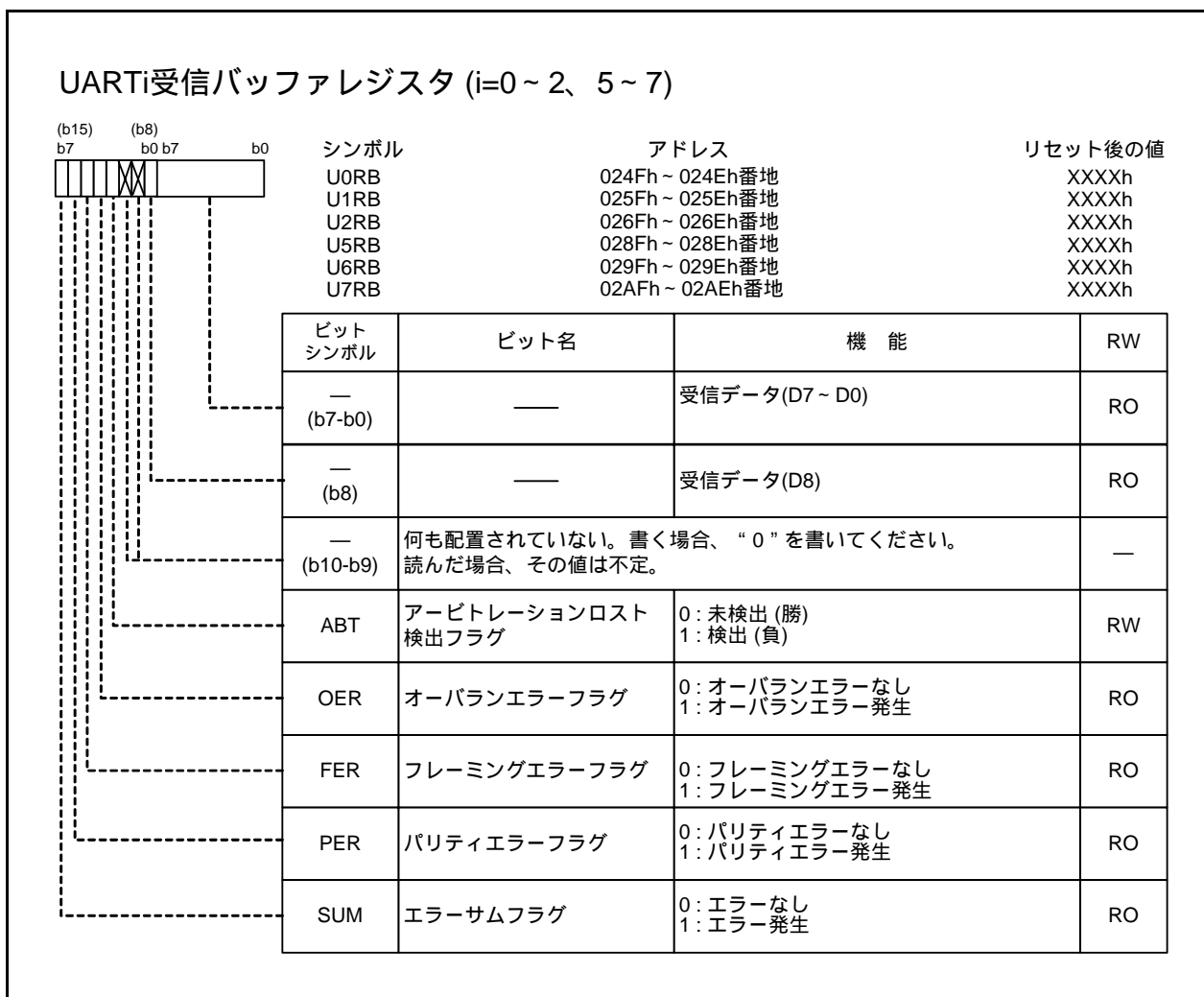
ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
UiIRS	UARTi送信割り込み要因 選択ビット	0: UiTBレジスタ空(TI=1) 1: 送信完了(TXEPT=1)	RW
UiRRM	UARTi連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
UiLCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW
UiERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

UART0、UART1のUiIRS、UiRRMビットはUCONレジスタにあります。

UiLCH (データ論理選択ビット) (b6)

UiLCHビットは、UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモードキャラクタ長7ビット)または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

19.2.8 UARTi受信バッファレジスタ (UiRB) (i=0~2, 5~7)



UiMRレジスタのSMD2~SMD0ビットが“100b”、“101b”または“110b”の場合は、16ビット単位で読み出すか、または8ビット単位で上位バイトを先に、下位バイトを後で読み出して下さい。下位バイトを読み出すと上位バイトに配置されたFER,PERビットが“0”になります。

オーバランエラーが発生したとき、UiRBレジスタの受信データは不定です。

ABT (アービトレーションロスト検出フラグ) (b11)

ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

OER (オーバランエラーフラグ) (b12)

[“0”になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)

[“1”になる条件]

- UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)かつ次のデータの最終ビットを受信

FER (フレーミングエラーフラグ) (b13)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、FERビットは無効です。これらのモードで読んだ場合、その値は不定です。

["0"になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが0”(受信禁止)
- UiRBレジスタの下位バイトを読む

["1"になる条件]

- 設定した個数のストップビットが検出されない
(受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

PER (パリティエラーフラグ) (b14)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、PERビットは無効です。これらのモードで読んだ場合、その値は不定です。

UiMRレジスタのPRYEビットが“1”(パリティ許可)の場合に有効です。

["0"になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが0”(受信禁止)
- UiRBレジスタの下位バイトを読む

["1"になる条件]

- パリティビットとキャラクタビット中の“1”の個数が設定した個数でない
(受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

SUM (エラーサムフラグ) (b15)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合は、SUMビット無効です。これらのモードで読んだ場合、その値は不定です。

["0"になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが0”(受信禁止)
- PER、FER、OERビットがすべて“0”(エラーなし)

["1"になる条件]

- PER、FER、OERビットのうち1つ以上が“1”(エラー発生)

19.2.9 UART送受信制御レジスタ2 (UCON)

UART送受信制御レジスタ2			
ビット シンボル	シンボル UCON	アドレス 0250h番地	リセット後の値 X000 0000b
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
	ビット シンボル	ビット名	機能
	U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)
	U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)
	U0RRM	UART0連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可
	U1RRM	UART1連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可
	CLKMD0	UART1CLK、CLKS選択 ビット0	CLKMD1=1のとき有効 0: CLK1からクロックを出力 1: CLKS1からクロックを出力
	CLKMD1	UART1CLK、CLKS選択 ビット1	0: CLK出力はCLK1のみ 1: 送受信クロック複数端子出力機能選択
	RCSP	UART0CTS/RTS分離ビット	0: CTS/RTS共通端子 1: CTS/RTS分離
	— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

UART2、UART5~UART7のUiIRS、UiRRMビットはUiC1レジスタにあります。

CLKMD1 (UART1CLK、CLKS選択ビット1) (b5)

複数の送受信クロック出力端子を使用する場合、次の条件を満たしてください。

U1MRレジスタのCKDIRビット=0(内部クロック)

19.2.10 UARTi特殊モードレジスタ4 (UiSMR4) (i=0~2, 5~7)

UARTi特殊モードレジスタ4 (i=0~2, 5~7)			
ビットシンボル	ビット名	機能	RW
STAREQ	スタートコンディション生成ビット	0: クリア 1: スタート	RW
RSTAREQ	リスタートコンディション生成ビット	0: クリア 1: スタート	RW
STPREQ	ストップコンディション生成ビット	0: クリア 1: スタート	RW
STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコンディション出力しない 1: スタートコンディション、ストップコンディション出力する	RW
ACKD	ACKデータビット	0: ACK 1: NACK	RW
ACKC	ACKデータ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACKデータ出力	RW
SCLHI	SCL出力停止ビット	ストップコンディション検出時、 0: SCL出力を停止しない 1: SCL出力を停止する	RW
SWC9	SCLウェイト自動挿入ビット ³	0: ウェイトなし/ウェイト解除 1: 9ビット目を受信後、SCL端子を“L”に固定	RW

STAREQ (スタートコンディション生成ビット) (b0)

スタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。UiSMRレジスタのHCMビットが“1”(I²Cモード)のとき“1”にできます。HCMビットが“0”のときは“1”を書かないでください。

RSTAREQ (リスタートコンディション生成ビット) (b1)

リスタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。UiSMRレジスタのHCMビットが“1”(I²Cモード)のとき“1”にできます。HCMビットが“0”のときは“1”を書かないでください。

STPREQ (ストップコンディション生成ビット) (b2)

ストップコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。UiSMRレジスタのHCMビットが“1”(I²Cモード)のとき“1”にできます。HCMビットが“0”のときは“1”を書かないでください。

STSPSEL (SCL、SDA出力選択ビット) (b3)

I²Cモードでマスタの場合に使用します。UiSMRレジスタのHCMビットが“1”(I²Cモード)のとき“1”にできます。HCMビットが“0”のときは“1”を書かないでください。

先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”(スタート)にした後、“1”(スタートコンディション/ストップコンディション生成回路選択)にしてください。

ACKD (ACKデータビット) (b4)

ACKC (ACKデータ出力許可ビット) (b5)

SWC9 (SCLウェイト自動挿入ビット3) (b7)

I²Cモードでスレーブの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

SCLHI (SCL出力停止ビット) (b6)

I²Cモードでマスタの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

19.2.11 UARTi特殊モードレジスタ3 (UiSMR3) (i=0~2, 5~7)

UARTi特殊モードレジスタ3 (i=0~2, 5~7)			
ビット シンボル	シンボル	アドレス	リセット後の値
	U0SMR3、 U5SMR3	0245h、 0285h	000X 0X0Xb 000X 0X0Xb
	U1SMR3、 U6SMR3	0255h、 0295h	0265h番地 02A5h番地
	U2SMR3、 U7SMR3		
ビット シンボル	ビット名	機 能	RW
— (b0)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
— (b2)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
NODC	クロック出力選択ビット	0: CLKiはCMOS出力 1: CLKiはNチャネルオープンドレイン出力	RW
— (b4)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
DL0	SDAiデジタル 遅延値設定ビット	b7 b6 b5 0 0 0: 遅延なし	RW
DL1		0 0 1: UiBRGカウントソースの1~2サイクル	RW
DL2		0 1 0: UiBRGカウントソースの2~3サイクル	RW
		0 1 1: UiBRGカウントソースの3~4サイクル	
		1 0 0: UiBRGカウントソースの4~5サイクル	
		1 0 1: UiBRGカウントソースの5~6サイクル	
		1 1 0: UiBRGカウントソースの6~7サイクル	
		1 1 1: UiBRGカウントソースの7~8サイクル	

NODC (クロック出力選択ビット) (b3)

本機能はCMOS出力バッファのPチャネルトランジスタを常時オフにするものであり、CLKi端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

DL2~DL0 (SDAi デジタル遅延値設定ビット) (b7~b5)

DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b”(遅延なし)にしてください。

遅延量はSCLi端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

19.2.12 UARTi特殊モードレジスタ2 (UiSMR2) (i=0~2, 5~7)

UARTi特殊モードレジスタ2 (i=0~2, 5~7)

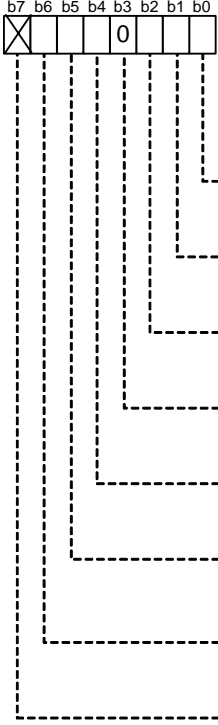
ビットシンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入ビット	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCLi端子を“L”に固定	RW
ALS	SDA出力自動停止ビット	アービトレーションロスト検出時、 0: SDAi出力を停止しない 1: SDAi出力を停止する	RW
STAC	UARTi自動初期化ビット	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2	0: SCLi端子に送受信クロックを出力 1: SCLi端子を“L”に固定	RW
SDHI	SDA出力禁止ビット	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

シンボル: U0SMR2、U1SMR2、U2SMR2、U5SMR2、U6SMR2、U7SMR2

アドレス: 0246h、0256h、0266h番地、0286h、0296h、02A6h番地

リセット後の値: X000 0000b、X000 0000b

19.2.13 UARTi特殊モードレジスタ (UiSMR) (i=0~2, 5~7)

UARTi特殊モードレジスタ(i=0~2, 5~7)			
ビット シンボル	シンボル U0SMR、U1SMR、U2SMR U5SMR、U6SMR、U7SMR	アドレス 0247h、0257h、0267h番地 0287h、0297h、02A7h番地	リセット後の値 X000 0000b X000 0000b
			
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトラージロスト 検出フラグ制御ビット	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW
— (b3)	予約ビット	“0” にしてください。	RW
ABSCS	バス衝突検出サンプリング クロック選択ビット	0: 送受信クロックの立ち上がり 1: タイマAjのアンダフロー信号	RW
ACSE	送信許可ビット自動クリア 機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RXDiに同期しない 1: RXDiに同期する	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

BBS (バスビジーフラグ) (b2)

BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

ABSCS (バス衝突検出サンプリングクロック選択ビット) (b4)

ABSCSビットが“1”の場合のUARTiとタイマAjの組み合わせは次のとおりです。

UART0、UART6: タイマA3のアンダフロー信号

UART1、UART7: タイマA4のアンダフロー信号

UART2、UART5: タイマA0のアンダフロー信号

SSS (送信開始条件選択ビット) (b6)

送信が始まると、SSSビットは“0”(RXDiに同期しない)になります。

19.3 動作説明

19.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、送受信クロックを用いて送受信を行うモードです。表19.5にクロック同期形シリアルI/Oモードの仕様を示します。

表19.5 クロック同期形シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMRレジスタのCKDIRビットが“0”(内部クロック): $\frac{f_j}{2(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$レジスタの設定値 00h~FFh • CKDIRビットが“1”(外部クロック): CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTS_i端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み 次のいずれかを選択可 <ul style="list-style-type: none"> • UiC1またはUCONレジスタのUiIRSビットが“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 • 送受信クロック複数端子出力選択(UART1) UART1の送受信クロック端子を2本設定し、プログラムで出力端子を選択可 • CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

i=0~2, 5~7

注1. 順序は関係ありません。外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から送受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)の場合、外部クロックが“L”

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

表19.6にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表19.6は、送受信クロック複数端子出力選択機能を非選択の場合です。また、表19.7にクロック同期形シリアルI/Oモード時のP6_4端子の機能を示します。

なお、UARTiの動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表19.8にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表19.6 クロック同期形シリアルI/Oモード時の入出力端子の機能(送受信クロック複数端子出力機能を非選択の場合)

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	ポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	出力	送受信クロック出力	UiMRレジスタのCKDIRビット=0
	入力	送受信クロック入力	UiMRレジスタのCKDIRビット=1 端子を共用するポートの方向ビットを“0”にする
CTS \overline /RTSi	入力	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力	入出力ポート	UiC0レジスタのCRDビット=1

i=0~2, 5~7

表19.7 クロック同期形シリアルI/Oモード時のP6_4端子の機能

端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	-	0	0	-	入力: 0、出力: 1
CTS \overline 1	0	0	0	0	-	0
RTS \overline 1	0	1	0	0	-	-
CTS0(注1)	0	0	1	0	-	0
CLKS1	-	-	-	1(注2)	1	-

- : “0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

注2. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

- U1C0レジスタのCKPOLビットが“0” : H
- U1C0レジスタのCKPOLビットが“1” : L

表19.8 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウントソースを選択してください
PCLKSTP1	PCKSTP12	f1を使用する場合“0”にしてください
UiTB	0~7	送信データを設定してください
	8	- (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	8、11、13~15	読んだ場合、その値は不定
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
Uic0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	送受信クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UIC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~2	“0”にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください
	U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=1のとき送受信クロックを出力する端子を選択してください
	CLKMD1	UART1の送受信クロックを2端子から出力する場合、“1”にしてください
	RCSP	UART0のCTS0/RTSを分離する場合、“1”にしてください
	7	“0”にしてください

i=0~2, 5~7 j=2, 5~7

注1. この表は手順を示すものではありません。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

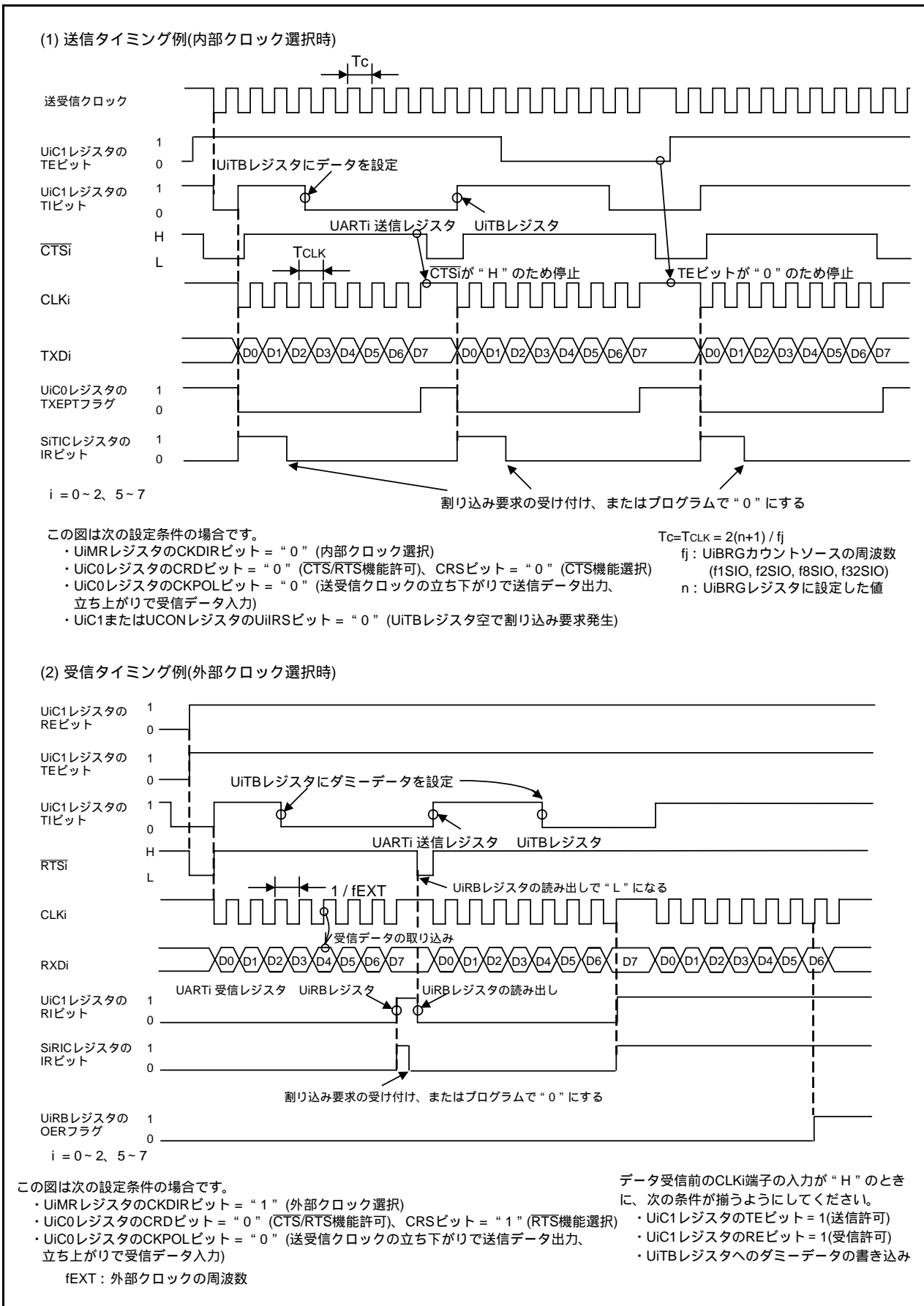


図 19.5 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

19.3.1.1 CLK極性選択

UIC0レジスタ (i=0~2, 5~7)のCKPOLビットで送受信クロックの極性を選択できます。図19.6に送受信クロックの極性を示します。

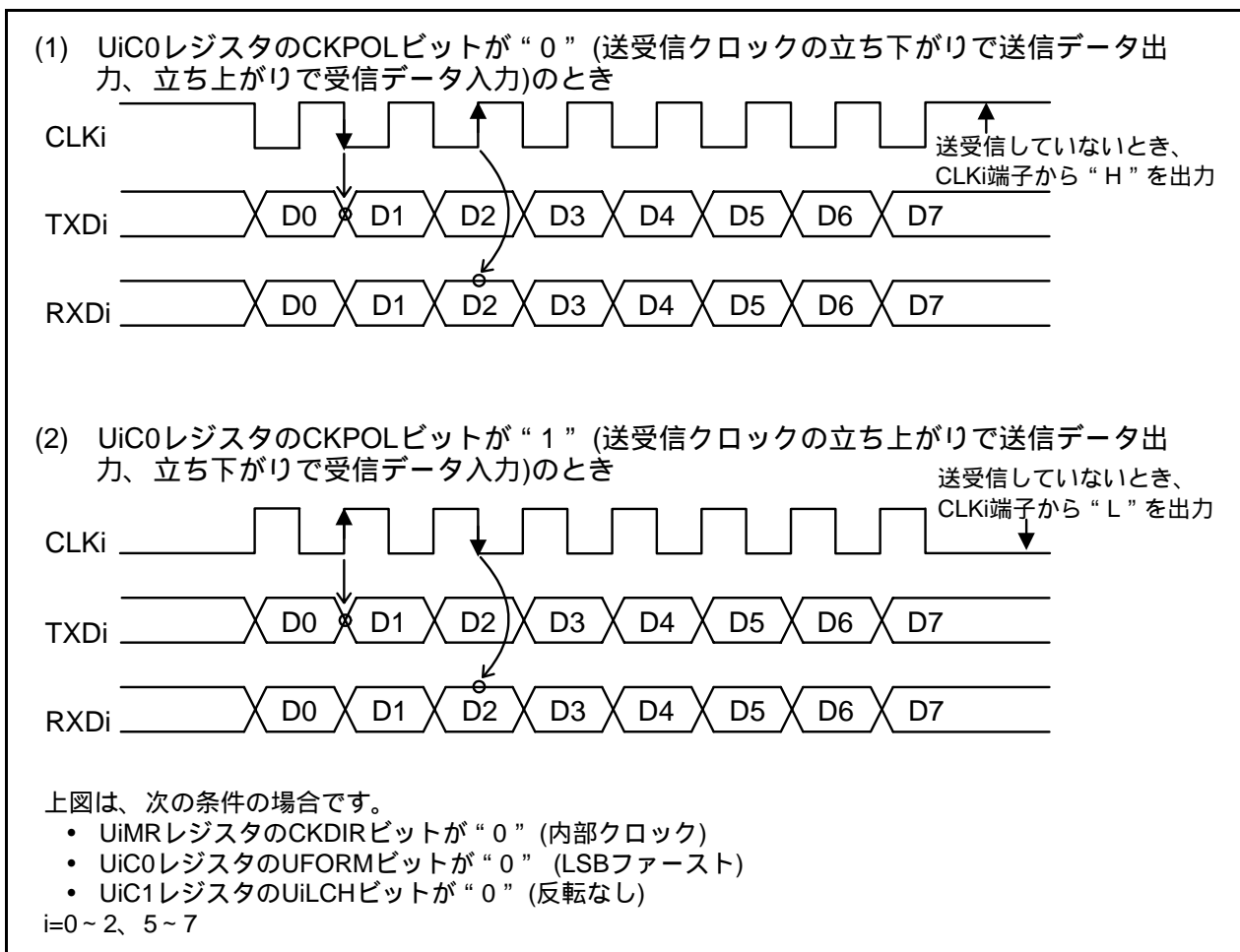


図19.6 送受信クロックの極性

19.3.1.2 LSBファースト、MSBファースト選択

UiC0レジスタ (i=0~2, 5~7)のUFORMビットでビットオーダを選択できます。図19.7にビットオーダを示します。

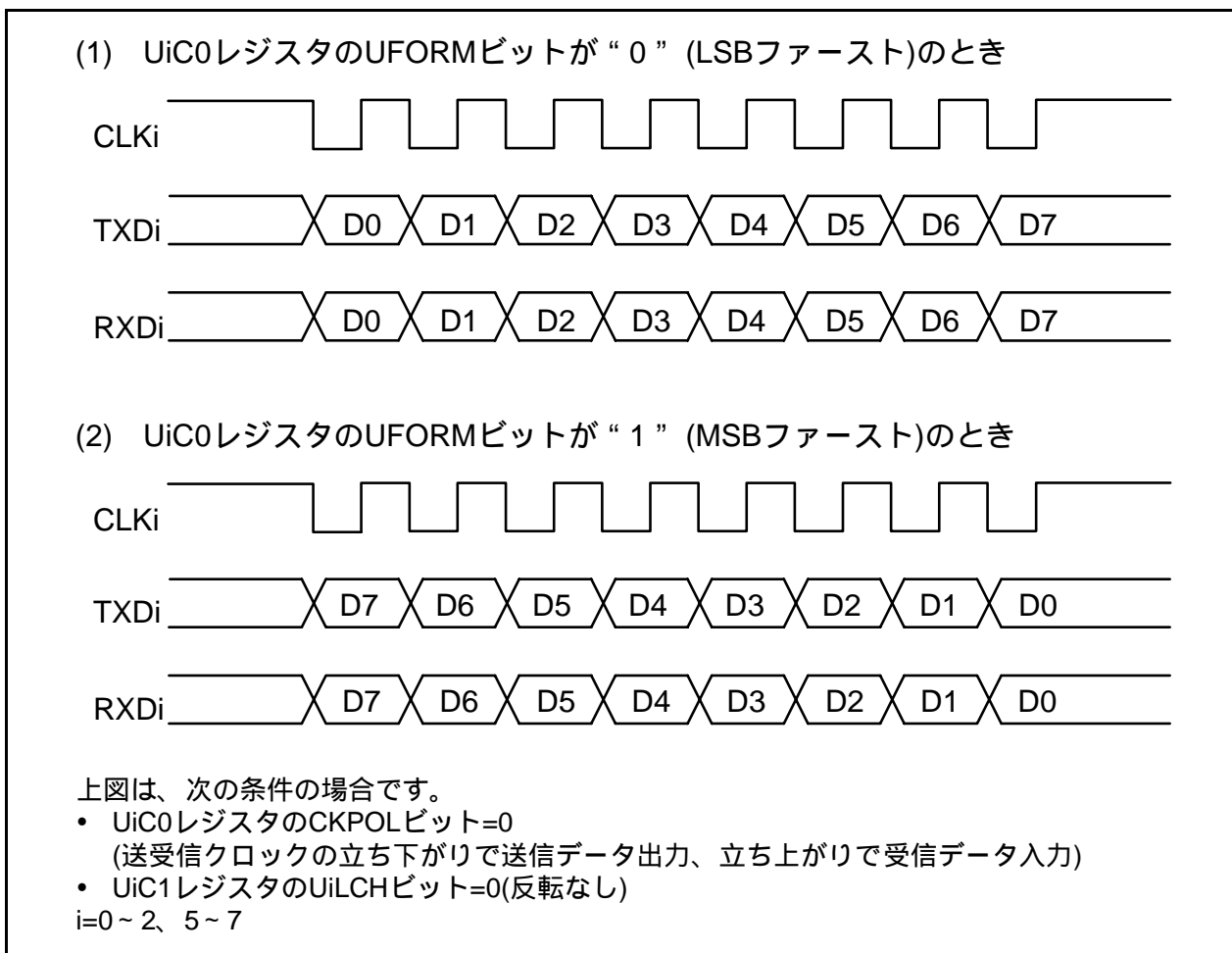


図19.7 ビットオーダ

19.3.1.3 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiC1またはUCONレジスタのUiRRMビット(i=0~2, 5~7)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが0(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

外部クロック使用時は、8ビット目のデータを受信してから、次の送信が始まるまでにUiRBレジスタを読み出してください。

図19.8に連続受信モードの動作例を示します。

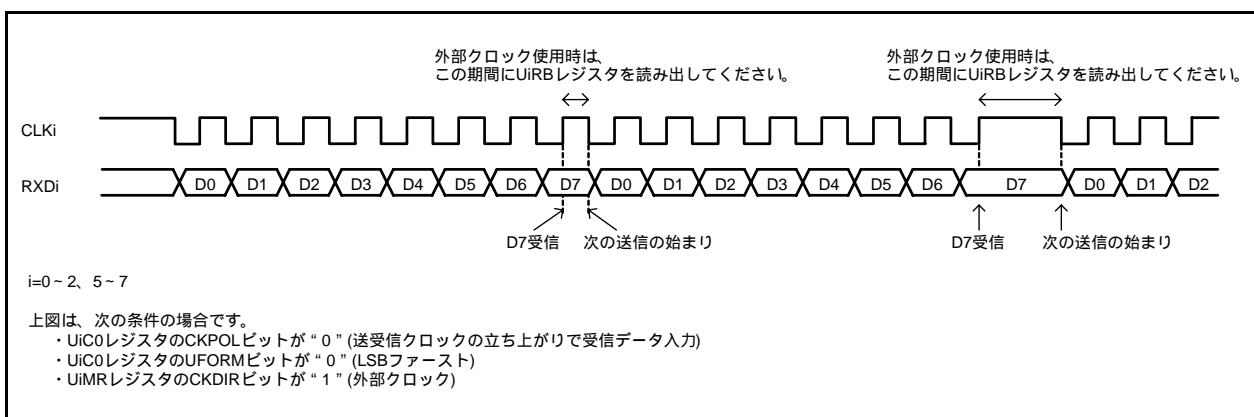


図19.8 連続受信モードの動作例

19.3.1.4 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2, 5~7)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図19.9にシリアルデータ論理を示します。

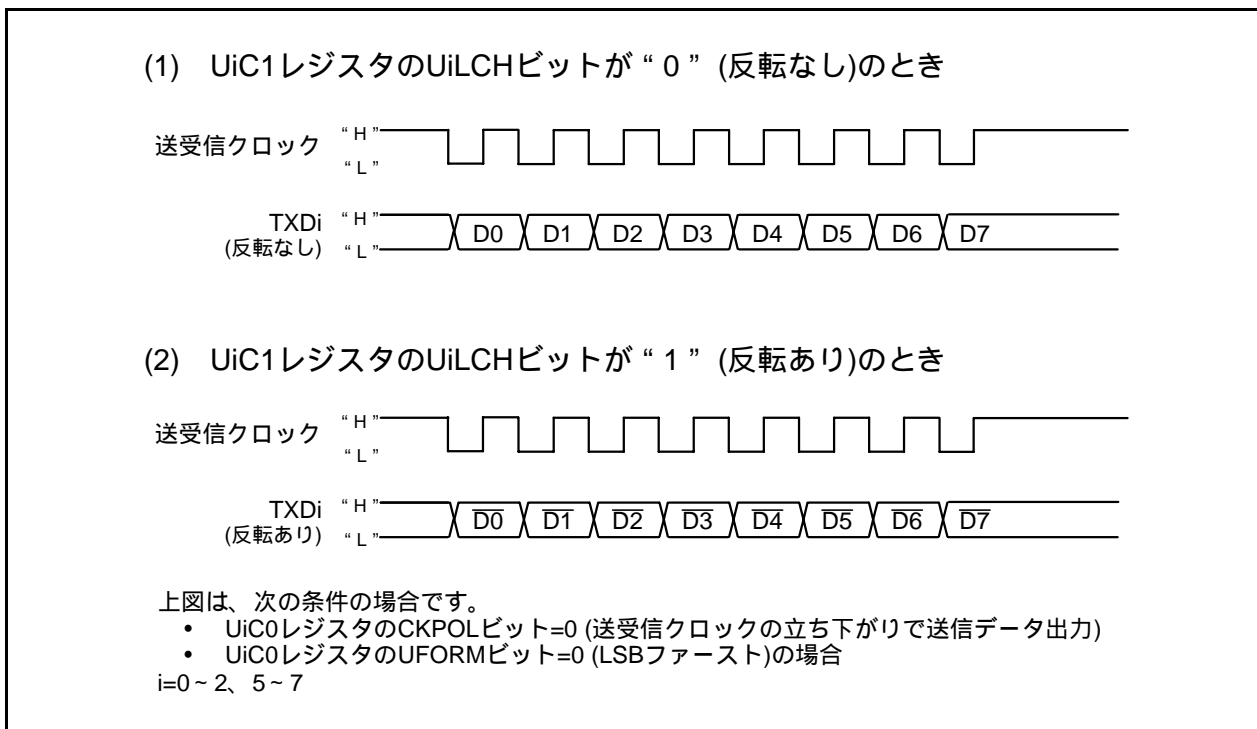


図19.9 シリアルデータ論理

19.3.1.5 送受信クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の送受信クロック出力端子から1本を選択できます(図19.10)。この機能は、UART1の送受信クロックが内部クロックの場合に使用できます。

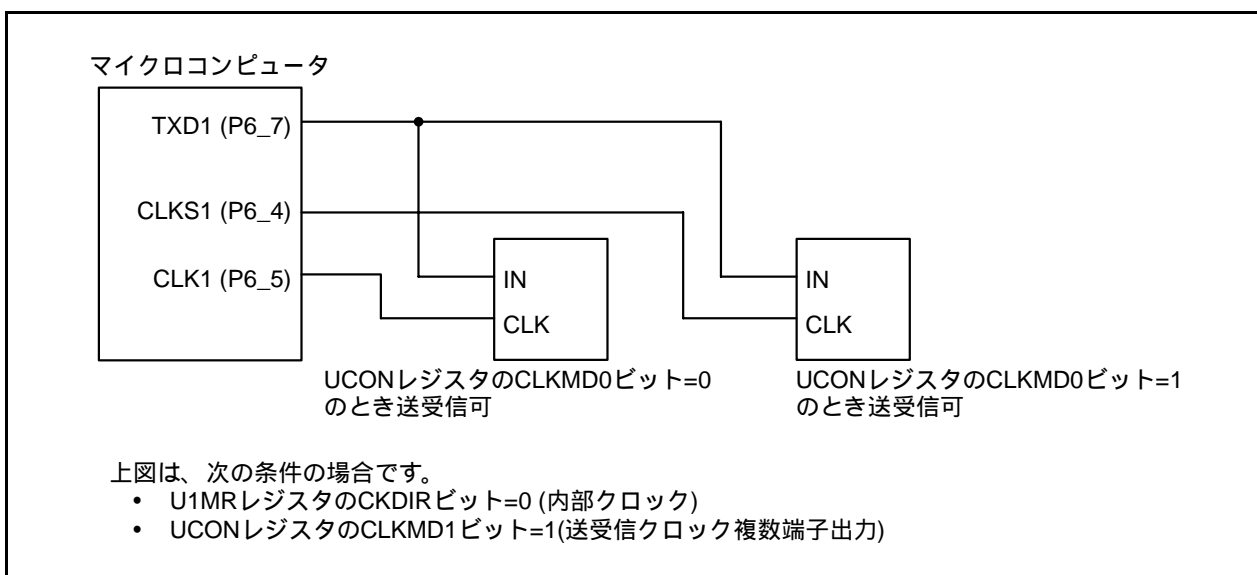


図19.10 送受信クロック複数端子出力機能の使用例

19.3.1.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~2, 5~7) 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLK_i端子の最初の立ち下がりで出力レベルが“H”になります。

端子の機能選択は「表19.6 クロック同期形シリアルI/Oモード時の入出力端子の機能(送受信クロック複数端子出力機能を非選択の場合)」を参照してください。

19.3.1.7 CTS/RTS分離機能 (UART0)

CTS0/RTS0を分離し、RTS0をP6_0端子から出力、CTS0をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0 (UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1 (UART0のRTS出力)
- U1C0レジスタのCRDビット=0 (UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0 (UART1のCTS入力)
- UCONレジスタのRCSPビット=1 (CTS0をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0 (CLKS1を使用しない)

なお、CTS/RTS分離機能使用時、UART1のCTS/RTS機能は使用できません。

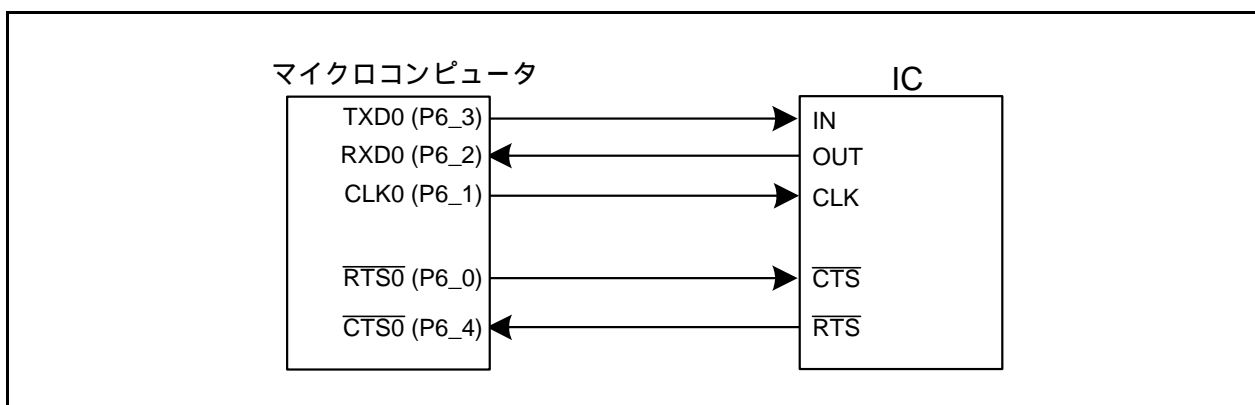


図19.11 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

19.3.1.8 通信の途中終了時、または通信エラー発生時の処理

クロック同期形シリアルI/Oモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) U_iC1 レジスタ (i=0~2, 5~7) のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) レジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U_iMR レジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U_iC1 レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

19.3.2 クロック非同期形シリアルI/O (UART) モード

UARTモードは、任意のビットレート、ビットオーダを設定して送受信を行うモードです。表19.9にUARTモードの仕様を示します。

表19.9 UARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> • キャラクタビット 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
送受信クロック	<ul style="list-style-type: none"> • UiMRレジスタのCKDIRビットが0(内部クロック): $\frac{f_j}{16(n+1)}$ $f_j = f1SIO, f2SIO, f8SIO, f32SIO \quad n = \text{UiBRGレジスタの設定値 } 00h\text{--}FFh$ • CKDIRビットが“1”(外部クロック): $\frac{f_{EXT}}{16(n+1)}$ $f_{EXT} \text{はCLKi端子からの入力} \quad n = \text{UiBRGレジスタの設定値 } 00h\text{--}FFh$
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信割り込み 次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1またはUCONレジスタのUiIRSビットが“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティ許可時にパリティビットとキャラクタビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する。

i=0~2, 5~7

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。また SiRICレジスタのIRビットは変化しません。

表19.10にUARTモード時の入出力端子の機能を示します。表19.11にUARTモード時のP6_4端子の機能を示します。なお、UARTiの動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表19.12にUARTモード時の使用レジスタと設定値(注1)を示します。

表19.10 UARTモード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	入出力	入出力ポート	UiMRレジスタのCKDIRビット=0
	入力	送受信クロック入力	UiMRレジスタのCKDIRビット=1 端子を共用するポートの方向ビットを“0”にする
CTS \bar{i} /RTS \bar{i}	入力	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力	入出力ポート	UiC0レジスタのCRDビット=1

i=0~2, 5~7

表19.11 UARTモード時のP6_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	-	0	0	入力: 0、出力: 1
CTS1	0	0	0	0	0
RTS1	0	1	0	0	-
CTS0(注1)	0	0	1	0	0

- : “0” または “1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

表19.12 UARTモード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウントソースを選択してください。
PCLKSTP1	PCKSTP12	f1を使用する場合“0”にしてください
UiTB	0~8	送信データを設定してください(注2)
UiRB	0~8	受信データが読めます(注2、4)
	11	読んだ場合、その値は不定
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”を設定してください。
		キャラクタ長が8ビットの場合、“101b”を設定してください。
		キャラクタ長が9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注3)
	CKPOL	“0”にしてください
	UFORM	キャラクタ長8ビット時、LSBファースト、MSBファーストを選択できます。キャラクタ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	“0”にしてください
	U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i=0~2, 5~7 j=2, 5~7

- 注1. この表は手順を示すものではありません。
注2. 使用するビットは次のとおりです。キャラクタ長7ビット: ビット0~6、キャラクタ長8ビット: ビット0~7、キャラクタ長9ビット: ビット0~8
注3. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませので、書く場合“0”を書いてください。
注4. キャラクタ長7ビットの場合、ビット7、8の内容は不定です。
キャラクタ長8ビットの場合、ビット8の内容は不定です。

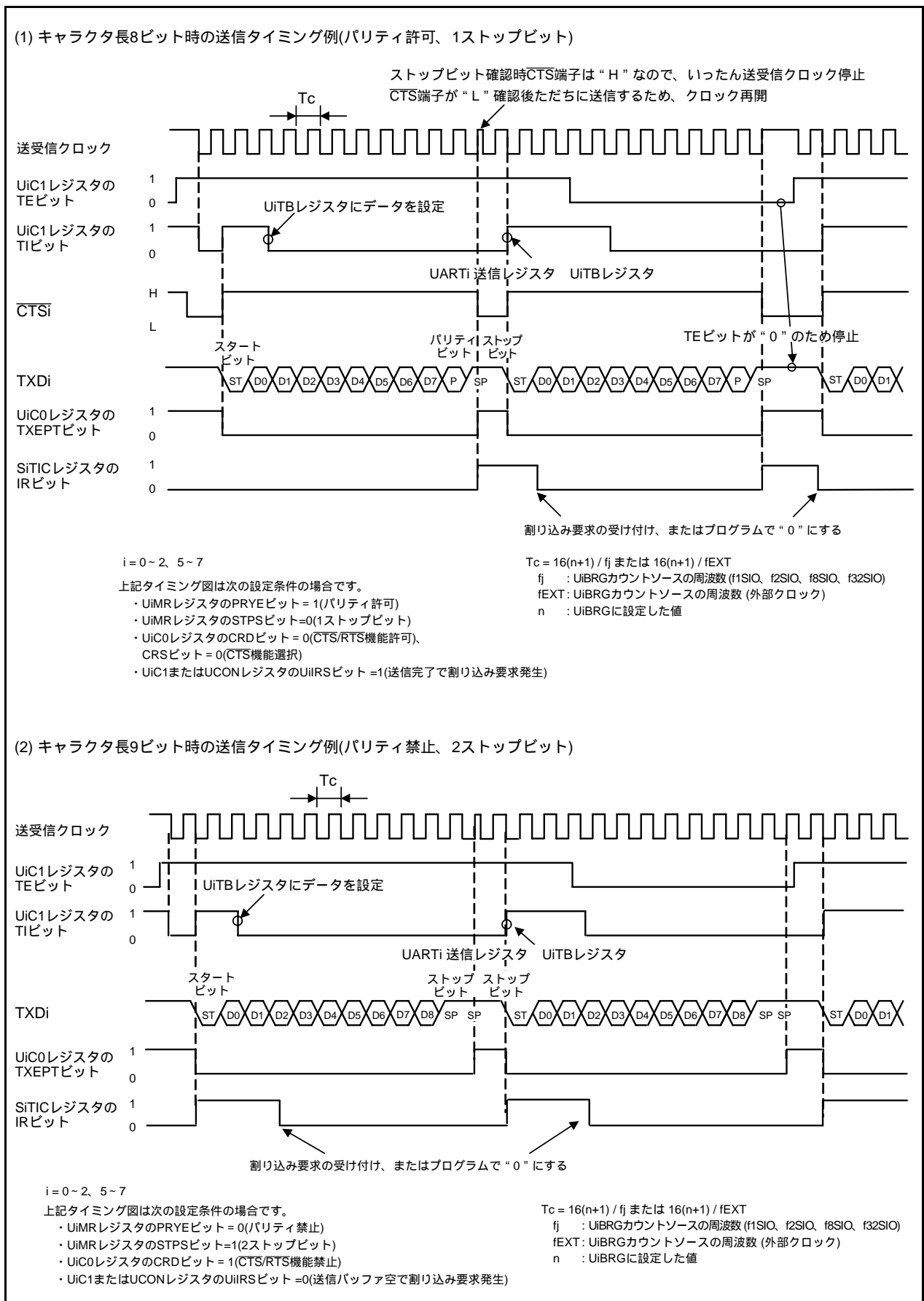


図19.12 UARTモード時の送信タイミング例

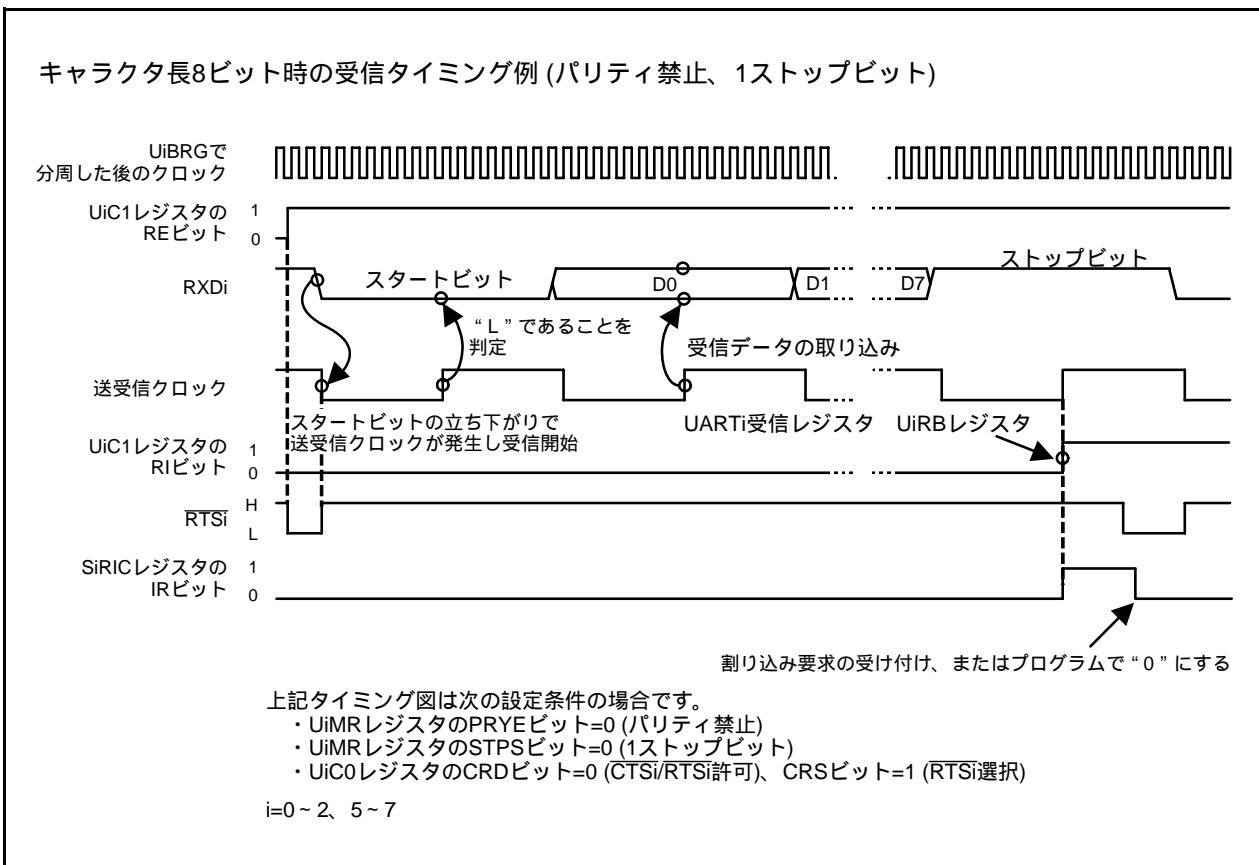


図 19.13 UARTモード時の受信タイミング例

19.3.2.1 ビットレート

UARTモードは、UiBRGレジスタ(i=0~2, 5~7)で分周した周波数の16分周がビットレートになります。UiBRGレジスタの設定値(n)は次の式で求められます。

$$n = \frac{f_j}{\text{ビットレート (bps)} \times 16} - 1$$

$f_j = f1SIO, f2SIO, f8SIO, f32SIO$

$n = 00h \sim FFh$

表19.13にビットレートの設定例の設定例を示します。

表19.13 ビットレートの設定例

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロックf1: 15.36 MHz	
		UiBRGの設定値: n	ビットレート (bps)
1200	f8SIO	99 (63h)	1200
2400	f8SIO	49 (31h)	2400
4800	f8SIO	24 (18h)	4800
9600	f1SIO	99 (63h)	9600
19200	f1SIO	49 (31h)	19200
38400	f1SIO	24 (18h)	38400

19.3.2.2 LSBファースト、MSBファースト選択

図19.14に示すように、UiC0レジスタのUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに有効です。

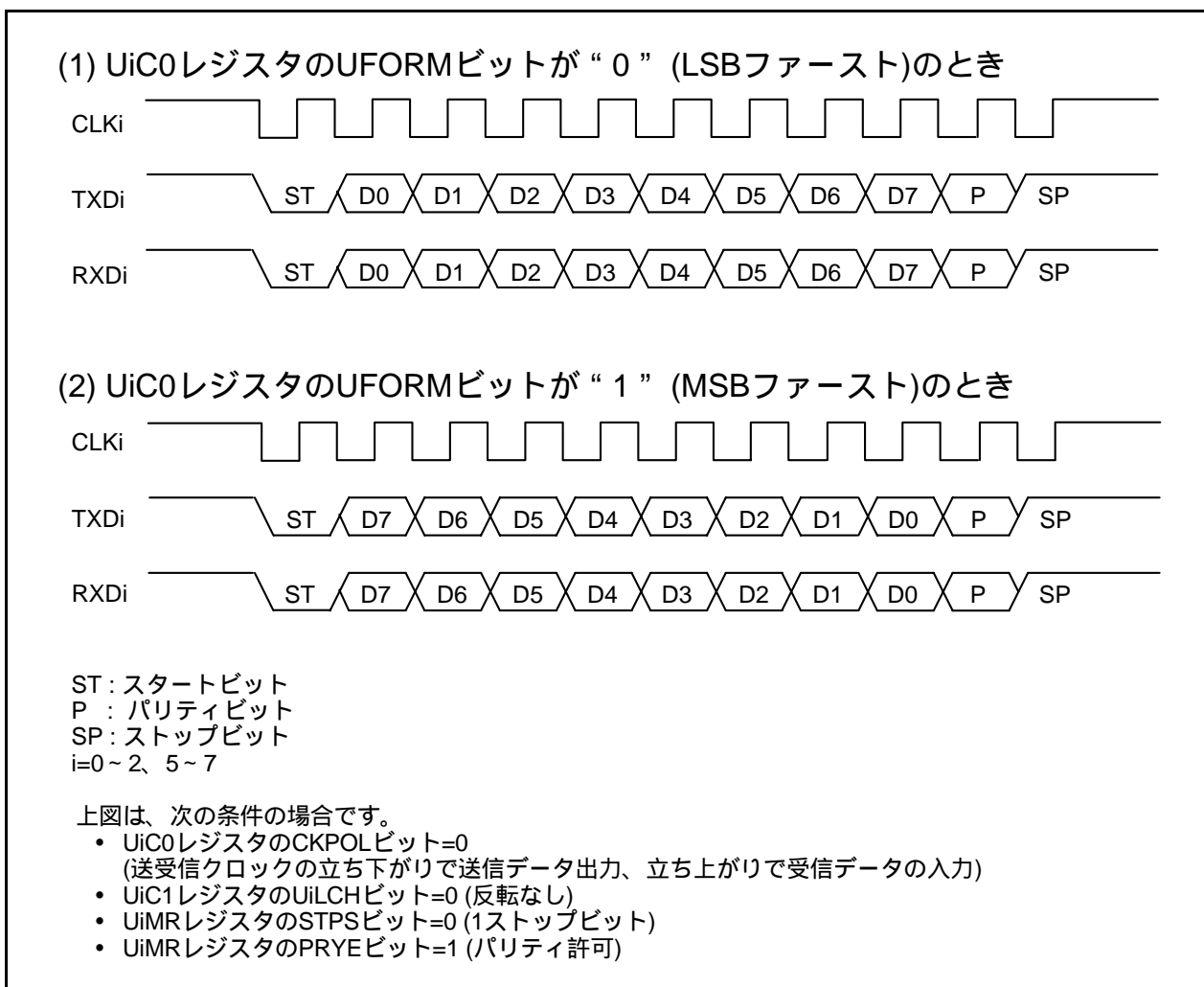


図19.14 ビットオーダ

19.3.2.3 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図19.15にシリアルデータ論理を示します。

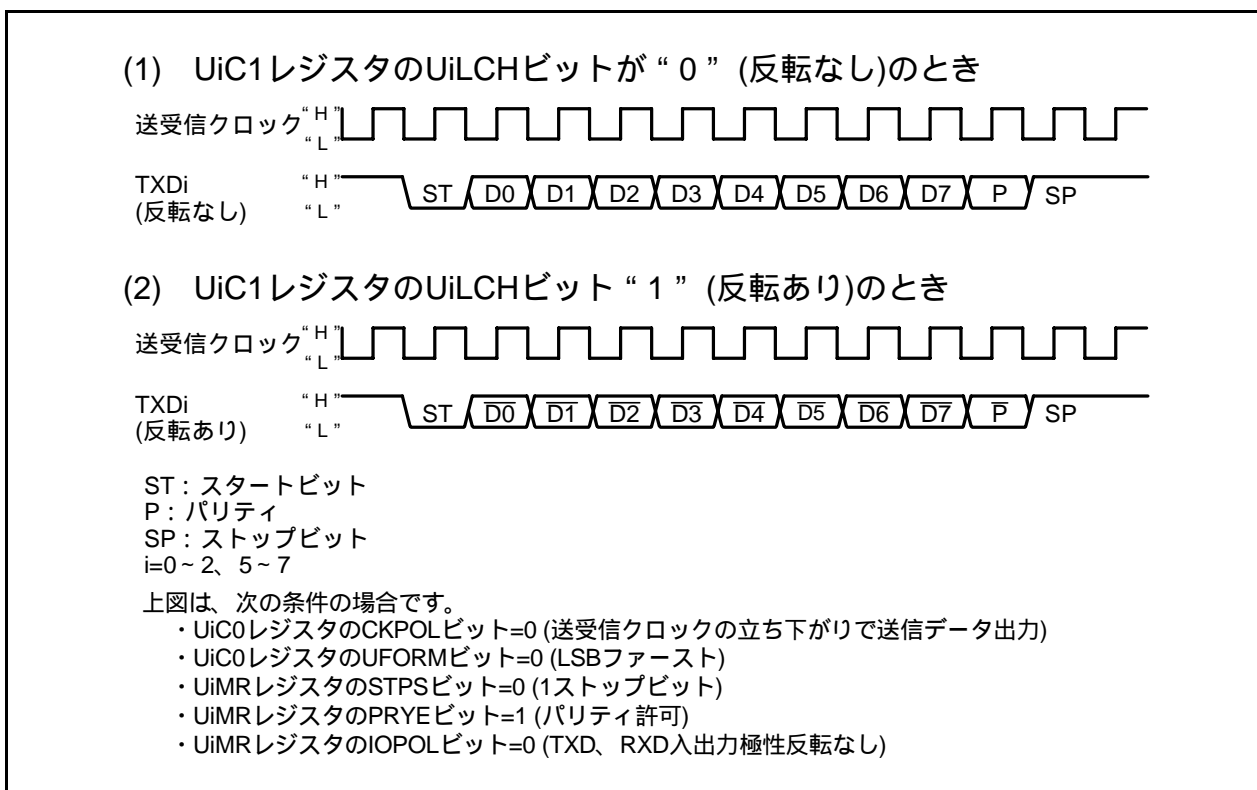


図19.15 シリアルデータ論理

19.3.2.4 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図19.16にTXD、RXD入出力極性切り替えを示します。

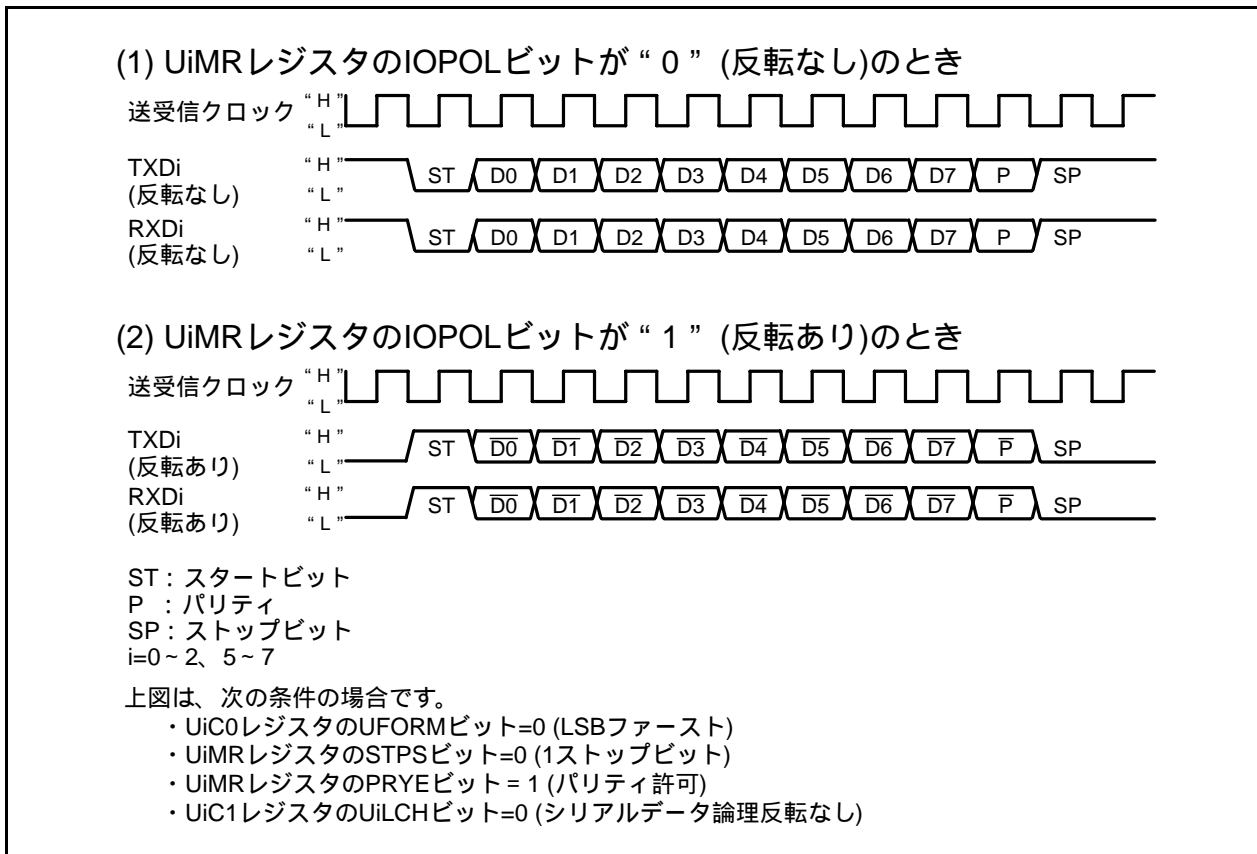


図19.16 TXD、RXD入出力極性切り替え

19.3.2.5 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~2, 5~7) 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表19.10 UARTモード時の入出力端子の機能」を参照してください。

19.3.2.6 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 分離機能 (UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0 (UART0の $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1 (UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0 (UART1の $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0 (UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1 ($\overline{\text{CTS}}_0$ をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0 (CLKS1を使用しない)

なお、 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能は使用できません。

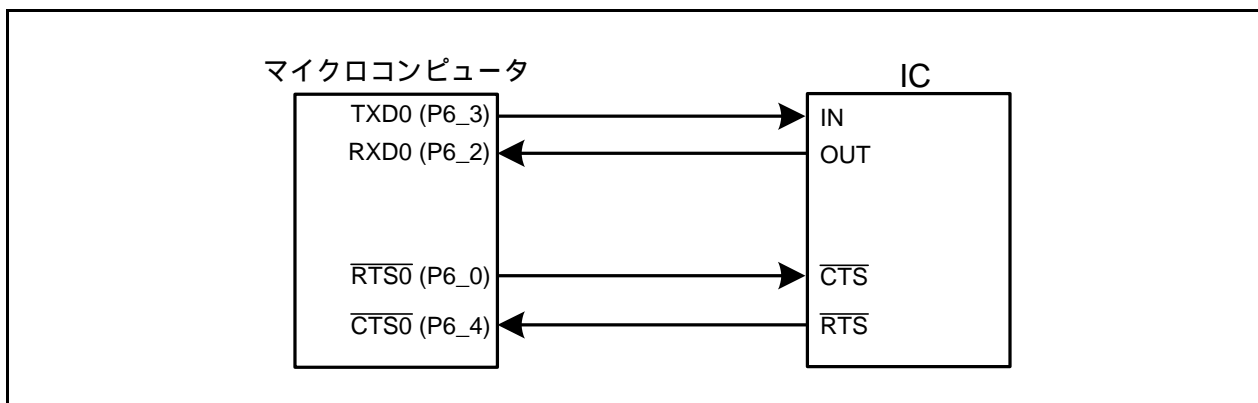


図19.17 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 分離機能の使用例

19.3.3 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表19.14にI²Cモードの仕様を、表19.16~表19.17にI²Cモード時の使用レジスタと設定値を、表19.18にI²Cモード時の各機能を、図19.18にI²Cモードのブロック図を示します。

表19.18に示すように、UiMRレジスタのSMD2~SMD0ビットを“010b”に、UiSMRレジスタのIICMビットを1にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表19.14 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • マスタ時 UiMRレジスタのCKDIRビットが“0”(内部クロック): $\frac{f_j}{2(n+1)}$ f_j=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRGレジスタの設定値 03h~FFh • スレーブ時 CKDIRビットが“1”(外部クロック): SCLi端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、ACK (Acknowledge)検出、NACK (Not-Acknowledge)検出
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

i=0~2, 5~7

注1. 順序は関係ありません。スレーブとして、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。

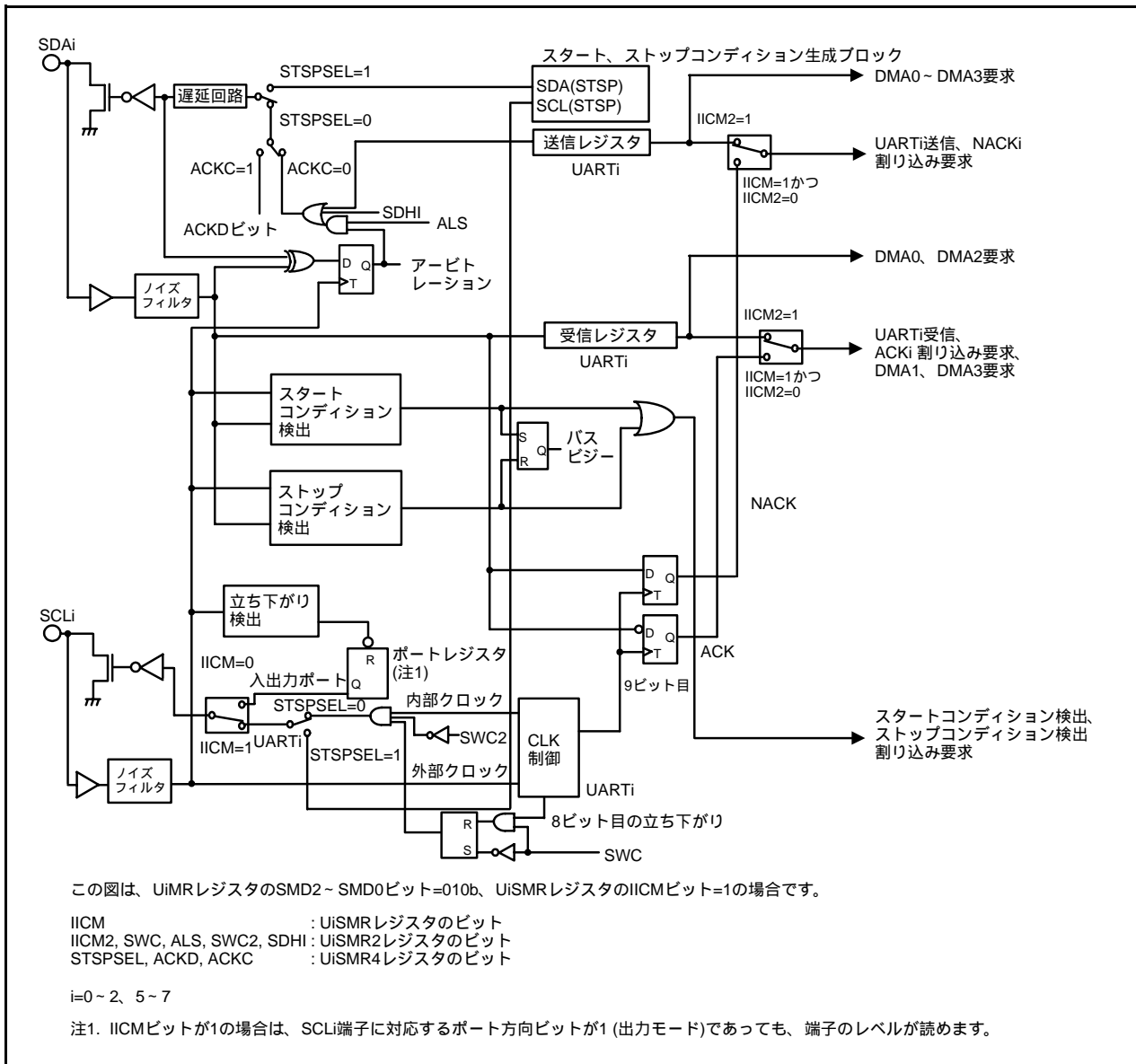


図 19.18 I²Cモードのブロック図

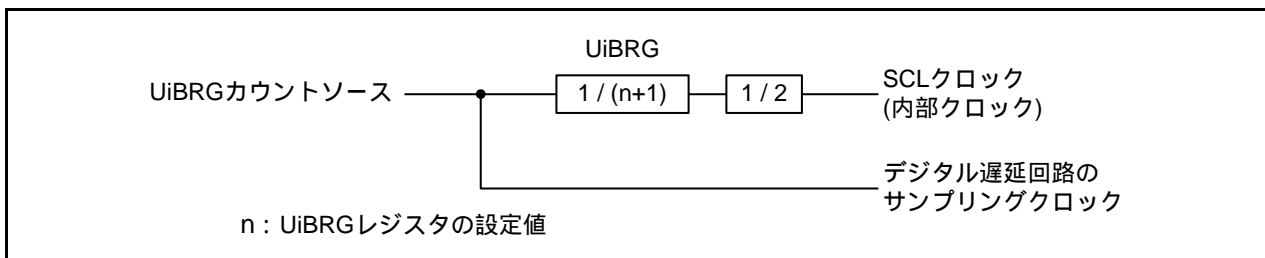


図 19.19 内部クロックの構成

表 19.15 I²Cモード時の入出力端子

端子	入出力	機能
SCLi (注1、2)	入出力	クロック入出力
SDAi (注1、2)	入出力	データ入出力

注1. 端子を共用するポートの方向ビットを“0”にしてください。

注2. CLKi、CTSi/RTSi端子は使用しません (入出力ポートに使用できます)。

表19.16 I²Cモード時の使用レジスタと設定値(1/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
PCLKR	PCLK1	UiBRGのカウンツソースを選択してください	UiBRGのカウンツソースを選択してください
PCLKSTP1	PCKSTP12	f1を使用する場合“0”にしてください	f1を使用する場合“0”にしてください
UiTB	0~7	送信時は送信データを、受信時は“FFh”を設定してください	送信時は送信データを、受信時は“FFh”を設定してください
	8	送信時は“1”を、受信時はACKビットの値を設定してください	送信時は“1”を、受信時はACKビットの値を設定してください
UiRB	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
	13~15	読んだ場合、その値は不定	読んだ場合、その値は不定
UiBRG	0~7	ビットレートを設定してください	無効
UiMR	SMD2~SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	4~6	“0”にしてください	“0”にしてください
	IOPOL	“0”にしてください	“0”にしてください
UIC0	CLK1~CLK0	UiBRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD (注3)	“1”にしてください	“1”にしてください
	NCH	“1”にしてください(注2)	“1”にしてください(注2)
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
UIC1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	UjIRS	“1”にしてください	“1”にしてください
	UjRRM、 UiLCH、UiERE	“0”にしてください	“0”にしてください
UiSMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0”にしてください	“0”にしてください
UiSMR2	IICM2	「表19.18 I ² Cモード時の各機能」参照	「表19.18 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	8ビット受信後にSCLi出力を“L”出力固定にする場合、“1”にしてください	8ビット受信後にSCLi出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUARTiを初期化する場合、“1”にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1”にしてください	SCLiの出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDAi出力を禁止をする場合、“1”にしてください	SDAi出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください

i=0~2, 5~7 j=2, 5~7

注1. この表は手順を示すものではありません。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注3. UART1をI²Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、UIC0レジスタのCRDビットを“0”(CTS/RTS許可)、CRSビットを“0”(CTS入力)にしてください。

表19.17 I²Cモード時の使用レジスタと設定値(2/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR3	0、2、4 NODC	“0” にしてください	“0” にしてください
	CKPH	“1” にしてください	“1” にしてください
	DL2-DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	“0” にしてください。
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	“0” にしてください。
	STSPSEL	各コンディション出力時に“1” にしてください	“0” にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1” にしてください	ACKデータを出力する場合、“1” にしてください
	SCLHI	ストップコンディション検出時にSCLi出力を停止する場合、“1” にしてください	“0” にしてください。
	SWC9	“0” にしてください	クロックの9ビット目の次の立ち下がりでもSCLiを“L”ホールドにする場合、“1” にしてください
UCON	U0IRS	“1” にしてください	“1” にしてください
	U1IRS	“1” にしてください	“1” にしてください
	U0RRM	“0” にしてください	“0” にしてください
	U1RRM	“0” にしてください	“0” にしてください
	CLKMD0	“0” にしてください	“0” にしてください
	CLKMD1	“0” にしてください	“0” にしてください
	RCSP	“0” にしてください	“0” にしてください
	7	“0” にしてください	“0” にしてください

i=0~2、5~7

注1. この表は手順を示すものではありません。

I²Cモードでは、UiSMR2レジスタのIICM2ビットとUiSMR3レジスタのCKPHビットの組み合わせで、機能やタイミングが変わります。図19.20にUiRBレジスタへの転送、割り込みのタイミングを示します。UiRBレジスタへの転送タイミング、UiRBレジスタに格納されるデータのビット位置、割り込みの種類、割り込み要求とDMA要求の発生タイミングは、この図を参照してください。

その他の機能のクロック同期シリアルI/Oモードとの比較を、表19.18にI²Cモード時の各機能を示します。

表19.18 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b,IICM=1)	
		IICM2=0 (NACK/ACK割り込み)	IICM2=1 (UART送信/UART受信割り込み)
		CKPH=1 (クロック遅れあり)	CKPH=1 (クロック遅れあり)
スタート/ストップ コンディション検出 割り込み(注3)	-	スタートコンディション検出、ストップコンディション検出 (「図19.22 STSPSELビットの機能」参照)	
送信、NACK割り込み (注2、3)	UARTi送信 送信開始、または送信 完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち上がり
受信、ACK割り込み (注2、3)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり	UARTi受信 9ビット目のSCLiの立ち下がり
UART受信シフトレジ スタからUiRBレジス タへのデータ転送タイ ミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり	9ビット目のSCLiの立ち下がり と、立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり	遅延あり
RXD _i ,SCL _i 端子レベル の読み込み	対応するポート方向ビット が0の場合、可能	対応するポート方向ビットの内容 に関係なく、可能	対応するポート方向ビットの内容 に関係なく、可能
TXD _i , SDA _i 出力の初期 値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレ ジスタに設定した値(注1)	I ² Cモード設定前に、ポートレ ジスタに設定した値(注1)
SCL _i の初期値、終了値	-	L	L
DMA1、DMA3要因 (注2)	UARTi受信	アクノリッジ検出(ACK)	UARTi受信 9ビット目のSCL _i の立ち下がり
受信データ読み出し	1~8ビット目をUiRBレジ スタのビット0~7に格納	1~8ビット目をUiRBレジスタ のビット7~0に格納	「図19.20 UiRBレジスタへの転 送、割り込みのタイミング」参 照

i=0~2, 5~7

SMD2~SMD0: UiMRレジスタのビット

CKPOL: UiC0レジスタのビット

IICM: UiSMRレジスタのビット

IICM2: UiSMR2レジスタのビット

CKPH: UiSMR3レジスタのビット

注1. SDA_i出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注2. 「図19.20 UiRBレジスタへの転送、割り込みのタイミング」参照。

注3. 割り込み要因を切り替える場合、以下の手順で行ってください。

- (1) 要因を切り替える割り込みを禁止する
- (2) 要因を切り替える
- (3) その割り込みの割り込み制御レジスタのIRビットを“0”(割り込みなし)にする
- (4) その割り込みの割り込み制御レジスタのILVL2~ILVL0を設定する

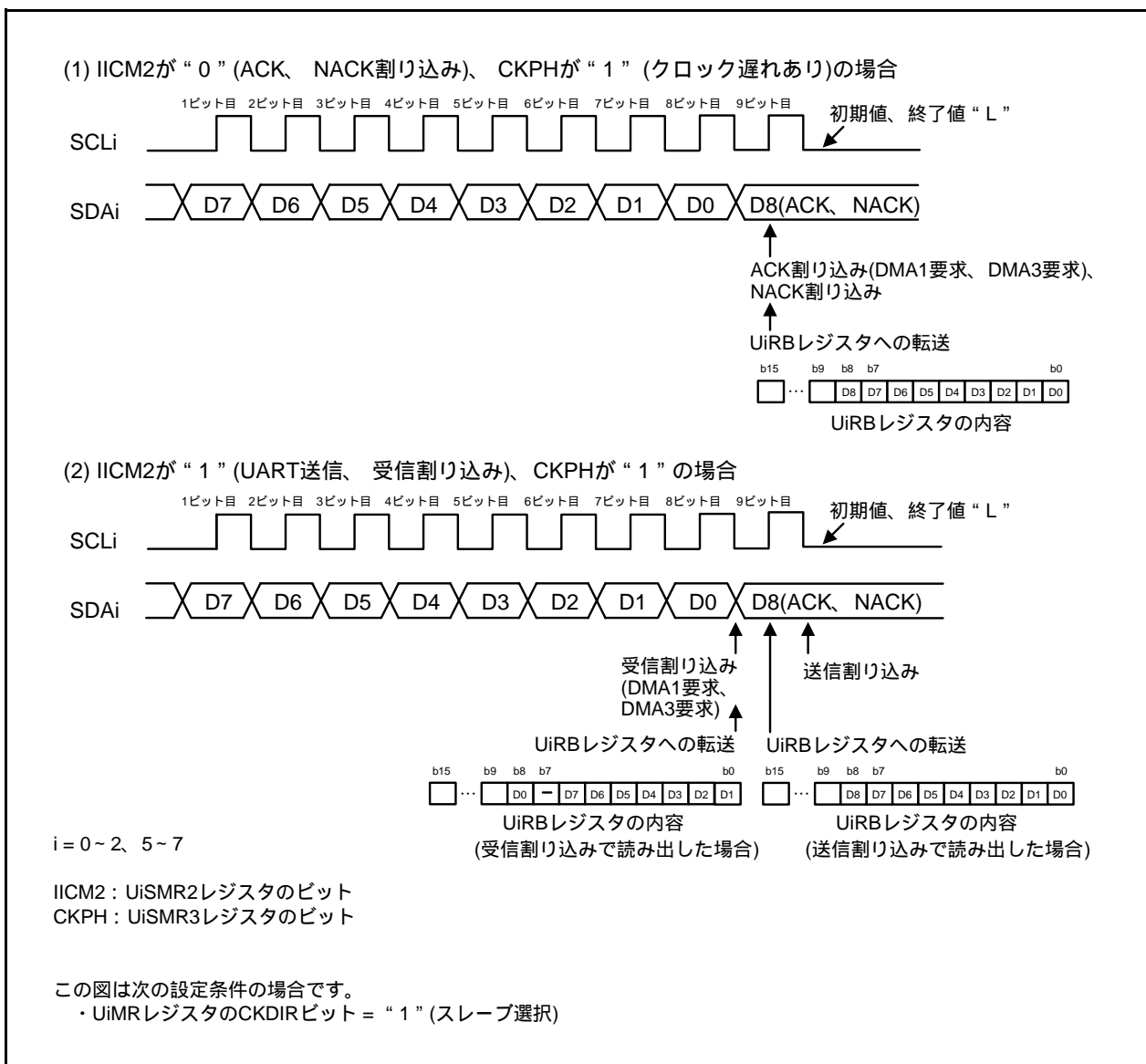


図19.20 UiRBレジスタへの転送、割り込みのタイミング

19.3.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態ですDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図19.21に示すとおりセットアップ時間、ホールド時間ともにBRGiのカウントソースの6サイクル以上必要です。Fast-Modeの仕様を満たすためには、BRGiのカウントソースは10MHz以上である必要があります。

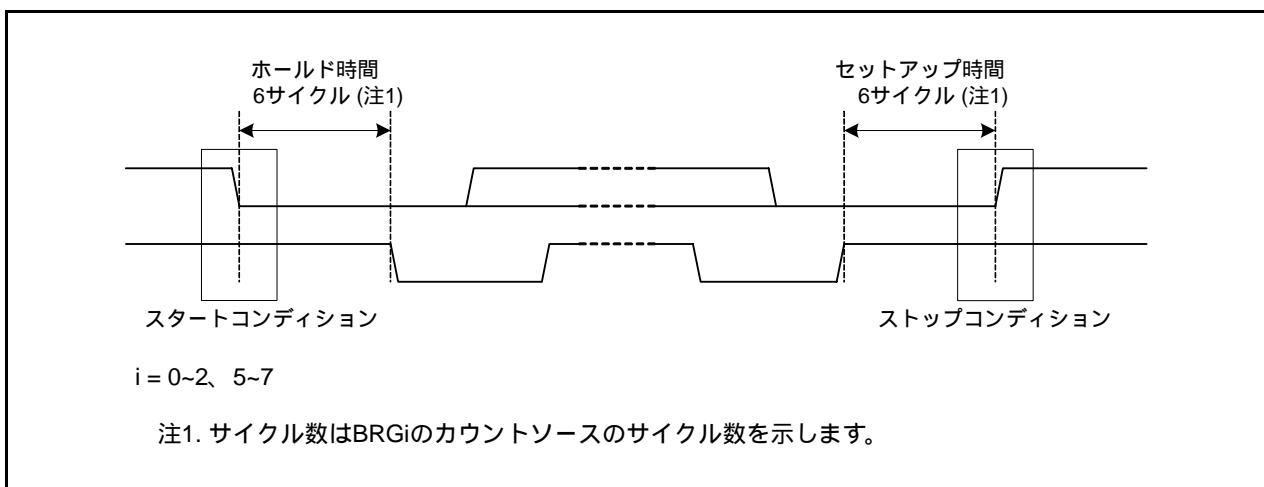


図19.21 スタートコンディション、ストップコンディションの検出

19.3.3.2 スタートコンディション、ストップコンディションの生成

UiSMR4レジスタ(i=0~2, 5~7)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) UiSMR4レジスタのSTSPSELビットを“1”(出力)にする

表19.19と図19.22にSTSPSELビットの機能を示します。

表19.19 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	送受信クロック、データを送出。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを送出
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

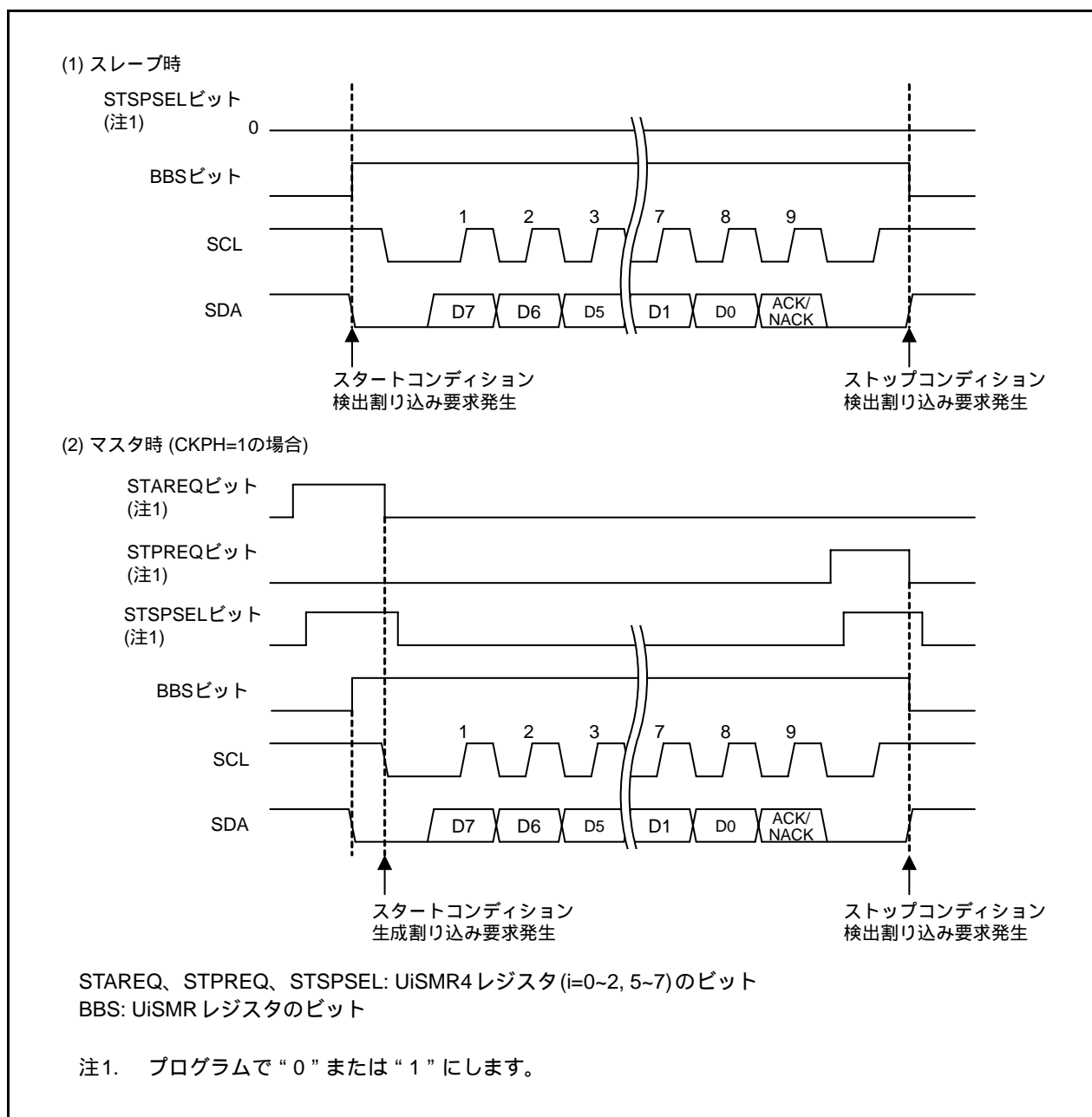


図19.22 STSPSELビットの機能

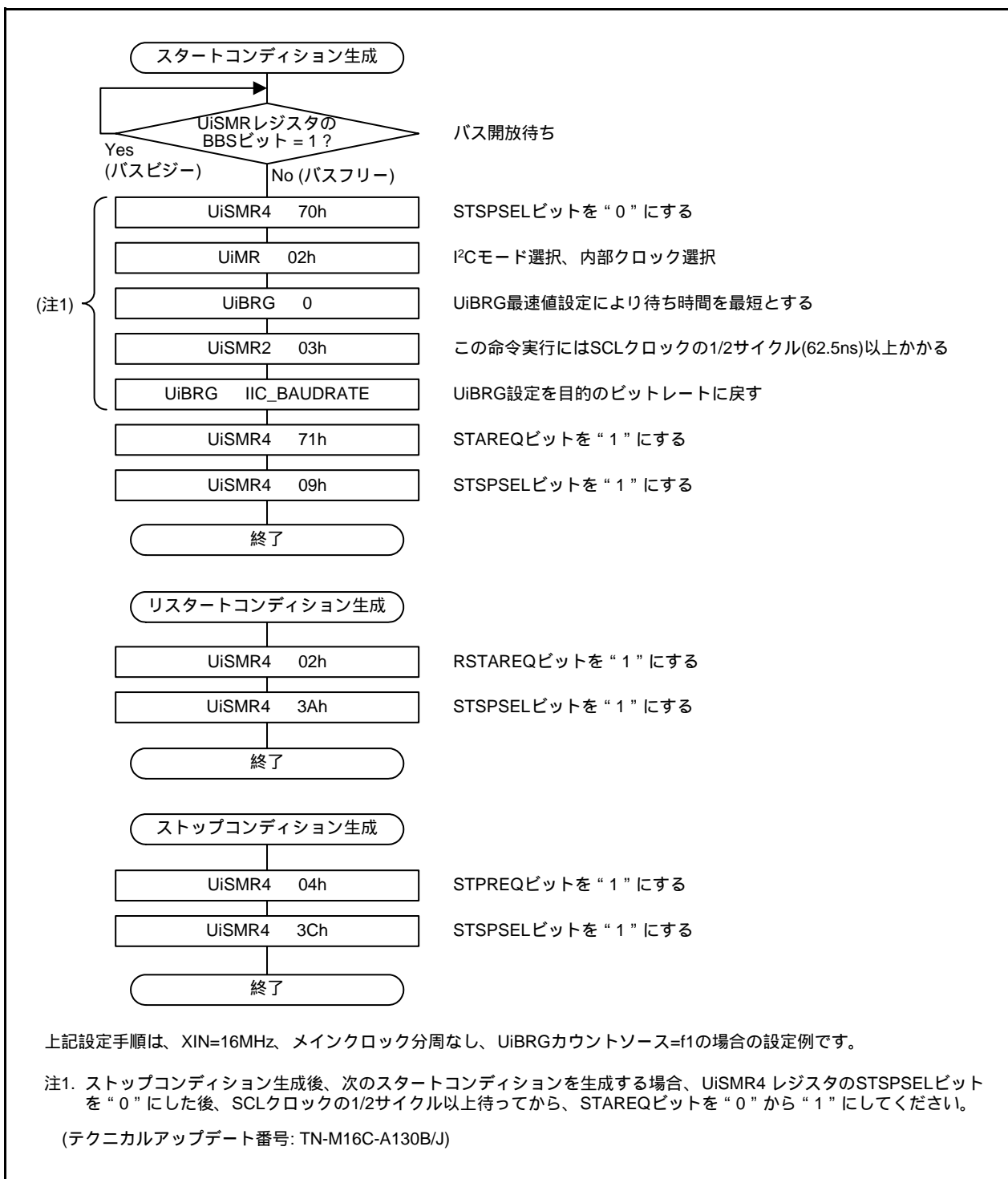


図19.23 各コンディション生成時のレジスタ設定手順

19.3.3.3 アービトレーション

SCLiの立ち上がり時に、自身の送信データとSDAi端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

UiSMRレジスタ(i=0~2, 5~7)のABCビットでUiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットが“1”(バイトごとに更新)の場合、判定時に一度でも不一致が検出された場合、8ビット目のSCLiの立ち下がりABTビットが“1”(検出)になります。なお、バイトごとに更新する場合は、1バイト目のACK検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトの送受信を開始してください。

UiSMR2レジスタのALSビットを“1”(SDA出力を停止する)にすると、アービトレーションロストが発生しABTビットが“1”になると同時にSDAi端子がハイインピーダンスになります。

19.3.3.4 SCL制御とクロック同期化

I²Cモードでの送受信は、図19.20 UiRBレジスタへの転送、割り込みのタイミングに示すような送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACKの生成や送信データの準備に必要な時間を確保することが難しくなってきます。I²Cモードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

UiSMR2レジスタ(i=0~2, 5~7)のSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1”(8ビット受信後、SCLi端子を“L”に固定)の場合、8ビット目のSCLiの立ち下がりSCLi端子が“L”固定になります。SWCビットを“0”(ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

UiSMR2レジスタのSWC2ビットを“1”(SCLi端子を“L”に固定)にすると、送受信中でもSCLi端子を“L”固定にできます。SWC2ビットを“0”(SCLi端子に送受信クロックを出力)にすると、SCLi端子からの“L”固定は解除され、送受信クロックが出力されます。

UiSMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)のとき、SWC9ビットを“1”(9ビット受信後、SCLi端子を“L”に固定)にすると、9ビット目のSCLiの立ち下がりSCLi端子が“L”固定になります。SWC9ビットを“0”(ウェイトなし/ウェイト解除)にすると“L”固定を解除できます。

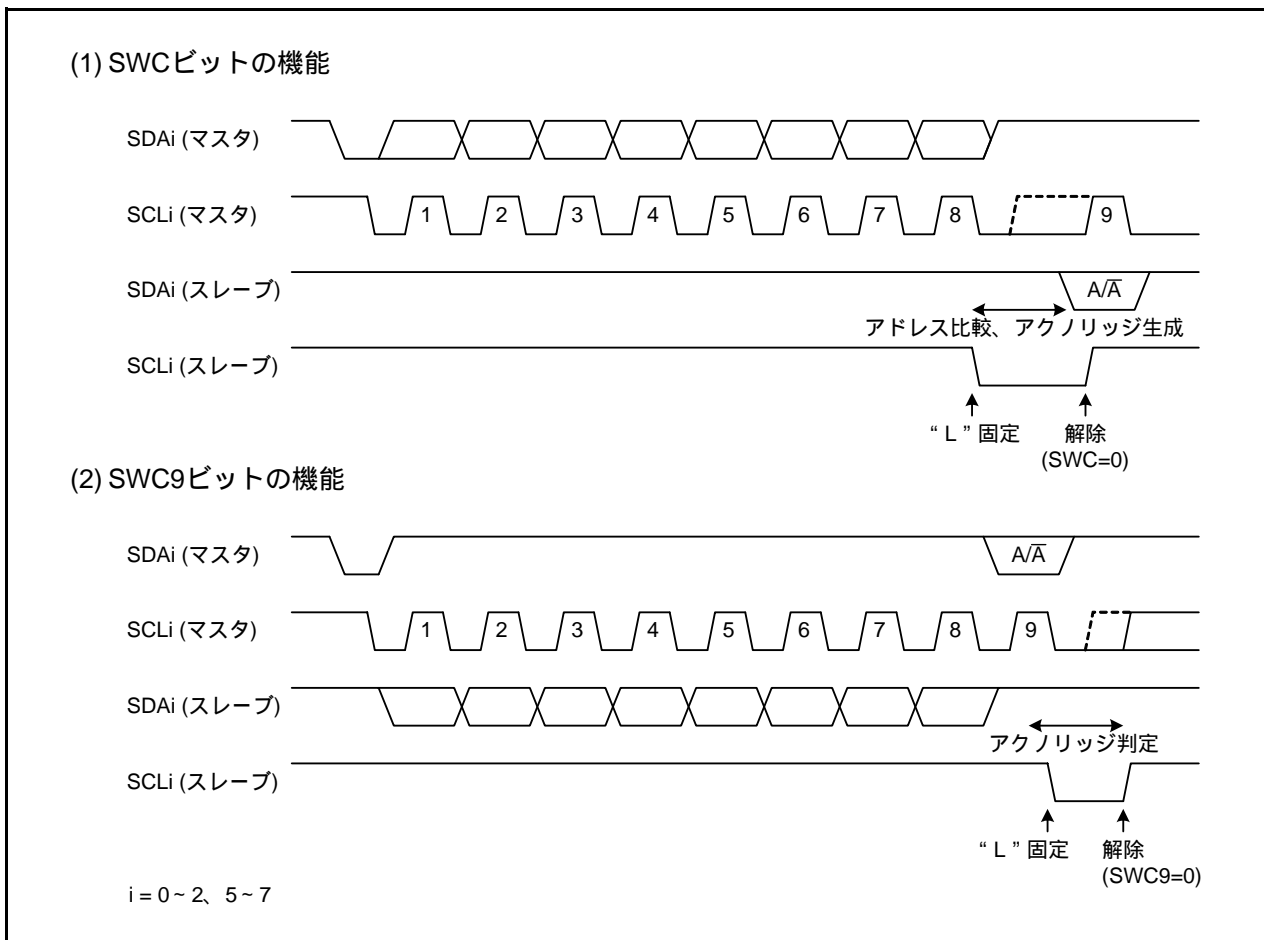


図19.24 SWCビット、SWC9ビットによるウェイトの挿入

UiSMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCLi端子に入力されたクロックが異なったとき、内部で生成するクロックをSCLi端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”(クロック同期を実施する)の場合、内部生成クロックが“H”のときにSCLi端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部生成クロックとSCLi端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはUiMRレジスタのCKDIRビットが“0”(内部クロック)のときのみ“1”にできます。

UiSMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCLi端子を開放するために使用します。SCLHIビットを“1”(出力停止)にすると、ストップコンディション検出時にSCLi端子を開放し(ハイインピーダンス)、クロック出力を停止します。

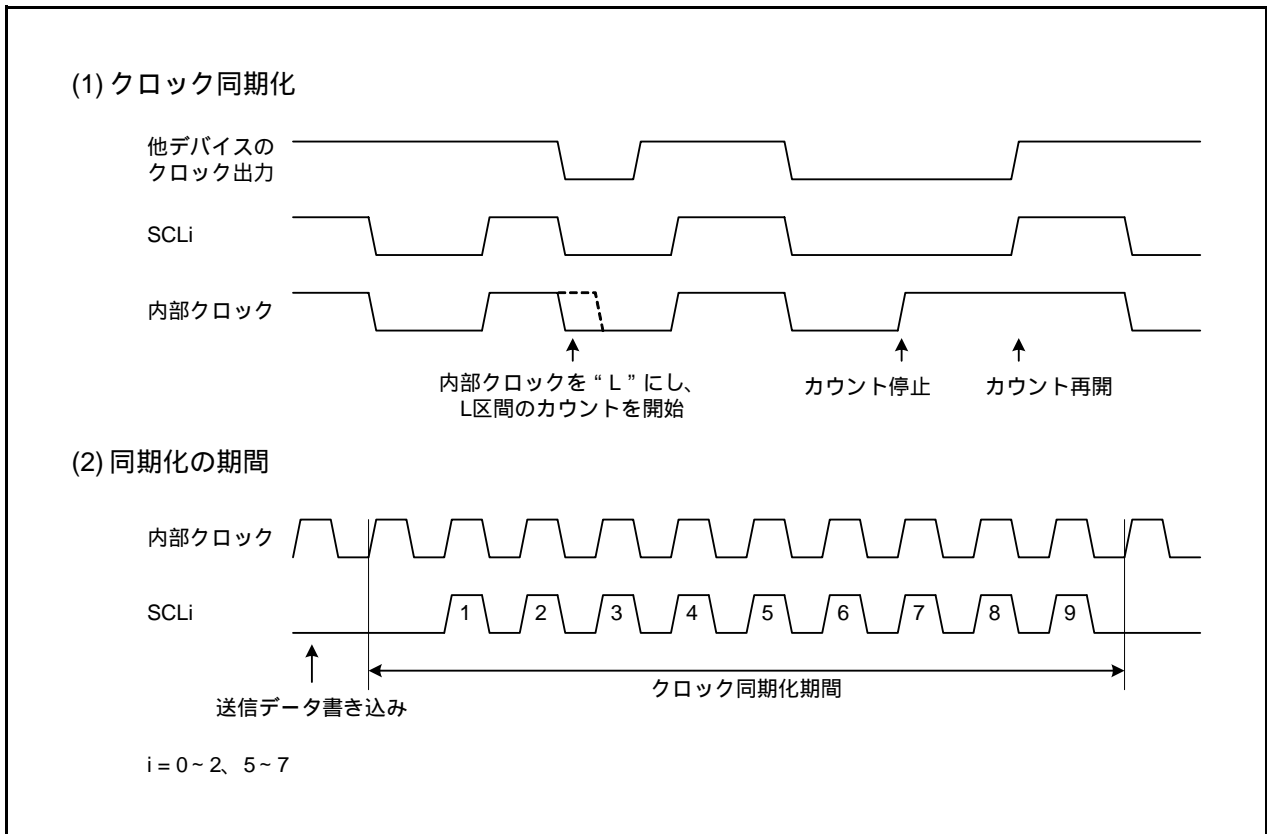


図19.25 クロック同期化

19.3.3.5 SCLクロックの周波数の考え方

I²Cモードで生成するSCLクロックのDutyは50%です。そのため、I²C-busのFast-Modeの最大SCLクロック(400kbps)を設定すると、SCLクロックの“L”幅は1.25μsとなります。この値は、Fast-ModeのI²C-bus規格($f_{LOW} = \text{Min.}1.3\mu\text{s}$)を満たしません。よって、SCLクロックの設定を384.6kbps以下とし、SCLクロックの“L”幅が1.3μs以上になるようにしてください。

クロック同期化機能(「図19.25 クロック同期化」参照)を有効にすると、ノイズフィルタ幅 + UiBRG カウントソースの1~1.5サイクルのサンプリング遅延が発生し、SCLクロックの“H”認識が遅れるため、SCLクロックの“H”幅が伸びます。そのため、SCLクロックのビットレートの設定に対して、実際のSCLクロックは遅くなります。

また、SCLクロックの実効値を算出するためには、SCLクロック立ち上がり時間(t_R)も考慮してください。

下記にSCLクロック実効値の算出例を示します。

< 384.6kbps設定時のSCLクロック実効値の算出例 >

- UiBRGカウントソース : $f_1 = 20\text{MHz}$
- UiBRGレジスタの設定値 : $n = 26 - 1$
- SCLクロック立ち上がり時間 : $t_R = 100\text{ns}$
- SCLクロック立ち下がり時間 : $t_F = 0\text{ns}$
- ノイズフィルタ幅 : $t_{NF} = 100\text{ns}$ (注1)
- サンプリング遅延 : $t_{SD} = 1\text{cycle}$

の場合、

$$f_{SCL}(\text{理論値}) = f_1 / (2(n+1)) = 20\text{MHz} / (2(25+1)) = 384.6\text{kbps}$$

$$t_{LOW} = 1 / (2f_{SCL}(\text{理論})) = 1 / (2 \times 384.6\text{kbps}) = 1.3\mu\text{s}$$

$$\begin{aligned} t_{HIGH} &= 1 / (2f_{SCL}(\text{理論})) + t_{NF} + (t_{SD} \times 1/f_1) \\ &= 1 / (2 \times 384.6\text{kbps}) + 100\text{ns} + (1 \times 1/20\text{MHz}) \\ &= 1.45\mu\text{s} \end{aligned}$$

$$f_{SCL}(\text{実効値}) = 1 / (t_F + t_{LOW} + t_R + t_{HIGH}) = 1 / (0\text{ns} + 1.3\mu\text{s} + 100\text{ns} + 1.45\mu\text{s}) = 350.8\text{kbps}$$

注1. 最大200ns。

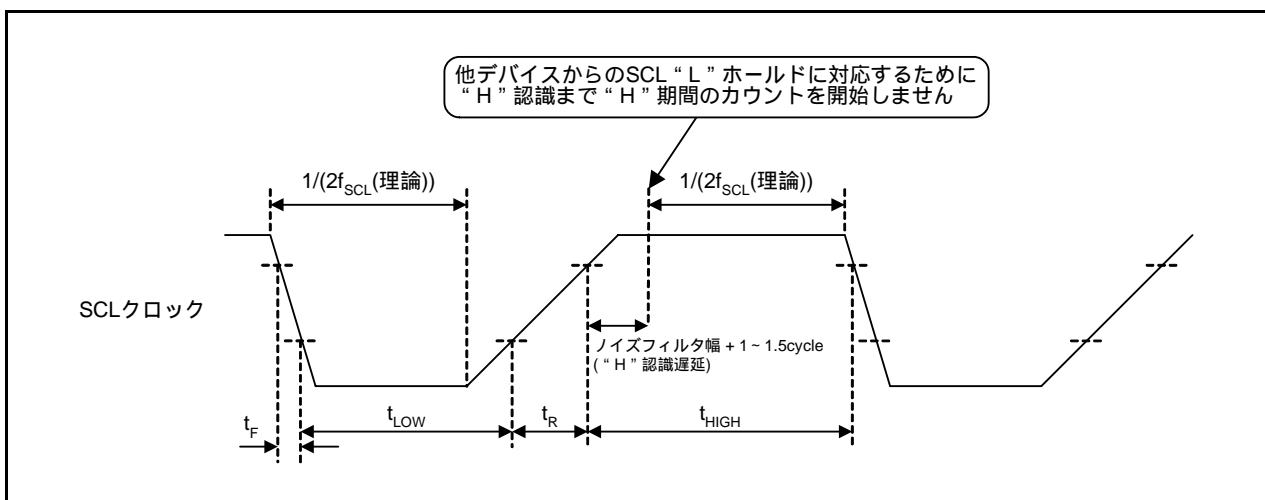


図19.26 SCLクロック

19.3.3.6 SDA出力制御

バイトデータを送信する場合、1ビット目~8ビット目はSDAi端子から送信データを出力し、9ビット目はアクノリッジを受信するためSDAi端子を開放します。

I²Cモードでは、UiTBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0には送信データを、b8には“1”を設定してください。

UiC0レジスタのUFORMビットを“1”(MSBファースト)にして、UiTBレジスタに9ビットデータを設定すると、b7 b6 … b0 b8の順で、SDAi端子からデータが出力されます。b8が“1”なので9ビット目でSDAi端子がハイインピーダンス状態になり、アクノリッジを受信できます。

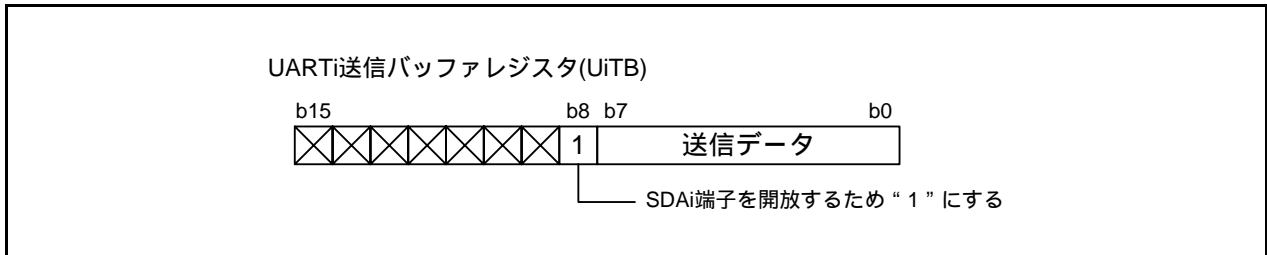


図19.27 UiTBレジスタの設定(SDA出力)

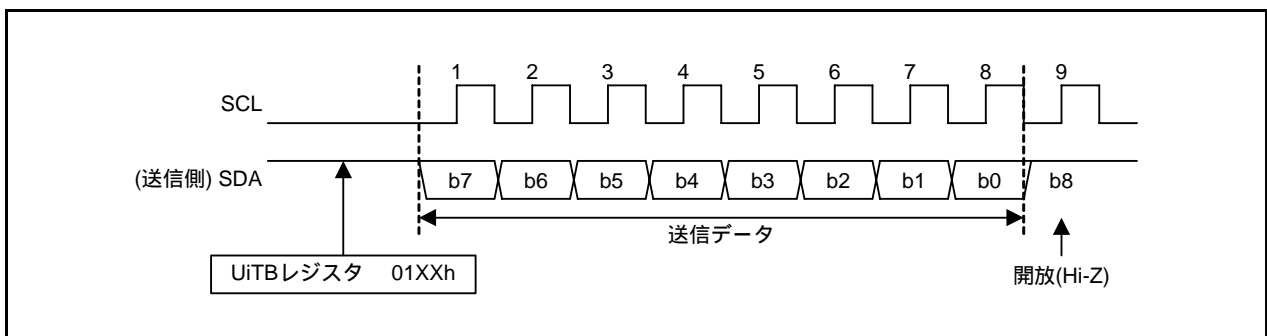


図19.28 バイトデータの送信

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの1~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの送受信クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

19.3.3.7 SDAデジタル遅延機能

I²C-busでデータ送信を行う場合、SCLクロックが“L”のときにデータを変化させてください。SCLクロックが“H”のときにSDAが変化すると、各コンディションと認識されます(「19.5.3.4 コンディション生成時のセットアップ時間およびホールド時間」参照)。

SDAデジタル遅延機能は、SDAi端子からの出力を遅延させる機能です。SDAの変化を遅延させることで、SCLクロックが“L”の期間にデータを変化させることができます。

SDAデジタル遅延機能は、UiSMR3レジスタのDL2~DL0ビットを“001b”~“111b”にすると有効になり、“000b”にすると無効になります。

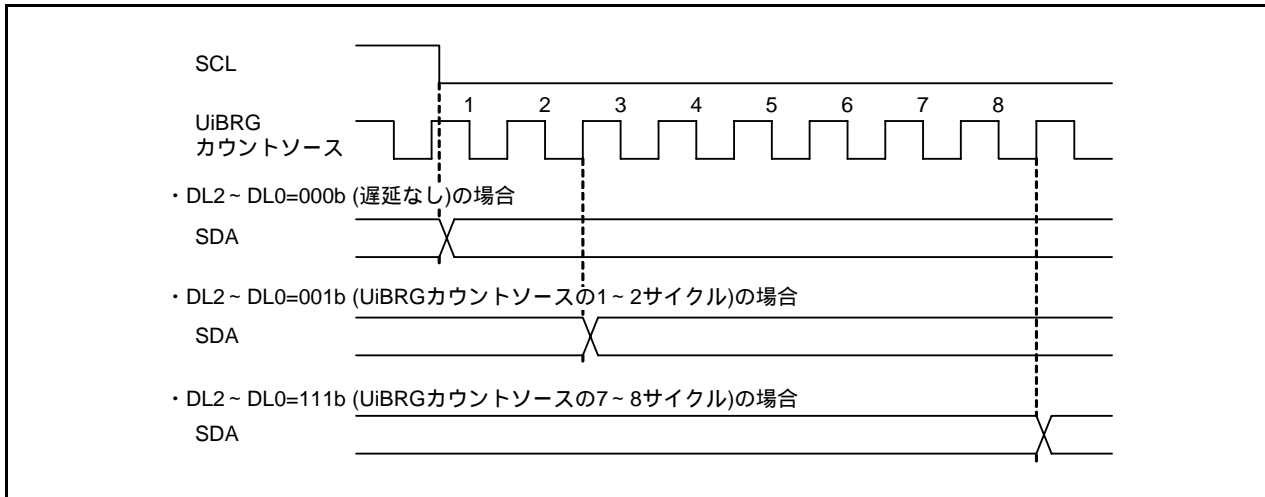


図19.29 DL2~DL0ビットの設定によるSDA出力切り替え

19.3.3.8 SDA入力

UiSMR2レジスタ(i=0~2, 5~7)のIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に、9ビット目(ACK/NACK)をUiRBレジスタのビット8に格納します。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

バイトデータを受信する場合、1ビット目~8ビット目はデータを受信するためSDAi端子を開放し、9ビット目はアクノリッジを生成します。マスタ時の最終バイトデータを受信するとき、またはスレーブ時のスレーブアドレス不一致のときはNACKを生成します。それ以外は、通常、ACKを生成します。I²Cモードでは、UiTBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0にはSDAi端子を開放するため“FFh”を、b8はACKを生成する場合は“0”、NACKを生成する場合は“1”を設定してください。

UiTBレジスタに9ビットデータの“00FFh”または“01FFh”を設定すると、1ビット目~8ビット目はSDAi端子がハイインピーダンス状態になり、データを受信できません。9ビット目はACKまたはNACKが生成されます。

受信したデータはUiRBレジスタから読み出してください。クロック遅延機能を使用すると、UiRBレジスタへのデータ転送が2回行われ、それぞれのUiRBレジスタの内容が異なります。詳細は「図19.20 UiRBレジスタへの転送、割り込みのタイミング」を参照してください。

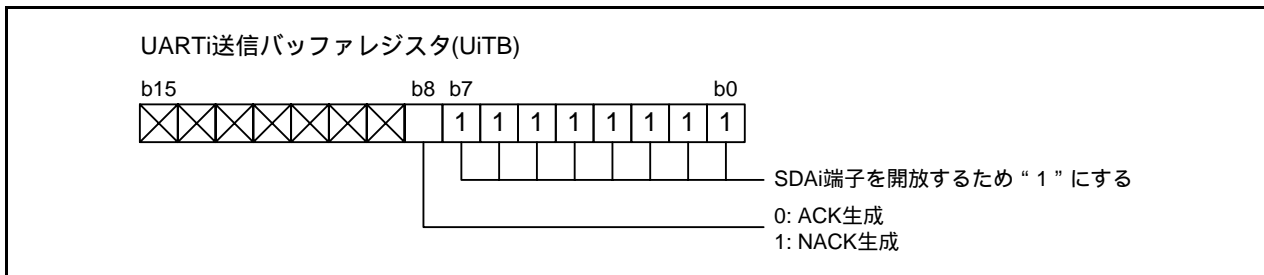


図19.30 UiTBレジスタの設定(SDA入力)

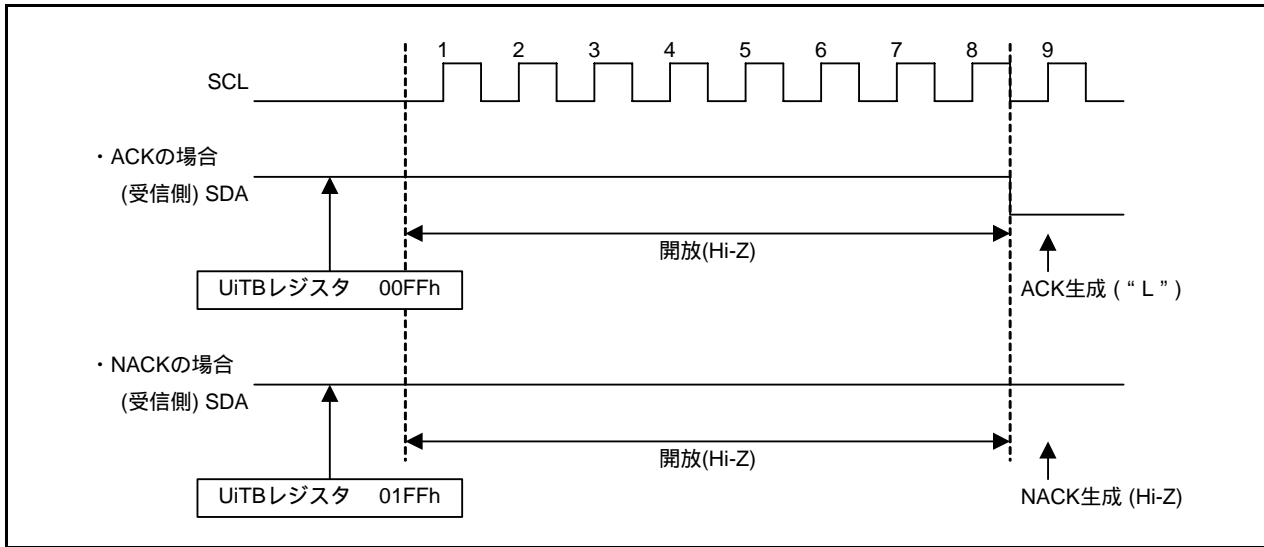


図19.31 バイトデータの受信

19.3.3.9 ACK、NACK

データを受信することが確定している場合、UiTBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。また、UiSMR4レジスタ(i=0~2, 5~7)のSTSPSELビットが“0”(シリアル入出力回路選択)で、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

UiSMR2レジスタのICM2ビットが“0”の場合、9ビット目のSCLiの立ち上がり時にSDAi端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UARTi受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

19.3.3.10 送受信初期化

この機能を使用する場合、送受信クロックは外部クロックを選択してください。

UiSMR2レジスタのSTACビットを“1”(スタートコンディション検出時、回路を初期化する)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- UiSMR2レジスタのSWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、UiC1レジスタのTIビットは変化しません。スレープ時、UARTi初期化機能を使用すると、スタートコンディション検出時に自動的にUARTiが初期化されるため、スタートコンディション検出時に割り込みは必要ありません。

19.3.4 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、送受信クロックの極性と位相を選択できます。表19.20に特殊モード2の仕様を示します。

表19.20 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> マスタモード UiMRレジスタのCKDIRビットが“0”(内部クロック選択): $\frac{f_j}{2(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO n: UiBRGレジスタ設定値 00h~FFh
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要 <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) TEビットが“1”(送信許可) TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み 次の条件のいずれかを選択可 <ul style="list-style-type: none"> UiC1またはUCONレジスタのUiIRSビットが“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 クロック位相選択 送受信クロックの極性と相の4つの組み合わせを選択可

i=0~2, 5~7

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。また SiRICレジスタのIRビットは変化しません。

図 19.32 に特殊モード 2 の通信制御例 (UART2) を、表 19.21 に特殊モード 2 時の入出力端子を示します。

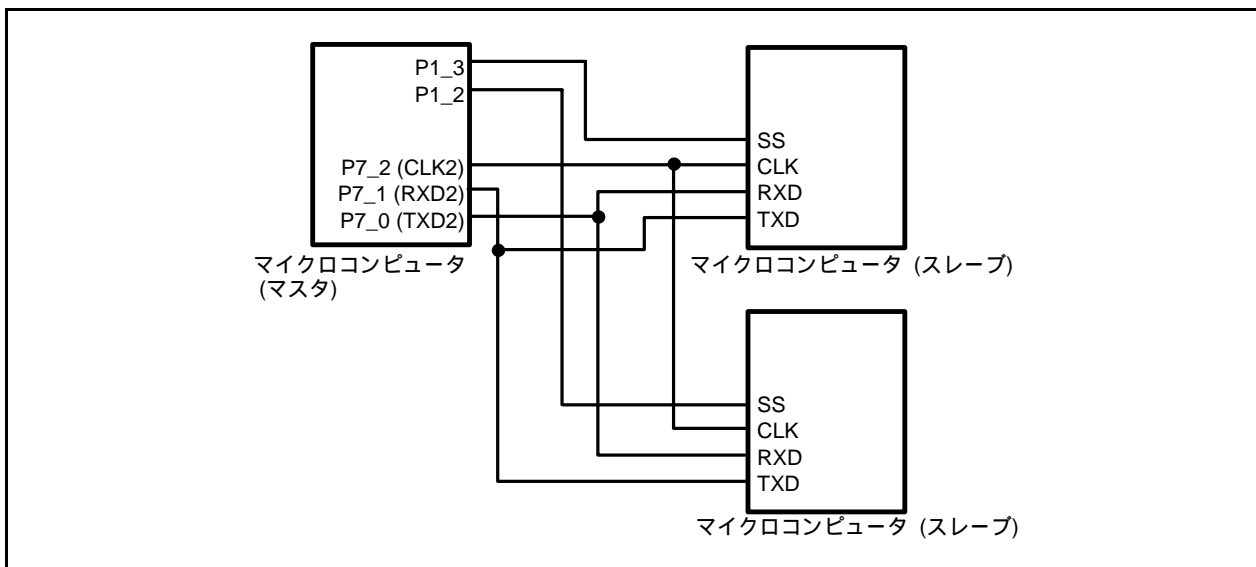


図 19.32 特殊モード 2 の通信制御例 (UART2)

表 19.21 特殊モード 2 時の入出力端子

端子名	入出力	機能	選択方法
CLKi	出力	クロック出力	UiMRレジスタのCKDIRビット=0
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする (送信だけを行うときは入力ポートとして使用可)

i=0~2, 5~7

CTSi/RTSi端子は使用しません (入出力ポートに使用できます)。

表 19.22 特殊モード2時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウンタソースを選択してください
PCLKSTP1	PCKSTP12	f1を使用する場合“0”にしてください
UiTB	0~7	送信データを設定してください
	8	- (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
	8、11、13~15	読んだ場合、その値は不定
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	マスタモードの場合“0”にしてください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK0,CLK1	UiBRGのカウンタソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	LSBファーストまたはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0”にしてください
	0、2、4~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください
	U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

i=0~2, 5~7 j=2, 5~7

注1. この表は手順を示すものではありません。

注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

19.3.4.1 クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで送受信クロックの相と極性の4つの組み合わせを選択できます。

送受信クロックの極性と相は、送受信を行うマスタとスレーブで同じにしてください。

図19.33にマスタ(内部クロック)の場合の送受信のタイミングを示します。

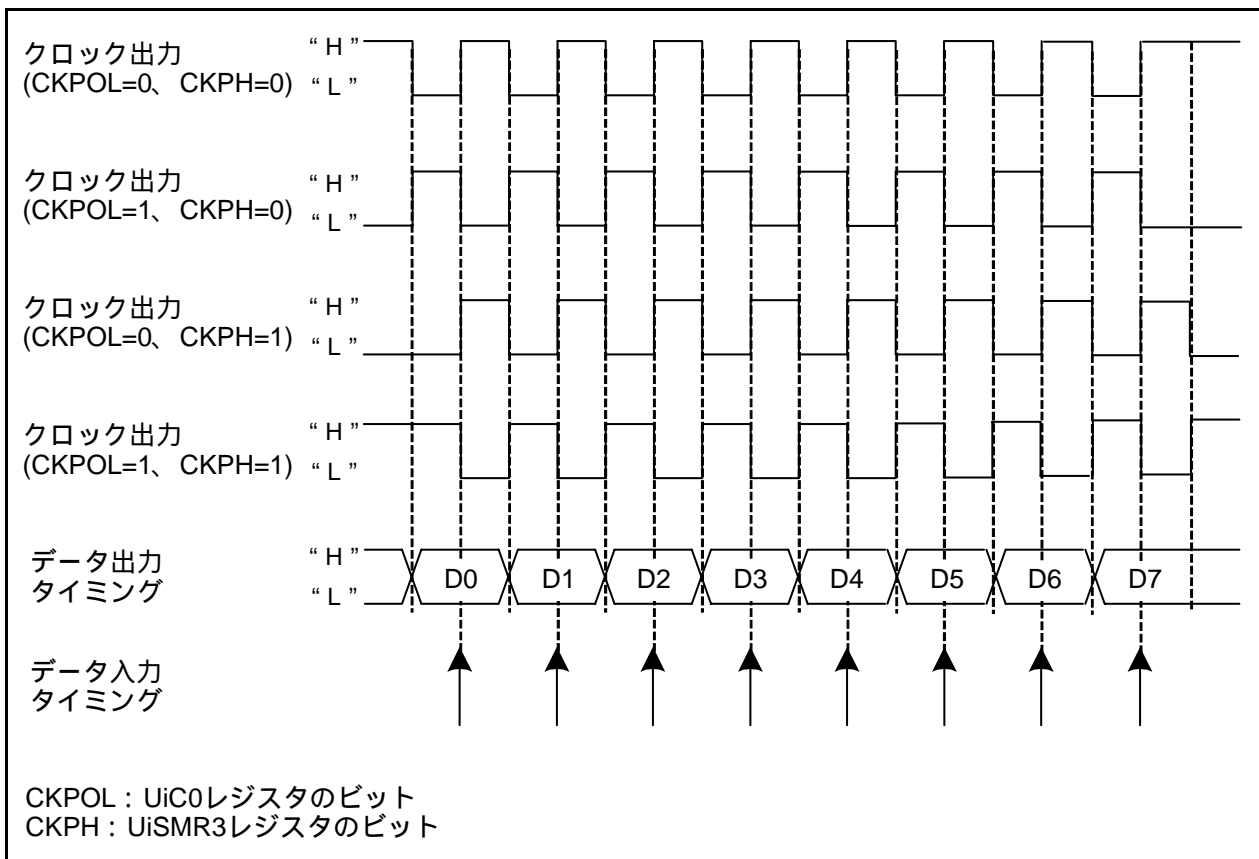


図19.33 マスタ(内部クロック)の場合の送受信のタイミング

19.3.5 特殊モード3 (IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表19.23にIEモード時の使用レジスタと設定値(注1)、図19.34にバス衝突検出機能関連ビットの機能を示します。

TXDi端子(i=0~2, 5~7)の出力レベルとRXDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表19.23 IEモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注4)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“110b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注3)
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UjIRS (注2)	UARTj送信割り込み要因を選択してください
	UjRRM (注2)、UiLCH、UiERE	“0” にしてください
UiSMR	0~3、7	“0” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

i=0~2, 5~7

注1. この表は手順を示すものではありません。

注2. U0C1、U1C1 レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットはUCONレジスタにあります。

注3. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合は“0”を書いてください。

注4. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。

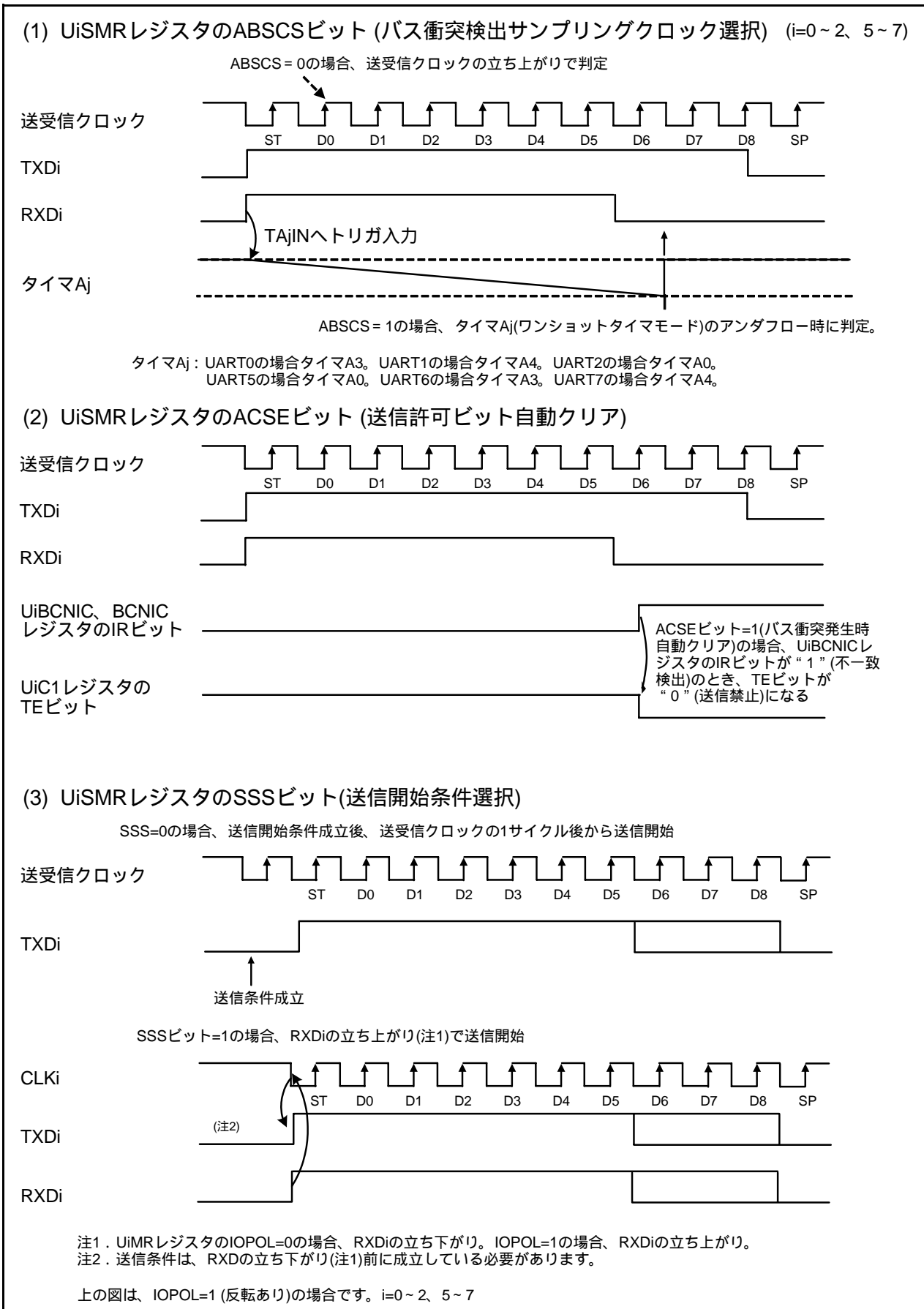


図 19.34 バス衝突検出機能関連ビットの機能

19.3.6 特殊モード4 (SIMモード) (UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表19.24にSIMモードの仕様、表19.25にSIMモード時の使用レジスタと設定値を示します。

表19.24 SIMモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> ダイレクトフォーマット インバースフォーマット
送受信クロック	<ul style="list-style-type: none"> U2MRレジスタのCKDIRビットが“0”(内部クロック): $f_i/(16(n+1))$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U2BRG$レジスタの設定値 00h~FFh CKDIRビットが“1”(外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> U2C1レジスタのTEビットが“1”(送信許可) U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> U2C1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング (注2)	<ul style="list-style-type: none"> 送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=1) 受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 パリティエラー (注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にした後、TEビットを“1”(送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

注3. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表19.25 SIMモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB(注2)	0~7	送信データを設定してください
U2RB(注2)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	“101b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“0” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1”にしてください
	RI	受信完了フラグ
	U2IRS	“1” にしてください
	U2RRM	“0” にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
	U2ERE	“1” にしてください
U2SMR(注2)	0~3	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表は手順を示すものではありません。

注2. この表に記載していないビットはSIMモード時に書く場合、0を書いてください。

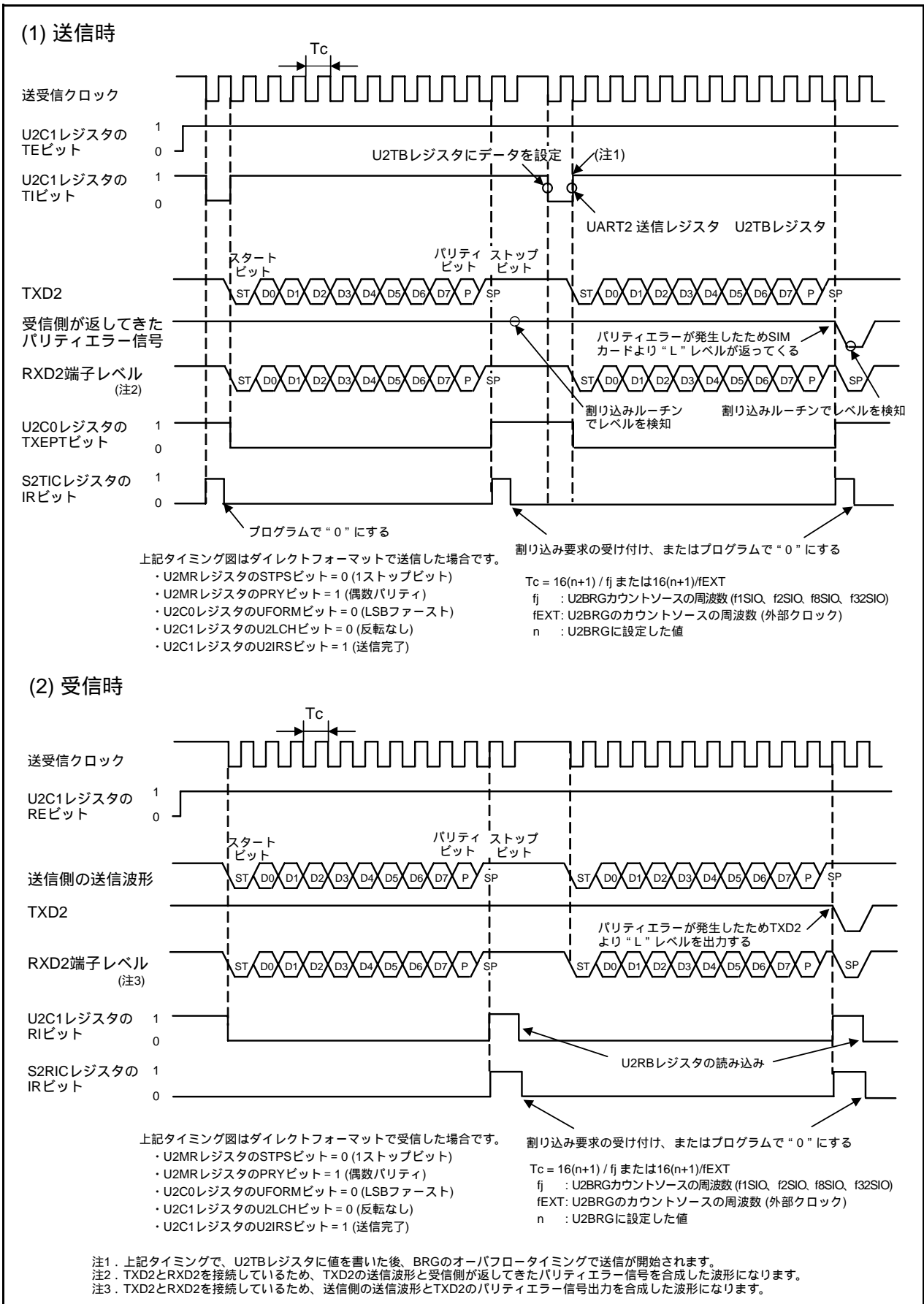


図 19.35 SIMモードの送受信タイミング例

図19.36にSIMインタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

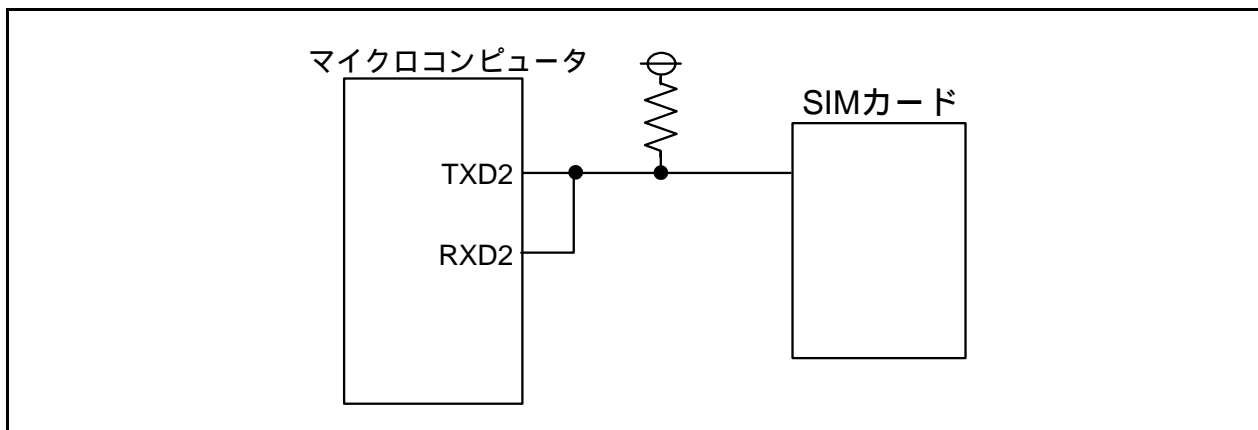


図19.36 SIMインタフェース接続例

19.3.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”(出力する)にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図19.37に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の送受信クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

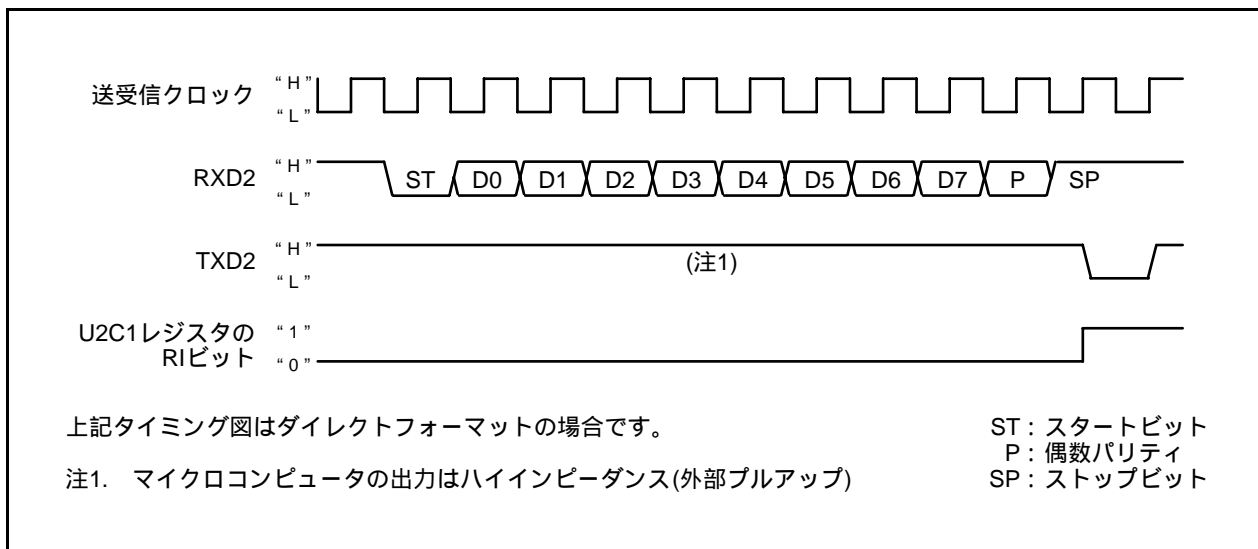


図19.37 パリティエラー信号出力タイミング

19.3.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図19.38にSIMインタフェースフォーマットを示します。

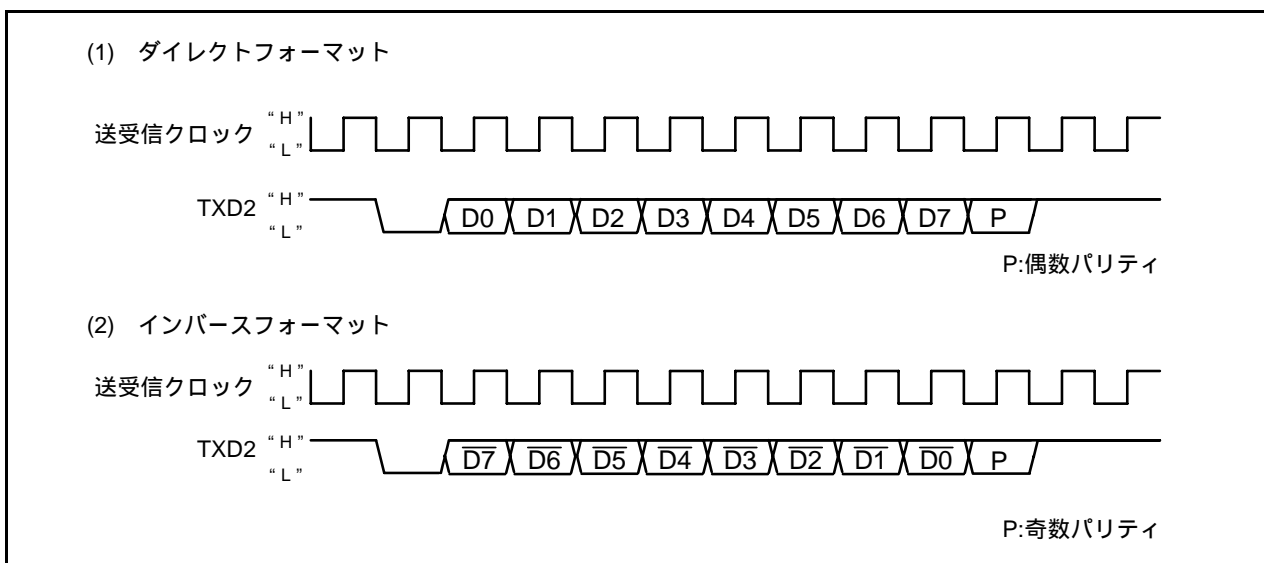


図19.38 SIMインタフェースフォーマット

19.4 割り込み

UART0~UART2、UART5~UART7には、送信、受信、ACK、NACK、スタート/ストップコンディション検出、バス衝突検出による割り込みがあります。

19.4.1 割り込み関連レジスタ

割り込みの要因や割り込み要求発生タイミングは、各モードの仕様、動作例を参照してください。また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表 19.26 に UART0~UART2、UART5~UART7の割り込み関連レジスタを示します。

表 19.26 UART0~UART2、UART5~UART7の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0046h	UART1 バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXX X000b
0047h	UART0 バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXX X000b
004Ah	UART2 バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Fh	UART2 送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2 受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXX X000b
006Bh	UART5 バス衝突検出割り込み制御レジスタ	U5BCNIC	XXXX X000b
006Ch	UART5 送信割り込み制御レジスタ	S5TIC	XXXX X000b
006Dh	UART5 受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6 バス衝突検出割り込み制御レジスタ	U6BCNIC	XXXX X000b
006Fh	UART6 送信割り込み制御レジスタ	S6TIC	XXXX X000b
0070h	UART6 受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7 バス衝突検出 割り込み制御レジスタ	U7BCNIC	XXXX X000b
0072h	UART7 送信割り込み制御レジスタ	S7TIC	XXXX X000b
0073h	UART7 受信割り込み制御レジスタ	S7RIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

UART0~UART2、UART5~UART7の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しているものがあります。これらの割り込みを使用する場合は、割り込み要因選択レジスタで選択してください。表19.27にUART0~UART2、UART5~UART6割り込み選択方法を示します。

表19.27 UART0~UART2、UART5~UART6割り込み選択方法

割り込み要因	割り込み要因選択レジスタの設定		
	レジスタ	ビット	設定値
UART0スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR26	1
UART1スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR27	1
UART6スタート/ストップコンディション検出、バス衝突検出	IFSR3A	IFSR35	0
UART6送信、NACK	IFSR3A	IFSR36	0

また、次のモードの場合、ビット内容の変更によって割り込み要求が発生することがあります。

- 特殊モード1 (I²Cモード)

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

- 特殊モード4 (SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にした後、TEビットを“1”(送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

19.4.2 受信割り込み

- UiMRレジスタのSMD2~SMD0ビットが“010b”(I²Cモード)以外の場合

UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし)から“1”(UiRBレジスタにデータあり)に変化するときに、SiRICレジスタのIRビットが“1”(割り込み要求あり)になります。オーバーランエラー発生時(RIビットが“1”のとき次のデータ受信)は、RIビットが“1”のまま変化しないため、SiRICレジスタのIRビットは変化しません。

- UiMRレジスタのSMD2~SMD0ビットが“010b”(I²Cモード)の場合

UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし)から“1”(UiRBレジスタにデータあり)に変化するときに、SiRICレジスタのIRビットが“1”(割り込み要求あり)になります。オーバーランエラー発生も、SiRICレジスタのIRビットが“1”になります。

19.5 シリアルインタフェースUARTi (i=0~2, 5, 6) 使用上の注意事項

19.5.1 複数モードに関わる共通事項

19.5.1.1 CLKi出力

(テクニカルアップデート番号：TN-M16C-A178A/J)

CLKi端子の出力形式をNチャンネルオープンドレインで使用する場合、次の手順で端子の機能を変更してください。

ポートからCLKiにするとき

- (1) UiMRレジスタのSMD2~SMD0ビットでシリアルインタフェースのモードを選択する(“000b”以外にする)
- (2) UiSMR3レジスタのNODCビットを“1”にする

CLKiからポートにするとき

- (1) NODCビットを“0”にする
- (2) SMD2~SMD0ビットでシリアルインタフェースを無効にする(“000b”にする)

19.5.2 クロック同期形シリアルI/Oモード

19.5.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ (i=0~2, 5, 6)端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると RTSi 端子の出力レベルは“H”になります。このため、 RTSi 端子を送信側の CTS_i 端子に結線すると、送受信のタイミングを合わせるできません。内部クロック選択時は RTS 機能は無効です。

19.5.2.2 送信

外部クロックを選択し、 UiC0 レジスタ (i=0~4)の TXEPT ビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0 レジスタの CKPOL ビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOL ビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件 (順序は関係ありません)

- UiC1 レジスタの TE ビットが“1”(送信許可)
- UiC1 レジスタの TI ビットが“0”(UiTB レジスタにデータあり)
- CTS 機能を選択している場合、 CTS_i 端子の入力が“L”

19.5.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~2, 5, 6)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件(順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

19.5.3 特殊モード(I²Cモード)

19.5.3.1 スタートコンディション、ストップコンディション生成

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~2, 5, 6)のSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

19.5.3.2 IRビット

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのHCMビット、
UiSMR2レジスタのHCM2ビット、UiSMR3レジスタのCKPHビット

19.5.3.3 “L”レベル/“H”レベル入力電圧、“L”レベル出力電圧

“L”入力電圧、“H”入力電圧、および“L”出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

< I²C-bus規格 >

“H”入力電圧(V_{IH}) = min 0.7 V_{CC}

“L”入力電圧(V_{IL}) = max 0.3 V_{CC}

19.5.3.4 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDA デジタル遅延機能を使用する場合、遅延時間を考慮してください(「19.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps 設定時の算出例 >

- Ui2BRG カウントソース : $f_1 = 20\text{MHz}$
- Ui2BRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (Ui2BRG カウントソースの5~6サイクル)の場合、

$$\begin{aligned}
 f_{SCL}(\text{理論}) &= f_1 / (2(n+1)) &= 20\text{MHz} / (2 \times (99+1)) &= 100\text{kbps} \\
 t_{DL} &= \text{遅延サイクル数} / f_1 &= 6 / 20\text{MHz} &= 0.3 \mu\text{s} \\
 t_{HD:STA}(\text{理論}) &= 1 / (2f_{SCL}(\text{理論})) &= 1 / (2 \times 100\text{kbps}) &= 5 \mu\text{s} \\
 t_{SU:STO}(\text{理論}) &= 1 / (2f_{SCL}(\text{理論})) &= 1 / (2 \times 100\text{kbps}) &= 5 \mu\text{s} \\
 t_{HD:STA}(\text{実効}) &= t_{HD:STA}(\text{理論}) - t_{DL} &= 5 \mu\text{s} - 0.3 \mu\text{s} &= 4.7 \mu\text{s} \\
 t_{SU:STO}(\text{実効}) &= t_{SU:STO}(\text{理論}) + t_{DL} &= 5 \mu\text{s} + 0.3 \mu\text{s} &= 5.3 \mu\text{s}
 \end{aligned}$$

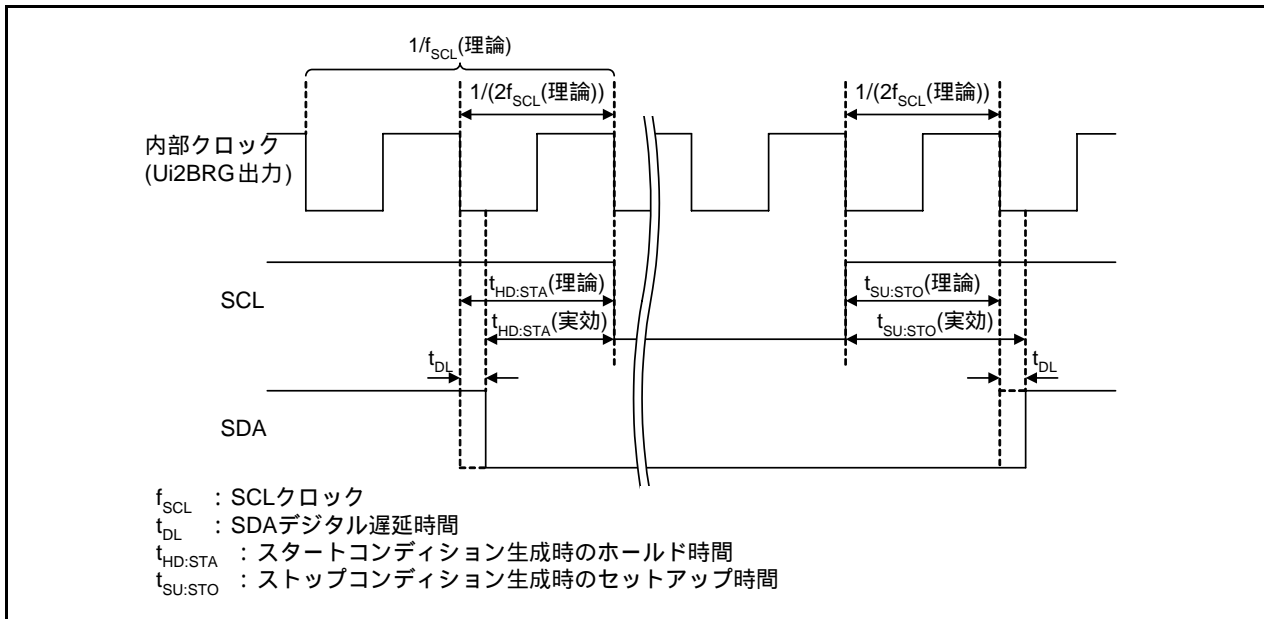


図 19.39 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

19.5.3.5 Ui2BRG カウントソースによる最大送受信速度の制限

I²Cモードでは、Ui2BRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でUi2BRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、Ui2BRGカウントソースの速度の1/3以下です。Ui2BRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

19.5.3.6 スレープ時のリスタートコンディション

スレープ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレープ時はリスタートコンディションを使用しないでください。

19.5.3.7 スレープ時の送受信開始条件

スレープとして、Ui2C0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件(順序は関係ありません)

送信

- Ui2C1レジスタのTEビットが“1”(送信許可)
- Ui2C1レジスタのTIビットが“0”(Ui2TBレジスタにデータあり)

受信

- Ui2C1レジスタのREビットが“1”(受信許可)
- Ui2C1レジスタのTEビットが“1”(送信許可)
- Ui2C1レジスタのTIビットが“0”(Ui2TBレジスタにデータあり)

19.5.4 特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

20. シリアルインタフェース SI/O3、SI/O4

20.1 概要

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。

表20.1にSI/O3、SI/O4の仕様を示します。

図20.1にSI/O3、SI/O4ブロック図、表20.2に入出力端子を示します。

表20.1 SI/O3、SI/O4の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • SiCレジスタのSMi6ビットが“1”(内部クロック): $\frac{f_j}{2(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=SiBRG$レジスタの設定値 00h~FFh • SMi6ビットが“0”(外部クロック): CLKi端子から入力(注1)
送受信開始条件	送受信開始には、次の条件が必要 SiTRRレジスタに送信データを書く(注2)
割り込み要求発生タイミング	<ul style="list-style-type: none"> • SiCレジスタのSMi4ビットが“0”の場合 最後の送受信クロックの立ち上がりエッジ • SMi4ビットが“1”の場合 最後の送受信クロックの立ち下がりエッジ
選択機能	<ul style="list-style-type: none"> • CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりエッジか立ち下がりエッジかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • SOUTi初期値設定機能 SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送信していないときのSOUTi端子出力レベルを選択可 • 送信後のSOUTi状態選択 SiCレジスタのSMi6ビットが“1”(内部クロック)の場合、ハイインピーダンスにするか、最終ビットレベルを保持するかを選択可

i=3, 4

注1. 外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

注2. SiCレジスタのSMi6ビットが“0”(外部クロック)の場合は、次のようにしてください。

- SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。
- SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。

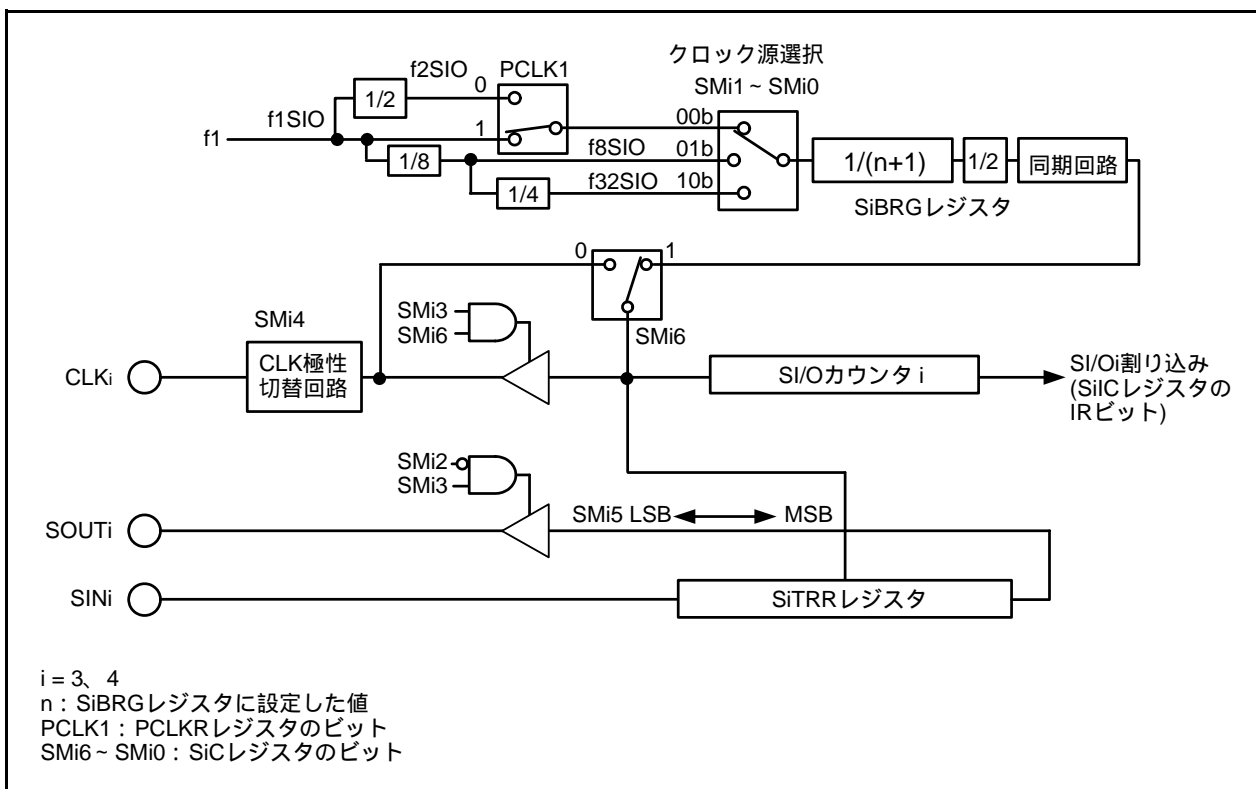


図20.1 SI/O3、SI/O4ブロック図

表20.2 入出力端子

端子名	入出力	機能	選択方法
CLKi	出力	送受信クロック出力	SiCレジスタのSMi3ビット=1 SiCレジスタのSMi6ビット=1
	入力	送受信クロック入力	SiCレジスタのSMi3ビット=1 SiCレジスタのSMi6ビット=0 端子を共用するポートの方向ビット=0
SOUTi	出力	シリアルデータ出力	SiCレジスタのSMi3ビット=1 SiCレジスタのSMi2ビット=0
SINi	入力	シリアルデータ入力	SiCレジスタのSMi3ビット=1 端子を共用するポートの方向ビット=0 (送信だけ行うときはダミーデータを入力)

i=3, 4

20.2 レジスタの説明

SI/O3、SI/O4関連レジスタを表20.3 レジスタ一覧に示します。

表20.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0016h	周辺クロック停止レジスタ 1	PCLKSTP1	X000 0000b
0270h	SI/O3送受信レジスタ	S3TRR	XXh
0272h	SI/O3制御レジスタ	S3C	0100 0000b
0273h	SI/O3ビットレートレジスタ	S3BRG	XXh
0274h	SI/O4送受信レジスタ	S4TRR	XXh
0276h	SI/O4制御レジスタ	S4C	0100 0000b
0277h	SI/O4ビットレートレジスタ	S4BRG	XXh
0278h	SI/O3、4制御レジスタ2	S34C2	00XX X0X0b

20.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b
0 0 0 0 0			

ビット シンボル	ビット名	機 能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、マルチマ スタ ² C-bus インタフェースの クロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~ UART7、SI/O3、SI/O4のクロッ ク源)	0 : f2SIO 1 : f1SIO	RW
(b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビット で選択 1 : f1を出力	RW
(b7-b6)	予約ビット	“0” にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてくだ
さい。

20.2.2 周辺クロック停止レジスタ 1 (PCLKSTP1)

周辺クロック停止レジスタ1		シンボル	アドレス	リセット後の値
		PCLKSTP1	0016h番地	X000 0000b
ビットシンボル	ビット名	機能	RW	
PCKSTP10	リアルタイムクロック 周辺クロック停止ビット	0: f1供給許可 1: f1供給禁止	RW	
PCKSTP11	タイマ周辺クロック 停止ビット (タイマA、タイマB)	0: f1供給許可 1: f1供給禁止	RW	
PCKSTP12	UART周辺クロック 停止ビット (UART0~2、UART5~7)	0: f1供給許可 1: f1供給禁止	RW	
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—	
PCKSTP14	AD周辺クロック停止ビット	0: f1供給許可 1: f1供給禁止	RW	
PCKSTP15	SIO周辺クロック停止ビット (SI/O3、SI/O4)	0: f1供給許可 1: f1供給禁止	RW	
PCKSTP16	マルチマスタ ² C周辺クロック 停止ビット (マルチマスタ ² C-busインタフェース)	0: f1供給許可 1: f1供給禁止	RW	
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—	

PCKSTP1 レジスタはPRCR レジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP15 (SIO周辺クロック停止ビット) (b5)

送受信クロックのクロック源としてf1を使用する場合、PCKSTP15ビット“0”(f1供給許可)にしてください。

20.2.3 SI/Oi送受信レジスタ (SiTRR) (i=3, 4)

SI/Oi送受信レジスタ(i=3、4)		シンボル	アドレス	リセット後の値
		S3TRR S4TRR	0270h番地 0274h番地	不定 不定
機能			RW	
送信データを書くと送受信が始まり、送受信完了後、読むと受信データが読める			RW	

SiTRRレジスタは、送受信停止中に書いてください。

受信だけを行う場合も、1バイト受信ごとにSiTRRレジスタに値を書き込んでください。

20.2.4 SI/Oi制御レジスタ (SiC) (i=3, 4)

SI/Oi 制御レジスタ(i=3、4)		シンボル S3C S4C	アドレス 0272h番地 0276h番地	リセット後の値 0100 0000b 0100 0000b
b7 b6 b5 b4 b3 b2 b1 b0				
ビット シンボル	ビット名	機能		RW
SMi0	内部同期クロック選択 ビット	b1 b0	0 0: f1SIOまたはf2SIOを選択 0 1: f8SIOを選択 1 0: f32SIOを選択 1 1: 設定しないでください	RW
SMi1				
SMi2	SOUTi出力禁止ビット	0: SOUTi出力許可 1: SOUTi出力禁止(ハイインピーダンス)		RW
SMi3	SI/Oiポート選択ビット	0: 入出力ポート シリアルインタフェースは無効 1: SOUTi出力、CLKi機能 シリアルインタフェースは有効		RW
SMi4	CLK極性選択ビット	0: 送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力 1: 送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力		RW
SMi5	ビットオーダ選択ビット	0: LSBファースト 1: MSBファースト		RW
SMi6	送受信クロック選択ビット	0: 外部クロック 1: 内部クロック		RW
SMi7	SOUTi初期出力設定 ビット	SMi6=0の場合に有効 0: "L" 出力 1: "H" 出力		RW

SiCレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

SMi1~SMi0 (内部同期クロック選択ビット) (b1~b0)

f1SIOまたはf2SIOは、PCLKRレジスタのPCLK1ビットで選択してください。
SMi1~SMi0ビットを変更した場合は、SiBRGレジスタを再設定してください。

SMi2 (SOUTi出力禁止ビット) (b2)

SMi2ビットを“1”(SOUTi出力禁止)にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

SMi7 (SOUTi初期出力設定ビット) (b7)

SMi7ビットは、SMi3ビットが“0”(シリアルインタフェース無効、入出力ポート)のとき値を設定してください。その後、SMi3ビットを“1”かつSMi2ビットを“0”(SOUTi出力)にすると、SMi7ビットで選択したレベルをSOUTi端子から出力します。

20.2.5 SI/Oiビットレートレジスタ (SiBRG) (i=3, 4)

SI/Oiビットレートレジスタ(i=3、4)			
	シンボル S3BRG S4BRG	アドレス 0273h番地 0277h番地	リセット後の値 不定 不定
	機能	設定範囲	RW
	設定値をnとすると、SiBRGはカウントソースをn+1分周する	00h ~ FFh	WO

SiBRGレジスタはMOV命令を使用して書いてください。

SiBRGレジスタはSiCレジスタのSMi1~SMi0ビットを設定した後で、かつ、送受信停止中に書いてください。

20.2.6 SI/O3、4制御レジスタ2 (S34C2)

SI/O 3、4制御レジスタ2			
	シンボル S34C2	アドレス 0278h番地	リセット後の値 00XX X0X0b
ビットシンボル	ビット名	機能	RW
— (b0)	予約ビット	“0”にしてください。	RW
— (b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b2)	予約ビット	“0”にしてください。	RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
SM26	SOUT3出力制御ビット	送信後のSOUT3の状態 0:ハイインピーダンス 1:最終ビットレベルを保持	RW
SM27	SOUT4出力制御ビット	送信後のSOUT4の状態 0:ハイインピーダンス 1:最終ビットレベルを保持	RW

SM26 (SOUT3出力制御ビット) (b6)

SM27 (SOUT4出力制御ビット) (b7)

SiCレジスタのSMi6ビットが“1”(内部クロック)の場合に有効です。SM26、SM27ビットを設定した後で、SiCレジスタのSMi3ビットを“1”(シリアルインタフェース有効)にしてください。

20.3 動作説明

20.3.1 基本動作

SI/Oiは、送信と受信を同時に行います。また、SiTRRレジスタは送受信のためのレジスタとバッファに分かれていません。したがって、送信データは、送受信停止中にSiTRRレジスタに書いてください。また、受信データは送受信停止中にSiTRRレジスタから読んでください。

20.3.2 CLK極性選択

SiCレジスタのSMi4ビットで送受信クロックの極性を選択できます。図20.2に送受信クロックの極性を示します。

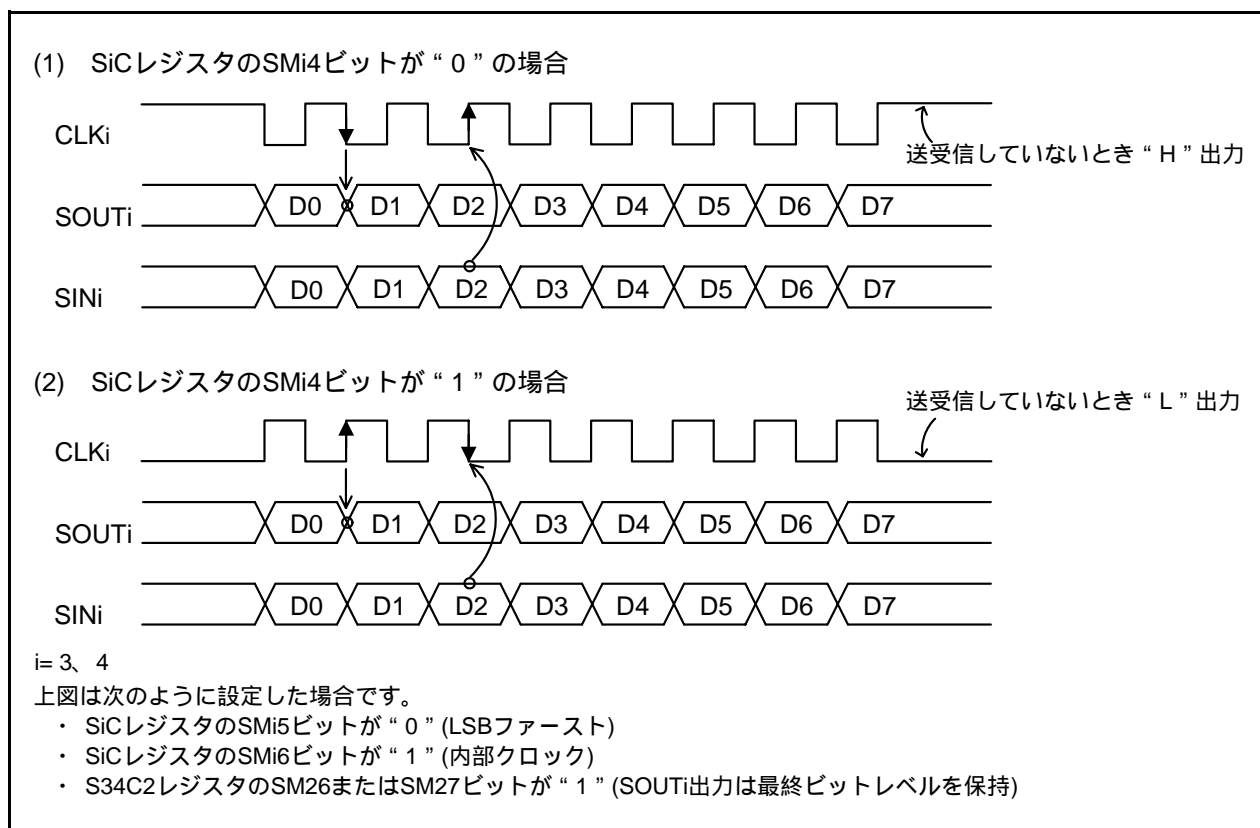


図20.2 送受信クロックの極性

20.3.3 LSBファースト、MSBファースト選択

SiCレジスタ($i=3, 4$)のSMi5ビットでビットオーダを選択できます。図20.3にビットオーダを示します。

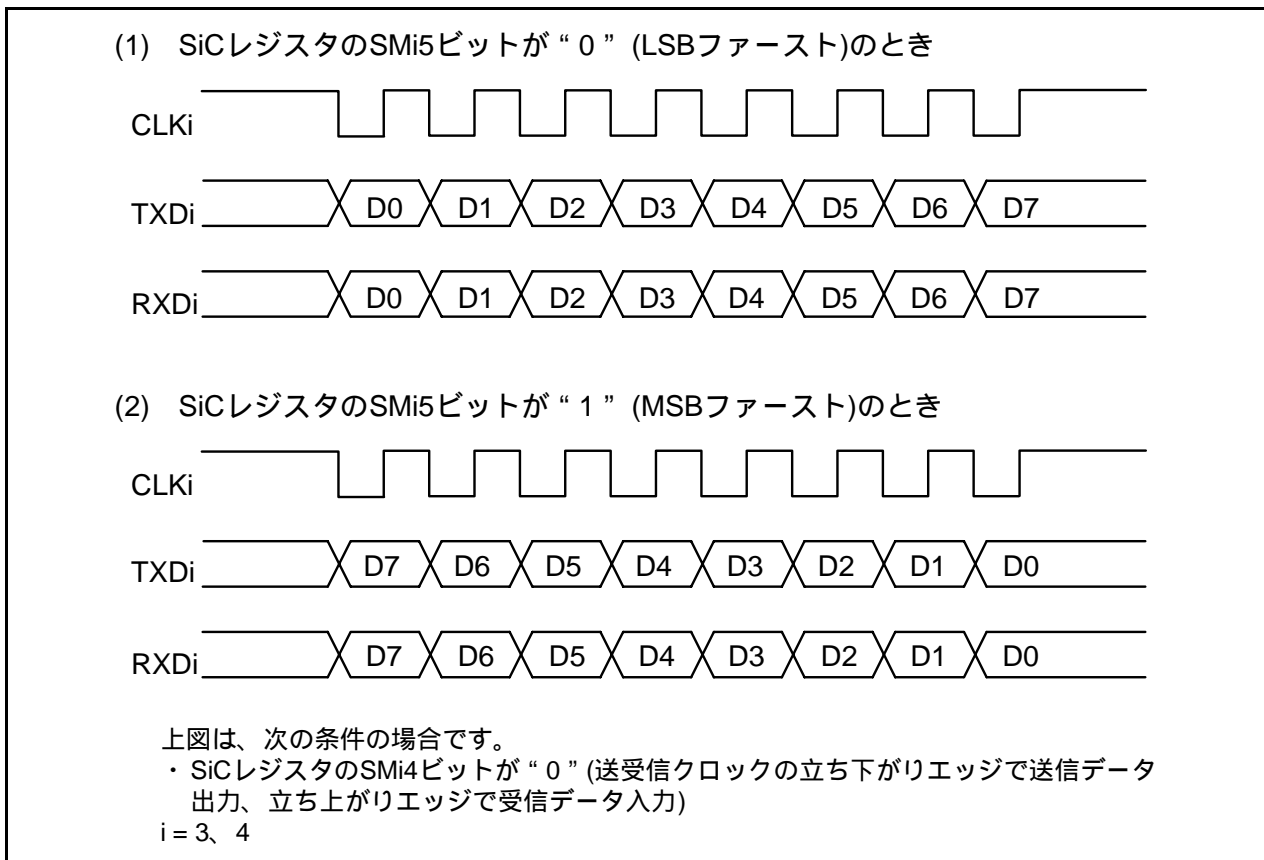


図20.3 ビットオーダ

20.3.4 内部クロック

SiCレジスタのSMi6ビットが“1”のとき、内部クロックで送受信します。内部クロックは、PCLKRレジスタのPCLK1ビット、SiCレジスタのSMi1~SMi0ビットで選択できます。内部クロックのクロック源としてf1を使用する場合、PCLKSTP1レジスタのPCKSTP15ビットを“0”(f1供給許可)にしてください。

送受信クロックが内部クロックの場合、SiCレジスタのSMi3ビットを“1”(SI/Oi有効)、かつSMi2ビットを“0”(SOUTi出力許可)にしてから、最初のデータを送信するまで、SOUTi端子はハイインピーダンスになります。

SiTRRレジスタに送信データを書くと、送受信クロックの0.5~1.0サイクル後、CLKi端子から送受信クロックを出力し、データ送受信を開始します。8ビット分の送受信が終わると、CLKi端子の送受信クロックは停止します。

図20.4にSI/Oi動作タイミング図(内部クロック)を示します。

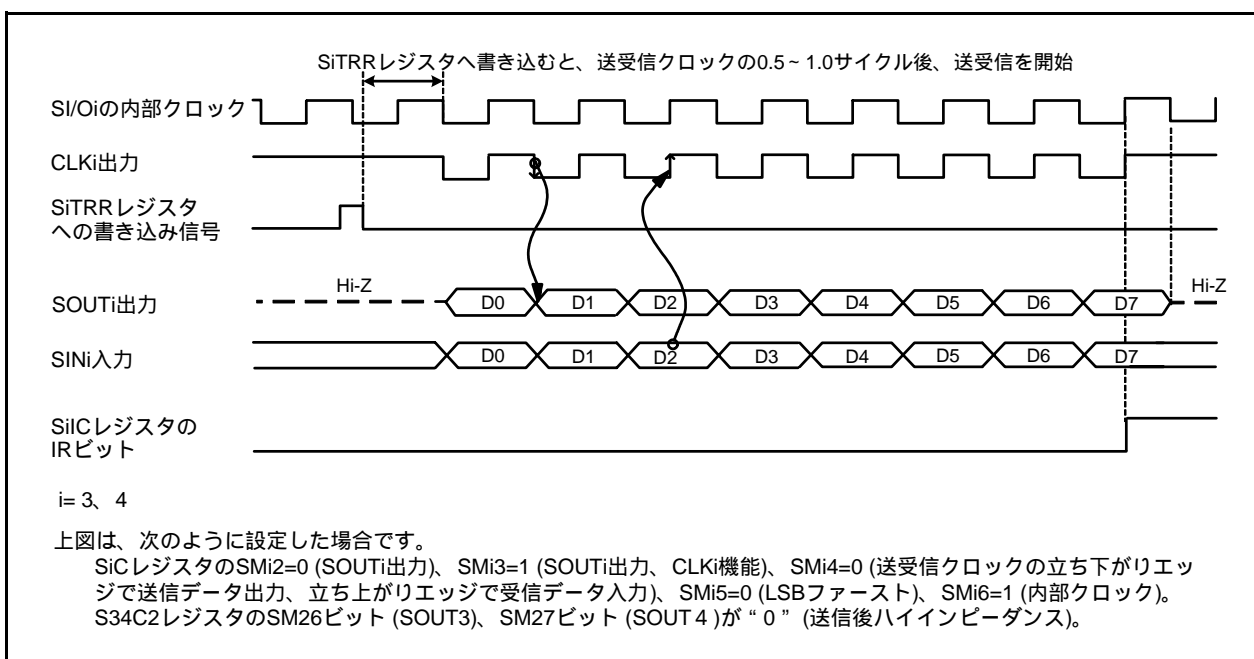


図20.4 SI/Oi動作タイミング図(内部クロック)

20.3.5 送信後のSOUTi状態選択

SiCレジスタのSMi6ビットが“1”(内部クロック)の場合、送信後のSOUTi端子の状態を選択できます。
S34C2レジスタのSM26、SM27ビットが“1”(最終ビットレベルを保持)の場合、送信後、SOUTi端子の出力は、最終ビットのレベルを保持します。図20.5に送信後のSOUT3端子のレベルを示します。

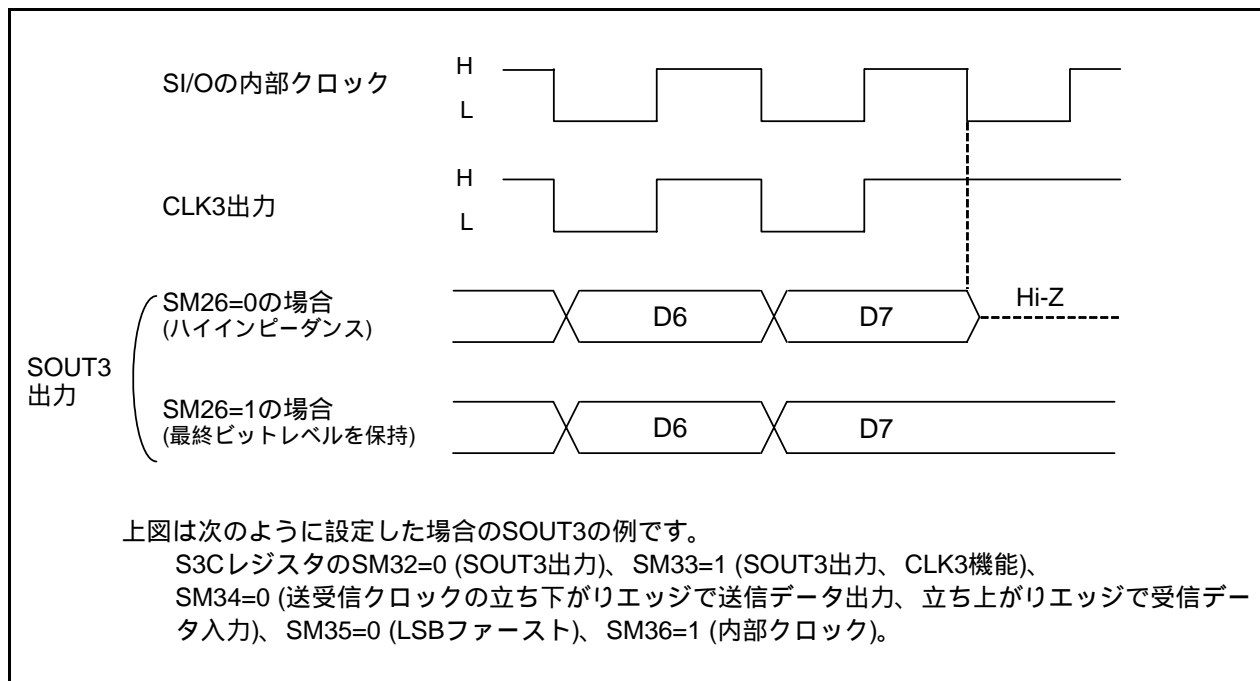


図20.5 送信後のSOUT3端子のレベル

20.3.6 外部クロック

SiCレジスタのSMi6ビットが“0”のとき、外部クロックで送受信します。

送受信クロックが外部クロックの場合、SiCレジスタのSMi3ビットを“1”(SI/Oi有効)、かつSMi2ビットを“0”(SOUTi出力許可)にしてから、最初のデータを出力するまでのSOUTi出力レベルを、SiCレジスタのSMi7ビットで選択できます。「20.3.8 SOUTi初期値設定機能」を参照してください。

SiTRRレジスタに送信データを書いた後、外部クロックで送受信を開始します。外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

図20.6にSI/Oi動作タイミング図(外部クロック)を示します。

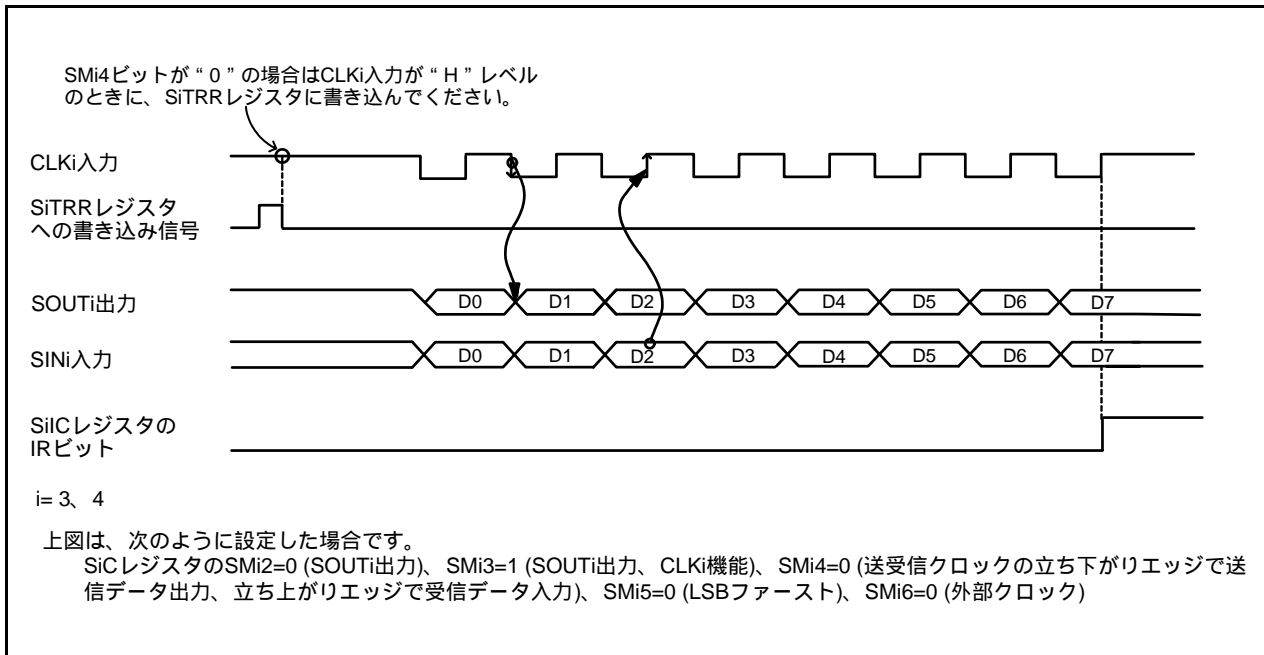


図20.6 SI/Oi動作タイミング図(外部クロック)

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、SiTRRレジスタと、SiCレジスタのSMi7ビットは、次の条件のとき書いてください。

- SiCレジスタのSMi4ビットが“0”(送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力)の場合: CLKi入力が“H”レベルのとき
- SMi4ビットが“1”(送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力)の場合: CLKi入力が“L”レベルのとき

20.3.7 SOUTi端子

SOUTi端子の状態はSiCレジスタのSMi2、SMi3ビットで選択できます。

表20.4にSOUTi端子の状態を示します。

表20.4 SOUTi端子の状態

ビットの設定		SOUTi端子の状態
SiCレジスタ		
SMi2	SMi3	
0	0	入出力ポートまたは他の周辺機能
	1	SOUTi出力
1	0/1	ハイインピーダンス

20.3.8 SOUTi初期値設定機能

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送受信していないときのSOUTi端子の出力を“H”または“L”のどちらかに設定できます。SiCレジスタのSMi7ビットで選択してください。なお、外部クロックの場合、データとデータの間は、前のデータの最終ビットの値を保持します。図20.7にSOUTi初期値設定時のタイミング図、設定方法を示します。

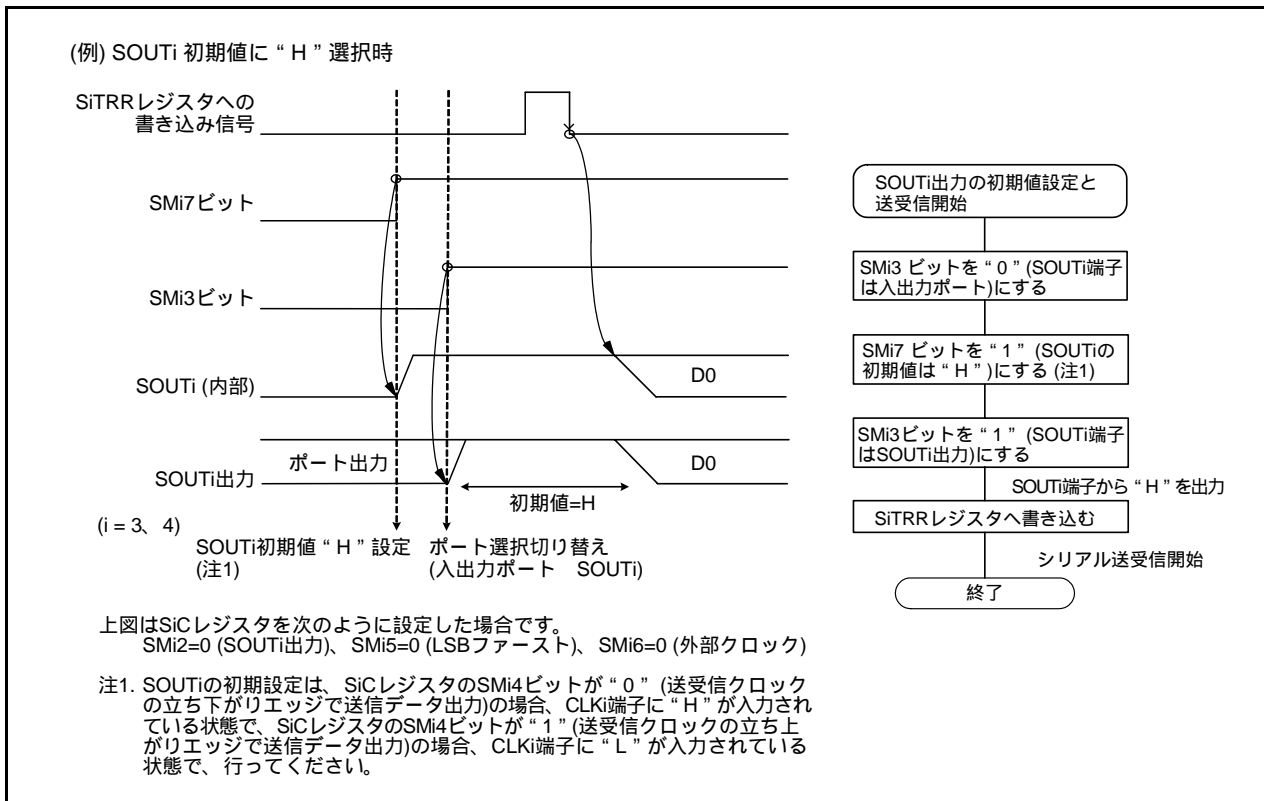


図20.7 SOUTi初期値設定時のタイミング図、設定方法

20.4 割り込み

割り込みの要因や割り込み要求発生タイミングは、動作例を参照してください。また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表 20.5 に SI/O3、SI/O4 の割り込み関連レジスタを示します。

表20.5 SI/O3、SI/O4の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0048h	SI/O4割り込み制御レジスタ	S4IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ	S3IC	XX00 X000b
0207h	割り込み要因選択レジスタ	IFSR	00h

次の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。これらの割り込みを使用する場合は、次のようにしてください。

- SI/O3: IFSRレジスタのIFSR6ビットを“0”(SI/O3)にする。
- SI/O4: IFSRレジスタのIFSR7ビットを“0”(SI/O4)にする。

また、SiICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

20.5 シリアルインタフェース SI/O3、SI/O4使用上の注意事項

20.5.1 SOUTi出力禁止時のSOUTi端子のレベル

SiCレジスタのSMi2ビットを“1”(SOUTi出力禁止)にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

20.5.2 外部クロックの制御

外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

20.5.3 レジスタアクセス

S34C2レジスタのSM22ビットを設定した後、その他のSI/O3、SI/O4関連レジスタを設定してください。SM22ビットを変更した後も、その他のSI/O3、SI/O4関連レジスタを再設定してください。

20.5.4 外部クロック使用時のレジスタアクセス

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、SiCレジスタのSMi7ビットと、SiTRRレジスタは、次の条件のとき書いてください。

- SiCレジスタのSMi4ビットが“0”(送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力)の場合：CLKi入力が“H”レベルのとき
- SMi4ビットが“1”(送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力)の場合：CLKi入力が“L”レベルのとき

20.5.5 SiTRRレジスタアクセス

送信データは、送受信停止中にSiTRRレジスタに書いてください。また、受信データは送受信停止中にSiTRRレジスタから読んでください。

SiCレジスタのIRビットは、8ビット目のデータの出力中に“1”(割り込み要求あり)になります。

S34C2レジスタのSM26(SOUT3)、SM27(SOUT4)が“0”(送信後ハイインピーダンス)の場合、割り込み要求発生後すぐに送信データをSiTRRレジスタに書くと、SiTRRレジスタに書いたときにSOUTi端子がハイインピーダンス状態になり、送信データのホールド時間が短くなります。

20.5.6 内部クロック使用時の端子の機能切り替え

SiC(i=3,4)レジスタのSMi2ビットが“0”(SOUTi出力)でかつ、SMi6ビットが“1”(内部クロック)の状態、SMi3ビットを“0”(入出力ポート)から“1”(SOUTi出力、CLKi機能)に変更した場合、10ns程度、SOUTi端子にSMi7ビットで設定したSOUTi初期値が出力されることがあります。その後、SOUTi端子はハイインピーダンスとなります。

SMi3ビットを“0”から“1”に変更したときに、SOUTi端子から出力されるレベルが問題となる場合、SMi7ビットでSOUTiの初期値を設定してください。

20.5.7 外部クロック選択時のリセット後の動作

リセット後、SiCレジスタのSMi6ビットが“0”(外部クロック)の場合に、CLKi端子に8ビット分の外部クロックを入力すると、SiCレジスタのIRビットが“1”(割り込み要求あり)になります。この現象は、SiCレジスタのSMi3ビットが“0”(シリアルインタフェース無効)でも、SiTRRレジスタに値を書く前であっても起こります。

21. マルチマスタI²C-busインタフェース

21.1 概要

マルチマスタI²C-busインタフェース(以下I²C回路と称す)は、I²C-busのデータ送受信フォーマットに基づいてシリアル送受信を行う回路です。アービトレーションロスト検出機能とシンクロナス機能を持ちます。表21.1にI²C回路の仕様を、表21.2にI²C回路の検出機能を、図21.1にI²C回路のブロック図を、表21.3に入出力端子を示します。

表21.1 I²C回路の仕様

項目	機能
フォーマット	I ² C-bus 規格準拠 7ビットアドレッシングフォーマット Fast-mode 標準クロックモード
送受信モード	I ² C-bus 規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
ビットレート	16.1 kbps~400 kbps (fV _{IIC} =4MHz)
入出力端子	シリアルデータライン SDAMM (SDA) シリアルクロックライン SCLMM (SCL)
割り込み要求発生要因	<ul style="list-style-type: none"> • I²C-bus 割り込み <ul style="list-style-type: none"> 送信完了 受信完了 スレーブアドレス一致検出 ジェネラルコール検出 ストップコンディション検出 タイムアウト検出 • SDA/SCL 割り込み <ul style="list-style-type: none"> SDAMM端子、SCLMM端子の信号の立ち上がりまたは立ち下がり
選択機能	<ul style="list-style-type: none"> • I²C-busインタフェース端子入力レベル選択 <ul style="list-style-type: none"> I²C-bus入力レベル、またはSMBus入力レベルでの入力を選択可能 • SDA/ポート、SCL/ポート選択 <ul style="list-style-type: none"> SDAMM、SCLMM端子をそれぞれポート出力に切り替える機能 • タイムアウト検出 <ul style="list-style-type: none"> バスビジー中に一定時間以上SCLMM端子のレベルが“H”になったことを検出する機能 • フリーフォーマット選択 <ul style="list-style-type: none"> スレーブアドレスの値にかかわらず、1バイト目の受信時に割り込み要求発生を選択する機能

fV_{IIC}: I²C-busシステムクロック

表21.2 I²C回路の検出機能

項目	機能
スレーブアドレス一致検出	スレーブ送受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送じます。一致しない場合はNACKを送出し、それ以降のデータの送受信を行いません。スレーブアドレスは最大3つまで設定できます
ジェネラルコール検出	スレーブ受信時、ジェネラルコールを検出します
アービトレーションロスト検出	アービトレーションロストを検出し、直ちにSDAMM端子、SCLMM端子の出力を停止します
バスビジー検出	バスビジーを検出しBBビットをセット/リセットします

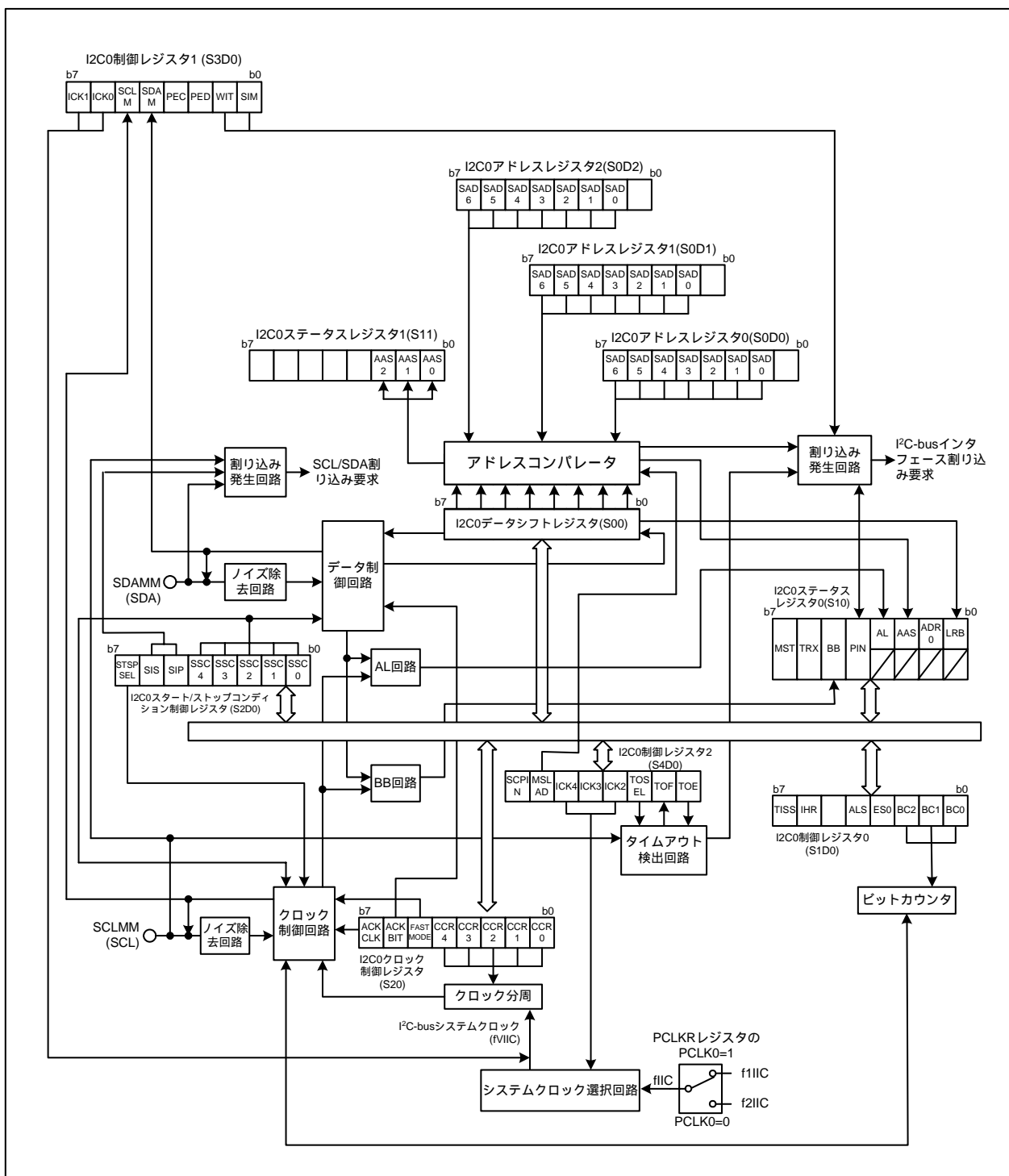


図21.1 I²C回路のブロック図

表21.3 入出力端子

端子名	入出力	機能
SDAMM	入出力	SDA入出力 (Nチャンネルオープンドレイン出力)
SCLMM	入出力	SCL入出力 (Nチャンネルオープンドレイン出力)

21.2 レジスタの説明

表21.4にレジスタ一覧を示します。CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合、表21.4に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロックまたはオンチップオシレータクロック)にしてアクセスしてください。

表21.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0016h	周辺クロック停止レジスタ 1	PCLKSTP1	X000 0000b
02B0h	I2C0データシフトレジスタ	S00	XXh
02B2h	I2C0アドレスレジスタ0	S0D0	0000 000Xb
02B3h	I2C0制御レジスタ0	S1D0	00h
02B4h	I2C0クロック制御レジスタ	S20	00h
02B5h	I2C0スタート/ストップコンディション 制御レジスタ	S2D0	0001 1010b
02B6h	I2C0制御レジスタ1	S3D0	0011 0000b
02B7h	I2C0制御レジスタ2	S4D0	00h
02B8h	I2C0ステータスレジスタ0	S10	0001 000Xb
02B9h	I2C0ステータスレジスタ1	S11	XXXX X000b
02BAh	I2C0アドレスレジスタ1	S0D1	0000 000Xb
02BBh	I2C0アドレスレジスタ2	S0D2	0000 000Xb

21.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

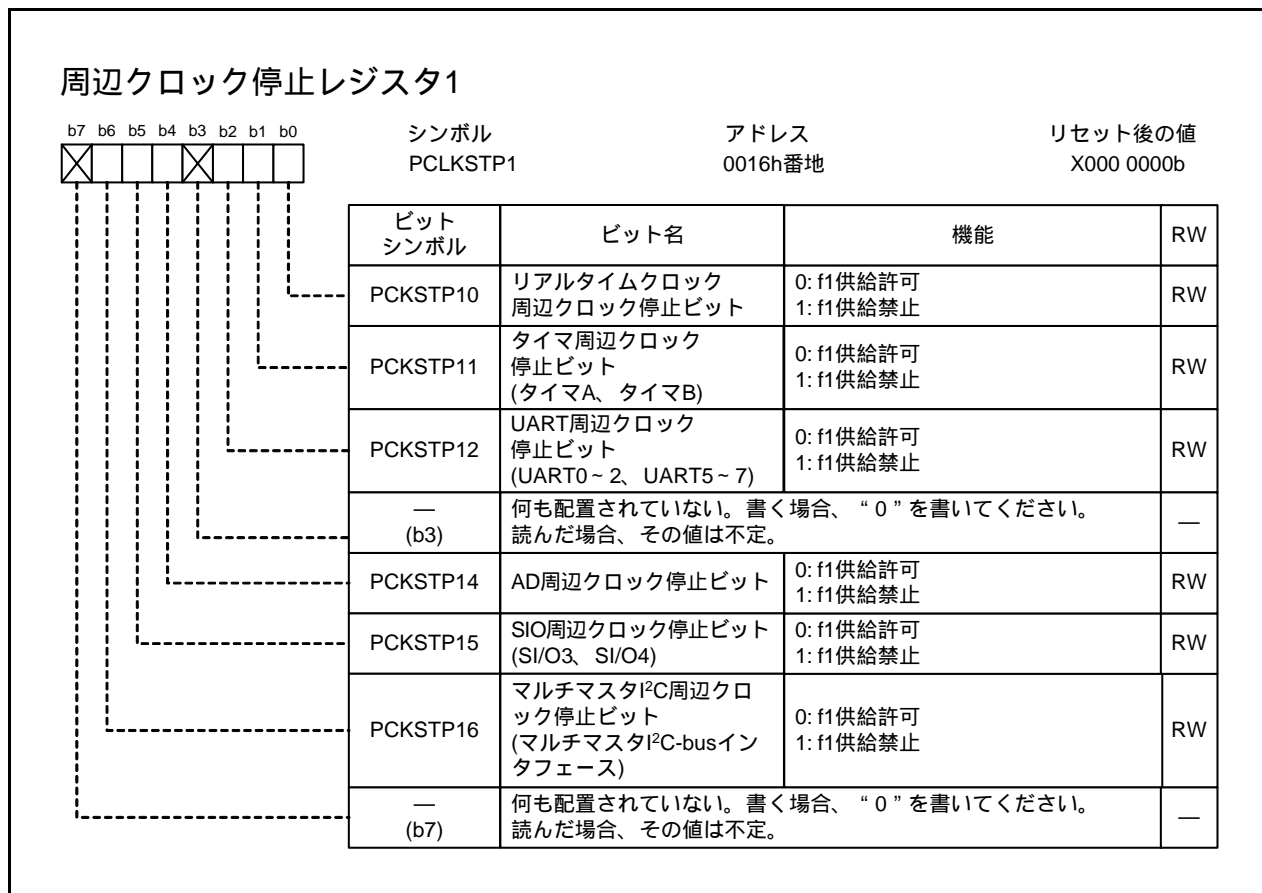
ビットシンボル	ビット名	機能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、マルチマスタI ² C-busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~UART7、SI/O3、SI/O4のクロック源)	0 : f2SIO 1 : f1SIO	RW
(b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
(b7-b6)	予約ビット	“0” にしてください	RW

レジスタ構成図: b7 b6 b5 b4 b3 b2 b1 b0
0 0 0 0 0 0 0 0

シンボル: PCLKR
アドレス: 0012h番地
リセット後の値: 0000 0011b

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

21.2.2 周辺クロック停止レジスタ 1 (PCLKSTP1)



PCKSTP1 レジスタはPRCR レジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP16 (マルチマスタI²C周辺クロック停止ビット) (b6)

マルチマスタI²C-busインタフェースを使用する場合、PCKSTP16ビットを“0”(f1供給許可)にしてください。

21.2.3 I²C0データシフトレジスタ (S00)

送信時は送信データを書き込んでください。受信時はS00レジスタを読み出すと受信データが読み出せます。マスタモードでは、スタートコンディションまたはストップコンディションの発生にも使用します。(「21.3.2 スタートコンディション発生方法」「21.3.3 ストップコンディション発生方法」参照)。

S00レジスタは、S1D0レジスタのES0ビットが“1”(I²C回路許可)のとき書き込めます。

送受信中はS00レジスタに書き込まないでください。

データ送信時、S00レジスタのデータは、SCLMM端子のクロックに同期してビット7から順に外部へ送信されます。データを1ビット出力するたびに、S00レジスタの内容は左に1ビットシフトします。

データ受信時は、SCLMM端子のクロックに同期してデータがビット0から順にS00レジスタに入力されます。データを1ビット入力するたびに、S00レジスタの内容は左に1ビットシフトします。図21.2に受信データをS00レジスタに格納するタイミングを示します。

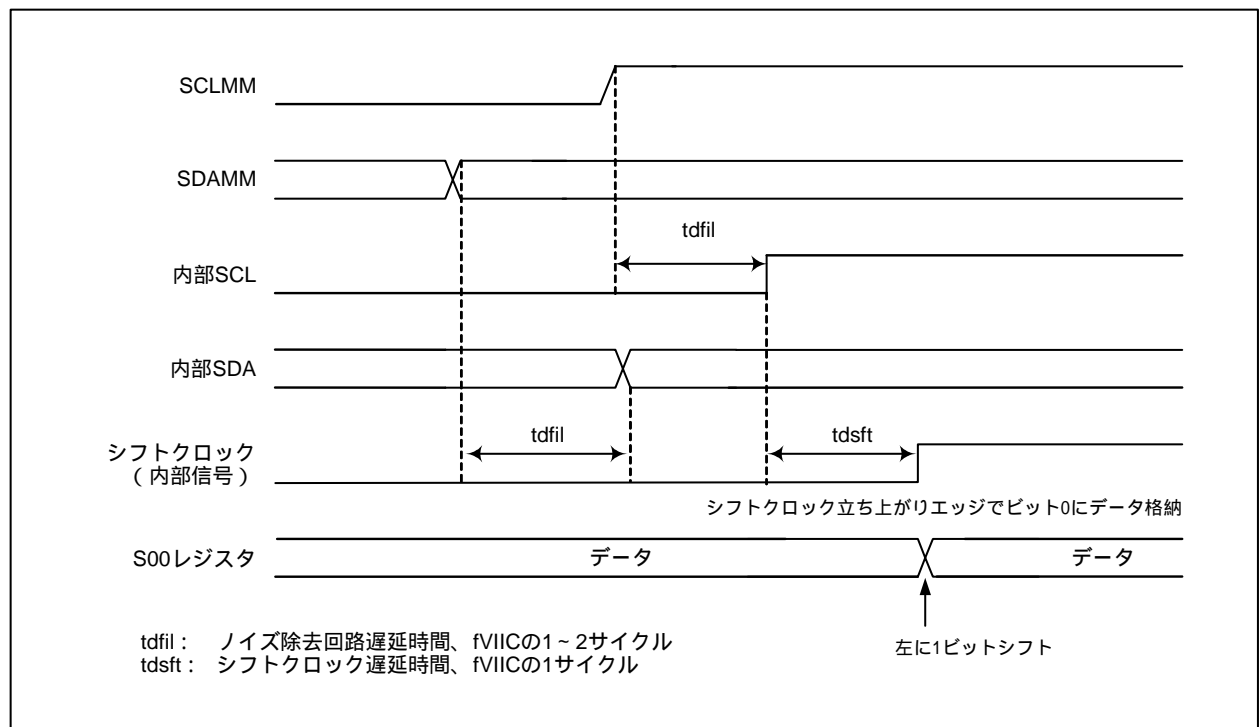
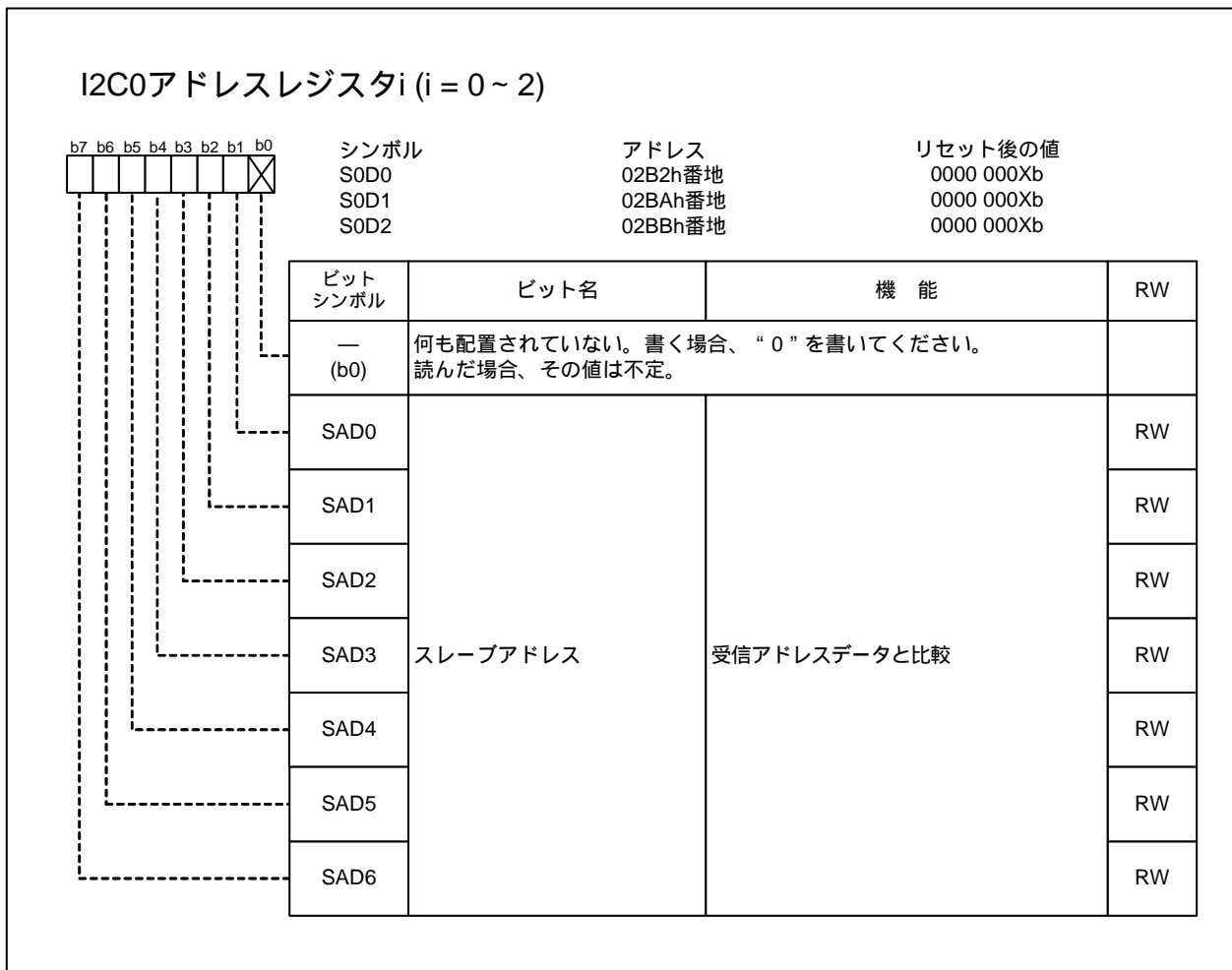


図21.2 受信データをS00レジスタに格納するタイミング

21.2.4 I²C0アドレスレジスタ_i (S0D0~S0D2) (i=0~2)



SAD6~SAD0 (スレーブアドレス) (b7~b1)

スレーブモード時に、スレーブアドレス一致検出で比較されるスレーブアドレスを指定するビットです。アドレスは最大3つまで設定できます。スレーブアドレスを設定しないS0Diレジスタには“00h”を設定してください。ただし、S4D0レジスタのMSLADビットが“0”のとき、S0D1レジスタおよびS0D2レジスタは無効となり、S0D0レジスタのみがスレーブアドレス一致検出の対象となります。

21.2.5 I²C0制御レジスタ0 (S1D0)

I²C0制御レジスタ0

ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	S1D0	02B3h番地	00h

ビットシンボル	ビット名	機能	RW
BC0	ビットカウンタ (送/受信ビット数)	b2 b1 b0 0 0 0 : 8 0 0 1 : 7 0 1 0 : 6 0 1 1 : 5 1 0 0 : 4 1 0 1 : 3 1 1 0 : 2 1 1 1 : 1	RW
BC1		RW	
BC2		RW	
ES0		I ² C-busインタフェース 許可ビット	0 : 禁止 1 : 許可
ALS	データフォーマット選択ビット	0 : アドレッシングフォーマット 1 : フリーデータフォーマット	RW
— (b5)	予約ビット	“0” にしてください	RW
IHR	I ² C-busインタフェース リセットビット	0 : リセット解除 (自動) 1 : リセット	RW
TISS	I ² C-busインタフェース 端子入力レベル選択ビット	0 : I ² C-bus入力 1 : SMBus入力	RW

BC2~BC0 (ビットカウンタ) (b2~b0)

次のステータスのとき、BC2~BC0ビットは“000b”(8ビット)になります。

- スタートコンディション検出

S20レジスタのACKCLKビットが“0”(ACKクロックなし)の場合、BC2~BC0ビットで指定したビット数のデータを送受信した後、BC2~BC0は“000b”に戻ります。

同様にS20レジスタのACKCLKビットが“1”(ACKクロックあり)の場合、BC2~BC0ビットで指定したビット数とACKクロックの1ビットを送受信した後、BC2~BC0ビットは“000b”に戻ります。

ES0 (I²C-bus インタフェース許可ビット) (b3)

I²C 回路の使用を許可するビットです。

ES0 ビットを “0” にすると、I²C 回路は次の状態になります。

- SDAMM 端子、SCLMM 端子: 入出力ポートまたはその他の周辺機能の端子
- S00 レジスタへの書き込み禁止
- I²C-bus システムクロック (以下 fV_{IIC} と称す) 停止
- S10 レジスタ
 - ADR0 ビット: “0” (ジェネラルコール未検出)
 - AAS ビット: “0” (スレーブアドレス不一致)
 - AL ビット: “0” (アービトレーションロスト未検出)
 - PIN ビット: “1” (I²C-bus 割り込み要求なし)
 - BB ビット: “0” (バスフリー)
 - TRX ビット: “0” (受信モード)
 - MST ビット: “0” (スレーブモード)
- S11 レジスタの AAS2~AAS0 ビット: “0” (スレーブアドレス不一致)
- S4D0 レジスタの TOF ビット: “0” (タイムアウト未検出)

ALS (データフォーマット選択ビット) (b4)

スレーブ送受信時に有効です。ALS ビットが “0” (アドレッシングフォーマット) の場合は、スレーブアドレスの一致検出を行います。S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットに格納されたスレーブアドレスと受信したスレーブアドレスとを比較して一致した場合、またはジェネラルコールを受信した場合、IICIC レジスタの IR ビットが “1” (割り込み要求あり) になります。

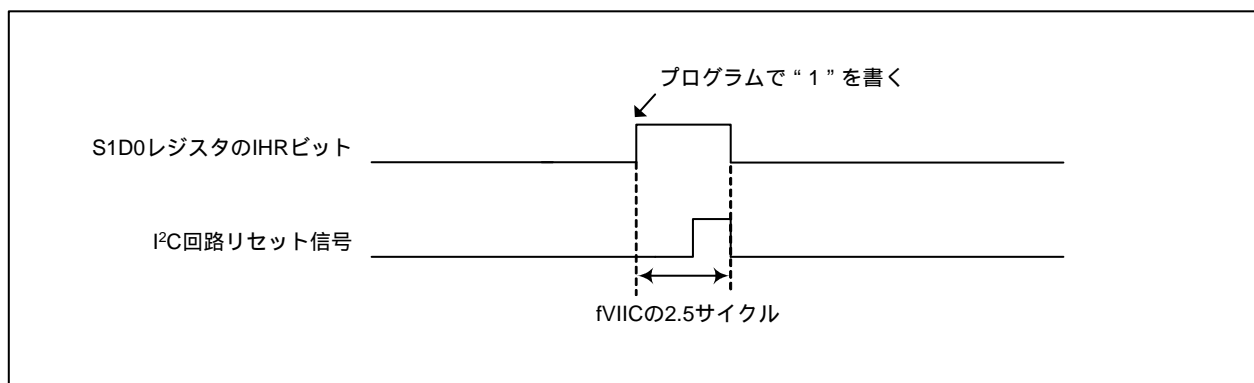
ALS ビットが “1” (フリーフォーマット) の場合は、受信したスレーブアドレスの一致検出をしません。したがって受信したスレーブアドレスに関係なく IICIC レジスタの IR ビットが “1” (割り込み要求あり) になります。

IHR (I²C-bus インタフェースリセットビット) (b6)

異常発生時に、I²C 回路をリセットするビットです。S1D0 レジスタの ES0 ビットが “1” (I²C 回路使用許可) のとき、IHR ビットに “1” (リセット) を書き込むと、I²C 回路は次の状態になります。

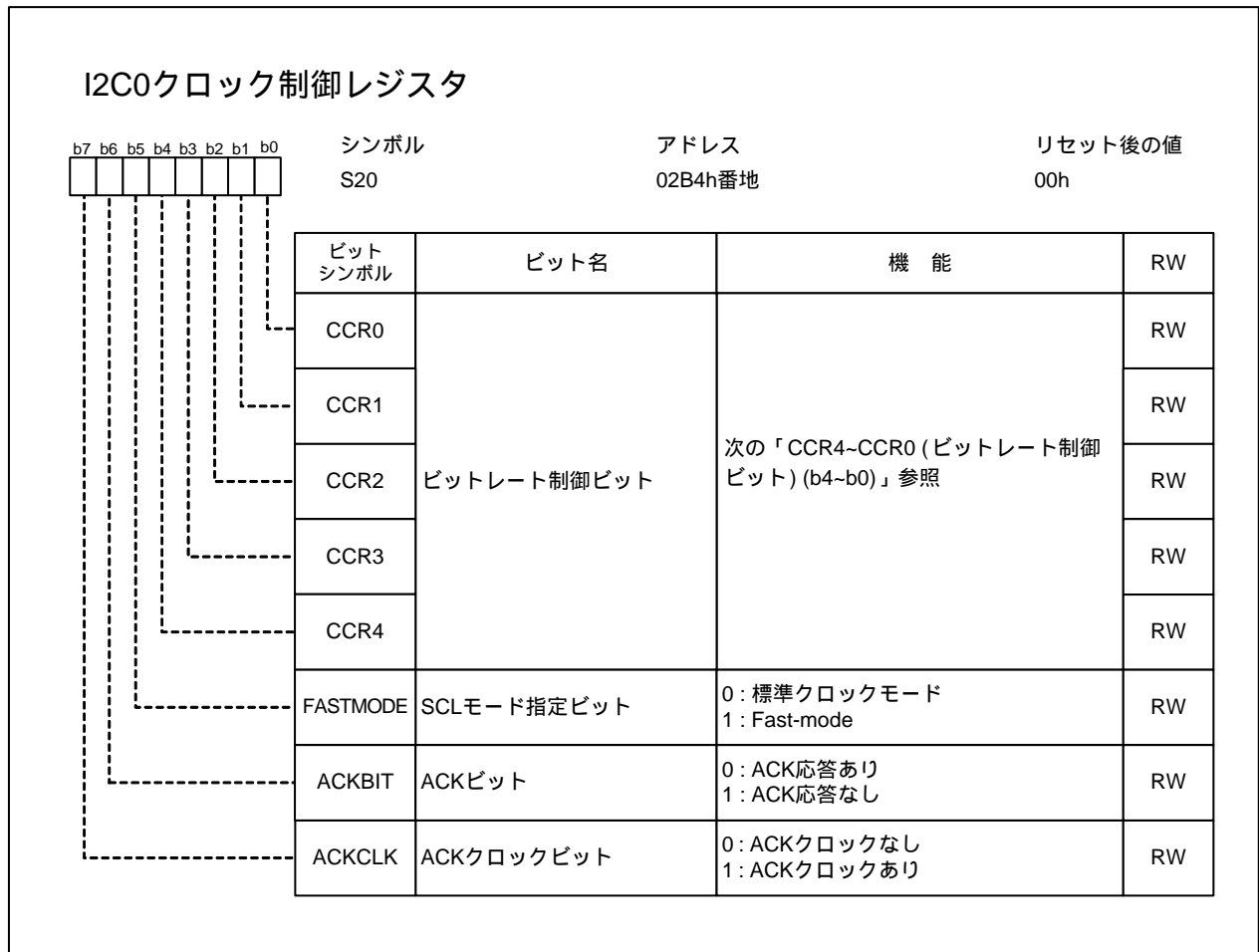
- S10 レジスタ
 - ADR0 ビット: “0” (ジェネラルコール未検出)
 - AAS ビット: “0” (スレーブアドレス不一致)
 - AL ビット: “0” (アービトレーションロスト未検出)
 - PIN ビット: “1” (I²C-bus 割り込み要求なし)
 - BB ビット: “0” (バスフリー)
 - TRX ビット: “0” (受信モード)
 - MST ビット: “0” (スレーブモード)
- S11 レジスタの AAS2~AAS0 ビット: “0” (スレーブアドレス不一致)
- S4D0 レジスタの TOF ビット: “0” (タイムアウト未検出)

IHR ビットに “1” を書き込むと、I²C 回路はリセットされ、この時、リセット処理にかかる時間は fV_{IIC} クロックの最大 2.5 サイクルとなります。IHR ビットは自動的に “0” になります。図 21.3 に I²C 回路リセットタイミングを示します。

図21.3 I²C回路リセットタイミング

TISS (I²C-busインタフェース端子入力レベル選択ビット) (b7)

I²C回路のSCLMM、SDAMM端子の入力レベルを選択するビットです。

21.2.6 I²C0クロック制御レジスタ (S20)

CCR4~CCR0 (ビットレート制御ビット) (b4~b0)

CCR4~CCR0ビットの設定値をCCR値 (CCR値: 3~31) とすると、ビットレートは次の計算式のとおりです。詳細は「21.3.1.2 ビットレートとデューティ」を参照してください。

標準クロックモードの場合

$$\frac{f_{VIIC}}{8 \times \text{CCR値}} \leq 100\text{kbps}$$

Fast-modeかつCCR値が5以外の場合

$$\frac{f_{VIIC}}{4 \times \text{CCR値}} \leq 400\text{kbps}$$

Fast-modeかつCCR値が5の場合

Fast-modeかつCCR値が5の場合はFast-modeの最大値400kbpsにする場合を想定しています。

$$\frac{f_{VIIC}}{2 \times \text{CCR値}} = \frac{f_{VIIC}}{10} \leq 400\text{kbps}$$

f_{VIIC}の周波数に関わらずCCR値を0~2にしないでください。

CCR4~CCR0ビットはS1D0レジスタのES0ビットが“0”(禁止)のときに書き換えてください。

FASTMODE (SCLモード指定ビット) (b5)

Fast-mode I²C-bus規格 (最高400kbps) で使用する場合、FASTMODEビットを“1”(Fast-mode)にしてください。また、f_{VIIC}を4MHz以上にしてください。

FASTMODEビットは送受信中に書き換えないでください。

ACKBIT (ACKビット) (b6)

マスタ受信、スレーブ受信、またはスレーブアドレス受信の場合に有効です。

スレーブアドレス受信の場合、S1D0レジスタのALSビット、ACKBITビット、受信したスレーブアドレスの組み合わせでACKクロック時のSDAMM端子のレベルが決まります。データ受信時はACKBITビットでACKクロック時のSDAMM端子のレベルが決まります。表21.5にACKクロック時のSDAMM端子のレベルを示します。

表21.5 ACKクロック時のSDAMM端子のレベル

受信内容	S1D0レジスタのALSビット	S20レジスタのACKBITビット	スレーブアドレスの内容	ACKクロック時のSDAMM端子のレベル
スレーブアドレス	0	0	S4D0レジスタのMSLADビットが“0”のとき S0D0レジスタのSAD6~SAD0ビットと一致 MSLADビットが“1”のとき S0D0~S0D2レジスタのいずれかのSAD6~SAD0ビットと一致	L (ACK)
			0000000b	L (ACK)
			その他	H (NACK)
	1	1		H (NACK)
		0		L (ACK)
		1		H (NACK)
データ		0		L (ACK)
		1		H (NACK)

ACKCLK (ACKクロックビット) (b7)

ACKCLKビットが“1”(ACKクロックあり)の場合、1バイトのデータ送受信(8クロック)に続いてACKクロックを発生します。ACKCLKビットが“0”(ACKクロックなし)の場合、データ送受信(8クロック)後にACKクロックは発生しません。その場合、データ送受信(8クロック)の立ち下がりではICICレジスタのIRビットが“1”(割り込み要求あり)になります。

ACKCLKビットは送受信中に書き換えしないでください。

21.2.7 I²C0スタート/ストップコンディション制御レジスタ (S2D0)

I ² C0スタート/ストップコンディション制御レジスタ				
b7 b6 b5 b4 b3 b2 b1 b0	シンボル S2D0	アドレス 02B5h番地	リセット後の値 0001 1010b	
b7	ビット シンボル	ビット名	機 能	RW
b6	SSC0	スタート/ストップ コンディション設定ビット	次の「SSC4~SSC0 (スタート/ストップ コンディション設定ビット) (b4~b0)」参 照	RW
b5	SSC1			RW
b4	SSC2			RW
b3	SSC3			RW
b2	SSC4			RW
b1	SIP	SCL/SDA割り込み端子 極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
b0	SIS	SCL/SDA割り込み端子 選択ビット	0: SDAMM有効 1: SCLMM有効	RW
	STSPSEL	スタート/ストップ コンディション発生選択ビッ ト	0: セットアップ/ホールド時間ショート モード 1: セットアップ/ホールド時間ロングモ ード	RW

SSC4~SSC0 (スタート/ストップコンディション設定ビット) (b4~b0)

標準クロックモード時のスタート/ストップコンディションの検出条件 (SCL 開放時間、セットアップ時間、ホールド時間) を選択するビットです。「21.3.7 スタート/ストップコンディション検出」を参照してください。

SSC4~SSC0ビットに奇数値または“00000b”を設定しないでください。

SIP (SCL/SDA 割り込み端子極性選択ビット) (b5)

SIS (SCL/SDA 割り込み端子選択ビット) (b6)

SISビットで選択した端子の入出力信号の、SIPビットで選択したエッジを検出すると、SCLDAICレジスタのIRビットが“1”(割り込み要求あり)になります。「21.4 割り込み」を参照してください。

STSPSEL (スタート/ストップコンディション発生選択ビット) (b7)

「表21.13 スタート/ストップコンディション発生のセットアップ/ホールド時間」を参照してください。

f_{VII}Cの周波数が4MHzを超える場合は、STSPSELビットを“1”(ロングモード)にしてください。

21.2.8 I²C0制御レジスタ1(S3D0)

I ² C0制御レジスタ1		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		S3D0	02B6h番地	0011 0000b
ビットシンボル	ビット名	機能		RW
SIM	ストップコンディション検出割り込み許可ビット	0 : ストップコンディション検出によるI ² C-bus割り込み禁止 1 : ストップコンディション検出によるI ² C-bus割り込み許可		RW
WIT	データ受信割り込み許可ビット	書き込み時： 0 : 8クロック目のI ² C-bus割り込み禁止 1 : 8クロック目のI ² C-bus割り込み許可 読み出し時：内部WAITビットモニタ 0 : ACKクロックの立ち下がりによるI ² C-bus割り込み 1 : 8クロック目のI ² C-bus割り込み		RW
PED	SDAMM/ポート機能切り替えビット	0 : SDAMM入出力端子 1 : ポート出力端子		RW
PEC	SCLMM/ポート機能切り替えビット	0 : SCLMM入出力端子 1 : ポート出力端子		RW
SDAM	内部SDA出力モニタビット	0 : 0出力 1 : 1出力		RO
SCLM	内部SCL出力モニタビット	0 : 0出力 1 : 1出力		RO
ICK0	I ² C-busシステムクロック選択ビット (S4D0レジスタのICK4~ICK2が“000b”のとき有効)	b7 b6 0 0 : fIICの2分周 0 1 : fIICの4分周 1 0 : fIICの8分周 1 1 : 設定しないでください		RW
ICK1		RW		

このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。

SIM (ストップコンディション検出割り込み許可ビット) (b0)

SIMビットが“1”(ストップコンディション検出によるI²C-bus割り込み許可)の場合、ストップコンディションを検出すると、S4D0レジスタのSCPINビットが“1”(ストップコンディション検出割り込み要求あり)、IICICレジスタのIRビットが“1”(割り込み要求あり)になります。

WIT (データ受信割り込み許可ビット) (b1)

マスタ受信、スレーブ受信の場合に有効です。

WITビットは2つの機能を持っています。

- データ受信時のI²C-bus 割り込みタイミングの選択 (書き込み)
- 内部WAITフラグの状態のモニタ (読み出し)

次にそれぞれの機能を説明します。

データ受信時、8クロック目 (ACKクロックの前) でI²C-bus 割り込み要求が発生するか、しないかをWITビットに書き込む値で選択できます。

S20レジスタのACKCLKビットが“1”(ACKクロックあり)で、WITビットに“1”(8クロック目のI²C-bus 割り込み許可)を書いた場合、8クロック目 (ACKクロックの前) でI²C-bus 割り込み要求が発生します。このときS10レジスタのPINビットが“0”(割り込み要求あり)になります。

S20レジスタのACKCLKビットが“0”(ACKクロックなし)の場合、WITビットには“0”(データ受信によるI²C-bus 割り込み禁止)を書いてください。

データ送信時とスレーブアドレス受信時は、WITビットに書き込む値にかかわらず8クロック目 (ACKクロックの前) では割り込み要求は発生しません。

WITビットを読み出すと内部WAITフラグの状態を読み出せます。

9クロック目 (ACKクロック) の立ち下がりでは、WITビットに書き込んだ値に関係なくI²C-bus 割り込み要求が発生します。この場合もS10レジスタのPINビットが“0”(割り込み要求あり)になります。したがって、8クロック目 (ACKクロックの前) のI²C-bus 割り込み要求か、ACKクロックの立ち下がりのI²C-bus 割り込み要求かを判定する場合は、内部WAITフラグの状態で判定してください。

WITビットに“1”(データ受信によるI²C-bus 割り込み許可)を書き込んだ場合、内部WAITフラグは次の条件で変化します。

[0になる条件]

- S20レジスタ (ACKBITビット) への書き込み

[1になる条件]

- S00レジスタへの書き込み

なお、データ送信時とスレーブアドレス受信時は、WITビットに書き込む値にかかわらず、内部WAITフラグは“0”で、I²C-bus 割り込み要求は9クロック目 (ACKクロック) の立ち下がり時のみ発生します。

表 21.6 にデータ受信時の割り込み要求発生タイミングと送受信再開の方法を、図 21.4 にデータ受信時の割り込み要求発生タイミングを示します。

表21.6 データ受信時の割り込み要求発生タイミングと送受信再開の方法

I ² C-bus 割り込み要求発生タイミング	内部WAITフラグの状態	送受信再開の方法
8クロック目 (ACKクロックの前) の立ち下がり (注1)	1	S20レジスタのACKBITビットへの書き込み (注3)
9クロック目 (ACKクロック) の立ち下がり (注2)	0	S00レジスタへの書き込み

注1. 図21.4 IICICレジスタのIRビット (1) のタイミング

注2. 図21.4 IICICレジスタのIRビット (2) のタイミング

注3. このときS20レジスタのACKBITビット以外のビットの値を変更しないでください。
また、S00レジスタには書き込まないでください。

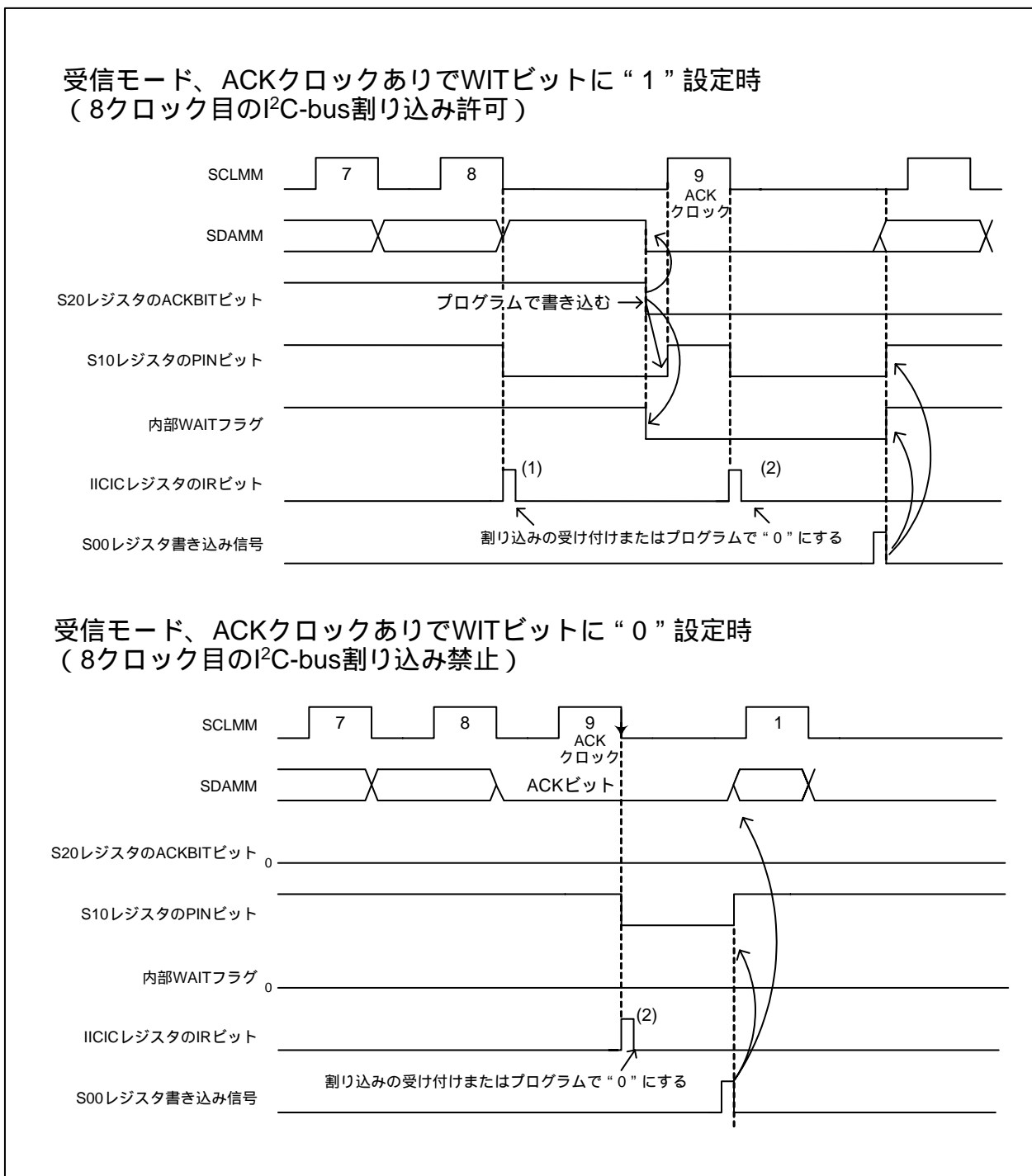


図21.4 データ受信時の割り込み要求発生タイミング

PED (SDAMM/ポート機能切り替えビット) (b2)

PEC (SCLMM/ポート機能切り替えビット) (b3)

S1D0レジスタのES0ビットが“1”(I²C回路許可)のとき有効です。

PECビットを“1”(出力ポート)にすると、内部SCL出力信号およびPD7_1ビットの値に関係なくSCLMM端子からP7_1ビットの値を出力します。同様にPEDビットを“1”にすると内部SDA出力信号およびPD7_0ビットの値に関係なくSDAMM端子からP7_0ビットの値を出力します。なお、バス上のレベルは内部SDA、内部SCLに入力されます。

また、PD7レジスタのPD7_0、PD7_1ビットを“0”(入力モード)に設定してP7レジスタのP7_0、P7_1ビットを読み出した場合は、PEDビット、PECビットの値に関係なく、バス上のレベルが読めます。表21.7にSCLMM、SDAMM端子の機能を示します。

表21.7 SCLMM、SDAMM端子の機能

端子	S1D0レジスタのES0ビット	S3D0レジスタ		端子の機能
		PEDビット	PECビット	
P7_1/SCLMM	0			入出力ポートまたはその他の周辺機能の端子
	1		0	SCLMM (SCL入出力)
			1	出力ポート (P7_1ビットの値を出力)
P7_0/SDAMM	0			入出力ポートまたはその他の周辺機能の端子
	1	0		SDAMM (SDA入出力)
		1		出力ポート (P7_0ビットの値を出力)

: “0”または“1”

SDAM (内部SDA出力モニタビット) (b4)

SCLM (内部SCL出力モニタビット) (b5)

内部SDA出力信号、内部SCL出力信号は、外部デバイスの出力の影響を受ける前のI²C回路の出力レベルです。SDAM、SCLMビットは読み出し専用ビットです。書く時は“0”を書き込んでください。

ICK1~ICK0 (I²C-busシステムクロック選択ビット) (b7~b6)

ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

ICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビット、PCLKRレジスタのPCLK0ビットの設定によって、f_{VIIC}を選択します。「21.3.1.2 ビットレートとデューティ」を参照してください。

表21.8 I²C-busシステムクロック選択ビット

S4D0レジスタ			S3D0レジスタ		f _{VIIC}
ICK4ビット	ICK3ビット	ICK2ビット	ICK1ビット	ICK0ビット	
0	0	0	0	0	f _{VIIC} の2分周
0	0	0	0	1	f _{VIIC} の4分周
0	0	0	1	0	f _{VIIC} の8分周
0	0	1			f _{VIIC} の2.5分周
0	1	0			f _{VIIC} の3分周
0	1	1			f _{VIIC} の5分周
1	0	0			f _{VIIC} の6分周

: “0”でも“1”でもよい

上記以外の組み合わせは設定しないでください。

21.2.9 I²C0制御レジスタ2 (S4D0)

I ² C0制御レジスタ2		シンボル S4D0	アドレス 02B7h番地	リセット後の値 00h							
b7	b6	b5	b4	b3	b2	b1	b0				
								ビット シンボル	ビット名	機能	RW
								TOE	タイムアウト検出機能許可 ビット	0: 禁止 1: 許可	RW
								TOF	タイムアウト検出フラグ	0: 未検出 1: 検出	RO
								TOSEL	タイムアウト検出時間選択 ビット	0: ロングタイム 1: ショートタイム	RW
								ICK2	I ² C-busシステムクロック 選択ビット	b5 b4 b3 0 0 0: S3D0レジスタのICK1、 ICK0ビット有効	RW
							ICK3	0 0 1: fIICの2.5分周		RW	
							ICK4	0 1 0: fIICの3分周 0 1 1: fIICの5分周 1 0 0: fIICの6分周 上記以外は設定しないでください		RW	
							MSLAD	スレーブアドレス制御ビット		0: S0D0レジスタのみ有効 1: S0D0~S0D2レジスタ有効	RW
								SCPIN	ストップコンディション 検出割り込み要求ビット	0: I ² C-bus割り込み要求なし 1: I ² C-bus割り込み要求あり	RW

TOE (タイムアウト検出機能許可ビット) (b0)

タイムアウト検出機能を許可するビットです。タイムアウトは「21.3.9 タイムアウト検出」を参照してください。

TOF (タイムアウト検出フラグ) (b1)

TOEビットが“1”のとき有効です。TOFビットが“1”(検出)になると、同時にIICICレジスタのIRビットが“1”(割り込み要求あり)になります。

["0"になる条件]

- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする

["1"になる条件]

- S10レジスタのBBビットが“1”(バスビジー)のとき、SCLMM端子のレベルがタイムアウト検出時間以上“H”

TOSEL (タイムアウト検出時間選択ビット) (b2)

TOEビットが“1”(タイムアウト検出機能許可)のとき有効です。タイムアウト検出時間を選択するビットです。ロングタイムでは内部カウンタを16ビットカウンタとして、またショートタイムでは14ビットカウンタとして、fVIICをアップカウントします。したがって、タイムアウト検出時間は次のようになります。

TOSELビットが“0”(ロングタイム)の場合

$$65536 \times \frac{1}{fVIIC}$$

TOSELビットが“1”(ショートタイム)の場合

$$16384 \times \frac{1}{fVIIC}$$

タイムアウト検出時間例を表21.9に示します。

表21.9 タイムアウト検出時間例

fVIIC	タイムアウト検出時間	
	TOSELビット: “0”(ロングタイム)	TOSELビット: “1”(ショートタイム)
4MHz	16.4ms	4.1ms
2MHz	32.8ms	8.2ms
1MHz	65.6ms	16.4ms

TOEビットが“0”のときに書き換えてください。

ICK4~ICK2 (I²C-busシステムクロック選択ビット) (b5~b3)

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

ICK4~ICK2ビット、S3D0レジスタのICK1~ICK0ビット、PCLKRレジスタのPCLK0ビットの設定によって、fVIICを選択します。「表21.8 I²C-busシステムクロック選択ビット」、「21.3.1.2 ビットレートとデューティ」を参照してください。

MSLAD (スレーブアドレス比較ビット) (b6)

MSLADビットは、S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)のとき有効です。スレーブアドレス一致検出の対象となるS0Di (i=0~2)レジスタを選択するビットです。

SCPIN (ストップコンディション検出割り込み要求ビット) (b7)

SCPINビットはS3D0レジスタのSIMビットが“1”(ストップコンディション検出によるI²C-bus割り込み許可)の場合、有効です。

["0"になる条件]

- プログラムで“0”を書く

["1"になる条件]

- ストップコンディション検出
(プログラムで“1”を書いても変化しません)

21.2.10 I²C0ステータスレジスタ0 (S10)

I ² C0ステータスレジスタ0		シンボル S10	アドレス 02B8h番地	リセット後の値 0001 000Xb
ビット シンボル	ビット名	機能	RW	
LRB	最終受信ビット	読み出し時： 0：最終ビット = 0 1：最終ビット = 1 書き込み時： 「表21.10 S10レジスタ書き込みによる機能」参照	RW	
ADR0	ジェネラルコール検出フラグ	読み出し時： 0：ジェネラルコール未検出 1：ジェネラルコール検出 書き込み時： 「表21.10 S10レジスタ書き込みによる機能」参照	RW	
AAS	スレーブアドレス比較フラグ	読み出し時： 0：アドレス不一致 1：アドレス一致 書き込み時： 「表21.10 S10レジスタ書き込みによる機能」参照	RW	
AL	アービトレーションロスト検出フラグ	読み出し時： 0：未検出 1：検出 書き込み時： 「表21.10 S10レジスタ書き込みによる機能」参照	RW	
PIN	I ² C-busインタフェース割り込み要求ビット	読み出し時： 0：割り込み要求あり 1：割り込み要求なし 書き込み時： 「表21.10 S10レジスタ書き込みによる機能」参照	RW	
BB	バスビジーフラグ	読み出し時： 0：バスフリー 1：バスビジー 書き込み時： 「表21.10 S10レジスタ書き込みによる機能」参照	RW	
TRX	通信モード指定ビット0	0：受信モード 1：送信モード	RW	
MST	通信モード指定ビット1	0：スレーブモード 1：マスタモード	RW	

このレジスタに対して、ビット処理命令（リードモディファイライト命令）を使用しないでください。MOV命令を使用して書いてください。

S10レジスタの下位6ビットはI²C回路の状態をモニタするビットです。プログラムで値を変更することはできません。ただし、下位6ビットを含むS10レジスタへの書き込みは、スタートコンディション、またはストップコンディションを発生させる際に使用します。

MST、TRXビットは読み出し、書き込みが可能です。スタート/ストップコンディションを発生させないで、MSTビットまたはTRXビットを変更する場合、S10レジスタの下位4ビットに書く値は“1111b”にしてください。

表21.10にS10レジスタ書き込みによる機能を示します。表21.10に示した値以外の値をS10レジスタに書き込まないでください。表21.10に示す値をS10レジスタに書き込んだ場合、S10レジスタの下位6ビットは変化しません。

表21.10 S10レジスタ書き込みによる機能

S10レジスタ各ビットの書き込み値								機能
MST	TRX	BB	PIN	AL	AAS	ADR0	LRB	
1	1	1	0	0	0	0	0	マスタ送受信モード時、スタートコンディションスタンバイ状態にする
1	1	0	0	0	0	0	0	マスタ送受信モード時、ストップコンディションスタンバイ状態にする
0	0		0	1	1	1	1	スレーブ受信モード
0	1		0	1	1	1	1	スレーブ送信モード
1	0		0	1	1	1	1	マスタ受信モード
1	1		0	1	1	1	1	マスタ送信モード

: 0でも1でもよい

スタートコンディション、ストップコンディション発生は「21.3.2 スタートコンディション発生方法」、「21.3.3 ストップコンディション発生方法」を参照してください。

LRB (最終受信ビット) (b0)

読み出し時の機能を説明します。書き込み時の機能は「表 21.10 S10 レジスタ書き込みによる機能」を参照してください。

受信した最終ビットの値を格納するビットです。受信したデータのACK確認に使用できます。S00レジスタへの書き込みで“0”になります。

ADR0 (ジェネラルコール検出フラグ) (b1)

読み出し時の機能を説明します。書き込み時の機能は「表 21.10 S10 レジスタ書き込みによる機能」を参照してください。

["0"]になる条件]

- ストップコンディションの検出
- スタートコンディションの検出
- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする

["1"]になる条件]

- スレーブモード時、S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)で、受信したスレーブアドレスが“0000000b”(ジェネラルコール)

AAS (スレーブアドレス比較フラグ) (b2)

読み出し時の機能を説明します。書き込み時の機能は「表 21.10 S10 レジスタ書き込みによる機能」を参照してください。

[" 0 "になる条件]

- S00レジスタへの書き込み
- S1D0レジスタのES0ビットを“ 0 ”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“ 1 ”(I²C回路リセット)にする

[" 1 "になる条件]

- スレーブ受信モード時、S4D0レジスタのMSLADビットが“ 1 ”かつS1D0レジスタのALSビットが“ 0 ”(アドレッシングフォーマット)で、受信スレーブアドレスがS0D0~S0D2レジスタのいずれかのSAD6~SAD0ビットと一致
- スレーブ受信モード時、MSLADビットが“ 0 ”かつS1D0レジスタのALSビットが“ 0 ”(アドレッシングフォーマット)で、受信スレーブアドレスがS0D0レジスタのSAD6~SAD0ビットと一致
- スレーブ受信モード時、S1D0レジスタのALSビットが“ 0 ”(アドレッシングフォーマット)で、受信したスレーブアドレスが“ 0000000b ”(ジェネラルコール)

AL (アービトレーションロスト検出フラグ) (b3)

読み出し時の機能を説明します。書き込み時の機能は「表 21.10 S10 レジスタ書き込みによる機能」を参照してください。

[" 0 "になる条件]

- S00レジスタへの書き込み
- S1D0レジスタのES0ビットを“ 0 ”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“ 1 ”(I²C回路リセット)にする

[" 1 "になる条件]

- マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出時、ACKクロック以外でSDAMM端子のレベルが外部デバイスによって“ L ”になった
- マスタ送信モードでデータ送信時、ACKクロック以外でSDAMM端子のレベルが外部デバイスによって“ L ”になった
- マスタ送信モードまたはマスタ受信モードでスタートコンディション送出時、SDAMM端子のレベルが外部デバイスによって“ L ”になった
- マスタ送信モードまたはマスタ受信モードでストップコンディション送出時、SDAMM端子のレベルが外部デバイスによって“ L ”になった
- スタートコンディション重複防止機能が動作した

PIN (I²C-bus インタフェース 割り込み要求ビット) (b4)

読み出し時の機能を説明します。書き込み時の機能は「表 21.10 S10 レジスタ書き込みによる機能」を参照してください。

["0"]になる条件]

- マスタモード時、スレーブアドレス送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ受信完了 (S20 レジスタの ACKCLK ビットが "0" の場合、8クロック目の立ち下がりエッジ検出。ACKCLK ビットが "1" の場合 ACK クロックの立ち下がりエッジ検出)
- S3D0 レジスタの WIT ビットが "1" (8クロック目の I²C-bus 割り込み許可) で、1バイトのデータ受信 (ACK クロックの前)
- スレーブ受信モード時、S4D0 レジスタの MSLAD ビットが "1" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、MSLAD ビットが "0" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0 レジスタの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが "0000000b" (ジェネラルコール)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "1" (フリーフォーマット) で、スレーブアドレス受信完了

["1"]になる条件]

- S00 レジスタへの書き込み
- S20 レジスタへの書き込み (WIT ビットが "1" で、内部 WAIT フラグが "1" の場合)
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

PIN ビットが "0" (I²C bus 割り込み要求あり) になると同時に IICIC レジスタの IR ビットが "1" (割り込み要求あり) になります。PIN ビットが "0" のとき、SCLMM 端子から "L" を出力します。

ただし、以下の条件を満たすとき、SCLMM 端子から "L" を出力しません。

- マスタモード時、スレーブアドレスもしくはデータでアービトレーションロストを検出する
- S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット)
- スレーブアドレスが "0000000b" (ジェネラルコール) でなく、また、どの S0D0~S0D2 レジスタの SAD6~SAD0 ビットとも一致しない場合

BB (バスビジーフラグ) (b5)

読み出し時の機能を説明します。書き込み時の機能は「表 21.10 S10 レジスタ書き込みによる機能」を参照してください。

バスシステムの使用状態を示すビットです。マスタモード、スレーブモードにかかわらず BB フラグは SCLMM、SDAMM 入力信号をもとに変化します。

["0"]になる条件]

- ストップコンディションの検出
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

["1"]になる条件]

- スタートコンディションの検出

TRX (通信モード指定ビット0) (b6)

送信モードまたは受信モードを選択するビットです。

[“0”になる条件]

- プログラムでTRXビットに“0”を書く
- アービトレーションロスト検出
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S10レジスタのMSTビットが“0”(スレーブモード)でスタートコンディション検出
- S10レジスタのMSTビットが“0”(スレーブモード)でACK応答なしを検出
- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする

[“1”になる条件]

- プログラムでTRXビットに“1”を書く
- スレーブモード時、S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)でスレーブアドレス受信後にS10レジスタのAASビットが“1”(アドレス一致)になり、かつ受信したR/Wビットが“1”

MST (通信モード指定ビット1) (b7)

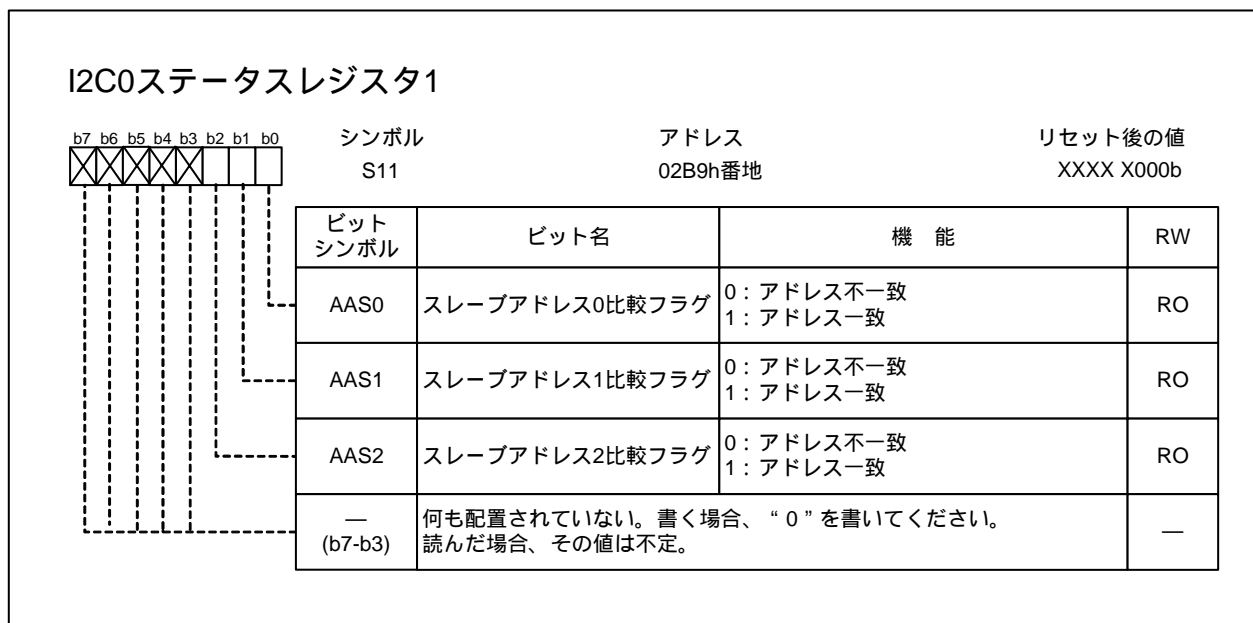
マスタモードまたはスレーブモードを選択するビットです。

[“0”になる条件]

- プログラムでMSTビットに“0”を書く
- アービトレーションロストを検出した場合、アービトレーションを失った1バイトデータの送受信完了
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする

[“1”になる条件]

- プログラムでMSTビットに“1”を書く

21.2.11 I²C0ステータスレジスタ1 (S11)

AAS0(スレーブアドレス0比較フラグ) (b0)

AAS1(スレーブアドレス1比較フラグ) (b1)

AAS2(スレーブアドレス2比較フラグ) (b2)

S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、受信したスレーブアドレスと、S0Diレジスタ(i=0~2)のSAD6~SAD0ビットの内容を比較し、その結果をAASiビットに示します。AASiビットは、アドレス一致またはジェネラルコールの場合“1”になります。

S4D0レジスタのMSLADビットが“0”(S0D0レジスタのみ有効)のとき、AAS0ビットが有効になります。MSLADビットが“1”(S0D0~S0D2レジスタ有効)のとき、AAS2~AAS0ビットが有効となります。

AAS2~AAS0ビットは次のとき“0”になります。

- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする
- S00レジスタへの書き込み

21.3 動作説明

21.3.1 クロック

PCLKSTP1レジスタのPCKSTP16ビットを“0”(f1供給許可)にしてください。

図21.5にI²C回路のクロックを示します。

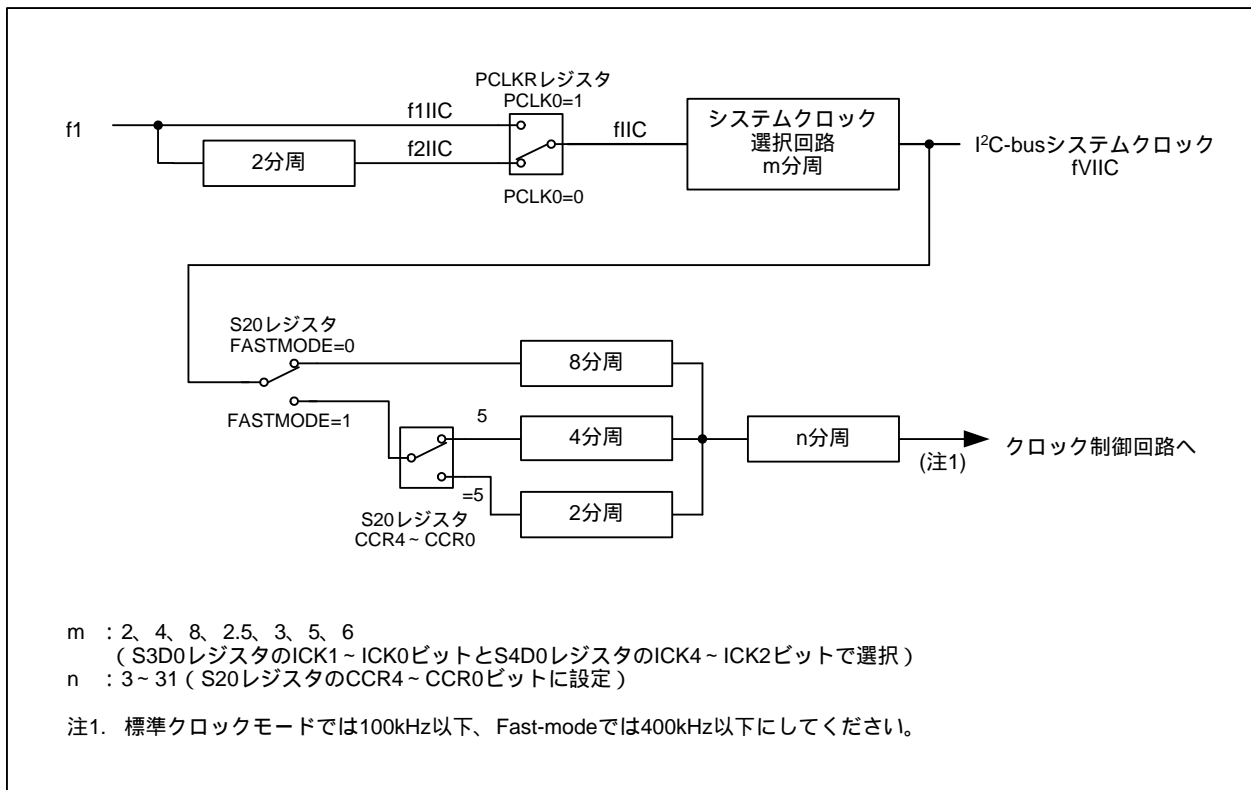


図21.5 I²C回路のクロック

21.3.1.1 fVIIC

fVIICは周辺機能クロックf1の周波数、PCLKRレジスタのPCLK0ビット、S3D0レジスタのICK1～ICK0ビット、S4D0レジスタのICK4～ICK2ビットの組み合わせで決まります。fVIICはS1D0レジスタのES0ビットが“0”(I²C回路禁止)のときは停止します。

「表21.8 I²C-busシステムクロック選択ビット」を参照してください。

21.3.1.2 ビットレートとデューティ

ビットレートはfVIICと、S20レジスタのCCR4~CCR0ビットの組み合わせで決まります。

表21.11に内部SCL出力のビットレートとデューティを示します。内部SCL出力の“H”の期間の変動が負値の場合、“H”の期間が短くなった分、“L”の期間が延びますのでビットレートが上がることはありません。なお、これらは外部デバイスのSCL出力の影響を受ける前の内部SCL出力です。

表21.11 内部SCL出力のビットレートとデューティ

項目	標準クロックモード (FASTMODE=0)	Fast-mode (FASTMODE=1) CCR値が“5”以外	Fast-mode (FASTMODE=1) CCR値が“5”
ビットレート (単位: bps)	$\frac{fVIIC}{8 \times CCR値}$	$\frac{fVIIC}{4 \times CCR値}$	$\frac{fVIIC}{2 \times CCR値} = \frac{fVIIC}{10}$
デューティ	50% “H”の期間の変動: fVIICの+2~-4サイクル	50% “H”の期間の変動: fVIICの+2~-2サイクル	35~45%

CCR値: CCR4~CCR0ビットの設定値

Fast-modeかつCCR4~CCR0ビットの設定値(CCR値)が“5(00101b)”の場合は、ビットレートをFast-modeの最大値400kbpsにする場合を想定しています。そのため、ビットレートやデューティは次のようになります。

- ビットレートは

$$\frac{fVIIC}{2 \times CCR値} = \frac{fVIIC}{10}$$

fVIICが4MHzの場合、ビットレートは400kbps

- デューティは35~45%

ビットレートが400kbpsの場合も、SCLMMの“L”期間最小1.3μs(I²C-bus規格値)を確保します。

表21.12にfVIICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例を示します。

表21.12 fVIICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例

S20レジスタのCCR4~CCR0ビット					ビットレート (単位: kbps)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード	Fast-mode
0	0	0	0	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	0	1	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	1	設定しないでください(注2)	333
0	0	1	0	0	設定しないでください(注2)	250
0	0	1	0	1	100	400
0	0	1	1	0	83.3	166
:	:	:	:	:	(中略)	(中略)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. CCR4~CCR0ビット値はfVIICの周波数に関わらず0~2にしないでください。

注2. ビットレートが、標準クロックモードで100kbps、Fast-modeで400kbpsを超えるような値は設定しないでください。

21.3.1.3 ウェイトモード、ストップモードでのスレーブアドレス受信

CM0レジスタのCM02ビットで“0”(ウェイトモード時、周辺機能クロックf_lを停止しない)を選択してウェイトモードに遷移した場合、ウェイトモード中も、I²C回路はスレーブアドレス受信が可能です。

CM0レジスタのCM02ビットで“1”(ウェイトモード時、周辺機能クロックf_lを停止する)を選択してウェイトモードに遷移した場合、ストップモード時、または低消費電力モード時はf_{VII}Cが供給されないため、I²C回路は動作しません。SCL/SDA割り込みは、ウェイトモード、ストップモードでも使用可能です。

21.3.2 スタートコンディション発生方法

S1D0レジスタのES0ビットが“1”(I²C回路許可)、S10レジスタのBBビットが“0”(バスフリー)の状態、次の手順を実行してください。図21.6にスタートコンディション発生手順を示します。

(1) S10レジスタに“E0h”を書き込む

スタートコンディションスタンバイ状態になり、SDAMM端子を開放します。

(2) S00レジスタにスレーブアドレスを書き込む

スタートコンディションが発生します。その後、ビットカウンタが“000b”になり1バイト分のSCLクロックが出力され、スレーブアドレスを送信します。

なお、ストップコンディションを発生し、BBビットが“0”(バスフリー)になってからfVIICの1.5サイクル間は、S10レジスタに値を書き込めず、その後、S00レジスタに書き込んでスタートコンディションは発生しません。BBビットが“1”から“0”に変化した後すぐにスタートコンディション発生の手順を行う場合は、(1)の後にTRXビットおよびMSTビットがともに“1”になっている事を確認後、(2)を実行してください。

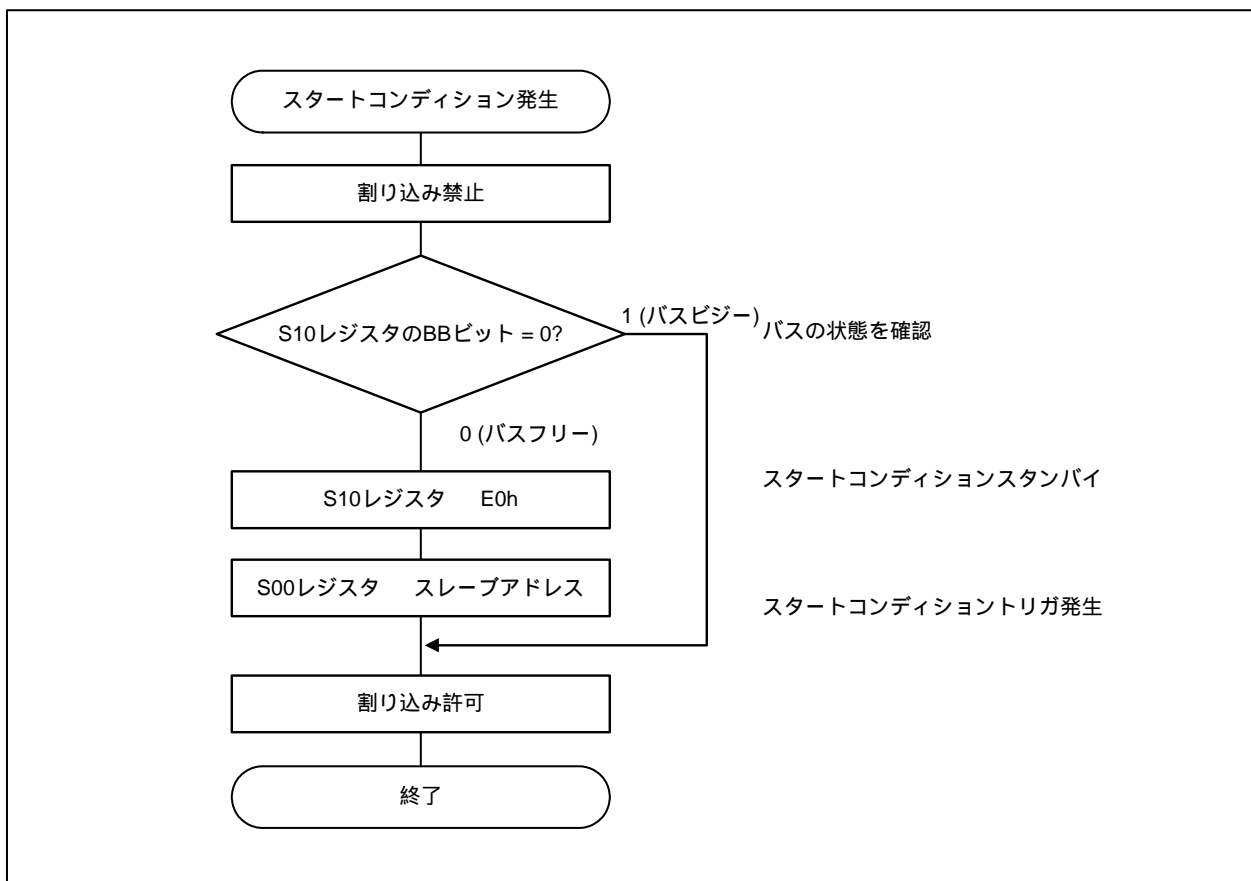


図21.6 スタートコンディション発生手順

スタートコンディションの発生タイミングは、標準クロックモードとFast-modeで異なります。図21.7にスタートコンディション発生タイミングを示します。

表21.13にスタート/ストップコンディション発生のセットアップ/ホールド時間を示します。

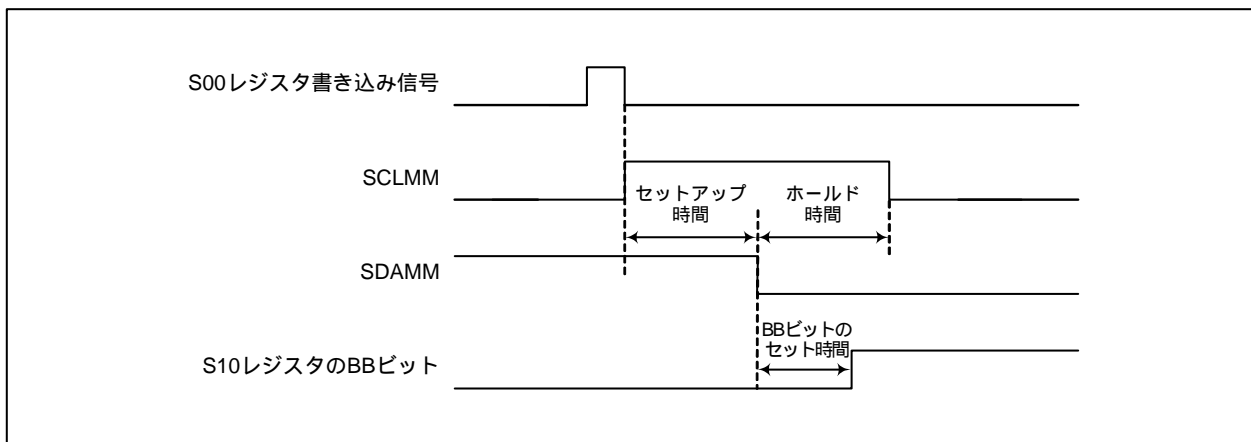


図21.7 スタートコンディション発生タイミング

表21.13 スタート/ストップコンディション発生のセットアップ/ホールド時間

項目	STSPSELビット	標準クロックモード		Fast-mode	
		fVIICの サイクル数	fVIIC=4MHz の場合	fVIICの サイクル数	fVIIC=4MHz の場合
セットアップ時間	0 (ショートモード)	20	5.0 μs	10	2.5 μs
	1 (ロングモード)	52	13.0 μs	26	6.5 μs
ホールド時間	0 (ショートモード)	20	5.0 μs	10	2.5 μs
	1 (ロングモード)	52	13.0 μs	26	6.5 μs
BBビットセット/ リセット時間		$\frac{SSC値 - 1}{2} + 2$	3.375 μs (注1)	3.5	0.875 μs

: 0でも1でもよい

STSPSEL: S2D0レジスタのビット

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

注1. SSC4~SSC0ビットが “ 11000b ” の例

21.3.3 ストップコンディション発生方法

S1D0レジスタのES0ビットが“1”(I²C回路許可)の状態、次の手順を実行してください。

- (1) S10レジスタの“C0h”を書き込む
ストップコンディションスタンバイ状態になり、SDAMM端子を“L”にします。
- (2) S00レジスタにダミーデータを書き込む
ストップコンディションが発生します。

ストップコンディションの発生タイミングは、標準クロックモードとFast-modeで異なります。図21.8にストップコンディション発生タイミングを示します。セットアップ/ホールド時間は「表21.13 スタート/ストップコンディション発生のセットアップ/ホールド時間」を参照してください。

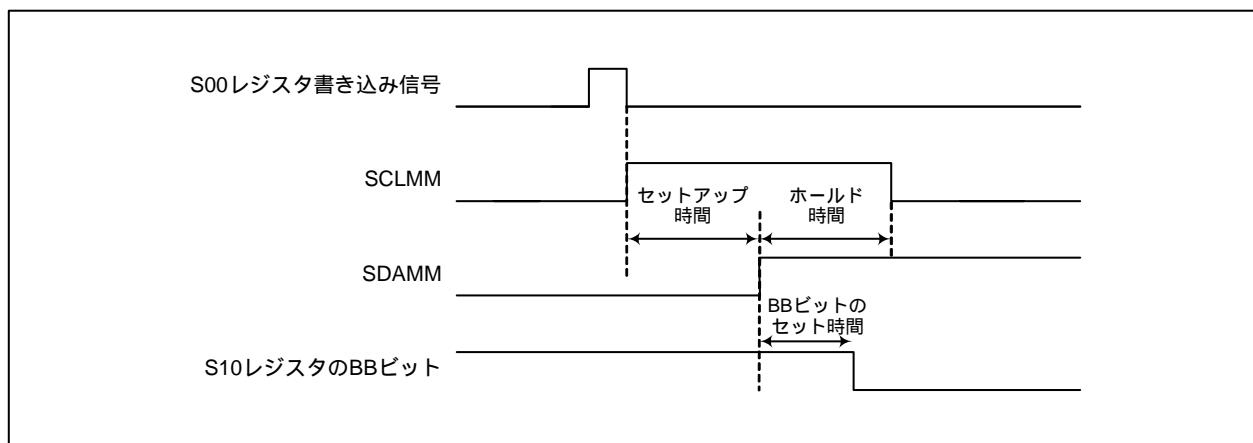


図21.8 ストップコンディション発生タイミング

なお、ストップコンディションを発生させる命令(上記(2)を参照)を実行した後、S10レジスタのBBビットが“0”(バスフリー)になるまでの間、S10レジスタまたはS00レジスタに書き込みを行わないでください。

また、ストップコンディションを発生させる命令を実行し、SCLMM端子のレベルが“H”になった後、S10レジスタのBBビットが“0”(バスフリー)になるまでの間に、SCLMM端子の入力信号が“L”になると、内部SCL出力を“L”にします。この場合、以下のいずれかの処理を行うとSCLMM端子の“L”出力を停止(SCLMM端子を開放)します。

- ストップコンディションの発生(前述の(1)(2)の手順を実行)
- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- IHRビットを“1”(I²C回路リセット)にする

21.3.4 リスタートコンディションの発生

1バイトのデータ送受信後にリスタートコンディションを発生させる場合は、次の手順を実行してください。

- (1) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態。SDAMM端子開放)
- (2) SDAMM端子が“H”になるまで待つ
- (3) S00レジスタにスレーブアドレスを書き込む(スタートコンディショントリガ発生)

図21.9にリスタートコンディション発生タイミングを示します。

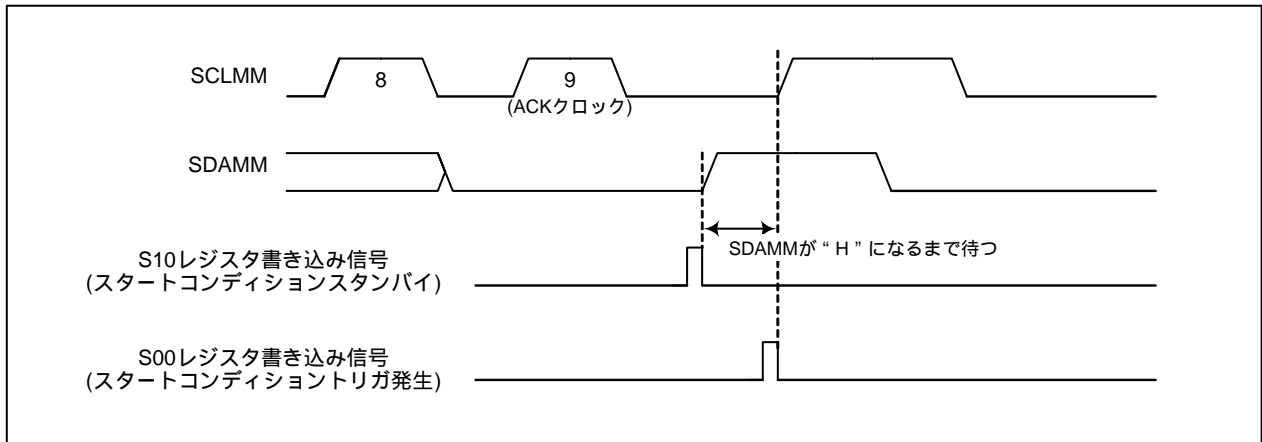


図21.9 リスタートコンディション発生タイミング

21.3.5 スタートコンディション重複防止機能

スタートコンディション生成時は、プログラムでS10レジスタのBBビットでバスが使用されていないことを確認した後に、プログラムでS10レジスタ、S00レジスタに書き込むと、I²C回路がスタートコンディションを発生します。しかし、BBビットの確認後、S10レジスタ、S00レジスタに書き込む前に別のマスタデバイスがスタートコンディションを生成する可能性があります。この場合、I²C回路がスタートコンディションを検出するとBBビットが“1”(バスビジー)になり、スタートコンディション重複防止機能が動作します。

スタートコンディション重複防止機能の動作は次のとおりです。

- S10レジスタに“E0h”を書いても、スタートコンディションスタンバイ状態にならない
- スタートコンディションスタンバイ状態になっていた場合は、状態を解除する
- プログラムでS00レジスタに書き込んでも、スタートコンディショントリガは発生しない
- S10レジスタのMST、TRXビットが“0”(スレーブ受信モード)になる
- S10レジスタのALビットが“1”(アービトレーションロスト検出)になる

図21.10にスタートコンディション重複防止機能動作例を示します。

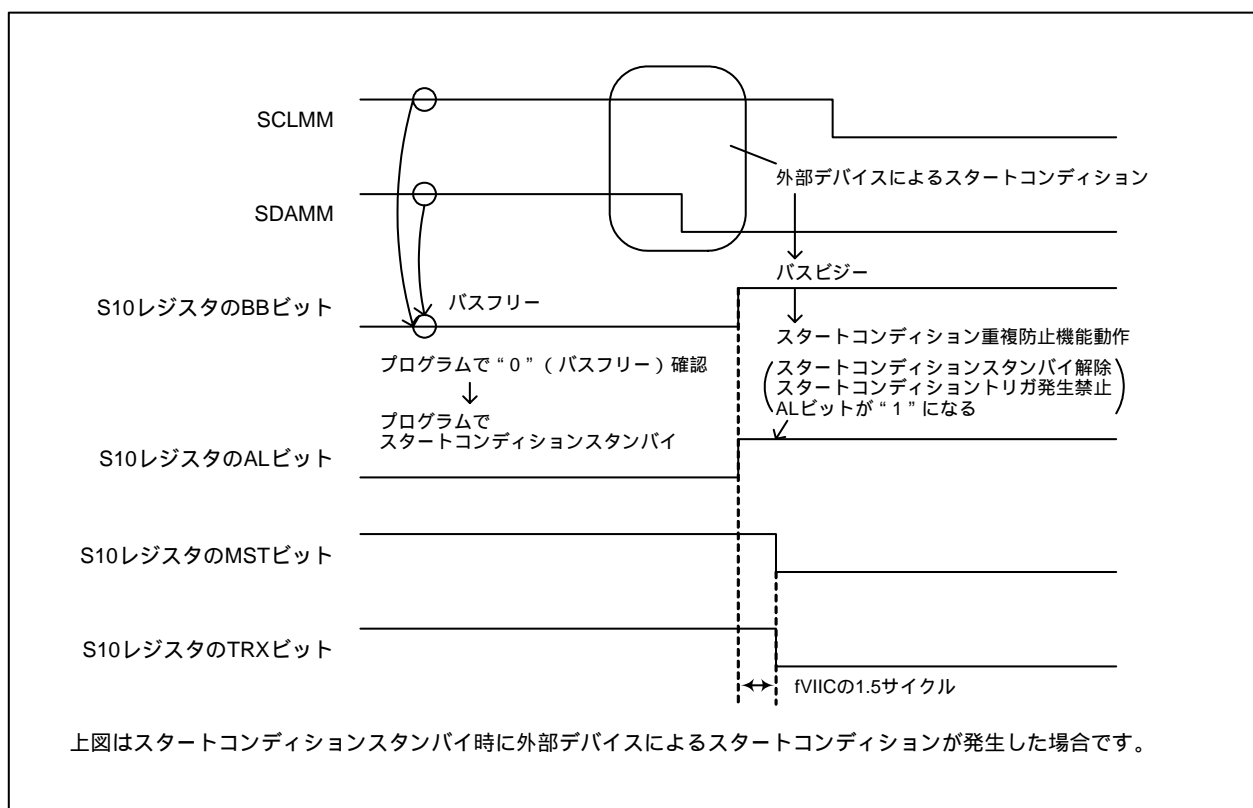


図21.10 スタートコンディション重複防止機能動作例

スタートコンディション重複防止機能の有効期間は、スタートコンディションのSDA立ち下がりからスレーブアドレスの受信完了までです。すなわち、この期間にS10レジスタ、S00レジスタに書き込むと前述の動作をします。図21.11にスタートコンディション重複防止機能有効期間を示します。

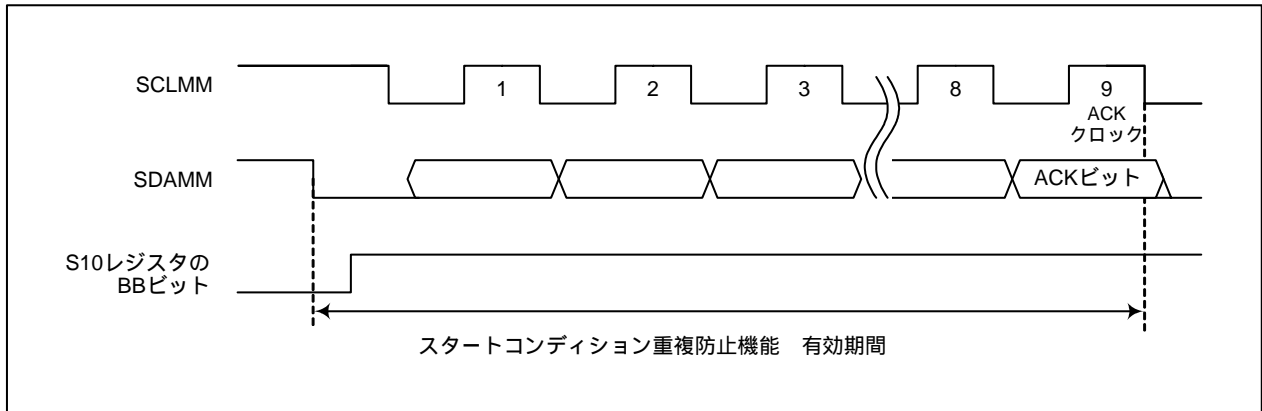


図21.11 スタートコンディション重複防止機能有効期間

21.3.6 アービトレーションロスト

I²C回路は、次の(a)~(c)の条件をすべて満たす場合に、外部デバイスによってSDAMM端子のレベルが“L”になった、すなわちアービトレーションロストと判定します。

- (a) 通信状態: 次のいずれか
 - ・ マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出(ACKクロック以外)
 - ・ マスタ送信モードでデータ送信(ACKクロック以外)
 - ・ マスタ送信モードまたはマスタ受信モードでスタートコンディション送出
 - ・ マスタ送信モードまたはマスタ受信モードでストップコンディション送出
 - (b) 内部SDA出力: H
 - (c) SDAMM端子のレベル: L (SCLMM端子のクロックの立ち上がりエッジでサンプリング)
- 図21.12にアービトレーションロスト検出時の動作例を示します。

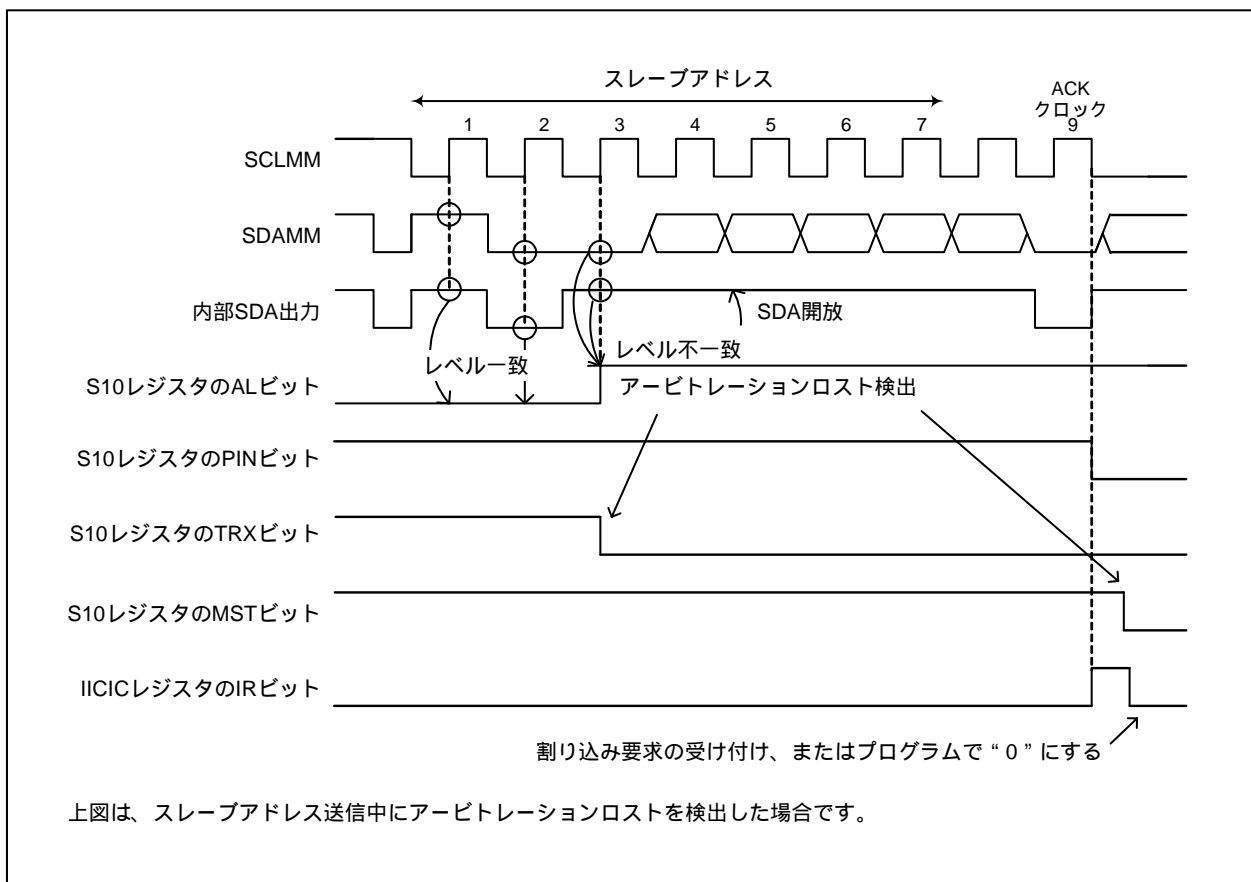


図21.12 アービトレーションロスト検出時の動作例

アービトレーションロストを検出すると、次のようになります。

- S10レジスタのALビット: “1”(アービトレーションロスト検出)
- 内部SDA出力: “H”(SDAMM開放)
- スレーブ受信モードになる
S10レジスタのTRXビット: “0”(受信モード)
S10レジスタのMSTビット: “0”(スレーブモード)

アービトレーションロスト検出後、ALビットを“0”に戻す場合は、S00レジスタに値を書き込んでください。

スレーブアドレス送信中にアービトレーションロストを検出した場合、自動でスレーブ受信モードになるので、スレーブアドレスを受信できます。S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、スレーブアドレス比較結果はS10レジスタのADR0ビット、AASビットで分かれます。データ送信中にアービトレーションロストを検出した場合も、自動でスレーブ受信モードになるので、データを受信できます。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”(リード)の場合も、TRXビットが“0”(受信モード)になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”(スレーブ送信モード)を書いてから、スレーブ送信してください。

21.3.7 スタート/ストップコンディション検出

図21.13にスタートコンディション検出、図21.14にストップコンディション検出、表21.14にスタート/ストップコンディション検出条件を示します。

スタート/ストップコンディションはS2D0レジスタのSSC4~SSC0ビットにより条件が設定され、SCLMM端子、SDAMM端子の入力信号が、表21.14のSCLMM開放時間、セットアップ時間、ホールド時間の3つの条件を満たす場合のみ検出できます。

S10レジスタのBBビットは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBビットのセット/リセットタイミングは標準クロックモードとFast-modeで異なります。表21.15のBBビットセット/リセット時間を参照してください。

表21.15に標準クロックモードでのSSC4~SSC0ビットの推奨値を示します。

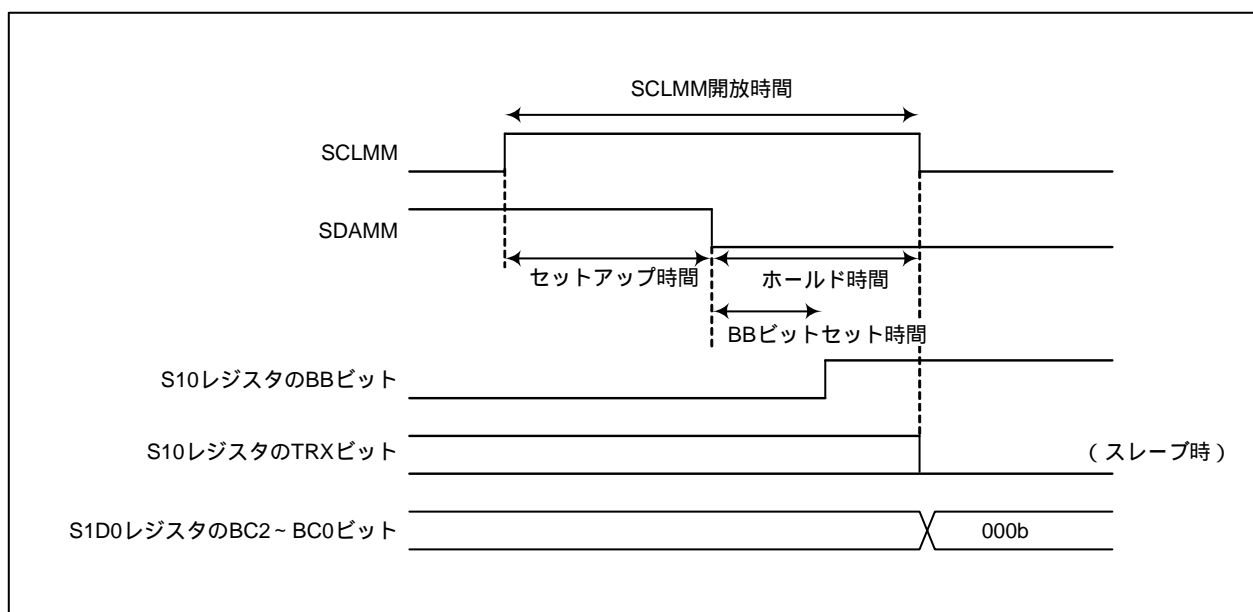


図21.13 スタートコンディション検出

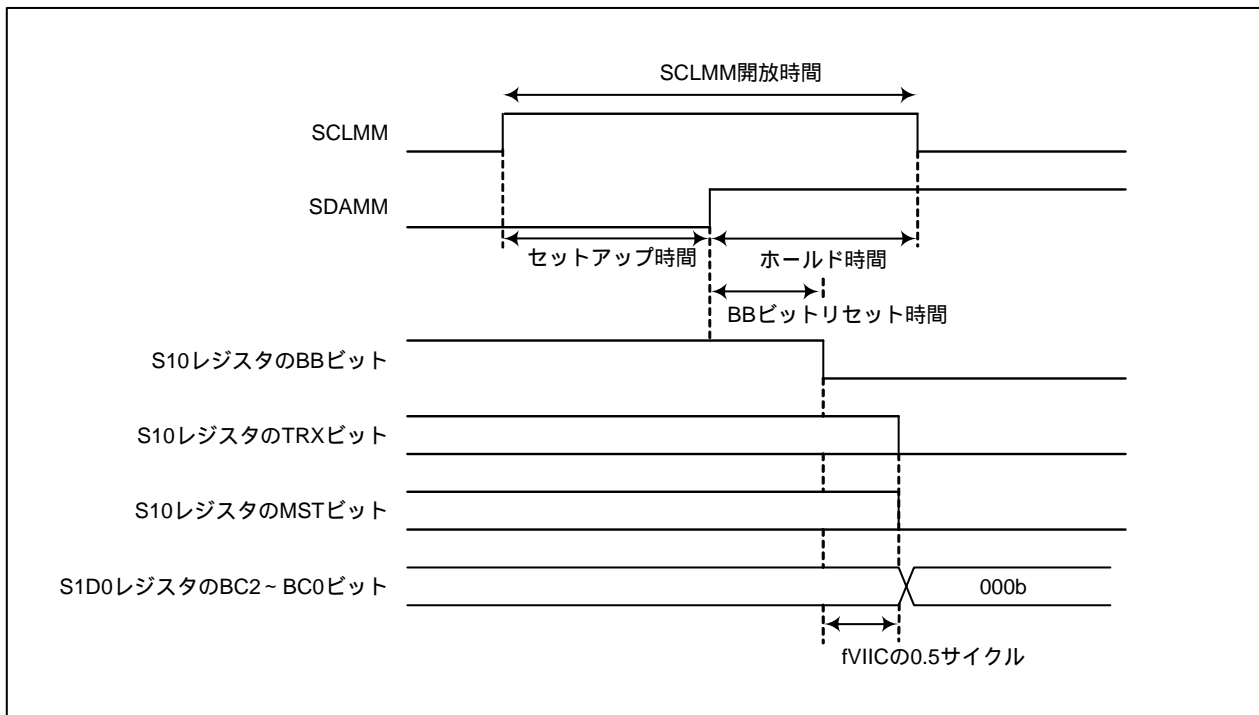


図21.14 ストップコンディション検出

表21.14 スタート/ストップコンディション検出条件

	標準クロックモード	Fast-mode
SCLMM開放時間	SSC値+1サイクル	4サイクル
セットアップ時間	$\frac{\text{SSC値}}{2} + 1$ サイクル	2サイクル
ホールド時間	$\frac{\text{SSC値}}{2}$ サイクル	2サイクル
BBビットセット/ リセット時間	$\frac{\text{SSC値}-1}{2} + 2$ サイクル	3.5サイクル

単位: fVIICのサイクル数

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

表21.15 標準クロックモードでのSSC4~SSC0ビットの推奨値

fVIIC	SSC値 (推奨値)	スタート/ストップコンディションの検出条件			BBビットセット/ リセット時間
		SCLMM開放時間	セットアップ時間	ホールド時間	
5MHz	11110b	6.2 μs (31)	3.2 μs (16)	3.0 μs (15)	3.3 μs (16.5)
4MHz	11010b	6.75 μs (27)	3.5 μs (14)	3.25 μs (13)	3.625 μs (14.5)
	11000b	6.25 μs (25)	3.25 μs (13)	3.0 μs (12)	3.375 μs (13.5)
2MHz	01100b	6.5 μs (13)	3.5 μs (7)	3.0 μs (6)	3.75 μs (7.5)
	01010b	5.5 μs (11)	3.0 μs (6)	2.5 μs (5)	3.25 μs (6.5)
1MHz	00100b	5.0 μs (5)	3.0 μs (3)	2.0 μs (2)	3.5 μs (3.5)

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

()内はfVIICのサイクル数

21.3.8 スレーブアドレス/データ送受信完了時の動作

スレーブアドレス送受信または1バイトのデータ送受信が終わると、ACKクロックの立ち下がりでS10レジスタのPINビットが“0”(割り込み要求あり)になり、同時にIICICレジスタのIRビットが“1”(割り込み要求あり)になります。また、送受信データの状態やSCLMM、SDAMM端子の状態によってS10レジスタなどが変化します。図21.15にスレーブアドレス/データ送受信完了時の動作を示します。

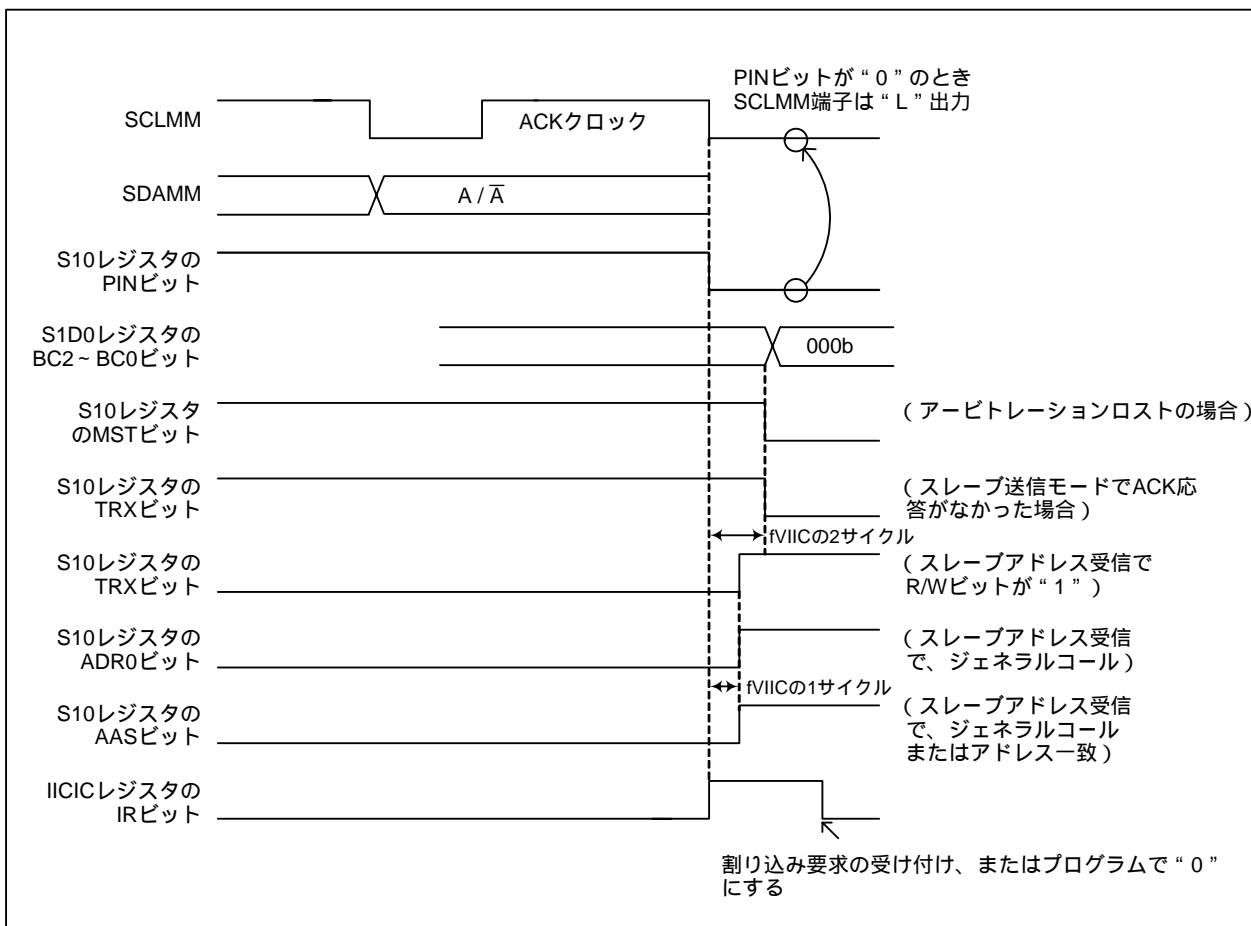


図21.15 スレーブアドレス/データ送受信完了時の動作

21.3.9 タイムアウト検出

送受信中にSCLクロックが停止すると、各デバイスは通信状態のままで停止してしまいます。それを回避するため、I²C回路は送受信中にSCLMM端子のレベルが“H”で一定期間以上停止したときにタイムアウトを検出してI²C-bus割り込み要求を発生させる機能を備えています。図21.16にタイムアウト検出タイミングを示します。タイムアウト検出時間は「21.2.9 I2C0制御レジスタ2 (S4D0)のTOSEL (タイムアウト検出時間選択ビット) (b2)」を参照してください。

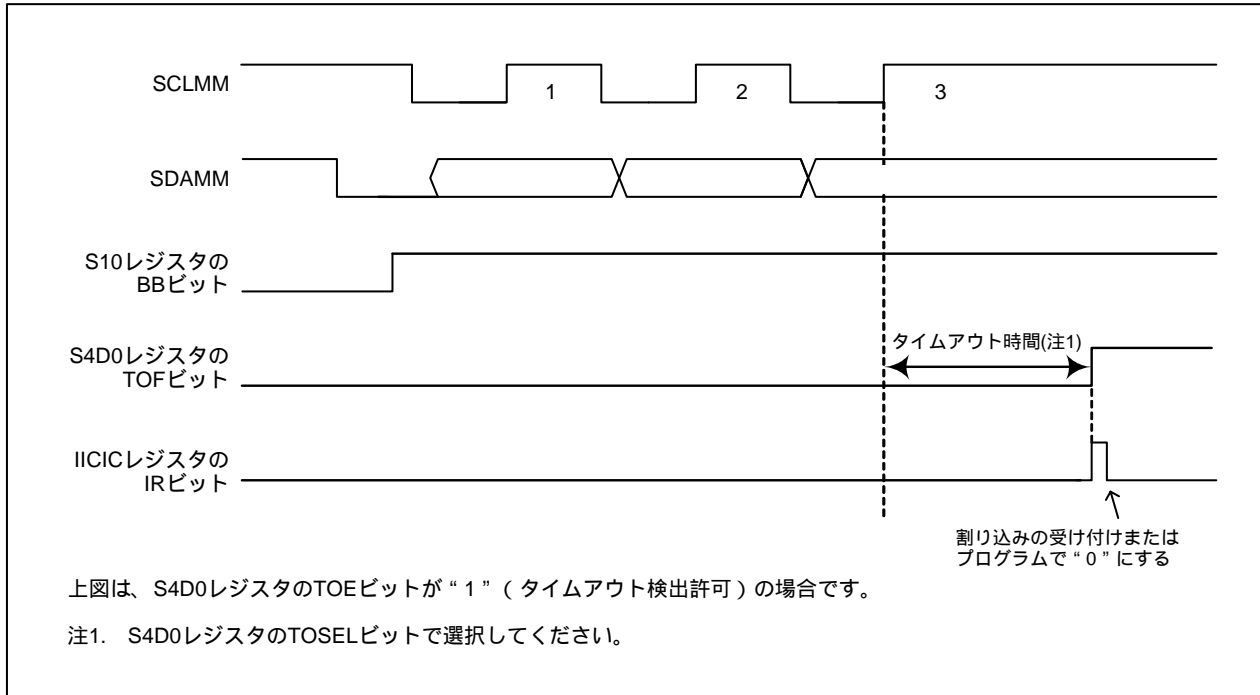


図21.16 タイムアウト検出タイミング

次の条件をすべて満たすとタイムアウトを検出します。

- S4D0レジスタのTOEビットが“1” (タイムアウト検出機能許可)
- S10レジスタのBBビットが“1” (バスビジー)
- SCLMM端子のレベルがタイムアウト検出時間以上“H”

タイムアウトを検出すると次のようになります。

- S4D0レジスタのTOFビットが“1” (タイムアウト検出)
- IICICレジスタのIRビットが“1” (I²C-bus割り込み要求あり)

タイムアウトを検出した場合には、次のいずれかの処理をしてください。

- S1D0レジスタのES0ビットを“0” (禁止)にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット)にする

21.3.10 データ送受信例

データ送受信例を示します。この例は次の条件の場合です。

- スレーブアドレス: 7ビット
- データ: 8ビット
- ACKクロックあり
- 標準クロックモード、ビットレート: 100kbps (fIIC: 20MHz、fVIIC: 4MHz)
20MHz (fIIC)の5分周=4MHz (fVIIC)、
4MHz (fVIIC)の8分周の5分周=100kbps (ビットレート)
- 受信モード時、最後のデータ以外はACKを返す。最後のデータ受信後はNACKを返す
- データ受信時、8クロック目(ACKクロックの前)の割り込み: 禁止
- ストップコンディション検出割り込み: 許可
- タイムアウト検出割り込み: 禁止
- 自スレーブアドレスはS0D0レジスタに設定(S0D1、S0D2レジスタは使用しない)

なお、データ受信時、8クロック目(ACKクロックの前)の割り込みを許可にすると、1バイトごとに受信データ内容を確認してACKまたはNACKを設定できます。

21.3.10.1 初期設定

21.3.10.2~21.3.10.5の共通の初期設定です。次の手順で設定してください。

- (1) S0D0レジスタのSAD6~SAD0ビットに自スレーブアドレスを書く
- (2) S20レジスタに“85h”を書く(CCR値: 5、標準クロックモード、ACKクロックあり)
- (3) S4D0レジスタに“18h”を書く(fVIIC: fIICの5分周、タイムアウト検出割り込み禁止)
- (4) S3D0レジスタに“01h”を書く(データ受信時、8クロック目(ACKクロックの前)の割り込み禁止、ストップコンディション検出割り込み許可)
- (5) S10レジスタに“0Fh”を書く(スレーブ受信モード)
- (6) S2D0レジスタに“98h”を書く(SSC値: 18h、スタート/ストップコンディション発生タイミング: ロングモード)
- (7) S1D0レジスタに“08h”を書く(ビットカウンタ: 8、I²C回路許可、アドレッシングフォーマット、入力レベル: I²C-bus入力)

なお、シングルマスタ、かつ、このマイコンがマスタの場合、(1)は省略できます。

21.3.10.2 マスタ送信

マスタ送信の手順と動作を説明します。図 21.17 にマスタ送信の動作例を示します。「21.3.10.1 初期設定」は済んでいるものとし、また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとし、

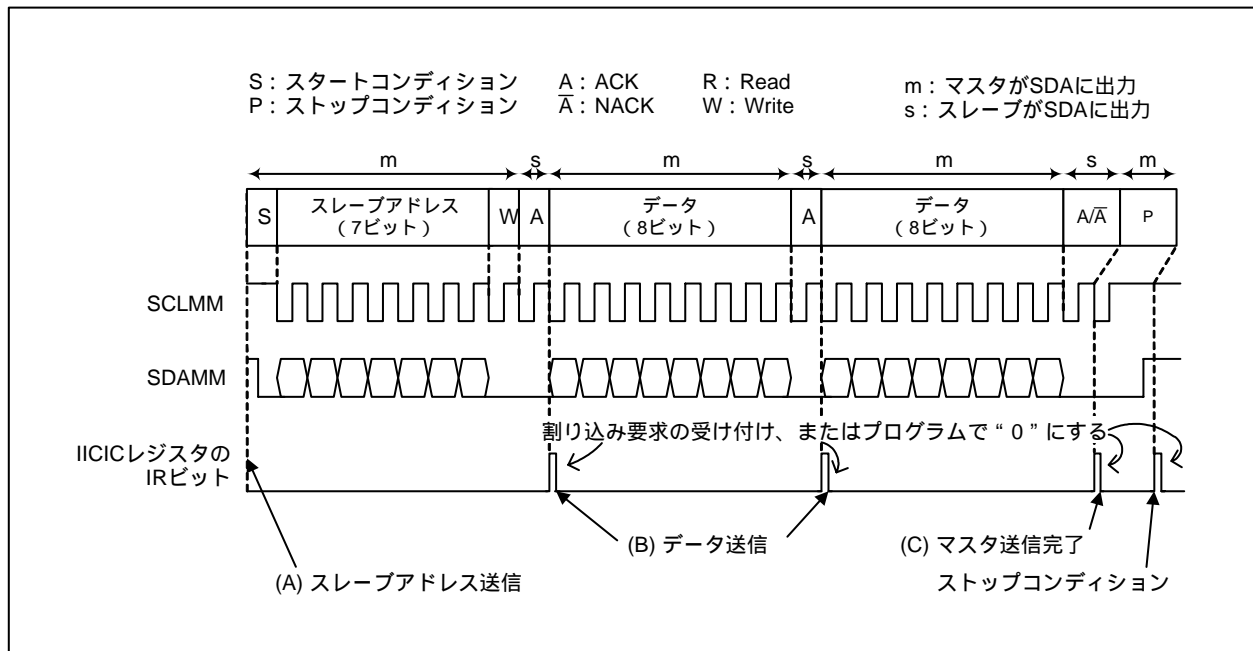


図21.17 マスタ送信の動作例

(A)スレーブアドレス送信

- (1) S10レジスタのBBビットが“0”(パスフリー)を確認
- (2) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“0”を書く(スタートコンディション発生、続けてスレーブアドレス送信)

(B)データ送信

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタに送信データを書く(データ送信)

(C)マスタ送信完了

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタに“C0h”を書き込む(ストップコンディションスタンバイ状態)
- (2) S00レジスタにダミーデータを書く(ストップコンディション発生)

送信が完了した場合の他、スレーブデバイスからACK応答がない(NACK)場合も上記のマスタ送信完了処理をしてください。

21.3.10.3 マスタ受信

マスタ受信の手順と動作を説明します。図 21.18 にマスタ受信の動作例を示します。「21.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(D)では、それぞれ次に示すプログラムを実行するものとします。

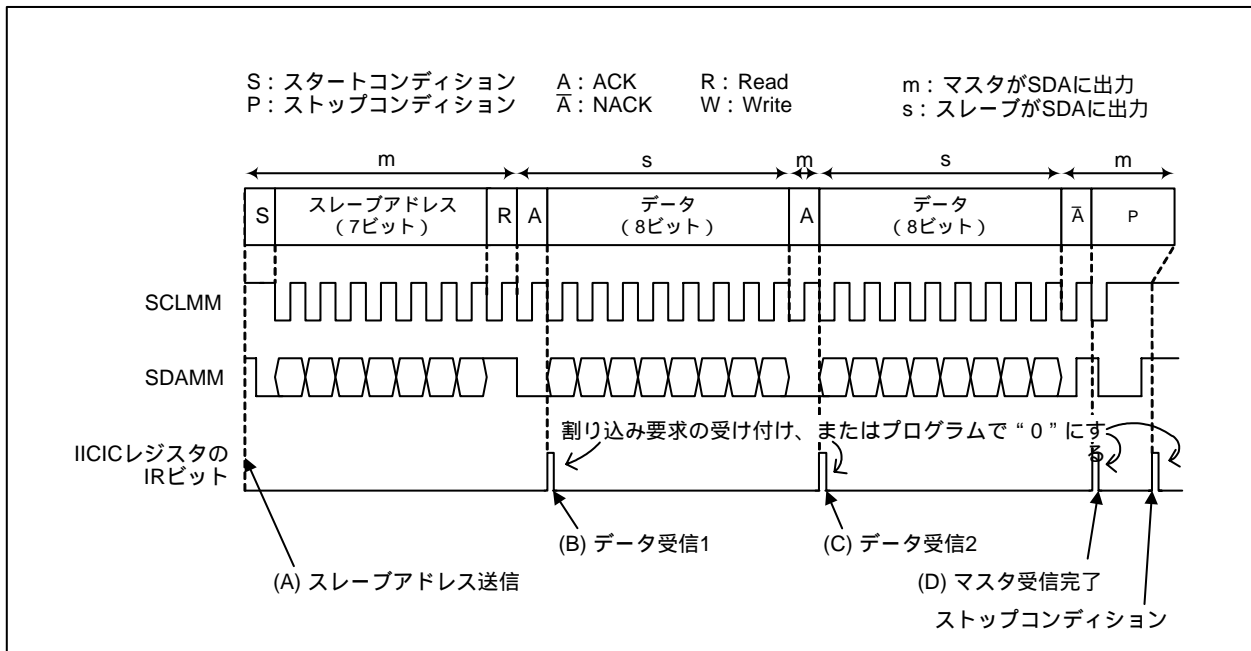


図21.18 マスタ受信の動作例

(A)スレーブアドレス送信

- (1) S10レジスタのBBビットが“0”(パスフリー)を確認
- (2) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“1”を書く(スタートコンディション発生、続けてスレーブアドレス送信)

(B)データ受信1(スレーブアドレス送信後)

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタに“AFh”を書き込む(マスタ受信モード)
- (2) (最後のデータではないので) S20レジスタのACKBITビットを“0”(ACKあり)にする
- (3) S00レジスタにダミーデータを書く

(C)データ受信2(データ受信)

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) (最後のデータなので) S20レジスタのACKBITビットを“1”(ACKなし)にする
- (3) S00レジスタにダミーデータを書く

(D)マスタ受信完了

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) S10レジスタに“C0h”を書き込む(ストップコンディションスタンバイ状態)
- (3) S00レジスタにダミーデータを書く(ストップコンディション発生)

21.3.10.4 スレーブ受信

スレーブ受信の手順と動作を説明します。図21.19にスレーブ受信の動作例を示します。「21.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとします。

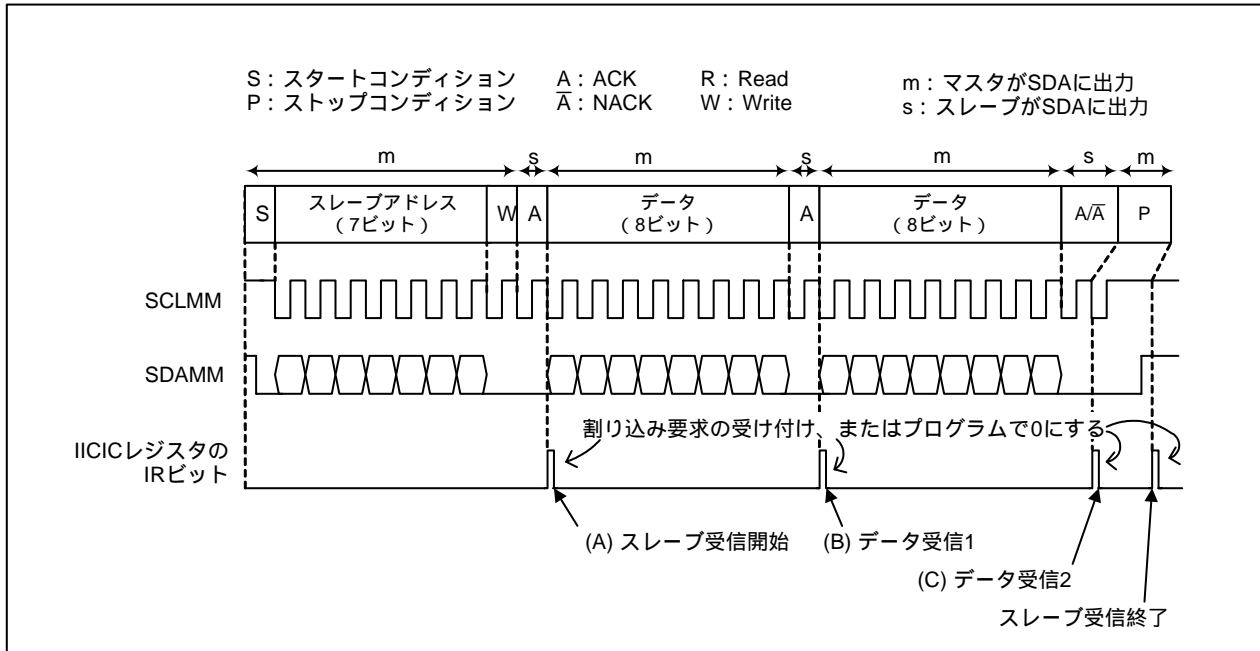


図21.19 スレーブ受信の動作例

(A)スレーブ受信開始

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタの内容確認。TRXビットが“0”ならスレーブ受信
- (2) S00レジスタにダミーデータを書き込む

(B)データ受信1

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) (最後のデータではないので) S20レジスタのACKBITビットを“0”(ACKあり)にする
- (3) S00レジスタにダミーデータを書く

(C)データ受信2

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) (最後のデータなので) S20レジスタのACKBITビットを“1”(ACKなし)にする
- (3) S00レジスタにダミーデータを書く

21.3.10.5 スレーブ送信

スレーブ送信の手順と動作を説明します。図21.20にスレーブ送信の動作例を示します。「21.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(B)では、それぞれ次に示すプログラムを実行するものとします。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”(リード)の場合も、TRXビットが“0”(受信モード)になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”(スレーブ送信モード)を書いてから、スレーブ送信してください。

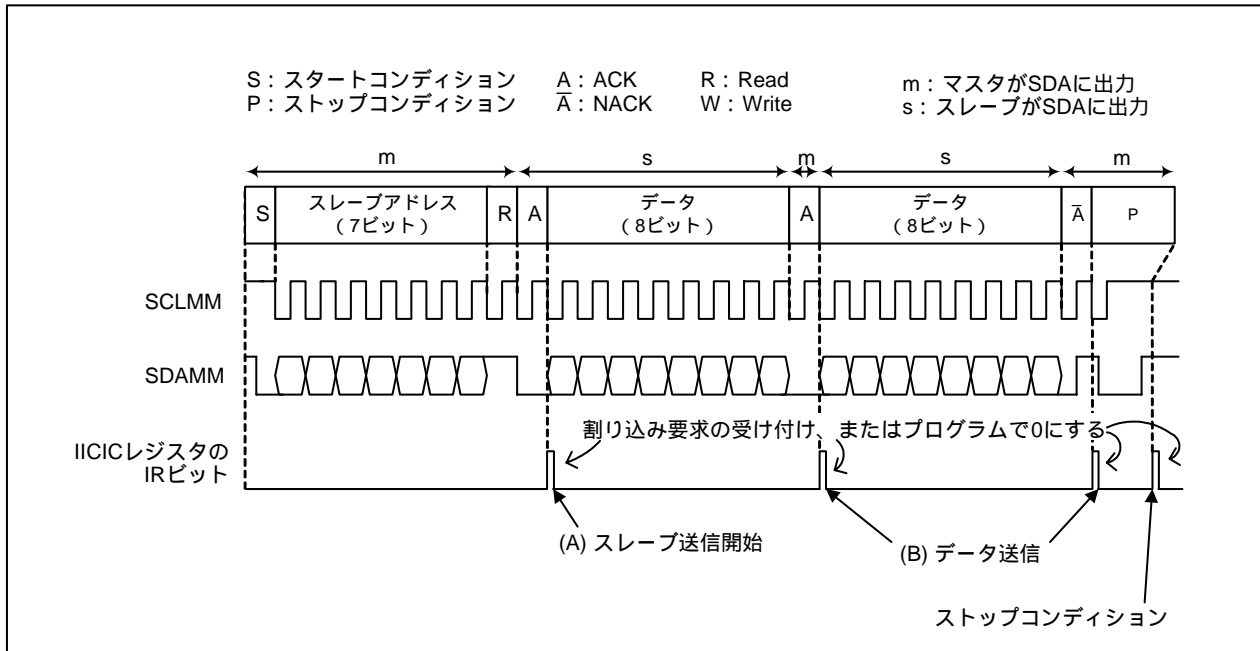


図21.20 スレーブ送信の動作例

(A)スレーブ送信開始

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタの内容確認。TRXビットが“1”ならスレーブ送信
- (2) S00レジスタに送信データを書き込む

(B)データ送信

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタに送信データを書き込む

最後のデータ送信のACKクロックの割り込みでも、S00レジスタにダミーデータを書いてください。S00レジスタに書き込むとSCLMM端子のレベルが開放されます。

21.4 割り込み

I²C回路は割り込み要求を発生します。図21.21にI²C回路の割り込みを、表21.16にI²C回路の割り込みを示します。

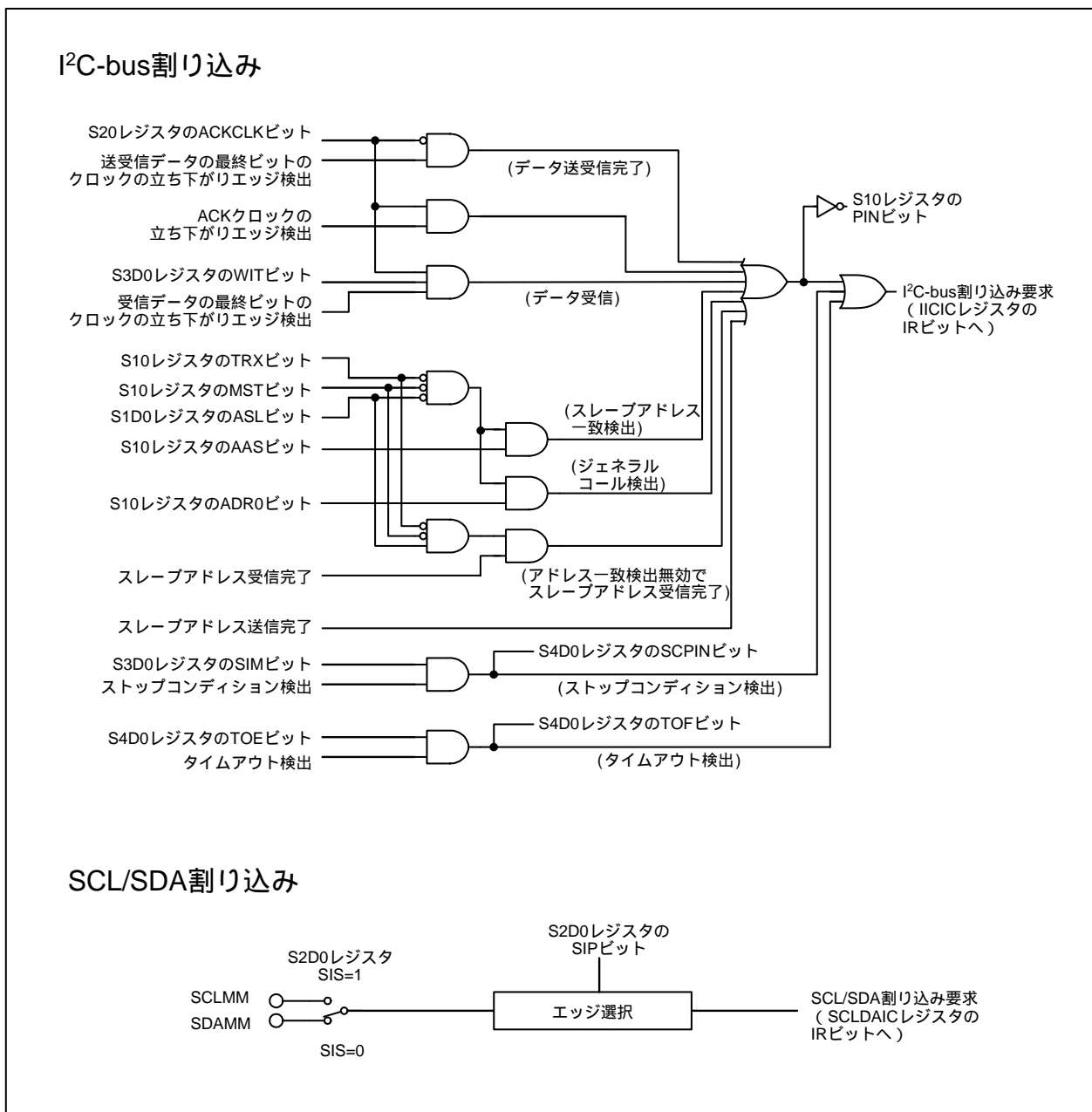


図21.21 I²C回路の割り込み

表21.16 I²C回路の割り込み

割り込み	割り込み要因	関連ビット (レジスタ: ビット)		割り込み制御レジスタ
		割り込み許可	割り込み要求	
I ² C-bus 割り込み	データ送受信完了 S20レジスタのACKCLKビットが“0”の場合、SCLMM端子の送受信データの最終クロックの立ち下がリエッジ検出 ACKCLKビットが“1”の場合、SCLMM端子のACKクロックの立ち下がリエッジ検出		S10: PIN	IICIC
	データ受信 (ACKクロックの前) SCLMM端子の送受信データの最終クロックの立ち下がリエッジ検出	S3D0: WIT		
	スレーブアドレス一致検出 スレーブ受信モード時、アドレッシングフォーマットで、受信したスレーブアドレスがS0D0~S0D2レジスタのSAD6~SAD0ビットと一致 (S10レジスタのAASビットが“1”)			
	ジェネラルコール検出 スレーブ受信モード時、アドレッシングフォーマットで、ジェネラルコール (S10レジスタのADR0ビットが“1”)			
	スレーブ受信モード時、フリーフォーマットで、スレーブアドレス受信完了			
	ストップコンディション検出	S3D0: SIM	S4D0: SCPIN	
	タイムアウト検出	S4D0: TOE	S4D0: TOF	
SCL/ SDA割 り込み	SCLMMまたはSDAMM端子の、入出力信号の立ち上がりまたは立ち上がりエッジ検出			SCLDAIC

また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表21.17にI²C回路の割り込み関連レジスタを示します。

表21.17 I²C回路の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
007Bh	I ² C-busインタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA割り込み制御レジスタ	SCLDAIC	XXXX X000b
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

I²C-busインタフェース割り込みを使用する場合は、IFSR2AレジスタのIFSR22ビットを“1”(I²C-bus割り込み)にしてください。

SCL/SDA割り込みを使用する場合は、IFSR2AレジスタのIFSR23ビットを“1”(SCL/SDA割り込み)にしてください。

SCL/SDA割り込みは、ウェイトモード、ストップモードでも有効です。

SCL/SDA割り込みでは、S1D0レジスタのES0ビット、S2D0レジスタのSIP、SISビットのいずれかを変更すると、SCLDAICレジスタのIRビットが“1”(割り込み要求あり)になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「13.13 割り込み使用上の注意事項」も参照してください。

- (1) SCLDAICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする。
- (2) S1D0レジスタのES0ビット、S2D0レジスタのSIP、SISビットを設定する。
- (3) SCLDAICレジスタのIRビットを“0”(割り込み要求なし)にする。

21.5 マルチマスタI²C-busインタフェース使用上の注意事項

21.5.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表21.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロックまたはオンチップオシレータクロック)にしてアクセスしてください。

21.5.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

21.5.2.1 S00レジスタ

送受信中に書き込まないでください。

21.5.2.2 S1D0レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

21.5.2.3 S20レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

21.5.2.4 S3D0レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

21.5.2.5 S4D0レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

21.5.2.6 S10レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。
MST、TRXビットが変化するタイミングは「21.3 動作説明」の動作例を参照してください。

21.5.3 ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A176A/J)

マルチマスタI²C-busインタフェースにおいて、スレーブデバイスまたは他のマスタデバイスがSCLMMラインを“L”にドライブしているときにストップコンディションを生成する操作を行った場合、SCLMMラインが開放されていないにもかかわらずSDAMMラインが開放され、正常なストップコンディションが生成されません。

21.5.4 “L”レベル/“H”レベル入力電圧、“L”レベル出力電圧

“L”入力電圧、“H”入力電圧、および“L”出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

< I²C-bus規格 >

“H”入力電圧(V_{IH}) = min 0.7 V_{CC}

“L”入力電圧(V_{IL}) = max 0.3 V_{CC}

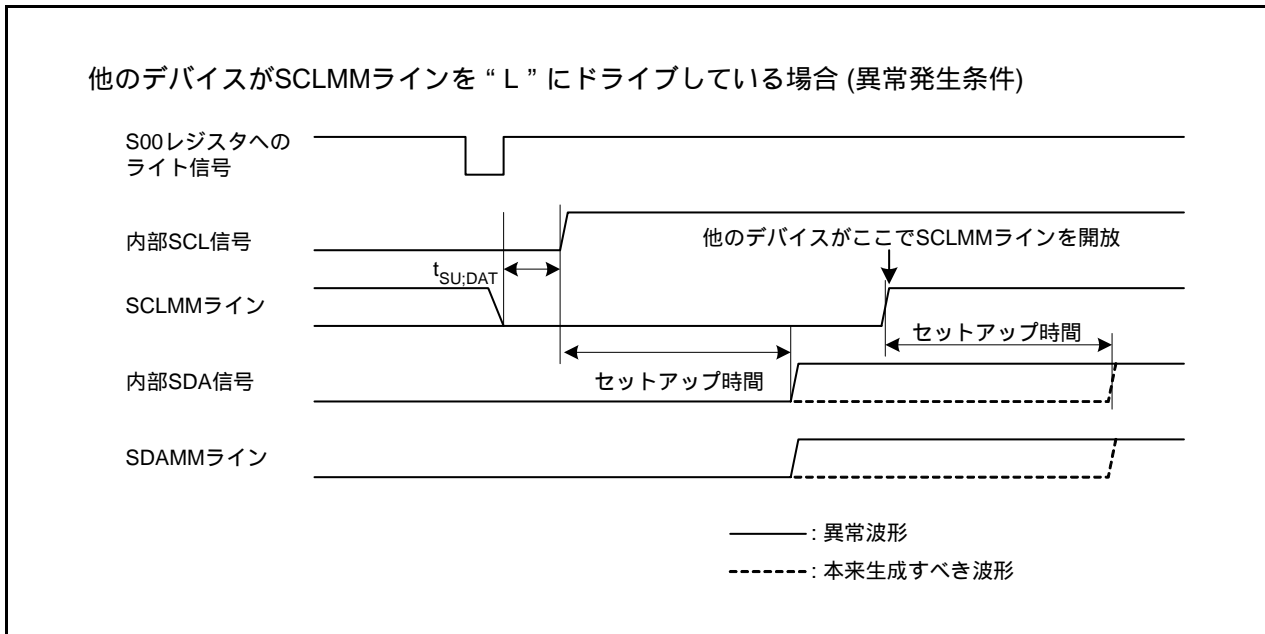


図 21.22 異常波形例

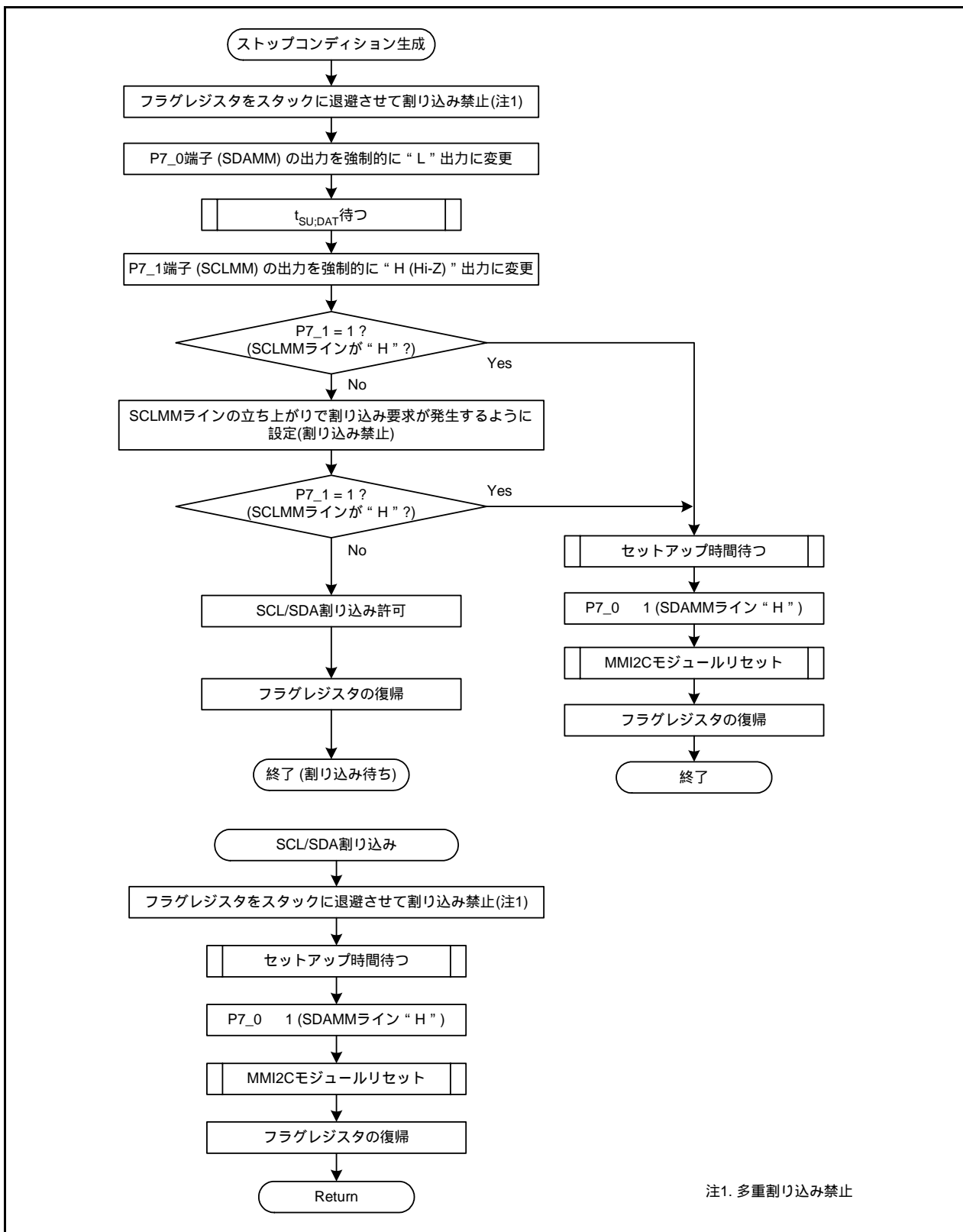


図 21.23 ストップコンディション生成フロー

22. A/Dコンバータ

22.1 概要

10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

表22.1にA/Dコンバータの仕様、図22.1にA/Dコンバータのブロック図を示します。

表22.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式
アナログ入力電圧	0V~AVCC (VCC1)
動作クロック AD	f1、f1の2分周、f1の3分周、f1の4分周、f1の6分周
分解能	10ビット
積分非直線性誤差	AVCC=VREF=3.0V AN0~AN7、AN0_0~AN0_7入力の場合 ±3LSB ANEX0、ANEX1入力の場合 ±3LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子	8本 (AN0~AN7) + 2本 (ANEX0、ANEX1) + 8本 (AN0_0~AN0_7)
A/D変換開始条件	ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする 外部トリガ(再トリガ可能) ADSTビットを“1”(A/D変換開始)にした後、 $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”へ変化
1端子あたりの変換速度	最短43 ADサイクル

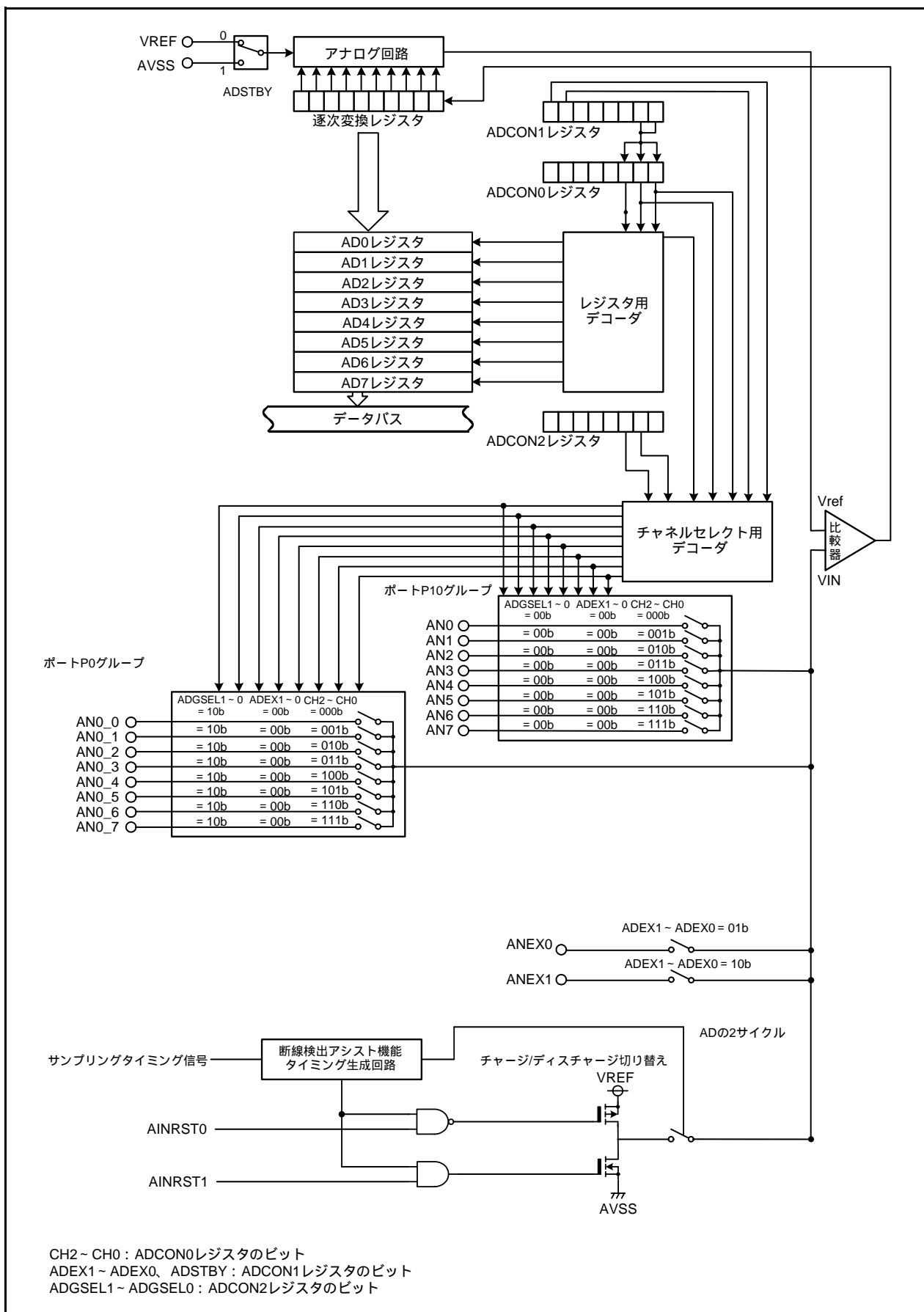


図22.1 A/Dコンバータのブロック図

表22.2 入出力端子

端子名	入出力	機能
AN0~AN7	入力	アナログ入力
ANEX0、ANEX1	入力	アナログ入力
AN0_0~AN0_7	入力	アナログ入力
ADTRG	入力	トリガ入力

注1. 端子を共有しているポートの方向ビットを“0”(入力モード)にしてください。

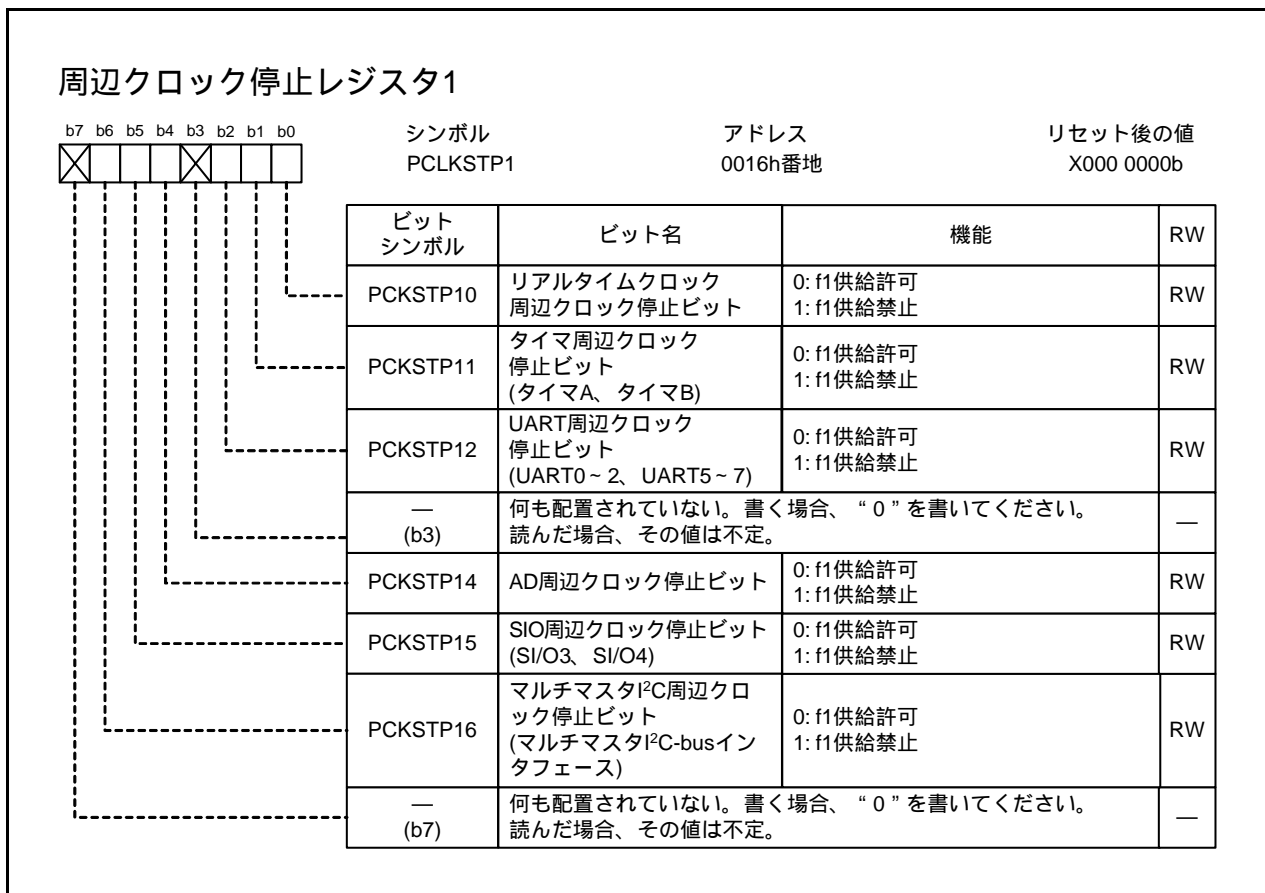
22.2 レジスタの説明

A/D コンバータ関連レジスタを表22.3 レジスタ一覧に示します。

表22.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0016h	周辺クロック停止レジスタ 1	PCLKSTP1	X000 0000b
0366h	ポート制御レジスタ	PCR	0000 0XX0b
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03C0h	A/D レジスタ 0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/D レジスタ 1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/D レジスタ 2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/D レジスタ 3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/D レジスタ 4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/D レジスタ 5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/D レジスタ 6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/D レジスタ 7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D4h	A/D 制御レジスタ 2	ADCON2	0000 X00Xb
03D6h	A/D 制御レジスタ 0	ADCON0	0000 0XXXb
03D7h	A/D 制御レジスタ 1	ADCON1	0000 0000b

22.2.1 周辺クロック停止レジスタ1 (PCLKSTP1)



PCKSTP1 レジスタはPRCR レジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCKSTP14 (AD周辺クロック停止ビット) (b4)

fADのクロック源としてf1を使用する場合、PCKSTP14ビットを“0”(f1供給許可)にしてください。

22.2.2 ポート制御レジスタ (PCR)

ポート制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCR	アドレス 0366h番地	リセット後の値 0000 0XX0b
b7	PCR0	ポートP1制御ビット	RW
b6	— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。	—
b5	PCR3	キー入力許可ビット (KI4 ~ KI7)	RW
b4	— (b4)	何も配置されていない。 読んだ場合、その値は不定。	—
b3	PCR5	INT6入力許可ビット	RW
b2	PCR6	INT7入力許可ビット	RW
b1	PCR7	キー入力許可ビット (KI0 ~ KI3)	RW
b0			

PCR3 (キー入力許可ビット) (b3)

PCR7 (キー入力許可ビット) (b7)

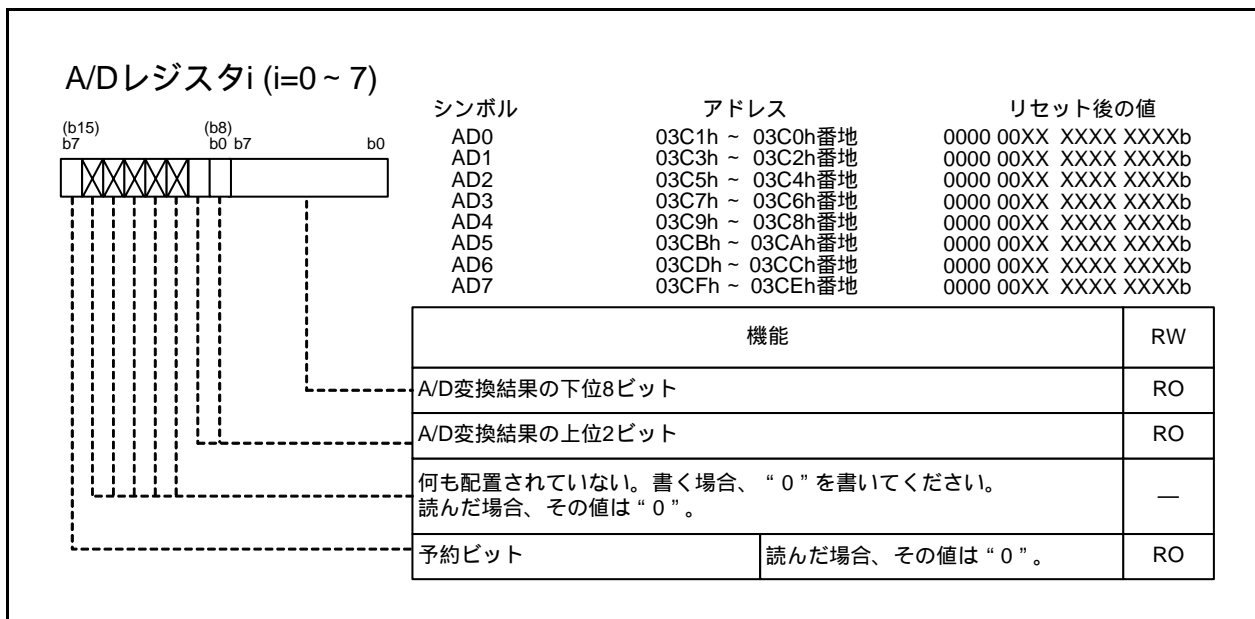
AN4~AN7端子をアナログ入力に使用する場合は、PCR7ビットを“1”(キー入力禁止)にしてください。AN0~AN3端子をアナログ入力に使用する場合は、PCR3ビットを“1”(キー入力禁止)にしてください。

22.2.3 断線検知アシスト機能レジスタ (AINRST)

断線検知アシスト機能レジスタ			
	シンボル AINRST	アドレス 03A2h番地	リセット後の値 XX00 XXXXb
ビット シンボル	ビット名	機 能	RW
— (b3-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
AINRST0	断線検知アシスト機能許可 ビット	b5 b4 0 0: 断線検知禁止 0 1: 変換前チャージ 1 0: 変換前ディスチャージ 1 1: 設定しないでください	RW
AINRST1			RW
— (b7-b6)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

AINRST1~AINRST0 (断線検知アシスト機能許可ビット) (b5~b4)

A/D断線検出アシスト機能を許可にする場合は、AINRST0ビットまたはAINRST1ビットを“1”にした後、 ϕ ADの1サイクル待つて、ADCON0レジスタのADSTビットを“1”(A/D変換)にしてください。

22.2.4 ADレジスタ*i* (AD*i*) (*i*=0~7)

A/D変換した結果は、AN*i*、ANEX*i*、ANO_*i*端子に対応したAD*i*レジスタに格納されます。AD*i*レジスタは、16ビット単位で読み出してください。表22.4にアナログ端子とA/D変換結果格納レジスタを示します。

表22.4 アナログ端子とA/D変換結果格納レジスタ

アナログ端子			A/D変換結果格納レジスタ
AN0	ANEX0	ANO_0	AD0レジスタ
AN1	ANEX1	ANO_1	AD1レジスタ
AN2	—	ANO_2	AD2レジスタ
AN3	—	ANO_3	AD3レジスタ
AN4	—	ANO_4	AD4レジスタ
AN5	—	ANO_5	AD5レジスタ
AN6	—	ANO_6	AD6レジスタ
AN7	—	ANO_7	AD7レジスタ

22.2.5 A/D 制御レジスタ 2 (ADCON2)

A/D 制御レジスタ 2

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	X	X	X	X	X

シンボル
ADCON2

アドレス
03D4h 番地

リセット後の値
0000 X00Xb

ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
ADGSEL0	A/D 入力グループ選択 ビット	b2 b1 0 0: AN0 ~ AN7 を選択 0 1: 設定しないでください 1 0: AN0_0 ~ AN0_7 を選択 1 1: 設定しないでください	RW
ADGSEL1		RW	
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS2	周波数選択ビット2	ADCON0 レジスタの CKS0 ビットの説明を 参照してください。	RW
— (b7-b5)	予約ビット	“0” にしてください	RW

A/D 変換中に ADCON2 レジスタを書き換えた場合、変換結果は不定となります。

22.2.6 A/D制御レジスタ0 (ADCON0)

A/D制御レジスタ0			
ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 0000 0XXXb
CH0	アナログ入力端子選択ビット	単発モード、繰り返しモードの場合 b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: AN4を選択 1 0 1: AN5を選択 1 1 0: AN6を選択 1 1 1: AN7を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0: 単発モード 0 1: 繰り返しモード 1 0: 単掃引モード 1 1: 繰り返し掃引モード0 または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	CKS0ビットの説明を参照してください	RW

A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

CH2~CH0 (アナログ入力端子選択ビット) (b2~b0)

単発モード、繰り返しモードでは、AN0~AN7端子と同様にAN0_0~AN0_7端子を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1では無効です。

MD1~MD0 (A/D動作モード選択ビット0) (b4~b3)

A/D動作モードは、MD1~MD0ビットとADCON1レジスタのMD2ビットの組み合わせで選択できます。表22.5にA/D動作モード選択を示します。

表22.5 A/D動作モード選択

ビットの設定			A/D動作モード
ADCON1レジスタ	ADCON0レジスタ		
MD2	MD1	MD0	
0	0	0	単発モード
0	0	1	繰り返しモード
0	1	0	単掃引モード
0	1	1	繰り返し掃引モード0
1	1	1	繰り返し掃引モード1

上記以外の組み合わせを設定しないでください。

CKS0 (周波数選択ビット) (b7)

ADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。表22.6に AD周波数選択を示します。

表22.6 AD周波数選択

CKS2	CKS1	CKS0	AD
0	0	0	fAD(f1)の4分周
0	0	1	fAD(f1)の2分周
0	1	0	fAD(f1)
0	1	1	
1	0	1	fAD(f1)の6分周
1	1	0	fAD(f1)の3分周
1	1	1	

上記以外の組み合わせを設定しないでください。

22.2.7 A/D制御レジスタ1 (ADCON1)

A/D制御レジスタ1		シンボル	アドレス	リセット後の値
		ADCON1	03D7h番地	0000 0000b
ビットシンボル	ビット名	機能		RW
SCAN0	A/D掃引端子選択ビット	単掃引モード、繰り返し掃引モード0の場合 b1 b0 0 0: AN0 ~ AN1 (2端子) 0 1: AN0 ~ AN3 (4端子) 1 0: AN0 ~ AN5 (6端子) 1 1: AN0 ~ AN7 (8端子)		RW
SCAN1		繰り返し掃引モード1の場合 b1 b0 0 0: AN0 (1端子) 0 1: AN0 ~ AN1 (2端子) 1 0: AN0 ~ AN2 (3端子) 1 1: AN0 ~ AN3 (4端子)		RW
MD2	A/D動作モード選択ビット1	0: 繰り返し掃引モード1以外 1: 繰り返し掃引モード1		RW
(b3)	予約ビット	“0” にしてください。		RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの説明を参照してください		RW
ADSTBY	A/Dスタンバイビット	0: A/D動作停止(スタンバイ) 1: A/D動作可能		RW
ADEX0	拡張端子選択ビット	単発モード、繰り返しモードの場合 b7 b6 0 0: ANEX0, ANEX1は使用しない 0 1: ANEX0入力をA/D変換 1 0: ANEX1入力をA/D変換 1 1: 設定しないでください		RW
ADEX1				RW

A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

SCAN1~SCAN0 (A/D掃引端子選択ビット) (b1~b0)

単発モード、繰り返しモードでは無効です。

単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1では、AN0~AN7端子と同様にAN0_0~AN0_7端子を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

MD2 (A/D動作モード選択ビット1) (b2)

A/D動作モードは、ADCON0レジスタのMD1~MD0ビットとMD2ビットの組み合わせで選択できます。「表22.5 A/D動作モード選択」を参照してください。

ADSTBY (A/Dスタンバイビット) (b5)

ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始してください。

A/Dコンバータを使用しない場合、ADSTBYビット“0”(A/D動作停止:スタンバイ)にすると、A/Dコンバータで電流が流れなくなり、消費電力を少なくできます。

22.3 動作説明

22.3.1 A/D変換サイクル数

A/D変換サイクルは、 f_1 と同じ f_{AD} と ϕ_{AD} が基準になります。 ϕ_{AD} が規格に合う周波数になるように、 f_{AD} を分周してください。図22.2に f_{AD} とADを示します。

f_{AD} のクロック源として使用する場合、PCLKSTP1レジスタのPCKSTP14ビットを“0”(f1供給許可)にしてください。

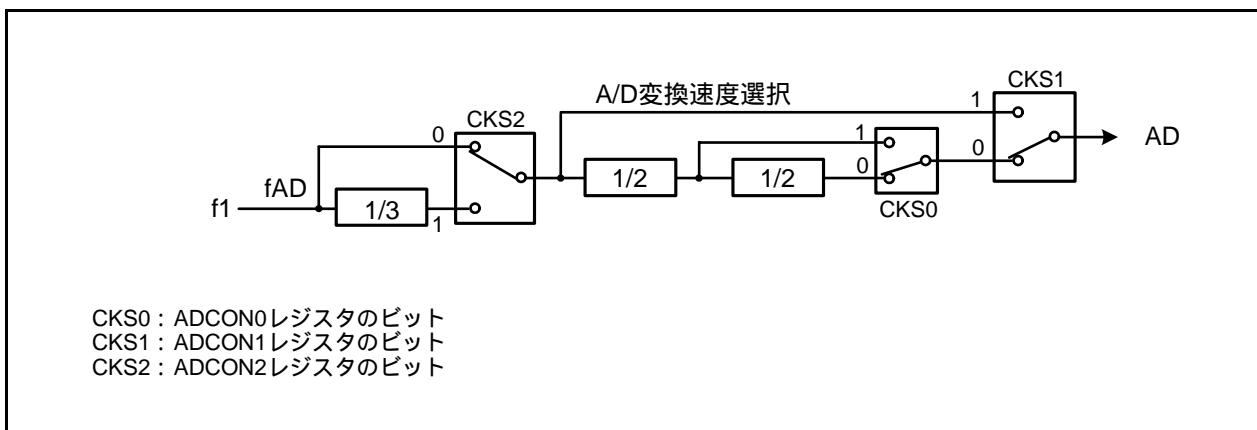


図22.2 f_{AD} とAD

図22.3にA/D変換タイミング図を示します。

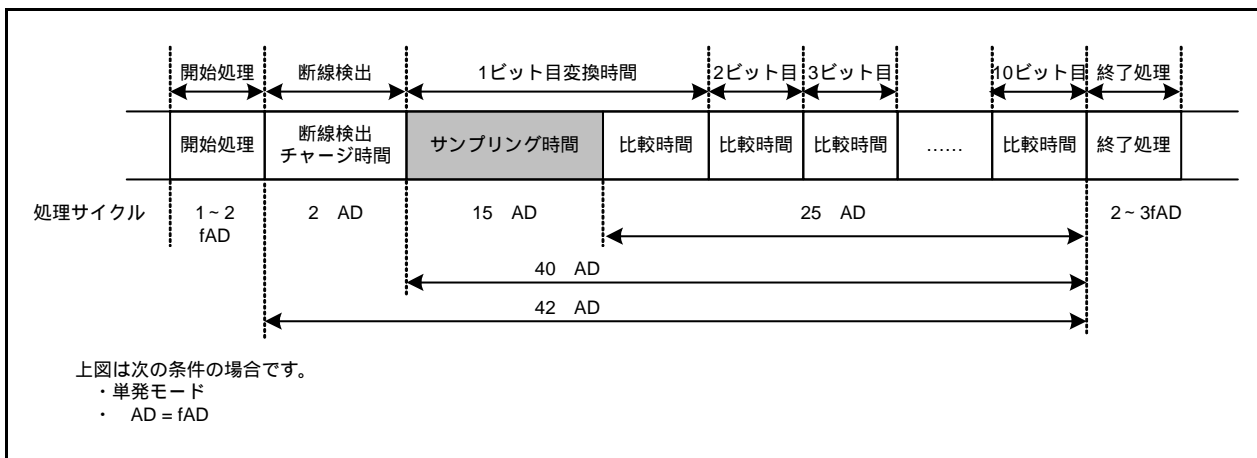


図22.3 A/D変換タイミング図

表 22.7 に各 A/D 変換項目のサイクル数を示します。A/D 変換時間は次のとおりです。

開始処理時間は AD の選択によって変わります。

ADCON0 レジスタの ADST ビットに “1” (A/D 変換開始) を書くと、開始処理時間経過後に A/D 変換を始めます。A/D 変換を始めるまでに ADST ビットを読むと “0” (A/D 変換停止) を読み出します。

複数端子または複数回 A/D 変換を実行するモードでは、1 端子の A/D 変換実行時間と、次の A/D 変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間に ADST ビットが “0” になり、最後の A/D 変換結果が ADi レジスタに入ります。

- 単発モードの場合
開始処理時間 + A/D 変換実行時間 + 終了処理時間
- 単掃引モードで 2 端子を選択した場合
開始処理時間 + (A/D 変換実行時間 + 実行間処理時間 + A/D 変換実行時間) + 終了処理時間

表 22.7 各 A/D 変換項目のサイクル数

A/D 変換項目		サイクル数
開始処理時間	AD=fAD	fAD の 1~2 サイクル
	AD=fAD の 2 分周	fAD の 2~3 サイクル
	AD=fAD の 3 分周	fAD の 3~4 サイクル
	AD=fAD の 4 分周	fAD の 3~4 サイクル
	AD=fAD の 6 分周	fAD の 4~5 サイクル
	AD=fAD の 12 分周	fAD の 7~8 サイクル
A/D 変換実行時間	断線検出禁止	AD の 40 サイクル
	断線検出許可	AD の 42 サイクル
実行間処理時間		AD の 1 サイクル
終了処理時間		fAD の 2~3 サイクル

22.3.2 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと外部トリガがあります。図22.4にA/D変換開始トリガを示します。

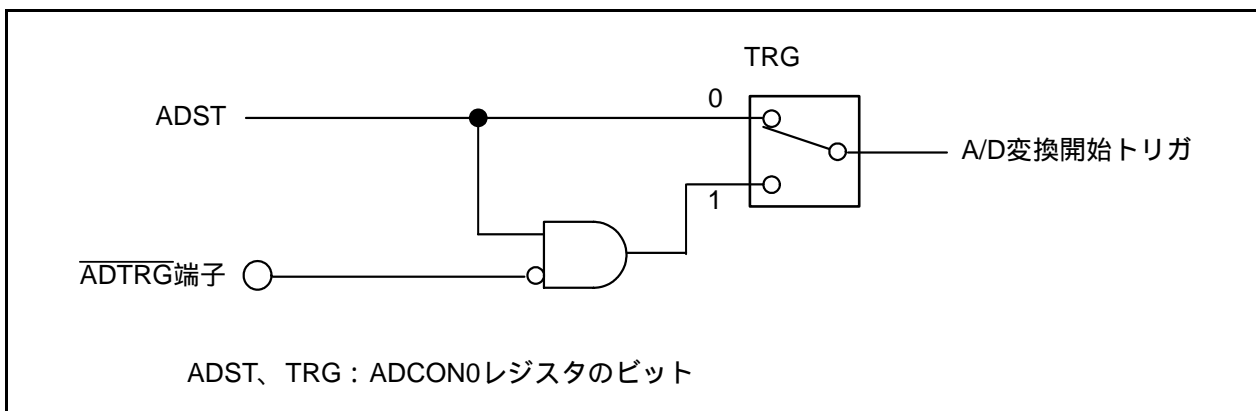


図22.4 A/D変換開始トリガ

22.3.2.1 ソフトウェアトリガ

ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合です。
ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

22.3.2.2 外部トリガ

ADCON0レジスタのTRGビットが“1”(ADTRGによるトリガ)の場合です。
この機能を使用する場合は次のようにしてください。

- ADTRGと端子を共用しているポートの方向ビットが“0”(入力モード)
- ADCON0レジスタのTRGビットが“1”(ADTRGによるトリガ)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、ADTRG端子の入力を“H”から“L”にするとA/D変換を開始します。
なお、ADTRG端子に入力するパルスの幅“H”幅、“L”幅は、いずれも f_{AD} の2サイクル以上にしてください。

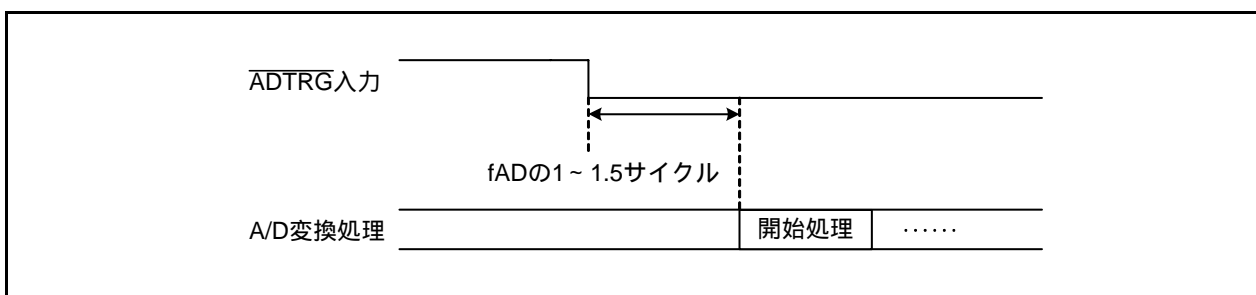


図22.5 外部トリガ入力時のA/D変換開始タイミング

22.3.3 A/D変換結果

A/D変換が終わる前にADiレジスタを読み出すと、不定値を読み出します。ADiレジスタはA/D変換が終了した後に読み出してください。A/D変換の終了は次の方法で検出してください。

- 単発モード、単掃引モード

A/D変換終了時、ADICレジスタのIRビットが“1”(割り込み要求あり)になりますので、IRビットが“1”になったことを確認してADiレジスタを読み出してください。

A/D割り込みを使用しない場合は、ADiレジスタ読み出し後、プログラムでIRビットを“0”(割り込み要求なし)にしてください。

- 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

IRビットは変化しません(割り込み要求は発生しません)。最初は1回分の変換時間が経過した後でADiレジスタを読み出してください(「22.3.1 A/D変換サイクル数」参照)。以降は任意のタイミングで読み出すと、それ以前にA/D変換した結果が読み出せます。

1回分のA/D変換が終了するとADiレジスタに値を上書きしますので、必要な値はそれまでに読み出してください。

22.3.4 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのADEX1~ADEX0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

22.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

22.3.6 A/D断線検出アシスト機能

変換開始前に、サンプリングキャパシタの電荷を所定の状態(AVCCまたはAVSS)に固定する機能です。A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧による影響を抑制できるので、アナログ入力端子に接続した配線の断線を、より確実に検出できます。

図22.6にAVCC側でのA/D断線検出例(変換前チャージを選択)を示し、図22.8にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

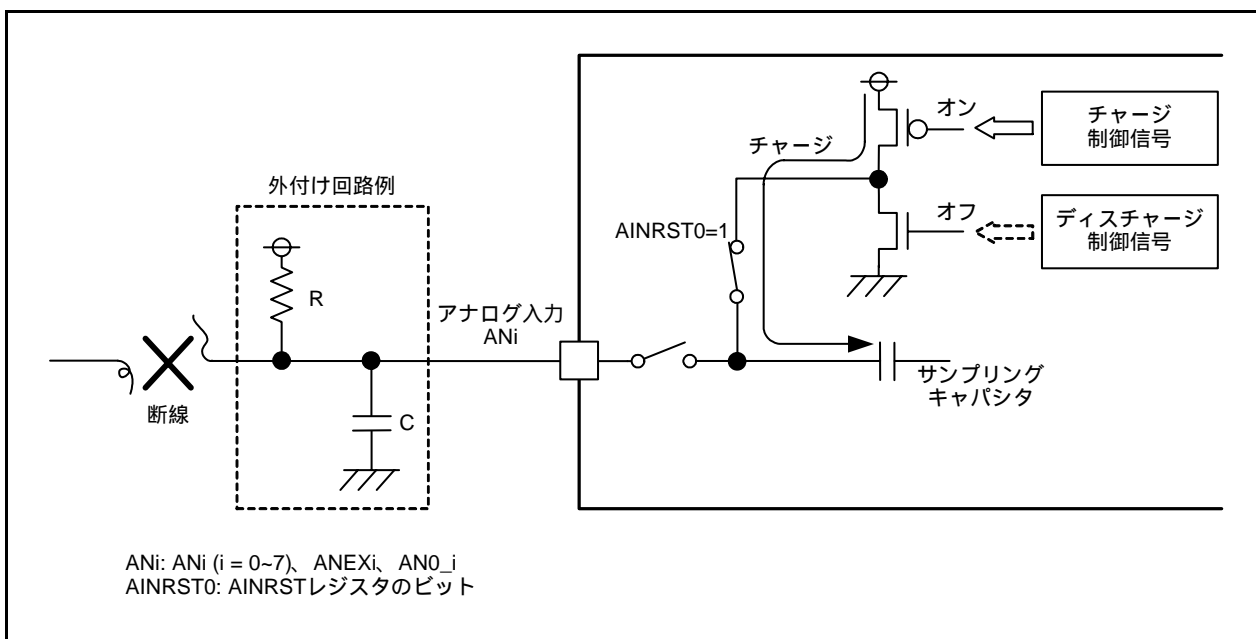


図22.6 AVCC側でのA/D断線検出例 (変換前チャージを選択)

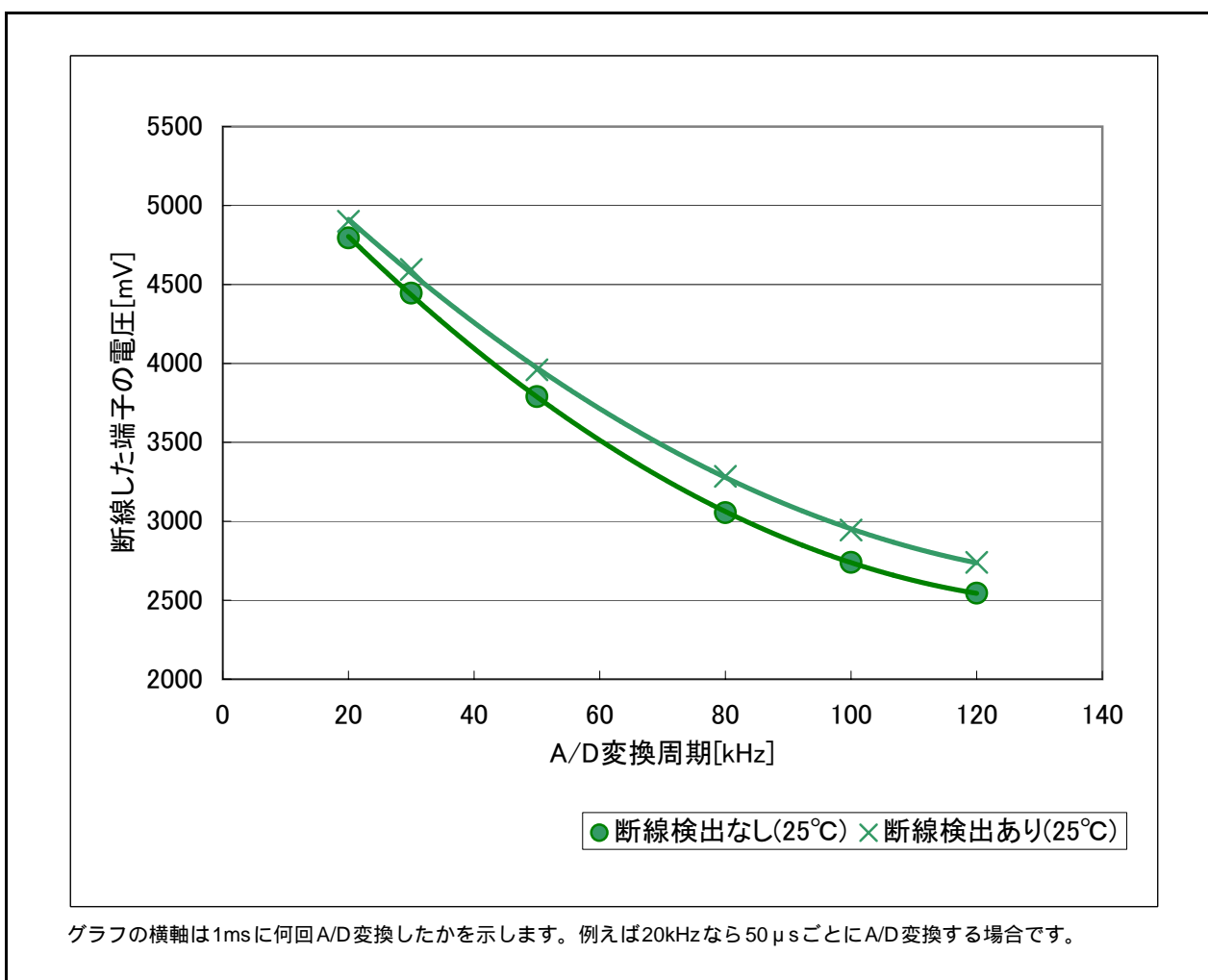


図22.7 A/D断線検出 (チャージ) 特性 (標準特性)

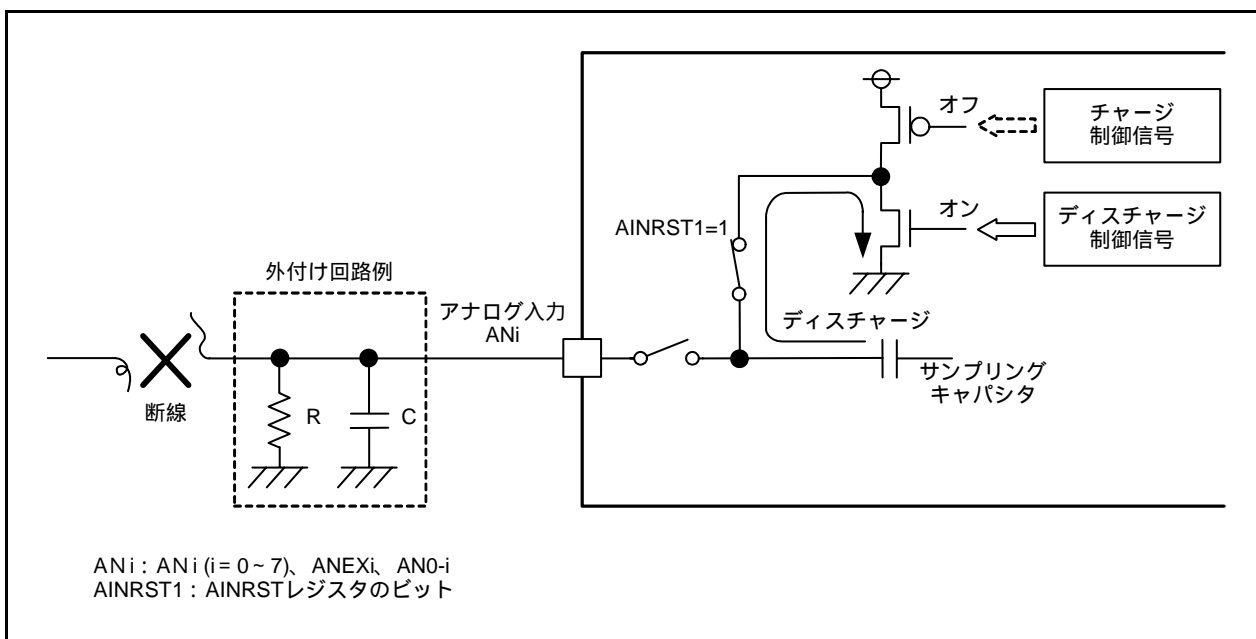


図22.8 AVSS側でのA/D断線検出例 (変換前ディスチャージを選択)

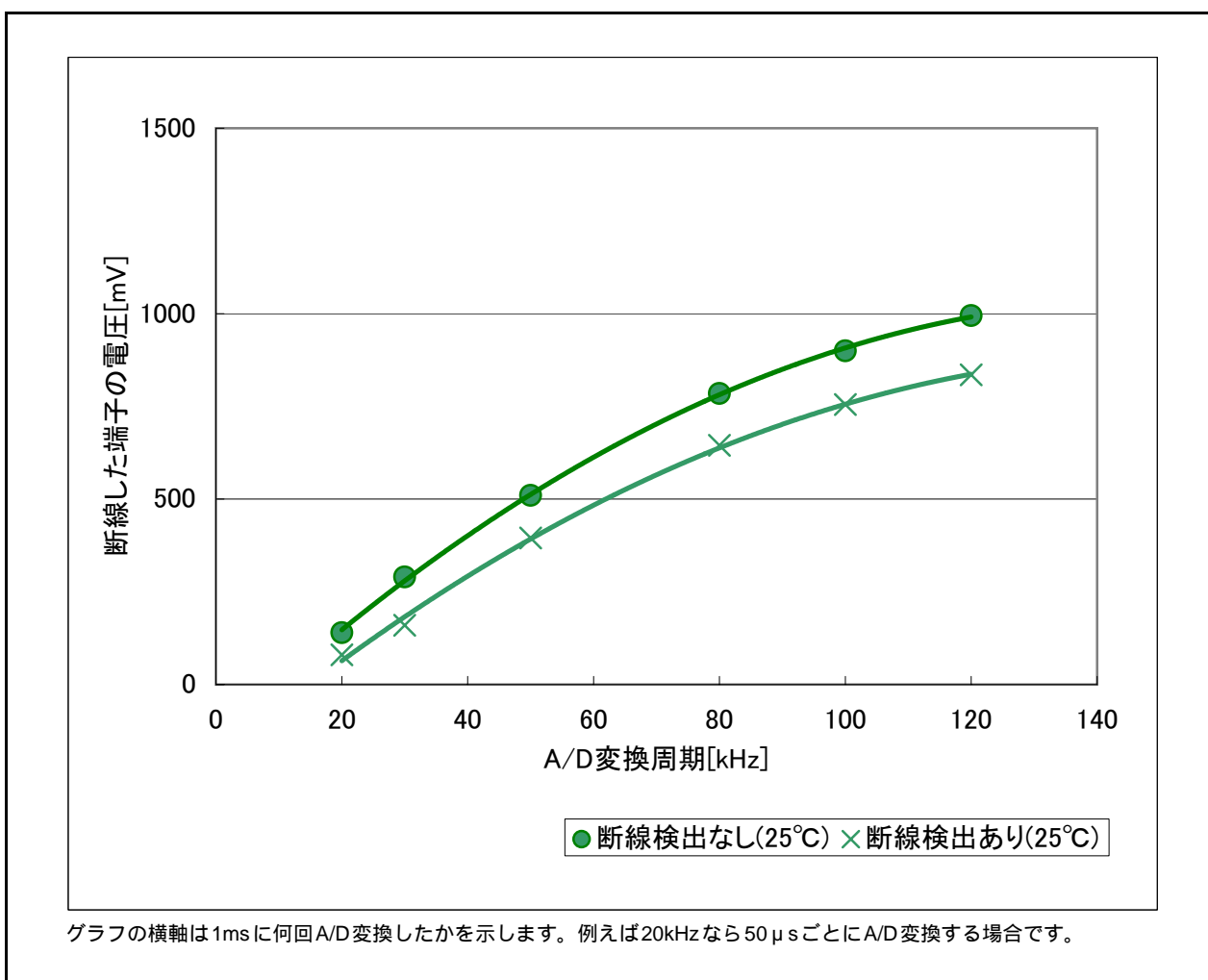


図22.9 A/D断線検出 (ディスチャージ)特性 (標準特性)

22.4 動作モード

22.4.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表22.8に単発モードの仕様を示します。

表22.8 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2~CH0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビット、またはADCON1レジスタのADEX1~ADEX0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0~AN7、AN0_0~AN0_7、ANEX0~ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表22.9 単発モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCLKSTP1	PCKSTP14	f1を使用する場合“0”にしてください
PCR	PCR3	AN0~AN3端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください。
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AINRST	AINRST1、AINRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せません
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ADの周波数を選択してください
ADCON0	CH2~CH0	アナログ入力端子を選択してください
	MD1~MD0	“00b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	無効
	MD2	“0”にしてください
	CKS1	ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	ANEX0、ANEX1を使用するか、しないか選択してください

注1. この表は手順を表すものではありません。

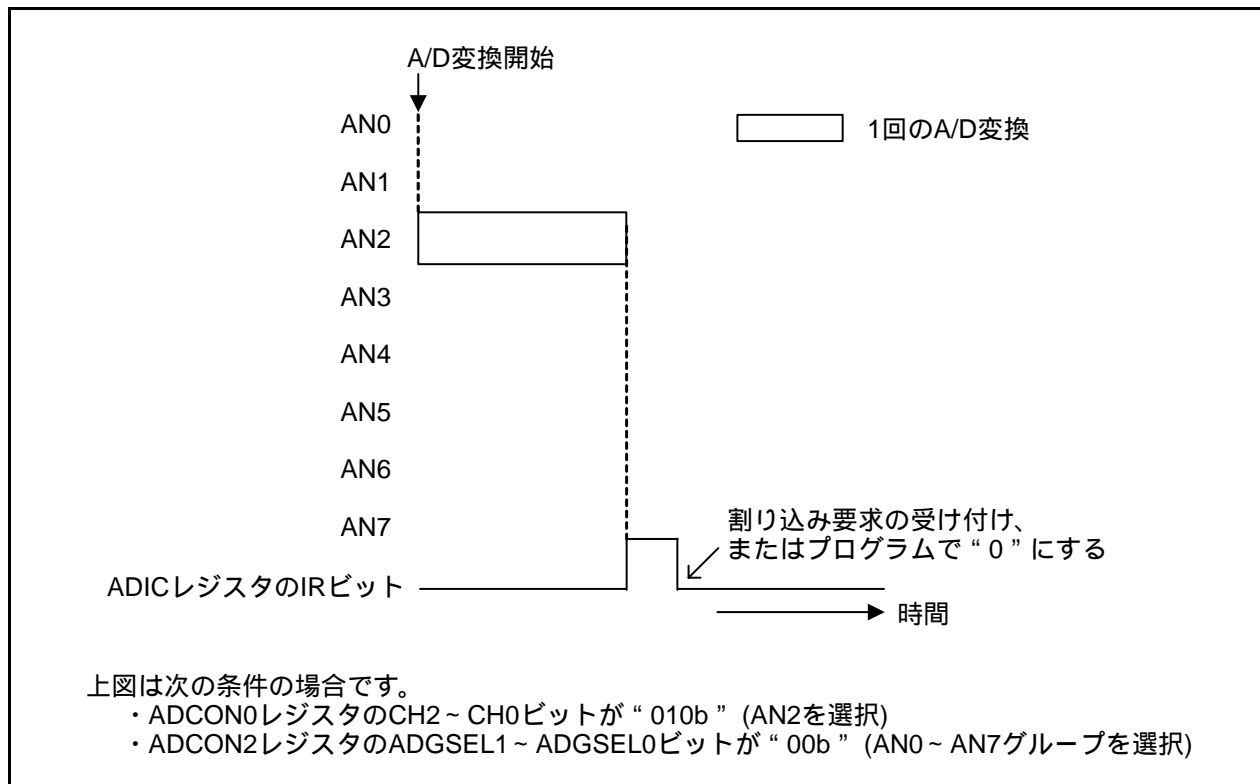


図22.10 単発モードの動作例

22.4.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表22.10に繰り返しモードの仕様を示します。

表22.10 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2~CH0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビット、またはADCON1レジスタのADEX1~ADEX0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> • ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする • TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0~AN7、AN0_0~AN0_7、ANEX0~ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表22.11 繰り返しモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKSTP1	PCKSTP14	f1を使用する場合“0”にしてください
PCR	PCR3	AN0~AN3端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください。
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AIRST	AIRST1、AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せす
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ADの周波数を選択してください
ADCON0	CH2~CH0	アナログ入力端子を選択してください
	MD1~MD0	“01b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	無効
	MD2	“0”にしてください
	CKS1	ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	ANEX0、ANEX1を使用するか、しないか選択してください

注1. この表は手順を表すものではありません。

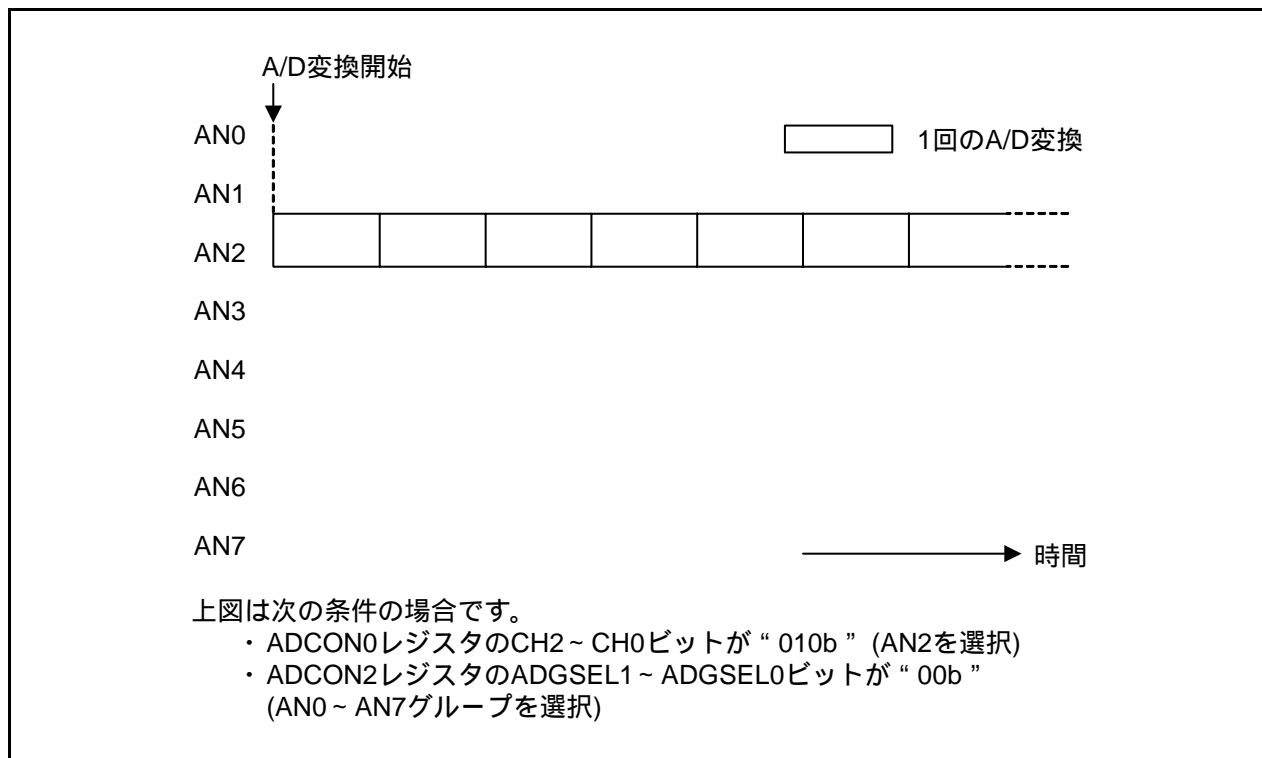


図22.11 繰り返しモードの動作例

22.4.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表22.12に単掃引モードの仕様を示します。

表22.12 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> •A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) •ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0~AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子)から選択 AN0_0~AN0_7も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表22.13 単掃引モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCLKSTP1	PCKSTP14	f1を使用する場合“0”にしてください
PCR	PCR3	AN0~AN3端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください。
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AIRST	AIRST1、AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せません
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“10b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	アナログ入力端子を選択してください
	MD2	“0”にしてください
	CKS1	ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	“00b”にしてください

注1. この表は手順を表すものではありません。

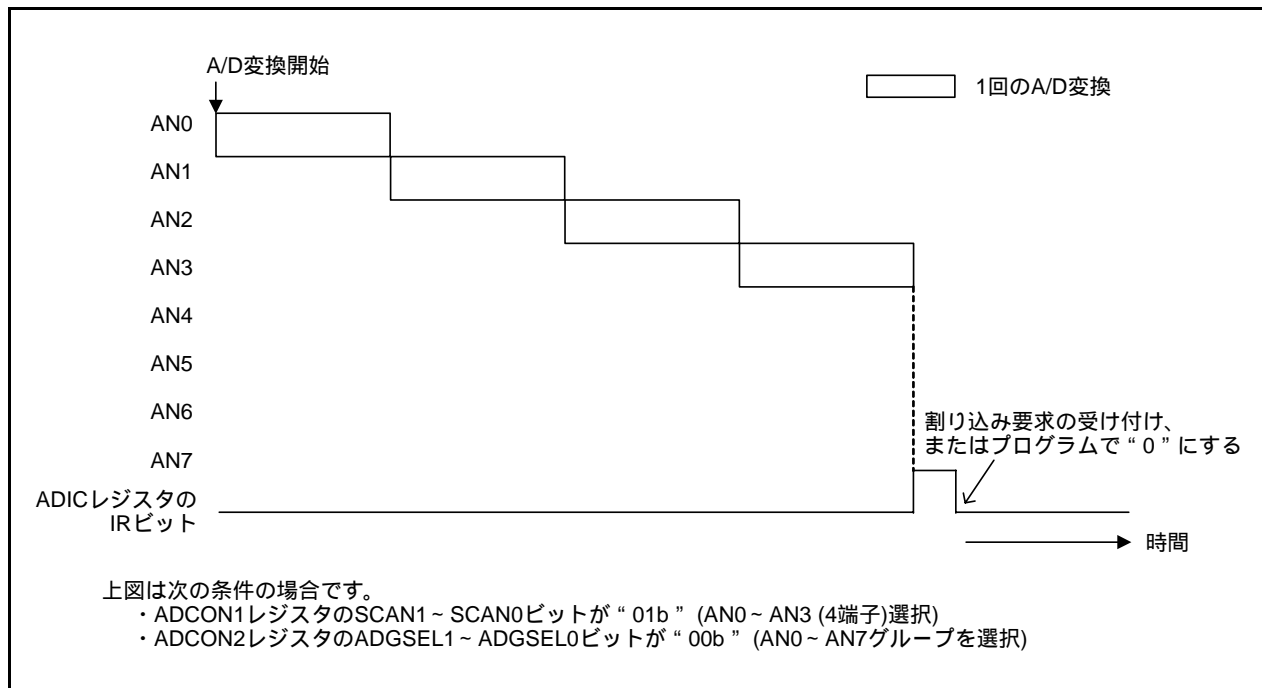


図22.12 単掃引モードの動作例

22.4.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表22.14に繰り返し掃引モード0の仕様を示します。

表22.14 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0~AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子)から選択 AN0_0~AN0_7も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表22.15 繰り返し掃引モード0時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCLKSTP1	PCKSTP14	f1を使用する場合“0”にしてください
PCR	PCR3	AN0~AN3端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください。
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AINRST	AINRST1、AINRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せませす
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“11b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	アナログ入力端子を選択してください
	MD2	“0”にしてください
	CKS1	ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	“00b”にしてください

注1. この表は手順を表すものではありません。

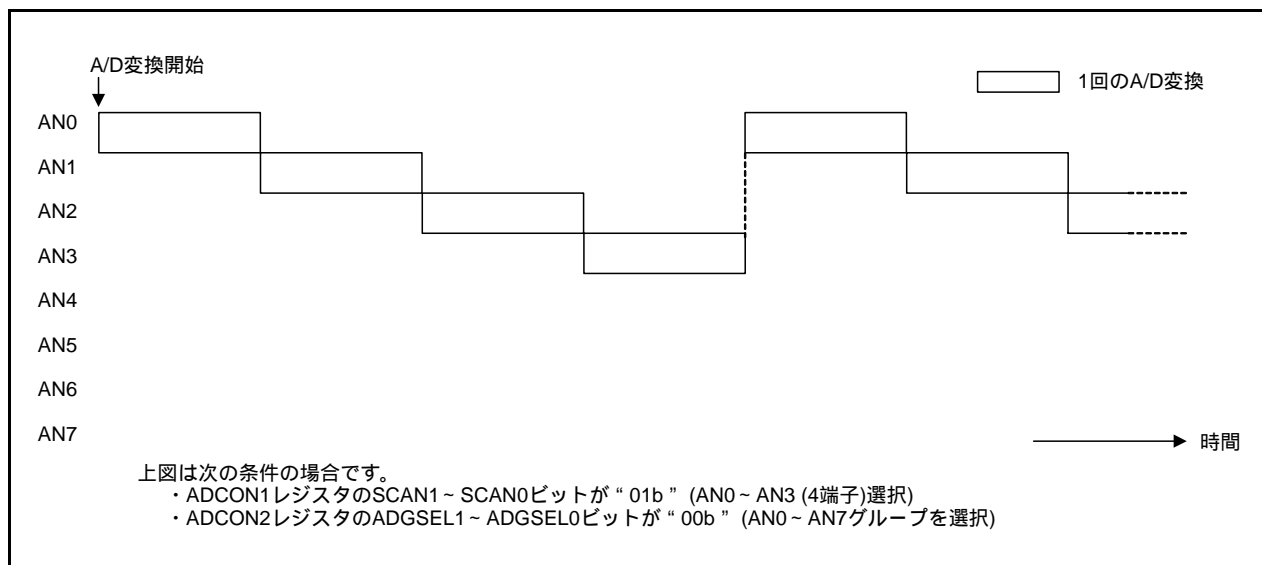


図22.13 繰り返し掃引モード0の動作例

22.4.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表22.16に繰り返し掃引モード1の仕様を示します。

表22.16 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子に重点をおいて、ADGSEL1~ADGSEL0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0 AN1 AN0 AN2 AN0 AN3...の順にA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN0(1端子)、AN0~AN1(2端子)、AN0~AN2(3端子)、AN0~AN3(4端子)から選択 AN0_0~AN0_3も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表22.17 繰り返し掃引モード1時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCLKSTP1	PCKSTP14	f1を使用する場合“0”にしてください
PCR	PCR3	AN0~AN3端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください。
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AINRST	AINRST1、AINRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せません
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“11b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	重点的にA/D変換する端子を選択してください
	MD2	“1”にしてください
	CKS1	ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	“00b”にしてください

注1. この表は手順を表すものではありません。

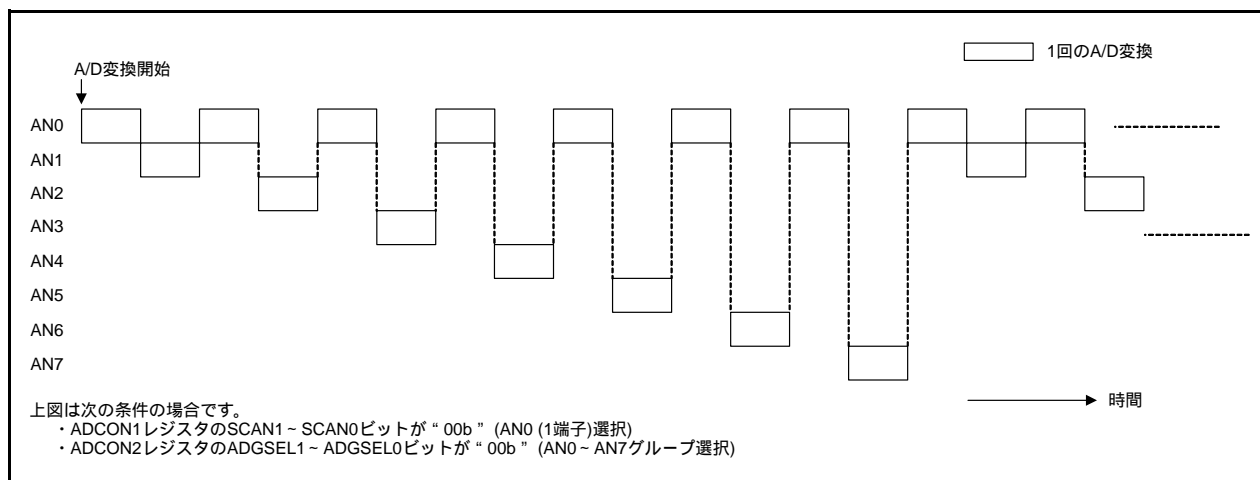


図22.14 繰り返し掃引モード1の動作例

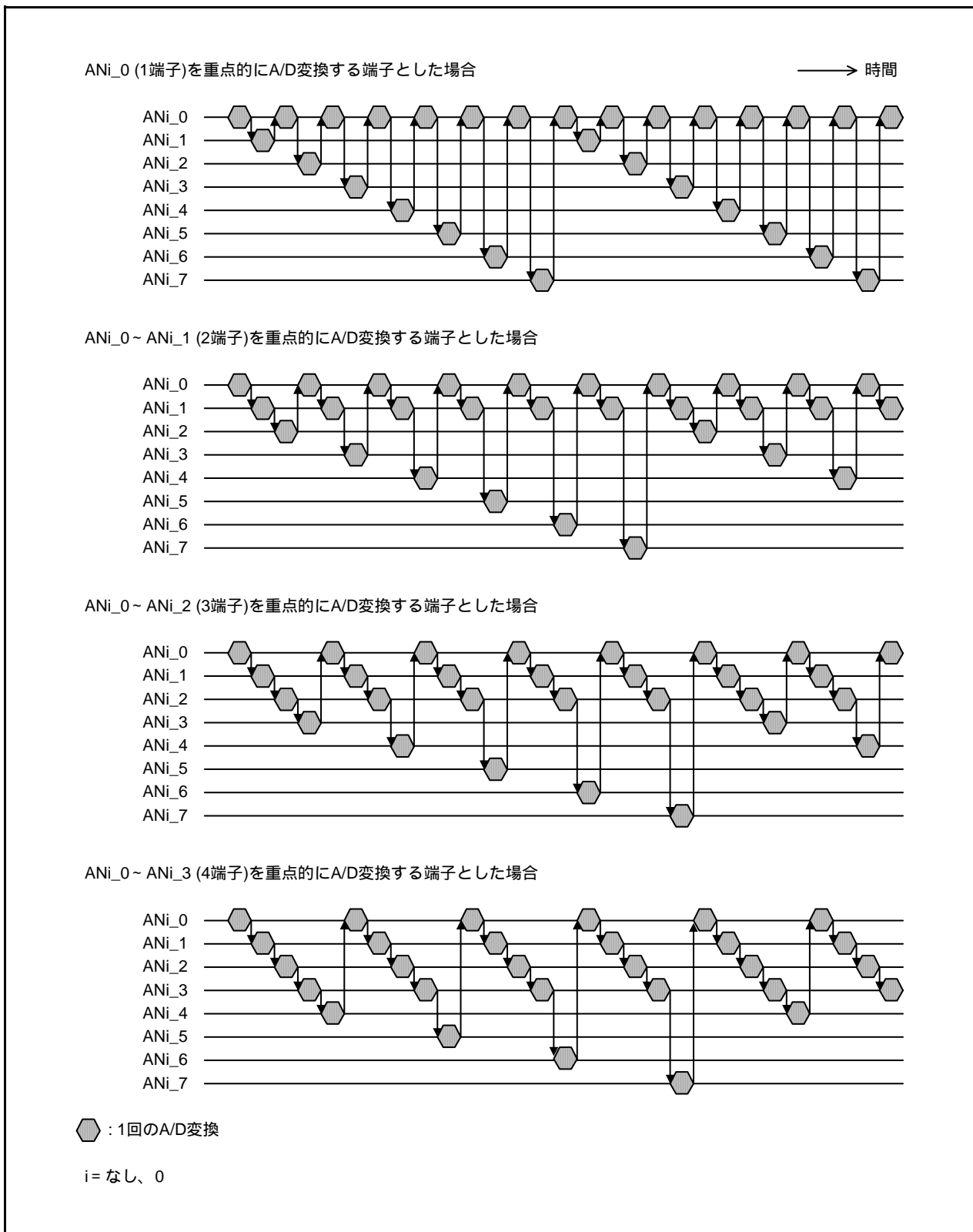


図22.15 繰り返し掃引モード1でA/D変換する端子の遷移図

22.5 外部センサ

A/D変換を正しく行うためには、図22.16の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは1024)とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=T \text{ のとき、 } VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図22.16 アナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)はA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.75μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.75μs、R=10k、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大3.5k になります。

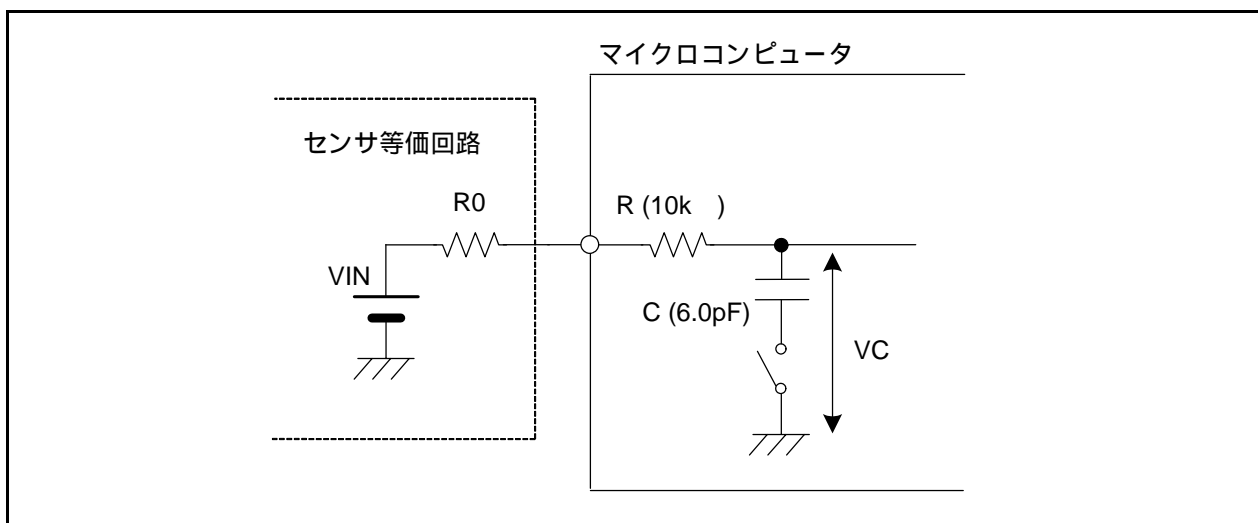


図22.16 アナログ入力端子と外部センサの等価回路例

22.6 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「13.7 割り込み制御」を参照してください。表22.18にADコンバータの割り込み関連レジスタを示します。

表22.18 ADコンバータの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b

22.7 A/Dコンバータ使用上の注意事項

22.7.1 アナログ入力選択

KI0~KI3端子のいずれかをキー入力割り込みを使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。同様にKI4~KI7端子のいずれかをキー入力割り込みに使用する場合、AN0~AN3は4本ともアナログ入力端子として使用しないでください。

22.7.2 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i(*i*=0~7)、ANEX_i、AN0__i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。

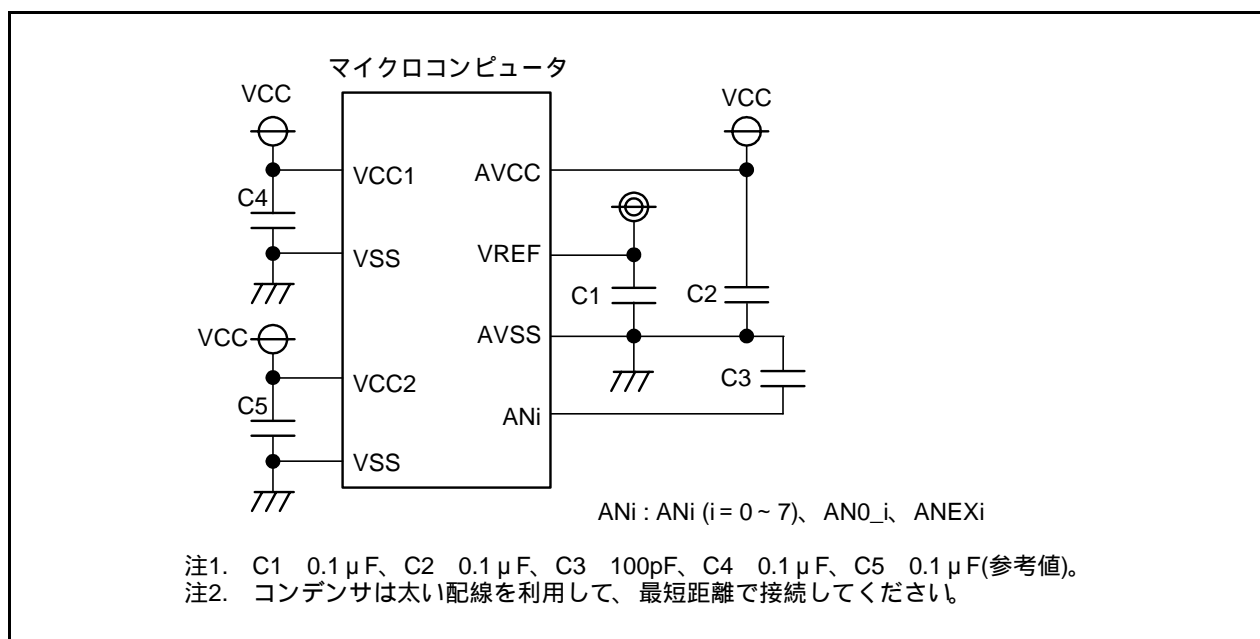


図22.17 各端子の処理例

22.7.3 レジスタアクセス

ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのADSTBYビットを“1”から“0”にしてください。

22.7.4 A/D変換開始

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始させてください。

22.7.5 A/D動作モードの変更

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

22.7.6 強制終了時の状態

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

22.7.7 A/D断線検出アシスト機能

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

なお、AINRSTレジスタ変更後、A/D変換開始する場合は次の手順に従ってください。

- (1) AINRSTレジスタのAINRST1~AINRST0ビットを変更する
- (2) ϕ ADの1サイクル待つ
- (3) ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする

22.7.8 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間(「表22.7 各A/D変換項目のサイクル数」参照)後に“1”(A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0”(A/D変換停止)が読めることがあります。

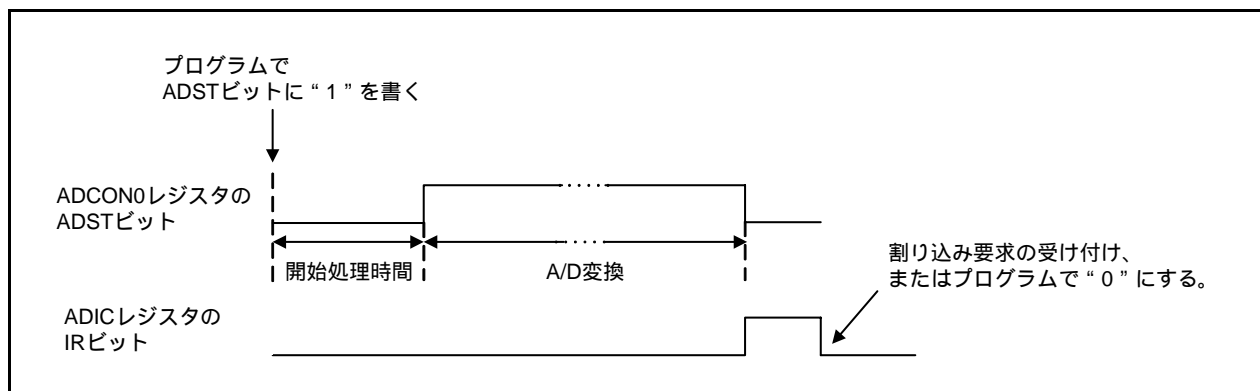


図22.18 ADSTビットの動作

22.7.9 ϕ AD

ϕ ADが規格に合う周波数になるように、 f_{AD} を分周してください。

22.7.10 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

これらのモードでは、AD_iレジスタの値が書き換わる期間にAD_iレジスタを読むと、不定値を読み出すことがあります。そのため、AD_iレジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はf_{AD}の1サイクルです。

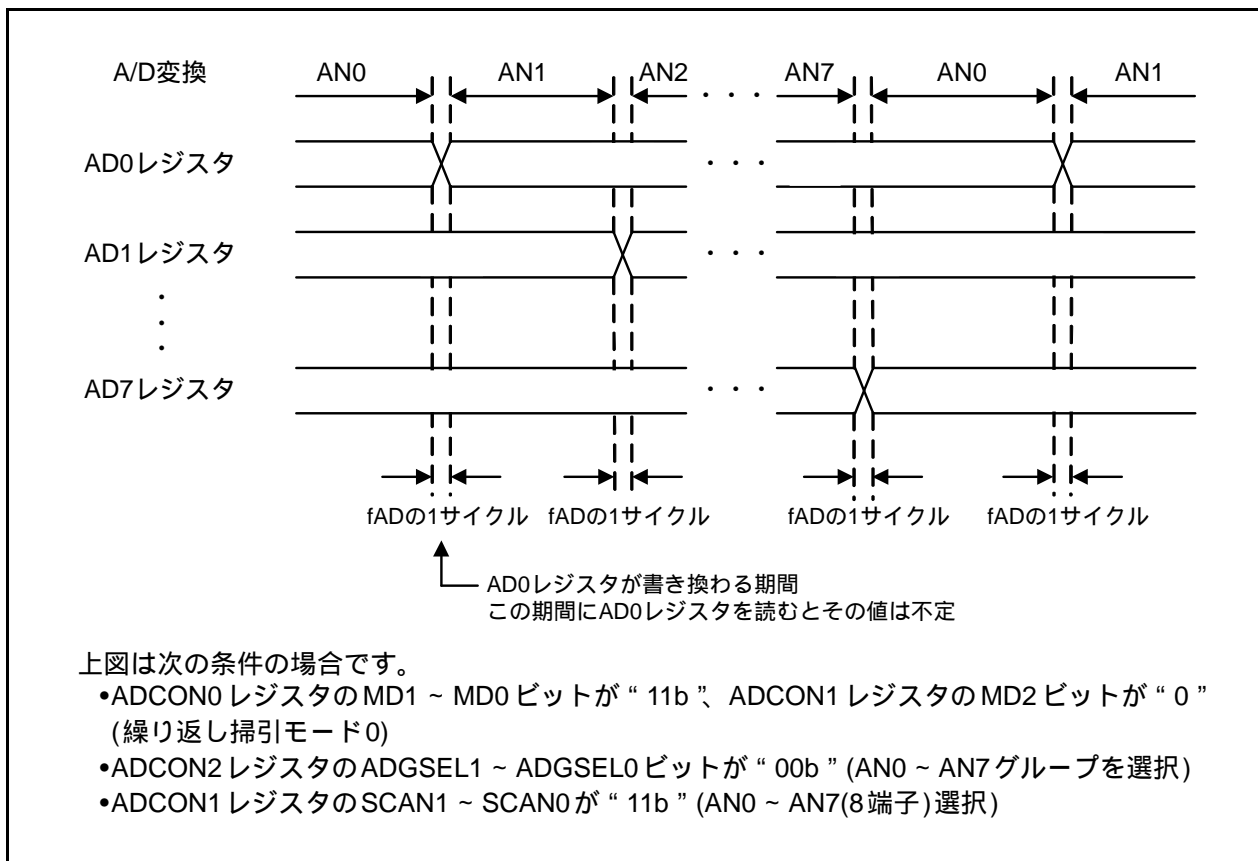


図 22.19 AD_iレジスタの値が書き換わる期間

23. CRC演算回路

23.1 概要

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤りを検出します。更に、CRC演算回路はSFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表23.1 CRC演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT($X^{16}+X^{12}+X^5+1$)またはCRC-16 ($X^{16}+X^{15}+X^2+1$)
選択機能	<ul style="list-style-type: none"> •MSB/LSB選択可能 •SFRアクセス監視機能

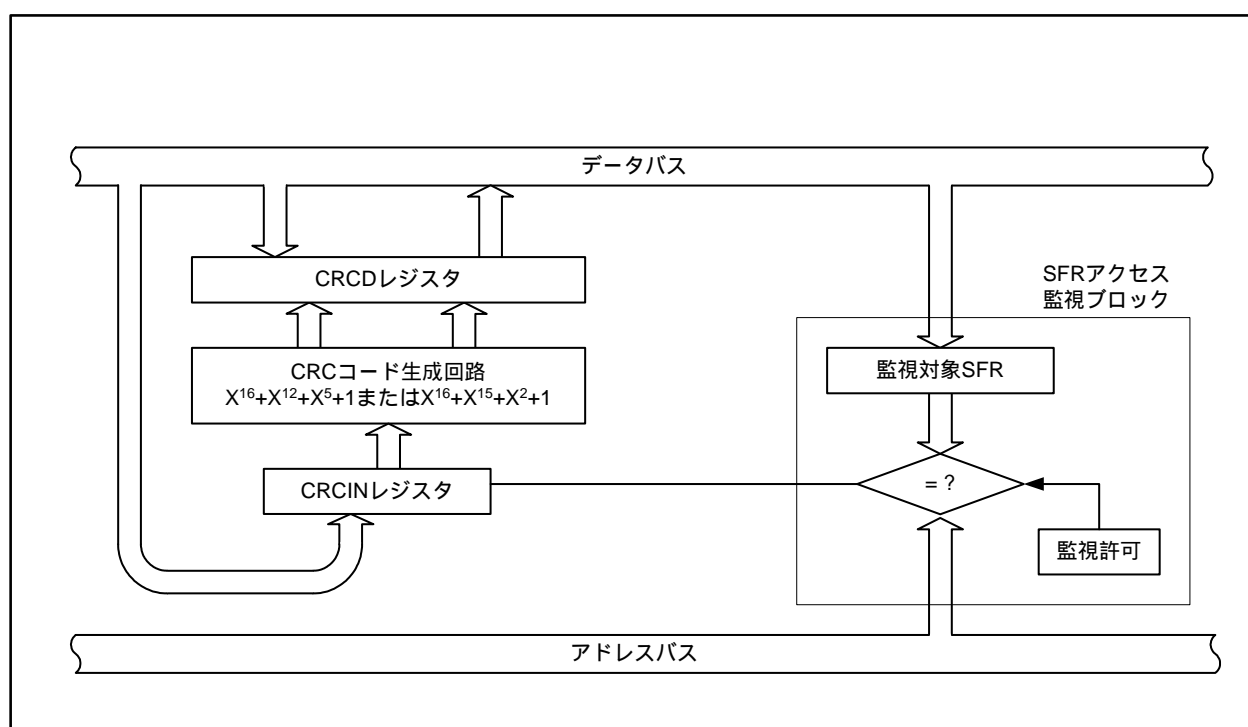


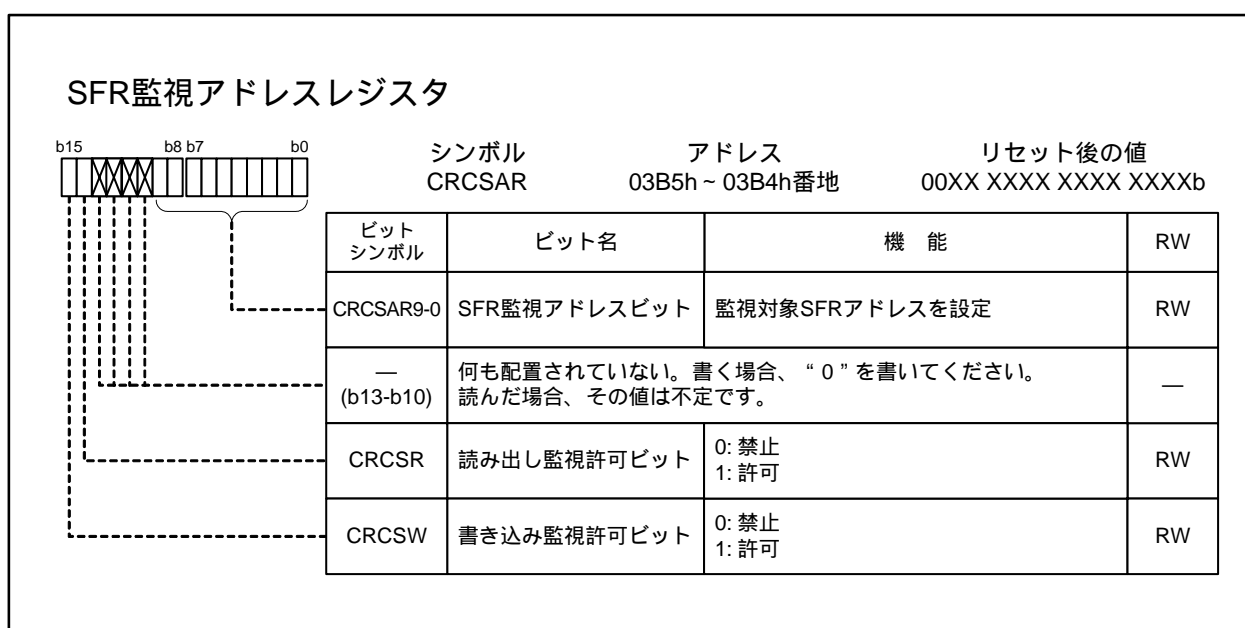
図23.1 CRC演算回路のブロック図

23.2 レジスタの説明

表23.2 レジスタ一覧

アドレス	レジスタ名	シンボル	リセット後の値
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03BC h	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh

23.2.1 SFR監視アドレスレジスタ (CRCSAR)

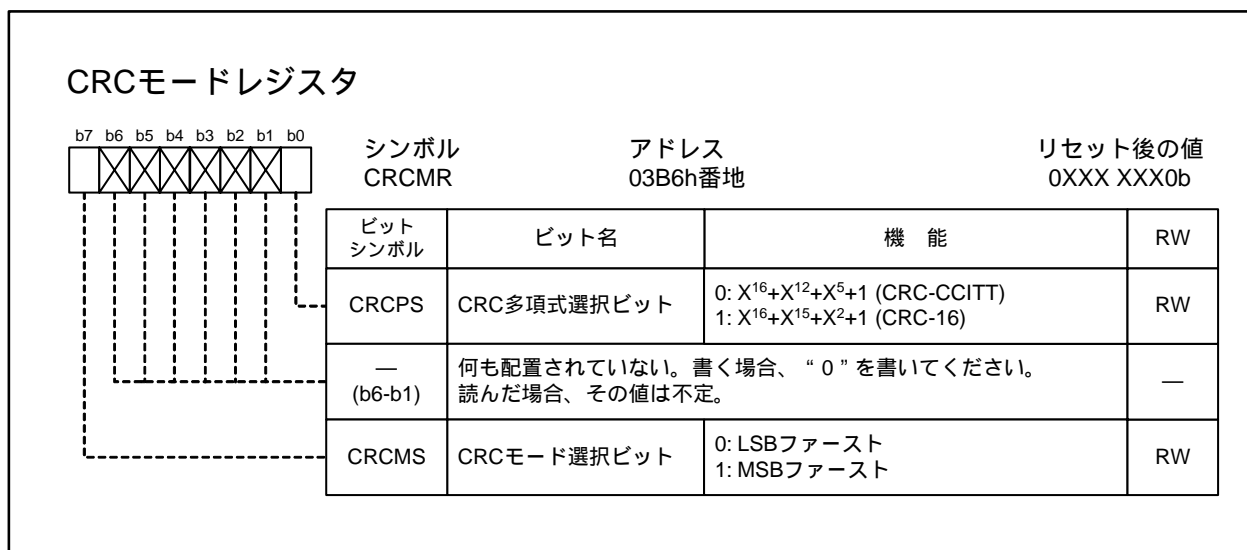


CRCSR (読み出し監視許可ビット) (b14)

CRCSW (書き込み監視許可ビット) (b15)

CRCSRビットとCRCSWビットの両方が“1”という状態にしないでください。CRCSWビットが“1”のとき、CRCSRビットは“0”にしてください。CRCSRビットが“1”のとき、CRCSWビットは“0”にしてください。

23.2.2 CRCモードレジスタ (CRCMR)

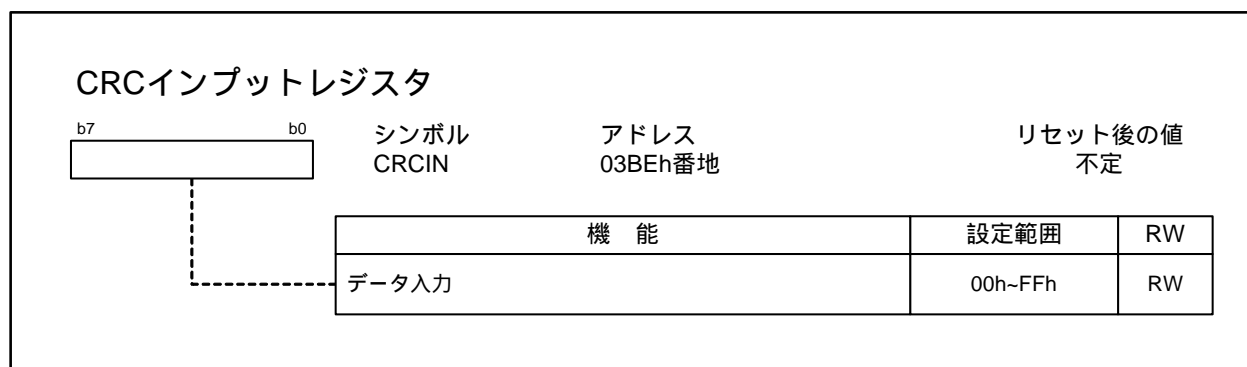


23.2.3 CRCデータレジスタ (CRCD)



CRCデータレジスタに“0000h”を書いた後、CRCINレジスタに最初のデータを書いてください。この処理はCRC演算をするたびに実行してください。「図23.2 CRC演算例(CRC-CCITT使用時)」、「図23.3 CRC演算例(CRC-16使用時)」の設定手順を参照してください。

23.2.4 CRCインプットレジスタ (CRCIN)



23.3 動作説明

23.3.1 基本動作

CRC(Cyclic Redundancy Check)回路は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)、またはCRC-16 ($X^{16}+X^{15}+X^2+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成はCPUクロックの2サイクルで終了します。

23.3.2 SFRアクセス監視機能

CRC演算回路は、SFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。SFRに書き込まれた、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。対象となる領域は0020h番地から03FFh番地のSFR領域です。例えば、UART送信バッファレジスタへの書き込みやUART受信バッファからの読み出しを監視する場合に便利です。

SFRへの書き込み/SFRからの読み出しを監視するためには、対象になるSFRアドレスをCRCSARレジスタのCRCSAR9~CRCSAR0ビットに設定します。CRCSARレジスタのCRCSWビットで対象SFRへの書き込みの監視を、CRCSARレジスタのCRCSRビットで対象SFRの読み出しの監視を許可します。

CRCSWビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれたデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、下位1バイトのデータに対してCRCコードを生成します。

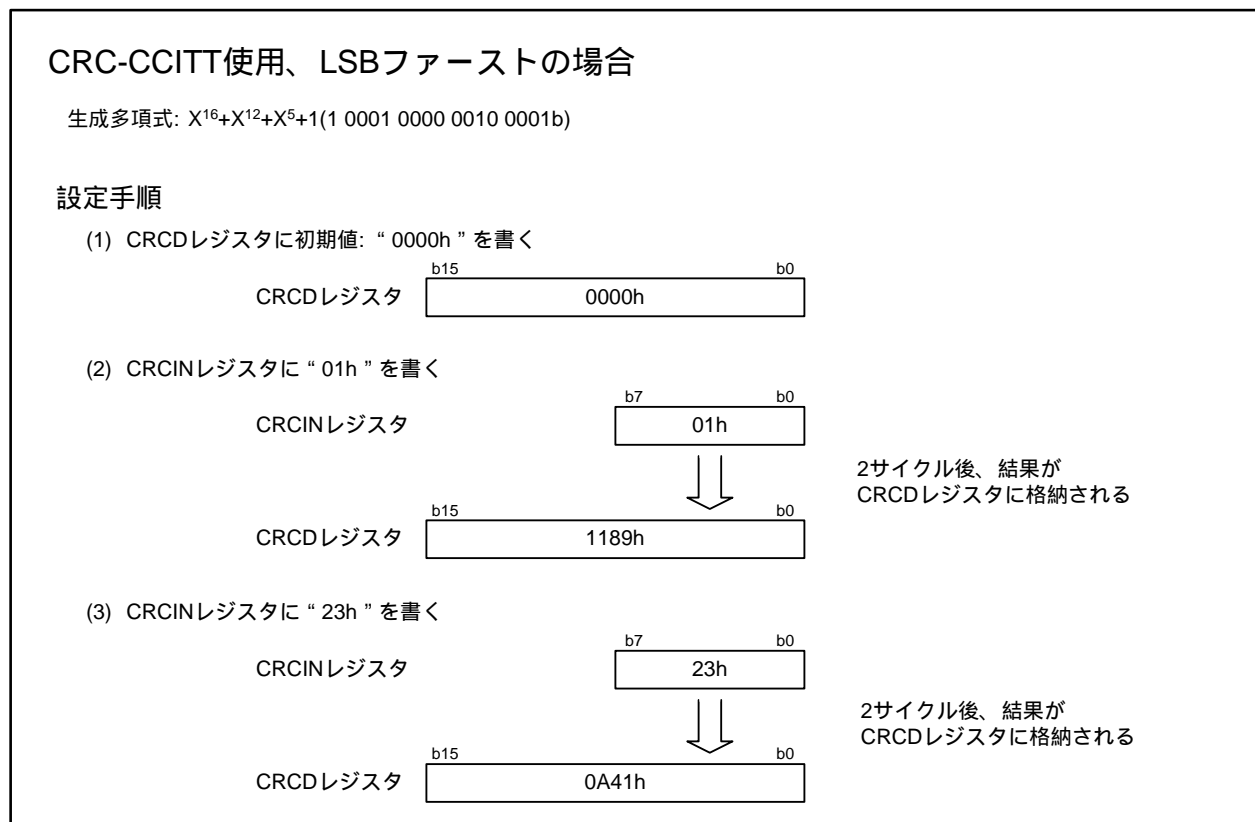


図 23.2 CRC演算例(CRC-CCITT使用時)

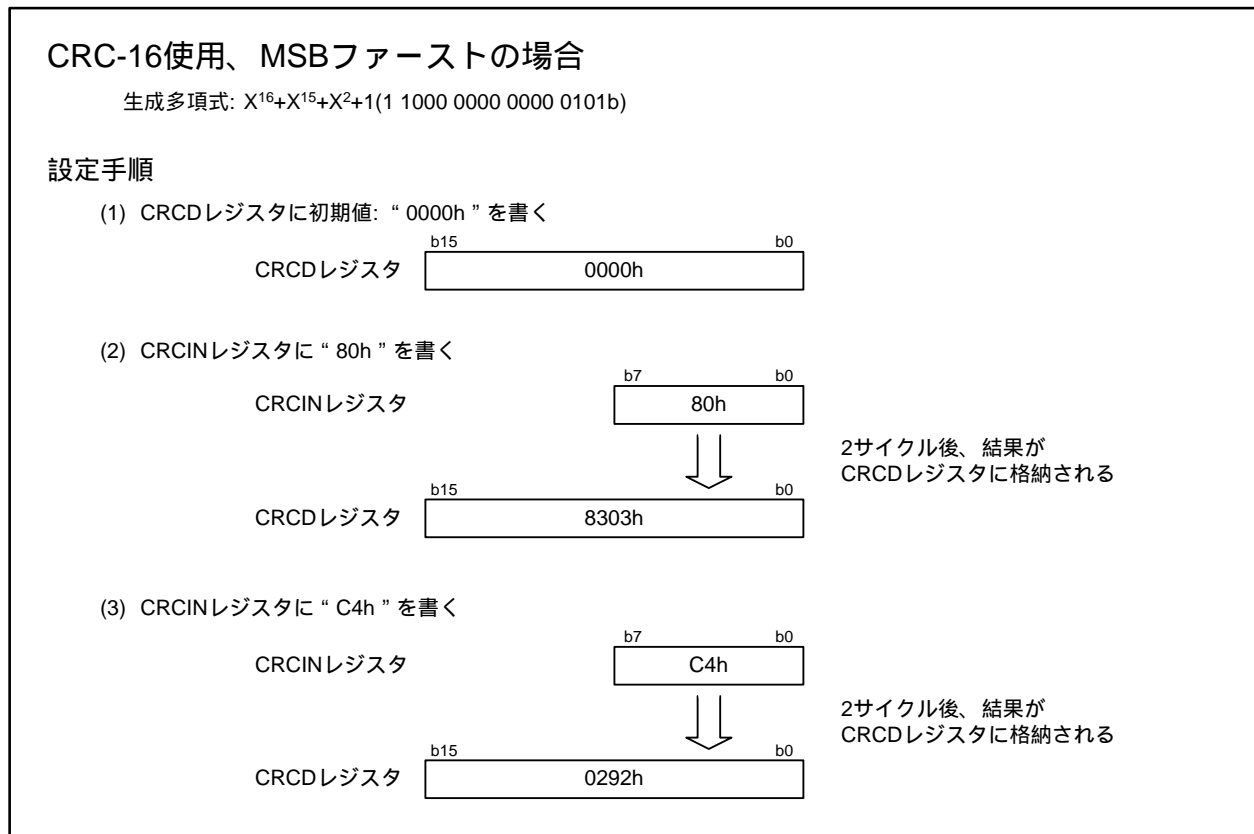


図 23.3 CRC演算例 (CRC-16使用時)

24. フラッシュメモリ

24.1 概要

本製品のROMはフラッシュメモリです。本章でフラッシュメモリという場合は、マイクロコンピュータ内部のフラッシュメモリを指します。

本製品では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表24.1にフラッシュメモリ版の仕様概要を示します(表24.1に示す以外の項目は「表1.1~表1.2仕様概要」を参照してください)。

表24.1 フラッシュメモリ版の仕様概要

項目		性能
フラッシュメモリの書き換えモード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	プログラムROM1	「図24.1フラッシュメモリのブロック図」を参照してください。
	プログラムROM2	1分割(16Kバイト)
	データフラッシュ	2分割(各4Kバイト)
プログラム方式		2ワード(4バイト)単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
サスペンド機能		プログラムサスペンド、イレーズサスペンド
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレーズ回数	プログラムROM1、プログラムROM2	1,000回(注1)
	データフラッシュ	10,000回(注1)
データ保持		20年間
フラッシュメモリ書き換え禁止機能		パラレル入出力モード ROMコードプロテクト機能 標準シリアル入出力モード対応 IDコードチェック機能、強制イレーズ機能、 標準シリアル入出力モード禁止機能
ユーザブート機能		ユーザブートモードあり

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

例えば、4Kバイトのブロックについて、2ワードの書き込みを1024回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が1,000回の場合、ブロックごとに1,000回ずつイレーズすることができます。

表24.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能 EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、フラッシュメモリを書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： 2線式クロック非同期形シリアルI/O	専用パラレルライタを使用して、フラッシュメモリを書き換える
書き換えできる領域	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ
ROMライタ	-	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

24.2 メモリ配置

本製品のROMはフラッシュメモリで、プログラムROM1、プログラムROM2、データフラッシュに分けられます。図24.1にフラッシュメモリのブロック図を示します。

フラッシュメモリはブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。また、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

プログラムROM2はPRG2CレジスタのPRG2C0ビットが“0”(プログラムROM2有効)のとき使用できます。

データフラッシュは、PM1レジスタのPM10ビットを“1”(0E000h~0FFFFhはデータフラッシュ)にすると使用できます。データフラッシュは、ブロックA、ブロックBに分割されます。

表24.3にプログラムROM1、プログラムROM2、データフラッシュの相違を示します。

なお、プログラムROM1、プログラムROM2、データフラッシュのいずれにもプログラムを配置できません。

表24.3 プログラムROM1、プログラムROM2、データフラッシュの相違

項目	フラッシュメモリ		
	プログラムROM1	プログラムROM2	データフラッシュ
プログラム、イレーズ回数	1,000回		10,000回
強制イレーズ機能	有効		無効
読み出し時の周波数制限	なし		あり
ユーザブートプログラム	配置しないでください	配置できる	配置しないでください

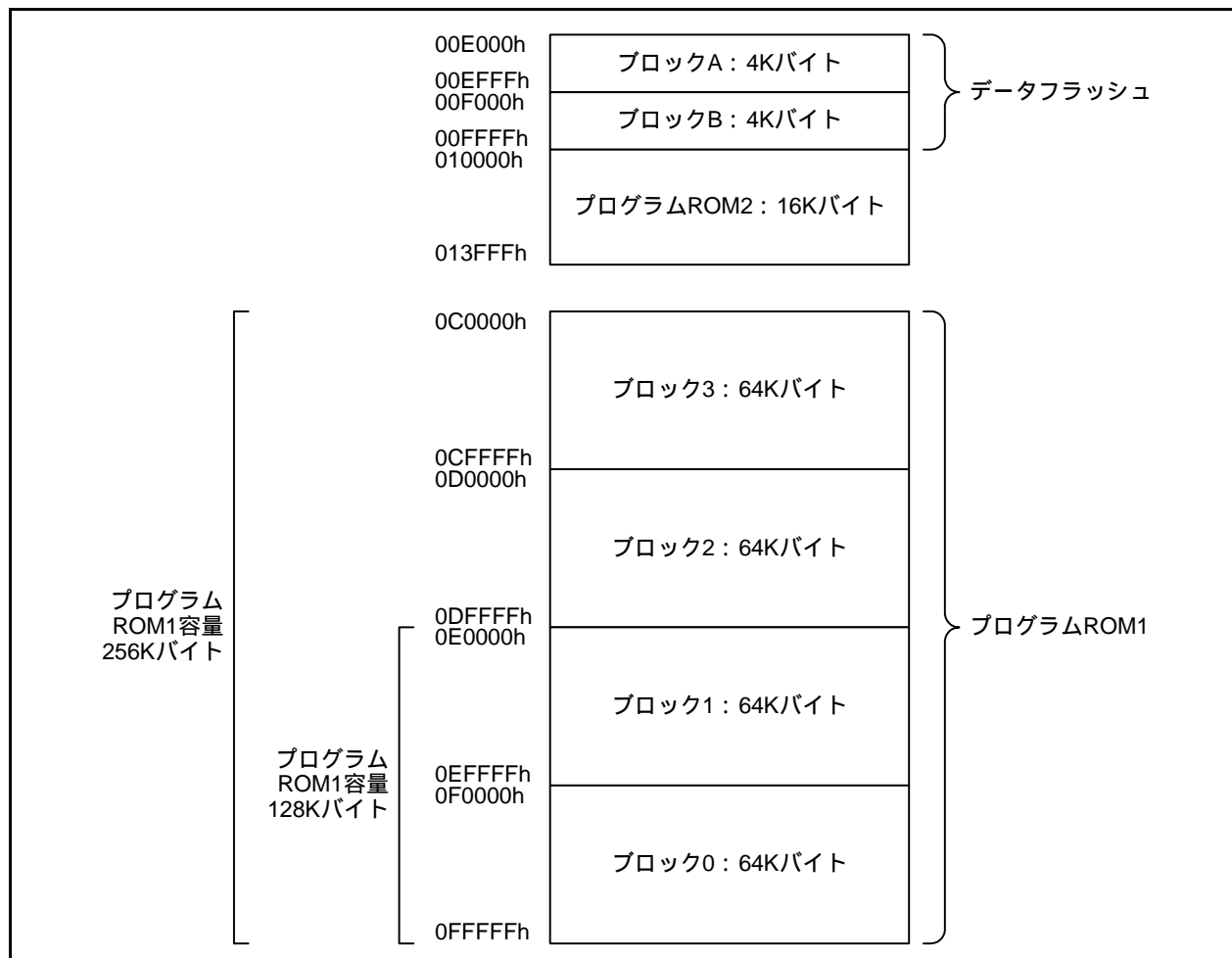


図24.1 フラッシュメモリのブロック図

24.3 レジスタの説明

表24.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h	フラッシュメモリ制御レジスタ7	FMR7	1000 0000b

24.3.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0		シンボル	アドレス	リセット後の値
		FMR0	0220h番地	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
ビットシンボル	ビット名	機能	RW	
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO	
FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW	
FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効	RW	
FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW	
— (b4)	予約ビット	“0” にしてください	RW	
— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。	RW	
FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了	RO	
— (b7)	予約ビット	読んだ場合、不定	RO	

FMR00 (RY/BYステータスフラグ) (b0)

フラッシュメモリの動作状況を示すビットです。

[“0” になる条件]

次のコマンド実行中。

プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック

- ・フラッシュメモリ停止 (FMSTPが “1”)
- ・FMSTPを “1” にした後、“0” にした場合の復帰動作中

[“1” になる条件]

上記以外

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。

また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMR02 (ロックビット無効選択ビット) (b2)

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「24.8.2 データ保護機能」参照)。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

FMR02ビットは、FMR01ビットが“1”(CPU書き換えモード有効)のとき有効です。FMR02ビットを“1”または“0”にするときは、FMR01ビットが“1”のときに変更してください。

FMR02ビットを“1”にするときは、FMR01ビットが“1”の状態、FMR02ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

プログラム中、イレーズ中、サスペンド中、FMR02ビットを変更しないでください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)

FMSTPビットを“0”(フラッシュメモリ動作)にした後は、フラッシュメモリ回路安定待ち時間(tps)待ってから、次の操作をしてください。

また、FMSTPビットを“1”にした後、すぐにFMSTPビットを“0”にする場合は、FMSTPビットを“1”にした後もtps待ってください。この場合の手順を下に示します。

- (1) FMSTPビットを“1”にする
- (2) フラッシュメモリ回路安定待ち時間(tps)待つ
- (3) FMSTPビットを“0”にする
- (4) フラッシュメモリ回路安定待ち時間(tps)待つ

FMSTPビットは、FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

FMR22ビットが“1”(スローリードモード許可)または、FMR23ビットが“1”(低消費電流リードモード許可)のとき、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。

FMR06 (プログラムステータスフラグ) (b6)

自動書き込みの状況を示すビットです。

[“ 0 ” になる条件]

- クリアステータスコマンド実行

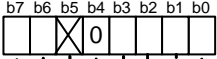
[“ 1 ” になる条件]

- 「24.8.6.1 フルステータスチェック」参照

FMR06ビットが “ 1 ” のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

24.3.2 フラッシュメモリ制御レジスタ1 (FMR1)

フラッシュメモリ制御レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR1	アドレス 0221h番地	リセット後の値 00X0 XX0Xb
	ビット シンボル	ビット名	機能
— (b0)	予約ビット	読んだ場合、不定	RO
FMR11	FMR6レジスタへの書き込み許可ビット	0: 禁止 1: 許可	RW
— (b3-b2)	予約ビット	読んだ場合、不定	RO
FMR14	CPU書き換え単位選択ビット	0: ワード 1: バイト	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
FMR16	ロックビットステータスフラグ	0: ロック 1: 非ロック	RO
FMR17	データフラッシュウェイトビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う	RW

FMR11(FMR6レジスタへのRW書き込み許可ビット) (b1)

FMR11ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。

FMR14 (CPU書き換え単位選択ビット) (b4)

CPU書き換え単位を選択するビットです。EW1モードでプログラムコマンドを使用する際は、“1”(バイト)にしてください。

FMR14ビットを“1”にするときは、FMR01ビットが“1”の状態、FMR14ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR16 (ロックビットステータスフラグ) (b6)

リードロックビットステータスコマンド実行結果を示すビットです。

FMR17 (データフラッシュウェイトビット) (b7)

データフラッシュのウェイトを選択するビットです。

“0”(1ウェイト)にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

24.3.3 フラッシュメモリ制御レジスタ2 (FMR2)

フラッシュメモリ制御レジスタ2

ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0” にしてください	RW
FMR22	スローリードモード許可ビット	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード許可ビット	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—

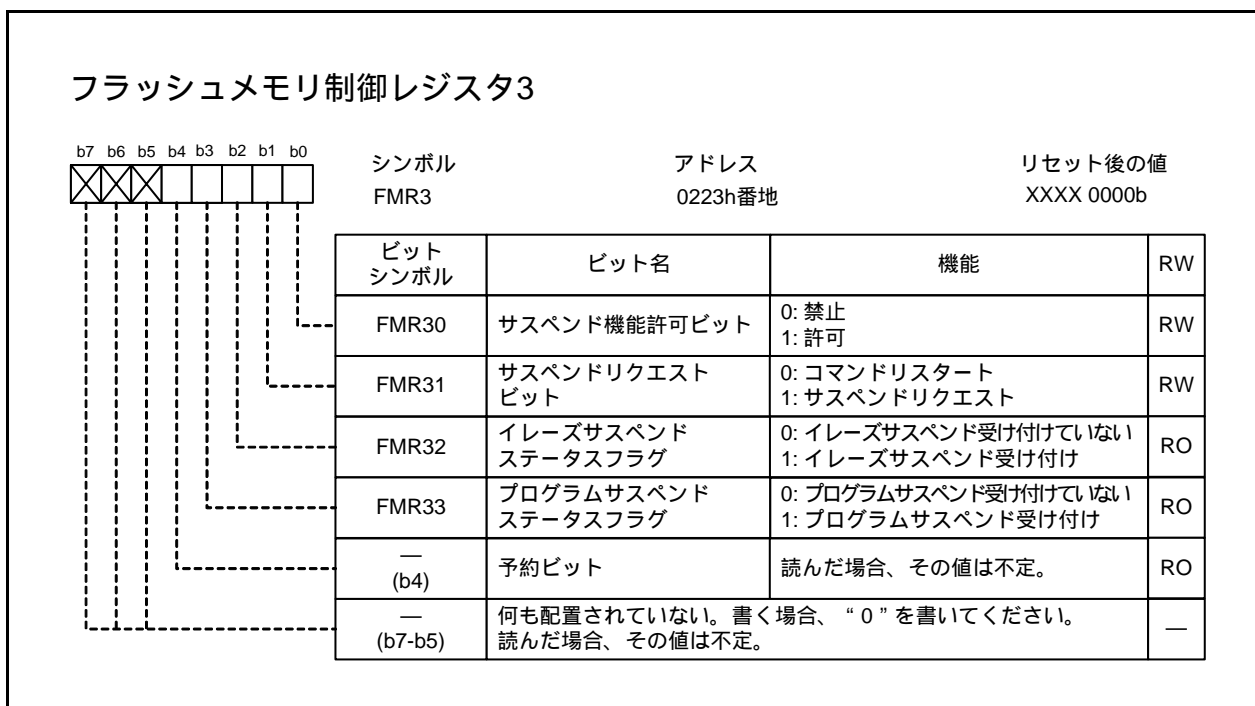
シンボル: FMR2
アドレス: 0222h番地
リセット後の値: XXXX 0000b

FMR22 (スローリードモード許可ビット) (b2)

FMR23 (低消費電流リードモード許可ビット) (b3)

詳細は「9.4 フラッシュメモリのパワーコントロール」を参照してください。

24.3.4 フラッシュメモリ制御レジスタ3 (FMR3)



FMR30(サスペンド機能許可ビット) (b0)

FMR30ビットを“1”にするときは“0”を書いた後、続けて“1”を書いてください。“0”を書いた後“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

24.3.5 フラッシュメモリ制御レジスタ6 (FMR6)

フラッシュメモリ制御レジスタ6			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR6	アドレス 0230h番地	リセット後の値 XX0X XX00b
	ビット シンボル	ビット名	機能
FMR60	EW1モード選択ビット	0: EW0モード 1: EW1モード	RW
FMR61	予約ビット	“1”にしてください	RW
— (b4-b2)	予約ビット	読んだ場合、不定	RO
— (b5)	予約ビット	“0”にしてください	RW
— (b7-b6)	予約ビット	読んだ場合、不定	RO

FMR6レジスタをアクセスする場合、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

FMR60 (EW1モード選択ビット) (b0)

“1”にするときは、FMR0レジスタのFMR01ビットとFMR1レジスタのFMR11ビットがともに“1”の状態、FMR60ビットに“1”を書いてください。

FMR60ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。また、FMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

FMR61 (b1)

CPU書き換えモードを使用する場合“1”にしてください。

24.3.6 フラッシュメモリ制御レジスタ7 (FMR7)

フラッシュメモリ制御レジスタ7			
ビット シンボル	ビット名	機能	RW
(b0)	予約ビット	読んだ場合、不定	RO
(b1)	予約ビット	読んだ場合、不定	RO
(b2)	予約ビット	読んだ場合、不定	RO
(b3)	予約ビット	読んだ場合、不定	RO
(b4)	予約ビット	読んだ場合、不定	RO
FMR75	イレーズステータス フラグ	0: 正常終了 1: エラー終了	RO
(b6)	予約ビット	読んだ場合、不定	RO
(b7)	予約ビット	読んだ場合、不定	RO

FMR75 (イレーズステータスフラグ) (b5)

自動消去の状態を示すビットです。

[“0” になる条件]

- クリアステータスコマンド実行

[“1” になる条件]

- 「24.8.6.1 フルステータスチェック」参照

FMR75ビットが “1” のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

24.4 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

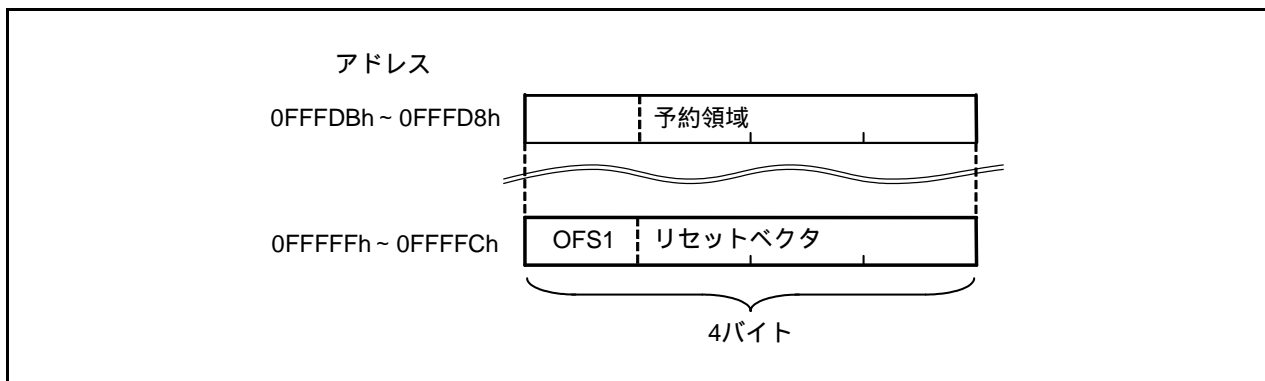
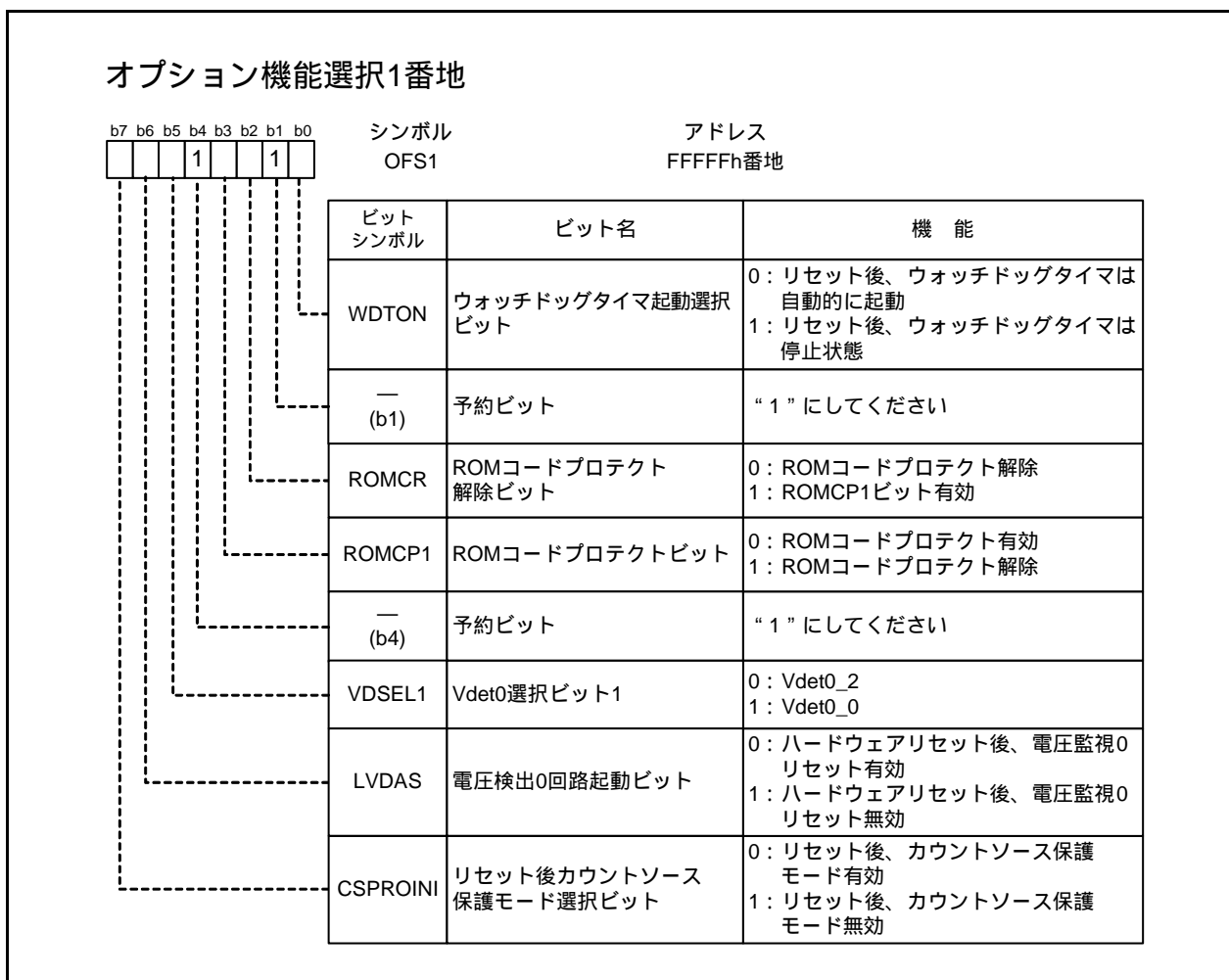


図24.2 オプション機能選択領域

24.4.1 オプション機能選択1番地 (OFS1)



ROMCR (ROMコードプロテクト解除ビット) (b2)

ROMCP1 (ROMコードプロテクトビット) (b3)

パラレル入出力モードによるフラッシュメモリの読み出しや内容の変更を禁止します。

表24.5 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

24.5 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込み、消去を禁止する機能です。詳細は各モードで説明します。

パラレル入力モード

ROMコードプロテクト機能

標準シリアル入出力モード

IDコードチェック機能、強制イレーズ機能、標準シリアル入出力モード禁止機能

24.6 ブートモード

CNVSS 端子に“H”を入力してハードウェアリセットすると、リセット解除後ブートモードになります。ブートモードでは、ユーザブートコード領域の内容に従って、ユーザブートモードまたは標準シリアル入出力モードが選択できます。標準シリアル入出力モードは「24.9 標準シリアル入出力モード」を参照してください。

電圧監視0リセットでは、ブートモードにはなりません。

24.7 ユーザブートモード

ユーザが作成したフラッシュメモリ書き換えプログラムを起動するためのモードです。

フラッシュメモリ書き換えプログラムは、プログラムROM2に配置してください。ユーザブートモードでは10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。起動後はプログラムに従って、EW0モードまたはEW1モードでフラッシュメモリを書き換えます。

24.7.1 ユーザブート機能

ブートモードで起動するとき、任意のポートの状態で、ユーザブートモードを選択できます。表24.6にユーザブート機能の仕様を示します。

表24.6 ユーザブート機能の仕様

項目	仕様
エントリに使用する端子	端子なし、またはポートP0~P10のうち1端子を選択
ユーザブート起動レベル	“H”または“L”選択
ユーザブートの先頭番地	10000h番地(プログラムROM2の先頭番地)

ユーザブートコード領域の13FF0h~13FF7h番地にASCIIコードで“UserBoot”を設定し、13FF8h~13FF9h番地と13FFAh番地でエントリに使用するポートを、13FFBh番地で起動レベルを選択してください。ブートモード起動後、選択したポートのレベルに従って、ユーザブートモードまたは標準シリアル入出力モードが起動します。

また、13FF0h~13FF7h番地がASCIIコードで“UserBoot”かつ、13FF8h~13FFBh番地がすべて“00h”の場合はユーザブートモードになります。

ユーザブートモードになると10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。

図24.3にユーザブートコード領域を、表24.7に起動モードを、表24.8に“UserBoot”のASCIIコードを、表24.9にエントリに使用できるポートのアドレスを示します。

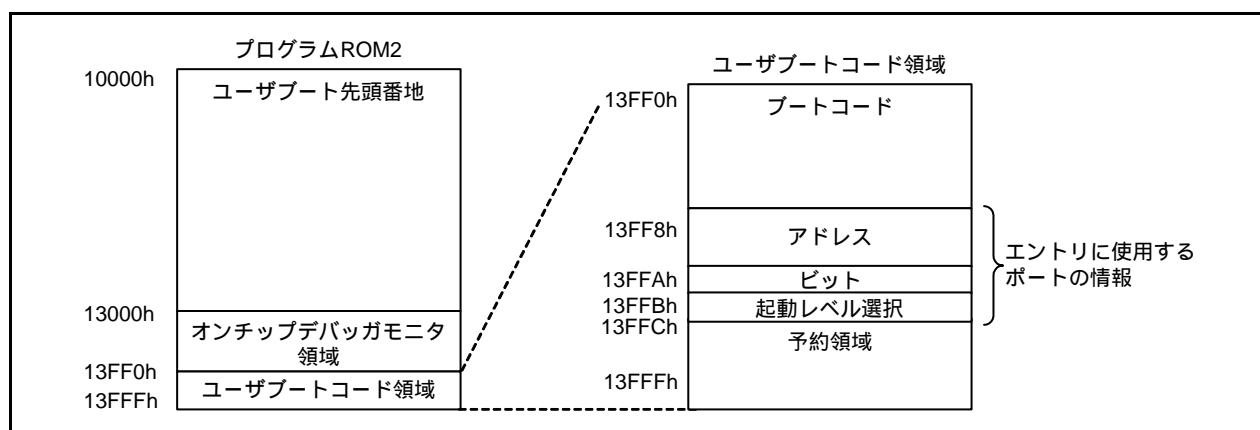


図24.3 ユーザブートコード領域

表24.7 起動モード(エントリに使用するポートをポートPi_jとした場合)(注1)

ブートコード (13FF0h~ 13FF7h番地)	エントリに使用するポートの情報			ポート Pi _j 入力 レベル	起動するモード
	アドレス (13FF8h~ 13FF9h番地)	ビット (13FFAh番地)	起動レベル選択 (13FFBh番地)		
ASCIIコードで “ UserBoot ” (注2)	0000h	00h	00h	-	ユーザブートモード
	Piレジスタの 番地(注3)	00h~07h (jの値)	00h	H	標準シリアル入出力モード
	Piレジスタの 番地(注3)	00h~07h (jの値)	01h	L	ユーザブートモード
ASCIIコードで “ UserBoot ” 以外	-	-	-	-	標準シリアル入出力モード

i=0, 1, 6 ~10、 j=0~7

注1. 表24.7にない値、組み合わせを設定しないでください。

注2. 「表24.8 “ UserBoot ” のASCIIコード」参照

注3. 「表24.9 エントリに使用できるポートのアドレス」参照

表24.8 “ UserBoot ” のASCIIコード

番地	ASCIIコード
13FF0h	55h (“ U ” 大文字)
13FF1h	73h (“ s ” 小文字)
13FF2h	65h (“ e ” 小文字)
13FF3h	72h (“ r ” 小文字)
13FF4h	42h (“ B ” 大文字)
13FF5h	6Fh (“ o ” 小文字)
13FF6h	6Fh (“ o ” 小文字)
13FF7h	74h (“ t ” 小文字)

表24.9 エントリに使用できるポートのアドレス

ポート	アドレス	
	13FF9h	13FF8h
P0	03h	E0h
P1	03h	E1h
P6	03h	ECh
P7	03h	EDh
P8	03h	F0h
P9	03h	F1h

表24.10 ユーザブートコード領域設定例

ポートP1_5の入力レベルが“L”のときユーザブートモードで起動する場合

番地	設定値	意味
13FF0h	55h	“U”大文字
13FF1h	73h	“s”小文字
13FF2h	65h	“e”小文字
13FF3h	72h	“r”小文字
13FF4h	42h	“B”大文字
13FF5h	6Fh	“o”小文字
13FF6h	6Fh	“o”小文字
13FF7h	74h	“t”小文字
13FF8h	E1h	ポートP1_5
13FF9h	03h	
13FFAh	05h	
13FFBh	00h	
		“L”レベル

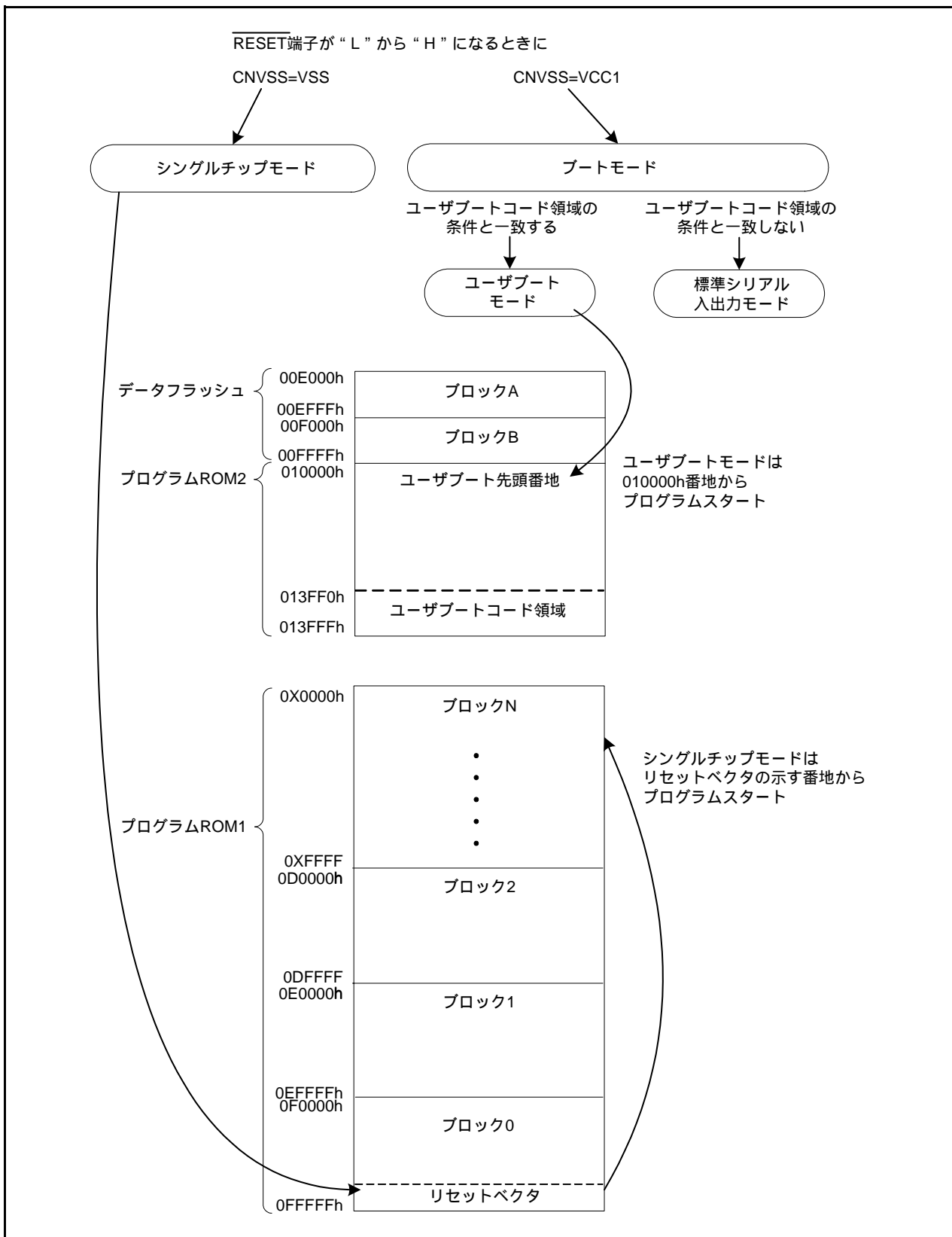


図 24.4 ユーザブートモードのプログラムスタート番地

24.8 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、データフラッシュを書き換えることができます。

プログラム、ブロックイレーズのコマンドは、プログラムROM1、プログラムROM2、データフラッシュの各ブロック領域のみに対して実行してください。

CPU書き換えモードで消去および書き込み動作中に、動作を一時中断するサスペンド機能を持ちます。サスペンド機能の詳細は「24.8.3 サスペンド機能」を参照してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表24.11にEW0モードとEW1モードの違いを示します。

EW0モード、EW1モードは両モードに共通の事項の後で説明します。

表24.11 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
書き換え制御 プログラムを配置 できる領域	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2 	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2
書き換え制御 プログラムを実行 できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	プログラムROM1、プログラムROM2で実行可能
書き換えられる領域	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2 データフラッシュ 	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2 データフラッシュ ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェア コマンドの制限	なし	<ul style="list-style-type: none"> プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 リードステータスレジスタコマンド 実行禁止
プログラム、 イレーズ後と、 プログラムサスペンド、 イレーズサスペンド中 のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、 自動消去時の状態	バスホールドにならない	バスホールドになる(注1)
フラッシュメモリの ステータス検知	<ul style="list-style-type: none"> プログラムでFMR0レジスタのFMR00、FMR06ビット、FMR7レジスタのFMR75ビット、FMR3レジスタのFMR32、FMR33ビットを読む リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む 	プログラムでFMR0レジスタのFMR00、FMR06ビット、FMR7レジスタのFMR75ビット、FMR3レジスタのFMR32、FMR33ビットを読む

注1. バスホールドの詳細は「11.3.1.2 バスホールド」参照。

24.8.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

24.8.2 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。表24.12にロックビットとブロックの状態を示します。

表24.12 ロックビットとブロックの状態

FMR0レジスタのFMR02ビット	ロックビット	ブロックの状態
0(有効)	0(ロック)	プログラムまたはイレーズができない
	1(非ロック)	プログラムまたはイレーズができる
1(無効)	0(ロック)	プログラムまたはイレーズができる
	1(非ロック)	

ロックビットデータが変化する条件は次の通りです。

[“0”になる条件]

- ロックビットプログラムコマンド実行

[“1”になる条件]

- FMR0レジスタのFMR02ビットが“1”(ロックビット無効)の状態、ブロックイレーズコマンド実行

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。ロックビットデータは、リードロックビットステータスコマンドで読めます。

各コマンドの詳細は、「24.8.4 ソフトウェアコマンド(EW0モード)」を参照してください。

24.8.3 サスペンド機能

サスペンド機能は自動消去、自動書き込みの途中で、これらの動作を一時中断する機能です。これらの動作を中断したとき、プログラムROM1、プログラムROM2、データフラッシュを読み出すことができるので、割り込み処理に利用できます。サスペンドに移行するための割り込みを、あらかじめ割り込み許可状態にしてください。

サスペンドの対象になるコマンドは、プログラムコマンド、イレーズコマンド、ロックビットプログラムコマンドです。ロックビットプログラムコマンド実行中のサスペンド動作は、プログラムコマンド実行中と同じですので、プログラムサスペンドとして説明します。

なお、サスペンド中に再度サスペンドしないでください。表24.13にサスペンド中にコマンドを発行した場合の動作を示します。

表24.13 サスペンド中にコマンドを発行した場合の動作

サスペンド	コマンド	動作	
		サスペンド前にイレーズまたはプログラムしていたブロック	他のブロック
イレーズサスペンド (イレーズコマンド実行中のサスペンド)	ブロックイレーズ	コマンドは実行されず、コマンドシーケンスエラーになる	
	プログラム	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる。ここでFMR31ビットを“1”(サスペンドリクエスト)にしても、プログラムサスペンドにはならない。エラーにもならない。
	ロックビットプログラム	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる
	リードアレイ	コマンドを実行できる	
	リードステータスレジスタ		
	クリアステータスレジスタ		
	リードロックビットステータス	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる
ブロックブランクチェック	コマンドを実行しないでください		
プログラムサスペンド (プログラム、またはロックビットプログラムコマンド実行中のサスペンド)	ブロックイレーズ	コマンドは実行されず、コマンドシーケンスエラーになる(注1)	
	プログラム		
	ロックビットプログラム		
	リードアレイ	コマンドを実行できる	
	リードステータスレジスタ		
	クリアステータスレジスタ	コマンドを実行しないでください(注1)	
	リードロックビットステータス	コマンドを実行しないでください	
ブロックブランクチェック			

注1. ただし、プログラムサスペンド中に誤ってブロックイレーズ、プログラム、またはロックビットプログラムコマンドを実行し、コマンドシーケンスエラーとなった場合は、クリアステータスレジスタコマンドを実行した後、サスペンドを再開してください。

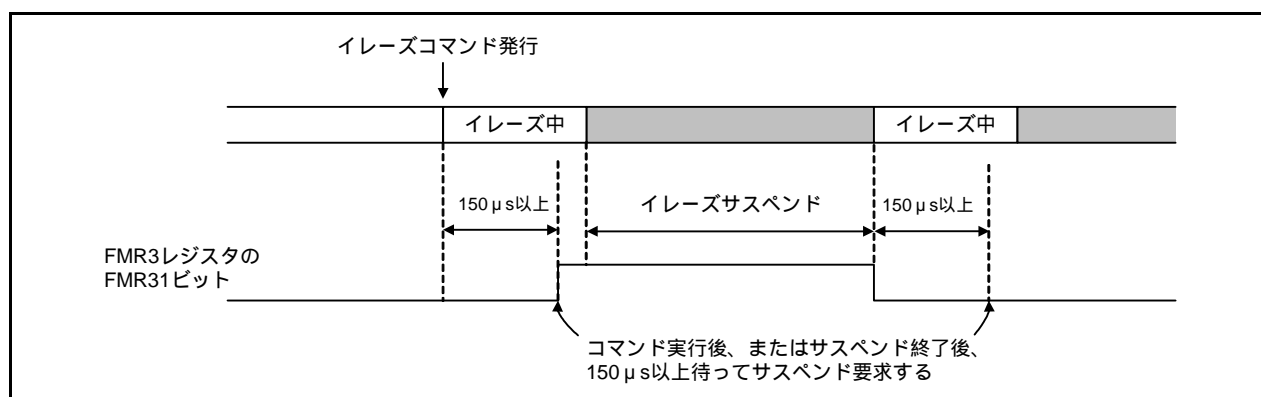


図24.5 サスペンド要求

24.8.4 ソフトウェアコマンド(EW0モード)

表24.14にEW0モードのソフトウェアコマンド一覧表を示します。コマンド、データの読み出し、書き込みは16ビット単位で行ってください。コマンドコード書き込み時、上位8ビット(D15~D8)は無視されます。

表24.14 EW0モードのソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)
リードアレイ	ライト	x	xxFFh						
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD			
クリアステータスレジスタ	ライト	x	xx50h						
プログラム	ライト	WA	xx41h	ライト	WA	WD0	ライト	WA	WD1
ブロックイレーズ	ライト	x	xx20h	ライト	BA	xxD0h			
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h			
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h			
ブロックブランクチェック(注1)	ライト	x	xx25h	ライト	BA	xxD0h			

SRD : ステータスレジスタデータ(D7~D0)

WA : 書き込み番地(番地の末尾は0h、4h、8hまたはChにしてください)

WD0 : 書き込みデータ下位ワード(16ビット)

WD1 : 書き込みデータ上位ワード(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

x : プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

注1. ブロックブランクチェックコマンドはライター向けを想定したものであり、一般ユーザ向けのコマンドではありません。

次に各ソフトウェアコマンドを説明します。

フローチャート内の記号は表24.12と同じなので、記号の説明はこれらを参照してください。

サスペンド機能を使用する場合のプログラム、ブロックイレーズ、ロックビットプログラムコマンドは「24.8.3 サスペンド機能」を参照してください。

24.8.5 ソフトウェアコマンド(EW1モード)

表24.15にEW1モードのソフトウェアコマンド一覧表を示します。コマンド、データの読み出し、書き込みは16ビット単位で行ってください。コマンドコード書き込み時、上位8ビット(D15~D8)は無視されます。

プログラムコマンドを使用する際は、FMR1レジスタのFMR14ビットを“1”にしてください。

表24.15 EW1モードのソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル以降		
	モード	アドレス	データ(D15~D0)	モード	アドレス	データ(D15~D0)	モード	アドレス	データ(D15~D0)
リードアレイ	ライト	x	xxFFh						
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD			
クリアステータスレジスタ	ライト	x	xx50h						
プログラム	ライト	WA	xx41h	ライト	WA	FF ₁₆ +BD0	ライト	WA	FF ₁₆ +BDn (n = 1~3)
ブロックイレーズ	ライト	x	xx20h	ライト	BA	xxD0h			
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h			
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h			
ブロックブランクチェック(注1)	ライト	x	xx25h	ライト	BA	xxD0h			

SRD : ステータスレジスタデータ(D7~D0)

WA : 書き込み番地(番地の末尾は0h、4h、8hまたはChにしてください)

WD0 : 書き込みデータ下位ワード(16ビット)

WD1 : 書き込みデータ上位ワード(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

x : プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

BD : 書き込みバイトデータ(8ビット)(上位バイト(D8~D15)は“FF₁₆”にしてください)

注1. ブロックブランクチェックコマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

次に各ソフトウェアコマンドを説明します。

フローチャート内の記号は表24.12と同じなので、記号の説明はこれらを参照してください。

サスペンド機能を使用する場合のプログラム、ブロックイレーズ、ロックビットプログラムコマンドは「24.8.3 サスペンド機能」を参照してください。

24.8.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

コマンドコード“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

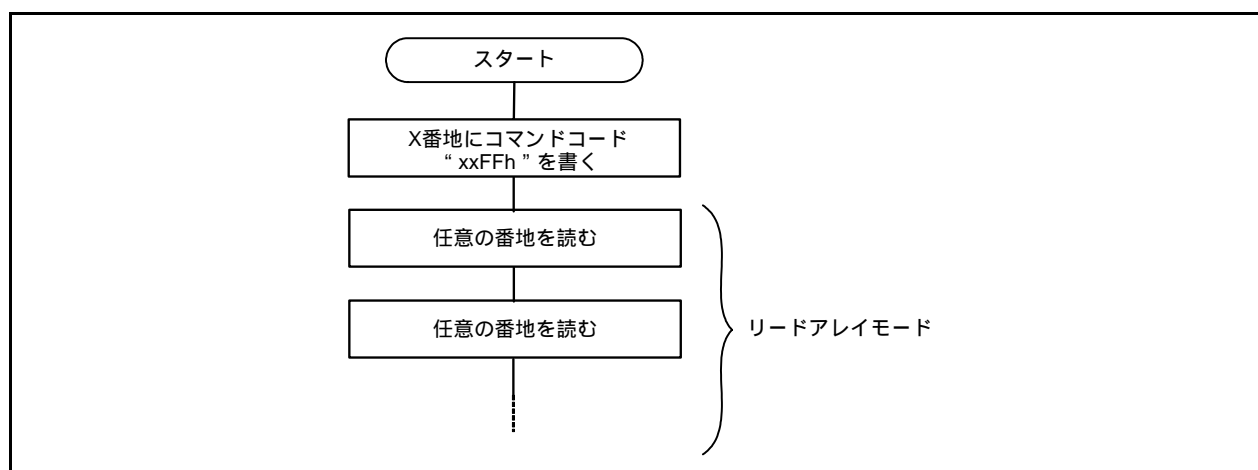


図24.6 リードアレイフローチャート

24.8.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

コマンドコード“xx70h”を書くと、次のバスサイクルでステータスレジスタが読めます(「24.8.6 ステータスレジスタ」参照)。なお、読むときもプログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

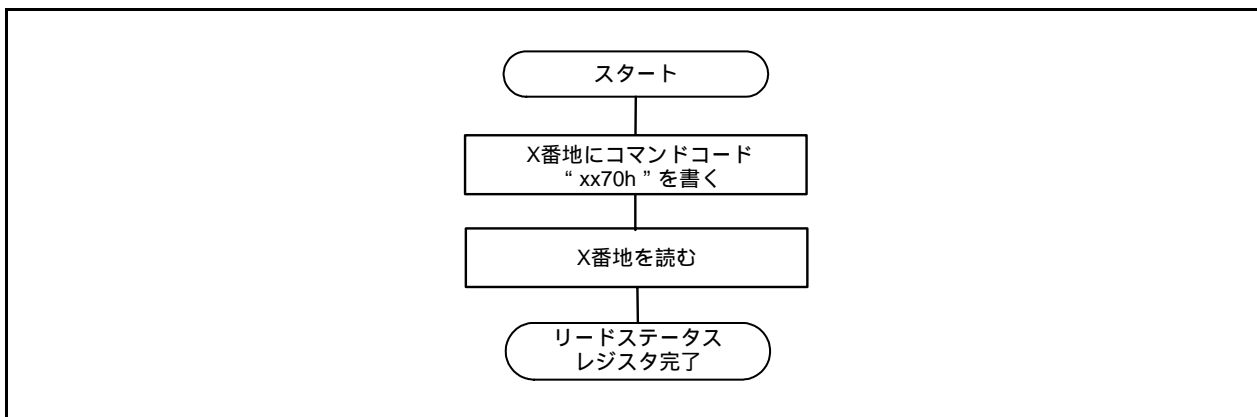


図24.7 リードステータスレジスタフローチャート

24.8.5.3 クリアステータスレジスタ

コマンドコード“xx50h”を書くと、FMR0レジスタのFMR06ビット(ステータスレジスタのSR4)は“0”になります。

FMR7レジスタのFMR75ビット(ステータスレジスタのSR5)は“0”になります。

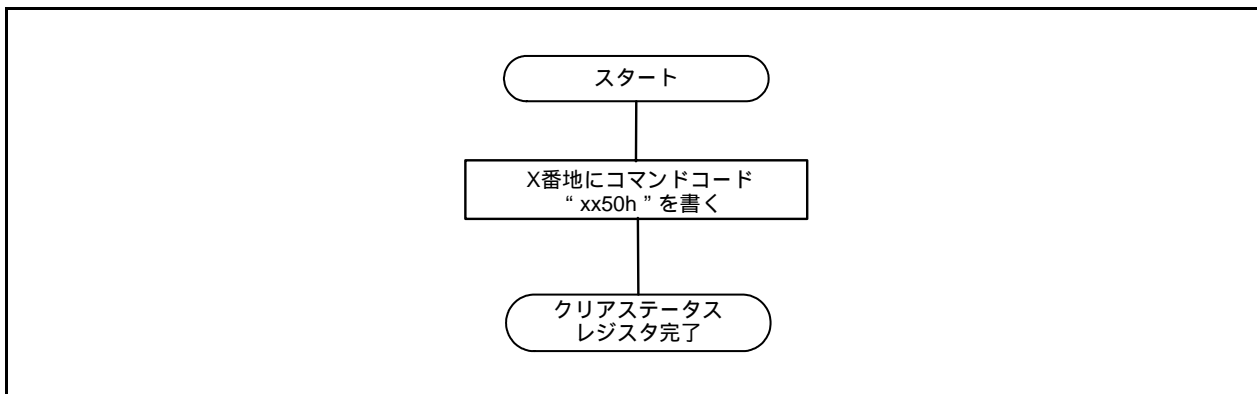


図24.8 クリアステータスレジスタフローチャート

24.8.5.4 プログラム(EW0モード)

2ワード(4バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで書き込み番地に“xx41h”を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0h、4h、8hまたはChにしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「24.8.6.1 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みしないでください。図24.9にEW0モードのプログラムフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「24.8.2 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

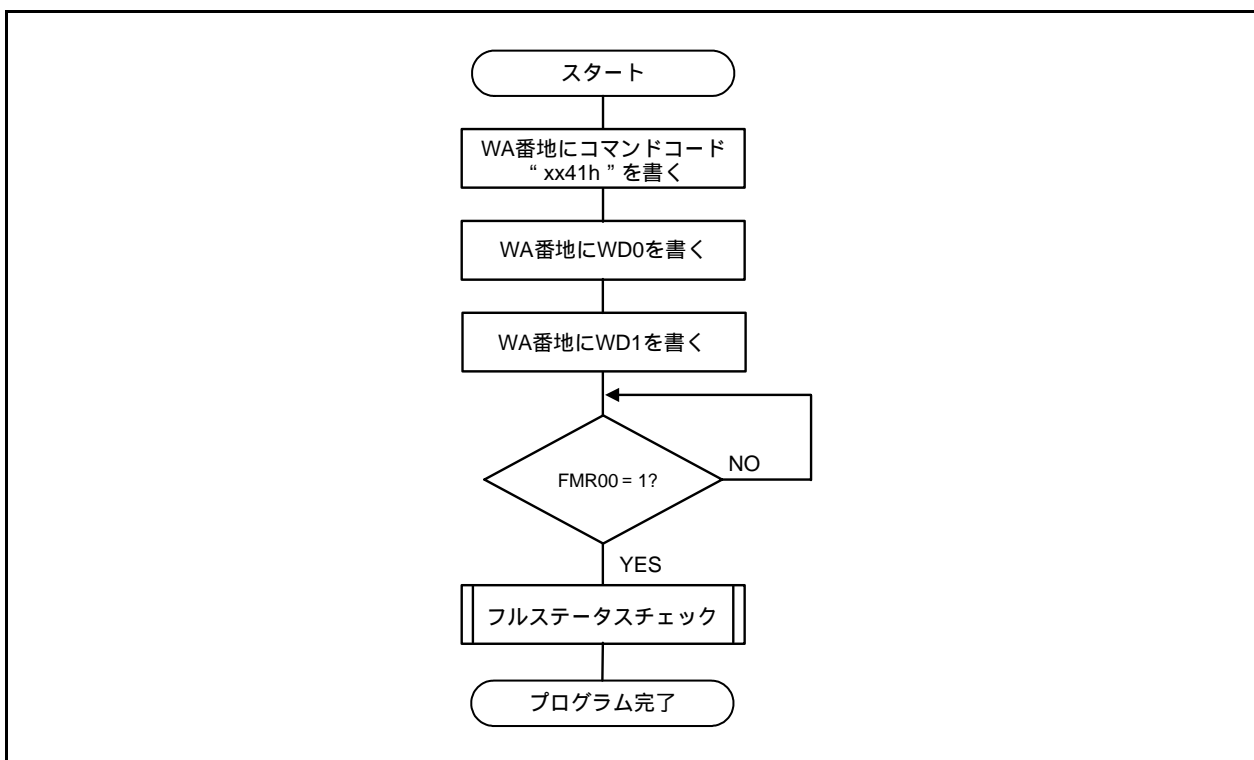


図24.9 EW0モードのプログラムフローチャート(サスペンド機能禁止時)

24.8.5.5 プログラム(EW1モード)

4バイト単位でフラッシュメモリにデータを書くコマンドです。FMR1レジスタのFMR14ビットを“1”にしてください。

第1バスサイクルで書き込み番地に“xx41h”を書き、第2バスサイクルと第3~第5バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0h、4h、8hまたはChにしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「24.8.6.1 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みしないでください。図24.9にEW0モードのプログラムフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「24.8.2 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

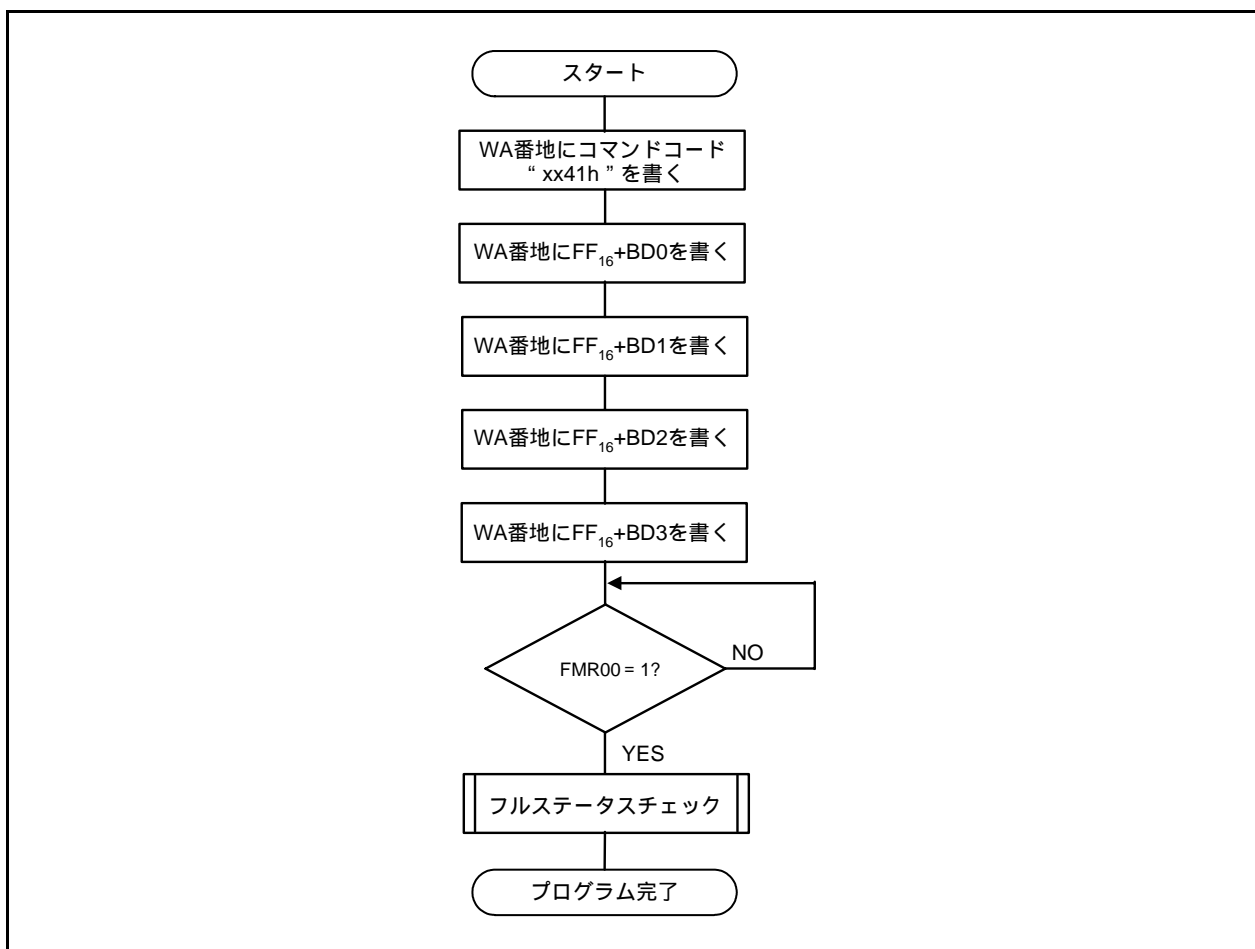


図24.10 EW1モードのプログラムフローチャート(サスペンド機能禁止時)

24.8.5.6 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR7レジスタのFMR75ビットで、自動消去の結果を知ることができます(「24.8.6.1 フルステータスチェック」参照)。

図24.11にブロックイレーズフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「24.8.2 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

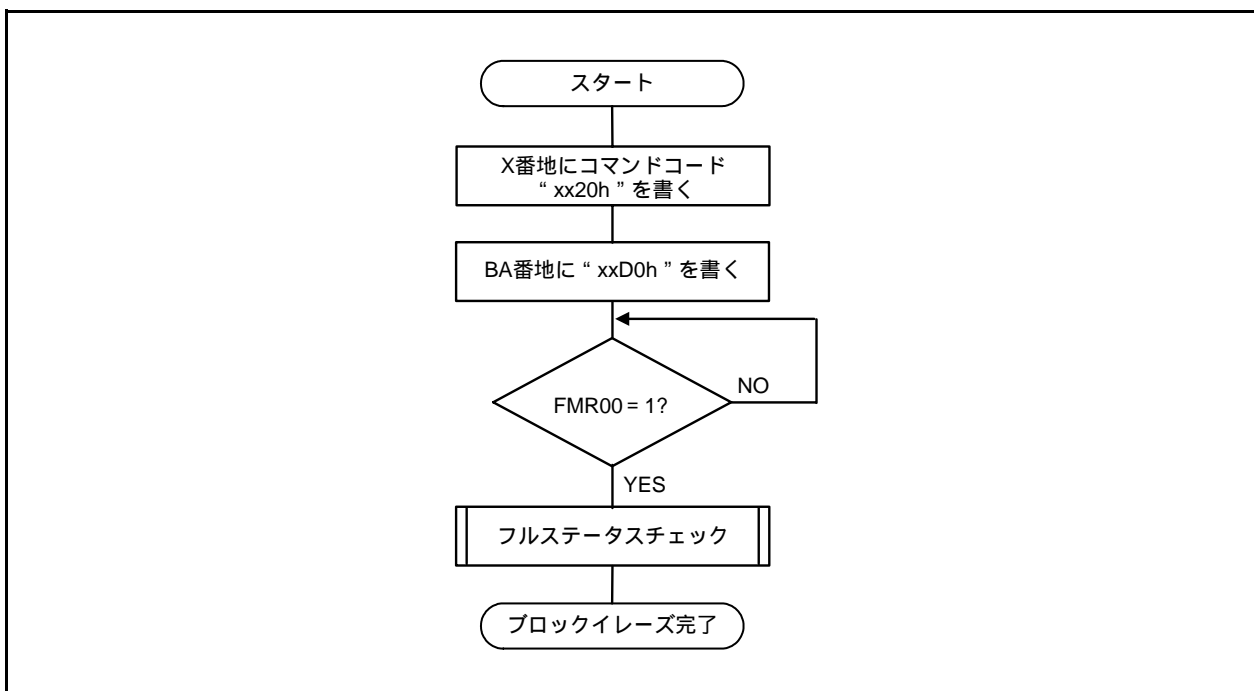


図24.11 ブロックイレーズフローチャート(サスペンド機能禁止時)

24.8.5.7 ロックビットプログラム

任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図24.12にロックビットプログラムフローチャート(サスペンド機能禁止時)を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については、「24.8.2 データ保護機能」を参照してください。

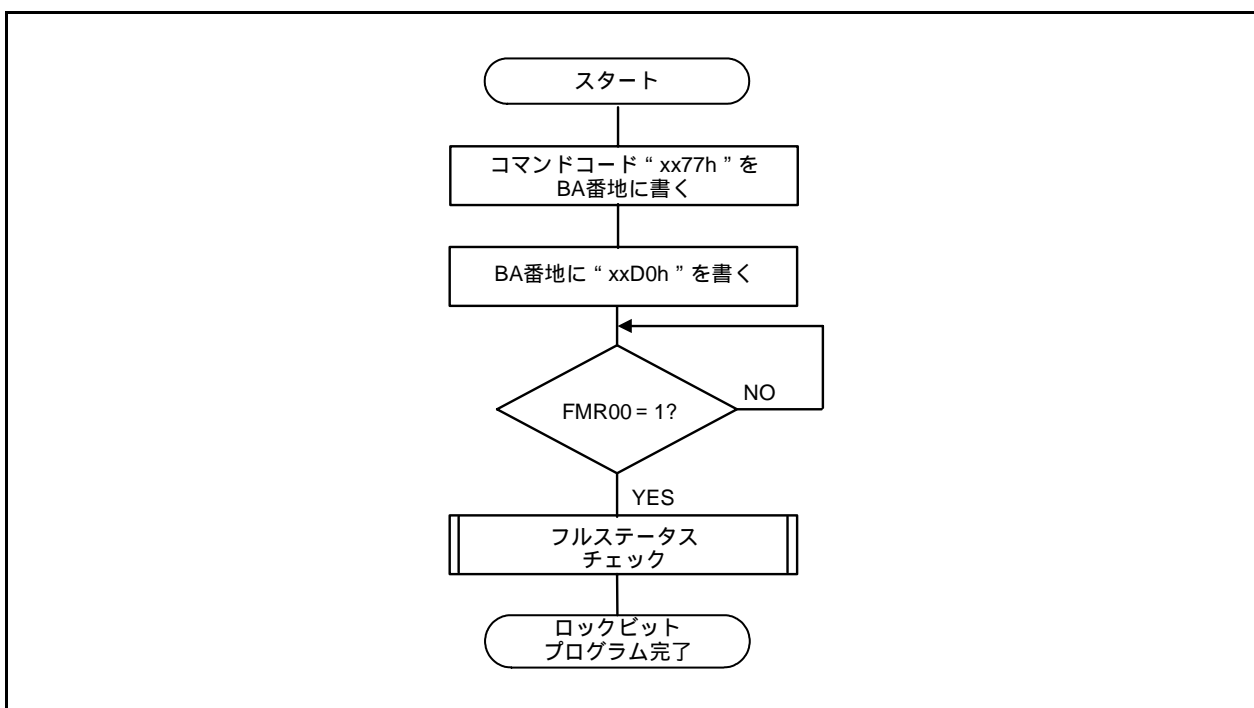


図24.12 ロックビットプログラムフローチャート(サスペンド機能禁止時)

24.8.5.8 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

図24.13にリードロックビットステータスフローチャートを示します。

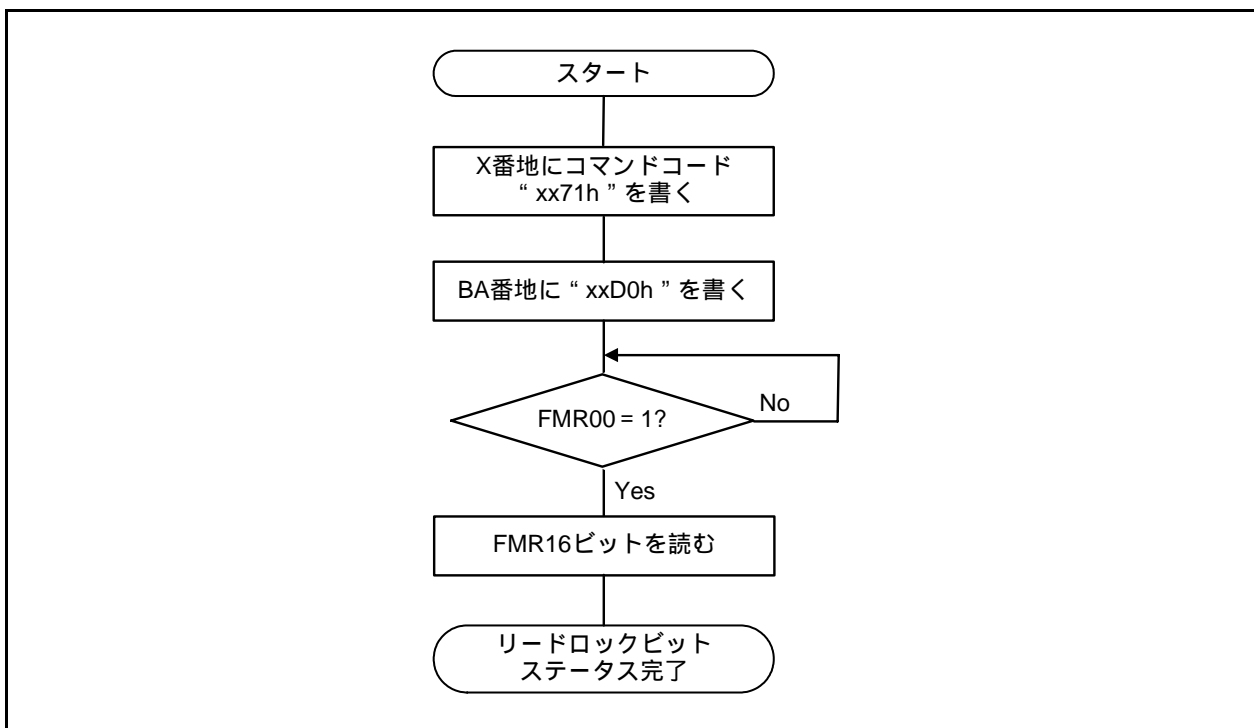


図24.13 リードロックビットステータスフローチャート

24.8.5.9 ブロックブランクチェック

任意のブロックがブランク(消去後の状態)かチェックするコマンドです。

第1バスサイクルで“xx25h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、チェック結果がFMR7レジスタのFMR75ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR75ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

ブロックブランクチェックコマンドは、ロックしていないブロックに対して有効です。

ロックビットが“0”(ロック状態)のブロックに対してブロックブランクチェックコマンドを実行すると、FMR02ビットの状態に関係なくFMR75ビット(SR5)は“1”(ブランクではない)になります。

図24.14にブロックブランクチェックフローチャートを示します。

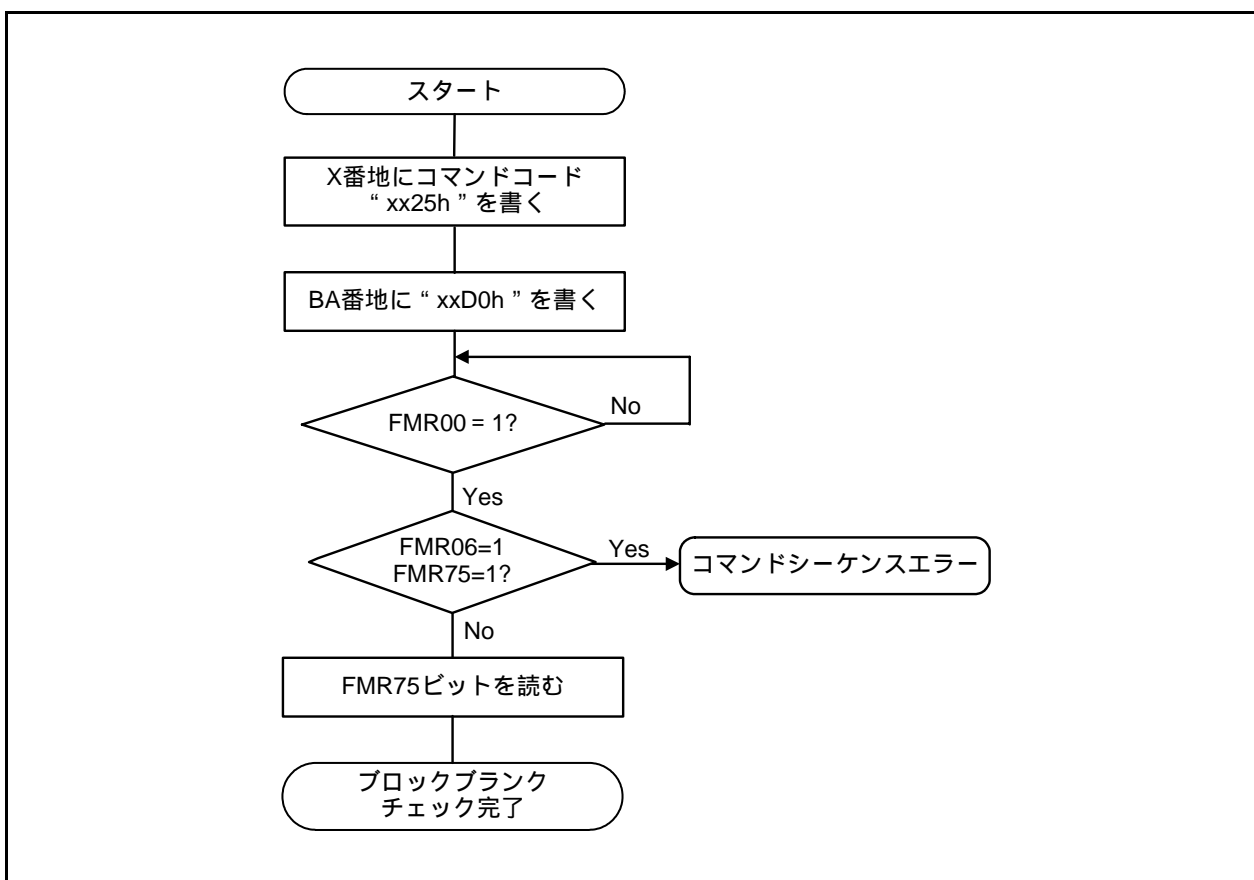


図24.14 ブロックブランクチェックフローチャート

なお、ブロックブランクチェックの結果、ブランクでなかった場合は、クリアステータスレジスタコマンドを実行した後、その他のソフトウェアコマンドを実行してください。

ブロックブランクチェックコマンドはライト用です。瞬時停電が起こらない環境で使用してください。

ブロックイレーズコマンド実行中に瞬時停電が起こった場合、ブロックイレーズコマンドを再度実行してください。ブロックブランクチェックコマンドでは消去が正常に終了したかどうか判定が出来ないことがあります。

サスペンド中は、ブロックブランクチェックコマンドを実行しないでください。

24.8.6 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。

ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR7レジスタのFMR75ビットで読めます。各ビットの説明は「24.3.1 フラッシュメモリ制御レジスタ0 (FMR0)」を参照してください。

表24.16 ステータスレジスタの読み方の違い

項目	FMR0, FMR7レジスタ	コマンド
使用条件	制限なし	
読み出し手順	FMR0レジスタのFMR00、FMR06、FMR7レジスタのFMR75ビットを読む	<ul style="list-style-type: none"> リードステータスレジスタコマンドを書いた後、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む プログラム、ブロックイレーズコマンド、ロックビットプログラム、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む

表24.17 ステータスレジスタ

ステータスレジスタのビット	FMR0, FMR7レジスタのビット	ステータス名	内容		リセット後の値
			"0"	"1"	
SR0 (D0)	-	予約ビット	-	-	-
SR1 (D1)	-	予約ビット	-	-	-
SR2 (D2)	-	予約ビット	-	-	-
SR3 (D3)	-	予約ビット	-	-	-
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR75	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	-	予約ビット	-	-	-
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0~D7: リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

24.8.6.1 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06ビットまたは、FMR7レジスタのFMR75ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表24.18 エラーとFMR0, FMR7レジスタの状態

FMR7レジスタの FMR75ビット	FMR0レジスタの FMR06ビット	エラー	エラー発生条件
1	1	コマンド シーケンス エラー	コマンドを正しく書かなかったとき ロックビットプログラム、ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0h”または“xxFFh”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき
0	1	プログラム エラー	ロックされたブロックにプログラムコマンドを実行したとき(注2) ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき(注2)

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

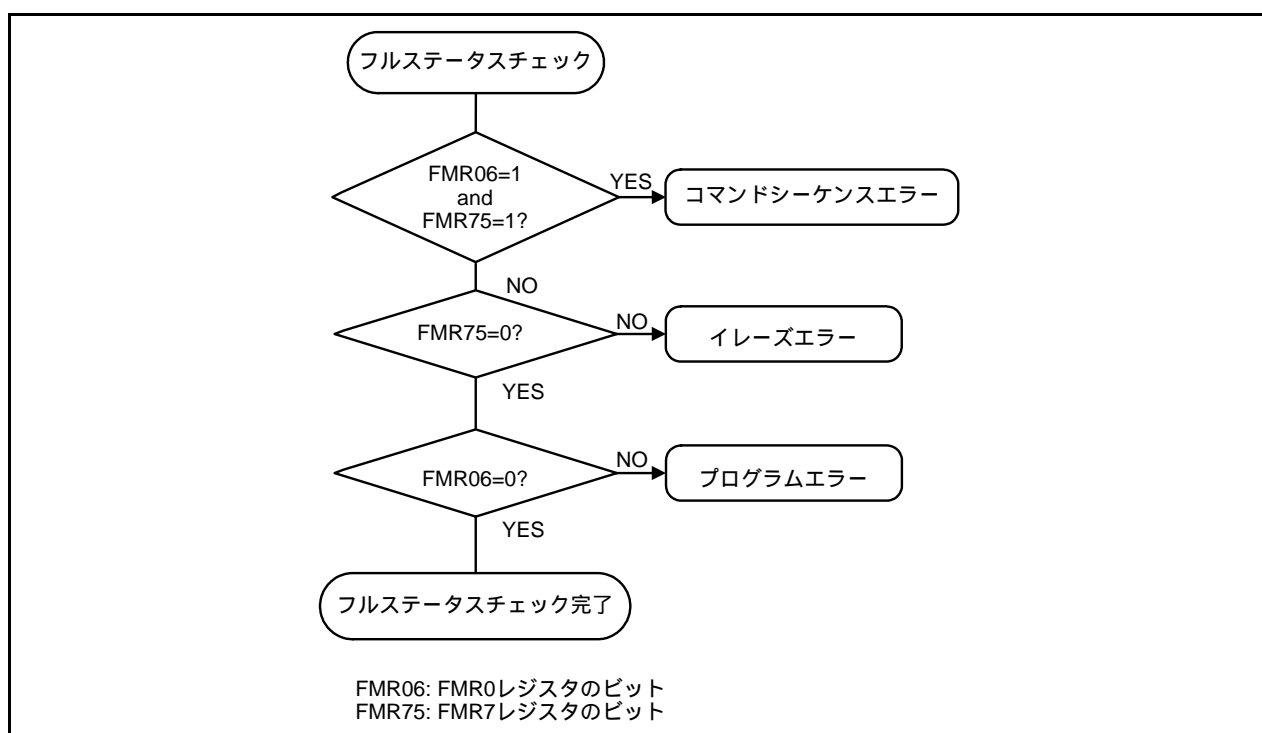


図24.15 フルステータスチェック

24.8.6.2 各エラー発生時の対処方法

エラーが発生した場合は、以下の手順に従ってください。

なお、FMR06、FMR75のいずれかが“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックの各コマンドを実行しないでください。クリアステータスレジスタコマンドを実行した後、各コマンドを実行してください。

コマンドシーケンスエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR06、FMR75ビットを“0”(正常終了)にする
- (2) コマンドが正しく入力されているかを確認の上、もう一度動作させる

イレーズエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR75ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”(ロック状態)であれば、FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にする
- (3) 再度、ブロックイレーズコマンドを実行する
- (4) イレーズエラーが発生しなくなるまで、(1)(2)(3)を繰り返す

3回繰り返してエラーが出る場合は、そのブロックを使用しないでください。

なお、ブロックブランクチェックコマンドのイレーズエラーで、イレーズが必要ない場合は、(1)のみ実行してください。

プログラムエラー

[プログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”であれば、FMR0レジスタのFMR02ビットを“1”にする。
- (3) 再度、プログラムコマンドを実行する

ロックビットが“1”(非ロック状態)の場合、エラーが発生した番地はそのままの状態では使用しないでください。再度、同一番地を書く場合は、プログラムコマンドを実行する前に、ブロックイレーズコマンドを実行し、エラーが発生したブロックを消去してください。

それでもエラーが出る場合は、その番地を使用しないでください。

[ロックビットプログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”にする
- (2) FMR0レジスタのFMR02ビットを“1”にする
- (3) ブロックイレーズコマンドを実行し、エラーが発生したブロックをイレーズする
- (4) 必要に応じてデータを書いた後、再度、ロックビットプログラムコマンドを実行する

それでもエラーが出る場合は、そのブロックを使用しないでください。

24.8.7 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR6レジスタのFMR60ビットが“0”の場合、EW0モードになります。図24.16にEW0モードの設定と解除方法を示します。

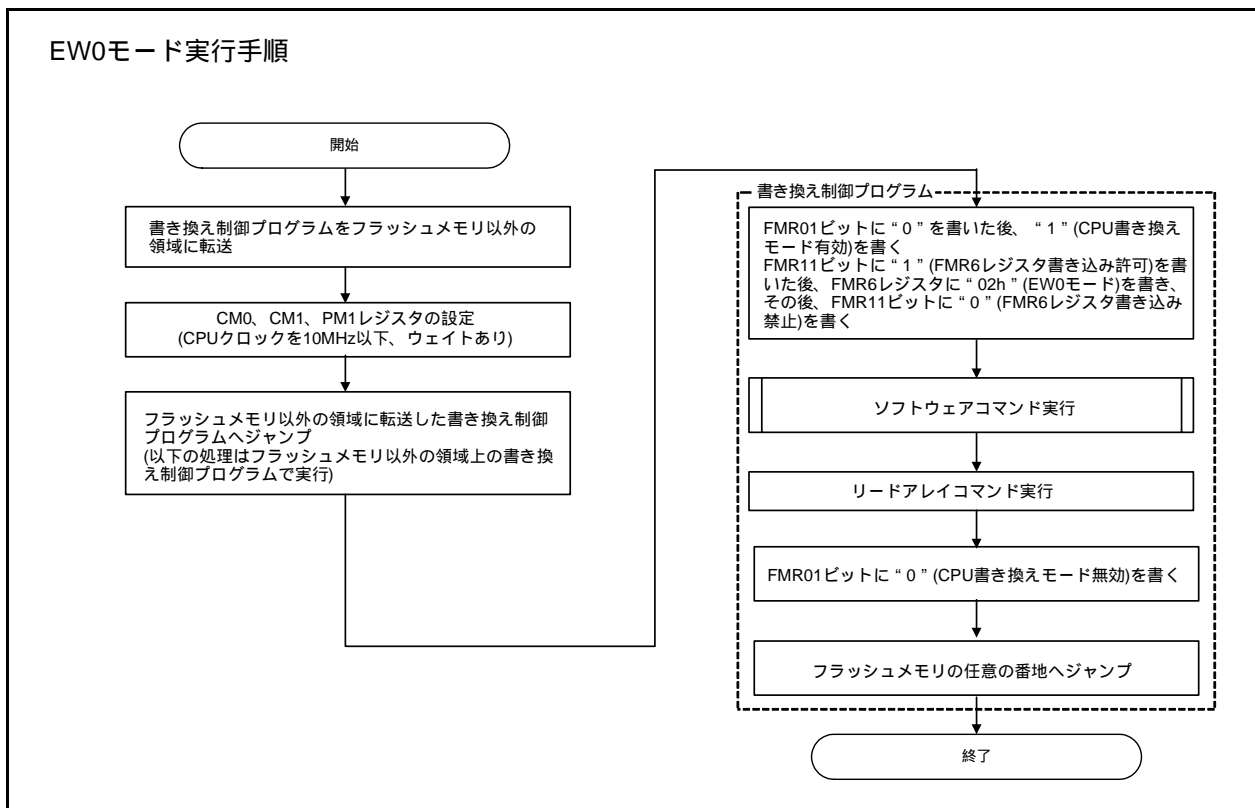


図24.16 EW0モードの設定と解除方法

EW0モードでは次の命令を実行しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

EW0モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み(サスペンド禁止時)
可変ベクタテーブルをフラッシュメモリ以外の領域に配置してあれば使用できます。
- マスカブル割り込み(サスペンド許可時)
可変ベクタテーブルをフラッシュメモリ以外の領域に配置してあれば使用できます。
割り込みルーチン内でFMR0レジスタのFMR00ビットをチェックし、“0”(書き込み、消去実行中)であれば、FMR3レジスタのFMR31ビットを“1”(サスペンドリクエスト)にすると、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。割り込みの最後にFMR31ビットを“0”(コマンドリスタート)にすると、自動消去または自動書き込みを再開します。
- NMI、ウォッチドッグタイマ、発振停止、再発振検出、割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止します。その後割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

なお、ウォッチドッグタイマは自動消去または自動書き込み中も動作します。定期的にウォッチドッグタイマをリフレッシュしてください。

表24.19 コマンド実行後のモード (EW0モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	リードアレイモード
プログラム	リードステータスレジスタモード(注1)
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	リードロックビットステータスモード(注1)
ブロックブランクチェック	リードステータスレジスタモード(注1)

注1. フラッシュメモリが読めるのはリードアレイモードのみです。

24.8.7.1 サスペンド機能(EW0モード)

EW0モードでサスペンドを使用する場合は、割り込みルーチン内でフラッシュメモリの状態をチェックして、サスペンドへ移行してください。FMR31ビットを“1”にしてからtd(SR-SUS)時間後にプログラムサスペンドまたはイレーズサスペンドが受け付けられますので、FMR33ビットまたはFMR32ビットで受け付けられたことを確認してから、フラッシュメモリにアクセスしてください。また、フラッシュメモリアクセスが終了したらFMR31ビットを“0”(コマンドリスタート)にして自動消去、自動書き込みを再開させてください。図24.17~24.19にEW0モードのサスペンド許可時のフローチャートを、図24.20にEW0モードのサスペンド動作例を示します。

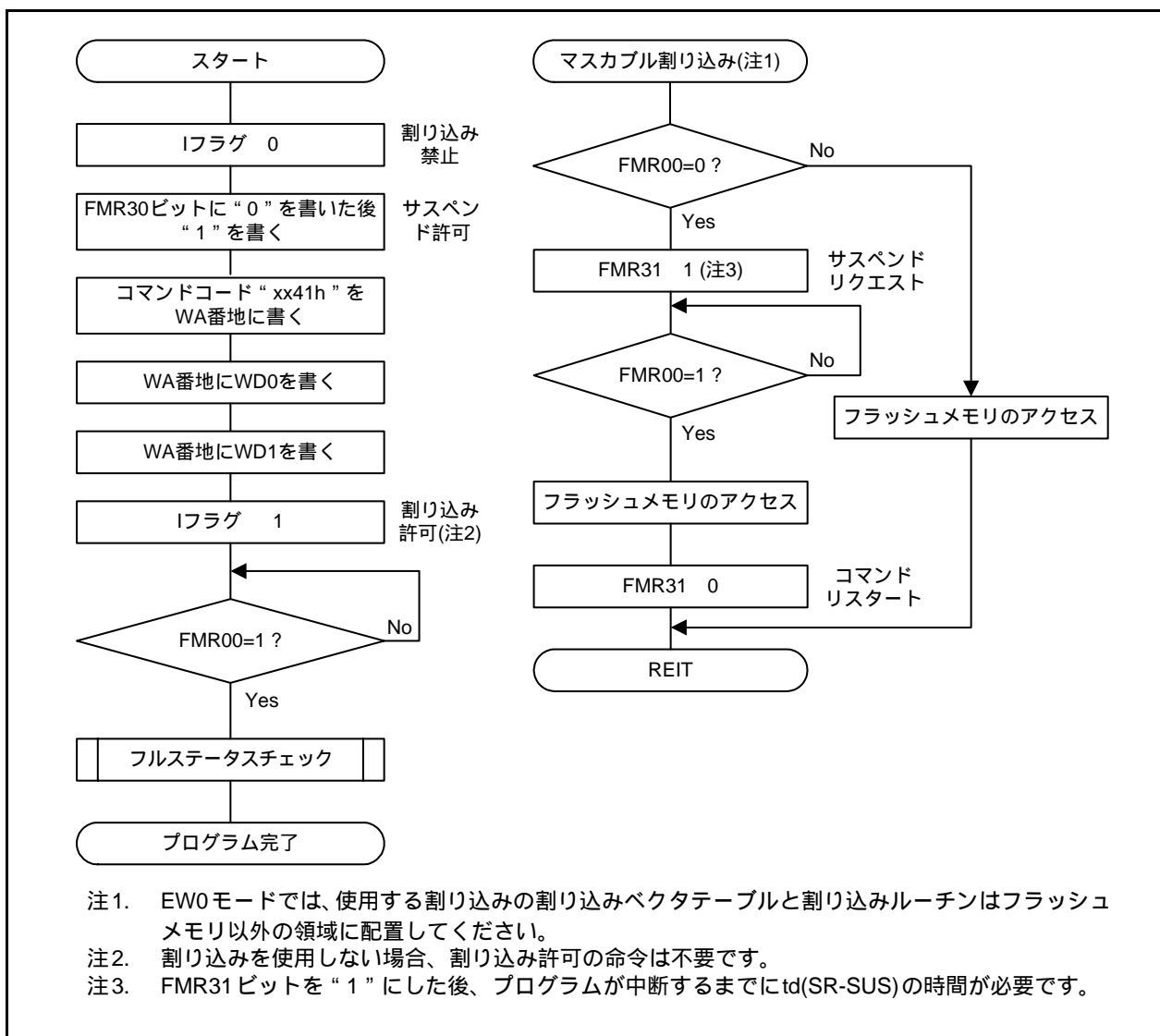


図24.17 EW0モードのプログラムフローチャート(サスペンド機能許可時)

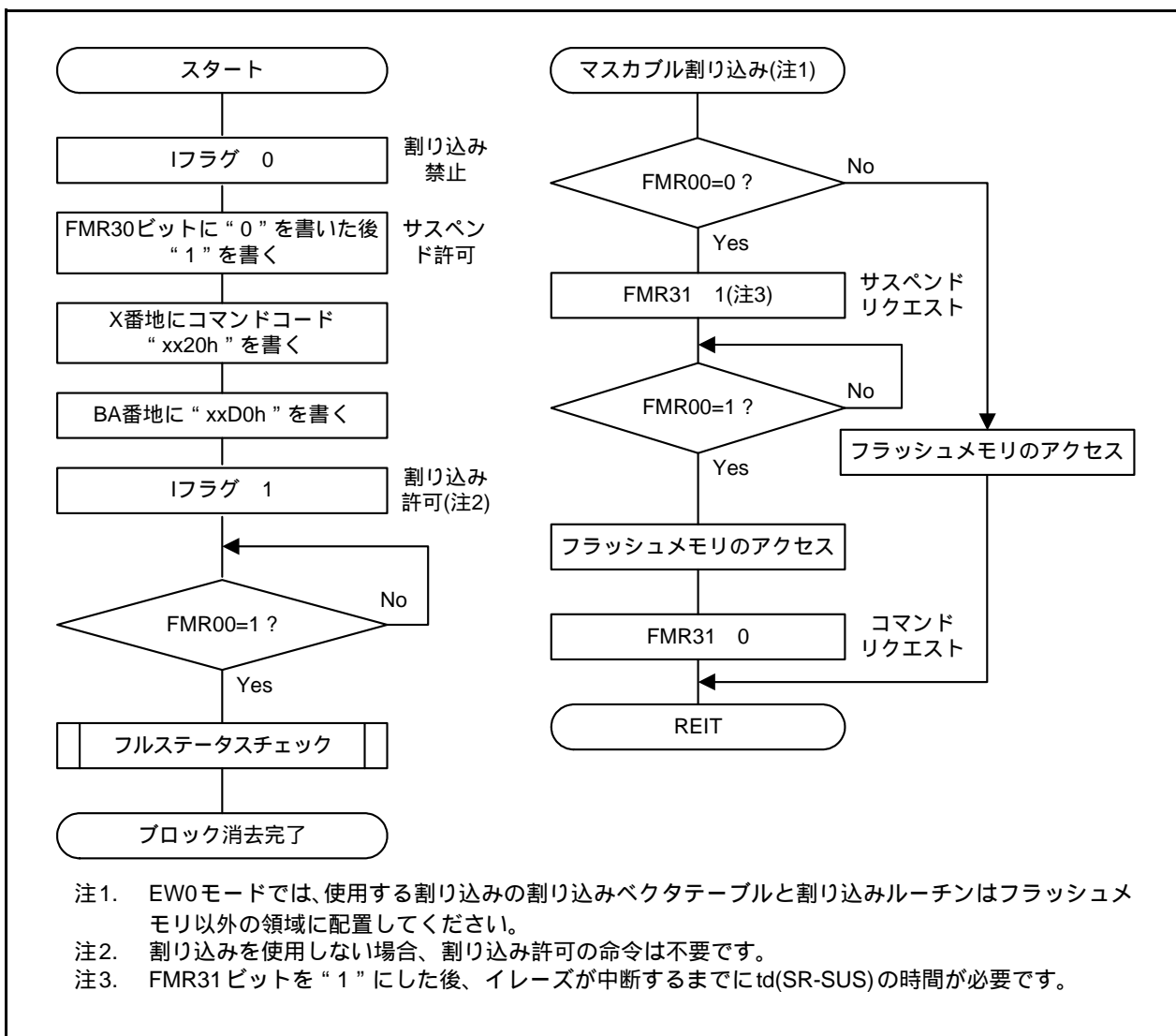


図24.18 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時)

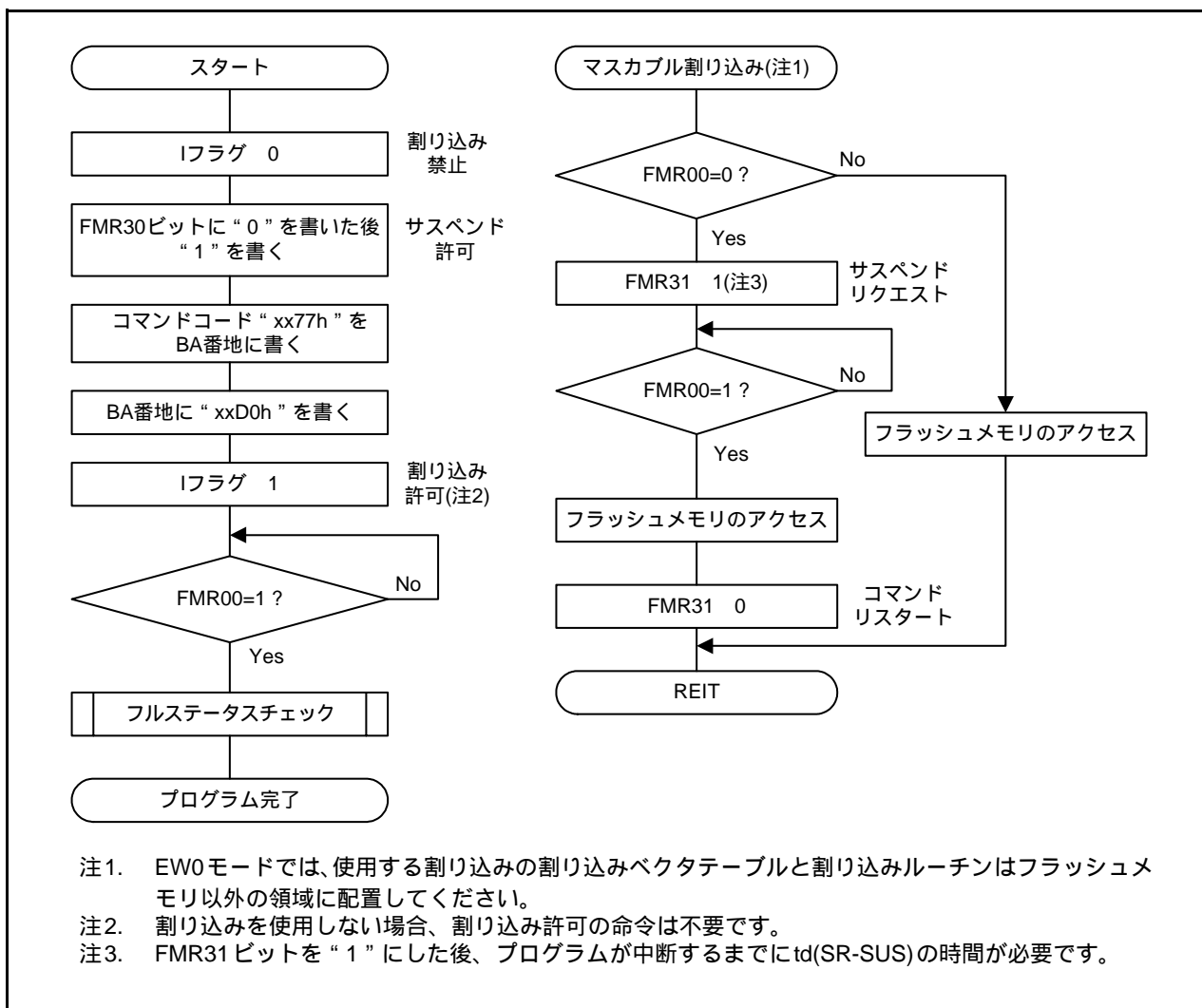


図24.19 EW0モードのロックビットプログラムフローチャート(サスペンド機能許可時)

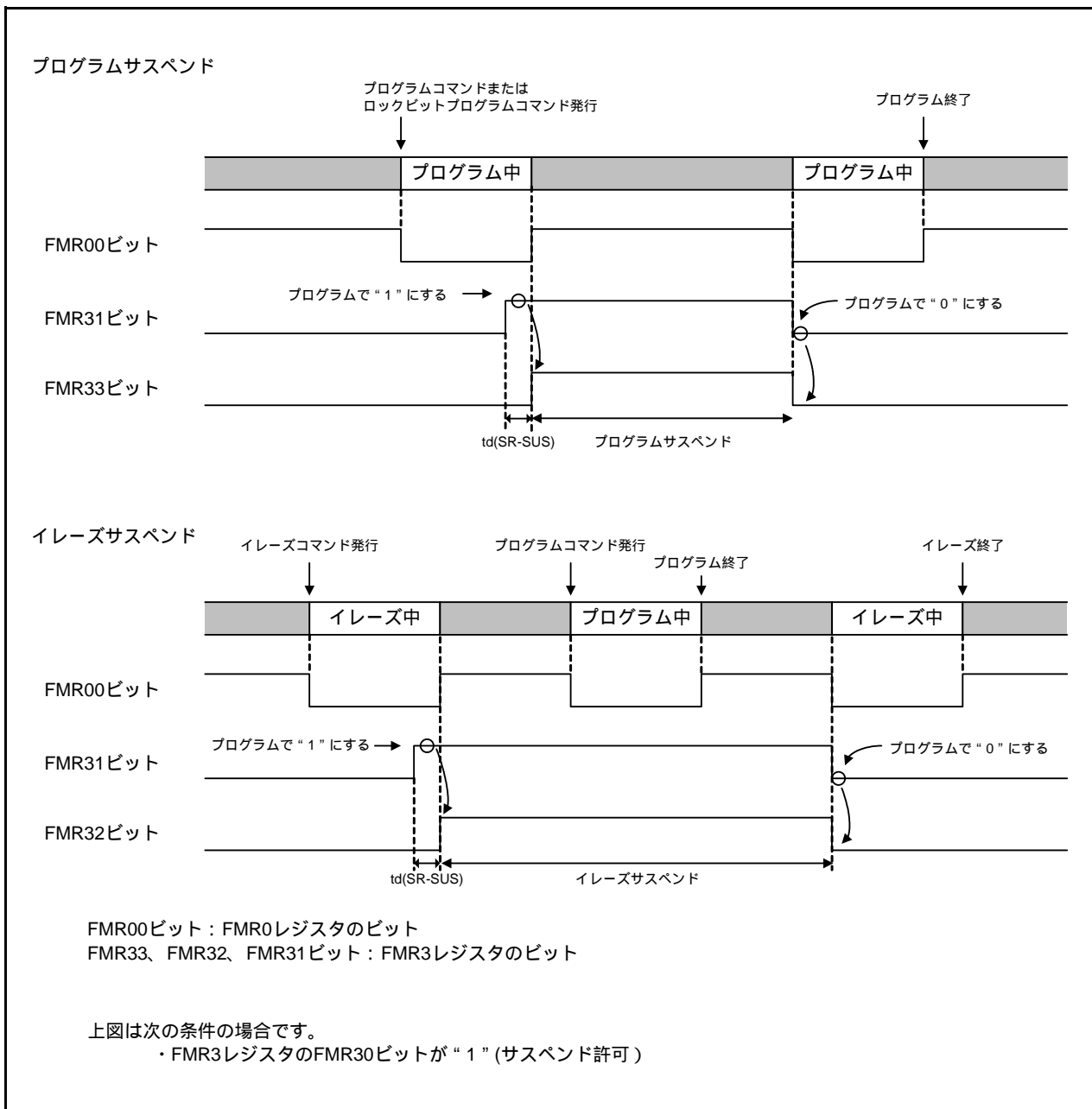


図24.20 EW0モードのサスペンド動作例

24.8.8 EW1モード

FMR0レジスタのFMR01ビットを“1”にした後、FMR6レジスタのFMR60ビットを“1”にするとEW1モードになります。図24.21にEW1モードの設定と解除方法を示します。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

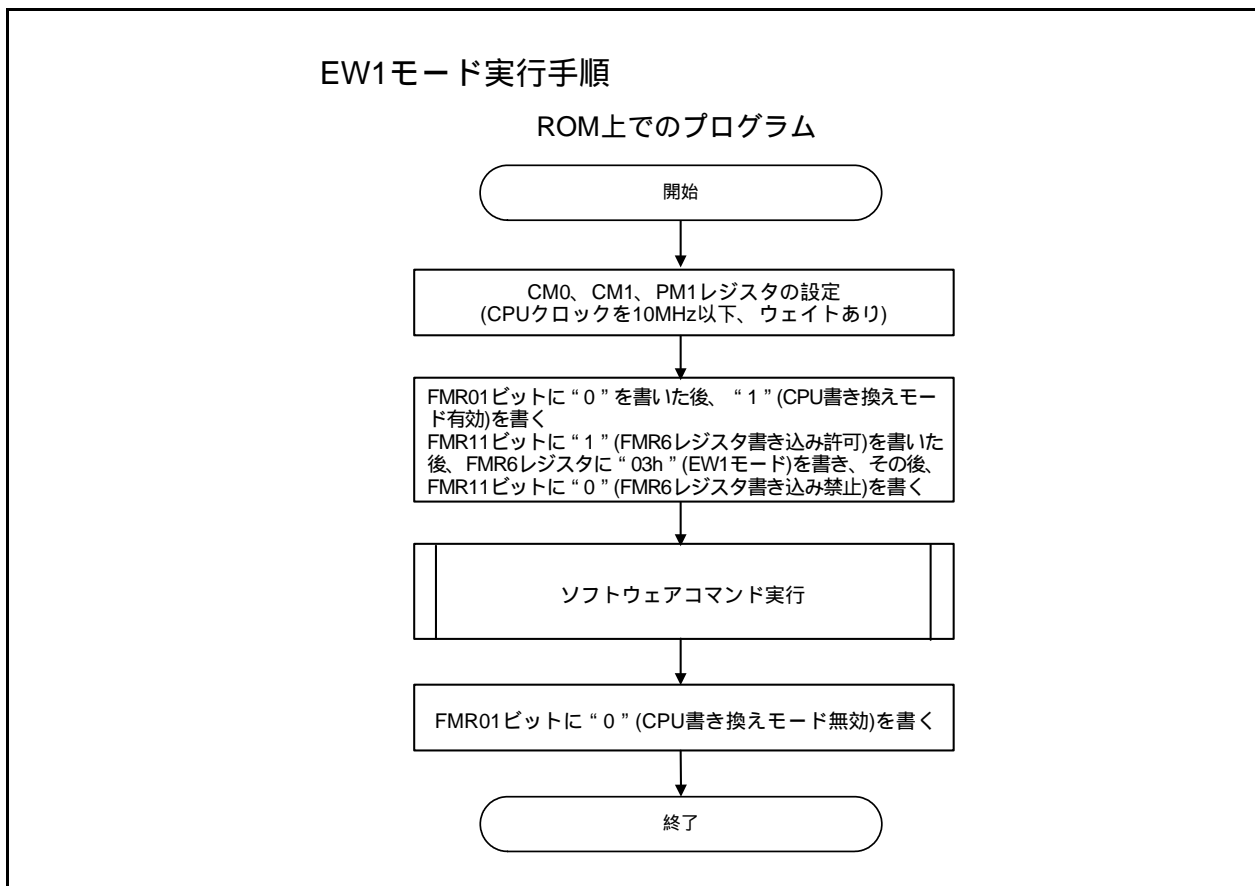


図24.21 EW1モードの設定と解除方法

EW1モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み (サスペンド機能許可の場合)
td(SR-SUS)時間後に自動消去または自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR3レジスタのFMR31ビットを“0”(コマンドリスタート)にすることにより、自動消去または自動書き込みを再開することができます。
- マスカブル割り込み (サスペンド機能禁止の場合)
自動消去または自動書き込みが優先され、割り込み要求が待たされます。自動消去または自動書き込みが終了した後、割り込み処理を実行します。
- NMI、ウォッチドッグタイマ、発振停止、再発振検出、割り込み要求を受け付けると、すぐに自動消去または自動書き込みを強制停止します。その後割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマは、自動消去または自動書き込み中カウントを停止します。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のときは、EW1モードを使用しないでください。EW0モードを使用してください。ただし、イレーズサスペンド、またはプログラムサスペンドの期間はカウントを行います。割り込み要求が発生する可能性がありますので、サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

表24.20 コマンド実行後のモード (EW1モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	
プログラム	
ブロックイレース	
ロックビットプログラム	
リードロックビットステータス	
ブロックブランクチェック	

24.8.8.1 サスペンド機能(EW1モード)

EW1モードでサスペンド機能を使用する場合は、割り込み要求の発生から (SR-SUS)時間後、割り込み要求が受け付けられます。割り込み要求を受け付けると、イレーズサスペンドまたはプログラムサスペンドに移行します。割り込み終了後、FMR31ビットを“0”(コマンドリスタート)にして自動消去、自動書き込みを再開させてください。図24.22~24.24にEW1モードのサスペンド許可時のフローチャートを、図24.25にEW1モードのサスペンド動作例を示します。 |

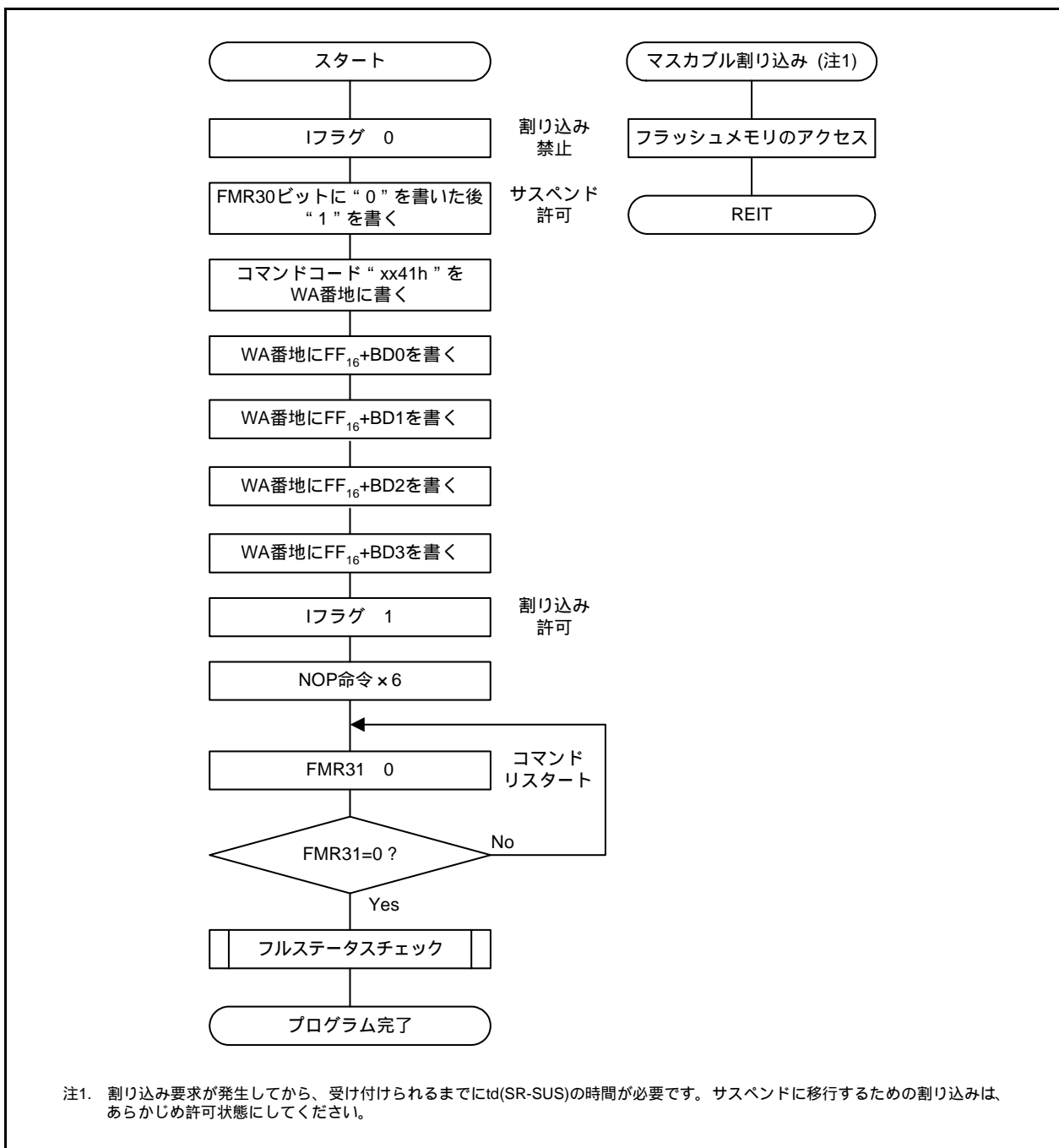


図24.22 EW1モードのプログラムフローチャート(サスペンド機能許可時)

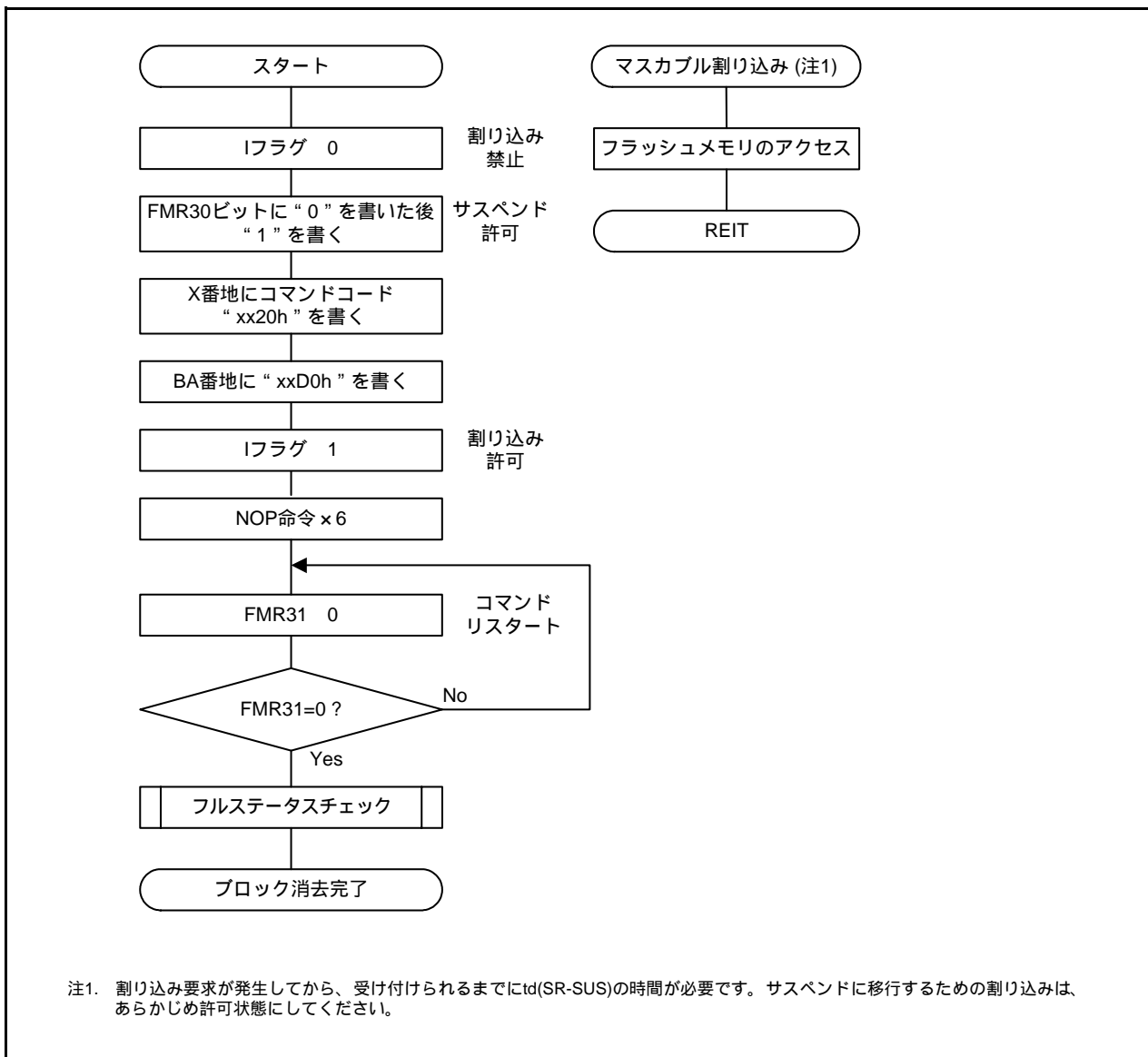


図24.23 EW1モードのブロックイレーズフローチャート(サスペンド機能許可時)

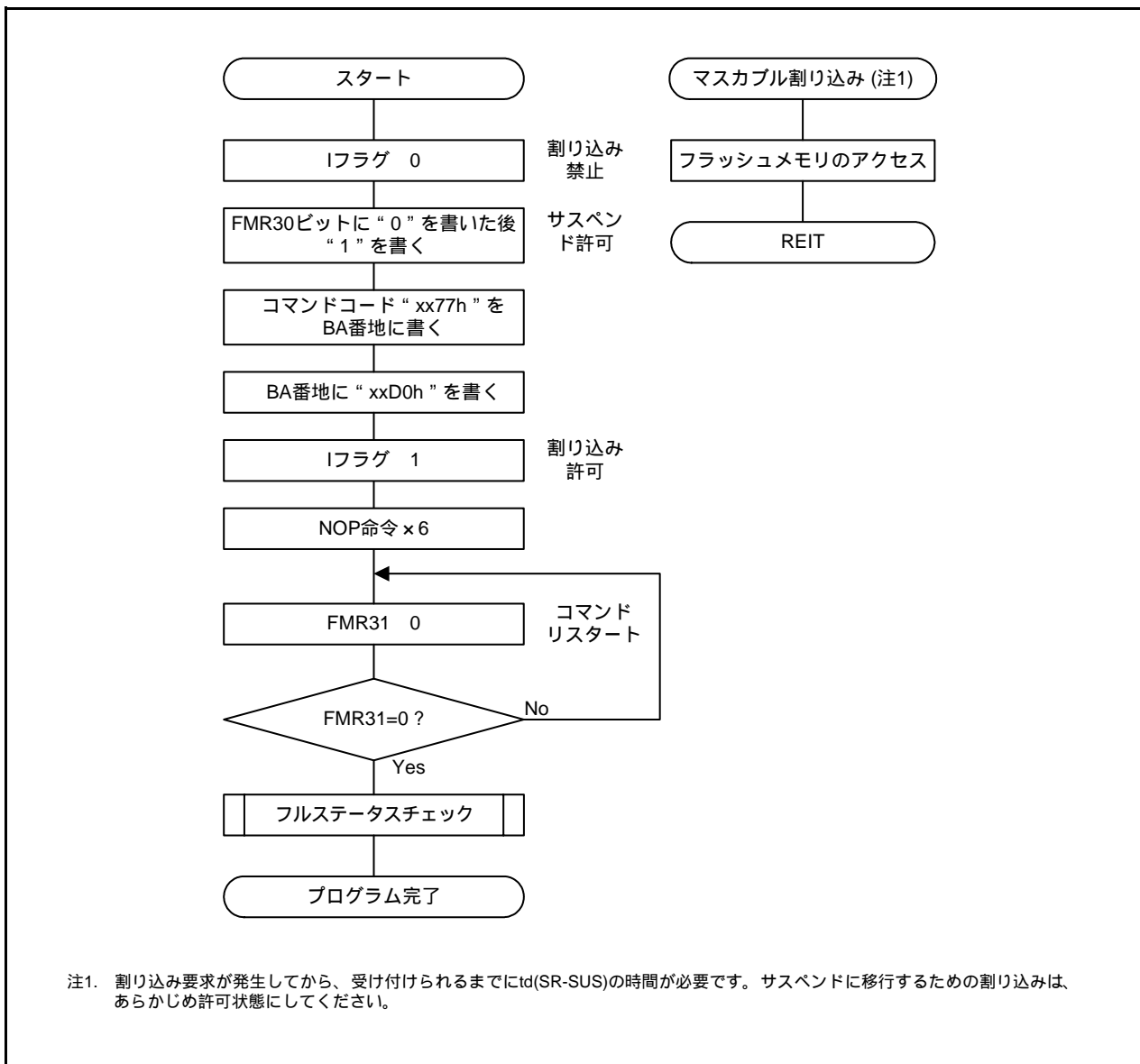


図24.24 EW1モードのロックビットプログラムフローチャート(サスペンド機能許可時)

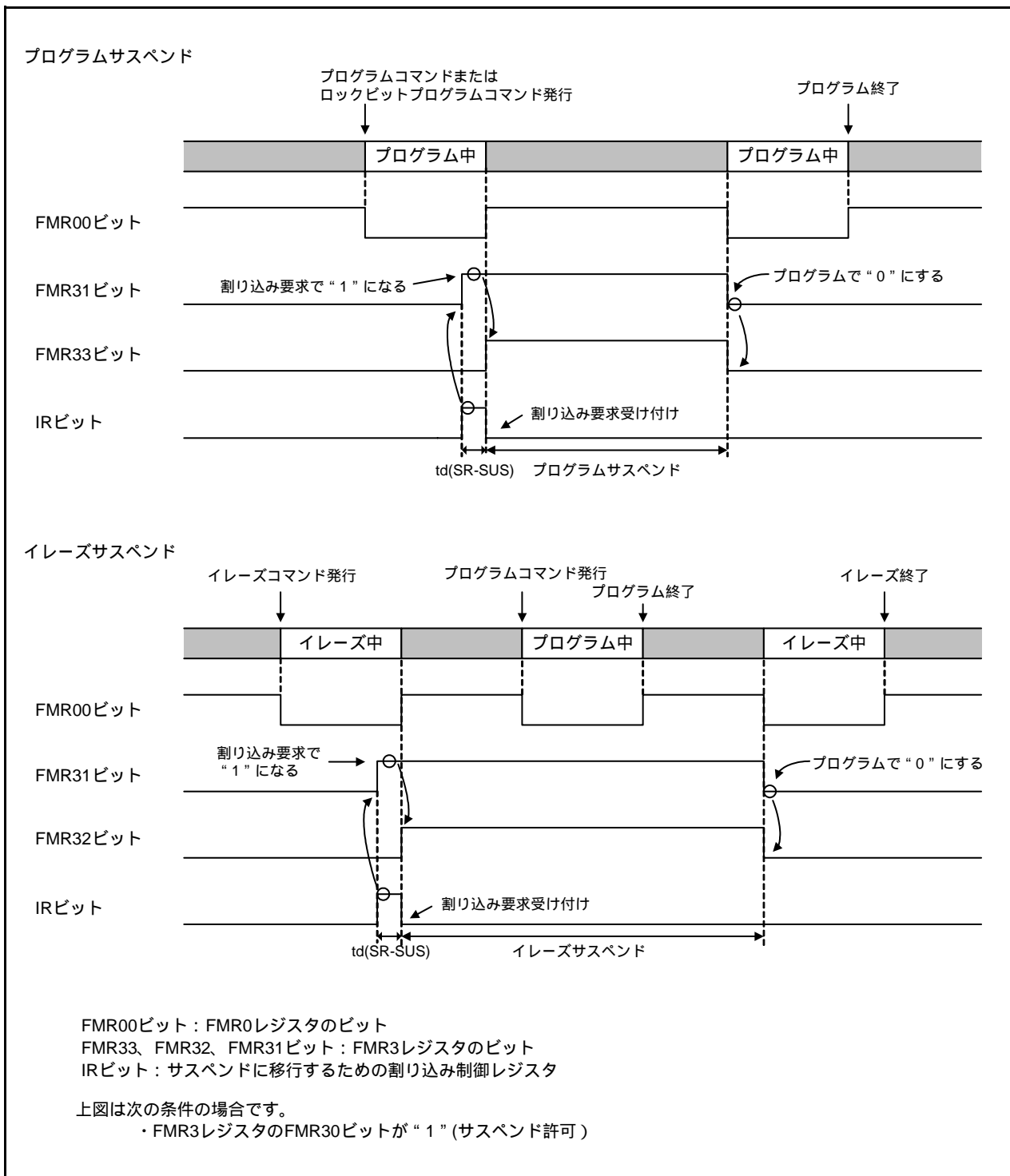


図24.25 EW1モードのサスペンド動作例

24.9 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/6S1グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、またはデータフラッシュを書き換えることができます。

標準シリアル入出力モードには次のモードがあります。

- 標準シリアル入出力モード1: クロック同期形シリアルI/Oを用いてシリアルライターと接続
 - 標準シリアル入出力モード2: 2線式クロック非同期形シリアルI/Oを用いてシリアルライターと接続
- シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

24.9.1 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライタから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDf、0FFFE3h、0FFFEb、0FFFEf、0FFF3h、0FFF7h、0FFFb番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。図24.26にIDコードの格納番地を示します。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表24.21にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表24.21と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表24.21 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)	
		ALeRASE	Protect
FFFDf	ID1	41h (“A”大文字)	50h (“P”大文字)
FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
FEb	ID3	65h (“e”小文字)	6Fh (“o”小文字)
FEf	ID4	52h (“R”大文字)	74h (“t”小文字)
FFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
FFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
FFFBh	ID7	45h (“E”大文字)	74h (“t”小文字)

IDコード格納番地のアドレスとデータがすべて表24.21と一致する場合は予約語です。

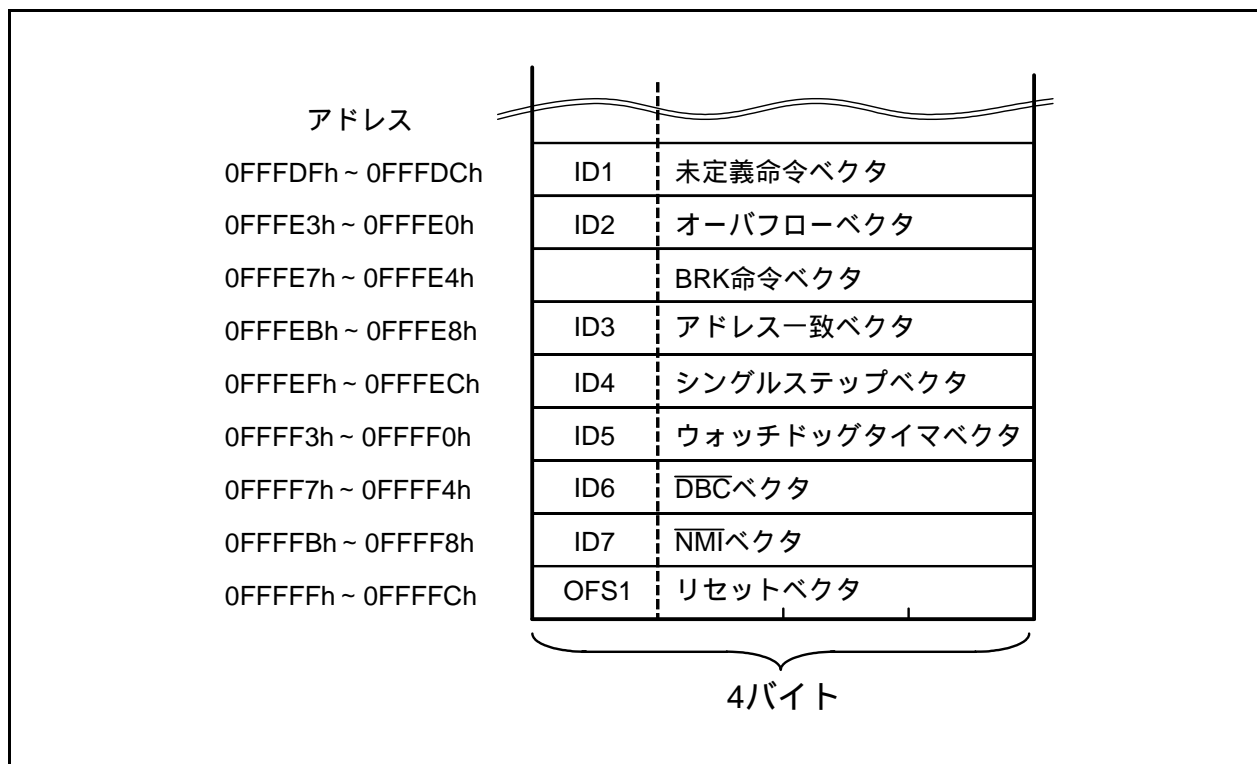


図24.26 IDコードの格納番地

24.9.2 強制イレーズ機能

標準シリアル入出力モードで使用します。シリアルライタから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、プログラムROM1、プログラムROM2をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表24.21 IDコードの予約語」以外)、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつOFS1番地のROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表24.22に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタから送られてくるIDコードが“ALeRASE”ならばプログラムROM1、プログラムROM2を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、フラッシュメモリを操作できません。

表24.22 強制イレーズ機能の条件と動作

シリアルライタから送られてくるIDコード	条件		動作
	IDコード格納番地のIDコード	OFS1番地のROMCP1ビット	
ALeRASE	ALeRASE	-	プログラムROM1とプログラムROM2すべて消去 (強制イレーズ機能)
	ALeRASE以外 (注1)	1(ROMコードプロテクト無効)	
		0(ROMコードプロテクト有効)	
ALeRASE以外	ALeRASE	-	IDコードの判定(IDコードチェック機能。 IDコード不一致になる)
	ALeRASE以外 (注1)	-	IDコードの判定(IDコードチェック機能)

注1. “Protect”の場合は「24.9.3 標準シリアル入出力モード禁止機能」参照。

24.9.3 標準シリアル入出力モード禁止機能

標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表24.21 IDコードの予約語」参照)の場合、シリアルライタとの通信を行いません。このため、シリアルライタによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。IDコードが“Protect”になる組み合わせでも、ユーザブートモードは起動します。

なお、IDコードを“Protect”になる組み合わせにし、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)かつ、OFS1番地のROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタによるROMコードプロテクト解除ができません。したがって、シリアルライタでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

24.9.4 標準シリアル入出力モード1

標準シリアル入出力モード1はクロック同期形シリアルI/Oを用いて、シリアルライタと接続します。

表24.23 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	電源系統	機能
VCC1、VCC2、VSS	電源入力		—	VCC1端子にはフラッシュメモリ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件はVCC2 = VCC1です。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。
XIN	クロック入力	入力	VCC1	メインクロックを使用しない場合は、XIN端子に“H”を入力し、XOUT端子は開放してください。 メインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力		
AVCC、AVSS	アナログ電源入力			AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力		A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード1を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P6_0~P6_3	入力ポートP6	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	VCC1	BUSY信号の出力端子です。
P6_5/CLK1	SCLK入力	入力	VCC1	シリアルクロックの入力端子です。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。

表24.24 標準シリアル入出力モード1設定方法

信号名	入力レベル
CNVSS	VCC1
RESET	VSS VCC1
SCLK	VCC1

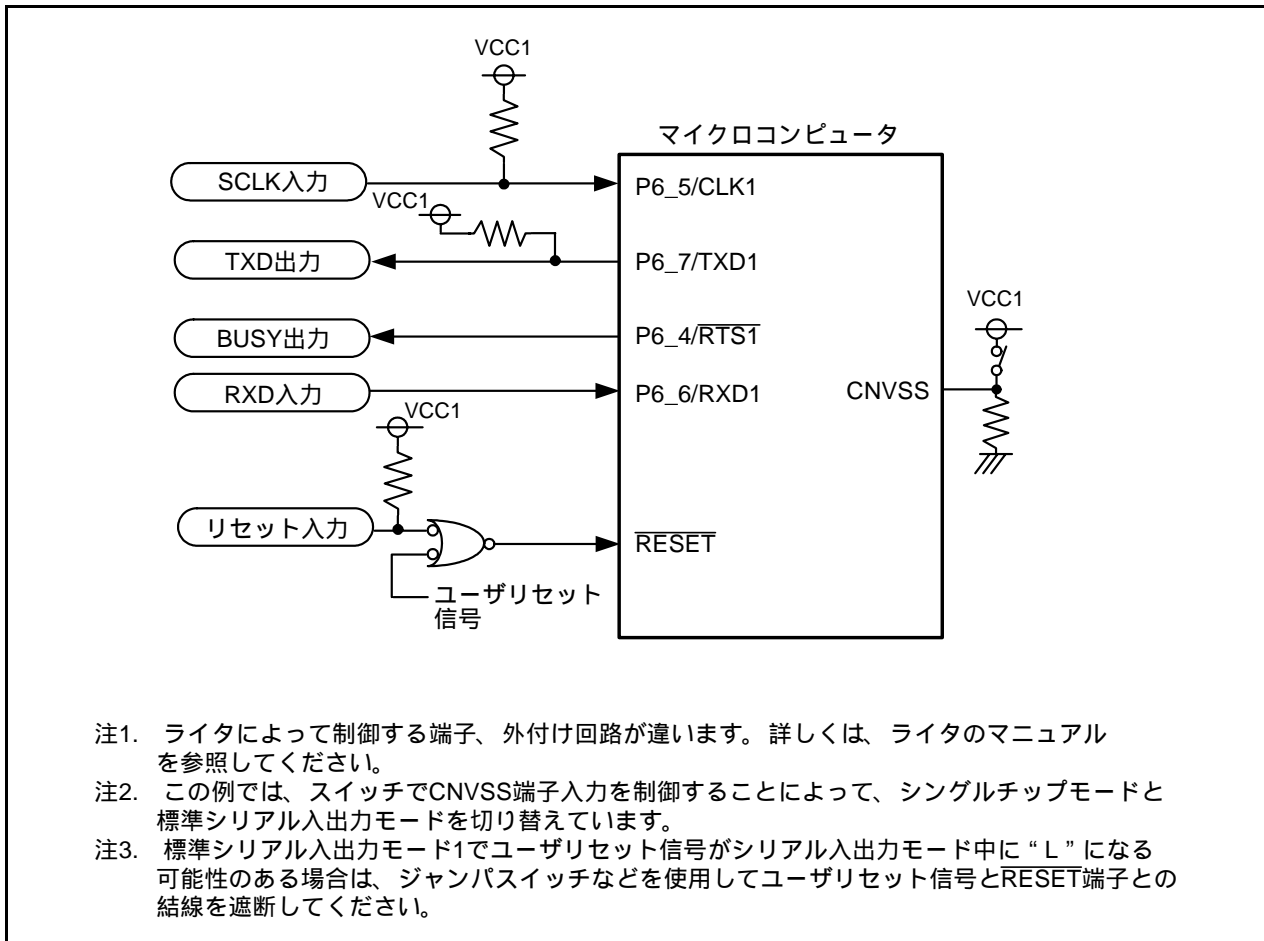


図24.27 標準シリアル入出力モード1を使用する場合の端子処理例

24.9.5 標準シリアル入出力モード2

標準シリアル入出力モード2は2線式クロック非同期形シリアルI/Oを用いてシリアルライタと接続します。メインクロックを使用します。

表24.25 端子機能の説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	電源系統	機能
VCC1、VCC2、VSS	電源入力		—	VCC1端子にはフラッシュメモリ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件はVCC2 = VCC1です。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。
XIN	クロック入力	入力	VCC1	メインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力		
AVCC、AVSS	アナログ電源入力			AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力		A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード2を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P6_0~P6_3	入力ポートP6	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	VCC1	ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	VCC1	“L”を入力してください。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。

表24.26 標準シリアル入出力モード2設定方法

信号名	入力レベル
CNVSS	VCC1
RESET	VSS VCC1
P6_5/CLK1	VSS

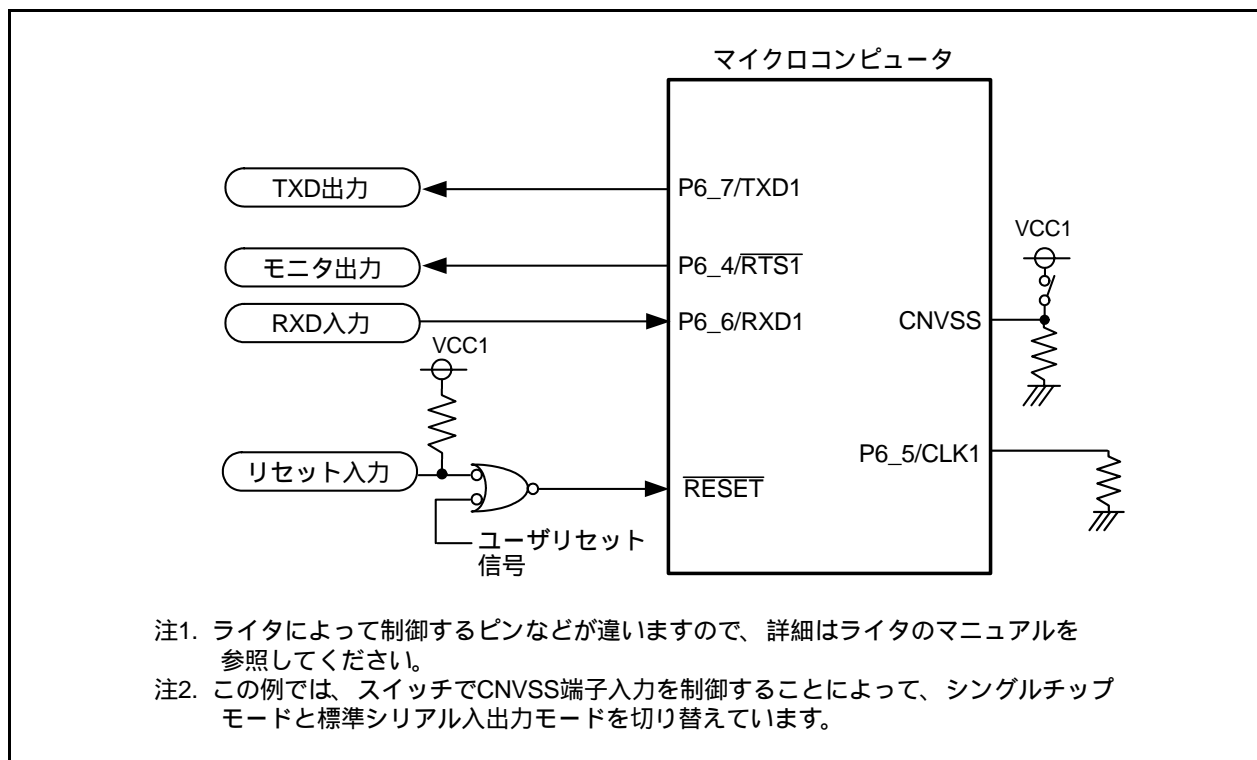


図24.28 標準シリアル入出力モード2を使用する場合の端子処理例

24.10 パラレル入出力モード

パラレル入出力モードでは、M16C/6S1グループに対応したパラレルライターを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

24.10.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。「24.4.1 オプション機能選択1番地 (OFS1)」を参照してください。OFS1番地は、プログラムROM1のブロック0に存在します。

OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつROMCP1ビットを“0”にすると、ROMコードプロテクトが有効になります。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでOFS1番地を含むブロック0を消去してください。

24.11 フラッシュメモリ使用上の注意事項

24.11.1 OFS1番地、IDコード格納番地

OFS1番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1番地は0FFFFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1番地に“FEh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFFFFh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFFFFh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

24.11.2 データフラッシュの読み出し

2.7V VCC1 3.0Vの場合、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

24.11.3 CPU書き換えモード

24.11.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

24.11.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- NMI端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

24.11.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

24.11.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクابل割り込みを使用しないでください。

24.11.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

24.11.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

24.11.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

24.11.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

24.11.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

24.11.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 高速、中速モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の期間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンドを実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR7レジスタのFMR75ビットのいずれか、もしくは両方が“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード (FMR22が“1”)、または低消費電流リードモード (FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

24.11.3.11 書き換え制御プログラムを実行する領域

CPU書き換えモードではPM1レジスタのPM10ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAMで実行してください。

24.11.3.12 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

24.11.3.13 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、電圧監視0、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- NMI、ウォッチドッグタイマ、発振停止、再発振検出割り込み

24.11.4 ユーザブート

24.11.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地のVDSEL1ビット、LVDASビット、はブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

24.11.5 EW1モード

(テクニカルアップデート番号: TN-16C-A175A/J)

EW1モードを使用する場合、次の注意事項があります。

24.11.5.1 EW1モードの周波数制限

EW1モードを使用する際は、CPUクロックを1MHz以上にしてください。

24.11.5.2 ブロックブランクチェックコマンドの周波数制限

ブロックブランクチェックコマンドを使用する際は、CPUクロックを3MHz以上にしてください。

24.11.5.3 ロックビットの使用禁止

FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にしてください。

リードロックビットステータスコマンド、ロックビットプログラムコマンドを実行しないでください。

24.11.5.4 ウェイトモードまたはストップモードに遷移するユーザプログラムのEW1モード移行手順

ウェイトモードまたはストップモードに遷移するユーザプログラムで、EW1モードを使用する場合は、RAM上で、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしてください。その後、再度FMSTPビットを“0”(フラッシュメモリ動作)にし、フラッシュメモリ上でEW1モードに移行してください。また、この処理は割り込み禁止状態で実施してください。

25. PLCモデムコア

25.1 概要

本製品は、電力線通信 (PLC) モデムコアおよびアナログフロントエンドを内蔵しています。図 25.1 に LSI内部のブロック図を示します。

PLC モデムコアのデジタル部には、IT700 モデムコアと IT900 モデムコアの 2 つのモデムコアを内蔵します。IT700 モデムコアは DCSK 方式の送受信を行い、M16C/6S グループが内蔵する IT800 モデムコアと通信互換性があります。IT900 モデムコアは、DCSK ターボ方式で通信を行い、DCSK モードより高速な通信を可能にします。

IT900 モデムコアと IT700 モデムコアは、1 つのアナログフロントエンドを共有します。DCSK ターボ方式は、DCSK 方式と共存性があります。IT900 モデムコアと IT700 モデムコアは、PLC デジタル部に内蔵するハードウェア DLL によって制御され、通信路に DCSK 方式と DCSK ターボ方式が混在していても適切に送受信を行います。

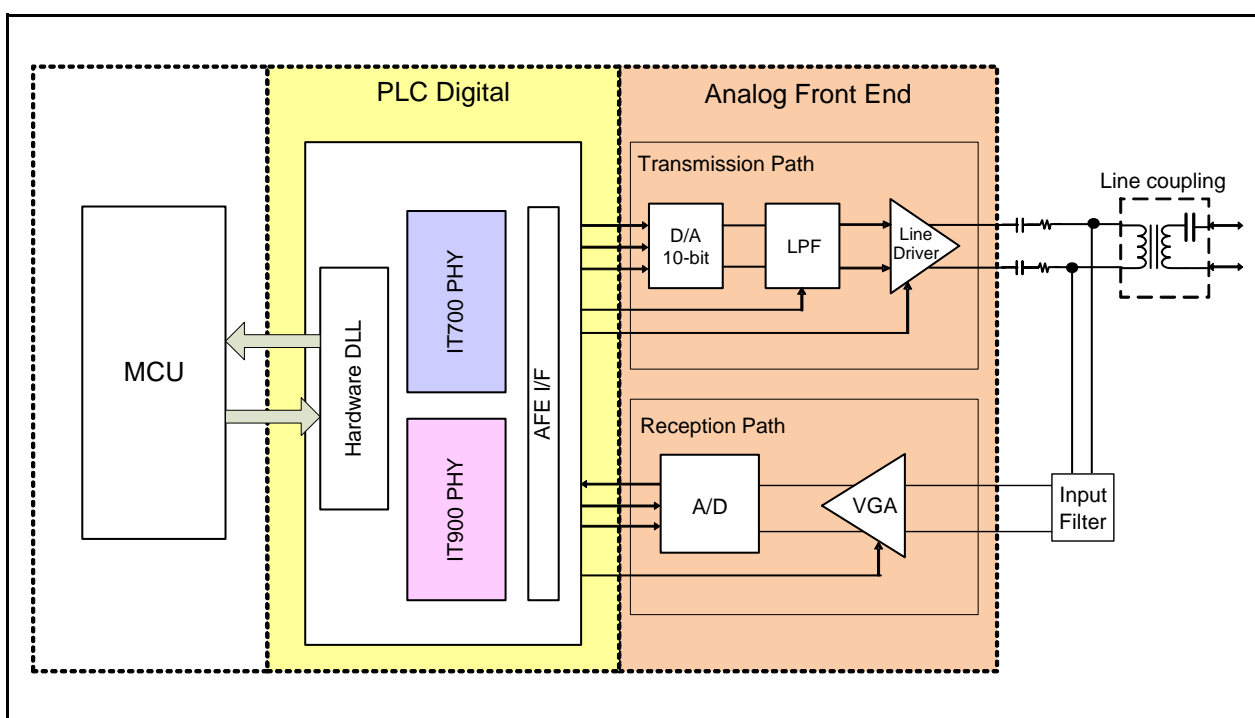


図 25.1 LSI内部のブロック図

25.2 PLCモデムコアとMCUとの接続について

図25.2にPLCモデムコアとMCUの接続を示します。PLCモデムコアとMCUは、ポート(PORT2～5)、割り込み(INT0、INT6、INT7)、タイマA0(TA0IN、TA0OUT)を介して接続されています。送受信データは、DMA0によってRAMとUART7間を転送され、PLCモデムコアとクロック同期形シリアルI/Oモードで通信を行います。このとき、INT0がDMA転送のトリガとして使われます。

これらのMCU周辺機能は、PLCモデムコアおよびドライバソフトが使用するため、ユーザは使用できません。

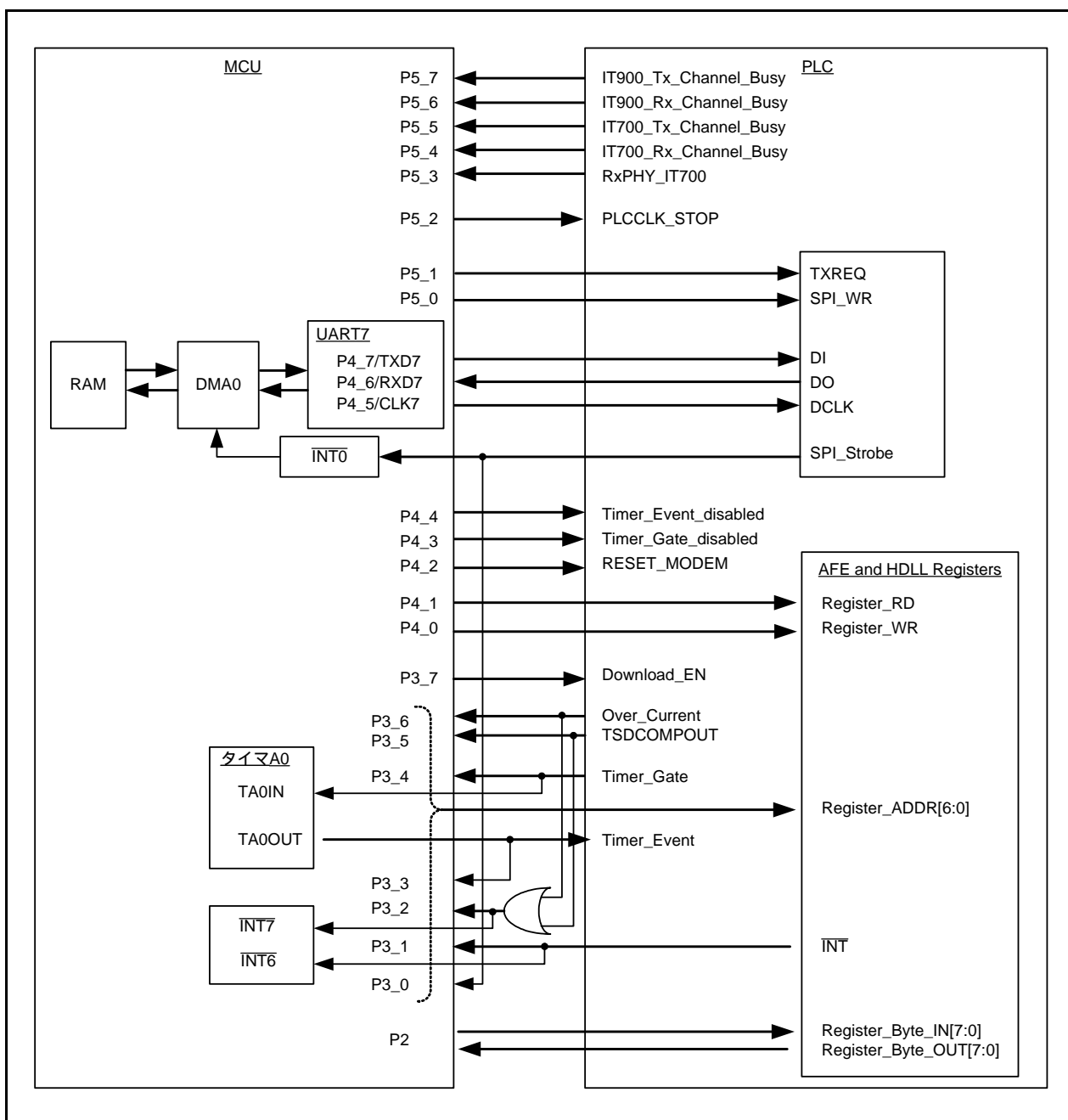


図25.2 PLCモデムコアとMCUの接続

25.3 PLC部のレジスタについて

MCUから、PORT3、PORT2およびPORT4_1とPORT4_0を使って、AFEレジスタおよびハードウェアDLLレジスタをリード/ライトすることができます。

ハードウェアDLLレジスタは、Register_ADDRで指定されるアドレスが0x00から0x6Fに割り当てられています。PLCモデムコアで発生したイベントは、INT6によりMCUに伝えられます。INT7は、AFE内部の保護回路(温度センサ、過電流センサ)の信号をMCUに伝えます。

AFEレジスタは、Register_ADDRで指定されるアドレスが0x70から0x77に割り当てられています。これらのレジスタおよび割り込みは、弊社が提供するドライバソフトによって使用されます。

26. アナログフロントエンド (AFE)

26.1 概要

アナログフロントエンド (AFE) 部は PLC デジタル部と電力線間に位置する回路です。AFE には次の 2 つの信号経路があります。

- 送信経路

PLC デジタル部からの信号により駆動される DAC と、ローパスフィルタ (LPF)、電力線を駆動する差動ラインドライバアンプ (LD) およびラインカップリング回路からなります。

- 受信経路

ラインカップリング回路、入力フィルタ、差動ゲイン可変アンプ (VGA)、ローパスフィルタ (LPF) と ADC からなります。ラインカップリング回路は送信・受信の両方で共通のものです。

M16C/6S1グループは、DAC、LPF、LD、VGA、およびADCを内蔵します。内蔵LDを使わず、外付けラインドライバに接続することも可能です。

図26.1にアナログフロントエンド回路ブロック図を示します。

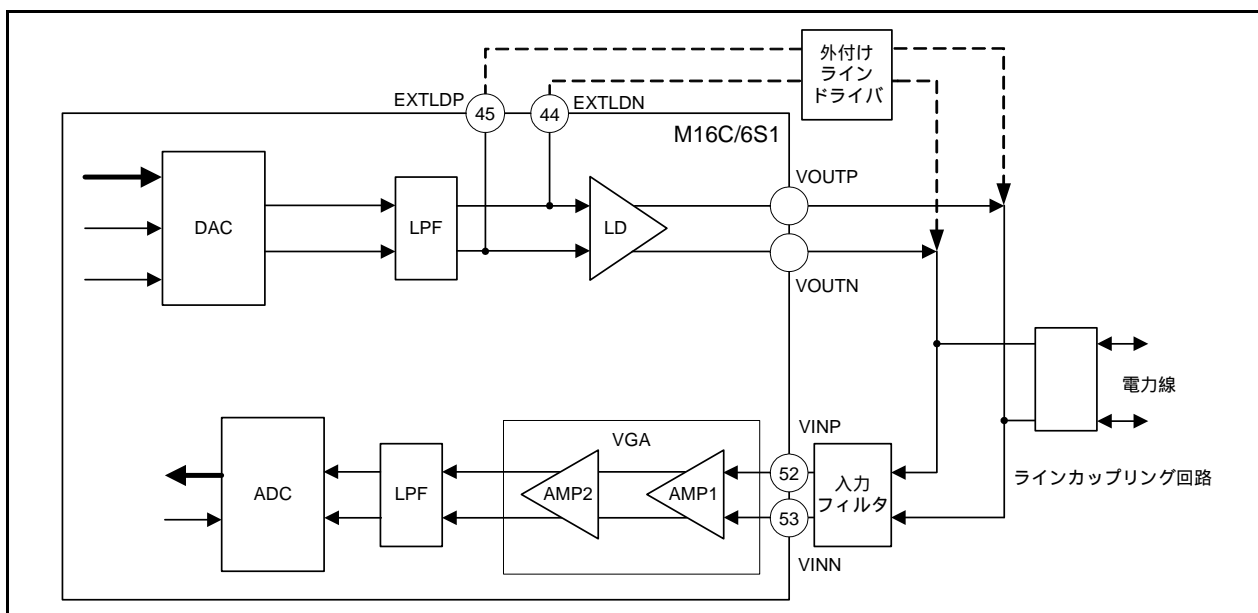


図26.1 アナログフロントエンド回路ブロック図

26.2 送信線路

通信経路に必要な特性は以下のとおりです。

- 定格の負荷に対して適切な出力信号レベルが得られること
- 信号帯域はフラットな周波数特性をもつこと
- 帯域外の信号レベルが各規制以内であること

本システムは、次の3つの基本的な信号帯域での動作を想定しています。

- 米国、日本 - 120k ~ 400kHz
- 欧州 - 95k ~ 125kHz (CENELEC Bバンド)
- 欧州 - 20k ~ 80kHz (CENELEC Aバンド)

信号帯域を切り替える際には、PLC モデムコアのコンフィグレーションおよび出力振幅を変更し、信号帯域へアナログフィルタを調整します。

信号レベルや帯域外の条件については、下記の規格を参照ください。

- 米国 - FCC規格、part 15
- 欧州 - CENELEC規格、EN 50065-1
- 日本 - ARIB、STD - T84

また結合回路部は、電力線からのサージや許容範囲を超えた信号がM16C/6S1グループに入らないよう、十分な対策を行ってください。

M16C/6S1グループに内蔵する送信部アナログ回路を図26.2に示します。

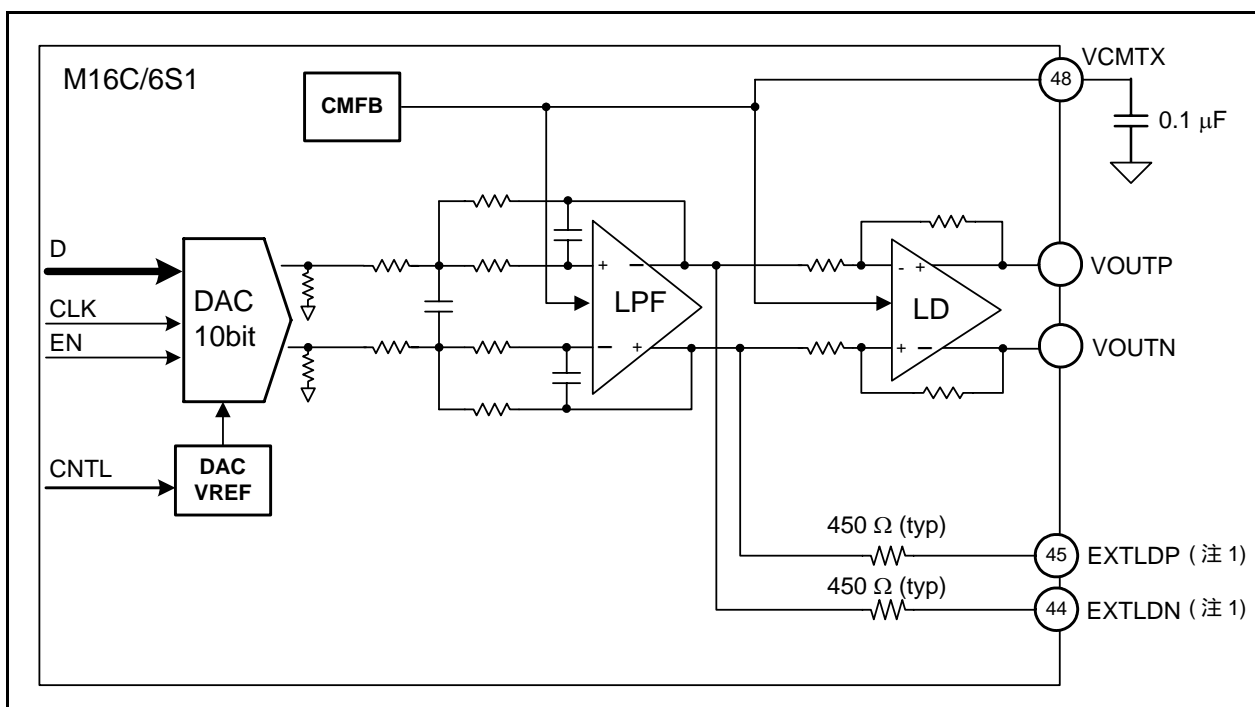


図26.2 AFEの送信部回路図

注1. 外付けラインドライバンプを使用しないときは、EXTLDPとEXTLDNには何もつながないでください。

図26.3に送信部の推奨周辺回路を示します。

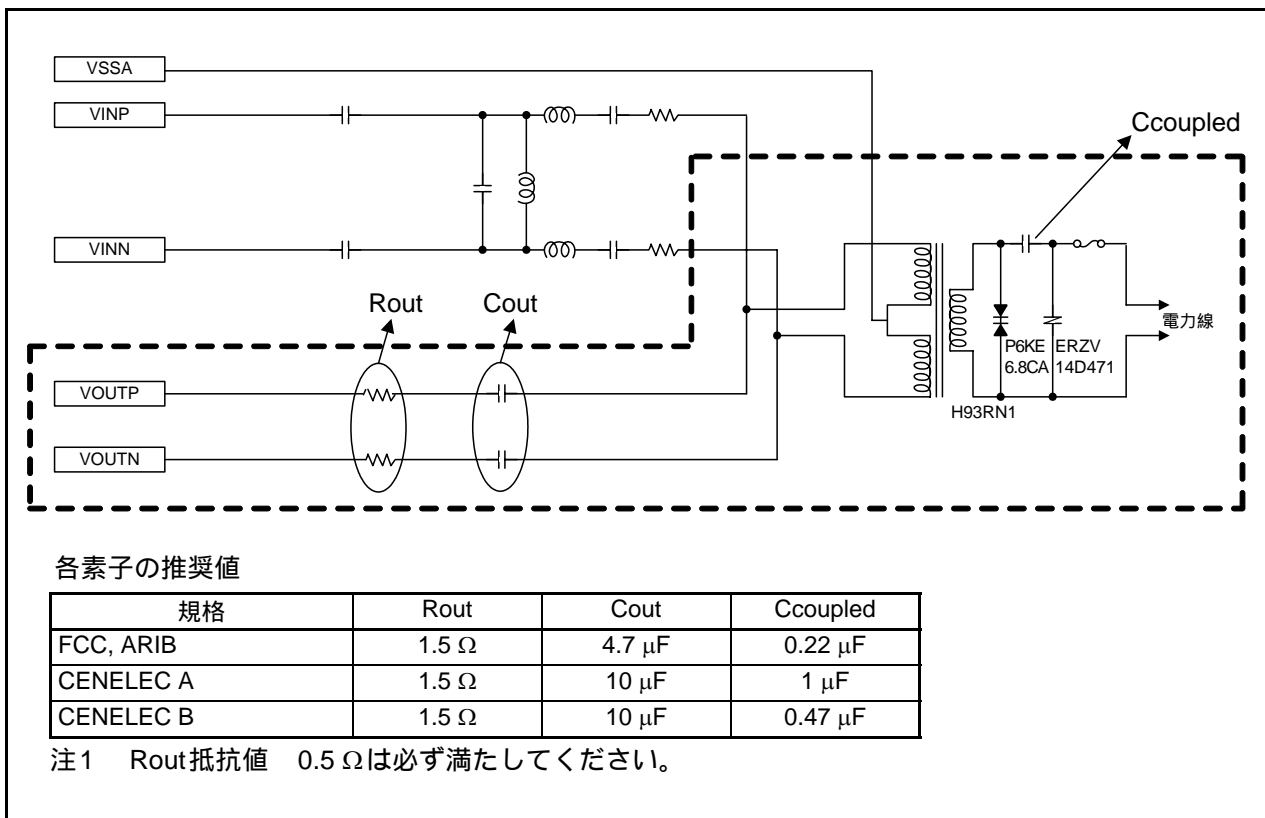


図26.3 送信部の推奨周辺回路

26.2.1 出力振幅調整

AFEレジスタの中にあるDACVREFレジスタ設定を変更することで、送信出力振幅を変更できます。図26.4にDACVREFコード(4ビット)と振幅(無負荷時)の代表的な特性を示しています。DACVREFレジスタは、弊社が提供するドライバソフトによって設定されます。参考として、負荷抵抗と送信出力振幅の代表的な特性を図26.5に示しています。実際の電力線上の出力振幅は、外付け回路やラインインピーダンスによって変わります。

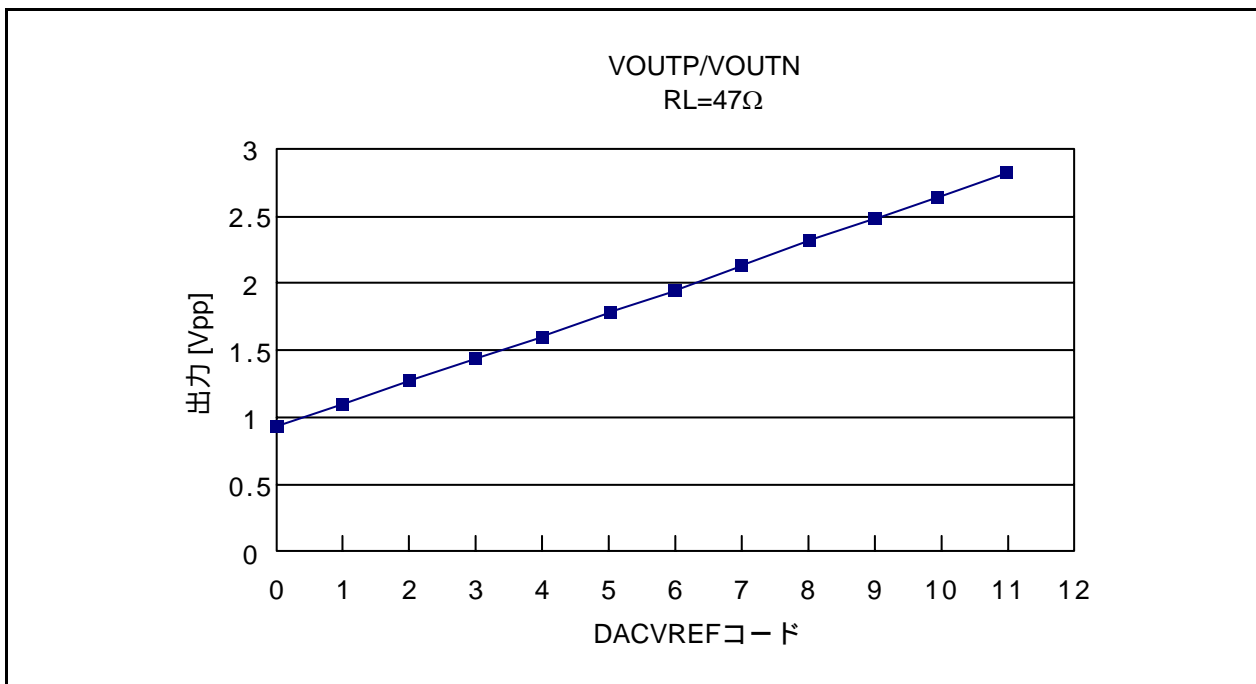


図26.4 DACVREFとラインドライバ出力振幅特性

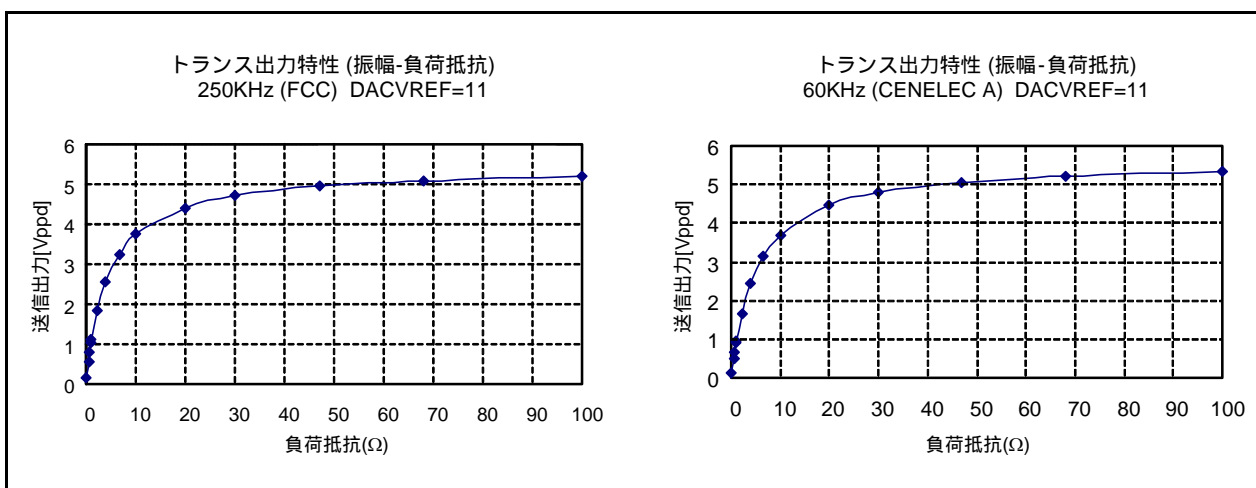


図26.5 ラインドライバ伝送R-Vの代表的な特性 (測定条件: 図26.3 Rout=1Ωで実施の場合)

注1. 負荷抵抗が小さい場合は、送信動作中の内蔵ラインドライバの発熱が大きくなります。送信動作は、パッケージ表面温度が125℃を超えない範囲で動作させてください。

26.2.2 短絡保護 (過電流保護回路)

M16C/6S1グループの内蔵ラインドライバは、LSIのピン間ショート等でDCの過電流が流れた場合、内蔵の保護回路がラインドライバ出力を停止します。OC_ENピンは過電流保護回路の有効/無効を選択します。OC_ENピンを“H”にすると過電流保護回路は有効になります。いったん過電流保護回路が動作すると、過電流保護回路をリセットするまで送信はできません。過電流保護回路は、OC_ENピンをLにするか、外部リセットによってリセットされます。また、ソフトウェアによって過電流保護回路をリセットすることもできます。

26.2.3 外部ラインドライバ使用時の周辺回路

外部にドライバ回路を設置して使用する場合は、EXTLDP、EXTLDN端子を外部ドライバの入力に接続します。図26.6に外部ラインドライバ接続例を示します。外部ラインドライバを使用する際には、内蔵レジスタの適切な設定が必要です。これは、弊社が提供するドライバソフトによって設定されます。

また、EXTLDP、EXTLDN端子は、保護のため抵抗を内蔵しています。外付けドライバアンプでゲインを算出する際は、内蔵抵抗の値を加えてください。

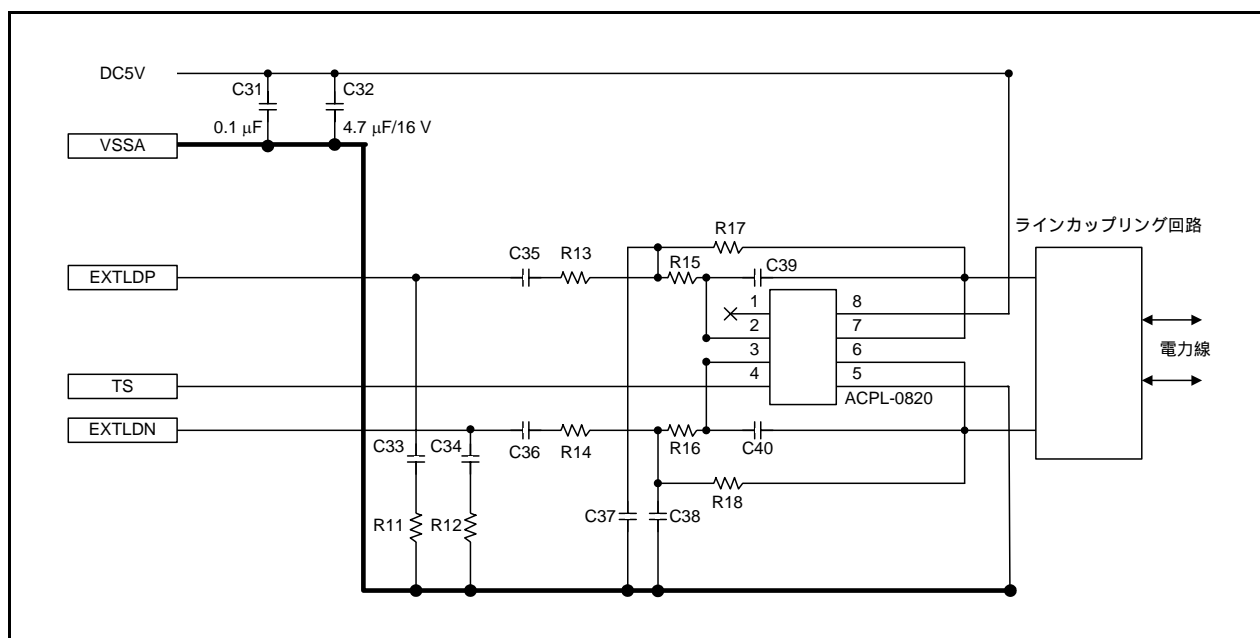


図26.6 外部ラインドライバ接続例(図中のLSIはAVAGO Technologies社製ACPL-0820)

EXTLDP/EXTLDNの内蔵抵抗：450Ω (標準値)

26.3 受信経路

M16C/6S1グループに内蔵する受信部のアナログ回路を図26.7に示します。VINPおよびVINNから差動入力された信号は、VGAによって振幅調整され、ADCによってデジタル信号に変換後、PLCデジタル部に入力されます。

VGAのゲインは、PLCデジタル部によって自動的に適切なゲインに設定されます。

内蔵VGAへの信号入力前に適切なバンドパスフィルタを配置し、信号帯域外ノイズを低減させることで、受信性能が向上します。推奨する入力フィルタを図26.8に示します。

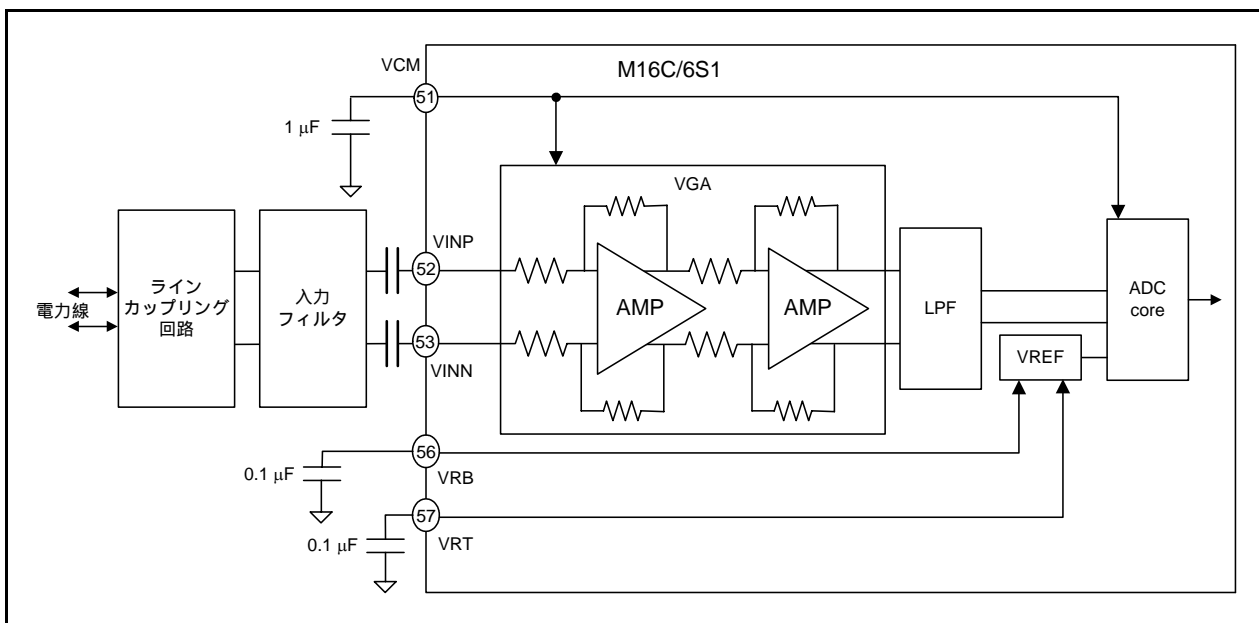


図26.7 AFEの受信部アナログ回路図

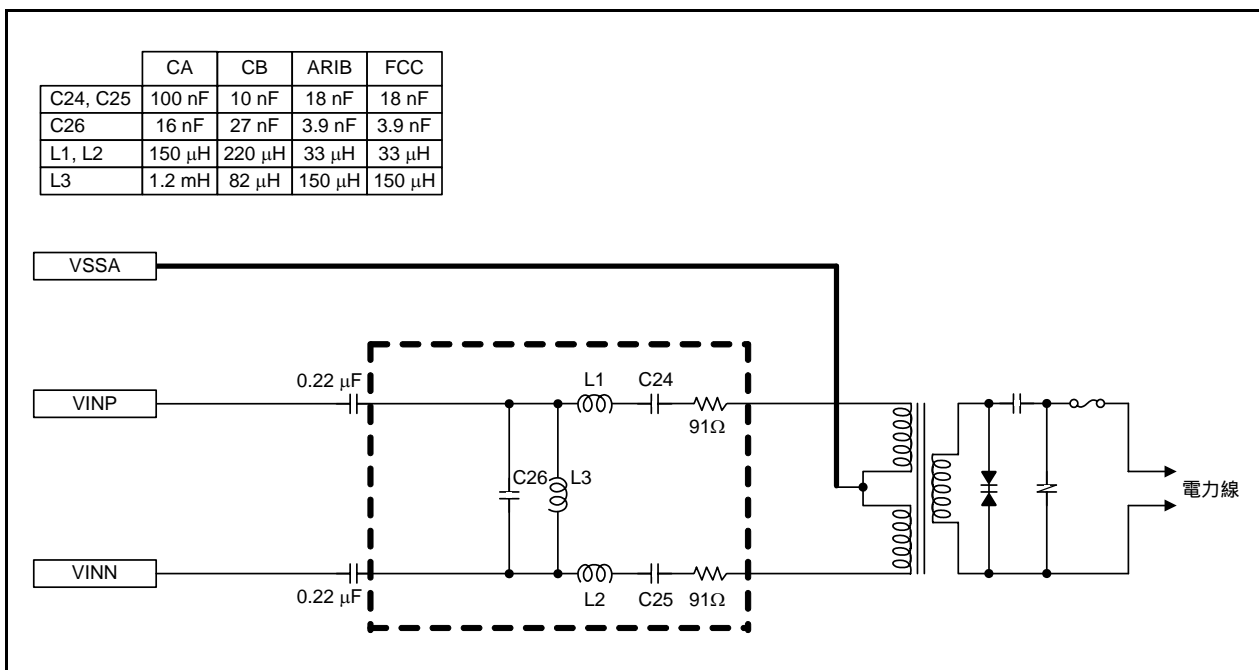


図26.8 推奨する入力フィルタ図

注1. 電力線から強いノイズや信号が入る場合は、適切な保護回路やアッテネータを配置し、VINP/VINNの許容入力レンジを越えないように注意してください。

26.4 その他の回路

VCC15端子は、PLC部のデジタル回路用レギュレータ(VDC)出力ピンです。VSSとの間のバイパス容量に接続してください。他の回路の電源供給には使用できません。

また、この内蔵レギュレータへの電源は、VCC2から供給されます。PLC部を停止させ、さらにVDCもON/OFFする際には、インラッシュカレントによるVCC2の電圧降下に注意する必要があります。図26.9に推奨する周辺回路を示します。PLC部の制御は、弊社が提供するドライバソフトによって行います。

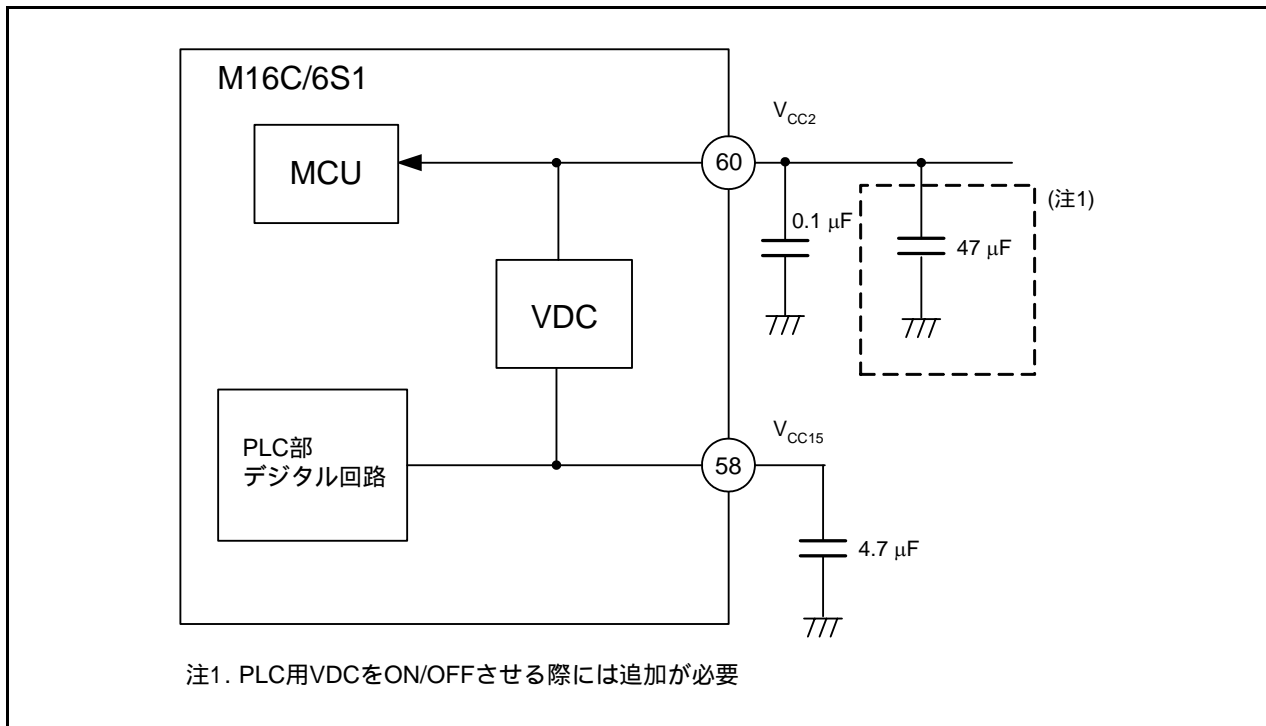


図26.9 PLC用レギュレータ周りの推奨回路

26.5 実装時の注意事項

- M16C/6S1グループはラインドライバ回路(パワーアンプ)を内蔵しており、LSI裏面と基板をはんだで必ず密着させてください。また、熱拡散のために四層以上のPCBを推奨します。
- 基板上でのラインドライバ回路の電源供給配線は、電気的特性に表示した供給電流仕様を考慮し、十分な配線幅を確保してください。配線抵抗が大きい場合は、歪が発生したり、十分な振幅が得られないことがあります。
- ラインドライバ出力ピンの短絡に注意してください。VOUTPとVOUTNの短絡およびそれぞれのピンが電源もしくはGNDに短絡すると、過電流によりLSIが破壊されることがあります。また、ラインドライバの出力ピン(32, 33, 34, 38, 39, 40)、電源ピン(29, 30, 31, 41, 42, 43)およびGNDピン(35, 36, 37)は、必ずすべてのピンを接続してください。
- トランスは、伝達比が1:1のものをご使用ください。
- ラインドライバ出力に接続される容量は、内部抵抗(ESR)の小さいものにしてください。ESR値が大きくなると、トランス出力での出力振幅は小さくなります。
- アナログ回路部の電源(VCCA)は、デジタル回路からのノイズの影響が少なくなるように、デジタル部と電源を分けるようにしてください。
- 各電源のLSI端子の近傍にバイパス容量0.1 μF を付加してください。但し、ラインドライバの電源端子(Pin番号: (29, 30, 31)および(41, 42, 43))のバイパス容量は4.7 μF 以上付加してください。

27. 電気的特性

27.1 絶対最大定格

表27.1 絶対最大定格

記号	項目	条件	定格値	単位	
V _{CC1}	電源電圧	V _{CC1} =AV _{CC}	-0.3~4.6	V	
V _{CC2}	電源電圧	V _{CC1} =AV _{CC}	-0.3~V _{CC1} + 0.1 (注1)	V	
V _{CCA}	電源電圧		-0.3~4.6	V	
AV _{CC}	アナログ電源電圧	V _{CC1} =AV _{CC}	-0.3~4.6	V	
V _{REF}	アナログ基準電圧	V _{CC1} =AV _{CC}	-0.3~V _{CC1} + 0.1 (注1)	V	
V _{CC15}	1.5V系電源(出力)		-0.3~2.1	V	
V _I	入力電圧	RESET, CNVSS, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XIN	-0.3~V _{CC1} + 0.3 (注1)	V	
		P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, UROM_EN	-0.3~V _{CC2} + 0.3 (注1)	V	
		P7_0, P7_1, P8_5	-0.3~4.6	V	
		VINP, VINN, TESTP, TESTN, OC_EN	-0.3~V _{CCA} + 0.3	V	
V _O	出力電圧	P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XOUT	-0.3~V _{CC1} + 0.3 (注1)	V	
		P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, TS	-0.3~V _{CC2} + 0.3 (注1)	V	
		P7_0, P7_1, P8_5	-0.3~4.6	V	
		VOUTP, VOUTN, EXTLDP, EXTLDN, VCM, VCMTX, VRT, VRB, TESTP, TESTN, OC	-0.3~V _{CCA} + 0.3	V	
P _d	消費電力	-40 < T _{opr} 85	1200	mW	
T _{opr}	動作周囲温度	マイコン動作時	-20~85/-40~85		
		フラッシュ書き込み消去時	プログラム領域		-20~85/-40~85
			データ領域		-20~85/-40~85
T _{stg}	保存温度		-65~150		

注1. 最大4.6Vです。

27.2 推奨動作条件

表27.2 推奨動作条件 (1/4)

指定のない場合は、 $V_{CC1} = V_{CC2} = 2.7\sim 3.6V$ 、 $T_{opr} = -20\sim 85$ / $-40\sim 85$ です。

記号	項目		規格値			単位	
			最小	標準	最大		
V_{CC1}	電源電圧	PLC動作	$V_{CC1}=V_{CC2}=V_{CCA}$	3.0		3.6	V
		PLC非動作	$V_{CC1}=V_{CC2}=V_{CCA}$	2.7		3.6	V
V_{CC2}	電源電圧		$V_{CC1}=V_{CC2}=V_{CCA}$		V_{CC1}		V
V_{CCA}	電源電圧		$V_{CC1}=V_{CC2}=V_{CCA}$		V_{CC1}		V
AV_{CC}	アナログ電源電圧				V_{CC1}		V
V_{SS}	電源電圧				0		V
V_{SSA}	電源電圧				0		V
AV_{SS}	アナログ電源電圧				0		V
V_{IH}	"H"入力電圧	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, UROM_EN		$0.8V_{CC2}$		V_{CC2}	V
		P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, TS		$0.8V_{CC1}$		V_{CC1}	V
		P7_0, P7_1, P8_5		$0.8V_{CC1}$		4.6	V
		OC_EN		$0.8V_{CCA}$		V_{CCA}	V
V_{IL}	"L"入力電圧	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, UROH_EN		0		$0.2V_{CC2}$	V
		P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, TS		0		$0.2V_{CC1}$	V
		OC_EN		0		$0.2V_{CCA}$	V

表27.3 推奨動作条件 (2/4)

指定のない場合は、 $V_{CC1} = V_{CC2} = 2.7\sim 3.6V$ 、 $T_{opr} = -20\sim 85$ / $-40\sim 85$ です。

記号	項目		規格値			単位	
			最小	標準	最大		
$I_{OH(sum)}$	"H"尖頭総出力電流	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7の $I_{OH(peak)}$ の総和				-40.0	mA
		P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7の $I_{OH(peak)}$ の総和				-40.0	mA
$I_{OH(peak)}$	"H"尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7				-10.0	mA
$I_{OH(avg)}$	"H"平均出力電流 (注1)	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7				-5.0	mA
$I_{OL(sum)}$	"L"尖頭総出力電流	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7の $I_{OL(peak)}$ の総和				80.0	mA
		P7_0~P7_7, P8_0~P8_9, P9_0~P9_7, P10_0~P10_7の $I_{OL(peak)}$ の総和				80.0	mA
$I_{OL(peak)}$	"L"尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7				10.0	mA
$I_{OL(avg)}$	"L"平均出力電流 (注1)	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7				5.0	mA

注1. 平均出力電流は100msの期間内での平均値です。

表27.4 推奨動作条件 (3/4)

指定のない場合は、 $V_{CC1} = V_{CC2} = 2.7\sim 3.6V$ 、 $T_{opr} = -20\sim 85$ / $-40\sim 85$ です。

記号	項目	規格値			単位	
		最小	標準	最大		
$f_{(XIN)}$	メインクロック入力発振周波数		15.36		MHz	
$f_{(XCIN)}$	サブクロック発振周波数	30	32.768	35	kHz	
$f_{(PLL)}$	PLLクロック発振周波数	$V_{CC} = 2.7\sim 3.6V$		10	32	MHz
$f_{(BCLK)}$	CPU動作周波数	$V_{CC1} = V_{CC2} = 3.0\sim 3.6V$		2	32 (注1)	MHz
$f_{SU(PLL)}$	PLL周波数シンセサイザ安定待ち時間	$V_{CC1} = 3.0V$			3	ms

注1. $V_{CC1} = V_{CC2} = 2.7\sim 3.0V$ のときは24MHzです。

表27.5 推奨動作条件 (4/4)

(指定のない場合は、 $V_{CC1} = 2.7\sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20\sim 85$ / $-40\sim 85$)(注1)

電源リップルは $V_{r(VCC1)}$ 、 $dV_{r(VCC1)}/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
$V_{r(VCC1)}$	許容電源リップル電圧			0.3	Vp-p
$V_{r(VCCA)}$	VCCA許容電源リップル電圧			0.025	Vp-p
$dV_{r(VCC1)}/dt$	電源リップル立ち下がり勾配			0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

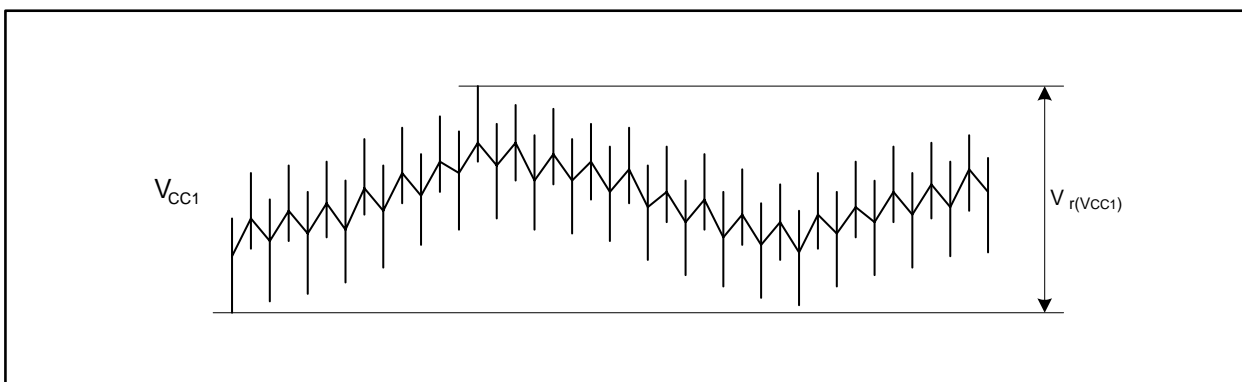


図27.1 電源リップル波形

27.3 A/D変換特性

表27.6 A/D変換特性 (1/2) (注1)

指定のない場合は、 $AV_{CC}=V_{CC1}=V_{CC2}=V_{REF}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85$ / $-40\sim 85$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$AV_{CC}=V_{CC1}=V_{CC2}=V_{REF}$			10	Bits
I_{NL}	積分非直線性誤差	10bit AN0~AN7入力 AN0_0~AN0_7入力 ANEX0、ANEX1入力 (注2)			± 3	LSB
-	絶対精度	10bit AN0~AN7入力 AN0_0~AN0_7入力 ANEX0、ANEX1入力 (注2)			± 3	LSB

注1. $AV_{CC}=V_{CC1}=V_{CC2}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。
「図27.2 A/D精度測定回路」を参照してください。

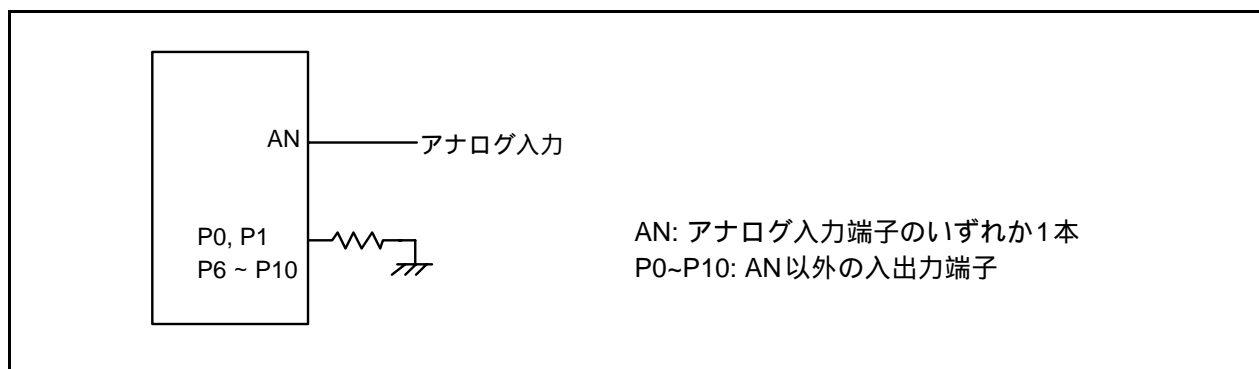


図27.2 A/D精度測定回路

表27.7 A/D変換特性 (2/2) (注1)

指定のない場合は、 $AV_{CC}=V_{CC1}=V_{CC2}=V_{REF}=2.7V\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85$ / $-40\sim 85$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ϕAD	A/D動作クロック周波数	3.2V V_{REF} AV_{CC} 3.6V	2		15.36	MHz
		3.0V V_{REF} AV_{CC} 3.6V	2		11.52	MHz
		2.7V V_{REF} AV_{CC} 3.6V	2		5.72	MHz
-	許容信号源インピーダンス			3	k	
D_{NL}	微分非直線性誤差	(注3)			± 1	LSB
-	オフセット誤差	(注3)			± 3	LSB
-	ゲイン誤差	(注3)			± 3	LSB
t_{CONV}	変換時間 (10bit)	$V_{CC1}=3.3V$ 、 $\phi AD=7.68MHz$	2.8			μs
t_{SAMP}	サンプリング時間		0.98			μs
V_{REF}	基準電圧		2.7		AV_{CC}	V
V_{IA}	アナログ入力電圧 (注2)		0		V_{REF}	V

注1. $AV_{CC}=V_{CC1}=V_{CC2}$ で使用してください。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

注3. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。
「図27.2 A/D精度測定回路」を参照してください。

27.4 フラッシュメモリの電気的特性

表27.8 フラッシュメモリ動作時のCPUクロック (f_{BCLK})

指定のない場合は、 $V_{\text{CC1}}=2.7\sim 3.6\text{V}$ 、 $T_{\text{opr}}=-20\sim 85$ / $-40\sim 85$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				10 (注1)	MHz
$f_{\text{(SLOW_R)}}$	スローリードモード				5 (注3)	MHz
-	低消費電流リードモード			$f_{\text{C}}(32.768)$	35	kHz
-	データフラッシュリード	$3.0\text{V} < V_{\text{CC1}} < 3.6\text{V}$			20 (注2)	MHz
-	データフラッシュリード	$2.7\text{V} \leq V_{\text{CC1}} \leq 3.0\text{V}$			16 (注2)	MHz

- 注1. PM1レジスタのPM17ビットは“1”(1ウェイト)にしてください。
- 注2. この周波数を超える場合は、FMR1レジスタのFMR17ビットを“0”(1ウェイト)にするか、またはPM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。
- 注3. PM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

表27.9 フラッシュメモリ(プログラムROM1、2)の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 3.6V$ 、 $T_{opr}=0\sim 60$ (オプション: $-40\sim 85$) です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC1}=3.3V$ 、 $T_{opr}=25$	1,000 (注2)			回
-	2ワードプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25$		150	4000	μs
-	ロックビットプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25$		70	3000	μs
-	ブロックイレーズ時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				5+CPUクロック x 3サイクル	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				30+CPUクロック x 1サイクル	μs
-	書き込み、消去電圧		2.7		3.6	V
-	読み出し電圧	$T_{opr}= -20\sim 85 / -40\sim 85$	2.7		3.6	V
-	書き込み、消去時の温度		0		60	
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = 55	20			年

- 注1. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数がn回(n=1,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
例えば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。
- 注6. 電源電圧またはクロックが印加されていない時間を含みます。
- 注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

表27.10 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 3.6V$ 、 $T_{opr}=-20\sim 85\ /-40\sim 85$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC1}=3.3V$ 、 $T_{opr}=25$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				5+CPUクロック × 3サイクル	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				30+CPUクロック × 1サイクル	μs
-	書き込み、消去電圧		2.7		3.6	V
-	読み出し電圧		2.7		3.6	V
-	書き込み、消去時の温度		-20/-40		85	
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = 55	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n=10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

27.5 電圧検出回路、電源回路の電気的特性

表 27.11 電圧検出回路の電気的特性

指定のない場合の測定条件は $V_{CC1}=2.7 \sim 3.6V$ 、 $T_{opr} = -20 \sim 85 / -40 \sim 85$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0_0} (注1)	V_{CC1} 立ち下がり時	1.80	1.90	2.10	V
	電圧検出レベル V_{det0_2} (注1)	V_{CC1} 立ち下がり時	2.70	2.85	3.00	V
-	電圧検出回路反応時間 (注3)	V_{CC1} を 3.6V から ($V_{det0_0} - 0.1$)V に下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC25=1$ 、 $V_{CC1}=3.3V$		1.5		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注2)				100	μs

注1. 電圧検出レベルはOFS1番地のVDSEL1ビットで選択してください。

注2. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V_{det0} を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表27.12 電源回路のタイミング特性

指定のない場合の測定条件は $V_{CC1}=2.7 \sim 3.6V$ 、 $T_{opr}=25$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時の内部電源安定時間 (注1)				5	ms
$t_{d(R-S)}$	STOP解除時間				150	μs
$t_{d(W-S)}$	低消費電力モードウェイトモード解除時間				150	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

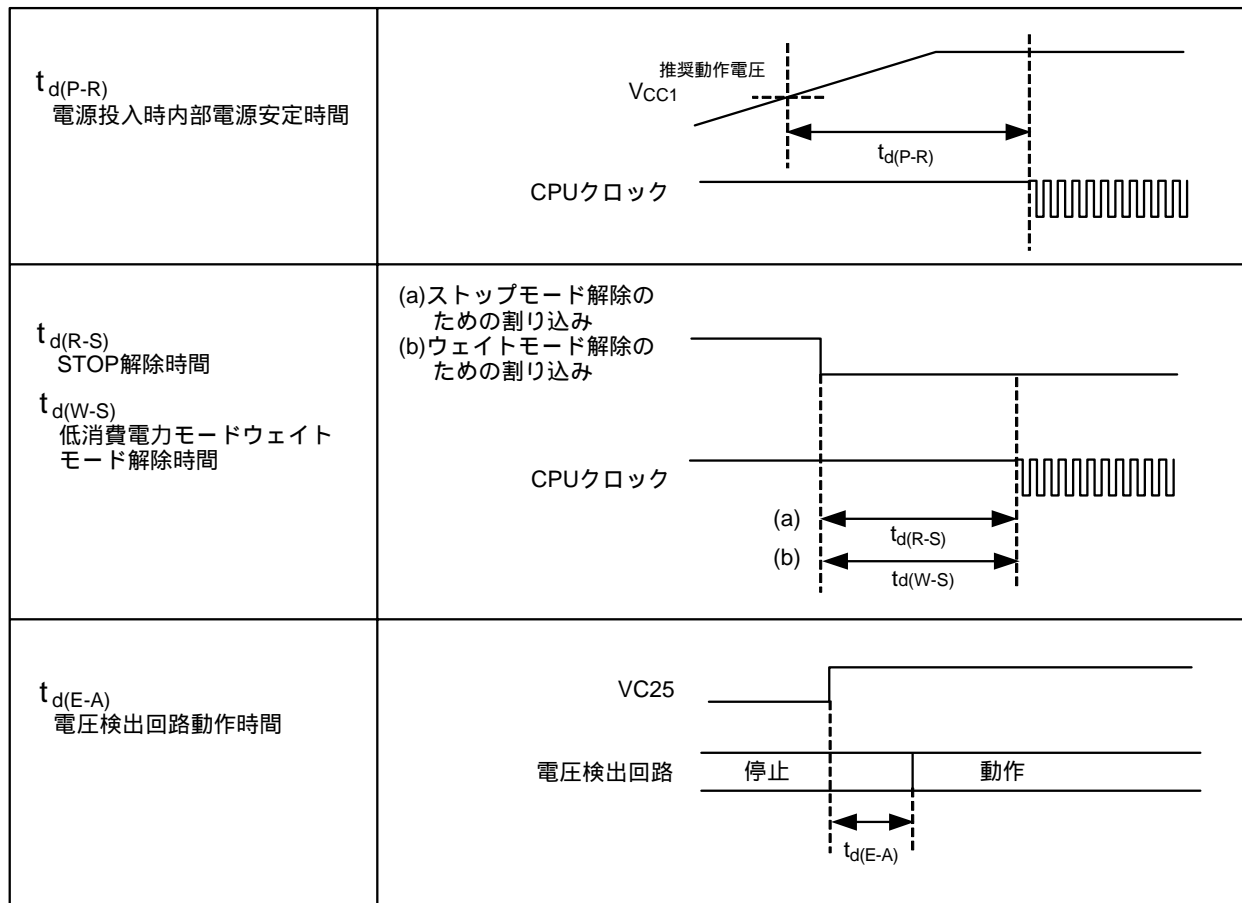


図27.3 電源回路のタイミング図

27.6 発振回路の電気的特性

表27.13 125kHz オンチップオシレータ発振回路の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 3.6V$ 、 $T_{opr} = -20 \sim 85 / -40 \sim 85$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f_{OCO-S}	125kHz オンチップオシレータ発振周波数	10msの期間での平均周波数	100	125	150	kHz
$t_{su}(f_{OCO-S})$	125kHz オンチップオシレータ発振安定待ち時間				20	μs

27.7 アナログフロントエンド(AFE)の電気的特性

表27.14 アナログフロントエンド(AFE)の電気的特性

指定のない場合の測定条件は $V_{CC1} = A_{VCC} = V_{CCA} = 3.3V$ 、 $V_{SSA} = 0V$ 、 $T_{opr} = 25$ です。

項目	測定条件	対象端子名	規格値			単位
			最小	標準	最大	
アナログ電源電圧	DC	VCCA	3.0	3.3	3.6	V
PLCデジタル部電源電圧 (内部供給)	DC	VCC15		1.5		V
DC基準電圧	DC	VCMTX		VCCA/2		V
	DC	VCM		1.5		V
	DC	VRT		2.0		V
	DC	VRB		1.0		V
アナログ電源供給電流	推奨周辺回路(図26.3) DACVREF=11 負荷抵抗=1	VCCA (Pin No.: 29、30、 31、41、42、43)			350	mA _{RMS}
最大出力振幅	VOUTP/VOUTNの 負荷抵抗=50 DACVREF=11	VOUTP VOUTN		5.0		V _{pp}
出力ピンDC電位	送信時、送信停止時	VOUTP VOUTN		VCCA/2		V
SFDR (スプリアスフリー ダイナミックレンジ)	負荷抵抗=50、 f=100KHz RBW=9kHz 推奨周辺回路(図26.3)	VOUTP VOUTN		-60 (注1)		dB _C
出力インピーダンス	送信停止時(DC)	VOUTP VOUTN		16		k
最大出力振幅(外付けライ ンドライバ接続の場合)	無負荷 DACVREF=11	EXTLDP EXTLDN		4.2		V _{ppd}
入力インピーダンス	DC	VINP、VINN		1		Kohms
入力振幅	VGA=-6dB	VINP、VINN			3.0	V _{pp}
入力ピンDC電位	DC	VINP、VINN		1.5		V
AGCゲインステップ	VGA各ゲイン設定			6		dB

注1. 数値はLSI出力点での値です。出力振幅・歪みは下記の条件によって変わります。

- DACVREFの設定値
- 周辺回路や結合回路部の定数および伝送路の状況

27.8 電気的特性

表27.15 電気的特性(1)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.6V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85$ / $-40\sim 85$ 、 $f_{(BCLK)}=30.72MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	I _{OH} = -1mA	V _{CC1} - 0.5		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P6_0~P6_7	I _{OH} = -1mA	V _{CC2} - 0.5		V _{CC2}	
V _{OH}	"H"出力電圧	XOUT	HIGHPOWER	I _{OH} = -0.1mA	V _{CC1} - 0.5	V _{CC1}	V
			LOWPOWER	I _{OH} = -50 μA	V _{CC1} - 0.5	V _{CC1}	
	"H"出力電圧	XCOU _T	無負荷時		1.5		V
V _{OL}	"L"出力電圧	P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	I _{OL} =1mA			0.5	V
		P0_0~P0_7, P1_0~P1_7, P6_0~P6_7	I _{OL} =1mA			0.5	
V _{OL}	"L"出力電圧	XOUT	HIGHPOWER	I _{OL} =0.1mA		0.5	V
			LOWPOWER	I _{OL} =50 μA		0.5	
V _{T+} -V _{T-} V _{T+} -V _{T-}	"L"出力電圧	XCOU _T	無負荷時		0		V
	ヒステリシス	TA1IN~TA4IN, TB0IN~TB5IN, INT1, INT5, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL6, SDA0~SDA2, SDA5~SDA6, CLK0~CLK6, TA1OUT~TA4OUT, KI0~KI7, RXD0~RXD2, RXD5~RXD6, SIN3, SIN4, SCLMM, SDAMM, OC_EN		0.2		1.0	V
	ヒステリシス	RESET		0.2		1.8	V
I _{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7	V _I =V _{CC2}			4.0	μA
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, TMOD, UROM_EN, OC_EN	V _I =V _{CC1}			4.0	
I _{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, TMOD, UROM_EN, OC_EN	V _I =0V			-4.0	μA
R _{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	V _I =0V	30	100	500	k
R _{FXIN}	帰還抵抗	XIN			1		M
R _{FXCIN}	帰還抵抗	XCIN			8		M
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V

表 27.16 電気的特性(2)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.6V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85$ / $-40\sim 85$ 、 $f_{(BCLK)}=30.72MHz$ です。

記号	項目	測定条件				規格値			単位		
		MCU部		PLC部		最小	標準	最大			
I _{CC}	電源電流 MCU部の出力端子は開放、MCU部のその他の端子はV _{SS} PLC部は外付け推奨回路時 国内規格(ARIB)モード FCC設定、DACVREF=3(注2)	高速モード	f _(BCLK) =30.72MHz XIN=15.36MHz、 125kHz オンチップ オシレータ停止 CM15=1(駆動能力 High) PLL動作	受信待機時	DUALモード		75		mA		
				受信時			92		mA		
				送信時		負荷抵抗 10、 VCCA=3.3V		202		mA	
					PLC=OFF(注1)				20		mA
		f _(BCLK) =15.36MHz XIN=15.36MHz、 125kHz オンチップ オシレータ停止 CM15=1(駆動能力 High) PLL動作	受信待機時	DUALモード		66		mA			
			受信時			83		mA			
			送信時	負荷抵抗 10、 VCCA=3.3V		193		mA			
					PLC=OFF(注1)				11		mA
		ウェイトモード	f _(BCLK) =15.36MHz XIN=15.36MHz、 125kHz オンチップ オシレータ停止 CM15=1(駆動能力 High) PLL動作	受信待機時	DUALモード		59		mA		
				PLC=OFF(注1)				4		mA	
		125kHz オンチップ オシレータモード	メインクロック停止 125kHz オンチップ オシレータ発振、分周無し FMR22=1 (スローリードモード)	PLC=OFF(注1)				2.2		mA	
		低消費電力 モード	f _(BCLK) =32kHz メインクロック停止 125kHz オンチップ オシレータ停止 FMR22=FMR23=1 (低消費電力リードモード) フラッシュメモリ上(注3)					2.1		mA	
		ウェイトモード	f _(BCLK) =32kHz メインクロック停止 125kHz オンチップ オシレータ停止					2		mA	
ストップモード	メインクロック停止 サブクロック停止 125kHz オンチップ オシレータ停止					2		mA			
フラッシュメモリ プログラム中	f _(BCLK) =10MHz、 PM17=1(1ウェイト) VCC1=3.0V					22		mA			
フラッシュメモリ イレース中	f _(BCLK) =10MHz、 PM17=1(1ウェイト) VCC1=3.0V					32		mA			

注1. PLC部の設定は、デジタル部のクロック停止、AFE部の各EN=L、AFE部のVDCとバイアスは動作している状態

注2. ルネサスの提供するDLLソフトで設定します。

注3. 実行するプログラムが存在するメモリを示す。

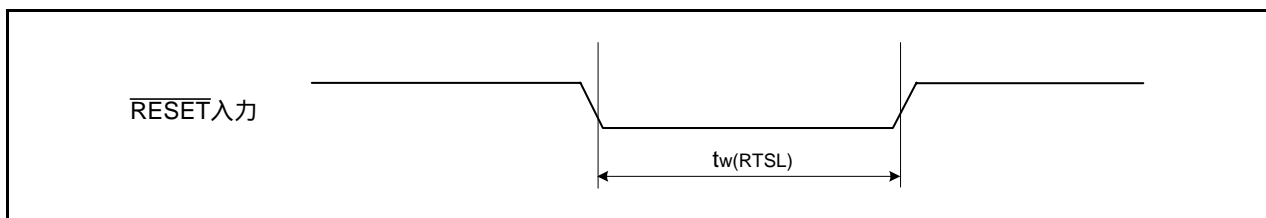
27.9 タイミング必要条件 (周辺機能、他)

(指定のない場合は、 $V_{CC1}=V_{CC2}=3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85$ / $-40\sim 85$)

27.9.1 リセット入力

表27.17 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

図27.4 リセット入力 (\overline{RESET} 入力)

27.9.2 タイマA入力

表27.18 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	60		ns

表27.19 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	300		ns

表27.20 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

表27.21 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

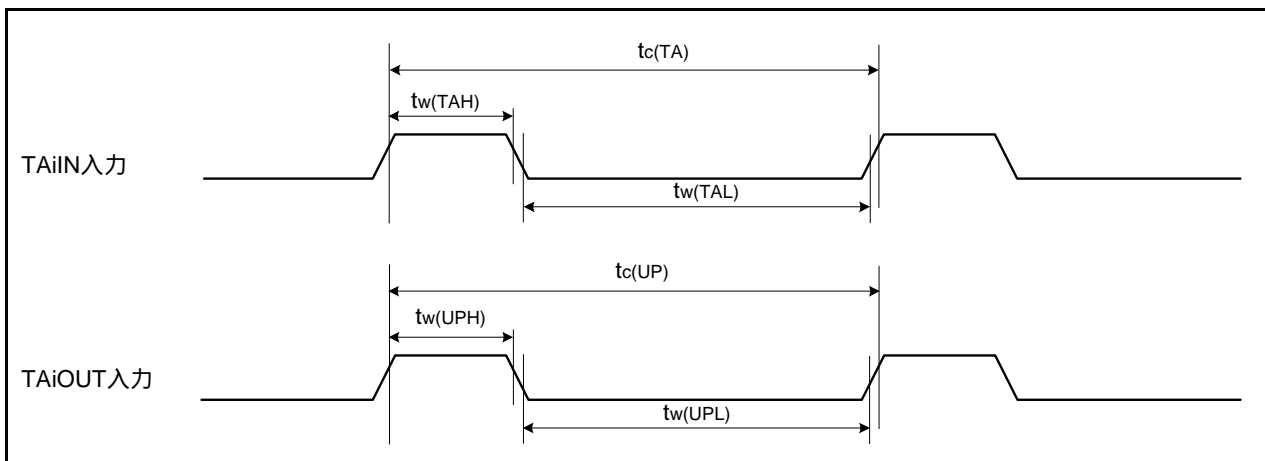


図 27.5 タイマA入力

表 27.22 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAIiN入力サイクル時間	2		μs
$t_{su(TAIN-TAOUT)}$	TAIoUT入力セットアップ時間	500		ns
$t_{su(TAOUT-TAIN)}$	TAIiN入力セットアップ時間	500		ns

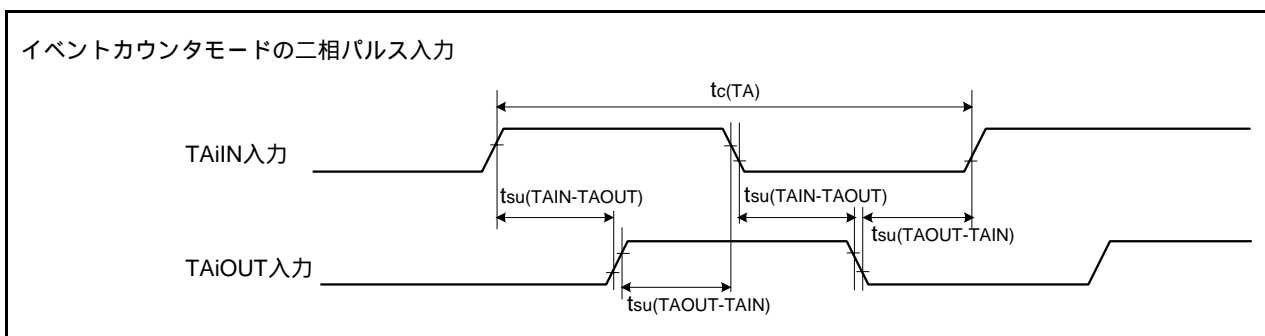


図 27.6 タイマA入力(イベントカウンタモードの二相パルス入力)

27.9.3 タイマB入力

表27.23 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表27.24 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表27.25 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

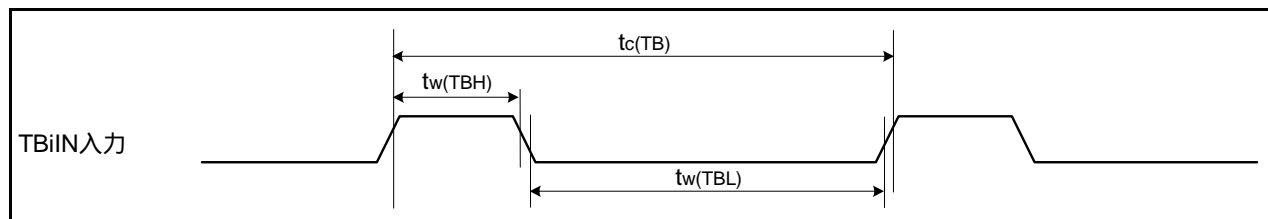


図27.7 タイマB入力

27.9.4 シリアルインタフェース

表27.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	300		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	150		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	150		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		160	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	100		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

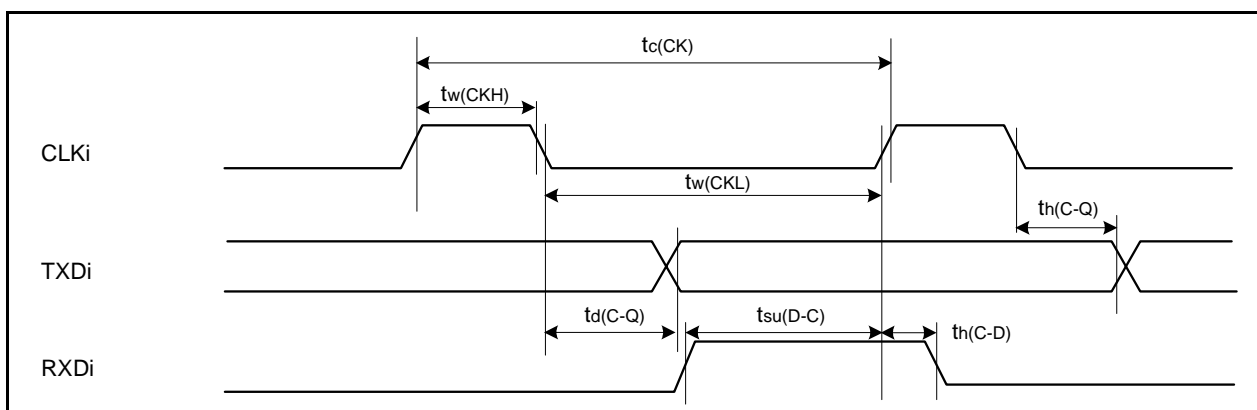
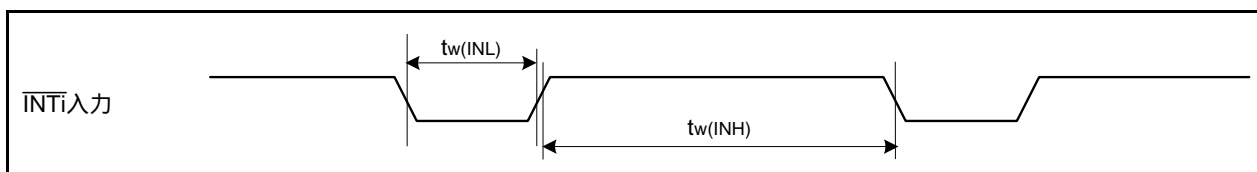


図27.8 シリアルインタフェース

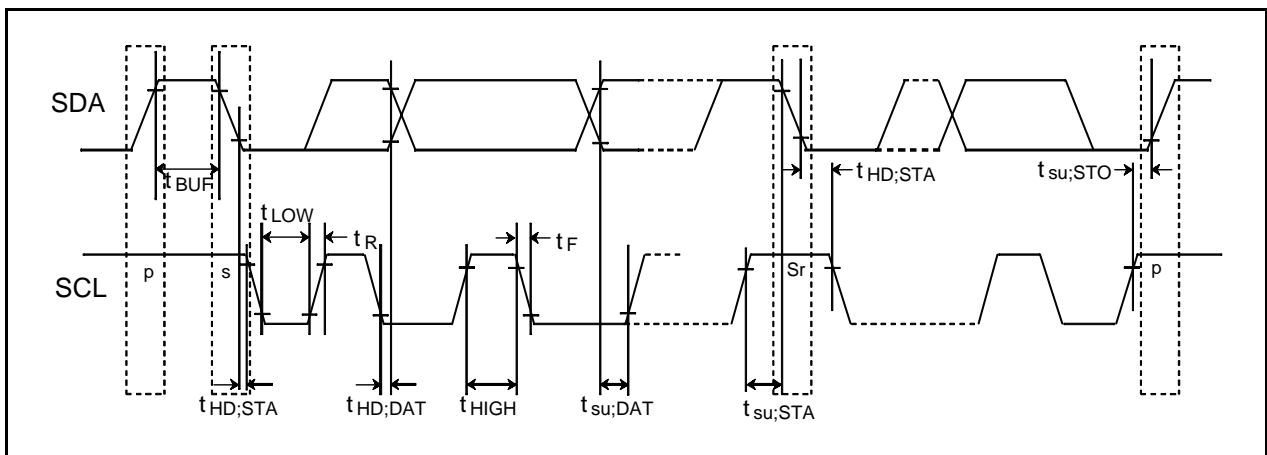
27.9.5 外部割り込み $\overline{\text{INTi}}$ 入力表27.27 外部割り込み $\overline{\text{INTi}}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 入力“H”パルス幅	380		ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 入力“L”パルス幅	380		ns

図27.9 外部割り込み $\overline{\text{INTi}}$ 入力

27.9.6 マルチマスタI²C-bus表27.28 マルチマスタI²C-bus

記号	項目	標準クロックモード		Fast-mode		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{\text{HD;STA}}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_{R}	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{\text{HD;DAT}}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_{F}	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{\text{su;DAT}}$	データセットアップ時間	250		100		ns
$t_{\text{su;STA}}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{\text{su;STO}}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図27.10 マルチマスタI²C-bus

28. 使用上の注意事項

28.1 OFS1 番地、IDコード格納番地

OFS1 番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1 番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1 番地は0FFFFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地に当たります。同様に、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地に当たります。

コンパイラを使ってプログラムを作成すると、リセットベクタや割り込みベクタはコンパイラが生成しますが、このとき、OFS1 番地、IDコード格納番地の値は“FFh”になります。したがって、これらの番地には別途、適切な値を書き込んでください。OFS1 番地にアセンブラで書き込む場合の例を示します。

例) OFS1 番地に“FEh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFFFFh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFFFFh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

28.2 ノイズに関する注意事項

ノイズ対策として、VCC1端子とVSS端子間、VCC2端子とVSS端子間にバイパスコンデンサ(0.1 μ F程度)を最短でかつ、比較的太い配線を使って接続してください。図28.1 バイパスコンデンサの接続例を示します。

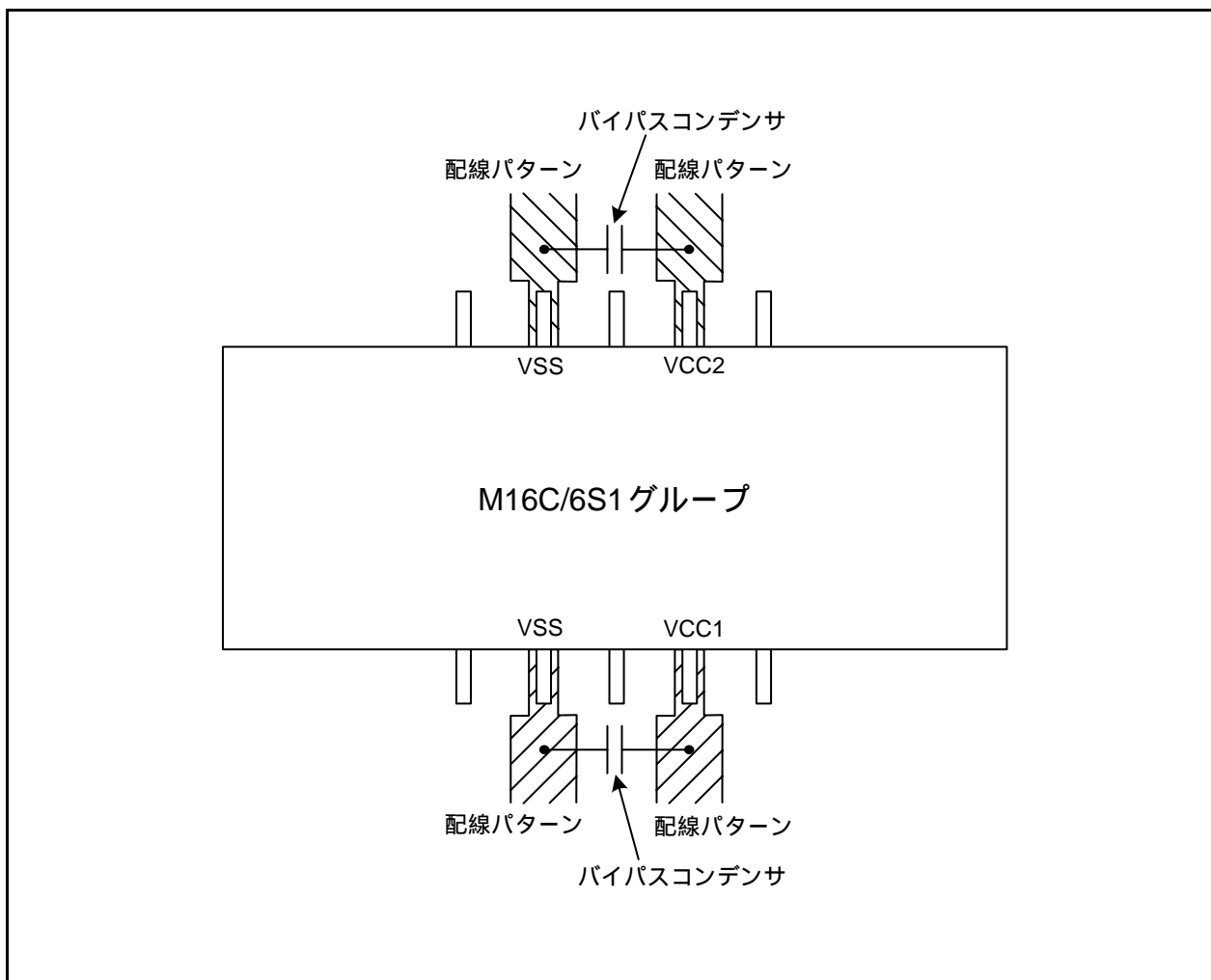


図28.1 バイパスコンデンサの接続例

28.3 SFR使用上の注意事項

28.3.1 レジスタ設定時の注意事項

表 28.1 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表28.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマリフレッシュレジスタ	WDTR	037Dh
ウォッチドッグタイマスタートレジスタ	WDTS	037Eh
タイマA0レジスタ	TA0	0327h~0326h
タイマA1レジスタ	TA1	0329h~0328h
タイマA2レジスタ	TA2	032Bh~032Ah
タイマA3レジスタ	TA3	032Dh~032Ch
タイマA4レジスタ	TA4	032Fh~032Eh
タイマA1-1レジスタ	TA11	0303h~0302h
タイマA2-1レジスタ	TA21	0305h~0304h
タイマA4-1レジスタ	TA41	0307h~0306h
UART0ビットレートレジスタ	U0BRG	0249h
UART1ビットレートレジスタ	U1BRG	0259h
UART2ビットレートレジスタ	U2BRG	0269h
UART5ビットレートレジスタ	U5BRG	0289h
UART6ビットレートレジスタ	U6BRG	0299h
UART7ビットレートレジスタ	U7BRG	02A9h
UART0送信バッファレジスタ	U0TB	024Bh~024Ah
UART1送信バッファレジスタ	U1TB	025Bh~025Ah
UART2送信バッファレジスタ	U2TB	026Bh~026Ah
UART5送信バッファレジスタ	U5TB	028Bh~028Ah
UART6送信バッファレジスタ	U6TB	029Bh~029Ah
UART7送信バッファレジスタ	U7TB	02ABh~02AAh
SI/O3ビットレートレジスタ	S3BRG	0273h
SI/O4ビットレートレジスタ	S4BRG	0277h
I2C0制御レジスタ1	S3D0	02B6h
I2C0ステータスレジスタ0	S10	02B8h

表 28.2 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROL <i>C</i> 、ROR <i>C</i> 、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

28.4 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

28.5 リセット使用上の注意事項

28.5.1 電源立ち上がり勾配

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源VCC1立ち上がり勾配 (電圧範囲0V~2V)	0.05			V/ms

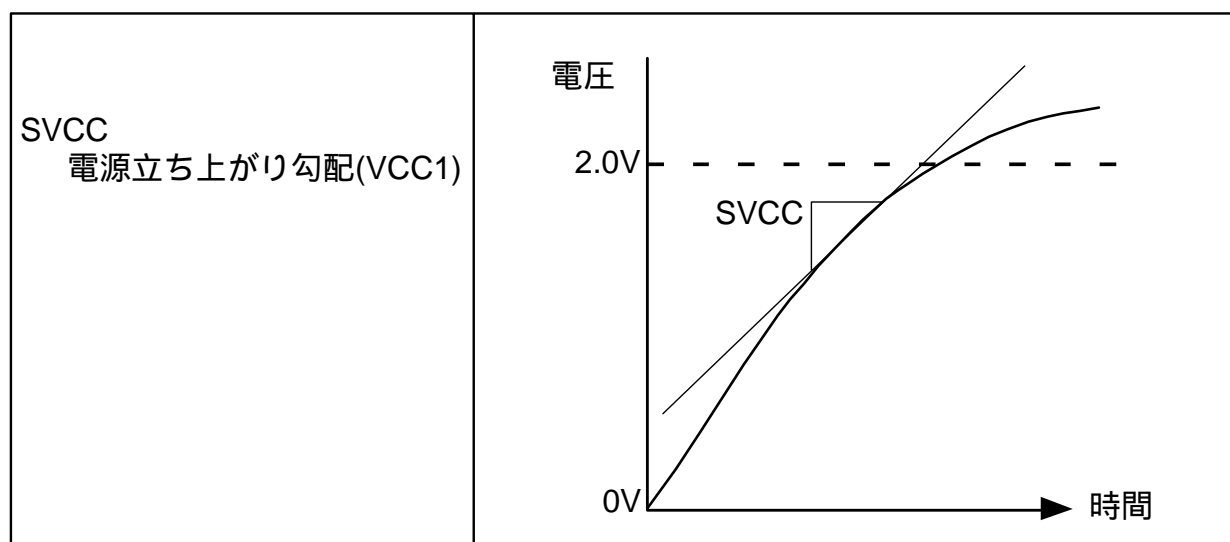


図28.2 SVCCのタイミング図

28.5.2 OSDRビット(発振停止検出リセット検出フラグ)

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”(未検出)になります。

28.5.3 VCC1 < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”(ハードウェアリセット後、電圧監視0リセット有効)かつVCC1 < Vdet0の状態、ハードウェアリセットした場合、RESET端子の入力レベルが“L”から“H”になると、リセットベクタで示される番地からプログラムを開始します。電圧監視0リセットにはなりません。

28.5.4 PLLクロックの発振開始

28.5.4.1 電圧検出0回路使用時

VCR2レジスタのVC25が“1”のときは、PLC0レジスタのPLC07ビットを“0”から“1”にしないでください。

電圧検出回路を使用する際、PLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) VC25ビットを“0”(電圧検出回路無効)にする
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) VC25ビットを“1”(電圧検出回路有効)にする

28.5.4.2 125kHzオンチップオシレータモードまたは125kHzオンチップオシレータ低消費電力モードで動作時

8分周または16分周(CM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択)で、PLC0レジスタのPLC07ビットを“0”から“1”にしてください。

28.5.4.3 タイマA、タイマBのカウントソース

PLLクロックを使用する場合は、タイマA、タイマBのカウントソースにfOCO-Sを選択しないでください。

28.5.4.4 ウォッチドッグタイマのカウントソースにfOCO-Sを選択時

PLC0レジスタのPLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) WDTRレジスタに“00h”を書いて“FFh”を書く(ウォッチドッグタイマリフレッシュ)
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) WDTRレジスタに“00h”を書いて“FFh”を書く(ウォッチドッグタイマリフレッシュ)

28.6 クロック発生回路使用上の注意事項

28.6.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/6S1グループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。なお、CLKOUT端子から出力するクロックは、25MHz以下にしてください。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビットCM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表28.3 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ PCLK5ビット	CM0レジスタ CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

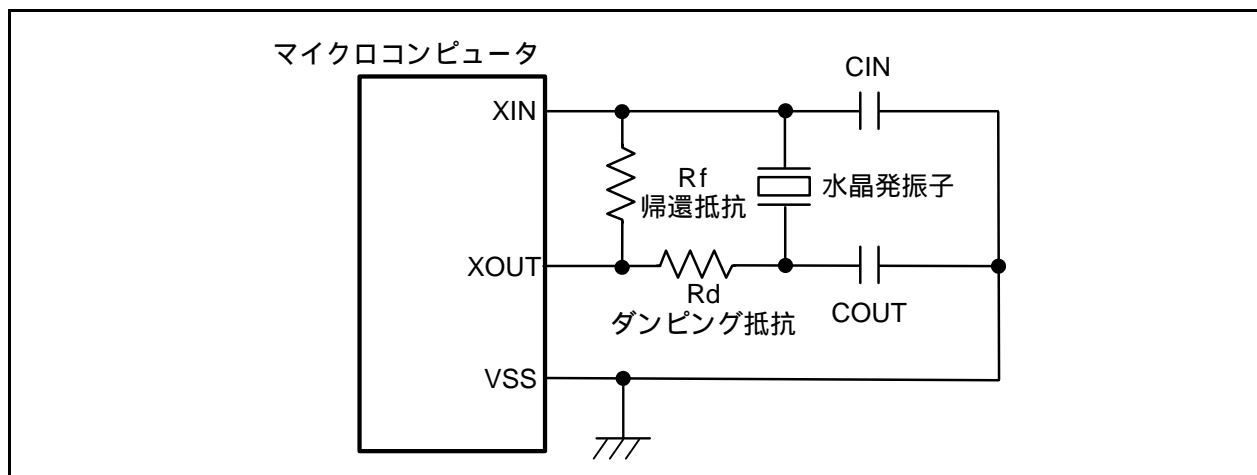


図28.3 発振回路例

28.6.2 発振回路のノイズ対策

28.6.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

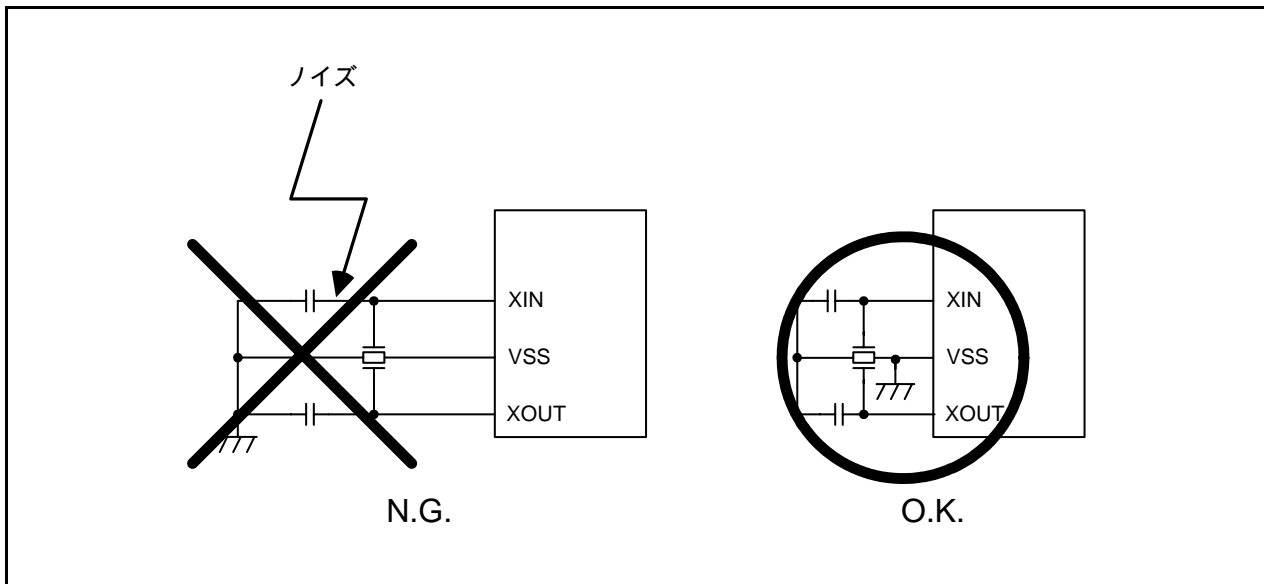


図28.4 クロック入出力端子の配線

- 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

28.6.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

•理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

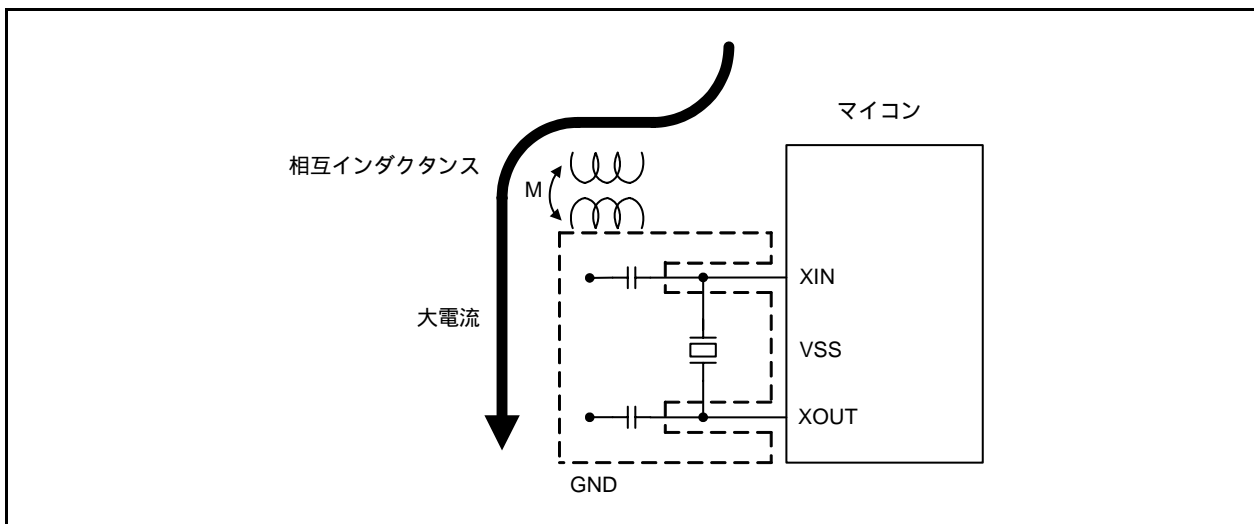


図28.5 大電流が流れる信号線の配線

28.6.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化するTAiOUT端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

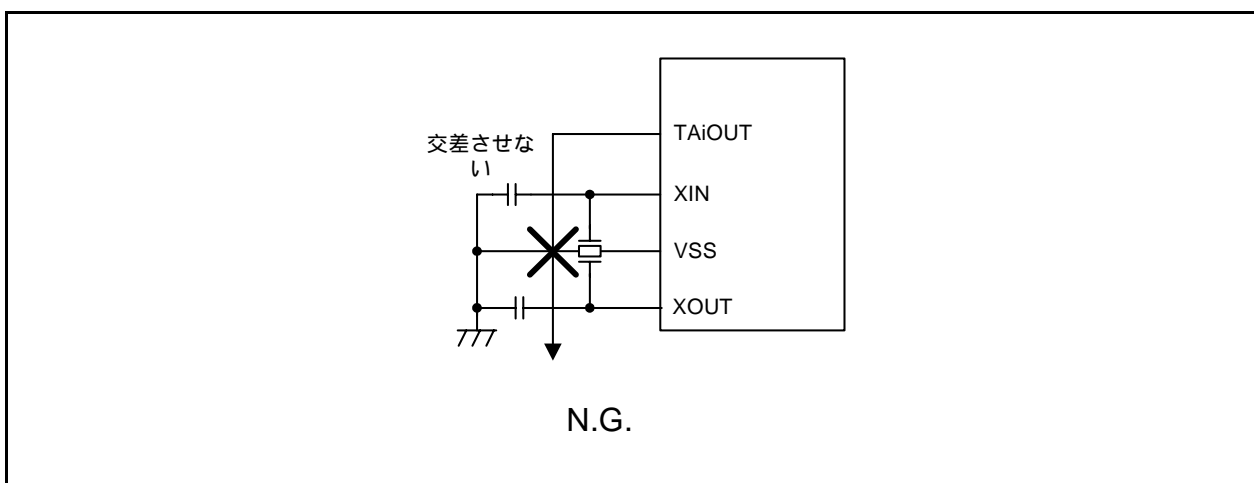


図28.6 高速にレベル変化する信号線の配線

28.6.3 発振停止、再発振検出機能

- 次の場合は、CM20 ビットを “0” (発振停止、再発振検出機能無効) にした後、それぞれの状態に遷移してください。

CM05 ビットを “1” (メインクロック停止) にする場合

CM10 ビットを “1” (ストップモード) にする場合

- 発振停止、再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02 ビットを “0” (ウェイトモード時周辺機能クロック f_l を停止しない) にしてください。
- メインクロックの周波数が 2MHz 以下の場合、この機能は使用できませんので、CM20 ビットを “0” (発振停止、再発振検出機能無効) にしてください。

28.6.4 PLL 周波数シンセサイザ使用時

PLL 周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 28.4 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
$f(\text{ripple})$	電源リップル許容周波数 (VCC1)			10	kHz
$V_{p-p}(\text{ripple})$	電源リップル許容振幅電圧 (VCC1=3V時)			0.3	V
$VCC(\text{ } \nabla \text{ } \tau)$	電源リップル立ち上がり/立ち下がり勾配 (VCC1=3V時)			0.3	V/ms

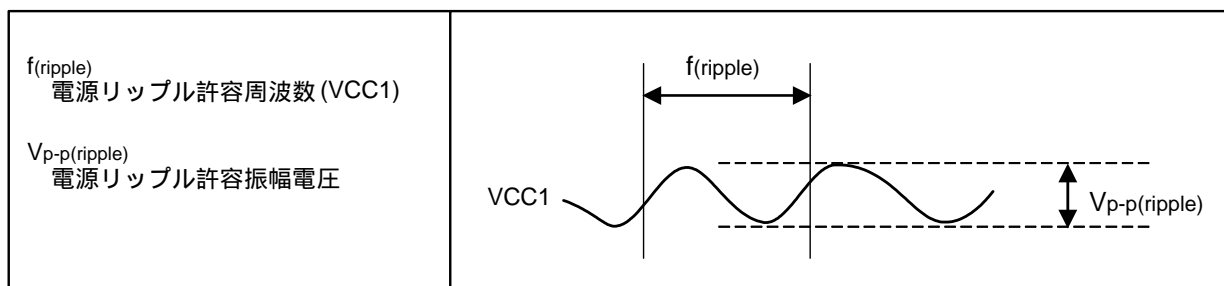


図 28.7 電源変動のタイミング図

28.7 パワーコントロール使用上の注意

28.7.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

28.7.2 ウェイトモード

- WAIT 命令の後には NOP 命令を 4 つ以上入れてください。ウェイトモードに遷移する場合、命令キューは WAIT 命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのように WAIT 命令の直前に、I フラグを “ 1 ” にする命令を配置すると、WAIT 命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
        WAIT          ;ウェイトモードに遷移
        NOP          ;NOP命令を4つ以上
        NOP
        NOP
        NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。() 内の処理をした後、ウェイトモードに遷移してください。
 - PLL 動作モード (中速モードに遷移した後、PLC07 ビットを “ 0 ” (PLL 停止) にする)
 - 低消費電流リードモード (FMR2 レジスタの FMR23 ビットを “ 0 ” (低消費電流リードモード禁止) にする)
 - CPU 書き換えモード (FMR0 レジスタの FMR01 ビットを “ 0 ” (CPU 書き換えモード無効) にし、DMA 転送を禁止にする)
- PLC0 レジスタの PLC07 ビットを “ 0 ” (PLL 停止) にしてください。PLC07 ビットが “ 1 ” (PLL 動作) の場合は、ウェイトモードにしても消費電流が低減できません。

28.7.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-S の 20 サイクル以上 RESET 端子に “ L ” を入力してください。
- ストップモードからの復帰にタイマ A を使用する場合、TAiMR レジスタ (i=0~4) の MR0 ビットを “ 0 ” (パルス出力なし) にしてください。
- ストップモードに遷移するとき、CM1 レジスタの CM10 ビットを “ 1 ” (ストップモード) にする命令の直後に JMP.B 命令を挿入し、その後に NOP 命令を 4 つ以上入れてください。ストップモードに遷移する場合、命令キューは CM10 ビットを “ 1 ” にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのように CM10 ビットを “ 1 ” にする命令の直前に、I フラグを “ 1 ” にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

ストップモードに遷移するときのプログラム例を示します。

```
例:      FSET   I
          BSET   0, CM1      ;ストップモードに遷移
          JMP.B  L2          ;JMP.B命令を挿入

L2:
          NOP                    ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

28.7.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図9.5 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

28.7.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

28.8 バス使用上の注意

28.8.1 データフラッシュ読み出し

2.7V VCC1 3.0Vの場合は、データフラッシュを読み出す際に1ウェイトが必要です。PM17ビットまたはFMR17ビットで1ウェイトにしてください。

28.9 プログラマブル入出力ポート使用上の注意事項

注意

P2 ~ P5は、外部への接続がありません。PLCモデムとLSI内部で接続しています。

28.9.1 SI/O3、SI/O4の影響

S3CレジスタのSM32ビットを“1”にすると、P9_2端子はハイインピーダンスになります。S4CレジスタのSM42ビットを“1”にすると、P9_6端子はハイインピーダンスになります。

28.10 割り込み使用上の注意事項

注意

UART7は内部でPLCモデムと接続しているので、外部端子はありません。
また、INT0、INT6、INT7も内部ポートとして使っているので、外部端子はありません。

28.10.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

28.10.2 SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000h”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

28.10.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”(NMI割り込み禁止)にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットを“1”設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットを“1”に設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”(NMI割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”(NMI割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

28.10.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図28.8 割り込み要因の変更手順例を示します。

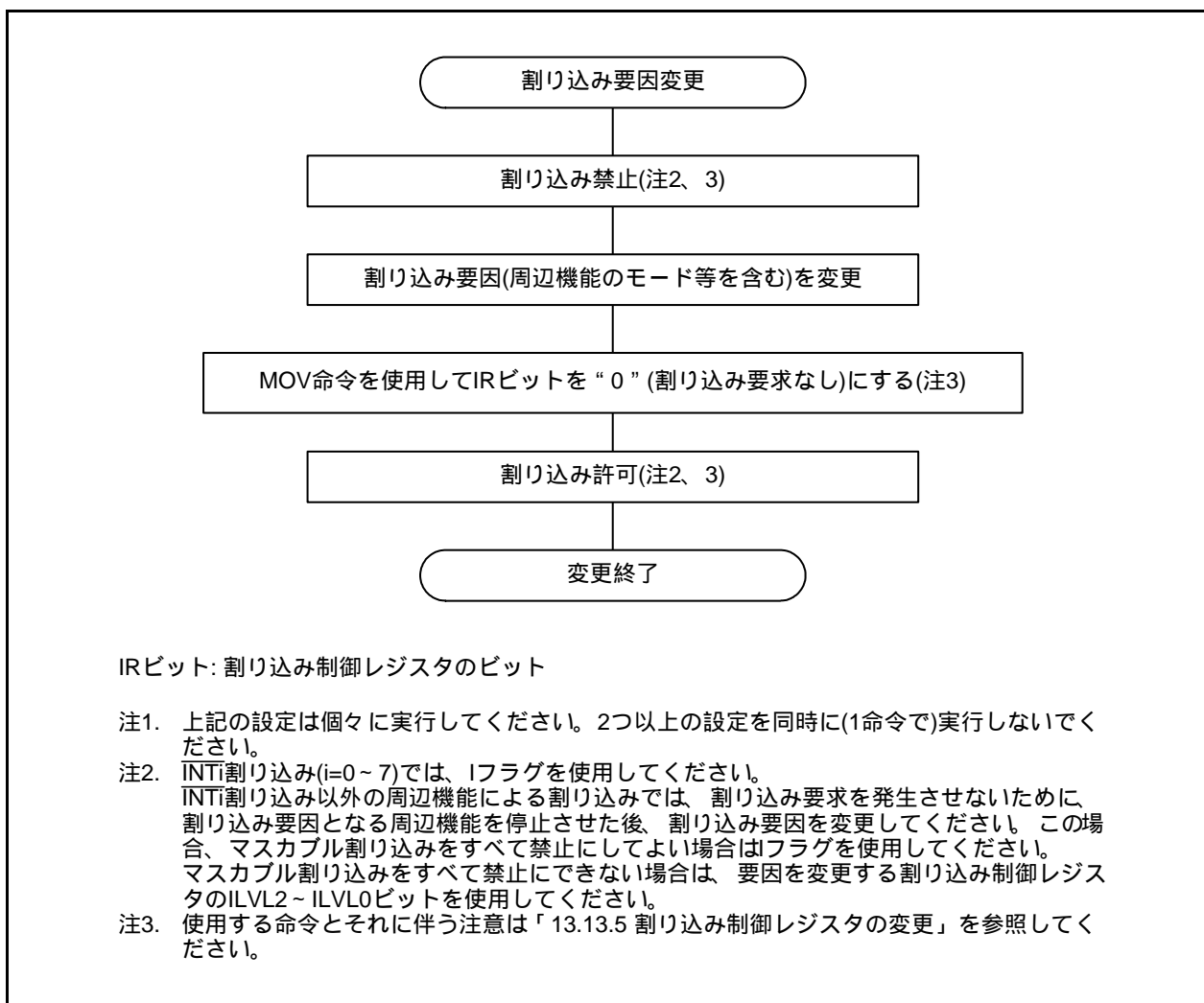


図28.8 割り込み要因の変更手順例

28.10.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所で変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「28.10.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
    NOP
    NOP
    FSET    I                ; 割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
    MOV.W   MEM, R0         ; ダミーリード
    FSET    I                ; 割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I                ; 割り込み禁止
    AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
    POPC    FLG             ; 割り込み許可
```

28.10.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。
AND、OR、BCLR、BSET、MOV
このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

28.10.7 INT割り込み

- INT1~INT5端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。
- INTOIC~INT7ICレジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビット、IFSR3AレジスタのIFSR31~IFSR30ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

28.11 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTRレジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

28.12 DMAC 使用上の注意事項

28.12.1 DMiCON レジスタのDMAE ビットへの書き込み(i=0~3)

(a) に示す条件のときは、(b) に示す手順で書いてください。

(a) 条件

- DMAE ビットが “1” (DMA_i がアクティブ状態) のとき、再度、DMAE ビットへ “1” を書く。
- DMAE ビットへの書き込みと同時に DMA 要求が発生する可能性がある。

(b) 手順

- (1) DMiCON レジスタの DMAE ビットと DMAS ビットに同時に “1” を書く (注1)。
- (2) DMA_i が初期状態 (注2) になっていることを、プログラムで確認する。
DMA_i が初期状態になっていない場合は、(1)(2) を繰り返す。

注1. DMAS ビットは “1” を書いても変化しません。“0” を書くと “0” (DMA 要求なし) になります。したがって、DMAE ビットへ “1” を書くために、DMiCON レジスタへ書く場合、DMAS へ書く値を “1” にしておくこと、DMAS は書く直前の状態を保持できます。

DMAE ビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMAS へ書く値を “1” にしておくこと、命令実行中に発生した DMA 要求を保持できます。

注2. TCR_i レジスタの値で確認してください。

TCR_i レジスタを読んで、DMA 転送開始前に TCR_i レジスタへ書いた値 (DMAE ビット書き込み後に DMA 要求が発生した場合は「TCR_i レジスタへ書いた値-1」) が読めれば初期状態になっている、転送途中の値になっていなければ初期状態になっていない、と判断できます。

28.12.2 DMA 要求要因の変更

DMiSL レジスタの DMS ビットまたは DSEL4~DESL0 ビットを変更すると、DMiCON レジスタの DMAS ビットが “1” (DMA 要求あり) になることがあります。DMS ビットまたは DSEL4~DESL0 ビットを変更した後は、DMAS ビットを “0” (DMA 要求なし) にしてください。

28.13 タイマA使用上の注意事項

注意

タイマA0は内部でPLCモデムと接続しているので、TA0IN、TA0OUT端子はありません。

28.13.1 複数モードに関わる共通事項

28.13.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

28.13.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(1フラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

28.13.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/CTS2/RTS2/TA1IN/V、P7_4/TA2OUT/W、P7_5/TA2IN/W、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/CTS5/RTS5/U

28.13.2 タイマA(タイマモード)

28.13.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.13.3 タイマA(イベントカウンタモード)

28.13.3.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.13.4 タイマA (ワンショットタイマモード)

28.13.4.1 カウントを中断した場合の状態

カウント中にTAiS ビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT 端子は、TAPOFS レジスタのPOFSi ビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiC レジスタのIR ビットが“1”(割り込み要求あり)になります。

28.13.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

28.13.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、IR ビットを“0”にしてください。

28.13.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

28.13.5 タイマA (パルス幅変調モード)

28.13.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

28.13.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

28.13.6 タイマA (プログラマブル出力モード)

28.13.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

28.13.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

28.14 タイマB使用上の注意事項

28.14.1 複数モードに関わる共通事項

28.14.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR(i=0~5)レジスタ、TBCS0~TBCS3レジスタ、TBiレジスタ、PCLKRレジスタ、PPWFS1レジスタ、PPWFS2レジスタによって、モードやカウントソース等を設定した後、TABSРレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタ、TBCS0~TBCS3レジスタ、PCLKRレジスタ、PPWFS1レジスタ、PPWFS2レジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。

28.14.2 タイマB(タイマモード)

28.14.2.1 タイマの読み出し

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

28.14.3 タイマB(イベントカウンタモード)

28.14.3.1 タイマの読み出し

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

28.14.3.2 イベント

TBiMRレジスタのTCK1ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

28.14.4 タイマB (パルス周期測定/パルス幅測定モード)

28.14.4.1 TBiMRレジスタのMR3ビット

MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態、TBiMRレジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

28.14.4.2 割り込み

TBiICレジスタ(i=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

オーバフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

28.14.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

28.14.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

28.14.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

28.14.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

28.15 リアルタイムクロック使用上の注意事項

28.15.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

28.15.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、HCRレジスタのRUNビットが“0”(カウント停止)のときに書いてください。

- TRHSEC、TRHMIN、TRHHR、TRHWK、TRHDY、TRHMON、TRHYR、TRHIERレジスタ
- TRHCRレジスタのTRHOEビット、HR24ビット、PMビット
- TRHCSRレジスタのOS2~OS1ビット

また、TRHIERレジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

28.15.3 レジスタ設定(データ)

次のレジスタやビットは、TRHSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- TRHAMN、TRHAHR、TRHAWKレジスタ

28.15.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、SECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

「図28.9 時刻データ読み出し」に示す手順で読み出す。

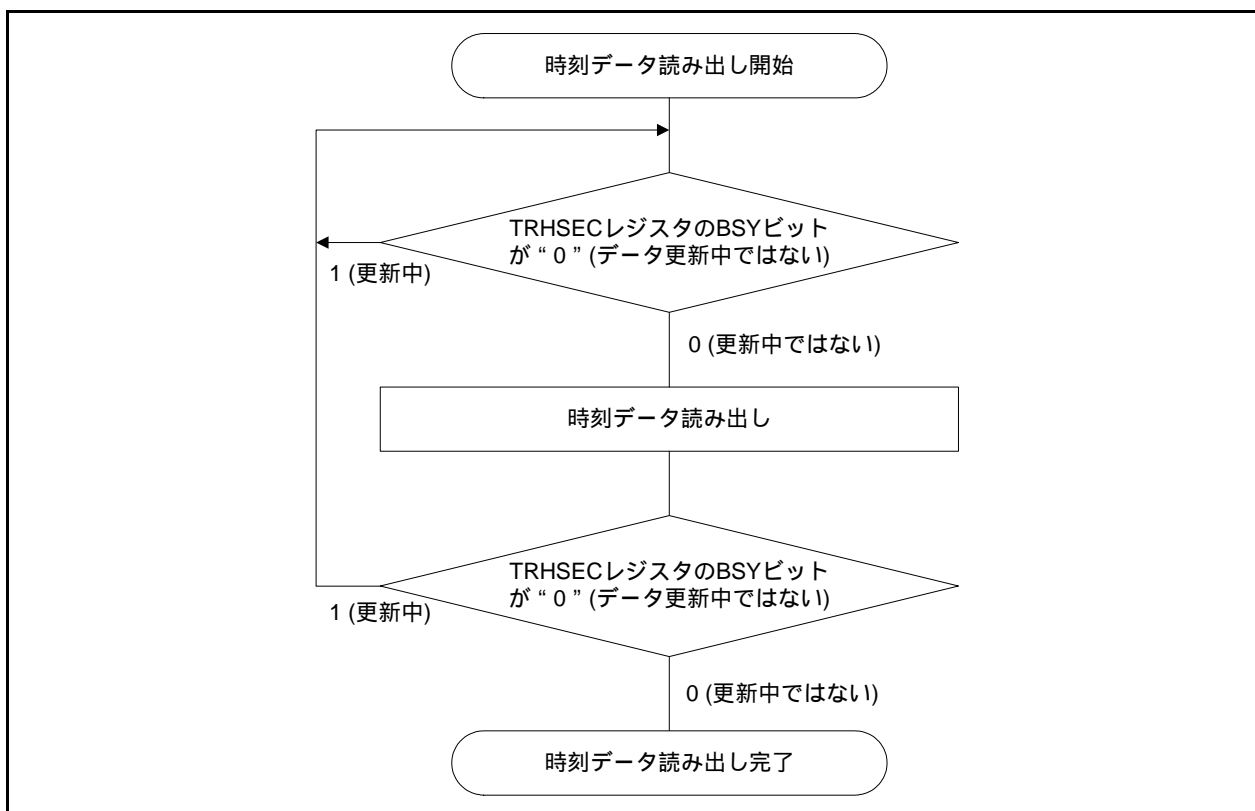


図28.9 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

SECレジスタのSC12~SC10、SC03~SC00ビット

TRHMINレジスタのMN12~MN10、MN03~MN00ビット

TRHHRレジスタのHR11~HR10、HR03~HR00ビット

TRHWKレジスタのWK2~WK0ビット

TRHCRレジスタのPMビット

TRHDYレジスタのDY11~DY10、DY03~DY00ビット

TRHMONレジスタのMO10、MO03~MO00ビット

TRHYRレジスタのYR13~YR10、YR03~YR00ビット

28.16 シリアルインタフェースUART_i (i=0~2, 5~7) 使用上の注意事項

注意

UART7は内部でPLCモデムと接続しているので、外部端子はありません。

28.16.1 複数モードに関わる共通事項

28.16.1.1 CLK_i出力

(テクニカルアップデート番号：TN-M16C-A178A/J)

CLK_i端子の出力形式をNチャンネルオープンドレインで使用する場合、次の手順で端子の機能を変更してください。

ポートからCLK_iにするとき

- (1) U_iMRレジスタのSMD2~SMD0ビットでシリアルインタフェースのモードを選択する(“000b”以外にする)
- (2) U_iSMR3レジスタのNODCビットを“1”にする

CLK_iからポートにするとき

- (1) NODCビットを“0”にする
- (2) SMD2~SMD0ビットでシリアルインタフェースを無効にする(“000b”にする)

28.16.2 クロック同期形シリアルI/Oモード

28.16.2.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTS_i (i=0~2, 5, 6)端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTS_i端子の出力レベルは“H”になります。このため、RTS_i端子を送信側のCTS_i端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

28.16.2.2 送信

外部クロックを選択し、U_iC0レジスタ (i=0~4)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- U_iC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件 (順序は関係ありません)

- U_iC1レジスタのTEビットが“1”(送信許可)
- U_iC1レジスタのTIビットが“0”(U_iTBレジスタにデータあり)
- CTS機能を選択している場合、CTS_i端子の入力が“L”

28.16.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~2, 5, 6)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件(順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

28.16.3 特殊モード (I²Cモード)

28.16.3.1 スタートコンディション、ストップコンディション生成

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~2, 5, 6)のSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

28.16.3.2 IRビット

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのHCMビット、
UiSMR2レジスタのHCM2ビット、UiSMR3レジスタのCKPHビット

28.16.3.3 “L”レベル/“H”レベル入力電圧、“L”レベル出力電圧

“L”入力電圧、“H”入力電圧、および“L”出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

< I²C-bus規格 >

“H”入力電圧(V_{IH}) = min 0.7 V_{CC}

“L”入力電圧(V_{IL}) = max 0.3 V_{CC}

28.16.3.4 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDA デジタル遅延機能を使用する場合、遅延時間を考慮してください(「19.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps 設定時の算出例 >

- Ui2BRG カウントソース : $f_1 = 20\text{MHz}$
- Ui2BRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (Ui2BRG カウントソースの5 ~ 6サイクル)の場合、

$$\begin{aligned}
 f_{SCL}(\text{理論}) &= f_1 / (2(n+1)) &= 20\text{MHz} / (2 \times (99+1)) &= 100\text{kbps} \\
 t_{DL} &= \text{遅延サイクル数} / f_1 &= 6 / 20\text{MHz} &= 0.3 \mu\text{s} \\
 t_{HD:STA}(\text{理論}) &= 1 / (2f_{SCL}(\text{理論})) &= 1 / (2 \times 100\text{kbps}) &= 5 \mu\text{s} \\
 t_{SU:STO}(\text{理論}) &= 1 / (2f_{SCL}(\text{理論})) &= 1 / (2 \times 100\text{kbps}) &= 5 \mu\text{s} \\
 t_{HD:STA}(\text{実効}) &= t_{HD:STA}(\text{理論}) - t_{DL} &= 5 \mu\text{s} - 0.3 \mu\text{s} &= 4.7 \mu\text{s} \\
 t_{SU:STO}(\text{実効}) &= t_{SU:STO}(\text{理論}) + t_{DL} &= 5 \mu\text{s} + 0.3 \mu\text{s} &= 5.3 \mu\text{s}
 \end{aligned}$$

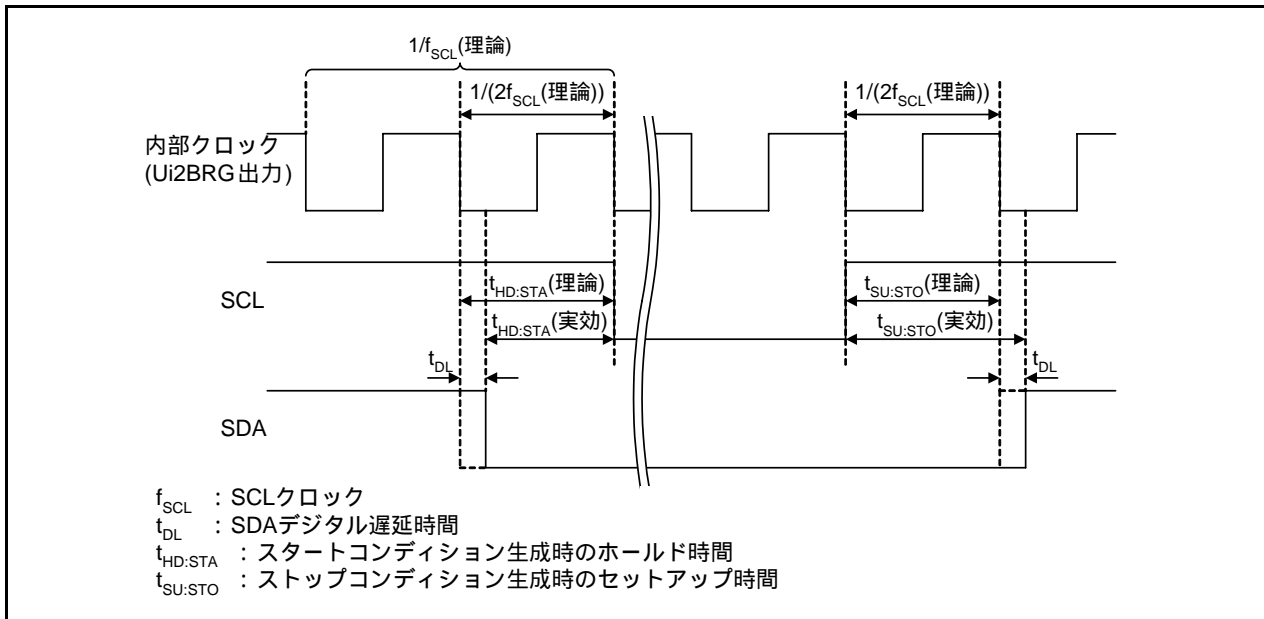


図28.10 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

28.16.3.5 Ui2BRG カウントソースによる最大送受信速度の制限

I²Cモードでは、Ui2BRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でUi2BRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、Ui2BRGカウントソースの速度の1/3以下です。Ui2BRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

28.16.3.6 スレープ時のリスタートコンディション

スレープ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレープ時はリスタートコンディションを使用しないでください。

28.16.3.7 スレーブ時の送受信開始条件

スレーブとして、Ui2C0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件(順序は関係ありません)

送信

- Ui2C1レジスタのTEビットが“1”(送信許可)
- Ui2C1レジスタのTIビットが“0”(Ui2TBレジスタにデータあり)

受信

- Ui2C1レジスタのREビットが“1”(受信許可)
- Ui2C1レジスタのTEビットが“1”(送信許可)
- Ui2C1レジスタのTIビットが“0”(Ui2TBレジスタにデータあり)

28.16.4 特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

28.17 シリアルインタフェースSI/O3、SI/O4使用上の注意事項

28.17.1 SOUTi出力禁止時のSOUTi端子のレベル

SiCレジスタのSMi2ビットを“1”(SOUTi出力禁止)にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

28.17.2 外部クロックの制御

外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

28.17.3 レジスタアクセス

S34C2レジスタのSM22ビットを設定した後、その他のSI/O3、SI/O4関連レジスタを設定してください。SM22ビットを変更した後も、その他のSI/O3、SI/O4関連レジスタを再設定してください。

28.17.4 外部クロック使用時のレジスタアクセス

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、SiCレジスタのSMi7ビットと、SiTRRレジスタは、次の条件のとき書いてください。

- SiCレジスタのSMi4ビットが“0”(送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力)の場合：CLKi入力が“H”レベルのとき
- SMi4ビットが“1”(送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力)の場合：CLKi入力が“L”レベルのとき

28.17.5 SiTRRレジスタアクセス

送信データは、送受信停止中にSiTRRレジスタに書いてください。また、受信データは送受信停止中にSiTRRレジスタから読んでください。

SiCレジスタのIRビットは、8ビット目のデータの出力中に“1”(割り込み要求あり)になります。

S34C2レジスタのSM26(SOUT3)、SM27(SOUT4)が“0”(送信後ハイインピーダンス)の場合、割り込み要求発生後すぐに送信データをSiTRRレジスタに書くと、SiTRRレジスタに書いたときにSOUTi端子がハイインピーダンス状態になり、送信データのホールド時間が短くなります。

28.17.6 内部クロック使用時の端子の機能切り替え

SiC(i=3,4)レジスタのSMi2ビットが“0”(SOUTi出力)でかつ、SMi6ビットが“1”(内部クロック)の状態、SMi3ビットを“0”(入出力ポート)から“1”(SOUTi出力、CLKi機能)に変更した場合、10ns程度、SOUTi端子にSMi7ビットで設定したSOUTi初期値が出力されることがあります。その後、SOUTi端子はハイインピーダンスとなります。

SMi3ビットを“0”から“1”に変更したときに、SOUTi端子から出力されるレベルが問題となる場合、SMi7ビットでSOUTiの初期値を設定してください。

28.17.7 外部クロック選択時のリセット後の動作

リセット後、SiCレジスタのSMi6ビットが“0”(外部クロック)の場合に、CLKi端子に8ビット分の外部クロックを入力すると、SiCレジスタのIRビットが“1”(割り込み要求あり)になります。この現象は、SiCレジスタのSMi3ビットが“0”(シリアルインタフェース無効)でも、SiTRRレジスタに値を書く前であっても起こります。

28.18 マルチマスタ I²C-bus インタフェース使用上の注意事項

28.18.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 21.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロックまたはオンチップオシレータクロック)にしてアクセスしてください。

28.18.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

28.18.2.1 S00レジスタ

送受信中に書き込まないでください。

28.18.2.2 S1D0レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

28.18.2.3 S20レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

28.18.2.4 S3D0レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

28.18.2.5 S4D0レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

28.18.2.6 S10レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。
MST、TRXビットが変化するタイミングは「21.3 動作説明」の動作例を参照してください。

28.18.3 ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A176A/J)

マルチマスタ I²C-bus インタフェースにおいて、スレーブデバイスまたは他のマスタデバイスが SCLMM ラインを“L”にドライブしているときにストップコンディションを生成する操作を行った場合、SCLMM ラインが開放されていないにもかかわらず SDAMM ラインが開放され、正常なストップコンディションが生成されません。

28.18.4 “L”レベル/“H”レベル入力電圧、“L”レベル出力電圧

“L”入力電圧、“H”入力電圧、および“L”出力電圧は、I²C-bus規格と異なります。
SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

< I²C-bus規格 >

“H”入力電圧(V_{IH}) = min 0.7 V_{CC}

“L”入力電圧(V_{IL}) = max 0.3 V_{CC}

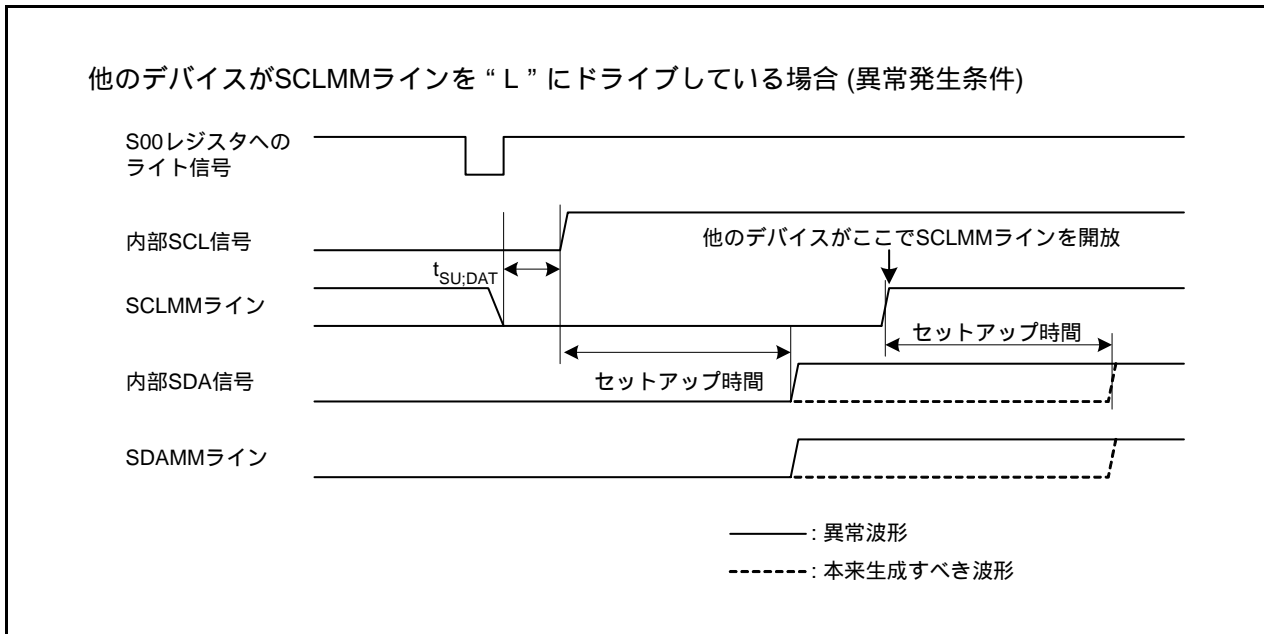


図 28.11 異常波形例

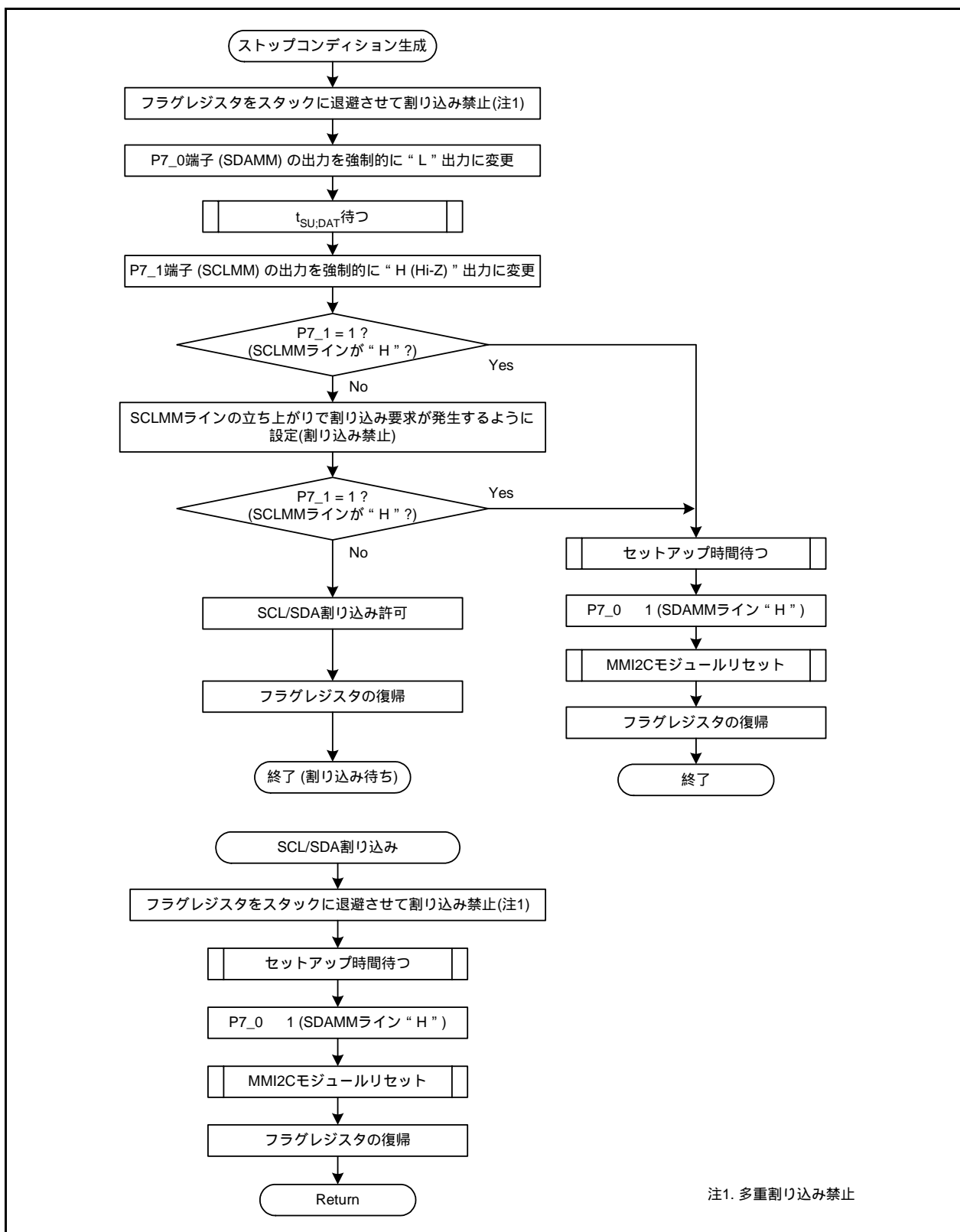


図 28.12 ストップコンディション生成フロー

28.19 A/Dコンバータ使用上の注意事項

28.19.1 アナログ入力選択

KI0~KI3端子のいずれかをキー入力割り込みを使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。同様にKI4~KI7端子のいずれかをキー入力割り込みに使用する場合、AN0~AN3は4本ともアナログ入力端子として使用しないでください。

28.19.2 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i(*i*=0~7)、ANEX_i、AN0__i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。

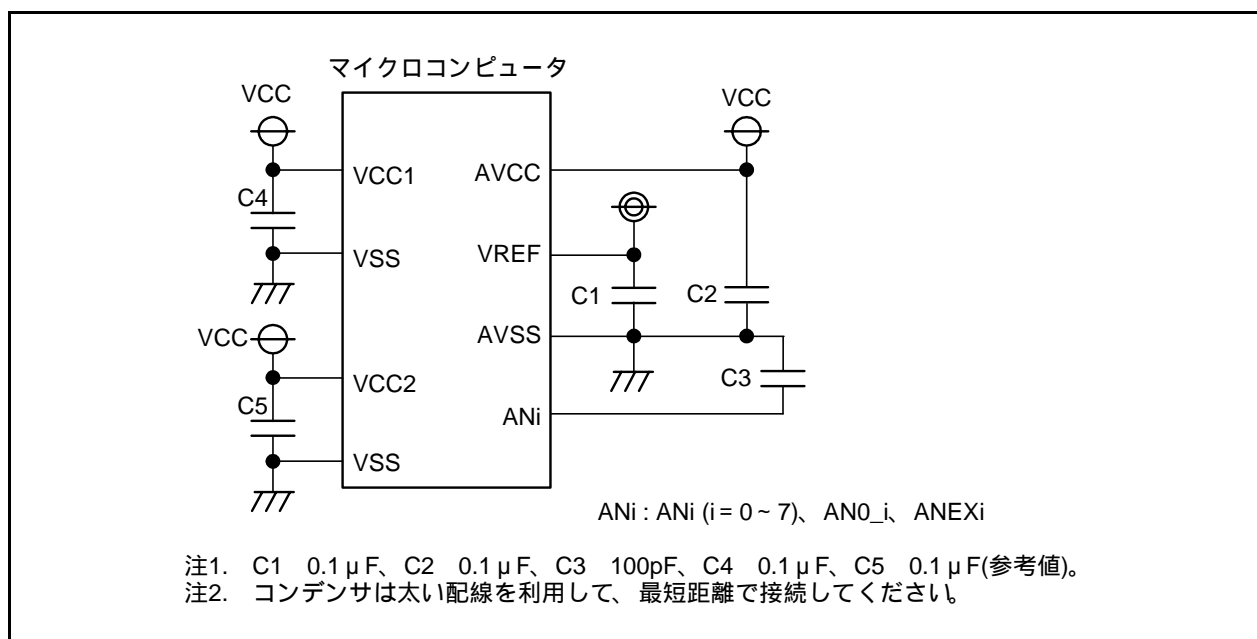


図28.13 各端子の処理例

28.19.3 レジスタアクセス

ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのADSTBYビットを“1”から“0”にしてください。

28.19.4 A/D変換開始

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始させてください。

28.19.5 A/D動作モードの変更

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

28.19.6 強制終了時の状態

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

28.19.7 A/D断線検出アシスト機能

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

なお、AINRSTレジスタ変更後、A/D変換開始する場合は次の手順に従ってください。

- (1) AINRSTレジスタのAINRST1~AINRST0ビットを変更する
- (2) ϕ ADの1サイクル待つ
- (3) ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする

28.19.8 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間(「表22.7 各A/D変換項目のサイクル数」参照)後に“1”(A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0”(A/D変換停止)が読めることがあります。

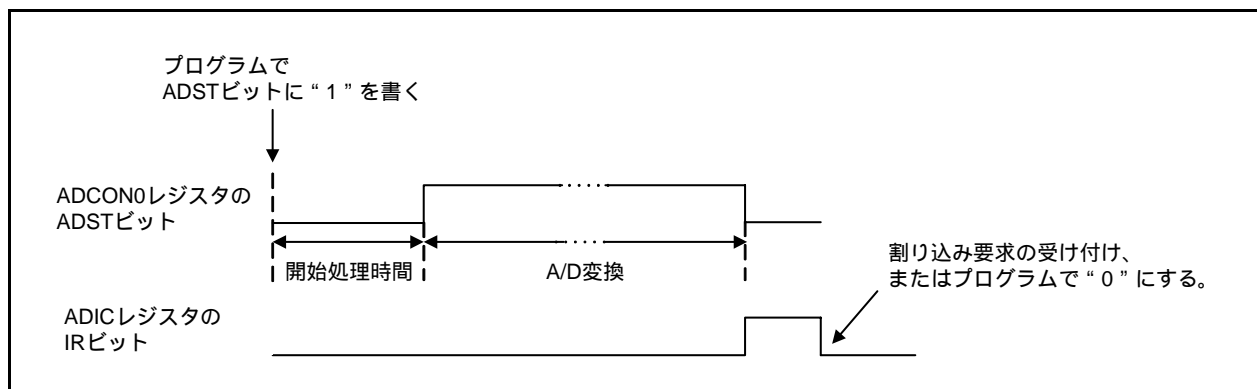


図28.14 ADSTビットの動作

28.19.9 ϕ AD

ϕ ADが規格に合う周波数になるように、fADを分周してください。

28.19.10 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

これらのモードでは、AD_iレジスタの値が書き換わる期間にAD_iレジスタを読むと、不定値を読み出すことがあります。そのため、AD_iレジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はfADの1サイクルです。

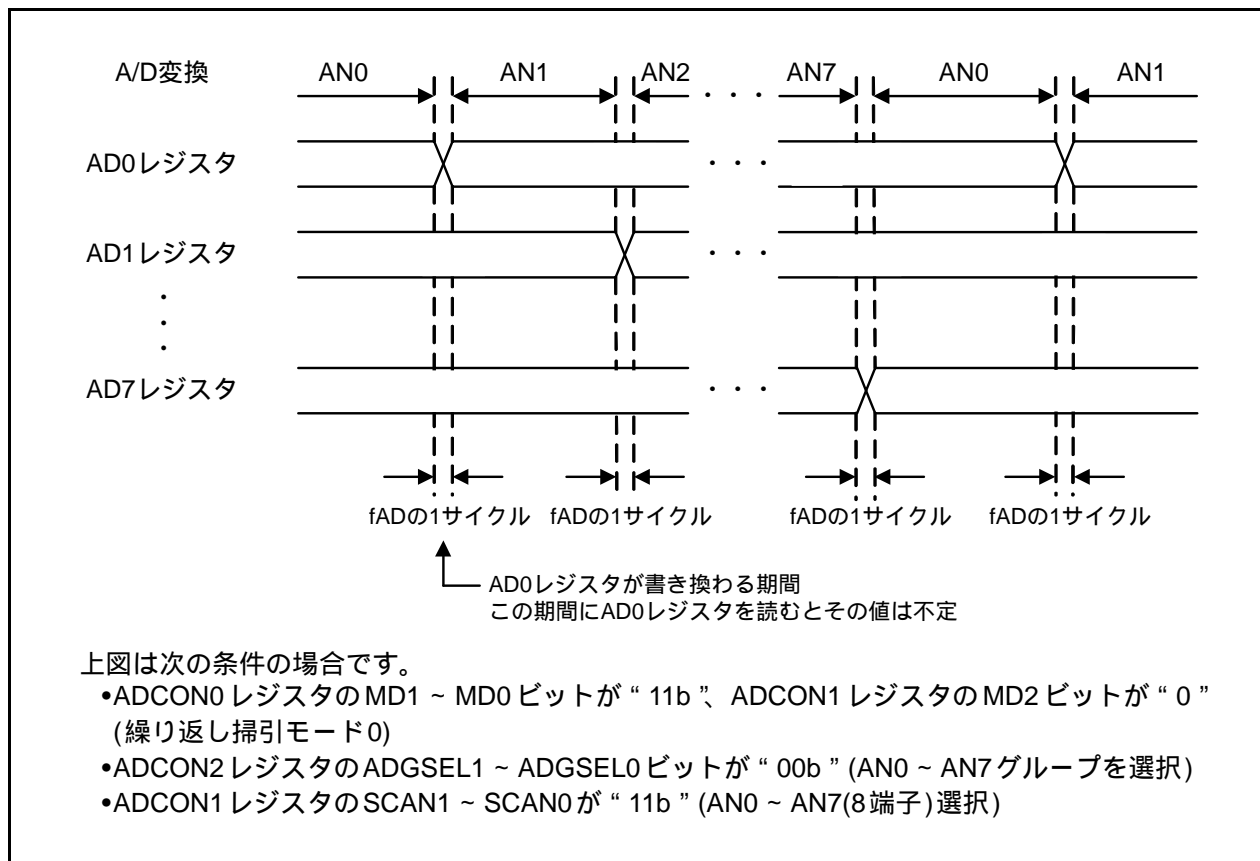


図 28.15 AD_iレジスタの値が書き換わる期間

28.20 フラッシュメモリ使用上の注意事項

28.20.1 OFS1番地、IDコード格納番地

OFS1番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1番地は0FFFFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1番地に“FEh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFFFFh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFFFFh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

28.20.2 データフラッシュの読み出し

2.7V VCC1 3.0Vの場合、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

28.20.3 CPU書き換えモード

28.20.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

28.20.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- NMI端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

28.20.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

28.20.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクابل割り込みを使用しないでください。

28.20.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

28.20.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

28.20.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

28.20.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

28.20.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

28.20.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 高速、中速モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンドを実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR7レジスタのFMR75ビットのいずれか、もしくは両方が“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード (FMR22が“1”)、または低消費電流リードモード (FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

28.20.3.11 書き換え制御プログラムを実行する領域

CPU書き換えモードではPM1レジスタのPM10ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAMで実行してください。

28.20.3.12 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

28.20.3.13 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、電圧監視0、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- NMI、ウォッチドッグタイマ、発振停止、再発振検出割り込み

28.20.4 ユーザブート

28.20.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地のVDSEL1ビット、LVDASビット、はブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

28.20.5 EW1モード

(テクニカルアップデート番号: TN-16C-A175A/J)

EW1モードを使用する場合、次の注意事項があります。

28.20.5.1 EW1モードの周波数制限

EW1モードを使用する際は、CPUクロックを1MHz以上にしてください。

28.20.5.2 ブロックブランクチェックコマンドの周波数制限

ブロックブランクチェックコマンドを使用する際は、CPUクロックを3MHz以上にしてください。

28.20.5.3 ロックビットの使用禁止

FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にしてください。

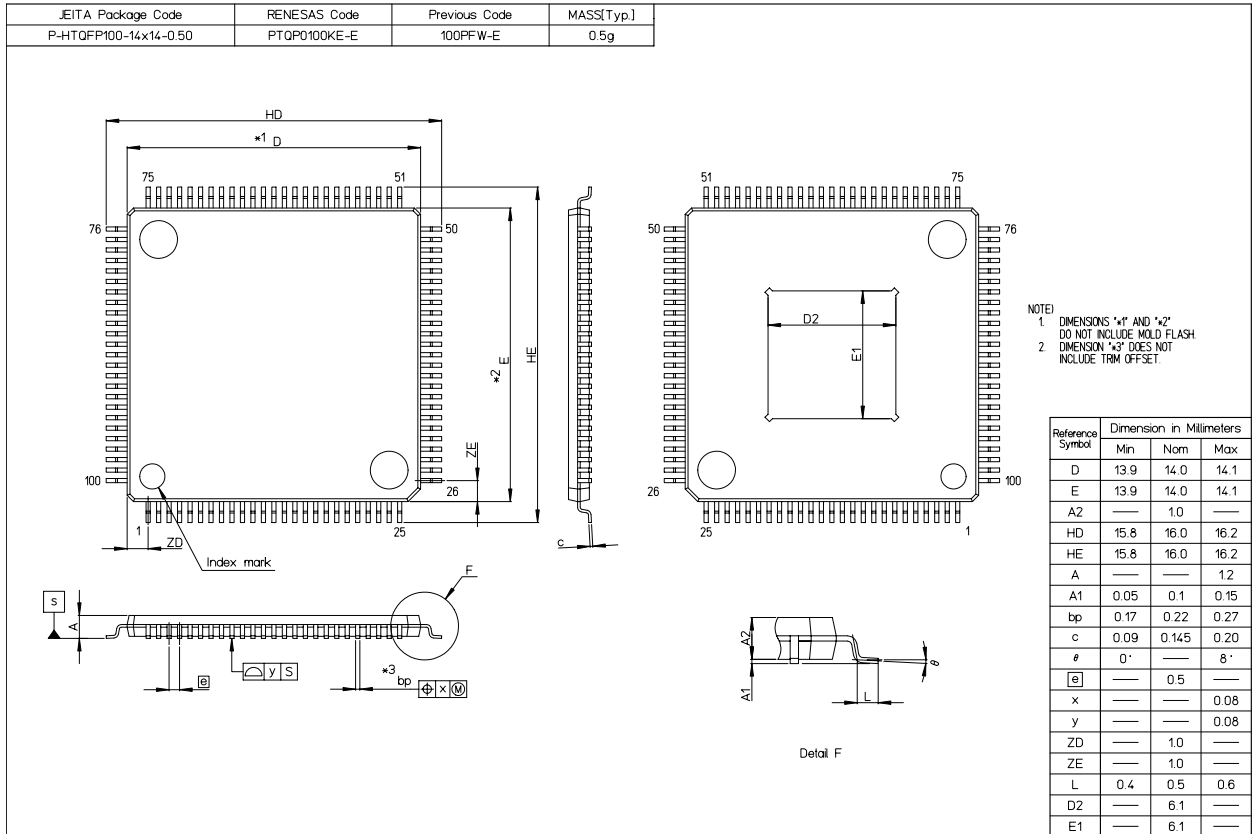
リードロックビットステータスコマンド、ロックビットプログラムコマンドを実行しないでください。

28.20.5.4 ウェイトモードまたはストップモードに遷移するユーザプログラムのEW1モード移行手順

ウェイトモードまたはストップモードに遷移するユーザプログラムで、EW1モードを使用する場合は、RAM上で、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしてください。その後、再度FMSTPビットを“0”(フラッシュメモリ動作)にし、フラッシュメモリ上でEW1モードに移行してください。また、この処理は割り込み禁止状態で実施してください。

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。



索引

【 A 】		INT0IC	139
AD0	454	INT1IC	139
AD1	454	INT2IC	139
AD2	454	INT3IC	139
AD3	454	INT4IC	139
AD4	454	INT5IC	139
AD5	454	INT6IC	139
AD6	454	INT7IC	139
AD7	454		
ADCON0	456	【 K 】	
ADCON1	458	KUPIC	139
ADCON2	455		
ADIC	138	【 N 】	
AIER	143	NMIDF	129, 146
AIER2	143		
AINRST	453	【 O 】	
		OFS1	42, 54, 172, 498
【 B 】		ONSF	209
BCNIC	138		
		【 P 】	
【 C 】		P0 ~ P10	127
CM0	60	PCLKR	66, 200, 250, 310, 382, 398
CM1	62	PCLKSTP1	70, 201, 251, 276, 311, 383, 399, 451
CM2	64	PCR	126, 145, 452
CPSRF	200, 251	PD0 ~ PD10	128
CRCD	483	PLC0	67
CRCIN	483	PLCF	69
CRCMR	483	PM0	40, 59, 107
CRCSAR	482	PM1	108
CSPR	169	PM2	71, 137
		PPWFS1	254
【 D 】		PPWFS2	254
DAR0	180	PRCR	35
DAR1	180	PRG2C	109
DAR2	180	PUR0	123
DAR3	180	PUR1	124
DM0CON	182	PUR2	125
DM0IC	138	PWMFS	203
DM0SL	183		
DM1CON	182	【 R 】	
DM1IC	138	RMAD0	144
DM1SL	183	RMAD1	144
DM2CON	182	RMAD2	144
DM2IC	138	RMAD3	144
DM2SL	183	RSTFR	41
DM3CON	182	RTCCIC	138
DM3IC	138	RTCTIC	138
DM3SL	183		
		【 S 】	
【 F 】		S00	400
FMR0	87, 489	S0D0	401
FMR1	492	S0D1	401
FMR2	88, 493	S0D2	401
FMR3	494	S0RIC	138
FMR6	495	S0TIC	138
FMR7	496	S10	415
		S11	420
【 I 】		S1D0	402
IFSR	142	S1RIC	138
IFSR2A	141	S1TIC	138
IFSR3A	140	S20	405
IICIC	138		

S2D0	408
S2RIC	138
S2TIC	138
S34C2	385
S3BRG	385
S3C	384
S3D0	409
S3IC	139
S3TRR	383
S4BRG	385
S4C	384
S4D0	413
S4IC	139
S4TRR	383
S5RIC	138
S5TIC	138
S6RIC	138
S6TIC	138
S7RIC	138
S7TIC	138
SAR0	180
SAR1	180
SAR2	180
SAR3	180
SCLDAIC	138
SCM0	70

【 T 】

TA0	206
TA0IC	138
TA0MR	212
TA1	206
TA11	207
TA1IC	138
TA1MR	212
TA2	206
TA21	207
TA2IC	138
TA2MR	212
TA3	206
TA3IC	138
TA3MR	212
TA4	206
TA41	207
TA4IC	138
TA4MR	212
TABSR	208, 256
TACS0	202
TACS1	202
TACS2	202
TAOW	205
TAP OFS	204
TB0	252
TB01	253
TB0IC	138
TB0MR	257
TB1	252
TB11	253
TB1IC	138
TB1MR	257
TB2	252
TB21	253
TB2IC	138
TB2MR	257
TB3	252
TB31	253

TB3IC	138
TB3MR	257
TB4	252
TB41	253
TB4IC	138
TB4MR	257
TB5	252
TB51	253
TB5IC	138
TB5MR	257
TBCS0	255
TBCS1	255
TBCS2	255
TBCS3	255
TBSR	256
TCR0	181
TCR1	181
TCR2	181
TCR3	181
TRGSR	210
TRHADJ	287
TRHAHR	291
TRHAMN	290
TRHAWK	292
TRHCR	284
TRHCSR	286
TRHDY	281
TRHHR	279
TRHIER	289
TRHIFR	288
TRHMIN	278
TRHMON	282
TRHPRC	293
TRHSEC	277
TRHWK	280
TRHYR	283

【 U 】

U0BCNIC	138
U0BRG	313
U0C0	314
U0C1	316
U0MR	312
U0RB	318
U0SMR	325
U0SMR2	324
U0SMR3	323
U0SMR4	321
U0TB	313
U1BCNIC	138
U1BRG	313
U1C0	314
U1C1	316
U1MR	312
U1RB	318
U1SMR	325
U1SMR2	324
U1SMR3	323
U1SMR4	321
U1TB	313
U2BRG	313
U2C0	314
U2C1	316
U2MR	312
U2RB	318
U2SMR	325

U2SMR2	324
U2SMR3	323
U2SMR4	321
U2TB	313
U5BCNIC	138
U5BRG	313
U5C0	314
U5C1	316
U5MR	312
U5RB	318
U5SMR	325
U5SMR2	324
U5SMR3	323
U5SMR4	321
U5TB	313
U6BCNIC	138
U6BRG	313
U6C0	314
U6C1	316
U6MR	312
U6RB	318
U6SMR	325
U6SMR2	324
U6SMR3	323
U6SMR4	321
U6TB	313
U7BCNIC	138
U7BRG	313
U7C0	314
U7C1	316
U7MR	312
U7RB	318
U7SMR	325
U7SMR2	324
U7SMR3	323
U7SMR4	321
U7TB	313
UCON	320
UDF	211

【 V 】

VCR2	52
VW0C	53
VW2C	168

【 W 】

WDC	171
WDTR	170
WDTs	170

改訂記録

M16C/6S1グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2011.04.13	—	初版発行
1.00	2012.03.23	全ページ	「暫定版」、「開発中」 削除
		3	表1.2 「消費電流」、「パッケージ」 変更
		4、6	表1.5、図1.1、図1.3 パッケージ種類 変更
		12	表1.12 「レギュレータ出力」 変更
		17	図3.1 注3 追記
		18	表4.1 「001Ah」、注4 変更、注2、注6 削除
		19	表4.2 「002Ah」、注2 変更、注4 削除
		24	表4.7 変更
		34、573	4.2.1、28.3.1 説明文 変更、表4.18、表28.2 追記
		38	表6.1、図6.1 変更
		39	表6.2 追記
		40	表6.4 注1 削除
		40、59、107	6.2.1、8.2.1、10.2.1 レジスタ表 変更
		41	6.2.2 CWR、OSDR説明文 変更
		44	表6.7 注1 変更
		45	図6.3 変更
		48	6.4.7 「VDSEL1 ビットを“1”(Vdet0 は1.90V (Vdet0_0)) に・・・」 「VDSEL1 ビットを“1”(Vdet0_0) に・・・」 図6.5 変更
		51	表7.1 「検出電圧」 追記、図7.1 変更
		52	7.2 説明文 追記、表7.2 変更、注1～3 削除、7.2.1 変更
		53	7.2.2 リセット後の値 変更
		57	図8.1 変更
		62	8.2.3 レジスタ表、CM10説明文 変更
		67	8.2.6 レジスタ表 変更
		71	8.2.10 PM21説明文 変更
		76	8.4.1 説明文 変更
		87、489	9.2.1、24.3.1 変更
		91	表9.2 注2 変更、注3～6 削除
		94	図9.2 変更
		96	9.3.3、9.3.3.2 変更
		97	9.3.3.4 説明文 変更
		98	9.3.4.1 変更
		99	9.3.4.3 変更
		100	図9.3 注4 削除
		101	図9.4 変更
		102	図9.5 変更
		105、582	「9.6.5 スローリードモード」、「28.7.5 スローリードモード」 追記
		113、583	12.、28.9 「注意」 変更

改訂記録

M16C/6S1グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.23	113	表12.2 注1 追記
		125	12.3.3 PU20、PU22 ~ PU25説明文 追記、PU21説明文 変更
		127	12.3.5 「リセット後の値」 変更
		138	13.2.2 変更
		139	13.2.3 変更
		164、166、584、586	13.13.2、13.13.5 例1、13.13.6、28.10.2、28.10.5 例1、28.10.6 変更
		169	14.2.2 変更
		170	14.2.3、14.2.4 「リセット後の値」 変更
		172	14.3.1 説明文 変更
		181	15.2.3 「リセット後の値」 変更
		195	表16.2 注1 追記
		196、246	図16.1、図17.1 「f1」 追記
		197	図16.2 変更
		198	図16.3 変更
		206、207	16.2.8、16.2.9 「リセット後の値」 変更
		220	表16.9 変更
		238	16.3.7 MR1説明文 変更
		242、589	「16.5.1.2 イベントまたはトリガ」、「16.5.1.3 \overline{SD} 入力の影響」、「28.13.1.2 イベントまたはトリガ」、「28.13.1.3 SD入力の影響」 追記
		252、253	17.2.4、17.2.5 「リセット後の値」 変更
		254	17.2.6 タイトル 変更
		262	表17.9 変更
		263	17.3.3 「TCK1」 変更、TCK説明文 追記
		265	表17.10 「タイマの書き込み」 変更、注3 追記
		271、593	「17.5.3.2 イベント」、「28.14.3.2 イベント」 追記
		272、594	「17.5.4.3 イベントまたはトリガ」、「28.14.4.3 イベントまたはトリガ」 追記
		277	18.2.2 SC03~SC00、SC12~SC10説明文 変更
		285	18.2.9 RUN説明文 追記
		287	18.2.11 MINUS、PLUS説明文 追記
		288	18.2.12 ADJ30S説明文 追記、RSTADJ説明文 変更
		295	図18.4 変更
		297	18.3.3 変更
		298	18.3.4.1 変更
		299	18.3.4.2 変更
312	19.2.6 19.2.3 SMD2~SMD0説明文 追記		
313	19.2.5 19.2.4、「設定範囲」 変更、19.2.3 19.2.5 説明文 変更		
314	19.2.7 19.2.6		
316	19.2.8 19.2.7		
318	19.2.4 19.2.8		

改訂記録

M16C/6S1グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.23	321、322	19.2.13 19.2.10 b6、b7ビット名、機能、b0～b2説明文 変更、 b3～b7説明文 追記
		323	19.2.12 19.2.11
		324	19.2.11 19.2.12 b2～b4ビット名、b0～b6機能 変更
		325	19.2.10 19.2.13
		326	表19.5 注1 変更
		330	旧19.3.1.1 削除
		334	「19.3.1.8 通信の途中終了時、または通信エラー発生時の処理」 追記
		341	旧19.3.2.2 削除
		345	表19.14 「送受信クロック」、「割り込み要求発生タイミング」、注1 変更
		346	図19.18 「9ビット目の立ち下がり」 「8ビット目の立ち下がり」、 図19.19 追記
		347	表19.16 「UiTB」、「UiSMR2」 変更
		348	表19.17 「UiSMR3」 変更、注釈 削除
		349	表19.18 変更、注3 追記
		350	図19.20 変更
		351	19.3.3.1 説明文、図19.21 変更、19.3.3.2 タイトル 変更
		352	図19.22 変更
		353	図19.23 追記
		354	19.3.3.3 変更
		354～359	19.3.3.4～19.3.3.7 追記
		359、360	19.3.3.8～19.3.3.10 変更、図19.30、図19.31 追記
		361	表19.20 旧注1 削除
		362	表19.21 変更
		363	表19.22 「UiMR」 変更
		364	旧図19.24、図19.25 削除
		367	表19.24 注2 変更
		369	図19.35 (1) 変更
		373	19.4.1 「・特殊モード4 (SIMモード)」 変更
		375、598	19.5.2.3、28.16.2.3 変更
		376、599	旧19.5.3、28.16.3 クロック非同期型シリアルI/O(UART)モード 削除
		394、405、 406、421、 422、425、 426、432、 434	「高速クロックモード」 「Fast-mode」
		395	表21.2 「アービトラクションロスト検出」 変更
		402	21.2.5 BC2～BC0説明文 変更
		406	21.2.6 CCR4～CCR0説明文 変更
		407	表21.5 「スレーブアドレスの内容」 変更
		414	21.2.9 TOSEL説明文 「TOEビットが“0”のときに書き換えてください。」 追記

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.23	416 ~ 418	21.2.10 LRB、AAS、PIN説明文、変更
		431	21.3.6 説明文 「・・・ALSビットが“1”(アドレッシングフォーマット)の場合、・・・」 「・・・ALSビットが“0”(アドレッシングフォーマット)の場合、・・・」
		453	22.2.3 b4、b5機能 変更
		455	22.2.5 レジスタ表 変更
		462	22.3.6 説明文 変更
		463	図22.6、図22.7 変更
		464	図22.8、図22.9 変更
		466、468、 470、472、 474、475	図22.10 ~ 図22.15 変更
		480、608	図22.19、図28.15 変更
		482	23.2.4 23.2.1 CRCSR、CRCSW説明文 追記
		483	23.2.3 23.2.2 b1 ~ b6 変更、23.2.1 23.2.3、23.2.2 23.2.4
		489	表24.4、24.3.1 変更
		491	FMR07 (イレースステータスフラグ) (b7) 削除
		492	24.3.2 変更
		495	24.3.5 FMR60説明文 変更
		496	24.3.6 追記
		497	図24.2 変更
		500	24.7.1 説明文 変更
		501	表24.9 変更
		502	表24.10 追記
		503	図24.4 変更
		504	24.8 説明文、表24.11、注1 変更
		507	24.8.4 説明文、表24.13 変更、注1 追記
		508	24.8.5 説明文、表24.15、注1 追記
		509	24.8.5.3 説明文 変更
		510	24.8.5.4 説明文、図24.9 変更
		511	24.8.5.5 説明文、図24.10
		512	24.8.5.6 説明文 変更
		515	24.8.5.9 説明文、図24.14 変更
		516	24.8.6 説明文、表24.15、表24.16 変更
		517	24.8.6.1 説明文、表24.17、図24.15 変更
		518	24.8.6.2 説明文 変更
		519	24.8.7 説明文 変更
		525	24.8.8 説明文 変更
		527	図24.22 変更
		533	24.9.2、24.9.3 説明文 変更
		534	表24.23 「VREF」 変更

改訂記録

M16C/6S1グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.23	536	24.9.5 説明文、表24.25 「VREF」 変更
		537	図24.28、24.10.1 変更
		540、599	24.11.3.10、27.20.3.10 (d) 変更
		542 ~ 544	「25. PLCモデムコア」 追記
		545	図26.1 変更
		546	図26.2 変更
		547	図26.3 変更
		548	図26.4、図26.5 変更
		549	図26.6 変更
		550	26.3 説明文、図26.7、図26.8、注1 変更
		551	「26.4 その他の回路」 追記
		552	26.5 説明文 変更
		553	表27.1 変更
		555	表27.5 変更
		563	表27.14、注1 変更
		564	表27.15 変更
		567	図27.6 変更
613	パッケージ 変更		
1.10	2013.09.20	全ページ	I ² Cバス I ² C-bus
		2	表1.1 変更
		3	表1.2、表1.3、表1.4 変更
		39	表6.2 「SFR(B)」のレジスタ、ビット 削除
		56	表8.1 注2 追記
		75	(1) 変更
		82	図8.7 変更
		312	19.2.3 ビット説明 変更
		313	19.2.4、19.2.5 リセット後の値 変更
		318	19.2.8 リセット後の値 変更
		346	表19.15 注1 追加
		446	21.5.4 追記
		483	23.2.3 説明文 追記
		485	図23.2 変更
		486	図23.3 変更
		490	24.3.1 ビット説明 変更
		537	図24.28 変更
		547	図26.3 変更
		549	図26.6 変更
550	図26.7、図26.8 変更		
555	表27.4、注1 変更		
577	図28.3 変更		



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

M16C/6S1 グループ ユーザーズマニュアル ハードウェア編

発行年月日 2011年4月13日 Rev.0.40
2013年9月20日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753

M16C/6S1 グループ