お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

User's Manual

16

M16C/1Nグループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／ M16C/10シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.2.00　2004.11

安全設計に関するお願い

1.弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1.本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。

3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ（http://www.renesas.com）などを通じて公開される情報に常にご注意ください。

4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。

5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。

6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。

7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。

8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

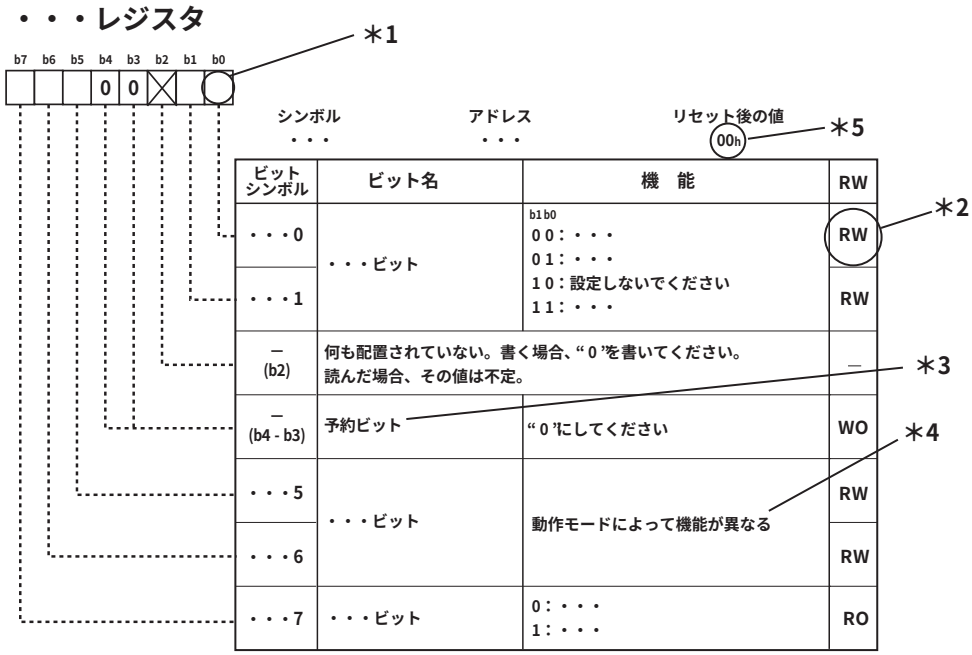
1.　対象

このマニュアルはM16C/1Nグループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2.　レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



＊1

空白　：用途に応じて“0”または“1”にしてください。
0　　：“0”にしてください。
1　　：“1”にしてください。
×　　：何も配置されてないビットです。

＊2

RW　：読むとビットの状態が読めます。書くと有効データになります。
RO　：読むとビットの状態が読めます。書いた値は無効になります。
WO　：書くと有効データになります。ビットの状態は読めません。
－　　：何も配置されていないビットです。

＊3

・予約ビット

予約ビットです。指定された値にしてください。

＊4

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

＊5

2進数、16進数の表記法は、各マニュアルの本文に従ってください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令 (アセンブリ言語) の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表 B1

1. 概要 1
1.1 応用 1
1.2 性能概要 2
1.3 ブロック図 3
1.4 製品一覧 4
1.5 ピン接続図 5
1.6 端子の機能説明 6
2. 中央演算処理装置(CPU) 7
2.1 データレジスタ(R0、R1、R2、R3) 7
2.2 アドレスレジスタ(A0、A1) 7
2.3 フレームベースレジスタ(FB) 8
2.4 割り込みテーブルレジスタ(INTB) 8
2.5 プログラムカウンタ(PC) 8
2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP) 8
2.7 スタティックベースレジスタ(SB) 8
2.8 フラグレジスタ(FLG) 8
2.8.1 キャリフラグ(Cフラグ) 8
2.8.2 デバッグフラグ(Dフラグ) 8
2.8.3 ゼロフラグ(Zフラグ) 8
2.8.4 サインフラグ(Sフラグ) 8
2.8.5 レジスタバンク指定フラグ(Bフラグ) 8
2.8.6 オーバフローフラグ(Oフラグ) 8
2.8.7 割り込み許可フラグ(Iフラグ) 8
2.8.8 スタックポインタ指定フラグ(Uフラグ) 8
2.8.9 プロセッサ割り込み優先レベル(IPL) 8
2.8.10 予約領域 8
3. メモリ 9
4. SFR 10
5. リセット 20
5.1 ハードウェアリセット 20
5.2 ソフトウェアリセット 22
6. クロック発生回路 23
6.1 メインクロック 27
6.2 サブクロック 28
6.3 オンチップオシレータクロック 28
6.4 CPUクロックと周辺機能クロック 29
6.4.1 BCLK 29
6.4.2 周辺機能クロック 29
6.4.3 f_{RING} 29

6.5 パワーコントロール 30
6.5.1 通常動作モード 30
6.5.2 ウェイトモード 32
6.5.3 ストップモード 32
6.6 発振停止検出機能 35
6.6.1 発振停止検出有効ビット(CM20) 37
6.6.2 発振停止検出割り込み許可ビット(CM21) 37
6.6.3 メインクロック切替ビット(CM22) 37
6.6.4 クロックモニタービット(CM23) 37
7. プロテクト 39
8. プロセッサモード 40
8.1 プロセッサモードの種類 40
9. バス制御 41
10. 割り込み 43
10.1 割り込みの概要 43
10.1.1 割り込みの分類 43
10.1.2 ソフトウェア割り込み 44
10.1.3 ハードウェア割り込み 45
10.1.4 割り込みと割り込みベクタテーブル 47
10.1.5 割り込み制御 49
10.2 $\overline{\text{INT}}$割り込み 58
10.2.1 INT0割り込み 58
10.2.2 $\overline{\text{INT0}}$入力フィルタ 59
10.3 CNTR0割り込み 60
10.4 TCIN割り込み 61
10.5 キー入力割り込み 62
10.6 アドレス一致割り込み 63
10.7 割り込みの注意事項 64
11. ウォッチドッグタイマ 66
12. タイマ 68
12.1 タイマ1 69
12.2 タイマX 71
12.2.1 タイマモード 73
12.2.2 パルス出力モード 74
12.2.3 イベントカウンタモード 75
12.2.4 パルス幅測定モード 76
12.2.5 パルス周期測定モード 78
12.3 タイマY 80
12.3.1 タイマモード 83
12.3.2 プログラマブル波形発生モード 85
12.4 タイマZ 88
12.4.1 タイマモード 92
12.4.2 プログラマブル波形発生モード 94
12.4.3 プログラマブルワンショット発生モード 96
12.4.4 プログラマブルウェイトワンショット発生モード 99

12.5 タイマC 102
13. シリアルI/O 105
13.1 クロック同期形シリアルI/Oモード 110
13.1.1 極性選択機能 113
13.1.2 LSBファースト、MSBファースト選択機能 113
13.1.3 転送クロック複数端子出力機能(UART1) 114
13.1.4 連続受信モード 114
13.1.5 RxD1入力端子選択機能(UART1) 114
13.2 クロック非同期形シリアルI/O(UART)モード 115
13.2.1 RxD1入力端子選択機能(UART1) 118
14. A/Dコンバータ 119
14.1 単発モード 123
14.2 繰り返しモード 124
14.3 サンプル&ホールド 125
14.4 拡張アナログ入力端子 125
14.5 外部オペアンプ接続モード 125
15. D/Aコンバータ 126
16. CANモジュール 128
16.1 CANモジュール関連レジスタ 129
16.2 CAN0メッセージボックス 130
16.3 アクセプタンスマスクレジスタ 132
16.4 CAN SFRレジスタ 133
16.4.1 CAN0メッセージ制御レジスタi (i = 0～15) 133
16.4.2 CAN0制御レジスタ 134
16.4.4 CAN0スロットステータスレジスタ 136
16.4.5 CAN0割り込み制御レジスタ 137
16.4.6 CAN0拡張IDレジスタ 137
16.4.7 CAN0バスタイミング制御レジスタ 138
16.4.8 CAN0受信エラーカウントレジスタ 139
16.4.9 CAN0送信エラーカウントレジスタ 139
16.4.10 CAN0アクセプタンスフィルタサポートレジスタ 140
16.5 動作モード 141
16.5.1 CANリセット/初期化モード 141
16.5.2 CAN動作モード 142
16.5.3 CANスリープモード 142
16.5.4 バスオフステート 143
16.6 CANモジュールシステムクロックの設定 144
16.6.1 ビットタイミングの設定 144
16.6.2 転送速度 145
16.7 アクセプタンスフィルタ機能とマスク機能 146
16.8 アクセプタンスフィルタサポートユニット(ASU) 147
16.9 Basic CANモード 148
16.10 リターンフロムバスオフ機能 148
16.11 リッスンオンリーモード 148
16.12 CAN受信とCAN送信 149

16.12.1　受信 150
16.12.2　送信 151
16.13　CAN割り込み 152
17.　プログラマブル入出力ポート 153
17.1　機能説明 153
17.1.1　ポートPi方向レジスタ 153
17.1.2　ポートPiレジスタ 153
17.1.3　プルアップ制御レジスタ 153
17.1.4　ポートP1駆動能力制御レジスタ 153
17.1.5　CAN0入出力端子選択レジスタ 153
17.2　未使用端子の処理 161
18.　電気的特性 162
19.　フラッシュメモリ版 171
19.1　概要 171
19.2　メモリ配置 172
19.3　フラッシュメモリ書き換え禁止機能 173
19.3.1　ROMコードプロテクト機能 173
19.3.2　IDコードチェック機能 173
19.4　ブートモード 175
19.5　CPU書き換えモード 175
19.5.1　EW0モード 176
19.5.2　EW1モード 176
19.5.3　CPU書き換えモードの注意事項 182
19.5.4　ソフトウェアコマンド 184
19.5.5　ステータスレジスタ 188
19.5.6　フルステータスチェック 189
19.6　パラレル入出力モード 191
19.6.1　ROMコードプロテクト機能 191
19.7　標準シリアル入出力モード 192
19.7.1　IDコードチェック機能 192
19.8　CAN入出力モード 197
19.8.1　IDコードチェック機能 197
20．使用上の注意 200
20.1　クロックに関する注意事項 200
20.1.1　外部クロックの使用 200
20.1.2　パワーコントロール 200
20.1.3　ストップモード、ウェイトモード 202
20.2　割り込みに関する注意事項 204
20.2.1　00000_{16}番地の読み出し 204
20.2.2　スタックポインタの設定 204
20.2.3　外部割り込み 204
20.2.4　割り込み制御レジスタの変更 204
20.2.5　割り込み要求ビットの変更 205
20.3　タイマに関する注意事項 206
20.3.1　タイマ1 206

20.3.2　タイマX、タイマY、タイマZ 206
20.3.3　タイマX 206
20.3.4　タイマY 206
20.3.5　タイマZ 207
20.3.6　タイマC 207
20.4　シリアルI/Oに関する注意事項 208
20.5　A/Dコンバータに関する注意事項 209
20.6　CANモジュールに関する注意事項 211
20.6.1　C0STRレジスタの読み出し 211
20.6.2　CAN動作モードとCANリセットモードの移行 213
20.6.2　標準ブートプログラム使用時のCANトランシーバの制御 214
20.7　ノイズに関する注意事項 215
20.8　フラッシュメモリ版とマスクROM版の相違点に関する注意事項 216
20.9　フラッシュメモリ版に関する注意事項 217
20.9.1　フラッシュメモリ書き換え禁止機能 217
20.9.2　ストップモード 217
20.9.3　ウェイトモード 217
20.9.4　低消費電力モード、オンチップオシレータ低消費電力モード 217
20.9.5　コマンド、データの書き込み 217
20.9.6　プログラムコマンド 217
20.9.7　動作速度 217
20.9.8　使用禁止命令 218
20.9.9　割り込み 218
20.9.10　アクセス方法 218
20.9.11　ユーザROM領域の書き換え 218

付録1.　外形寸法図 219

SFRレジスタ図索引 220

M16C/1Nグループ注意事項集

M16C/1Nグループ注意事項集の最新版はルネサステクノロジのホームページに掲載されています。
必ず最新版をご参照ください。

本資料はできる限り正確を期すよう努力をしておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので、最新版をご使用ください。

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000_{16}			
0001_{16}			
0002_{16}			
0003_{16}			
0004_{16}	プロセッサモードレジスタ0	PM0	22、40
0005_{16}	プロセッサモードレジスタ1	PM1	22、40、67
0006_{16}	システムクロック制御レジスタ0	CM0	24
0007_{16}	システムクロック制御レジスタ1	CM1	24
0008_{16}			
0009_{16}	アドレス一致割り込み許可レジスタ	AIER	63
$000A_{16}$	プロテクトレジスタ	PRCR	39
$000B_{16}$			
$000C_{16}$	発振停止検出レジスタ	CM2	25、36
$000D_{16}$			
$000E_{16}$	ウォッチドッグタイマスタートレジスタ	WDTS	67
$000F_{16}$	ウォッチドッグタイマ制御レジスタ	WDC	
0010_{16}	アドレス一致割り込みレジスタ0	RMAD0	63
0011_{16}			
0012_{16}			
0013_{16}			
0014_{16}	アドレス一致割り込みレジスタ1	RMAD1	63
0015_{16}			
0016_{16}			
0017_{16}			
0018_{16}			
0019_{16}			
$001A_{16}$			
$001B_{16}$			
$001C_{16}$			
$001D_{16}$			
$001E_{16}$	$\overline{\text{INT0}}$入力フィルタ選択レジスタ	INT0F	58、91
$001F_{16}$			
0020_{16}			
0021_{16}			
0022_{16}			
0023_{16}			
0024_{16}			
0025_{16}			
0026_{16}			
0027_{16}			
0028_{16}			
0029_{16}			
$002A_{16}$			
$002B_{16}$			
$002C_{16}$			
$002D_{16}$			
$002E_{16}$			
$002F_{16}$			
0030_{16}			
0031_{16}			
0032_{16}			
0033_{16}			
0034_{16}			
0035_{16}			
0036_{16}			
0037_{16}			
0038_{16}			
0039_{16}			
$003A_{16}$			
$003B_{16}$			
$003C_{16}$			
$003D_{16}$			
$003E_{16}$			
$003F_{16}$			

番地	レジスタ	シンボル	掲載ページ
0040_{16}			
0041_{16}			
0042_{16}			
0043_{16}			
0044_{16}			
0045_{16}	CAN0ウェイクアップ割り込み制御レジスタ	C01WKIC	50
0046_{16}	CAN0ステート/エラー割り込み制御レジスタ	C01ERRIC	
0047_{16}			
0048_{16}	CAN0受信完了割り込み制御レジスタ	C0RECIC	50
0049_{16}	CAN0送信完了割り込み制御レジスタ	C0TRMIC	
$004A_{16}$			
$004B_{16}$			
$004C_{16}$			
$004D_{16}$	キー入力割り込み制御レジスタ	KUPIC	50
$004E_{16}$	A/D変換割り込み制御レジスタ	ADIC	
$004F_{16}$			
0050_{16}			
0051_{16}	UART0送信割り込み制御レジスタ	S0TIC	50
0052_{16}	UART0受信割り込み制御レジスタ	S0RIC	
0053_{16}	UART1送信割り込み制御レジスタ	S1TIC	
0054_{16}	UART1受信制御割り込みレジスタ	S1RIC	
0055_{16}	タイマ1割り込み制御レジスタ	T1IC	
0056_{16}	タイマX割り込み制御レジスタ	TXIC	
0057_{16}	タイマY割り込み制御レジスタ	TYIC	
0058_{16}	タイマZ割り込み制御レジスタ	TZIC	
0059_{16}	CNTR0割り込み制御レジスタ	CNTR0IC	
$005A_{16}$	TCIN割り込み制御レジスタ	TCINIC	
$005B_{16}$	タイマC割り込み制御レジスタ	TCIC	
$005C_{16}$	INT3割り込み制御レジスタ	INT3IC	
$005D_{16}$	INT0割り込み制御レジスタ	INT0IC	
$005E_{16}$	INT1割り込み制御レジスタ	INT1IC	
$005F_{16}$	INT2割り込み制御レジスタ	INT2IC	
0060_{16}			
0061_{16}			
0062_{16}			
0063_{16}			
0064_{16}			
0065_{16}			
0066_{16}			
0067_{16}			
0068_{16}			
0069_{16}			
$006A_{16}$			
$006B_{16}$			
$006C_{16}$			
$006D_{16}$			
$006E_{16}$			
$006F_{16}$			
0070_{16}			
0071_{16}			
0072_{16}			
0073_{16}			
0074_{16}			
0075_{16}			
0076_{16}			
0077_{16}			
0078_{16}			
0079_{16}			
$007A_{16}$			
$007B_{16}$			
$007C_{16}$			
$007D_{16}$			
$007E_{16}$			
$007F_{16}$			

注1．空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0080_{16}	タイマY、Zモードレジスタ	TYZMR	80、84、86、88、93、95、97、100
0081_{16}	プリスケーラY	PREY	81
0082_{16}	タイマYセカンダリ	TYSC	
0083_{16}	タイマYプライマリ	TYPR	
0084_{16}	タイマY、Z波形出力制御レジスタ	PUM	82、84、86、90、93、95、97、100
0085_{16}	プリスケーラZ	PREZ	89
0086_{16}	タイマZセカンダリ	TZSC	
0087_{16}	タイマZプライマリ	TZPR	
0088_{16}	プリスケーラ1	PRE1	70
0089_{16}	タイマ1	T1	
$008A_{16}$	タイマY、Z出力制御レジスタ	TYZOC	81、91
$008B_{16}$	タイマXモードレジスタ	TXMR	60、71、73-76、78
$008C_{16}$	プリスケーラX	PREX	72
$008D_{16}$	タイマX	TX	
$008E_{16}$	タイマカウントソース設定レジスタ	TCSS	70、72、82、90
$008F_{16}$	時計用プリスケーラリセットフラグ	CPSRF	25
0090_{16}	タイマC	TC	103
0091_{16}			
0092_{16}			
0093_{16}			
0094_{16}			
0095_{16}			
0096_{16}	外部入力許可レジスタ	INTEN	58、91
0097_{16}			
0098_{16}	キー入力許可レジスタ	KIEN	62
0099_{16}			
$009A_{16}$	タイマC制御レジスタ0	TCC0	61、103
$009B_{16}$	タイマC制御レジスタ1	TCC1	
$009C_{16}$	時間計測レジスタ	TM	103
$009D_{16}$			
$009E_{16}$			
$009F_{16}$			
$00A0_{16}$	UART0送受信モードレジスタ	U0MR	108、111、116
$00A1_{16}$	UART0転送速度レジスタ	U0BRG	107
$00A2_{16}$	UART0送信バッファレジスタ	U0TB	
$00A3_{16}$			
$00A4_{16}$	UART0送受信制御レジスタ0	U0C0	108
$00A5_{16}$	UART0送受信制御レジスタ1	U0C1	109
$00A6_{16}$	UART0受信バッファレジスタ	U0RB	107
$00A7_{16}$			
$00A8_{16}$	UART1送受信モードレジスタ	U1MR	108、111、116
$00A9_{16}$	UART1転送速度レジスタ	U1BRG	107
$00AA_{16}$	UART1送信バッファレジスタ	U1TB	
$00AB_{16}$			
$00AC_{16}$	UART1送受信制御レジスタ0	U1C0	108
$00AD_{16}$	UART1送受信制御レジスタ1	U1C1	109
$00AE_{16}$	UART1受信バッファレジスタ	U1RB	107
$00AF_{16}$			
$00B0_{16}$	UART送受信制御レジスタ2	UCON	109
$00B1_{16}$			
$00B2_{16}$			
$00B3_{16}$			
$00B4_{16}$			
$00B5_{16}$			
$00B6_{16}$			
$00B7_{16}$			
$00B8_{16}$			
$00B9_{16}$			
$00BA_{16}$			
$00BB_{16}$			
$00BC_{16}$			
$00BD_{16}$			
$00BE_{16}$			
$00BF_{16}$			

番地	レジスタ	シンボル	掲載ページ
$00C0_{16}$	A/Dレジスタ	AD	122
$00C1_{16}$			
$00C2_{16}$			
$00C3_{16}$			
$00C4_{16}$			
$00C5_{16}$			
$00C6_{16}$			
$00C7_{16}$			
$00C8_{16}$			
$00C9_{16}$			
$00CA_{16}$			
$00CB_{16}$			
$00CC_{16}$			
$00CD_{16}$			
$00CE_{16}$			
$00CF_{16}$			
$00D0_{16}$			
$00D1_{16}$			
$00D2_{16}$			
$00D3_{16}$			
$00D4_{16}$	A/D制御レジスタ2	ADCON2	122
$00D5_{16}$			
$00D6_{16}$	A/D制御レジスタ0	ADCON0	121、123、124
$00D7_{16}$	A/D制御レジスタ1	ADCON1	
$00D8_{16}$	D/Aレジスタ	DA	127
$00D9_{16}$			
$00DA_{16}$			
$00DB_{16}$			
$00DC_{16}$	D/A制御レジスタ	DACON	127
$00DD_{16}$			
$00DE_{16}$			
$00DF_{16}$			
$00E0_{16}$	ポートP0レジスタ	P0	158
$00E1_{16}$	ポートP1レジスタ	P1	
$00E2_{16}$	ポートP0方向レジスタ	PD0	
$00E3_{16}$	ポートP1方向レジスタ	PD1	
$00E4_{16}$	ポートP2レジスタ	P2	
$00E5_{16}$	ポートP3レジスタ	P3	
$00E6_{16}$	ポートP2方向レジスタ	PD2	
$00E7_{16}$	ポートP3方向レジスタ	PD3	
$00E8_{16}$	ポートP4レジスタ	P4	
$00E9_{16}$	ポートP5レジスタ	P5	
$00EA_{16}$	ポートP4方向レジスタ	PD4	
$00EB_{16}$	ポートP5方向レジスタ	PD5	
$00EC_{16}$			
$00ED_{16}$			
$00EE_{16}$			
$00EF_{16}$			
$00F0_{16}$			
$00F1_{16}$			
$00F2_{16}$			
$00F3_{16}$			
$00F4_{16}$			
$00F5_{16}$			
$00F6_{16}$			
$00F7_{16}$			
$00F8_{16}$	CAN0入出力端子選択レジスタ	CIOSR	160
$00F9_{16}$			
$00FA_{16}$			
$00FB_{16}$			
$00FC_{16}$	プルアップ制御レジスタ0	PUR0	159
$00FD_{16}$	プルアップ制御レジスタ1	PUR1	
$00FE_{16}$	ポートP1駆動能力制御レジスタ	DRR	
$00FF_{16}$			

注1．空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0100_{16}			
0101_{16}			
0102_{16}			
0103_{16}			
0104_{16} ≈ $01B0_{16}$			≈
$01B1_{16}$			
$01B2_{16}$			
$01B3_{16}$	フラッシュメモリ制御レジスタ4	FMR4	179
$01B4_{16}$			
$01B5_{16}$	フラッシュメモリ制御レジスタ1	FMR1	179
$01B6_{16}$			
$01B7_{16}$	フラッシュメモリ制御レジスタ0	FMR0	178
$01B8_{16}$			
$01B9_{16}$			
$01BA_{16}$			
$01BB_{16}$			
$01BC_{16}$			
$01BD_{16}$			
$01BE_{16}$			
$01BF_{16}$ ≈ 0215_{16}			≈
0216_{16}			
0217_{16}			
0218_{16}			
0219_{16}			
$021A_{16}$			
$021B_{16}$			
$021C_{16}$			
$021D_{16}$			
$021E_{16}$			
$021F_{16}$			
0220_{16}	CAN0メッセージ制御レジスタ0	C0MCTL0	133
0221_{16}	CAN0メッセージ制御レジスタ1	C0MCTL1	
0222_{16}	CAN0メッセージ制御レジスタ2	C0MCTL2	
0223_{16}	CAN0メッセージ制御レジスタ3	C0MCTL3	
0224_{16}	CAN0メッセージ制御レジスタ4	C0MCTL4	
0225_{16}	CAN0メッセージ制御レジスタ5	C0MCTL5	
0226_{16}	CAN0メッセージ制御レジスタ6	C0MCTL6	
0227_{16}	CAN0メッセージ制御レジスタ7	C0MCTL7	
0228_{16}	CAN0メッセージ制御レジスタ8	C0MCTL8	
0229_{16}	CAN0メッセージ制御レジスタ9	C0MCTL9	
$022A_{16}$	CAN0メッセージ制御レジスタ10	C0MCTL10	
$022B_{16}$	CAN0メッセージ制御レジスタ11	C0MCTL11	
$022C_{16}$	CAN0メッセージ制御レジスタ12	C0MCTL12	
$022D_{16}$	CAN0メッセージ制御レジスタ13	C0MCTL13	
$022E_{16}$	CAN0メッセージ制御レジスタ14	C0MCTL14	
$022F_{16}$	CAN0メッセージ制御レジスタ15	C0MCTL15	
0230_{16} 0231_{16}	CAN0制御レジスタ	C0CTLR	134
0232_{16} 0233_{16}	CAN0ステータスレジスタ	C0STR	135
0234_{16} 0235_{16}	CAN0スロットステータスレジスタ	C0SSTR	136
0236_{16} 0237_{16}	CAN0割り込み制御レジスタ	C0ICR	137
0238_{16} 0239_{16}	CAN0拡張IDレジスタ	C0IDR	
$023A_{16}$ $023B_{16}$	CAN0バスタイミング制御レジスタ	C0CONR	138
$023C_{16}$	CAN0受信エラーカウントレジスタ	C0RECR	139
$023D_{16}$	CAN0送信エラーカウントレジスタ	C0TECR	
$023E_{16}$			
$023F_{16}$			

番地	レジスタ	シンボル	掲載ページ
0240_{16}			
0241_{16}			
0242_{16}			
0243_{16}			
0244_{16} 0245_{16}	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	140
0246_{16}			
0247_{16}			
0248_{16}			
0249_{16}			
$024A_{16}$			
$024B_{16}$			
$024C_{16}$			
$024D_{16}$			
$024E_{16}$			
$024F_{16}$			
0250_{16}			
0251_{16}			
0252_{16}			
0253_{16}			
0254_{16}			
0255_{16}			
0256_{16}			
0257_{16}			
0258_{16}			
0259_{16}			
$025A_{16}$			
$025B_{16}$			
$025C_{16}$			
$025D_{16}$			
$025E_{16}$			
$025F_{16}$	CAN0クロック選択レジスタ	CCLKR	26
0260_{16} 0261_{16} 0262_{16} 0263_{16} 0264_{16} 0265_{16}	CAN0スロット0: メッセージ識別子/DLC		130 131
0266_{16} 0267_{16} 0268_{16} 0269_{16} $026A_{16}$ $026B_{16}$ $026C_{16}$ $026D_{16}$	CAN0スロット0: データフィールド		
$026E_{16}$ $026F_{16}$	CAN0スロット0: タイムスタンプ		
0270_{16} 0271_{16} 0272_{16} 0273_{16} 0274_{16} 0275_{16}	CAN0スロット1: メッセージ識別子/DLC		
0276_{16} 0277_{16} 0278_{16} 0279_{16} $027A_{16}$ $027B_{16}$ $027C_{16}$ $027D_{16}$	CAN0スロット1: データフィールド		
$027E_{16}$ $027F_{16}$	CAN0スロット1: タイムスタンプ		

注1．空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0280_{16}	CAN0スロット2: メッセージ識別子/DLC		130 131
0281_{16}			
0282_{16}			
0283_{16}			
0284_{16}			
0285_{16}			
0286_{16}	CAN0スロット2: データフィールド		
0287_{16}			
0288_{16}			
0289_{16}			
$028A_{16}$			
$028B_{16}$			
$028C_{16}$			
$028D_{16}$			
$028E_{16}$	CAN0スロット2: タイムスタンプ		
$028F_{16}$			
0290_{16}	CAN0スロット3: メッセージ識別子/DLC		
0291_{16}			
0292_{16}			
0293_{16}			
0294_{16}			
0295_{16}			
0296_{16}	CAN0スロット3: データフィールド		
0297_{16}			
0298_{16}			
0299_{16}			
$029A_{16}$			
$029B_{16}$			
$029C_{16}$			
$029D_{16}$			
$029E_{16}$	CAN0スロット3: タイムスタンプ		
$029F_{16}$			
$02A0_{16}$	CAN0スロット4: メッセージ識別子/DLC		
$02A1_{16}$			
$02A2_{16}$			
$02A3_{16}$			
$02A4_{16}$			
$02A5_{16}$			
$02A6_{16}$	CAN0スロット4: データフィールド		
$02A7_{16}$			
$02A8_{16}$			
$02A9_{16}$			
$02AA_{16}$			
$02AB_{16}$			
$02AC_{16}$			
$02AD_{16}$			
$02AE_{16}$	CAN0スロット4: タイムスタンプ		
$02AF_{16}$			
$02B0_{16}$	CAN0スロット5: メッセージ識別子/DLC		
$02B1_{16}$			
$02B2_{16}$			
$02B3_{16}$			
$02B4_{16}$			
$02B5_{16}$			
$02B6_{16}$	CAN0スロット5: データフィールド		
$02B7_{16}$			
$02B8_{16}$			
$02B9_{16}$			
$02BA_{16}$			
$02BB_{16}$			
$02BC_{16}$			
$02BD_{16}$			
$02BE_{16}$	CAN0スロット5: タイムスタンプ		
$02BF_{16}$			

番地	レジスタ	シンボル	掲載ページ
$02C0_{16}$	CAN0スロット6: メッセージ識別子/DLC		130 131
$02C1_{16}$			
$02C2_{16}$			
$02C3_{16}$			
$02C4_{16}$			
$02C5_{16}$			
$02C6_{16}$	CAN0スロット6: データフィールド		
$02C7_{16}$			
$02C8_{16}$			
$02C9_{16}$			
$02CA_{16}$			
$02CB_{16}$			
$02CC_{16}$			
$02CD_{16}$			
$02CE_{16}$	CAN0スロット6: タイムスタンプ		
$02CF_{16}$			
$02D0_{16}$	CAN0スロット7: メッセージ識別子/DLC		
$02D1_{16}$			
$02D2_{16}$			
$02D3_{16}$			
$02D4_{16}$			
$02D5_{16}$			
$02D6_{16}$	CAN0スロット7: データフィールド		
$02D7_{16}$			
$02D8_{16}$			
$02D9_{16}$			
$02DA_{16}$			
$02DB_{16}$			
$02DC_{16}$			
$02DD_{16}$			
$02DE_{16}$	CAN0スロット7: タイムスタンプ		
$02DF_{16}$			
$02E0_{16}$	CAN0スロット8: メッセージ識別子/DLC		
$02E1_{16}$			
$02E2_{16}$			
$02E3_{16}$			
$02E4_{16}$			
$02E5_{16}$			
$02E6_{16}$	CAN0スロット8: データフィールド		
$02E7_{16}$			
$02E8_{16}$			
$02E9_{16}$			
$02EA_{16}$			
$02EB_{16}$			
$02EC_{16}$			
$02ED_{16}$			
$02EE_{16}$	CAN0スロット8: タイムスタンプ		
$02EF_{16}$			
$02F0_{16}$	CAN0スロット9: メッセージ識別子/DLC		
$02F1_{16}$			
$02F2_{16}$			
$02F3_{16}$			
$02F4_{16}$			
$02F5_{16}$			
$02F6_{16}$	CAN0スロット9: データフィールド		
$02F7_{16}$			
$02F8_{16}$			
$02F9_{16}$			
$02FA_{16}$			
$02FB_{16}$			
$02FC_{16}$			
$02FD_{16}$			
$02FE_{16}$	CAN0スロット9: タイムスタンプ		
$02FF_{16}$			

注1．空欄はすべて予約領域です。

番地	レジスタ	シンボル	掲載ページ
0300_{16}	CAN0スロット10: メッセージ識別子/DLC		130 131
0301_{16}			
0302_{16}			
0303_{16}			
0304_{16}			
0305_{16}			
0306_{16}	CAN0スロット10: データフィールド		
0307_{16}			
0308_{16}			
0309_{16}			
$030A_{16}$			
$030B_{16}$			
$030C_{16}$			
$030D_{16}$			
$030E_{16}$	CAN0スロット10: タイムスタンプ		
$030F_{16}$			
0310_{16}	CAN0スロット11: メッセージ識別子/DLC		
0311_{16}			
0312_{16}			
0313_{16}			
0314_{16}			
0315_{16}			
0316_{16}	CAN0スロット11: データフィールド		
0317_{16}			
0318_{16}			
0319_{16}			
$031A_{16}$			
$031B_{16}$			
$031C_{16}$			
$031D_{16}$			
$031E_{16}$	CAN0スロット11: タイムスタンプ		
$031F_{16}$			
0320_{16}	CAN0スロット12: メッセージ識別子/DLC		
0321_{16}			
0322_{16}			
0323_{16}			
0324_{16}			
0325_{16}			
0326_{16}	CAN0スロット12: データフィールド		
0327_{16}			
0328_{16}			
0329_{16}			
$032A_{16}$			
$032B_{16}$			
$032C_{16}$			
$032D_{16}$			
$032E_{16}$	CAN0スロット12: タイムスタンプ		
$032F_{16}$			
0330_{16}	CAN0スロット13: メッセージ識別子/DLC		
0331_{16}			
0332_{16}			
0333_{16}			
0334_{16}			
0335_{16}			
0336_{16}	CAN0スロット13: データフィールド		
0337_{16}			
0338_{16}			
0339_{16}			
$033A_{16}$			
$033B_{16}$			
$033C_{16}$			
$033D_{16}$			
$033E_{16}$	CAN0スロット13: タイムスタンプ		
$033F_{16}$			

番地	レジスタ	シンボル	掲載ページ
0340_{16}	CAN0スロット14: メッセージ識別子/DLC		130 131
0341_{16}			
0342_{16}			
0343_{16}			
0344_{16}			
0345_{16}			
0346_{16}	CAN0スロット14: データフィールド		
0347_{16}			
0348_{16}			
0349_{16}			
$034A_{16}$			
$034B_{16}$			
$034C_{16}$			
$034D_{16}$			
$034E_{16}$	CAN0スロット14: タイムスタンプ		
$034F_{16}$			
0350_{16}	CAN0スロット15: メッセージ識別子/DLC		
0351_{16}			
0352_{16}			
0353_{16}			
0354_{16}			
0355_{16}			
0356_{16}	CAN0スロット15: データフィールド		
0357_{16}			
0358_{16}			
0359_{16}			
$035A_{16}$			
$035B_{16}$			
$035C_{16}$			
$035D_{16}$			
$035E_{16}$	CAN0スロット15: タイムスタンプ		
$035F_{16}$			
0360_{16}	CAN0グローバルマスク		132
0361_{16}			
0362_{16}			
0363_{16}			
0364_{16}			
0365_{16}			
0366_{16}	CAN0ローカルマスクA		
0367_{16}			
0368_{16}			
0369_{16}			
$036A_{16}$			
$036B_{16}$			
$036C_{16}$	CAN0ローカルマスクB		
$036D_{16}$			
$036E_{16}$			
$036F_{16}$			
0370_{16}			
0371_{16}			
≈			≈
$03B4_{16}$			
$03B5_{16}$			
$03B6_{16}$			
$03B7_{16}$			
$03B8_{16}$			
$03B9_{16}$			
≈			≈
$03FA_{16}$			
$03FB_{16}$			
$03FC_{16}$			
$03FD_{16}$			
$03FE_{16}$			
$03FF_{16}$			

注1．空欄はすべて予約領域です。

M16C/1Nグループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

1. 概要

M16C/1Nグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、 48ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

1.1 応用

自動車、他

1.2　性能概要

表1.1にM16C/1Nグループの性能概要を示します。

表1.1　性能概要

項　　目		性　　能
基本命令数		91命令
最短命令実行時間		62.5ns(f(XIN)=16MHz時)
メモリ容量	ROM	「表1.2 製品一覧表」を参照してください
	RAM	「表1.2 製品一覧表」を参照してください
入出力ポート		P0～P5：37本
多機能タイマ	T1	8ビット×1
	TX、TY、TZ	8ビット×3
	TC	16ビット×1
シリアルI/O(UARTまたはクロック同期形)		×2
A/Dコンバータ　(最大分解能:10ビット)		×12チャネル (最大14チャネル拡張可能)
D/Aコンバータ		8ビット×1チャネル
CANコントローラ		1チャネル、2.0B準拠
ウォッチドッグタイマ		15ビット×1(プリスケーラ付)
割り込み		内部15要因、外部8要因、ソフトウェア4要因
クロック発生回路		3回路内蔵
電源電圧		4.2V～5.5V(f(XIN)=16MHz時)
消費電力		70mW(VCC=5.0V、f(XIN)=16MHz)
入出力特性	入出力耐電圧	5V
	出力電流	5mA(10mA:LED駆動ポート)
素子構造		CMOSシリコンゲート
パッケージ		48ピンLQFP

1.3　ブロック図

図1.1にM16C/1Nグループのブロック図を示します。

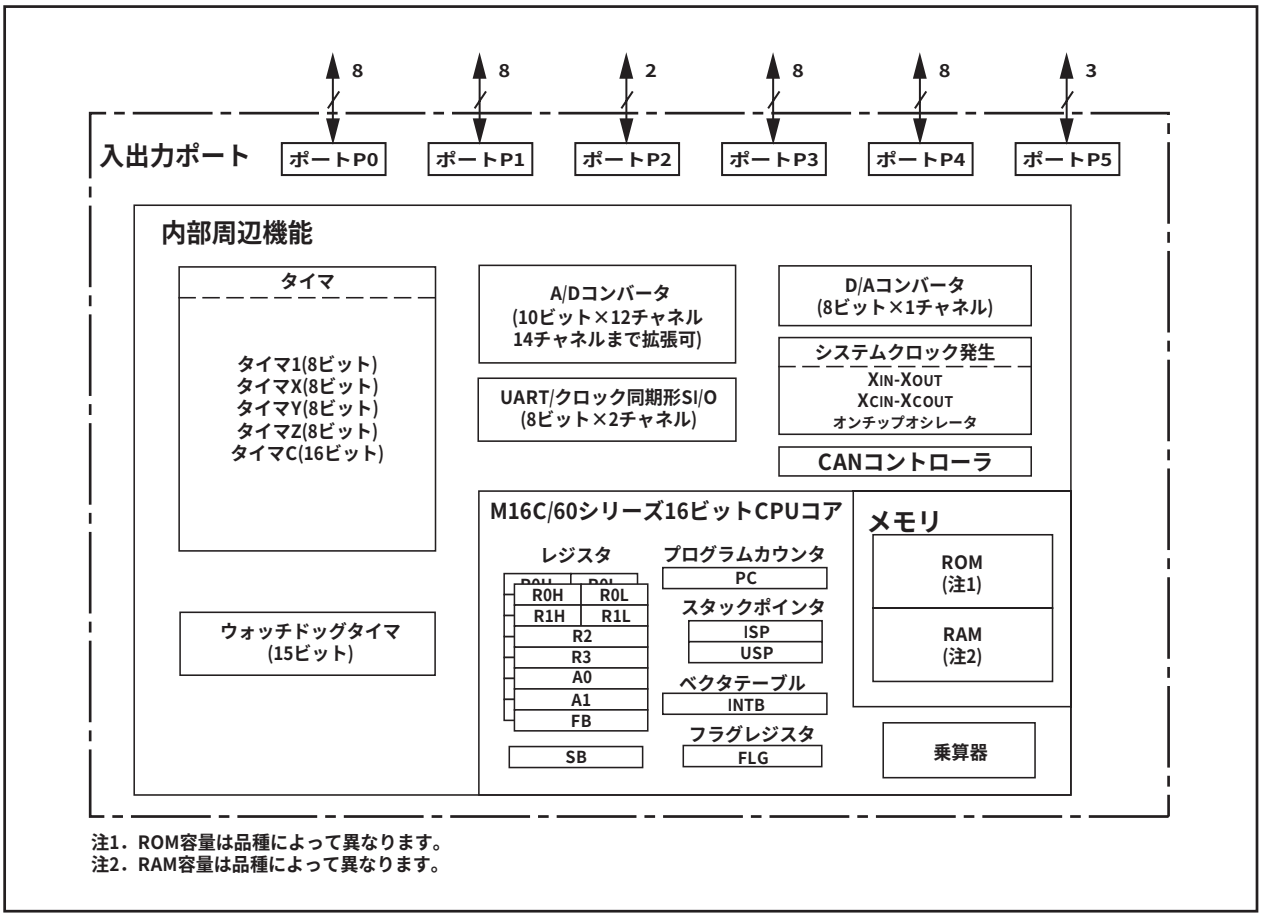


図1.1　ブロック図

1.4　製品一覧

表1.2に製品一覧表を示します。

表1.2　製品一覧表

2004年11月現在

型名	ROM容量	RAM容量	パッケージ	備考
M301N2M4T-XXXFP(開)	32Kバイト	1Kバイト	48P6Q-A	マスクROM版
M301N2M8T-XXXFP(開)	64Kバイト	3Kバイト		
M301N2F8TFP(開)				フラッシュメモリ版
M301N2F8FP(開)				

(開)：開発中

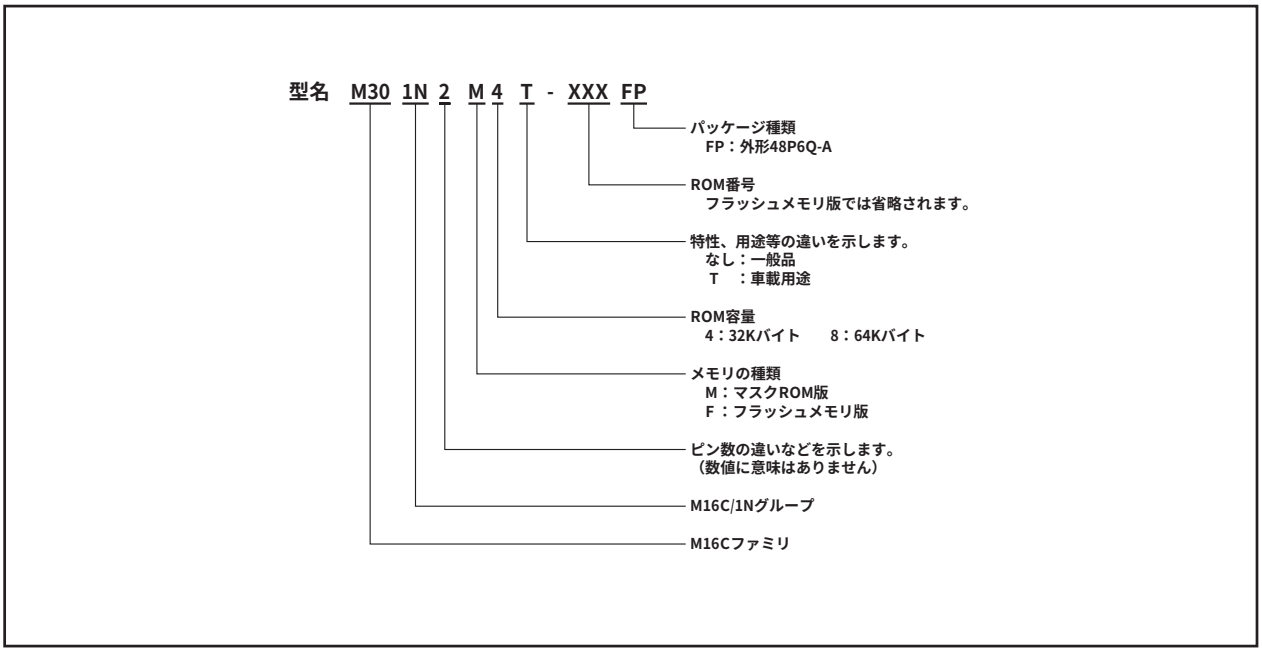
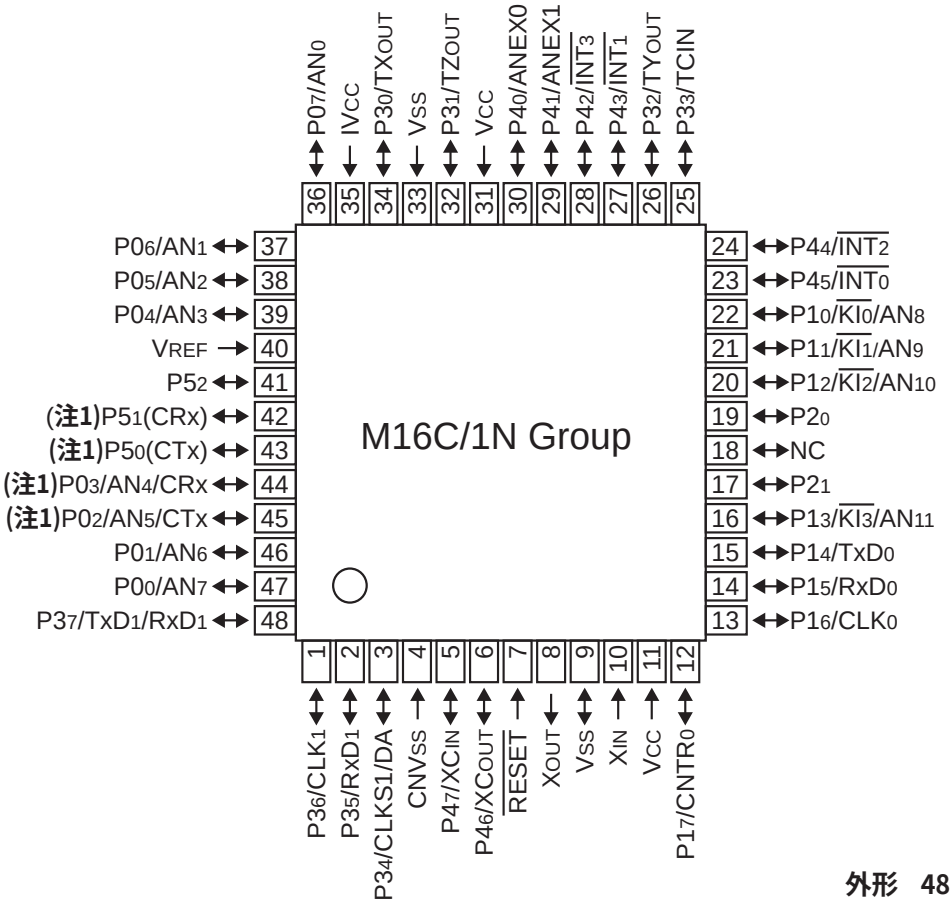


図1.2　型名とメモリサイズ・パッケージ

1.5　ピン接続図

図1.3にM16C/1Nグループのピン接続図(上面図)を示します。



注1．CAN0の入出力端子として使用する場合、ソフトウェアで選択してください。

図1.3　ピン接続図(上面図)

1.6　端子の機能説明

表1.3にM16C/1Nグループの端子の機能説明を示します。

表1.3　端子の機能説明

端子名	名　称	入出力	機　　能
V_{CC}, V_{SS}	電源入力	入力	V_{CC}端子には、4.2V～5.5Vを印加してください。V_{SS}端子には、0Vを印加してください。
IV_{CC}	IV_{CC}	入力	V_{SS}との間にコンデンサ(0.1μF)を接続してください。
CNV_{SS}	CNV_{SS}	入力	抵抗(5kΩ程度)を介してV_{SS}端子に接続してください。
$\overline{RESET}$	リセット入力	入力	この端子に“L”レベルを入力すると、マイクロコンピュータはリセット状態になります。
X_{IN}	クロック入力	入力	メインクロック発振回路の入出力端子です。X_{IN}端子とX_{OUT}端子の間にはセラミック共振子または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、X_{IN}端子からクロックを入力し、X_{OUT}端子は開放にしてください。
X_{OUT}	クロック出力	出力	
V_{REF}	基準電圧入力	入力	A/Dコンバータ、D/Aコンバータの基準電圧入力端子です。
$P0_0$～$P0_7$	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力または出力ポートに設定できます。入力ポート時、ソフトウェアで4ビット単位でプルアップ抵抗の有無を設定できます。アナログ入力端子と兼用しています。 $P0_2$、$P0_3$はソフトウェアで選択してCAN0の入出力端子として機能します。
$P1_0$～$P1_7$	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 $P1_0$～$P1_3$はアナログ入力、キー入力割り込みと兼用しています。$P1_4$～$P1_6$はシリアルI/O入出力端子と兼用しています。$P1_7$はタイマ入力と兼用しています。LED駆動ポートとしても使用できます。
$P2_0$, $P2_1$	入出力ポートP2	入出力	P0と同等の機能を持つ2ビット入出力ポートです。
$P3_0$～$P3_7$	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 $P3_0$～$P3_3$はタイマ入出力と兼用しています。$P3_4$～$P3_7$はシリアルI/O入出力と兼用しています。$P3_4$はアナログ出力と兼用しています。
$P4_0$～$P4_7$	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 $P4_0$、$P4_1$はアナログ入力と兼用しています。$P4_2$～$P4_5$は割り込み入力と兼用しています。$P4_6$、$P4_7$は時計用クロック発振回路の入出力端子と兼用しています。
$P5_0$～$P5_2$	入出力ポートP5	入出力	P0と同等の機能を持つ3ビット入出力ポートです。 $P5_0$、$P5_1$はソフトウェアで選択してCAN0の入出力端子として機能します。

2.　中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

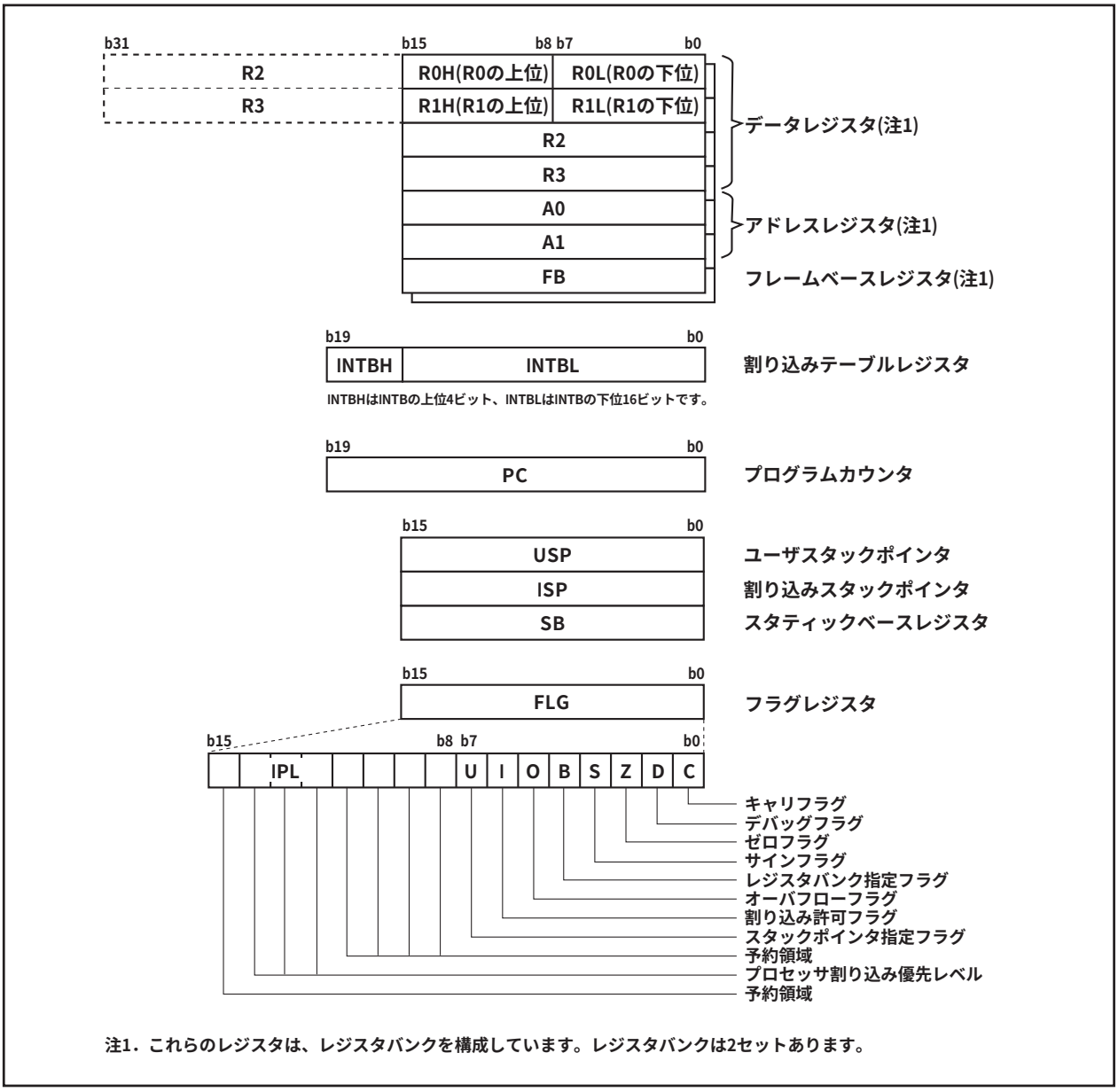


図2.1　CPUのレジスタ

2.1　データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2　アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算にも使用します。A1はA0と同様です。

A1とA0とを組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3　フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4　割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5　プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6　ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(PS)は、USPとISPの2種類あり、ともに16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。

2.7　スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8　フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1　キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2　デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3　ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4　サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5　レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6　オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7　割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。
Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。
割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8　スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。
ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uラグは“0”になります。

2.8.9　プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込み要求は許可されます。

2.8.10　予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3.　メモリ

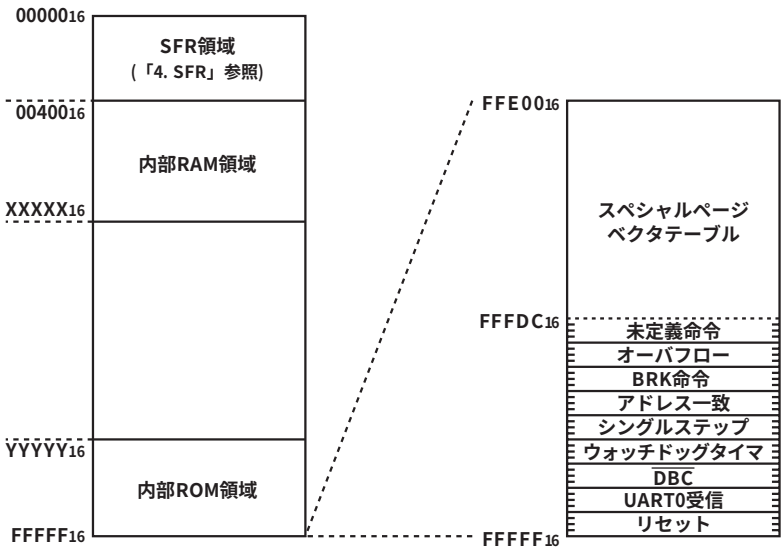
図3.1にメモリ配置図を示します。アドレス空間は0000_{16}番地から$FFFFF_{16}$番地までの1Mバイトあります。

$FFFFF_{16}$番地から番地の小さい方向にROMが内蔵されています(例えばM301N2M4T-XXXFPでは$F8000_{16}$番地から$FFFFF_{16}$番地までは内部ROMで、32Kバイト内蔵されています)。$FFFDC_{16}$番地から$FFFFF_{16}$番地はリセットなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます(「10. 割り込み」参照)。

0040_{16}番地から番地の大きい方向にRAMが配置されています。例えばM301N2M4T-XXXFPでは、0040_{16}番地から$007FF_{16}$番地まで1Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

0000_{16}番地から$003FF_{16}$番地は入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。SFR領域のうち何も配置されていない領域はすべて予約領域のため、使用できません。

$FFE00_{16}$番地から$FFFDB_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。



型名	内部RAM		内部ROM	
	容　量	XXXXX_{16}番地	容　量	$YYYYY_{16}$番地
M301N2M4T	1Kバイト	$007FF_{16}$	32Kバイト	$F8000_{16}$
M301N2M8T M301N2F8TFP M301N2F8FP	3Kバイト	$00FFF_{16}$	64Kバイト	$F0000_{16}$

図3.1　メモリ配置図

4. SFR

番　地	レジスタ	シンボル	リセット後の値
0000_{16}			
0001_{16}			
0002_{16}			
0003_{16}			
0004_{16}	プロセッサモードレジスタ0	PM0	$XXXX0X00_2$
0005_{16}	プロセッサモードレジスタ1	PM1	$00XXX0X0_2$
0006_{16}	システムクロック制御レジスタ0	CM0	48_{16}
0007_{16}	システムクロック制御レジスタ1	CM1	20_{16}
0008_{16}			
0009_{16}	アドレス一致割り込み許可レジスタ	AIER	$XXXXXX00_2$
$000A_{16}$	プロテクトレジスタ	PRCR	$XXXXX000_2$
$000B_{16}$			
$000C_{16}$	発振停止検出レジスタ	CM2	04_{16}
$000D_{16}$			
$000E_{16}$	ウォッチドッグタイマスタートレジスタ	WDTS	XX_{16}
$000F_{16}$	ウォッチドッグタイマ制御レジスタ	WDC	$000XXXXX_2$
0010_{16}	アドレス一致割り込みレジスタ0	RMAD0	00000000_2
0011_{16}			00000000_2
0012_{16}			$XXXX0000_2$
0013_{16}			
0014_{16}	アドレス一致割り込みレジスタ1	RMAD1	00000000_2
0015_{16}			00000000_2
0016_{16}			$XXXX0000_2$
0017_{16}			
0018_{16}			
0019_{16}			
$001A_{16}$			
$001B_{16}$			
$001C_{16}$			
$001D_{16}$			
$001E_{16}$	$\overline{\text{INT0}}$入力フィルタ選択レジスタ	INT0F	$XXXXX000_2$
$001F_{16}$			
0020_{16}			
0021_{16}			
0022_{16}			
0023_{16}			
0024_{16}			
0025_{16}			
0026_{16}			
0027_{16}			
0028_{16}			
0029_{16}			
$002A_{16}$			
$002B_{16}$			
$002C_{16}$			
$002D_{16}$			
$002E_{16}$			
$002F_{16}$			
0030_{16}			
0031_{16}			
0032_{16}			
0033_{16}			
0034_{16}			
0035_{16}			
0036_{16}			
0037_{16}			
0038_{16}			
0039_{16}			
$003A_{16}$			
$003B_{16}$			
$003C_{16}$			
$003D_{16}$			
$003E_{16}$			
$003F_{16}$			

注1．空欄は予約領域です。アクセスしないでください。

X：不定です。

番　地	レジスタ	シンボル	リセット後の値
0040_{16}			
0041_{16}			
0042_{16}			
0043_{16}			
0044_{16}			
0045_{16}	CAN0ウェイクアップ割り込み制御レジスタ	C01WKIC	$XXXXX000_2$
0046_{16}	CAN0ステート/エラー割り込み制御レジスタ	C01ERRIC	$XXXXX000_2$
0047_{16}			
0048_{16}	CAN0受信完了割り込み制御レジスタ	C0RECIC	$XXXXX000_2$
0049_{16}	CAN0送信完了割り込み制御レジスタ	C0TRMIC	$XXXXX000_2$
$004A_{16}$			
$004B_{16}$			
$004C_{16}$			
$004D_{16}$	キー入力割り込み制御レジスタ	KUPIC	$XXXXX000_2$
$004E_{16}$	A/D変換割り込み制御レジスタ	ADIC	$XXXXX000_2$
$004F_{16}$			
0050_{16}			
0051_{16}	UART0送信割り込み制御レジスタ	S0TIC	$XXXXX000_2$
0052_{16}	UART0受信割り込み制御レジスタ	S0RIC	$XXXXX000_2$
0053_{16}	UART1送信割り込み制御レジスタ	S1TIC	$XXXXX000_2$
0054_{16}	UART1受信制御割り込みレジスタ	S1RIC	$XXXXX000_2$
0055_{16}	タイマ1割り込み制御レジスタ	T1IC	$XXXXX000_2$
0056_{16}	タイマX割り込み制御レジスタ	TXIC	$XXXXX000_2$
0057_{16}	タイマY割り込み制御レジスタ	TYIC	$XXXXX000_2$
0058_{16}	タイマZ割り込み制御レジスタ	TZIC	$XXXXX000_2$
0059_{16}	CNTR0割り込み制御レジスタ	CNTR0IC	$XXXXX000_2$
$005A_{16}$	TCIN割り込み制御レジスタ	TCINIC	$XXXXX000_2$
$005B_{16}$	タイマC割り込み制御レジスタ	TCIC	$XXXXX000_2$
$005C_{16}$	INT3割り込み制御レジスタ	INT3IC	$XXXXX000_2$
$005D_{16}$	INT0割り込み制御レジスタ	INT0IC	$XX00X000_2$
$005E_{16}$	INT1割り込み制御レジスタ	INT1IC	$XX00X000_2$
$005F_{16}$	INT2割り込み制御レジスタ	INT2IC	$XX00X000_2$
0060_{16}			
0061_{16}			
0062_{16}			
0063_{16}			
0064_{16}			
0065_{16}			
0066_{16}			
0067_{16}			
0068_{16}			
0069_{16}			
$006A_{16}$			
$006B_{16}$			
$006C_{16}$			
$006D_{16}$			
$006E_{16}$			
$006F_{16}$			
0070_{16}			
0071_{16}			
0072_{16}			
0073_{16}			
0074_{16}			
0075_{16}			
0076_{16}			
0077_{16}			
0078_{16}			
0079_{16}			
$007A_{16}$			
$007B_{16}$			
$007C_{16}$			
$007D_{16}$			
$007E_{16}$			
$007F_{16}$			

注1．空欄は予約領域です。アクセスしないでください。

X：不定です。

番　地	レジスタ	シンボル	リセット後の値
0080_{16}	タイマY、Zモードレジスタ	TYZMR	$000000X0_2$
0081_{16}	プリスケーラY	PREY	FF_{16}
0082_{16}	タイマYセカンダリ	TYSC	FF_{16}
0083_{16}	タイマYプライマリ	TYPR	FF_{16}
0084_{16}	タイマY、Z波形出力制御レジスタ	PUM	00_{16}
0085_{16}	プリスケーラZ	PREZ	FF_{16}
0086_{16}	タイマZセカンダリ	TZSC	FF_{16}
0087_{16}	タイマZプライマリ	TZPR	FF_{16}
0088_{16}	プリスケーラ1	PRE1	XX_{16}
0089_{16}	タイマ1	T1	XX_{16}
$008A_{16}$	タイマY、Z出力制御レジスタ	TYZOC	$XXXXX000_2$
$008B_{16}$	タイマXモードレジスタ	TXMR	00000000_2
$008C_{16}$	プリスケーラX	PREX	FF_{16}
$008D_{16}$	タイマX	TX	FF_{16}
$008E_{16}$	タイマカウントソース設定レジスタ	TCSS	00_{16}
$008F_{16}$	時計用プリスケーラリセットフラグ	CPSRF	$0XXXXXXX_2$
0090_{16}	タイマC	TC	XX_{16}
0091_{16}			XX_{16}
0092_{16}			
0093_{16}			
0094_{16}			
0095_{16}			
0096_{16}	外部入力許可レジスタ	INTEN	00_{16}
0097_{16}			
0098_{16}	キー入力許可レジスタ	KIEN	00_{16}
0099_{16}			
$009A_{16}$	タイマC制御レジスタ0	TCC0	$0XX00000_2$
$009B_{16}$	タイマC制御レジスタ1	TCC1	$XXXXXX11_2$
$009C_{16}$	時間計測レジスタ	TM	XX_{16}
$009D_{16}$			XX_{16}
$009E_{16}$			
$009F_{16}$			
$00A0_{16}$	UART0送受信モードレジスタ	U0MR	00_{16}
$00A1_{16}$	UART0転送速度レジスタ	U0BRG	XX_{16}
$00A2_{16}$	UART0送信バッファレジスタ	U0TB	XX_{16}
$00A3_{16}$			XX_{16}
$00A4_{16}$	UART0送受信制御レジスタ0	U0C0	08_{16}
$00A5_{16}$	UART0送受信制御レジスタ1	U0C1	$XXXX0010_2$
$00A6_{16}$	UART0受信バッファレジスタ	U0RB	XX_{16}
$00A7_{16}$			XX_{16}
$00A8_{16}$	UART1送受信モードレジスタ	U1MR	00_{16}
$00A9_{16}$	UART1転送速度レジスタ	U1BRG	XX_{16}
$00AA_{16}$	UART1送信バッファレジスタ	U1TB	XX_{16}
$00AB_{16}$			XX_{16}
$00AC_{16}$	UART1送受信制御レジスタ0	U1C0	08_{16}
$00AD_{16}$	UART1送受信制御レジスタ1	U1C1	$XXXX0010_2$
$00AE_{16}$	UART1受信バッファレジスタ	U1RB	XX_{16}
$00AF_{16}$			XX_{16}
$00B0_{16}$	UART送受信制御レジスタ2	UCON	$X0000000_2$
$00B1_{16}$			
$00B2_{16}$			
$00B3_{16}$			
$00B4_{16}$			
$00B5_{16}$			
$00B6_{16}$			
$00B7_{16}$			
$00B8_{16}$			
$00B9_{16}$			
$00BA_{16}$			
$00BB_{16}$			
$00BC_{16}$			
$00BD_{16}$			
$00BE_{16}$			
$00BF_{16}$			

注1．空欄は予約領域です。アクセスしないでください。

X：不定です。

番　地	レジスタ	シンボル	リセット後の値
$00C0_{16}$	A/Dレジスタ	AD	XX_{16}
$00C1_{16}$			XX_{16}
$00C2_{16}$			
$00C3_{16}$			
$00C4_{16}$			
$00C5_{16}$			
$00C6_{16}$			
$00C7_{16}$			
$00C8_{16}$			
$00C9_{16}$			
$00CA_{16}$			
$00CB_{16}$			
$00CC_{16}$			
$00CD_{16}$			
$00CE_{16}$			
$00CF_{16}$			
$00D0_{16}$			
$00D1_{16}$			
$00D2_{16}$			
$00D3_{16}$			
$00D4_{16}$	A/D制御レジスタ2	ADCON2	$XXXX0000_2$
$00D5_{16}$			
$00D6_{16}$	A/D制御レジスタ0	ADCON0	$00000XXX_2$
$00D7_{16}$	A/D制御レジスタ1	ADCON1	00_{16}
$00D8_{16}$	D/Aレジスタ	DA	XX_{16}
$00D9_{16}$			
$00DA_{16}$			
$00DB_{16}$			
$00DC_{16}$	D/A制御レジスタ	DACON	$XXXXX0X0_2$
$00DD_{16}$			
$00DE_{16}$			
$00DF_{16}$			
$00E0_{16}$	ポートP0レジスタ	P0	XX_{16}
$00E1_{16}$	ポートP1レジスタ	P1	XX_{16}
$00E2_{16}$	ポートP0方向レジスタ	PD0	00_{16}
$00E3_{16}$	ポートP1方向レジスタ	PD1	00_{16}
$00E4_{16}$	ポートP2レジスタ	P2	XX_{16}
$00E5_{16}$	ポートP3レジスタ	P3	XX_{16}
$00E6_{16}$	ポートP2方向レジスタ	PD2	$XXXXXX00_2$
$00E7_{16}$	ポートP3方向レジスタ	PD3	00_{16}
$00E8_{16}$	ポートP4レジスタ	P4	XX_{16}
$00E9_{16}$	ポートP5レジスタ	P5	XX_{16}
$00EA_{16}$	ポートP4方向レジスタ	PD4	00_{16}
$00EB_{16}$	ポートP5方向レジスタ	PD5	$XXXXX000_2$
$00EC_{16}$			
$00ED_{16}$			
$00EE_{16}$			
$00EF_{16}$			
$00F0_{16}$			
$00F1_{16}$			
$00F2_{16}$			
$00F3_{16}$			
$00F4_{16}$			
$00F5_{16}$			
$00F6_{16}$			
$00F7_{16}$			
$00F8_{16}$	CAN0入出力端子選択レジスタ	CIOSR	$XXXXXXX0_2$
$00F9_{16}$			
$00FA_{16}$			
$00FB_{16}$			
$00FC_{16}$	プルアップ制御レジスタ0	PUR0	$00X00000_2$
$00FD_{16}$	プルアップ制御レジスタ1	PUR1	$XXXXX000_2$
$00FE_{16}$	ポートP1駆動能力制御レジスタ	DRR	00_{16}
$00FF_{16}$			

注1．空欄は予約領域です。アクセスしないでください。

X：不定です。

番　地	レジスタ	シンボル	リセット後の値
0100_{16}			
0101_{16}			
0102_{16}			
0103_{16}			
0104_{16} ≈ $01B0_{16}$			
$01B1_{16}$			
$01B2_{16}$			
$01B3_{16}$	フラッシュメモリ制御レジスタ4 (注2)	FMR4	01000000_2
$01B4_{16}$			
$01B5_{16}$	フラッシュメモリ制御レジスタ1 (注2)	FMR1	$0000XX0X_2$
$01B6_{16}$			
$01B7_{16}$	フラッシュメモリ制御レジスタ0 (注2)	FMR0	$XX000001_2$
$01B8_{16}$			
$01B9_{16}$			
$01BA_{16}$			
$01BB_{16}$			
$01BC_{16}$			
$01BD_{16}$			
$01BE_{16}$			
$01BF_{16}$ ≈ 0215_{16}			
0216_{16}			
0217_{16}			
0218_{16}			
0219_{16}			
$021A_{16}$			
$021B_{16}$			
$021C_{16}$			
$021D_{16}$			
$021E_{16}$			
$021F_{16}$			
0220_{16}	CAN0メッセージ制御レジスタ0	C0MCTL0	00_{16}
0221_{16}	CAN0メッセージ制御レジスタ1	C0MCTL1	00_{16}
0222_{16}	CAN0メッセージ制御レジスタ2	C0MCTL2	00_{16}
0223_{16}	CAN0メッセージ制御レジスタ3	C0MCTL3	00_{16}
0224_{16}	CAN0メッセージ制御レジスタ4	C0MCTL4	00_{16}
0225_{16}	CAN0メッセージ制御レジスタ5	C0MCTL5	00_{16}
0226_{16}	CAN0メッセージ制御レジスタ6	C0MCTL6	00_{16}
0227_{16}	CAN0メッセージ制御レジスタ7	C0MCTL7	00_{16}
0228_{16}	CAN0メッセージ制御レジスタ8	C0MCTL8	00_{16}
0229_{16}	CAN0メッセージ制御レジスタ9	C0MCTL9	00_{16}
$022A_{16}$	CAN0メッセージ制御レジスタ10	C0MCTL10	00_{16}
$022B_{16}$	CAN0メッセージ制御レジスタ11	C0MCTL11	00_{16}
$022C_{16}$	CAN0メッセージ制御レジスタ12	C0MCTL12	00_{16}
$022D_{16}$	CAN0メッセージ制御レジスタ13	C0MCTL13	00_{16}
$022E_{16}$	CAN0メッセージ制御レジスタ14	C0MCTL14	00_{16}
$022F_{16}$	CAN0メッセージ制御レジスタ15	C0MCTL15	00_{16}
0230_{16}	CAN0制御レジスタ	C0CTLR	$X0000001_2$
0231_{16}			$XX0X0000_2$
0232_{16}	CAN0ステータスレジスタ	C0STR	00_{16}
0233_{16}			$X0000001_2$
0234_{16}	CAN0スロットステータスレジスタ	C0SSTR	0000_{16}
0235_{16}			0000_{16}
0236_{16}	CAN0割り込み制御レジスタ	C0ICR	0000_{16}
0237_{16}			0000_{16}
0238_{16}	CAN0拡張IDレジスタ	C0IDR	0000_{16}
0239_{16}			0000_{16}
$023A_{16}$	CAN0バスタイミング制御レジスタ	C0CONR	XX_{16}
$023B_{16}$			XX_{16}
$023C_{16}$	CAN0受信エラーカウントレジスタ	C0RECR	00_{16}
$023D_{16}$	CAN0送信エラーカウントレジスタ	C0TECR	00_{16}
$023E_{16}$			
$023F_{16}$			

注1．空欄は予約領域です。アクセスしないでください。
注2．このレジスタはフラッシュメモリ版にあります。

X：不定です。

番　地	レジスタ	シンボル	リセット後の値
0240_{16}			
0241_{16}			
0242_{16}			
0243_{16}			
0244_{16}	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	XX_{16}
0245_{16}			XX_{16}
0246_{16}			
0247_{16}			
0248_{16}			
0249_{16}			
$024A_{16}$			
$024B_{16}$			
$024C_{16}$			
$024D_{16}$			
$024E_{16}$			
$024F_{16}$			
0250_{16}			
0251_{16}			
0252_{16}			
0253_{16}			
0254_{16}			
0255_{16}			
0256_{16}			
0257_{16}			
0258_{16}			
0259_{16}			
$025A_{16}$			
$025B_{16}$			
$025C_{16}$			
$025D_{16}$			
$025E_{16}$			
$025F_{16}$	CAN0クロック選択レジスタ	CCLKR	$X000XXXX_2$
0260_{16}	CAN0スロット0: メッセージ識別子/DLC		XX_{16}
0261_{16}			XX_{16}
0262_{16}			XX_{16}
0263_{16}			XX_{16}
0264_{16}			XX_{16}
0265_{16}			XX_{16}
0266_{16}	CAN0スロット0: データフィールド		XX_{16}
0267_{16}			XX_{16}
0268_{16}			XX_{16}
0269_{16}			XX_{16}
$026A_{16}$			XX_{16}
$026B_{16}$			XX_{16}
$026C_{16}$			XX_{16}
$026D_{16}$			XX_{16}
$026E_{16}$	CAN0スロット0: タイムスタンプ		XX_{16}
$026F_{16}$			XX_{16}
0270_{16}	CAN0スロット1: メッセージ識別子/DLC		XX_{16}
0271_{16}			XX_{16}
0272_{16}			XX_{16}
0273_{16}			XX_{16}
0274_{16}			XX_{16}
0275_{16}			XX_{16}
0276_{16}	CAN0スロット1: データフィールド		XX_{16}
0277_{16}			XX_{16}
0278_{16}			XX_{16}
0279_{16}			XX_{16}
$027A_{16}$			XX_{16}
$027B_{16}$			XX_{16}
$027C_{16}$			XX_{16}
$027D_{16}$			XX_{16}
$027E_{16}$	CAN0スロット1: タイムスタンプ		XX_{16}
$027F_{16}$			XX_{16}

注1．空欄は予約領域です。アクセスしないでください。

X : 不定です。

番　地	レジスタ	シンボル	リセット後の値
0280_{16}	CAN0スロット2: メッセージ識別子/DLC		XX_{16}
0281_{16}			XX_{16}
0282_{16}			XX_{16}
0283_{16}			XX_{16}
0284_{16}			XX_{16}
0285_{16}			XX_{16}
0286_{16}	CAN0スロット2: データフィールド		XX_{16}
0287_{16}			XX_{16}
0288_{16}			XX_{16}
0289_{16}			XX_{16}
$028A_{16}$			XX_{16}
$028B_{16}$			XX_{16}
$028C_{16}$			XX_{16}
$028D_{16}$			XX_{16}
$028E_{16}$	CAN0スロット2: タイムスタンプ		XX_{16}
$028F_{16}$			XX_{16}
0290_{16}	CAN0スロット3: メッセージ識別子/DLC		XX_{16}
0291_{16}			XX_{16}
0292_{16}			XX_{16}
0293_{16}			XX_{16}
0294_{16}			XX_{16}
0295_{16}			XX_{16}
0296_{16}	CAN0スロット3: データフィールド		XX_{16}
0297_{16}			XX_{16}
0298_{16}			XX_{16}
0299_{16}			XX_{16}
$029A_{16}$			XX_{16}
$029B_{16}$			XX_{16}
$029C_{16}$			XX_{16}
$029D_{16}$			XX_{16}
$029E_{16}$	CAN0スロット3: タイムスタンプ		XX_{16}
$029F_{16}$			XX_{16}
$02A0_{16}$	CAN0スロット4: メッセージ識別子/DLC		XX_{16}
$02A1_{16}$			XX_{16}
$02A2_{16}$			XX_{16}
$02A3_{16}$			XX_{16}
$02A4_{16}$			XX_{16}
$02A5_{16}$			XX_{16}
$02A6_{16}$	CAN0スロット4: データフィールド		XX_{16}
$02A7_{16}$			XX_{16}
$02A8_{16}$			XX_{16}
$02A9_{16}$			XX_{16}
$02AA_{16}$			XX_{16}
$02AB_{16}$			XX_{16}
$02AC_{16}$			XX_{16}
$02AD_{16}$			XX_{16}
$02AE_{16}$	CAN0スロット4: タイムスタンプ		XX_{16}
$02AF_{16}$			XX_{16}
$02B0_{16}$	CAN0スロット5: メッセージ識別子/DLC		XX_{16}
$02B1_{16}$			XX_{16}
$02B2_{16}$			XX_{16}
$02B3_{16}$			XX_{16}
$02B4_{16}$			XX_{16}
$02B5_{16}$			XX_{16}
$02B6_{16}$	CAN0スロット5: データフィールド		XX_{16}
$02B7_{16}$			XX_{16}
$02B8_{16}$			XX_{16}
$02B9_{16}$			XX_{16}
$02BA_{16}$			XX_{16}
$02BB_{16}$			XX_{16}
$02BC_{16}$			XX_{16}
$02BD_{16}$			XX_{16}
$02BE_{16}$	CAN0スロット5: タイムスタンプ		XX_{16}
$02BF_{16}$			XX_{16}

注1．空欄は予約領域です。アクセスしないでください。

X : 不定です。

番　地	レジスタ	シンボル	リセット後の値
02C0$_{16}$	CAN0スロット6: メッセージ識別子/DLC		XX$_{16}$
02C1$_{16}$			XX$_{16}$
02C2$_{16}$			XX$_{16}$
02C3$_{16}$			XX$_{16}$
02C4$_{16}$			XX$_{16}$
02C5$_{16}$			XX$_{16}$
02C6$_{16}$	CAN0スロット6: データフィールド		XX$_{16}$
02C7$_{16}$			XX$_{16}$
02C8$_{16}$			XX$_{16}$
02C9$_{16}$			XX$_{16}$
02CA$_{16}$			XX$_{16}$
02CB$_{16}$			XX$_{16}$
02CC$_{16}$			XX$_{16}$
02CD$_{16}$			XX$_{16}$
02CE$_{16}$	CAN0スロット6: タイムスタンプ		XX$_{16}$
02CF$_{16}$			XX$_{16}$
02D0$_{16}$	CAN0スロット7: メッセージ識別子/DLC		XX$_{16}$
02D1$_{16}$			XX$_{16}$
02D2$_{16}$			XX$_{16}$
02D3$_{16}$			XX$_{16}$
02D4$_{16}$			XX$_{16}$
02D5$_{16}$			XX$_{16}$
02D6$_{16}$	CAN0スロット7: データフィールド		XX$_{16}$
02D7$_{16}$			XX$_{16}$
02D8$_{16}$			XX$_{16}$
02D9$_{16}$			XX$_{16}$
02DA$_{16}$			XX$_{16}$
02DB$_{16}$			XX$_{16}$
02DC$_{16}$			XX$_{16}$
02DD$_{16}$			XX$_{16}$
02DE$_{16}$	CAN0スロット7: タイムスタンプ		XX$_{16}$
02DF$_{16}$			XX$_{16}$
02E0$_{16}$	CAN0スロット8: メッセージ識別子/DLC		XX$_{16}$
02E1$_{16}$			XX$_{16}$
02E2$_{16}$			XX$_{16}$
02E3$_{16}$			XX$_{16}$
02E4$_{16}$			XX$_{16}$
02E5$_{16}$			XX$_{16}$
02E6$_{16}$	CAN0スロット8: データフィールド		XX$_{16}$
02E7$_{16}$			XX$_{16}$
02E8$_{16}$			XX$_{16}$
02E9$_{16}$			XX$_{16}$
02EA$_{16}$			XX$_{16}$
02EB$_{16}$			XX$_{16}$
02EC$_{16}$			XX$_{16}$
02ED$_{16}$			XX$_{16}$
02EE$_{16}$	CAN0スロット8: タイムスタンプ		XX$_{16}$
02EF$_{16}$			XX$_{16}$
02F0$_{16}$	CAN0スロット9: メッセージ識別子/DLC		XX$_{16}$
02F1$_{16}$			XX$_{16}$
02F2$_{16}$			XX$_{16}$
02F3$_{16}$			XX$_{16}$
02F4$_{16}$			XX$_{16}$
02F5$_{16}$			XX$_{16}$
02F6$_{16}$	CAN0スロット9: データフィールド		XX$_{16}$
02F7$_{16}$			XX$_{16}$
02F8$_{16}$			XX$_{16}$
02F9$_{16}$			XX$_{16}$
02FA$_{16}$			XX$_{16}$
02FB$_{16}$			XX$_{16}$
02FC$_{16}$			XX$_{16}$
02FD$_{16}$			XX$_{16}$
02FE$_{16}$	CAN0スロット9: タイムスタンプ		XX$_{16}$
02FF$_{16}$			XX$_{16}$

注1．空欄は予約領域です。アクセスしないでください。

X : 不定です。

番　地	レジスタ	シンボル	リセット後の値
0300_{16}	CAN0スロット10: メッセージ識別子/DLC		XX_{16}
0301_{16}			XX_{16}
0302_{16}			XX_{16}
0303_{16}			XX_{16}
0304_{16}			XX_{16}
0305_{16}			XX_{16}
0306_{16}	CAN0スロット10: データフィールド		XX_{16}
0307_{16}			XX_{16}
0308_{16}			XX_{16}
0309_{16}			XX_{16}
$030A_{16}$			XX_{16}
$030B_{16}$			XX_{16}
$030C_{16}$			XX_{16}
$030D_{16}$			XX_{16}
$030E_{16}$	CAN0スロット10: タイムスタンプ		XX_{16}
$030F_{16}$			XX_{16}
0310_{16}	CAN0スロット11: メッセージ識別子/DLC		XX_{16}
0311_{16}			XX_{16}
0312_{16}			XX_{16}
0313_{16}			XX_{16}
0314_{16}			XX_{16}
0315_{16}			XX_{16}
0316_{16}	CAN0スロット11: データフィールド		XX_{16}
0317_{16}			XX_{16}
0318_{16}			XX_{16}
0319_{16}			XX_{16}
$031A_{16}$			XX_{16}
$031B_{16}$			XX_{16}
$031C_{16}$			XX_{16}
$031D_{16}$			XX_{16}
$031E_{16}$	CAN0スロット11: タイムスタンプ		XX_{16}
$031F_{16}$			XX_{16}
0320_{16}	CAN0スロット12: メッセージ識別子/DLC		XX_{16}
0321_{16}			XX_{16}
0322_{16}			XX_{16}
0323_{16}			XX_{16}
0324_{16}			XX_{16}
0325_{16}			XX_{16}
0326_{16}	CAN0スロット12: データフィールド		XX_{16}
0327_{16}			XX_{16}
0328_{16}			XX_{16}
0329_{16}			XX_{16}
$032A_{16}$			XX_{16}
$032B_{16}$			XX_{16}
$032C_{16}$			XX_{16}
$032D_{16}$			XX_{16}
$032E_{16}$	CAN0スロット12: タイムスタンプ		XX_{16}
$032F_{16}$			XX_{16}
0330_{16}	CAN0スロット13: メッセージ識別子/DLC		XX_{16}
0331_{16}			XX_{16}
0332_{16}			XX_{16}
0333_{16}			XX_{16}
0334_{16}			XX_{16}
0335_{16}			XX_{16}
0336_{16}	CAN0スロット13: データフィールド		XX_{16}
0337_{16}			XX_{16}
0338_{16}			XX_{16}
0339_{16}			XX_{16}
$033A_{16}$			XX_{16}
$033B_{16}$			XX_{16}
$033C_{16}$			XX_{16}
$033D_{16}$			XX_{16}
$033E_{16}$	CAN0スロット13: タイムスタンプ		XX_{16}
$033F_{16}$			XX_{16}

注1．空欄は予約領域です。アクセスしないでください。

X : 不定です。

番　地	レジスタ	シンボル	リセット後の値
0340_{16}	CAN0スロット14: メッセージ識別子/DLC		XX_{16}
0341_{16}			XX_{16}
0342_{16}			XX_{16}
0343_{16}			XX_{16}
0344_{16}			XX_{16}
0345_{16}			XX_{16}
0346_{16}	CAN0スロット14: データフィールド		XX_{16}
0347_{16}			XX_{16}
0348_{16}			XX_{16}
0349_{16}			XX_{16}
$034A_{16}$			XX_{16}
$034B_{16}$			XX_{16}
$034C_{16}$			XX_{16}
$034D_{16}$			XX_{16}
$034E_{16}$	CAN0スロット14: タイムスタンプ		XX_{16}
$034F_{16}$			XX_{16}
0350_{16}	CAN0スロット15: メッセージ識別子/DLC		XX_{16}
0351_{16}			XX_{16}
0352_{16}			XX_{16}
0353_{16}			XX_{16}
0354_{16}			XX_{16}
0355_{16}			XX_{16}
0356_{16}	CAN0スロット15: データフィールド		XX_{16}
0357_{16}			XX_{16}
0358_{16}			XX_{16}
0359_{16}			XX_{16}
$035A_{16}$			XX_{16}
$035B_{16}$			XX_{16}
$035C_{16}$			XX_{16}
$035D_{16}$			XX_{16}
$035E_{16}$	CAN0スロット15: タイムスタンプ		XX_{16}
$035F_{16}$			XX_{16}
0360_{16}	CAN0グローバルマスク	C0GMR	XX_{16}
0361_{16}			XX_{16}
0362_{16}			XX_{16}
0363_{16}			XX_{16}
0364_{16}			XX_{16}
0365_{16}			XX_{16}
0366_{16}	CAN0ローカルマスクA	C0LMAR	XX_{16}
0367_{16}			XX_{16}
0368_{16}			XX_{16}
0369_{16}			XX_{16}
$036A_{16}$			XX_{16}
$036B_{16}$			XX_{16}
$036C_{16}$	CAN0ローカルマスクB	C0LMBR	XX_{16}
$036D_{16}$			XX_{16}
$036E_{16}$			XX_{16}
$036F_{16}$			XX_{16}
0370_{16}			XX_{16}
0371_{16}			XX_{16}
≈			≈
$03B4_{16}$			
$03B5_{16}$			
$03B6_{16}$			
$03B7_{16}$			
$03B8_{16}$			
$03B9_{16}$			
≈			≈
$03FA_{16}$			
$03FB_{16}$			
$03FC_{16}$			
$03FD_{16}$			
$03FE_{16}$			
$03FF_{16}$			

注1．空欄は予約領域です。アクセスしないでください。

X : 不定です。

5.　リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです。

5.1　ハードウェアリセット

$\overline{\text{RESET}}$端子によるリセットです。電源電圧が動作保証電圧であるとき、$\overline{\text{RESET}}$端子を“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときに$\overline{\text{RESET}}$端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します(注1)。電源投入後、RAMは不定ですので、初期値を設定してください。また、RAMに書き込みを行っているときにリセット信号が入ると、RAMへの書き込みが中断されるため、書き込みを行っていたRAMが意図しない値に変化する場合があります。

注1.　M16C/10グループ製品と比較して、リセット解除からプログラム実行開始までに約2ms程度遅延しますので、ご注意ください。

図5.1および図5.2にリセット回路例を、図5.3にリセットシーケンスを示します。

●電源が安定している場合

(1)$\overline{\text{RESET}}$端子に200μs以上“L”を入力する
(2)$\overline{\text{RESET}}$端子に“H”を入力する

●電源投入時

(1)$\overline{\text{RESET}}$端子に“L”を入力する
(2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
(3)内部電源が安定するまでtd(P-R)＋200μs待つ
(4)$\overline{\text{RESET}}$端子に“H”を入力する

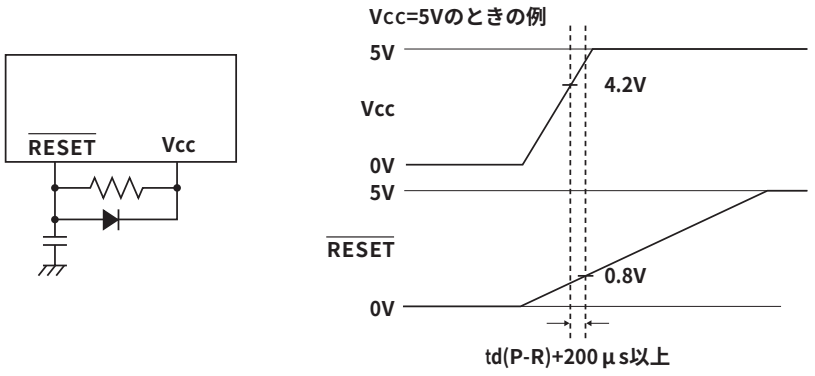


図5.1　リセット回路例

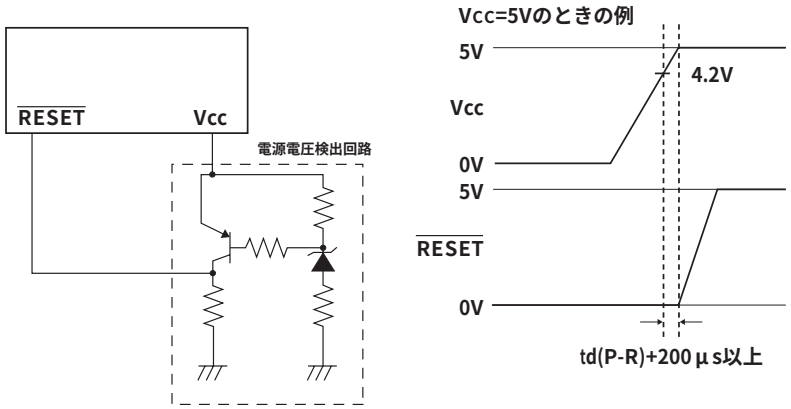


図5.2　リセット回路例(電圧監視回路例)

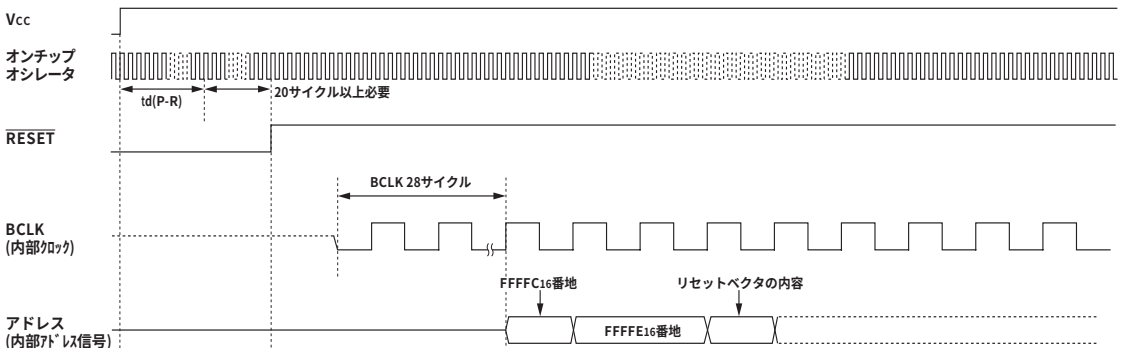


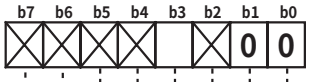
図5.3　リセットシーケンス

5.2　ソフトウェアリセット

プロセッサモードレジスタ0のPM03ビットを“1”にするとマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。CPUクロック源にオンチップオシレータクロックを選択後、PM03ビットを“1”にしてください。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

図5.4にプロセッサモードレジスタ0、1を示します。

プロセッサモードレジスタ0(注1)

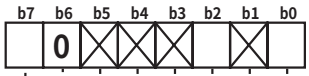


シンボル	アドレス	リセット時
PM0	0004_{16}番地	$XXXX0X00_2$

ビットシンボル	ビット名	機　能	RW
予約ビット		“0”を設定してください	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
PM03	ソフトウェアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

注1．このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

プロセッサモードレジスタ1(注1)



シンボル	アドレス	リセット時
PM1	0005_{16}番地	$00XXX0X0_2$

ビットシンボル	ビット名	機　能	RW
PM10	DATAROM領域 アクセスビット(注3)	0：禁止 1：許可	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
PM12	WDT割り込み/リセット 切り替えビット	0：ウォッチドッグタイマ割り込み 1：リセット(注2)	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
予約ビット		“0”を設定してください	RW
PM17	ウェイトビット	0：ウェイトなし 1：ウェイトあり	RW

注1.　このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。
注2.　一度“1”にするとソフトウェアでは“0”に変更できません。
注3.　このビットはフラッシュメモリ版でのみ有効です。マスクROM版では“0”にしてください。

図5.4　プロセッサモードレジスタ0、1

6.　クロック発生回路

クロック発生回路として、3つの回路を内蔵します。

・メインクロック発振回路
・サブクロック発振回路
・オンチップオシレータ

表6.1にクロック発生回路の概略仕様を、図6.1にシステムクロック発生回路のブロック図を、図6.2、6.3、6.5にクロック関連レジスタを、図6.4にfc32の構成を示します。

表6.1　クロック発生回路の概略仕様

	メインクロック発振回路	サブクロック発振回路	オンチップオシレータ
クロックの用途	・CPUの動作クロック源 ・内蔵周辺装置の動作クロック源	・CPUの動作クロック源 ・タイマ1、X、Y、Zのカウントクロック源	・CPUの動作クロック源 ・内蔵周辺装置の動作クロック源 ・タイマYのカウントクロック源
接続できる発振子 (注1)	セラミック発振子 水晶発振子	水晶発振子	―
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	なし(内蔵)
発振停止/再開機能	あり	あり	あり
リセット直後の発振子の状態	発振	停止	発振
その他	外部で生成されたクロックを入力することが可能		―

注1. メインクロック発振回路を使用しない場合、XIN端子をプルアップし、XOUT端子は開放してください。
また、メインクロック停止ビット(0006$_{16}$番地のビット5)を“1”(停止)に設定してください。

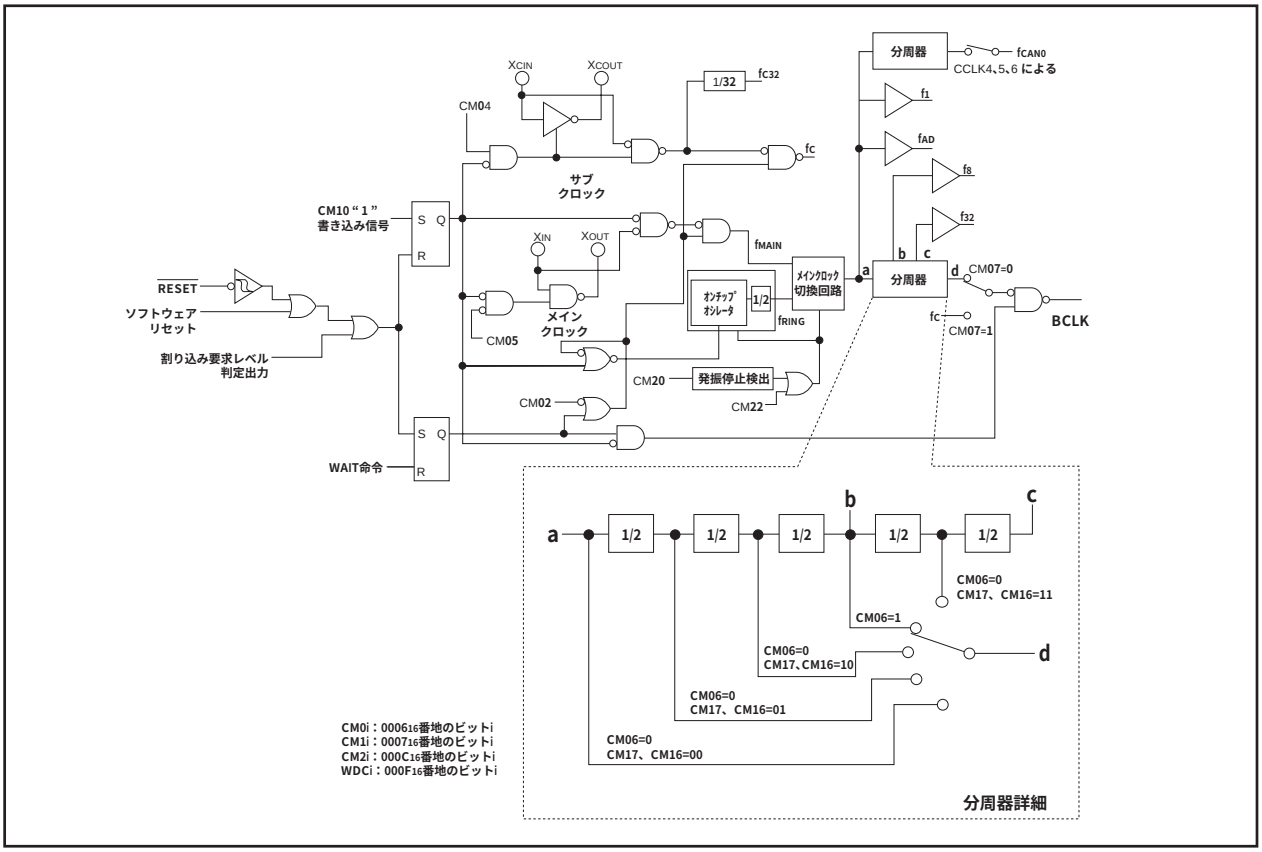


図6.1 システムクロック発生回路のブロック図

システムクロック制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
CM0	0006_{16}番地	01001000_2

ビットシンボル	ビット名	機　　能	RW
予約ビット		“0”を設定してください	RW
CM02	ウェイトモード時 周辺機能クロック停止ビット	0：ウェイトモード時、周辺機能 クロック停止しない 1：ウェイトモード時、周辺機能 クロック停止する (注2)	RW
CM03	XCIN-XCOUT駆動能力 選択ビット(注3)	0：LOW 1：HIGH	RW
CM04	ポートXC切り替えビット	0：入出力ポート機能 1：XCIN-XCOUT発振機能	RW
CM05	メインクロック (XIN-XOUT) 停止ビット　(注4、5、6)	0：発振 1：停止	RW
CM06	メインクロック分周比 選択ビット0 (注7)	0：CM16、CM17有効 1：8分周モード	RW
CM07	システムクロック 選択ビット (注8)	0：XIN、XOUT選択 1：XCIN、XCOUT選択	RW

注1．このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2．f_{C32}は含みません。低速モード、低消費電力モードおよびオンチップオシレータモード時は“1”にしないでください。
注3．ストップモードへの移行時、“1”になります。
注4．このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。
ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。
自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてからこのビットを、“1”にしてください。
注5．外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注6．このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗はオンしたままですので、XINは帰還抵抗を介してXOUT (“H”レベル)にプルアップされた状態となります。
注7．高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。
低速モード、低消費電力モードでは保持されます。
注8．このビットを“1”にする場合、ポートXC切り替えビット(CM04)を“1”にしてから行ってください。
同時に書き込むことはできません。

システムクロック制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	

シンボル	アドレス	リセット時
CM1	0007_{16}番地	00100000_2

ビットシンボル	ビット名	機　　能	RW
CM10	全クロック停止制御ビット(注2)	0：クロック発振 1：全クロック停止(ストップモード)	RW
予約ビット		“0”を設定してください	RW
CM14	オンチップオシレータ発振 停止ビット	0：発振許可 1：発振停止(注3)	RW
CM15	XIN-XOUT駆動能力選択ビット (注4)	0：LOW 1：HIGH	RW
CM16	メインクロック分周比 選択ビット1(注5)	0 0：分周なしモード 0 1：2分周モード 1 0：4分周モード 1 1：16分周モード	RW
CM17			RW

注1．このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2．オンチップオシレータモードからは直接ストップモードへ移行できません。
このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は無効となります。
注3．このビットはメインクロック切り替えビット(CM22)が“0”でかつクロックモニタービット(CM23)が“0”のときのみ、“1”を設定できます。またメインクロック切り替えビット(CM22)を“1”に設定すると、このビットは自動的に“0”になります。
注4．高速モード、中速モードからストップモードへの移行時およびリセット時、“1”になります。
低速モード、低消費電力モードでは保持されます。
注5．システムクロック制御レジスタ0 (0006_{16}番地)のビット6が“0”の場合、有効となります。
“1”の場合、8分周モードに固定です。

図6.2　システムクロック制御レジスタ0、1

発振停止検出レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0				

シンボル	アドレス	リセット時
CM2	$000C_{16}$番地	00000100_2

ビットシンボル	ビット名	機　　能	RW
CM20	発振停止検出有効ビット	0：発振停止検出機能無効 1：発振停止検出機能有効　(注2)	RW
CM21	発振停止検出割り込み許可ビット	0：禁止 1：許可　(注3)	RW
CM22	メインクロック切替ビット	0：X_{IN}クロック選択 1：オンチップオシレータ選択 (注4)	RW
CM23	クロックモニタービット(注5)	0：X_{IN}クロック正常発振中 1：X_{IN}クロック異常停止中	RO
予約ビット		“0”を設定してください	RW

注1．このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2．メインクロック(X_{IN}-X_{OUT})発振を停止する前に“0”に設定してください。
(ストップモード、低消費電力モード、オンチップオシレータモード)
発振停止検出機能が有効の状態で、かつCM21=1の状態でメインクロック(X_{IN}-X_{OUT})発振を停止すると発振停止を検出します。
注3．CM20ビットが“1”のとき有効。
注4．CM22ビットは、CM20とCM21が“1”のときに発振停止を検出した場合、自動的に“1”に切り替わります。
またCM23ビットが“1”の間はCM22ビットのクリアはできません。
注5．このビットはCM20が“1”のとき有効となります。このビットは発振停止検出割り込み処理の中でX_{IN}動作確認のために使用してください。

時計用プリスケーラリセットフラグ

b7	b6	b5	b4	b3	b2	b1	b0
	X	X	X	X	X	X	X

シンボル	アドレス	リセット時
CPSRF	$008F_{16}$番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
CPSR	時計用プリスケーラリセットフラグ	0：何もおこらない 1：プリスケーラリセット (読み出し時は“0”)	RW

図6.3　発振停止検出レジスタ、時計用プリスケーラリセットフラグ

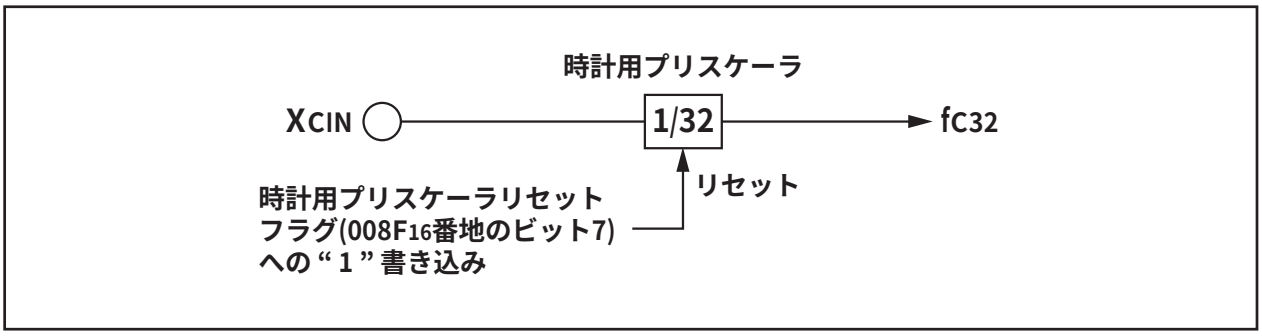


図6.4　f_{C32}の構成

CAN0クロック選択レジスタ(注1、2)

b7	b6	b5	b4	b3	b2	b1	b0
0				X	X	X	X

シンボル	アドレス	リセット時
CCLKR	$025F_{16}$番地	$X000XXXX_2$

ビットシンボル	ビット名	機　　能	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
CCLK4	CAN0クロック選択ビット	b6 b5 b4 0 0 0 : 分周なしモード 0 0 1 : 2分周モード 0 1 0 : 4分周モード 0 1 1 : 8分周モード 1 0 0 : 16分周モード 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
CCLK5			RW
CCLK6			RW
予約ビット		“0”を設定してください	RW

注1．このレジスタを書き換える場合、プロテクトレジスタ ($000A_{16}$番地)のビット0を“1”にしてください。
注2．CAN0クロック選択レジスタはFull CANコントローラのリセット/初期化モード(CAN0制御レジスタ0230_{16}番地のビット0が“1”)のときのみに行ってください。

図6.5　CAN0クロック選択レジスタ

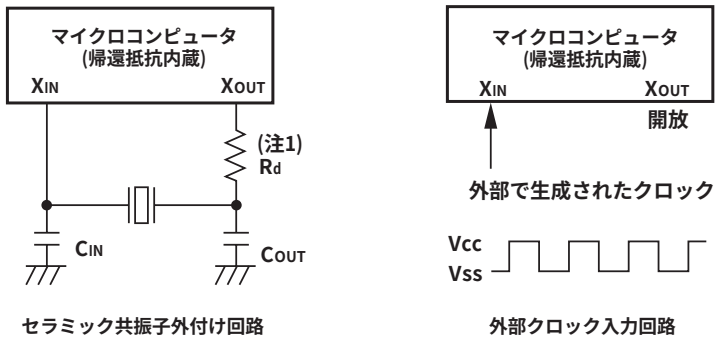
クロック発生回路で生成するクロックを説明します。

6.1　メインクロック

メインクロック発振回路が供給するクロックです。リセット後、発振を開始します。メインクロック停止ビット(000616番地のビット5)によってこのクロックの供給を停止できます。このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(000716番地のビット5)によってXOUT端子の駆動能力を弱めることができます。XOUT端子の駆動能力を弱めると消費電力は低減します。このビットは、高速モード、中速モードからストップモードへの移行時およびリセット時、“1”になります。低速モード、低消費電力モードでは保持されます。

図6.6にメインクロックの接続回路例を示します。



注1．必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。

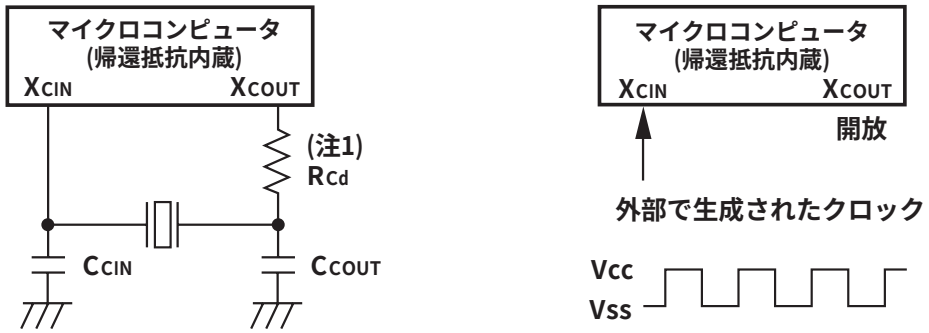
図6.6　メインクロックの接続回路例

6.2　サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXC切り替えビット(000616番地のビット4)で発振を開始した後、システムクロック選択ビット(000616番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(000616番地のビット3)によってXCOUT端子の駆動能力を弱めることができます。XCOUT端子の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

図6.7にサブクロックの接続回路例を示します。



注1．必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。

図6.7　サブクロックの接続回路例

6.3　オンチップオシレータクロック

オンチップオシレータ回路が供給するクロックです。メインクロック切り替えビット(000C16番地のビット2)の設定により、XINの代わりにオンチップオシレータ発振をBCLKとして使用できます。オンチップオシレータ発振の周波数はXINに比べて十分に小さいため、低消費電力を実現できます。

オンチップオシレータの周波数は、電源電圧および動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対し十分なマージンが得られるよう注意してください。

6.4　CPUクロックと周辺機能クロック

6.4.1　BCLK

メインクロック、メインクロックの2、4、8、16分周、fCまたはオンチップオシレータの供給するクロック(f_{RING})の1、2、4、8、16分周をクロック源とするCPUの動作クロックです。リセット直後は、f_{RING}の8分周がBCLKになります。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

6.4.2　周辺機能クロック

(1)　f_1、f_8、f_{32}

メインクロックを分周なし、8、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(2)　f_{AD}

メインクロックと同一周波数のクロックでA/D変換に使用します。

(3)　f_{CAN0}

CAN0の専用クロックです。CAN0クロック選択レジスタの設定でメインクロックの分周なし、2、4、8、16分周が選択できます。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

このクロックはCAN0のスリープモードのとき“H”レベルで停止します。

(4)　f_{C32}

サブクロックを32分周したクロックです。タイマ1、タイマX、タイマY、タイマZのカウントに使用します。

(5)　f_C

サブクロックと同一周波数のクロックです。BCLKやウォッチドッグタイマに使用します。

6.4.3　f_{RING}

オンチップオシレータが供給するクロックです。オンチップオシレータモード時、メインクロック分周比選択ビット0(000616番地のビット6)およびメインクロック分周比選択ビット1(000716番地のビット6、7)で選択された分周比で分周したクロックがBCLKとして供給されます。リセット直後はこのクロックの8分周がBCLKとなります。発振停止検出またはメインクロック切り替えビット(000C16番地のビット2)によってオンチップオシレータクロックをBCLKにすることができます。

6.5 パワーコントロール

パワーコントロールには3つのモードがあります。なお、適宜上ここではウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

6.5.1　通常動作モード

通常動作モードは、さらに5つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックがともに供給されていますので、CPUも周辺機能も動作します。CPUの動作クロックの周波数を制御することでパワーコントロールを行います。CPUの動作クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。また、オンチップオシレータモードへ切り替えるときには、必ず8分周モードから移行してください。オンチップオシレータモードから他のモードへ切り替えるときも、必ず8分周モードに移行した後、他のモードに切り替えてください。

●高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

●中速モード

メインクロックの2、4、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します

8分周から分周なし、2分周または4分周へ移行する場合、メインクロックの発振が安定している必要があります。また、8分周から低速モード、低消費電力モードへ移行する場合、サブクロックが安定している必要があります。

●低速モード

fCがBCLKとなるモードです。CPUは、fCのクロックで動作します。fCとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

●低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fCのクロックで動作します。fCとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

●オンチップオシレータモード

オンチップオシレータクロックがBCLKとなるモードです。CM06、CM16、CM17の設定により、オンチップオシレータクロックの分周なし、2、4、8、16分周が設定できます。分周比を上げるほど低消費電力がはかれます。また、オンチップオシレータ発振により動作しているときにはメインクロック停止ビットを"1"にすることによりXINのクロックドライバを停止することができます。これにより一層の低消費電力をはかることができます。

表6.2にクロック関連ビットの設定とモードを示します。

表6.2　クロック関連ビットの設定とモード

モード		CM2レジスタ	CM1レジスタ	CM0レジスタ			
		CM22	CM17、CM16	CM07	CM06	CM05	CM04
高速モード		0	00_2	0	0	0	—
中速モード	2分周	0	01_2	0	0	0	—
	4分周	0	10_2	0	0	0	—
	8分周	0	—	0	1	0	—
	16分周	0	11_2	0	0	0	—
低速モード		0	—	1	—	0	1
低消費電力モード		0	—	1	—	1	1
オンチップオシレータモード	分周なし	1	00_2	0	0	—	—
	2分周	1	01_2	0	0	—	—
	4分周	1	10_2	0	0	—	—
	8分周	1	—	0	1	—	—
	16分周	1	11_2	0	0	—	—

6.5.2　ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよびウォッチドッグタイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。

表6.3にウェイトモード時のポートの状態を示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとして動作を再開します。

表6.3　ウェイトモード時のポートの状態

端　子	状　態
ポート	ウェイトモードに入る直前の状態を保持

6.5.3　ストップモード

全クロック停止制御ビット(0007_{16}番地のビット0)に“1”を書き込むと、すべての発振が停止し、CPUや内蔵の周辺機能はすべて停止します。消費電力がもっとも少ないモードです。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f_1～f_{32}、f_C、f_{C32}、f_{AD}、f_{CAN0}は停止しますのでA/Dコンバータ、ウォッチドッグタイマ等の内蔵周辺機能は動作しません。ただし、タイマXは外部パルスをカウントするイベントカウンタモードだけ、UART0およびUART1は、外部クロック選択時だけ動作します。

表6.4にストップモード時のポートの状態を示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

ストップモードの解除にハードウェアリセットのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006_{16}番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

オンチップオシレータモード時は、ストップモードを使用しないでください。

表6.4　ストップモード時のポートの状態

端　子	状　態
ポート	ストップモードに入る直前の状態を保持

図6.8に通常モードからのストップモード、ウェイトモードへの状態遷移を、図6.9に通常動作モードの状態遷移を示します。

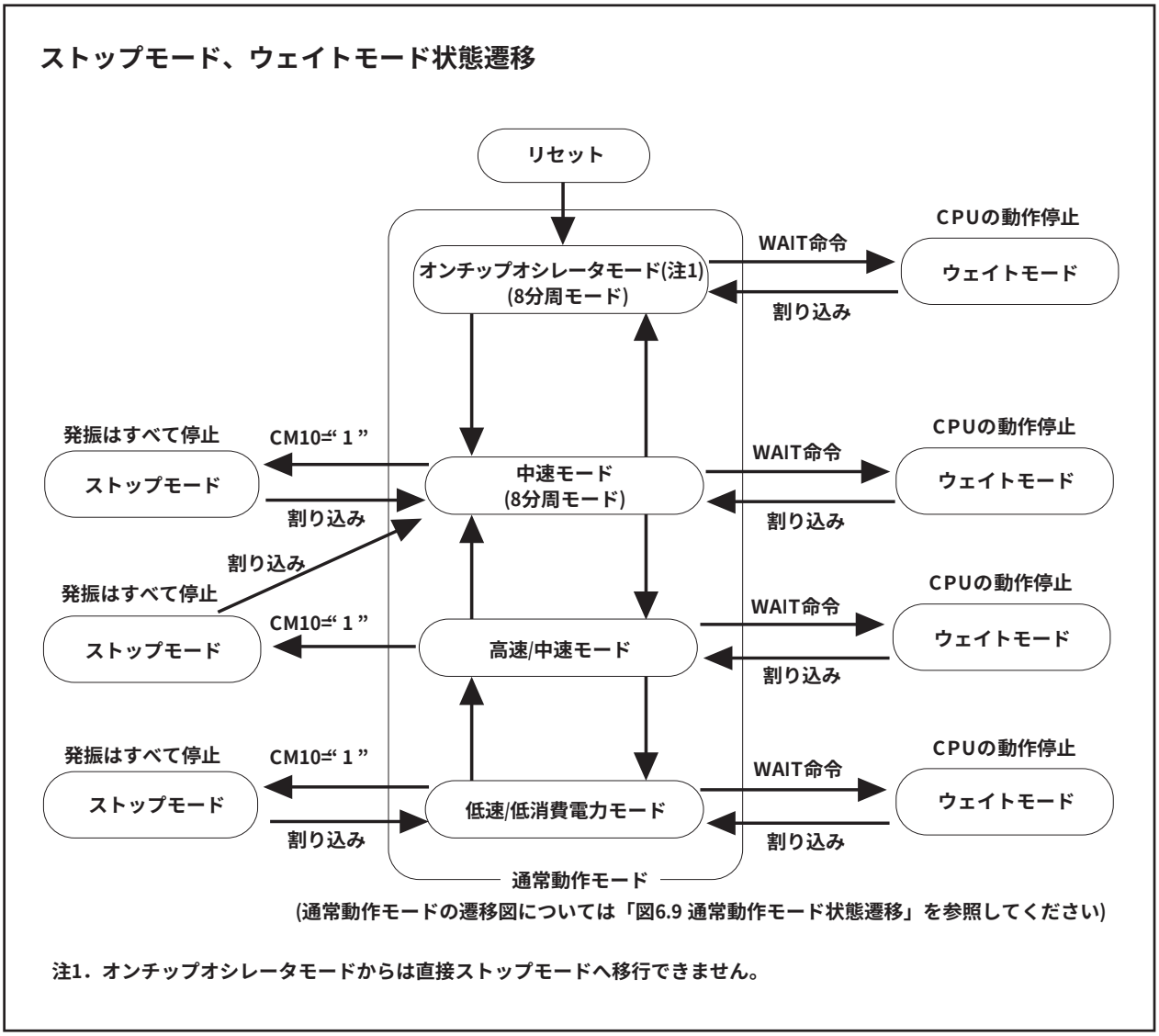


図6.8　ストップモード、ウェイトモード状態遷移

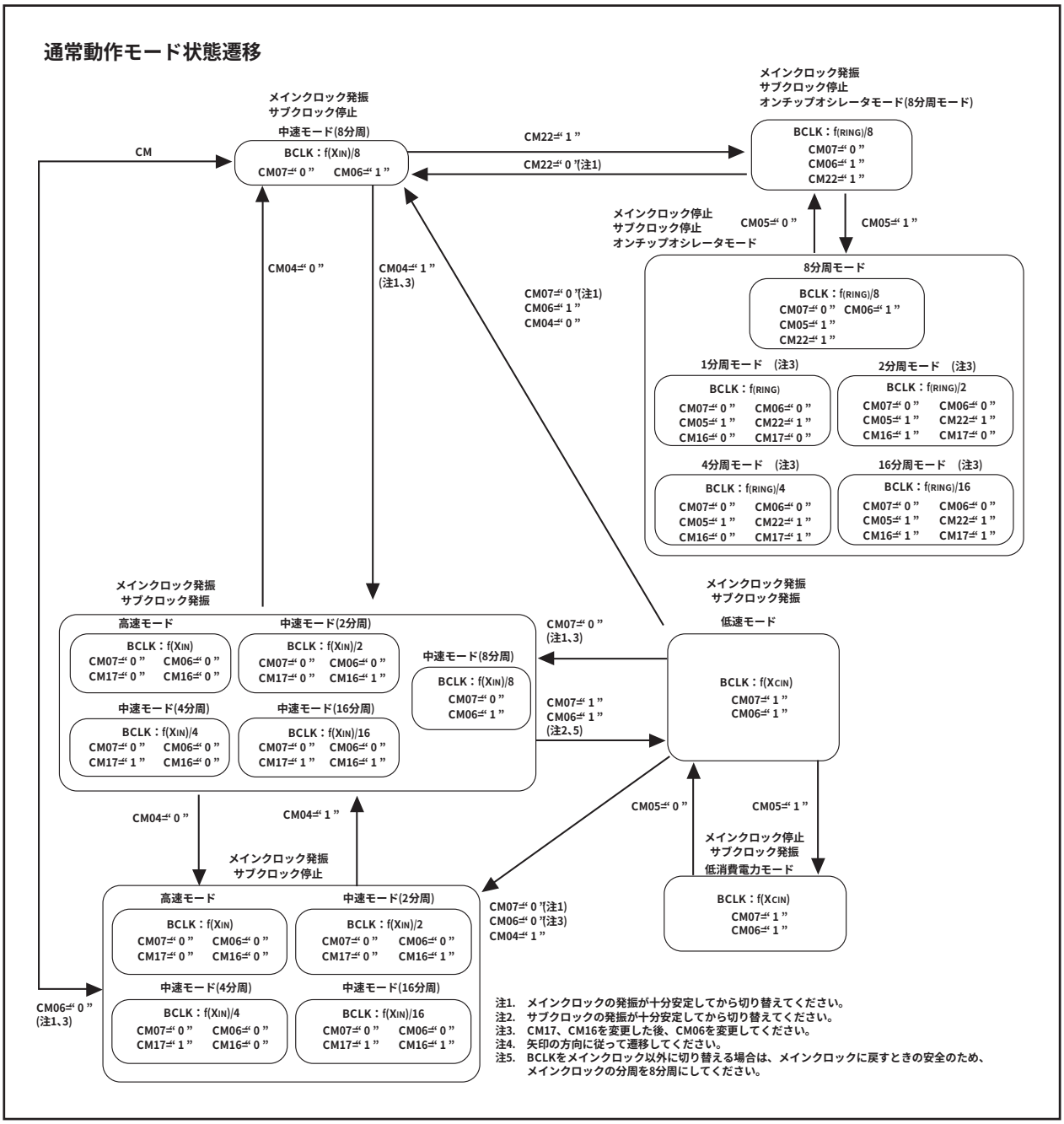


図6.9　通常動作モード状態遷移

6.6　発振停止検出機能

発振停止検出機能は、XIN発振回路のオープン・ショートなどによるメインクロックの異常停止を検出する機能です。発振停止検出時には発振停止検出割り込みを発生します。発振停止検出割り込み発生時にはマイクロコンピュータに内蔵されたオンチップオシレータが自動的に稼働し、XINクロックの代わりにメインクロックとして使用されます。これにより割り込み処理を可能にします。

発振停止検出機能は発振停止検出レジスタのビット0、ビット1で有効、無効が選択できます。このビットに“11_2”設定時、発振停止検出機能は有効となります。なお、リセット解除後はこのビット値は“00_2”であるため発振停止検出機能は無効となっています。

表6.5に発振停止検出機能の仕様を、図6.10に発振停止検出回路を、図6.11に発振停止検出レジスタを示します。

表6.5　発振停止検出機能の仕様

項　　目	仕　　様
発振停止検出可能クロックと周波数域	XIN≧2MHz
発振停止検出機能有効条件	発振停止検出有効ビット($000C_{16}$番地のビット0)および発振停止検出割り込み許可ビット($000C_{16}$番地のビット1)に“1”設定時
発振停止検出時の動作	●発振停止検出割り込み発生
ストップモード/低消費電力モード/オンチップオシレータモード時の注意	メインクロック(XIN-XOUT)発振を停止する前には発振停止検出有効ビットに“0”を設定し、発振停止検出機能を無効にしてください。メインクロック(XIN-XOUT)発振許可して発振が安定した後に、改めてこのビットに“1”を設定してください。
ウェイトモード時の注意	ウェイトモード時周辺機能クロック停止ビット(0006_{16}番地のビット2)によりウェイトモード時に周辺機能クロックを停止させると発振停止を検出します。ウェイトモード時には周辺機能クロックを停止させないでください。

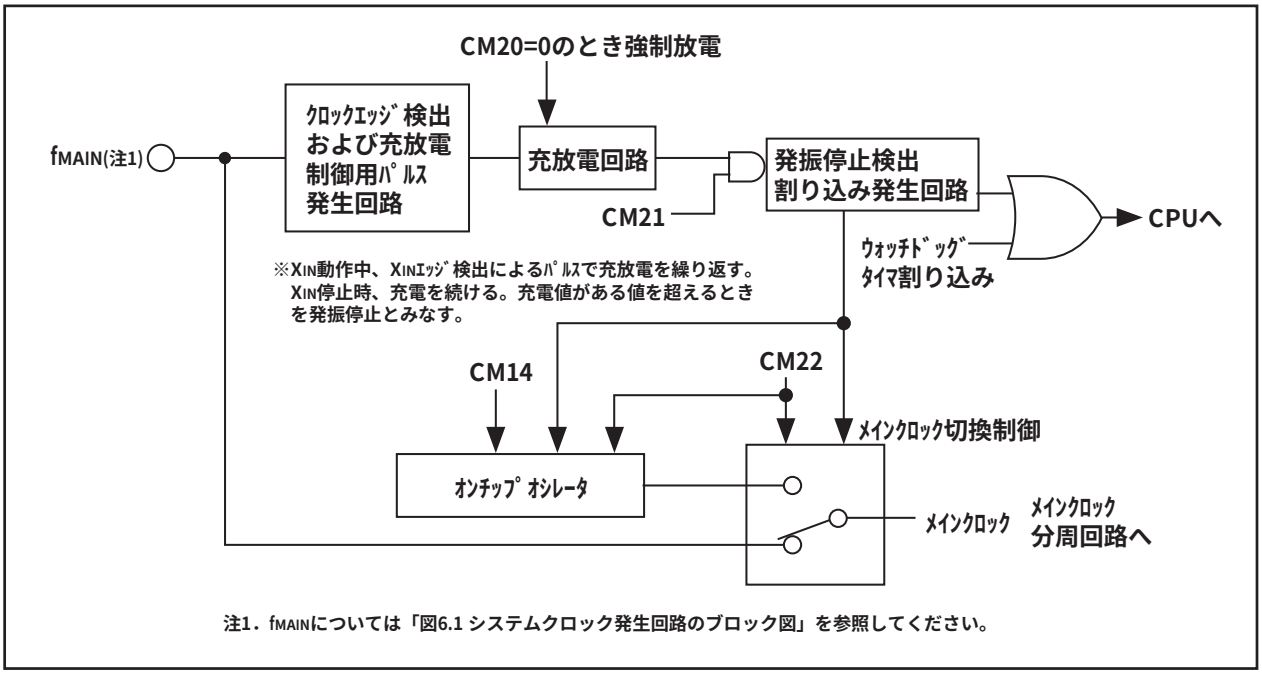


図6.10　発振停止検出回路

発振停止検出レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0				

シンボル	アドレス	リセット時
CM2	000C16番地	0416

ビットシンボル	ビット名	機　　能	RW
CM20	発振停止検出有効ビット	0 : 発振停止検出機能無効 1 : 発振停止検出機能有効　(注2)	RW
CM21	発振停止検出割り込み許可ビット	0 : 禁止 1 : 許可　(注3)	RW
CM22	メインクロック切替ビット	0 : XINクロック選択 1 : オンチップオシレータ選択 (注4)	RW
CM23	クロックモニタービット(注5)	0 : XINクロック正常発振中 1 : XINクロック異常停止中	RO
予約ビット		“ 0 ” を設定してください	RW

注1．このレジスタを書き換える場合、プロテクトレジスタ(000A16番地)のビット0を “ 1 ” にしてください。
注2．メインクロック(XIN-XOUT)発振を停止する前に “ 0 ” に設定してください。
(ストップモード、低消費電力モード、オンチップオシレータモード)
発振停止検出機能が有効でかつCM21=1の状態でメインクロック(XIN-XOUT)発振を停止すると発振停止を検出します。
注3．CM20=1のとき有効。
注4．CM22ビットは、CM20とCM21が “ 1 ” のときに発振停止を検出した場合、自動的に “ 1 ” に切り替わります。またCM23ビットが “ 1 ” の間はCM22ビットのクリアはできません。
注5．このビットはCM20が “ 1 ” のとき有効となります。このビットは発振停止検出割り込み処理の中でXIN動作確認のために使用ください。

図6.11　発振停止検出レジスタ

6.6.1　発振停止検出有効ビット(CM20)

CM20＝“1”かつCM21＝“1”(発振停止検出割り込みを許可)に設定することにより発振停止検出を開始します。リセット状態またはこのビットが“0”に設定されているとき発振停止検出は行いません。ストップモード設定前には、このビットに必ず“0”を設定し、ストップモード解除後、改めて“1”を設定してください。またメインクロック停止ビット(0006$_{16}$番地のビット5)に“1”を設定する前にも、このビットに必ず“0”を設定してください。

なお、XINの周波数が2MHz未満である場合にはこのビットに“1”を設定しないでください。

CM02＝“1”(ウェイトモード時周辺機能クロック停止する)設定のままウェイトモードに移行すると発振停止を検出します。

6.6.2　発振停止検出割り込み許可ビット(CM21)

CM20＝“1”かつCM21＝“1”のときにXINの異常停止を検出した場合、発振停止検出割り込みを発生します。このとき、異常停止したXINクロックの代わりにオンチップオシレータが稼働します。以後の動作はこのオンチップオシレータがメインクロックを供給することで行います。発振停止検出割り込みは、ウォッチドッグタイマ割り込みと割り込みベクタテーブルを共有しているため割り込み要因の判別が必要となります。

図6.12に発振停止検出割り込み処理プログラムでの要因判別方法を示します。

6.6.3　メインクロック切替ビット(CM22)

CM22＝“1”に設定するとオンチップオシレータが発振を開始すると同時に、メインクロックとして選択されます。このとき、オンチップオシレータが停止していた場合(CM14＝“1”)、同時にオンチップオシレータが発振を開始します。このビットをクリアするにはCM23が“0”(XIN発振中)の場合のみ可能です。

なお、このビットは、CM20＝“1”かつCM21＝“1”のときに発振停止を検出した場合、自動的に“1”に切り替わります。

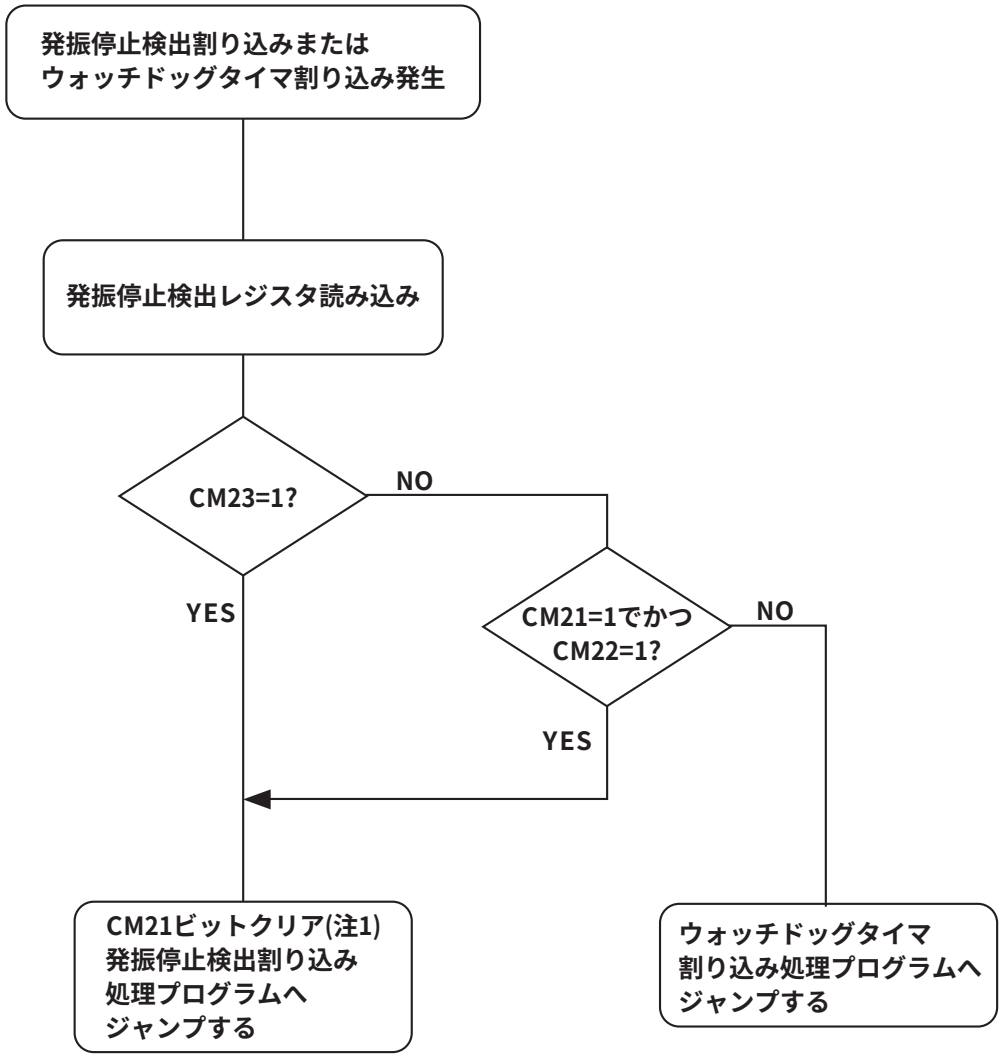
CM22＝“1”に設定すると、オンチップオシレータ発振停止ビット(0007$_{16}$番地のビット4)が自動的に“0”に設定されます。

6.6.4　クロックモニタービット(CM23)

このビットは、XINクロックの動作状態を表します。このビットが“0”のときXINは正常に動作していることを示します。発振停止検出割り込み発生時やリセット後にXINの発振状態を確認することができます。

なお、発振停止検出が無効(CM20＝“0”)の場合、クロックモニタービットは“0”になります。

図6.12に発振停止検出割り込みとウォッチドッグタイマ割り込みの割り込み要因判別方法を示します。



注1．発振停止検出の多重割り込みを禁止し、ウォッチドッグタイマ割り込みを優先させるためです。

図6.12　発振停止検出割り込みとウォッチドッグタイマ割り込みの割り込み要因判別方法

7. プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き換えることができないようにプロテクトする機能を持ちます。

図7.1にプロテクトレジスタを示します。プロセッサモードレジスタ0(0004$_{16}$番地)、プロセッサモードレジスタ1(0005$_{16}$番地)、システムクロック制御レジスタ0(0006$_{16}$番地)、システムクロック制御レジスタ1(0007$_{16}$番地)、発振停止検出レジスタ(000C$_{16}$番地)、ポートP0方向レジスタ(00E2$_{16}$番地)およびCAN0クロック選択レジスタ(025F$_{16}$番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き換えることができます。したがって、ポートP0には重要な出力を配置することができます。ポートP0方向レジスタ書き込み許可ビット(000A$_{16}$番地のビット2)ば“1”(書き込み許可状態)を書き込んだあと、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。RRC2ビットを“1”にする命令と次の命令の間に割り込みが入らないようにしてください。

システムクロック制御レジスタ0、1、発振停止検出レジスタへの書き込み許可ビット(000A$_{16}$番地のビット0)およびプロセッサモードレジスタ0、1への書き込み許可ビット(000A$_{16}$番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	0	0	0			

シンボル	アドレス	リセット時
PRCR	000A$_{16}$番地	XXXXX000$_2$

ビットシンボル	ビット名	機　能	RW
PRC0	システムクロック制御レジスタ0、1(0006$_{16}$、0007$_{16}$番地)、発振停止検出レジスタ(000C$_{16}$番地)、CAN0クロック選択レジスタ(025F$_{16}$番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	RW
PRC1	プロセッサモードレジスタ0、1(0004$_{16}$、0005$_{16}$番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	RW
PRC2	ポートP0方向レジスタ(00E2$_{16}$番地)、CAN0入出力端子選択レジスタ(00F8$_{16}$番地)への書き込み許可 (注1)	0：書き込み禁止 1：書き込み許可	RW
予約ビット		“0”を設定してください	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

注1．このビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると、“0”になります。
他のビットは“0”になりませんので、プログラムで“0”にしてください。

図7.1　プロテクトレジスタ

8.　プロセッサモード

8.1　プロセッサモードの種類

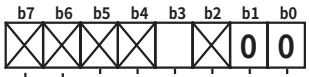
プロセッサモードはシングルチップモードとなります。

表8.1にプロセッサモードの特長を、図8.1にプロセッサモードレジスタ0、1を示します。

表8.1　プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部 RAM、内部 ROM	全端子が入出力ポートまたは周辺機能入出力端子

プロセッサモードレジスタ 0 (注1)

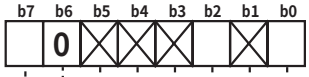


シンボル	アドレス	リセット時
PM0	0004_{16}番地	$XXXX0X00_2$

ビットシンボル	ビット名	機　　能	RW
予約ビット		“ 0 ” を設定してください	RW
何も配置されていない。 書き込む場合、“ 0 ” を書き込んでください。読み出した場合、その値は不定。			—
PM03	ソフトウェアリセットビット	このビットに “ 1 ” を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は “ 0 ” 。	RW
何も配置されていない。 書き込む場合、“ 0 ” を書き込んでください。読み出した場合、その値は不定。			—

注1．このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を “ 1 ” にしてください。

プロセッサモードレジスタ1(注1)



シンボル	アドレス	リセット時
PM1	0005_{16}番地	$00XXX0X0_2$

ビットシンボル	ビット名	機　　能	RW
PM10	DATAROM領域 アクセスビット(注3)	0：禁止 1：許可	RW
何も配置されていない。 書き込む場合、“ 0 ” を書き込んでください。読み出した場合、その値は不定。			—
PM12	WDT割り込み/リセット 切り替えビット	0：ウォッチドッグタイマ割り込み 1：リセット(注2)	RW
何も配置されていない。 書き込む場合、“ 0 ” を書き込んでください。読み出した場合、その値は不定。			—
予約ビット		“ 0 ” を設定してください	RW
PM17	ウェイトビット	0：ウェイトなし 1：ウェイトあり	RW

注1.　このレジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を “ 1 ” にしてください。
注2.　一度 “ 1 ” にするとソフトウェアでは “ 0 ” に変更できません。
注3.　このビットはフラッシュメモリ版でのみ有効です。マスクROM版では “ 0 ” にしてください。

図8.1　プロセッサモードレジスタ0、1

9.　バス制御

メモリ領域とSFR領域ではアクセス時のバスサイクルが異なります。メモリ領域はCPUの動作クロックBCLKの1サイクルでアクセスできます。SFR領域はBCLKの2サイクルでアクセスできます。

プロセッサモードレジスタ1(0005$_{16}$番地)(注1)のウェイトビット(ビット7)によって、メモリ領域に対してソフトウェアウェイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルに、“1”のときBCLKの2サイクルになります。リセット解除後、このビットは“0”になっています。SFR領域はこの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表9.1にソフトウェアウェイトとバスサイクルを、図9.1にSFR領域とメモリ領域を示します。

注1.　プロセッサモードレジスタ1を書き換える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

表9.1　ソフトウェアウェイトとバスサイクル

領　域	ウェイトビット	バスサイクル
SFR	無　効	BCLKの2サイクル
内部ROM/RAM	0	BCLKの1サイクル
	1	BCLKの2サイクル

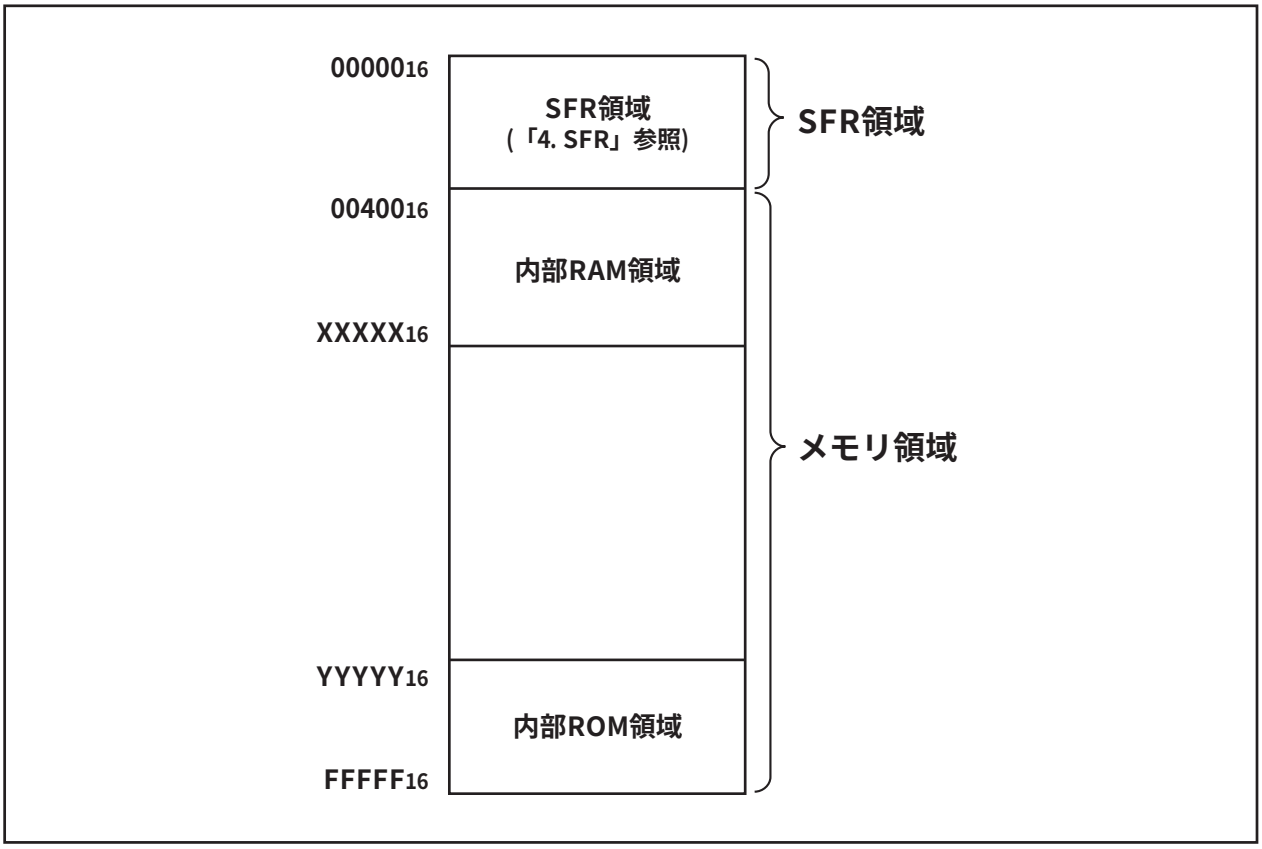


図9.1　SFR領域とメモリ領域

また、メモリ領域とSFR領域はバス幅が異なります。メモリ領域は16ビット、SFR領域は8ビットのバス幅をもっています。このためワード(16ビット)単位で各領域にアクセスする場合に動作が異なってきます。表9.2にSFR領域とメモリ領域をアクセスする時に必要なバスサイクルを示します。

表9.2 アクセス領域に対するサイクル

領　域	SFR領域	メモリ領域 (ウェイトなし時)
偶数アドレス バイトアクセス	BCLK アドレス　偶数 データ　データ	BCLK アドレス　偶数 データ　データ
奇数アドレス バイトアクセス	BCLK アドレス　奇数 データ　データ	BCLK アドレス　奇数 データ　データ
偶数アドレス ワードアクセス	BCLK アドレス　偶数　偶数+1 データ　データ　データ	BCLK アドレス　偶数/偶数+1 データ　ワードデータ
奇数アドレス ワードアクセス	BCLK アドレス　奇数　奇数+1 データ　データ　データ	BCLK アドレス　奇数　奇数+1 データ　データ　データ

10.　割り込み

10.1　割り込みの概要

10.1.1　割り込みの分類

図10.1に割り込みの分類を示します。

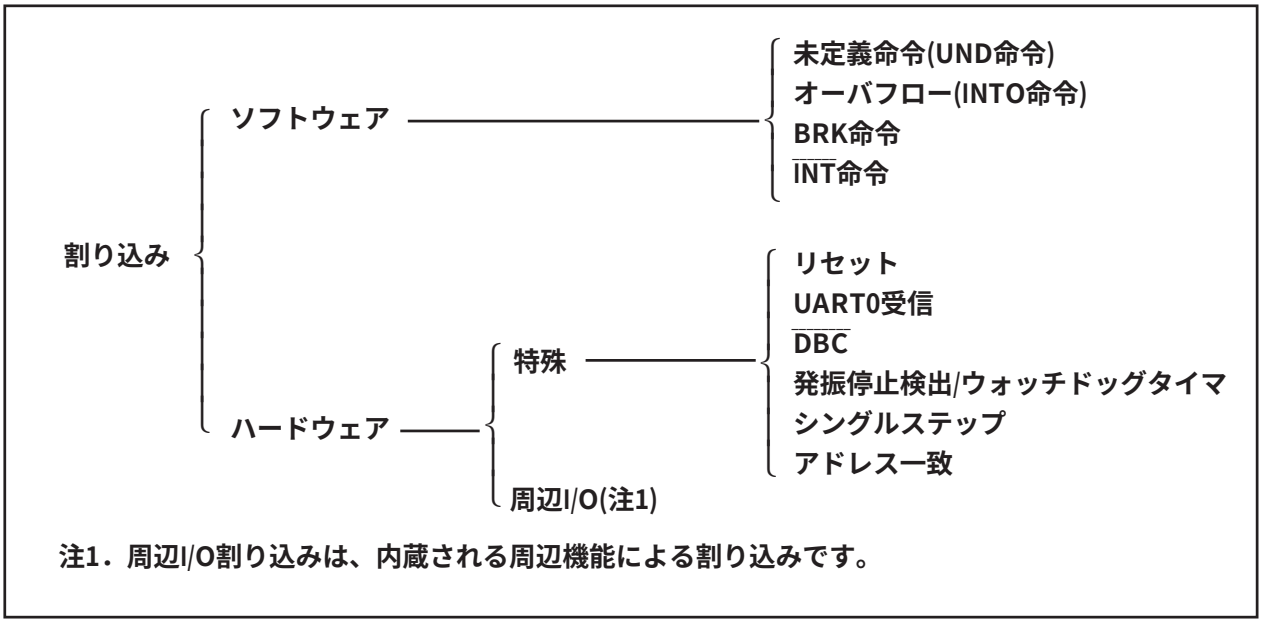


図10.1　割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

10.1.2　ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●$\overline{\text{INT}}$命令割り込み

$\overline{\text{INT}}$命令割り込みは、ソフトウェア割り込み番号0～63を指定し、$\overline{\text{INT}}$命令を実行すると発生します。なお、ソフトウェア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、$\overline{\text{INT}}$命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

$\overline{\text{INT}}$命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

10.1.3　ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1)　リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2)　UART0受信割り込み

UART0受信時に発生する割り込みです。INT0入力フィルタ選択レジスタ(001E16番地)のビット2により許可できます。デバッガ専用割り込みですので、通常は使用しないでください。

(3)　$\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(4)　発振停止検出/ウォッチドッグタイマ割り込み

発振停止検出またはウォッチドッグタイマによる割り込みです。

(5)　シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6)　アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

● 周辺I/O割り込み

周辺I/O割り込みは内蔵される周辺機能による割り込みです。割り込みベクタテーブルは$\overline{\text{INT}}$命令で使用するソフトウェア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1)　CAN0エラー割り込み

CANエラー発生による割り込みです。

(2)　CAN0ウェイクアップ割り込み

CRx端子に立ち下がりエッジが入力されると発生します。

(3)　CAN0受信完了割り込み

CANの受信による割り込みです。

(4)　CAN0送信完了割り込み

CANの送信による割り込みです。

(5)　キー入力割り込み

キー入力割り込みは$\overline{\text{KI}}$端子に立ち下がりエッジまたは立ち上がりエッジが入力されると発生します。

(6)　A/D変換割り込み

A/Dコンバータによる割り込みです。

(7)　UART0、UART1送信割り込み

シリアルI/Oの送信による割り込みです。

(8)　UART0、UART1受信割り込み

シリアルI/Oの受信による割り込みです。

(9)　タイマ1割り込み

タイマ1による割り込みです。

(10)　タイマX割り込み

タイマXによる割り込みです。

(11)　タイマY割り込み

タイマYによる割り込みです。

(12)　タイマZ割り込み

タイマZによる割り込みです。

(13)　タイマC割り込み

タイマCによる割り込みです。

(14)　CNTR0割り込み

CNTR0端子に立ち下がりエッジまたは立ち上がりエッジが入力されると発生します。

(15)　TCIN割り込み

TCIN端子に立ち下がりエッジ、立ち上がりエッジまたは両エッジが入力されると発生します。またfRING256でも発生します。

(16)　INT0～INT3割り込み

INT0～INT2割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジまたは両エッジが入力されると発生します。

INT3割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジまたは両エッジが入力されると発生します。

10.1.4　割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。

図10.2に割り込みベクタを示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB　　LSB	
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0000	アドレスの上位
ベクタアドレス+3	0000	0000

図10.2　割り込みベクタ

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。

表10.1に固定ベクタテーブルを示します。

表10.1　固定ベクタテーブル

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備　考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFEC16 ～ FFFEF16	通常は使用禁止
発振停止検出/ウォッチドッグタイマ	FFFF016 ～ FFFF316	
DBC(注1)	FFFF416 ～ FFFF716	通常は使用禁止
UART0受信(注1)	FFFF816 ～ FFFFB16	通常は使用禁止
リセット	FFFFC16 ～ FFFFF16	

注1．デバッガ専用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。

表10.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表10.2　可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地(注1) アドレス(L)～アドレス(H)	割り込み要因	備　考
0	+0 ～ +3	BRK命令	Iフラグによるマスク不可
1	+4 ～ +7	－	
2	+8 ～ +11	－	
3	+12 ～ +15	－	
4	+16 ～ +19	－	
5	+20 ～ +23	CAN0ウェイクアップ	
6	+24 ～ +27	CAN0エラー	
7	+28 ～ +31	－	
8	+32 ～ +35	CAN0受信完了	
9	+36 ～ +39	CAN0送信完了	
10	+40 ～ +43	－	
11	+44 ～ +47	－	
12	+48 ～ +51	－	
13	+52 ～ +55	キー入力	
14	+56 ～ +59	A/D	
15	+60 ～ +63	－	
16	+64 ～ +67	－	
17	+68 ～ +71	UART0送信	
18	+72 ～ +75	UART0受信	
19	+76 ～ +79	UART1送信	
20	+80 ～ +83	UART1受信	
21	+84 ～ +87	タイマ1	
22	+88 ～ +91	タイマX	
23	+92 ～ +95	タイマY	
24	+96 ～ +99	タイマZ	
25	+100 ～ +103	$CNTR_0$	
26	+104 ～ +107	TCIN	
27	+108 ～ +111	タイマC	
28	+112 ～ +115	$\overline{INT_3}$	
29	+116 ～ +119	$\overline{INT_0}$	
30	+120 ～ +123	$\overline{INT_1}$	
31	+124 ～ +127	$\overline{INT_2}$	
32 ～ 63	+128 ～ +131 ～ +252 ～ +255	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタが示すアドレスからの相対アドレスです。

10.1.5　割り込み制御

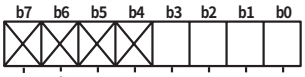
マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図10.3に割り込み制御レジスタを示します。

割り込み制御レジスタ

シンボル	アドレス	リセット時
C01WKIC	004_{16}番地	$XXXXX000_2$
C01ERRIC	0046_{16}番地	$XXXXX000_2$
C0RECIC	0048_{16}番地	$XXXXX000_2$
C0TRMIC	0049_{16}番地	$XXXXX000_2$
KUPIC	$004D_{16}$番地	$XXXXX000_2$
ADIC	$004E_{16}$番地	$XXXXX000_2$
SiTIC(i=0、1)	0051_{16}、0053_{16}番地	$XXXXX000_2$
SiRIC(i=0、1)	0052_{16}、0054_{16}番地	$XXXXX000_2$
T1IC	0055_{16}番地	$XXXXX000_2$
TXIC	0056_{16}番地	$XXXXX000_2$
TYIC	0057_{16}番地	$XXXXX000_2$
TZIC	0058_{16}番地	$XXXXX000_2$
CNTR0IC	0059_{16}番地	$XXXXX000_2$
TCINIC	$005A_{16}$番地	$XXXXX000_2$
TCIC	$005B_{16}$番地	$XXXXX000_2$
INT3IC	$005C_{16}$番地	$XXXXX000_2$



ビットシンボル	ビット名	機　　能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	RW (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

注1．“0”だけ書き込み可（“1”を書き込まないでください）。
注2．割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください(「10.7 割り込みの注意事項」参照)。

シンボル	アドレス	リセット時
INTiIC(i=0～2)	$005D_{16}$、$005E_{16}$番地 $005F_{16}$番地	$XX00X000_2$ $XX00X000_2$

ビットシンボル	ビット名	機　　能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	RW (注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	RW
予約ビット		“0”を設定してください	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

注1．“0”だけ書き込み可（“1”を書き込まないでください）。
注2．割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください(「10.7 割り込みの注意事項」参照)。

図10.3　割り込み制御レジスタ

10.1.5.1　割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

10.1.5.2　割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

10.1.5.3　割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表10.3に割り込み優先レベルの設定を、表10.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

・割り込み許可フラグ(Iフラグ) ＝“1”
・割り込み要求ビット　＝“1”
・割り込み優先レベル　＞　プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表10.3　割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	―――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	↓
1 0 0	レベル4	↓
1 0 1	レベル5	↓
1 1 0	レベル6	↓
1 1 1	レベル7	高い

表10.4　IPLにより許可される割り込み優先レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL2 IPL1 IPL0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

10.1.5.4　割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

<割り込み制御レジスタを書き換えるプログラム例>

例1：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマ1割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例2：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマ1割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例3：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマ1割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例1と例2でFSET I命令の前にNOP命令2個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令・・・MOV

10.1.5.5　割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

(1)　0000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2)　割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3)　割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63の$\overline{\text{INT}}$命令を実行した場合は変化しません)。
(4)　CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(5)　プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6)　プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1.　ユーザは使用できません。

図10.4に割り込みシーケンスの実行時間を示します。

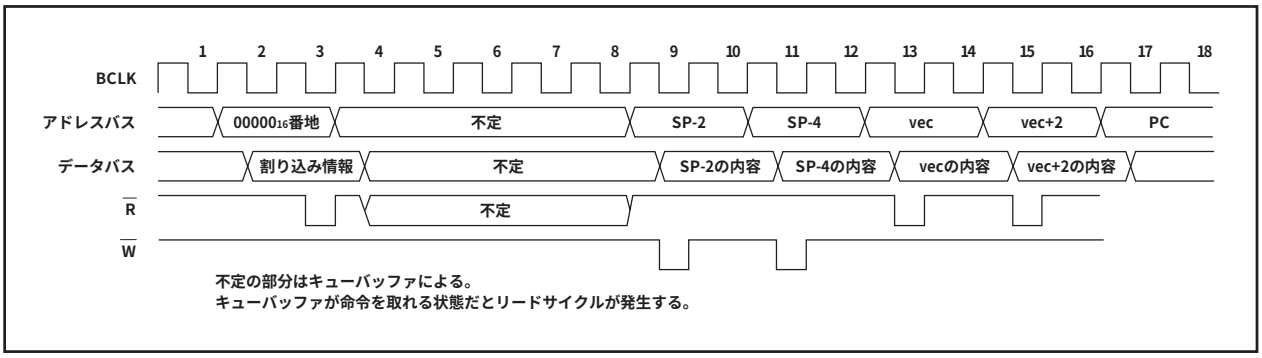
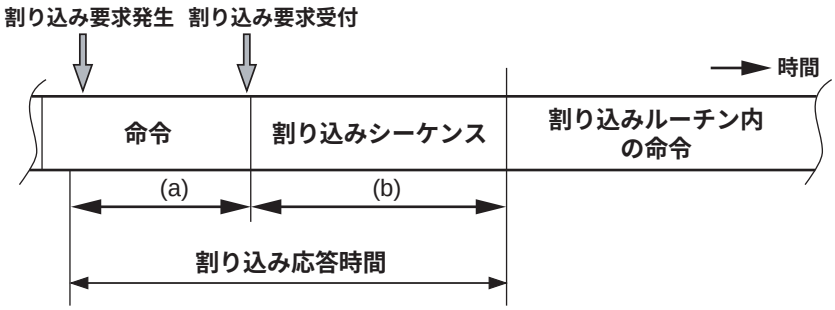


図10.4　割り込みシーケンスの実行時間

10.1.5.6　割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。

図10.5に割り込み応答時間を示します。



(a) 割り込み要求発生時点からそのとき実行している命令が終了するまでの時間。
(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウェイトなし)です。

(b) 割り込みシーケンスを実行する時間。次の表を参照してください。
なお、$\overline{\text{DBC}}$割り込みは＋2サイクル、アドレス一致割り込み、シングルステップ割り込みは＋1サイクルしてください。また、割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

割り込みベクタの番地	スタックポインタ(SP)の値	ウェイトなし
偶数	偶数	18サイクル
偶数	奇数	19サイクル
奇数	偶数	19サイクル
奇数	奇数	20サイクル

図10.5　割り込み応答時間

10.1.5.7　割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表10.6に示す値がIPLに設定されます。

表10.6に割り込み優先レベルをもたない割り込みとIPLの関係を示します。

表10.6　割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
ウォッチドッグタイマ	7
リセット	0
その他	変化しない

10.1.5.8　レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。

図10.6に割り込み要求受付前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

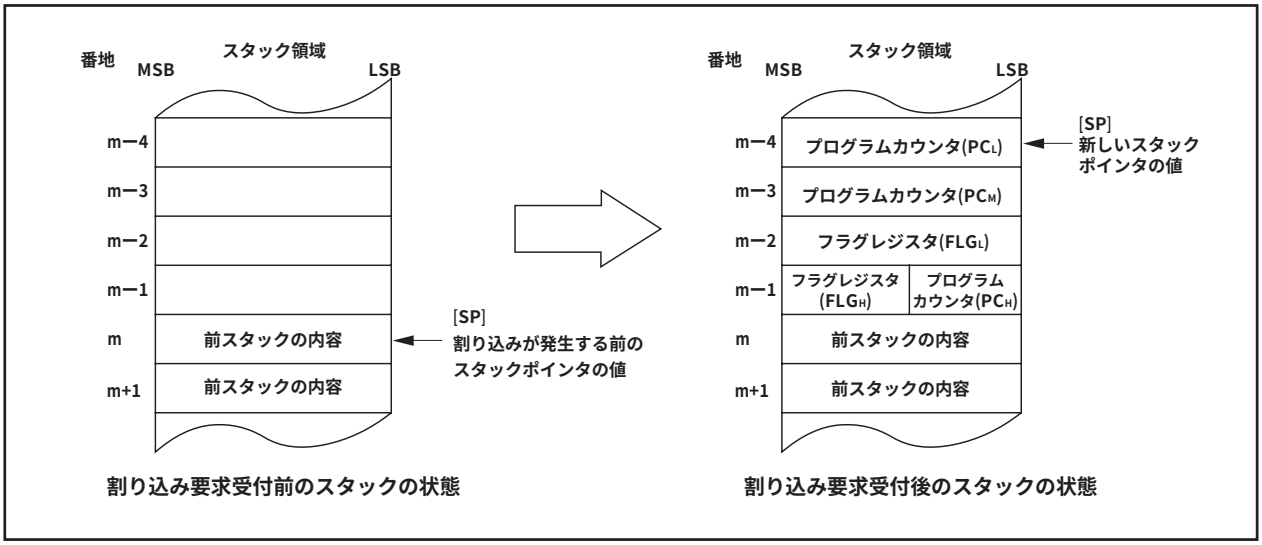


図10.6　割り込み要求受付前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。

注1．Uフラグが示すスタックポインタです。

図10.7にレジスタ退避動作を示します。

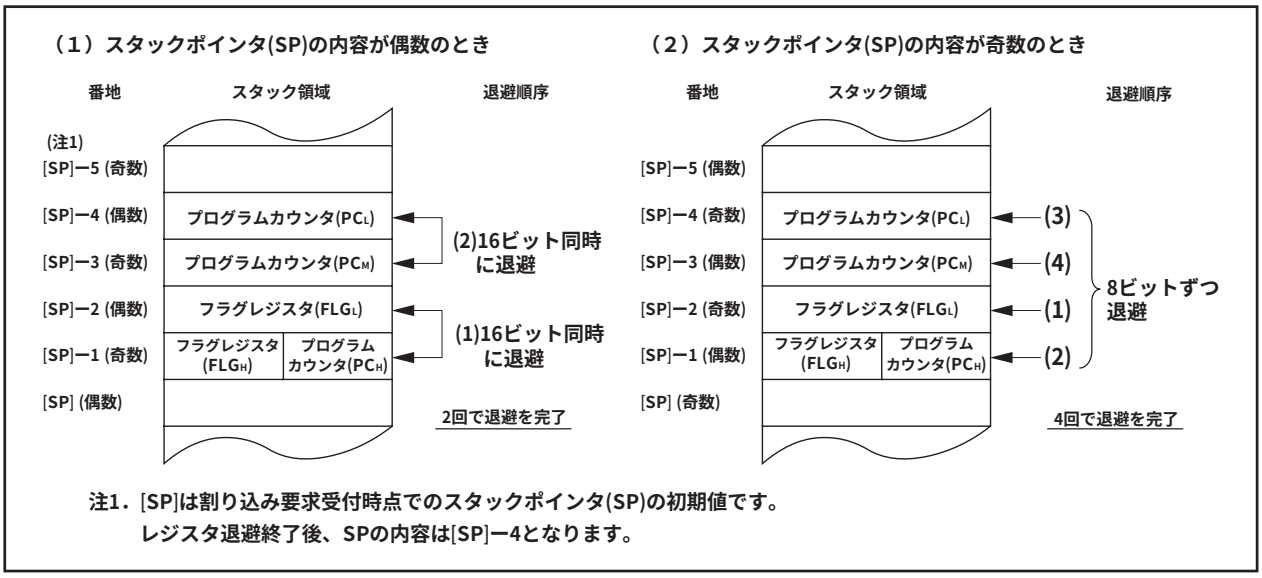


図10.7　レジスタ退避動作

10.1.5.9　割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

10.1.5.10　割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図10.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

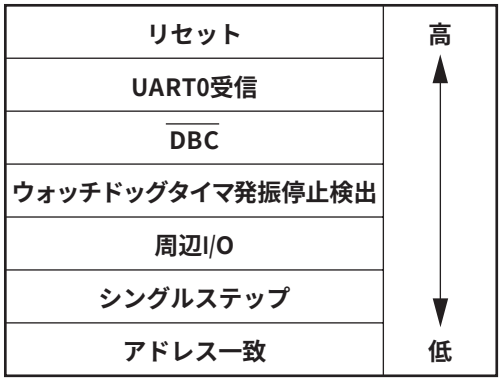


図10.8　ハードウェア割り込みの割り込み優先順位

10.1.5.11　割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図10.9に割り込み優先レベルの判定回路を示します。

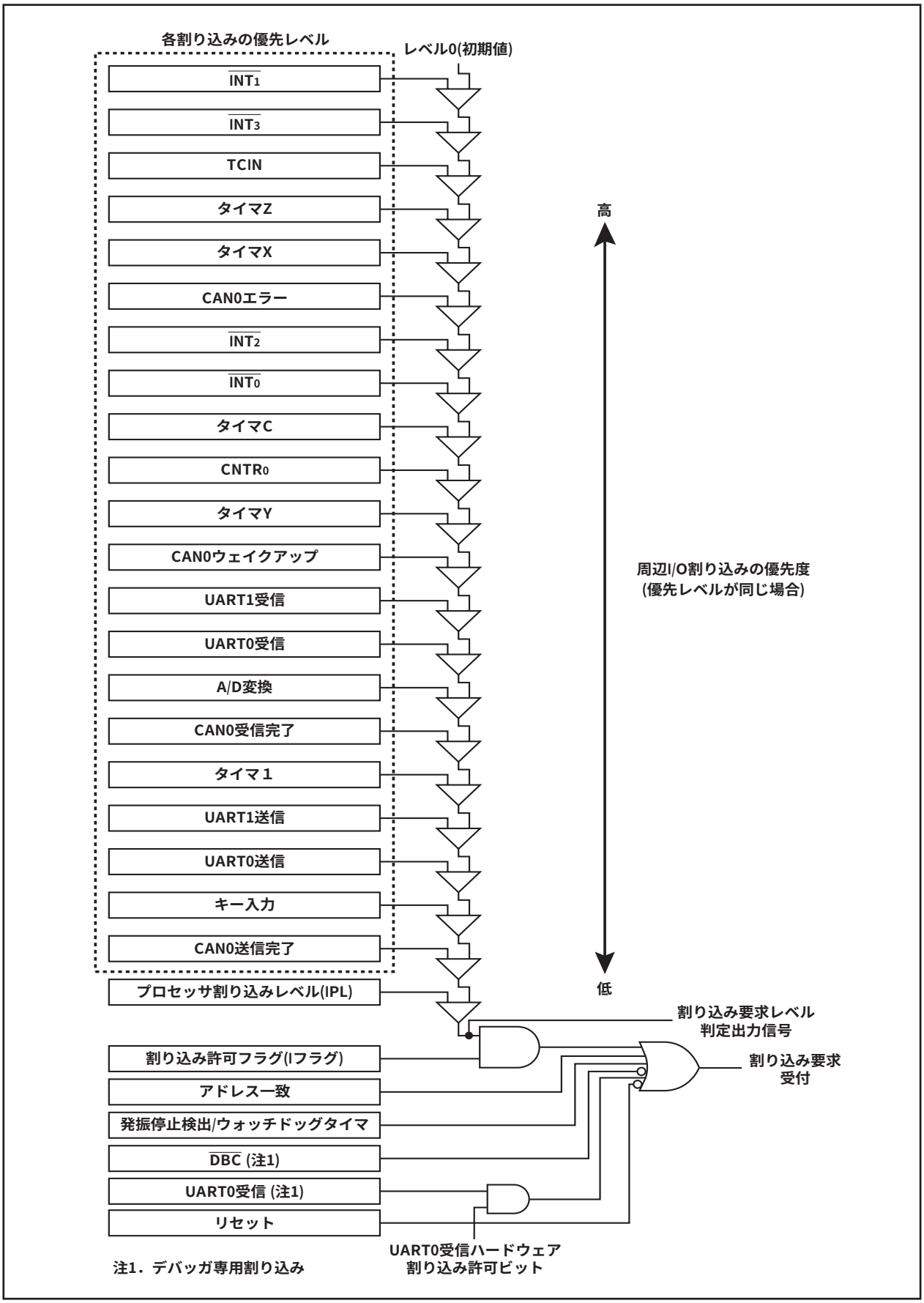


図10.9　割り込み優先レベルの判定回路

10.2　$\overline{\text{INT}}$割り込み

10.2.1　$\overline{\text{INT}}_0$割り込み

$\overline{\text{INT}}_0$～$\overline{\text{INT}}_3$は外部入力による割り込みです。$\overline{\text{INT}}_0$～$\overline{\text{INT}}_2$は極性を極性切り替えビット(005D16、005E16、005F16番地のビット4)で選択できます。$\overline{\text{INT}}_0$のみは3種類の周波数のクロックによりサンプリングするフィルタを通して入力することができます。

外部割り込み入力は、外部割り込み許可レジスタ(009616番地)の$\overline{\text{INT}}_i$(i＝0～3)入力極性選択ビットを“1”に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは、“0”(立ち下がりエッジ)に設定してください。片エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットで、“1”(立ち上がりエッジ)または“0”(立ち下がりエッジ)を選択してください。なお、$\overline{\text{INT}}_3$で片エッジを選択する場合は、立ち下がりエッジとなります。

外部入力許可レジスタを設定して割り込み要求ビットをクリアした後に、対応する割り込みが発生するように設定してください。また外部入力許可レジスタへの書き込みは、対応する割り込みを禁止した状態で実行してください。

図10.10に外部入力関連レジスタを示します。

外部入力許可レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
INTEN	009616番地	0016

ビットシンボル	ビット名	機　　能	RW
INT0EN	$\overline{\text{INT}}_0$入力許可ビット(注1)	0：禁止 1：許可	RW
INT0PL	$\overline{\text{INT}}_0$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	RW
INT1EN	$\overline{\text{INT}}_1$入力許可ビット	0：禁止 1：許可	RW
INT1PL	$\overline{\text{INT}}_1$入力極性選択ビット	0：片エッジ 1：両エッジ	RW
INT2EN	$\overline{\text{INT}}_2$入力許可ビット	0：禁止 1：許可	RW
INT2PL	$\overline{\text{INT}}_2$入力極性選択ビット	0：片エッジ 1：両エッジ	RW
INT3EN	$\overline{\text{INT}}_3$入力許可ビット	0：禁止 1：許可	RW
INT3PL	$\overline{\text{INT}}_3$入力極性選択ビット	0：片エッジ 1：両エッジ	RW

注1．このビットは$\overline{\text{INT}}_0$端子ワンショットトリガ制御ビット(008416番地、ビット6)が“0”($\overline{\text{INT}}_0$端子ワンショットトリガ無効)の状態で書き換えてください。

$\overline{\text{INT}}$0入力フィルタ選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
INT0 F	001E16番地	XXXXX0002

ビットシンボル	ビット名	機　　能	RW
INT0 F0	$\overline{\text{INT}}_0$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：f1サンプリングでフィルタあり 1 0：f8サンプリングでフィルタあり 1 1：f32サンプリングでフィルタあり	RW
INT0 F1			RW
INT0 F2	UART0受信ハードウェア割り込み許可ビット(注1)	0：禁止 1：許可	RW
	何も配置されていない。 書き込む場合、書き込めない。読み出した場合、その内容は不明。		—

注1．デバッガ専用割り込みです。

図10.10　外部入力関連レジスタ

10.2.2　$\overline{\text{INT}}_0$入力フィルタ

$\overline{\text{INT}}_0$の入力は、デジタルフィルタを持ちます。$\overline{\text{INT}}_0$入力フィルタ選択ビット(001E16番地のビット0、1)で選択したf1、f8、f32のいずれかのクロックにより入力をサンプリングし、レベルが3度一致した時点で$\overline{\text{INT}}_0$割り込み要求が発生します。『デジタルフィルタあり』を選択した場合、ポートP45の読み出しを行うとフィルタ後の値が読み込まれます。

図10.11に$\overline{\text{INT}}_0$入力フィルタを示します。

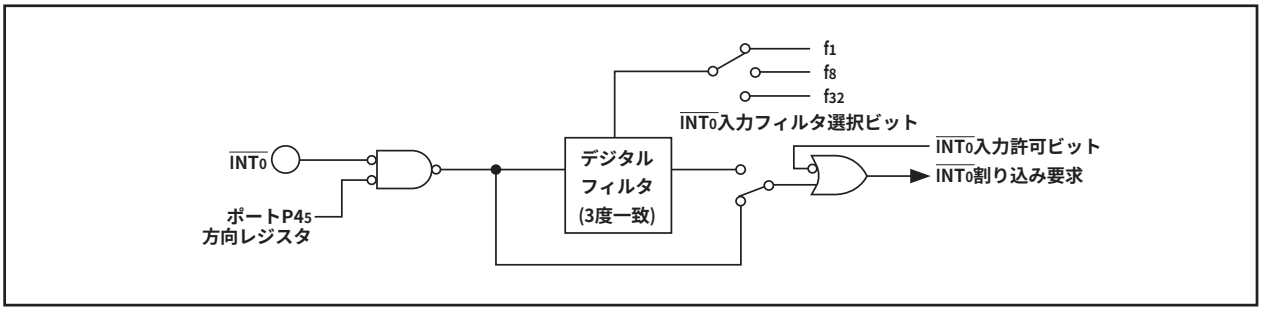


図10.11　$\overline{\text{INT}}_0$入力フィルタ

10.3　CNTR0割り込み

CNTR0割り込みは、CNTR0端子への入力による割り込みです。CNTR0端子に立ち上がりエッジまたは立ち下がりエッジが入力されると、CNTR0割り込みが発生します。極性は、タイマXモードレジスタのCNTR0極性切り替えビット(008B16番地のビット2)で選択できます。CNTR0割り込みを使用するときには、P17の方向レジスタを入力に設定してください。

タイマXのパルス出力モードを選択したときは、CNTR0端子は、パルス出力端子になります。その場合、CNTR0端子から出力される立ち下がりエッジまたは立ち上がりエッジによってCNTR0割り込みが発生します。このときも、P17の方向レジスタは入力に設定してください。

図10.12にタイマXモードレジスタを示します。

タイマXモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　　能	RW
TXMOD0	動作モード選択ビット0、1 (注2)	b1 b0 0 0 : タイマモード、またはパルス周期測定モード 0 1 : パルス出力モード(注1) 1 0 : イベントカウンタモード 1 1 : パルス幅測定モード	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注2)	0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	動作モードによって機能が異なる	RW
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ(注3)	動作モードによって機能が異なる	RW
TXUND	タイマXアンダフローフラグ (注3)	動作モードによって機能が異なる	RW

注1．パルス出力モード時、P17の方向レジスタは入力に設定してください。
注2．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。
注3．M16C/1Nグループエミュレータポッドプローブ(M301N2T-PRB)製品では、このビットは何も配置されていません。

図10.12　タイマXモードレジスタ

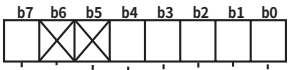
10.4　TCIN割り込み

TCIN割り込みは、TCIN端子への入力による割り込みまたはfRING256による割り込みです。タイマC制御レジスタ0の時計計測入力ソース切り替えビット(009A16番地のビット7)で、“0”(TCIN)を選択すると、TCIN端子への入力による割り込みとなります。TCIN端子の入力は、デジフィルクロック選択ビット(009B16番地のビット0、1)で選択したf1、f8、f32のいずれかのクロックにより入力レベルをサンプリングし、3度一致した時点で入力レベルが確定されます(ポートP33を読み出したときは、フィルタを通さない値が読み出されます)。割り込みの極性は、時計計測エッジトリガ選択ビット(009A16番地のビット3、4)によって、立ち上がりエッジ、立ち下がりエッジまたは両エッジが選択できます。

また、時計計測ソース切り替えビット(009A16番地のビット7)で“1”(fRING256)を選択すると、fRING256による割り込みとなります。

図10.13にタイマC制御レジスタ0、1を示します。

タイマC制御レジスタ0

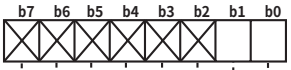


シンボル	アドレス	リセット時
TCC0	009A16番地	0XX00000₂

ビットシンボル	ビット名	機　能	RW
TCC00	時間計測制御ビット	0：時間計測禁止 1：時間計測許可	RW
TCC01	タイマCクロック選択ビット (注1)	b2b1 0 0: f1 0 1: f8 1 0: f32 1 1: 設定しないでください	RW
TCC02			RW
TCC03	時間計測入力エッジトリガ選択ビット (注1)	b4b3 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 両エッジ 1 1: 設定しないでください	RW
TCC04			RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—
TCC07	時間計測入力ソース切り替えビット (注1、2、3)	0：TCIN 1：fRING256	RW

注1．このビットの変更は、時間計測禁止の状態で行ってください。
注2．このビットを“1”にする場合、オンチップオシレータ発振停止ビット(CM14)を“0”にしてください。
注3．時間計測入力ソースを切り替えるときは、割り込みを禁止にしてください。時間計測入力ソースを切り替えた場合、TCIN割り込み要求が発生することがあります。そのため割り込み要求ビットをクリアした後に割り込みを許可してください。

タイマC制御レジスタ1



シンボル	アドレス	リセット時
TCC1	009B16番地	XXXXXX11₂

ビットシンボル	ビット名	機　能	RW
TCC10	デジフィルクロック選択ビット (注1)	b1b0 0 0: 設定しないでください 0 1: f1 1 0: f8 1 1: f32	RW
TCC11			RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			RW

注1．TCIN端子から同じ値を3回連続してサンプリングした時点で、入力エッジが有効となります。

図10.13　タイマC制御レジスタ0、1

10.5　キー入力割り込み

P10～P13のうち、方向レジスタを入力に設定しており、かつ$\overline{KIi}$(i=0～3)入力許可ビットが許可になっている端子のいずれかに立ち下がりエッジまたは立ち上がりエッジが入力されると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用することができます。

図10.14にキー入力割り込みのブロック図を、図10.15にキー入力許可レジスタを示します。なお、入力禁止の処理を行っていない端子のいずれかに立ち下がりエッジを選択している端子は“L”レベル、立ち上がりエッジを選択している端子は“H”レベルが入力されていると、他の端子の入力は割り込みとして検知されません。

$\overline{KIi}$(i=0～3)入力極性選択ビット、$\overline{KIi}$(i=0～3)入力許可ビットの書き換えはキー入力割り込みを禁止した状態で実行してください。また、$\overline{KIi}$(i=0～3)入力極性選択ビット、$\overline{KIi}$(i=0～3)入力許可ビットを書き換え、割り込み要求ビットをクリアした後に、キー入力割り込みが発生するように設定してください。

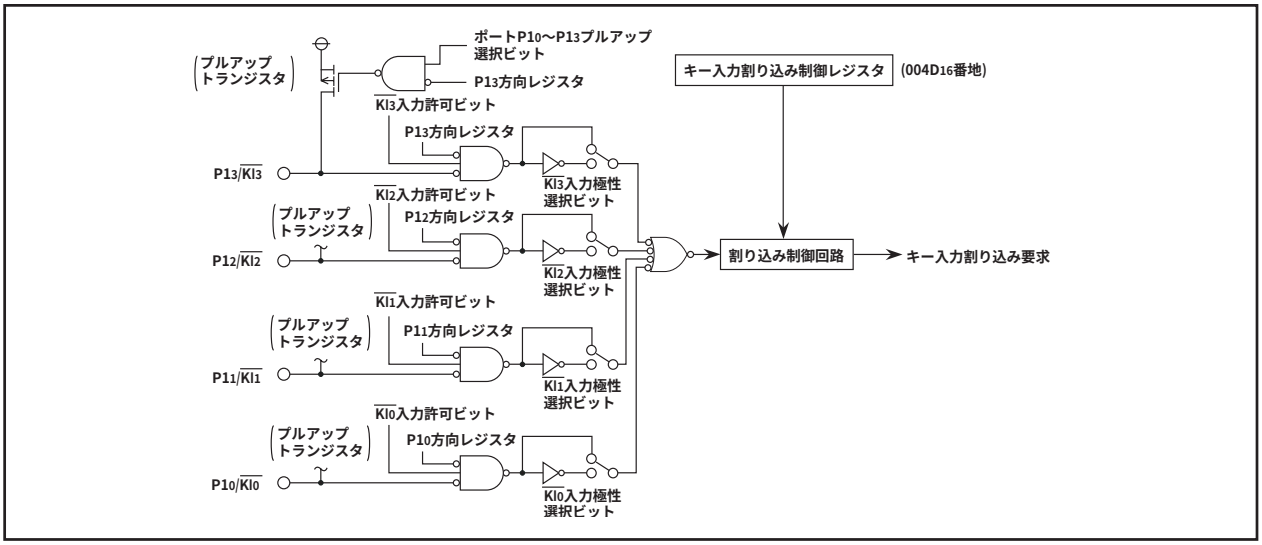


図10.14　キー入力割り込みのブロック図

キー入力許可レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
KIEN	0098$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	RW
KI0EN	$\overline{KI_0}$入力許可ビット	0：禁止 1：許可	RW
KI0PL	$\overline{KI_0}$入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	RW
KI1EN	$\overline{KI_1}$入力許可ビット	0：禁止 1：許可	RW
KI1PL	$\overline{KI_1}$入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	RW
KI2EN	$\overline{KI_2}$入力許可ビット	0：禁止 1：許可	RW
KI2PL	$\overline{KI_2}$入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	RW
KI3EN	$\overline{KI_3}$入力許可ビット	0：禁止 1：許可	RW
KI3PL	$\overline{KI_3}$入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	RW

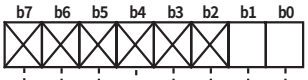
図10.15　キー入力許可レジスタ

10.6　アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図10.16にアドレス一致割り込み関連レジスタを示します。

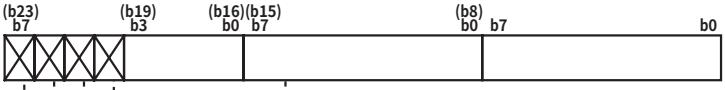
アドレス一致割り込み許可レジスタ



シンボル	アドレス	リセット時
AIE R	0009$_{16}$番地	XXXXXX00$_{2}$

ビットシンボル	ビット名	機　　能	RW
AIE R0	アドレス一致割り込み0許可ビット	0: 禁止 1: 許可	RW
AIE R1	アドレス一致割り込み1許可ビット	0: 禁止 1: 許可	RW
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—

アドレス一致割り込みレジスタi (i=0、1)



シンボル	アドレス
RMAD0	0012$_{16}$～0010$_{16}$番地
RMAD1	0016$_{16}$～0014$_{16}$番地

リセット時
XXXX0000$_{2}$、00000000$_{2}$、00000000$_{2}$

機　　能	設定可能値	RW
アドレス一致割り込み用アドレス設定レジスタ	00000$_{16}$～FFFFF$_{16}$	RW
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。		—

図10.16　アドレス一致割り込み関連レジスタ

10.7　割り込みの注意事項

(1)　0000_{16}番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000_{16}番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウェアで0000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。
したがって、ソフトウェアで0000_{16}番地に対して読み出しを行わないでください。

(2)　スタックポインタの設定

リセット直後スタックポインタの値は、“0000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
リセット直後の先頭の1命令に限り、すべての割り込みが禁止されます。

(3)　外部割り込み

$\overline{INT_0}$～$\overline{INT_3}$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{INT_0}$～$\overline{INT_3}$端子および$CNTR_0$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。
図10.17に外部割り込み発生要因の切り替えの手順例を示します。

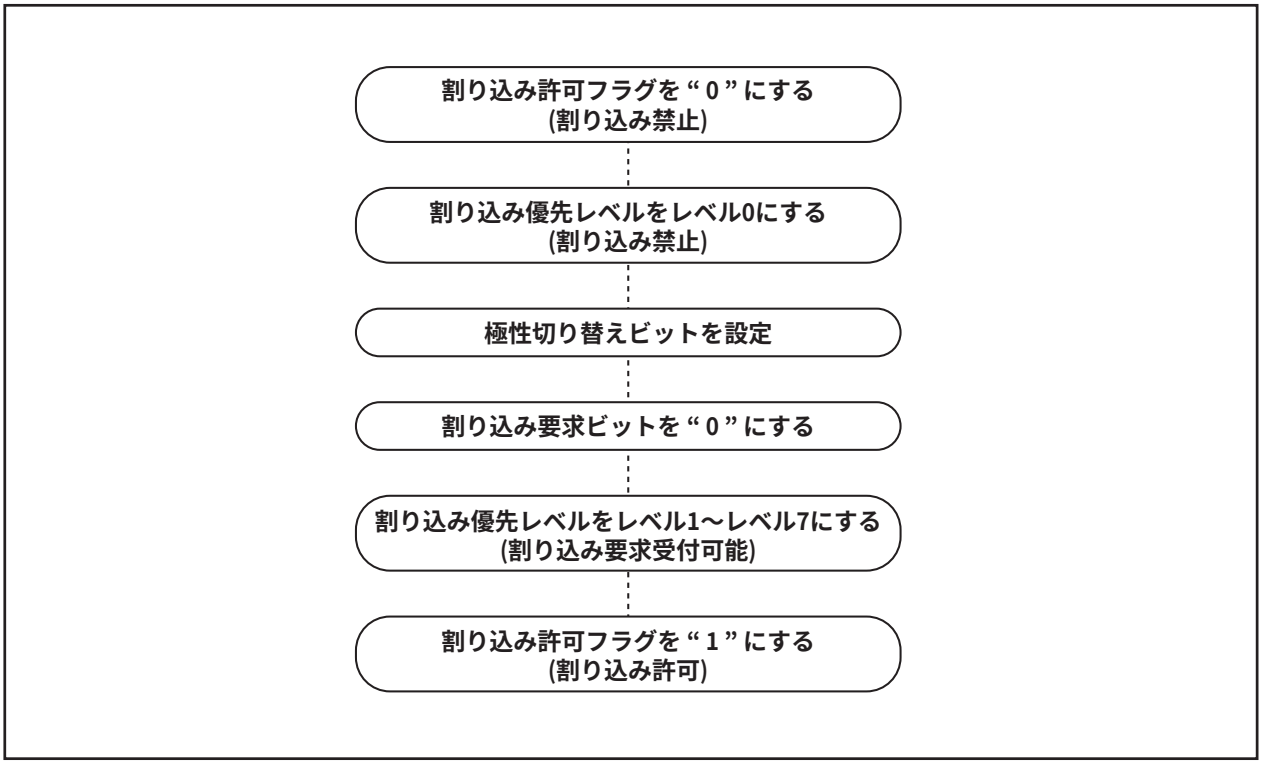


図10.17　外部割り込み発生要因の切り替え

(4)　割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例1：

```
INT_SWITCH1：
  FCLR     I                ；割り込み禁止状態
  AND.B    #00H，0055H      ；タイマ1割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP
  NOP
  FSET     I                ；割り込み許可状態
```

例2：

```
INT_SWITCH2：
  FCLR     I                ；割り込み禁止状態
  AND.B    #00H，0055H      ；タイマ1割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W    MEM，R0          ；ダミーリード
  FSET     I                ；割り込み許可状態
```

例3：

```
INT_SWITCH3：
  PUSHC    FLG
  FCLR     I                ；割り込み禁止状態
  AND.B    #00H，0055H      ；タイマ1割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC     FLG              ；割り込み許可状態
```

例1と例2でFSET I命令の前にNOP命令2個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

割り込み要求ビットの変更
割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。
対象となる命令・・・MOV

11.　ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能を持ちます。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローすると、ウォッチドッグタイマ割り込みまたはリセットが発生します。ウォッチドッグタイマ割り込みとリセットの発生の切り替えは、プロセッサモードレジスタ1のビット2で制御されます。一度、“ 1 ”にするとソフトウェアでは“ 0 ”にできません。BCLKにXINを選択している場合、ウォッチドッグタイマ制御レジスタ(000F16番地)のビット7でプリスケーラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、ウォッチドッグタイマ制御レジスタ(000F16番地)のビット7に関係なくプリスケーラの分周比は2分周になります。

BCLKにXINを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周比(16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周比(2)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{BCLK}}$$

例えば、BCLKが10MHzで、プリスケーラの分周比として16分周を選択している場合、ウォッチドッグタイマの周期は、約52.4msとなります。

ウォッチドッグタイマは、ウォッチドッグタイマスタートレジスタ(000E16番地)への書き込み動作時、およびウォッチドッグタイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後はウォッチドッグタイマおよびプリスケーラは停止しており、ウォッチドッグタイマスタートレジスタ(000E16番地)への書き込み動作によりカウントを開始します。

図11.1にウォッチドッグタイマのブロック図を、図11.2にウォッチドッグタイマ関連レジスタを示します。

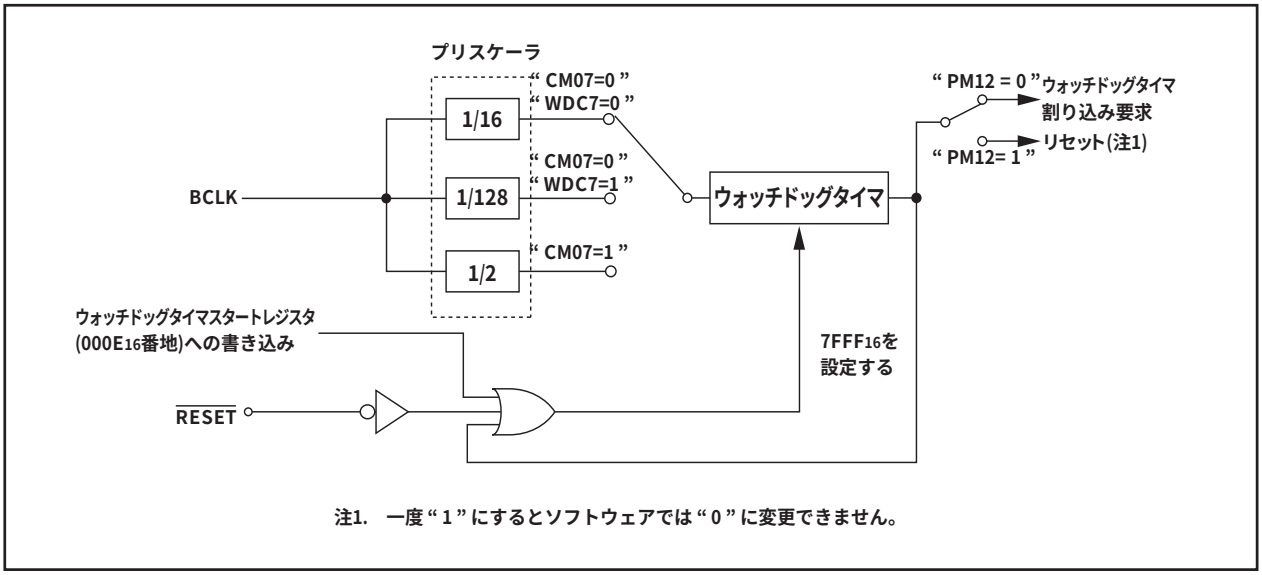


図11.1　ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

シンボル	アドレス	リセット時
WDC	000F16番地	000XXXXX2

ビットシンボル	ビット名	機　　能	RW
ウォッチドッグタイマの上位ビット			RO
予約ビット		“0”を設定してください	RW
WDC7	プリスケーラ選択ビット	0：16分周 1：128分周	RW

ウォッチドッグタイマスタートレジスタ

b7	b0

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

機　　能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートする。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFF16”が設定される。	WO

プロセッサモードレジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0	✕	✕	✕		✕	

シンボル	アドレス	リセット時
PM1	00051 6番地	00XXX0X02

ビットシンボル	ビット名	機　　能	RW
PM10	DATAROM領域 アクセスビット(注3)	0：禁止 1：許可	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
PM12	WDT割り込み/リセット 切り替えビット	0：ウォッチドッグタイマ割り込み 1：リセット(注2)	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
予約ビット		“0”を設定してください	RW
PM17	ウェイトビット	0：ウェイトなし 1：ウェイトあり	RW

注1.　このレジスタを書き換える場合、プロテクトレジスタ(000A16番地)のビット1を“1”にしてください。
注2.　一度“1”にするとソフトウェアでは“0”に変更できません。
注3.　このビットはフラッシュメモリ版でのみ有効です。マスクROM版では“0”にしてください。

図11.2　ウォッチドッグタイマ関連レジスタ

12.　タイマ

タイマは、8ビットプリスケーラ付き8ビットタイマを4本と、16ビットタイマを1本内蔵しています。8ビットプリスケーラ付き8ビットタイマは、タイマ1、タイマX、タイマY、およびタイマZの4本です。16ビットタイマは、時間計測機能を持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表12.1に各タイマの機能比較を示します。

表12.1　各タイマの機能比較

		タイマ1	タイマX	タイマY	タイマZ	タイマC
構　成		8ビット プリスケーラ付 8ビットタイマ	8ビット プリスケーラ付 8ビットタイマ	8ビット プリスケーラ付 8ビットタイマ	8ビット プリスケーラ付 8ビットタイマ	16ビット フリーラン タイマ
カウント		ダウンカウント	ダウンカウント	ダウンカウント	ダウンカウント	アップカウント
カウントソース		• f_1 • f_8 • f_{32} • f_{C32}	• f_1 • f_8 • f_{32} • f_{C32}	• f_1 • f_8 • f_{RING} • f_{C32}	• f_1 • f_8 • タイマY アンダフロー • f_{C32}	• f_1 • f_8 • f_{32}
機能	タイマモード	○	○	○	○	–
	パルス出力モード	–	○	–	–	–
	イベントカウンタモード	–	○	–	–	–
	パルス幅測定モード	–	○	–	–	–
	パルス周期測定モード	–	○	–	–	–
	プログラマブル 波形発生モード	–	–	○	○	–
	プログラマブル ワンショット発生モード	–	–	–	○	–
	プログラマブルウェイト ワンショット発生モード	–	–	–	○	–
	時間計測機能	–	–	–	–	○
入力端子		–	$CNTR_0$	–	$\overline{INT_0}$	TCIN
出力端子		–	$CNTR_0$ TX_{OUT}	TY_{OUT}	TZ_{OUT}	–
関連する割り込み		タイマ1割込	タイマX割込 $CNTR_0$割込	タイマY割込	タイマZ割込	タイマC割込 TCIN割込
タイマ停止		–	○	○	○	○

12.1　タイマ1

タイマ1は、8ビットプリスケーラ付き8ビットタイマです。タイマ1は、内部で生成されたカウントソース(クロック源)を常時カウントします。リセット直後のカウントソースは、f1が選択されています。本タイマは、カウントを停止することはできません。

図12.1にタイマ1のブロック図を、表12.2にタイマ1の仕様を、図12.2にタイマ1関連のレジスタを示します。

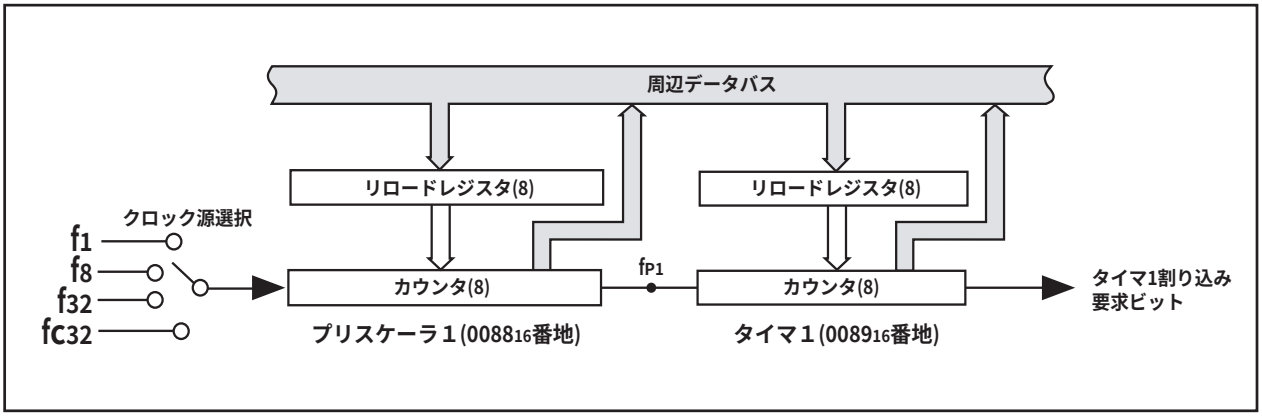


図12.1　タイマ1のブロック図

表12.2　タイマ1の仕様(タイマモード)

項　目	仕　様
カウントソース	f1、f8、f32、fC32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラ1の設定値、m:タイマ1の設定値
カウント開始条件	リセット後、カウント開始
カウント停止条件	カウント停止不可
割り込み要求発生タイミング	タイマ1のアンダフロー時
タイマの読み出し	タイマ1レジスタ、プリスケーラ1レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマ1レジスタ、プリスケーラ1レジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる

プリスケーラ1

b7 b0

シンボル	アドレス	リセット時
PRE1	0088_{16}番地	不定

機　　能	設定可能値	RW
設定値をnとすると、プリスケーラ1は内部カウントソースをn+1分周する	00_{16}～FF_{16}	RW

タイマ1

b7 b0

シンボル	アドレス	リセット時
T1	0089_{16}番地	不定

機　　能	設定可能値	RW
設定値をmとすると、タイマ1はプリスケーラ1のアンダフローをm+1分周する	00_{16}～FF_{16}	RW

タイマカウントソース設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TCSS	$008E_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TXCK0	タイマXカウントソース選択ビット(注1)	b1 b0 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	RW
TXCK1			RW
TYCK0	タイマYカウントソース選択ビット(注1、2)	b3 b2 0 0 : f_1 0 1 : f_8 1 0 : オンチップオシレータ出力(注3) 1 1 : fc_{32}	RW
TYCK1			RW
TZCK0	タイマZカウントソース選択ビット(注1、4)	b5 b4 0 0 : f_1 0 1 : f_8 1 0 : タイマYアンダフロー 1 1 : fc_{32}	RW
TZCK1			RW
T1CK0	タイマ1カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	RW
T1CK1			RW

注1．カウント動作中にカウントソースを切り替えないでください。
　　カウントソースを切り替える場合は、一度タイマのカウントを停止してください。
注2．カウントソースにf_1を選択する場合は、波形拡張機能は使用できません。
注3．オンチップオシレータ出力を選択する場合は、システムクロック制御レジスタ１(0007_{16}番地)のオンチップオシレータ発振許可ビット(CM14)を発振許可に設定してください。
注4．カウントソースにタイマYアンダフローおよびf_1を選択する場合は、波形拡張機能は使用できません。
　　タイマYアンダフローは、タイマYプライマリのアンダフロー、タイマYセカンダリのアンダフローの両方をカウントします。

図12.2　タイマ1関連のレジスタ

12.2　タイマX

タイマXは、8ビットプリスケーラ付き8ビットタイマです。タイマXは、次の5種類のモードがあります。

- ・タイマモード　　内部カウントソース(クロック源)をカウントするモード
- ・パルス出力モード　　内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- ・イベントカウンタモード　　外部からのパルスをカウントするモード
- ・パルス幅測定モード　　外部パルスのパルス幅を測定するモード
- ・パルス周期測定モード　　外部パルスのパルス周期を測定するモード

図12.3にタイマXのブロック図を、図12.4および図12.5にタイマX関連のレジスタを示します。

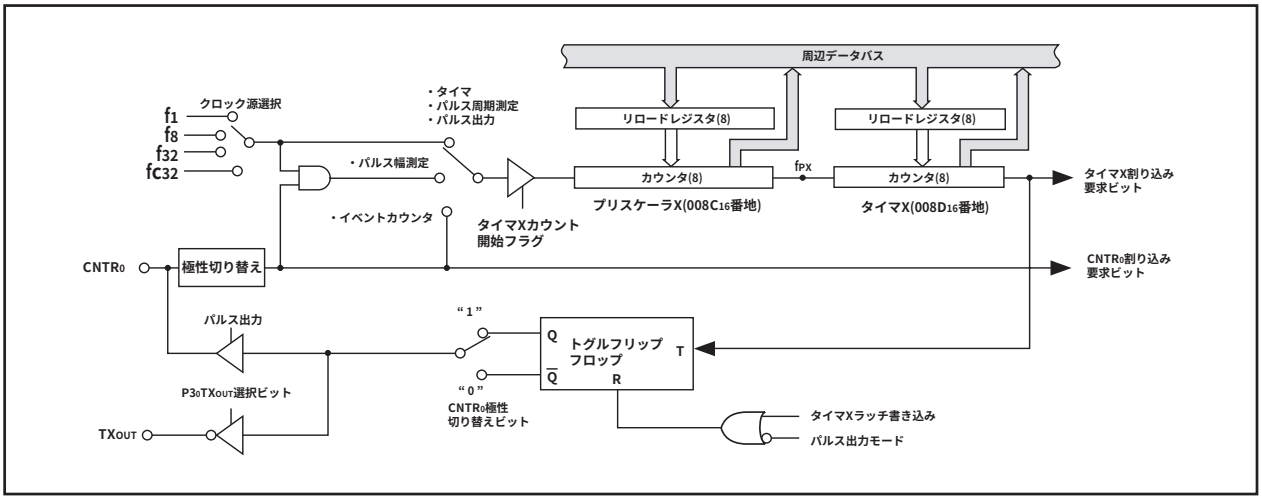


図12.3　タイマXのブロック図

タイマXモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　　能	RW
TXMOD0	動作モード選択ビット0、1 (注2)	b1 b0 0 0 : タイマモード、またはパルス周期測定モード 0 1 : パルス出力モード(注1) 1 0 : イベントカウンタモード 1 1 : パルス幅測定モード	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注2)	0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	動作モードによって機能が異なる	RW
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ(注3)	動作モードによって機能が異なる	RW
TXUND	タイマXアンダフローフラグ (注3)	動作モードによって機能が異なる	RW

注1．パルス出力モード時、P17の方向レジスタは入力に設定してください。
注2．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。
注3．M16C/1Nグループエミュレータポッドプローブ(M301N2T-PRB)製品では、このビットは何も配置されていません。

図12.4　タイマX関連のレジスタ(1)

プリスケーラX

b7 b0

シンボル	アドレス	リセット時
PREX	008C16番地	FF16

機　　能	設定可能値	RW
●タイマモード 内部カウントソースをカウント	0016～FF16	RW
●パルス出力モード 内部カウントソースをカウント	0016～FF16	RW
●イベントカウンタモード 外部からの入力パルスをカウント	0016～FF16	RW
●パルス幅測定モード 外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	0016～FF16	RW
●パルス周期測定モード 外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	0016～FF16	RW

タイマX

b7 b0

シンボル	アドレス	リセット時
TX	008D16番地	FF16

機　　能	設定可能値	RW
●タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード プリスケーラXのアンダフローをカウント	0016～FF16	RW
●パルス周期測定モード プリスケーラXのアンダフローをカウント	0116～FF16	RW

タイマカウントソース設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TCSS	008E16番地	0016

ビットシンボル	ビット名	機　　能	RW
TXCK0	タイマXカウントソース選択ビット(注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fc32	RW
TXCK1			RW
TYCK0	タイマYカウントソース選択ビット(注1、2)	b3 b2 0 0 : f1 0 1 : f8 1 0 : オンチップオシレータ出力(注3) 1 1 : fc32	RW
TYCK1			RW
TZCK0	タイマZカウントソース選択ビット(注1、4)	b5 b4 0 0 : f1 0 1 : f8 1 0 : タイマYアンダフロー 1 1 : fc32	RW
TZCK1			RW
T1CK0	タイマ1カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fc32	RW
T1CK1			RW

注1．カウント動作中にカウントソースを切り替えないでください。
　　カウントソースを切り替える場合は、一度タイマのカウントを停止してください。
注2．カウントソースにf1を選択する場合は、波形拡張機能は使用できません。
注3．オンチップオシレータ出力を選択する場合は、システムクロック制御レジスタ１(000716番地)のオンチップオシレータ発振許可ビット(CM14)を発振許可に設定してください。
注4．カウントソースにタイマYアンダフローおよびf1を選択する場合は、波形拡張機能は使用できません。
　　タイマYアンダフローは、タイマYプライマリのアンダフロー、タイマYセカンダリのアンダフローの両方をカウントします。

図12.5　タイマX関連のレジスタ(2)

12.2.1　タイマモード

内部で生成されたカウントソースをカウントするモードです。

表12.3にタイマモードの仕様を、図12.6にタイマモード時のタイマXモードレジスタを示します。

表12.3　タイマモードの仕様

項　目	仕　様
カウントソース	f_1, f_8, f_{32}, f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラXの設定値、m:タイマXの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時　[タイマX割り込み]
CNTR0端子機能	プログラマブル入出力ポートまたはCNTR0割り込み入力端子
TXOUT端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタ、プリスケーラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケーラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる

タイマXモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	0			0	0

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　能	RW
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 0 0：タイマモード	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注1)	0：立ち上がりエッジ 1：立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ	0：カウント停止 1：カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	0：タイマモードでは“0”を設定してください。	RW
TXMOD2	動作モード選択ビット2	0：タイマモードでは“0”を設定してください。	RW
TXEDG	有効エッジ判定フラグ	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW
TXUND	タイマXアンダフローフラグ	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW

注1．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。

図12.6　タイマモード時のタイマXモードレジスタ

12.2.2　パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをCNTR0端子から出力するモードです。

表12.4にパルス出力モードの仕様を、図12.7にパルス出力モード時のタイマXモードレジスタを示します。

表12.4　パルス出力モードの仕様

項　目	仕　様
カウントソース	f1, f8, f32, fC32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラXの設定値、m:タイマXの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●タイマXのアンダフロー時　[タイマX割り込み] ●CNTR0出力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み]
CNTR0端子機能	パルス出力
TXOUT端子機能	プログラマブル入出力ポート、またはパルス出力(CNTR0端子が出力するパルスの反転パルス)
タイマの読み出し	タイマXレジスタ、プリスケーラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケーラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	●パルス出力機能 アンダフローするごとにTXOUT端子の極性が反転 ●CNTR0極性切り替え機能 パルス出力開始時のレベルは、“H”または“L”をソフトウェアにより選択可能

タイマXモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　能	RW
TXMOD0	動作モード選択ビット0、1 (注3)	b1 b0 0 1：パルス出力モード(注1)	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注3)	0：“H”から出力開始(立ち上がり割り込み) 1：“L”から出力開始(立ち下がり割り込み)	RW
TXS	タイマXカウント開始フラグ	0：カウント停止 1：カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	0：ポートP30 1：TXOUT出力(注2)	RW
TXMOD2	動作モード選択ビット2	0：パルス出力モードでは“0”を設定してください。	RW
TXEDG	有効エッジ判定フラグ	パルス出力モードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW
TXUND	タイマXアンダフローフラグ	パルス出力モードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW

注1．パルス出力モード時、P17の方向レジスタは入力設定にしてください。
注2．P30の方向レジスタの設定に無関係に出力になります。
注3．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。

図12.7　パルス出力モード時のタイマXモードレジスタ

12.2.3　イベントカウンタモード

CNTR0端子から入力する外部信号をカウントするモードです。

表12.5にイベントカウンタモードの仕様を、図12.8にイベントカウンタモード時のタイマXモードレジスタを示します。

表12.5　イベントカウンタモードの仕様

項　目	仕　様
カウントソース	CNTR0端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラXの設定値、m:タイマXの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●タイマXのアンダフロー時　[タイマX割り込み] ●CNTR0入力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み]
CNTR0端子機能	カウントソース入力
TXOUT端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタ、プリスケーラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケーラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	●CNTR0極性切り替え機能 カウントソースの有効エッジは、立ち上がりまたは立ち下がりをソフトウェアにより選択可

タイマXモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	0			1	0

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　能	RW
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 1 0：イベントカウンタモード	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注1)	0：立ち上がりカウント(立ち上がり割り込み) 1：立ち下がりカウント(立ち下がり割り込み)	RW
TXS	タイマXカウント開始フラグ	0：カウント停止 1：カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	0：イベントカウンタモードでは“0”を設定してください。	RW
TXMOD2	動作モード選択ビット2	0：イベントカウンタモードでは“0”を設定してください。	RW
TXEDG	有効エッジ判定フラグ	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW
TXUND	タイマXアンダフローフラグ	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW

注1．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。

図12.8　イベントカウンタモード時のタイマXモードレジスタ

12.2.4　パルス幅測定モード

CNTR0端子から入力する外部信号のパルス幅を測定するモードです。

表12.6にパルス幅測定モードの仕様を、図12.9にパルス幅測定モード時のタイマXモードレジスタを、図12.10にパルス幅測定モード時の動作例を示します。

表12.6　パルス幅測定モードの仕様

項　目	仕　様
カウントソース	f1、f8、f32、fC32
カウント動作	●ダウンカウント ●測定パルスの"H"レベルの期間、または“L”レベルの期間のみカウントを継続 ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●タイマXのアンダフロー時　[タイマX割り込み] ●CNTR0入力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1) [CNTR0割り込み]
CNTR0端子機能	測定パルス入力
TXOUT端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタ、プリスケーラXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマXレジスタ、プリスケーラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	●CNTR0極性切り替え機能 入力パルスの測定は、“H”レベル期間または“L”レベル期間をソフトウェアにより選択可

タイマXモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	0			1	1

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　能	RW
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 1 1：パルス幅測定モード	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注1)	0：“L”レベル幅測定(立ち上がり割り込み) 1：“H”レベル幅測定(立ち下がり割り込み)	RW
TXS	タイマXカウント開始フラグ	0：カウント停止 1：カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	0：パルス幅測定モードでは“0”を設定してください。	RW
TXMOD2	動作モード選択ビット2	0：パルス幅測定モードでは“0”を設定してください。	RW
TXEDG	有効エッジ判定フラグ	パルス幅測定モードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW
TXUND	タイマXアンダフローフラグ	パルス幅測定モードでは無効。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	RW

注1．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。また割り込みを使用する場合は、CNTR0割り込み要求ビットをMOV命令でクリアした後、割り込みを許可してください。

図12.9　パルス幅測定モード時のタイマXモードレジスタ

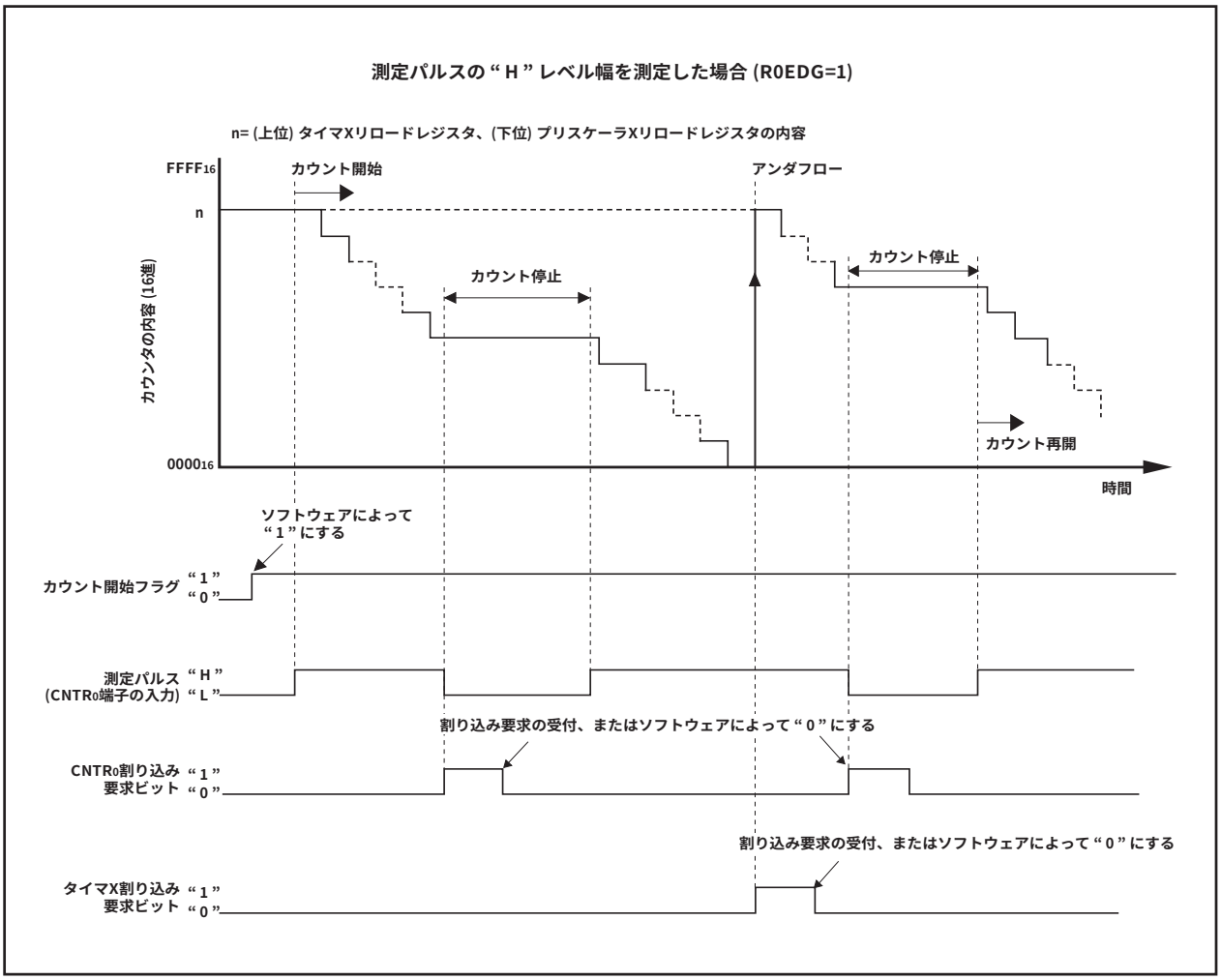


図12.10 パルス幅測定モード時の動作例

12.2.5　パルス周期測定モード

CNTR0端子から入力する外部信号のパルス周期を測定するモードです。

表12.7にパルス周期測定モードの仕様を、図12.11にパルス周期測定モード時のタイマXモードレジスタを、図12.12に動作例を示します。

表12.7　パルス周期測定モードの仕様

項　目	仕　様
カウントソース	f1、f8、f32、fC32
カウント動作	●ダウンカウント ●測定パルスの有効エッジ入力後、2回目のプリスケーラXのアンダーフロー時にタイマXはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	●タイマXのアンダフロー時　[タイマX割り込み] ●CNTR0入力の立ち上がり(R0EDG=0)、または立ち下がり(R0EDG=1)[CNTR0割り込みおよびタイマX割り込み]
CNTR0端子機能	測定パルス入力(注1)
TXOUT端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマXレジスタを読み出すと、読み出し用バッファの内容が読み出される。読み出し用バッファは、測定パルスの有効エッジ入力によりタイマXレジスタの値を保持し、タイマXレジスタの読み出しにより値の保持を解除する
タイマの書き込み	タイマXレジスタ、プリスケーラXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	●CNTR0極性切り替え機能 入力パルスの測定は、立ち上がりエッジ－立ち上がりエッジ、または立ち下がりエッジ－立ち下がりエッジを、ソフトウェアにより選択可

注1.　プリスケーラXの周期の2倍より短い周期のパルスは入力しないでください。CNTR0端子には、H幅およびL幅それぞれが、プリスケーラXの周期より長いパルスを入力してください。CNTR0端子に周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマXモードレジスタ

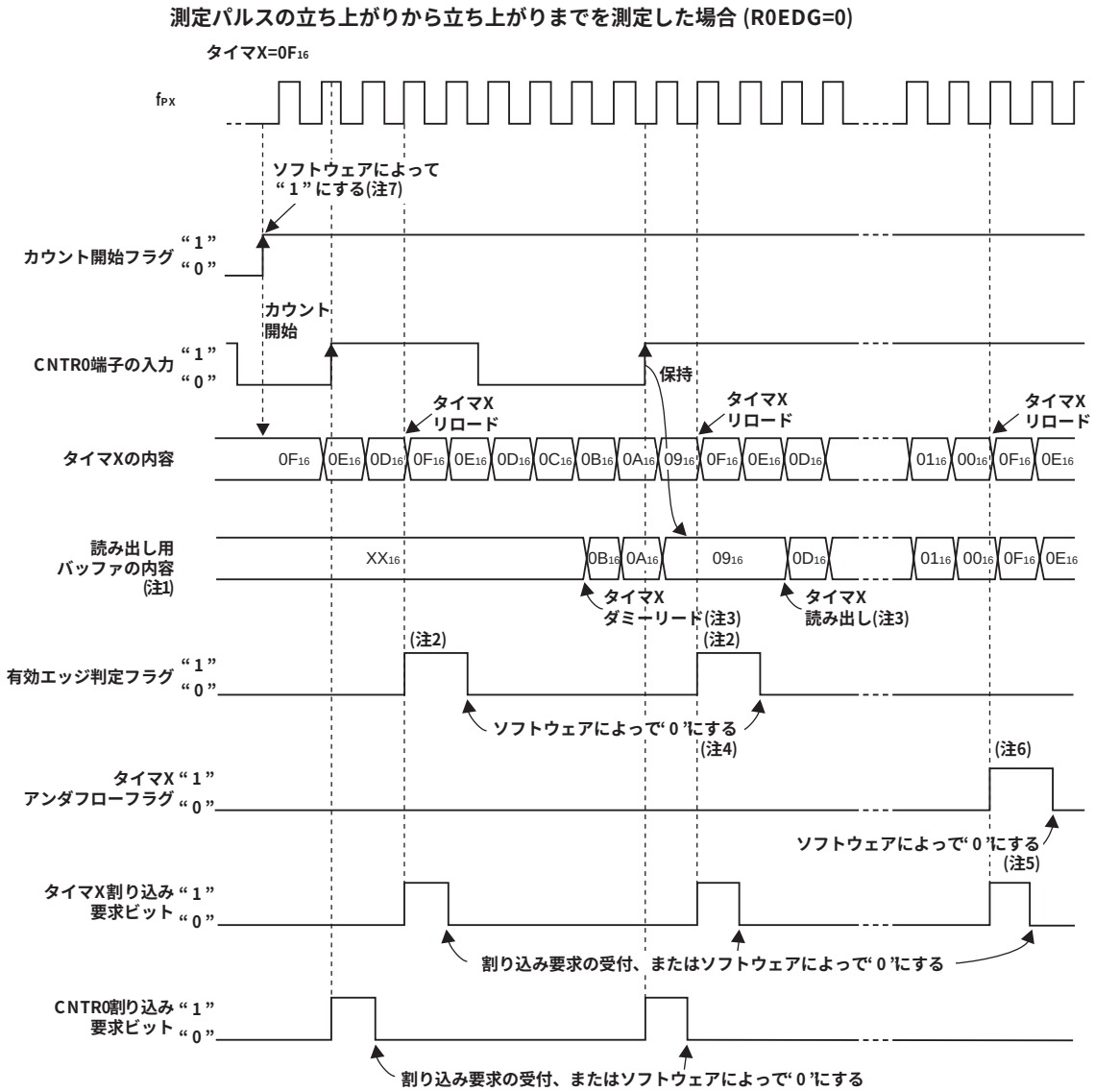
b7	b6	b5	b4	b3	b2	b1	b0
		1	0			0	0

シンボル	アドレス	リセット時
TXMR	008B16番地	0016

ビットシンボル	ビット名	機　　能	RW
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 0 0：パルス周期測定モード	RW
TXMOD1			RW
R0EDG	CNTR0極性切り替えビット (注1)	0：測定パルスの立ち上がり－立ち上がり間測定 (立ち上がり割り込み) 1：測定パルスの立ち下がり－立ち下がり間測定 (立ち下がり割り込み)	RW
TXS	タイマXカウント開始フラグ (注3)	0：カウント停止 1：カウント開始	RW
TXOCNT	P30/TXOUT選択ビット	0：パルス周期測定モードでは“0”を設定してください。	RW
TXMOD2	動作モード選択ビット2(注1)	1：パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ(注2)	0：有効エッジなし 1：有効エッジあり	RW
TXUND	タイマXアンダフローフラグ (注2)	0：アンダフローなし 1：アンダフローあり	RW

注1．このビットの変更は、CNTR0割り込みを禁止した状態で行ってください。またCNTR0割り込み要求ビットをクリアした後に割り込みを許可してください。
注2．プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。
M16C/1Nグループエミュレータポッドプローブ(M301N2T-PRB)製品では、このビットは何も配置されていません。
注3．パルス周期測定モード時、タイマを停止するときはMOV命令を使用してください。
例：MOV.B　#11100X00B, 008BH

図12.11　パルス周期測定モード時のタイマXモードレジスタ



注1．パルス周期測定モードでタイマXを読み出すと、読み出し用バッファの内容が読めます。
注2．測定パルスの有効エッジ入力後、2回目のプリスケーラXのアンダフロータイミングで、有効エッジ判定フラグ(TXEDG)が“1”になります。
注3．タイマXの読み出しは、TXEDGが“1”にセットされてから、次の有効エッジが入力されるまでの期間で行ってください。次の有効エッジが入力されるまでに読み出しを行わない場合、読み出し用バッファ内容が保持され続けるため、有効エッジによる読み出し用バッファの更新は行われません。
注4．ソフトウェアによって“0”にするときは、MOV命令を用いてタイマXモードレジスタ(008B16)のビット6(TXEDG)に“0”を書いてください。その際、ビット7(TXUND)には“1”を書いてください。
注5．ソフトウェアによって“0”にするときは、MOV命令を用いてタイマXモードレジスタ(008B16)のビット7(TXUND)に“0”を書いてください。その際、ビット6(TXEDG)には“1”を書いてください。
注6．タイマXのアンダフロータイミングが、有効エッジ入力によるタイマXのリロードと重なった場合、タイマXアンダフローフラグ(TXUND)とTXEDGがともに“1”になります。そのときは、読み出し用バッファの内容で、TXUNDの有効性を判断してください。
注7．カウント開始フラグを“1”に設定すると、タイマX割り込み要求ビットと有効エッジ判定フラグが“1”になることがあります。そのためタイマX割り込みを禁止した状態でカウント開始フラグを“1”に設定し、割り込み要求ビットと有効エッジ判定フラグをクリアした後に割り込みを許可してください。

図12.12　パルス周期測定モード時の動作例

12.3　タイマY

タイマYは、8ビットプリスケーラ付き8ビットタイマです。タイマYは、リロードレジスタとしてタイマYプライマリ、およびタイマYセカンダリの2つのレジスタを持ちます。タイマYは、次の2種類のモードがあります。

・タイマモード　　内部カウントソース(クロック源)をカウントするモード
・プログラマブル波形発生モード　　任意のパルス幅を連続して出力するモード

図12.13にタイマYのブロック図を、図12.14～図12.16にタイマY関連のレジスタを示します。

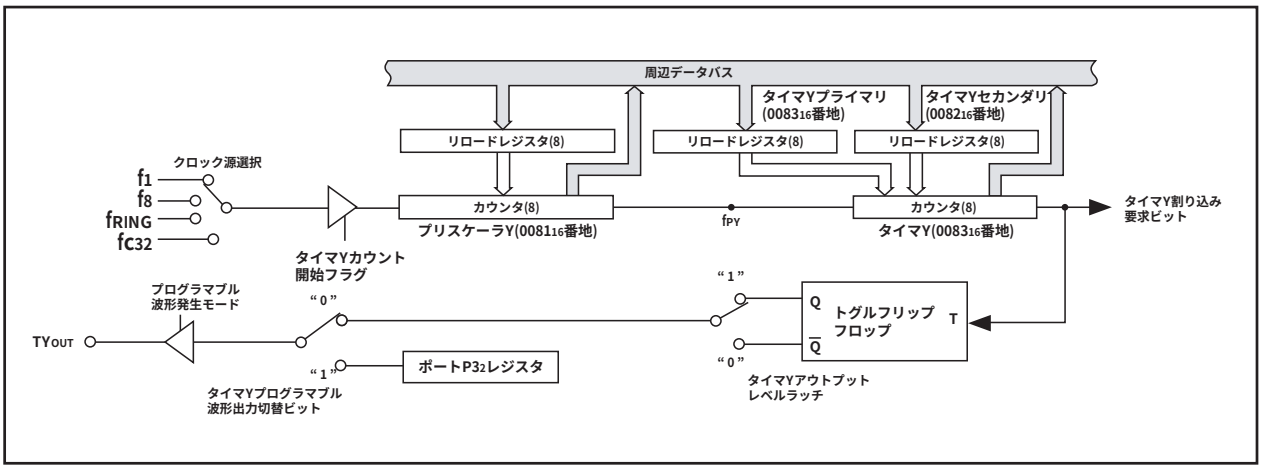


図12.13　タイマYのブロック図

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						☒	

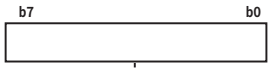
シンボル	アドレス	リセット時
TYZMR	0080₁₆番地	000000X0₂

ビットシンボル	ビット名	機　　能	RW
TYMOD0	タイマY動作モードビット	0：タイマモード 1：プログラマブル波形発生モード(注1)	RW
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY書き込み制御ビット	動作モードによって機能が異なる	RW
TYS	タイマYカウント開始フラグ	0：カウント停止(注2) 1：カウント開始	RW
TZMOD0	タイマZ動作モードビット(注3)	b5 b4 0 0：タイマモード 0 1：プログラマブル波形発生モード 1 0：プログラマブルワンショット発生モード 0 1：プログラマブルウェイトワンショット発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	動作モードによって機能が異なる	RW
TZS	タイマZカウント開始フラグ	0：カウント停止(注2) 1：カウント開始	RW

注1．プログラマブル波形発生モード選択時、P3₂は方向レジスタの値に無関係に出力になります。
注2．このビットを"0"にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。
　　タイマのカウント値は、タイマ停止前に読み出してください。
注3．タイマZ動作モードビットを"01"、"10"、"11"選択時は、P3₁は方向レジスタの値に無関係に出力になります。

図12.14　タイマY関連のレジスタ(1)

プリスケーラY

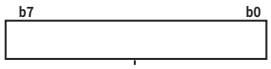


シンボル	アドレス	リセット時
PREY	0081_{16}番地	FF_{16}

機　　能	設定可能値	RW
●タイマモード 内部カウントソースをカウント	00_{16}～FF_{16}	RW
●プログラマブル波形発生モード 内部カウントソースをカウント	00_{16}～FF_{16} (注1)	RW

注1．波形拡張機能を使用するときは、“00_{16}”を設定してください。

タイマYセカンダリ

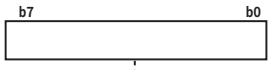


シンボル	アドレス	リセット時
TYSC	0082_{16}番地	FF_{16}

機　　能	設定可能値	RW
●タイマモード 無効	――	–
●プログラマブル波形発生モード プリスケーラYのアンダフローをカウント(注1)	00_{16}～FF_{16}	WO (注2)

注1．タイマYプライマリとタイマYセカンダリは交互にタイマYにリロードされ、カウントを行います。
注2．カウント値は、セカンダリ期間カウント中でもタイマYプライマリを読み出すことで読み出し可能です。

タイマYプライマリ

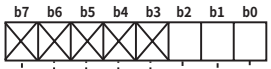


シンボル	アドレス	リセット時
TYPR	0083_{16}番地	FF_{16}

機　　能	設定可能値	RW
●タイマモード プリスケーラYのアンダフローをカウント	00_{16}～FF_{16}	RW
●プログラマブル波形発生モード プリスケーラYのアンダフローをカウント(注1)	00_{16}～FF_{16}	RW

注1．タイマYプライマリとタイマYセカンダリと交互にタイマYにリロードされ、カウントを行います。

タイマY、Z出力制御レジスタ



シンボル	アドレス	リセット時
TYZOC	$008A_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	RW
TZOS	タイマZワンショット開始ビット(注1)	0：ワンショット停止 1：ワンショット開始	RW
TYOCNT	タイマYプログラマブル波形発生出力切替ビット(注2)	0：プログラマブル波形出力 1：$P3_2$ポートレジスタの値を出力	RW
TZOCNT	タイマZプログラマブル波形発生出力切替ビット(注2)	0：プログラマブル波形出力 1：$P3_1$ポートレジスタの値を出力	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			–

注1．ワンショット波形出力終了後、自動的に“0”にクリアされます。ワンショット波形中に、カウント開始フラグをクリアすることで波形出力を停止した場合、その後プログラムでこのビットを“0”にしてください。
注2．プログラマブル波形発生モード時のみ有効です。

図12.15　タイマY関連のレジスタ(2)

タイマY、Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TYPUM0	タイマYプライマリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注1)	RW
TYPUM1	タイマYセカンダリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注1)	RW
TZPUM0	タイマZプライマリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注2)	RW
TZPUM1	タイマZセカンダリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注2)	RW
TYOPL	タイマYアウトプットレベルラッチ	動作モードによって機能が異なる	RW
TZOPL	タイマZアウトプットレベルラッチ	動作モードによって機能が異なる	RW
INOSTG	$\overline{INT_0}$端子ワンショットトリガ制御ビット(タイマZ)	0：$\overline{INT_0}$端子ワンショットトリガ無効 1：$\overline{INT_0}$端子ワンショットトリガ有効(注3)	RW
INOSEG	$\overline{INT_0}$端子ワンショットトリガ極性選択ビット(タイマZ)(注4)	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	RW

注1．このビットを“1”にするときは、必ずプリスケーラYレジスタに“00_{16}”を設定してください。
注2．このビットを“1”にするときは、必ずプリスケーラZレジスタに“00_{16}”を設定してください。
注3．このビットを“1”にするときは、$\overline{INT_0}$入力許可ビット(0096_{16}番地、ビット0)、$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)、$\overline{INT_0}$入力フィルタ選択ビット($001E_{16}$番地、ビット0、1)および$\overline{INT_0}$端子ワンショットトリガ極性選択ビットを設定後に“1”にしてください。
注4．このビットは$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)が“0”(片エッジ)のときのみ有効です。

タイマカウントソース設定レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TCSS	$008E_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TXCK0	タイマXカウントソース選択ビット(注1)	b1 b0 0 0：f_1 0 1：f_8 1 0：f_{32} 1 1：fc_{32}	RW
TXCK1			RW
TYCK0	タイマYカウントソース選択ビット(注1, 2)	b3 b2 0 0：f_1 0 1：f_8 1 0：オンチップオシレータ出力(注3) 1 1：fc_{32}	RW
TYCK1			RW
TZCK0	タイマZカウントソース選択ビット(注1, 4)	b5 b4 0 0：f_1 0 1：f_8 1 0：タイマYアンダフロー 1 1：fc_{32}	RW
TZCK1			RW
T1CK0	タイマ1カウントソース選択ビット	b7 b6 0 0：f_1 0 1：f_8 1 0：f_{32} 1 1：fc_{32}	RW
T1CK1			RW

注1．カウント動作中にカウントソースを切り替えないでください。
　　カウントソースを切り替える場合は、一度タイマのカウントを停止してください。
注2．カウントソースにf_1を選択する場合は、波形拡張機能は使用できません。
注3．オンチップオシレータ出力を選択する場合は、システムクロック制御レジスタ1(0007_{16}番地)のオンチップオシレータ発振許可ビット(CM14)を発振許可に設定してください。
注4．カウントソースにタイマYアンダフローおよびf_1を選択する場合は、波形拡張機能は使用できません。
　　タイマYアンダフローはタイマYプライマリのアンダフロー、タイマYセカンダリのアンダフローの両方をカウントします。

図12.16　タイマY関連のレジスタ(3)

12.3.1　タイマモード

内部で生成されたカウントソースをカウントするモードです。タイマモード時、タイマYセカンダリは使用しません。

表12.8にタイマモードの仕様を、図12.17にタイマモード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタを示します。

表12.8　タイマモードの仕様

項　目	仕　様
カウントソース	f1、f8、オンチップオシレータ出力、fC32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマYのアンダフロー時はタイマYプライマリリロードレジスタの内容をリロード) ●カウント停止時、リロードレジスタの内容をリロードし停止
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラYの設定値、m:タイマYプライマリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	タイマYのアンダフロー時
TYOUT端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマYプライマリレジスタ、プリスケーラYレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマYプライマリレジスタ、プリスケーラYレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれる(ソフトウェアで選択)
選択機能	●タイマY書き込み制御機能(注2) タイマYプライマリレジスタ、プリスケーラYレジスタに書き込んだ時、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれるかを選択可

注1. カウント停止時、タイマY割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマY割り込み要求ビットを“0”にしてください。

注2. 下記2項の条件が重なった状態でタイマYまたはプリスケーラYに書き込みを行うと、タイマY割り込み要求ビットが“1”になり、割り込みが発生します。
・タイマY書き込み制御ビット(0080₁₆番地のビット2)が“0”(リロードレジスタおよびカウンタへの同時書き込み)
・タイマYカウント開始フラグ(0080₁₆番地のビット3)が“1”(カウント開始)
上記の状態でタイマYまたはプリスケーラYに書き込みを行う場合は、書き込む前に割り込みを禁止してください。

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						X	0

シンボル	アドレス	リセット時
TYZMR	0080_{16}番地	$000000X0_2$

ビットシンボル	ビット名	機　能	RW
TYMOD0	タイマY動作モードビット	0 : タイマモード	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY書き込み制御ビット	0 : リロードレジスタおよびカウンタへ同時書き込み(注1) 1 : リロードレジスタのみ書き込み	RW
TYS	タイマYカウント開始フラグ	0 : カウント停止(注2) 1 : カウント開始	RW
TZMOD0	タイマZ関連ビット		RW
TZMOD1			RW
TZWC			RW
TZS			RW

注1．このビットが“0”の場合、タイマYカウント中にプリスケーラYに書き込みを行うと、同時にタイマYはリロードレジスタの内容をリロードします。
注2．このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。
タイマのカウント値は、タイマ停止前に読み出してください。

タイマY、Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TYPUM0	タイマYプライマリ波形拡張制御ビット	タイマモードでは無効	RW
TYPUM1	タイマYセカンダリ波形拡張制御ビット	タイマモードでは無効	RW
TZPUM0	タイマZ関連ビット		RW
TZPUM1			RW
TYOPL	タイマYアウトプットレベルラッチ	タイマモードでは無効	RW
TZOPL	タイマZ関連ビット		RW
INOSTG			RW
INOSEG			RW

図12.17　タイマモード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタ

12.3.2　プログラマブル波形発生モード

タイマYプライマリとタイマYセカンダリの設定値を交互にカウントし、タイマYプライマリまたはタイマYセカンダリがアンダフローするごとに、極性を反転したパルスをTYOUT端子から出力するモードです。カウント開始時は、タイマYプライマリに設定した値からカウントを行います。

表12.9にプログラマブル波形発生モードの仕様を、図12.18にプログラマブル波形発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタを、図12.19に動作例を示します。

表12.9　プログラマブル波形発生モードの仕様

項　　目	仕　　様
カウントソース	f1、f8、オンチップオシレータ出力、fC32
カウント動作	●ダウンカウント ●アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続 ●カウント停止時、リロードレジスタの内容をリロードし停止
周波数	$\frac{fi}{(n+1)\times((m+1)+(l+1))}$ n:プリスケーラYの設定値、m:タイマYプライマリの設定値、l:タイマYセカンダリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	セカンダリ期間のタイマYのアンダフロー時
TYOUT端子機能	パルス出力(注2)
タイマの読み出し	タイマYプライマリレジスタ、プリスケーラYレジスタを読み出すと、それぞれカウント値が読み出される(注3)
タイマの書き込み	タイマYプライマリレジスタ、タイマYセカンダリレジスタ、プリスケーラYレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	●アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間のカウント中の波形の出力レベルを選択可能 ●プログラマブル波形発生出力切り替え機能(注5) プログラマブル波形出力またはポートP32レジスタの出力を切り替え可能 ●波形拡張機能(注6) 波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分拡張可能 波形拡張時の周波数：2×fi/((2×(m+1))+(2×(l+1))+TYPUM0+TYPUM1) デューティ：(2×(m+1)+TYPUM0)/((2×(m+1)+TYPUM0)+(2×(l+1)+TYPUM1)) m:タイマYプライマリの設定値、l:タイマYセカンダリの設定値 TYPUM0:タイマYプライマリ波形拡張制御ビット TYPUM1:タイマYセカンダリ波形拡張制御ビット

注1. カウント停止時、タイマY割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。カウント停止前に割り込みを禁止してください。また、カウントを再度開始する前にタイマY割り込み要求ビットを“0”にしてください。

注2. カウント停止時の端子出力は、セカンダリ期間の出力レベルです。

注3. セカンダリ期間をカウント中でも、タイマYプライマリレジスタを読み出してください。

注4. タイマYプライマリレジスタへの書き込み動作より、タイマYプライマリレジスタ、タイマYセカンダリレジスタ、および波形拡張ビットに設定した値が有効になります。波形の出力は、タイマYプライマリレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注5. 出力が切り替わるタイミングは、タイマYセカンダリのアンダフローに同期します。

注6. 波形拡張機能を使用するときは、プリスケーラYレジスタには“00₁₆”を設定してください。

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
					1	X	1

シンボル	アドレス	リセット時
TYZMR	008_{16}番地	$000000X0_2$

ビットシンボル	ビット名	機　　能	RW
TYMOD0	タイマY動作モードビット	1：プログラマブル波形発生モード (注1)	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY書き込み制御ビット	1：プログラマブル波形発生モードでは“1”に設定してください。	RW
TYS	タイマYカウント開始フラグ	0：カウント停止(注2) 1：カウント開始	RW
TZMOD0	タイマZ関連ビット		RW
TZMOD1			RW
TZWC			RW
TZS			RW

注1．$P3_2$は方向レジスタの値に無関係に出力になります。
注2．このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。
　　タイマのカウント値は、タイマ停止前に読み出してください。

タイマY、Z波形出力制御レジスタ

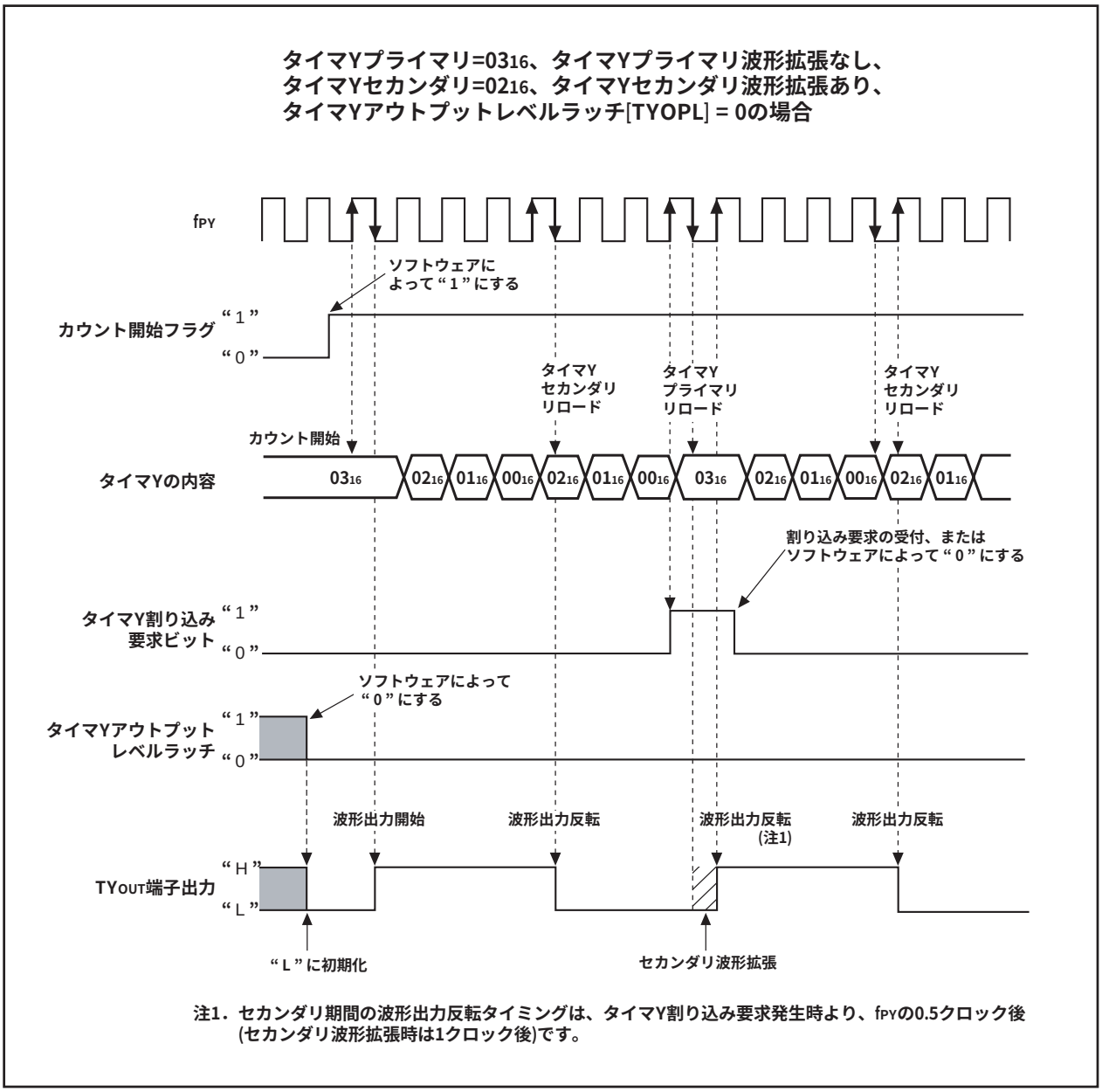
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TYPUM0	タイマYプライマリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注1、2)	RW
TYPUM1	タイマYセカンダリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注1、2)	RW
TZPUM0	タイマZ関連ビット		RW
TZPUM1			RW
TYOPL	タイマYアウトプットレベルラッチ	0：ﾀｲﾏYﾌﾟﾗｲﾏﾘによる“H”期間とﾀｲﾏYｾｶﾝﾀﾞﾘによる“L”期間を出力、タイマ停止時は“L”を出力 1：ﾀｲﾏYﾌﾟﾗｲﾏﾘによる“L”期間とﾀｲﾏYｾｶﾝﾀﾞﾘによる“H”期間を出力、タイマ停止時は“H”を出力	RW
TZOPL	タイマZ関連ビット		RW
INOSTG			RW
INOSEG			RW

注1．このビットを“1”にするときは、必ずプリスケーラYレジスタに“00_{16}”を設定してください。
注2．カウントソースにf_1を選択する場合は、波形拡張機能は使用できません。

図12.18　プログラマブル波形発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタ



注1．セカンダリ期間の波形出力反転タイミングは、タイマY割り込み要求発生時より、fPYの0.5クロック後(セカンダリ波形拡張時は1クロック後)です。

図12.19　プログラマブル波形発生モード時のタイマYの動作例

■プログラマブル波形発生出力切り替え機能

タイマYプログラマブル波形出力切替ビット(008A₁₆番地のビット1)を“0”に設定すると、タイマYセカンダリのアンダフローに同期してTYOUTの出力を反転します。

“1”に設定すると、タイマYセカンダリのアンダフローに同期して、ポートP32レジスタの値をTYOUTから出力します。

12.4　タイマZ

タイマZは、8ビットプリスケーラ付き8ビットタイマです。タイマZは、リロードレジスタとしてタイマZプライマリ、タイマZセカンダリの2つのレジスタを持ちます。タイマZは、次の4種類のモードがあります。

・タイマモード	内部カウントソース(クロック源)またはタイマYのアンダフローをカウントするモード
・プログラマブル波形発生モード	任意のパルス幅を連続して出力するモード
・プログラマブルワンショット発生モード	ワンショットパルスを出力するモード
・プログラマブルウェイトワンショット発生モード	ディレイドワンショットパルスを出力するモード

図12.20にタイマZのブロック図を、図12.21～図12.24にタイマZ関連のレジスタを示します。

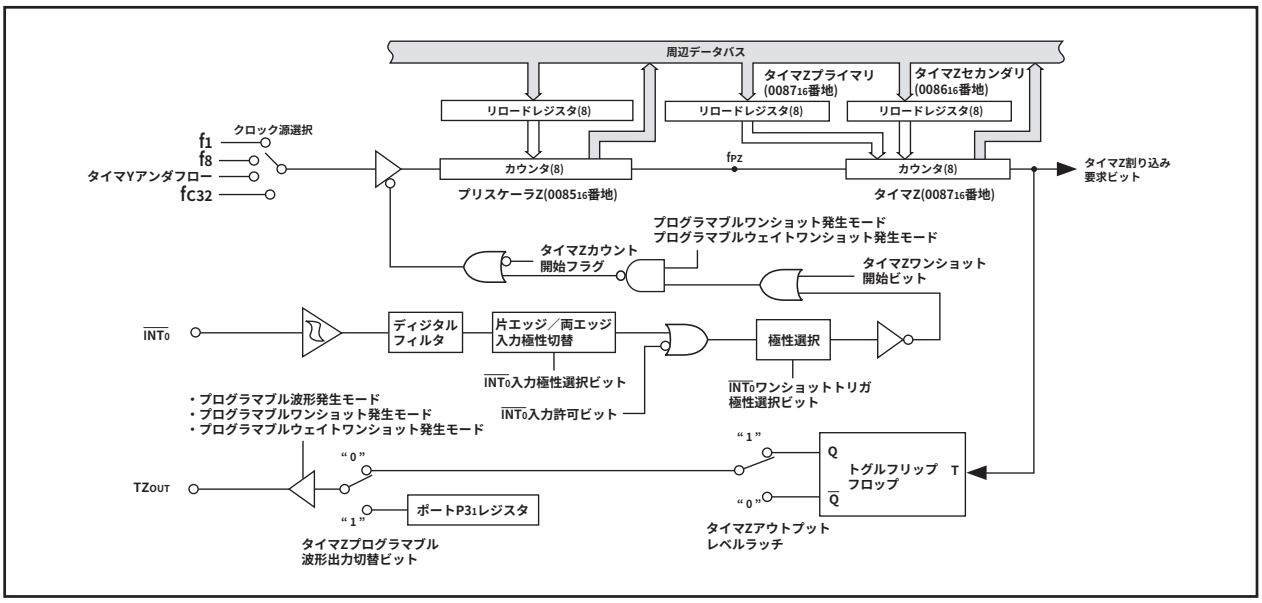
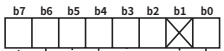


図12.20　タイマZのブロック図

タイマY、Zモードレジスタ



シンボル	アドレス	リセット時
TYZMR	0080₁₆番地	000000X0₂

ビットシンボル	ビット名	機　能	RW
TYMOD0	タイマY動作モードビット	0：タイマモード 1：プログラマブル波形発生モード(注1)	RW
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY書き込み制御ビット	動作モードによって機能が異なる	RW
TYS	タイマYカウント開始フラグ	0：カウント停止(注2) 1：カウント開始	RW
TZMOD0	タイマZ動作モードビット(注3)	b5 b4 0 0：タイマモード 0 1：プログラマブル波形発生モード 1 0：プログラマブルワンショット発生モード 1 1：プログラマブルウェイトワンショット発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	動作モードによって機能が異なる	RW
TZS	タイマZカウント開始フラグ	0：カウント停止(注2) 1：カウント開始	RW

注1．プログラマブル波形発生モード選択時、P32は方向レジスタの値に無関係に出力になります。
注2．このビットを"0"にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。
　　タイマのカウント値は、タイマ停止前に読み出してください。
注3．タイマZ動作モードビットを"01"、"10"、"11"選択時は、P31は方向レジスタの値に無関係に出力になります。

図12.21　タイマZ関連のレジスタ(1)

プリスケーラZ

b7　　b0

シンボル	アドレス	リセット時
PREZ	0085$_{16}$番地	FF$_{16}$

機　　能	設定可能値	RW
●タイマモード 内部カウントソース、またはタイマYアンダフローをカウント	00$_{16}$～FF$_{16}$	RW
●プログラマブル波形発生モード 内部カウントソース、またはタイマYアンダフローをカウント	00$_{16}$～FF$_{16}$ (注1)	RW
●プログラマブルワンショット発生モード 内部カウントソース、またはタイマYアンダフローをカウント	00$_{16}$～FF$_{16}$ (注1)	RW
●プログラマブルウェイトワンショット発生モード 内部カウントソース、またはタイマYアンダフローをカウント	00$_{16}$～FF$_{16}$ (注1)	RW

注1．波形拡張機能を使用するときは、“00$_{16}$”を設定してください。

タイマZセカンダリ

b7　　b0

シンボル	アドレス	リセット時
TZSC	0086$_{16}$番地	FF$_{16}$

機　　能	設定可能値	RW
●タイマモード 無効	——	–
●プログラマブル波形発生モード プリスケーラZのアンダフローをカウント(注1)	00$_{16}$～FF$_{16}$	WO (注2)
●プログラマブルワンショット発生モード 無効	——	–
●プログラマブルウェイトワンショット発生モード プリスケーラZのアンダフローをカウント (ワンショット幅をカウント)	00$_{16}$～FF$_{16}$	WO

注1．タイマZプライマリとタイマZセカンダリは交互にタイマZにリロードされ、カウントを行います。
注2．カウント値は、セカンダリ期間カウント中でもタイマZプライマリを読み出すことで読み出し可能です。

タイマZプライマリ

b7　　b0

シンボル	アドレス	リセット時
TZPR	0087$_{16}$番地	FF$_{16}$

機　　能	設定可能値	RW
●タイマモード プリスケーラZのアンダフローをカウント	00$_{16}$～FF$_{16}$	RW
●プログラマブル波形発生モード プリスケーラZのアンダフローをカウント(注1)	00$_{16}$～FF$_{16}$	RW
●プログラマブルワンショット発生モード プリスケーラZのアンダフローをカウント (ワンショット幅をカウント)	00$_{16}$～FF$_{16}$	RW
●プログラマブルウェイトワンショット発生モード プリスケーラZのアンダフローをカウント (ウェイト期間をカウント)	00$_{16}$～FF$_{16}$	RW

注1．タイマZプライマリとタイマZセカンダリと交互にタイマZにリロードされ、カウントを行います。

図12.22　タイマZ関連のレジスタ(2)

タイマY、Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TYPUM0	タイマYプライマリ波形拡張制御ビット	0 : 波形拡張なし 1 : 波形拡張あり(注1)	RW
TYPUM1	タイマYセカンダリ波形拡張制御ビット	0 : 波形拡張なし 1 : 波形拡張あり(注1)	RW
TZPUM0	タイマZプライマリ波形拡張制御ビット	0 : 波形拡張なし 1 : 波形拡張あり(注2)	RW
TZPUM1	タイマZセカンダリ波形拡張制御ビット	0 : 波形拡張なし 1 : 波形拡張あり(注2)	RW
TYOPL	タイマYアウトプットレベルラッチ	動作モードによって機能が異なる	RW
TZOPL	タイマZアウトプットレベルラッチ	動作モードによって機能が異なる	RW
INOSTG	$\overline{INT_0}$端子ワンショットトリガ制御ビット(タイマZ)	0 : $\overline{INT_0}$端子ワンショットトリガ無効 1 : $\overline{INT_0}$端子ワンショットトリガ有効(注3)	RW
INOSEG	$\overline{INT_0}$端子ワンショットトリガ極性選択ビット(タイマZ)(注4)	0 : 立ち下がりエッジトリガ 1 : 立ち上がりエッジトリガ	RW

注1．このビットを“1”にするときは、必ずプリスケーラYレジスタに“00_{16}”を設定してください。
注2．このビットを“1”にするときは、必ずプリスケーラZレジスタに“00_{16}”を設定してください。
注3．このビットを“1”にするときは、$\overline{INT_0}$入力許可ビット(0096_{16}番地、ビット0)、$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)、$\overline{INT_0}$入力フィルタ選択ビット($001E_{16}$番地、ビット0、1)および$\overline{INT_0}$端子ワンショットトリガ極性選択ビットを設定後に“1”にしてください。
注4．このビットは$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)が“0”(片エッジ)のときのみ有効です。

タイマカウントソース設定レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

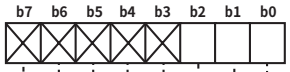
シンボル	アドレス	リセット時
TCSS	$008E_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TXCK0	タイマXカウントソース選択ビット(注1)	b1 b0 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	RW
TXCK1			RW
TYCK0	タイマYカウントソース選択ビット(注1, 2)	b3 b2 0 0 : f_1 0 1 : f_8 1 0 : オンチップオシレータ出力(注3) 1 1 : fc_{32}	RW
TYCK1			RW
TZCK0	タイマZカウントソース選択ビット(注1, 4)	b5 b4 0 0 : f_1 0 1 : f_8 1 0 : タイマYアンダフロー 1 1 : fc_{32}	RW
TZCK1			RW
T1CK0	タイマ1カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : fc_{32}	RW
T1CK1			RW

注1．カウント動作中にカウントソースを切り替えないでください。
　　カウントソースを切り替える場合は、一度タイマのカウントを停止してください。
注2．カウントソースにf_1を選択する場合は、波形拡張機能は使用できません。
注3．オンチップオシレータ出力を選択する場合は、システムクロック制御レジスタ1(0007_{16}番地)のオンチップオシレータ発振許可ビット(CM14)を発振許可に設定してください。
注4．カウントソースにタイマYアンダフローおよびf_1を選択する場合は、波形拡張機能は使用できません。
　　タイマYアンダフローはタイマYプライマリのアンダフロー、タイマYセカンダリのアンダフローの両方をカウントします。

図12.23　タイマZ関連のレジスタ(3)

タイマY、Z出力制御レジスタ

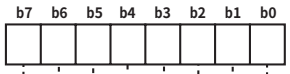


シンボル	アドレス	リセット時
TYZOC	008A16番地	XXXXX0002

ビットシンボル	ビット名	機　　能	RW
TZOS	タイマZワンショット開始ビット(注1)	0：ワンショット停止 1：ワンショット開始	RW
TYOCNT	タイマYプログラマブル波形発生出力切替ビット(注2)	0：プログラマブル波形出力 1：P32ポートレジスタの値を出力	RW
TZOCNT	タイマZプログラマブル波形発生出力切替ビット(注2)	0：プログラマブル波形出力 1：P31ポートレジスタの値を出力	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—

注1．ワンショット波形出力終了後、自動的に“0”にクリアされます。ワンショット波形出力中に、カウント開始フラグをクリアして波形出力を停止した場合は、その後プログラムでこのビットを“0”にしてください。
注2．プログラマブル波形発生モード時のみ有効です。

外部入力許可レジスタ

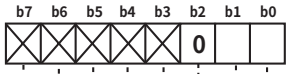


シンボル	アドレス	リセット時
INTEN	009616番地	0016

ビットシンボル	ビット名	機　　能	RW
INT0EN	$\overline{\text{INT}}_0$入力許可ビット(注1)	0：禁止 1：許可	RW
INT0PL	$\overline{\text{INT}}_0$入力極性選択ビット(注1)	0：片エッジ 1：両エッジ	RW
INT1EN	$\overline{\text{INT}}_1$入力許可ビット	0：禁止 1：許可	RW
INT1PL	$\overline{\text{INT}}_1$入力極性選択ビット	0：片エッジ 1：両エッジ	RW
INT2EN	$\overline{\text{INT}}_2$入力許可ビット	0：禁止 1：許可	RW
INT2PL	$\overline{\text{INT}}_2$入力極性選択ビット	0：片エッジ 1：両エッジ	RW
INT3EN	$\overline{\text{INT}}_3$入力許可ビット	0：禁止 1：許可	RW
INT3PL	$\overline{\text{INT}}_3$入力極性選択ビット	0：片エッジ 1：両エッジ	RW

注1．このビットは$\overline{\text{INT}}_0$端子ワンショットトリガ制御ビット(0084₁₆番地、ビット6)が“0”($\overline{\text{INT}}_0$端子ワンショットトリガ無効)の状態で書き換えてください。

$\overline{\text{INT0}}$入力フィルタ選択レジスタ



シンボル	アドレス	リセット時
INT0F	001E16番地	XXXXX0002

ビットシンボル	ビット名	機　　能	RW
INT0F0	$\overline{\text{INT}}_0$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：f1サンプリングでフィルタあり 1 0：f8サンプリングでフィルタあり 1 1：f32サンプリングでフィルタあり	RW
INT0F1			RW
INT0F2	UART0受信ハードウェア割り込み許可ビット(注1)	0：禁止 1：許可	RW
何も配置されていない。 書き込む場合、書き込めない。読み出した場合、その内容は不明。			—

注1．デバッガ専用割り込みです。

図12.24　タイマZ関連のレジスタ(4)

12.4.1　タイマモード

内部で生成されたカウントソースまたはタイマYのアンダフローをカウントするモードです。タイマモード時、タイマZセカンダリは使用しません。

表12.10にタイマモードの仕様を、図12.25にタイマモード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタを示します。

表12.10　タイマモードの仕様

項　目	仕　様
カウントソース	f1、f8、タイマYアンダフロー、fC32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード) ●カウント停止時、リロードレジスタの内容をリロードし停止
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラZの設定値、m:タイマZプライマリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	タイマZのアンダフロー時
TZOUT端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、または外部割り込み入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケーラZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマZプライマリレジスタ、プリスケーラZレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれる(ソフトウェアで選択)
選択機能	●タイマZ書き込み制御機能(注2) タイマZプライマリレジスタ、プリスケーラZレジスタに書き込んだ時、それぞれリロードレジスタおよびカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれるかを選択可

注1. カウント停止時、タイマZ割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。

注2. 下記2項の条件が重なった状態でタイマZまたはプリスケーラZに書き込みを行うと、タイマZ割り込み要求ビットが“1”になり、割り込みが発生します。

・タイマZ書き込み制御ビット(0080₁₆番地のビット6)が“0”(リロードレジスタおよびカウンタへの同時書き込み)

・タイマZカウント開始フラグ(0080₁₆番地のビット7)が“1”(カウント開始)

上記の状態でタイマZまたはプリスケーラZに書き込みを行う場合は、書き込む前に割り込みを禁止してください。

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	0			X	

シンボル	アドレス	リセット時
TYZMR	008_{16}番地	$000000X0_2$

ビットシンボル	ビット名	機　能	RW
TYMOD0	タイマY関連ビット		RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			–
TYWC	タイマY関連ビット		RW
TYS			RW
TZMOD0	タイマZ動作モードビット	b5 b4 0 0 : タイマモード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	0 : リロードレジスタおよびカウンタへ同時書き込み(注1) 1 : リロードレジスタのみ書き込み	RW
TZS	タイマZカウント開始フラグ	0 : カウント停止(注2) 1 : カウント開始	RW

注1．このビットが“0”の場合、タイマZカウント中にプリスケーラZに書き込みを行うと、同時にタイマZはリロードレジスタの内容をリロードします。
注2．このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

タイマY、Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TYPUM0	タイマY関連ビット		RW
TYPUM1			RW
TZPUM0	タイマZプライマリ波形拡張制御ビット	タイマモードでは無効	RW
TZPUM1	タイマZセカンダリ波形拡張制御ビット	タイマモードでは無効	RW
TYOPL	タイマY関連ビット		RW
TZOPL	タイマZアウトプットレベルラッチ	タイマモードでは無効	RW
INOSTG	$\overline{INT_0}$端子ワンショットトリガ制御ビット	タイマモードでは無効	RW
INOSTG	$\overline{INT_0}$端子ワンショットトリガ極性制御ビット	タイマモードでは無効	RW

図12.25　タイマモード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタ

12.4.2　プログラマブル波形発生モード

タイマZプライマリとタイマZセカンダリの設定値を交互にカウントし、タイマZプライマリまたはタイマZセカンダリがアンダフローするごとに、極性を反転したパルスをTZOUT端子から出力するモードです。カウント開始時は、タイマZプライマリに設定した値からカウントを行います。

表12.11にプログラマブル波形発生モードの仕様を、図12.26にプログラマブル波形発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタを示します。

タイマZのプログラマブル波形発生モードは、タイマYのプログラマブル波形発生モードと同様の動作を行いますので、動作例は「図12.19 プログラマブル波形発生モード時のタイマYの動作例」を参照してください。

表12.11　プログラマブル波形発生モードの仕様

項　目	仕　様
カウントソース	f_1、f_8、タイマYアンダフロー、f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続 ●カウント停止時、リロードレジスタの内容をリロードし停止
周波数	$\frac{fi}{(n+1)\times((m+1)+(l+1))}$ n:プリスケーラZの設定値、m:タイマZプライマリの設定値、l:タイマZセカンダリの設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み(注1)
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフロー時
TZOUT端子機能	パルス出力(注2)
$\overline{INT_0}$端子機能	プログラマブル入出力ポート、または外部割り込み入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケーラZレジスタを読み出すと、それぞれカウント値が読み出される(注3)
タイマの書き込み	タイマZプライマリレジスタ、タイマZセカンダリレジスタ、プリスケーラZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	●アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間のカウント中の波形の出力レベルを選択可能 ●プログラマブル波形発生切り替え機能(注5) プログラマブル波形出力またはポートP32レジスタの出力を切り替え可能 ●波形拡張機能(注6) 波形出力のプライマリ期間、セカンダリ期間をそれぞれカウントソースの0.5サイクル分拡張可能 波形拡張時の周波数：2×fi/((2×(m+1))+(2×(l+1))+TZPUM0+TZPUM1) デューティ：(2×(m+1)+TZPUM0)/((2×(m+1)+TZPUM0)+(2×(l+1)+TZPUM1)) m:タイマZプライマリの設定値、l:タイマZセカンダリの設定値 TZPUM0:タイマZプライマリ波形拡張制御ビット TZPUM1:タイマZセカンダリ波形拡張制御ビット

注1. カウント停止時、タイマZ割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。カウント停止前に割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。
注2. カウント停止時の端子出力は、セカンダリ期間の出力レベルです。
注3. セカンダリ期間をカウント中でも、タイマZプライマリレジスタを読み出してください。
注4. タイマZプライマリレジスタへの書き込み動作より、タイマZプライマリレジスタ、タイマZセカンダリレジスタ、および波形拡張ビットに設定した値が有効になります。波形の出力は、タイマZプライマリレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。
注5. 出力が切り替わるタイミングはタイマZセカンダリのアンダフローに同期します。
注6. 波形拡張機能を使用するときは、プリスケーラZレジスタには“00_{16}”を設定してください。
カウントソースにタイマYアンダフローまたはf_1を選択する場合、波形拡張機能は使用できません。

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	1	0	1			X	

シンボル	アドレス	リセット時
TYZMR	0080_{16}番地	$000000X0_2$

ビットシンボル	ビット名	機　能	RW
TYMOD0	タイマY関連ビット		RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY関連ビット		RW
TYS			RW
TZMOD0	タイマZ動作モードビット	b5 b4 0 1：プログラマブル波形発生モード (注1)	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	1：プログラマブル波形発生モードでは“1”に設定してください。	RW
TZS	タイマZカウント開始フラグ	0：カウント停止(注2) 1：カウント開始	RW

注1．プログラマブル波形発生モード選択時、$P3_1$は方向レジスタの値に無関係に出力になります。
注2．このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

タイマY、Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TYPUM0	タイマY関連ビット		RW
TYPUM1			RW
TZPUM0	タイマZプライマリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注1)	RW
TZPUM1	タイマZセカンダリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり(注1)	RW
TYOPL	タイマY関連ビット		RW
TZOPL	タイマZアウトプットレベルラッチ	0：ﾀｲﾏZﾌﾟﾗｲﾏﾘによる“H”期間とﾀｲﾏZｾｶﾝﾀﾞﾘによる“L”期間を出力、タイマ停止時は“L”を出力 1：ﾀｲﾏZﾌﾟﾗｲﾏﾘによる“L”期間とﾀｲﾏZｾｶﾝﾀﾞﾘによる“H”期間を出力、タイマ停止時は“H”を出力	RW
INOSTG	$\overline{INT_0}$端子ワンショットトリガ制御ビット	プログラマブル波形発生モードでは無効	RW
INOSEG	$\overline{INT_0}$端子ワンショットトリガ極性制御ビット	プログラマブル波形発生モードでは無効	RW

注1．このビットを“1”にするときは、必ずプリスケーラZレジスタに“00_{16}”を設定してください。

図12.26　プログラマブル波形発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタ

12.4.3 プログラマブルワンショット発生モード

ソフトウェアまたは外部トリガ($\overline{\text{INT0}}$端子の入力)により、ワンショットパルスをTZOUT端子から出力するモードです。トリガが発生するとその時点から任意の時間(タイマZプライマリの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、タイマZセカンダリは使用しません。

表12.12にプログラマブルワンショット発生モードの仕様を、図12.27にプログラマブルワンショット発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタを、図12.28に動作例を示します。

表12.12 プログラマブルワンショット発生モードの仕様

項　目	仕　様
カウントソース	f1、f8、タイマYアンダフロー、fC32
カウント動作	●タイマZプライマリの設定値をダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを停止 ●カウント停止時、リロードレジスタの内容をリロードし停止
分周比	$\frac{1}{(n+1)\times(m+1)}$　n:プリスケーラZの設定値、m:タイマZプライマリの設定値
カウント開始条件	●タイマZワンショット開始ビットへの“1”書き込み(注1) ●$\overline{\text{INT0}}$端子への有効トリガ入力(注2)
カウント停止条件	●カウントの値が00₁₆になりリロードした後 ●カウント開始フラグへの“0”書き込み ●タイマZワンショット開始ビットへの“0”書き込み(注3)
割り込み要求発生タイミング	カウントの値が00₁₆になるタイミング
TZOUT端子機能	パルス出力
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、外部割り込み入力端子、または外部トリガ入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケーラZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマZプライマリレジスタ、プリスケーラZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	●アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルを選択可能 ●$\overline{\text{INT0}}$端子ワンショットトリガ制御機能および極性選択機能 $\overline{\text{INT0}}$端子からのトリガ入力に対し有効／無効を選択可能、かつ有効トリガの極性を選択可能(立ち上がり、立ち下がり、両エッジ) ●波形拡張機能(注5) ワンショットパルス波形を、カウントソースの0.5サイクル分拡張可能 波形拡張時の分周比：2/(n+1)/((2×(m+1))+TZPUM0) n:プリスケーラZの設定値、m:タイマZプライマリの設定値 TZPUM0:タイマZプライマリ波形拡張制御ビット

注1. カウント開始フラグが“1”に設定されている必要があります。
注2. カウント開始フラグが“1”、INT0入力許可ビット[INT0EN]が“1”、およびINT0端子ワンショットトリガ制御ビットが“1”に設定されている必要があります。
注3. カウント開始フラグまたはタイマZワンショット開始ビットへの“0”書き込みによるカウント停止時、タイマZ割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。
注4. 各設定値は、タイマZプライマリレジスタへの書き込み動作よって有効となり、タイマZプライマリレジスタへ書き込んだ次のワンショットパルスから一括して反映されます。
注5. 波形拡張機能を使用するときは、プリスケーラZレジスタには“00₁₆”を設定してください。カウントソースにタイマYアンダフローまたはf1を選択する場合、波形拡張機能は使用できません。

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	1	1	0			X	

シンボル	アドレス	リセット時
TYZMR	0080_{16}番地	$000000X0_2$

ビットシンボル	ビット名	機　　能	RW
TYMOD0	タイマY関連ビット		RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY関連ビット		RW
TYS			RW
TZMOD0	タイマZ動作モードビット	b5 b4 1 0：プログラマブルワンショット発生モード（注1）	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	1：プログラマブルワンショット発生モードでは“1”に設定してください。	RW
TZS	タイマZカウント開始フラグ	0：カウント停止　（注2） 1：カウント開始	RW

注1．プログラマブルワンショット発生モード選択時、$P3_1$は方向レジスタの値に無関係に出力になります。
注2．このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

タイマY、Z波形出力制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TYPUM0	タイマY関連ビット		RW
TYPUM1			RW
TZPUM0	タイマZプライマリ波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり　（注1）	RW
TZPUM1	タイマZセカンダリ波形拡張制御ビット	プログラマブルワンショット発生モードでは無効	RW
TYOPL	タイマY関連ビット		RW
TZOPL	タイマZアウトプットレベルラッチ	0：“H”レベルのワンショットパルスを出力、タイマ停止時は“L”を出力 1：“L”レベルのワンショットパルスを出力、タイマ停止時は“H”を出力	RW
INOSTG	$\overline{INT_0}$端子ワンショットトリガ制御ビット	0：$\overline{INT_0}$端子ワンショットトリガ無効 1：$\overline{INT_0}$端子ワンショットトリガ有効（注2）	RW
INOSEG	$\overline{INT_0}$端子ワンショットトリガ極性選択ビット（注3）	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	RW

注1．このビットを“1”にするときは、必ずプリスケーラZレジスタに“00_{16}”を設定してください。
注2．このビットを“1”にするときは、$\overline{INT_0}$入力許可ビット(0096_{16}番地、ビット0)、$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)、$\overline{INT_0}$入力フィルタ選択ビット($001E_{16}$番地、ビット0、1)および$\overline{INT_0}$端子ワンショットトリガ極性選択ビットを設定後に“1”にしてください。
注3．このビットは$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)が“0”(片エッジ)のときのみ有効です。

図12.27　プログラマブルワンショット発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタ

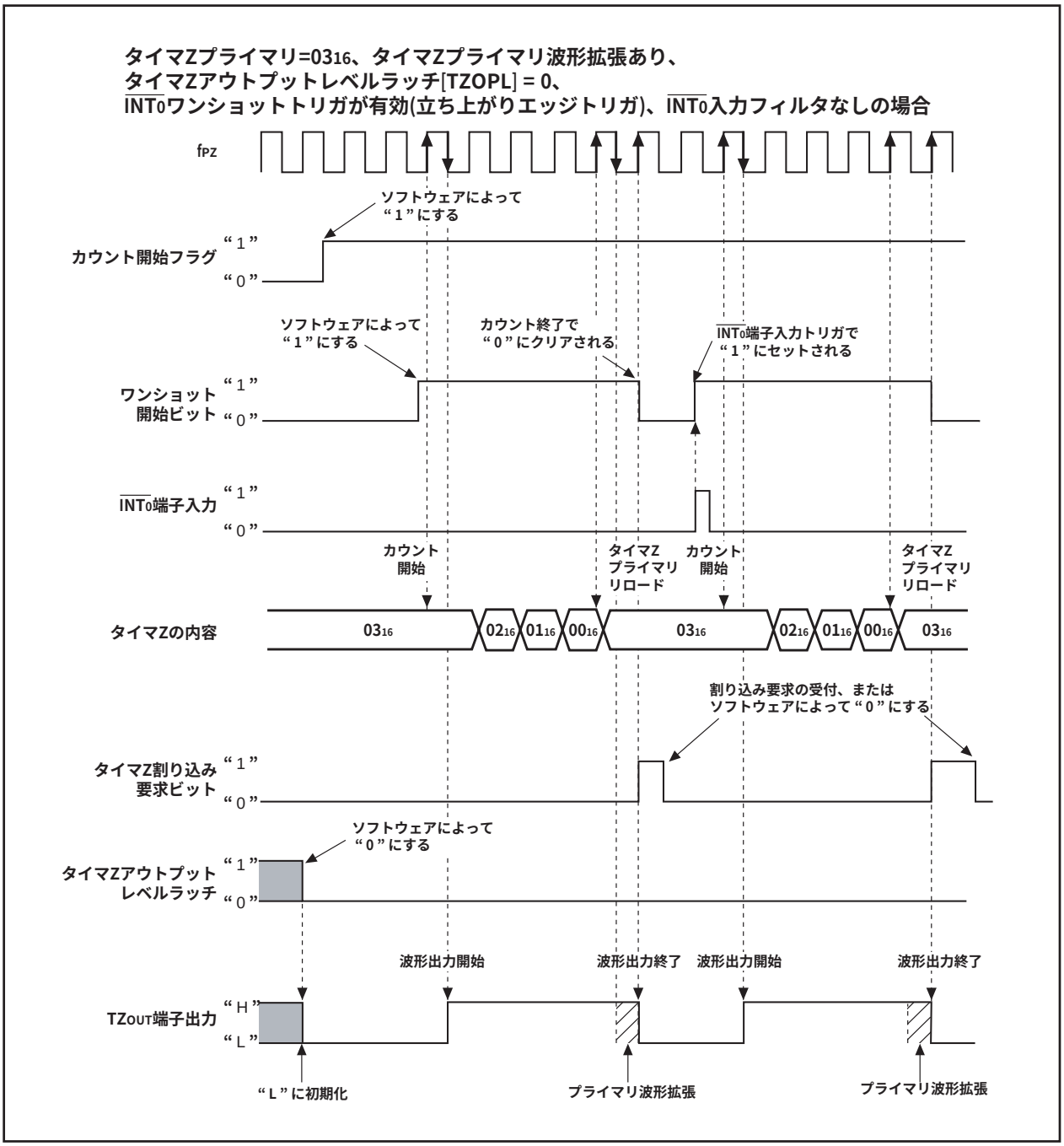


図12.28　プログラマブルワンショット発生モード時の動作例

12.4.4 プログラマブルウェイトワンショット発生モード

ソフトウェアまたは外部トリガ($\overline{\text{INT0}}$端子の入力)により、一定時間後にワンショットパルスをTZOUT端子から出力するモードです。トリガが発生すると、その時点から任意の時間(タイマZプライマリの設定値)後、一度だけ任意の時間(タイマZセカンダリの設定値)パルス出力を行います。

表12.13にプログラマブルウェイトワンショット発生モードの仕様を、図12.29にプログラマブルウェイトワンショット発生モード時のタイマY、Zモードレジスタおよびタイマ Y、Z波形出力制御レジスタを、図12.30に動作例を示します。

表12.13 プログラマブルウェイトワンショット発生モードの仕様

項　目	仕　様
カウントソース	f1、f8、タイマYアンダフロー、fC32
カウント動作	●タイマZプライマリの設定値をダウンカウント ●タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続 ●タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容をリロードしてカウントを停止 ●カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	(n+1)×(m+1)/fi　n:プリスケーラZの設定値、m:タイマZプライマリの設定値
ワンショットパルス出力時間	(n+1)×(l+1)/fi　n:プリスケーラZの設定値、l:タイマZセカンダリの設定値
カウント開始条件	●タイマZワンショット開始ビットへの“1”書き込み(注1) ●$\overline{\text{INT0}}$端子への有効トリガ入力(注2)
カウント停止条件	●タイマZセカンダリカウント時のカウントの値が00₁₆になりリロードした後 ●カウント開始フラグへの“0”書き込み ●タイマZワンショット開始ビットへの“0”書き込み(注3)
割り込み要求発生タイミング	タイマZセカンダリカウント時のカウント値が00₁₆になるタイミング
TZOUT端子機能	パルス出力
INT0端子機能	プログラマブル入出力ポート、外部割り込み入力端子、または外部トリガ入力端子
タイマの読み出し	タイマZプライマリレジスタ、プリスケーラZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	タイマZプライマリレジスタ、プリスケーラZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注4)
選択機能	●アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルを選択可能 ●$\overline{\text{INT0}}$端子ワンショットトリガ制御機能および極性選択機能 $\overline{\text{INT0}}$端子からのトリガ入力に対し有効/無効を選択可能、かつ有効トリガの極性を選択可能(立ち上がり、立ち下がり、両エッジ) ●波形拡張機能 (注5) ウェイト期間およびワンショットパルス波形を、それぞれカウントソースの0.5サイクル分拡張可能 波形拡張時のウェイト時間：(n+1)×((2×(m+1))+TZPUM0)/2fi 波形拡張時のワンショットパルス出力時間：(n+1)×((2×(l+1))+TZPUM1)/2fi n:プリスケーラZの設定値、m:タイマZプライマリの設定値、l:タイマZセカンダリの設定値 TZPUM0:タイマZプライマリ波形拡張制御ビット、TZPUM1:タイマZセカンダリ波形拡張制御ビット

注1. カウント開始フラグが“1”に設定されている必要があります。
注2. カウント開始フラグが“1”、INT0入力許可ビット(INT0EN)が“1”、および$\overline{\text{INT0}}$ワンショットトリガ制御ビットが“1”に設定されている必要があります。
注3. カウント開始フラグまたはタイマZワンショット開始ビットへの“0”書き込みによるカウント停止時、タイマZ割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。カウント停止前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。
注4. 各設定値は、タイマZプライマリレジスタへの書き込み動作よって有効となり、タイマZプライマリレジスタへ書き込んだ次のワンショットパルスから一括して反映されます。
注5. 波形拡張機能を使用するときは、プリスケーラZレジスタには“00₁₆”を設定してください。
カウントソースにタイマYアンダフローまたはf1を選択する場合、波形拡張機能は使用できません。

タイマY、Zモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	1	1	1			X	

シンボル	アドレス	リセット時
TYZMR	0080_{16}番地	$000000X0_2$

ビットシンボル	ビット名	機　能	RW
TYMOD0	タイマY関連ビット		RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
TYWC	タイマY関連ビット		RW
TYS			RW
TZMOD0	タイマZ動作モードビット	b5 b4 1 1：プログラマブルウェイト ワンショット発生モード (注1)	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	1：プログラマブルウェイトワンショット発生モードでは、“1”に設定してください。	RW
TZS	タイマZカウント 開始フラグ	0：カウント停止　(注2) 1：カウント開始	RW

注1．プログラマブルウェイトワンショット発生モード選択時、$P3_1$は方向レジスタの値に無関係に出力になります。
注2．このビットを“0”にクリアした時、タイマはリロードレジスタの内容をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

タイマY、Z波形出力制御レジスタ

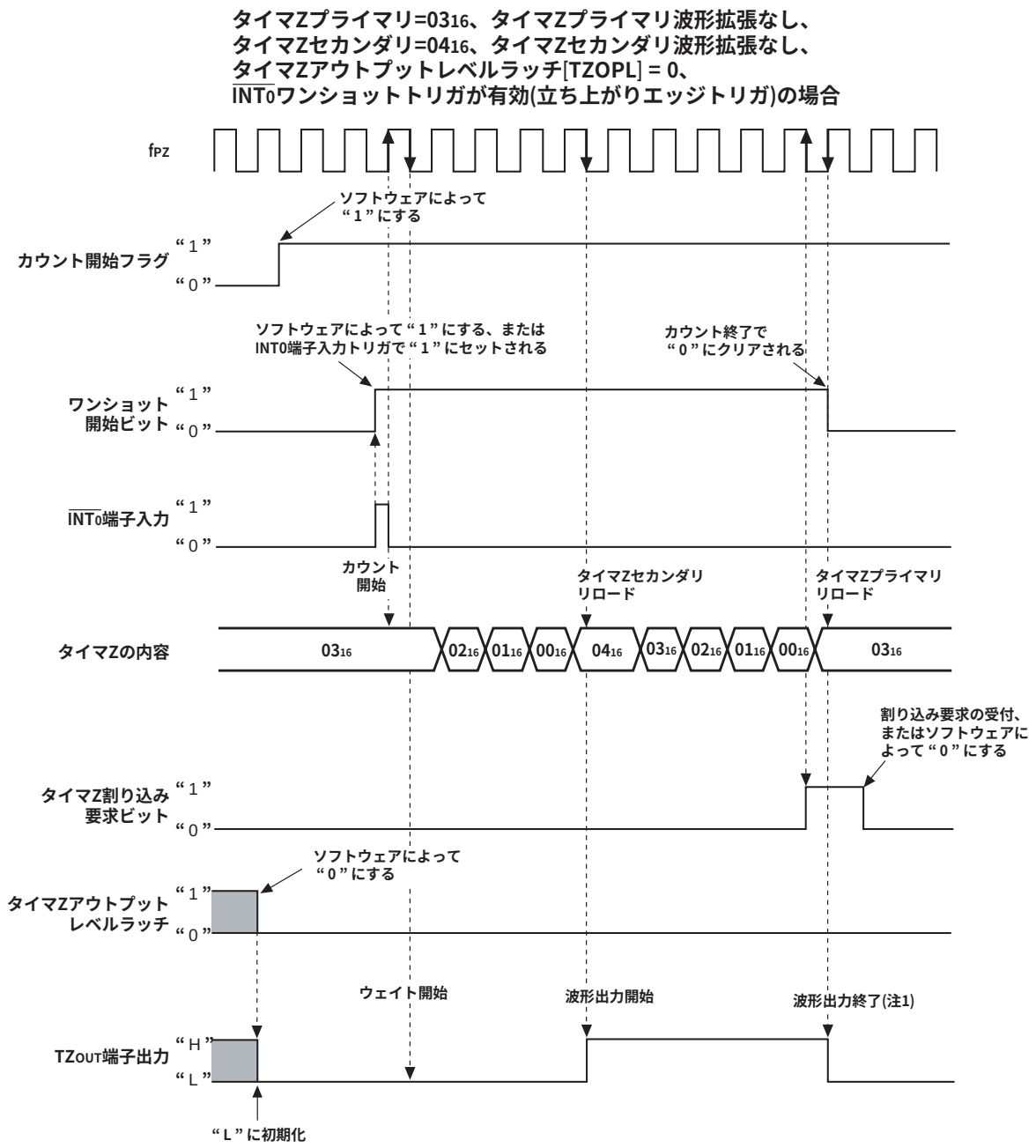
b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUM	0084_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TYPUM0	タイマY関連ビット		RW
TYPUM1			RW
TZPUM0	タイマZプライマリ 波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり　(注1)	RW
TZPUM1	タイマZセカンダリ 波形拡張制御ビット	0：波形拡張なし 1：波形拡張あり　(注1)	RW
TYOPL	タイマY関連ビット		RW
TZOPL	タイマZアウトプット レベルラッチ	0：“H”レベルのワンショットパルスを出力、タイマ停止時は“L”を出力 1：“L”レベルのワンショットパルスを出力、タイマ停止時は“H”を出力	RW
INOSTG	$\overline{INT_0}$端子ワンショット トリガ制御ビット	0：$\overline{INT_0}$端子ワンショットトリガ無効 1：$\overline{INT_0}$端子ワンショットトリガ有効 (注2)	RW
INOSEG	$\overline{INT_0}$端子ワンショット トリガ極性選択ビット (注3)	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	RW

注1．このビットを“1”にするときは、必ずプリスケーラZレジスタに“00_{16}”を設定してください。
注2．このビットを“1”にするときは、$\overline{INT_0}$入力許可ビット(0096_{16}番地、ビット0)、$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)、$\overline{INT_0}$入力フィルタ選択ビット($001E_{16}$番地、ビット0、1)および$\overline{INT_0}$端子ワンショットトリガ極性選択ビットを設定後に“1”にしてください。
注3．このビットは$\overline{INT_0}$入力極性選択ビット(0096_{16}番地、ビット1)が“0”(片エッジ)のときのみ有効です。

図12.29　プログラマブルウェイトワンショット発生モード時のタイマY、ZモードレジスタおよびタイマY、Z波形出力制御レジスタ



注1．ワンショットパルスの波形出力終了タイミングは、タイマZ割り込み要求発生時より、fPZの0.5クロック後(プライマリ波形拡張時は1クロック後)です。

図12.30　プログラマブルウェイトワンショット発生モード時の動作例

12.5　タイマC

タイマCは、16ビットのフリーランタイマです。タイマCは、TCIN端子へのエッジ入力、またはfRINGの256分周の出力をトリガとしてタイマの値をラッチし、割り込み要求を発生します。またTCIN入力はデジタルフィルタをもちますので、ノイズ等による誤動作を防止できます。

図12.31にタイマCのブロック図を、表12.14にタイマCの仕様を、図12.32にタイマC関連のレジスタを、図12.33にタイマCおよび時間計測レジスタの動作例を示します。

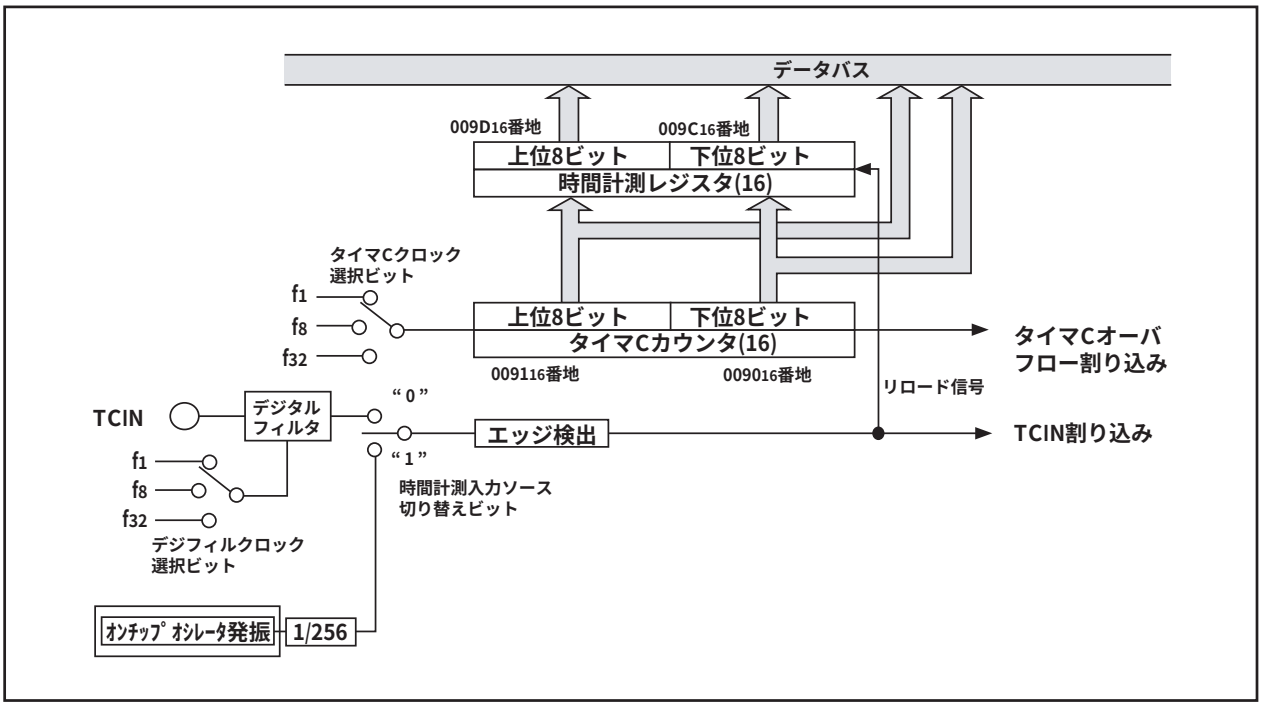


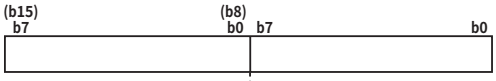
図12.31　タイマCのブロック図

表12.14　タイマCの仕様

項　目	仕　様
カウントソース	f1、f8、f32
カウント動作	●アップカウント ●測定パルスの有効エッジ入力で、タイマCのカウンタ値を時間計測レジスタに転送 ●カウント停止時、タイマCのカウンタ値は“000016”にリセットされる
カウント開始条件	時間計測制御ビットへの“1”書き込み
カウント停止条件	時間計測制御ビットへの“0”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時　[TCIN割り込み] ●タイマCのオーバフロー時　　[タイマC割り込み]
TCIN端子機能	測定パルス入力
カウンタ値リセットタイミング	時間計測制御ビットへの“0”書き込み時
タイマの読み出し(注1)	●タイマCを読み出すと、カウント値が読み出される ●時間計測レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	タイマC、および時間計測レジスタへの書き込み不可
選択機能	●測定パルスの有効エッジ選択可能(立ち上がり/立ち下がり/両エッジ) ●測定パルスは、TCIN端子からの入力とfRINGの256分周との選択可能 ●デジタルフィルタサンプリング周波数選択可能(f1/f8/f32)

注1.　タイマCおよび時間計測レジスタの読み出しは、ワードサイズで行ってください。

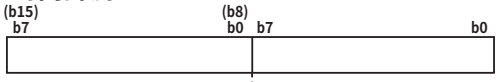
タイマC



シンボル	アドレス	リセット時
TC	0091_{16}、0090_{16}番地	不定

機　能	RW
内部カウントソースをカウント	RO

時間計測レジスタ



シンボル	アドレス	リセット時
TM	$009C_{16}$、$009D_{16}$番地	不定

機　能	RW
測定パルスの有効エッジ入力時、タイマCのカウンタ値を格納 (注1)	RO

注1．時間計測禁止時、このレジスタの値は不定です。時間計測制御ビットを“1”にした後、最初のトリガが入力されるまでの間も、このレジスタの値は不定です。

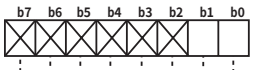
タイマC制御レジスタ0

シンボル	アドレス	リセット時
TCC0	$009A_{16}$番地	$0XX00000_2$

ビットシンボル	ビット名	機　能	RW
TCC00	時間計測制御ビット	0：時間計測禁止 1：時間計測許可	RW
TCC01	タイマCクロック選択ビット (注1)	b2b1 0 0: f_1 0 1: f_8 1 0: f_{32} 1 1: 設定しないでください	RW
TCC02			RW
TCC03	時間計測入力エッジトリガ選択ビット (注1)	b4b3 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 両エッジ 1 1: 設定しないでください	RW
TCC04			RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—
TCC07	時間計測入力ソース切り替えビット (注1, 2, 3)	0：TCIN 1：$f_{RING256}$	RW

注1．このビットの変更は、時間計測禁止の状態で行ってください。
注2．このビットを“1”にする場合、オンチップオシレータ発振停止ビット(CM14)を“0”にしてください。
注3．時間計測入力ソースを切り替えるときは、割り込みを禁止にしてください。時間計測入力ソースを切り替えた場合、TCIN割り込み要求が発生することがあります。そのため割り込み要求ビットをクリアした後に割り込みを許可してください。

タイマC制御レジスタ1



シンボル	アドレス	リセット時
TCC1	$009B_{16}$番地	$XXXXXX11_2$

ビットシンボル	ビット名	機　能	RW
TCC10	デジフィルクロック選択ビット (注1)	b1b0 0 0: 設定しないでください 0 1: f_1 1 0: f_8 1 1: f_{32}	RW
TCC11			RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			RW

注1．TCIN端子から同じ値を3回連続してサンプリングした時点で、入力エッジが有効となります。

図12.32　タイマC関連のレジスタ

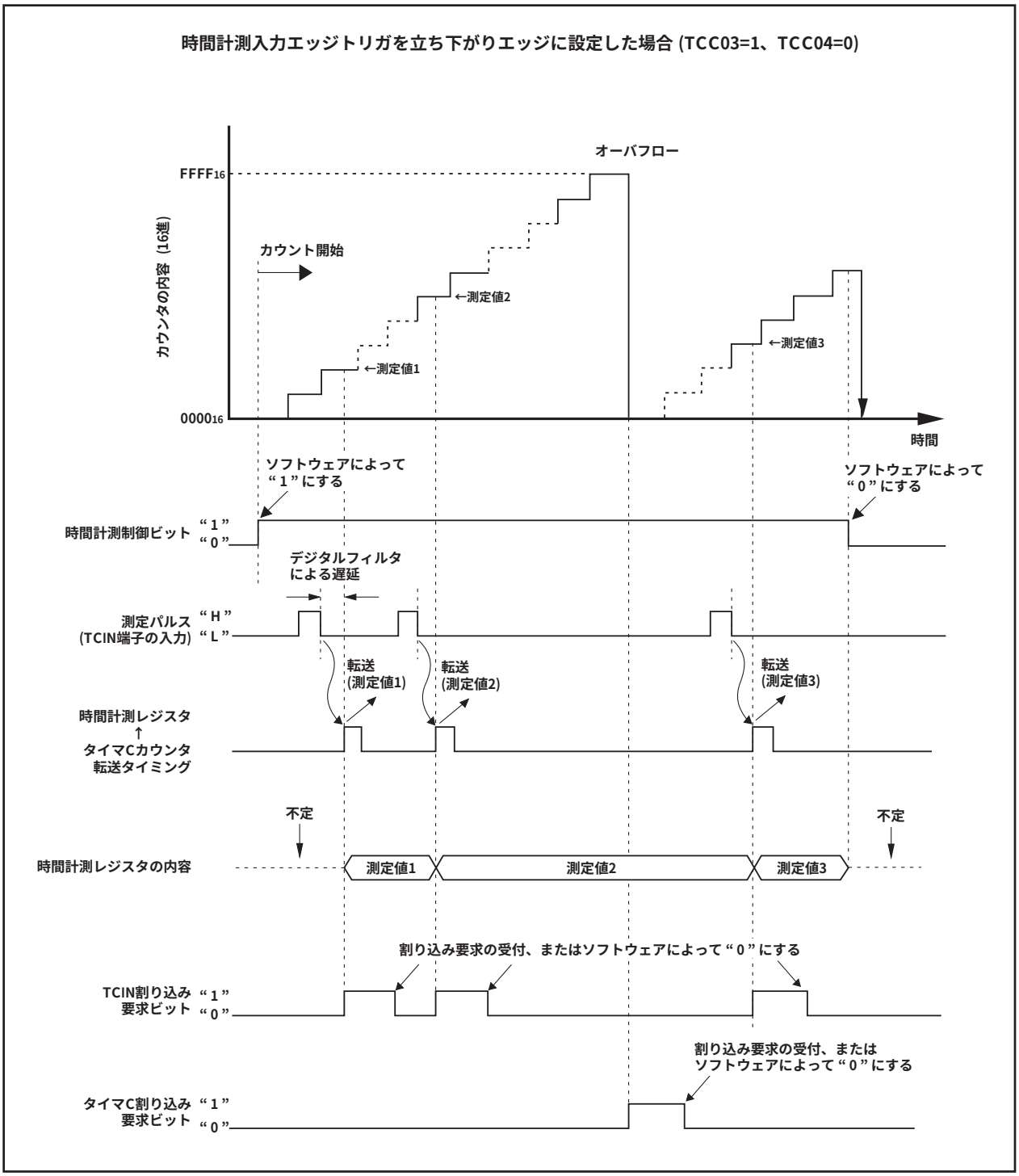


図12.33 タイマCおよび時間計測レジスタ動作例

13.　シリアルI/O

シリアルI/Oは、UART0およびUART1の2チャネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図13.1にUARTi(i=0、1)のブロック図を、図13.2に送受信部のブロック図を示します。

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。シリアルI/Oモード選択ビット(00A016番地、00A816番地のビット0～2)の内容で、クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかを選択します。UART0とUART1は、一部の機能が異なることを除いてはほぼ同一の機能をもちます。

図13.3～図13.5にUARTi関連のレジスタを示します。

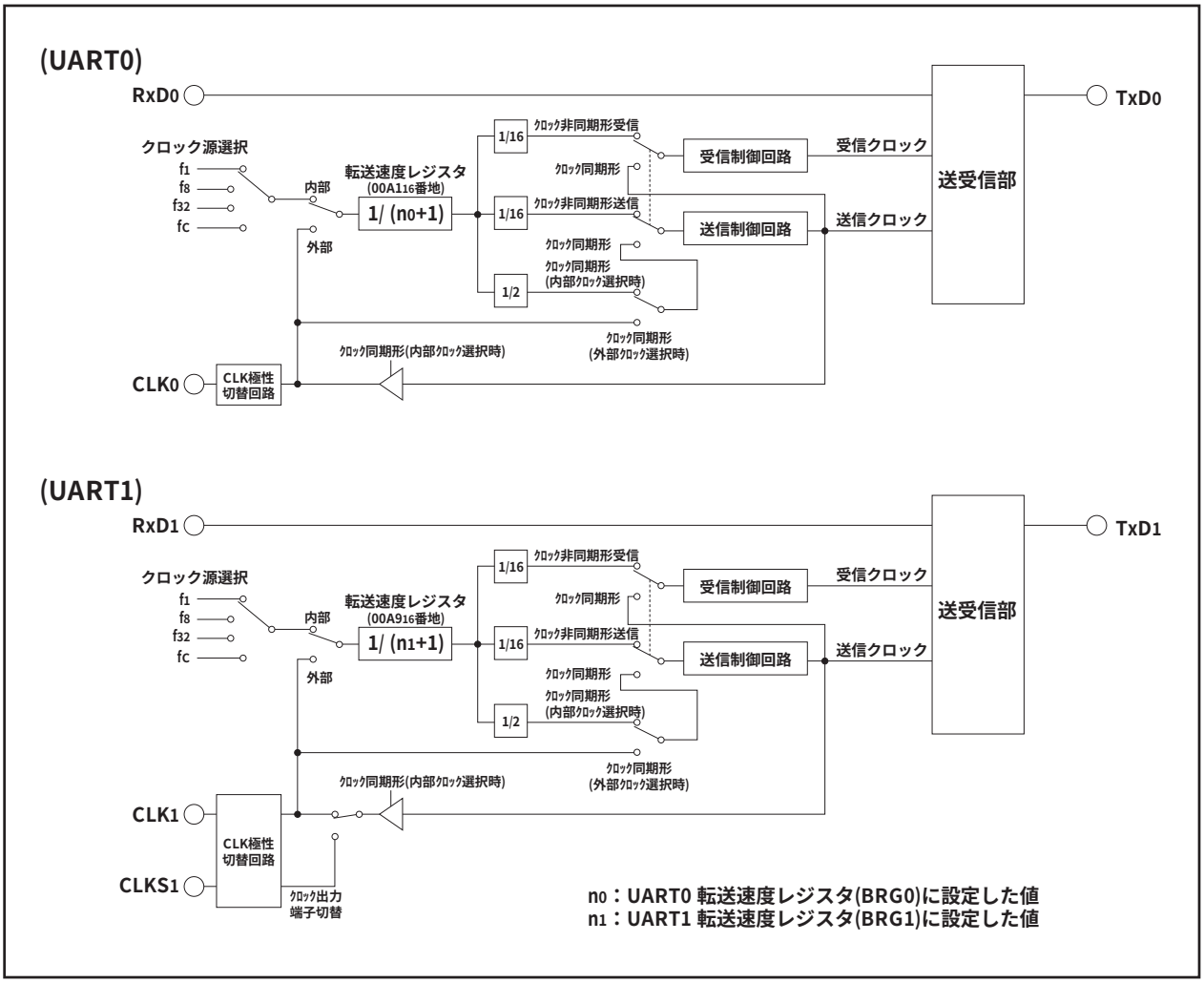


図13.1　UARTi(i=0、1)のブロック図

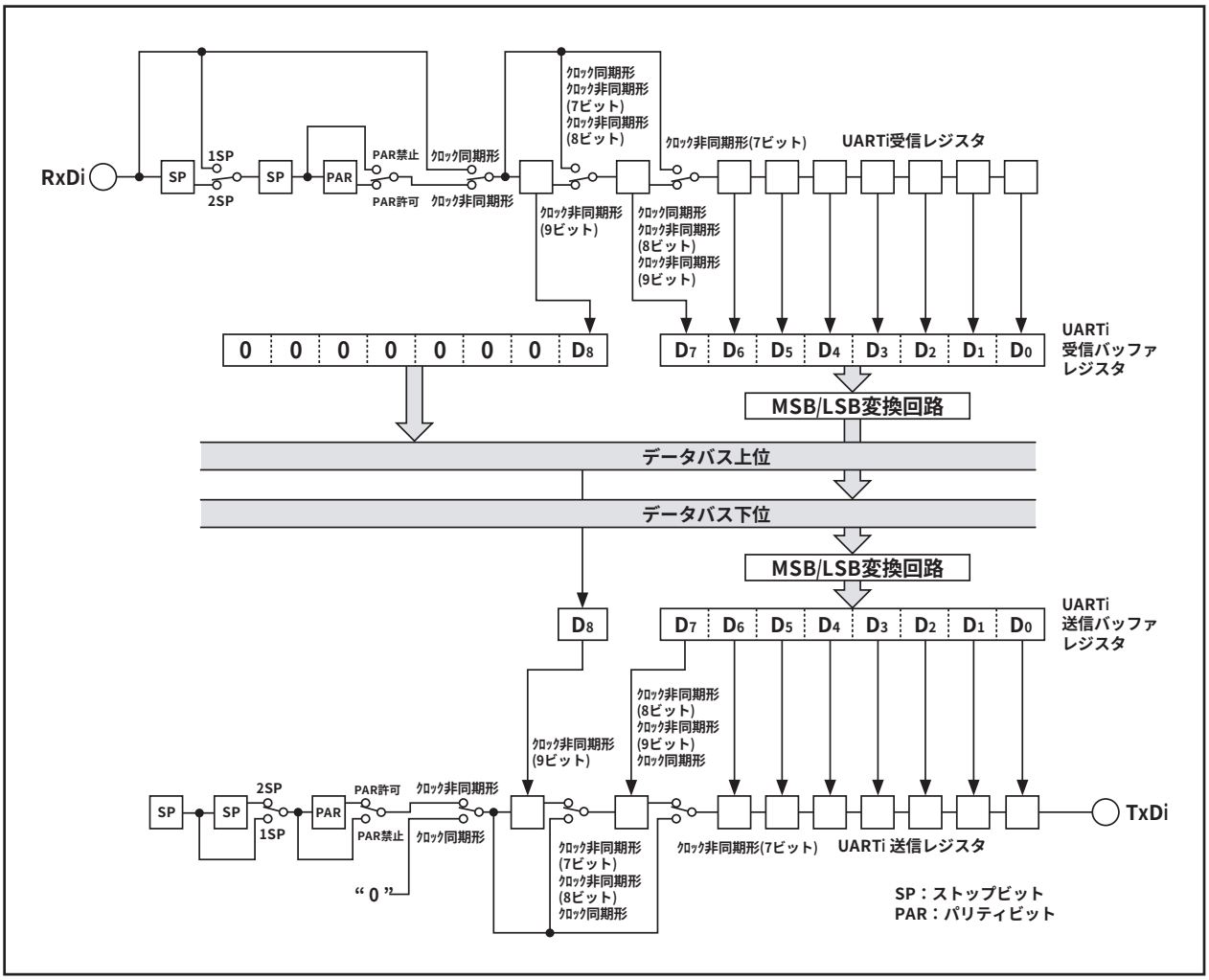
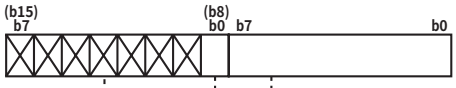


図13.2　送受信部のブロック図

UARTi送信バッファレジスタ

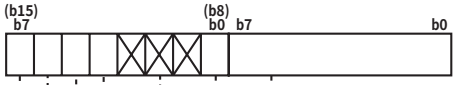


シンボル	アドレス	リセット時
U0TB	$00A3_{16}$、$00A2_{16}$番地	不定
U1TB	$00AB_{16}$、$00AA_{16}$番地	不定

機　　能	RW
送信データ(注1)	WO
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—

注1．転送データ長が9ビットの場合、上位バイト→下位バイトの順でバイトサイズで書き込んでください。

UARTi受信バッファレジスタ

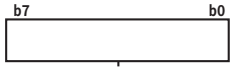


シンボル	アドレス	リセット時
U0RB	$00A7_{16}$、$00A6_{16}$番地	不定
U1RB	$00AF_{16}$、$00AE_{16}$番地	不定

ビットシンボル	ビット名	機　能 (クロック同期形シリアルI/Oモード時)	機　能 (クロック非同期形シリアルI/Oモード時)	RW
—	————	受信データ	受信データ	RO
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注1)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注1)	無効	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注1)	無効	0: エラーなし 1: エラー発生	RO

注1．ビット15～ビット12は、シリアルI/Oモード選択ビット($00A0_{16}$、$00A8_{16}$番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを"0"にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($00A6_{16}$、$00AE_{16}$番地)を読み出したときおよびワードサイズで読み出した時も、“0”になります。
UARTi受信バッファレジスタの読み出しは、上位バイト→下位バイトの順でバイトサイズで読み出してください。

UARTi転送速度レジスタ



シンボル	アドレス	リセット時
U0BRG	$00A1_{16}$番地	不定
U1BRG	$00A9_{16}$番地	不定

機　　能	設定可能値	RW
設定値を nとすると、BRGiはカウントソースをn+1分周する。	00_{16}～FF_{16}	WO

図13.3　UARTi関連のレジスタ(1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
UiMR(i=0、1)	00A016、00A816番地	0016

ビットシンボル	ビット名	機　能 (注1) (クロック同期形シリアルI/Oモード時)	機　能 (クロック非同期形シリアルI/Oモード時)	RW
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : に設定してください 0 0 0 :シリアルI/Oは無効 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 1 1 : 設定しないでください	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 1 1 : 設定しないでください	RW
SMD1				RW
SMD2				RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック	RW
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	RW
予約ビット		“0”を設定してください		RW

注1．対応するポートの方向レジスタを“0”にしてください。

UARTi 送受信制御レジスタ0

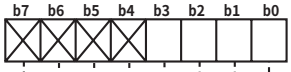
b7	b6	b5	b4	b3	b2	b1	b0
			X		0		

シンボル	アドレス	リセット時
UiC0(i=0、1)	00A416、00AC16番地	0816

ビットシンボル	ビット名	機　能 (クロック同期形シリアルI/Oモード時)	機　能 (クロック非同期形シリアルI/Oモード時)	RW
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : f_Cを選択	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : f_Cを選択	RW
CLK1				RW
予約ビット		“0”を設定してください		RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	RO
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください	RW
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”を設定してください	RW

図13.4　UARTi関連のレジスタ(2)

UARTi 送受信制御レジスタ1

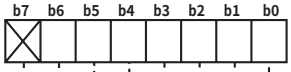


シンボル	アドレス	リセット時
UiC1(i=0、1)	00A5$_{16}$,00AD$_{16}$番地	XXXX0010$_2$

ビットシンボル	ビット名	機　能 (クロック同期形シリアルI/Oモード時)	機　能 (クロック非同期形シリアルI/Oモード時)	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0: 送信バッファレジスタにデータあり 1: 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	RO
RE	受信許可ビット(注1)	0: 受信禁止 1: 受信許可	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0: 受信バッファレジスタにデータなし 1: 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	RO
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—

注1．UART1は、RxD$_1$入力端子選択ビットの設定を行ってから受信許可にしてください。

UART送受信制御レジスタ2



シンボル	アドレス	リセット時
UCON	00B0$_{16}$番地	X0000000$_2$

ビットシンボル	ビット名	機　能 (クロック同期形シリアルI/Oモード時)	機　能 (クロック非同期形シリアルI/Oモード時)	RW
U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	無効	RW
U1RRM	UART1連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	無効	RW
CLKMD0	CLK、CLKS選択ビット0	ビット5が“1”のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効	RW
CLKMD1	CLK、CLKS選択ビット1 (注1)	0: 通常モード (CLK出力はCLK1) 1: 転送クロック複数端子出力機能選択	“0”を設定してください	RW
RXD1EN	RxD$_1$入力端子選択ビット (注2)	0 : P3$_7$ 1 : P3$_5$	0 : P3$_7$ 1 : P3$_5$	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—

注1．複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
　・UART1内/外部クロック選択ビット(00A8$_{16}$番地のビット3)=0
注2．ポートP3$_7$で受信を行うときは“0”を、送信を行うときは“1”を選択してください。
　また、受信時は、ポートP3の方向レジスタを入力(“0”)にしてください。

図13.5　UARTi関連のレジスタ(3)

13.1　クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表13.1にクロック同期形シリアルI/Oモードの仕様を、図13.6にクロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタを示します。

表13.1　クロック同期形シリアルI/Oモードの仕様

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(00A0$_{16}$、00A8$_{16}$番地のビット3="0")：fi/2(n+1) (注1)　fi=f1、f8、f32、fC ●外部クロック選択時(00A0$_{16}$、00A8$_{16}$番地のビット3="1")：CLKi端子からの入力
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(00A5$_{16}$、00AD$_{16}$番地のビット0)="1" ・送信バッファ空フラグ(00A5$_{16}$、00AD$_{16}$番地のビット1)="0" ●さらに、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(00A4$_{16}$、00AC$_{16}$番地のビット6)="0"：CLKi端子の入力が"H"レベル ・CLKi極性選択ビット(00A4$_{16}$、00AC$_{16}$番地のビット6)="1"：CLKi端子の入力が"L"レベル
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(00A5$_{16}$、00AD$_{16}$番地のビット2)="1" ・送信許可ビット(00A5$_{16}$、00AD$_{16}$番地のビット0)="1" ・送信バッファ空フラグ(00A5$_{16}$、00AD$_{16}$番地のビット1)="0" ●さらに、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(00A4$_{16}$、00AC$_{16}$番地のビット6)="0"：CLKi端子の入力が"H"レベル ・CLKi極性選択ビット(00A4$_{16}$、00AC$_{16}$番地のビット6)="1"：CLKi端子の入力が"L"レベル
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(00B0$_{16}$番地のビット0、1)="0"： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(00B0$_{16}$番地のビット0、1)="1"： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる ●転送クロック複数端子出力選択 UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可 ●RxD1入力端子選択 UART1のRxD1端子を2本設定し、ソフトウェアによって入力端子を選択可

注1.　n はUARTi転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。
注2.　オーバランエラーが発生した場合は、UARTi受信バッファレジスタは不定になります。
　　またUARTi受信割り込み要求ビットは変化しません。

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR (i=0、1)	$00A0_{16}$、$00A8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	RW
STPS	クロック同期形シリアルI/Oモードでは無効		RW
PRY			RW
PRYE			RW
予約ビット		“0”を設定してください	RW

注1．対応する方向レジスタに"0"を設定してください。

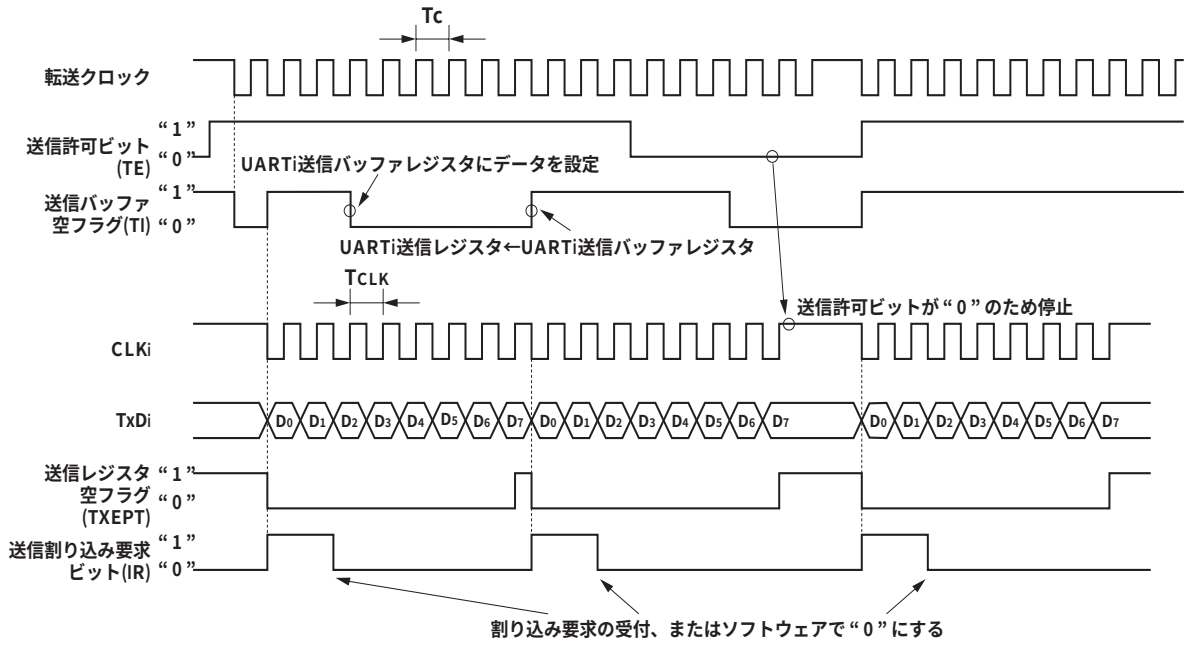
図13.6　クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタ

表13.2にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表13.2　クロック同期形シリアルI/Oモード時の入出力端子の機能

機　能	端子名	選択方法	備　考
シリアルデータ出力	TxD_0 ($P1_4$)	—	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、$P1_4$は入出力ポートとして使用できません。
	TxD_1 ($P3_7$)	RxD_1入力端子選択ビット ($00B0_{16}$番地のビット6)＝1	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、$P3_7$は入出力ポートとして使用できません。
シリアルデータ入力	RxD_0 ($P1_5$)	ポート$P1_5$の方向レジスタ ($00E3_{16}$番地のビット5)＝0	シリアルデータ入力が不要で、シリアルデータ出力のみを行う場合、$P1_5$は入出力ポートとして使用できます。
	RxD_1 ($P3_5$)	ポート$P3_5$の方向レジスタ ($00E7_{16}$番地のビット5)＝0 RxD_1入力端子選択ビット ($00B0_{16}$番地のビット6)＝1	シリアルデータ入力が不要で、シリアルデータ出力のみを行う場合、$P3_5$は入出力ポートとして使用できます。
	RxD_1 ($P3_7$)	ポート$P3_7$の方向レジスタ ($00E7_{16}$番地のビット7)＝0 RxD_1入力端子選択ビット ($00B0_{16}$番地のビット6)＝0	$P3_7$をRxD_1として選択した場合、シリアルデータ出力は行えません。$P3_5$は入出力ポートとして使用できます。
転送クロック出力	CLKi ($P1_6$、$P3_6$)	内/外部クロック選択ビット ($00A0_{16}$、$00A8_{16}$番地のビット3)＝0	—
転送クロック入力	CLKi ($P1_6$、$P3_6$)	内/外部クロック選択ビット ($00A0_{16}$、$00A8_{16}$番地のビット3)＝1 ポート$P1_6$, ポート$P3_6$の方向レジスタ ($00E3_{16}$、$00E7_{16}$番地のビット6)＝0	—

●送信タイミング例(内部クロック選択時)

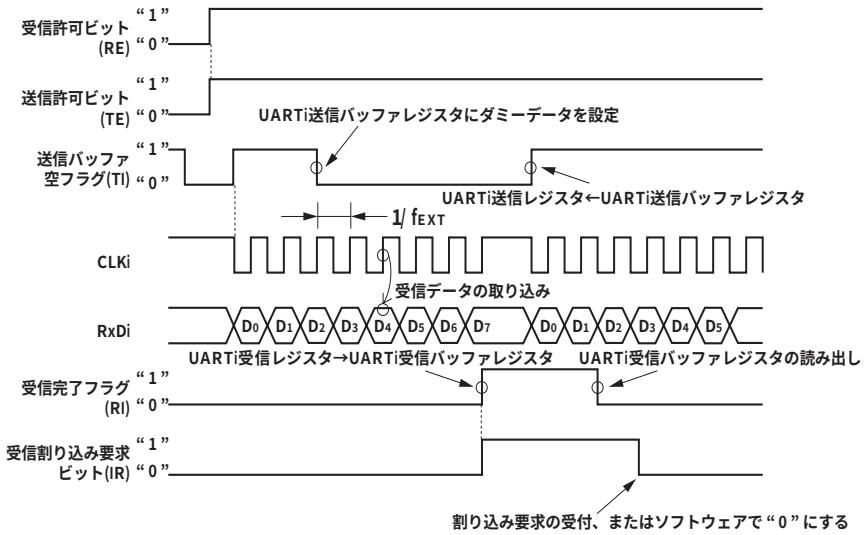


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CLK極性選択ビット = 0
- ●送信割り込み要因選択ビット = 0

$T_C = T_{CLK} = 2(n+1) / f_i$
- fi：BRGiのカウントソースの周波数(f_1、f_8、f_{32}、f_C)
- n：BRGiに設定した値

●受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●CLK極性選択ビット = 0

f_{EXT}：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図13.7　クロック同期形シリアルI/Oモード時の送信/受信タイミング例

13.1.1　極性選択機能

図13.8に示すように、CLK極性選択ビット(00A4$_{16}$、00AC$_{16}$番地のビット6)によって転送クロックの極性を選択できます。

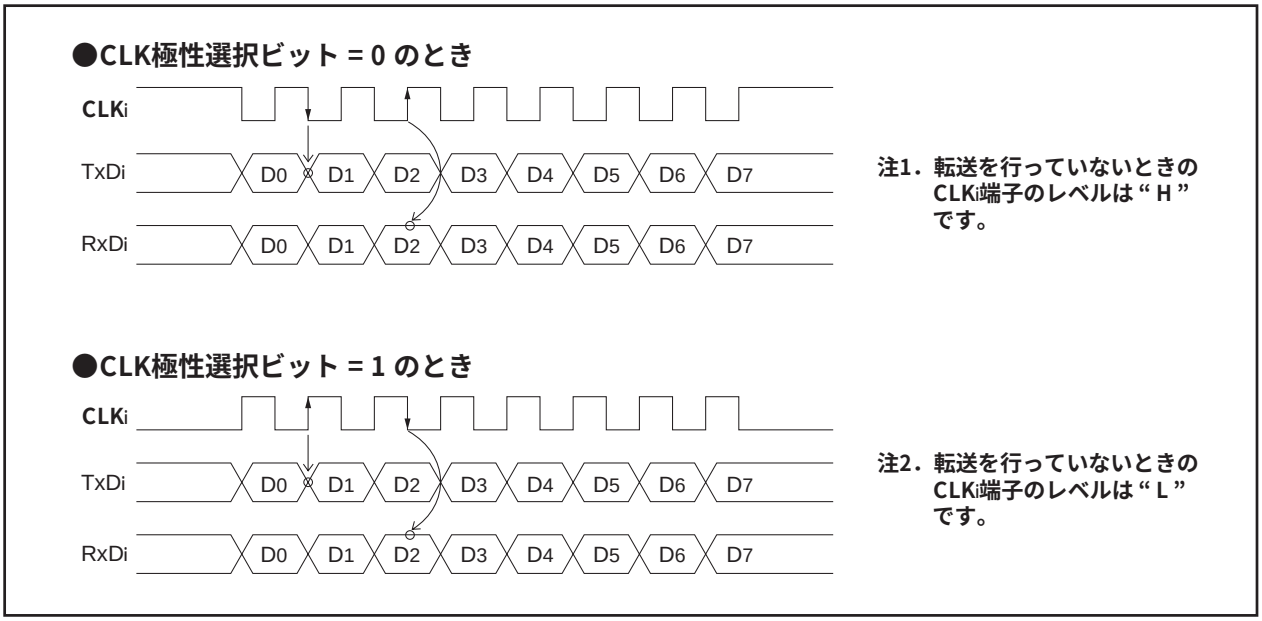


図13.8　転送クロックの極性

13.1.2　LSBファースト、MSBファースト選択機能

図13.9に示すように、転送フォーマット選択ビット(00A4$_{16}$、00AC$_{16}$番地のビット7)の内容が“ 0 ”のとき転送フォーマットはLSBファースト、“ 1 ”のとき転送フォーマットはMSBファーストになります。

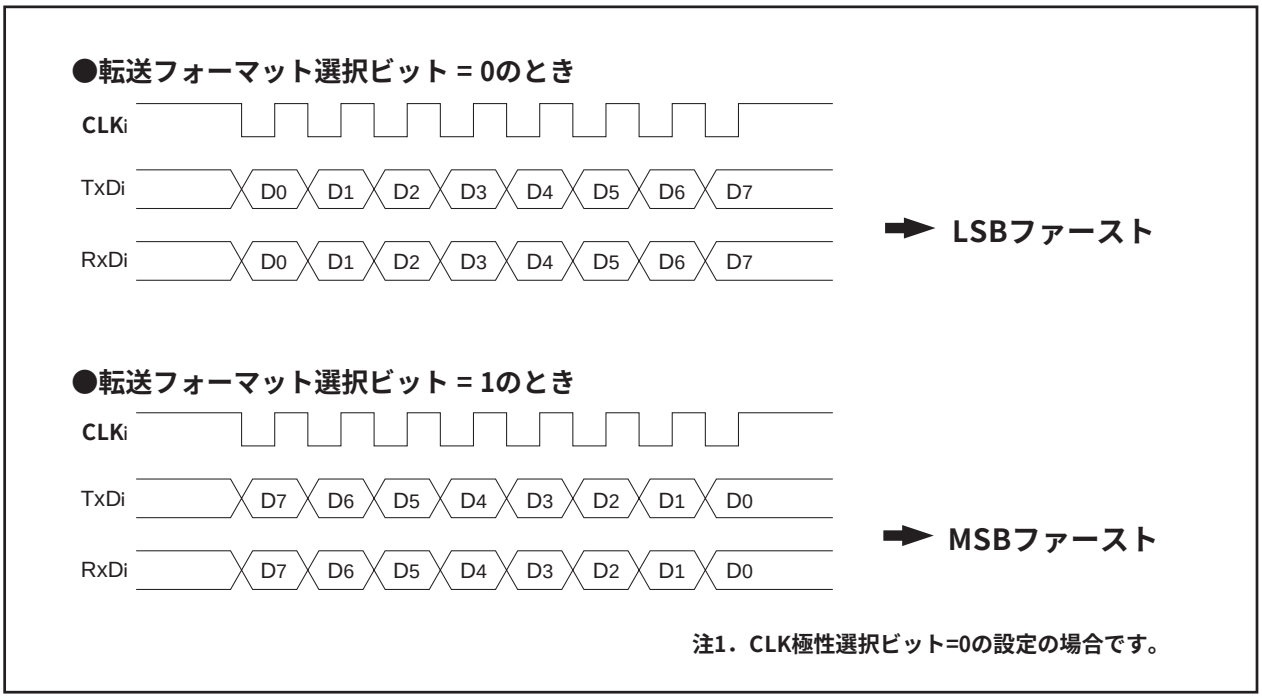
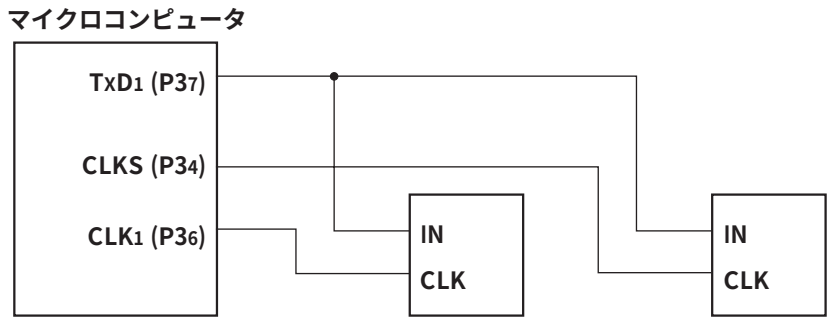


図13.9　転送フォーマット

13.1.3　転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(00B016番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します。この機能は、UART1で内部クロック選択時だけ有効な機能です。

図13.10に転送クロック複数端子出力機能の使用例を示します。



注1．クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合。

図13.10　転送クロック複数端子出力機能の使用例

13.1.4　連続受信モード

連続受信モード許可ビット(00B016番地のビット2、ビット3)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

13.1.5　RxD1入力端子選択機能(UART1)

RxD1入力端子を2本設定し、RxD1入力端子選択ビット(00B016番地のビット6)の切り替えによって1本を選択し、シリアルデータの入力を行います。

RxD1入力端子選択ビットに“1”(P35)を選択した場合、P37はTxD1出力端子となります。

“0”(P37)を選択した場合、シリアルデータ出力は行えません。ただしP35は入出力ポートとして使用できます。

13.2　クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。

表13.3にクロック非同期形シリアルI/Oモードの仕様を、図13.11にクロック非同期形シリアルI/Oモード時のUARTi送受信モードレジスタを示します。

表13.3　クロック非同期形シリアルI/Oモードの仕様

項　　目	仕　　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時($00A0_{16}$、$00A8_{16}$番地のビット3=“0”)：fi/16(n+1) (注1) fi=f1、f8、f32、fC ●外部クロック選択時($00A0_{16}$番地のビット3=“1”)：f_{EXT}/16(n+1) (注1、2)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($00A5_{16}$、$00AD_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($00A5_{16}$、$00AD_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($00A5_{16}$、$00AD_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット($00B0_{16}$番地のビット0、1)=“0”: UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット($00B0_{16}$番地のビット0、1)=“1”: UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時に、パリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	●RxD1入力端子選択 UART1のRxD1端子を2本設定し、ソフトウェアによって入力端子を選択可

注1.　n はUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
注2.　f_{EXT}はCLKi端子からの入力です。
注3.　オーバランエラーが発生した場合は、UARTi受信バッファレジスタは不定になります。
　　またUARTi 受信割り込み要求ビットは変化しません。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
UiMR (i=0、1)	$00A0_{16}$、$00A8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
予約ビット		“0”を設定してください	RW

注1．対応する方向レジスタに“0”を設定してください。

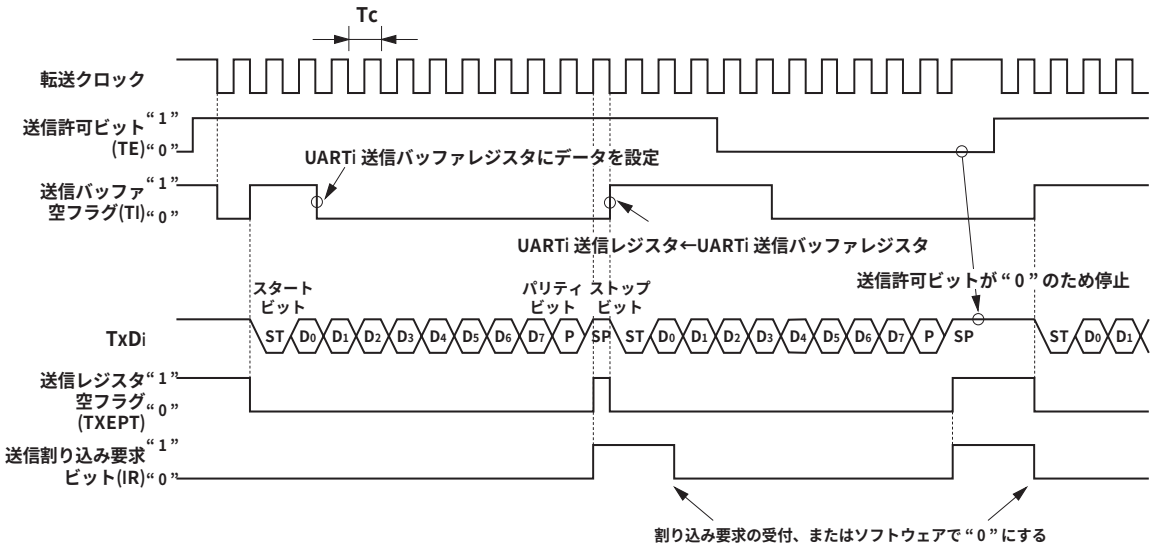
図13.11　クロック非同期形シリアルI/Oモード時のUARTi送受信モードレジスタ

表13.4にクロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表13.4　クロック非同期形シリアルI/Oモード時の入出力端子の機能

機　　能	端子名	選択方法	備　　考
シリアルデータ出力	TxD_0 ($P1_4$)	—	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、$P1_4$は入出力ポートとして使用できません。
	TxD_1 ($P3_7$)	RxD_1入力端子選択ビット ($00B0_{16}$番地のビット6)＝1	シリアルデータ出力が不要で、シリアルデータ入力のみを行う場合でも、$P3_7$は入出力ポートとして使用できません。
シリアルデータ入力	RxD_0 ($P1_5$)	ポート$P1_5$の方向レジスタ ($00E3_{16}$番地のビット5)＝0	シリアルデータ入力が不要で、シリアルデータ出力のみを行う場合、$P1_5$は入出力ポートとして使用できます。
	RxD_1 ($P3_5$)	ポート$P3_5$の方向レジスタ ($00E7_{16}$番地のビット5)＝0 RxD_1入力端子選択ビット ($00B0_{16}$番地のビット6)＝1	シリアルデータ入力が不要で、シリアルデータ出力のみを行う場合、$P3_5$は入出力ポートとして使用できます。
	RxD_1 ($P3_7$)	ポート$P3_7$の方向レジスタ ($00E7_{16}$番地のビット7)＝0 RxD_1入力端子選択ビット ($00B0_{16}$番地のビット6)＝0	$P3_7$はRxD_1として選択した場合、シリアルデータ出力は行えません。$P3_5$は入出力ポートとして使用できます。
転送クロック入力	CLKi ($P1_6$、$P3_6$)	内/外部クロック選択ビット ($00A0_{16}$、$00A8_{16}$番地のビット3)＝1 ポート$P1_6$、ポート$P3_6$の方向レジスタ ($00E3_{16}$、$00E7_{16}$番地のビット6)＝0	転送クロック入力を行わない場合、$P1_6$、$P3_6$は入出力ポートとして使用できます。その場合、内/外部クロック選択ビットを“0”に設定してください。

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

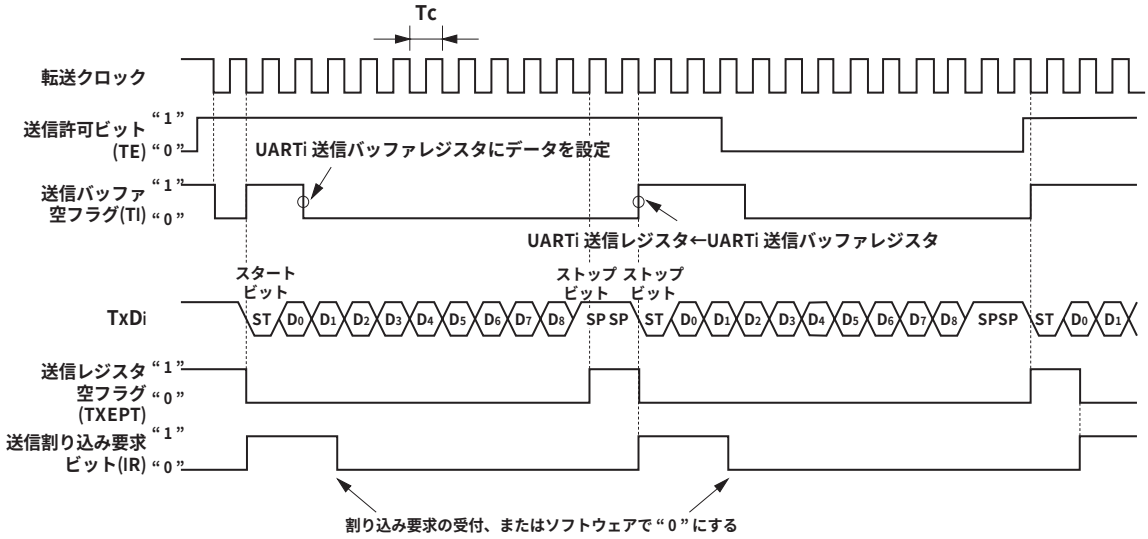


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●送信割り込み要因選択ビット= 1

Tc = 16(n+1) / fi または 16(n+1) / f_{EXT}
fi：BRGiのカウントソースの周波数(f_1、f_8、f_{32}、f_C)
f_{EXT}：BRGiのカウントソースの周波数(外部クロック)
n：BRGiに設定した値

●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ禁止
- ●2ストップビット
- ●送信割り込み要因選択ビット= 0

Tc = 16(n+1) / fi または 16(n+1) / f_{EXT}
fi：BRGiのカウントソースの周波数(f_1、f_8、f_{32}、f_C)
f_{EXT}：BRGiのカウントソースの周波数(外部クロック)
n：BRGiに設定した値

図13.12　クロック非同期形シリアルI/Oモード時の送信タイミング例

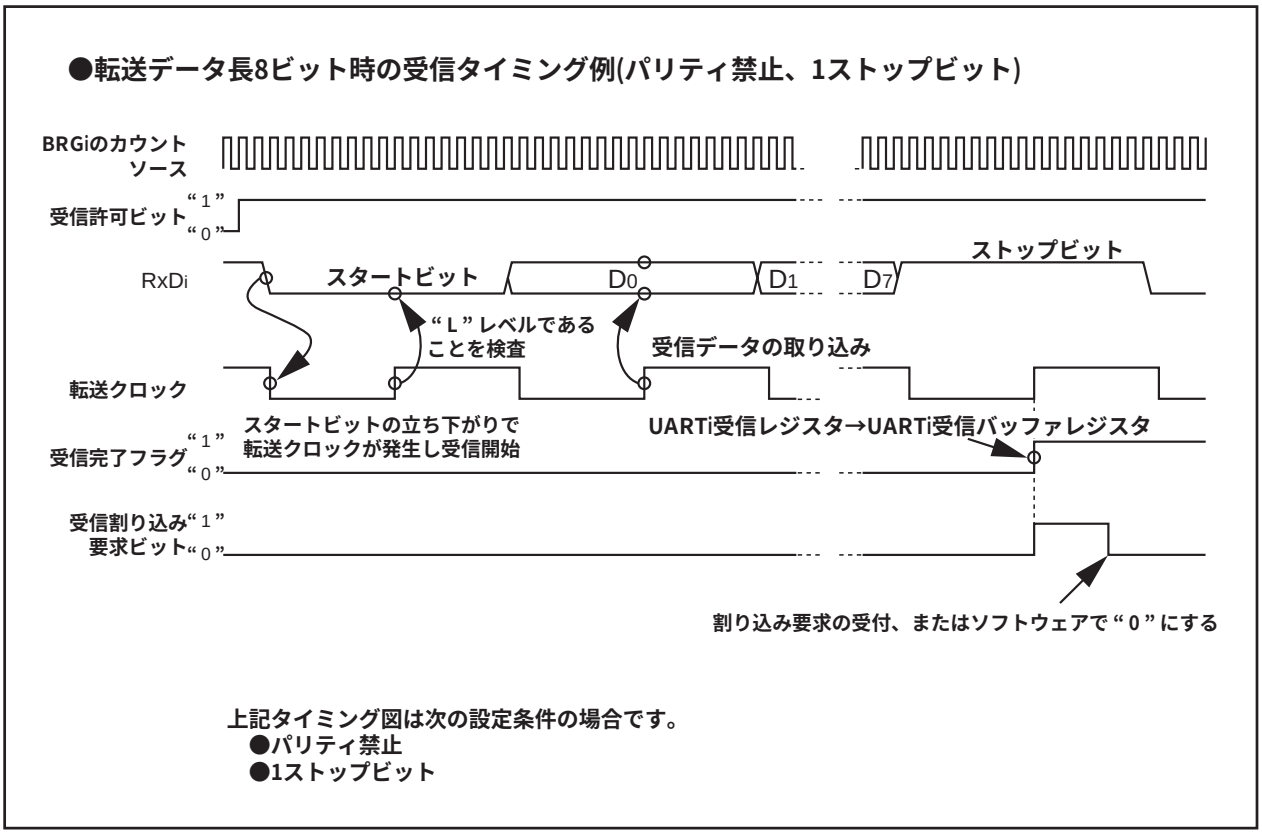


図13.13　クロック非同期形シリアルI/Oモード時の受信タイミング例

13.2.1　RxD1入力端子選択機能(UART1)

RxD1入力端子を2本設定し、RxD1入力端子選択ビット(00B016番地のビット6)の切り替えによって1本を選択し、シリアルデータの入力を行います。

RxD1入力端子選択ビットに“1”(P35)を選択した場合、P37はTxD1出力端子となります。

“0”(P37)を選択した場合、シリアルデータ出力は行えません。ただしP35は入出力ポートとして使用できます。

14.　A/Dコンバータ

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA/Dコンバータを1回路内蔵しています。アナログ信号入力端子は、P00～P07、P10～P13、P40、P41と共用していますのでA/D変換を行う端子に対応する方向レジスタは入力に設定してください。また、V_{REF}接続ビット($00D7_{16}$番地のビット5)によりA/Dコンバータを使用しないとき、A/Dコンバータの抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A/Dコンバータを使用する場合は、VREFを接続してからA/D変換をスタートさせてください。

A/D変換した結果は、A/Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表14.1にA/Dコンバータの性能を、図14.1にA/Dコンバータのブロック図を、図14.2および図14.3にA/Dコンバータ関連のレジスタを示します。

表14.1　A/Dコンバータの性能

項　目	性　能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～V_{CC}
動作クロックϕ_{AD}(注2)	V_{CC} = 5Vのとき f_{AD}/f_{AD}の2分周/f_{AD}の4分周、f_{AD}=f(X_{IN})
分解能	8/10ビット選択可能
絶対精度	V_{CC} = 5Vのとき ●サンプル&ホールド機能なし ±3LSB ●サンプル&ホールド機能あり(分解能8ビット) ±2LSB ●サンプル&ホールド機能あり(分解能10ビット) AN_0～AN_{11}入力の場合±3LSB ANEX0、ANEX1入力の場合(外部オペアンプ接続モードを含む)±7LSB
動作モード	単発モード/繰り返しモード(注3)
アナログ入力端子	12本(AN_0～AN_{11})+2本($ANEX_0$～$ANEX_1$)
A/D変換開始条件	●ソフトウェアトリガ A/D変換開始フラグを“1”にするとA/D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 分解能8ビットの場合49ϕ_{AD}サイクル、分解能10ビットの場合59ϕ_{AD}サイクル ●サンプル&ホールドあり 分解能8ビットの場合28ϕ_{AD}サイクル、分解能10ビットの場合33ϕ_{AD}サイクル

注1.　サンプル&ホールド機能の有無に依存しません。

注2.　f(X_{IN})が10MHzを超える場合はf_{AD}を分周し、A/D動作クロック周波数(ϕ_{AD})が10MHz以下になるようにしてください。サンプル&ホールド機能なしのときϕ_{AD}の周波数は250kHz以上にしてください。サンプル&ホールド機能ありのときϕ_{AD}の周波数は1MHz以上にしてください。

注3.　繰り返しモードは8ビットモード時のみ使用可能です。

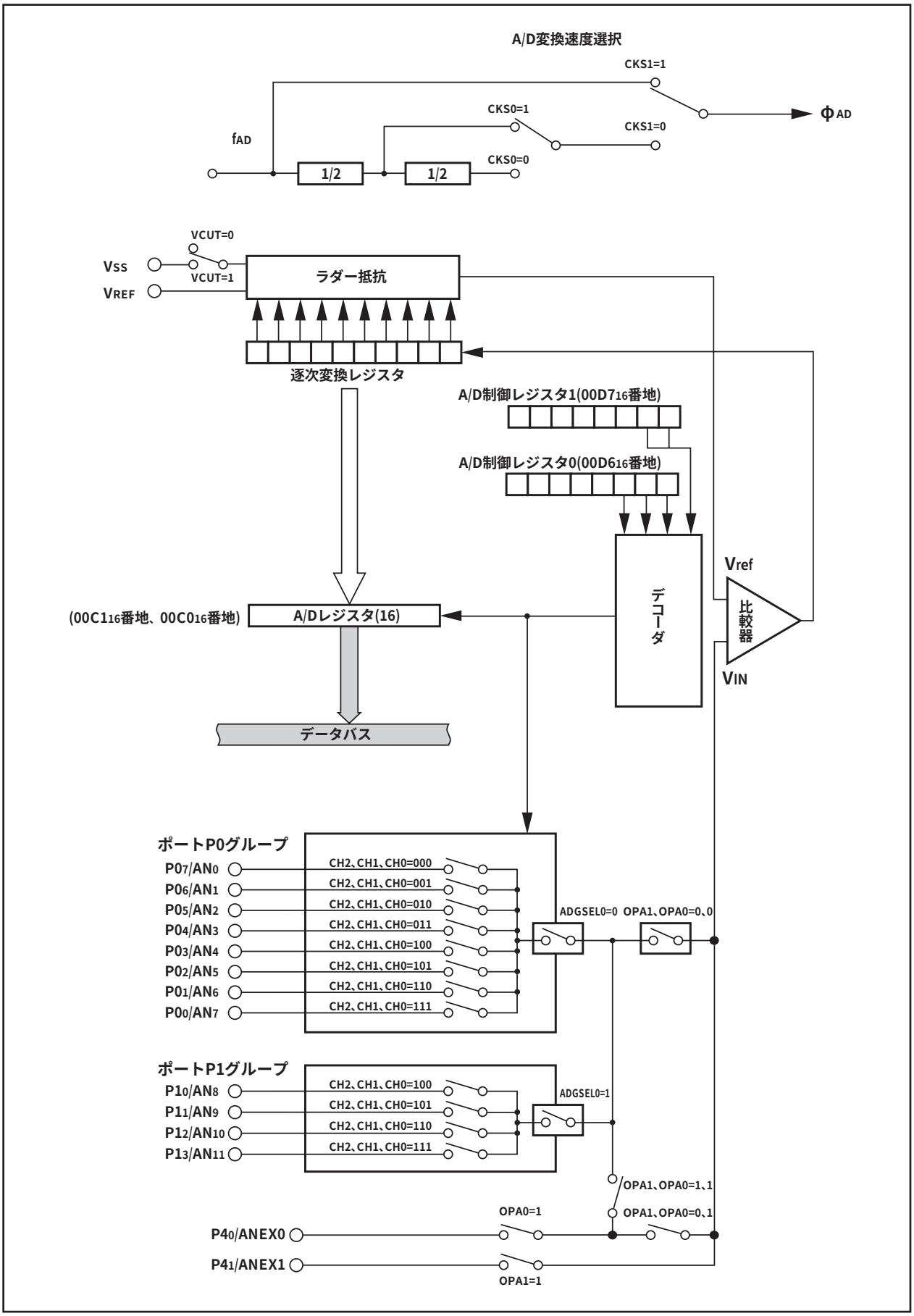


図14.1　A/Dコンバータのブロック図

A/D制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0					

シンボル	アドレス	リセット時
ADCON0	$00D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4、AN_8を選択 1 0 1 : AN_5、AN_9を選択 1 1 0 : AN_6、AN_{10}を選択 1 1 1 : AN_7、AN_{11}を選択 (注2、3)	RW
CH1			RW
CH2			RW
MD	A/D動作モード選択ビット	0 : 単発モード 1 : 繰り返しモード (注2)	RW
ADGSEL0	A/D入力グループ選択ビット	0 : ポートP0グループを選択 1 : ポートP1グループを選択	RW
予約ビット		“0”を設定してください	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	RW

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。
注2．A/D動作モードを変更した場合は、あらためてアナログ入力端子の設定を行う必要があります。
注3．AN_4～AN_7、AN_8～AN_{11}はA/D入力グループ選択ビットにより選択されます。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
					0	0	0

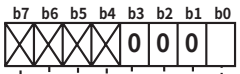
シンボル	アドレス	リセット時
ADCON1	$00D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
予約ビット		“0”を設定してください	RW
BITS	8/10ビットモード選択ビット(注2)	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1(注3)	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	RW
VCUT	V_{REF}接続ビット	0 : V_{REF}未接続 1 : V_{REF}接続	RW
OPA0	外部オペアンプ接続モードビット	b1 b0 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。
注2．繰り返しモード時は、8ビットモードのみ使用可能です。
注3．$f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。

図14.2　A/Dコンバータ関連のレジスタ(1)

A/D制御レジスタ2 (注1)

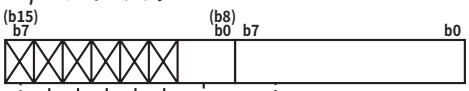


シンボル	アドレス	リセット時
ADCON2	00D4$_{16}$番地	XXXX0000$_2$

ビットシンボル	ビット名	機　能	RW
SMP	A/D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	RW
予約ビット		“0”を設定してください	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。			—

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。

A/Dレジスタ



シンボル	アドレス	リセット時
AD	00C0$_{16}$番地	不定
	00C1$_{16}$番地	不定

機　能	RW
A/D変換結果の下位8ビット	RO
●10ビットモード時 A/Dコンバータ結果の上位2ビット	RO
●8ビットモード時 読み出した場合、その内容は不定	—
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。	—

図14.3　A/Dコンバータ関連のレジスタ(2)

14.1　単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換するモードです。
表14.2に単発モードの仕様を、図14.4に単発モード時のA/D制御レジスタを示します。

表14.2　単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	●A/D変換終了(A/D変換開始フラグが“0”になる) ●A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN_0～AN_{11}より1端子を選択
A/D変換値の読み出し	A/Dレジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0					

シンボル	アドレス	リセット時
ADCON0	$00D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4、AN_8を選択 1 0 1 : AN_5、AN_9を選択 1 1 0 : AN_6、AN_{10}を選択 1 1 1 : AN_7、AN_{11}を選択 (注2、3)	RW
CH1			RW
CH2			RW
MD	A/D動作モード選択ビット	0 : 単発モード (注2)	RW
ADGSEL0	A/D入力グループ選択ビット	0 :ポートP0グループを選択 1 : ポートP1グループを選択	RW
予約ビット		“0”を設定してください	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	RW

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。
注2．A/D動作モードを変更した場合は、あらためてアナログ入力端子の設定を行う必要があります。
注3．AN_4～AN_7、AN_8～AN_{11}はA/D入力グループ選択ビットにより選択されます。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			0	0	0

シンボル	アドレス	リセット時
ADCON1	$00D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
予約ビット		“0”を設定してください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1(注2)	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	RW
VCUT	V_{REF}接続ビット	1 : V_{REF}接続	RW
OPA0	外部オペアンプ接続モードビット	b1 b0 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。
注2．$f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。

図14.4　単発モード時のA/D制御レジスタ

14.2　繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換するモードです。

表14.3に繰り返しモードの仕様を、図14.5に繰り返しモード時のA/D制御レジスタを示します。

表14.3　繰り返しモードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_{11}より1端子を選択(注1)
A/D変換値の読み出し	A/Dレジスタの読み出し(常時読み出し可能)

注1．AN_4～AN_7と同様にAN_8～AN_{11}を使用できます。

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0		1			

シンボル	アドレス	リセット時
ADCON0	$00D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4、AN_8を選択 1 0 1 : AN_5、AN_9を選択 1 1 0 : AN_6、AN_{10}を選択 1 1 1 : AN_7、AN_{11}を選択 (注2、3)	RW
CH1			RW
CH2			RW
MD	A/D動作モード選択ビット	1 : 繰り返しモード (注2)	RW
ADGSEL0	A/D入力グループ選択ビット	0 :ポートP0グループを選択 1 :ポートP1グループを選択	RW
予約ビット		“0”を設定してください	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	RW

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。
注2．A/D動作モードを変更した場合は、あらためてアナログ入力端子の設定を行う必要があります。
注3．AN_4～AN_7、AN_8～AN_{11}はA/D入力グループ選択ビットにより選択されます。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1		0	0	0	0

シンボル	アドレス	リセット時
ADCON1	$00D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
予約ビット		“0”を設定してください	RW
BITS	8/10ビットモード選択ビット(注2)	0 : 8ビットモード	RW
CKS1	周波数選択ビット1(注3)	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	RW
VCUT	V_{REF}接続ビット	1 : V_{REF}接続	RW
OPA1	外部オペアンプ接続モードビット	b1 b0 0 0 : ANEX0,ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 外部オペアンプ接続モード	RW
OPA0			RW

注1．A/D変換中にA/D制御レジスタの内容を書き換えた場合、変換結果は不定となります。
注2．繰り返しモード時は、8ビットモードのみ使用可能です。
注3．$f(X_{IN})$が10MHzを越える場合は分周し、ϕ_{AD}の周波数を10MHz以下にしてください。

図14.5　繰り返しモード時のA/D制御レジスタ

14.3　サンプル&ホールド

A/D制御レジスタ2(00D4$_{16}$番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル＆ホールドの有無を選択してからA/D変換を開始してください。

14.4　拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA/D変換することができます。

A/D制御レジスタ1(00D7$_{16}$番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA/D変換します。

A/D制御レジスタ1(00D7$_{16}$番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA/D変換します。

14.5　外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A/D変換入力として使用することができます。

A/D制御レジスタ1(00D7$_{16}$番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN$_0$～AN$_{11}$からの入力をANEX0から出力します。A/D変換はANEX1からの入力に対して行われ、A/D変換結果はA/Dレジスタに格納されます。A/D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結して使用しないでください。

図14.6に外部オペアンプ接続モードの接続例を示します。

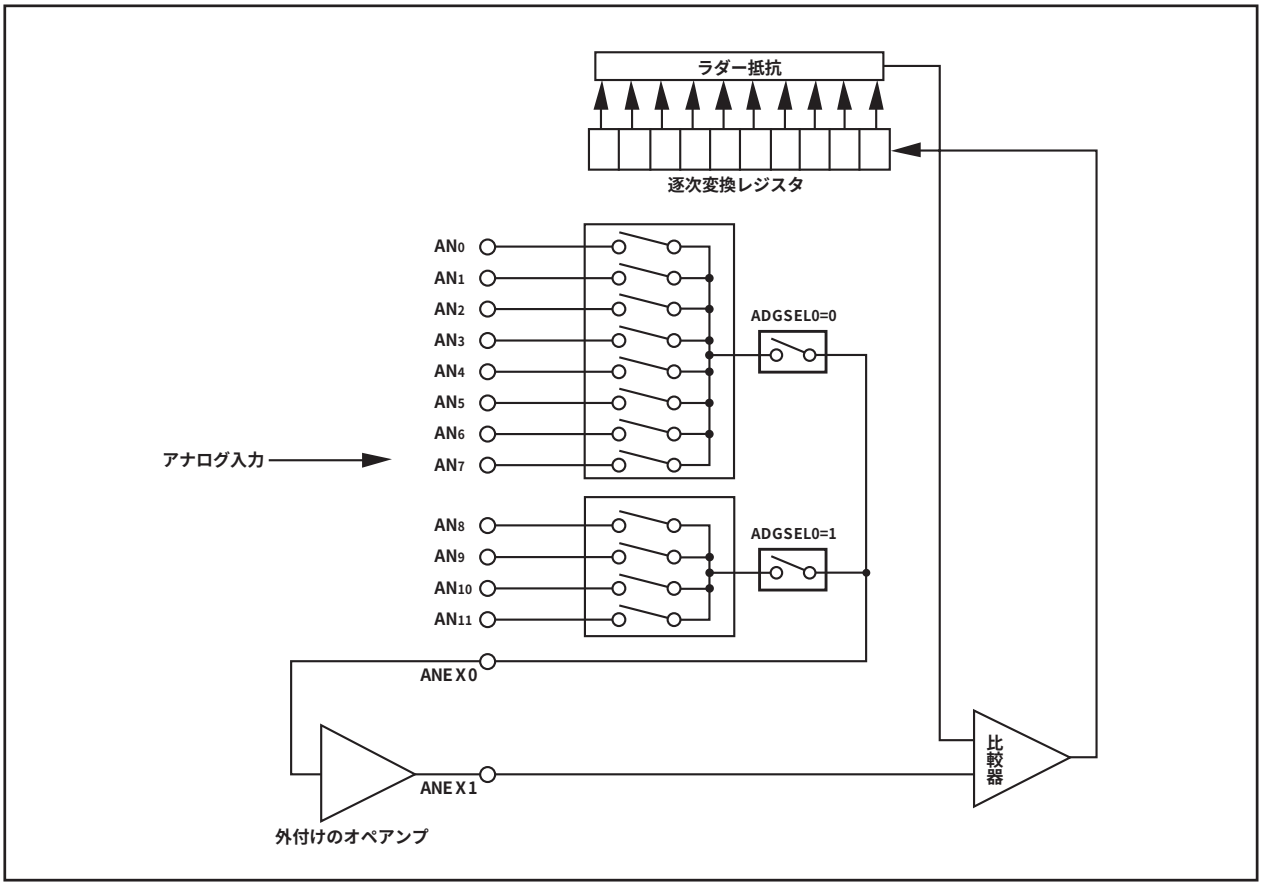


図14.6　外部オペアンプ接続モードの接続例

15.　D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した1つのD/Aコンバータを内蔵しています。

D/A変換は、対応したD/Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD/A制御レジスタのビット0(D/A出力許可ビット)によって設定します。D/A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D/A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D/Aレジスタに設定した値n(nは10進数)で決まります。

$V = V_{REF} \times n/256 (n=0 \sim 255)$

V_{REF}:基準電圧

表15.1にD/Aコンバータの性能を、図15.1にD/Aコンバータのブロック図を、図15.2にD/A制御レジスタを、図15.3にD/Aコンバータの等価回路を示します。

表15.1　D/Aコンバータの性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	1チャネル

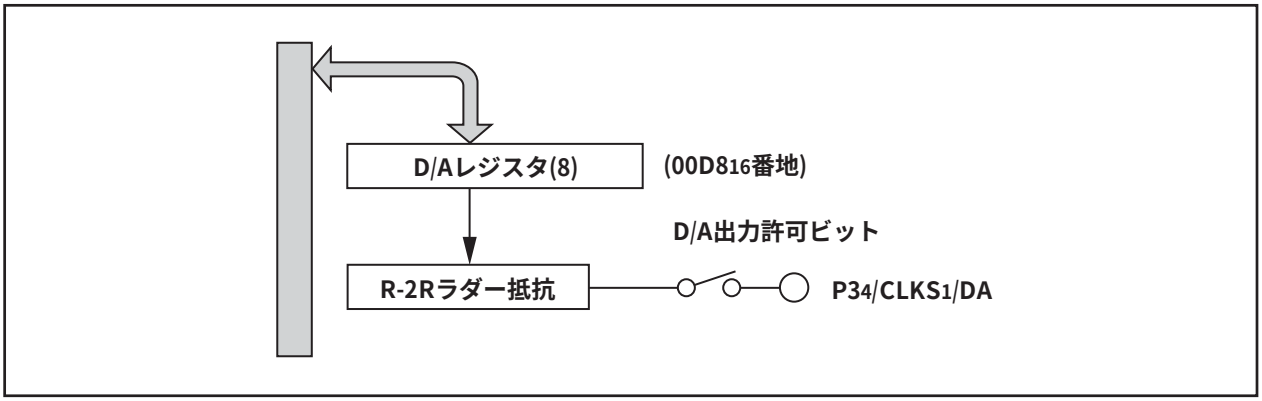


図15.1　D/Aコンバータのブロック図

D/A制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	╳	0	╳	

シンボル	アドレス	リセット時
DACON	00DC16番地	XXXXX0X02

ビットシンボル	ビット名	機　能	RW
DAE	D/A出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—
予約ビット		“0”を設定してください	RW
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—

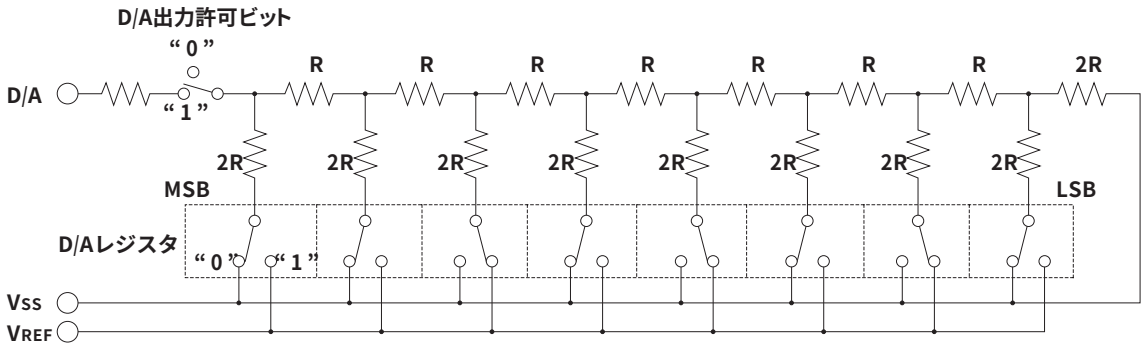
D/Aレジスタ

b7	b0

シンボル	アドレス	リセット時
DA	00D816番地	不定

機　能	RW
D/A変換の出力値	RW

図15.2　D/A制御レジスタ



注1．上図はD/Aレジスタの値が“2A16”の場合です。
注2．D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにD/A出力許可ビットを“0”とし、D/Aレジスタを“0016”として、R-2Rの抵抗に電流が流れないようにしてください。

図15.3　D/Aコンバータの等価回路

16.　CANモジュール

M16C/1NグループはCAN2.0B仕様に対応したCAN(Controller Area Network)モジュールを1チャネル搭載しています。CANモジュールは標準(11ビット)IDentifier(以下IDと略す)と拡張(29ビット)IDの両フォーマットのメッセージを送受信することができます。

図16.1にCANモジュールのブロック図を示します。なお、CANバスドライバ/レシーバは外付けしてください。

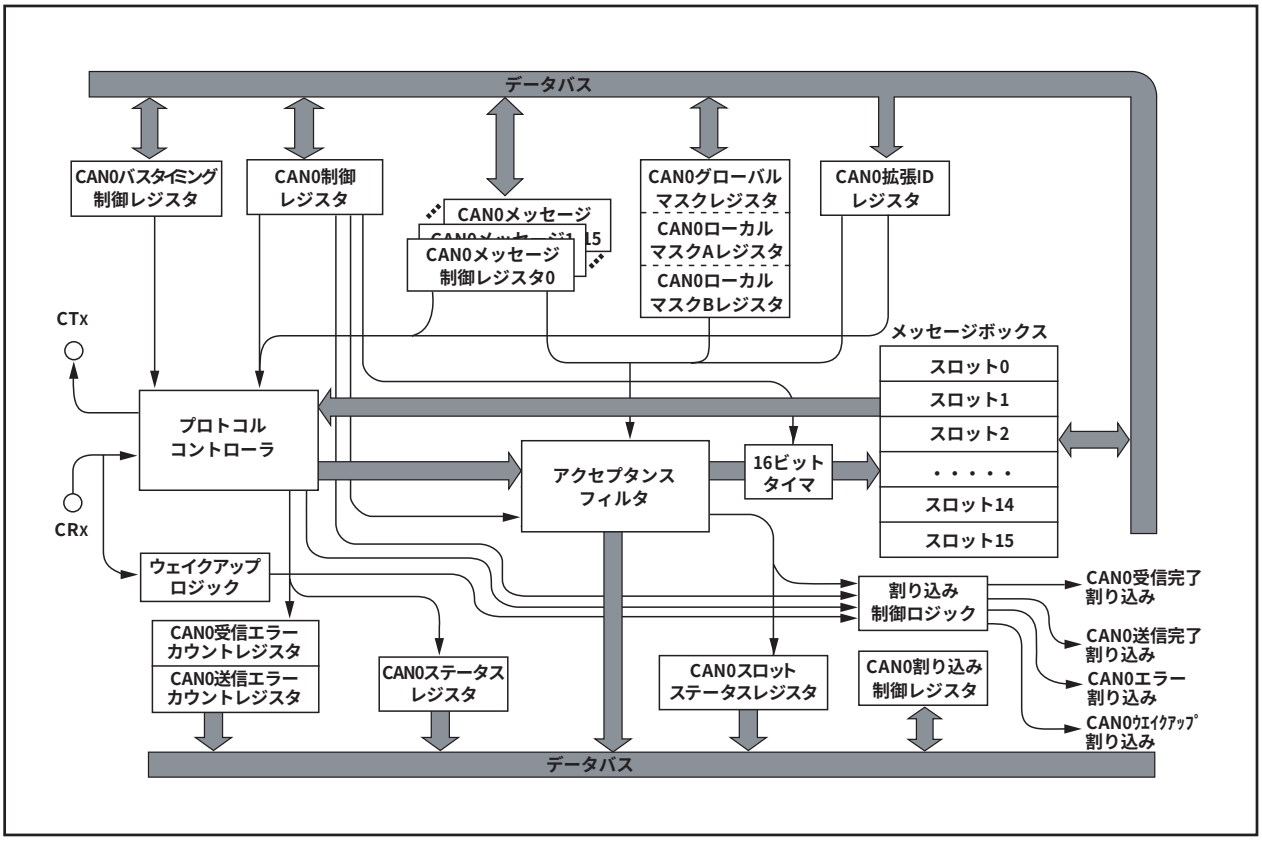


図16.1　CANモジュールのブロック図

CTx/CRx　：CANの入出力端子です。プログラムによって$P0_2$、$P0_3$または$P5_0$、$P5_1$のどちらかをCAN入出力端子に選択してください。

プロトコルコントローラ：バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。

メッセージボックス　：送信または受信スロットとして使用可能な16個のスロットで構成されています。固有のID、データ長コード、8バイトのデータおよびタイムスタンプを含みます。

アクセプタンスフィルタ：受信メッセージのフィルタ処理を行います。このフィルタ処理には、CAN0グローバルマスクレジスタ、CAN0ローカルマスクレジスタA、またはCAN0ローカルマスクレジスタBを使用します。

タイマ　：タイムスタンプ機能に使用します。メッセージメモリに受信メッセージを格納するとき、このタイマ値はタイムスタンプとして格納されます。

ウェイクアップ機能　：CANバスからの受信メッセージでCAN0ウェイクアップ割り込みを発生します。

割り込み発生機能　：CANモジュールによって割り込み要求が発生します。CAN0受信完了割り込み、CAN0送信完了割り込み、CAN0エラー割り込み、CAN0ウェイクアップ割り込みの4種類があります。

16.1　CANモジュール関連レジスタ

CANモジュールの関連レジスタを以下に示します。

(1) CANメッセージボックス

16バイト(または8ワード)の16個のスロットで構成されています。スロット14、15はBasic CAN仕様として使用できます。

・スロットの優先順位は、送信および受信時ともスロット番号の小さいものが優先度が高くなっています(昇順)。

・スロットはプログラムで受信または送信スロットを選択できます。

(2) アクセプタンスマスクレジスタ

3つのアクセプタンスフィルタで構成されています。

・CAN0グローバルマスクレジスタ(C0GMRレジスタ：6バイト)
　スロット0～13に対するアクセプタンスフィルタ処理時のマスク条件を設定します。

・CAN0ローカルマスクレジスタA(C0LMARレジスタ：6バイト)
　スロット14に対するアクセプタンスフィルタ処理時のマスク条件を設定します。

・CAN0ローカルマスクレジスタB(C0LMBRレジスタ：6バイト)
　スロット15に対するアクセプタンスフィルタ処理時のマスク条件を設定します。

(3) CAN 専用レジスタ(SFR)

・CAN0メッセージ制御レジスタi(i=0～15)(C0MCTLiレジスタ：8ビット×16)
　各スロットの送受信制御を行います。

・CAN0制御レジスタ(C0CTLRレジスタ：16ビット)
　CANプロトコルの制御レジスタです。

・CAN0ステータスレジスタ(C0STRレジスタ：16ビット)
　CANプロトコルの動作状態を表します。

・CAN0スロットステータスレジスタ(C0SSTRレジスタ：16ビット)
　各スロットの通信状態を表します。

・CAN0割り込み制御レジスタ(C0ICRレジスタ：16ビット)
　各スロットの割り込み許可または禁止を設定します。

・CAN0拡張IDレジスタ(C0IDRレジスタ：16ビット)
　各スロットのIDフォーマット(標準・拡張)を設定します。

・CAN0バスタイミング制御レジスタ(C0CONRレジスタ：16ビット)
　バスタイミングを設定します。

・CAN0受信エラーカウントレジスタ(C0RECRレジスタ：8ビット)
　CANモジュールの受信時のエラー状態を表します。エラーの発生状態によって、カウンタ値を増減させます。

・CAN0送信エラーカウントレジスタ(C0TECRレジスタ：8ビット)
　CANモジュールの送信時のエラー状態を表します。エラーの発生状態によってカウンタ値を増減させます。

・CAN0アクセプタンスフィルタサポートレジスタ(C0AFSレジスタ：16ビット)
　アクセプタンスフィルタサポートユニットで使用するために受信IDをデコードします。

次に各レジスタについて説明します。

16.2　CAN0メッセージボックス

表16.1にCAN0メッセージボックスのメモリ配置を示します。

メッセージボックスへは、バイトまたはワードアクセスができます。バイトアクセスとワードアクセスではメッセージ内容の配置が異なります。バイトアクセスまたはワードアクセスは、C0CTLRレジスタのMsgOrderビットで設定します。

表16.1　CAN0メッセージボックスのメモリ配置(n＝スロット番号、n＝0～15)

アドレス	メッセージ内容(メモリ配置)	
CAN0	バイトアクセス(8 ビット)	ワードアクセス(16 ビット)
0260_{16} + n ·16 + 0	SID_{10} to SID_6	SID_5 to SID_0
0260_{16} + n ·16 + 1	SID_5 to SID_0	SID_{10} to SID_6
0260_{16} + n ·16 + 2	EID_{17} to EID_{14}	EID_{13} to EID_6
0260_{16} + n ·16 + 3	EID_{13} to EID_6	EID_{17} to EID_{14}
0260_{16} + n ·16 + 4	EID_5 to EID_0	データ長コード(DLC)
0260_{16} + n ·16 + 5	データ長コード(DLC)	EID_5 to EID_0
0260_{16} + n ·16 + 6	データバイト0	データバイト1
0260_{16} + n ·16 + 7 ⋮ 0260_{16} + n ·16 + 13	データバイト1 ⋮ データバイト7	データバイト0 ⋮ データバイト6
0260_{16} + n ·16 + 14	タイムスタンプ上位バイト	タイムスタンプ下位バイト
0260_{16} + n ·16 + 15	タイムスタンプ下位バイト	タイムスタンプ上位バイト

図16.2、16.3にバイトアクセスおよびワードアクセス時の各スロット内のビット配置を示します。各スロットの内容は、新たなメッセージの送受信が行われない限り、以前の値を保持します。

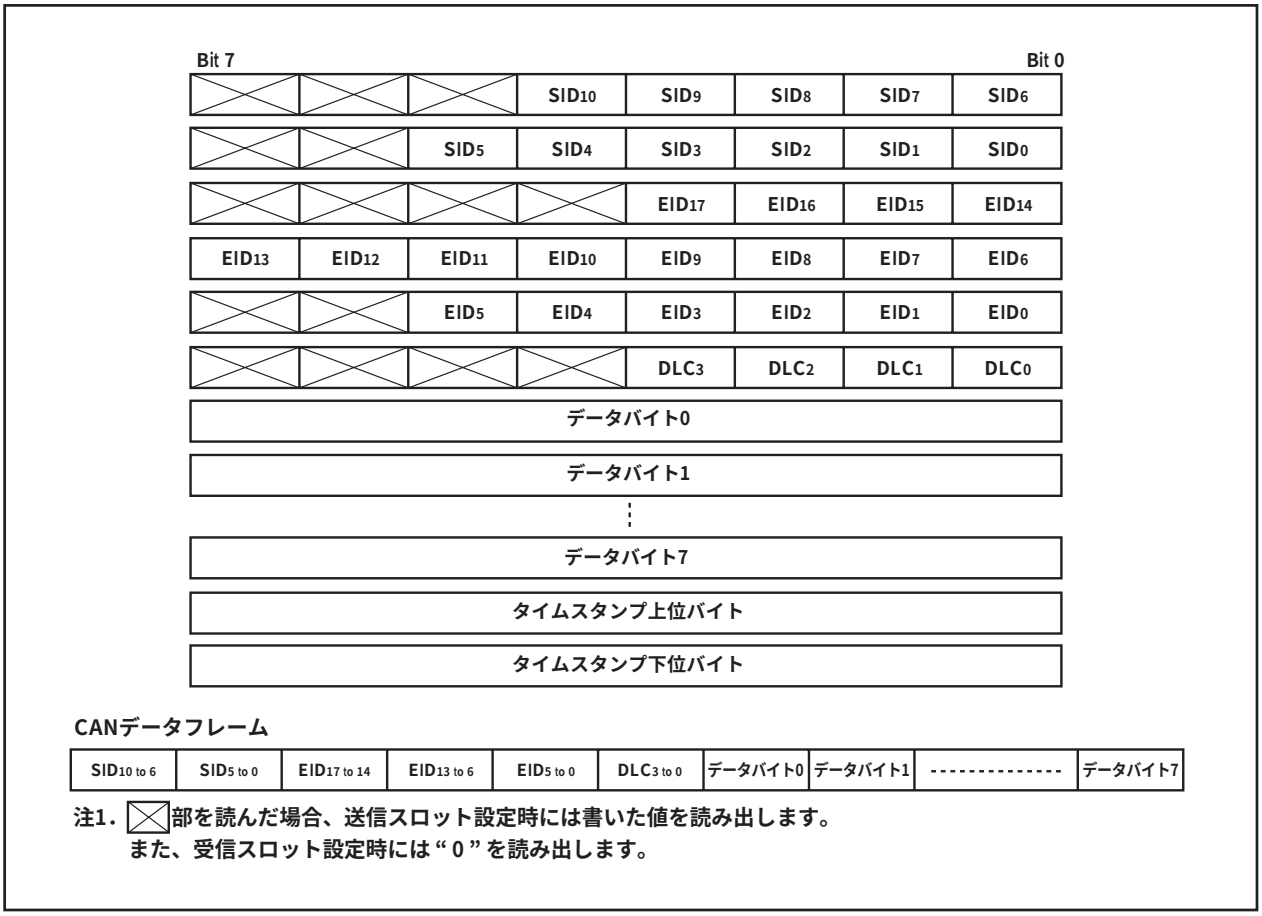


図16.2　バイトアクセス時の各スロット内のビット配置

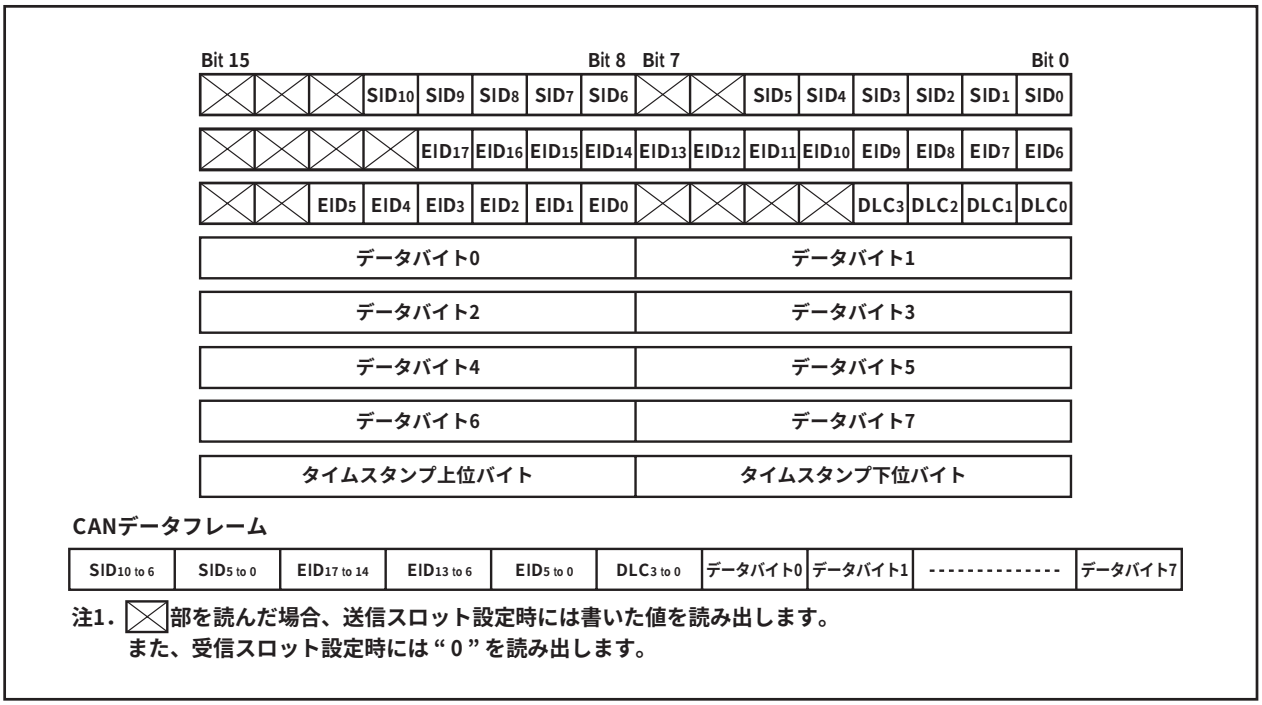


図16.3　ワードアクセス時の各スロット内のビット配置

16.3　アクセプタンスマスクレジスタ

図16.4、16.5にバイトアクセスおよびワードアクセス時のC0GMRレジスタ、C0LMARレジスタおよびC0LMBRレジスタのビット配置を示します。

Bit 7							Bit 0	アドレス CAN0	
			SID10	SID9	SID8	SID7	SID6	0360₁₆	CAN0グローバルマスクレジスタ
		SID5	SID4	SID3	SID2	SID1	SID0	0361₁₆	
				EID17	EID16	EID15	EID14	0362₁₆	
EID13	EID12	EID11	EID10	EID9	EID8	EID7	EID6	0363₁₆	
		EID5	EID4	EID3	EID2	EID1	EID0	0364₁₆	
			SID10	SID9	SID8	SID7	SID6	0366₁₆	CAN0ローカルマスクAレジスタ
		SID5	SID4	SID3	SID2	SID1	SID0	0367₁₆	
				EID17	EID16	EID15	EID14	0368₁₆	
EID13	EID12	EID11	EID10	EID9	EID8	EID7	EID6	0369₁₆	
		EID5	EID4	EID3	EID2	EID1	EID0	036A₁₆	
			SID10	SID9	SID8	SID7	SID6	036C₁₆	CAN0ローカルマスクBレジスタ
		SID5	SID4	SID3	SID2	SID1	SID0	036D₁₆	
				EID17	EID16	EID15	EID14	036E₁₆	
EID13	EID12	EID11	EID10	EID9	EID8	EID7	EID6	036F₁₆	
		EID5	EID4	EID3	EID2	EID1	EID0	0370₁₆	

注1．▨部は不定です。
注2．これらのレジスタは、CANモジュールのCANリセット/初期化モード時に書き換えてください。

図16.4　バイトアクセス時の各マスクレジスタのビット配置

Bit 15							Bit 8	Bit 7							Bit 0	アドレス CAN0	
			SID10	SID9	SID8	SID7	SID6			SID5	SID4	SID3	SID2	SID1	SID0	0360₁₆	CAN0グローバルマスクレジスタ
				EID17	EID16	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8	EID7	EID6	0362₁₆	
		EID5	EID4	EID3	EID2	EID1	EID0									0364₁₆	
			SID10	SID9	SID8	SID7	SID6			SID5	SID4	SID3	SID2	SID1	SID0	0366₁₆	CAN0ローカルマスクAレジスタ
				EID17	EID16	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8	EID7	EID6	0368₁₆	
		EID5	EID4	EID3	EID2	EID1	EID0									036A₁₆	
			SID10	SID9	SID8	SID7	SID6			SID5	SID4	SID3	SID2	SID1	SID0	036C₁₆	CAN0ローカルマスクBレジスタ
				EID17	EID16	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8	EID7	EID6	036E₁₆	
		EID5	EID4	EID3	EID2	EID1	EID0									0370₁₆	

注1．▨部は不定です。
注2．これらのレジスタは、CANモジュールのCANリセット/初期化モード時に書き換えてください。

図16.5　ワードアクセス時の各マスクレジスタのビット配置

16.4　CAN SFR レジスタ

16.4.1　CAN0メッセージ制御レジスタi (i = 0～15)

図16.6にC0MCTLiレジスタを示します。

CAN0メッセージ制御レジスタi (i = 0～15)(注4)

シンボル	アドレス	リセット時
C0MCTLi (i = 0～15)	0220$_{16}$～022F$_{16}$番地	00$_{16}$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　　能	RW
NewData	受信完了フラグ	(受信スロット設定時有効) 0 : スロット内容がCPUリードされた、またはリード中 1 : スロットに新しいメッセージが格納された	RO (注1)
SentData	送信完了フラグ	(送信スロット設定時有効) 0 : 送信がスタートしていない、または完了していない 1 : 送信が完了した	RO (注1)
InvalData	受信中フラグ	(受信スロット設定時有効) 0 : メッセージは有効 1 : メッセージは無効(データ更新中)	RO
TrmActive	送信中フラグ	(送信スロット設定時有効) 0 : バスアイドル待ちまたはアービトレーション完了待ち 1 : 送信中	RO
MsgLost	オーバーライトフラグ	(受信スロット設定時有効) 0 : メッセージはオーバーライトされていない 1 : メッセージはオーバーライトされた	RO (注1)
RemActive	リモートフレーム送受信ステータスフラグ (注2)	0 : データフレーム送受信ステータス 1 : リモートフレーム転送ステータス	RO
RspLock	送受信自動応答ロックモード選択ビット	(リモートフレーム受信スロット設定時有効) 0 : リモートフレーム受信後、ただちに応答(送信)する 1 : リモートフレーム受信後も“1”に設定されている間は応答(送信)しない	RW
Remote	リモートフレーム対応スロット設定ビット	0 : リモートフレーム非対応スロット 1 : リモートフレーム対応スロット	RW
RecReq	受信スロット要求ビット (注3)	0 : 受信スロットではない 1 : 受信スロット	RW
TrmReq	送信スロット要求ビット (注3)	0 : 送信スロットではない 1 : 送信スロット	RW

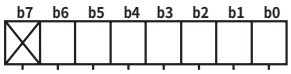
注1．“0”のみ書けます。各ビットの値は、CANコントローラがその状態になったときにセットされます。
注2．Basic CANモード時は、データフォーマットの判別フラグになります。データフレームを受信したとき“0”に、リモートフレームを受信したとき“1”になります。
注3．1つのスロットに対して、受信スロット・送信スロットを同時に設定できません。
注4．このレジスタは、CANモジュールのCANリセット/初期化モードでは設定できません。

図16.6　CAN0メッセージ制御レジスタ

16.4.2　CAN0制御レジスタ

図16.7にC0CTLRレジスタを示します。

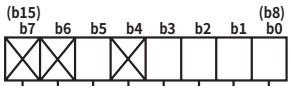
CAN0制御レジスタ



シンボル	アドレス	リセット時
C0CTLR	0230_{16}番地	$X0000001_2$

ビットシンボル	ビット名	機　　能	RW
Reset	CANモジュールリセットビット (注2)	0 : 動作モード 1 : リセット/初期化モード	RW
LoopBack	ループバックモード選択ビット (注3)	0 : 通常動作モード 1 : ループバックモード	RW
MsgOrder	メッセージオーダー選択ビット (注3)	0 : ワードアクセス対応 1 : バイトアクセス対応	RW
BasicCAN	Basic CANモード選択ビット (注3)	0 : 通常動作モード 1 : Basic CANモード	RW
BusErrEn	バスエラー割り込み許可ビット (注3)	0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可	RW
Sleep	スリープモード選択ビット (注3、4)	0 : 動作モード 1 : スリープモード(クロック供給停止)	RW
PortEn	CANポート許可ビット	0 : 入出力ポートとして機能 1 : CTx/CRxとして機能 (注1)	RW
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

注1．PD0、PD5レジスタの設定にかかわらず、CTx/CRxとして機能します。
注2．Resetビットを“1”(CANリセット/初期化モード)にした場合、C0STRレジスタのState_Resetビットが“1”(リセットモード)になるのを確認してください。
注3．これらのビットは、CANリセット/初期化モード時でのみ変更してください。
注4．CAN0ウェイクアップ割り込みを使用する場合は、このビットを“1”(スリープモード)にしてください。



シンボル	アドレス	リセット時
C0CTLR	0231_{16}番地	$XX0X0000_2$

ビットシンボル	ビット名	機　　能	RW
TSPreScale Bit1,Bit0	タイムスタンプ用プリスケーラ (注3)	b1 b0 0　0 : 1 bit time の周期 0　1 : 1 bit time の周期の２分周 1　0 : 1 bit time の周期の４分周 1　1 : 1 bit time の周期の８分周	RW
TSReset	タイムスタンプカウンタ用リセットビット (注1)	0 : 通常動作モード 1 : タイムスタンプカウンタの強制リセット	RW
RetBusOff	バスオフからの強制復帰命令ビット (注2)	0 : 通常動作モード 1 : バスオフからの強制復帰	RW
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
RXOnly	リッスンオンリーモード選択ビット(注3)	0 : 通常動作モード 1 : リッスンオンリーモード(注4)	RW
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

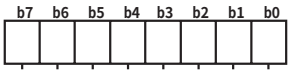
注1．TSResetビットを“1”にすると、C0STRレジスタが“0000_{16}”になり、その後このビットは自動的に“0”になります。
注2．RetBusOffビットを“1”にすると、C0RECRレジスタ、C0TECRレジスタが“00_{16}”になり、その後このビットは自動的に“0”になります。
注3．これらのビットは、CANリセット/初期化モード時でのみ変更してください。
注4．リッスンオンリーモード選択時は、送信要求をしないでください。

図16.7　CAN0制御レジスタ

16.4.3　CAN0ステータスレジスタ

図16.8にC0STRレジスタを示します。

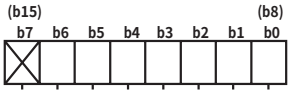
CAN0ステータスレジスタ(注1)



シンボル	アドレス	リセット時
C0STR	0232$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	RW
MBOX	アクティブスロット判別ビット(注2)	b3 b2 b1 b0 0 0 0 0 : スロット0 0 0 0 1 : スロット1 0 0 1 0 : スロット2 ・・・・ 1 1 1 0 : スロット14 1 1 1 1 : スロット15	RO
TrmSucc	送信完了フラグ	0 : 送信なし 1 : 送信完了	RO
RecSucc	受信完了フラグ	0 : 受信なし 1 : 受信完了	RO
TrmState	送信フラグ(Transmitter)	0 : バスアイドルまたは受信中 1 : 送信中	RO
RecState	受信フラグ(Receiver)	0 : バスアイドルまたは送信中 1 : 受信中	RO

注1．このレジスタは、CANモジュールのCANリセット/初期化モードでは設定できません。
注2．C0ICRレジスタで割り込み許可にしたスロットが送受信完了したときのみ変化します。



シンボル	アドレス	リセット時
C0STR	0233$_{16}$番地	X0000001$_{2}$

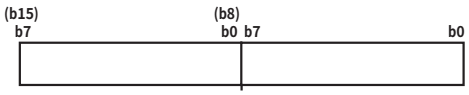
ビットシンボル	ビット名	機　　能	RW
State_Reset	リセットステートフラグ	0 : 動作モード 1 : リセットモード	RO
State _LoopBAck	ループバックステートフラグ	0 : 動作モード 1 : ループバックモード	RO
State _MsgOrder	メッセージオーダーステートフラグ	0 : ワードアクセス対応 1 : バイトアクセス対応	RO
State _BasicCAN	BasicCANモードステートフラグ	0 : 通常動作モード 1 : Basic CANモード	RO
State _BusError	バスエラーステートフラグ	0 : バスエラー発生なし 1 : バスエラー発生	RO
State _ErrPas	エラーパッシブステートフラグ	0 : エラーパッシブではない 1 : エラーパッシブステート	RO
State _BusOff	エラーバスオフステートフラグ	0 : エラーバスオフではない 1 : エラーバスオフステート	RO
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—

図16.8　CAN0ステータスレジスタ

16.4.4　CAN0スロットステータスレジスタ

図16.9にC0SSTRレジスタを示します。

CAN0スロットステータスレジスタ



シンボル	アドレス	リセット時
C0SSTR	0235_{16}、0234_{16}番地	0000_{16}

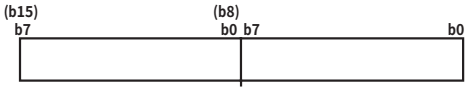
機　　能	設定値	RW
スロットステータスビット 各ビットはそのビット番号と同じ番号のスロットのステータスを表します。	0 : (受信スロット設定時) メッセージは読まれた (送信スロット設定時) 送信完了していない 1 : (受信スロット設定時) メッセージは読まれていない (送信スロット設定時) 送信完了した	RO

図16.9　CAN0スロットステータスレジスタ

16.4.5　CAN0割り込み制御レジスタ

図16.10にC0ICRレジスタを示します。

CAN0割り込み制御レジスタ(注1)



シンボル	アドレス	リセット時
C0ICR	0237_{16}、0236_{16}番地	0000_{16}

機　　能	設定値	RW
割り込み許可ビット 各ビットはそのビット番号と同じ番号のスロットに対応します。 各スロットの送信完了および受信完了割り込みの許可・禁止を設定できます。	0：割り込み禁止 1：割り込み許可	RW

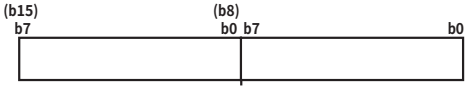
注1．このレジスタは、CANモジュールのCANリセット/初期化モードでは設定できません。

図16.10　CAN0割り込み制御レジスタ

16.4.6　CAN0拡張IDレジスタ

図16.11にC0IDRレジスタを示します。

CAN0拡張IDレジスタ(注1)



シンボル	アドレス	リセット時
C0IDR	0239_{16}、0238_{16}番地	0000_{16}

機　　能	設定値	RW
拡張IDビット 各ビットはそのビット番号と同じ番号のスロットに対応します。 各スロットが扱うIDフォーマットを設定できます。	0：標準ID 1：拡張ID	RW

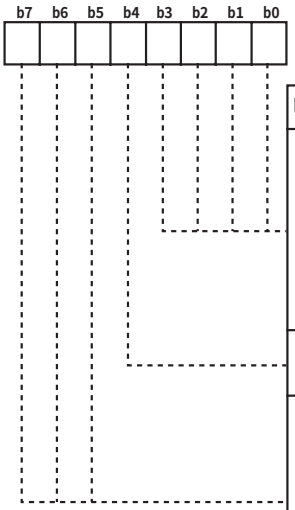
注1．このレジスタは、CANモジュールのCANリセット/初期化モードでは設定できません。

図16.11　CAN0拡張IDレジスタ

16.4.7　CAN0バスタイミング制御レジスタ

図16.12にC0CONRレジスタを示します。

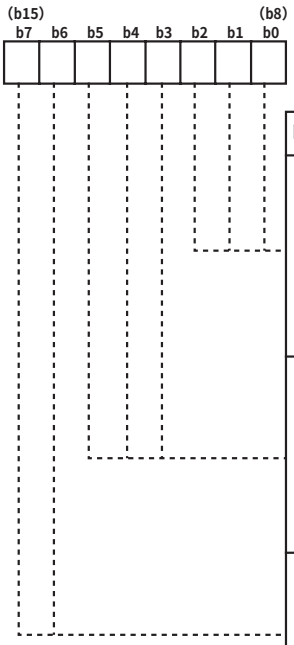
CAN0バスタイミング制御レジスタ



シンボル	アドレス	リセット時
C0CONR	023A16番地	不定

ビットシンボル	ビット名	機　　能	RW
BRP	プリスケーラ分周比選択ビット	b3 b2 b1 b0 0 0 0 0 : fCAN/1(注1) 0 0 0 1 : fCAN/2 0 0 1 0 : fCAN/3 ・・・・ 1 1 1 0 : fCAN/15 1 1 1 1 : fCAN/16	RW
SAM	サンプリング回数設定ビット	0 : 1回サンプリング 1 : 3回サンプリング	RW
PTS	Propagation Time Segment 制御ビット	b7 b6 b5 0 0 0 : 1Tq 0 0 1 : 2Tq 0 1 0 : 3Tq ・・・・ 1 1 0 : 7Tq 1 1 1 : 8Tq	RW

注1．fCANはCAN用クロックです。この周期はCCLKRレジスタのCCLKi(i=4～6)ビットの設定によって決まります。



シンボル	アドレス	リセット時
C0CONR	023B16番地	不定

ビットシンボル	ビット名	機　　能	RW
PBS1	Phase Buffer Segment1制御ビット	b2 b1 b0 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq ・・・・ 1 1 0 : 7Tq 1 1 1 : 8Tq	RW
PBS2	Phase Buffer Segment2制御ビット	b5 b4 b3 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq ・・・・ 1 1 0 : 7Tq 1 1 1 : 8Tq	RW
SJW	Re Synchronization Jump Width 制御ビット	b7 b6 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	RW

図16.12　CAN0バスタイミング制御レジスタ

16.4.8　CAN0受信エラーカウントレジスタ

図16.13にC0RECRレジスタを示します。

CAN0受信エラーカウントレジスタ(注2)

b7　b0

シンボル	アドレス	リセット時
C0RECR	023C16番地	0016

機　　能	設定値	RW
受信エラーカウント機能 CANモジュールのエラー状態によってカウンタ値を増減させます。	0016 ～ FF16 (注1)	RO

注1．バスオフステート時の値は不定になります。
注2．このレジスタは、CANモジュールのCANリセット/初期化モードでは設定できません。

図16.13　CAN0受信エラーカウントレジスタ

16.4.9　CAN0送信エラーカウントレジスタ

図16.14にC0TECRレジスタを示します。

CAN0送信エラーカウントレジスタ(注1)

b7　b0

シンボル	アドレス	リセット時
C0TECR	023D16番地	0016

機　　能	設定値	RW
送信エラーカウント機能 CANモジュールのエラー状態によってカウンタ値を増減させます。	0016 ～ FF16	RO

注1．このレジスタは、CANモジュールのCANリセット/初期化モードでは設定できません。

図16.14　CAN0送信エラーカウントレジスタ

16.4.10　CAN0アクセプタンスフィルタサポートレジスタ

図16.15にC0AFSレジスタを示します。

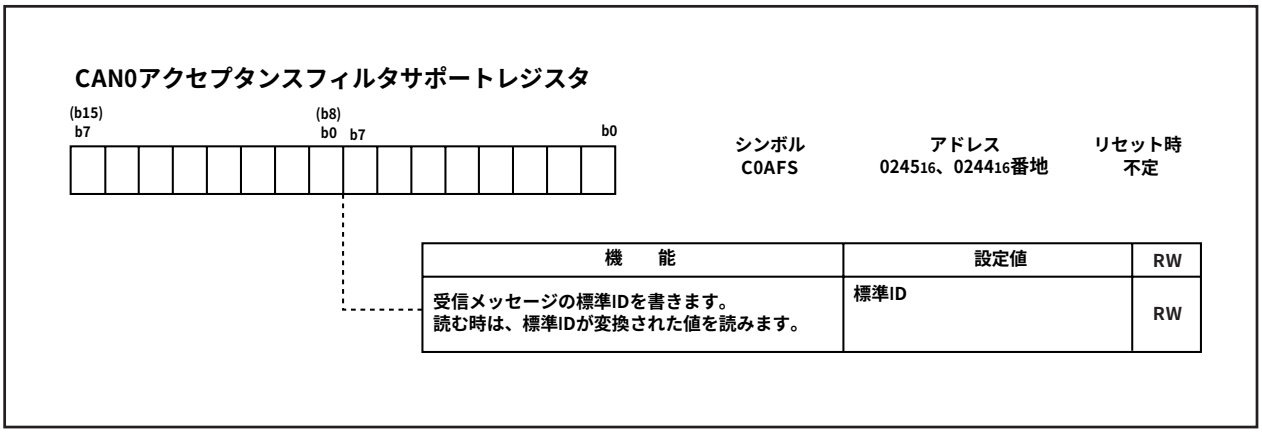


図16.15　CAN0アクセプタンスフィルタサポートレジスタ

16.5　動作モード

CANモジュールには、次の3つの動作モードがあります。

・CANリセット/初期化モード
・CANスリープモード
・CAN動作モード

図16.16に動作モードの遷移を示します。

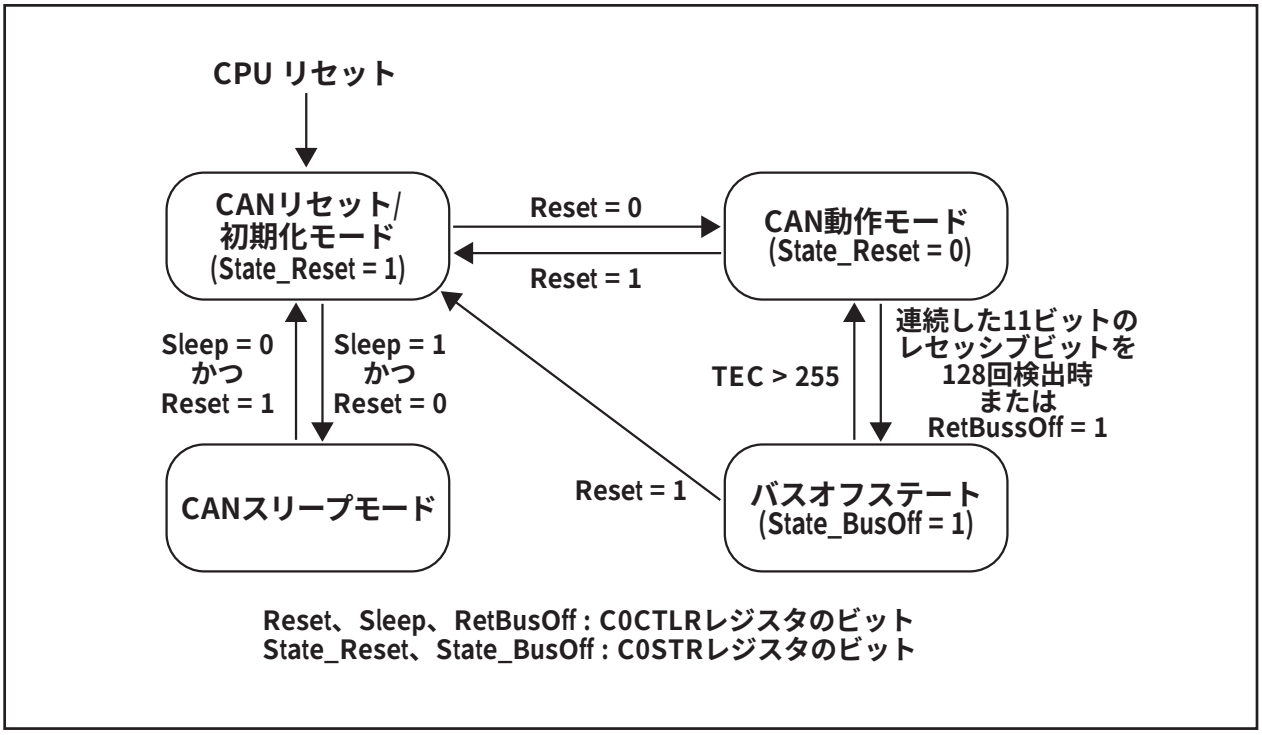


図16.16　動作モードの遷移

16.5.1　CANリセット/初期化モード

CPUをリセットまたはC0CTLRレジスタのResetビットを“1”にすると、CANモジュールはCANリセット/初期化モードになります。Resetビットを“1”にした場合は、C0STRレジスタのState_Resetビットが“1”になるのを確認してください。

CANリセット/初期化モード中では、CANモジュールは次の状態になります。

・CAN通信ができません。
・メッセージを送信中にCANリセット/初期化モードにした場合、送信完了、アービトレーション負け、またはエラーを検知するまでCAN動作モードを維持します。その後C0STRレジスタのState_Resetビットは“1”になり、CANリセット/初期化モードに遷移します。
・C0IDRレジスタ、C0MCTLiレジスタ(i=0～15)、C0ICRレジスタ、C0STRレジスタ、C0RECRレジスタ、C0TECRレジスタは初期化され、CPUはアクセスできません。
・C0CTLRレジスタ、C0CONRレジスタ、C0GMRレジスタ、C0LMARレジスタ、C0LMBRレジスタ、CAN0メッセージボックスは以前の値を保持し、CPUはアクセスできます。

16.5.2　CAN動作モード

C0CTLRレジスタのResetビットを“0”にすると、CANモジュールはCAN動作モードになります。

Resetビットを“0”にした場合、C0STRレジスタのState_Resetビットが“0”になるのを確認してください。CAN動作モード遷移後、連続した11ビットのレセッシブビットを検出すると、CANモジュールは次の状態になります。

・メッセージの送受信ができます。
・送信エラー、受信エラーのカウントを始め、CANモジュールのエラーステータスを管理します。エラーステータスによって、CANモジュールはCAN通信ができない状態になります。

CANモジュールは、CAN動作モード中に次の3つのサブモードになっています。

・アイドルモード：送受信を行っていない状態です。
・受信モード：他ノードが送信するメッセージを受信している状態です。
・送信モード：自ノードがメッセージを送信している状態です。C0CTLRレジスタのLooBackビットが“1”の時、自身が送信しているメッセージを同時に受信します。

図16.17にCAN動作モードのサブモードを示します。

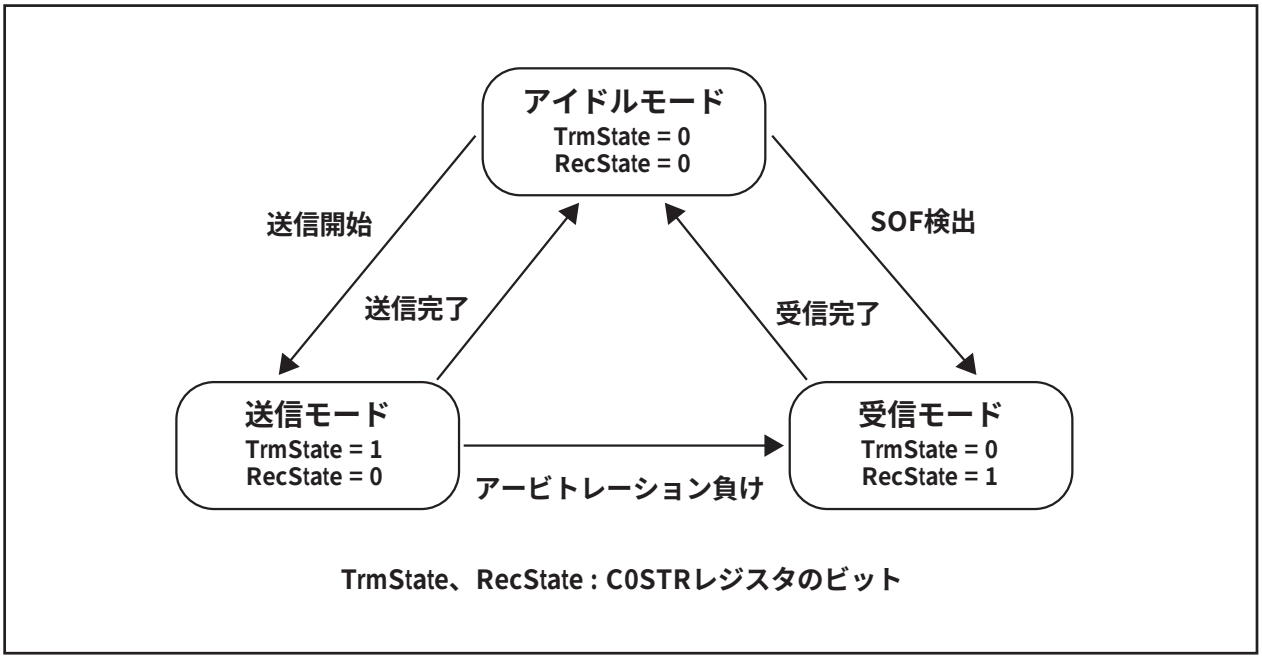


図16.17　CAN動作モードのサブモード

16.5.3　CANスリープモード

C0CTLRレジスタのSleepビットを“1”、Resetビットを“0”にすると、CANモジュールはスリープモードになります。

CAN動作モードからCANスリープモードへ遷移する場合は、CANリセット/初期化モードを経由して、CANスリープモードにしてください。

CANスリープモードになると、ただちにCANモジュールへのクロック供給が停止されるため、消費電流を低減することができます。

16.5.4 バスオフステート

CAN通信エラーを繰り返すと、CANプロトコルのエラー制御の規制にしたがって、CANモジュールはバスオフステートへ遷移し、CAN通信ができなくなります。バスオフステートへ遷移後にCAN動作モードに復帰するには次の2つの場合があります。なお、このときC0STRレジスタ、C0RECRレジスタ、C0TECRレジスタ以外のCANモジュール関連レジスタの値は変化しません。

(1) 連続した11ビットのレセッシブビットを128回検出時、CANモジュールはただちにエラーアクティブ状態に遷移し、すぐにCAN通信ができるようになります。
(2) C0STRレジスタのRetBusOffビット=1(バスオフからの強制復帰)時、CANモジュールはただちにエラーアクティブ状態に遷移し、連続した11ビットのレセッシブビットを検出した後、再びCAN通信ができるようになります。

16.6　CANモジュールシステムクロックの設定

CANモジュールは、専用のCANモジュールシステムクロック選択回路を備えています。

CANモジュールシステムクロックの設定は、CCLKRとレジスタC0CONRレジスタのBRPビットで行います。CCLKRレジスタについては「6. クロック発生回路」を参照してください。

図16.18にCANモジュールシステムクロック発生回路ブロック図を示します。

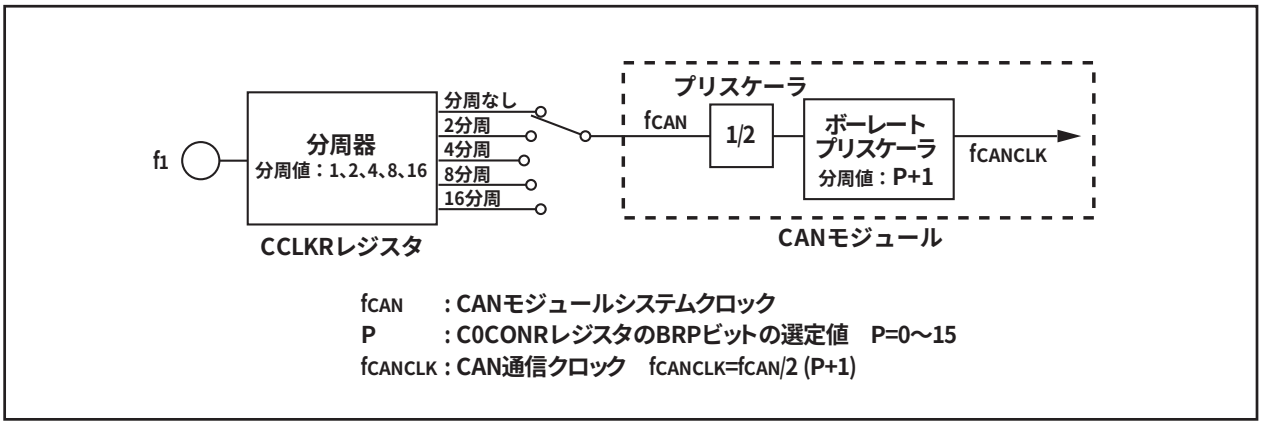


図16.18　CANモジュールシステムクロック発生回路ブロック図

16.6.1　ビットタイミングの設定

ビットタイムは次の4つのセグメントで構成されています。

- シンクロナイゼーションセグメント(SS)
  ビットの立ち下がりエッジをモニタして同期をあわせるセグメントです。
- プロパゲーションタイムセグメント(PTS)
  CANネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、CANバス上の遅延、入力コンパレータ遅延、出力ドライバ遅延の総和の2倍になります。
- フェーズバッファセグメント1(PBS1)
  周波数の誤差によるフェーズエラーを補償するためのセグメントです。ビットの立ち下がりエッジが期待値より遅い場合は、PBS1は最大SJW設定値分だけ長くなります。
- フェーズバッファセグメント2(PBS2)
  PBS1と同様な機能を持つセグメントです。ビットの立ち下がりエッジが期待値より早い場合は、最大SJW設定値分だけ短くなります。

図16.19にビットタイミング図を示します。

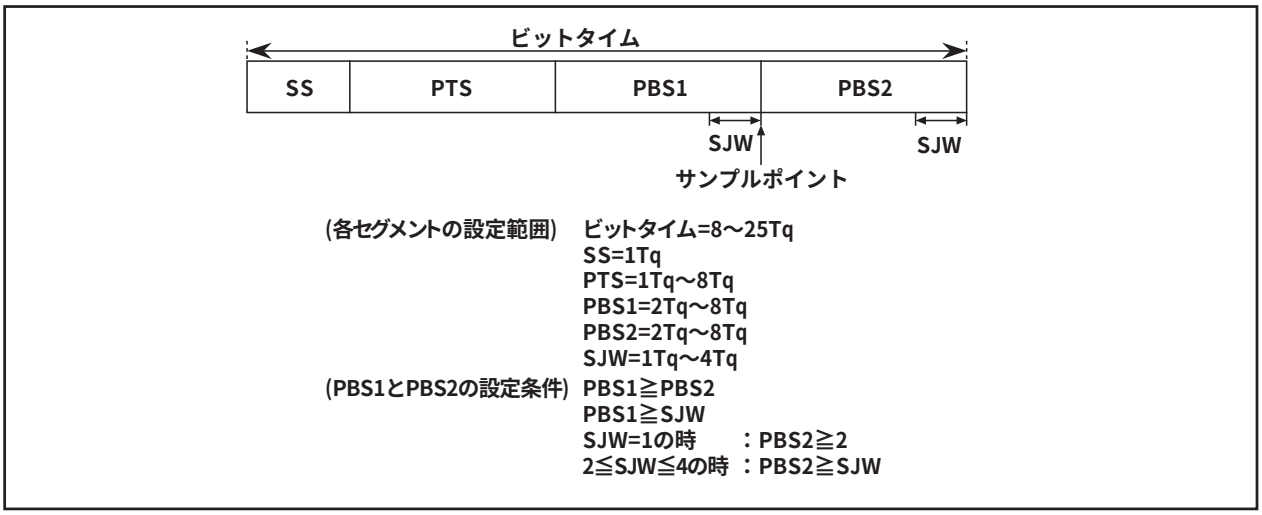


図16.19　ビットタイミング図

16.6.2　転送速度

転送速度は、メインクロック、CANモジュールシステムクロック分周値、ボーレートプリスケーラ分周値、1ビットのTq数で決まります。

表16.2に転送速度の実現例を示します。

表16.2　転送速度の実現例

転送速度	16MHz	10MHz	8MHz
1Mbps	8Tq (1)	———	———
500kbps	8Tq (2) 16Tq (1)	10Tq (1) ———	8Tq (1) ———
125kbps	8Tq (8) 16Tq (4)	10Tq (4) 20Tq (2)	8Tq (4) 16Tq (2)
83.3kbps	8Tq (12) 18Tq (6)	10Tq (6) 20Tq (3)	8Tq (6) 16Tq (3)
33.3kbps	8Tq (30) 16Tq (15)	10Tq (15) ———	8Tq (15) ———

注1.　(　)内の数字はfCAN分周×ボーレートプリスケーラ分周値を示します。

■転送速度の算出式

$$\frac{X_{IN}}{2 \times f_{CAN}\text{分周値}^{(注1)} \times \text{ボーレートプリスケーラ分周値}^{(注2)} \times 1\text{ビットのTq数}}$$

注1.　fCAN分周値 ＝ 1、2、4、8、16
　　fCAN分周値：CCLKRレジスタの選定値

注2.　ボーレート用プリスケーラ分周値 ＝ P+1 (P = 0～15)
　　P：C0CONRレジスタのBRPビットの選定値

16.7　アクセプタンスフィルタ機能とマスク機能

ユーザが任意のメッセージを選択受信する機能です。C0GMRレジスタ、C0LMARレジスタ、C0LMBRレジスタは、標準IDと拡張IDの29ビットに対してマスクができます。C0GMRレジスタはスロット0～13、C0LMARレジスタはスロット14、C0LMBRレジスタはスロット15に対応しています。マスク機能は、アクセプタンスフィルタ処理のときC0IDRレジスタの対応するスロットの設定値によって、受信IDの11ビットまたは29ビットに対して有効になります。マスク機能を使用するとある範囲のIDを受信できるようになります。

図16.20に各マスクレジスタとスロットの対応を、図16.21にアクセプタンス機能を示します。

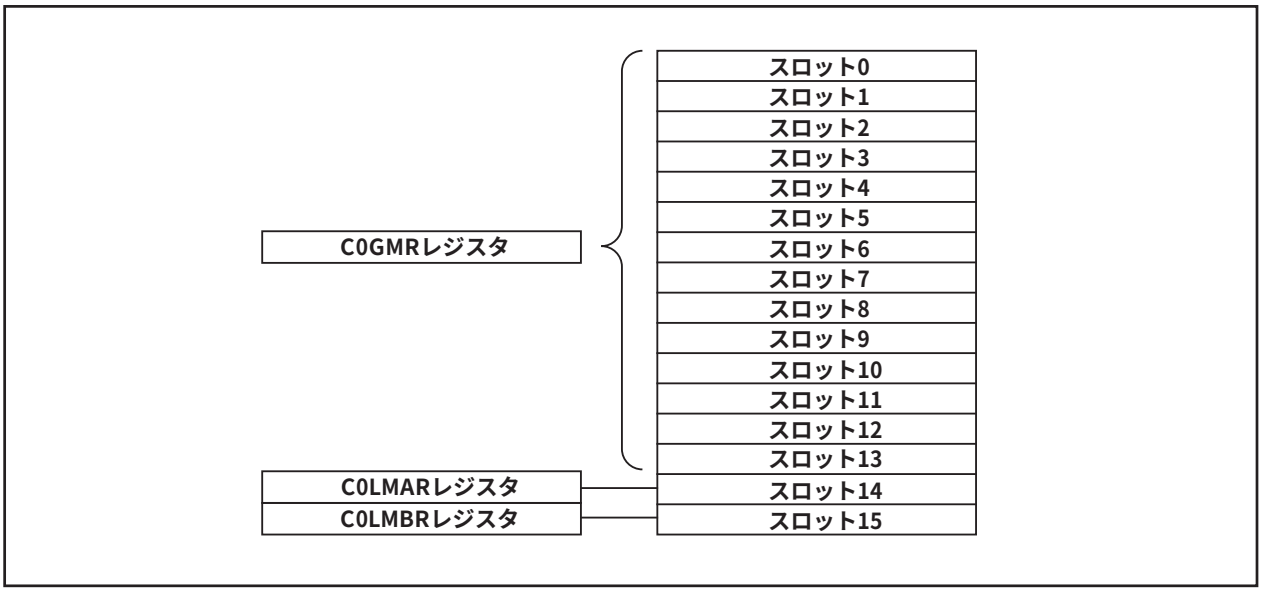


図16.20　各マスクレジスタとスロットの対応

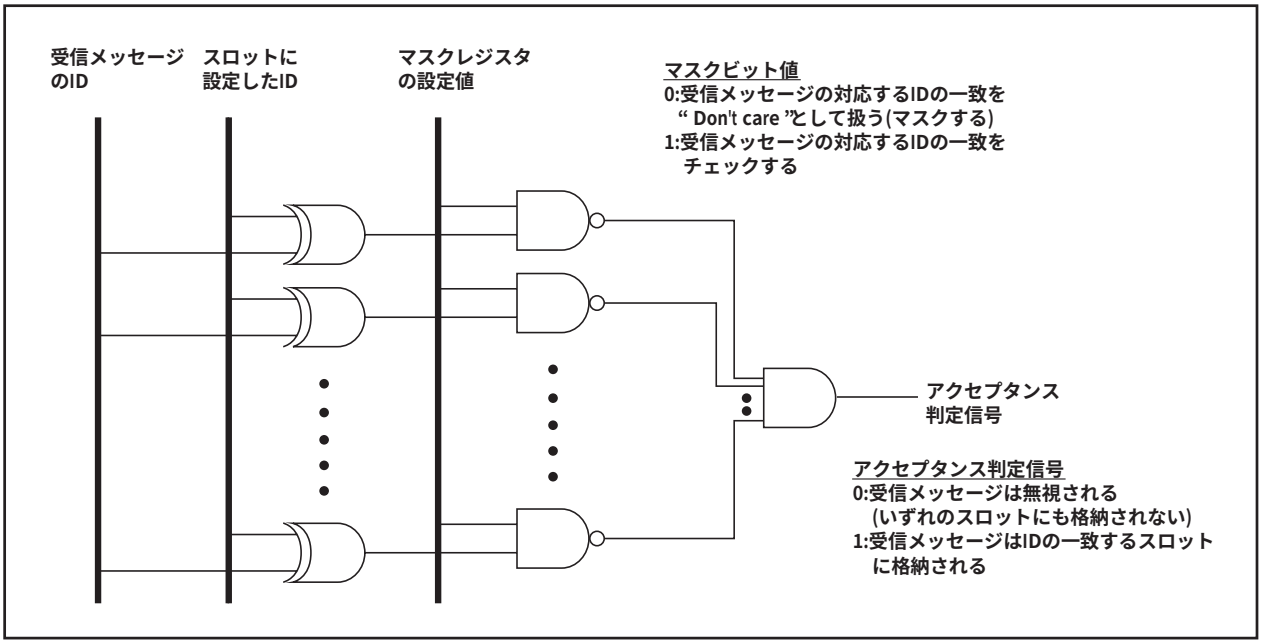


図16.21　アクセプタンス機能

アクセプタンス機能を使用する時は、次の点に注意してください。

(1) 異なるスロットに同じのIDを設定して受信した場合、スロット番号の小さい方が有効になります。

(2) Basic CANモードでスロット14、15にすべてのID(メッセージ)を受信するように設定した場合、スロット14、15はスロット0～13が受信しなかったすべてのIDを受信します。

16.8　アクセプタンスフィルタサポートユニット(ASU)

アクセプタンスフィルタサポートユニットは、受信ID の有効、無効をテーブル検索で判断する機能です。受信するIDをデータテーブルに登録し、受信したIDをC0AFSレジスタに格納した後、デコードされた受信IDを使用してテーブル検索を行います。このアクセプタンスフィルタサポートユニットは、標準フレームのIDに対してのみ使用できます。

アクセプタンスフィルタサポートユニットは、次の場合に有効です。

・アクセプタンスフィルタで受信するIDにマスクができない場合
　例) 受信するID 078_{16}、087_{16}、111_{16}
・受信するIDが非常に多く、ソフトウェアでフィルタリングすると時間がかかりすぎる場合

図 16.22にワードアクセス時のC0AFSレジスタの書き込み時と読み出し時の状態を示します。

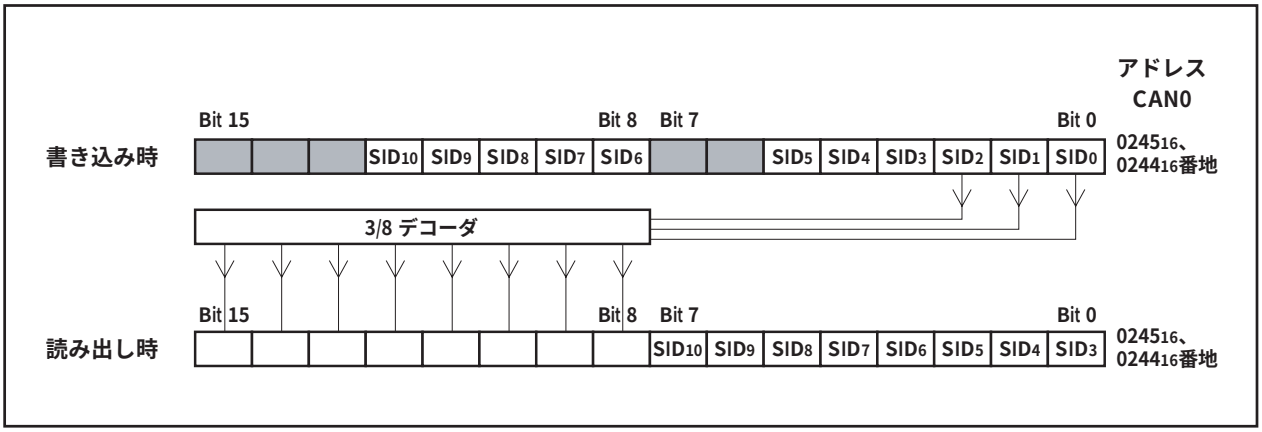


図16.22　ワードアクセス時のC0AFSレジスタの書き込み時と読み出し時の状態

16.9　Basic CANモード

C0CTLRレジスタのBasic CANビットを“1”(Basic CANモード)にすると、スロット14、15はBasic CANモードに対応します。通常、各スロットはCPUからの設定でデータフレームかリモートフレームのどちらか一方しか扱うことができませんが、Basic CANモードでは両方のフレームを同時に扱うことができます。

Basic CANモードでスロット14、15を受信許可にすると、受信したデータフレームまたはリモートフレームがスロット14からスロット15と交互に格納されます。

受信したメッセージタイプは、C0MCTLiレジスタのRemActiveビットで判別できます。

図16.23にBasic CANモード時のスロット14とスロット15の動作を示します。

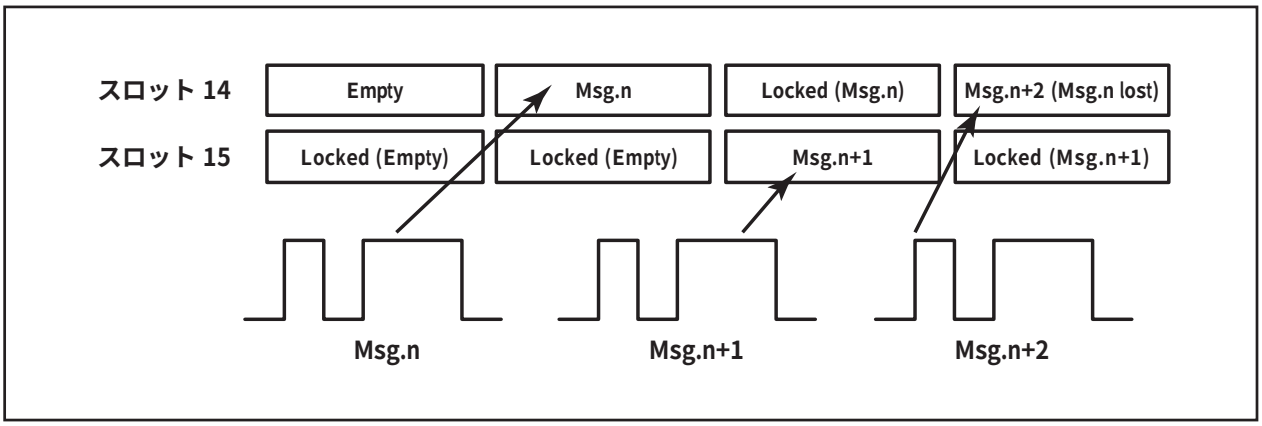


図16.23　Basic CAN モード時のスロット14 とスロット15 の動作

Basic CANモードを使用するときは、次の点に注意してください。

(1) Basic CANモードの設定はCANリセット/初期化モード時に行ってください。

(2) スロット14とスロット15は、受信スロットとして設定してください。

(3) スロット14とスロット15には、同じIDを設定してください。また、C0LMARレジスタ、C0LMBRレジスタの設定も同一にしてください。

(4) メッセージのオーバーライトに対する保護機能はありません。各スロットは新メッセージによってオーバーライトされます。

(5) スロット0～13の動作に変わりはありません。

16.10　リターンフロムバスオフ機能

プロトコルコントローラがバスオフステートになったとき、C0CTLRレジスタのリターンフロムバスオフ機能を使用すると、バスオフステートから強制復帰できます。このとき、エラーステートは、バスオフステートからエラーアクティブステートになります。この機能を実行するとC0TECRレジスタ、C0RECRレジスタは初期化されますが、C0CONRレジスタなどのCANモジュールの各レジスタとスロットの内容は初期化されません。

16.11　リッスンオンリーモード

C0CTLRレジスタのRXonlyビットを“1”にすると、リッスンオンリーモードになります。

リッスンオンリーモードでは、データフレーム、エラーフレーム、オーバロードフレームの送信やACKを行いません。リッスンオンリーモード選択時は、送信要求をしないでください。

16.12　CAN受信とCAN送信

表16.3にCAN受信モードと送信モードの設定方法を示します。

表16.3　CAN受信モードとCAN送信モードの設定方法

TrmReq	RecReq	Remote	RspLock	スロットの通信モード設定内容
0	0	—	—	通信環境設定モード。 CPUでこのスロットの通信環境を設定してください。
0	1	0	0	データフレームの受信スロットに設定されます。
1	0	1	0	リモートフレームの送信スロットに設定されます(このとき、RemActiveビット=1)。 送信後、データフレームの受信スロットとして機能します(このとき、RemActiveビット=0)。 ただし、リモートフレーム送信前にCANバス上で一致するIDを検出した場合は、ただちにデータフレームの受信スロットとして機能します。
1	0	0	0	データフレームの送信スロットに設定されます。
0	1	1	1/0	リモートフレームの受信スロットとして設定されます(このとき、RemActiveビット=1)。 受信後は、データフレームの送信スロットとして機能します(このとき、RemActiveビット=0)。 ただし、RspLockビット=1である限り送信はスタートせず、リモートフレームは自動的に応答しません。 RspLockビット=0にすると応答(送信)をスタートします。

TrmReq、RecReq、Remote、RspLock、RemActive、RspLock : C0MCTLjレジスタ(j=0～15)のビット

受信モードでは次の点に注意してください。

(1) C0MCTLiレジスタを“ 00_{16} ”にしてから、スロットの受信設定をしてください。

(2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果、最初に条件のあったスロットに格納されます。格納スロット決定時にスロット番号が小さい方が優先順位が高くなります。

(3) 通常のCAN動作モード時は、自ノードが送信したメッセージはIDが一致しても自ノードは受信しません。しかしループバックモード時は、IDが一致した場合にそのメッセージを受信します。ただし、この場合、ACKは返しません。

送信モードでは次の点に注意してください。

(1) C0MCTLiレジスタを“ 00_{16} ”にしてから、スロットの送信設定をしてください。

(2) TrmReqビットを“ 0 ”(送信スロットではない)にしてから、送信スロットを書き換えてください。

(3) TrmActiveビットが“ 1 ”(送信中)のときは、送信スロットは書き換えないでください。書き換えると不定データが出力されます。

16.12.1　受信

図16.24にデータフレーム受信時の動作例を示します。この例では、2つの連続したメッセージを受信しているときのCANモジュールの動作を示します。

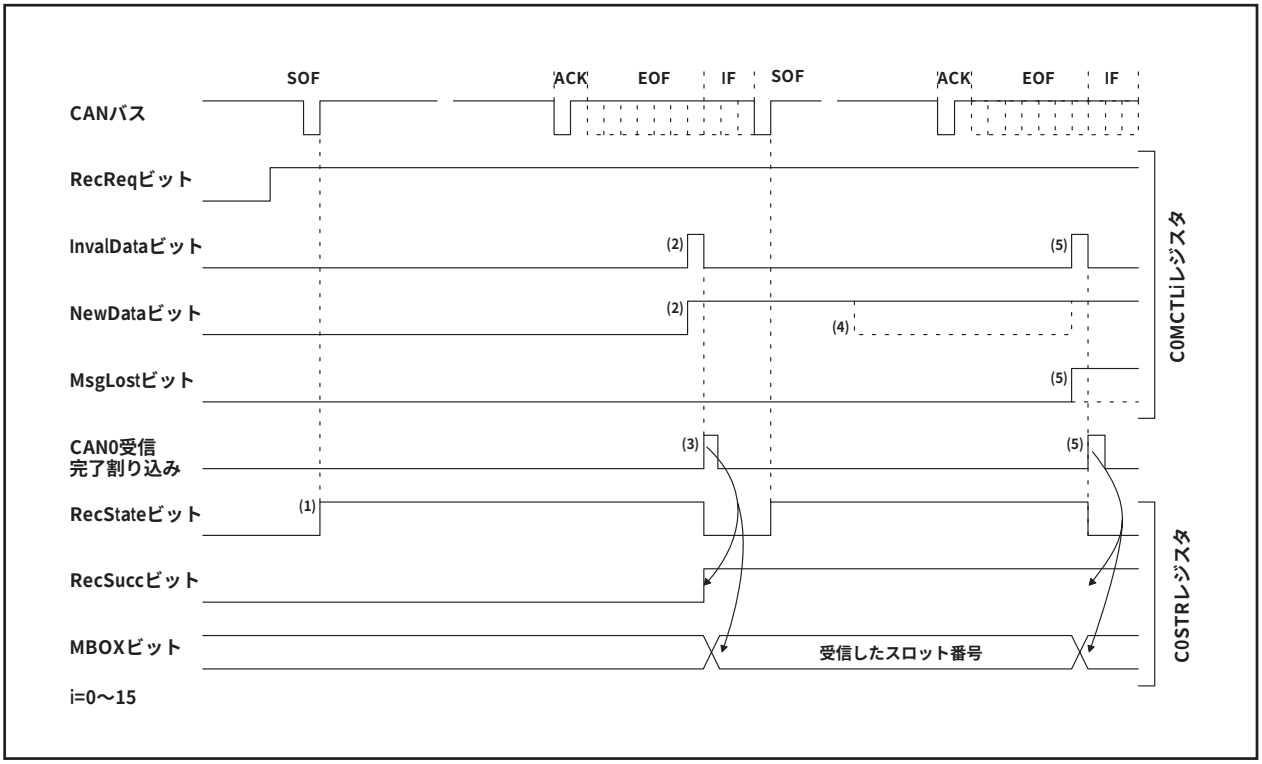


図16.24　データフレーム受信時の動作例

(1) CANバス上にSOFを検知すると、RecStateビットがただちに“1”になり、メッセージの受信を開始します(「16.12.2 送信」参照)。

(2) メッセージの受信を完了すると、受信スロットのNewDataビットが“1”になります。同時にInvalDataビットが“1”になり、そのスロットへメッセージが完全に格納された後、InvalDataビットは“0”に戻ります。

(3) 受信したスロットのC0ICRレジスタの割り込み許可ビットが“1”(割り込み許可)の場合、CAN0受信完了割り込みが要求が発生し、C0STRレジスタのMBOXビット(メッセージを受信したロット番号)とRecSuccビットが変化します。

(4) プログラムでNew Dataビットを“0”にした後、スロットからメッセージを読み出してください。

(5) プログラムでNew Dataビットを“0”にするか、スロットへの受信要求をキャンセルする前に次のメッセージを受信した場合、MsgLostビットが“1”(メッセージはオーバライトされた)になります。そして、新しく受信されたメッセージがそのスロットに格納されます。割り込み要求とC0STRレジスタは(3)と同様に変化します。

16.12.2　送信

図16.25にデータフレーム送信時の動作例を示します。

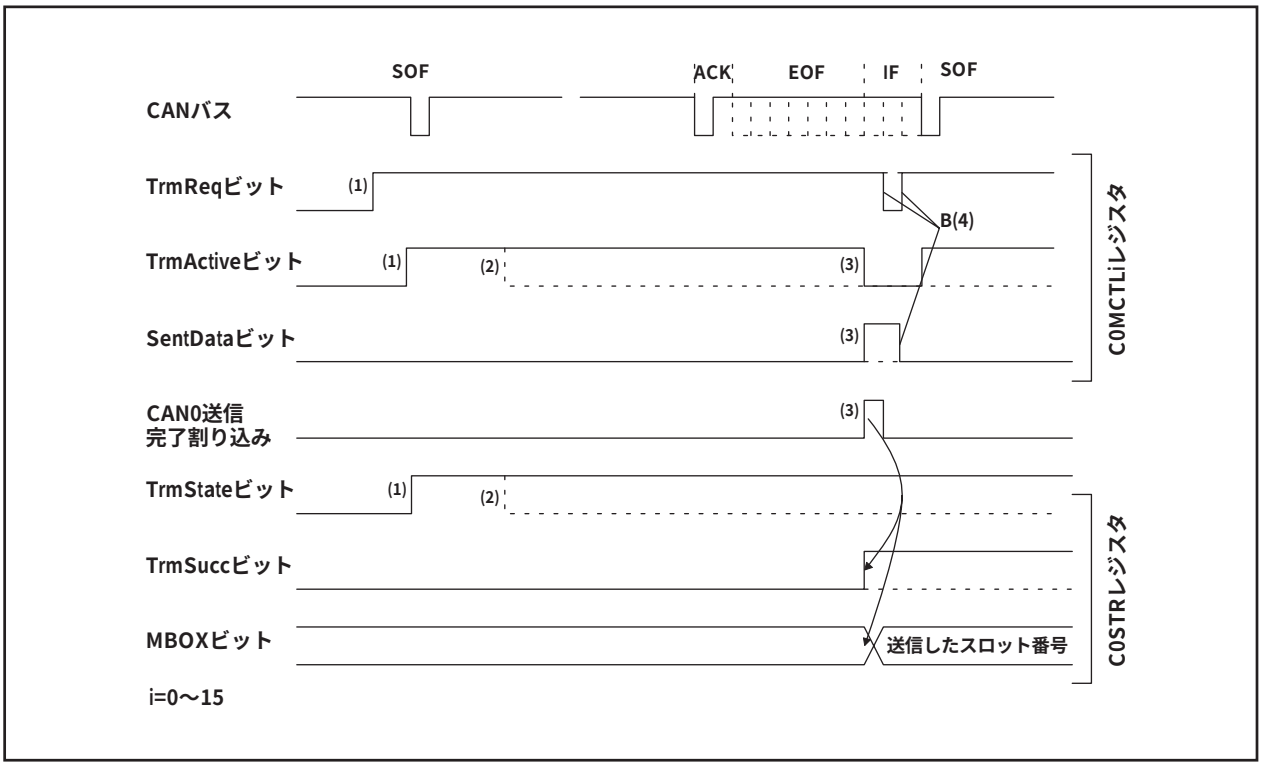


図16.25　データフレーム送信時の動作例

(1) バスアイドル時にC0MCTLiレジスタのTrmReqビットを“1”(送信スロット)にすると、C0MCTLiレジスタのTrmActiveビットおよびC0STRレジスタのTrmStateビットが“1”(送信中)になり、送信を開始します。

(2) 送信開始後にアービトレーション負けが発生すると、TrmActiveビットおよびTrmStateビットは“0”になります。

(3) アービトレーション負けが発生せずに送信を完了すると、C0MCTLjレジスタのSentDataビットが“1”(送信が完了した)に、TrmActiveビットが“0”(バスアイドル待ちまたはアービトレーション完了待ち)になります。そして、C0ICRレジスタの割り込み許可ビットが“1”(割り込み許可)の場合、CAN0送信完了割り込み要求が発生し、C0STRレジスタのMBOXビット(メッセージを送信したスロット番号)とTrmSuccビットが変化します。

(4) 次の送信を行う場合は、TrmReqビットおよびSentDataビットを“0”にして、TrmReqビットおよびSentDataビットが“0”になるのを確認した後、TrmReqビットを“1”にしてください。

16.13　CAN割り込み

CANモジュールは次のCAN割り込みがあります。

・CAN0受信完了割り込み
・CAN0送信完了割り込み
・CAN0エラー割り込み
　エラーパッシブステート
　バスオフステート
　バスエラー
・CAN0ウェイクアップ割り込み

CAN受信完了割り込み、CAN送信完了割り込みが発生した場合、C0STRレジスタのMBOXビットを読むと割り込みが発生したスロットを判別できます。

17.　プログラマブル入出力ポート

17.1　機能説明

プログラマブル入出力ポートは、P0～P5の37本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。ポートP1はNch出力トランジスタの駆動能力を設定できます。駆動能力を[HIGH]に設定することで、LED駆動ポートとして使用できます。

図17.1～図17.4にプログラマブル入出力ポートの構成を示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D/Aコンバータ以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D/Aコンバータとして使用する場合は、端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

17.1.1　ポートPi方向レジスタ

図17.5にポートPi方向レジスタを示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

17.1.2　ポートPiレジスタ

図17.6にポートPiレジスタを示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

17.1.3　プルアップ制御レジスタ

図17.7にプルアップ制御レジスタを示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

17.1.4　ポートP1駆動能力制御レジスタ

図17.7にポートP1駆動能力制御レジスタを示します。

ポートP1のnチャネル出力トランジスタの駆動能力を制御するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

17.1.5　CAN0入出力端子選択レジスタ

図17.8にCAN0入出力端子選択レジスタを示します。

CAN0入出力端子選択レジスタはCAN0の入出力端子を選択するためのレジスタです。

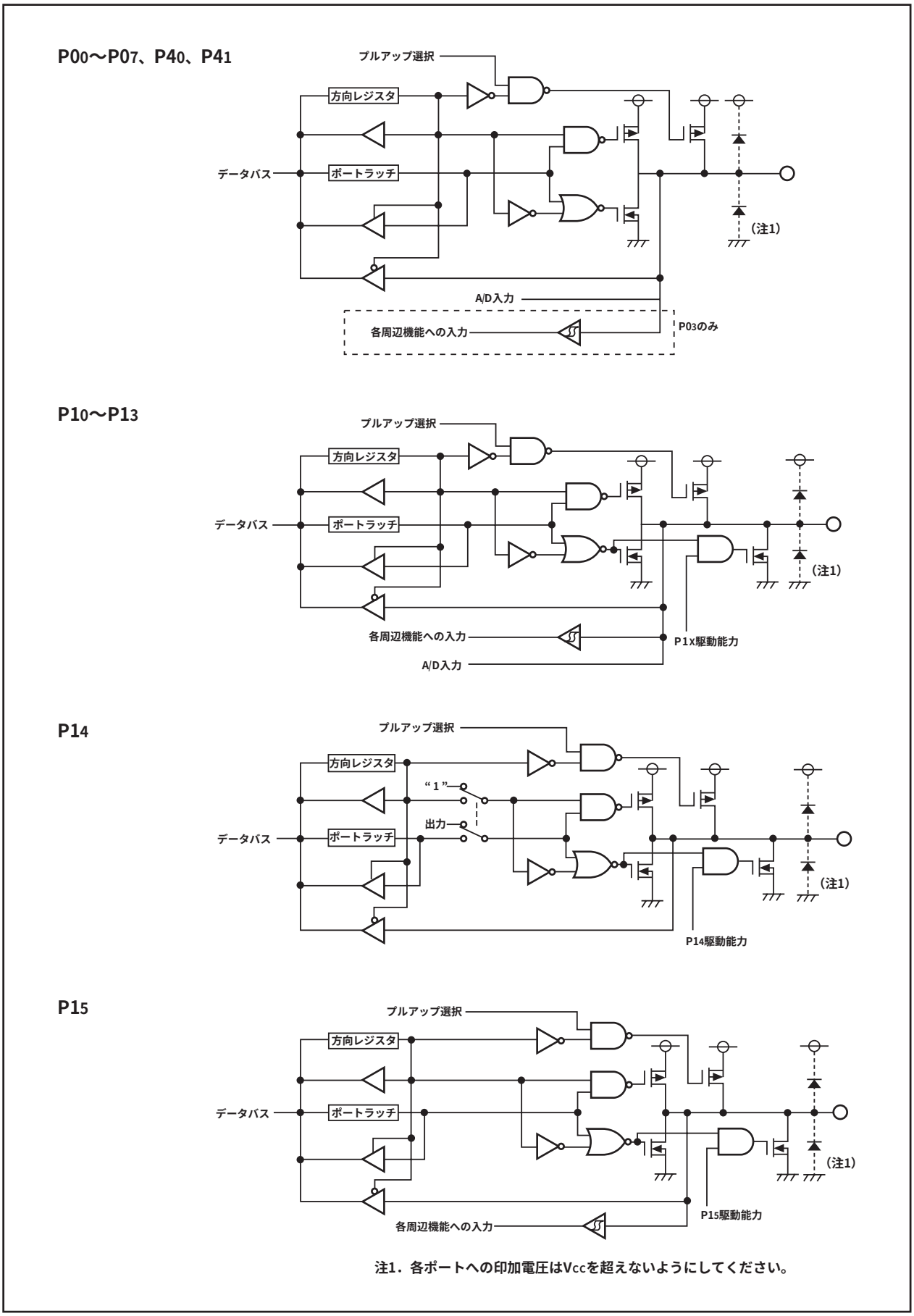
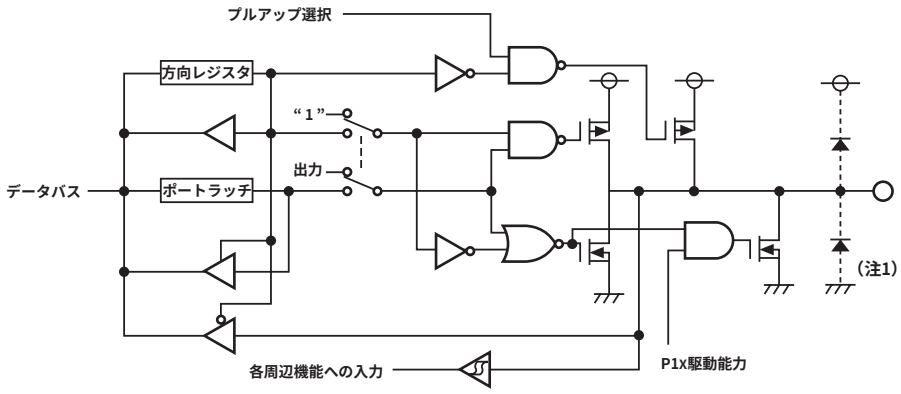
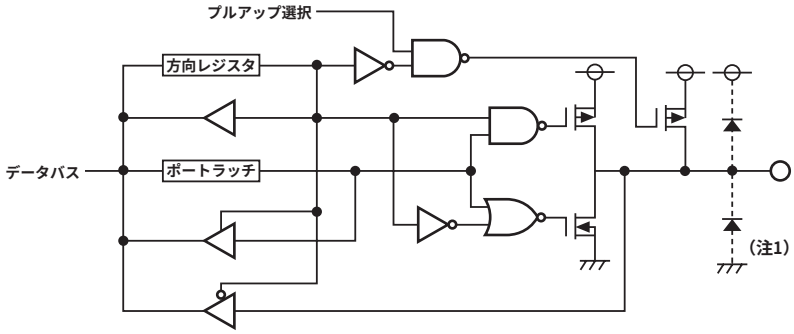


図17.1　プログラマブル入出力ポートの構成(1)

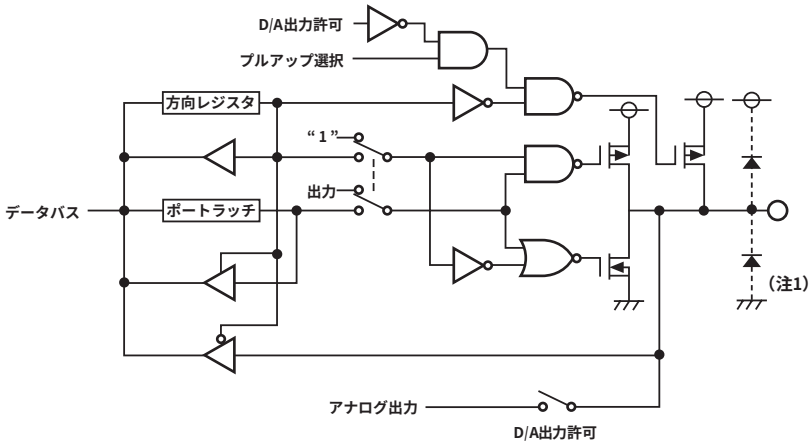
P16、P17



P20、P21
P52



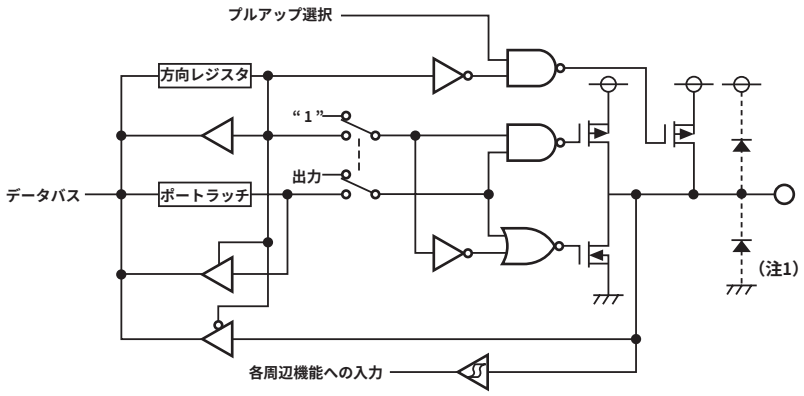
P34



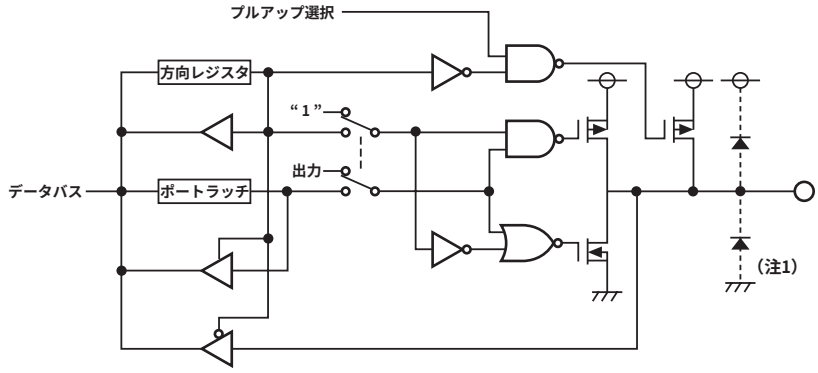
注1．各ポートへの印加電圧はVccを超えないようにしてください。

図17.2　プログラマブル入出力ポートの構成(2)

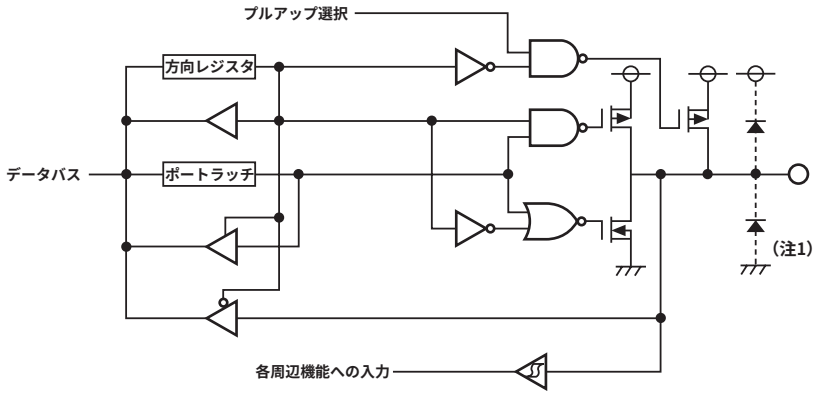
P36、P37



P30、P31、P32
P50



P33、P35、P42～P44
P51



注1．各ポートへの印加電圧はVccを超えないようにしてください。

図17.3　プログラマブル入出力ポートの構成(3)

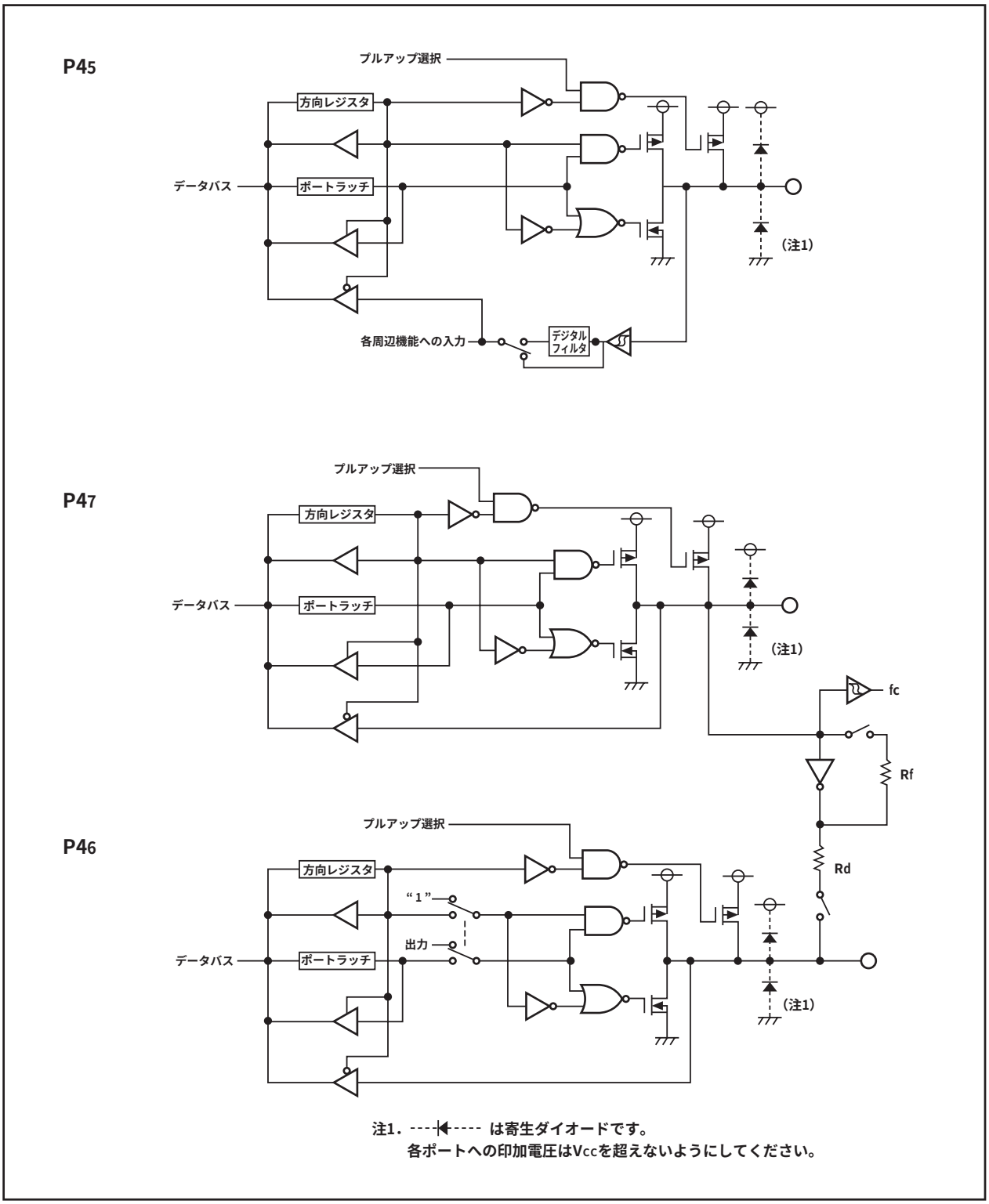
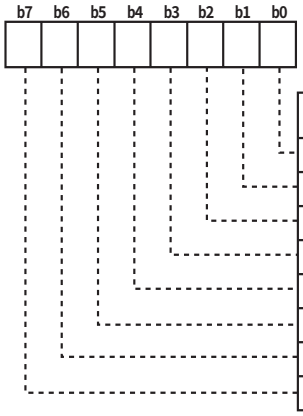


図17.4　プログラマブル入出力ポートの構成(4)

ポートPi方向レジスタ(注1、2、3)

シンボル	アドレス	リセット時
PDi (i=0～5)	$00E2_{16}$、$00E3_{16}$番地	00_{16}
	$00E6_{16}$番地	$XXXXXX00_2$
	$00E7_{16}$、$00EA_{16}$番地	00_{16}
	$00EB_{16}$番地	$XXXXX000_2$



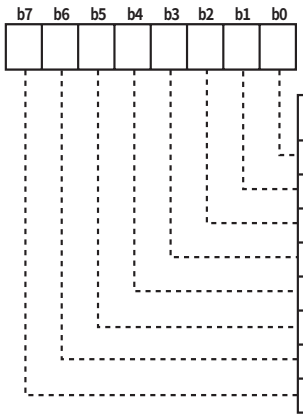
ビットシンボル	ビット名	機　　能	RW
PDi_0	ポートPi0方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） （i = 0～5）	RW
PDi_1	ポートPi1方向レジスタ		RW
PDi_2	ポートPi2方向レジスタ		RW
PDi_3	ポートPi3方向レジスタ		RW
PDi_4	ポートPi4方向レジスタ		RW
PDi_5	ポートPi5方向レジスタ		RW
PDi_6	ポートPi6方向レジスタ		RW
PDi_7	ポートPi7方向レジスタ		RW

注1．ポートP0方向レジスタを書き換える場合、プロテクトレジスタ($000A_{16}$番地)のビット2を“1”にしてください。
注2．ポートP2方向レジスタのビット2～7には、何も配置されていません。このビットに書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”です。
注3．ポートP5方向レジスタのビット3～7には、何も配置されていません。このビットに書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”です。

図17.5　ポートPi方向レジスタ

ポートPiレジスタ(注1、2)

シンボル	アドレス	リセット時
Pi (i = 0～5)	$00E0_{16}$、$00E1_{16}$、$00E4_{16}$、$00E5_{16}$番地	不定
	$00E8_{16}$、$00E9_{16}$番地	不定



ビットシンボル	ビット名	機　　能	RW
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル （i = 0～5）	RW
Pi_1	ポートPi1レジスタ		RW
Pi_2	ポートPi2レジスタ		RW
Pi_3	ポートPi3レジスタ		RW
Pi_4	ポートPi4レジスタ		RW
Pi_5	ポートPi5レジスタ		RW
Pi_6	ポートPi6レジスタ		RW
Pi_7	ポートPi7レジスタ		RW

注1．ポートP2レジスタのビット2～7には、何も配置されていません。このビットに書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”です。
注2．ポートP5レジスタのビット3～7には、何も配置されていません。このビットに書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”です。

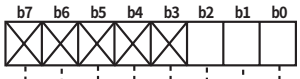
図17.6　ポートPiレジスタ

プルアップ制御レジスタ0

シンボル	アドレス	リセット時
PUR0	$00FC_{16}$番地	$00X00000_2$

ビットシンボル	ビット名	機　　能	RW
PU00	$P0_0$～$P0_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	RW
PU01	$P0_4$～$P0_7$のプルアップ		RW
PU02	$P1_0$～$P1_3$のプルアップ		RW
PU03	$P1_4$～$P1_7$のプルアップ		RW
PU04	$P2_0$、$P2_1$のプルアップ		RW
何も配置されていません。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			－
PU06	$P3_0$～$P3_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	RW
PU07	$P3_4$～$P3_7$のプルアップ		RW

プルアップ制御レジスタ1



シンボル	アドレス	リセット時
PUR1	$00FD_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	RW
PU10	$P4_0$～$P4_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	RW
PU11	$P4_4$～$P4_7$のプルアップ		RW
PU12	$P5_0$～$P5_2$のプルアップ		RW
何も配置されていません。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は不定。			－

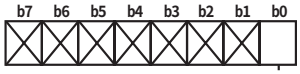
ポートP1駆動能力制御レジスタ

シンボル	アドレス	リセット時
DRR	$00FE_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
DRR0	$P1_0$の駆動能力	P1のnチャネル出力トランジスタの駆動能力設定を行う 0：Low 1：High	RW
DRR1	$P1_1$の駆動能力		RW
DRR2	$P1_2$の駆動能力		RW
DRR3	$P1_3$の駆動能力		RW
DRR4	$P1_4$の駆動能力		RW
DRR5	$P1_5$の駆動能力		RW
DRR6	$P1_6$の駆動能力		RW
DRR7	$P1_7$の駆動能力		RW

図17.7　プルアップ制御レジスタ、ポートP1駆動能力制御レジスタ

CAN0入出力端子選択レジスタ (注1)



シンボル	アドレス	リセット時
CIOSR	00F8$_{16}$番地	XXXXXXX0$_2$

ビットシンボル	ビット名	機　　能	RW
CIO0C	CAN0入出力端子	0：CTx＝P0$_2$端子 CRx＝P0$_3$端子 1：CTx＝P5$_0$端子 CRx＝P5$_1$端子	RW

注1．このレジスタを書き換える場合、プロテクトレジスタ(000A$_{16}$番地)のビット2を“1”にしてください。

図17.8　CAN0入出力端子選択レジスタ

17.2　未使用端子の処理

表17.1に未使用端子の処理例を示します。

表17.1　未使用端子の処理例

端　子　名	処　理　内　容
ポートP0～P5 (注1)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注2)	開放
VREF	VSSに接続
XIN(注3)	抵抗を介して、VCCに接続(プルアップ)

注1. 未使用端子処理を行わない場合、ポート内部のシュミット回路で貫通電流が流れ、電源電流が増えることがあります。必ず未使用端子処理を行ってください。

注2. XIN端子に外部クロックを入力しているとき。

注3. メインクロック発振回路を使用しない場合には、XIN端子をプルアップしXOUT端子を開放してください。また、メインクロック停止ビット(000616番地のビット5)を“1”(停止)に設定してください。

18.　電気的特性

表18.1　絶対最大定格

記　号	項　目		条　件	定　格　値	単位
V_{CC}	電源電圧			–0.3～6.5	V
V_I	入力電圧	$\overline{RESET}$, V_{REF}, X_{IN} $P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$, $CNVss$ (注1)		–0.3～V_{CC}+0.3	V
V_O	出力電圧	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$, X_{OUT}		–0.3～V_{CC}+0.3	V
		IV_{CC}		–0.3～2.8V	V
P_d	消費電力		Topr=25℃	300	mW
T_{opr}	動作周囲温度			–40～85 (注2)	℃
T_{stg}	保存温度			–65～150	℃

注1．フラッシュメモリ版でのCNVss端子の絶対最大定格値は-0.3～6.5Vになります。

注2．フラッシュ書き込み/消去時は0～60℃です。

表18.2　推奨動作条件(指定のない場合は、Vcc=4.2～5.5V、Topr=-40～85°C)

記　号	項　目			規格値 最小	規格値 標準	規格値 最大	単位
V_{CC}	電源電圧			4.2	5.0	5.5	V
V_{SS}	電源電圧				0		V
V_{IH}	“H”入力電圧	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$, X_{IN}, $\overline{RESET}$, CNV_{SS}		0.8V_{CC}		V_{CC}	V
V_{IL}	“L”入力電圧	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$, X_{IN}, $\overline{RESET}$, CNV_{SS}		0		0.2V_{CC}	V
$I_{OH\ (peak)}$	“H”尖頭出力電流	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$				–10.0	mA
$I_{OH\ (avg)}$	“H”平均出力電流	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$				–5.0	mA
$I_{OL\ (peak)}$	“L”尖頭出力電流	$P0_0$~$P0_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$				10.0	mA
		$P1_0$~$P1_7$	HIGH POWER			20.0	mA
			LOW POWER			10.0	mA
$I_{OL\ (avg)}$	“L”平均出力電流	$P0_0$~$P0_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$				5.0	mA
		$P1_0$~$P1_7$	HIGH POWER			10.0	mA
			LOW POWER			5.0	mA
$f(X_{IN})$	メインクロック入力発振周波数(注3)		V_{CC}=4.2V~5.5V	0		16	MHz
$f(X_{CIN})$	サブクロック発振周波数				32.768	50	kHz

注1．平均出力電流は100msの期間内での平均値です。

注2．ポートP0₀～P0₃, P1₃～P1₇, P2₁, P3₄～P3₇, P4₆, P4₇, P5₀～P5₂の$I_{OL(peak)}$の合計は60mA以下、
ポートP0₀～P0₃, P1₃～P1₇, P2₁, P3₄～P3₇, P4₆, P4₇, P5₀～P5₂の$I_{OH(peak)}$の合計は60mA以下、
ポートP0₄～P0₇, P1₀～P1₂, P2₀, P3₀～P3₃, P4₀～P4₅の$I_{OL(peak)}$の合計は60mA以下、
ポートP0₄～P0₇, P1₀～P1₂, P2₀, P3₀～P3₃, P4₀～P4₅の$I_{OH(peak)}$の合計は60mA以下
にしてください。

注3．メインクロック入力周波数と電源電圧の関係を以下に示します。

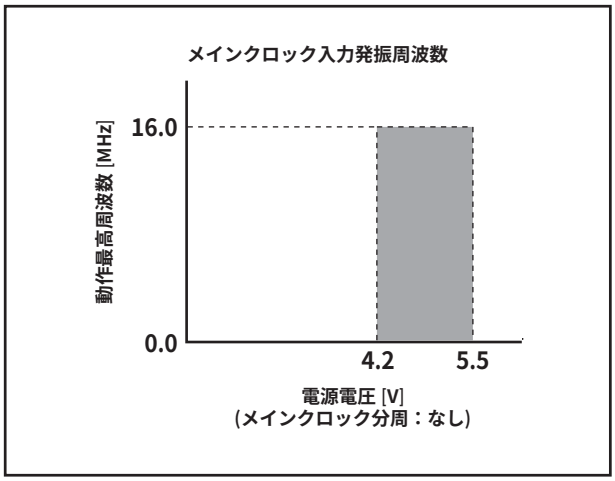


表18.3　電気的特性(1) (指定のない場合は、V_{CC}=5V, V_{SS}=0V, Topr=ー40〜85℃, f(X_{IN})=16MHz)

記　号	項　目			測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	“H”出力電圧	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$		I_{OH}=–5mA	3.0			V
				I_{OH}=–200μA	4.7			
V_{OH}	“H”出力電圧	X_{OUT}	HIGH POWER	I_{OH}=–1mA	3.0			V
			LOW POWER	I_{OH}=–0.5mA	3.0			
V_{OH}	“H”出力電圧	X_{COUT}	HIGH POWER	無負荷時		2.5		V
			LOW POWER	無負荷時		1.6		
V_{OL}	“L”出力電圧	$P0_0$~$P0_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$		I_{OL}=5mA			2.0	V
				I_{OL}=200μA			0.45	
V_{OL}	“L”出力電圧	$P1_0$~$P1_7$	HIGH POWER	I_{OL}=10mA			2.0	V
			LOW POWER	I_{OL}=5mA			2.0	
V_{OL}	“L”出力電圧	X_{OUT}	HIGH POWER	I_{OL}=1mA			2.0	V
			LOW POWER	I_{OL}=0.5mA			2.0	
V_{OL}	“L”出力電圧	X_{COUT}	HIGH POWER	無負荷時		0		V
			LOW POWER	無負荷時		0		
V_{T+-} V_{T-}	ヒステリシス	$CNTR_0$, TCIN, $\overline{INT_0}$~$\overline{INT_3}$, CLK_0, CLK_1, $P4_5$, RxD_0, RxD_1, $\overline{KI_0}$~$\overline{KI_3}$, CRX_0			0.2		0.8	V
V_{T+-} V_{T-}	ヒステリシス	$\overline{RESET}$			0.2		1.8	V
I_{IH}	“H”入力電流	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$, X_{IN}, $\overline{RESET}$, CNV_{SS}		V_I=5V			5.0	μA
I_{IL}	“L”入力電流	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$, X_{IN}, $\overline{RESET}$, CNV_{SS}		V_I=0V			–5.0	μA
R_{PULLUP}	プルアップ抵抗	$P0_0$~$P0_7$, $P1_0$~$P1_7$, $P2_0$, $P2_1$, $P3_0$~$P3_7$, $P4_0$~$P4_7$, $P5_0$~$P5_2$		V_I=0V	30.0	50.0	167.0	kΩ
R_{fXIN}	帰還抵抗	X_{IN}				1.0		MΩ
R_{fXCIN}	帰還抵抗	X_{CIN}				15.0		MΩ
V_{RAM}	RAM保持電圧			クロック停止時	2.0			V
R_{OSC}	オンチップオシレータ発振周波数		マスクROM版		300	600	1200	kHz
			フラッシュメモリ版					

表18.4　電気的特性(2) (指定のない場合は、Vcc=5V, Vss=0V, Topr=25℃, f(XIN)=16MHz)

記　号	項　目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流	入出力端子は無負荷	マスクROM版	f(XIN)=16MHz 方形波、分周なし		12.0	22.0	mA
			フラッシュメモリ版			14.0	24.0	mA
			マスクROM版	オンチップオシレータモード 分周なし		300		μA
			フラッシュメモリ版			800		μA
			マスクROM版	オンチップオシレータモード ウェイト時		60		μA
			フラッシュメモリ版			100		μA
			マスクROM版	f(XCIN)=32kHz 方形波		20		μA
			フラッシュメモリ版			450		μA
			マスクROM版	f(XCIN)=32kHz ウェイト時		2		μA
			フラッシュメモリ版			2		μA
			マスクROM版	クロック停止時 Topr=25℃		0.8	3	μA
			フラッシュメモリ版			0.8	3	μA

表18.5　電源回路のタイミング特性

記　号	項　目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
td(P-R)	電源投入時内部電源安定時間	Vcc = 4.2～5.5 V			2	ms
td(R-S)	STOP解除時間				150	μs
td(W-S)	低消費電力モードウェイト解除時間				150	μs
td(M-L)	メインクロック発振開始時内部電源安定時間				150	μs

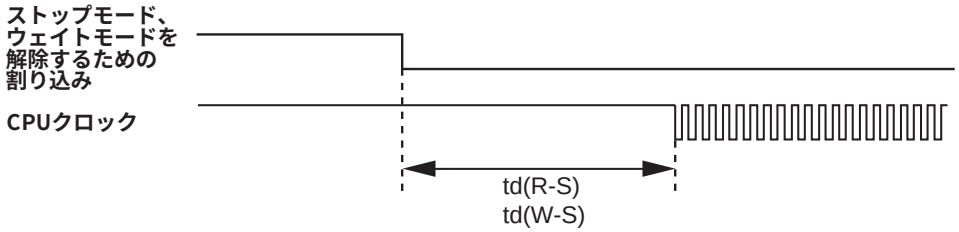


表18.6　フラッシュメモリの電気的特性(指定のない場合は、Vcc=4.2～5.5V, Topr=0～60℃)

記　号	項　目		規　格　値			単　位
			最　小	標準(注1)	最　大	
–	プログラム、イレーズ回数(注2)		100(注3)			回
–	ワードプログラム時間(Vcc=5.0V、Topr=25℃)			75	600	μs
–	ブロックイレーズ時間	2Kバイトブロック		0.2	9	s
		8Kバイトブロック		0.4	9	s
		16Kバイトブロック		0.7	9	s
		32Kバイトブロック		1.2	9	s
td(SR-ES)	消去動作→イレーズサスペンド遷移時間				20	ms
–	データ保持時間		10			年

注1．Vcc=5.0V、Topr=25℃の時

注2．プログラム、イレーズ回数の定義

プログラム、イレーズ回数は、ブロックごとのイレーズ回数です。

例えば2Kバイトブロックについて、それぞれ異なる番地に1ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3．プログラム/イレーズ後の全ての電気的特性を保証する最小回数です(保証は1～“最小”値の範囲)。

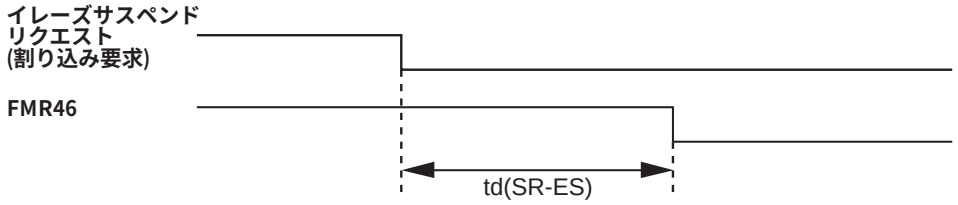


表18.7　A/D変換特性(指定のない場合は、V_{CC}=V_{REF}=5V, V_{SS}=0V, Topr=25°C, f(X_{IN})=16MHz)

記　号	項　目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		V_{REF}=V_{CC}				10	Bits
–	絶対精度	サンプル＆ホールド機能なし	V_{REF}=V_{CC}=5V				±3	LSB
		サンプル＆ホールド機能あり(10bit)	V_{REF}=V_{CC}=5V	AN_0～AN_{11}入力			±3	LSB
				ANEX0, ANEX1入力, 外部オペアンプ接続モード			±7	LSB
		サンプル＆ホールド機能あり(8bit)	V_{REF}=V_{CC}=5V				±2	LSB
R_{LADDER}	ラダー抵抗		V_{REF}=V_{CC}		10		40	kΩ
t_{CONV}	変換時間(10bit)		f(X_{IN})=10MHz, ϕ_{AD}=f_{AD}=10MHz		3.3			μs
	変換時間(8bit)		f(X_{IN})=10MHz, ϕ_{AD}=f_{AD}=10MHz		2.8			μs
t_{SAMP}	サンプリング時間		f(X_{IN})=10MHz, ϕ_{AD}=f_{AD}=10MHz		0.3			μs
V_{REF}	基準電圧		f(X_{IN})=10MHz, ϕ_{AD}=f_{AD}=10MHz		2		V_{CC}	V
V_{IA}	アナログ入力電圧		f(X_{IN})=10MHz, ϕ_{AD}=f_{AD}=10MHz		0		V_{REF}	V

注1．f(X_{IN})が10MHzをこえる時はf_{AD}を分周し、A/D動作クロック周波数(ϕ_{AD})が10MHz以下になるようにしてください。

表18.8　D/A変換特性(指定のない場合は、V_{CC}=V_{REF}=5V, V_{SS}=0V, Topr=25°C, f(X_{IN})=16MHz)

記　号	項　目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
t_{su}	設定時間				3	μs
R_O	出力抵抗		4	10	20	kΩ
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1．A/Dコンバータのラダー抵抗分は除きます。
D/Aレジスタの内容が‘00_{16}’以外の場合、A/D制御レジスタでV_{REF}未接続としてもI_{VREF}は流れます。

タイミング必要条件(指定のない場合は、Vcc=5V, Vss=0V, Topr=－40～85°C)

表18.8　XIN入力

記　号	項　目	規　格　値		単　位
		最　小	最　大	
$t_{c(XIN)}$	XIN入力サイクル時間	62.5		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	30		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	30		ns

表18.9　CNTR0入力

記　号	項　目	規　格　値		単　位
		最　小	最　大	
$t_{c(CNTR0)}$	CNTR0入力サイクル時間	100		ns
$t_{WH(CNTR0)}$	CNTR0入力“H”パルス幅	40		ns
$t_{WL(CNTR0)}$	CNTR0入力“L”パルス幅	40		ns

表18.10　TCIN入力

記　号	項　目	規　格　値		単　位
		最　小	最　大	
$t_{c(TCIN)}$	TCIN入力サイクル時間	400(注1)		ns
$t_{WH(TCIN)}$	TCIN入力“H”パルス幅	200(注2)		ns
$t_{WL(TCIN)}$	TCIN入力“L”パルス幅	200(注2)		ns

注1．(1/デジタルフィルタクロック周波数×6)といずれか値の大きい方となります。
注2．(1/デジタルフィルタクロック周波数×3)といずれか値の大きい方となります。

表18.11　シリアルI/O

記　号	項　目	規　格　値		単　位
		最　小	最　大	
$t_{c(CK)}$	CLK_i入力サイクル時間	200		ns
$t_{w(CKH)}$	CLK_i入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLK_i入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TxD_i出力遅延時間		80	ns
$t_{h(C-Q)}$	TxD_iホールド時間	0		ns
$t_{su(D-C)}$	RxD_i入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxD_i入力ホールド時間	90		ns

表18.12　外部割り込み$\overline{INT_i}$入力

記　号	項　目	規　格　値		単　位
		最　小	最　大	
$t_{w(INH)}$	$\overline{INT_i}$入力“H”パルス幅	250(注1)		ns
$t_{w(INL)}$	$\overline{INT_i}$入力“L”パルス幅	250(注2)		ns

注1．$\overline{INT_0}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{INT_0}$入力“H”パルス幅の最小値は(1/デジタルフィルタ サンプリング周波数×3)といずれか値の大きい方となります。
注2．$\overline{INT_0}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{INT_0}$入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)といずれか値の大きい方となります。

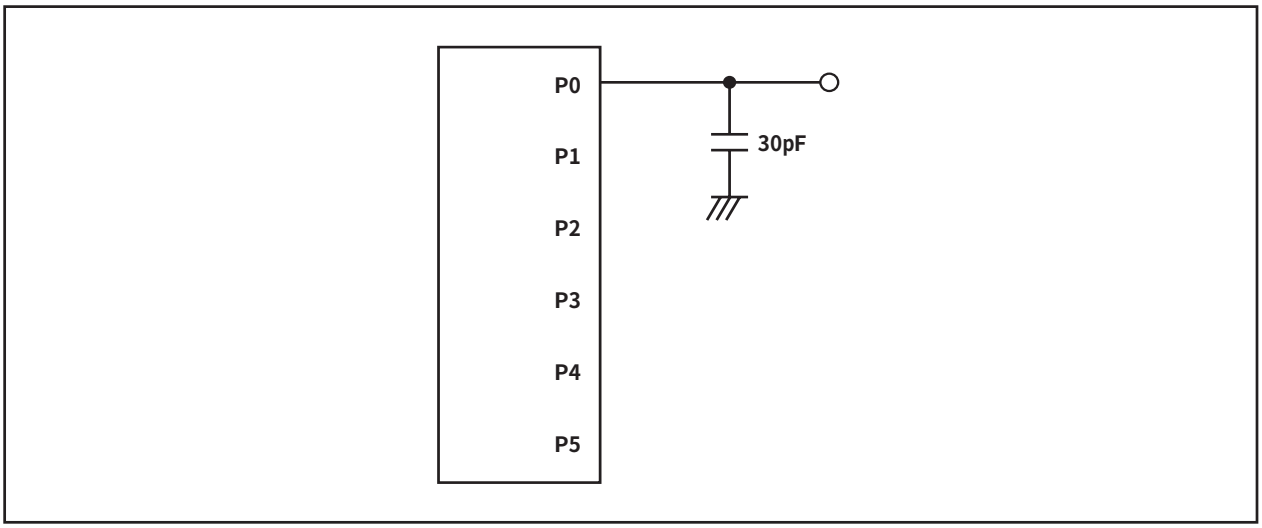


図18.1　ポートP0～P5の測定回路

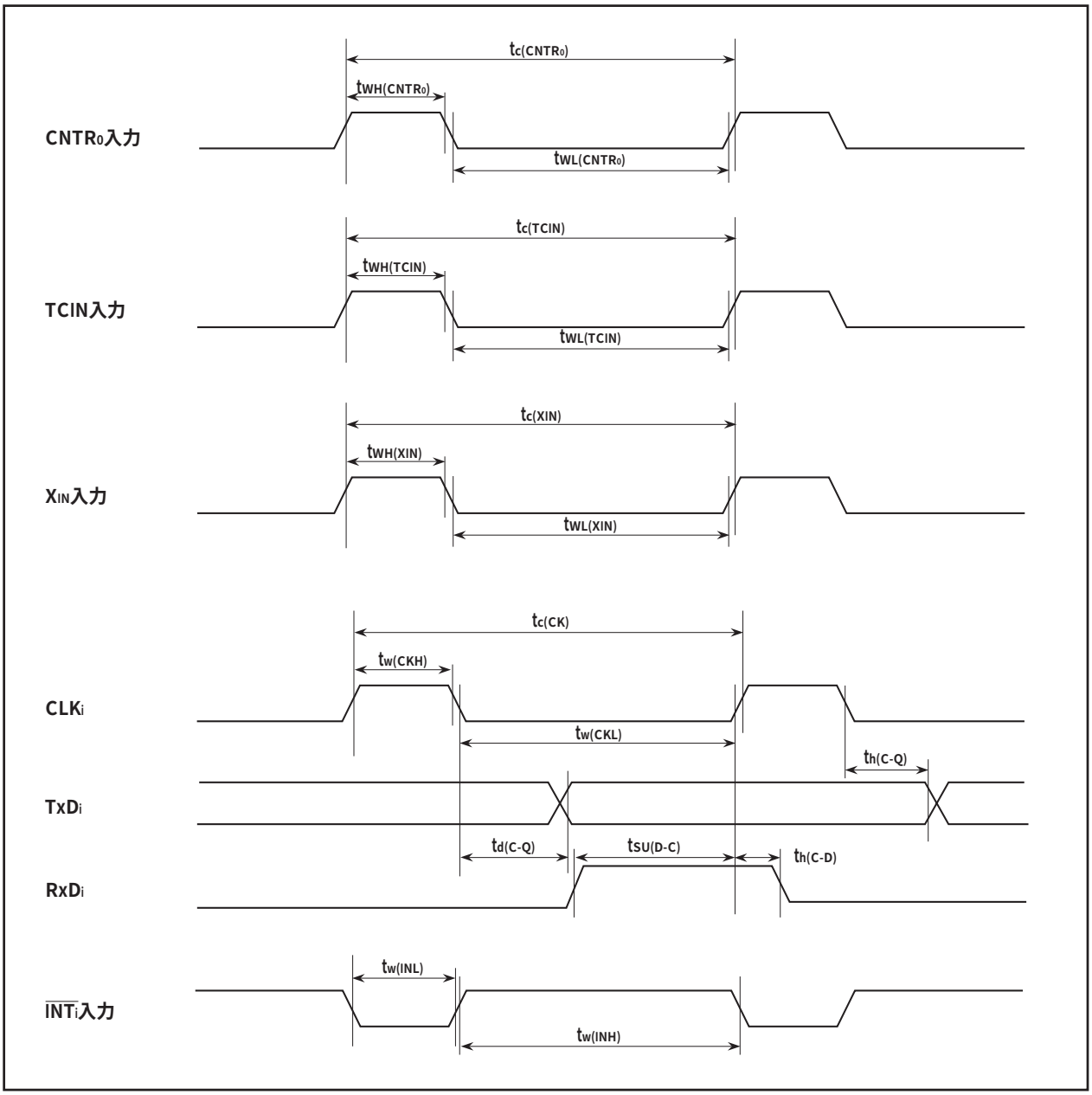


図18.2 Vcc=5V時のタイミング

19.　フラッシュメモリ版

19.1　概要

フラッシュメモリ版は、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モード、CAN入出力モードの4つの書き換えモードで、フラッシュメモリを操作できます。

表19.1にフラッシュメモリ版の性能概要を、表19.2にフラッシュメモリ書き換えモードを示します(表19.1に示す以外の項目は「表1.1 性能概要」を参照してください)。

表19.1　フラッシュメモリ版の性能概要

項　目		性　能
フラッシュメモリの動作モード		4モード(CPU書き換え、パラレル入出力、標準シリアル入出力、CAN入出力)
消去ブロック分割		「図19.1 フラッシュメモリのブロック図」を参照してください
プログラム方式		ワード単位/バイト単位(注1)
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式		ブロック0、1書き換え許可ビット(FMR02)によるブロック0およびブロック1に対するプロテクト ブロック0～3書き換え許可ビット(FMR16)によるブロック0～3に対するプロテクト
コマンド数		5コマンド
プログラム、イレーズ回数	ブロック0～ブロック3	100回
	ブロックA、ブロックB(データ領域)	100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード、CAN入出力モード対応

注1．パラレル入出力モードでのみバイト単位のプログラムができます。

表19.2　フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	パラレル入出力モード	標準シリアル入出力モード	CAN入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える。 EW0モード：フラッシュメモリ以外の領域で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用パラレルライタを使用してユーザROM領域を書き換える。	専用シリアルライタを使用して、ユーザROM領域を書き換える。 標準シリアル入出力モード1：クロック同期形シリアルI/O 標準シリアル入出力モード2：(注1)クロック非同期形シリアルI/O	専用CANライタを使用して、ユーザROM領域を書き換える。
書き換えできる領域	ユーザROM領域	ユーザROM領域、ブートROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	パラレル入出力モード	ブートモード	ブートモード
ROMライタ	—	パラレルライタ	シリアルライタ	CANライタ

注1．標準シリアル入出力モード2では、メインクロックの入力発振周波数は10MHzまたは16MHzにしてください。

19.2　メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図19.1にフラッシュメモリのブロック図を示します。

ユーザROM領域には、シングルチップモード時のマイコン動作プログラムを格納する領域とは別に、2Kバイトのブロック A および2Kバイトのブロック B があります。ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードまたはCAN入出力モードで書き換えられます。ただし、ブロック0およびブロック1は、CPU書き換えモードでのみ、FMR0レジスタのFMR02ビットを“1”、FMR1レジスタのFMR16ビットを“1”にすることで書き換えが許可されます。ブロック2、ブロック3はFMR1レジスタのFMR16ビットを“1”にすることで書き換えが許可されます。またブロックAおよびブロックBは、PM1レジスタのPM10ビットを“1”にすると使用できます。

ブートROM領域は、予約領域です。出荷時には標準シリアル入出力モードおよびCAN入出力モードの書き換え制御プログラムが格納されており、パラレル入出力モードでのみ書き換えられます。

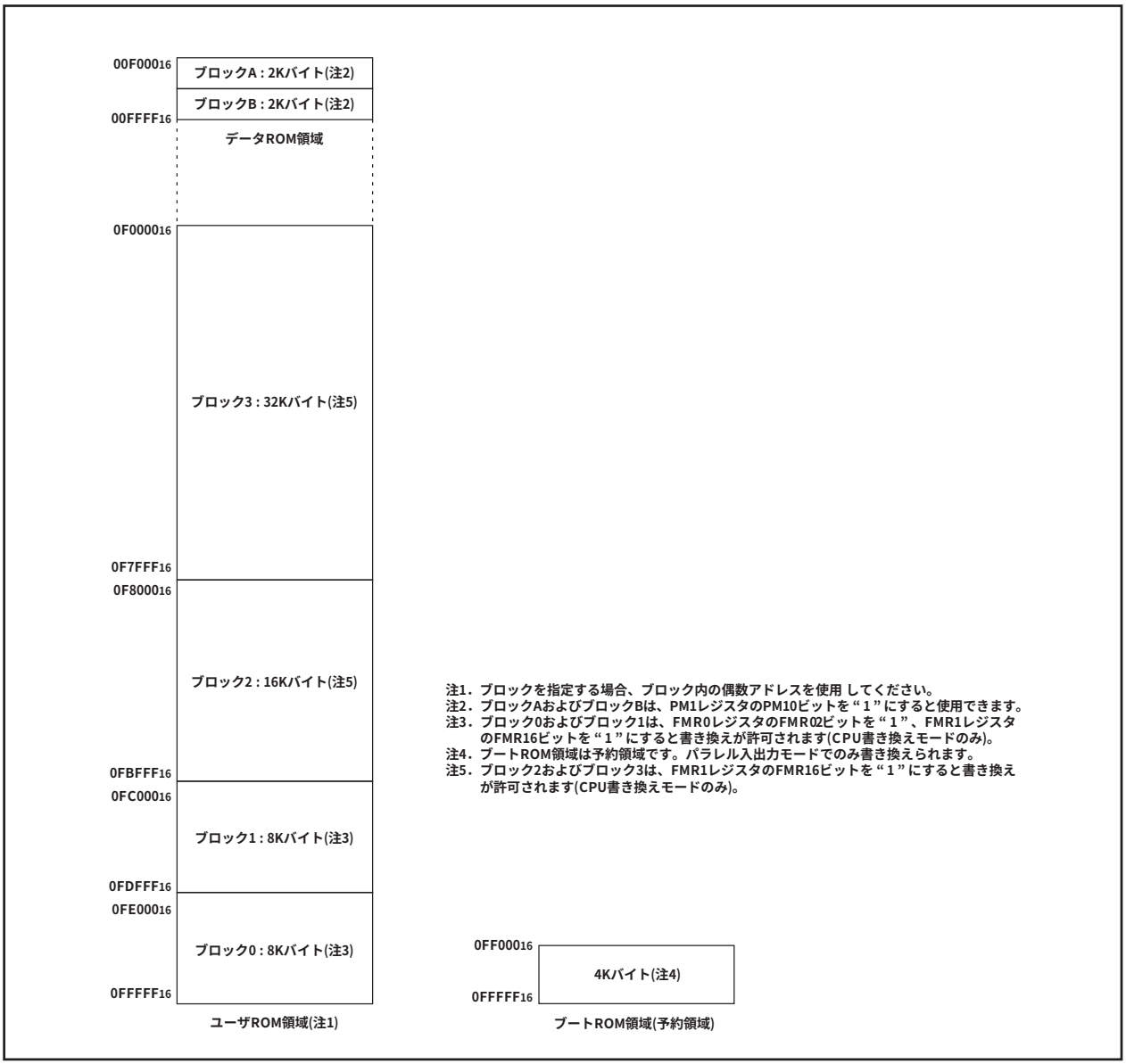


図19.1　フラッシュメモリのブロック図

19.3　フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、パラレル入出力モードにはROMコードプロテクト、標準シリアル入出力モードおよびCAN入出力モードにはIDコードチェック機能があります。

19.3.1　ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、フラッシュメモリの読み出しや書き換えを禁止する機能です。

図19.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットは2ビットで構成されています。ROMCRビットが“00_2”以外の場合、ROMCP1ビットの2ビットのうちどちらか一方または両方を“0”にすると、ROMコードプロテクトが有効になり、フラッシュメモリの読み出しや書き換えが禁止されます。ただし、ROMCRビットを“00_2”(ROMコードプロテクト解除)にすると、フラッシュメモリを読んだり書き換えたりできます。一度ROMコードプロテクトを有効にすると、パラレル入出力モードでは、ROMCRビットを変更できませんので、標準シリアル入出力モードなど、他のモードで書き換えてください。

19.3.2　IDコードチェック機能

標準シリアル入出力モードおよびCAN入出力モードで使用します。フラッシュメモリがブランクではない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

図19.3にIDコードの格納番地を示します。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
				1	1	1	1

シンボル	アドレス	出荷時の値
ROMCP	0FFFFF16番地	FF16 (注1)

ビットシンボル	ビット名	機　　能	RW
$\overline{\text{(b3-b0)}}$	予約ビット	“1”にしてください	RW
ROMCR	ROMコードプロテクト解除ビット (注1、2)	b5 b4 0 0 : プロテクト解除 0 1 : 1 0 : 1 1 : } ROMCP1ビット有効	RW RW
ROMCP1	ROMコードプロテクトレベル1設定ビット (注1、3、4)	b7 b6 0 0 : 0 1 : 1 0 : } プロテクト有効 1 1 : プロテクト無効	RW RW

注1．一度“0”にしたビットは、“1”にできません。ROMCPレジスタを含むブロックを消去すると、ROMCPレジスタは“FF16”になります。
注2．ROMCRビットが“002”以外、かつROMCP1ビットが“112”以外の場合、ROMCRビットを“002”にすると、ROMコードプロテクト・レベル1が解除されます。ただし、ROMCRビットをパラレル入出力モードでは変更できないため、標準シリアル入出力モードなどで変更してください。
注3．ROMCRビットを“002”以外、かつROMCP1ビットを“112”以外(ROMコードプロテクトを有効)にすると、パラレル入出力モードでのフラッシュメモリの読み出しや書き換えが禁止されます。
注4．ROMCP1ビットはROMCRビットが“012”、“102”、“112”のとき有効です。

図19.2　ROMCPレジスタ

アドレス		
0FFFDC16～0FFFDF16	ID1	未定義命令ベクタ
0FFFE016～0FFFE316	ID2	オーバフローベクタ
0FFFE416～0FFFE716		BRK命令ベクタ
0FFFE816～0FFFEB16	ID3	アドレス一致ベクタ
0FFFEC16～0FFFEF16	ID4	シングルステップベクタ
0FFFF016～0FFFF316	ID5	ウォッチドッグタイマベクタ
0FFFF416～0FFFF716	ID6	$\overline{\text{DBC}}$ベクタ
0FFFF816～0FFFFB16	ID7	UART0受信ベクタ
0FFFFC16～0FFFFF16		リセットベクタ

4バイト

図19.3　IDコードの格納番地

19.4　ブートモード

CNVss端子に“H”、$\overline{CE}$端子に“H”を入力してリセットすると、ブートモードになり、ブートROM領域に格納されている書き換え制御プログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

19.5　CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。

表19.3にEW0モードとEW1モードの違いを示します。

表19.3　EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域(注1)	ユーザROM領域(注1) ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御ログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件(注3)	プログラムでFMR4レジスタのFMR40、およびFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可された割り込みの割り込み要求が発生

注1.　ブロック0、ブロック1は、FMR0 レジスタのFMR02ビットを“1”、FMR1レジスタのFMR16ビットを“1”にすると書き換えが許可されます。ブロック2、ブロック3は、FMR1レジスタのFMR16ビットを“1”にすると書き換えが許可されます。

注2.　条件成立後、イレーズサスペンドに移行しフラッシュメモリの読み出しが可能となるまでの時間は、最大td(SR-ES)です。

19.5.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”になり、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(イレーズサスペンド許可)、およびFMR41ビットを“1”(サスペンドリクエスト)にしてください。そして、td(SR-ES)待ち、FMR46ビットが“1”(自動消去停止)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

19.5.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”する(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタのソフトウェアコマンドを実行しないでください。

イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(イレーズサスペンド許可)にしてからブロックイレーズのコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。割り込み要求からtd(SR-ES)後、イレーズサスペンドに移行すると、割り込みが受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(サスペンドリクエスト)になり自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして再度ブロックイレーズのコマンドを実行してください。

図19.4にFMR0レジスタを、図19.5にFMR1、FMR4レジスタを示します。

●FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中は“0”、それ以外のときには“1”になります。

●FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

●FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0およびブロック1はプログラムおよびブロックイレーズのコマンドを受け付けません。

●FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

・低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

図19.7に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要はありません。

●FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。

●FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”になります。詳細は「19.5.6 フルステータスチェック」を参照してください。

●FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”になります。詳細は「19.5.6 フルステータスチェック」を参照してください。

●FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。このビットはFMR01ビットが“1”のとき有効です。

●FMR16ビット

FMR16ビットが“0”(書き換え禁止)のとき、ブロック0～3はプログラムおよびブロックイレーズのコマンドを受け付けません。このビットはFMR01ビットが“1”のとき有効です。

●FMR40ビット

FMR40ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

●FMR41ビット

EW0モードでは、自動消去中にプログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(サスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

●FMR46ビット

自動消去実行中は、FMR46ビットが“0”になります。イレーズサスペンドモード中は“1”になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

フラッシュメモリ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		0	0				

シンボル	アドレス	リセット後の値
FMR0	$01B7_{16}$番地	$XX000001_2$

ビットシンボル	ビット名	機　　能	RW
FMR00	RY/$\overline{BY}$ステータスフラグ	0：ビジー(書き込み、消去実行中) 1：レディ	RO
FMR01	CPU書き換えモード選択ビット (注1)	0：CPU書き換えモード無効 1：CPU書き換えモード有効	RW
FMR02	ブロック0、1書き換え許可ビット (注2)	0：書き換え禁止 1：書き換え許可	RW
FMSTP	フラッシュメモリ停止ビット (注3、4)	0：フラッシュメモリ動作 1：フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
$\overline{(b4)}$	予約ビット	“0”にしてください	RW
FMR05	ユーザROM領域選択ビット(ブートモード時のみ有効)(注3)	0：ブートROM領域アクセス 1：ユーザROM領域アクセス	RW
FMR06	プログラムステータスフラグ(注5)	0：正常終了 1：エラー終了	RO
FMR07	イレーズステータスフラグ(注5)	0：正常終了 1：エラー終了	RO

注1．“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。
このビットはリードアレイモードにしてから“0”にしてください。
注2．“1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
注3．このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。
注4．FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。
注5．クリアステータスコマンドを実行すると“0”になります。

図19.4　FMR0レジスタ

フラッシュメモリ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0		0	0	╳	╳		╳

シンボル	アドレス	リセット後の値
FMR1	01B5$_{16}$番地	0000XX0X$_2$

ビットシンボル	ビット名	機　　能	RW
$\overline{(b0)}$	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット(注1)	0：EW0モード 1：EW1モード	RW
$\overline{(b3\text{-}b2)}$	予約ビット	読んだ場合、不定	RO
$\overline{(b5\text{-}b4)}$	予約ビット	“0”にしてください	RW
FMR16	ブロック0～3書き換え許可ビット(注2)	0：書き換え禁止 1：書き換え許可	RW
$\overline{(b7)}$	予約ビット	“0”にしてください	RW

注1．“1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
FMR01ビットを“0”にすると、FMR01ビットとFMR11ビットは、いずれも“0”になります。
注2．“1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

フラッシュメモリ制御レジスタ4

b7	b6	b5	b4	b3	b2	b1	b0
0		0	0	0	0		

シンボル	アドレス	リセット後の値
FMR4	01B3$_{16}$番地	01000000$_2$

ビットシンボル	ビット名	機　　能	RW
FMR40	イレーズサスペンド機能許可ビット(注1)	0：禁止 1：許可	RW
FMR41	イレーズサスペンドリクエストビット(注2)	0：イレーズリスタート 1：サスペンドリクエスト	RW
$\overline{(b5\text{-}b2)}$	予約ビット	“0”にしてください	RO
FMR46	イレーズステータス	0：自動消去動作中 1：自動消去停止(イレーズサスペンドモード)	RO
$\overline{(b7)}$	予約ビット	“0”にしてください	RW

注1．“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。
“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
注2．このビットはイレーズサスペンド許可ビット(FMR40)が“1”のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ書き込みが可能となります(上記期間以外は“1”になります)。
EW0モードではこのビットはプログラムによって“0”、“1”書き込みが可能となります。
EW1モードではFMR40ビットが"1"のとき消去中にマスカブル割り込みが発生すると自動的に“1”になります。プログラムによって“1”を書き込むことはできません(“0”書き込みは可能)。

図19.5　FMR1、FMR4レジスタ

図19.6にEW0モードの設定と解除方法を、図19.7にEW1モードの設定と解除方法を、図19.8に低消費電力モード前後の処理を示します。

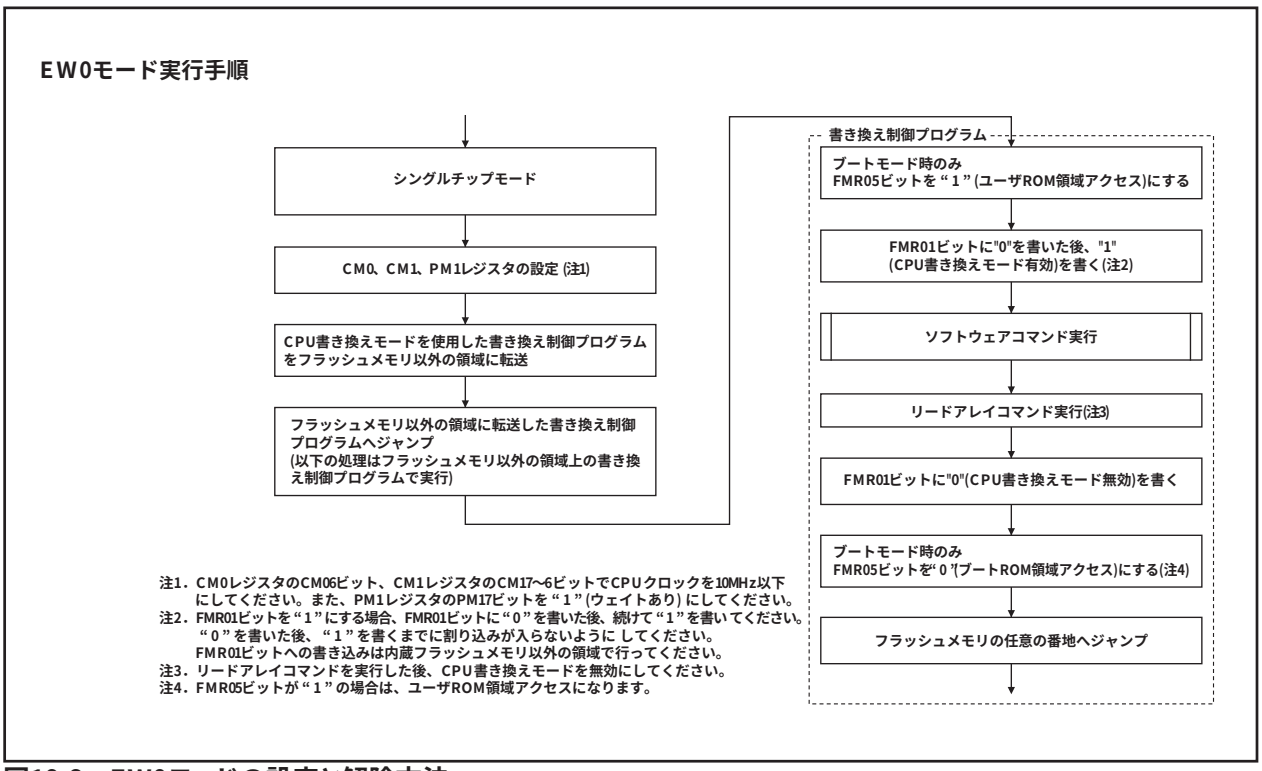


図19.6　EW0モードの設定と解除方法

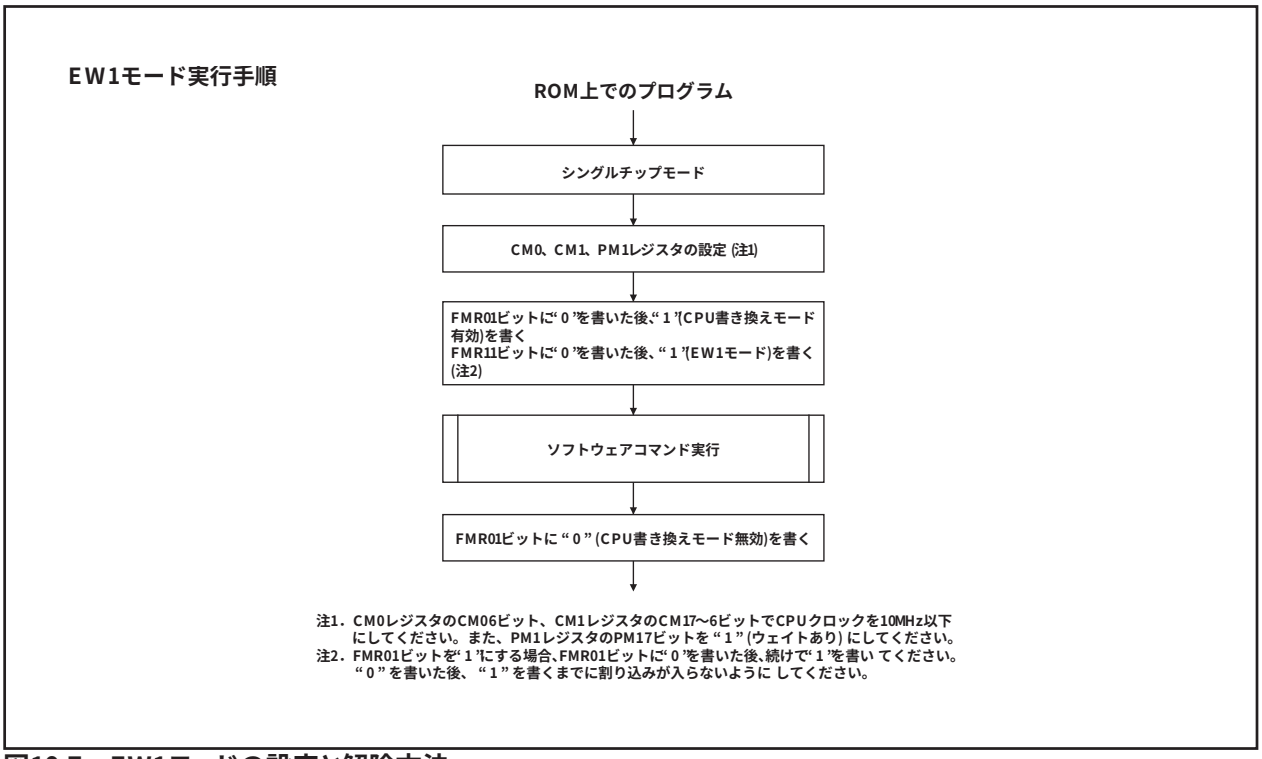


図19.7　EW1モードの設定と解除方法

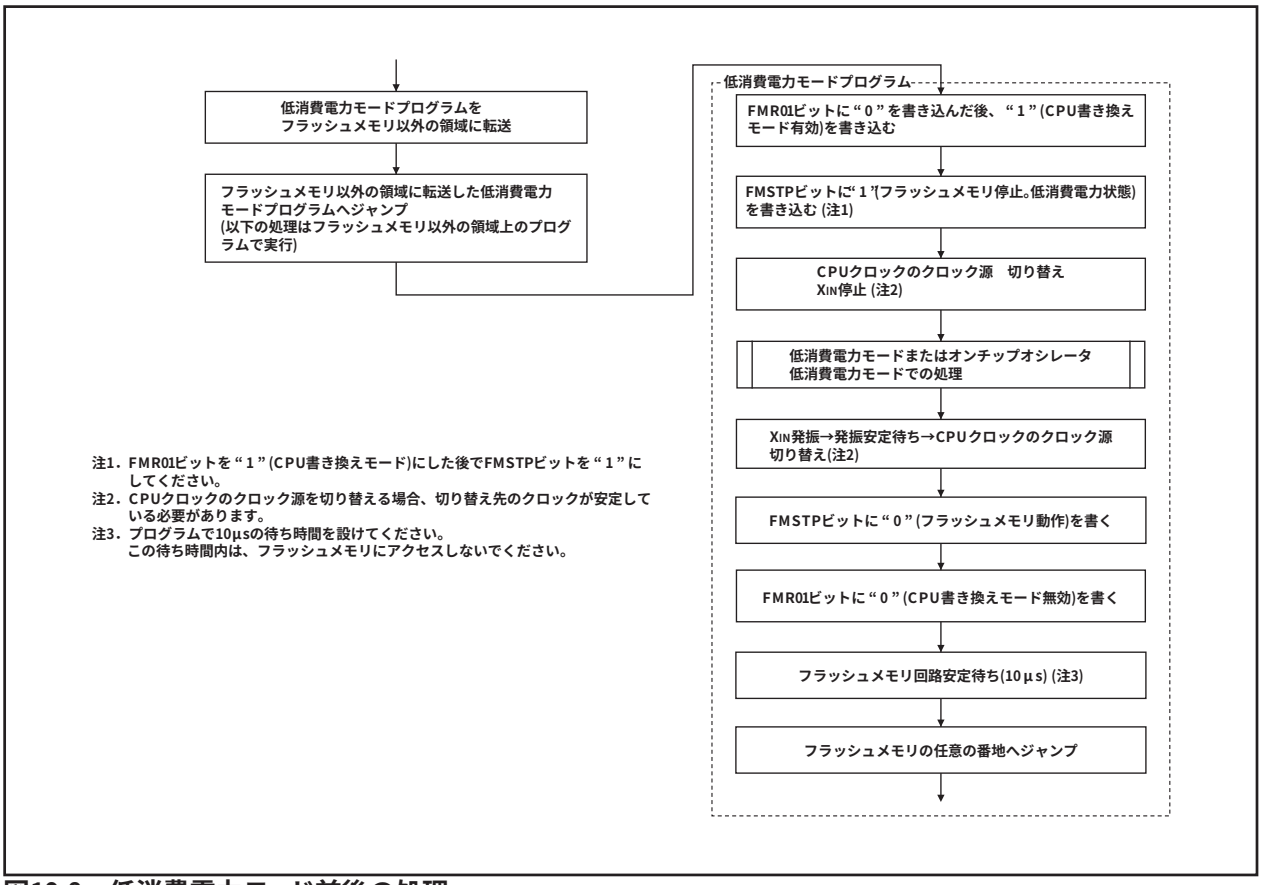


図19.8　低消費電力モード前後の処理

19.5.3 CPU書き換えモードの注意事項

(1)動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～6ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットば“1”(ウェイトあり)にしてください。

(2)使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)割り込み

EW0モード

・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
・ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、FMR01ビットを“1”にし、消去またはプログラムの動作が必要です。
・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。

(4)アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

(5)ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モード、CAN入出力モードまたはパラレル入出力モードを使用することを推奨します。

(6)コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

(7)ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

(8)ストップモード

ストップモードに移行する場合は、次のようにしてください。

・FMR01ビットを“0”(CPU書き換えモード無効)にし、CM10ビットを“1”(ストップモード)にする

・CM10ビットを“1”にする命令の次にJMP.B命令を実行する

```
プログラム例        BSET    0, CM1      ；ストップモード
                    JMP.B   L1
              L1：
                    ストップモード復帰後のプログラム
```

(9)低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

・プログラム

・ブロックイレーズ

19.5.4　ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表19.4にソフトウェアコマンド一覧を示します。

表19.4　ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	XXFF16			
リードステータスレジスタ	ライト	×	XX7016	リード	×	SRD
クリアステータスレジスタ	ライト	×	XX5016			
プログラム	ライト	WA	XX4016	ライト	WA	WD
ブロックイレーズ	ライト	×	XX2016	ライト	BA	XXD016

SRD：ステータスレジスタデータ(D7～D0)
WA：書き込み番地(ただし、偶数番地)
WD：書き込みデータ(16ビット)
BA：ブロックの最上位番地(ただし、偶数番地)
×：ユーザROM領域内の任意の偶数番地
XX：コマンドコード上位8ビット(無視されます)

●リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“XXFF16”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

●リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“XX7016”を書くと、第2バスサイクルでステータスレジスタが読めます(「19.5.5 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

●クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“XX5016”を書くと、FMR0レジスタのFMR06～7ビットとステータスレジスタのSR4～5が“0”になります。

●プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“XX40$_{16}$”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「19.5.6 フルステータスチェック」参照)。

図19.9にプログラムのフローチャートを示します。

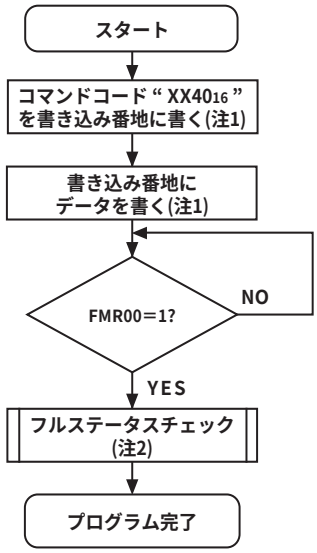
既にプログラムされた番地に対する追加書き込みは禁止します。

また、FMR1レジスタのFMR16ビットが“0”(書き換え禁止)、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のときは、ブロック0～3に対するプログラムコマンドは受け付けられません。

プログラムコマンドの直後に、プログラムコマンド以外のコマンドを実行する場合、プログラムコマンドの第2バスサイクルで指定した書き込み番地と同じ番地を、次のコマンドの第1バスサイクルで指定するアドレス値にしてください。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。



注1．コマンドコード、データは偶数番地に書いてください。
注2．「図19.12 フルステータスチェックフローチャート、各エラー発生時の対処方法」を参照してください。

図19.9　プログラムのフローチャート

●ブロックイレーズ

第1バスサイクルで“XX20$_{16}$”、第2バスサイクルで“XXD0$_{16}$”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

EW0モードでイレーズサスペンド機能を使用するときは、イレーズサスペンドへの移行をFMR4レジスタのFMR46ビットで確認してください。FMR46ビットは、自動消去動作中は“0”、自動消去停止(イレーズサスペンドに移行)後“1”になります。

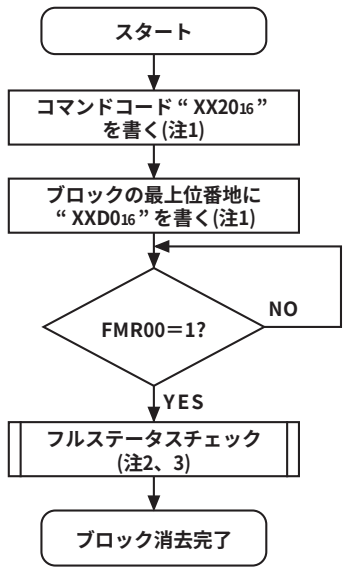
自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「19.5.6 フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のときは、ブロック0、およびブロック1に対するブロックイレーズコマンドは受け付けられません。

図19.10にイレーズサスペンド機能を使用しないときのブロックイレーズのフローチャート例を、図19.11にイレースサスペンド機能を使用するときのブロックイレーズのフローチャート例を示します。

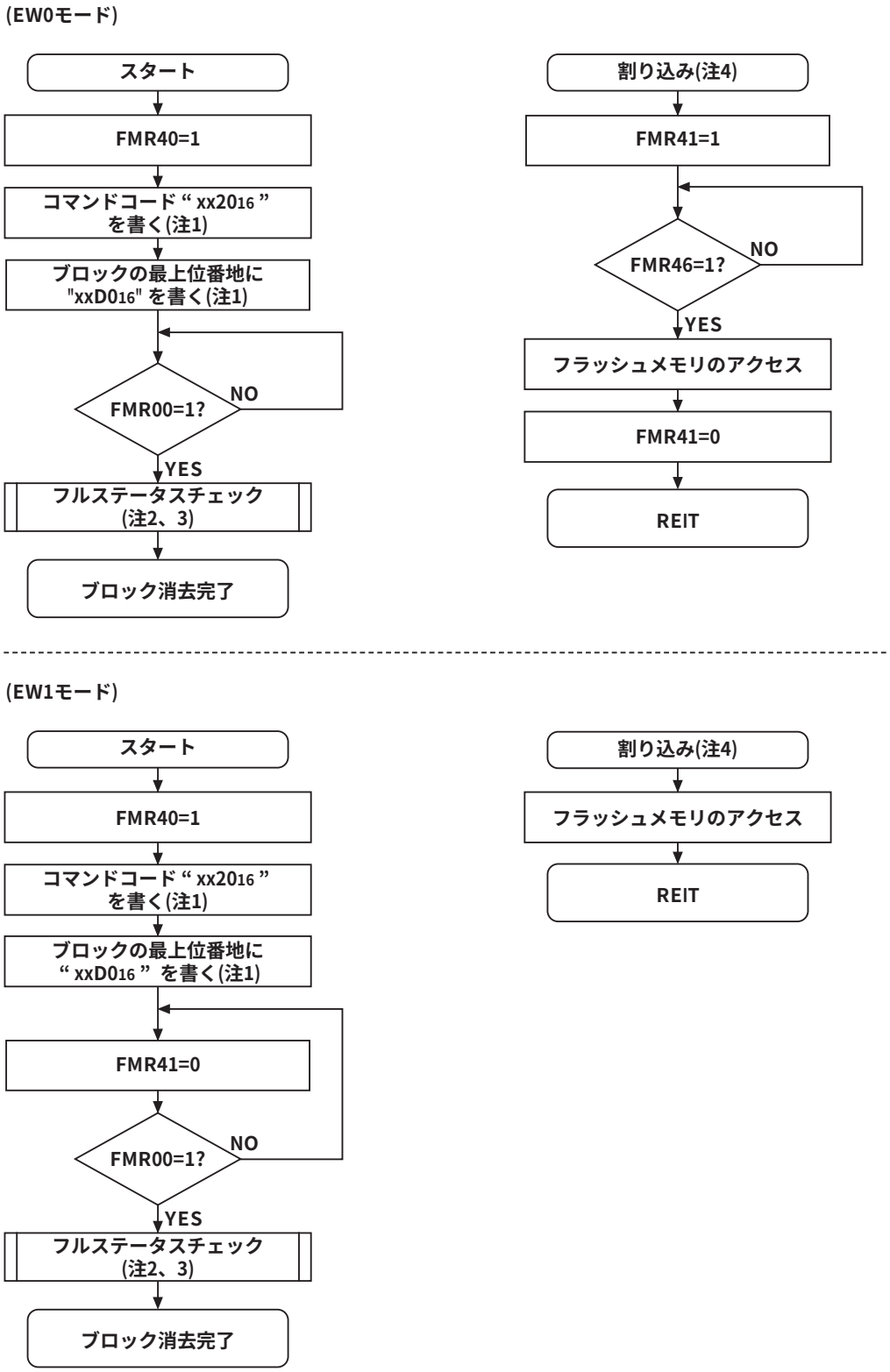
EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”になり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。なお、イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。



注1．コマンドコード、データは偶数番地に書いてください。
注2．「図19.12 フルステータスチェックフローチャート、各エラー発生時の対処方法」を参照してください。
注3．イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

図19.10　ブロックイレーズのフローチャート(イレーズサスペンド機能不使用時)



注1．コマンドコード、データは偶数番地に書いてください。
注2．イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
注3．「図19.12 フルステータスチェックフローチャート、各エラー発生時の対処方法」を参照してください。
注4．EW0モードでは、使用する割り込みの割り込みベクタテーブルはRAM領域に配置してください。

図19.11　ブロックイレーズのフローチャート(イレーズサスペンド機能使用時)

19.5.5　ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表19.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

(1)　リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき

(2)　プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

●シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

●イレーズステータス(SR5、FMR07ビット)

「19.5.6 フルステータスチェック」を参照してください。

●プログラムステータス(SR4、FMR06ビット)

「19.5.6 フルステータスチェック」を参照してください。

表19.5　ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D_7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D_6)	—	リザーブ	—	—	—
SR5 (D_5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D_4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D_3)	—	リザーブ	—	—	—
SR2 (D_2)	—	リザーブ	—	—	—
SR1 (D_1)	—	リザーブ	—	—	—
SR0 (D_0)	—	リザーブ	—	—	—

FMR07ビット(SR5)、FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。
FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズ、コマンドは受け付けられません。
D_0～D_7：リードステータスレジスタコマンドを実行したときに読み出されるデータバス

19.5.6　フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～7ビットが“1”(エラー終了)になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表19.6にエラーとFMR0レジスタの状態を、図19.12にフルステータスチェックのフローチャートと各エラー発生時の対処方法を示します。

表19.6　エラーとFMR0レジスタの状態

FMR00レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“XXD0$_{16}$”または“XXFF$_{16}$”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. 第2バスサイクルで“XXFF$_{16}$”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

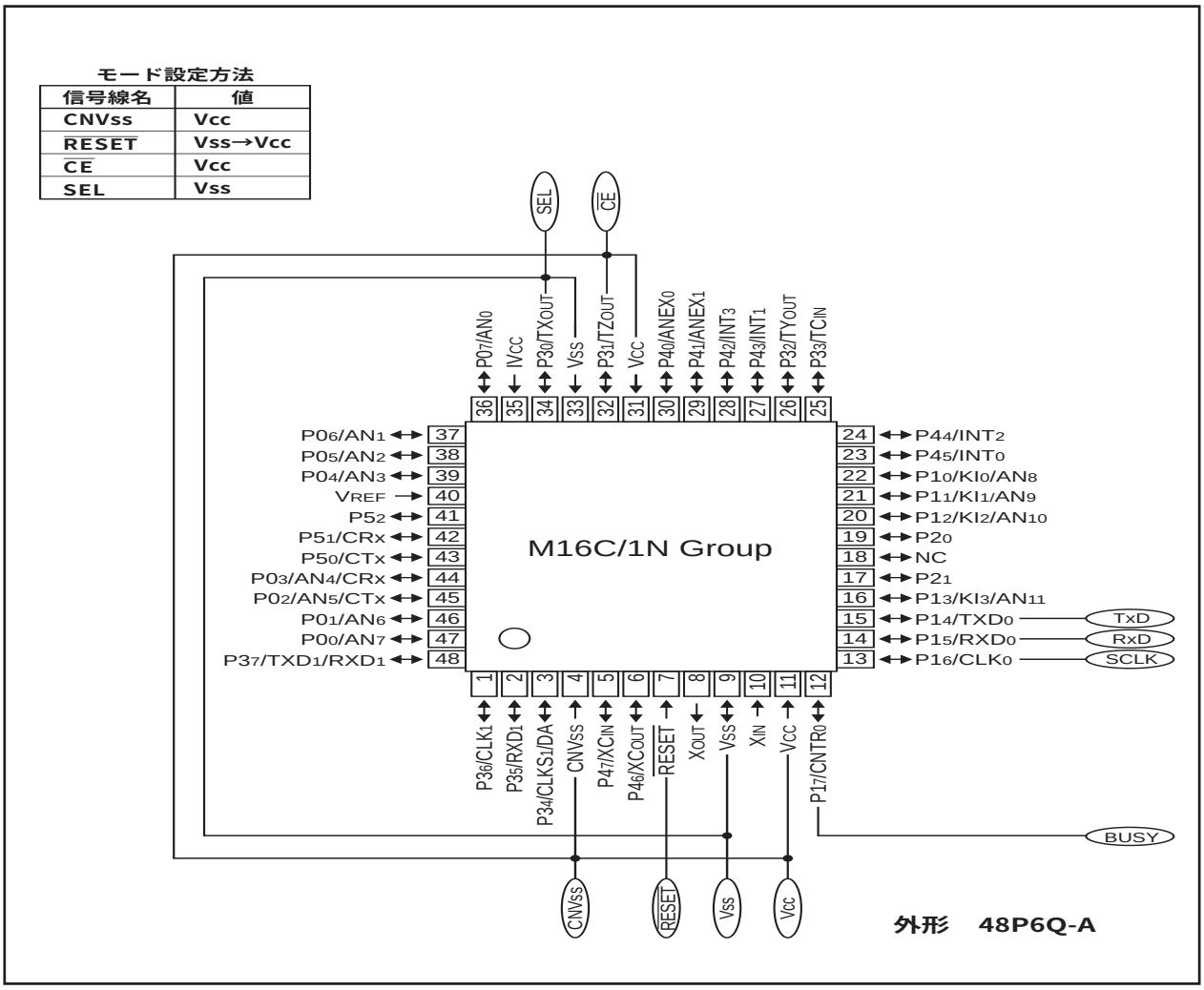


図19.12　フルステータスチェックのフロチャート、各エラー発生時の対処方法

19.6　パラレル入出力モード

パラレル入出力モードでは、M16C/1Nグループに対応したパラレルライタを使用して、ユーザROM領域を書き換えられます。パラレルライタについては、各メーカにお問い合わせください。また、パラレルライタの操作方法については、「パラレルライタのマニュアル」を参照してください。

19.6.1　ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「19.3 フラッシュメモリ書き換え禁止機能」参照)。

19.7　標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/1Nグループに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、「シリアルライタのマニュアル」を参照してください。

標準シリアル入出力モードには、クロック同期形シリアルI/Oを用いる標準シリアル入出力モード1と、クロック非同期形I/Oを用いる標準シリアル入出力モード2があります。

表19.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図19.13～図19.15に標準シリアル入出力モード時の端子結線図を示します。

19.7.1　IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「19.3 フラッシュメモリ書き換え禁止機能」参照)。

表19.7　端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名　称	入出力	機　能
V_{CC}、V_{SS}	電源入力	入力	V_{CC}端子にはプログラム、イレーズの保証電圧を、V_{SS}端子には0Vを入力してください。
IV_{CC}	IV_{CC}入力	入力	V_{SS}端子との間にコンデンサ(0.1μF)を接続してください。
CNV_{SS}	CNV_{SS}入力	入力	V_{CC}に接続してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。$\overline{RESET}$端子が“L”の間、X_{IN}端子には20サイクル以上のクロックを入力してください。
X_{IN}	クロック入力	入力	X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、X_{IN}端子から入力し、X_{OUT}端子は開放してください。
X_{OUT}	クロック出力	出力	
V_{REF}	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。V_{CC}またはV_{SS}に接続してください。
$P0_0$～$P0_7$	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
$P1_0$～$P1_3$	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
$P1_4$	TxD出力	出力	シリアルデータの出力端子です。(注1)
$P1_5$	RxD入力	入力	シリアルデータの入力端子です。
$P1_6$	SCLK入力	入力	・標準シリアル入出力モード1：シリアルクロックの入力端子です。 ・標準シリアル入出力モード2：“L”を入力してください。
$P1_7$	BUSY出力	出力	・標準シリアル入出力モード1：BUSY信号の出力端子です。 ・標準シリアル入出力モード2：ブートプログラム動作チェック用モニタ信号出力端子です。
$P2_0$、$P2_1$	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
$P3_0$	SEL入力	入力	SEL信号の入力端子です。“L”を入力してください。
$P3_1$	CE入力	入力	CE信号の入力端子です。“H”を入力してください。
$P3_2$～$P3_7$	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
$P4_0$～$P4_7$	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
$P5_0$～$P5_2$	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。

注1. 標準シリアル入出力モード1を使用する場合、$\overline{RESET}$端子が“L”の期間中、TxD端子に“H”を入力する必要があります。そのため、この端子の抵抗を介してV_{CC}に接続してください。リセット後、この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

モード設定方法

信号線名	値
CNVss	Vcc
$\overline{\text{RESET}}$	Vss→Vcc
$\overline{\text{CE}}$	Vcc
SEL	Vss

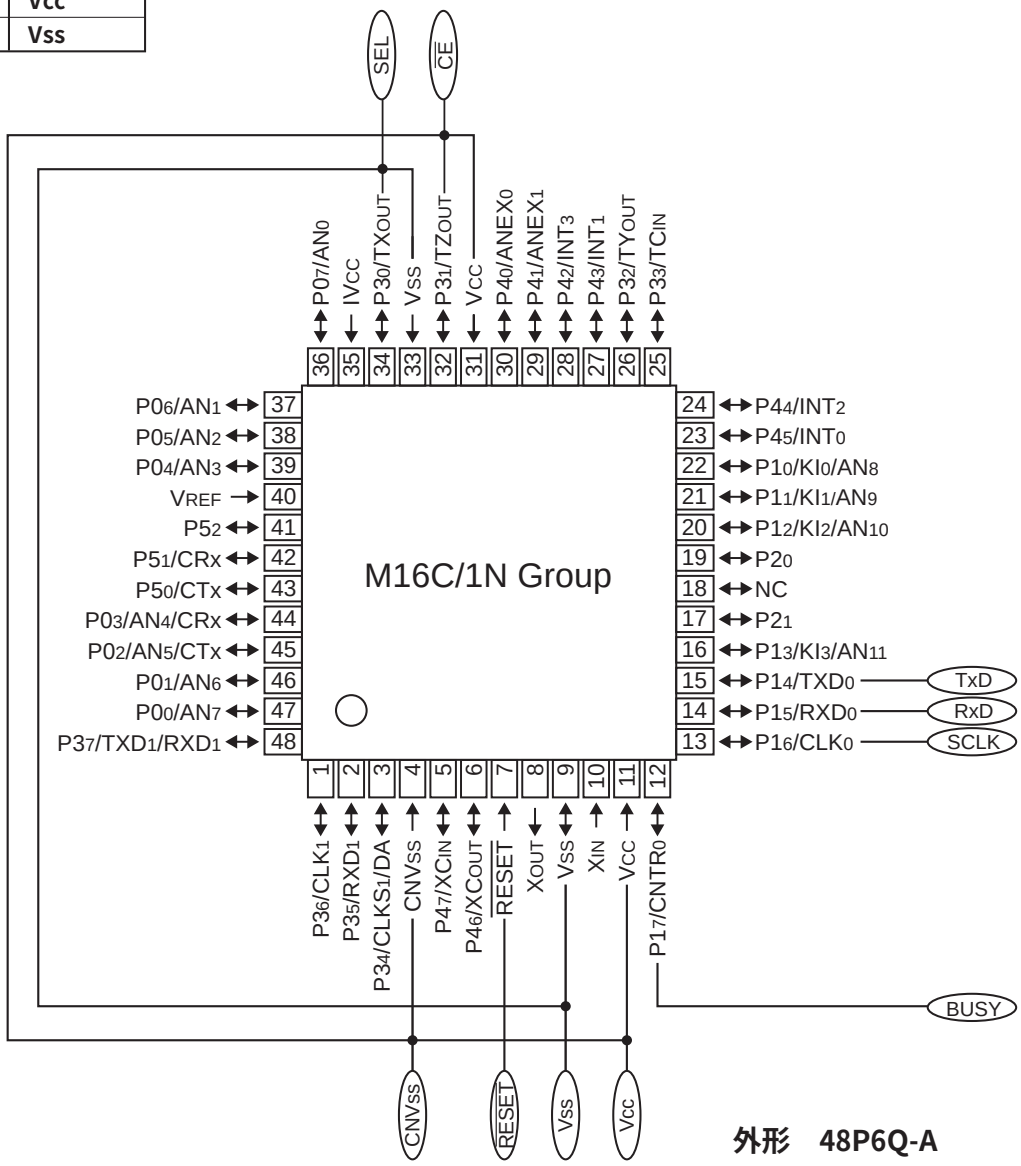
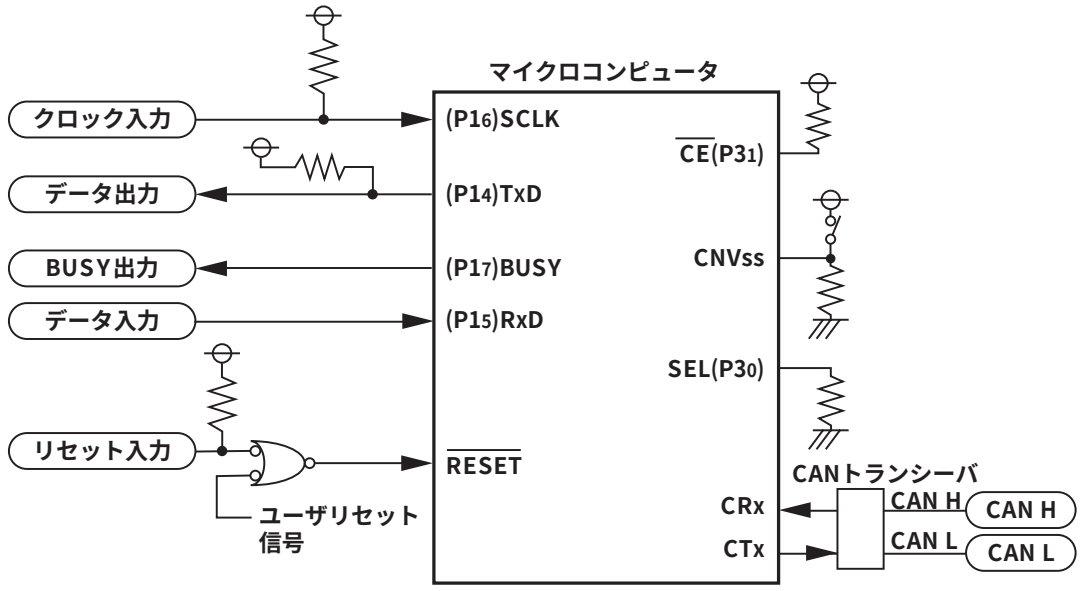


図19.13　標準シリアル入出力モード時の端子結線図

●標準シリアル入出力モード時の端子処理例

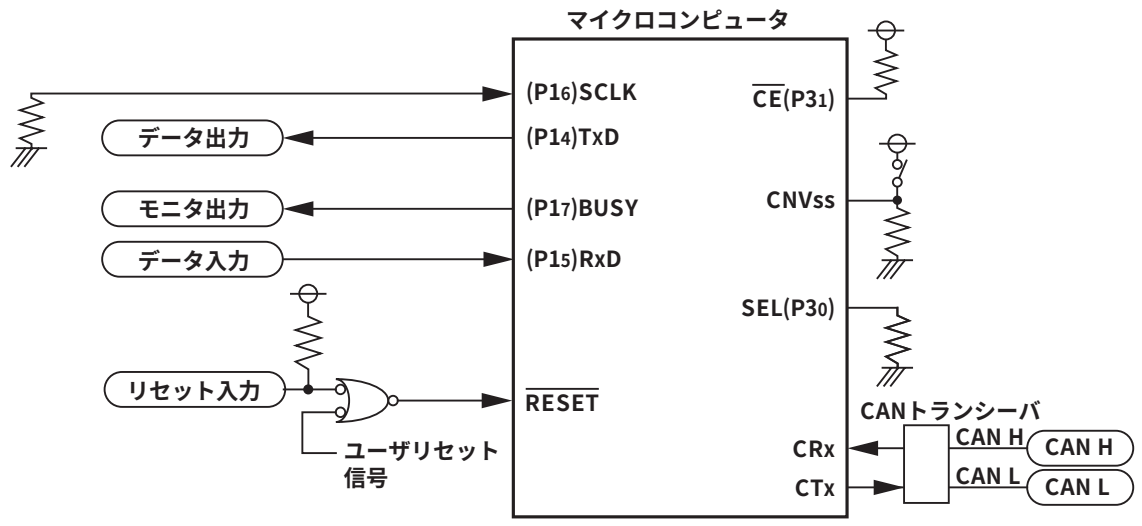
図19.14に標準シリアル入出力モード1を使用する場合の端子処理例を、図19.15に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライタによって制御するピンなどが異なりますので、詳細は「シリアルライタのマニュアル」を参照してください。

なお、標準シリアル入出力モード2を使用する場合は、メインクロックの入力発振周波数は10MHzまたは16MHzにしてください。



(1)　ライタによって制御する端子、外付け回路が異なります。詳細は「ライタのマニュアル」を参照してください。
(2)　この例では、スイッチでCNVss入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
(3)　標準シリアル入出力モード1でユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンパスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

図19.14　標準シリアル入出力モード1を使用する場合の端子処理例



(1)　この例では、スイッチでCNVss入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
(2)　メインクロックの入力発振周波数は10MHzまたは16MHzにしてください。

図19.15　標準シリアル入出力モード2を使用する場合の端子処理例

19.8　CAN入出力モード

CAN入出力モードでは、M16C/1Nグループに対応したCANライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。CANライタについては、各メーカにお問い合わせください。また、CANライタの操作法法については、「CANライタのマニュアル」を参照してください。

表19.8にCAN入出力モードの端子の機能説明を、図19.16にCAN入出力モード時の端子結線図を示します。

19.8.1　IDコードチェック機能

CANライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「19.3 フラッシュメモリ書き換え禁止機能」参照)。

表19.8　端子の機能説明(CAN入出力モード)

端子名	名　称	入出力	機　能
V_{CC}、V_{SS}	電源入力	入力	V_{CC}端子にはプログラム、イレーズの保証電圧を、V_{SS}端子には0Vを入力してください。
IV_{CC}	IV_{CC}入力	入力	V_{SS}端子との間にコンデンサ(0.1μF)を接続してください。
CNV_{SS}	CNV_{SS}入力	入力	V_{CC}に接続してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。$\overline{RESET}$端子が“L”の間、X_{IN}端子には20サイクル以上のクロックを入力してください。
X_{IN}	クロック入力	入力	X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、X_{IN}端子から入力し、X_{OUT}端子は開放してください。
X_{OUT}	クロック出力	出力	
V_{REF}	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。V_{CC}またはV_{SS}に接続してください。
$P0_0$、$P0_1$、$P0_4$～$P0_7$	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
$P0_2$	CTx出力	出力	CANの出力端子です。CANトランシーバに接続してください。
$P0_3$	CRx入力	入力	CANの入力端子です。CANトランシーバに接続してください。
$P1_0$～$P1_5$、$P1_7$	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
$P1_6$	SCLK入力	入力	SCLK信号の入力端子です。“L”を入力してください。
$P2_0$、$P2_1$	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
$P3_0$	SEL入力	入力	SEL信号の入力端子です。“H”を入力してください。
$P3_1$	CE入力	入力	CE信号の入力端子です。“H”を入力してください。
$P3_2$～$P3_7$	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
$P4_0$～$P4_7$	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
$P5_0$～$P5_2$	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。

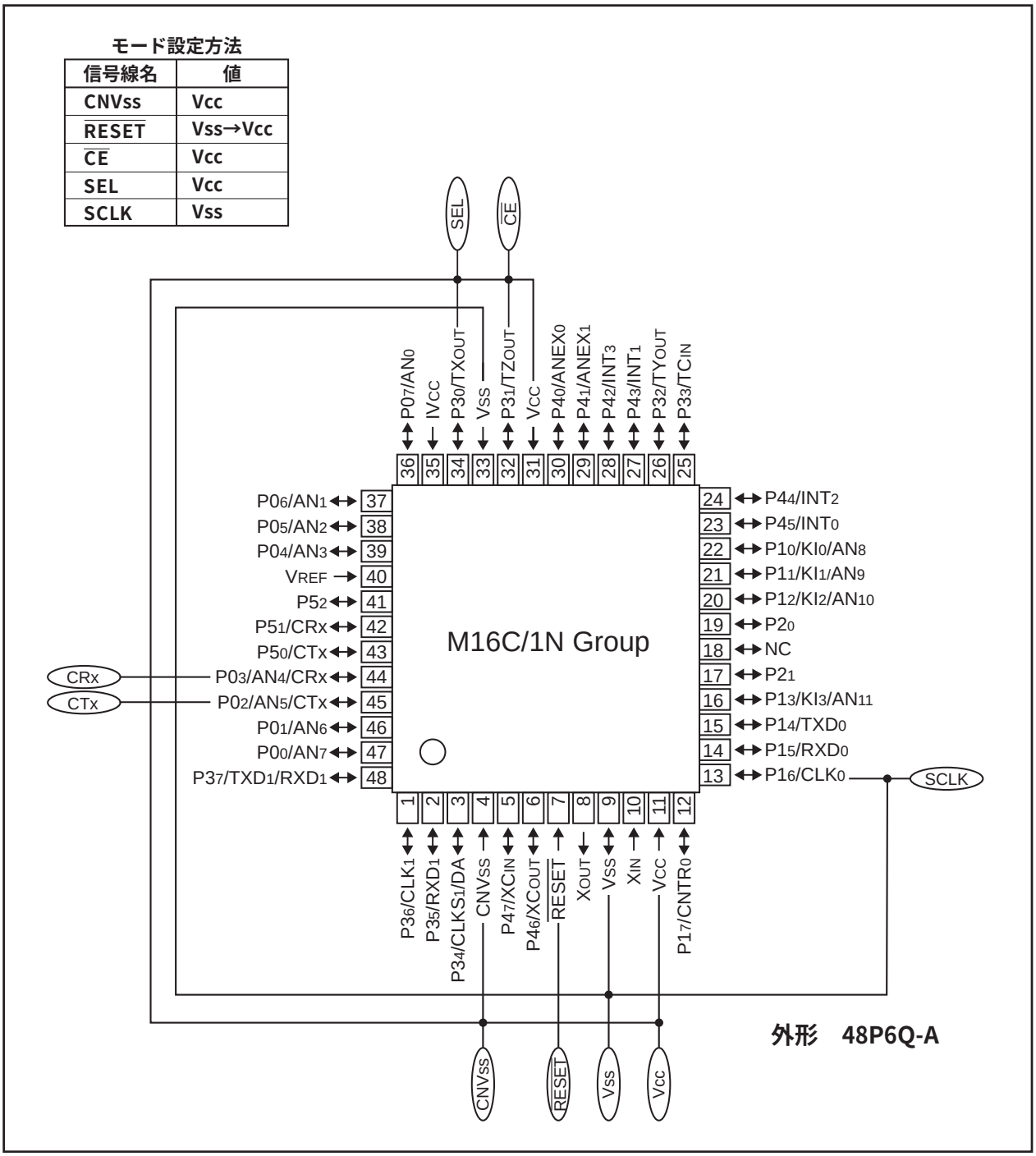
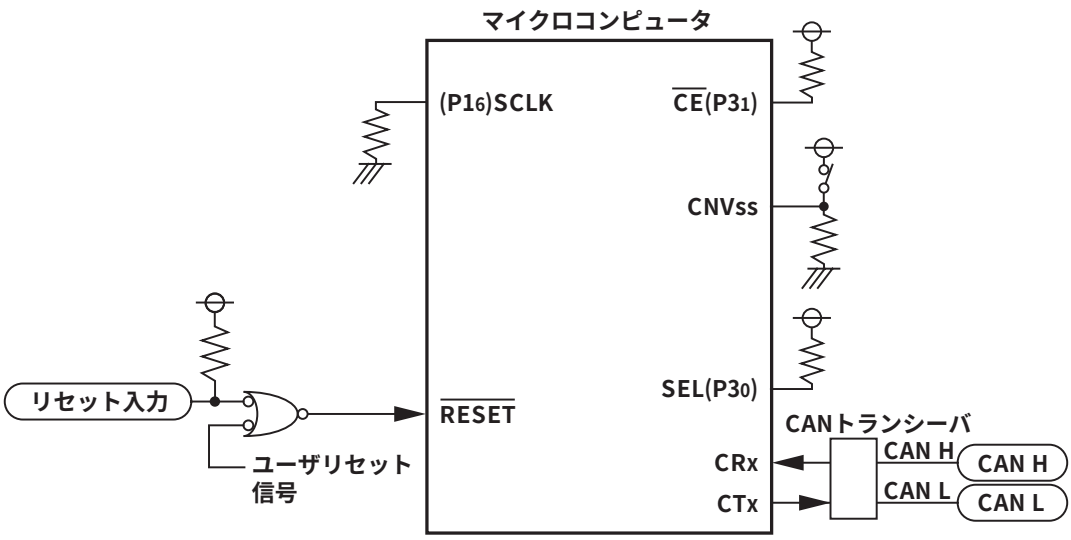


図19.16　CAN入出力モード時の端子結線図

●CAN入出力モード時の端子処理例

図19.17にCAN入出力モードを使用する場合の端子処理例を示します。ライタによって制御するピンなどが異なりますので、詳細は「CANライタのマニュアル」を参照してください。



(1)　ライタによって制御する端子、外付け回路が異なります。詳細は「ライタのマニュアル」を参照してください。

(2)　この例では、スイッチでCNVss入力を制御することによって、シングルチップモードとCAN入出力モードを切り替えています。

図19.17　CAN入出力モードを使用する場合の端子処理例

20．使用上の注意

20.1　クロックに関する注意事項

20.1.1　外部クロックの使用

X_{IN}端子に外部で生成したクロックを入力し、CPUクロックにメインクロックを選択している場合、外部で生成したクロックを停止させないでください。

20.1.2　パワーコントロール

1. ストップモードからリセットによって復帰する場合、$\overline{\text{RESET}}$端子に200μs以上“L”を入力してください。

2. WAIT命令またはCM1レジスタのCM10ビットを“1”(全クロック停止)にする命令の後には、NOP命令を4つ以上入れてください。ウェイトモードまたはストップモードに移行する場合、命令キューはWAIT命令やCM10ビットを“1”にする命令より後の命令まで先読みしてプログラムが停止するため、命令の組み合わせや実行のタイミングによっては、ウェイトモードやストップモードに入る前に次の命令を実行する場合があります。

3. メインクロック発振または低消費電力モードの時は、CM02ビットを“0”(ウェイトモード時、周辺機能クロックを停止しない)にして、ウェイトモードへ移行してください。

4. CPUクロックのクロック源をメインクロックに切り替えるときは、td(M-L)とメインクロック発振安定時間のうち、長い方を待ってから切り替えてください。
   CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。

5. 消費電力を小さくするためのポイント

消費電力を小さくするため、ポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

●ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

●A/Dコンバータ

A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(V_{REF}未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(V_{REF}接続)にしてから1μs以上経過した後、A/D変換を開始させてください。

●D/Aコンバータ

D/A変換を行わない場合、DACONレジスタのDAEビットを“0”(出力禁止)にし、D/Aレジスタを“00_{16}”にしてください。

●発振駆動能力の切り替え

発振が安定している場合、駆動能力を“LOW”にしてください。

●外部クロック

CPU のクロックに外部クロック入力を使用している場合、CM0レジスタのCM05ビットを“1”(停止)にしてください。CM05ビットを“1”にすることでX_{OUT}端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、CM05ビットにかかわらず、クロックは入力されます)。

20.1.3　ストップモード、ウェイトモード

1. ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“L”レベルにする必要があります。

2. ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがって、WAIT命令および全クロック停止制御ビットを“1”にする命令の後には、NOPを最低4つ入れてください。

3. ウェイトモードとストップモードの解除には、割り込みおよびハードウェアリセットを使用することができます。解除のための割り込みはあらかじめ許可状態に、解除に使用しない割り込みは優先レベルを0(割り込み禁止)にしてから各モードに移行する必要があります。特に、解除にハードウェアリセットのみを使用する場合は、必ずすべての割り込み優先レベルを0にしてから各モードに移行してください。

＜ウェイトモードの解除に割り込みを使用する場合＞

・ハードウェアリセットおよび$\overline{\text{INT0}}$割り込みでウェイトモードを解除

割り込み許可フラグ(Iフラグ)を"0"にする	；割り込み禁止
$\overline{\text{INT0}}$割り込み優先レベルを1以上にする	；$\overline{\text{INT0}}$割り込み許可 (プロセッサ割り込み優先レベルが0の場合)
他の割り込み優先レベルを0にする	；他の割り込みを禁止
NOP命令×4	；予期しない割り込みの発生防止
割り込み許可フラグ(Iフラグ)を"1"にする	；割り込み許可
WAIT命令	
NOP命令×4	；命令キューがWAIT命令から4バイト先読みしてプログラムが停止するためNOP命令を最低4つ挿入

＜ウェイトモードの解除にハードウェアリセットのみを使用する場合＞

割り込み許可フラグ(Iフラグ)を"0"にする	；割り込み禁止
すべての割り込み優先レベルを0にする	；マスカブル割り込み禁止
WAIT命令	
NOP命令×4	；命令キューがWAIT命令から4バイト先読みしてプログラムが停止するためNOP命令を最低4つ挿入

4. ストップモードからの復帰後、未定義命令割り込みおよびBRK命令割り込みなど、予期しない動作をすることがあります。
   全クロック停止制御ビットへの書き込み命令の後に、 JMP.B命令を実行してください。プログラム例を以下に示します。

＜プログラム例＞

例1：

```
        BSET      0,CM1          ；全クロック停止制御ビットを"1"にする（ストップモード）
        JMP.B     L1
      L1：
        NOP
        NOP
        NOP
        NOP
```

例2：

```
        MOV.B:S   #21h, CM1      ；全クロック停止制御ビットを"1"にする（ストップモード）
        JMP.B     L1
      L1：
        NOP
        NOP
        NOP
        NOP
```

20.2　割り込みに関する注意事項

20.2.1　00000_{16}番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000_{16}番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000_{16}番地に対して読み出しを行わないでください。

20.2.2　スタックポインタの設定

リセット直後、スタックポインタの値は“0000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

20.2.3　外部割り込み

INT_0～INT_3端子および$CNTR_0$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替え後、割り込み要求ビットを“0”にしてください。

20.2.4　割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。割り込み制御レジスタを書き換えるプログラム例を以下に示します。

＜プログラム例＞

例1：INT_SWITCH1：

```
FCLR    I              ；割り込み禁止状態
AND.B   #00H，0055H    ；タイマ1割り込み制御レジスタに"00₁₆"を設定
NOP
NOP
FSET    I              ；割り込み許可状態
```

例2：INT_SWITCH2：

```
FCLR    I              ；割り込み禁止状態
AND.B   #00H，0055H    ；タイマ1割り込み制御レジスタに"00₁₆"を設定
MOV.W   MEM，R0        ；ダミーリード
FSET    I              ；割り込み許可状態
```

例3：INT_SWITCH3：

```
PUSHC   FLG
FCLR    I              ；割り込み禁止状態
AND.B   #00H，0055H    ；タイマ1割り込み制御レジスタに"00₁₆"を設定
POPC    FLG            ；割り込み許可状態
```

例1と例2でFSET I命令の前にNOP命令2個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行中に、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットが設定されないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令・・・AND、OR、BCLR、BSET

20.2.5　割り込み要求ビットの変更

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタの変更を行ってください。

対象となる命令・・・MOV

20.3　タイマに関する注意事項

20.3.1　タイマ1

1. プリスケーラ1とタイマ1をワードサイズで同時に読み出しても、マイクロコンピュータ内部では、1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

20.3.2　タイマX、タイマY、タイマZ

1. リセット後、タイマはカウントを停止しています。タイマ(X、Y、Z)およびプリスケーラ(X、Y、Z)に値を設定した後、カウントを開始してください。

2. プリスケーラ(X、Y、Z)とタイマ(X、Y、Z)をワードサイズで同時に読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

20.3.3　タイマX

1. パルス周期測定モードで使用する有効エッジ判定フラグおよびタイマXアンダフローフラグは、プログラムで“0”を書くと“0”になり、“1”を書くと変化しません。プログラムでいずれかのフラグを“0”にする場合、MOV命令を用いて他方のフラグには“1”を書き込んでください(意図しないフラグのクリアを防ぐことができます)。

＜有効エッジ判定フラグを“0”にするプログラム例＞

```
MOV.B    #10XXXXXXB, 008BH
```

2. 他のモードからパルス周期測定モードに変更したとき、有効エッジ判定フラグおよびタイマXアンダフローフラグの値は不定です。タイマXのカウントを開始する前に有効エッジ判定フラグおよびタイマXアンダフローフラグに“0”を書き込んでください。

3. パルス周期測定モード時、タイマを停止するときはMOV命令を使用してください。

＜プログラム例＞

```
MOV.B    #11100X00B, 008BH
```

20.3.4　タイマY

1. タイマYカウント開始フラグを“0”にしてカウントを停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

2. タイマYカウント開始フラグを“0”にしてカウントを停止したとき、タイマY割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。タイマを停止する前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマY割り込み要求ビットを“0”にしてください。

20.3.5　タイマZ

1. タイマZカウント開始フラグを“0”にしてカウントを停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

2. タイマZカウント開始フラグを"0”にしてカウントを停止したとき(全モード)、およびワンショット開始ビットを“0”にしてカウントを停止したとき(プログラマブルワンショット発生モード/プログラマブルウェイトワンショット発生モード)、タイマZ割り込み要求ビットが“1”になり、割り込みが発生する可能性があります。タイマを停止する前に、割り込みを禁止してください。また、カウントを再度開始する前にタイマZ割り込み要求ビットを“0”にしてください。

20.3.6　タイマC

1. タイマCおよび時間計測レジスタを読み出すときは、ワードサイズで読み出してください。タイマCはワードサイズで読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。タイマCを読み出すプログラム例を以下に示します。

＜プログラム例＞

```
MOV.W    0091H,R0        ；タイマCの読み出し
```

20.4　シリアルI/Oに関する注意事項

1. クロック非同期形シリアルI/Oモード時に、UARTi受信バッファレジスタを読み出す時は、上位バイト→下位バイトの順で、バイトサイズで読み出してください。
   下位バイト→上位バイトの順で読み出した場合、またはワードサイズで読み出した場合は、フレーミングエラーフラグおよびパリティエラーフラグはクリアされます。

＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.B    00A7H, R0H     ; UART0受信バッファレジスタの上位バイトの読み出し
MOV.B    00A6H, R0L     ; UART0受信バッファレジスタの下位バイトの読み出し
```

2. 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UARTi送信バッファレジスタに書き込みを行う時は、上位バイト→下位バイトの順で、バイトサイズで書き込んでください。

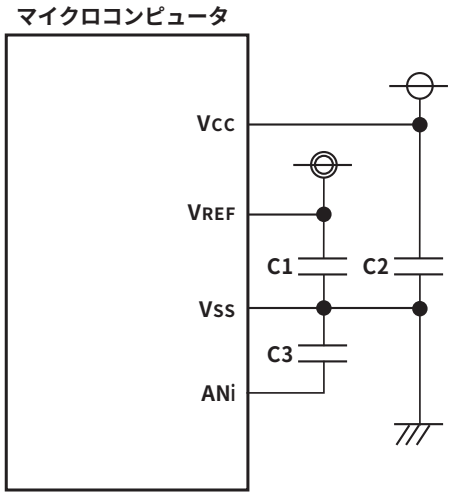
＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B    #XXH, 00A3H,   ; UART0送信バッファレジスタの上位バイトへの書き込み
MOV.B    #XXH, 00A2H,   ; UART0送信バッファレジスタの下位バイトへの書き込み
```

20.5　A/Dコンバータに関する注意事項

1. A/D制御レジスタ0の各ビット（ビット6を除く）、A/D制御レジスタ1の各ビット、およびA/D制御レジスタ2のビット0に対する書き込みは、A/D変換停止時（トリガ発生前）に行ってください。
   特にV_{REF}接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA/D変換を開始させてください。

2. ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、V_{CC}端子、V_{REF}端子、アナログ入力端子（ANi）とV_{SS}端子の間には、それぞれコンデンサを挿入してください。
   図20.1に各端子の処理例を示します。



注1．C1≧0.47μF、C2≧0.47μF、C3≧100pF(参考値)。
注2．コンデンサは太い配線を利用して、最短距離で接続してください。

図20.1　各端子の処理例

3. アナログ入力端子として使用する端子に対応するポート方向ビットは“0”（入力モード）にしてください。

4. キー入力割り込みとして$\overline{KIi}$入力許可ビットを“1”（許可）にし、かつAN_8～AN_{11}をアナログ入力端子として使用する場合は、次の点に注意してください。
   - A/D入力電圧が“L”になると、キー入力割り込みが発生します。
   - A/D入力電圧が1/2V_{CC}付近になると、キー入力割り込みのシュミット回路で貫通電流が流れ、電源電流が増えることがあります（$\overline{KIi}$入力許可ビットを“0”（禁止）にした場合は流れません）。

5. ϕ_{AD}の周波数を10MHz以下にしてください。サンプル&ホールド機能なしの場合、ϕ_{AD}の周波数は250KHz以上にしてください。サンプル&ホールド機能ありの場合、ϕ_{AD}の周波数は1MHz以上にしてください。

6. A/D動作モードを変更する場合は、アナログ入力端子選択ビットでアナログ入力端子を再選択してください。

7. 単発モードで使用する場合、A/D変換が完了したことを確認してから、A/Dレジスタを読み出してください(A/D変換の完了はA/D変換割り込み要求ビットで判定できます)。

8. 繰り返しモードで使用する場合、CPUの内部クロックは、メインクロックを分周せずに使用してください。

9. A/D変換動作中にプログラムでA/D制御レジスタ0のA/D変換開始フラグを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでA/D変換開始フラグを“0”にした場合は、A/Dレジスタの値を使用しないでください。

20.6　CANモジュールに関する注意事項

20.6.1　C0STRレジスタの読み出し

M16C/1NグループのCANモジュールは、C0STRレジスタに対して一定の周期でステータス更新を行っています。CPUとCANモジュールが同一タイミングでC0STRレジスタにアクセスした場合、CPUからのアクセスが優先され、CANモジュールからのアクセスを禁止する仕様になっています。このため、CANモジュールのステータス更新周期とCPUからのアクセス周期が常に一致した場合、CANモジュールのステータスが更新されなくなります(図20.2参照)。

したがって、CPUからのアクセス周期がCANモジュールの更新周期と一致しないように、以下の点に注意してください。

1. CPUがC0STRレジスタを読み出す前に、$3f_{CAN}$以上(表20.1参照)の待機時間を持たせる(図20.3参照)。

2. CPUがC0STRレジスタをポーリングする場合、$3f_{CAN}$より長い周期にする(図20.4参照)。

表20.1　CANモジュールステータス更新周期

$3f_{CAN}$時間 = 3×X_{IN}(源発振時間)×CANクロック用分周値(CCLK)	
(例1)　条件 X_{IN} 16MHz CCLK：1分周	$3f_{CAN}$時間 = 3×62.5ns× 1 = 187.5ns
(例2)　条件 X_{IN} 16MHz CCLK：2分周	$3f_{CAN}$時間 = 3×62.5ns× 2 = 375ns
(例3)　条件 X_{IN} 16MHz CCLK：4分周	$3f_{CAN}$時間 = 3×62.5ns× 4 = 750ns
(例4)　条件 X_{IN} 16MHz CCLK：8分周	$3f_{CAN}$時間 = 3×62.5ns× 8 = 1.5μs
(例5)　条件 X_{IN} 16MHz CCLK：16分周	$3f_{CAN}$時間 = 3×62.5ns×16 = 3μs

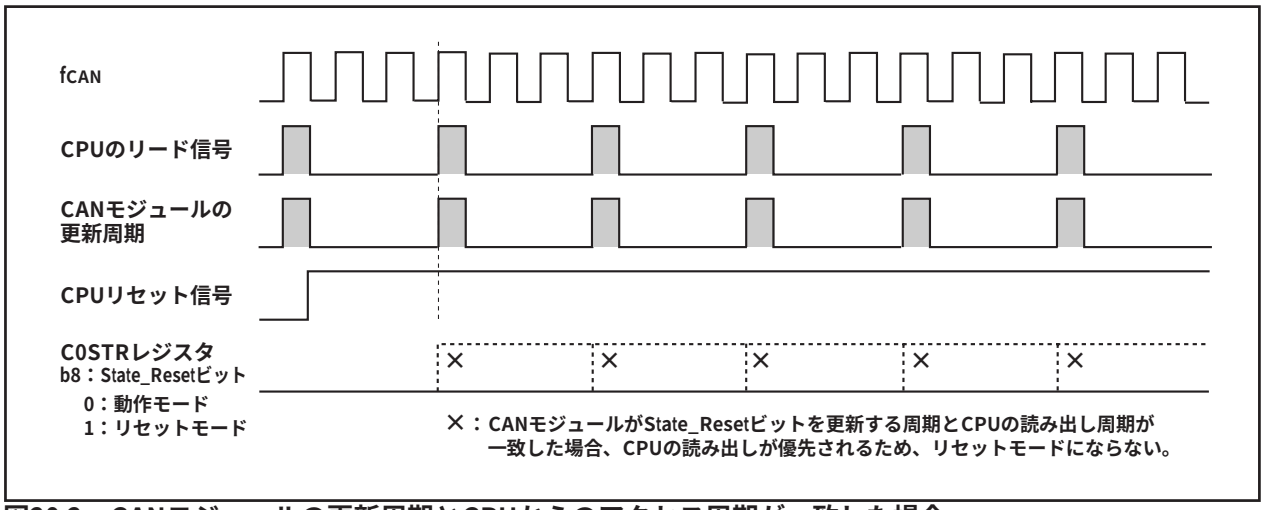


図20.2　CANモジュールの更新周期とCPUからのアクセス周期が一致した場合

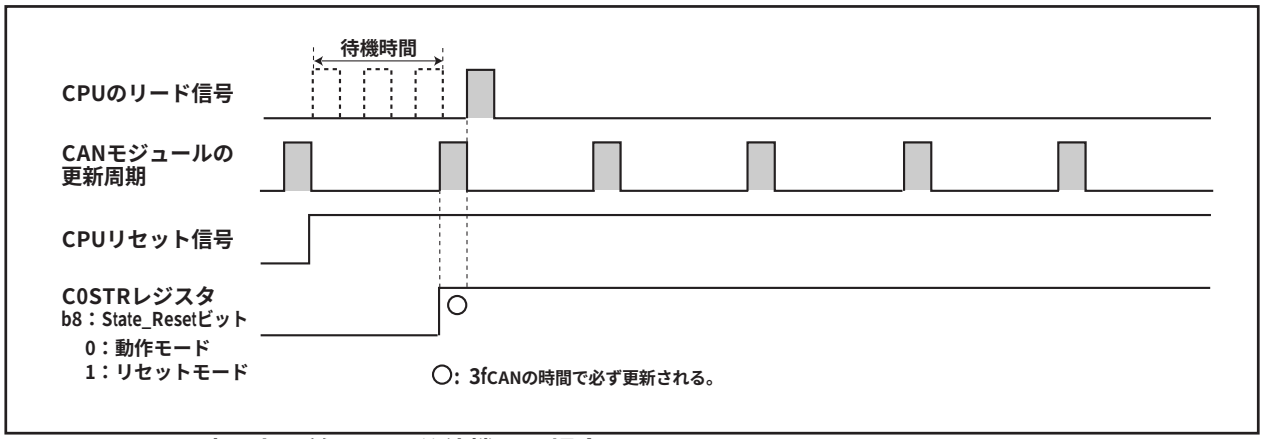


図20.3　CPUの読み出し前に3fCAN分待機した場合

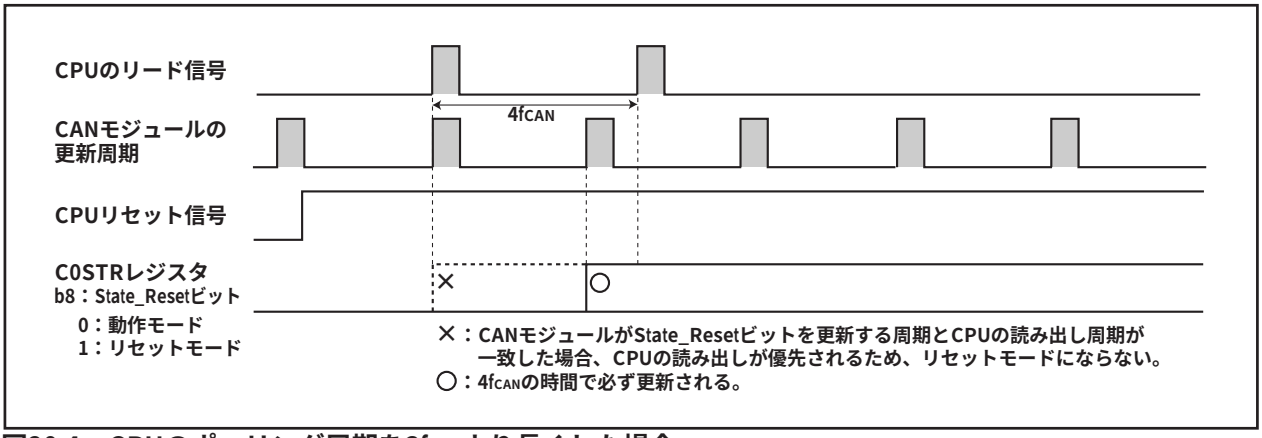


図20.4　CPUのポーリング周期を3fCANより長くした場合

20.6.2　CAN動作モードとCANリセットモードの移行

CAN動作モードからCANリセットモードに移行するために、C0CTLRレジスタのResetビットを“0”(動作モード)から“1”(リセット/初期化モード)にした場合は、C0STRレジスタのState_Resetビットが“1”(リセットモード)になるのを確認してください。

CANリセットモードからCAN動作モードに移行するために、Resetビットを“1”から“0”にした場合は、State_Resetビットが“0”(動作モード)になるのを確認してください。

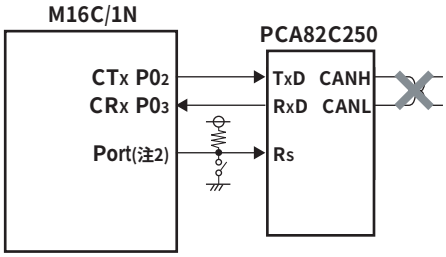
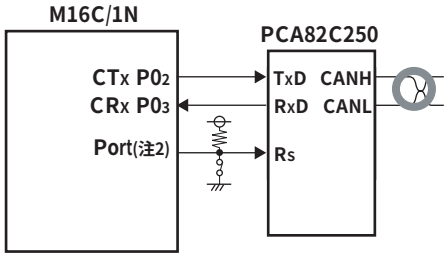
以下に手順を示します。

・CAN動作モードからCANリセットモードに移行する場合
　・Resetビットを“0”から“1”にする
　・State_Resetビットが“1”になっているのを確認する
・CANリセットモードからCAN動作モードに移行する場合
　・Resetビットを“1”から“0”にする
　・State_Resetビットが“0”になっているのを確認する

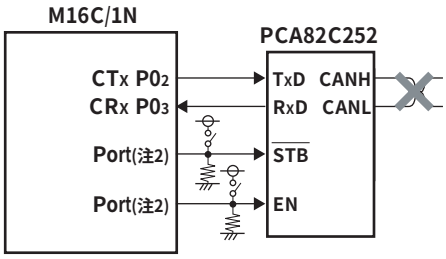
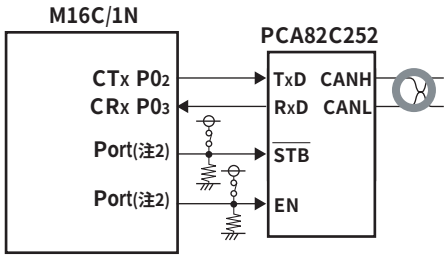
20.6.3　標準ブートプログラム使用時のCANトランシーバの制御

標準ブートプログラムを用いてCAN経由のフラッシュメモリ書き込みを行う場合、CANトランシーバの動作モードをhigh-speed modeまたはnormal operation modeに設定してください。CANトランシーバの動作モードをフラッシュマイコンから制御している場合は、図20.5に示すようにスイッチ等によってCANトランシーバの動作モードを設定した後、書き込みを行う必要があります。

Philips社製PCA82C250の場合

	Standby mode	high-speed mode
Rs端子(注1)	“ H ”	“ L ”
CAN通信	不可能	可能
接続図	 スイッチOFF	 スイッチON

Philips社製PCA82C252の場合

	sleep mode	nomal operation mode
$\overline{\text{STB}}$端子(注1) EN端子(注1)	“ L ” “ L ”	“ H ” “ H ”
CAN通信	不可能	可能
接続図	 スイッチOFF	 スイッチON

注1．CANトランシーバの動作状態を制御する端子。
注2．CANトランシーバ制御に使用可能なポートに接続してください。

図20.5　CANトランシーバ接続図

20.7 ノイズに関する注意事項

1. ノイズおよびラッチアップ対策として、V_{CC}-V_{SS}ライン間へのバイパスコンデンサ挿入
   V_{CC}端子とV_{SS}端子間にバイパスコンデンサ(0.1μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2. ポート制御レジスタのノイズ誤動作対策
   過酷なノイズ試験などで外来ノイズ(主に電源系ノイズ)を 受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。
   このような場合のソフトウェア対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

3. CNV$_{SS}$端子配線
   CNV$_{SS}$端子は、出荷試験モードへの切り替え端子として、またフラッシュメモリ版では、フラッシュメモリの書き換えモードへの切り替え端子として機能します。そのため、ノイズ誤動作耐量向上のために、5kΩ程度の抵抗をできるだけ端子に近い位置に挿入してV_{SS}と接続(プルダウン)してください。

20.8 フラッシュメモリ版とマスクROM版の相違点に関する注意事項

フラッシュメモリ版とマスクROM版は、内部ROMレイアウトパターンの相違などにより、電気的特性の範囲で特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験を実施してください。

20.9　フラッシュメモリ版に関する注意事項

20.9.1　フラッシュメモリ書き換え禁止機能

0FFFDF$_{16}$、0FFFE3$_{16}$、0FFFEB$_{16}$、0FFFEF$_{16}$、0FFFF3$_{16}$、0FFFF7$_{16}$、0FFFFB$_{16}$番地は、IDコードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFF$_{16}$番地はROMCPレジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

20.9.2　ストップモード

ストップモードに移行する場合は、次のようにしてください。

・FMR01ビットを“0”(CPU書き換えモード無効)にして、CM10ビットを“1”(ストップモード)にする
・CM10ビットを“1”にする命令の次にJMP.B命令を実行する

```
プログラム例　BSET　　0, CM1　　；ストップモード
　　JMP.B　　L1
　　L1 ：
　　ストップモード復帰後のプログラム
```

20.9.3　ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

20.9.4　低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

・プログラム
・ブロックイレーズ
・イレーズ全アンロックブロック
・ロックビットプログラム

20.9.5　コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

20.9.6　プログラムコマンド

第1バスサイクルで“xx40$_{16}$”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

20.9.7　動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットが“1”(ウェイトあり)にしてください。

20.9.8　使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

20.9.9　割り込み

EW0モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。

20.9.10　アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

20.9.11　ユーザROM領域の書き換え

EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モード、パラレル入出力モード、またはCAN入出力モードを使用してください。

EW1モード

- 書き換え制御プログラムが格納されているブロックを書き換えないでください。

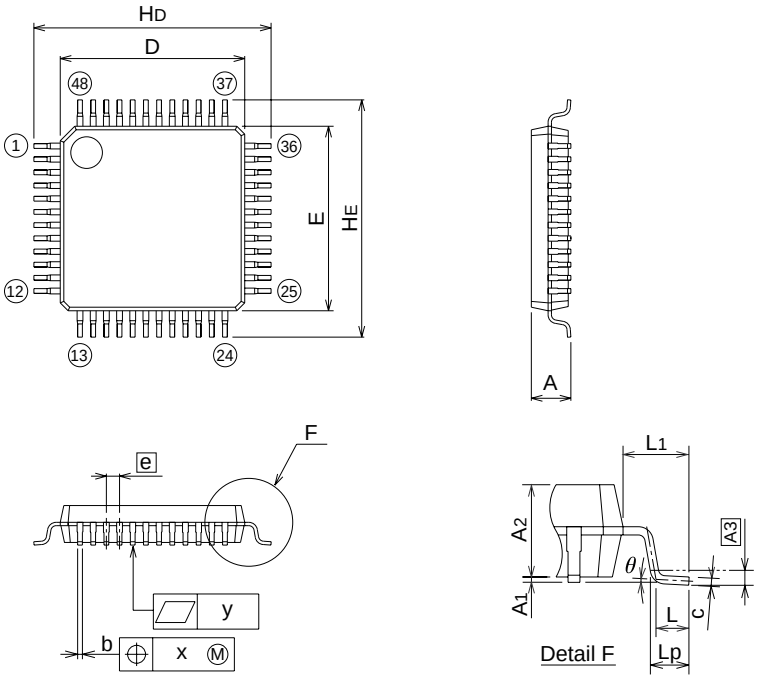
付録1.　外形寸法図

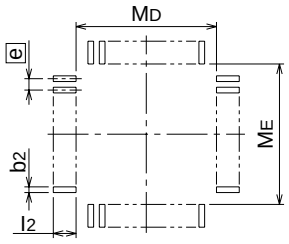
48P6Q-A

Recommended

Plastic 48pin 7×7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP48-P-77-0.50	–	–	Cu Alloy





Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0	0.1	0.2
A_2	–	1.4	–
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	–	0.5	–
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
L	0.35	0.5	0.65
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.08
y	–	–	0.1
θ	0°	–	8°
b_2	–	0.225	–
l_2	1.0	–	–
M_D	–	7.4	–
M_E	–	7.4	–

SFR レジスタ図索引

A

AD 122
ADCON0 121,123,124
ADCON1 121,123,124
ADCON2 122
ADIC 50
AIER 63

C

C01ERRIC 50
C01WKIC 50
C0AFS 140
C0CONR 138
C0CTLR 134
C0ICR 137
C0IDR 137
C0MCTL0 133
C0MCTL1 133
C0MCTL2 133
C0MCTL3 133
C0MCTL4 133
C0MCTL5 133
C0MCTL6 133
C0MCTL7 133
C0MCTL8 133
C0MCTL9 133
C0MCTL10 133
C0MCTL11 133
C0MCTL12 133
C0MCTL13 133
C0MCTL14 133
C0MCTL15 133
C0RECIC 50
C0RECR 139
C0SSTR 136
C0STR 135
C0TECR 139
C0TRMIC 50
CAN0スロット0～15
：タイムスタンプ 130,131
：データフィールド 130,131
：メッセージ識別子 130,131
C0GMR 132
C0LMAR 132
C0LMBR 132
CCLKR 26
CIOSR 160
CM0 24
CM1 24
CM2 25,36
CNTR0IC 50
CPSRF 25

D

DA 127
DACON 127
DRR 159

F

FMR0 178
FMR1 179
FMR4 179

I

INT0F 58,91
INT0IC 50
INT1IC 50
INT2IC 50
INT3IC 50
INTEN 58,91

K

KIEN 62
KUPIC 50

P

P0 158
P1 158
P2 158
P3 158
P4 158
P5 158
PD0 158
PD1 158
PD2 158
PD3 158
PD4 158
PD5 158
PM0 22,40
PM1 22,40,67
PRCR 39
PRE1 70
PREX 72
PREY 81
PREZ 89
PUM 82,84,86,90,93,95,97,100
PUR0 159
PUR1 159

R

RMAD0 63
RMAD1 63

S

S0RIC 50
S0TIC 50
S1RIC 50
S1TIC 50

T

T1 70
T1IC 50
TC 103
TCC0 61,103
TCC1 61,103
TCIC 50
TCINIC 50
TCSS 70,72,82,90
TM 103
TX 72
TXIC 50
TXMR 60,71,73-76,78
TYIC 50
TYPR 81
TYSC 81
TYZMR 80,84,86,88,93,95,97,100
TYZOC 81,91
TZIC 50
TZPR 89
TZSC 89

U

U0BRG 107
U0C0 108
U0C1 109
U0MR 108,111,116
U0RB 107
U0TB 107
U1BRG 107
U1C0 108
U1C1 109
U1MR 108,111,116
U1RB 107
U1TB 107
UCON 109

W

WDC 67
WDTS 67

改訂記録	M16C/1N グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.04.20		PDF ファイル初版発行
2.00	2004.11.30		改訂版発行 ※用語統一(統一用語：オンチップオシレータ、ウォッチドッグタイマ、A/D コンバータ、D/A コンバータ) ※注意事項集を使用上の注意として 20 章に追加 ※改訂箇所・内容は下記のとおりです（章構成、レイアウトの変更、表現のみの変更は除く）。
		5	図 1.3 CNVss 端子の入力方向を変更
		6	表 1.3 Ivcc を入出力 「出力」を「入力」を変更
		39	7. プロテクト 本文 9 行目 「RRC ビット」を「PRC2 ビット」に変更
		61	10.4 TCIN 割り込み　本文中の「RING512」を「$f_{RING256}$」に変更 図 10.13 TCC0 レジスタの TCC07 ビット 「1:RING512」を「$f_{RING256}$」に変更
		85	表 12.9 「周期」を「周波数」に変更
		94	表 12.11 「周期」を「周波数」に変更
		99	表 12.13 ウェイト時間 「fi ×(n+1)×(m+1)」を「(n+1)×(m+1)/fi」に変更 ワンショットパルス出力時間「fi ×(n+1)×(l+1)」を「(n+1)×(l+1)/fi」に変更 選択機能：波形拡張時のウェイト時間 「fi ×(n+1)×((2 ×(m+1))+TZPUM0)/2」を 「(n+1)×((2 ×(m+1))+TZPUM0)/2fi」に変更 選択機能：波形拡張時のワンショットパルス出力時間 「fi ×(n+1)×((2 ×(l+1))+TZPUM1)/2」を 「(n+1)×((2 ×(l+1))+TZPUM1)/2fi」に変更
		103	図 12.32 TCC0 レジスタの TCC07 ビット 「1:RING512」を「$f_{RING256}$」に変更
		132	16.3 アクセプタンスマスクレジスタ 本文 1 行目 「C0MBR レジスタ」を「C0LMBR レジスタ」に変更
		133	図 16.6 注 2 を変更 「となります（「16.9 Basic CAN モード」参照。」を「になります。データフレームを受信したとき"0"に、リモートフレームを受信したとき"1"になります。」
		141	16.5.1 CAN リセット / 初期化モード 本文 9 行目「C0TSR レジスタ」を削除
		144	図 16.18 「メインクロック」を「f1」に変更
		147	図 16.22 アドレス 「244_{16}」を「0245_{16}、0244_{16} 番地」に変更
		148	16.11 リッスンオンリーモード 本文2行目 「データフレームやエラーフレームの送信、ACKの応答など、バスに対していかなる設定も行いません。」を「、データフレーム、エラーフレーム、オーバロードフレームの送信やACKを行いません。」に変更
		150	図 16.24 RecState ビットのタイミングを変更
		153	17.1 機能説明　本文 9 行目 「各端子の方向レジスタ」を「端子の方向レジスタ」に変更
		154	図 17.1 入出力ポートの構成を変更、注 1 を追加

改訂記録	M16C/1N グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2004.11.30	155	図 17.2 入出力ポートの構成を変更、注 1 を追加
		164	表18.3 電気的特性(1) XCOUT"H"出力電圧　HIGH POWER時の標準規格値「3.0」を「2.5」に変更 IIH および IIL の項目に P5$_0$ ～ P5$_2$ を追加 X_{IN} 帰還抵抗値　標準規格値「6.0」を「15.0」に変更
		175	表 19.3 注 2 を削除、注 3 を注 2 に変更
		187	図 19.11 注 3 と注 4 の順番を入れ替え
		193	表 19.7 Vcc、Vss、Ivcc を入出力を追加
		194	図 19.13 CNVss 端子の入力方向を変更

M16C/1Nグループハードウェアマニュアル

発行年月日　2004年4月20日　Rev. 1.00
　　2004年11月30日　Rev. 2.00

発行　　株式会社 ルネサス テクノロジ　営業企画統括部
　　〒100-0004　東京都千代田区大手町2-6-2

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/1N グループ
ハードウェアマニュアル

RENESAS
ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0004-0200Z