

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8S/2607 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8S ファミリ / H8S/2600 シリーズ

H8S/2607	HD64F2607
	HD6432607
H8S/2606	HD6432606
H8S/2605	HD6432605

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8S/2607 グループは、高速 H8S/2600 CPU を核に、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8S/2600 CPU は、H8/300 CPU および H8/300H CPU と互換性のある命令体系を備えています。

対象者 このマニュアルは、H8S/2607 グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2607 グループのハードウェア機能と電気的特性をユーザーに理解して頂くことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。
 - 目次にしたがって読んでください。
 - 本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
 - 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名が分かっている、詳細機能を知りたいとき。
 - 本書の後ろに「索引」があります。索引からページ番号を検索してください。
 - 「第22章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : 16ビットタイマバルスユニット、シリアルコミュニケーションインタフェースなど、
同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXXは基本レジスタ名称、Nはチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- H8S/2607グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2607 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 グループ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッグユーザーズマニュアル	ADJ - 702 - 163
H8S、H8/300 シリーズ High-performance Embedded Workshop 3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop 3 ユーザーズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 特長	1-1
1.2 ブロック図	1-3
1.3 端子説明	1-4
1.3.1 ピン配置図	1-4
1.3.2 動作モード別端子機能一覧	1-5
1.3.3 端子機能	1-9
2. CPU	2-1
2.1 特長	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2 H8/300 CPU との相違点	2-3
2.1.3 H8/300H CPU との相違点	2-3
2.2 CPU動作モード	2-4
2.2.1 ノーマルモード	2-4
2.2.2 アドバンスモード	2-6
2.3 アドレス空間	2-8
2.4 レジスタの構成	2-9
2.4.1 汎用レジスタ	2-10
2.4.2 プログラムカウンタ (PC)	2-11
2.4.3 エクステンドレジスタ (EXR)	2-11
2.4.4 コンディションコードレジスタ (CCR)	2-12
2.4.5 積和レジスタ (MAC)	2-13
2.4.6 CPU 内部レジスタの初期値	2-13
2.5 データ形式	2-14
2.5.1 汎用レジスタのデータ形式	2-14
2.5.2 メモリ上でのデータ形式	2-16
2.6 命令セット	2-17
2.6.1 命令の機能別一覧	2-18
2.6.2 命令の基本フォーマット	2-27
2.7 アドレッシングモードと実効アドレスの計算方法	2-28
2.7.1 レジスタ直接 Rn	2-28
2.7.2 レジスタ間接 @ERn	2-28
2.7.3 ディスプレースメント付きレジスタ間接 @ (d:16,ERn) / @ (d:32,ERn)	2-28

2.7.4	ポストインクリメントレジスタ間接@ERn+／プリデクリメントレジスタ間接@-ERn	2-29
2.7.5	絶対アドレス @aa:8／@aa:16／@aa:24／@aa:32	2-29
2.7.6	イミディエイト #xx:8／#xx:16／#xx:32	2-30
2.7.7	プログラムカウンタ相対 @ (d:8, PC) ／@ (d:16, PC)	2-30
2.7.8	メモリ間接 @@aa:8.....	2-30
2.7.9	実効アドレスの計算方法.....	2-31
2.8	処理状態	2-33
2.9	使用上の注意事項	2-35
2.9.1	ビット操作命令使用上の注意事項.....	2-35
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-1
3.2.1	モードコントロールレジスタ (MDCR)	3-1
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.3	各動作モードの説明	3-3
3.3.1	モード4	3-3
3.3.2	モード5	3-3
3.3.3	モード6	3-3
3.3.4	モード7	3-3
3.4	各動作モードにおける端子機能	3-4
3.5	各動作モードのアドレスマップ	3-5
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-3
4.3.1	リセット例外処理	4-3
4.3.2	リセット直後の割り込み	4-4
4.3.3	リセット解除後の内蔵周辺機能	4-4
4.4	トレース例外処理	4-5
4.5	割り込み例外処理	4-5
4.6	トラップ命令例外処理	4-6
4.7	例外処理後のスタックの状態	4-7
4.8	使用上の注意事項	4-8
5.	割り込みコントローラ	5-1
5.1	特長	5-1
5.2	入出力端子	5-3
5.3	レジスタの説明	5-3

5.3.1	インタラプトプライオリティレジスタ A~H、J、K、L、M (IPRA~IPRH、IPRJ、IPRK、IPRL、IPRM)	5-4
5.3.2	IRQ イネーブルレジスタ (IER)	5-5
5.3.3	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-5
5.3.4	IRQ ステータスレジスタ (ISR)	5-7
5.4	割り込み要因	5-8
5.4.1	外部割り込み要因	5-8
5.4.2	内部割り込み	5-9
5.5	割り込み例外処理ベクタテーブル	5-10
5.6	割り込み制御モードと割り込み動作	5-12
5.6.1	割り込み制御モード 0	5-12
5.6.2	割り込み制御モード 2	5-14
5.6.3	割り込み例外処理シーケンス	5-16
5.6.4	割り込み応答時間	5-17
5.6.5	割り込みによる DTC の起動	5-18
5.7	使用上の注意事項	5-18
5.7.1	割り込みの発生とディスエーブルとの競合	5-18
5.7.2	割り込みを禁止している命令	5-19
5.7.3	割り込み禁止期間	5-19
5.7.4	EEPMOV 命令実行中の割り込み	5-19
6.	PC ブレークコントローラ (PBC)	6-1
6.1	特長	6-1
6.2	レジスタの説明	6-2
6.2.1	ブレークアドレスレジスタ A (BARA)	6-2
6.2.2	ブレークアドレスレジスタ B (BARB)	6-2
6.2.3	ブレークコントロールレジスタ A (BCRA)	6-3
6.2.4	ブレークコントロールレジスタ B (BCRB)	6-3
6.3	動作説明	6-4
6.3.1	命令フェッチによる PC ブレーク割り込み動作	6-4
6.3.2	データアクセスによる PC ブレーク割り込み動作	6-4
6.3.3	データ連続転送時の PC ブレーク動作	6-5
6.3.4	低消費電力モード遷移時の動作	6-5
6.3.5	命令実行が 1 ステート遅れる場合	6-6
6.4	使用上の注意事項	6-6
6.4.1	モジュールストップモードの設定	6-6
6.4.2	PC ブレーク割り込み	6-6
6.4.3	CMFA、CMFB	6-6
6.4.4	DTC がバスマスタのときに発生した PC ブレーク割り込み	6-6
6.4.5	BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合	6-7

6.4.6	LDC、ANDC、ORC、XORC 命令により I ビットを設定した場合	6-7
6.4.7	Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合	6-7
6.4.8	Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合	6-7
7.	バスコントローラ (BSC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-3
7.3.1	バス幅コントロールレジスタ (ABWCR)	7-3
7.3.2	アクセスステートコントロールレジスタ (ASTCR)	7-4
7.3.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	7-4
7.3.4	バスコントロールレジスタ H (BCRH)	7-6
7.3.5	バスコントロールレジスタ L (BCRL)	7-7
7.3.6	端子機能コントロールレジスタ (PFCR)	7-8
7.4	バス制御	7-9
7.4.1	エリア分割	7-9
7.4.2	バス仕様	7-10
7.4.3	メモリインタフェース	7-11
7.5	基本バスインタフェース	7-12
7.5.1	データサイズとデータアライメント	7-12
7.5.2	有効ストロープ	7-13
7.5.3	基本動作タイミング	7-14
7.5.4	ウェイト制御	7-21
7.6	バーストROMインタフェース	7-23
7.6.1	基本タイミング	7-23
7.6.2	ウェイト制御	7-24
7.6.3	ライトアクセス	7-24
7.7	アイドルサイクル	7-25
7.7.1	動作説明	7-25
7.7.2	アイドルサイクルでの端子状態	7-27
7.8	ライトデータバッファ機能	7-27
7.9	バスアービトレーション	7-28
7.9.1	動作説明	7-28
7.9.2	バス権移行タイミング	7-28
7.10	リセットとバスコントローラ	7-29
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-2
8.2.1	DTC モードレジスタ A (MRA)	8-3

8.2.2	DTC モードレジスタ B (MRB)	8-4
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-4
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-4
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-4
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-5
8.2.7	DTC イネーブルレジスタ A~G (DTCERA~DTCERG)	8-5
8.2.8	DTC ベクタレジスタ (DTVECR)	8-6
8.3	起動要因	8-7
8.4	レジスタ情報の配置とDTCベクタテーブル	8-8
8.5	動作説明	8-11
8.5.1	ノーマルモード	8-12
8.5.2	リピートモード	8-13
8.5.3	ブロック転送モード	8-14
8.5.4	チェイン転送	8-15
8.5.5	割り込み要因	8-16
8.5.6	動作タイミング	8-16
8.5.7	DTC 実行ステート数	8-17
8.6	DTC使用手順	8-19
8.6.1	割り込みによる起動	8-19
8.6.2	ソフトウェアによる起動	8-19
8.7	DTC使用例	8-20
8.7.1	ノーマルモード	8-20
8.7.2	チェイン転送	8-20
8.7.3	ソフトウェア起動	8-21
8.8	使用上の注意事項	8-22
8.8.1	モジュールストップモードの設定	8-22
8.8.2	内蔵 RAM	8-22
8.8.3	DTCE ビットの設定	8-22
9.	I/O ポート	9-1
9.1	ポート1	9-5
9.1.1	ポート1 データディレクションレジスタ (P1DDR)	9-5
9.1.2	ポート1 データレジスタ (P1DR)	9-5
9.1.3	ポート1 レジスタ (PORT1)	9-6
9.1.4	端子機能	9-7
9.2	ポート3	9-15
9.2.1	ポート3 データディレクションレジスタ (P3DDR)	9-15
9.2.2	ポート3 データレジスタ (P3DR)	9-15
9.2.3	ポート3 レジスタ (PORT3)	9-16
9.2.4	ポート3 オープンドレインコントロールレジスタ (P3ODR)	9-16

9.2.5	端子機能	9-17
9.3	ポート4	9-19
9.3.1	ポート4レジスタ (PORT4)	9-19
9.3.2	端子機能	9-19
9.4	ポート9	9-20
9.4.1	ポート9レジスタ (PORT9)	9-20
9.4.2	端子機能	9-20
9.5	ポートA	9-21
9.5.1	ポートAデータディレクションレジスタ (PADDR)	9-21
9.5.2	ポートAデータレジスタ (PADR)	9-22
9.5.3	ポートAレジスタ (PORTA)	9-22
9.5.4	ポートAプルアップMOSコントロールレジスタ (PAPCR)	9-23
9.5.5	ポートAオープンドレインコントロールレジスタ (PAODR)	9-23
9.5.6	端子機能	9-24
9.6	ポートB	9-26
9.6.1	ポートBデータディレクションレジスタ (PBDDR)	9-26
9.6.2	ポートBデータレジスタ (PBDR)	9-27
9.6.3	ポートBレジスタ (PORTB)	9-27
9.6.4	ポートBプルアップMOSコントロールレジスタ (PBPCR)	9-28
9.6.5	ポートBオープンドレインコントロールレジスタ (PBODR)	9-28
9.6.6	端子機能	9-29
9.7	ポートC	9-37
9.7.1	ポートCデータディレクションレジスタ (PCDDR)	9-37
9.7.2	ポートCデータレジスタ (PCDR)	9-37
9.7.3	ポートCレジスタ (PORTC)	9-38
9.7.4	ポートCプルアップMOSコントロールレジスタ (PCPCR)	9-38
9.7.5	ポートCオープンドレインコントロールレジスタ (PCODR)	9-38
9.7.6	端子機能	9-39
9.8	ポートD	9-40
9.8.1	ポートDデータディレクションレジスタ (PDDDR)	9-40
9.8.2	ポートDデータレジスタ (PDDR)	9-41
9.8.3	ポートDレジスタ (PORTD)	9-41
9.8.4	ポートDプルアップMOSコントロールレジスタ (PDPCR)	9-42
9.8.5	端子機能	9-42
9.9	ポートE	9-43
9.9.1	ポートEデータディレクションレジスタ (PEDDR)	9-43
9.9.2	ポートEデータレジスタ (PEDR)	9-44
9.9.3	ポートEレジスタ (PORTE)	9-44
9.9.4	ポートEプルアップMOSコントロールレジスタ (PEPCR)	9-45
9.9.5	端子機能	9-45
9.10	ポートF	9-46

9.10.1	ポートFデータディレクションレジスタ (PFDDR)	9-46
9.10.2	ポートFデータレジスタ (PFDR)	9-46
9.10.3	ポートFレジスタ (PORTF)	9-47
9.10.4	端子機能	9-47
9.11	ポートH	9-49
9.11.1	ポートHデータディレクションレジスタ (PHDDR)	9-49
9.11.2	ポートHデータレジスタ (PHDR)	9-49
9.11.3	ポートHレジスタ (PORTH)	9-50
9.11.4	端子機能	9-50
9.12	ポートJ	9-51
9.12.1	ポートJデータディレクションレジスタ (PJDDR)	9-51
9.12.2	ポートJデータレジスタ (PJDR)	9-51
9.12.3	ポートJレジスタ (PORTJ)	9-52
9.12.4	端子機能	9-52
10.	16ビットタイマパルスユニット (TPU)	10-1
10.1	特長	10-1
10.2	入出力端子	10-5
10.3	レジスタの説明	10-7
10.3.1	タイマコントロールレジスタ (TCR)	10-9
10.3.2	タイマモードレジスタ (TMDR)	10-12
10.3.3	タイマI/Oコントロールレジスタ (TIOR)	10-13
10.3.4	タイマインタラプトイネーブルレジスタ (TIER)	10-30
10.3.5	タイマステータスレジスタ (TSR)	10-31
10.3.6	タイマカウンタ (TCNT)	10-33
10.3.7	タイマジェネラルレジスタ (TGR)	10-33
10.3.8	タイマスタートレジスタ (TSTR)	10-34
10.3.9	タイマシンクロレジスタ (TSYR)	10-34
10.4	動作説明	10-35
10.4.1	基本動作	10-35
10.4.2	同期動作	10-40
10.4.3	バッファ動作	10-41
10.4.4	カスケード接続動作	10-44
10.4.5	PWMモード	10-46
10.4.6	位相計数モード	10-51
10.5	割り込み要因	10-57
10.6	DTCの起動	10-58
10.7	A/D変換器の起動	10-58
10.8	動作タイミング	10-59
10.8.1	入出力タイミング	10-59

10.8.2	割り込み信号タイミング.....	10-63
10.9	使用上の注意事項.....	10-66
10.9.1	モジュールストップモードの設定.....	10-66
10.9.2	入力クロックの制限事項.....	10-66
10.9.3	周期設定上の注意事項.....	10-66
10.9.4	TCNT のライトとクリアの競合.....	10-67
10.9.5	TCNT のライトとカウントアップの競合.....	10-67
10.9.6	TGR のライトとコンペアマッチの競合.....	10-68
10.9.7	バッファレジスタのライトとコンペアマッチの競合.....	10-68
10.9.8	TGR のリードとインプットキャプチャの競合.....	10-69
10.9.9	TGR のライトとインプットキャプチャの競合.....	10-69
10.9.10	バッファレジスタのライトとインプットキャプチャの競合.....	10-70
10.9.11	オーバフロー／アンダフローとカウンタクリアの競合.....	10-70
10.9.12	TCNT のライトとオーバフロー／アンダフローの競合.....	10-71
10.9.13	入出力端子の兼用.....	10-71
10.9.14	モジュールストップ時の割り込み.....	10-71
11.	プログラマブルパルスジェネレータ (PPG)	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-2
11.3	レジスタの説明.....	11-3
11.3.1	ネクストデータインネーブルレジスタ H, L (NDERH, NDERL)	11-3
11.3.2	アウトプットデータレジスタ H, L (PODRH, PODRL)	11-4
11.3.3	ネクストデータレジスタ H, L (NDRH, NDRL)	11-5
11.3.4	PPG 出力コントロールレジスタ (PCR)	11-7
11.3.5	PPG 出力モードレジスタ (PMR)	11-8
11.4	動作説明.....	11-9
11.4.1	概要.....	11-9
11.4.2	出力タイミング.....	11-10
11.4.3	通常動作のパルス出力設定手順例.....	11-11
11.4.4	パルス出力通常動作例 (5 相パルス出力例)	11-12
11.4.5	パルス出力ノンオーバラップ動作.....	11-13
11.4.6	ノンオーバラップ動作のパルス出力設定手順例.....	11-14
11.4.7	パルス出力ノンオーバラップ動作例 (4 相の相補ノンオーバラップ出力例)	11-15
11.4.8	パルス反転出力.....	11-16
11.4.9	インプットキャプチャによるパルス出力.....	11-17
11.5	使用上の注意事項.....	11-17
11.5.1	モジュールストップモードの設定.....	11-17
11.5.2	パルス出力端子の動作.....	11-17

12. ウォッチドッグタイマ (WDT)	12-1
12.1 特長	12-1
12.2 レジスタの説明	12-3
12.2.1 タイマカウンタ (TCNT)	12-3
12.2.2 タイマコントロール/ステータスレジスタ (TCSR)	12-4
12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)	12-7
12.3 動作説明	12-8
12.3.1 ウォッチドッグタイマモード	12-8
12.3.2 インターバルタイマモード	12-10
12.4 割り込み要因	12-10
12.5 使用上の注意事項	12-10
12.5.1 レジスタアクセス時の注意事項	12-10
12.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合	12-11
12.5.3 CKS2~CKS0 ビットの書き換え	12-12
12.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-12
12.5.5 ウォッチドッグタイマモードでの内部リセット	12-12
12.5.6 インターバルタイマモードでの OVF フラグのクリア	12-12
13. シリアルコミュニケーションインタフェース (SCI)	13-1
13.1 特長	13-1
13.2 入出力端子	13-3
13.3 レジスタの説明	13-3
13.3.1 レシーブシフトレジスタ (RSR)	13-4
13.3.2 レシーブデータレジスタ (RDR)	13-4
13.3.3 トランスミットデータレジスタ (TDR)	13-4
13.3.4 トランスミットシフトレジスタ (TSR)	13-4
13.3.5 シリアルモードレジスタ (SMR)	13-5
13.3.6 シリアルコントロールレジスタ (SCR)	13-7
13.3.7 シリアルステータスレジスタ (SSR)	13-9
13.3.8 スマートカードモードレジスタ (SCMR)	13-13
13.3.9 ビットレートレジスタ (BRR)	13-14
13.4 調歩同期式モードの動作	13-20
13.4.1 送受信フォーマット	13-21
13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン	13-22
13.4.3 クロック	13-23
13.4.4 SCI の初期化 (調歩同期式)	13-23
13.4.5 データ送信 (調歩同期式)	13-24
13.4.6 シリアルデータ受信 (調歩同期式)	13-26
13.5 マルチプロセッサ通信機能	13-29
13.5.1 マルチプロセッサシリアルデータ送信	13-30

13.5.2	マルチプロセッサシリアルデータ受信	13-31
13.6	クロック同期式モードの動作.....	13-34
13.6.1	クロック	13-34
13.6.2	SCIの初期化.....	13-35
13.6.3	シリアルデータ送信（クロック同期式）	13-36
13.6.4	シリアルデータ受信（クロック同期式）	13-38
13.6.5	シリアルデータ送受信同時動作（クロック同期式）	13-40
13.7	スマートカードインタフェースの動作説明.....	13-42
13.7.1	接続例.....	13-42
13.7.2	データフォーマット（ブロック転送モード時を除く）	13-43
13.7.3	ブロック転送モード.....	13-44
13.7.4	受信データサンプリングタイミングと受信マージン	13-45
13.7.5	初期設定.....	13-46
13.7.6	データ送信（ブロック転送モードを除く）	13-47
13.7.7	シリアルデータ受信（ブロック転送モードを除く）	13-50
13.7.8	クロック出力制御.....	13-51
13.8	割り込み要因.....	13-53
13.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み.....	13-53
13.8.2	スマートカードインタフェースモードにおける割り込み	13-54
13.9	使用上の注意事項	13-55
13.9.1	モジュールストップモードの設定.....	13-55
13.9.2	ブレークの検出と処理について.....	13-55
13.9.3	マーク状態とブレークの送出.....	13-55
13.9.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	13-55
13.9.5	DTCの使用上の制約.....	13-56
13.9.6	モード遷移時の動作.....	13-56
13.9.7	SCK端子からポート端子へ切り替えるときの注意事項	13-59
14.	I ² Cバスインタフェース（IIC）	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-3
14.3	レジスタの説明.....	14-4
14.3.1	I ² Cバスデータレジスタ（ICDR）	14-4
14.3.2	スレーブアドレスレジスタ（SAR）	14-6
14.3.3	第2スレーブアドレスレジスタ（SARX）	14-6
14.3.4	I ² Cバスモードレジスタ（ICMR）	14-8
14.3.5	I ² Cバスコントロールレジスタ（ICCR）	14-9
14.3.6	I ² Cバスステータスレジスタ（ICSR）	14-16
14.3.7	シリアルコントロールレジスタ X（SCRX）	14-19
14.3.8	DDCスイッチレジスタ（DDCSWR）	14-20

14.4	動作説明	14-21
14.4.1	I ² C バスデータフォーマット	14-21
14.4.2	初期設定	14-23
14.4.3	マスタ送信動作	14-24
14.4.4	マスタ受信動作	14-27
14.4.5	スレーブ受信動作	14-32
14.4.6	スレーブ送信動作	14-36
14.4.7	IRIC セットタイミングと SCL 制御	14-38
14.4.8	DTC による動作	14-40
14.4.9	ノイズ除去回路	14-41
14.4.10	内部状態の初期化	14-42
14.5	使用上の注意事項	14-43
15.	A/D 変換器	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	A/D データレジスタ A~D (ADDRA~ADDRD)	15-4
15.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	15-5
15.3.3	A/D コントロールレジスタ (ADCR)	15-6
15.4	動作説明	15-6
15.4.1	シングルモード	15-6
15.4.2	スキャンモード	15-7
15.4.3	入力サンプリングと A/D 変換時間	15-7
15.4.4	外部トリガ入力タイミング	15-9
15.5	割り込み要因	15-9
15.6	A/D変換精度の定義	15-10
15.7	使用上の注意事項	15-11
15.7.1	モジュールストップモードの設定	15-11
15.7.2	許容信号源インピーダンスについて	15-11
15.7.3	絶対精度への影響	15-11
15.7.4	アナログ電源端子ほかの設定範囲	15-12
15.7.5	ボード設計上の注意	15-12
15.7.6	ノイズ対策上の注意	15-12
16.	D/A 変換器	16-1
16.1	特長	16-1
16.2	入出力端子	16-2
16.3	レジスタの説明	16-2
16.3.1	D/A データレジスタ 0, 1 (DADR0, DADR1)	16-2

16.3.2	D/A コントロールレジスタ (DACR)	16-2
16.4	動作説明	16-3
16.5	使用上の注意事項	16-4
16.5.1	モジュールストップモードの設定	16-4
17.	モータコントロール PWM タイマ	17-1
17.1	特長	17-1
17.2	入出力端子	17-4
17.3	レジスタの説明	17-4
17.3.1	PWM コントロールレジスタ (PWCR)	17-5
17.3.2	PWM アウトプットコントロールレジスタ (PWOCR)	17-6
17.3.3	PWM ポラリティレジスタ (PWPR)	17-6
17.3.4	PWM カウンタ (PWCNT)	17-6
17.3.5	PWM サイクルレジスタ (PWCYR)	17-6
17.3.6	PWM デューティレジスタ (PWDTR)	17-7
17.3.7	PWM パッファレジスタ (PWBFR)	17-10
17.4	バスマスタとのインタフェース	17-12
17.4.1	16 ビットデータレジスタ	17-12
17.4.2	8 ビットデータレジスタ	17-12
17.5	動作説明	17-13
17.5.1	PWM_1 の動作	17-13
17.5.2	PWM_2 の動作	17-14
17.6	使用上の注意事項	17-16
17.6.1	バッファレジスタのライトとコンペアマッチの競合	17-16
18.	RAM	18-1
19.	ROM	19-1
19.1	特長	19-1
19.2	モード遷移図	19-3
19.3	ブロック構成	19-6
19.4	入出力端子	19-8
19.5	レジスタの説明	19-8
19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	19-9
19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	19-10
19.5.3	消去ブロック指定レジスタ 1 (EBR1)	19-10
19.5.4	消去ブロック指定レジスタ 2 (EBR2)	19-11
19.5.5	RAM エミュレーションレジスタ (RAMER)	19-11
19.5.6	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	19-12
19.6	オンボードプログラミングモード	19-13

19.6.1	ブートモード.....	19-13
19.6.2	ユーザプログラムモード.....	19-16
19.7	RAMによるフラッシュメモリのエミュレーション.....	19-17
19.8	フラッシュメモリの書き込み/消去.....	19-19
19.8.1	プログラム/プログラムベリファイ.....	19-19
19.8.2	イレース/イレースベリファイ.....	19-21
19.8.3	フラッシュメモリの書き込み/消去時の割り込み.....	19-21
19.9	書き込み/消去プロテクト.....	19-23
19.9.1	ハードウェアプロテクト.....	19-23
19.9.2	ソフトウェアプロテクト.....	19-23
19.9.3	エラープロテクト.....	19-23
19.10	フラッシュメモリの書き込み/消去時の割り込み.....	19-24
19.11	ライターモード.....	19-24
19.12	フラッシュメモリの低消費電力動作.....	19-24
19.13	使用上の注意事項.....	19-25
20.	クロック発振器.....	20-1
20.1	レジスタの説明.....	20-2
20.1.1	システムクロックコントロールレジスタ (SCKCR).....	20-2
20.2	発振器.....	20-4
20.2.1	水晶発振子を接続する方法.....	20-4
20.2.2	外部クロックを入力する方法.....	20-5
20.3	PLL回路.....	20-6
20.4	中速クロック分周器.....	20-6
20.5	バスマスタクロック選択回路.....	20-6
20.6	サブクロック発振器.....	20-7
20.6.1	32.768kHz 水晶発振子を接続する方法.....	20-7
20.6.2	サブクロックを必要としない場合の端子処理.....	20-7
20.7	サブクロック波形成形回路.....	20-8
20.8	使用上の注意事項.....	20-8
20.8.1	発振子に関する注意事項.....	20-8
20.8.2	ボード設計上の注意.....	20-8
21.	低消費電力状態.....	21-1
21.1	レジスタの説明.....	21-4
21.1.1	スタンバイコントロールレジスタ (SBYCR).....	21-5
21.1.2	ローパワーコントロールレジスタ (LPWRCR).....	21-7
21.1.3	モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD).....	21-8
21.2	中速モード.....	21-10
21.3	スリープモード.....	21-11

21.4	ソフトウェアスタンバイモード	21-11
21.5	ハードウェアスタンバイモード	21-12
21.6	ウォッチモード	21-13
21.7	サブスリープモード	21-14
21.8	サブアクティブモード	21-14
21.9	モジュールストップモード	21-15
21.10	直接遷移	21-15
21.10.1	直接遷移の概要	21-15
21.11	クロック出力制御	21-16
21.12	使用上の注意事項	21-17
21.12.1	I/Oポートの状態	21-17
21.12.2	発振安定待機中の消費電流	21-17
21.12.3	DTCのモジュールストップの設定	21-17
21.12.4	内蔵周辺モジュールの割り込み	21-17
21.12.5	MSTPCRのライト	21-17
21.12.6	サブアクティブ等の遷移	21-17
22.	レジスタ一覧	22-1
22.1	レジスタアドレス一覧(アドレス順)	22-2
22.2	レジスタビット一覧	22-10
22.3	各動作モードにおけるレジスタの状態	22-18
23.	電気的特性	23-1
23.1	絶対最大定格	23-1
23.2	DC特性	23-2
23.3	AC特性	23-6
23.3.1	クロックタイミング	23-6
23.3.2	制御信号タイミング	23-8
23.3.3	バスタイミング	23-10
23.3.4	内蔵周辺モジュールタイミング	23-15
23.4	I ² Cバスインタフェースタイミング	23-19
23.5	A/D変換特性	23-21
23.6	D/A変換特性	23-21
23.7	フラッシュメモリ特性	23-22
23.8	使用上の注意事項	23-23
付録		付録-1
A.	各処理状態におけるポートの状態	付録-1
B.	型名一覧	付録-4
C.	外形寸法図	付録-5

索引 索引-1

図目次

1. 概要	
図 1.1	ブロック図 1-3
図 1.2	ピン配置図 1-4
2. CPU	
図 2.1	例外処理ベクタテーブル（ノーマルモード） 2-5
図 2.2	ノーマルモードのスタック構造 2-5
図 2.3	例外処理ベクタテーブル（アドバンスモード） 2-6
図 2.4	アドバンスモードのスタック構造 2-7
図 2.5	アドレス空間 2-8
図 2.6	CPU 内部レジスタ構成 2-9
図 2.7	汎用レジスタの使用方法 2-10
図 2.8	スタックの状態 2-11
図 2.9	汎用レジスタのデータ形式（1） 2-14
図 2.9	汎用レジスタのデータ形式（2） 2-15
図 2.10	メモリ上でのデータ形式 2-16
図 2.11	命令フォーマットの例 2-27
図 2.12	メモリ間接による分岐アドレスの指定 2-31
図 2.13	状態遷移図 2-34
3. MCU 動作モード	
図 3.1	アドレスマップ（H8S/2607） 3-5
図 3.2	アドレスマップ（H8S/2606） 3-6
図 3.3	アドレスマップ（H8S/2605） 3-7
4. 例外処理	
図 4.1	リセットシーケンス（アドバンスモード／内蔵 ROM 有効） 4-3
図 4.2	リセットシーケンス（アドバンスモード／内蔵 ROM 無効） 4-4
図 4.3	例外処理終了後のスタックの状態 4-7
図 4.4	SP を奇数に設定したときの動作 4-8
5. 割り込みコントローラ	
図 5.1	割り込みコントローラのブロック図 5-2
図 5.2	IRQ5～IRQ0 割り込みのブロック図 5-8
図 5.3	割り込み制御モード 0 の割り込み受け付けまでのフロー 5-13
図 5.4	割り込み制御モード 2 の割り込み受け付けまでのフロー 5-15
図 5.5	割り込み例外処理 5-16
図 5.6	割り込みの発生とディスプレイの競合 5-18
6. PC ブレークコントローラ（PBC）	
図 6.1	PC ブレークコントローラのブロック図 6-2
図 6.2	低消費電力モード遷移時の動作 6-5

7. バスコントローラ (BSC)	
図 7.1 バスコントローラのブロック図	7-2
図 7.2 エリア分割	7-9
図 7.3 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)	7-12
図 7.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)	7-13
図 7.5 8 ビット 2 ステートアクセス空間のバスタイミング	7-14
図 7.6 8 ビット 3 ステートアクセス空間のバスタイミング	7-15
図 7.7 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	7-16
図 7.8 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	7-17
図 7.9 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)	7-18
図 7.10 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	7-19
図 7.11 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	7-20
図 7.12 16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)	7-21
図 7.13 ウェイトステート挿入タイミング例	7-22
図 7.14 バースト ROM アクセスタイミング例 (AST0=1、BRSTS0=1 の場合)	7-23
図 7.15 バースト ROM アクセスタイミング例 (AST0=0、BRSTS1=0 の場合)	7-24
図 7.16 アイドルサイクル動作例 (異なるエリア間での連続リード)	7-25
図 7.17 アイドルサイクル動作例 (リード後のライト)	7-26
図 7.18 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係	7-26
図 7.19 ライトデータバッファ機能使用時のタイミング例	7-27
8. データトランスファコントローラ (DTC)	
図 8.1 DTC のブロック図	8-2
図 8.2 DTC 起動要因制御ブロック図	8-7
図 8.3 アドレス空間上での DTC レジスタ情報の配置	8-8
図 8.4 DTC 動作フローチャート	8-11
図 8.5 ノーマルモードのメモリマップ	8-12
図 8.6 リピートモードのメモリマップ	8-13
図 8.7 ブロック転送モードのメモリマップ	8-14
図 8.8 チェイン転送の動作	8-15
図 8.9 DTC の動作タイミング (ノーマルモード、リピートモードの例)	8-16
図 8.10 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)	8-17
図 8.11 DTC の動作タイミング (チェイン転送の例)	8-17
10. 16 ビットタイマパルスユニット (TPU)	
図 10.1 TPU のブロック図	10-4
図 10.2 カウンタ動作設定手順例	10-35
図 10.3 フリーランニングカウンタの動作	10-36
図 10.4 周期カウンタの動作	10-36
図 10.5 コンペアマッチによる波形出力動作例	10-37
図 10.6 0 出力/1 出力の動作例	10-37
図 10.7 トグル出力の動作例	10-38
図 10.8 インプットキャプチャ動作の設定例	10-38
図 10.9 インプットキャプチャ動作例	10-39
図 10.10 同期動作の設定手順例	10-40
図 10.11 同期動作の動作例	10-41
図 10.12 コンペアマッチバッファ動作	10-42
図 10.13 インプットキャプチャバッファ動作	10-42

図 10.14	バッファ動作の設定手順例	10-42
図 10.15	バッファ動作例 (1)	10-43
図 10.16	バッファ動作例 (2)	10-44
図 10.17	カスケード接続動作設定手順	10-45
図 10.18	カスケード接続動作例 (1)	10-45
図 10.19	カスケード接続動作例 (2)	10-46
図 10.20	PWM モードの設定手順例	10-48
図 10.21	PWM モードの動作例 (1)	10-48
図 10.22	PWM モードの動作例 (2)	10-49
図 10.23	PWM モード動作例 (3)	10-50
図 10.24	位相計数モードの設定手順例	10-51
図 10.25	位相計数モード 1 の動作例	10-52
図 10.26	位相計数モード 2 の動作例	10-53
図 10.27	位相計数モード 3 の動作例	10-54
図 10.28	位相計数モード 4 の動作例	10-55
図 10.29	位相計数モードの応用例	10-56
図 10.30	内部クロック動作時のカウントタイミング	10-59
図 10.31	外部クロック動作時のカウントタイミング	10-59
図 10.32	アウトプットコンペア出力タイミング	10-60
図 10.33	インプットキャプチャ入力信号タイミング	10-60
図 10.34	カウンタクリアタイミング (コンペアマッチ)	10-61
図 10.35	カウンタクリアタイミング (インプットキャプチャ)	10-61
図 10.36	バッファ動作タイミング (コンペアマッチ)	10-62
図 10.37	バッファ動作タイミング (インプットキャプチャ)	10-62
図 10.38	TGI 割り込みタイミング (コンペアマッチ)	10-63
図 10.39	TGI 割り込みタイミング (インプットキャプチャ)	10-63
図 10.40	TCIV 割り込みのセットタイミング	10-64
図 10.41	TCIU 割り込みのセットタイミング	10-64
図 10.42	CPU によるステータスフラグのクリアタイミング	10-65
図 10.43	DTC の起動によるステータスフラグのクリアタイミング	10-65
図 10.44	位相計数モード時の位相差、オーバーラップ、およびパルス幅	10-66
図 10.45	TCNT のライトとクリアの競合	10-67
図 10.46	TCNT のライトとカウントアップの競合	10-67
図 10.47	TGR のライトとコンペアマッチの競合	10-68
図 10.48	バッファレジスタのライトとコンペアマッチの競合	10-68
図 10.49	TGR のリードとインプットキャプチャの競合	10-69
図 10.50	TGR のライトとインプットキャプチャの競合	10-69
図 10.51	バッファレジスタのライトとインプットキャプチャの競合	10-70
図 10.52	オーバフローとカウンタクリアの競合	10-70
図 10.53	TCNT のライトとオーバフローの競合	10-71

11. プログラマブルパルスジェネレータ (PPG)

図 11.1	PPG のブロック図	11-2
図 11.2	PPG 概要図	11-9
図 11.3	NDR の内容が転送・出力されるタイミング例	11-10
図 11.4	パルス出力通常動作の設定手順例	11-11
図 11.5	パルス出力通常動作例 (5 相パルス出力例)	11-12
図 11.6	パルス出力ノンオーバーラップ動作	11-13

図 11.7	ノンオーバーラップ動作と NDR ライトタイミング	11-13
図 11.8	パルス出力ノンオーバーラップ動作の設定手順例	11-14
図 11.9	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)	11-15
図 11.10	パルス反転出力例	11-16
図 11.11	インプットキャプチャによるパルス出力例	11-17
12. ウォッチドッグタイマ (WDT)		
図 12.1	WDT_0 のブロック図	12-2
図 12.2	WDT_1 のブロック図	12-2
図 12.3 (a)	WDT_0 のウォッチドッグタイマモード時の動作	12-8
図 12.3 (b)	WDT_1 のウォッチドッグタイマモード時の動作	12-9
図 12.4	TCNT、TCSR、RSTCSR へのライト (WDT0 の例)	12-11
図 12.5	TCNT のライトとカウントアップの競合	12-11
13. シリアルコミュニケーションインタフェース (SCI)		
図 13.1	SCI のブロック図	13-2
図 13.2	調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)	13-20
図 13.3	調歩同期式モードの受信データサンプリングタイミング	13-22
図 13.4	出力クロックと送信データの位相関係 (調歩同期式モード)	13-23
図 13.5	SCI の初期化フローチャートの例	13-23
図 13.6	調歩同期式モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	13-24
図 13.7	シリアル送信のフローチャートの例	13-25
図 13.8	SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	13-26
図 13.9	シリアル受信データフローチャートの例 (1)	13-27
図 13.9	シリアル受信データフローチャートの例 (2)	13-28
図 13.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	13-29
図 13.11	マルチプロセッサシリアル送信のフローチャートの例	13-30
図 13.12	SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	13-31
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	13-32
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	13-33
図 13.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	13-34
図 13.15	SCI の初期化フローチャートの例	13-35
図 13.16	クロック同期式モードの送信時の動作例	13-36
図 13.17	シリアル送信のフローチャートの例	13-37
図 13.18	SCI の受信時の動作例	13-38
図 13.19	シリアルデータ受信フローチャートの例	13-39
図 13.20	シリアル送受信同時動作のフローチャートの例	13-41
図 13.21	スマートカードインタフェース端子接続概要	13-42
図 13.22	通常スマートカードインタフェースのデータフォーマット	13-43
図 13.23	ダイレクトコンベンション ($SDIR = SINV = 0/\bar{E} = 0$)	13-43
図 13.24	インバースコンベンション ($SDIR = SINV = 0/\bar{E} = 1$)	13-44
図 13.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	13-45
図 13.26	SCI 送信モードの場合の再転送動作	13-47

図 13.27	送信動作時の TEND フラグ発生タイミング	13-48
図 13.28	送信処理フローの例	13-49
図 13.29	SCI 受信モードの場合の再転送動作	13-50
図 13.30	受信フローの例	13-51
図 13.31	クロック出力固定タイミング	13-51
図 13.32	クロック停止・再起動手順	13-52
図 13.33	DTC によるクロック同期式送信時の例	13-56
図 13.34	送信時のモード遷移フローチャートの例	13-57
図 13.35	調歩同期式モード送信時（内部クロック）の端子状態	13-57
図 13.36	クロック同期式モード送信時（内部クロック）の端子状態	13-58
図 13.37	受信時のモード遷移フローチャートの例	13-58
図 13.38	SCK 端子からポート端子へ切り替える時の動作	13-59
図 13.39	SCK 端子からポート端子へ切り替え時の Low 出力の回避例	13-60

14. I²C バスインタフェース (IIC)

図 14.1	I ² C バスインタフェースのブロック図	14-2
図 14.2	I ² C バスインタフェース接続例（本 LSI がマスタの場合）	14-3
図 14.3	I ² C バスデータフォーマット（I ² C バスフォーマット）	14-21
図 14.4	I ² C バスデータフォーマット（シリアルフォーマット）	14-21
図 14.5	I ² C バスタイミング	14-22
図 14.6	IIC の初期化フローチャートの例	14-23
図 14.7	マスタ送信モードフローチャート例	14-24
図 14.8 (1)	マスタ送信モード動作タイミング例（MLS = WAIT = 0 のとき）	14-26
図 14.8 (2)	マスタ送信モード停止条件発行動作タイミング例（MLS = WAIT = 0 のとき）	14-27
図 14.9 (1)	マスタ受信モード（複数バイト数受信）のフローチャート例（WAIT=1）	14-28
図 14.9 (2)	マスタ受信モード（1バイトのみ受信）のフローチャート例（WAIT=1）	14-29
図 14.10 (1)	マスタ受信モード動作タイミング例（MLS=ACKB = 0、WAIT=1 のとき）	14-31
図 14.10 (2)	マスタ受信モード停止条件発行動作タイミング例 （MLS=ACKB = 0、WAIT=1 のとき）	14-31
図 14.11	スレーブ受信モードフローチャート例	14-33
図 14.12	スレーブ受信モード動作タイミング例 1（MLS = ACKB = 0 のとき）	14-34
図 14.13	スレーブ受信モード動作タイミング例 2（MLS = ACKB = 0 のとき）	14-35
図 14.14	スレーブ送信モードフローチャート例	14-36
図 14.15	スレーブ送信モード動作タイミング例（MLS = 0 のとき）	14-38
図 14.16	IRIC セットタイミングと SCL 制御	14-39
図 14.17	ノイズ除去回路のブロック図	14-41
図 14.18	マスタ受信データ読み出しにおける注意	14-47
図 14.19	再送のための開始条件命令発行フローチャートおよびタイミング	14-48
図 14.20	停止条件発行タイミング	14-49
図 14.21	WAIT=1 状態での IRIC フラグクリアタイミング	14-49
図 14.22	スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング	14-50
図 14.23	スレーブモードでの TRS ビット設定タイミング	14-51
図 14.24	アービトレーションロスト時の動作模式図	14-52
図 14.25	ウェイト動作時 IRIC フラグクリアタイミング	14-53

15. A/D 変換器

図 15.1	A/D 変換器のブロック図	15-2
図 15.2	A/D 変換タイミング	15-8

	図 15.3	外部トリガ入力タイミング.....	15-9
	図 15.4	A/D 変換精度の定義.....	15-10
	図 15.5	A/D 変換精度の定義.....	15-11
	図 15.6	アナログ入力回路の例.....	15-12
	図 15.7	アナログ入力保護回路の例.....	15-13
	図 15.8	アナログ入力端子等価回路.....	15-13
16.	D/A 変換器		
	図 16.1	D/A 変換器のブロック図.....	16-1
	図 16.2	D/A 変換器の動作例.....	16-4
17.	モータコントロール PWM タイマ		
	図 17.1	PWM_1 のブロック図.....	17-2
	図 17.2	PWM_2 のブロック図.....	17-3
	図 17.3	サイクルレジスタのコンペアマッチ.....	17-7
	図 17.4	デューティレジスタのコンペアマッチ (PWPR_1 の OPS = 0).....	17-8
	図 17.5	デューティレジスタの設定値による PWM 出力の相違 (PWPR_1 の OPS = 0).....	17-8
	図 17.6	デューティレジスタのコンペアマッチ (PWPR_2 の OPS = 0).....	17-9
	図 17.7	デューティレジスタの設定値による PWM 出力の相違 (PWPR_2 の OPS = 0).....	17-10
	図 17.8	16 ビットレジスタのアクセス動作 (バスマスタ PWCYR (16 ビット)).....	17-12
	図 17.9	8 ビットレジスタのアクセス動作 (バスマスタ PWCR (上位 8 ビット)).....	17-12
	図 17.10	PWM_1 の動作.....	17-13
	図 17.11	PWM_2 の動作.....	17-15
	図 17.12	バッファレジスタのライトとコンペアマッチの競合.....	17-16
19.	ROM		
	図 19.1	フラッシュメモリのブロック図.....	19-2
	図 19.2	フラッシュメモリに関する状態遷移.....	19-3
	図 19.3	ブートモード.....	19-4
	図 19.4	ユーザプログラムモード (例).....	19-5
	図 19.5	フラッシュメモリのブロック構成.....	19-7
	図 19.6	ユーザモードにおける書き込み/消去例.....	19-16
	図 19.7	RAM によるエミュレーションフロー.....	19-17
	図 19.8	RAM のオーバーラップ例.....	19-18
	図 19.9	プログラム / プログラムベリファイフロー.....	19-20
	図 19.10	イレース / イレースベリファイフロー.....	19-22
20.	クロック発振器		
	図 20.1	クロック発振器のブロック図.....	20-1
	図 20.2	水晶発振子の接続例.....	20-4
	図 20.3	水晶発振子の等価回路.....	20-4
	図 20.4	外部クロックの接続例.....	20-5
	図 20.5	外部クロック入力タイミング.....	20-6
	図 20.6	32.768kHz 水晶発振子の接続例.....	20-7
	図 20.7	32.768kHz 水晶発振子の等価回路.....	20-7
	図 20.8	サブクロックを必要としない場合の端子処理.....	20-7
	図 20.9	発振回路部のボード設計に関する注意事項.....	20-8
	図 20.10	PLL 回路の外付け推奨回路.....	20-9

21. 低消費電力状態	
図 21.1 モード遷移図	21-3
図 21.2 中速モードの遷移・解除タイミング	21-10
図 21.3 ソフトウェアスタンバイモードの応用例	21-12
図 21.4 ハードウェアスタンバイモードのタイミング	21-13

23. 電気的特性	
図 23.1 出力負荷回路	23-6
図 23.2 システムクロックタイミング	23-7
図 23.3 発振安定時間タイミング	23-7
図 23.4 リセット入力タイミング	23-8
図 23.5 割り込み入力タイミング	23-9
図 23.6 基本バスタイミング/2 ステートアクセス	23-11
図 23.7 基本バスタイミング/3 ステートアクセス	23-12
図 23.8 基本バスタイミング/3 ステートアクセス 1 ウェイト	23-13
図 23.9 バースト ROM アクセスタイミング/2 ステートアクセス	23-14
図 23.10 バースト ROM アクセスタイミング/1 ステートアクセス	23-14
図 23.11 I/O ポート入出力タイミング (ポート 1, 3, 4, 9, A~F)	23-16
図 23.12 I/O ポート入出力タイミング (ポート H, J)	23-16
図 23.13 PPG 出力タイミング	23-16
図 23.14 TPU 入出力タイミング	23-17
図 23.15 TPU クロック入力タイミング	23-17
図 23.16 モータコントロール PWM 出力タイミング	23-17
図 23.17 SCK クロック入力タイミング	23-17
図 23.18 SCI 入出力タイミング/クロック同期式モード	23-18
図 23.19 A/D 変換器外部トリガ入力タイミング	23-18
図 23.20 I ² C バスインタフェース入出力タイミング	23-20

付録

図 C.1 外形寸法図 (FP128B/FP-128V)	付録-5
------------------------------	------

表目次

1. 概要	
表 1.1 動作モード別端子機能一覧.....	1-5
表 1.2 端子機能.....	1-9
2. CPU	
表 2.1 命令の分類.....	2-17
表 2.2 オペレーションの記号.....	2-18
表 2.3 データ転送命令.....	2-19
表 2.4 算術演算命令 (1)	2-20
表 2.4 算術演算命令 (2)	2-21
表 2.5 論理演算命令.....	2-22
表 2.6 シフト命令.....	2-22
表 2.7 ビット操作命令 (1)	2-23
表 2.7 ビット操作命令 (2)	2-24
表 2.8 分岐命令.....	2-25
表 2.9 システム制御命令.....	2-26
表 2.10 ブロック転送命令.....	2-26
表 2.11 アドレッシングモード一覧表.....	2-28
表 2.12 絶対アドレスのアクセス範囲.....	2-29
表 2.13 実行アドレスの計算方法 (1)	2-31
表 2.13 実行アドレスの計算方法 (2)	2-32
3. MCU 動作モード	
表 3.1 MCU 動作モードの選択.....	3-1
表 3.2 各動作モードにおける端子機能.....	3-4
4. 例外処理	
表 4.1 例外処理の種類と優先度.....	4-1
表 4.2 例外処理ベクタテーブル.....	4-2
表 4.3 トレース例外処理後の CCR、EXR の状態.....	4-5
表 4.4 トラップ命令例外処理後の CCR、EXR の状態.....	4-6
5. 割り込みコントローラ	
表 5.1 端子構成.....	5-3
表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧.....	5-10
表 5.3 割り込み制御モード.....	5-12
表 5.4 割り込み応答時間.....	5-17
表 5.5 割り込み例外処理の実行状態のステート数.....	5-17
7. バスコントローラ (BSC)	
表 7.1 端子構成.....	7-3
表 7.2 各エリアのバス仕様 (基本バスインタフェース)	7-11

表 7.3	使用するデータバスと有効ストロープ	7-13
表 7.4	アイドルサイクルでの端子状態	7-27
8.	データトランスファコントローラ (DTC)	
表 8.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE (1)	8-9
表 8.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE (2)	8-10
表 8.2	ノーマルモードのレジスタ機能	8-12
表 8.3	リピートモードのレジスタ機能	8-13
表 8.4	ブロック転送モードのレジスタ機能	8-14
表 8.5	DTC の実行状態	8-17
表 8.6	実行状態に必要なステート数	8-18
9.	I/O ポート	
表 9.1	ポートの機能一覧	9-2
10.	16 ビットタイマパルスユニット (TPU)	
表 10.1	TPU の機能一覧 (1)	10-2
表 10.1	TPU の機能一覧 (2)	10-3
表 10.2	端子構成 (1)	10-5
表 10.2	端子構成 (2)	10-6
表 10.3	CCLR2~CCLR0 (チャンネル 0、3)	10-9
表 10.4	CCLR2~CCLR0 (チャンネル 1、2、4、5)	10-10
表 10.5	TPSC2~TPSC0 (チャンネル 0)	10-10
表 10.6	TPSC2~TPSC0 (チャンネル 1)	10-10
表 10.7	TPSC2~TPSC0 (チャンネル 2)	10-11
表 10.8	TPSC2~TPSC0 (チャンネル 3)	10-11
表 10.9	TPSC2~TPSC0 (チャンネル 4)	10-11
表 10.10	TPSC2~TPSC0 (チャンネル 5)	10-12
表 10.11	MD3~MD0	10-13
表 10.12	TIORH_0 (チャンネル 0)	10-14
表 10.13	TIORL_0 (チャンネル 0)	10-15
表 10.14	TIOR_1 (チャンネル 1)	10-16
表 10.15	TIOR_2 (チャンネル 2)	10-17
表 10.16	TIORH_3 (チャンネル 3)	10-18
表 10.17	TIORL_3 (チャンネル 3)	10-19
表 10.18	TIOR_4 (チャンネル 4)	10-20
表 10.19	TIOR_5 (チャンネル 5)	10-21
表 10.20	TIORH_0 (チャンネル 0)	10-22
表 10.21	TIORL_0 (チャンネル 0)	10-23
表 10.22	TIOR_1 (チャンネル 1)	10-24
表 10.23	TIOR_2 (チャンネル 2)	10-25
表 10.24	TIORH_3 (チャンネル 3)	10-26
表 10.25	TIORL_3 (チャンネル 3)	10-27
表 10.26	TIOR_4 (チャンネル 4)	10-28
表 10.27	TIOR_5 (チャンネル 5)	10-29
表 10.28	レジスタの組み合わせ	10-41
表 10.29	カスケード接続組み合わせ	10-44
表 10.30	各 PWM 出力のレジスタと出力端子	10-47

表 10.31	位相計数モードクロック入力端子	10-51
表 10.32	位相計数モード 1 のアップ/ダウンカウント条件	10-52
表 10.33	位相計数モード 2 のアップ/ダウンカウント条件	10-53
表 10.34	位相計数モード 3 のアップ/ダウンカウント条件	10-54
表 10.35	位相計数モード 4 のアップ/ダウンカウント条件	10-55
表 10.36	TPU 割り込み一覧	10-57
11. プログラマブルパルスジェネレータ (PPG)		
表 11.1	端子構成	11-2
12. ウォッチドッグタイマ (WDT)		
表 12.1	WDT の割り込み要因	12-10
13. シリアルコミュニケーションインタフェース (SCI)		
表 13.1	端子構成	13-3
表 13.2	BRR の設定値 N とビットレート B の関係	13-14
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕 (1)	13-15
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕 (2)	13-16
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕 (3)	13-17
表 13.4	各動作周波数における最大ビットレート (調歩同期式モード)	13-17
表 13.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	13-18
表 13.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕	13-18
表 13.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	13-19
表 13.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)	13-19
表 13.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)	13-19
表 13.10	シリアル送信/受信フォーマット (調歩同期式モード)	13-21
表 13.11	SSR のステータスフラグの状態と受信データの処理	13-27
表 13.12	SCI 割り込み要因	13-53
表 13.13	SCI 割り込み要因	13-54
14. I ² C バスインタフェース (IIC)		
表 14.1	端子構成	14-3
表 14.2	転送フォーマット	14-7
表 14.3	転送レート	14-9
表 14.4	フラグと転送状態の関係	14-15
表 14.5	I2C バスデータフォーマット記号説明	14-22
表 14.6	DTC による動作例	14-40
表 14.7	I2C バスタイミング (SCL、SDA 出力)	14-43
表 14.8	SCL 立ち上がり時間 (tSr) の許容範囲	14-45
表 14.9	I2C バスタイミング (tSr/tSf 影響最大の場合)	14-46
15. A/D 変換器		
表 15.1	端子構成	15-3
表 15.2	アナログ入力チャネルと ADDR の対応	15-4
表 15.3	A/D 変換時間 (シングルモード)	15-8
表 15.4	A/D 変換時間 (スキャンモード)	15-8
表 15.5	A/D 変換器の割り込み要因	15-9

表 15.6	アナログ端子の規格.....	15-13
16.	D/A 変換器	
表 16.1	端子構成.....	16-2
表 16.2	D/A 変換の制御.....	16-3
17.	モータコントロール PWM タイマ	
表 17.1	端子構成.....	17-4
表 17.2	OTS ビット出力選択.....	17-8
表 17.3	TDS ビット出力選択.....	17-11
19.	ROM	
表 19.1	ブートモードとユーザプログラムモードの相違点.....	19-3
表 19.2	端子構成.....	19-8
表 19.3	オンボードプログラミングモード設定方法.....	19-13
表 19.4	ブートモードの動作.....	19-15
表 19.5	ビットレート自動合わせ込みが可能なシステムクロック周波数.....	19-15
表 19.6	フラッシュメモリの動作状態.....	19-25
表 19.7	F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ.....	19-27
20.	クロック発振器	
表 20.1	ダンピング抵抗値.....	20-4
表 20.2	水晶発振子の特性.....	20-4
表 20.3	外部クロック入力条件.....	20-5
21.	低消費電力状態	
表 21.1	各モードでの LSI の内部状態.....	21-2
表 21.2	低消費電力モード遷移条件.....	21-4
表 21.3	発振安定時間の設定.....	21-6
表 21.4	各処理状態における ϕ 端子の状態.....	21-16
23.	電気的特性	
表 23.1	絶対最大定格.....	23-1
表 23.2	DC 特性.....	23-2
表 23.3	出力許容電流値.....	23-4
表 23.4	バス駆動特性.....	23-5
表 23.5	クロックタイミング.....	23-6
表 23.6	制御信号タイミング.....	23-8
表 23.7	バスタイミング.....	23-10
表 23.8	内蔵周辺モジュールタイミング.....	23-15
表 23.9	I2C バスインタフェースタイミング.....	23-19
表 23.10	A/D 変換特性.....	23-21
表 23.11	D/A 変換特性.....	23-21
表 23.12	フラッシュメモリ特性.....	23-22
付録		
表 A.1	各処理状態における I/O ポートの状態.....	付録-1

1. 概要

1.1 特長

- 16ビット高速H8S/2600 CPU

H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換

汎用レジスタ：16ビット×16本

基本命令：69種類

- 豊富な周辺機能

PCブレークコントローラ (PBC)

データトランスファコントローラ (DTC)

16ビットタイマパルスユニット (TPU)

プログラマブルパルスジェネレータ (PPG)

ウォッチドッグタイマ (WDT)

調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)

I²Cバスインタフェース (IIC)

モータコントロールPWMタイマ

10ビットA/D変換器

8ビットD/A変換器

クロック発振器

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2607	384K バイト	16K バイト	
マスク ROM 版	HD6432607	384K バイト	16K バイト	
	HD6432606	256K バイト	16K バイト	
	HD6432605	128K バイト	16K バイト	

1. 概要

- 汎用入出力ポート
入出力ポート：72本
入力ポート：12本
- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
128 ピン QFP	FP-128B/FP-128BV	14.0×20.0mm	0.5mm

1.2 ブロック図

ブロック図を図 1.1 に示します。

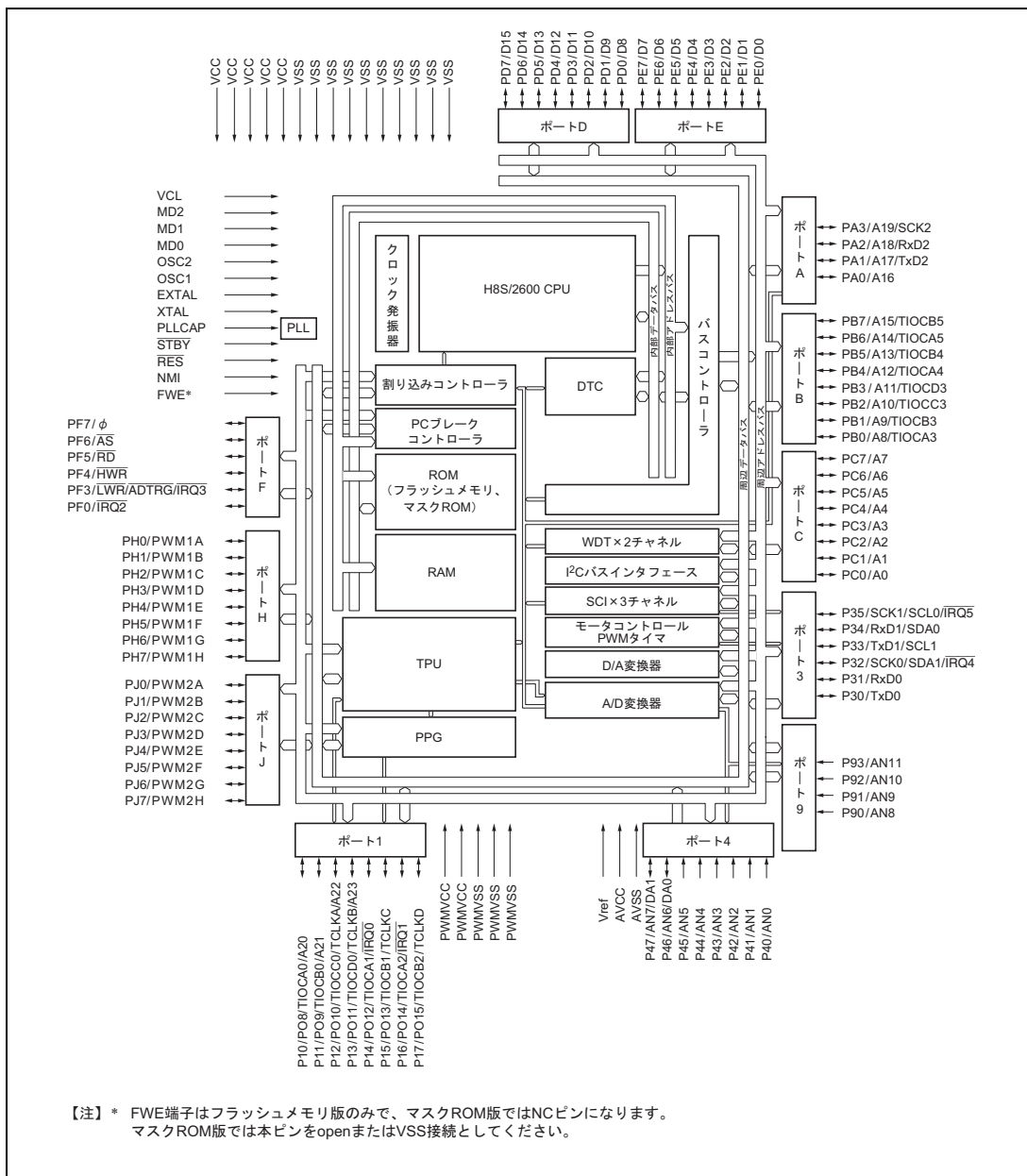


図 1.1 ブロック図

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.1 に示します。

表 1.1 動作モード別端子機能一覧

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
1	VCC	VCC	VCC	VCC
2	VCC	VCC	VCC	VCC
3	NC	NC	NC	NC
4	NC	NC	NC	NC
5	PA0/A16	PA0/A16	PA0/A16	PA0
6	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2
7	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2
8	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2
9	A7	A7	PC7/A7	PC7
10	A6	A6	PC6/A6	PC6
11	A5	A5	PC5/A5	PC5
12	A4	A4	PC4/A4	PC4
13	A3	A3	PC3/A3	PC3
14	A2	A2	PC2/A2	PC2
15	A1	A1	PC1/A1	PC1
16	A0	A0	PC0/A0	PC0
17	D15	D15	D15	PD7
18	D14	D14	D14	PD6
19	D13	D13	D13	PD5
20	D12	D12	D12	PD4
21	D11	D11	D11	PD3
22	D10	D10	D10	PD2
23	D9	D9	D9	PD1
24	VCC	VCC	VCC	VCC
25	D8	D8	D8	PD0
26	VSS	VSS	VSS	VSS
27	PE7/D7	PE7/D7	PE7/D7	PE7
28	PE6/D6	PE6/D6	PE6/D6	PE6
29	PE5/D5	PE5/D5	PE5/D5	PE5
30	PE4/D4	PE4/D4	PE4/D4	PE4
31	PE3/D3	PE3/D3	PE3/D3	PE3
32	PE2/D2	PE2/D2	PE2/D2	PE2

1. 概要

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
33	PE1/D1	PE1/D1	PE1/D1	PE1
34	PE0/D0	PE0/D0	PE0/D0	PE0
35	VSS	VSS	VSS	VSS
36	VSS	VSS	VSS	VSS
37	NC	NC	NC	NC
38	NC	NC	NC	NC
39	AS	AS	AS	PF6
40	RD	RD	RD	PF5
41	HWR	HWR	HWR	PF4
42	LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/ IRQ3
43	VSS	VSS	VSS	VSS
44	PWMVSS	PWMVSS	PWMVSS	PWMVSS
45	PH0/PWM1A	PH0/PWM1A	PH0/PWM1A	PH0/PWM1A
46	PH1/PWM1B	PH1/PWM1B	PH1/PWM1B	PH1/PWM1B
47	PH2/PWM1C	PH2/PWM1C	PH2/PWM1C	PH2/PWM1C
48	PH3/PWM1D	PH3/PWM1D	PH3/PWM1D	PH3/PWM1D
49	PWMVCC	PWMVCC	PWMVCC	PWMVCC
50	PH4/PWM1E	PH4/PWM1E	PH4/PWM1E	PH4/PWM1E
51	PH5/PWM1F	PH5/PWM1F	PH5/PWM1F	PH5/PWM1F
52	PH6/PWM1G	PH6/PWM1G	PH6/PWM1G	PH6/PWM1G
53	PH7/PWM1H	PH7/PWM1H	PH7/PWM1H	PH7/PWM1H
54	PWMVSS	PWMVSS	PWMVSS	PWMVSS
55	PJ0/PWM2A	PJ0/PWM2A	PJ0/PWM2A	PJ0/PWM2A
56	PJ1/PWM2B	PJ1/PWM2B	PJ1/PWM2B	PJ1/PWM2B
57	PJ2/PWM2C	PJ2/PWM2C	PJ2/PWM2C	PJ2/PWM2C
58	PJ3/PWM2D	PJ3/PWM2D	PJ3/PWM2D	PJ3/PWM2D
59	PWMVCC	PWMVCC	PWMVCC	PWMVCC
60	PJ4/PWM2E	PJ4/PWM2E	PJ4/PWM2E	PJ4/PWM2E
61	PJ5/PWM2F	PJ5/PWM2F	PJ5/PWM2F	PJ5/PWM2F
62	PJ6/PWM2G	PJ6/PWM2G	PJ6/PWM2G	PJ6/PWM2G
63	PJ7/PWM2H	PJ7/PWM2H	PJ7/PWM2H	PJ7/PWM2H
64	PWMVSS	PWMVSS	PWMVSS	PWMVSS
65	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0
66	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0
67	VSS	VSS	VSS	VSS

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
68	VSS	VSS	VSS	VSS
69	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4
70	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1
71	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0
72	P35/SCK1/SCL0/ IRQ5	P35/SCK1/SCL0/ IRQ5	P35/SCK1/SCL0/ IRQ5	P35/SCK1/SCL0/ IRQ5
73	RES	RES	RES	RES
74	NMI	NMI	NMI	NMI
75	PLLCAP	PLLCAP	PLLCAP	PLLCAP
76	VSS	VSS	VSS	VSS
77	PLLVSS	PLLVSS	PLLVSS	PLLVSS
78	OSC2	OSC2	OSC2	OSC2
79	OSC1	OSC1	OSC1	OSC1
80	VCC	VCC	VCC	VCC
81	VCC	VCC	VCC	VCC
82	VCL	VCL	VCL	VCL
83	XTAL	XTAL	XTAL	XTAL
84	VSS	VSS	VSS	VSS
85	EXTAL	EXTAL	EXTAL	EXTAL
86	FWE*	FWE*	FWE*	FWE*
87	STBY	STBY	STBY	STBY
88	PF7/φ	PF7/φ	PF7/φ	PF7/φ
89	P10/PO8/TIOCA0/A20	P10/PO8/TIOCA0/A20	P10/PO8/TIOCA0/A20	P10/PO8/TIOCA0
90	P11/PO9/TIOCB0/A21	P11/PO9/TIOCB0/A21	P11/PO9/TIOCB0/A21	P11/PO9/TIOCB0
91	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA
92	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB
93	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0
94	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC
95	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1
96	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD

1. 概要

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
97	NC	NC	NC	NC
98	NC	NC	NC	NC
99	VSS	VSS	VSS	VSS
100	NC	NC	NC	NC
101	AVCC	AVCC	AVCC	AVCC
102	Vref	Vref	Vref	Vref
103	P40/AN0	P40/AN0	P40/AN0	P40/AN0
104	P41/AN1	P41/AN1	P41/AN1	P41/AN1
105	P42/AN2	P42/AN2	P42/AN2	P42/AN2
106	P43/AN3	P43/AN3	P43/AN3	P43/AN3
107	P44/AN4	P44/AN4	P44/AN4	P44/AN4
108	P45/AN5	P45/AN5	P45/AN5	P45/AN5
109	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0
110	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1
111	P90/AN8	P90/AN8	P90/AN8	P90/AN8
112	P91/AN9	P91/AN9	P91/AN9	P91/AN9
113	P92/AN10	P92/AN10	P92/AN10	P92/AN10
114	P93/AN11	P93/AN11	P93/AN11	P93/AN11
115	AVSS	AVSS	AVSS	AVSS
116	MD0	MD0	MD0	MD0
117	MD1	MD1	MD1	MD1
118	MD2	MD2	MD2	MD2
119	PF0/IRQ2	PF0/IRQ2	PF0/IRQ2	PF0/IRQ2
120	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/TIOCB5
121	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/TIOCA5
122	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/TIOCB4
123	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/TIOCA4
124	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/TIOCD3
125	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/TIOCC3
126	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3
127	VSS	VSS	VSS	VSS
128	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3

【注】 NCはVSSに接続、または開放としてください。

- * FWE 端子はフラッシュメモリ版のみで、マスク ROM 版では NC ピンになります。
マスク ROM 版では本ピンを open または VSS 接続としてください。

1.3.3 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号	入出力	名称および機能
電源	VCC	1、2、24 80、81	入力	電源に接続します。VCC 端子は、全端子をシステムの電源に接続してください。
	VSS	26、35、36 43、67、68 76、84、99 127	入力	電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。
	VCL	82	出力	電源に接続不要です。0.1 μ F のコンデンサを介して VSS に接続してください (端子近くに配置)。
クロック	PLLVSS	77	入力	内蔵 PLL 発振回路用のグラウンドです。
	PLLCAP	75	入力	内蔵 PLL 発振器用の外付け容量端子です。
	XTAL	83	入力	水晶発振子接続端子です。EXTAL 端子は外部クロックを入力することもできます。接続例は「第 20 章 クロック発振器」を参照してください。
	EXTAL	85	入力	
	OSC1	79	入力	32.768kHz の水晶発振子を接続します。接続する場合の接続例は「第 20 章 クロック発振器」を参照してください。
	OSC2	78	入力	
ϕ	88	出力	外部デバイスにシステムクロックを供給します。	
動作モード コントロール	MD2~ MD0	118~116	入力	動作モードを設定します。MD2~MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。
システム制御	$\overline{\text{RES}}$	73	入力	この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{STBY}}$	87	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE*	86	入力	フラッシュメモリ用の端子です。
割り込み	NMI	74	入力	マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ5}}$ ~ $\overline{\text{IRQ0}}$	72、69、42 119、95、 93	入力	マスク可能な割り込みを要求します。
アドレスバス	A23~A0	92~89、 8~5、 120~126、 128、9~16	出力	アドレスを出力します。
データバス	D15~D0	17~23、 25、27~34	入出力	双方向データバスです。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
バス制御	\overline{AS}	39	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{RD}	40	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	41	出力	外部空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロブ信号です。
	\overline{LWR}	42	出力	外部空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロブ信号です。
16 ビットタイムパルスユニット (TPU)	TCLKD~ TCLKA	96、94、 92、91	入力	外部クロックを入力します。
	TIOCA0、 TIOCB0、 TIOCC0、 TIOCD0	89 90 91 92	入出力	TGR0A~TGR0D のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA1、 TIOCB1	93 94	入出力	TGR1A、TGR1B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA2、 TIOCB2	95 96	入出力	TGR2A、TGR2B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA3、 TIOCB3、 TIOCC3、 TIOCD3	128 126 125 124	入出力	TGR3A~TGR3D のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA4、 TIOCB4	123 122	入出力	TGR4A、TGR4B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA5、 TIOCB5	121 120	入出力	TGR5A、TGR5B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	プログラマブルパルスジェネレータ (PPG)	PO15~ PO8	96~89	出力
シリアルコミュニケーションインターフェース (SCI) / スマートカードインターフェース	TxD2、 TxD1、 TxD0	6 70 65	出力	データ出力端子です。
	RxD2、 RxD1、 RxD0	7 71 66	入力	データ入力端子です。
	SCK2、 SCK1、 SCK0	8 72 69	入出力	クロック入出力端子です。

分類	記号	ピン番号	入出力	名称および機能
I ² C バス インタ フェース (IIC)	SCL0	72	入出力	I ² C クロック入出力端子です。バス駆動機能を持っています。
	SCL1	70		SCL0 の出力形式は NMOS オープンドレインです。
	SDA0	71	入出力	I ² C のデータ入出力端子です。バス駆動機能を持っています。
	SDA1	69		SDA0 の出力形式は NMOS オープンドレインです。
A/D 変換器	AN11~ AN0	114~103	入力	アナログ入力端子です。
	ADTRG	42	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1、DA0	110、109	出力	D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AVCC	101	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
	AVSS	115	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	Vref	102	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
モータコント ロール PWM タイマ	PWM1H~ PWM1A	53~50、 48~45	出力	モータコントロール PWM チャンネル 1 の出力端子です。
	PWM2H~ PWM2A	63~60、 58~55	出力	モータコントロール PWM チャンネル 2 の出力端子です。
	PWMVCC	49、59	入力	モータコントロール PWM の電源端子です。モータコントロールを使用しない場合は、システム電源 (+5V) に接続してください。
	PWMVSS	44、54、64	入力	モータコントロール PWM のグランドです。システム電源 (0V) に接続してください。
I/O ポート	P17~P10	96~89	入出力	8 ビットの入出力端子です。
	P35~P30	72~69、 66、65	入出力	6 ビットの入出力端子です。
	P47~P40	110~103	入力	8 ビットの入力端子です。
	P93~P90	114~111	入力	4 ビットの入力端子です。
	PA3~PA0	8~5	入出力	4 ビットの入出力端子です。
	PB7~PB0	120~126、 128	入出力	8 ビットの入出力端子です。
	PC7~ PC0	9~16	入出力	8 ビットの入出力端子です。
	PD7~ PD0	17~23、 25	入出力	8 ビットの入出力端子です。
	PE7~PE0	27~34	入出力	8 ビットの入出力端子です。
PF7~ PF3、PF0	88、39~42 119	入出力	6 ビットの入出力端子です。	

1. 概要

I/O ポート	PH7~ PH0	53~50、 48~45	入出力	8 ビットの入出力端子です。
	PJ7~PJ0	63~60、 58~55	入出力	8 ビットの入出力端子です。

【注】 * FWE 端子はフラッシュメモリ版のみで、マスク ROM 版では NC ピンとなります。マスク ROM 版では開放または VSS 接続としてください。

2. CPU

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2600 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2600 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：69 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
積和演算命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算 : 1ステート

8×8ビットレジスタ間乗算 : 3ステート

16÷8ビットレジスタ間除算 : 12ステート

16×16ビットレジスタ間乗算 : 4ステート

32÷16ビットレジスタ間除算 : 20ステート

- CPU動作モード : 2種類

ノーマルモード/アドバンスモード

【注】 本 LSI ではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2600 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモード*のとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能

【注】 * 本 LSI では使用できません。

- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
積和演算命令を追加
2ビットシフト命令を追加
複数レジスタの退避／復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2600 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本、32ビット×2本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
積和演算命令を追加
2ビットシフト命令を追加
複数レジスタの退避／復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2600 CPU には、ノーマルモード*とアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

【注】 * 本 LSI では使用できません。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大 64K バイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.1 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.2 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 4 章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

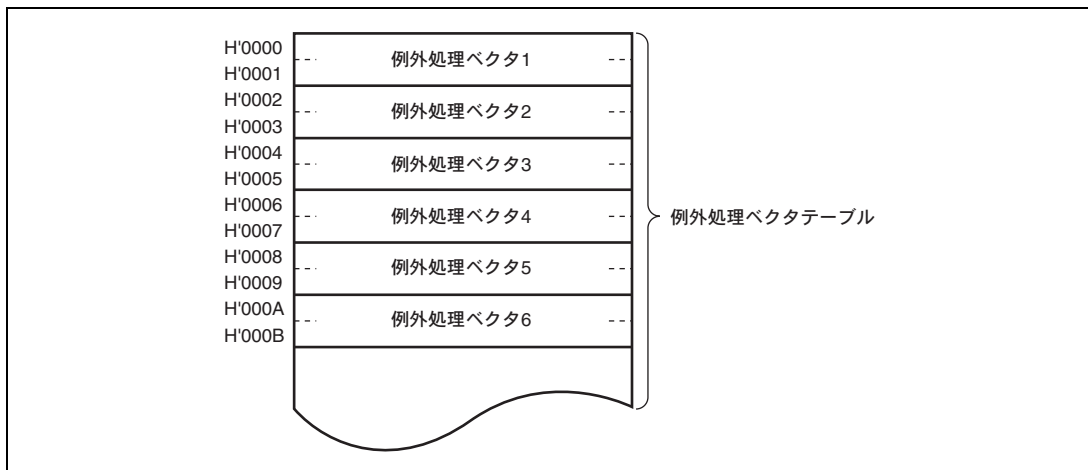


図 2.1 例外処理ベクタテーブル（ノーマルモード）

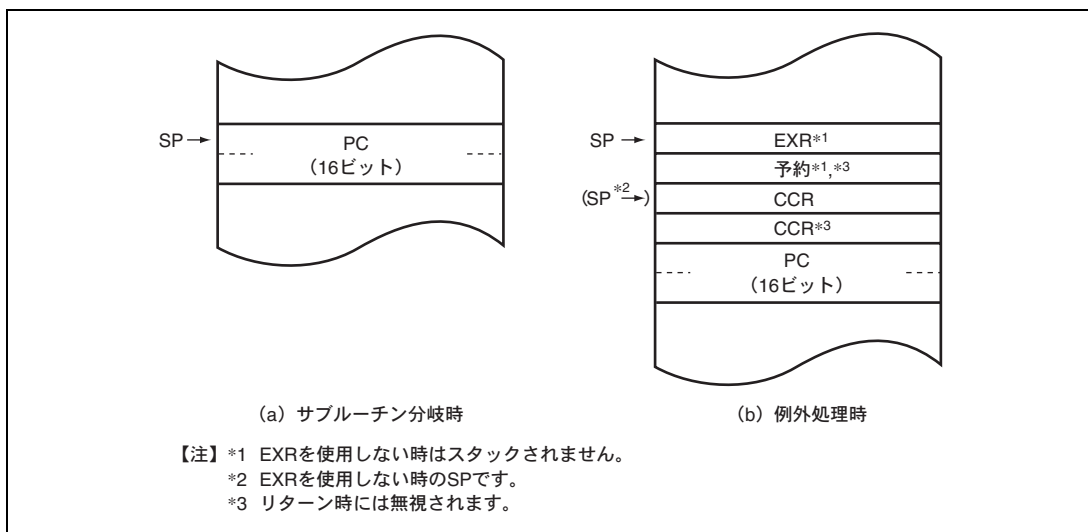


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

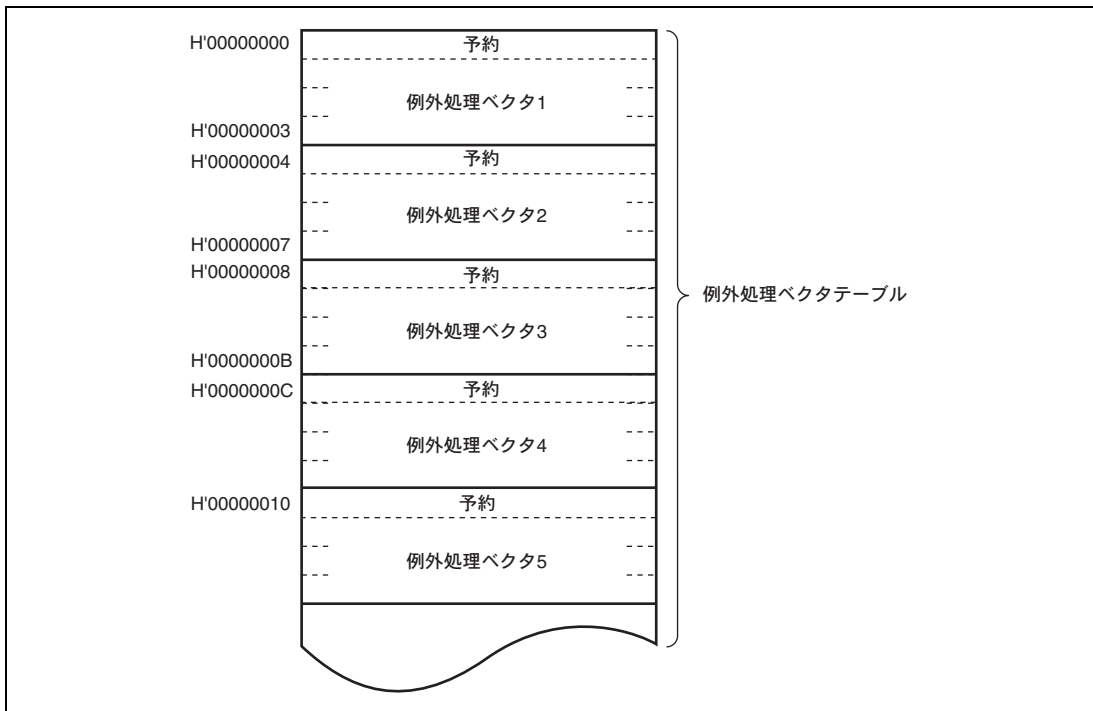


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

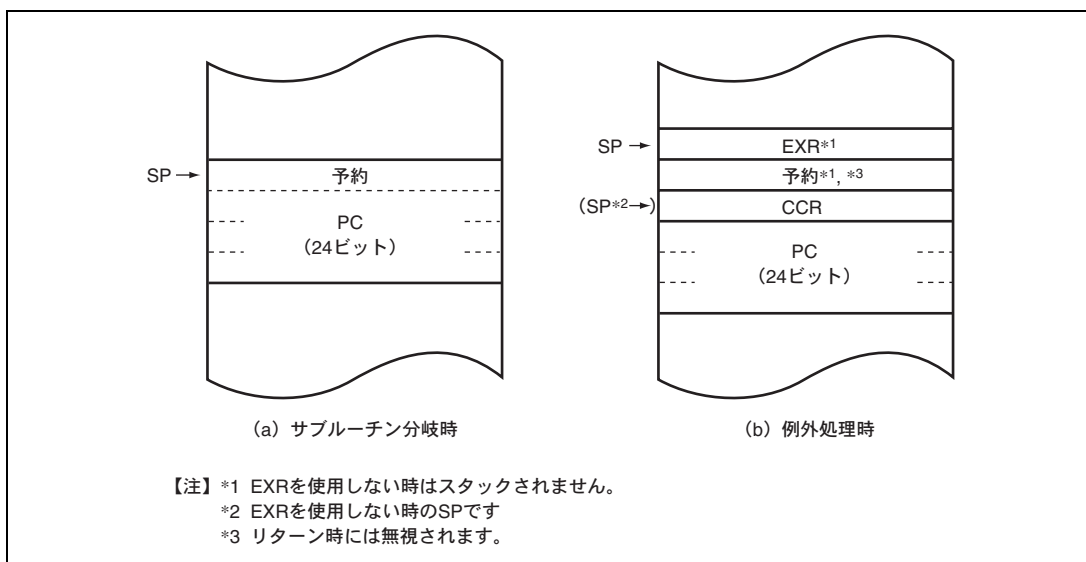


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2600 CPU のメモリマップを図 2.5 に示します。H8S/2600 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

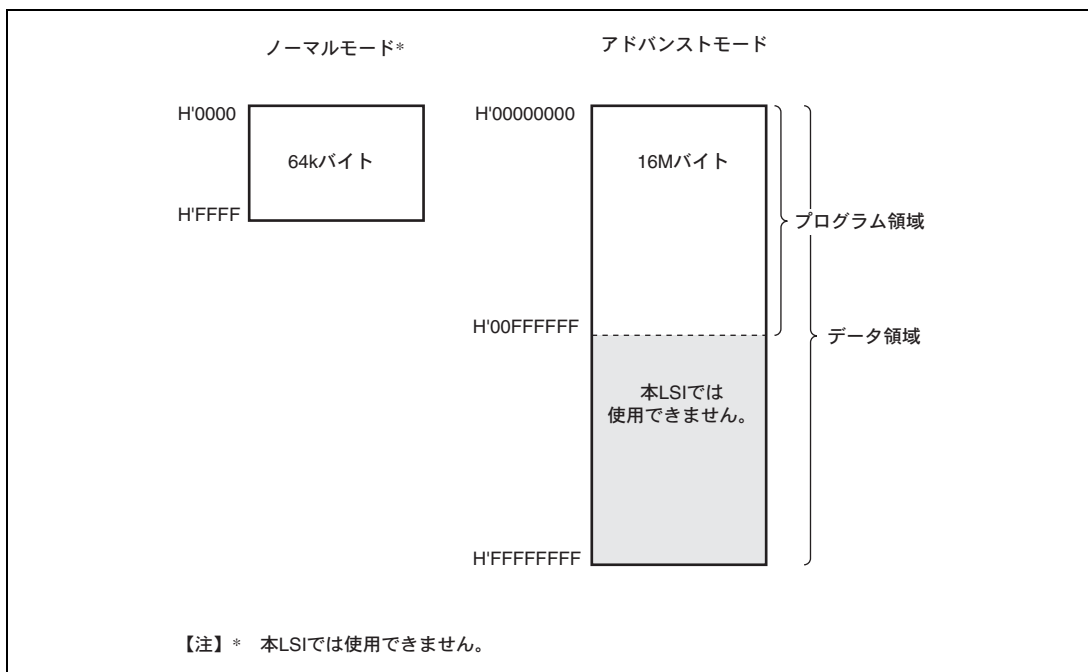


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2600 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) および 64 ビット積和レジスタ (MAC) があります。

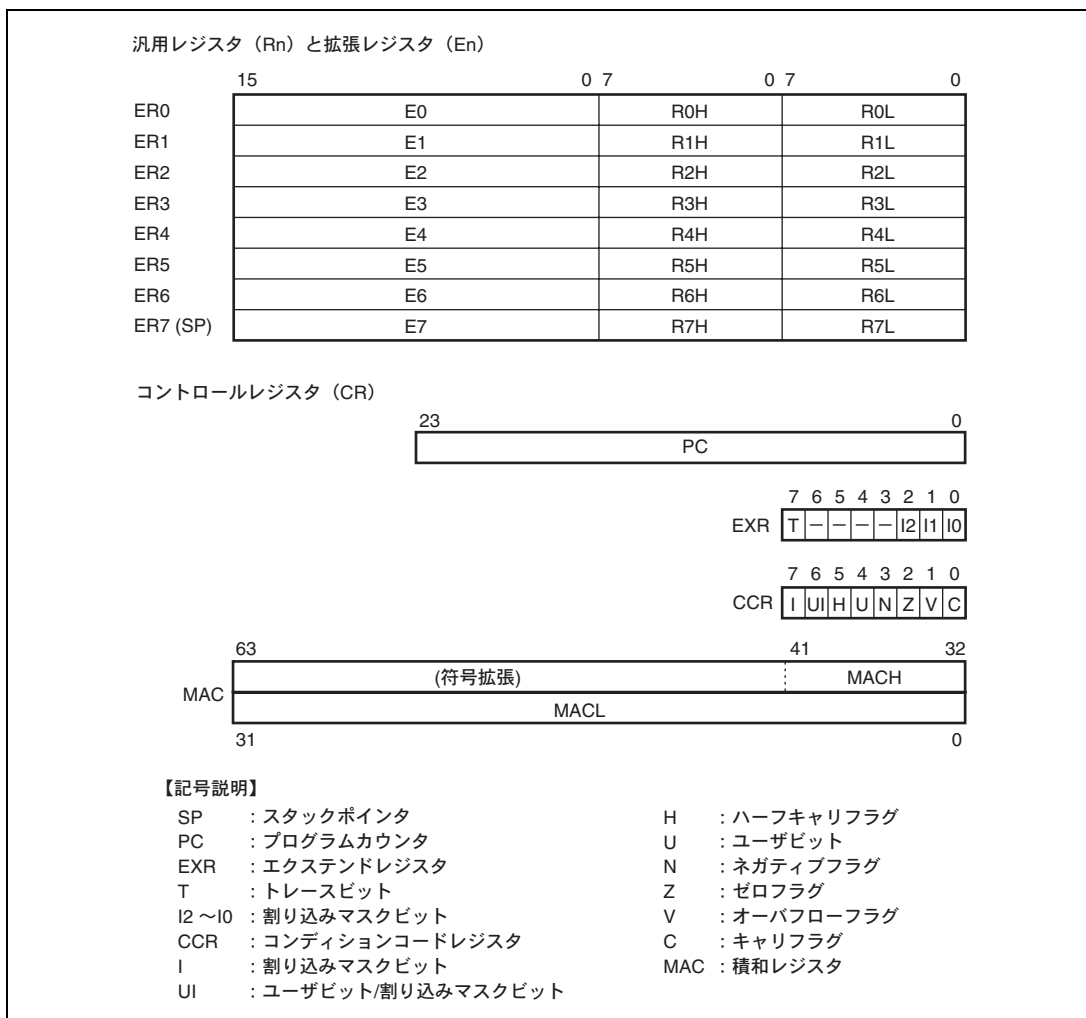


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2600 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

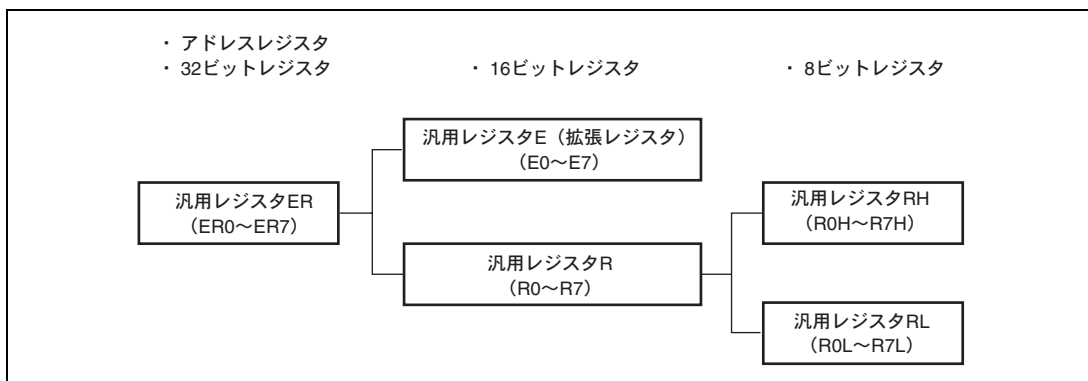


図 2.7 汎用レジスタの使用方法

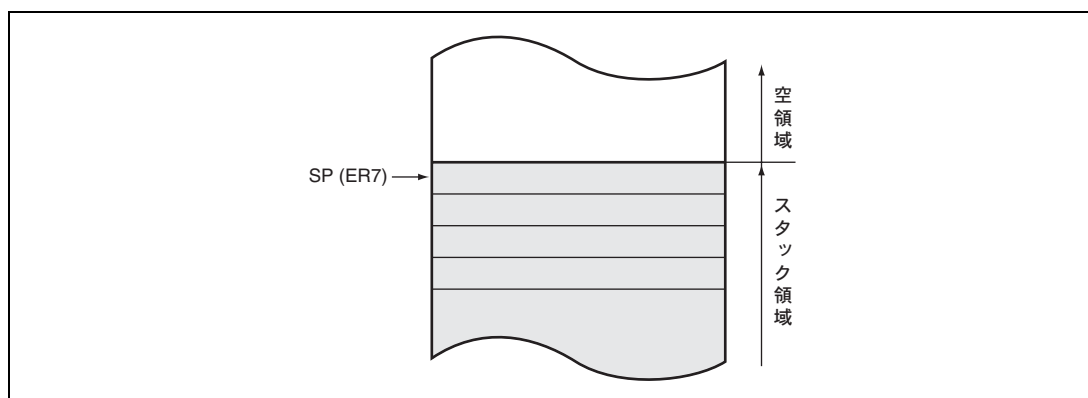


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行ごとにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3	—	1	—	リザーブビット リードすると常に 1 がリードされます。
2	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
1	I1	1	R/W	
0	I0	1	R/W	

2. CPU

2.4.4 コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバーフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIは1ビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。本LSIでは、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のボロー• シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

2.4.6 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2600 CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0,1,2,\dots,7$ ）という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

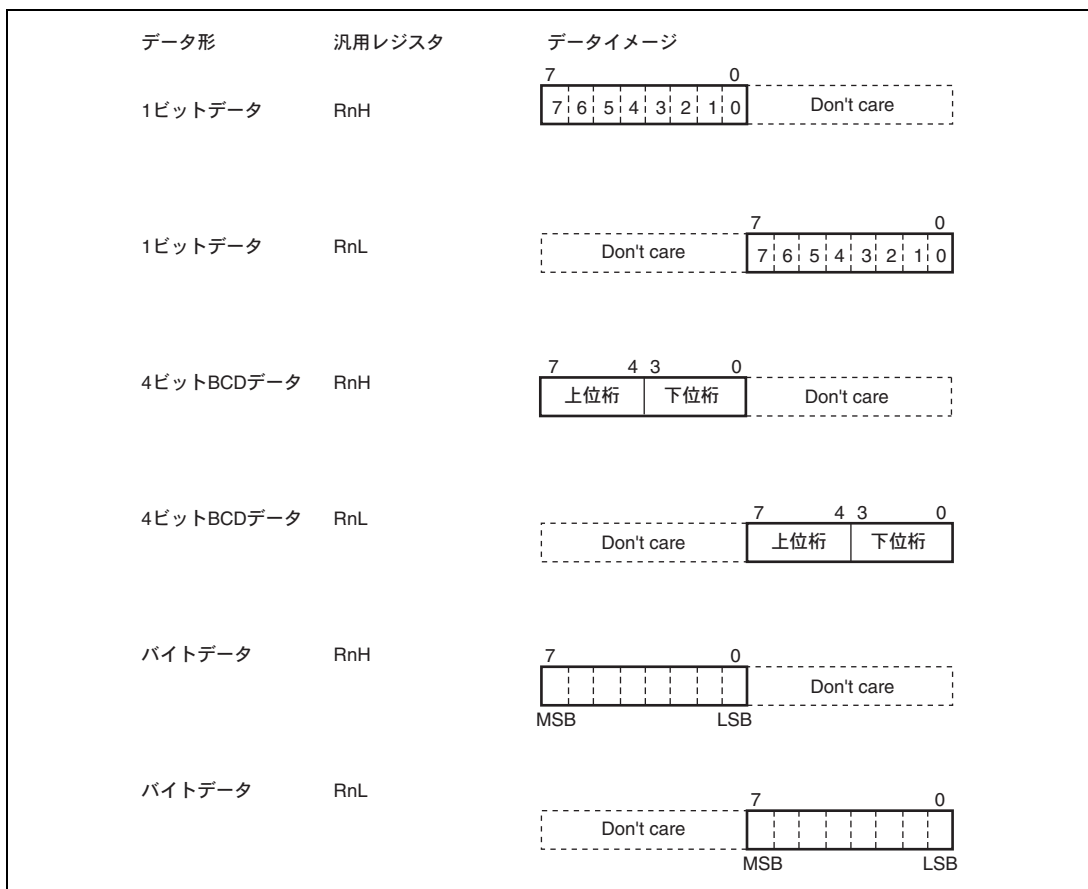


図 2.9 汎用レジスタのデータ形式 (1)

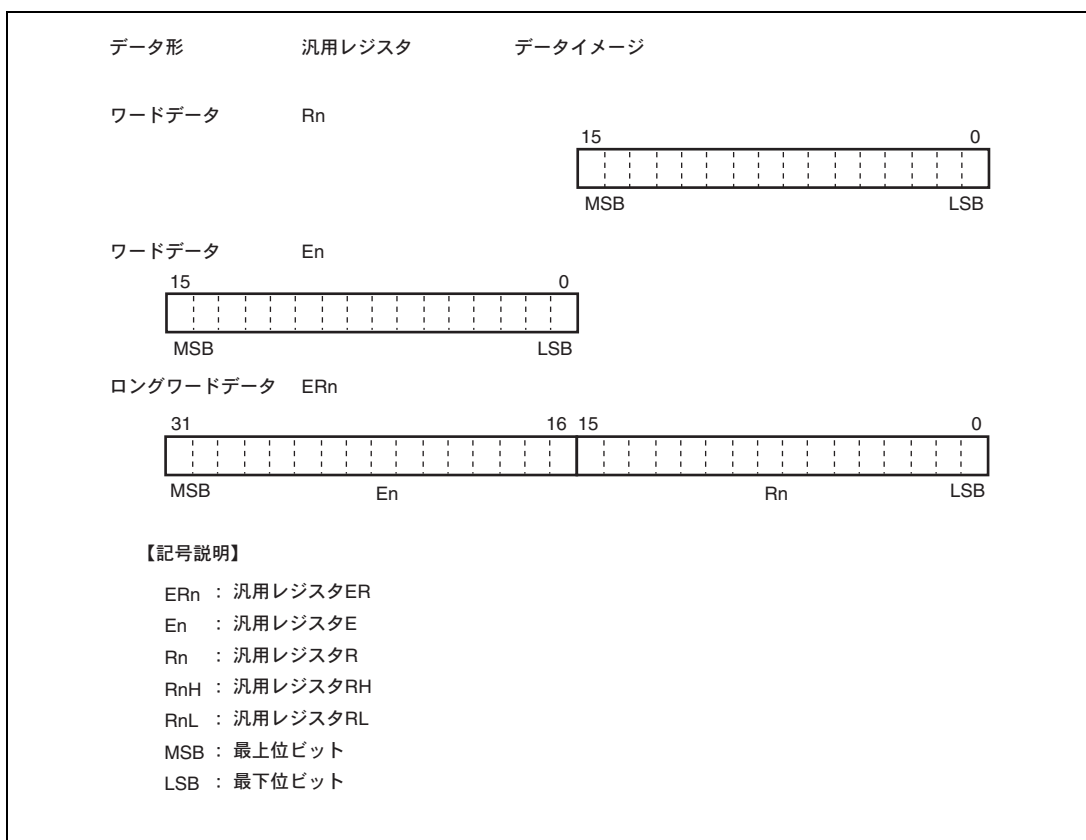


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2600 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

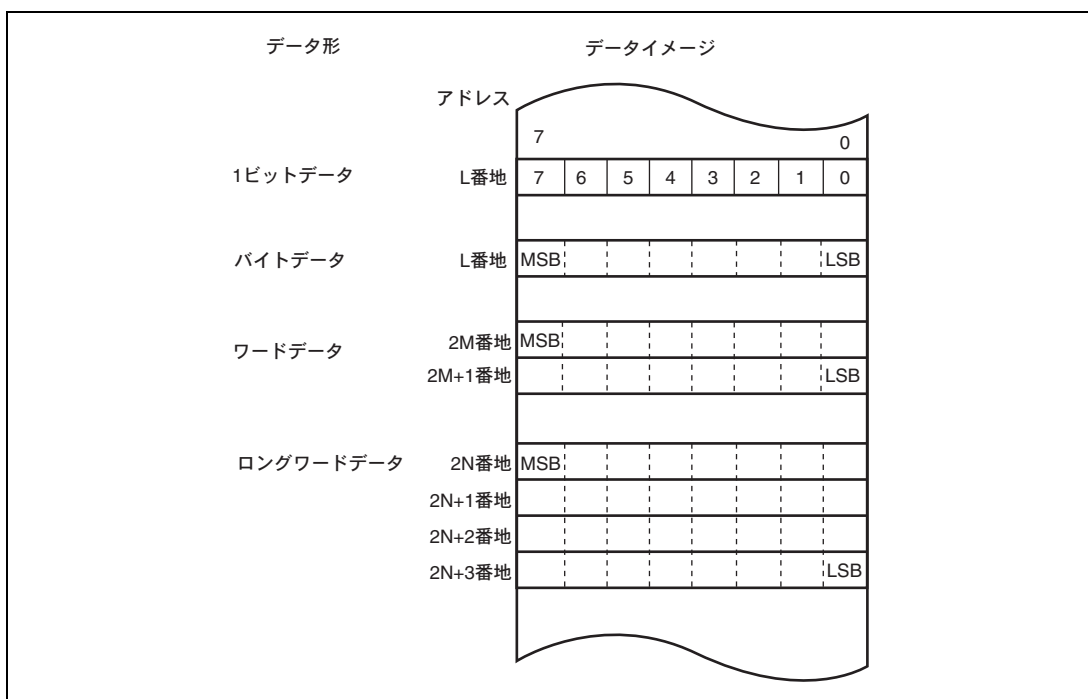


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2600 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * ¹ , PUSH * ¹	W/L	
	LDM, STM	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
	MAC, LDMAC, STMAC, CLRMAC	—	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAN, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EPMOV	—	1

合計 69 種類

【注】 B : バイトサイズ W : ワードサイズ L : ロングワードサイズ

- *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0, ER1, ER4, ER5 を使用してください。

2. CPU

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側) *
Rs	汎用レジスタ (ソース側) *
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*1	機能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

2. CPU

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、 32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
CMP	B/W/L	Rd-Rs、Rd-#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	0-Rd→Rd 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張)→Rd 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張)→Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd-0、1→(<ビット7>of @ERd) メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。
MAC	-	(EAs)×(EAd)+MAC→MAC メモリとメモリ間の符合付き乗算を行い、結果を積和レジスタに加算します。 16ビット×16ビット+32ビット→32ビットの飽和演算、 16ビット×16ビット+42ビット→42ビットの非飽和演算が可能です。
CLRMAC	-	0→MAC 積和レジスタをゼロクリアします。
LDMAC STMAC	L	Rs→MAC、MAC→Rd 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0,ER1,ER4,ER5 を使用してください。

2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2. CPU

表 2.7 ビット操作命令 (2)

命令	サイズ*	機 能
BXOR	B	$C \oplus \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	－	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z=0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z=1$</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same))</td> <td>$C=0$</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>$C=1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z=0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z=1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V=0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V=1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N=0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N=1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V=0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V=1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V)=0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V)=1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	$C \vee Z=0$	BLS	Low or Same	$C \vee Z=1$	BCC(BHS)	Carry Clear(High or Same))	$C=0$	BCS(BLO)	Carry Set(LOW)	$C=1$	BNE	Not Equal	$Z=0$	BEQ	Equal	$Z=1$	BVC	oVerflow Clear	$V=0$	BVS	oVerflow Set	$V=1$	BPL	PLus	$N=0$	BMI	Minus	$N=1$	BGE	Greater or Equal	$N \oplus V=0$	BLT	Less Than	$N \oplus V=1$	BGT	Greater Than	$Z \vee (N \oplus V)=0$	BLE	Less or Equal	$Z \vee (N \oplus V)=1$
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	$C \vee Z=0$																																																			
BLS	Low or Same	$C \vee Z=1$																																																			
BCC(BHS)	Carry Clear(High or Same))	$C=0$																																																			
BCS(BLO)	Carry Set(LOW)	$C=1$																																																			
BNE	Not Equal	$Z=0$																																																			
BEQ	Equal	$Z=1$																																																			
BVC	oVerflow Clear	$V=0$																																																			
BVS	oVerflow Set	$V=1$																																																			
BPL	PLus	$N=0$																																																			
BMI	Minus	$N=1$																																																			
BGE	Greater or Equal	$N \oplus V=0$																																																			
BLT	Less Than	$N \oplus V=1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V)=0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V)=1$																																																			
JMP	－	指定されたアドレスへ無条件に分岐します。																																																			
BSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	－	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next;
EEPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2600 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

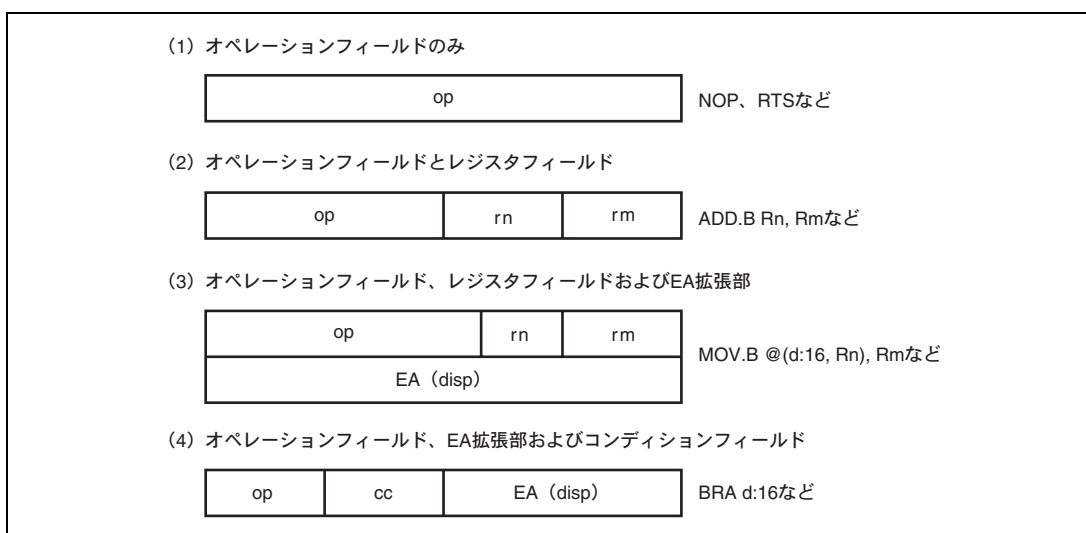


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2600 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+／プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズるとき、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズるとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8／@aa:16／@aa:24／@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスモード
データ領域	8ビット (@aa:8)	H'FF00~H'FFFF	H'FFFF00~H'FFFFFF
	16ビット (@aa:16)	H'0000~H'FFFF	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32ビット (@aa:32)		H'000000~H'FFFFFF
プログラム領域	24ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 本 LSI ではノーマルモードは使用できません。

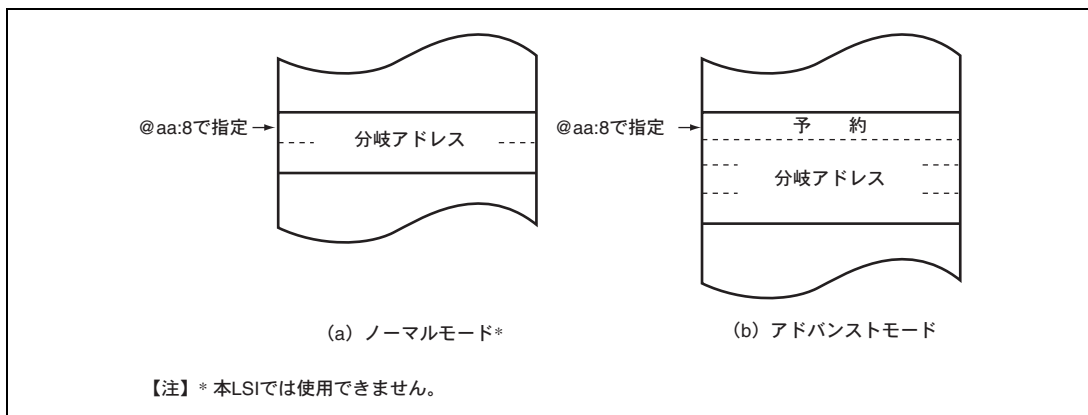


図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】 本 LSI ではノーマルモードは使用できません。

表 2.13 実行アドレスの計算方法 (1)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) 		
3	ディスペースメント付きレジスタ間接 @d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ ・プリデクリメントレジスタ間接 @-ERn 		

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

2. CPU

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		31 24 23 8 7 0 Don't care H'FFFF
	@aa:16 op abs		31 24 23 16 15 0 Don't care 符号拡張
	@aa:24 op abs		31 24 23 0 Don't care
	@aa:32 op abs		31 24 23 0 Don't care
6	イミディエイト #xx:8/#xx:16/#xx:32 op IMM		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) op disp	23 0 PCの内容 23 0 符号拡張 disp	31 24 23 0 Don't care
8	メモリ間接 @aa:8 ・ノーマルモード* op abs	31 8 7 0 H'000000 abs 15 0 メモリの内容	31 24 23 16 15 0 Don't care H'00
	・アドバンストモード op abs	31 8 7 0 H'000000 abs 31 0 メモリの内容	31 24 23 0 Don't care

【注】 * 本 LSI では使用できません。

2.8 処理状態

H8S/2600 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPUおよび内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

CPU以外の、バスマスタからのバス権要求に対して、バス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第21章 低消費電力状態」を参照してください。

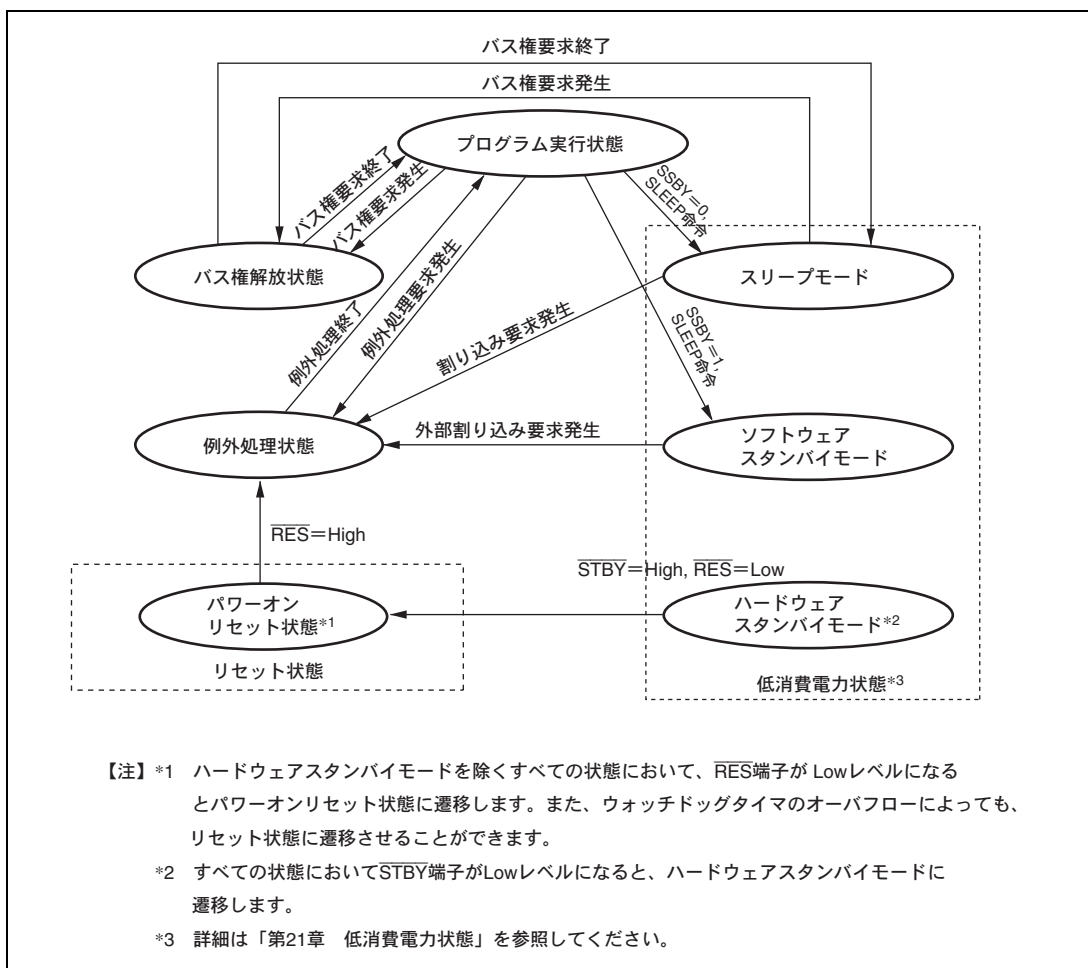


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明かであれば、事前にフラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI は、4 種類の動作モード（モード 4～7）があります。これらのモードはモード端子（MD2～MD0）の設定で決まります。モード端子は動作中に変化させないでください。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
4	1	0	0	アドバンスモード	内蔵 ROM 無効拡張モード	無効
5	1	0	1	アドバンスモード	内蔵 ROM 無効拡張モード	無効
6	1	1	0	アドバンスモード	内蔵 ROM 有効拡張モード	有効
7	1	1	1	アドバンスモード	シングルチップモード	有効

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ（MDCR）
- システムコントロールレジスタ（SYSCR）

3.2.1 モードコントロールレジスタ（MDCR）

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
6～3	—	すべて 0	—	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。
2	MDS2	—*	R	モードセレクト 2～0 モード端子（MD2～MD0）の入カレベルを反映した値（現在の動作モード）を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子（MD2～MD0）の入カレベルがこれらのビットにラッチされます。このラッチはパワーオンリセットで解除されます。
1	MDS1	—*	R	
0	MDS0	—*	R	

【注】 * MD2～MD0 端子により決定されます。

3. MCU 動作モード

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は MAC 命令の飽和演算の選択、割り込み制御モードの選択、NMI の検出エッジの選択、内蔵 RAM の有効/無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MACS	0	R/W	MAC サチュレーション MAC 命令の飽和演算、非飽和演算を選択します。 0 : 非飽和演算 1 : 飽和演算
6	—	0	—	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00 : 割り込み制御モード 0 01 : 設定禁止 10 : 割り込み制御モード 2 11 : 設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の立ち下がりエッジで割り込み要求を発生 1 : NMI 入力の立ち上がりエッジで割り込み要求を発生
2 1	— —	0 0	— —	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したとき初期化されます。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

3.3 各動作モードの説明

3.3.1 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート 1、A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.2 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート 1、A、B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.3 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。ポート 1、A、B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラによりいずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.4 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。すべての I/O ポートを入出力ポートとして使用できます。

3. MCU 動作モード

3.4 各動作モードにおける端子機能

動作モードにより、ポート A~F の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7
ポート 1	P11~P13	P*/A	P*/A	P*/A	P
	P10	P/A*	P/A*	P*/A	P
ポート A		P/A*	P/A*	P*/A	P
ポート B		P/A*	P/A*	P*/A	P
ポート C		A	A	P*/A	P
ポート D		D	D	D	P
ポート E		P/D*	P*/D	P*/D	P
ポート F	PF7	P/C*	P/C*	P/C*	P*/C
	PF6~PF4	C	C	C	P
	PF3	P/C*	P*/C	P*/C	
	PF0	P*/C	P*/C	P*/C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2、図 3.3 に示します。

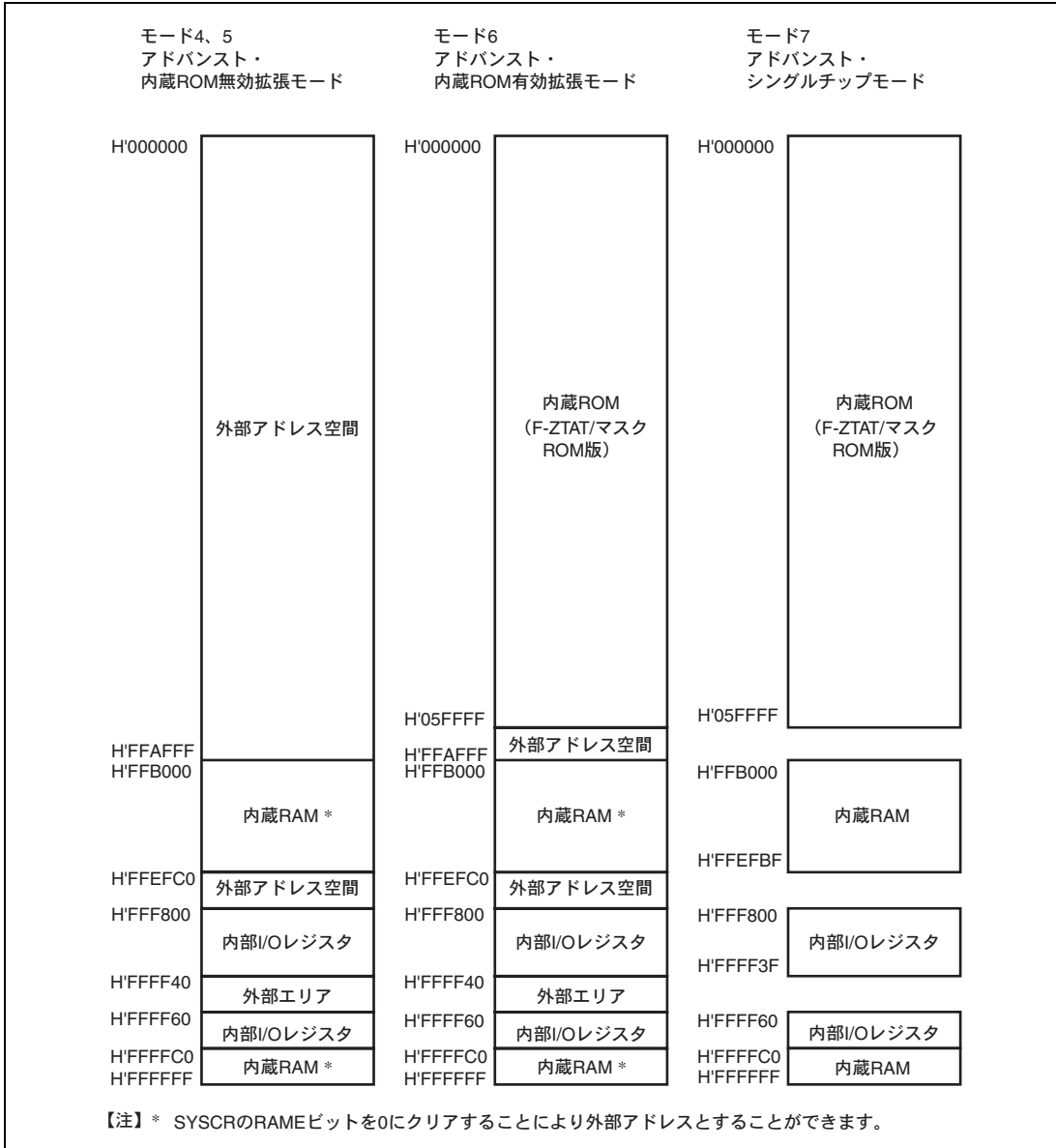


図 3.1 アドレスマップ (H8S/2607)

3. MCU 動作モード

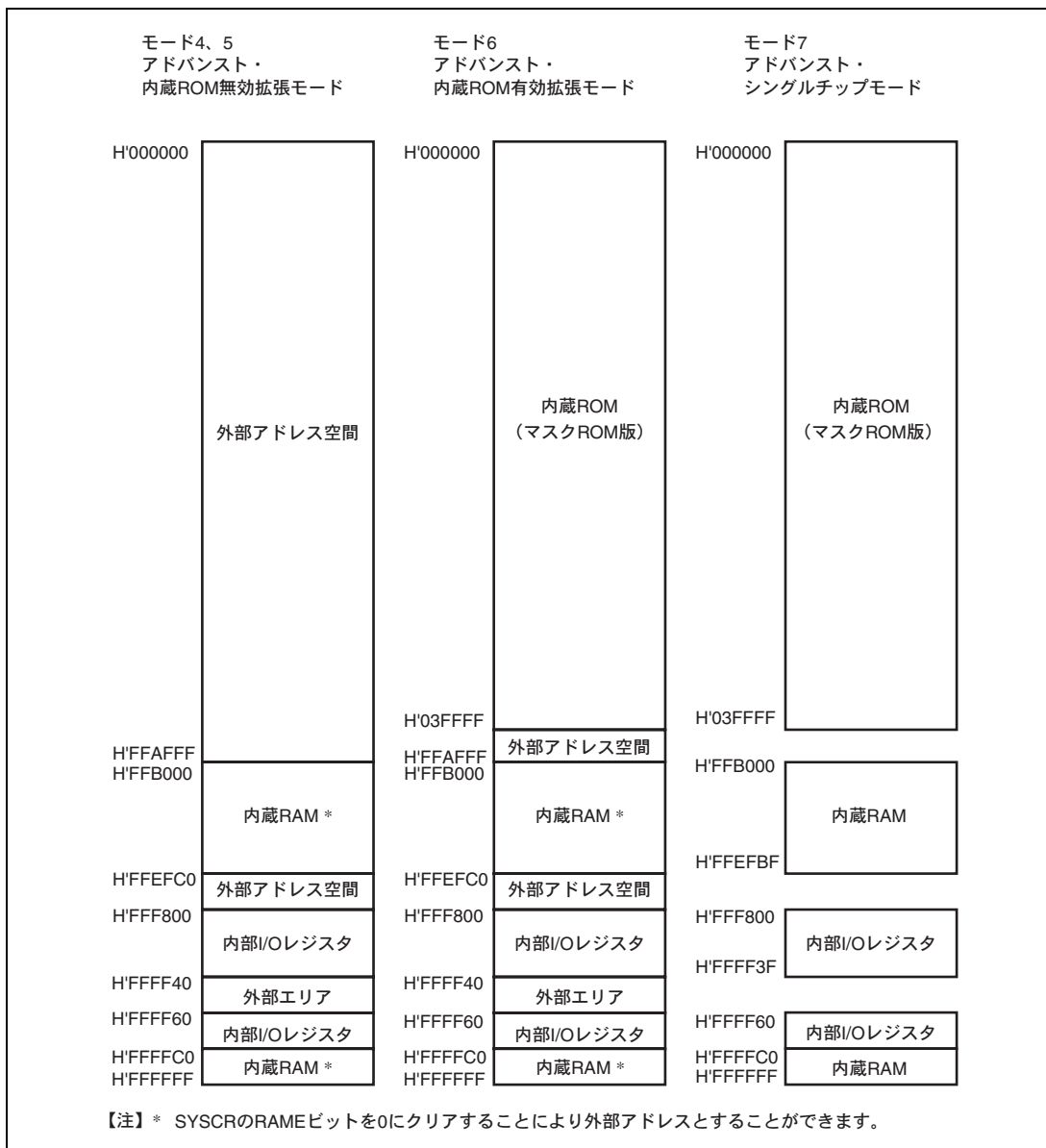


図 3.2 アドレスマップ (H8S/2606)

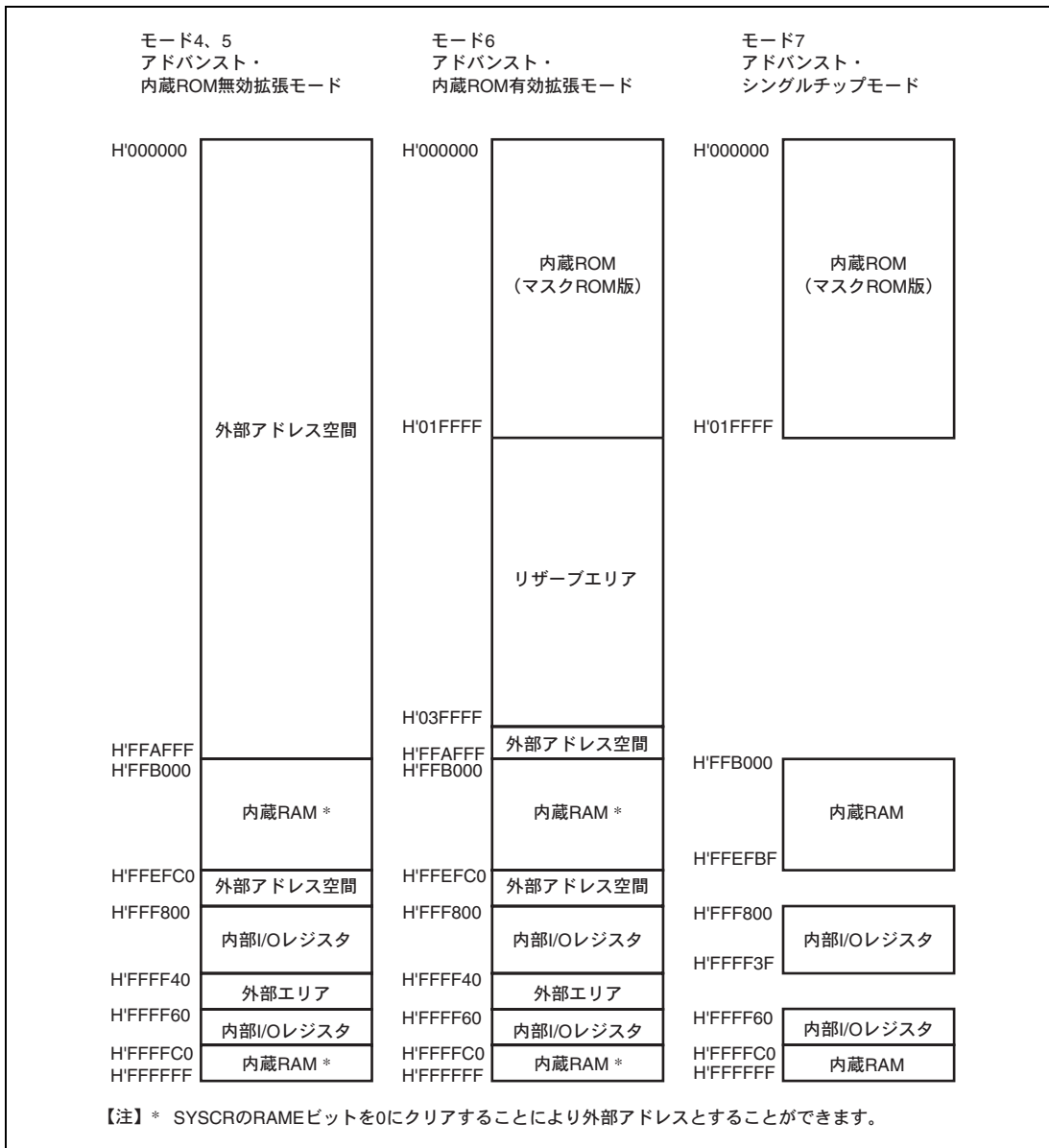


図 3.3 アドレスマップ (H8S/2605)

3. MCU 動作モード

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ▲ ↑ ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表4.2に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第3章 MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1	
		ノーマルモード*2	アドバンストモード
パワーオンリセット	0	H'0000~H'0001	H'0000~H'0003
システム予約	1	H'0002~H'0003	H'0004~H'0007
	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
	4	H'0008~H'0019	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
割り込み (直接遷移*4)	6	H'000C~H'000D	H'0018~H'001B
割り込み (NMI)	7	H'000E~H'000F	H'001C~H'001F
トラップ命令 (#0)	8	H'0010~H'0011	H'0020~H'0023
トラップ命令 (#1)	9	H'0012~H'0013	H'0024~H'0027
トラップ命令 (#2)	10	H'0014~H'0015	H'0028~H'002B
トラップ命令 (#3)	11	H'0016~H'0017	H'002C~H'002F
システム予約	12	H'0018~H'0019	H'0030~H'0033
	13	H'001A~H'001B	H'0034~H'0037
	14	H'001C~H'001D	H'0038~H'003B
	15	H'001E~H'001F	H'003C~H'003F
外部割り込み IRQ0	16	H'0020~H'0021	H'0040~H'0043
外部割り込み IRQ1	17	H'0022~H'0023	H'0044~H'0047
外部割り込み IRQ2	18	H'0024~H'0025	H'0048~H'004B
外部割り込み IRQ3	19	H'0026~H'0027	H'004C~H'004F
外部割り込み IRQ4	20	H'0028~H'0029	H'0050~H'0053
外部割り込み IRQ5	21	H'002A~H'002B	H'0054~H'0057
システム予約	22	H'002C~H'002D	H'0058~H'005B
	23	H'002E~H'002F	H'005C~H'005F
内部割り込み*3	24	H'0030~H'0031	H'0060~H'0063
	127	H'00FE~H'00FF	H'01FC~H'01FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

*4 直接遷移については「21.10 直接遷移」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

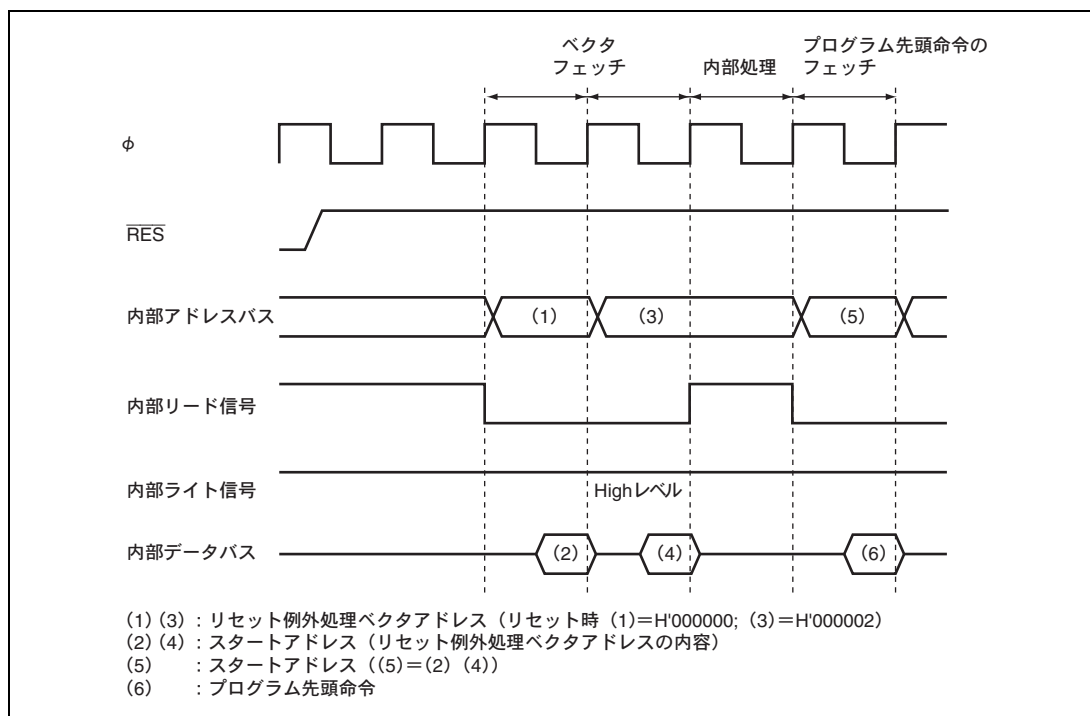


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

4. 例外処理

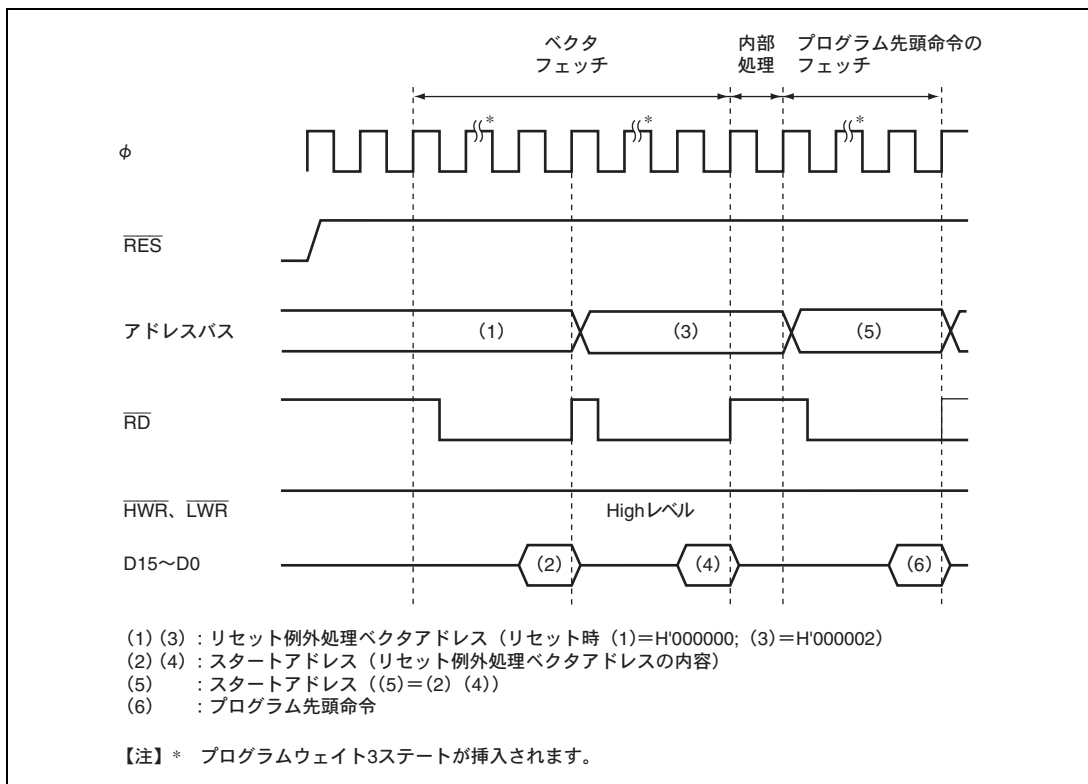


図 4.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効)

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA~MSTPCRD は H'3F、H'FF、H'FF、B'11xxxxxx に初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

【注】 MSTPCRD のビット 5~0 の初期値は不定です。

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが命令を実行するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.3にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.3 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4. 例外処理

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

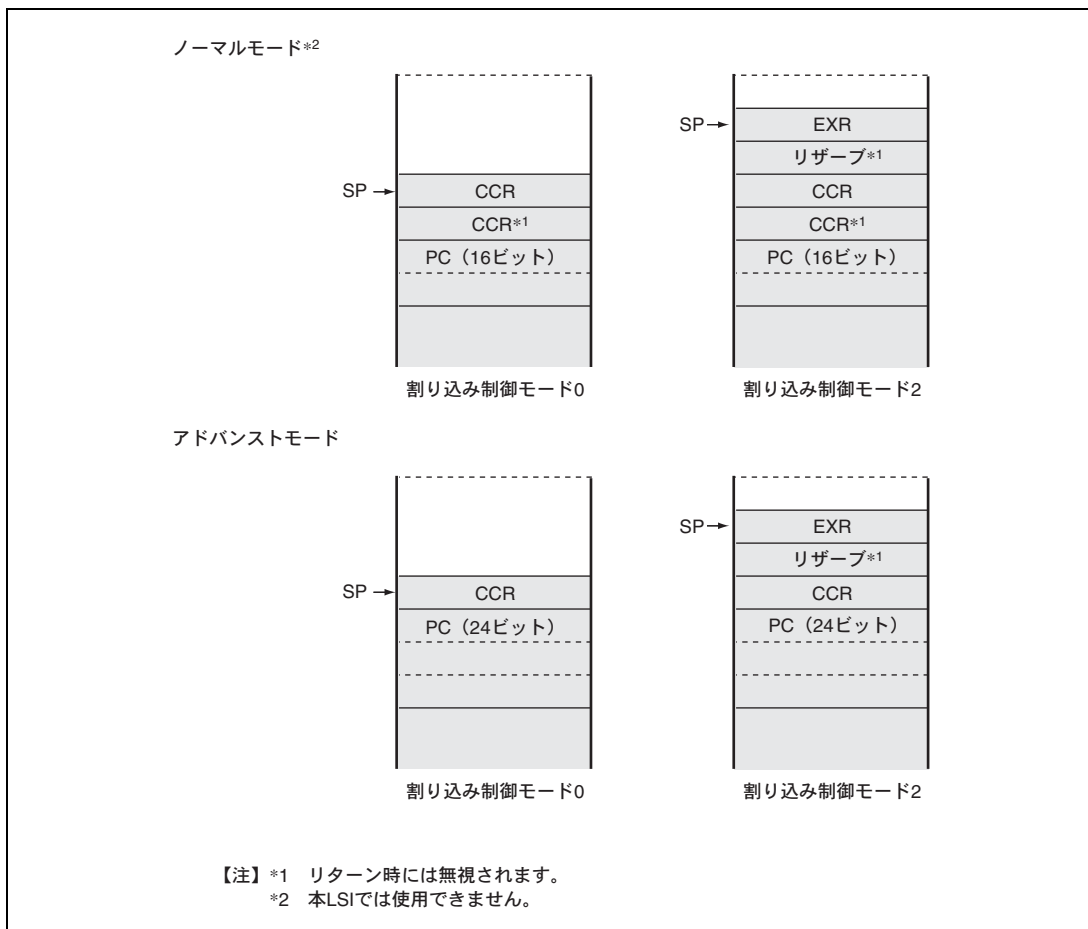


図 4.3 例外処理終了後のスタックの状態

4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.4 に示します。

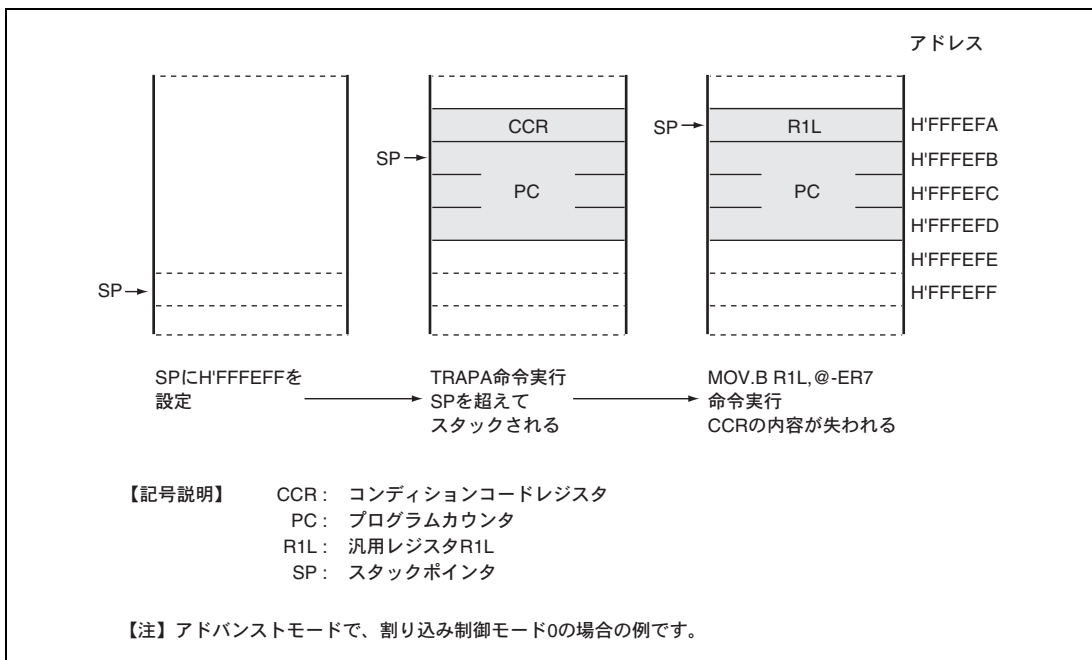


図 4.4 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。

- IPRにより、優先順位を設定可能

インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 7本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{IRQ5} \sim \overline{IRQ0}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

- DTCの制御

割り込み要求によりDTCを起動することができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

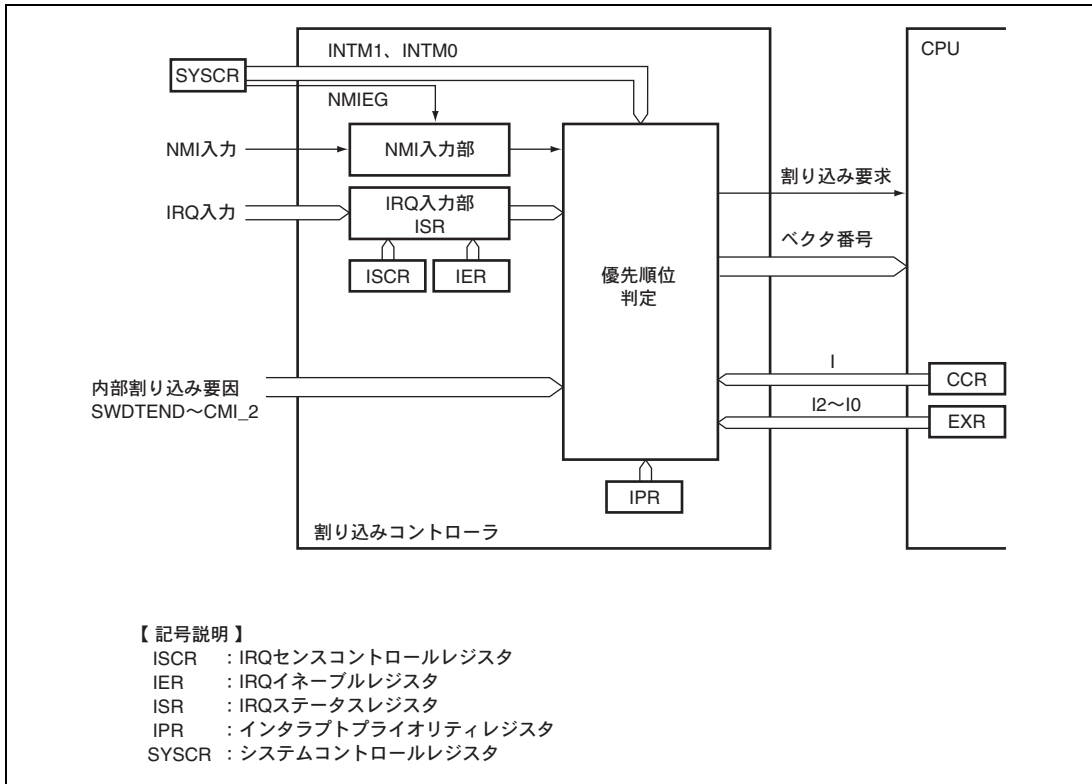


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
IRQ5	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。
IRQ4	入力	
IRQ3	入力	
IRQ2	入力	
IRQ1	入力	
IRQ0	入力	

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCR L)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタL (IPRL)
- インタラプトプライオリティレジスタM (IPRM)

5. 割り込みコントローラ

5.3.1 インタラプトプライオリティレジスタ A~H、J、K、L、M (IPRA~IPRH、IPRJ、IPRK、IPRL、IPRM)

IPR は NMI を除く割り込み要因の優先順位（レベル 7~0）を設定します。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット リードすると常に 0 がリードされます。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。
5	IPR5	1	R/W	000：優先レベル 0（最低）
4	IPR4	1	R/W	001：優先レベル 1 010：優先レベル 2 011：優先レベル 3 100：優先レベル 4 101：優先レベル 5 110：優先レベル 6 111：優先レベル 7（最高）
3	—	0	—	リザーブビット リードすると常に 0 がリードされます。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。
1	IPR1	1	R/W	000：優先レベル 0（最低）
0	IPR0	1	R/W	001：優先レベル 1 010：優先レベル 2 011：優先レベル 3 100：優先レベル 4 101：優先レベル 5 110：優先レベル 6 111：優先レベル 7（最高）

5.3.2 IRQ イネーブルレジスタ (IER)

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ5~IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	ライト時は必ず 0 をライトしてください。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

5.3.3 IRQ センسコントロールレジスタ H, L (ISCRH, ISCRL)

ISCR は $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R/W	リザーブビット ライト時は必ず 0 をライトしてください。
11	IRQ5SCB	0	R/W	IRQ5 センسコントロール B
10	IRQ5SCA	0	R/W	IRQ5 センスコントロール A 00 : $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B
8	IRQ4SCA	0	R/W	IRQ4 センスコントロール A 00 : $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ4}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
7 6	IRQ3SCB IRQ3SCA	0 0	R/W R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00 : $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ3}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ3}}$ 入力の立ち上リエッジで割り込み要求を発生 11 : $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
5 4	IRQ2SCB IRQ2SCA	0 0	R/W R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00 : $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ2}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ2}}$ 入力の立ち上リエッジで割り込み要求を発生 11 : $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
3 2	IRQ1SCB IRQ1SCA	0 0	R/W R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上リエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
1 0	IRQ0SCB IRQ0SCA	0 0	R/W R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上リエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生

5.3.4 IRQ ステータスレジスタ (ISR)

ISR は IRQ5~IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W*	リザーブビット
6	—	0	R/W*	リードすると常に0がリードされます。
5	IRQ5F	0	R/W*	[セット条件]
4	IRQ4F	0	R/W*	• ISCR で選択した割り込み要因が発生したとき
3	IRQ3F	0	R/W*	[クリア条件]
2	IRQ2F	0	R/W*	• 1の状態をリードした後、0をライトしたとき
1	IRQ1F	0	R/W*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき
0	IRQ0F	0	R/W*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のとき

【注】 * フラグをクリアするための0ライトのみ可能です。

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ5～IRQ0 の 7 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスカブル割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスキットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ5～IRQ0 割り込み

IRQ5～IRQ0 割り込みは $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ5～IRQ0 割り込みには以下の特長があります。

- $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQ5～IRQ0割り込み要求はIERによりマスクできます。
- IPRにより割り込みプライオリティレベルを設定できます。
- IRQ5～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ5～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ5～IRQ0 割り込みのブロック図を図 5.2 に示します。

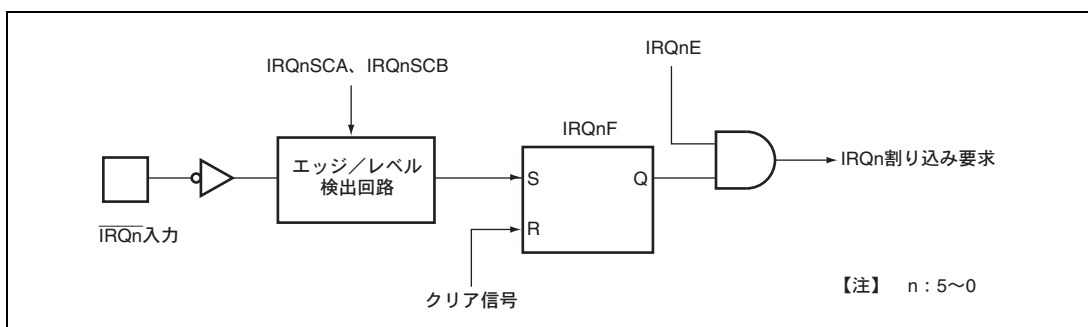


図 5.2 IRQ5～IRQ0 割り込みのブロック図

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDTCを起動することができます。
- 割り込み要求によりDTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5. 割り込みコントローラ

5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。モジュール間の優先順位は、IPR により変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名 称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスモード		
外部端子	NMI	7	H'001C	—	高 ▲
	IRQ0	16	H'0040	IPRA6~IPRA4	
	IRQ1	17	H'0044	IPRA2~IPRA0	
	IRQ2	18	H'0048	IPRB6~IPRB4	
	IRQ3	19	H'004C		
	IRQ4	20	H'0050	IPRB2~IPRB0	
	IRQ5	21	H'0054		
—	システム予約	22	H'0058	—	▼ 低
	システム予約	23	H'005C		
DTC	SWDTEND	24	H'0060	IPRC2~IPRC0	
WDT_0	WOVI0	25	H'0064	IPRD6~IPRD4	
PC ブレークコントローラ	PC ブレーク	27	H'006C	IPRE6~IPRE4	
A/D	ADI	28	H'0070		
WDT_1	WOVI1	29	H'0074	IPRF6~IPRF4	
TPU_0	TGIA_0	32	H'0080		
	TGIB_0	33	H'0084		
	TGIC_0	34	H'0088		
	TGID_0	35	H'008C		
	TCIV_0	36	H'0090		
TPU_1	TGIA_1	40	H'00A0	IPRF2~IPRF0	
	TGIB_1	41	H'00A4		
	TCIV_1	42	H'00A8		
	TCIU_1	43	H'00AC		
TPU_2	TGIA_2	44	H'00B0	IPRG6~IPRG4	
	TGIB_2	45	H'00B4		
	TCIV_2	46	H'00B8		
	TCIU_2	47	H'00BC		

5. 割り込みコントローラ

割り込み要因発生元	名 称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位		
			アドバンストモード				
TPU_3	TGIA_3	48	H'00C0	IPRG2~IPRG0	高 ↑		
	TGIB_3	49	H'00C4				
	TGIC_3	50	H'00C8				
	TGID_3	51	H'00CC				
	TCIV_3	52	H'00D0				
TPU_4	TGIA_4	56	H'00E0	IPRH6~IPRH4	↑		
	TGIB_4	57	H'00E4				
	TCIV_4	58	H'00E8				
	TCIU_4	59	H'00EC				
TPU_5	TGIA_5	60	H'00F0	IPRH2~IPRH0		↑	
	TGIB_5	61	H'00F4				
	TCIV_5	62	H'00F8				
	TCIU_5	63	H'00FC				
SCI_0	ERI_0	80	H'0140	IPRJ2~IPRJ0	↑		
	RXI_0	81	H'0144				
	TXI_0	82	H'0148				
	TEI_0	83	H'014C				
SCI_1	ERI_1	84	H'0150	IPRK6~IPRK4		↑	
	RXI_1	85	H'0154				
	TXI_1	86	H'0158				
	TEI_1	87	H'015C				
SCI_2	ERI_2	88	H'0160	IPRK2~IPRK0	↑		
	RXI_2	89	H'0164				
	TXI_2	90	H'0168				
	TEI_2	91	H'016C				
IIC_0	IIC0	100	H'0190	IPRL2~IPRL0		↑	
	DDCSW1	101	H'0194				
IIC_1	IIC1	102	H'0198		IPRL2~IPRL0		↑
	システム予約	103	H'019C				
モータコントロール PWM タイマ	CMI_1	104	H'01A0				
	CMI_2	105	H'01A4				

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5. 割り込みコントローラ

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はSYSCRで行います。表5.3に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	I	各割り込み要因の優先順位はデフォルトで固定されています。 NMIを除く割り込み要因はIビットによりマスクされます。
2	IPR	I2~I0	IPRによりNMIを除く各割り込み要因に8レベルの優先順位を設定できます。 I2~I0ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIを除く割り込み要求はCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

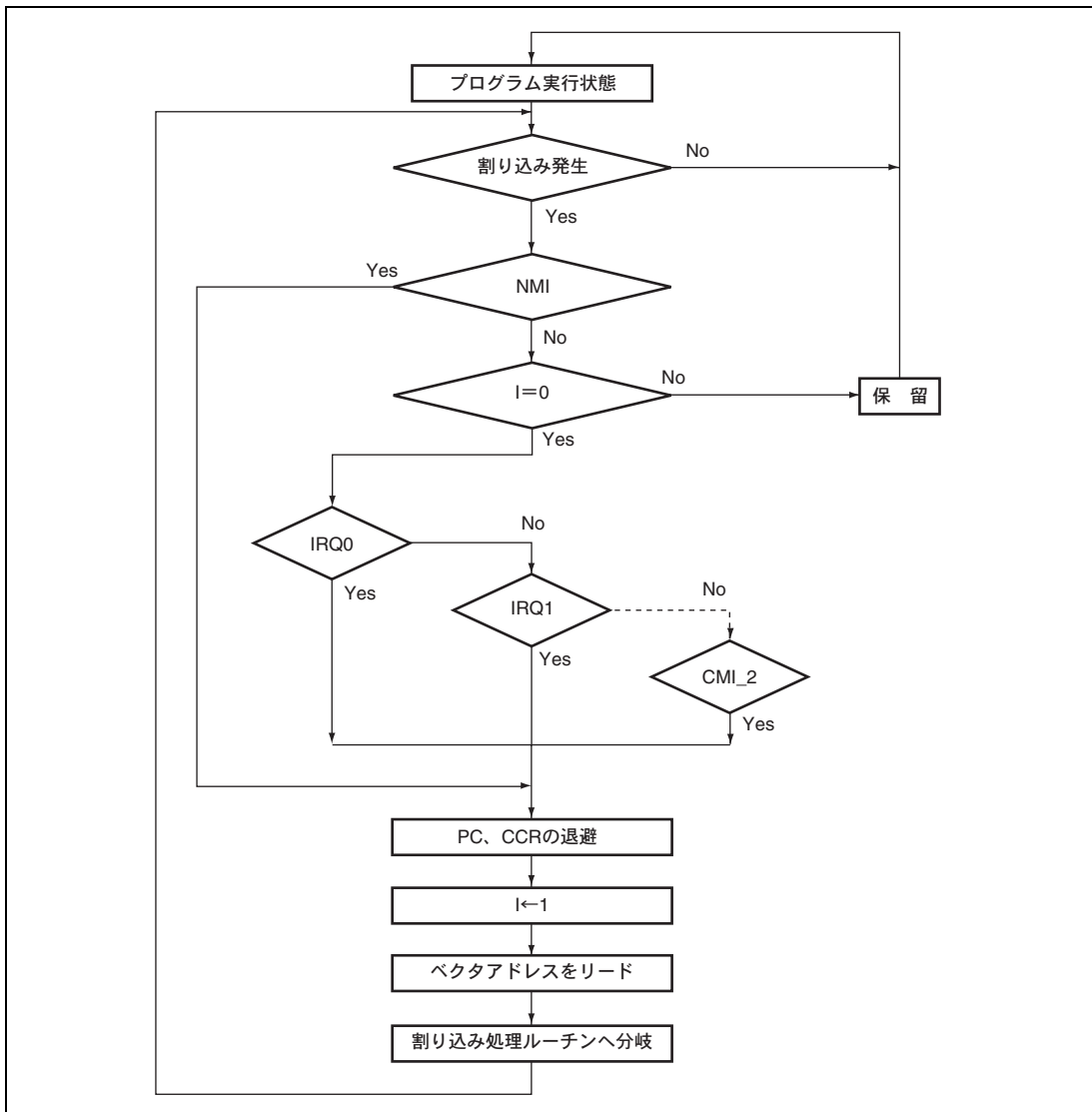


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.2 割り込み制御モード2

割り込み制御モード2ではNMIを除く割り込み要求はCPUのEXRの割り込みマスクレベル(I2~I0ビット)とIPRとの比較によって8レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラはIPRに設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表5.3に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

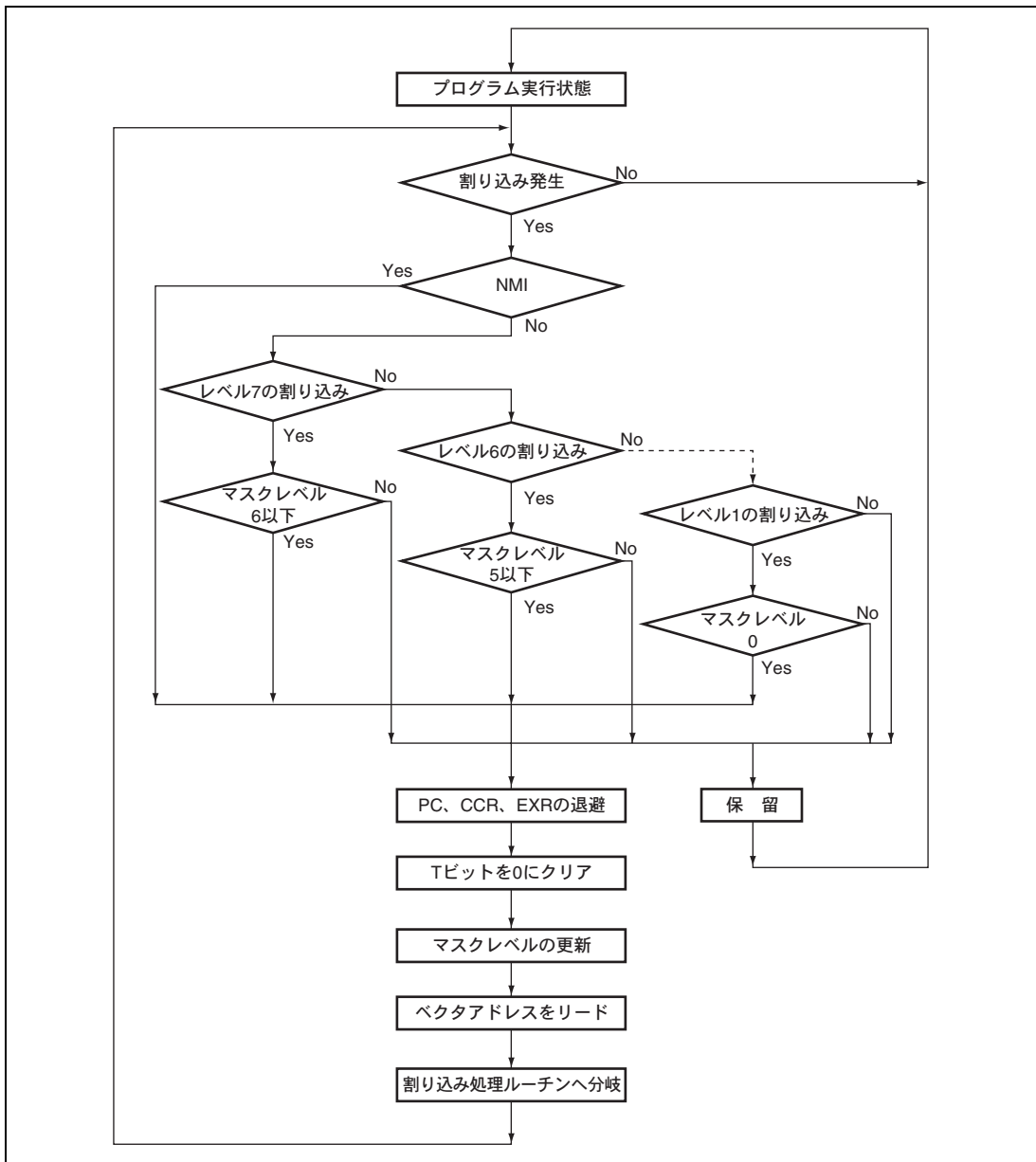


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.3 割り込み例外処理シーケンス

図 5.5 に、割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

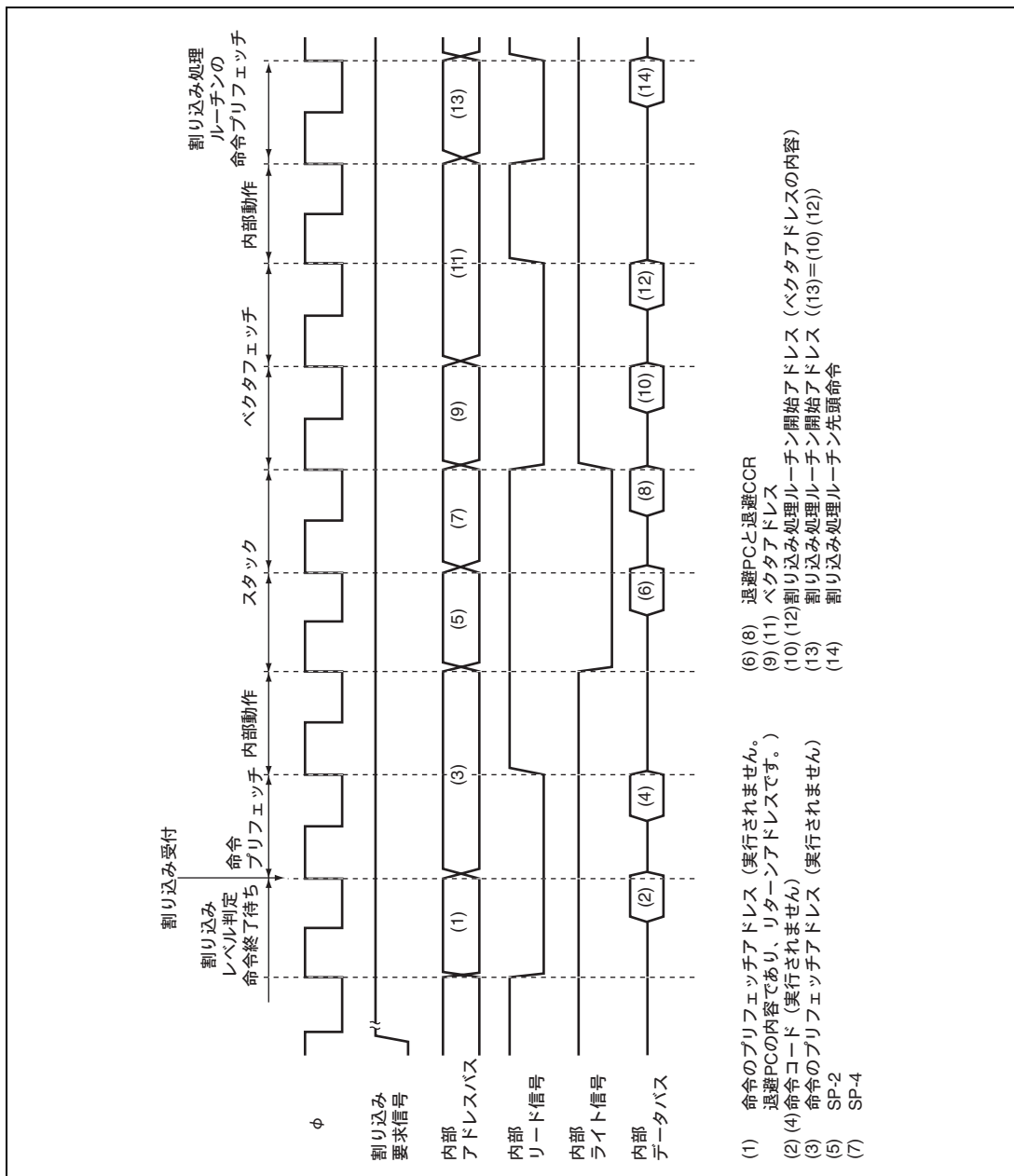


図 5.5 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ち状態数*2	$1 \sim 19 + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計（内蔵メモリ使用時）		11~31	12~32	12~32	13~33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステートア クセス	2 ステートア クセス	3 ステートア クセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5. 割り込みコントローラ

5.6.5 割り込みによる DTC の起動

割り込み要求により、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER_0 の TCIEV を 0 にクリアする場合の例を図 5.6 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

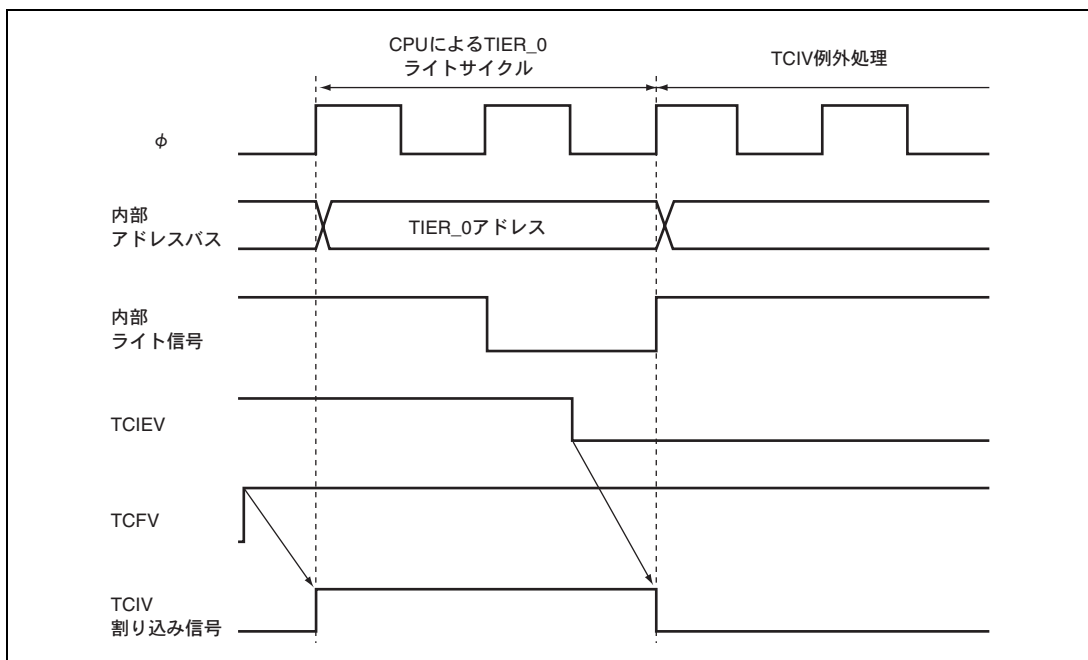


図 5.6 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません

5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W   R4, R4
        BNE    L1
```

5. 割り込みコントローラ

6. PC ブレークコントローラ (PBC)

PC ブレークコントローラ (PBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても LSI 単体で手軽にプログラムをデバッグできます。PC ブレークコントローラのブロック図を図 6.1 に示します。

6.1 特長

- チャンネル数：2チャンネル (チャンネルA、B)
- ブレークアドレス：24ビット
 - 部分的にマスク可能
- コンペア条件：4種類
 - 命令フェッチ
 - データリード
 - データライト
 - データリード/ライト
- 対象バスマスタ
 - CPU、CPU/DTCのいずれか選択可能
- ブレーク条件成立後、下記タイミングでPCブレーク例外処理を実行
 - 設定したアドレスでフェッチした命令の実行直前 (命令フェッチ)
 - 設定したアドレスのデータをアクセスする命令の実行直後 (データアクセス)
- モジュールストップモードの設定可能

6. PC ブレークコントローラ (PBC)

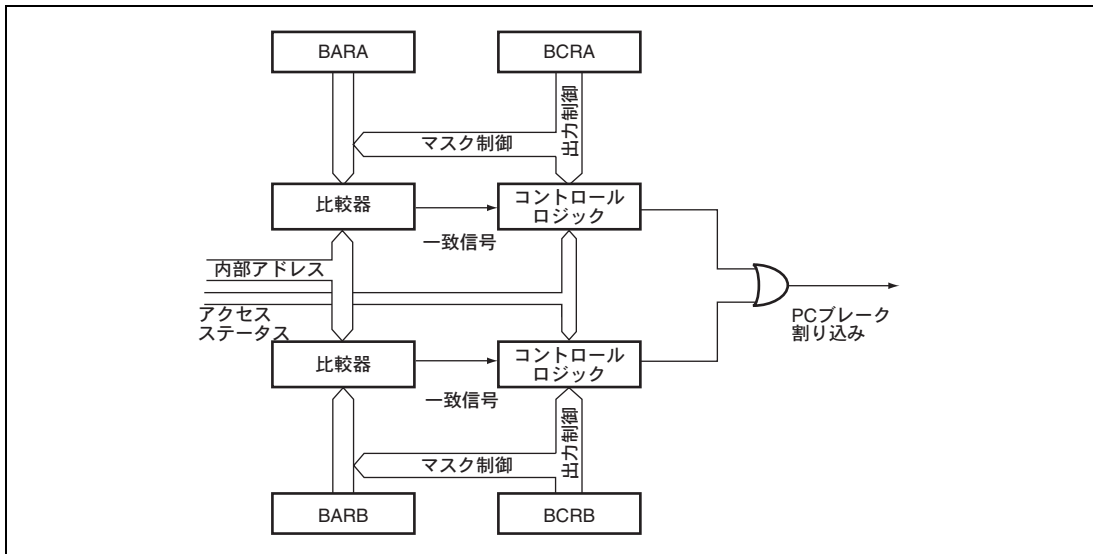


図 6.1 PC ブレークコントローラのブロック図

6.2 レジスタの説明

PC ブレークコントローラには以下のレジスタがあります。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスレジスタB (BARB)
- ブレークコントロールレジスタA (BCRA)
- ブレークコントロールレジスタB (BCRB)

6.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットのリード/ライト可能なレジスタで、チャンネル A のブレークアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて不定	—	リザーブビット リード値は不定で、ライトは無効です。
23~0	BAA23~BAA0	H'000000	R/W	チャンネル A の PC ブレークのアドレスを設定します。

6.2.2 ブレークアドレスレジスタ B (BARB)

チャンネル B のブレークアドレスレジスタです。ビット構成は BARA と同様です。

6.2.3 ブレークコントロールレジスタ A (BCRA)

BCRA はチャンネル A の PC ブレークを制御します。また、条件一致フラグを持っています。

ビット	ビット名	初期値	R/W	説明
7	CMFA	0	R/W	コンディションマッチフラグ A [セット条件] チャンネル A に設定したブレーク条件が成立したとき [クリア条件] 1 の状態をリード後、0 をライトしたとき
6	CDA	0	R/W	CPU サイクル/DTC サイクルセレクト A チャンネル A のブレーク条件のバスマスタを選択します。 0 : CPU 1 : CPU または DTC
5 4 3	BAMRA2 BAMRA1 BAMRA0	0 0 0	R/W R/W R/W	ブレークアドレスマスクレジスタ A2~A0 BARA に設定されているブレークアドレスの有効ビットを指定します。 000 : BAA23~0 (全ビット有効) 001 : BAA23~1 (下位 1 ビットをマスク) 010 : BAA23~2 (下位 2 ビットをマスク) 011 : BAA23~3 (下位 3 ビットをマスク) 100 : BAA23~4 (下位 4 ビットをマスク) 101 : BAA23~8 (下位 8 ビットをマスク) 110 : BAA23~12 (下位 12 ビットをマスク) 111 : BAA23~16 (下位 16 ビットをマスク)
2 1	CSELA1 CSELA0	0 0	R/W R/W	ブレーク条件選択 チャンネル A のブレーク条件を選択します。 00 : 命令フェッチ 01 : データリードサイクル 10 : データライトサイクル 11 : データリード/ライトサイクル
0	BIEA	0	R/W	ブレーク割り込みイネーブル 1 のときチャンネル A の PC ブレーク割り込み要求がイネーブルになります。

6.2.4 ブレークコントロールレジスタ B (BCRB)

チャンネル B のブレークコントロールレジスタです。ビット構成は、BCRA と同様です。

6.3 動作説明

チャンネルAを例にブレーク条件の初期設定からPCブレーク割り込み例外処理までの動作の流れを「6.3.1 命令フェッチによるPCブレーク割り込み動作」、「6.3.2 データアクセスによるPCブレーク割り込み動作」に示します。

6.3.1 命令フェッチによるPCブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

命令フェッチによるPCブレークでは、命令の第1バイトが存在するアドレスにブレークアドレスを設定してください。

2. ブレーク条件をBCRに設定します。

命令フェッチによるPCブレークではバスマスタはCPUに限定されるため、ビット6 (CDA) には0を設定してCPUを選択してください。ビット5~3 (BAMA2~0) にマスクするアドレスのビットを設定します。ビット2~1 (CSELA1~0) には00を設定して命令フェッチをブレーク条件とします。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスの命令をフェッチすると、フェッチした命令を実行する直前でPCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

6.3.2 データアクセスによるPCブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

データアクセスによるPCブレークでは、ブレークアドレスを対象のROMまたはRAM、I/Oあるいは外部アドレス空間のアドレスに設定してください。データアクセスにはスタック動作や分岐アドレスのリードも含まれます。

2. ブレーク条件をBCRAに設定します。

ビット6 (CDA) でバスマスタを選択してください。ビット5~3 (BAMA2~0) にマスクするアドレスのビットを設定します。ビット2~1 (CSELA1~0) に01、10または11を設定してデータアクセスのブレーク条件を設定します。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスのデータをアクセスした命令の実行後、PCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

6.3.3 データ連続転送時の PC ブレーク動作

- EEPMOV.B命令の転送アドレスにPCブレーク割り込みが発生した場合
すべてのデータの転送が終了しEEPMOV.B命令が終了した後、PCブレーク例外処理を実行します。
- DTCの転送アドレスにブレーク割り込みが発生した場合
DTCが指定された回数のデータ転送を終了した後、あるいはDISELビットが1にセットされたデータを転送終了した後、PCブレーク例外処理を実行します。

6.3.4 低消費電力モード遷移時の動作

SLEEP 命令の次のアドレスの命令フェッチに PC ブレーク割り込みを設定した場合、以下のように動作します。

- SLEEP命令により高速（中速）モードからスリープモードへ、サブアクティブモードからサブスリープモードへ遷移する場合SLEEP命令実行後、スリープモード、サブスリープモードへ遷移しないで、PCブレーク例外処理を実行します。PCブレーク例外処理実行後、SLEEP命令の次のアドレスの命令を実行します（図6.2 (A)）。
- SLEEP命令により高速（中速）モードからサブアクティブモードへ遷移する場合SLEEP命令実行後、直接遷移例外処理を経てサブアクティブモードへ遷移します。遷移後、PCブレーク例外処理を実行、SLEEP命令の次のアドレスの命令を実行します（図6.2 (B)）。
- SLEEP命令によりサブアクティブモードから高速（中速）モードへ遷移する場合SLEEP命令実行後、クロック発振安定時間、直接遷移例外処理を経て高速（中速）モードへ遷移します。遷移後、PCブレーク例外処理を実行、SLEEP命令の次のアドレスの命令を実行します（図6.2 (C)）。
- SLEEP命令によりソフトウェアスタンバイモード、ウォッチモードへ遷移する場合SLEEP命令実行後、各モードに遷移し、PCブレーク例外処理は実行しません。ただしCMFA、CMFBはセットされます（図6.2 (D)）

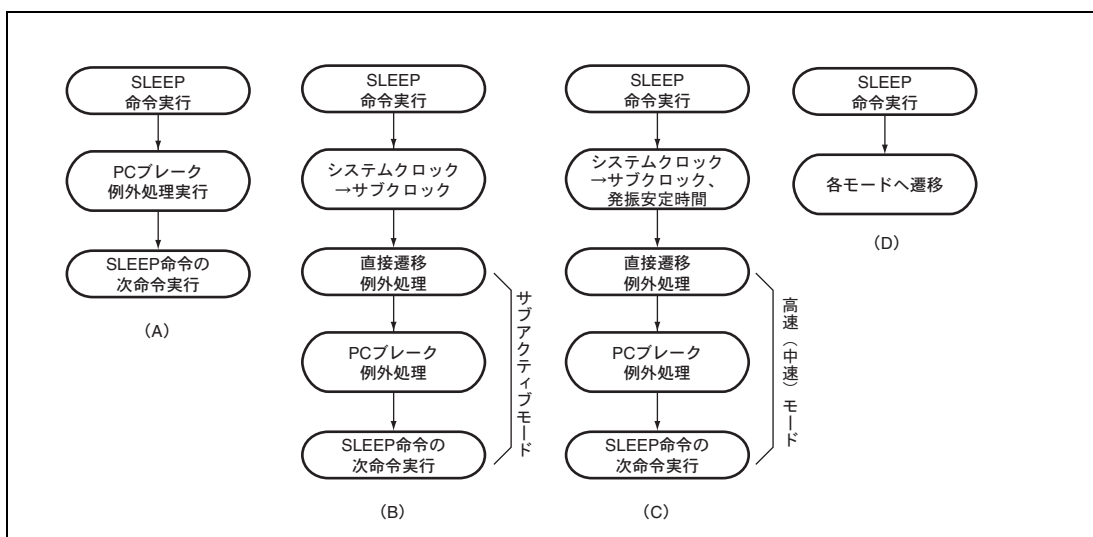


図 6.2 低消費電力モード遷移時の動作

6.3.5 命令実行が1ステート遅れる場合

ブレーク割り込みイネーブルビットがセットされている期間、通常の動作と比較して以下の命令の実行が1ステート遅れます。

- 内蔵ROM/RAM内に存在する1ワード分岐命令 (Bcc d:8, BSR, JSR, JMP, TRAPA, RTE, RTS)
- 命令フェッチによるブレーク割り込みを設定した場合で、ブレークアドレスが内蔵ROM/RAM空間にあって、同一アドレスをデータアクセスする命令
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より一つ前に実行される命令が以下のアドレッシングモードを持ち、そのアドレスが内蔵ROM/RAM空間にある場合
(@ERn,@(d:16,ERn),@(d:32,ERn),@-ERn/ERn+,@aa:8,@aa:24,@aa:32,@(d:8,PC),@(d:16,:PC),@@aa:8)
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より一つ前に実行される命令がNOP、SLEEPであるか、あるいは#xx,Rnをアドレッシングモードとして持ち、かつその命令が内蔵ROM/RAM空間に存在する場合

6.4 使用上の注意事項

6.4.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PBCの動作禁止/許可を設定することが可能です。初期値では、PBCの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第21章 低消費電力状態」を参照してください。

6.4.2 PC ブレーク割り込み

PC ブレーク割り込みは、チャンネルAとチャンネルBの兼用です。割り込み処理の中でどちらのチャンネルからの要求かを判定してください。

6.4.3 CMFA、CMFB

CMFA、CMFBは自動的にクリアされませんので、CMFA=1またはCMFB=1の状態では、CMFAまたはCMFBをリード後、0をライトしてください。1にセットしたままの状態では、割り込み処理後、再度割り込み要求が発生します。

6.4.4 DTC がバスマスタのときに発生した PC ブレーク割り込み

DTC がバスマスタのときに発生した PC ブレーク割り込みはバス権が CPU に移行した後に受け付けられます。

6.4.5 BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合

BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令はフェッチされても実行しないため、次のアドレスの命令フェッチで PC ブレーク割り込みは発生しません。

6.4.6 LDC、ANDC、ORC、XORC 命令により 1 ビットを設定した場合

LDC、ANDC、ORC、XORC 命令により 1 ビットを設定した場合、実行命令終了の 2 ステート後に PC ブレーク割り込みが有効になります。また、これらの命令の次命令に PC ブレーク割り込みを設定した場合、LDC、ANDC、ORC、XORC は、3 ステート期間、NMI 割り込みを含めて割り込みが禁止されるため、必ず次の命令を実行します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

6.4.7 Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により次のアドレスの命令を実行するときは PC ブレーク割り込みを発生しますが、次のアドレスの命令を実行しないときは PC ブレーク割り込みを発生しません。

6.4.8 Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により分岐先の命令を実行するときは PC ブレーク割り込みを発生しますが、分岐先の命令を実行しないときは PC ブレーク割り込みを発生しません。

6. PC ブレークコントローラ (PBC)

7. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU およびデータトランスファコントローラ (DTC) の動作を制御します。

バスコントローラのブロック図を図 7.1 に示します。

7.1 特長

- 外部アドレス空間をエリア単位で管理

外部アドレス空間を 2M バイト単位の 8 エリアに分割して管理

エリアごとにバス仕様を設定可能

バーストROM インタフェースを設定可能

- 基本バスインタフェース

エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能

エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能

エリアごとにプログラムウェイトステートを挿入可能

- バーストROM インタフェース

エリア 0 に対してバーストROM インタフェースを設定可能

バーストアクセスは 1 または 2 ステートを選択可能

- アイドルサイクル挿入

異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能

外部リードサイクル直後の外部ライトサイクル時、アイドルサイクルを挿入可能

- バス権調停機能 (バスアービトレーション)

バスアービタを内蔵し、CPU および DTC のバス権などを調停

7. バスコントローラ (BSC)

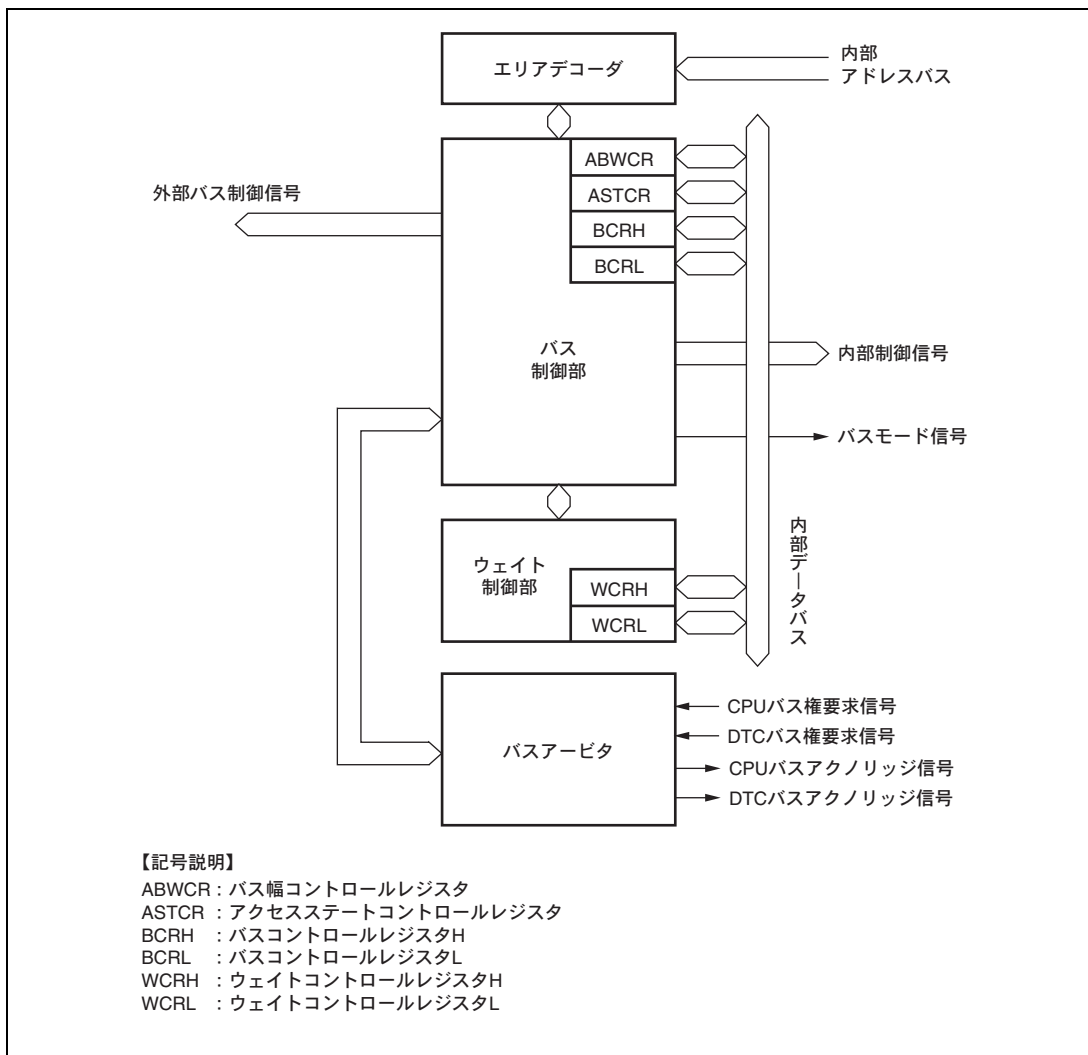


図 7.1 バスコントローラのブロック図

7.2 入出力端子

表 7.1 にバスコントローラの端子構成を示します。

表 7.1 端子構成

名称	記号	入出力	機能
アドレスストロブ	\overline{AS}	出力	外部アドレス空間をアクセスし、アドレスバス上のアドレス出力が有効であることを示すストロブ信号
リード	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストロブ信号
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロブ信号
ロウライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロブ信号

7.3 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタH (WCRH)
- ウェイトコントロールレジスタL (WCRL)
- バスコントロールレジスタH (BCRH)
- バスコントロールレジスタL (BCRL)
- 端子機能コントロールレジスタ (PFCR)

7.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアを 8 ビットアクセス空間、または 16 ビットアクセス空間のいずれかに設定します。

ビット	ビット名	初期値	R/W	説明
7	ABW7	1/0*	R/W	エリア 7~0 バス幅コントロール
6	ABW6	1/0*	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。 0 : エリア n を 16 ビットアクセス空間に設定 1 : エリア n を 8 ビットアクセス空間に設定 (n=7~0)
5	ABW5	1/0*	R/W	
4	ABW4	1/0*	R/W	
3	ABW3	1/0*	R/W	
2	ABW2	1/0*	R/W	
1	ABW1	1/0*	R/W	
0	ABW0	1/0*	R/W	

【注】 * モード 4 のとき初期値は 0、モード 5~7 のとき初期値は 1 になります。

7. バスコントローラ (BSC)

7.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。 0 : エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1 : エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n=7~0)
5	AST5	1	R/W	
4	AST4	1	R/W	
3	AST3	1	R/W	
2	AST2	1	R/W	
1	AST1	1	R/W	
0	AST0	1	R/W	

7.3.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

• WCRH

ビット	ビット名	初期値	R/W	説明
7	W71	1	R/W	エリア 7 ウェイトコントロール 1、0 ASTCR の AST7=1 のとき、エリア 7 をアクセスするときのプログラムウェイトステート数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入
6	W70	1	R/W	
5	W61	1	R/W	エリア 6 ウェイトコントロール 1、0 ASTCR の AST6=1 のとき、エリア 6 をアクセスするときのプログラムウェイトステート数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入
4	W60	1	R/W	
3	W51	1	R/W	エリア 5 ウェイトコントロール 1、0 ASTCR の AST5=1 のとき、エリア 5 をアクセスするときのプログラムウェイトステート数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入
2	W50	1	R/W	

7. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1	W41	1	R/W	エリア 4 ウェイトコントロール 1、0
0	W40	1	R/W	ASTCR の AST4=1 のとき、エリア 4 をアクセスするときのプログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを 1 ステート挿入 10: プログラムウェイトを 2 ステート挿入 11: プログラムウェイトを 3 ステート挿入

• WCRL

ビット	ビット名	初期値	R/W	説明
7	W31	1	R/W	エリア 3 ウェイトコントロール 1、0
6	W30	1	R/W	ASTCR の AST3=1 のとき、エリア 3 をアクセスするときのプログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを 1 ステート挿入 10: プログラムウェイトを 2 ステート挿入 11: プログラムウェイトを 3 ステート挿入
5	W21	1	R/W	エリア 2 ウェイトコントロール 1、0
4	W20	1	R/W	ASTCR の AST2=1 のとき、エリア 2 をアクセスするときのプログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを 1 ステート挿入 10: プログラムウェイトを 2 ステート挿入 11: プログラムウェイトを 3 ステート挿入
3	W11	1	R/W	エリア 1 ウェイトコントロール 1、0
2	W10	1	R/W	ASTCR の AST1=1 のとき、エリア 1 をアクセスするときのプログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを 1 ステート挿入 10: プログラムウェイトを 2 ステート挿入 11: プログラムウェイトを 3 ステート挿入
1	W01	1	R/W	エリア 0 ウェイトコントロール 1、0
0	W00	1	R/W	ASTCR の AST0=1 のとき、エリア 0 をアクセスするときのプログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを 1 ステート挿入 10: プログラムウェイトを 2 ステート挿入 11: プログラムウェイトを 3 ステート挿入

7. バスコントローラ (BSC)

7.3.4 バスコントロールレジスタ H (BCRH)

BCRH はアイドルサイクル挿入の禁止/許可、およびバースト ROM インタフェースの各種設定を行います。

ビット	ビット名	初期値	R/W	説 明
7	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続するとき、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
6	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続するとき、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル エリア 0 をバースト ROM インタフェースに選択します。 0: エリア 0 は基本バスインタフェース 1: エリア 0 はバースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: バーストサイクルは 1 ステート 1: バーストサイクルは 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: バーストアクセスは最大 4 ワード 1: バーストアクセスは最大 8 ワード
2~0	—	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

7.3.5 バスコントロールレジスタ L (BCRL)

BCRL はライトデータバッファ機能、 $\overline{\text{WAIT}}$ 端子入力の禁止/許可を選択します。

ビット	ビット名	初期値	R/W	説 明
7	—	0	R/W	リザーブビット
6	—	0	R/W	ライトするときは0をライトしてください。
5	—	0	—	リザーブビット リードすると常に0がリードされます。ライトは無効です。
4	—	0	R/W	リザーブビット ライトするときは0をライトしてください。
3	—	1	R/W	リザーブビット ライトするときは1をライトしてください。
2	—	0	R/W	リザーブビット ライトするときは0をライトしてください。
1	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクルのときライトデータバッファ機能を選択できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する
0	—	0	R/W	リザーブビット ライトするときは0をライトしてください。

7. バスコントローラ (BSC)

7.3.6 端子機能コントロールレジスタ (PFCR)

PFCR は内蔵 ROM 有効拡張モード時のアドレス出力の制御を行います。

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 0	—	リザーブビット ライト時は 0 をライトしてください。
3	AE3	0/1*	R/W	アドレス出力イネーブル 3~0
2	AE2	0/1*	R/W	内蔵 ROM 拡張モード時の A8~A23 のアドレス出力を制御します。アドレス出力を許可した端子は、対応する DDR に関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応する DDR を 1 にセットすることでポート出力となります。また、A7~A0 端子は対応する DDR を 1 にセットすることでアドレス出力となります。 0000 : A8~A23 出力を禁止 0001 : A8 出力を許可、A9~A23 出力を禁止 0010 : A8、A9 出力を許可、A10~A23 出力を禁止 0011 : A8~A10 出力を許可、A11~A23 出力を禁止 0100 : A8~A11 出力を許可、A12~A23 出力を禁止 0101 : A8~A12 出力を許可、A13~A23 出力を禁止 0110 : A8~A13 出力を許可、A14~A23 出力を禁止 0111 : A8~A14 出力を許可、A15~A23 出力を禁止 1000 : A8~A15 出力を許可、A16~A23 出力を禁止 1001 : A8~A16 出力を許可、A17~A23 出力を禁止 1010 : A8~A17 出力を許可、A18~A23 出力を禁止 1011 : A8~A18 出力を許可、A19~A23 出力を禁止 1100 : A8~A19 出力を許可、A20~A23 出力を禁止 1101 : A8~A20 出力を許可、A21~A23 出力を禁止 1110 : A8~A21 出力を許可、A22、A23 出力を禁止 1111 : A8~A23 出力を許可
1	AE1	0	R/W	
0	AE0	0/1*	R/W	

【注】 * 内蔵 ROM 有効拡張モードのとき、ビット 3~0 の初期値は B'0000 です。また、内蔵 ROM 無効拡張モードのとき、ビット 3~0 の初期値は B'1101 です。

7.4 バス制御

7.4.1 エリア分割

バスコントローラは、アドバンスモードではアドレス 16M バイトのアドレス空間を、2M バイト単位でエリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。図 7.2 にエリア分割を示します。

【注】 本 LSI ではノーマルモードでは使用できません。

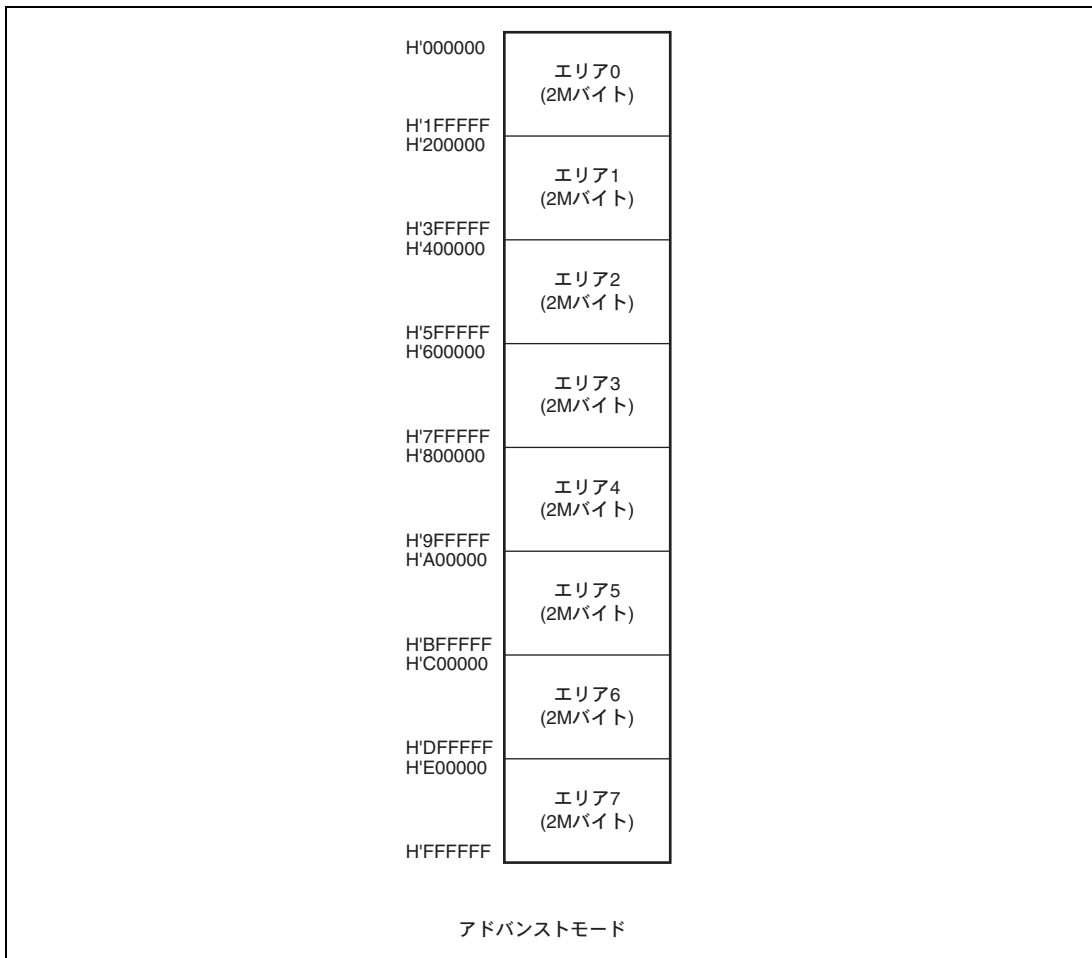


図 7.2 エリア分割

7. バスコントローラ (BSC)

7.4.2 バス仕様

外部アドレス空間のバス仕様は、(1) バス幅、(2) アクセスステート数、(3) プログラムウェイトステート数の3つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は、ABWCR により 8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間となります。すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(2) アクセスステート数

アクセスステート数は、ASTCR により 2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間となります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。3 ステートアクセス空間に設定すると、WCRH、WCRL によるプログラムウェイトと、 $\overline{\text{WAIT}}$ 端子による外部ウェイトを挿入することが可能となります。

(3) プログラムウェイトステート数

ASTCR により 3 ステートアクセス空間に設定したとき、WCRH、WCRL により自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。バス幅、アクセスステート数、プログラムウェイトステート数による基本バスインタフェースの各エリアのバス仕様を表 7.2 に示します。

表 7.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH, WCRL		バス仕様 (基本バスインタフェース)			
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数	
0	0	—	—	16	2	0	
			0				
	1	0	0		3	0	
			1				
		1	0				2
			1				
1	0	—	—	8	2	0	
			0				
	1	0	0		3	0	
			1				
		1	0				2
			1				

(n=0~7)

7.4.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などと直結が可能です。

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。

(1) エリア 0

エリア 0 は内蔵 ROM 有効拡張モードでは内蔵 ROM を含んでおり、内蔵 ROM を除いた空間が外部アドレス空間となります。内蔵 ROM 無効拡張モードではエリア 0 のすべての空間が外部アドレス空間となります。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

(2) エリア 1~6

エリア 1~6 は、外部拡張モードのとき、すべての空間が外部アドレス空間となります。

エリア 1~6 は、基本バスインタフェースのみ使用できます。

(3) エリア 7

エリア 7 は、内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効となり、対応するアドレスは外部アドレス空間になります。

エリア 7 は、基本バスインタフェースのみ使用できます。

7.5 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

7.5.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部アドレス空間をアクセスするとき上位側データバス (D15~D8) を使用するか、下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、または 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 7.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15~D8) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

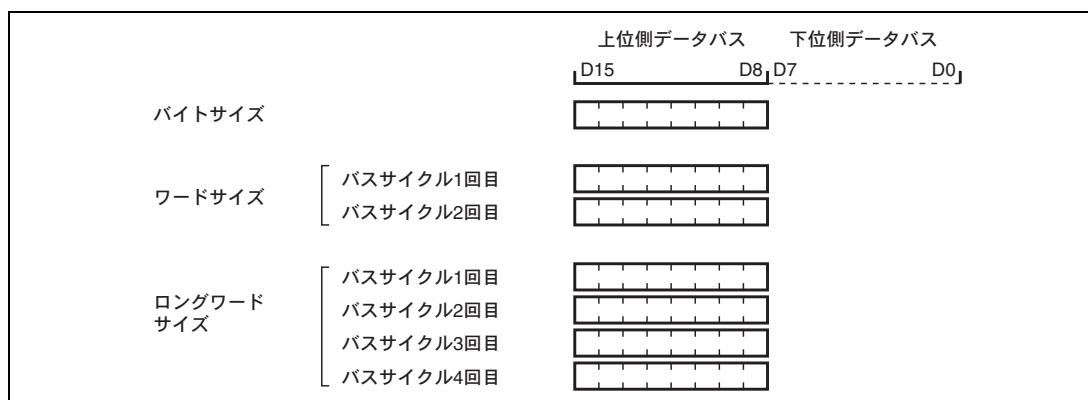


図 7.3 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 7.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

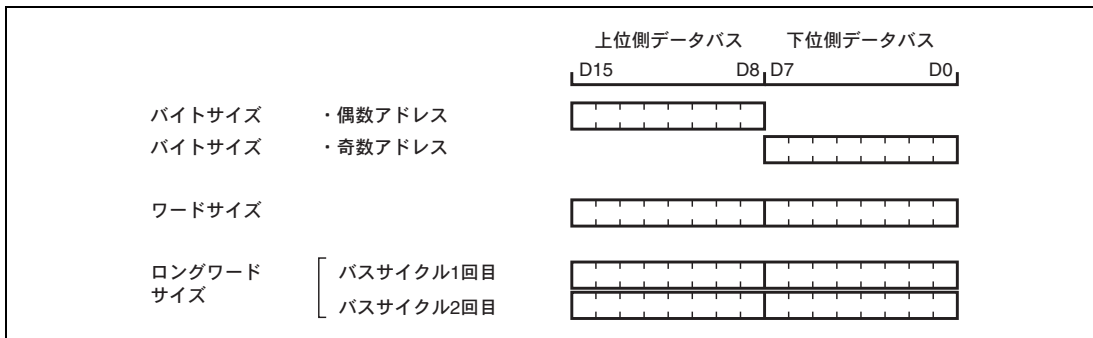


図 7.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

7.5.2 有効ストロープ

表 7.3 にアクセス空間と使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 7.3 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8ビット アクセス空間	バイト	リード	—	\overline{RD}	有効	無効
		ライト	—	\overline{HWR}		Hi-Z
16ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	—	\overline{RD}	有効	有効
		ライト	—	\overline{HWR} , \overline{LWR}	有効	有効

【注】 Hi-Z: ハイインピーダンス状態

無効: 入力状態で、入力値は無視されます。

7.5.3 基本動作タイミング

(1) 8ビット2ステートアクセス空間

図 7.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することはできません。

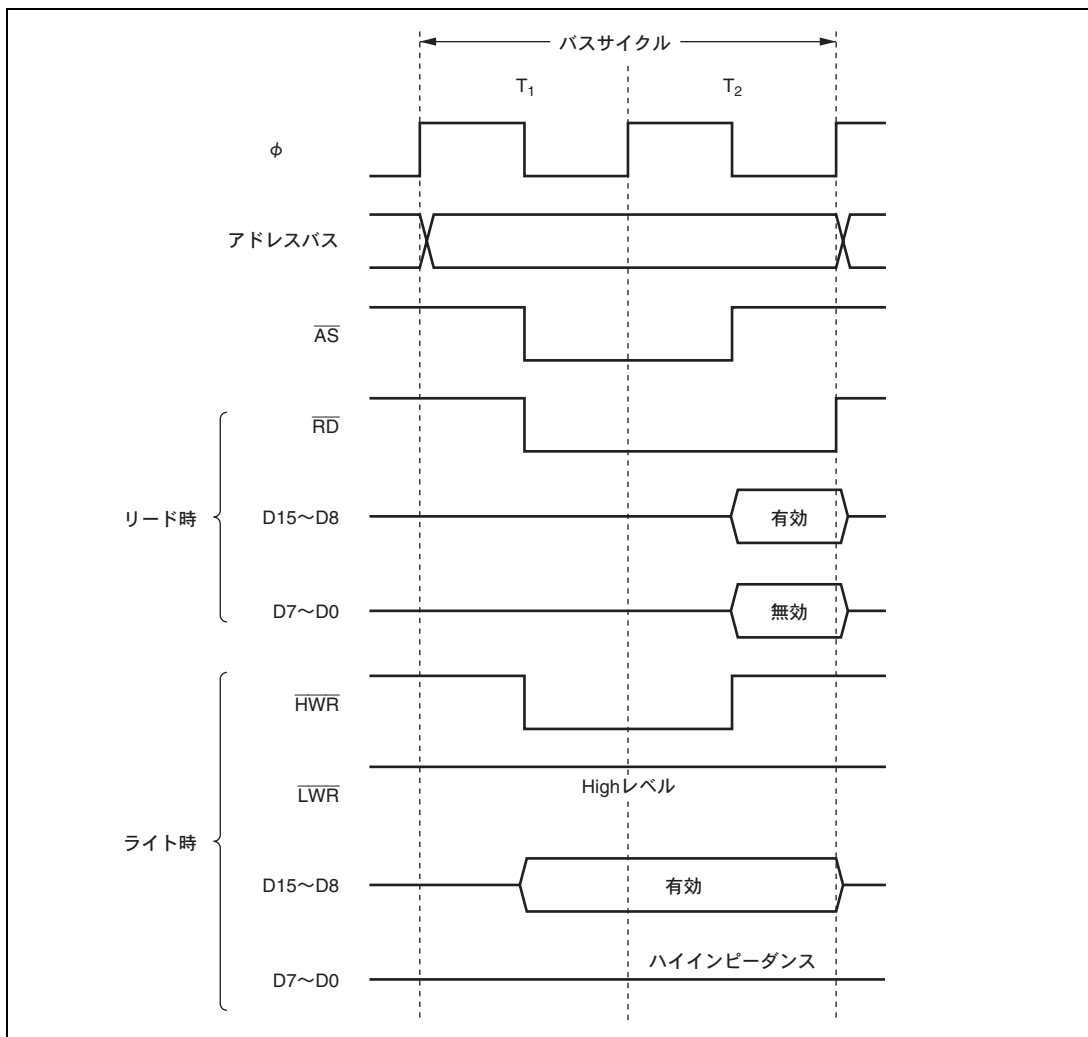


図 7.5 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図7.6に8ビット3ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

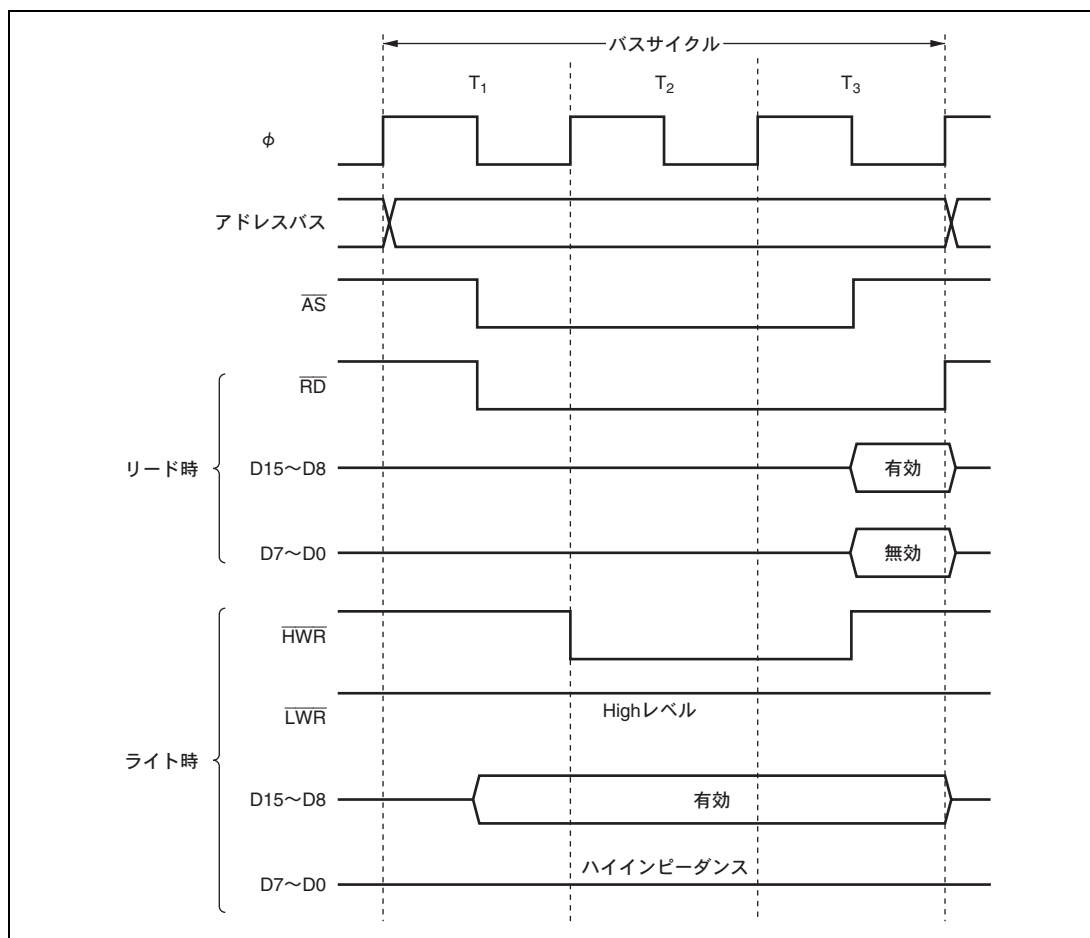


図 7.6 8ビット3ステートアクセス空間のバスタイミング

7. バスコントローラ (BSC)

(3) 16ビット2ステートアクセス空間

図7.7～図7.9に16ビット2ステートアクセス空間のバスタイミングを示します。16ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

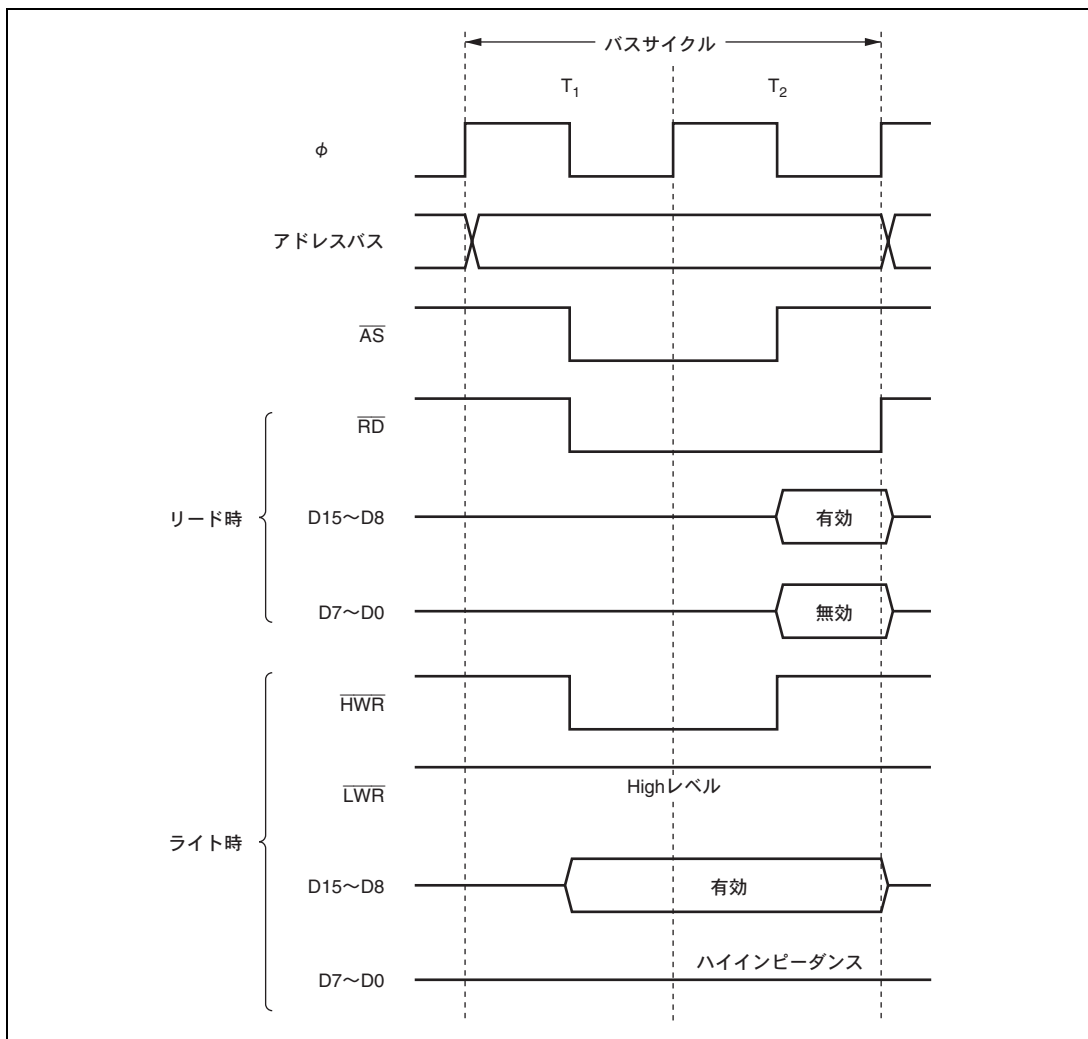


図7.7 16ビット2ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

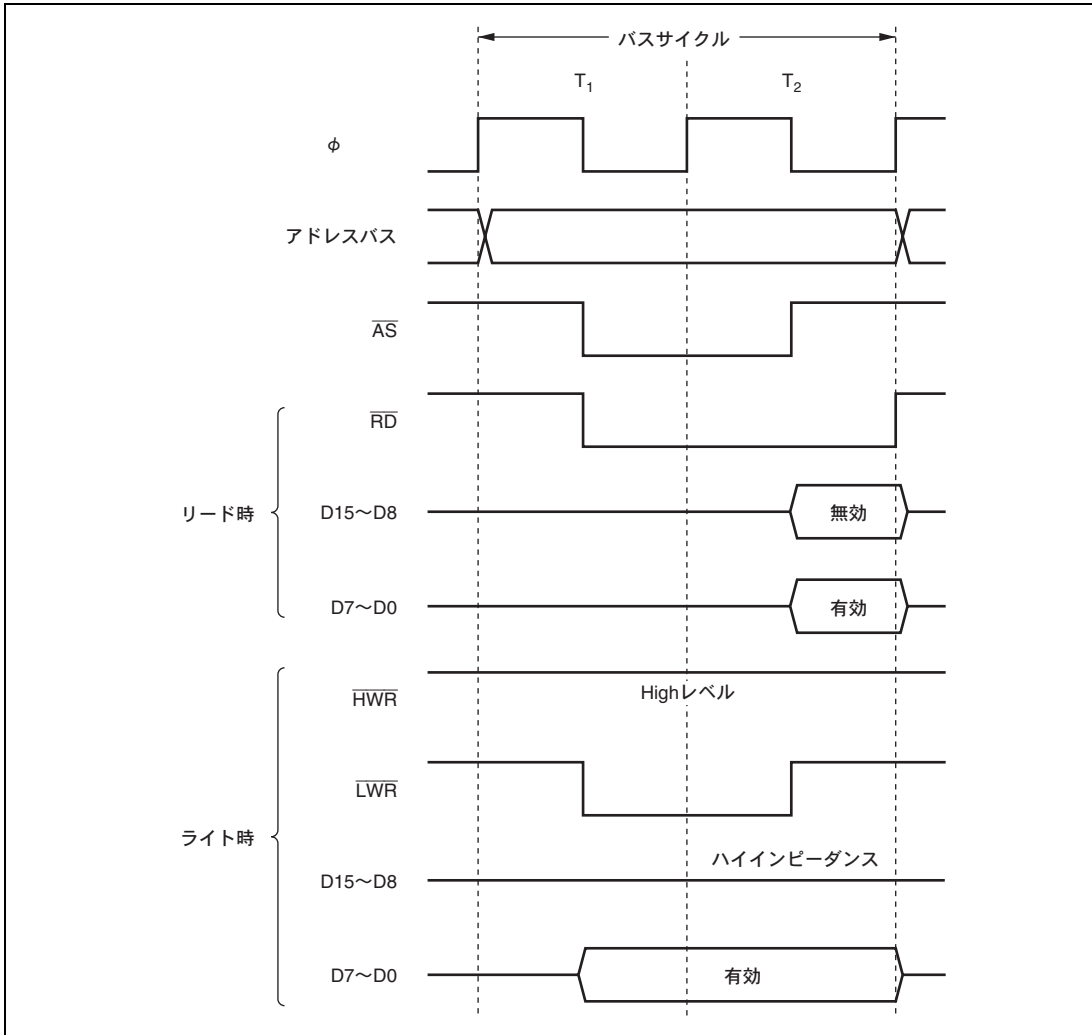


図 7.8 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

7. バスコントローラ (BSC)

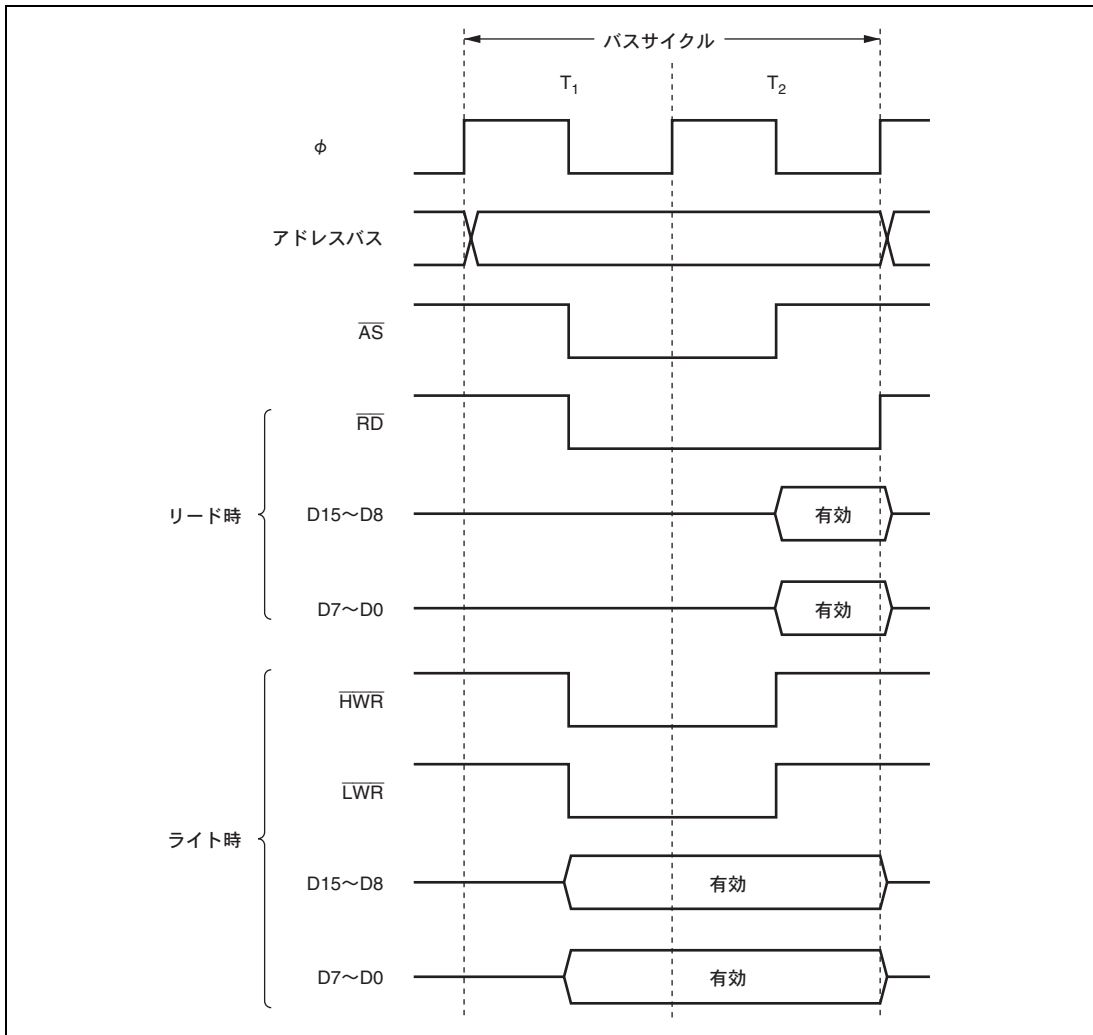


図 7.9 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間

図 7.10～図 7.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

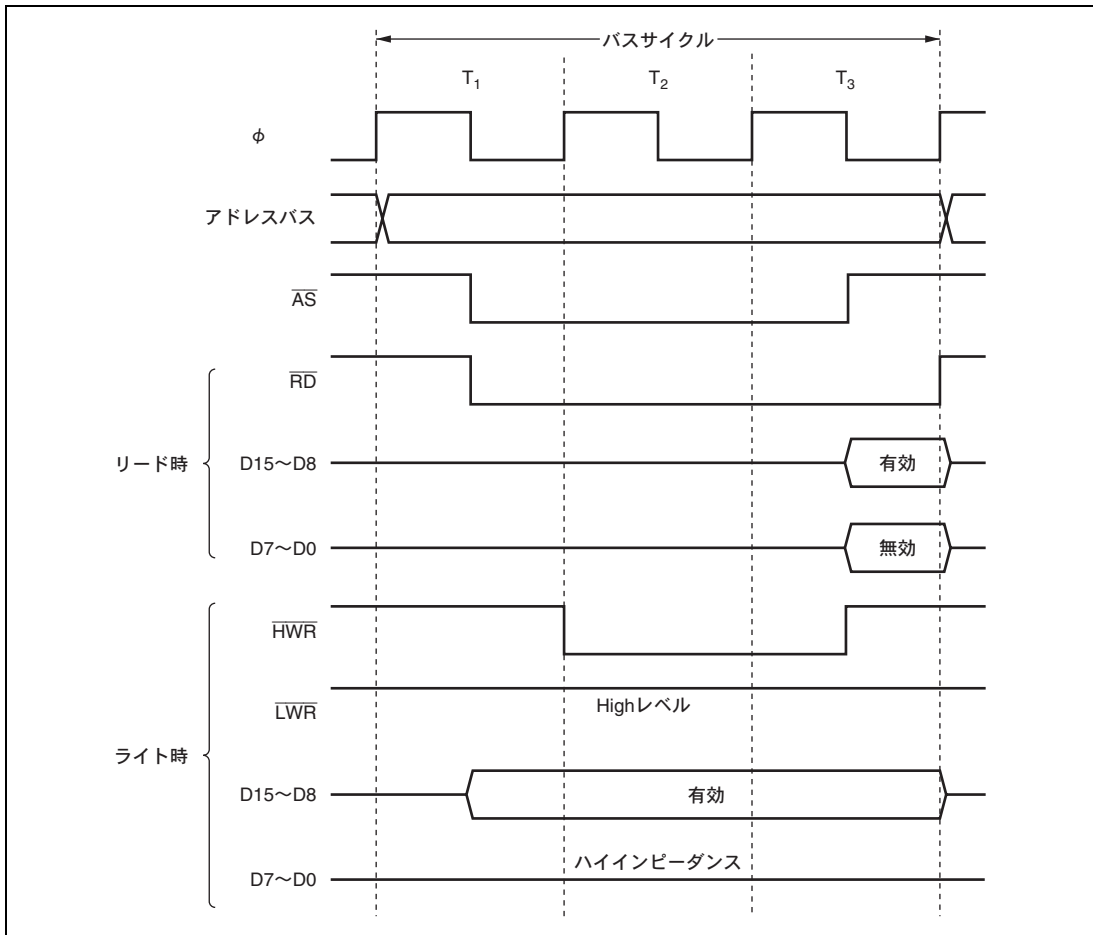


図 7.10 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

7. バスコントローラ (BSC)

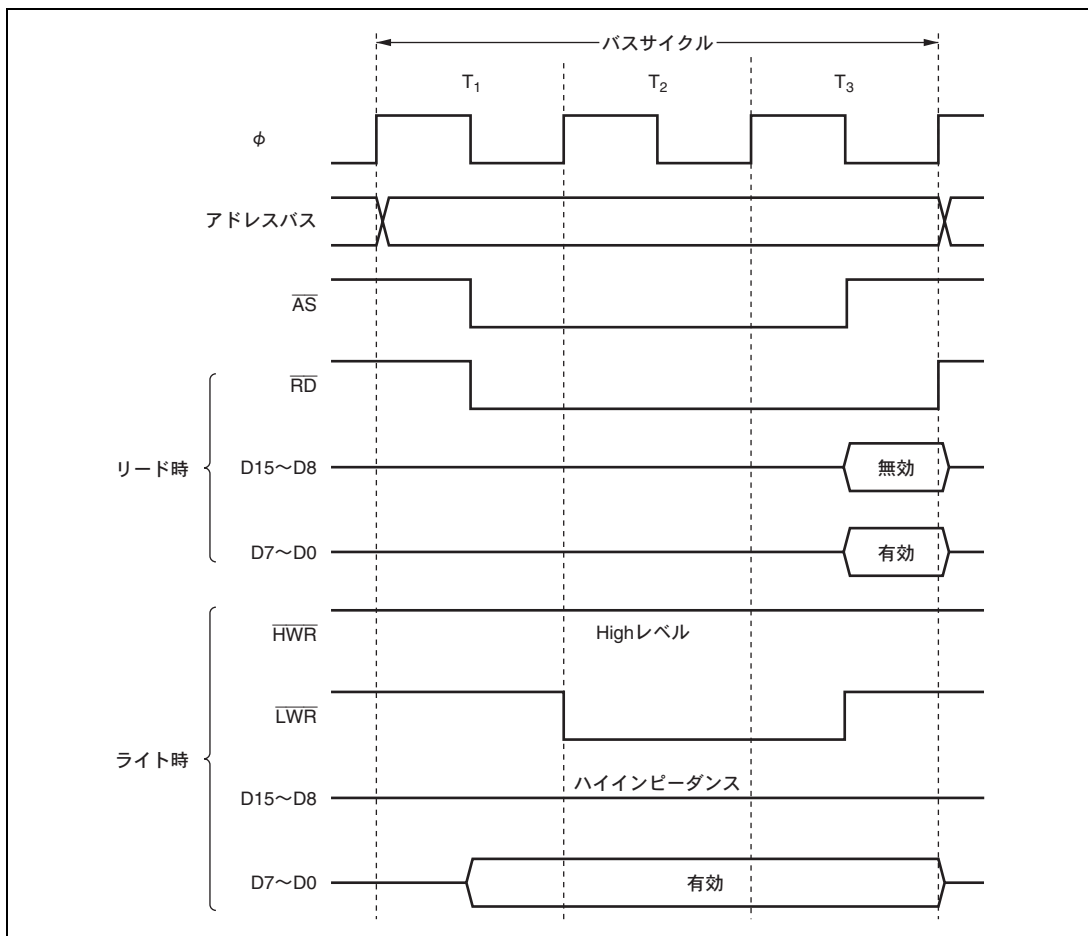


図 7.11 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

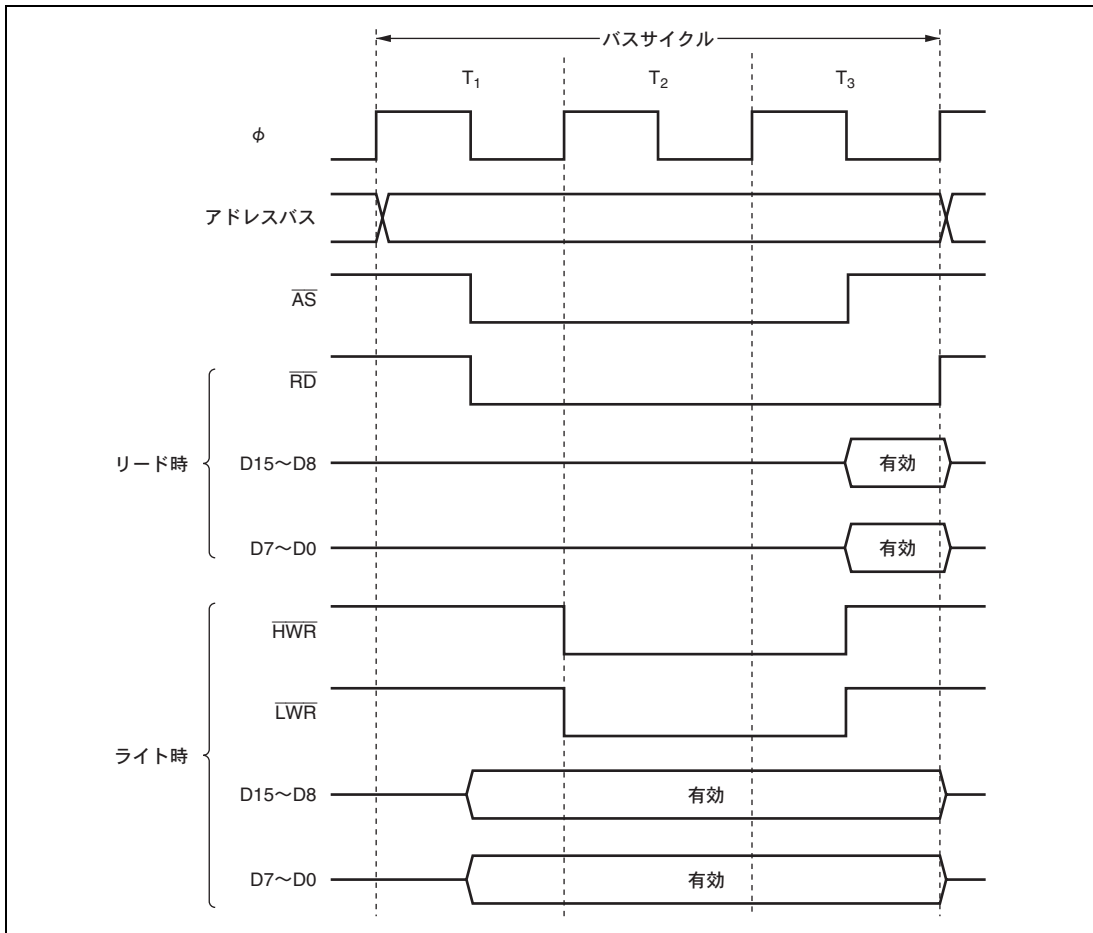


図 7.12 16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)

7.5.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

図 7.13 にウェイトステート挿入のタイミング例を示します。

7. バスコントローラ (BSC)

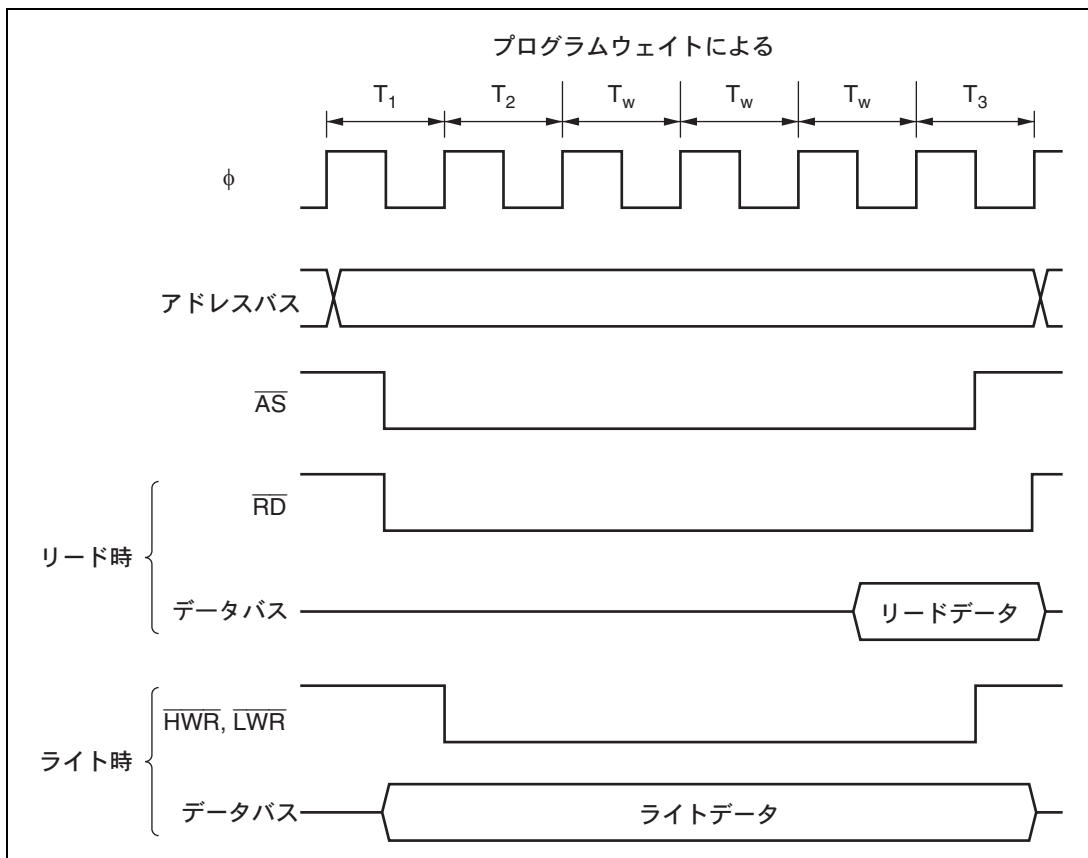


図 7.13 ウェイトステート挿入タイミング例

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入状態となっています。

7.6 バースト ROM インタフェース

本 LSI は、エリア 0 の外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間では、バーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。BRCH の BRSTS0 ビットにより、4 ワード/8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

バースト ROM 空間では、CPU によるリードアクセスのみがバーストアクセスの対象となります。

7.6.1 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル（フルアクセス）のアクセスステート数は ASTCR の AST0 ビットの設定にしがいます。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 7.14、図 7.15 に示します。

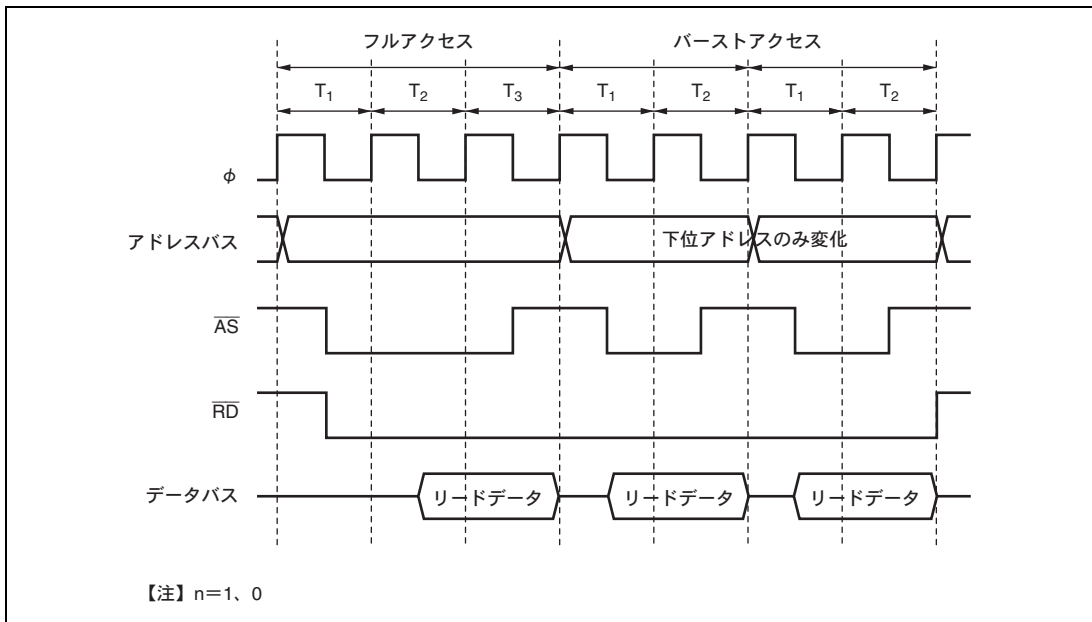


図 7.14 バースト ROM アクセスタイミング例 (AST0=1、BRSTS0=1 の場合)

7. バスコントローラ (BSC)

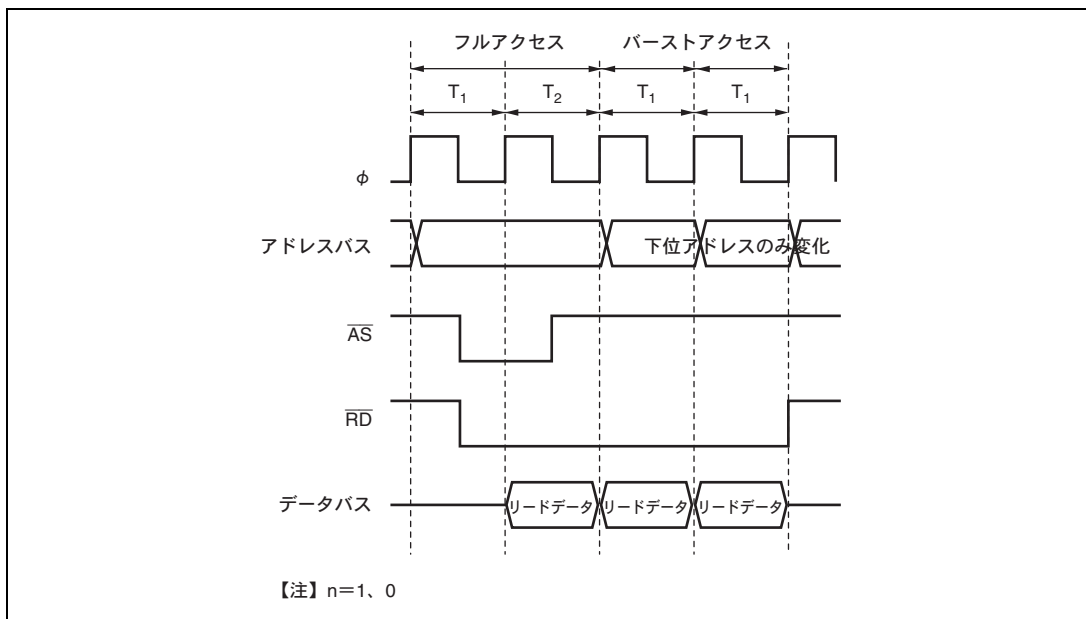


図 7.15 バースト ROM アクセスタイミング例 (AST0=0、BRSTS1=0 の場合)

7.6.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。「7.5.4 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

7.6.3 ライトアクセス

バースト ROM 空間へライトアクセスを実行すると、その時点でバーストアクセスは途切れ、基本バスインタフェースの設定に準じたライトアクセスが実行されます。また、バースト ROM 空間に設定した場合でも、ライトアクセスはバーストしません。

7.7 アイドルサイクル

7.7.1 動作説明

本 LSI は外部アドレス空間をアクセスするとき、(1) 異なるエリア間でリードアクセスが連続して発生したとき、(2) リードサイクルの直後にライトサイクルが発生したときの2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_1) を1ステート挿入することができます。アイドルサイクルの挿入により、出力フローティング時間の大きい ROM など、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 7.16 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルでそれぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入しデータの衝突を回避しています。

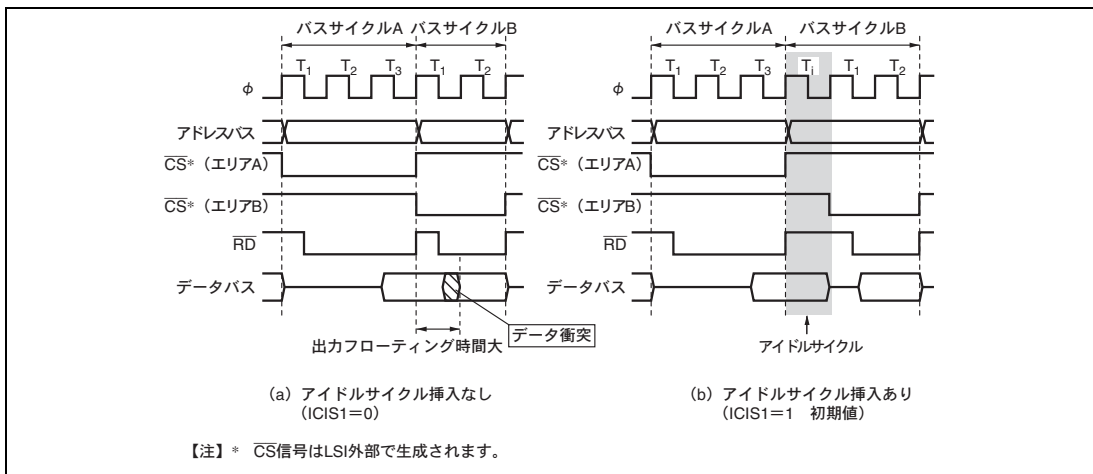


図 7.16 アイドルサイクル動作例 (異なるエリア間での連続リード)

(2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 7.17 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

7. バスコントローラ (BSC)

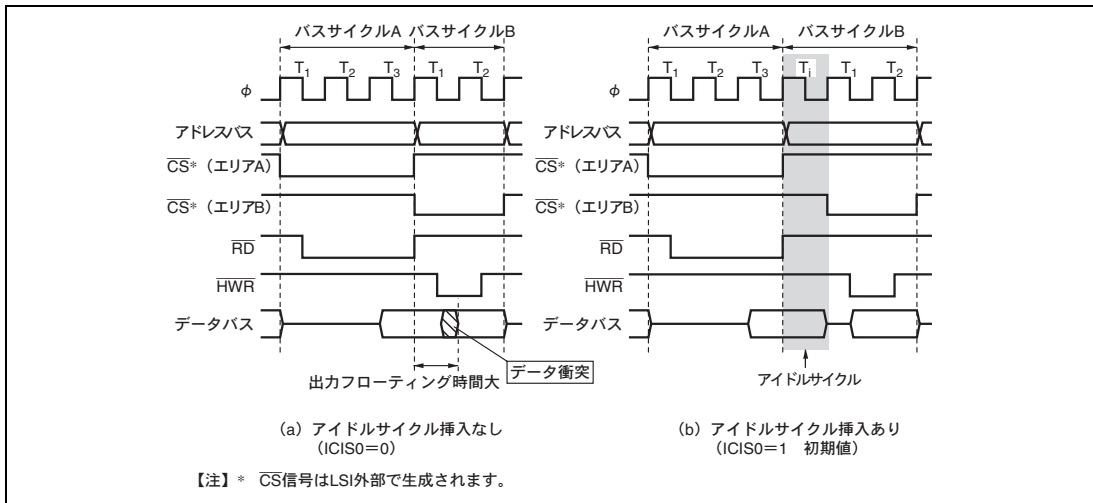


図 7.17 アイドルサイクル動作例 (リード後のライト)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号 (LSI 外部で生成) よりも \overline{RD} 信号の方が遅れる場合があります。図 7.18 に例を示します。(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

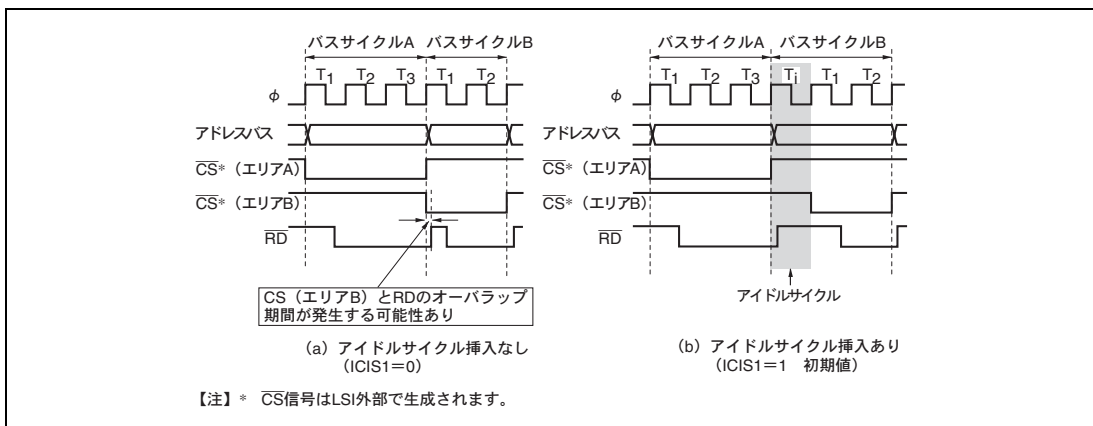


図 7.18 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

7.7.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 7.4 に示します。

表 7.4 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
AS	High レベル
RD	High レベル
HWR, LWR	High レベル

7.8 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトと、内部アクセスを並行して実行することができます。BCRL の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 7.19 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトが 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

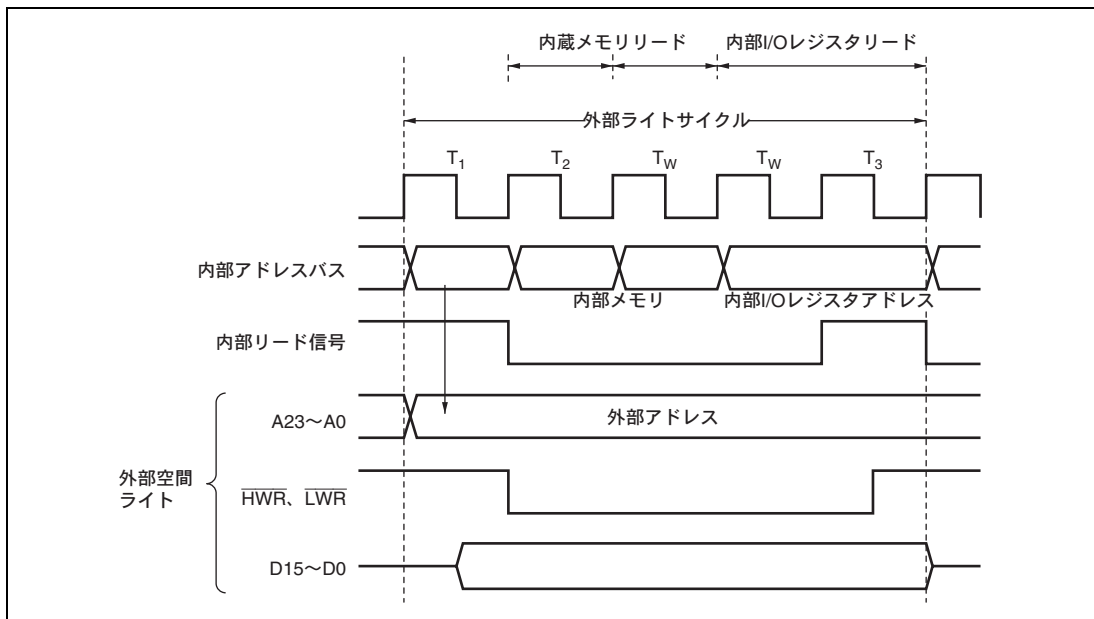


図 7.19 ライトデータバッファ機能使用時のタイミング例

7.9 バスアービトレーション

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DTC があり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

7.9.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていればそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DTC > CPU (低)

7.9.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
- BSET、BCLRなどのビット操作命令では、一旦対象のデータを読み込み (リード)、所定のビット操作演算後 (モディファイ)、書き戻し (ライト) します。このようなリード-モディファイ-ライトサイクルの間は一連のバスサイクルとして実行されるためバス権を移行しません。
- CPUがスリープモードの場合、ただちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード (3 ステート) 後、1 回のデータ転送後、レジスタ情報のライト (3 ステート) 後です。レジスタ情報のリード (3 ステート) 中、1 回のデータ転送中、レジスタ情報のライト (3 ステート) 中にはバスを解放しません。

7.10 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

7. バスコントローラ (BSC)

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 8.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

8.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

8. データトランスファコントローラ (DTC)

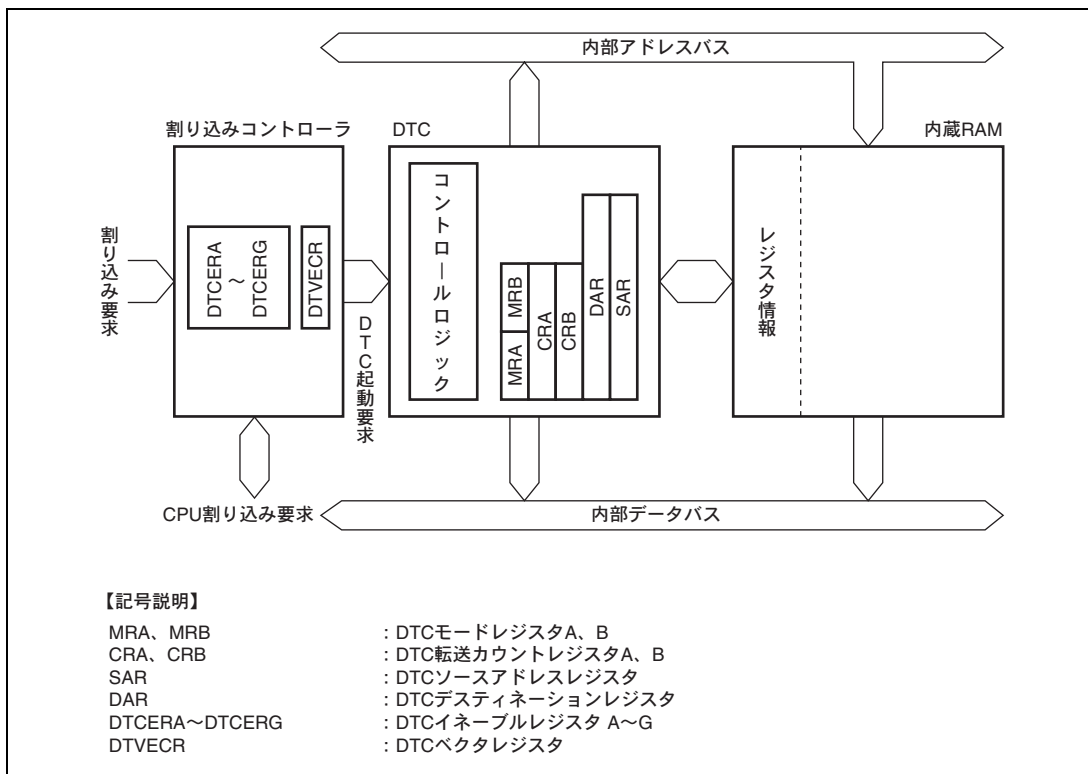


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA~G, I (DTCERA~DTCERG)
- DTCベクタレジスタ (DTVECR)

8.2.1 DTC モードレジスタ A (MRA)

MRA は 8 ビットのレジスタで、DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説 明
7 6	SM1 SM0	不定 不定	— —	ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
5 4	DM1 DM0	不定 不定	— —	デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
3 2	MD1 MD0	不定 不定	— —	DTC モード DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定	—	DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定	—	DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 X : Don't care

8. データトランスファコントローラ (DTC)

8.2.2 DTC モードレジスタ B (MRB)

MRB は 8 ビットのレジスタで、DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「8.5.4 チェイン転送」を参照してください。 CHNE=1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットは 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
5~0	—	すべて不定	—	リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.5 DTC 転送カウンタレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されません。

8.2.6 DTC 転送カウンタレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

8.2.7 DTC イネーブルレジスタ A~G (DTCERA~DTCERG)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERG があります。各割り込み要因と DTCE ビットの対応については表 8.1 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定する時には、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[クリア条件]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされ
1	DTCE1	0	R/W	ません。
0	DTCE0	0	R/W	

8. データトランスファコントローラ (DTC)

8.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ可能です。 [クリア条件] <ul style="list-style-type: none">• DISEL ビットが 0 で、指定した回数の転送が終了しないとき• CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき DISEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400+ベクタ番号×2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~DTVEC0=H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

8.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RXI_0 の場合、起動要因フラグは、SCI_0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 8.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

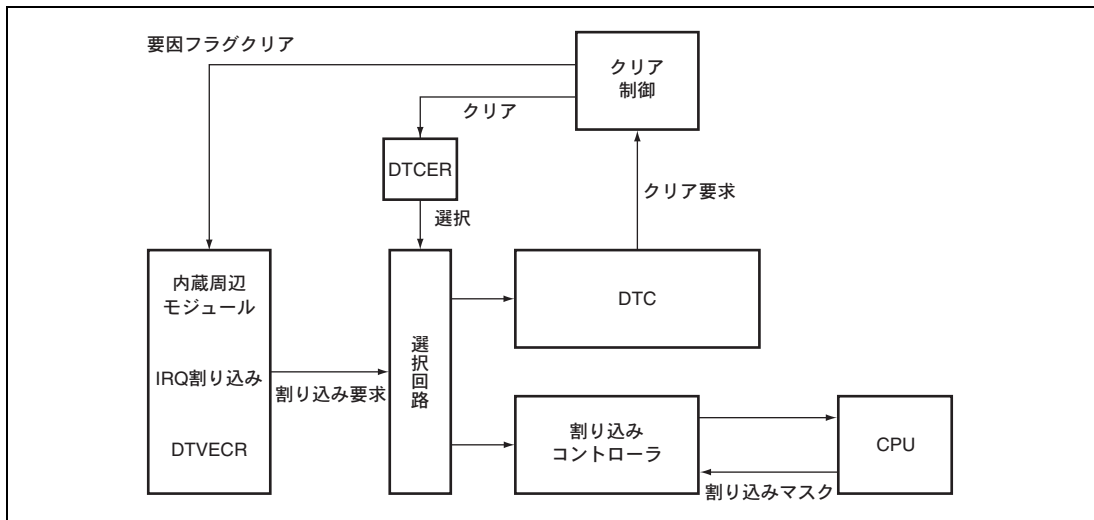


図 8.2 DTC 起動要因制御ブロック図

8.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFEB00~H'FFEFBF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは4の倍数の番地としてください。図 8.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 8.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは $H'0400 + (DTVECR[6:0] \times 2)$ となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

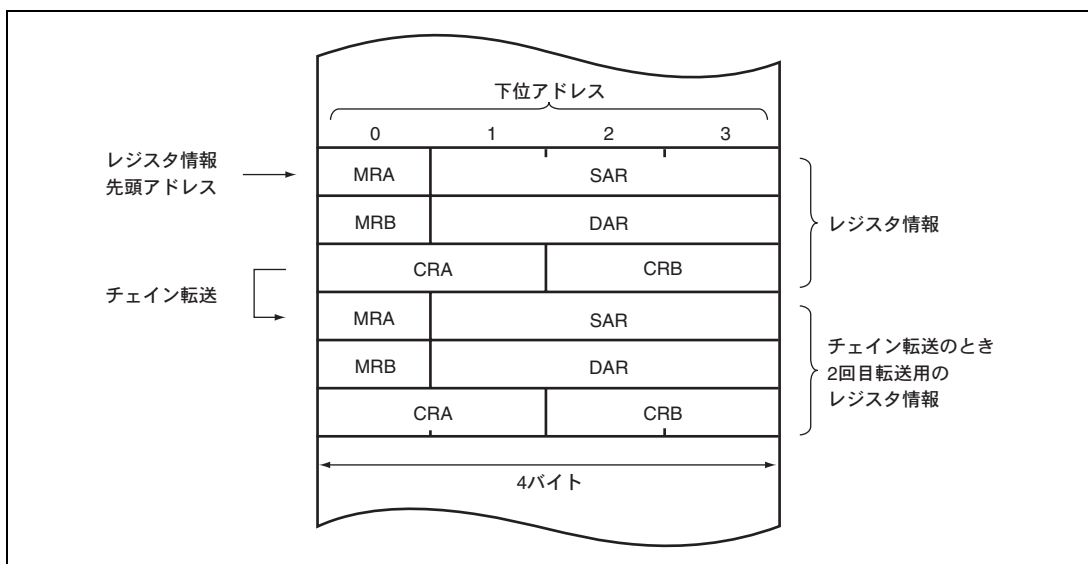


図 8.3 アドレス空間上での DTC レジスタ情報の配置

8. データトランスファコントローラ (DTC)

表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE (1)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400+ ベクタ番号×2	—	高 ▲
外部端子	IRQ0	16	H'0420	DTCEA7	▲ ↓ 低
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
—	システム予約	22	H'042C	DTCEA1	
		23	H'042E	DTCEA0	
A/D変換器	ADI (A/D 変換終了)	28	H'0438	DTCEB6	
TPU_0	TGIA_0	32	H'0440	DTCEB5	
	TGIB_0	33	H'0442	DTCEB4	
	TGIC_0	34	H'0444	DTCEB3	
	TGID_0	35	H'0446	DTCEB2	
TPU_1	TGIA_1	40	H'0450	DTCEB1	
	TGIB_1	41	H'0452	DTCEB0	
TPU_2	TGIA_2	44	H'0458	DTCEC7	
	TGIB_2	45	H'045A	DTCEC6	
TPU_3	TGIA_3	48	H'0460	DTCEC5	
	TGIB_3	49	H'0462	DTCEC4	
	TGIC_3	50	H'0464	DTCEC3	
	TGID_3	51	H'0466	DTCEC2	
TPU_4	TGIA_4	56	H'0470	DTCEC1	
	TGIB_4	57	H'0472	DTCEC0	
TPU_5	TGIA_5	60	H'0478	DTCED5	
	TGIB_5	61	H'047A	DTCED4	
—	システム予約	64	H'0480	DTCED3	
		65	H'0482	DTCED2	
		68	H'0488	DTCED1	
		69	H'048A	DTCED0	
—	システム予約	72	H'0490	DTCEE7	
		73	H'0492	DTCEE6	
		74	H'0494	DTCEE5	
		75	H'0496	DTCEE4	

8. データトランスファコントローラ (DTC)

表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE (2)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
SCI_0	RXI_0	81	H'04A2	DTCEE3	<div style="display: flex; align-items: center; justify-content: center;"> ▲ ↑ ↓ ▼ </div>
	TXI_0	82	H'04A4	DTCEE2	
SCI_1	RXI_1	85	H'04AA	DTCEE1	
	TXI_1	86	H'04AC	DTCEE0	
SCI_2	RXI_2	89	H'04B2	DTCEF7	
	TXI_2	90	H'04B4	DTCEF6	
—	システム予約	92	H'04B8	DTCEF5	
		93	H'04BA	DTCEF4	
—	システム予約	96	H'04C0	DTCEF3	
		97	H'04C2	DTCEF2	
IIC_0	IICi0	100	H'04C8	DTCEF1	
IIC_1	IICi1	102	H'04CC	DTCEF0	
モータコントロール PWM	CMI1	104	H'04D0	DTCEG7	
	CMI2	105	H'04D2	DTCEG6	
—	システム予約	106	H'04D4	DTCEG5	
		107	H'04D6	DTCEG4	
—	システム予約	108	H'04D8	DTCEG3	
		109	H'04DA	DTCEG2	

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

8.5 動作説明

DTCはレジスタ情報を内蔵RAMに格納します。DTCが起動すると、内蔵RAMからレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵RAMに戻します。レジスタ情報を内蔵RAMに格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRBのCHNEビットを1にセットしておくことにより、1つの起動要因で複数の転送を行うことができます(チェイン転送)。

転送元アドレスは24ビット長のSAR、転送先アドレスは24ビット長のDARで指定します。SAR、DARは転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

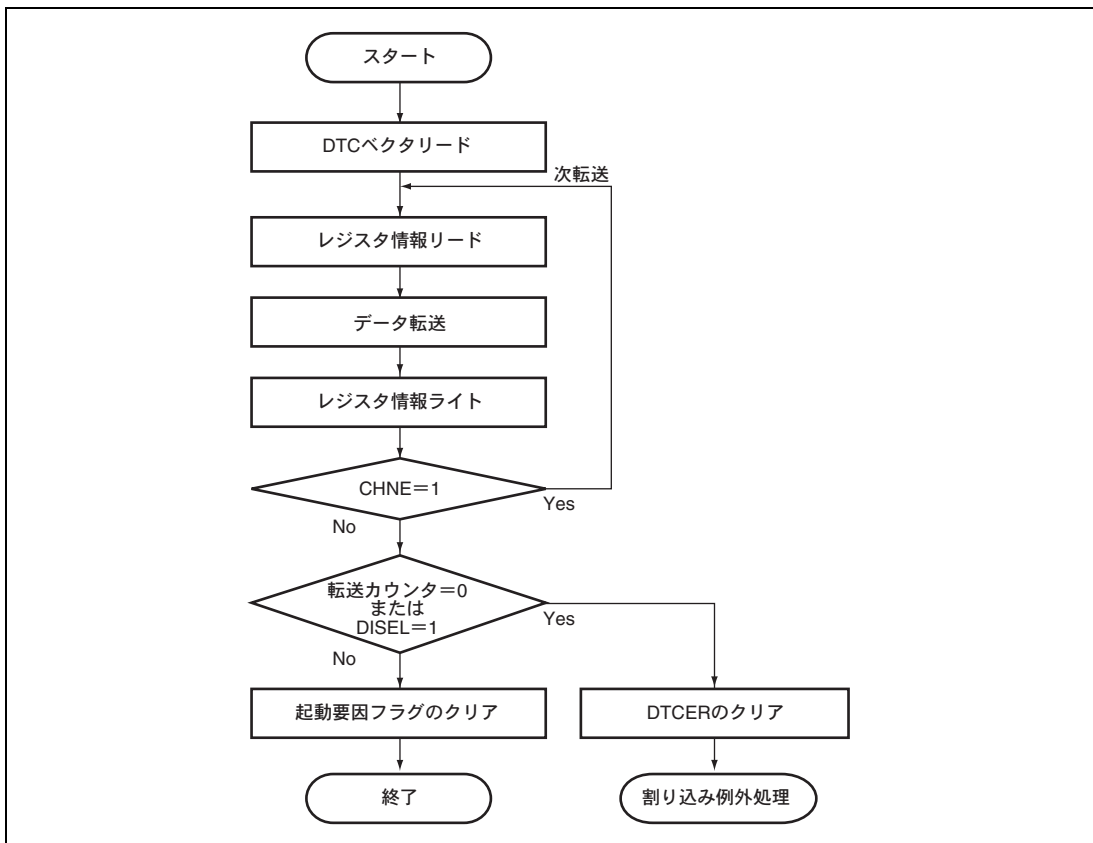


図 8.4 DTC 動作フローチャート

8. データトランスファコントローラ (DTC)

8.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 8.2 にノーマルモードにおけるレジスタ機能を示します。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

表 8.2 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

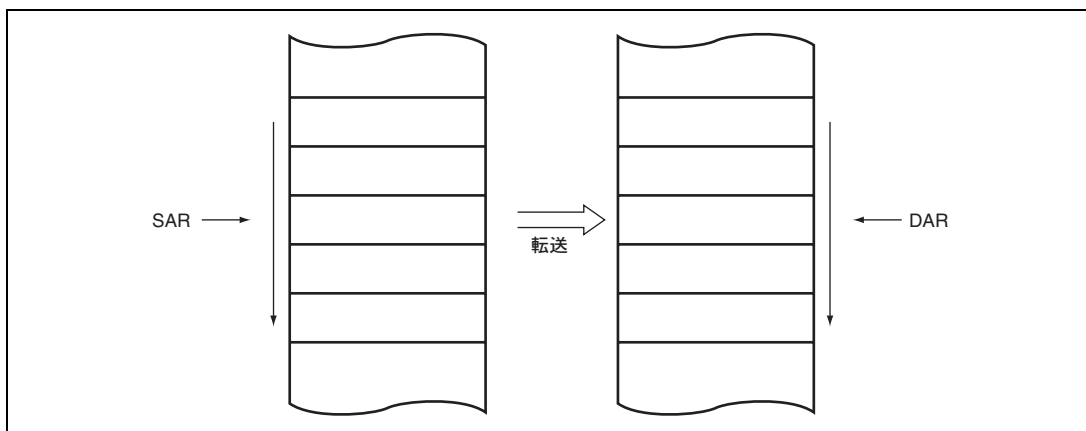


図 8.5 ノーマルモードのメモリマップ

8.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 8.3 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 8.3 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

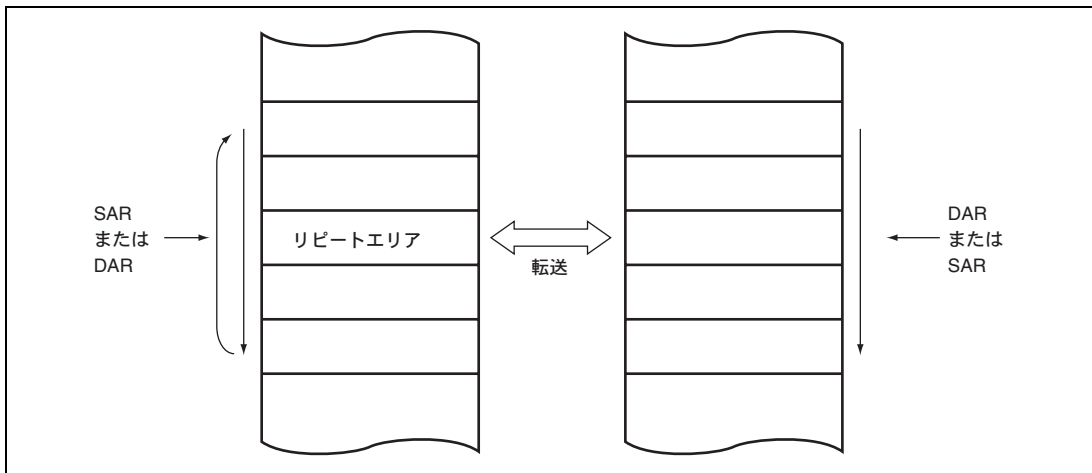


図 8.6 リピートモードのメモリマップ

8.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 8.4 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 8.4 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

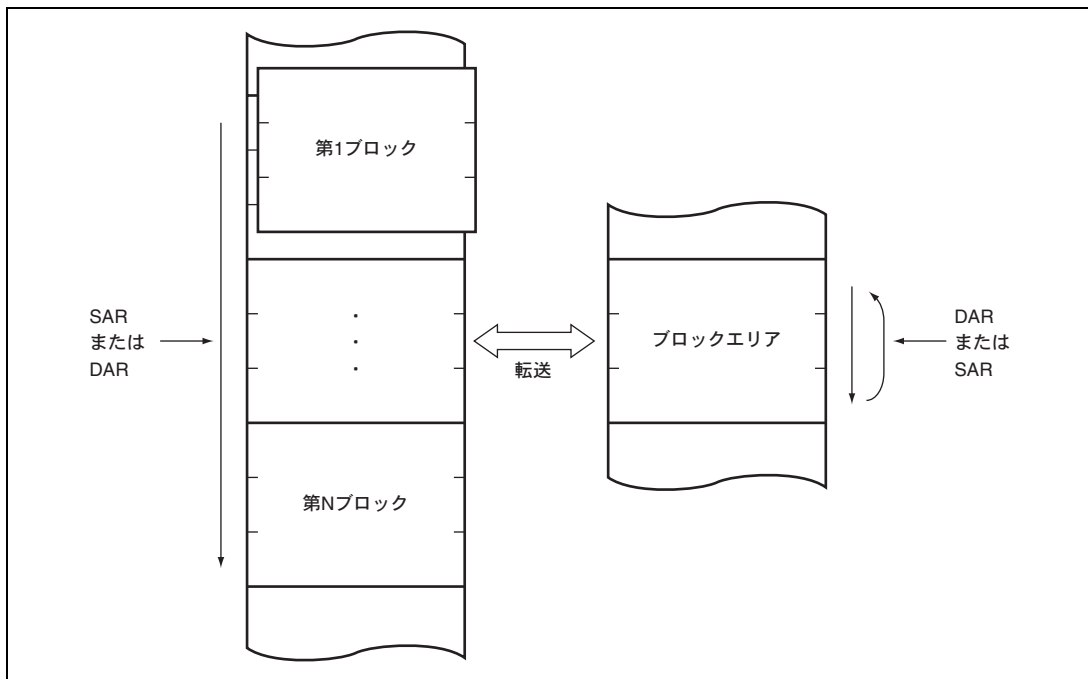


図 8.7 ブロック転送モードのメモリマップ

8.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 8.8 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE=1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

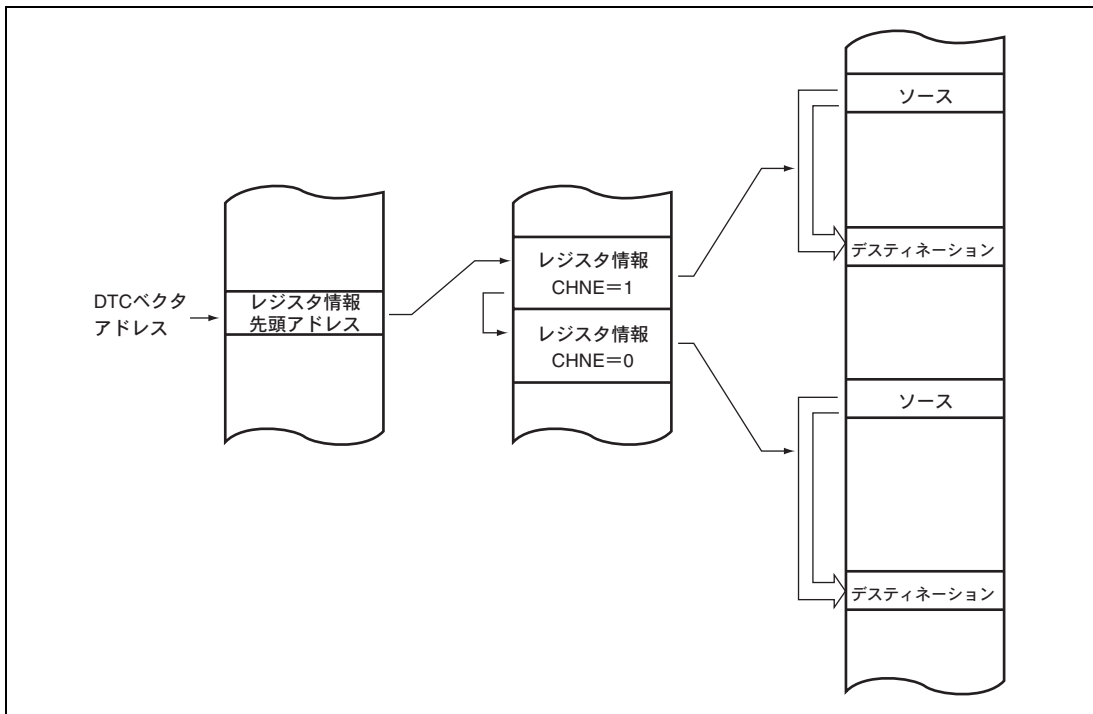


図 8.8 チェイン転送の動作

8. データトランスファコントローラ (DTC)

8.5.5 割り込み要因

DTCが指定された回数のデータ転送を終了したとき、およびDISELビットが1にセットされたデータ転送を終了したとき、CPUに対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらのCPUに対する割り込みはCPUのマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISELビットが1の状態、1回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTEビットが1に保持され、SWDTEND割り込みが発生します。割り込み処理ルーチンでSWDTEビットを0にクリアしてください。

ソフトウェアでDTCを起動する場合、SWDTEビットを1にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND割り込みは発生しません。

8.5.6 動作タイミング

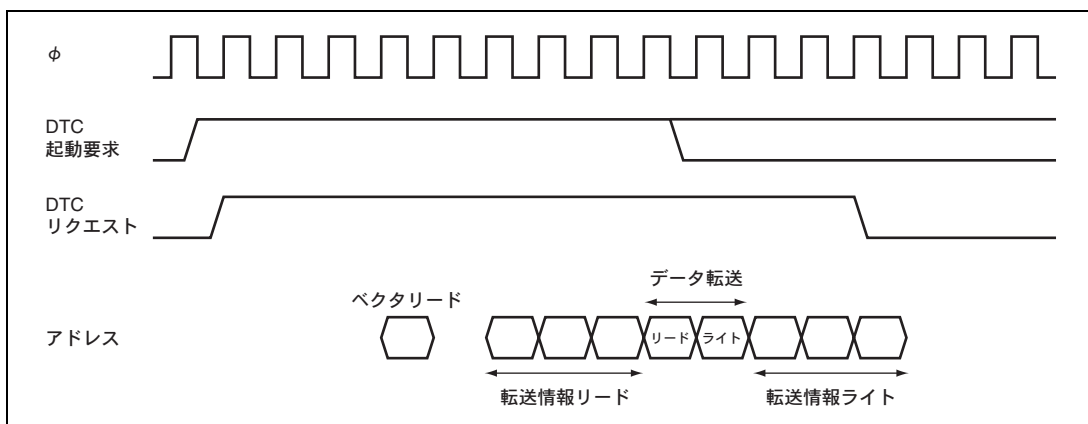


図 8.9 DTC の動作タイミング (ノーマルモード、リピートモードの例)

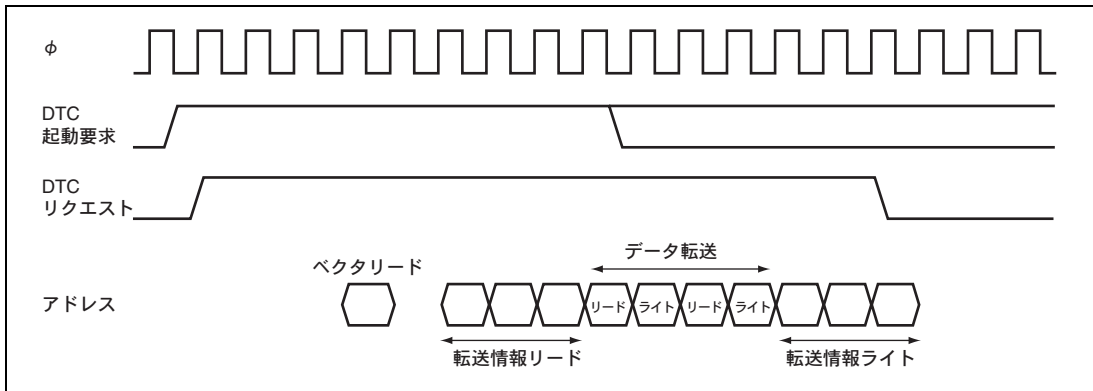


図 8.10 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

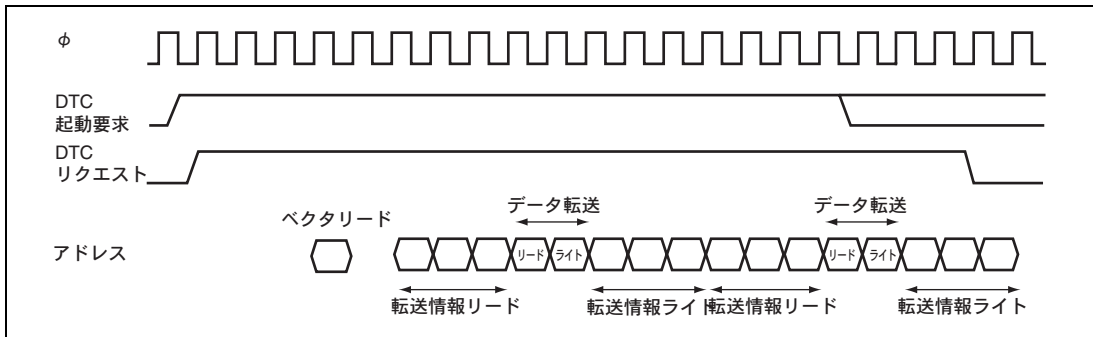


図 8.11 DTC の動作タイミング (チェイン転送の例)

8.5.7 DTC 実行ステート数

表 8.5 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.6 に、実行状態に必要なステート数を示します。

表 8.5 DTC の実行状態

モード	ベクタリード	レジスタ情報 リード/ライト	データリード	データライト	内部動作
	I	J	K	L	M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N: ブロックサイズ (CRAH、CRAL の初期設定値)

8. データトランスファコントローラ (DTC)

表 8.6 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス*				
バス幅		32	16	8	16	8		16		
アクセスステート		1	1	2	2	2	3	2	3	
実 行 状 態	ベクタリード S_i	—	1	—	—	4	6+2m	2	3+m	
	レジスタ情報 S_j リード/ライト	1	—	—	—	—	—	—	—	
	バイトデータリード S_k	1	1	2	2	2	3+m	2	3+m	
	ワードデータリード S_k	1	1	4	2	4	6+2m	2	3+m	
	バイトデータライト S_L	1	1	2	2	2	3+m	2	3+m	
	ワードデータライト S_L	1	1	4	2	4	6+2m	2	3+m	
	内部動作 S_M	1								

【注】 * 本 LSI では使用できません。

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = 1 \cdot (1 + S_i) + \Sigma (J \cdot S_j + K \cdot S_k + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

8.6 DTC 使用手順

8.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

8.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE=0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

8.7 DTC 使用例

8.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.2 チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリポートモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 の時の転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リポートモード (MD1=0、MD0=1)、ワードサイズ (Sz=1) を設定します。ソース側をリポート領域 (DTS=1) に設定します。MRBはチェインモード (CHNE=1、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマルモード (MD1=MD0=0)、ワードサイズ (Sz=1) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
3. NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。

4. NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
5. DTCERのTGIAに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ（出力禁止）に設定し、TIERでTGIA割り込みを許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウンタ動作を開始します。
9. TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後（TPU転送用CRAが0になると）、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.3 ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

1. MRAはソースアドレスインクリメント（SM1=1、SM0=0）、デスティネーションアドレスインクリメント（DM1=1、DM0=0）、ブロック転送モード（MD1=1、MD0=0）、バイトサイズ（Sz=0）を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送（CHNE=0）を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128（H'8080）を設定します。CRBは1（H'0001）をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス（H'04C0）に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTE=0割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

8.8 使用上の注意事項

8.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTC の動作禁止/許可を設定することが可能です。初期値では、DTC の動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中にはモジュールストップモードに設定できません。詳細は、「**第 21 章 低消費電力状態**」を参照してください。

8.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

8.8.3 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

9. I/O ポート

本 LSI には、10 本の入出力ポート（ポート 1、3、A~F、H、J）と 2 本の入力専用ポート（ポート 4、9）があります。

ポート機能一覧を表 9.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）と、端子の状態をリードするポートレジスタ（PORT）から構成されています。なお、入力専用ポートには DR、DDR はありません。

本 LSI のポート A~E には、入力プルアップ MOS が内蔵されており、DDR、DR の他に、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

本 LSI のポート 3 およびポート A~C には、オープンドレインコントロールレジスタ（ODR）が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

ポート 10~13、A~F は、拡張バス制御信号出力端子として使用する場合、1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、それ以外の場合とポート 14~17、ポート 3 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、A~C は LED を駆動する（シンク電流 10mA）ことができます。

9. I/O ポート

表 9.1 ポートの機能一覧

ポート名	概要	モード 4	モード 5	モード 6	モード 7	入出力形態他
ポート 1	TPU 入出力と PPG とアドレス出力と割り込み入力と汎用入出力ポートとの兼用	P17/PO15/TIOCB2/TCLKD P16/PO14/TIOCA2/ $\overline{IRQ1}$ P15/PO13/TIOCB1/TCLKC P14/PO12/TIOCA1/ $\overline{IRQ0}$ P13/PO11/TIOCD0/TCLKB/A23 P12/PO10/TIOCC0/TCLKA/A22 P11/PO9/TIOCB0/A21 P10/PO8/TIOCA0/A20			P17/PO15/TIOCB2/TCLKD P16/PO14/TIOCA2/ $\overline{IRQ1}$ P15/PO13/TIOCB1/TCLKC P14/PO12/TIOCA1/ $\overline{IRQ0}$ P13/PO11/TIOCD0/TCLKB P12/PO10/TIOCC0/TCLKA P11/PO9/TIOCB0 P10/PO8/TIOCA0	
ポート 3	SCI と IIC 入出力と割り込み入力と汎用入出力ポートとの兼用	P35/SCK1/SCL0/ $\overline{IRQ5}$ P34/RxD1/SDA0 P33/TxD1/SCL1 P32/SCK0/SDA1/ $\overline{IRQ4}$ P31/RxD0 P30/TxD0				オープンドレイン出力可能
ポート 4	A/D アナログ入力と D/A アナログ出力と汎用入力ポートとの兼用	P47/AN7/DA1 P46/AN6/DA0 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0				
ポート 9	アナログ入力と汎用入力ポートとの兼用	P93/AN11 P92/AN10 P91/AN9 P90/AN8				
ポート A	SCI 入出力とアドレス出力と汎用入出力ポートとの兼用	PA3/A19/SCK2 PA2/A18/RxD2 PA1/A17/TxD2 PA0/A16			PA3/SCK2 PA2/RxD2 PA1/TxD2 PA0	入力プルアップ MOS 内蔵 オープンドレイン出力可能

ポート名	概要	モード 4	モード 5	モード 6	モード 7	入出力形態他
ポート B	TPU の入出力と アドレス出力と 汎用入出力ポー トとの兼用	PB7/A15/TIOCB5 PB6/A14/TIOCA5 PB5/A13/TIOCB4 PB4/A12/TIOCA4 PB3/A11/TIOCD3 PB2/A10/TIOCC3 PB1/A9/TIOCB3 PB0/A8/TIOCA3			PB7/TIOCB5 PB6/TIOCA5 PB5/TIOCB4 PB4/TIOCA4 PB3/TIOCD3 PB2/TIOCC3 PB1/TIOCB3 PB0/TIOCA3	入カプルアップ MOS 内蔵 オープンドレイ ン出力可能
ポート C	アドレス出力と 汎用入出力ポー トとの兼用	PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0			PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0	入カプルアップ MOS 内蔵 オープンドレイ ン出力可能
ポート D	データ入出力と 汎用入出力ポー トとの兼用	D15 D14 D13 D12 D11 D10 D9 D8			PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入カプルアップ MOS 内蔵
ポート E	データ入出力と 汎用入出力ポー トとの兼用	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0			PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	入カプルアップ MOS 内蔵

9. I/O ポート

ポート名	概要	モード 4	モード 5	モード 6	モード 7	入出力形態他
ポート F	φ出力とバス制御入出力と割り込み入力と汎用入出力ポートとの兼用	PF7/φ PF6/ \overline{AS} PF5/ \overline{RD} PF4/ \overline{HWR} PF3/ \overline{LWR} / \overline{ADTRG} / $\overline{IRQ3}$ PF0/ $\overline{IRQ2}$			PF7/φ PF6 PF5 PF4 PF3/ \overline{ADTRG} / $\overline{IRQ3}$ PF0/ $\overline{IRQ2}$	
ポート H	PWM 出力と汎用入出力ポートとの兼用	PH7/PWM1H PH6/PWM1G PH5/PWM1F PH4/PWM1E PH3/PWM1D PH2/PWM1C PH1/PWM1B PH0/PWM1A				
ポート J	PWM 出力と汎用入出力ポートとの兼用	PJ7/PWM2H PJ6/PWM2G PJ5/PWM2F PJ4/PWM2E PJ3/PWM2D PJ2/PWM2C PJ1/PWM2B PJ0/PWM2A				

9.1 ポート 1

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、PPG の出力端子、TPU の入出力端子、アドレス出力端子、外部割り込み端子と兼用になっています。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

9.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	P17DDR	0	W	P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

9.1.2 ポート 1 データレジスタ (P1DR)

P1DR は、ポート 1 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

9. I/O ポート

9.1.3 ポート1レジスタ (PORT1)

PORT1 は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	—*	R	このレジスタをリードすると、P1DDRが1にセットされているビットは、P1DRの値がリードされます。P1DDRが0にクリアされているビットは端子の状態がリードされます。
6	P16	—*	R	
5	P15	—*	R	
4	P14	—*	R	
3	P13	—*	R	
2	P12	—*	R	
1	P11	—*	R	
0	P10	—*	R	

【注】 * P17～P10 端子状態により決定されます。

9.1.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- P17/PO15/TIOCB2/TCLKD

TMDR_2 の MD3～MD0 ビット、TIOR_2 の IOB3～IOB0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、TCR_0、TCR_5 の TPSC2～TPSC0 ビット、NDERH の NDER15 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P17DDR	—	0	1	1
NDER15	—	—	0	1
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力
		TIOCB2 入力*1		
	TCLKD 入力*2			

TPU チャンネル 2 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB2 入力となります。

*2 TCR_0、TCR_5 のいずれかの設定が TPSC2～TPSC0=B'111 の場合に TCLKD 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。

9. I/O ポート

- P16/PO14/TIOCA2/ $\overline{\text{IRQ1}}$

TMDR_2 の MD3~MD0 ビット、TIOR_2 の IOA3~IOA0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、NDERH の NDER14 ビット、および P16DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P16DDR	—	0	1	1
NDER14	—	—	0	1
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力
		TIOCA2 入力*1		
	$\overline{\text{IRQ1}}$ 入力			

TPU チャンネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA2 入力となります。

*2 TIOCB2 は出力禁止となります。

- P15/PO13/TIOCB1/TCLKC

TMDR_1 の MD3～MD0 ビット、TIOR_1 の IOB3～IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR_0、TCR_2、TCR_4、TCR_5 の TPSC2～TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P15DDR	—	0	1	1
NDER13	—	—	0	1
端子機能	TIOCB1 出力	P15 入力	P15 出力	PO13 出力
		TIOCB1 入力*1		
TCLKC 入力*2				

TPU チャンネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOB3～IOB0=B'10xx の場合に TIOCB1 入力となります。

*2 TCR_0、TCR_2 のいずれかの設定が TPSC2～TPSC0=B'110 または TCR_4、TCR_5 のいずれかの設定が TPSC2～TPSC0=B'101 の場合に TCLKC 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。

9. I/O ポート

- P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$

TMDR_1 の MD3~MD0 ビット、TIOR_1 の IOA3~IOA0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P14DDR	—	0	1	1
NDER12	—	—	0	1
端子機能	TIOCA1 出力	P14 入力	P14 出力	PO12 出力
		TIOCA1 入力*1		
	$\overline{\text{IRQ0}}$ 入力			

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に TIOCA1 入力となります。

*2 TIOCB1 は出力禁止となります。

- P13/PO11/TIOCD0/TCLKB/A23

動作モードと TMDR_0 の MD3~MD0 ビット、TIORL_0 の IOD3~IOD0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0~TCR_2 の TPSC2~TPSC0 ビット、PFCCR の AE3~AE0 ビット、NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				
AE3~AE0	B'0000~B'1110				B'1111
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P13DDR	—	0	1	1	—
NDER11	—	—	0	1	—
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力	A23 出力
		TIOCD0 入力* ¹			
	TCLKB 入力* ²				

動作モード	モード 7				
AE3~AE0	—				
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P13DDR	—	0	1	1	—
NDER11	—	—	0	1	—
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力	—
		TIOCD0 入力* ¹			
	TCLKB 入力* ²				

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、かつ IOD3~IOD0=B'10xx の場合に TIOCD0 入力となります。

*2 TCR_0~TCR_2 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKB 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると TCLKB 入力となります

9. I/O ポート

- P12/PO10/TIOCC0/TCLKA/A22

動作モードと TMDR_0 の MD3~MD0 ビット、TIORL_0 の IOC3~IOC0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0~TCR_5 の TPSC2~TPSC0 ビット、PFCR の AE3~AE0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				
AE3~AE0	B'0000~B'1110				B'1111
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P12DDR	—	0	1	1	—
NDER10	—	—	0	1	—
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 力	A22 出力
		TIOCC0 入力* ¹			
	TCLKA 入力* ²				

動作モード	モード 7				
AE3~AE0	—				
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			
P12DDR	—	0	1	1	
NDER10	—	—	0	1	
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 出力	
		TIOCC0 入力* ¹			
	TCLKA 入力* ²				

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM モード 1 出力* ³	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に TIOCC0 入力となります。

*2 TCR_0~TCR_5 のいずれかの設定が TPSC2~TPSC0=B'100 の場合に TCLKA 入力となります。
また、チャンネル 1、5 を位相計数モードに設定すると TCLKA 入力となります。

*3 TIOCD0 は出力禁止となります。

TMDR_0 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。

- P11/PO9/TIOCB0/A21

動作モードと TMDR_0 の MD3~MD0 ビット、TIOBH_0 の IOB3~IOB0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、PFCR の AE3~AE0 ビット、NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				
AE3~AE0	B'0000~B'1101			B'1110~B'1111	
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P11DDR	—	0	1	1	—
NDER9	—	—	0	1	—
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力	A21 出力
		TIOCB0 入力*			

動作モード	モード 7			
AE3~AE0	—			
TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P11DDR	—	0	1	1
NDER9	—	—	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力
		TIOCB0 入力*		

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 * MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB0 入力となります。

9. I/O ポート

- P10/PO8/TIOCA0/A20

動作モードと TMDR_0 の MD3~MD0 ビット、TIORH_0 の IOA3~IOA0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、PFCR の AE3~AE0 ビット、NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります

動作モード	モード 4~6				
AE3~AE0	B'0000~B'1100			B'1101~B'1111	
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P10DDR	—	0	1	1	—
NDER8	—	—	0	1	—
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力	A20 出力
		TIOCA0 入力* ¹			

動作モード	モード 7			
AE3~AE0	—			
TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P10DDR	—	0	1	1
NDER8	—	—	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力
		TIOCA0 入力* ¹		

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外		
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM モード 1 出力* ²	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA0 入力となります。

*2 TIOCB0 は出力禁止となります。

9.2 ポート 3

ポート 3 は、6 ビットの入出力ポートです。ポート 3 は、IIC の入出力端子、SCI の入出力端子、外部割り込み入力端子と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)

9.2.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR はライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	—	不定	—	P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。
6	—	不定	—	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

9.2.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	—	不定	—	汎用出力ポートとして使用する端子の出力データを格納します。
6	—	不定	—	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

9. I/O ポート

9.2.3 ポート 3 レジスタ (PORT3)

PORT3 は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	このレジスタをリードすると、P3DDR が 1 にセットされているビットは、P3DR の値がリードされます。P3DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	—	不定	—	
5	P35	—*	R	
4	P34	—*	R	
3	P33	—*	R	
2	P32	—*	R	
1	P31	—*	R	
0	P30	—*	R	

【注】 * P35～P30 端子状態により決定されます。

9.2.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	1 にセットするとポート 3 の対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
6	—	不定	—	
5	P35ODR	0	R/W	
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

9.2.5 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- P35/SCK1/SCL0/ $\overline{\text{IRQ5}}$

IIC_0 の ICCR0 の ICE ビット、SCI_1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、および P35DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0			1	0	
C/A	0		1	–	0	
CKE0	0		1	–	–	0
P35DDR	0	1	–	–	–	–
端子機能	P35 入力	P35 出力	SCK1 出力*	SCK1 出力*	SCK1 入力	SCL0 入出力
	$\overline{\text{IRQ5}}$ 入力					

【注】 * P35ODR=1 のとき、NMOS オープンドレイン出力となります。

- P34/RxD1/SDA0

IIC_0 の ICCR0 の ICE ビット、SCI_1 の SCR の RE ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	–
P34DDR	0	1	–	–
端子機能	P34 入力	P34 出力*	RxD1 入力	SDA0 入出力

【注】 * P34ODR=1 のとき、NMOS オープンドレイン出力になります。

- P33/TxD1/SCL1

IIC_1 の ICCR1 の ICE ビット、SCI_1 の SCR の TE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
TE	0		1	–
P33DDR	0	1	–	–
端子機能	P33 入力	P33 出力*	TxD1 出力	SCL1 入出力

【注】 * P33ODR=1 のとき、NMOS オープンドレイン出力になります。

9. I/O ポート

- P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$

IIC_1 の ICCR1 の ICE ビット、SCI_0 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、および P32DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0			1	0	
C/ $\overline{\text{A}}$	0			1	—	0
CKE0	0		1	—	—	0
P32DDR	0	1	—	—	—	—
端子機能	P32 入力	P32 出力	SCK0 出力*	SCK0 出力*	SCK0 入力	SDA1 入出力
	$\overline{\text{IRQ4}}$ 入力					

【注】 * P32ODR=1 のとき、NMOS オープンドレイン出力になります。

- P31/RxD0

SCI_0 の SCR の RE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P31DDR	0	1	—
端子機能	P31 入力	P31 出力*	RxD0 入力

【注】 * P31ODR=1 のとき、NMOS オープンドレイン出力になります。

- P30/TxD0

SCI_0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	—
端子機能	P30 入力	P30 出力*	TxD0 出力

【注】 * P30ODR=1 のとき、NMOS オープンドレイン出力になります。

9.3 ポート 4

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。

- ポート4レジスタ (PORT4)

9.3.1 ポート 4 レジスタ (PORT4)

PORT4 はリード専用のレジスタで、端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7	P47	—*	R	このレジスタをリードすると、常に端子の状態がリードされます。
6	P46	—*	R	
5	P45	—*	R	
4	P44	—*	R	
3	P43	—*	R	
2	P42	—*	R	
1	P41	—*	R	
0	P40	—*	R	

【注】 * P47～P40 端子状態により決定されます。

9.3.2 端子機能

ポート 4 の各端子は、A/D 変換器のアナログ入力、D/A 変換器のアナログ出力端子との兼用になっています。

9. I/O ポート

9.4 ポート 9

ポート 9 は、4 ビットの入力専用ポートです。ポート 9 は、A/D 変換器のアナログ入力端子との兼用になっています。ポート 9 の端子機能はいずれの動作モードでも共通です。

- ポート9レジスタ (PORT9)

9.4.1 ポート 9 レジスタ (PORT9)

PORT9 はリード専用のレジスタで、端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7	—	—*	—	このレジスタをリードすると、常に端子の状態がリードされます。
6	—	—*	—	
5	—	—*	—	
4	—	—*	—	
3	P93	—*	R	
2	P92	—*	R	
1	P91	—*	R	
0	P90	—*	R	

【注】 * P93～P90 端子状態により決定されます。

9.4.2 端子機能

ポート 9 の各端子は、A/D 変換器のアナログ入力端子との兼用になっています。

9.5 ポート A

ポート A は、4 ビットの入出力ポートです。ポート A は、アドレスバス出力、SCI_2 入出力端子と兼用になっています。動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

- ポートAデータディレクションレジスタ (PADDR)
- ポートAデータレジスタ (PADR)
- ポートAレジスタ (PORTA)
- ポートAプルアップMOSコントロールレジスタ (PAPCR)
- ポートAオープンドレインコントロールレジスタ (PAODR)

9.5.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	モード 7 のとき
6	—	不定	—	PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
5	—	不定	—	
4	—	不定	—	モード 4~6 のとき
3	PA3DDR	0	W	PADDR にかかわらず、PFCR の AE3~AE0 ビットの設定に従いポート A の各端子はアドレス出力となります。また、アドレス出力ではないとき、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

9. I/O ポート

9.5.2 ポート A データレジスタ (PADR)

PADR はポート A の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	—	不定	—	汎用出力ポートとして使用する端子の出力データを格納します。
6	—	不定	—	
5	—	不定	—	
4	—	不定	—	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

9.5.3 ポート A レジスタ (PORTA)

PORTA は端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	—	不定	—	このレジスタをリードすると、PADDR が 1 にセットされているビットは、PADR の値がリードされます。PADDR が 0 にクリアされているビットは端子の状態がリードされます。
6	—	不定	—	
5	—	不定	—	
4	—	不定	—	
3	PA3	—*	R	
2	PA2	—*	R	
1	PA1	—*	R	
0	PA0	—*	R	

【注】 * PA3～PA0 端子状態により決定されます。

9.5.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR は、ポート A の入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	モード 4~6 では、PFCCR、SCI_2 の SCMR、SMR、SCR および PADDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	—	不定	—	
5	—	不定	—	
4	—	不定	—	
3	PA3PCR	0	R/W	モード 7 では、SCI_2 の SCMR、SMR、SCR および PADDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

9.5.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	PFCCR の AE3~AE0 の設定により、アドレス出力以外のとき PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
6	—	不定	—	
5	—	不定	—	
4	—	不定	—	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

9. I/O ポート

9.5.6 端子機能

ポート A の各端子は、SCI_2 の入出力端子とアドレスバス出力端子と兼用になっています。

- PA3/A19/SCK2

動作モードと PFCR の AE3~AE0 ビット、SCI_2 の SMR の C/A \bar ビット、SCR の CKE0、CKE1 ビット、および PA3DDR の組み合わせにより次のように切り替わります。

動作モード	モード 4~6				
AE3~AE0	B'0000~B'1011				B'1100~B'1111
CKE1	0			1	—
C/A \bar	0		1	—	—
CKE0	0	1	—	—	—
PA3DDR	0	1	—	—	—
端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力 A19 出力

動作モード	モード 7				
CKE1	0				1
C/A \bar	0			1	—
CKE0	0	1	—	—	—
PA3DDR	0	1	—	—	—
端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力

- PA2/A18/RxD2

動作モードと PFCR の AE3~AE0 ビット、SCI_2 の SCR の RE ビット、および PA2DDR の組み合わせにより次のように切り替わります。

動作モード	モード 4~6			
AE3~AE0	B'0000~B'1010			B'1011~B'1111
RE	0		1	—
PA2DDR	0	1	—	—
端子機能	PA2 入力	PA2 出力	RxD2 入力	A18 出力

動作モード	モード 7		
RE	0		1
PA2DDR	0	1	—
端子機能	PA2 入力	PA2 出力	RxD2 入力

- PA1/A17/TxD2

動作モードと PFCR の AE3~AE0 ビット、SCI_2 の SCR の TE ビット、および PA1DDR の組み合わせにより次のように切り替わります。

動作モード	モード 4~6			
AE3~AE0	B'0000~B'1001			B'1010~B'1111
TE	0		1	—
PA1DDR	0	1	—	—
端子機能	PA1 入力	PA1 出力	TxD2 入力	A17 出力

動作モード	モード 7		
TE	0		1
PA1DDR	0	1	—
端子機能	PA1 入力	PA1 出力	TxD2 出力

- PA0/A16

動作モードと PFCR の AE3~AE0 ビット、および PA0DDR の組み合わせにより次のように切り替わります。

動作モード	モード 4~6		
AE3~AE0	B'0000~B'1000		B'1001~B'1111
PA0DDR	0	1	—
端子機能	PA0 入力	PA0 出力	A16 出力

動作モード	モード 7	
PA0DDR	0	1
端子機能	PA0 入力	PA0 出力

9.6 ポート B

ポート B は、8 ビットの入出力ポートです。ポート B は、TPU の入出力端子とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)
- ポート B オープンドレインコントロールレジスタ (PBODR)

9.6.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	モード 4~6 では、PBDDR の設定に関わらず、PFCR の AE3~AE0 ビットの設定に従い対応する端子はアドレス出力となります。アドレス出力でないとき、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。 モード 7 のとき、PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

9.6.2 ポート B データレジスタ (PBDR)

PBDR は、ポート B の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

9.6.3 ポート B レジスタ (PORTB)

PORTB は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	—*	R	このレジスタをリードすると、PBDDR が 1 にセットされているビットは、PBDR の値がリードされます。PBDDR が 0 にクリアされているビットは端子の状態がリードされます。
6	PB6	—*	R	
5	PB5	—*	R	
4	PB4	—*	R	
3	PB3	—*	R	
2	PB2	—*	R	
1	PB1	—*	R	
0	PB0	—*	R	

【注】 * PB7～PB0 端子状態により決定されます。

9. I/Oポート

9.6.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR は、ポート B の入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	モード 4~6 では、PFCR、TPU の TIOR および PBDDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。 モード 7 では、TPU の TIOR および PBDDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

9.6.5 ポート B オープンドレインコントロールレジスタ (PBODR)

PBODR は、ポート B の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PB7ODR	0	R/W	PFCR の AE3~AE0 の設定により、アドレス出力以外のとき PBODR を 1 にセットするとポート B の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

9.6.6 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/A15/TIOCB5

動作モードとPFCRのAE3～AE0ビット、TMDR_5のMD3～MD0ビット、TIOR_5のIOB3～IOB0ビット、TCR_5のCCLR1、CCLR0ビットによるTPU_5の設定、およびPB7DDRビットにより、次のように切り替わります。

動作モード	モード 4～6			
AE3～AE0	B'0000～B'0111			B'1000～B'1111
TPUチャンネル5の設定	下表 (1)	下表 (2)		—
PB7DDR	—	0	1	—
端子機能	TIOCB5 出力	PB7 入力	PB7 出力	A15 出力
		TIOCB5 入力*		

動作モード	モード 7			
TPUチャンネル5の設定	下表 (1)	下表 (2)		
PB7DDR	—	0	1	
端子構成	TIOCB5 出力	PB7 入力	PB7 出力	
		TIOCB5 入力*		

TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 * MD3～MD0=B'0000、B'01xx かつ IOB3=1 の場合に、TIOCB5 入力となります。

9. I/O ポート

- PB6/A14/TIOCA5

動作モードとPFCRのAE3～AE0ビット、TMDR_5のMD3～MD0ビット、TIOR_5のIOA3～IOA0ビット、TCR_5のCCLR1、CCLR0ビットによるTPU_5の設定、およびPB6DDRビットにより、次のように切り替わります。

動作モード	モード 4～6			
AE3～AE0	B'0000～B'0110			B'0111～B'1111
TPU チャンネル 5 の設定	下表 (1)	下表 (2)		—
PB6DDR	—	0	1	—
端子機能	TIOCA5 出力	PB6 入力	PB6 出力	A14 出力
		TIOCA5 入力* ¹		

動作モード	モード 7			
TPU チャンネル 5 の設定	下表 (1)	下表 (2)		
PB6DDR	—	0	1	
端子構成	TIOCA5 出力	PB6 入力	PB6 出力	
		TIOCA5 入力* ¹		

TPU チャンネル 5 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM モード 1 出力* ²	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3=1 の場合に、TIOCA5 入力となります。

*2 TIOCB5 は出力禁止となります。

- PB5/A13/TIOCB4

動作モードと PFCR の AE3~AE0 ビット、TMDR_4 の MD3~MD0 ビット、TIOR_4 の IOB3~IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU_4 の設定、および PB5DDR ビットにより、次のように切り替わります。

動作モード	モード 4~6			
AE3~AE0	B'0000~B'0101			B'0110~B'1111
TPU チャンネル 4 の設定	下表 (1)	下表 (2)		—
PB5DDR	—	0	1	—
端子機能	TIOCB4 出力	PB5 入力	PB5 出力	A13 出力
		TIOCB4 入力*		

動作モード	モード 7			
TPU チャンネル 4 の設定	下表 (1)	下表 (2)		
PB5DDR	—	0	1	
端子構成	TIOCB4 出力	PB5 入力	PB5 出力	
		TIOCB4 入力*		

TPU チャンネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 * MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に、TIOCB4 入力となります。

9. I/O ポート

- PB4/A12/TIOCA4

動作モードとPFCRのAE3~AE0ビット、TMDR_4のMD3~MD0ビット、TIOR_4のIOA3~IOA0ビット、TCR_4のCCLR1、CCLR0ビットによるTPU_4の設定、およびPB4DDRビットにより、次のように切り替わります。

動作モード	モード 4~6			
AE3~AE0	B'0000~B'0100			B'0101~B'1111
TPUチャンネル4の設定	下表 (1)	下表 (2)		—
PB4DDR	—	0	1	—
端子機能	TIOCA4 出力	PB4 入力	PB4 出力	A12 出力
		TIOCA4 入力* ¹		

動作モード	モード 7			
TPUチャンネル4の設定	下表 (1)	下表 (2)		
PB4DDR	—	0	1	
端子構成	TIOCA4 出力	PB4 入力	PB4 出力	
		TIOCA4 入力* ¹		

TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM モード 1 出力* ²	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に、TIOCA4 入力となります。

*2 TIOCB4 は出力禁止となります。

- PB3/A11/TIOCD3

動作モードと PFCR の AE3～AE0 ビット、TMDR_3 の MD3～MD0 ビット、TIORL_3 の IOD3～IOD0 ビット、TCR_3 の CCLR2～CCLR0 ビットによる TPU_3 の設定、および PB3DDR ビットにより、次のように切り替わります。

動作モード	モード 4～6		
AE3～AE0	B'0000～B'0011		B'0100～B'1111
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB3DDR	—	0	1
端子機能	TIOCD3 出力	PB3 入力	PB3 出力
		TIOCD3 入力*	
			A11 出力

動作モード	モード 7		
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB3DDR	—	0	1
端子構成	TIOCD3 出力	PB3 入力	PB3 出力
		TIOCD3 入力*	

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOD3～IOD0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 * MD3～MD0=B'0000、B'01xx かつ IOD3～IOD0=B'10xx の場合に、TIOCD3 入力となります。

9. I/O ポート

- PB2/A10/TIOCC3

動作モードと PFCR の AE3~AE0 ビット、TMDR_3 の MD3~MD0 ビット、TIORL_3 の IOC3~IOC0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU_3 の設定、および PB2DDR ビットにより、次のように切り替わります。

動作モード	モード 4~6		
AE3~AE0	B'0000~B'0010		B'0011~B'1111
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB2DDR	—	0	1
端子機能	TIOCC3 出力	PB2 入力	PB2 出力
		TIOCC3 入力* ¹	
			A10 出力

動作モード	モード 7		
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB2DDR	—	0	1
端子構成	TIOCC3 出力	PB2 入力	PB2 出力
		TIOCC3 入力* ¹	

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM モード 1 出力* ²	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に、TIOCC3 入力となります。

*2 TIOCC3 は出力禁止となります。

- PB1/A9/TIOCB3

動作モードと PFCR の AE3～AE0 ビット、TMDR_3 の MD3～MD0 ビット、TIORH_3 の IOB3～IOB0 ビット、TCR_3 の CCLR2～CCLR0 ビットによる TPU_3 の設定、および PB1DDR ビットにより、次のように切り替わります。

動作モード	モード 4～6		
AE3～AE0	B'0000～B'0001		B'0010～B'1111
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB1DDR	—	0	1
端子機能	TIOCB3 出力	PB1 入力	PB1 出力
		TIOCB3 入力*	

動作モード	モード 7		
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB1DDR	—	0	1
端子構成	TIOCB3 出力	PB1 入力	PB1 出力
		TIOCB3 入力*	

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 * MD3～MD0=B'0000、B'01xx かつ IOB3～IOB0=B'10xx の場合に、TIOCB3 入力となります。

9. I/O ポート

• PB0/A8/TIOCA3

動作モードと PFCR の AE3~AE0 ビット、TMDR_3 の MD3~MD0 ビット、TIORH_3 の IOA3~IOA0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU_3 の設定、および PB0DDR ビットにより、次のように切り替わります。

動作モード	モード 4~6		
AE3~AE0	B'0000		B'0001~B'1111
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB0DDR	—	0	1
端子機能	TIOCA3 出力	PB0 入力	PB0 出力
		TIOCA3 入力* ¹	

動作モード	モード 7		
TPU チャンネル 3 の設定	下表 (1)	下表 (2)	
PB0DDR	—	0	1
端子構成	TIOCA3 出力	PB0 入力	PB0 出力
		TIOCA3 入力* ¹	

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM モード 1 出力* ²	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に、TIOCA3 入力となります。

*2 TIOCB3 は出力禁止となります。

9.7 ポート C

ポート C は、8 ビットの入出力ポートです。ポート C は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C データレジスタ (PCDR)
- ポート C レジスタ (PORTC)
- ポート C プルアップ MOS コントロールレジスタ (PCPCR)
- ポート C オープンドレインコントロールレジスタ (PCODR)

9.7.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	モード 4、5 のとき、PCDDR に関わらず、対応するポート C の端子は、アドレス出力となります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	モード 6 のとき、PCDDR を 1 にセットすると対応するポート C の端子はアドレス出力となり、0 にクリアすると入力ポートになります。
4	PC4DDR	0	W	
3	PC3DDR	0	W	モード 7 のとき、PCDDR を 1 にセットすると対応するポート C の各端子は出力となり、0 にクリアすると入力になります。
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

9.7.2 ポート C データレジスタ (PCDR)

PCDR は、ポート C の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

9. I/O ポート

9.7.3 ポート C レジスタ (PORTC)

PORTC は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PC7	—*	R	このレジスタをリードすると、PCDDR が 1 にセットされているビットは、PCDR の値がリードされます。PCDDR が 0 にクリアされているビットは端子の状態がリードされます。
6	PC6	—*	R	
5	PC5	—*	R	
4	PC4	—*	R	
3	PC3	—*	R	
2	PC2	—*	R	
1	PC1	—*	R	
0	PC0	—*	R	

【注】 * PC7～PC0 端子状態により決定されます。

9.7.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR は、ポート C の入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	モード 4～6 では、PFCR および PCDDR の設定により、端子が入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。 モード 7 では、PCDDR の設定により、端子が入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

9.7.5 ポート C オープンドレインコントロールレジスタ (PCODR)

PCODR は、ポート C の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PC7ODR	0	R/W	PFCR の AE3～AE0 の設定により、アドレス出力以外のとき、PCODR を 1 にセットするとポート C の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
6	PC6ODR	0	R/W	
5	PC5ODR	0	R/W	
4	PC4ODR	0	R/W	
3	PC3ODR	0	R/W	
2	PC2ODR	0	R/W	
1	PC1ODR	0	R/W	
0	PC0ODR	0	R/W	

9.7.6 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7~PC0/A0

動作モード	モード 4、5	モード 6		モード 7	
PCnDDR	—	0	1	0	1
端子機能	A7~A0 出力	PC7~PC0 入力	A7~A0 出力	PC7~PC0 入力	PC7~PC0 出力

(n=7~0)

【注】 モード 4 と 5 は内蔵 ROM 無効拡張モードです

9.8 ポート D

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D プルアップ MOS コントロールレジスタ (PDPCR)

9.8.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR は、ライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	PDDDR を 1 にセットすると対応するポート D の各端子は出力となり、0 にクリアすると入力になります。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

9.8.2 ポート D データレジスタ (PDDR)

PDDR は、ポート D の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

9.8.3 ポート D レジスタ (PORTD)

PORTD は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PD7	—*	R	このレジスタをリードすると、PDDDR が 1 にセットされているビットは、PDDDR の値がリードされます。PDDDR が 0 にクリアされているビットは端子の状態がリードされます。
6	PD6	—*	R	
5	PD5	—*	R	
4	PD4	—*	R	
3	PD3	—*	R	
2	PD2	—*	R	
1	PD1	—*	R	
0	PD0	—*	R	

【注】 * PD7～PD0 端子状態により決定されます。

9. I/O ポート

9.8.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR は、ポート D の入力プルアップ MOS のオン/オフをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	モード 7 では、PDDDR の設定により入力端子の状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

9.8.5 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

動作モード	モード 4~6	モード 7	
PDnDDR	—	0	1
端子機能	D15~8 入出力	PD7~PD0 入力	PD7~PD0 出力

(n=7~0)

9.9 ポート E

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット/16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)

9.9.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PE7DDR	0	W	PEDDR を 1 にセットすると対応するポート E の各端子は出力となり、0 にクリアすると入力になります。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

9. I/O ポート

9.9.2 ポート E データレジスタ (PEDR)

PEDR は、ポート E の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

9.9.3 ポート E レジスタ (PORTE)

PORTE は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	—*	R	このレジスタをリードすると、PEDDR が 1 にセットされているビットは、PEDR の値がリードされます。PEDDR が 0 にクリアされているビットは端子の状態がリードされます。
6	PE6	—*	R	
5	PE5	—*	R	
4	PE4	—*	R	
3	PE3	—*	R	
2	PE2	—*	R	
1	PE1	—*	R	
0	PE0	—*	R	

【注】 * PE7～PE0 端子状態により決定されます。

9.9.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR は、ポート E の入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	PE7PCR	0	R/W	モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のとき、PEDDR の設定により端子が入力の状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

9.9.5 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

動作モード	モード 4、5、6			モード 7	
バス幅の設定	16 ビット モード	8 ビットモード		-	
PEnDDR	-	0	1	0	1
端子機能	D7~D0 入出力	PE7~PE0 入力	PE7~PE0 出力	PE7~PE0 入力	PE7~PE0 出力

(n=7~0)

9. I/O ポート

9.10 ポート F

ポート F は、6 ビットの入出力ポートです。ポート F は、外部割り込み入力端子、A/D トリガ入力端子、バス制御信号入出力端子、およびシステムクロック出力端子と兼用になっています。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

9.10.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	1*	W	PFDDR を 1 にセットすると PF7 端子は出力端子となり、0 にクリアすると入力ポートになります。
6	PF6DDR	0	W	PFDDR を 1 にセットすると対応するポート F の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。ビット 2、1 はリザーブビットです。
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	—	不定	—	
1	—	不定	—	
0	PF0DDR	0	W	

【注】 * モード 7 の場合は 0 になります。

9.10.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。ビット 2、1 はリザーブビットです。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	—	不定	—	
1	—	不定	—	
0	PF0DR	0	R/W	

9.10.3 ポート F レジスタ (PORTF)

PORTF は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PF7	—*	R	このレジスタをリードすると、PFDDR が 1 にセットされているビットは、PFDR の値がリードされます。PFDDR が 0 にクリアされているビットは端子の状態がリードされます。ビット 2、1 はリザーブビットです。
6	PF6	—*	R	
5	PF5	—*	R	
4	PF4	—*	R	
3	PF3	—*	R	
2	—	不定	—	
1	—	不定	—	
0	PF0	—*	R	

【注】 * PF7～PF3、PF0 端子状態により決定されます。

9.10.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

- PF7/ ϕ

PF7DDR ビットにより、次のように切り替わります。

PF7DDR	0	1
端子機能	PF7 入力	ϕ 出力

- PF6/ \overline{AS}

動作モードと PF6DDR ビットにより次のように切り替わります。

動作モード	モード 4、5、6	モード 7	
PF6DDR	—	0	1
端子機能	\overline{AS} 出力	PF6 入力	PF6 出力

- PF5/ \overline{RD}

動作モードと PF5DDR ビットにより次のように切り替わります。

動作モード	モード 4、5、6	モード 7	
PF5DDR	—	0	1
端子機能	\overline{RD} 出力	PF5 入力	PF5 出力

9. I/O ポート

- PF4/ $\overline{\text{HWR}}$

動作モードと PF4DDR ビットにより次のように切り替わります。

動作モード	モード 4、5、6	モード 7	
PF4DDR	—	0	1
端子機能	$\overline{\text{HWR}}$ 出力	PF4 入力	PF4 出力

- PF3/ $\overline{\text{LWR}}$ / $\overline{\text{ADTRG}}$ / $\overline{\text{IRQ3}}$

動作モードと ADCR の TRGS1、TRGS0 ビットおよび PF3DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4、5、6			モード 7	
バスモード	16	8		—	
PF3DDR	—	0	1	0	1
端子機能	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力	PF3 入力	PF3 出力
		$\overline{\text{ADTRG}}$ 入力* ¹			
		$\overline{\text{IRQ3}}$ 入力* ²			

【注】 *1 TRGS0=TRGS1=1 のとき $\overline{\text{ADTRG}}$ 入力となります。

*2 外部割り込み端子として使用する場合には、他の機能の入出力端子として使用しないでください。

- PF0/ $\overline{\text{IRQ2}}$

PF0DDR ビットにより次のように切り替わります。

PF0DDR	0	1
端子機能	PF0 入力	PF0 出力
$\overline{\text{IRQ2}}$ 入力		

9.11 ポート H

ポート H は、8 ビットの入出力ポートです。ポート H は、モータコントロール PWM タイマの出力端子と兼用になっています。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)

9.11.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR はライト専用レジスタで、ポート H の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PH7DDR	0	W	PHDDR を 1 にセットすると対応するポート H の各端子は出力となり、0 にクリアすると入力になります。
6	PH6DDR	0	W	
5	PH5DDR	0	W	
4	PH4DDR	0	W	
3	PH3DDR	0	W	
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

9.11.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PH7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PH6DR	0	R/W	
5	PH5DR	0	R/W	
4	PH4DR	0	R/W	
3	PH3DR	0	R/W	
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

9. I/Oポート

9.11.3 ポートHレジスタ (PORTH)

PORTHは、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PH7	—*	R	このレジスタをリードすると、PHDDRが1にセットされているビットは、PHDRの値がリードされます。PHDDRが0にクリアされているビットは端子の状態がリードされます。
6	PH6	—*	R	
5	PH5	—*	R	
4	PH4	—*	R	
3	PH3	—*	R	
2	PH2	—*	R	
1	PH1	—*	R	
0	PH0	—*	R	

【注】 * PH7～PH0 端子状態により決定されます。

9.11.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

モータコントロール PWM タイマの PWOCR_1 の OE1A～OE1H ビットと PHDDR の値により次のように切り替わります。

OE1A～OE1H	1	0	
PHDDR	—	0	1
端子機能	モータコントロール PWM タイマ出力	PH7～PH0 入力	PH7～PH0 出力

9.12 ポート J

ポート J は、8 ビットの入出力ポートです。ポート J は、モータコントロール PWM タイマの出力端子と兼用になっています。

- ポート J データディレクションレジスタ (PJDDR)
- ポート J データレジスタ (PJDR)
- ポート J レジスタ (PORTJ)

9.12.1 ポート J データディレクションレジスタ (PJDDR)

PJDDR はライト専用レジスタで、ポート J の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PJ7DDR	0	W	PJDDR を 1 にセットすると対応するポート J の各端子は出力となり、0 にクリアすると入力になります。
6	PJ6DDR	0	W	
5	PJ5DDR	0	W	
4	PJ4DDR	0	W	
3	PJ3DDR	0	W	
2	PJ2DDR	0	W	
1	PJ1DDR	0	W	
0	PJ0DDR	0	W	

9.12.2 ポート J データレジスタ (PJDR)

PJDR は、ポート J の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PJ7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

9. I/O ポート

9.12.3 ポートJレジスタ (PORTJ)

PORTJは端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PJ7	—*	R	このレジスタをリードすると、PJDDRが1にセットされているビットは、PJDRの値がリードされます。PJDDRが0にクリアされているビットは端子の状態がリードされます。
6	PJ6	—*	R	
5	PJ5	—*	R	
4	PJ4	—*	R	
3	PJ3	—*	R	
2	PJ2	—*	R	
1	PJ1	—*	R	
0	PJ0	—*	R	

【注】 * PJ7～PJ0 端子状態により決定されます。

9.12.4 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。

モータコントロールタイマのPWOCR_2のOE2A～OE2HビットとPJDDRの値により次のように切り替わります。

OE2A～OE2H	1	0	
PJDDR	—	0	1
端子機能	モータコントロール PWM タイマ出力	PJ7～PJ0 入力	PJ7～PJ0 出力

10. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 10.1 に、ブロック図を図 10.1 に示します。

10.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能

コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力

- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

10. 16 ビットタイマパルスユニット (TPU)

表 10.1 TPU の機能一覧 (1)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
カウント クロック	φ/1 φ/4 φ/16 φ/64 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKB TCLKC	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKB TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 φ/1024 φ/4096 TCLKA	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKC TCLKD
ジェネラル レジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コン ペア マッチ 出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプ チャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

○ : 可能

— : 不可

表 10.1 TPU の機能一覧 (2)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
A/D 変換開始 トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	—	—
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ0A ・コンペアマッチ /インプット キャプチャ0B ・コンペアマッチ /インプット キャプチャ0C ・コンペアマッチ /インプット キャプチャ0D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ1A ・コンペアマッチ /インプット キャプチャ1B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ2A ・コンペアマッチ /インプット キャプチャ2B ・オーバーフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ3A ・コンペアマッチ /インプット キャプチャ3B ・コンペアマッチ /インプット キャプチャ3C ・コンペアマッチ /インプット キャプチャ3D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ4A ・コンペアマッチ /インプット キャプチャ4B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ5A ・コンペアマッチ /インプット キャプチャ5B ・オーバーフロー ・アンダフロー

10. 16ビットタイマパルスユニット (TPU)

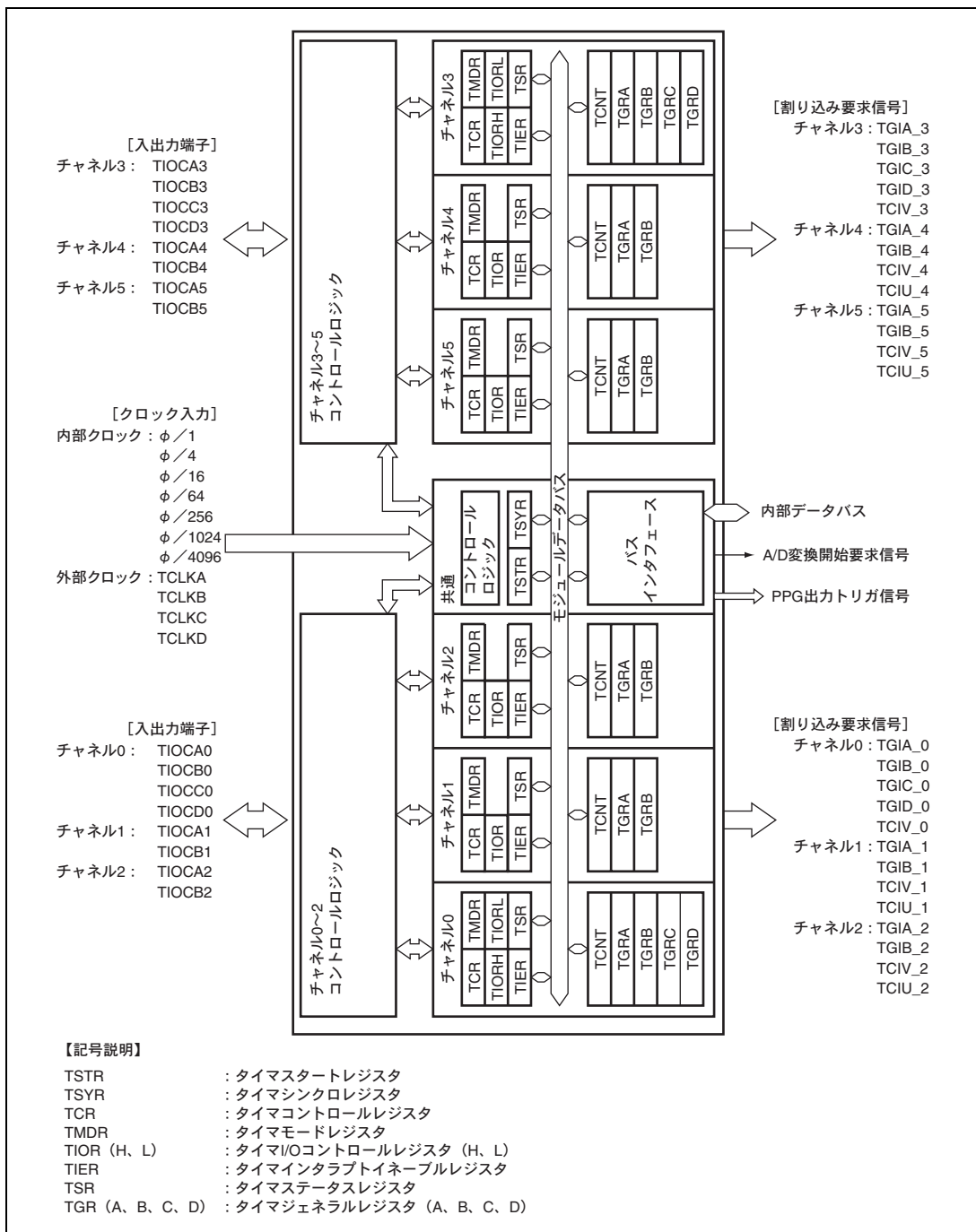


図 10.1 TPUのブロック図

10.2 入出力端子

表 10.2 端子構成 (1)

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子

10. 16ビットタイマパルスユニット (TPU)

表 10.2 端子構成 (2)

チャンネル	名称	入出力	機能
3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子

10.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。各チャンネルのレジスタ名はチャンネル 0 の TCR は TCR_0 と表記してあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)

10. 16ビットタイマパルスユニット (TPU)

- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIOR L_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)
- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 8 ビットのリード/ライト可能なレジスタです。TPU には、チャンネル 0～5 に各 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2～0 TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
6	CCLR1	0	R/W	
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2～0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.5～表 10.10 を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

【記号説明】 x: Don't care

表 10.3 CCLR2～CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

10. 16ビットタイムパルスユニット (TPU)

表 10.4 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 10.5 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

表 10.6 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック： $\phi/256$ でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

10. 16 ビットタイマパルスユニット (TPU)

表 10.7 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル 3)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : $\phi/1024$ でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	内部クロック : $\phi/4096$ でカウント

表 10.9 TPSC2~TPSC0 (チャンネル 4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/1024$ でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】 チャンネル 4 が位相計数モード時、この設定は無効になります。

10. 16 ビットタイマパルスユニット (TPU)

表 10.10 TPSC2~TPSC0 (チャンネル 5)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力 でカウント
	1	0	1	外部クロック : TCLKC 端子入力 でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	外部クロック : TCLKD 端子入力 でカウント

【注】 チャンネル 5 が位相計数モード時、この設定は無効になります。

10.3.2 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット
6	—	1	—	リードすると常に 1 がリードされます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 10.11 を参照してください。

表 10.11 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	0	位相計数モード 4
1	x	x	x	—

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御する 8 ビットのリード/ライト可能なレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~B0 TGRB の機能を設定します。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3~A0 TGRA の機能を設定します。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

10. 16ビットタイマパルスユニット (TPU)

• TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~D0 TGRD の機能を設定します。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~C0 TGRC の機能を設定します。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 10.12 TIORH_0 (チャンネル 0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ*

【記号説明】 x: Don't care

【注】 * TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 10.13 TIORL_0 (チャンネル 0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16 ビットタイマパルスユニット (TPU)

表 10.14 TIOR_1 (チャンネル 1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	TGRB_1はアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 10.15 TIOR_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	TGRB_2はアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.16 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 10.17 TIORL_3 (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_4の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4のカウンタクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16 ビットタイマパルスユニット (TPU)

表 10.18 TIOR_4 (チャンネル4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4の機能	TIOCB4 端子の機能
0	0	0	0	TGRB_4はアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトルグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトルグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRC_3 コンペアマッチ/インプットキャプチャ TGRC_3のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 10.19 TIOR_5 (チャンネル5)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

10. 16ビットタイマパルスユニット (TPU)

表 10.20 TIORH_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ

【記号説明】 x : Don't care

表 10.21 TIORL_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOCC0の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16 ビットタイマパルスユニット (TPU)

表 10.22 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ/インプットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 10.23 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.24 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

表 10.25 TIORL_3 (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16 ビットタイマパルスユニット (TPU)

表 10.26 TIOR_4 (チャンネル4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_3 コンペアマッチ/インプットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 10.27 TIOR_5 (チャンネル5)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

10. 16ビットタイマパルスユニット (TPU)

10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIERは8ビットのリード/ライト可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPUには、各チャンネル1本、計6本のTIERがあります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D変換開始要求イネーブル TGRAのインプットキャプチャ/コンペアマッチによるA/D変換開始要求の発生を許可または禁止します。 0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可
6	—	1	—	リザーブビット リードすると1がリードされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル1、2、4、5でTSRのTCFUフラグが1にセットされたとき、TCFUフラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル0、3ではリザーブビットです。 リードすると常に0がリードされます。ライトは無効です。 0: TCFUによる割り込み要求 (TCIU) を禁止 1: TCFUによる割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSRのTCFVフラグが1にセットされたとき、TCFVフラグによる割り込み要求 (TCIV) を許可または禁止します。 0: TCFVによる割り込み要求 (TCIV) を禁止 1: TCFVによる割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGRインタラプトイネーブルD チャンネル0、3でTSRのTGFDビットが1にセットされたとき、TGFDビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル1、2、4、5ではリザーブビットです。リードすると常に0がリードされます。ライトは無効です。 0: TGFDビットによる割り込み要求 (TGID) を禁止 1: TGFDビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGRインタラプトイネーブルC チャンネル0、3でTSRのTGFCビットが1にセットされたとき、TGFCビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル1、2、4、5ではリザーブビットです。リードすると常に0がリードされます。ライトは無効です。 0: TGFCビットによる割り込み要求 (TGIC) を禁止 1: TGFCビットによる割り込み要求 (TGIC) を許可

10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説 明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を禁止
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

10.3.5 タイマステータスレジスタ (TSR)

TSR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です
5	TCFU	0	R(W)	アンダフローフラグ チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 [セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R(W)	オーバフローフラグ (TCFV) TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] TCNT の値がオーバフローしたとき (H'FFFF→H'0000) [クリア条件] TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

10. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 クリアのみ可能です。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <p>TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRD になったとき</p> <p>TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</p> <p>[クリア条件]</p> <p>TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</p>
2	TGFC	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <p>TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRC になったとき</p> <p>TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</p> <p>[クリア条件]</p> <p>TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</p>
1	TGFB	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRB になったとき</p> <p>TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</p> <p>[クリア条件]</p> <p>TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</p>

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき</p> <p>TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</p> <p>[クリア条件]</p> <p>TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</p>

10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

10. 16ビットタイマパルスユニット (TPU)

10.3.8 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の動作/停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	ライト時は必ず 0 としてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
2	CST2	0	R/W	CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。
1	CST1	0	R/W	
0	CST0	0	R/W	0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作

10.3.9 タイマシンクロレジスタ (TSYR)

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	ライト時は必ず 0 としてください。
5	SYNC5	0	R/W	タイマ同期 5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	
1	SYNC1	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0
0	SYNC0	0	R/W	ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_5~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNT_5~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンパレレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0～CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.2 に示します。

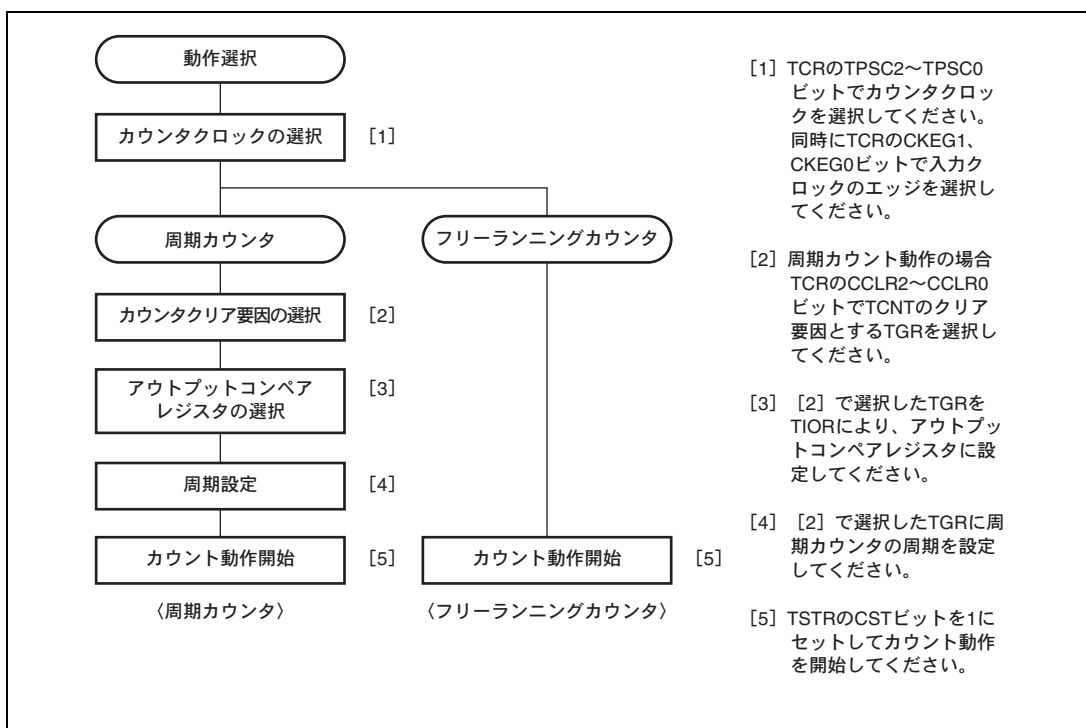


図 10.2 カウンタ動作設定手順例

10. 16 ビットタイマパルスユニット (TPU)

(b) フリーランニングカウント動作と周期カウント動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。フリーランニングカウンタの動作を図 10.3 に示します。

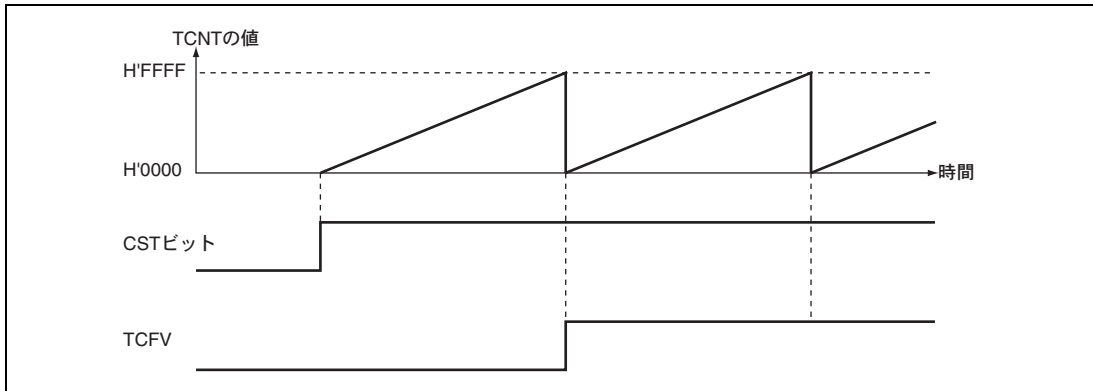


図 10.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。周期カウンタの動作を図 10.4 に示します。

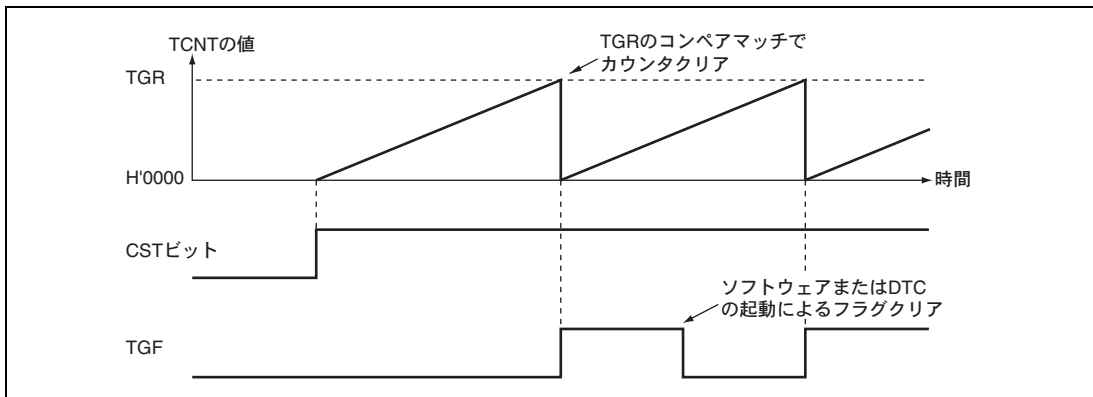


図 10.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.5 に示します。

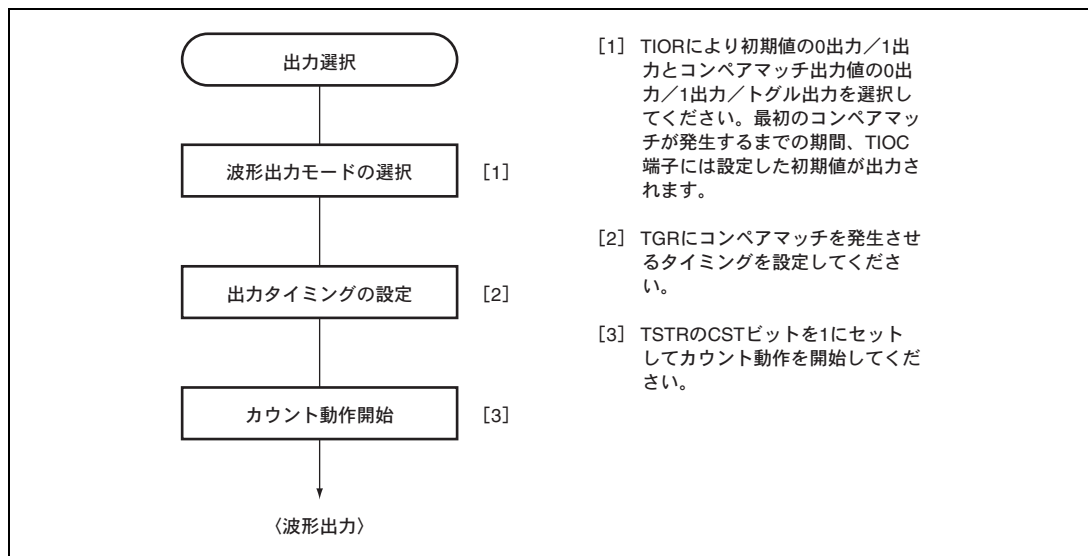


図 10.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力/1 出力例を図 10.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

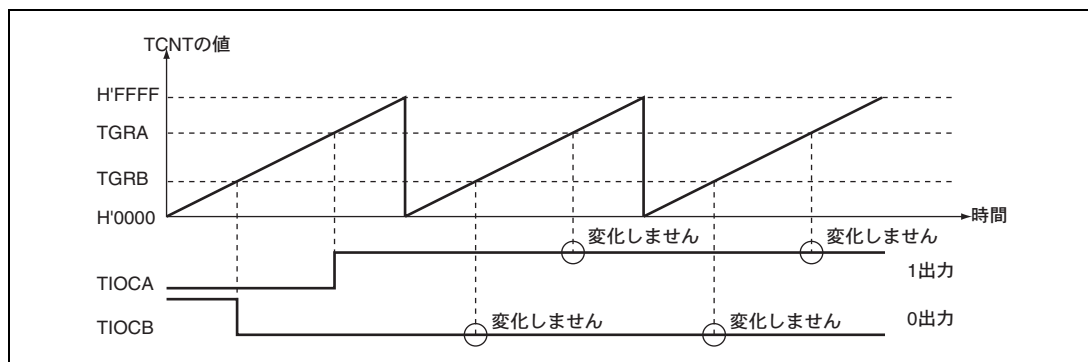


図 10.6 0 出力/1 出力の動作例

10. 16 ビットタイマパルスユニット (TPU)

トグル出力の例を図 10.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

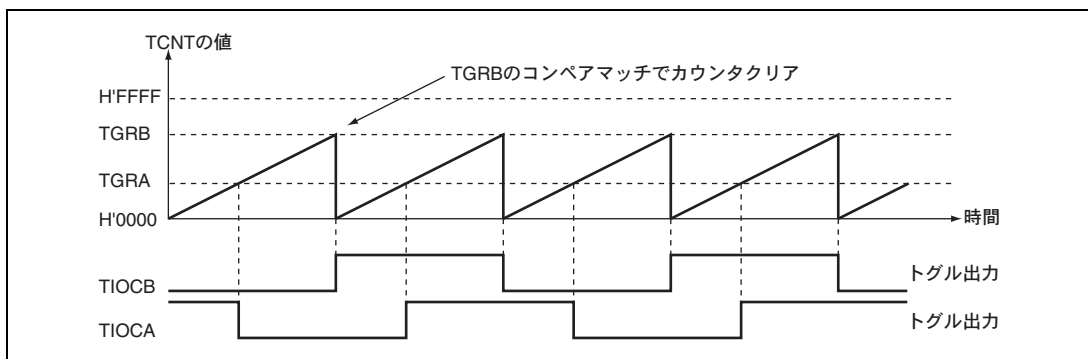


図 10.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.8 に示します。

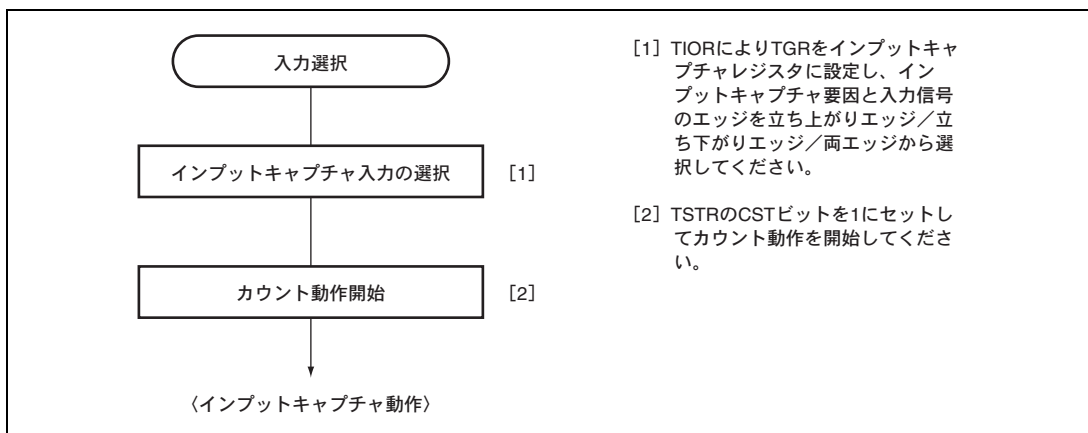


図 10.8 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

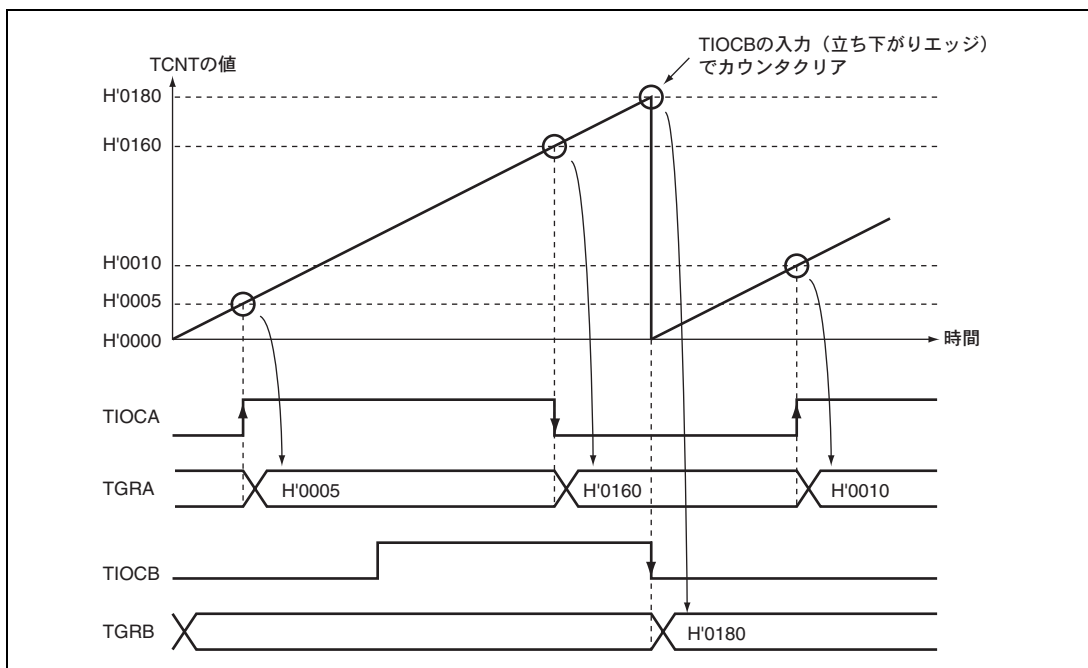


図 10.9 インพุットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.10 に示します。

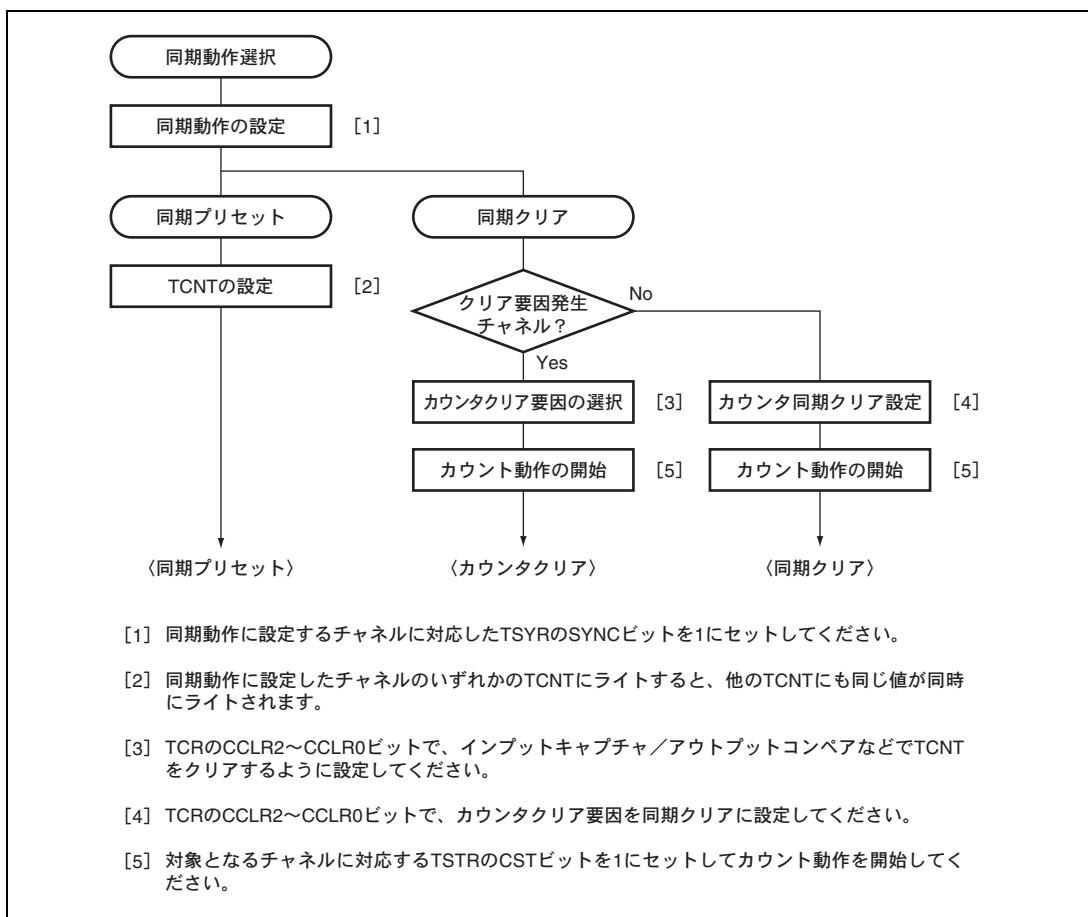


図 10.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.11 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。PWM モードについては、「10.4.5 PWM モード」を参照してください。

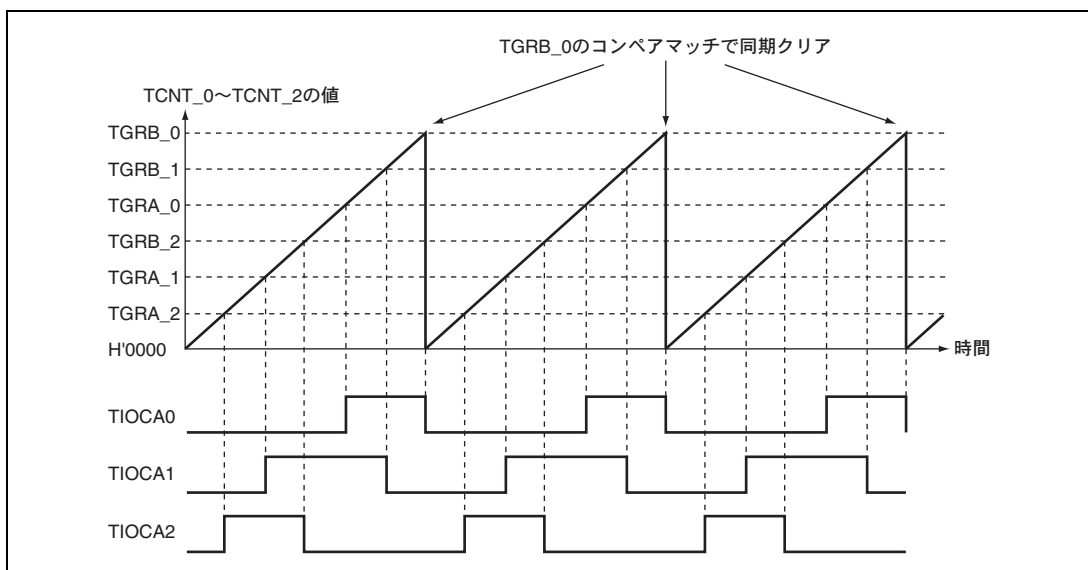


図 10.11 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.28 にバッファ動作時のレジスタの組み合わせを示します。

表 10.28 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

10. 16 ビットタイマパルスユニット (TPU)

• TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。この動作を図 10.12 に示します。

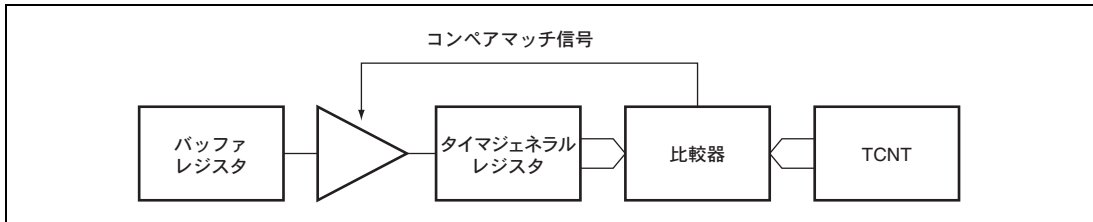


図 10.12 コンペアマッチバッファ動作

• TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。この動作を図 10.13 に示します。

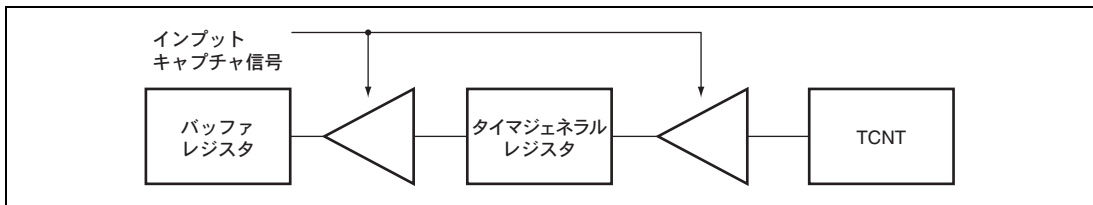


図 10.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.14 に示します。

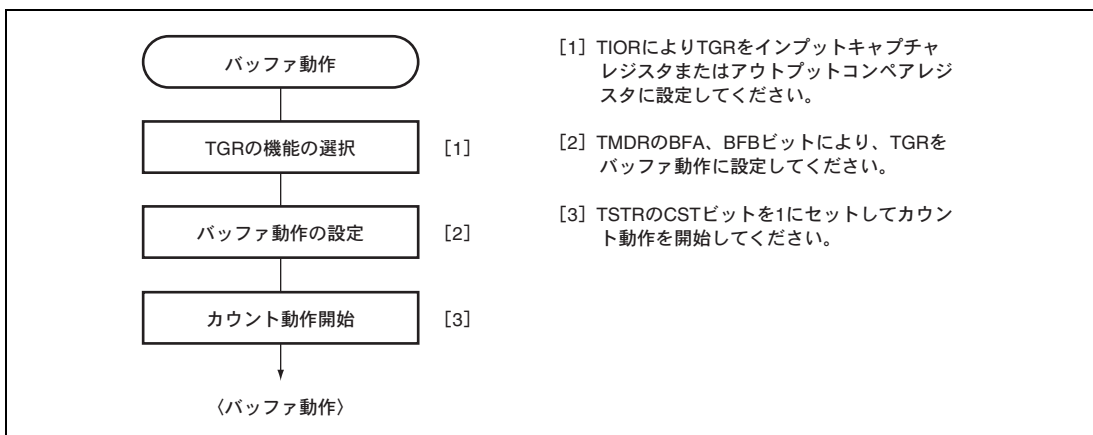


図 10.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.15 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

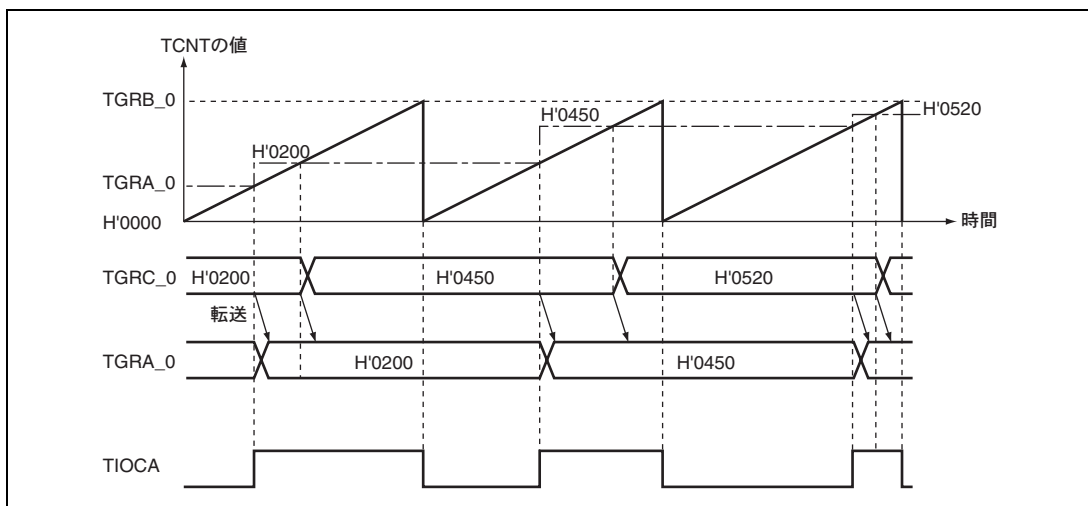


図 10.15 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.16 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

10. 16 ビットタイマパルスユニット (TPU)

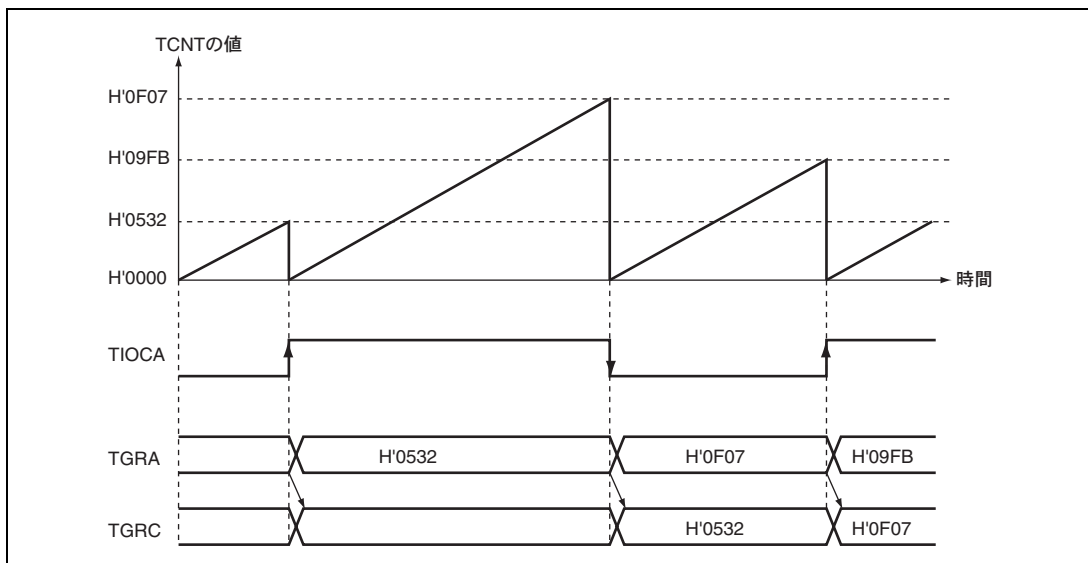


図 10.16 バッファ動作例 (2)

10.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT_2(TCNT_5)のオーバーフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 10.29 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.29 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2
チャンネル4とチャンネル5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.17 に示します。

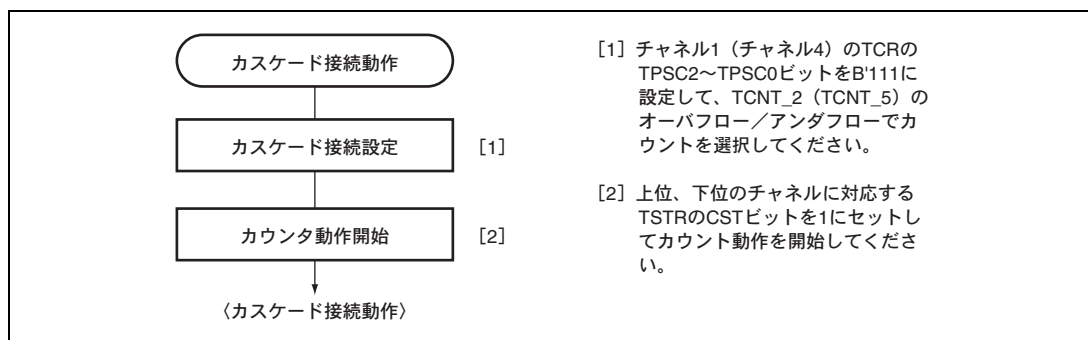


図 10.17 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 10.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

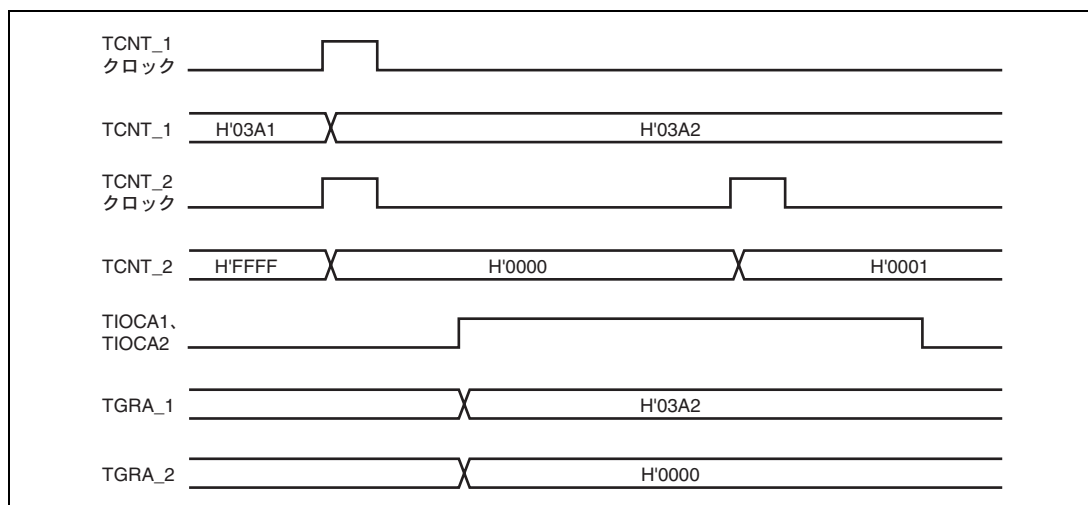


図 10.18 カスケード接続動作例 (1)

10. 16 ビットタイマパルスユニット (TPU)

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 10.19 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

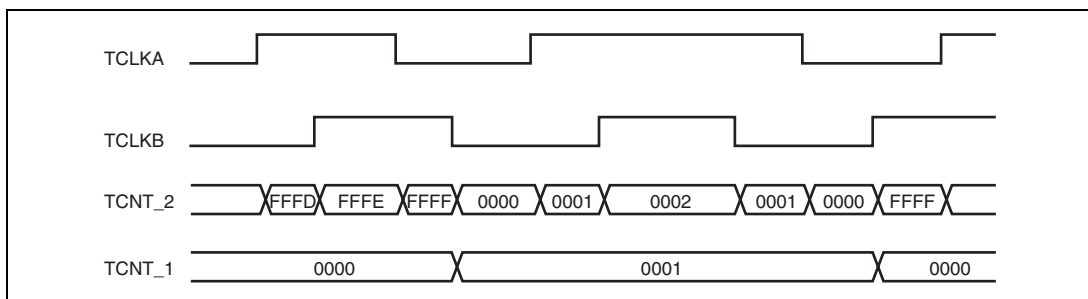


図 10.19 カスケード接続動作例 (2)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(1) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(2) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.30 に示します。

表 10.30 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

10. 16ビットタイマパルスユニット (TPU)

(3) PWMモードの設定手順例

PWMモードの設定手順例を図10.20に示します。

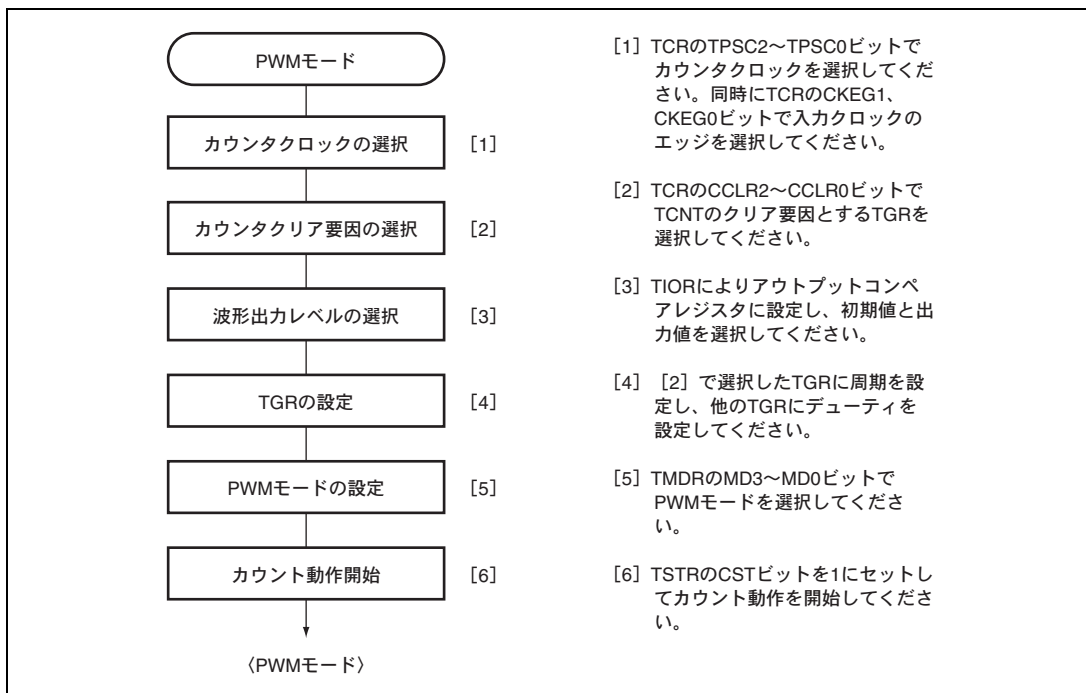


図 10.20 PWMモードの設定手順例

(4) PWMモードの動作例

PWMモード1の動作例を図10.21に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

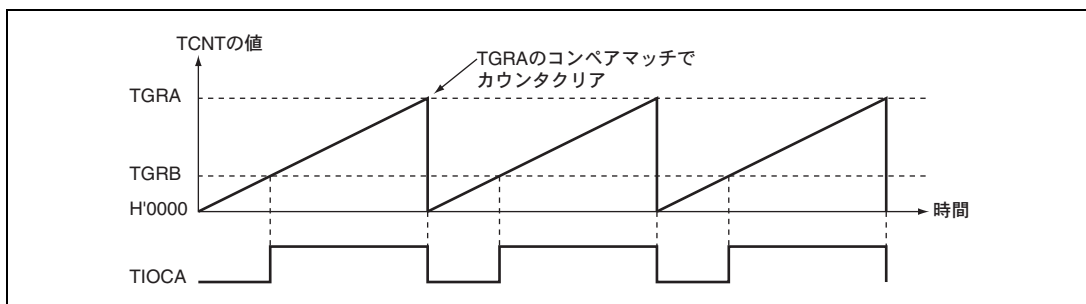


図 10.21 PWMモードの動作例 (1)

PWM モード2の動作例を図 10.22 に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGRB_1のコンペアマッチとし、他のTGR (TGRA_0~TGRD_0, TGRA_1)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGRB_1に設定した値が周期となり、他のTGRに設定した値がデューティになります。

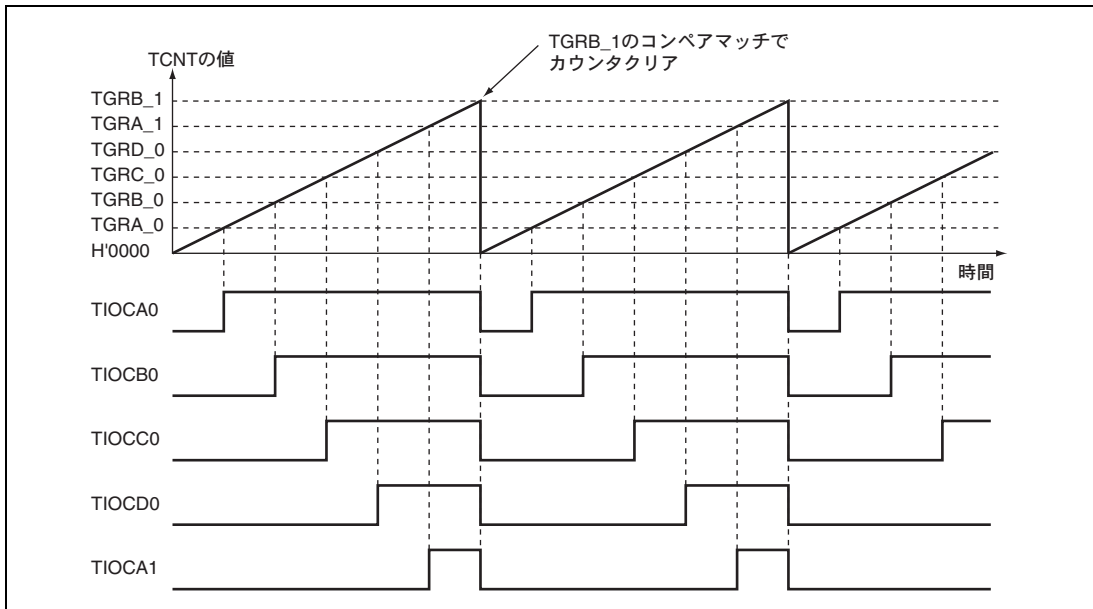


図 10.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%のPWM波形を出力する例を図 10.23 に示します。

10. 16ビットタイマパルスユニット (TPU)

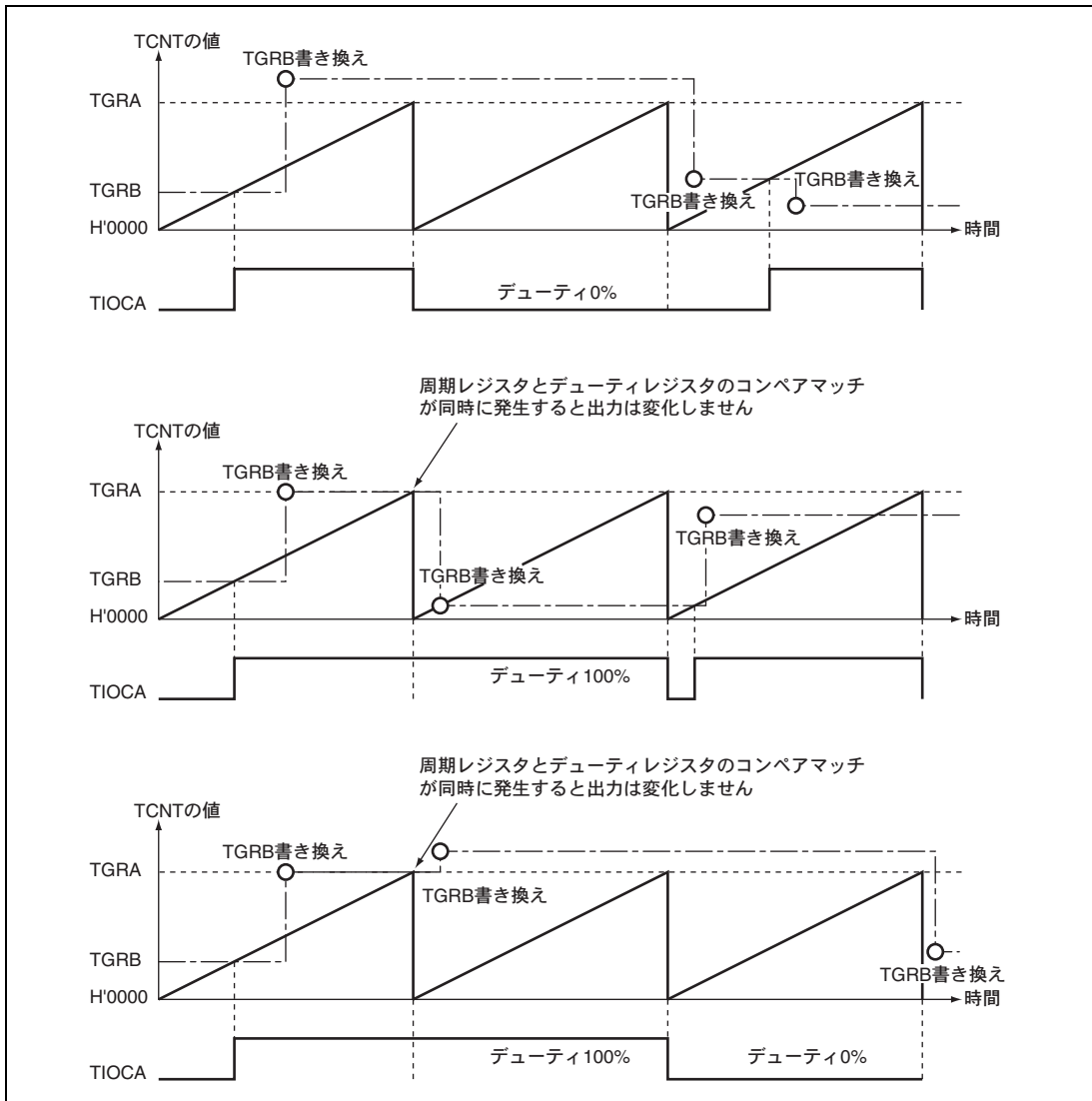


図 10.23 PWM モード動作例 (3)

10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.31 に外部クロック端子とチャンネルの対応を示します。

表 10.31 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.24 に示します。

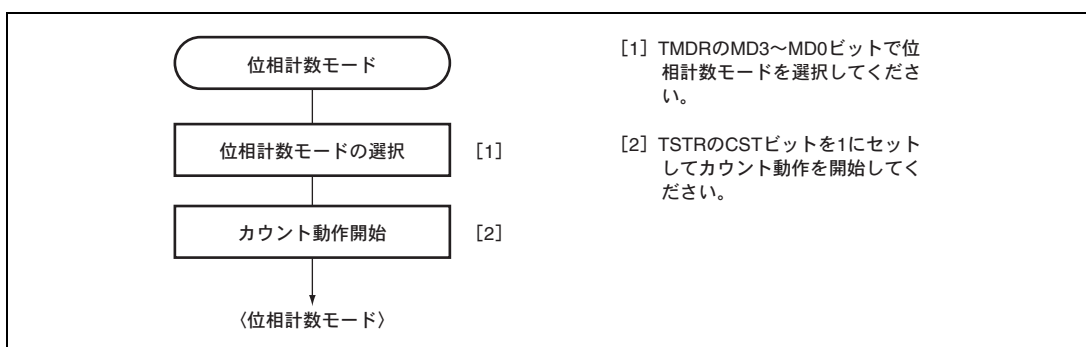


図 10.24 位相計数モードの設定手順例

10. 16 ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図10.25に、TCNTのアップ/ダウンカウント条件を表10.32に示します。

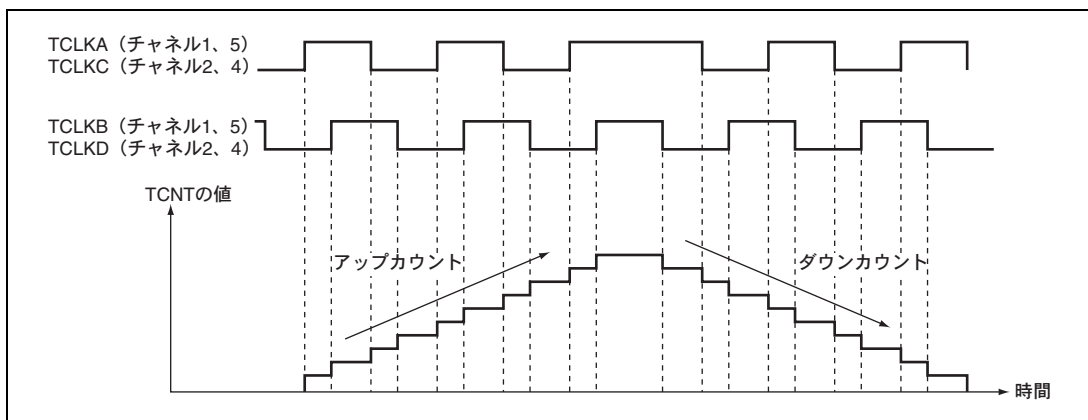


図 10.25 位相計数モード1の動作例

表 10.32 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.26 に、TCNT のアップ/ダウンカウント条件を表 10.33 に示します。

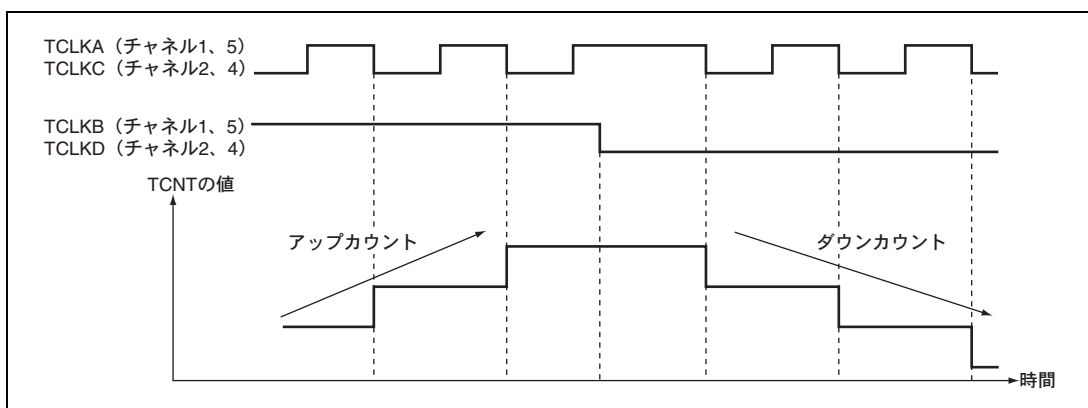


図 10.26 位相計数モード 2 の動作例

表 10.33 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

10. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.27 に、TCNT のアップ/ダウンカウント条件を表 10.34 に示します。

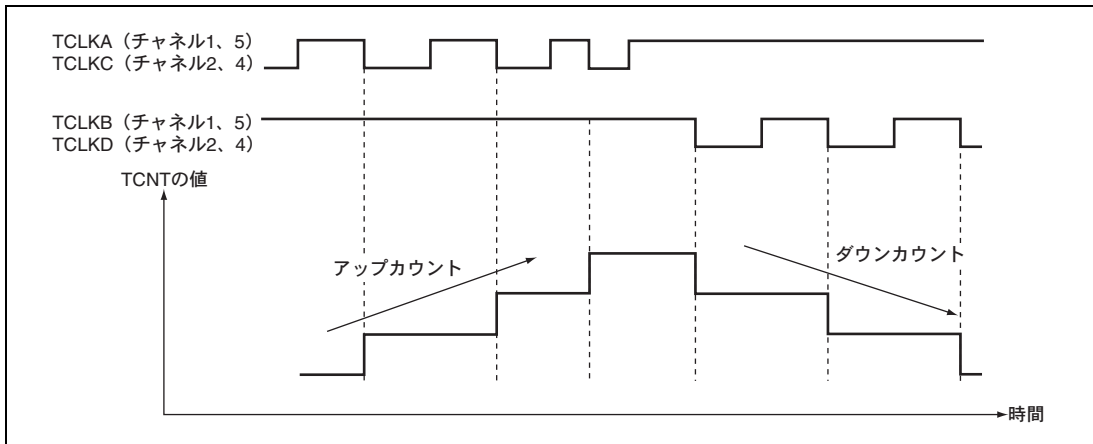


図 10.27 位相計数モード 3 の動作例

表 10.34 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	⌊	Don't care
Low レベル	⌋	Don't care
⌊	Low レベル	Don't care
⌋	High レベル	アップカウント
High レベル	⌋	ダウンカウント
Low レベル	⌊	Don't care
⌊	High レベル	Don't care
⌋	Low レベル	Don't care

【記号説明】

⌊ : 立ち上がりエッジ

⌋ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.28 に、TCNT のアップ/ダウンカウント条件を表 10.35 に示します。

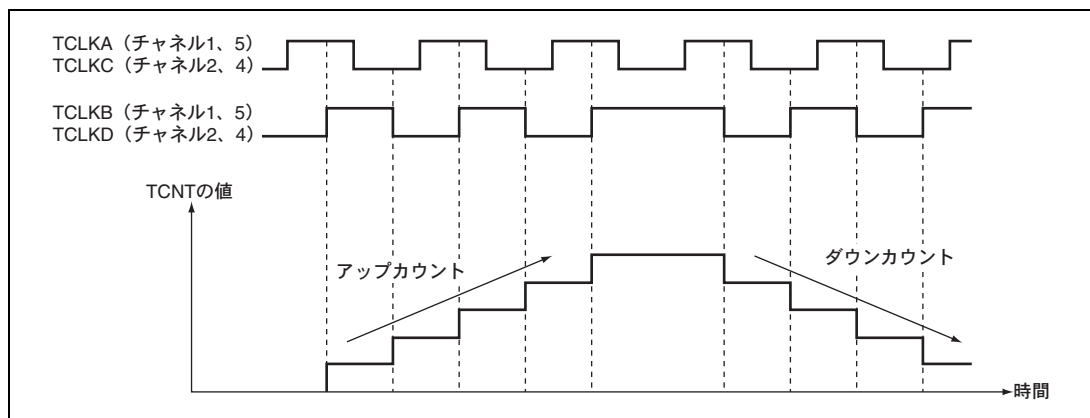


図 10.28 位相計数モード 4 の動作例

表 10.35 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図10.29に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用する、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入カロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

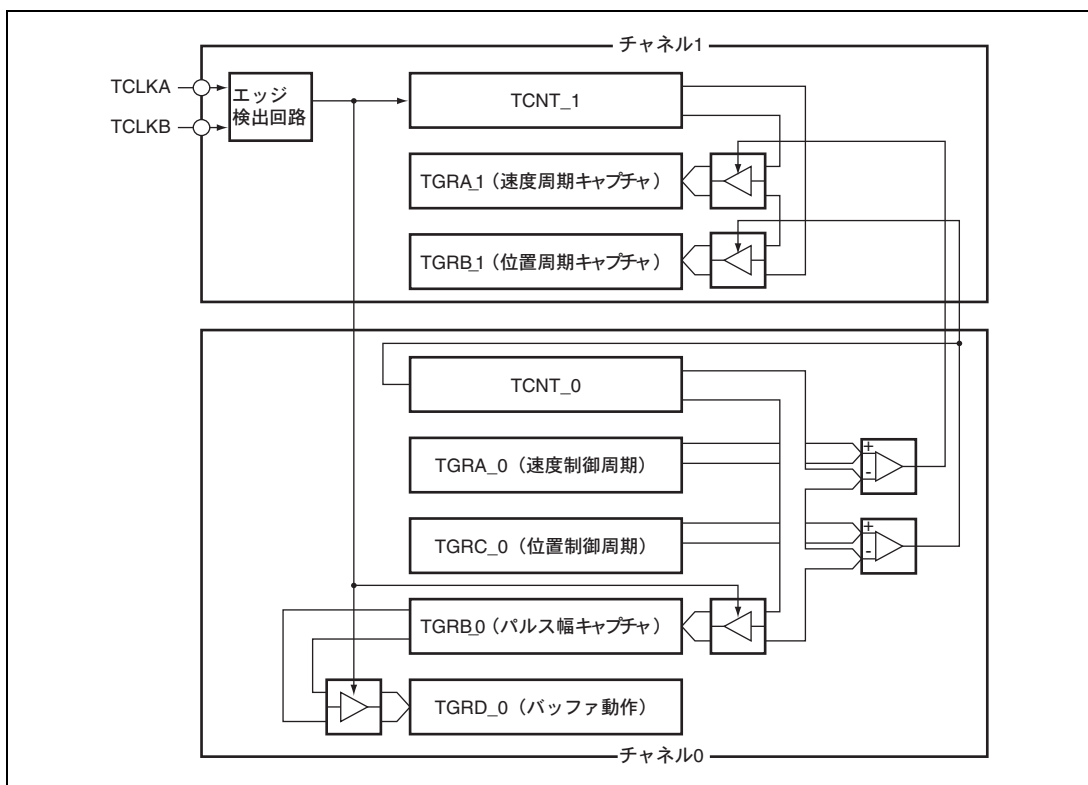


図 10.29 位相計数モードの応用例

10.5 割り込み要因

TPU の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされている場合は、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。表 10.36 に TPU の割り込み要因の一覧を示します。

表 10.36 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可
3	TGIA_3	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可
	TGIB_3	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可
	TGIC_3	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可
	TGID_3	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可
4	TGIA_4	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可
	TGIB_4	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可
	TCIV_4	TCNT_4 のオーバフロー	TCFV_4	不可
	TCIU_4	TCNT_4 のアンダフロー	TCFU_4	不可
5	TGIA_5	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可
	TGIB_5	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可
	TCIV_5	TCNT_5 のオーバフロー	TCFV_5	不可
	TCIU_5	TCNT_5 のアンダフロー	TCFU_5	不可

10. 16ビットタイマパルスユニット (TPU)

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

10.6 DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第8章 データトランスファコントローラ (DTC)」を参照してください。

TPUでは、チャンネル0、3が各4本、チャンネル1、2、4、5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

10.7 A/D変換器の起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

10.8 動作タイミング

10.8.1 入出カタイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.31 に示します。

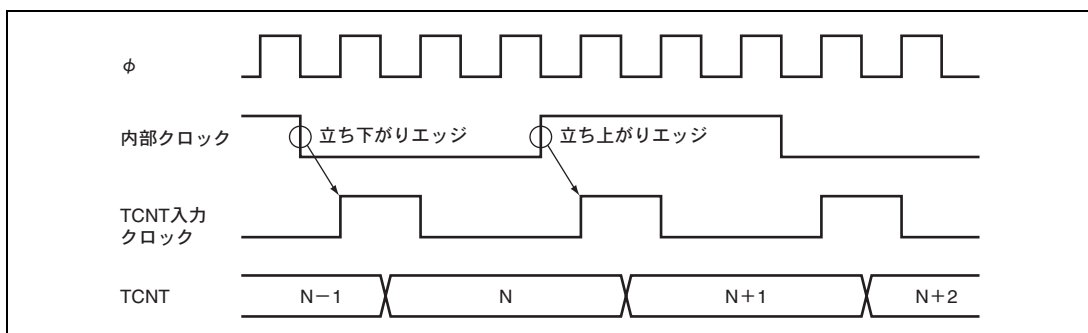


図 10.30 内部クロック動作時のカウントタイミング

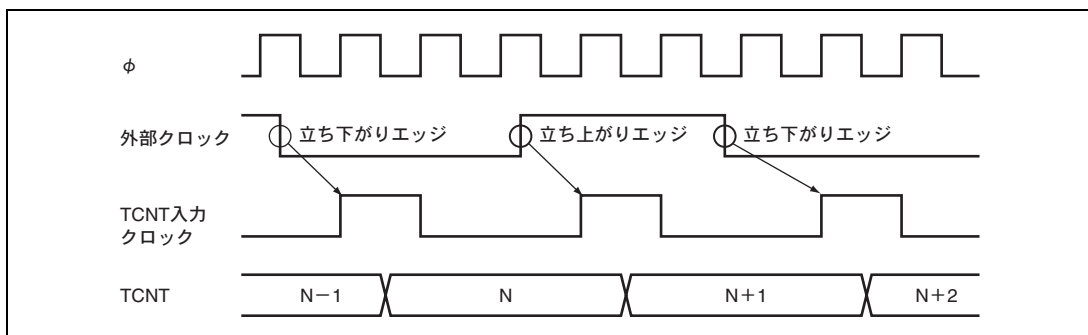


図 10.31 外部クロック動作時のカウントタイミング

10. 16ビットタイマパルスユニット (TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIORで設定した出力値がアウトプットコンペア出力端子（TIOC端子）に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図10.32に示します。

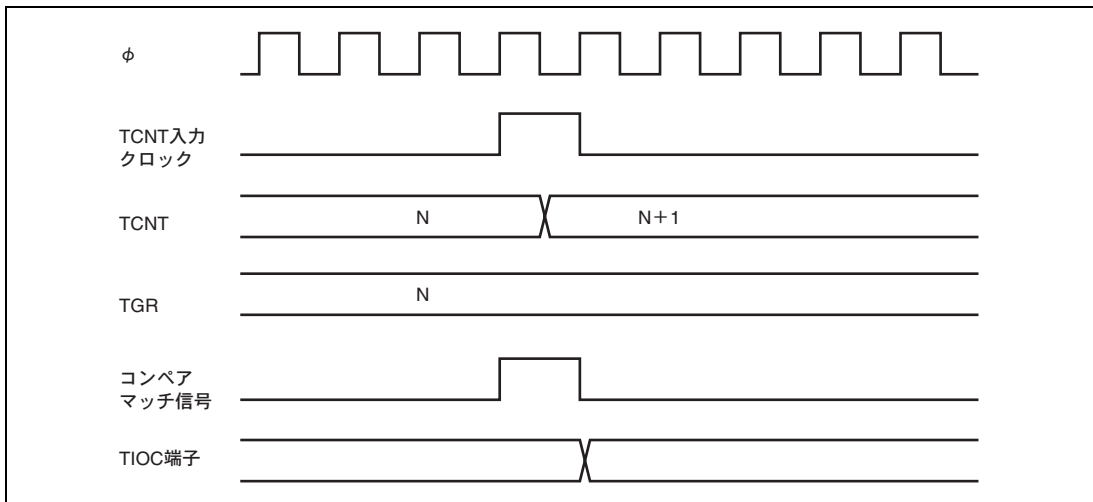


図 10.32 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図10.33に示します。

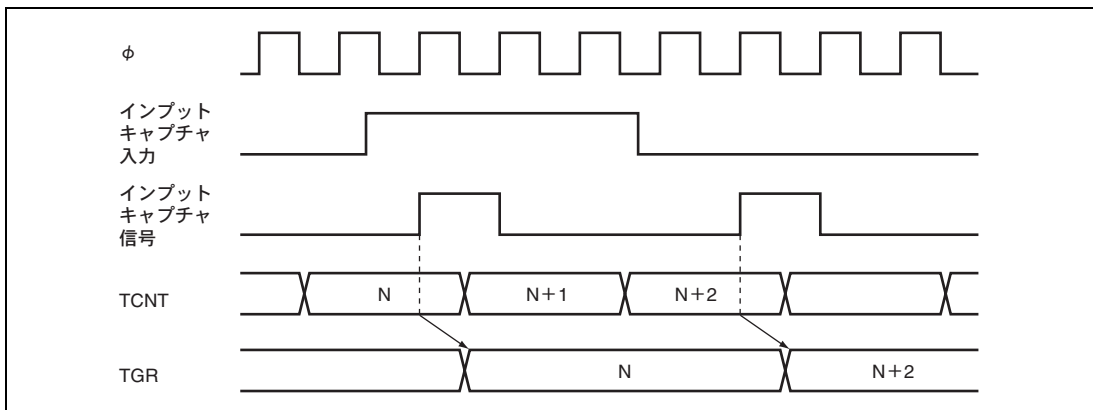


図 10.33 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

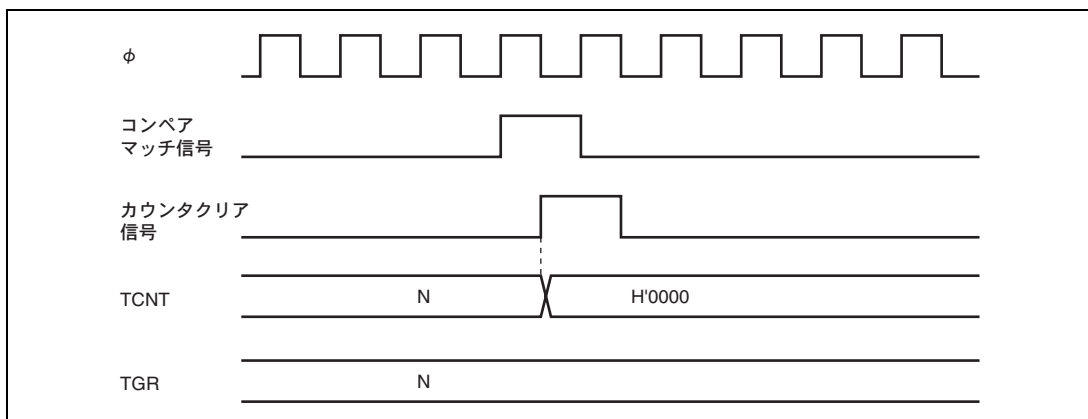


図 10.34 カウンタクリアタイミング (コンペアマッチ)

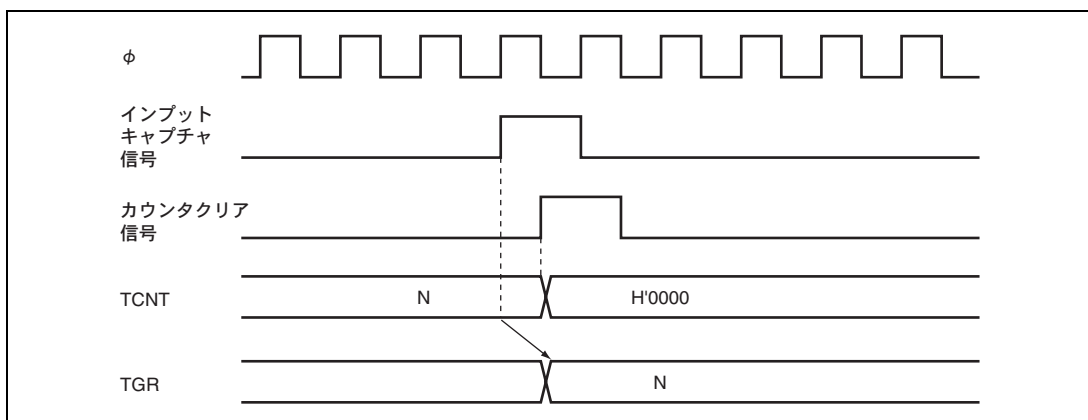


図 10.35 カウンタクリアタイミング (インプットキャプチャ)

10. 16 ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.36、図 10.37 に示します。

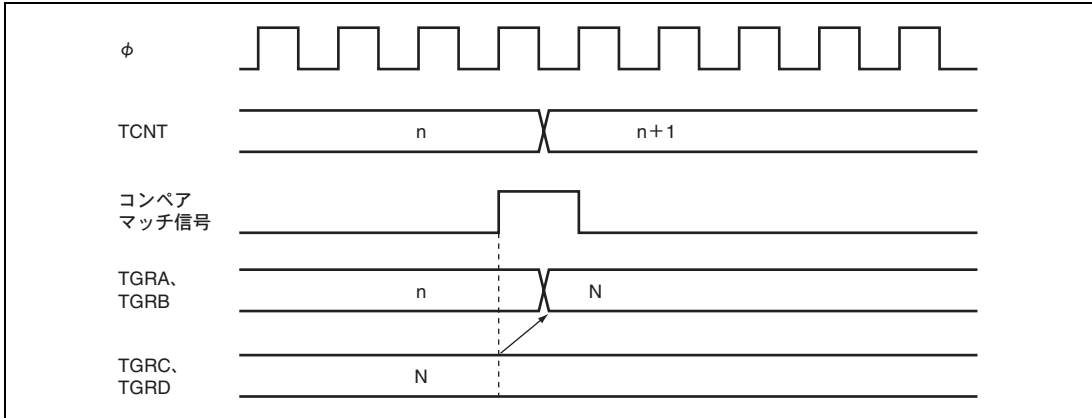


図 10.36 バッファ動作タイミング (コンペアマッチ)

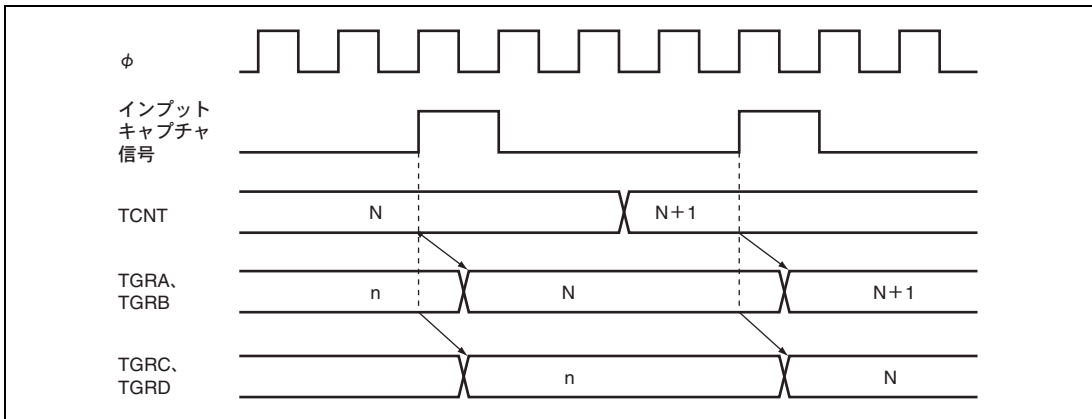


図 10.37 バッファ動作タイミング (インプットキャプチャ)

10.8.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.38 に示します。

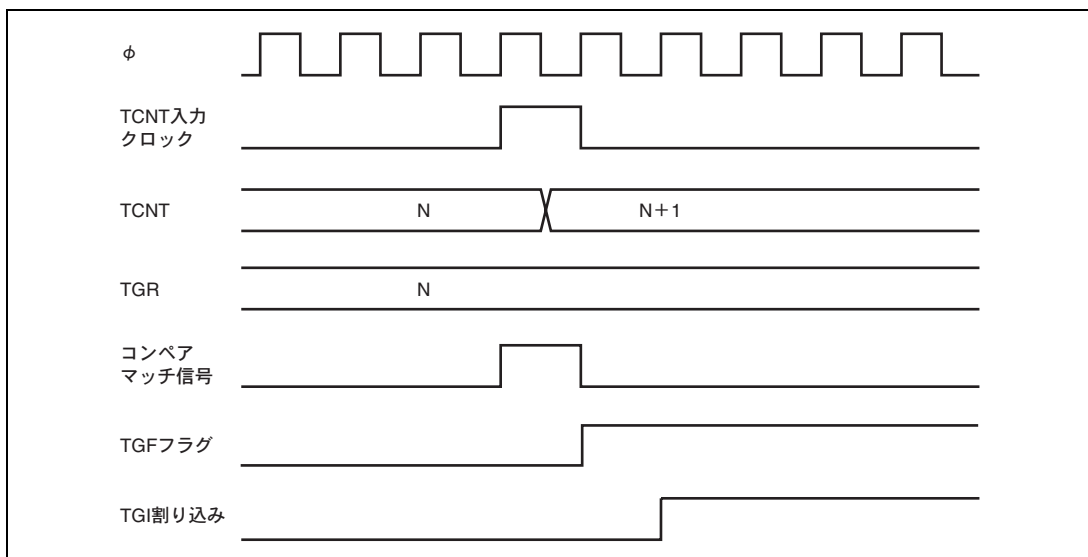


図 10.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

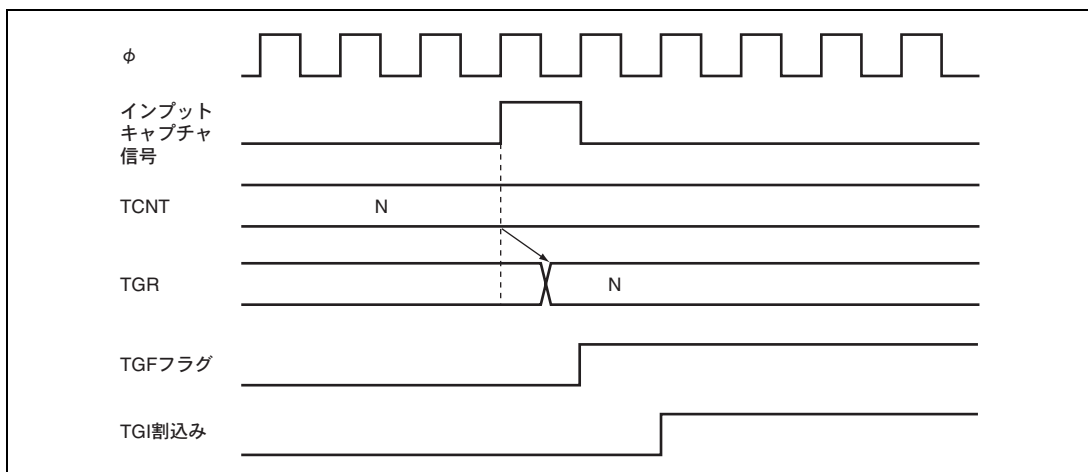


図 10.39 TGI 割り込みタイミング (インพุットキャプチャ)

10. 16ビットタイマパルスユニット (TPU)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.41 に示します。

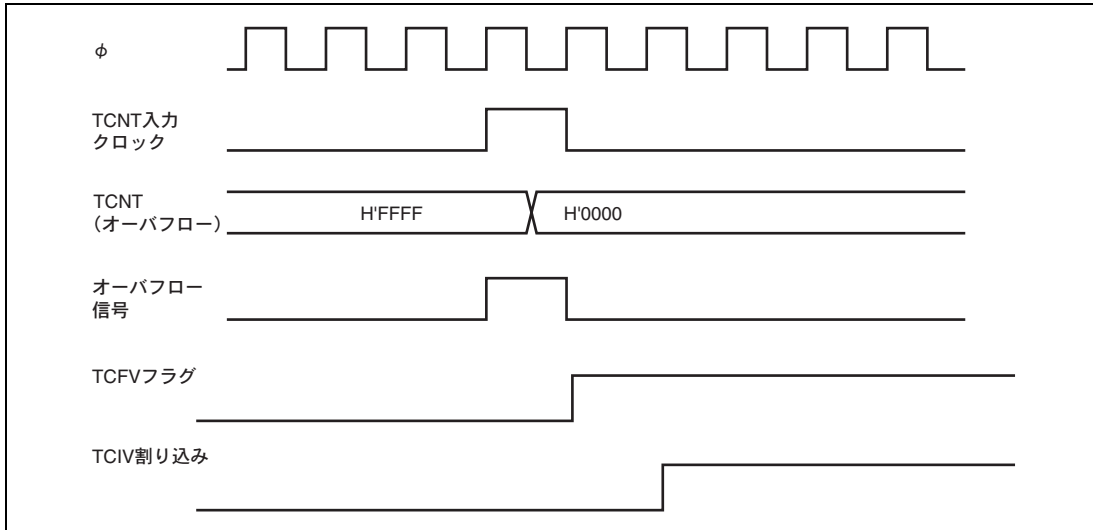


図 10.40 TCIV 割り込みのセットタイミング

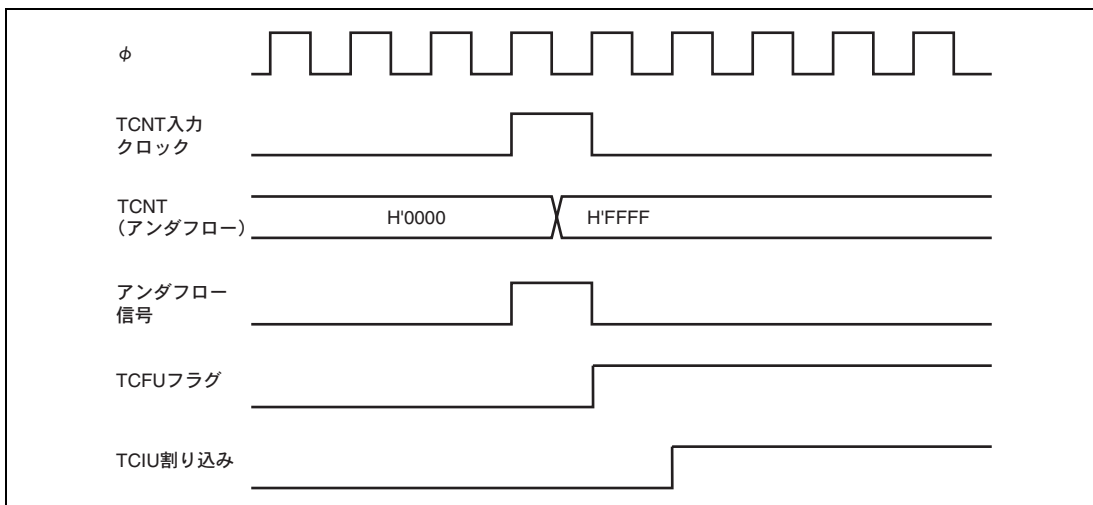


図 10.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.42に、DTCによるステータスフラグのクリアのタイミングを図10.43に示します。

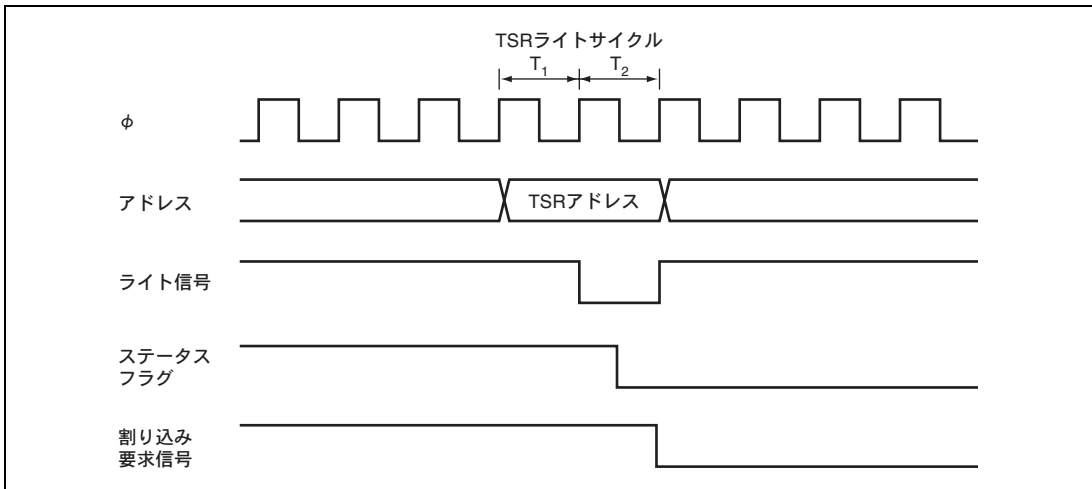


図 10.42 CPU によるステータスフラグのクリアタイミング

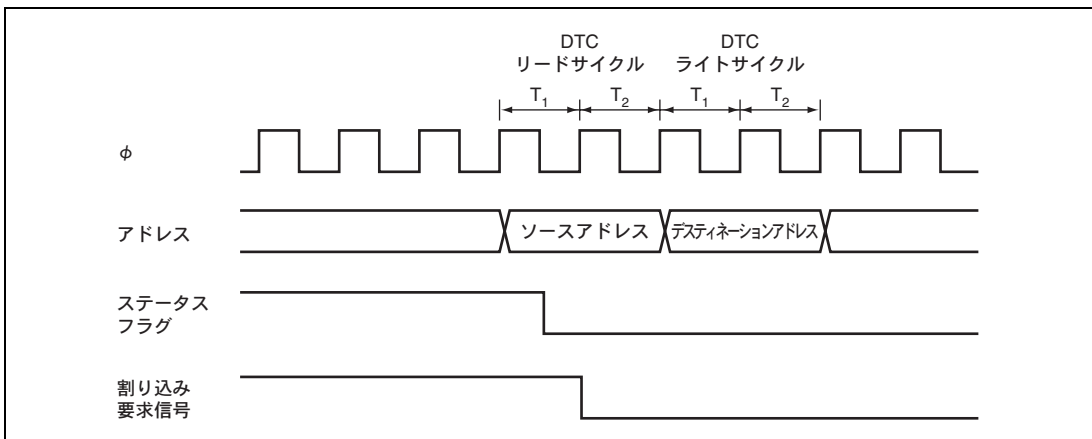


図 10.43 DTC の起動によるステータスフラグのクリアタイミング

10.9 使用上の注意事項

10.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止／許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 21 章 低消費電力状態」を参照してください。

10.9.2 入カクロックの制限事項

入カクロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入カクロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入カクロックの条件を図 10.44 に示します。

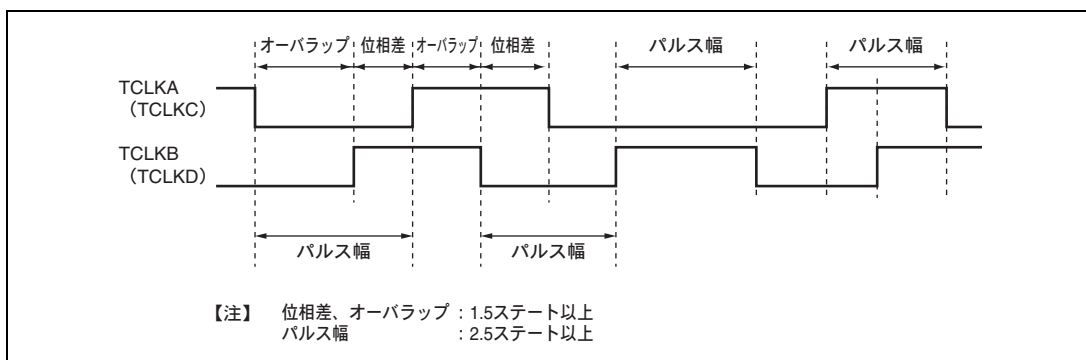


図 10.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

ϕ : 動作周波数

N : TGR の設定値

10.9.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。

このタイミングを図 10.45 に示します。

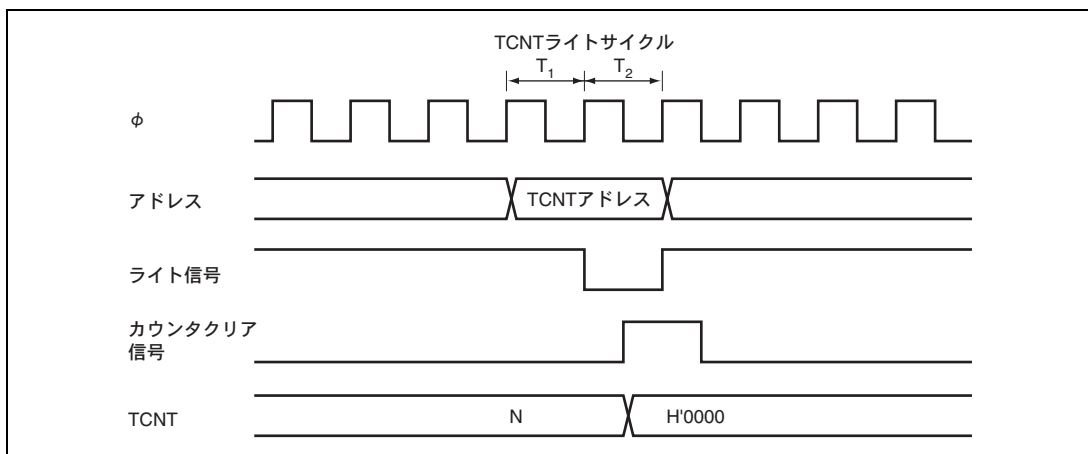


図 10.45 TCNT のライトとクリアの競合

10.9.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.46 に示します。

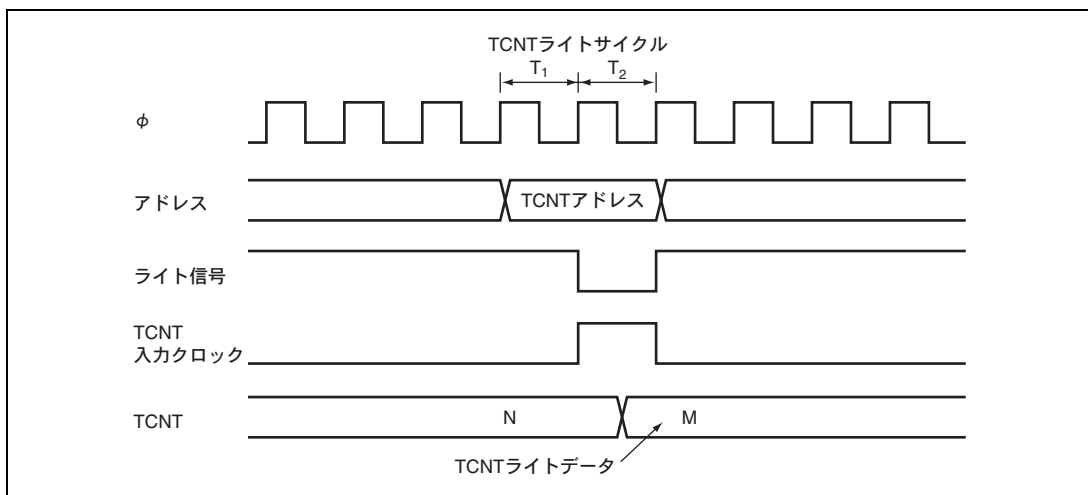


図 10.46 TCNT のライトとカウントアップの競合

10.9.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.47 に示します。

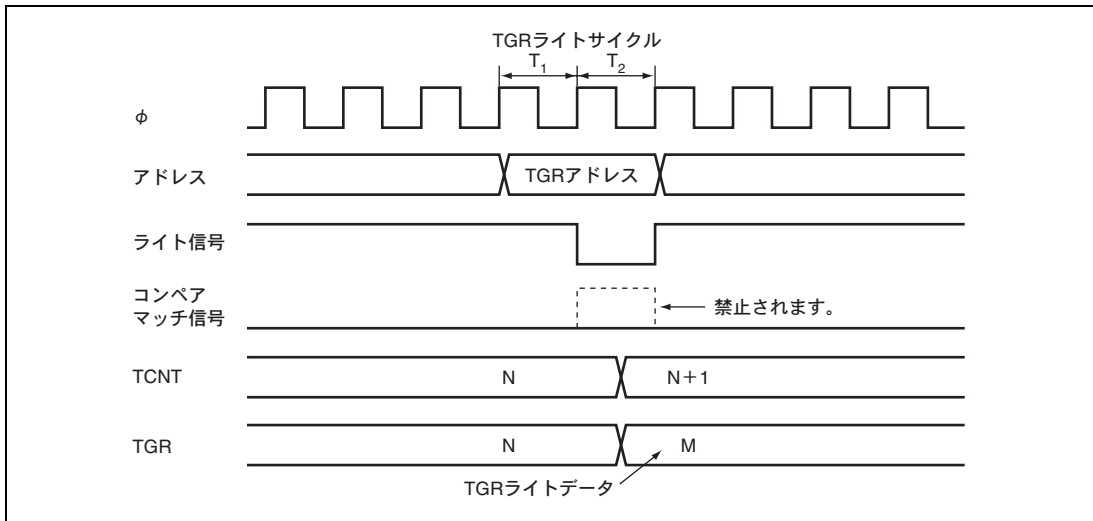


図 10.47 TGR のライトとコンペアマッチの競合

10.9.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.48 に示します。

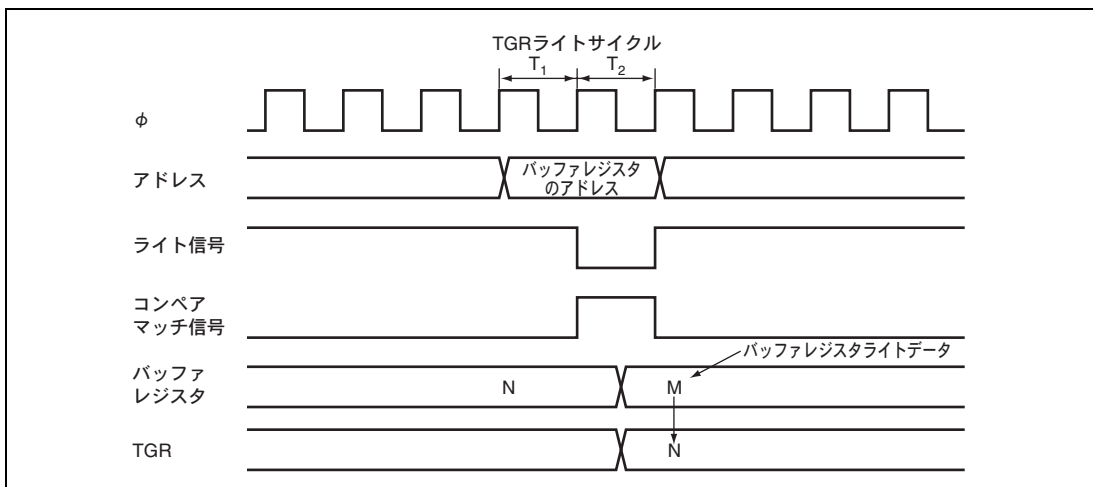


図 10.48 バッファレジスタのライトとコンペアマッチの競合

10.9.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.49 に示します。

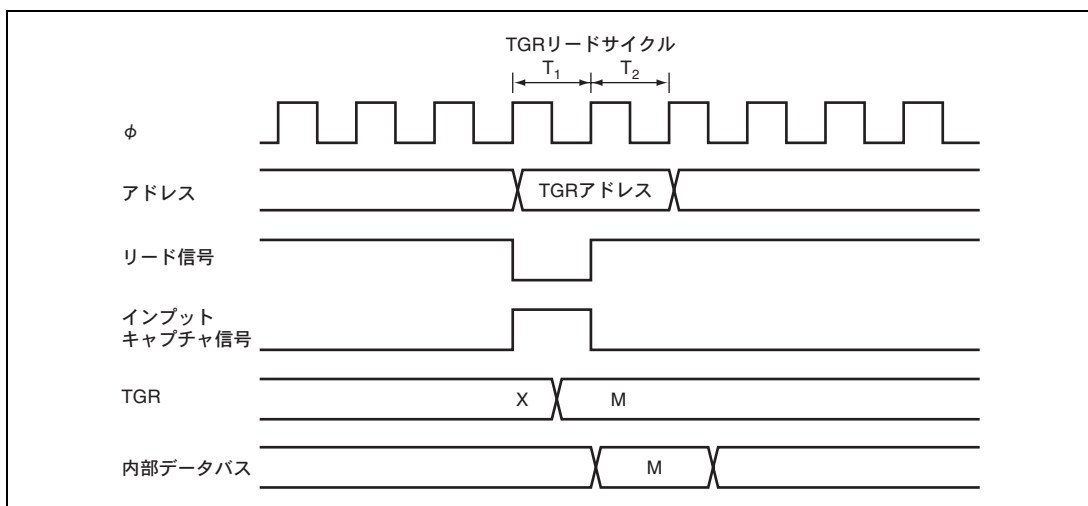


図 10.49 TGR のリードとインプットキャプチャの競合

10.9.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.50 に示します。

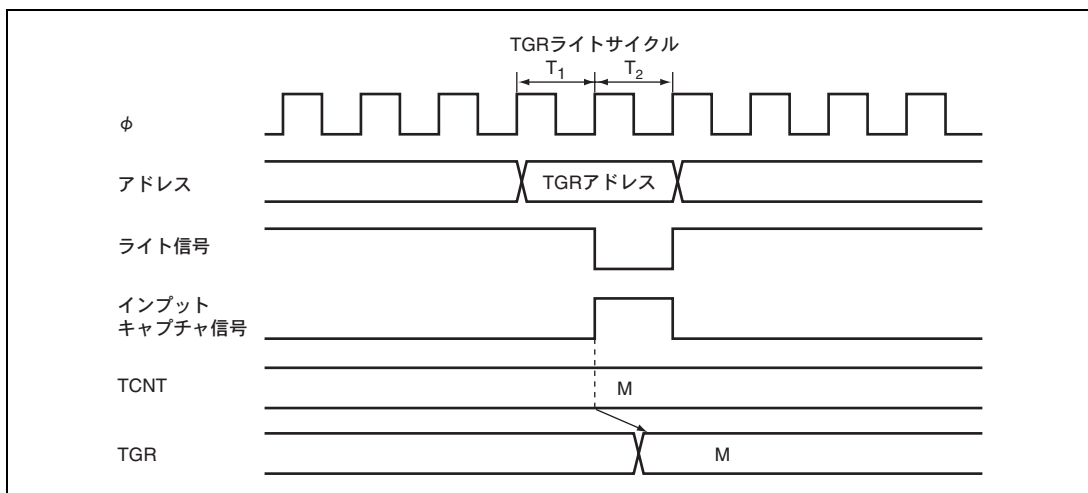


図 10.50 TGR のライトとインプットキャプチャの競合

10.9.10 バッファレジスタのライトと入力キャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 10.51 に示します。

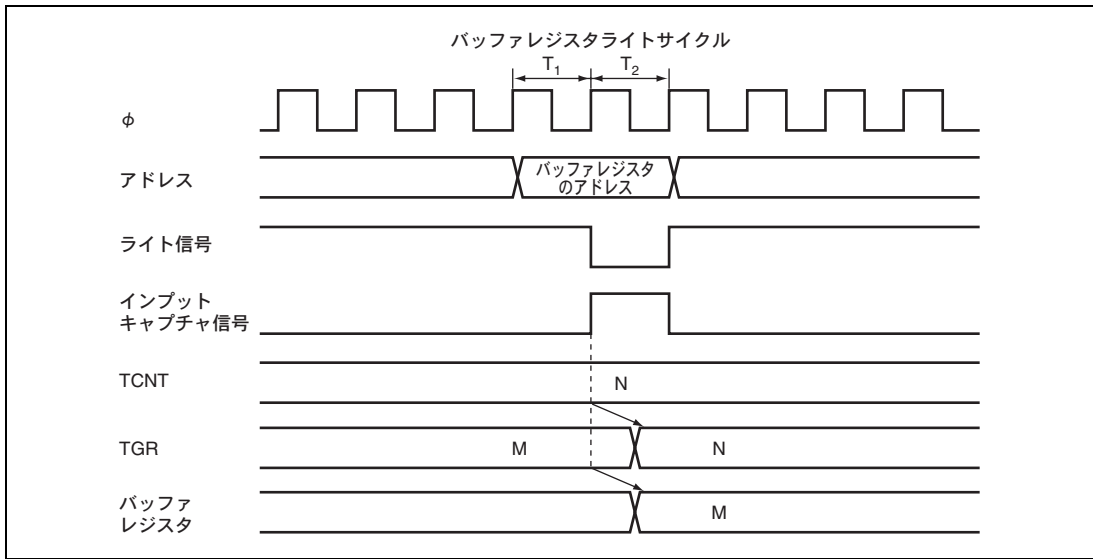


図 10.51 バッファレジスタのライトと入力キャプチャの競合

10.9.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.52 に示します。

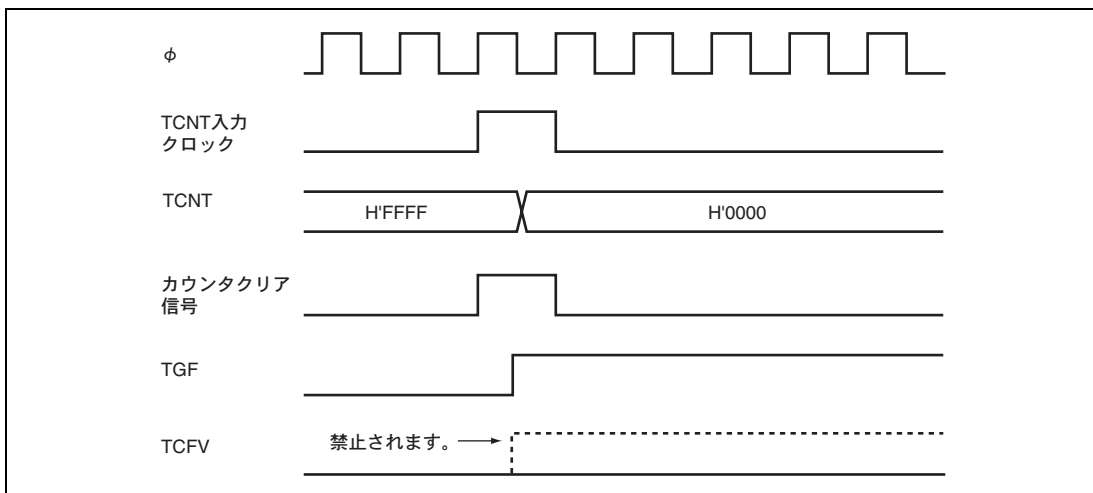


図 10.52 オーバフローとカウンタクリアの競合

10.9.12 TCNT のライトとオーバーフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ／カウントダウンが発生し、オーバーフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 10.53 に示します。

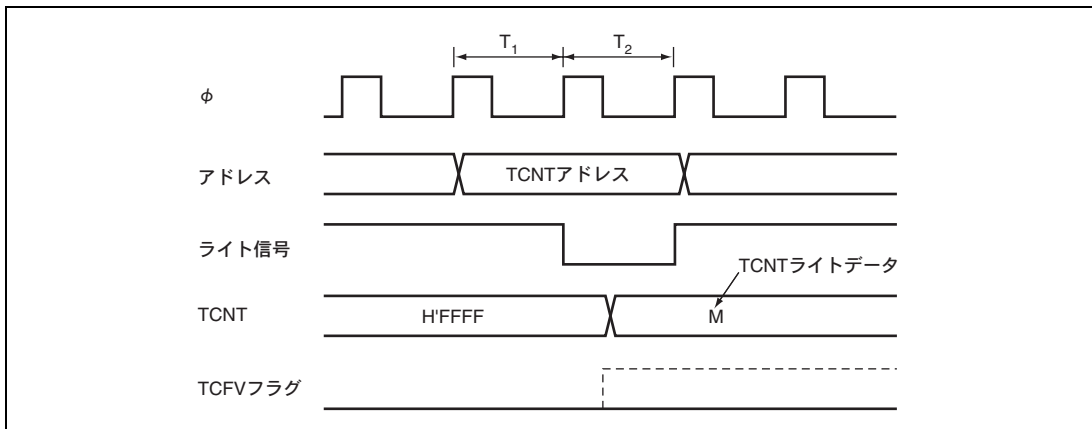


図 10.53 TCNT のライトとオーバーフローの競合

10.9.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

10.9.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

10. 16ビットタイマパルスユニット (TPU)

11. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3、2 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 11.1 に示します。

11.1 特長

- 出力データ 8 ビット
- 2 系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC) との連携動作可能
- 反転出力の指定可能
- モジュールストップモードの設定可能

11. プログラマブルパルスジェネレータ (PPG)

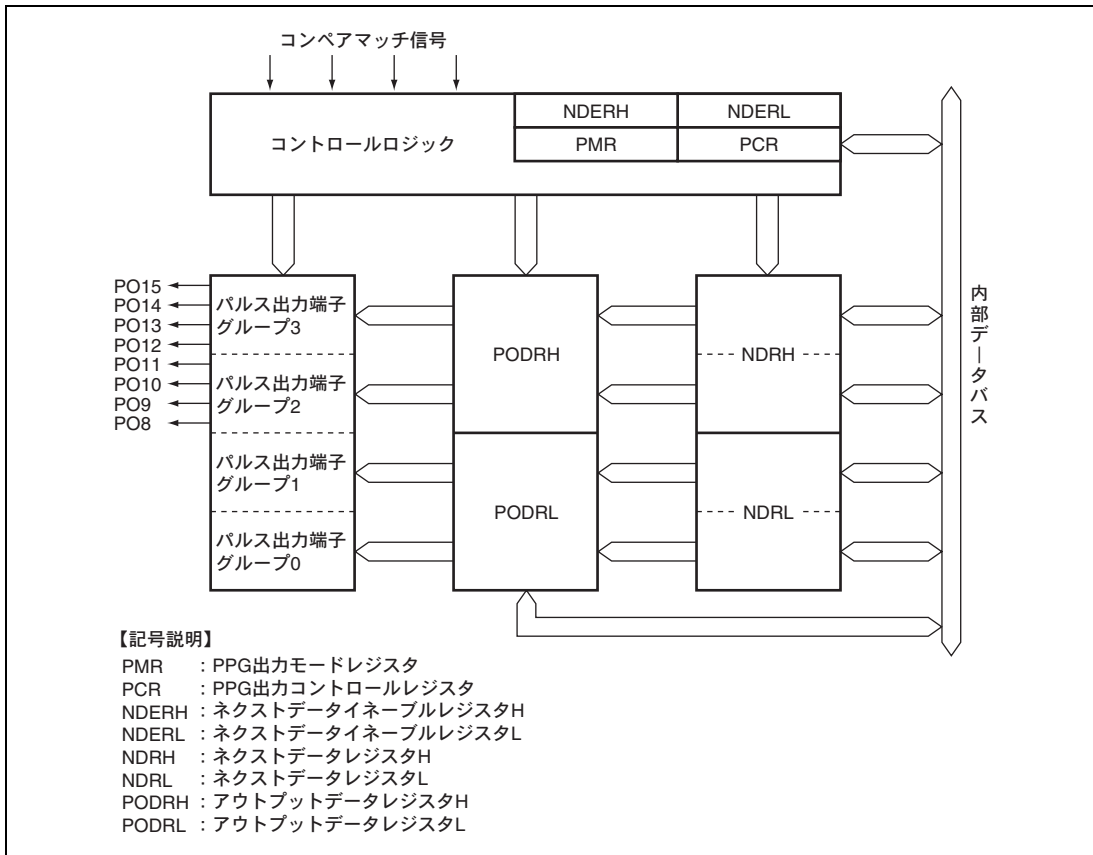


図 11.1 PPG のブロック図

11.2 入出力端子

PPG の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	入出力	機能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	

11.3 レジスタの説明

PPG には以下のレジスタがあります。

- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)
- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)

11.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は 8 ビットのリード/ライト可能なレジスタで、PPG によるパルス出力端子をビット単位で選択します。PPG によってパルスを出力するためにはこの他に対応する DDR を 1 にセットする必要があります。

- NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1 にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

- NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1 にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘデータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

11. プログラマブルパルスジェネレータ (PPG)

11.3.2 アウトプットデータレジスタ H, L (PODRH, PODRL)

PODRH、PODRL は 8 ビットのリード/ライト可能なレジスタで、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

11.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は 8 ビットのリード/ライト可能なレジスタで、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

- NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビット全て同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされ、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされ、ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

11. プログラマブルパルスジェネレータ (PPG)

- NDRL

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビット全て同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされ、ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされ、ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

11.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は 8 ビットのリード/ライト可能なレジスタでパルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「11.3.5 PPG 出力モードレジスタ (PMR)」を併せて参照してください。

ビット	ビット名	初期値	R/W	説明
7	G3CMS1	1	R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
6	G3CMS0	1	R/W	
5	G2CMS1	1	R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
4	G2CMS0	1	R/W	
3	G1CMS1	1	R/W	リザーブビット
2	G1CMS0	1	R/W	
1	G0CMS1	1	R/W	リザーブビット
0	G0CMS0	1	R/W	

11. プログラマブルパルスジェネレータ (PPG)

11.3.5 PPG 出力モードレジスタ (PMR)

PMR は 8 ビットのリード/ライト可能なレジスタで、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「11.4.5 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	—	1	R/W	リザーブビット
4	—	1	R/W	リザーブビット
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
1	—	0	R/W	リザーブビット
0	—	0	R/W	リザーブビット

11.4 動作説明

11.4.1 概要

PPG 概要図を図 11.2 に示します。PPG は、PIDDR、NDR の対応するビットをそれぞれ 1 にセットすることによりのパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 8 ビットのデータを順次出力することができます。

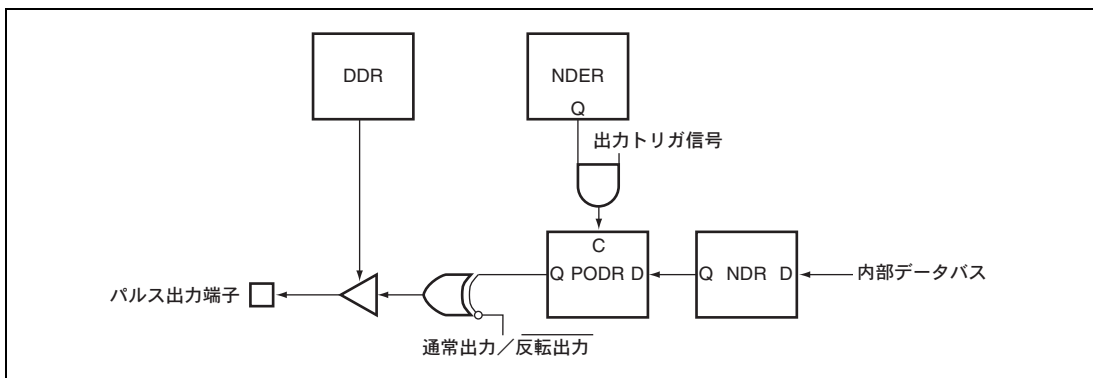


図 11.2 PPG 概要図

11.4.2 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 11.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

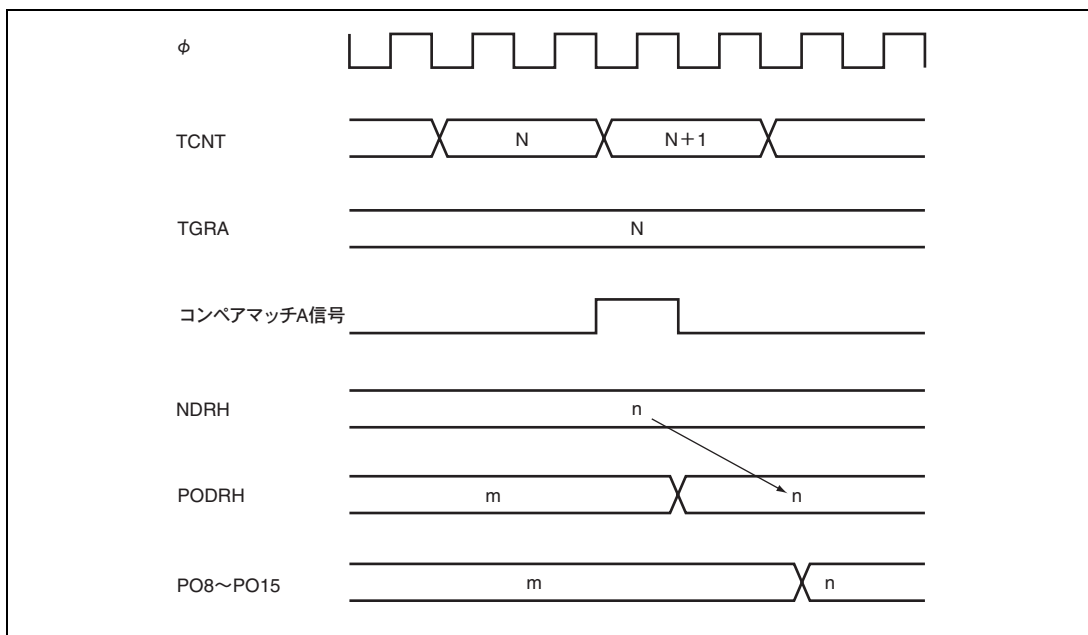


図 11.3 NDR の内容が転送・出力されるタイミング例

11.4.3 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 11.4 に示します。

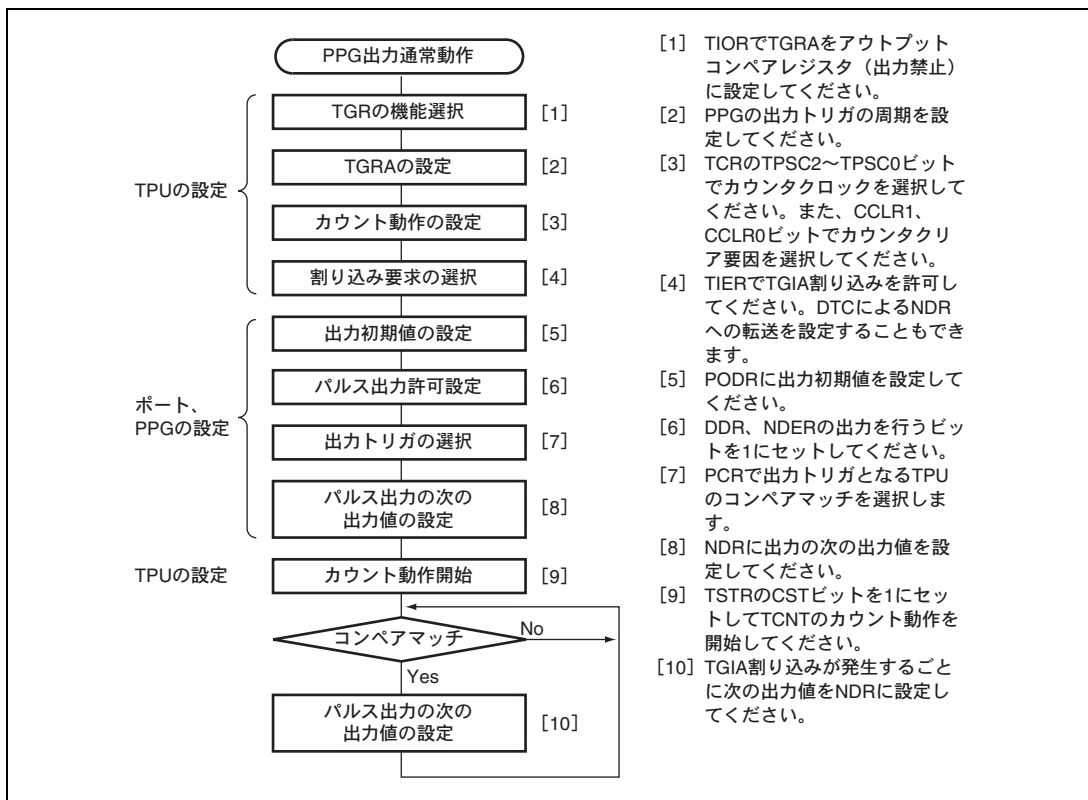


図 11.4 パルス出力通常動作の設定手順例

11. プログラマブルパルスジェネレータ (PPG)

11.4.4 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図 11.5 に示します。

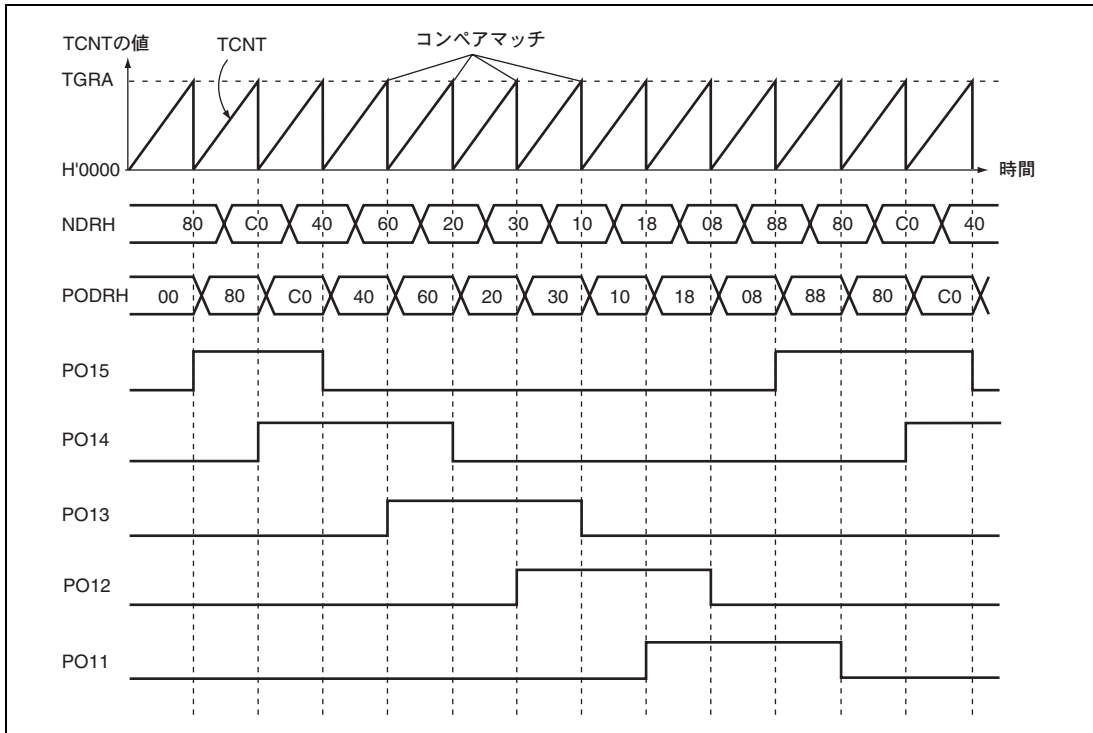


図 11.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャ (TGIA) 割り込みを許可します。
- PIDDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0により、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。

TGIA割り込みでDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.4.5 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時のNDR からPODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 11.6 に示します。

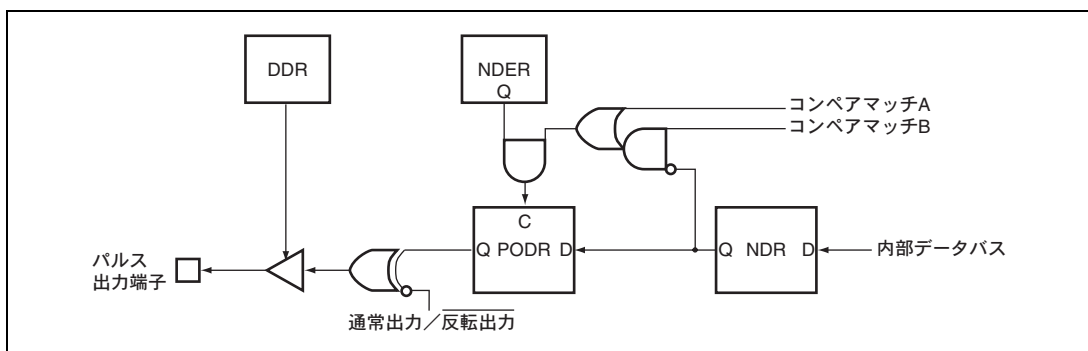


図 11.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。このタイミングを図 11.7 に示します。

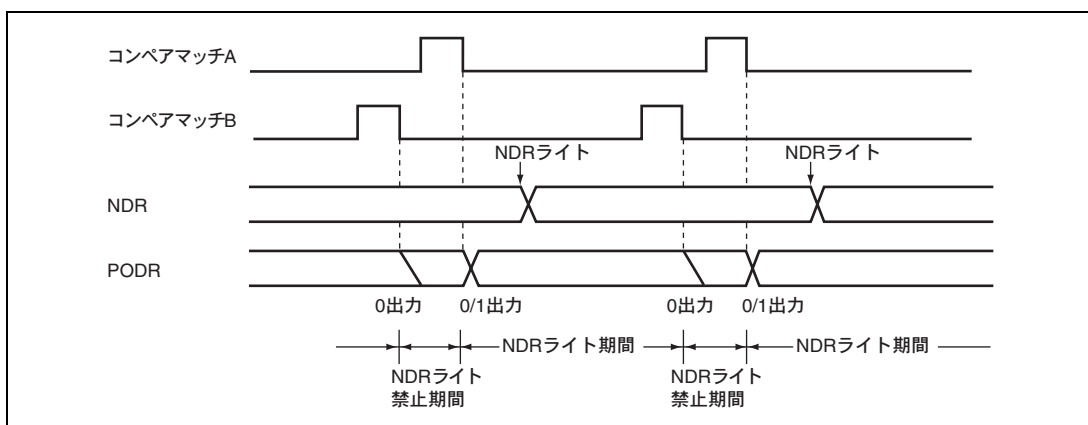


図 11.7 ノンオーバーラップ動作と NDR ライトタイミング

11. プログラマブルパルスジェネレータ (PPG)

11.4.6 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 11.8 に示します。

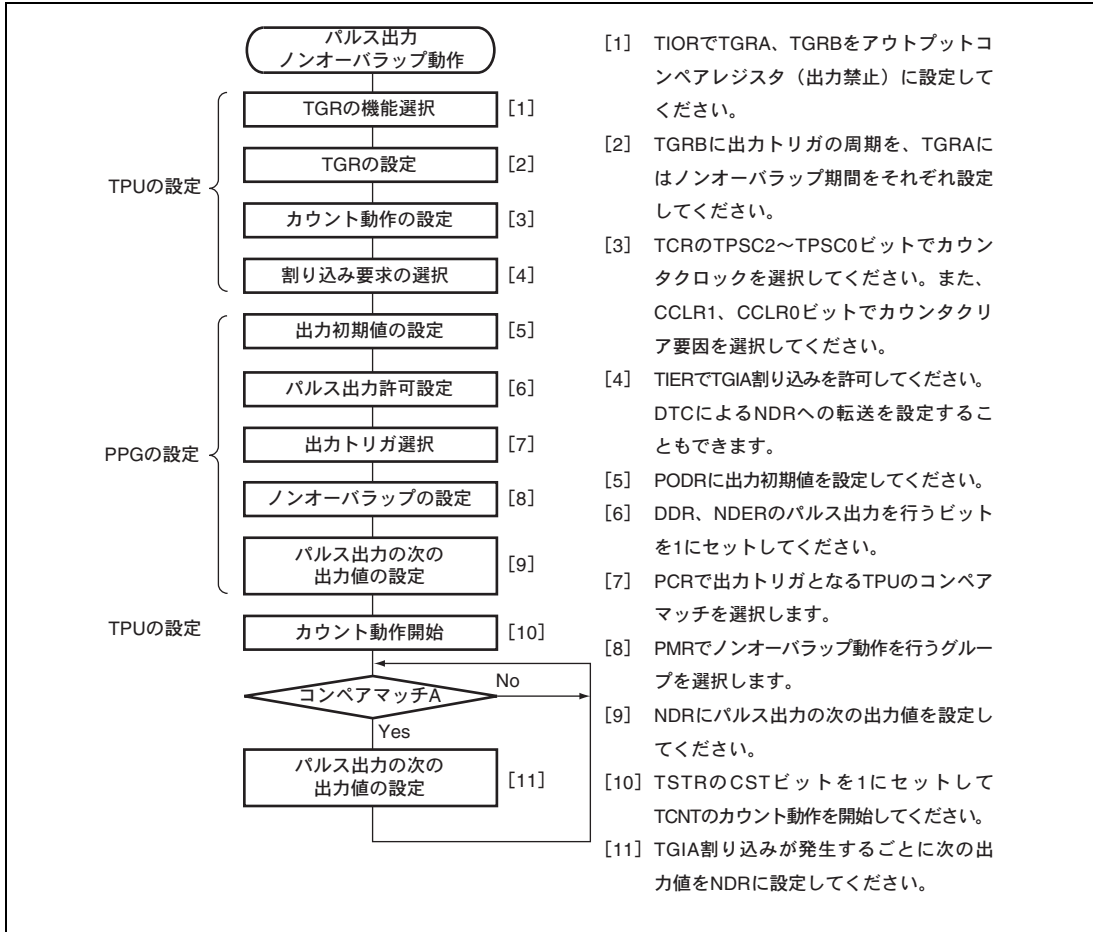


図 11.8 パルス出力ノンオーバーラップ動作の設定手順例

11.4.7 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

パルス出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 11.9 に示します。

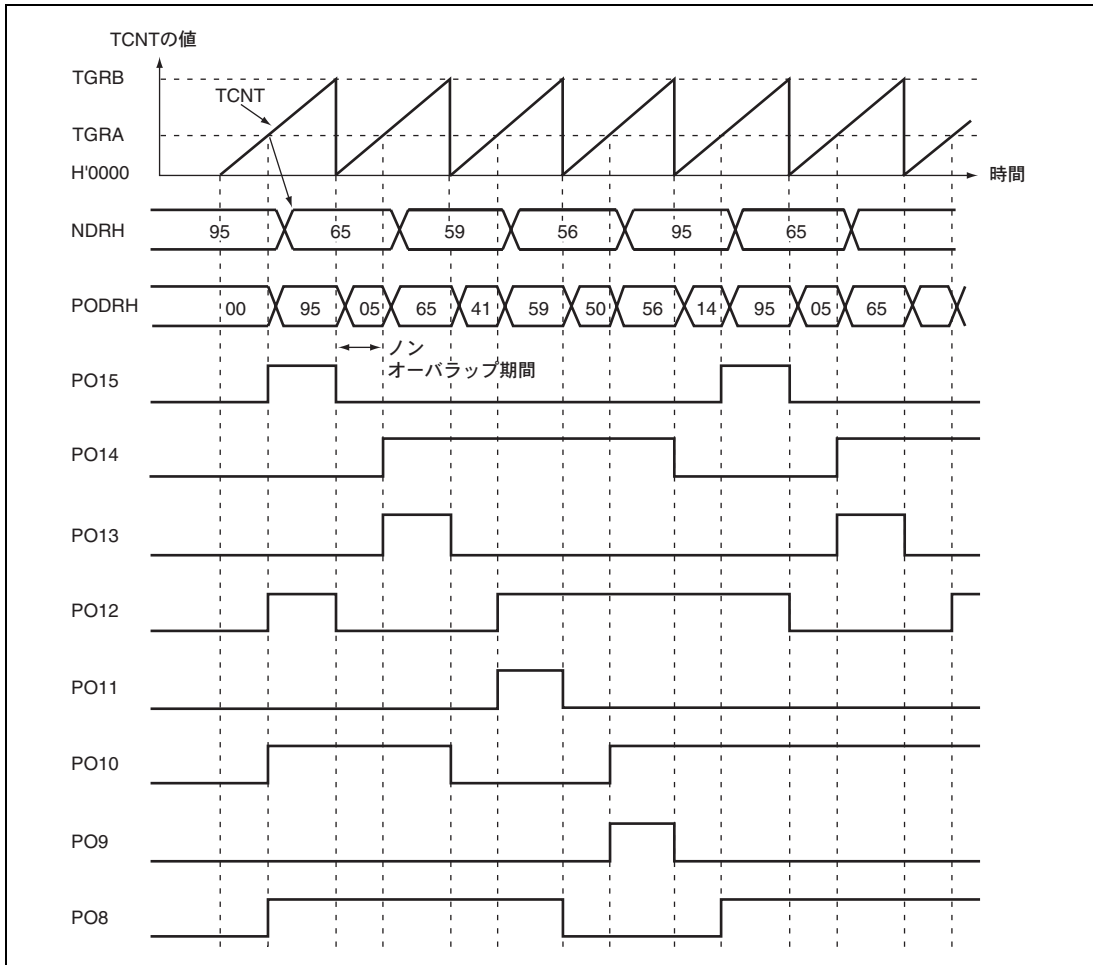


図 11.9 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)

- 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
- P1DDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。

11. プログラマブルパルスジェネレータ (PPG)

- TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はTGRAの設定値分遅延することになります）。TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
- 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.4.8 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 11.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 11.10 に示します。

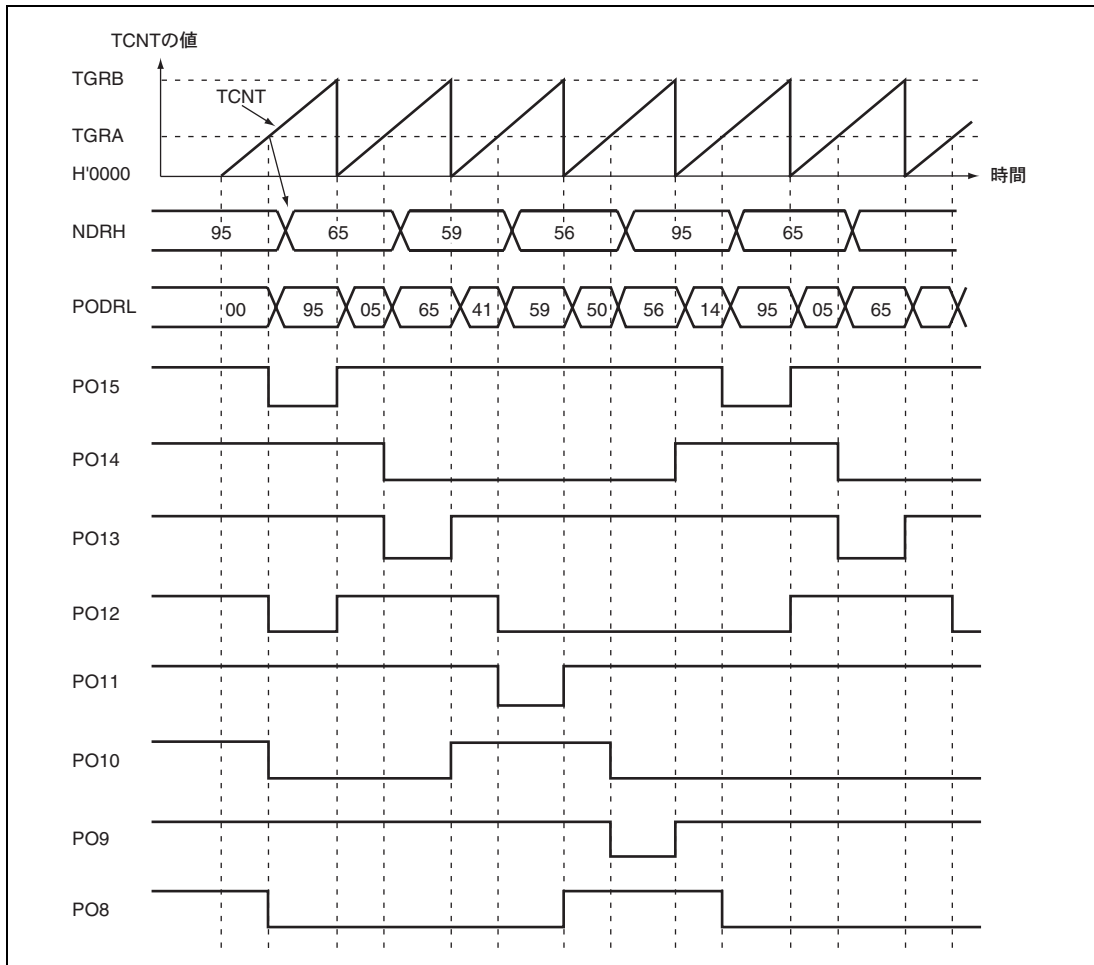


図 11.10 パルス反転出力例

11.4.9 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 11.11 に示します。

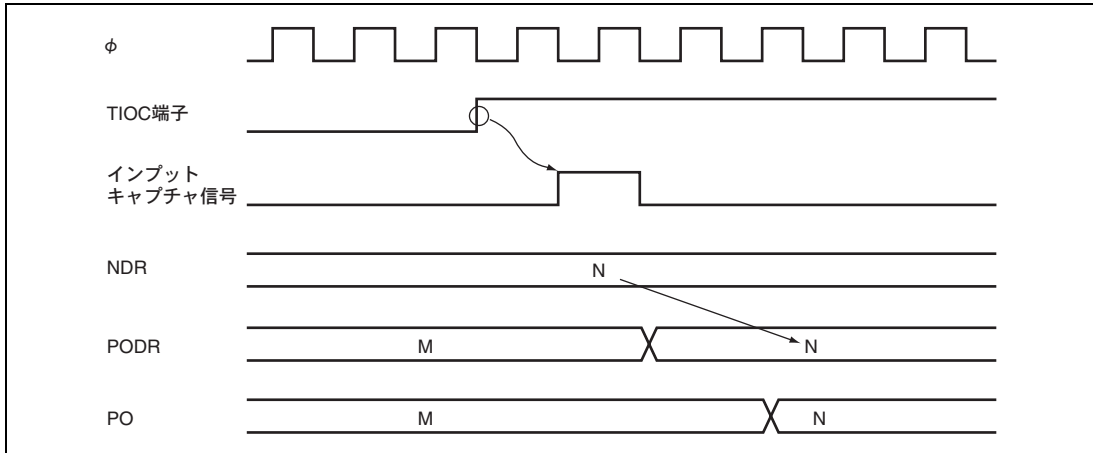


図 11.11 インพุットキャプチャによるパルス出力例

11.5 使用上の注意事項

11.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 21 章 低消費電力状態」を参照してください。

11.5.2 パルス出力端子の動作

PO8～PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11. プログラマブルパルスジェネレータ (PPG)

12. ウォッチドッグタイマ (WDT)

本 LSI は、2 チャンネルのウォッチドッグタイマ (WDT_0、WDT_1) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT_0 のブロック図を図 12.1 に、WDT_1 のブロック図を図 12.2 に示します。

12.1 特長

- WDT_0は8種類、WDT_1は16種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするかしないか、または内部NMI割り込みを発生するかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

12. ウォッチドッグタイマ (WDT)

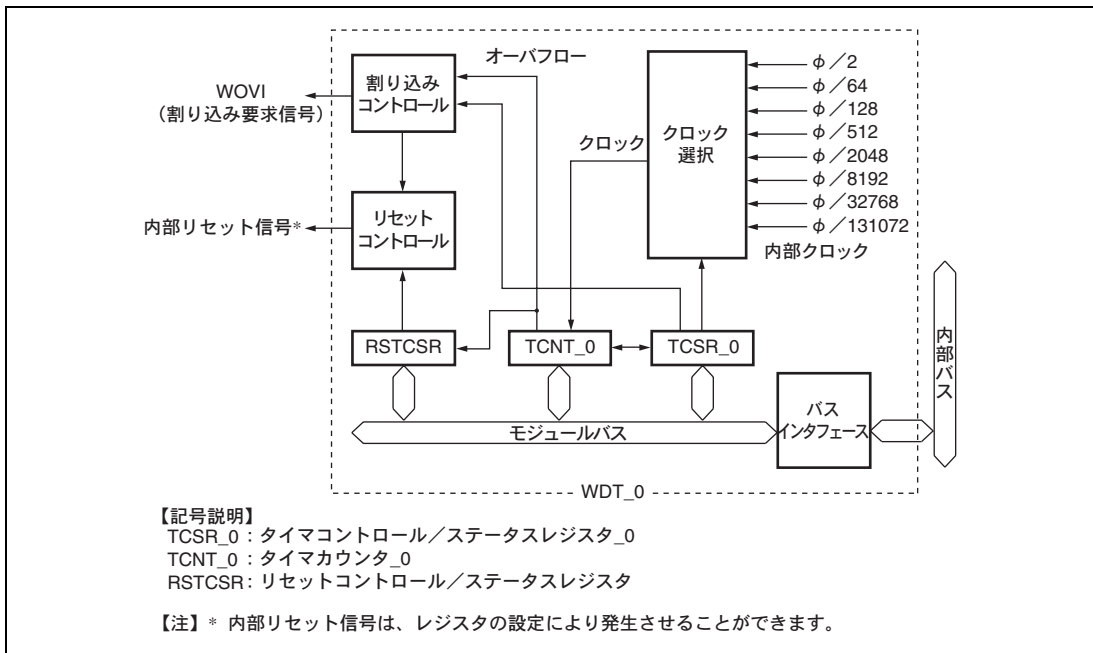


図 12.1 WDT_0 のブロック図

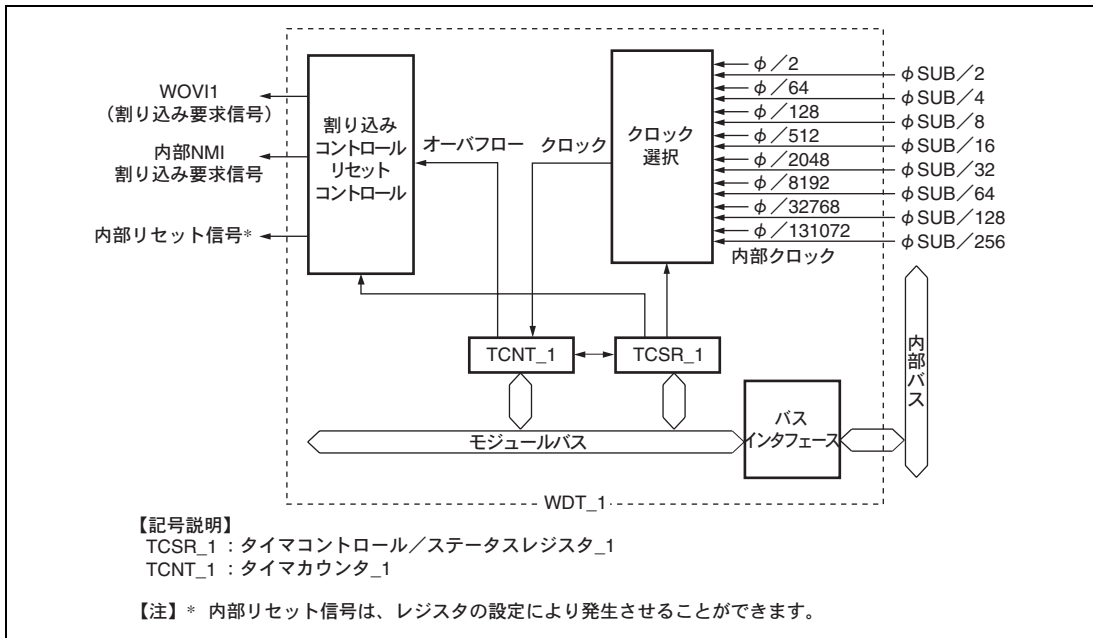


図 12.2 WDT_1 のブロック図

12.2 レジスタの説明

WDTには、以下のレジスタがあります。TCSR、TCNT、RSTCSRは容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「12.5.1 レジスタアクセス時の注意事項」を参照してください。

- タイマカウンタ_0 (TCNT_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)
- タイマカウンタ_1 (TCNT_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)
- リセットコントロール/ステータスレジスタ (RSTCSR)

12.2.1 タイマカウンタ (TCNT)

TCNTは、リード/ライト可能な8ビットのアップカウンタです。TCNTは、タイマコントロール/ステータスレジスタ (TCSR) のTMEビットが0のとき、H'00に初期化されます。

12. ウォッチドッグタイマ (WDT)

12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>TCNT がオーバフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	—	1	—	リザーブビット
3	—	1	—	リードすると常に 1 がリードされます。ライトは無効です。
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	<p>TCNT に入力するクロックを選択します。() 内は $\phi = 20\text{MHz}$ のときのオーバフロー周期を表します。</p> <p>000 : クロック $\phi/2$ (周期 25.6 μs)</p> <p>001 : クロック $\phi/64$ (周期 819.2 μs)</p> <p>010 : クロック $\phi/128$ (周期 1.6ms)</p> <p>011 : クロック $\phi/512$ (周期 6.6ms)</p> <p>100 : クロック $\phi/2048$ (周期 26.2ms)</p> <p>101 : クロック $\phi/8192$ (周期 104.9ms)</p> <p>110 : クロック $\phi/32768$ (周期 419.4ms)</p> <p>111 : クロック $\phi/131072$ (周期 1.68s)</p>
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12. ウォッチドッグタイマ (WDT)

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/ $\overline{\text{IT}}$	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラセレクト</p> <p>TCNT の入力クロックソースを選択します。</p> <p>0 : TCNT は ϕ ベースのプリスケラ (PSM) の分周クロックをカウント</p> <p>1 : TCNT は ϕ SUB ベースのプリスケラ (PSS) の分周クロックをカウント</p>
3	RST/ $\overline{\text{NMI}}$	0	R/W	<p>リセットまたは NMI</p> <p>ウォッチドッグタイマモードで、TCNT がオーバーフローしたときに、内部リセットと NMI 割り込み要求のいずれを要求するかを選択します。</p> <p>0 : NMI 割り込みを要求</p> <p>1 : 内部リセットを要求</p>

12. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。 PSS=0 のとき () 内は $\phi=20\text{MHz}$ の場合 000 : クロック $\phi/2$ (周期 $25.6\mu\text{s}$) 001 : クロック $\phi/64$ (周期 $819.2\mu\text{s}$) 010 : クロック $\phi/128$ (周期 1.6ms) 011 : クロック $\phi/512$ (周期 6.6ms) 100 : クロック $\phi/2048$ (周期 26.2ms) 101 : クロック $\phi/8192$ (周期 104.9ms) 110 : クロック $\phi/32768$ (周期 419.4ms) 111 : クロック $\phi/131072$ (周期 1.68s) PSS=1 のとき () 内は $\phi\text{SUB}=32.768\text{kHz}$ の場合 000 : クロック $\phi\text{SUB}/2$ (周期 15.6ms) 001 : クロック $\phi\text{SUB}/4$ (周期 31.3ms) 010 : クロック $\phi\text{SUB}/8$ (周期 62.5ms) 011 : クロック $\phi\text{SUB}/16$ (周期 125ms) 100 : クロック $\phi\text{SUB}/32$ (周期 250ms) 101 : クロック $\phi\text{SUB}/64$ (周期 500ms) 110 : クロック $\phi\text{SUB}/128$ (周期 1s) 111 : クロック $\phi\text{SUB}/256$ (周期 2s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF→H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで TCNT がオーバーフローして発生する、内部リセットの種類を選択します。 0 : パワーオンリセット 1 : 設定禁止
4~0	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.3 動作説明

12.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマとして使用するときは、TCSR の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットを発生することができます。

WDT_0 の場合、ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。このとき、RSTE ビットに 1 をセットしておくこと、本 LSI 全体に対して内部リセット信号を発生します。

内部リセット信号は、518 ステートの間出力されます。これを図 12.3 (a) に示します。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

WDT_1 の場合、516 システムクロック (516) の間、LSI をリセットするか、または NMI 割り込み要求を発生します。(クロックソースを SUB (PSS = 1) とした場合、515 または 516 ステート) これを図 12.3 (b) に示します。

ウォッチドッグタイマからの NMI 割り込み要求と、NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマから NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

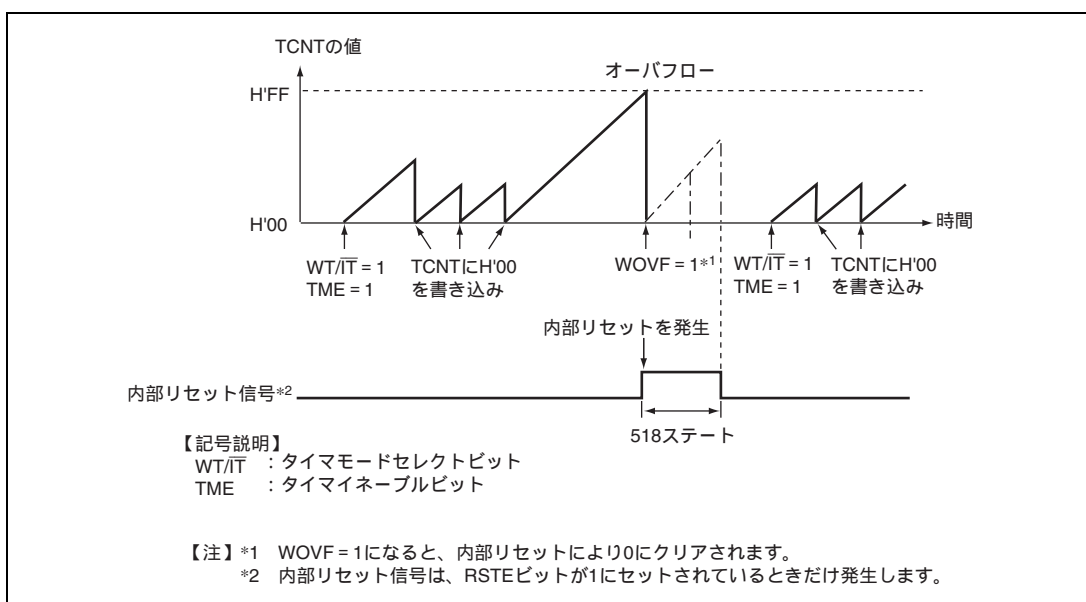


図 12.3 (a) WDT_0 のウォッチドッグタイマモード時の動作

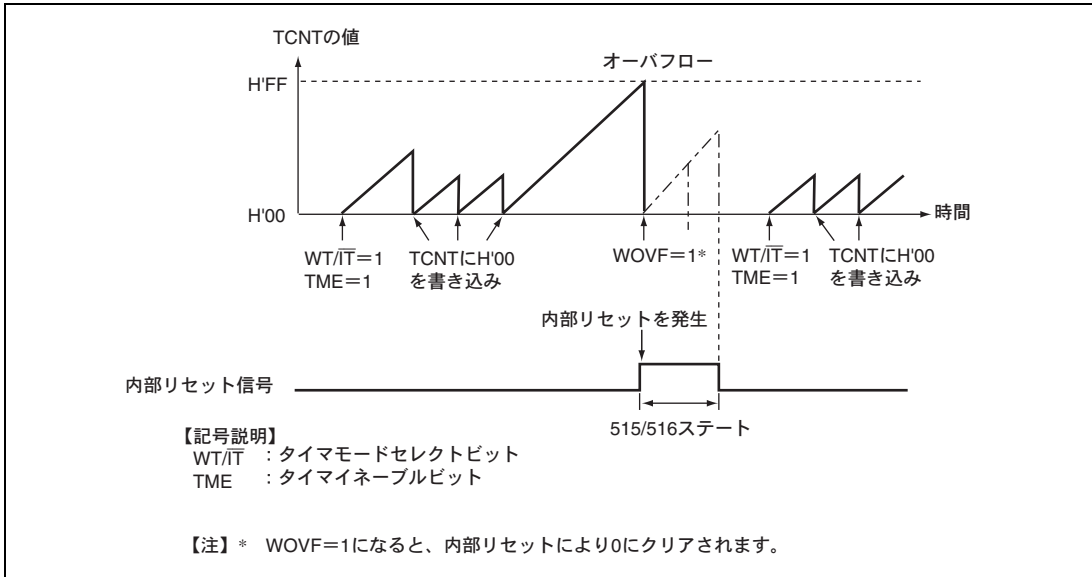


図 12.3 (b) WDT_1 のウォッチドッグタイマモード時の動作

12. ウォッチドッグタイマ (WDT)

12.3.2 インターバルタイマモード

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

12.4 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。ウォッチドッグタイマモードで NMI 割り込みを選択したときは、オーバーフローにより NMI 割り込みを発生します。

表 12.1 WDT の割り込み要因

名 称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバーフロー (インターバルタイマモード)	OVF
NMI	TCNT のオーバーフロー (ウォッチドッグタイマモード)	OVF

12.5 使用上の注意事項

12.5.1 レジスタアクセス時の注意事項

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図 12.4** に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス H'FF76 に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合では、ライトの方法が異なります。このため、**図 12.4** に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、**図 12.4** に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

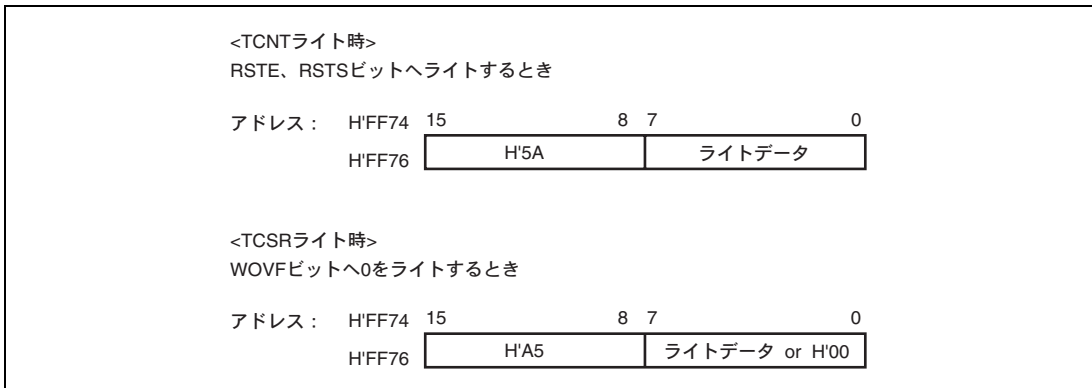


図 12.4 TCNT、TCSR、RSTCSR へのライト (WDT0 の例)

(2) TCNT、TCSR、RSTCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

12.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.5 に示します。

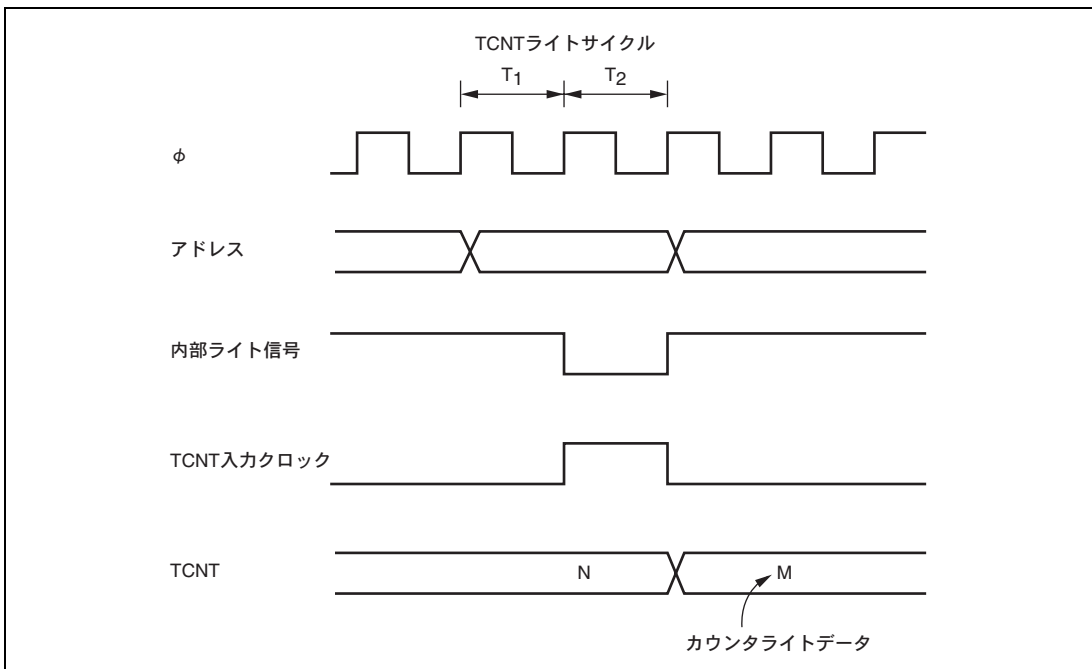


図 12.5 TCNT のライトとカウントアップの競合

12. ウォッチドッグタイマ (WDT)

12.5.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

オーバフローが発生してから I32 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバフローが発生してから I32 ステート待った後、WOVF フラグに 0 をライトしてください。

12.5.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにも関わらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合等、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

13. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。SCI のブロック図を図 13.1 に示します。

13.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。

- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)

- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。

- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能

- ストップビット長 : 1ビット/2ビット選択可能

- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能

- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー

- ブレークの検出 : フレーミングエラー発生時Rx端子のレベルを直接リードすることでブレークを検出可能

13. シリアルコミュニケーションインタフェース (SCI)

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送付
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション／インバースコンベンションの両方をサポート

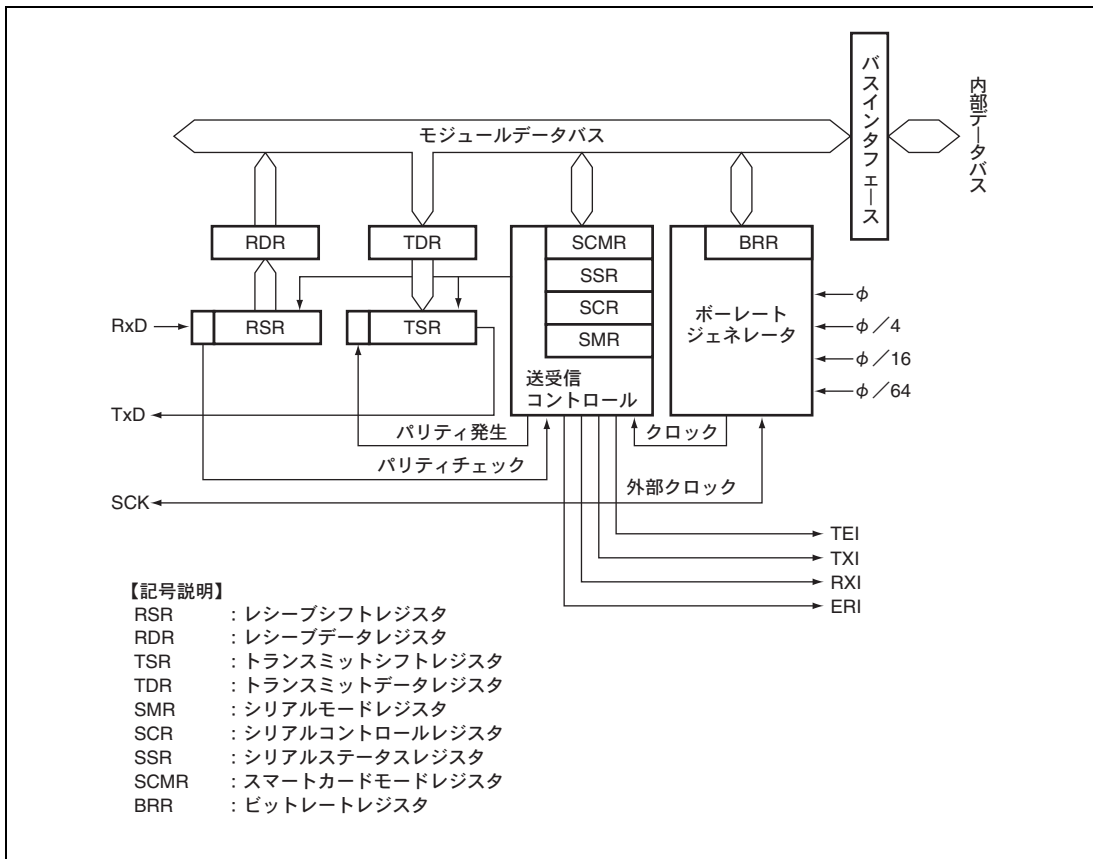


図 13.1 SCI のブロック図

13.2 入出力端子

SCIには、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

13.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)

13. シリアルコミュニケーションインタフェース (SCI)

13.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

13.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

13.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につきの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

13.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレンクス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレンクス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「13.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : ϕ クロック (n=0) 01 : $\phi/4$ クロック (n=1) 10 : $\phi/16$ クロック (n=2) 11 : $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

13.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

● 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP =1 のとき有効) このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00 : 内部クロック (SCK 端子は入出力ポートとして使用できます) 01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1X : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。) クロック同期式の場合 0x : 内部クロック (SCK 端子はクロック出力端子となります。) 1x : 外部クロック (SCK 端子はクロック入力端子となります。)

【注】 x : Don't care

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP =1 のとき有効) スマートカードインタフェースではこのビットには0をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1x : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

【注】 x : Don't care

13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/W	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/W	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/W	フレーミングエラー [セット条件] • ストップビットが 0 のとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。
3	PER	0	R/W	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [クリア条件] <ul style="list-style-type: none"> • TDRE=1の状態をリードした後、TDRE フラグに 0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/W	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/W	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	ERS	0	R/W	エラーシグナルステータス [セット条件] • エラーシグナル Low をサンプリングしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/W	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ERS=0 のとき • 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

13.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0 : TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1 : TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	—	リザーブビット リードすると常に 1 がリードされます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

13. シリアルコミュニケーションインタフェース (SCI)

13.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N とビットレート B の関係

モード	BRR設定値N	誤差
調歩同期式	$N = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$N = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース	$N = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

- 【注】 B : ビットレート (bit/s)
 N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)
 ϕ : 動作周波数 (MHz)
 n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.3 ビットレートに対する BRR の設定例〔調歩同期モード〕(1)

ビットレート (bit/s)	動作周波数 (MHz)								
	4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	20 7	0.16	1	25 5	0.00	2	64	0.16
300	1	10 3	0.16	1	12 7	0.00	1	12 9	0.16
600	0	20 7	0.16	0	25 5	0.00	1	64	0.16
1200	0	10 3	0.16	0	12 7	0.00	0	12 9	0.16
2400	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	12	0.16	0	15	0.00	0	15	1.73
19200	-	-	-	0	7	0.00	0	7	1.73
31250	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	-	-	-	0	3	0.00	0	3	1.73

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

13. シリアルコミュニケーションインタフェース (SCI)

表 13.3 ビットレートに対する BRR の設定例 [調歩同期式モード] (2)

ビットレート (bit/s)	動作周波数 (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.13	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.13	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.13	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.13	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.13	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.13	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	13	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

13. シリアルコミュニケーションインタフェース (SCI)

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (3)

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73

表 13.4 各動作周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
4	125000	0	0	12	375000	0	0
4.9152	153600	0	0	12.288	384000	0	0
5	156250	0	0	14	437500	0	0
6	187500	0	0	14.7456	460800	0	0
6.144	192000	0	0	16	500000	0	0
7.3728	230400	0	0	17.2032	537600	0	0
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0

13. シリアルコミュニケーションインタフェース (SCI)

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500	12	3.0000	187500
4.9152	1.2288	76800	12.288	3.0720	192000
5	1.2500	78125	14	3.5000	218750
6	1.5000	93750	14.7456	3.6864	230400
6.144	1.5360	96000	16	4.0000	250000
7.3728	1.8432	115200	17.2032	4.3008	268800
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500

表 13.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bit/s)	動作周波数 φ (MHz)									
	4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N
110	—	—								
250	2	249	3	124	—	—	3	249		
500	2	124	2	249	—	—	3	124	—	—
1k	1	249	2	124	—	—	2	249	—	—
2.5k	1	99	1	199	1	249	2	99	2	124
5k	0	199	1	99	1	124	1	199	1	249
10k	0	99	0	199	0	249	1	99	1	124
25k	0	39	0	79	0	99	0	159	0	199
50k	0	19	0	39	0	49	0	79	0	99
100k	0	9	0	19	0	24	0	39	0	49
250k	0	3	0	7	0	9	0	15	0	19
500k	0	1	0	3	0	4	0	7	0	9
1M	0	0*	0	1			0	3	0	4
2.5M					0	0*			0	1
5M									0	0*

【記号説明】

- 空欄 : 設定できません。
- : 設定可能ですが誤差がでます。
- * : 連続送信/連続受信はできません。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7	14	2.3333	2333333.3
6	1.0000	1000000.0	16	2.6667	2666666.7
8	1.3333	1333333.3	18	3.0000	3000000.0
10	1.6667	1666666.7	20	3.3333	3333333.3
12	2.0000	2000000.0			

表 13.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 φ (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 φ (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

表 13.9 各動作周波数における最大ビットレート
(スマートカードインタフェースモードで S=372 のとき)

φ (MHz)	最大ビットレート (bit/s)	n	N	φ (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	14.2848	19200	0	0
10.00	13441	0	0	16.00	21505	0	0
10.7136	14400	0	0	18.00	24194	0	0
13.00	17473	0	0	20.00	26882	0	0

13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

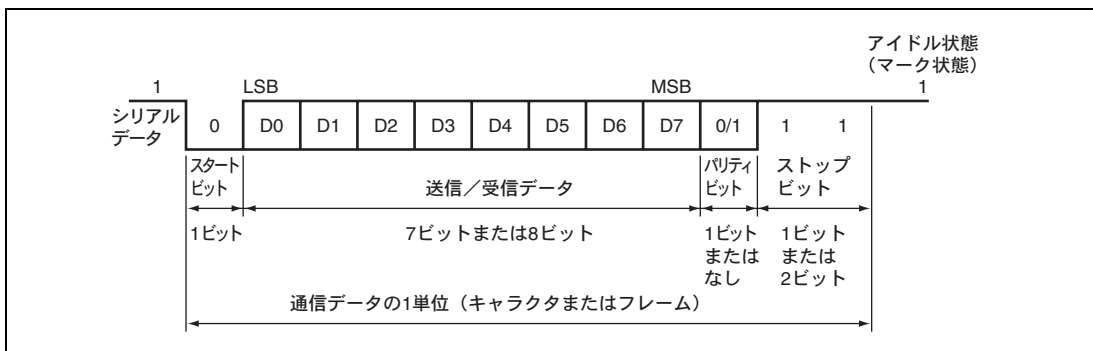


図 13.2 調歩同期式通信のデータフォーマット
(8 ビットデータ/パリティあり/2 ストップビットの例)

13.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

表 13.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 13.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

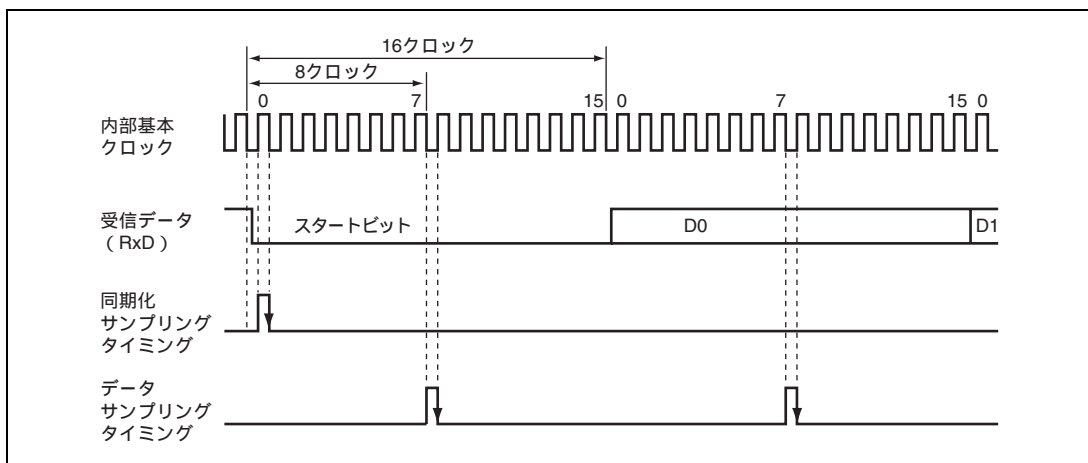


図 13.3 調歩同期式モードの受信データサンプリングタイミング

13.4.3 クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.4に示すように送信データの中央でクロックが立ち上がります。

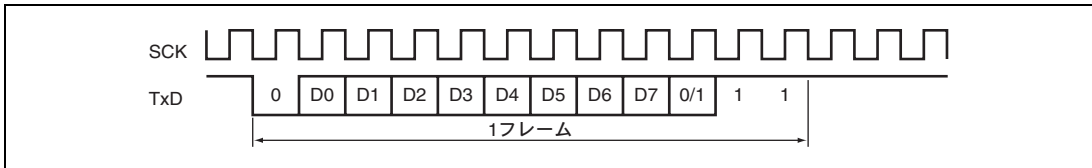


図 13.4 出カクロックと送信データの位相関係 (調歩同期式モード)

13.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図13.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

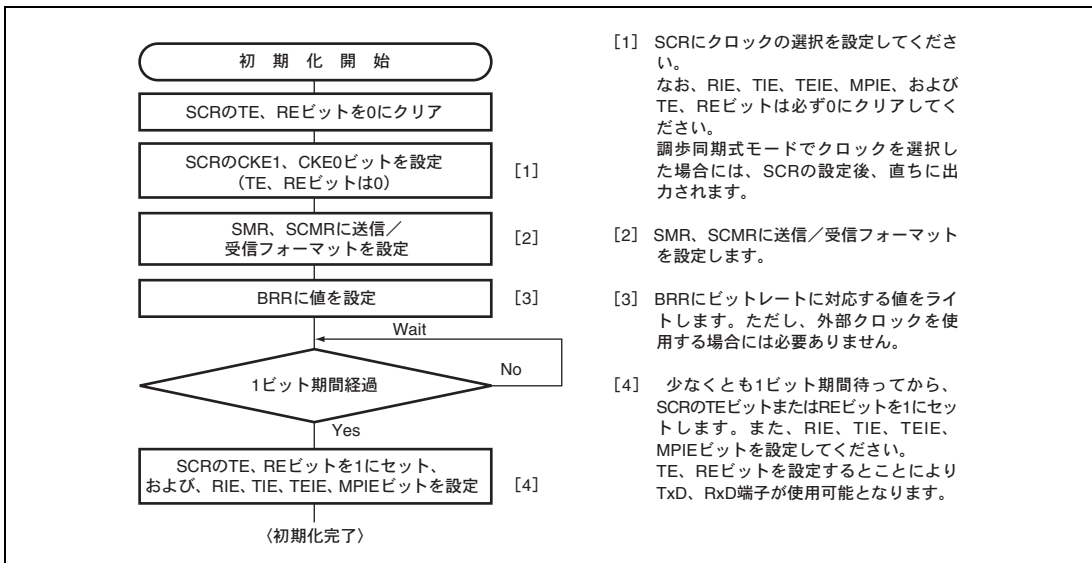


図 13.5 SCIの初期化フローチャートの例

13.4.5 データ送信 (調歩同期式)

図 13.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 13.7 にデータ送信のフローチャートの例を示します。

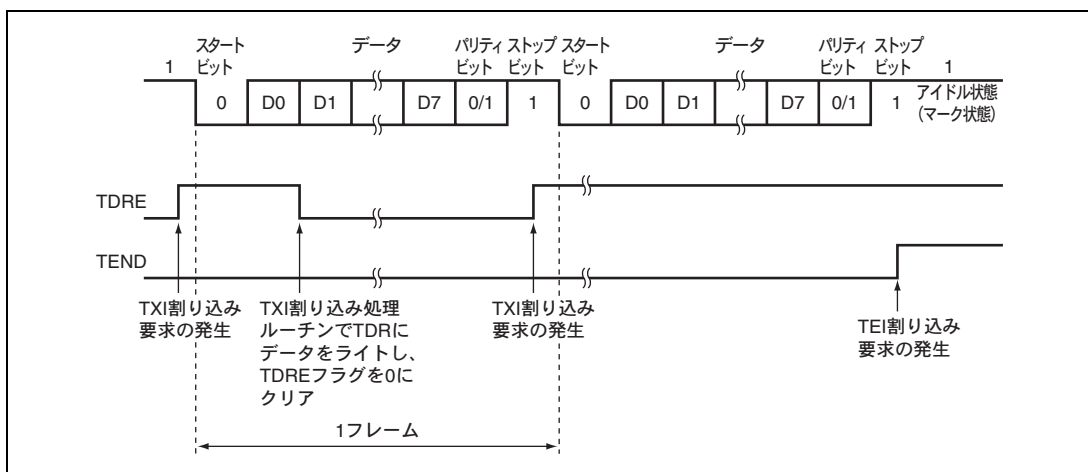


図 13.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

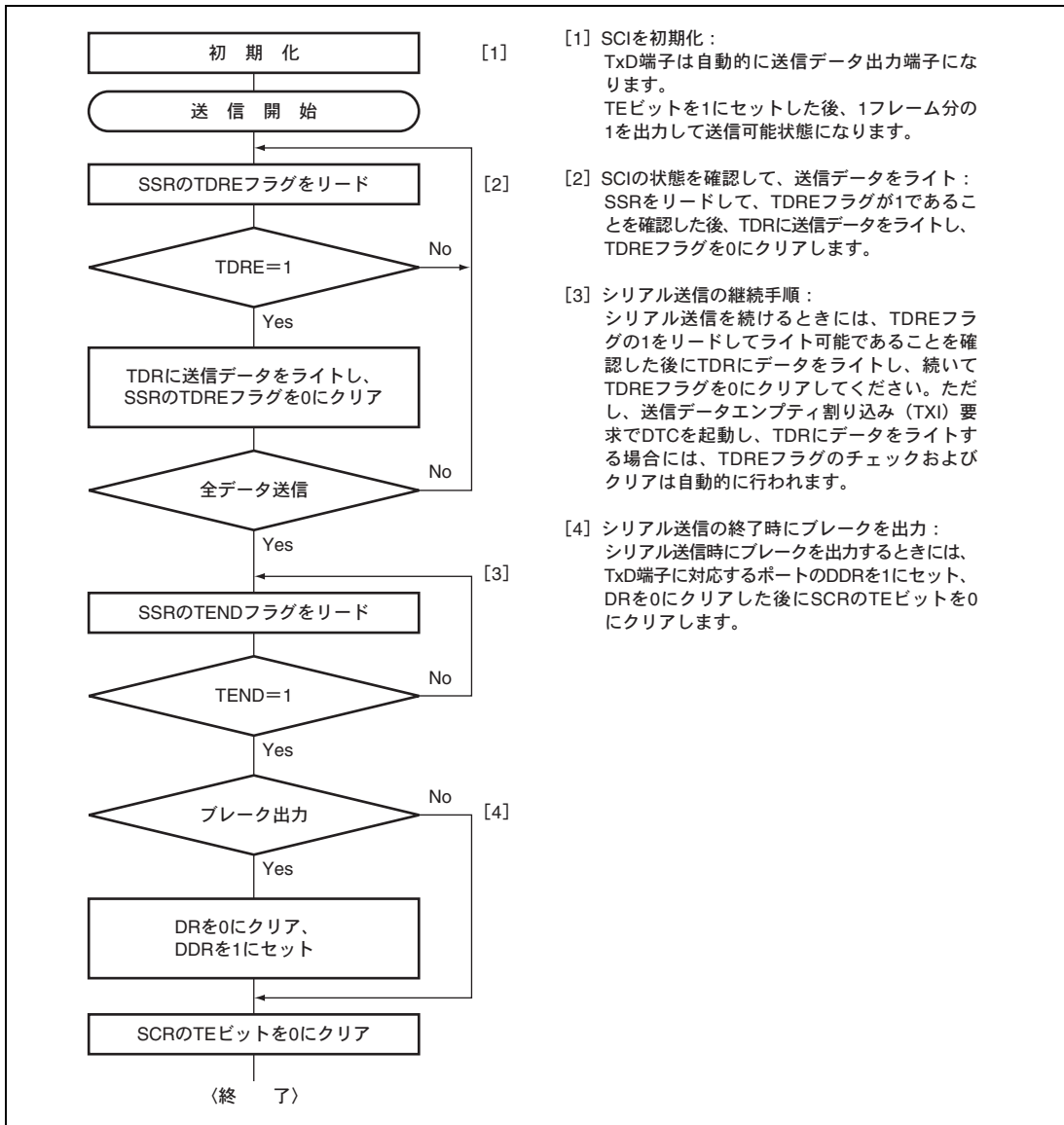


図 13.7 シリアル送信のフローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

13.4.6 シリアルデータ受信 (調歩同期式)

図 13.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

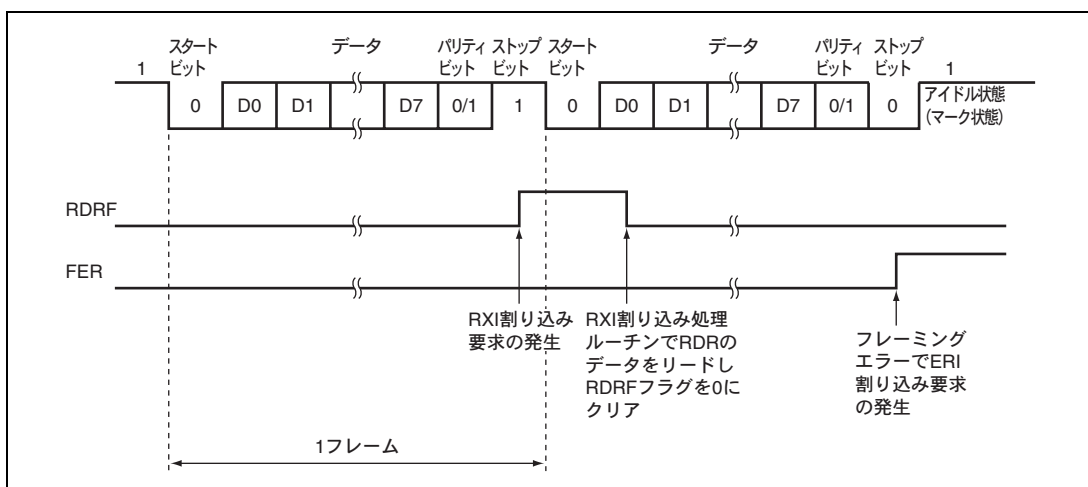


図 13.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.9 にデータ受信のためのフローチャートの例を示します。

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

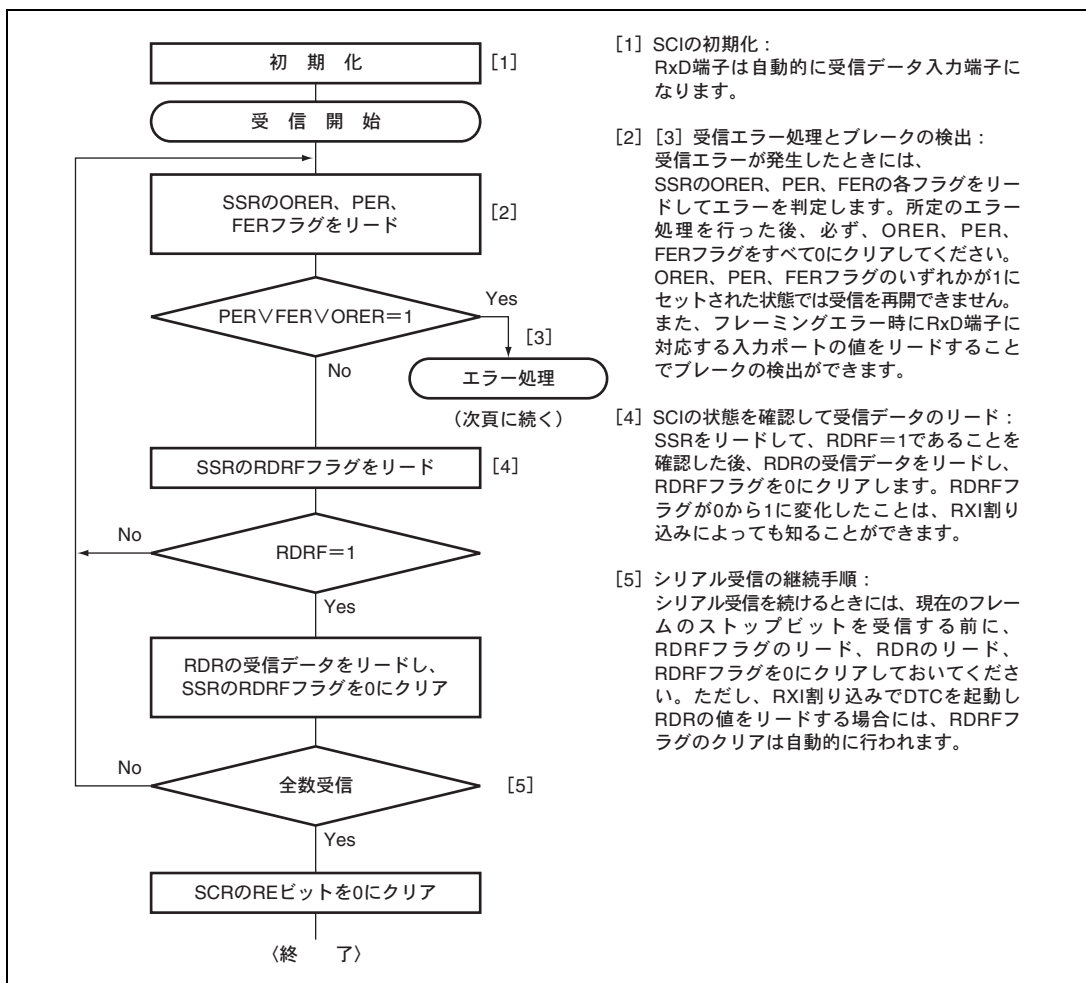


図 13.9 シリアル受信データフローチャートの例 (1)

13. シリアルコミュニケーションインタフェース (SCI)

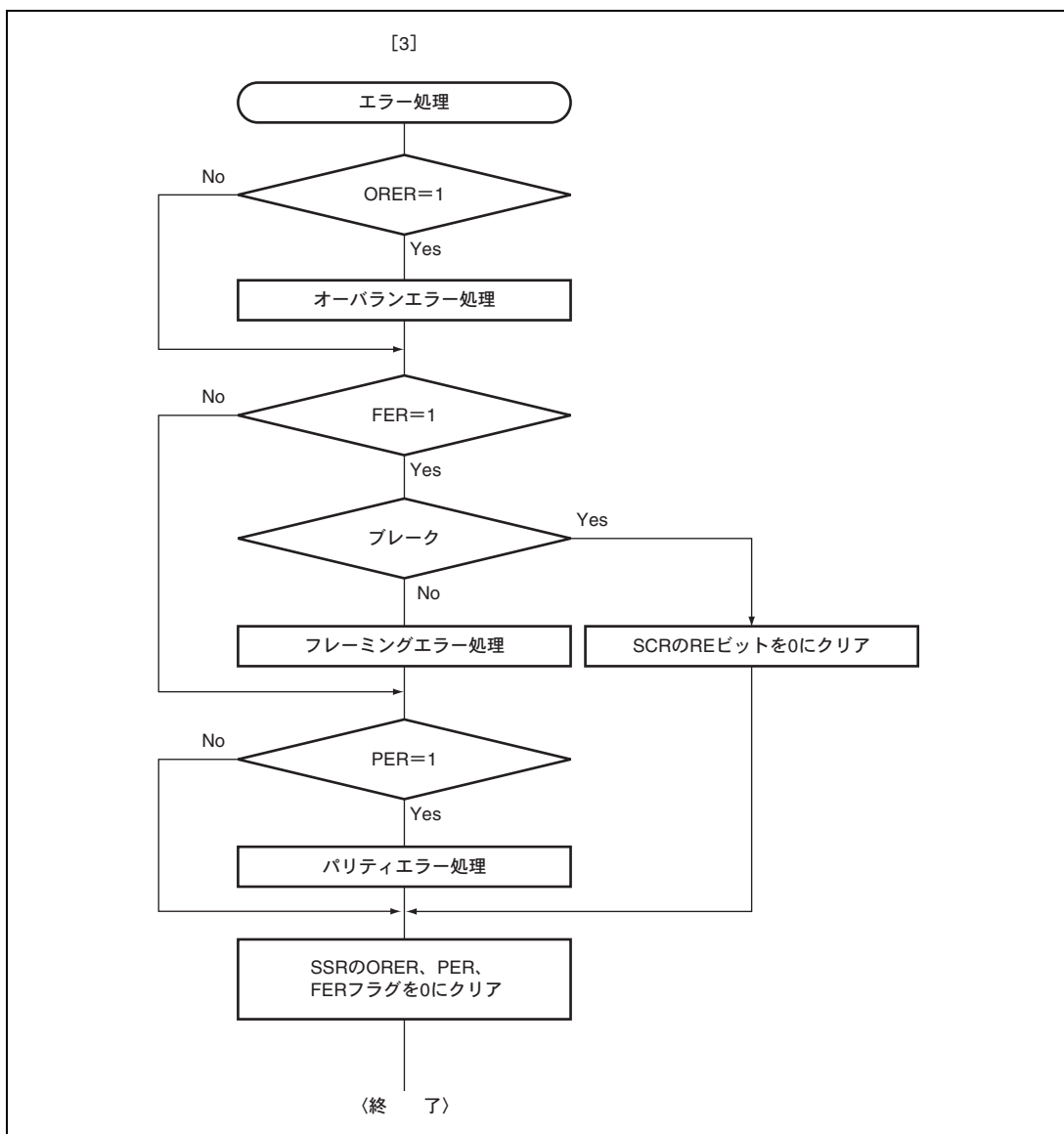


図 13.9 シリアル受信データフローチャートの例 (2)

13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

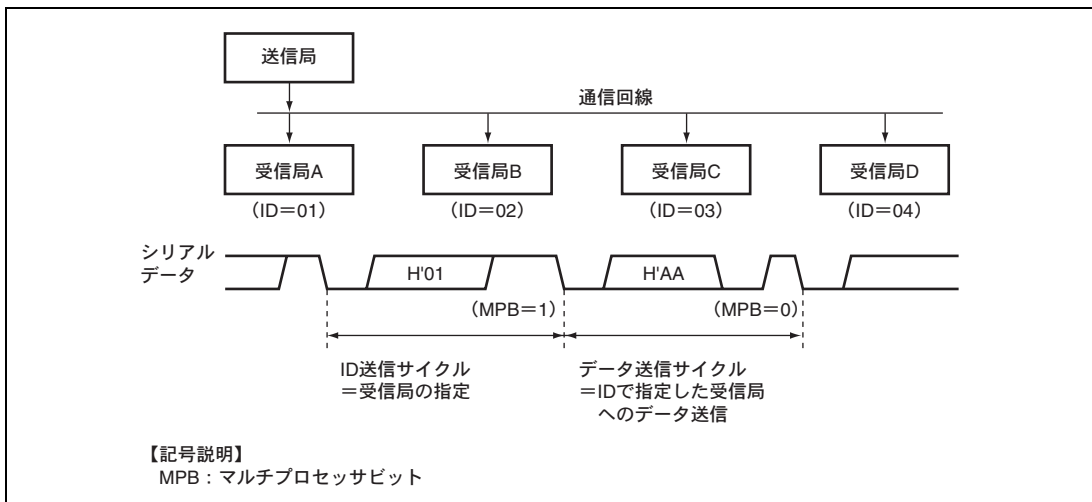


図 13.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

13.5.1 マルチプロセッサシリアルデータ送信

図 13.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

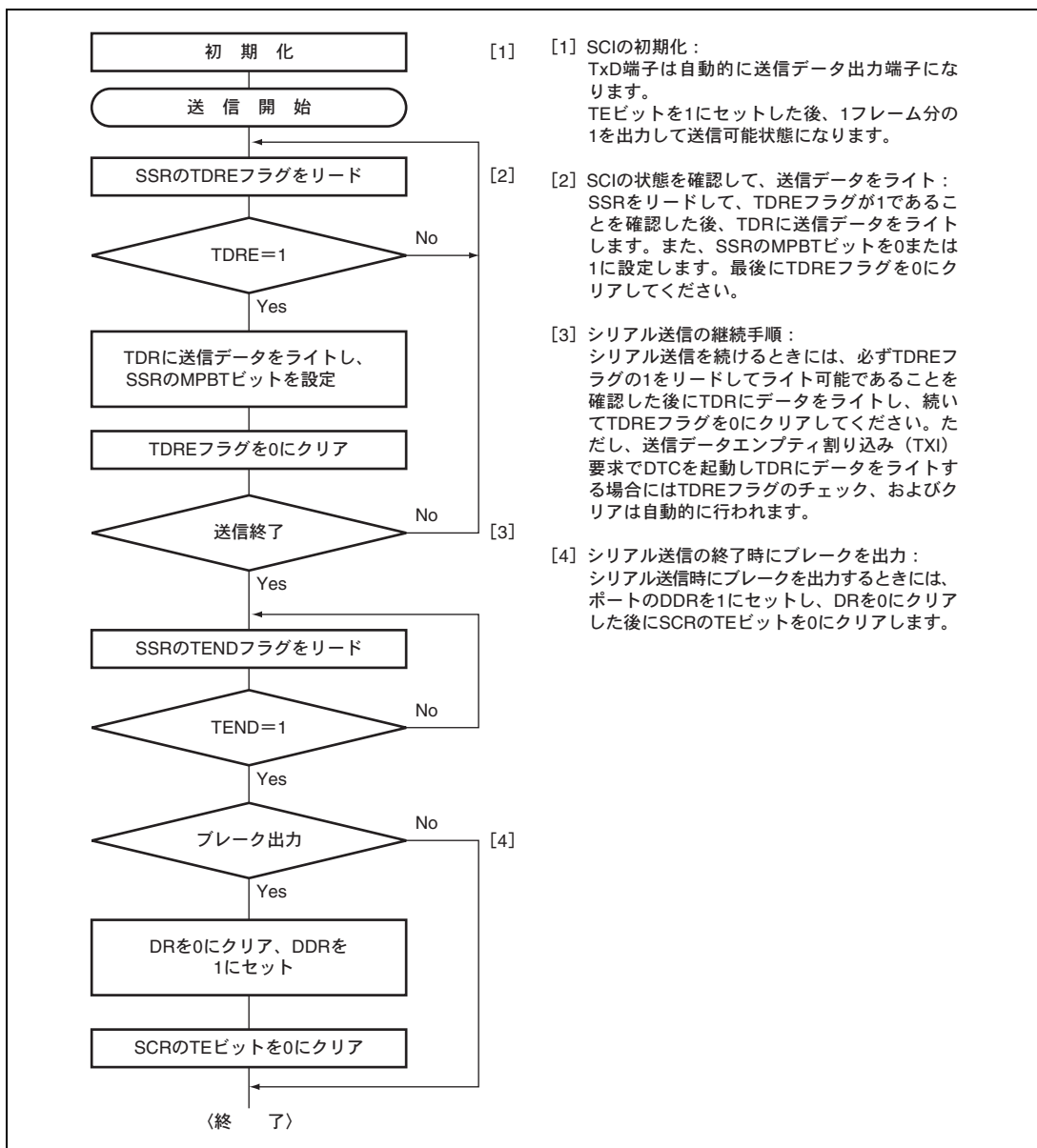


図 13.11 マルチプロセッサシリアル送信のフローチャートの例

13.5.2 マルチプロセッサシリアルデータ受信

図 13.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 13.12 に受信時の動作例を示します。

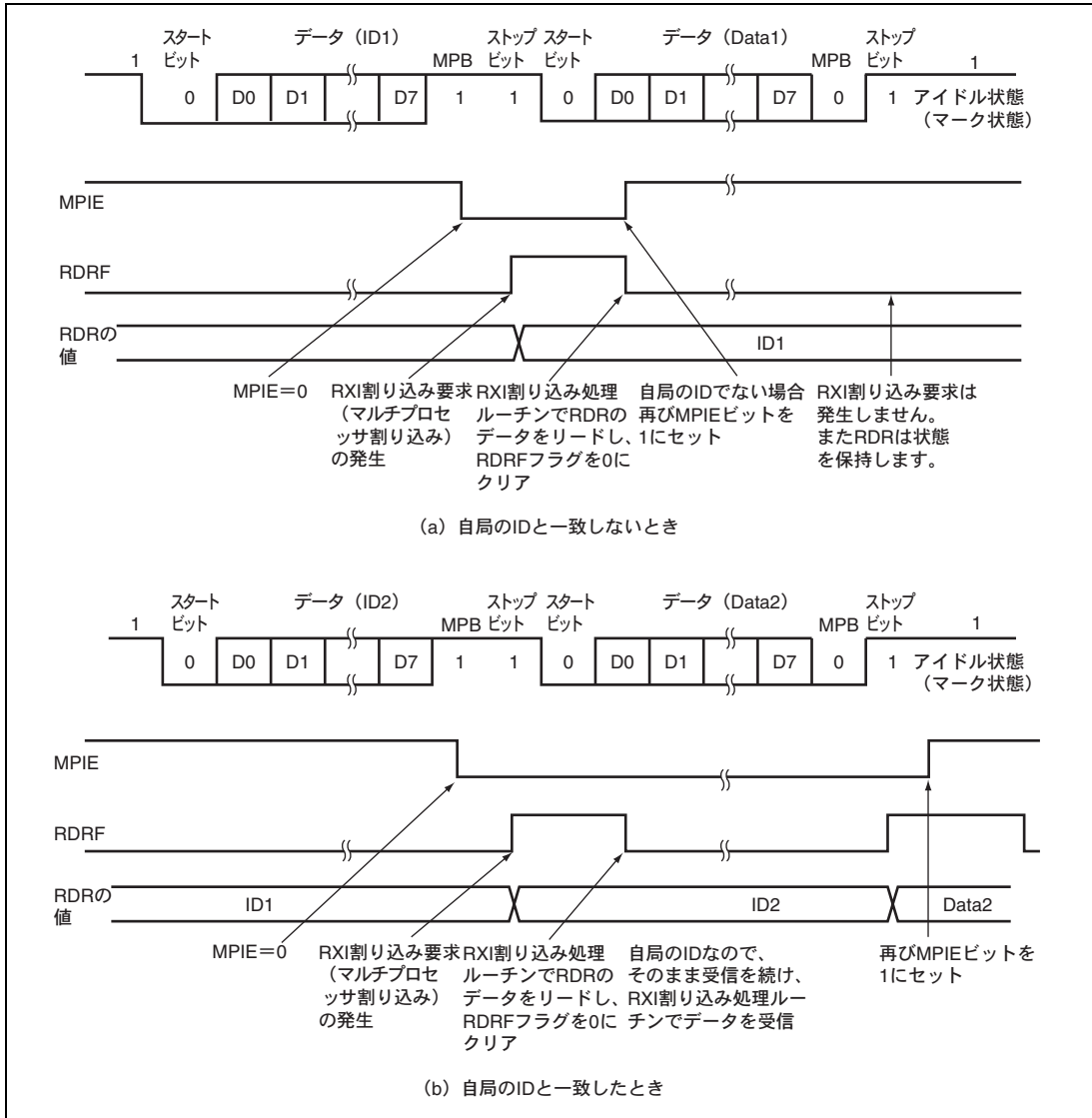


図 13.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

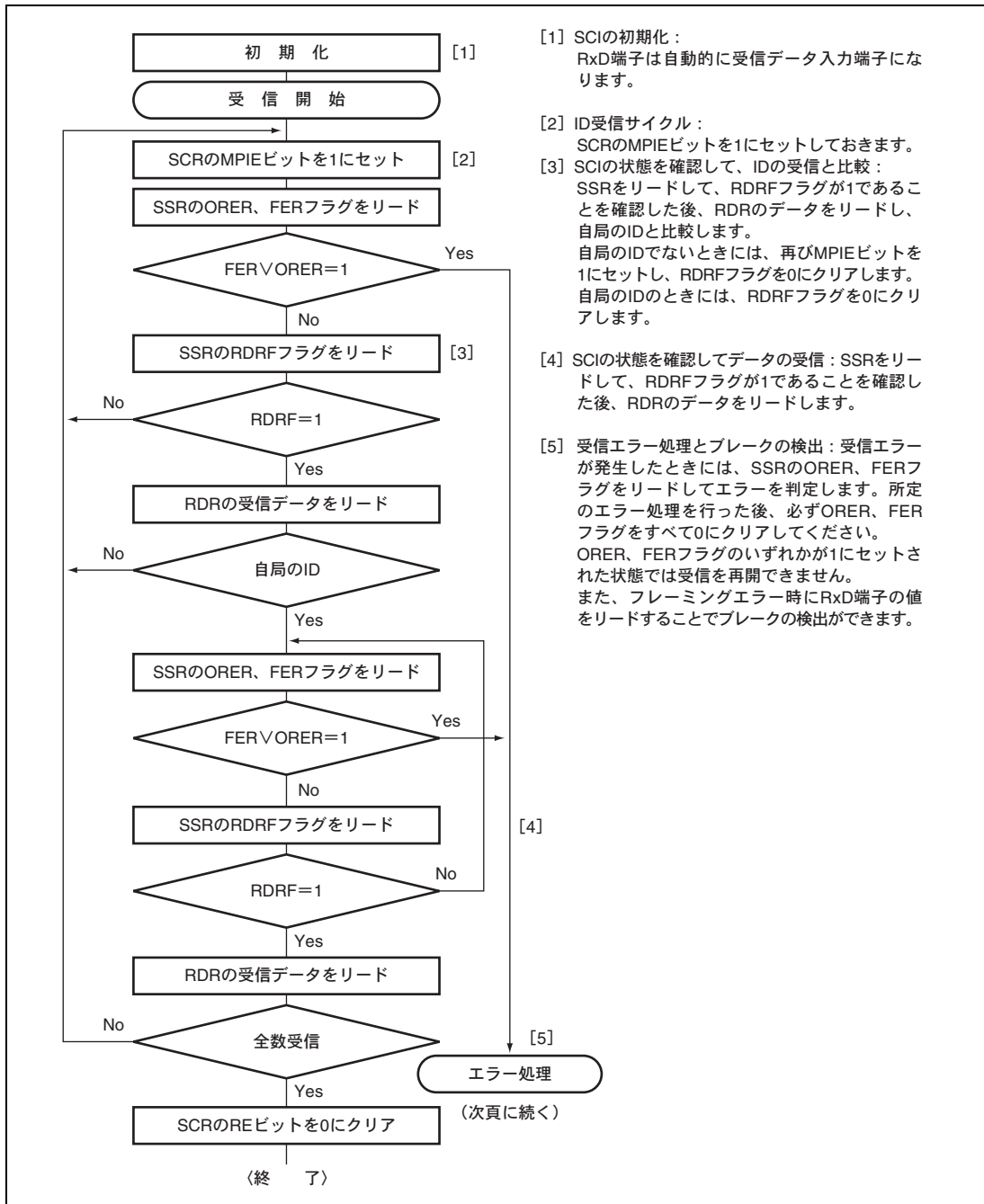


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

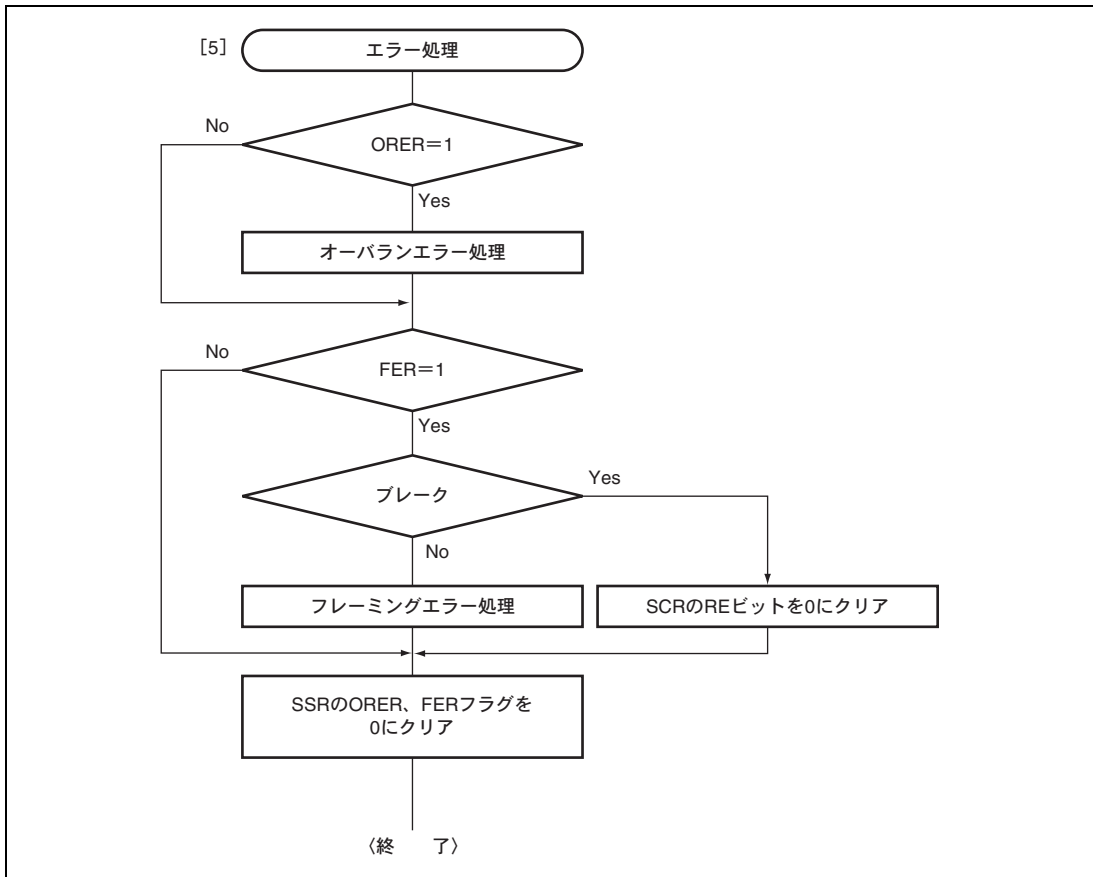


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

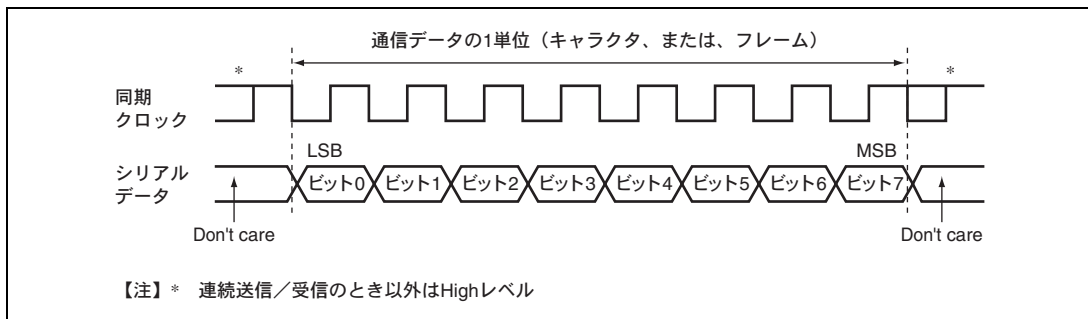


図 13.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

13.6.2 SCIの初期化

データの送受信前に、SCRのTE、REビットをクリアした後、図13.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

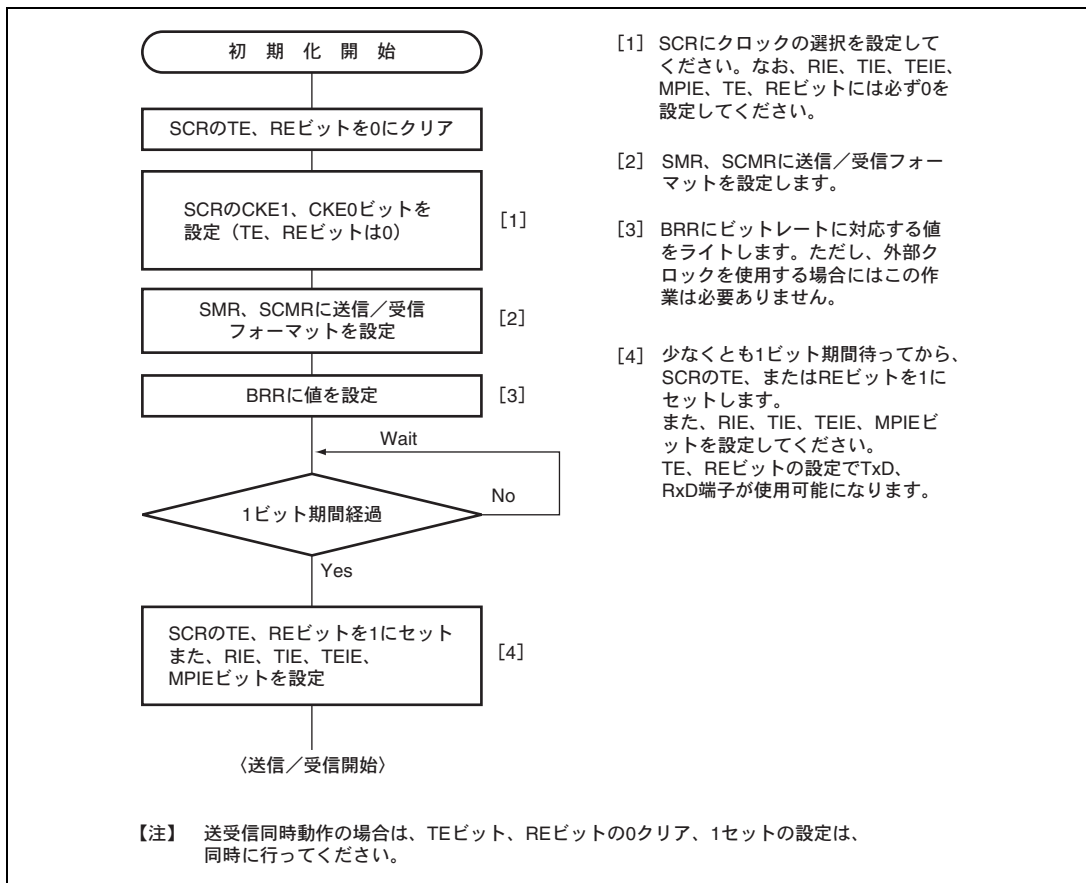


図 13.15 SCIの初期化フローチャートの例

13.6.3 シリアルデータ送信 (クロック同期式)

図 13.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込みを発生します。SCK端子はHighレベルに固定されます。

図 13.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはRE ビットをクリアしただけではクリアされませんので注意してください。

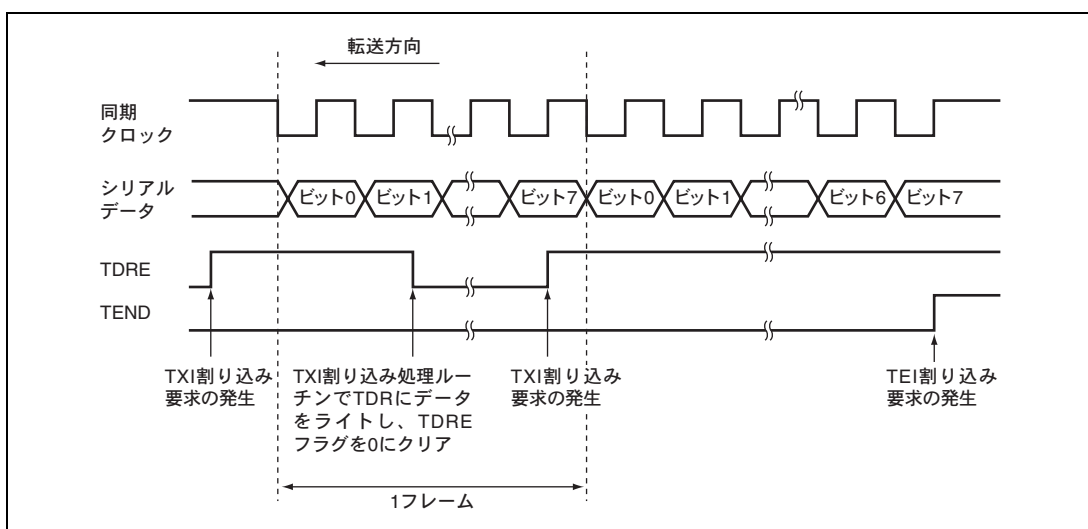


図 13.16 クロック同期式モードの送信時の動作例

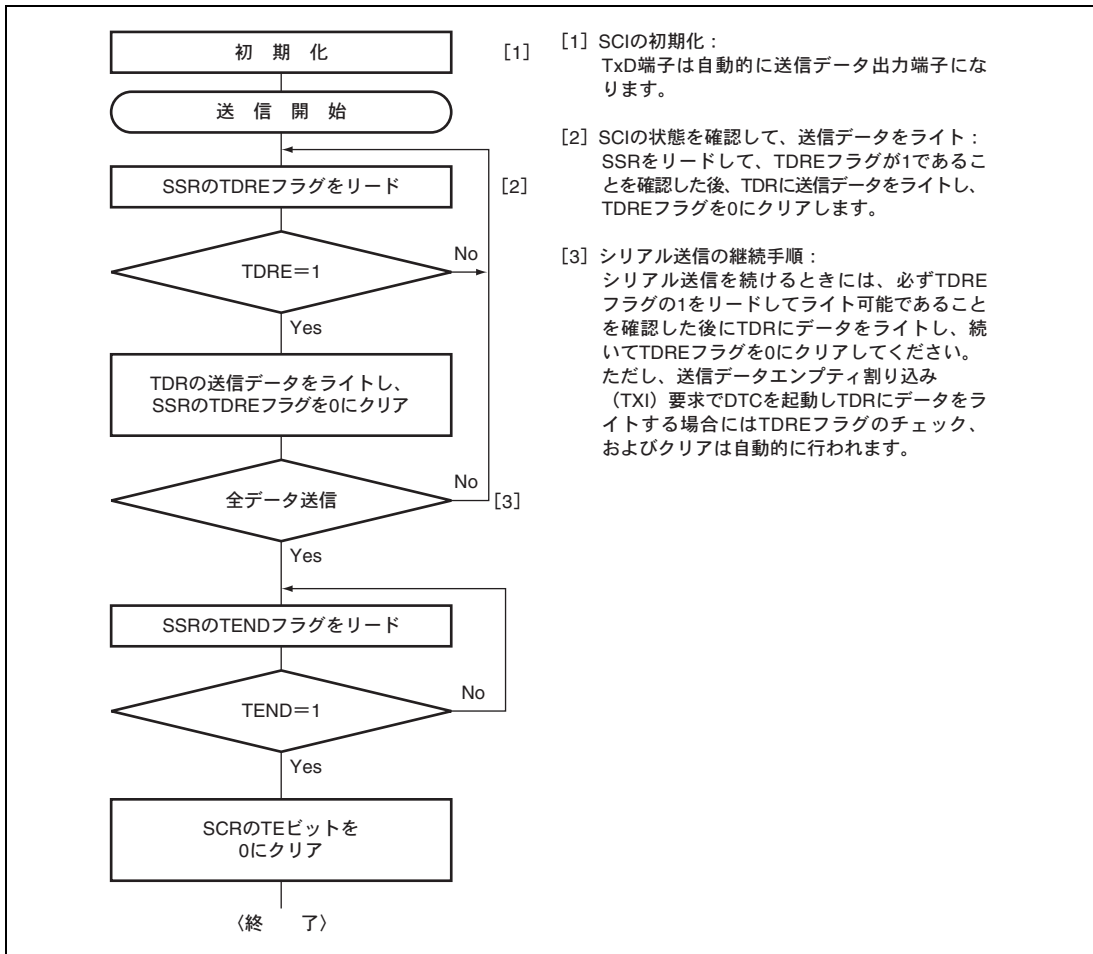


図 13.17 シリアル送信のフローチャートの例

13.6.4 シリアルデータ受信 (クロック同期式)

図 13.18 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

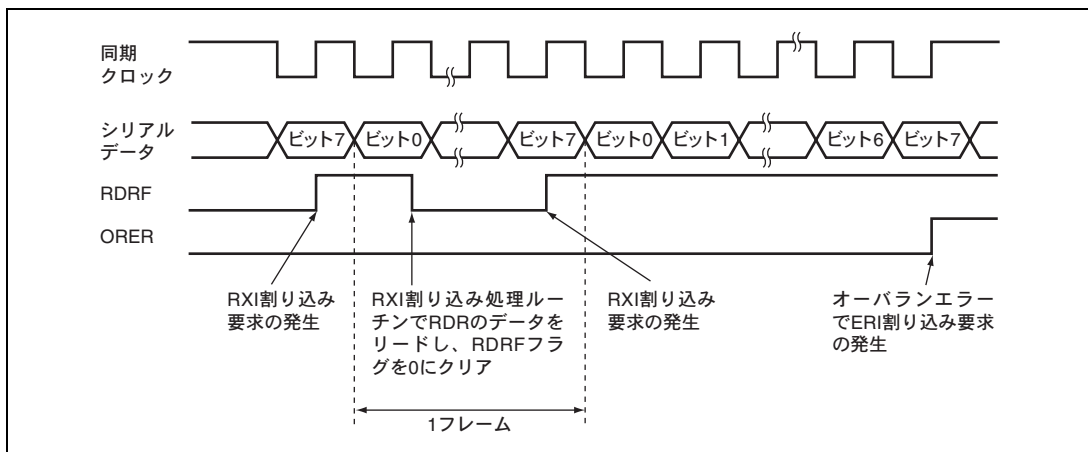


図 13.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.19 にデータ受信のためのフローチャートの例を示します。

13. シリアルコミュニケーションインタフェース (SCI)

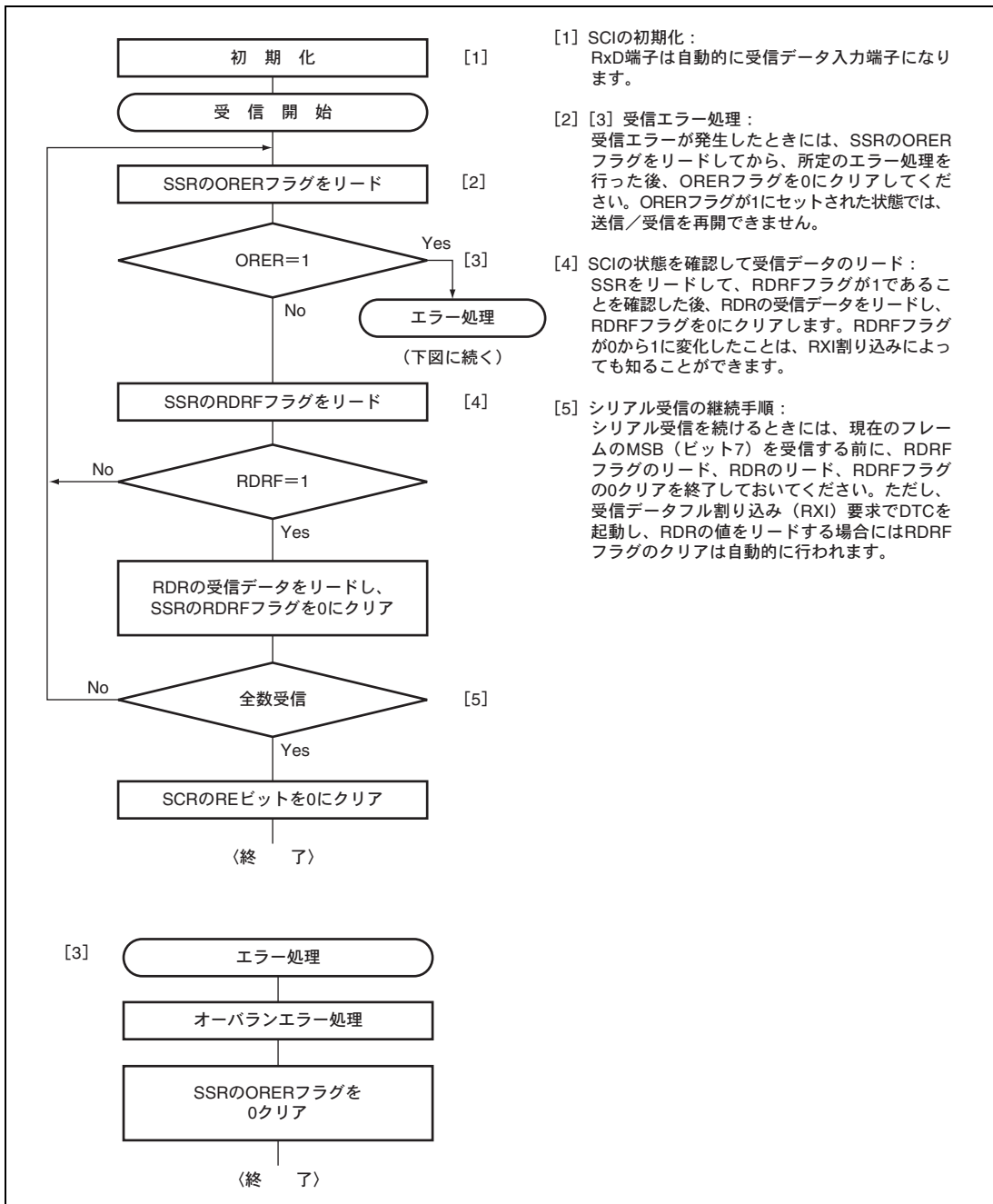


図 13.19 シリアルデータ受信フローチャートの例

13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

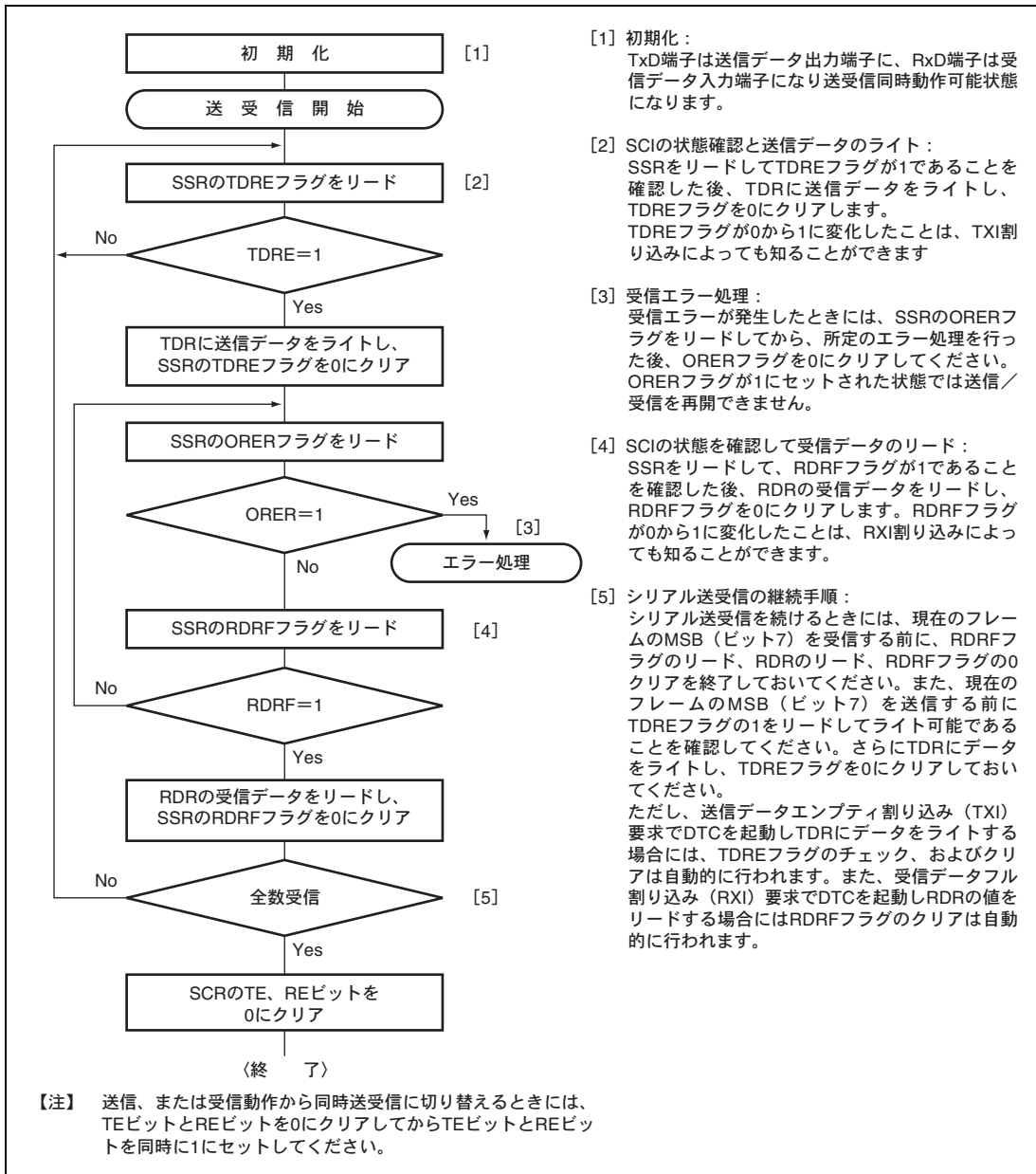


図 13.20 シリアル送受信同時動作のフローチャートの例

13.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

13.7.1 接続例

図 13.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。ICカードを接続しない状態で RE=TE=1 に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK 端子出力を ICカードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

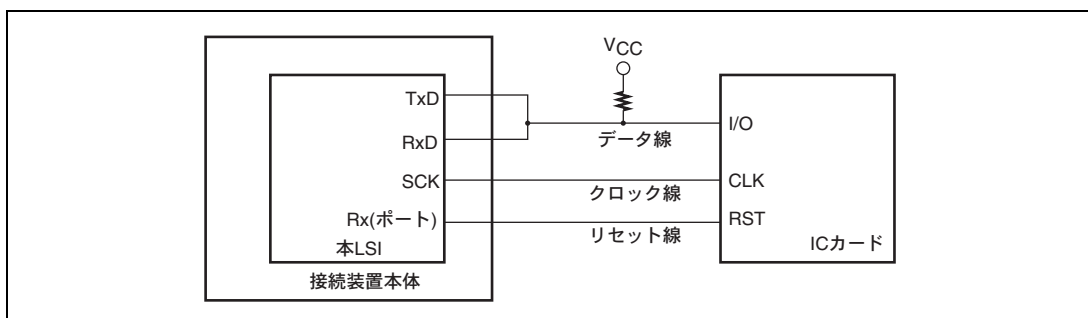


図 13.21 スマートカードインタフェース端子接続概要

13.7.2 データフォーマット (ブロック転送モード時を除く)

図 13.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit: 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

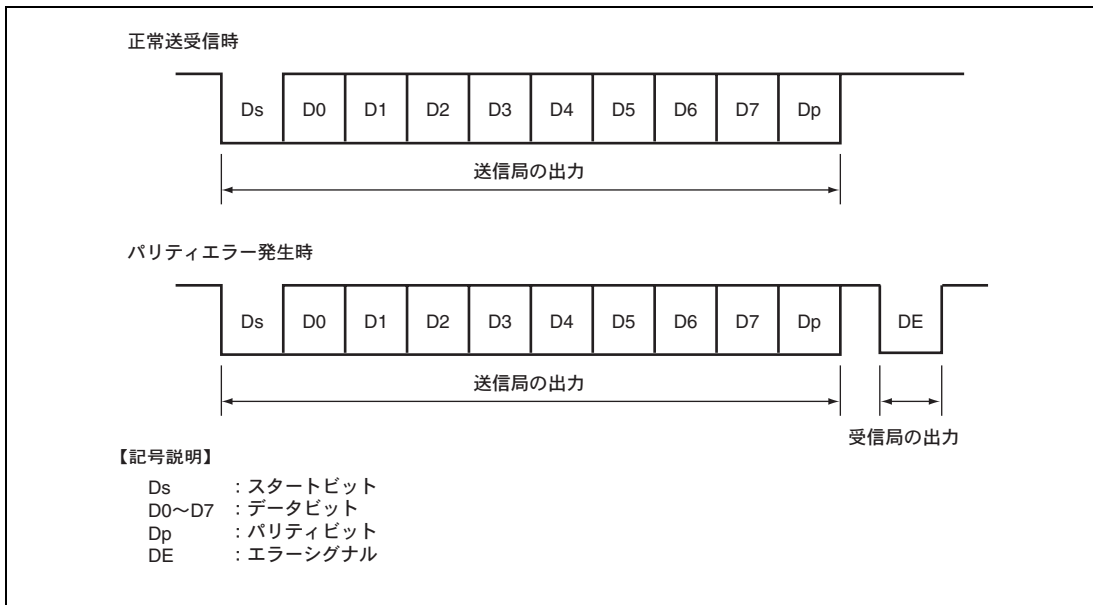


図 13.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

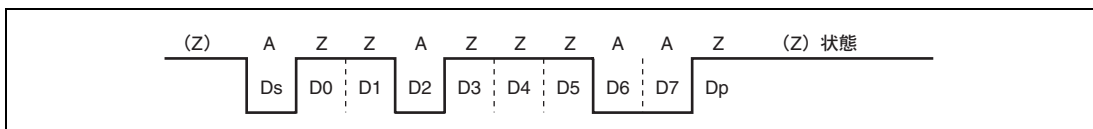


図 13.23 ダイレクトコンベンション (SDIR=SINV=0/E=0)

13. シリアルコミュニケーションインタフェース (SCI)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO \bar{E} ビットには0をセットしてください。

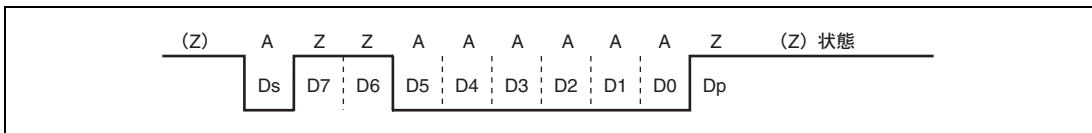


図 13.24 インバースコンベンション (SDIR=SINV=O \bar{E} =1)

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSCMRのSDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMRのO \bar{E} ビットに1を設定してパリティビットを反転させてください。

13.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1 μ tu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5 μ tu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

13.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりをもとに基本クロックでサンプリングして内部を同期化します。また、図13.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32, 64, 372, 256)

D：クロックデューティー (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

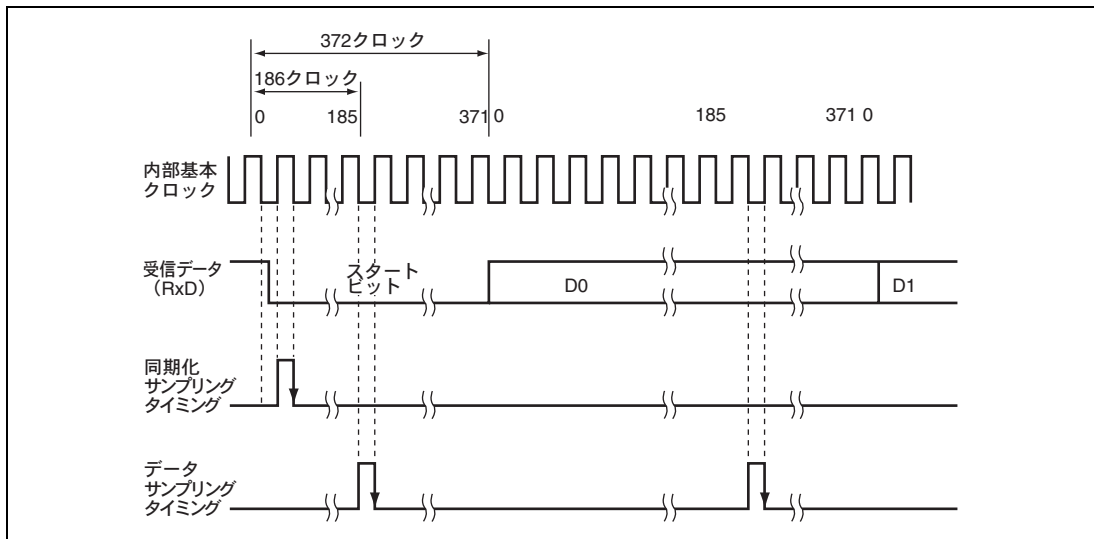


図 13.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

13.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRF フラグ、あるいはPER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTEND フラグで確認できます。

13.7.6 データ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 13.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていると、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 13.28 に示します。これら一連の処理は TXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

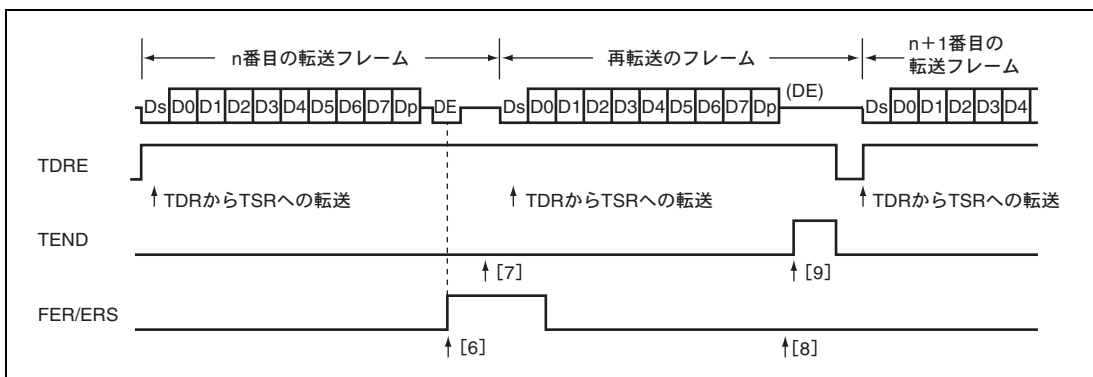


図 13.26 SCI 送信モードの場合の再転送動作

13. シリアルコミュニケーションインタフェース (SCI)

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.27 に TEND フラグ発生タイミングを示します。

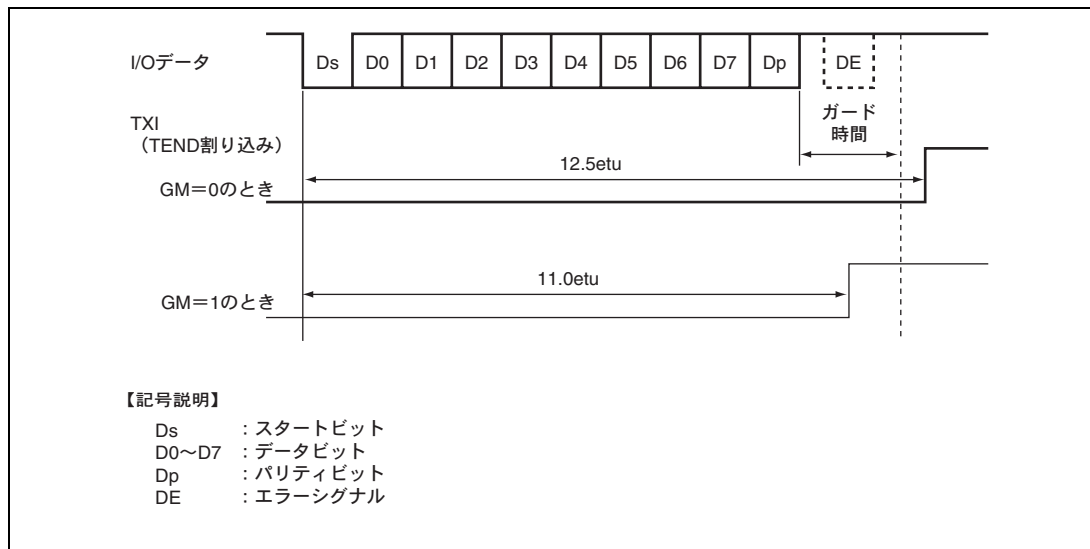


図 13.27 送信動作時の TEND フラグ発生タイミング

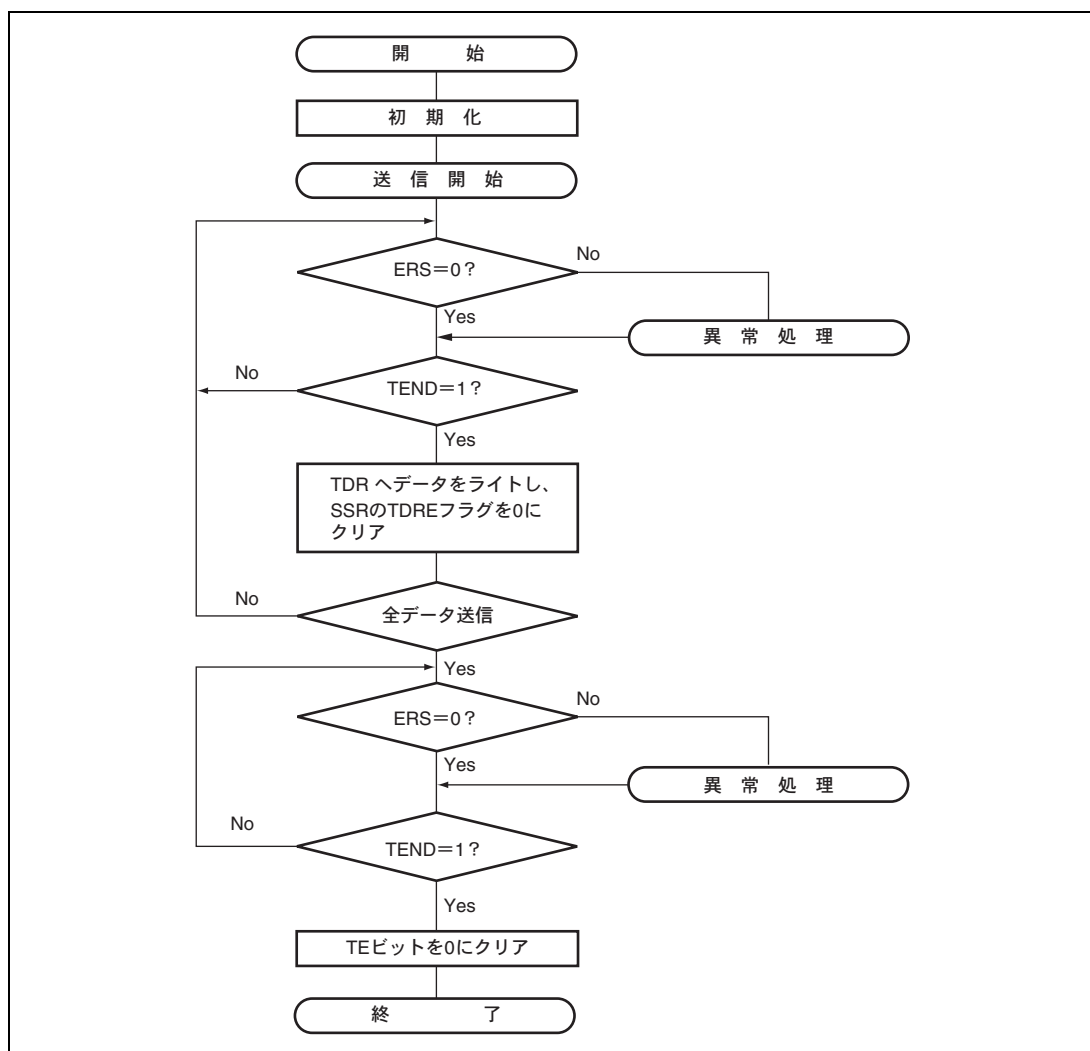


図 13.28 送信処理フローの例

13.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 13.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 13.30 に示します。これら一連の処理はRXI 割り込み要因によってDTCを起動することで、自動的に行うことができます。受信動作では、RIE ビットを1にセットしておくこととRDRF フラグが1にセットされるとRXI 要求を発生します。あらかじめDTCの起動要因にRXI 要求を設定しておけば、RXI 要求によりDTCが起動されて受信データの転送を行います。DTCによりデータが転送されるとRDRF フラグは自動的にクリアされます。また、受信時にエラーが発生しORER、PER フラグのいずれかが1にセットされると、送受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDTCは起動されず、受信データはスキップされるためDTCに設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生しPERが1にセットされた場合でも、受信したデータはRDRに転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「13.4 調歩同期式モードの動作」を参照してください。

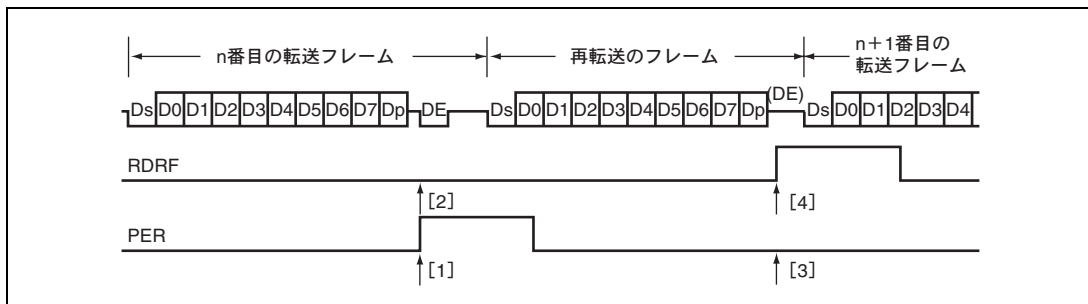


図 13.29 SCI 受信モードの場合の再転送動作

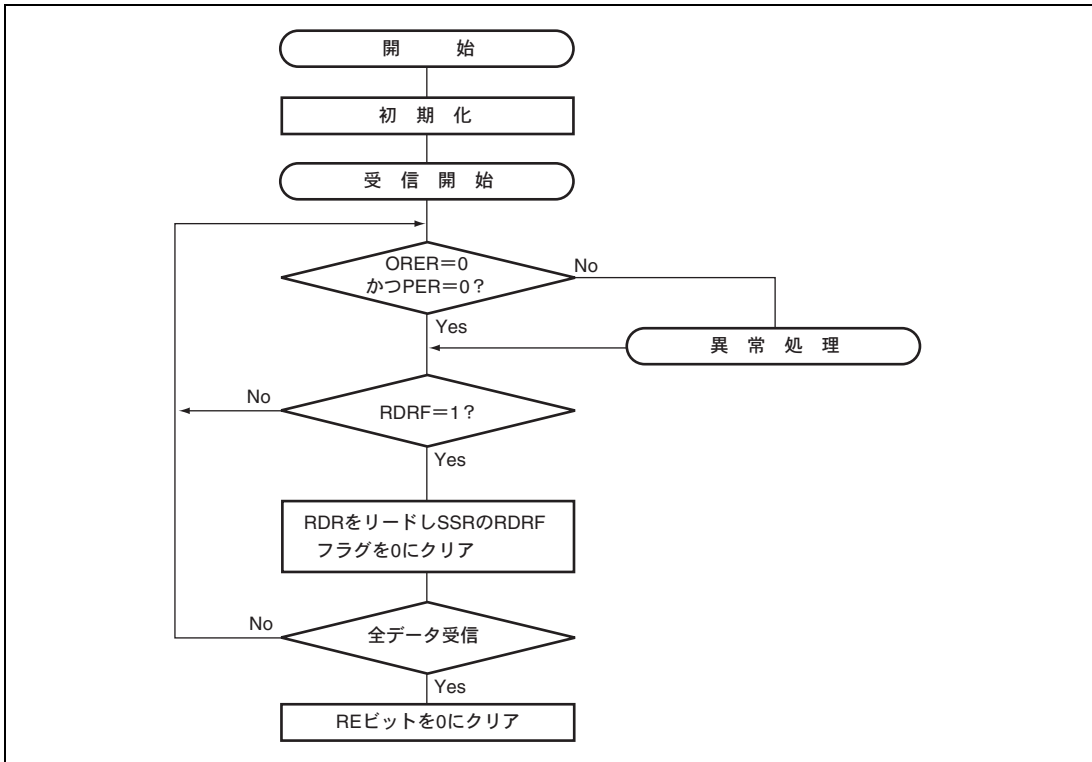


図 13.30 受信フローの例

13.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.31 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

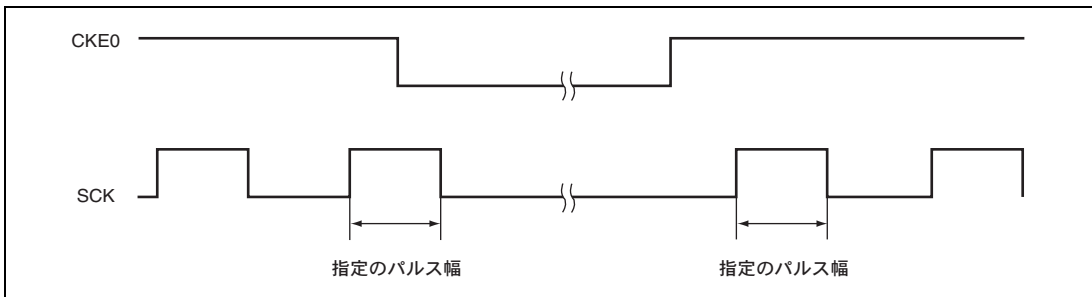


図 13.31 クロック出力固定タイミング

13. シリアルコミュニケーションインタフェース (SCI)

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

• 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

• スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

• ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

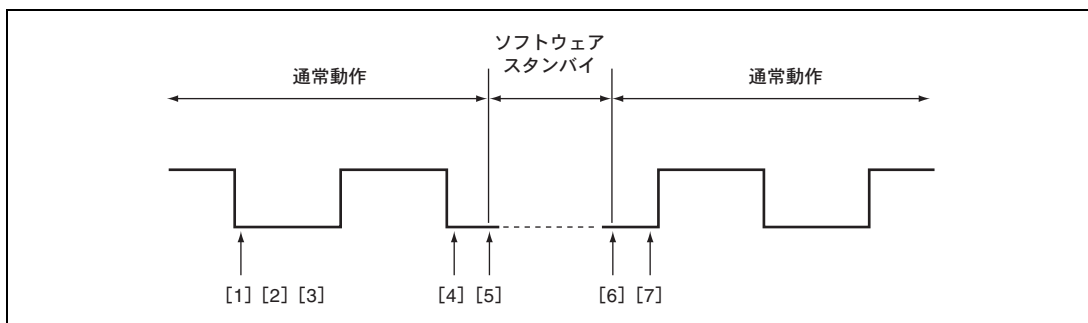


図 13.32 クロック停止・再起動手順

13.8 割り込み要因

13.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 13.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 13.12 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動
0	ERI_0	受信エラー	ORER、FER、PER	不可
	RXI_0	受信データフル	RDRF	可
	TXI_0	送信データエンプティ	TDRE	可
	TEI_0	送信終了	TEND	不可
1	ERI_1	受信エラー	ORER、FER、PER	不可
	RXI_1	受信データフル	RDRF	可
	TXI_1	送信データエンプティ	TDRE	可
	TEI_1	送信終了	TEND	不可
2	ERI_2	受信エラー	ORER、FER、PER	不可
	RXI_2	受信データフル	RDRF	可
	TXI_2	送信データエンプティ	TDRE	可
	TEI_2	送信終了	TEND	不可

13.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 13.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動
0	ERI_0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_0	受信データフル	RDRF	可
	TXI_0	送信データエンプティ	TEND	可
1	ERI_1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_1	受信データフル	RDRF	可
	TXI_1	送信データエンプティ	TEND	可
2	ERI_2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可
	RXI_2	受信データフル	RDRF	可
	TXI_2	送信データエンプティ	TEND	可

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

13.9 使用上の注意事項

13.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止／許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 21 章 低消費電力状態」を参照してください。

13.9.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

13.9.3 マーク状態とブレークの送出

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態（1 の状態）にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

13.9.4 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（ORER、PER、FER）が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

13.9.5 DTC の使用上の制約

同期クロックに外部クロックソースを使用する場合は、DTC による TDR の更新後、φクロックで5クロック以上経過した後に送信クロックを入力してください。TDR の更新後、4クロック以内に送信クロックを入力すると誤動作することがあります (図 13.33)。

DTC により RDR のリードを行うときは、必ず起動要因を当該 SCI の受信完了割り込み要因 (RXI) に設定してください。

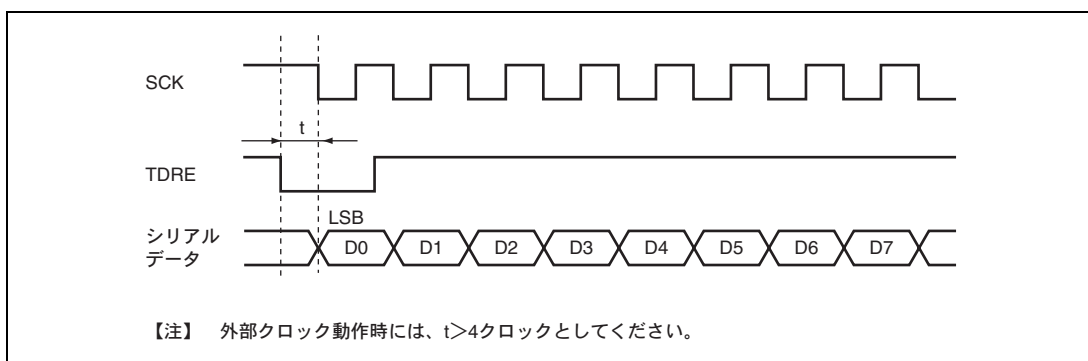


図 13.33 DTC によるクロック同期式送信時の例

13.9.6 モード遷移時の動作

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときは、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に $TE=1$ に再設定すると High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE=1$ に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 13.34 に送信時のモード遷移フローチャートの例を示します。図 13.35、図 13.36 に送信時の端子状態を示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときは、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。モード解除後に $TE=1$ 、 $TIE=1$ に設定すると、TXI 割り込み要求が発生して DTC による送信が始まります。

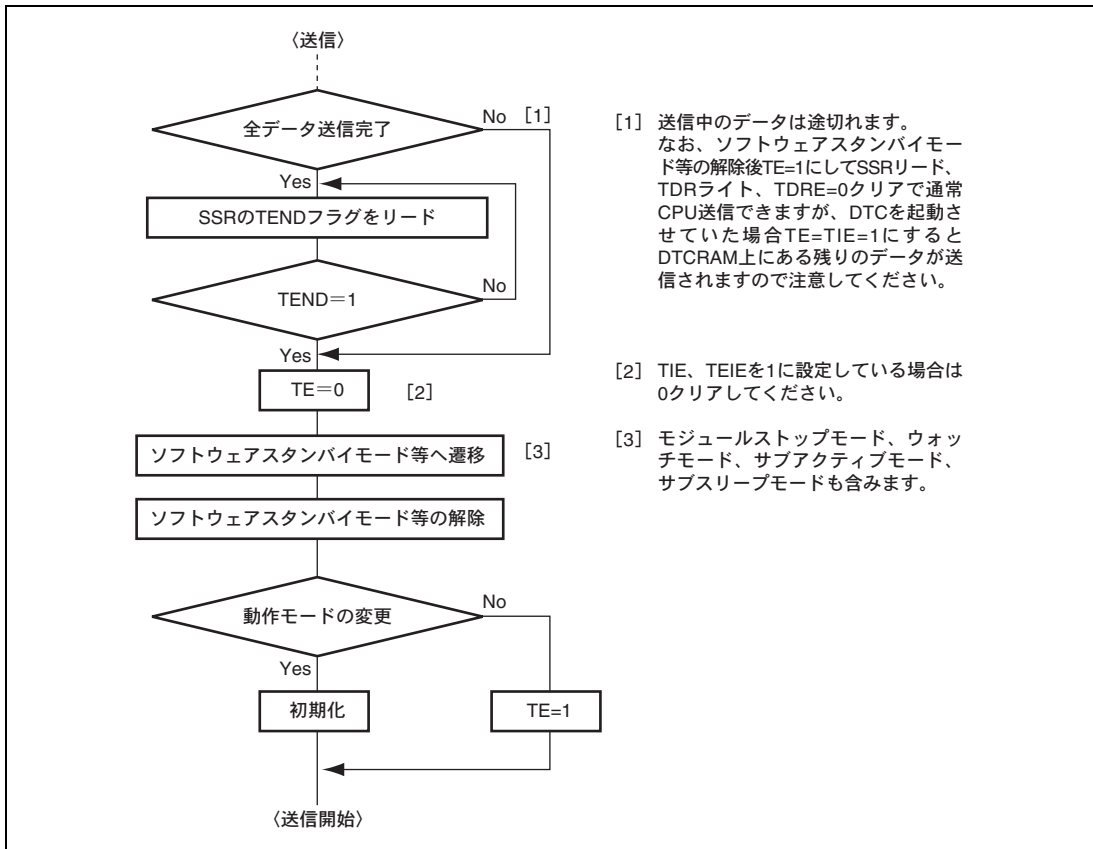


図 13.34 送信時のモード遷移フローチャートの例

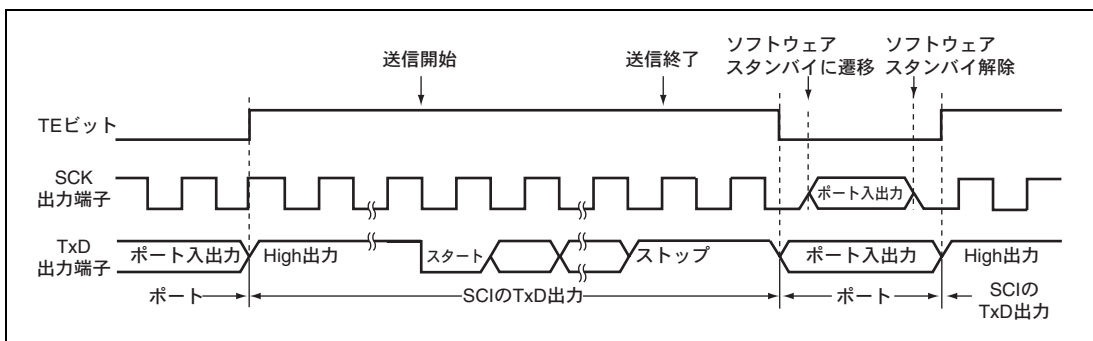


図 13.35 調歩同期式モード送信時（内部クロック）の端子状態

13. シリアルコミュニケーションインタフェース (SCI)

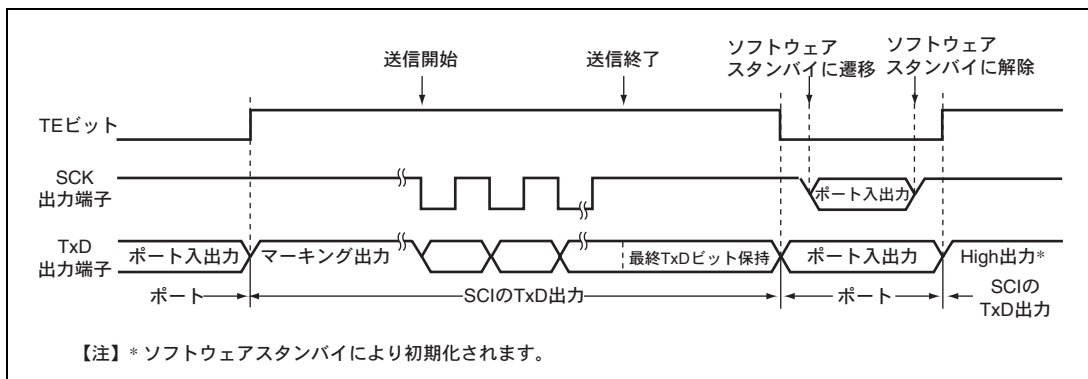


図 13.36 クロック同期式モード送信時（内部クロック）の端子状態

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 13.37 に受信時のモード遷移フローチャートの例を示します。

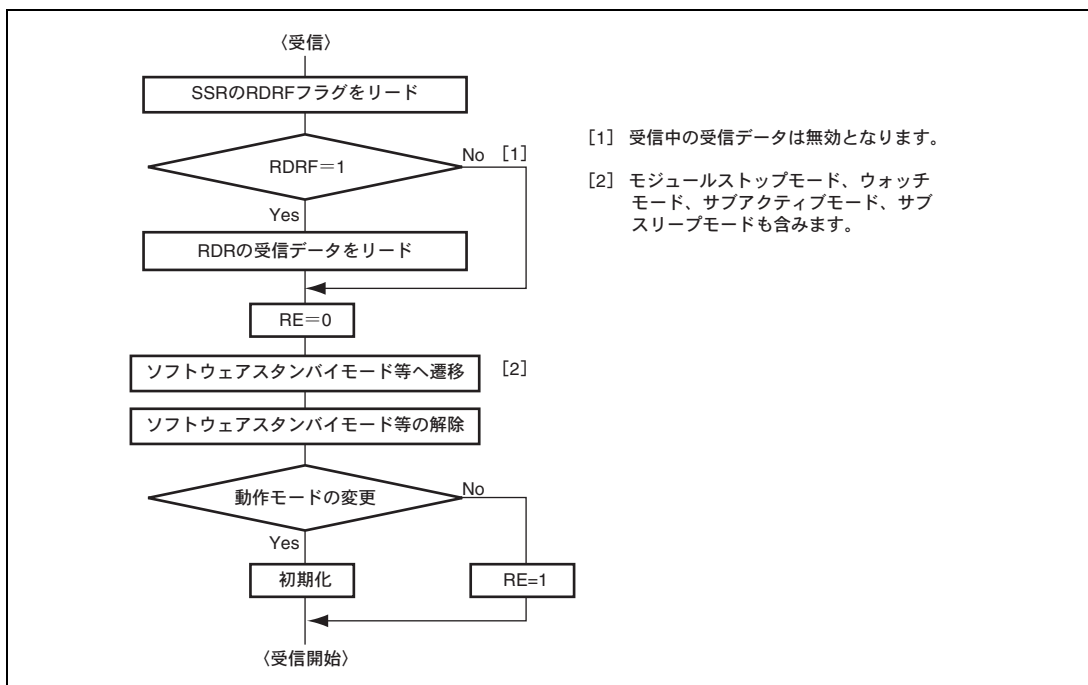


図 13.37 受信時のモード遷移フローチャートの例

13.9.7 SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR=1、DR=1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR=1、DR=1、 C/\bar{A} =1、CKE1=0、CKE0=0、TE=1の状態より、以下の設定でポートに切り替え時に半サイクルのLow出力が発生します。

1. シリアルデータ送信終了
2. TEビット=0
3. C/\bar{A} ビット=0 … ポート出力に切り替え
4. Low出力発生 (図13.38参照)

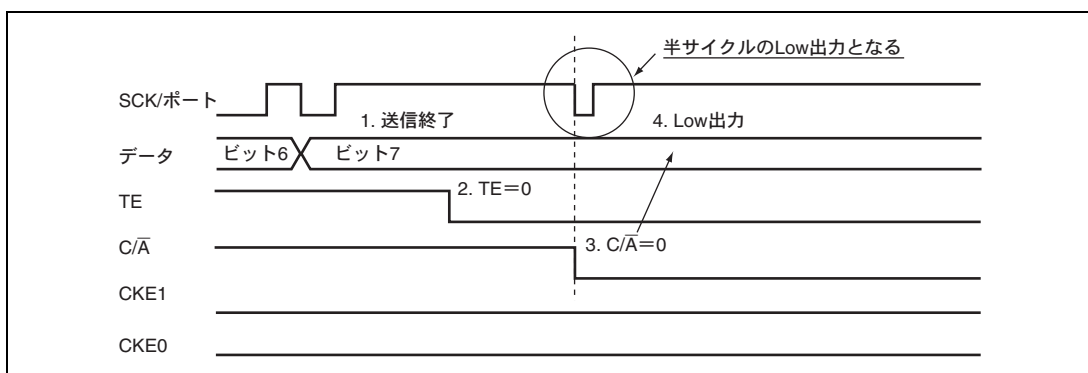


図 13.38 SCK 端子からポート端子へ切り替える時の動作

13. シリアルコミュニケーションインタフェース (SCI)

(b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でプルアップしてください。

DDR=1、DR=1、 $C/\bar{A}=1$ 、CKE1=0、CKE0=0、TE=1の状態より以下の1~5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット=0
3. CKE1ビット=1
4. C/\bar{A} ビット=0 … ポート出力に切り替え
5. CKE1ビット=0

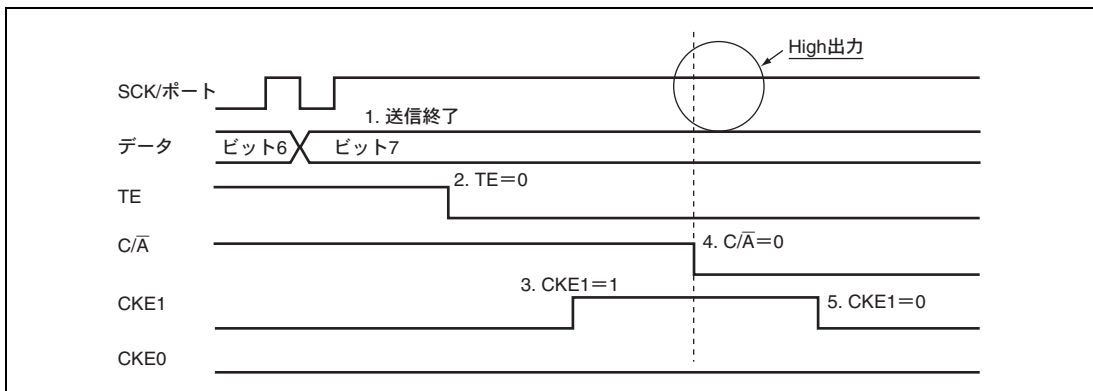


図 13.39 SCK 端子からポート端子へ切り替え時の Low 出力の回避例

14. I²C バスインタフェース (IIC)

本製品は、2チャンネルのI²Cバスインタフェースを内蔵しています。

I²Cバスインタフェースは、Philips社の提唱しているI²Cバス（Inter IC Bus）インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²Cバスを制御するレジスタの構成が一部Philips社と異なりますので注意してください。

I²Cバスインタフェースを用いたデータ転送は、各チャンネルで、データライン（SDA）1本、クロックライン（SCL）1本で構成され、コネクタやプリント基板の面積などを経済的に使用できます。

14.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

I²Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作

シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

- I²Cバスフォーマットは、Philips社提唱のI²Cバスインタフェースに準拠
- I²Cバスフォーマットで、スレーブアドレスを2通り設定可能
- I²Cバスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I²Cバスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I²Cバスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I²Cバスフォーマットで、マスタモード時のウェイト機能

アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグをクリアすることで解除

- I²Cバスフォーマットで、スレーブモード時のウェイト機能

アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除

- 3種類の割り込み要因

データ転送終了時（I²Cバスフォーマットで送信モード遷移時、および、マスタ競合負け後のアドレス受信を含む）

アドレス一致時：I²Cバスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき

停止条件検出時

- マスタモード時、16種類の内部クロック選択可能

14. I²C バスインタフェース (IIC)

• バスを直接駆動 (SCL/SDA端子)

P35/SCL0、P34/SDA0の2端子は、通常時はNMOSプッシュプル出力、バス駆動機能選択時はNMOSオープンドレイン出力

P33/SCL1、P32/SDA1の2端子は、通常時はCMOS端子、バス駆動機能選択時はNMOSのみで出力

I²C バスインタフェースのブロック図を図 14.1 に示します。

入出力端子の外部回路接続例を、図 14.2 に示します。チャンネル 0 の入出力端子は、NMOS オープンドレインであり、本 LSI の電源 (V_{CC}) 電圧を超える電圧印加が可能です。印加電圧の上限は、電源 (V_{CC}) 電圧範囲+0.3V にあたる 5.8V としてください。チャンネル 1 の入出力端子は NMOS のみにより駆動されるため、見かけ上 NMOS オープンドレインと同様の動作をします。しかし、入出力端子に印加可能な電圧は、本 LSI に依存します。

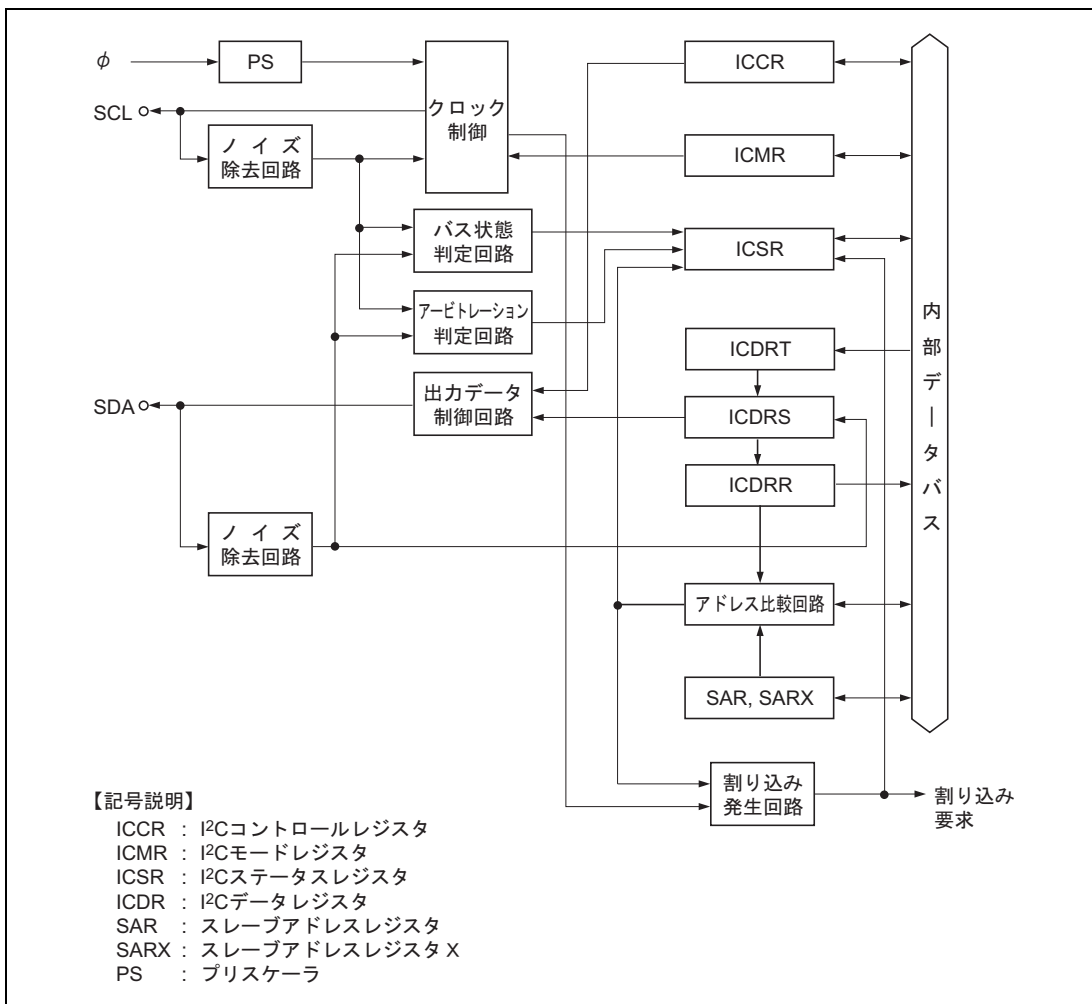
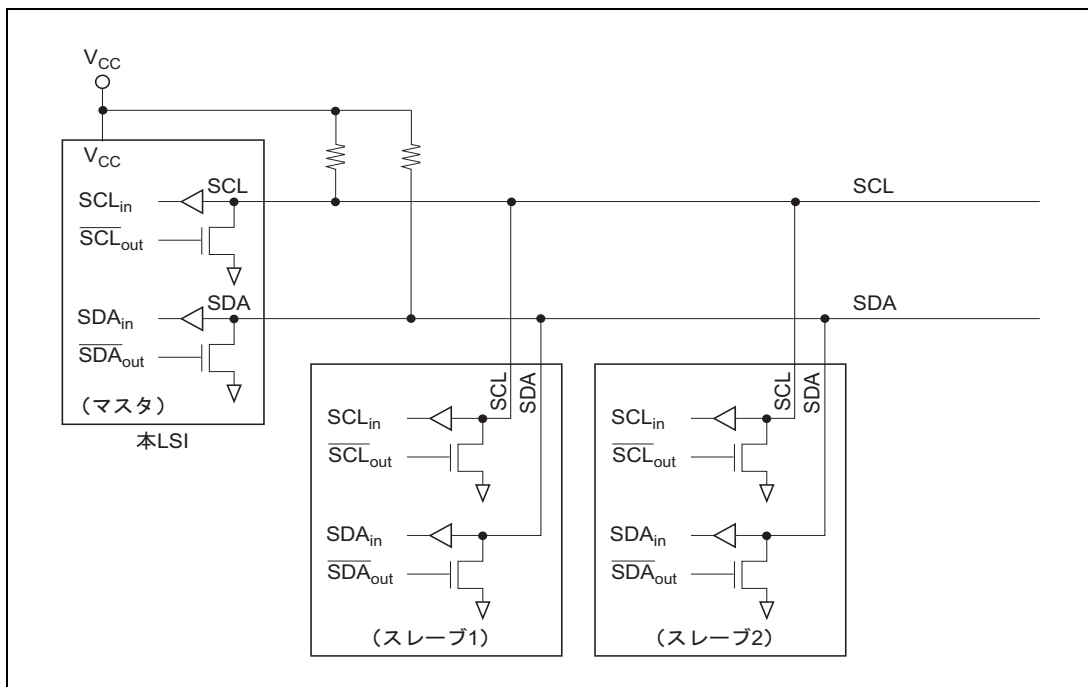


図 14.1 I²C バスインタフェースのブロック図

図 14.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

14.2 入出力端子

I²C バスインタフェースで使用する端子を表 14.1 に示します。

表 14.1 端子構成

チャンネル	名称	記号*	入出力	機能
0	シリアルクロック端子	SCL0	入出力	IIC_0 シリアルクロック入出力端子
	シリアルデータ端子	SDA0	入出力	IIC_0 シリアルデータの入出力端子
1	シリアルクロック端子	SCL1	入出力	IIC_1 シリアルクロック入出力端子
	シリアルデータ端子	SDA1	入出力	IIC_1 シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

14.3 レジスタの説明

I²C バスインタフェースには、チャンネルごとに以下のレジスタがあります。

ICDR と SARX、ICMR と SAR は同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルコントロールレジスタ X (SCRX) の IICE ビットで行います。

- I²Cバスコントロールレジスタ (ICCR)
- I²Cバスステータスレジスタ (ICSR)
- I²Cバスデータレジスタ (ICDR)
- I²Cバスモードレジスタ (ICMR)
- スレーブアドレスレジスタ (SAR)
- 第2スレーブアドレスレジスタ (SARX)
- シリアルコントロールレジスタX (SCRX)
- DDCスイッチレジスタ (DDCSWR)

14.3.1 I²C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可、リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えます。

ICDRS で 1 フレームのデータを送信/受信後、送信モードで ICDRT の次のデータがある場合 (TDRE フラグが 0 の場合)自動的に ICDRT から ICDRS へデータが転送されます。ICDRS で 1 フレームのデータを送信/受信後、受信モードで ICDRR に以前のデータがない場合 (RDRF フラグが 0 の場合)、自動的に ICDRS から ICDRR にデータが転送されます。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS=0 のとき MSB 側に、MLS=1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS=0 のとき LSB 側から、MLS=1 のとき MSB 側から読み出したビットを有効にしてください。

ICDR は、SARX と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICDR のリード/ライトが可能です。

ICDR のリセット時の値は不定です。

TDRE、RDRF フラグは、次のような条件でセット/クリアされます。TDRE、RDRF フラグのセットは、割り込みフラグの状態に影響を与えます。

TDRE	説明
0	送信開始不可、または、ICDR (ICDRT) に次の送信データが存在 (初期値) [クリア条件] <ul style="list-style-type: none"> 送信モード (TRS=1) で ICDR (ICDRT) に送信データをライトしたとき I²C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき I²C バスフォーマットで停止条件を検出したとき 受信モード (TRS=0) のとき (転送中の TRS の 0 ライトは、アクノリッジを含めたフレーム受信後に有効)
1	ICDR (ICDRT) に次の送信データをライト可能 [セット条件] <ul style="list-style-type: none"> 送信モード (TRS=1) のとき、I²C バスフォーマット、シリアルフォーマットのマスターモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき ICDRT から ICDRS にデータが転送されたとき (TRS=1 かつ TDRE=0 で ICDRS が空の場合、ICDRT→ICDRS へデータ転送) 受信モード (TRS=0) の状態で、開始条件検出後スレーブ受信モード (TRS=0) から送信モード (TRS=1) に切り替えたとき (1 回目のみ)

RDRF	説明
0	ICDR (ICDRR) にあるデータは無効 (初期値) [クリア条件] <ul style="list-style-type: none"> 受信モードで ICDR (ICDRR) の受信データをリードしたとき
1	ICDR (ICDRR) の受信データをリード可能 [セット条件] <ul style="list-style-type: none"> ICDRS から ICDRR にデータが転送されたとき (TRS=0 かつ RDRF=0 で受信正常終了の場合、ICDRS→ICDRR へデータ転送)

14. I²C バスインタフェース (IIC)

14.3.2 スレーブアドレスレジスタ (SAR)

SAR は、フォーマットの設定およびスレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SAR の上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR へのアクセスが可能になります。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX ビットとの組み合わせで、転送フォーマットを選択します。 詳細は表 14.2 を参照してください。

14.3.3 第2スレーブアドレスレジスタ (SARX)

SARX は、フォーマットの設定および第2スレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICDR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SARX へのアクセスが可能になります。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	フォーマットセレクト SAR の FS ビットとの組み合わせで、転送フォーマットを選択します。詳細は表 14.2 を参照してください。

- I²Cバスフォーマット :
アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット :
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

表 14.2 転送フォーマット

SAR	SARX	動作モード
FS	FSX	
0	0	I ² C バスフォーマット・ • SAR と SARX のスレーブアドレスを認識
	1	I ² C バスフォーマット・ • SAR のスレーブアドレスを認識・ • SARX のスレーブアドレスを無視
1	0	I ² C バスフォーマット・ • SAR のスレーブアドレスを無視・ • SARX のスレーブアドレスを認識
	1	クロック同期式シリアルフォーマット・ • SAR と SARX のスレーブアドレスを無視

14. I²C バスインタフェース (IIC)

14.3.4 I²C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するとき、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I ² C バスフォーマットでマスタモードのときのみ有効。スレーブモード時、本ビットの設定は無効です。 0 : ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1 : データの最終ビットのクロック(8 クロック目)が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL=Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「14.4.7 IRIC セットタイミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック選択 2~0 SCRX レジスタの IICX1 ビット (IIC_1)、IICX0 ビット (IIC_0) との組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。表 14.3 を参照してください。
4	CKS1	0	R/W	
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、000 以外を設定する場合は、SCL が Low 状態のときに行ってください。 ビットカウンタは、開始条件検出時 000 に初期化されます。また、データ転送終了後、再び 000 に戻ります。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

表 14.3 転送レート

STCR ビット 5、6	ビット 5	ビット 4	ビット 3	クロック	転送レート				
					IICX	CKS2	CKS1	CKS0	$\phi=5\text{MHz}$
0	0	0	0	$\phi/28$	179kHz	286kHz	357kHz	571kHz*	714kHz*
			1	$\phi/40$	125kHz	200kHz	250kHz	400kHz	500kHz*
		1	0	$\phi/48$	104kHz	167kHz	208kHz	333kHz	417kHz*
			1	$\phi/64$	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	$\phi/100$	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	$\phi/112$	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	$\phi/56$	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	$\phi/96$	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	$\phi/160$	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	$\phi/200$	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	$\phi/224$	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	$\phi/256$	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】 * I²C バスインタフェース仕様 (通常モード : 最大 100kHz、高速モード : 最大 400kHz) の範囲外となります。

14.3.5 I²C バスコントロールレジスタ (ICCR)

ICCR は I²C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : 本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。 1 : 本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICMR および ICDR がアクセス可能になります。
6	IEIC	0	R/W	I ² C バスインタフェース割り込みイネーブル 0 : I ² C バスインタフェースから CPU に対する割り込み要求を禁止 1 : I ² C バスインタフェースから CPU に対する割り込み要求を許可

14. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
5	MST	0	R/W	マスタ/スレーブ選択
4	TRS	0	R/W	送信/受信選択 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード I ² C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I ² C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第 1 フレームの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。 転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後に切り替わります。 [MST クリア条件] (1) ソフトウェアにより 0 をライトしたとき (2) I ² C バスフォーマットのマスタモードで、バス競合負けしたとき [MST セット条件] (1) ソフトウェアにより 1 をライトしたとき (MST クリア条件(1)の場合) (2) MST=0 をリード後、1 をライトしたとき (MST クリア条件(2)の場合) [TRS クリア条件] (1) ソフトウェアにより 0 をライトしたとき (TRS セット条件(3)以外の場合) (2) TRS=1 をリード後、0 をライトしたとき (TRS セット条件(3)の場合) (3) I ² C バスフォーマットのマスタモードで、送信を開始したあとバス競合負けしたとき [TRS セット条件] (1) ソフトウェアにより 1 をライトしたとき (TRS クリア条件(3)(4)以外の場合) (2) TRS=0 をリード後、1 をライトしたとき (TRS クリア条件(3)(4)の場合) (3) I ² C バスフォーマットのスレーブモードで第 1 フレームのアドレス一致後に R/W ビットとして 1 を受信したとき

ビット	ビット名	初期値	R/W	説 明
3	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>ACKE ビットは、I²C バスフォーマットで受信デバイスから返されるアクノリッジビットの内容を無視して連続的に転送を行うか、アクノリッジビットが 1 ならば転送を中断してエラー処理などを行うかを選択します。ACKE ビットが 0 の場合には、受信したアクノリッジビットの内容は ACKB ビットに反映されず、ACKB ビットは常時 0 となります。本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に TDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると TDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。</p> <p>DTC が起動されると、所定のデータ転送を実行したあと、TDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味を持たせる場合と、まったく意味を持たず 1 固定の場合があります。</p> <p>0: アクノリッジビットの内容を無視して、連続的に転送を行う 1: アクノリッジビットが 1 の場合、連続的な転送を中断する</p>

14. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
2	BBSY	0	R/W	バスビジー
0	SCP	1	W	<p>開始条件/停止条件発行禁止ビット</p> <p>マスタモード時</p> <ul style="list-style-type: none"> • BBSY=0 かつ SCP=0 ライト：停止条件発行 • BBSY=1 かつ SCP=0 ライト：開始条件、再送開始条件発行 <p>スレーブモード時</p> <ul style="list-style-type: none"> • BBSY フラグのライトは無効 <p>[BBSY セット条件]</p> <ul style="list-style-type: none"> • SCL=High レベルの状態ですDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき <p>[BBSY クリア条件]</p> <ul style="list-style-type: none"> • SCL=High レベルの状態ですDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき <p>開始条件/停止条件の発行は、MOV 命令を用います。</p> <p>開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY=1 かつ SCP=0 をライトする以前に、MST=1 かつ TRS=1 を設定してください。</p> <p>BBSY フラグをリードすることにより、I²C バス (SCL, SDA) が占有されているか開放されているかを確認できます。</p> <p>SCP ビットは、リードすると常に 1 が読み出されます。また、1 をライトしてもデータは格納されません。</p>

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R(W)*	<p>I²C バスインタフェース割り込み要求フラグ</p> <p>I²C バスインタフェースがCPUに対して割り込み要求を発生させたことを示します。</p> <p>SARのFSビットとSARXのFSXビットおよびICMRのWAITビットの組み合わせによりIRICフラグのセットタイミングが異なりますので、「14.4.7 IRIC セットタイミングとSCL制御」を参照してください。また、ICCRのACKEビットの設定によっても、IRICフラグがセットされる条件が異なります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • I²C バスフォーマットでマスタモード <ul style="list-style-type: none"> 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第1フレーム送信のためICDREフラグが1にセットされたとき) WAIT=1の場合、データとアクノリッジの間にウェイトを挿入したとき データ転送終了時 (送受信クロックの9クロック目の立ち上がりのとき、およびウェイト挿入時の送受信クロックの8クロック目の立ち上がりのとき) バス競合負けの後、自分のスレーブアドレスを受信したとき (ALフラグが1にセットされたとき) ACKEビットが1のとき、アクノリッジビットとして1を受信したとき (ACKBビットが1にセットされたとき) • I²C バスフォーマットでスレーブモード <ul style="list-style-type: none"> スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASXフラグが1にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDREまたはRDRFフラグが1にセットされたとき) ゼネラルコールアドレスを検出したとき (FS=0かつ、ADZフラグが1にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ受信終了時 (TDREまたはRDRFフラグが1にセットされたとき) ACKEビットが1のとき、アクノリッジビットとして1を受信したとき (ACKBビットが1にセットされたとき) 停止条件を検出したとき (STOPまたはESTPフラグが1にセットされたとき)

14. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R(W)*	<ul style="list-style-type: none"> • クロック同期式シリアルフォーマット、およびフォーマットレスデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) シリアルフォーマットで開始条件を検出したとき 上記の他、TDRE または RDRF フラグが 1 にセットされる条件が発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRIC=1 の状態でリードした後、0 をライトしたとき • DTC で ICDR をリード/ライトしたとき <p>(クリア条件とならない場合もあるため、詳細は下記 DTC の動作説明参照)</p>

【注】 * フラグを 0 にクリアするための 0 ライトのみ可能です。

DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

I²C バスフォーマットで IRIC=1 となり割り込みが発生した場合には、IRIC=1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

TDRE または RDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレープモードの場合に、スレープアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、TDRE または RDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。各フラグと転送状態の関係を表 14.4 に示します。

表 14.4 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送信/受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スリープモード第1フレームでSARに一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARXに一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スリープモード送信/受信終了 (SARX一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スリープモード送信/受信終了
0	1	1	0	0	0	1	0	0	0	1	(SARX一致後)
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

14. I²C バスインタフェース (IIC)

14.3.6 I²C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。

ビット	ビット名	初期値	R/W	説明
7	ESTP	0	R/(W)*	<p>エラー停止条件検出フラグ</p> <p>I²C バスフォーマットでスレーブモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の途中で停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • ESTP=1 の状態をリードした後、0 をライトしたとき • IRIC フラグが 0 にクリアされたとき
6	STOP	0	R/(W)*	<p>正常停止条件検出フラグ</p> <p>I²C バスフォーマットでスレーブモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の完了後に停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • STOP=1 の状態をリードした後、0 をライトしたとき • IRIC フラグが 0 にクリアされたとき
5	IRTR	0	R/(W)*	<p>I²C バスインタフェース連続送受信割り込み要求フラグ</p> <p>I²C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な 1 フレームデータ送受信の終了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。IRTR フラグのセットは、TDRE または RDRF フラグが 1 にセットされたときに行われます。IRTR フラグのクリアは、IRTR=1 をリードしたあと、0 をライトすることで行われます。また、IRIC フラグを 0 にクリアすると IRTR フラグは自動的にクリアされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • I²C バスインタフェースでスレーブモードのとき AASX=1 の状態で、TDRE または RDRF フラグが 1 にセットされたとき • I²C バスインタフェースでスレーブモード以外 TDRE または RDRF フラグが 1 にセットされたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRTR=1 の状態をリードした後、0 をライトしたとき • ICE=1 の状態で IRIC フラグが 0 にクリアされたとき

14. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
4	AASX	0	R/(W)*	<p>第 2 スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6~SVAX0 と一致したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでかつ FSX=0 で第 2 スレーブアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> AASX=1 の状態をリードした後、0 をライトしたとき 開始条件を検出したとき マスタモードのとき
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、データをリード (受信時) したとき AL=1 の状態をリードした後、0 をライトしたとき
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6~SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき AAS=1 の状態をリードした後、0 をライトしたとき マスタモードのとき

14. I²C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	ADZ	0	R(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>ADZ フラグクリアは、ADZ=1 をリードしたあと、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ、FS=0 でゼネラルコールアドレス (R/W ビットも含めた1フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき ADZ=1 の状態をリード後、0 をライトしたとき マスタモードのとき
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE=1 でアクノリッジビットとして1を受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE=1 でアクノリッジビットとして0を受信したとき ACKE ビットに0をライトしたとき <p>受信モード</p> <p>0: データを受信した後、アクノリッジデータとして0を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして1を送出します。</p> <p>本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。このとき、受信デバイスからロードした値はそのまま保持されますので、本レジスタをビット操作命令を使用して書き替えるときは、注意が必要です。</p>

【注】 * フラグを0にクリアするための0ライトのみ可能です。

14.3.7 シリアルコントロールレジスタ X (SCRX)

SCRX は、レジスタアクセスの制御、IIC の動作モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット 初期値を変更しないでください。
6	IICX1	0	R/W	トランスファレート選択 1、0
5	IICX0	0	R/W	ICMR の CKS2~0 ビットとの組み合わせにより、マスタモードでの転送レートを選択します。詳細は表 14.3 を参照してください。
4	IICE	0	R/W	I ² C マスタイネーブル I ² C バスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを制御します。 0 : I ² C バスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを禁止 1 : I ² C バスインタフェースのデータレジスタ、制御レジスタ (ICCR/ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを許可
3	—	1	R	リザーブビット リードすると常に 1 が読み出されます。
2~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

14. I²C バスインタフェース (IIC)

14.3.8 DDC スイッチレジスタ (DDCSWR)

DDCSWR は、IIC の内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R* ¹	リザーブビット 0 ライトのみ可能です。
3	CLR3	1	W* ²	IIC クリア 3~0 IIC_0、IIC_1 の内部状態の初期化を制御します。 00 -- : 設定禁止 0100 : 設定禁止 0101 : IIC_0 内部ラッチクリア 0110 : IIC_1 内部ラッチクリア 0111 : IIC_0、IIC_1 内部ラッチクリア 1 --- : 設定無効 本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。 本ビットはライト動作のみ可能で、リードすると常に 1 が読み出されます。なお、本ビットへのライトデータは保持されません。 IIC 内部状態の初期化を行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。CLR3~CLR0 ビットに対する BCLR などのビット操作命令は使用しないでください。 再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。 本ビットの機能を使用しない場合は、DDCSWR レジスタライト時の CLR3~CLR0 ビットにはすべて 1 を設定するようにしてください。
2	CLR2	1	W* ²	
1	CLR1	1	W* ²	
0	CLR0	1	W* ²	

【注】 *1 フラグを 0 にクリアするための 0 ライトのみ可能です。

*2 リードすると常に 1 が読み出されます。

14.4 動作説明

14.4.1 I²C バスデータフォーマット

I²C バスインタフェースには、シリアルフォーマットと I²C バスフォーマットがあります。

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 14.3 (a)、(b) に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。開始条件、停止条件の発行は必要ですが、クロック同期式シリアルとして使用できます。これを図 14.4 に示します。また、I²C バスのタイミングを図 14.5 に示します。

図 14.3～図 14.5 の記号説明を表 14.5 に示します。

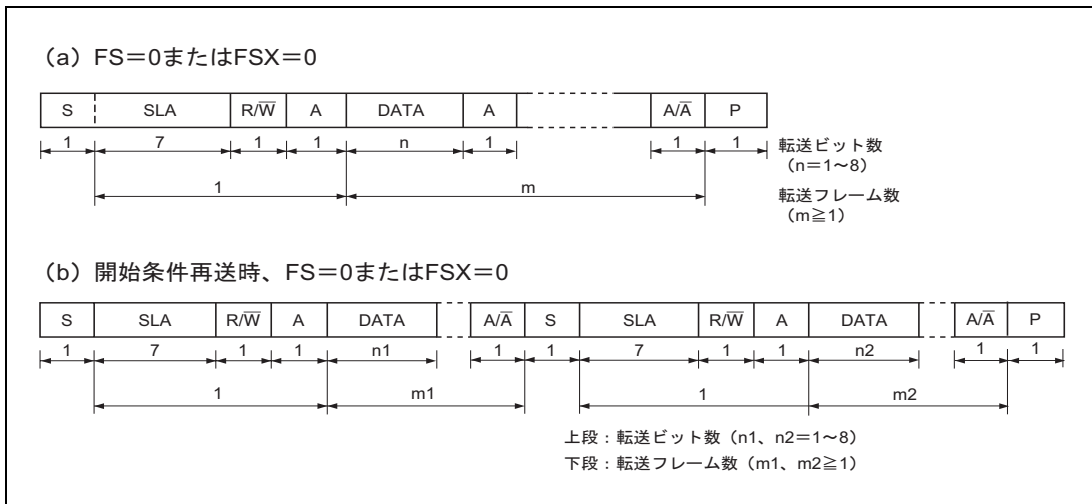


図 14.3 I²C バスデータフォーマット (I²C バスフォーマット)

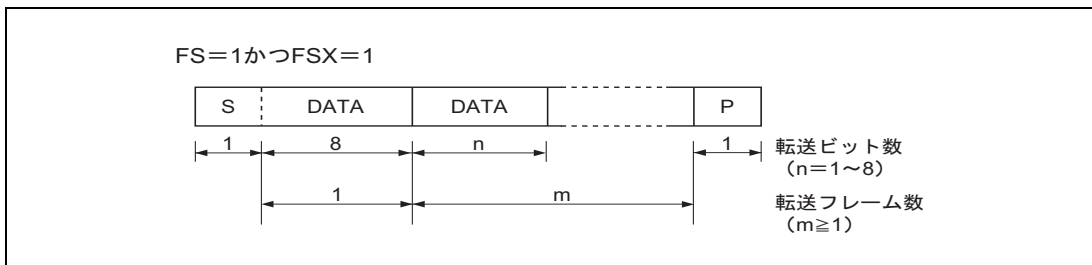


図 14.4 I²C バスデータフォーマット (シリアルフォーマット)

14. I²C バスインタフェース (IIC)

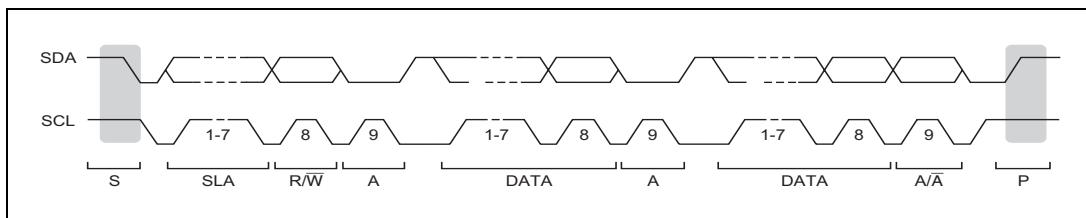


図 14.5 I²C バスタイミング

表 14.5 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL=High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信/受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2~BC0 ビットで設定します。また MSB ファースト/LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL=High レベルの状態では SDA を Low レベルから High レベルに変化させます。

14.4.2 初期設定

データ送信／受信を開始するとき、以下の手順に従い IIC を初期化してください。

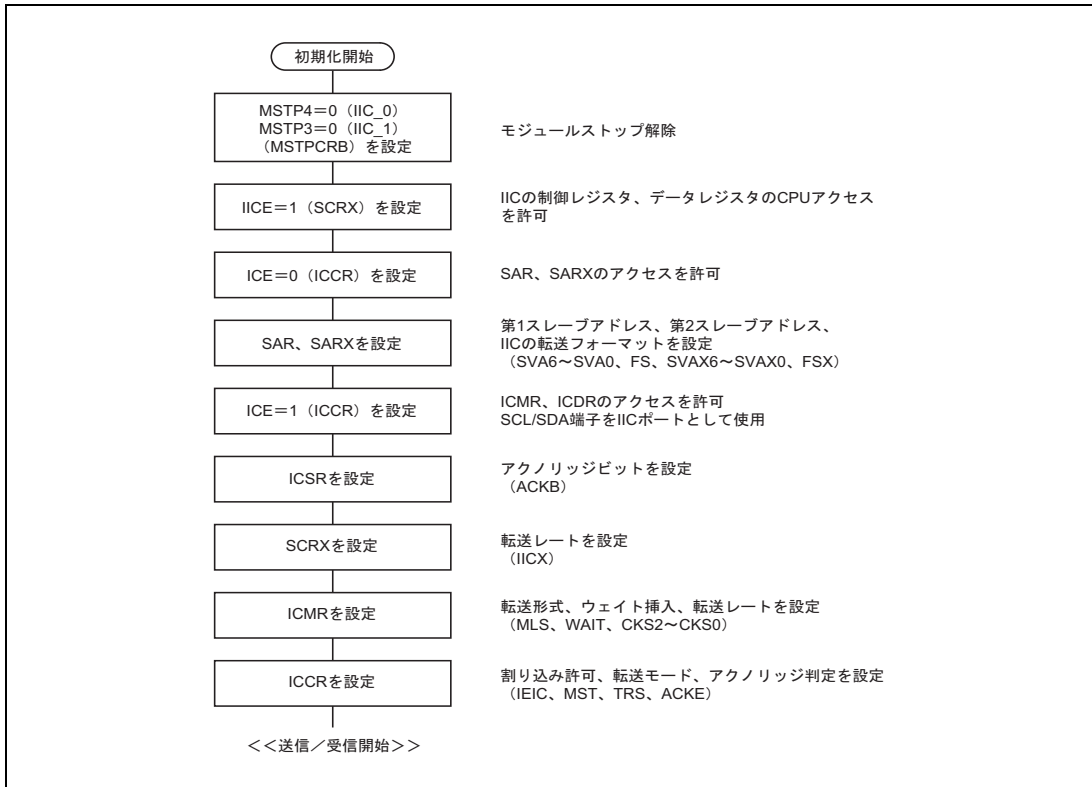


図 14.6 IIC の初期化フローチャートの例

- 【注】** ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。
送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2~BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

14. I²C バスインタフェース (IIC)

14.4.3 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。

図 14.7 にマスタ送信モードのフローチャート例を示します。

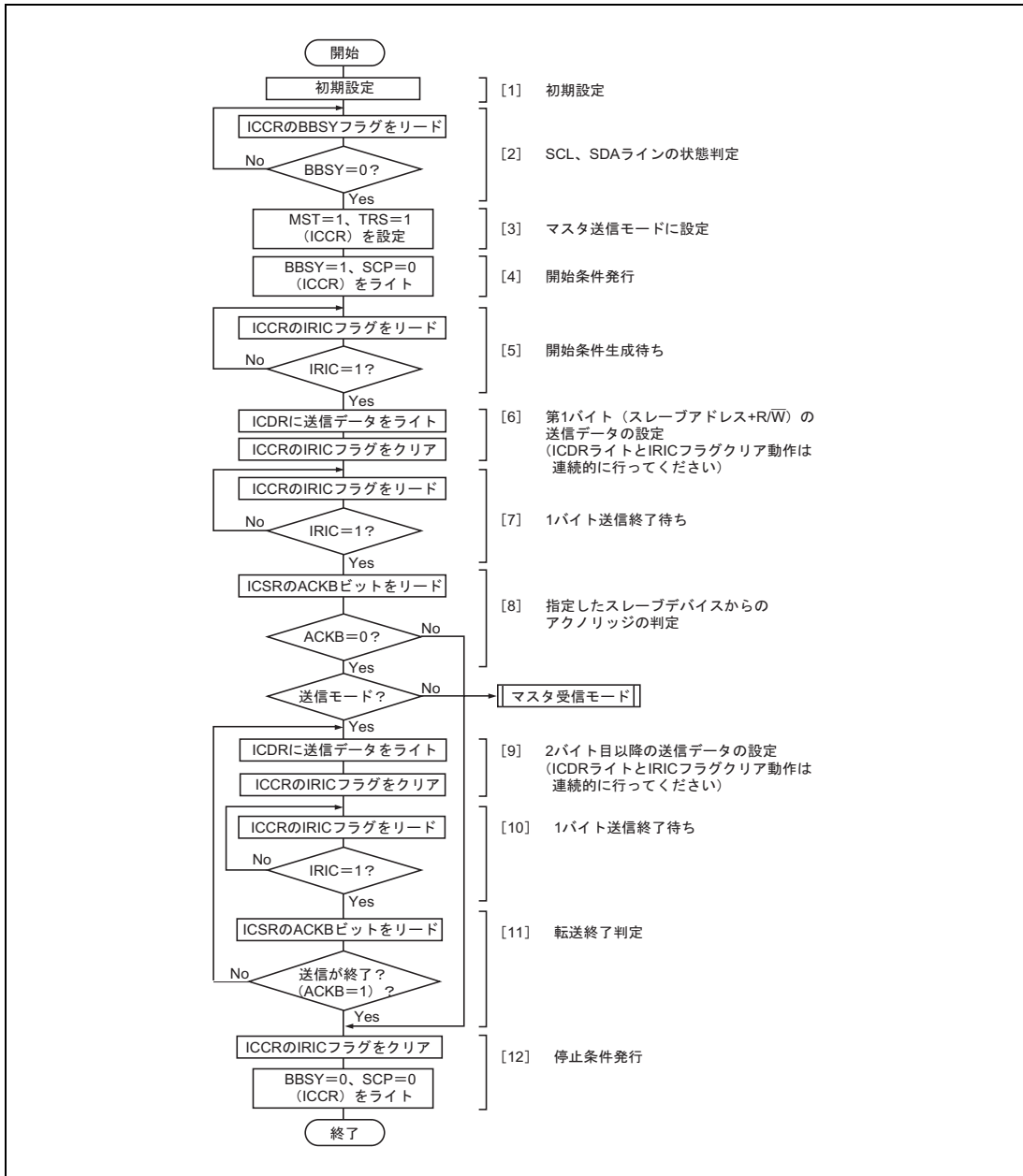


図 14.7 マスタ送信モードフローチャート例

以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「14.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R \bar{W}) をライトします。
I²Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信/受信の方向(R \bar{W})を示します。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、[12] の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここで [6] 同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

14. I²C バスインタフェース (IIC)

11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、[9]に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、[12]の送信終了処理を行います。

12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

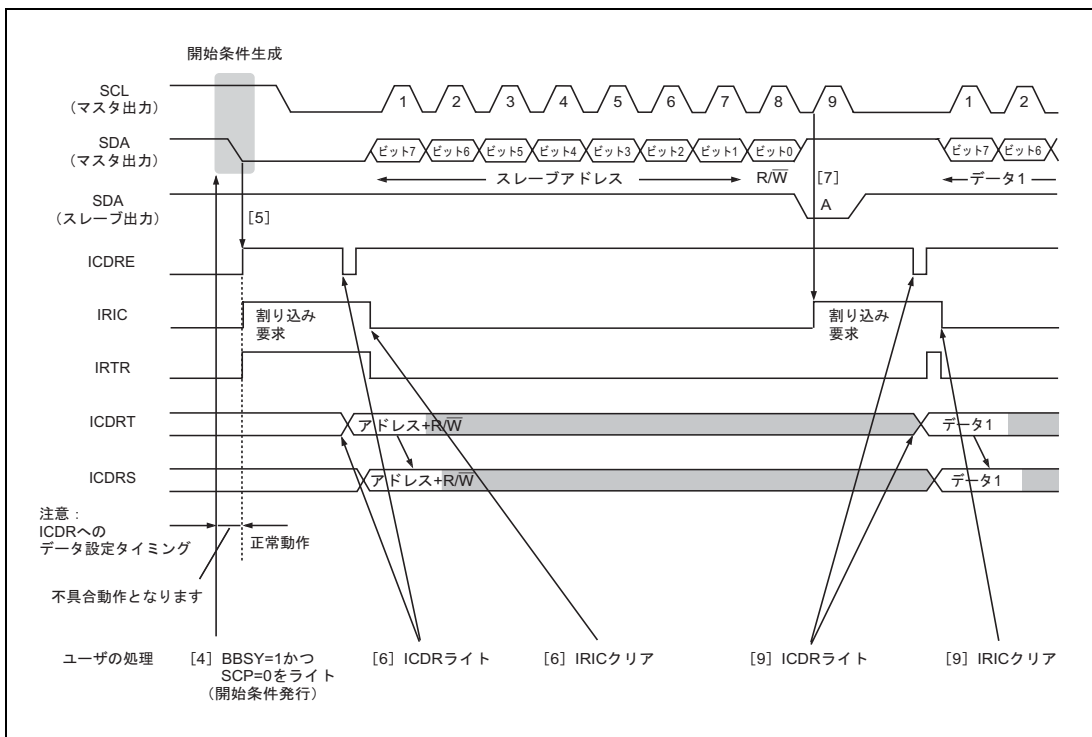


図 14.8 (1) マスタ送信モード動作タイミング例 (MLS=WAIT=0 のとき)

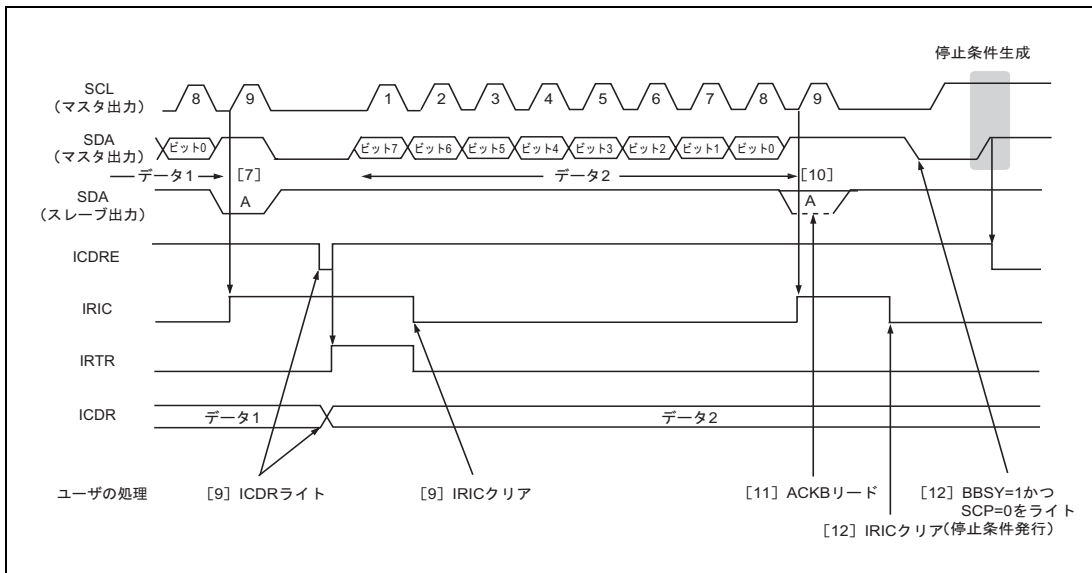


図 14.8 (2) マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

14.4.4 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アックノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第 1 フレームでスレーブアドレス + R/W (0 : リード) のデータを送信し、スレーブデバイスを選択したあと、受信動作に切り替えます。

(1) ウェイトを利用した受信動作

図 14.9 (1)、図 14.9 (2) にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

14. I²C バスインタフェース (IIC)

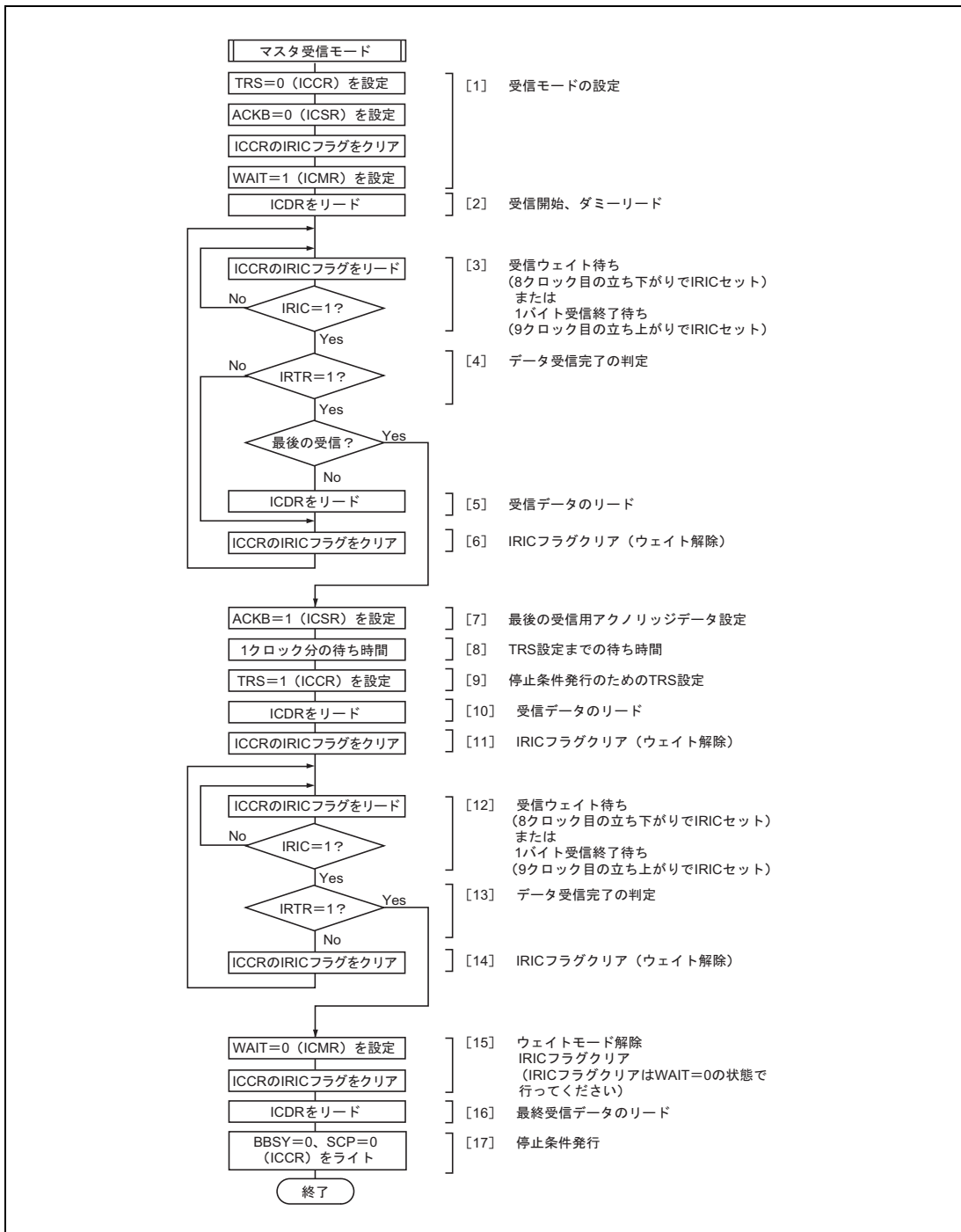


図 14.9 (1) マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)

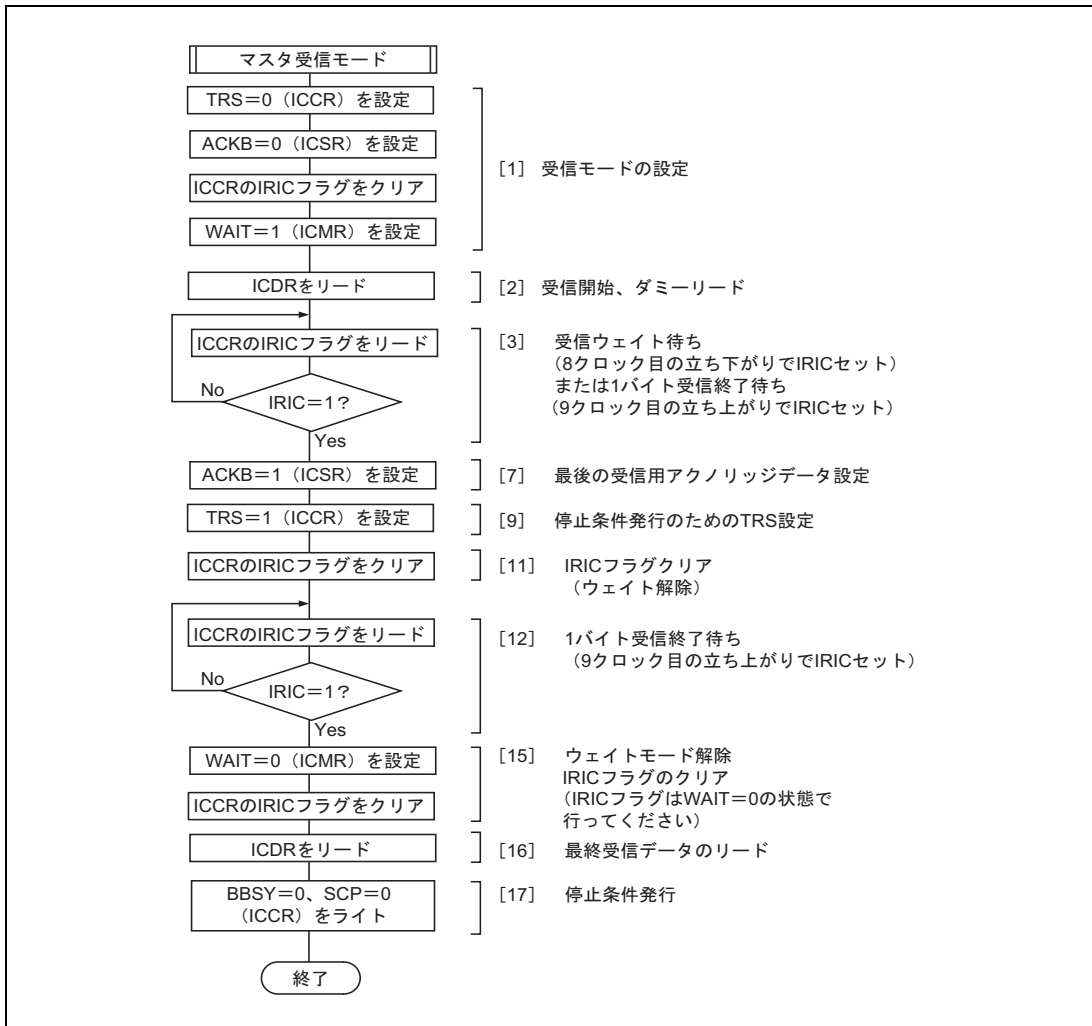


図 14.9 (2) マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1バイトのみ受信の場合は一部手順が省略されていますので、図 14.9 (2) のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。

ICSRのACKBビットを0にクリアします。(アクリッジデータの設定)

IRICフラグを0にクリアし、その後にICMRのWAITビットを1にセットします。

2. ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPU

14. I²C バスインタフェース (IIC)

に対して割り込み要求を発生します。

- 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
 - 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。
IRTRフラグが0の場合は [6] のIRICフラグクリアでウェイト解除を行います。
IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、 [7] の終了処理を行ってください。
 5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
 6. IRICフラグを0にクリアします。 [3] の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

[3] から [6] を繰り返し行うことにより、データを受信することができます。

7. ICSRのACKビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。
11. IRICフラグを0にクリアします。
12. IRICフラグが以下の2条件で1にセットされます。
 - 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
 - 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
13. ICSRのIRTRフラグをリードします。
IRTRフラグが0の場合は [14] のIRICフラグクリアでウェイト解除を行います。
IRTRフラグが1で受信動作が完了している場合は、 [15] の停止条件発行処理を行ってください。
14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。
受信動作の完了を検出するため [12] のIRICフラグリードに戻ります。

14.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクリッジを返します。スレーブデバイスは、マスタが発行する開始条件後の第1フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

図 14.11 にスレーブ受信モード時のフローチャート例を示します。

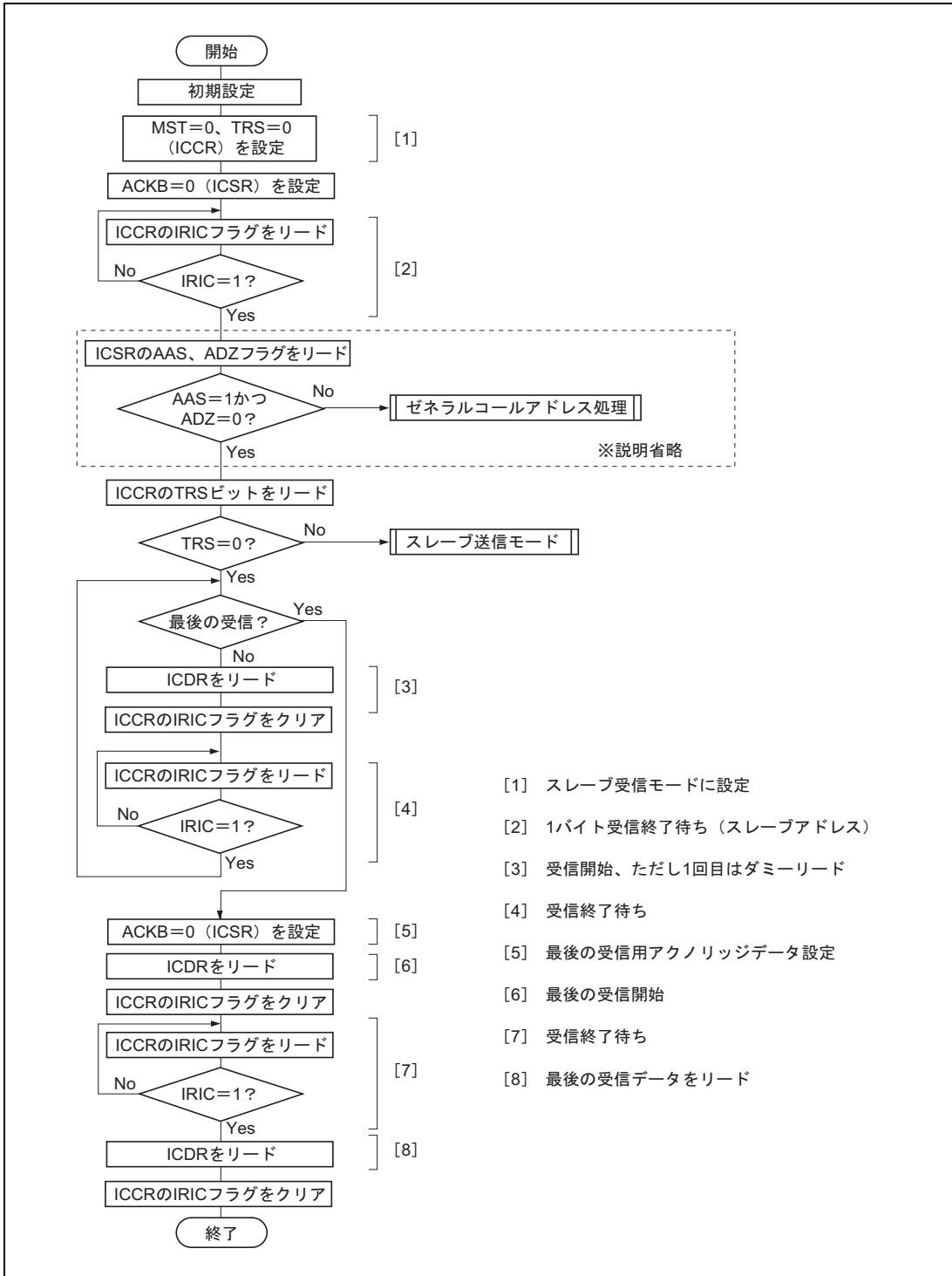


図 14.11 スレーブ受信モードフローチャート例

- [1] スレーブ受信モードに設定
- [2] 1バイト受信終了待ち (スレーブアドレス)
- [3] 受信開始、ただし1回目はダミーリード
- [4] 受信終了待ち
- [5] 最後の受信用アクリッジデータ設定
- [6] 最後の受信開始
- [7] 受信終了待ち
- [8] 最後の受信データをリード

14. I²C バスインタフェース (IIC)

以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードにあわせて設定します。
2. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
3. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/W) が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行います。
4. 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行います。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち上がりからICDRにデータをリードするまでSCLをLowレベルにします。
5. ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。

[4] から [5] を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

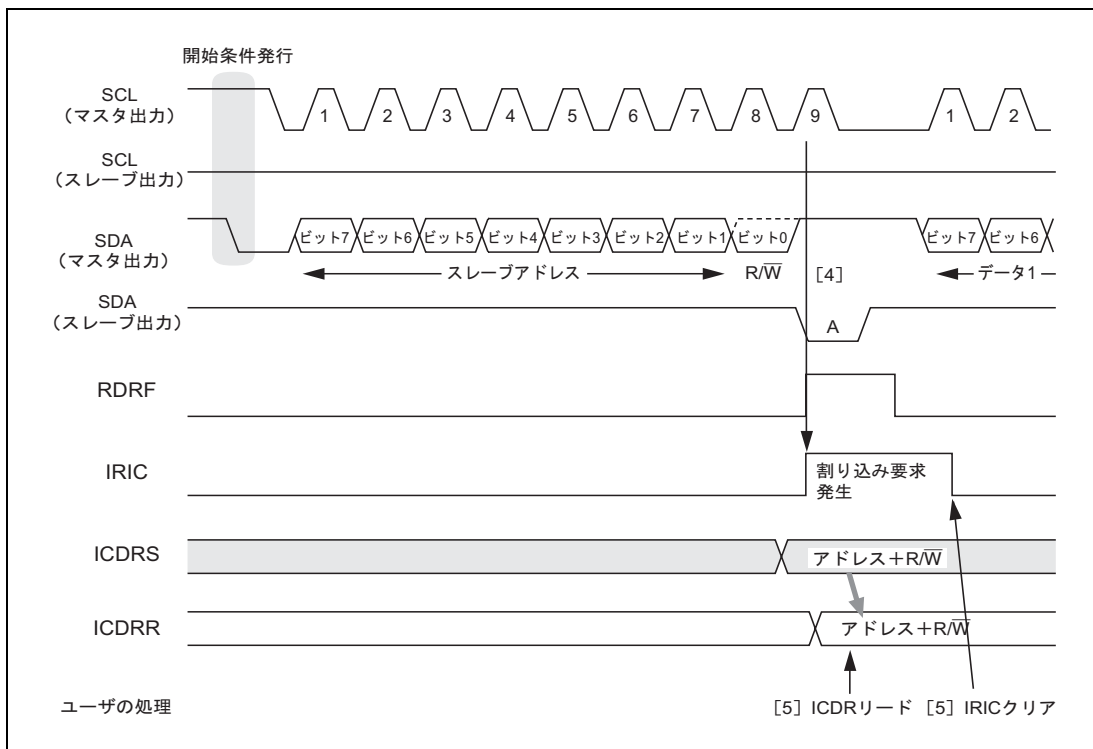


図 14.12 スレーブ受信モード動作タイミング例 1 (MLS=ACKB=0 のとき)

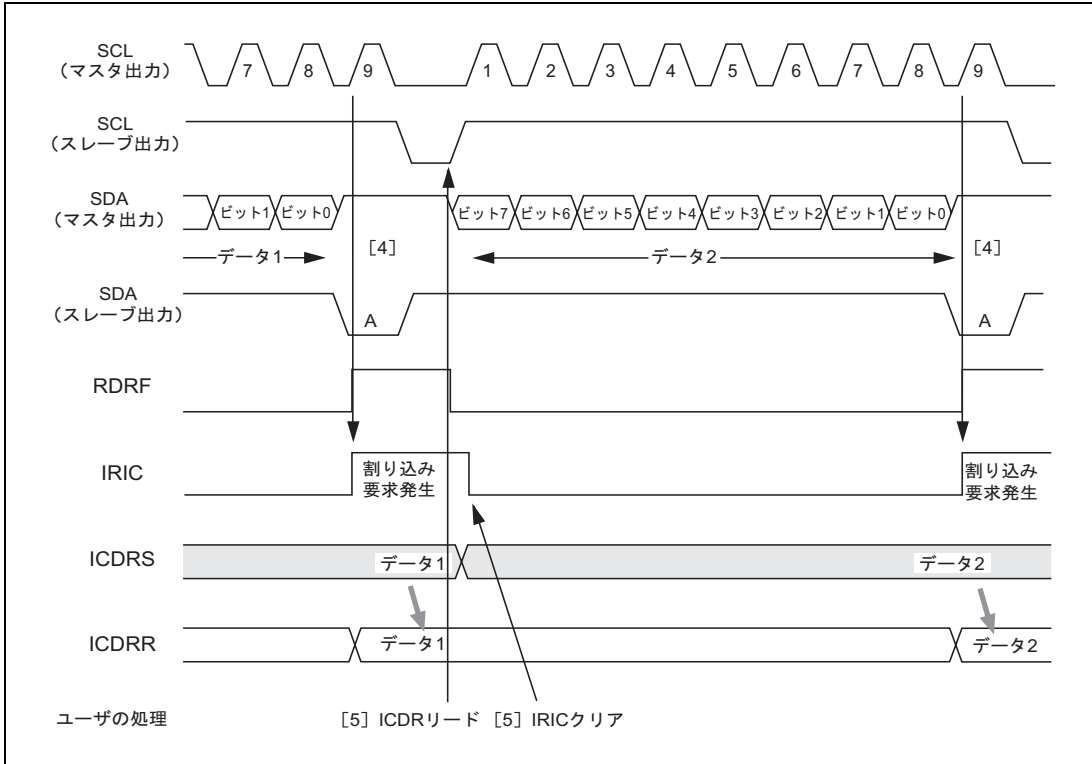


図 14.13 スレーブ受信モード動作タイミング例 2 (MLS=ACKB=0 のとき)

14. I²C バスインタフェース (IIC)

14.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ（R/W）が1（リード）のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 14.14 にスレーブ送信モードのフローチャート例を示します。

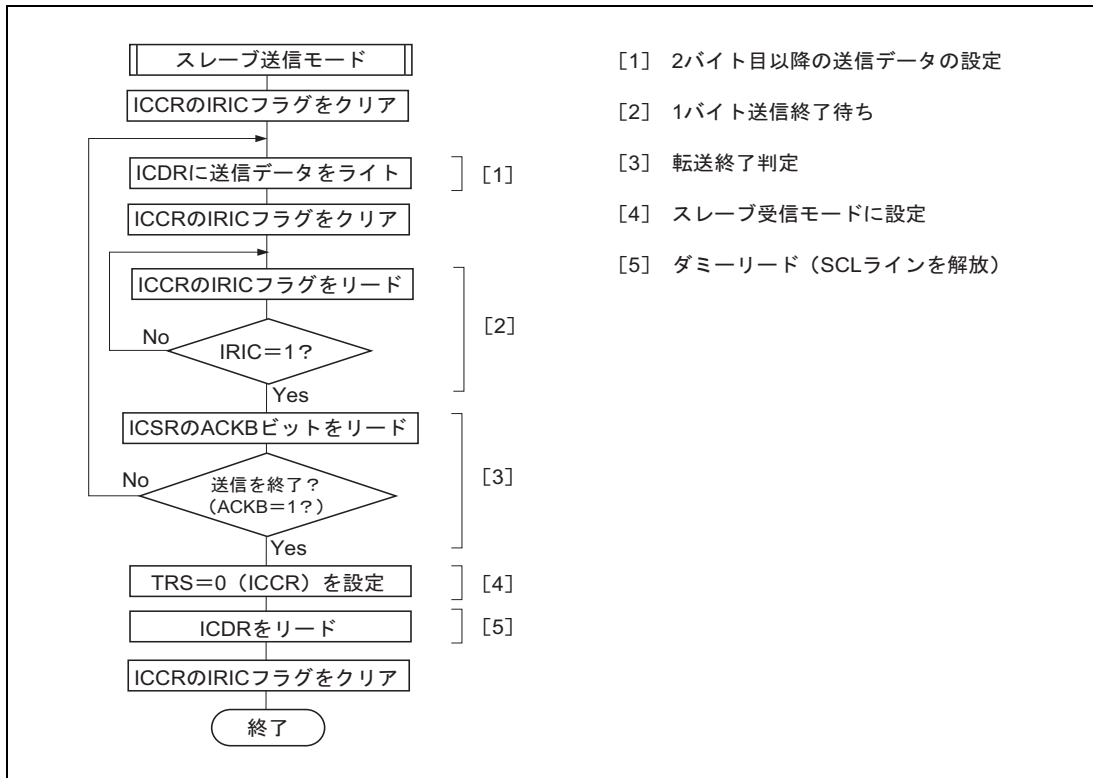


図 14.14 スレーブ送信モードフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出し、アックノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードにあわせて設定します。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アックノリッジを返します。同時にICCRのIRICフラグが1にセットされ、このとき、ICCRのIEICビットが1にセットされているとCPUに対し割り込み要求を発生します。また、8ビット目のデータ（R/W）が1のときICCRのTRSビットが1にセットされ、自動的にスレーブ送信モードに変化します。このときTDRFフラグが1にセットされます。スレーブデバイスは送信クロックの立ち下がりからICDRデータをライトするまでSCLをLowレベルにします。

3. IRICフラグを0にクリア後、ICDRにデータをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。IRICフラグを0にクリア後、ICDRに次のデータをライトします。スレーブデバイスは図14.15で示すタイミングでマスタデバイスが出力するクロックに従い、ICDRにライトされたデータを順次送出します。
4. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICCRのIRICフラグが1にセットされます。またこのスレーブデバイスは、TDRE内部フラグが1にセットされていると、送信クロックの立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。マスタデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。
5. 送信を続ける場合は、IRICフラグを0にクリア後、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。

[4] から [5] を繰り返すことにより、送信動作を継続できます。送信を終了する場合は、スレーブ側でSDAを開放するためにICDRにH'FFをライトします。SCLがHighレベルのときSDAがLowレベルからHighレベルに変化し停止条件を検出すると、ICCRのBBSYフラグが0にクリアされます。

14. I²C バスインタフェース (IIC)

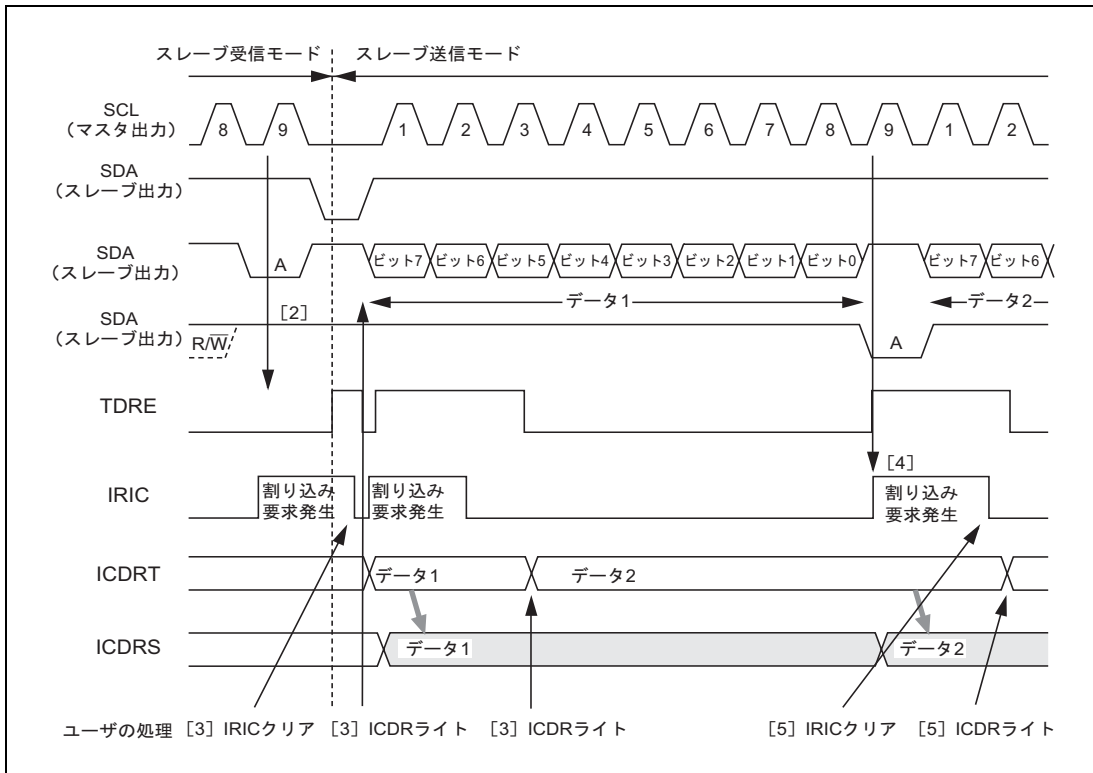


図 14.15 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

14.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 14.16 に IRIC セットタイミングと SCL 制御を示します。

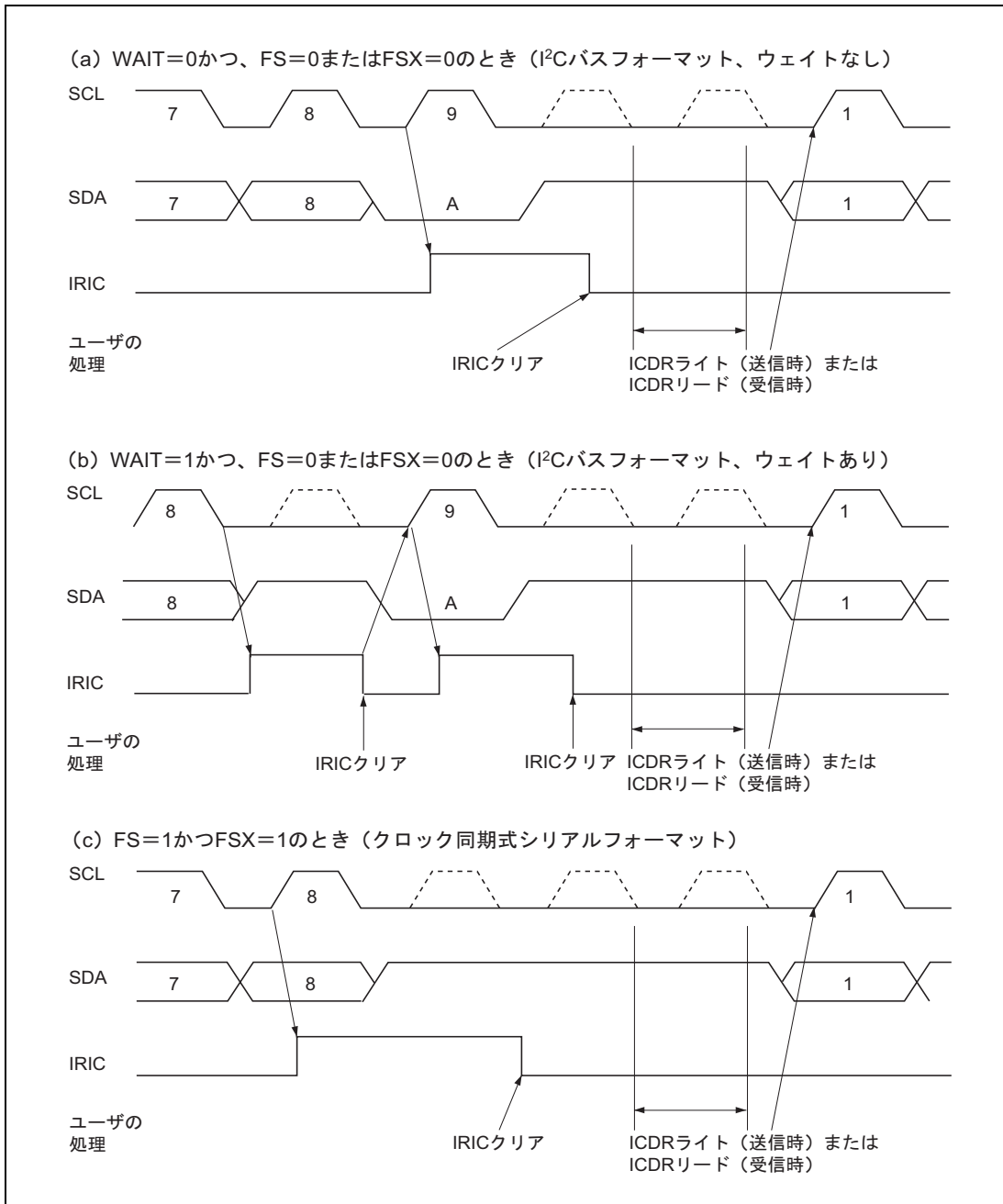


図 14.16 IRIC セットタイミングと SCL 制御

14. I²C バスインタフェース (IIC)

14.4.8 DTC による動作

I²C バスフォーマットでは、スレーブアドレスと R/ \bar{W} ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 14.6 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 14.6 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス+ R/ \bar{W} ビット送信/受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	—	CPU で処理 (ICDR リード)	—	—
本体データ送信/受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H ¹ FF) ライト	—	—	DTC で処理 (ICDR ライト)	—
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転 送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で終了条件発行	不要	ダミーデータ (H ¹ FF) 送出中に 終了条件を検出して 自動的にクリア	不要
DTC 転送データ フレーム数設定	送信 : 実データ数+1 (+1 は、スレーブア ドレス+R/ \bar{W} ビット 分)	受信 : 実データ数	送信 : 実データ数+1 (+1 は、ダミーデー タ (H ¹ FF) 分)	受信 : 実データ数

14.4.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 14.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

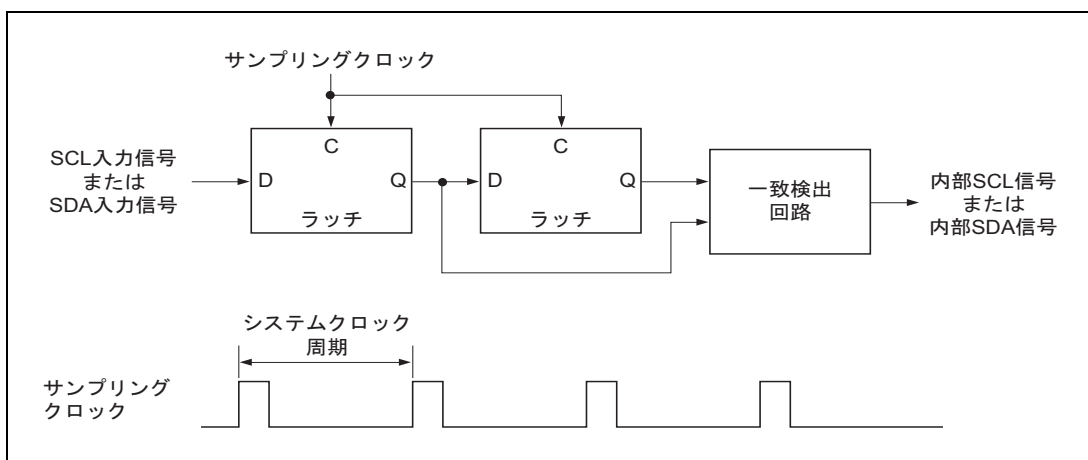


図 14.17 ノイズ除去回路のブロック図

14. I²C バスインタフェース (IIC)

14.4.10 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。

初期化は、(1) DDCSWR レジスタの CLR3~CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビット設定の詳細は、「14.3.8 DDC スイッチレジスタ (DDCSWR)」を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- TDRE、RDRF 内部フラグ
 - 送信/受信シーケンサ、内部動作クロックのカウンタ
 - SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)
- なお、以下の内容は初期化されません。
- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
 - ICMR、ICCR、ICSR、DDCSWR 各レジスタのフラグのセット/クリアのためのレジスタリード情報保持用内部ラッチ
 - ICMR レジスタのビットカウンタ (BC2~BC0) の値
 - 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- DDCSWR レジスタにより初期化を行う場合、CLR3~CLR0 ビットのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。

また、再度クリアが必要な場合は、同様にすべてのビットとも設定を行い、同時に書き込みする必要があります。

- 送受信中にフラグのクリア設定を行うと、その時点で IIC モジュールは送受信を中止し SCL、SDA 端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. CLR3~CLR0 ビットの設定、または ICE ビットによる内部状態の初期化実行

2. BBSYビットを0にクリアするための、停止条件発行命令実行 (BBSY=0かつSCP=0ライト) および、転送レート₀の2クロック分の期間ウェイト
3. CLR3~CLR0ビットの設定、またはICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化 (再設定)

14.5 使用上の注意事項

1. マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAがともにLowレベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
2. 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
 - (a) ICE=1かつTRS=1かつICDRにライトしたとき (ICDRT→ICDRSの自動転送を含む)
 - (b) ICE=1かつTRS=0かつICDRをリードしたとき (ICDRS→ICDRRの自動転送を含む)
3. SCL、SDA出力は、内部クロックに同期して表14.7に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 14.7 I²C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCLO}	$28t_{cyc} \sim 256t_{cyc}$	ns	図 23.20 (参考)
SCL 出力 High パルス幅	t_{SCLHO}	$0.5t_{SCLO}$	ns	
SCL 出力 Low パルス幅	t_{SCLLO}	$0.5t_{SCLO}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCLO} - 1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAHO}	$0.5t_{SCLO} - 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STASO}	$1t_{SCLO}$	ns	
停止条件出力セットアップ時間	t_{STOSO}	$0.5t_{SCLO} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDASO}	$1t_{SCLLO} - 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCLL} - 3t_{cyc}$	ns	
データ出力ホールド時間	t_{SDAHO}	$3t_{cyc}$	ns	

4. SCL、SDA入力、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第23章 電気的特性」の表22.9に示すように、システムクロック周期 t_{cyc} に依存しています。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。
5. SCLの立ち上がり時間 t_{sr} は、I²Cバスインタフェースの仕様で1000ns (高速モード時は300ns) 以内と定められ

14. I²C バスインタフェース (IIC)

ています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 t_{sr} (Lowレベルから V_{IH} まで変化する時間) が、I²Cバスインタフェースの入カクロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表14.8に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 14.8 SCL 立ち上がり時間 (t_{sr}) の許容範囲

IICX	t_{cyc} 表示		時間表示 [ns]					
			I ² C バス仕様(max)	$\phi = 5\text{MHz}$	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$
0	7.5 t_{cyc}	標準モード	1000	←	937	750	468	375
		高速モード	300	←	←	←	←	←
1	17.5 t_{cyc}	標準モード	1000	←	←	←	←	875
		高速モード	300	←	←	←	←	←

6. SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様が1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表14.7に示すように $t_{s_{cyc}}$ と t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表14.9は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a) 停止条件発行後、開始条件の発行まで必要なインターバル(1 μ s程度)を確保するようプログラムする必要があります。あるいは、(b) I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{sr}/t_{sf} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a) プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b) 転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、

(c) I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

14. I²C バスインタフェース (IIC)

表 14.9 I²C バスタイミング (t_{Sr}/t_{Sf} 影響最大の場合)

項目	t_{cyc} 表示	時間表示 (最大転送レート時) [ns]							
			t_{Sr}/t_{Sf} 影響(max)	I ² C バス 仕様(min)	$\phi =$ 5MHz	$\phi =$ 8MHz	$\phi =$ 10MHz	$\phi =$ 16MHz	$\phi =$ 20MHz
t_{SCLHO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950
t_{SCLLO}	$0.5t_{SCLO}$ ($-t_{Sf}$)	標準モード	-250	4700	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000* ¹	1000* ¹	1000* ¹	1000* ¹	1000* ¹
t_{BUFO}	$0.5t_{SCLO}+1t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	4700	3800* ¹	3875* ¹	3900* ¹	3938* ¹	3950* ¹
		高速モード	-300	1300	750* ¹	825* ¹	850* ¹	888* ¹	900* ¹
t_{STAHO}	$0.5t_{SCLO}+1t_{cyc}$ ($-t_{Sf}$)	標準モード	-250	4000	4550	4625	4650	4688	4700
		高速モード	-250	600	800	875	900	938	950
t_{STASO}	$1t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4700	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200
t_{STOSO}	$0.5t_{SCLO}+2t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	4000	4400	4250	4200	4125	4100
		高速モード	-300	600	1350	1200	1150	1075	1050
t_{SDASO} マスタ時	$1t_{SCLLO}^{*2}-3t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
t_{SDASO} スレーブ時	$1t_{SCLL}^{*2}-3t_{cyc}^{*2}$ ($-t_{Sr}$)	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
t_{SDAHO}	$3t_{cyc}$	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】 *1 I²C バスインタフェースの仕様を満足するために、次の対策を行ってください。

- (1) 開始/停止条件発行のインターバルを確保する。
- (2) ブルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。
- (3) 転送レートを下げて調整する。
- (4) 入カタイミングが本出カタイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 I²C バス仕様値 (標準モード : min 4700ns、高速モード : min 1300ns) で計算しています。

7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。このあとで受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDRに転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態（TRSビットが0の状態）で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態(ICDRレジスタをリードしてください。このとき、停止条件発行のための命令実行（ICCRのBBSY=0かつSCP=0をライト）から実際に停止条件が生成されるまでの期間において、受信データ（ICDRのデータ）を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図14.18の(a)期間中（ICCRレジスタのBBSYビットの0クリア確認後）に行ってください。

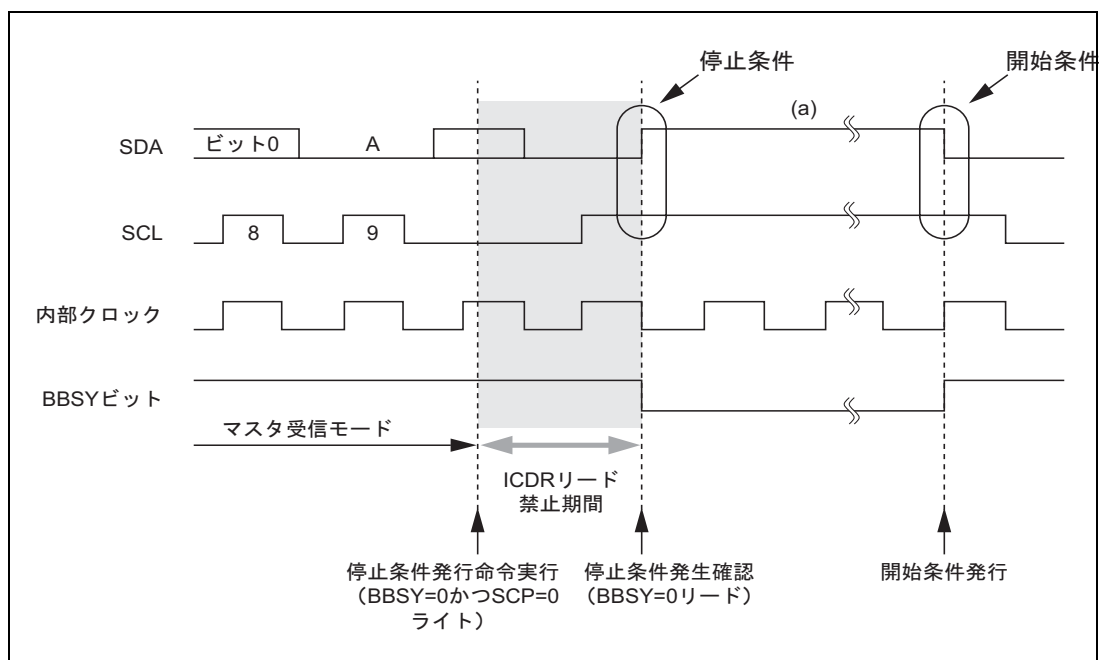


図 14.18 マスタ受信データ読み出しにおける注意

14. I²C バスインタフェース (IIC)

8. 再送のための開始条件発行時の注意事項

図14.19に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。

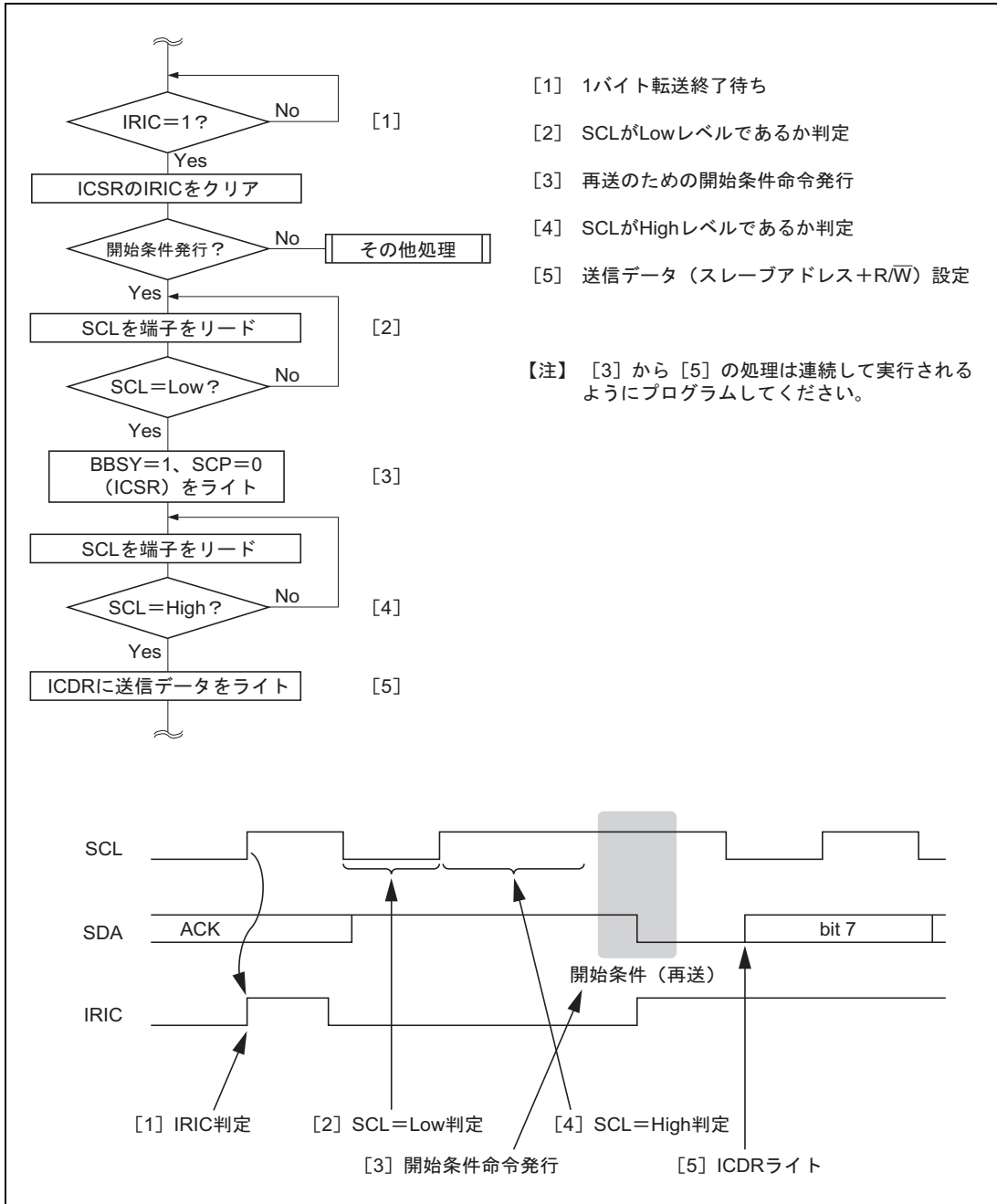


図 14.19 再送のための開始条件命令発行フローチャートおよびタイミング

9. I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードしてLowを判定してから停止条件命令を発行してください。

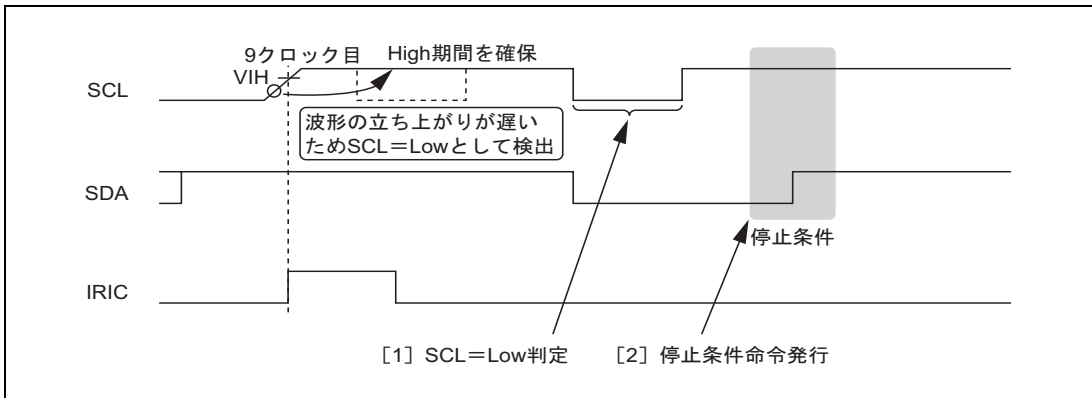


図 14.20 停止条件発行タイミング

10. ウェイト機能使用時のIRICフラグクリアの注意事項

I²Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

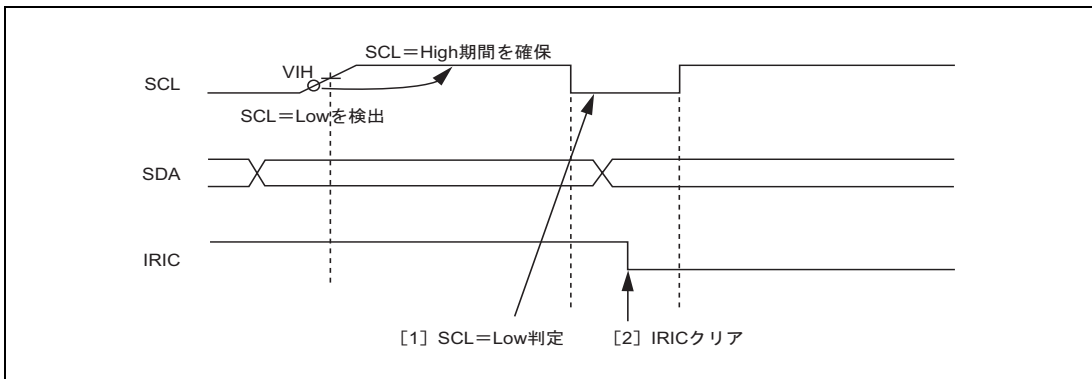


図 14.21 WAIT=1 状態での IRIC フラグクリアタイミング

14. I²C バスインタフェース (IIC)

11. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、**図14.22**の網掛け期間中にICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRレジスタのリード動作および、ICCRレジスタのリード/ライト動作を完了させるようにしてください。
- CMRレジスタのBC2~BC0ビットカウンタをモニタし、BC2~BC0=000（8クロック目または9クロック目）の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行ってください。

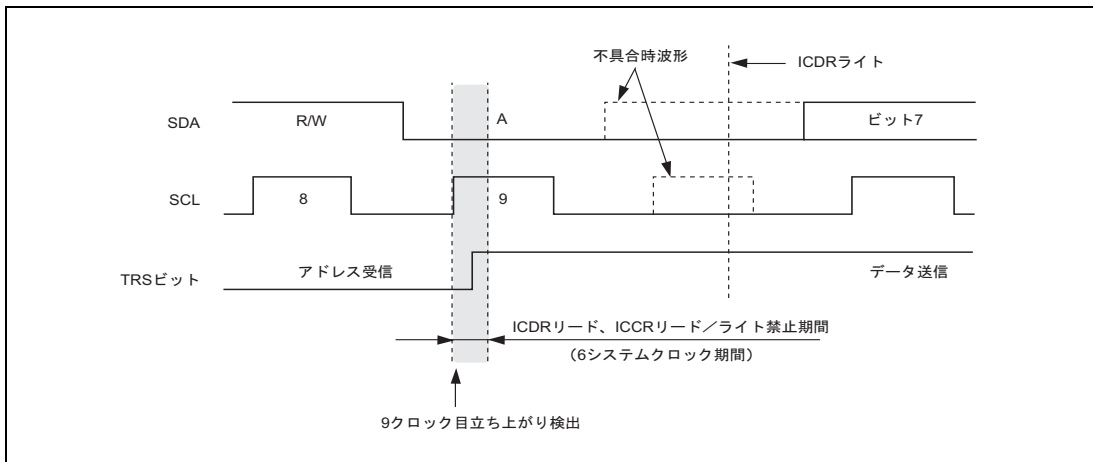


図 14.22 スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング

12. スレーブモードでのTRSビット設定の注意事項

I²Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（**図14.23**の (a) 期間）は、ICCRレジスタのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（**図14.23**の (b) 期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。そのため、停止条件が入らない再開条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレープモードのアドレス受信を行う場合は、図14.23の (a) 期間中に、TRSビットを0クリアしてください。スレープモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRレジスタのダミーリードにより行います。

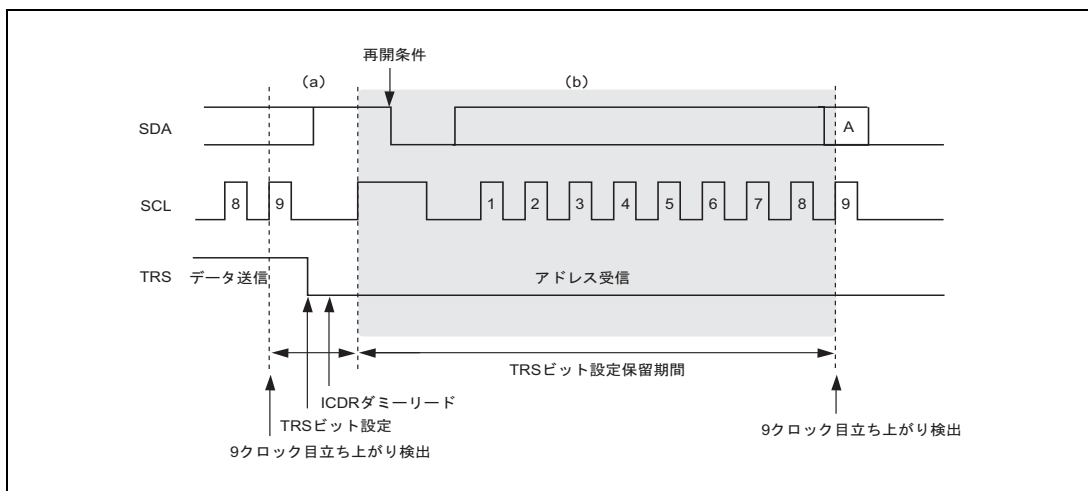


図 14.23 スレープモードでの TRS ビット設定タイミング

13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード (TRS=1) でのICDRリード動作または、受信モード (TRS=0) でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRレジスタアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定したあとにリード動作を行うか、または送信モードに設定したあとにライト動作を行うようにしてください。

14. スレープモードでのACKBビットとTRSビットの注意事項

I²Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) したあとに、その状態のままスレープモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

I²Cバスインタフェースモジュールでスレープモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRレジスタのACKBビットをいったん0にクリアすることで、ACKBビットを0に初期化してください。
- スレープモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。スレープ送信モードから確実にスレープ受信モードに切り替えるために、図14.14に従って送信を終了してください。

14. I²C バスインタフェース (IIC)

15. マスタモードでのアービトレーションロスト発生時の注意事項

I²Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I²Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図14.24参照)

マルチマスタ環境でバス権の競合が起り得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

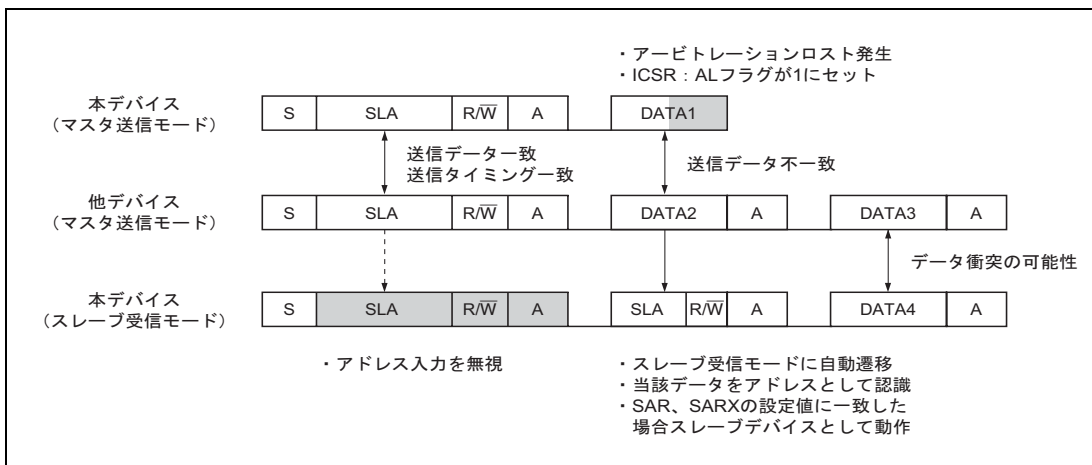


図 14.24 アービトレーションロスト時の動作模式図

本来のI²Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

- MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。
- MSTビットに1を設定する。
- MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する。

16. マスタモードでのウェイト動作に関する注意点

マスタモード動作でICMRレジスタのWAITビットに1を設定してウェイト動作を行っているときに、割り込みフラグIRICビットを7 クロック目の立ち下がりから8クロック目の立ち下がりの間の期間に1から0にクリアした場合、8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

マスタモードでウェイトを行う場合は、9クロック目の立ち下がり時にIRICフラグが1にセットされた後、7クロック目が立ち上がる前(BC2~BC0 カウンタの値が2 以上のとき)にIRICフラグをクリアしてください。もし割り込み処理などでIRICフラグクリアが遅れてRC カウンタの値が1または0になった場合は、BC2~BC0 カウンタが0になった後SCL 端子がL 状態になったことを確認してからIRIC フラグをクリアしてください(図14.25参照)。

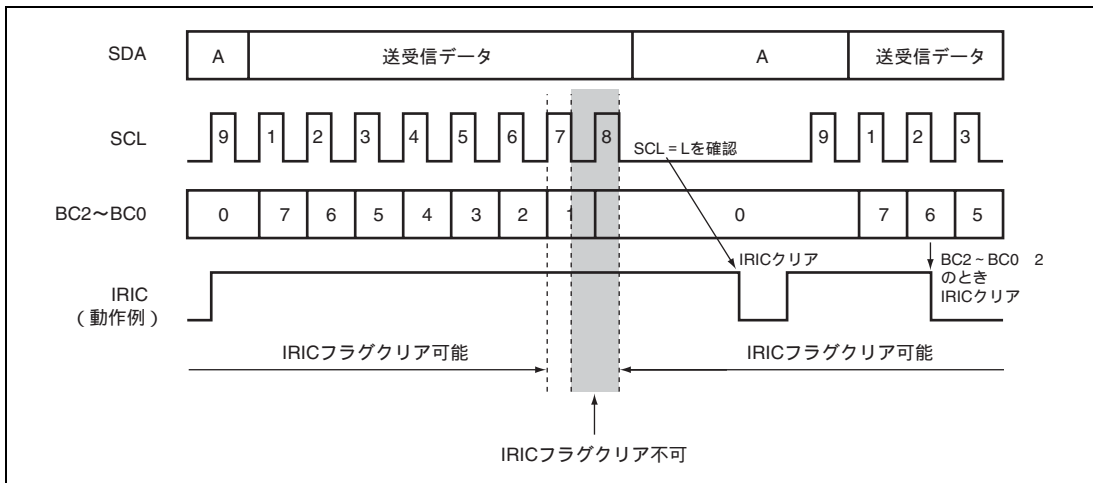


図 14.25 ウェイト動作時 IRIC フラグクリアタイミング

17. モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IICの活動停止/許可を設定することが可能です。初期値ではIICの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第21章 低消費電力状態」を参照してください。

15. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 15.1 に示します。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：12チャンネル
- 変換時間：1チャンネル当たり13.3 μ s（20MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット（TPU）変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能

15. A/D 変換器

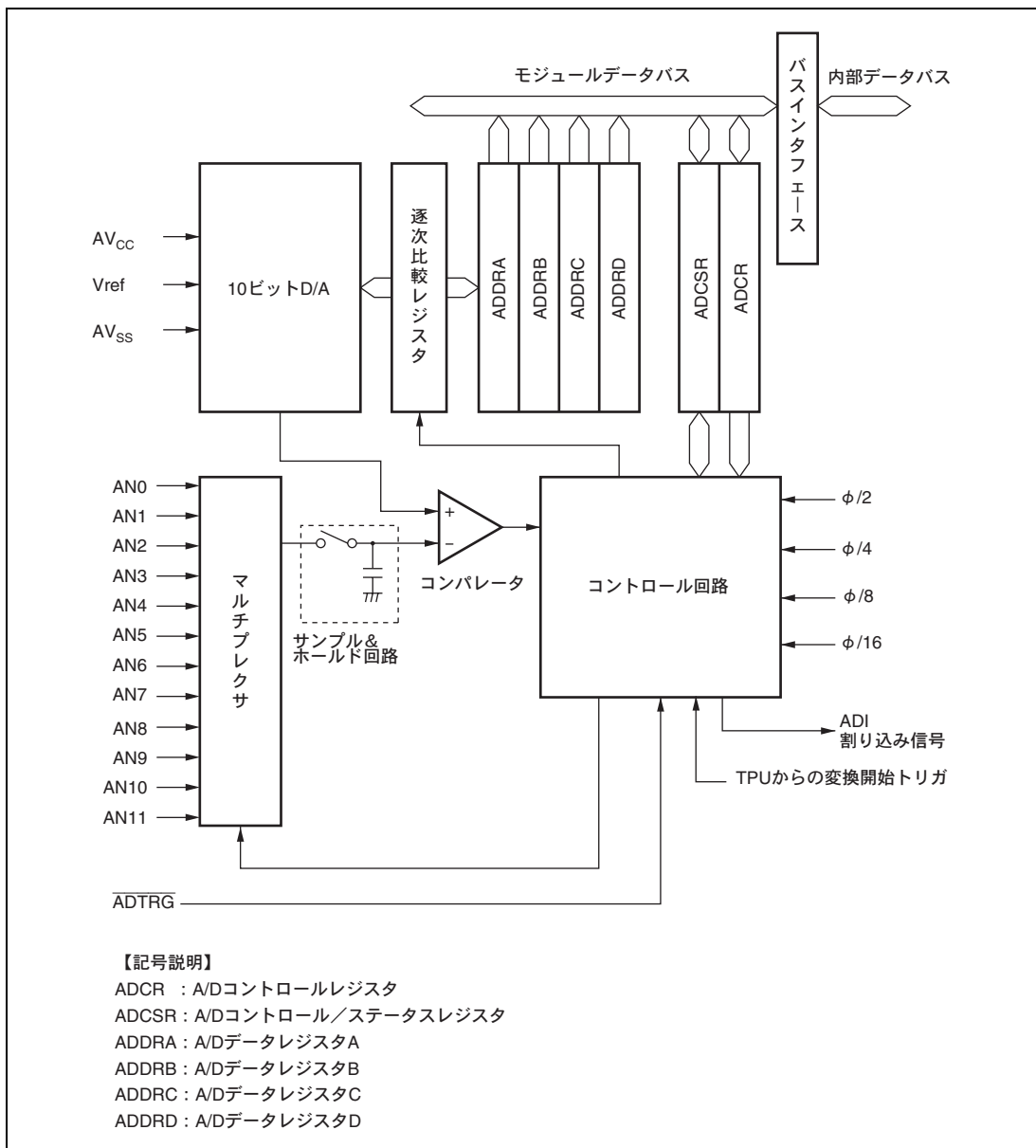


図 15.1 A/D 変換器のブロック図

15.2 入出力端子

A/D 変換器で使用する端子を表 15.1 に示します。12 本のアナログ入力端子は 4 チャンネル×3 グループに分割されています。アナログ入力端子 0~3 (AN0~AN3) がグループ 0、アナログ入力端子 4~7 (AN4~AN7) がグループ 1、アナログ入力端子 8~11 (AN8~AN11) がグループ 2 になっています。AVcc、AVss 端子は、A/D 変換器内部のアナログ部の電源です。

表 15.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子および基準電圧
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	グループ 2 のアナログ入力端子
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

15.3.1 A/D データレジスタ A~D (ADDRA~ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA~ADDRD の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は表 15.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイト下位バイトの順でリードしてください。下位バイトのみのリードでは内容は保証されません。

表 15.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル				変換結果が格納される A/D データレジスタ
CH3=0		CH3=1		
グループ 0 (CH2=0)	グループ 1 (CH2=1)	グループ 2 (CH2=0)	— (CH2=1)	
AN0	AN4	AN8	設定禁止	ADDRA
AN1	AN5	AN9	設定禁止	ADDRB
AN2	AN6	AN10	設定禁止	ADDRC
AN3	AN7	AN11	設定禁止	ADDRD

15.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R(W)	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • ADI 割り込みによりデータトランスファコントローラ (DTC) が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、ハードウェアスタンバイモードまたはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 0 : シングルモード 1 : スキャンモード
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	アナログ入力チャンネルを選択します。
1	CH1	0	R/W	SCAN=0 のとき
0	CH0	0	R/W	SCAN=1 のとき
				0000 : AN0 0000 : AN0
				0001 : AN1 0001 : AN0、AN1
				0010 : AN2 0010 : AN0~AN2
				0011 : AN3 0011 : AN0~AN3
				0100 : AN4 0100 : AN4
				0101 : AN5 0101 : AN4、AN5
				0110 : AN6 0110 : AN4~AN6
				0111 : AN7 0111 : AN4~AN7
				1000 : AN8 1000 : AN8
				1001 : AN9 1001 : AN8、AN9
				1010 : AN10 1010 : AN8~AN10
				1011 : AN11 1011 : AN8~AN11
				1100 : 設定禁止 1100 : 設定禁止
				1101 : 設定禁止 1101 : 設定禁止
				1110 : 設定禁止 1110 : 設定禁止
				1111 : 設定禁止 1111 : 設定禁止

15. A/D 変換器

15.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。 00: ソフトウェアによる A/D 変換の開始 01: TPU からの変換トリガによる A/D 変換の開始 10: 設定禁止 11: $\overline{\text{ADTRG}}$ による A/D 変換の開始
5、4		すべて 1		リザーブビットです。リードすると常に 1 がリードされます。
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。A/D 変換時間の切り替えは、A/D 変換停止時 (ADST=0) に行ってください。A/D 変換時間は表 23.10 に示す範囲に設定してください。 00: 530 ステート (max) 01: 266 ステート (max) 10: 134 ステート (max) 11: 68 ステート (max)
1、0		すべて 1		リザーブビットです。リードすると常に 1 がリードされます。

15.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

15.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
- A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止し、A/D 変換器は待機状態になります。

15.4.2 スキャンモード

スキャンモードは指定された最大 4 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、TPUまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、グループの第1チャンネル（CH3、CH2=00のときAN0、CH3、CH2=01のときAN4、CH3、CH2=10のときAN8）からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_b) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.2 に示します。また、A/D 変換時間を表 15.3 に示します。

A/D 変換時間 (t_{conv}) は、図 15.2 に示すように、 t_b と入力サンプリング時間 (t_{spt}) を含めた時間となります。ここで t_b は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.4 に示す値となります。いずれの場合も変換時間は表 23.10 に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

15. A/D 変換器

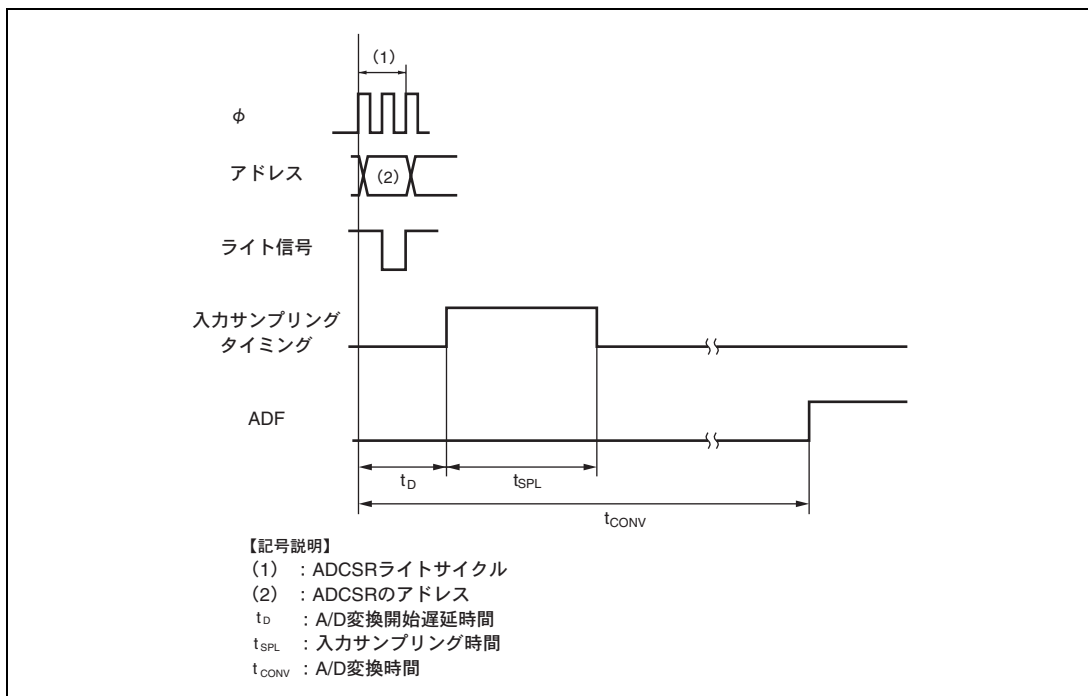


図 15.2 A/D 変換タイミング

表 15.3 A/D 変換時間（シングルモード）

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	127	—	—	63	—	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】 表中の数値の単位はステートです。

表 15.4 A/D 変換時間（スキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	512（固定）
	1	256（固定）
1	0	128（固定）
	1	64（固定）

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 1 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.3 に示します。

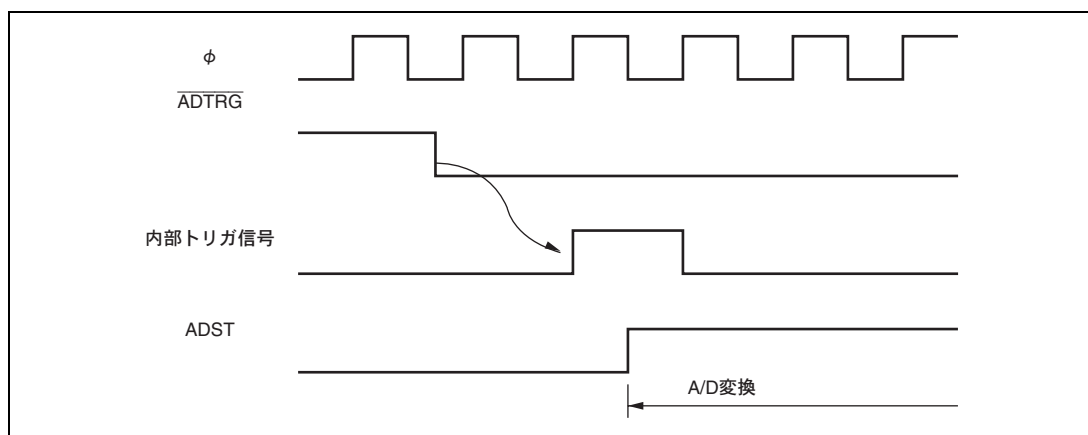


図 15.3 外部トリガ入力タイミング

15.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みでデータトランスファコントローラ (DTC) の起動ができます。DTC で ADI 割り込みで変換されたデータのリードを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 15.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI	A/D 変換終了	ADF	可

15.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数。

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（図15.4）。

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'00) ~ B'000000001 (H'01) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図15.5）。

- フルスケール誤差

デジタル出力がB'111111110 (H'3E) からB'111111111 (H'3F) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図15.5）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図15.5）。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

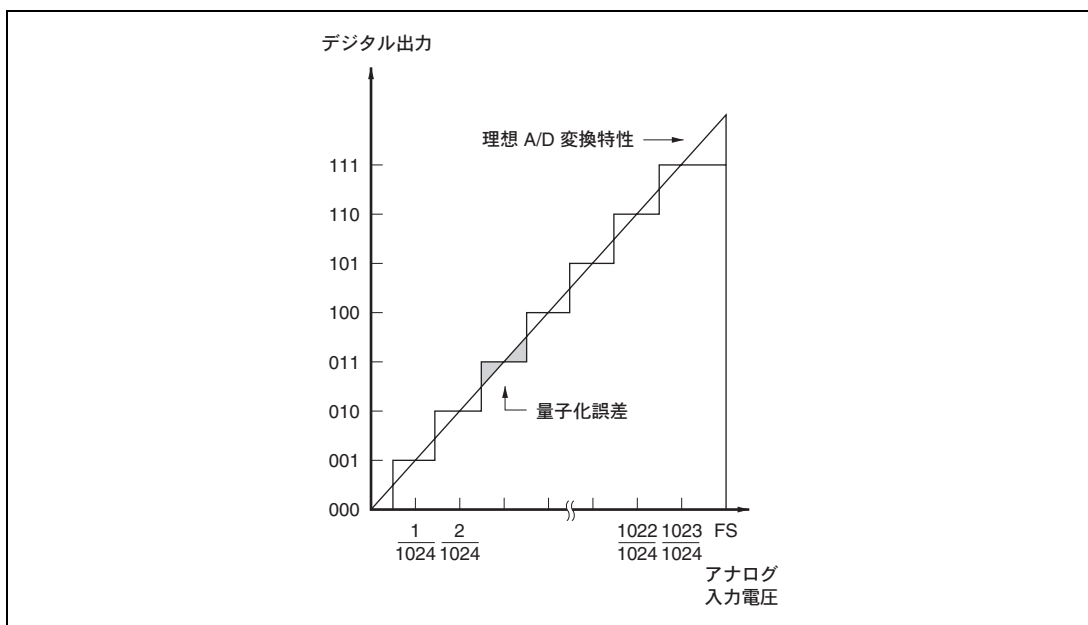


図 15.4 A/D 変換精度の定義

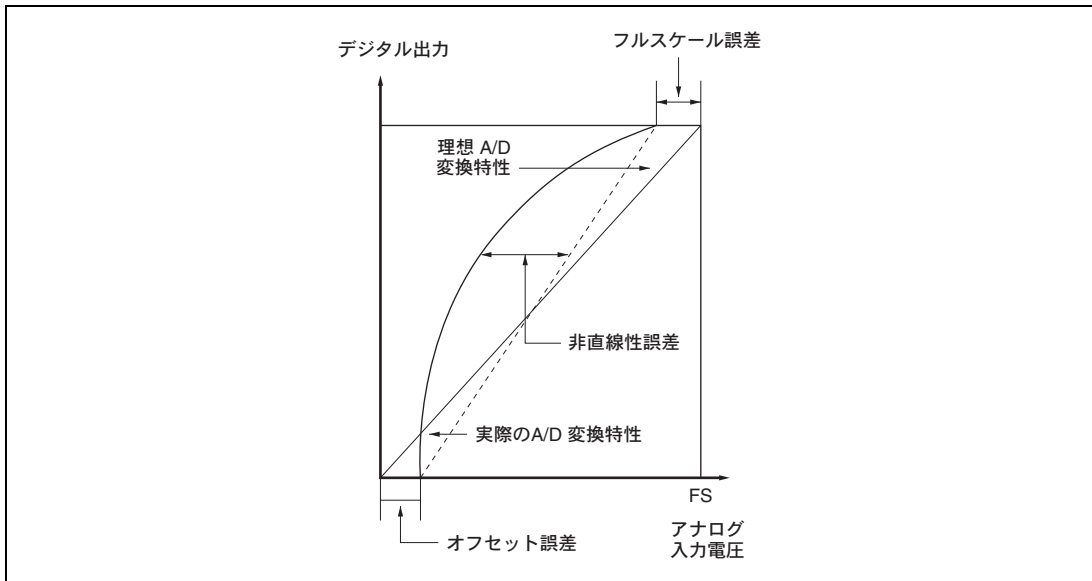


図 15.5 A/D 変換精度の定義

15.7 使用上の注意事項

15.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 21 章 低消費電力状態」を参照してください。

15.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図 15.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

15.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} などの電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

15. A/D 変換器

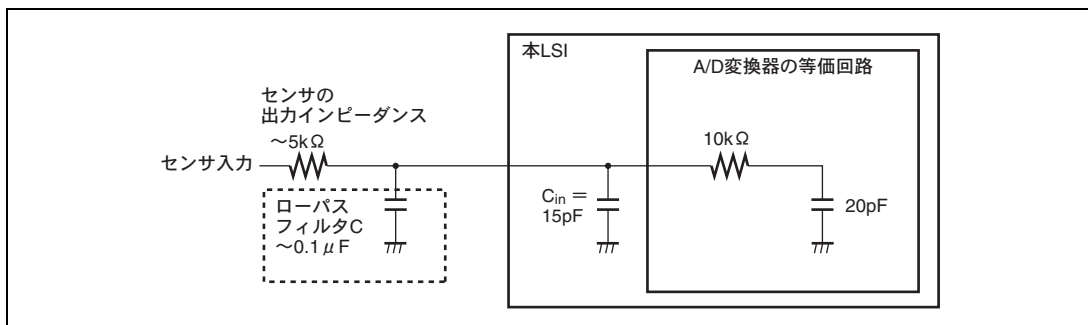


図 15.6 アナログ入力回路の例

15.7.4 アナログ電源端子ほかの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{SS} \leq V_{AN} \leq AV_{CC}$ の範囲としてください。

- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{SS} = V_{SS}$ とし、さらに、A/D変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子をオープンにしないでください。

- V_{ref} 端子の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \leq AV_{CC}$ にしてください。

15.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN11）、アナログ電源電圧（ AV_{CC} ）は、アナロググランド（ AV_{SS} ）で、デジタル回路と分離してください。さらに、アナロググランド（ AV_{SS} ）は、ボード上の安定したグランド（ V_{SS} ）に一点接続してください。

15.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN11）の破壊を防ぐために、図 15.7 に示すように AV_{CC} – AV_{SS} 間に保護回路を接続してください。 AV_{CC} に接続するバイパスコンデンサ、AN0～AN11 に接続するフィルタ用のコンデンサは、必ず AV_{SS} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN11 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討のうえ決定してください。

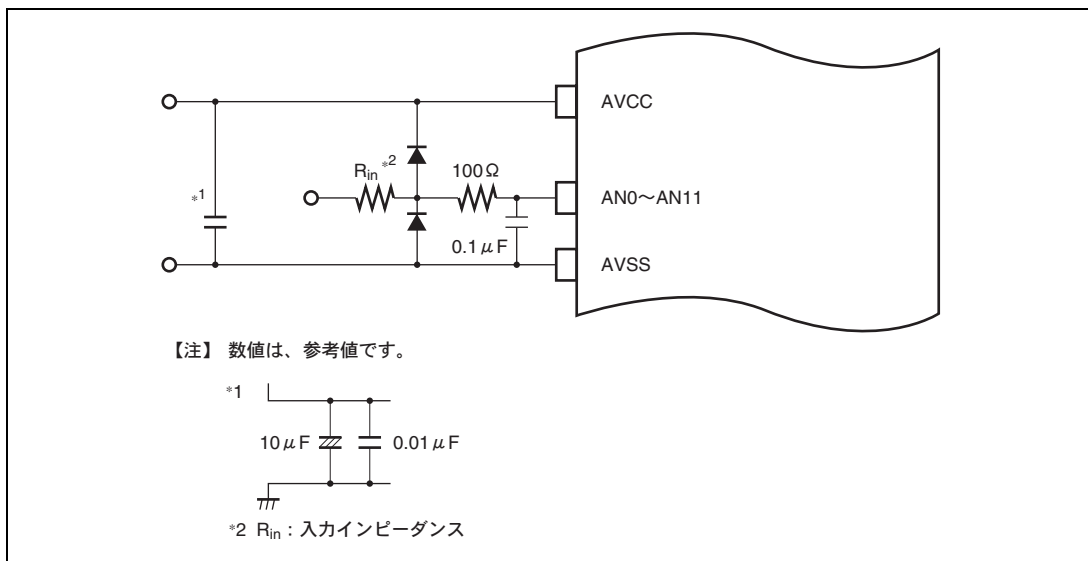


図 15.7 アナログ入力保護回路の例

表 15.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

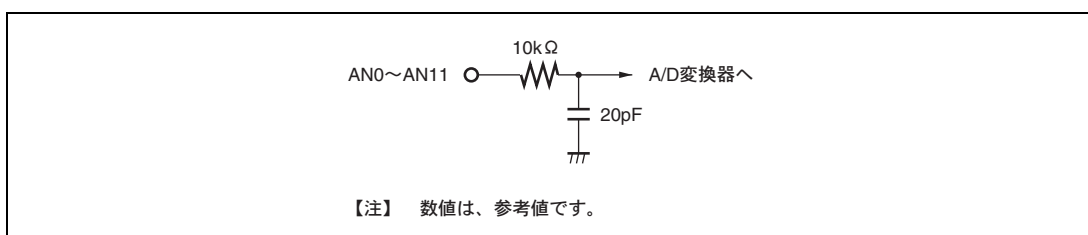


図 15.8 アナログ入力端子等価回路

16. D/A 変換器

16.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V \sim Vref
- ソフトウェアスタンバイモード時のD/A出力保持機能

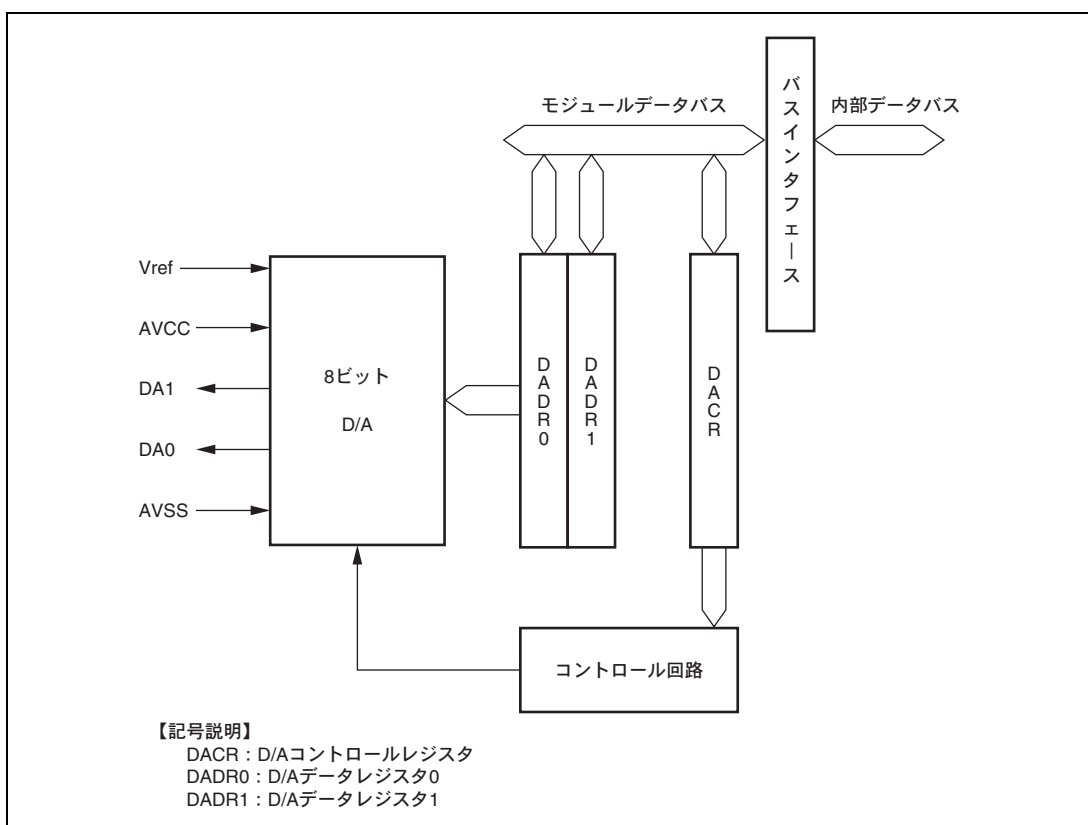


図 16.1 D/A 変換器のブロック図

16.2 入出力端子

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電源端子	Vref	入力	アナログ部の基準電圧

16.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

16.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。DADR0、DADR1 の初期値は H'00 です。

16.3.2 D/A コントロールレジスタ (DACR)

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説 明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA1 を禁止 1 : チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA0 を禁止 1 : チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可

ビット	ビット名	初期値	R/W	説明
5	DAE	0	R/W	D/A イネーブル DAOE1、DAOE0 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE1、DAOE0 ビットにより制御されます。詳細は表 16.2 を参照してください。
4~0	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 16.2 D/A 変換の制御

ビット 7	ビット 6	ビット 5	説明	
DAOE1	DAOE0	DAE		
0	0	—	D/A 変換を禁止	
		1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
			1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可	
			1	チャンネル 0、1 の D/A 変換を許可
		1	—	チャンネル 0、1 の D/A 変換を許可

16.4 動作説明

2 チャンネルの D/A 変換器は、それぞれ独立に変換を行うことができます。

DACR の DAOE ビットを 1 にセットすると、D/A 変換が許可され変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 16.2 に示します。

1. DADR0 に変換データをライトします。
2. DACR の DAOE0 ビットを 1 にセットすると、D/A 変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子 DA0 より出力されます。DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0 を書き換えると、直ちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0 ビットを 0 にクリアすると、アナログ出力を禁止します。

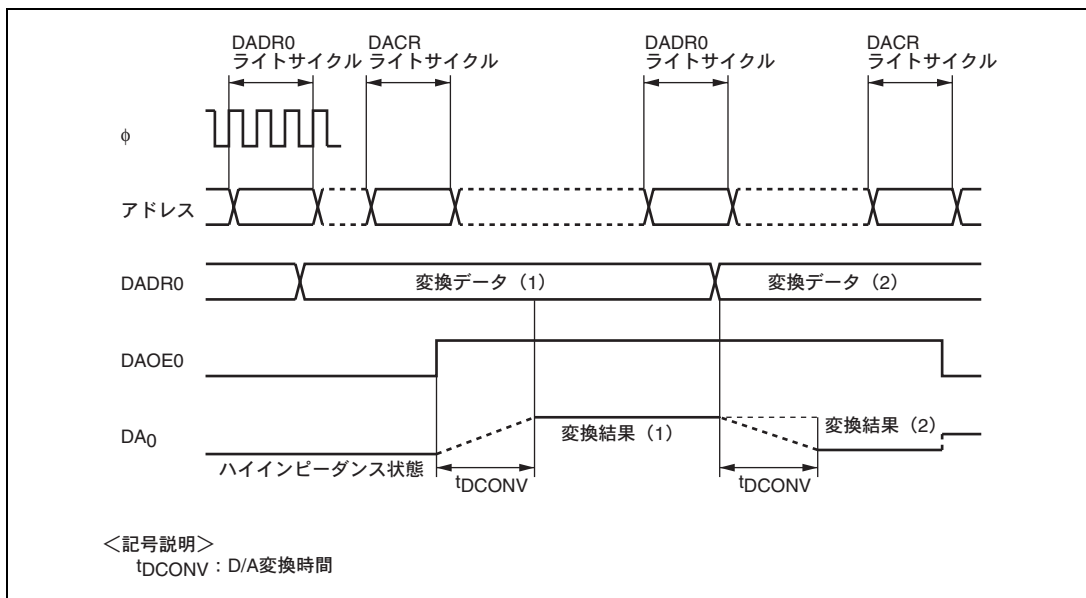


図 16.2 D/A 変換器の動作例

16.5 使用上の注意事項

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE1、DAOE0、DAE ビットをすべて 0 にクリアして D/A 出力を禁止にしてください。

16.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作停止/許可を設定することが可能です。初期値では D/A 変換器の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 21 章 低消費電力状態」を参照してください。

17. モータコントロール PWM タイマ

本 LSI は、最大 16 本のパルス出力が可能なモータコントロール PWM (Pulse Width Modulator) を内蔵しています。

17.1 特長

- 最大16本のパルス出力が可能

8本の出力を持つ10ビットPWMを2チャンネル内蔵しています。

10ビットのカウンタ (PWCNT) とサイクルレジスタ (PWCYR) を備えています。

デューティおよび出力極性は1本ごとに設定可能です。

- 1サイクルごとにデータの自動転送が可能

4本のデューティレジスタ (PWDTR) にはそれぞれにバッファレジスタ (PWBFR) を備えており、1サイクルごとに自動的にデータ転送されます。

チャンネル1は4本のデューティレジスタと、4本のバッファレジスタを備えています。

チャンネル2は8本のデューティレジスタと、4本のバッファレジスタを備えています。

- デューティ設定可能

デューティレジスタの設定値で0%から100%まで設定できます。

- 動作クロックの選択可能

5種類の動作クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$) が選択できます。

- 内部16ビットバスによる高速アクセスが可能

- 割り込み要因：2種類

サイクルレジスタのコンペアマッチで、2チャンネル独立に割り込み要求可能

- レジスタのデータの自動転送が可能

データトランスファコントローラ (DTC) の起動により、ブロック転送および1ワードデータ転送が可能

- モジュールストップモードの設定可能

17. モータコントロール PWM タイマ

PWM_1 のブロック図を図 17.1 に示します。

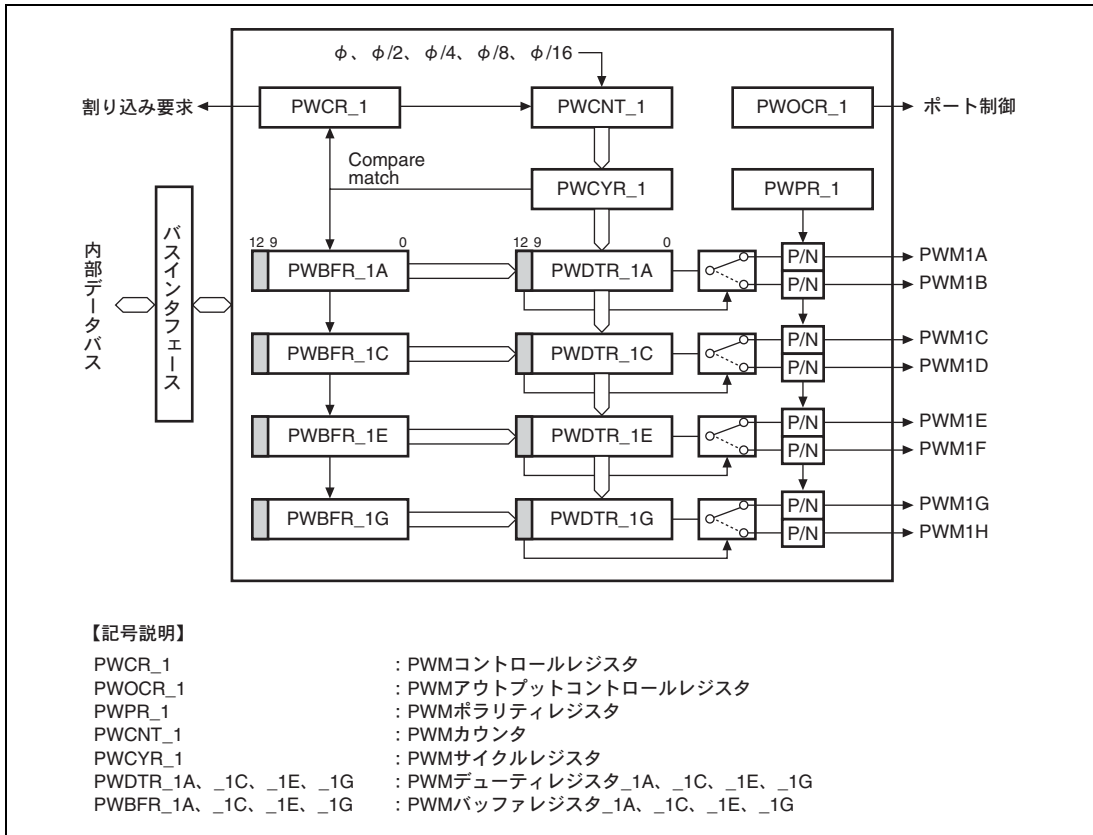


図 17.1 PWM_1 のブロック図

PWM_2 のブロック図を図 17.2 に示します。

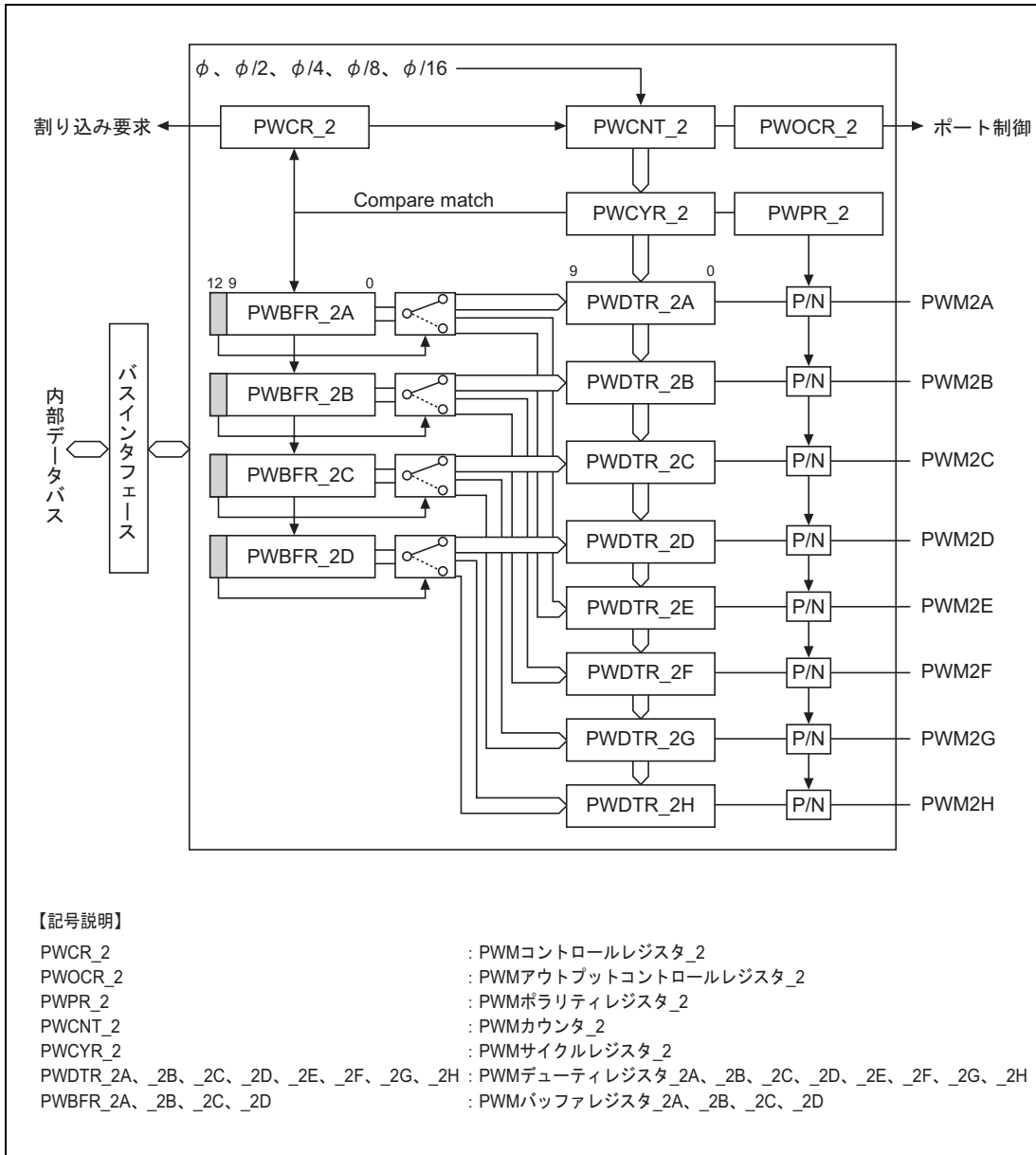


図 17.2 PWM_2 のブロック図

17. モータコントロール PWM タイマ

17.2 入出力端子

PWM の端子構成を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名 称	記号	入出力	機 能
1	PWM 出力端子 1A	PWM1A	出力	チャンネル 1A の PWM 出力
	PWM 出力端子 1B	PWM1B	出力	チャンネル 1B の PWM 出力
	PWM 出力端子 1C	PWM1C	出力	チャンネル 1C の PWM 出力
	PWM 出力端子 1D	PWM1D	出力	チャンネル 1D の PWM 出力
	PWM 出力端子 1E	PWM1E	出力	チャンネル 1E の PWM 出力
	PWM 出力端子 1F	PWM1F	出力	チャンネル 1F の PWM 出力
	PWM 出力端子 1G	PWM1G	出力	チャンネル 1G の PWM 出力
	PWM 出力端子 1H	PWM1H	出力	チャンネル 1H の PWM 出力
2	PWM 出力端子 2A	PWM2A	出力	チャンネル 2A の PWM 出力
	PWM 出力端子 2B	PWM2B	出力	チャンネル 2B の PWM 出力
	PWM 出力端子 2C	PWM2C	出力	チャンネル 2C の PWM 出力
	PWM 出力端子 2D	PWM2D	出力	チャンネル 2D の PWM 出力
	PWM 出力端子 2E	PWM2E	出力	チャンネル 2E の PWM 出力
	PWM 出力端子 2F	PWM2F	出力	チャンネル 2F の PWM 出力
	PWM 出力端子 2G	PWM2G	出力	チャンネル 2G の PWM 出力
	PWM 出力端子 2H	PWM2H	出力	チャンネル 2H の PWM 出力

17.3 レジスタの説明

PWM にはチャンネルごとに以下のレジスタがあります。

- PWMコントロールレジスタ (PWCR)
- PWMアウトプットコントロールレジスタ (PWOCR)
- PWMポラリティレジスタ (PWPR)
- PWMカウンタ (PWCNT)
- PWMサイクルレジスタ (PWCYR)
- PWMデューティレジスタ (PWDTR)
- PWMバッファレジスタ (PWBFR)

17.3.1 PWM コントロールレジスタ (PWCR)

PWCR は割り込みの許可、カウンタの起動/停止、およびカウンタのクロック選択を行います。また、サイクルレジスタのコンペアマッチを示すフラグも備えています。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット
6	—	1	—	リードすると常に 1 がリードされます。ライトは無効です。
5	IE	0	R/W	割り込みイネーブル 対応するチャンネルの PWCYR がコンペアマッチしたときの、割り込みの許可/禁止を選択します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
4	CMF	0	R/(W)*	コンペアマッチフラグ 対応するチャンネルの PWCYR のコンペアマッチの発生を示します。 [セット条件] PWCNT=PWCYR になったとき [クリア条件] • 1 の状態をリード後、0 をライトしたとき • コンペアマッチ割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
3	CST	0	R/W	カウンタスタート 対応するチャンネルの PWCNT の起動/停止を選択します。 0: PWCNT を停止 1: PWCNT を起動
2	CKS2	0	R/W	クロックセレクト 対応するチャンネルの PWCNT のカウンタクロックを選択します。 000: 内部クロック ϕ /1 でカウント 001: 内部クロック ϕ /2 でカウント 010: 内部クロック ϕ /4 でカウント 011: 内部クロック ϕ /8 でカウント 1xx: 内部クロック ϕ /16 でカウント
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【記号説明】 x: Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

17. モータコントロール PWM タイマ

17.3.2 PWM アウトプットコントロールレジスタ (PWOCR)

PWOCR は PWM 出力の許可/禁止を選択します。

ビット	ビット名	初期値	R/W	説明
7	OEnH	0	R/W	アウトプットイネーブル
6	OEnG	0	R/W	各ビットに対応する PWM 出力の許可/禁止を選択します。 0 : PWM 出力を禁止 1 : PWM 出力を許可
5	OEnF	0	R/W	
4	OEnE	0	R/W	
3	OEnD	0	R/W	
2	OEnC	0	R/W	
1	OEnB	0	R/W	
0	OEnA	0	R/W	

(n=1, 2)

17.3.3 PWM ポラリティレジスタ (PWPR)

PWPR は PWM 出力の極性の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	OPSnH	0	R/W	アウトプットポラリティセレクト
6	OPSnG	0	R/W	各ビットに対応する PWM 出力の極性を選択します。 0 : PWM 直接出力 1 : PWM 反転出力
5	OPSnF	0	R/W	
4	OPSnE	0	R/W	
3	OPSnD	0	R/W	
2	OPSnC	0	R/W	
1	OPSnB	0	R/W	
0	OPSnA	0	R/W	

(n=1, 2)

17.3.4 PWM カウンタ (PWCNT)

PWCNT は、10 ビットのアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、PWCR の CKS2~0 ビットで選択します。PWCNT は CPU から直接アクセスできません。PWCNT は、PWCR の CST ビットが 0 のとき、H'FC00 に初期化されます。

17.3.5 PWM サイクルレジスタ (PWCYR)

PWCYR は、16 ビットのリード/ライト可能なレジスタで、PWM の変換周期を設定するレジスタです。PWCYR のコンペアマッチが発生すると、PWCNT はクリアされ、バッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) へのデータ転送が行われます。

PWCYR への書き込みは PWCNT の停止中に行ってください。また、PWCYR に H'FC00 を設定しないでください。PWCYR の初期値は H'FFFF です。

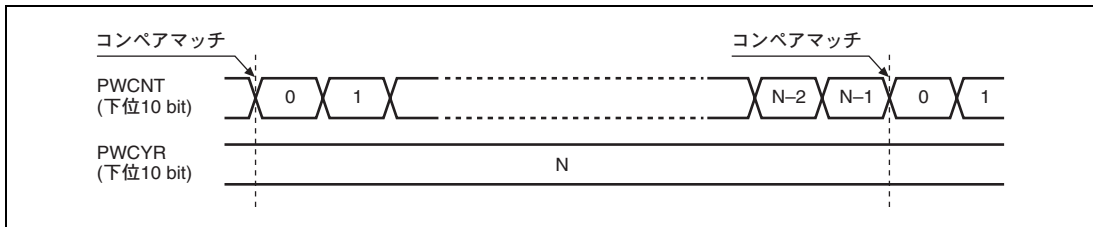


図 17.3 サイクルレジスタのコンペアマッチ

17.3.6 PWM デューティレジスタ (PWDTR)

(1) PWM_1

PWDTR_1は、4本のレジスタ (PWDTR_A、_C、_E、_G) で構成されています。PWDTR_1AはPWM1A/1B出力に、PWDTR_1CはPWM1C/1D出力に、PWDTR_1EはPWM1E/1F出力に、PWDTR_1GはPWM1G/1H出力にそれぞれ対応します。PWDTR_1はCPUから直接アクセスできません。PWCYR_1のコンペアマッチが発生すると、バッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) にデータ転送が行われます。PWDTR_1はCSTビットが0のとき、H'EC00に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて1	—	リザーブビット
12	OTS	0	—	アウトプットターミナルセレクト PWCYR_1のコンペアマッチにより転送されるバッファレジスタの12ビット目の値を反映し、PWM出力を行う端子を選択します。非選択の端子はLowレベル (PWPR_1の当該ビットが1のときはHighレベル) を出力します。詳細は表 17.2を参照してください。
11	—	1	—	リザーブビット
10	—	1	—	リザーブビット
9	DT9	0	—	デューティ PWM出力のデューティを設定するデータです。PWCYR_1のコンペアマッチの発生でPWCNT_1がクリアされてから、PWDTR_1のコンペアマッチが発生するまでの間、Highレベル (PWPRの当該ビットが1のときはLowレベル) を出力します。全ビットが0の場合は、Highレベル (PWPRの当該ビットが1のときはLowレベル) を出力する期間はありません。
8	DT8	0	—	
7	DT7	0	—	
6	DT6	0	—	
5	DT5	0	—	
4	DT4	0	—	
3	DT3	0	—	
2	DT2	0	—	
1	DT1	0	—	
0	DT0	0	—	

17. モータコントロール PWM タイマ

表 17.2 OTS ビット出力選択

レジスタ	ビット 12		説明
	OTS		
PWDTR_1A	0	PWM1A 出力を選択	
	1	PWM1B 出力を選択	
PWDTR_1C	0	PWM1C 出力を選択	
	1	PWM1D 出力を選択	
PWDTR_1E	0	PWM1E 出力を選択	
	1	PWM1F 出力を選択	
PWDTR_1G	0	PWM1G 出力を選択	
	1	PWM1H 出力を選択	

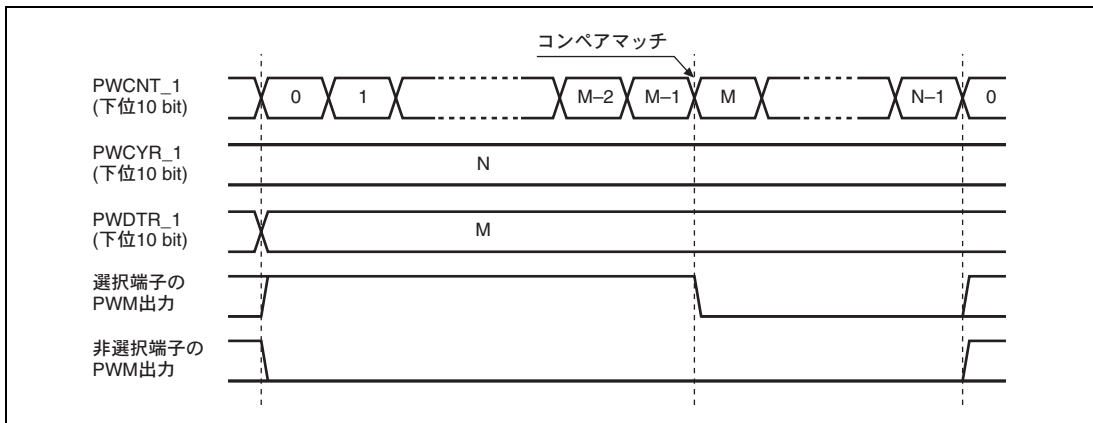


図 17.4 デューティレジスタのコンペアマッチ (PWPR_1 の OPS=0)

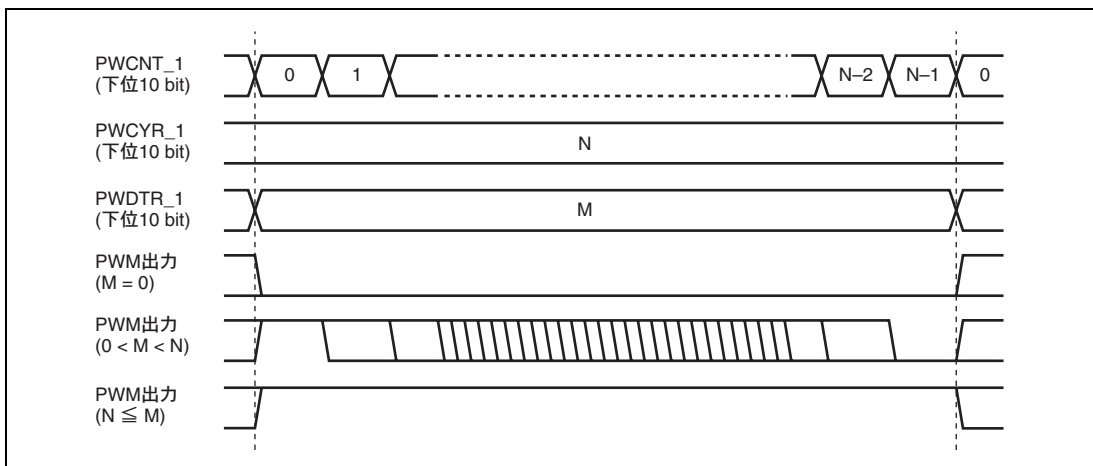


図 17.5 デューティレジスタの設定値による PWM 出力の相違 (PWPR_1 の OPS=0)

(2) PWM_2

PWDTR_2 は、8本のレジスタで (PWDTR2A~2H) で構成されています。PWDTR_2A は PWM2A 出力に、PWDTR_2B は PWM2B 出力に、PWDTR_2C は PWM2C 出力に、PWDTR_2D は PWM2D 出力に、PWDTR_2E は PWM2E 出力に、PWDTR_2F は PWM2F 出力に、PWDTR_2G は PWM2G 出力に、PWDTR_2H は PWM2H 出力にそれぞれ対応します。PWDTR_2 は直接リード/ライトできません。PWCYR_2 のコンペアマッチが発生すると、バッファレジスタ_2 (PWBFR_2) から PWDTR_2 へのデータ転送が行われます。

PWDTR_2 は、PWCR_2 のカウンタスタートビット (CST) が 0 のときに、H'EC00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 1	—	リザーブビット
12	—	0	—	リザーブビット
11	—	1	—	リザーブビット
10	—	1	—	リザーブビット
9	DT9	0	—	デューティ PWCYR_2 のコンペアマッチにより転送されるバッファレジスタのビット 9~0 のデータを反映し、PWM 出力のデューティを設定します。PWCYR_2 のコンペアマッチの発生で PWCNT_2 がクリアされてから、PWDTR_2 のコンペアマッチが発生するまでの間、High レベル (PWPR の当該ビットが 1 のときは Low レベル) を出力します。全ビットが 0 の場合は、High レベル (PWPR の当該ビットが 1 のときは Low レベル) を出力する期間はありません。
8	DT8	0	—	
7	DT7	0	—	
6	DT6	0	—	
5	DT5	0	—	
4	DT4	0	—	
3	DT3	0	—	
2	DT2	0	—	
1	DT1	0	—	
0	DT0	0	—	

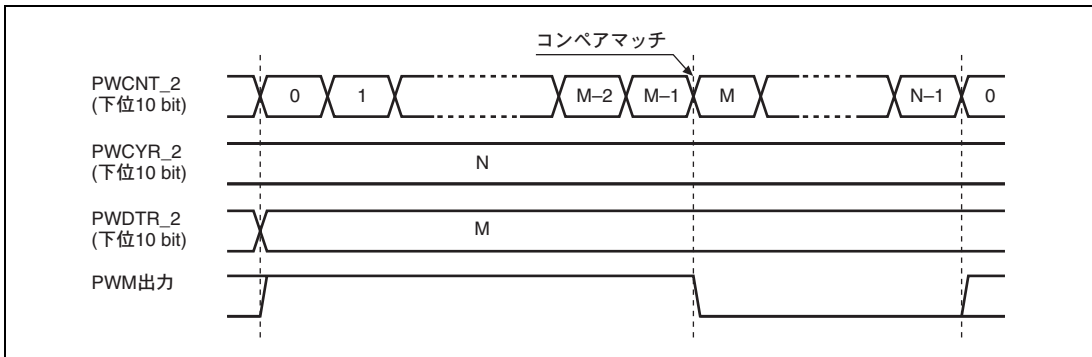


図 17.6 デューティレジスタのコンペアマッチ (PWPR_2 の OPS=0)

17. モータコントロール PWM タイマ

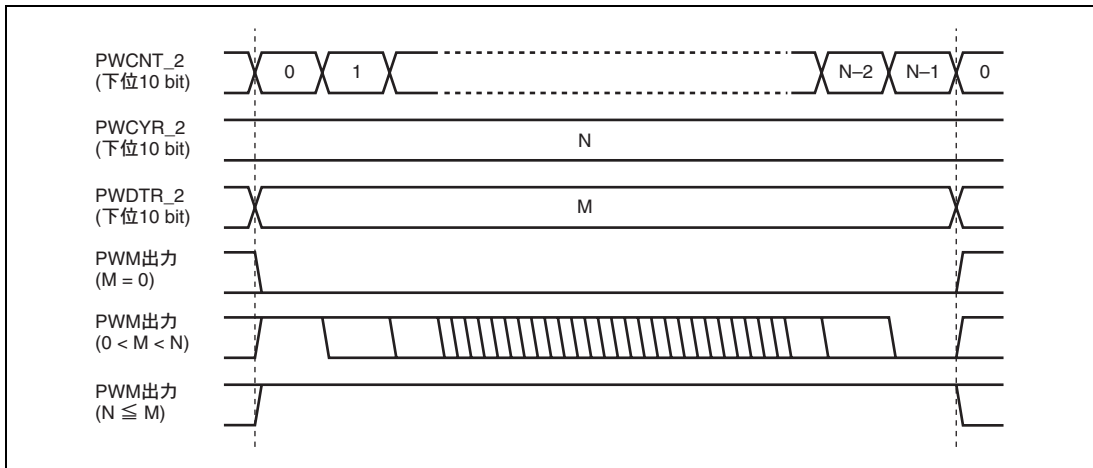


図 17.7 デューティレジスタの設定値による PWM 出力の相違 (PWPR_2 の OPS=0)

17.3.7 PWM バッファレジスタ (PWBFR)

(1) PWM_1

PWBFR_1 は 4 本のレジスタで (PWBFR_A、_C、_E、_G) で構成されています。PWCYR_1 のコンペアマッチが発生するとバッファレジスタ (PWBFR) からデューティレジスタ (PWDTR) にデータが転送されます。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
12	OTS	0	R/W	アウトプットターミナルセレクト PWDTR1 のビット 12 へ転送されます。
11	—	1	—	リザーブビット
10	—	1	—	リードすると常に 1 がリードされます。ライトは無効です。
9	DT9	0	R/W	デューティ PWDTR_1 のビット 9~0 へ転送されます。
8	DT8	0	R/W	
7	DT7	0	R/W	
6	DT6	0	R/W	
5	DT5	0	R/W	
4	DT4	0	R/W	
3	DT3	0	R/W	
2	DT2	0	R/W	
1	DT1	0	R/W	
0	DT0	0	R/W	

(2) PWM_2

PWBFR_2 は、16 ビットのリード/ライト可能な 4 本のレジスタで (PWBFR_2A~2D) で構成されています。PWCYR_2 のコンペアマッチが発生すると PWBFR_2A から PWDTR_2A または PWDTR_2E に、PWBFR_2B から PWDTR_2B または PWDTR_2F に、PWBFR_2C から PWDTR_2C または PWDTR_2G に、PWBFR_2D から PWDTR_2D または PWDTR_2H にデータ転送されます。転送先は TDS ビットの値によって決まります。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
12	TDS	0	R/W	トランスファデスティネーションセレクト 転送先の PWDTR_2 を選択します。詳細は表 17.3 を参照してください。
11	—	1	—	リザーブビット
10	—	1	—	リードすると常に 1 がリードされます。ライトは無効です。
9	DT9	0	R/W	デューティ PWDTR_2 のビット 9~0 へ転送されます。
8	DT8	0	R/W	
7	DT7	0	R/W	
6	DT6	0	R/W	
5	DT5	0	R/W	
4	DT4	0	R/W	
3	DT3	0	R/W	
2	DT2	0	R/W	
1	DT1	0	R/W	
0	DT0	0	R/W	

表 17.3 TDS ビット出力選択

レジスタ	ビット 12		説明
	TDS		
PWBFR_2A	0	PWDTR_2A を選択	
	1	PWDTR_2E を選択	
PWBFR_2B	0	PWDTR_2B を選択	
	1	PWDTR_2F を選択	
PWBFR_2C	0	PWDTR_2C を選択	
	1	PWDTR_2G を選択	
PWBFR_2D	0	PWDTR_2D を選択	
	1	PWDTR_2H を選択	

17.4 バスマスタとのインタフェース

17.4.1 16 ビットデータレジスタ

PWCYR、PWBFR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

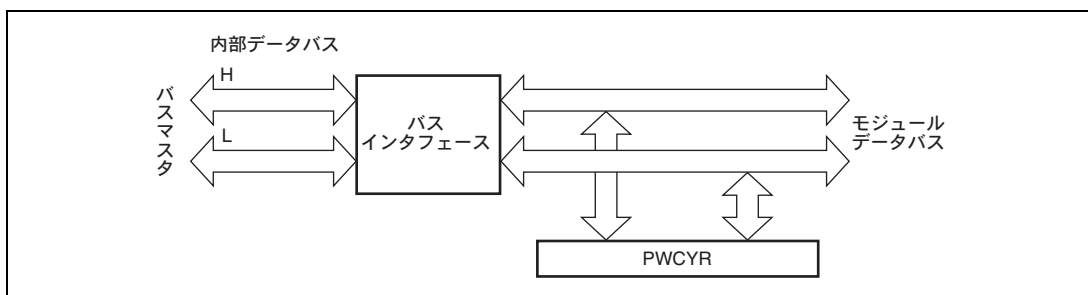


図 17.8 16 ビットレジスタのアクセス動作 (バスマスタ ↔ PWCYR (16 ビット))

17.4.2 8 ビットデータレジスタ

PWCR、PWOCR、PWPR は 8 ビットのレジスタです。8 ビット単位でのリード/ライトが可能です。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。下位 8 ビットは読み出すと常に H'FF になります。

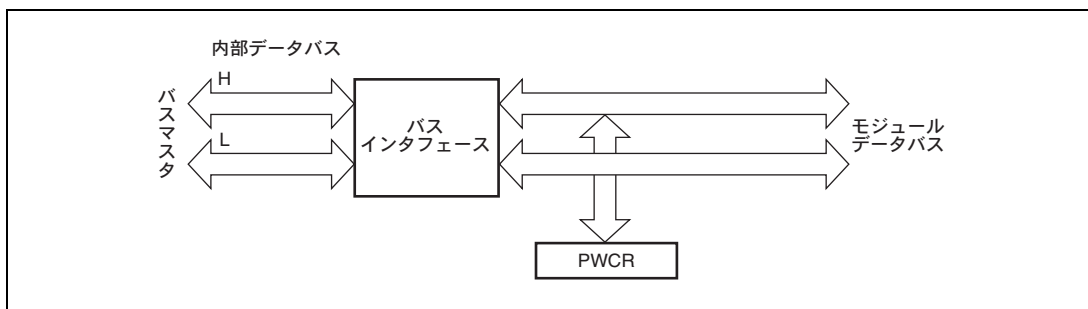


図 17.9 8 ビットレジスタのアクセス動作 (バスマスタ ↔ PWCR (上位 8 ビット))

17.5 動作説明

17.5.1 PWM_1 の動作

PWM1A~H、PWM2A~2H 端子からは、図 17.10 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR で PWM 出力の極性を設定します。PWOCR の OEn ビットを 1 にセットし、端子の PWM 出力を許可に設定します。PWCR の CKS2~0 ビットによって PWCNT に入力するクロックを選択します。

PWCYR で PWM の変換周期を設定します。PWBFR、C、E、G に 1 フレーム目のデータを設定します。

(2) 起動

PWCR の CST ビットを 1 にセットすると、PWCNT はアップカウントを開始します。PWCNT と PWCYR のコンペアマッチが発生すると、バッファレジスタからデューティレジスタにデータが転送され、PWCR の CMF ビットが 1 にセットされます。このとき、PWCR の IE ビットが 1 にセットされていれば、割り込み要求または DTC の起動が可能です。

(3) 波形出力

PWDTRA、C、E、G の OTS ビットによって選択された PWM 出力は、PWCNT と PWCYR のコンペアマッチが発生すると High レベルを出力します。OTS ビットによって選択されない PWM 出力は Low レベルを出力します。PWCNT と PWDTRA、C、E、G のコンペアマッチが発生すると、対応する PWM 出力から Low レベルを出力します。なお、PWPR の対応するビットが 1 のときは反転して出力します。

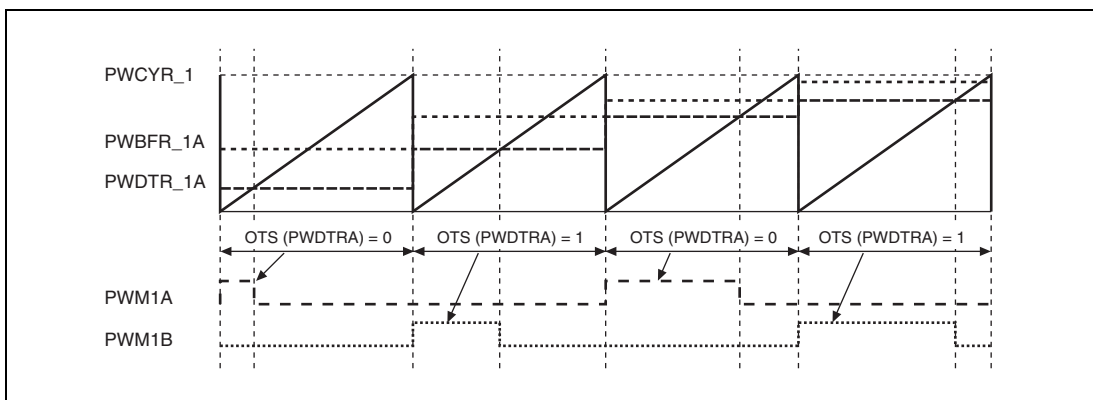


図 17.10 PWM_1 の動作

17. モータコントロール PWM タイマ

(4) 次フレーム

PWCNT と PWCYR のコンペアマッチが発生し、バッファレジスタからデューティレジスタにデータが転送されます。PWCNT はリセットされ、H'000 からカウントアップします。PWCR の CMF ビットはセットされ PWCR1、PWCR2 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(5) 停止

PWCR の CST ビットを 0 にクリアすると、PWCNT はリセットされ停止します。各 PWM 出力からは Low レベル (PWPR の対応するビットが 1 のときは High レベル) を出力します。

17.5.2 PWM_2 の動作

PWM2A~H 端子からは、図 17.11 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR2 で PWM 出力の極性を設定します。PWOCR2 で端子を PWM 出力許可に設定します。PWCR2 の CKS2 ~0 によって PWCNT2 に入力するクロックを選択します。

PWCYR2 で PWM の変換周期を設定します。PWBFR2A、PWBFR2B、PWBFR2C、PWBFR2D に 1 フレーム目のデータを設定します。

(2) 起動

PWCR2 の CST ビットを 1 にセットすると、PWCNT2 と PWCTR2 のコンペアマッチを発生します。TDS ビットの値によって PWBFR2A から PWDTR2A または PWDTR2E に、PWBFR2B から PWDTR2B または PWDTR2F に、PWBFR2C から PWDTR2C または PWDTR2G に、PWBFR2D から PWDTR2D または PWDTR2H にデータ転送されます。PWCNT2 はアップカウントを開始します。このときも PWCR2 の CMF ビットはセットされるので、PWCR2 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(3) 波形出力

各 PWM 出力は、PWCNT2 と PWCYR2 のコンペアマッチが発生すると High を出力します。PWCNT2 と PWDTR2A ~H のコンペアマッチが発生すると、対応する PWM 出力から Low を出力します。なお、PWPR2 の対応するビットが 1 のときは反転して出力します。

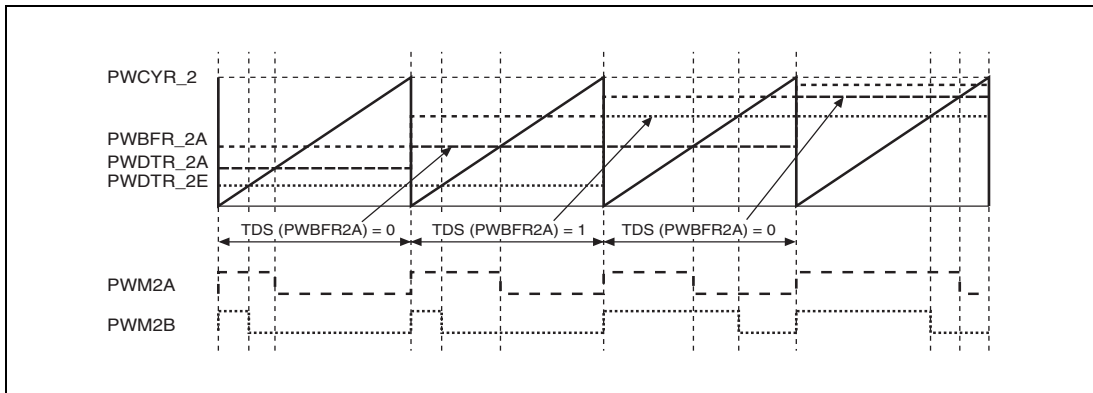


図 17.11 PWM_2 の動作

(4) 次フレーム

PWCNT2 と PWCYR2 のコンペアマッチが発生すると、TDS ビットの値によって PWBFR2A から PWDTR2A または PWDTR2E に、PWBFR2B から PWDTR2B または PWDTR2F に、PWBFR2C から PWDTR2C または PWDTR2G に、PWBFR2D から PWDTR2D または PWDTR2H にデータ転送されます。PWCNT2 はリセットされ、H'000 からカウントアップします。PWCR2 の CMF ビットはセットされ、PWCR2 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(5) 停止

PWCR2 の CST ビットを 0 にクリアすると、PWCNT2 はリセットされ停止します。PWDTR2A~H はリセットされます。各 PWM 出力からは Low (PWPR2 の対応するビットが 1 のときは High) を出力します。

17.6 使用上の注意事項

17.6.1 バッファレジスタのライトとコンペアマッチの競合

サイクルレジスタのコンペアマッチの直後のステートで PWBFR のライトが行われると、バッファレジスタと共にデューティレジスタも書き換えられます。サイクルレジスタのコンペアマッチで変化した PWM 出力は、競合によるデューティレジスタの書き換えでは変化しないので、意図しないデューティの出力になることがあります。

バッファレジスタの書き換えは、DTC による自動転送、コンペアマッチ割り込みによる例外処理、または、PWCR の CMF（コンペアマッチフラグ）の立ち上がりを検出して、サイクルレジスタのコンペアマッチが発生するまでに完了してください。

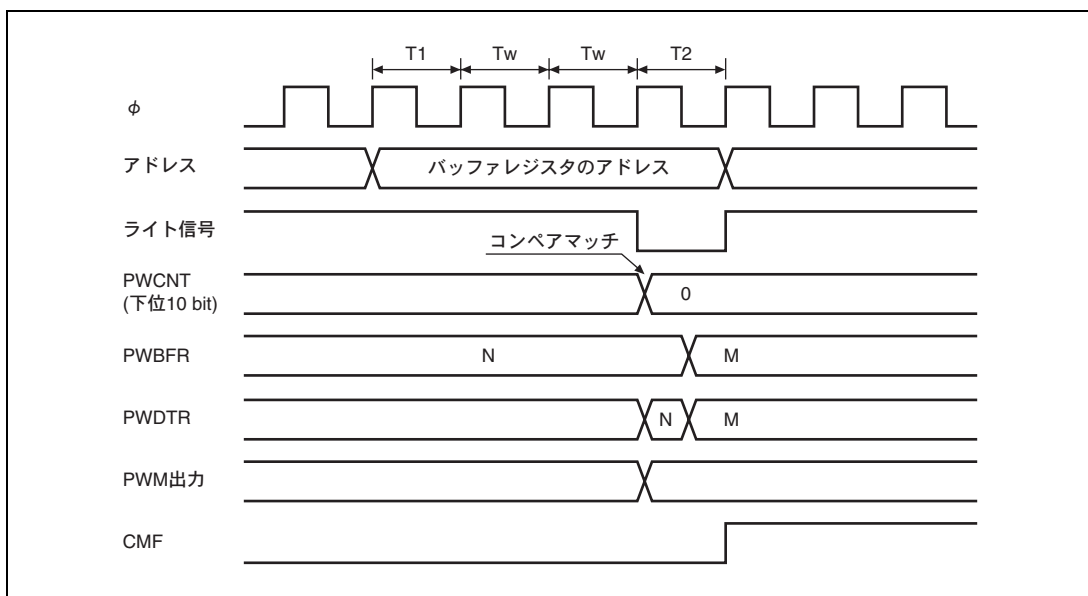


図 17.12 バッファレジスタのライトとコンペアマッチの競合

18. RAM

本 LSI は 16K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

19. ROM

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 19.1 に示します。

19.1 特長

- 容量 : 384Kバイト

- 書き込み/消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは64Kバイト×5ブロック、32Kバイト×1ブロック、4Kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

100回書き換え可能です。

- オンボードプログラミングモード : 2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。この他、通常ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み/消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み/消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

- RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

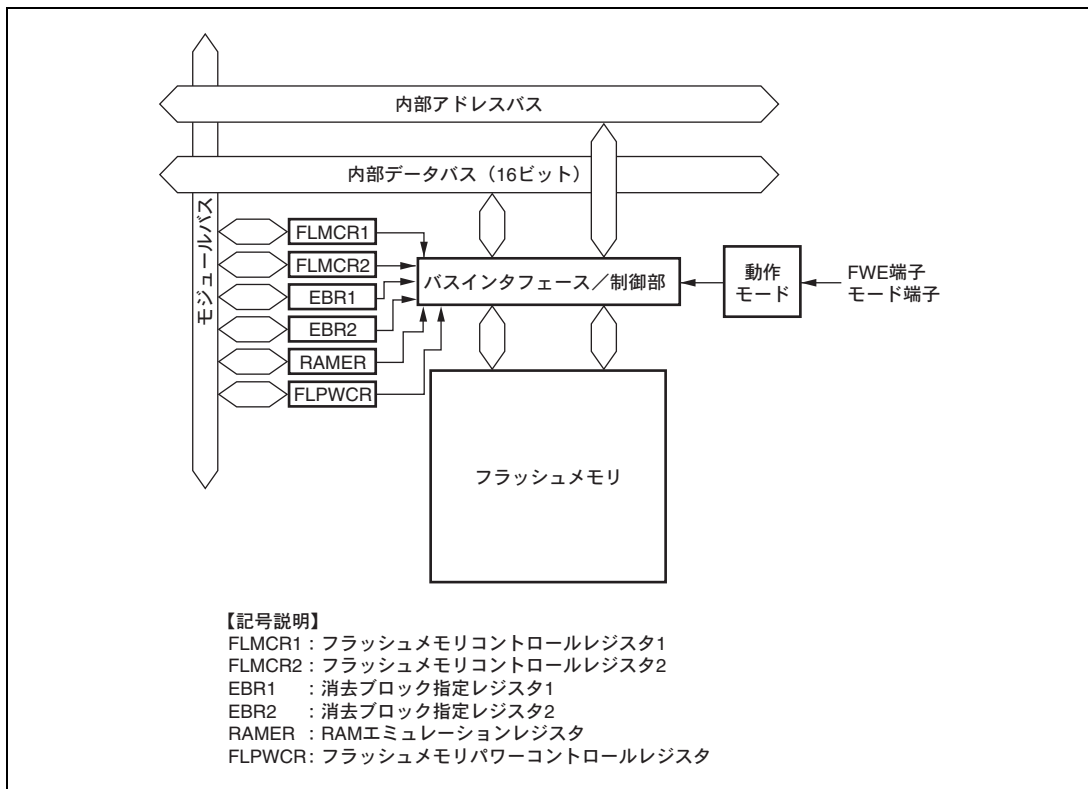


図 19.1 フラッシュメモリのブロック図

19.2 モード遷移図

リセット状態でモード端子とFWE端子を設定しリセットスタートすると、本LSIは図19.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表19.1にブートモードとユーザプログラムモードの相違点を示します。図19.3にブートモードを、図19.4にユーザプログラムモードを示します。

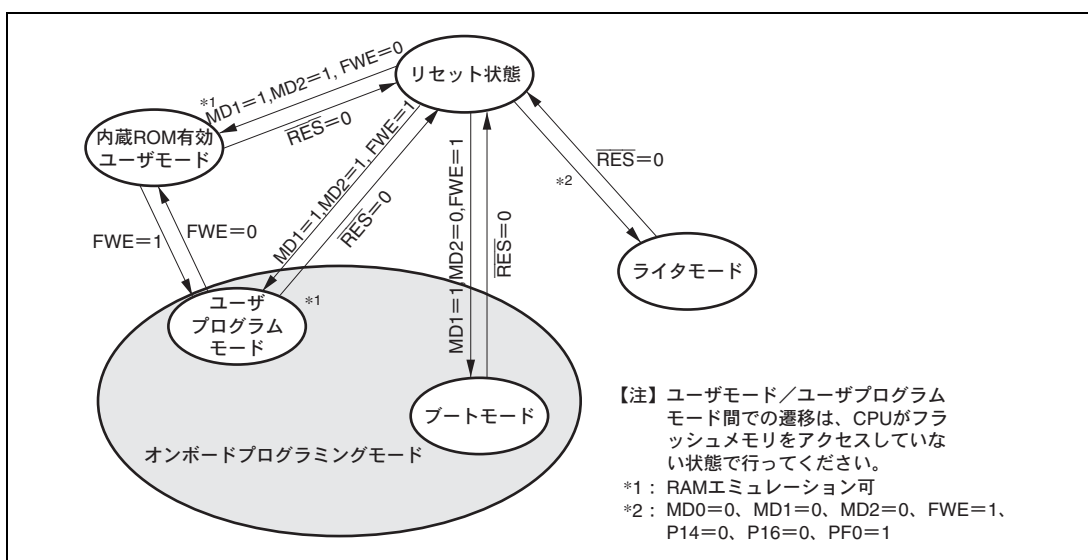
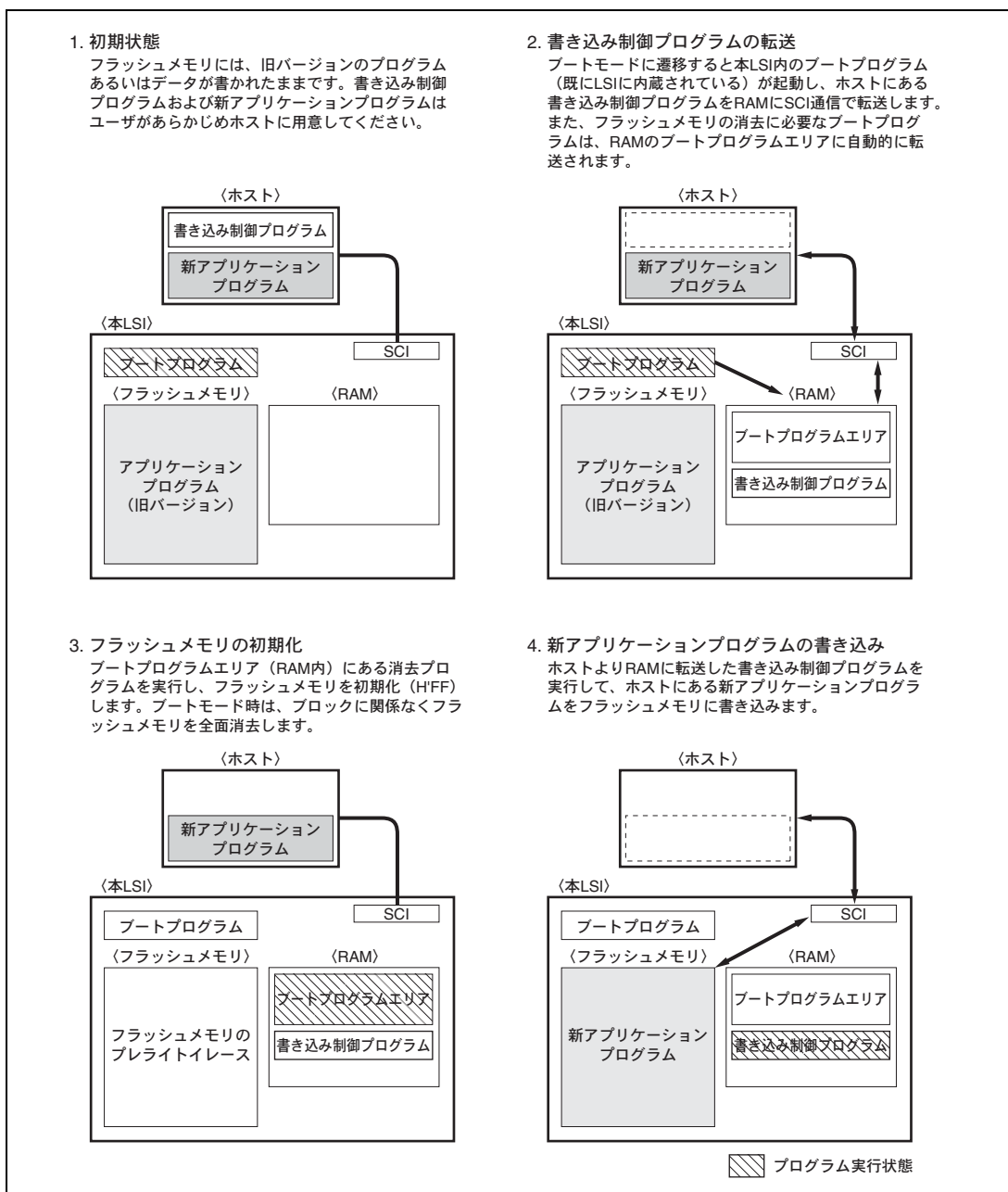


図 19.2 フラッシュメモリに関する状態遷移

表 19.1 ブートモードとユーザプログラムモードの相違点

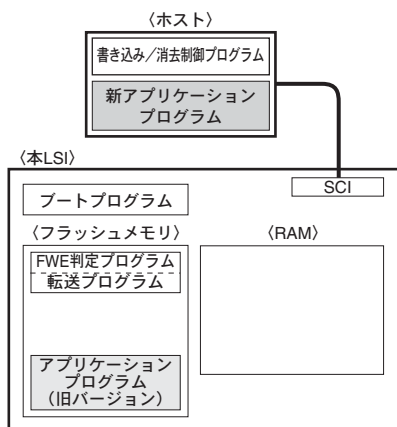
	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。



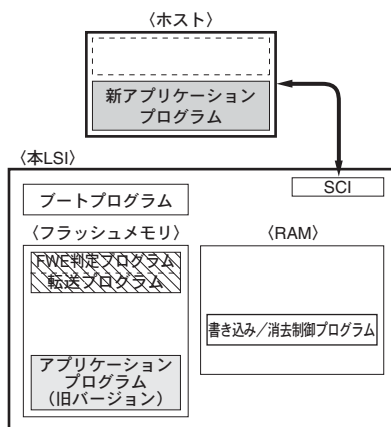
1. 初期状態

(1) ユーザプログラムモードに移行したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



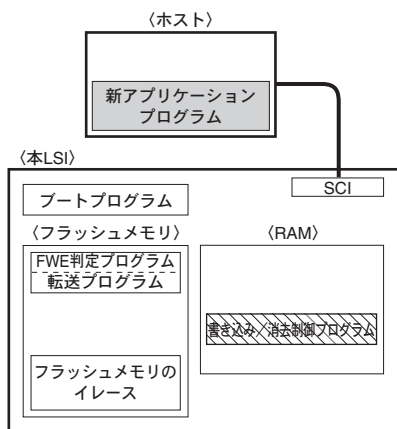
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移行すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



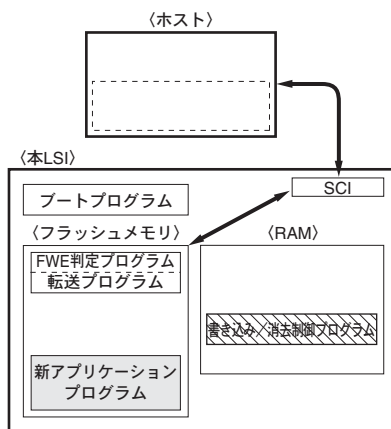
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 19.4 ユーザプログラムモード (例)

19.3 ブロック構成

図 19.5 に 384K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 4K バイト (8 ブロック)、32K バイト (1 ブロック)、64K バイト (5 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位4Kバイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
EB1 消去単位4Kバイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
	H'001F80	H'001F81	H'001F82	- - - - -	H'001FFF
EB2 消去単位4Kバイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
	H'002F80	H'002F81	H'002F82	- - - - -	H'002FFF
EB3 消去単位4Kバイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
	H'003F80	H'003F81	H'003F82	- - - - -	H'003FFF
EB4 消去単位4Kバイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
	H'004F80	H'004F81	H'004F82	- - - - -	H'004FFF
EB5 消去単位4Kバイト	H'005000	H'005001	H'005002	書き込み単位 128バイト	H'00507F
	H'005F80	H'005F81	H'005F82	- - - - -	H'005FFF
EB6 消去単位4Kバイト	H'006000	H'006001	H'006002	書き込み単位 128バイト	H'00607F
	H'006F80	H'006F81	H'006F82	- - - - -	H'006FFF
EB7 消去単位4Kバイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
	H'007F80	H'007F81	H'007F82	- - - - -	H'007FFF
EB8 消去単位32Kバイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB9 消去単位64Kバイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB10 消去単位64Kバイト	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
	H'02FF80	H'02FF81	H'02FF82	- - - - -	H'02FFFF
EB11 消去単位64Kバイト	H'030000	H'030001	H'030002	書き込み単位 128バイト	H'03007F
	H'03FF80	H'03FF81	H'03FF82	- - - - -	H'03FFFF
EB12 消去単位64Kバイト	H'040000	H'040001	H'040002	書き込み単位 128バイト	H'04007F
	H'04FF80	H'04FF81	H'04FF82	- - - - -	H'04FFFF
EB13 消去単位64Kバイト	H'050000	H'050001	H'050002	書き込み単位 128バイト	H'05007F
	H'05FF80	H'05FF81	H'05FF82	- - - - -	H'05FFFF

図 19.5 フラッシュメモリのブロック構成

19.4 入出力端子

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	入出力	機能
RES	入力	リセット
FWE	入力	フラッシュの書き込み/消去をハードウェアプロテクト
MD2	入力	動作モードを設定
MD1	入力	動作モードを設定
MD0	入力	動作モードを設定
PF0	入力	ライトモードの動作モードを設定
P16	入力	ライトモードの動作モードを設定
P14	入力	ライトモードの動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

19.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)

19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「19.8 フラッシュメモリの書き込み/消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE		R	フラッシュライトイネーブル FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。0 のときハードウェアプロテクト状態になります。
6	SWE	0	R/W	ソフトウェアライトイネーブル FWE=1 のとき、このビットを 1 にセットするとフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。E ビットを 1 にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。P ビットを 1 にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

19. ROM

19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	フラッシュメモリエラー このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「19.9.3 エラープロテクト」を参照してください。
6~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

19.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは EBR2 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'007000 ~ H'007FFF) の 4K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'006000 ~ H'006FFF) の 4K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'005000 ~ H'005FFF) の 4K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'004000 ~ H'004FFF) の 4K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'003000 ~ H'003FFF) の 4K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'002000 ~ H'002FFF) の 4K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'001000 ~ H'001FFF) の 4K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'000FFF) の 4K バイトが消去対象となります。

19.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR2 は H'00 に初期化されます。このレジスタは EBR1 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7、6	-	0	R/W	リザーブビット
5	EB13	0	R/W	このビットが 1 のとき EB13 (H'050000 ~ H'05FFFF) の 64K バイトが消去対象となります。
4	EB12	0	R/W	このビットが 1 のとき EB12 (H'040000 ~ H'04FFFF) の 64K バイトが消去対象となります。
3	EB11	0	R/W	このビットが 1 のとき EB11 (H'030000 ~ H'03FFFF) の 64K バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 (H'020000 ~ H'02FFFF) の 64K バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 (H'010000 ~ H'01FFFF) の 64K バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 (H'008000 ~ H'00FFFF) の 32K バイトが消去対象となります。

19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。直後にアクセスした場合には、正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 0	R	リザーブビット リードすると常に 0 がリードされます。
5、4		0	R/W	リザーブビット リードするときは必ず 0 ライトしてください。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。このビットが 1 のとき、RAM の一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み / 消去プロテクト状態となります。

19. ROM

ビット	ビット名	初期値	R/W	説明
2	RAM2	0	R/W	フラッシュメモリエリア選択
1	RAM1	0	R/W	RAMS が 1 のとき、RAM の領域とオーバーラップさせるフラッシュメモリのエリアを選択します。これらのエリアは 4K バイトの消去ブロックに対応しています。 000 : H'000000~H'000FFF (EB0) 001 : H'001000~H'001FFF (EB1) 010 : H'002000~H'002FFF (EB2) 011 : H'003000~H'003FFF (EB3) 100 : H'004000~H'004FFF (EB4) 101 : H'005000~H'005FFF (EB5) 110 : H'006000~H'006FFF (EB6) 111 : H'007000~H'007FFF (EB7)
0	RAM0	0	R/W	

19.5.6 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

本 LSI がサブアクティブモードに移移する際に、フラッシュメモリの低消費電力モードへの遷移の許可/禁止を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンドイスエーブル サブアクティブモードに移移する際に、フラッシュメモリの低消費電力モードへの遷移の許可/禁止を設定するビットです。 0 : フラッシュメモリの低消費電力モードへの遷移を許可 1 : フラッシュメモリの低消費電力モードへの遷移を禁止
6~0	—	すべて 0	R	リザーブビット リードすると常に 0 がリードされます。

19.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには2種類の動作モード（ブートモード、ユーザプログラムモード）があります。各モードの設定方法は、表 19.3 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図は、図 19.2 を参照してください。

表 19.3 オンボードプログラミングモード設定方法

モード設定		FWE	MD2	MD1	MD0
ブートモード	拡張モード	1	0	1	0
	シングルチップモード		0	1	1
ユーザプログラムモード	拡張モード	1	1	1	0
	シングルチップモード		1	1	1

19.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 19.4 に示します。

- ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「19.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。
ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態で初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- SCI_1は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
- ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI_1のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
- ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表19.5の範囲としてください。
- ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFE800～H'FFEFBF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。

19. ROM

6. 書き込み制御プログラムに分岐するときSCI_1は送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とMD端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 19.4 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 H'00を正常に受信したらH'55送信 H'AA受信	H'00,H'00・・・H'00 H'00 H'55 H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイト毎に送信(N回繰り返し)	上位バイト、下位バイト エコーバック H'XX エコーバック	受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)
フラッシュメモリ消去	ブートプログラム消去エラー H'AA受信	H'FF H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 19.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本LSIのシステムクロック周波数範囲
19200bps	20MHz
9600bps	8~20MHz
4800bps	4~20MHz

19.6.2 ユーザプログラムモード

ユーザモードでもユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。あらかじめ基板上的 FWE 制御手段、オンボードでの書き換えデータ供給手段、分岐のための条件設定をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 19.6 にユーザモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「19.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。

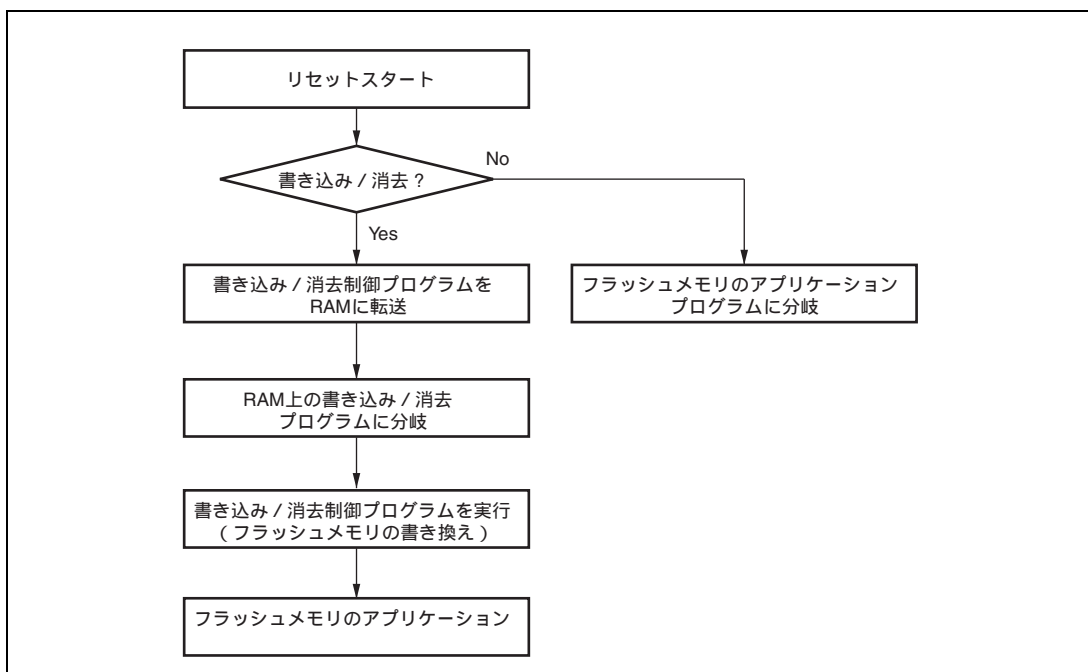


図 19.6 ユーザモードにおける書き込み/消去例

19.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵RAMでリアルタイムにエミュレートできるよう、RAMエミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックにRAMをオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 19.7 フラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

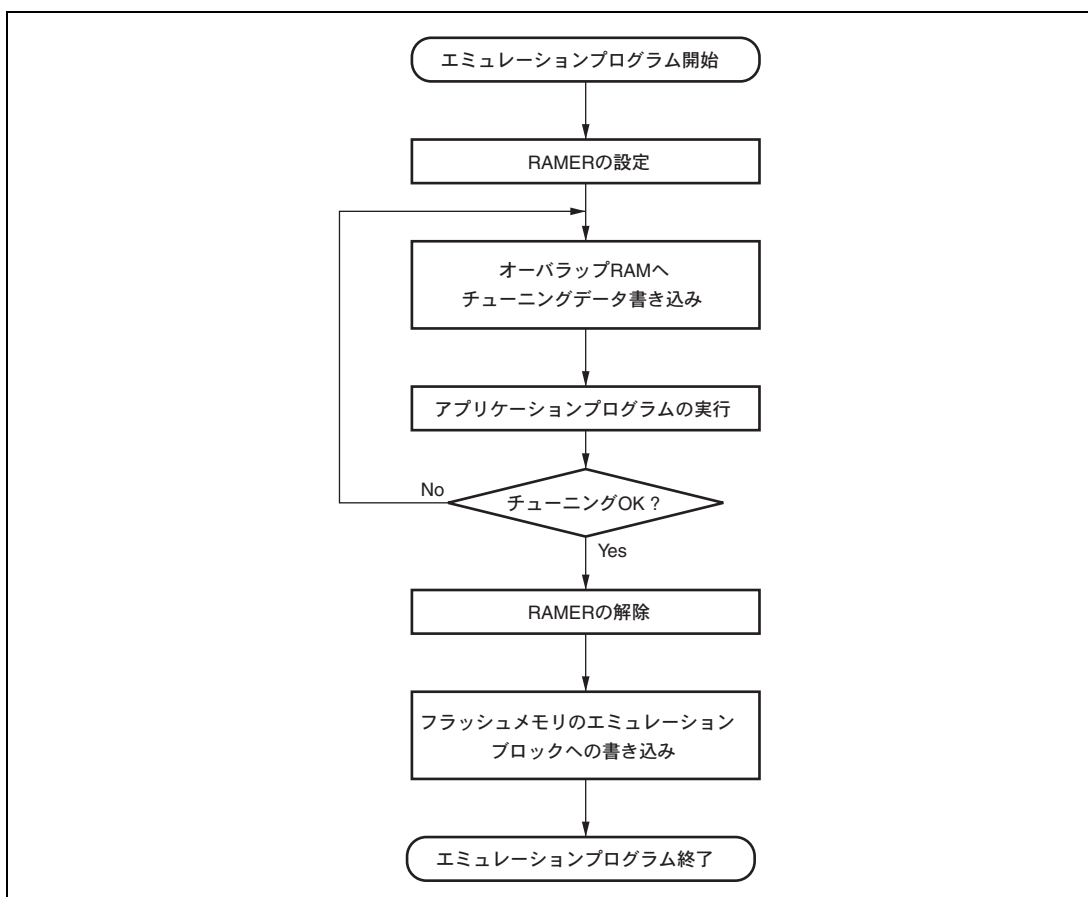


図 19.7 RAM によるエミュレーションフロー

19. ROM

フラッシュメモリのブロックをオーバーラップさせる例を図 19.8 に示します。

1. オーバーラップさせるRAMのエリアは、H'FFD800~H'FFE7FFの4Kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは、4KバイトのEB0~EB7のうちの1ブロックでRAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり（エミュレーションプロテクト）、FLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

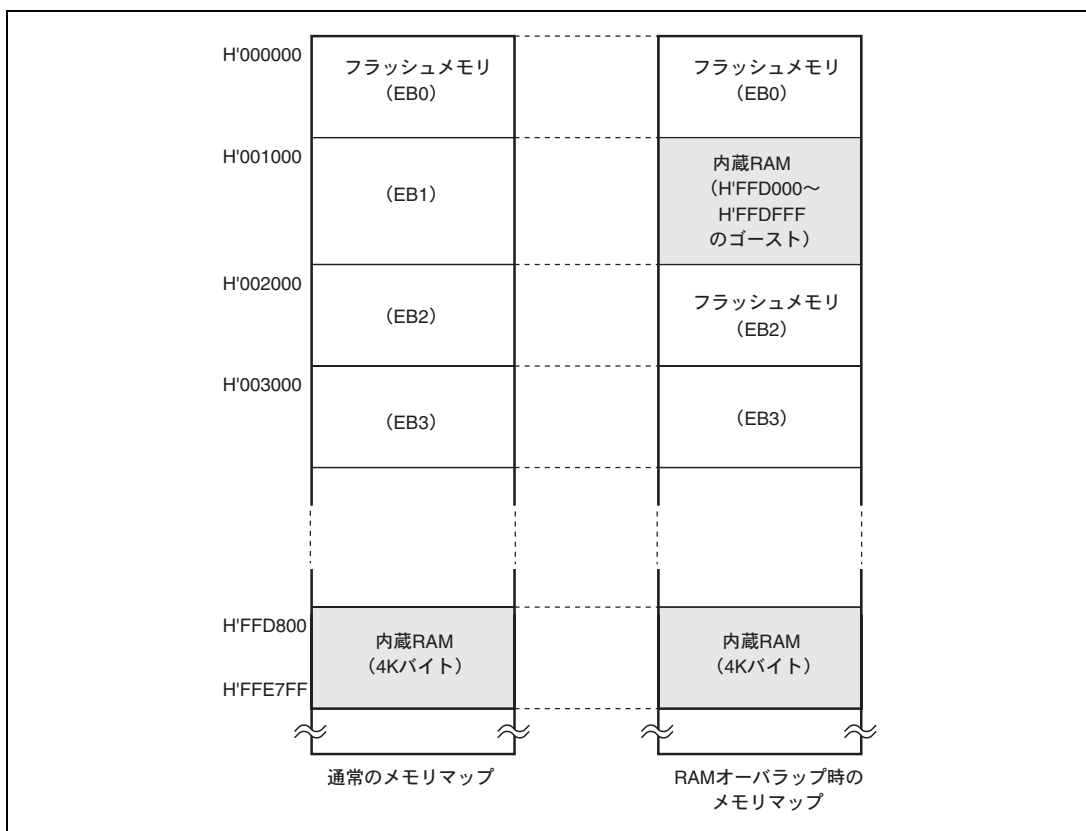


図 19.8 RAM のオーバーラップ例

19.8 フラッシュメモリの書き込み / 消去

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせる書き込み / 消去を行います。フラッシュメモリへの書き込みは「19.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「19.8.2 イレース / イレースベリファイ」に沿って行ってください。

19.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 19.10 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、既書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図19.10に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされず。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図19.9に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は $(t_{\text{psu}} + t_{\text{sp200}} + t_{\text{cp}} + t_{\text{cpsu}})$ μs より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せません。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N)回を超えないようにしてください。

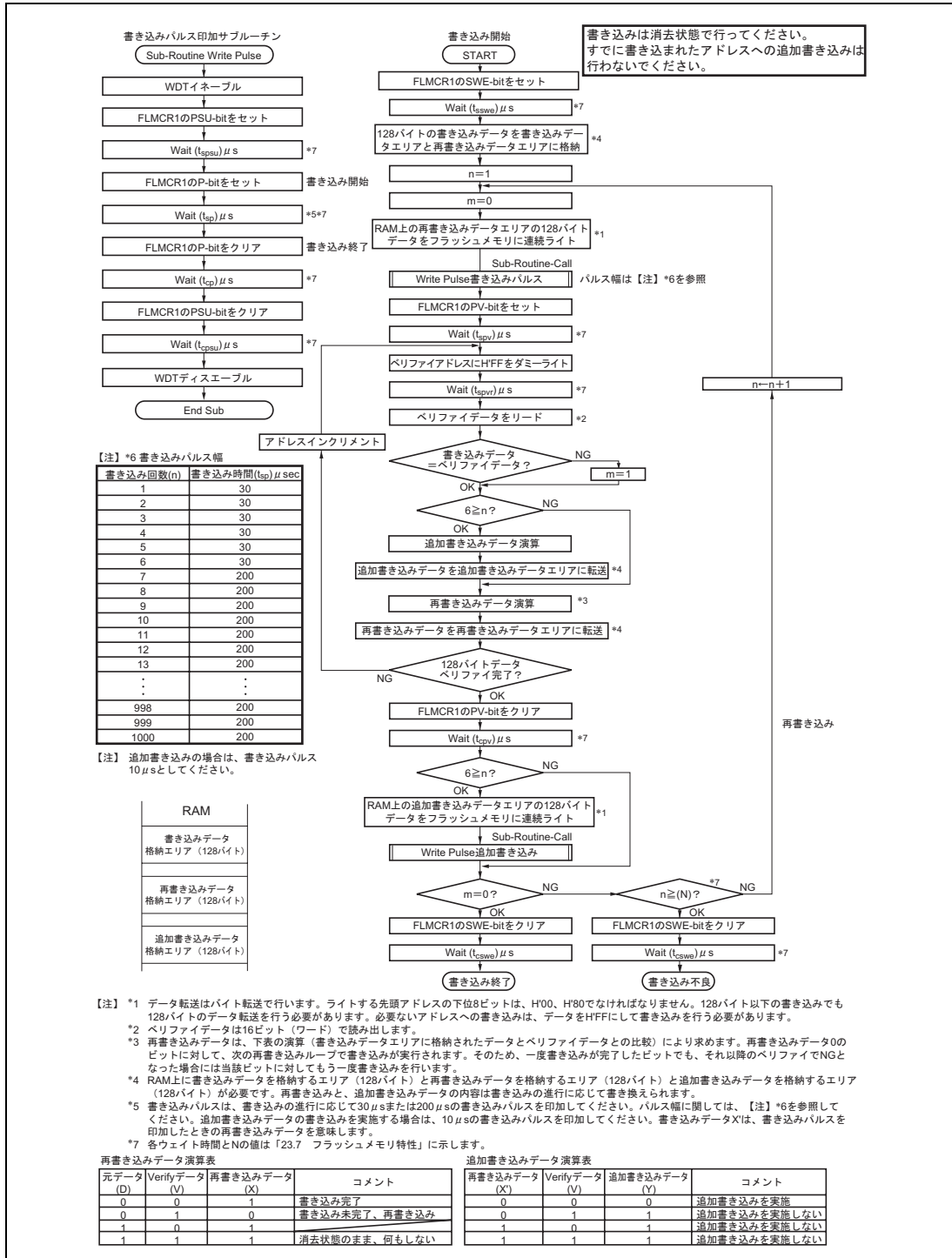


図 19.9 プログラム/プログラムペリファイフロー

19.8.2 イレース/イレースベリファイ

消去は図 19.10 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2（EBR1、EBR2）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は $(t_{sesu}+t_{se}+t_{ce}+t_{cesu})$ msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が（N）回を超えないようにしてください。

19.8.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由から $\overline{\text{NMI}}$ を含むすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

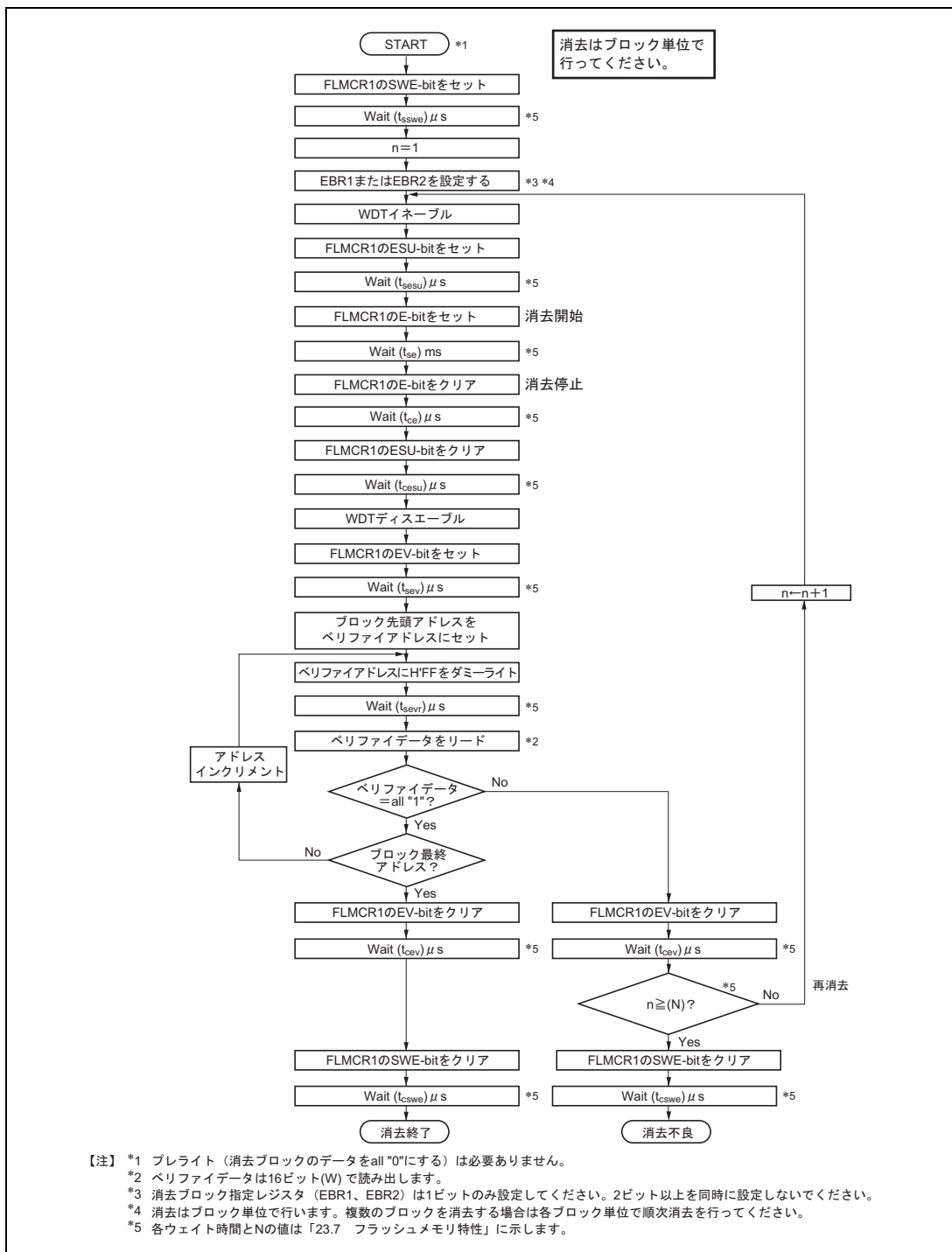


図 19.10 イレース/イレースペリファイフロー

19.9 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

19.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1

(FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

19.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み／消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。RAMER の RAMS ビットをセットすることで全ブロックの書き込み／消去プロテクト状態になります。

19.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中に CPU の暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中の SLEEP 命令実行
- 書き込み／消去中に CPU が DTC にバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ペリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたハードウェアスタンバイによってのみ解除できます。

19.10 フラッシュメモリの書き込み／消去時の割り込み

フラッシュメモリへの書き込み、消去中（FLMCR1のPビットまたはEビットがセット）、またはブートプログラム実行中*¹は書き込み、消去動作を最優先とするため、NMI入力を含むすべての割り込みを禁止してください。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み／消去アルゴリズムに沿った動作が保証できなくなる。
2. 書き込み／消去中の割り込み例外処理では正常なベクタリードができず*²、CPUが暴走してしまう。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

【注】 *¹ 書き込み制御プログラムによる書き込みが完了するまでは、CPU内部と外部で割り込み要求を禁止する必要があります。

*² 以下の2つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中（FLMCR1のPビットまたはEビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません。（値は不定）。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

19.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様にPROMライタで書き込み／消去を行うことができます。PROMライタはルネサス テクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ（FZTAT256V5A）をサポートしているライタを使用してください。

19.12 フラッシュメモリの低消費電力動作

ユーザーモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態

高速でフラッシュメモリの読み出しが可能です。

- 低消費電力状態

電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードのみ可能です。

- スタンバイ状態

フラッシュメモリのすべての回路が停止します。

表 19.6 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100 μ s 以上になるよう SBYCR の STS2～STS0 を設定してください。

表 19.6 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
ウォッチモードスタンバイモード	スタンバイ状態
サブアクティブモードサブスリープモード	PDWND=0 のとき：低消費電力状態（リードのみ） PDWND=1 のとき：通常動作状態（リードのみ）

19.13 使用上の注意事項

1. 規定された電圧タイミングで書き込み／消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

2. 電源投入／切断時の注意

FWE端子へのHighレベル印加はVCC確定後に行ってください。また、VCCを切断する前にFWE端子をLowレベルにしてください。VCC電源の印加／切断時はFWE端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

3. FWEの印加／解除の注意

FWEの印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE端子をLowレベルに固定し、プロテクト状態としてください。FWEの印加／解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- VCC電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
- ブートモードでは、FWEの印加／解除はリセット中に行ってください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWE=Highレベル／Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力の切り替えが可能です。
- プログラムが暴走していない状態でFWEを印加してください。
- FWEの解除はFLMCR1のSWE、ESU、PSU、EV、PV、P、Eビットをクリアした状態で行ってください。FWEの印加／解除時に、誤ってSWE、ESU、PSU、EV、PV、P、Eビットをセットしないでください。

4. FWE端子に常時Highレベルを印加しないでください。

FWE端子にHighレベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE端子に常時Highレベルを印加するようなシステム構成は避けてください。また、Highレベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

19. ROM

5. フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCRIのPビット、Eビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

6. SWEビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後100 μ s以上待つてから行ってください。

SWEビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ（プログラム/イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中にSWEビットのクリアを行わないでください。FWE端子にHighレベルを入力した状態で、RAMによるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWEビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバーラップしたRAMエリアについては、SWEビットのセット/クリアにかかわらずリード/ライト可能です。

7. フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE印加状態では書き込み/消去動作を再優先とするため、NMIを含む全ての割り込み要求を禁止してください。

8. 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

9. 書き込み前に、必ず、正しくPROMライターに装着されていることを確認してください。

PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

10. 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

11. 電源投入時は、リセット状態にしてください。

発振安定期間中に100 μ s以上はリセットを入れてください。

12. 動作中にリセットを入れる場合は、SWEのLow期間で入れてください。

SWEビットクリア後100 μ s以上待つてからリセットをいれてください。

13. マスク版には、F-ZTAT版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表19.7にF-ZTAT版に存在して、マスク版に存在しないレジスタを示します。表19.7に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT版で開発したアプリケーションソフトをマスクROM版に変更する場合、表19.7に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 19.7 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB

20. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、バスマスタクロック、内部クロックを生成します。クロック発振器は、発振器、PLL 回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路で構成されます。クロック発振器のブロック図を図 20.1 に示します。

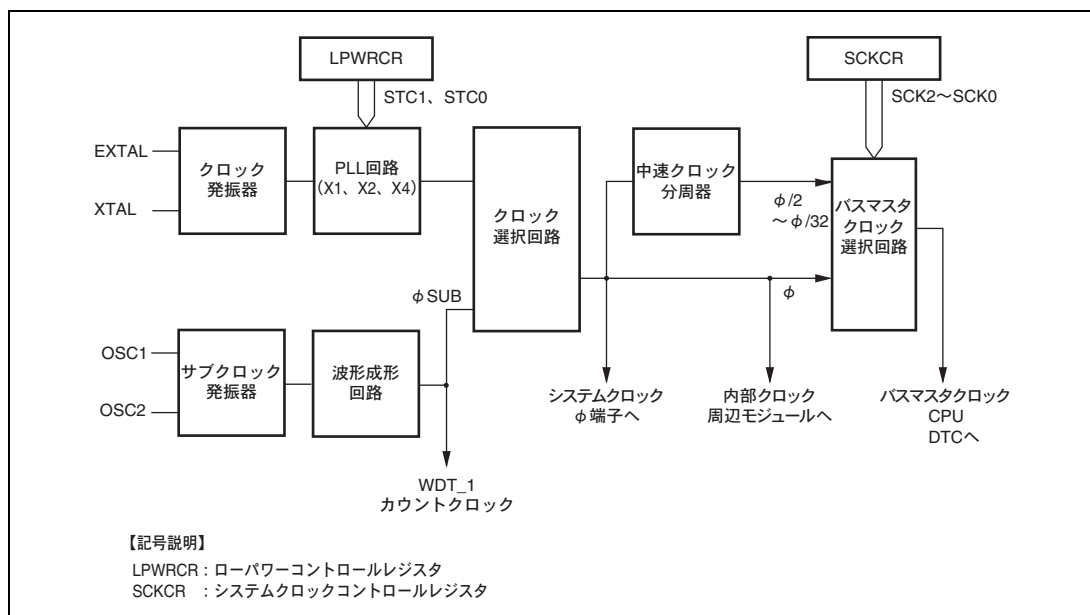


図 20.1 クロック発振器のブロック図

発振器からの周波数は、PLL 回路により変更できます。周波数の変更は、ローパワーコントロールレジスタ (LPWRCR) とシステムクロックコントロールレジスタ (SCKCR) の設定によりソフトウェアで行います。

20. クロック発振器

20.1 レジスタの説明

クロック発振器には以下のレジスタがあります。なお、LPWRCR については「21.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)

20.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は、 ϕ クロック出力の制御と中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	ϕ クロック出力禁止 対応するポートの DDR が 1 にセットされているとき、 ϕ 出力を制御します。 アクティブモード、サブアクティブモード 0 : ϕ 出力 1 : High レベル固定 スリープモード、サブスリープモード 0 : ϕ 出力 1 : High レベル固定 ソフトウェアスタンバイモード、ウォッチモード、直接遷移 0 : High レベル固定 1 : High レベル固定 ハードウェアスタンバイモード 0 : ハイインピーダンス 1 : ハイインピーダンス
6	—	0	—	リザーブビット リード/ライト可能ですが、ライトするときは 0 をライトしてください。
5	—	0	—	リザーブビット
4	—	0	—	リードすると常に 0 がリードされます。ライトは無効です。
3	STCS	0	R/W	周波数通倍率切り替えモード選択 PLL 回路の周波数通倍率変更時の動作を選択します。 0 : 指定した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後に有効 1 : 指定した通倍率は、STC ビットの書き換え直後に有効

ビット	ビット名	初期値	R/W	説 明
2	SCK2	0	R/W	システムクロックセレクト 高速モード、中速モード、およびサブアクティブモードでのバスマスタのクロックを選択します。 000 : バスマスタは高速モード 001 : 中速クロックは $\phi/2$ 010 : 中速クロックは $\phi/4$ 011 : 中速クロックは $\phi/8$ 100 : 中速クロックは $\phi/16$ 101 : 中速クロックは $\phi/32$ 11X : 設定禁止 なお、ウォッチモード、サブアクティブモードに遷移して動作させる場合には、SCK2~SCK0 すべて 0 に設定してください。
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【注】 X : Don't care

20.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。入力するクロックは20MHz以下としてください。

20.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図20.2に示します。ダンピング抵抗 R_d は、表20.1に示すものを使用してください。また、水晶発振子は、ATカット並列共振形を使用してください。

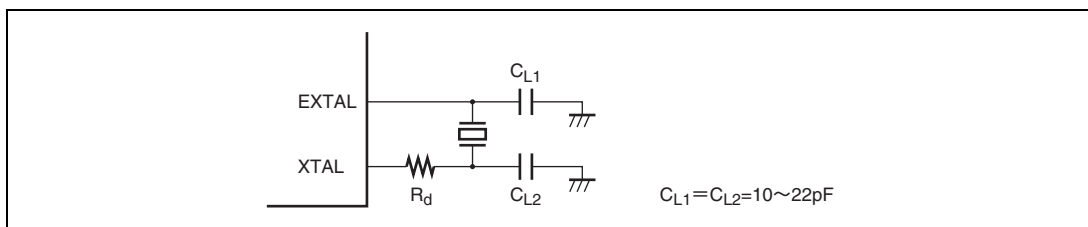


図 20.2 水晶発振子の接続例

表 20.1 ダンピング抵抗値

周波数 (MHz)	4	8	10	12	16	20
R_d (Ω)	500	200	0	0	0	0

水晶発振子の等価回路を図20.3に示します。水晶発振子は表20.2に示す特性のものを使用してください。

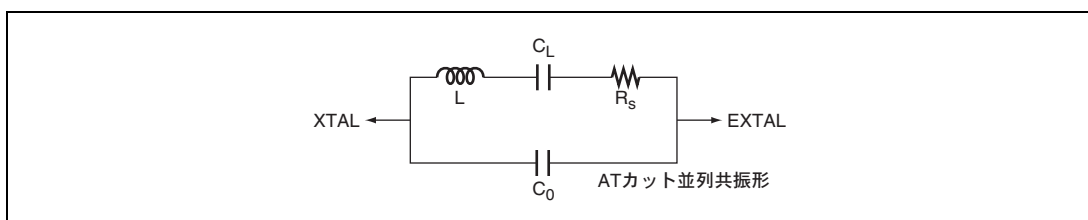


図 20.3 水晶発振子の等価回路

表 20.2 水晶発振子の特性

周波数 (MHz)	4	8	10	12	16	20
R_s max (Ω)	120	80	70	60	50	40
C_0 max (pF)	7					

20.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 20.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

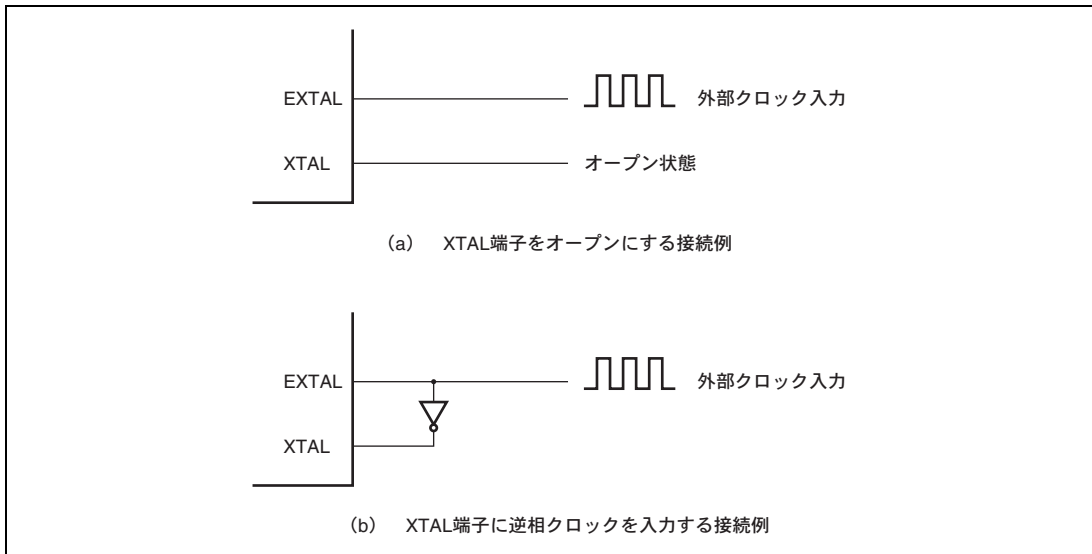


図 20.4 外部クロックの接続例

外部クロックの入力条件を表 20.3 に示します。

表 20.3 外部クロック入力条件

項目	記号	V _{CC} =5.0V±10%		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	t _{EXL}	15	—	ns	図 20.5
外部クロック入力パルス幅 High レベル	t _{EXH}	15	—	ns	
外部クロック立ち上がり時間	t _{EXr}	—	5	ns	
外部クロック立ち下がり時間	t _{EXf}	—	5	ns	

20. クロック発振器

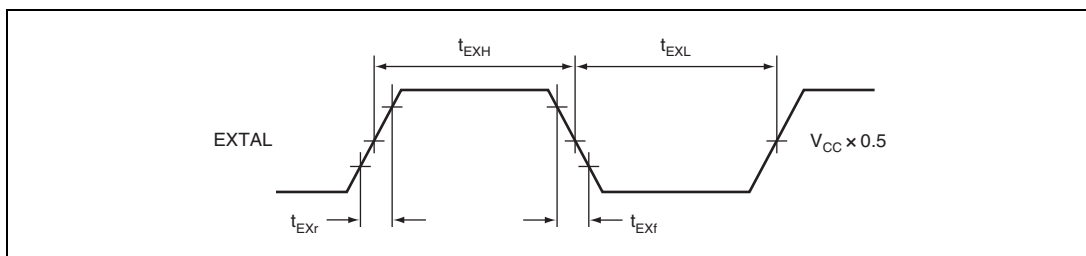


図 20.5 外部クロック入力タイミング

20.3 PLL 回路

PLL 回路は、発振器からの周波数を 1 倍、2 倍、4 倍に通倍する機能を持っています。周波数通倍率は LPWRCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

PLL 回路の周波数通倍率を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数通倍率はソフトウェアスタンバイモード遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS2～STS0 ビットで設定します。SBYCR については「21.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の通倍率は1倍です。
2. STS2～STS0ビットで遷移時間を設定します。
3. STC1、STC0ビットで周波数通倍率を設定し、ソフトウェアスタンバイモードに遷移します。
4. クロック発振器が停止し、設定したSTC1～STC0の設定が有効となります。
5. ソフトウェアスタンバイモードを解除し、STS2～STS0ビットで設定した、遷移時間が確保されます。
6. 設定した遷移時間経過後、変更した周波数通倍率で本LSIは動作を再開します。

なお、SLEEP 命令に PC ブレークを設定すると、ソフトウェアスタンバイモードに遷移し、発振安定時間を経てブレーク例外処理を実行します。この場合、RTE 命令実行後に SLEEP 命令の次の命令を実行します。STCS ビットが 1 の場合、STC1、STC0 ビット書き換え後に、変更後の周波数通倍率では本 LSI は動作します。

20.4 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ を生成します。

20.5 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SCKCR の SCK2～SCK0 ビットにより高速モード、または中速クロック ($/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$) から選択します。

20.6 サブクロック発振器

20.6.1 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 20.6 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「20.8.2 ボード設計上の注意」と同様です。

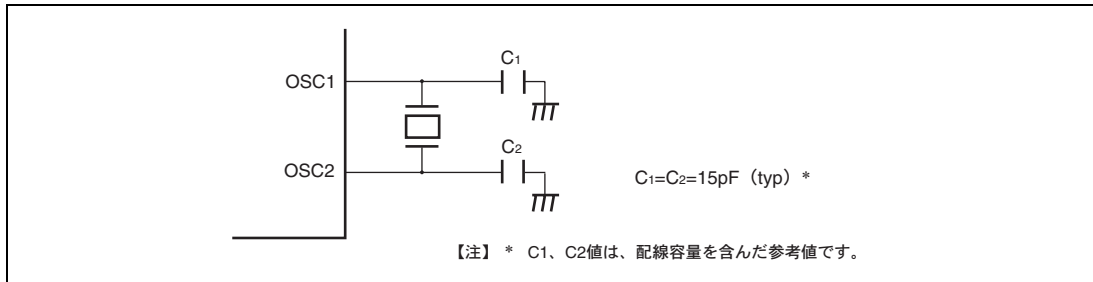


図 20.6 32.768kHz 水晶発振子の接続例

図 20.7 に 32.768kHz 水晶発振子の等価回路を示します。

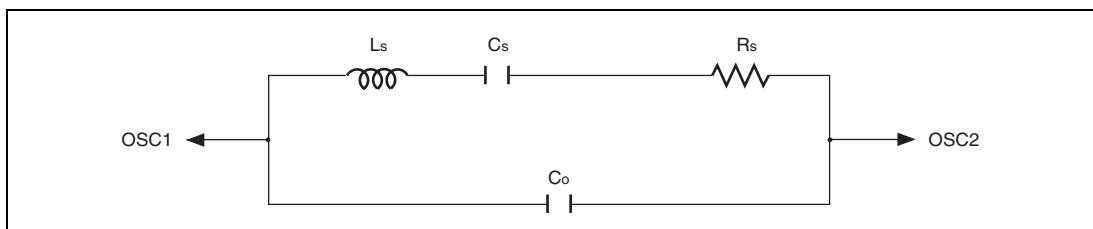


図 20.7 32.768kHz 水晶発振子の等価回路

20.6.2 サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 20.8 に示すように OSC1 端子を Vss に接続し、OSC2 端子をオープンとしてください。

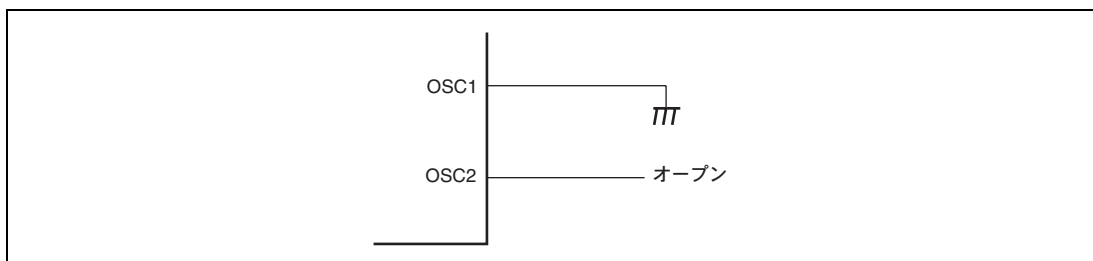


図 20.8 サブクロックを必要としない場合の端子処理

20.7 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「21.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

20.8 使用上の注意事項

20.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

20.8.2 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 20.9 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

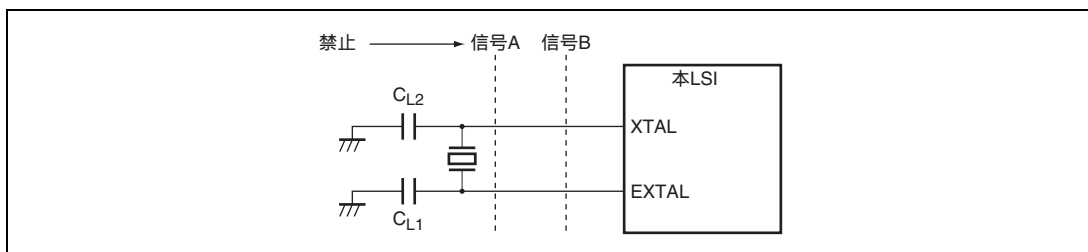


図 20.9 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 20.10 に示します。発振を安定させるための容量 C1 および抵抗 R1 は、PLL_{CAP} 端子の近くに配置してください。また、他の信号線と交差させないでください。PLL_{V_{SS}} と V_{CC}、V_{SS} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。

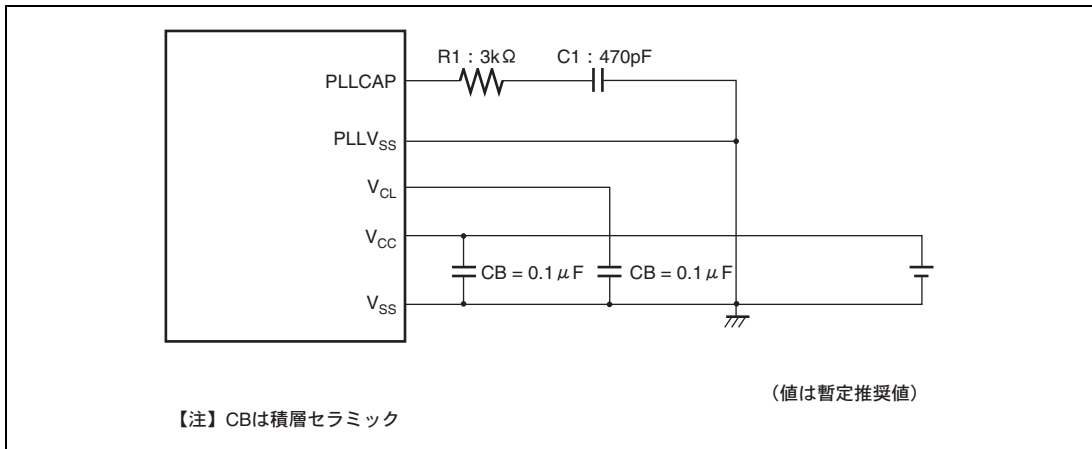


図 20.10 PLL 回路の外付け推奨回路

21. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードの他、

- 中速モード
- サブアクティブモード
- スリープモード
- サブスリープモード
- ウォッチモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モード、DTC を除きモジュールストップモードになっています。

表 21.1 に各モードでの LSI の内部状態、表 21.2 に低消費電力モード遷移条件を示します。また、図 21.1 に、モード遷移図を示します。

21. 低消費電力状態

表 21.1 各モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作	停止
CPU	命令	動作	中速動作	停止 (保持)	高/中速 動作	停止 (保持)	サブ クロック 動作	停止 (保持)	停止 (保持)	停止 (不定)
	レジスタ									
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	停止
	IRQ0~5									
周辺機能	WDT0	動作	動作	動作	—	停止 (保持)	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	WDT1	動作	動作	動作	—	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	DTC	動作	中速動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PPG									
	IIC_0									
	IIC_1									
	DA0、1									
	PBC	動作	中速動作	動作	停止 (保持)	停止 (保持)	サブ クロック 動作	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI0~2	動作	動作	動作	停止 (リセット/ 保持)	停止 (リセット/ 保持)	停止 (リセット/ 保持)	停止 (リセット/ 保持)	停止 (リセット)	停止 (リセット)
	PWM	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	A/D									
	RAM	動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
I/O	動作	動作	動作	動作	保持	動作	保持	保持	ハイインピー ダンス	

【注】 停止 (保持) は、内部レジスタ値保持。内部状態は動作中断。

停止 (リセット) は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

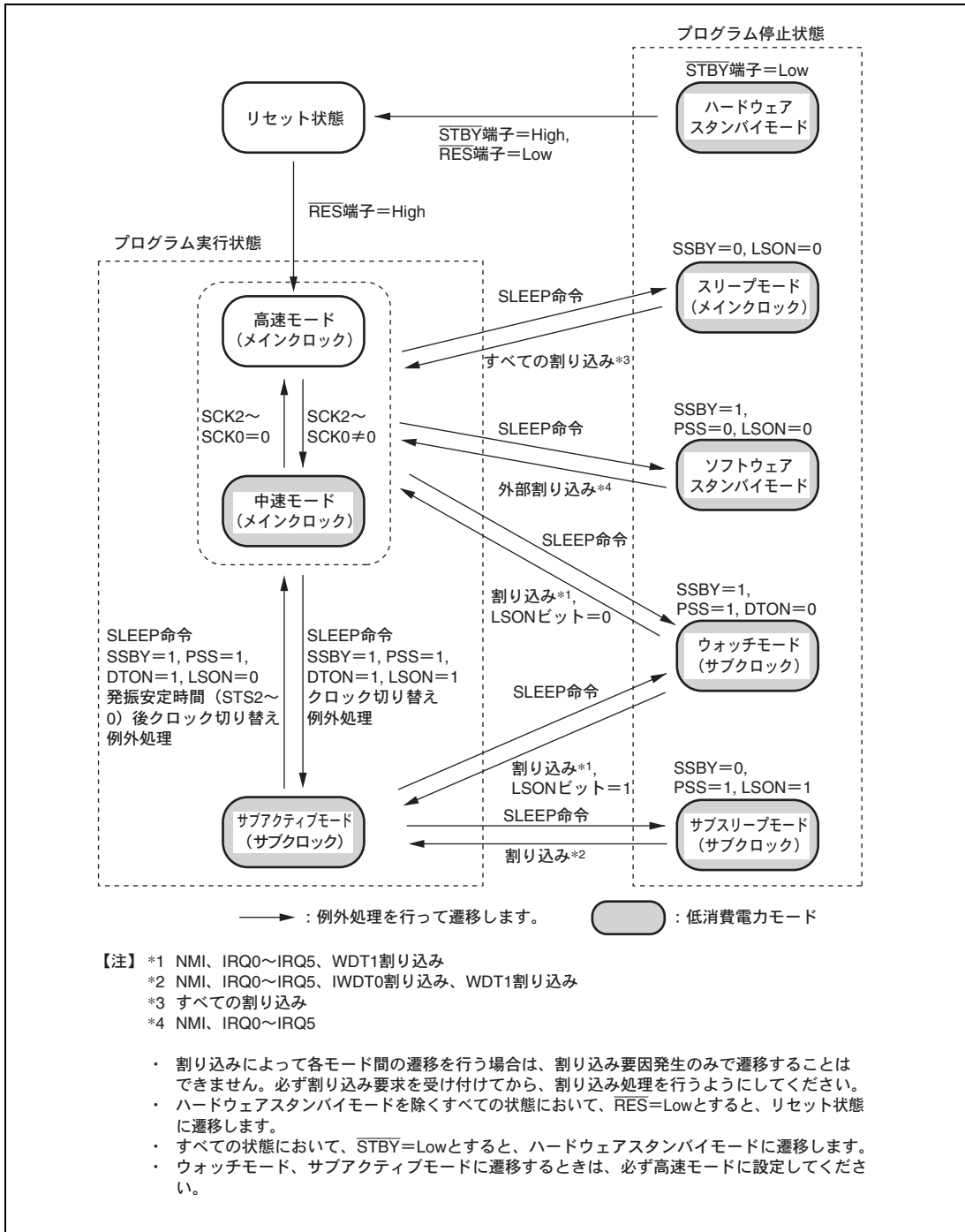


図 21.1 モード遷移図

21. 低消費電力状態

表 21.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速/中速	0	x	0	x	スリープ	高速/中速
	0	x	1	x	—	—
	1	0	0	x	ソフトウェアスタンバイ	高速/中速
	1	0	1	x	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	—	—
	1	1	1	1	サブアクティブ	—
サブアクティブ	0	0	x	x	—	—
	0	1	0	x	—	—
	0	1	1	x	サブスリープ	サブアクティブ
	1	0	x	x	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	—
	1	1	1	1	—	—

【注】 x : Don't care

— : 設定しないでください。

21.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。TCSR については「12.2.2 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)
- タイマコントロール/ステータスレジスタ (TCSR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)
- モジュールストップコントロールレジスタD (MSTPCRD)

21.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説 明
7	SSBY	0	R/W	<p>ソフトウェアスタンバイ</p> <p>SLEEP 命令実行後、低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。詳細は表 21.2 を参照してください。</p> <p>0: 高速モードおよび中速モードで SLEEP 命令を実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令を実行後、サブスリープモードに遷移</p> <p>1: 高速モードおよび中速モードで SLEEP 命令を実行後、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行後、ウォッチモード、あるいは高速モードに遷移</p> <p>なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。クリアする場合は 0 をライトしてください。</p>
6	STS2	0	R/W	<p>スタンバイタイムセレクト</p> <p>特定の割り込みや命令によってソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまでの待機ステート数を選択します。水晶発振の場合、表 21.3 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。</p> <p>000: 待機時間=8192 ステート 001: 待機時間=16384 ステート 010: 待機時間=32768 ステート 011: 待機時間=65536 ステート 100: 待機時間=131072 ステート 101: 待機時間=262144 ステート 110: リザーブ 111: 待機時間=16 ステート</p>
5	STS1	0	R/W	
4	STS0	0	R/W	
3	OPE	1	R/W	<p>出力ポートイネーブル</p> <p>ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号 (AS、RD、HWR、LWR) の出力を保持するか、ハイインピーダンスにするかを指定します。</p> <p>0: アドレスバス、バス制御信号はハイインピーダンス 1: アドレスバス、バス制御信号は出力状態を保持</p>
2~0	—	すべて 0	—	<p>リザーブビット</p> <p>リードすると常に 0 がリードされます。ライトは無効です。</p>

21. 低消費電力状態

• 水晶発振の場合

待機時間が 8ms（発振安定時間）以上となるように STS2～STS0 ビットを設定してください。

表 21.3 に、動作周波数と STS2～STS0 ビットの設定に対する待機時間を示します。

表 21.3 発振安定時間の設定

STS2	STS1	STS0	待機時間	20 MHz	16 MHz	12 MHz	10 MHz	8 MHz	6 MHz	4 MHz	単位
0	0	0	8192 ステート	0.41	0.51	0.65	0.8	1.0	1.3	2.0	ms
0	0	1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	
0	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	8.2	
0	1	1	65536 ステート	3.3	4.1	5.5	6.6	8.2	10.9	16.4	
1	0	0	131072 ステート	6.6	8.2	10.9	13.1	16.4	21.8	32.8	
1	0	1	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	
1	1	0	リザーブ	—	—	—	—	—	—	—	
1	1	1	16 ステート*	0.8	1.0	1.3	1.6	2.0	1.7	4.0	μs

 : 推奨設定時間

【注】 * 本設定は使用しないでください。

• 外部クロックの場合

PLL 回路の安定時間が必要になります。2ms 以上となるように待機時間を設定してください。

21.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は、低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	ダイレクトトランスファオンフラグ SBYCRのSSBYビット、LPWRCRのLSONビット、TCSRのPSSビットとの組み合わせにより、SLEEP命令実行後の遷移先を選択します。詳細は表21.2を参照してください。
6	LSON	0	R/W	ロースピードオンフラグ SBYCRのSSBYビット、LPWRCRのDTONビット、TCSRのPSSビットとの組み合わせにより、SLEEP命令実行後の遷移先を選択します。詳細は表21.2を参照してください。
5	NESEL	0	R/W	ノイズ除去サンプリング周波数選択 サブクロック発振器より生成されたサブクロック (ϕ_{SUB}) を、システムクロック発振器より生成されたクロック (ϕ) により、サンプリングする周波数を選択します。 $\phi=5\text{MHz}$ 以上のときは、0をセットしてください。 0: ϕ の32分周クロックでサンプリング 1: ϕ の4分周クロックでサンプリング
4	SUBSTP	0	R/W	サブクロックイネーブル サブクロック生成の許可または禁止を制御します。 0: サブクロック生成を許可 1: サブクロック生成を禁止
3	RFCUT	0	R/W	発振回路帰環抵抗制御ビット メインクロック発振回路に内蔵されている帰環抵抗のON/OFFを制御します。 0: メインクロック発振時帰環抵抗 ON、メインクロック発振停止時帰環抵抗 OFF 1: 帰環抵抗を OFF
2	—	0	—	リザーブビット ライト時には0をライトしてください。
1	STC1	0	R/W	周波数逡倍率 STCはPLL回路の周波数逡倍率を指定します。 00: $\times 1$ 01: $\times 2$ 10: $\times 4$ 11: 設定禁止 逡倍後のクロック周波数は、本LSIの最大動作周波数を超えないようにしてください。 本機能のPLL $\times 4$ を使用し、外部クロック周波数を低くすることにより、消費電流・ノイズを低減することができます。
0	STC0	0	R/W	

21. 低消費電力状態

21.1.3 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)

MSTPCR は、モジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCRA

ビット	ビット名	初期値	R/W	説明
7	MSTPA7* ¹	0	R/W	
6	MSTPA6	0	R/W	データトランスファコントローラ (DTC)
5	MSTPA5	1	R/W	16 ビットタイマパルスユニット (TPU)
4	MSTPA4* ²	1	R/W	
3	MSTPA3	1	R/W	プログラムパルスジェネレータ (PPG)
2	MSTPA2	1	R/W	D/A 変換器
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0* ²	1	R/W	

• MSTPCRB

ビット	ビット名	初期値	R/W	説明
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
5	MSTPB5	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
4	MSTPB4	1	R/W	I ² C バスインタフェース_0 (IIC_0)
3	MSTPB3	1	R/W	I ² C バスインタフェース_1 (IIC_1)
2	MSTPB2* ²	1	R/W	
1	MSTPB1* ²	1	R/W	
0	MSTPB0* ²	1	R/W	

• MSTPCRC

ビット	ビット名	初期値	R/W	説明
7	MSTPC7* ²	1	R/W	
6	MSTPC6* ²	1	R/W	
5	MSTPC5* ²	1	R/W	
4	MSTPC4	1	R/W	PC ブレークコントローラ (PBC)
3	MSTPC3* ²	1	R/W	
2	MSTPC2* ²	1	R/W	
1	MSTPC1* ²	1	R/W	
0	MSTPC0* ²	1	R/W	

• MSTPCRD

ビット	ビット名	初期値	R/W	説明
7	MSTPD7	1	R/W	モータコントロール PWM タイマ
6	MSTPD6* ²	1	R/W	
5	MSTPD5* ³	不定	—	
4	MSTPD4* ²	1	R/W	
3	MSTPD3* ³	不定	—	
2	MSTPD2* ²	1	R/W	
1	MSTPD1* ³	不定	—	
0	MSTPD0* ³	不定	—	

- 【注】 *1 リード/ライト可能ですが、ライトするときは常に0をライトしてください。
 *2 リード/ライト可能ですが、ライトするときは常に1をライトしてください。
 *3 リードすると不定値が読み出されます。ライトは無効です。

21.2 中速モード

高速モード時に SCKCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2~SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR の PSS ビット=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 21.2 に示します。

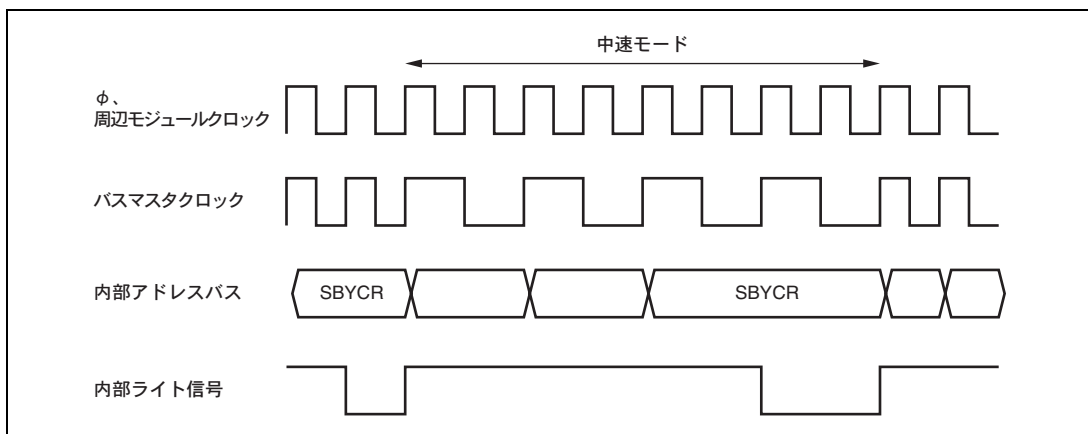


図 21.2 中速モードの遷移・解除タイミング

21.3 スリープモード

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

21.4 ソフトウェアスタンバイモード

SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR の PSS=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器、モータコントロール PWM を除く) と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態となります。

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ5}} \sim \overline{\text{IRQ0}}$)、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

NMI、IRQ5~IRQ0 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2~STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、IRQ5~IRQ0 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ IRQ5~IRQ0 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 21.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

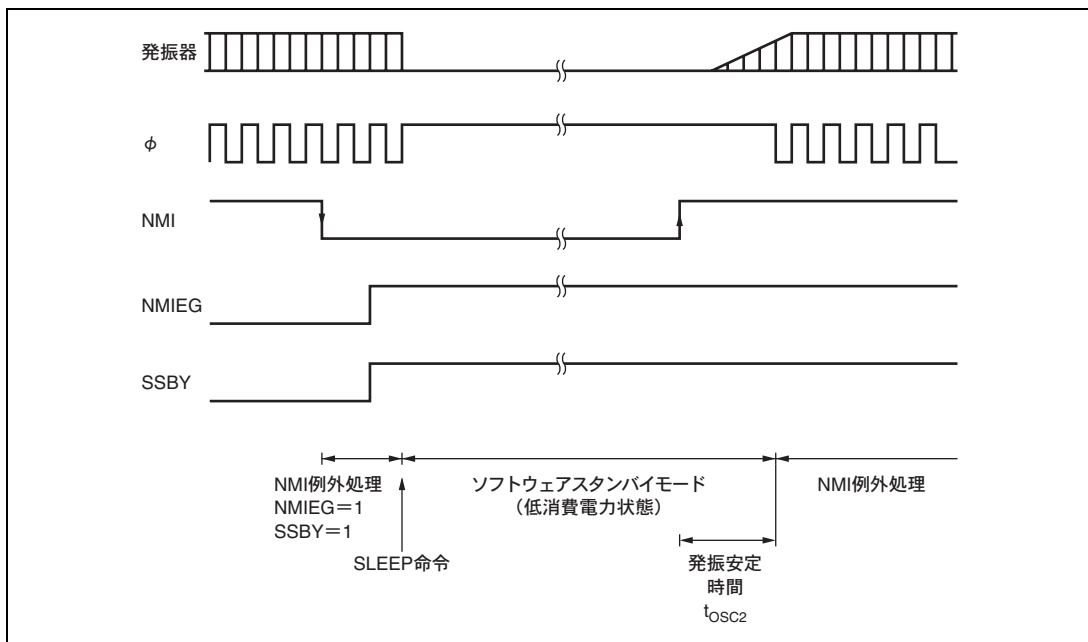


図 21.3 ソフトウェアスタンバイモードの応用例

21.5 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

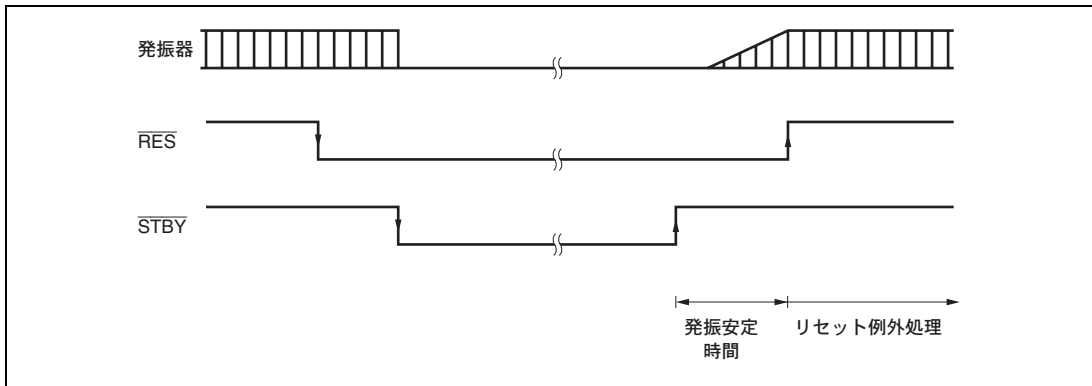


図 21.4 ハードウェアスタンバイモードのタイミング

21.6 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT1 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能（SCI、A/D 変換器、モータコントロール PWM を除く）と I/O ポートの状態は保持されます。

ウォッチモードの解除は、割り込み（WOVII 割り込み、NMI 端子、 $\overline{IRQ5} \sim \overline{IRQ0}$ ）、 \overline{RES} または \overline{STBY} 端子によって行われます。

割り込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット=0 のときは高速モードあるいは中速モードに、LSON ビット=1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ5~IRQ0 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、表 21.3 を参照してください。

\overline{RES} 端子による解除については、「21.4 ソフトウェアスタンバイモード」を参照してください。

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

21.7 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、WDT0、WDT1 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能（SCI、A/D 変換器、モータコントロール PWM を除く）と I/O ポートの状態は保持されます。

サブスリープモードの解除は、割り込み（内蔵周辺機能からの割り込み、NMI 端子、 $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ ）、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ5~IRQ0 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

$\overline{\text{RES}}$ 端子による解除については、「21.4 ソフトウェアスタンバイモード」を参照してください。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

21.8 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=1、TCSR の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビット=1 の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、WDT0、WDT1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCR の SCK2~SCK0 の各ビットを必ず 0 としてください。

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR の PSS ビット=1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、高速モード (SCK0~SCK2 がすべて 0) に直接遷移します。

直接遷移の詳細は「21.10 直接遷移」を参照してください。

$\overline{\text{RES}}$ 端子による解除については、「21.4 ソフトウェアスタンバイモード」を参照してください。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

21.9 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 21.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI*、モータコントロール PWM、A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

【注】 * SCI の一部のレジスタの内部状態は保持されます。

21.10 直接遷移

21.10.1 直接遷移の概要

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの 3 つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

(1) 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=1、DTON ビット=1、TSCR (WDT1) の PSS ビット=1 にセットした状態で SLEEP 命令を実行するとサブアクティブモードに遷移します。

(2) サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、DTON ビット=1、TSCR (WDT_1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、SBYCR の STS2~STS0 により設定された時間を経過した後、直接高速モードに遷移します。

21.11 ϕ クロック出力制御

SCKCR の PSTOP ビット、対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 21.4 に各処理状態における ϕ 端子の状態を示します。

本 LSI に内蔵している PLL 回路を使用し、発振子の周波数を低くしたり、外部に ϕ クロック出力を禁止させることで、不要な輻射ノイズ*を下げる効果がありますので、ユーザのシステムボード設計において十分検討願います。

【注】 * 不要輻射ノイズ：EMI (Electro Magnetic Interference)

表 21.4 各処理状態における ϕ 端子の状態

DDR	0	1	
PSTOP	—	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード、 ウォッチモード、 直接遷移	ハイインピーダンス	High 固定	
スリープモード、 サブスリープモード	ハイインピーダンス	ϕ 出力	High 固定
高速モード、 中速モード、	ハイインピーダンス	ϕ 出力	High 固定
サブアクティブモード	ハイインピーダンス	ϕ SUB 出力	High 固定

21.12 使用上の注意事項

21.12.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを1にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

21.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

21.12.3 DTC のモジュールストップの設定

DTC の動作状態によっては、MSTPA6 ビットは1にセットされない場合があります。DTC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第8章 データトランスファコントローラ (DTC)」を参照してください。

21.12.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。

事前に割り込みを禁止するなど設定してからモジュールストップモードとしてください。

21.12.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

21.12.6 サブアクティブ等の遷移

1. サブアクティブモード、ウォッチモードに遷移する場合はDTCをモジュールストップ (MSTPCRの当該ビットに1ライト) 設定し、当該ビットの1リード確認後、モード遷移してください。

また、モジュールストップの解除 (MSTPCRの当該ビットに0ライト) はサブアクティブモードから高速モードおよび中速モードに遷移後に実行してください。

なお、サブアクティブモード中にDTC起動要因が発生した場合、高速および中速モードに遷移後モジュールストップ解除時にDTCが起動されます。

2. サブアクティブモードで動作停止する内蔵モジュール (DTC、TPU) は、当該割り込みをサブアクティブモードではクリアできません。したがって、割り込みが要求された状態でサブアクティブモードに遷移すると、CPUの割り込み要因がクリアできません。

事前に各モジュールの割り込みをディスエーブルにしたあと、SLEEP命令を実行し、サブアクティブモード／ウォッチモードに遷移してください。

21. 低消費電力状態

- サブアクティブモードで、動作中にポート1、4、9、FのI/Oポートの端子状態をリードすると、常に“1”が読み出されます（ポート1については、P13～P10はリード可能です）。また、各ポートは出力ポートとしての使用は可能です（ポート4、9以外）。

サブアクティブモードで、動作中に端子の状態を検出する方法を、以下に示します。

- (1) ポート3、A～E、H、Jを入力ポートとして使用する。
 - (2) 外部割り込み入力（IRQ0～5）を使用する（IRQ端子をレベルセンスに設定した場合、入力LOWレベルで割り込み要求を発生）。
- LPWRCRのSUBSTPビットが1にセット（サブクロック生成を禁止）された状態で、サブアクティブ/サブスリープ/ウォッチモードに遷移した場合は、動作の保証ができません。事前にSUBSTPビットが0であることを確認してから、サブアクティブ/サブスリープ/ウォッチモードに遷移してください。

22. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、MSB側のビットを記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

22. レジスタ一覧

22.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス*	モジュール	データバス幅	アクセスステート数
PWMコントロールレジスタ_1	PWCR_1	8	H'FC00	PWM_1	16	4
PWMアウトプットコントロールレジスタ_1	PWOOCR_1	8	H'FC02	PWM_1	16	4
PWMポラリティレジスタ_1	PWPR_1	8	H'FC04	PWM_1	16	4
PWMサイクルレジスタ_1	PWCYR_1	16	H'FC06	PWM_1	16	4
PWMバッファレジスタ_1A	PWBFR_1A	16	H'FC08	PWM_1	16	4
PWMバッファレジスタ_1C	PWBFR_1C	16	H'FC0A	PWM_1	16	4
PWMバッファレジスタ_1E	PWBFR_1E	16	H'FC0C	PWM_1	16	4
PWMバッファレジスタ_1G	PWBFR_1G	16	H'FC0E	PWM_1	16	4
PWMコントロールレジスタ_2	PWCR_2	8	H'FC10	PWM_2	16	4
PWMアウトプットコントロールレジスタ_2	PWOOCR_2	8	H'FC12	PWM_2	16	4
PWMポラリティレジスタ_2	PWPR_2	8	H'FC14	PWM_2	16	4
PWMサイクルレジスタ_2	PWCYR_2	16	H'FC16	PWM_2	16	4
PWMバッファレジスタ_2A	PWBFR_2A	16	H'FC18	PWM_2	16	4
PWMバッファレジスタ_2B	PWBFR_2B	16	H'FC1A	PWM_2	16	4
PWMバッファレジスタ_2C	PWBFR_2C	16	H'FC1C	PWM_2	16	4
PWMバッファレジスタ_2D	PWBFR_2D	16	H'FC1E	PWM_2	16	4
ポートHデータディレクションレジスタ	PHDDR	8	H'FC20	PORT	16	4
ポートJデータディレクションレジスタ	PJDDR	8	H'FC21	PORT	16	4
ポートHデータレジスタ	PHDR	8	H'FC24	PORT	16	4
ポートJデータレジスタ	PJDR	8	H'FC25	PORT	16	4
ポートHレジスタ	PORTH	8	H'FC28	PORT	16	4
ポートJレジスタ	PORTJ	8	H'FC29	PORT	16	4
モジュールストップコントロールレジスタ D	MSTPCRD	8	H'FC60	SYSTEM	8	4
シリアルコントロールレジスタ X	SCRX	8	H'FDB4	IIC	8	2
DDCスイッチレジスタ	DDCSWR	8	H'FDB5	IIC	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FDE5	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FDE7	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	SYSTEM	8	2

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	SYSTEM	8	2
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	SYSTEM	8	2
端子機能コントロールレジスタ	PFCR	8	H'FDEB	BSC	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	SYSTEM	8	2
ブレイクアドレスレジスタ A	BARA	32	H'FE00	PBC	32	2
ブレイクアドレスレジスタ B	BARB	32	H'FE04	PBC	32	2
ブレイクコントロールレジスタ A	BCRA	8	H'FE08	PBC	8	2
ブレイクコントロールレジスタ B	BCRB	8	H'FE09	PBC	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	INT	8	2
IRQ センスコントロールレジスタ L	ISCR L	8	H'FE13	INT	8	2
IRQ イネーブルレジスタ	IER	8	H'FE14	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FE15	INT	8	2
DTC イネーブルレジスタ A	DTCERA	8	H'FE16	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FE17	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FE18	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FE19	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FE1A	DTC	8	2
DTC イネーブルレジスタ F	DTCERF	8	H'FE1B	DTC	8	2
DTC イネーブルレジスタ G	DTCERG	8	H'FE1C	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FE1F	DTC	8	2
PPG 出力コントロールレジスタ	PCR	8	H'FE26	PPG	8	2
PPG 出力モードレジスタ	PMR	8	H'FE27	PPG	8	2
ネクストデータイネーブルレジスタ H	NDERH	8	H'FE28	PPG	8	2
ネクストデータイネーブルレジスタ L	NDERL	8	H'FE29	PPG	8	2
アウトプットデータレジスタ H	PODRH	8	H'FE2A	PPG	8	2
アウトプットデータレジスタ L	PODRL	8	H'FE2B	PPG	8	2
ネクストデータレジスタ H	NDRH	8	H'FE2C	PPG	8	2
ネクストデータレジスタ L	NDRL	8	H'FE2D	PPG	8	2
ネクストデータレジスタ H	NDRH	8	H'FE2E	PPG	8	2
ネクストデータレジスタ L	NDRL	8	H'FE2F	PPG	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE39	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE3A	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE3B	PORT	8	2

22. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
ポートDデータディレクションレジスタ	PDDDR	8	H'FE3C	PORT	8	2
ポートEデータディレクションレジスタ	PEDDR	8	H'FE3D	PORT	8	2
ポートFデータディレクションレジスタ	PFDDR	8	H'FE3E	PORT	8	2
ポートAブルアップMOSコントロールレジスタ	PAPCR	8	H'FE40	PORT	8	2
ポートBブルアップMOSコントロールレジスタ	PBPCR	8	H'FE41	PORT	8	2
ポートCブルアップMOSコントロールレジスタ	PCPCR	8	H'FE42	PORT	8	2
ポートDブルアップMOSコントロールレジスタ	PDPCR	8	H'FE43	PORT	8	2
ポートEブルアップMOSコントロールレジスタ	PEPCR	8	H'FE44	PORT	8	2
ポート3オーブンドレインコントロール レジスタ	P3ODR	8	H'FE46	PORT	8	2
ポートAオーブンドレインコントロール レジスタ	PAODR	8	H'FE47	PORT	8	2
ポートBオーブンドレインコントロール レジスタ	PBODR	8	H'FE48	PORT	8	2
ポートCオーブンドレインコントロール レジスタ	PCODR	8	H'FE49	PORT	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	16	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	16	2
タイマI/OコントロールレジスタH_3	TIORH_3	8	H'FE82	TPU_3	16	2
タイマI/OコントロールレジスタL_3	TIORL_3	8	H'FE83	TPU_3	16	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	16	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	16	2
タイマカウンタH_3	TCNTH_3	8	H'FE86	TPU_3	16	2
タイマカウンタL_3	TCNTL_3	8	H'FE87	TPU_3	16	2
タイマジェネラルレジスタAH_3	TGRAH_3	8	H'FE88	TPU_3	16	2
タイマジェネラルレジスタAL_3	TGRAL_3	8	H'FE89	TPU_3	16	2
タイマジェネラルレジスタBH_3	TGRBH_3	8	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタBL_3	TGRBL_3	8	H'FE8B	TPU_3	16	2
タイマジェネラルレジスタCH_3	TGRCH_3	8	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタCL_3	TGRCL_3	8	H'FE8D	TPU_3	16	2
タイマジェネラルレジスタDH_3	TGRDH_3	8	H'FE8E	TPU_3	16	2
タイマジェネラルレジスタDL_3	TGRDL_3	8	H'FE8F	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	16	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	16	2
タイマI/Oコントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	16	2
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	16	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	16	2

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ H_4	TCNTH_4	8	H'FE96	TPU_4	16	2
タイマカウンタ L_4	TCNTL_4	8	H'FE97	TPU_4	16	2
タイマジェネラルレジスタ AH_4	TGRAH_4	8	H'FE98	TPU_4	16	2
タイマジェネラルレジスタ AL_4	TGRAL_4	8	H'FE99	TPU_4	16	2
タイマジェネラルレジスタ BH_4	TGRBH_4	8	H'FE9A	TPU_4	16	2
タイマジェネラルレジスタ BL_4	TGRBL_4	8	H'FE9B	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	16	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	16	2
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	16	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	16	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	16	2
タイマカウンタ H_5	TCNTH_5	8	H'FEA6	TPU_5	16	2
タイマカウンタ L_5	TCNTL_5	8	H'FEA7	TPU_5	16	2
タイマジェネラルレジスタ AH_5	TGRAH_5	8	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタ AL_5	TGRAL_5	8	H'FEA9	TPU_5	16	2
タイマジェネラルレジスタ BH_5	TGRBH_5	8	H'FEAA	TPU_5	16	2
タイマジェネラルレジスタ BL_5	TGRBL_5	8	H'FEAB	TPU_5	16	2
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU 共通	16	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU 共通	16	2
インタラプトプライオリティレジスタ A	IPRA	8	H'FEC0	INT	8	2
インタラプトプライオリティレジスタ B	IPRB	8	H'FEC1	INT	8	2
インタラプトプライオリティレジスタ C	IPRC	8	H'FEC2	INT	8	2
インタラプトプライオリティレジスタ D	IPRD	8	H'FEC3	INT	8	2
インタラプトプライオリティレジスタ E	IPRE	8	H'FEC4	INT	8	2
インタラプトプライオリティレジスタ F	IPRF	8	H'FEC5	INT	8	2
インタラプトプライオリティレジスタ G	IPRG	8	H'FEC6	INT	8	2
インタラプトプライオリティレジスタ H	IPRH	8	H'FEC7	INT	8	2
インタラプトプライオリティレジスタ J	IPRJ	8	H'FEC9	INT	8	2
インタラプトプライオリティレジスタ K	IPRK	8	H'FECA	INT	8	2
インタラプトプライオリティレジスタ L	IPRL	8	H'FECEB	INT	8	2
インタラプトプライオリティレジスタ M	IPRM	8	H'FECC	INT	8	2
バス幅コントロールレジスタ	ABWCR	8	H'FED0	BSC	8	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FED1	BSC	8	2
ウェイトコントロールレジスタ H	WCRH	8	H'FED2	BSC	8	2
ウェイトコントロールレジスタ L	WCRL	8	H'FED3	BSC	8	2

22. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
バスコントロールレジスタ H	BCRH	8	H'FED4	BSC	8	2
バスコントロールレジスタ L	BCRL	8	H'FED5	BSC	8	2
RAM エミュレーションレジスタ	RAMER	8	H'FEDB	FLASH (F-ZTAT 版)	8	2
ポート 1 データレジスタ	P1DR	8	H'FF00	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FF02	PORT	8	2
ポート A データレジスタ	PADR	8	H'FF09	PORT	8	2
ポート B データレジスタ	PBDR	8	H'FF0A	PORT	8	2
ポート C データレジスタ	PCDR	8	H'FF0B	PORT	8	2
ポート D データレジスタ	PDDR	8	H'FF0C	PORT	8	2
ポート E データレジスタ	PEDR	8	H'FF0D	PORT	8	2
ポート F データレジスタ	PFDR	8	H'FF0E	PORT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF10	TPU_0	16	2
タイマモードレジスタ_0	TMDR_0	8	H'FF11	TPU_0	16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FF12	TPU_0	16	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FF13	TPU_0	16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FF14	TPU_0	16	2
タイマステータスレジスタ_0	TSR_0	8	H'FF15	TPU_0	16	2
タイマカウンタ H_0	TCNTH_0	8	H'FF16	TPU_0	16	2
タイマカウンタ L_0	TCNTL_0	8	H'FF17	TPU_0	16	2
タイマジェネラルレジスタ AH_0	TGRAH_0	8	H'FF18	TPU_0	16	2
タイマジェネラルレジスタ AL_0	TGRAL_0	8	H'FF19	TPU_0	16	2
タイマジェネラルレジスタ BH_0	TGRBH_0	8	H'FF1A	TPU_0	16	2
タイマジェネラルレジスタ BL_0	TGRBL_0	8	H'FF1B	TPU_0	16	2
タイマジェネラルレジスタ CH_0	TGRCH_0	8	H'FF1C	TPU_0	16	2
タイマジェネラルレジスタ CL_0	TGRCL_0	8	H'FF1D	TPU_0	16	2
タイマジェネラルレジスタ DH_0	TGRDH_0	8	H'FF1E	TPU_0	16	2
タイマジェネラルレジスタ DL_0	TGRDL_0	8	H'FF1F	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	TPU_1	16	2
タイマモードレジスタ_1	TMDR_1	8	H'FF21	TPU_1	16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FF22	TPU_1	16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	TPU_1	16	2
タイマステータスレジスタ_1	TSR_1	8	H'FF25	TPU_1	16	2

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ H_1	TCNTH_1	8	H'FF26	TPU_1	16	2
タイマカウンタ L_1	TCNTL_1	8	H'FF27	TPU_1	16	2
タイマジェネラルレジスタ AH_1	TGRAH_1	8	H'FF28	TPU_1	16	2
タイマジェネラルレジスタ AL_1	TGRAL_1	8	H'FF29	TPU_1	16	2
タイマジェネラルレジスタ BH_1	TGRBH_1	8	H'FF2A	TPU_1	16	2
タイマジェネラルレジスタ BL_1	TGRBL_1	8	H'FF2B	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	TPU_2	16	2
タイマモードレジスタ_2	TMDR_2	8	H'FF31	TPU_2	16	2
タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FF32	TPU_2	16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FF34	TPU_2	16	2
タイマステータスレジスタ_2	TSR_2	8	H'FF35	TPU_2	16	2
タイマカウンタ H_2	TCNTH_2	8	H'FF36	TPU_2	16	2
タイマカウンタ L_2	TCNTL_2	8	H'FF37	TPU_2	16	2
タイマジェネラルレジスタ AH_2	TGRAH_2	8	H'FF38	TPU_2	16	2
タイマジェネラルレジスタ AL_2	TGRAL_2	8	H'FF39	TPU_2	16	2
タイマジェネラルレジスタ BH_2	TGRBH_2	8	H'FF3A	TPU_2	16	2
タイマジェネラルレジスタ BL_2	TGRBL_2	8	H'FF3B	TPU_2	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FF74	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FF75	WDT_0	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FF77	WDT_0	16	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
I ² C バスコントロールレジスタ_0	ICCR_0	8	H'FF78	IIC_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FF79	IIC_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2
I ² C バスデータレジスタ_0	ICDR_0	8	H'FF7E	IIC_0	8	2
第2スレーブアドレスレジスタ_0	SARX_0	8	H'FF7E	IIC_0	8	2
I ² C バスモードレジスタ_0	ICMR_0	8	H'FF7F	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FF7F	IIC_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
I ² C バスコントロールレジスタ_1	ICCR_1	8	H'FF80	IIC_1	8	2

22. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FF81	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
I ² C バスデータレジスタ_1	ICDR_1	8	H'FF86	IIC_1	8	2
第2スレーブアドレスレジスタ_1	SARX_1	8	H'FF86	IIC_1	8	2
I ² C バスモードレジスタ_1	ICMR_1	8	H'FF87	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FF87	IIC_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	SCI_2	8	2
A/D データレジスタ AH	ADDRAH	8	H'FF90	A/D	8	2
A/D データレジスタ AL	ADDRAL	8	H'FF91	A/D	8	2
A/D データレジスタ BH	ADDRBH	8	H'FF92	A/D	8	2
A/D データレジスタ BL	ADDRBL	8	H'FF93	A/D	8	2
A/D データレジスタ CH	ADDRCH	8	H'FF94	A/D	8	2
A/D データレジスタ CL	ADDRCL	8	H'FF95	A/D	8	2
A/D データレジスタ DH	ADDRDH	8	H'FF96	A/D	8	2
A/D データレジスタ DL	ADDRDL	8	H'FF97	A/D	8	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FF98	A/D	8	2
A/D コントロールレジスタ	ADCR	8	H'FF99	A/D	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFA2	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFA3	WDT_1	16	2
D/A データレジスタ 0	DADR0	8	H'FFA4	D/A	8	2
D/A データレジスタ 1	DADR1	8	H'FFA5	D/A	8	2
D/A コントロールレジスタ	DACR	8	H'FFA6	D/A	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFA8	FLASH (F-ZTAT 版)	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFA9	FLASH (F-ZTAT 版)	8	2

レジスタ名称	略称	ビット数	アドレス*	モジュール	データ バス幅	アクセス ステート数
消去ブロック指定レジスタ 1	EBR1	8	H'FFAA	FLASH (F-ZTAT 版)	8	2
消去ブロック指定レジスタ 2	EBR2	8	H'FFAB	FLASH (F-ZTAT 版)	8	2
フラッシュメモリパワーコントロール レジスタ	FLPWCR	8	H'FFAC	FLASH (F-ZTAT 版)	8	2
ポート 1 レジスタ	PORT1	8	H'FFB0	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FFB2	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FFB3	PORT	8	2
ポート 9 レジスタ	PORT9	8	H'FFB8	PORT	8	2
ポート A レジスタ	PORTA	8	H'FFB9	PORT	8	2
ポート B レジスタ	PORTB	8	H'FFBA	PORT	8	2
ポート C レジスタ	PORTC	8	H'FFBB	PORT	8	2
ポート D レジスタ	PORTD	8	H'FFBC	PORT	8	2
ポート E レジスタ	PORTE	8	H'FFBD	PORT	8	2
ポート F レジスタ	PORTF	8	H'FFBE	PORT	8	2

【注】 * アドレスの下位 16 ビットを示しています。

22. レジスタ一覧

22.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PWCR_1	—	—	IE	CMF	CST	CKS2	CKS1	CKS0	PWM_1
PWOOCR_1	OE1H	OE1G	OE1F	OE1E	OE1D	OE1C	OE1B	OE1A	
PWPR_1	OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A	
PWCYR_1	—	—	—	—	—	—	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PWBFR_1A	—	—	—	OTS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_1C	—	—	—	OTS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_1E	—	—	—	OTS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_1G	—	—	—	OTS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWCR_2	—	—	IE	CMF	CST	CKS2	CKS1	CKS0	PWM_2
PWOOCR_2	OE2H	OE2G	OE2F	OE2E	OE2D	OE2C	OE2B	OE2A	
PWPR_2	OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A	
PWCYR_2	—	—	—	—	—	—	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PWBFR_2A	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_2B	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_2C	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_2D	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	PORT
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	

22. レジスター一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	PORT
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
MSTPCRD	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0	SYSTEM
SCRX	—	IICX1	IICX0	IICE	—	—	—	—	IIC
DDCSWR	—	—	—	—	CLR3	CLR2	CLR1	CLR0	
SBYCR	SSBY	STS2	STS1	STS0	OPE	—	—	—	SYSTEM
SYSCR	MACS	—	INTM1	INTM0	NMIEG	—	—	RAME	
SCKCR	PSTOP	—	—	—	STCS	SCK2	SCK1	SCK0	SYSTEM
MDCR	—	—	—	—	—	MDS2	MDS1	MDS0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	SYSTEM
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	SYSTEM
PFCR	—	—	—	—	AE3	AE2	AE1	AE0	
LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT	—	STC1	STC0	SYSTEM
BARA	—	—	—	—	—	—	—	—	PBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BARB	—	—	—	—	—	—	—	—	PBC
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BCRA	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA	PBC
BCRB	CMFB	CDB	BAMRB2	BAMRB1	BAMRB0	CSELB1	CSELB0	BIEB	
ISCRH	—	—	—	—	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	INT
ISCRJ	—	—	—	—	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	
ISCRK	—	—	—	—	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	INT
ISCRM	—	—	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	
ISCRN	—	—	—	—	IRQ4F	IRQ3F	IRQ2F	IRQ1F	INT
ISCRP	—	—	—	—	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	DTC
DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	DTC
DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCERG	DTCEG7	DTCEG6	DTCEG5	DTCEG4	DTCEG3	DTCEG2	DTCEG1	DTCEG0	DTC
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	

22. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRH	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
NDRL	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
NDRH	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
NDRL	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P3DDR	—	—	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
PADDR	—	—	—	—	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	—	—	PF0DDR	
PAPCR	—	—	—	—	PA3PCR	PA2PCR	PA1PCR	PA0PCR	
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR	—	—	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
PAODR	—	—	—	—	PA3ODR	PA2ODR	PA1ODR	PA0ODR	
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR	
PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR	

22. レジスター一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3	
TMDR_3	—	—	BFB	BFA	MD3	MD2	MD1	MD0		
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_3	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNTH_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRCH_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRCL_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRDH_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRDL_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_4	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_4
TMDR_4	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_4	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_4	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNTH_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_5	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5	
TMDR_5	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_5	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_5	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNTH_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_5	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_5	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		

22. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRBH_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_5
TGRBL_5	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TSTR	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU 共通
TSYR	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
IPRA	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	INT
IPRB	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRC	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRD	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRE	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRF	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRG	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRH	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRJ	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRK	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRL	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
IPRM	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WCRH	W71	W70	W61	W60	W51	W50	W41	W40	
WCRL	W31	W30	W21	W20	W11	W10	W01	W00	
BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	—	—	
BCRL	—	—	—	—	—	—	WDBE	—	
RAMER	—	—	—	—	RAMS	RAM2	RAM1	RAM0	FLASH (F-ZTAT 版)
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT
P3DR	—	—	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
PADR	—	—	—	—	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	—	—	PF0DR	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	

22. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	TPU_0	
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNTH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRCH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRCL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRDH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRDL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_1
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNTH_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2	
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNTH_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCSR_0	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0		WDT_0
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
RSTCSR	WOVF	RSTE	RSTS	—	—	—	—	—		

22. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_0*	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_0
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_0
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_0*	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF	
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR1	IIC_0
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
SMR_1*	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_1
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_1
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_1*	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF	
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR1	IIC_1
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
SMR_2*	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_2
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_2*	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	SCI_2

22. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_2
SCMR_2	—	—	—	—	SDIR	SINV	—	SMIF	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
ADDRAL	AD1	AD0	—	—	—	—	—	—	
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0	—	—	—	—	—	—	
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0	—	—	—	—	—	—	
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0	—	—	—	—	—	—	
ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	—	—	CKS1	CKS0	—	—	
TCSR_1	OVF	WT/IT	TME	PSS	RST/ NMI	CKS2	CKS1	CKS0	WDT_1
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A
DADR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DADR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR	DAOE1	DAOE0	DAE	—	—	—	—	—	FLASH (F-ZTAT版)
FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	
FLMCR2	FLER	—	—	—	—	—	—	—	
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2	—	—	EB13	EB12	EB11	EB10	EB9	EB8	
FLPWCR	PDWND	—	—	—	—	—	—	—	PORT
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	
PORT3	—	—	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT9	—	—	—	—	P93	P92	P91	P90	
PORTA	—	—	—	—	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	—	—	PF1	

【注】 * 通常モードとスマートカードインタフェースモードで一部のビットが異なります。

() はスマートカードインタフェースモード時のビット機能

22.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PWCR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	PWM_1
PWOCR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWPR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWCYR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1A	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1C	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1E	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1G	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWCR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	PWM_2
PWOCR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWPR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWCYR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2A	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2B	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2C	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2D	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PHDDR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
PJDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PHDR	初期化	-	-	-	-	-	-	-	-	初期化	
PJDR	初期化	-	-	-	-	-	-	-	-	初期化	
PORTH	初期化	-	-	-	-	-	-	-	-	初期化	
PORTJ	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRD	初期化	-	-	-	-	-	-	-	-	初期化	SYSTEM
SCRX	初期化	-	-	-	-	-	-	-	-	初期化	IIC
DDCSWR	初期化	-	-	-	-	-	-	-	-	初期化	
SBYCR	初期化	-	-	-	-	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	-	-	-	-	-	-	-	-	初期化	
SCKCR	初期化	-	-	-	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRA	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRB	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRC	初期化	-	-	-	-	-	-	-	-	初期化	

22. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PAPCR	初期化	-	-	-	-	-	-	-	初期化	PORT
PBPCR	初期化	-	-	-	-	-	-	-	初期化	
PCPCR	初期化	-	-	-	-	-	-	-	初期化	
PDPCR	初期化	-	-	-	-	-	-	-	初期化	
PEPCR	初期化	-	-	-	-	-	-	-	初期化	
P3ODR	初期化	-	-	-	-	-	-	-	初期化	
PAODR	初期化	-	-	-	-	-	-	-	初期化	
PBODR	初期化	-	-	-	-	-	-	-	初期化	
PCODR	初期化	-	-	-	-	-	-	-	初期化	
TCR_3	初期化	-	-	-	-	-	-	-	初期化	TPU_3
TMDR_3	初期化	-	-	-	-	-	-	-	初期化	
TIORH_3	初期化	-	-	-	-	-	-	-	初期化	
TIORL_3	初期化	-	-	-	-	-	-	-	初期化	
TIER_3	初期化	-	-	-	-	-	-	-	初期化	
TSR_3	初期化	-	-	-	-	-	-	-	初期化	
TCNTH_3	初期化	-	-	-	-	-	-	-	初期化	
TCNTL_3	初期化	-	-	-	-	-	-	-	初期化	
TGRAH_3	初期化	-	-	-	-	-	-	-	初期化	
TGRAL_3	初期化	-	-	-	-	-	-	-	初期化	
TGRBH_3	初期化	-	-	-	-	-	-	-	初期化	
TGRBL_3	初期化	-	-	-	-	-	-	-	初期化	
TGRCH_3	初期化	-	-	-	-	-	-	-	初期化	
TGRCL_3	初期化	-	-	-	-	-	-	-	初期化	
TGRDH_3	初期化	-	-	-	-	-	-	-	初期化	
TGRDL_3	初期化	-	-	-	-	-	-	-	初期化	
TCR_4	初期化	-	-	-	-	-	-	-	初期化	TPU_4
TMDR_4	初期化	-	-	-	-	-	-	-	初期化	
TIOR_4	初期化	-	-	-	-	-	-	-	初期化	
TIER_4	初期化	-	-	-	-	-	-	-	初期化	
TSR_4	初期化	-	-	-	-	-	-	-	初期化	
TCNTH_4	初期化	-	-	-	-	-	-	-	初期化	
TCNTL_4	初期化	-	-	-	-	-	-	-	初期化	
TGRAH_4	初期化	-	-	-	-	-	-	-	初期化	
TGRAL_4	初期化	-	-	-	-	-	-	-	初期化	
TGRBH_4	初期化	-	-	-	-	-	-	-	初期化	
TGRBL_4	初期化	-	-	-	-	-	-	-	初期化	

22. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCR_5	初期化	-	-	-	-	-	-	-	初期化	TPU_5
TMDR_5	初期化	-	-	-	-	-	-	-	初期化	
TIOR_5	初期化	-	-	-	-	-	-	-	初期化	
TIER_5	初期化	-	-	-	-	-	-	-	初期化	
TSR_5	初期化	-	-	-	-	-	-	-	初期化	
TCNTH_5	初期化	-	-	-	-	-	-	-	初期化	
TCNTL_5	初期化	-	-	-	-	-	-	-	初期化	
TGRAH_5	初期化	-	-	-	-	-	-	-	初期化	
TGRAL_5	初期化	-	-	-	-	-	-	-	初期化	
TGRBH_5	初期化	-	-	-	-	-	-	-	初期化	
TGRBL_5	初期化	-	-	-	-	-	-	-	初期化	
TSTR	初期化	-	-	-	-	-	-	-	初期化	TPU
TSYR	初期化	-	-	-	-	-	-	-	初期化	共通
IPRA	初期化	-	-	-	-	-	-	-	初期化	INT
IPRB	初期化	-	-	-	-	-	-	-	初期化	
IPRC	初期化	-	-	-	-	-	-	-	初期化	
IPRD	初期化	-	-	-	-	-	-	-	初期化	
IPRE	初期化	-	-	-	-	-	-	-	初期化	
IPRF	初期化	-	-	-	-	-	-	-	初期化	
IPRG	初期化	-	-	-	-	-	-	-	初期化	
IPRH	初期化	-	-	-	-	-	-	-	初期化	
IPRJ	初期化	-	-	-	-	-	-	-	初期化	
IPRK	初期化	-	-	-	-	-	-	-	初期化	
IPRL	初期化	-	-	-	-	-	-	-	初期化	
IPRM	初期化	-	-	-	-	-	-	-	初期化	
ABWCR	初期化	-	-	-	-	-	-	-	初期化	BSC
ASTCR	初期化	-	-	-	-	-	-	-	初期化	
WCRH	初期化	-	-	-	-	-	-	-	初期化	
WCRL	初期化	-	-	-	-	-	-	-	初期化	
BCRH	初期化	-	-	-	-	-	-	-	初期化	
BCRL	初期化	-	-	-	-	-	-	-	初期化	
RAMER	初期化	-	-	-	-	-	-	-	初期化	FLASH (F-ZTAT 版)
P1DR	初期化	-	-	-	-	-	-	-	初期化	PORT
P3DR	初期化	-	-	-	-	-	-	-	初期化	
PADR	初期化	-	-	-	-	-	-	-	初期化	

22. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PBDR	初期化	-	-	-	-	-	-	-	初期化	PORT
PCDR	初期化	-	-	-	-	-	-	-	初期化	
PDDR	初期化	-	-	-	-	-	-	-	初期化	
PEDR	初期化	-	-	-	-	-	-	-	初期化	
PFDR	初期化	-	-	-	-	-	-	-	初期化	
TCR_0	初期化	-	-	-	-	-	-	-	初期化	TPU_0
TMDR_0	初期化	-	-	-	-	-	-	-	初期化	
TIORH_0	初期化	-	-	-	-	-	-	-	初期化	
TIORL_0	初期化	-	-	-	-	-	-	-	初期化	
TIER_0	初期化	-	-	-	-	-	-	-	初期化	
TSR_0	初期化	-	-	-	-	-	-	-	初期化	
TCNTH_0	初期化	-	-	-	-	-	-	-	初期化	
TCNTL_0	初期化	-	-	-	-	-	-	-	初期化	
TGRAH_0	初期化	-	-	-	-	-	-	-	初期化	
TGRAL_0	初期化	-	-	-	-	-	-	-	初期化	
TGRBH_0	初期化	-	-	-	-	-	-	-	初期化	
TGRBL_0	初期化	-	-	-	-	-	-	-	初期化	
TGRCH_0	初期化	-	-	-	-	-	-	-	初期化	
TGRCL_0	初期化	-	-	-	-	-	-	-	初期化	
TGRDH_0	初期化	-	-	-	-	-	-	-	初期化	
TGRDL_0	初期化	-	-	-	-	-	-	-	初期化	
TCR_1	初期化	-	-	-	-	-	-	-	初期化	TPU_1
TMDR_1	初期化	-	-	-	-	-	-	-	初期化	
TIOR_1	初期化	-	-	-	-	-	-	-	初期化	
TIER_1	初期化	-	-	-	-	-	-	-	初期化	
TSR_1	初期化	-	-	-	-	-	-	-	初期化	
TCNTH_1	初期化	-	-	-	-	-	-	-	初期化	
TCNTL_1	初期化	-	-	-	-	-	-	-	初期化	
TGRAH_1	初期化	-	-	-	-	-	-	-	初期化	
TGRAL_1	初期化	-	-	-	-	-	-	-	初期化	
TGRBH_1	初期化	-	-	-	-	-	-	-	初期化	
TGRBL_1	初期化	-	-	-	-	-	-	-	初期化	

22. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCR_2	初期化	-	-	-	-	-	-	-	初期化	TPU_2
TMDR_2	初期化	-	-	-	-	-	-	-	初期化	
TIOR_2	初期化	-	-	-	-	-	-	-	初期化	
TIER_2	初期化	-	-	-	-	-	-	-	初期化	
TSR_2	初期化	-	-	-	-	-	-	-	初期化	
TCNTH_2	初期化	-	-	-	-	-	-	-	初期化	
TCNTL_2	初期化	-	-	-	-	-	-	-	初期化	
TGRAH_2	初期化	-	-	-	-	-	-	-	初期化	
TGRAL_2	初期化	-	-	-	-	-	-	-	初期化	
TGRBH_2	初期化	-	-	-	-	-	-	-	初期化	
TGRBL_2	初期化	-	-	-	-	-	-	-	初期化	
TCSR_0	初期化	-	-	-	-	-	-	-	初期化	WDT_0
TCNT_0	初期化	-	-	-	-	-	-	-	初期化	
RSTCSR	初期化	-	-	-	-	-	-	-	初期化	
SMR_0	初期化	-	-	-	-	-	-	-	初期化	SCI_0
ICCR_0	初期化	-	-	-	-	-	-	-	初期化	IIC_0
BRR_0	初期化	-	-	-	-	-	-	-	初期化	SCI_0
ICSR_0	初期化	-	-	-	-	-	-	-	初期化	IIC_0
SCR_0	初期化	-	-	-	-	-	-	-	初期化	SCI_0
TDR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	-	-	-	-	-	-	-	初期化	
ICDR_0	-	-	-	-	-	-	-	-	-	IIC_0
SARX_0	初期化	-	-	-	-	-	-	-	初期化	
ICMR_0	初期化	-	-	-	-	-	-	-	初期化	
SAR_0	初期化	-	-	-	-	-	-	-	初期化	
SMR_1	初期化	-	-	-	-	-	-	-	初期化	SCI_1
ICCR_1	初期化	-	-	-	-	-	-	-	初期化	IIC_1
BRR_1	初期化	-	-	-	-	-	-	-	初期化	SCI_1
ICSR_1	初期化	-	-	-	-	-	-	-	初期化	IIC_1
SCR_1	初期化	-	-	-	-	-	-	-	初期化	SCI_1
TDR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化	-	-	-	-	-	-	-	初期化	

22. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
ICDR_1	-	-	-	-	-	-	-	-	-	-	IIC_1
SARX_1	初期化	-	-	-	-	-	-	-	-	初期化	
ICMR_1	初期化	-	-	-	-	-	-	-	-	初期化	
SAR_1	初期化	-	-	-	-	-	-	-	-	初期化	
SMR_2	初期化	-	-	-	-	-	-	-	-	初期化	SCI_2
BRR_2	初期化	-	-	-	-	-	-	-	-	初期化	
SCR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TDR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	-	-	-	-	-	-	-	-	初期化	
ADDRAH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	A/D
ADDRAL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	-	-	-	-	-	-	-	-	初期化	WDT_1
TCNT_1	初期化	-	-	-	-	-	-	-	-	初期化	
DADR0	初期化	-	-	-	-	-	-	-	-	初期化	D/A
DADR1	初期化	-	-	-	-	-	-	-	-	初期化	
DACR	初期化	-	-	-	-	-	-	-	-	初期化	
FLMCR1	初期化	-	-	-	-	-	-	-	-	初期化	FLASH
FLMCR2	初期化	-	-	-	-	-	-	-	-	初期化	(F-ZTAT 版)
EBR1	初期化	-	-	-	-	-	-	-	-	初期化	
EBR2	初期化	-	-	-	-	-	-	-	-	初期化	
FLPWCR	初期化	-	-	-	-	-	-	-	-	初期化	
PORT1	-	-	-	-	-	-	-	-	-	-	PORT
PORT3	-	-	-	-	-	-	-	-	-	-	
PORT4	-	-	-	-	-	-	-	-	-	-	
PORT9	-	-	-	-	-	-	-	-	-	-	

22. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PORTA	-	-	-	-	-	-	-	-	-	-	PORT
PORTB	-	-	-	-	-	-	-	-	-	-	
PORTC	-	-	-	-	-	-	-	-	-	-	
PORTD	-	-	-	-	-	-	-	-	-	-	
PORTE	-	-	-	-	-	-	-	-	-	-	
PORTF	-	-	-	-	-	-	-	-	-	-	

【注】 -は初期化されません。

23. 電気的特性

23.1 絶対最大定格

絶対最大定格を表 23.1 に示します。

表 23.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +7.0	V
入力電圧 (OSC1、OSC2)	V_{in}	-0.3 ~ +4.3	V
入力電圧 (XTAL、EXTAL)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 4、9)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (ポート H、J)	V_{in}	-0.3 ~ $PWMV_{CC} + 0.3$	V
入力電圧 (XTAL、EXTAL、OSC1、OSC2、ポート 4、9、H、J 以外)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
リファレンス電源電圧	V_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75	°C
		広温度範囲仕様品 : -40 ~ +85	
保存温度	T_{stg}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

23. 電気的特性

23.2 DC 特性

DC 特性を表 23.2 に示します。また、出力許容電流値を表 23.3 に示します。

表 23.2 DC 特性

条件: $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品) *1*5

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	IRQ0~IRQ5	V_T^-	1.0	—	—	V	
		V_T^+	—	—	$V_{CC}\times 0.7$		
		$V_T^+ - V_T^-$	0.4	—	—		
入力 High レベル電圧	RES、STBY、NMI、FWE、 MD2~MD0	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC} + 0.3$		
	ポート 1、3、F		2.2	—	$V_{CC} + 0.3$		
	ポート A~E		$V_{CC}\times 0.8$	—	$V_{CC} + 0.3$		
	ポート H、J		$PWMV_{CC} \times 0.8$	—	$PWMV_{CC} + 0.3$		
	ポート 4、9		$AV_{CC}\times 0.7$	—	$AV_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、NMI、FWE、 MD2~MD0	V_{IL}	-0.3	—	0.5	V	
	EXTAL		-0.3	—	0.8		
	ポート 1、3、F		-0.3	—	0.8		
	ポート A~E		-0.3	—	$V_{CC}\times 0.2$		
	ポート H、J		-0.3	—	$PWMV_{CC}\times 0.2$		
	ポート 4、9		-0.3	—	$AV_{CC}\times 0.2$		
出力 High レベル電圧	ポート 1、3、A~F、H、J (P34、P35 を除く)	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200\mu A$
	P34、P35		$V_{CC} - 2.5$	—	—		$I_{OH} = -100\mu A$
	ポート 1、3、A~F、H、J (P34、P35 を除く)		3.5	—	—		$I_{OH} = -1mA$
	PWM1A~1H、PWM2A~2H		$PWMV_{CC} - 0.5$	—	—		$I_{OH} = -15mA$
出力 Low レベル電圧	PWM1A~1H、PWM2A~2H を除く全出力端子	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
	PWM1A~1H、PWM2A~2H		—	—	0.5		$I_{OL} = 15mA$

項目		記号	min	typ	max	単位	測定条件
入力リーク 電流	RES	$ I_{in} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5$
	STBY、NMI、MD2~MD0		—	—	1.0		
	FWE		—	—	1.0		
	ポート4、9		—	—	1.0		
スリーステ ートリーク電流 (オフ状態)	ポート1、3、A~F、H、J	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5$
入力プルアッ プMOS電流	ポートA~E	$-I_p$	50	—	300	μA	$V_{in}=0V$
入力容量	RES	C_{in}	—	—	30	pF	$V_{in}=0V$
	NMI		—	—	30	pF	$f=1MHz$
	RES、NMI以外の全入力端子		—	—	15	pF	$T_a=25^\circ C$
消費電流*2	通常動作時	I_{CC}^{*4}	—	75	90	mA	$f=20MHz$
	スリープ時		—	65	80	mA	$f=20MHz$
	全モジュールストップ時		—	57	—	mA	$f=20MHz$ (参考値)
	中速モード($\phi/32$)時		—	49	—	mA	$f=20MHz$ (参考値)
	サブアクティブモード時		—	130	220	μA	32.768kHz水晶発振子使用時
	サブスリープモード時		—	80	160	μA	32.768kHz水晶発振子使用時
	ウォッチモード時		—	30	60	μA	32.768kHz水晶発振子使用時
	スタンバイ時		—	2.0	5.0	μA	$T_a\leq 50^\circ C$
			—	—	20	$50^\circ C < T_a$	
アナログ 電源電流	A/D、D/A変換中	AI_{CC}	—	1.0	2.0	mA	$AV_{CC}=5.0V$
	A/D、D/A変換待機時		—	0.1	5.0	μA	
リファレンス 電源電流	A/D、D/A変換中	AI_{CC}	—	4.0	5.0	mA	$V_{ref}=5.0V$
	A/D、D/A変換待機時		—	0.1	5.0	μA	
RAMスタンバイ電圧*3		V_{RAM}	2.0	—	—	V	

【注】*1 A/D変換器、D/A変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D変換器、D/A変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、4.5V~5.5Vの電圧を印加してください。このとき、 $V_{ref}\leq AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH}(\min)=V_{CC}-0.5V$ 、 $V_{IL}(\max)=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*3 $V_{RAM}\leq V_{CC}<3.0V$ のとき、 $V_{IH}(\min)=V_{CC}\times 0.9$ 、 $V_{IL}(\max)=0.3V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC}(\max) = 30(\text{mA}) + 0.54(\text{mA}/(\text{MHz}\times V)) \times V_{CC} \times f(\text{通常動作時})$$

$$I_{CC}(\max) = 30(\text{mA}) + 0.45(\text{mA}/(\text{MHz}\times V)) \times V_{CC} \times f(\text{スリープ時})$$

23. 電気的特性

- *5 モータコントロール PWM タイマを使用しない場合でも、PWMV_{CC}、PWMV_{SS} 端子を開放しないでください。
モータコントロール PWM タイマを使用しない場合でも、PWMV_{CC} 端子は V_{CC} に接続するなどの方法で、4.5V～5.5V の電圧を印加してください。

表 23.3 出力許容電流値

条件：V_{CC}=4.5～5.5V、PWMV_{CC}=4.5～5.5V、AV_{CC}=4.5～5.5V、V_{ref}=4.5V～AV_{CC}、

V_{SS}=PWMV_{SS}=PLL_V_{SS}=AV_{SS}=0V、

T_a=-20～+75℃（通常仕様品）、T_a=-40～+85℃（広温度範囲仕様品）

項目		記号	min	typ	max	単位	測定条件
出力 Low レベル許容電流 (1 端子あたり)	PWM1A～1H、 PWM2A～2H 以外全出力端子	I _{OL}	—	—	10	mA	
			—	—	25		
	PWM1A～1H、 PWM2A～2H	I _{OL}	—	—	30	mA	T _a =85℃
			—	—	40		T _a =-40℃
出力 Low レベル許容電流（総和）	PWM1A～1H、 PWM2A～2H 以外全出力端子の総和	ΣI _{OL}	—	—	80	mA	
			—	—	150		
	PWM1A～1H、 PWM2A～2H の総和	ΣI _{OL}	—	—	180	mA	T _a =85℃
			—	—	220		T _a =-40℃
出力 High レベル許容電流 (1 端子あたり)	PWM1A～1H、 PWM2A～2H 以外全出力端子	-I _{OH}	—	—	2.0	mA	
			—	—	25		
	PWM1A～1H、 PWM2A～2H	-I _{OH}	—	—	30	mA	T _a =85℃
			—	—	40		T _a =-40℃
出力 High レベル許容電流 (総和)	PWM1A～1H、 PWM2A～2H 以外全出力端子の総和	-ΣI _{OH}	—	—	40	mA	
			—	—	150		
	PWM1A～1H、 PWM2A～2H の総和	-ΣI _{OH}	—	—	180	mA	T _a =85℃
			—	—	220		T _a =-40℃

【注】 LSI の信頼性を確保するため、出力電流値は表 23.3 の値を超えないようにしてください。

表 23.4 バス駆動特性

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

対象端子 : SCL1~0、SDA1~0

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	V_T^-	1.0	—	—	V	$V_{CC}=4.5\sim 5.5V$
	V_T^+	—	—	$V_{CC}\times 0.7$		
	$V_T^+ - V_T^-$	0.4	—	—		
入力 High レベル電圧	V_{IH}	$V_{CC}\times 0.7$	—	$V_{CC}+0.5$	V	
入力 Low レベル電圧	V_{IL}	-0.5	—	$V_{CC}\times 0.3$	V	
出力 Low レベル電圧	V_{OL}	—	—	0.7	V	$I_{OL}=8mA$ 、 $V_{CC}=4.5\sim 5.5V$
		—	—	0.4		$I_{OL}=3mA$ 、 $V_{CC}=4.5\sim 5.5V$
		—	—	0.4		$I_{OL}=1.6mA$ 、 $V_{CC}=3.0\sim 5.5V$
入力容量	C_{in}	—	—	20	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^{\circ}C$
スリーステートリク電流 (オフ状態)	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC} - 0.5V$
SCL、SDA 出力立ち下がり 時間	t_{of}	20+	—	250	ns	
		0.1Cb				

23.3 AC 特性

図 23.1 に AC 測定条件を示します。

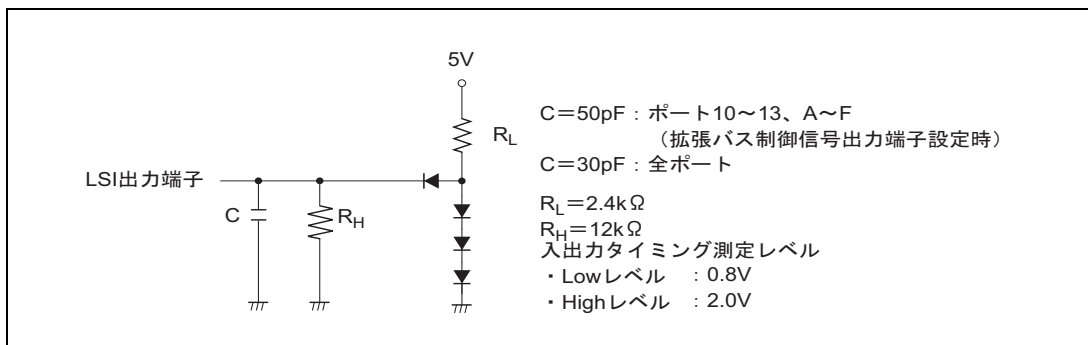


図 23.1 出力負荷回路

23.3.1 クロックタイミング

表 23.5 にクロックタイミングを示します。

表 23.5 クロックタイミング

条件: $V_{CC}=4.5\sim 5.5\text{V}$ 、 $PWMV_{CC}=4.5\sim 5.5\text{V}$ 、 $AV_{CC}=4.5\sim 5.5\text{V}$ 、 $V_{ref}=4.5\text{V}\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0\text{V}$ 、

$T_a=-20\sim +75^\circ\text{C}$ (通常仕様品)、 $T_a=-40\sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	20MHz		単位	備考
		min	max		
クロックサイクル時間	t_{cyc}	50	250	ns	図 23.2
クロックハイレベルパルス幅	t_{CH}	15	—	ns	
クロックローレベルパルス幅	t_{CL}	15	—	ns	
クロック立ち上がり時間	t_{Cr}	—	10	ns	
クロック立ち下がり時間	t_{Cf}	—	10	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20	—	ms	図 23.3
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8	—	ms	図 20.3
外部クロック出力安定遅延時間	t_{DEXT}	2	—	ms	図 23.3
32kHz クロック発振安定時間	t_{OSC3}	—	2	s	
サブクロック発振器発振周波数	f_{SUB}	32.768		kHz	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUB}	30.5		μs	

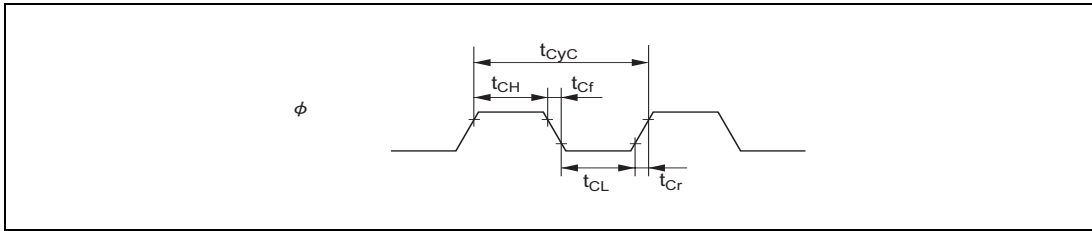


図 23.2 システムクロックタイミング

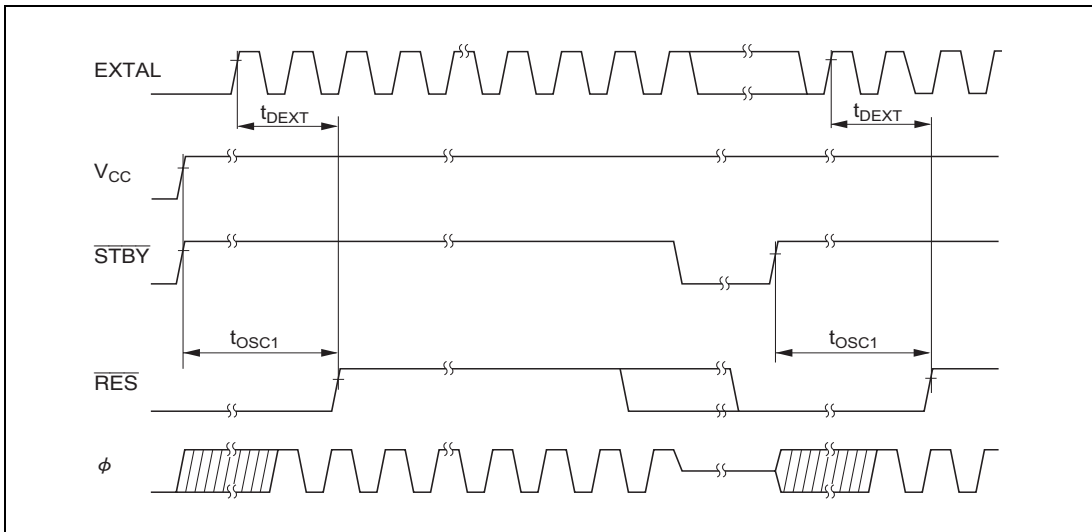


図 23.3 発振安定時間タイミング

23. 電氣的特性

23.3.2 制御信号タイミング

表 23.6 に制御信号タイミングを示します。

表 23.6 制御信号タイミング

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	条件		単位	備考
		min	max		
RES セットアップ時間	t_{RESS}	200	—	ns	図 23.4
RES パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 23.5
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ns	
IRQ セットアップ時間	t_{IRQS}	150	—	ns	
IRQ ホールド時間	t_{IRQH}	10	—	ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	ns	

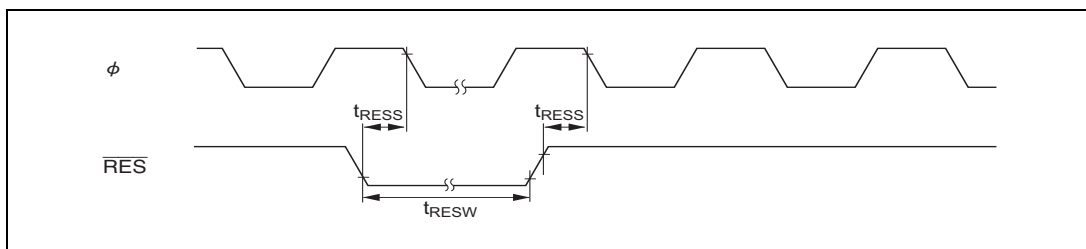


図 23.4 リセット入力タイミング

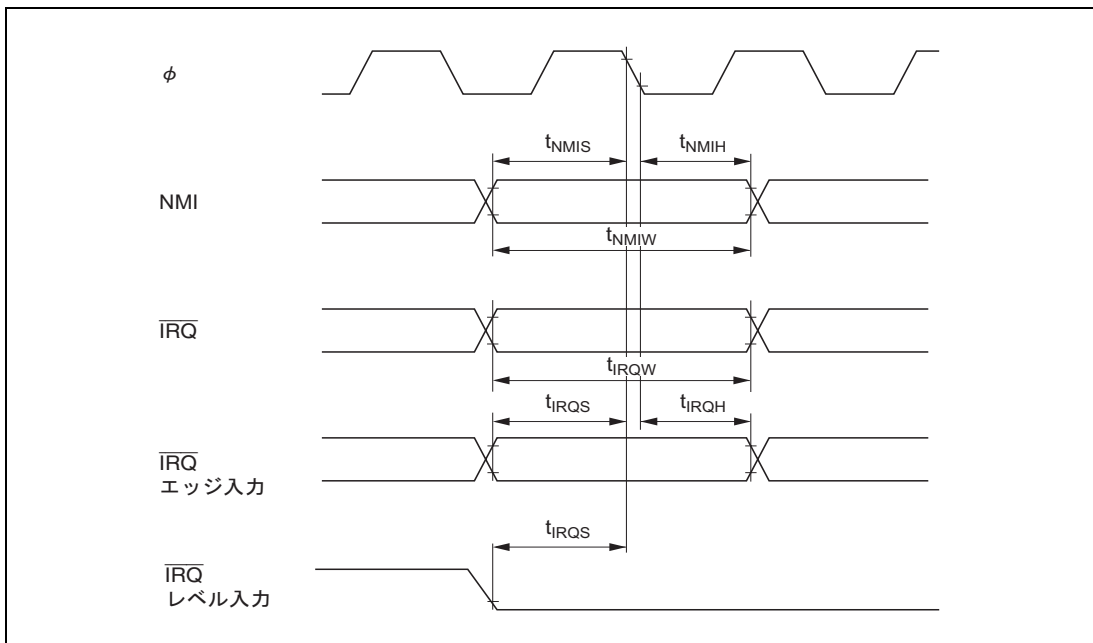


図 23.5 割り込み入力タイミング

23. 電気的特性

23.3.3 バスタイミング

表 23.7 にバスタイミングを示します。

表 23.7 バスタイミング

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件		単位	備考
		min	max		
アドレス遅延時間	t_{AD}	—	35	ns	図 23.6~ 図 23.10
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 20$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 15$	—	ns	
AS 遅延時間	t_{ASD}	—	20	ns	
RD 遅延時間 1	t_{RSD1}	—	20	ns	
RD 遅延時間 2	t_{RSD2}	—	20	ns	
リードデータセットアップ時間	t_{RDS}	20	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 48$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$1.5 \times t_{cyc} - 45$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$2.0 \times t_{cyc} - 45$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 45$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 50$	ns	
WR 遅延時間 1	t_{WRD1}	—	20	ns	
WR 遅延時間 2	t_{WRD2}	—	20	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 20$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 20$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	30	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	—	ns	
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	—	ns	

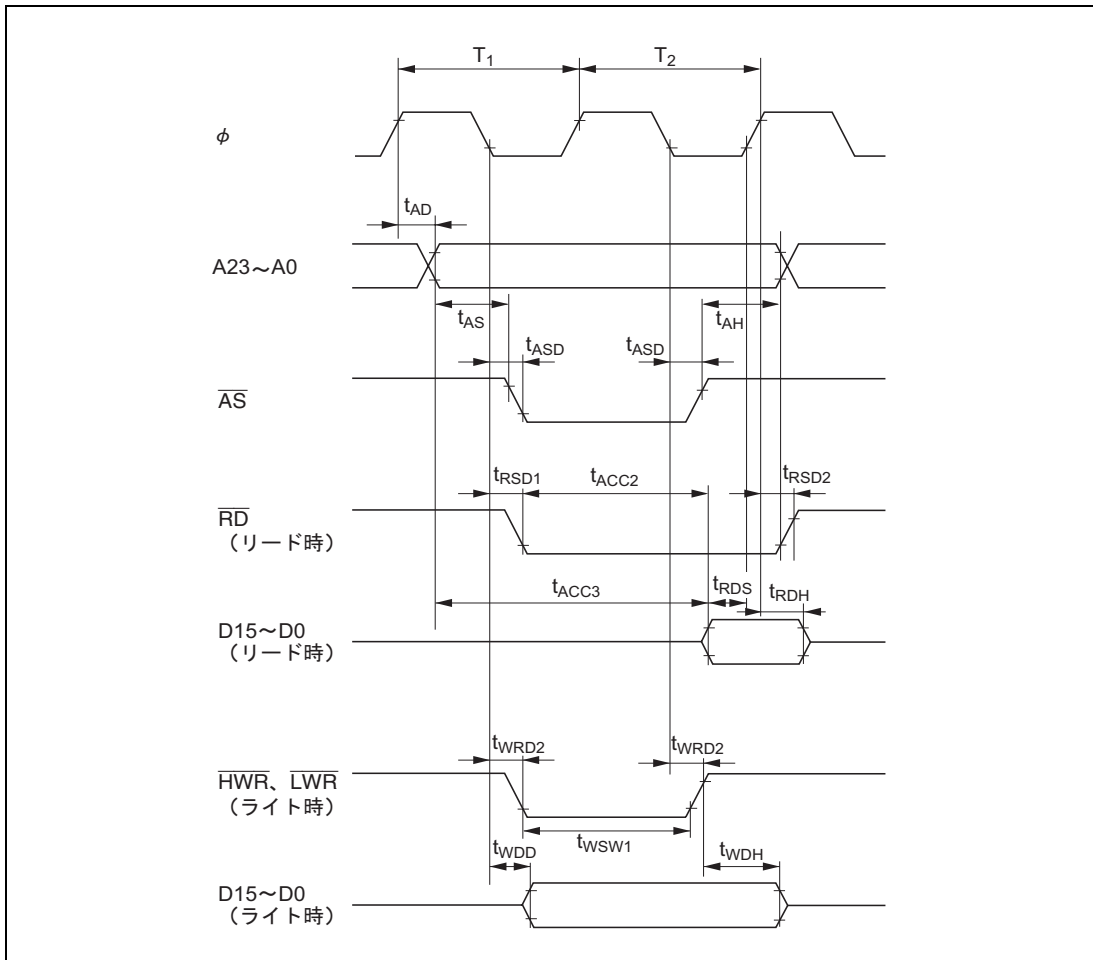


図 23.6 基本バスタイミング/2 ステートアクセス

23. 電気的特性

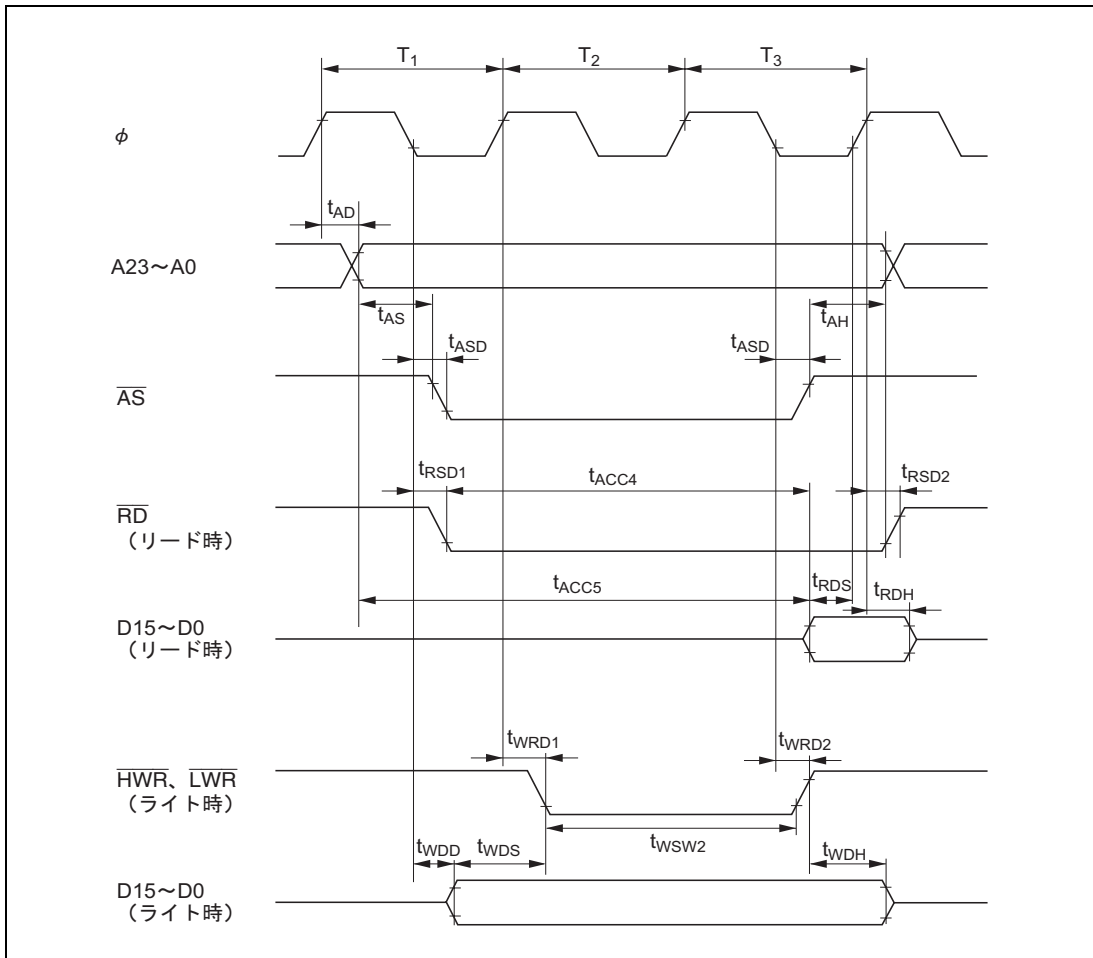


図 23.7 基本バスタイミング/3 ステートアクセス

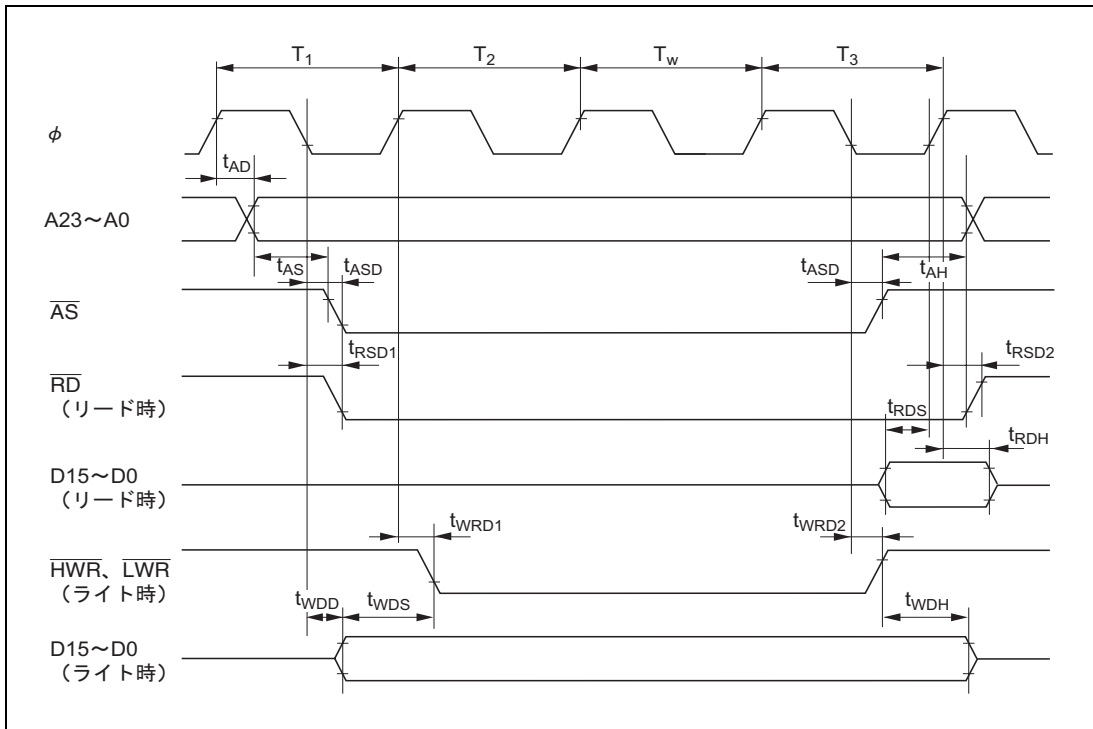


図 23.8 基本バスタイミング/3 ステートアクセス 1 ウェイト

23. 電気的特性

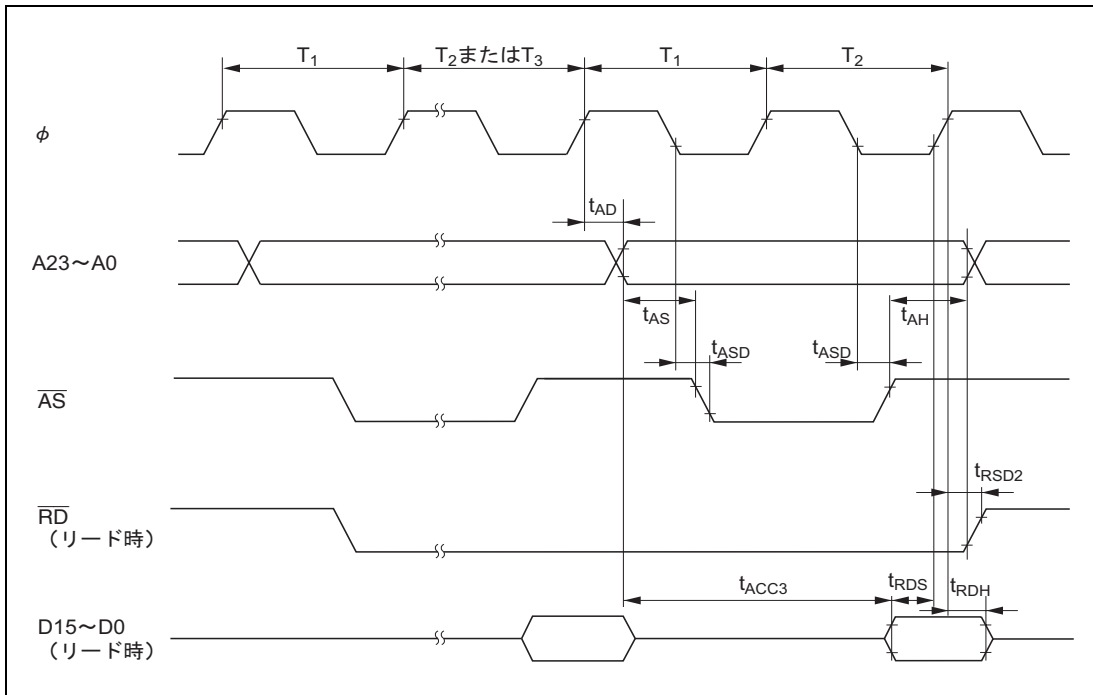


図 23.9 バースト ROM アクセスタイミング / 2 ステートアクセス

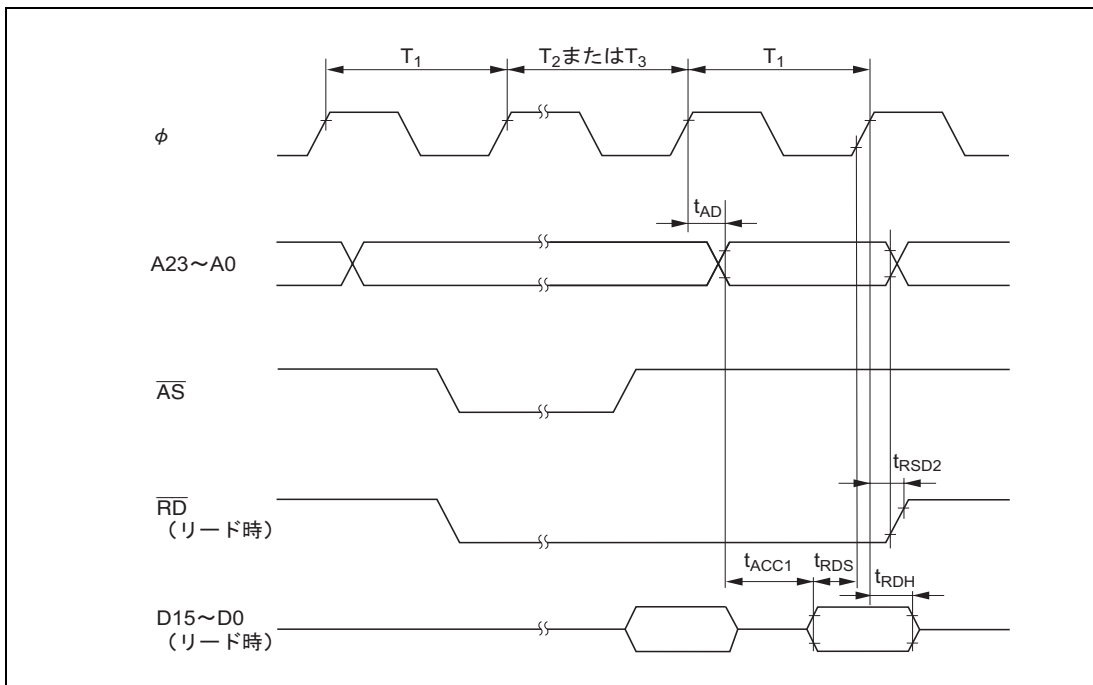


図 23.10 バースト ROM アクセスタイミング / 1 ステートアクセス

23.3.4 内蔵周辺モジュールタイミング

表 23.8 に内蔵周辺タイミングを示します。

表 23.8 内蔵周辺モジュールタイミング

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、
 $V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	条件		単位	備考	
			min	max			
I/O ポート	出力データ遅延時間	t_{PWD}	—	50	ns	図 23.11	
	出力データ遅延時間 2	t_{PWD2}	—	50			図 23.12
	入力データセットアップ時間	t_{PRS}	30	—			
	入力データホールド時間	t_{PRH}	30	—			
PPG	パルス出力遅延時間	t_{POD}	—	50	ns	図 23.13	
TPU	タイマ出力遅延時間	t_{TOD}	—	50	ns	図 23.14	
	タイマ入力セットアップ時間	t_{TICS}	30	—			図 23.15
	タイマクロック入力セットアップ時間	t_{TCKS}	30	—			
	タイマクロック パルス幅	単エッジ指定 t_{TCKWH} 両エッジ指定 t_{TCKWL}	1.5 2.5	— —	t_{cyc}		
PWM	パルス出力遅延時間	t_{MPWMOD}	—	50	ns	図 23.16	
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 23.17
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{cyc}	
	入力クロック立ち下がり時間		t_{SCKf}	—	1.5	t_{cyc}	
	送信データ遅延時間		t_{TXD}	—	50	ns	図 23.18
	受信データセットアップ時間 (クロック同期)		t_{RXS}	50	—		
受信データホールド時間 (クロック同期)		t_{RXH}	50	—			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	50	—	ns	図 23.19	

23. 電気的特性

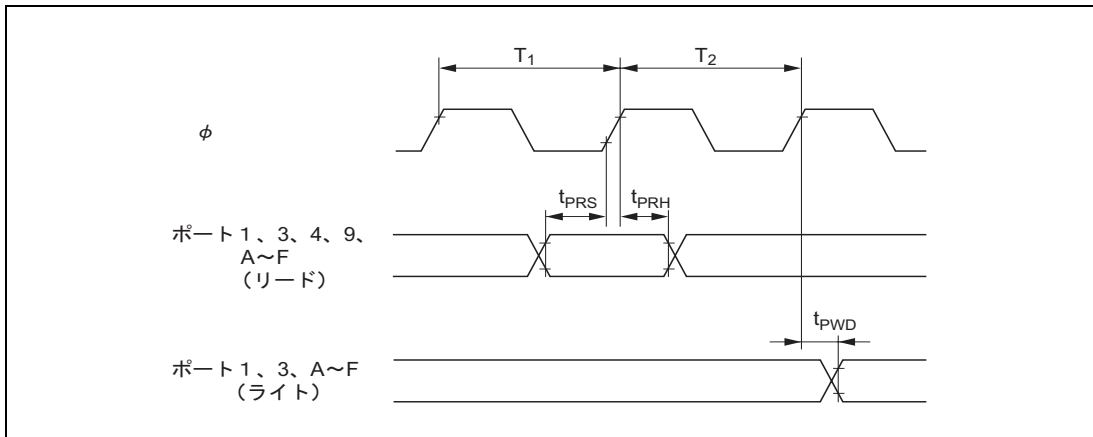


図 23.11 I/O ポート入出タイミング (ポート 1, 3, 4, 9, A~F)

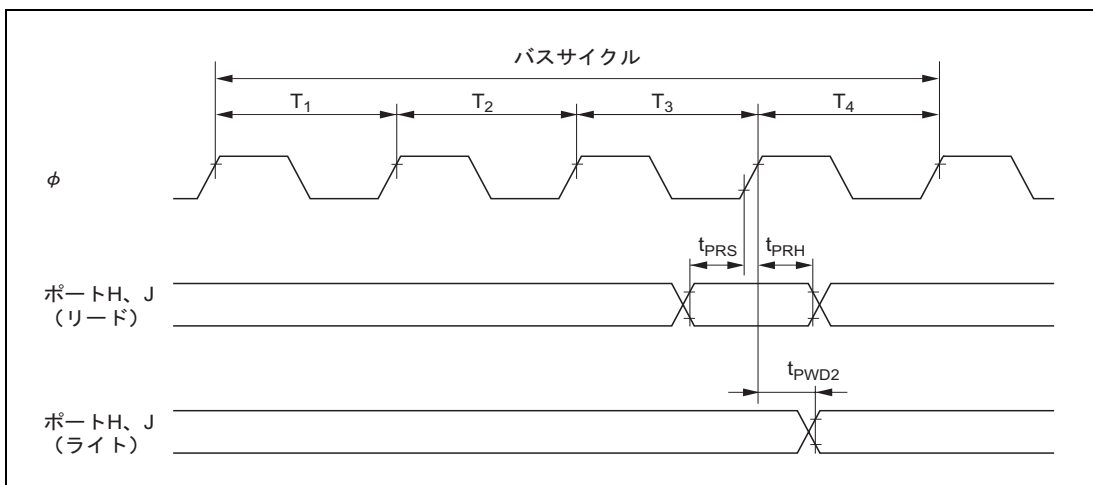


図 23.12 I/O ポート入出タイミング (ポート H, J)

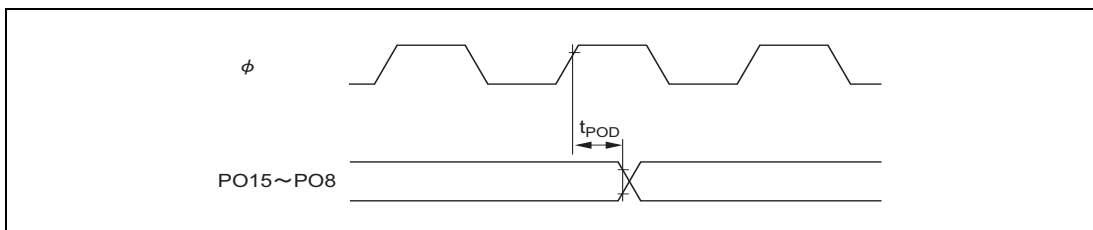


図 23.13 PPG 出タイミング

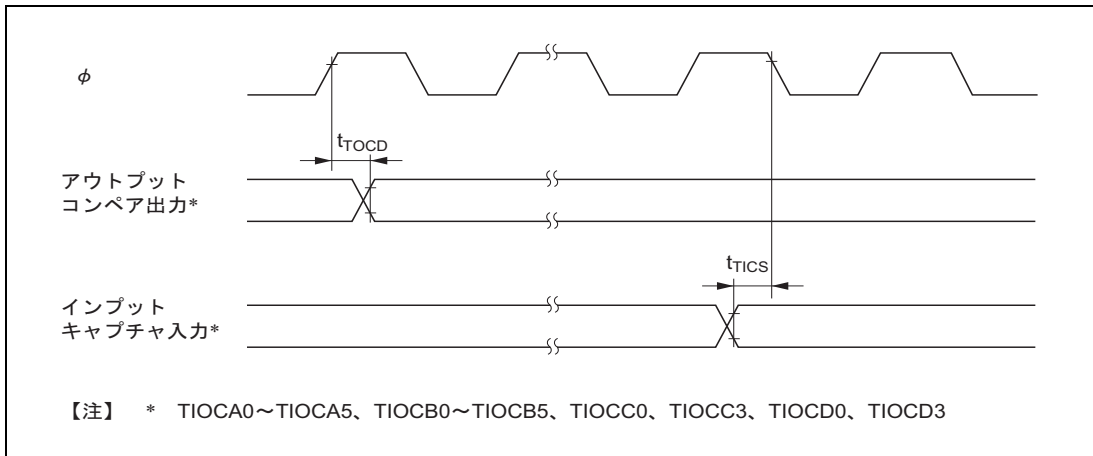


図 22.14 TPU 入出力タイミング

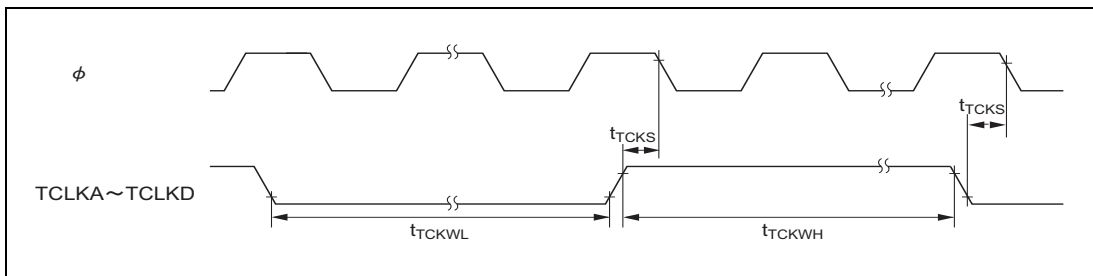


図 23.15 TPU クロック入力タイミング

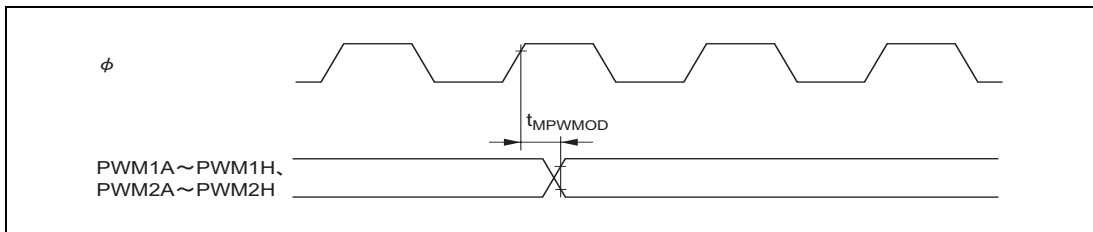


図 23.16 モータコントロール PWM 出力タイミング

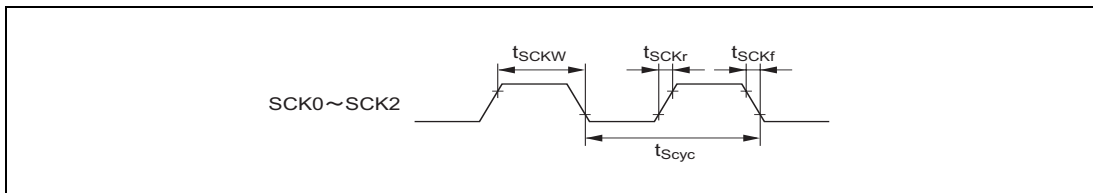


図 23.17 SCK クロック入力タイミング

23. 電気的特性

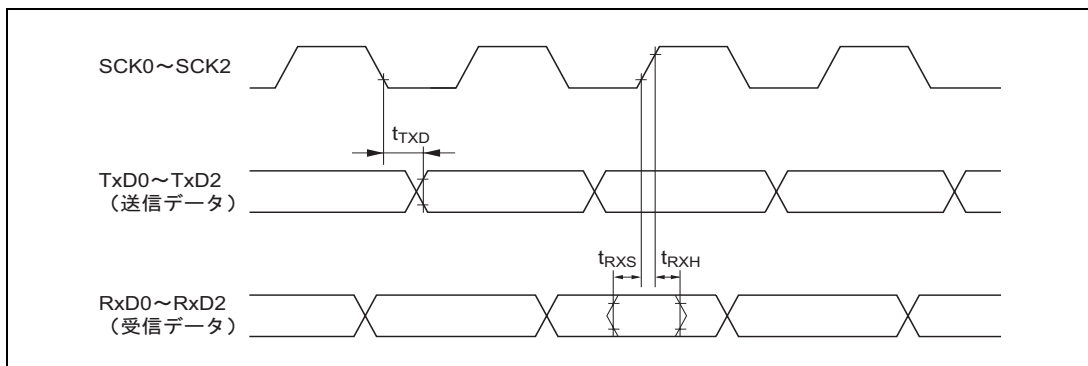


図 23.18 SCI 入出タイミング/クロック同期式モード

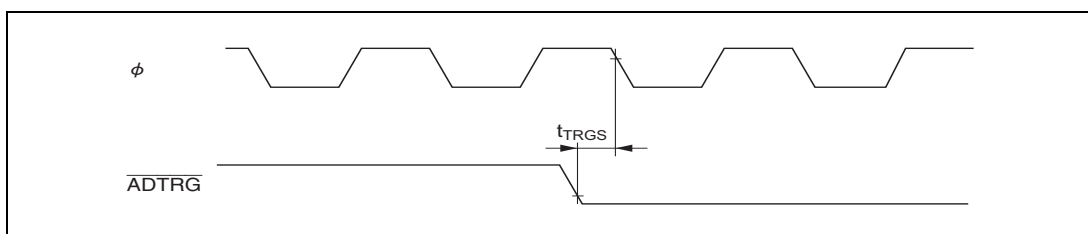


図 23.19 A/D 変換器外部トリガ入力タイミング

23.4 I²C バスインタフェースタイミング

表 23.9 に I²C バスインタフェースを示します。

表 23.9 I²C バスインタフェースタイミング

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、 $\phi=5MHz\sim$ 最大動作周波数、

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	規格値			単位	備考
		min	typ	max		
SCL 入力サイクル時間	t_{SCL}	$12t_{cyc}$	—	—	ns	図 23.20
SCL 入力 High パルス幅	t_{SCLH}	$3t_{cyc}$	—	—	ns	
SCL 入力 Low パルス幅	t_{SCLL}	$5t_{cyc}$	—	—	ns	
SCL、SDA 入力立ち上がり時間	t_{sr}	—	—	$7.5t_{cyc}^*$	ns	
SCL、SDA 入力立ち下がり時間	t_{sf}	—	—	300	ns	
SCL、SDA 入力 スパイクパルス除去時間	t_{SP}	—	—	$1t_{cyc}$	ns	
SDA 入力バスフリー時間	t_{BUF}	$5t_{cyc}$	—	—	ns	
開始条件入力ホールド時間	t_{STAH}	$3t_{cyc}$	—	—	ns	
再送開始条件入力 セットアップ時間	t_{STAS}	$3t_{cyc}$	—	—	ns	
停止条件入力 セットアップ時間	t_{STOS}	$3t_{cyc}$	—	—	ns	
データ入力セットアップ時間	t_{SDAS}	$0.5t_{cyc}$	—	—	ns	
データ入力ホールド時間	t_{SDAH}	0	—	—	ns	
SCL、SDA の容量性負荷	C_b	—	—	400	pF	

【注】 * I²C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ とすることが可能です。詳細は「14.5 使用上の注意事項」を参照してください。

23. 電気的特性

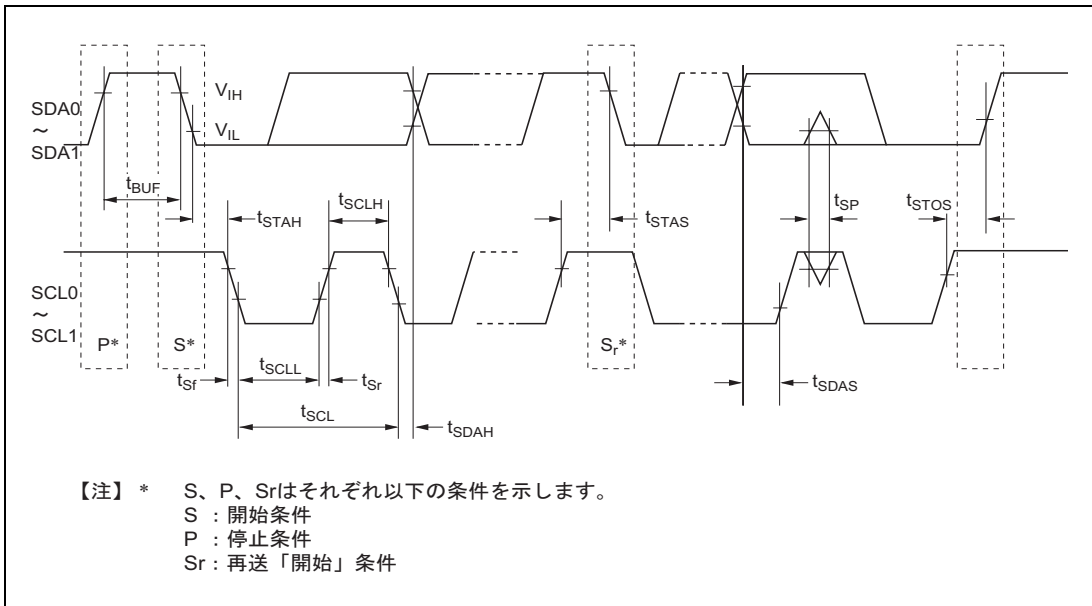


図 23.20 I²C バスインタフェース入出力タイミング

23.5 A/D 変換特性

表 23.10 に A/D 変換特性を示します。

表 23.10 A/D 変換特性

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	条件			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	10	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 3.5	LSB
オフセット誤差	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	LSB
量子化誤差	—	± 0.5	—	LSB
絶対精度	—	—	± 4.0	LSB

23.6 D/A 変換特性

表 23.11 に D/A 変換特性を示します。

表 23.11 D/A 変換特性

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	条件			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 1.5	± 2.0	LSB	負荷抵抗 2M Ω
	—	—	± 1.5	LSB	負荷抵抗 4M Ω

23. 電気的特性

23.7 フラッシュメモリ特性

表 23.12 にフラッシュメモリ特性を示します。

表 23.12 フラッシュメモリ特性

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、

$V_{SS}=PWMV_{SS}=PLL_{VSS}=AV_{SS}=0V$ 、

$T_a=0\sim +75^{\circ}C$ (書き込み/消去時の動作温度範囲)

項目		記号	min	typ	max	単位	特記
書き込み時間*1*2*4		t_p	—	10	200	ms/128 バイト	
消去時間*1*3*5		t_E	—	100	1200	ms/ブロック	
書き換え回数		N_{WEC}	—	—	100	回	
書き込み時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	—	μs	
	PSU ビットセット後のウェイト時間*1	t_{psu}	50	50	—	μs	
	P ビットセット後のウェイト時間*1*4	t_{sp30}	28	30	32	μs	書き込み時間ウェイト
		t_{sp200}	198	200	202	μs	書き込み時間ウェイト
		t_{sp10}	8	10	12	μs	追加書き込み時間ウェイト
	P ビットクリア後のウェイト時間*1	t_{cp}	5	5	—	μs	
	PSU ビットクリア後のウェイト時間*1	t_{cpsu}	5	5	—	μs	
	PV ビットセット後のウェイト時間*1	t_{spv}	4	4	—	μs	
	HFF ダミーライト後のウェイト時間*1	t_{spvr}	2	2	—	μs	
	PV ビットクリア後のウェイト時間*1	t_{cpv}	2	2	—	μs	
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	—	μs	
	最大書き込み回数*1*4	N	—	—	1000	回	
消去時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	—	μs	
	ESU ビットセット後のウェイト時間*1	t_{sesu}	100	100	—	μs	
	E ビットセット後のウェイト時間*1*5	t_{se}	10	10	100	ms	消去時間ウェイト
	E ビットクリア後のウェイト時間*1	t_{ce}	10	10	—	μs	
	ESU ビットクリア後のウェイト時間*1	t_{cesu}	10	10	—	μs	
	EV ビットセット後のウェイト時間*1	t_{sev}	20	20	—	μs	
	HFF ダミーライト後のウェイト時間*1	t_{sevr}	2	2	—	μs	
	EV ビットクリア後のウェイト時間*1	t_{cev}	4	4	—	μs	
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	—	μs	
	最大消去回数*1*5	N	12	—	120	回	

【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従って行ってください。

*2 128 バイト単位の書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません)

*3 1 ブロックを消去する時間 (FLMCR1 の E ビットをセットしているトータル期間を示します。イレースベリファ

- イ時間は含まれません)
- *4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値 ($t_p(\max)$) を規定するために、最大書き込み回数 (N) の値は max 値 (1000) を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ (n) の回数によって切り替えてください。
- 書き込み回数カウンタ (n) 1~6 回の場合 $t_{sp30}=30\ \mu\text{s}$
書き込み回数カウンタ (n) 7~1000 回の場合 $t_{sp200}=200\ \mu\text{s}$
〔追加書き込み時〕
- 書き込み回数カウンタ (n) 1~6 回の場合 $t_{sp10}=10\ \mu\text{s}$
- *5 消去時間の最大値 ($t_E(\max)$) に対して、E ビットセット後のウェイト時間 (t_{se}) と最大消去回数 (N) は以下の関係にあります。
- $t_E(\max) = E$ ビットセット後のウェイト時間 (t_{se}) \times 最大消去回数 (N)
消去時間の最大値を規定するために、(t_{se}) および (N) の値は上記計算式を満たすように設定してください。
- (例) $t_{se}=100$ [ms] の場合、N=12 回
(例) $t_{se}=10$ [ms] の場合、N=120 回

23.8 使用上の注意事項

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
ポート 1	4、5	T	T	P10~P13	P10~P13
	6			[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [上記以外] keep P14~P17 keep	[アドレス出力時] A20~A23 [上記以外] 入出力ポート P14~P17 入出力ポート
	7			keep	P10~P17 入出力ポート
ポート 3	4~7	T	T	keep	入出力ポート
ポート 4	4~7	T	T	T	入力ポート
ポート 9	4~7	T	T	T	入力ポート
ポート A	4、5	L	T	[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [上記以外] keep	[アドレス出力時] A19~A17 [上記以外] 入出力ポート
	6	T			
	7	T		T	keep
ポート B	4、5	L	T	[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [上記以外] keep	[アドレス出力時] A15~A8 [上記以外] 入出力ポート
	6	T			
	7	T		T	keep

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード	
ポート C	4, 5	L	T	[OPE=0] T [OPE=1] keep	A7~A0	
	6	T	T	[DDR=1, OPE=0] T [DDR=1, OPE=1] keep [DDR=0] keep	[DDR=1] A7~A0 [DDR=0] 入力ポート	
	7	T	T	keep	入出力ポート	
ポート D	4~6	T	T	T	データバス	
	7	T	T	keep	入出力ポート	
ポート E	4~6	8ビット バス	T	T	keep	入出力ポート
		16ビット バス	T	T	T	データバス
	7	T	T	keep	入出力ポート	
PF7/ ϕ	4~6	クロック出 力	T	[DDR=0] T	[DDR=0] T	
	7	T		[DDR=1] H	[DDR=1] クロック出力	
PF6/ \overline{AS}	4~6	H	T	[OPE=0] T [OPE=1] H	AS	
	7	T	T	keep	入出力ポート	
PF5/ \overline{RD} PF4/ \overline{HW} \overline{R}	4~6	H	T	[OPE=0] T [OPE=1] H	RD, HWR	
	7	T	T	keep	入出力ポート	
PF3/ \overline{LWR}	4~6	H	T	[OPE=0] T [OPE=1] H	LWR	
	7	T	T	keep	入出力ポート	
PF0	4~7	T	T	keep	入出力ポート	
ポート H	4~7	T	T	keep	入出力ポート	
ポート J	4~7	T	T	keep	入出力ポート	

【記号説明】

- H : High レベル
L : Low レベル
T : ハイインピーダンス
keep : 入力ポートはハイインピーダンス、
出力ポートは保持
DDR : データディレクションレジスタ
OPE : 出力ポートイネーブル

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2607	F-ZTAT 版	HD64F2607	HD64F2607WF20 (通常仕様品)	128ピン QFP PRQP0128KB-A (FP-128B/FP-128BV)
			HD64F2607WF20W (広温度範囲仕様品)	
			HD64F2607WF20V (通常仕様品)	
			HD64F2607WF20WV (広温度範囲仕様品)	
	マスク ROM 版	HD6432607	HD6432607W(***)F (通常仕様品)	
			HD6432607W(***)FW (広温度範囲仕様品)	
			HD6432607W(***)FV (通常仕様品)	
			HD6432607W(***)FWV (広温度範囲仕様品)	
		HD6432606	HD6432606W(***)F (通常仕様品)	
			HD6432606W(***)FW (広温度範囲仕様品)	
			HD6432606W(***)FV (通常仕様品)	
			HD6432606W(***)FWV (広温度範囲仕様品)	
	HD6432605	HD6432605	HD6432605W(***)F (通常仕様品)	
			HD6432605W(***)FW (広温度範囲仕様品)	
			HD6432605W(***)FV (通常仕様品)	
			HD6432605W(***)FWV (広温度範囲仕様品)	

【記号説明】

(***)は ROM コードです。

C. 外形寸法図

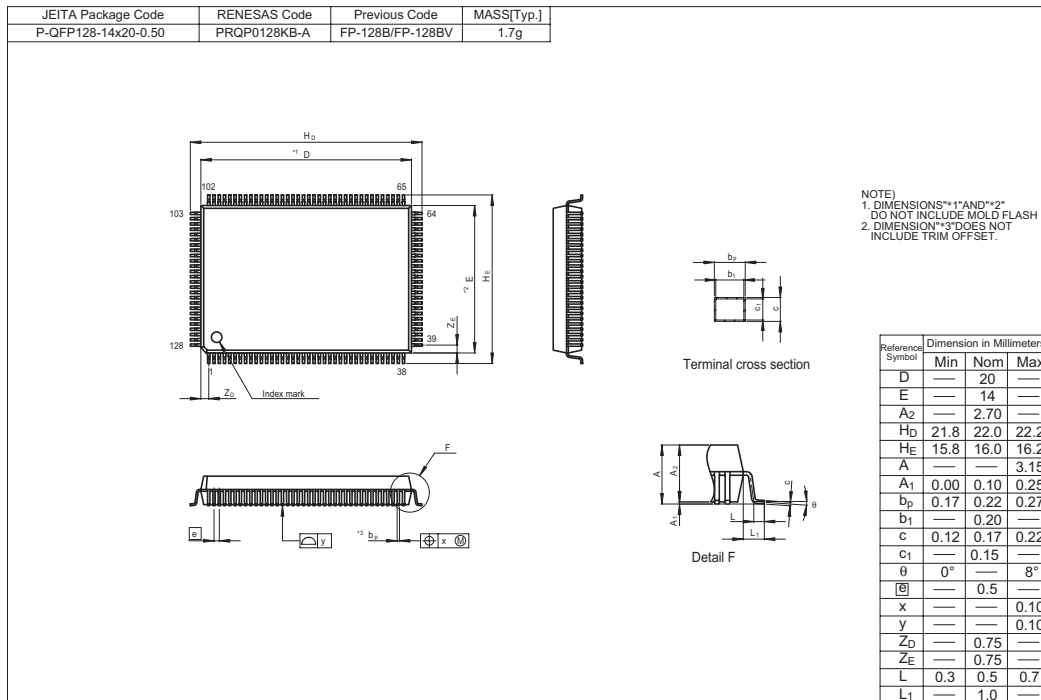


図 C.1 外形寸法図 (FP128B/FP-128V)

索引

【数字 / 記号】		【 S 】	
16 ビットタイムバルスユニット	10-1	SWDTEND	8-16
【 A 】		【 T 】	
A/D 変換器	15-1	TCIU_1	10-57
ADI	15-9	TCIU_2	10-57
【 B 】		TCIU_4	10-57
Bcc	2-17	TCIU_5	10-57
【 C 】		TCIV_0	10-57
CPU 動作モード	2-4	TCIV_1	10-57
【 D 】		TCIV_2	10-57
D/A 変換器	16-1	TCIV_3	10-57
DACR	16-2	TCIV_4	10-57
DADR1	16-2	TCIV_5	10-57
DTC ベクタテーブル	8-8	TGIA_0	10-57
【 E 】		TGIA_1	10-57
EA 拡張部	2-27	TGIA_2	10-57
【 I 】		TGIA_3	10-57
ICCR	14-9	TGIA_4	10-57
ICMR	14-8	TGIA_5	10-57
ICSR	14-16	TGIB_0	10-57
【 M 】		TGIB_1	10-57
MAC 命令	3-2	TGIB_2	10-57
【 N 】		TGIB_3	10-57
NMI 割り込み	5-8	TGIB_4	10-57
【 P 】		TGIB_5	10-57
PC ブレーク コントローラ	6-1	TGIC_0	10-57
PLL 回路	20-6	TGIC_3	10-57
【 R 】		TGID_0	10-57
RAM	18-1	TGID_3	10-57
		TRAPA 命令	4-6
		【 W 】	
		WOVI	12-10
		【 あ 】	
		アイドルサイクル	7-25
		アドバンスモード	2-6
		アドレス空間	2-8
		アドレッシングモード	2-28

イミディエイト	2-30
イレース/イレースベリファイ	19-21
インターバルタイマモード	12-10
インタラプトプライオリティレジスタ (IPR)	5-1
ウォッチドッグタイマ	12-1
エクステンドレジスタ (EXR)	2-11
エミュレーション	19-17
エラープロテクト	19-23
オーバランエラー	13-26
オペレーションフィールド	2-27
オンボードプログラミング	19-13

【か】

外部トリガ	15-9
書き込み/消去プロテクト	19-23
各動作モードにおけるレジスタの状態	22-18
基本タイミング	7-23
基本動作タイミング	7-14
基本バスインタフェース	7-12
クロック発振器	20-1
コンディションコードレジスタ (CCR)	2-12
コンディションフィールド	2-27
コンペアマッチによる波形出力	10-37

【さ】

算術演算命令	2-20
システム制御命令	2-26
実効アドレス	2-28
シフト命令	2-22
出力トリガ	11-7
消去ブロック	19-6
シリアルコミュニケーションインタフェース	13-1
シングルモード	15-6
スキャンモード	15-7
スタックの状態	4-7
スタックポインタ (SP)	2-10
積和レジスタ (MAC)	2-13
絶対アドレス	2-29
ソフトウェアによる起動	8-19
ソフトウェアプロテクト	19-23
ソフトウェア起動	8-21
ソフトウェア起動割り込み用ベクタ番号	8-6

【た】

チェイン転送	8-15
調歩同期モード	13-20
ディスプレイメント付きレジスタ間接	2-28

データサイズとデータアライメント	7-12
データトランスファコントローラ	8-1
データ転送命令	2-19
動作モードの選択	3-1
トラップ命令例外処理	4-6
トレースビット	2-11
トレース例外処理	4-5

【な】

ノーマルモード	8-12
---------	------

【は】

バーストROMインタフェース	7-23
ハードウェアプロテクト	19-23
バスアービトラージ	7-28
バスコントローラ	7-1
パリティエラー	13-26
パルス出力ノンオーバーラップ動作	11-13
汎用レジスタ	2-10
ビット操作命令	2-23
ブートモード	19-13
フラッシュメモリ	19-1
フリーランニングカウンタ動作	10-36
プリデクリメントレジスタ間接	2-29
ブレイク	13-55
ブレイクアドレス	6-4
ブレイク条件	6-4
フレーミングエラー	13-26
プログラマブルパルスジェネレータ	11-1
プログラム/プログラムベリファイ	19-19
プログラムカウンタ (PC)	2-11
プログラムカウンタ相対	2-30
ブロック転送モード	8-14
ブロック転送命令	2-26
分岐命令	2-25
変換時間	15-7
ポストインクリメントレジスタ間接	2-29

【ま】

マーク状態	13-55
命令セット	2-17
メモリ間接	2-30

【や】

有効ストローブ	7-13
ユーザプログラムモード	19-16

【ら】

ライタモード	19-24
ライトデータバッファ機能	7-27
リセット	4-3
リセット例外処理	4-3
リピートモード	8-13
レジスタアドレス一覧	22-2
例外処理	4-1, 4-2
例外処理ベクタテーブル	4-2
レジスタ	
ABWCR	22-5, 22-14, 22-21
ADCR	15-6, 22-8, 22-17, 22-24
ADCSR	15-5, 22-8, 22-17, 22-24
ADDR	15-4, 22-8, 22-17, 22-24
ASTCR	7-3, 7-4, 22-5, 22-14, 22-21
BARA	6-2, 22-3, 22-11, 22-19
BARB	6-2, 22-3, 22-11, 22-19
BCRA	6-3, 22-3, 22-11, 22-19
BCRB	6-3, 22-3, 22-11, 22-19
BCRH	22-6, 22-14, 22-21
BCRL	7-7, 22-6, 22-14, 22-21
BRR	13-14, 22-7, 22-16, 22-23
CRA	8-4
CRB	8-5
DAR	8-4
DTCER	8-5, 22-3, 22-11, 22-19
DTVECR	8-6, 22-3, 22-11, 22-19
EBR1	19-10, 22-9, 22-17, 22-24
EBR2	19-11, 22-9, 22-17, 22-24
FLMCR1	19-9, 22-8, 22-17, 22-24
FLMCR2	19-10, 22-8, 22-17, 22-24
FLPWCR	19-12, 22-9, 22-17, 22-24
IER	5-5, 22-3, 22-11, 22-19
IPR	5-4, 22-5, 22-14, 22-21
ISCR	5-5, 22-3, 22-11, 22-19
ISR	5-7, 22-3, 22-11, 22-19
LPWRCR	21-7, 22-3, 22-11, 22-19
MDCR	3-1, 22-2, 22-11, 22-18
MRA	8-3
MRB	8-4
MSTPCR	21-8, 22-2, 22-11, 22-18
NDER	11-3, 22-3, 22-12, 22-19
NDR	11-5, 22-3, 22-12, 22-19
P1DDR	9-5, 22-3, 22-12, 22-19
P1DR	9-5, 22-6, 22-14, 22-21
P3DDR	9-15, 22-3, 22-12, 22-19
P3DR	9-15, 22-6, 22-14, 22-21

P3ODR	9-16, 22-4, 22-12, 22-20
PADDR	9-21, 22-3, 22-12, 22-19
PADR	9-22, 22-6, 22-14, 22-21
PAODR	9-23, 22-4, 22-12, 22-20
PAPCR	9-23, 22-4, 22-12, 22-20
PBDDR	9-26, 22-3, 22-12, 22-19
PBDR	9-27, 22-6, 22-14
PBODR	9-28, 22-4, 22-12, 22-20
PBPCR	9-28, 22-4, 22-12, 22-20
PCDDR	9-37, 22-3, 22-12, 22-19
PCDR	9-37, 22-6, 22-14
PCODR	9-38, 22-4, 22-12, 22-20
PCPCR	9-38, 22-4, 22-12, 22-20
PCR	11-7, 22-3, 22-12, 22-19
PDDDR	9-40, 22-4, 22-12, 22-19
PDDR	9-41, 22-6, 22-14, 22-22
PDPCR	9-42, 22-4, 22-12, 22-20
PEDDR	9-43, 22-4, 22-12, 22-19
PEDR	9-44, 22-6, 22-14, 22-22
PEPCR	9-45, 22-4, 22-12, 22-20
PFCR	7-8, 22-3, 22-11, 22-19
PFDDR	9-46, 22-4, 22-12, 22-19
PFDR	9-46, 22-6, 22-14, 22-22
PHDDR	9-49, 22-2, 22-10, 22-18
PHDR	9-49, 22-2, 22-10, 22-18
PJDDR	9-51, 22-2, 22-10, 22-18
PJDR	9-51, 22-2, 22-10, 22-18
PMR	11-8, 22-3, 22-12, 22-19
PODR	11-4, 22-3, 22-12, 22-19
PORT1	9-6, 22-9, 22-17, 22-24
PORT3	9-16, 22-9, 22-17, 22-24
PORT4	9-19, 22-9, 22-17, 22-24
PORT9	9-20, 22-9, 22-17, 22-24
PORTA	9-22, 22-9, 22-17
PORTB	9-27, 22-9, 22-17
PORTC	9-38, 22-9, 22-17, 22-25
PORTD	9-41, 22-9, 22-17, 22-25
PORTE	9-44
PORTF	9-47, 22-9, 22-17, 22-25
PORTH	9-50, 22-2, 22-11, 22-18
PORTJ	9-52, 22-2, 22-11, 22-18
PWBFR	17-10, 22-2, 22-10, 22-18
PWCNT	17-6
PWCR	17-5, 22-2, 22-10, 22-18
PWCYR	17-6, 22-2, 22-10, 22-18
PWDTR	17-7
PWOCR	17-6, 22-2, 22-10, 22-18

PWPR	17-6, 22-2, 22-10, 22-18
RAMER	19-11, 22-6, 22-14, 22-21
RDR	13-4, 22-7, 22-16, 22-23
RSR	13-4
RSTCSR	12-7, 22-7, 22-15, 22-23
SAR	8-4
SBYCR	21-5, 22-2, 22-11, 22-18
SCKCR	20-2, 22-2, 22-11, 22-18
SCMR	13-13, 22-7, 22-16, 22-23
SCR	13-7, 22-7, 22-16, 22-23
SMR	13-5, 22-7, 22-16, 22-23
SSR	13-9, 22-7, 22-16, 22-23
SYSCR	3-2, 22-2, 22-11, 22-18
TCNT ...	10-33, 12-3, 22-6, 22-7, 22-15, 22-22, 22-23
TCR	10-9, 22-6, 22-14, 22-22
TCSR	12-4, 22-7, 22-15, 22-23
TDR	13-4, 22-7, 22-16, 22-23
TGR	10-33, 22-6, 22-15, 22-22
TIER	10-30, 22-6, 22-15, 22-22
TIOR	10-13, 22-6, 22-14, 22-22

TMDR	10-12, 22-6, 22-14, 22-22
TSR	10-31, 13-4, 22-6, 22-15, 22-22
TSTR	10-34, 22-5, 22-14, 22-21
TSYR	10-34, 22-5, 22-14, 22-21
WCR	22-5, 22-14, 22-21
レジスタフィールド	2-27
レジスタ一覧	22-1
レジスタ間接	2-28
レジスタ情報	8-8
レジスタ直接	2-28
レジスタビット一覧	22-10
論理演算命令	2-22

【わ】

割り込みコントローラ	5-1
割り込み制御モード	5-12
割り込みマスクビット	2-12
割り込み要求マスクレベル	2-11
割り込み例外処理	4-5
割り込み例外処理ベクタテーブル	5-10

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2607グループ

発行年月日 2007年11月21日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京			社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	北	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	京	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2607 グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0444-0100