

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2214グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8Sファミリ／H8S/2200シリーズ

H8S/2214

HD64F2214
HD6432214

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、内部 32 ビット構成の H8S/2000 CPU を核に、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

本 LSI は、ROM、RAM、バスコントローラ、データトランスファコントローラ(DTC)、DMA コントローラ(DMAC)、2 種類のタイマ、シリアルコミュニケーションインタフェース(SCI)、D/A 変換機、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ(F-ZTATTM*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

【注】* F-ZTAT は (株)ルネサス テクノロジーの商標です。

対象者 このマニュアルは、H8S/2214 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2214 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。
なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき
別冊の「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名がわかっていて、詳細機能を知りたいとき
「付録B. 内部I/Oレジスタ」にアドレス、ビット内容、初期化についてまとめています。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット。

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://japan.renesas.com/>)

- H8S/2214 グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2214 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

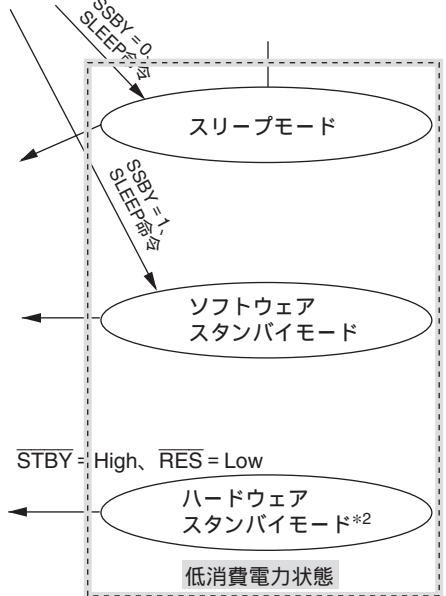
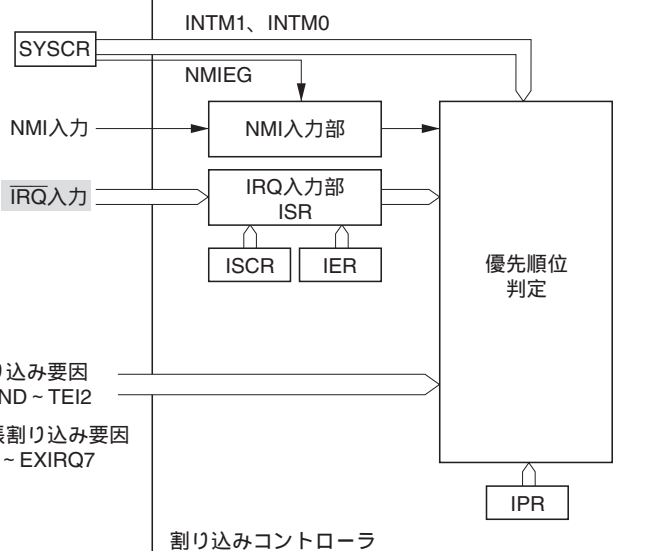
資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッガユーザーズマニュアル	ADJ-702-355
H8S、H8/300 シリーズ High-performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
はじめに	—	開発ツール関連ユーザズマニュアル、アプリケーションノートを追加																																				
1.3.2 動作モード別端子機能一覧 表 1.2 動作モード別端子機能一覧	1-7 ~ 1-9	注を追加 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th colspan="2">ピン番号</th> <th>端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B、 TFP-100BV、 TFP-100G、 TFP-100GV</td> <td>BP-112、 BP-112V、 TBP-112A、 TBP-112AV</td> <td>フラッシュメモリ ライタモード*</td> </tr> </tbody> </table>	ピン番号		端子名	TFP-100B、 TFP-100BV、 TFP-100G、 TFP-100GV	BP-112、 BP-112V、 TBP-112A、 TBP-112AV	フラッシュメモリ ライタモード*																														
ピン番号		端子名																																				
TFP-100B、 TFP-100BV、 TFP-100G、 TFP-100GV	BP-112、 BP-112V、 TBP-112A、 TBP-112AV	フラッシュメモリ ライタモード*																																				
	1-9	注を追加 【注】* NC は開放としてください。																																				
2.3 アドレス空間	2-7	説明を追加 本 CPU は、ノーマルモードのとき最大 64K バイト、またアドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。																																				
2.6.1 概要 表 2.1 命令の分類	2-15	注を追加 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>分類</th> <th>命令</th> <th>サイズ</th> <th>種類</th> </tr> </thead> <tbody> <tr> <td rowspan="5">転送命令</td> <td>MOV</td> <td>BWL</td> <td rowspan="5">5</td> </tr> <tr> <td>POP^{*1}、PUSH^{*1}</td> <td>WL</td> </tr> <tr> <td>LDM^{*2}、STM^{*2}</td> <td>L</td> </tr> <tr> <td>MOVFP^{*1}、MOVTP^{*1}</td> <td>B</td> </tr> <tr> <td></td> <td></td> </tr> </tbody> </table> 注を追加 【注】*5 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。	分類	命令	サイズ	種類	転送命令	MOV	BWL	5	POP ^{*1} 、PUSH ^{*1}	WL	LDM ^{*2} 、STM ^{*2}	L	MOVFP ^{*1} 、MOVTP ^{*1}	B																						
分類	命令	サイズ	種類																																			
転送命令	MOV	BWL	5																																			
	POP ^{*1} 、PUSH ^{*1}	WL																																				
	LDM ^{*2} 、STM ^{*2}	L																																				
	MOVFP ^{*1} 、MOVTP ^{*1}	B																																				
2.6.2 命令とアドレッシングモードの組み合わせ 表 2.2 命令とアドレッシングモードの組み合わせ	2-16	注を追加 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th rowspan="2">機能</th> <th rowspan="2">命令</th> <th colspan="4">アドレッシングモード</th> </tr> <tr> <th>#xx</th> <th>Er</th> <th>@Ern</th> <th>@(d:16, ERn)</th> </tr> </thead> <tbody> <tr> <td rowspan="5">データ転送命令</td> <td>MOV</td> <td>BWL</td> <td>BWL</td> <td>BWL</td> <td>BWL</td> </tr> <tr> <td>POP, PUSH</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>LDM^{*3}、STM^{*3}</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>MOVFP^{*1}</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>MOVTP^{*1}</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table> 注を追加 【注】*3 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。	機能	命令	アドレッシングモード				#xx	Er	@Ern	@(d:16, ERn)	データ転送命令	MOV	BWL	BWL	BWL	BWL	POP, PUSH	—	—	—	—	LDM ^{*3} 、STM ^{*3}	—	—	—	—	MOVFP ^{*1}	—	—	—	—	MOVTP ^{*1}	—	—	—	—
機能	命令	アドレッシングモード																																				
		#xx	Er	@Ern	@(d:16, ERn)																																	
データ転送命令	MOV	BWL	BWL	BWL	BWL																																	
	POP, PUSH	—	—	—	—																																	
	LDM ^{*3} 、STM ^{*3}	—	—	—	—																																	
	MOVFP ^{*1}	—	—	—	—																																	
	MOVTP ^{*1}	—	—	—	—																																	
2.6.3 命令の機能別一覧 表 2.3 データ転送命令	2-18	注を追加 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>命令</th> <th>サイズ^{#1}</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>LDM^{#2}</td> <td>L</td> <td>@SP+, Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。</td> </tr> <tr> <td>STM^{#2}</td> <td>L</td> <td>Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。</td> </tr> </tbody> </table> 【注】*1 サイズはオペランドサイズを示します。 B : バイト W : ワード L : ロングワード *2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。	命令	サイズ ^{#1}	機能	LDM ^{#2}	L	@SP+, Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。	STM ^{#2}	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。																											
命令	サイズ ^{#1}	機能																																				
LDM ^{#2}	L	@SP+, Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。																																				
STM ^{#2}	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。																																				
2.6.5 ビット操作命令使用上の注意	2-24	説明を追加 この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。詳細は「2.10.3 ビット操作命令使用上の注意」を参照してください。																																				

修正項目	ページ	修正内容（詳細はマニュアル参照）
2.8.1 概要 図 2.15 処理状態の分類	2-31	説明を追加 【注】* 低消費電力状態には、このほかに中速モード、モジュールストップモードがあります。 詳細は「第 17 章 低消費電力状態」を参照してください。
図 2.16 状態遷移図	2-32	図を修正 
4.2.4 リセット直後の割り込み	4-5	説明を修正 すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください（例：MOV.L #xx:32, SP）。
5.1.2 ブロック図 図 5.1 割り込みコントローラのブロック図	5-2	図を修正 

修正項目	ページ	修正内容（詳細はマニュアル参照）
5.3.1 外部割り込み 図 5.3 IRQnF のセットタイミング	5-8	注を追加  【注】 n=7~0
5.5.5 IRQ 割り込み	5-21	新規追加
5.5.6 NMI 割り込み使用上の注意	5-21	新規追加
6.1.2 ブロック図 図 6.1 バスコントローラのブロック図	6-2	記号説明を追加 【記号説明】 ABWCR : バス幅コントロールレジスタ ASTCR : アクセスステートコントロールレジスタ BCRH : バスコントロールレジスタ H BCRL : バスコントロールレジスタ L WCRH : ウェイトコントロールレジスタ H WCRL : ウェイトコントロールレジスタ L
7.3.4 DMA コントロールレジスタ (DMACR) ビット 10~7 : リザーブビット ----- ビット 4 : リザーブビット	7-16 7-17	説明を追加 リード/ライト可能です。0 をライトしてください。 説明を追加 リード/ライト可能です。0 をライトしてください。
7.3.5 DMA バンドコントロールレジスタ (DMABCR) ビット 10、8 : リザーブビット (DTA1A、DTA0A)	7-20	説明を追加 フルアドレスモード時はリザーブビットです。リード/ライト可能です。0 をライトしてください。
7.5.4 リpeatモード	7-33	説明を追加 リpeatモードは、DMACR の RPE ビットを 1、DMABCR の DTIE ビットを 0 に設定することで指定できます。
7.5.9 DMAC のバスサイクル(デュアルアドレスモード) (2)フルアドレスモード(サイクルスチールモード)	7-46	説明を追加 1 回の転送要求に対して 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。
8.2.5 DTC 転送カウントレジスタ A (CRA)	8-5	説明を修正 リpeatモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リpeatモードでは、CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは CRAH はブロックサイズを保持し、CRAL は、8 ビットのブロックサイズカウンタ (1~256) として機能します。
8.3.1 概要 図 8.2 DTC 動作フローチャート	8-9	注を追加  【注】* 割り込み処理の処理内容の詳細については、各周辺モジュールの章を参照してください。

修正項目	ページ	修正内容（詳細はマニュアル参照）
8.3.2 起動要因	8-10	説明を追加 起動要因フラグは、たとえば RXI0 の場合、SCIO の RDRF フラグになります。DTC の起動要因は多数あるため最終バイト（またはワード）の転送に対しては起動要因となったフラグをクリアしません。 各割り込み処理にて必要な処理をしてください。
8.3.8 チェイン転送	8-17	説明を追加 図 8.9 にチェイン転送のメモリマップを示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。
8.5 使用上の注意 (1) モジュールストップ	8-22	説明を追加 ただし、DTC が起動中には MSTPA6 ビットに 1 をライトできません。詳細は「第 17 章 低消費電力状態」を参照してください。
9.2.2 レジスタ構成 (1) ポート 1 データディレクションレジスタ (P1DDR)	9-5	説明を追加 P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。 P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 P1DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。
9.3.2 レジスタ構成 (1) ポート 3 データディレクションレジスタ (P3DDR)	9-14	説明を追加 P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。 本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 P3DDR はパワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。
9.5.2 レジスタ構成 (1) ポート 7 データディレクションレジスタ (P7DDR)	9-23	説明を追加 P7DDR を 1 にセットすると対応するポート 7 の各端子は出力となり、0 にクリアすると入力になります。 本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 P7DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。
9.7.2 レジスタ構成 (1) ポート A データディレクションレジスタ (PADDR)	9-28	説明を追加 また、ビット 7~4 はリザーブビットです。リードすると不定値が読み出されず。ライトは無効です。 本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PADDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。

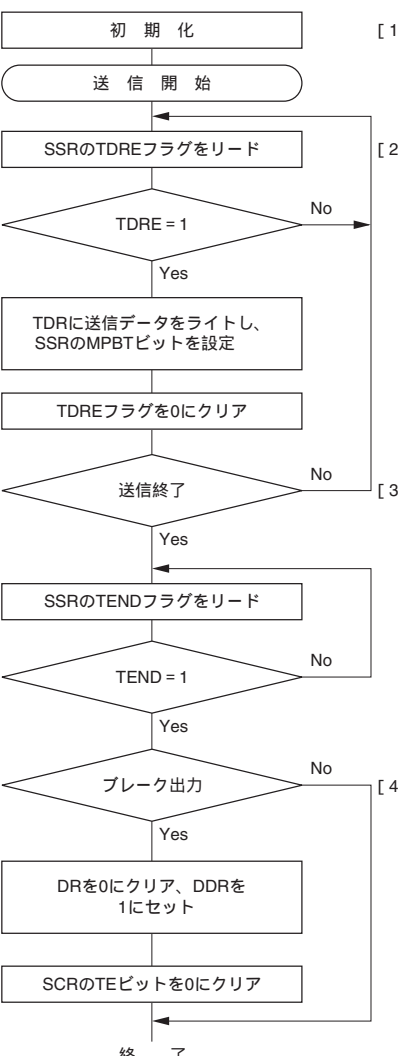
修正項目	ページ	修正内容（詳細はマニュアル参照）
9.8.2 レジスタ構成 (1) ポート B データディレクションレジスタ (PBDDR)	9-33	説明を追加 PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。 本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PBDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。
9.9.2 レジスタ構成 (1) ポート C データディレクションレジスタ (PCDDR)	9-40	説明を追加 PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。 PCDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PCDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。
9.10.2 レジスタ構成 (1) ポート D データディレクションレジスタ (PDDDR)	9-45	説明を追加 PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。 PDDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PDDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。
9.11.2 レジスタ構成 (1) ポート E データディレクションレジスタ (PEDDR)	9-49	説明を追加 PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。 PEDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PEDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。
9.12.2 レジスタ構成 (1) ポート F データディレクションレジスタ (PFDDR)	9-54	説明を追加 PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。 PFDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PFDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 4~6 の場合 H'80 に、モード 7 の場合 H'00 に初期化されます。

修正項目	ページ	修正内容 (詳細はマニュアル参照)				
9.13.2 レジスタ構成 (1) ポートG データディレクションレジスタ (PGDDR)	9-59	説明を追加 PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。 PGDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。 「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。 PG4DDR ビットは、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 4、5 の場合 1 に、モード 6、7 の場合 0 に初期化されます。				
9.14 未使用端子の処理	9-62	新規追加				
10.2.1 タイマコントロールレジスタ (TCR) ビット 4、3: クロックエッジ 1、0 (CKEG1、CKEG0)	10-7	説明を追加 【注】 内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。 (/1 選択時は の立ち下がりでカウント)				
10.2.5 タイマステータスレジスタ (TSR) ビット 3: インพุットキャプチャ/アウトプットコンペアフラグ D (TGFD)	10-18	表を修正 <table border="1"> <thead> <tr> <th>ビット 3 TGFD</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td> [クリア条件] ・ TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき (初期値) </td> </tr> </tbody> </table>	ビット 3 TGFD	説明	0	[クリア条件] ・ TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき (初期値)
ビット 3 TGFD	説明					
0	[クリア条件] ・ TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき (初期値)					
ビット 2: インพุットキャプチャ/アウトプットコンペアフラグ C (TGFC)	10-18	表を修正 <table border="1"> <thead> <tr> <th>ビット 2 TGFC</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td> [クリア条件] ・ TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (初期値) </td> </tr> </tbody> </table>	ビット 2 TGFC	説明	0	[クリア条件] ・ TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (初期値)
ビット 2 TGFC	説明					
0	[クリア条件] ・ TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (初期値)					
ビット 1: インพุットキャプチャ/アウトプットコンペアフラグ B (TGFB)	10-19	表を修正 <table border="1"> <thead> <tr> <th>ビット 1 TGFB</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td> [クリア条件] ・ TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (初期値) </td> </tr> </tbody> </table>	ビット 1 TGFB	説明	0	[クリア条件] ・ TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (初期値)
ビット 1 TGFB	説明					
0	[クリア条件] ・ TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (初期値)					
ビット 0: インพุットキャプチャ/アウトプットコンペアフラグ A (TGFA)	10-19	表を修正 <table border="1"> <thead> <tr> <th>ビット 0 TGFA</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td> [クリア条件] ・ TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき ・ TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (初期値) </td> </tr> </tbody> </table>	ビット 0 TGFA	説明	0	[クリア条件] ・ TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき ・ TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (初期値)
ビット 0 TGFA	説明					
0	[クリア条件] ・ TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき ・ TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき ・ TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (初期値)					
10.7 使用上の注意 (1) モジュールストップモードの設定	10-53	説明を追加				
図 10.53 TCNT のライトとオーバーフローの競合	10-58	図を修正 				
11.5.5 インターバルタイマモードでの OVF フラグのクリア	11-10	新規追加				
12.2.7 シリアルステータスレジスタ (SSR) ビット 7: トランスミットデータレジスタ エンプティ (TDRE)	12-11	注を追加 <table border="1"> <thead> <tr> <th>ビット 7 TDRE</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td> [クリア条件] TDRE = 1 の状態をリードしたあと、0 をライトしたとき TXI 割り込み要求によって DMAC または DTC が起動され、DMAC または DTC で TDR ヘデータをライトしたとき </td> </tr> </tbody> </table> 【注】* DTC によりクリアされるのは、DISEL=0 で、かつ転送カウンタが 0 でない場合です。	ビット 7 TDRE	説明	0	[クリア条件] TDRE = 1 の状態をリードしたあと、0 をライトしたとき TXI 割り込み要求によって DMAC または DTC が起動され、DMAC または DTC で TDR ヘデータをライトしたとき
ビット 7 TDRE	説明					
0	[クリア条件] TDRE = 1 の状態をリードしたあと、0 をライトしたとき TXI 割り込み要求によって DMAC または DTC が起動され、DMAC または DTC で TDR ヘデータをライトしたとき					

修正項目	ページ	修正内容（詳細はマニュアル参照）								
12.2.7 シリアルステータスレジスタ (SSR) ビット6：レシーブデータレジスタフル (RDRF)	12-11	注を追加 <table border="1" data-bbox="687 342 1436 436"> <thead> <tr> <th data-bbox="687 342 794 365">ビット6</th> <th data-bbox="794 342 1436 365">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="687 365 794 387">RDRF</td> <td data-bbox="794 365 1436 387"></td> </tr> <tr> <td data-bbox="687 387 794 409">0</td> <td data-bbox="794 387 1436 409">[クリア条件] RDRF=1の状態をリードしたあと、0をライトしたとき (初期値)</td> </tr> <tr> <td data-bbox="687 409 794 432"></td> <td data-bbox="794 409 1436 432">TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で RDR のデータをリードしたとき</td> </tr> </tbody> </table> <p data-bbox="687 448 1436 492">【注】* DTC によりクリアされるのは、DISEL=0 で、かつ転送カウンタが0でない場合です。</p>	ビット6	説明	RDRF		0	[クリア条件] RDRF=1の状態をリードしたあと、0をライトしたとき (初期値)		TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で RDR のデータをリードしたとき
ビット6	説明									
RDRF										
0	[クリア条件] RDRF=1の状態をリードしたあと、0をライトしたとき (初期値)									
	TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で RDR のデータをリードしたとき									
ビット2：トランスミットエンド (TEND)	12-13	注を追加 <table border="1" data-bbox="687 544 1436 638"> <thead> <tr> <th data-bbox="687 544 794 566">ビット2</th> <th data-bbox="794 544 1436 566">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="687 566 794 589">TEND</td> <td data-bbox="794 566 1436 589"></td> </tr> <tr> <td data-bbox="687 589 794 611">0</td> <td data-bbox="794 589 1436 611">[クリア条件] TDRE=1の状態をリードしたあと、TDRE フラグに0をライトしたとき</td> </tr> <tr> <td data-bbox="687 611 794 633"></td> <td data-bbox="794 611 1436 633">TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で TDR ヘッダデータをライトしたとき</td> </tr> </tbody> </table> <p data-bbox="687 649 1436 694">【注】* DTC によりクリアされるのは、DISEL=0 で、かつ転送カウンタが0でない場合です。</p>	ビット2	説明	TEND		0	[クリア条件] TDRE=1の状態をリードしたあと、TDRE フラグに0をライトしたとき		TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で TDR ヘッダデータをライトしたとき
ビット2	説明									
TEND										
0	[クリア条件] TDRE=1の状態をリードしたあと、TDRE フラグに0をライトしたとき									
	TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で TDR ヘッダデータをライトしたとき									
12.3.2 調歩同期式モード時の動作 (3) データの送信 / 受信動作 (a) SCI の初期化 (調歩同期式) 図 12.7 SCI の初期化フローチャートの例	12-30	注を追加 <div data-bbox="699 757 1066 1400" style="border: 1px solid black; padding: 5px;"> <pre> graph TD Start([初期化開始]) --> Clear[SCRのTE、REビットを0にクリア] Clear --> SetCke[SCRのCKE1、CKE0ビットを設定 (TE、REはビット0)] SetCke --> SetFormat[SMR、SCMRに送信 / 受信フォーマットを設定] SetFormat --> SetBrr[BRRに値を設定] SetBrr --> Wait{Wait} Wait --> OneBit{1ビット期間経過} OneBit -- No --> Wait OneBit -- Yes --> SetBits[SCRのTE、RE*ビットを1にセット、 および、RIE、TIE、TEIE、MPIEビットを設定] SetBits --> End([初期化完了]) </pre> </div> <div data-bbox="1114 757 1436 1276" style="margin-left: 20px;"> <p>[1] SCRにクロックの選択を設定してください。 なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず0にクリアしてください。 調歩同期式モードでクロックを選択した場合には、SCRの設定後、直ちに出力されます。</p> <p>[2] SMR、SCMRに送信 / 受信フォーマットを設定します。</p> <p>[3] BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。</p> <p>[4] 少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを1にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。 TE、REビットを設定することによりTxD、RxD端子が使用可能となります。</p> </div> <p data-bbox="687 1456 1141 1523">【注】* RxD端子が1の状態を設定してください。 RxD端子が0の状態REビットを1にセットするとスタートビットとして誤認する可能性があります。</p>								

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>12.3.2 調歩同期式モード時の動作 (3) データの送信 / 受信動作 (b) シリアルデータ送信（調歩同期式）</p> <p>図 12.8 シリアル送信のフローチャートの例</p>	<p>12-31</p>	<p>注を追加</p> <pre> graph TD Start([送信開始]) --> Init[初期化] Init --> ReadTDRE[SSRのTDREフラグをリード] ReadTDRE --> TDRE{TDRE = 1} TDRE -- Yes --> WriteTDR[TDRに送信データをライトし、SSRのTDREフラグを0にクリア] TDRE -- No --> AllData{全データ送信} WriteTDR --> AllData AllData -- Yes --> ReadTEND[SSRのTENDフラグをリード] ReadTEND --> TEND{TEND = 1} TEND -- Yes --> Break{ブレーク出力} TEND -- No --> ClearTE[SCRのTEビットを0にクリア] Break -- Yes --> SetDDR[DRを0にクリア、DDRを1にセット] SetDDR --> ClearTE Break -- No --> ClearTE ClearTE --> End([終了]) </pre> <p>[1] SCIを初期化： TxD端子は自動的に送信データ出力端子になります。 TEビットを1にセットしたあと、1フレーム分の1を出力して送信可能状態になります。</p> <p>[2] SCIの状態を確認して、送信データをライト： SSRをリードして、TDREフラグが1であることを確認したあと、TDRに送信データをライトし、TDREフラグを0にクリアします。</p> <p>[3] シリアル送信の継続手順： シリアル送信を続けるときには、TDREフラグの1をリードしてライト可能であることを確認したあとにTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。ただし、送信データエンベティ割り込み（TX1）要求でDMACまたはDTC[®]を起動し、TDRにデータをライトする場合には、TDREフラグのチェックおよびクリアは自動的に行われます。</p> <p>[4] シリアル送信の終了時にブレークを出力： シリアル送信時にブレークを出力するときには、TxD端子に対応するポートのDDRを1にセット、DRを0にクリアしたあとにSCRのTEビットを0にクリアします。</p> <p>【注】 * DTCによるTDREフラグのチェックおよびクリアが自動的に行われるのは、DTCのDISEL=0で、かつ転送カウンタが0でない場合のみです。したがって、DISEL=1の場合、またはDISEL=0かつ転送カウンタ=0の場合は、TDREフラグのクリアをCPUで行ってください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>12.3.2 調歩同期式モード時の動作 (3) データの送信 / 受信動作 (c) シリアルデータ受信（調歩同期式） 図 12.10 シリアル受信データフローチャートの例（1）</p>	<p>12-33</p>	<p>注を追加</p> <pre> graph TD Start([初期化]) --> Init[初期化] Init --> StartReception([受信開始]) StartReception --> ReadSSR[SSRのORER、PER、FERフラグをリード] ReadSSR --> CheckError{PER FER ORER = 1} CheckError -- Yes --> Error([エラー処理]) Error --> NextPage([次頁に続く]) CheckError -- No --> ReadRDRF[SSRのRDRFフラグをリード] ReadRDRF --> CheckRDRF{RDRF = 1} CheckRDRF -- No --> ReadSSR CheckRDRF -- Yes --> ReadRDR[RDRの受信データをリードし、SSRのRDRFフラグを0にクリア] ReadRDR --> CheckFull{全数受信} CheckFull -- No --> ReadRDRF CheckFull -- Yes --> ClearRE[SCRのREビットを0にクリア] ClearRE --> End([終了]) </pre> <p>【1】 SCIの初期化： Rx/D端子は自動的に受信データ入力端子になります。</p> <p>【2】 【3】 受信エラー処理とブレークの検出： 受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行ったあと、必ず、ORER、PER、FERフラグをすべて0にクリアしてください。ORER、PER、FERフラグのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRx/D端子に対応する入力ポートの値をリードすることでブレークの検出ができます。</p> <p>【4】 SCIの状態を確認して受信データのリード： SSRをリードして、RDRF = 1であることを確認したあと、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。</p> <p>【5】 シリアル受信の継続手順： シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを0にクリアしておいてください。ただし、RXI割り込みでDMACまたはDTC[®]を起動し、RDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。</p> <p>【注】 * DTCによるRDRFフラグのクリアが自動的に行われるのは、DTCのDISEL=0で、かつ転送カウンタが0でない場合のみです。したがって、DISEL=1の場合、またはDISEL=0かつ転送カウンタ=0の場合は、RDRFフラグのクリアをCPUで行ってください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>12.3.3 マルチプロセッサ通信機能 (2) データの送信 / 受信動作 (a) マルチプロセッサシリアルデータ送信</p> <p>図 12.14 マルチプロセッサシリアル送信のフローチャートの例</p>	12-37	<p>注を追加</p>  <p>[1] [1] SCIの初期化： TxD端子は自動的に送信データ出力端子になります。 TEビットを1にセットしたあと、1フレーム分の1を出力して送信可能状態になります。</p> <p>[2] [2] SCIの状態を確認して、送信データをライト： SSRをリードして、TDREフラグが1であることを確認したあと、TDRに送信データをライトします。また、SSRのMPBTビットを0または1に設定します。最後にTDREフラグを0にクリアしてください。</p> <p>[3] [3] シリアル送信の継続手順： シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認したあとにTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。ただし、送信データエンブティ割り込み (TXI) 要求でDMACまたはDTC*を起動し、TDRにデータをライトする場合にはTDREフラグのチェックおよびクリアは自動的に行われます。</p> <p>[4] [4] シリアル送信の終了時にブレークを出力： シリアル送信時にブレークを出力するときには、ポートのDDRを1にセットし、DRを0にクリアしたあとにSCRのTEビットを0にクリアします。</p> <p>【注】 * DTCによるTDREフラグのクリアが自動的に行われるのは、DTCのDISEL=0で、かつ転送カウンタが0でない場合のみです。したがって、DISEL=1の場合、またはDISEL=0かつ転送カウンタ=0の場合は、TDREフラグのクリアをCPUで行ってください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>12.3.4 クロック同期モード時の動作 (3) データの送信 / 受信動作 (b) シリアルデータ送信(クロック同期式) 図 12.21 シリアル送信のフローチャートの例</p>	12-44	<p>注を追加</p> <pre> graph TD Start([初期化]) --> Init[初期化] Init --> StartTx([送信開始]) StartTx --> ReadTDRE[SSRのTDREフラグをリード] ReadTDRE --> TDRE1{TDRE = 1} TDRE1 -- No --> ReadTDRE TDRE1 -- Yes --> WriteTDR[TDRの送信データをライトし、SSRのTDREフラグを0にクリア] WriteTDR --> AllData{全データ送信} AllData -- No --> ReadTDRE AllData -- Yes --> ReadTEND[SSRのTENDフラグをリード] ReadTEND --> TEND1{TEND = 1} TEND1 -- No --> ReadTEND TEND1 -- Yes --> ClearTE[SCRのTEビットを0にクリア] ClearTE --> End([終了]) </pre> <p>[1] SCIの初期化： TxD端子は自動的に送信データ出力端子になります。</p> <p>[2] SCIの状態を確認して、送信データをライト： SSRをリードして、TDREフラグが1であることを確認したあと、TDRに送信データをライトし、TDREフラグを0にクリアします。</p> <p>[3] シリアル送信の継続手順： シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認したあとにTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。 ただし、送信データエンティ割り込み (TXI) 要求でDMACまたはDTC*を起動し、TDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。</p> <p>【注】 * DTCによるTDREフラグのクリアが自動的に行われるのは、DTCのDISEL=0で、かつ転送カウンタが0でない場合のみです。したがって、DISEL=1の場合、またはDISEL=0かつ転送カウンタ=0の場合は、TDREフラグのクリアをCPUで行ってください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
12.3.4 クロック同期モード時の動作 (3) データの送信 / 受信動作 (c) シリアルデータ受信(クロック同期式) 図 12.23 シリアルデータ受信フローチャートの例	12-46	<p>注を追加</p> <p>[1] SCIの初期化： Rx/D端子は自動的に受信データ入力端子になります。</p> <p>[2][3] 受信エラー処理： 受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行ったあと、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信 / 受信を再開できません。</p> <p>[4] SCIの状態を確認して受信データのリード： SSRをリードして、RDRFフラグが1であることを確認したあと、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによって知ることができます。</p> <p>[5] シリアル受信の継続手順： シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。ただし、受信データフル割り込み（RXI）要求でDMACまたはDTC[®]を起動し、RDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。</p> <p>[3] エラー処理 オーバーランエラー処理 SSRのORERフラグを0クリア 終了</p> <p>【注】 * DTCによるRDRFフラグのクリアが自動的に行われるのは、DTCのDISEL=0で、かつ転送カウンタが0でない場合のみです。したがって、DISEL=1の場合、またはDISEL=0かつ転送カウンタ=0の場合は、RDRFフラグのクリアをCPUで行ってください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>12.3.4 クロック同期式モード時の動作 (3) データの送信 / 受信動作 (d) シリアルデータ送受信同時動作 (クロック同期式)</p> <p>図 12.25 シリアル送受信同時動作のフローチャートの例</p>	12-48	<p>注を追加</p> <pre> graph TD Start([初期化]) --> StartTxRx([送受信開始]) StartTxRx --> ReadTDRE[SSRのTDREフラグをリード] ReadTDRE --> TDRE{TDRE = 1} TDRE -- No --> ReadTDRE TDRE -- Yes --> WriteTDR[TDRに送信データをライトし、SSRのTDREフラグを0にクリア] WriteTDR --> ReadORER[SSRのORERフラグをリード] ReadORER --> ORER{ORER = 1} ORER -- Yes --> Error([エラー処理]) ORER -- No --> ReadRDRF[SSRのRDRFフラグをリード] ReadRDRF --> RDRF{RDRF = 1} RDRF -- No --> ReadRDRF RDRF -- Yes --> ReadRDR[RDRの受信データをリードし、SSRのRDRFフラグを0にクリア] ReadRDR --> AllReceived{全数受信} AllReceived -- No --> ReadTDRE AllReceived -- Yes --> ClearTE[SCRのTE、REビットを0にクリア] ClearTE --> End([終了]) </pre> <p>【注】 送信、または受信動作から同時送受信に切り替えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。</p> <p>* DTCによるTDREフラグまたはRDRFフラグのクリアが自動的に行われるのは、該当するDTC転送のDISEL=0で、かつ転送カウンタが0でない場合のみです。したがって、該当するDTC転送のDISEL=1の場合、またはDISEL=0かつ転送カウンタ=0の場合は、該当するフラグのクリアをCPUで行ってください。</p> <p>[1] 初期化：Tx/D端子は送信データ出力端子に、Rx/D端子は受信データ入力端子になり送受信同時動作可能状態になります。</p> <p>[2] SCIの状態確認と送信データのライト：SSRをリードしてTDREフラグが1であることを確認したあと、TDRに送信データをライトし、TDREフラグを0にクリアします。TDREフラグが0から1に変化したことは、TXI割り込みによっても知ることができます。</p> <p>[3] 受信エラー処理：受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行ったあと、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では送信 / 受信を再開できません。</p> <p>[4] SCIの状態を確認して受信データのリード：SSRをリードして、RDRFフラグが1であることを確認したあと、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。</p> <p>[5] シリアル送受信の継続手順：シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの1をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを0にクリアしておいてください。ただし、送信データエンベティ割り込み（TXI）要求でDMACまたはDTCを起動し、TDRにデータをライトする場合には、TDREフラグのチェック、およびクリアは自動的に行われます。また、受信データフル割り込み（RXI）要求でDMACまたはDTC*を起動しRDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。</p>
12.4 SCI 割り込み	12-49	<p>注を追加</p> <p>TDRE フラグは DMAC または DTC* によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DMAC または DTC の起動はできません。SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC または DTC を起動してデータ転送を行うことができます。RDRF フラグは DMAC または DTC* によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DMAC または DTC の起動はできません。</p> <p>【注】* フラグのクリアが実行されるのは、DTC の DISEL=0 で、かつ転送カウンタが 0 でない場合です。</p>
12.5 使用上の注意 (1) モジュールストップモードの設定	12-50	説明を追加

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																										
12.5 使用上の注意 (8)DMAC または DTC 使用上の制約事項	12-52	説明を追加 (c) データ転送時 DTC によりフラグが自動的にクリアされるのは、DTC の DISEL が 0 で、かつ転送カウンタが 0 でない場合のみです。したがって、DTC の DISEL=1 の場合、または DISEL=0 かつ転送カウンタが 0 の場合は、CPU にてフラグクリア処理を行ってください。で行ってください。特に送信時は CPU にて TDRE フラグをクリアしないと正しく送信されませんのでご注意ください。																																																																																																																																										
17.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定 表 17.4 発振安定時間の設定	17-9	表を修正 <table border="1"> <thead> <tr> <th>STS2</th> <th>STS1</th> <th>STS0</th> <th>待機時間</th> <th>16MHz</th> <th>13MHz</th> <th>10MHz</th> <th>8MHz</th> <th>6MHz</th> <th>4MHz</th> <th>2MHz</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td rowspan="3">0</td> <td>0</td> <td>8192 ステート</td> <td>0.51</td> <td>0.63</td> <td>0.82</td> <td>1.0</td> <td>1.4</td> <td>2.0</td> <td>4.1</td> <td rowspan="3">ms</td> </tr> <tr> <td>1</td> <td>16384 ステート</td> <td>1.0</td> <td>1.3</td> <td>1.6</td> <td>2.0</td> <td>2.7</td> <td>4.1</td> <td>[8.2]</td> </tr> <tr> <td>1</td> <td>0</td> <td>32768 ステート</td> <td>2.0</td> <td>2.5</td> <td>3.3</td> <td>4.1</td> <td>5.5</td> <td>[8.2]</td> <td>16.4</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="3">0</td> <td>0</td> <td>65536 ステート</td> <td>4.1</td> <td>5.0</td> <td>6.6</td> <td>[8.2]</td> <td>[10.9]</td> <td>16.4</td> <td>32.8</td> <td rowspan="3"></td> </tr> <tr> <td>1</td> <td>131072 ステート</td> <td>[8.2]</td> <td>[10.3]</td> <td>[13.1]</td> <td>16.4</td> <td>21.8</td> <td>32.8</td> <td>65.5</td> </tr> <tr> <td>1</td> <td>262144 ステート</td> <td>16.4</td> <td>20.2</td> <td>26.2</td> <td>32.8</td> <td>43.7</td> <td>65.5</td> <td>[131.1]</td> </tr> <tr> <td rowspan="3"></td> <td rowspan="3">1</td> <td>0</td> <td>2048 ステート</td> <td>0.13</td> <td>0.16</td> <td>0.20</td> <td>0.26</td> <td>0.34</td> <td>0.51</td> <td>1.0</td> <td rowspan="3">s</td> </tr> <tr> <td>1</td> <td>16 ステート</td> <td>1.0</td> <td>1.2</td> <td>1.6</td> <td>2.0</td> <td>2.7</td> <td>4.0</td> <td>8.0</td> </tr> <tr> <td>1</td> <td>16 ステート</td> <td>1.0</td> <td>1.2</td> <td>1.6</td> <td>2.0</td> <td>2.7</td> <td>4.0</td> <td>8.0</td> </tr> </tbody> </table>	STS2	STS1	STS0	待機時間	16MHz	13MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位	0	0	0	8192 ステート	0.51	0.63	0.82	1.0	1.4	2.0	4.1	ms	1	16384 ステート	1.0	1.3	1.6	2.0	2.7	4.1	[8.2]	1	0	32768 ステート	2.0	2.5	3.3	4.1	5.5	[8.2]	16.4	1	0	0	65536 ステート	4.1	5.0	6.6	[8.2]	[10.9]	16.4	32.8		1	131072 ステート	[8.2]	[10.3]	[13.1]	16.4	21.8	32.8	65.5	1	262144 ステート	16.4	20.2	26.2	32.8	43.7	65.5	[131.1]		1	0	2048 ステート	0.13	0.16	0.20	0.26	0.34	0.51	1.0	s	1	16 ステート	1.0	1.2	1.6	2.0	2.7	4.0	8.0	1	16 ステート	1.0	1.2	1.6	2.0	2.7	4.0	8.0																																			
STS2	STS1	STS0	待機時間	16MHz	13MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位																																																																																																																																	
0	0	0	8192 ステート	0.51	0.63	0.82	1.0	1.4	2.0	4.1	ms																																																																																																																																	
		1	16384 ステート	1.0	1.3	1.6	2.0	2.7	4.1	[8.2]																																																																																																																																		
		1	0	32768 ステート	2.0	2.5	3.3	4.1	5.5	[8.2]		16.4																																																																																																																																
1	0	0	65536 ステート	4.1	5.0	6.6	[8.2]	[10.9]	16.4	32.8																																																																																																																																		
		1	131072 ステート	[8.2]	[10.3]	[13.1]	16.4	21.8	32.8	65.5																																																																																																																																		
		1	262144 ステート	16.4	20.2	26.2	32.8	43.7	65.5	[131.1]																																																																																																																																		
	1	0	2048 ステート	0.13	0.16	0.20	0.26	0.34	0.51	1.0	s																																																																																																																																	
		1	16 ステート	1.0	1.2	1.6	2.0	2.7	4.0	8.0																																																																																																																																		
		1	16 ステート	1.0	1.2	1.6	2.0	2.7	4.0	8.0																																																																																																																																		
18.7 使用上の注意	18-16	説明を追加 <ul style="list-style-type: none"> F-ZTAT 版とマスク ROM 版の特性について <p>F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。</p> <p>F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。</p> <ul style="list-style-type: none"> プリント基板設計上の一般的注意事項 <p>実装設計については、LSI のスイッチング過渡電流による放射ノイズ対策を充分ご配慮のうえ、ご使用くださるようお願いいたします。以下に具体的対策例を示します。</p> <ol style="list-style-type: none"> 電源プレーンと GND プレーンを有する。多層プリント基板を使用する。 LSI の Vcc - GND (Vss) 間にバイパスコンデンサ (0.1μF 程度) を付ける。 																																																																																																																																										
付録 A. 命令 A.1 命令セット一覧 (1) データ転送命令 表 A.1 データ転送命令	付録-3	注を追加 <table border="1"> <thead> <tr> <th rowspan="2">ニーモニック</th> <th rowspan="2">サイズ</th> <th colspan="7">アドレッシングモード / 命令長 (バイト)</th> <th rowspan="2">オペレーション</th> <th colspan="5">コンディションコード</th> <th rowspan="2">実行ステート数^{※1}</th> </tr> <tr> <th>fix</th> <th>Rn</th> <th>@ERn</th> <th>@(ERn)</th> <th>@(ERn/ERn+)</th> <th>@(PC)</th> <th>@(aa)</th> <th>I</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>アド/コンスト</th> </tr> </thead> <tbody> <tr> <td>LDM[※]</td> <td>LDM @SP+, (ERn-ERn)</td> <td>L</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>4</td> <td>(@SP ERn32:SP+4 SP) 復帰本数分繰り返し</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>7/9/11 [1]</td> </tr> <tr> <td>STM[※]</td> <td>STM (ERn-ERn), @SP</td> <td>L</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>4</td> <td>(SP-4 SP, ERn32 @SP) 遷移本数分繰り返し</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>7/9/11 [1]</td> </tr> <tr> <td>MOVFP[※]</td> <td>MOVFP[※] @aa, Rd</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> <tr> <td>MOVTP[※]</td> <td>MOVTP[※] Rn, @aa, Rd</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> </tbody> </table> <p>H8S/2214 グループでは使用できません。</p> <p>【注】 STM/LDM 命令を使用する場合はレジスタ ER0 - ER6 を使用してください。</p>	ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行ステート数 ^{※1}	fix	Rn	@ERn	@(ERn)	@(ERn/ERn+)	@(PC)	@(aa)	I	H	N	Z	V	C	アド/コンスト	LDM [※]	LDM @SP+, (ERn-ERn)	L							4	(@SP ERn32:SP+4 SP) 復帰本数分繰り返し							7/9/11 [1]	STM [※]	STM (ERn-ERn), @SP	L							4	(SP-4 SP, ERn32 @SP) 遷移本数分繰り返し							7/9/11 [1]	MOVFP [※]	MOVFP [※] @aa, Rd																[2]	MOVTP [※]	MOVTP [※] Rn, @aa, Rd																[2]																																				
ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行ステート数 ^{※1}																																																																																																																													
		fix	Rn	@ERn	@(ERn)	@(ERn/ERn+)	@(PC)	@(aa)		I	H	N	Z	V		C	アド/コンスト																																																																																																																											
LDM [※]	LDM @SP+, (ERn-ERn)	L							4	(@SP ERn32:SP+4 SP) 復帰本数分繰り返し							7/9/11 [1]																																																																																																																											
STM [※]	STM (ERn-ERn), @SP	L							4	(SP-4 SP, ERn32 @SP) 遷移本数分繰り返し							7/9/11 [1]																																																																																																																											
MOVFP [※]	MOVFP [※] @aa, Rd																[2]																																																																																																																											
MOVTP [※]	MOVTP [※] Rn, @aa, Rd																[2]																																																																																																																											
(2) 算術演算命令 表 A.2 データ転送命令	付録-4	注を追加 <table border="1"> <thead> <tr> <th rowspan="2">ニーモニック</th> <th rowspan="2">サイズ</th> <th colspan="7">アドレッシングモード / 命令長 (バイト)</th> <th rowspan="2">オペレーション</th> <th colspan="5">コンディションコード</th> <th rowspan="2">実行ステート数^{※1}</th> </tr> <tr> <th>fix</th> <th>Rn</th> <th>@ERn</th> <th>@(ERn)</th> <th>@(ERn/ERn+)</th> <th>@(PC)</th> <th>@(aa)</th> <th>I</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>アド/コンスト</th> </tr> </thead> <tbody> <tr> <td>TAS[※]</td> <td>TAS @ERn+</td> <td>B</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>@ERn+ @CCR セット (1)</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>4</td> </tr> <tr> <td>MAC</td> <td>CLRMAC</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>(レジスタ aa の ERd)</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> <tr> <td>CLRMAC</td> <td>LDMAC ERs, MACH</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> <tr> <td>LDMAC</td> <td>LDMAC ERs, MACL</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> <tr> <td>STMAC</td> <td>STMAC MACH, ERd</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> <tr> <td>STMAC</td> <td>STMAC MACL, ERd</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>[2]</td> </tr> </tbody> </table> <p>H8S/2214 グループでは使用できません。</p> <p>【注】 TAS 命令を使用する場合はレジスタ ER0、ER1、ER4、ER5 を使用してください。</p>	ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行ステート数 ^{※1}	fix	Rn	@ERn	@(ERn)	@(ERn/ERn+)	@(PC)	@(aa)	I	H	N	Z	V	C	アド/コンスト	TAS [※]	TAS @ERn+	B								@ERn+ @CCR セット (1)							4	MAC	CLRMAC									(レジスタ aa の ERd)							[2]	CLRMAC	LDMAC ERs, MACH																[2]	LDMAC	LDMAC ERs, MACL																[2]	STMAC	STMAC MACH, ERd																[2]	STMAC	STMAC MACL, ERd																[2]
ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行ステート数 ^{※1}																																																																																																																													
		fix	Rn	@ERn	@(ERn)	@(ERn/ERn+)	@(PC)	@(aa)		I	H	N	Z	V		C	アド/コンスト																																																																																																																											
TAS [※]	TAS @ERn+	B								@ERn+ @CCR セット (1)							4																																																																																																																											
MAC	CLRMAC									(レジスタ aa の ERd)							[2]																																																																																																																											
CLRMAC	LDMAC ERs, MACH																[2]																																																																																																																											
LDMAC	LDMAC ERs, MACL																[2]																																																																																																																											
STMAC	STMAC MACH, ERd																[2]																																																																																																																											
STMAC	STMAC MACL, ERd																[2]																																																																																																																											
A.4 命令実行ステート数 表 A.15 命令実行状態 (サイクル数)	付録-31	注を追加 <table border="1"> <thead> <tr> <th rowspan="2">命令</th> <th rowspan="2">ニーモニック</th> <th rowspan="2">命令フェッチ</th> <th rowspan="2">分岐アドレスリード</th> <th rowspan="2">スタック操作</th> <th rowspan="2">バイトデータアクセス</th> <th rowspan="2">ワードデータアクセス</th> <th rowspan="2">内部動作</th> </tr> <tr> <th>I</th> <th>J</th> <th>K</th> <th>L</th> <th>M</th> <th>N</th> </tr> </thead> <tbody> <tr> <td rowspan="3">LDM[※]</td> <td>LDM.L @SP+, (ERn-ERn+1)</td> <td>2</td> <td></td> <td>4</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>LDM.L @SP+, (ERn-ERn+2)</td> <td>2</td> <td></td> <td>6</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>LDM.L @SP+, (ERn-ERn+3)</td> <td>2</td> <td></td> <td>8</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>LDMAC</td> <td>LDMAC ERs, MACH</td> <td colspan="6">H8S/2214 グループでは使用できません。</td> </tr> <tr> <td>MAC</td> <td>MAC @ERn+, @ERm+</td> <td colspan="6">H8S/2214 グループでは使用できません。</td> </tr> </tbody> </table>	命令	ニーモニック	命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作	I	J	K	L	M	N	LDM [※]	LDM.L @SP+, (ERn-ERn+1)	2		4			1	LDM.L @SP+, (ERn-ERn+2)	2		6			1	LDM.L @SP+, (ERn-ERn+3)	2		8			1	LDMAC	LDMAC ERs, MACH	H8S/2214 グループでは使用できません。						MAC	MAC @ERn+, @ERm+	H8S/2214 グループでは使用できません。																																																																																											
命令	ニーモニック	命令フェッチ									分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作																																																																																																																													
			I	J	K	L	M	N																																																																																																																																				
LDM [※]	LDM.L @SP+, (ERn-ERn+1)	2		4			1																																																																																																																																					
	LDM.L @SP+, (ERn-ERn+2)	2		6			1																																																																																																																																					
	LDM.L @SP+, (ERn-ERn+3)	2		8			1																																																																																																																																					
LDMAC	LDMAC ERs, MACH	H8S/2214 グループでは使用できません。																																																																																																																																										
MAC	MAC @ERn+, @ERm+	H8S/2214 グループでは使用できません。																																																																																																																																										
	付録-34	注を追加 <table border="1"> <thead> <tr> <th rowspan="2">命令</th> <th rowspan="2">ニーモニック</th> <th rowspan="2">命令フェッチ</th> <th rowspan="2">分岐アドレスリード</th> <th rowspan="2">スタック操作</th> <th rowspan="2">バイトデータアクセス</th> <th rowspan="2">ワードデータアクセス</th> <th rowspan="2">内部動作</th> </tr> <tr> <th>I</th> <th>J</th> <th>K</th> <th>L</th> <th>M</th> <th>N</th> </tr> </thead> <tbody> <tr> <td rowspan="3">STM[※]</td> <td>STM.L (ERn-ERn+1), @SP</td> <td>2</td> <td></td> <td>4</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>STM.L (ERn-ERn+2), @SP</td> <td>2</td> <td></td> <td>6</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>STM.L (ERn-ERn+3), @SP</td> <td>2</td> <td></td> <td>8</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>TAS[※]</td> <td>TAS @ERd</td> <td>2</td> <td></td> <td></td> <td>2</td> <td></td> <td></td> </tr> </tbody> </table>	命令	ニーモニック	命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作	I	J	K	L	M	N	STM [※]	STM.L (ERn-ERn+1), @SP	2		4			1	STM.L (ERn-ERn+2), @SP	2		6			1	STM.L (ERn-ERn+3), @SP	2		8			1	TAS [※]	TAS @ERd	2			2																																																																																																
命令	ニーモニック	命令フェッチ									分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作																																																																																																																													
			I	J	K	L	M	N																																																																																																																																				
STM [※]	STM.L (ERn-ERn+1), @SP	2		4			1																																																																																																																																					
	STM.L (ERn-ERn+2), @SP	2		6			1																																																																																																																																					
	STM.L (ERn-ERn+3), @SP	2		8			1																																																																																																																																					
TAS [※]	TAS @ERd	2			2																																																																																																																																							

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																		
A.4 命令実行ステート数 表 A.15 命令実行状態（サイクル数）	付録-35	注を追加 【注】*4 STM/LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。																																																		
表 A.16 命令の実行状態	付録-41	注を追加 <table border="1"> <thead> <tr> <th>命令</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> <th>7</th> <th>8</th> <th>9</th> </tr> </thead> <tbody> <tr> <td>LDM.L @SP+, (ERn-ERn+1) #</td> <td>R/W 2nd</td> <td>R-WM NEXT</td> <td>内部動作 1 ステート</td> <td>R-WM スタック(H) #</td> <td>R-WM スタック(L) #</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>LDM.L @SP+, (ERn-ERn+2) #</td> <td>R/W 2nd</td> <td>R-WM NEXT</td> <td>内部動作 1 ステート</td> <td>R-WM スタック(H) #</td> <td>R-WM スタック(L) #</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>LDM.L @SP+, (ERn-ERn+3) #</td> <td>R/W 2nd</td> <td>R-WM NEXT</td> <td>内部動作 1 ステート</td> <td>R-WM スタック(H) #</td> <td>R-W スタック(L) #</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>LDMAC ERn,MACL LDMAC ERn,MACL MAC @ERn+, @ERm+</td> <td colspan="9">H8S/2214 グループでは使用できません。</td> </tr> </tbody> </table>	命令	1	2	3	4	5	6	7	8	9	LDM.L @SP+, (ERn-ERn+1) #	R/W 2nd	R-WM NEXT	内部動作 1 ステート	R-WM スタック(H) #	R-WM スタック(L) #					LDM.L @SP+, (ERn-ERn+2) #	R/W 2nd	R-WM NEXT	内部動作 1 ステート	R-WM スタック(H) #	R-WM スタック(L) #					LDM.L @SP+, (ERn-ERn+3) #	R/W 2nd	R-WM NEXT	内部動作 1 ステート	R-WM スタック(H) #	R-W スタック(L) #					LDMAC ERn,MACL LDMAC ERn,MACL MAC @ERn+, @ERm+	H8S/2214 グループでは使用できません。								
	命令	1	2	3	4	5	6	7	8	9																																										
	LDM.L @SP+, (ERn-ERn+1) #	R/W 2nd	R-WM NEXT	内部動作 1 ステート	R-WM スタック(H) #	R-WM スタック(L) #																																														
LDM.L @SP+, (ERn-ERn+2) #	R/W 2nd	R-WM NEXT	内部動作 1 ステート	R-WM スタック(H) #	R-WM スタック(L) #																																															
LDM.L @SP+, (ERn-ERn+3) #	R/W 2nd	R-WM NEXT	内部動作 1 ステート	R-WM スタック(H) #	R-W スタック(L) #																																															
LDMAC ERn,MACL LDMAC ERn,MACL MAC @ERn+, @ERm+	H8S/2214 グループでは使用できません。																																																			
付録-44	注を追加 <table border="1"> <thead> <tr> <th>命令</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> <th>7</th> <th>8</th> <th>9</th> </tr> </thead> <tbody> <tr> <td>STM.L (ERn-ERn+1), @-SP #</td> <td>R/W 2nd</td> <td>R-WM NEXT</td> <td>内部動作 1 3フ #</td> <td>W-WM 3フ(H) #</td> <td>W-W 3フ(L) #</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>STM.L (ERn-ERn+2), @-SP #</td> <td>R/W 2nd</td> <td>R-WM NEXT</td> <td>内部動作 1 3フ #</td> <td>W-WM 3フ(H) #</td> <td>W-W 3フ(L) #</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>STM.L (ERn-ERn+3), @-SP #</td> <td>R/W 2nd</td> <td>R-WM NEXT</td> <td>内部動作 1 3フ #</td> <td>W-WM 3フ(H) #</td> <td>W-W 3フ(L) #</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>STMAC MACH,ERd STMAC MACL,ERd</td> <td colspan="9">H8S/2214 グループでは使用できません。</td> </tr> </tbody> </table>	命令	1	2	3	4	5	6	7	8	9	STM.L (ERn-ERn+1), @-SP #	R/W 2nd	R-WM NEXT	内部動作 1 3フ #	W-WM 3フ(H) #	W-W 3フ(L) #					STM.L (ERn-ERn+2), @-SP #	R/W 2nd	R-WM NEXT	内部動作 1 3フ #	W-WM 3フ(H) #	W-W 3フ(L) #					STM.L (ERn-ERn+3), @-SP #	R/W 2nd	R-WM NEXT	内部動作 1 3フ #	W-WM 3フ(H) #	W-W 3フ(L) #					STMAC MACH,ERd STMAC MACL,ERd	H8S/2214 グループでは使用できません。									
命令	1	2	3	4	5	6	7	8	9																																											
STM.L (ERn-ERn+1), @-SP #	R/W 2nd	R-WM NEXT	内部動作 1 3フ #	W-WM 3フ(H) #	W-W 3フ(L) #																																															
STM.L (ERn-ERn+2), @-SP #	R/W 2nd	R-WM NEXT	内部動作 1 3フ #	W-WM 3フ(H) #	W-W 3フ(L) #																																															
STM.L (ERn-ERn+3), @-SP #	R/W 2nd	R-WM NEXT	内部動作 1 3フ #	W-WM 3フ(H) #	W-W 3フ(L) #																																															
STMAC MACH,ERd STMAC MACL,ERd	H8S/2214 グループでは使用できません。																																																			
付録-45	注を追加 【注】*9 STM/LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。																																																			
A.6 コンディションコードの変化 表 A.17 コンディションコードの変化	付録-48	注を追加 <table border="1"> <thead> <tr> <th>命令</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>定義</th> </tr> </thead> <tbody> <tr> <td>LDM #</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> <tr> <td>LDMAC</td> <td colspan="6">H8S/2214 グループでは使用できません。</td> </tr> <tr> <td>MAC</td> <td colspan="6"></td> </tr> <tr> <td>MOV</td> <td>-</td> <td>↑</td> <td>↑</td> <td>0</td> <td>-</td> <td>N = Rm Z = Rm · Rm-1 · · R0</td> </tr> </tbody> </table>	命令	H	N	Z	V	C	定義	LDM #	-	-	-	-	-		LDMAC	H8S/2214 グループでは使用できません。						MAC							MOV	-	↑	↑	0	-	N = Rm Z = Rm · Rm-1 · · R0															
命令	H	N	Z	V	C	定義																																														
LDM #	-	-	-	-	-																																															
LDMAC	H8S/2214 グループでは使用できません。																																																			
MAC																																																				
MOV	-	↑	↑	0	-	N = Rm Z = Rm · Rm-1 · · R0																																														
	付録-50	注を追加 <table border="1"> <thead> <tr> <th>命令</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> <th>定義</th> </tr> </thead> <tbody> <tr> <td>STM #</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> <tr> <td>TAS #</td> <td>-</td> <td>↑</td> <td>↑</td> <td>0</td> <td>-</td> <td>N = Dm Z = Dm · Dm-1 · · D0</td> </tr> </tbody> </table> 注を追加 【注】*1 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。 *2 STM/LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。	命令	H	N	Z	V	C	定義	STM #	-	-	-	-	-		TAS #	-	↑	↑	0	-	N = Dm Z = Dm · Dm-1 · · D0																													
	命令	H	N	Z	V	C	定義																																													
STM #	-	-	-	-	-																																															
TAS #	-	↑	↑	0	-	N = Dm Z = Dm · Dm-1 · · D0																																														
B.2 機能一覧 H'FF20 : タイマコントロールレジスタ 1 TCR1 : TPU1	付録-97	注を追加 <p>クロックエッジ1、0</p> <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>立ち上がりエッジでカウント</td> </tr> <tr> <td>1</td> <td>立ち下がりエッジでカウント</td> </tr> <tr> <td>1</td> <td>-</td> <td>両エッジでカウント</td> </tr> </table> 【注】 内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。(φ/1選択時はφの立ち下がりでカウント)	0	0	立ち上がりエッジでカウント	1	立ち下がりエッジでカウント	1	-	両エッジでカウント																																										
0	0	立ち上がりエッジでカウント																																																		
	1	立ち下がりエッジでカウント																																																		
1	-	両エッジでカウント																																																		

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																			
B.2 機能一覧 H'FF30 : タイマコントロールレジスタ 2 TCR2 : TPU2	付録-103	注を追加 クロックエッジ1、0 <table border="1" data-bbox="722 387 1129 510"> <tr> <td>0</td> <td>0</td> <td>立ち上がりエッジでカウント</td> </tr> <tr> <td></td> <td>1</td> <td>立ち下がりエッジでカウント</td> </tr> <tr> <td>1</td> <td>-</td> <td>両エッジでカウント</td> </tr> </table> <p>【注】 内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。(φ/1選択時はφの立ち下がりでカウント)</p>	0	0	立ち上がりエッジでカウント		1	立ち下がりエッジでカウント	1	-	両エッジでカウント																																																										
0	0	立ち上がりエッジでカウント																																																																			
	1	立ち下がりエッジでカウント																																																																			
1	-	両エッジでカウント																																																																			
H'FF74(W)H'FF74(R) : タイマコントロール/ステータスレジスタ TCSR0 : WDT0	付録-112	注を追加 ビット : <table border="1" data-bbox="754 689 1289 734"> <tr> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>OVF</td> <td>WT/IT</td> <td>TME</td> <td>-</td> <td>-</td> <td>CKS2</td> <td>CKS1</td> <td>CKS0</td> </tr> </table> 初期値 : 0 0 0 1 1 0 0 0 R/W : R/(W)*1 R/W R/W - - R/W R/W R/W クロックセレクト2-0 <table border="1" data-bbox="1034 824 1404 1075"> <thead> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>クロック</th> <th>オーバーフロー周期* (=10MHzの場合)</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td rowspan="2">0</td> <td>0</td> <td>/2 (初期値)</td> <td>51.2μs</td> </tr> <tr> <td>1</td> <td>/64</td> <td>1.6ms</td> </tr> <tr> <td>1</td> <td>0</td> <td>/128</td> <td>3.2ms</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="2">1</td> <td>0</td> <td>/512</td> <td>13.2ms</td> </tr> <tr> <td>1</td> <td>/2048</td> <td>52.4ms</td> </tr> <tr> <td>1</td> <td>0</td> <td>/8192</td> <td>209.8ms</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>/32768</td> <td>838.8ms</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>/131072</td> <td>3.36s</td> </tr> </tbody> </table> <p>【注】* オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。</p> タイマイネーブル <table border="1" data-bbox="898 1137 1289 1187"> <tr> <td>0</td> <td>TCNTをH'00に初期化し、カウント動作を停止</td> </tr> <tr> <td>1</td> <td>TCNTはカウント動作</td> </tr> </table> タイマモードセレクト <table border="1" data-bbox="831 1216 1417 1310"> <tr> <td>0</td> <td>インターバルタイマモード : TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求</td> </tr> <tr> <td>1</td> <td>ウォッチドッグタイマモード : TCNTがオーバーフローしたときCPUへ内部リセットを選択可能*</td> </tr> </table> <p>【注】* ウォッチドッグタイマモードでTCNTがオーバーフローした場合についての詳細は、「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。</p> オーバーフローフラグ <table border="1" data-bbox="762 1413 1417 1541"> <tr> <td>0</td> <td>[クリア条件] OVF=1の状態、TCSRをリード*2後、OVFに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合は、セット後内部リセットにより自動的にクリアされます。</td> </tr> </table>	7	6	5	4	3	2	1	0	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (=10MHzの場合)	0	0	0	/2 (初期値)	51.2μs	1	/64	1.6ms	1	0	/128	3.2ms	1	1	0	/512	13.2ms	1	/2048	52.4ms	1	0	/8192	209.8ms			1	/32768	838.8ms			1	/131072	3.36s	0	TCNTをH'00に初期化し、カウント動作を停止	1	TCNTはカウント動作	0	インターバルタイマモード : TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求	1	ウォッチドッグタイマモード : TCNTがオーバーフローしたときCPUへ内部リセットを選択可能*	0	[クリア条件] OVF=1の状態、TCSRをリード*2後、OVFに0をライトしたとき	1	[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合は、セット後内部リセットにより自動的にクリアされます。
7	6	5	4	3	2	1	0																																																														
OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0																																																														
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (=10MHzの場合)																																																																	
0	0	0	/2 (初期値)	51.2μs																																																																	
		1	/64	1.6ms																																																																	
	1	0	/128	3.2ms																																																																	
1	1	0	/512	13.2ms																																																																	
		1	/2048	52.4ms																																																																	
	1	0	/8192	209.8ms																																																																	
		1	/32768	838.8ms																																																																	
		1	/131072	3.36s																																																																	
0	TCNTをH'00に初期化し、カウント動作を停止																																																																				
1	TCNTはカウント動作																																																																				
0	インターバルタイマモード : TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求																																																																				
1	ウォッチドッグタイマモード : TCNTがオーバーフローしたときCPUへ内部リセットを選択可能*																																																																				
0	[クリア条件] OVF=1の状態、TCSRをリード*2後、OVFに0をライトしたとき																																																																				
1	[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合は、セット後内部リセットにより自動的にクリアされます。																																																																				
		注を追加 <p>【注】*1 フラグをクリアするための0ライトのみ可能です。TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。</p> <p>*2 インターバルタイマ割り込みを禁止してOVFをポーリングした場合、OVF=1の状態を2回以上リードしてください。</p>																																																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																
<p>B.2 機能一覧</p> <p>H'FF7C : シリアルステータスレジスタ 0</p> <p>SSR0 : SCI0</p>	<p>付録-118</p>	<p>注を追加</p> <p>ビット :</p> <table border="1" style="margin-left: 20px;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TDRE</td><td>RDRF</td><td>ORER</td><td>FER</td><td>PER</td><td>TEND</td><td>MPB</td><td>MPBT</td> </tr> </table> <p>初期値 : 1 0 0 0 0 1 0 0</p> <p>R/W : R/(W)*1 R/(W)*1 R/(W)*1 R/(W)*1 R/(W)*1 R R R/W</p> <p>マルチプロセッサビットトランスファ</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>マルチプロセッサビットが0のデータを送信</td> </tr> <tr> <td>1</td> <td>マルチプロセッサビットが1のデータを送信</td> </tr> </table> <p>マルチプロセッサビット</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] マルチプロセッサビットが0のデータを受信したとき</td> </tr> <tr> <td>1</td> <td>[セット条件] マルチプロセッサビットが1のデータを受信したとき</td> </tr> </table> <p>トランスミットエンド</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC*2が起動され、DTCでTDRへデータをライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき</td> </tr> </table> <p>パリティエラー</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき</td> </tr> </table> <p>フレーミングエラー</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき</td> </tr> </table> <p>オーバランエラー</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき</td> </tr> </table> <p>レシープデータレジスタフル</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでRDRのデータをリードしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき</td> </tr> </table> <p>トランスミットデータレジスタエンpty</p> <table border="1" style="margin-left: 40px;"> <tr> <td>0</td> <td>[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき</td> </tr> </table>	7	6	5	4	3	2	1	0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	0	マルチプロセッサビットが0のデータを送信	1	マルチプロセッサビットが1のデータを送信	0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき	1	[セット条件] マルチプロセッサビットが1のデータを受信したとき	0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC*2が起動され、DTCでTDRへデータをライトしたとき	1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき	0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき	0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき	0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき	0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでRDRのデータをリードしたとき	1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき	0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき	1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき
7	6	5	4	3	2	1	0																																											
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT																																											
0	マルチプロセッサビットが0のデータを送信																																																	
1	マルチプロセッサビットが1のデータを送信																																																	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき																																																	
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき																																																	
0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC*2が起動され、DTCでTDRへデータをライトしたとき																																																	
1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき																																																	
0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき																																																	
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき																																																	
0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき																																																	
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき																																																	
0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき																																																	
1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき																																																	
0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでRDRのデータをリードしたとき																																																	
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき																																																	
0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき																																																	
1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき																																																	
		<p>注を追加</p> <p>【注】*1 フラグをクリアするための0ライトのみ可能です。</p> <p>*2 DTCによりクリアされるのは、DISEL=1で、かつ転送カウンタが0でない場合です。</p>																																																

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																
B.2 機能一覧 H'FF84 : シリアルステータスレジスタ 1 SSR1 : SCI1	付録-124	<p>注を追加</p> <p>ビット :</p> <table border="1" style="margin-left: 20px;"> <tr> <td style="width: 15px;">7</td> <td style="width: 15px;">6</td> <td style="width: 15px;">5</td> <td style="width: 15px;">4</td> <td style="width: 15px;">3</td> <td style="width: 15px;">2</td> <td style="width: 15px;">1</td> <td style="width: 15px;">0</td> </tr> <tr> <td>TDRE</td> <td>RDRF</td> <td>ORER</td> <td>FER</td> <td>PER</td> <td>TEND</td> <td>MPB</td> <td>MPBT</td> </tr> </table> <p>初期値 : 1 0 0 0 0 1 0 0</p> <p>R/W : R/(W)*1 R/(W)*1 R/(W)*1 R/(W)*1 R/(W)*1 R R R/W</p> <div style="margin-left: 20px;"> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットトランスファ</td> </tr> <tr> <td style="width: 20px;">0</td> <td>マルチプロセッサビットが0のデータを送信</td> </tr> <tr> <td>1</td> <td>マルチプロセッサビットが1のデータを送信</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビット</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] マルチプロセッサビットが0のデータを受信したとき</td> </tr> <tr> <td>1</td> <td>[セット条件] マルチプロセッサビットが1のデータを受信したとき</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">トランスミットエンド</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">パリティエラー</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">フレーミングエラー</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">オーバランエラー</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">レシーブデータレジスタフル</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでADRのデータをリードしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき</td> </tr> </table> <table border="1" style="margin-bottom: 10px;"> <tr> <td colspan="2" style="text-align: center;">トランスミットデータレジスタエンpty</td> </tr> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき</td> </tr> </table> <p>注を追加</p> <p>【注】*1 フラグをクリアするための0ライトのみ可能です。</p> <p>*2 DTCによりクリアされるのは、DISEL=1で、かつ転送カウンタが0でない場合です。</p> </div>	7	6	5	4	3	2	1	0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	マルチプロセッサビットトランスファ		0	マルチプロセッサビットが0のデータを送信	1	マルチプロセッサビットが1のデータを送信	マルチプロセッサビット		0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき	1	[セット条件] マルチプロセッサビットが1のデータを受信したとき	トランスミットエンド		0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき	1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき	パリティエラー		0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき	フレーミングエラー		0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき	オーバランエラー		0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき	レシーブデータレジスタフル		0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでADRのデータをリードしたとき	1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき	トランスミットデータレジスタエンpty		0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき	1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき
7	6	5	4	3	2	1	0																																																											
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT																																																											
マルチプロセッサビットトランスファ																																																																		
0	マルチプロセッサビットが0のデータを送信																																																																	
1	マルチプロセッサビットが1のデータを送信																																																																	
マルチプロセッサビット																																																																		
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき																																																																	
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき																																																																	
トランスミットエンド																																																																		
0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき																																																																	
1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき																																																																	
パリティエラー																																																																		
0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき																																																																	
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき																																																																	
フレーミングエラー																																																																		
0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき																																																																	
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき																																																																	
オーバランエラー																																																																		
0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき																																																																	
1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき																																																																	
レシーブデータレジスタフル																																																																		
0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでADRのデータをリードしたとき																																																																	
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき																																																																	
トランスミットデータレジスタエンpty																																																																		
0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき																																																																	
1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき																																																																	

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																
<p>B.2 機能一覧</p> <p>H'FF8C：シリアルステータスレジスタ 2</p> <p>SSR2：SCI2</p>	<p>付録-130</p>	<p>注を追加</p> <p>ビット：</p> <table border="1" style="margin-left: 20px;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TDRE</td><td>RDRF</td><td>ORER</td><td>FER</td><td>PER</td><td>TEND</td><td>MPB</td><td>MPBT</td> </tr> </table> <p>初期値： 1 0 0 0 0 1 0 0</p> <p>R/W： R/(W)^{*1} R/(W)^{*1} R/(W)^{*1} R/(W)^{*1} R/(W)^{*1} R R R/W</p> <div style="margin-left: 20px;"> <p>マルチプロセッサビットトランスファ</p> <table border="1"> <tr><td>0</td><td>マルチプロセッサビットが0のデータを送信</td></tr> <tr><td>1</td><td>マルチプロセッサビットが1のデータを送信</td></tr> </table> <p>マルチプロセッサビット</p> <table border="1"> <tr><td>0</td><td>[クリア条件] マルチプロセッサビットが0のデータを受信したとき</td></tr> <tr><td>1</td><td>[セット条件] マルチプロセッサビットが1のデータを受信したとき</td></tr> </table> <p>トランスミットエンド</p> <table border="1"> <tr><td>0</td><td>[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC^{*2}が起動され、DTCでTDRへデータをライトしたとき</td></tr> <tr><td>1</td><td>[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき</td></tr> </table> <p>パリティエラー</p> <table border="1"> <tr><td>0</td><td>[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき</td></tr> <tr><td>1</td><td>[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき</td></tr> </table> <p>フレーミングエラー</p> <table border="1"> <tr><td>0</td><td>[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき</td></tr> <tr><td>1</td><td>[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき</td></tr> </table> <p>オーバランエラー</p> <table border="1"> <tr><td>0</td><td>[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき</td></tr> <tr><td>1</td><td>[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき</td></tr> </table> <p>レシーブデータレジスタフル</p> <table border="1"> <tr><td>0</td><td>[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC^{*2}が起動され、DTCでRDRのデータをリードしたとき</td></tr> <tr><td>1</td><td>[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき</td></tr> </table> <p>トランスミットデータレジスタエンプティ</p> <table border="1"> <tr><td>0</td><td>[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC^{*2}が起動され、DTCでTDRへデータをライトしたとき</td></tr> <tr><td>1</td><td>[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき</td></tr> </table> </div> <p>注を追加</p> <p>【注】*1 フラグをクリアするための0ライトのみ可能です。</p> <p>*2 DTCによりクリアされるのは、DISEL=1で、かつ転送カウンタが0でない場合です。</p>	7	6	5	4	3	2	1	0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	0	マルチプロセッサビットが0のデータを送信	1	マルチプロセッサビットが1のデータを送信	0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき	1	[セット条件] マルチプロセッサビットが1のデータを受信したとき	0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC ^{*2} が起動され、DTCでTDRへデータをライトしたとき	1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき	0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき	0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき	0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき	1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき	0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC ^{*2} が起動され、DTCでRDRのデータをリードしたとき	1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき	0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC ^{*2} が起動され、DTCでTDRへデータをライトしたとき	1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき
7	6	5	4	3	2	1	0																																											
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT																																											
0	マルチプロセッサビットが0のデータを送信																																																	
1	マルチプロセッサビットが1のデータを送信																																																	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき																																																	
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき																																																	
0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC ^{*2} が起動され、DTCでTDRへデータをライトしたとき																																																	
1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき																																																	
0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき																																																	
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき																																																	
0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき																																																	
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき																																																	
0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき																																																	
1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき																																																	
0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC ^{*2} が起動され、DTCでRDRのデータをリードしたとき																																																	
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき																																																	
0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC ^{*2} が起動され、DTCでTDRへデータをライトしたとき																																																	
1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき																																																	
<p>C. I/Oポートのブロック図</p> <p>C.1 ポート1ブロック図</p> <p>図 C.1 ポート1ブロック図 (P10、P11端子)</p>	<p>付録-138</p>	<p>記号説明を修正</p> <p>【記号説明】</p> <p>WDDR1：P1DDR ライト</p> <p>WDR1：P1DR ライト</p> <p>RDR1：P1DR リード</p> <p>RPOR1：ポート1 リード</p>																																																
<p>図 C.2 ポート1ブロック図 (P12、P13端子)</p>	<p>付録-139</p>	<p>記号説明を修正</p> <p>【記号説明】</p> <p>WDDR1：P1DDR ライト</p> <p>WDR1：P1DR ライト</p> <p>RDR1：P1DR リード</p> <p>RPOR1：ポート1 リード</p>																																																
<p>図 C.3 ポート1ブロック図 (P14、P16端子)</p>	<p>付録-140</p>	<p>記号説明を修正</p> <p>【記号説明】</p> <p>WDDR1：P1DDR ライト</p> <p>WDR1：P1DR ライト</p> <p>RDR1：P1DR リード</p> <p>RPOR1：ポート1 リード</p>																																																

修正項目	ページ	修正内容（詳細はマニュアル参照）
C.1 ポート1ブロック図 図 C.4 ポート1ブロック図（P15、P17端子）	付録-141	記号説明を修正 【記号説明】 WDDR1：P1DDR ライト WDR1：P1DR ライト RDR1：P1DR リード RPOR1：ポート1 リード
C.2 ポート3ブロック図 図 C.5 ポート3ブロック図（P30、P33端子）	付録-142	記号説明を修正 【記号説明】 WDDR3：P3DDR ライト WDR3：P3DR ライト WODR3：P3ODR ライト RDR3：P3DR リード RPOR3：ポート3 リード
図 C.6 ポート3ブロック図（P31、P34端子）	付録-143	記号説明を修正 【記号説明】 WDDR3：P3DDR ライト WDR3：P3DR ライト WODR3：P3ODR ライト RDR3：P3DR リード RPOR3：ポート3 リード
図 C.7 ポート3ブロック図（P32、P35端子）	付録-144	記号説明を修正 【記号説明】 WDDR3：P3DDR ライト WDR3：P3DR ライト WODR3：P3ODR ライト RDR3：P3DR リード RPOR3：ポート3 リード
図 C.8 ポート3ブロック図（P36端子）	付録-145	記号説明を修正 【記号説明】 WDDR3：P3DDR ライト WDR3：P3DR ライト WODR3：P3ODR ライト RDR3：P3DR リード RPOR3：ポート3 リード
C.3 ポート4ブロック図 図 C.9 ポート4ブロック図（P40～P44、P46、P47端子）	付録-146	記号説明を修正 【記号説明】 RPOR4：ポート4 リード
図 C.10 ポート4ブロック図（P45端子）	付録-146	記号説明を修正 【記号説明】 RPOR4：ポート4 リード
C.4 ポート7ブロック図 図 C.11 ポート7ブロック図（P70、P71端子）	付録-147	記号説明を修正 【記号説明】 WDDR7：P7DDR ライト WDR7：P7DR ライト RDR7：P7DR リード RPOR7：ポート7 リード
図 C.12 ポート7ブロック図（P72、P73端子）	付録-148	記号説明を修正 【記号説明】 WDDR7：P7DDR ライト WDR7：P7DR ライト RDR7：P7DR リード RPOR7：ポート7 リード

修正項目	ページ	修正内容（詳細はマニュアル参照）
C.4 ポート7ブロック図 図 C.13 ポート7ブロック図（P74 端子）	付録-149	記号説明を修正 【記号説明】 WDDR7：P7DDR ライト WDR7：P7DR ライト RDR7：P7DR リード RPOR7：ポート7リード
図 C.14 ポート7ブロック図（P75、P76 端子）	付録-150	記号説明を修正 【記号説明】 WDDR7：P7DDR ライト WDR7：P7DR ライト RDR7：P7DR リード RPOR7：ポート7リード
図 C.15 ポート7ブロック図（P77 端子）	付録-151	記号説明を修正 【記号説明】 WDDR7：P7DDR ライト WDR7：P7DR ライト RDR7：P7DR リード RPOR7：ポート7リード
C.5 ポート9ブロック図 図 C.16 ポート9ブロック図（P96 端子）	付録-152	記号説明を修正 【記号説明】 RPOR9：ポート9リード
C.6 ポートAブロック図 図 C.17 ポートAブロック図（PA0 端子）	付録-153	記号説明を修正 【記号説明】 WDDRA：PADDR ライト WDR A：PADR ライト WODRA：PAODR ライト WPCRA：PAPCR ライト RDRA：PADR リード RPORA：ポートAリード RODRA：PAODR リード RPCRA：PAPCR リード
図 C.18 ポートAブロック図（PA1 端子）	付録-154	記号説明を修正 【記号説明】 WDDRA：PADDR ライト WDR A：PADR ライト WODRA：PAODR ライト WPCRA：PAPCR ライト RDRA：PADR リード RPORA：ポートAリード RODRA：PAODR リード RPCRA：PAPCR リード
図 C.19 ポートAブロック図（PA2 端子）	付録-155	記号説明を修正 【記号説明】 WDDRA：PADDR ライト WDR A：PADR ライト WODRA：PAODR ライト WPCRA：PAPCR ライト RDRA：PADR リード RPORA：ポートAリード RODRA：PAODR リード RPCRA：PAPCR リード

修正項目	ページ	修正内容（詳細はマニュアル参照）
C.6 ポート A ブロック図 図 C.20 ポート A ブロック図 (PA3 端子)	付録-156	記号説明を修正 【記号説明】 WDDRA : PADDR ライト WDRA : PADR ライト WODRA : PAODR ライト WPCRA : PAPCR ライト RDRA : PADR リード RPORA : ポート A リード RODRA : PAODR リード RPCRA : PAPCR リード
C.7 ポート B ブロック図 図 C.21 ポート B ブロック図 (PB0 ~ PB7 端子)	付録-157	記号説明を修正 【記号説明】 WDDRB : PBDDR ライト WDRB : PBDR ライト WPCRB : PBPCR ライト RDRB : PBDR リード RPORB : ポート B リード RPCRB : PBPCR リード
C.8 ポート C ブロック図 図 C.22 ポート C ブロック図 (PC0 ~ PC7 端子)	付録-158	記号説明を修正 【記号説明】 WDDRC : PCDDR ライト WDRC : PCDR ライト WPCRC : PCPCR ライト RDRC : PCDR リード RPORC : ポート C リード RPCRC : PCPCR リード
C.9 ポート D ブロック図 図 C.23 ポート D ブロック図 (PD0 ~ PD7 端子)	付録-159	記号説明を修正 【記号説明】 WDDRD : PDDDR ライト WDRD : PDDR ライト WPCRD : PDPCR ライト RDRD : PDDR リード RPORD : ポート D リード RPCRD : PDPCR リード
C.10 ポート E ブロック図 図 C.24 ポート E ブロック図 (PE0 ~ PE7 端子)	付録-160	記号説明を修正 【記号説明】 WDDRE : PEDDR ライト WDRE : PEDR ライト WPCRE : PEPCR ライト RDRE : PEDR リード RPORE : ポート E リード RPCRE : PEPCR リード
C.11 ポート F ブロック図 図 C.25 ポート F ブロック図 (PF0 端子)	付録-161	記号説明を修正 【記号説明】 WDDRF : PFDDR ライト WDRF : PFDR ライト RDRF : PFDR リード RPORF : ポート F リード
図 C.26 ポート F ブロック図 (PF1 端子)	付録-162	注を修正 【記号説明】 WDDRF : PFDDR ライト WDRF : PFDR ライト RDRF : PFDR リード RPORF : ポート F リード

修正項目	ページ	修正内容（詳細はマニュアル参照）
C.11 ポートFブロック図 図 C.27 ポートFブロック図（PF2 端子）	付録-163	記号説明を修正 【記号説明】 WDDRF：PFDDR ライト WDRF：PFDR ライト RDRF：PFDR リード RPORF：ポートFリード
図 C.28 ポートFブロック図（PF3 端子）	付録-164	記号説明を修正 【記号説明】 WDDRF：PFDDR ライト WDRF：PFDR ライト RDRF：PFDR リード RPORF：ポートFリード
図 C.29 ポートFブロック図（PF4～PF6 端子）	付録-165	記号説明を修正 【記号説明】 WDDRF：PFDDR ライト WDRF：PFDR ライト RDRF：PFDR リード RPORF：ポートFリード
図 C.30 ポートFブロック図（PF7 端子）	付録-166	記号説明を修正 【記号説明】 WDDRF：PFDDR ライト WDRF：PFDR ライト RDRF：PFDR リード RPORF：ポートFリード
C.12 ポートGブロック図 図 C.31 ポートGブロック図（PG0 端子）	付録-167	記号説明を修正 【記号説明】 WDDRG：PGDDR ライト WDRG：PGDR ライト RDRG：PGDR リード RPORG：ポートGリード
図 C.32 ポートGブロック図（PG1 端子）	付録-168	記号説明を修正 【記号説明】 WDDRG：PGDDR ライト WDRG：PGDR ライト RDRG：PGDR リード RPORG：ポートGリード
図 C.33 ポートGブロック図（PG2、PG3 端子）	付録-169	記号説明を修正 【記号説明】 WDDRG：PGDDR ライト WDRG：PGDR ライト RDRG：PGDR リード RPORG：ポートGリード
図 C.34 ポートGブロック図（PG4 端子）	付録-170	記号説明を修正 【記号説明】 WDDRG：PGDDR ライト WDRG：PGDR ライト RDRG：PGDR リード RPORG：ポートGリード
H. 外形寸法図 図 H.1 TFP-100B、TFP-100BP の外形寸法図	付録-178	図を差し替え
図 H.2 TFP-100G、TFP-100GV の外形寸法図	付録-179	図を差し替え
図 H.3 TBP-112A、TBP-112AV の外形寸法図	付録-180	図を差し替え

修正項目	ページ	修正内容（詳細はマニュアル参照）
H. 外形寸法図 図 H.4 BP-112、BP-112V の外形寸法図	付録-181	図を差し替え

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-5
1.3.1	ピン配置図	1-5
1.3.2	動作モード別端子機能一覧	1-7
1.3.3	端子機能	1-10

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-2
2.1.4	H8/300H CPU との相違点	2-2
2.2	CPU 動作モード	2-3
2.3	アドレス空間	2-7
2.4	レジスタ構成	2-8
2.4.1	概要	2-8
2.4.2	汎用レジスタ	2-9
2.4.3	コントロールレジスタ	2-10
2.4.4	CPU 内部レジスタの初期値	2-11
2.5	データ構成	2-12
2.5.1	汎用レジスタのデータ構成	2-12
2.5.2	メモリ上でのデータ構成	2-13
2.6	命令セット	2-15
2.6.1	概要	2-15
2.6.2	命令とアドレッシングモードの組み合わせ	2-16
2.6.3	命令の機能別一覧	2-17
2.6.4	命令の基本フォーマット	2-24
2.6.5	ビット操作命令使用上の注意	2-24
2.7	アドレッシングモードと実効アドレスの計算方法	2-25
2.7.1	アドレッシングモード	2-25
2.7.2	実効アドレスの計算方法	2-27
2.8	処理状態	2-31
2.8.1	概要	2-31
2.8.2	リセット状態	2-32
2.8.3	例外処理状態	2-33
2.8.4	プログラム実行状態	2-34
2.8.5	バス権解放状態	2-34
2.8.6	低消費電力状態	2-35
2.9	基本動作タイミング	2-36
2.9.1	概要	2-36
2.9.2	内蔵メモリ (ROM、RAM)	2-36
2.9.3	内蔵周辺モジュールアクセスタイミング	2-37
2.9.4	外部アドレス空間アクセスタイミング	2-37
2.10	使用上の注意事項	2-38
2.10.1	TAS 命令使用上の注意事項	2-38

2.10.2	STM/LDM 命令使用上の注意事項	2-38
2.10.3	ビット操作命令使用上の注意	2-39
2.10.4	ライト専用ビットを含むレジスタのアクセス方法	2-41
第3章 MCU 動作モード		
3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-1
3.2	各レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明	3-5
3.3.1	モード4	3-5
3.3.2	モード5	3-5
3.3.3	モード6	3-5
3.3.4	モード7	3-5
3.4	各動作モードにおける端子機能	3-6
3.5	各動作モードのアドレスマップ	3-7
第4章 例外処理		
4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットの種類	4-3
4.2.3	リセットシーケンス	4-3
4.2.4	リセット直後の割り込み	4-5
4.2.5	リセット解除後の内蔵周辺機能	4-5
4.3	トレース	4-6
4.4	割り込み	4-7
4.5	トラップ命令	4-8
4.6	例外処理後のスタックの状態	4-9
4.7	スタック使用上の注意	4-10
第5章 割り込みコントローラ		
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-2
5.1.3	端子構成	5-2
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトプライオリティレジスタ A~D、F、G、J、K、M (IPRA~IPRD、IPRF、IPRG、IPRJ、IPRK、IPRM)	5-4
5.2.3	IRQ イネーブルレジスタ (IER)	5-5
5.2.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-6
5.2.5	IRQ ステータスレジスタ (ISR)	5-7
5.3	割り込み要因	5-8
5.3.1	外部割り込み	5-8
5.3.2	内部割り込み	5-9
5.3.3	割り込み例外処理ベクタテーブル	5-9

5.4	割り込み動作	5-12
5.4.1	割り込み制御モードと割り込み動作	5-12
5.4.2	割り込み制御モード 0	5-14
5.4.3	割り込み制御モード 2	5-16
5.4.4	割り込み例外処理シーケンス	5-18
5.4.5	割り込み応答時間	5-19
5.5	使用上の注意	5-20
5.5.1	割り込みの発生とディスエーブルとの競合	5-20
5.5.2	割り込みを禁止している命令	5-20
5.5.3	割り込み禁止期間	5-20
5.5.4	EEMOV 命令実行中の割り込み	5-21
5.5.5	IRQ 割り込み	5-21
5.5.6	NMI 割り込み使用上の注意	5-21
5.6	割り込みによる DTC、DMAC の起動	5-22
5.6.1	概要	5-22
5.6.2	ブロック図	5-22
5.6.3	動作説明	5-23
第 6 章 バスコントローラ		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-4
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	6-5
6.2.4	バスコントロールレジスタ H (BCRH)	6-7
6.2.5	バスコントロールレジスタ L (BCRL)	6-8
6.2.6	端子機能コントロールレジスタ (PFCR)	6-9
6.3	バス制御の概要	6-11
6.3.1	エリア分割	6-11
6.3.2	バス仕様	6-12
6.3.3	メモリインタフェース	6-12
6.3.4	各エリアのバスインタフェース仕様	6-12
6.3.5	チップセレクト信号	6-13
6.4	基本バスインタフェース	6-14
6.4.1	概要	6-14
6.4.2	データサイズとデータアライメント	6-14
6.4.3	有効ストローク	6-15
6.4.4	基本タイミング	6-16
6.4.5	ウェイト制御	6-24
6.5	バースト ROM インタフェース	6-25
6.5.1	概要	6-25
6.5.2	基本タイミング	6-25
6.5.3	ウェイト制御	6-26
6.6	アイドルサイクル	6-27
6.6.1	動作説明	6-27
6.6.2	アイドルサイクルでの端子状態	6-29
6.7	バス解放	6-30
6.7.1	概要	6-30
6.7.2	動作説明	6-30
6.7.3	外部バス権解放状態での端子状態	6-30
6.7.4	遷移タイミング	6-31

6.7.5	使用上の注意	6-31
6.8	バスアービトレーション	6-32
6.8.1	概要	6-32
6.8.2	動作説明	6-32
6.8.3	バス権移行タイミング	6-32
6.8.4	外部バス権解放使用上の注意	6-32
6.9	リセットとバスコントローラ	6-33
6.10	外部モジュール拡張機能	6-34
6.10.1	概要	6-34
6.10.2	端子構成	6-34
6.10.3	レジスタ構成	6-34
6.10.4	割り込み要求入力端子選択レジスタ 0 (IPINSEL0)	6-35
6.10.5	外部モジュール接続用出力端子選択レジスタ (OPINSEL)	6-36
6.10.6	モジュールストップコントロールレジスタ B (MSTPCRB)	6-38
6.10.7	基本タイミング	6-39
6.10.8	外部モジュール拡張機能使用上の注意事項	6-40
第7章 DMA コントローラ (DMAC)		
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	機能概要	7-3
7.1.4	端子構成	7-3
7.1.5	レジスタ構成	7-4
7.2	各レジスタの説明 (1) (ショートアドレスモード)	7-5
7.2.1	メモリアドレスレジスタ (MAR)	7-5
7.2.2	I/O アドレスレジスタ (IOAR)	7-6
7.2.3	転送カウントレジスタ (ETCR)	7-6
7.2.4	DMA コントロールレジスタ (DMACR)	7-7
7.2.5	DMA バンドコントロールレジスタ (DMABCR)	7-10
7.3	各レジスタの説明 (2) (フルアドレスモード)	7-14
7.3.1	メモリアドレスレジスタ (MAR)	7-14
7.3.2	I/O アドレスレジスタ (IOAR)	7-14
7.3.3	転送カウントレジスタ (ETCR)	7-14
7.3.4	DMA コントロールレジスタ (DMACR)	7-15
7.3.5	DMA バンドコントロールレジスタ (DMABCR)	7-19
7.4	各レジスタの説明 (3)	7-23
7.4.1	DMA ライトイネーブルレジスタ (DMAWER)	7-23
7.4.2	DMA ターミナルコントロールレジスタ (DMATCR)	7-25
7.4.3	モジュールストップコントロールレジスタ A (MSTPCRA)	7-26
7.5	動作説明	7-27
7.5.1	転送モード	7-27
7.5.2	シーケンシャルモード	7-28
7.5.3	アイドルモード	7-31
7.5.4	リピートモード	7-33
7.5.5	ノーマルモード	7-36
7.5.6	ブロック転送モード	7-39
7.5.7	DMAC の起動要因	7-44
7.5.8	DMAC の基本バスサイクル	7-45
7.5.9	DMAC のバスサイクル (デュアルアドレスモード)	7-45
7.5.10	DMAC 複数チャネルの動作	7-51
7.5.11	DMAC と、外部バス権要求、DTC の関係	7-51
7.5.12	NMI 割り込みと DMAC	7-52
7.5.13	DMAC 動作の強制終了	7-52
7.5.14	フルアドレスモードの解除	7-53

7.6	割り込み	7-54
7.7	使用上の注意	7-55
第8章 データトランスファコントローラ (DTC)		
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-2
8.2	各レジスタの説明	8-3
8.2.1	DTC モードレジスタ A (MRA)	8-3
8.2.2	DTC モードレジスタ B (MRB)	8-4
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-5
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-5
8.2.5	DTC 転送カウンタレジスタ A (CRA)	8-5
8.2.6	DTC 転送カウンタレジスタ B (CRB)	8-5
8.2.7	DTC イネーブルレジスタ (DTCER)	8-6
8.2.8	DTC ベクタレジスタ (DTVECR)	8-7
8.2.9	モジュールストップコントロールレジスタ A (MSTPCRA)	8-8
8.3	動作説明	8-9
8.3.1	概要	8-9
8.3.2	起動要因	8-10
8.3.3	DTC ベクタテーブル	8-11
8.3.4	アドレス空間上でのレジスタ情報の配置	8-13
8.3.5	ノーマルモード	8-14
8.3.6	リピートモード	8-15
8.3.7	ブロック転送モード	8-16
8.3.8	チェーン転送	8-17
8.3.9	動作タイミング	8-18
8.3.10	DTC 実行ステート数	8-19
8.3.11	DTC 使用手順	8-20
8.3.12	DTC 使用例	8-21
8.4	割り込み	8-22
8.5	使用上の注意	8-22
第9章 I/O ポート		
9.1	概要	9-1
9.2	ポート 1	9-4
9.2.1	概要	9-4
9.2.2	レジスタ構成	9-5
9.2.3	端子機能	9-7
9.3	ポート 3	9-13
9.3.1	概要	9-13
9.3.2	レジスタ構成	9-13
9.3.3	端子機能	9-17
9.4	ポート 4	9-19
9.4.1	概要	9-19
9.4.2	レジスタ構成	9-19
9.4.3	端子機能	9-21
9.5	ポート 7	9-22
9.5.1	概要	9-22
9.5.2	レジスタ構成	9-23
9.5.3	端子機能	9-25
9.6	ポート 9	9-27
9.6.1	概要	9-27

9.6.2	レジスタ構成	9-27
9.6.3	端子機能	9-27
9.7	ポート A	9-28
9.7.1	概要	9-28
9.7.2	レジスタ構成	9-28
9.7.3	端子機能	9-30
9.7.4	入力プルアップ MOS	9-31
9.8	ポート B	9-32
9.8.1	概要	9-32
9.8.2	レジスタ構成	9-33
9.8.3	端子機能	9-35
9.8.4	入力プルアップ MOS	9-38
9.9	ポート C	9-39
9.9.1	概要	9-39
9.9.2	レジスタ構成	9-40
9.9.3	モード別端子機能	9-41
9.9.4	入力プルアップ MOS	9-43
9.10	ポート D	9-44
9.10.1	概要	9-44
9.10.2	レジスタ構成	9-45
9.10.3	モード別端子機能	9-46
9.10.4	入力プルアップ MOS	9-47
9.11	ポート E	9-48
9.11.1	概要	9-48
9.11.2	レジスタ構成	9-49
9.11.3	モード別端子機能	9-51
9.11.4	入力プルアップ MOS	9-52
9.12	ポート F	9-53
9.12.1	概要	9-53
9.12.2	レジスタ構成	9-54
9.12.3	端子機能	9-56
9.13	ポート G	9-58
9.13.1	概要	9-58
9.13.2	レジスタ構成	9-59
9.13.3	端子機能	9-61
9.14	未使用端子の処理	9-62

第 10 章 16 ビットタイマパルスユニット (TPU)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-3
10.1.3	端子構成	10-4
10.1.4	レジスタ構成	10-5
10.2	各レジスタの説明	10-6
10.2.1	タイマコントロールレジスタ (TCR)	10-6
10.2.2	タイマモードレジスタ (TMDR)	10-8
10.2.3	タイマ I/O コントロールレジスタ (TIOR)	10-10
10.2.4	タイマインタラプトイネーブルレジスタ (TIER)	10-15
10.2.5	タイマステータスレジスタ (TSR)	10-17
10.2.6	タイマカウンタ (TCNT)	10-20
10.2.7	タイマジェネラルレジスタ (TGR)	10-20
10.2.8	タイマスタートレジスタ (TSTR)	10-21
10.2.9	タイマシンクロレジスタ (TSYR)	10-22
10.2.10	モジュールストップコントロールレジスタ A (MSTPCRA)	10-23

10.3	バスマスタとのインタフェース.....	10-24
10.3.1	16ビットレジスタ.....	10-24
10.3.2	8ビットレジスタ.....	10-24
10.4	動作説明.....	10-26
10.4.1	概要.....	10-26
10.4.2	基本機能.....	10-27
10.4.3	同期動作.....	10-31
10.4.4	バッファ動作.....	10-33
10.4.5	PWMモード.....	10-36
10.4.6	位相計数モード.....	10-40
10.5	割り込み.....	10-44
10.5.1	割り込み要因と優先順位.....	10-44
10.5.2	DTC、DMACの起動.....	10-45
10.6	動作タイミング.....	10-46
10.6.1	入出力タイミング.....	10-46
10.6.2	割り込み信号タイミング.....	10-50
10.7	使用上の注意.....	10-53
第11章 ウォッチドッグタイマ(WDT)		
11.1	概要.....	11-1
11.1.1	特長.....	11-1
11.1.2	ブロック図.....	11-1
11.1.3	レジスタ構成.....	11-2
11.2	各レジスタの説明.....	11-3
11.2.1	タイマカウンタ(TCNT).....	11-3
11.2.2	タイマコントロール/ステータスレジスタ(TCSR).....	11-3
11.2.3	リセットコントロール/ステータスレジスタ(RSTCSR).....	11-5
11.2.4	レジスタアクセス時の注意.....	11-6
11.3	動作説明.....	11-7
11.3.1	ウォッチドッグタイマモード時の動作.....	11-7
11.3.2	インターバルタイマモード時の動作.....	11-8
11.3.3	オーバフローフラグ(OVF)のセットタイミング.....	11-8
11.3.4	ウォッチドッグタイマオーバフローフラグ(WOVF)のセットタイミング.....	11-9
11.4	割り込み.....	11-9
11.5	使用上の注意.....	11-10
11.5.1	タイマカウンタ(TCNT)のライトとカウントアップの競合.....	11-10
11.5.2	CKS2~CKS0ビットの書き換え.....	11-10
11.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	11-10
11.5.4	ウォッチドッグタイマモードでの内部リセット.....	11-10
11.5.5	インターバルタイマモードでのOVFフラグのクリア.....	11-10
第12章 シリアルコミュニケーションインタフェース(SCI)		
12.1	概要.....	12-1
12.1.1	特長.....	12-1
12.1.2	ブロック図.....	12-2
12.1.3	端子構成.....	12-3
12.1.4	レジスタ構成.....	12-4
12.2	各レジスタの説明.....	12-5
12.2.1	レシーブシフトレジスタ(RSR).....	12-5
12.2.2	レシーブデータレジスタ(RDR).....	12-5
12.2.3	トランスミットシフトレジスタ(TSR).....	12-5
12.2.4	トランスミットデータレジスタ(TDR).....	12-5
12.2.5	シリアルモードレジスタ(SMR).....	12-6
12.2.6	シリアルコントロールレジスタ(SCR).....	12-8
12.2.7	シリアルステータスレジスタ(SSR).....	12-11

12.2.8	ビットレートレジスタ (BRR)	12-14
12.2.9	スマートカードモードレジスタ (SCMR)	12-18
12.2.10	シリアル拡張モードレジスタ 0 (SEMR0)	12-19
12.2.11	モジュールストップコントロールレジスタ B (MSTPCRB)	12-23
12.3	動作説明	12-24
12.3.1	概要	12-24
12.3.2	調歩同期式モード時の動作	12-27
12.3.3	マルチプロセッサ通信機能	12-36
12.3.4	クロック同期式モード時の動作	12-42
12.4	SCI 割り込み	12-49
12.5	使用上の注意	12-50
第 13 章 D/A 変換器		
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-1
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-2
13.2	各レジスタの説明	13-3
13.2.1	D/A データレジスタ 0 (DADR0)	13-3
13.2.2	D/A コントロールレジスタ (DACR)	13-3
13.2.3	モジュールストップコントロールレジスタ C (MSTPCRC)	13-4
13.3	動作説明	13-5
第 14 章 RAM		
14.1	概要	14-1
14.1.1	ブロック図	14-1
14.1.2	レジスタ構成	14-1
14.2	各レジスタの説明	14-2
14.2.1	システムコントロールレジスタ (SYSCR)	14-2
14.3	動作説明	14-2
14.4	使用上の注意	14-2
第 15 章 ROM		
15.1	概要	15-1
15.1.1	ブロック図	15-1
15.1.2	レジスタ構成	15-1
15.2	レジスタの説明	15-2
15.2.1	モードコントロールレジスタ (MDCR)	15-2
15.3	動作説明	15-3
15.4	フラッシュメモリの概要	15-4
15.4.1	特長	15-4
15.4.2	ブロック図	15-5
15.4.3	モード遷移図	15-6
15.4.4	オンボードプログラミングモード	15-7
15.4.5	RAM によるフラッシュメモリのエミュレーション	15-9
15.4.6	ブートモードとユーザプログラムモードの相違点	15-10
15.4.7	ブロック分割法	15-10
15.5	端子構成	15-11
15.6	レジスタ構成	15-11
15.7	レジスタの説明	15-12
15.7.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	15-12
15.7.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	15-14
15.7.3	消去ブロック指定レジスタ 1 (EBR1)	15-15

15.7.4	消去ブロック指定レジスタ 2 (EBR2)	15-15
15.7.5	RAM エミュレーションレジスタ (RAMER)	15-16
15.7.6	シリアルコントロールレジスタ X (SCRX)	15-17
15.8	オンボードプログラミングモード	15-18
15.8.1	ブートモード	15-18
15.8.2	ユーザプログラムモード	15-22
15.9	フラッシュメモリの書き込み / 消去	15-23
15.9.1	プログラムモード	15-23
15.9.2	プログラムベリファイモード	15-23
15.9.3	イレースモード	15-25
15.9.4	イレースベリファイモード	15-25
15.10	プロテクト	15-27
15.10.1	ハードウェアプロテクト	15-27
15.10.2	ソフトウェアプロテクト	15-27
15.10.3	エラープロテクト	15-28
15.11	RAM によるフラッシュメモリのエミュレーション	15-29
15.12	フラッシュメモリの書き込み / 消去時の割り込み処理	15-31
15.13	フラッシュメモリのライターモード	15-32
15.13.1	ソケットアダプタの端子対応図	15-32
15.13.2	ライターモードの動作	15-34
15.13.3	メモリ読み出しモード	15-35
15.13.4	自動書き込みモード	15-37
15.13.5	自動消去モード	15-38
15.13.6	ステータス読み出しモード	15-39
15.13.7	ステータスポーリング	15-40
15.13.8	ライターモードへの遷移時間	15-40
15.13.9	メモリ書き込み注意事項	15-40
15.14	フラッシュメモリと低消費電力状態	15-41
15.14.1	低消費電力状態の注意事項	15-41
15.15	フラッシュメモリの書き込み / 消去時の注意	15-42
15.16	F-ZTAT マイコンのマスク ROM 化時の注意事項	15-46
第 16 章 クロック発振器		
16.1	概要	16-1
16.1.1	ブロック図	16-1
16.1.2	レジスタ構成	16-1
16.2	各レジスタの説明	16-2
16.2.1	システムクロックコントロールレジスタ (SCKCR)	16-2
16.2.2	ローパワーコントロールレジスタ (LPWRCR)	16-3
16.3	システムクロック発振器	16-4
16.3.1	水晶発振子を接続する方法	16-4
16.3.2	外部クロックを入力する方法	16-5
16.4	デューティ補正回路	16-8
16.5	中速クロック分周器	16-8
16.6	バスマスタクロック選択回路	16-8
16.7	発振子に関する注意事項	16-8
第 17 章 低消費電力状態		
17.1	概要	17-1
17.1.1	レジスタ構成	17-2
17.2	各レジスタの説明	17-3
17.2.1	スタンバイコントロールレジスタ (SBYCR)	17-3
17.2.2	システムクロックコントロールレジスタ (SCKCR)	17-4

17.2.3	モジュールストップコントロールレジスタ (MSTPCR)	17-5
17.3	中速モード	17-6
17.4	スリープモード	17-7
17.4.1	スリープモード	17-7
17.4.2	スリープモードの解除	17-7
17.5	モジュールストップモード	17-8
17.5.1	モジュールストップモード	17-8
17.5.2	使用上の注意	17-8
17.6	ソフトウェアスタンバイモード	17-9
17.6.1	ソフトウェアスタンバイモード	17-9
17.6.2	ソフトウェアスタンバイモードの解除	17-9
17.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	17-9
17.6.4	ソフトウェアスタンバイモードの応用例	17-10
17.6.5	使用上の注意	17-10
17.7	ハードウェアスタンバイモード	17-11
17.7.1	ハードウェアスタンバイモード	17-11
17.7.2	ハードウェアスタンバイモードのタイミング	17-11
17.8	クロック出力禁止機能	17-11

第 18 章 電気的特性

18.1	絶対最大定格	18-1
18.2	電源電圧と動作周波数範囲	18-1
18.3	DC 特性	18-2
18.4	AC 特性	18-5
18.4.1	クロックタイミング	18-5
18.4.2	制御信号タイミング	18-6
18.4.3	バスタイミング	18-7
18.4.4	内蔵周辺モジュールタイミング	18-12
18.4.5	DMAC タイミング	18-14
18.5	D/A 変換特性	18-14
18.6	フラッシュメモリ特性	18-15
18.7	使用上の注意	18-16

付録

A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-12
A.3	オペレーションコードマップ	付録-22
A.4	命令実行ステート数	付録-26
A.5	命令実行中のバス状態	付録-36
A.6	コンディションコードの変化	付録-46
B.	内部 I/O レジスタ	付録-51
B.1	アドレス一覧	付録-51
B.2	機能一覧	付録-57
C.	I/O ポートのブロック図	付録-138
C.1	ポート 1 ブロック図	付録-138
C.2	ポート 3 ブロック図	付録-142
C.3	ポート 4 ブロック図	付録-146
C.4	ポート 7 ブロック図	付録-147
C.5	ポート 9 ブロック図	付録-152
C.6	ポート A ブロック図	付録-153
C.7	ポート B ブロック図	付録-157
C.8	ポート C ブロック図	付録-158
C.9	ポート D ブロック図	付録-159

C.10	ポートEブロック図	付録-160
C.11	ポートFブロック図.....	付録-161
C.12	ポートGブロック図.....	付録-167
D.	端子状態	付録-171
D.1	各処理状態におけるポートの状態.....	付録-171
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	付録-174
E.1	ハードウェアスタンバイモードの遷移タイミング.....	付録-174
E.2	ハードウェアスタンバイモードからの復帰タイミング.....	付録-174
F.	ROM 発注手順.....	付録-175
F.1	ROM 書き換え品開発の流れ（発注手順）	付録-175
F.2	ROM 発注時の注意事項	付録-176
G.	型名一覧	付録-177
H.	外形寸法図	付録-178

1. 概要

1.1 概要

H8S/2214 グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、DMA コントローラ (DMAC)、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM、16 ビットタイマパルスユニット (TPU)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、D/A 変換器、I/O ポートの周辺機能などを内蔵しています。

内蔵 ROM は、フラッシュメモリ (F-ZTATTM*)、マスク ROM があり、128K バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 4~7 があり、シングルチップモード / 外部拡張モードの選択ができます。

H8S/2214 グループの特長を表 1.1 に示します。

【注】* F-ZTAT は (株) ルネサス テクノロジーの商標です。

1. 概要

表 1.1 概要

項目	仕様
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none"> 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) リアルタイム制御向き的高速動作 最高動作周波数16MHz 高速演算 (16MHz 動作時) 8 / 16 / 32 ビットレジスタ間加減算 : 62.5ns 16 × 16 ビットレジスタ間乗算 : 1250ns 32 ÷ 16 ビットレジスタ間除算 : 1250ns 高速動作に適した命令セット 65 種類の基本命令 8 / 16 / 32 ビット転送 / 演算命令 符号なし / 符号付き乗除算命令 強力なビット操作命令 2 種類の CPU 動作モード ノーマルモード : アドレス空間 64K バイト (H8S/2214 グループでは使用できません) アドバンスモード : アドレス空間 16M バイト
バスコントローラ	<ul style="list-style-type: none"> アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 エリアごとにチップセレクト出力可能 エリアごとに 8 ビット / 16 ビットアクセス空間を選択可能 エリアごとに 2 ステート / 3 ステートアクセス空間を設定可能 エリアごとにプログラムウェイトのステート数を設定可能 バースト ROM を直接接続可能 外部バス権解放機能
DMA コントローラ (DMAC)	<ul style="list-style-type: none"> ショートアドレスモードとフルアドレスモードを選択可能 ショートアドレスモード時 : 4 チャンネル フルアドレスモード時 : 2 チャンネル リピートモード / ブロック転送モードなどの転送可能 内部割り込みによる起動可能
データ転送ファ コントローラ (DTC)	<ul style="list-style-type: none"> 内部割り込み / ソフトウェアによる起動 1 つの起動要因に対して、複数回・複数種類の転送が可能 リピートモード / ブロック転送モードなどの転送可能 DTC を起動した割り込みを CPU に要求可能
16 ビットタイマパルスユニット (TPU)	<ul style="list-style-type: none"> 16 ビットタイマ 3 チャンネルを内蔵 最大 8 端子のパルス入出力処理が可能 2 相エンコーダのカウント数の自動計測が可能
ウォッチドッグタイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> ウォッチドッグタイマ / インターバルタイマの選択が可能
シリアル コミュニケーション インタフェース (SCI) ×3 チャンネル (SCI0 ~ SCI2)	<ul style="list-style-type: none"> 調歩同期式モード / クロック同期式モードの選択が可能 マルチプロセッサ通信機能
D/A 変換器	<ul style="list-style-type: none"> 分解能 : 8 ビット 出力 : 1 チャンネル
I/O ポート	<ul style="list-style-type: none"> 入出力端子 72 本、入力専用端子 9 本
メモリ	<ul style="list-style-type: none"> フラッシュメモリまたはマスク ROM : 128K バイト 高速スタティック RAM : 12K バイト
割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子 9 本 (NMI、$\overline{IRQ0}$ ~ $\overline{IRQ7}$) 外部拡張割り込み端子 8 本 (EXIRQ7 ~ EXIRQ0) 内部割り込み要因 31 要因 8 レベルの優先順位設定が可能

項目	仕様																													
低消費電力状態	<ul style="list-style-type: none"> • 中速モード • スリープモード • モジュールストップモード • ソフトウェアスタンバイモード • ハードウェアスタンバイモード 																													
動作モード	4種類のMCU動作モード <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">モード</th> <th rowspan="2">CPU動作モード</th> <th rowspan="2">内 容</th> <th rowspan="2">内蔵ROM</th> <th colspan="2">外部データバス</th> </tr> <tr> <th>初期値</th> <th>最大値</th> </tr> </thead> <tbody> <tr> <td>4</td> <td rowspan="4">アドバンスト</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>16ビット</td> <td>16ビット</td> </tr> <tr> <td>5</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>6</td> <td>内蔵ROM有効拡張モード</td> <td>有効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>7</td> <td>シングルチップモード</td> <td>有効</td> <td colspan="2" style="text-align: center;">-</td> </tr> </tbody> </table>	モード	CPU動作モード	内 容	内蔵ROM	外部データバス		初期値	最大値	4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット	5	内蔵ROM無効拡張モード	無効	8ビット	16ビット	6	内蔵ROM有効拡張モード	有効	8ビット	16ビット	7	シングルチップモード	有効	-	
モード	CPU動作モード					内 容	内蔵ROM	外部データバス																						
		初期値	最大値																											
4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット																									
5		内蔵ROM無効拡張モード	無効	8ビット	16ビット																									
6		内蔵ROM有効拡張モード	有効	8ビット	16ビット																									
7		シングルチップモード	有効	-																										
クロック発振器	クロック発振器内蔵 <ul style="list-style-type: none"> • システムクロック発振器：2～16MHz デューティ補正回路内蔵 																													
パッケージ	<ul style="list-style-type: none"> • 100ピンプラスチックTQFP (TFP-100B、TFP-100BV、TFP-100G、TFP-100GV) • 112ピンプラスチックFBGA (BP-112、BP-112V、TBP-112A、TBP-112AV) 																													
製品 ラインアップ	<table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">製品型名</th> <th rowspan="2">ROM / RAM (バイト)</th> <th rowspan="2">パッケージコード</th> </tr> <tr> <th>マスクROM版</th> <th>F-ZTAT版</th> </tr> </thead> <tbody> <tr> <td>HD6432214</td> <td>HD64F2214</td> <td>128K / 12K</td> <td>TFP-100B、TFP-100BV TFP-100G、TFP-100GV TBP-112A、TBP-112AV BP-112、BP-112V</td> </tr> </tbody> </table>	製品型名		ROM / RAM (バイト)	パッケージコード	マスクROM版	F-ZTAT版	HD6432214	HD64F2214	128K / 12K	TFP-100B、TFP-100BV TFP-100G、TFP-100GV TBP-112A、TBP-112AV BP-112、BP-112V																			
製品型名		ROM / RAM (バイト)	パッケージコード																											
マスクROM版	F-ZTAT版																													
HD6432214	HD64F2214	128K / 12K	TFP-100B、TFP-100BV TFP-100G、TFP-100GV TBP-112A、TBP-112AV BP-112、BP-112V																											

【注】 パッケージコードの末尾がVのパッケージは、鉛フリー対応品です。

1. 概要

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

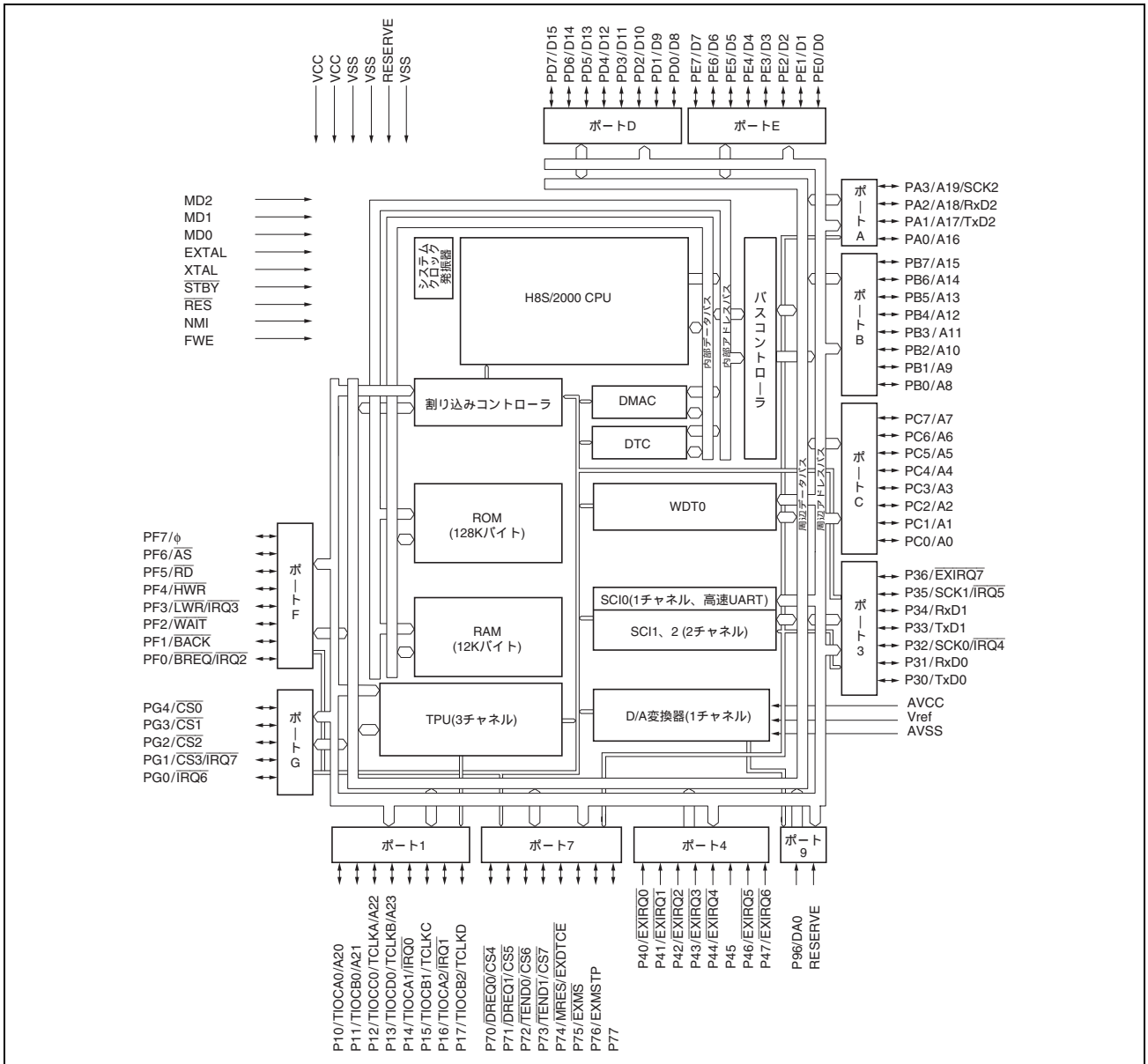


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

ピン配置図を図 1.2、図 1.3 に示します。

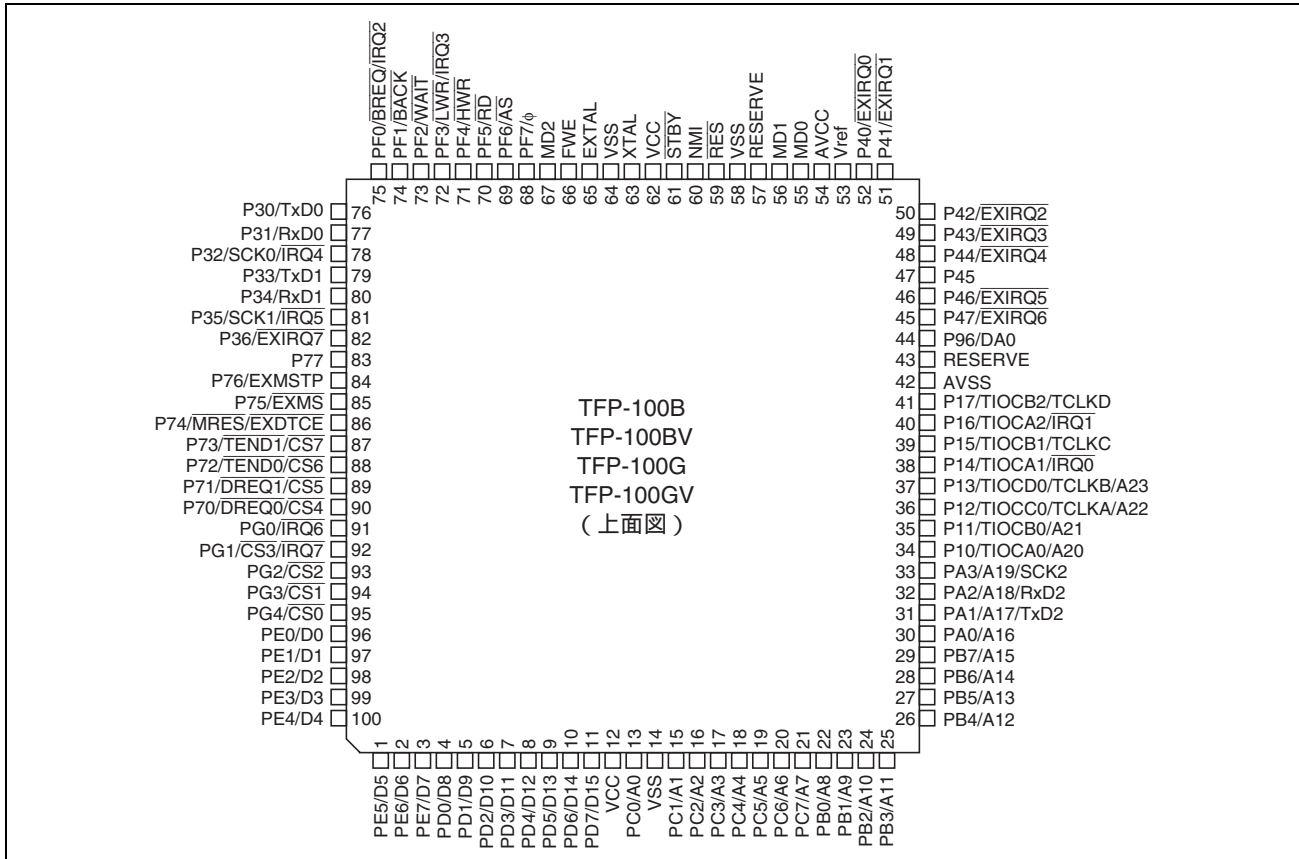


図 1.2 ピン配置図 (TFP-100B、TFP-100BV、TFP-100G、TFP-100GV : 上面図)

1. 概要

	A	B	C	D	E	F	G	H	J	K	L
11	RESERVE	PF1/ BACK	PF4/ HWR	PF7/ φ	EXTAL	VCC	STBY	VSS	MD0	P40/ EXIRQ0	RESERVE
10	P30/ TxD0	RESERVE	PF2/ WAIT	PF5/ RD	FWE	VSS	VCC	RESERVE	AVCC	P41/ EXIRQ1	P42/ EXIRQ2
9	P33/ TxD1	P32/ SCK0/ IRQ4	PF0/ BREQ/ IRQ2	PF3/ LWR/ IRQ3	MD2	VCC	NMI	MD1	RESERVE	P43/ EXIRQ3	P45
8	P36/ EXIRQ7	P35/ SCK1/ IRQ5	P34/ RxD1	P31/ RxD1	PF6/ AS	VSS	RES	Vref	P44/ EXIRQ4	P46/ EXIRQ5	P96/ DA0
7	P75/ EXMS	P74/ MRES/ EXTDCE	P76/ EXMSTP	P77	BP-112 BP-112V TBP-112A TBP-112AV (上面図)			P47/ EXIRQ6	RESERVE	AVSS	AVSS
6	P72/ TEND0/ CS6	P71/ DREQ1/ CS5	P73/ TEND1/ CS7	P70/ DREQ0/ CS4				P17/ TIOCB2/ TCLKD	P14/ TIOCA1/ IRQ0	P16/ TIOCA2/ IRQ1	P15/ TIOCB1/ TCLKC
5	PG0/ IRQ6	PG1/ CS3/ IRQ7	PG2/ CS2	PG4/ CS0				P10/ TIOCA0/ A20	P11/ TIOCB0/ A21	P13/ TIOCD0/ TCLKB/A23	P12/ TIOCC0/ TCLKA/A22
4	PG3/ CS1	PE0/ D0	PE2/ D2	PE7/ D7	PD5/ D13	VSS	PC5/ A5	PB6/ A14	PA1/ A17/ TxD2	PA2/ A18/ RxD2	PA3/ A19/ SCK2
3	PE1/ D1	PE3/ D3	RESERVE	PD2/ D10	PD6/ D14	VCC	PC3/ A3	PB0/ A8	PB3/ A11	PB7/ A15	PA0/ A16
2	PE4/ D4	PE5/ D5	PD0/ D8	PD3/ D11	VCC	VSS	PC2/ A2	PC6/ A6	PB1/ A9	PB4/ A12	PB5/ A13
1	RESERVE	PE6/ D6	PD1/ D9	PD4/ D12	PD7/ D15	PC0/ A0	PC1/ A1	PC4/ A4	PC7/ A7	PB2/ A10	RESERVE

INDEX →

図 1.3 ピン配置図 (BP-112、BP-112V、TBP-112A、TBP-112AV : 上面図)

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2 に示します。

表 1.2 動作モード別端子機能一覧

ピン番号		端子名					フラッシュメモリ ライターモード*
TFP-100B、 TFP-100BV、 TFP-100G、 TFP-100GV	BP-112、 BP-112V、 TBP-112A、 TBP-112AV	モード 4	モード 5	モード 6	モード 7		
1	B2	PE5/D5	PE5/D5	PE5/D5	PE5	NC	
2	B1	PE6/D6	PE6/D6	PE6/D6	PE6	NC	
3	D4	PE7/D7	PE7/D7	PE7/D7	PE7	NC	
4	C2	D8	D8	D8	PD0	D0	
5	C1	D9	D9	D9	PD1	D1	
6	D3	D10	D10	D10	PD2	D2	
7	D2	D11	D11	D11	PD3	D3	
8	D1	D12	D12	D12	PD4	D4	
9	E4	D13	D13	D13	PD5	D5	
10	E3	D14	D14	D14	PD6	D6	
11	E1	D15	D15	D15	PD7	D7	
12	E2、 F3	VCC	VCC	VCC	VCC	VCC	
13	F1	A0	A0	PC0/A0	PC0	A0	
14	F2、 F4	VSS	VSS	VSS	VSS	VSS	
15	G1	A1	A1	PC1/A1	PC1	A1	
16	G2	A2	A2	PC2/A2	PC2	A2	
17	G3	A3	A3	PC3/A3	PC3	A3	
18	H1	A4	A4	PC4/A4	PC4	A4	
19	G4	A5	A5	PC5/A5	PC5	A5	
20	H2	A6	A6	PC6/A6	PC6	A6	
21	J1	A7	A7	PC7/A7	PC7	A7	
22	H3	PB0/A8	PB0/A8	PB0/A8	PB0	A8	
23	J2	PB1/A9	PB1/A9	PB1/A9	PB1	OE	
24	K1	PB2/A10	PB2/A10	PB2/A10	PB2	A10	
25	J3	PB3/A11	PB3/A11	PB3/A11	PB3	A11	
26	K2	PB4/A12	PB4/A12	PB4/A12	PB4	A12	
27	L2	PB5/A13	PB5/A13	PB5/A13	PB5	A13	
28	H4	PB6/A14	PB6/A14	PB6/A14	PB6	A14	
29	K3	PB7/A15	PB7/A15	PB7/A15	PB7	A15	
30	L3	PA0/A16	PA0/A16	PA0/A16	PA0	A16	
31	J4	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	VCC	
32	K4	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	VCC	
33	L4	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2	NC	
34	H5	P10/TIOCA0/ A20	P10/TIOCA0/ A20	P10/TIOCA0/ A20	P10/TIOCA0/ A20	NC	
35	J5	P11/TIOCB0/ A21	P11/TIOCB0/ A21	P11/TIOCB0/ A21	P11/TIOCB0	NC	
36	L5	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC	
37	K5	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC	
38	J6	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	VSS	
39	L6	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC	

1. 概要

ピン番号		端子名					フラッシュメモリ ライトモード*
TFP-100B、 TFP-100BV、 TFP-100G、 TFP-100GV	BP-112、 BP-112V、 TBP-112A、 TBP-112AV	モード 4	モード 5	モード 6	モード 7		
40	K6	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	VSS	
41	H6	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC	
42	K7、 L7	AVSS	AVSS	AVSS	AVSS	VSS	
43	J7	RESERVE	RESERVE	RESERVE	RESERVE	NC	
44	L8	P96/DA0	P96/DA0	P96/DA0	P96/DA0	NC	
45	H7	P47/EXIRQ6	P47/EXIRQ6	P47/EXIRQ6	P47/EXIRQ6	NC	
46	K8	P46/EXIRQ5	P46/EXIRQ5	P46/EXIRQ5	P46/EXIRQ5	NC	
47	L9	P45	P45	P45	P45	NC	
48	J8	P44/EXIRQ4	P44/EXIRQ4	P44/EXIRQ4	P44/EXIRQ4	NC	
49	K9	P43/EXIRQ3	P43/EXIRQ3	P43/EXIRQ3	P43/EXIRQ3	NC	
50	L10	P42/EXIRQ2	P42/EXIRQ2	P42/EXIRQ2	P42/EXIRQ2	NC	
51	K10	P41/EXIRQ1	P41/EXIRQ1	P41/EXIRQ1	P41/EXIRQ1	NC	
52	K11	P40/EXIRQ0	P40/EXIRQ0	P40/EXIRQ0	P40/EXIRQ0	NC	
53	H8	Vref	Vref	Vref	Vref	VCC	
54	J10	AVCC	AVCC	AVCC	AVCC	VCC	
55	J11	MD0	MD0	MD0	MD0	VSS	
56	H9	MD1	MD1	MD1	MD1	VSS	
57	H10	RESERVE	RESERVE	RESERVE	RESERVE	NC	
58	H11	VSS	VSS	VSS	VSS	NC	
59	G8	RES	RES	RES	RES	VPP	
60	G9	NMI	NMI	NMI	NMI	A9	
61	G11	STBY	STBY	STBY	STBY	VSS	
62	F9、 G10	VCC	VCC	VCC	VCC	VCC	
63	F11	XTAL	XTAL	XTAL	XTAL	NC	
64	F8、 F10	VSS	VSS	VSS	VSS	VSS	
65	E11	EXTAL	EXTAL	EXTAL	EXTAL	NC	
66	E10	FWE	FWE	FWE	FWE	FWE	
67	E9	MD2	MD2	MD2	MD2	VSS	
68	D11	PF7/	PF7/	PF7/	PF7/	NC	
69	E8	AS	AS	AS	PF6	NC	
70	D10	RD	RD	RD	PF5	NC	
71	C11	HWR	HWR	HWR	PF4	NC	
72	D9	PF3/LWR/IRQ3	PF3/LWR/IRQ3	PF3/LWR/IRQ3	PF3/IRQ3	VCC	
73	C10	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	CE	
74	B11	PF1/BACK	PF1/BACK	PF1/BACK	PF1	PGM	
75	C9	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2	VCC	
76	A10	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC	
77	D8	P31/RxD1	P31/RxD1	P31/RxD1	P31/RxD1	NC	
78	B9	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	NC	
79	A9	P33/TxD1	P33/TxD1	P33/TxD1	P33/TxD1	NC	
80	C8	P34/RxD1	P34/RxD1	P34/RxD1	P34/RxD1	NC	
81	B8	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5	NC	
82	A8	P36/EXIRQ7	P36/EXIRQ7	P36/EXIRQ7	P36/EXIRQ7	NC	
83	D7	P77	P77	P77	P77	NC	
84	C7	P76/EXMSTP	P76/EXMSTP	P76/EXMSTP	P76/EXMSTP	NC	
85	A7	P75/EXMS	P75/EXMS	P75/EXMS	P75	NC	

ピン番号		端子名					フラッシュメモリ ライトモード*
TFP-100B、 TFP-100BV、 TFP-100G、 TFP-100GV	BP-112、 BP-112V、 TBP-112A、 TBP-112AV	モード 4	モード 5	モード 6	モード 7		
86	B7	P74/MRES/ EXDTCE	P74/MRES/ EXDTCE	P74/MRES/ EXDTCE	P74/MRES/ EXDTCE	NC	
87	C6	P73/TEND1/CS7	P73/TEND1/CS7	P73/TEND1/CS7	P73/TEND1	NC	
88	A6	P72/TEND0/CS6	P72/TEND0/CS6	P72/TEND0/CS6	P72/TEND0	NC	
89	B6	P71/DREQ1/CS5	P71/DREQ1/CS5	P71/DREQ1/CS5	P71/DREQ1	NC	
90	D6	P70/DREQ0/CS4	P70/DREQ0/CS4	P70/DREQ0/CS4	P70/DREQ0	NC	
91	A5	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	NC	
92	B5	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/IRQ7	NC	
93	C5	PG2/CS2	PG2/CS2	PG2/CS2	PG2	NC	
94	A4	PG3/CS1	PG3/CS1	PG3/CS1	PG3	NC	
95	D5	PG4/CS0	PG4/CS0	PG4/CS0	PG4	NC	
96	B4	PE0/D0	PE0/D0	PE0/D0	PE0	NC	
97	A3	PE1/D1	PE1/D1	PE1/D1	PE1	NC	
98	C4	PE2/D2	PE2/D2	PE2/D2	PE2	NC	
99	B3	PE3/D3	PE3/D3	PE3/D3	PE3	NC	
100	A2	PE4/D4	PE4/D4	PE4/D4	PE4	VSS	
-	A1、A11、B10、 C3、J9、L1、L11	RESERVE	RESERVE	RESERVE	RESERVE	RESERVE	

【注】 * NC は開放としてください。

1. 概要

1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	入出力	端子名	名称および機能																										
電源	VCC	入力	電源	電源に接続します。VCC 端子は、全端子をシステムの電源に接続してください。																										
	VSS	入力	グランド	電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。																										
クロック	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 16 章 クロック発振器」を参照してください。																										
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 16 章 クロック発振器」を参照してください。																										
		出力	システムクロック	外部デバイスにシステムクロックを供給します。																										
動作モードコントロール	MD2 ~ MD0	入力	モード端子	動作モードを設定します。MD2 ~ MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。モード端子 (MD2 ~ MD0) は、モード切り替え以外はパワーオフまでプルダウンまたはプルアップして、レベルを必ず固定してください。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>モード5</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td>1</td> <td>モード7</td> </tr> </tbody> </table>	MD2	MD1	MD0	動作モード	0	0	0	-	1	-	1	0	-	1	-	1	0	0	モード4	1	モード5	1	0	モード6	1	モード7
MD2	MD1	MD0	動作モード																											
0	0	0	-																											
		1	-																											
	1	0	-																											
		1	-																											
1	0	0	モード4																											
		1	モード5																											
	1	0	モード6																											
		1	モード7																											
システム制御	RES	入力	リセット入力	この端子が Low レベルになると、パワーオンリセット状態となります。																										
	MRES	入力	マニュアルリセット	この端子が Low レベルになると、マニュアルリセット状態になります。																										
システム制御	STBY	入力	スタンバイ	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。																										
	BREQ	入力	バス権要求	H8S/2214 に対し、外部バスマスタがバス権を要求します。																										
	BACK	出力	バス権要求 アクノリッジ	バス権を外部バスマスタに解放したことを示します。																										
	FWE	入力	フラッシュライト イネーブル	フラッシュメモリの書き換えを禁止 / 許可します。																										
割り込み	NMI	入力	ノンマスクブル 割り込み	マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。																										
	IRQ7 ~ IRQ0	入力	割り込み要求 7 ~ 0	マスク可能な割り込みを要求します。																										
アドレスバス	A23 ~ A0	出力	アドレスバス	アドレスを出力します。																										
データバス	D15 ~ D0	入出力	データバス	双方向データバスです。																										
バス制御	CS7 ~ CS0	出力	チップセレクト	エリア 7 ~ 0 の選択信号です。																										
	AS	出力	アドレス ストロープ	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。																										
	RD	出力	リード	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。																										
	HWR	出力	ハイライト	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号です。																										

分類	記号	入出力	端子名	名称および機能
バス制御	LWR	出力	ローライト	外部空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロブ信号です。
	WAIT	入力	ウェイト	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
外部拡張	EXIRQ7~EXIRQ0	入力	外部拡張割り込み要求 7~0	外部モジュールからの割り込み要求入力端子です。
	EXMS	出力	外部拡張モジュールセレクト	外部モジュールに対する選択信号です。
	EXDTC	出力	外部拡張 DTC 転送終了	EXIRQ7~EXIRQ0 の入力に対する DTC のデータ転送終了信号です。
	EXMSTP	出力	外部拡張モジュールストップ	外部モジュールに対するモジュールストップ信号です。
DMA コントローラ (DMAC)	DREQ1、DREQ0	入力	DMA リクエスト 1、0	DMAC の起動を要求します。
	TEND1、TEND0	出力	DMA 転送終了 1、0	DMAC のデータ転送終了を示します。
16 ビットタイムパルスユニット (TPU)	TCLKD~TCLKA	入力	クロック入力 D~A	外部クロックを入力します。
	TIOCA0、TIOCB0、TIOCC0、TIOCD0	入出力	インプットキャプチャ / アウトプットコンペアマッチ A0~D0	TGR0A~TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA1、TIOCB1	入出力	インプットキャプチャ / アウトプットコンペアマッチ A1、B1	TGR1A、TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA2、TIOCB2	入出力	インプットキャプチャ / アウトプットコンペアマッチ A2、B2	TGR2A、TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
シリアルコミュニケーションインタフェース (SCI)	TxD2、TxD1、TxD0	出力	トランスミットデータ	データ出力端子です。
	RxD2、RxD1、RxD0	入力	レシーブデータ	データ入力端子です。
	SCK2、SCK1、SCK0	入出力	シリアルクロック	クロック入出力端子です。
D/A 変換器	DA0	出力	アナログ出力	D/A 変換器のアナログ出力端子です。
	AVCC	入力	アナログ電源	D/A 変換器の電源端子です。D/A 変換器を使用しない場合はシステム電源 (VCC) に接続してください。
	AVSS	入力	アナロググランド	D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	入力	アナログリファレンス電源	D/A 変換器の基準電圧入力端子です。D/A 変換器を使用しない場合はシステムの電源 (VCC) に接続してください。
I/O ポート	P17~P10	入出力	ポート 1	8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P36~P30	入出力	ポート 3	7 ビットの入出力端子です。ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P47~P40	入力	ポート 4	8 ビットの入力端子です。
	P77~P70	入出力	ポート 7	8 ビットの入出力端子です。ポート 7 データディレクションレジスタ (P7DDR) によって、1 ビットごとに入出力を指定できます。
	P96	入力	ポート 9	1 ビットの入力端子です。
	PA3~PA0	入出力	ポート A	4 ビットの入出力端子です。ポート A データディレクションレジスタ (PADDDR) によって、1 ビットごとに入出力を指定できます。

1. 概要

分類	記号	入出力	端子名	名称および機能
I/O ポート	PB7 ~ PB0	入出力	ポート B	8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC7 ~ PC0	入出力	ポート C	8 ビットの入出力端子です。 ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。
	PD7 ~ PD0	入出力	ポート D	8 ビットの入出力端子です。 ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。
	PE7 ~ PE0	入出力	ポート E	8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。
	PF7 ~ PF0	入出力	ポート F	8 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR) によって、1 ビットごとに入出力を指定できます。
	PG4 ~ PG0	入出力	ポート G	5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR) によって、1 ビットごとに入出力を指定できます。
リザーブ	RESERVE	-	リザーブ	リザーブ端子です。 必ず開放にして何も接続しないようにしてください。

2. CPU

2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

H8/300 CPU および H8/300H CPU の上位互換

- H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

汎用レジスタ方式

- 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

65 種類の基本命令

- 8 / 16 / 32 ビット演算命令
- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
- ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
- イミディエイト (#xx:8 / #xx:16 / #xx:32)
- プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
- メモリ間接 (@@aa:8)

16M バイトのアドレス空間

- プログラム : 16M バイト
- データ : 16M バイト（アーキテクチャ上は 4G バイト）

高速動作

- 頻出命令をすべて 1~2 ステートで実行
- 最高動作周波数 : 16MHz
- 8 / 16 / 32 ビットレジスタ間加減算 : 62.5ns
- 8×8 ビットレジスタ間乗算 : 750ns
- 16÷8 ビットレジスタ間除算 : 750ns
- 16×16 ビットレジスタ間乗算 : 1250ns
- 32÷16 ビットレジスタ間除算 : 1250ns

2 種類の CPU 動作モード

- ノーマルモード* / アドバンスモード

【注】* H8S/2214 グループでは使用できません。

低消費電力状態

- SLEEP 命令により低消費電力状態に移
- CPU 動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

レジスタ構成

- MAC レジスタは、H8S/2600 CPU のみサポートしています。

基本命令

- MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。

実行ステート数

- MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

汎用レジスタ、コントロールレジスタを拡張

- 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加

アドレス空間を拡張

- ノーマルモード*のとき、H8/300 CPU と同一の 64K バイトのアドレス空間を使用可能
- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

【注】* H8S/2214 グループでは使用できません。

アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

命令強化

- ビット操作命令のアドレッシングモードを強化
- 符号付き乗除算命令などを追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

高速化

- 基本的な命令を 2 倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

コントロールレジスタを拡張

- 8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加

命令強化

- ビット操作命令のアドレッシングモードを強化
- 2 ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

高速化

- 基本的な命令を 2 倍に高速化

2.2 CPU 動作モード

本 CPU は、ノーマルモード*およびアドバンスモードの 2 つの CPU 動作モードを持っています。サポートするアドレス空間は、ノーマルモード*の場合最大 64K バイト、アドバンスモードの場合 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

各モードは LSI のモード端子によって選択されます。

【注】* H8S/2214 グループでは使用できません。

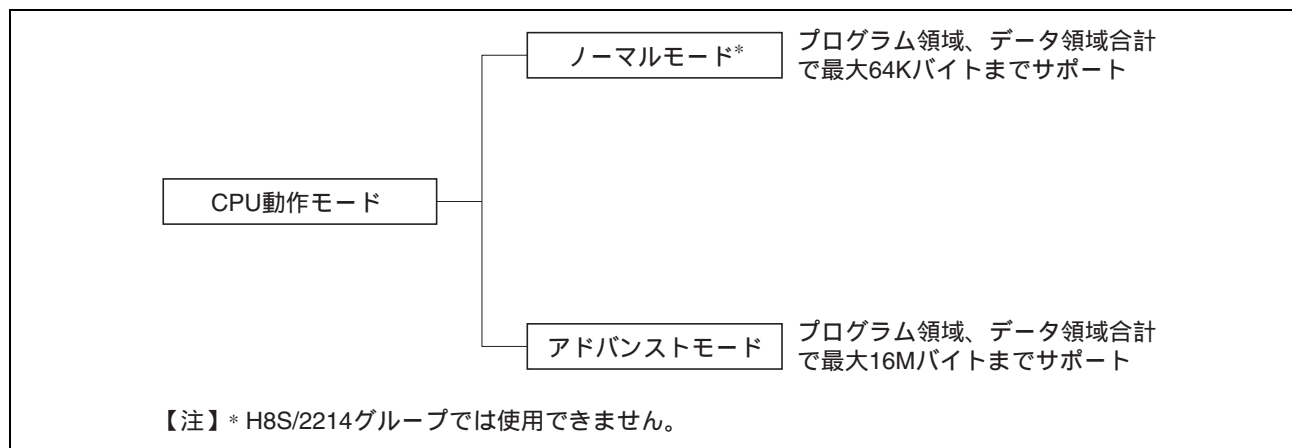


図 2.1 CPU 動作モード

(1) ノーマルモード（H8S/2214 グループでは使用できません）

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一になります。

(a) アドレス空間

最大 64K バイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できません。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

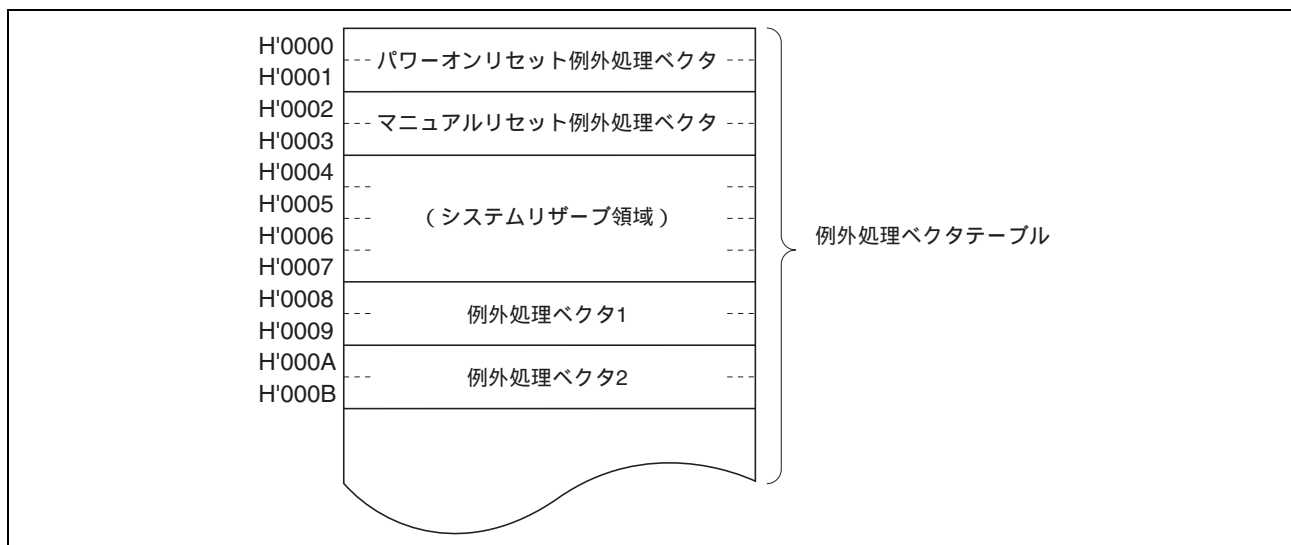


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.3 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

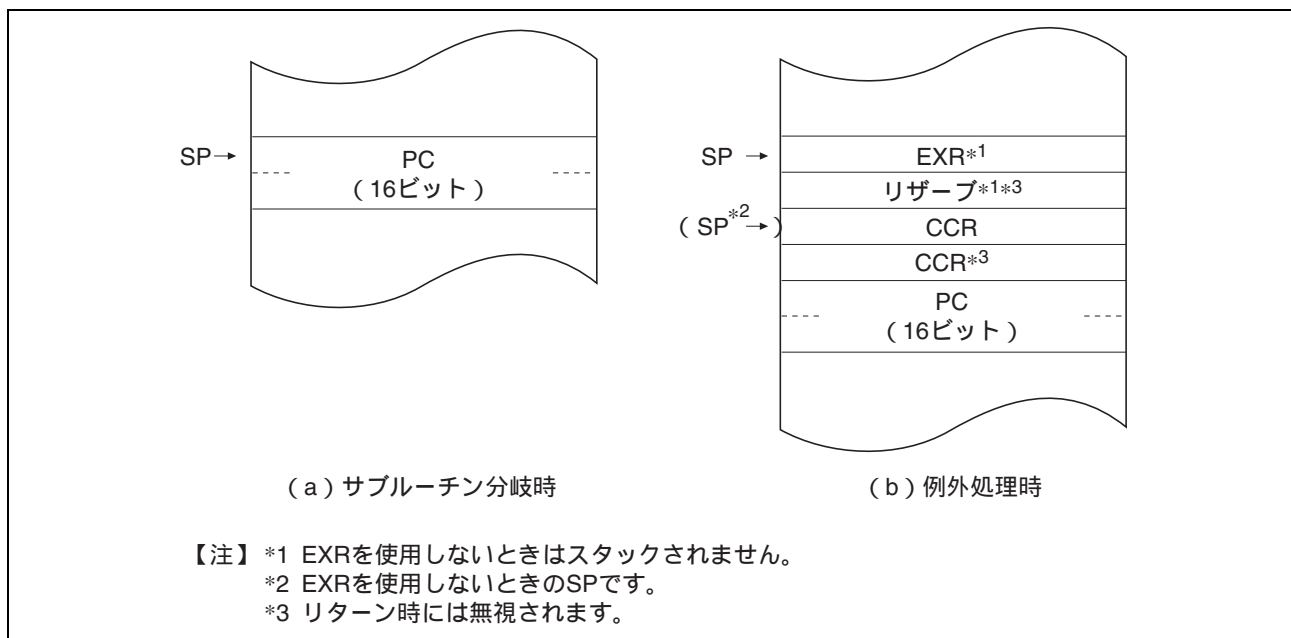


図 2.3 ノーマルモードのスタック構造

(2) アドバンスモード

(a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.4 参照）。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

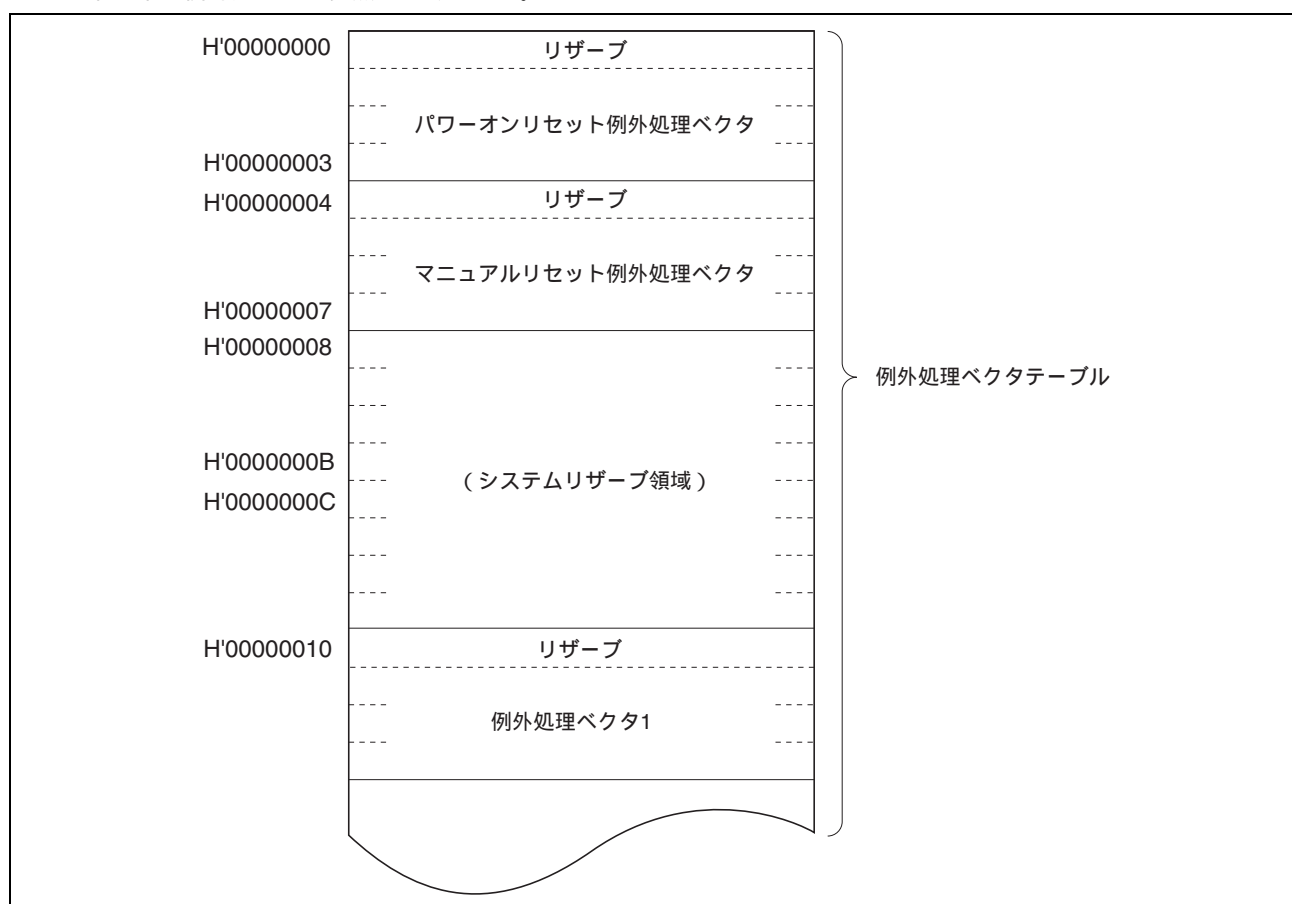


図 2.4 例外処理ベクタテーブル（アドバンスモード）

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット（ロングワード）となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.5に示します。EXRはEXRが無効のときはスタックされません。詳細は「第4章 例外処理」を参照してください。

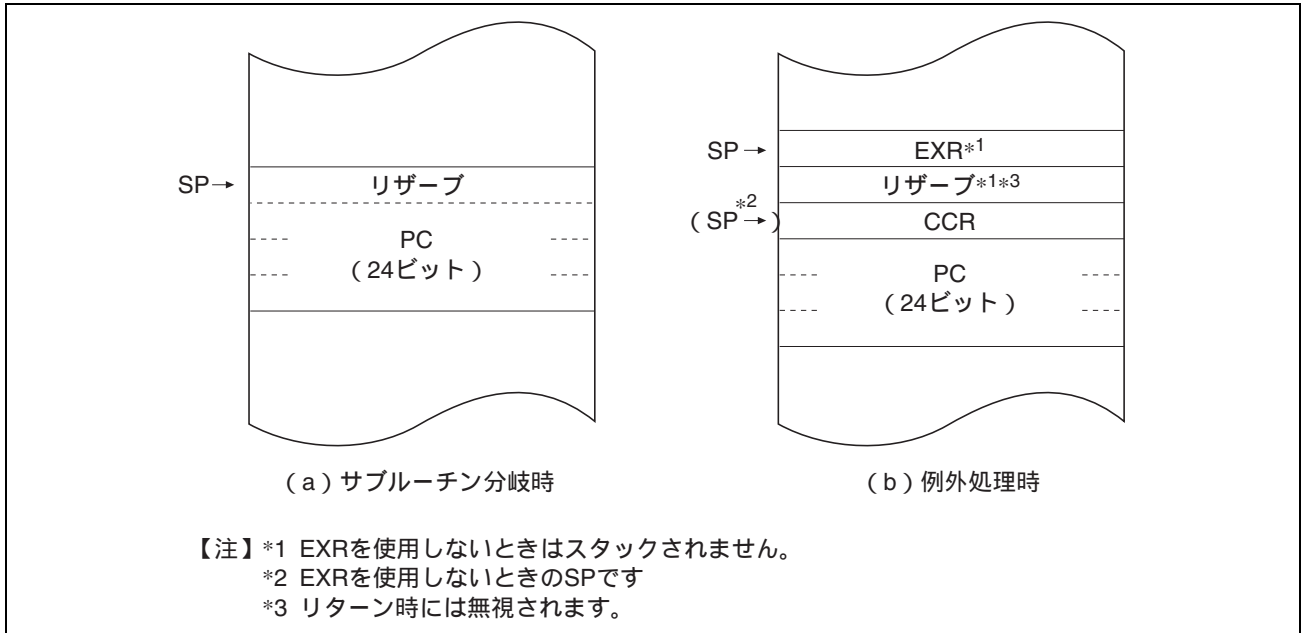


図 2.5 アドバンスモードのスタック構造

2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64K バイト、またアドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

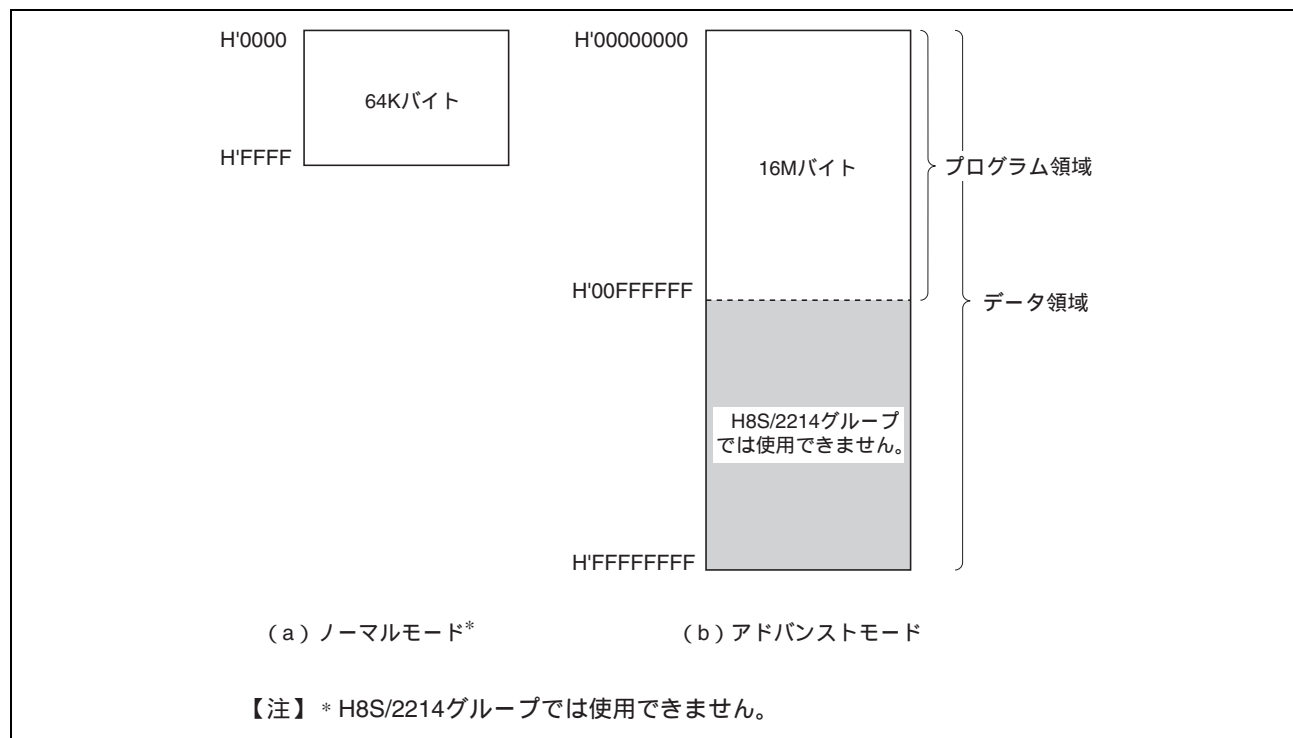


図 2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

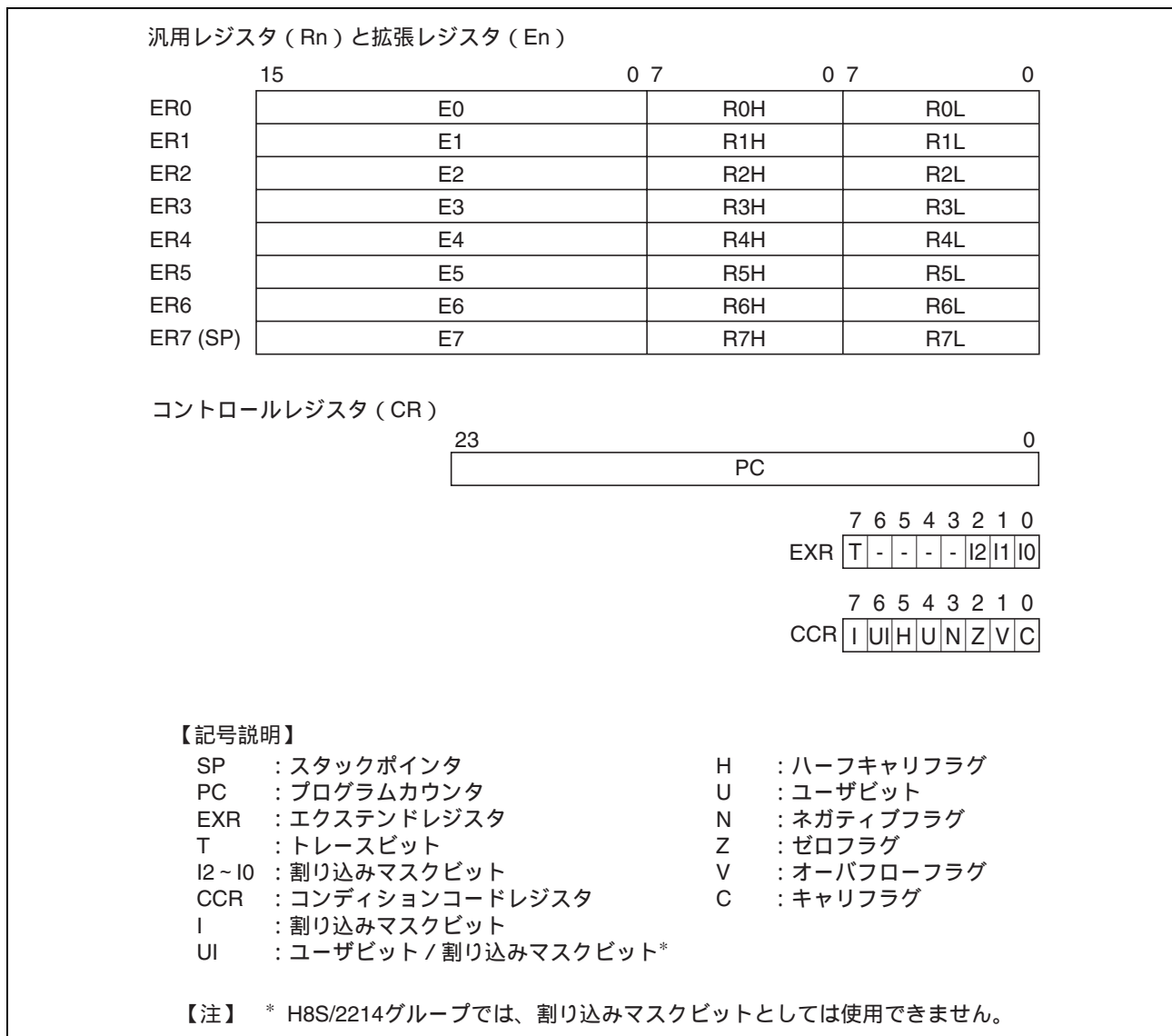


図 2.7 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本CPUは、32ビット長の汎用レジスタを8本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては32ビット、16ビット、および8ビットレジスタとして使用できます。

アドレスレジスタおよび32ビットレジスタの場合、一括して汎用レジスタER (ER0~ER7)として使用します。

16ビットレジスタの場合、汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本まで使用することができます。なお、汎用レジスタE (E0~E7)を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタの場合、汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本まで使用することができます。

汎用レジスタの使用方法を図2.8に示します。各レジスタ独立に使用方法を選択することができます。

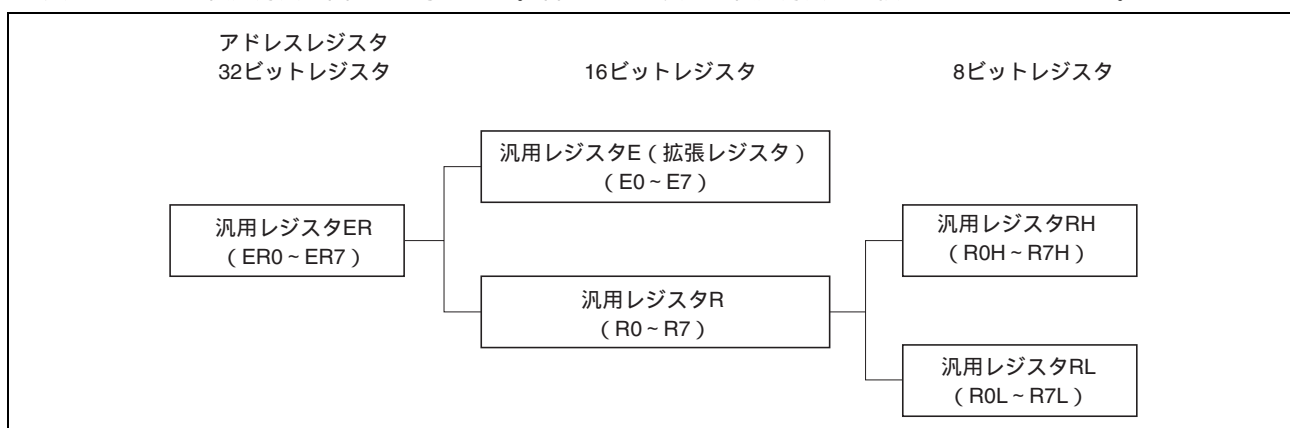


図 2.8 汎用レジスタの使用方法

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.9に示します。

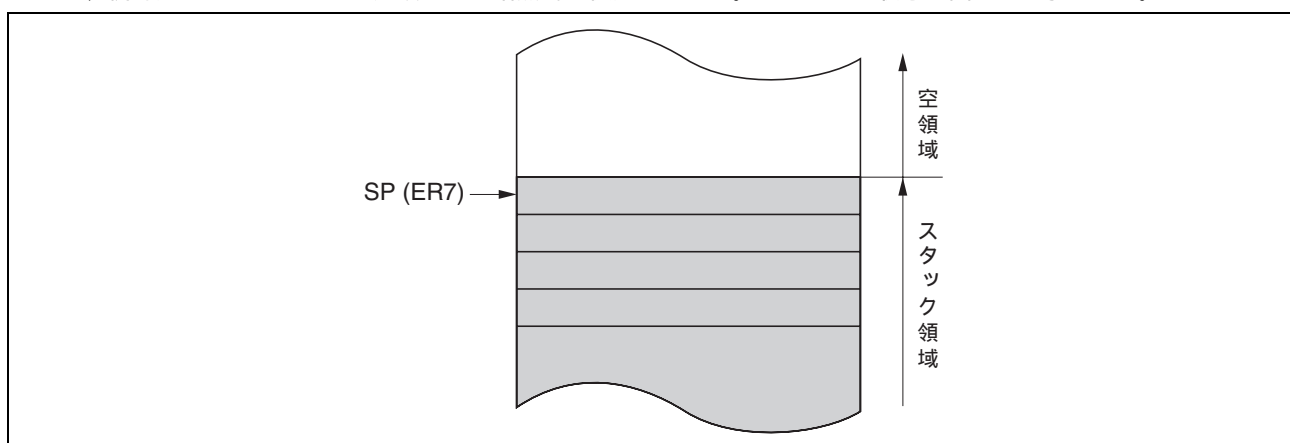


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、および 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) エクステンドレジスタ (EXR)

8 ビットのレジスタです。トレースビット (T)、割り込みマスクビット (I) を含む 8 ビットで構成されています。

ビット 7: トレースビット (T)

トレースモードが否かを指定します。本ビットが 0 にクリアされているときは命令を順次実行します。1 にセットされているときは 1 命令実行ごとにトレース例外処理を開始します。

ビット 6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。

ビット 2~0: 割り込みマスクビット (I2~I0)

割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間は、NMI を含めてすべての割り込みは受け付けられません。

(3) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7: 割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 6: ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。H8S/2214 グループでは、割り込みマスクビットとしては使用できません。

ビット 5: ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは、ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット 4: ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。

ビット 3: ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2: ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット 1: オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット 0: キャリフラグ (C)

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト / ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0,1,2,\dots,7$ ）という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.10、図2.11に示します。

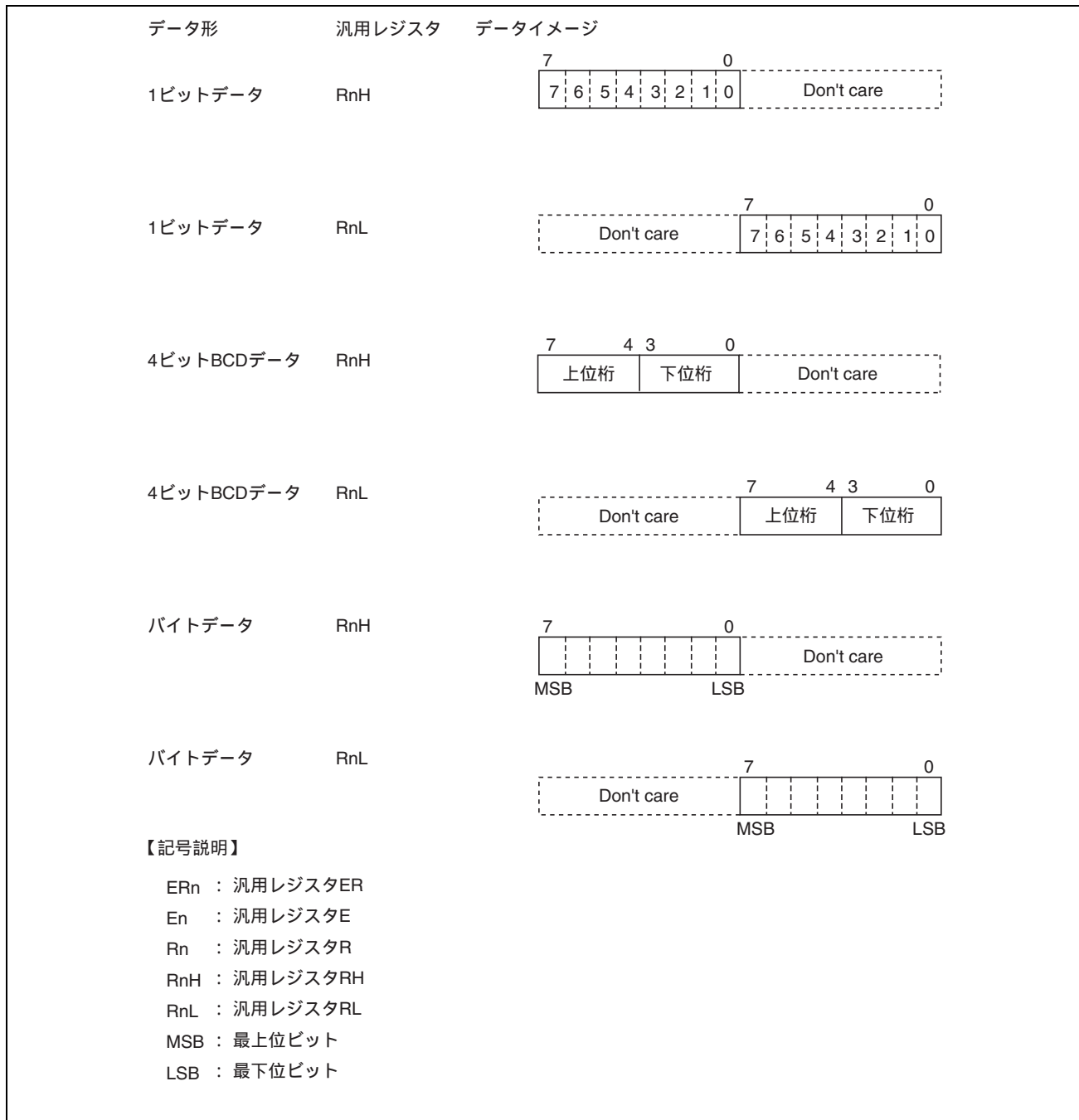


図 2.10 汎用レジスタのデータ構成 (1)

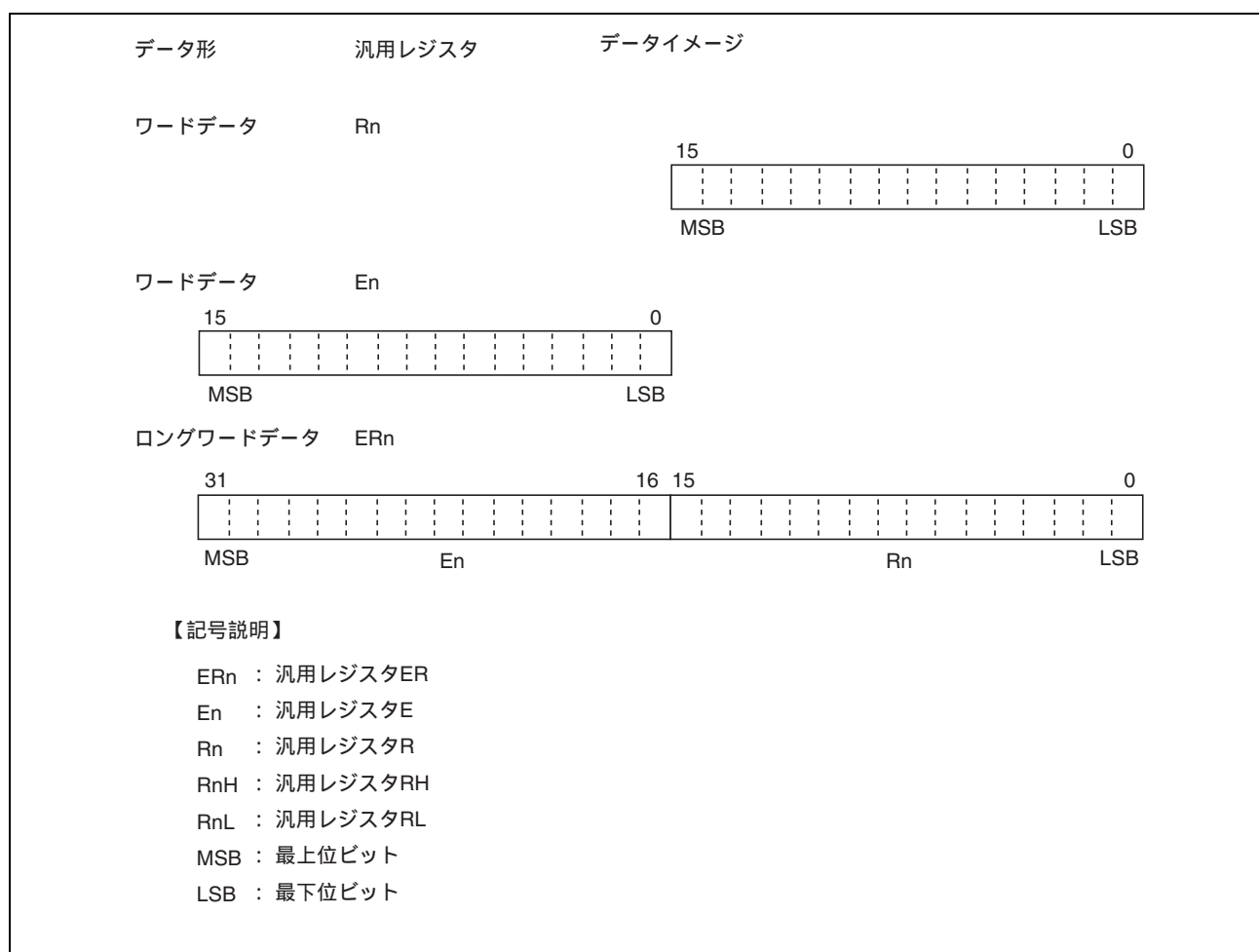


図 2.11 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.12 に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

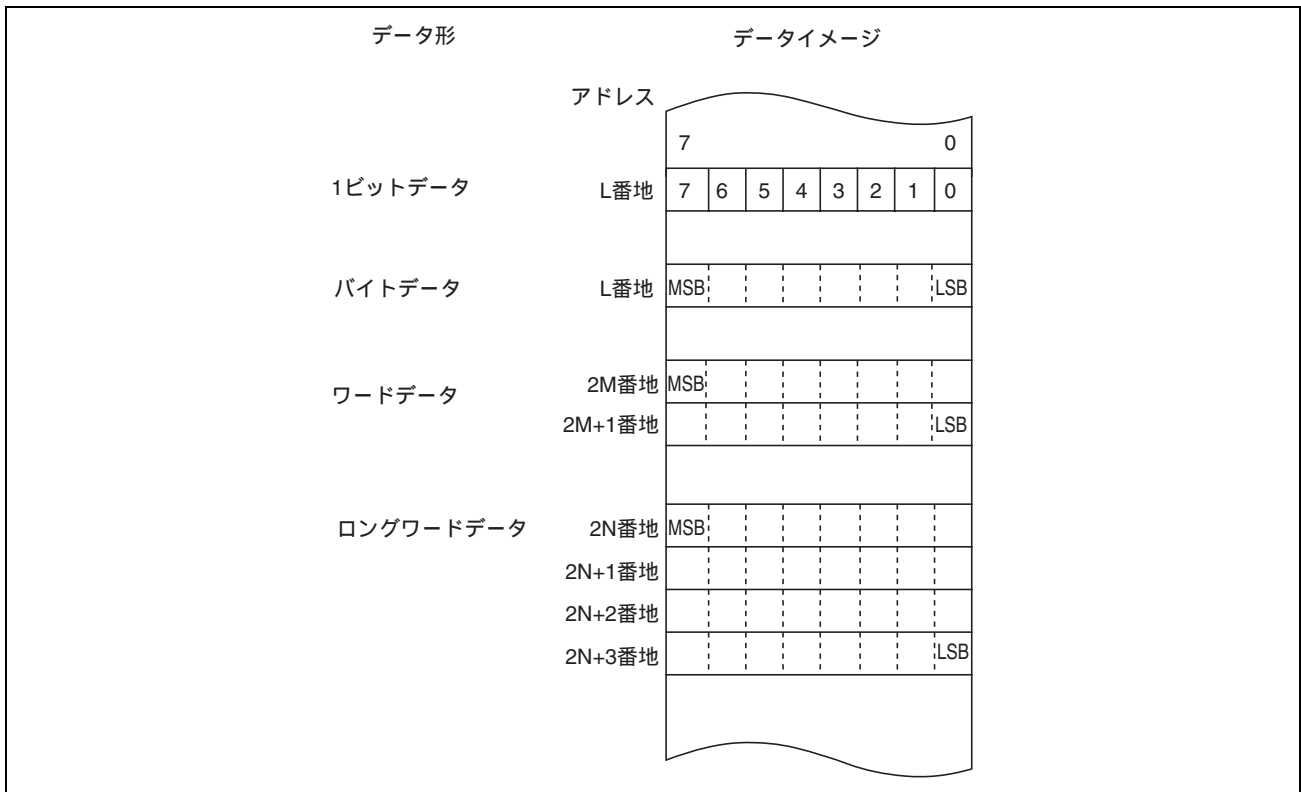


図 2.12 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP* ¹ , PUSH* ¹	WL	
	LDM* ⁵ , STM* ⁵	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	BWL	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	BWL	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	BW	
	EXTU, EXTS	WL	
	TAS * ⁴	B	
論理演算命令	AND, OR, XOR, NOT	BWL	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	BWL	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【記号説明】

- B : バイトサイズ
- W : ワードサイズ
- L : ロングワードサイズ

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 H8S/2214 グループでは使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:32, ERn)	@+ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(d:8, PC)	@(d:16, PC)	@@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM ^{*3} , STM ^{*3}	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFPPE ^{*1} , MOVTPPE ^{*1}	—	—	—	—	—	—	—	B	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
TAS ^{*2}	—	—	B	—	—	—	—	—	—	—	—	—	—	—	
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令	—	B	B	—	—	—	—	B	B	—	B	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

【記号説明】

- B : バイト
W : ワード
L : ロングワード

【注】 *1 H8S/2214 グループでは使用できません。

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*3 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーパフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*1	機能
MOV	B / W / L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFP	B	H8S/2214 では使用できません。
MOVTPE	B	H8S/2214 では使用できません。
POP	W / L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM*2	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM*2	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

表 2.4 算術演算命令

命令	サイズ*1	機能
ADD SUB	B / W / L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10$ 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B / W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット \div 8 ビット 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B / W / L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W / L	$Rd(ゼロ拡張)$ Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	$Rd(符号拡張)$ Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 (<ビット 7> of @ERd) メモリの内容をテストしたあと、最上位ビット（ビット 7）を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B / W / L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B / W / L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B / W / L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B / W / L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B / W / L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B / W / L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B / W / L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B / W / L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕[~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V) = 1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOW)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N⊕V = 0	BLT	Less Than	N⊕V = 1	BGT	Greater Than	Z (N⊕V) = 0	BLE	Less or Equal	Z (N⊕V) = 1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOW)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N⊕V = 0																																																			
BLT	Less Than	N⊕V = 1																																																			
BGT	Greater Than	Z (N⊕V) = 0																																																			
BLE	Less or Equal	Z (N⊕V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM CCR、EXR@#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	if R4L 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next;
EEPMOV.W	-	if R4 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

本CPUの命令は、2バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図2.13に命令フォーマットの例を示します。

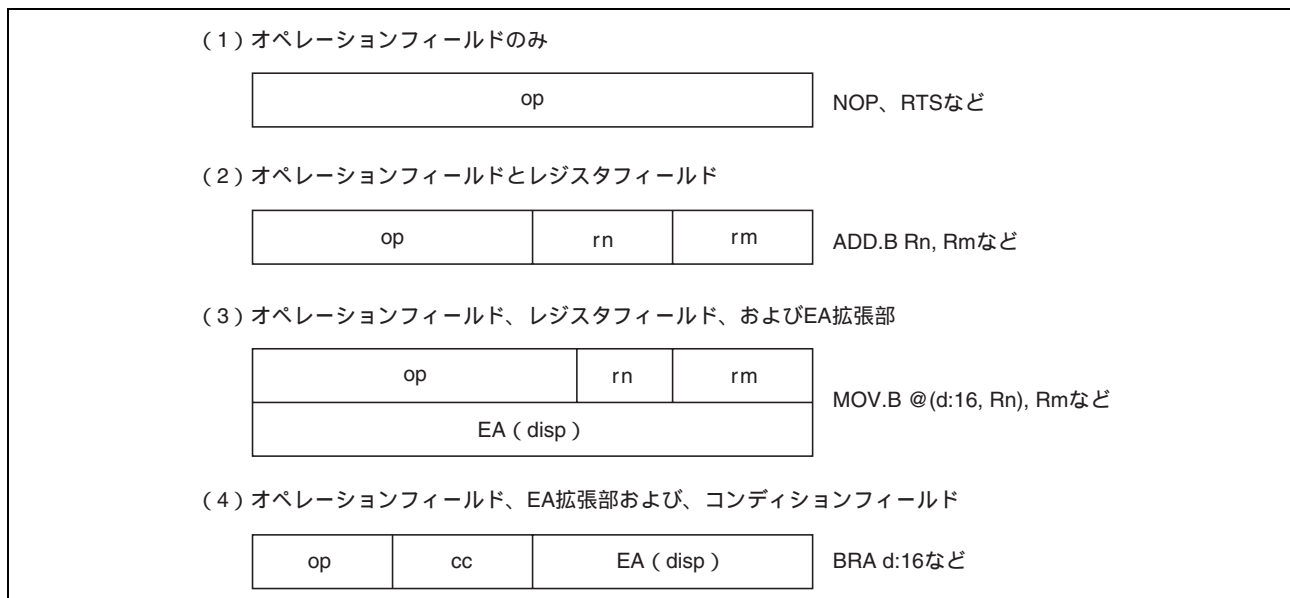


図 2.13 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレス、またはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部I/Oレジスタのフラグを0にクリアするために、BCLR命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが1にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

詳細は「2.10.3 ビット操作命令使用上の注意」を参照してください。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * H8S/2214 グループでは使用できません。

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF*、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットに分岐アドレスを生成します*。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

【注】 * H8S/2214 グループでは使用できません。

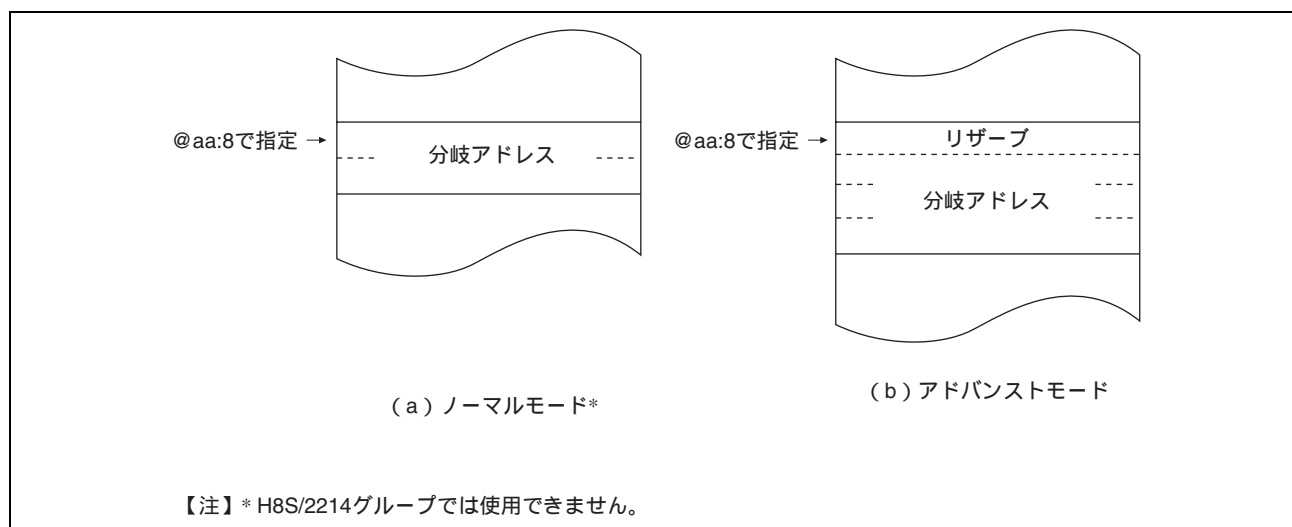


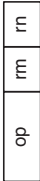




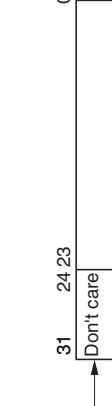
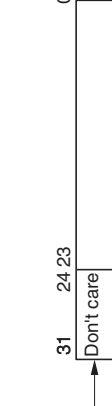

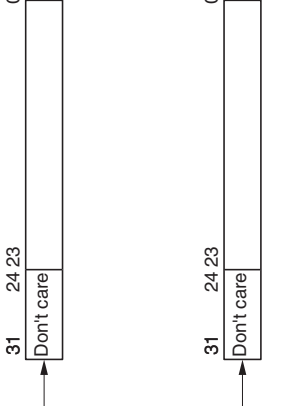
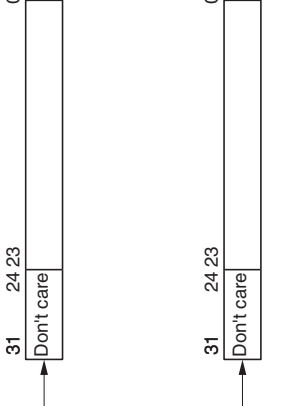
図 2.14 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。
ノーマルモードの場合、実効アドレスの上位8ビットは無視され、16ビットのアドレスとなります。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接 (@ERn) 										
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 @ERn+ ・ ・プリデクリメントレジスタ間接 @-ERn 	 <table border="1" data-bbox="1209 801 1313 1104"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		31 24 23 8 7 0 Don't care H'FFFF
	@aa:16 op abs		31 24 23 16 15 0 Don't care 符号拡張
	@aa:24 op abs		31 24 23 0 Don't care
	@aa:32 op abs		31 24 23 0 Don't care
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	<p>プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)</p> <p>op disp</p>	<p>23 PCの内容</p> <p>23 符号拡張 disp</p> <p>0</p> <p>+</p>	<p>31 24 23 0</p> <p>Don't care</p>
8	<p>メモリ間接 @aa:8</p> <p>・ノーマルモード*</p> <p>op abs</p> <p>アドバンスドモード</p> <p>op abs</p>	<p>31 8 7 0 abs</p> <p>15 0 メモリの内容</p> <p>31 8 7 0 abs</p> <p>31 0 メモリの内容</p>	<p>31 24 23 16 15 0</p> <p>Don't care H'00</p> <p>31 24 23 0</p> <p>Don't care</p>

【注】* H8S/2214グループでは使用できません。

2.8 処理状態

2.8.1 概要

H8S/2214 グループの処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.15 に、処理状態間の遷移を図 2.16 に示します。

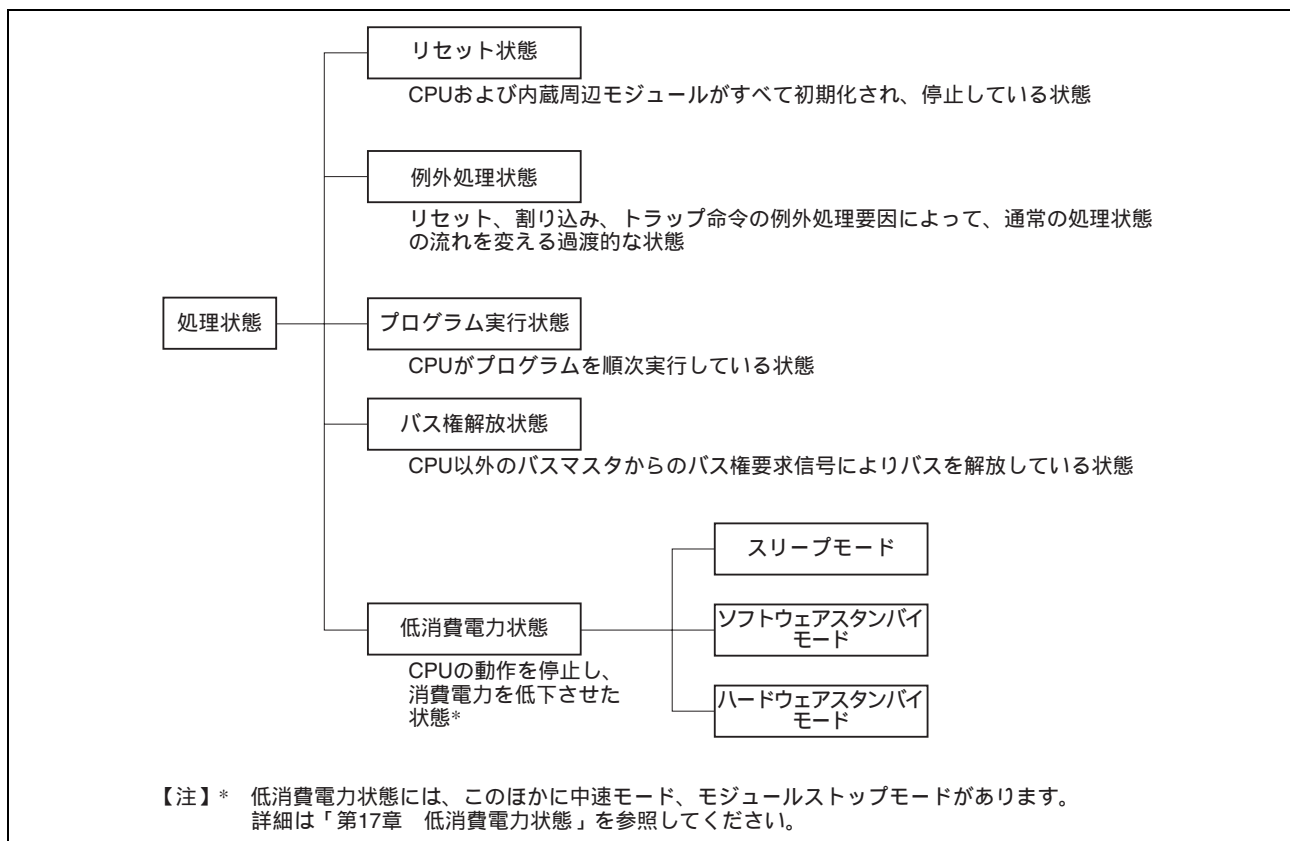


図 2.15 処理状態の分類

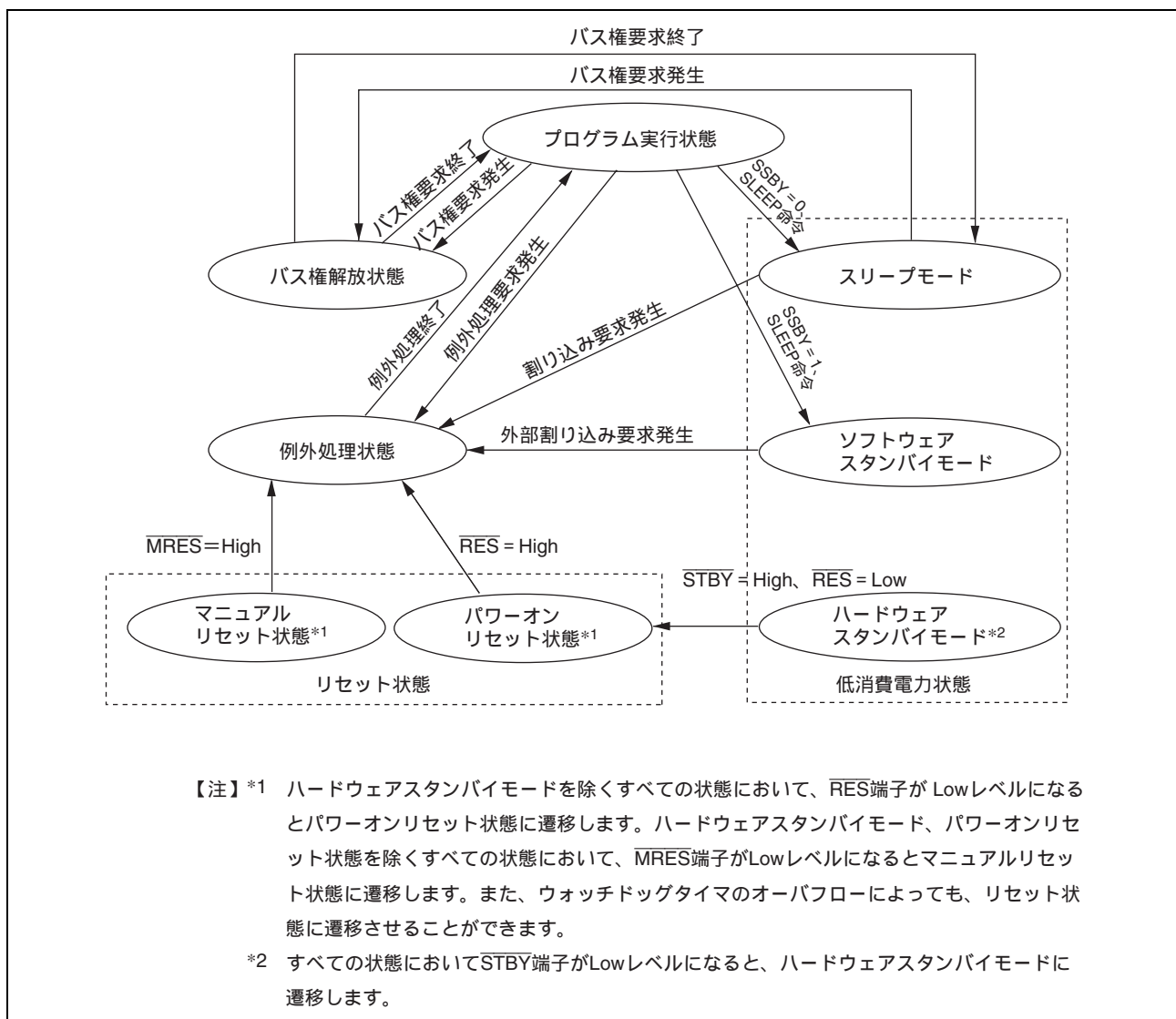


図 2.16 状態遷移図

2.8.2 リセット状態

\overline{RES} 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はパワーオンリセット状態になります。 \overline{MRES} 端子が Low レベルになると、マニュアルリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

\overline{RES} 、 \overline{MRES} 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーパフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ (WDT)」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、トレース、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出 タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES、MRES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより例外処理を開始します。
	トレース	命令実行終了時または例外処理終了時*1	T ビット = 1 の状態で命令または例外処理の実行終了時開始します。
	割り込み	命令実行終了時または例外処理終了時*2	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。*3

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

$\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を Low レベルにしてリセット状態としたあと、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を High レベルにすると、リセット例外処理を開始します。 $\overline{\text{RES}}$ 端子が Low レベルのときパワーオンリセット状態、 $\overline{\text{MRES}}$ 端子が Low レベルのときマニュアルリセット状態になります。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) トレース

トレースは、割り込み制御モード 2 で有効です。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクは影響を受けません。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰したあとは、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。

割り込み制御モード 0 では、T ビットの状態によらず、トレースモードにはなりません。

(4) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.17 に示します。

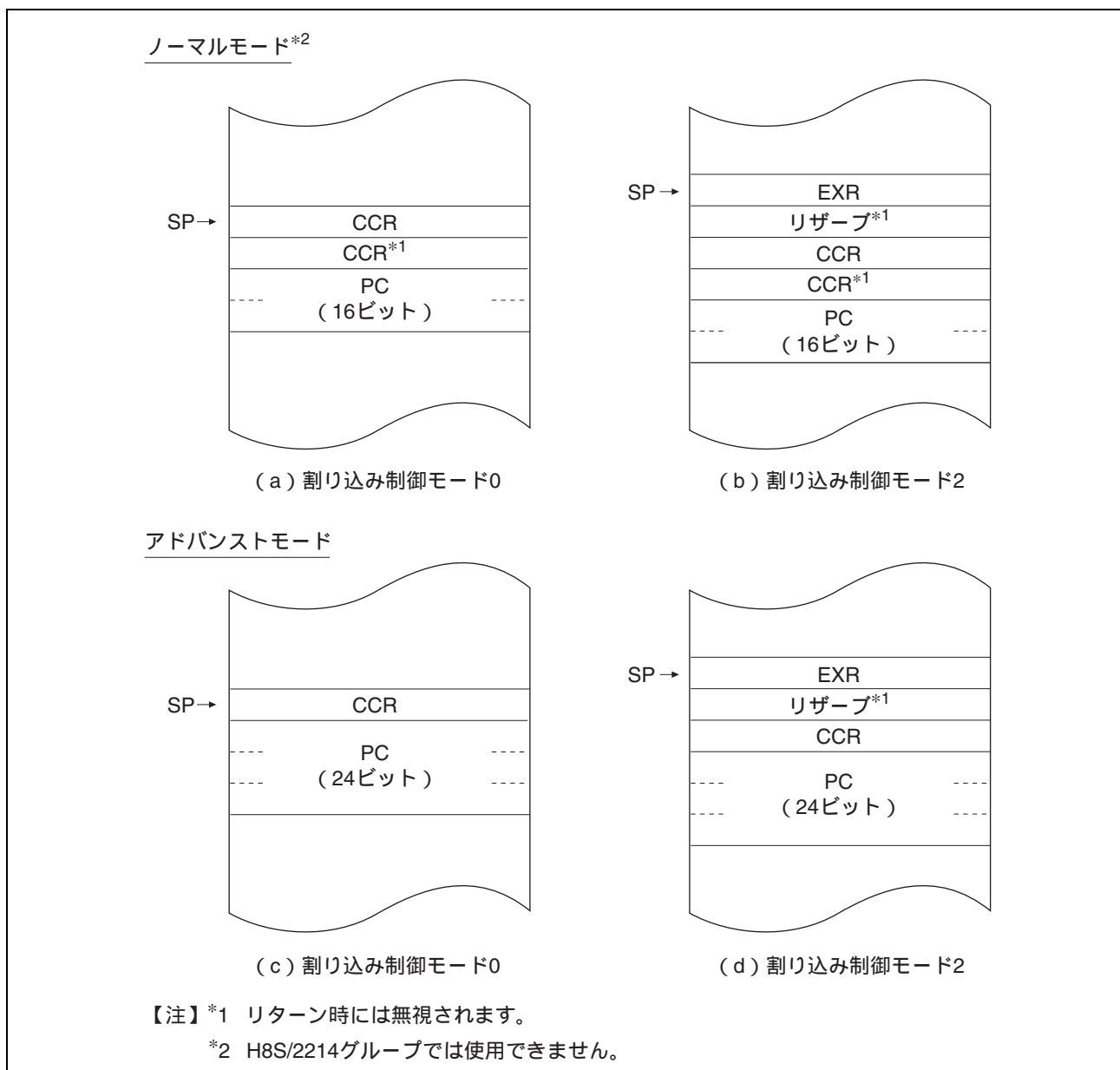


図 2.17 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は動作を停止します。

なお、CPU 以外のバスマスタには DMA コントローラ (DMAC)、データ転送コントローラ (DTC) があります。

詳細は、「第 6 章 バスコントローラ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態には、CPUの動作を停止した状態と、CPUの動作を停止しない状態があります。CPUの動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモードがあります。中速モードではCPUおよびその他のバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU以外のモジュールの動作を停止します。詳細は「第17章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCRのSSBYビット=0、LPWRCRのLSONビット=0の状態、SLEEP命令を実行することによって遷移します。スリープモードでは、CPUの動作はSLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCRのSSBYビット=1、LPWRCRのLSONビット=0、TCSR(WDT1)のPSSビット=0の状態、SLEEP命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPUおよびクロックをはじめMCUのすべての動作が停止します。規定の電圧が与えられている限り、CPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子をLowレベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPUおよびクロックをはじめMCUのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本CPUは、システムクロック()を基準に動作しています。 の立ち上がりから次の立ち上がりまでの1単位をステートとよびます。メモリサイクルまたはバスサイクルは、1、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは1ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアccessサイクルを図2.18に、端子状態を図2.19に示します。

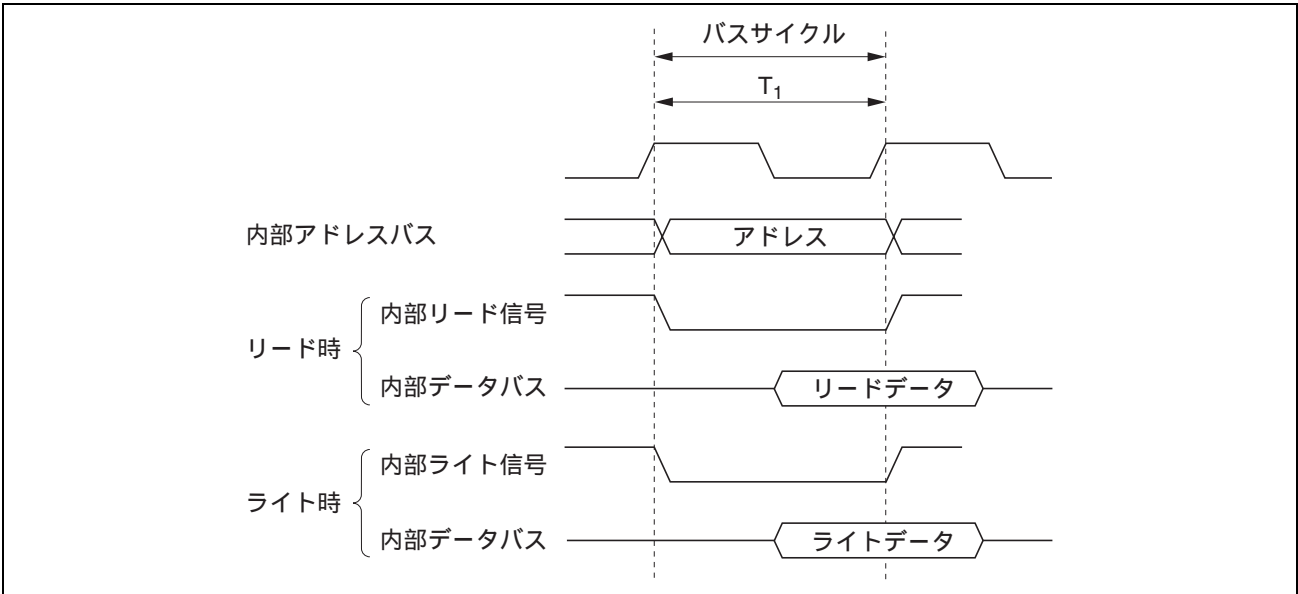


図 2.18 内蔵メモリアccessサイクル

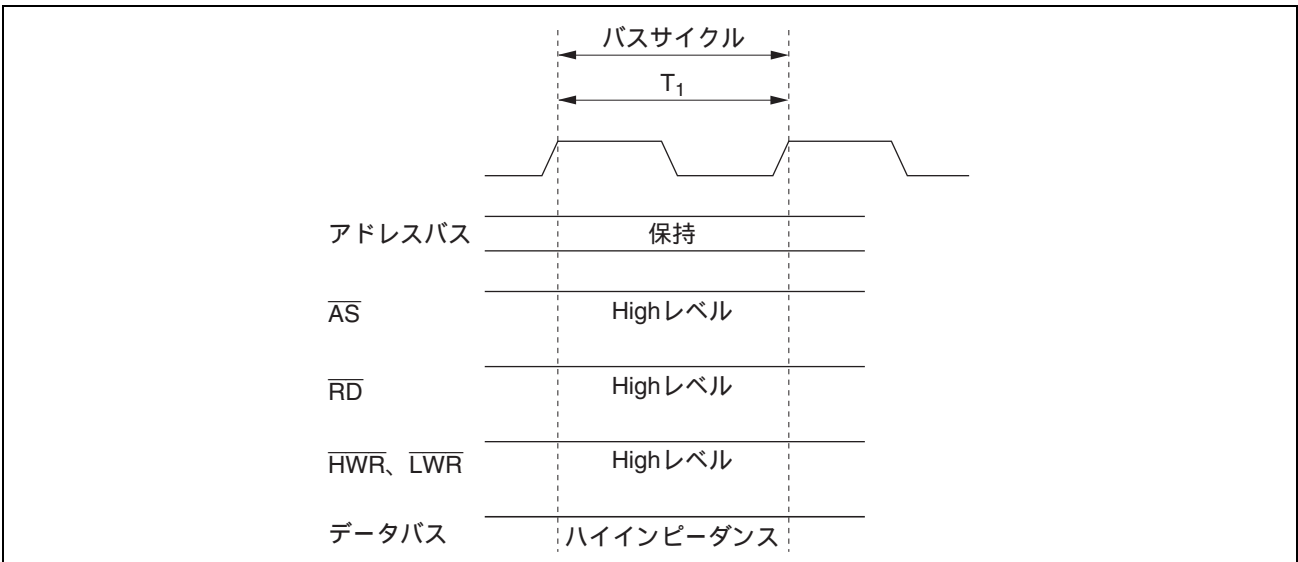


図 2.19 内蔵メモリアccess時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.20、端子状態を図2.21に示します。

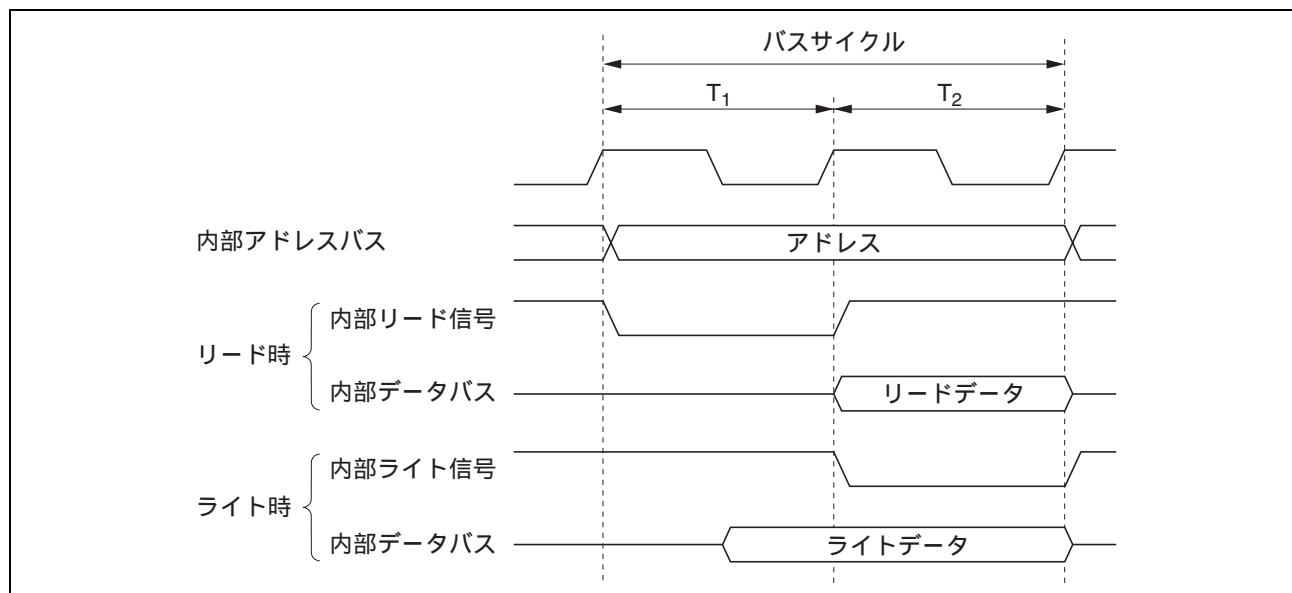


図 2.20 内蔵周辺モジュールアクセスサイクル

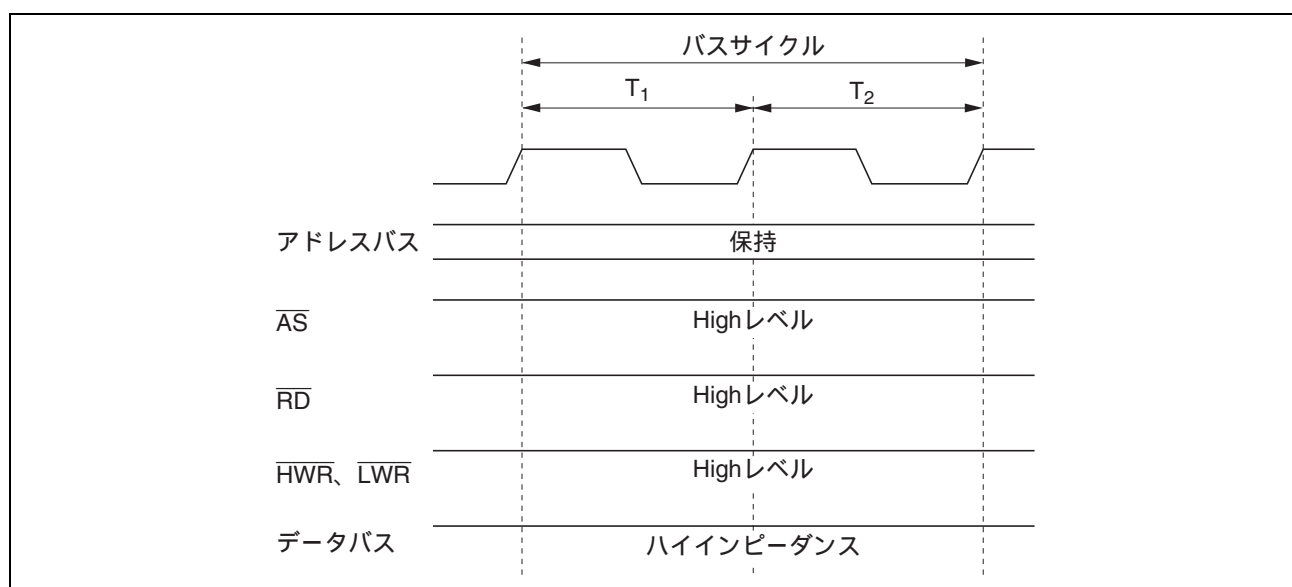


図 2.21 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8ビットまたは16ビット、バスサイクルは2ステートまたは3ステートです。3ステートアクセスではウェイトステートを挿入することができます。詳細は「第6章 バスコントローラ」を参照してください。

2.10 使用上の注意事項

2.10.1 TAS 命令使用上の注意事項

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2.10.2 STM/LDM 命令使用上の注意事項

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

2.10.3 ビット操作命令使用上の注意

ライト専用ビットを含むレジスタに対してビット操作命令を使用すると本来操作すべきビットが正しく操作されない場合や、ビット操作に無関係のビットが変化することがあります。

ライト専用ビットを含むレジスタをリードすると固定値や不定値をリードします。したがって、リードした値を演算に使用するビット操作命令 (BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD) は正しいビット操作がされません。

また、演算したあとにリードしたデータに対してライトを伴うビット操作命令 (BSET、BCLR、BNOT、BST、BIST) はビット操作に無関係のビットが変化することがありますので、ライト専用ビットを含むレジスタに対してビット操作命令を行う場合は注意が必要です。

BSET、BCLR、BNOT、BST、BIST の各命令は、

1. バイト単位でデータをリード
2. リードしたデータを命令に従いビット操作
3. 再びバイト単位でデータをライト

の順番で動作を行います。

例 ポート 1 の P1DDR の P14 のみをクリアするのに BCLR 命令を実行した場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。現時点では、P17～P14 は出力端子に、P13～P10 は入力端子に設定されているとします。この時点で、P1DDR の値は H'F0 です。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を "1" から "0" (H'F0 → H'E0) に変えなければなりません。ここで BCLR 命令を使って P1DDR のビット 4 をクリアするとします。

```
BCLR    #4, @P1DDR
```

しかし、ライト専用レジスタである P1DDR に対して上記のようにビット操作命令を行うと以下のような不具合が発生する場合があります。

P1DDR に対して、最初にバイト単位でデータをリードしますが、このとき、リードされる値は不定値です。不定値は、レジスタ上では "0" または "1" となりますが、どちらの値がリードされるかわかりません。P1DDR はすべてライト専用ビットなので、どのビットでも不定値をリードします。ここでは、本来の P1DDR の値は H'F0 ですが、ビット 3 が "1" となる H'F8 がリードされたとします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
リード値	1	1	1	1	1	0	0	0

ビット操作は、このリードされた値に対して行われます。この例では H'F8 に対してビット 4 をクリアします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
ビット操作後	1	1	1	0	1	0	0	0

ビット操作を行ったあと、そのデータを P1DDR にライトして BCLR 命令を終了します。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	出力	入力	入力	入力
P1DDR	1	1	1	0	1	0	0	0
ライト値	1	1	1	0	1	0	0	0

本来は P1DDR の値を HE0 に書き変えるはずでしたが、実際は HE8 がライトされ、入力端子であるはずの P13 が出力端子に変化してしまいます。ここではリードしたときに P13 が"1"の場合について説明しましたが、P17～P10 をリードした場合にはリード値は不定ですので、ビット操作命令終了後には"0"が"1"に変化したり、"1"が"0"に変化したりしますので注意してください。このような事態を避けるために、ライト専用ビットを含むレジスタの値を変更する場合は、「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

また、内部 I/O レジスタのフラグを"0"にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが"1"にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.10.4 ライト専用ビットを含むレジスタのアクセス方法

ライト専用ビットを含むレジスタからのデータ転送命令、またはライト専用ビットを含むレジスタに対してビット操作命令を行うと不定値をリードします。不定値をリードしないために、以下のような方法を用いてライト専用ビットを含むレジスタにアクセスしてください。

ライト専用ビットを含むレジスタにライトする際は、内蔵 RAM などのメモリ上にワークエリアを設け、そこに一度データをライトしてから、そのメモリに対してアクセスを行い、そのメモリのデータをライト専用ビットを含むレジスタにライトするようにしてください。

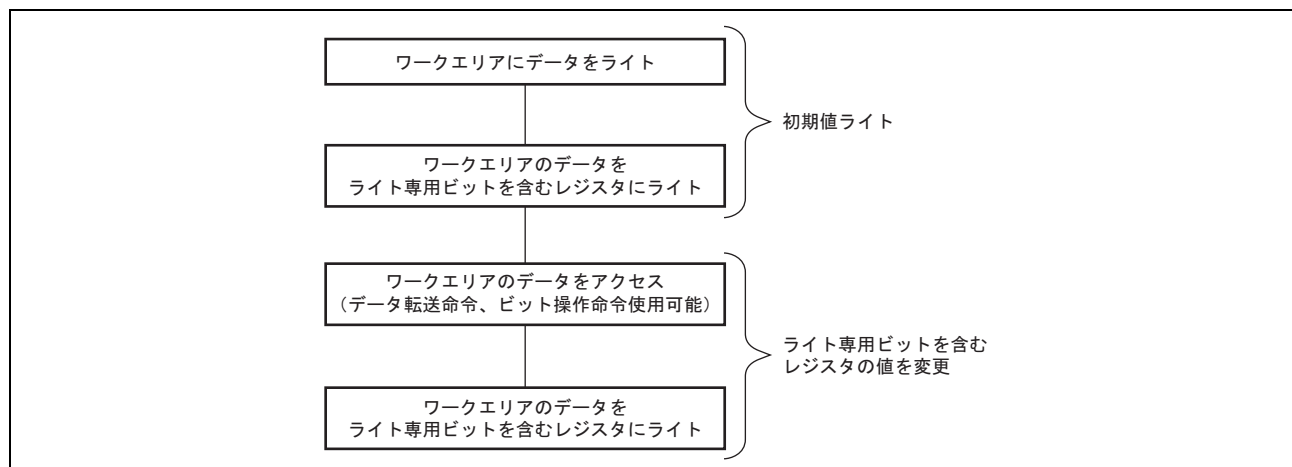


図 2.22 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例

例 ポート 1 の P1DDR の P14 のみをクリアする場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。まず P1DDR にライトする初期値 H'F0 をあらかじめメモリ上のワークエリア (RAM0) にライトしておきます。

```
MOV.B #H'F0, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	1	0	0	0	0
------	---	---	---	---	---	---	---	---

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を "1" から "0" (H'F0 H'E0) に変えなければなりません。ここで BCLR 命令を RAM0 に対して行います。

```
BCLR #4, @RAM0
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

RAM0 はリード/ライト可能なので、ビット操作命令を行うと、RAM0 のビット 4 のみがクリアされます。この RAM0

2. CPU

の値を P1DDR にライトします。

```
MOV.B    @RAM0, R0L
MOV.B    R0L,    @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	入力	入力	入力	入力
P1DDR	1	1	1	0	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

この手順でライト専用ビットを含むレジスタのアクセスを行えば、命令の種類に依存せずにプログラムを作ることができます。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

H8S/2214 グループには、4 種類の動作モード(モード 4~7)があります。これらのモードは、モード端子(MD2~MD0)の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効/無効、バス幅の初期状態を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス			
							初期値	最大値		
0*	0	0	0	-	-	-	-			
1*			1							
2*			1						0	
3*									1	
4	1	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット		
5			1				8 ビット	16 ビット		
6			1		0	0	内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット
7									1	1

【注】 * H8S/2214 グループでは使用できません。

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、H8S/2214 グループでは最大 16M バイトになります。モード 4~6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

モード 4~7 以外は H8S/2214 グループでは使用できません。したがって、モード端子は必ずモード 4~7 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

H8S/2214 グループにはモード端子(MD2~MD0)の状態が反映されるモードコントロールレジスタ(MDCR)と、H8S/2214 グループの動作を制御するシステムコントロールレジスタ(SYSCR)があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R	不定	H'FDE7
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5

【注】 * アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値：	1	0	0	0	0	- *	- *	- *
R/W：	-	-	-	-	-	R	R	R

【注】* MD2～MD0端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、H8S/2214 グループの現在の動作モードをモニタするのに用います。

ビット 7：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6～3：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2～0：モードセレクト 2～0 (MDS2～MDS0)

モード端子 (MD2～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2～MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	-	R/W	R/W	R/W	R/W	-	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択、 $\overline{\text{MRES}}$ 端子入力の許可/禁止の選択、内蔵 RAM の有効/無効の選択を行います。

SYSCR は、パワーオンリセットまたはハードウェアスタンバイモード時に H'01 に初期化されます。マニュアルリセット時、INTM1、INTM0、NMIEG、RAME ビットは初期化されますが、MRESE ビットは初期化されません。また、SYSCR はソフトウェアスタンバイモードでは初期化されません。

ビット 7: リザーブビット

0 をライトしてください。

ビット 6: リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

ビット 5、4: 割り込み制御モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「5.4.1 割り込み制御モードと割り込み動作」を参照してください。

ビット 5	ビット 4	割り込み制御モード	説明
0	0	0	1 ビットで、割り込みを制御 (初期値)
	1		設定禁止
1	0	2	I2~I0 ビットおよび IPR で、割り込みを制御
	1		設定禁止

ビット 3: NMI エッジセレクト (NMIEG)

NMI 割り込みの入力エッジ選択を行います。

ビット 3	説明
NMIEG	
0	NMI 入力の立ち下がりでエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

ビット 2: マニュアルリセット選択ビット (MRESE)

$\overline{\text{MRES}}$ 端子の入力許可/禁止を選択します。

表 3.3 に $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子の値とリセットの種類の関係について示します。

リセットの詳細は「4.2 リセット」を参照してください。

ビット 2	説明
MRESE	
0	マニュアルリセットを禁止 P74/ $\overline{\text{MRES}}$ 端子を P74 入出力端子として使用可能 (初期値)
1	マニュアルリセットを許可 P74/ $\overline{\text{MRES}}$ 端子を $\overline{\text{MRES}}$ 入力端子として使用可能

3. MCU 動作モード

表 3.3 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子の値とリセットの種類の関係

端子		リセットの種類
RES	MRES	
0	*	パワーオンリセット
1	0	マニュアルリセット
1	1	動作状態

【記号説明】

* : Don't care

ビット 1 : リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

【注】 DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

3.3 各動作モードの説明

3.3.1 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。P13～P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

P13～P11 はリセット直後は入力ポートになっています。端子機能コントロールレジスタ (PFCR) の AE3～AE0 ビットにより、対応する DDR (データディレクションレジスタ) の値に関係なくアドレス (A23～A21) 出力の許可/禁止を設定することができます。P10 端子、ポート A、B はリセット直後はアドレス (A20～A8) 出力になっています。PFCR の AE3～AE0 ビットにより、対応する DDR の値に関係なくアドレス出力の許可/禁止を設定することができます。P13～P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力となります。

ポート C は常にアドレス (A7～A0) 出力です。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.2 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13～P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

P13～P11 端子はリセット直後は入力ポートになっています。端子機能コントロールレジスタ (PFCR) の AE3～AE0 ビットにより、対応する DDR (データディレクションレジスタ) の値に関係なくアドレス (A23～A21) 出力の許可/禁止を設定することができます。P10 端子、ポート A、B は、リセット直後はアドレス (A20～A8) 出力になっています。PFCR の AE3～AE0 ビットにより、対応する DDR の値に関係なくアドレス出力の許可/禁止を設定することができます。P13～P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力となります。

ポート C は常にアドレス (A7～A0) 出力です。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.3 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。P13～P10 端子、ポート A、B はリセット直後は入力ポートになっています。PFCR の AE3～AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23～A8) 出力の許可/禁止を設定することができます。P13～P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。

ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

ポート C はリセット直後は、入力ポートになっています。A7～A0 アドレスは対応する DDR を 1 にセットすることで出力となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラによりいずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.4 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.4 各動作モードにおける端子機能

動作モードにより、ポート 1、A~F の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.4 に示します。

表 3.4 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7
ポート 1	P13~P11	P*/A	P*/A	P*/A	P
	P10	P/A*	P/A*	P*/A	P
ポート A	PA3~PA0	P/A*	P/A*	P*/A	P
ポート B		P/A*	P/A*	P*/A	P
ポート C		A	A	P*/A	P
ポート D		D	D	D	P
ポート E		P/D*	P*/D	P*/D	P
ポート F	PF7	P/C*	P/C*	P/C*	P*/C
	PF6~PF4	C	C	C	P
	PF3	P/C*	P*/C	P*/C	
	PF2~PF0	P*/C	P*/C	P*/C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1 に示します。

アドレス空間は、モード4~7(アドバンスモード)で16Mバイトです。モード4~7のとき、アドレス空間は8エリアに分割されています。詳細は、「第6章 バスコントローラ」を参照してください。

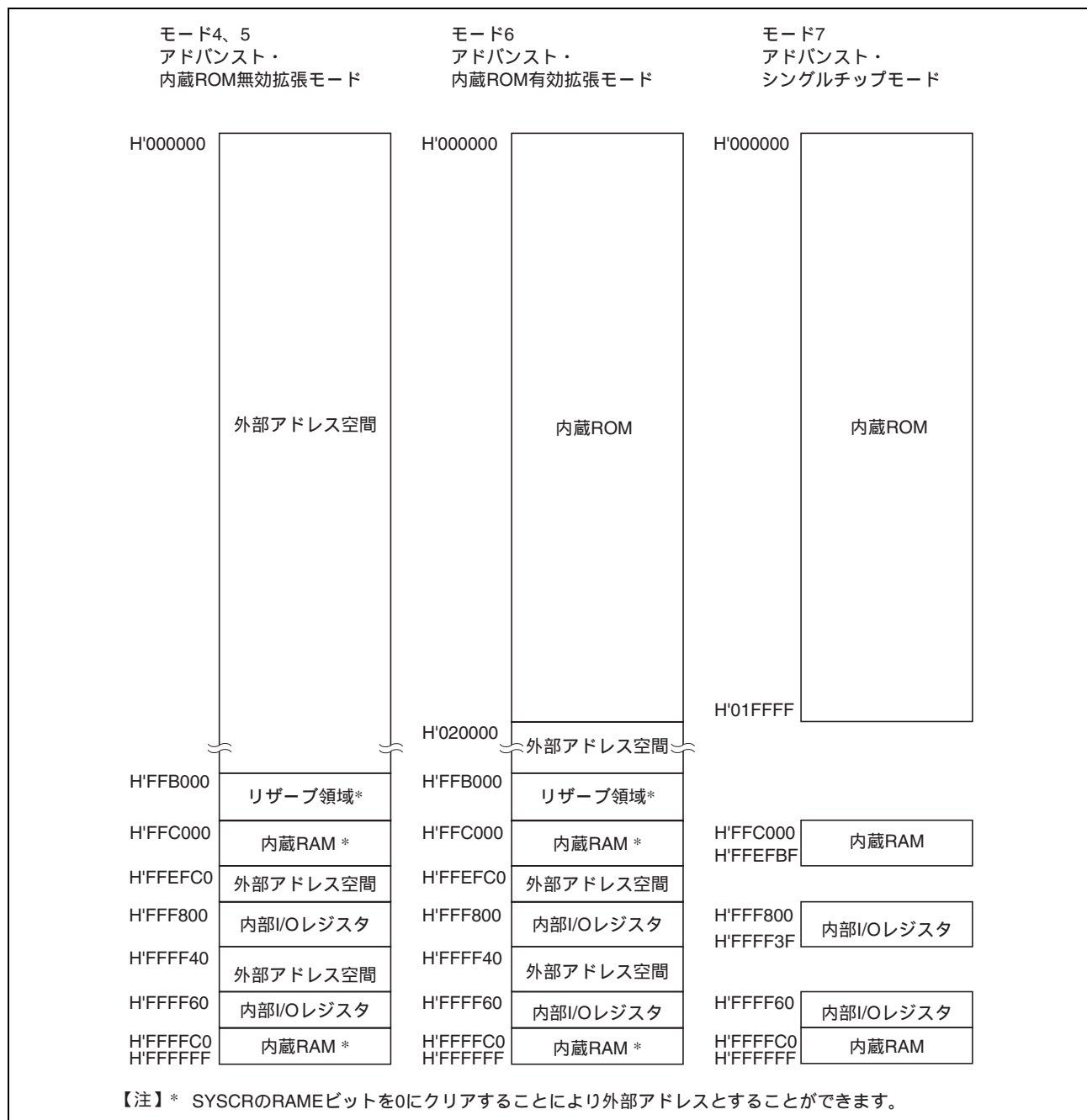


図 3.1 各動作モードのアドレスマップ

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トレース、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑	リセット	RES、MRES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。RES 端子が Low レベルのときパワーオンリセット状態、MRES 端子が Low レベルのときはマニュアルリセット状態になります。
	トレース* ¹	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
低	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [1] プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
- [2] 割り込みマスクビットを更新します。T ビットを 0 にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

4. 例外処理

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

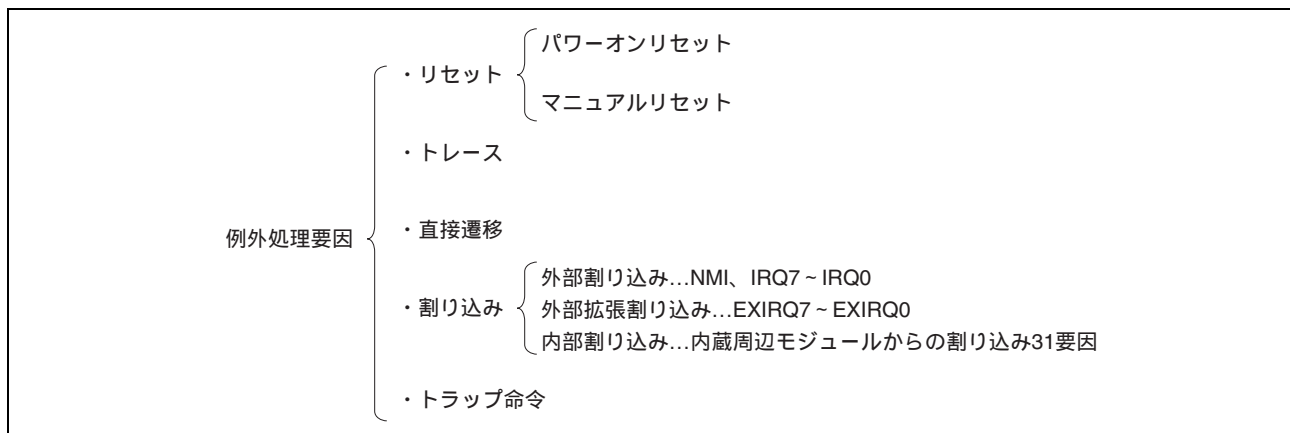


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1
			アドバンストモード
パワーオンリセット		0	H'0000 ~ H'0003
マニュアルリセット		1	H'0004 ~ H'0007
システムリザーブ		2	H'0008 ~ H'000B
		3	H'000C ~ H'000F
		4	H'0010 ~ H'0013
トレース		5	H'0014 ~ H'0017
直接遷移		6	H'0018 ~ H'001B
外部割り込み	NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0020 ~ H'0023
		9	H'0024 ~ H'0027
		10	H'0028 ~ H'002B
		11	H'002C ~ H'002F
システムリザーブ		12	H'0030 ~ H'0033
		13	H'0034 ~ H'0037
		14	H'0038 ~ H'003B
		15	H'003C ~ H'003F
外部割り込み	IRQ0	16	H'0040 ~ H'0043
	IRQ1	17	H'0044 ~ H'0047
	IRQ2	18	H'0048 ~ H'004B
	IRQ3	19	H'004C ~ H'004F
	IRQ4	20	H'0050 ~ H'0053
	IRQ5	21	H'0054 ~ H'0057
	IRQ6	22	H'0058 ~ H'005B
	IRQ7	23	H'005C ~ H'005F
内部割り込み*2		24	H'0060 ~ H'0063
		111	H'01BC ~ H'01BF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

RES、MRES 端子が Low レベルになると、実行中の処理はすべて打ち切られ、H8S/2214 はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

RES、MRES 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

RES、MRES 端子のレベルにより、パワーオンリセットと、マニュアルリセットの 2 種類に分けられます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.2.2 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種 類	リセットへの遷移条件		内部状態	
	MRES	RES	CPU	内蔵周辺モジュール
パワーオンリセット	*	Low	初期化	初期化
マニュアルリセット	Low	High	初期化	バスコントローラ、I/O ポート以外初期化

* : Don't care

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。

なお、MRES 端子を使用する場合は、SYSCR の MRESE ビットで、MRES 端子を入力許可 (MRESE = 1) に設定してください。

4.2.3 リセットシーケンス

RES 端子か MRES 端子が Low レベルになると H8S/2214 グループはリセット状態になります。

H8S/2214 グループを確実にリセットするために、電源投入時は最低 20ms の間、RES 端子または MRES 端子を Low レベルに保持してください。また、動作中は RES 端子か MRES 端子を最低 20 ステートの間、Low レベルにしてください。

RES 端子か MRES 端子が一定期間 Low レベルのあと High レベルになると、リセット例外処理が開始され、H8S/2214 グループは次のように動作します。

- [1] CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットが 1 にセットされます。
- [2] リセット例外処理ベクタアドレスをリードして PC に転送したあと、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

4. 例外処理

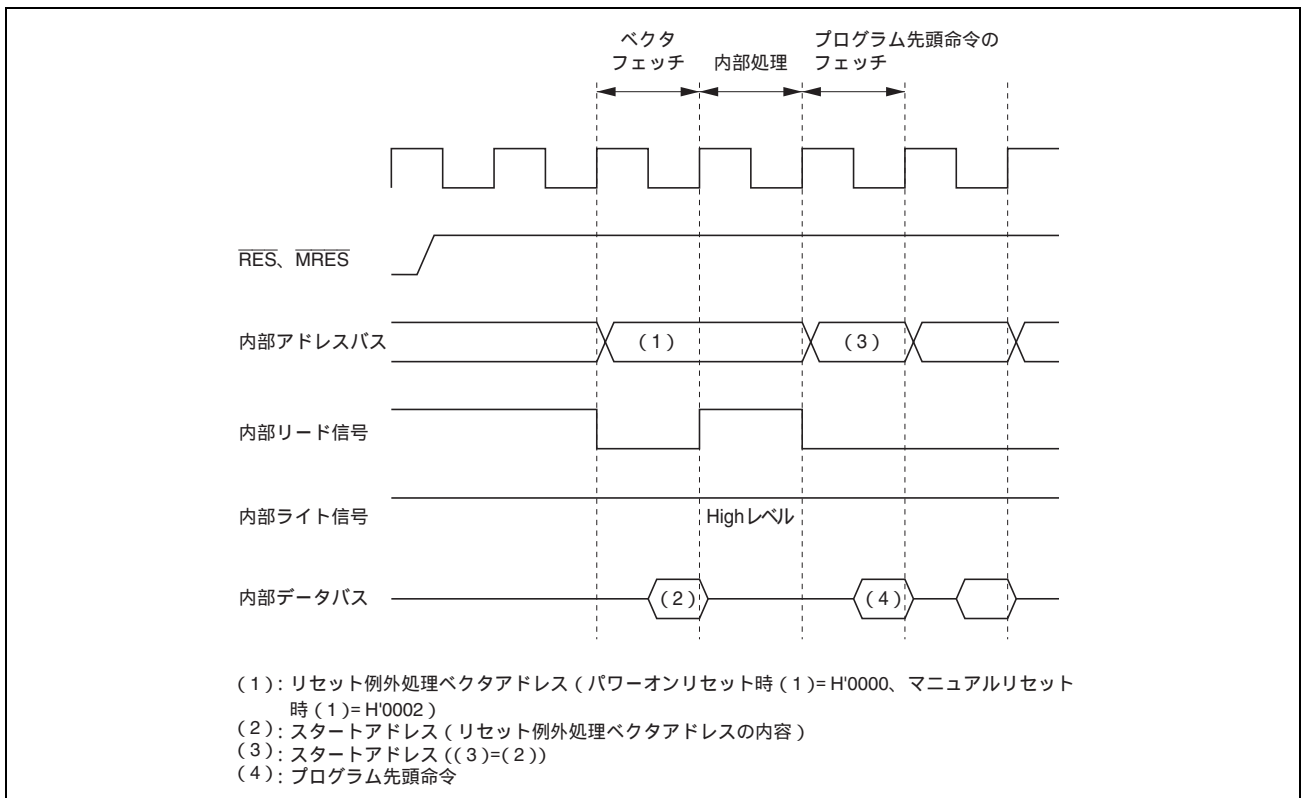


図 4.2 リセットシーケンス (モード 2、3: H8S/2214 では使用できません)

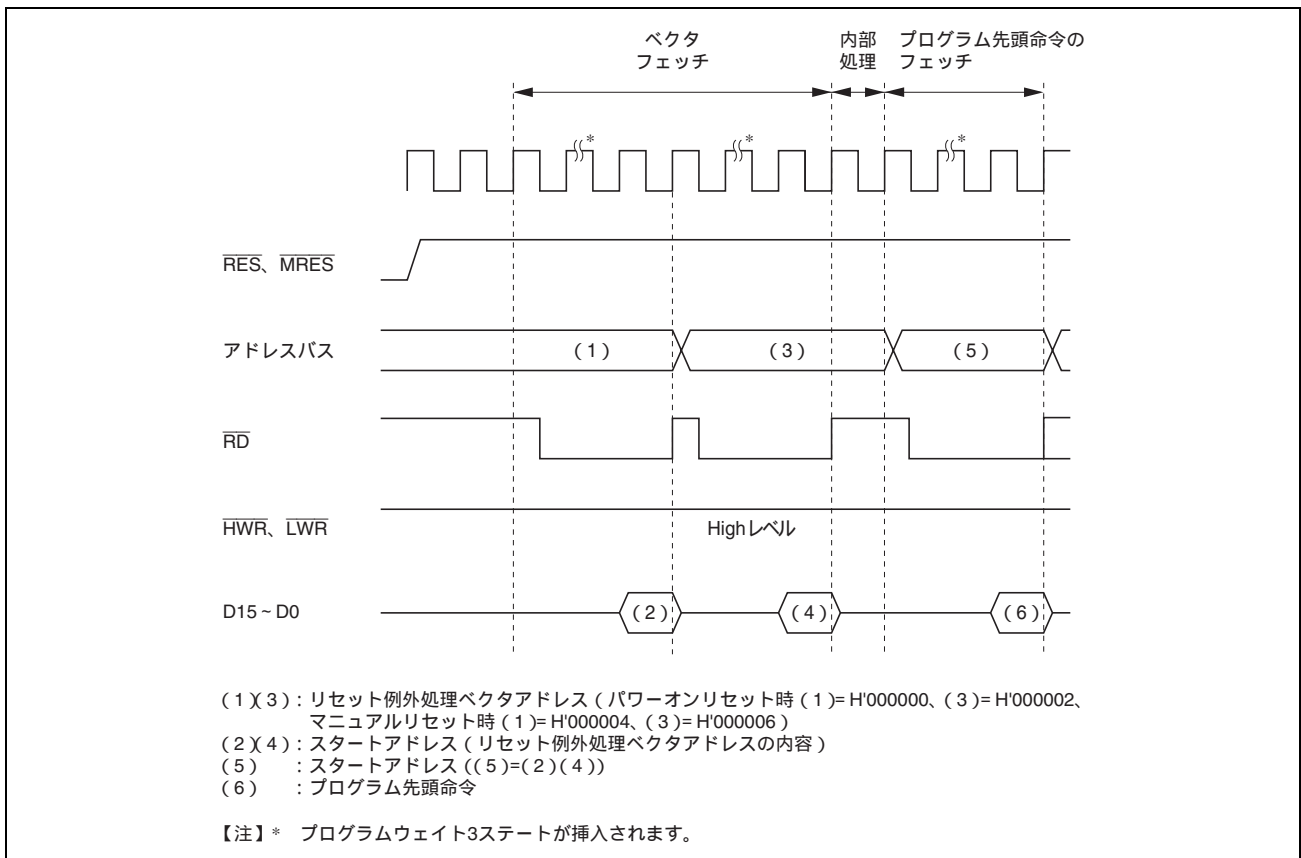


図 4.3 リセットシーケンス (モード 4)

4.2.4 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: `MOV.L #xx, SP`)。

4.2.5 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'3F、MSTPCRB、MSTPCRC は H'FF に初期化され、DMAC と DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4.3 トレース

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットが1にセットされていると、トレースモードになります。トレースモードが設定されていると、1命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXRのTビットが0にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。

表4.4にトレース命令例外処理実行後のCCR、EXRの状態を示します。

トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避されたTビットは1を保持しており、RTE命令を実行して、トレース例外処理ルーチンから復帰したあとは、再び、トレースモードになります。

RTE命令実行後は、トレース例外処理を行いません。

表 4.4 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.4 割り込み

割り込み例外処理を開始させる要因には、9本の外部割り込み(NMI、IRQ7～IRQ0)と8本の外部拡張割り込み(EXIRQ7～EXIRQ0)と、内蔵周辺モジュールからの要求による31の内部要因があります。割り込み要因と要因数を図4.4に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ(WDT)、16ビットタイマパルスユニット(TPU)、シリアルコミュニケーションインタフェース(SCI)、データトランスファコントローラ(DTC)、DMAコントローラ(DMAC)などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMIは最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

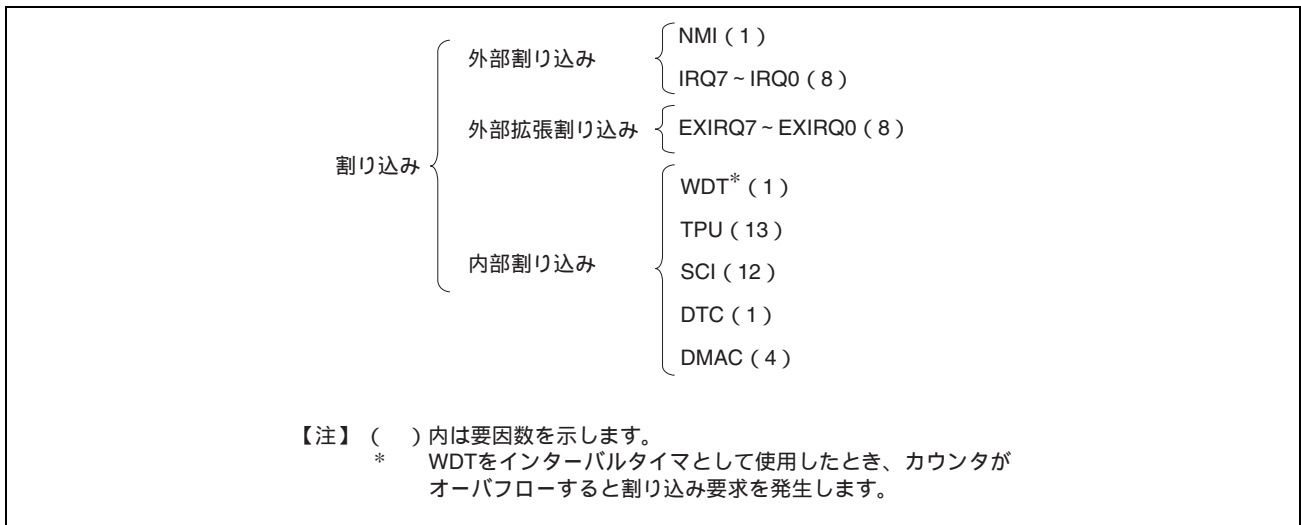


図 4.4 割り込み要因と要因数

4.5 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5、図 4.6 に示します。

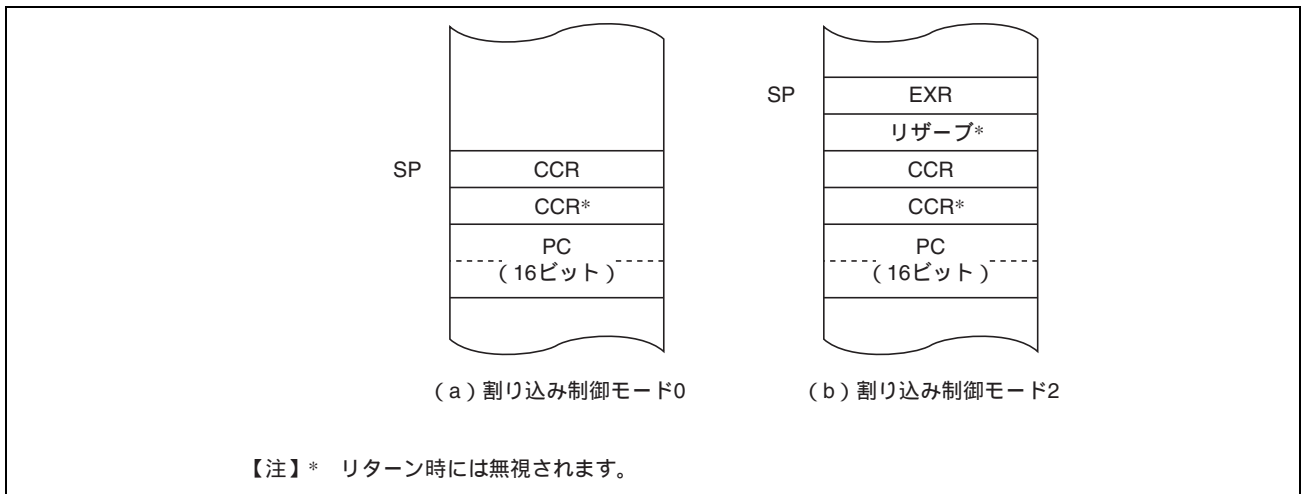


図 4.5 例外処理終了後のスタックの状態（ノーマルモード：H8S/2214 グループでは使用できません）

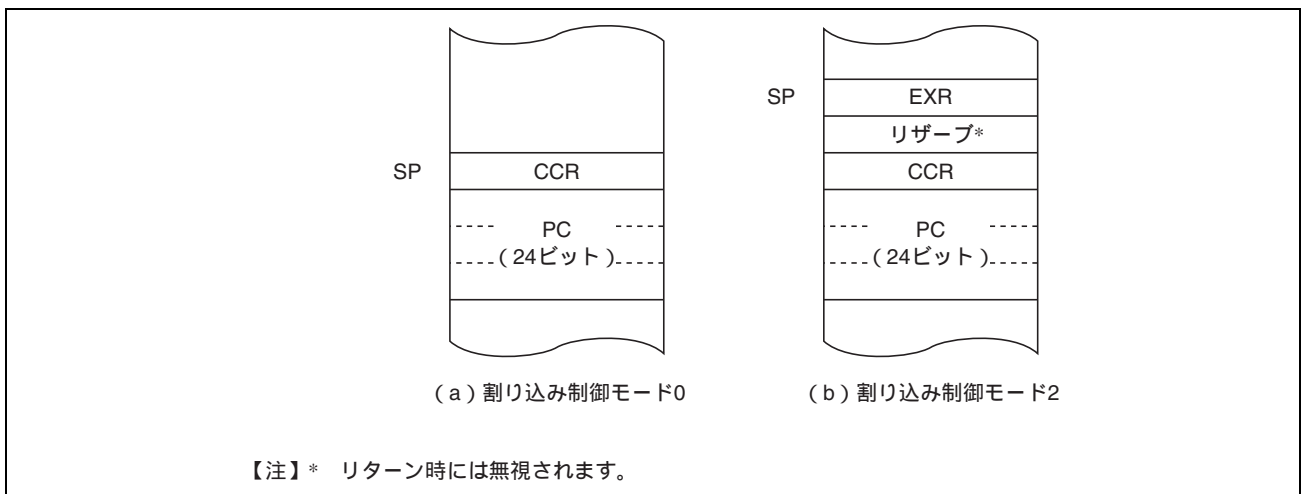


図 4.6 例外処理終了後のスタックの状態（アドバンスモード）

4.7 スタック使用上の注意

H8S/2214 グループでは、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.7 に示します。

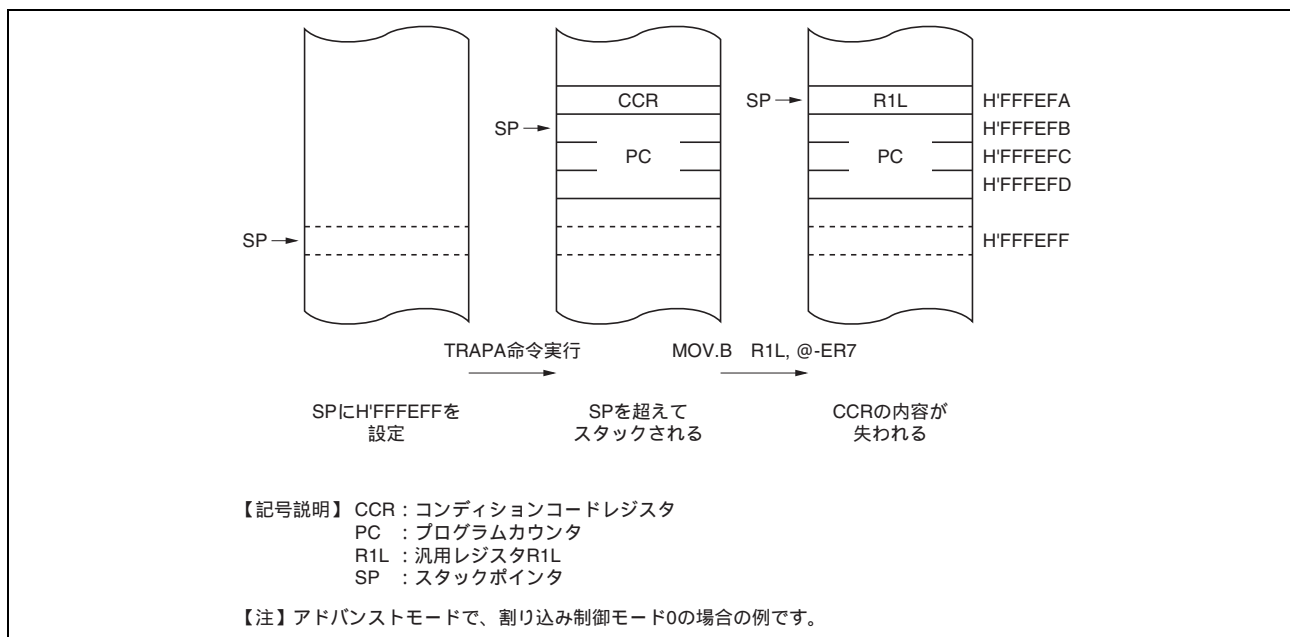


図 4.7 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

H8S/2214 グループは割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

2種類の割り込み制御モード

- システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2種類の割り込み制御モードを設定できます。

IPRにより、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI 以外の割り込みは、モジュールごとに 8 レベルの優先順位を設定できます。
- NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。

独立したベクタアドレス

- すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

9本の外部割り込み端子

- NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。
- IRQ7 ~ IRQ0 は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

DTC、DMAC の制御

- 割り込みによる DTC、DMAC の起動の制御を行います。

8本の外部拡張割り込み入力端子

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

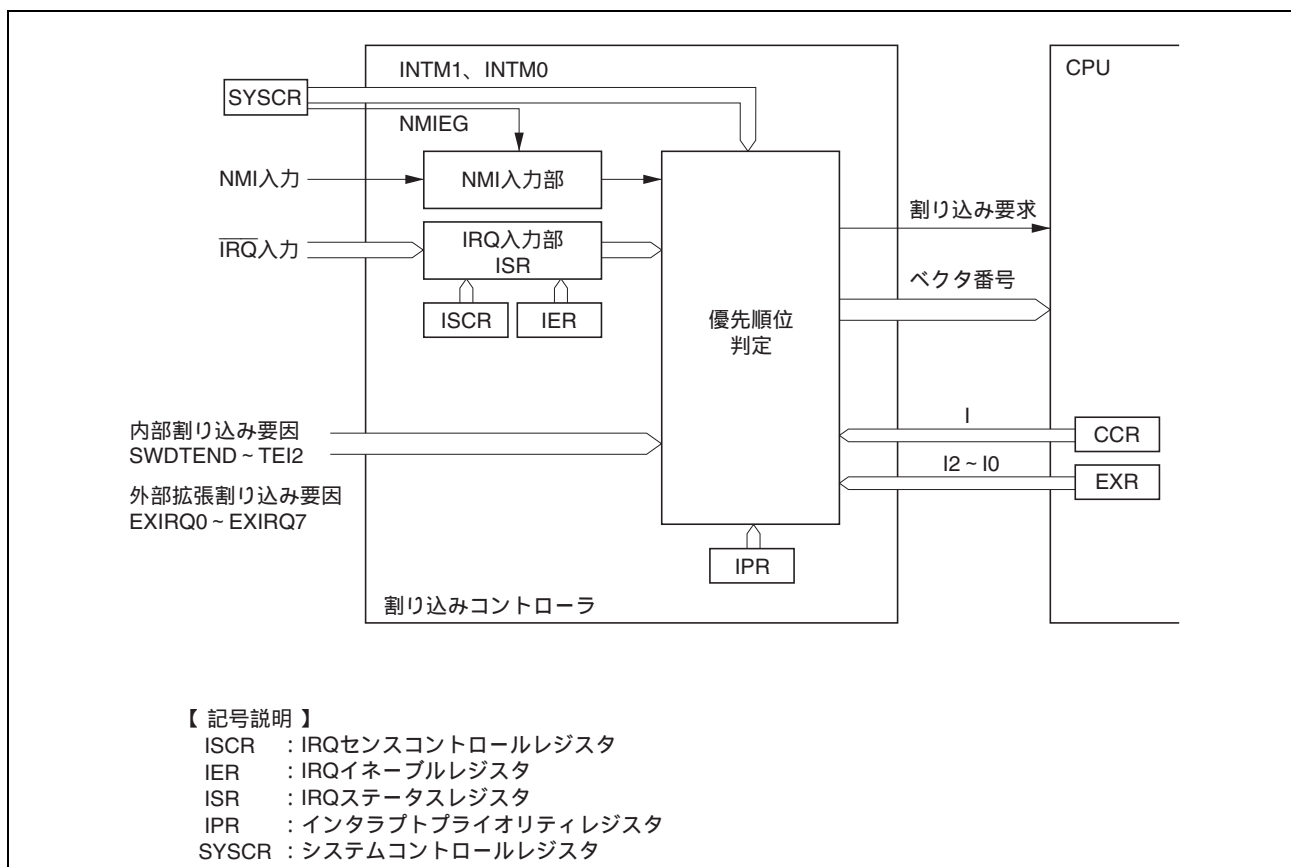


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	記号	入出力	機能
ノンマスク可能割り込み	NMI	入力	マスク不可能な外部割り込み。立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 7~0	$\overline{\text{IRQ}}7 \sim \overline{\text{IRQ}}0$	入力	マスク可能な外部割り込み。立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能
外部拡張割り込み要因 7~0	EXIRQ7 ~ EXIRQ0	入力	外部拡張モジュールからの割り込み。Low レベルで割り込みを受け付けます。

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FE12
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FE13
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FE14
IRQ ステータスレジスタ	ISR	R/(W)*2	H'00	H'FE15
インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC0
インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC1
インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC2
インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC3
インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC5
インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FEC6
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FEC9
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECA
インタラプトプライオリティレジスタ M	IPRM	R/W	H'77	H'FECC

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	R/W	-	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5~3 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はパワーオンリセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。マニュアルリセット時、INTM1、INTM0、NMIEG、RAME ビットは初期化されますが、MRESE ビットは初期化されません。また、SYSCR はソフトウェアスタンバイモードでは初期化されません。

ビット 5、4 : 割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 2 つのモードの中から選択します。

ビット 5	ビット 4	割り込み制御モード	説明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御します。 (初期値)
	1		設定禁止
1	0	2	12~10 ビットと IPR で、割り込みを制御します。
	1		設定禁止

ビット 3 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 3	説明
NMIEG	
0	NMI 入力の立ち下がりがエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A~D、F、G、J、K、M (IPRA ~ IPRD、IPRF、IPRG、IPRJ、IPRK、IPRM)

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

IPR は 8 ビットのリード/ライト可能な 9 本のレジスタで、NMI を除く割り込みの優先順位 (レベル 7~0) を設定します。

各割り込み要因と IPR の対応を表 5.3 に示します。

IPR は、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。

IPR はリセットまたはハードウェアスタンバイモード時に、H'77 に初期化されます。

ソフトウェアスタンバイモードでは初期化されません。

ビット7、3：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

表 5.3 各割り込み要因と IPR の対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2 IRQ3	IRQ4 IRQ5
IPRC	IRQ6 IRQ7	DTC
IPRD	ウォッチドッグタイマ 0	- *
IPRF	TPU チャンネル 0	TPU チャンネル 1
IPRG	TPU チャンネル 2	-
IPRJ	DMAC	SCI チャンネル 0
IPRK	SCI チャンネル 1	SCI チャンネル 2
IPRM	EXIRQ3 ~ EXIRQ0	EXIRQ7 ~ EXIRQ4

【注】 * リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

表 5.3 に示すように、1本の IPR に複数の割り込みが割り当てられています。ビット6~4、ビット2~0の各3ビットに H'0 から H'7 の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル0（最低）に、H'7 をセットすると優先レベル7（最高）になります。

割り込み要求が発生すると、IPR で設定した優先順位に従って最も優先順位の高い割り込みが選択されます。その後、この割り込みレベルと CPU 内の EXR の I2~I0 ビットで設定された割り込みマスクレベルとを比較し、割り込みの優先レベルが設定したマスクレベルより高ければ、CPU に対して割り込み要求が発生します。

5.2.3 IRQ イネーブルレジスタ (IER)

ビット：	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ7~IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ソフトウェアスタンバイモードでは初期化されません。

ビット7~0：IRQ7~IRQ0 イネーブル (IRQ7E~IRQ0E)

IRQ7~IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n=7~0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 16 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

ソフトウェアスタンバイモードでは初期化されません。

ビット 15~0 : IRQ7 センスコントロール A、B (IRQ7SCA、IRQ7SCB)
 ~IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ビット 15~0		説明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 (初期値)
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生
1	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.2.5 IRQ ステータスレジスタ (ISR)

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ7~IRQ0 割り込み要求のステータス表示を行います。ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~0 : IRQ7~IRQ0 フラグ (IRQ7F~IRQ0F)

IRQ7~IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	<p>[クリア条件] (初期値)</p> <ul style="list-style-type: none"> • IRQnF = 1 の状態で IRQnF フラグをリードしたあと、IRQnF フラグに 0 をライトしたとき • Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ $\overline{\text{IRQn}}$ 入力 High レベルの状態、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき
1	<p>[セット条件]</p> <ul style="list-style-type: none"> • Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力 Low レベルになったとき • 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき • 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき • 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき

(n = 7~0)

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ7～IRQ0）と内部割り込み（31 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ7～IRQ0 の 9 要因があります。各外部割り込みは、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ7～IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- (b) IRQ7～IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- (c) IPR により割り込みプライオリティレベルを設定できます。
- (d) IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ_n 割り込みのブロック図を図 5.2 に示します。

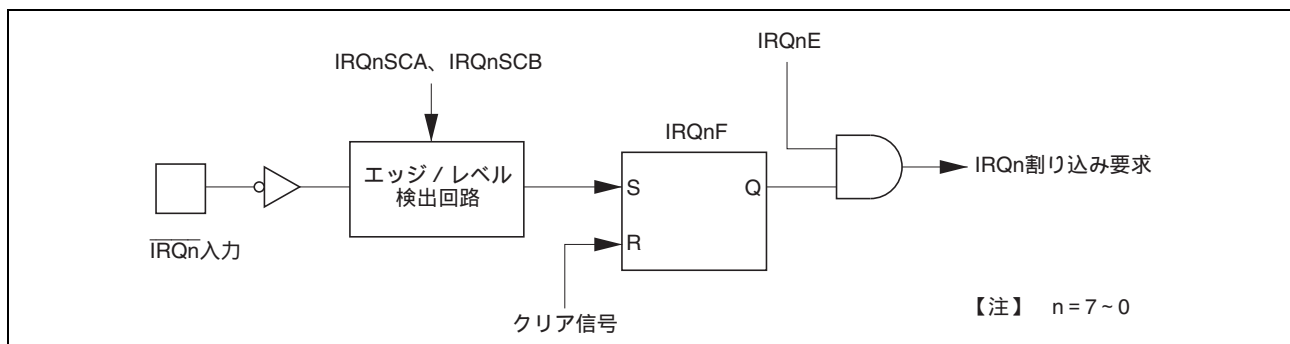


図 5.2 IRQ_n 割り込みのブロック図

IRQ_nF のセットタイミングを図 5.3 に示します。

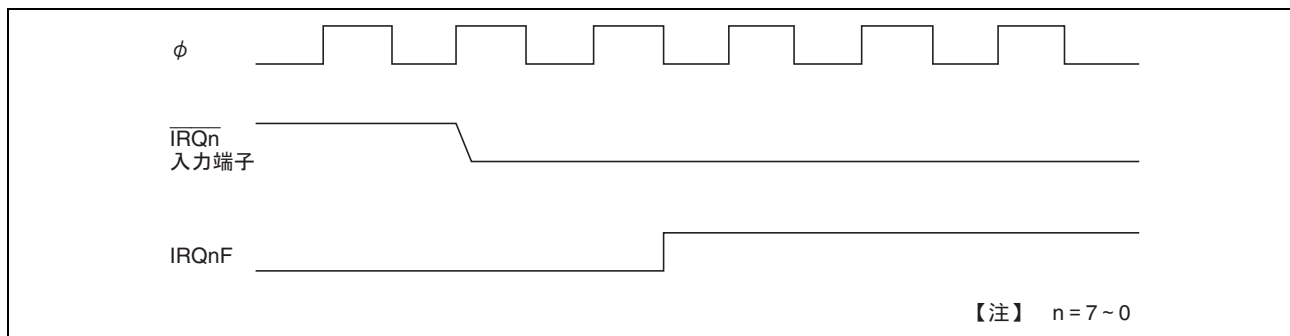


図 5.3 IRQ_nF のセットタイミング

IRQ7～IRQ0 割り込み例外処理のベクタ番号は、23～16 です。

IRQ7～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてその他の機能の入出力端子としては使用しないでください。また、割り込み要求フラグ IRQ7F～IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

(3) EXIRQ7 ~ EXIRQ0 割り込み

EXIRQ7 ~ EXIRQ0 割り込みは外部拡張モジュール用の割り込みです。EXIRQ7 ~ EXIRQ0 端子のローレベル入力信号により割り込みが要求されます。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 31 要因があります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも1にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) IPRによって割り込みプライオリティレベルを設定できます。
- (3) TPU、SCIなどの割り込み要求によりDMAコントローラまたはDTCの起動ができます。割り込みによりDMAコントローラまたはDTCの起動を行う場合、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

5. 割り込みコントローラ

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先順位
			アドバンスモード		
NMI	外部端子	7	H'001C		高 ↑
IRQ0		16	H'0040	IPRA6 ~ IPRA4	
IRQ1		17	H'0044	IPRA2 ~ IPRA0	
IRQ2		18	H'0048	IPRB6 ~ IPRB4	
IRQ3		19	H'004C		
IRQ4		20	H'0050	IPRB2 ~ IPRB0	
IRQ5		21	H'0054		
IRQ6 IRQ7		22 23	H'0058 H'005C	IPRC6 ~ IPRC4	
SWDTEND (ソフトウェア起動データ転送終了)	DTC	24	H'0060	IPRC2 ~ IPRC0	
WOVI0 (インターバルタイマ)	ウォッチドッグタイマ 0	25	H'0064	IPRD6 ~ IPRD4	
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 0	32	H'0080	IPRF6 ~ IPRF4	
TGI0B (TGR0B インพุットキャプチャ/コンペアマッチ)		33	H'0084		
TGI0C (TGR0C インพุットキャプチャ/コンペアマッチ)		34	H'0088		
TGI0D (TGR0D インพุットキャプチャ/コンペアマッチ)		35	H'008C		
TCI0V (オーバフロー-0)		36	H'0090		
リザーブ	-	37	H'0094		
		38	H'0098		
		39	H'009C		
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 1	40	H'00A0	IPRF2 ~ IPRF0	
TGI1B (TGR1B インพุットキャプチャ/コンペアマッチ)		41	H'00A4		
TCI1V (オーバフロー-1)		42	H'00A8		
TCI1U (アンダフロー-1)		43	H'00AC		
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 2	44	H'00B0	IPRG6 ~ IPRG4	低
TGI2B (TGR2B インพุットキャプチャ/コンペアマッチ)		45	H'00B4		
TCI2V (オーバフロー-2)		46	H'00B8		
TCI2U (アンダフロー-2)		47	H'00BC		

【注】 * 先頭アドレスの下位 16 ビットを示しています。

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先順位
			アドバンスモード		
DEND0A (チャンネル0/チャンネル0A 転送終了)	DMAC	72	H'0120	IPRJ6 ~ IPRJ4	↑ 高 ↓ 低
DEND0B (チャンネル0B 転送終了)		73	H'0124		
DEND1A (チャンネル1/チャンネル1A 転送終了)		74	H'0128		
DEND1B (チャンネル1B 転送終了)		75	H'012C		
ERIO (受信エラー0)	SCI チャンネル0	80	H'0140	IPRJ2 ~ IPRJ0	
RXIO (受信完了0)		81	H'0144		
TXIO (送信データエンプティ0)		82	H'0148		
TEIO (送信終了0)		83	H'014C		
ERI1 (受信エラー1)	SCI チャンネル1	84	H'0150	IPRK6 ~ IPRK4	
RX11 (受信完了1)		85	H'0154		
TX11 (送信データエンプティ1)		86	H'0158		
TE11 (送信終了1)		87	H'015C		
ERI2 (受信エラー2)	SCI チャンネル2	88	H'0160	IPRK2 ~ IPRK0	
RX12 (受信完了2)		89	H'0164		
TX12 (送信データエンプティ2)		90	H'0168		
TE12 (送信終了2)		91	H'016C		
EXIRQ0	外部モジュール	104	H'01A0	IPRM6 ~ IPRM4	
EXIRQ1		105	H'01A4		
EXIRQ2		106	H'01A8		
EXIRQ3		107	H'01AC		
EXIRQ4		108	H'01B0	IPRM2 ~ IPRM0	
EXIRQ5		109	H'01B4		
EXIRQ6		110	H'01B8		
EXIRQ7		111	H'01DC		

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み制御モードと割り込み動作

H8S/2214 グループの割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および、CPU の CCR の I ビット、EXR の I2~I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説明
	INTM1	INTM0			
0	0	0		1	1 ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2	1	0	IPR	I2~I0	I2~I0 ビットにより、8 レベルの割り込みマスク制御を行います。 IPR により、8 レベルの優先順位の設定ができます。
		1			設定禁止

図 5.4 に優先順位判定回路のブロック図を示します。

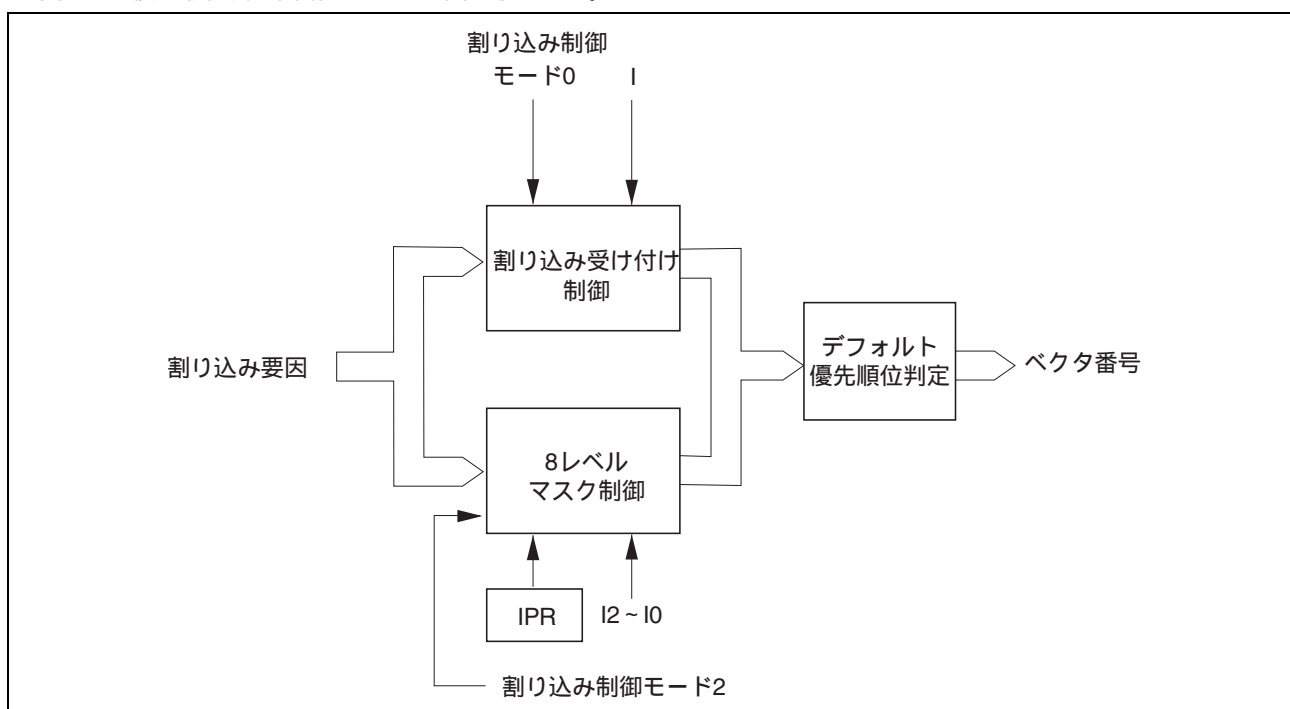


図 5.4 割り込み制御動作のブロック図

(1) 割り込み受け付け制御

割り込み制御モード 0 のとき、CCR の I ビットにより割り込み受け付け制御を行います。
表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

【記号説明】

* : Don't care

(2) 8 レベル制御

割り込み制御モード 2 のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル (IPR) に従った 8 レベルのマスクレベル判定を行います。

IPR で設定したプライオリティレベルが、マスクレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.7 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスクレベルより大きい (IPR > I2 ~ I0) かつ、プライオリティレベル (IPR) が最大の割り込み

(3) デフォルト優先順位判定

8 レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.8 に割り込み制御モードと動作および制御信号機能を示します。

表 5.8 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御		8 レベル制御			デフォルト優先順位判定	T (トレース)
	INTM1	INTM0		I	I2 ~ I0	IPR			
0	0	0		IM	x	-	- *2		-
2	1	0	x	- *1		IM	PR		T

【記号説明】

: 割り込み動作制御を行います。

x : 動作しません (割り込みはすべて許可)。

IM : 割り込みマスクビットとして使用。

PR : 優先順位を設定。

: 使用しません。

【注】 *1 割り込み受け付け時に 1 にセットされます。

*2 初期設定値を保持してください。

5.4.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [3] 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

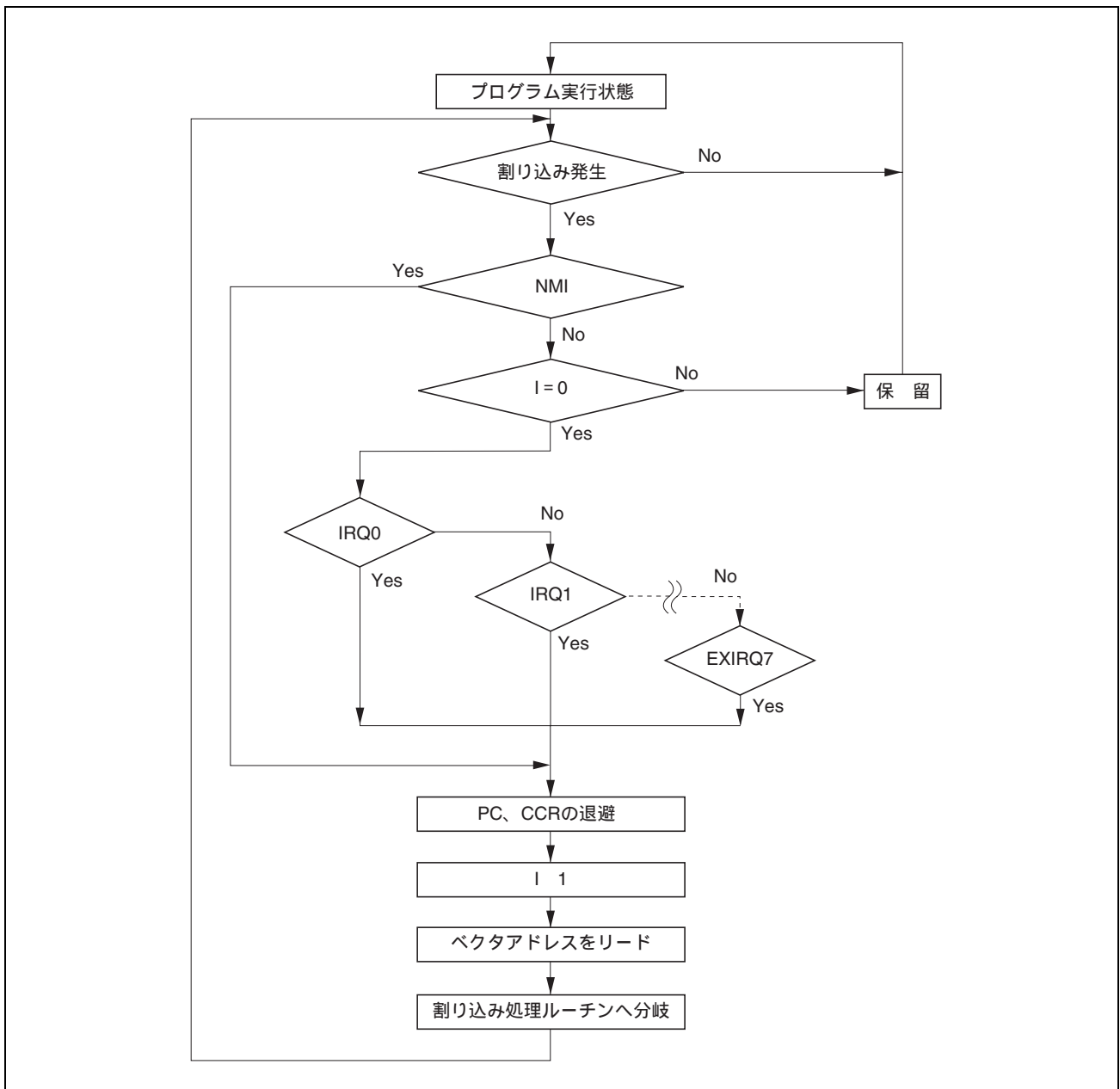


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.4.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル(I2 ~ I0 ビット)と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

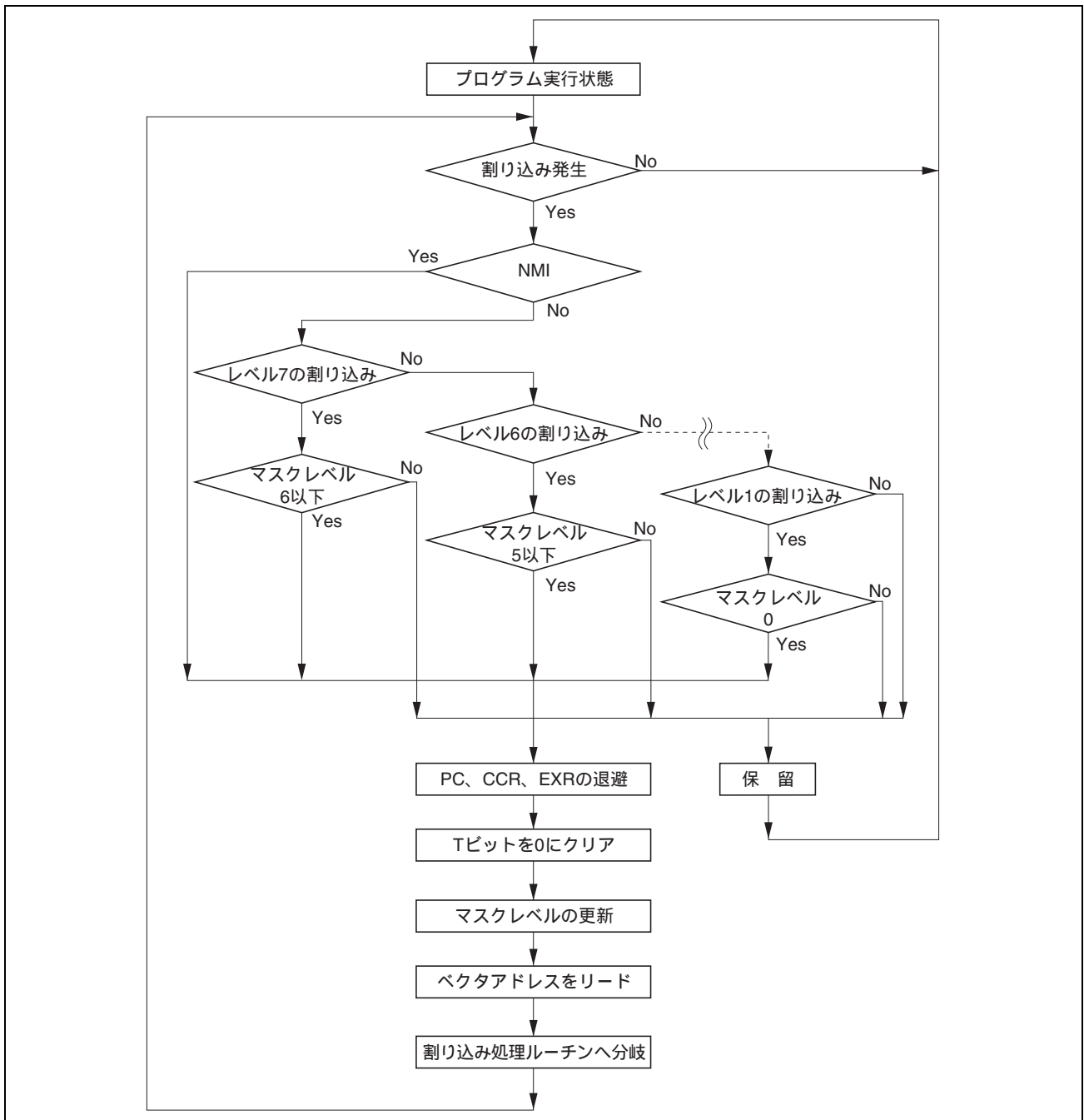


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.4.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

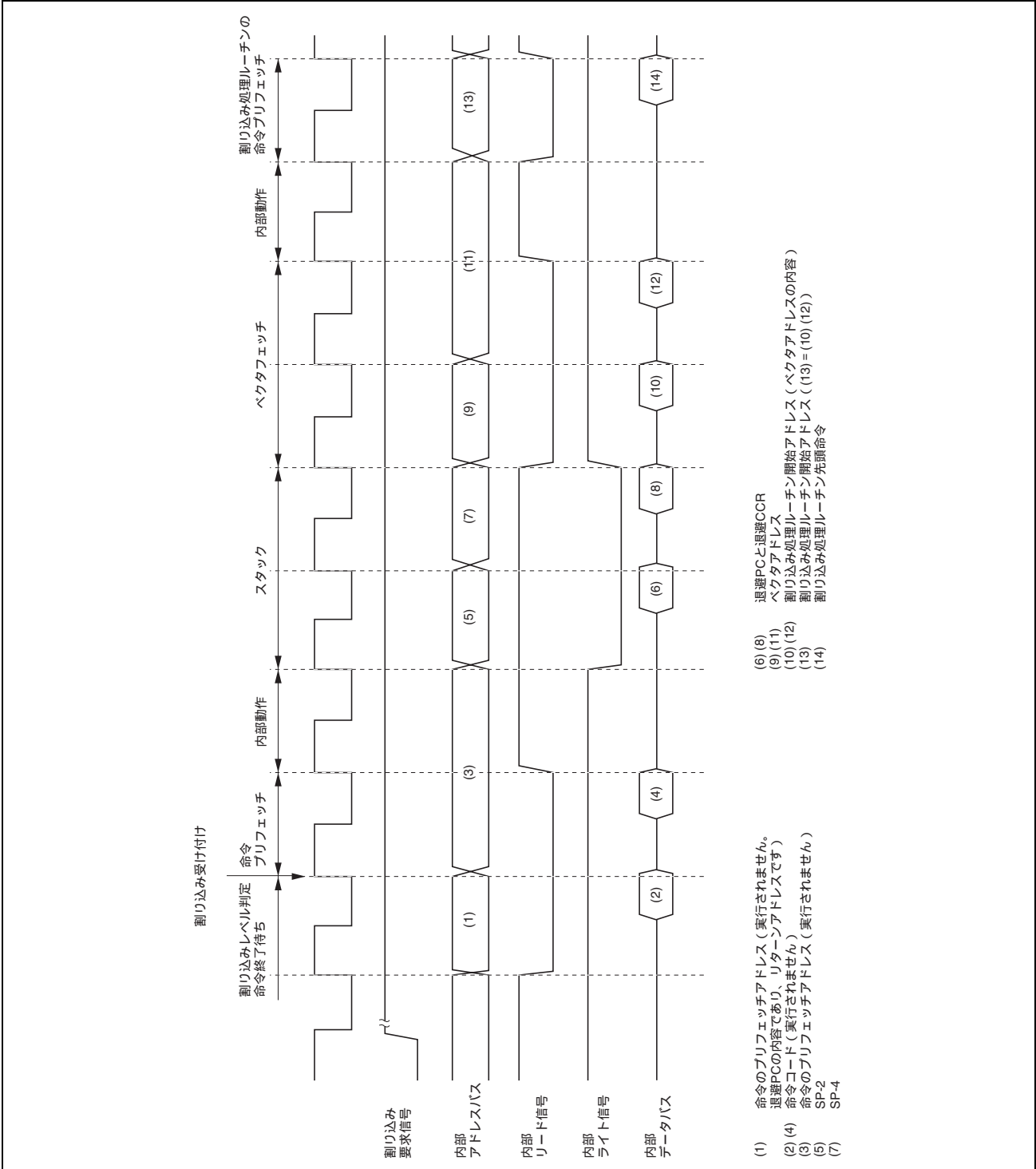


図 5.7 割り込み例外処理

5.4.5 割り込み応答時間

H8S/2214 グループでは、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.9 に示します。表 5.9 の実行状態の記号については表 5.10 を参照してください。

表 5.9 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		INTM1=0	INTM1=1	INTM1=0	INTM1=1
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ち状態数*2	$(1 \sim 19) + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計（内蔵メモリ使用時）		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 H8S/2214 グループでは使用できません。

表 5.10 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8ビットバス		16ビットバス	
		2ステートアクセス	3ステートアクセス	2ステートアクセス	3ステートアクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込み要求を禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

TPU の TIER0 の TGIEA ビットを0にクリアする場合の例を図 5.8 に示します。

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

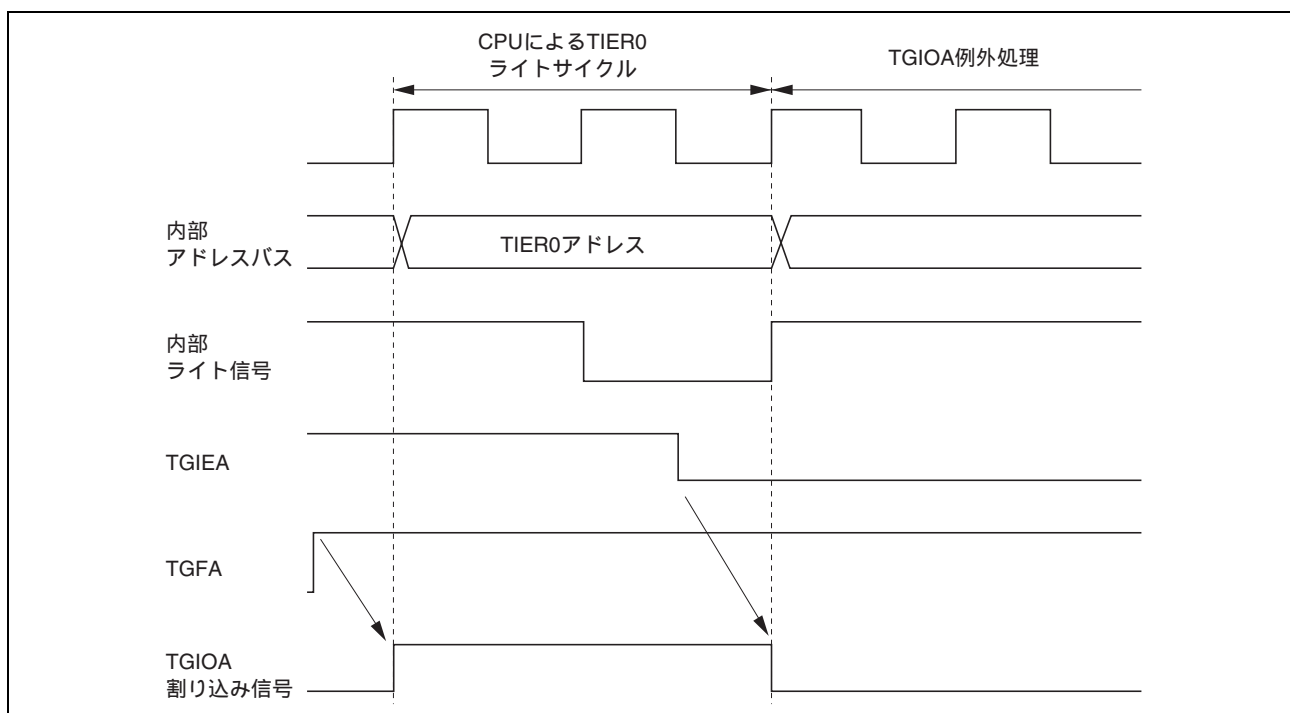


図 5.8 割り込みの発生とディスエーブルの競合

5.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により1ビットを設定した場合、命令実行終了の2ステートあとに新しい値が有効になります。

5.5.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新したあとの3ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

5.5.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.WR4,R4
      BNE  L1
```

5.5.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイ時は非同期で入力を受け付けます。

入力条件については「18.4.2 制御信号タイミング」を参照してください。

5.5.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。

5.6 割り込みによる DTC、DMAC の起動

5.6.1 概要

割り込みにより、DTC、DMAC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPUに対する割り込み要求
- (2) DTCに対する起動要求
- (3) DMACに対する起動要求
- (4) (1) ~ (3)の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、「第7章 DMA コントローラ (DMAC)」および「第8章 データトランスファコントローラ (DTC)」を参照してください。

5.6.2 ブロック図

図 5.9 に、DTC、DMAC と割り込みコントローラのブロック図を示します。

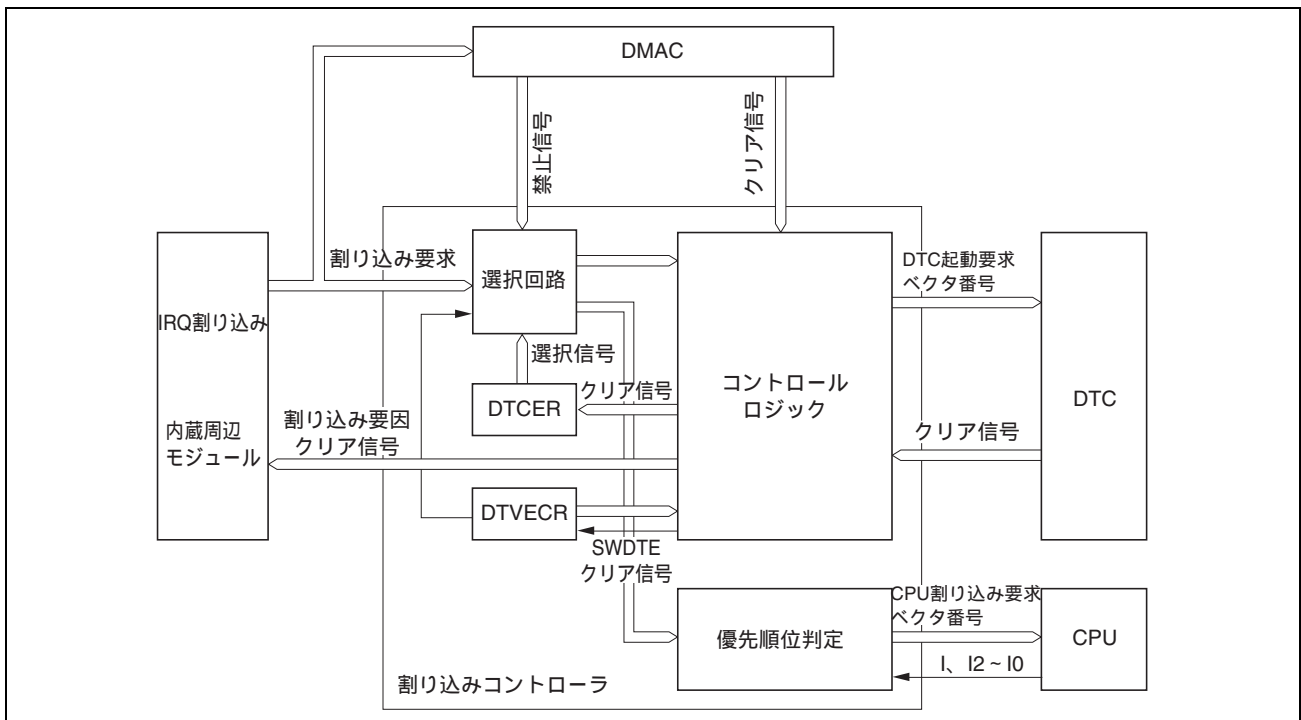


図 5.9 DTC、DMAC と割り込み制御

5.6.3 動作説明

DTC、DMAC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

DMAC は、各チャンネルに直接、起動要因が入力されます。DMAC の各チャンネルの起動要因は DMACR の DTF3 ~ DTF0 ビットにより選択します。選択した起動要因を DMAC が管理するかを、DMABCR の DTA ビットによって選択することができます。DTA ビットを 1 にセットすると、その DMAC の起動要因になった割り込み要因は、DTC の起動要因および CPU の割り込み要因にはなりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCEA ~ DTCEG の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスケベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「8.3.3 DTC ベクタテーブル」、および「8.4 割り込み」を参照してください。

DMAC は、各チャンネルに直接起動要因が入力されます。

(3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

同一の割り込みを、DMAC の起動要因と、DTC の起動要因または CPU の割り込み要因に選択した場合、これらは独立に動作を行います。それぞれの動作状態およびバス権の優先順位に従います。

表 5.11 に、DMAC の DMABCR の DTA ビット、DTC の DTCEA ~ DTCEG の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.11 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択・クリア制御		
DMAC	DTC		DMAC	DTC	CPU
DTA	DTCE	DISEL			
0	0	*		x	
	1	0			x
		1			
1	*	*		x	x

【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

: 当該割り込みを使用します。割り込み要因をクリアしません。

x : 当該割り込みは使用できません。

* : Don't care

(4) 使用上の注意

SCI の割り込み要因は、DMAC または DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビット、DTCE ビットまたは DISEL ビットには依存しません。

6. バスコントローラ

6.1 概要

H8S/2214 グループはバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU、DMA コントローラ (DMAC) およびデータトランスファコントローラ (DTC) の動作を制御します。

6.1.1 特長

バスコントローラの特長を以下に示します。

外部アドレス空間をエリア単位で管理

- 外部空間を 2M バイト単位の 8 エリアに分割して管理
- エリアごとにバス仕様を設定可能
- パースト ROM インタフェースを設定可能

基本バスインタフェース

- エリア 0~7 に対してチップセレクト (CS0~CS7) を出力可能
- エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
- エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能

パースト ROM インタフェース

- エリア 0 に対してパースト ROM インタフェースを設定可能
- パーストアクセスの 1 または 2 ステートを選択可能

アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

バス権調停機能 (バスアービトレーション)

- バスアービタを内蔵し、CPU、DMAC および DTC のバス権を調停

その他

- 外部バス権解放機能

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

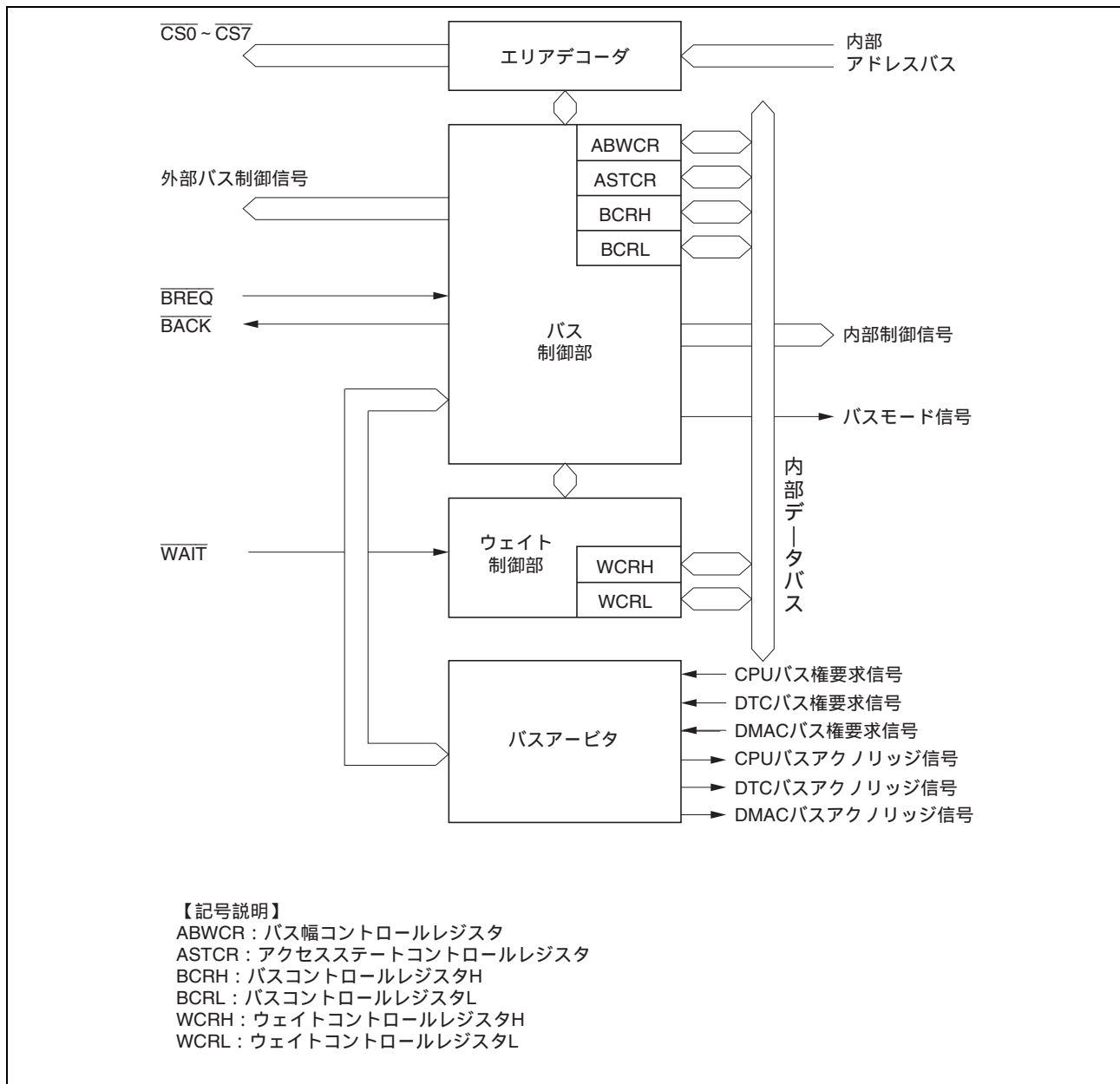


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名 称	記号	入出力	機 能
アドレスストロープ	AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	\overline{RD}	出力	外部空間をリードしていることを示すストロープ信号。
ハイライト	HWR	出力	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号。
ローライト	\overline{LWR}	出力	外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロープ信号。
チップセレクト 0~7	CS0 ~ CS7	出力	エリア 0~7 が選択されていることを示すストロープ信号。
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	BACK	出力	バス権を解放したことを示すアクノリッジ信号。

6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値		アドレス*1
			パワーオンリセット	マニュアルリセット	
バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00*2	保持	H'FED0
アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	保持	H'FED1
ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	保持	H'FED2
ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	保持	H'FED3
バスコントロールレジスタ H	BCRH	R/W	H'D0	保持	H'FED4
バスコントロールレジスタ L	BCRL	R/W	H'08	保持	H'FED5
端子機能コントロールレジスタ	PFCR	R/W	H'0D/H'00*3	保持	H'FDEB

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 MCU 動作モードによって決まります。モード 4 の場合 H'00 に、モード 5~7 の場合 H'FF に初期化されます。

*3 モード 4、5 の場合 H'0D に、モード 6、7 の場合 H'00 に初期化されます。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード5~7								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード4								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ABWCRは8ビットのリード/ライト可能なレジスタで、各エリアを8ビットアクセス空間または16ビットアクセス空間のいずれかに設定します。

ABWCRは、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部I/Oレジスタのバス幅はABWCRの設定値にかかわらず固定です。

ABWCRは、パワーオンリセットおよびハードウェアスタンバイモード時に、モード5~7ではH'FFに初期化され、モード4では、H'00に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7~0: エリア7~0バス幅コントロール (ABW7~ABW0)

対応するエリアを8ビットアクセス空間とするか、16ビットアクセス空間とするかを選択します。

ビットn	説明
ABWn	
0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7~0)

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASTCRは8ビットのリード/ライト可能なレジスタで、各エリアを2ステートアクセス空間または3ステートアクセス空間のいずれかに設定します。

ASTCRは、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部I/Oレジスタに対するアクセスステート数はASTCRの設定値にかかわらず固定です。

ASTCRは、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FFに初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7~0: エリア7~0アクセスステートコントロール (AST7~AST0)

対応するエリアを2ステートアクセス空間にするか、3ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。

ビットn	説明
ASTn	
0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可 (初期値)

(n=7~0)

6.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRLは、それぞれ8ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

WCRH、WCRLは、パワーオンリセットおよびハードウェアスタンバイモード時に、HFF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

(1) WCRH

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6 : エリア7 ウェイトコントロール1、0 (W71、W70)

ASTCR の AST7 ビットが1にセットされた状態でエリア7の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W71	W70	
0	0	エリア7の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア7の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア7の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア7の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット5、4 : エリア6 ウェイトコントロール1、0 (W61、W60)

ASTCR の AST6 ビットが1にセットされた状態でエリア6の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W61	W60	
0	0	エリア6の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア6の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア6の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア6の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット3、2 : エリア5 ウェイトコントロール1、0 (W51、W50)

ASTCR の AST5 ビットが1にセットされた状態でエリア5の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説明
W51	W50	
0	0	エリア5の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア5の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア5の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア5の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

6. バスコントローラ

ビット 1、0 : エリア 4 ウェイトコントロール 1、0 (W41、W40)

ASTCR の AST4 ビットが 1 にセットされた状態でエリア 4 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
W41	W40	
0	0	エリア 4 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 4 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

(2) WCRL

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6 : エリア 3 ウェイトコントロール 1、0 (W31、W30)

ASTCR の AST3 ビットが 1 にセットされた状態でエリア 3 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 6	説 明
W31	W30	
0	0	エリア 3 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 3 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 5、4 : エリア 2 ウェイトコントロール (W21、W20)

ASTCR の AST2 ビットが 1 にセットされた状態でエリア 2 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説 明
W21	W20	
0	0	エリア 2 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 2 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 3、2 : エリア 1 ウェイトコントロール 1、0 (W11、W10)

ASTCR の AST1 ビットが 1 にセットされた状態でエリア 1 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3	ビット 2	説 明
W11	W10	
0	0	エリア 1 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 1 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 1, 0 : エリア 0 ウェイトコントロール 1, 0 (W01, W00)

ASTCR の AST0 ビットが 1 にセットされた状態で、エリア 0 の外部空間をアクセスするとき、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
W01	W00	
0	0	エリア 0 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 0 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

6.2.4 バスコントロールレジスタ H (BCRH)

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0			
初期値 :	1	1	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRH は 8 ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。

BCRH は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'D0 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット 7 : アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 7	説 明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 6 : アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	説 明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 5 : パースト ROM イネーブル (BRSTRM)

エリア 0 をパースト ROM インタフェースとするかを選択します。

ビット 5	説 明
BRSTRM	
0	エリア 0 は基本バスインタフェース (初期値)
1	エリア 0 はパースト ROM インタフェース

6. バスコントローラ

ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROM インタフェースのバーストサイクル数を選択します。

ビット4	説明
BRSTS1	
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート (初期値)

ビット3：バーストサイクルセレクト0 (BRSTS0)

バーストROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説明
BRSTS0	
0	バーストアクセスは最大4ワード (初期値)
1	バーストアクセスは最大8ワード

ビット2~0：リザーブビット

0をライトしてください。

6.2.5 バスコントロールレジスタL (BCRL)

ビット：	7	6	5	4	3	2	1	0
	BRLE							WAITE
初期値：	0	0	0	0	1	0	0	0
R/W：	R/W	R/W		R/W	R/W	R/W	R/W	R/W

BCRLは8ビットのリード/ライト可能なレジスタで、外部バス解放状態のプロトコルの選択、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

BCRLは、パワーオンリセットおよびハードウェアスタンバイモード時に、H'08に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7：バスリリースイネーブル (BRLE)

外部バス権の解放を許可または禁止します。

ビット7	説明
BRLE	
0	外部バス権の解放を禁止。BRE $\overline{\text{Q}}$ 、BACKは入出力ポートとして使用可 (初期値)
1	外部バス権の解放を許可

ビット6：リザーブビット

0をライトしてください。

ビット5：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット4：リザーブビット

0をライトしてください。

ビット3：リザーブビット

1をライトしてください。

ビット2、1：リザーブビット

0をライトしてください。

ビット0：WAIT 端子イネーブル (WAITE)

WAIT 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)
1	WAIT 端子によるウェイト入力を許可

6.2.6 端子機能コントロールレジスタ (PFCR)

ビット：	7	6	5	4	3	2	1	0
					AE3	AE2	AE1	AE0
モード4、5								
初期値：	0	0	0	0	1	1	0	1
モード6、7								
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR は8ビットのリード/ライト可能なレジスタで、外部拡張モード時のアドレス出力制御を行います。

PFCR はパワーオンリセットまたはハードウェアスタンバイモード時に、モード4、5の場合 H'0D に、モード6、7の場合 H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

ビット7~4：リザーブビット

0をライトしてください。

ビット3~0：アドレス出力イネーブル3~0 (AE3~AE0)

ROM なし拡張モードとROM ありモード時のアドレス出力 A8~A23 の許可/禁止を選択します。アドレス出力を許可した端子は、対応する DDR に関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応する DDR を1にセットするとポート出力となります。

6. バスコントローラ

ビット3	ビット2	ビット1	ビット0	説明
AE3	AE2	AE1	AE0	
0	0	0	0	A8 ~ A23 出力を禁止 (初期値 ^{*1})
0	0	0	1	A8 出力を許可。A9 ~ A23 出力を禁止
0	0	1	0	A8、A9 出力を許可。A10 ~ A23 出力を禁止
0	0	1	1	A8 ~ A10 出力を許可。A11 ~ A23 出力を禁止
0	1	0	0	A8 ~ A11 出力を許可。A12 ~ A23 出力を禁止
0	1	0	1	A8 ~ A12 出力を許可。A13 ~ A23 出力を禁止
0	1	1	0	A8 ~ A13 出力を許可。A14 ~ A23 出力を禁止
0	1	1	1	A8 ~ A14 出力を許可。A15 ~ A23 出力を禁止
1	0	0	0	A8 ~ A15 出力を許可。A16 ~ A23 出力を禁止
1	0	0	1	A8 ~ A16 出力を許可。A17 ~ A23 出力を禁止
1	0	1	0	A8 ~ A17 出力を許可。A18 ~ A23 出力を禁止
1	0	1	1	A8 ~ A18 出力を許可。A19 ~ A23 出力を禁止
1	1	0	0	A8 ~ A19 出力を許可。A20 ~ A23 出力を禁止
1	1	0	1	A8 ~ A20 出力を許可。A21 ~ A23 出力を禁止 (初期値 ^{*2})
1	1	1	0	A8 ~ A21 出力を許可。A22、A23 出力を禁止
1	1	1	1	A8 ~ A23 出力を許可

- 【注】 *1 ROM あり拡張モードのとき AE3 ~ AE0 ビットは、B'0000 に初期化されます。
ROM あり拡張モードのとき、A0 ~ A7 アドレスは、対応する DDR を 1 にセットすることでアドレス出力となります。
- *2 ROM なし拡張モードのとき AE3 ~ AE0 ビットは、B'1101 に初期化されます。
ROM なし拡張モードのとき、A0 ~ A7 アドレスは、常にアドレス出力となります。

6.3 バス制御の概要

6.3.1 エリア分割

バスコントローラは、アドバンスモードのとき、16Mバイトのアドレス空間を2Mバイト単位で、エリア0~7の8つのエリアに分割し、エリア単位で外部空間のバス制御を行います。また、ノーマルモード*では、エリア0の一部の、64Kバイトのアドレス空間を制御します。図6.2にメモリマップの概要を示します。

各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

【注】* H8S/2214グループでは使用できません。

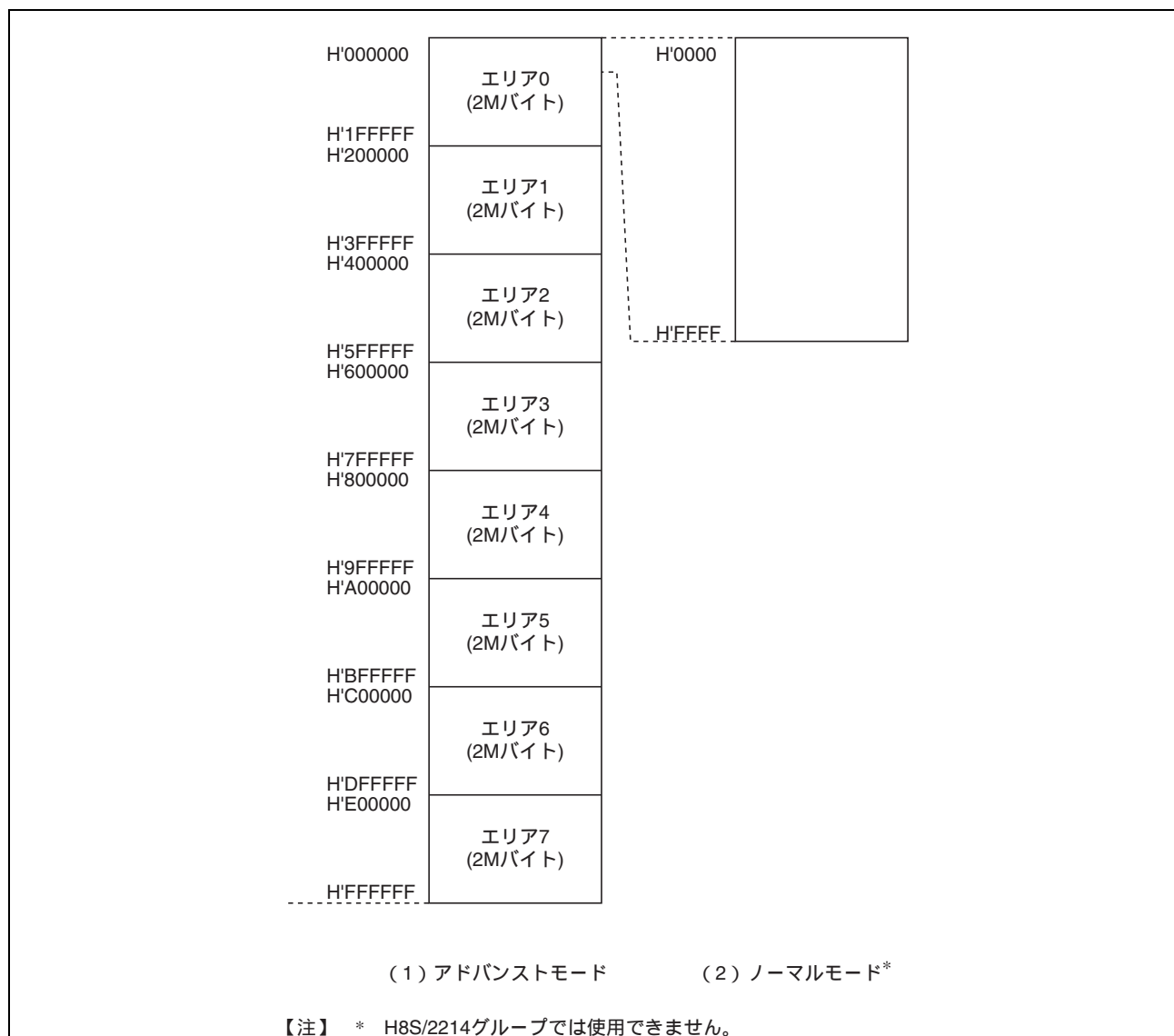


図 6.2 エリア分割の様子

6.3.2 バス仕様

外部空間のバス仕様は、(1) バス幅、(2) アクセスステート数、(3) プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH、WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	-	-	16	2	0
		0	0			3
		1	1			
	1	0	2			
		1	3			
	1	0	-		-	8
0			0	3	0	
		1	1			
1		0	2			
		1	3			

6.3.3 メモリインタフェース

H8S/2214 グループのメモリインタフェースには、ROM、SRAM などの直結が可能な基本バスインタフェース、およびエリア 0 のみバースト ROM の直結が可能なバースト ROM インタフェースがあります。

基本バスインタフェースを設定したエリアが通常空間です。また、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

6.3.4 各エリアのバスインタフェース仕様

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「6.4 基本バスインタフェース」、「6.5 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、CS0 信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

(2) エリア 1~6

エリア 1~6 は、外部拡張モードのとき、エリア 1~6 のすべての空間が外部空間となります。
 エリア 1~6 の外部空間をアクセスするとき、それぞれ、 $\overline{CS1} \sim \overline{CS6}$ 端子信号を出力することができます。
 エリア 1~6 は、基本バスインタフェースのみを使用することができます。

(3) エリア 7

エリア 7 は内蔵 RAM、外部モジュール拡張機能空間および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM、外部モジュール拡張機能空間および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

外部モジュール拡張機能は、外部モジュール接続用出力端子選択レジスタ (OPINSEL) の P75MSOE ビットを 1 にセットしたとき有効で、アドレス H'FFFF40 ~ H'FFFF5F に対して、 \overline{EXMS} 信号を出力します。P75MSOE ビットを 0 にクリアすると、外部モジュール拡張機能は無効になり、対応するアドレスは外部空間となります。

エリア 7 の外部空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

エリア 7 は、基本バスインタフェースのみを使用することができます。

6.3.5 チップセレクト信号

H8S/2214 グループは、エリア 0~7 に対して、それぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができ、当該エリアの外部空間をアクセスしたとき、Low レベルを出力します。

図 6.3 に \overline{CSn} ($n=0 \sim 7$) 信号出力タイミング例を示します。

\overline{CSn} 信号出力の許可または禁止は各 \overline{CSn} 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

ROM 無効拡張モードでは、 $\overline{CS0}$ 端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

詳細は「第 9 章 I/O ポート」を参照してください。

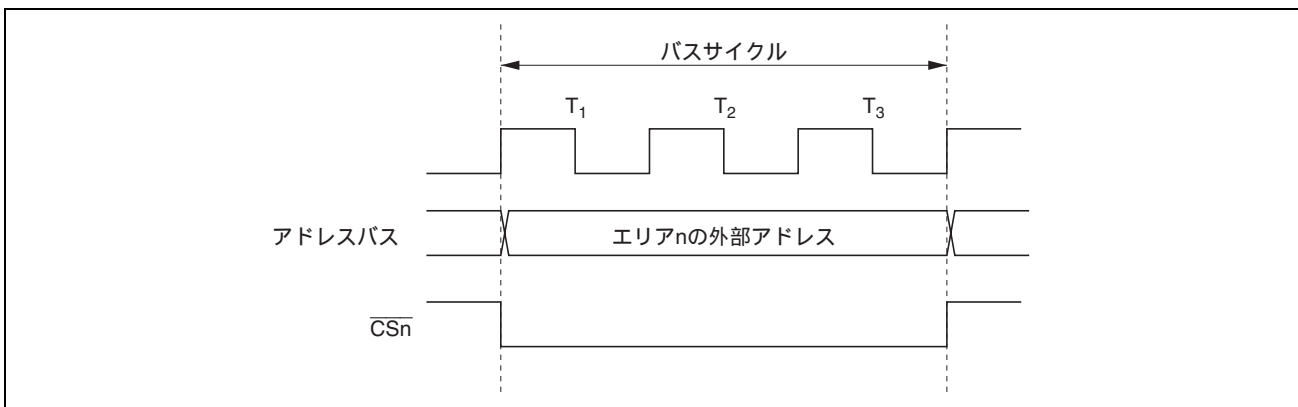


図 6.3 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 6.3 を参照してください。

6.4.2 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15~D8) を使用するか、下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.4 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15~D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

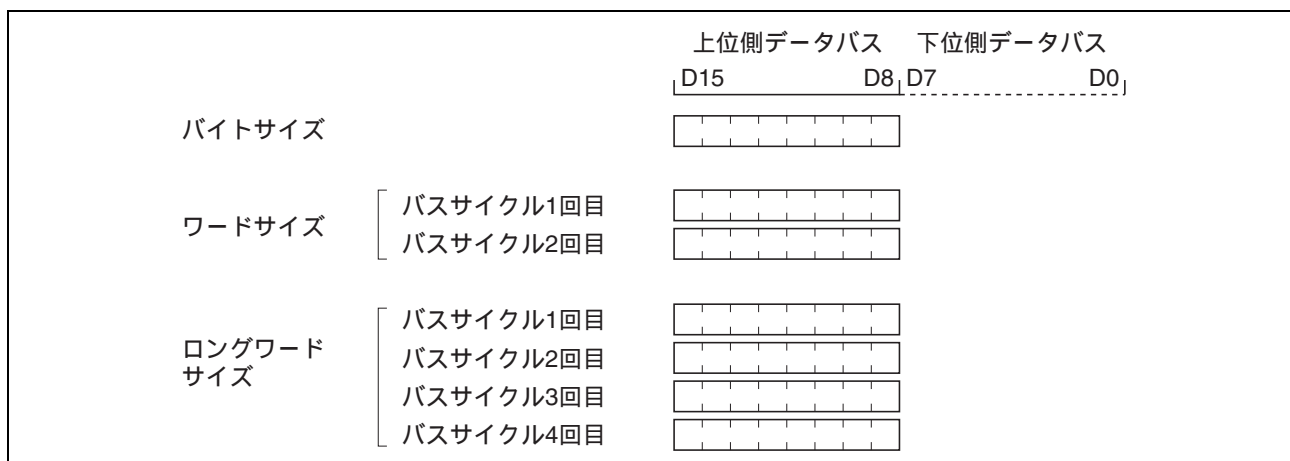


図 6.4 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.5 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

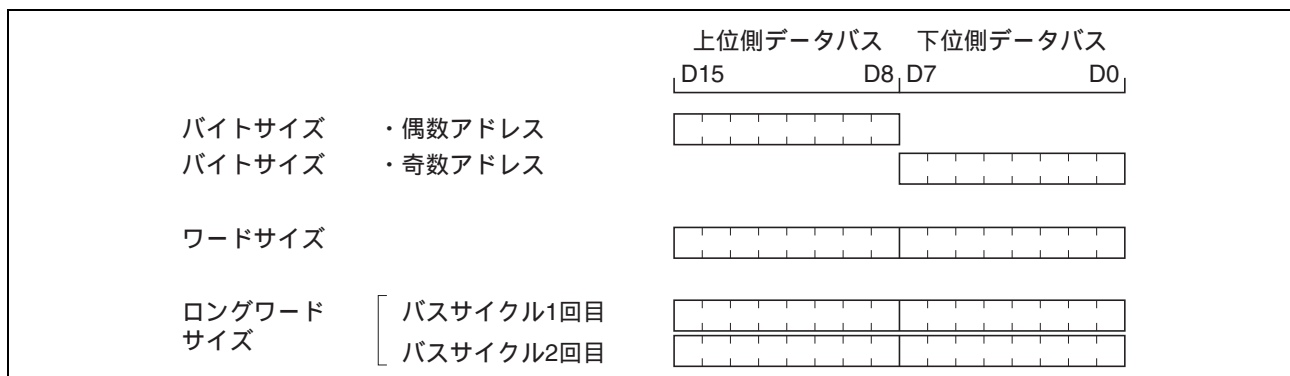


図 6.5 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.4.3 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8 ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 Hi-Z : ハイインピーダンス状態です。

無効 : 入力状態であり、入力値は無視されます。

6.4.4 基本タイミング

(1) 8ビット2ステートアクセス空間

図6.6に8ビット2ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側(D15~D8)を使用します。

ウェイトステートを挿入することはできません。

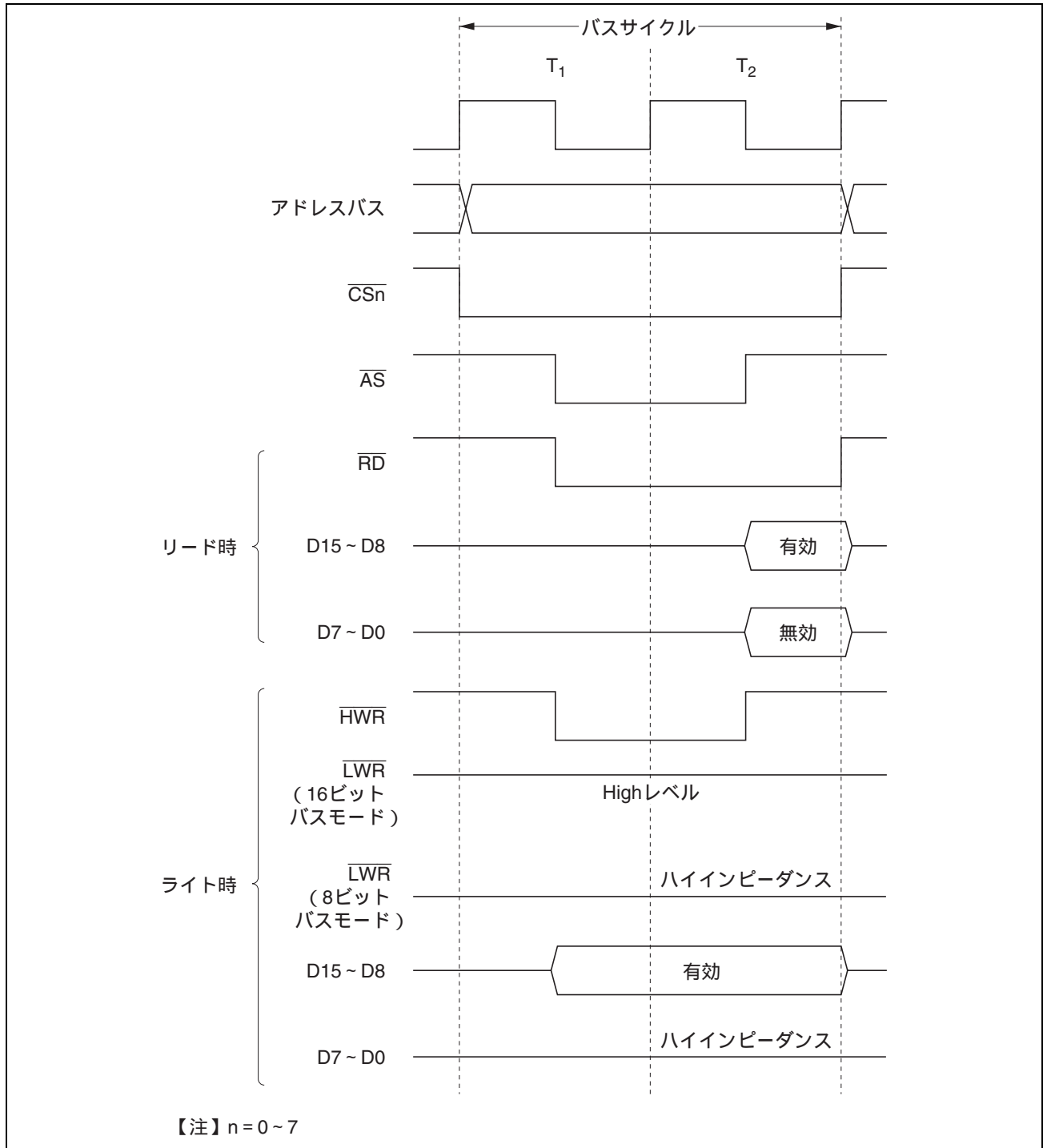


図6.6 8ビット2ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図 6.7 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することができます。

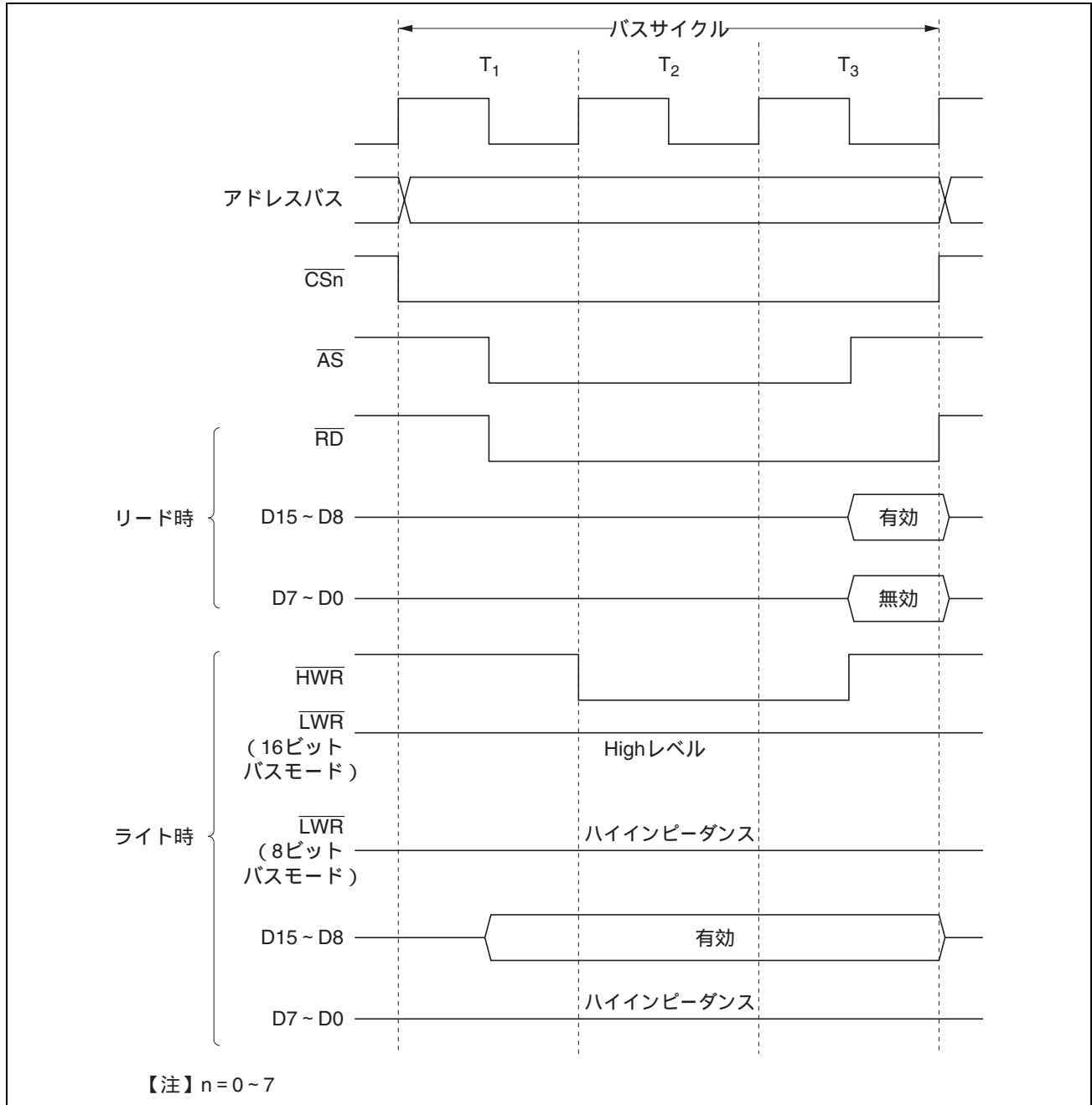


図 6.7 8 ビット 3 ステートアクセス空間のバスタイミング

(3) 16ビット2ステートアクセス空間

図6.8～図6.10に16ビット2ステートアクセス空間のバスタイミングを示します。16ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側(D15～D8)を使用し、奇数アドレスに対してはデータバスは下位側(D7～D0)を使用します。

ウェイトステートを挿入することはできません。

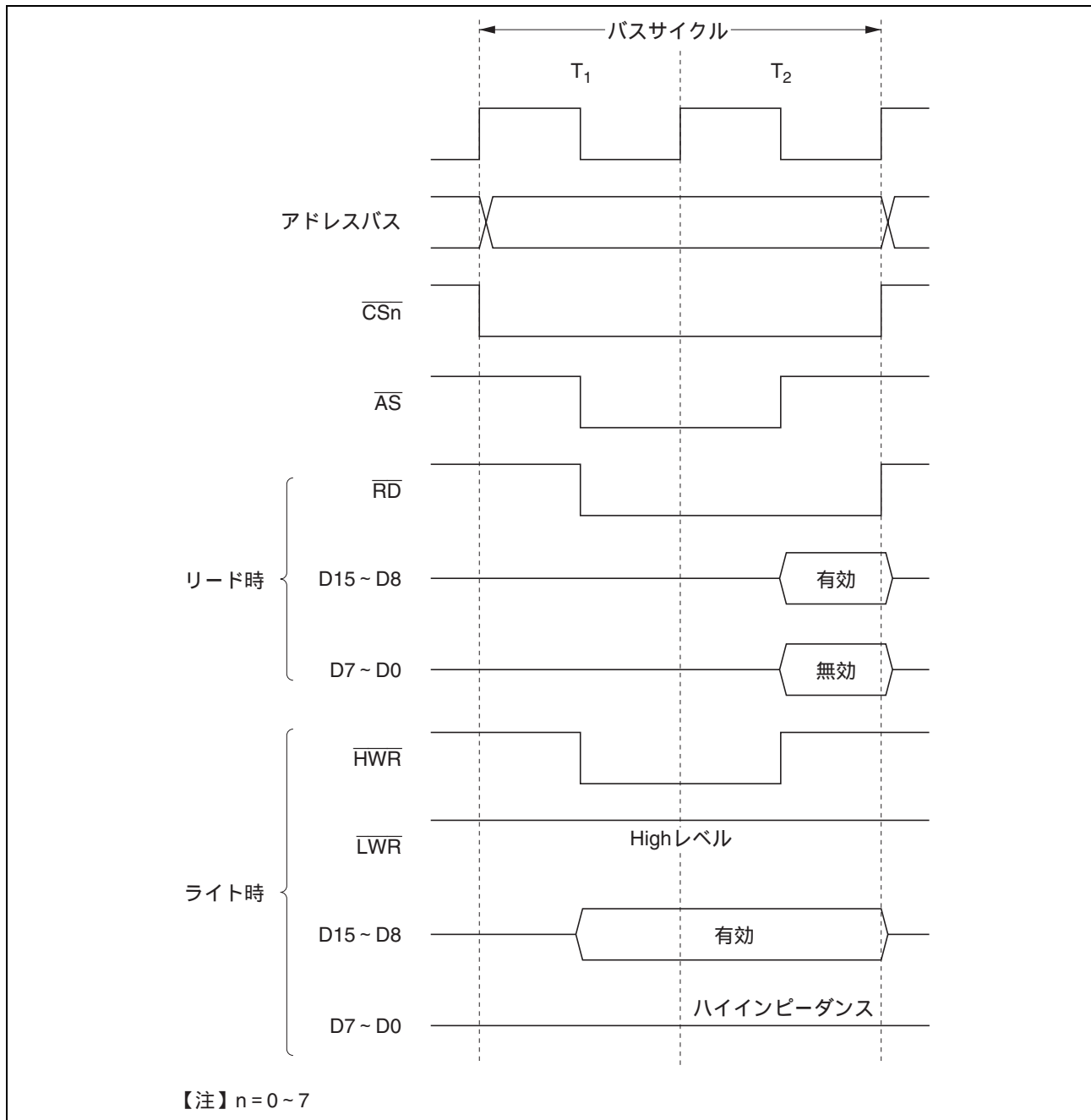


図 6.8 16ビット2ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

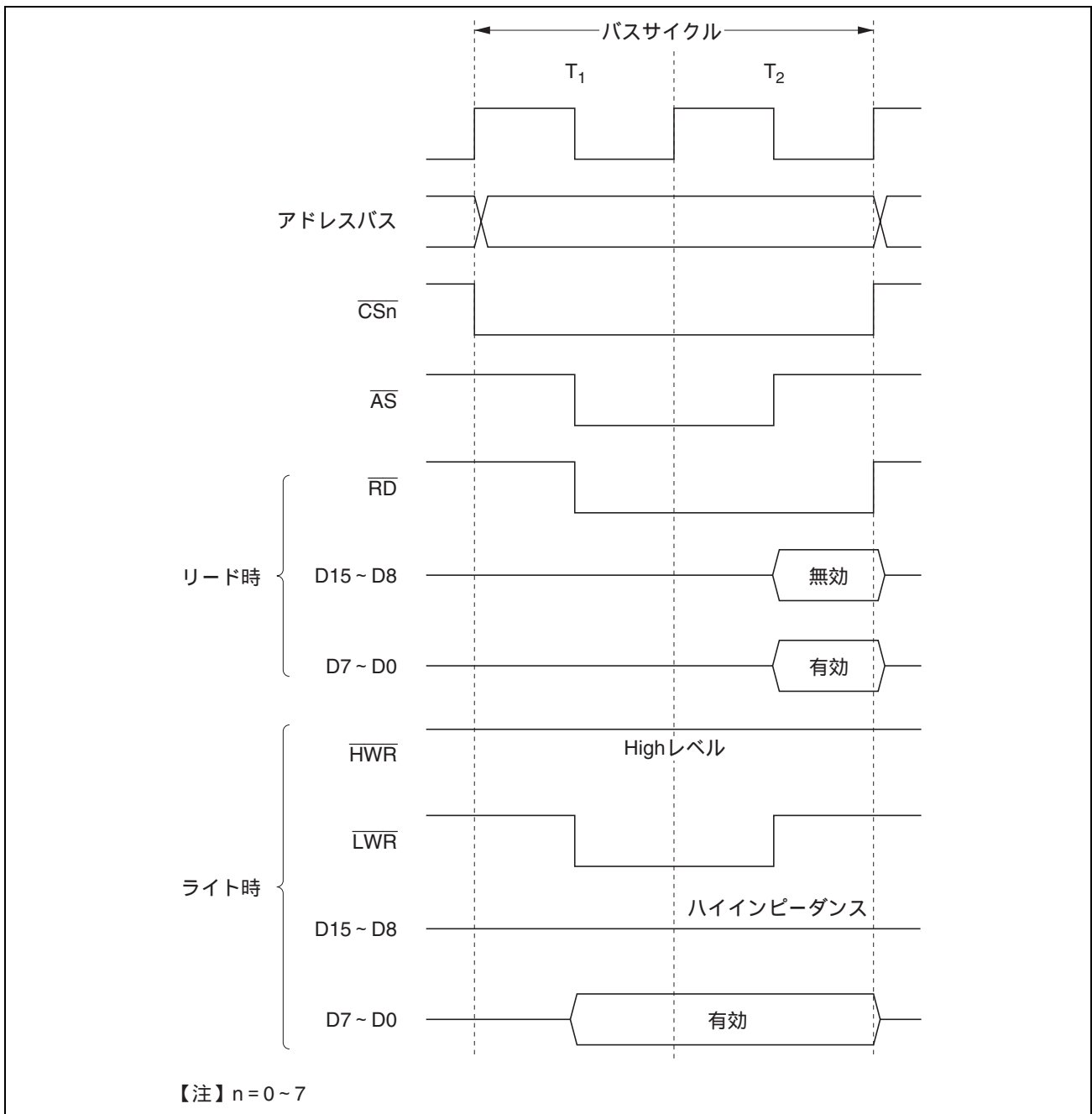


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

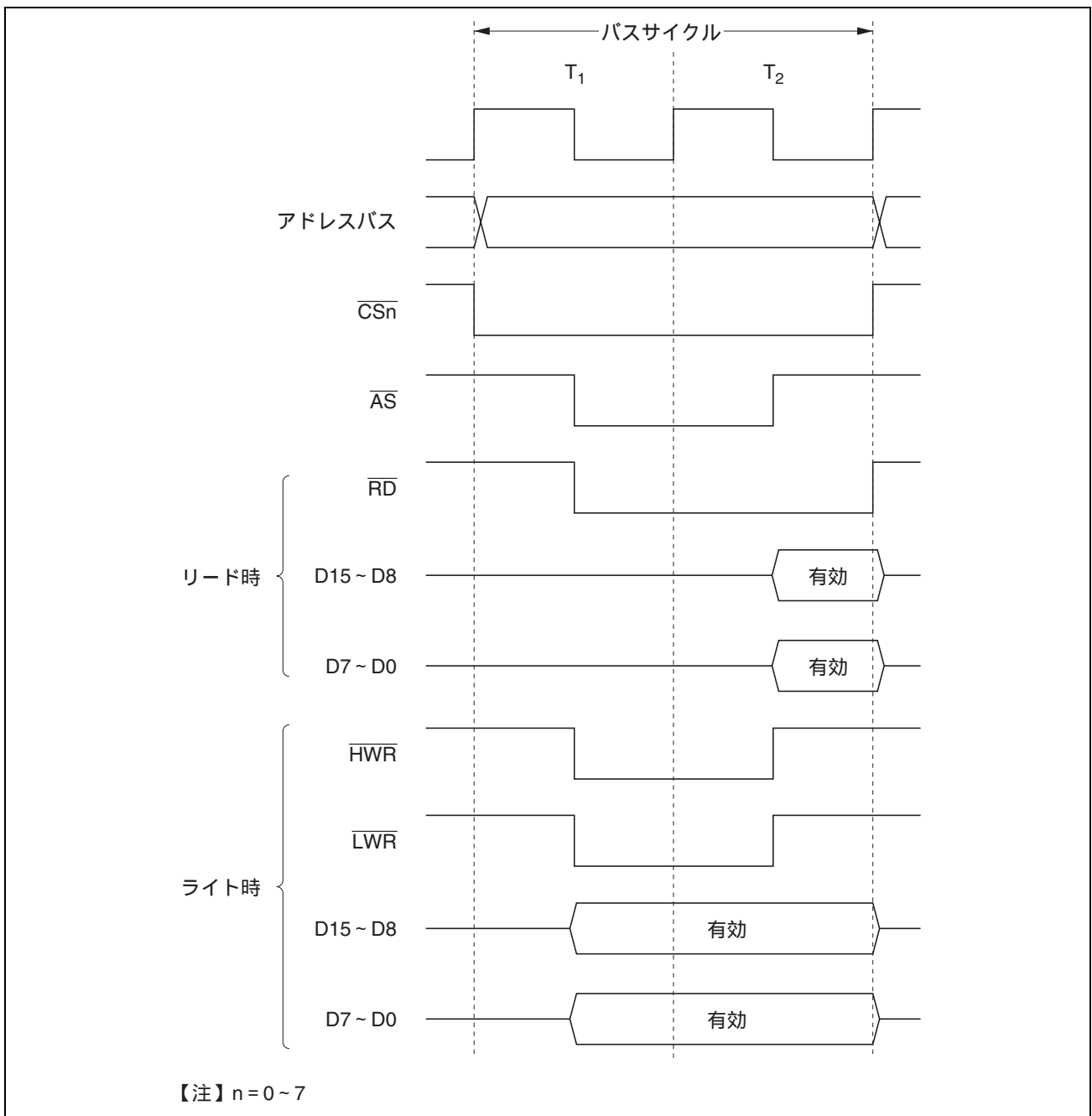


図 6.10 16 ビット 2 ステートアクセス空間のバスタイミング
(ワードアクセス)

(4) 16ビット3ステートアクセス空間

図 6.11 ~ 図 6.13 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15 ~ D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7 ~ D0) を使用します。

ウェイトステートを挿入することができます。

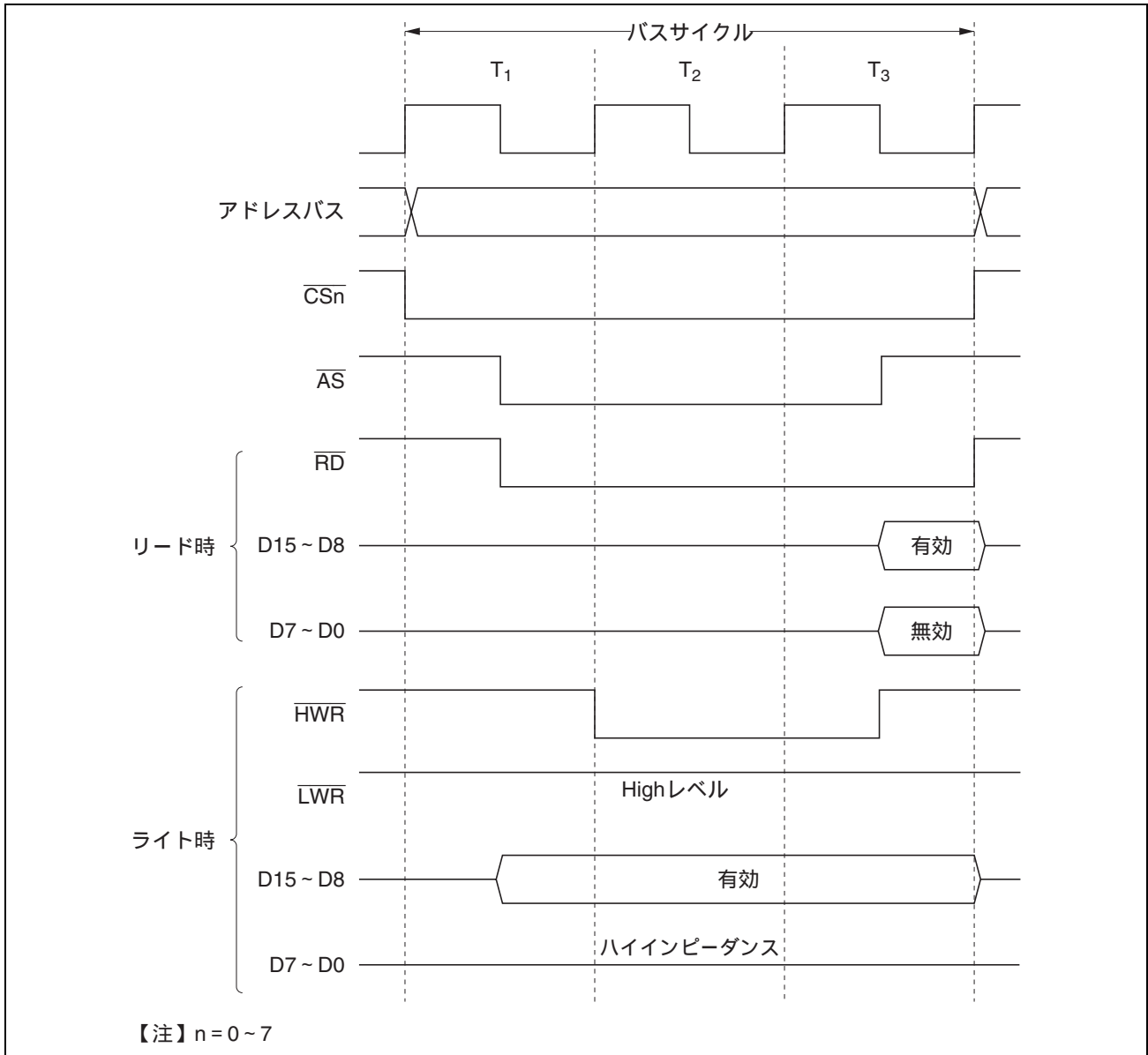


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

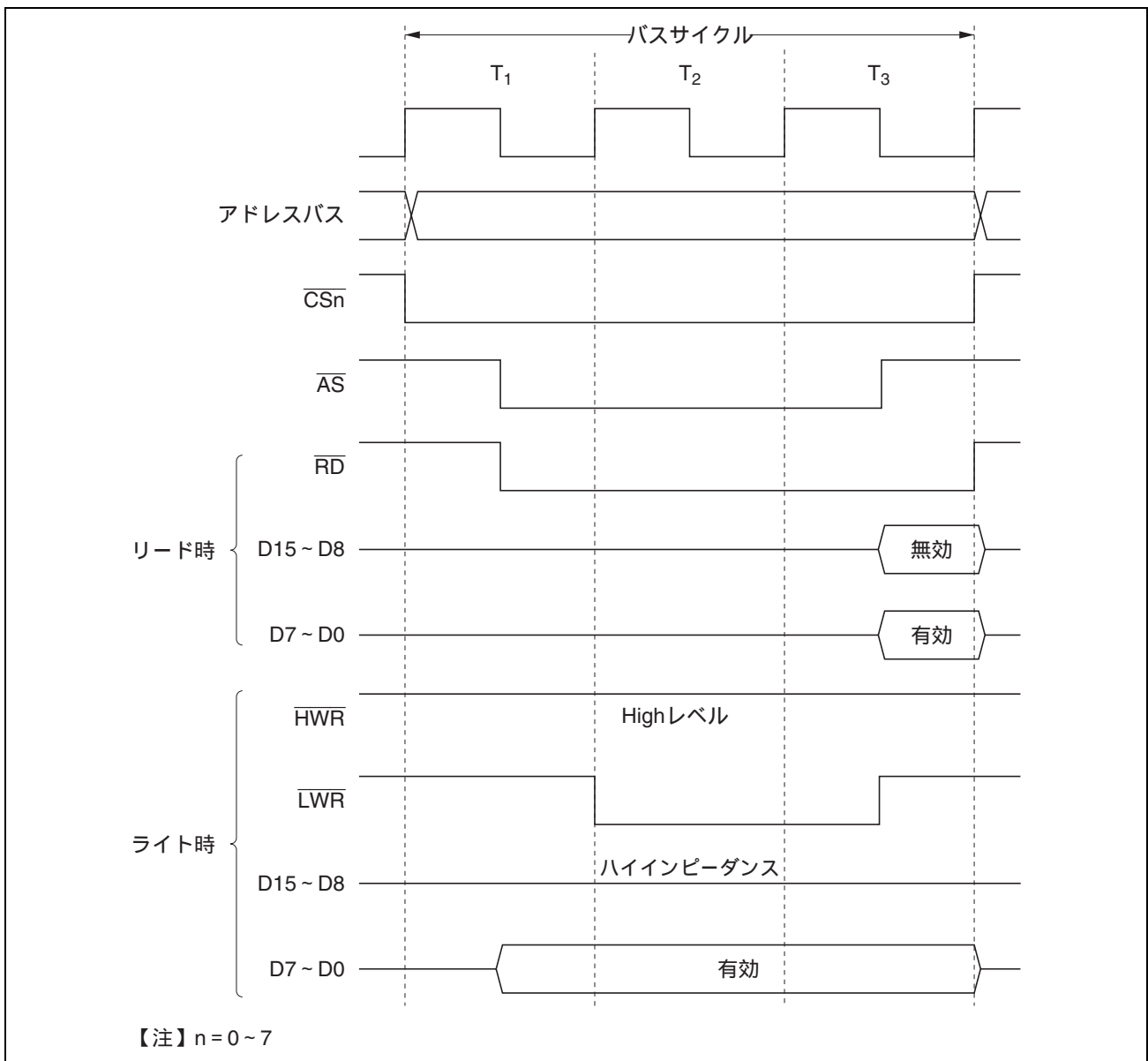


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

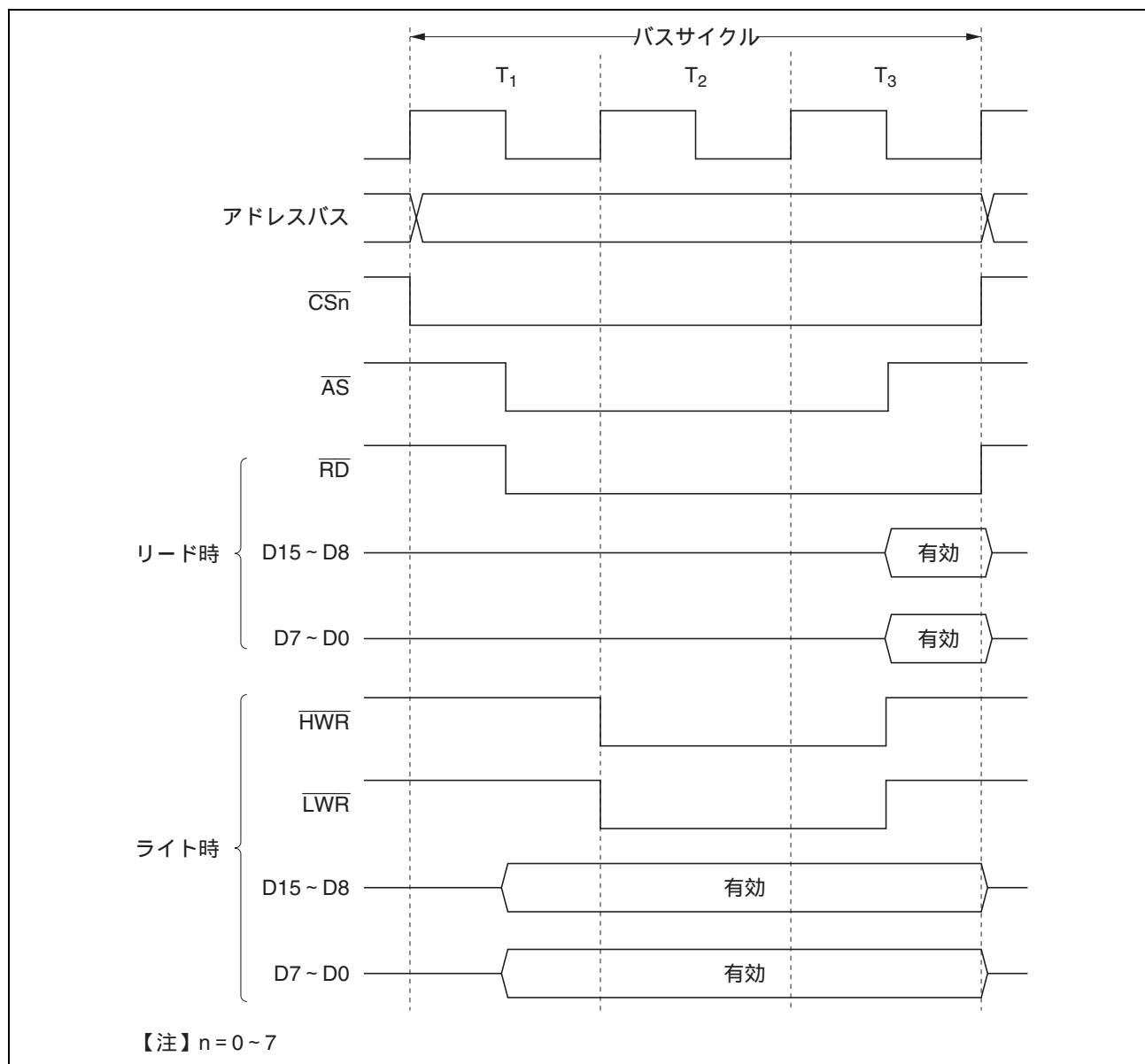


図 6.13 16 ビット 3 ステートアクセス空間のバスタイミング
(ワードアクセス)

6.4.5 ウェイト制御

H8S/2214 グループは、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) WAIT 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRH の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

なお、WAITE ビットはすべてのエリアに対して共通です。

図 6.14 にウェイトステート挿入のタイミング例を示します。

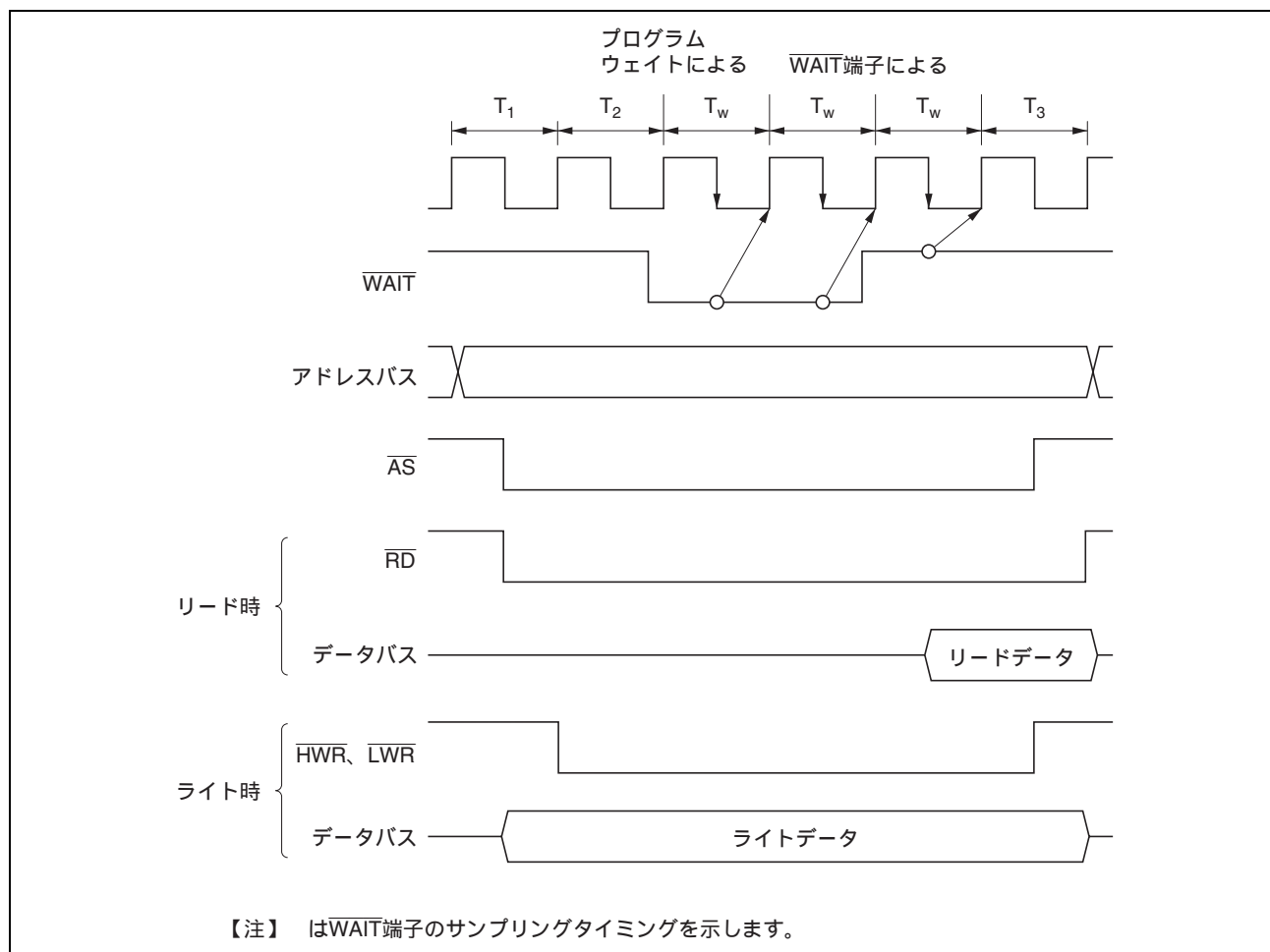


図 6.14 ウェイトステート挿入タイミング例

パワーオンリセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、WAIT 入力禁止状態となっています。マニュアルリセットのときには、バスコントローラのレジスタは保持され、ウェイト制御はリセット前の状態を継続します。

6.5 バースト ROM インタフェース

6.5.1 概要

H8S/2214 グループは、エリア 0 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.15、図 6.16 に示します。

図 6.15 は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.16 は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

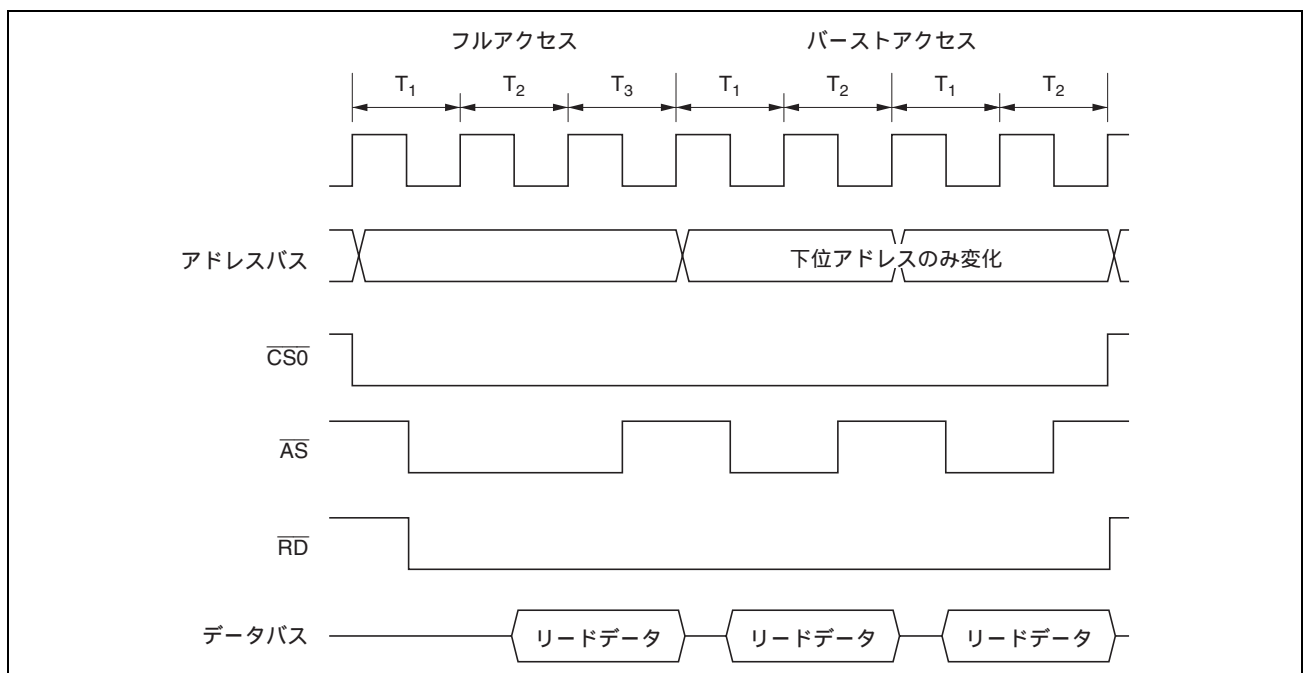


図 6.15 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

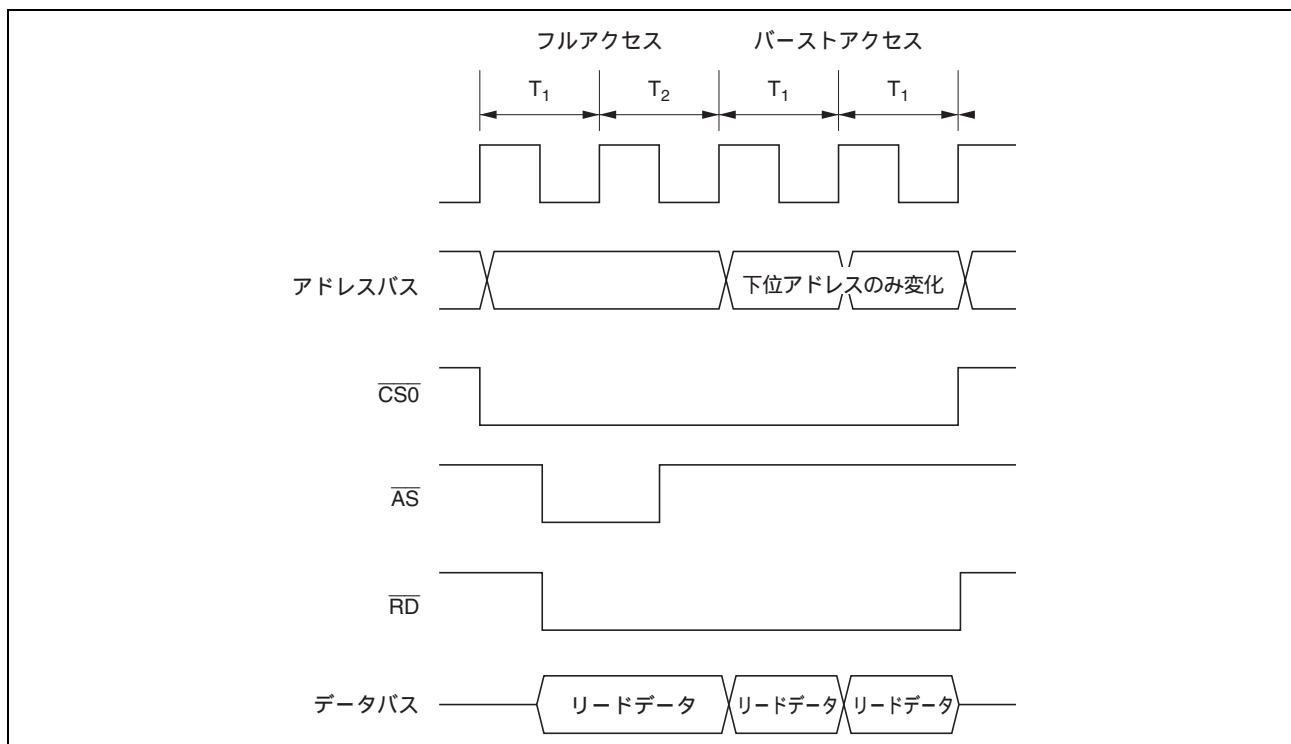


図 6.16 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)

6.5.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

6.6 アイドルサイクル

6.6.1 動作説明

H8S/2214 グループは外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル(T_1)を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMなどと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.17 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

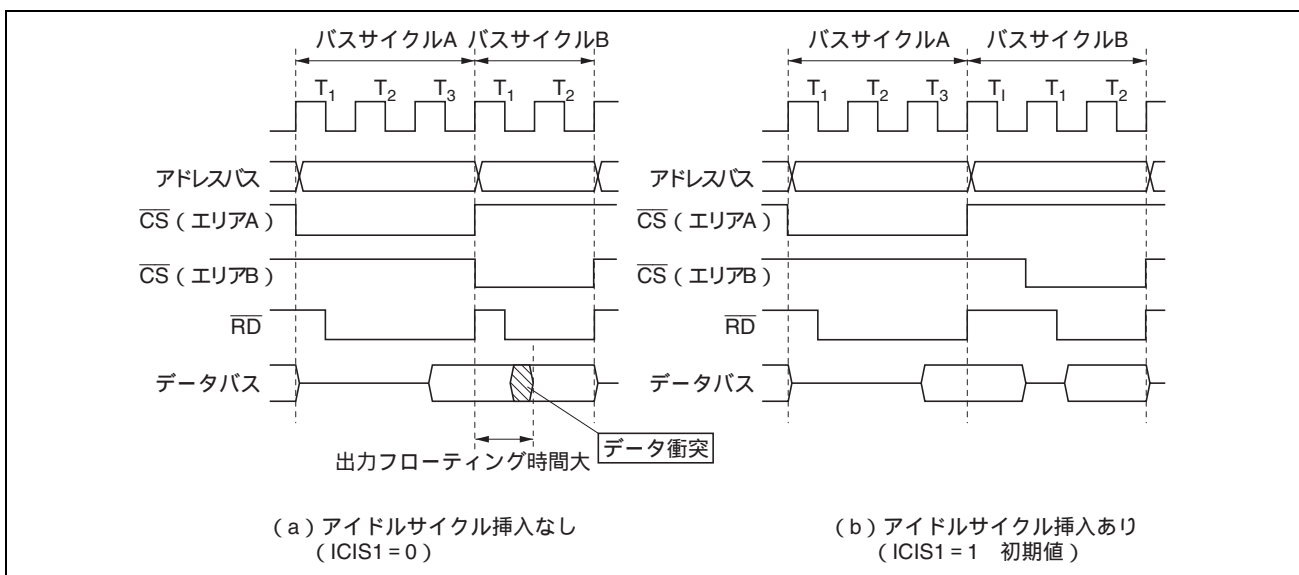


図 6.17 アイドルサイクル動作例 (1)

(2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.18 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

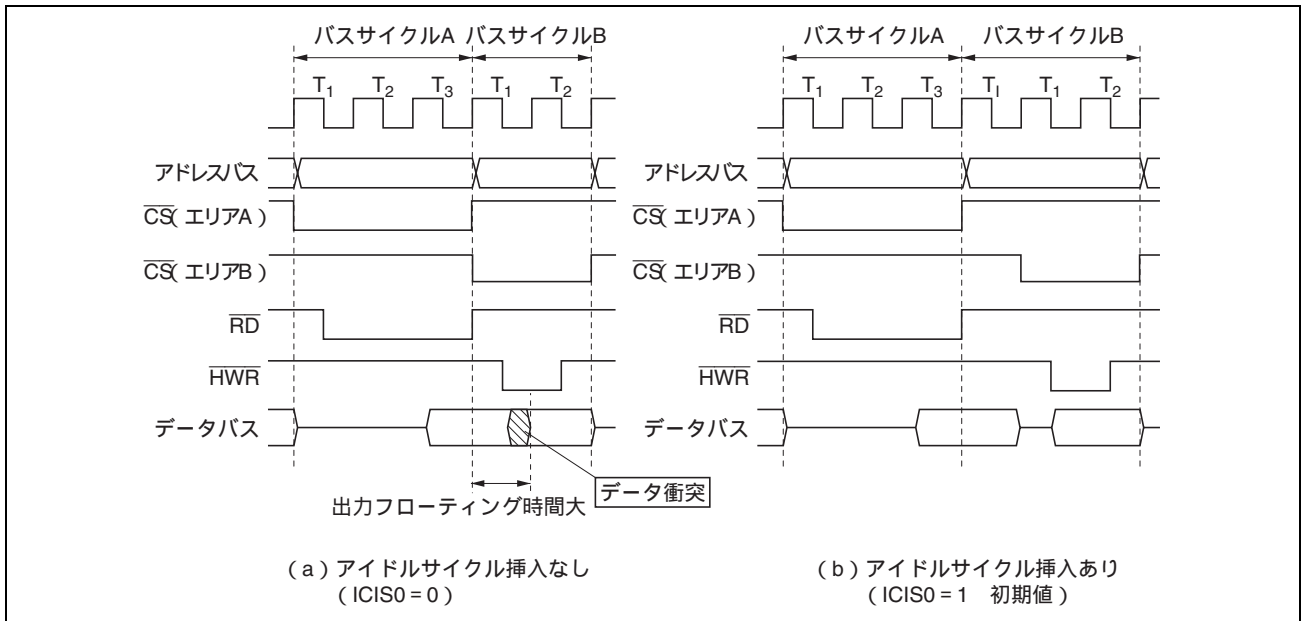


図 6.18 アイドルサイクル動作例 (2)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.19 に例を示します。

このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避する事ができます。

なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

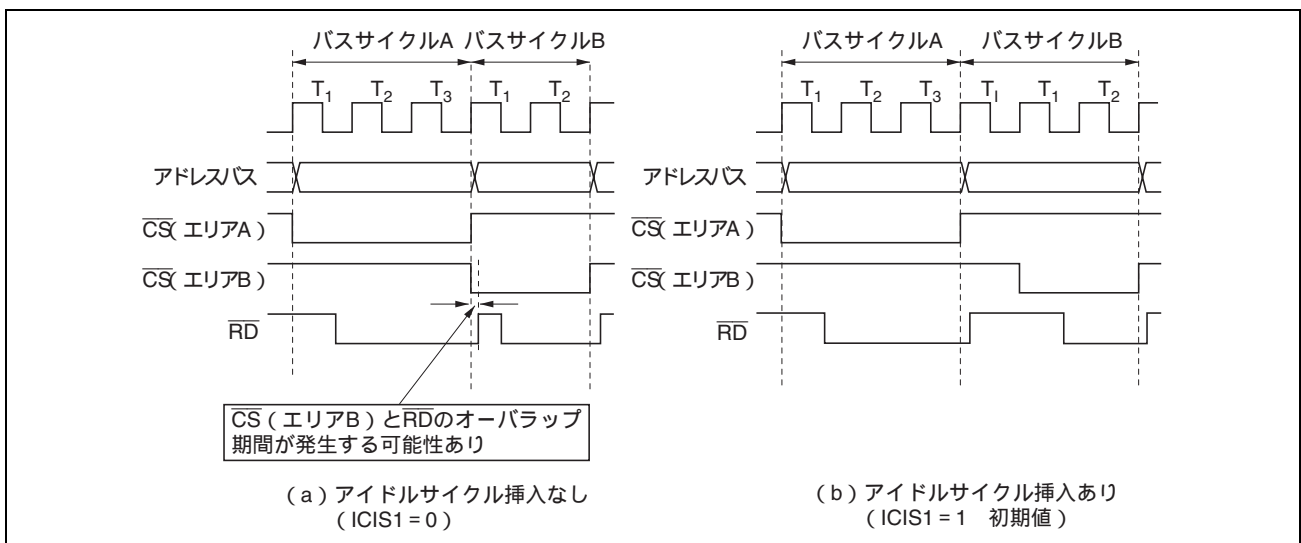


図 6.19 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
\overline{CSn}	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{HWR}	High レベル
\overline{LWR}	High レベル

6.7 バス解放

6.7.1 概要

H8S/2214 グループは外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しないかぎり、内部バスマスタは動作を継続します。

6.7.2 動作説明

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$ 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求と外部アクセスが同時に発生したときの優先順位：

(高) 外部バス権 > 内部バスマスタの外部アクセス (低)

6.7.3 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.6 に示します。

表 6.6 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CSn}}$	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
HWR	ハイインピーダンス
LWR	ハイインピーダンス

6.7.4 遷移タイミング

バス権解放状態への遷移タイミングを図 6.20 に示します。

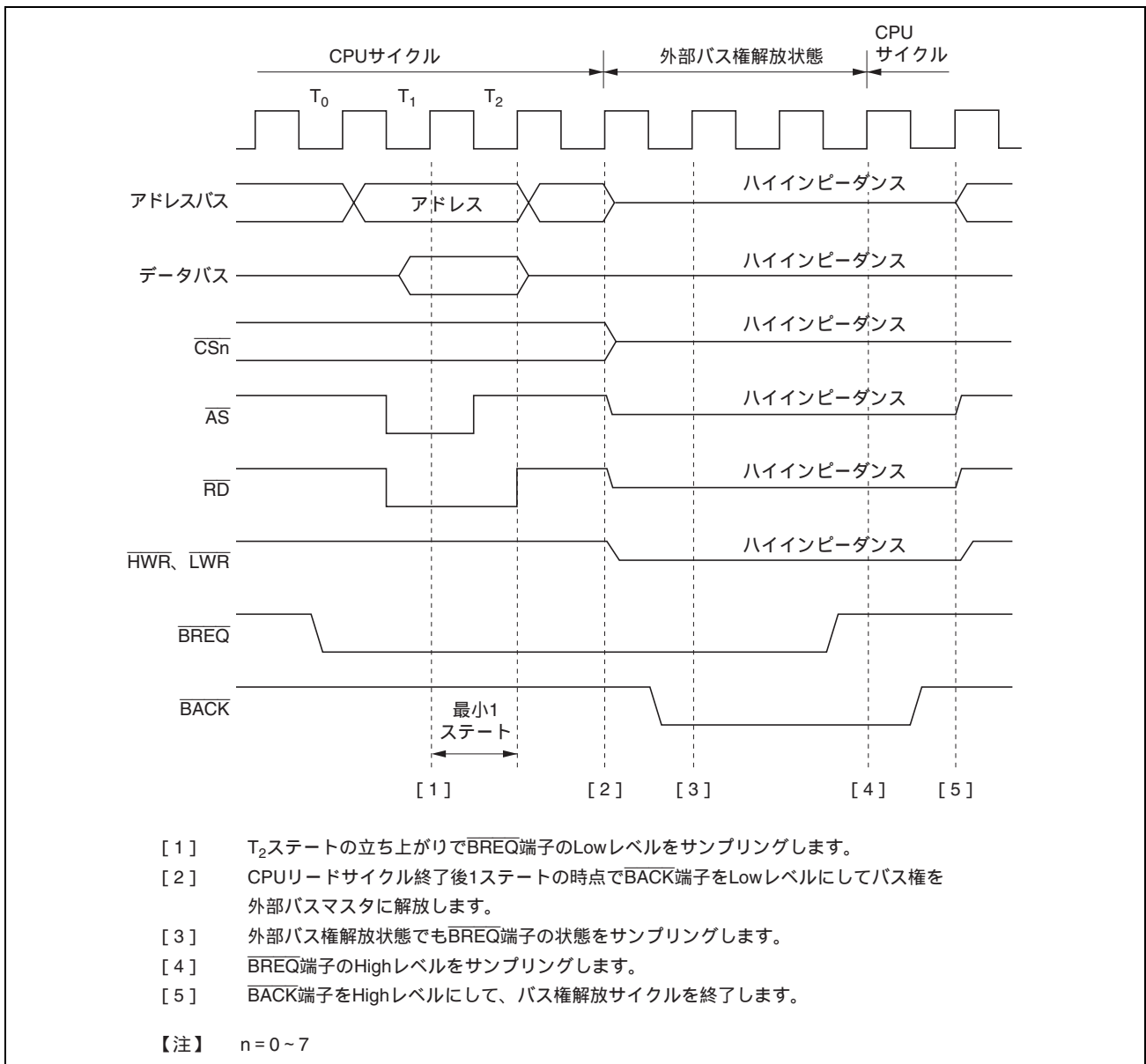


図 6.20 バス権解放状態遷移タイミング

6.7.5 使用上の注意

MSTPCR を H'FFFFFF に設定し、かつスリープモードに遷移した状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR には H'FFFFFF を設定しないでください。

6.8 バスアービトレーション

6.8.1 概要

H8S/2214 グループはバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、およびDTCの3つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.8.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

（高） DMAC > DTC > CPU （低）

なお、内部バスマスタの内部バスアクセスと外部バス権解放は並行して実行することができます。

外部バス権解放要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

（高）外部バス権解放 > 内部バスマスタの外部アクセス（低）

6.8.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPUは最も優先順位が低いバスマスタで、DMACおよびDTCからのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

(a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。バス権を移行しないタイミングは「付録A.5 命令実行中のバス状態」を参照してください。

(b) CPUがスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTCは起動要求が発生するとバスアービタに対してバス権を要求します。

DTCがバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3ステート）後、1回のデータ転送後、レジスタ情報のライト（3ステート）後です。レジスタ情報のリード（3ステート）中、1回のデータ転送中、レジスタ情報のライト（3ステート）中にはバスを解放しません。

(3) DMAC

DMACは起動要求が発生するとバスアービタに対してバス権を要求します。

DMACはショートアドレスモード、ノーマルモードの外部リクエスト、またはサイクルスチールモードの場合、1回の転送終了後にバス権を解放します。

ブロック転送モードの場合は1ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

6.8.4 外部バス権解放使用上の注意

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

\overline{CS} 信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 \overline{CS} 信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

6.9 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 $\overline{\text{WAIT}}$ 入力は無視されます。ライトデータは保証されません。

6.10 外部モジュール拡張機能

6.10.1 概要

H8S/2214 グループは、周辺機能の追加に対応するための、外部モジュール拡張機能を搭載しています。本機能を使用して、本 LSI と外部モジュールを組み合わせることにより、ユーザ基板でマルチチップのシステムが実現可能となります。

図 6.21 にブロック図を示します。

バスのアクセスステートはバスコントローラの設定により変更可能です。

外部モジュールに対して、H'FFFF40 ~ H'FFFF5F のアドレスで EXMS 信号を出力します。

EXIRQ7 ~ EXIRQ0 割り込みは、優先順位の設定や DTC の起動を本 LSI の内蔵周辺機能と同等に指定することができます。

EXIRQ7 ~ EXIRQ0 割り込み入力に対する DTC データ転送終了信号を EXDTCE より出力します。また、モジュールストップコントロールレジスタ B のビット 0 の値を反転して出力します。

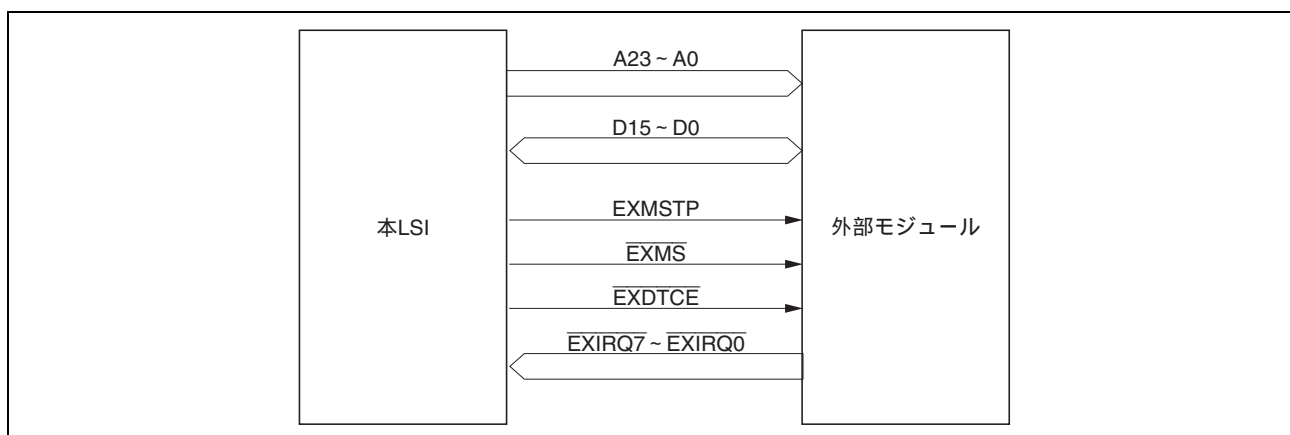


図 6.21 マルチチップブロック図

6.10.2 端子構成

表 6.7 に外部モジュール拡張機能の端子構成を示します。

表 6.7 端子構成

名称	記号	入出力	機能
外部拡張割り込み要求 7~0	EXIRQ7 ~ EXIRQ0	入力	外部モジュールからの割り込み要求入力信号
外部拡張モジュール セレクト	EXMS	出力	外部モジュールに対する選択記号
外部拡張 DTC 転送終了	EXDTC	出力	EXIRQ7 ~ EXIRQ0 割り込み入力に対する DTC のデータ転送終了記号
外部拡張モジュール ストップ	EXMSTP	出力	外部モジュールに対するモジュールストップ信号

6.10.3 レジスタ構成

表 6.8 にバスコントローラのレジスタ構成を示します。

表 6.8 レジスタ構成

名称	略称	R/W	初期値		アドレス*
			パワーオンリセット	マニュアルリセット	
割り込み要求入力端子選択レジスタ 0	IPINSEL0	R/W	H'00	保持	H'FE4A
外部モジュール接続用出力端子選択レジスタ	OPINSEL	R/W	B'-000----	保持	H'FE4E
モジュールストップ コントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FF	H'FDE9

【注】 * アドレスの下位 16 ビットを示しています。

6.10.4 割り込み要求入力端子選択レジスタ 0 (IPINSEL0)

ビット:	7	6	5	4	3	2	1	0
	P36 IRQ7E	P47 IRQ6E	P46 IRQ5E	P44 IRQ4E	P43 IRQ3E	P42 IRQ2E	P41 IRQ1E	P40 IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IPINSEL0 は 8 ビットのリード/ライト可能なレジスタで、H8S/2214 として動作時に、チップ外部に接続したモジュールからの割り込み要求入力 ($\overline{\text{EXIRQ0}} \sim \overline{\text{EXIRQ7}}$) としてどの端子を使用するかを選択します。IPINSEL0 はパワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

ビット 7: P36 からの $\overline{\text{EXIRQ7}}$ の入力イネーブル (P36IRQ7E)

P36 を $\overline{\text{EXIRQ7}}$ の入力として使用するかどうかを選択します。

ビット 7	説明
P36IRQ7E	
0	P36 を $\overline{\text{EXIRQ7}}$ の入力として使用しない (初期値)
1	P36 を $\overline{\text{EXIRQ7}}$ の入力として使用する

ビット 6: P47 からの $\overline{\text{EXIRQ6}}$ の入力イネーブル (P47IRQ6E)

P47 を $\overline{\text{EXIRQ6}}$ の入力として使用するかどうかを選択します。

ビット 6	説明
P47IRQ6E	
0	P47 を $\overline{\text{EXIRQ6}}$ の入力として使用しない (初期値)
1	P47 を $\overline{\text{EXIRQ6}}$ の入力として使用する

ビット 5: P46 からの $\overline{\text{EXIRQ5}}$ の入力イネーブル (P46IRQ5E)

P46 を $\overline{\text{EXIRQ5}}$ の入力として使用するかどうかを選択します。

ビット 5	説明
P46IRQ5E	
0	P46 を $\overline{\text{EXIRQ5}}$ の入力として使用しない (初期値)
1	P46 を $\overline{\text{EXIRQ5}}$ の入力として使用する

ビット 4: P44 からの $\overline{\text{EXIRQ4}}$ の入力イネーブル (P44IRQ4E)

P44 を $\overline{\text{EXIRQ4}}$ の入力として使用するかどうかを選択します。

ビット 4	説明
P44IRQ4E	
0	P44 を $\overline{\text{EXIRQ4}}$ の入力として使用しない (初期値)
1	P44 を $\overline{\text{EXIRQ4}}$ の入力として使用する

6. バスコントローラ

ビット 3 : P43 からの $\overline{\text{EXIRQ3}}$ の入力イネーブル (P43IRQ3E)

P43 を $\overline{\text{EXIRQ3}}$ の入力として使用するかどうかを選択します。

ビット 3	説 明
P43IRQ3E	
0	P43 を $\overline{\text{EXIRQ3}}$ の入力として使用しない (初期値)
1	P43 を $\overline{\text{EXIRQ3}}$ の入力として使用する

ビット 2 : P42 からの $\overline{\text{EXIRQ2}}$ の入力イネーブル (P42IRQ2E)

P42 を $\overline{\text{EXIRQ2}}$ の入力として使用するかどうかを選択します。

ビット 2	説 明
P42IRQ2E	
0	P42 を $\overline{\text{EXIRQ2}}$ の入力として使用しない (初期値)
1	P42 を $\overline{\text{EXIRQ2}}$ の入力として使用する

ビット 1 : P41 からの $\overline{\text{EXIRQ1}}$ の入力イネーブル (P41IRQ1E)

P41 を $\overline{\text{EXIRQ1}}$ の入力として使用するかどうかを選択します。

ビット 1	説 明
P41IRQ1E	
0	P41 を $\overline{\text{EXIRQ1}}$ の入力として使用しない (初期値)
1	P41 を $\overline{\text{EXIRQ1}}$ の入力として使用する

ビット 0 : P40 からの $\overline{\text{EXIRQ0}}$ の入力イネーブル (P40IRQ0E)

P40 を $\overline{\text{EXIRQ0}}$ の入力として使用するかどうかを選択します。

ビット 0	説 明
P40IRQ0E	
0	P40 を $\overline{\text{EXIRQ0}}$ の入力として使用しない (初期値)
1	P40 を $\overline{\text{EXIRQ0}}$ の入力として使用する

6.10.5 外部モジュール接続用出力端子選択レジスタ (OPINSEL)

ビット :	7	6	5	4	3	2	1	0
	-	P76 STPOE	P75 MSOE	P74 DTCOE	-	-	-	-
初期値 :	不定	0	0	0	不定	不定	不定	不定
R/W :	-	R/W	R/W	R/W	-	-	-	-

OPINSEL は 8 ビットのリード / ライト可能なレジスタで、H8S/2214 グループとして動作時に、チップ外部に接続したモジュールへの出力 (EXDTCEN、EXMSTP、EXMSN) を P77 ~ P74 端子へ出力するかどうかを選択します。OPINSEL のビット 6 ~ ビット 4 はパワーオンリセットまたはハードウェアスタンバイモードでは "000" に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

ビット 7 : リザーブ

リード値は不定です。ライトするときは常に 0 をライトしてください。

ビット 6 : P76 への EXMSTP の出力イネーブル (P76STPOE)

外部モジュールへのモジュールストップ EXMSTP (MSTPCR のビット 0 に対応) を P76 へ出力するかどうかを選択します。

ビット 6	説 明
P76STPOE	
0	P76 に EXMSTP を出力しない (初期値)
1	P76 に EXMSTP を出力する

ビット 5 : P75 への $\overline{\text{EXMS}}$ の出力イネーブル (P75MSOE)

外部モジュールへのモジュールセレクト $\overline{\text{EXMS}}$ (アドレス = H'FFFF40 ~ H'FFFF5F に対応) を P75 へ出力するかどうかを選択します。

ビット 5	説 明
P75MSOE	
0	P75 に $\overline{\text{EXMS}}$ を出力しない (初期値)
1	P75 に $\overline{\text{EXMS}}$ を出力する

ビット 4 : P74 への $\overline{\text{EXDTCE}}$ の出力イネーブル (P74DTCOE)

EXIRQ0 ~ F の入力に対する DTC 転送中であることを示す $\overline{\text{EXDTCE}}$ を P74 へ出力するかどうかを選択します。外部モジュールからの割り込み (EXIRQ0 ~ F) によりチップ内部の DTC に起動をかけたあと、外部モジュール側で DTC 転送により割り込み要求を自動的にクリアしたい場合などに、この信号は使用します。

ビット 4	説 明
P74 DTCOE	
0	P74 に $\overline{\text{EXDTCE}}$ を出力しない (初期値)
1	P74 に $\overline{\text{EXDTCE}}$ を出力する

ビット 3~0 : リザーブ

リード値は不定です。ライトするときは常に 0 をライトしてください。

6.10.6 モジュールストップコントロールレジスタ B (MSTPCRB)

ビット：	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRB は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPB0 ビットを 1 にセットすると、バスサイクルの終了時点で外部モジュール拡張機能は動作を停止してモジュールストップモードへ遷移します。詳細は、「17.5 モジュールストップモード」を参照してください。

MSTPCRB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0：モジュールストップ (MSTPB0)

外部モジュール拡張機能のモジュールストップモードを指定します。

ビット 0	説 明
MSTPB0	
0	外部モジュール拡張機能のモジュールストップモード解除
1	外部モジュール拡張機能のモジュールストップモード設定 (初期値)

6.10.7 基本タイミング

図 6.22 に外部モジュールエリア (H'FFFF40~H'FFFF5F) を、3 ステートアクセスで DTC データ転送したときのタイミングを示します。

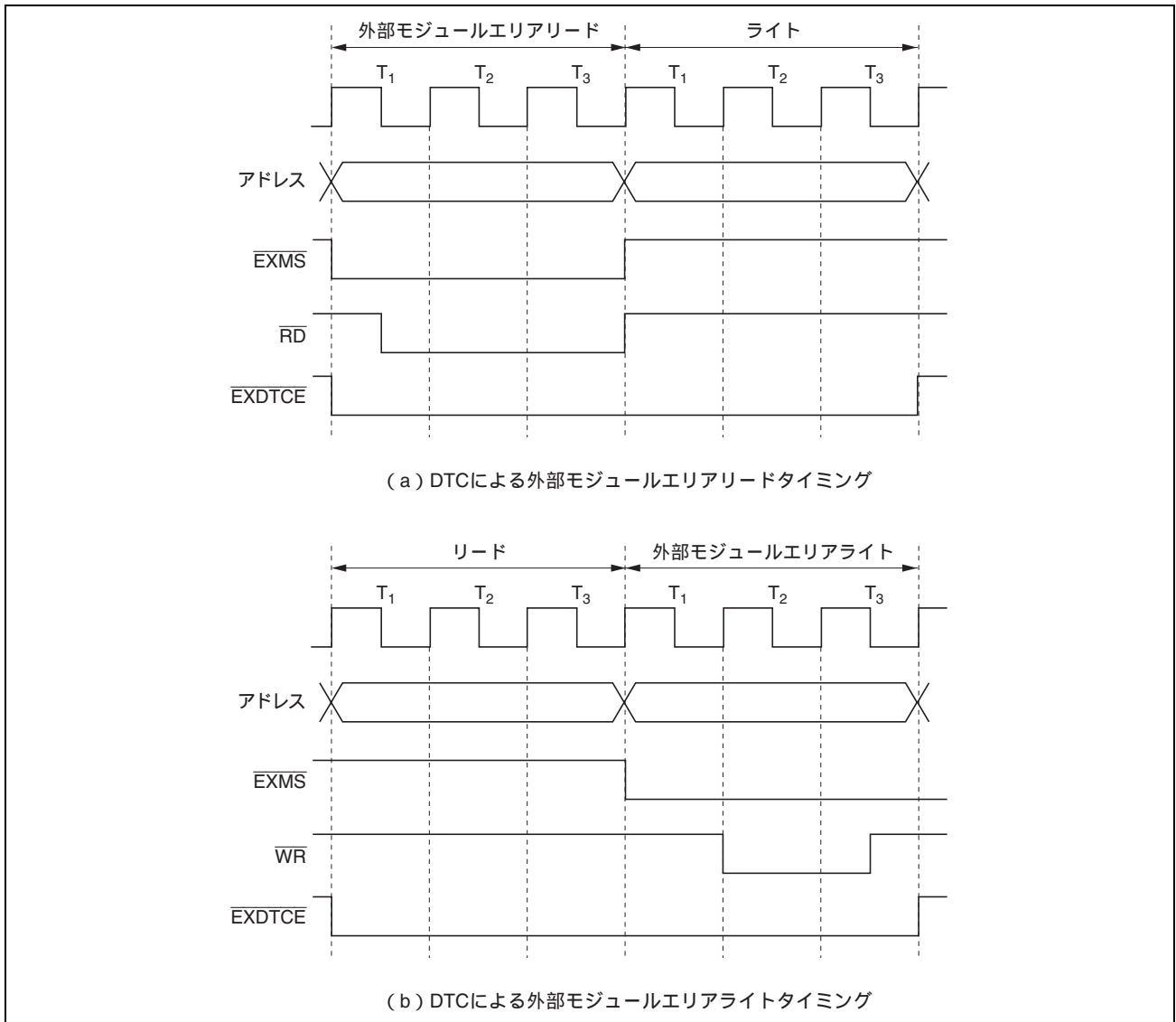


図 6.22 DTC による外部モジュールエリアアクセスタイミング

6.10.8 外部モジュール拡張機能使用上の注意事項

本 LSI が内蔵 ROM 有効拡張モード（モード 6）であるとき、アドレス：H'FFFF40～FFFF5F をアクセスした場合には以下の注意が必要です。

図 6.23 に内蔵 ROM 有効拡張モード（モード 6）のアドレスマップを示します。

外部モジュール接続用出力端子レジスタ（OPINSEL）の P75MSOE ビットを 1 に設定し、P75 を EXMS 出力イネーブルにしたとき、外部アドレス[3]（アドレス：H'FFFF40～FFFF5F）をアクセスすると EXMS は Low 出力となりますが、その後、内蔵 ROM、内蔵 RAM、内蔵 I/O レジスタをアクセスしてもこの Low 出力状態を保持してしまいます。

対策として、EXMS の出力は、外部アドレス[1]、[2]をアクセスすると High 出力になります。したがって、外部アドレス[3]をアクセスしたあとは必ず外部アドレス[1]、[2]の 1 バイトをダミーリードして EXMS を High にしてから内蔵 RAM や内蔵 I/O レジスタをアクセスしてください。

		EXMS出力状態
H'000000	内蔵ROM	前値保持
H'020000	外部アドレス[1]	High
H'FFB000	リザーブ領域	前値保持
H'FFC000	内蔵RAM	前値保持
H'FFEFC0	外部アドレス[2]	High
H'FFF800	内部I/Oレジスタ	前値保持
H'FFFF40	外部アドレス[3]	Low
H'FFFF60	内部I/Oレジスタ	前値保持
H'FFFFC0	内蔵RAM	前値保持
H'FFFFFF		

図 6.23 内蔵 ROM 有効拡張モード（モード 6）のアドレスマップ

7. DMA コントローラ (DMAC)

7.1 概要

H8S/2214 グループは、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

7.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

- 最大 4 チャンネルを使用可能
- デュアルアドレスモード動作
- デュアルアドレスモードでは転送元、転送先アドレスの一方を 24 ビット、他方を 16 ビットで指定
- デュアルアドレスモードに対し、シーケンシャルモード / アイドルモード / リピートモードの選択が可能

(2) フルアドレスモード

- 最大 2 チャンネルを使用可能
- 転送元、転送先アドレスを 24 ビットで指定
- ノーマルモード / ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト / ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- 16 ビットタイマパルスユニット (TPU) のコンペアマッチ / インพุットキャプチャ割り込み × 3
- シリアルコミュニケーションインタフェース (SCI0、SCI1) の送信完了割り込み、受信完了割り込み
- 外部リクエスト
- オートリクエスト

モジュールストップモードの設定可能

- 初期値では DMAC のレジスタのアクセスが可能。モジュールストップモードの設定で DMAC の動作は停止

7.1.2 ブロック図

DMACのブロック図を図7.1に示します。

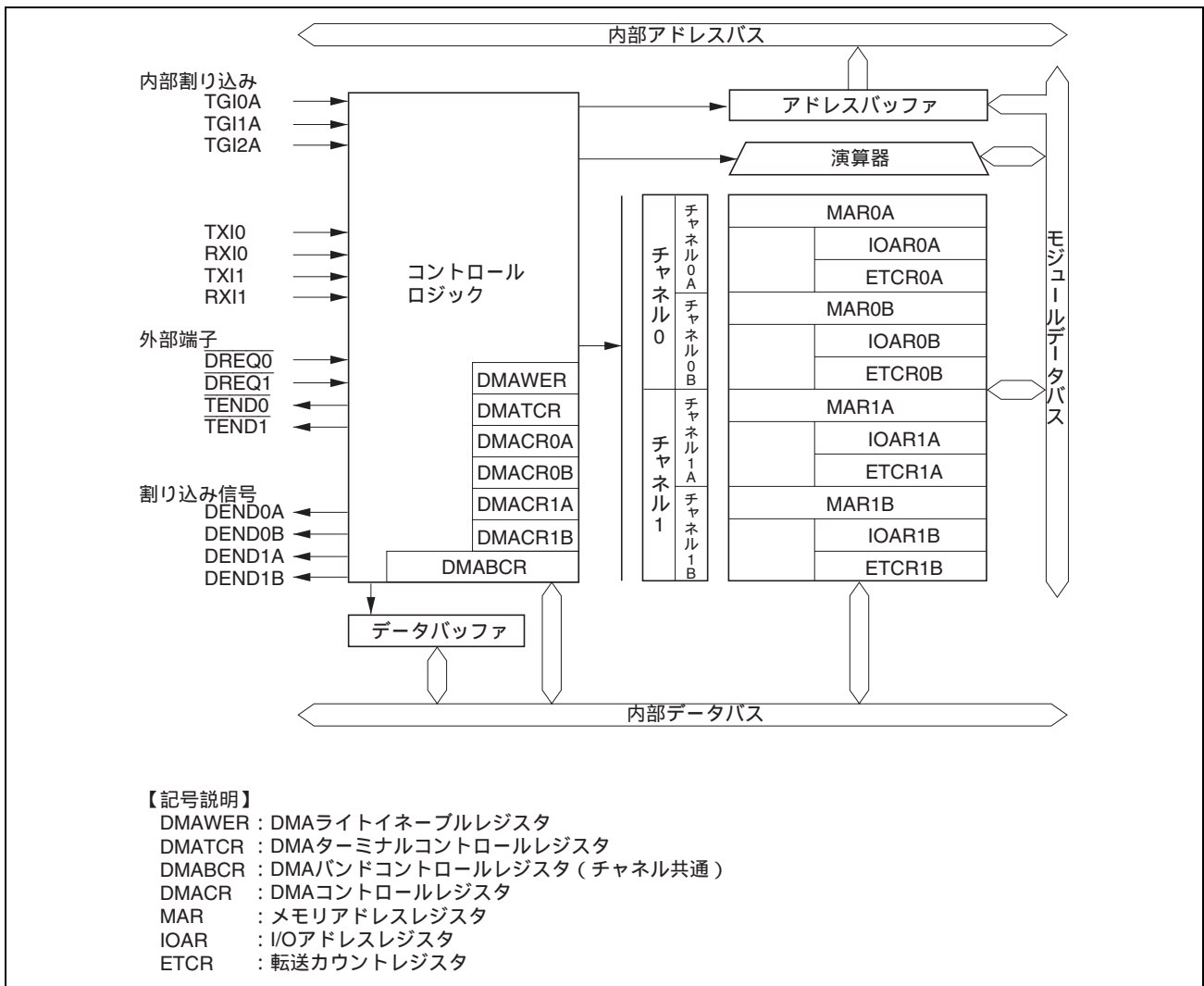


図 7.1 DMAC のブロック図

7.1.3 機能概要

DMAC のショートアドレスモード、フルアドレスモードの機能概要を表 7.1、表 7.2 にそれぞれ示します。

表 7.1 DMAC の機能概要 (ショートアドレスモード)

転送モード	転送要因	アドレスレジスタビット長		
		ソース	デスティネーション	
デュアルアドレスモード	<ul style="list-style-type: none"> (1) シーケンシャルモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 転送回数は 1 ~ 65536 (2) アイドルモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスは固定 転送回数は 1 ~ 65536 (3) リピートモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> TPU チャンネル 0 ~ 2 のコンペアマッチ / インプットキャプチャ A 割り込み SCI の送信完了割り込み SCI の受信完了割り込み 外部リクエスト 	24/16	16/24

表 7.2 DMAC の機能概要 (フルアドレスモード)

転送モード	転送要因	アドレスレジスタビット長	
		ソース	デスティネーション
(4) ノーマルモード オートリクエスト <ul style="list-style-type: none"> 転送要求を内部保持 指定回数 (1 ~ 65536) 継続して転送 バースト / サイクルスチール転送を選択可能 外部リクエスト <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> オートリクエスト 外部リクエスト 	24	24
(5) ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定したブロックサイズの転送を実行 転送回数は 1 ~ 65536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは 1 ~ 256 バイトまたはワード 	<ul style="list-style-type: none"> TPU チャンネル 0 ~ 2 のコンペアマッチ / インプットキャプチャ A 割り込み SCI の送信完了割り込み SCI の受信完了割り込み 外部リクエスト 	24	24

7.1.4 端子構成

DMAC の端子構成を表 7.3 に示します。

ショートアドレスモードでは、チャンネル A に対する外部リクエストによる転送、転送終了出力は行えません。

DREQ 端子を使用するときは、対応するポートを出力にしないでください。

TEND 端子は、端子ごとに対応するポートを TEND 端子として使用するかどうかをレジスタで設定できます。

表 7.3 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA リクエスト 0	<u>DREQ0</u>	入力	DMAC チャンネル 0 の外部リクエスト
	DMA 転送終了 0	<u>TEND0</u>	出力	DMAC チャンネル 0 の転送終了
1	DMA リクエスト 1	<u>DREQ1</u>	入力	DMAC チャンネル 1 の外部リクエスト
	DMA 転送終了 1	<u>TEND1</u>	出力	DMAC チャンネル 1 の転送終了

7. DMA コントローラ (DMAC)

7.1.5 レジスタ構成

DMAC のレジスタ構成を表 7.4 に示します。

表 7.4 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス*	バス幅
0	メモリアドレスレジスタ 0A	MAR0A	R/W	不定	H'FEE0	16 ビット
	I/O アドレスレジスタ 0A	IOAR0A	R/W	不定	H'FEE4	
	転送カウントレジスタ 0A	ETCR0A	R/W	不定	H'FEE6	
	メモリアドレスレジスタ 0B	MAR0B	R/W	不定	H'FEE8	
	I/O アドレスレジスタ 0B	IOAR0B	R/W	不定	H'FEEC	
	転送カウントレジスタ 0B	ETCR0B	R/W	不定	H'FEEE	
1	メモリアドレスレジスタ 1A	MAR1A	R/W	不定	H'FEF0	16 ビット
	I/O アドレスレジスタ 1A	IOAR1A	R/W	不定	H'FEF4	
	転送カウントレジスタ 1A	ETCR1A	R/W	不定	H'FEF6	
	メモリアドレスレジスタ 1B	MAR1B	R/W	不定	H'FEF8	
	I/O アドレスレジスタ 1B	IOAR1B	R/W	不定	H'FEFC	
	転送カウントレジスタ 1B	ETCR1B	R/W	不定	H'FEFE	
0、1	DMA ライトイネーブルレジスタ	DMAWER	R/W	H'00	H'FF60	8 ビット
	DMA ターミナルコントロールレジスタ	DMATCR	R/W	H'00	H'FF61	
	DMA コントロールレジスタ 0A	DMACR0A	R/W	H'00	H'FF62	16 ビット
	DMA コントロールレジスタ 0B	DMACR0B	R/W	H'00	H'FF63	
	DMA コントロールレジスタ 1A	DMACR1A	R/W	H'00	H'FF64	
	DMA コントロールレジスタ 1B	DMACR1B	R/W	H'00	H'FF65	
	DMA バンドコントロールレジスタ	DMABCR	R/W	H'0000	H'FF66	
	モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8	8 ビット

【注】 * アドレスは下位 16 ビットを示しています。

7.2 各レジスタの説明 (1) (ショートアドレスモード)

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 7.5 に示すように DMABCR の FAE ビットを 0 に設定して各チャンネルのショートアドレスモード転送を指定します。FAE1、FAE0 ビットにより、チャンネル 1、0 を独立してショートアドレス/フルアドレスモードの選択を行うことができます。

表 7.5 ショートアドレスモードとフルアドレスモード (1チャンネル分: チャンネル 0 の例)

FAE0	説明																										
0	<p>ショートアドレスモードを指定 (チャンネル A、B は独立して動作)</p> <table border="1" style="margin-left: 20px;"> <tr> <td rowspan="4" style="writing-mode: vertical-rl; text-orientation: upright;">チャンネル 0 A</td> <td colspan="2">MAR0A</td> <td>← 転送元 / 転送先アドレスを指定</td> </tr> <tr> <td colspan="2">IOAR0A</td> <td>← 転送先 / 転送元アドレスを指定</td> </tr> <tr> <td colspan="2">ETCR0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td colspan="2">DMACR0A</td> <td>← 転送サイズ、モード、起動要因等を指定</td> </tr> <tr> <td rowspan="4" style="writing-mode: vertical-rl; text-orientation: upright;">チャンネル 0 B</td> <td colspan="2">MAR0B</td> <td>← 転送元 / 転送先アドレスを指定</td> </tr> <tr> <td colspan="2">IOAR0B</td> <td>← 転送先 / 転送元アドレスを指定</td> </tr> <tr> <td colspan="2">ETCR0B</td> <td>← 転送回数を指定</td> </tr> <tr> <td colspan="2">DMACR0B</td> <td>← 転送サイズ、モード、起動要因等を指定</td> </tr> </table>	チャンネル 0 A	MAR0A		← 転送元 / 転送先アドレスを指定	IOAR0A		← 転送先 / 転送元アドレスを指定	ETCR0A		← 転送回数を指定	DMACR0A		← 転送サイズ、モード、起動要因等を指定	チャンネル 0 B	MAR0B		← 転送元 / 転送先アドレスを指定	IOAR0B		← 転送先 / 転送元アドレスを指定	ETCR0B		← 転送回数を指定	DMACR0B		← 転送サイズ、モード、起動要因等を指定
チャンネル 0 A	MAR0A		← 転送元 / 転送先アドレスを指定																								
	IOAR0A		← 転送先 / 転送元アドレスを指定																								
	ETCR0A		← 転送回数を指定																								
	DMACR0A		← 転送サイズ、モード、起動要因等を指定																								
チャンネル 0 B	MAR0B		← 転送元 / 転送先アドレスを指定																								
	IOAR0B		← 転送先 / 転送元アドレスを指定																								
	ETCR0B		← 転送回数を指定																								
	DMACR0B		← 転送サイズ、モード、起動要因等を指定																								
1	<p>フルアドレスモードを指定 (チャンネル A、B は組み合わせて動作)</p> <table border="1" style="margin-left: 20px;"> <tr> <td rowspan="8" style="writing-mode: vertical-rl; text-orientation: upright;">チャンネル 0</td> <td colspan="2">MAR0A</td> <td>← 転送元アドレスを指定</td> </tr> <tr> <td colspan="2">MAR0B</td> <td>← 転送先アドレスを指定</td> </tr> <tr> <td colspan="2">IOAR0A</td> <td>← 未使用</td> </tr> <tr> <td colspan="2">IOAR0B</td> <td>← 未使用</td> </tr> <tr> <td colspan="2">ETCR0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td colspan="2">ETCR0B</td> <td>← 転送回数を指定 (ブロック転送モード時のみ使用)</td> </tr> <tr> <td>DMACR0A</td> <td>DMACR0B</td> <td>← 転送サイズ、モード、起動要因などを指定</td> </tr> </table>	チャンネル 0	MAR0A		← 転送元アドレスを指定	MAR0B		← 転送先アドレスを指定	IOAR0A		← 未使用	IOAR0B		← 未使用	ETCR0A		← 転送回数を指定	ETCR0B		← 転送回数を指定 (ブロック転送モード時のみ使用)	DMACR0A	DMACR0B	← 転送サイズ、モード、起動要因などを指定				
チャンネル 0	MAR0A		← 転送元アドレスを指定																								
	MAR0B		← 転送先アドレスを指定																								
	IOAR0A		← 未使用																								
	IOAR0B		← 未使用																								
	ETCR0A		← 転送回数を指定																								
	ETCR0B		← 転送回数を指定 (ブロック転送モード時のみ使用)																								
	DMACR0A		DMACR0B	← 転送サイズ、モード、起動要因などを指定																							

7.2.1 メモリアドレスレジスタ (MAR)

ビット :	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																
MAR :	<table border="1" style="width: 100%; height: 15px; border-collapse: collapse;"> <tr> <td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td> </tr> </table>																
初期値 :	0 0 0 0 0 0 0 0 0 * * * * * * *																
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W R/W																
ビット :	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
MAR :	<table border="1" style="width: 100%; height: 15px; border-collapse: collapse;"> <tr> <td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td><td style="width: 20px;"></td> </tr> </table>																
初期値 :	* * * * * * * * * * * * * * *																
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																

* : 不定

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。

MAR の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新していきます。詳細は、「7.2.4 DMA コントロールレジスタ (DMACR)」を参照してください。

MAR はリセットまたはスタンバイモード時に初期化されません。

7.2.2 I/O アドレスレジスタ (IOAR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 不定

IOAR は 16 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスの下位 16 ビットを指定します。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。

IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

シングルアドレスモードでは IOAR は無効です。

IOAR は転送のたびにインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

7.2.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定します。このレジスタは、シーケンシャルモードおよびアイドルモードと、リピートモードとでは設定が異なります。

(1) シーケンシャルモードおよびアイドルモード

転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 不定

シーケンシャルモードとアイドルモードでは、ETCR は 16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になると DMABCR の DTE ビットをクリアし、転送を終了します。

(2) リピートモード

転送回数保持

ビット :	15	14	13	12	11	10	9	8
ETCRH:								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

転送カウンタ

ビット :	7	6	5	4	3	2	1	0
ETCRL:								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 不定

リピートモードでは、ETCR は 8 ビットの転送カウンタ (1 ~ 256) ETCRL と転送回数保持レジスタ ETCRH として機能します。1 回の転送を行うたびに ETCRL は 1 だけデクリメントされ、H'00 になると、ETCRH の値をロードします。このとき、MAR は転送を開始したときの値に自動的に戻ります。

DMABCR の DTE ビットはクリアされません。このため、DTE ビットがユーザによりクリアされるまで、繰り返し転送が行えます。

ETCR はリセットまたはスタンバイモード時に初期化されません。

7.2.4 DMA コントロールレジスタ (DMACR)

ビット :	7	6	5	4	3	2	1	0
DMACR :	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMACR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。
DMACR は、リセットまたはスタンバイモード時に H'00 に初期化されます。

ビット 7: データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 7	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット 6: データトランスインクリメント/デクリメント (DTID)

シーケンシャルモードまたはリピートモードの場合、データ転送ごとの MAR のインクリメント/デクリメントを選択します。

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

ビット 6	説明
DTID	
0	データ転送後 MAR をインクリメント (初期値) (1) DTSZ=0 のとき、転送後 MAR を +1 (2) DTSZ=1 のとき、転送後 MAR を +2
1	データ転送後 MAR をデクリメント (1) DTSZ=0 のとき、転送後 MAR を -1 (2) DTSZ=1 のとき、転送後 MAR を -2

ビット 5: リピートイネーブル (RPE)

DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのうち、どのモードで転送するかを選択します。

ビット 5	DMABCR	説明
RPE	DTIE	
0	0	シーケンシャルモードで転送 (転送終了割り込みなし) (初期値)
	1	シーケンシャルモードで転送 (転送終了割り込みあり)
1	0	リピートモードで転送 (転送終了割り込みなし)
	1	アイドルモードで転送 (転送終了割り込みあり)

シーケンシャルモード、アイドルモード、リピートモードの動作については、「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照してください。

7. DMA コントローラ (DMAC)

ビット 4 : データトランスファディレクション (DTDIR)

データ転送の方向 (ソース、デスティネーション) を指定します。

ビット 4	説 明
DTDIR	
0	MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送 (初期値)
1	IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送

ビット 3~0 : データトランスファファクタ (DTF3~DTF0)

データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部起動要因が異なります。

チャンネル A

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
DTF3	DTF2	DTF1	DTF0		
0	0	0	0	- (初期値)	
			1	-	
		1	0	-	
			1	-	
	1	0	0	0	SCI チャンネル 0 の送信完了割り込みで起動
			1	1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	0	SCI チャンネル 1 の送信完了割り込みで起動
			1	1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動	
			1	1	TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	0	TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	1	-
	1	0	0	0	-
			1	1	-
		1	0	0	-
			1	1	-

チャンネル B

ビット 3	ビット 2	ビット 1	ビット 0	説 明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	-
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*
			1	DREQ 端子の Low レベル入力で起動
	1	0	0	SCI チャンネル 0 の送信完了割り込みで起動
			1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	SCI チャンネル 1 の送信完了割り込みで起動
			1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	-
	1	0	0	-
			1	-
		1	0	-
			1	-

【注】 * 転送許可後の最初の転送は Low レベルで検出します。

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.13 DMAC 複数チャンネルの動作」を参照してください。

7.2.5 DMA バンドコントロールレジスタ (DMABCR)

ビット	15	14	13	12	11	10	9	8
DMABCRH :	F AE1	F AE0	-	-	D TA1B	D TA1A	D TA0B	D TA0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
DMABCR L :	D TE1B	D TE1A	D TE0B	D TE0A	D TIE1B	D TIE1A	D TIE0B	D TIE0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMABCR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。DMABCR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット 15 : フルアドレスイネーブル 1 (FAE1)

チャンネル 1 をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定するビットです。

ビット 15	説明
F AE1	
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ショートアドレスモードでは、チャンネル 1A、1B は、それぞれ独立したチャンネルとして使用できます。

ビット 14 : フルアドレスイネーブル 0 (FAE0)

チャンネル 0 をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定するビットです。

ビット 14	説明
F AE0	
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ショートアドレスモードでは、チャンネル 0A、0B は、それぞれ独立したチャンネルとして使用できます。

ビット 13、12 : リザーブビット

リザーブビットです。0 のみライト可能です。1 をライトした場合、誤動作します。

ビット 11~8 : データトランスファアクノレッジ (DTA)

データトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。

DTE=1 のとき DTA=1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。DTE=1、DTA=1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU および DTC に割り込みを要求しません。

DTE=1 のとき DTA=0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合は、CPU または DTC 転送で割り込み要因をクリアしてください。

DTE=0 の状態では DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは、CPU または DTC に割り込みを要求します。

ビット 11 : データトランスファアクノレッジ 1B (DTA1B)

チャンネル 1B のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 11	説 明	
DTA1B		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

ビット 10 : データトランスファアクノレッジ 1A (DTA1A)

チャンネル 1A のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 10	説 明	
DTA1A		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

ビット 9 : データトランスファアクノレッジ 0B (DTA0B)

チャンネル 0B のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 9	説 明	
DTA0B		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

ビット 8 : データトランスファアクノレッジ 0A (DTA0A)

チャンネル 0A のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 8	説 明	
DTA0A		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

ビット 7~4 : データトランスファイネーブル (DTE)

DTE ビット=0 の状態はデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTE=0 のときに DTIE=1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

DTE=0 となる条件 :

- 初期化されたとき
- リピートモードを除いた転送モードで、指定された回数分の転送を終了したとき
- 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき

DTE=1 の状態はデータ転送許可の状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。

DTE=1 となる条件 :

- DTE=0 をリード後、DTE=1 をライトしたとき

7. DMA コントローラ (DMAC)

ビット7: データトランスファイネーブル 1B (DTE1B)

チャンネル 1B のデータ転送を許可または禁止するビットです。

ビット7	説明
DTE1B	
0	データ転送を禁止 (初期値)
1	データ転送を許可

ビット6: データトランスファイネーブル 1A (DTE1A)

チャンネル 1A のデータ転送を許可または禁止するビットです。

ビット6	説明
DTE1A	
0	データ転送を禁止 (初期値)
1	データ転送を許可

ビット5: データトランスファイネーブル 0B (DTE0B)

チャンネル 0B のデータ転送を許可または禁止するビットです。

ビット5	説明
DTE0B	
0	データ転送を禁止 (初期値)
1	データ転送を許可

ビット4: データトランスファイネーブル 0A (DTE0A)

チャンネル 0A のデータ転送を許可または禁止するビットです。

ビット4	説明
DTE0A	
0	データ転送を禁止 (初期値)
1	データ転送を許可

ビット3~0: データトランスファエンドインタラプトイネーブル (DTIE)

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE=0 のときに DTIE=1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

ビット3: データトランスファインタラプトイネーブル 1B (DTIE1B)

チャンネル 1B の転送終了割り込みを許可または禁止するビットです。

ビット3	説明
DTIE1B	
0	転送終了割り込みを禁止 (初期値)
1	転送終了割り込みを許可

ビット2: データトランスファインタラプトイネーブル1A (DTIE1A)

チャンネル1Aの転送終了割り込みを許可または禁止するビットです。

ビット2	説 明	
DTIE1A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

ビット1: データトランスファインタラプトイネーブル0B (DTIE0B)

チャンネル0Bの転送終了割り込みを許可または禁止するビットです。

ビット1	説 明	
DTIE0B		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

ビット0: データトランスファインタラプトイネーブル0A (DTIE0A)

チャンネル0Aの転送終了割り込みを許可または禁止するビットです。

ビット0	説 明	
DTIE0A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

7.3 各レジスタの説明 (2) (フルアドレスモード)

フルアドレスモード転送は、チャンネル A、B を組み合わせて行います。フルアドレスモード転送の設定については、表 7.5 を参照してください。

7.3.1 メモリアドレスレジスタ (MAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAR :																
初期値 :	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W :									R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 不定

MAR は 32 ビットのリード/ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 2 本の 16 ビットレジスタ MARH、MARL により構成されています。MARH の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

MAR はリセットまたはスタンバイモード時に初期化されません。

7.3.2 I/O アドレスレジスタ (IOAR)

IOAR はフルアドレスモード転送では使用しません。

7.3.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定しますが、ノーマルモードとブロック転送モードとでは機能が異なります。

ETCR はリセットまたはスタンバイモード時に初期化されません。

(1) ノーマルモード

(a) ETCRA

転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCRA :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 不定

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

(b) ETCRB

ETCRB はノーマルモードでは使用しません。

(2) ブロック転送モード

(a) ETCRA

ブロックサイズ保持

ビット	:	15	14	13	12	11	10	9	8
ETCRAH	:	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値	:	*	*	*	*	*	*	*	*
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブロックサイズカウンタ

ビット	:	7	6	5	4	3	2	1	0
ETCRAL	:	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値	:	*	*	*	*	*	*	*	*
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*: 不定

(b) ETCRB

ブロック転送カウンタ

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCRB	:	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値	:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブロック転送モードでは、ETCRAL は 8 ビットのブロックサイズカウンタとして機能し、ETCRAH はブロックサイズを保持します。ETCRAL は 1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAH の値がロードされます。したがって、ETCRAH、ETCRAL にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、H'0000 になると転送を終了します。

7.3.4 DMA コントロールレジスタ (DMACR)

DMACR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。フルアドレスモードでは、DMACRA と DMACRB で機能が異なります。

DMACR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

(1) DMACRA

ビット	:	15	14	13	12	11	10	9	8
DMACRA	:	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) DMACRB

ビット	:	7	6	5	4	3	2	1	0
DMACRB	:	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7. DMA コントローラ (DMAC)

ビット 15 : データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 15	説 明	
DTSZ		
0	バイトサイズ転送	(初期値)
1	ワードサイズ転送	

ビット 14 : ソースアドレスインクリメント/デクリメント (SAID)

ビット 13 : ソースアドレスインクリメント/デクリメントイネーブル (SAIDE)

データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 14	ビット 13	説 明	
SAID	SAIDE		
0	0	MARA 固定	(初期値)
	1	データ転送後、MARA をインクリメント (1) DTSZ=0 のとき、転送後 MARA を +1 (2) DTSZ=1 のとき、転送後 MARA を +2	
1	0	MARA 固定	
	1	データ転送後、MARA をデクリメント (1) DTSZ=0 のとき、転送後 MARA を -1 (2) DTSZ=1 のとき、転送後 MARA を -2	

ビット 12 : ブロックディレクション (BLKDIR)

ビット 11 : ブロックイネーブル (BLKE)

ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE で指定します。また、ブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR で指定します。

ビット 12	ビット 11	説 明	
BLKDIR	BLKE		
0	0	ノーマルモードで転送	(初期値)
	1	ブロック転送モードで転送、ブロックエリアはデスティネーション側	
1	0	ノーマルモードで転送	
	1	ブロック転送モードで転送、ブロックエリアはソース側	

ノーマルモード、ブロック転送モードの動作については、「7.5 動作説明」を参照してください。

ビット 10~7 : リザーブビット

リード/ライト可能ですが、0 をライトしてください。

ビット6: デスティネーションアドレスインクリメント/デクリメント (DAID)

ビット5: デスティネーションアドレスインクリメント/デクリメントイネーブル (DAIDE)

データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット6	ビット5	説明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後、MARB をインクリメント (1) DTSZ=0 のとき、転送後 MARB を +1 (2) DTSZ=1 のとき、転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2

ビット4: リザーブビット

リード/ライト可能ですが、0 をライトしてください。

ビット3~0: データトランスファファクタ (DTF3~DTF0)

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードとでは指定できる起動要因が異なります。

ノーマルモード

ビット3	ビット2	ビット1	ビット0	説明	
DTF3	DTF2	DTF1	DTF0		
0	0	0	0	- (初期値)	
			1	-	
	1	0	1	0	DREQ 端子の立ち下がりエッジ入力で起動
			1	1	DREQ 端子の Low レベル入力で起動
		1	0	*	-
			1	0	オートリクエスト (サイクルスチール)
		1	1	オートリクエスト (バースト)	
1	*	*	*	-	

【記号説明】

*: Don't care

7. DMA コントローラ (DMAC)

ブロック転送モード

ビット3	ビット2	ビット1	ビット0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	-
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*
			1	DREQ 端子の Low レベル入力で起動
	1	0	0	SCI チャンネル 0 の送信完了割り込みで起動
			1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	SCI チャンネル 1 の送信完了割り込みで起動
			1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	-
	1	0	0	-
			1	-
		1	0	-
			1	-

【注】 * 転送許可後の最初の転送は Low レベルで検出します。

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.10 DMAC 複数チャンネルの動作」を参照してください。

7.3.5 DMA バンドコントロールレジスタ (DMABCR)

ビット	15	14	13	12	11	10	9	8
DMABCRH :	FAE1	FAE0	-	-	DTA1B	DTA1A	DTA0B	DTA0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
DMABCR L :	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMABCR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。DMABCR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット 15 : フルアドレスイネーブル 1 (FAE1)

チャンネル 1 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 1A、1B を、組み合わせてチャンネル 1 として使用できます。

ビット 15	説明
FAE1	
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ビット 14 : フルアドレスイネーブル 0 (FAE0)

チャンネル 0 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 0A、0B を、組み合わせてチャンネル 0 として使用できます。

ビット 14	説明
FAE0	
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ビット 13、12 : リザーブビット

リザーブビットです。0 のみライト可能です。1 をライトした場合、誤動作します。

ビット 11、9 : データトランスファアクノレッジ (DTA)

データトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。

DTE=1 のとき DTA=1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。DTE=1、DTA=1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU および DTC に割り込みを要求しません。

DTE=1 のとき DTA=0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合は、CPU または DTC 転送で割り込み要因をクリアしてください。

DTE=0 の状態では、DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは CPU または DTC に割り込みを要求します。

DTME ビットの状態は、前述の動作に影響を与えません。

7. DMA コントローラ (DMAC)

ビット 11 : データトランスファアクノレッジ 1 (DTA1B)

チャンネル 1 のデータトランスファファクタによって選択されている、内部割り込み要因の DMA 転送時のクリアを、許可または禁止するビットです。

ビット 11	説明
DTA1	
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止 (初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可

ビット 9 : データトランスファアクノレッジ 0 (DTA0B)

チャンネル 0 のデータトランスファファクタによって選択されている、内部割り込み要因の DMA 転送時のクリアを、許可または禁止するビットです。

ビット 9	説明
DTA0	
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止 (初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可

ビット 10、8 : リザーブビット (DTA1A、DTA0A)

フルアドレスモード時はリザーブビットです。リード/ライト可能ですが、0 をライトしてください。

ビット 7、5 : データトランスファマスタイネーブル (DTME)

DTE ビットとともに当該チャンネルのデータ転送の許可または禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャンネルは転送許可状態となります。

NMI 割り込みが発生したとき、当該チャンネルがバーストモード転送中である場合には DTME ビットがクリアされ、転送を中断して CPU にバス権を移します。その後、DTME ビットを 1 にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI 割り込みにより DTME ビットがクリアされることはなく、転送を中断することはありません。

DTME ビット = 0 となる条件 :

- 初期化されたとき
- バーストモードで NMI が入力されたとき
- DTME ビットに 0 をライトしたとき

DTME ビット = 1 となる条件 :

- DTME ビット = 0 をリード後、DTME ビットに 1 をライトしたとき

ビット 7 : データトランスファマスタイネーブル 1 (DTME1)

チャンネル 1 のデータ転送を許可または禁止するビットです。

ビット 7	説明
DTME1	
0	データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア (初期値)
1	データ転送許可

ビット 5 : データトランスファマスタイネーブル 0 (DTME0)

チャンネル 0 のデータ転送を許可または禁止するビットです。

ビット 5	説明
DTME0	
0	データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア (初期値)
1	データ転送許可

ビット 6、4 : データトランスファイネーブル (DTE)

DTE = 0 のときはデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。

DTE = 0 となる条件 :

- 初期化されたとき
- 指定された回数分の転送を終了したとき
- 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき

DTE = 1 かつ DTME = 1 のときはデータ転送許可状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。

DTE = 1 となる条件 :

- DTE = 0 をリード後、DTE ビットに 1 をライトしたとき

ビット 6 : データトランスファイネーブル 1 (DTE1)

チャンネル 1 のデータ転送を許可または禁止するビットです。

ビット 6	説明
DTE1	
0	データ転送を禁止 (初期値)
1	データ転送を許可

ビット 4 : データトランスファイネーブル 0 (DTE0)

チャンネル 0 のデータ転送を許可または禁止するビットです。

ビット 4	説明
DTE0	
0	データ転送を禁止 (初期値)
1	データ転送を許可

ビット 3、1 : データトランスファインタラプトイネーブル B (DTIEB)

転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTME = 0 のときに DTIEB = 1 となっていると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。

転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIEB ビットを 0 にクリアする方法と、DTME ビットを 1 にセットして転送継続の処理を行う方法があります。

ビット 3 : データトランスファインタラプトイネーブル 1B (DTIE1B)

チャンネル 1 の転送中断割り込みを許可または禁止するビットです。

ビット 3	説明
DTIE1B	
0	転送中断割り込みを禁止 (初期値)
1	転送中断割り込みを許可

ビット 1 : データトランスファインタラプトイネーブル 0B (DTIE0B)

チャンネル 0 の転送中断割り込みを許可または禁止するビットです。

ビット 1	説明
DTIE0B	
0	転送中断割り込みを禁止 (初期値)
1	転送中断割り込みを許可

7. DMA コントローラ (DMAC)

ビット 2、0 : データトランスファエンドインタラプトイネーブル A (DTIEA)

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIEA = 1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIEA ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

ビット 2 : データトランスファインタラプトイネーブル 1A (DTIE1A)

チャンネル 1 の転送終了割り込みを許可または禁止するビットです。

ビット 2	説明
DTIE1A	
0	転送終了割り込みを禁止 (初期値)
1	転送終了割り込みを許可

ビット 0 : データトランスファインタラプトイネーブル 0A (DTIE0A)

チャンネル 0 の転送終了割り込みを許可または禁止するビットです。

ビット 0	説明
DTIE0A	
0	転送中断割り込みを禁止 (初期値)
1	転送中断割り込みを許可

7.4 各レジスタの説明 (3)

7.4.1 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェーン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることのないように、特定チャンネルの DMACR ならびに DMATCR、DMABCR の特定ビットを変更できるように制限するものです。DMAWER による制限は、DTC に対し有効です。

図 7.2 にチャンネル 0A の転送終了割り込みにより DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送によりアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェーン転送によりコントロールレジスタの領域を再設定します。

コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクを行ってください。

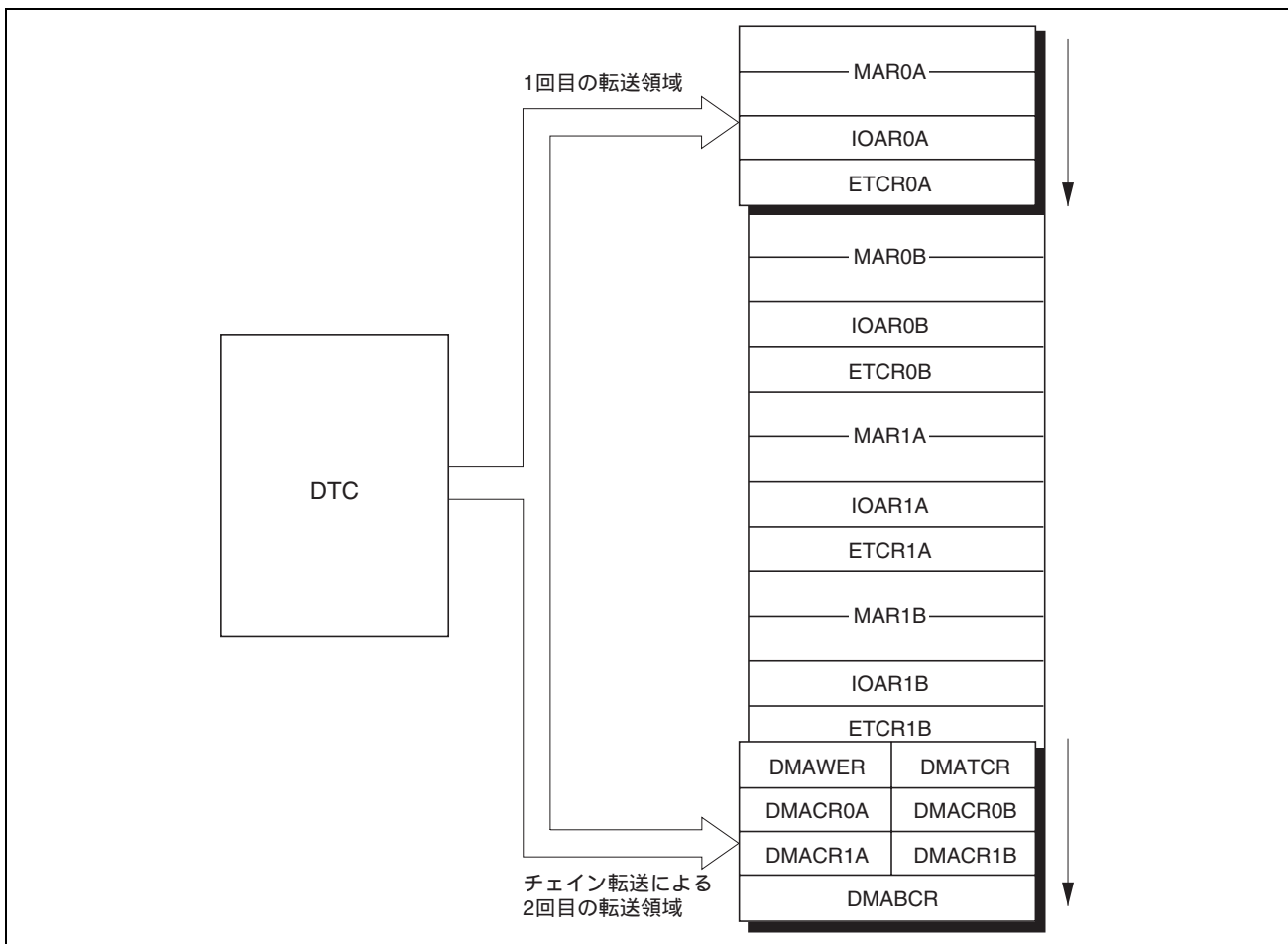


図 7.2 DTC によるレジスタ再設定領域 (例：チャンネル 0A)

7. DMA コントローラ (DMAC)

ビット	7	6	5	4	3	2	1	0
DMAWER					WE1B	WE1A	WE0B	WE0A
初期値	0	0	0	0	0	0	0	0
R/W					R/W	R/W	R/W	R/W

DMAWER は 8 ビットのリード/ライト可能なレジスタで、DTC に対し、DMACR、DMABCR、DMATCR へのライトの許可または禁止を制御します。

DMAWER は、リセットまたはスタンバイモード時に H'00 に初期化されます。

ビット 7~4: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3: ライトイネーブル 1B (WE1B)

DTC に対し、DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。

ビット 3	説明
WE1B	
0	DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを禁止 (初期値)
1	DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可

ビット 2: ライトイネーブル 1A (WE1A)

DTC に対し、DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。

ビット 2	説明
WE1A	
0	DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを禁止 (初期値)
1	DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可

ビット 1: ライトイネーブル 0B (WE0B)

DTC に対し、DMACR0B のすべてのビットと DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可または禁止するビットです。

ビット 1	説明
WE0B	
0	DMACR0B のすべてのビットと DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを禁止 (初期値)
1	DMACR0B のすべてのビットと DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可

ビット 0: ライトイネーブル 0A (WE0A)

DTC に対し、DMACR0A のすべてのビットと DMABCR のビット 8、4、0 へのライトを許可または禁止するビットです。

ビット 0	説明
WE0A	
0	DMACR0A のすべてのビットと DMABCR のビット 8、4、0 へのライトを禁止 (初期値)
1	DMACR0A のすべてのビットと DMABCR のビット 8、4、0 へのライトを許可

DMAWER の設定にかかわらず、DTC による DMABCR のビット 15~12 (FAE、SAE) へのライトは無効です。これらのビットを変更する場合は CPU による処理で行ってください。

DTC による DMABCR のビット 7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることが可能になります。フルアドレスモードに設定されているチャンネルの再起動は、再起動しようとするチャンネルのライトイネーブル A

とライトイネーブル B とともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定にかかわらず常にライト可能です。これらのレジスタの変更は、変更しようとするチャンネルが停止している状態で行ってください。

7.4.2 DMA ターミナルコントロールレジスタ (DMATCR)

ビット	7	6	5	4	3	2	1	0
DMATCR			TEE1	TEE0				
初期値	0	0	0	0	0	0	0	0
R/W			R/W	R/W				

DMATCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。

DMATCR は、リセットまたはスタンバイモード時に H'00 に初期化されます。

ビット 7、6：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5：転送終了端子イネーブル 1 (TEE1)

転送終了端子 1 ($\overline{TEND1}$) の出力を許可または禁止するビットです。

ビット 5	説明
TEE1	
0	$\overline{TEND1}$ 端子出力を禁止 (初期値)
1	$\overline{TEND1}$ 端子出力を許可

ビット 4：転送終了端子イネーブル 0 (TEE0)

転送終了端子 0 ($\overline{TEND0}$) の出力を許可または禁止するビットです。

ビット 4	説明
TEE0	
0	$\overline{TEND0}$ 端子出力を禁止 (初期値)
1	$\overline{TEND0}$ 端子出力を許可

\overline{TEND} 端子は、ショートアドレスモードではチャンネル B のみに割り当てられています。

転送終了信号は、転送要因によらず、転送カウンタが 0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが 0 になった転送サイクルを示しています。

ビット 3~0：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

7.4.3 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット:	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値:	0	0	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA7 ビットを 1 にセットすると、バスサイクルの終了時点で DMAC は動作を停止してモジュールストップモードへ遷移します。詳細は、「17.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット 7: モジュールストップ (MSTPA7)

DMAC のモジュールストップモードを指定します。

ビット 7	説明
MSTPA7	
0	DMAC のモジュールストップモード解除 (初期値)
1	DMAC のモジュールストップモード設定

7.5 動作説明

7.5.1 転送モード

DMAC のモード一覧を表 7.6 に示します。

表 7.6 DMAC の転送モード

転送モード		転送要因	備考	
ショート アドレス モード	デュアル アドレス モード	(1) シーケンシャルモード (2) アイドルモード (3) リピートモード	<ul style="list-style-type: none"> TPU チャンネル 0~2 のコンペアマッチ/インプットキャプチャ A 割り込み SCI の送信完了割り込み SCI の受信完了割り込み 外部リクエスト 	<ul style="list-style-type: none"> 最大 4 チャンネルを独立に動作可能 外部リクエストはチャンネル B のみ可能
フル アドレス モード		(4) ノーマルモード (5) ブロック転送モード	<ul style="list-style-type: none"> 外部リクエスト オートリクエスト TPU チャンネル 0~2 のコンペアマッチ/インプットキャプチャ A 割り込み SCI の送信完了割り込み SCI の受信完了割り込み 外部リクエスト 	<ul style="list-style-type: none"> チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能 オートリクエストでは、バーストモード転送/サイクルスチール転送の選択可能

各モードの動作概要を以下に示します。

(1) シーケンシャルモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU または DTC に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送方向はプログラマブルです。

(2) アイドルモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU または DTC に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送元および転送先アドレスは固定になります。転送方向はプログラマブルです。

(3) リピートモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU または DTC に対して割り込みは要求しません。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送方向はプログラマブルです。

(4) ノーマルモード

(a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード : 1 バイトまたはワード転送ごとにバスを他のバスマスタに解放します。
- バーストモード : 指定された転送が完了するまでバスを占有して転送を行います。

(b) 外部リクエスト

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると、CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。



(5) ブロック転送モード

1 回の転送要求に対して指定されたブロックサイズのブロック転送を行います。これを転送要求のたびに、指定された回数だけ繰り返します。1 回のブロック転送が終了するたびに、一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると、CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

7.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCR で指定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。シーケンシャルモード時のレジスタの機能を表 7.7 に示します。

表 7.7 シーケンシャルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

【記号説明】

MAR : メモリアドレスレジスタ
 IOAR : I/O アドレスレジスタ
 ETCR : 転送カウンタレジスタ
 DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 を、インクリメント/デクリメントします。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

シーケンシャルモードの動作を図 7.3 に示します。

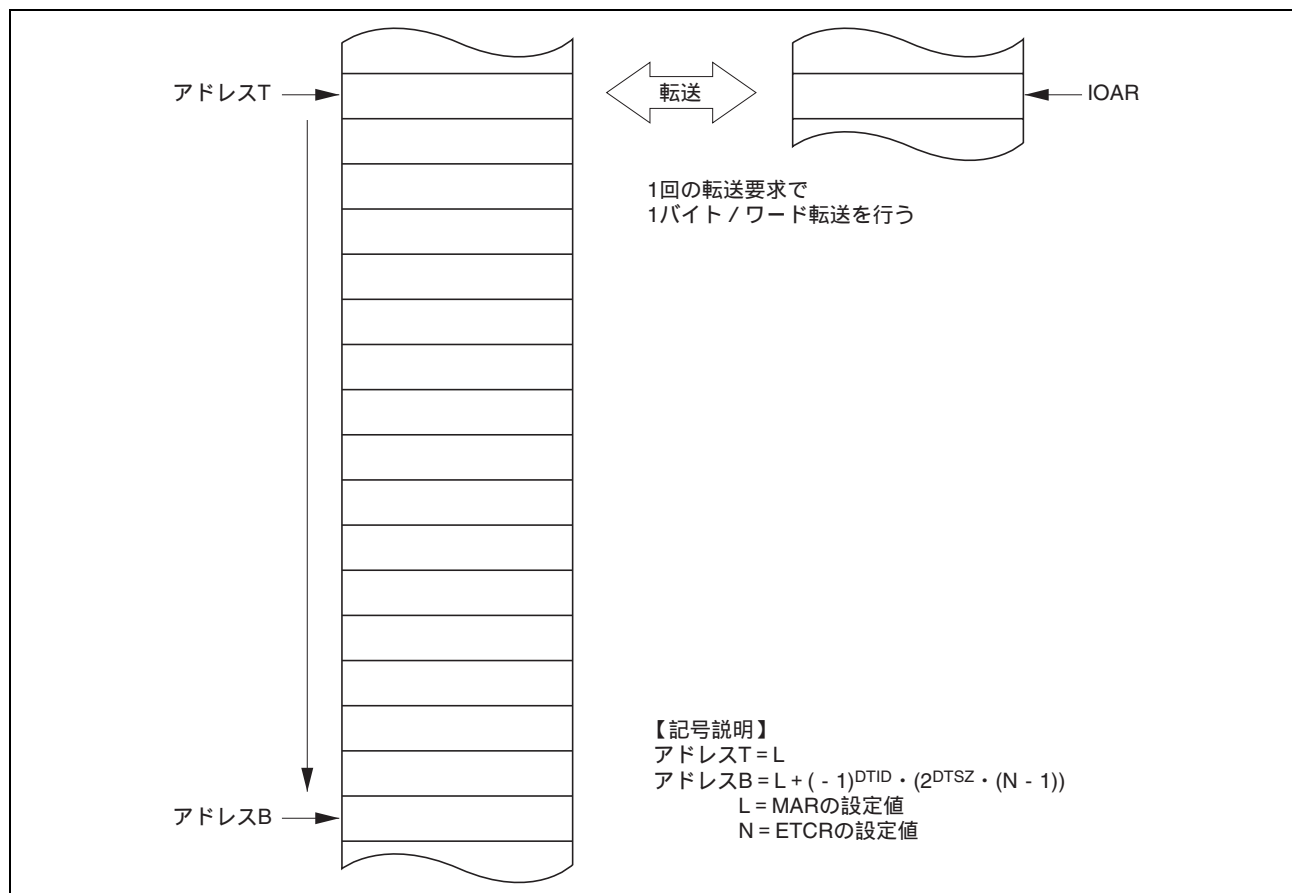


図 7.3 シーケンシャルモードの動作

7. DMA コントローラ (DMAC)

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求 (起動要因) には、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

シーケンシャルモードの設定手順例を図 7.4 に示します。

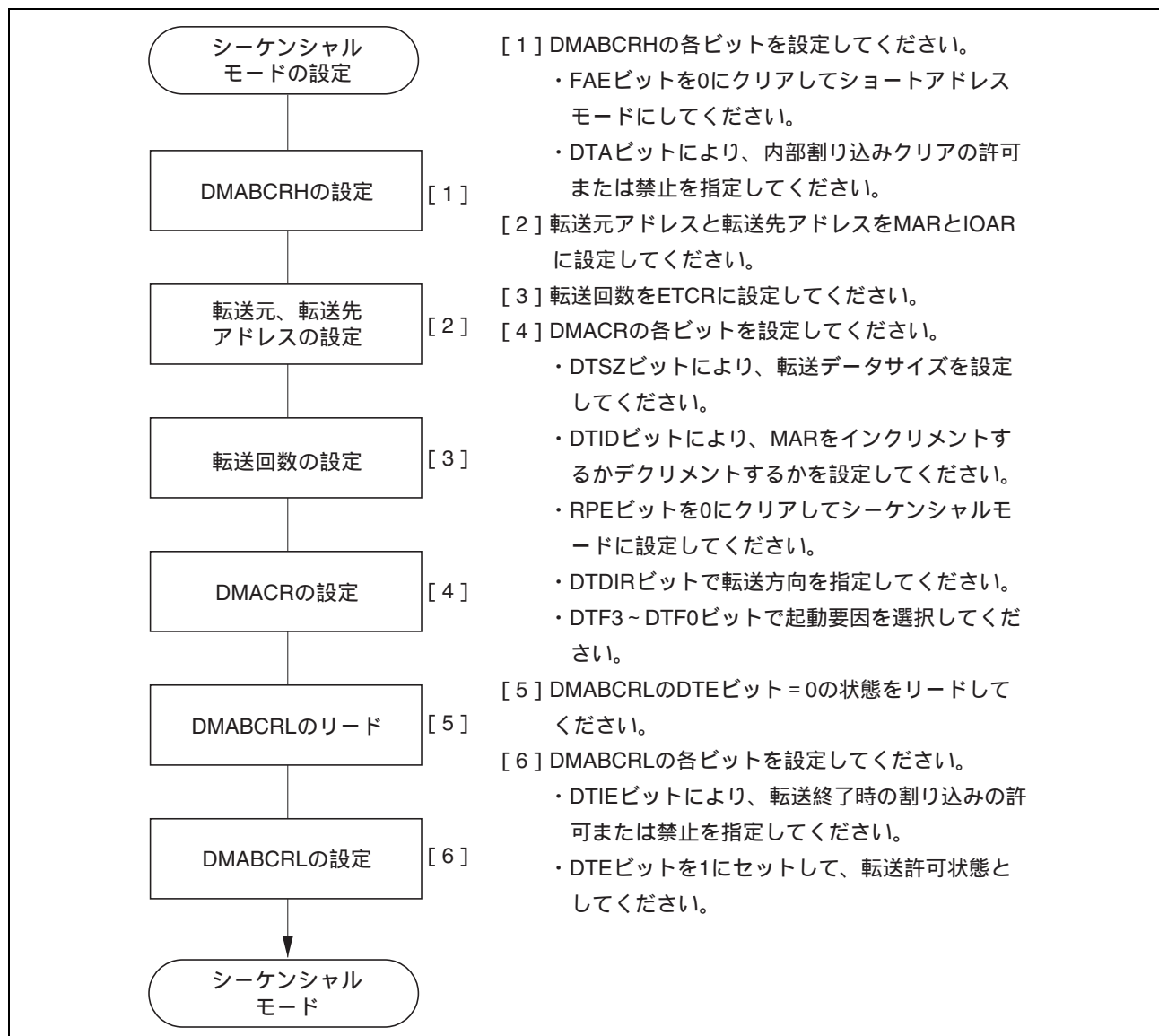





図 7.4 シーケンシャルモードの設定手順例

7.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送、これを ETCR で指定した回数だけ実行します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。アイドルモード時のレジスタの機能を表 7.8 に示します。

表 7.8 アイドルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR=0	DTDIR=1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のためにインクリメントもデクリメントもされません。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

アイドルモードの動作を図 7.5 に示します。

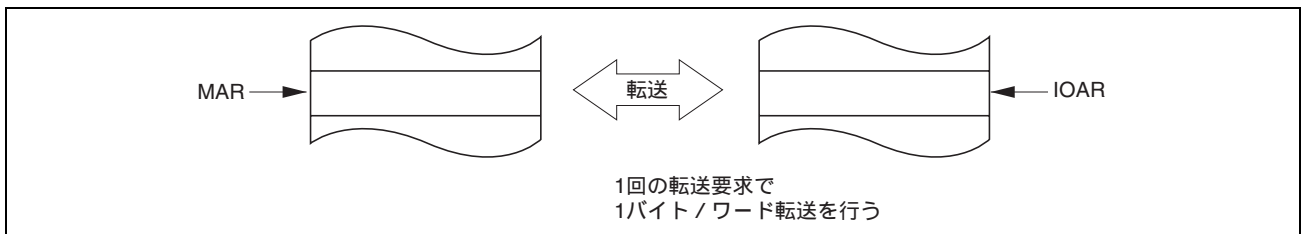


図 7.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTIE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求 (起動要因) には、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

また、シングルアドレスモードで使用する場合は、チャンネル B 側のみ設定できます。

アイドルモードの設定手順例を図 7.6 に示します。

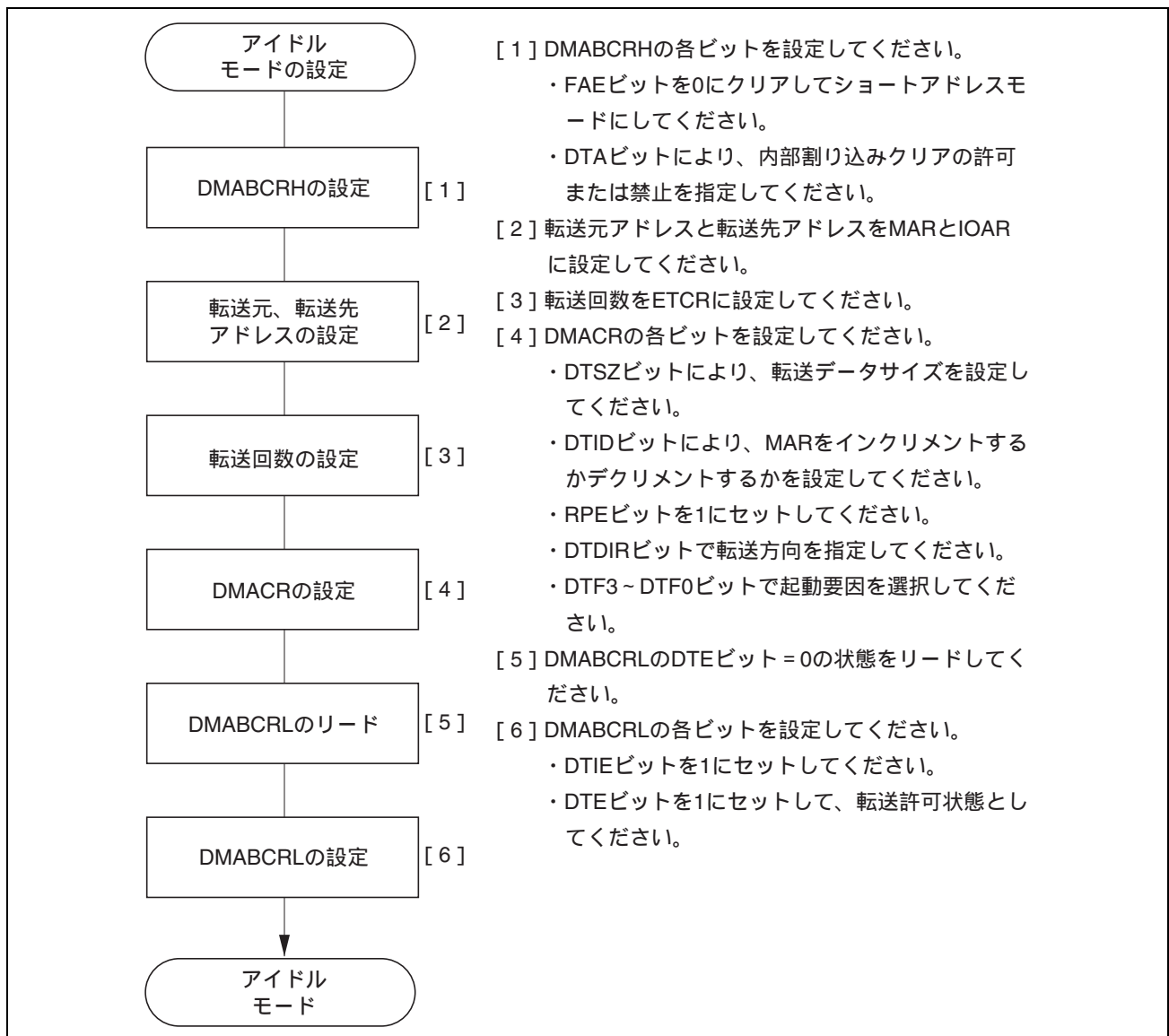


図 7.6 アイドルモードの設定手順例

7.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1、DMABCRL の DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRL で指定した回数だけ実行します。指定された回数の転送終了時に、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。リピートモード時のレジスタの機能を表 7.9 に示します。

表 7.9 リピートモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR=0	DTDIR=1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント。H'0000 になると、初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'00 になると、ETCRH の値をロード

【記号説明】

MAR : メモリアドレスレジスタ
 IOAR : I/O アドレスレジスタ
 ETCR : 転送カウンタレジスタ
 DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は、1 回のバイトまたはワード転送のたびに 1 または 2 をインクリメント/デクリメントします。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで、256 となります。

リピートモードでは ETCRL を転送カウンタとし、ETCRH は転送回数保持に使用します。ETCRL は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTD}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は、同じ値に設定してください。

リピートモードでは、DTE ビットがクリアされるまで動作を継続します。したがって、転送を終了するには DTE ビットを 0 にクリアしてください。CPU または DTC に対して転送終了割り込みは要求しません。

DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。

リピートモードの動作を図 7.7 に示します。

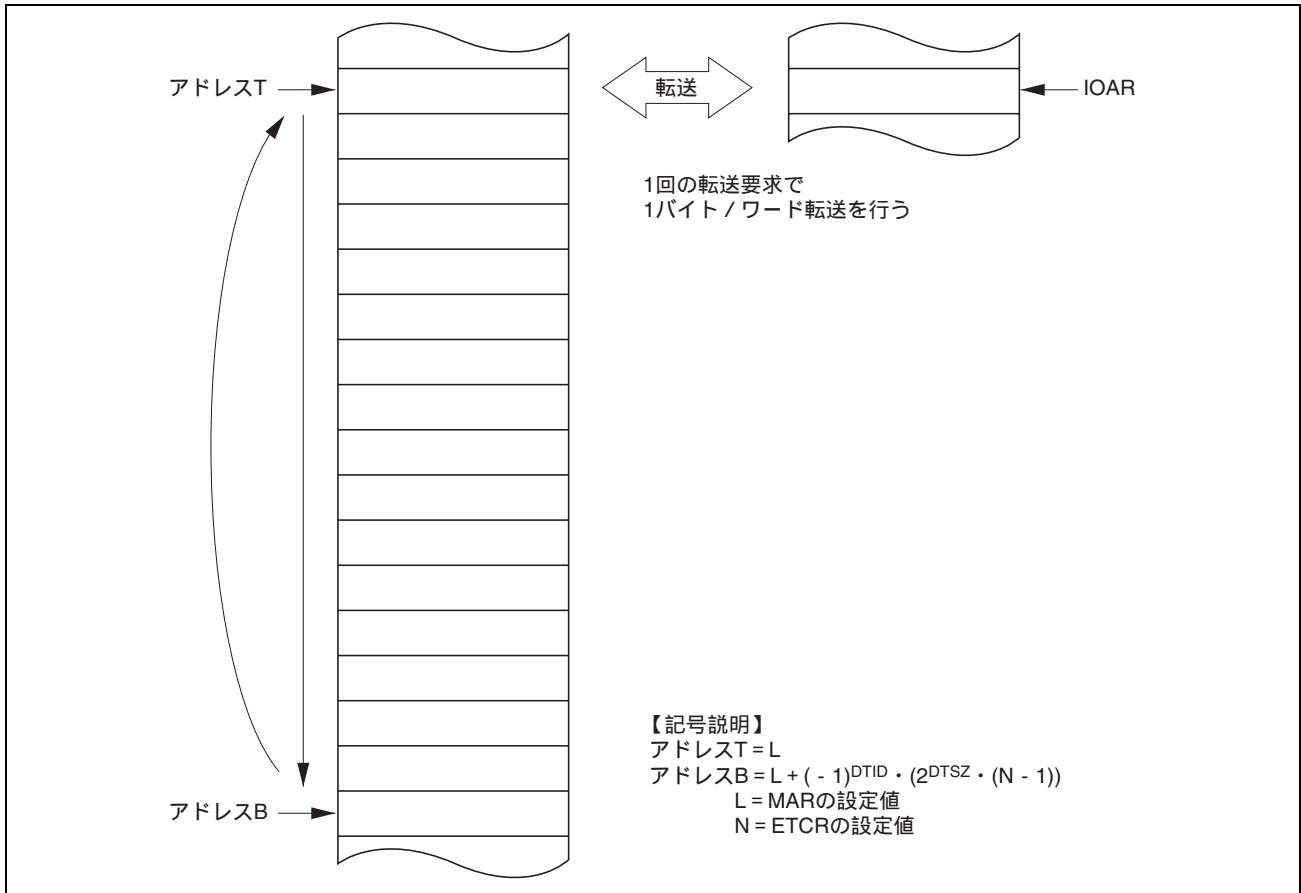


図 7.7 リピートモードの動作図

転送要求 (起動要因) には、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~2 のコンペアマッチ / インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

リピートモードの設定手順例を図 7.8 に示します。

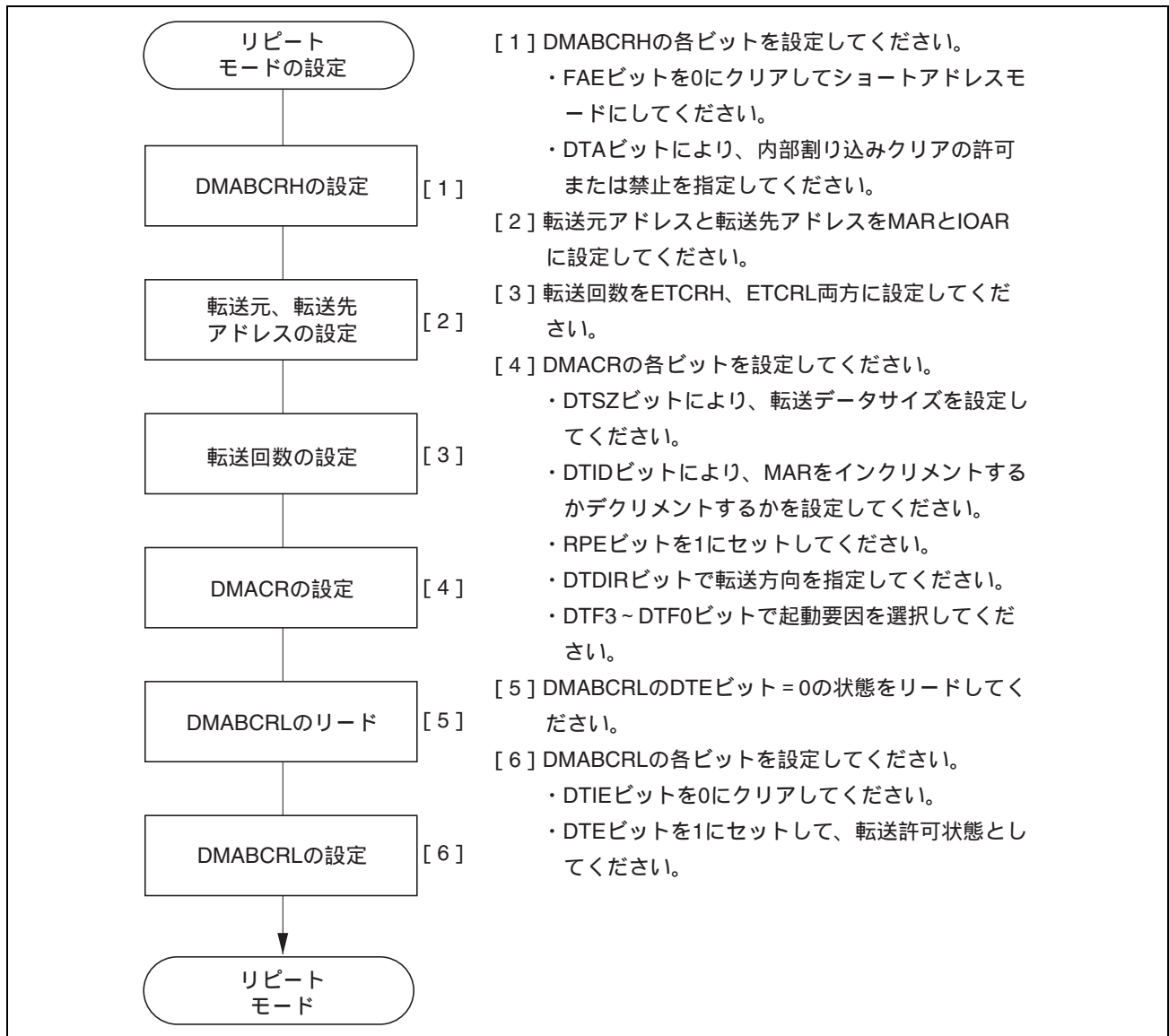


図 7.8 リピートモードの設定手順例


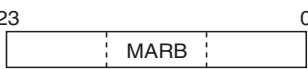

7.5.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。ノーマルモードは、DMABCR の FAE ビットを 1、DMACRA の BLKE ビットを 0 に設定することで指定できます。

ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRA で指定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。

ノーマルモード時のレジスタの機能を表 7.10 に示します。

表 7.10 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	転送カウンタ	転送回数	1 回の転送ごとにデクリメント、H'0000 になると転送終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに、1 または 2 インクリメント/デクリメントするか、または固定にすることができます。

インクリメント/デクリメント/固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA にて 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

ノーマルモードの動作を図 7.9 に示します。

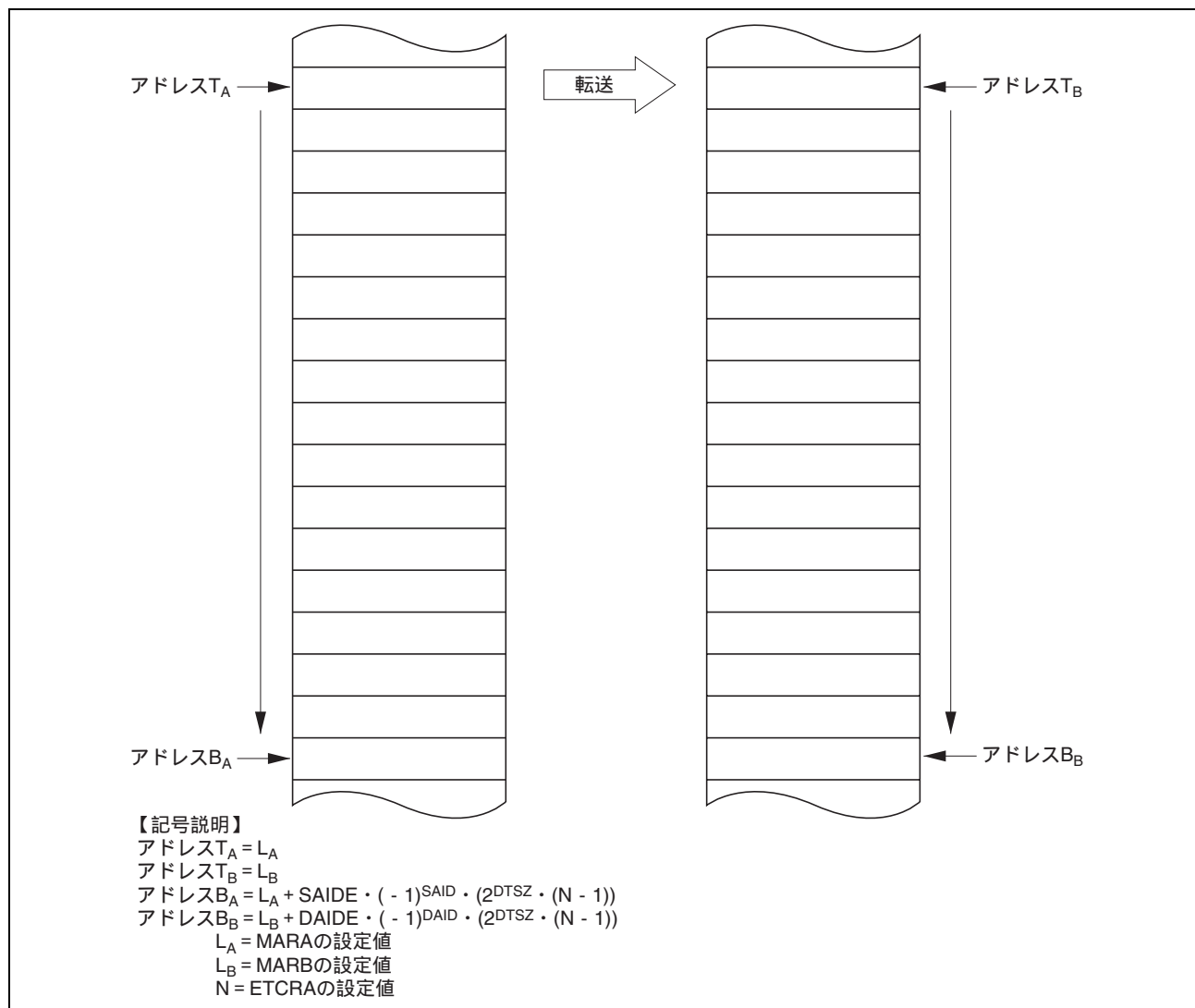


図 7.9 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。

オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回の転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。

設定の詳細は「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

ノーマルモードの設定手順例を図 7.10 に示します。

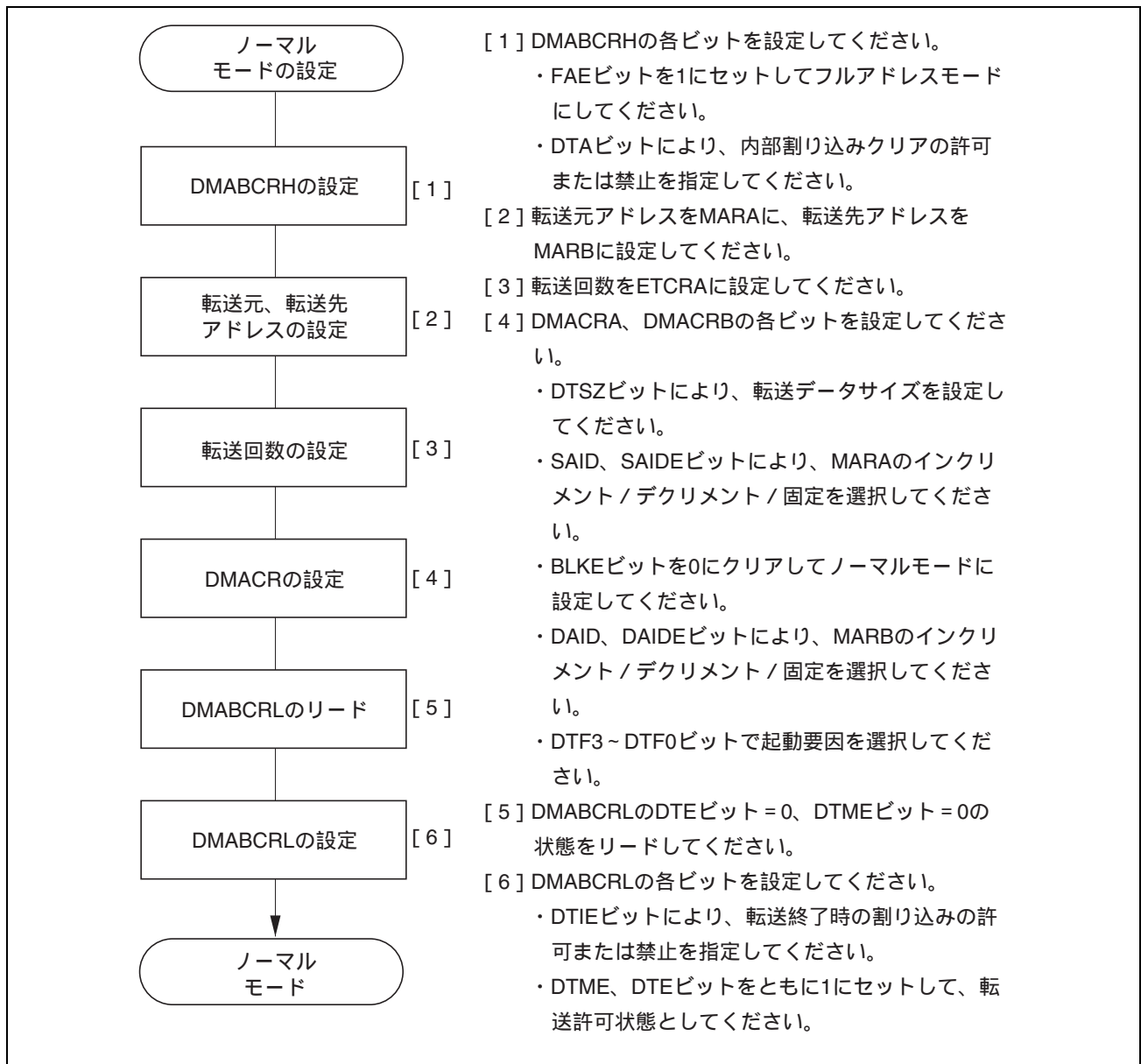


図 7.10 ノーマルモードの設定手順例






7.5.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。ブロック転送モードは、DMABCR の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。

ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア（複数バイト/ワードで構成されたエリア）とするかを選択できます。

ブロック転送モード時のレジスタの機能を表 7.11 に示します。

表 7.11 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント、H'00 になると ETCRAH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント。H'0000 になると転送終了

【記号説明】

MARA : メモリアドレスレジスタ A
 MARB : メモリアドレスレジスタ B
 ETCRA : 転送カウンタレジスタ A
 ETCRB : 転送カウンタレジスタ B

7. DMA コントローラ (DMAC)

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 インクリメント / デクリメントするか、または固定にすることができます。

インクリメント / デクリメント / 固定の選択は MARA、MARB 別々に設定可能です。

MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを M ($M=1\sim 256$) とし、 N ($N=1\sim 65536$) 回の転送を行うとき、ETCRAH、ETCRAL の両方に M を、ETCRB に N を設定します。

MARB をブロックエリアにした場合のブロック転送モードの動作を図 7.11 に示します。

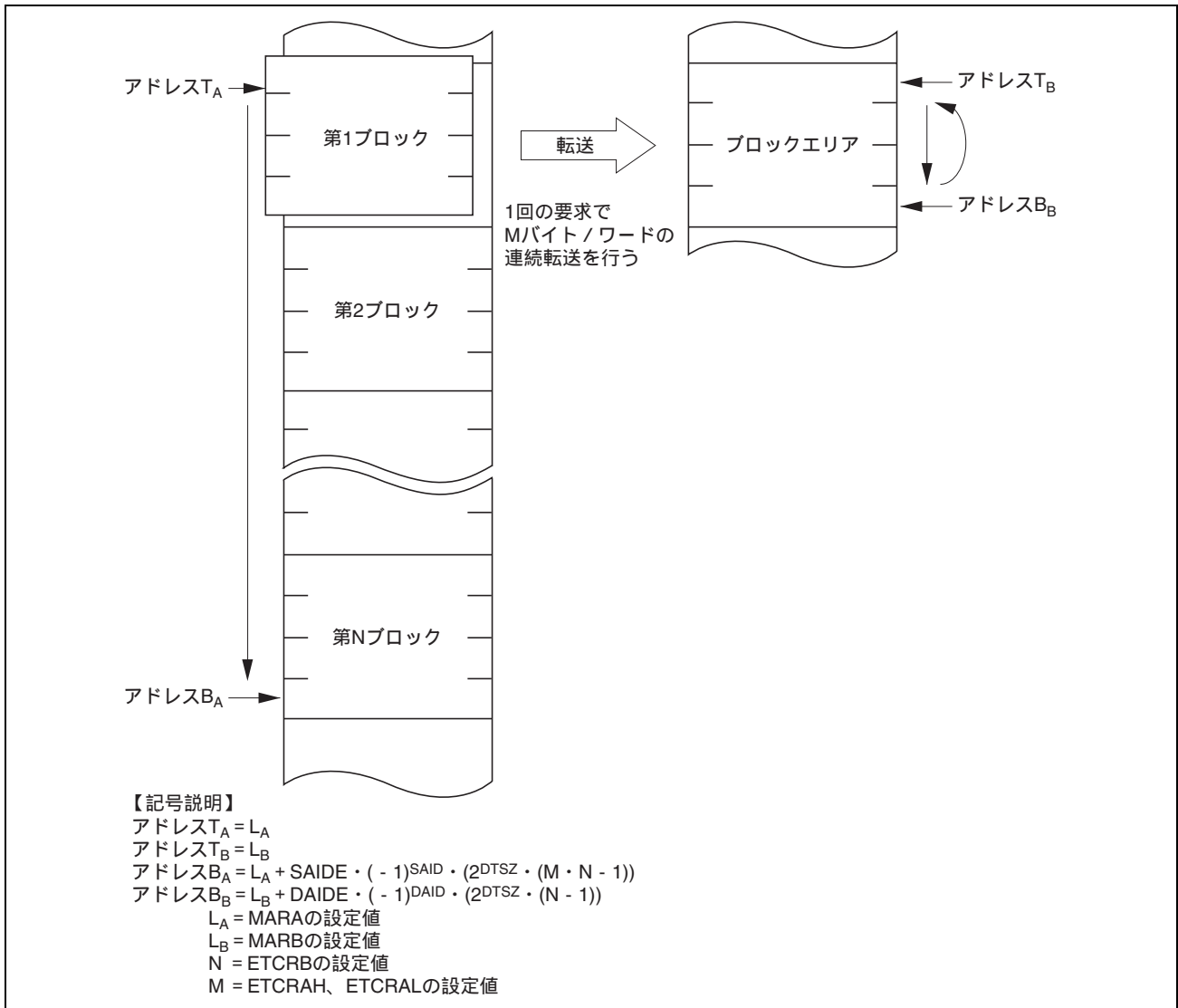


図 7.11 ブロック転送モードの動作 (BLKDIR=0)

MARA をブロックエリアにした場合のブロック転送モードの動作を図 7.12 に示します。

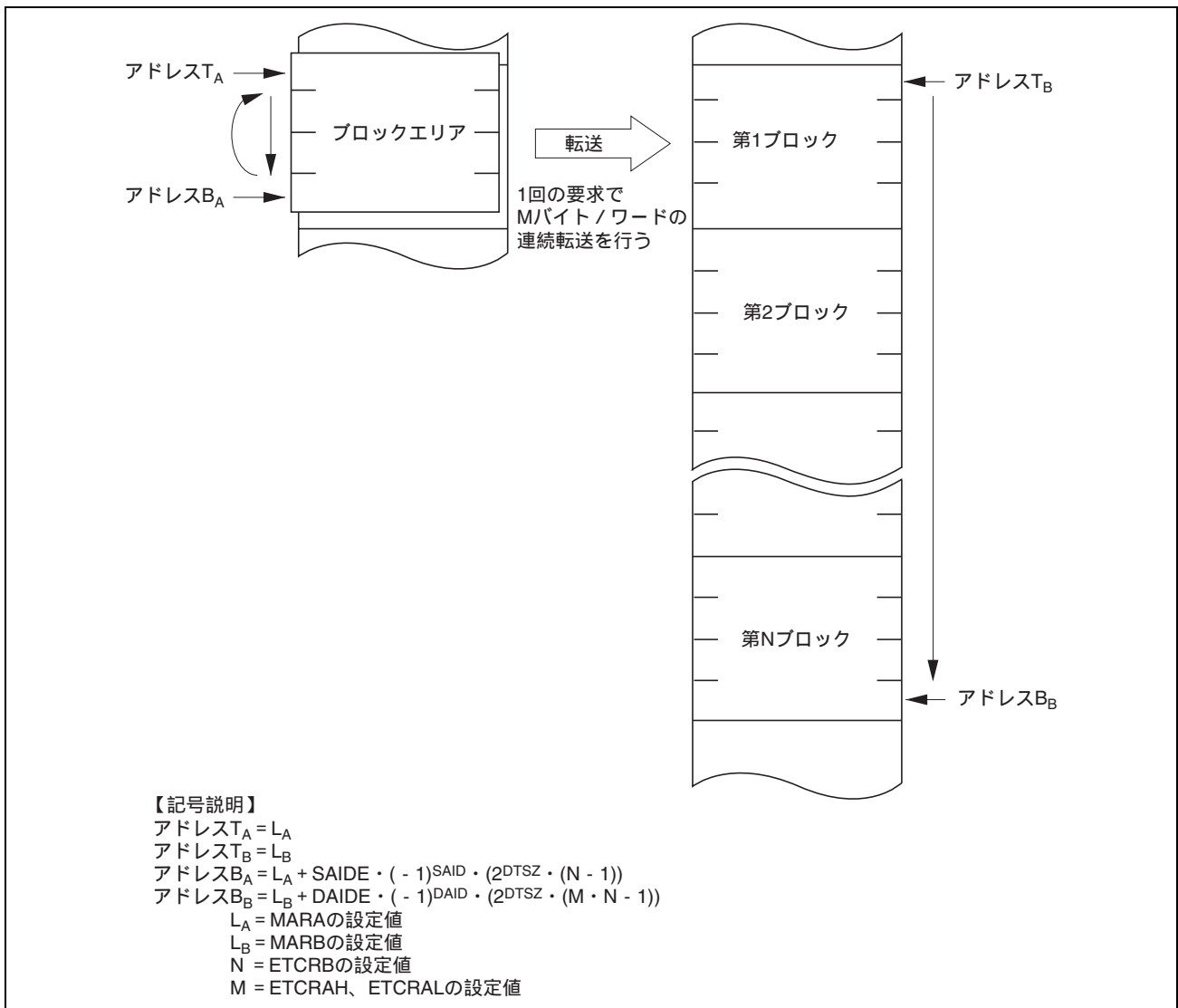


図 7.12 ブロック転送モードの動作 (BLKDIR=1)

ETCRAL は 1 回のバイトまたはワード転送のたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでバースト転送が行われます。ETCRAL が H'00 になったときに ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ、SAID/DAID および SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に対して割り込みを要求します。

図 7.13 にブロック転送モードの動作フローを示します。

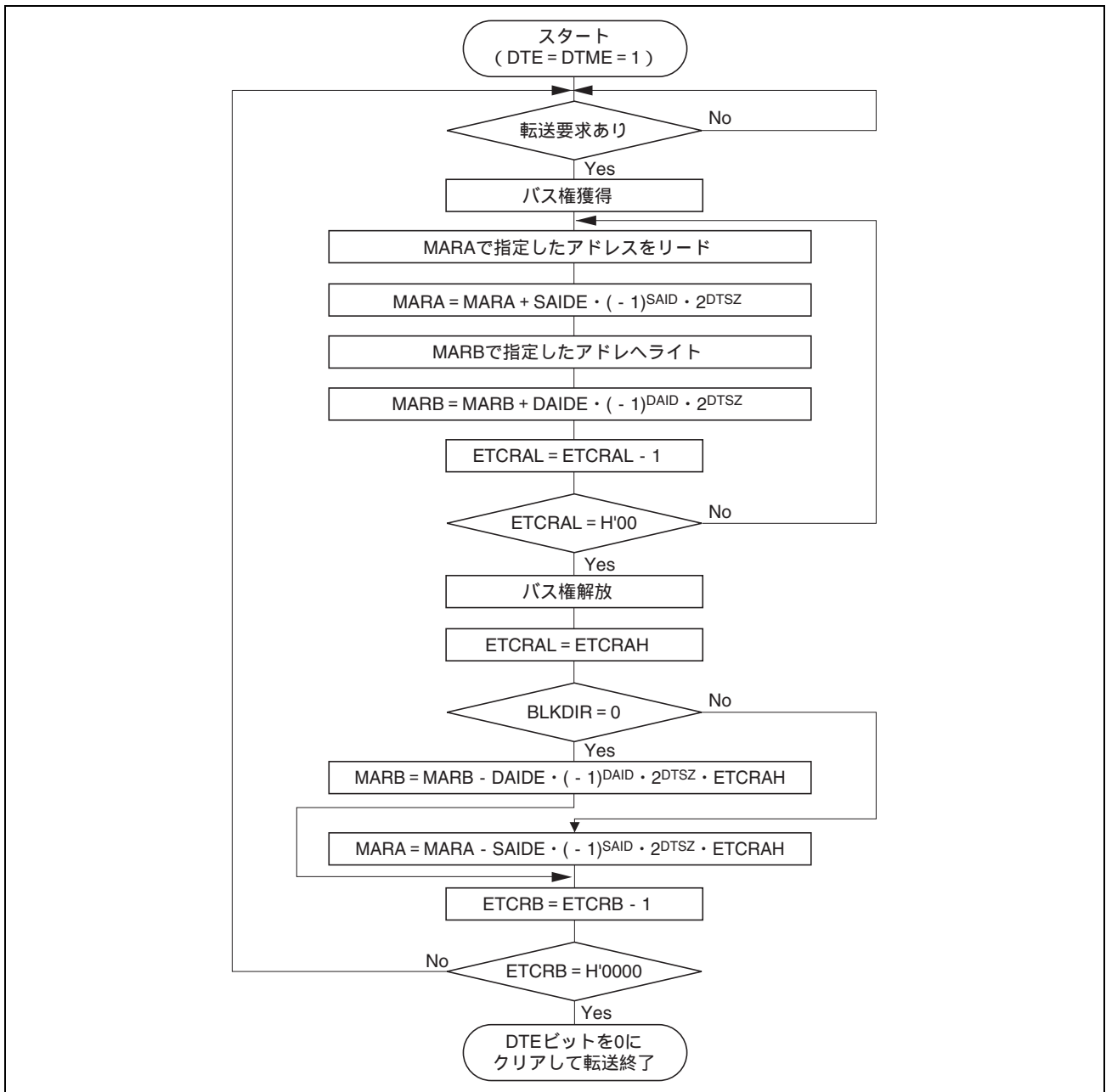


図 7.13 ブロック転送モードの動作フロー

転送要求 (起動要因) には、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~2 のコンペアマッチ / インプットキャプチャ A 割り込みがあります。

設定の詳細は「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

ブロック転送モードの設定手順例を図 7.14 に示します。

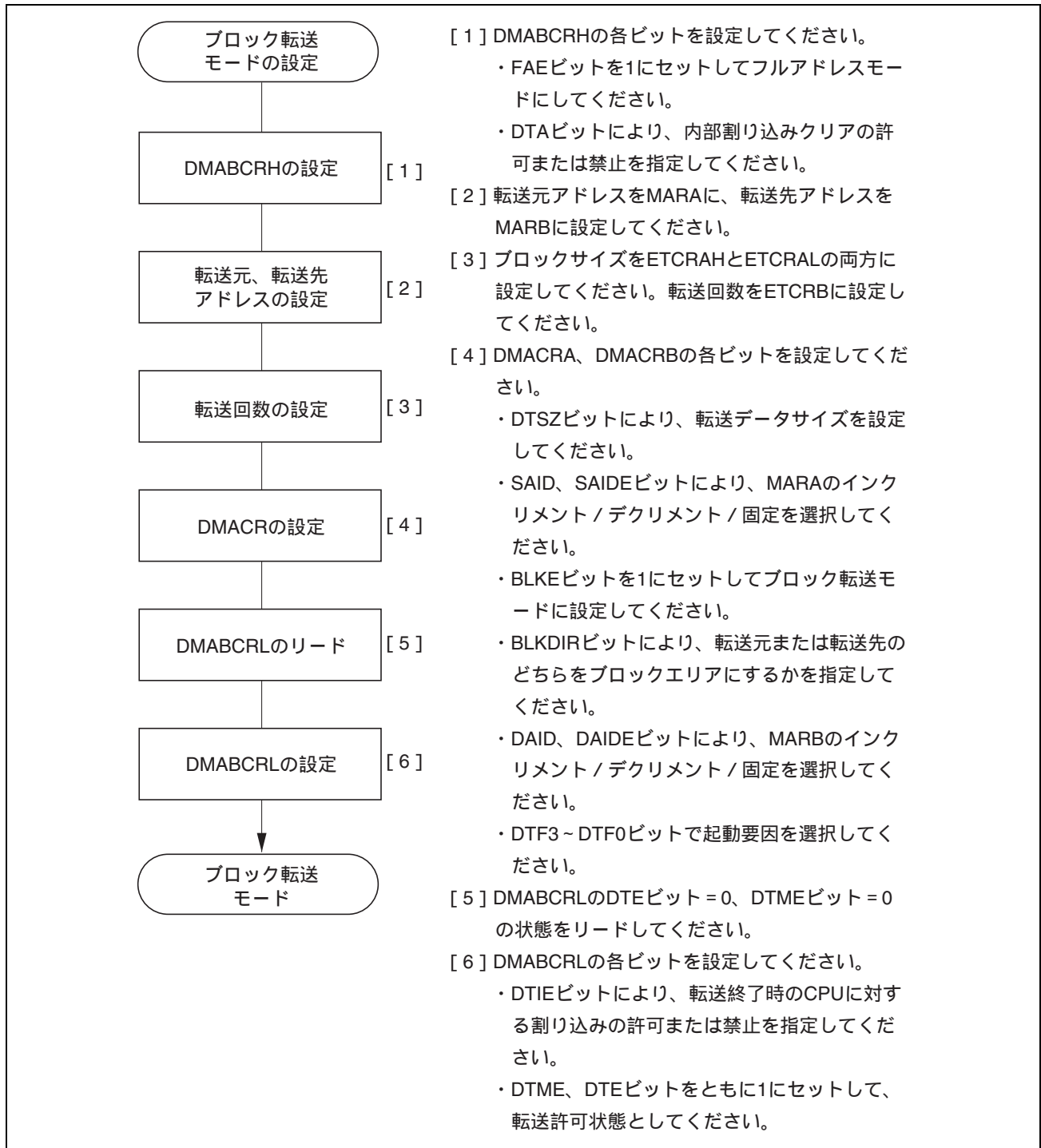


図 7.14 ブロック転送モードの設定手順例

7.5.7 DMAC の起動要因

DMAC の起動要因には、内部割り込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより、指定できる要因が表 7.12 に示すように異なります。

表 7.12 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマルモード	ブロック転送モード
内部 割り込み	TXI0			×	
	RXI0			×	
	TXI1			×	
	RXI1			×	
	TGI0A			×	
	TGI1A			×	
	TGI2A			×	
外部リクエスト	DREQ 端子の立ち下がりエッジ入力	×			
	DREQ 端子の Low レベル入力	×			
オートリクエスト		×	×		×

【記号説明】 : 指定可能 × : 指定不可

(1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に要求を発生させることができます。詳しくは「第 5 章 割り込みコントローラ」を参照してください。

内部割り込みによる起動では、DMAC は割り込みコントローラとは独立して要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、DTC の起動要因としない割り込み要求により DMAC が起動される場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、TXI、RXI 割り込みについては、DMA 転送で所定のレジスタをアクセスしないで、割り込み要因フラグはクリアされません。複数のチャンネルで同一の割り込みを起動要因とした場合、最も優先順位の高いチャンネルが最初に起動された時点で、割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

転送終了後などの DTE = 0 の状態では、DTA ビットにかかわらず、選択された起動要因は DMAC に要求されません。この場合、当該割り込みは、CPU または DTC に要求されます。

CPU の割り込み要因または DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC によりクリアされることはありません。

(2) 外部リクエストによる起動

起動要因として、外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定する場合は、該当するポートをあらかじめ入力に設定しておいてください。

外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は、 $\overline{\text{DREQ}}$ 端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送を完了する前に次のエッジが入力された場合は、次の転送が行われない場合があります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$ 端子が High レベルに保持されている間は、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$ 端子が Low レベルに保持されている間は、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で $\overline{\text{DREQ}}$ 端子が High レベルになった場合は、転送を中断し転送要求待ち状態になります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。

オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、転送終了までバスを占有し、連続して転送を行います。

7.5.8 DMAC の基本バスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 7.15 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部のアドレスバスに出力されません。

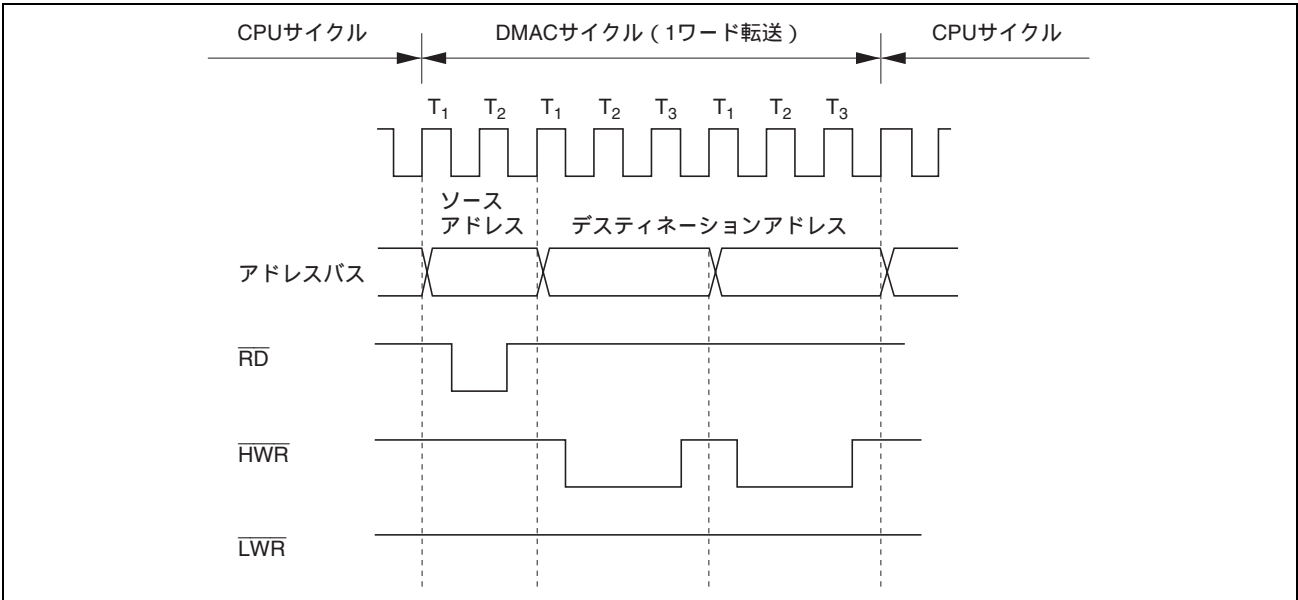


図 7.15 DMA 転送バスタイミング例

7.5.9 DMAC のバスサイクル (デュアルアドレスモード)

(1) ショートアドレスモード

図 7.16 に \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から、内部 I/O 空間へバイトサイズでショートアドレスモード転送 (シーケンシャル/アイドル/リピートモード) を行った場合の転送例を示します。

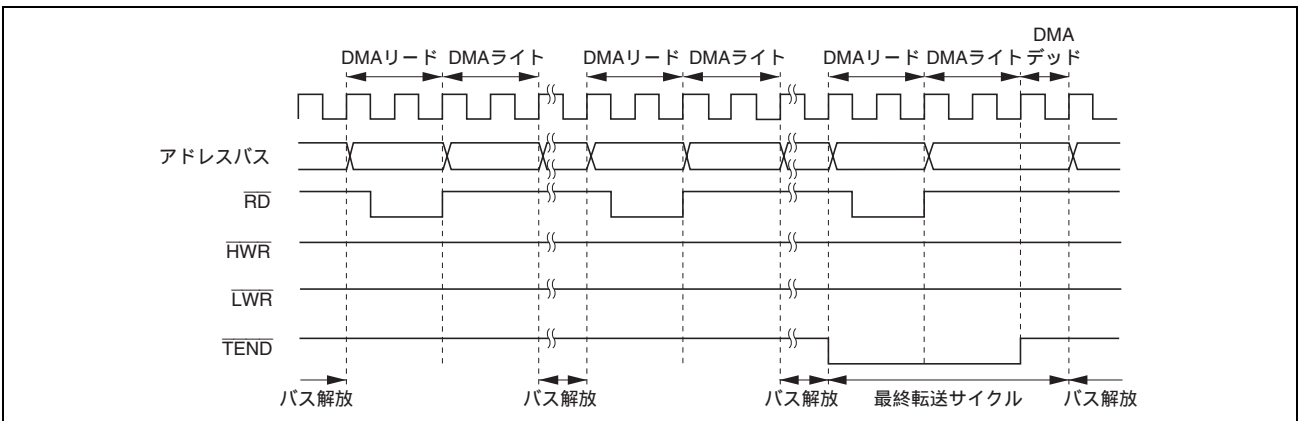


図 7.16 ショートアドレスモード転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 \overline{TEND} 出力を許可すると、転送カウンタが 0 となった転送サイクルで \overline{TEND} 出力が Low レベルとなります。

(2) フルアドレスモード (サイクルスチールモード)

図 7.17 に \overline{TEND} 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

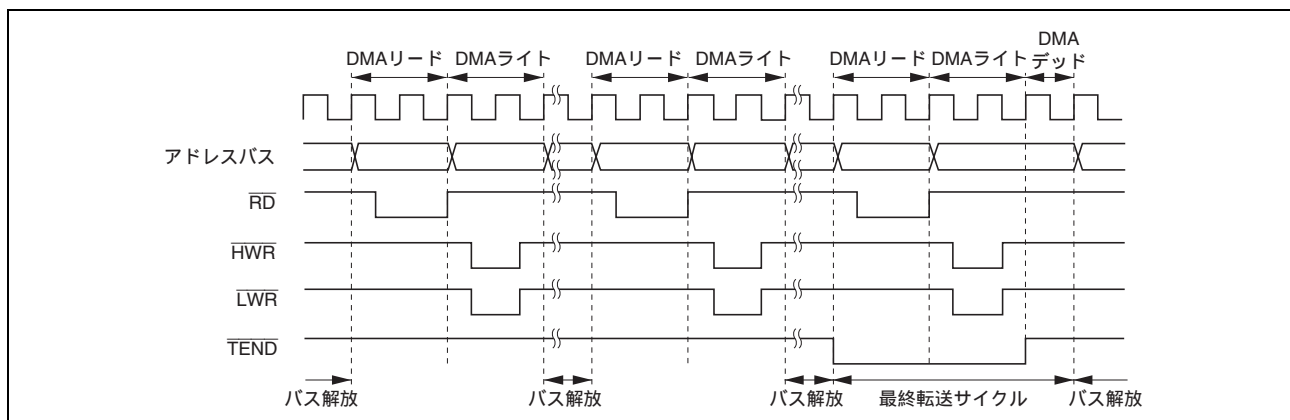


図 7.17 フルアドレスモード (サイクルスチール) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

(3) フルアドレスモード (バーストモード)

図 7.18 に \overline{TEND} 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

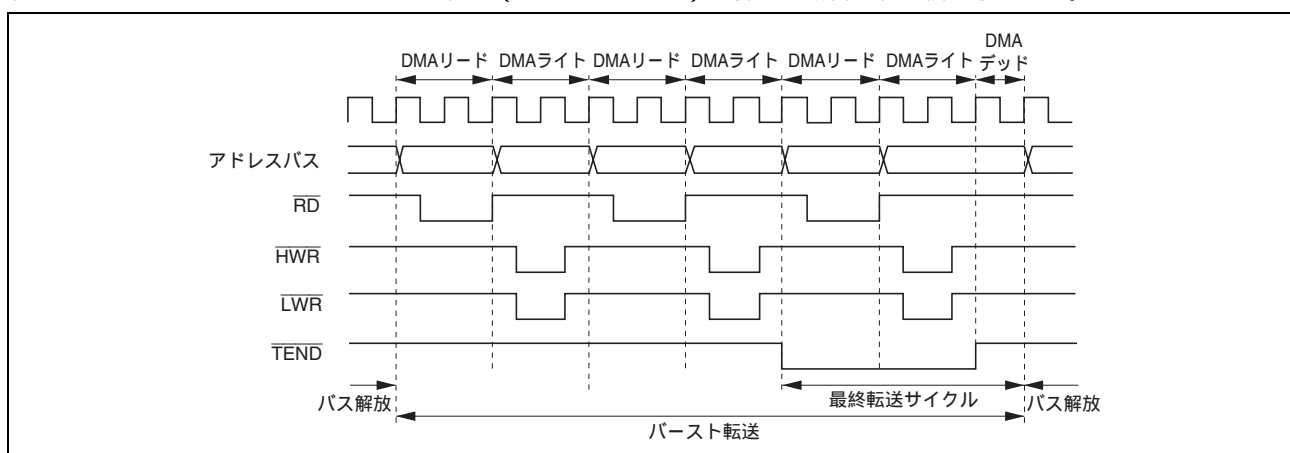


図 7.18 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

(4) フルアドレスモード (ブロック転送モード)

図 7.19 に \overline{TEND} 出力を許可して、内部 16 ビット 1 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

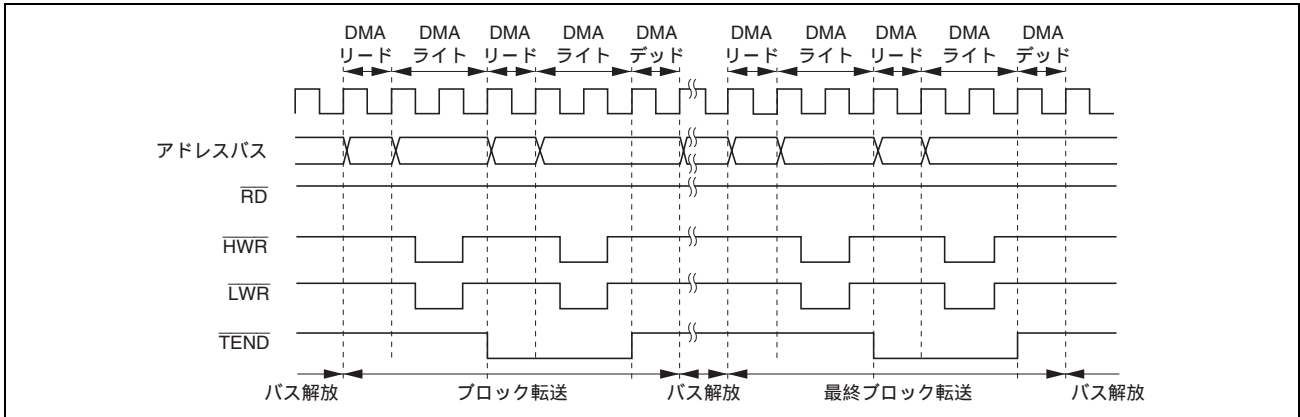


図 7.19 フルアドレスモード (ブロック転送モード) 転送例

1 回の転送要求につき 1 ブロック分の転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

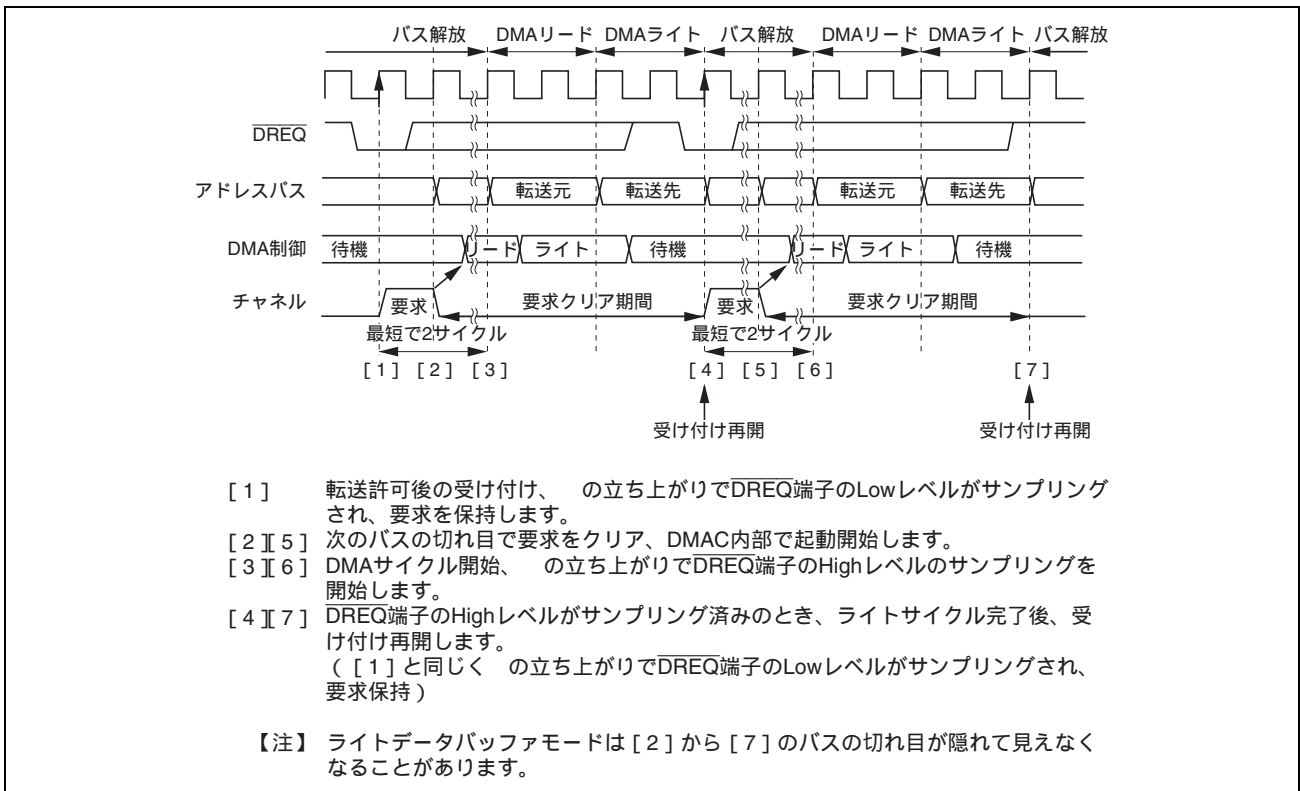
各ブロックの転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

1 ブロックは連続して転送を行います。NMI が発生してもブロック転送の動作に影響を与えません。

(5) \overline{DREQ} 端子立ち下がりエッジ起動タイミング

\overline{DREQ} 端子を選択するチャンネルの DTA ビットは、1 にセットしてください。

図 7.20 に \overline{DREQ} 端子立ち下がりエッジ起動のノーマルモード転送例を示します。

図 7.20 \overline{DREQ} 端子立ち下がりエッジ起動のノーマルモード転送例

\overline{DREQ} 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がり起点に毎サイクル行われます。

7. DMA コントローラ (DMAC)

DREQ 端子による受け付けが可能な状態で、DREQ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための DREQ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに DREQ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び、DREQ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.21 に DREQ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。

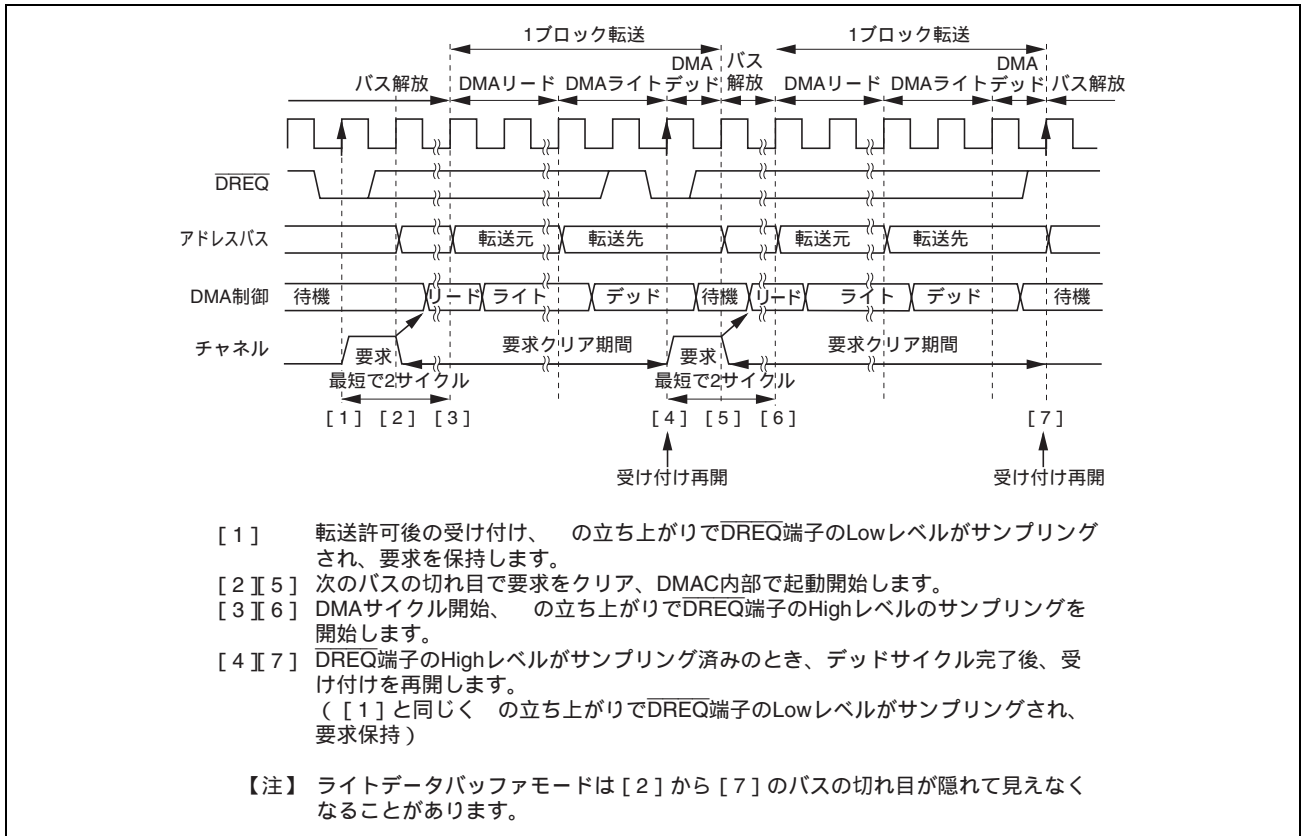


図 7.21 DREQ 端子立ち下がりエッジ起動のブロック転送モード転送例

DREQ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

DREQ 端子による受け付けが可能な状態で、DREQ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための DREQ 端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに DREQ 端子の High レベルのサンプリングが済んでいれば、デッドサイクル終了後に受け付け再開となり、再び、DREQ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(6) $\overline{\text{DREQ}}$ レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DTA ビットは 1 にセットしてください。

図 7.22 に $\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例を示します。

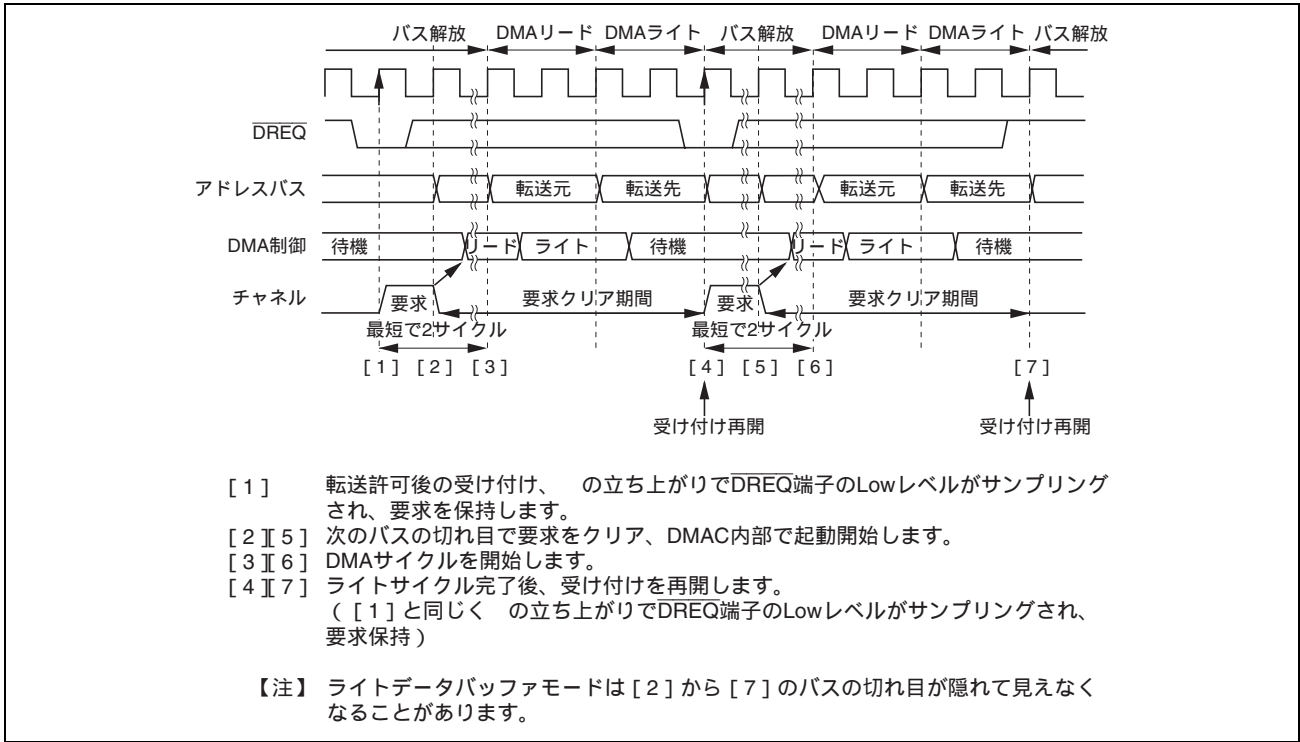


図 7.22 $\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の $\overline{\text{DREQ}}$ の立ち上がり起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.23 に DREQ レベル起動のブロック転送モード転送例を示します。

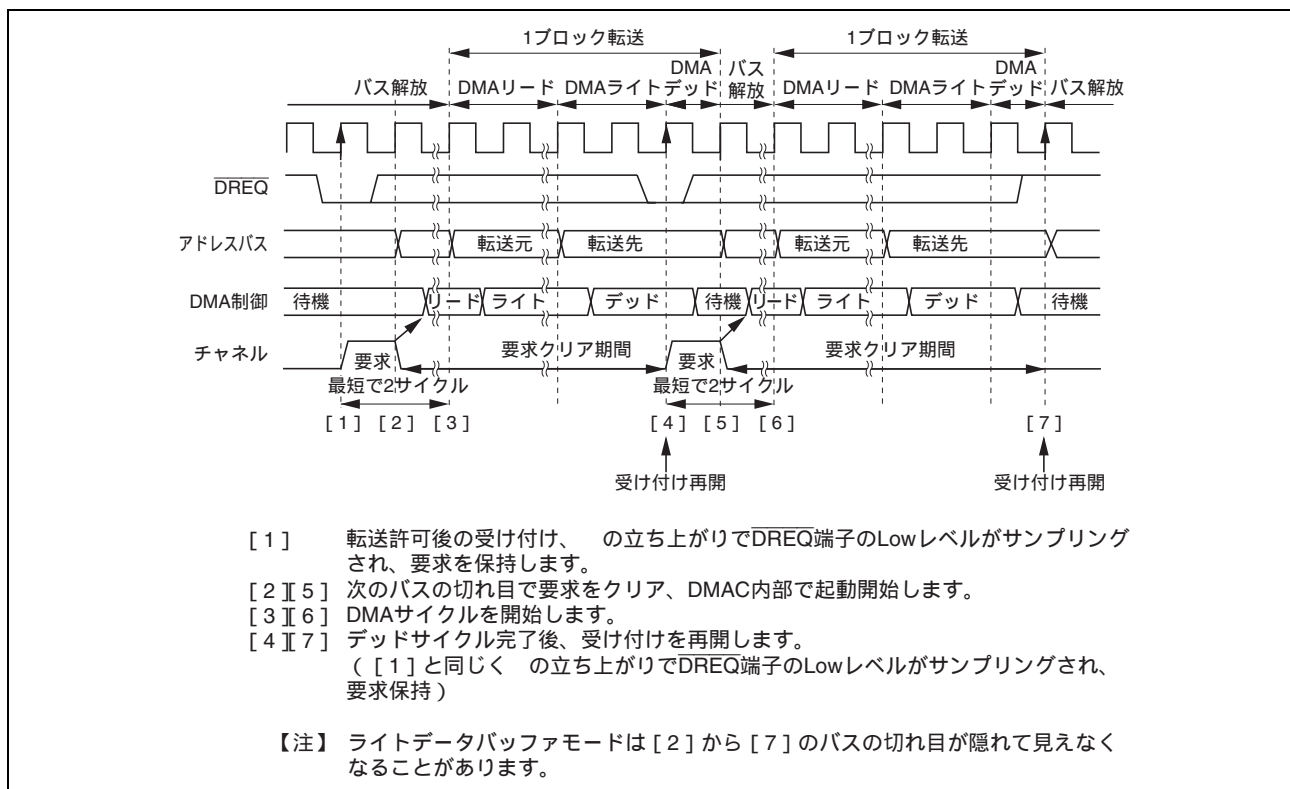


図 7.23 DREQ レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。デッドサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.5.10 DMAC 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.13 に DMAC のチャンネル間優先順位を示します。

表 7.13 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑
チャンネル 0B		
チャンネル 1A	チャンネル 1	低
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で、要求の発生しているチャンネルの中から表 7.13 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。

バースト転送中、およびブロック転送の 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。

図 7.24 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

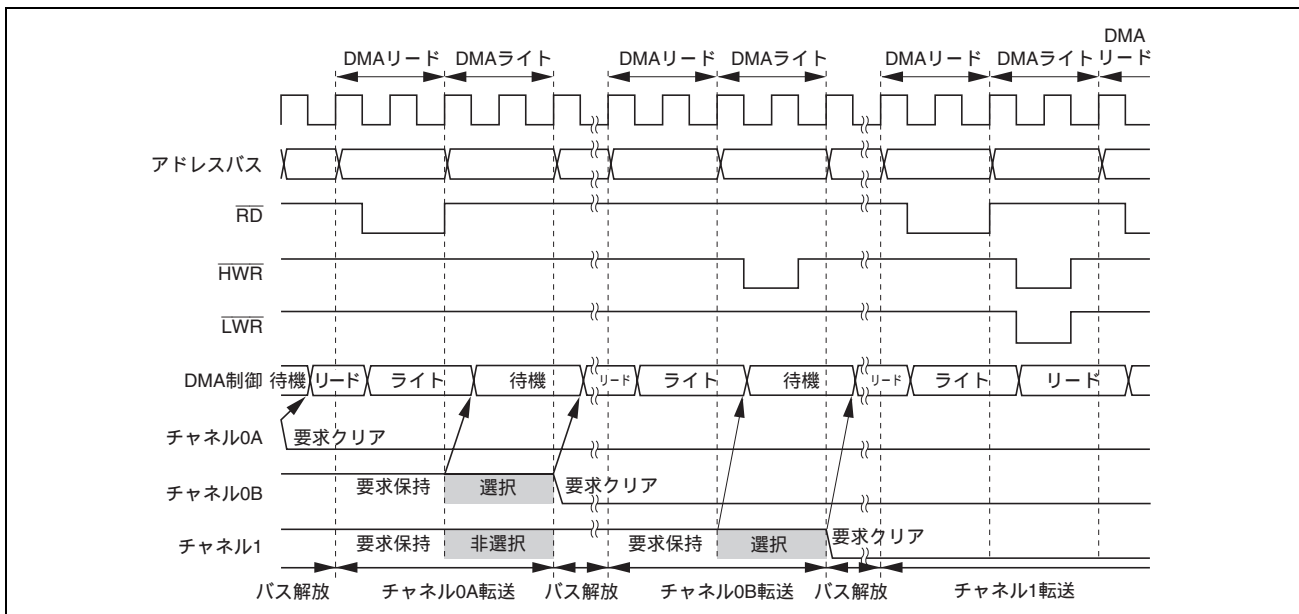


図 7.24 複数チャンネル転送例

7.5.11 DMAC と、外部バス権要求、DTC の関係

DMA サイクルのリードとライトの間は不可分割となっています。このため、DMA サイクルの外部リードと外部ライト間に外部バス解放サイクル、DTC サイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルのあとに、外部バス解放状態が挿入されることがあります。DTC は、DMAC より優先度が低いため、DMAC がバスを解放するまで DTC は動作しません。

DMA サイクルのリードまたはライトが、内蔵メモリアクセスまたは内部 I/O レジスタアクセスの場合には、これらの DMA サイクル、または外部バス解放が同時に行われる場合があります。

ただし、ライトバッファ使用時に、同時に動作できない場合があります。

7.5.12 NMI 割り込みと DMAC

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点で、転送を中断後バスを解放し、CPU にバス権が移ります。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。バーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を図 7.25 に示します。

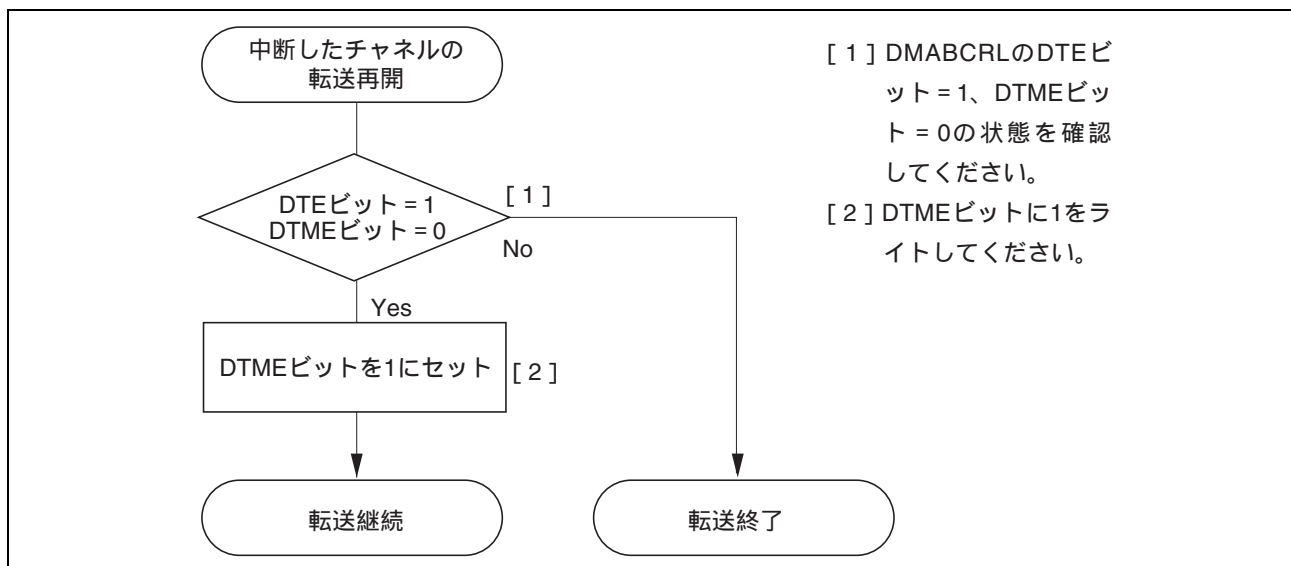


図 7.25 NMI 割り込みにより中断したチャンネルの転送継続手順例

7.5.13 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。このあと、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットについても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 7.26 に示します。

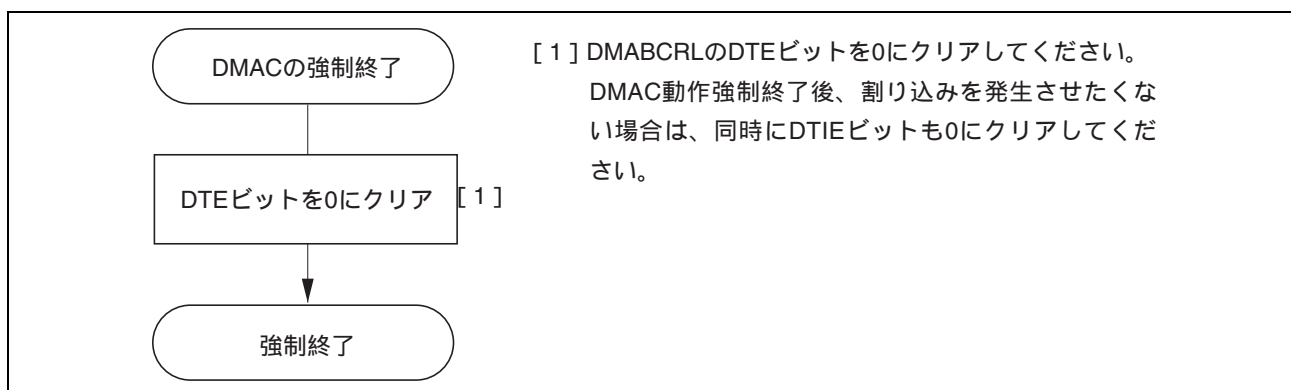


図 7.26 DMAC 動作の強制終了手順例

7.5.14 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 7.27 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

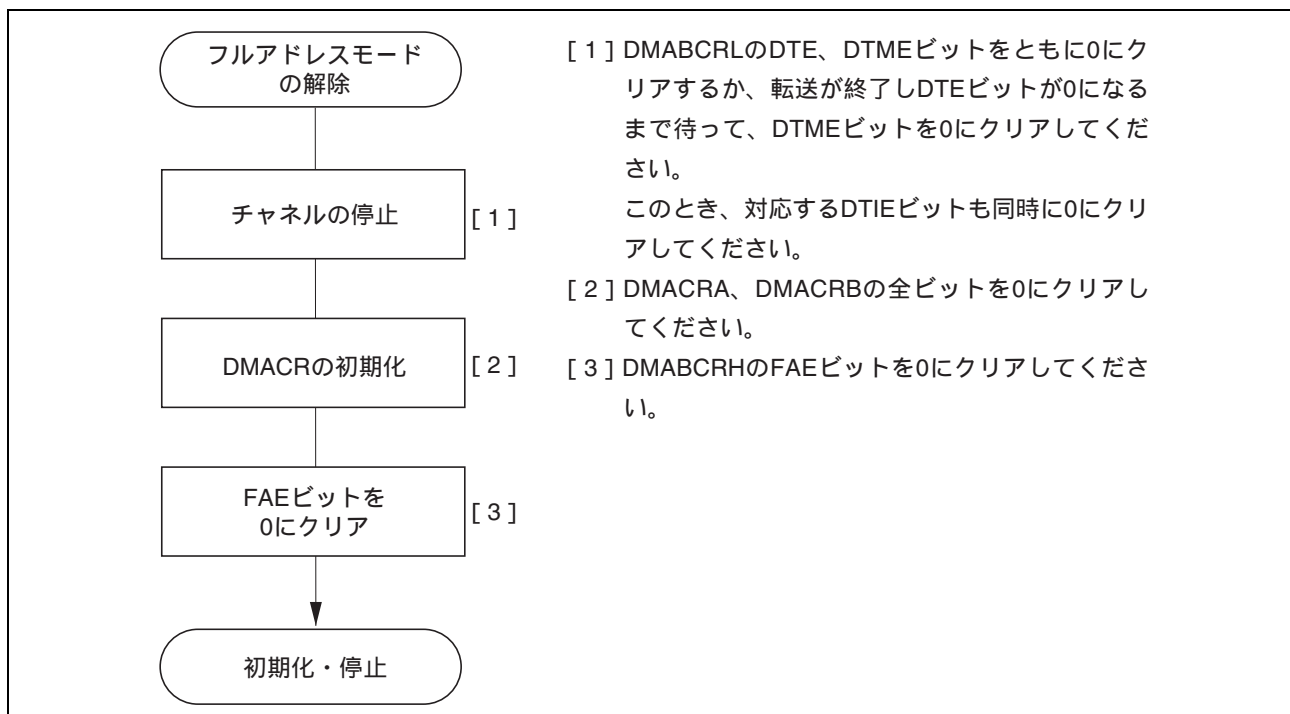


図 7.27 フルアドレスモード解除手順例

7.6 割り込み

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.14 に割り込み要因と優先度を示します。

表 7.14 割り込み要因と優先度

割り込み名称	割り込み要因		割り込み優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCR の対応するチャンネルの DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.14 に示すようになっています。

転送終了 / 転送中断割り込みのブロック図を図 7.28 に示します。DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

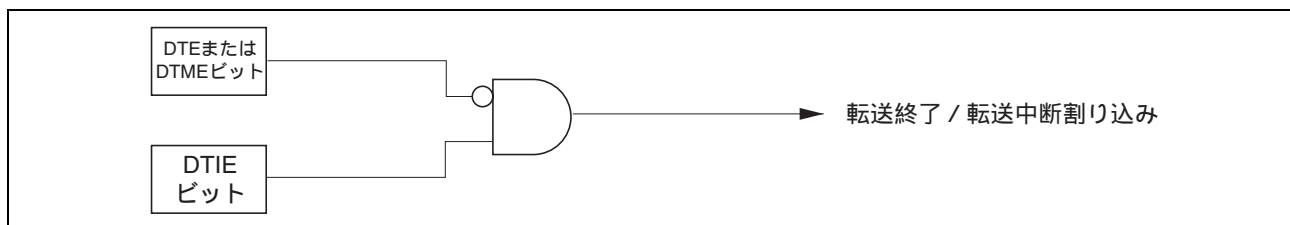


図 7.28 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIEB = 1 のとき DTME ビットが 0 にクリアされると発生します。

ショートアドレスモード、フルアドレスモードともに、設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

7.7 使用上の注意

(1) 動作中の DMAC レジスタアクセス

強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

また、DMA 転送による DMAC レジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC レジスタリードに関しては以下ようになります。

- (a) DMAC制御はバスサイクルより進んで起動し、アドレス値を出力します。このためMARは、DMAC転送前のバスサイクルに更新されます。

図7.29にデュアルアドレス転送モードにおける、DMACレジスタの更新タイミング例を示します。

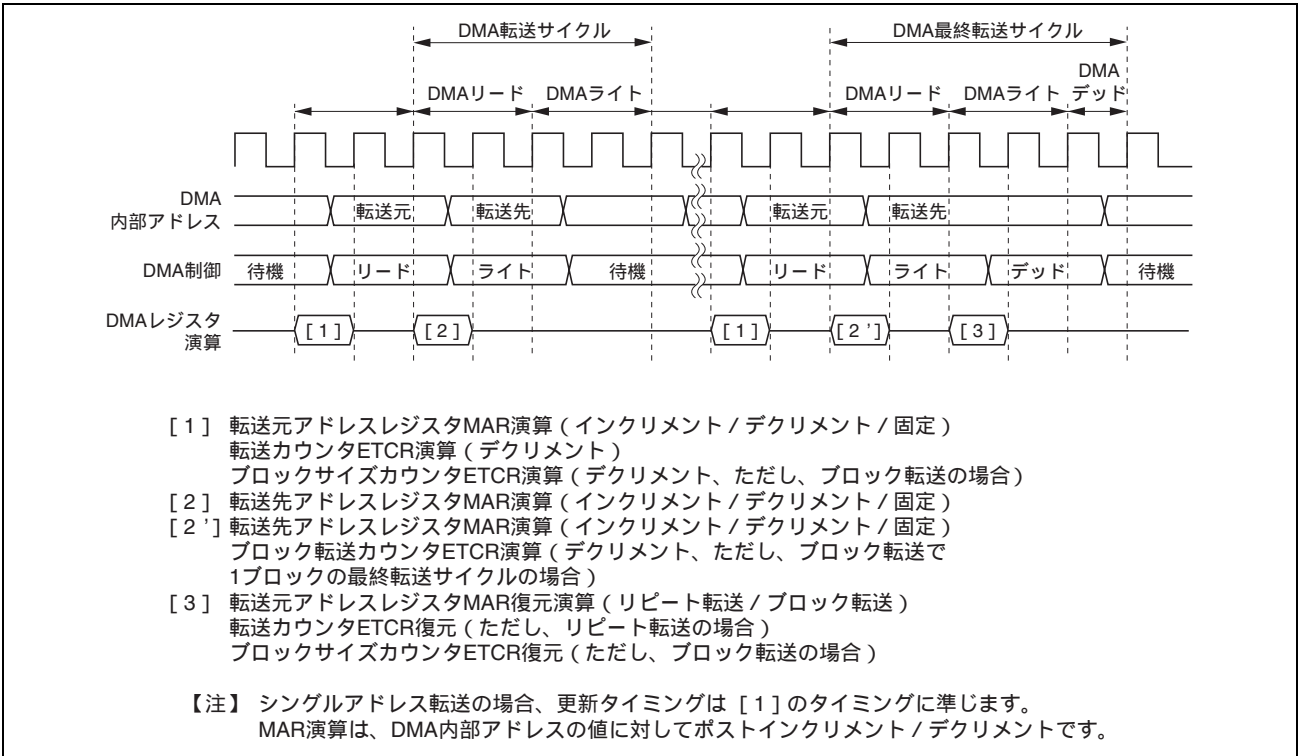


図 7.29 DMAC レジスタの更新タイミング

- (b) DMACレジスタリード直後にDMACの転送サイクルが起こる場合、図7.30のようにDMACレジスタがリードされます。

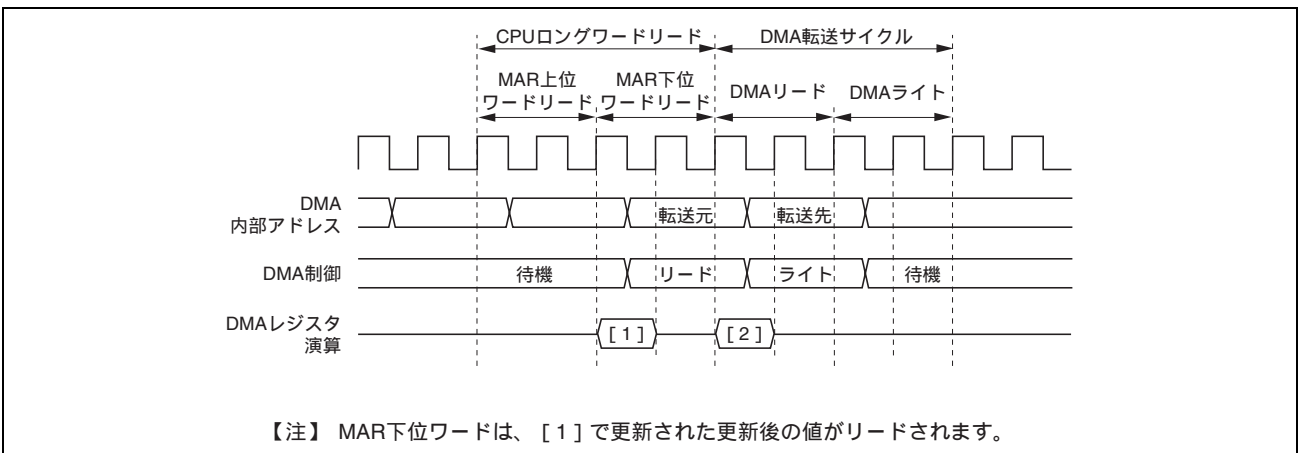


図 7.30 DMAC レジスタの更新と CPU リードの競合

(2) モジュールストップ

MSTPCRA の MSTPA7 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTPA7 ビットに 1 をライトできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- 転送終了 / 中断割り込み (DTE = 0 かつ DTIE = 1)
- $\overline{\text{TEND}}$ 端子イネーブル (TEE = 1)

(3) 中速モード

DTA ビットが 0 にクリアされている場合、DMAC の転送要因に指定された内部割り込み信号は、エッジ検出されています。

中速モードでは、DMAC は中速クロックで動作し、内蔵周辺モジュールは高速クロックで動作します。このため、CPU、DTC、または、DMAC の他のチャンネルにより当該割り込み要因がクリアされ、次の割り込みが発生する期間が DMAC のクロック (バスマスタクロック) に対し 1 ステート未満だった場合に、エッジ検出できずに無視されることがあります。

また、中速モードでは、 $\overline{\text{DREQ}}$ 端子のサンプリングは中速クロックの立ち上がりになります。

(4) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い、次のようになります。

- [1] 起動要求待ち状態： $\overline{\text{DREQ}}$ 端子の Low レベルの検出を待ち、[2] に遷移します。
- [2] 転送待ち状態：DMAC のデータ転送が可能になるのを待ち、[3] に遷移します。
- [3] 起動要求禁止状態： $\overline{\text{DREQ}}$ 端子の High レベルの検出を待ち、[1] に遷移します。

DMAC の転送許可後は、[1] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(5) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジセンス / Low レベルセンスとともに、Low レベルを検出しています。同様に、内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL ライト実行以前に発生している内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベルは、要求を受け付けます。

DMAC の起動時には、必要に応じて、前回の転送終了時などの内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベルが残らないようにしてください。

(6) 転送終了後の内部割り込み

転送終了または強制終了により、DTE ビットが 0 にクリアされると、DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合には、転送は実行されますが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

(7) チャンネルの再設定

複数のチャンネルが転送許可状態にあつて、複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR のコントロールビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行う場合があると、元の処理ルーチンで DMABCR をライトするデータが異なってしまい、ライトにより多重割り込みでの操作結果を無効にしてしまう場合がありますので注意してください。多重割り込み DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアされた場合と 0 をライトされた場合、DTE/DTME = 0 の状態をいったんリードしないと CPU では 1 をライトできません。

8. データトランスファコントローラ (DTC)

8.1 概要

H8S/2214 グループは、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

8.1.1 特長

任意チャネル数の転送可能

- メモリ上に転送情報を格納
- 1つの起動要因に対して複数のデータ転送が可能 (チェーン転送)

豊富な転送モード

- ノーマルモード/リピートモード/ブロック転送モードの選択が可能
- 転送元、転送先アドレスのインクリメント/デクリメント/固定の選択が可能

16M バイトのアドレス空間を直接指定可能

- 転送元、転送先アドレスを 24 ビットで指定

転送単位をバイト/ワードに設定可能

DTC を起動した割り込みを CPU に要求可能

- 1回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

ソフトウェアによる起動が可能

モジュールストップモードの設定可能

- 初期値では DTC のレジスタのアクセスが可能。モジュールストップモードの設定により DTC の動作は停止

8. データトランスファコントローラ (DTC)

8.1.2 ブロック図

DTC のブロック図を図 8.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます*。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

【注】* DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。

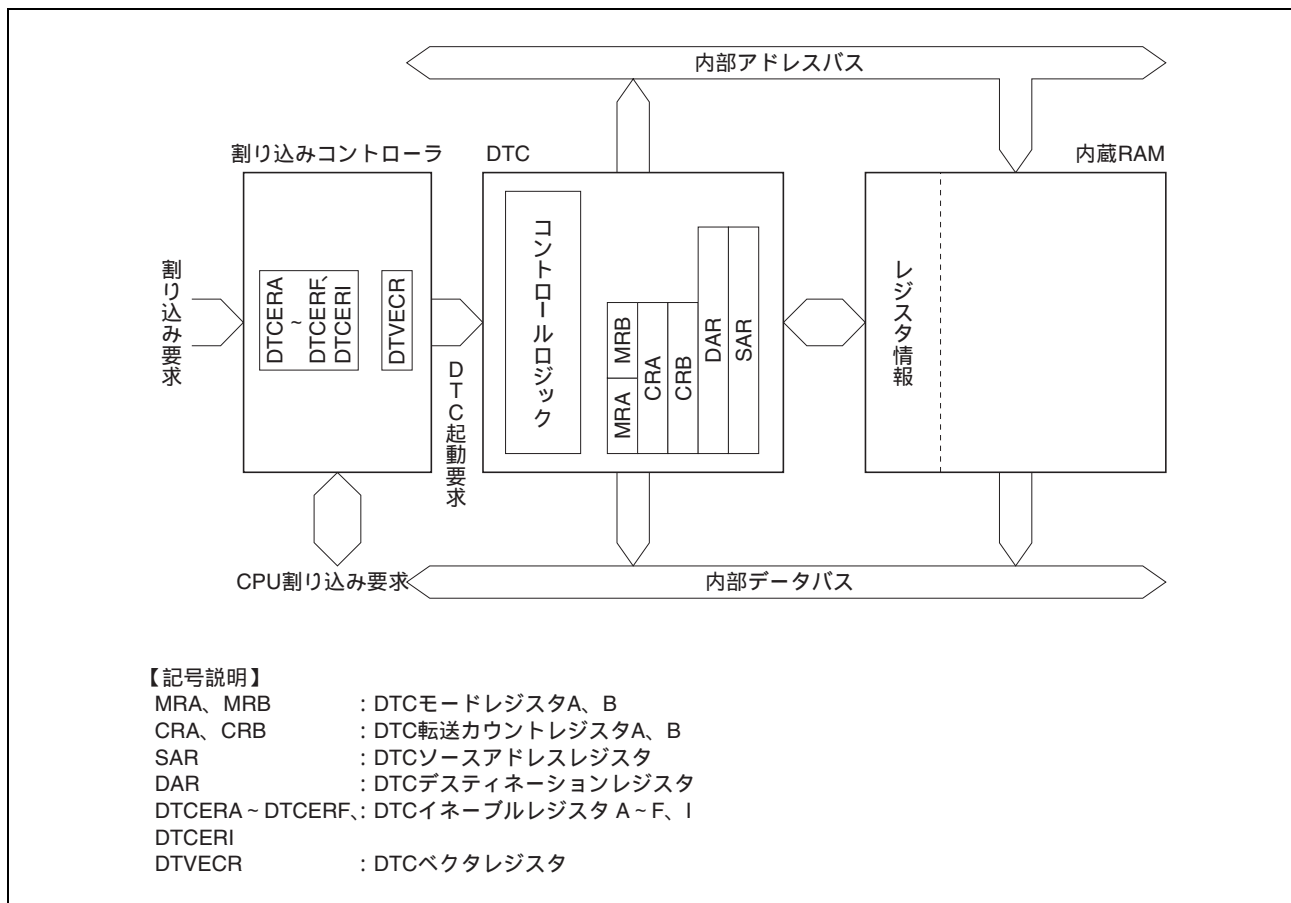


図 8.1 DTC のブロック図

8.1.3 レジスタ構成

DTC のレジスタ構成を表 8.1 に示します。

表 8.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
DTC モードレジスタ A	MRA	- *2	不定	- *3
DTC モードレジスタ B	MRB	- *2	不定	- *3
DTC ソースアドレスレジスタ	SAR	- *2	不定	- *3
DTC デスティネーションアドレスレジスタ	DAR	- *2	不定	- *3
DTC 転送カウントレジスタ A	CRA	- *2	不定	- *3
DTC 転送カウントレジスタ B	CRB	- *2	不定	- *3
DTC イネーブルレジスタ	DTCER	R/W	H'00	H'FE16 ~ H'FE1B、H'FE1E
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FE1F
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 DTC 内のレジスタは直接リード/ライトできません。

*3 内蔵 RAM のアドレス H'EBC0 ~ H'EFBF にレジスタ情報として配置します。外部メモリ空間には配置できません。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

8.2 各レジスタの説明

8.2.1 DTC モードレジスタ A (MRA)

ビット:	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6: ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	SAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

ビット 5、4: デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	DAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

ビット 3、2: DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット 3	ビット 2	説明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

ビット 1: DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット 1	説明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

8. データトランスファコントローラ (DTC)

ビット0: DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

8.2.2 DTC モードレジスタ B (MRB)

ビット:	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

ビット7: DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の要求に対し複数のデータ転送を連続して行うことができます。

CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因フラグのクリアや DTCER のクリアは行いません。

ビット7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

ビット6: DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

ビット5~0: リザーブビット

H8S/2214 グループでは、DTC の動作に影響を与えません。0 をライトしてください。

8.2.3 DTC ソースアドレスレジスタ (SAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	---	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.5 DTC 転送カウントレジスタ A (CRA)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	← CRAH →								← CRAL →							

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リピートモードでは、CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは CRAH はブロックサイズを保持し、CRAL は、8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

8.2.6 DTC 転送カウントレジスタ B (CRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

8.2.7 DTC イネーブルレジスタ (DTCEr)

ビット:	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCEr は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード/ライトが可能な 7 本のレジスタで、DTCErA ~ DTCErG があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCEr はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n: DTC 起動イネーブル (DTCEn)

ビット n	説明
DTCEn	
0	割り込みによる DTC 起動を禁止 [クリア条件] • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき
1	割り込みによる DTC 起動を許可 [保持条件] • DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n=7~0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するベクタ番号について表 8.4 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

8.2.8 DTC ベクタレジスタ (DTVECR)

ビット:	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2

【注】 *1 SWDTEビットは、1ライトのみ可能です。

*2 DTVEC6~DTVEC0ビットは、SWDTE = 0のときライト可能です。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7: DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ビット7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] <ul style="list-style-type: none"> • DISEL ビットが0で、指定した回数の転送が終了していないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求されたあと、0をライトしたとき
1	DTC ソフトウェア起動を許可 [保持条件] <ul style="list-style-type: none"> • DISEL ビットが1で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中

ビット6~0: DTC ソフトウェア起動ベクタ6~0 (DTVEC6~DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400 + ((ベクタ番号) << 1) となります。ここで << 1 は 1 ビットの左シフトを表します。たとえば、DTVEC6 ~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。

8.2.9 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA6 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTPA6 ビットに 1 をライトすることはできません。詳細は、「17.5 モジュールストップモード」を参照してください。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 6 : モジュールストップ (MSTPA6)

DTC のモジュールストップモードを指定します。

ビット 6	説明
MSTPA6	
0	DTC のモジュールストップモード解除 (初期値)
1	DTC のモジュールストップモード設定

8.3 動作説明

8.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャネル数のデータ転送を行うことができます。また、CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます。

図 8.2 に DTC の動作フローチャートを示します。

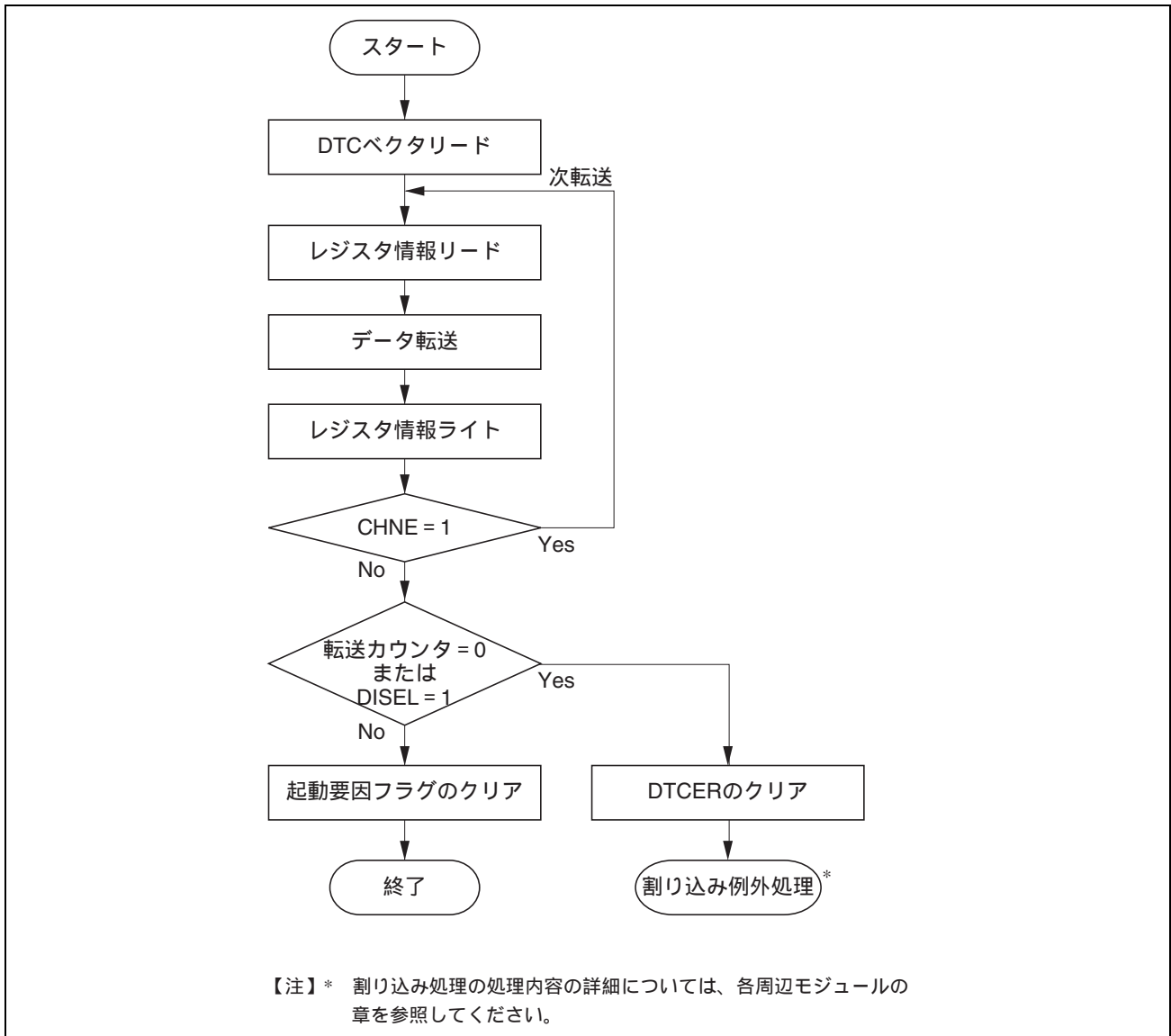


図 8.2 DTC 動作フローチャート

8. データトランスファコントローラ (DTC)

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定とされます。

表 8.2 に、DTC の機能概要を示します。

表 8.2 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 転送回数は 1 ~ 65536 (2) リピートモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 (3) ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定したブロックサイズの転送 ブロックサイズ 1 ~ 256 バイトまたはワード 転送回数は 1 ~ 65536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 	<ul style="list-style-type: none"> IRQ TPU の TGI 8 ビットタイマの CMI SCI の TXI、RXI A/D 変換器の ADI ソフトウェア 	24 ビット	24 ビット

8.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。

対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因または DTCER の対応するビットをクリアします。表 8.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば RXI0 の場合、SCIO の RDRF フラグになります。

DTC の起動要因は多数あるため最終バイト (またはワード) の転送に対しては起動要因となったフラグをクリアしません。

各割り込み処理にて必要な処理をしてください。

表 8.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> SWDTE ビットは 1 を保持 CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> DTCER の対応するビットは 1 を保持 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> DTCER の対応するビットは 0 にクリア 起動要因フラグは 1 を保持 起動要因となった割り込みを CPU に要求

図 8.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

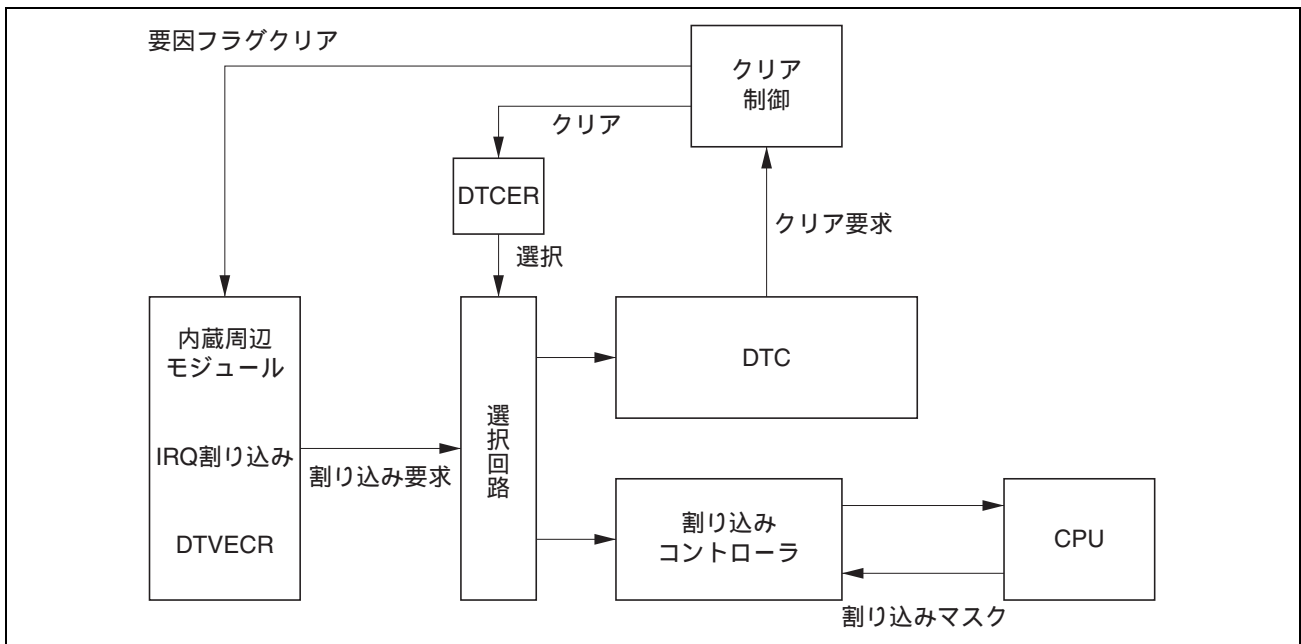


図 8.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

8.3.3 DTC ベクタテーブル

図 8.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 8.4 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400 + (DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表します)。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。


起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモード*とアドバンスモードとは同じです。ともに 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

【注】* H8S/2214 グループでは使用できません。

8. データトランスファコントローラ (DTC)

表 8.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位
DTVECR へのライト	ソフトウェア	DTVECR	H'0400 + (DTVECR[6:0] < < 1)	-	高  低
IRQ0	外部端子	16	H'0420	DTCEA7	
IRQ1		17	H'0422	DTCEA6	
IRQ2		18	H'0424	DTCEA5	
IRQ3		19	H'0426	DTCEA4	
IRQ4		20	H'0428	DTCEA3	
IRQ5		21	H'042A	DTCEA2	
IRQ6		22	H'042C	DTCEA1	
IRQ7		23	H'042E	DTCEA0	
TGI0A (GR0A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 0	32	H'0440	DTCEB5	
TGI0B (GR0B コンペアマッチ/インプットキャプチャ)		33	H'0442	DTCEB4	
TGI0C (GR0C コンペアマッチ/インプットキャプチャ)		34	H'0444	DTCEB3	
TGI0D (GR0D コンペアマッチ/インプットキャプチャ)		35	H'0446	DTCEB2	
TGI1A (GR1A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 1	40	H'0450	DTCEB1	
TGI1B (GR1B コンペアマッチ/インプットキャプチャ)		41	H'0452	DTCEB0	
TGI2A (GR2A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 2	44	H'0458	DTCEC7	
TGI2B (GR2B コンペアマッチ/インプットキャプチャ)		45	H'045A	DTCEC6	
DEND0A (チャンネル 0 / チャンネル 0A 転送終了)	DMAC	72	H'0490	DTCEE7	
DEND0B (チャンネル 0B 転送終了)		73	H'0492	DTCEE6	
DEND1A (チャンネル 1 / チャンネル 1A 転送終了)		74	H'0494	DTCEE5	
DEND1B (チャンネル 1B 転送終了)		75	H'0496	DTCEE4	
RXI0 (受信完了 0)	SCI チャンネル 0	81	H'04A2	DTCEE3	
TXI0 (送信データエンプティ 0)		82	H'04A4	DTCEE2	
RXI1 (受信完了 1)	SCI チャンネル 1	85	H'04AA	DTCEE1	
TXI1 (送信データエンプティ 1)		86	H'04AC	DTCEE0	
RXI2 (受信完了 2)	SCI チャンネル 2	89	H'04B2	DTCEF7	
TXI2 (送信データエンプティ 2)		90	H'04B4	DTCEF6	
EXIRQ0	外部モジュール	104	H'04D0	DTCEG7	
EXIRQ1		105	H'04D2	DTCEG6	
EXIRQ2		106	H'04D4	DTCEG5	
EXIRQ3		107	H'04D6	DTCEG4	
EXIRQ4		108	H'04D8	DTCEG3	
EXIRQ5		109	H'04DA	DTCEG2	
EXIRQ6		110	H'04DC	DTCEG1	
EXIRQ7		111	H'04DE	DTCEG0	

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

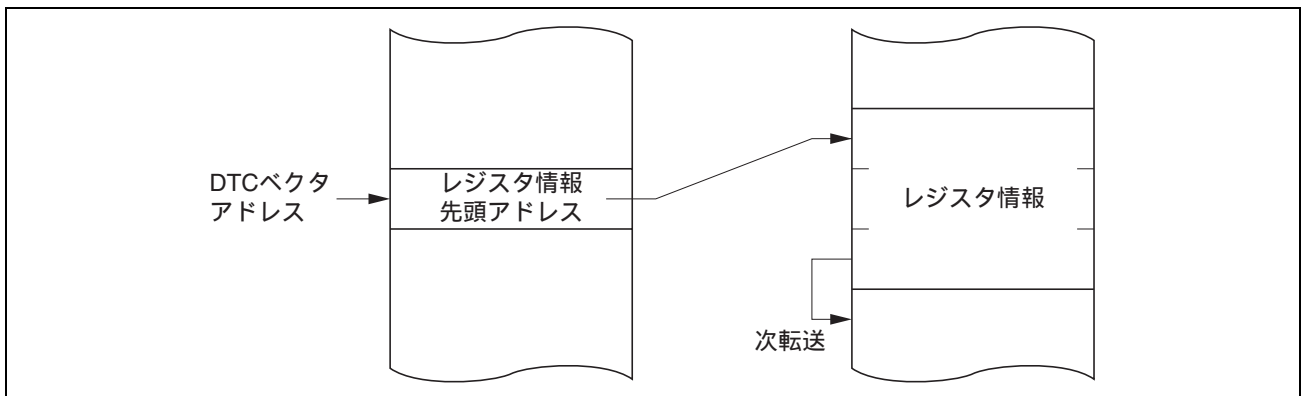


図 8.4 DTC ベクタアドレスとレジスタ情報との対応

8.3.4 アドレス空間上でのレジスタ情報の配置

図 8.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス (ベクタアドレスの内容) から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上 (アドレス : H'FFEB0 ~ H'FFEBF) に配置してください。

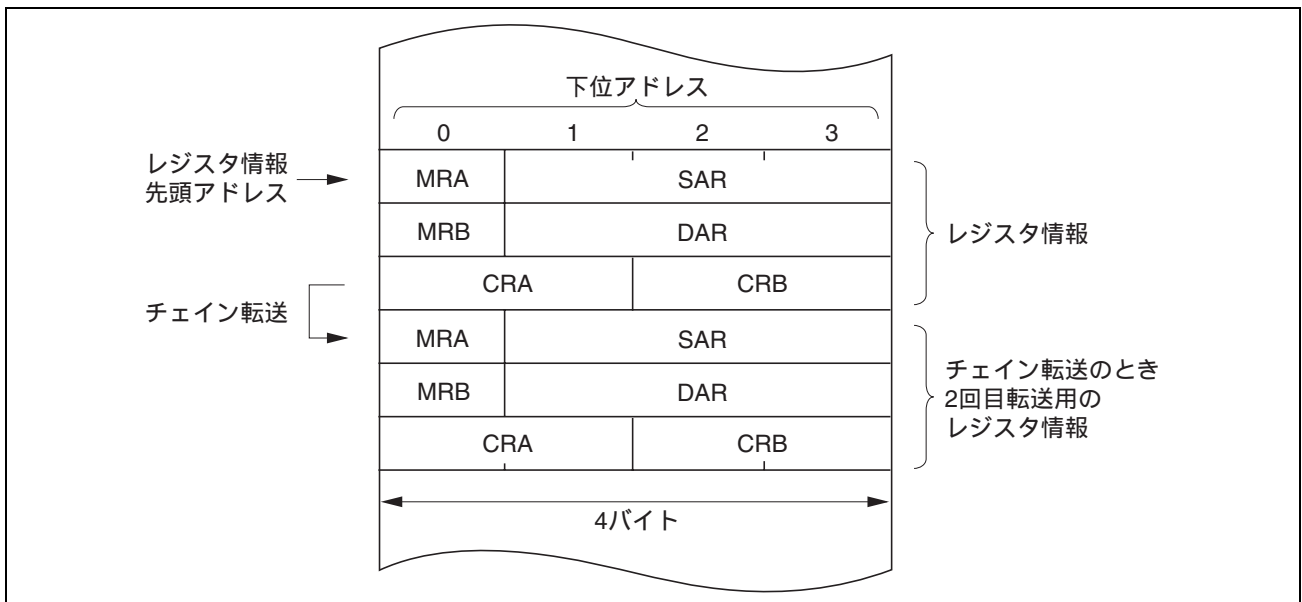


図 8.5 アドレス空間上での DTC レジスタ情報の配置

8. データトランスファコントローラ (DTC)

8.3.5 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込みを要求することができます。

表 8.5 にノーマルモードのレジスタ機能を、図 8.6 にノーマルモードのメモリマップを示します。

表 8.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

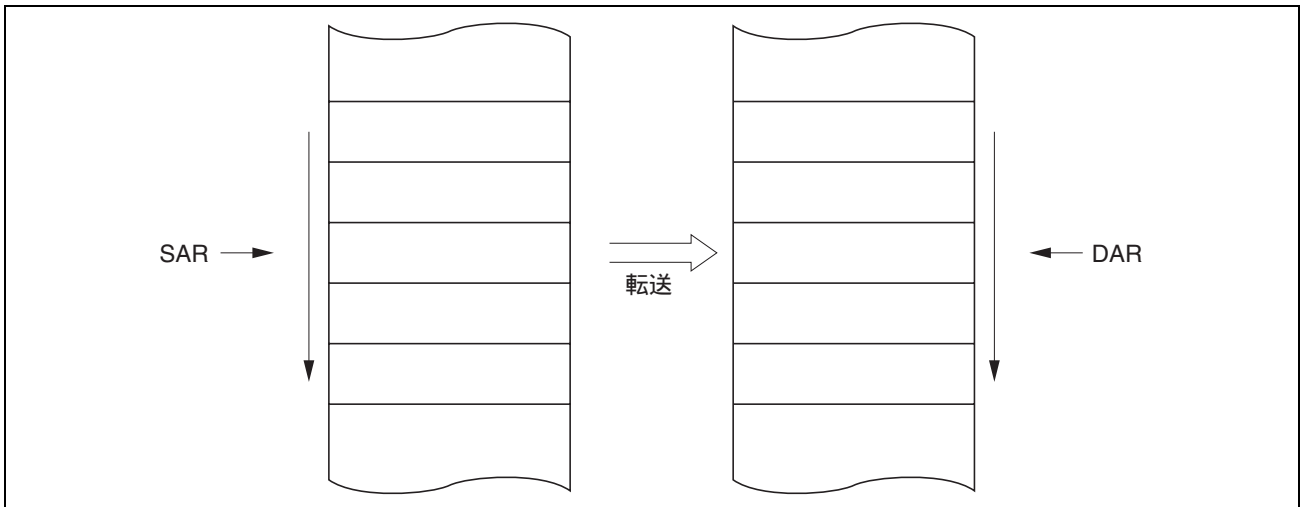


図 8.6 ノーマルモードのメモリマップ

8.3.6 リピートモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1 ~ 256 を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは、転送カウンタが H'00 になりませんので、DISEL = 0 の場合、CPU への割り込みは要求されません。

表 8.6 にリピートモードのレジスタ機能を、図 8.7 にリピートモードのメモリマップを示します。

表 8.6 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

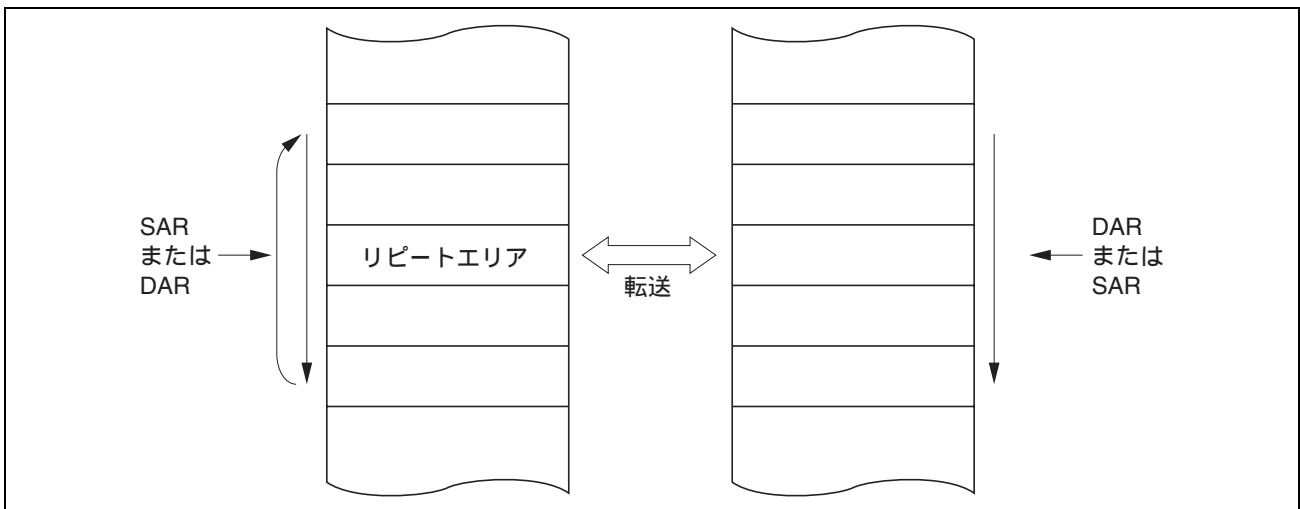


図 8.7 リピートモードのメモリマップ

8.3.7 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは1~256です。1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定とされます。

転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込みを要求することができます。

表 8.7 にブロック転送モードのレジスタ機能を、図 8.8 にブロック転送モードのメモリマップを示します。

表 8.7 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

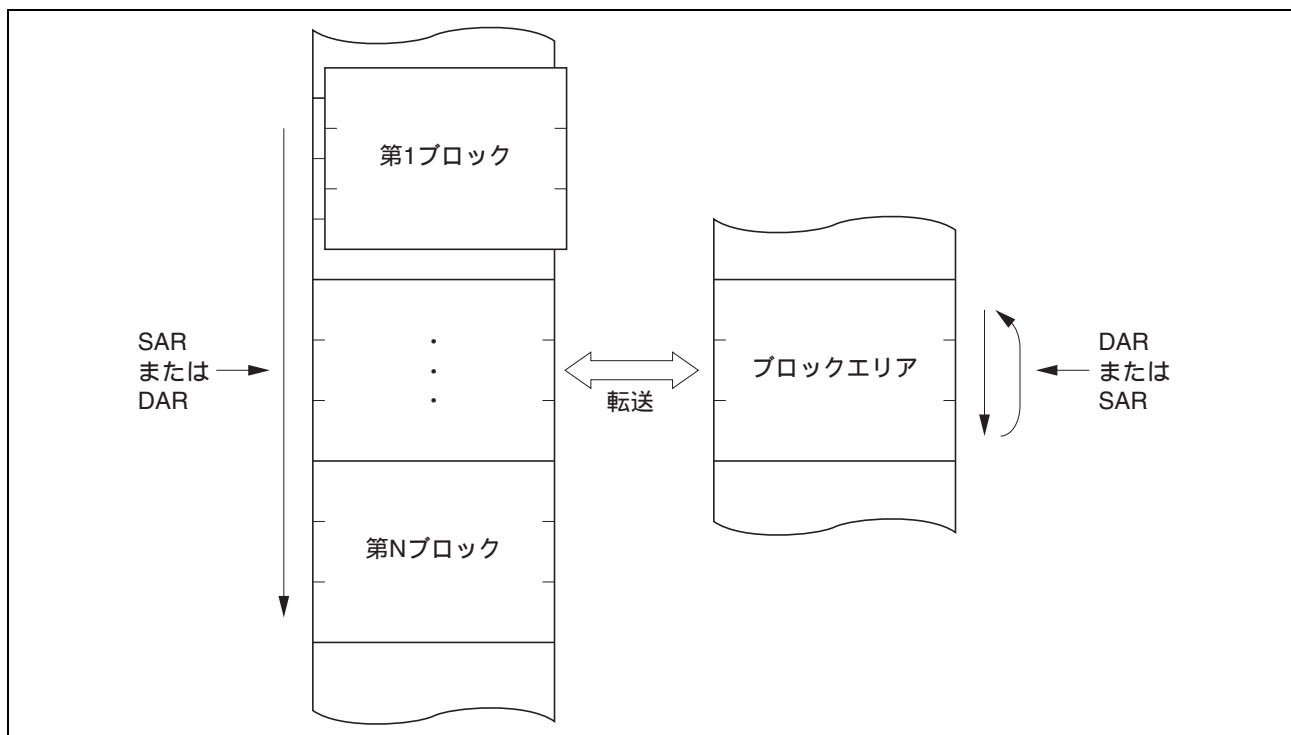


図 8.8 ブロック転送モードのメモリマップ

8.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はおのこの独立に設定できます。

図 8.9 にチェイン転送のメモリマップを示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

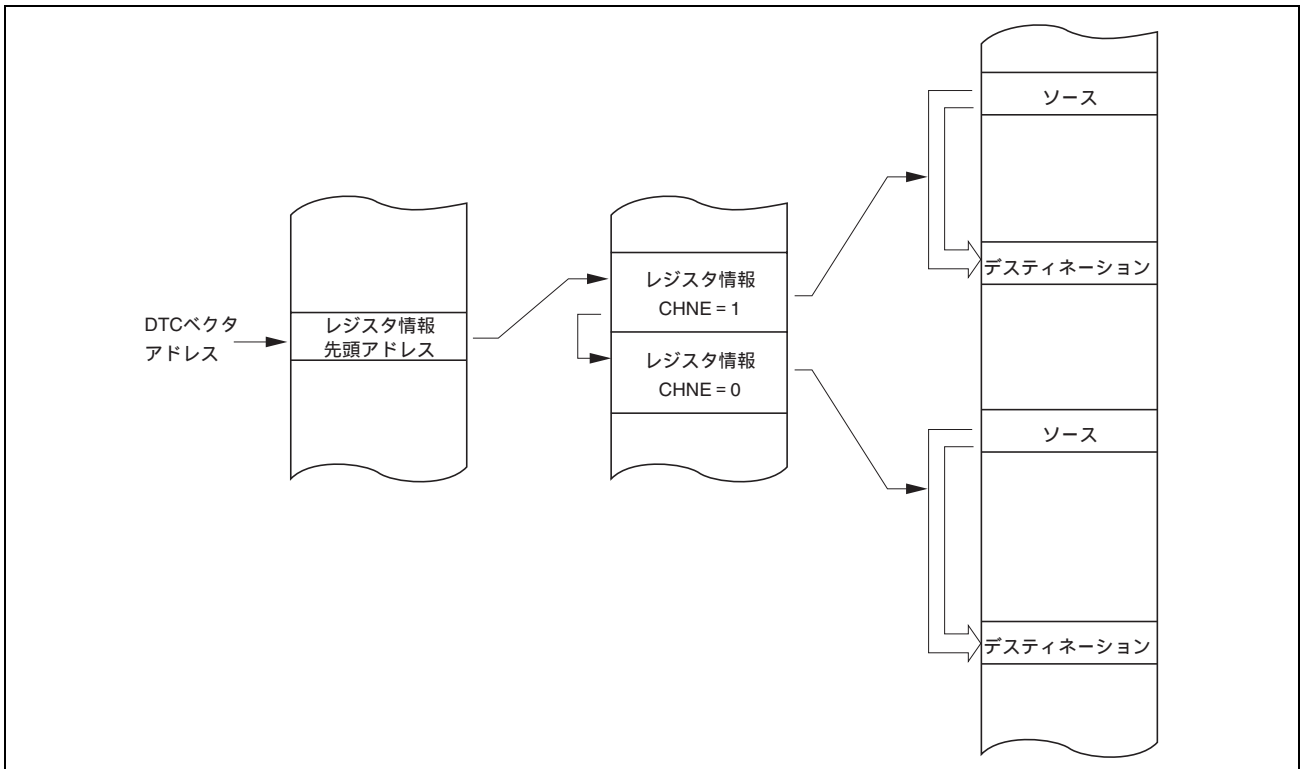


図 8.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

8.3.9 動作タイミング

図 8.10 ~ 図 8.12 に、DTC の動作タイミングの例を示します。

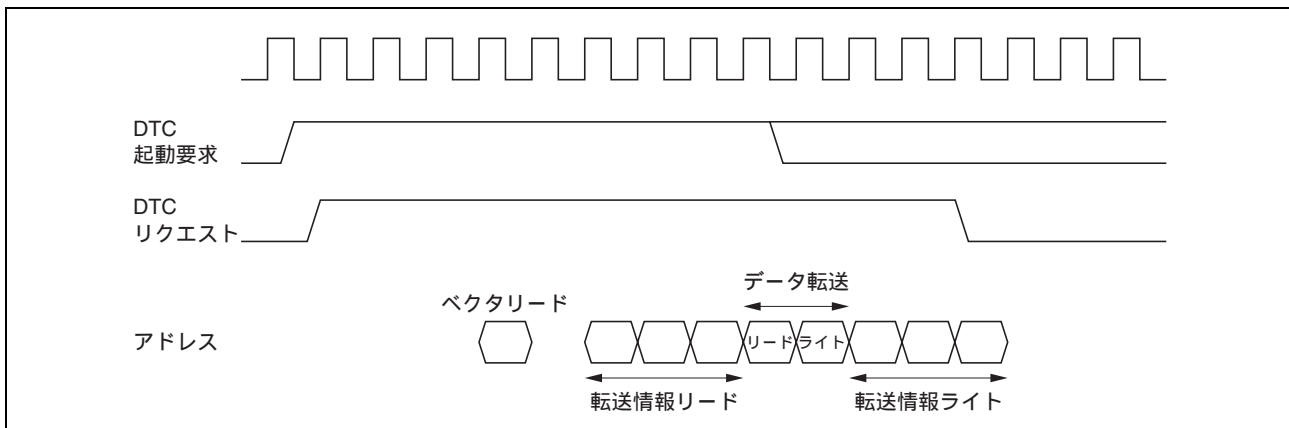


図 8.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

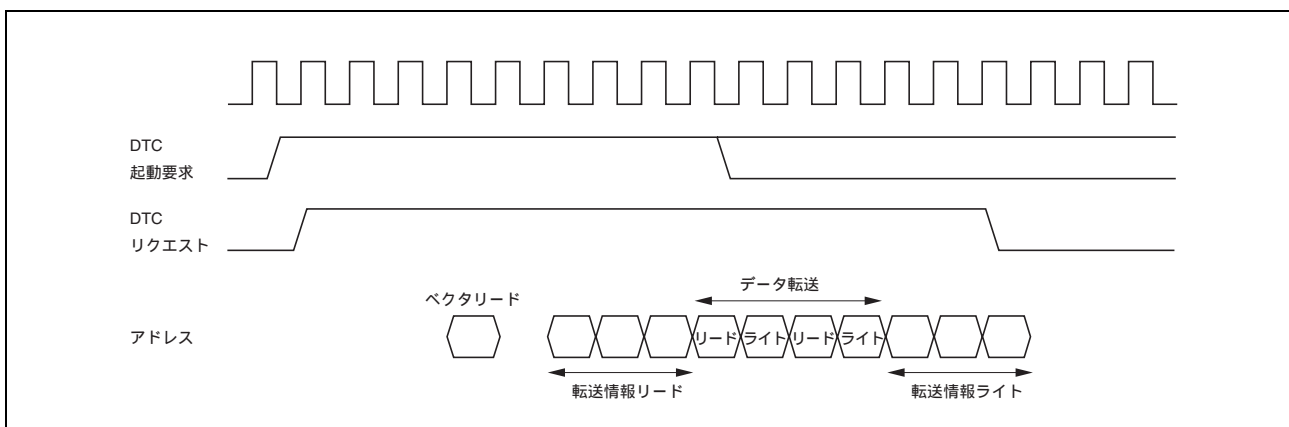


図 8.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

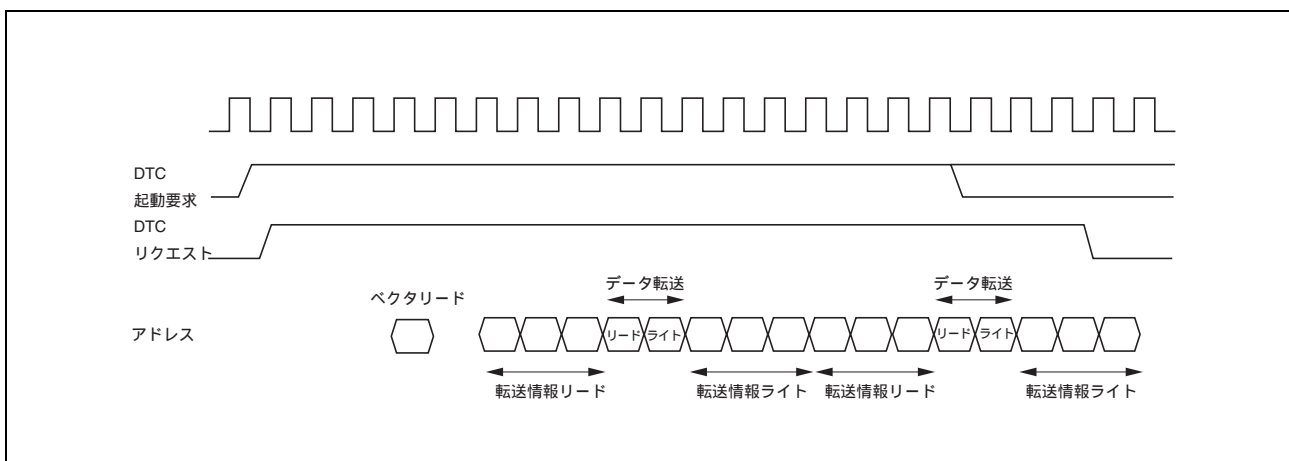


図 8.12 DTC の動作タイミング (チェーン転送の例)

8.3.10 DTC 実行ステート数

表 8.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.9 に、実行状態に必要なステート数を示します。

表 8.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

【記号説明】

N: ブロックサイズ (CRAH、CRAL の初期設定値)

表 8.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実 行 状 態	ベクタリード S_i	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 リード/ライト S_j	1	-	-	-	-	-	-	-
	バイトデータリード S_k	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_k	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S_l	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_l	1	1	4	2	4	6+2m	2	3+m
内部動作 S_m		1							

【記号説明】

m: 外部デバイスアクセス時のウェイトステート数

実行ステート数は次の計算式で計算されます。なお、は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_i + (J \cdot S_j + K \cdot S_k + L \cdot S_l) + M \cdot S_m$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

8.3.11 DTC 使用手順

(1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
- [5] 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

(2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] SWDTE = 0を確認します。
- [4] SWDTEに1を、DTVECRにベクタ番号をライトします。
- [5] DTVECRにライトしたベクタ番号を確認します。
- [6] 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されず。

8.3.12 DTC 使用例

(1) ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

- [1] MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
- [5] SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(2) ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- [1] MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ブロック転送モード (MD1 = 1、MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE = 0) を行います。SARは転送元アドレスで H'1000、DARは転送先アドレスで H'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- [3] DTVECRのSWDTE = 0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
- [4] SWDTE = 1とともに、ベクタ番号 H'60を、DTVECRにライトします。ライトデータは H'E0です。
- [5] 再度、DTVECRを読み、ベクタ番号 H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合、これに相当します。起動したい場合、[3] に戻ってください。
- [6] ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- [7] 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

8.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスケルレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

8.5 使用上の注意

(1) モジュールストップ

MSTPCRA の MSTPA6 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTPA6 ビットに 1 をライトできません。詳細は「第 17 章 低消費電力状態」を参照してください。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMAC の DTE ビットは DTC の制御を受けず、ライトデータが優先されます。このため、DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

(4) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

9. I/O ポート

9.1 概要

H8S/2214 グループには、10 本の入出力ポート（ポート 1、3、7、A～G）と 2 本の入力専用ポート（ポート 4、9）があります。

ポート機能一覧を表 9.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ(DDR)と、出力データを格納するデータレジスタ(DR)と、端子の状態をリードするポートレジスタ(PORT)から構成されています。なお、入力専用ポートには DDR はありません。

H8S/2214 グループのポート A～E には、入力プルアップ MOS が内蔵されており、DDR、DR のほかに、入力プルアップ MOS コントロールレジスタ(PCR)で、入力プルアップ MOS のオン/オフを制御します。

H8S/2214 グループのポート 3、A には、オープンドレインコントロールレジスタ(ODR)が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

$\overline{\text{IRQ}}$ 端子および外部拡張割り込み入力端子は、シュミットトリガ入力です。

各ポートのブロック図は、「付録 C. I/O ポートのブロック図」を参照してください。

9. I/O ポート

表 9.1 H8S/2214 グループ動作モード別機能一覧

	概要	端子	モード 4、5	モード 6	モード 7
ポート 1	<ul style="list-style-type: none"> 8 ビットの入出力ポート シュミットトリガ入力 (IRQ1、IRQ0) 	P17/TIOCB2/TCLKD P16/TIOCA2/IRQ1 P15/TIOCB1/TCLKC P14/TIOCA1/IRQ0 P13/TIOCD0/TCLKB/A23 P12/TIOCC0/TCLKA/A22 P11/TIOCB0/A21 P10/TIOCA0/A20	TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と割り込み入力端子 (IRQ0、IRQ1) と 8 ビット入出力ポートとの兼用	TPU の入出力端子 (TCLKA、TCLKB、TIOCA0、TIOCB0、TIOCC0、TIOCD0) とアドレス出力 (A20 ~ A23) と 8 ビット入出力ポートとの兼用	
ポート 3	<ul style="list-style-type: none"> 7 ビットの入出力ポート オープンドレイン出力可能 シュミットトリガ入力 (IRQ5、IRQ4、EXIRQ7) 	P36/EXIRQ7 P35/SCK1/IRQ5 P34/RxD1 P33/TxD1 P32/SCK0/IRQ4 P31/RxD0 P30/TxD0	SCI (チャンネル 0、1) の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1) と割り込み入力端子 (IRQ4、IRQ5) と外部拡張割り込み入力端子 (EXIRQ7) と 7 ビット入出力ポートの兼用		
ポート 4	<ul style="list-style-type: none"> 8 ビットの入力ポート シュミットトリガ入力 (EXIRQ6 ~ EXIRQ0) 	P47/EXIRQ6 P46/EXIRQ5 P45 P44/EXIRQ4 P43/EXIRQ3 P42/EXIRQ2 P41/EXIRQ1 P40/EXIRQ0	外部拡張割り込み入力端子 (EXIRQ6 ~ EXIRQ0) と 8 ビット入出力ポートの兼用		
ポート 7	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P77 P76/EXMSTP P75/EXMS P74/MRES/EXDTCE P73/TEND1/CS7 P72/TEND0/CS6 P71/DREQ1/CS5 P70/DREQ0/CS4	DMAC の入出力端子 (DREQ0、TEND0、DREQ1、TEND1)、バス制御出力端子 (CS4 ~ CS7)、マニュアルリセット入力端子 (MRES)、外部モジュール出力端子 (EXMSTP、EXMS、EXDTCE) と 8 ビット入出力ポートの兼用	DMAC の入出力端子 (DREQ0、TEND0、DREQ1、TEND1)、マニュアルリセット入力端子 (MRES)、外部モジュール出力端子 (EXMSTP、EXMS、EXDTCE) と 8 ビット入出力ポートの兼用	
ポート 9	<ul style="list-style-type: none"> 1 ビットの入力ポート 	P96/DA0	DA 変換器のアナログ出力 (DA0) と 1 ビットの入力ポートの兼用		
ポート A	<ul style="list-style-type: none"> 4 ビットの入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PA3/A19/SCK2 PA2/A18/RxD2 PA1/A17/TxD2 PA0/A16	SCI (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) とアドレス出力 (A16 ~ A19) と入出力ポートとの兼用	SCI (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) と入出力ポートとの兼用	
ポート B	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	TPU の入出力端子とアドレス出力 (A8 ~ A15) と入出力ポートとの兼用		入出力ポート
ポート C	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PC7/A7 ~ PC0/A0	アドレス出力 (A0 ~ A7)	DDR = 0 のとき 入力ポート DDR = 1 のとき アドレス出力	入出力ポート
ポート D	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PD7/D15 ~ PD0/D8	データバス入出力		入出力ポート

	概要	端子	モード4、5	モード6	モード7
ポート E	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップ MOS 内蔵 	PE7/D7 ~ PE0/D0		8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータバス入出力	入出力ポート
ポート F	<ul style="list-style-type: none"> 8ビット入出力ポート シュミットトリガ入力 (IRQ3、IRQ2) 	PF7/		DDR=0のとき入力ポート DDR=1のとき(リセット後) 出力	DDR=0のとき(リセット後)入力ポート DDR=1のとき 出力
		PF6/ \overline{AS} PF5/ \overline{RD} PF4/ \overline{HWR}		\overline{AS} 、 \overline{RD} 、 \overline{HWR} 出力	入出力ポート
		PF3/ \overline{LWR} /IRQ3		16ビットバスモードのとき \overline{LWR} 出力 8ビットバスモードのとき割り込み入力端子 ($\overline{IRQ3}$) と入出力ポートの兼用	割り込み入力端子 ($\overline{IRQ3}$) と入出力ポートの兼用
		PF2/ \overline{WAIT}		WAITE=0のとき(リセット後)入出力ポート WAITE=1のとき \overline{WAIT} 入力	入出力ポート
		PF1/ \overline{BACK}		BRLE=0のとき(リセット後)、入出力ポート BRLE=1のとき、 \overline{BACK} 出力	
		PF0/ \overline{BREQ} /IRQ2		BRLE=0のとき(リセット後)、入出力ポート 割り込み入力端子 ($\overline{IRQ2}$) との兼用 BRLE=1のとき、 \overline{BREQ} 入力と 割り込み入力端子 ($\overline{IRQ2}$)	入出力ポートと 割り込み入力端子 ($\overline{IRQ2}$) との兼用
ポート G	<ul style="list-style-type: none"> 5ビットの入出力ポート シュミットトリガ入力 (IRQ7、IRQ6) 	PG4/ $\overline{CS0}$		DDR=0のとき*1入力ポート DDR=1のとき*2 $\overline{CS0}$ 出力	入出力ポートと 割り込み入力端子
		PG3/ $\overline{CS1}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS3}$ /IRQ7		DDR=0のとき(リセット後)、入力ポートと 割り込み入力端子 ($\overline{IRQ7}$) との兼用 DDR=1のとき $\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 出力と割り込み入力端子 ($\overline{IRQ7}$) の兼用	($\overline{IRQ6}$ 、 $\overline{IRQ7}$) との兼用
		PG0/ $\overline{IRQ6}$			

【注】 *1 モード6のリセット後

*2 モード4、5のリセット後

9.2 ポート 1

9.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、外部割り込み端子 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$)、アドレスバス出力端子 (A23 ~ A20) と兼用になっています。ポート 1 の端子機能は動作モードによって切り替わります。

割り込み入力端子 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$) はシュミットトリガ入力です。

ポート 1 の各端子の構成を図 9.1 に示します。

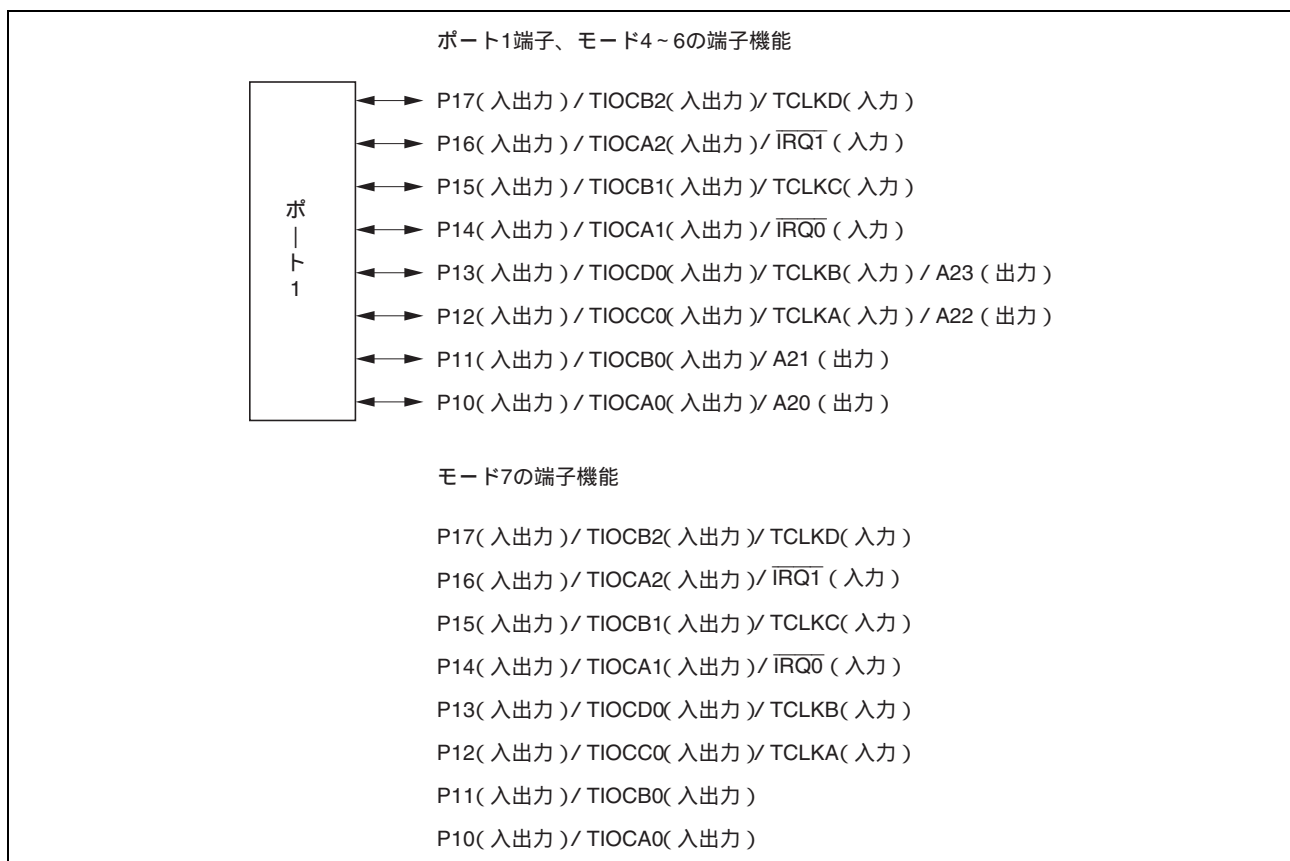


図 9.1 ポート 1 の端子機能

9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FE30
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF00
ポート 1 レジスタ	PORT1	R	不定	H'FFB0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

P1DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。マニュアルリセットでは、TPU は初期化されるため、P1DDR、P1DR の指定によって端子状態が決定されます。

ソフトウェアスタンバイモードに遷移したとき、アドレス端子は出力状態を維持するか、ハイインピーダンス状態とするかを SBYCR の OPE ビットで選択します。

(a) モード 4~6

PFCR の AE3 ~ AE0 ビットの設定でアドレス出力を許可すると P13 ~ P10 の各端子はアドレス出力となります。P17 ~ P14 端子と、アドレス出力を禁止した場合の P13 ~ P10 端子は、P1DDR を 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

P1DDR を 1 にセットするとポート 1 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート 1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 (P17 ~ P10) の出力データを格納します。

P1DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 1 レジスタ (PORT1)

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P17~P10端子の状態により決定されます。

PORT1 は、8 ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート 1 の各端子 (P17 ~ P10) の出力データのライトは必ず PIDR に対して行ってください。

PIDDR が 1 にセットされているとき、ポート 1 のリードを行うと PIDR の値をリードします。PIDDR が 0 にクリアされているとき、ポート 1 のリードを行うと端子の状態が読み出されます。

PORT1 は、パワーオンリセットまたはハードウェアスタンバイモードでは PIDDR、PIDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.2.3 端子機能

ポート 1 の各端子は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、外部割り込み入力端子 (IRQ0、IRQ1)、アドレス出力端子 (A23 ~ A20) と兼用になっています。ポート 1 の端子機能を表 9.3 に示します。

表 9.3 ポート 1 の端子機能

端子	選択方法と端子機能						
P17/ TIOCB2/ TCLKD	TMDR2 の MD3 ~ MD0 ビット、TIOB2 の IOB3 ~ IOB0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、TCR0、TCR5 の TPSC2 ~ TPSC0 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル2の設定	下表 (1)		下表 (2)			
	P17DDR	-		0	1		
	端子機能	TIOCB2出力		P17入力	P17出力		
				TIOCB2入力*1			
		TCLKD入力*2					
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB2 入力となります。 *2 TCR0、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 の場合に TCLKD 入力となります。 また、チャネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。						
	TPUチャネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3 ~ IOB0	B'0000	B'0001 ~ B'0011	-	B'xx00	B'xx00以外	
		B'0100	B'0101 ~ B'0111				
		B'1xxx					
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	【記号説明】 x : Don't care						

9. I/O ポート

端子	選択方法と端子機能							
P16/ TIOCA2/ IRQ1	TMDR2のMD3～MD0ビット、TIOR2のIOA3～IOA0ビット、TCR2のCCLR1、CCLR0ビットによるTPUチャンネル2の設定、およびP16DDRビットの組み合わせにより、次のように切り替わります。							
	TPUチャンネル2の設定	下表(1)		下表(2)				
	P16DDR	-		0	1			
	端子機能	TIOCA2出力		P16入力		P16出力		
				TIOCA2入力*1				
		IRQ1入力*3						
	TPUチャンネル2の設定	(2)	(1)	(2)	(1)	(1)	(2)	
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011		
	IOA3～IOA0	B'0000	B'0001～B'0011		B'xx00	B'xx00以外		
		B'0100	B'0101～B'0111			B'xx00以外		
B'1xxx								
CCLR1、CCLR0	-	-	-	-	B'01以外	B'01		
出力機能	-	アウトプット コンペア出力	-	PWM *3 モード1出力	PWM モード2出力	-		
【記号説明】 x : Don't care								
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。 *2 外部割り込み端子として使用する場合は他の機能として使用しないでください。 *3 TIOCB2 は出力禁止となります。								
P15/ TIOCB1/ TCLKC	TMDR1のMD3～MD0ビット、TIOR1のIOB3～IOB0ビット、TCR1のCCLR1、CCLR0ビットによるTPUチャンネル1の設定、TCR0、TCR2、TCR4、TCR5のTPSC2～TPSC0ビット、およびP15DDRビットの組み合わせにより、次のように切り替わります。							
	TPUチャンネル1の設定	下表(1)		下表(2)				
	P15DDR	-		0	1			
	端子機能	TIOCB1出力		P15入力		P15出力		
				TIOCB1入力*1				
		TCLKC入力*2						
	TPUチャンネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)	
	MD3～MD0	B'0000、B'01xx		B'0010	B'0011			
	IOB3～IOB0	B'0000	B'0001～B'0011		-	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				B'xx00以外	
B'1xxx								
CCLR1、CCLR0	-	-	-	-	B'10以外	B'10		
出力機能	-	アウトプット コンペア出力	-	-	PWMモード2出力	-		
【記号説明】 x : Don't care								
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOB3～IOB0 = B'10xx の場合に TIOCB1 入力となります。 *2 TCR0、TCR2 のいずれかの設定が TPSC2～TPSC0 = B'110 または TCR4、TCR5 のいずれかの設定が TPSC2～TPSC0 = B'101 の場合に TCLKC 入力となります。 また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。								

端子	選択方法と端子機能						
P14/ TIOCA1/ IRQ0	TMDR1のMD3～MD0ビット、TIOA1のIOA3～IOA0ビット、TCR1のCCLR1、CCLR0ビットによるTPUチャンネル1の設定、およびP14DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル1の設定	下表(1)		下表(2)			
	P14DDR	-		0	1		
	端子機能	TIOCA1出力		P14入力		P14出力	
		TIOCA1入力*1					
	IRQ0入力*2						
	TPUチャンネル1の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000	B'0001～B'0011		B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
B'1xxx							
CCLR1、CCLR0	-	-	-	-	B'01以外	B'01	
出力機能	-	アウトプット コンペア出力		-	PWM*3 モード1出力	PWM モード2出力	
【記号説明】 x : Don't care							
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3～IOA0 = B'10xx の場合に TIOCA1 入力となります。 *2 外部割り込み端子として使用する場合は他の機能として使用しないでください。 *3 TIOCB1 は出力禁止となります。							
P13/ TIOCD0/ TCLKB/A23	動作モードとTMDR0のMD3～MD0ビット、TIOA0のIOD3～IOD0ビット、TCR0のCCLR2～CCLR0ビットによるTPUチャンネル0の設定、TCR0～TCR2のTPSC2～TPSC0ビット、PFCRのAE3～AE0ビット、およびP13DDRビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード4、5、6			モード7		
	AE3～AE0	(B'1111)以外			B'1111	-	
	TPUチャンネル0の設定	下表(1)	下表(2)		-	下表(1)	下表(2)
	P13DDR	-	0	1	-	-	0 1
	端子機能	TIOCD0	P13入力 P13出力		-	TIOCD0	P13入力 P13出力
		出力	TIOCD0入力*1		-	出力	TIOCD0入力*1
			TCLKB入力*2		A23出力	TCLKB入力*2	
	【注】 *1 MD3～MD0 = B'0000、かつ IOD3～IOD0 = B'10xx の場合に TIOCD0 入力となります。 *2 TCR0～TCR2 のいずれかの設定が TPSC2～TPSC0 = B'101 の場合に TCLKB 入力となります。 また、チャンネル1、5を位相計数モードに設定するとTCLKB入力となります。						
	TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011			
IOD3～IOD0	B'0000	B'0001～B'0011		-	B'xx00	B'xx00以外	
	B'0100	B'0101～B'0111					
	B'1xxx						
CCLR2～CCLR0	-	-	-	-	B'110以外	B'110	
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力	
【記号説明】 x : Don't care							

9. I/O ポート

端子	選択方法と端子機能							
P12/ TIOCC0/ TCLKA/A22	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOCR0L の IOC3 ~ IOC0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル0 の設定、TCR0 ~ TCR5 の TPSC2 ~ TPSC0 ビット、PFCR の AE3 ~ AE0 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード4、5、6				モード7		
	AE3 ~ AE0	(B'1111) 以外			B'1111	-		
	TPUチャンネル0の設定	下表(1)	下表(2)		-	下表(1)	下表(2)	
	P12DDR	-	0	1	-	-	0	1
	端子機能	TIOCC0 出力	P12入力	P12出力	-	TIOCC0 出力	P12入力	P12出力
			TIOCC0入力*1		-		TIOCC0入力*1	
		TCLKA入力*2			A22出力	TCLKA入力*2		
	TPUチャンネル0の設定	(2)	(1)		(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000			B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111		B'xx00	B'xx00以外		B'xx00以外	
CCLR2 ~ CCLR0	-	-		-	-	B'101以外	B'101	
出力機能	-	アウトプット コンペア出力		-	PWM *3 モード1出力	PWM モード2出力	-	
<p>【記号説明】 x : Don't care</p> <p>【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。 *2 TCR0 ~ TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。 また、チャンネル 1、5 を位相計数モードに設定すると TCLKA 入力となります。 *3 TIOCC0 は出力禁止となります。 TMDR0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。</p>								

端子	選択方法と端子機能					
P11/ TIOCB0/ A21	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOB3 ~ IOB0 ビットによる TPU チャネル 0 の設定、PFCR の AE3 ~ AE0 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード4、5、6				
	AE3 ~ AE0	B'0000 ~ B'1101			B'1110 ~ B'1111	
	SAE1	0			-	
	TPUチャネル0の設定	下表(1)	下表(2)		-	
	P11DDR	-	0	1	-	
	端子機能	TIOCB0出力	P11入力	P11出力	A21出力	
			TIOCB0入力*			
	動作モード	モード7				
	AE3 ~ AE0	-				
	SAE1	0				
	TPUチャネル0の設定	下表(1)	下表(2)		-	
	P11DDR	-	0	1	-	
	端子機能	TIOCB0出力	P11入力	P11出力		
			TIOCB0入力*			
【注】 * MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB0 入力となります。						
TPUチャネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000	B'0001 ~ B'0011		-	B'xx00	B'xx00以外
	B'0100	B'0101 ~ B'0111				
	B'1xxx					
CCLR2 ~ CCLR0	-	-	-	-	B'010以外	B'010
出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
【記号説明】						
x : Don't care						

9. I/O ポート

端子	選択方法と端子機能					
P10/ TIOCA0/ A20	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOA3 ~ IOA0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、PF0CR の AE3 ~ AE0 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード4、5、6				
	AE3 ~ AE0	B'0000 ~ B'1100			B'1101 ~ B'1111	
	SAE0	0			-	
	TPUチャンネル0の設定	下表(1)	下表(2)		-	
	P10DDR	-	0	1	-	
	端子機能	TIOCA0出力	P10入力	P10出力	A20出力	
			TIOCB0入力*1			
	動作モード	モード7				
	AE3 ~ AE0	-				
	SAE0	0				
	TPUチャンネル0の設定	下表(1)	下表(2)			
	P10DDR	-	0	1		
	端子機能	TIOCA0出力	P10入力	P10出力		
			TIOCA0入力*1			
TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000	B'0001 ~ B'0011		B'xx00	B'xx00以外	
	B'0100	B'0101 ~ B'0111				
	B'1xxx					
CCLR2 ~ CCLR0	-	-	-	-	B'001以外	B'001
出力機能	-	アウトプット	-	PWM *2	PWM	-
		コンペア出力		モード1出力	モード2出力	
【記号説明】						
x : Don't care						
【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。						
*2 TIOCB0 は出力禁止となります。						

9.3 ポート 3

9.3.1 概要

ポート 3 は、7 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1)、外部割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$)、外部拡張割り込み入力端子 ($\overline{\text{EXIRQ7}}$) と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。

割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$)、外部拡張割り込み入力端子 ($\overline{\text{EXIRQ7}}$) はシュミットトリガ入力です。

ポート 3 の各端子の構成を図 9.2 に示します。

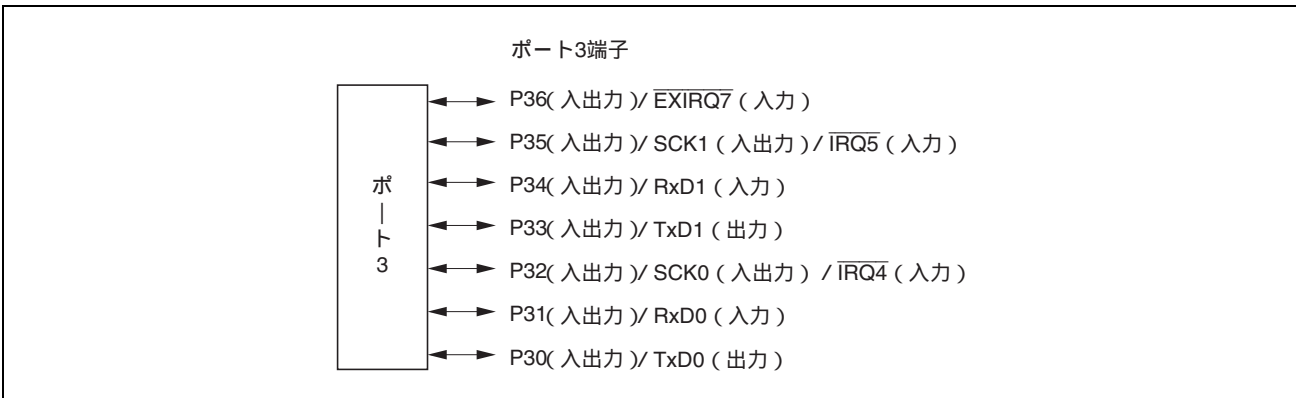


図 9.2 ポート 3 の端子機能

9.3.2 レジスタ構成

表 9.4 にポート 3 のレジスタ構成を示します。

表 9.4 ポート 3 レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FE32
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF02
ポート 3 レジスタ	PORT3	R	H'00	H'FFB2
ポート 3 オープンドレインコントロールレジスタ	P3ODR	R/W	H'00	H'FE46
割り込み要求入力端子選択レジスタ 0	IPINTSEL0	R/W	H'00	H'FE4A

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 6~0 の値を示しています。

(1) ポート3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	-	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	不定	0	0	0	0	0	0	0
R/W :	-	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。またビット7 はリザーブビットです。リードすると、不定値が読み出されます。ライトは無効です。

P3DDR を1 にセットすると対応するポート3 の各端子は出力となり、0 にクリアすると入力になります。

本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

P3DDR はパワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。また、マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。マニュアルリセットでは、SCI は初期化されるため、P3DDR、P3DR の指定によって端子状態が決定されます。

(2) ポート3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	-	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	不定	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート3 の各端子 (P36 ~ P30) の出力データを格納します。ビット7 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート3 レジスタ (PORT3)

ビット :	7	6	5	4	3	2	1	0
	-	P36	P35	P34	P33	P32	P31	P30
初期値 :	不定	- *	- *	- *	- *	- *	- *	- *
R/W :	-	R	R	R	R	R	R	R

【注】* P36 ~ P30端子の状態により決定されます。

PORT3 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート3 の各端子 (P36 ~ P30) の出力データのライトは必ず P3DR に対して行ってください。ビット7 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DDR が1 にセットされているとき、ポート3 のリードを行うと P3DR の値をリードします。P3DDR が0 にクリアされているとき、ポート3 のリードを行うと端子の状態が読み出されます。

PORT3 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P3DDR、P3DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート3 オープンドレインコントロールレジスタ (P3ODR)

ビット:	7	6	5	4	3	2	1	0
	P36ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3ODR は、8 ビットのリード/ライト可能なレジスタで、ポート3 の各端子 (P36 ~ P30) の PMOS のオン/オフを制御します。ビット7 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3ODR を1 にセットするとポート3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

P3ODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) 割り込み要求入力端子選択レジスタ0 (IPINSEL0)

ビット:	7	6	5	4	3	2	1	0
	P36 IRQ7E	P47 IRQ6E	P46 IRQ5E	P44 IRQ4E	P43 IRQ3E	P42 IRQ2E	P41 IRQ1E	P40 IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IPINSEL0 は8 ビットのリード/ライト可能なレジスタで、チップ外部に接続したモジュールからの割り込み要求入力 (EXIRQ0 ~ 7) としてどの端子を使用するかを選択します。IPINSEL0 は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

ビット7: P36 からの $\overline{\text{EXIRQ7}}$ の入力イネーブル (P36IRQ7E)

P36 を $\overline{\text{EXIRQ7}}$ の入力として使用するかどうかを選択します。

ビット7	説明
P36IRQ7E	
0	P36 を $\overline{\text{EXIRQ7}}$ の入力として使用しない (初期値)
1	P36 を $\overline{\text{EXIRQ7}}$ の入力として使用する

ビット6: P47 からの $\overline{\text{EXIRQ6}}$ の入力イネーブル (P47IRQ6E)

P47 を $\overline{\text{EXIRQ6}}$ の入力として使用するかどうかを選択します。

ビット6	説明
P47IRQ6E	
0	P47 を $\overline{\text{EXIRQ6}}$ の入力として使用しない (初期値)
1	P47 を $\overline{\text{EXIRQ6}}$ の入力として使用する

ビット5: P46 からの $\overline{\text{EXIRQ5}}$ の入力イネーブル (P46IRQ5E)

P46 を $\overline{\text{EXIRQ5}}$ の入力として使用するかどうかを選択します。

ビット5	説明
P46IRQ5E	
0	P46 を $\overline{\text{EXIRQ5}}$ の入力として使用しない (初期値)
1	P46 を $\overline{\text{EXIRQ5}}$ の入力として使用する

9. I/O ポート

ビット 4 : P44 からの $\overline{\text{EXIRQ4}}$ の入力イネーブル (P44IRQ4E)

P44 を $\overline{\text{EXIRQ4}}$ の入力として使用するかどうかを選択します。

ビット 4	説 明
P44IRQ4E	
0	P44 を $\overline{\text{EXIRQ4}}$ の入力として使用しない (初期値)
1	P44 を $\overline{\text{EXIRQ4}}$ の入力として使用する

ビット 3 : P43 からの $\overline{\text{EXIRQ3}}$ の入力イネーブル (P43IRQ3E)

P43 を $\overline{\text{EXIRQ3}}$ の入力として使用するかどうかを選択します。

ビット 3	説 明
P43IRQ3E	
0	P43 を $\overline{\text{EXIRQ3}}$ の入力として使用しない (初期値)
1	P43 を $\overline{\text{EXIRQ3}}$ の入力として使用する

ビット 2 : P42 からの $\overline{\text{EXIRQ2}}$ の入力イネーブル (P42IRQ2E)

P42 を $\overline{\text{EXIRQ2}}$ の入力として使用するかどうかを選択します。

ビット 2	説 明
P42IRQ2E	
0	P42 を $\overline{\text{EXIRQ2}}$ の入力として使用しない (初期値)
1	P42 を $\overline{\text{EXIRQ2}}$ の入力として使用する

ビット 1 : P41 からの $\overline{\text{EXIRQ1}}$ の入力イネーブル (P41IRQ1E)

P41 を $\overline{\text{EXIRQ1}}$ の入力として使用するかどうかを選択します。

ビット 1	説 明
P41IRQ1E	
0	P41 を $\overline{\text{EXIRQ1}}$ の入力として使用しない (初期値)
1	P41 を $\overline{\text{EXIRQ1}}$ の入力として使用する

ビット 0 : P40 からの $\overline{\text{EXIRQ0}}$ の入力イネーブル (P40IRQ0E)

P40 を $\overline{\text{EXIRQ0}}$ の入力として使用するかどうかを選択します。

ビット 0	説 明
P40IRQ0E	
0	P40 を $\overline{\text{EXIRQ0}}$ の入力として使用しない (初期値)
1	P40 を $\overline{\text{EXIRQ0}}$ の入力として使用する

9.3.3 端子機能

ポート3の各端子は、SCIの入出力端子（TxD0、RxD0、SCK0、TxD1、RxD1、SCK1）、割り込み入力端子（ $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ ）、外部拡張割り込み入力端子（EXIRQ7）と兼用になっています。ポート3の端子機能を表9.5に示します。

表9.5 ポート3の端子機能

端子	選択方法と端子機能				
P36	IPINSEL0のP36IRQ7Eビット、P36DDRビットの組み合わせにより、次のように切り替わります。				
	P36IRQ7E	0		1	
	P36DDR	0	1	-	
	端子機能	P36入力		P36出力*	$\overline{\text{EXIRQ7}}$ 入力
	【注】* P36ODR=1のとき、NMOSオープンドレイン出力になります。				
P35/SCK1/ $\overline{\text{IRQ5}}$	SCI1のSMRのC/ $\overline{\text{A}}$ ビット、SCRのCKE0、CKE1ビットとP35DDRビットの組み合わせにより、次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	-
	CKE0	0	1	-	-
	P35DDR	0	1	-	-
	端子機能	P35入力	P35出力*1	SCK1出力*1	SCK1出力*1 SCK1入力
	$\overline{\text{IRQ5}}$ 入力 *2				
	【注】*1 P35ODR=1のとき、NMOSオープンドレイン出力になります。 *2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。				
P34/RxD1	SCI1のSCRのREビットとP34DDRビットの組み合わせにより、次のように切り替わります。				
	RE	0		1	
	P34DDR	0	1	-	
	端子機能	P34入力		P34出力*	RxD1入力
	【注】* P34ODR=1のとき、NMOSオープンドレイン出力になります。				
P33/TxD1	SCI1のSCRのTEビットとP33DDRビットの組み合わせにより、次のように切り替わります。				
	TE	0		1	
	P33DDR	0	1	-	
	端子機能	P33入力		P33出力*	TxD1出力*
	【注】* P33ODR=1のとき、NMOSオープンドレイン出力になります。				
P32/SCK0/ $\overline{\text{IRQ4}}$	SCI0のSMRのC/ $\overline{\text{A}}$ ビット、SCRのCKE0、CKE1ビットとP32DDRビットの組み合わせにより、次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	-
	CKE0	0	1	-	-
	P32DDR	0	1	-	-
	端子機能	P32入力	P32出力*1	SCK0出力*1	SCK0出力*1 SCK0入力
	$\overline{\text{IRQ4}}$ 入力 *2				
	【注】*1 P32ODR=1のとき、NMOSオープンドレイン出力になります。 *2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。				

9. I/O ポート

端子	選択方法と端子機能		
P31/RxD0	SCI0 の SCR の RE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。		
	RE	0	1
	P31DDR	0	1
	端子機能	P31入力	P31出力*
			RxD0入力
	【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。		
P30/TxD0	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	1
	P30DDR	0	1
	端子機能	P30入力	P30出力*
			TxD0出力*
	【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。		

9.4 ポート 4

9.4.1 概要

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、外部拡張割り込み入力端子 ($\overline{\text{EXIRQ6}} \sim \overline{\text{EXIRQ0}}$) との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。ポート 4 の各端子の構成を図 9.3 に示します。

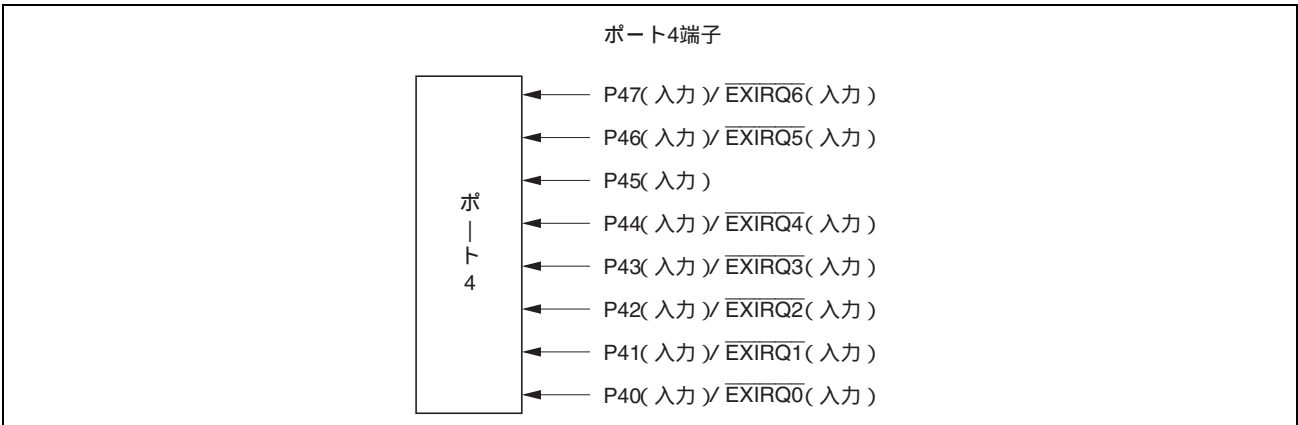


図 9.3 ポート 4 の端子機能

9.4.2 レジスタ構成

表 9.6 にポート 4 のレジスタ構成を示します。ポート 4 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 9.6 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 4 レジスタ	PORT4	R	不定	H'FFB3
割り込み要求入力端子選択レジスタ 0	IPINSEL0	R/W	H'00	H'FE4A

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 4 レジスタ (PORT4)

ビット:	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値:	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】 * P47 ~ P40 端子の状態により決定されます。

PORT4 は、8 ビットのリード専用レジスタで、リードを行うと常に端子の状態が読み出されます。ライトは無効です。

(2) 割り込み要求入力端子選択レジスタ 0 (IPINSEL0)

ビット:	7	6	5	4	3	2	1	0
	P36 IRQ7E	P47 IRQ6E	P46 IRQ5E	P44 IRQ4E	P43 IRQ3E	P42 IRQ2E	P41 IRQ1E	P40 IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IPINSEL0 は 8 ビットのリード/ライト可能なレジスタで、チップ外部に接続したモジュールからの割り込み要求入力 ($\text{EXIRQ0} \sim 7$) としてどの端子を使用するかを選択します。IPINSEL0 は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9. I/O ポート

ビット 7 : P36 からの $\overline{\text{EXIRQ7}}$ の入力イネーブル (P36IRQ7E)

P36 を $\overline{\text{EXIRQ7}}$ の入力として使用するかどうかを選択します。

ビット 7	説 明
P36IRQ7E	
0	P36 を $\overline{\text{EXIRQ7}}$ の入力として使用しない (初期値)
1	P36 を $\overline{\text{EXIRQ7}}$ の入力として使用する

ビット 6 : P47 からの $\overline{\text{EXIRQ6}}$ の入力イネーブル (P47IRQ6E)

P47 を $\overline{\text{EXIRQ6}}$ の入力として使用するかどうかを選択します。

ビット 6	説 明
P47IRQ6E	
0	P47 を $\overline{\text{EXIRQ6}}$ の入力として使用しない (初期値)
1	P47 を $\overline{\text{EXIRQ6}}$ の入力として使用する

ビット 5 : P46 からの $\overline{\text{EXIRQ5}}$ の入力イネーブル (P46IRQ5E)

P46 を $\overline{\text{EXIRQ5}}$ の入力として使用するかどうかを選択します。

ビット 5	説 明
P46IRQ5E	
0	P46 を $\overline{\text{EXIRQ5}}$ の入力として使用しない (初期値)
1	P46 を $\overline{\text{EXIRQ5}}$ の入力として使用する

ビット 4 : P44 からの $\overline{\text{EXIRQ4}}$ の入力イネーブル (P44IRQ4E)

P44 を $\overline{\text{EXIRQ4}}$ の入力として使用するかどうかを選択します。

ビット 4	説 明
P44IRQ4E	
0	P44 を $\overline{\text{EXIRQ4}}$ の入力として使用しない (初期値)
1	P44 を $\overline{\text{EXIRQ4}}$ の入力として使用する

ビット 3 : P43 からの $\overline{\text{EXIRQ3}}$ の入力イネーブル (P43IRQ3E)

P43 を $\overline{\text{EXIRQ3}}$ の入力として使用するかどうかを選択します。

ビット 3	説 明
P43IRQ3E	
0	P43 を $\overline{\text{EXIRQ3}}$ の入力として使用しない (初期値)
1	P43 を $\overline{\text{EXIRQ3}}$ の入力として使用する

ビット 2 : P42 からの $\overline{\text{EXIRQ2}}$ の入力イネーブル (P42IRQ2E)

P42 を $\overline{\text{EXIRQ2}}$ の入力として使用するかどうかを選択します。

ビット 2	説 明
P42IRQ2E	
0	P42 を $\overline{\text{EXIRQ2}}$ の入力として使用しない (初期値)
1	P42 を $\overline{\text{EXIRQ2}}$ の入力として使用する

ビット1：P41からの $\overline{\text{EXIRQ1}}$ の入力イネーブル（P41IRQ1E）

P41を $\overline{\text{EXIRQ1}}$ の入力として使用するかどうかを選択します。

ビット1	説明
P41IRQ1E	
0	P41を $\overline{\text{EXIRQ1}}$ の入力として使用しない (初期値)
1	P41を $\overline{\text{EXIRQ1}}$ の入力として使用する

ビット0：P40からの $\overline{\text{EXIRQ0}}$ の入力イネーブル（P40IRQ0E）

P40を $\overline{\text{EXIRQ0}}$ の入力として使用するかどうかを選択します。

ビット0	説明
P40IRQ0E	
0	P40を $\overline{\text{EXIRQ0}}$ の入力として使用しない (初期値)
1	P40を $\overline{\text{EXIRQ0}}$ の入力として使用する

9.4.3 端子機能

ポート4の各端子は、外部割り込み入力端子（ $\overline{\text{EXIRQ6}}$ ～ $\overline{\text{EXIRQ0}}$ ）との兼用になっています。

9.5 ポート 7

9.5.1 概要

ポート 7 は、8 ビットの入出力ポートです。ポート 7 は、DMAC の入力端子 ($\overline{\text{DREQ0}}$ 、 $\overline{\text{TEND0}}$ 、 $\overline{\text{DREQ1}}$ 、 $\overline{\text{TEND1}}$)、バス制御出力端子 ($\overline{\text{CS4}} \sim \overline{\text{CS7}}$)、外部モジュール出力端子 (EXMSTP 、 EXMS 、 $\overline{\text{EXDTCE}}$)、マニュアルリセット入力端子 ($\overline{\text{MRES}}$) と兼用になっています。P77 ~ P74 の端子機能はいずれの動作モードでも共通です。P73 ~ P70 の端子機能は動作モードによって切り替わります。

ポート 7 の各端子の構成を図 9.4 に示します。

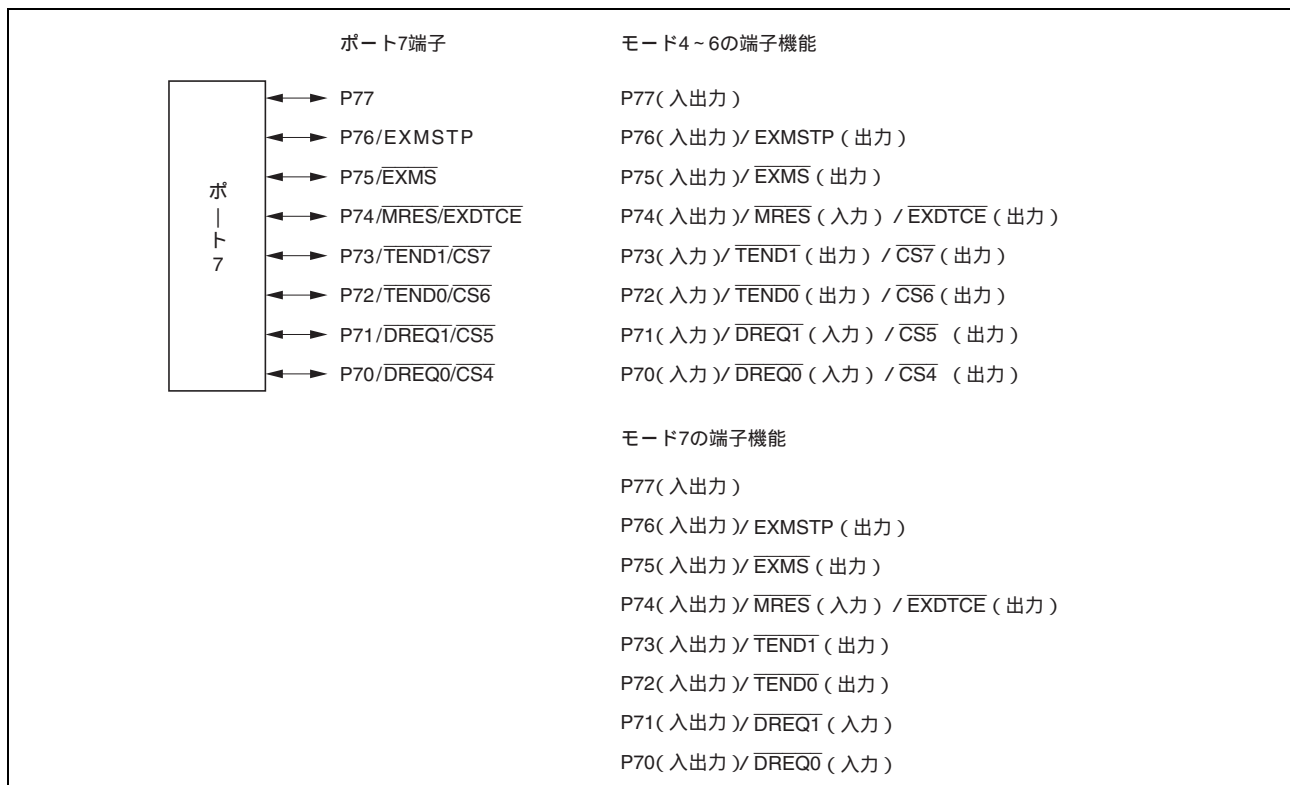


図 9.4 ポート 7 の端子機能

9.5.2 レジスタ構成

表 9.7 にポート 7 のレジスタ構成を示します。

表 9.7 ポート 7 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 7 データディレクションレジスタ	P7DDR	W	H'00	H'FE36
ポート 7 データレジスタ	P7DR	R/W	H'00	H'FF06
ポート 7 レジスタ	PORT7	R	不定	H'FFB6
外部モジュール接続用出力端子選択レジスタ	OPINSEL	R/W	B'-000----	H'FE4E

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート 7 データディレクションレジスタ (P7DDR)

ビット :	7	6	5	4	3	2	1	0
	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P7DDR は、8 ビットのライト専用レジスタで、ポート 7 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P7DDR を 1 にセットすると対応するポート 7 の各端子は出力となり、0 にクリアすると入力になります。

本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

P7DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。マニュアルリセットでは 8 ビットタイマ、SCI は初期化されるため、P7DDR、P7DR の指定によって端子状態が決定されます。

(2) ポート 7 データレジスタ (P7DR)

ビット :	7	6	5	4	3	2	1	0
	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P7DR は、8 ビットのリード/ライト可能なレジスタで、ポート 7 の各端子 (P77 ~ P70) の出力データを格納します。

P7DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 7 レジスタ (PORT7)

ビット :	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】 * P77 ~ P70 端子の状態により決定されます。

PORT7 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 7 の各端子 (P77 ~ P70) の出力データのライトは必ず P7DR に対して行ってください。

P7DDR が 1 にセットされているとき、ポート 7 のリードを行うと P7DR の値をリードします。P7DDR が 0 にクリアされているとき、ポート 7 のリードを行うと端子の状態が読み出されます。

PORT7 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P7DDR、P7DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9. I/O ポート

(4) 外部モジュール接続用出力端子選択レジスタ (OPINSEL)

ビット :	7	6	5	4	3	2	1	0
	-	P76 STPOE	P75 MSOE	P74 DTCOE	-	-	-	-
初期値 :	不定	0	0	0	不定	不定	不定	不定
R/W :	-	R/W	R/W	R/W	-	-	-	-

OPINSEL は 8 ビットのリード/ライト可能なレジスタで、チップが外部に接続したモジュールへの出力 ($\overline{\text{EXDTCE}}$ 、 $\overline{\text{EXMSTP}}$ 、 $\overline{\text{EXMS}}$) を P76 ~ P74 端子へ出力するかどうかを選択します。OPINSEL のビット 6 ~ 4 は、パワーオンリセットまたはハードウェアスタンバイモードでは 000 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

ビット 7 : リザーブ

リード値は不定です。ライトするときは常に 0 をライトしてください。

ビット 6 : P76 への $\overline{\text{EXMSTP}}$ の出力イネーブル (P76STPOE)

外部モジュールへのモジュールストップ $\overline{\text{EXMSTP}}$ (MSTPCRB のビット 0 に対応) を P76 へ出力するかどうかを選択します。

ビット 6	説明
P76STPOE	
0	P76 に $\overline{\text{EXMSTP}}$ を出力しない (初期値)
1	P76 に $\overline{\text{EXMSTP}}$ を出力する

ビット 5 : P75 への $\overline{\text{EXMS}}$ の出力イネーブル (P75MSOE)

外部モジュールへのモジュールセレクト $\overline{\text{EXMS}}$ (アドレス = H'FFFF40 ~ H'FFFF5F に対応) を P75 へ出力するかどうかを選択します。

ビット 5	説明
P75MSOE	
0	P75 に $\overline{\text{EXMS}}$ を出力しない (初期値)
1	P75 に $\overline{\text{EXMS}}$ を出力する

ビット 4 : P74 への $\overline{\text{EXDTCE}}$ の出力イネーブル (P74DTCOE)

EXIRQ0 ~ F の入力に対する DTC 転送中であることを示す $\overline{\text{EXDTCE}}$ を P74 に出力するかどうかを選択します。外部モジュールからの割り込み (EXIRQ0 ~ F) によりチップ内部の DTC に起動をかけたあと、外部モジュール側で DTC 転送により割り込み要求を自動的にクリアしたい場合などに、この信号は使用します。

ビット 4	説明
P74DTCOE	
0	P74 に $\overline{\text{EXDTCE}}$ を出力しない (初期値)
1	P74 に $\overline{\text{EXDTCE}}$ を出力する

ビット 3 ~ 0 : リザーブ

リード値は不定です。ライトするときは常に 0 をライトしてください。

9.5.3 端子機能

ポート7の各端子は、DMACの入出力端子 ($\overline{DREQ0}$ 、 $\overline{TEND0}$ 、 $\overline{DREQ1}$ 、 $\overline{TEND1}$)、バス制御出力端子 ($\overline{CS4}$ ~ $\overline{CS7}$)、外部モジュール出力端子 (\overline{EXMSTP} 、 \overline{EXMS} 、 \overline{EXDTCE})、マニュアルリセット入力端子 (\overline{MRES})と兼用になっています。ポート7の端子機能を表9.8に示します。

表9.8 ポート7の端子機能

端子	選択方法と端子機能				
P77	P77DDR ビットにより、次のように切り替わります。				
	P77DDR	0	1		
	端子機能	P77入力	P77出力		
P76/EXMSTP	OPINSEL の P76STPOE ビットと P76DDR ビットの組み合わせにより、次のように切り替わります。				
	P76STPOE	0	1		
	P76DDR	0	1	-	
	端子機能	P76入力	P76出力	EXMSTP出力	
P75/EXMS	OPINSEL の P75MSOE ビット、P75DDR ビットの組み合わせにより、次のように切り替わります。				
	P75MSOE	0	1		
	P75DDR	0	1	-	
	端子機能	P75入力	P75出力	EXMS出力	
P74/ \overline{MRES} / \overline{EXDTCE}	OPINSEL の P74DTCOE ビット、SYSCR の MRESE ビットと P74DDR ビットの組み合わせにより、次のように切り替わります。				
	P74DTCOE	0	1		
	MRESE	0	1	-	
	P74DDR	0	1	0	
	端子機能	P74入力	P74出力	\overline{MRES} 入力 \overline{EXDTCE} 出力	
P73/ $\overline{TEND1}$ / $\overline{CS7}$	動作モードと DMAC の DMATCR の TEE1 ビットと P73DDR ビットの組み合わせにより次のように切り替わります。				
	動作モード	モード4、5、6		モード7	
	TEE1	0	1	0	1
	P73DDR	0	1	0	1
	端子機能	P73入力	$\overline{CS7}$ 出力 $\overline{TEND1}$ 出力	P73入力	P73出力 $\overline{TEND1}$ 出力
P72/ $\overline{TEND0}$ / $\overline{CS6}$	動作モードと DMAC の DMATCR の TEE0 ビットと P72DDR ビットの組み合わせにより、次のように切り替わります。				
	動作モード	モード4、5、6		モード7	
	TEE0	0	1	0	1
	P72DDR	0	1	0	1
	端子機能	P72入力	$\overline{CS6}$ 出力 $\overline{TEND0}$ 出力	P72入力	P72出力 $\overline{TEND0}$ 出力

9. I/O ポート

端子	選択方法と端子機能				
P71/ $\overline{\text{CS5}}$ $\overline{\text{DREQ1}}$	動作モードと P71DDR により次のように切り替わります。				
	動作モード	モード4、5、6		モード7	
	P71DDR	0	1	0	1
	端子機能	P71入力	$\overline{\text{CS5}}$ 出力	P71入力	P71出力
		$\overline{\text{DREQ1}}$ 入力			
P70/ $\overline{\text{DREQ0}}$ CS4	動作モードと P70DDR により次のように切り替わります。				
	動作モード	モード4、5、6		モード7	
	P70DDR	0	1	0	1
	端子機能	P70入力	$\overline{\text{CS4}}$ 出力	P70入力	P70出力
		$\overline{\text{DREQ0}}$ 入力			

9.6 ポート 9

9.6.1 概要

ポート9は、1ビットの入力専用ポートです。ポート9は、D/A変換器のアナログ出力端子(DA0)との兼用になっています。ポート9の端子機能はいずれの動作モードでも共通です。ポート9の各端子の構成を図9.5に示します。

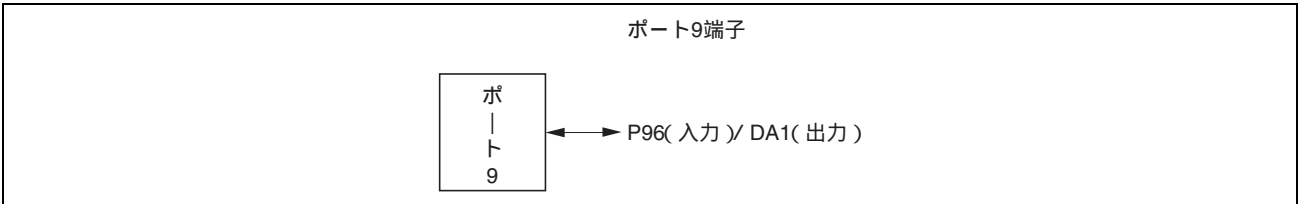


図 9.5 ポート 9 の端子機能

9.6.2 レジスタ構成

表 9.9 にポート9のレジスタ構成を示します。ポート9は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 9.9 ポート 9 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 9 レジスタ	PORT9	R	不定	H'FFB8

【注】 *アドレスの下位 16 ビットを示しています。

(1) ポート 9 レジスタ (PORT9)

ビット :	7	6	5	4	3	2	1	0
	-	P96	-	-	-	-	-	-
初期値 :	-	-*	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

【注】 * P96端子の状態により決定されます。

PORT9 は 8 ビットのリード専用レジスタで、リードを行うと、常に端子の状態が読み出されます。ライトは無効です。ビット 7、5~0 はリザーブビットです。リードすると不定値が読み出されます。

9.6.3 端子機能

ポート 9 の各端子は、D/A 変換器のアナログ出力端子 (DA0) との兼用になっています。

9.7 ポート A

9.7.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A は、アドレスバス出力と、SCI2 の入出力端子 (SCK2、RxD2、TxD2) と兼用になっています。動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート A の各端子の構成を図 9.6 に示します。



図 9.6 ポート A の端子機能

9.7.2 レジスタ構成

表 9.10 にポート A のレジスタ構成を示します。

表 9.10 ポート A レジスタ構成

名称	略称	R/W	初期値*2	アドレス*1
ポート A データディレクションレジスタ	PADDR	W	H'0	H'FE39
ポート A データレジスタ	PADR	R/W	H'0	H'FF09
ポート A レジスタ	PORTA	R	不定	H'FFB9
ポート A プルアップ MOS コントロールレジスタ	PAPCR	R/W	H'0	H'FE40
ポート A オープンドレインコントロールレジスタ	PAODR	R/W	H'0	H'FE47

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 3~0 の値を示しています。

(1) ポート A データディレクションレジスタ (PADDR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値:	不定	不定	不定	不定	0	0	0	0
R/W:	-	-	-	-	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

また、ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PADDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード4、5、6

PFCCRのAE3～AE0ビットの設定でアドレス出力を許可すると対応するポートAの各端子はアドレス出力となります。アドレス出力を禁止にして、PADDDRを1にセットすると対応するポートAの各端子は、出力ポートとなり0にクリアすると入力ポートになります。

(b) モード7

PADDDRを1にセットすると対応するポートAの各端子は出力ポートとなり、0にクリアすると入力ポートになります。

(2) ポートAデータレジスタ (PADR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値:	不定	不定	不定	不定	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W

PADRは、8ビットのリード/ライト可能なレジスタで、ポートAの各端子(PA3～PA0)の出力データを格納します。ビット7～4はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PADRは、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0(ビット3～0)に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポートAレジスタ (PORTA)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値:	不定	不定	不定	不定	-*	-*	-*	-*
R/W:	-	-	-	-	R	R	R	R

【注】* PA3～PA0端子の状態により決定されます。

PORTAは、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポートAの各端子(PA3～PA0)の出力データのライトは必ずPADRに対して行ってください。

ビット7～4はリザーブビットです。リードすると不定値が読み出せません。ライトは無効です。

PADDDRが1にセットされているとき、ポートAのリードを行うとPADRの値をリードします。PADDDRが0にクリアされているとき、ポートAのリードを行うと端子の状態が読み出されます。

PORTAは、パワーオンリセットまたはハードウェアスタンバイモードでは、PADDDR、PADRが初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポートAプルアップMOSコントロールレジスタ (PAPCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値:	不定	不定	不定	不定	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W

PAPCRは、8ビットのリード/ライト可能なレジスタで、ポートAに内蔵された入力プルアップMOSをビットごとに制御します。

ビット7～4はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PAPCRは、ポート入力、SCI入力端子に対して有効です。PADDDRを0にクリアした(入力ポート)状態で、PAPCRを1にセットすると、入力プルアップMOSはオンします。

PAPCRは、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0(ビット3～0)に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9. I/O ポート

(5) ポート A オープンドレインコントロールレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA3~PA0) の PMOS のオン/オフを制御します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PAODR はポート出力、SCI 出力端子に対して有効です。

PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PAODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.7.3 端子機能

ポート A の各端子は、SCI の入出力端子 (TxD2、RxD2、SCK2)、アドレス出力端子 (A19~A16) と兼用になっています。ポート A の端子機能を表 9.11 に示します。

表 9.11 ポート A の端子機能

端子	選択機能と端子機能							
PA3/A19 /SCK2	動作モードと PFCR の設定、SCI チャネル 2 の設定および PA3DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード4~6						
	AE3~AE0	11xx	11xx以外					
	CKE1	-	0				1	
	C/A	-	0			1	-	
	CKE0	-	0		1	-	-	
	PA3DDR	-	0	1	-	-	-	
	端子機能	A19出力	PA3入力	PA3出力*	SCK2出力*	SCK2出力*	SCK2入力	
	動作モード	モード7						
	AE3~AE0	-						
	CKE1	0				1		
	C/A	0			1	-		
	CKE0	0		1	-	-		
	PA3DDR	0	1	-	-	-		
端子機能	PA3入力	PA3出力*	SCK2出力*	SCK2出力*	SCK2入力			
【注】 * PAODR の PA3ODR = 1 のときは NMOS オープンドレイン出力になります。								
PA2/A18 /RxD2	動作モードと PFCR の設定、SCI チャネル 2 の設定および PA2DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード4~6			モード7			
	AE3~AE0	1011 または 11xx	(1011または11xx) 以外				-	
	RE	-	0		1	0		1
	PA2DDR	-	0	1	-	0	1	-
	端子機能	A18出力	PA2入力	PA2出力*	RxD2入力	PA2入力	PA2出力*	RxD2入力
	【注】 * PAODR の PA2ODR = 1 のときは NMOS オープンドレイン出力になります。							

端子	選択機能と端子機能						
PA1/A17 /TxD2	動作モードと PFCR の設定、SCI チャンネル 2 の設定および PA1DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード4~6				モード7	
	AE3 ~ AE0	101x または 11xx	(101xまたは11xx) 以外			-	
	TE	-	0	1	0	1	
	PA1DDR	-	0	1	-	0	1
	端子機能	A17出力	PA1入力	PA1出力*	TxD2出力*	PA1入力	PA1出力*
【注】 * PAODR の PA1ODR = 1 のときは NMOS オープンドレイン出力になります。							
PA0/A16	動作モードと PFCR の設定および PA0DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード4~6				モード7	
	AE3 ~ AE0	(0xxxまたは1000) 以外		0xxxまたは1000		-	
	PA0DDR	-	0	1	0	1	
	端子機能	A16出力		PA0入力	PA0出力*	PA0入力	PA0出力*
	【注】 * PAODR の PA0ODR = 1 のときは NMOS オープンドレイン出力になります。						

9.7.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

ポート入力、SCI 入力端子のとき、PADDR を 0 にクリアした状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモード時にはオフします。マニュアルリセットまたはソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップ MOS の状態を表 9.12 に示します。

表 9.12 入力プルアップ MOS の状態 (ポート A)

端子	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
アドレス出力、ポート出力、SCI 出力	OFF		OFF		
ポート入力、SCI 入力	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

9.8 ポート B

9.8.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、アドレスバス出力と兼用になっています。動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 9.7 に示します。

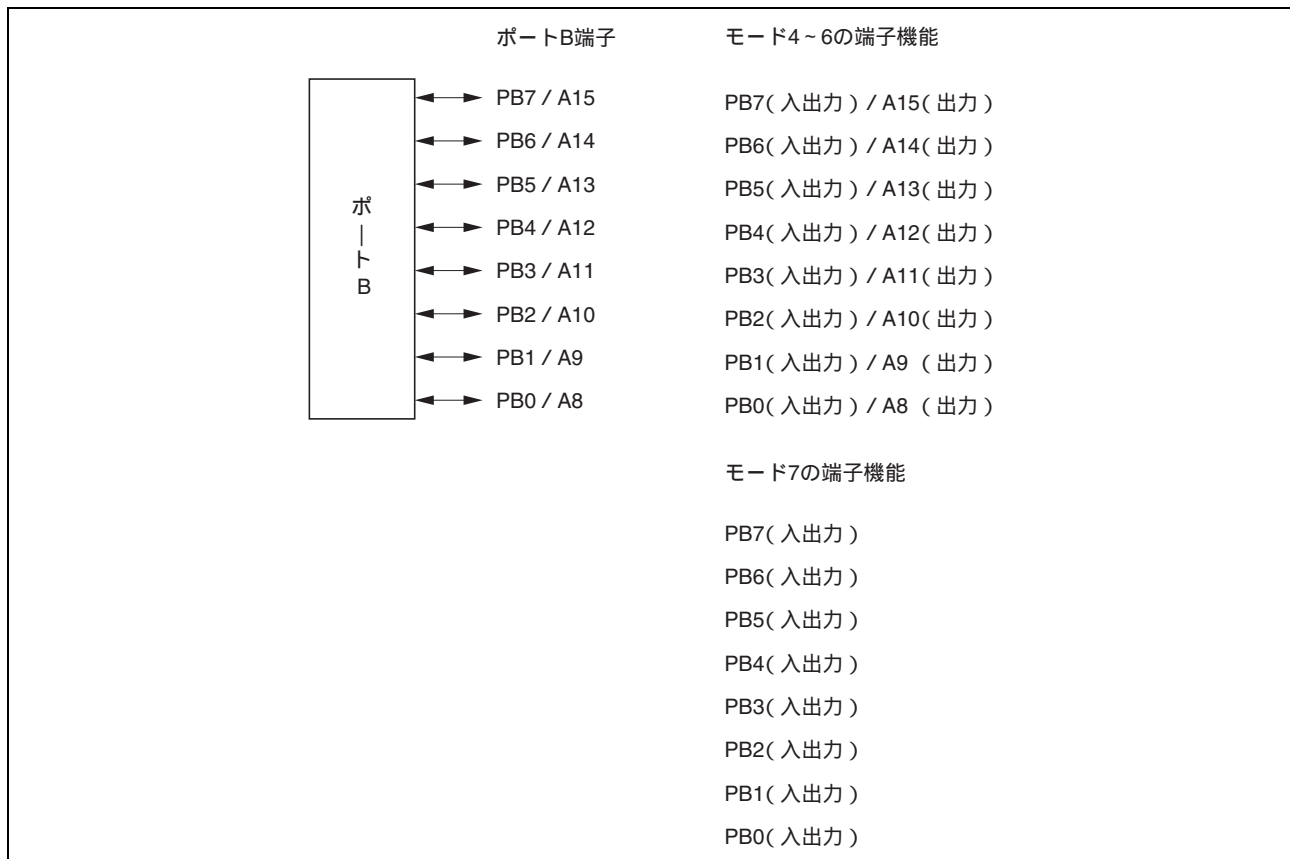


図 9.7 ポート B の端子機能

9.8.2 レジスタ構成

表 9.13 にポート B のレジスタ構成を示します。

表 9.13 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FE3A
ポート B データレジスタ	PBDR	R/W	H'00	H'FF0A
ポート B レジスタ	PORTB	R	不定	H'FFBA
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FE41

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PBDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PFCR の AE3 ~ AE0 ビットの設定でアドレス出力を許可にすると、ポート B の各端子はアドレス出力となります。

アドレス出力を禁止にして PBDDR を 1 にセットすると、対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート B データレジスタ (PBDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7 ~ PB0) の出力データを格納します。

PBDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B レジスタ (PORTB)

ビット：	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値：	- *	- *	- *	- *	- *	- *	- *	- *
R/W：	R	R	R	R	R	R	R	R

【注】* PB7～PB0端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB7～PB0) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、ポート B のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されます。

PORTB は、パワーオンリセットまたはハードウェアスタンバイモードでは、PBDDR、PBDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット：	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBPCR は、8 ビットのリード/ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

PBPCR はポート入力、TPU 入力端子に対して有効です。

PBDDR を 0 にクリアした (入力ポート) 状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.8.3 端子機能

ポート B の各端子はアドレス出力端子(A15 ~ A8)と兼用となっています。ポート B の端子機能を表 9.14 に示します。

表 9.14 ポート B の端子機能

端子	選択方法と端子機能		
PB7/A15	動作モードと PFCR の設定および PB7DDR ビットの組み合わせにより、次のように切り替わります。		
	動作モード	モード4~6	
	PFCRのAE3~0	B'1xxx	(B'1xxx) 以外
	PB7DDR	-	0 1
	端子機能	A15出力	PB7入力 PB7出力
	動作モード	モード7	
	PFCRのAE3~0	-	
	PB7DDR	0	1
	端子機能	PB7入力	PB7出力
	PB6/A14	動作モードと PFCR の設定および PB6DDR ビットの組み合わせにより、次のように切り替わります。	
動作モード		モード4~6	
PFCRのAE3~AE0		B'0111またはB'1xxx	(B'0111またはB'1xxx) 以外
PB6DDR		-	0 1
端子機能		A14出力	PB6入力 PB6出力
動作モード		モード7	
PFCRのAE3~AE0		-	
PB6DDR		0	1
端子機能		PB6入力	PB6出力
PB5/A13		動作モードと PFCR の設定および PB5DDR ビットの組み合わせにより、次のように切り替わります。	
	動作モード	モード4~6	
	PFCRのAE3~AE0	B'011xまたはB'1xxx	(B'011xまたはB'1xxx) 以外
	PB5DDR	-	0 1
	端子機能	A13出力	PB5入力 PB5出力
	動作モード	モード7	
	PFCRのAE3~AE0	-	
	PB5DDR	0	1
	端子機能	PB5入力	PB5出力

9. I/O ポート

端子	選択方法と端子機能																																
PB4/A12	<p>動作モードと PFCR の設定および PB4DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="470 338 1313 521"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4～6</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="2">B'0100またはB'00xx</td> <td>(B'0100またはB'00xx)以外</td> </tr> <tr> <td>PB4DDR</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>PB4入力</td> <td>PB4出力</td> <td>A12出力</td> </tr> </tbody> </table> <table border="1" data-bbox="470 560 1313 734"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="3">-</td> </tr> <tr> <td>PB4DDR</td> <td>0</td> <td colspan="2">1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">PB4入力</td> <td>PB4出力</td> </tr> </tbody> </table>	動作モード	モード4～6			PFCRのAE3～AE0	B'0100またはB'00xx		(B'0100またはB'00xx)以外	PB4DDR	0	1	-	端子機能	PB4入力	PB4出力	A12出力	動作モード	モード7			PFCRのAE3～AE0	-			PB4DDR	0	1		端子機能	PB4入力		PB4出力
動作モード	モード4～6																																
PFCRのAE3～AE0	B'0100またはB'00xx		(B'0100またはB'00xx)以外																														
PB4DDR	0	1	-																														
端子機能	PB4入力	PB4出力	A12出力																														
動作モード	モード7																																
PFCRのAE3～AE0	-																																
PB4DDR	0	1																															
端子機能	PB4入力		PB4出力																														
PB3/A11	<p>動作モードと PFCR の設定および PB3DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="470 786 1313 969"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4～6</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="2">B'00xx</td> <td>(B'00xx)以外</td> </tr> <tr> <td>PB3DDR</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>PB3入力</td> <td>PB3出力</td> <td>A11出力</td> </tr> </tbody> </table> <table border="1" data-bbox="470 1008 1313 1182"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="3">-</td> </tr> <tr> <td>PB3DDR</td> <td>0</td> <td colspan="2">1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">PB3入力</td> <td>PB3出力</td> </tr> </tbody> </table>	動作モード	モード4～6			PFCRのAE3～AE0	B'00xx		(B'00xx)以外	PB3DDR	0	1	-	端子機能	PB3入力	PB3出力	A11出力	動作モード	モード7			PFCRのAE3～AE0	-			PB3DDR	0	1		端子機能	PB3入力		PB3出力
動作モード	モード4～6																																
PFCRのAE3～AE0	B'00xx		(B'00xx)以外																														
PB3DDR	0	1	-																														
端子機能	PB3入力	PB3出力	A11出力																														
動作モード	モード7																																
PFCRのAE3～AE0	-																																
PB3DDR	0	1																															
端子機能	PB3入力		PB3出力																														
PB2/A10	<p>動作モードと PFCR の設定および PB2DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="470 1234 1313 1417"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4～6</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="2">B'0010またはB'000x</td> <td>(B'0010またはB'000x)以外</td> </tr> <tr> <td>PB2DDR</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>PB2入力</td> <td>PB2出力</td> <td>A10出力</td> </tr> </tbody> </table> <table border="1" data-bbox="470 1456 1313 1630"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="3">-</td> </tr> <tr> <td>PB2DDR</td> <td>0</td> <td colspan="2">1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">PB2入力</td> <td>PB2出力</td> </tr> </tbody> </table>	動作モード	モード4～6			PFCRのAE3～AE0	B'0010またはB'000x		(B'0010またはB'000x)以外	PB2DDR	0	1	-	端子機能	PB2入力	PB2出力	A10出力	動作モード	モード7			PFCRのAE3～AE0	-			PB2DDR	0	1		端子機能	PB2入力		PB2出力
動作モード	モード4～6																																
PFCRのAE3～AE0	B'0010またはB'000x		(B'0010またはB'000x)以外																														
PB2DDR	0	1	-																														
端子機能	PB2入力	PB2出力	A10出力																														
動作モード	モード7																																
PFCRのAE3～AE0	-																																
PB2DDR	0	1																															
端子機能	PB2入力		PB2出力																														

端子	選択方法と端子機能																																
PB1/A9	<p>動作モードと PFCR の設定および PB1DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="470 338 1313 521"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4～6</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="2">B'000x</td> <td>(B'000x)以外</td> </tr> <tr> <td>PB1DDR</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>PB1入力</td> <td>PB1出力</td> <td>A9出力</td> </tr> </tbody> </table> <table border="1" data-bbox="470 560 1313 739"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="3">-</td> </tr> <tr> <td>PB1DDR</td> <td>0</td> <td colspan="2">1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">PB1入力</td> <td>PB1出力</td> </tr> </tbody> </table>	動作モード	モード4～6			PFCRのAE3～AE0	B'000x		(B'000x)以外	PB1DDR	0	1	-	端子機能	PB1入力	PB1出力	A9出力	動作モード	モード7			PFCRのAE3～AE0	-			PB1DDR	0	1		端子機能	PB1入力		PB1出力
動作モード	モード4～6																																
PFCRのAE3～AE0	B'000x		(B'000x)以外																														
PB1DDR	0	1	-																														
端子機能	PB1入力	PB1出力	A9出力																														
動作モード	モード7																																
PFCRのAE3～AE0	-																																
PB1DDR	0	1																															
端子機能	PB1入力		PB1出力																														
PB0/A8	<p>動作モードと PFCR の設定および PB1DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="470 788 1313 972"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4～6</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="2">B'0000</td> <td>(B'0000)以外</td> </tr> <tr> <td>PB0DDR</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>PB0入力</td> <td>PB0出力</td> <td>A8出力</td> </tr> </tbody> </table> <table border="1" data-bbox="470 1010 1313 1189"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>PFCRのAE3～AE0</td> <td colspan="3">-</td> </tr> <tr> <td>PB0DDR</td> <td>0</td> <td colspan="2">1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">PB0入力</td> <td>PB0出力</td> </tr> </tbody> </table>	動作モード	モード4～6			PFCRのAE3～AE0	B'0000		(B'0000)以外	PB0DDR	0	1	-	端子機能	PB0入力	PB0出力	A8出力	動作モード	モード7			PFCRのAE3～AE0	-			PB0DDR	0	1		端子機能	PB0入力		PB0出力
動作モード	モード4～6																																
PFCRのAE3～AE0	B'0000		(B'0000)以外																														
PB0DDR	0	1	-																														
端子機能	PB0入力	PB0出力	A8出力																														
動作モード	モード7																																
PFCRのAE3～AE0	-																																
PB0DDR	0	1																															
端子機能	PB0入力		PB0出力																														

9.8.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン / オフを指定できます。

ポート入力端子のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.15 に示します。

表 9.15 入力プルアップ MOS の状態 (ポート B)

端子	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
アドレス出力、ポート出力	OFF		OFF		
ポート入力			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

9.9 ポート C

9.9.1 概要

ポート C は、8 ビットの入出力ポートです。ポート C は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート C の各端子の構成を図 9.8 に示します。

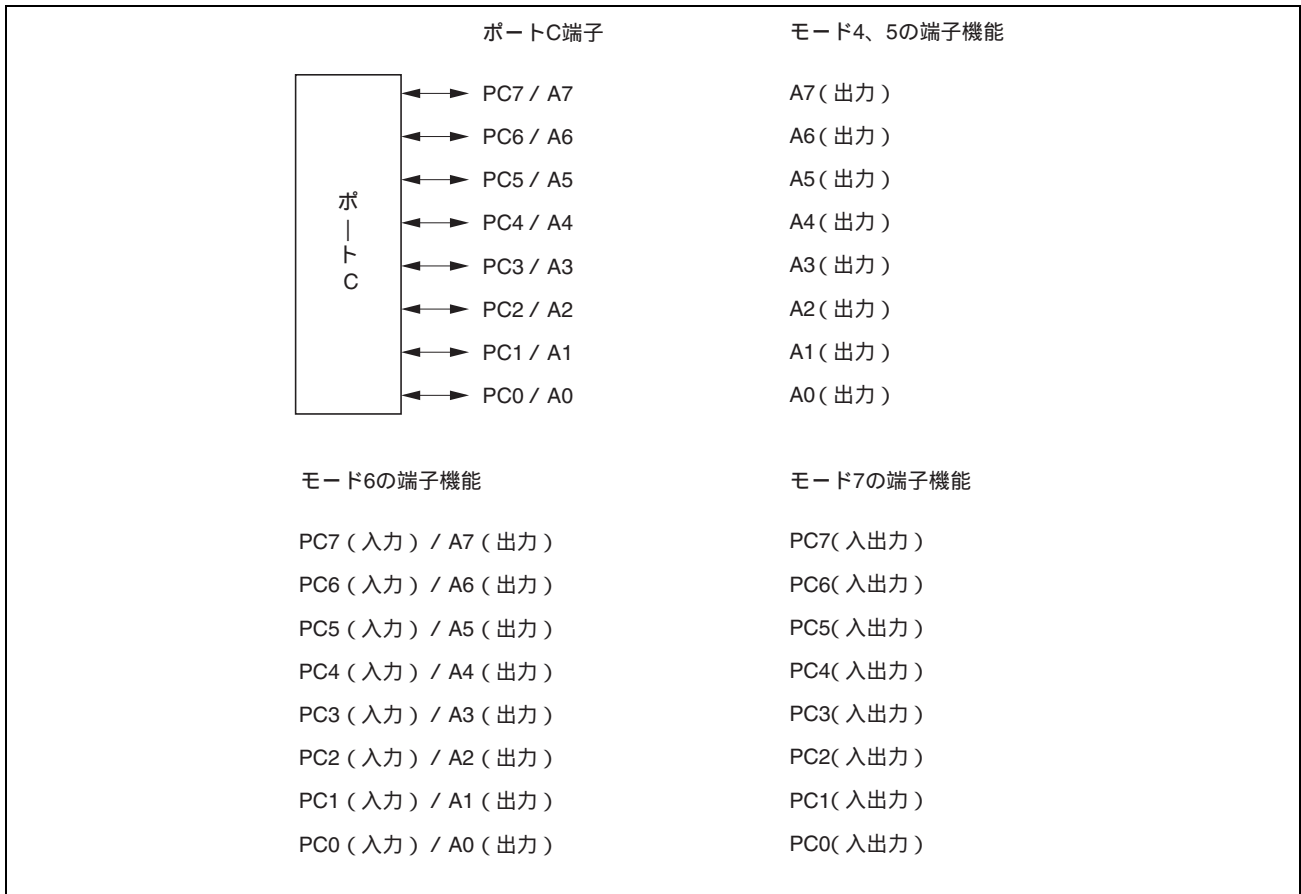


図 9.8 ポート C の端子機能

9.9.2 レジスタ構成

表 9.16 にポート C のレジスタ構成を示します。

表 9.16 ポート C レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE3B
ポート C データレジスタ	PCDR	R/W	H'00	H'FF0B
ポート C レジスタ	PORTC	R	不定	H'FFBB
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FE42

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート C データディレクションレジスタ (PCDDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PCDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5

PCDDR にかかわらず、対応するポート C の各端子はアドレス出力となります。

(b) モード 6

PCDDR を 1 にセットすると対応するポート C の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7

PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート C データレジスタ (PCDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCDR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC7 ~ PC0) の出力データを格納します。

PCDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート C レジスタ (PORTC)

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PC7～PC0端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC7～PC0) の出力データのライトは必ず PCDDR に対して行ってください。

PCDDR が 1 にセットされているとき、ポート C のリードを行うと PCDDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。

PORTC は、パワーオンリセットまたはハードウェアスタンバイモードでは、PCDDR、PCDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCPCR は、8 ビットのリード/ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

PCPCR は、ポート入力に対して有効です (モード 6、7)。

PCDDR を 0 にクリアした (入力ポート) 状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.9.3 モード別端子機能

(1) モード 4、5

モード 4、5 のとき、ポート C は自動的にアドレス出力になります。

ポート C の端子機能を図 9.9 に示します。

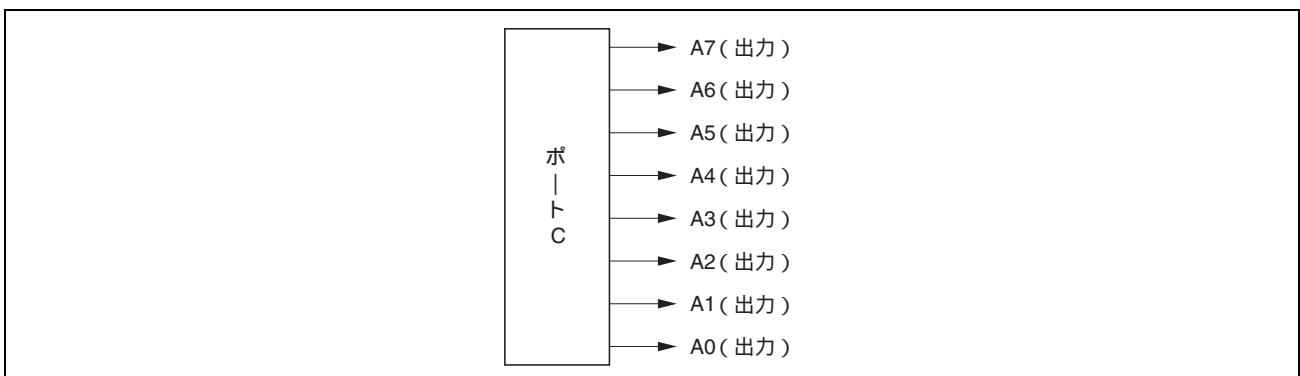


図 9.9 ポート C の端子機能 (モード 4、5)

(2) モード6

モード6のとき、ポートCはアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PCDDRの各ビットを1にセットすると対応する端子はアドレス出力になり、0にクリアすると入力ポートになります。ポートCの端子機能を図9.10に示します。

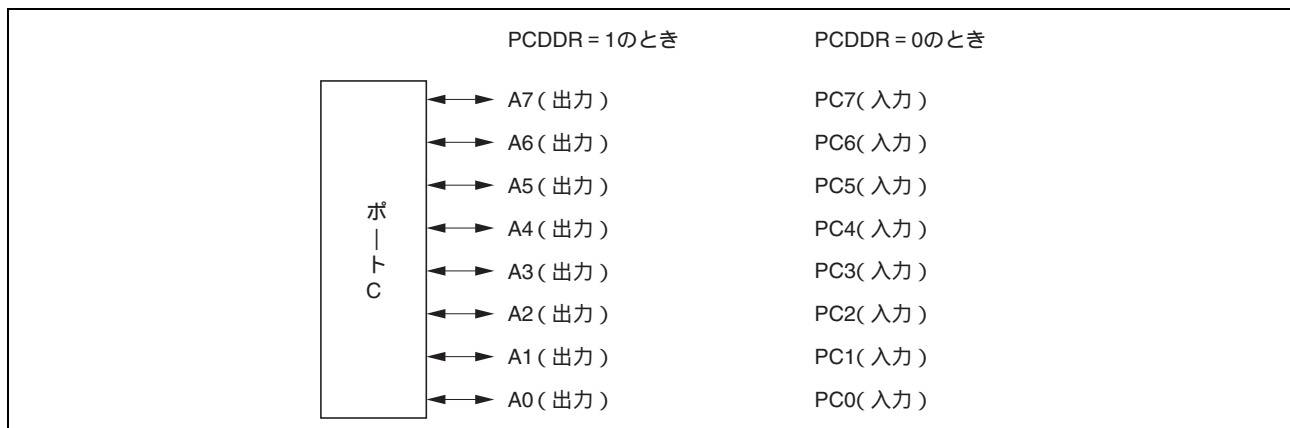


図 9.10 ポートCの端子機能 (モード6)

(3) モード7

モード7のとき、ポートCは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PCDDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートCの端子機能を図9.11に示します。

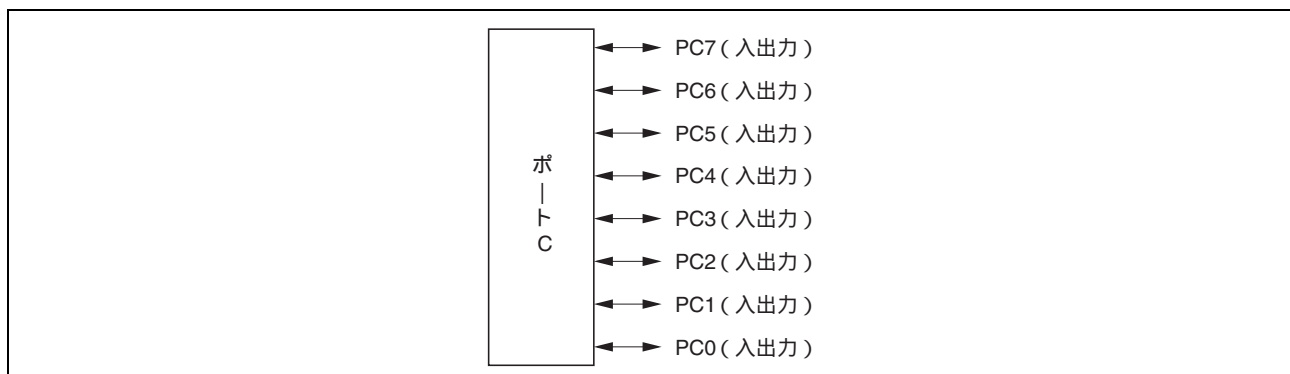


図 9.11 ポートCの端子機能 (モード7)

9.9.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

ポート入力端子（モード 6、7）のとき、PCDDR を 0 にクリアした状態で PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.17 に示します。

表 9.17 入力プルアップ MOS の状態（ポート C）

端子	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
アドレス出力（モード 4、5）	OFF		OFF		
ポート出力（モード 6、7）					
ポート入力（モード 6、7）			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

9.10 ポート D

9.10.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 9.12 に示します。

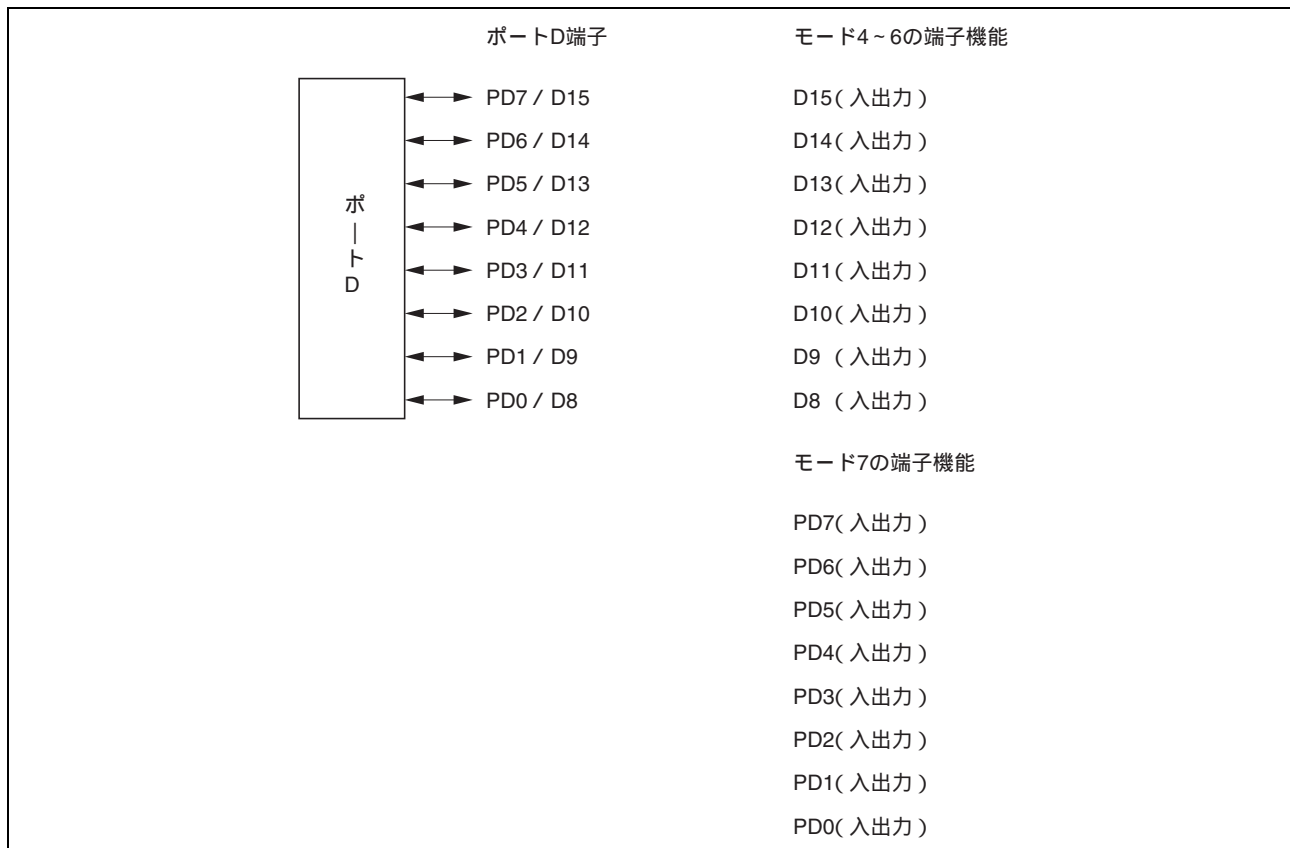


図 9.12 ポート D の端子機能

9.10.2 レジスタ構成

表 9.18 にポート D のレジスタ構成を示します。

表 9.18 ポート D レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FE3C
ポート D データレジスタ	PDDR	R/W	H'00	H'FF0C
ポート D レジスタ	PORTD	R	不定	H'FFBC
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FE43

【注】* アドレスの低位 16 ビットを示しています。

(1) ポート D データディレクションレジスタ (PDDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR を 1 にセットすると対応するポート D の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PDDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

(a) モード 4~6

PDDDR による入出力の方向は無視され、自動的にデータ入出力となります。

(b) モード 7

PDDDR を 1 にセットすると対応するポート D の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート D データレジスタ (PDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDDR は、8 ビットのリード/ライト可能なレジスタで、ポート D の各端子 (PD7~PD0) の出力データを格納します。

PDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート D レジスタ (PORTD)

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PD7~PD0端子の状態により決定されます。

PORTD は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート D の各端子 (PD7~PD0) の出力データのライトは必ず PDDDR に対して行ってください。

PDDDR が 1 にセットされているとき、ポート D のリードを行うと PDDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。

PORTD は、パワーオンリセットまたはハードウェアスタンバイモードでは、PDDDR、PDDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDPCR は、8 ビットのリード/ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

PDPCR はポート入力端子に対して有効です (モード 7)。PDDDR を 0 にクリアした (入力ポート) 状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.10.3 モード別端子機能

(1) モード 4~6

モード 4~6 のとき、ポート D は自動的にデータ入出力になります。
ポート D の端子機能を図 9.13 に示します。

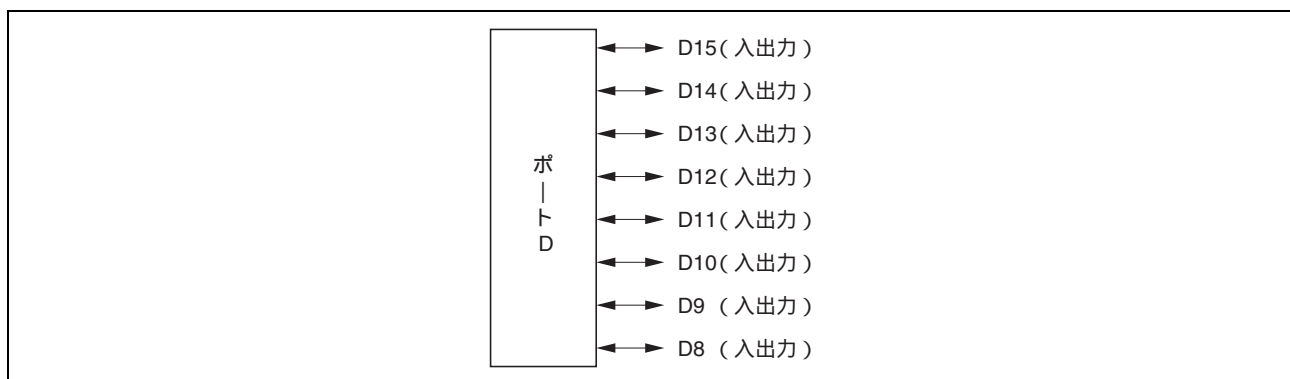


図 9.13 ポート D の端子機能 (モード 4~6)

(2) モード 7

モード 7 のとき、ポート D は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PDDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート D の端子機能を図 9.14 に示します。

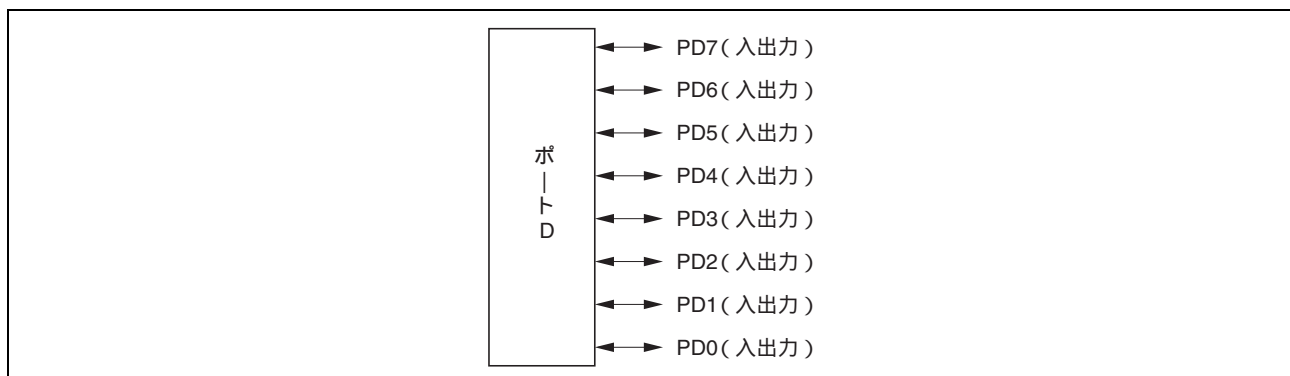


図 9.14 ポート D の端子機能 (モード 7)

9.10.4 入力プルアップ MOS

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

ポート入力端子 (モード 7) のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.19 に示します。

表 9.19 入力プルアップ MOS の状態 (ポート D)

端子	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
データ入出力 (モード 4、5、6)	OFF		OFF		
ポート出力 (モード 7)					
ポート入力 (モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR=0 かつ PDPCR=1 のときオン状態、その他のときはオフ状態です。

9.11 ポート E

9.11.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット / 16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 9.15 に示します。

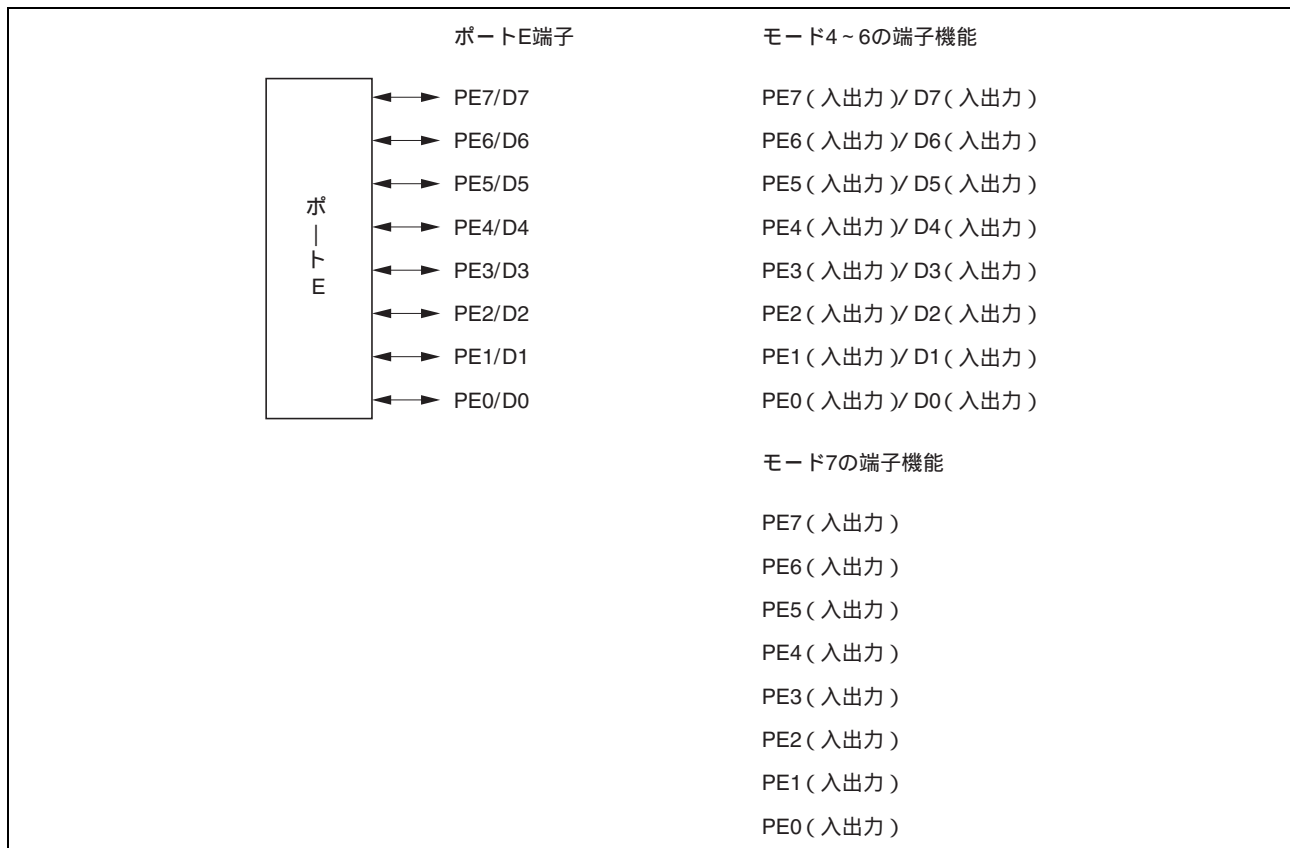


図 9.15 ポート E の端子機能

9.11.2 レジスタ構成

表 9.20 にポート E のレジスタ構成を示します。

表 9.20 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FE3D
ポート E データレジスタ	PEDR	R/W	H'00	H'FF0D
ポート E レジスタ	PORTE	R	不定	H'FFBD
ポート E プルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FE44

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート E データディレクションレジスタ (PEDDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PEDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PEDDR は直前の状態を保持します。

(a) モード 4~6

8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。

(b) モード 7

PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート E データレジスタ (PEDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEDR は、8 ビットのリード / ライト可能なレジスタで、ポート E の各端子 (PE7 ~ PE0) の出力データを格納します。

PEDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート E レジスタ (PORTE)

ビット:	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値:	-*	-*	-*	-*	-*	-*	-*	-*
R/W:	R	R	R	R	R	R	R	R

【注】* PE7～PE0端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート E の各端子 (PE7～PE0) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、ポート E のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、ポート E のリードを行うと端子の状態が読み出されます。

PORTE は、パワーオンリセットまたはハードウェアスタンバイモードでは、PEDDR、PEDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット:	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEPCR は、8 ビットのリード/ライト可能なレジスタで、ポート E に内蔵された入力プルアップ MOS をビットごとに制御します。

PEPCR はポート入力端子 (モード 4～6 で 8 ビットバスモード、またはモード 7) に対して有効です。

PEDDR を 0 にクリアした (入力ポート) 状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.11.3 モード別端子機能

(1) モード4~6

モード4~6の場合で、8ビットアクセス空間に設定し、8ビットバスモードとしたとき、ポートEは入出力ポートとして機能します。PEDDRを1にセットすると対応するポートEの各端子は出力ポートとなり、0にクリアすると入力ポートになります。

また、16ビットバスモードとしたとき、PEDDRによる入出力の方向は無視され、データ入出力となります。ポートEの端子機能を図9.16に示します。

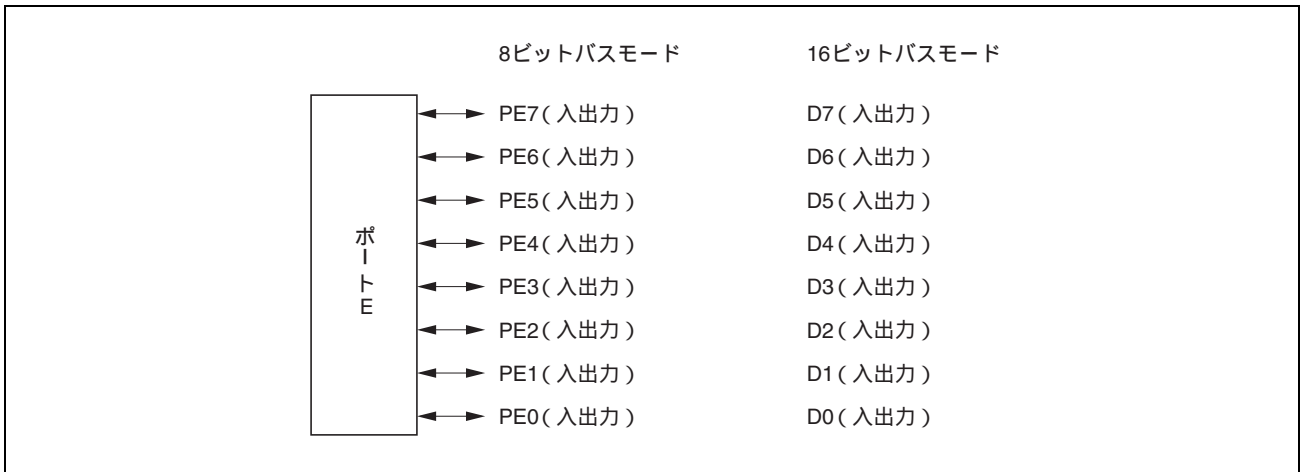


図 9.16 ポート E の端子機能 (モード 4~6)

(2) モード7

モード7のとき、ポートEは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PEDDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートEの端子機能を図9.17に示します。

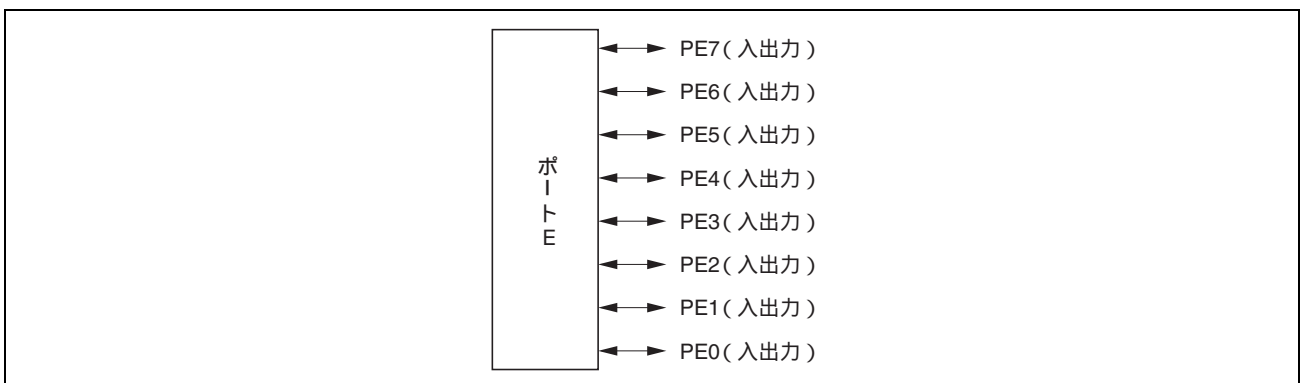


図 9.17 ポート E の端子機能 (モード 7)

9.11.4 入力プルアップ MOS

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

ポート入力端子(モード 4~6 で 8 ビットバスモード、またはモード 7)のとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.21 に示します。

表 9.21 入力プルアップ MOS の状態 (ポート E)

端子	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
データ入出力 (モード 4~6 の 16 ビットバス) ポート出力 (モード 4~6 の 8 ビットバス、 モード 7)	OFF		OFF		
ポート入力 (モード 4~6 の 8 ビットバス、 モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR=0 かつ PEPCR=1 のときオン状態、その他のときはオフ状態です。

9.12 ポート F

9.12.1 概要

ポート F は、8 ビットの入出力ポートです。ポート F は、外部割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、バス制御信号入出力端子 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$)、およびシステムクロック () 出力端子と兼用になっています。

割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$) はシュミットトリガ入力です。

ポート F の各端子の構成を図 9.18 に示します。

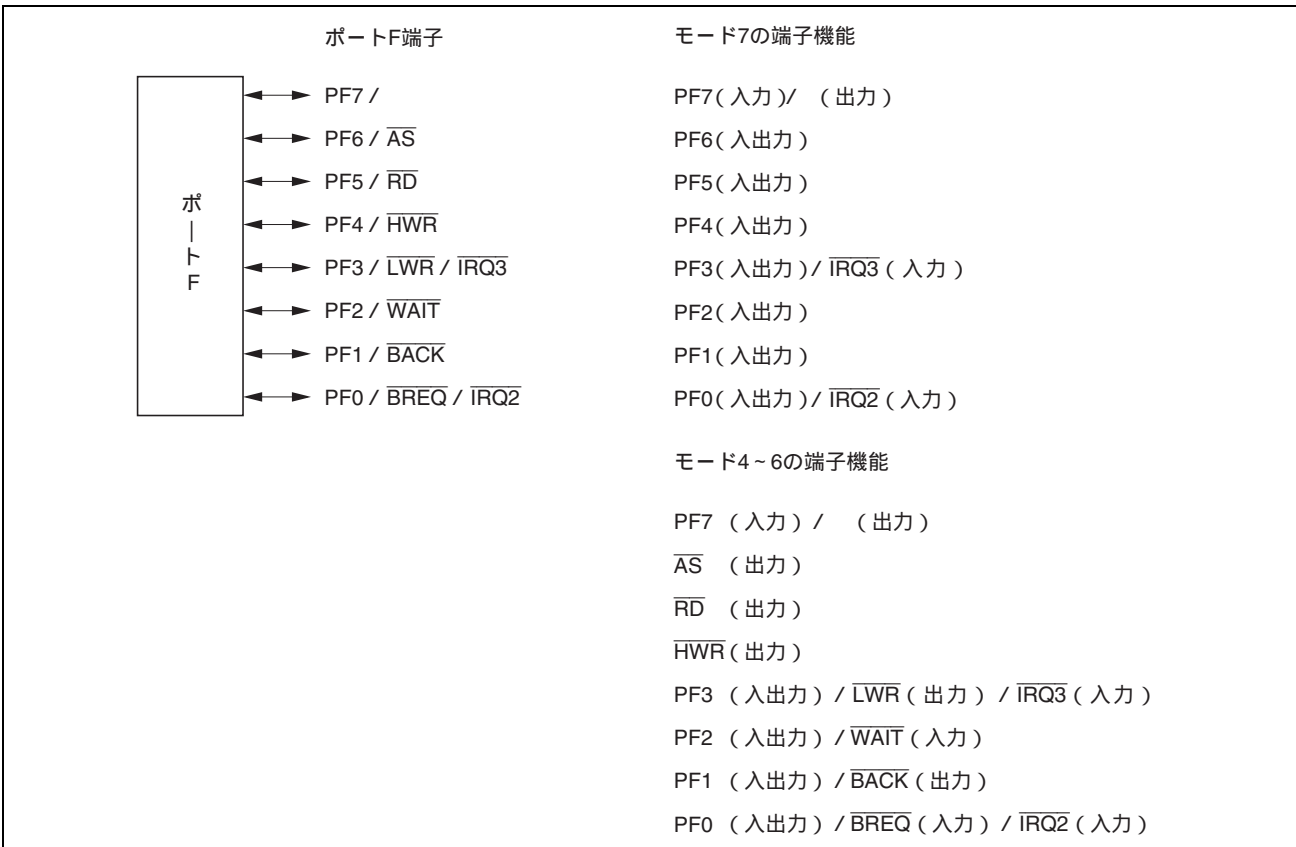


図 9.18 ポート F の端子機能

9.12.2 レジスタ構成

表 9.22 にポート F のレジスタ構成を示します。

表 9.22 ポート F レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
ポート F データディレクションレジスタ	PFDDR	W	H'80 / H'00*2	H'FE3E
ポート F データレジスタ	PFDR	R/W	H'00	H'FF0E
ポート F レジスタ	PORTF	R	不定	H'FFBE

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 モードによって、初期値が異なります。モード 4~6 の場合 H'80 に、モード 7 の場合 H'00 に初期化されます。

(1) ポート F データディレクションレジスタ (PFDDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード 4~6								
初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード 7								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PFDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 4~6 の場合 H'80 に、モード 7 の場合 H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PF7 端子は、PFDDR を 1 にセットすると 出力端子、0 にクリアすると入力ポートになります。

PF6 ~ PF3 端子は、PFDDR による入出力の方向は無視され、自動的にバス制御出力 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) となります。

PF2 ~ PF0 端子は、バスコントローラの設定により、バス制御入出力 (\overline{WAIT} 、 \overline{BACK} 、 \overline{BREQ}) となります。それ以外 のとき、PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 7

PFDDR を 1 にセットすると PF7 端子は 出力端子、PF6 ~ PF0 端子は出力ポートとなります。PFDDR を 0 にクリアすると各端子は入力ポートになります。

(2) ポート F データレジスタ (PFDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFDR は、8 ビットのリード/ライト可能なレジスタで、ポート F の各端子 (PF7 ~ PF0) の出力データを格納します。

PFDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポートFレジスタ (PORTF)

ビット:	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値:	-*	-*	-*	-*	-*	-*	-*	-*
R/W :	R	R	R	R	R	R	R	R

【注】* PF7～PF0端子の状態により決定されます。

PORTFは、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポートFの各端子(PF7～PF0)の出力データのライトは必ずPFDRに対して行ってください。

PFDDRが1にセットされているとき、ポートFのリードを行うとPFDRの値をリードします。PFDDRが0にクリアされているとき、ポートFのリードを行うと端子の状態が読み出されます。

PORTFは、パワーオンリセットまたはハードウェアスタンバイモードでは、PFDDR、PFDRが初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.12.3 端子機能

ポート F は、外部割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、バス制御信号入出力端子 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$)、およびシステムクロック () 出力端子と兼用になっています。モード 4~6 とモード 7 では端子機能が異なります。ポート F の端子機能を表 9.23 に示します。

表 9.23 ポート F の端子機能

端子	選択方法と端子機能					
PF7/	PF7DDR ビットにより、次のように切り替わります。					
	PF7DDR	0			1	
	端子機能	PF7入力			出力	
PF6/ $\overline{\text{AS}}$	動作モードと PF6DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6			モード7	
	PF6DDR	-			0	1
	端子機能	$\overline{\text{AS}}$ 出力			PF6入力	PF6出力
PF5/ $\overline{\text{RD}}$	動作モードと PF5DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6			モード7	
	PF5DDR	-			0	1
	端子機能	$\overline{\text{RD}}$ 出力			PF5入力	PF5出力
PF4/ $\overline{\text{HWR}}$	動作モードと PF4DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6			モード7	
	PF4DDR	-			0	1
	端子機能	$\overline{\text{HWR}}$ 出力			PF4入力	PF4出力
PF3/ $\overline{\text{LWR}}$ / $\overline{\text{IRQ3}}$	動作モード、バスモードと PF3DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6			モード7	
	バスモード	16ビット バスモード	8ビットバスモード		-	
	PF3DDR	-	0	1	0	1
	端子機能	$\overline{\text{LWR}}$ 出力	PF3入力	PF3出力	PF3入力	PF3出力
			IRQ3入力*			
	【注】 * 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。					
PF2/ $\overline{\text{WAIT}}$	動作モードと $\overline{\text{WAITE}}$ ビットおよび PF2DDR ビットにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	$\overline{\text{WAITE}}$	0		1	-	
	PF2DDR	0	1	-	0	1
	端子機能	PF2入力	PF2出力	$\overline{\text{WAIT}}$ 入力	PF2入力	PF2出力

端子	選択方法と端子機能					
PF1/BACK/BUZZ	動作モードと BRLE ビット、PFCR の BUZZE ビット、および PF1DDR ビットにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	BRLE	0		1	-	
	PF1DDR	0	1	-	0	1
	端子機能	PF1入力	PF1出力	$\overline{\text{BACK}}$ 出力	PF1入力	PF1出力
PF0/ $\overline{\text{BREQ}}$ / IRQ2	動作モードと BRLE ビット、および PF0DDR ビットにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	BRLE	0		1	-	
	PF0DDR	0	1	-	0	1
	端子機能	PF0入力	PF0出力	$\overline{\text{BREQ}}$ 入力	PF0入力	PF0出力
	$\overline{\text{IRQ2}}$ 入力*					
	【注】 * 外部割り込み入力端子として使用する場合には、他の機能の入出力としては使用しないでください。					

9.13 ポート G

9.13.1 概要

ポート G は、5 ビットの入出力ポートで、外部割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$)、バス制御信号出力端子 ($\overline{\text{CS0}} \sim \overline{\text{CS3}}$) と兼用になっています。

割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$) はシュミットトリガ入力です。

ポート G の各端子の構成を図 9.19 に示します。

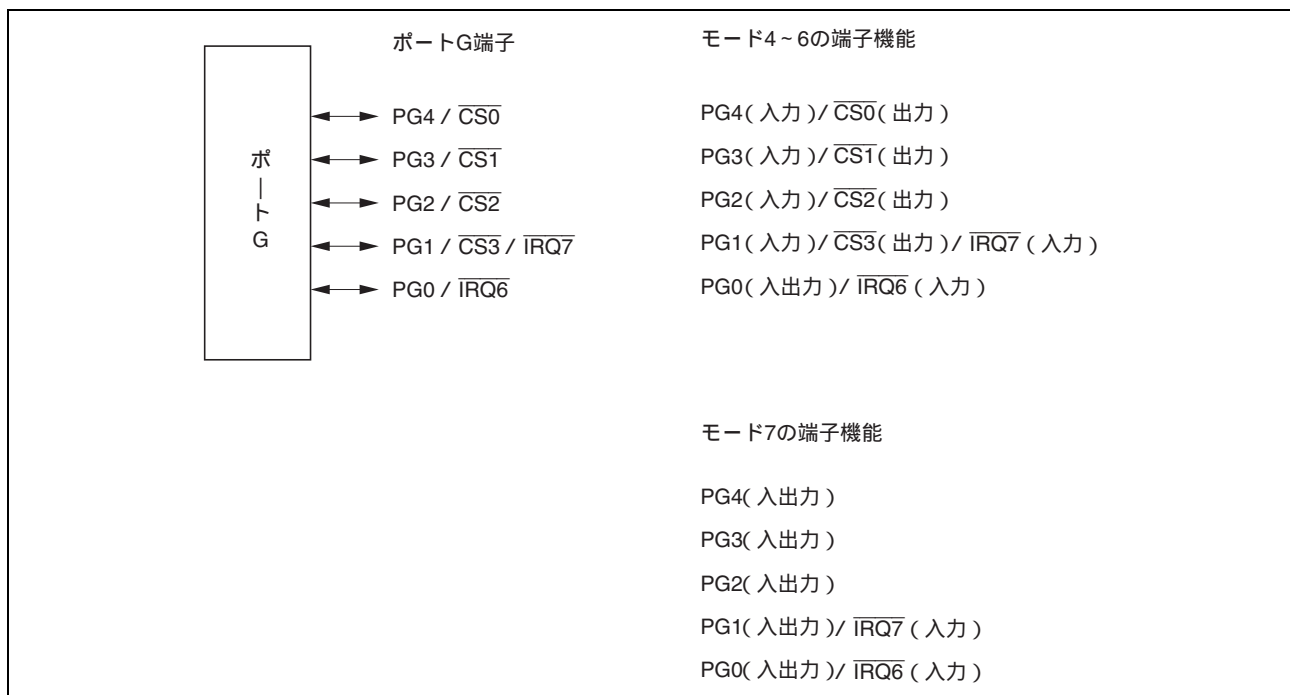


図 9.19 ポート G の端子機能

9.13.2 レジスタ構成

表 9.24 にポート G のレジスタ構成を示します。

表 9.24 ポート G レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート G データディレクションレジスタ	PGDDR	W	H'10 / H'00* ³	H'FE3F
ポート G データレジスタ	PGDR	R/W	H'00	H'FF0F
ポート G レジスタ	PORTG	R	不定	H'FFBF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 4~0 の値を示します。

*3 モードによって、初期値が異なります。モード 4、5 の場合 H'10 に、モード 6、7 の場合 H'00 に初期化されます。

(1) ポート G データディレクションレジスタ (PGDDR)

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
モード 4、5								
初期値 :	不定	不定	不定	1	0	0	0	0
R/W :				W	W	W	W	W
モード 6、7								
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :				W	W	W	W	W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。

PGDDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。

「2.10.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

PG4DDR ビットは、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 4、5 の場合 1 に、モード 6、7 の場合 0 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PGDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PG4~PG1 端子は、PGDDR を 1 にセットするとバス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$)、0 にクリアすると入力ポートになります。

PG0 端子は、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 7

PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(2) ポート G データレジスタ (PGDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

PGDR は、8 ビットのリード/ライト可能なレジスタで、ポート G の各端子 (PG4~PG0) の出力データを格納します。ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 (ビット 4~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート G レジスタ (PORTG)

ビット：	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値：	不定	不定	不定	- *	- *	- *	- *	- *
R/W：	-	-	-	R	R	R	R	R

【注】* PG4～PG0端子の状態により決定されます。

PORTG は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート G の各端子 (PG4～PG0) の出力データのライトは必ず PGDR に対して行ってください。

ビット 7～5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDDR が 1 にセットされているとき、ポート G のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、ポート G のリードを行うと端子の状態が読み出されます。

PORTG は、パワーオンリセットまたはハードウェアスタンバイモードでは、PGDDR、PGDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

9.13.3 端子機能

ポート G は、外部割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$)、バス制御信号出力端子 ($\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$) と兼用になっています。モード 4~6 とモード 7 では端子機能が異なります。ポート G の端子機能を表 9.25 に示します。

表 9.25 ポート G の端子機能

端子	選択方法と端子機能				
PG4/ $\overline{\text{CS0}}$	動作モードと PG4DDR ビットにより、次のように切り替わります。				
	動作モード	モード4~6		モード7	
	PG4DDR	0	1	0	1
	端子機能	PG4入力	$\overline{\text{CS0}}$ 出力	PG4入力	PG4出力
PG3/ $\overline{\text{CS1}}$	動作モードと PG3DDR ビットにより、次のように切り替わります。				
	動作モード	モード4~6		モード7	
	PG3DDR	0	1	0	1
	端子機能	PG3入力	$\overline{\text{CS1}}$ 出力	PG3入力	PG3出力
PG2/ $\overline{\text{CS2}}$	動作モードと PG2DDR ビットにより、次のように切り替わります。				
	動作モード	モード4~6		モード7	
	PG2DDR	0	1	0	1
	端子機能	PG2入力	$\overline{\text{CS2}}$ 出力	PG2入力	PG2出力
PG1/ $\overline{\text{CS3}}$ / IRQ7	動作モードと PG1DDR ビットにより、次のように切り替わります。				
	動作モード	モード4~6		モード7	
	PG1DDR	0	1	0	1
	端子機能	PG1入力	$\overline{\text{CS3}}$ 出力	PG1入力	PG1出力
$\overline{\text{IRQ7}}$ 入力*					
【注】* 外部割り込み入力端子として使用する場合には、他の機能の入出力としては使用しないでください。					
PG0/ $\overline{\text{IRQ6}}$	PG0DDR ビットにより、次のように切り替わります。				
	PG0DDR	0		1	
	端子機能	PG0入力		PG0出力	
	$\overline{\text{IRQ6}}$ 入力*				
【注】* 外部割り込み入力端子として使用する場合には、他の機能の入出力としては使用しないでください。					

9.14 未使用端子の処理

未使用の入力端子は High または Low レベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっております。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子の処理例を表 9.26 に示します。

表 9.26 未使用の入力端子の処理例

端子名	端子処理例
ポート 1	端子ごとに抵抗を介して Vcc に接続（プルアップ）または抵抗を介して Vss に接続（プルダウン）
ポート 3	
ポート 4	
ポート 7	
ポート 9	端子ごとに抵抗を介して AVcc に接続（プルアップ）または抵抗を介して AVss に接続（プルダウン）
ポート A	端子ごとに抵抗を介して Vcc に接続（プルアップ）または抵抗を介して Vss に接続（プルダウン）
ポート B	
ポート C	
ポート D	
ポート E	
ポート F	
ポート G	

10. 16 ビットタイマパルスユニット (TPU)

10.1 概要

H8S/2214 グループは、3 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

10.1.1 特長

最大 8 本のパルス入出力が可能

- チャンネル 0 は各 4 本、チャンネル 1、2 は各 2 本、合計 8 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア/インプットキャプチャレジスタの設定が可能
- チャンネル 0 の TGRC、TGRD は、バッファレジスタとして使用可能

各チャンネルごとに 8 種類のカウンタ入力クロックを選択可能

各チャンネルとも次の動作を設定可能

- コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
- インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
- カウンタクリア動作 : コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ/インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 7 相の PWM 出力が可能

チャンネル 0 はバッファ動作を設定可能

- インプットキャプチャレジスタのダブルバッファ構成が可能
- アウトプットコンペアレジスタの自動書き換えが可能

チャンネル 1、2 はおのこの独立に位相計数モードを設定可能

- 2 相エンコーダパルスのアップダウンカウントが可能

チャンネル 1 と 2 で SCI0 のポーレートクロックを生成可能

- TIOCA1 出力と TIOCA2 出力の論理積回路を利用して、SCI0 のポーレートクロック生成可能

内部 16 ビットバスによる高速アクセス

- 16 ビットバスインタフェースによる高速アクセスが可能

13 種類の割り込み要因

- チャンネル 0 はコンペアマッチ/インプットキャプチャ兼用割り込み×4 本、オーバフロー割り込み×1 本が独立に要求可能
- チャンネル 1、2 はコンペアマッチ/インプットキャプチャ兼用割り込み×2 本、オーバフロー割り込み×1 本、アンダフロー割り込み×1 本が独立に要求可能

レジスタのデータの自動転送が可能

- データトランスファコントローラ (DTC) または DMA コントローラ (DMAC) の起動により、ブロック転送、1 ワードデータ転送および 1 バイトデータ転送が可能

モジュールストップモードの設定可能

- 初期値では TPU の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

10. 16ビットタイマパルスユニット (TPU)

表 10.1 に TPU の機能一覧を示します。

表 10.1 TPU 機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	/ 1 / 4 / 16 / 64 TCLKA TCLKB TCLKC TCLKD	/ 1 / 4 / 16 / 64 / 256 TCLKA TCLKB	/ 1 / 4 / 16 / 64 / 1024 TCLKA TCLKB TCLKC
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B
ジェネラルレジスタ/ バッファレジスタ	TGR0C TGR0D	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペアマッチ 出力	0 出力 1 出力 トグル出力		
インプットキャプチャ機能			
同期動作			
PWM モード			
位相計数モード	-		
バッファ動作		-	-
DTC の起動	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
DMAC の起動	TGR0A のコンペアマッチまたは インプットキャプチャ	TGR1A のコンペアマッチまたは インプットキャプチャ	TGR2A のコンペアマッチまたは インプットキャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 0A • コンペアマッチ / インプットキャプチャ 0B • コンペアマッチ / インプットキャプチャ 0C • コンペアマッチ / インプットキャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 1A • コンペアマッチ / インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 2A • コンペアマッチ / インプットキャプチャ 2B • オーバフロー • アンダフロー

【記号説明】

- : 可能
- : 不可

10.1.2 ブロック図

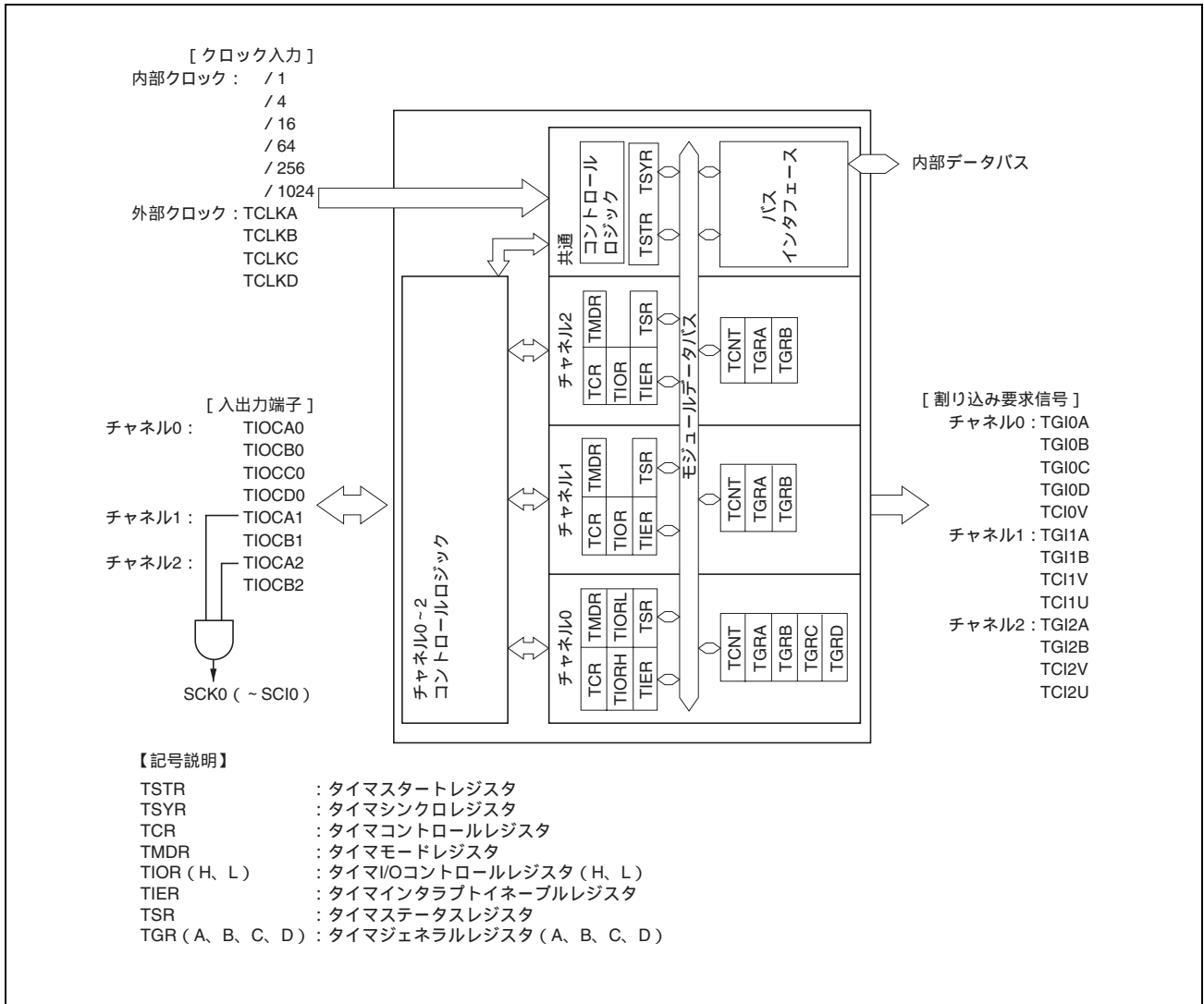


図 10.1 TPU ブロック図

10.1.3 端子構成

TPUの端子構成を表10.2に示します。

表 10.2 TPUの端子構成

チャンネル	名 称	略称	入出力	機 能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャンネル1の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャンネル1の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャンネル2の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャンネル2の位相計数モード B 相入力)
0	インプットキャプチャ/ アウトコンペアマッチ A0	TIOCA0	入出力	TGR0A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B0	TIOCB0	入出力	TGR0B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ C0	TIOCC0	入出力	TGR0C のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ D0	TIOCD0	入出力	TGR0D のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ/ アウトコンペアマッチ A1	TIOCA1	入出力	TGR1A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B1	TIOCB1	入出力	TGR1B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ/ アウトコンペアマッチ A2	TIOCA2	入出力	TGR2A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B2	TIOCB2	入出力	TGR2B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子

10.1.4 レジスタ構成

TPU のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FF10
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FF11
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FF12
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FF13
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FF14
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FF15
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FF16
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FF18
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FF1A
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FF1C
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FF1E
	1	タイマコントロールレジスタ 1	TCR1	R/W	H'00
タイマモードレジスタ 1		TMDR1	R/W	H'C0	H'FF21
タイマ I/O コントロールレジスタ 1		TIOR1	R/W	H'00	H'FF22
タイマインタラプトイネーブルレジスタ 1		TIER1	R/W	H'40	H'FF24
タイマステータスレジスタ 1		TSR1	R/(W)*2	H'C0	H'FF25
タイマカウンタ 1		TCNT1	R/W	H'0000	H'FF26
タイマジェネラルレジスタ 1A		TGR1A	R/W	H'FFFF	H'FF28
タイマジェネラルレジスタ 1B		TGR1B	R/W	H'FFFF	H'FF2A
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FF30
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FF31
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FF32
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FF34
	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FF35
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FF36
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FF38
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FF3A
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FEB0
	タイマシンククロレジスタ	TSYR	R/W	H'00	H'FEB1
	モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマコントロールレジスタ (TCR)

チャンネル0 : TCR0

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TCR1

チャンネル2 : TCR2

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0~2 に各 1 本、計 3 本の TCR があります。TCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6、5 : カウンタクリア 2、1、0 (CCLR2、CCLR1、CCLR0)

TCNT のカウンタクリア要因を選択します。

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
			1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
			1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
		1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
			1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

チャンネル	ビット 7	ビット 6	ビット 5	説明
	リザーブ*3	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
			1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

*3 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4、3：クロックエッジ 1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が $1/2$ になります(例： $1/4$ の両エッジ = $1/2$ の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット 4	ビット 3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが $1/4$ もしくはそれより遅い場合に有効です。入力クロックに $1/1$ 、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます ($1/1$ 選択時は $1/1$ の立ち下がりエッジでカウント)。

ビット 2、1、0：タイマプリスケラ 2、1、0 (TPSC2 ~ TPSC0)

TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表 10.4 に各チャンネルごとに設定可能なクロックソース一覧を示します。

表 10.4 TPU のクロックソース一覧

チャンネル	内部クロック							外部クロック			
	$1/1$	$1/4$	$1/16$	$1/64$	$1/256$	$1/1024$	$1/4096$	TCLKA	TCLKB	TCLKC	TCLKD
0											
1											
2											

【記号説明】

：設定あり

空欄：設定なし

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $1/1$ でカウント (初期値)
			1	内部クロック： $1/4$ でカウント
		1	0	内部クロック： $1/16$ でカウント
			1	内部クロック： $1/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $1/1$ でカウント (初期値)
			1	内部クロック： $1/4$ でカウント
		1	0	内部クロック： $1/16$ でカウント
			1	内部クロック： $1/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	内部クロック： $1/256$ でカウント
			1	設定禁止

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

10. 16ビットタイマパルスユニット (TPU)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： /1でカウント (初期値)
			1	内部クロック： /4でカウント
		1	0	内部クロック： /16でカウント
			1	内部クロック： /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	内部クロック： /1024でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

10.2.2 タイマモードレジスタ (TMDR)

チャンネル0：TMDR0

ビット：	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	-	-	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1：TMDR1

チャンネル2：TMDR2

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	-	-	-	-	R/W	R/W	R/W	R/W

TMDRは8ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPUには、各チャンネル1本、計3本のTMDRがあります。TMDRは、リセットまたはハードウェアスタンバイモード時にH'COに初期化されます。

ビット7、6：リザーブ

リードすると常に1が読み出されます。ライトは無効です。

ビット5：バッファ動作B (BFB)

TGRBを通常動作させるか、TGRBとTGRDを組み合わせるバッファ動作させるかを設定します。TGRDをバッファレジスタとして使用した場合は、TGRDのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRDを持たないチャンネル1,2ではこのビットはリザーブビットになります。リードすると常に0が読み出されます。ライトは無効です。

ビット5	説明
BFB	
0	TGRBは通常動作 (初期値)
1	TGRBとTGRDはバッファ動作

ビット 4 : バッファ動作 A (BFA)

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC の入力キャプチャ/アウトプットコンペアは発生しません。

TGRC を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

ビット 3~0 : モード 3~0 (MD3~MD0)

MD3~MD0 はタイマの動作モードを設定します。

ビット 3	ビット 2	ビット 1	ビット 0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	リザーブ
		1	0	PWM モード 1
			1	PWM モード 2
	1	0	0	位相計数モード 1
			1	位相計数モード 2
		1	0	位相計数モード 3
			1	位相計数モード 4
1	*	*	*	-

【記号説明】

* : Don't care

- 【注】 1. MD3 はリザーブビットです。
ライト時には常に 0 を書き込んでください。
2. チャンネル 0 では、位相計数モードの設定はできません。
MD2 には常に 0 をライトしてください。

10.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル0 : TIOR0H

チャンネル1 : TIOR1

チャンネル2 : TIOR2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル0 : TIOR0L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0 に各 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR があります。TIOR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

ビット7~4: I/O コントロール B3~0 (IOB3~IOB0)
I/O コントロール D3~0 (IOD3~IOD0)

IOB3~IOB0 ビットは TGRB の機能を設定します。
IOD3~IOD0 ビットは TGRD の機能を設定します。

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	コンペアマッチでトグル出力					
			1	0		0	TGR0B は インプット キャプチャ レジスタ	出力禁止	
						1		初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力							
	1	コンペアマッチでトグル出力							
	1	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB0 端子	立ち上がりエッジでインプットキャプチャ			
			1			立ち下がりエッジでインプットキャプチャ			
			*			両エッジでインプットキャプチャ			
	1	*	*		*	設定禁止			

【記号説明】

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOD3	IOD2	IOD1	IOD0					
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ* ¹	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	コンペアマッチでトグル出力					
			1	0		0	TGR0D は インプット キャプチャ レジスタ* ¹	出力禁止	
						1		初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力							
	1	コンペアマッチでトグル出力							
	1	0	0	TGR0D は インプット キャプチャ レジスタ* ¹	キャプチャ入力元 は TIOCD0 端子	立ち上がりエッジでインプットキャプチャ			
			1			立ち下がりエッジでインプットキャプチャ			
			*			両エッジでインプットキャプチャ			
	1	*	*		*	設定禁止			

【記号説明】

* : Don't care

【注】 *1 TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16ビットタイムパルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	1		0	コンペアマッチでトグル出力		
			0			出力禁止			
			1			初期出力は1出力	コンペアマッチで0出力		
	0	コンペアマッチで1出力							
	1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB1 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
				1		*	*	設定禁止	

【記号説明】

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明		
	IOB3	IOB2	IOB1	IOB0			
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は0出力	コンペアマッチで0出力
				0			コンペアマッチで1出力
			1	1		0	コンペアマッチでトグル出力
			0			出力禁止	
			1			初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力					
	1	*	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB2 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ

【記号説明】

* : Don't care

ビット3~0: I/O コントロール A3~0 (IOA3~IOA0)
I/O コントロール C3~0 (IOC3~IOC0)

IOA3~IOA0 ビットは TGRA の機能を設定します。
IOC3~IOC0 ビットは TGRC の機能を設定します。

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOA3	IOA2	IOA1	IOA0					
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで1出力		
				0			コンペアマッチで0出力		
			1	コンペアマッチで1出力					
			1	0		0	出力禁止	初期出力は1出力	
						1		コンペアマッチでトグル出力	
	0	コンペアマッチで0出力							
	1	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA0 端子				
			1		コンペアマッチでトグル出力				
			*		立ち上がりエッジでインプットキャプチャ				
	1	0	0		設定禁止	立ち下がりエッジでインプットキャプチャ			
			1			両エッジでインプットキャプチャ			
*									
1	*	*							

【記号説明】

* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOC3	IOC2	IOC1	IOC0					
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ* ¹	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで1出力		
				0			コンペアマッチで0出力		
			1	コンペアマッチで1出力					
			1	0		0	出力禁止	初期出力は1出力	
						1		コンペアマッチで0出力	
	0	コンペアマッチで1出力							
	1	0	0	TGR0C は インプット キャプチャ レジスタ* ¹	キャプチャ入力元 は TIOCC0 端子				
			1		コンペアマッチでトグル出力				
			*		立ち上がりエッジでインプットキャプチャ				
	1	0	0		設定禁止	立ち下がりエッジでインプットキャプチャ			
			1			両エッジでインプットキャプチャ			
*									
1	*	*							

【記号説明】

* : Don't care

【注】 *¹ TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16ビットタイムパルスユニット (TPU)

チャンネル	ビット3	ビット2	ビット1	ビット0	説明			
	IOA3	IOA2	IOA1	IOA0				
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0			コンペアマッチで1出力	
			1	コンペアマッチでトグル出力				
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1		コンペアマッチで1出力
	0	コンペアマッチでトグル出力						
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA1 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	設定禁止	

【記号説明】

* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明			
	IOA3	IOA2	IOA1	IOA0				
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0			コンペアマッチで1出力	
			1	コンペアマッチでトグル出力				
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1		コンペアマッチで1出力
	0	コンペアマッチでトグル出力						
	1	*	0	0	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA2 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	設定禁止	

【記号説明】

* : Don't care

10.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0 : TIER0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TIER1

チャンネル2 : TIER2

ビット :	7	6	5	4	3	2	1	0
	-	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TIER は 8 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 3 本の TIER があります。TIER は、リセットまたはハードウェアスタンバイモード時に H'40 に初期化されます。

ビット 7 : リザーブ

リザーブビットです。0 をライトしてください。

ビット 6 : リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5 : アンダフローインタラプトイネーブル (TCIEU)

チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説明
TCIEU	
0	TCFU による割り込み要求 (TCIU) を禁止 (初期値)
1	TCFU による割り込み要求 (TCIU) を許可

ビット 4 : オーバフローインタラプトイネーブル (TCIEV)

TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット 4	説明
TCIEV	
0	TCFV による割り込み要求 (TCIV) を禁止 (初期値)
1	TCFV による割り込み要求 (TCIV) を許可

10. 16ビットタイムパルスユニット (TPU)

ビット3: TGR インタラプトイネーブルD (TGIED)

チャンネル0でTSRのTGFDビットが1にセットされたとき、TGFDビットによる割り込み要求(TGID)を許可または禁止します。

チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3	説明
TGIED	
0	TGFD ビットによる割り込み要求 (TGID) を禁止 (初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可

ビット2: TGR インタラプトイネーブルC (TGIEC)

チャンネル0でTSRのTGFCビットが1にセットされたとき、TGFCビットによる割り込み要求(TGIC)を許可または禁止します。

チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2	説明
TGIEC	
0	TGFC ビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可

ビット1: TGR インタラプトイネーブルB (TGIEB)

TSRのTGFBビットが1にセットされたとき、TGFBビットによる割り込み要求(TGIB)を許可または禁止します。

ビット1	説明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

ビット0: TGR インタラプトイネーブルA (TGIEA)

TSRのTGFAビットが1にセットされたとき、TGFAビットによる割り込み要求(TGIA)を許可または禁止します。

ビット0	説明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

10.2.5 タイマステータスレジスタ (TSR)

チャンネル0 : TSR0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

チャンネル1 : TSR1

チャンネル2 : TSR2

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

TSRは8ビットのレジスタで、各チャンネルのステータスの表示を行います。TPUには、各チャンネル1本、計3本のTSRがあります。TSRは、リセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

ビット7 : カウント方向フラグ (TCFD)

チャンネル1、2のTCNTのカウント方向を示すステータスフラグです。

チャンネル0ではリザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット7	説明
TCFD	
0	TCNTはダウンカウント
1	TCNTはアップカウント (初期値)

ビット6 : リザーブ

リードすると常に1が読み出されます。ライトは無効です。

ビット5 : アンダフローフラグ (TCFU)

チャンネル1、2が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。

チャンネル0ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット5	説明
TCFU	
0	[クリア条件] • TCFU=1の状態でもTCFUをリード後、TCFUに0をライトしたとき (初期値)
1	[セット条件] • TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

10. 16ビットタイムパルスユニット (TPU)

ビット4：オーバーフローフラグ (TCFV)

TCNTのオーバーフローの発生を示すステータスフラグです。

ビット4	説明
TCFV	
0	[クリア条件] (初期値) <ul style="list-style-type: none"> TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] <ul style="list-style-type: none"> TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)

チャンネル0のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3	説明
TGFD	
0	[クリア条件] (初期値) <ul style="list-style-type: none"> TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0で、かつ転送カウンタが0でないとき TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] <ul style="list-style-type: none"> TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2	説明
TGFC	
0	[クリア条件] (初期値) <ul style="list-style-type: none"> TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0で、かつ転送カウンタが0でないとき TGFC=1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] <ul style="list-style-type: none"> TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

ビット1: インพุットキャプチャ/アウトプットコンペアフラグ B (TGFB)

TGRB のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFB	
0	[クリア条件] (初期値) • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
1	[セット条件] • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット0: インพุットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGRA のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

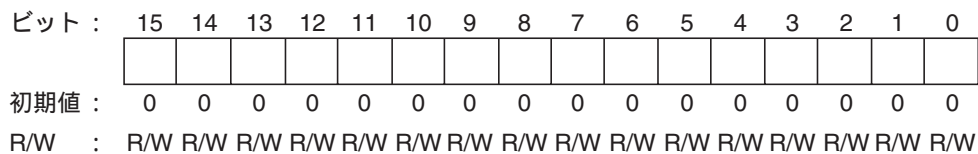
ビット0	説明
TGFA	
0	[クリア条件] (初期値) • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき • TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき
1	[セット条件] • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRA に転送されたとき

10.2.6 タイマカウンタ (TCNT)

チャンネル0 : TCNT0 (アップカウンタ)

チャンネル1 : TCNT1 (アップ/ダウンカウンタ*)

チャンネル2 : TCNT2 (アップ/ダウンカウンタ*)



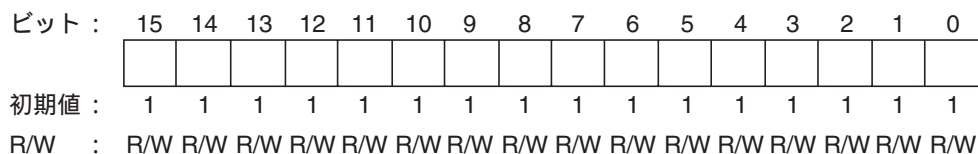
【注】* 位相計数モードのみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNTは16ビットのカウンタです。各チャンネルに1本、計3本のTCNTがあります。

TCNTは、リセットまたはハードウェアスタンバイモード時にH'0000に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.2.7 タイマジェネラルレジスタ (TGR)



TGRは16ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル0に4本、チャンネル1、2に各2本、計8本のジェネラルレジスタがあります。チャンネル0のTGRCとTGRDは、バッファレジスタとして動作設定することができます*。TGRはリセットまたはハードウェアスタンバイモード時にH'FFFFに初期化されます。

TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

【注】* TGRとバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRDになります。

10.2.8 タイマスタートレジスタ (TSTR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	R/W	R/W	R/W

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~2 の TCNT の動作/停止を選択します。TSTR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット 7~3: リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 2~0: カウンタスタート 2~0 (CST2~CST0)

TCNT の動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

(n=2~0)

【注】 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

10.2.9 タイマシンクロレジスタ (TSYR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	R/W	R/W	R/W

TSYRは8ビットのリード/ライト可能なレジスタで、チャンネル0~2のTCNTの独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

TSYRはリセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

ビット7~3: リザーブビット

ライト時は必ず0を書き込んでください。

ビット2~0: タイマ同期2~0 (SYNC2~SYNC0)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数のTCNTの同期プリセット*¹や、他チャンネルのカウンタクリアによる同期クリア*²が可能となります。

ビット n	説明
SYNCn	
0	TCNTnは独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係) (初期値)
1	TCNTnは同期動作 TCNTの同期プリセット/同期クリアが可能

(n=2~0)

【注】 *1 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。

*2 同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

10.2.10 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA5 ビットを 1 にセットすると、バスサイクルの終了時点で TPU は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「17.5 モジュールストップモード」を参照してください。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5：モジュールストップ (MSTPA5)

TPU のモジュールストップモードを指定します。

ビット 5	説明
MSTPA5	
0	TPU のモジュールストップモード解除
1	TPU のモジュールストップモード設定 (初期値)

10.3 バスマスタとのインタフェース

10.3.1 16ビットレジスタ

TCNT、TGR は16ビットのレジスタです。バスマスタとの間のデータバスは16ビット幅なので、16ビット単位でのリード/ライトが可能です。

8ビット単位でのリード/ライトはできません。常に16ビット単位でアクセスしてください。

16ビットレジスタのアクセス動作例を図10.2に示します。

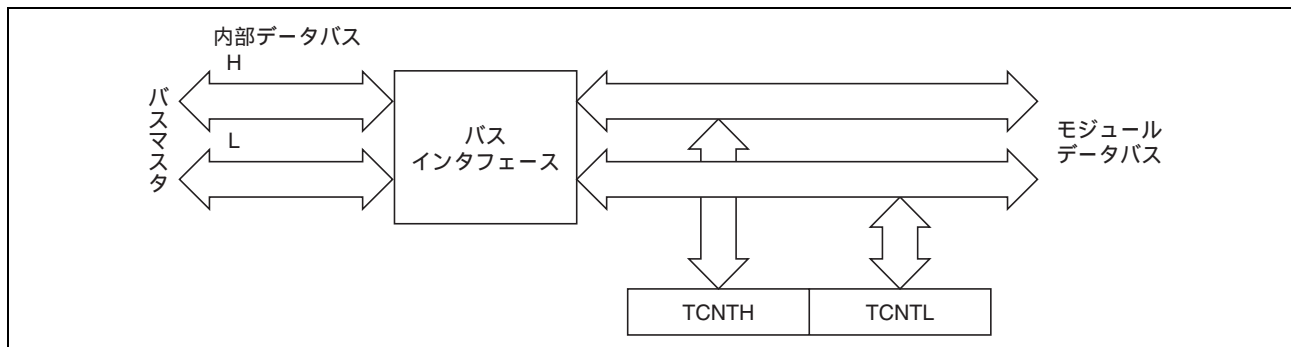


図 10.2 16ビットレジスタのアクセス動作 (バスマスタ TCNT (16ビット))

10.3.2 8ビットレジスタ

TCNT、TGR 以外のレジスタは8ビットのレジスタです。CPU との間のデータバスは16ビット幅なので、16ビット単位でのリード/ライトが可能です。また、8ビット単位でのリード/ライトもできます。

8ビットレジスタのアクセス動作例を図10.3～図10.5に示します。

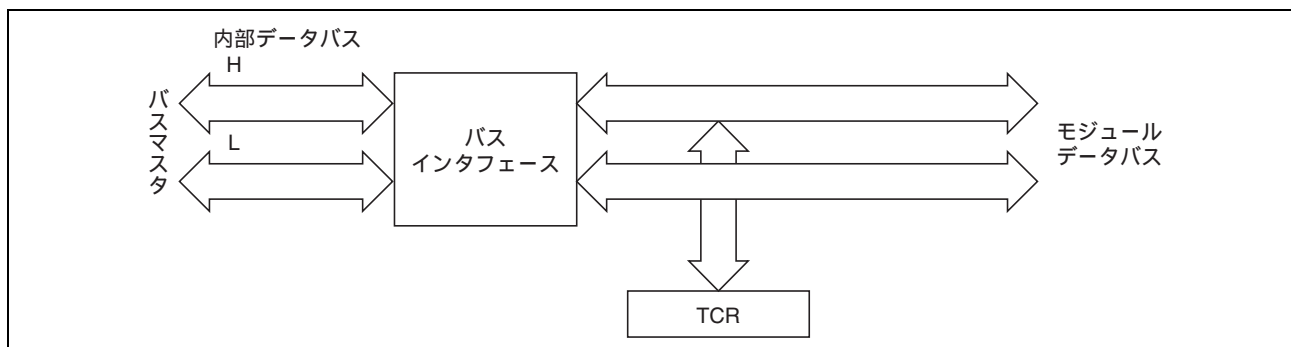


図 10.3 8ビットレジスタのアクセス動作 (バスマスタ TCR (上位8ビット))

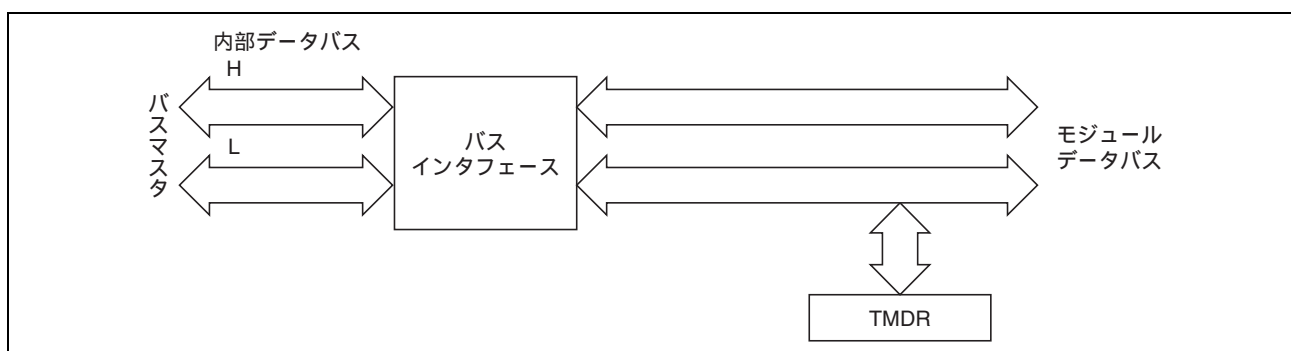


図 10.4 8ビットレジスタのアクセス動作 (バスマスタ TMDR (下位8ビット))

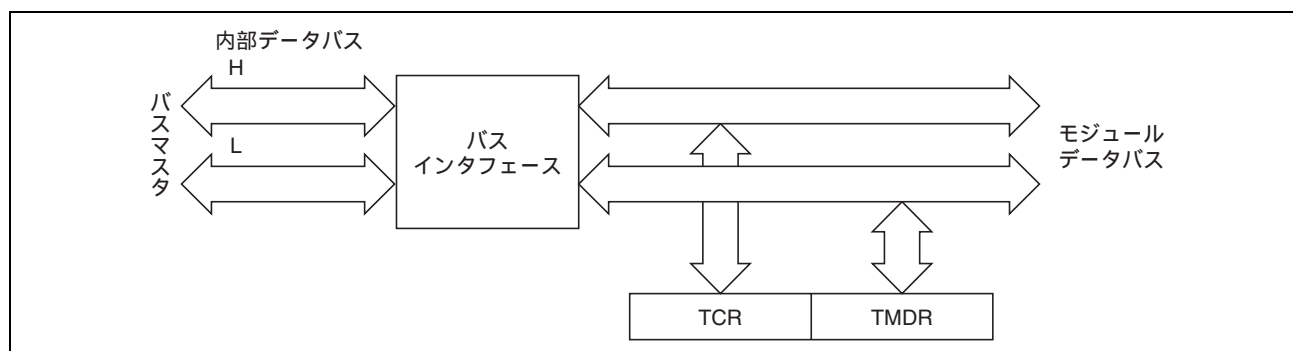


図 10.5 8 ビットレジスタのアクセス動作 (バスマスタ TCR、TMDR (16 ビット))

10.4 動作説明

10.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR のタイマ同期ビットの設定により、TCNT の同期クリアが可能です。

(3) バッファ動作

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値が TGR に転送されると同時に、それまで格納されていた TGR の値がバッファレジスタに転送されます。

(4) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

(5) 位相計数モード

チャンネル 1、2 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

10.4.2 基本機能

(1) カウンタの動作

TSTR の CST0 ~ CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.6 に示します。

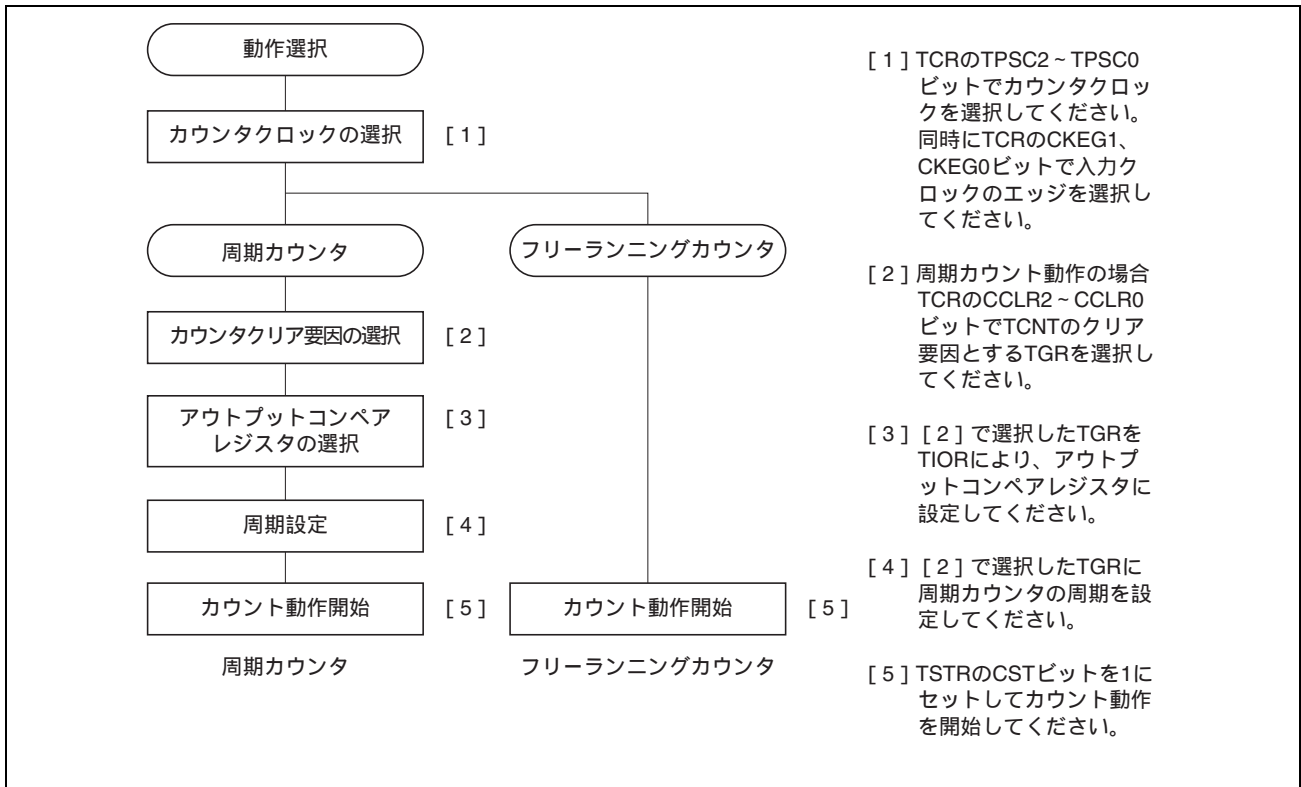


図 10.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を続けます。

フリーランニングカウンタの動作を図 10.7 に示します。

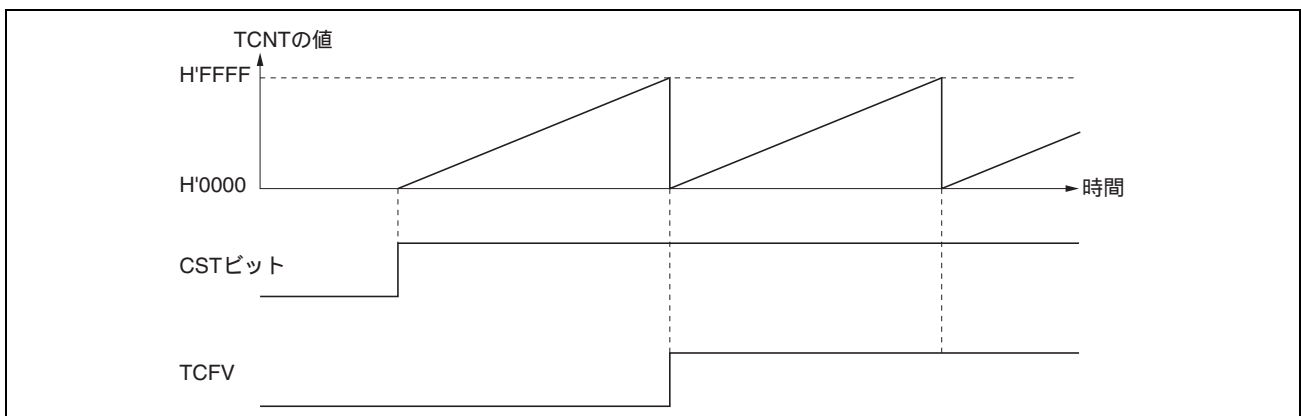


図 10.7 フリーランニングカウンタの動作

10. 16ビットタイマパルスユニット (TPU)

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウント動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2~CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図10.8に示します。

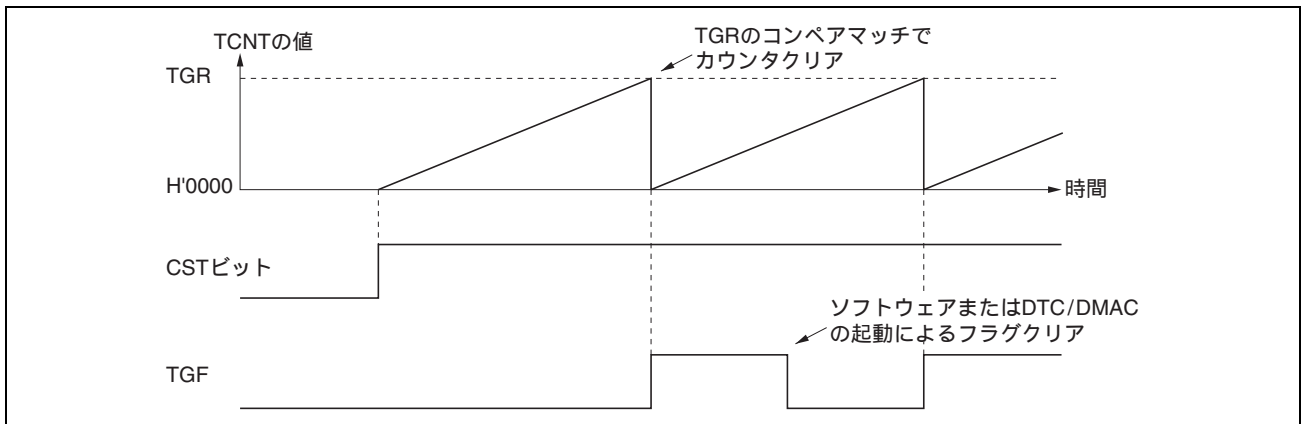


図 10.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図10.9に示します。

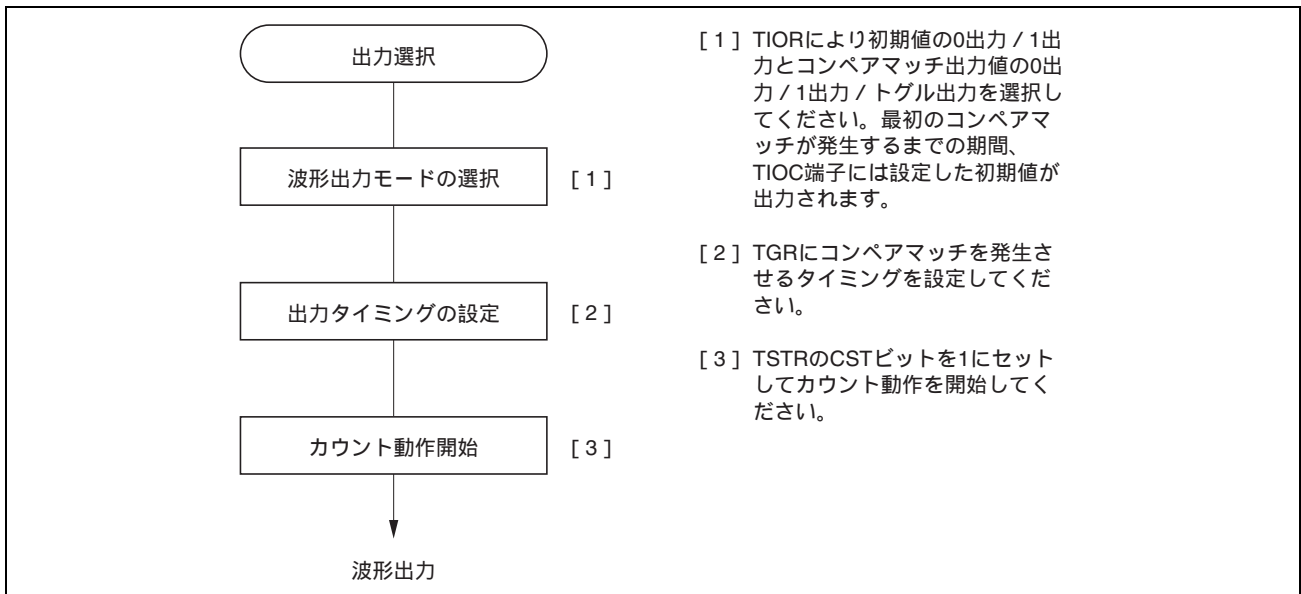


図 10.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 10.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

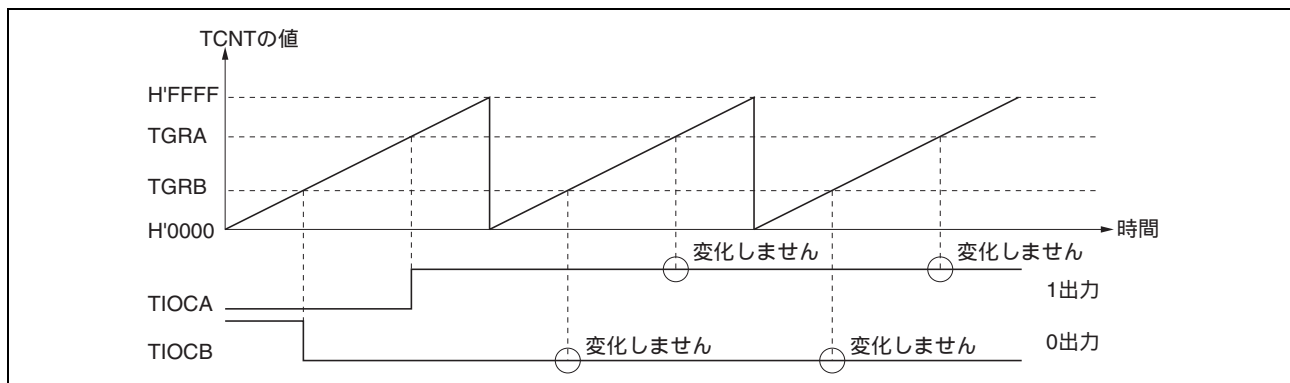


図 10.10 0 出力 / 1 出力の動作例

トグル出力の例を図 10.11 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

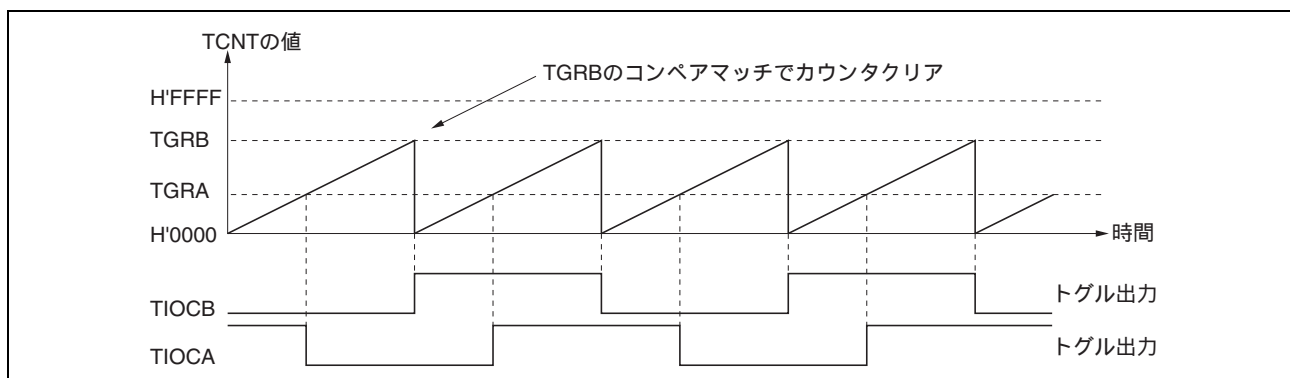


図 10.11 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.12 に示します。

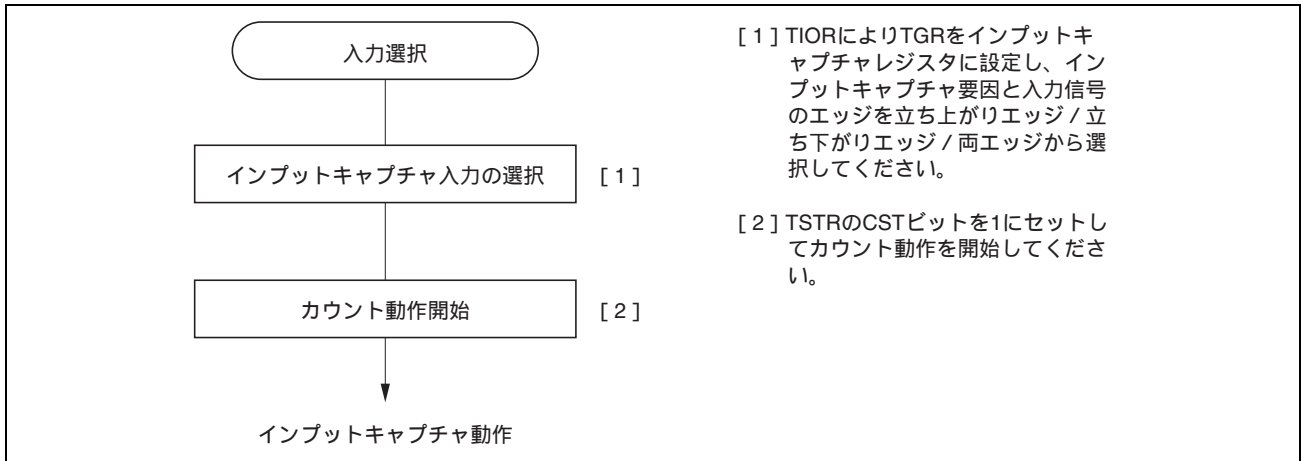


図 10.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

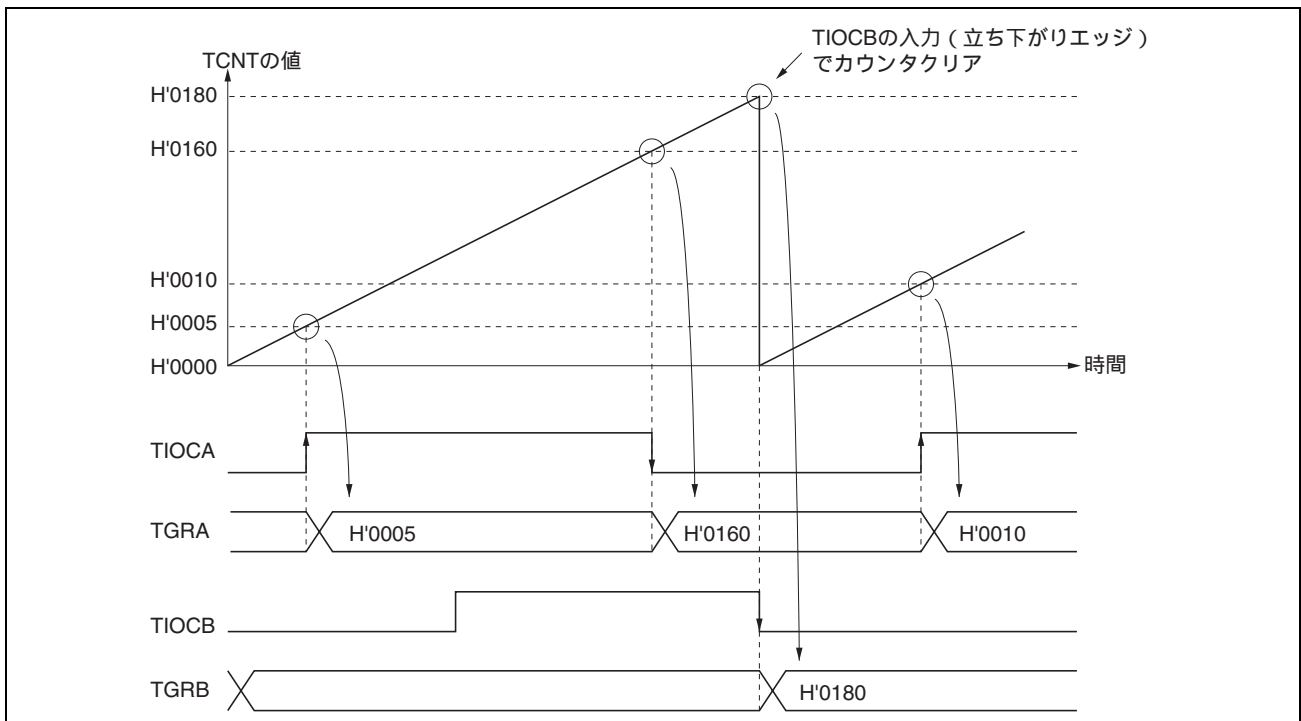


図 10.13 インพุットキャプチャ動作例

10.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます(同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます(同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル0~2はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.14 に示します。

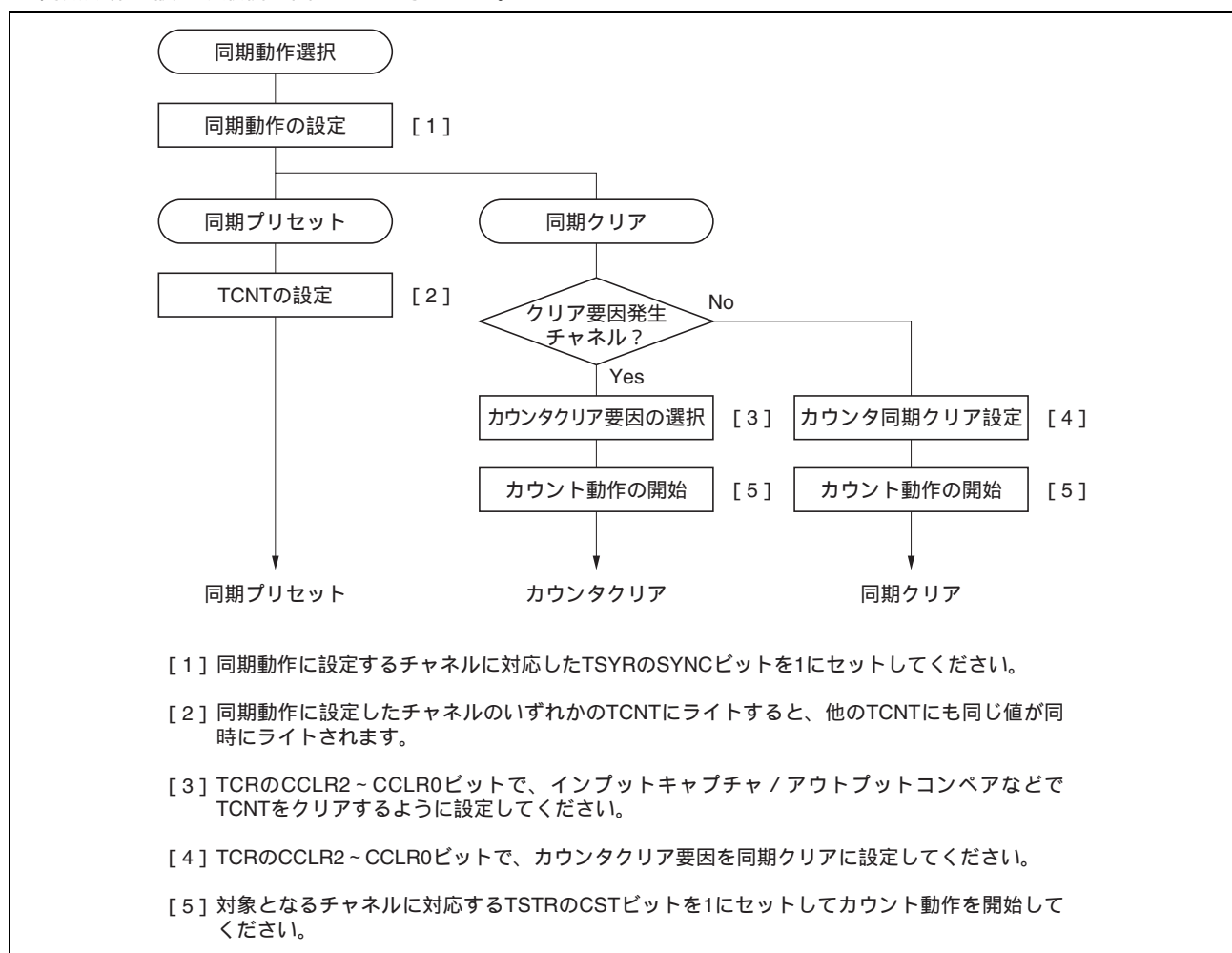


図 10.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.15 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGR0Bのコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOC0A、TIOC1A、TIOC2A端子から出力します。このとき、チャンネル0~2のTCNTは同期プリセット、TGR0Bのコンペアマッチによる同期クリアを行い、TGR0Bに設定したデータがPWM周期となります。

PWMモードについては、「10.4.5 PWMモード」を参照してください。

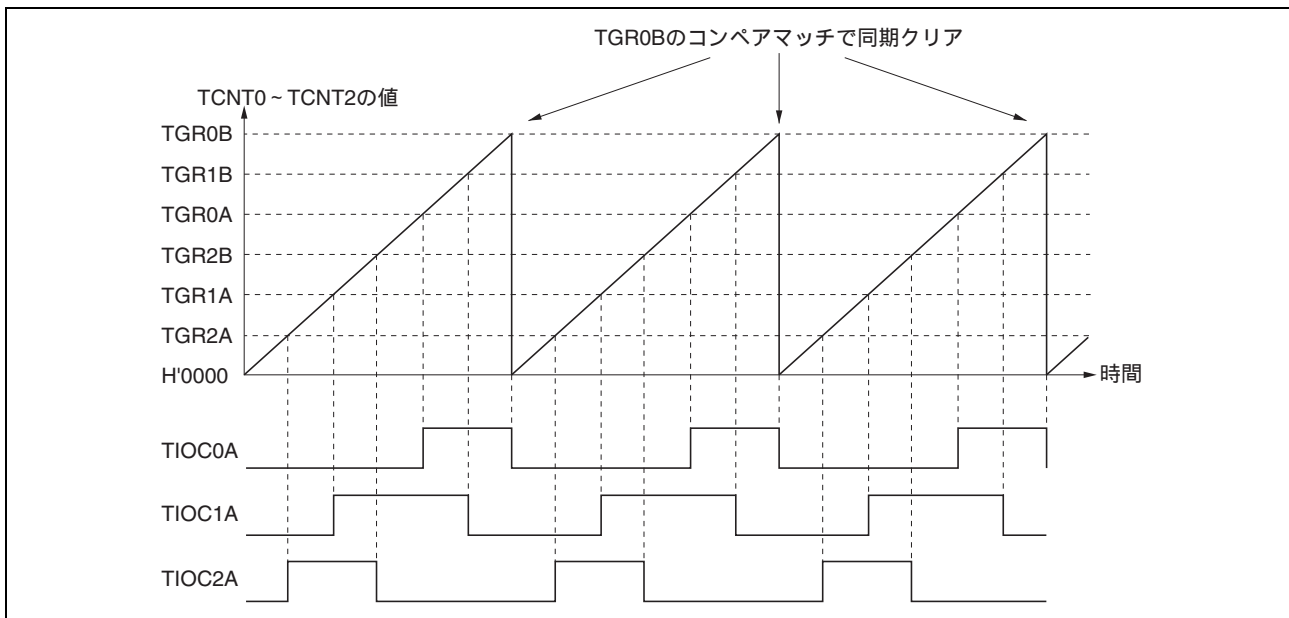


図 10.15 同期動作の動作例

10.4.4 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.5 にバッファ動作時のレジスタの組み合わせを示します。

表 10.5 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 10.16 に示します。

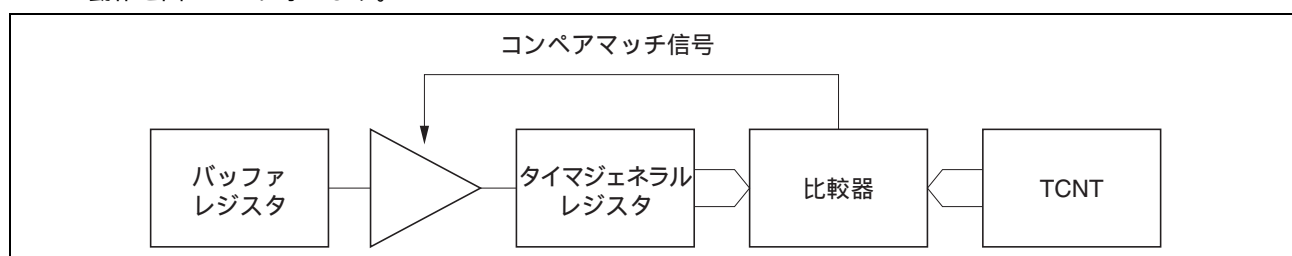


図 10.16 コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイムジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 10.17 に示します。

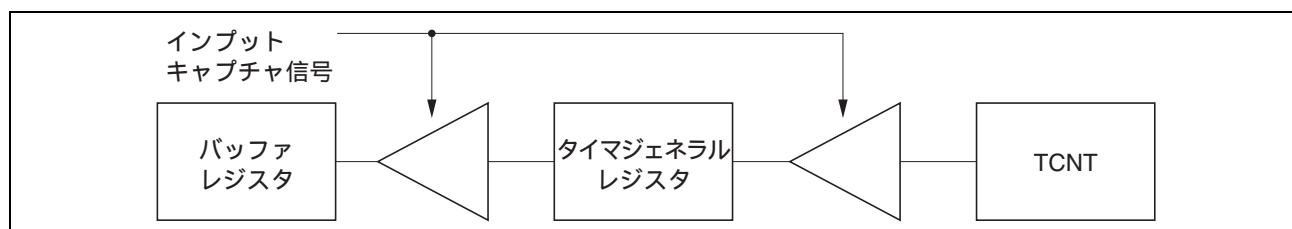


図 10.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.18 に示します。

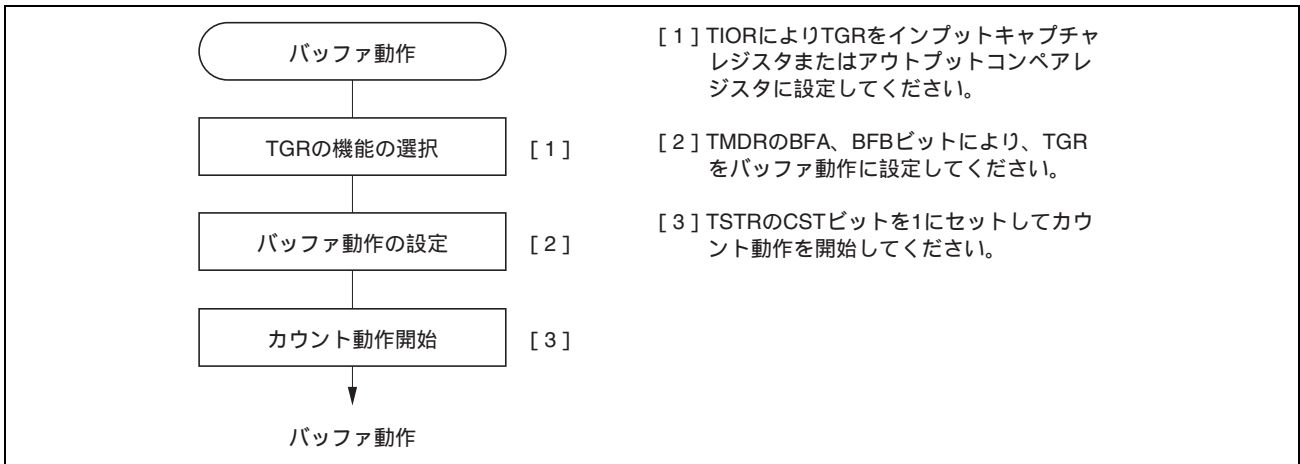


図 10.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイムジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「10.4.5 PWMモード」を参照してください。

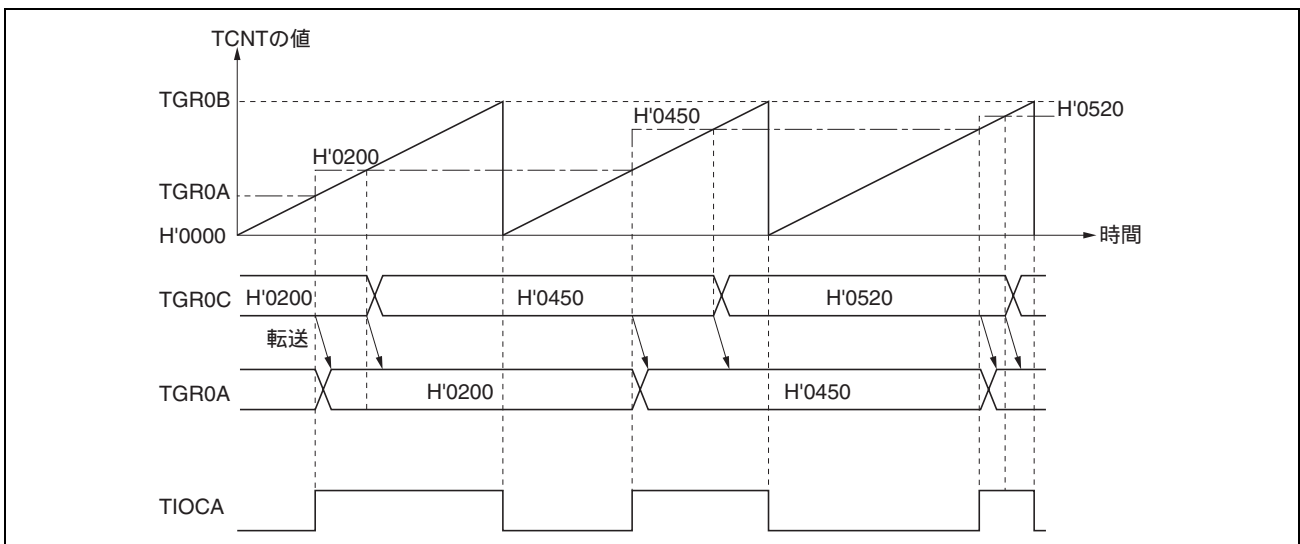


図 10.19 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.20 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

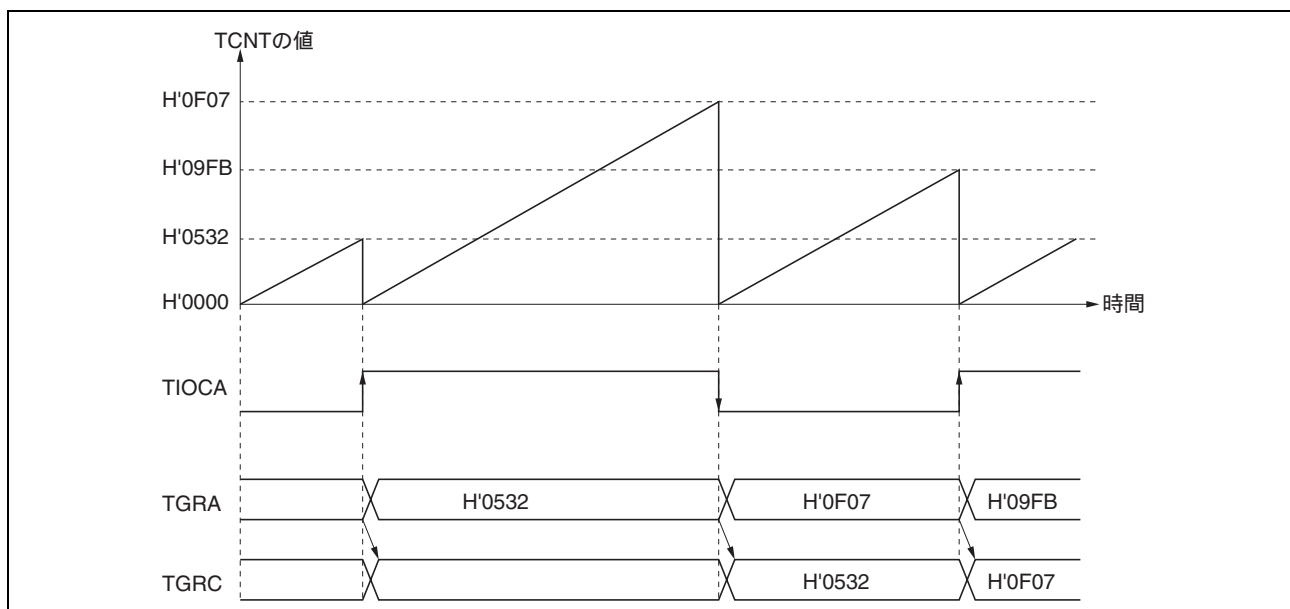


図 10.20 バッファ動作例 (2)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 7 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.6 に示します。

表 10.6 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOCA0	TIOCA0
	TGR0B		TIOCB0
	TGR0C	TIOCC0	TIOCC0
	TGR0D		TIOCD0
1	TGR1A	TIOCA1	TIOCA1
	TGR1B		TIOCB1
2	TGR2A	TIOCA2	TIOCA2
	TGR2B		TIOCB2

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.21 に示します。

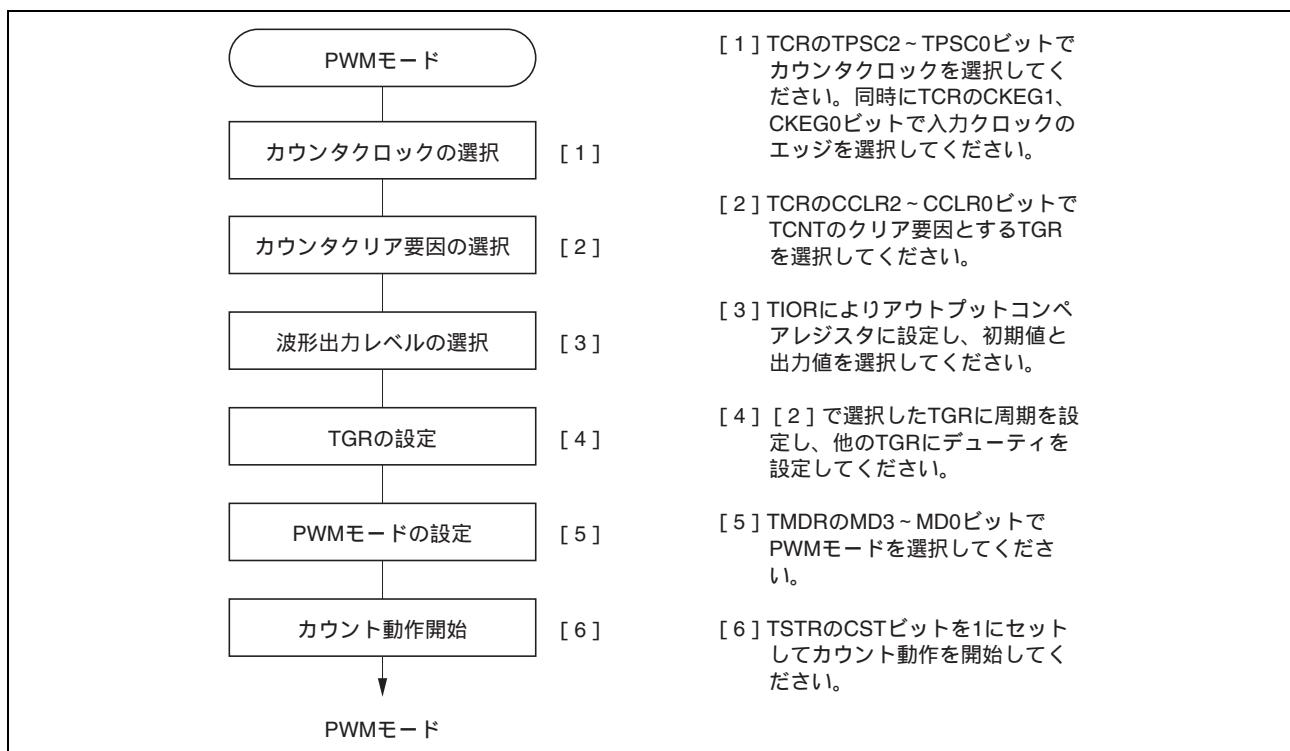


図 10.21 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 10.22 に示します。

この図は、TCNTのクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

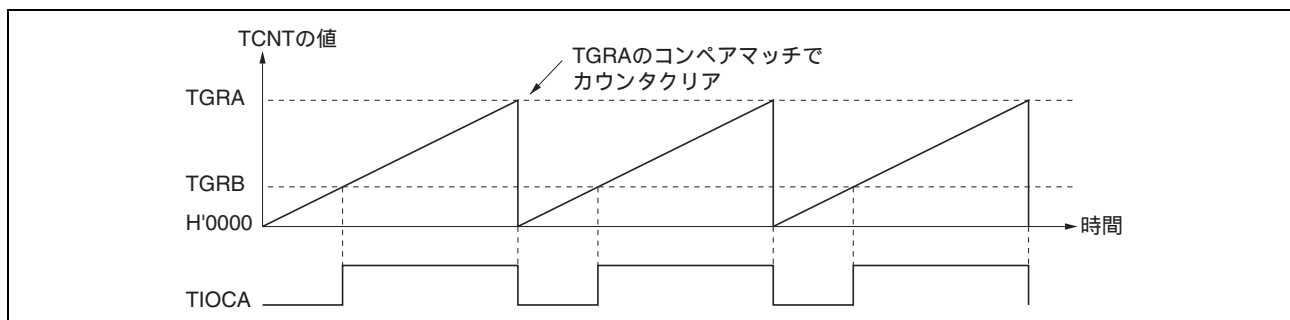


図 10.22 PWM モードの動作例 (1)

10. 16ビットタイマパルスユニット (TPU)

PWM モード2の動作例を図10.23に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGR1Bのコンペアマッチとし、他のTGR (TGR0A ~ TGR0D、TGR1A)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGR1Bに設定した値が周期となり、他のTGRに設定した値がデューティになります。

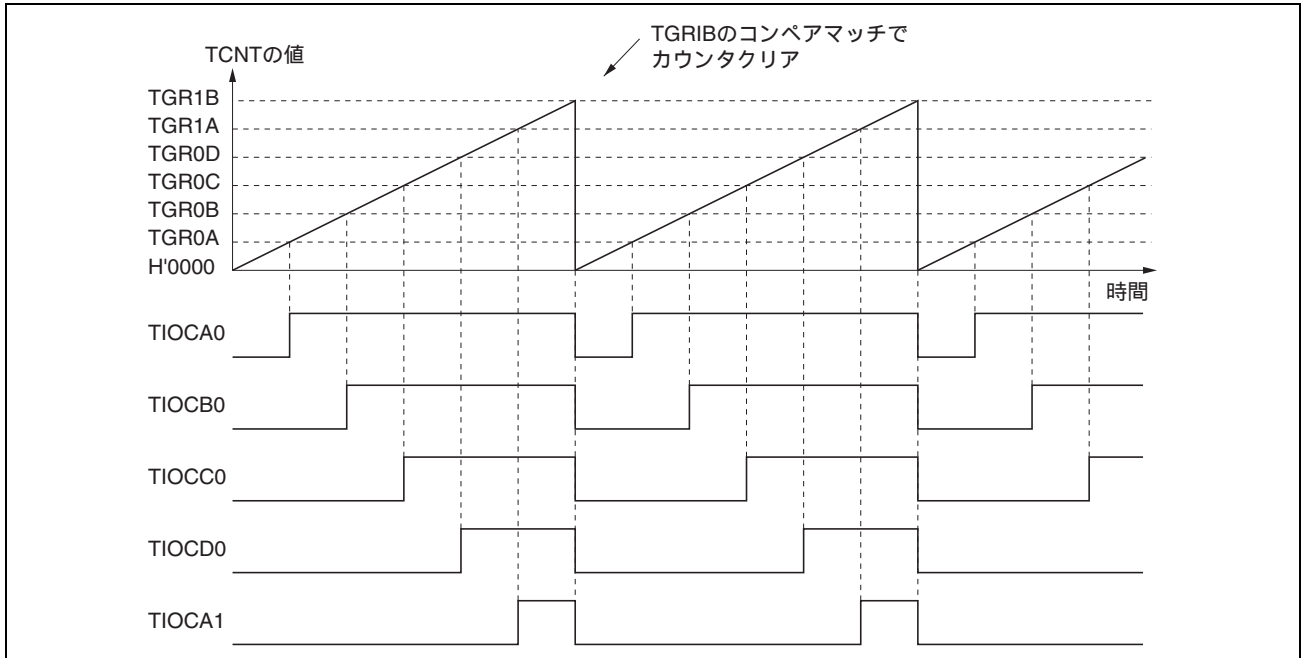


図10.23 PWMモードの動作例(2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.24 に示します。

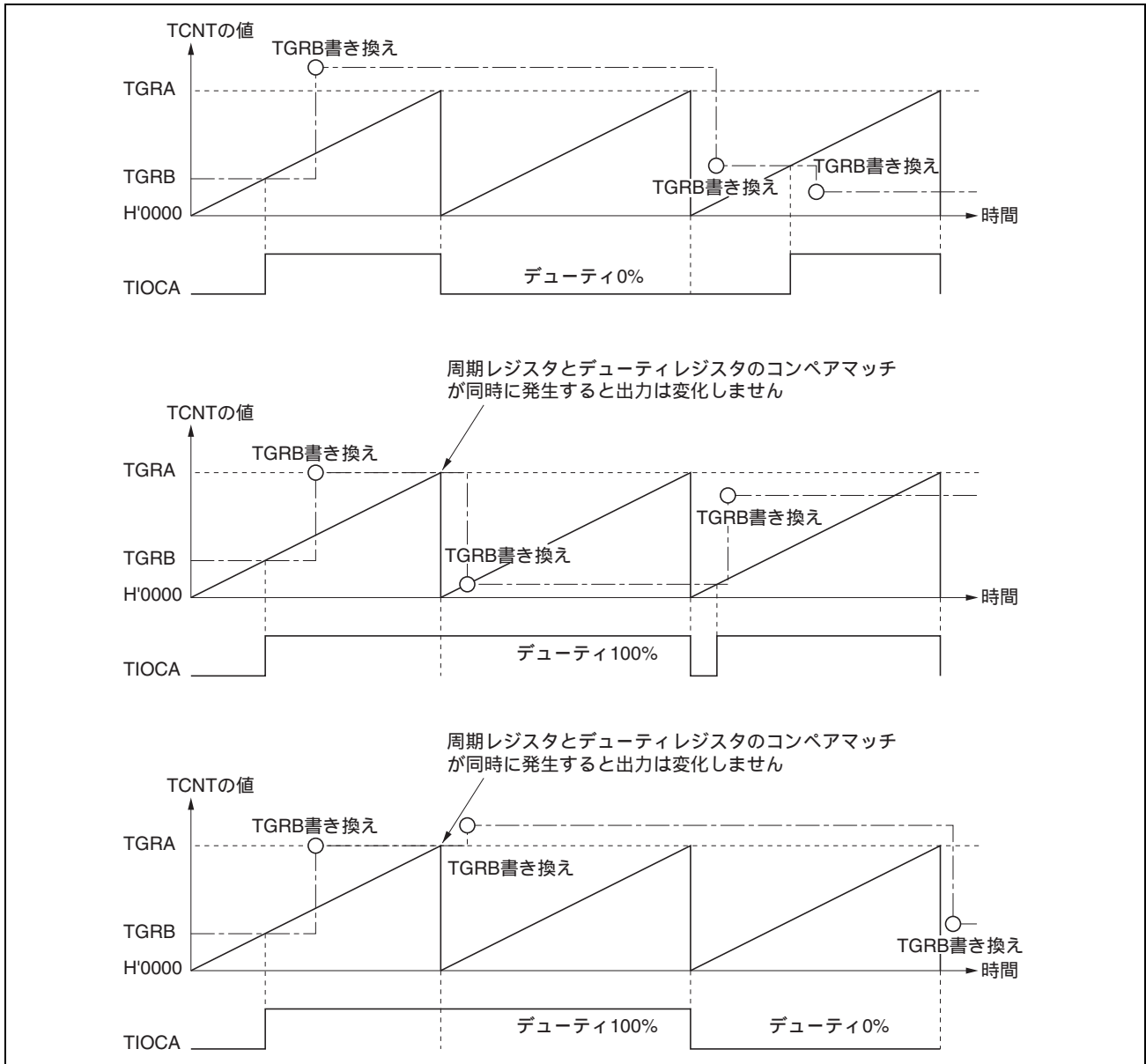


図 10.24 PWM モード動作例 (3)

10.4.6 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル1、2で設定可能です。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 10.7 に外部クロック端子とチャンネルの対応を示します。

表 10.7 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.25 に示します。

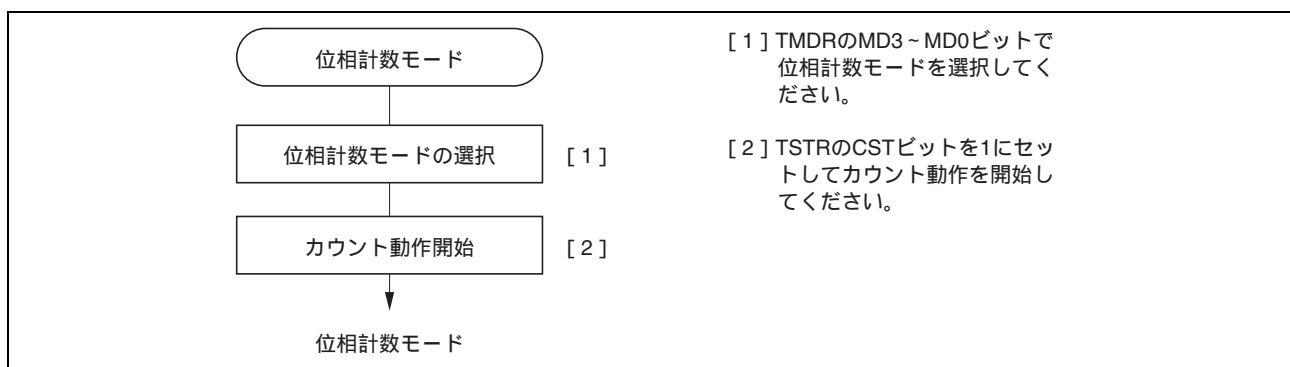


図 10.25 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図10.26に、TCNTのアップ/ダウンカウント条件を表10.8に示します。

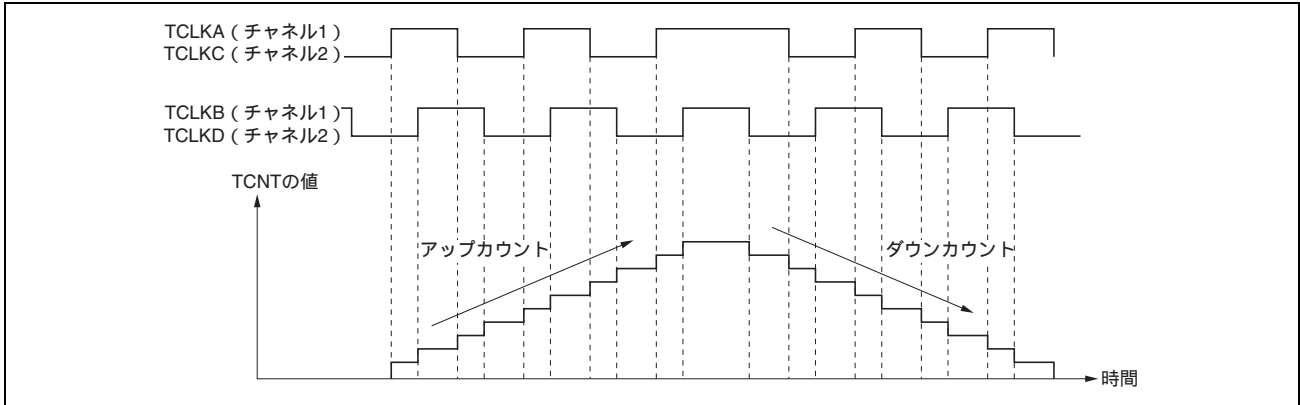


図 10.26 位相計数モード1の動作例

表 10.8 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図10.27に、TCNTのアップ/ダウンカウント条件を表10.9に示します。

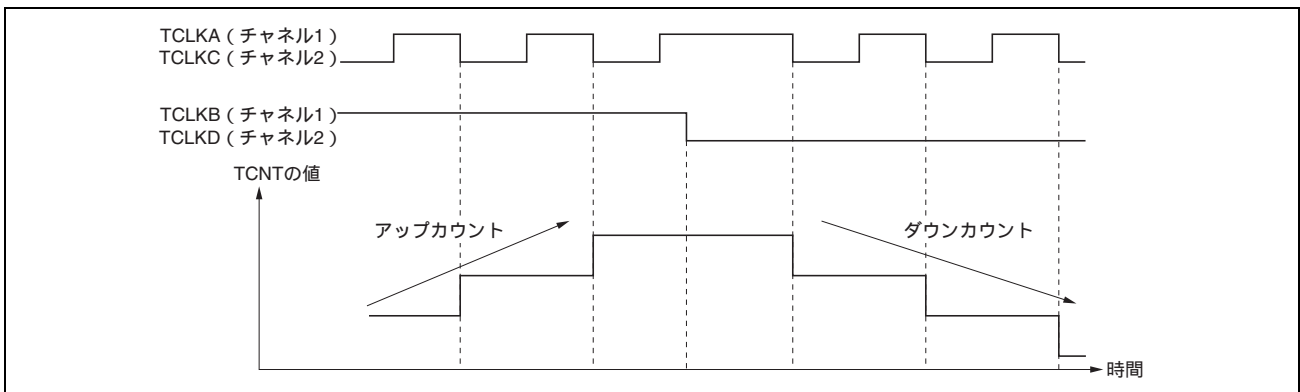


図 10.27 位相計数モード2の動作例

表 10.9 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図 10.28 に、TCNT のアップ/ダウンカウント条件を表 10.10 に示します。

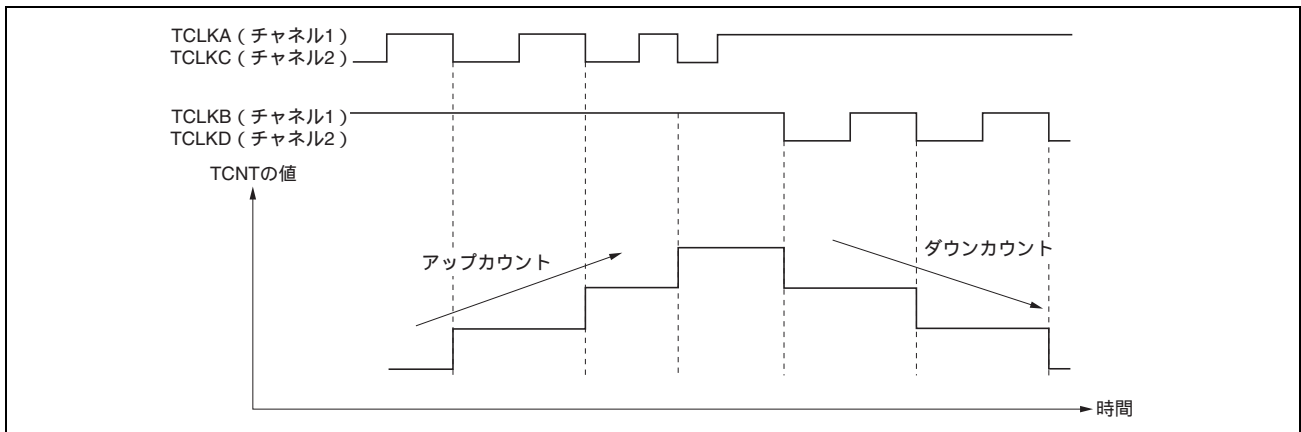


図 10.28 位相計数モード3の動作例

表 10.10 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.29 に、TCNT のアップ/ダウンカウント条件を表 10.11 に示します。

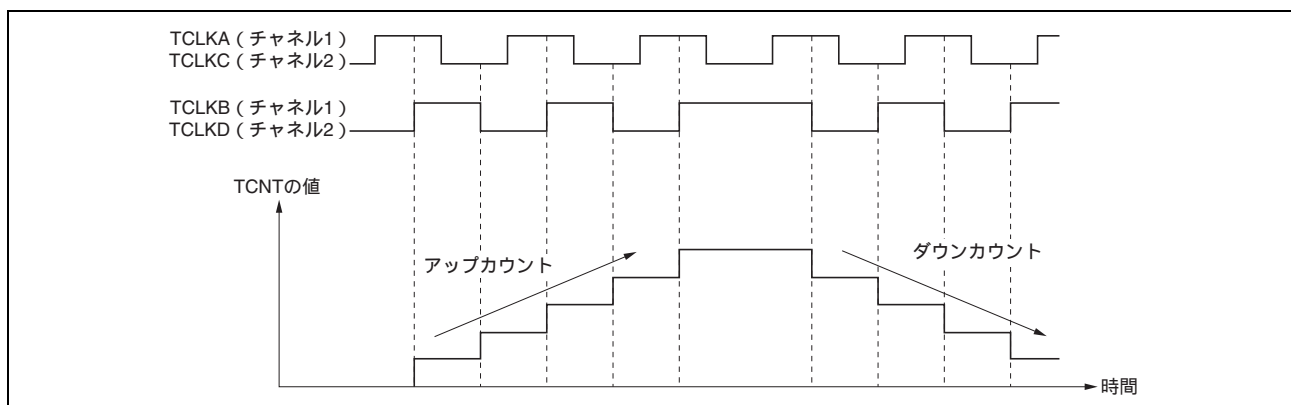


図 10.29 位相計数モード 4 の動作例

表 10.11 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

10.5 割り込み

10.5.1 割り込み要因と優先順位

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第5章 割り込みコントローラ」を参照してください。

表 10.12 に TPU の割り込み要因の一覧を示します。

表 10.12 TPU 割り込み一覧

チャンネル	割り込み要因	内 容	DMAC の起動	DTC の起動	優先順位
0	TGI0A	TGR0A のインプットキャプチャ / コンペアマッチ	可	可	↑ 高 ↓ 低
	TGI0B	TGR0B のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI0C	TGR0C のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI0D	TGR0D のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI0V	TCNT0 のオーバフロー	不可	不可	
1	TGI1A	TGR1A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI1B	TGR1B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI1V	TCNT1 のオーバフロー	不可	不可	
	TCI1U	TCNT1 のアンダフロー	不可	不可	
2	TGI2A	TGR2A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI2B	TGR2B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI2V	TCNT2 のオーバフロー	不可	不可	
	TCI2U	TCNT2 のアンダフロー	不可	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0 に 4 本、チャンネル 1、2 に各 2 本、計 8 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 3 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

10.5.2 DTC、DMAC の起動

(1) DTC の起動

各チャンネルの TGR のインプットキャプチャ / コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0 が 4 本、チャンネル 1、2 が各 2 本、計 8 本のインプットキャプチャ / コンペアマッチ割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインプットキャプチャ / コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 7 章 DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネル 1 本、計 3 本の TGRA のインプットキャプチャ / コンペアマッチ割り込みを DMAC の起動要因とすることができます。

10.6 動作タイミング

10.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図10.30に示します。また、外部クロック動作の場合のTCNTのカウントタイミングを図10.31に示します。

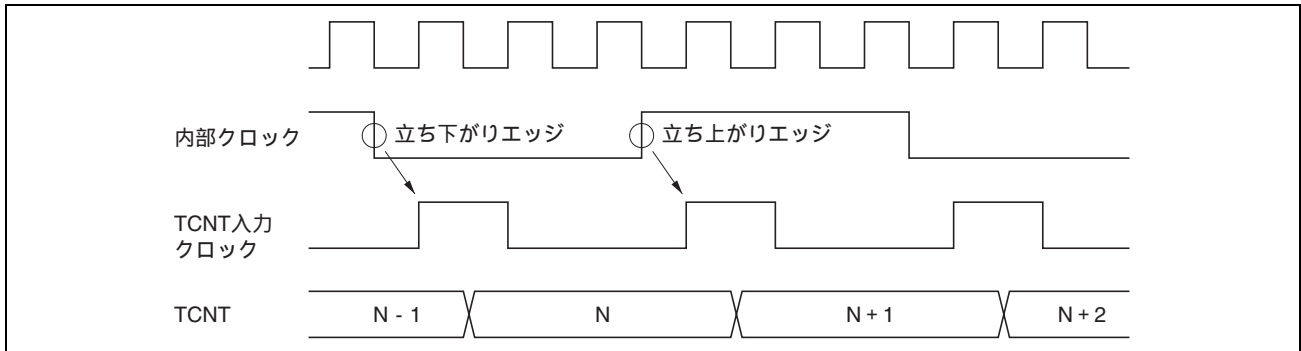


図 10.30 内部クロック動作時のカウントタイミング

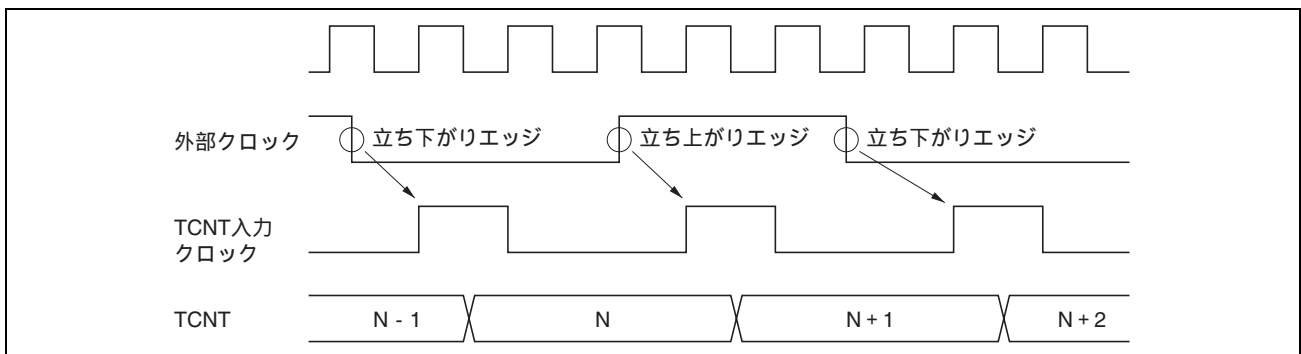


図 10.31 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCRで設定した出力値がアウトプットコンペア出力端子（TIOC端子）に出力されます。TCNTとTGRが一致したあと、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図10.32に示します。

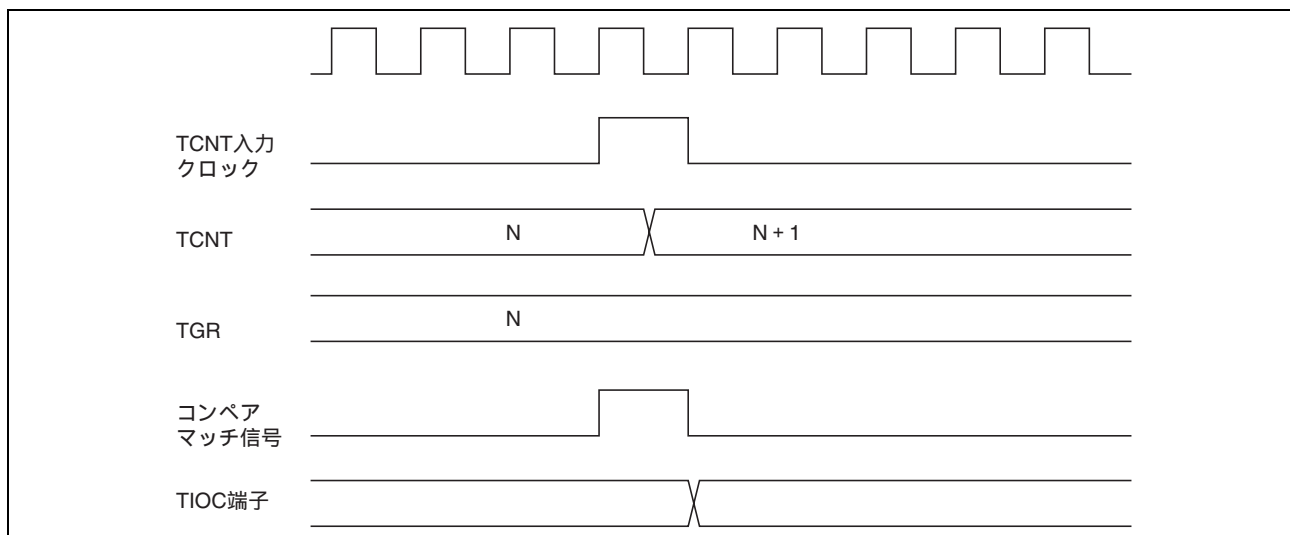


図 10.32 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図10.33に示します。

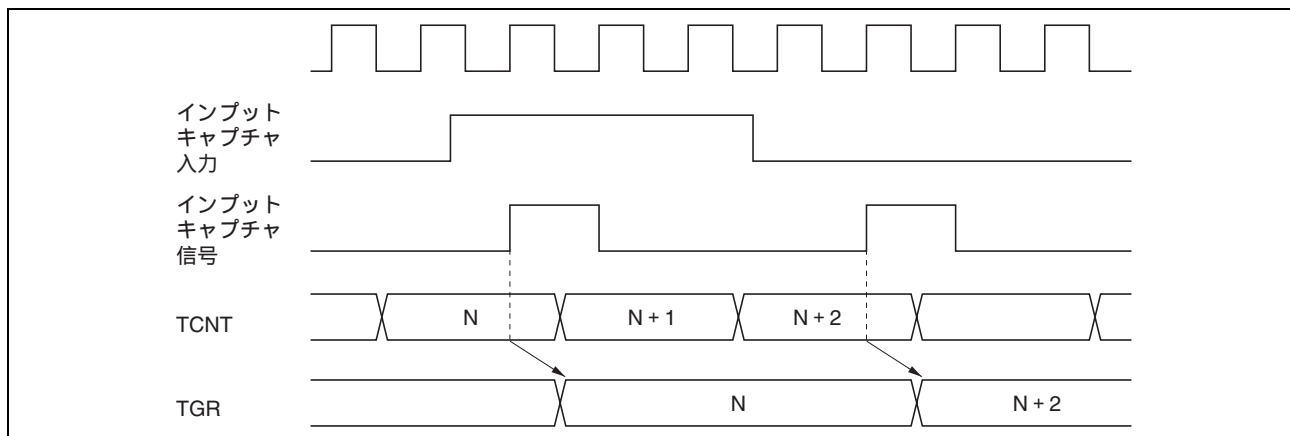


図 10.33 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

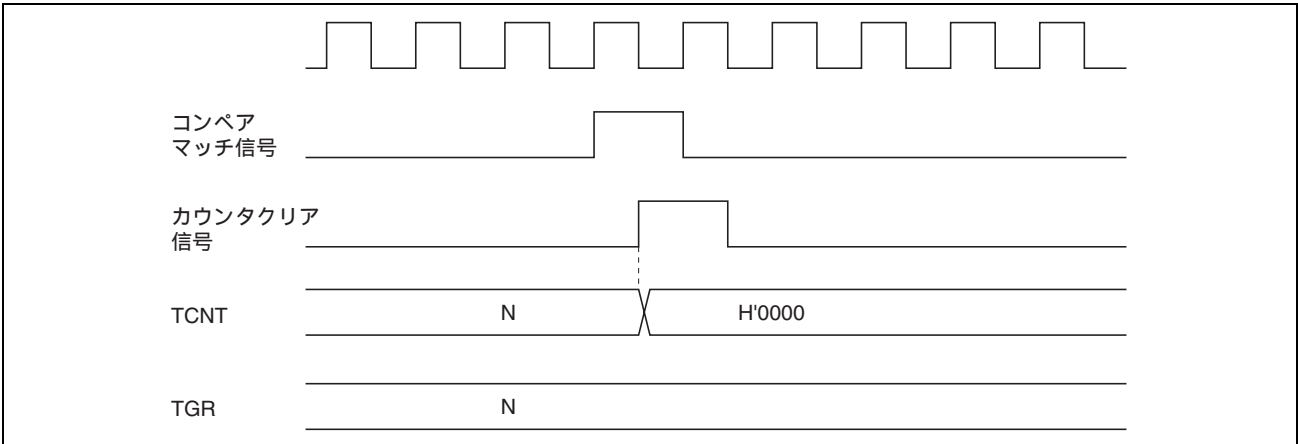


図 10.34 カウンタクリアタイミング (コンペアマッチ)

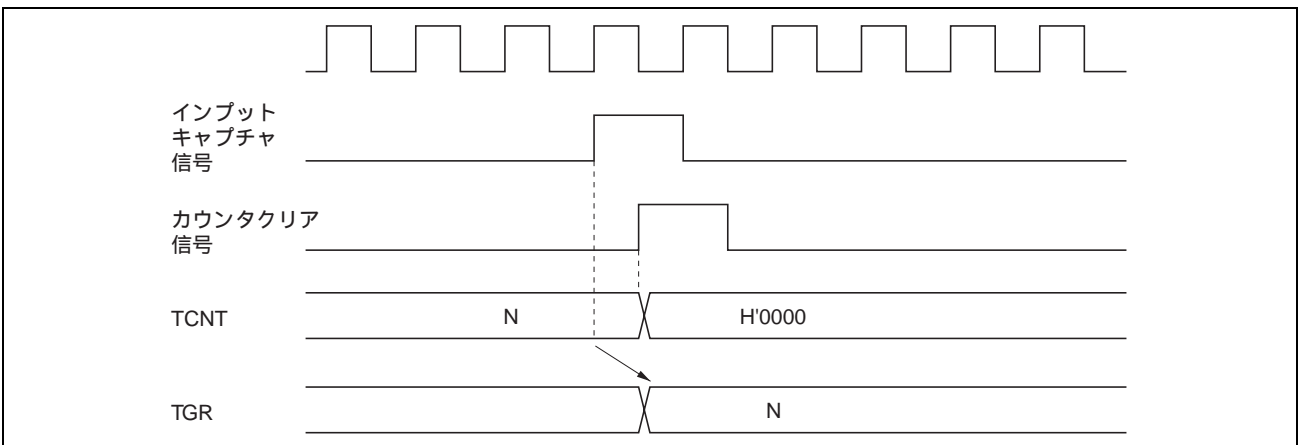


図 10.35 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.36、図 10.37 に示します。

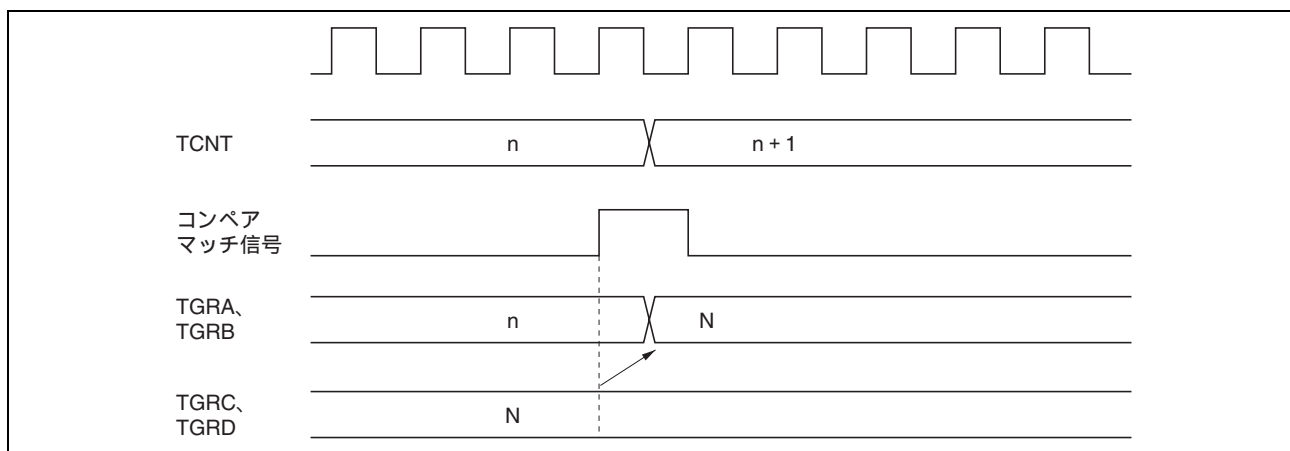


図 10.36 バッファ動作タイミング (コンペアマッチ)

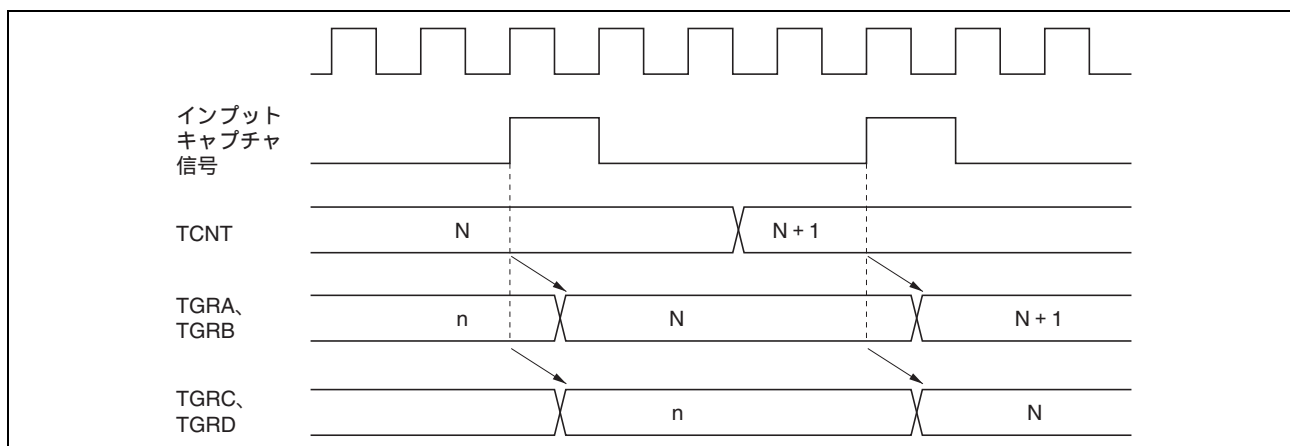


図 10.37 バッファ動作タイミング (インプットキャプチャ)

10.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.38 に示します。

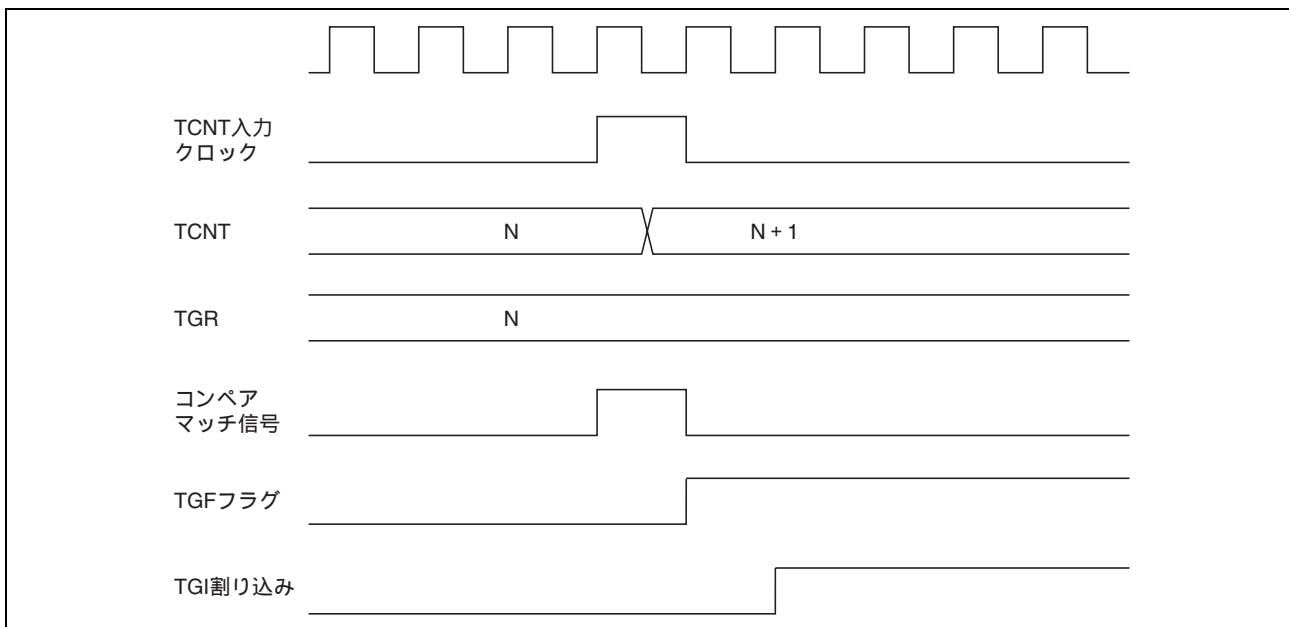


図 10.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

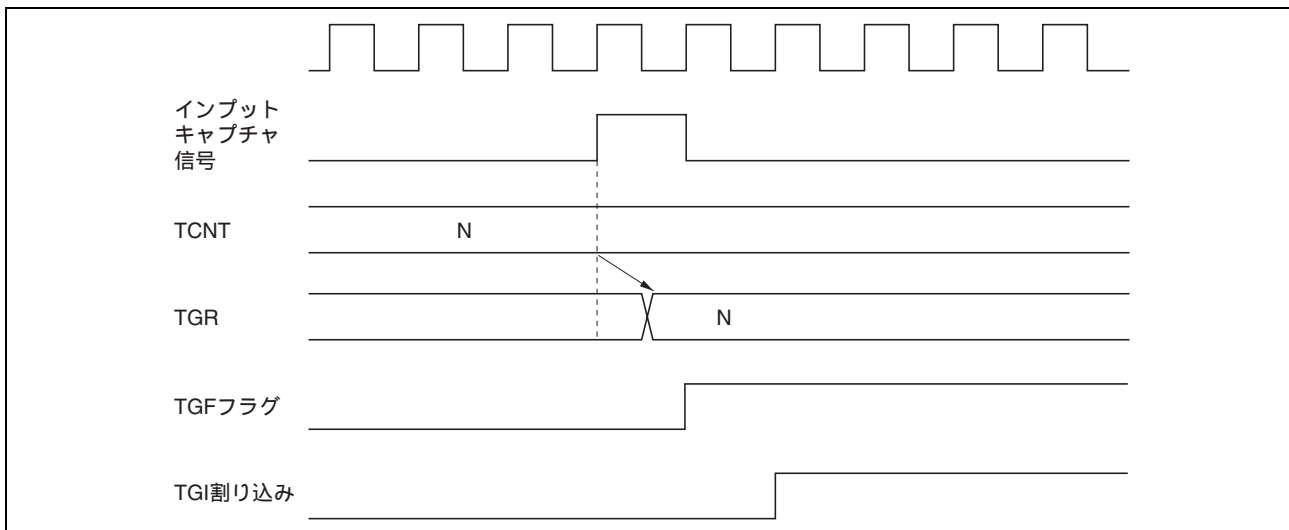


図 10.39 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.41 に示します。

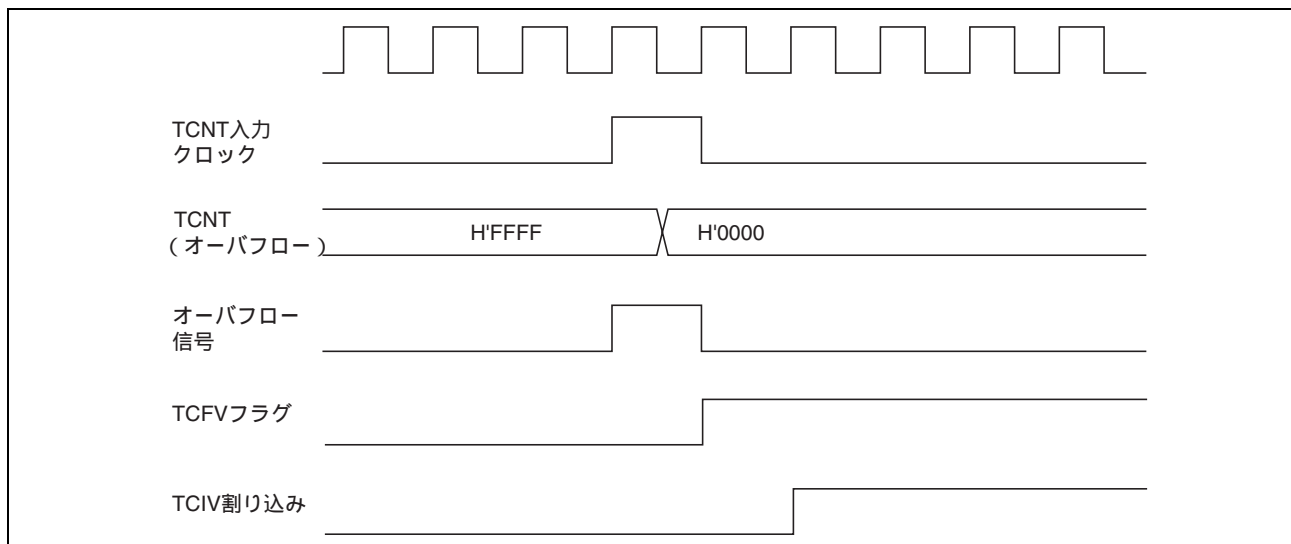


図 10.40 TCIV 割り込みのセットタイミング

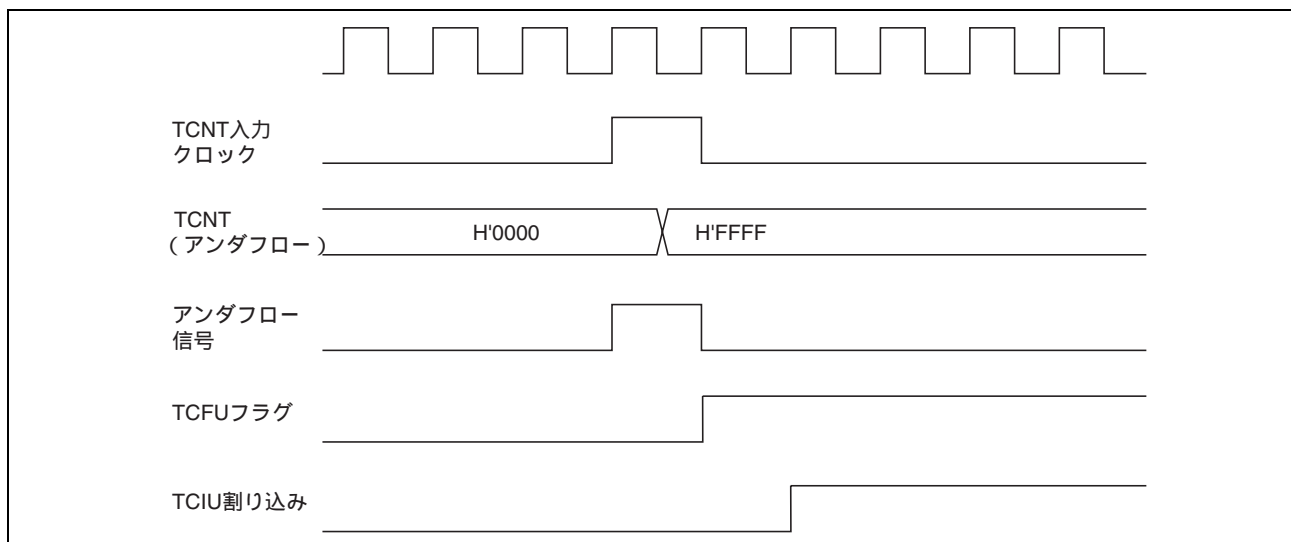


図 10.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードしたあと、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.42に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図10.43に示します。

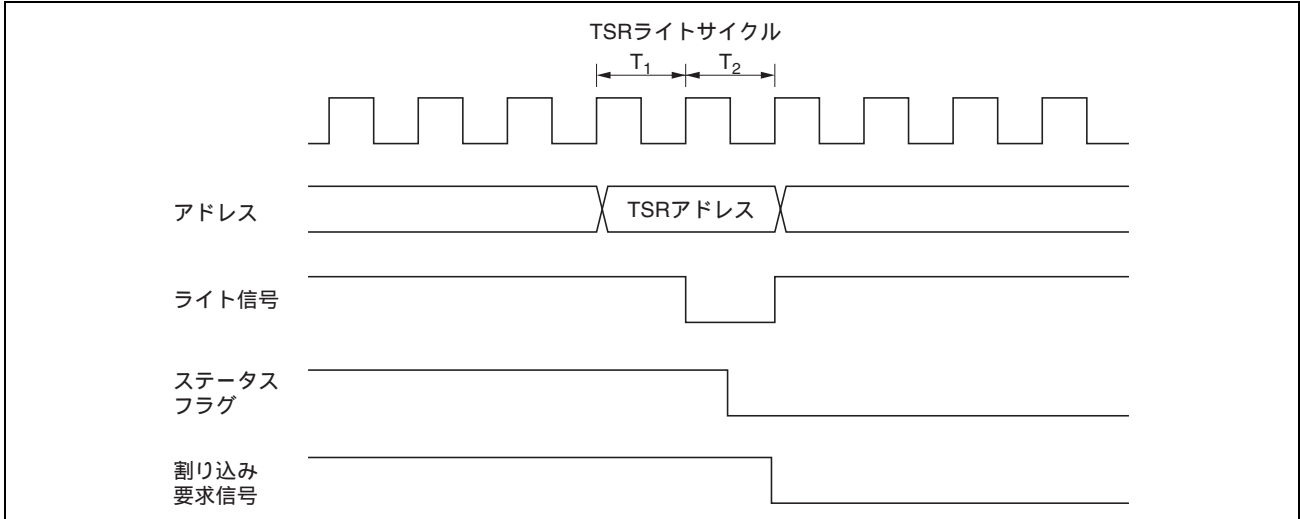


図 10.42 CPU によるステータスフラグのクリアタイミング

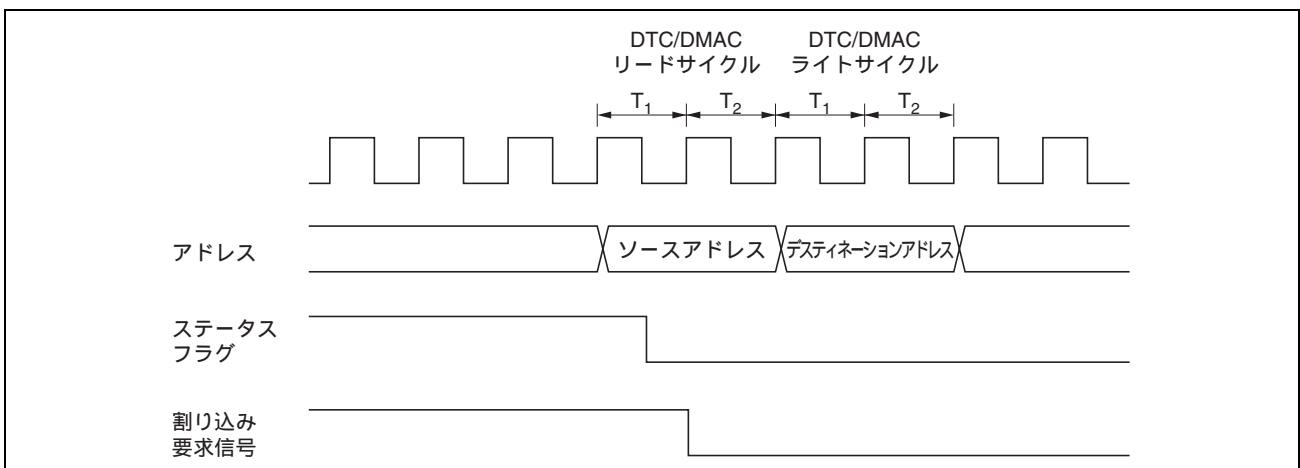


図 10.43 DTC、DMAC の起動によるステータスフラグのクリアタイミング

10.7 使用上の注意

TPU の動作中、次のような動作や競合が起こりますので注意してください。

(1) モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 17 章 低消費電力状態」を参照してください。

(2) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.44 に示します。

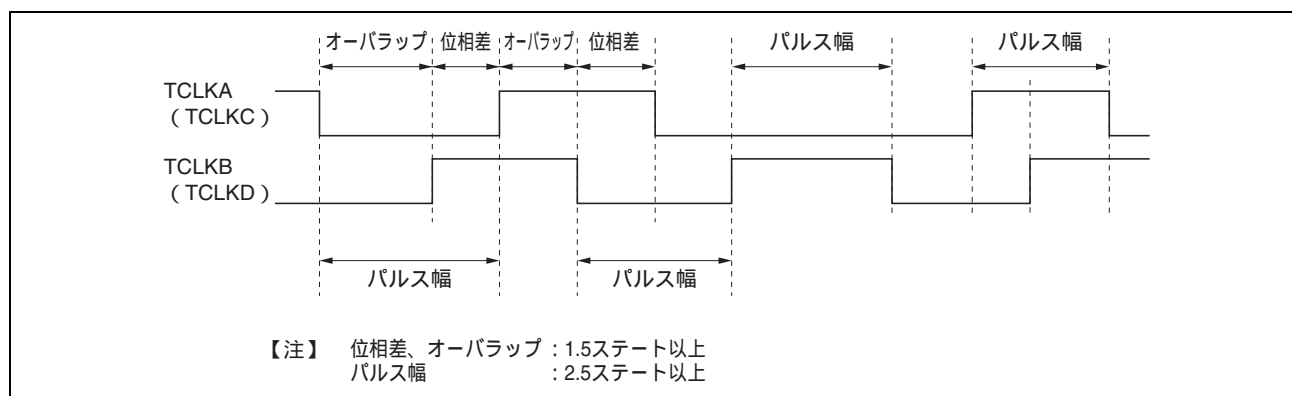


図 10.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(3) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになりません。

$$f = \frac{1}{(N+1)}$$

f : カウンタ周波数
: 動作周波数
N : TGR の設定値

(4) TCNT のライトとクリアの競合

TCNT のライトサイクル中の T_2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われず、TCNT のクリアが優先されます。

このタイミングを図 10.45 に示します。

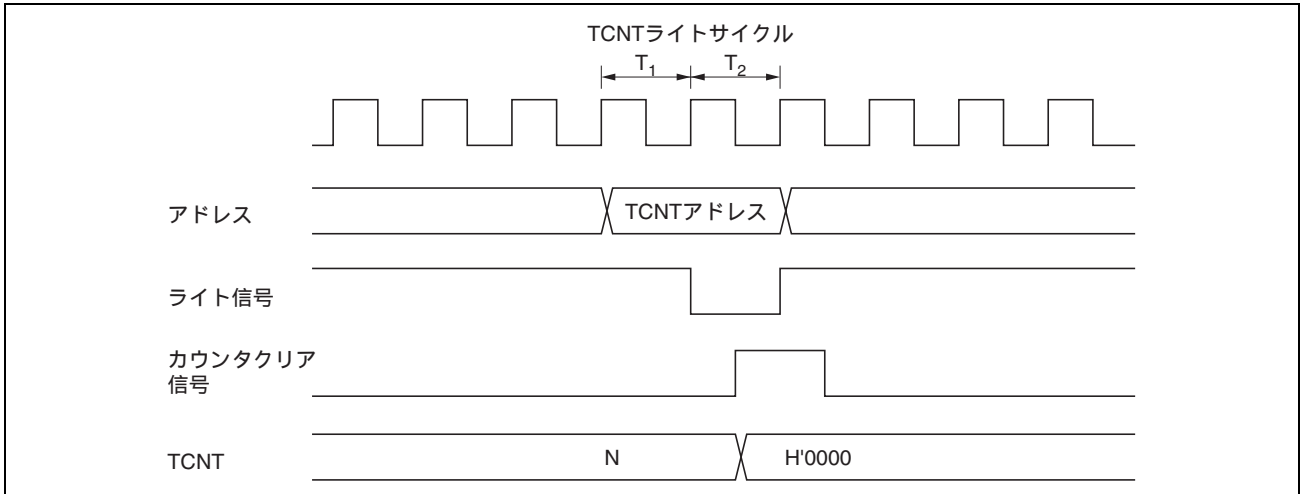


図 10.45 TCNT のライトとクリアの競合

(5) TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.46 に示します。

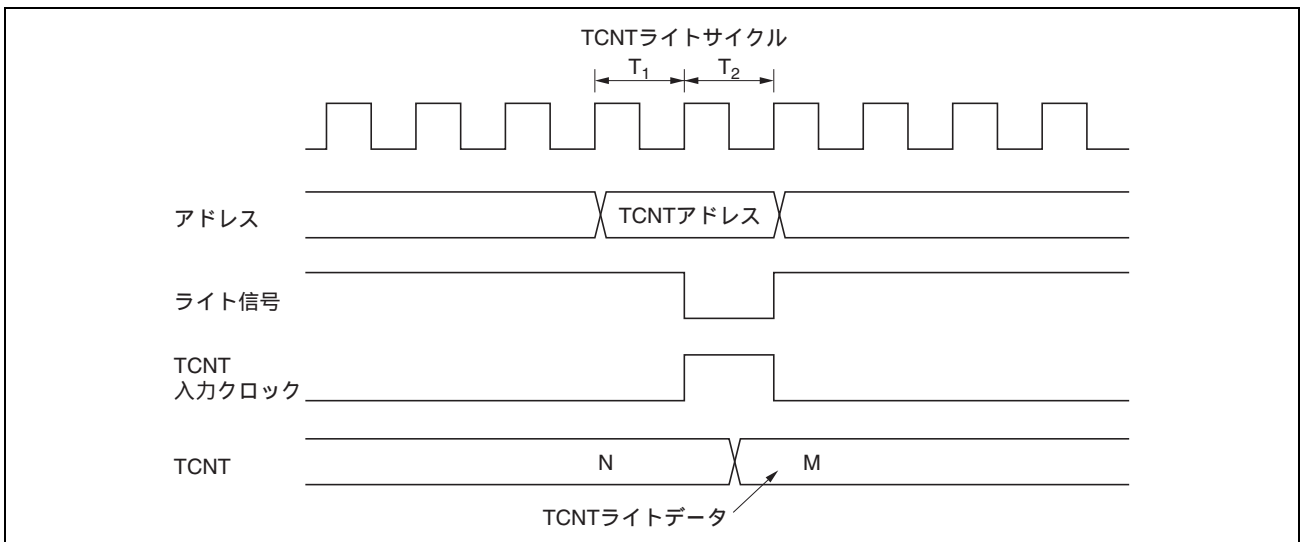


図 10.46 TCNT のライトとカウントアップの競合

(6) TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても、TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.47 に示します。

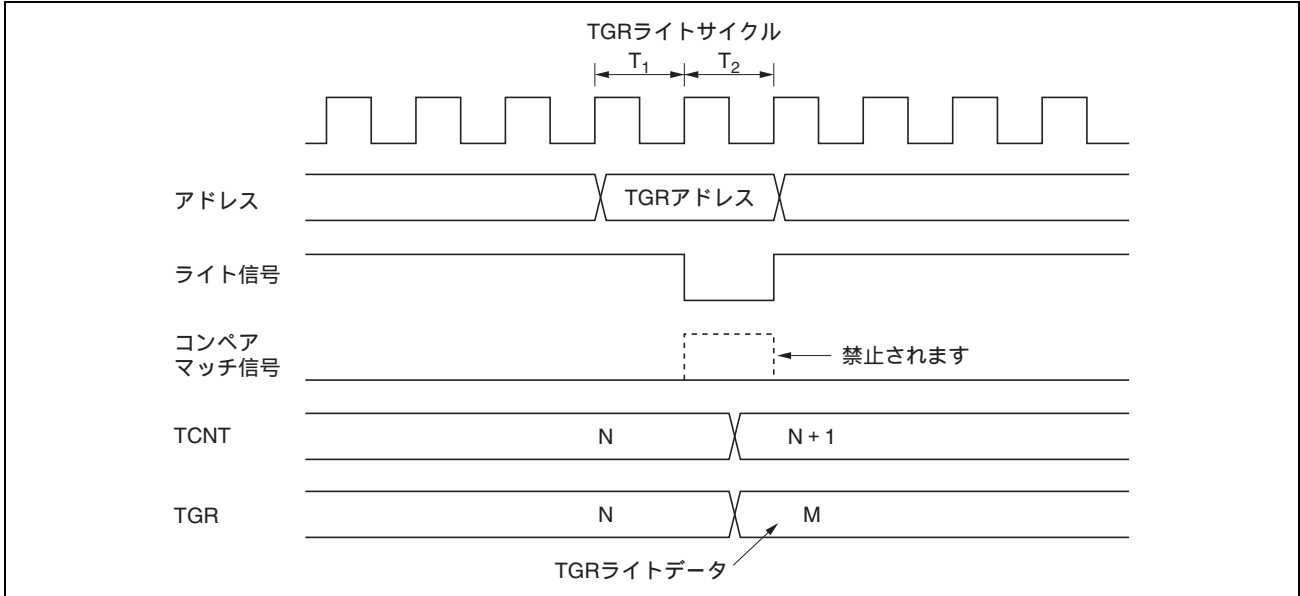


図 10.47 TGR のライトとコンペアマッチの競合

(7) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.48 に示します。

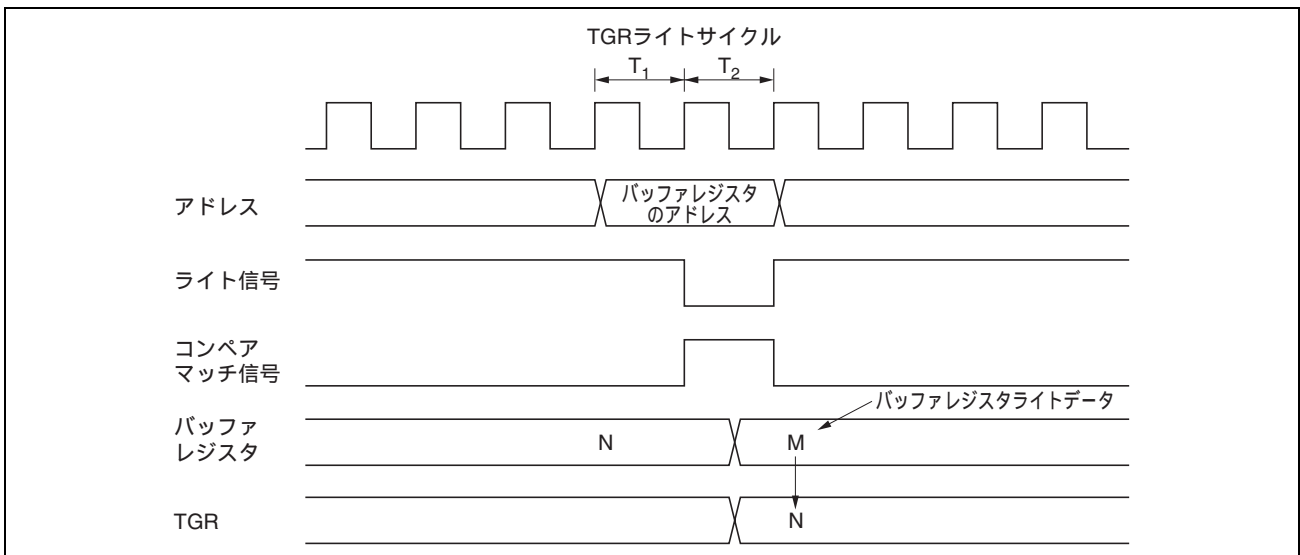


図 10.48 バッファレジスタのライトとコンペアマッチの競合

(8) TGRのリードとインプットキャプチャの競合

TGRのリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.49 に示します。

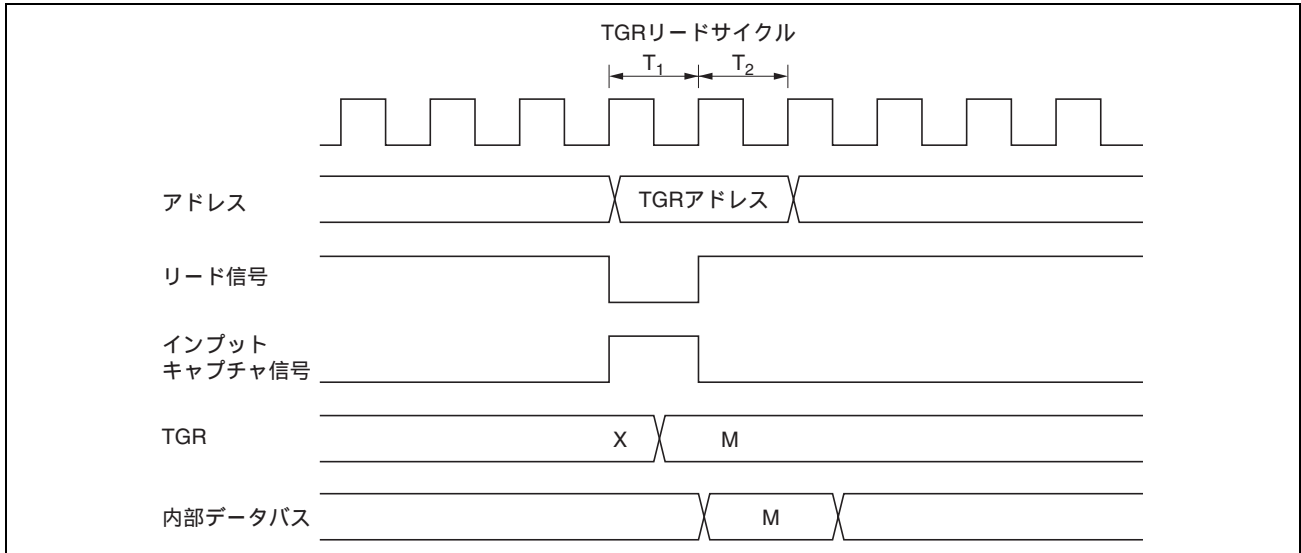


図 10.49 TGRのリードとインプットキャプチャの競合

(9) TGRのライトとインプットキャプチャの競合

TGRのライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、TGRへのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.50 に示します。

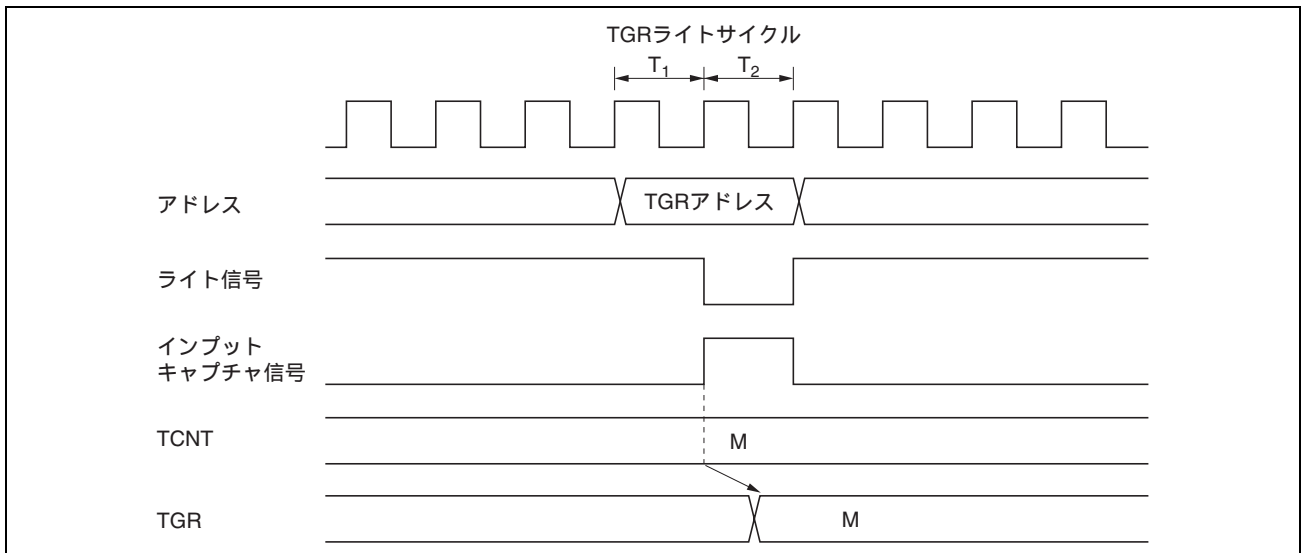


図 10.50 TGRのライトとインプットキャプチャの競合

(10) バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T_1 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.51 に示します。

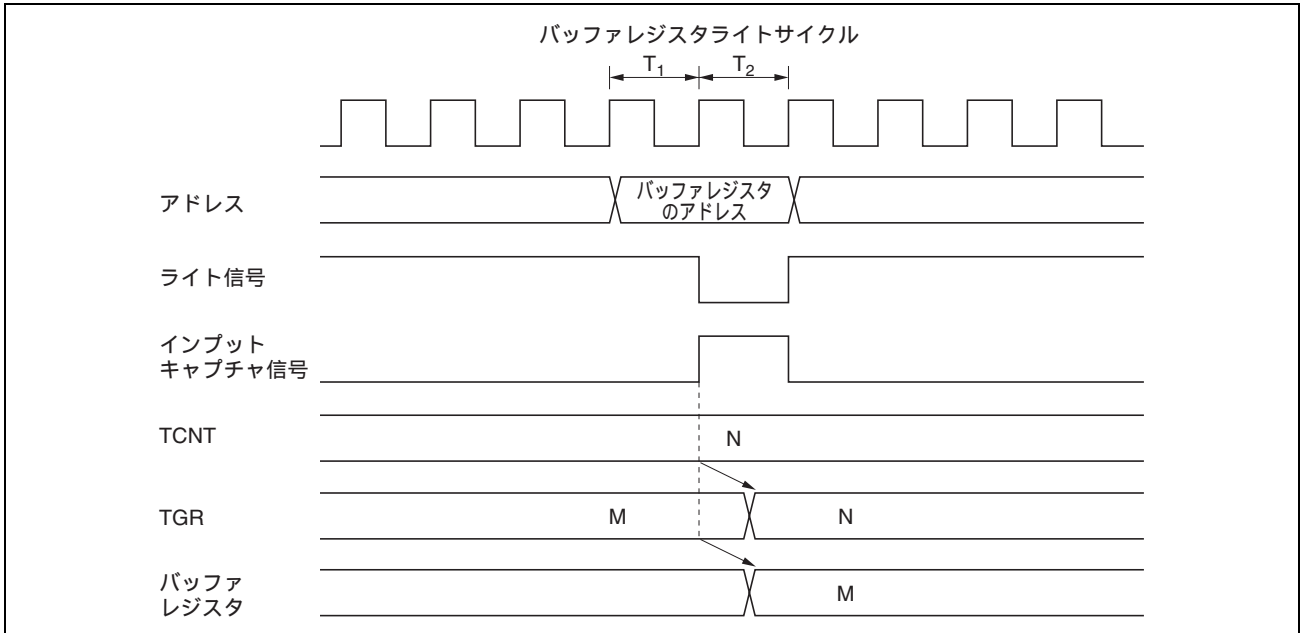


図 10.51 バッファレジスタのライトと入力キャプチャの競合

(11) オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.52 に示します。

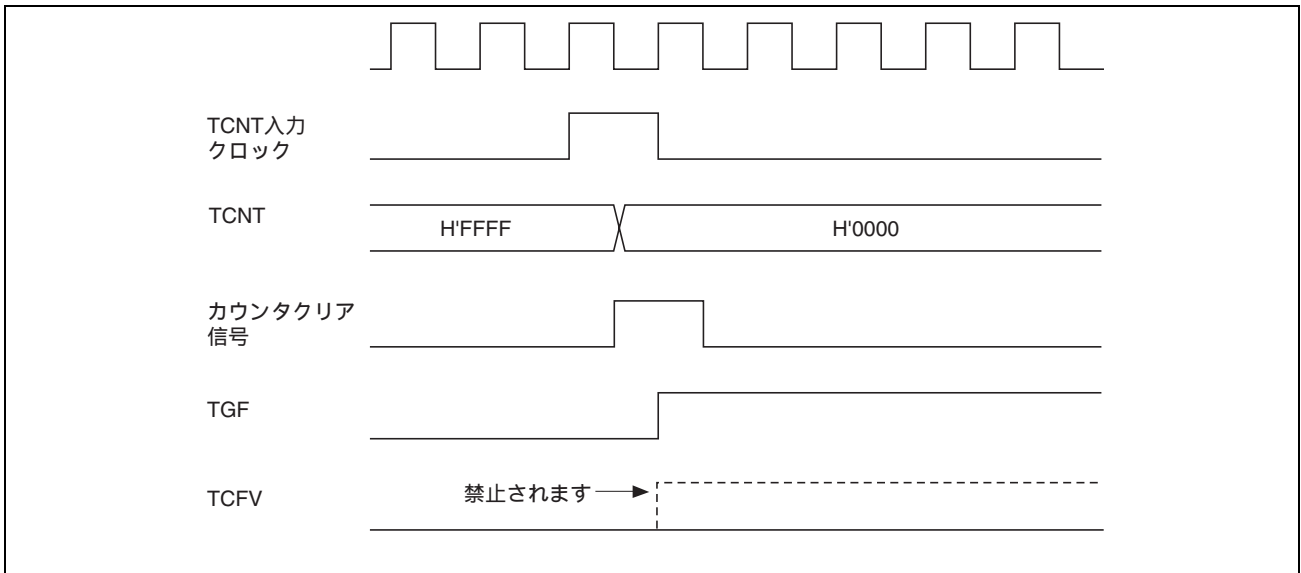


図 10.52 オーバフローとカウンタクリアの競合

(12) TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T_2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

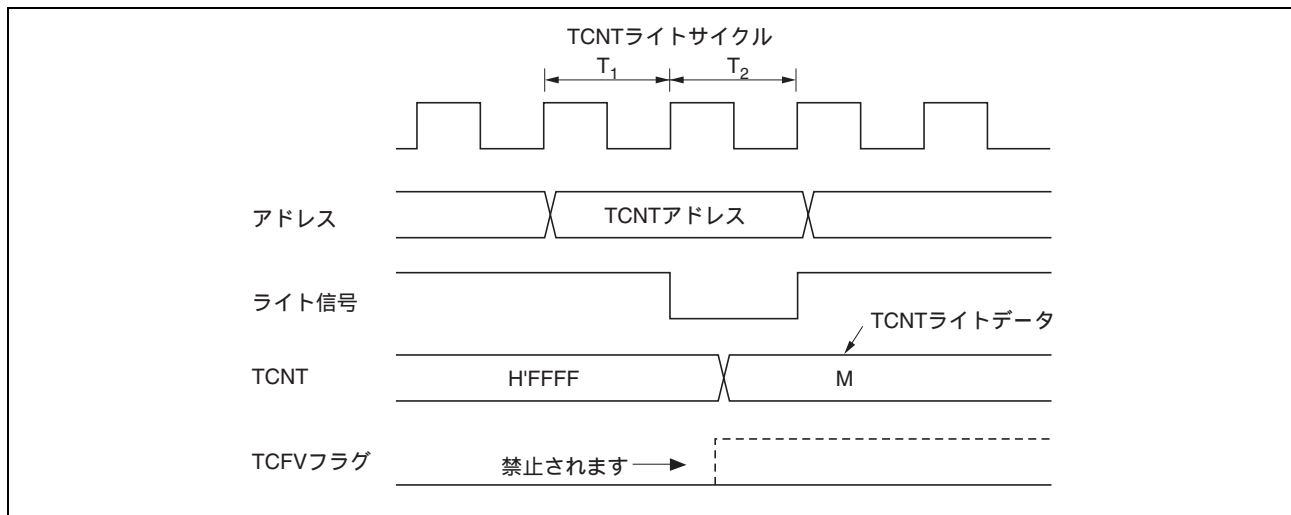


図 10.53 TCNT のライトとオーバフローの競合

(13) 入出力端子の兼用

H8S/2214 グループでは、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

(14) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因、または DMAC、DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールストップモードとしてください。

11. ウォッチドッグタイマ (WDT)

11.1 概要

H8S/2214 グループでは1チャンネルのウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、内部割り込みを発生し、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

11.1.1 特長

WDTには次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、内部リセットまたは内部割り込みを発生

カウンタがオーバーフローすると、LSI内部をリセットするかしないかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

- カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します

8種類のカウント入カクロックを選択可能

- WDTの最大インターバルはシステムクロック周期×131072×256

11.1.2 ブロック図

WDTのブロック図を図11.1に示します。

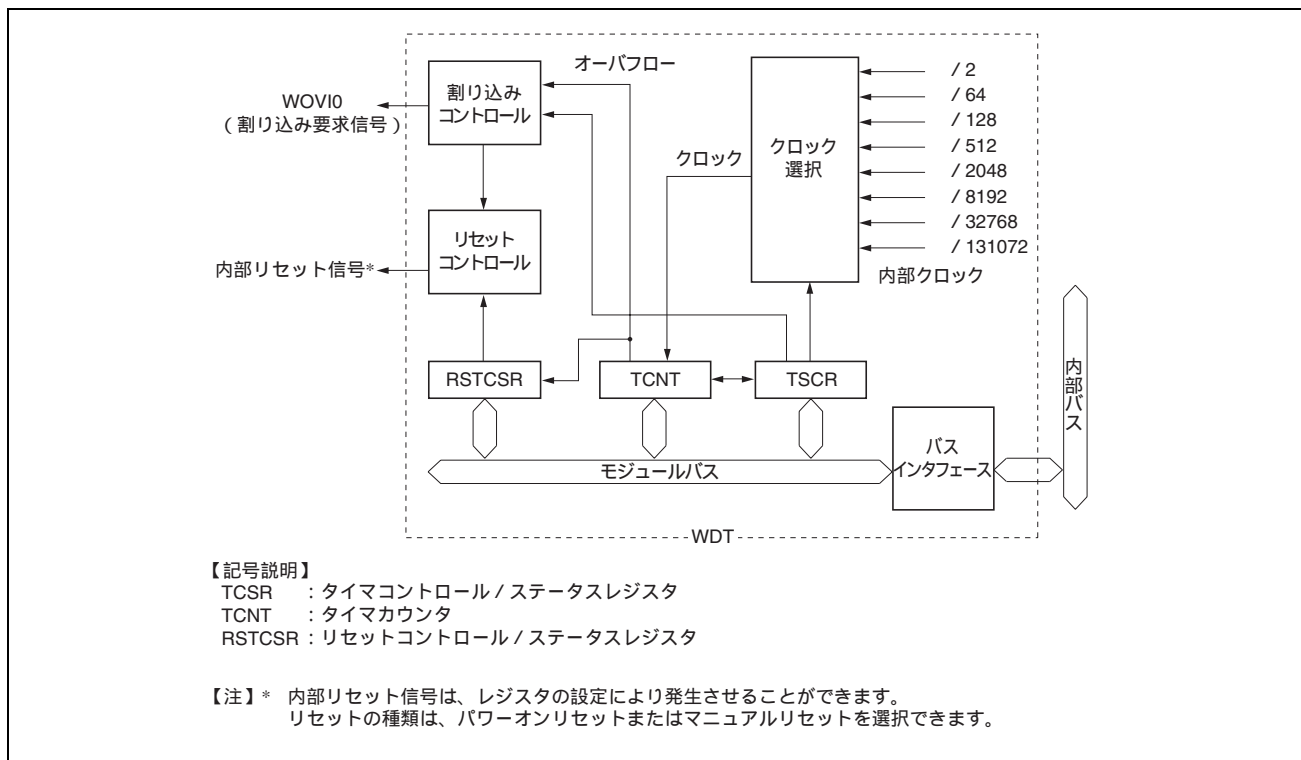


図 11.1 WDTのブロック図

11.1.3 レジスタ構成

WDT には、表 11.1 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 11.1 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1	
					ライト時*2	リード時
0	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W) *3	H'00	H'FF74	H'FF74
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FF74	H'FF75
	リセットコントロール/ステータスレジスタ	RSTCSR0	R/(W) *3	H'1F	H'FF76	H'FF77

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ライトについては、「11.2.4 レジスタアクセス時の注意」を参照してください。

*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は、リード/ライト*可能な 8 ビットのアップカウンタです。TCSR の TME ビットを 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の OVF フラグが 1 にセットされます。

TCNT は、リセット、ハードウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

TCSR は、リード/ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR0 は、リセットまたはハードウェアスタンバイモード時に H'18 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7: オーバフローフラグ (OVF)

TCNT がオーバーフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 7	説明
OVF	
0	[クリア条件] • OVF = 1 の状態で、TCSR をリード*後、OVF に 0 をライトしたとき (初期値)
1	[セット条件] • TCNT がオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。

【注】* インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF = 1 の状態を 2 回以上リードしてください。

11. ウォッチドッグタイマ (WDT)

ビット6: タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバーフローしたとき、WDT0は、ウォッチドッグタイマモード時にはリセットを発生することができ、インターバルタイマモード時には、WOVI割り込みをCPUに対して要求します。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード: TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNTがオーバーフローしたとき内部リセットを選択可能*

【注】 * ウォッチドッグタイマモードでTCNTがオーバーフローした場合についての詳細は、「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	TCNTをH'00に初期化し、カウント動作を停止 (初期値)
1	TCNTはカウント動作

WDT0のTCSRビット4、3: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック () を分周して得られる内部クロックから、TCNTに inputsするクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (= 10MHz の場合)
0	0	0	/ 2 (初期値)	51.2 μ s
		1	/ 64	1.6ms
	1	0	/ 128	3.2ms
		1	/ 512	13.2ms
1	0	0	/ 2048	52.4ms
		1	/ 8192	209.8ms
1	1	0	/ 32768	838.8ms
		1	/ 131072	3.36s

【注】 * オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

RSTCSR は、リード/ライト*可能な 8 ビットのレジスタで、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバフローによる内部リセット信号では初期化されません。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7: ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNT がオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット 7	説明
WOVF	
0	[クリア条件] • WOVF=1 の状態で RSTCSR をリードしたあと、WOVF に 0 をライトしたとき (初期値)
1	[セット条件] • ウォッチドッグタイマモードで TCNT がオーバフロー (H'FF H'00) したとき

ビット 6: リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、H8S/2214 内部をリセットする信号を発生するかどうかを選択します。

ビット 6	説明
RSTE	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき内部リセットする

【注】 * H8S/2214 内部はリセットされませんが、WDT0 内の TCNT、TCSR はリセットされます。

ビット 5: リセットセレクト (RSTS)

ウォッチドッグタイマモードで TCNT がオーバフローして発生する、内部リセットの種類を選択します。

リセットの種類については、「第 4 章 例外処理」を参照してください。

ビット 5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット 4~0: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

11.2.4 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 11.2 に示すように、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

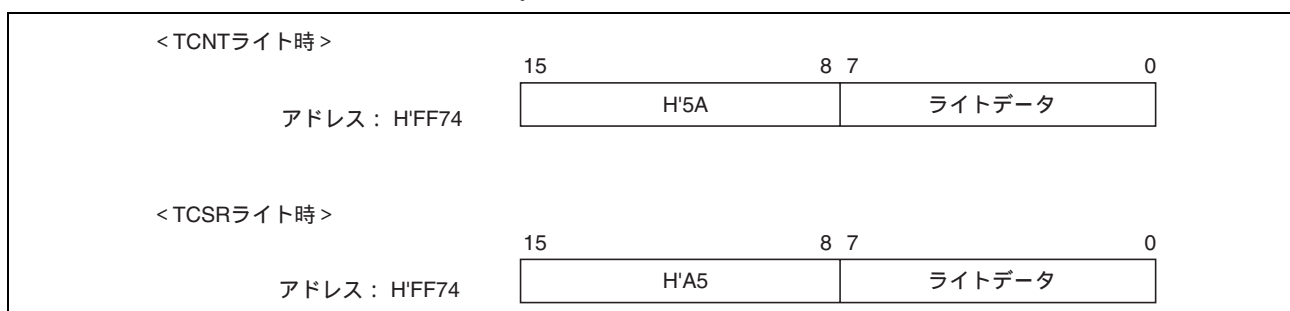


図 11.2 TCNT、TCSR へのライト (WDT0 の例)

(2) RSTCSR へのライト

RSTCSR へライトするときは、アドレス H'FF76 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、図 11.3 に示すように、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

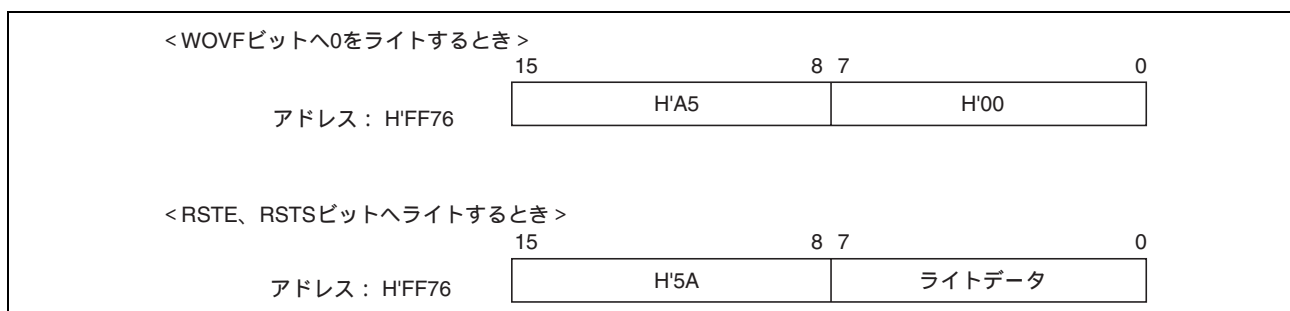


図 11.3 RSTCSR へのライト (WDT0 の例)

(3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

11.3 動作説明

11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 を書き込む）、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、WDT0 で RSTCSR の RSTE ビットを 1 にセットした場合、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、518 ステートの間出力されます。これを図 11.4 に示します。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

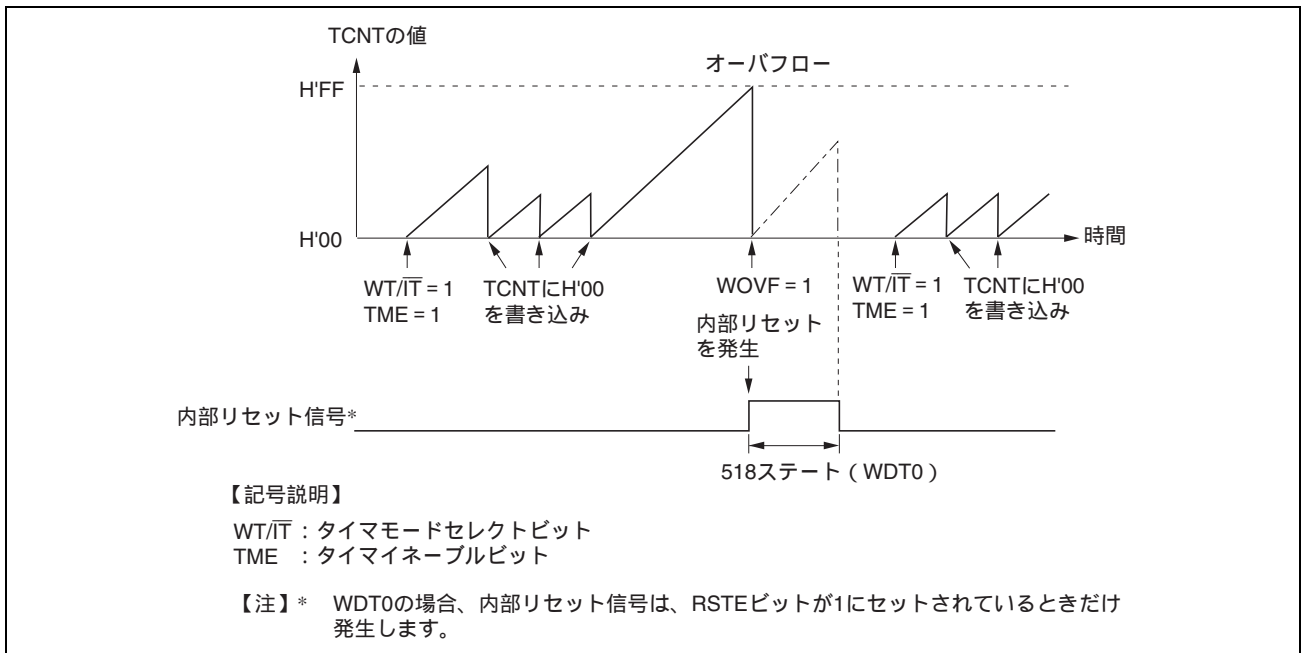


図 11.4 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、TCSRのWT/ITビットを0に、TMEビットを1に設定してください。インターバルタイマとして動作しているときは、図11.5に示すように、TCNTがオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

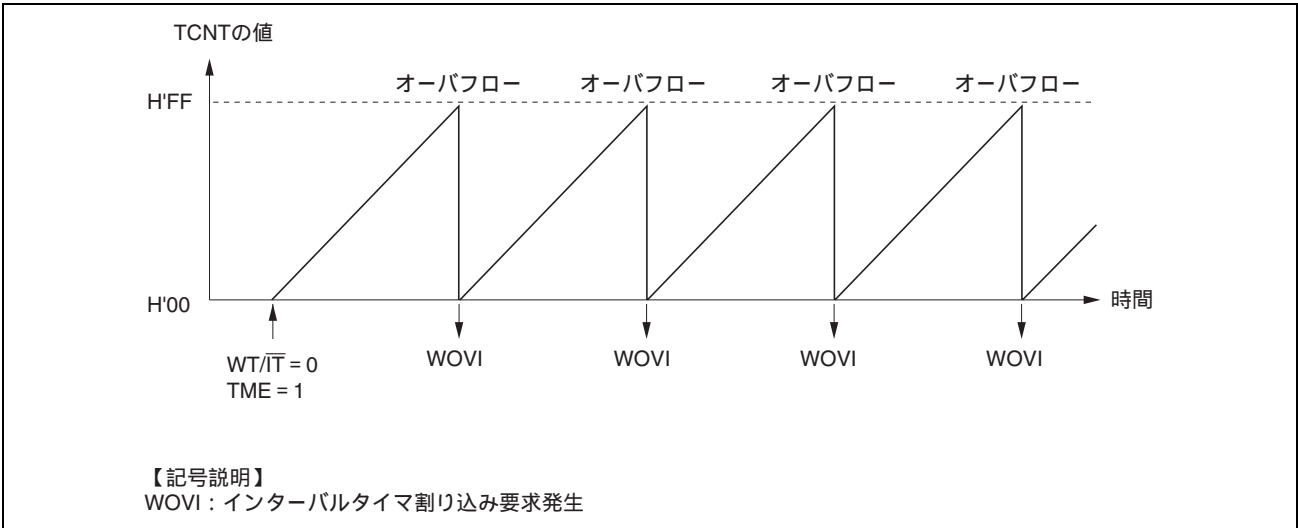


図 11.5 インターバルタイマモード時の動作

11.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでTCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図11.6に示します。

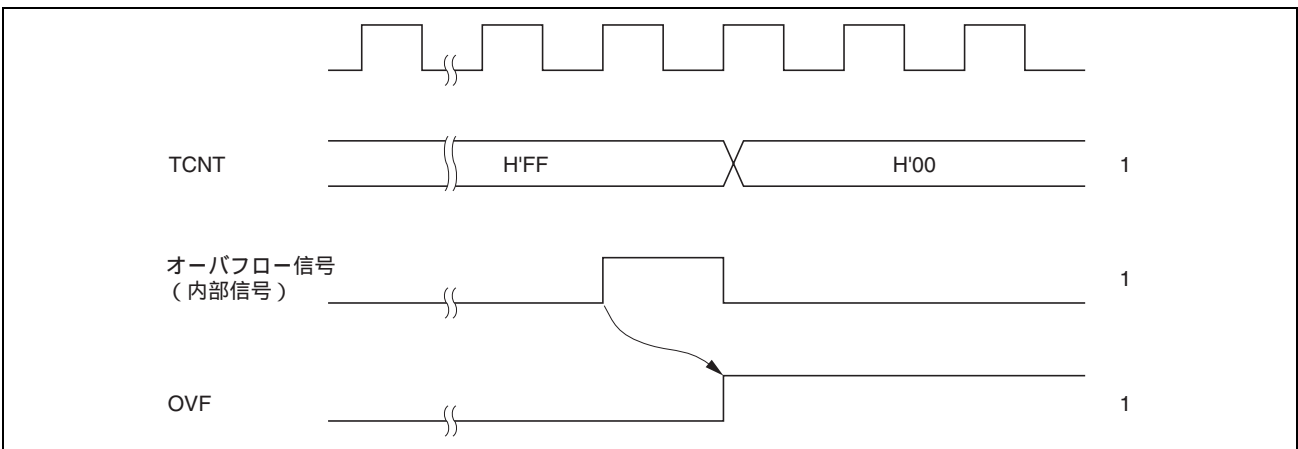


図 11.6 OVF のセットタイミング

11.3.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

WDT0の場合、ウォッチドッグタイマモードでTCNTがオーバーフローすると、RSTCSRのWOVFビットが1にセットされます。また、RSTCSRのRSTEビットが1にセットしてあると、TCNTがオーバーフローしたとき、本LSI全体に対して内部リセット信号を発生します。これらのタイミングを図11.7に示します。

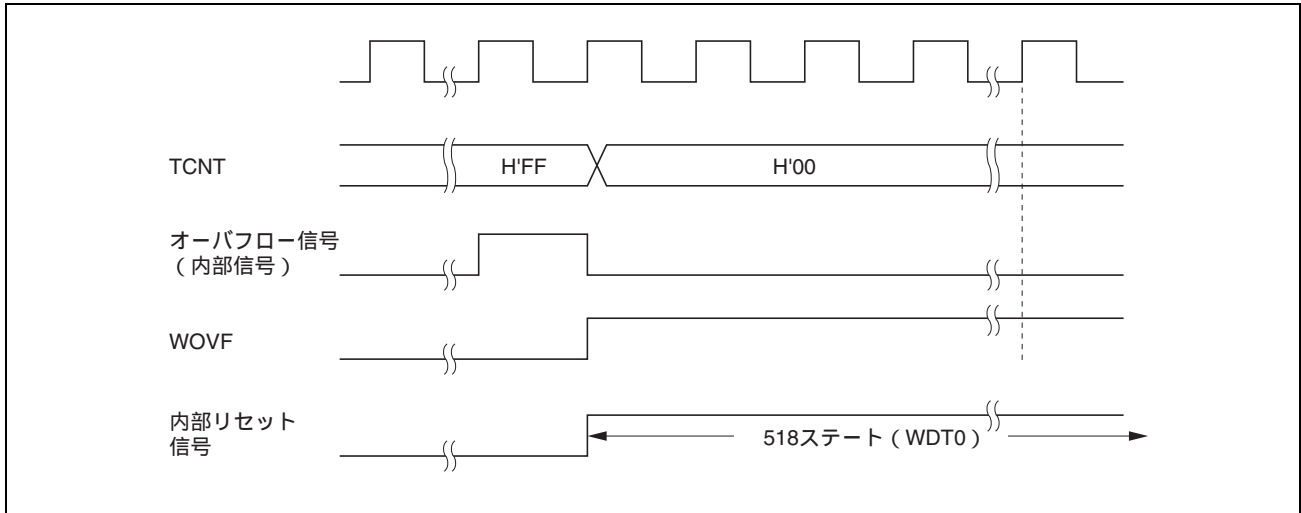


図 11.7 WOVF のセットタイミング

11.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSRのOVFフラグが1にセットされると常に要求されます。割り込み処理ルーチンで必ずOVFを0にクリアしてください。

11.5 使用上の注意

11.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 11.8 に示します。

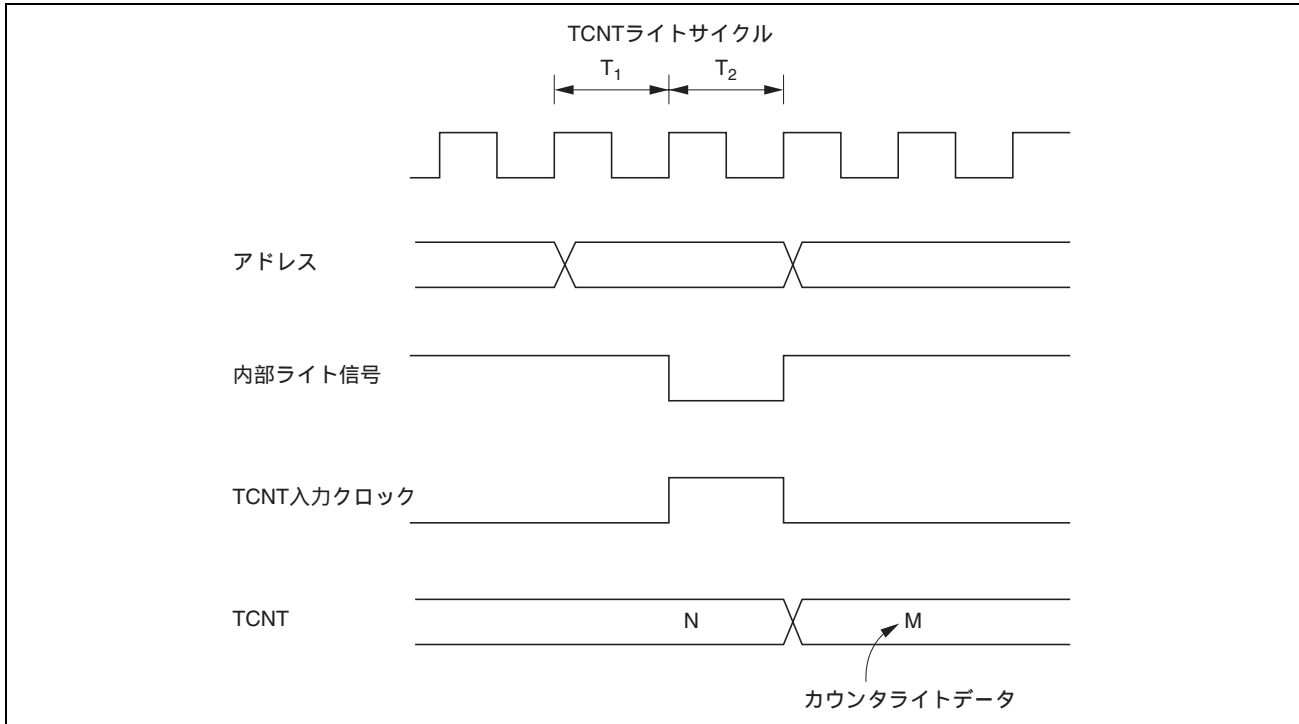


図 11.8 TCNT のライトとカウントアップの競合

11.5.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われな場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.4 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT0 の TCNT0、TCSR0 はリセットされます。

オーバフローが発生してから 132 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバフローが発生してから 132 ステート待ったあと、WOVF フラグに 0 をライトしてください。

11.5.5 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF - 1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合など、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF - 1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

12. シリアルコミュニケーションインタフェース (SCI)

12.1 概要

H8S/2214 グループは、おのこの独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

SCI0 は 16MHz 動作時で 720kbps/460.784kbps/115.192kbps の選択が可能です。

12.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード/クロック同期式モードから選択可能

(a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
データ長 : 7ビット/8ビット
ストップビット長 : 1ビット/2ビット
パリティ : 偶数パリティ/奇数パリティ/パリティなし
マルチプロセッサビット : 1/0
- 受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出: フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能
- 平均転送レートジェネレータ (SCI0) : 16MHz 動作時に 720kbps / 460.784kbps / 115.192kbps の選択が可能
- TPU からの転送レートクロック入力が可能 (SCI0)

(b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類
データ長 : 8ビット
- 受信エラーの検出: オーバランエラーを検出
- SCI セレクト機能 (SCI0) : $\overline{IRQ7} = 1$ のとき、TxD0 = Hi-Z、SCK0 = High 固定入力の選択が可能

全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

LSB ファースト方式 / MSB ファースト方式の選択が可能

- 通信モードによらず (調歩同期モード 7 ビットデータの場合を除きます) 選択可能*

【注】* 本章では LSB ファースト方式の例を説明しています。

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

- 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、DMA コントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

12. シリアルコミュニケーションインタフェース (SCI)

モジュールストップモードの設定

- 初期値では SCI の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

12.1.2 ブロック図

図 12.1 に SCI0 のブロック図、図 12.2 に SCI1、2 のブロック図を示します。

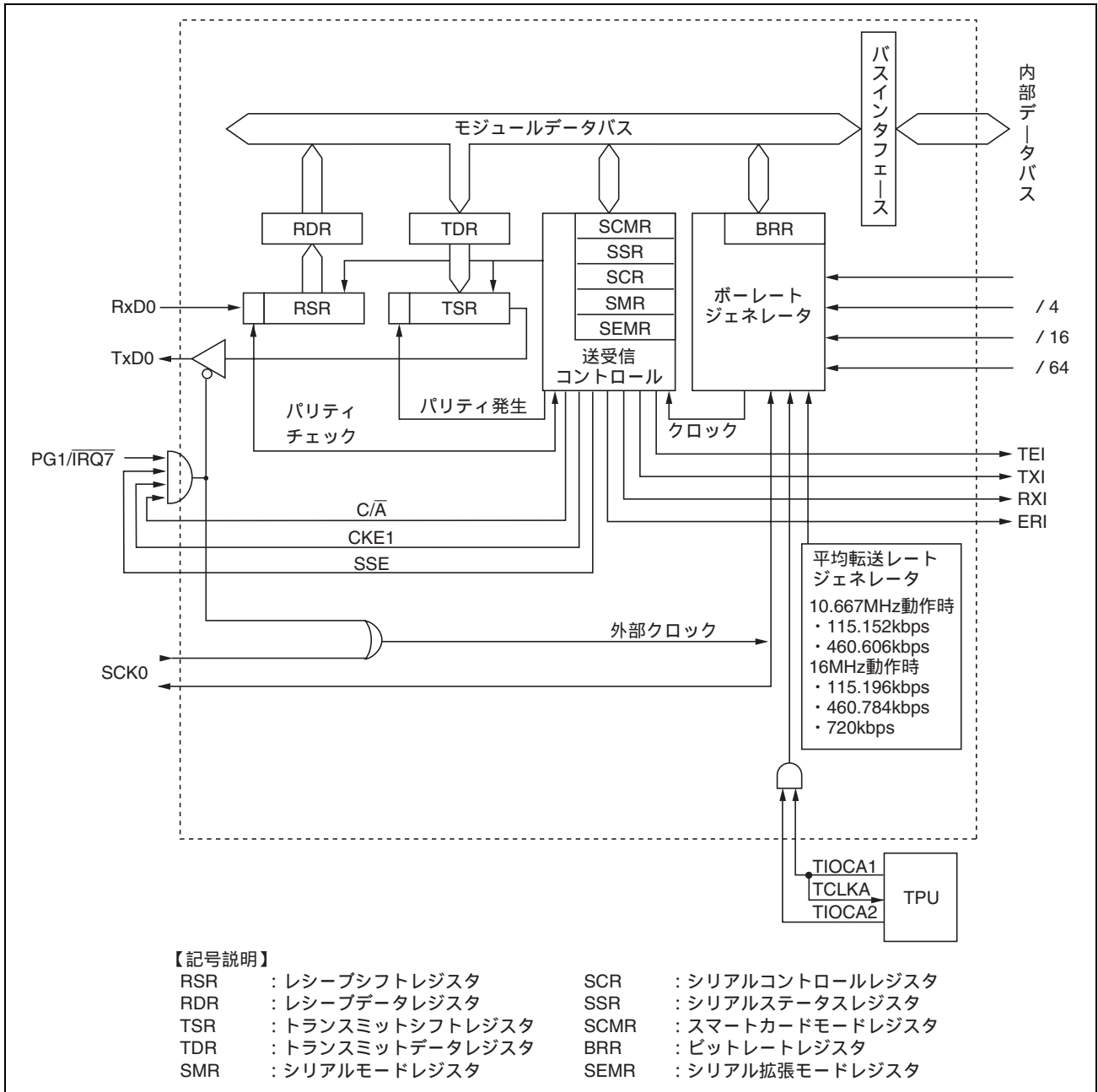


図 12.1 SCI0 のブロック図

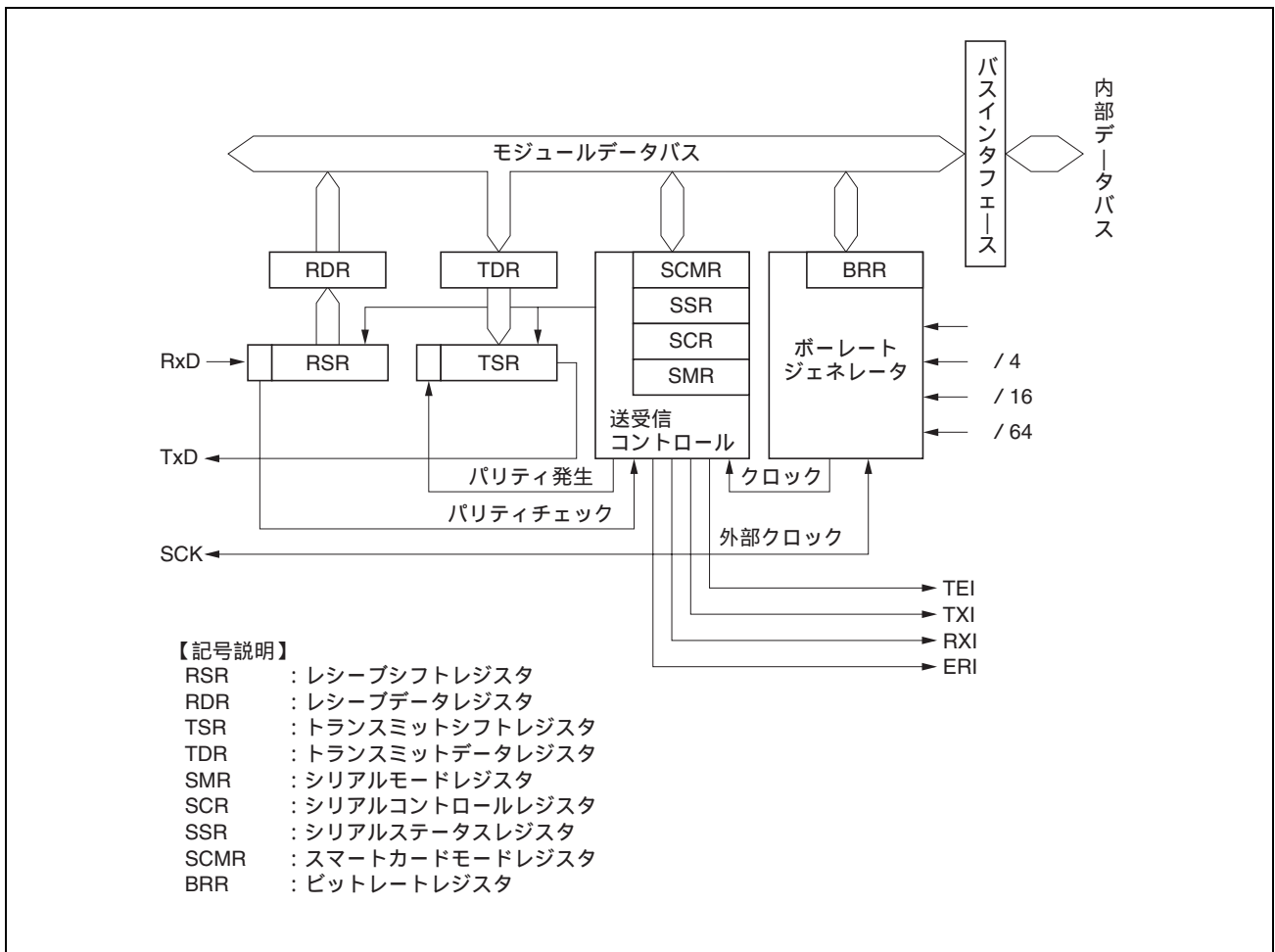


図 12.2 SCI1、2 のブロック図

12.1.3 端子構成

SCI は、表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力

【注】本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.1.4 レジスタ構成

SCIには、表 12.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 12.2 レジスタ構成

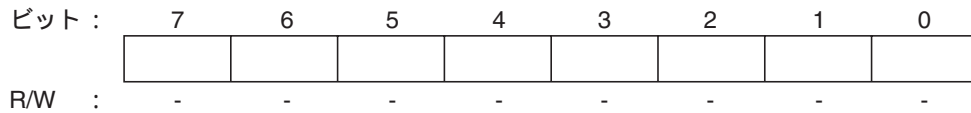
チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
	シリアル拡張モードレジスタ 0	SEMR0	R/W	H'00	H'FDF8
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)*2	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップコントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FDE9

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 レシーブシフトレジスタ (RSR)

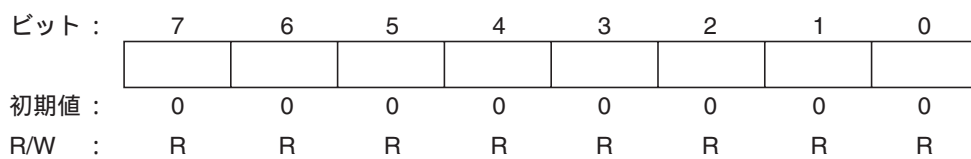


RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

12.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納するレジスタです。

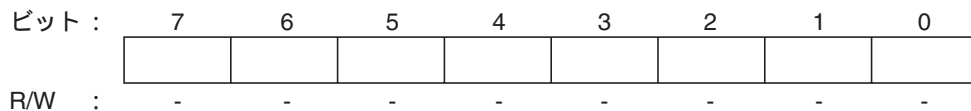
SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。このあと、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタです。CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

12.2.3 トランスミットシフトレジスタ (TSR)



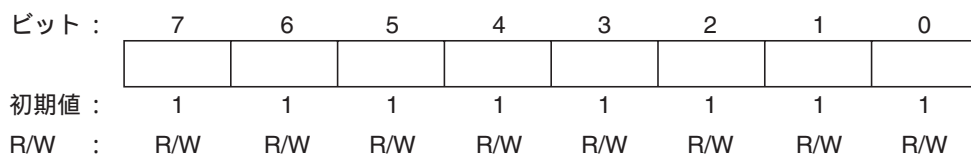
TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

12.2.4 トランスミットデータレジスタ (TDR)



TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておく、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

12.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、ハードウェアスタンバイモードでは、H'00 に初期化されます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードでは、直前の状態を保持します。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。また、LSB ファースト/MSB ファーストの選択はできません。

ビット 5: パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4: パリティモード (O/E)

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。

O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合およびマルチプロセッサフォーマットでは、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

- 【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
- *2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3: ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1 ストップビット: 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 (初期値)
1	2 ストップビット: 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2: マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

12. シリアルコミュニケーションインタフェース (SCI)

ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定により、 $\times 4$ 、 $\times 16$ 、 $\times 64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	$\times 4$ クロック
1	0	$\times 16$ クロック
	1	$\times 64$ クロック

12.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、ハードウェアスタンバイモードでは、H'00 に初期化されます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードでは、直前の状態を保持します。

ビット7: トランスミットインタラプトイネーブル (TIE)

TDR から TSR へシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

ビット5: トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可または禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR の TDRE フラグは 1 に固定されます。

*2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

ビット4: レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3: マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時のみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] • MPIE ビットを 0 にクリア • MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2: トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

12. シリアルコミュニケーションインタフェース (SCI)

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを設定する前に、CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は「12.3 動作説明」の表 12.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は出力ポート* ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* ¹
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

12.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグおよびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'84に初期化されます。

ビット7: トランスミットデータレジスタエンpty (TDRE)

TDRからTSRにデータ転送が行われ、TDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] <ul style="list-style-type: none"> TDRE=1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDMACまたはDTCが起動され、DMACまたはDTC*でTDRへデータをライトしたとき
1	[セット条件] (初期値) <ul style="list-style-type: none"> SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* DTCによりクリアされるのは、DISEL=0で、かつ転送カウンタが0でない場合です。

ビット6: レシーブデータレジスタフル (RDRF)

受信したデータがRDRに格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) <ul style="list-style-type: none"> RDRF=1の状態をリードしたあと、0をライトしたとき RXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTC*でRDRのデータをリードしたとき
1	[セット条件] <ul style="list-style-type: none"> シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCRのREビットを0にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。

RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。

* DTCによりクリアされるのは、DISEL=0で、かつ転送カウンタが0でない場合です。

12. シリアルコミュニケーションインタフェース (SCI)

ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	[クリア条件] • ORER = 1 の状態をリードしたあと、0 をライトしたとき (初期値)* ¹
1	[セット条件] • RDRF = 1 の状態で次のシリアル受信を完了したとき* ²

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 4 : フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説 明
FER	
0	[クリア条件] • FER = 1 の状態をリードしたあと、0 をライトしたとき (初期値)* ¹
1	[セット条件] • SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ²

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*² 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット 3	説 明
PER	
0	[クリア条件] • PER = 1 の状態をリードしたあと、0 をライトしたとき (初期値)* ¹
1	[セット条件] • 受信時の受信データとパリティビットをあわせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき* ²

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。
TEND フラグはリード専用です。ライトは無効です。

ビット2	説明
TEND	
0	[クリア条件] <ul style="list-style-type: none"> • TDRE = 1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき • TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC* で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) <ul style="list-style-type: none"> • SCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

【注】 * DTC によりクリアされるのは、DISEL=0 で、かつ転送カウンタが 0 でない場合です。

ビット1: マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット1	説明
MPB	
0	[クリア条件] (初期値) <ul style="list-style-type: none"> • マルチプロセッサビットが 0 のデータを受信したとき
1	[セット条件] <ul style="list-style-type: none"> • マルチプロセッサビットが 1 のデータを受信したとき

【注】 マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

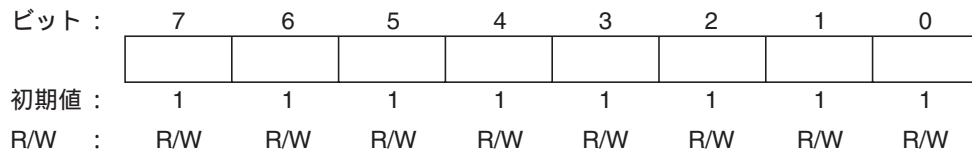
ビット0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットでないとき、あるいは送信でないとき、およびクロック同期式モードには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

12.2.8 ビットレートレジスタ (BRR)



BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、ハードウェアスタンバイモードでは、H'FF に初期化されます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードでは、直前の状態を保持します。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 12.3 に調歩同期式モードの BRR の設定例を表 12.4 にクロック同期式モードの BRR の設定例を示します。

表 12.3 ビットレートに対する BRR の設定例 [調歩同期式モード]

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

【注】 SEMR0 の ABCS = 0 のときの例です。ABCS = 1 に設定したときは、ビットレートが 2 倍になります。

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

ビットレート (bit/s)	動作周波数 (MHz)								
	14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	181	0.16	2	191	0.00	2	207	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	13	0.00	0	14	-1.70	0	15	0.00
38400	-	-	-	0	11	0.00	0	12	0.16

【注】 SEMR0 の ABCS = 0 のときの例です。ABCS = 1 に設定したときは、ビットレートが 2 倍になります。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 ビットレートに対する BRR の設定例〔クロック同期モード〕

ビットレート (bit/s)	動作周波数 (MHz)											
	2		4		6		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-								
250	2	124	2	249			3	124	-	-	3	249
500	1	249	2	124			2	249	-	-	3	124
1k	1	124	1	249			2	124	-	-	2	249
2.5K	0	199	1	99	1	149	1	199	1	249	2	99
5K	0	99	0	199	1	74	1	99	1	124	1	199
10K	0	49	0	99	0	149	0	199	0	249	1	99
25K	0	19	0	39	0	59	0	79	0	99	0	159
50K	0	9	0	19	0	29	0	39	0	49	0	79
100K	0	4	0	9	0	14	0	19	0	24	0	39
250K	0	1	0	3	0	5	0	7	0	9	0	15
500K	0	0*	0	1	0	2	0	3	0	4	0	7
1M			0	0*			0	1			0	3
2.5M									0	0*		
4M											0	0*

【記号説明】

- 空欄 : 設定できません
 - : 設定可能ですが誤差がでます
 * : 連続送信 / 受信はできません

BRR の設定値は以下の計算式で求められます。

通信モード	ABCS モード	ビットレート	誤差
調歩同期式	0	$B = \frac{\times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	$\text{誤差 (\%)} = \left\{ \frac{\times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{\times 10^6}{32 \times 2^{2n-1} \times (N+1)}$	$\text{誤差 (\%)} = \left\{ \frac{\times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	—	$B = \frac{\times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—

- B : ビットレート (bit/s)
 N : ポーレートジェネレータの BRR の設定値 (0 N 255)
 : 動作周波数 (MHz)
 n : ポーレートジェネレータ入力クロック (n=0~3)
 (n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

表 12.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 12.6、表 12.7 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードで SCI0 のシリアル拡張モードレジスタ 0 (SEMR0) の ABCS ビットを 1 にセットしたときは、最大ビットレートは表 12.5、表 12.6 の 2 倍になります。

表 12.5 各周波数における最大ビットレート (調歩同期式モード、ABCS = 0 のとき)

(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	137500	0	0
14.7456	460800	0	0
16	500000	0	0

表 12.6 外部クロック入力時の最大ビットレート (調歩同期式モード、ABCS = 0 のとき)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000

12. シリアルコミュニケーションインタフェース (SCI)

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7

12.2.9 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	-
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、SDIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信モードによらず、LSB ファースト / MSB ファーストの選択が可能です。

SCMR は、リセット、ハードウェアスタンバイモードでは、HF2 に初期化されます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードでは、直前の状態を保持します。

ビット 7~4 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3 : スマートカードデータトランスファディレクション (SDIR)

シリアル / パラレル変換のフォーマットを選択します。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2 : スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の O/E ビットを反転する必要があります。

ビット 2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット1: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0: リザーブビット

リードライト可能ですが、必ず0をライトしてください。

12.2.10 シリアル拡張モードレジスタ0 (SEMR0)

ビット:	7	6	5	4	3	2	1	0
	SSE	-	-	-	ABCS	ACS2	ACS1	ACS0
初期値:	0	不定	不定	不定	0	0	0	0
R/W:	R/W	-	-	-	R/W	R/W	R/W	R/W

SEMR0は、SCI0の機能を拡張する8ビットのレジスタです。SEMR0は、クロック同期モード時のSCI0セレクト機能の選択、調歩同期モード時の基本クロック設定、クロックソースの選択、転送レートの自動設定ができます。SEMR0は、リセット、ハードウェアスタンバイモードでは、H'00に初期化されます。モジュールストップモード、ソフトウェアスタンバイモードでは、直前の状態を保持します。

ビット7: SCI0セレクトイネーブル (SSE)

クロック同期モードで外部クロック入力時におけるSCI0セレクト機能の選択ができます。SCI0セレクト機能を有効にした場合、PG1/IRQ7端子に1が入力されるとTxD0出力がHi-Z状態になります。SSEの設定は、クロック同期モード(SMRの $C/\bar{A}=1$)で外部クロック入力(SCRの $CKE=1$)のとき有効です。クロック同期モードで内部クロック(SCRの $CKE1=0$)を選択したとき、および調歩同期モード(SMRの $C/\bar{A}=0$)のとき、SSE=1に設定してもSCI0セレクト機能は無効です。

ビット7	説明
SSE	
0	SCI0セレクト機能無効 (初期値)
1	SCI0セレクト機能有効 PG1/IRQ7端子=1入力時は、TxD0がHi-Z状態になり、SCK0クロック入力がHigh固定入力になります。

ビット6~4: リザーブビット

リザーブビットです。0をライトしてください。

ビット3: 調歩同期基本クロックセレクト (ABCS)

調歩同期モード時における1ビット期間の基本クロックを選択します。

ABCSの設定は、調歩同期モード(SMRの $C/\bar{A}=0$)のとき有効です。クロック同期モード(SMRの $C/\bar{A}=1$)のときのABCSの設定は無効です。

ビット3	説明
ABCS	
0	転送レートの16倍の周波数の基本クロックで動作 (初期値)
1	転送レートの8倍の周波数の基本クロックで動作

ビット2~0: 調歩同期クロックソースセレクト (ACS2~ACS0)

調歩同期モード時におけるクロックソースを選択します。

平均転送レート選択時は、ABCSの値に関係なく基本クロックが自動設定されます。また、平均転送レートは、10.667MHzと16MHzの動作周波数以外には対応していませんので注意してください。ACS2~0の設定は、調歩同期モード(SMRの $C/\bar{A}=0$)で外部クロック入力(SCRの $CKE=1$)のとき有効です。調歩同期モードで内部クロック(SCRの $CKE1=0$)を選択したとき、およびクロック同期モード(SMRの $C/\bar{A}=1$)のとき、ACS2~0の設定は無効です。

12. シリアルコミュニケーションインタフェース (SCI)

ビット2	ビット1	ビット0	説明
ACS2	ACS1	ACS0	
0	0	0	外部クロック入力 (初期値)
		1	= 10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)
	1	0	= 10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)
		1	リザーブ
1	0	0	TPU クロック入力 (TIOCA1 と TIOCA2 の論理積)
		1	= 16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)
	1	0	= 16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)
		1	= 16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)

図 12.3、図 12.4 は、平均転送レートが選択されたときの内部ベースクロックの例を示します。



図 12.3 平均転送レートが選択されたときのベースクロック例 (1)

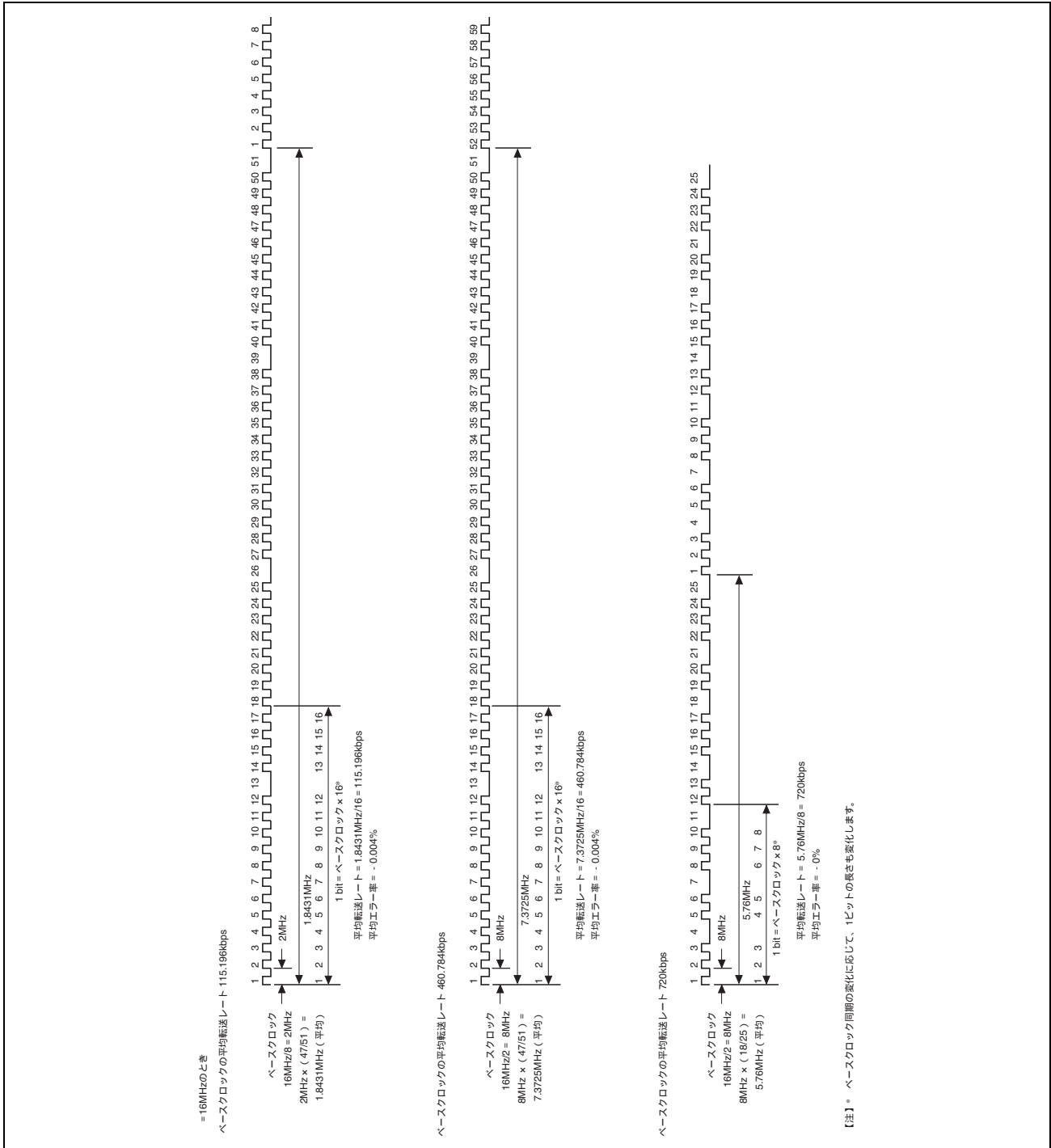


図 12.4 平均転送レートが選択されたときのベースクロック例 (2)

12.2.11 モジュールストップコントロールレジスタ B (MSTPCRB)

ビット	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRB は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPB7~MSTPB5 ビットを 1 にセットすると、バスサイクルの終了時点で SCI0~SCI2 はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「17.5 モジュールストップモード」を参照してください。

MSTPCRB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

(1) モジュールストップコントロールレジスタ B (MSTPCRB)

ビット 7: モジュールストップ (MSTPB7)

SCI0 のモジュールストップモードを指定します。

ビット 7	説明
MSTPB7	
0	SCI0 のモジュールストップモード解除
1	SCI0 のモジュールストップモード設定 (初期値)

ビット 6: モジュールストップ (MSTPB6)

SCI1 のモジュールストップモードを指定します。

ビット 6	説明
MSTPB6	
0	SCI1 のモジュールストップモード解除
1	SCI1 のモジュールストップモード設定 (初期値)

ビット 5: モジュールストップ (MSTPB5)

SCI2 モジュールストップモードを指定します。

ビット 5	説明
MSTPB5	
0	SCI2 のモジュールストップモード解除
1	SCI2 のモジュールストップモード設定 (初期値)

12.3 動作説明

12.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 12.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 12.9 に示します。

(1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合：
内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 12.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
C/A	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8 ビットデータ	なし	なし	1 ビット		
				1					2 ビット		
			1	0					1 ビット		
				1					2 ビット		
			0	0					1 ビット		
				1					2 ビット		
	1	1	1	-		0	調歩同期式モード (マルチプロセッサフォーマット)	8 ビットデータ	あり	なし	1 ビット
						1					2 ビット
				-		0		1 ビット			
						1		2 ビット			
				0		0		1 ビット			
						1		2 ビット			
1	0	なし									
	1	なし									
1	-	-	-	-	クロック同期式 モード	8 ビットデータ	なし	なし			

表 12.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR ビット 7	SCR の設定		モード	SCI の送信 / 受信クロック	
	ビット 1	ビット 0		クロックソース	SCK 端子の機能
	C/A	CKE1			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

12. シリアルコミュニケーションインタフェース (SCI)

表 12.10 SMR0、SCR0、SEMR0 の設定と SCI のクロックソースの選択 (SCI0 のみ)

SMR0 ビット7	SCR0 の設定		SEMR0 の設定			モ - ド	SCI の送信 / 受信クロック							
	ビット1	ビット0	ビット2	ビット1	ビット0		クロックソース	SCK 端子の機能						
C/A	CKE1	CKE0	ACS2	ACS1	ACS0									
0	0	0	*	*	*	調歩同期式 モード	内部	SCI は、SCK 端子を使用 しません						
		1						ビットレートと同じ周波数の クロックを出力						
	1	*	0	0	0		1	外部	ビットレートの 16 倍または 8 倍の周波数のクロックを入力					
							0			平均転送レート発振器 (10.667MHz で 115.152kbps)	SCI は、SCK 端子を使用 しません			
			1	0	0		1	平均転送レート発振器 (10.667MHz で 460.606kbps)	SCI は、SCK 端子を使用 しません					
							0			-	-			
			1	0	0		1	0	0	TPU (T10CA1 と T10CA2 の論理 積)	SCI は、SCK 端子を使用 しません			
									1			平均転送レート発振器 (16MHz で 115.196kbps)	SCI は、SCK 端子を使用 しません	
									0			平均転送レート発振器 (16MHz で 460.784kbps)	SCI は、SCK 端子を使用 しません	
									1			平均転送レート発振器 (16MHz で 720kbps)	SCI は、SCK 端子を使用 しません	
1	0	0	*	*	*	クロック同期 式モード	内部	同期クロックを出力						
								外部	同期クロックを入力					
							1		0	1	1	1	1	1
								1						

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

SEMR0 の ABCS ビット = 1 のとき、SCI0 はデータを 1ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。

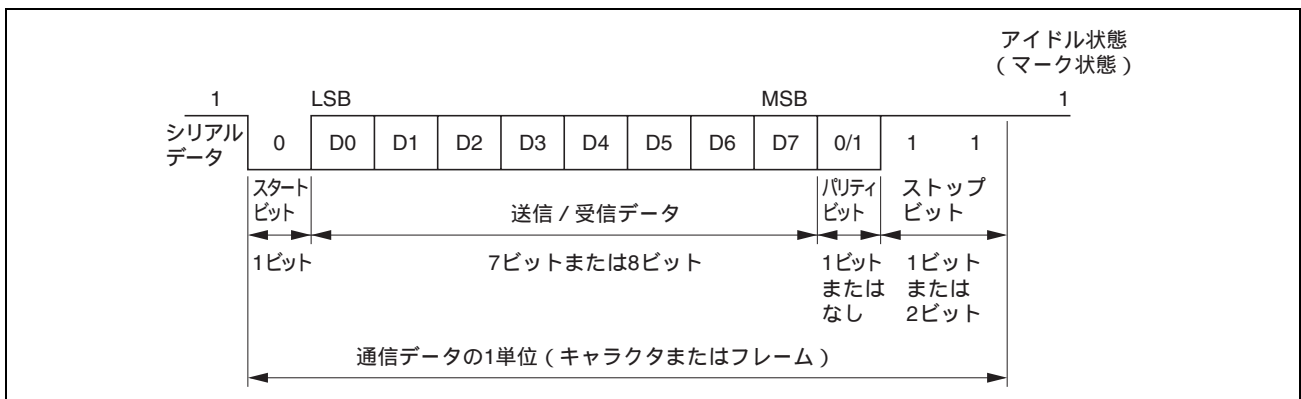


図 12.5 調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 12.11 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の選定により選択できます。

表 12.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	-	1	0	S	8ビットデータ								MPB	STOP			
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	-	1	0	S	7ビットデータ							MPB	STOP				
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表12.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図12.6に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

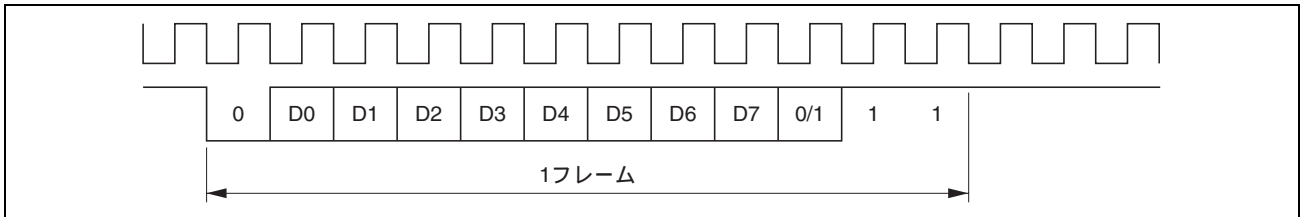


図 12.6 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCIの初期化 (調歩同期式)

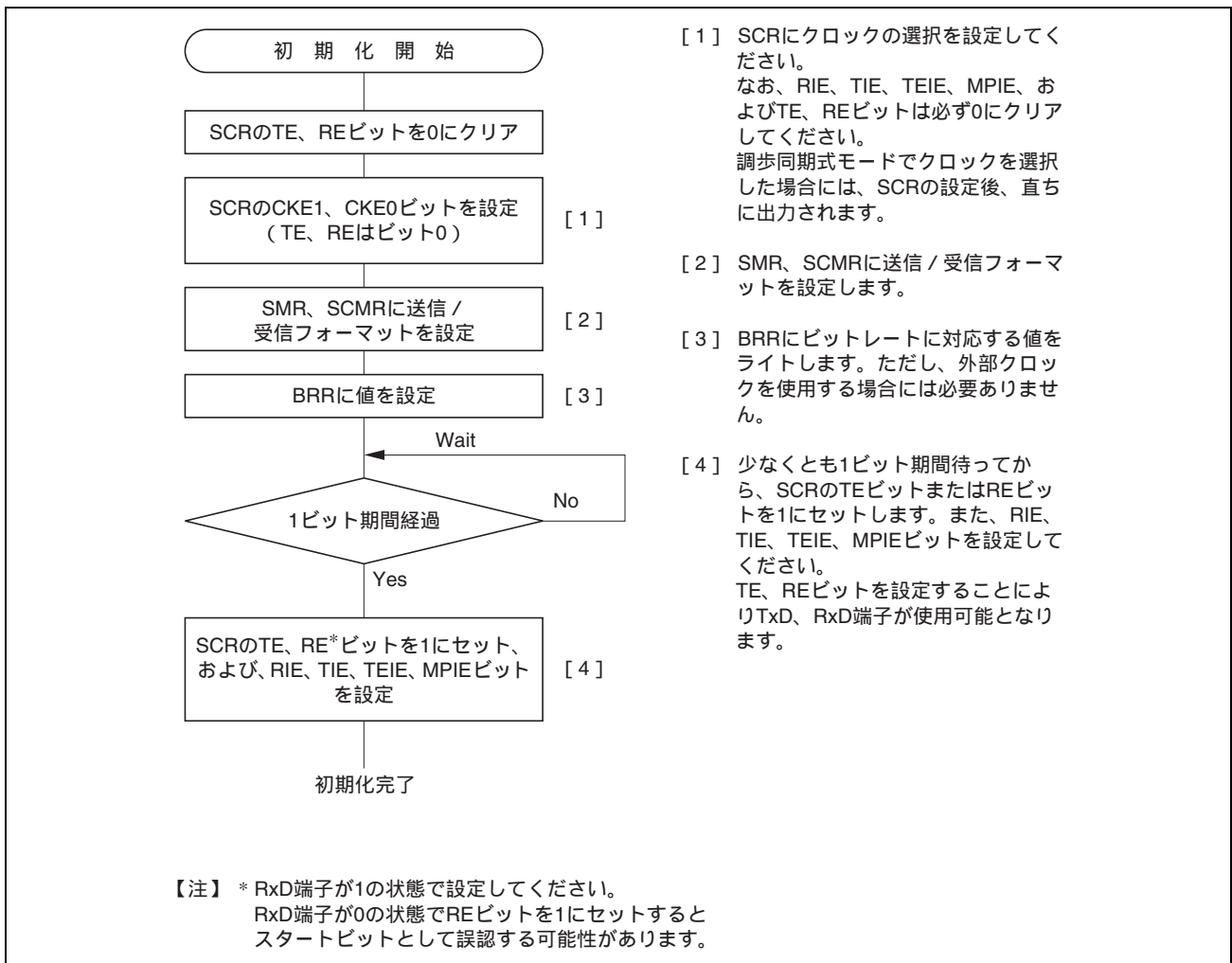
データの送信 / 受信前には、まずSCRのTE、REビットを0にクリアしたあと、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは1にセットされ、TSRが初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図12.7にSCIの初期化フローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)



- [1] SCRにクロックの選択を設定してください。
なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず0にクリアしてください。
調歩同期式モードでクロックを選択した場合には、SCRの設定後、直ちに出力されます。
- [2] SMR、SCMRに送信 / 受信フォーマットを設定します。
- [3] BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。
- [4] 少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを1にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。
TE、REビットを設定することによりTxD、RxD端子が使用可能となります。

図 12.7 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 12.8 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

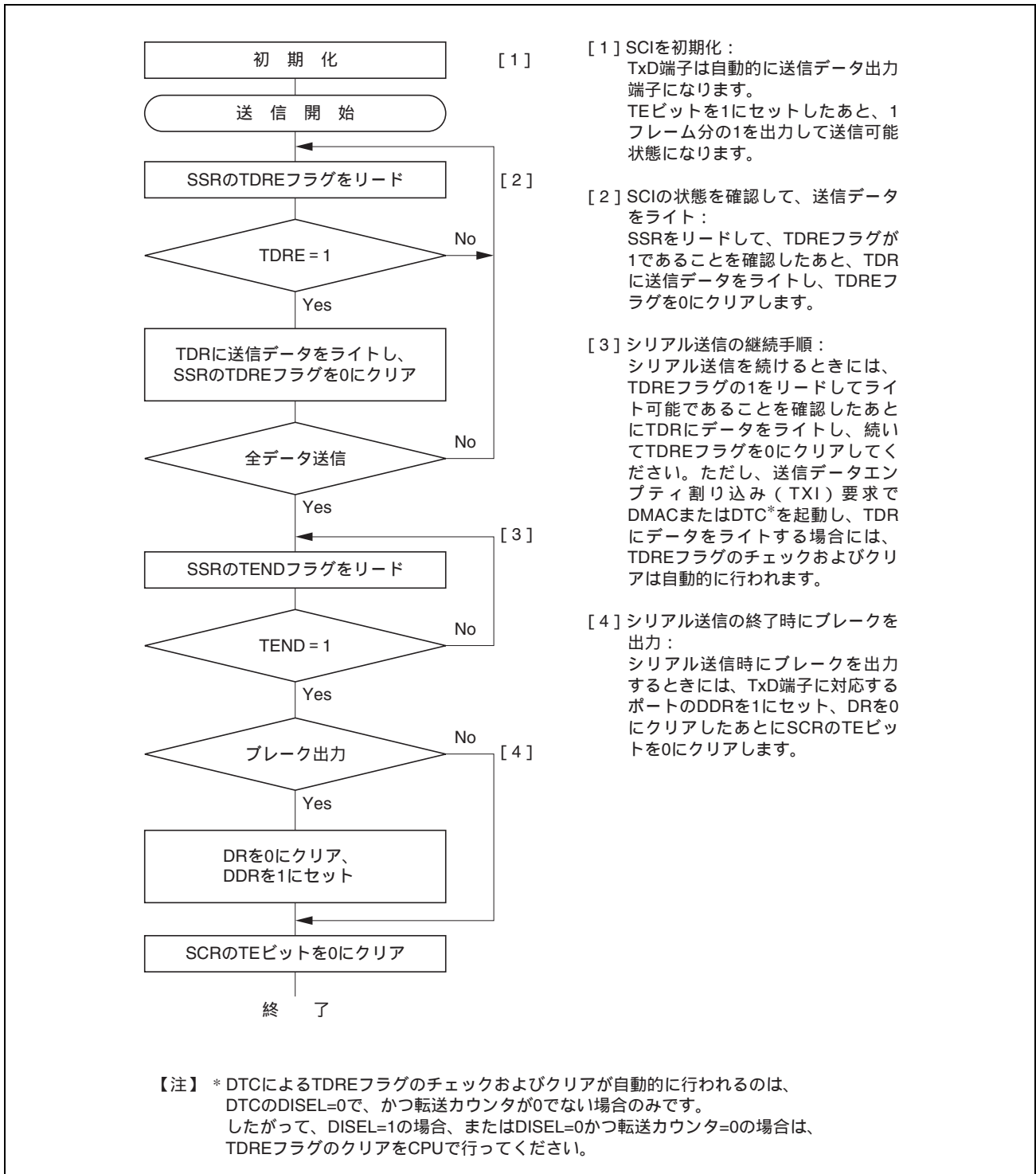


図 12.8 シリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンブティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出したあと、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期モードでの送信時の動作例を図 12.9 に示します。

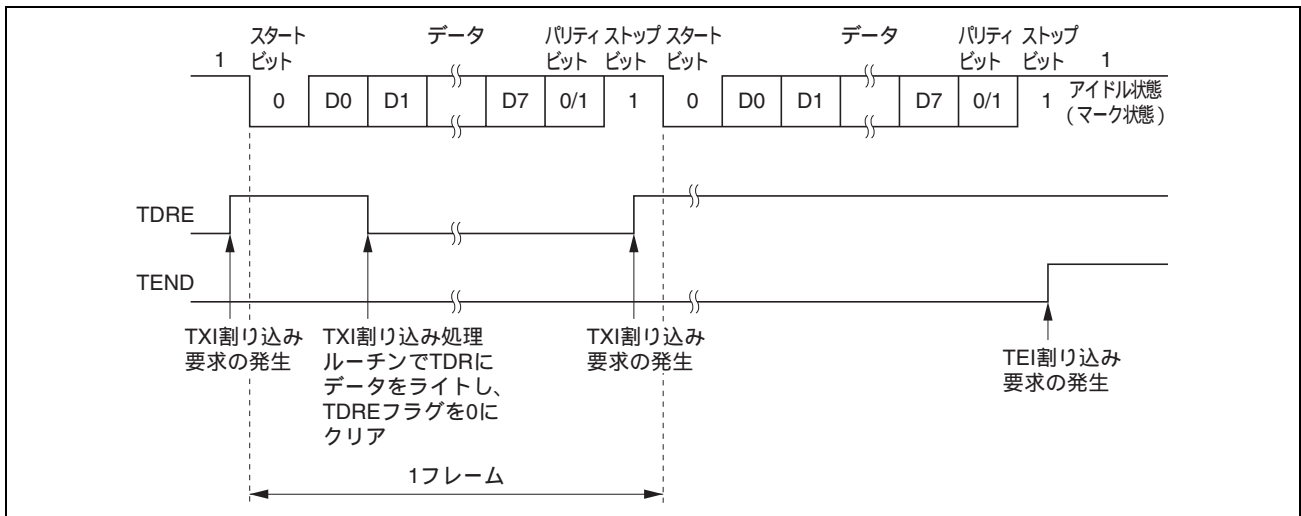


図 12.9 調歩同期モードでの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 12.10、図 12.11 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

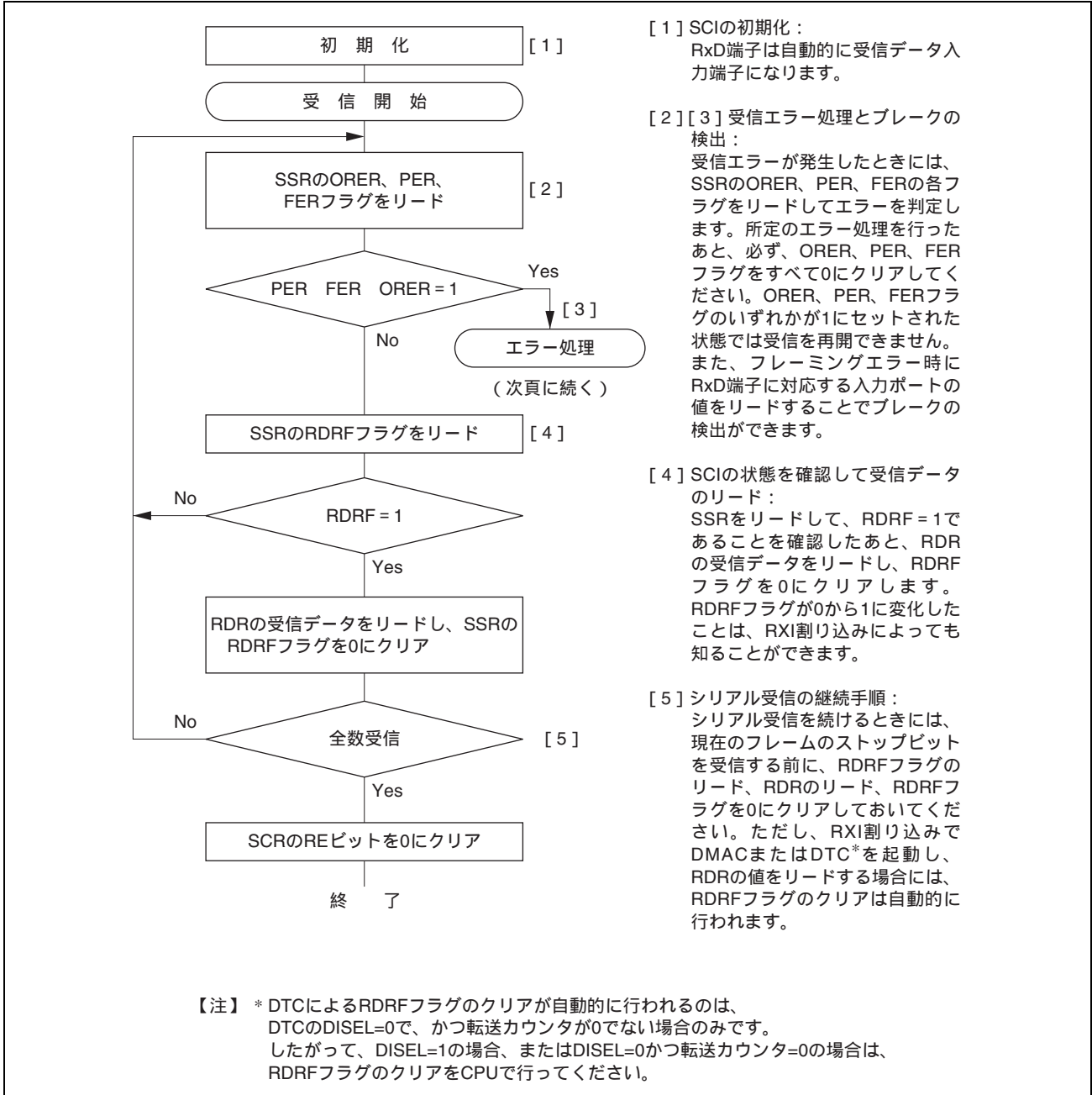


図 12.10 シリアル受信データフローチャートの例 (1)

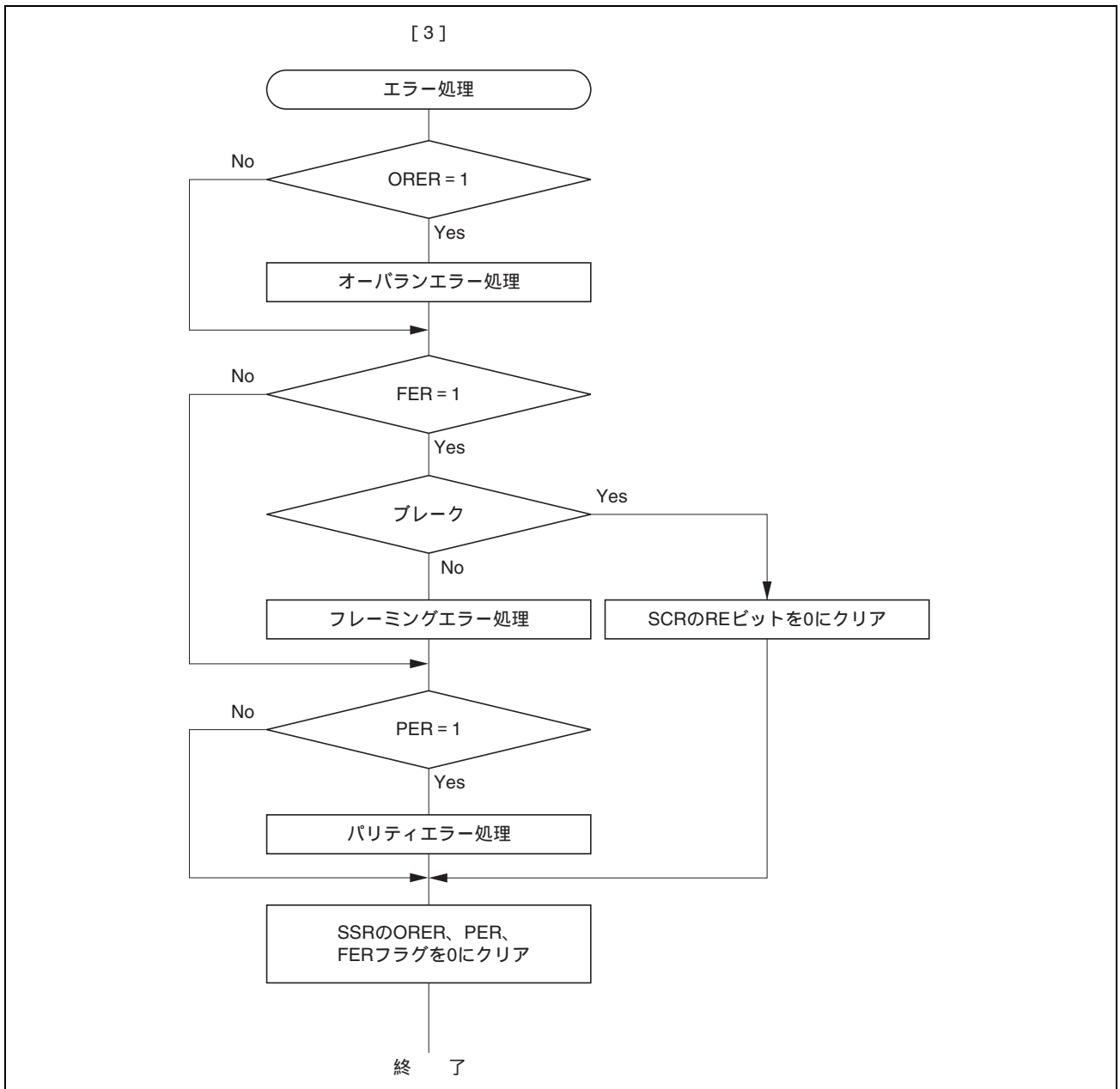


図 12.11 シリアル受信データフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- [1] SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
 - [2] 受信したデータをRSRのLSBからMSBの順に格納します。
 - [3] パリティビットおよびストップビットを受信します。
受信後、SCIは以下のチェックを行います。
 - [a] パリティチェック：
受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
以上のチェックをすべて満足したとき、RDRFフラグが1にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラー*を発生すると表12.12のように動作します。
- 【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。
- [4] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 12.12 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 12.12 に示します。

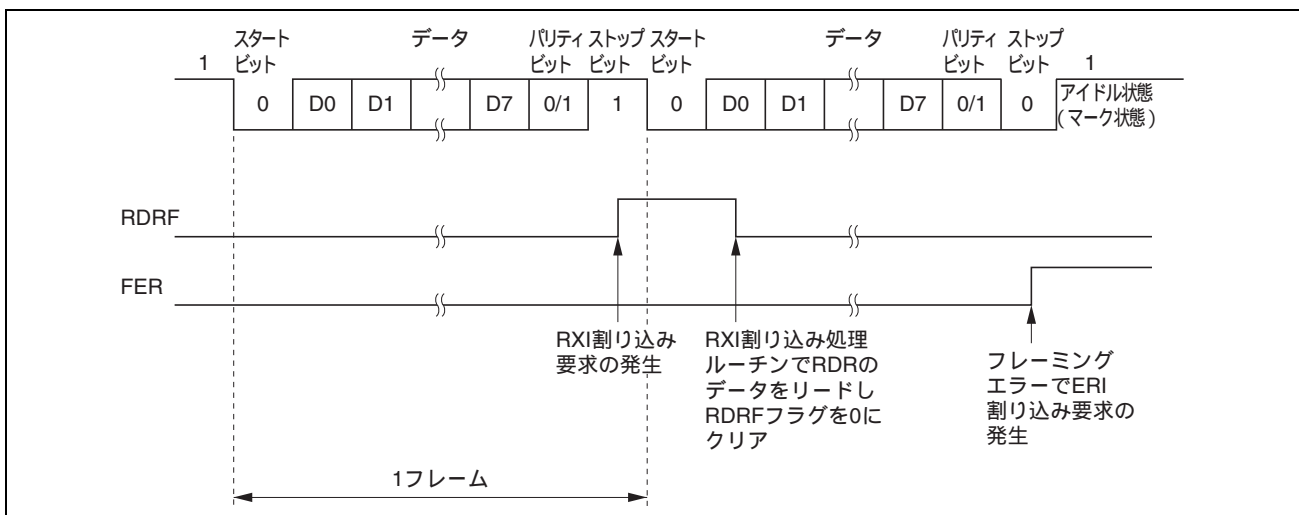


図 12.12 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 12.11 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

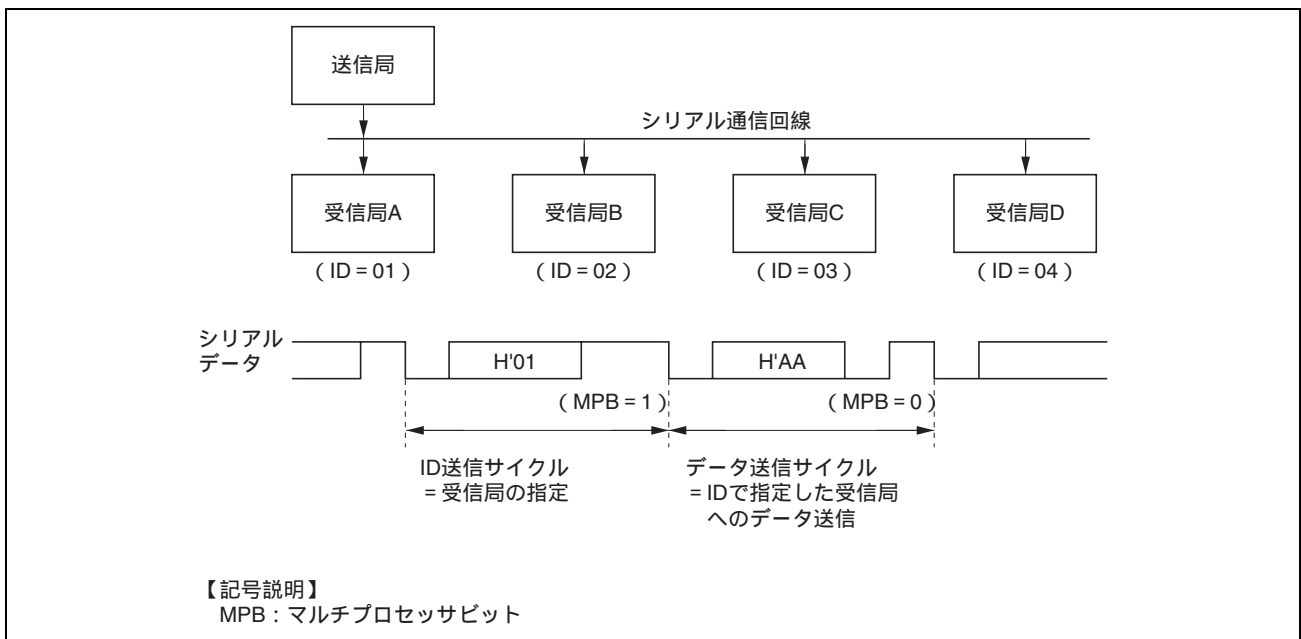


図 12.13 マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 12.14 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

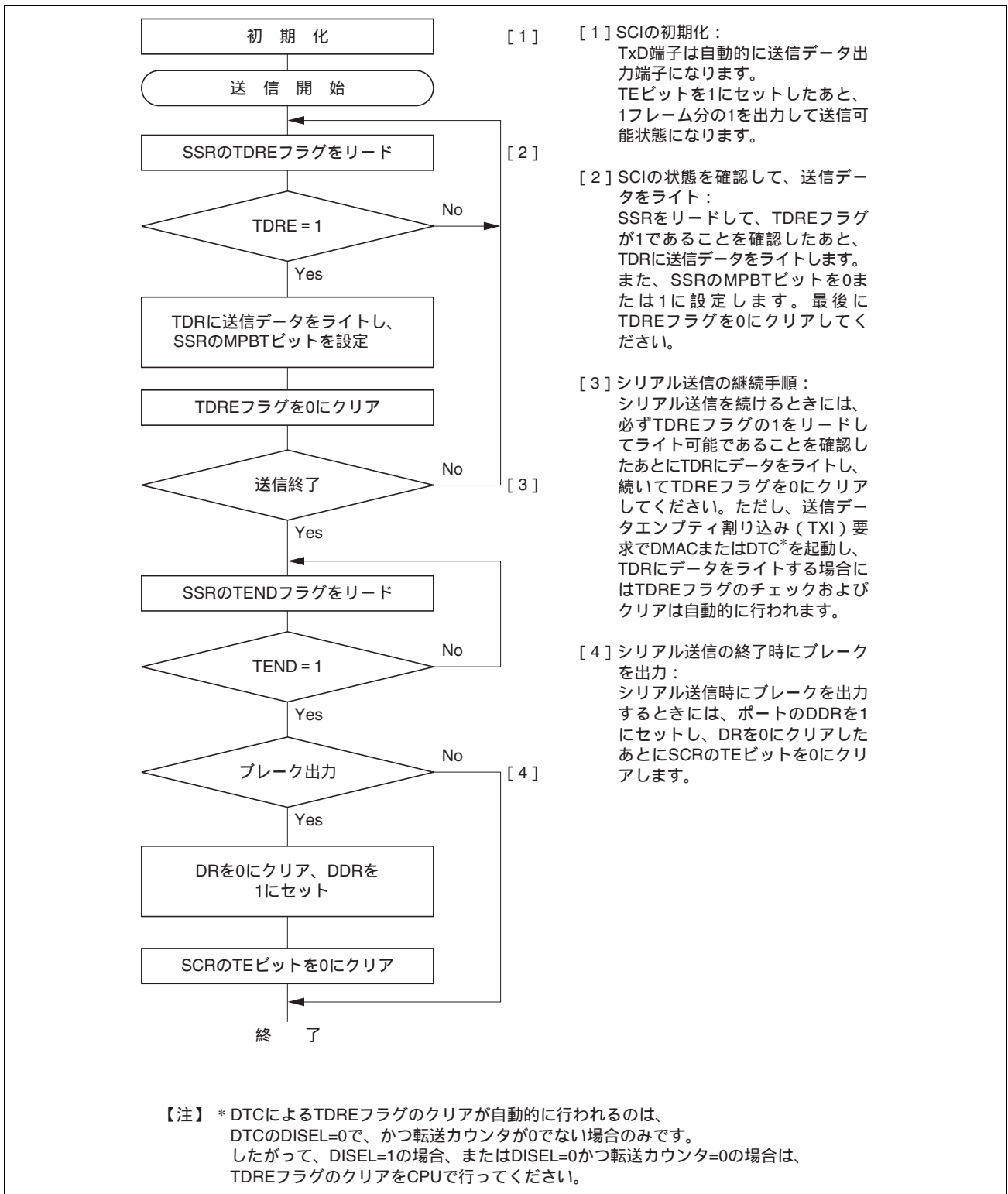


図 12.14 マルチプロセッサシリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンベティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTx/D端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット/7ビットのデータがLSBから順に出力されます。
 - [c] マルチプロセッサビット：
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - [d] ストップビット：
1ビット/2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出したあと、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 12.15 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

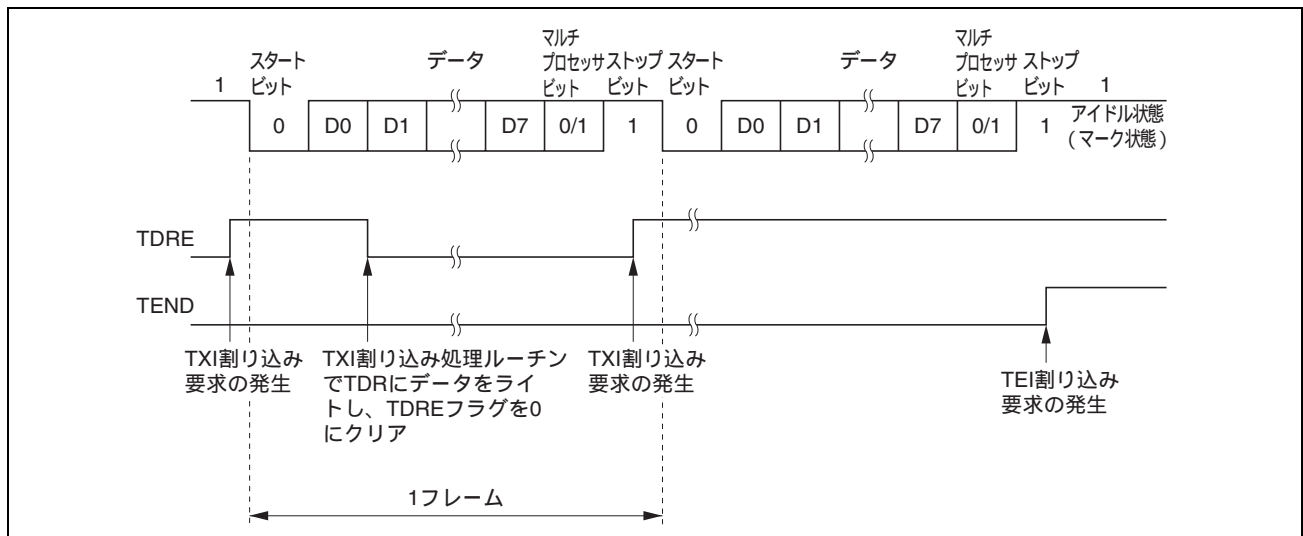


図 12.15 SCI の送信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 12.16、図 12.17 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

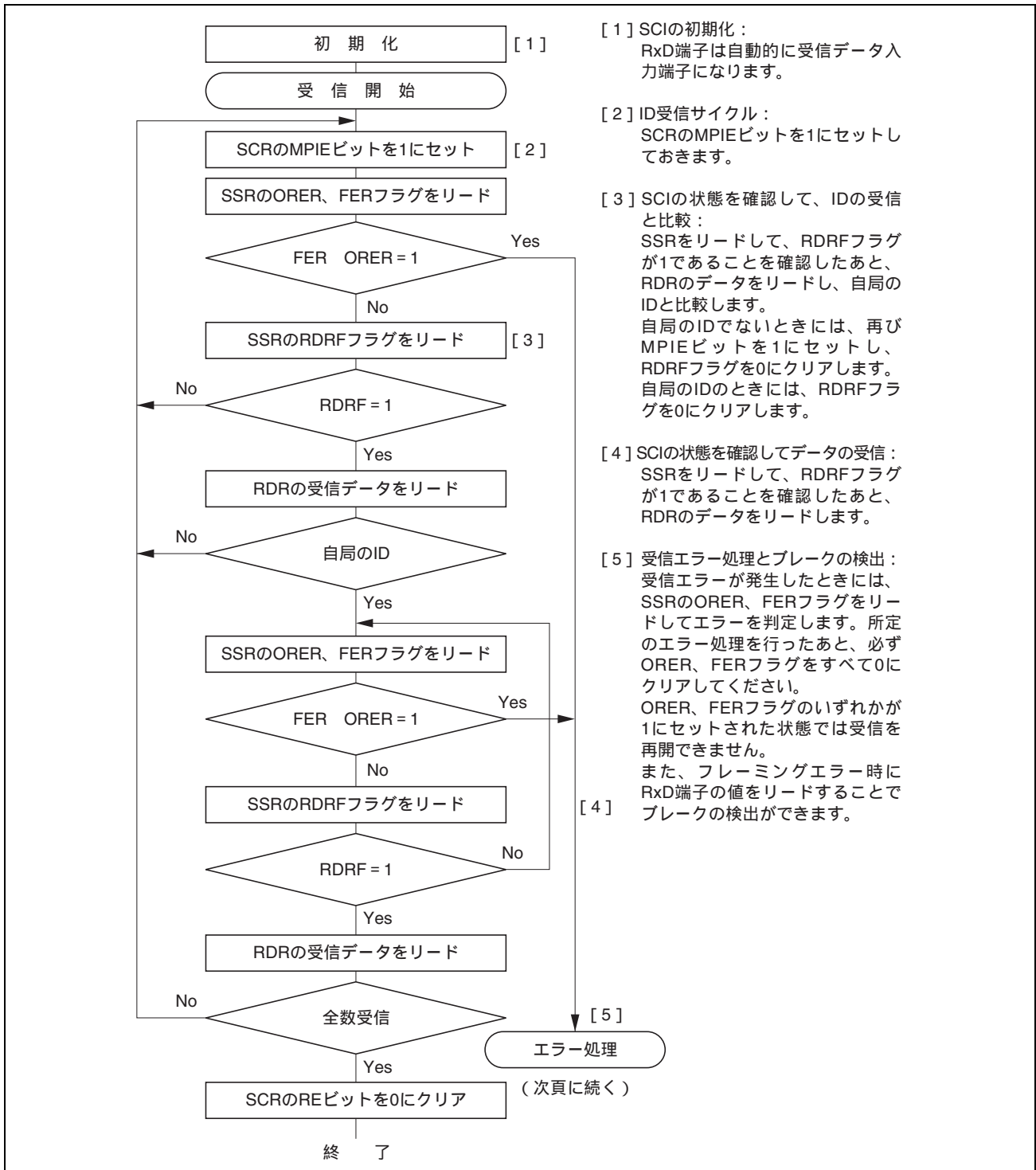


図 12.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

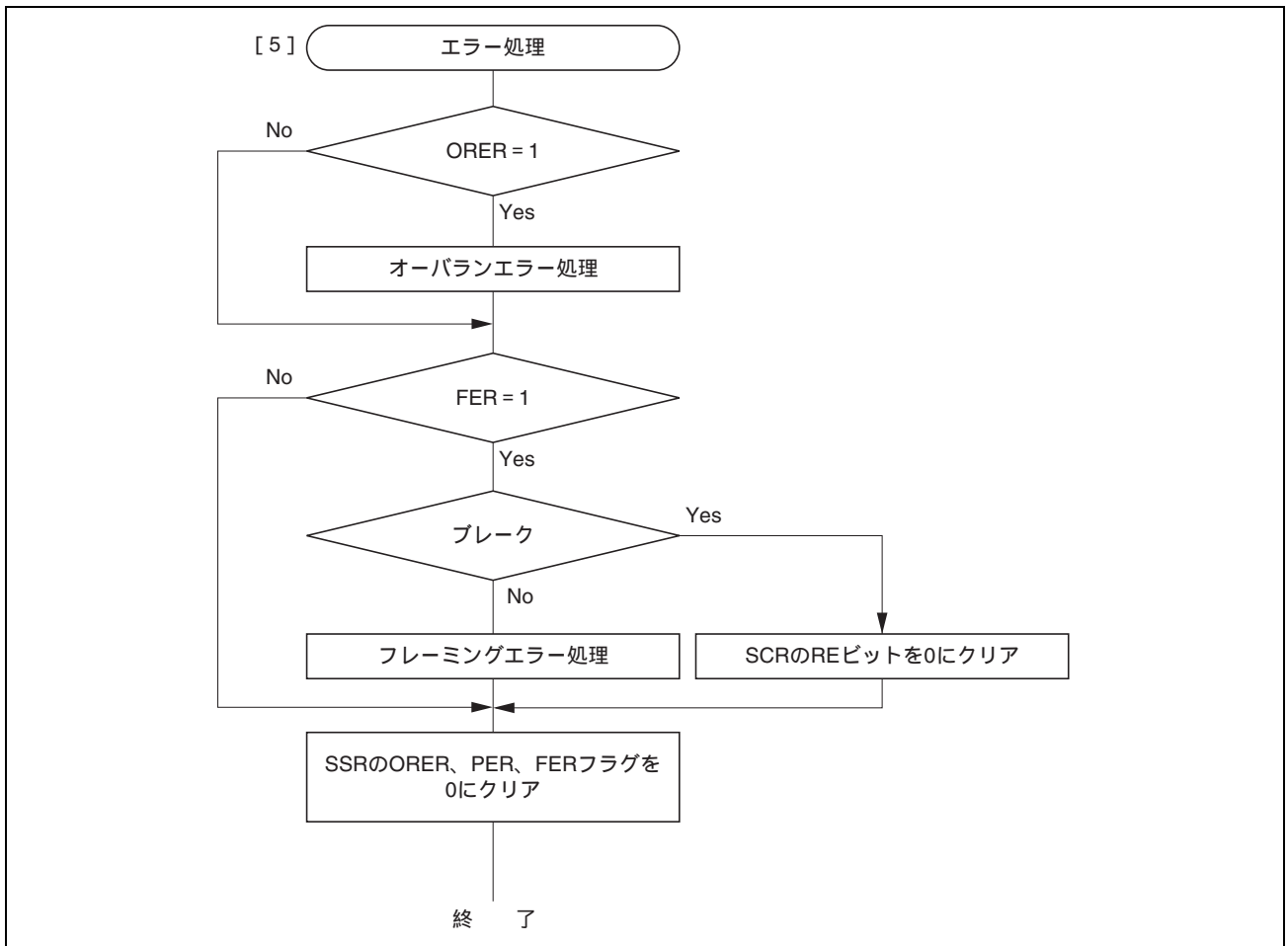


図 12.17 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 12.18 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

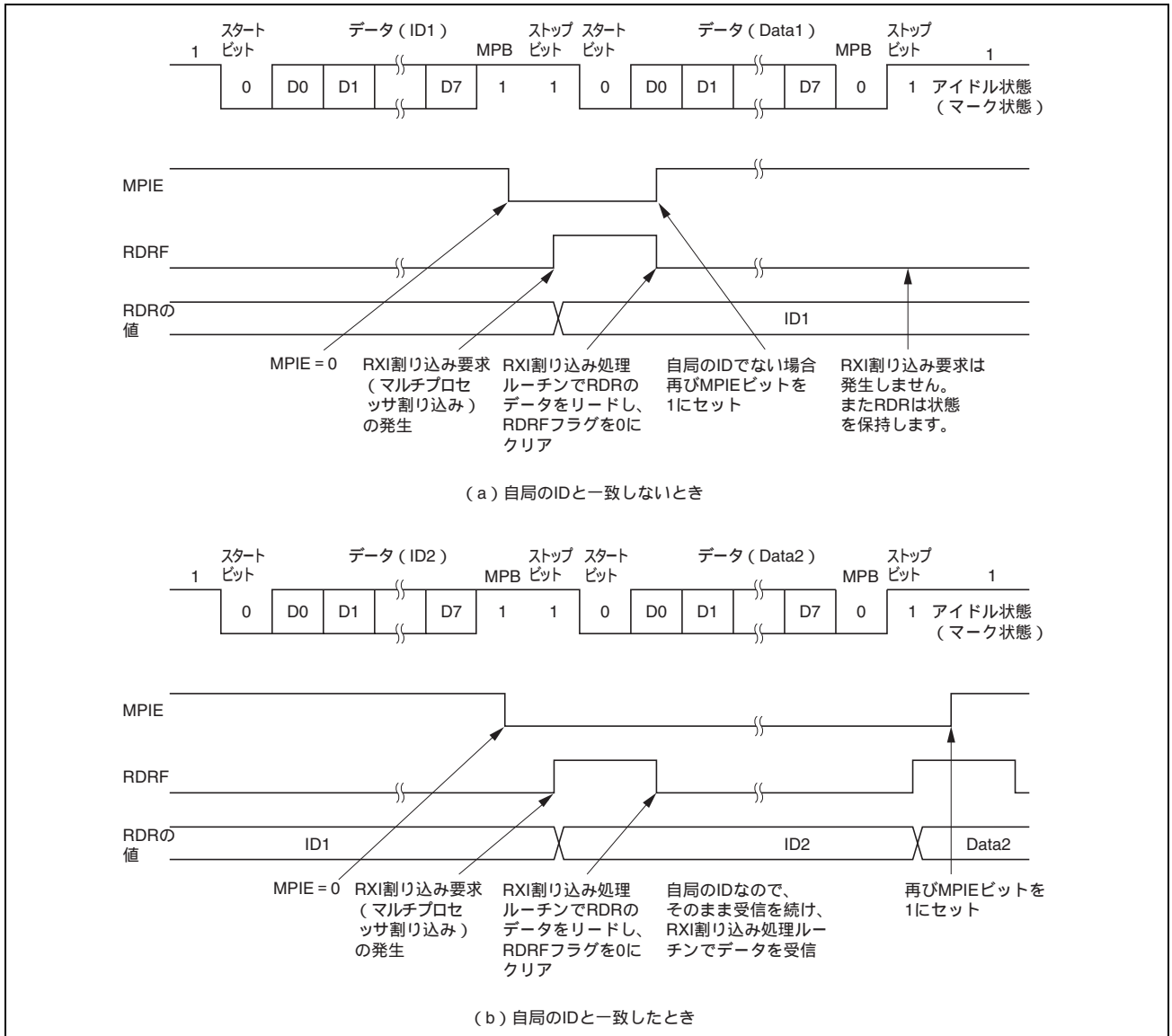


図 12.18 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

12.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.19 に示します。

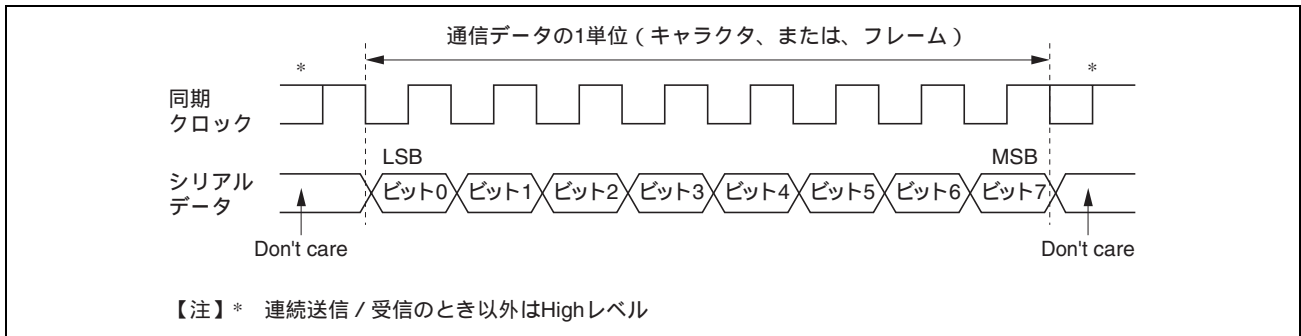


図 12.19 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの $\overline{C/A}$ ビットとSCRのCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 12.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアしたあと、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 12.20 に SCI の初期化フローチャートの例を示します。

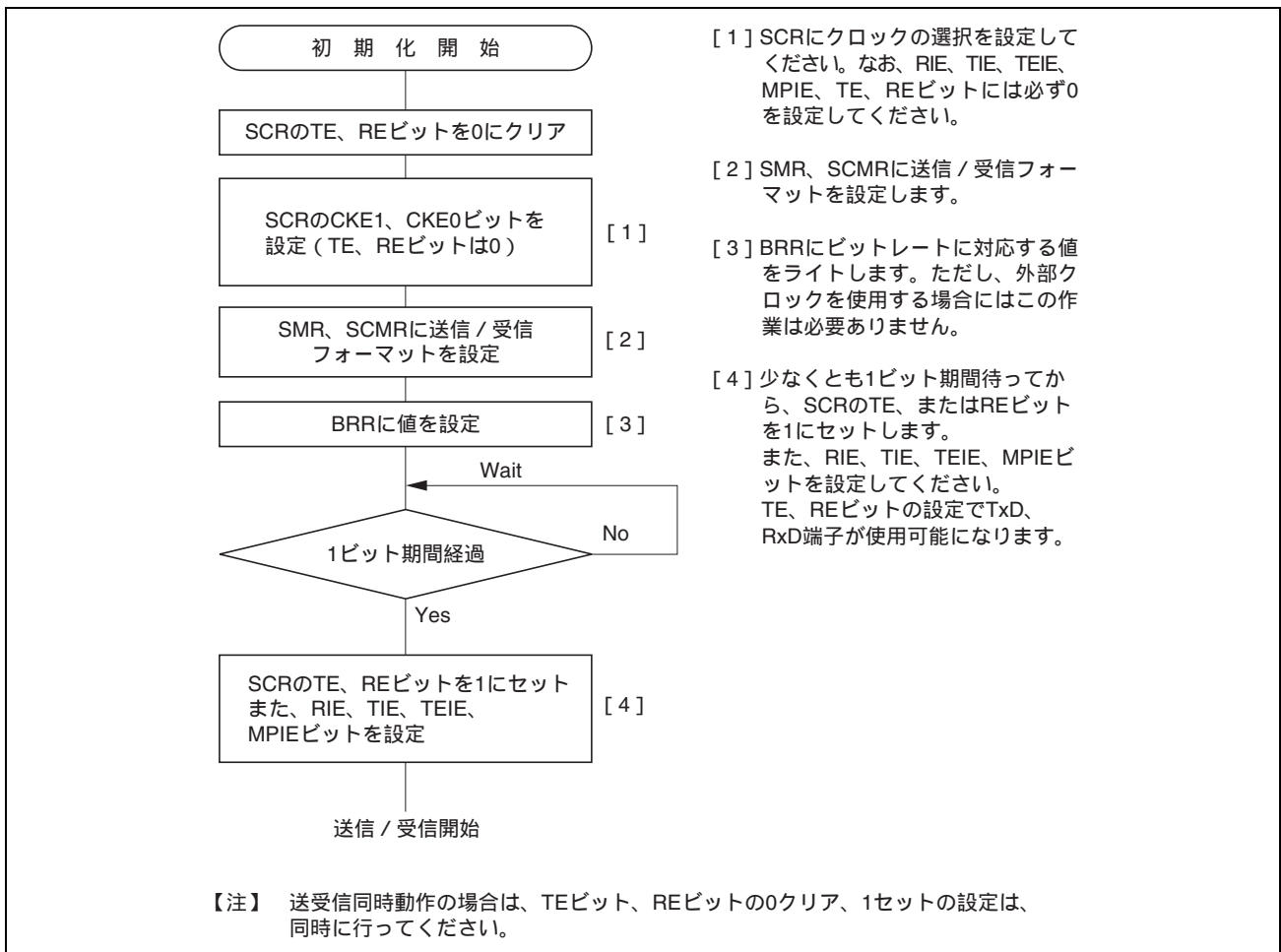


図 12.20 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 12.21 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

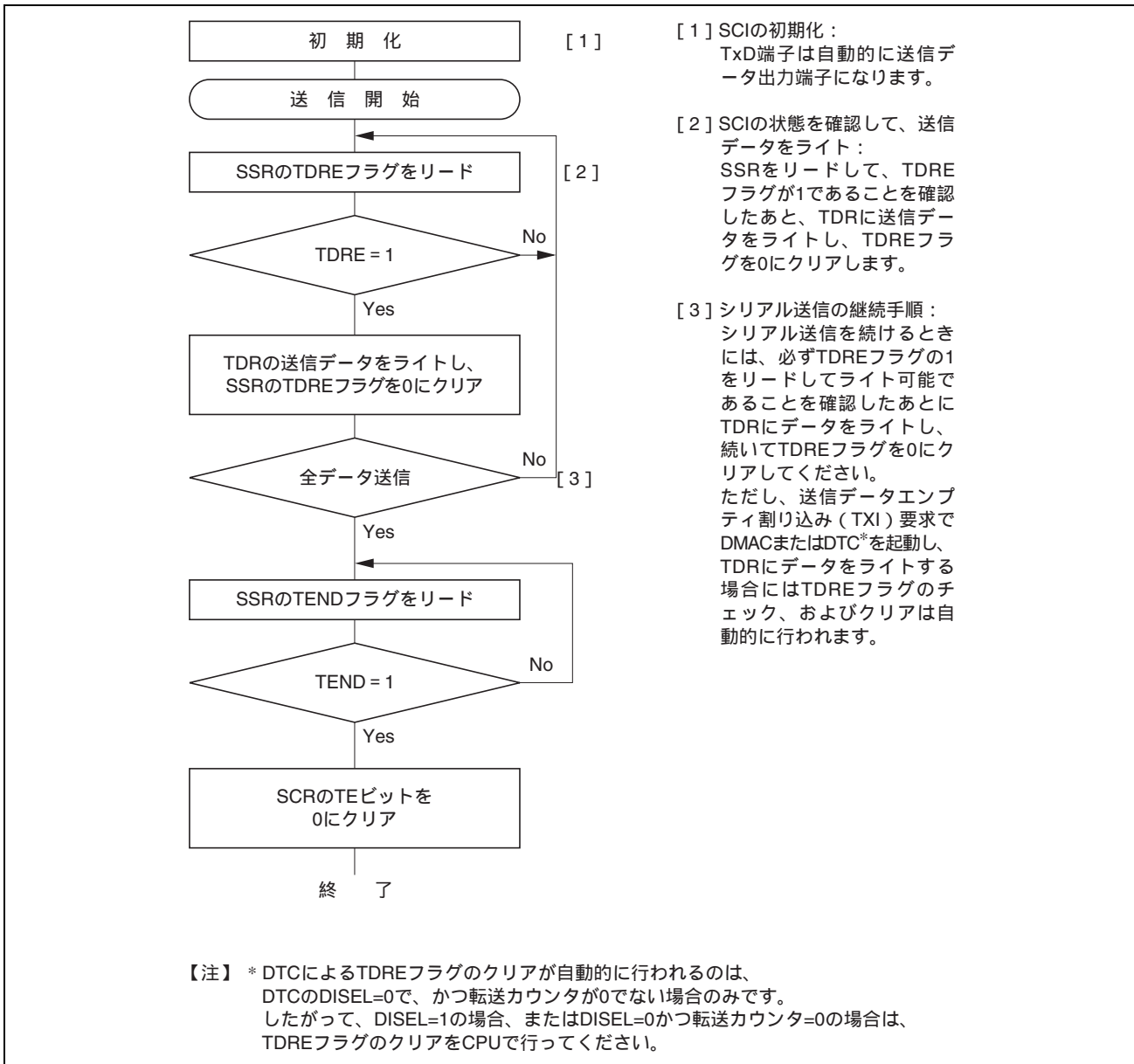


図 12.21 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンpty割り込み (TXI) 要求を発生します。クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出します。シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にTxD端子から送り出されます。
- [3] SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出したあと、TxD端子は状態を保持します。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [4] シリアル送信終了後は、SCK端子はHighレベル固定になります。

図 12.22 に SCI の送信時の動作例を示します。

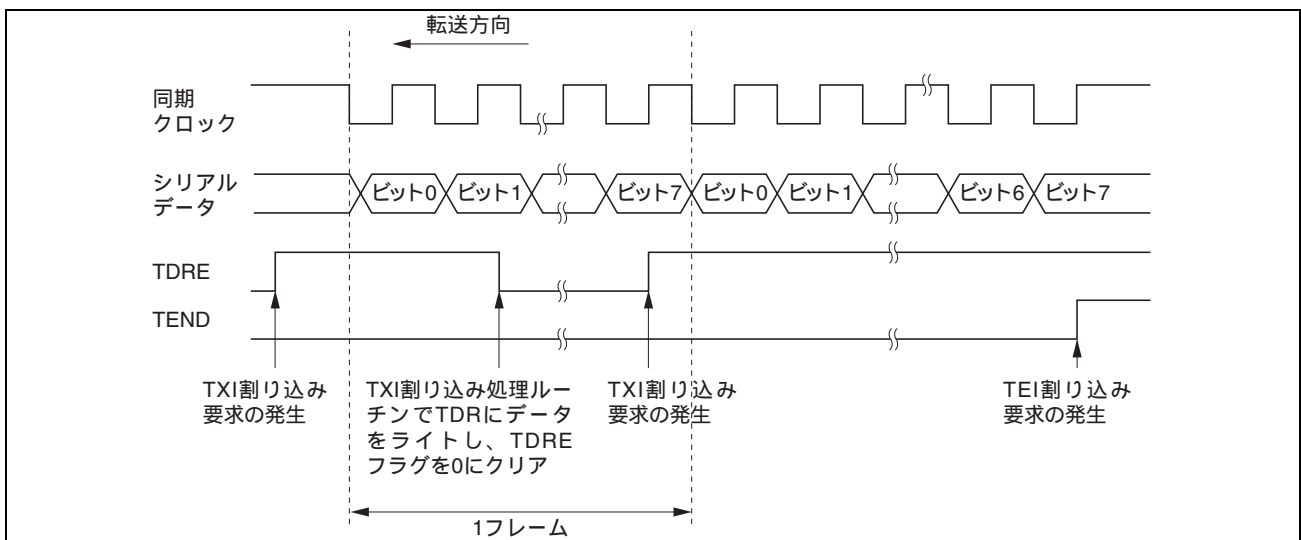


図 12.22 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 12.23 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行うことができません。

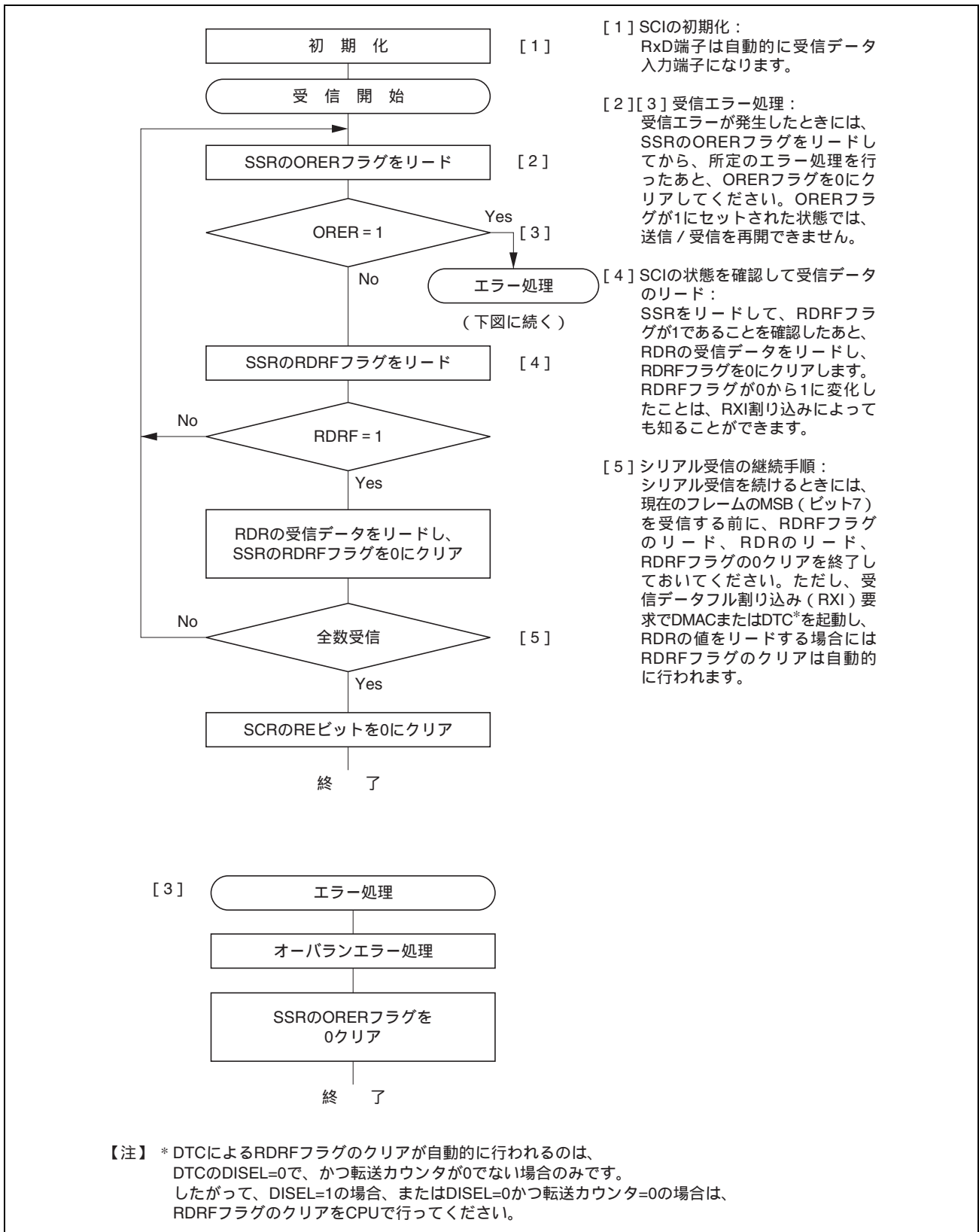


図 12.23 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- [1] SCIは同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーが発生すると、表12.12のように動作します。
エラーチェックで受信エラーが発生した状態では以後の送信動作、受信動作のいずれも行うことができません。
- [3] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 12.24 に SCI の受信時の動作例を示します。

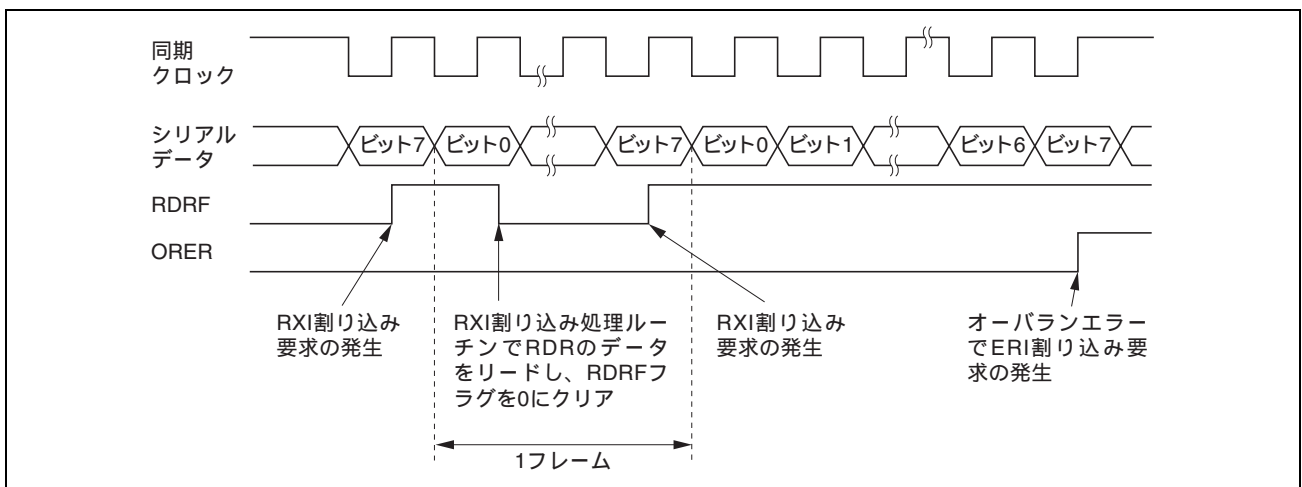
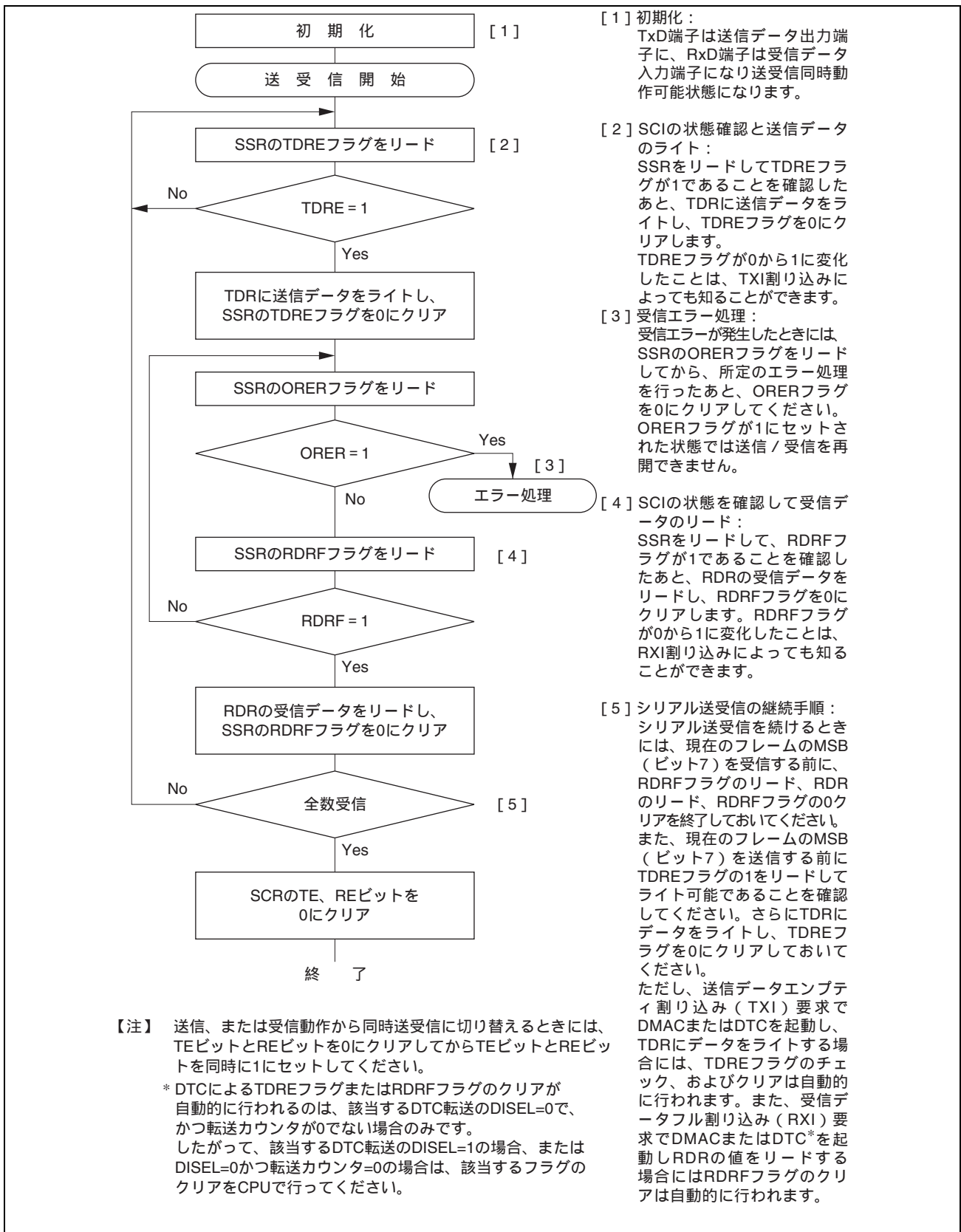


図 12.24 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 12.25 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。



- [1] 初期化：
TxD端子は送信データ出力端子に、RxD端子は受信データ入力端子になり送受信同時動作可能状態になります。
- [2] SCIの状態確認と送信データのライト：
SSRをリードしてTDREフラグが1であることを確認したあと、TDRに送信データをライトし、TDREフラグを0にクリアします。
TDREフラグが0から1に変化したことは、TXI割り込みによっても知ることができます。
- [3] 受信エラー処理：
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行ったあと、ORERフラグを0にクリアしてください。
ORERフラグが1にセットされた状態では送信 / 受信を再開できません。
- [4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRFフラグが1であることを確認したあと、RDRの受信データをリードし、RDRFフラグを0にクリアします。
RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。
- [5] シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB (ビット7)を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。
また、現在のフレームのMSB (ビット7)を送信する前にTDREフラグの1をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを0にクリアしておいてください。
ただし、送信データエンピティ割り込み (TXI) 要求でDMACまたはDTCを起動し、TDRにデータをライトする場合には、TDREフラグのチェック、およびクリアは自動的に行われます。また、受信データフル割り込み (RXI) 要求でDMACまたはDTC*を起動しRDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。

図 12.25 シリアル送受信同時動作のフローチャートの例

12.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンpty割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 12.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC または DTC を起動してデータ転送を行うことができます。TDRE フラグは DMAC または DTC* によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DMAC または DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、FER、PER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC または DTC を起動してデータ転送を行うことができます。RDRF フラグは DMAC または DTC* によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DMAC または DTC の起動はできません。

【注】* フラグのクリアが実行されるのは、DTC の DISEL=0 で、かつ転送カウンタが 0 でない場合です。

表 12.13 SCI 割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	DMAC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	高 ↑ 低
	RXI	受信データフル (RDRF) による割り込み	可	可	
	TXI	送信データエンpty (TDRE) による割り込み	可	可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	可	
	TXI	送信データエンpty (TDRE) による割り込み	可	可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
2	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	不可	
	TXI	送信データエンpty (TDRE) による割り込み	可	不可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	

【注】* リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に行われます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

12.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第17章 低消費電力状態」を参照してください。

(2) TDRへのライトとTDREフラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが1にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

(3) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表12.14のようになります。また、オーバーランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表 12.14 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバーランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバーランエラー+フレーミングエラー
1	1	0	1	x		オーバーランエラー+パリティエラー
0	0	1	1			フレーミングエラー+パリティエラー
1	1	1	1	x		オーバーランエラー+フレーミングエラー+パリティエラー

【注】 : RSR RDRに受信データを転送します。

x : RSR RDRに受信データを転送しません。

(4) ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIは、ブレークを受信したあとも受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(5) ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアしたあと、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(6) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(7) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 12.26 に示します。

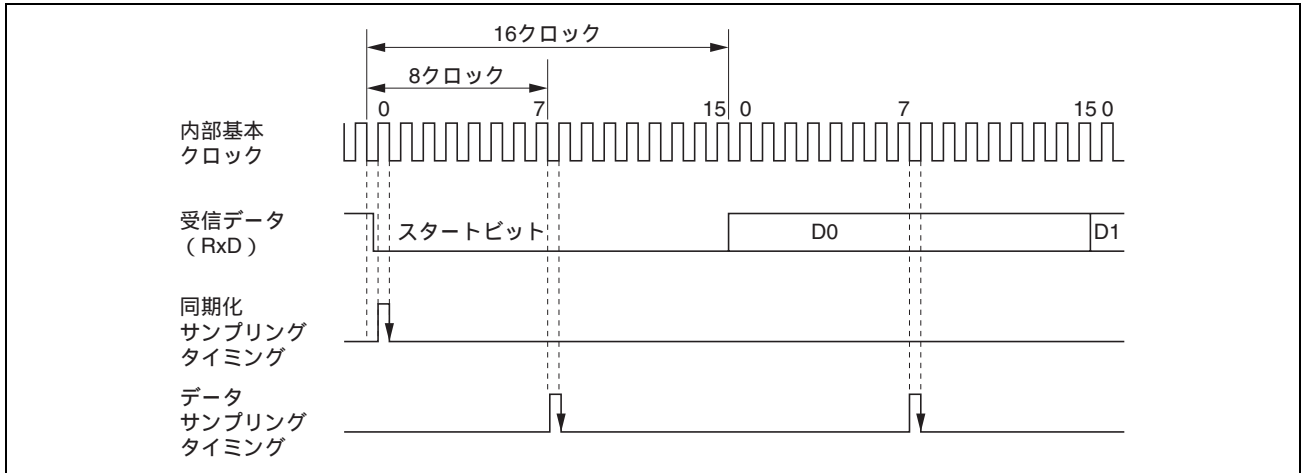


図 12.26 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| 0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

...式 (1)

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

...式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(8) DMAC または DTC 使用上の制約事項

- (a) 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、クロックで5クロック以上経過したあとに、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります(図12.27)。
- (b) DMACまたはDTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み (RXI) に設定してください。
- (c) データ転送時DTCによりフラグが自動的にクリアされるのは、DTCのDISELが0で、かつ転送カウンタが0でない場合のみです。したがって、DTCのDISEL=1の場合、またはDISEL=0かつ転送カウンタが0の場合は、CPUにてフラグクリア処理を行ってください。特に送信時はCPUにてTDREフラグをクリアしないと正しく送信されませんのでご注意ください。

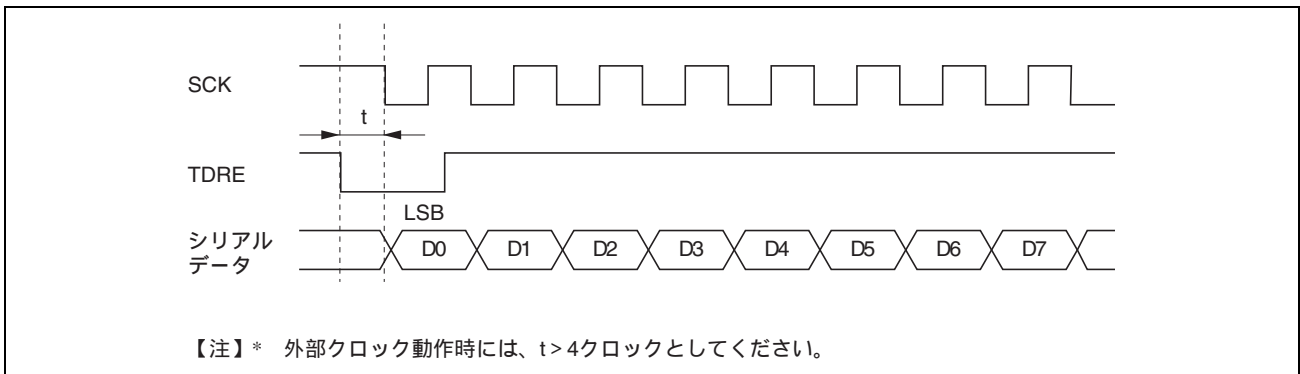


図 12.27 DTC によるクロック同期式送信時の例

(9) モード遷移時の動作について

(a) 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード遷移時には、動作を停止 (TE = TIE = TEIE = 0) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、TE = 1 に戻し、SSR リード TDR ライト TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 12.28 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 12.29、図 12.30 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードに遷移時には、動作を停止 (TE = TIE = TEIE = 0) してから行ってください。解除後 DTC による送信をする場合は TE = 1、TIE = 1 に設定すれば TXI フラグが立ち、DTC による送信が始まります。

(b) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、受信動作を停止 (RE = 0) してから行ってください。RSR、RDR および SSR はリセットされません。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE = 1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 12.31 に受信時のモード遷移フローチャートの例を示します。

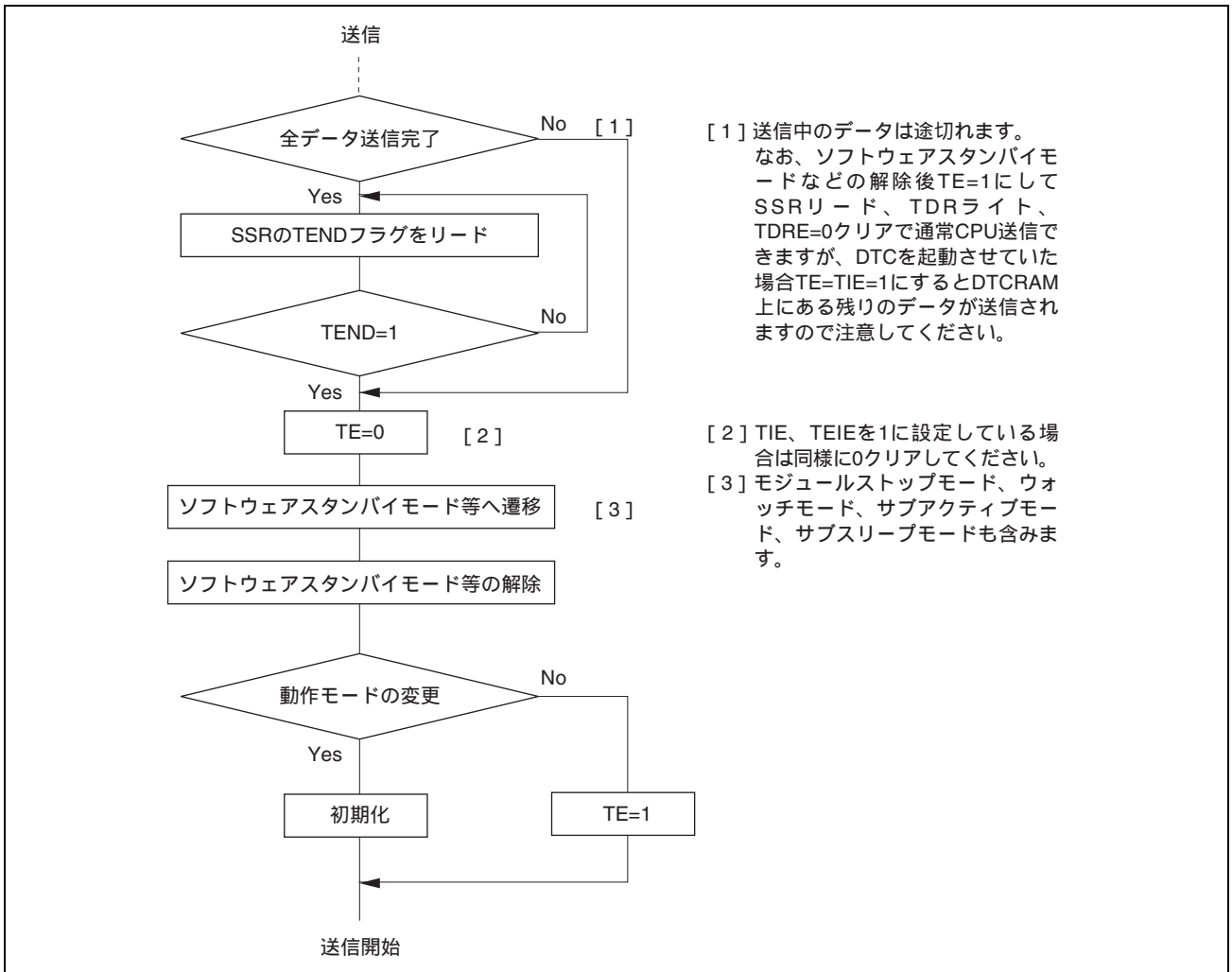


図 12.28 送信時のモード遷移フローチャートの例

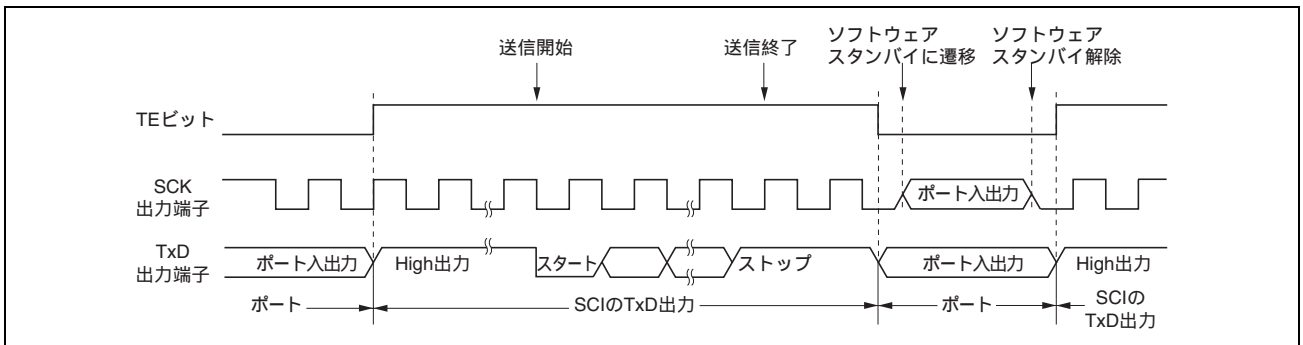


図 12.29 内部クロック、調歩同期送信の場合

12. シリアルコミュニケーションインタフェース (SCI)

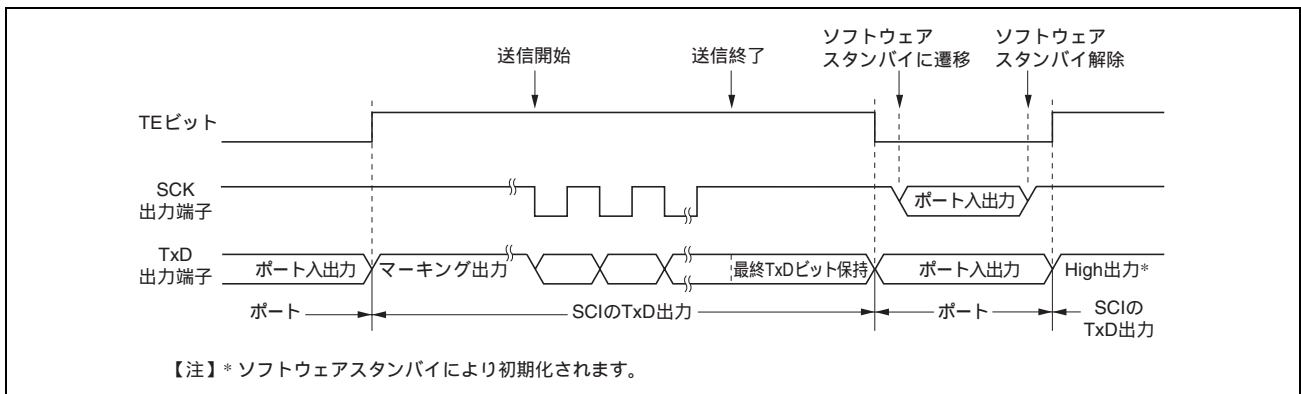


図 12.30 内部クロック、クロック同期送信の場合

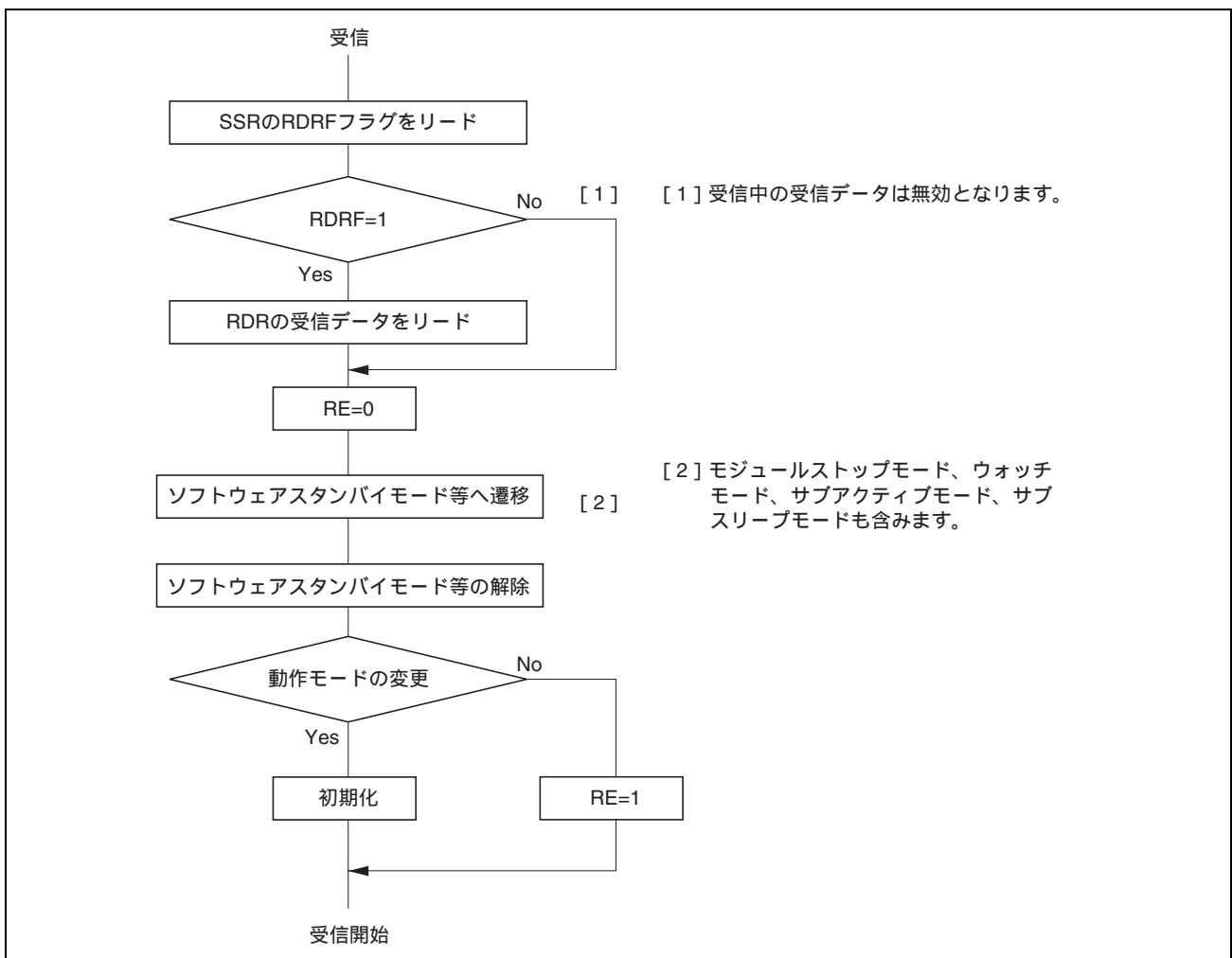


図 12.31 受信時のモード遷移フローチャートの例

(10) SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR = 1、DR = 1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1 の状態より、以下の設定でポートに切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TE ビット = "0"
3. C/\bar{A} ビット = "0" ... ポート出力に切り替え
4. Low 出力発生 (図 12.32 参照)

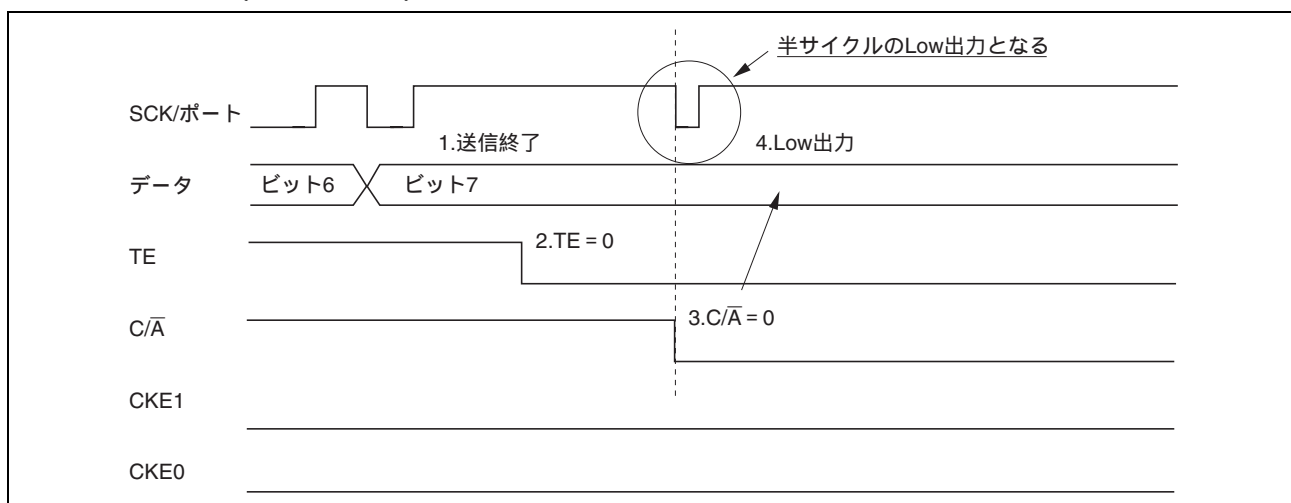


図 12.32 SCK 端子からポート端子へ切り替えるときの動作

12. シリアルコミュニケーションインタフェース (SCI)

(b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK 端子を一度入力状態にするため、あらかじめ SCK/ポート端子を外部回路で Pull-up してください。
DDR = 1、DR = 1、 $\overline{C/A}$ = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態より以下の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TE ビット = "0"
3. $\overline{C/A}$ ビット = "1"
4. $\overline{C/A}$ ビット = "0" ... ポート出力に切り替え
5. $\overline{C/A}$ ビット = "0"

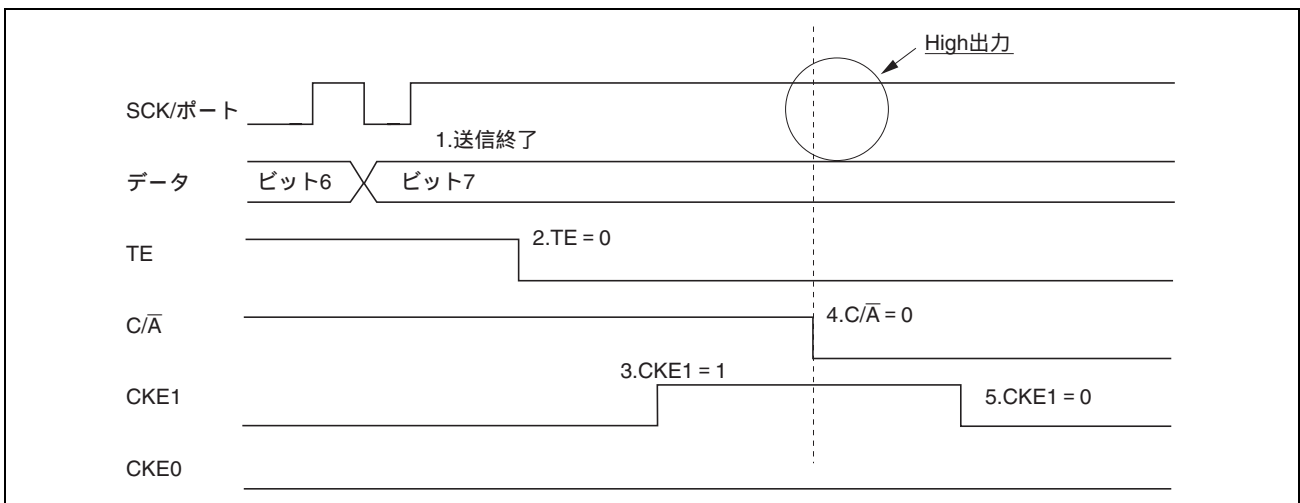


図 12.33 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

13. D/A 変換器

13.1 概要

H8S/2214 グループは、1 チャンネルの D/A 変換器を内蔵しています。

13.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

1 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ V_{ref}

ソフトウェアスタンバイモード時の D/A 出力保持機能

モジュールストップモードの設定可能

- 初期値では D/A 変換器の動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

13.1.2 ブロック図

D/A 変換器のブロック図を図 13.1 に示します。

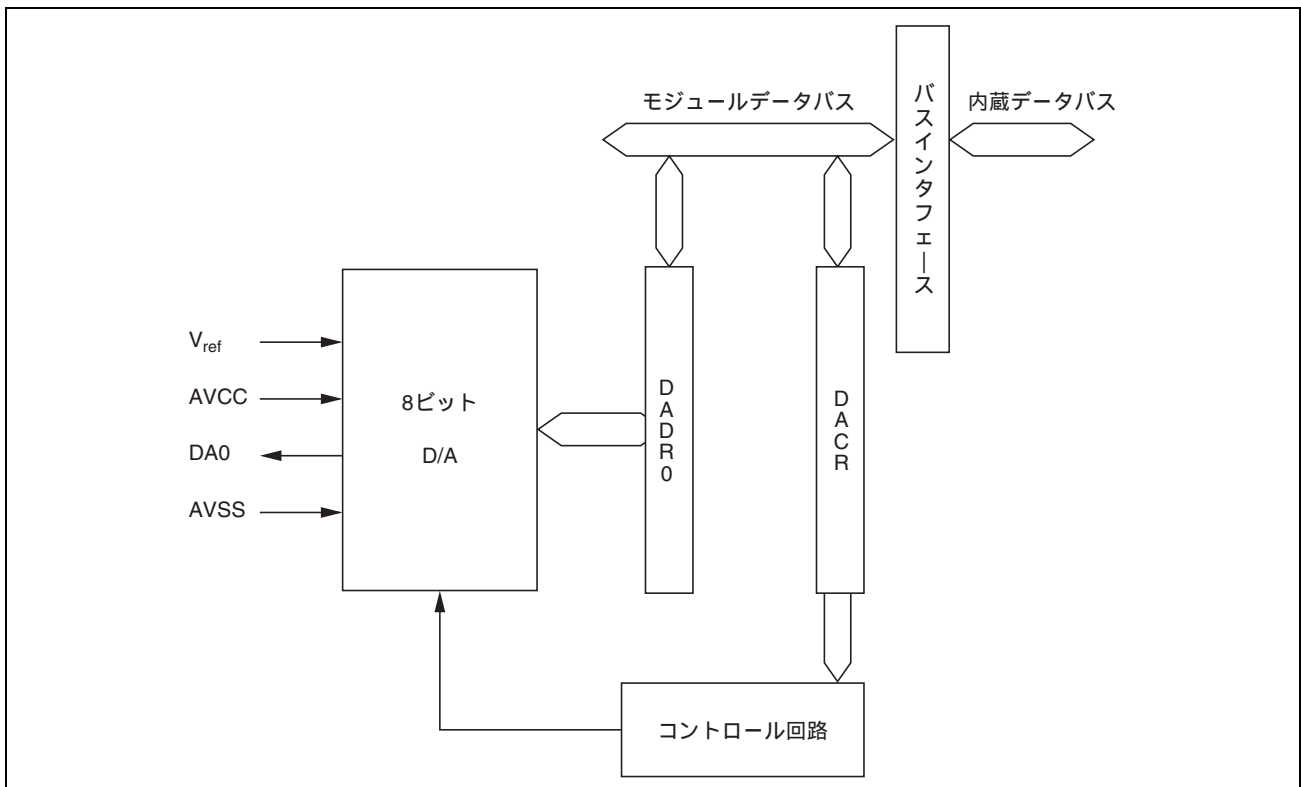


図 13.1 D/A 変換器のブロック図

13.1.3 端子構成

D/A 変換器で使用する入出力端子を表 13.1 に示します。

表 13.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
リファレンス電圧端子	Vref	入力	アナログ部の基準電圧

13.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
D/A データレジスタ 0	DADR0	R/W	H'00	H'FDAC
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FDAE
モジュールストップコントロールレジスタ C	MSTPCRC	R/W	H'FF	H'FDEA

【注】 * アドレスの下位 16 ビットを示します。

13.2 各レジスタの説明

13.2.1 D/A データレジスタ 0 (DADR0)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0 (DADR0) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

13.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	-	DAOE0	-	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	-	-	-	-	-

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

ビット 7: リザーブ

リザーブビットです。0 をライトしてください。

ビット 6: D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説明
DAOE0	
0	アナログ出力 DA0 を禁止 (初期値)
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可

ビット 5: リザーブ

リザーブビットです。0 をライトしてください。

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0 ビットを 0 にクリアして D/A 出力を禁止にしてください。

ビット 4~0: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

13.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRC は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPC5 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「17.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5：モジュールストップ (MSTPC5)

D/A 変換器のモジュールストップモードを指定します。

ビット 5	説 明
MSTPC5	
0	D/A 変換器のモジュールストップモード解除
1	D/A 変換器のモジュールストップモード設定 (初期値)

13.3 動作説明

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0 を書き換えると、直ちに新しいデータが変換されます。DAOE0 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 13.2 に示します。

- [1] DADR0 に変換データをライトします。
- [2] DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- [3] DADR0 を書き換えると直ちに変換が開始されます。変換時間経過後に変換結果が出力されます。
- [4] DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

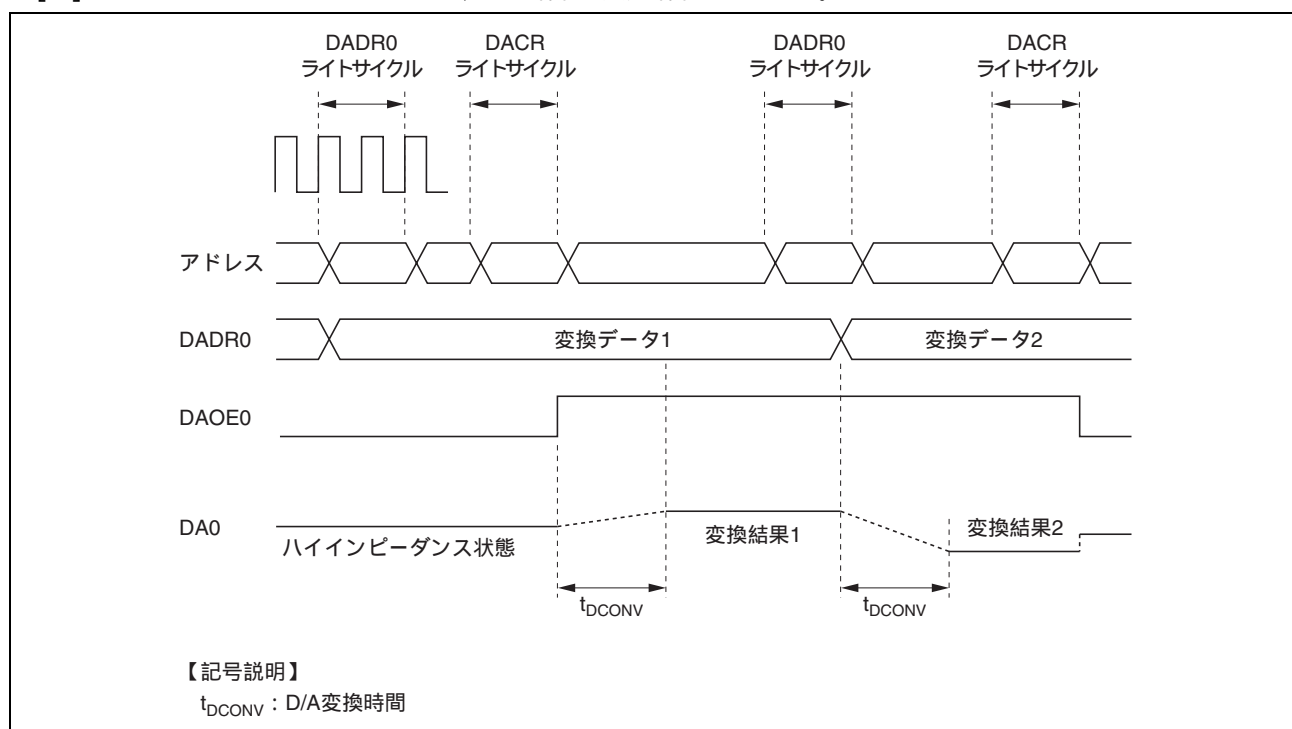


図 13.2 D/A 変換器の動作例

14. RAM

14.1 概要

H8S/2214 グループは 12K バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

14.1.1 ブロック図

RAM のブロック図を図 14.1 に示します。

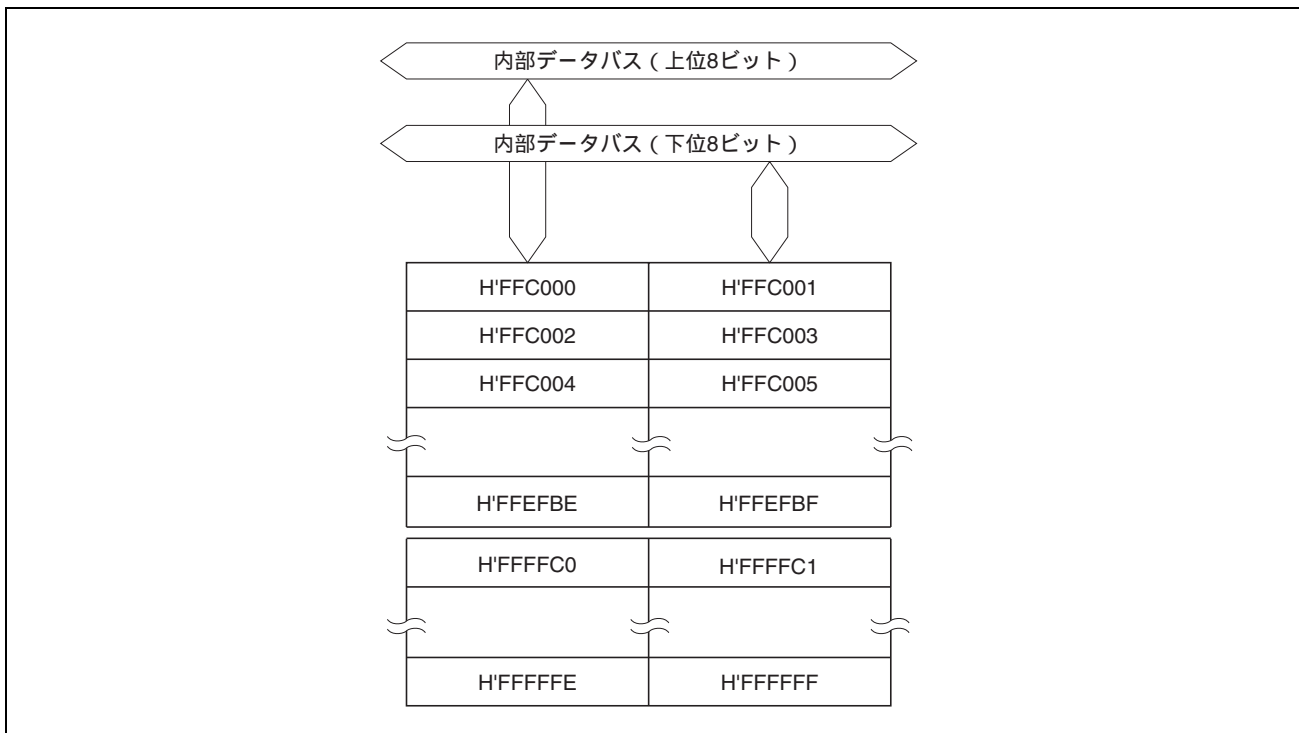


図 14.1 RAM のブロック図

14.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 14.1 に示します。

表 14.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5

【注】 * アドレスの下位 16 ビットを示しています。

14.2 各レジスタの説明

14.2.1 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値：	0	0	0	0	0	0	0	1
R/W：	-	-	R/W	R/W	R/W	R/W	-	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効/無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 0：RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

14.3 動作説明

RAME ビットが 1 にセットされているとき、アドレス H'FFC000 ~ H'FFEFBF、H'FFF000 ~ H'FFFFFF をアクセスすると、内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも 1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

14.4 使用上の注意

アドレス H'FFEB00 ~ H'FFEFBF は DTC のレジスタ情報を配置することができます。DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

15. ROM

15.1 概要

H8S/2214 グループは 128K バイトの ROM (フラッシュメモリまたはマスク ROM) を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD2、MD1、MD0) により行います。

フラッシュメモリ版は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

15.1.1 ブロック図

ROM のブロック図を図 15.1 に示します。

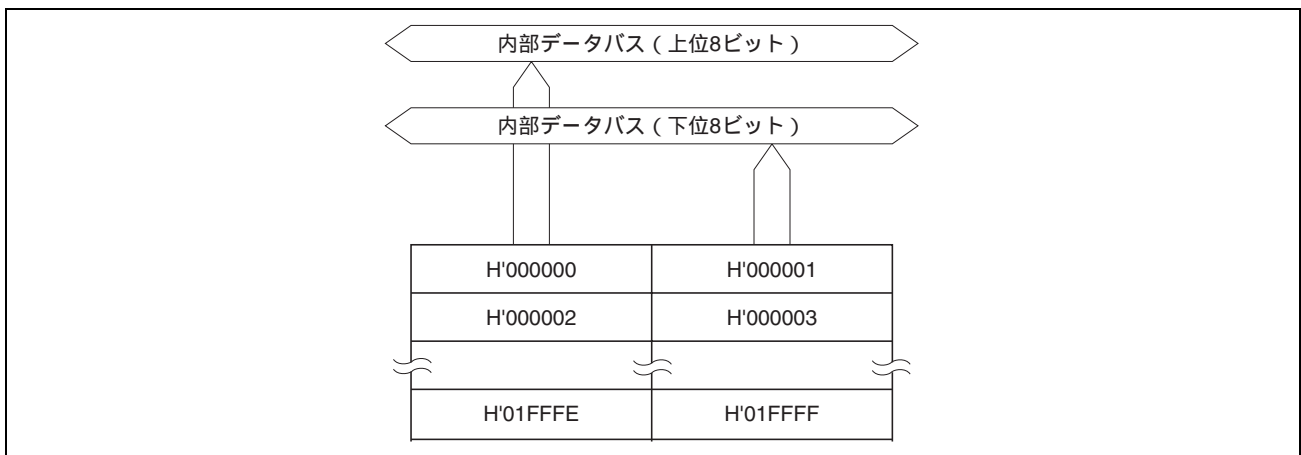


図 15.1 ROM のブロック図

15.1.2 レジスタ構成

H8S/2214 グループの動作モードは、モード端子で制御されます。レジスタ構成を表 15.1 に示します。

表 15.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FDE7

【注】 * アドレスの下位 16 ビットを示しています。

15.2 レジスタの説明

15.2.1 モードコントロールレジスタ (MDCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値:	1	0	0	0	0	- *	- *	- *
R/W :	-	-	-	-	-	R	R	R

【注】 * MD2～MD0端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット 7: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6～3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2～0: モードセレクト 2～0 (MDS2～MDS0)

モード端子 (MD2～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2～MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

15.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD2、MD1、MD0) により行います。この設定を表 15.2 に示します。

表 15.2 動作モードと ROM (F-ZTAT 版、マスク ROM 版)

	動作モード	モード端子				内蔵 ROM
		FWE	MD2	MD1	MD0	
モード 0	-	0	0	0	0	-
モード 1				1		
モード 2				0	1	
モード 3				1	1	
モード 4	アドバンスト・内蔵 ROM 無効拡張モード	1	0	0	0	無効
モード 5	アドバンスト・内蔵 ROM 無効拡張モード			1		
モード 6	アドバンスト・内蔵 ROM 有効拡張モード			0	1	
モード 7	アドバンスト・シングルチップモード			1	1	
モード 8	-	1	0	0	0	-
モード 9				1		
モード 10	ブートモード (アドバンスト・内蔵 ROM 有効拡張モード) * ¹			0	1	
モード 11	ブートモード (アドバンスト・シングルチップモード) * ²			1	1	
モード 12	-	1	0	0	0	-
モード 13				1		
モード 14	ユーザプログラムモード (アドバンスト・内蔵 ROM 有効拡張モード) * ¹			0	1	
モード 15	ユーザプログラムモード (アドバンスト・シングルチップモード) * ²			1	1	

【注】 *¹ フラッシュメモリの消去・書き換えが可能である以外はアドバンスト・内蔵 ROM 有効拡張モードと同等の動作となります。

*² フラッシュメモリの消去・書き換えが可能である以外はアドバンスト・シングルチップモードと同等の動作となります。

15.4 フラッシュメモリの概要

15.4.1 特長

HD64F2214 は 128K バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの 4 種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

書き込み / 消去方式

書き込みは 128 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。複数ブロックを消去する場合は、必ず各ブロック単位に順次行ってください。ブロック分割消去では 1K バイト、8K バイト、16K バイト、28K バイト、32K バイトのブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 40ms(typ.), 1 バイトあたり換算にて 320 μ s(typ.), 消去時間は、20ms / ブロック (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、min100 回可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う 2 種類のモードがあります。

- ブートモード
- ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせるすることができます。

RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの 2 種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外に PROM ライタを用いたライターモードがあります。

15.4.2 ブロック図

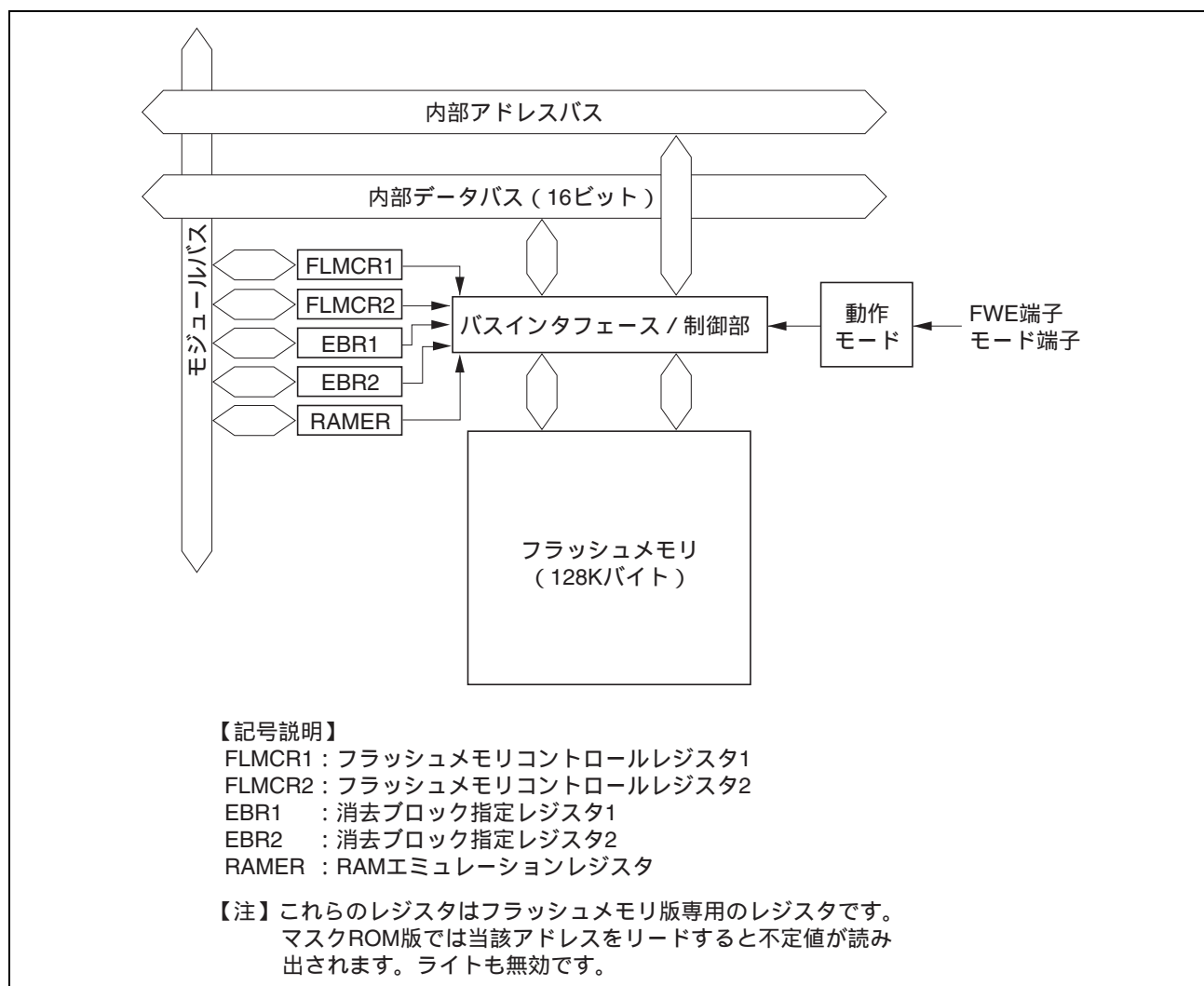


図 15.2 フラッシュメモリのブロック図

15.4.3 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 15.3 に示すような各動作モードへ遷移します。ユーザモードとユーザプログラムモード間の遷移は CPU がフラッシュメモリをアクセスしていない状態で行ってください。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

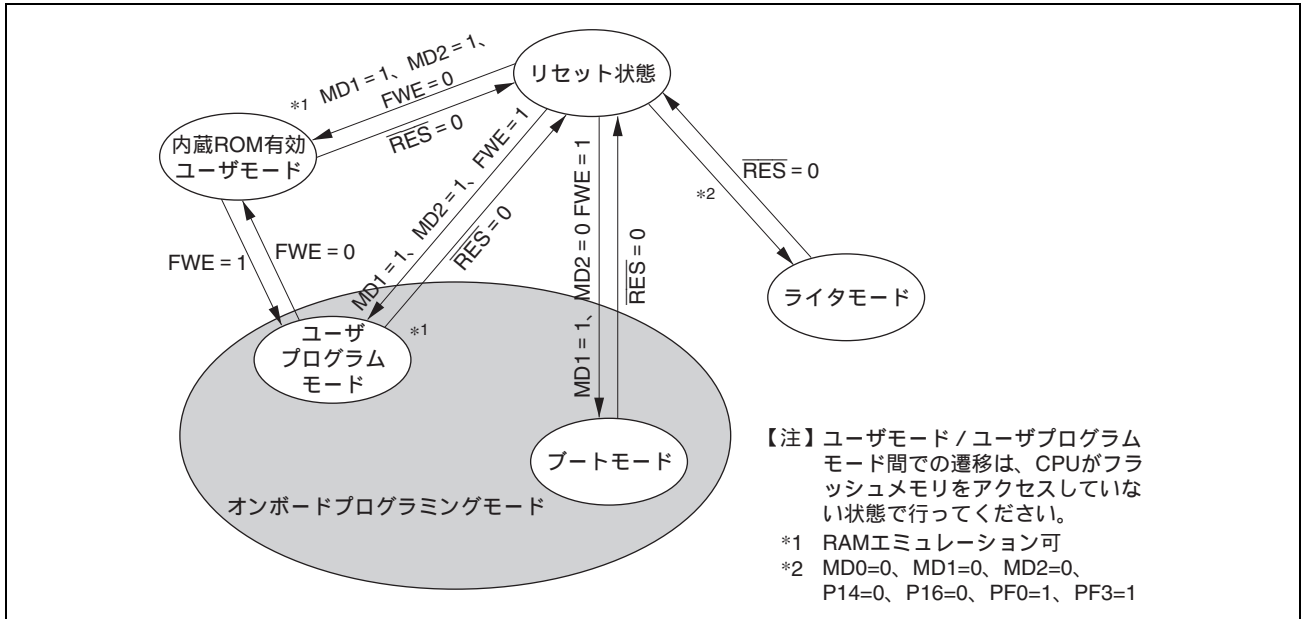
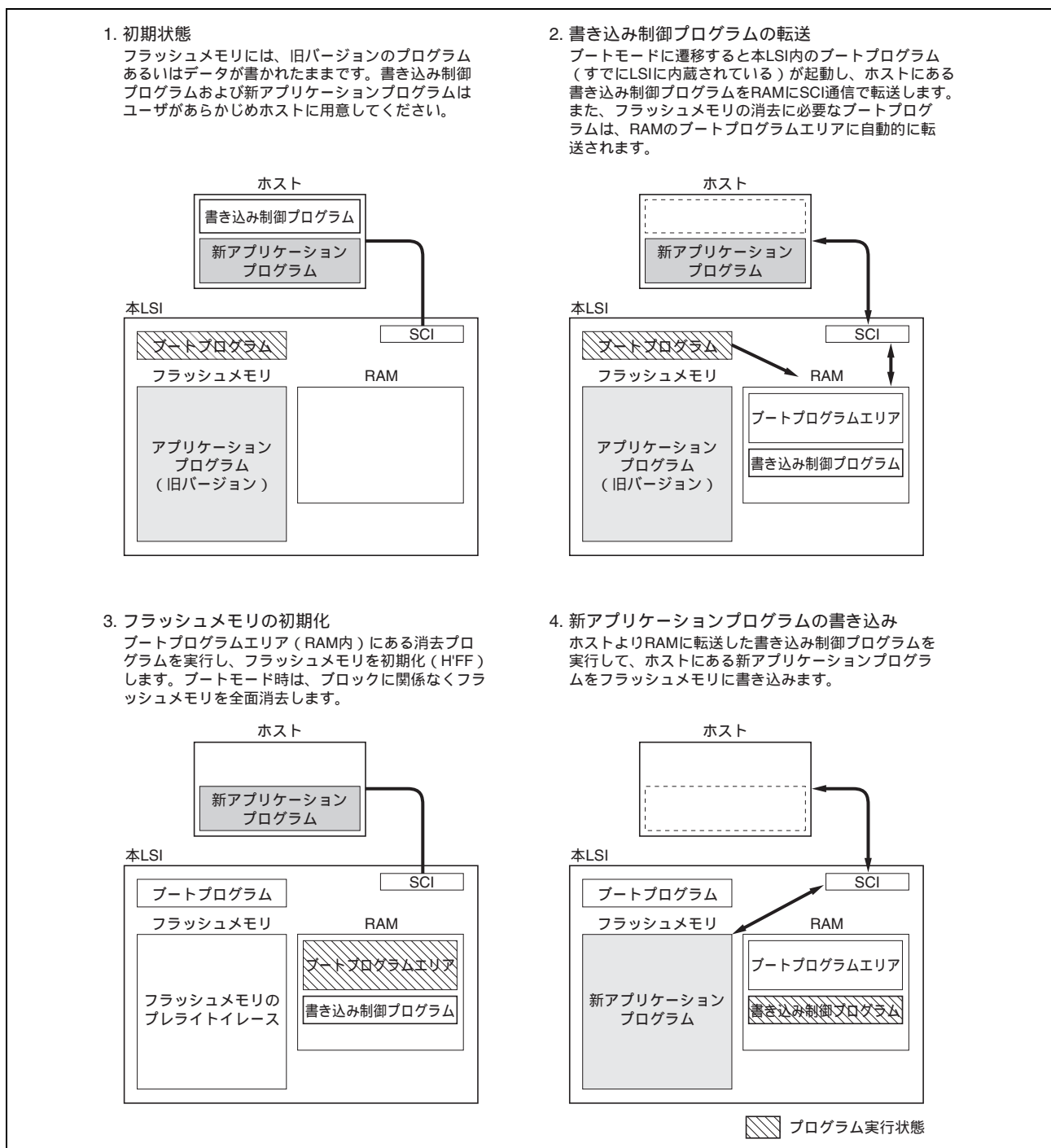


図 15.3 フラッシュメモリに関する状態遷移

15.4.4 オンボードプログラミングモード

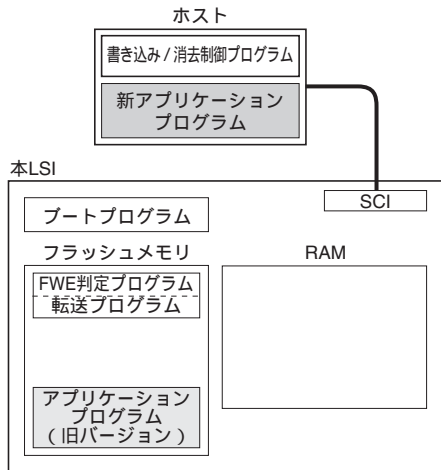
(1) ブートモード



(2) ユーザプログラムモード

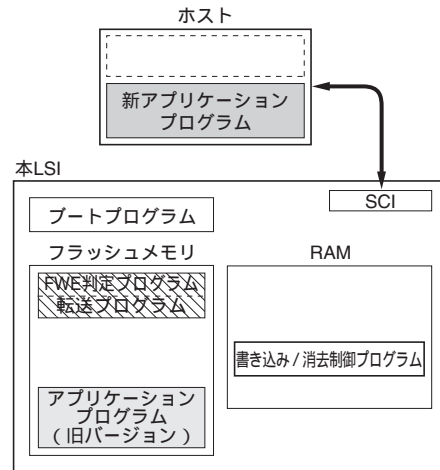
1. 初期状態

(1) ユーザプログラムモードに移移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み / 消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み / 消去制御プログラムはホストまたはフラッシュメモリに用意してください。



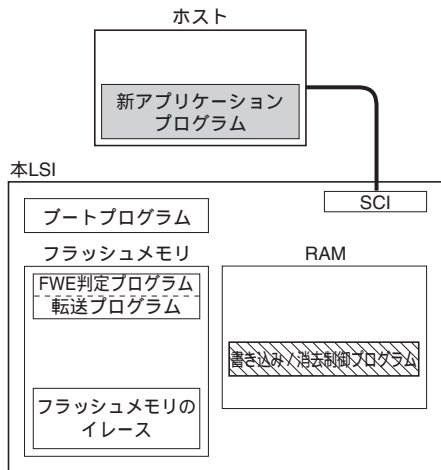
2. 書き込み / 消去制御プログラムの転送

ユーザプログラムモードに移移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み / 消去制御プログラムをRAMに転送します。



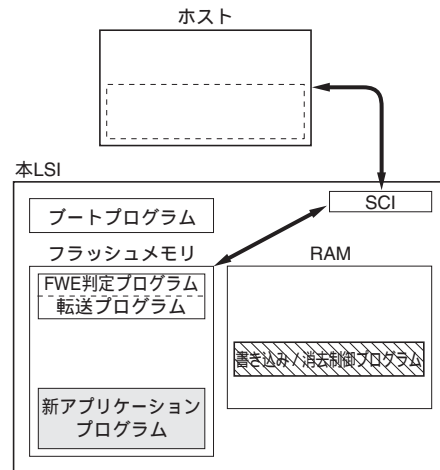
3. フラッシュメモリの初期化

RAM上の書き込み / 消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. 新アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 15.5 ユーザプログラムモード

15.4.5 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

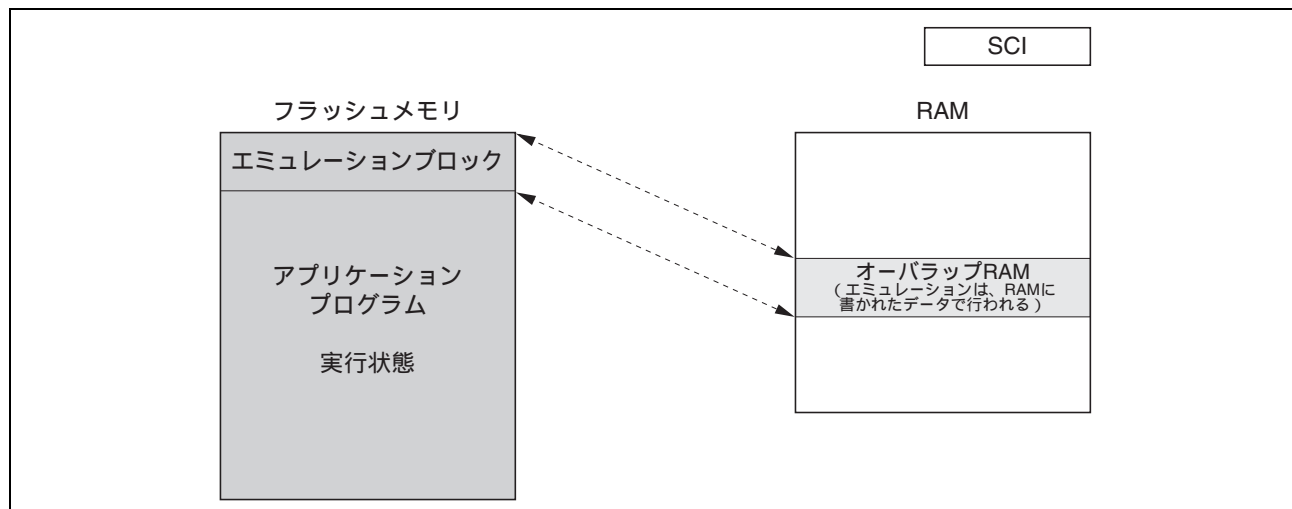


図 15.6 ユーザモードユーザプログラムモードのオーバーラップ RAM データの読み出し

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

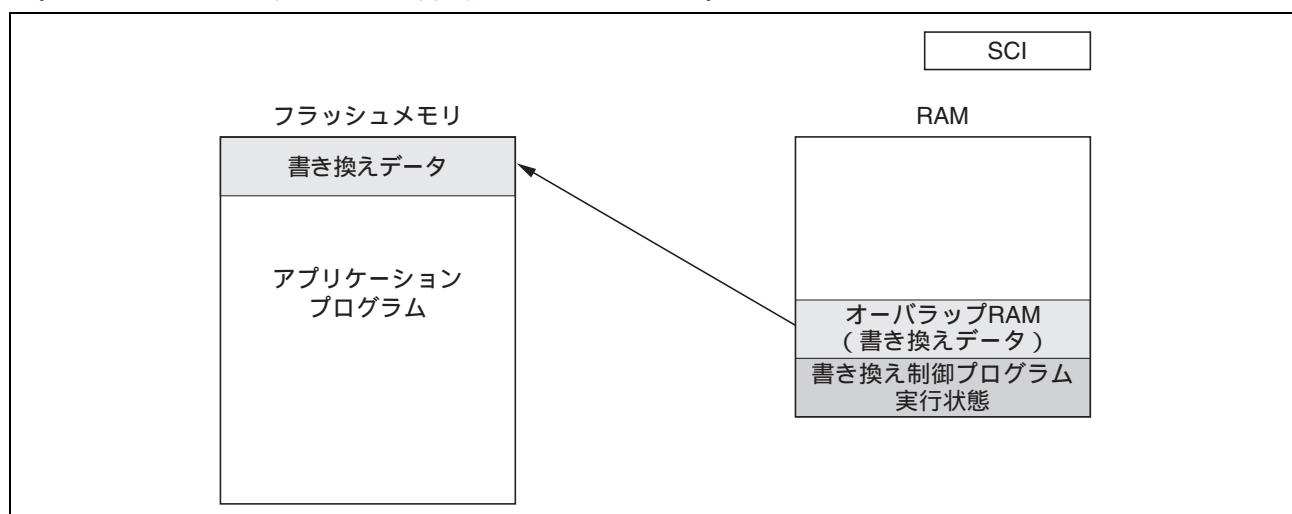


図 15.7 ユーザプログラムモードのオーバーラップ RAM データの書き込み

15.4.6 ブートモードとユーザプログラムモードの相違点

表 15.3 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイエミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

15.4.7 ブロック分割法

32K バイト (2 ブロック)、28K バイト (1 ブロック)、16K バイト (1 ブロック)、8K バイト (2 ブロック)、1K バイト (4 ブロック) に分割されています。

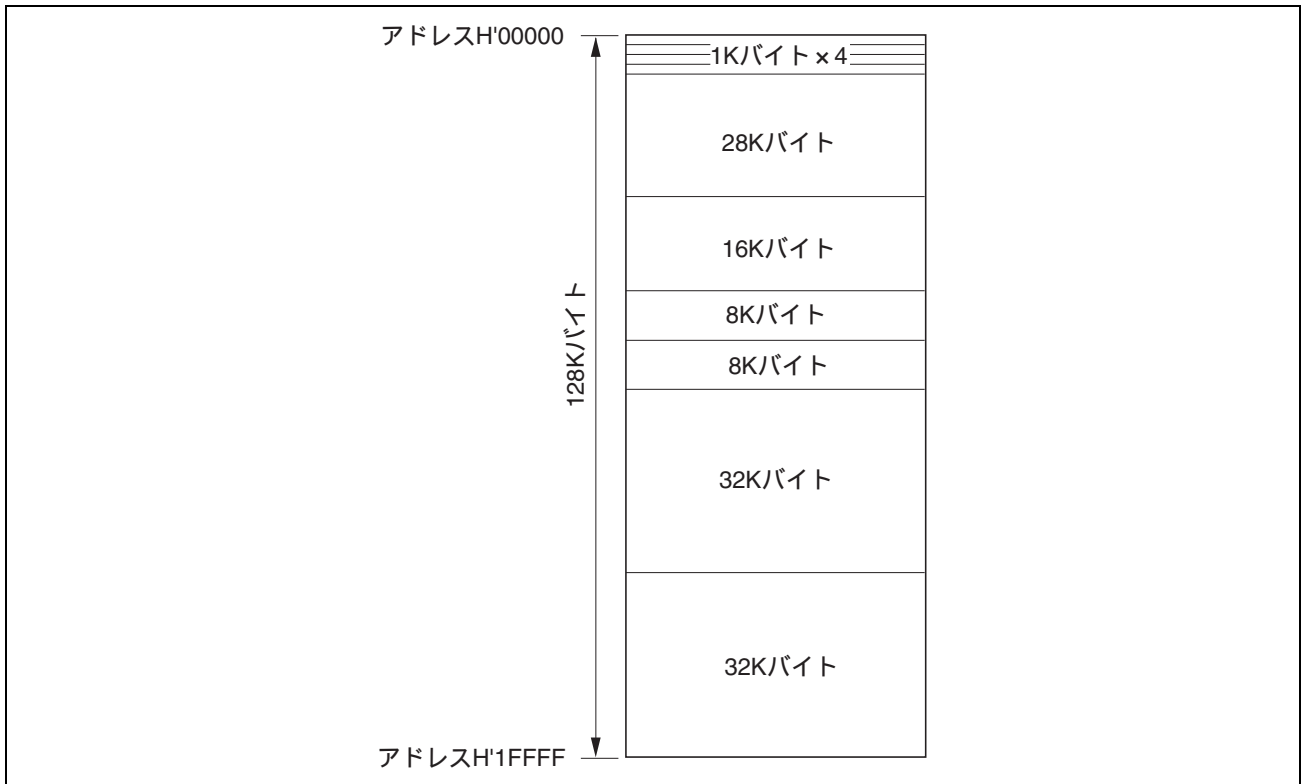


図 15.8 フラッシュメモリのブロック分割

15.5 端子構成

フラッシュメモリは表 15.4 に示す端子により制御されます。

表 15.4 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	動作モードを設定
モード 1	MD1	入力	動作モードを設定
モード 0	MD0	入力	動作モードを設定
ポート F3	PF3	入力	MD2 = MD1 = MD0 = 0 の場合に、ライトモードの動作モードを設定
ポート F0	PF0	入力	MD2 = MD1 = MD0 = 0 の場合に、ライトモードの動作モードを設定
ポート 16	P16	入力	MD2 = MD1 = MD0 = 0 の場合に、ライトモードの動作モードを設定
ポート 14	P14	入力	MD2 = MD1 = MD0 = 0 の場合に、ライトモードの動作モードを設定
トランスミットデータ	TxD2	出力	シリアル送信データ出力
レシーブデータ	RxD2	入力	シリアル受信データ入力

15.6 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 15.5 に示します。本レジスタをアクセスするためには、SCRX の FLSHE ビットを 1 にセットする必要があります (RAMER、SCRX を除く)。

表 15.5 レジスタ構成

名称	略称	R/W	初期値	アドレス ^{*1}
フラッシュメモリコントロールレジスタ 1	FLMCR1 ^{*5}	R/W ^{*2}	H'00 ^{*3}	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2 ^{*5}	R ^{*2}	H'00	H'FFA9
消去ブロック指定レジスタ 1	EBR1 ^{*5}	R/W ^{*2}	H'00 ^{*4}	H'FFAA
消去ブロック指定レジスタ 2	EBR2 ^{*5}	R/W ^{*2}	H'00 ^{*4}	H'FFAB
RAM エミュレーションレジスタ	RAMER ^{*5}	R/W	H'00	H'FEDB
シリアルコントロールレジスタ X	SCRX	R/W	H'00	H'FDB4

【注】 *1 アドレス下位 16 ビットを示しています。

*2 これらのレジスタをアクセスするには「シリアルコントロールレジスタ X」の FLSHE ビットに 1 を設定してください。FLSHE = 1 に設定してある場合でも内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。

*3 FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*4 FWE 端子にローレベルが入力されているとき、あるいはハイレベルが入力されていても FLMCR1 の SWE1 ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR1、EBR2、RAMER は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。また、これらのレジスタはフラッシュメモリ版専用のレジスタです。マスク ROM 版では当該アドレスをリードすると不定値が読み出されます。ライトも無効です。

15.7 レジスタの説明

15.7.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値：	- *	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * FWE端子の状態により決定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000 ~ H'1FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE1 ビットをセット後、PV1 ビットまたは EV1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対して、プログラムモードへ遷移させるには、FWE=1 時に、SWE1 ビットをセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対してイレースモードへ遷移するには、FWE=1 時に、SWE1 ビットをセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子にハイレベルが入力されているときの初期値は H'80 です。ローレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE1 ビットへの書き込みは FWE=1 のとき、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE=1、SWE1=1 のとき、E1 ビットへの書き込みは FWE=1、SWE1=1、ESU1=1 のとき、P1 ビットへの書き込みは FWE=1、SWE1=1、PSU1=1 のときのみ有効です。

ビット 7: フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット 6: ソフトウェアライトイネーブルビット 1 (SWE1)

フラッシュメモリの書き込み / 消去の有効または無効を選択するビットです (ビット 5~0、EBR1 の 7~0 ビット、EBR2 の 3~0 ビットをセットするときにセットしてください)。

ビット 6	説明
SWE1	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] • FWE=1 のとき

ビット 5: イレースセットアップビット 1 (ESU1)

イレースモードへの遷移の準備をするビットです。FLMCR1 の E1 ビットを 1 にセットする前に 1 にセットしてください (SWE1、PSU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット 5	説明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] • FWE=1、SWE1=1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです。FLMCR1のP1ビットを1にセットする前に1にセットしてください (SWE1、ESU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット4	説明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] • FWE=1、SWE1=1のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット3	説明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] • FWE=1、SWE1=1のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、E1、P1ビットを同時に設定しないでください)。

ビット2	説明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] • FWE=1、SWE1=1のとき

ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、PV1、P1ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] • FWE=1、SWE1=1、ESU1=1のとき

ビット0：プログラム (P1)

プログラムモードへの遷移、解除を選択するビットです (SWE1、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] • FWE=1、SWE1=1、PSU1=1 のとき

15.7.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FLMCR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

【注】FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER=1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト) が無効 [クリア条件] • パワーオンリセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト) が有効 [セット条件] • 「15.10.3 エラープロテクト」参照

ビット6~0：リザーブビット

リザーブビットです。読み出すと常に 0 が読み出されます。

15.7.3 消去ブロック指定レジスタ 1 (EBR1)

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、および FWE 端子にハイレベルが入力されていても FLMCR1 の SWE1 ビットが設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 とあわせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 15.6 を参照してください。

15.7.4 消去ブロック指定レジスタ 2 (EBR2)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子にローレベルが入力されているとき、H'00 に初期化されます。また FWE 端子にハイレベルが入力されていても、FLMCR1 の SWE1 ビットが設定されていないときはビット 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります (それ以外のブロックは、消去プロテクト状態になります)。EBR2 は EBR1 とあわせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。ビット 7~2 はリザーブビットです。書き込み時は必ず 0 をライトしてください。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 15.6 を参照してください。

表 15.6 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (1K バイト)	H'000000 ~ H'0003FF
EB1 (1K バイト)	H'000400 ~ H'0007FF
EB2 (1K バイト)	H'000800 ~ H'000BFF
EB3 (1K バイト)	H'000C00 ~ H'000FFF
EB4 (28K バイト)	H'001000 ~ H'007FFF
EB5 (16K バイト)	H'008000 ~ H'00BFFF
EB6 (8K バイト)	H'00C000 ~ H'00DFFF
EB7 (8K バイト)	H'00E000 ~ H'00FFFF
EB8 (32K バイト)	H'010000 ~ H'017FFF
EB9 (32K バイト)	H'018000 ~ H'01FFFF

15.7.5 RAM エミュレーションレジスタ (RAMER)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	-	RAM1	RAM0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに H'00 に初期化されます。マニュアルリセット、または、ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリエリアの分割法は、表 15.7 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット 7~5: リザーブビット

読み出すと常に 0 が読み出されます。

ビット 4: リザーブビット

リザーブビットです。書き込み時は必ず 0 をライトしてください。

ビット 3: RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット 3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット 2: リザーブビット

リザーブビットです。書き込み時は必ず 0 をライトしてください。

ビット 1、0: フラッシュメモリエリア選択

ビット 3 とともに使用し、RAM と重ね合わせるフラッシュメモリのエリアを選択します。(表 15.7 参照)

表 15.7 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM1	RAM0
H'FFD000 ~ H'FFD3FF	RAM エリア 1K バイト	0	*	*
H'000000 ~ H'0003FF	EB0 (1K バイト)	1	0	0
H'000400 ~ H'0007FF	EB1 (1K バイト)			1
H'000800 ~ H'000BFF	EB2 (1K バイト)		1	0
H'000C00 ~ H'000FFF	EB3 (1K バイト)			1

【記号説明】

* : Don't care

15.7.6 シリアルコントロールレジスタ X (SCRX)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	FLSHE	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCRXは8ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、内蔵フラッシュメモリの制御(F-ZTAT版の場合)を行います。

SCRX はリセットまたはハードウェアスタンバイモード時の H'00 に初期化されます。

ビット7~4: リザーブビット

リザーブビットです。0をライトしてください。

ビット3: フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。FLSHE ビットを1にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説明
FLSHE	
0	アドレス H'FFFA8 ~ H'FFFAC のエリアはフラッシュ制御レジスタを非選択 (初期値)
1	アドレス H'FFFA8 ~ H'FFFAC のエリアはフラッシュ制御レジスタを選択

ビット2~0: リザーブビット

リザーブビットです。0をライトしてください。

15.8 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 15.8 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 15.3 を参照してください。

表 15.8 オンボードプログラミングモードの設定方法

モード名		FWE	MD2	MD1	MD0
ブートモード	拡張モード	1	0	1	0
	シングルチップモード		0	1	1
ユーザプログラムモード	拡張モード	1	1	1	0
	シングルチップモード		1	1	1

15.8.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

HD64F2214 の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります(フラッシュメモリの書き込みを行います)。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。メモリセルが正常に動作せず消去できなかった場合、消去エラーとして H'FF を 1 バイト送信し、消去動作とそれ以降の動作を停止します。ブートモードへの遷移時またはブートモードからの他のモードへ遷移する場合は、RES 入力によるモード切り替えが必要です。この切り替え期間 (RES 端子に Low レベルを入力している期間) は、アドレス兼用ポートおよびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{WR}) の状態が変化します。このため、この切り替え期間中はこれらの端子を出力信号として使用しないようにしてください。

図 15.9 にブートモード時のシステム構成図、図 15.10 にブートモード実行手順を示します。

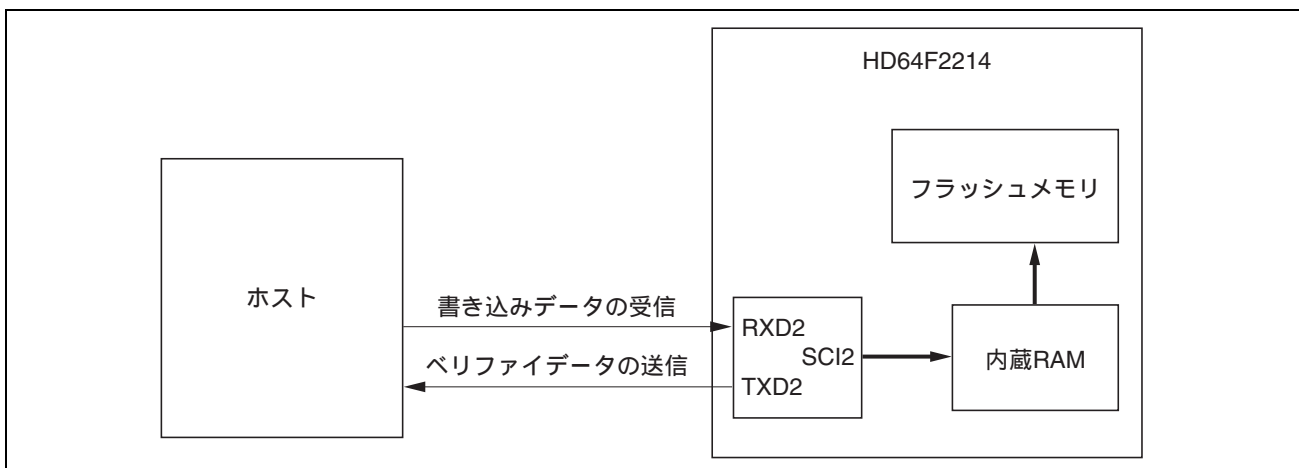


図 15.9 ブートモード時のシステム構成図

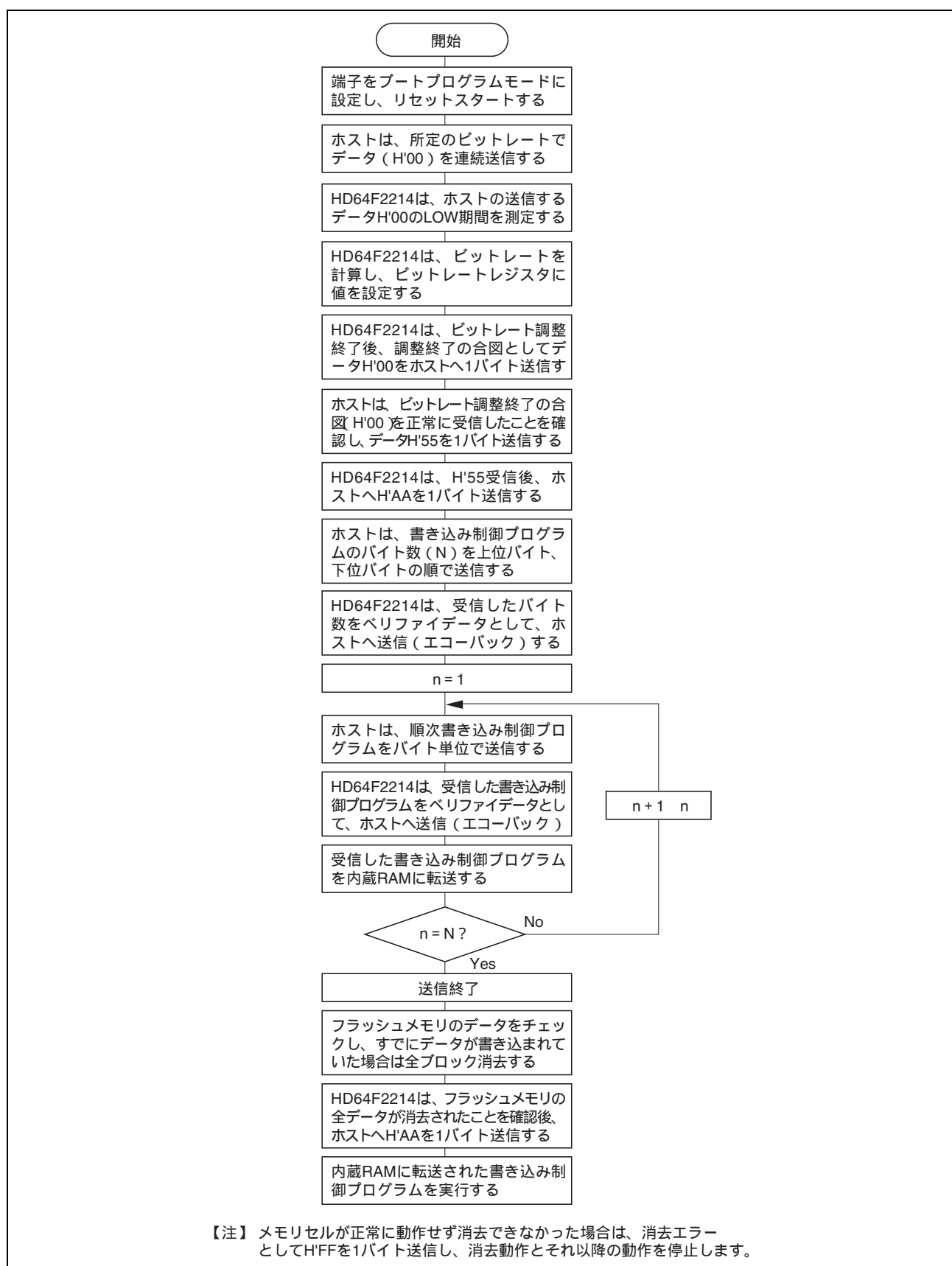


図 15.10 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

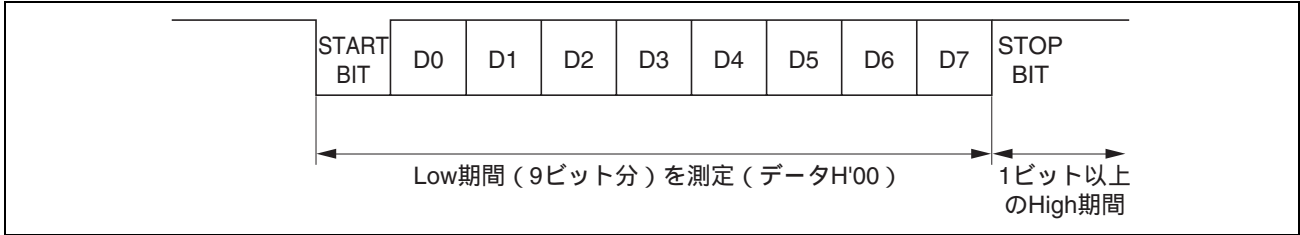


図 15.11 SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (4,800、9,600、19,200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 15.9 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 15.9 ビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
4,800bps	2MHz ~ 16MHz
9,600bps	4MHz ~ 16MHz
19,200bps	8MHz ~ 16MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 15.12 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

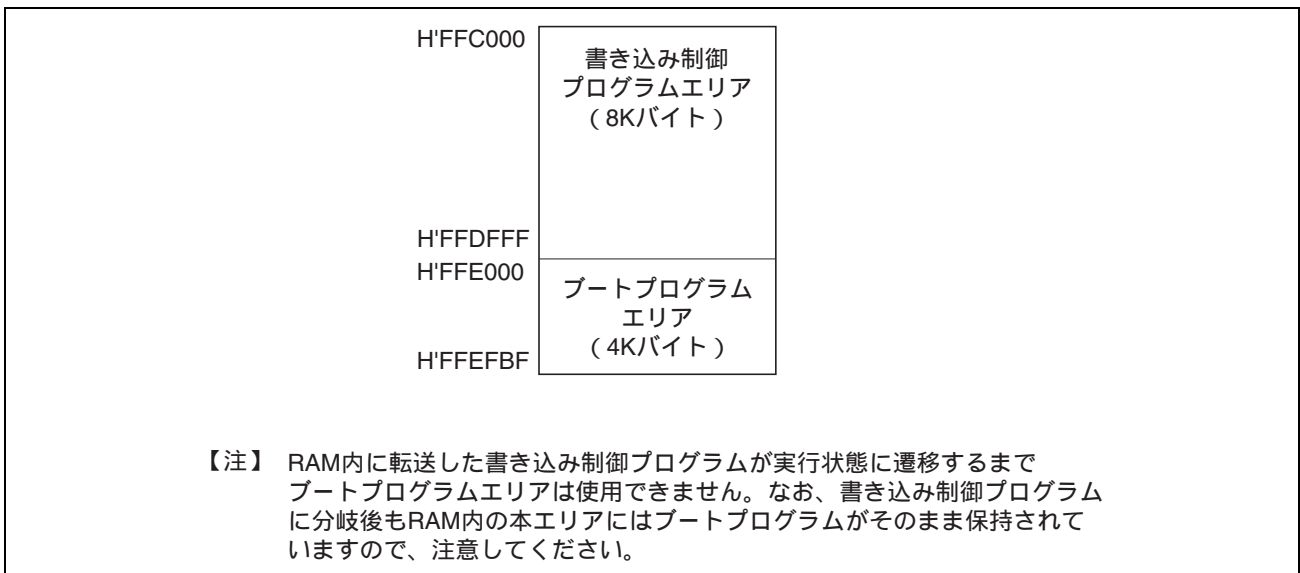


図 15.12 ブートモード時の RAM エリア

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCIのRx/D2端子のLow期間を測定します。Rx/D2端子がHighの状態のリセット解除してください。リセット解除後、Rx/D2端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) Rx/D2端子およびTx/D2端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FFC000）に分岐するときに内蔵SCI（チャンネル2）の送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。また、このときトランスミットデータ出力端子Tx/D2は、Highレベル出力状態（PA1DDR=1、PA1DR=1）となっています。さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。上記以外の内蔵レジスタについても、初期設定を必ず行ってください。
- (f) ブートモードへの遷移は表15.8のモード設定に従って、端子を設定しリセットスタートすることにより可能です。ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、FWE端子とモード端子を設定し、リセット解除^{*1}することにより可能です。また、WDTのオーバフローリセットが発生した場合もブートモードを解除することが可能です。ブートモードの途中でモード端子の入力レベルを変化させないでください。ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください。^{*2}
- (g) リセット中にモード端子の入力レベルを変化（たとえばLowレベル Highレベル）させると、マイコンの動作モードが切り替わるによりアドレス兼用ポート、およびバス制御出力信号（AS、RD、HWR）の状態が変化^{*3}します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

【注】*1 モード端子とFWE端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS} = 200\text{ns}$ ）を満足する必要があります。

*2 FWEの印加/解除の注意については「15.15 フラッシュメモリの書き込み/消去時の注意」を参照してください。

*3 「付録D. 端子状態」を参照してください。

15.8.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み / 消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み / 消去制御プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 6、7 で起動し、FWE 端子に High レベルを印加します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 6、7 と同じ動作をします。

フラッシュメモリへの書き込み / 消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み / 消去を行う制御プログラムは、内蔵 RAM / 外部メモリ上で実行するようにしてください。

図 15.13 に書き込み / 消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

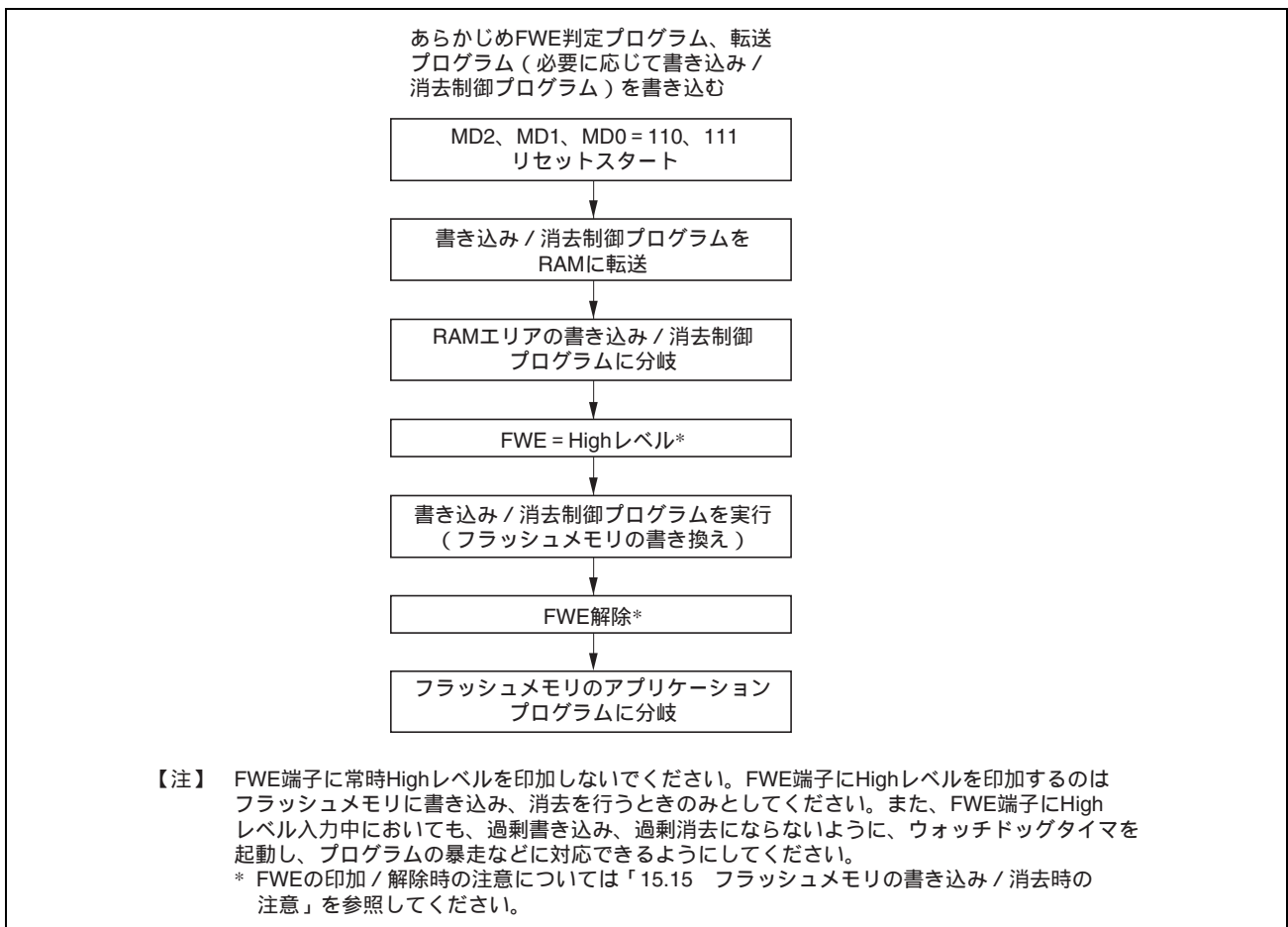


図 15.13 ユーザプログラムモードの実行手順例

15.9 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'000000 ~ H'01FFFF に対しては、FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードに移移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム（書き込み制御プログラム）は、内蔵 RAM、あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE1、ESU1、PSU1、EV1、PV1、E1、P1 ビットのセット / リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください（FWE = 0 のときは、書き込み / 消去されません）。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

15.9.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 15.14 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の各ビットのセット / クリア後のウェイト時間 (t_{sswe} , t_{spsu} , t_{sp10} , t_{sp30} , t_{sp200} , t_{cp} , t_{cpsu} , t_{spv} , t_{spr} , t_{cpv} , t_{cswe})、最大書き込み回数 (N) は「18.6 フラッシュメモリ特性」を参照してください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE1 ビットを 1 にセットしたあと、(t_{sswe}) μ s 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス（書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません）に RAM 上の書き込みデータエリアの 128 バイトのデータを連続書き込みます（データ転送はバイト単位で 128 回連続して行います）。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は ($t_{spsu} + t_{sp200} + t_{cp} + t_{cpsu}$) μ s より大きくしてください。その後、FLMCR1 の PSU1 ビットをセットすることで、プログラムモードへの準備（プログラムセットアップ）を行い、(t_{spsu}) μ s 以上の時間が経過してから、FLMCR1 の P1 ビットをセットすることで、動作モードはプログラムモードへ遷移します。P1 ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

15.9.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだあと、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除（FLMCR1 の P1 ビットを 0 にクリア後、(t_{cp}) μ s 以上の時間が経過してから PSU1 ビットを 0 にクリア）します。ウォッチドックタイマを (t_{cpsu}) μ s 以上の時間が経過してから解除し、FLMCR1 の PV1 ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (t_{spv}) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す（ベリファイデータは 16 ビットで読み出す）とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(t_{spr}) μ s 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算（図 15.14 参照）し、再書き込みデータを再書き込みデータエリアに転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、(t_{cpv}) μ s 以上の待機時間を置いて、FLMCR1 の SWE1 ビットを 0 にクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N) 回を超えないようにしてください。

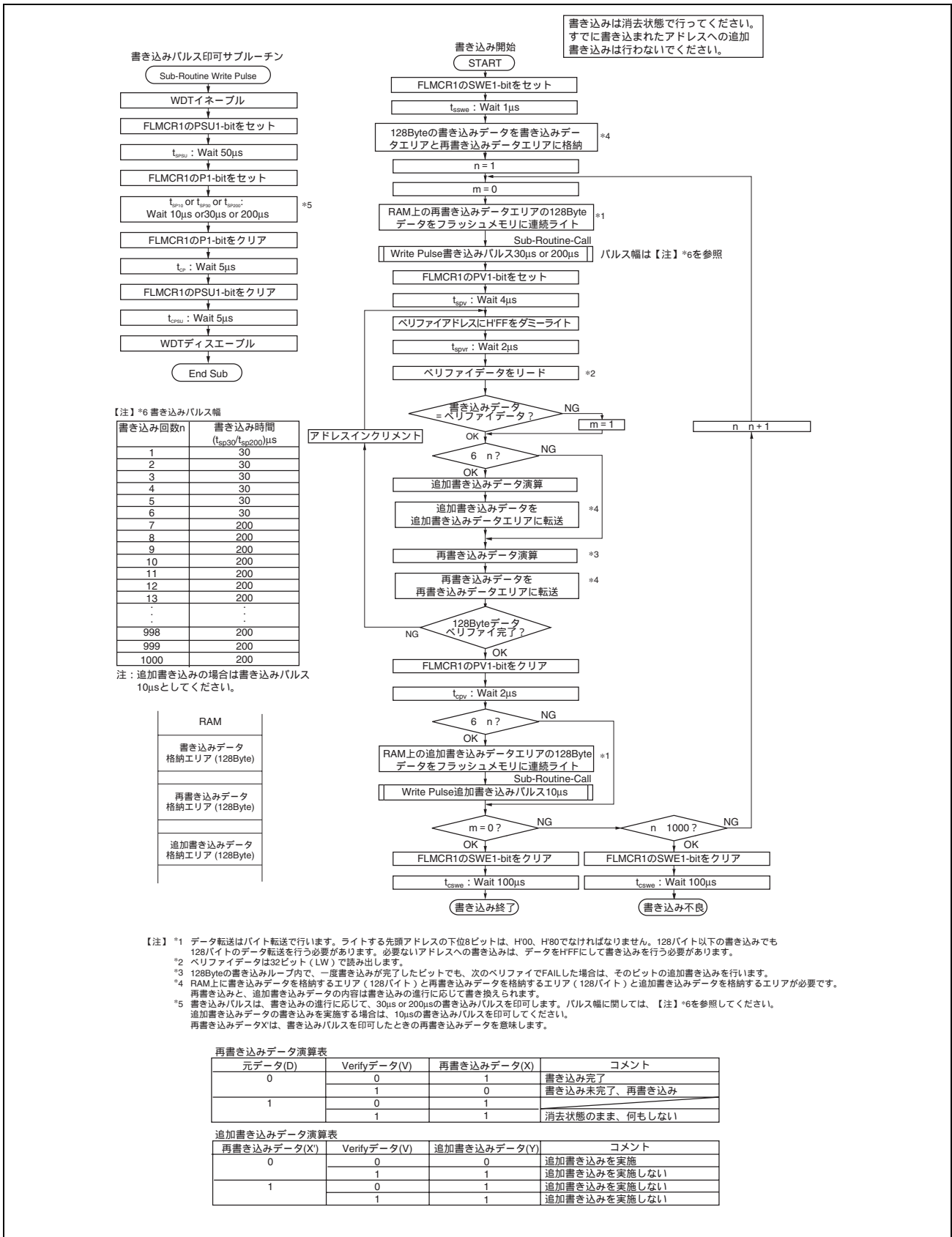


図 15.14 プログラム/プログラムペリファイフロー

15.9.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 15.15 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の各ビットのセット/クリア後のウェイト時間 (t_{sswe} , t_{sesu} , t_{se} , t_{ce} , t_{cesu} , t_{sev} , t_{sevr} , t_{cev} , t_{cswc} 、最大消去回数 (N)) は「18.6 フラッシュメモリ特性」を参照してください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE1 ビットを 1 にセット後、(t_{sswe}) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($t_{sesu} + t_{se} + t_{ce} + t_{cesu}$) μ s より大きくしてください。その後、FLMCR1 の ESU1 ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、(t_{sesu}) μ s 以上の時間が経過後、FLMCR1 の E1 ビットをセットすることで、動作モードはイレースモードへ遷移します。E1 ビットが設定されている時間が消去時間となり、消去時間は (t_{se}) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリの全メモリデータをすべて 0 にする）を行う必要はありません。

15.9.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去したあとデータを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除（FLMCR1 の E1 ビットを 0 にクリア後、(t_{ce}) μ s 以上の時間が経過してから ESU1 ビットを 0 にクリア）し、ウォッチドッグタイマを (t_{cesu}) μ s 以上の時間が経過してから解除し、FLMCR1 の EV1 ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (t_{sev}) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(t_{sev}) μ s 置いてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(t_{cev}) μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE1 ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

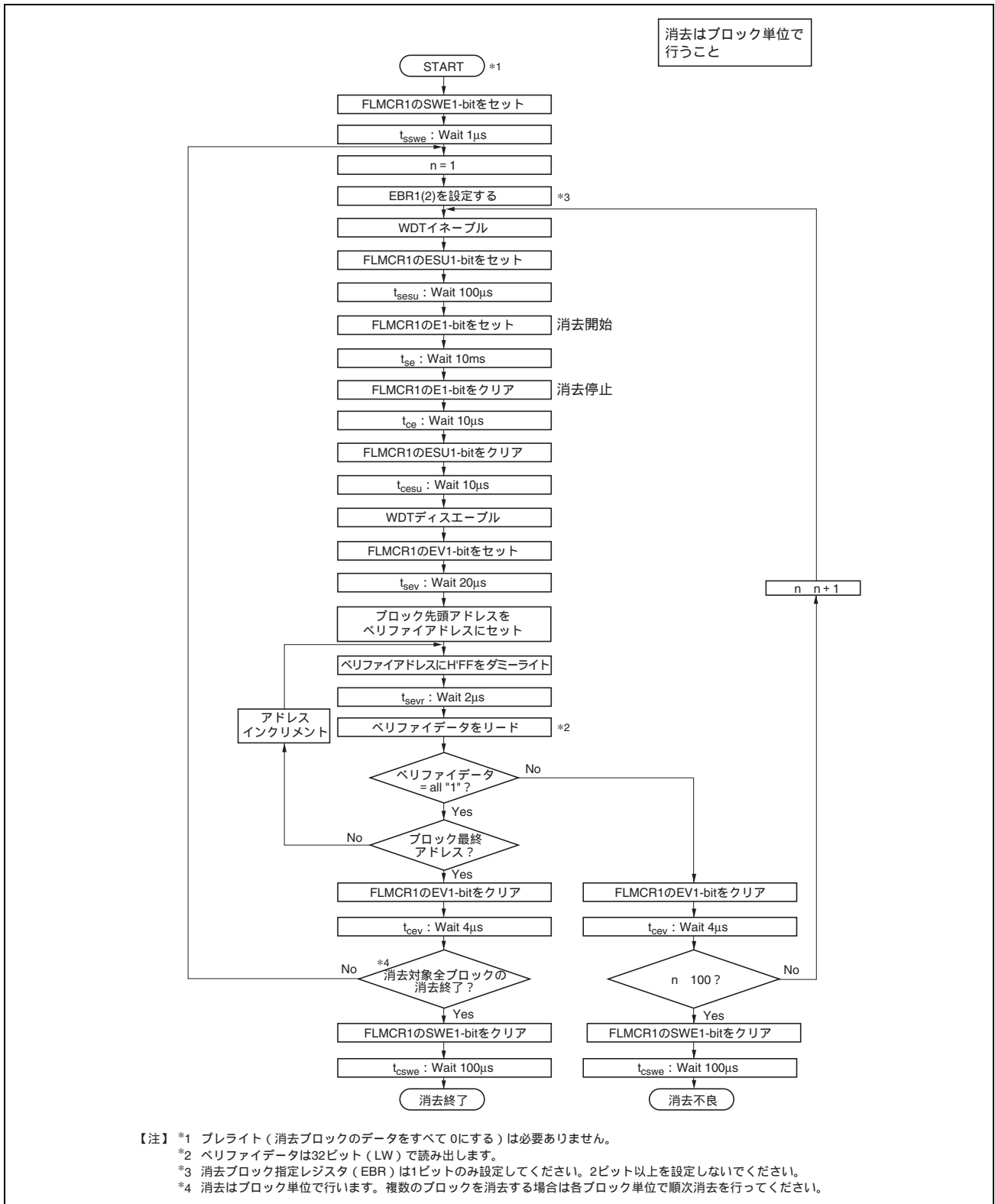


図 15.15 イレース/イレースペリファイフロー - 暫定 -

15.10 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトとエラープロテクトの3種類あります。

15.10.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 15.10 参照)

表 15.10 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2 (FLER ビットは除く)、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

15.10.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE1 ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P1 ビットまたは E1 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 15.11 参照)

表 15.11 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE1 ビットを 0 にセットすることにより、H'000000 ~ H'01FFFF エリアの書き込み/消去プロテクト状態になります (内蔵 RAM / 外部メモリ上で実行してください)。 		
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 		

15.10.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが"1"にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1ビット、E1ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1ビット、EV1ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中に当該アドレスエリアのフラッシュメモリを読み出したとき(ベクタリードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- (4) 書き込み/消去中にCPUがDTCにバス権を開放したとき

エラープロテクト解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

図 15.16 にフラッシュメモリの状態遷移図を示します。

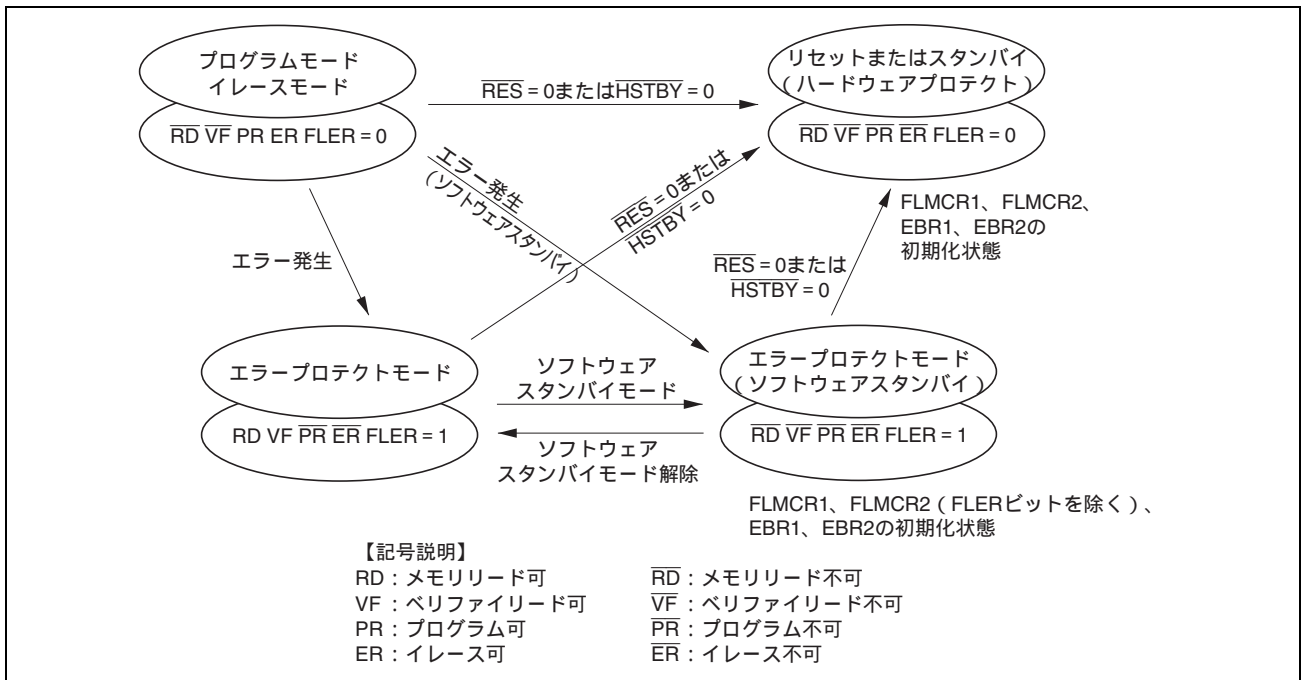


図 15.16 フラッシュメモリの状態遷移図

15.11 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 15.17 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

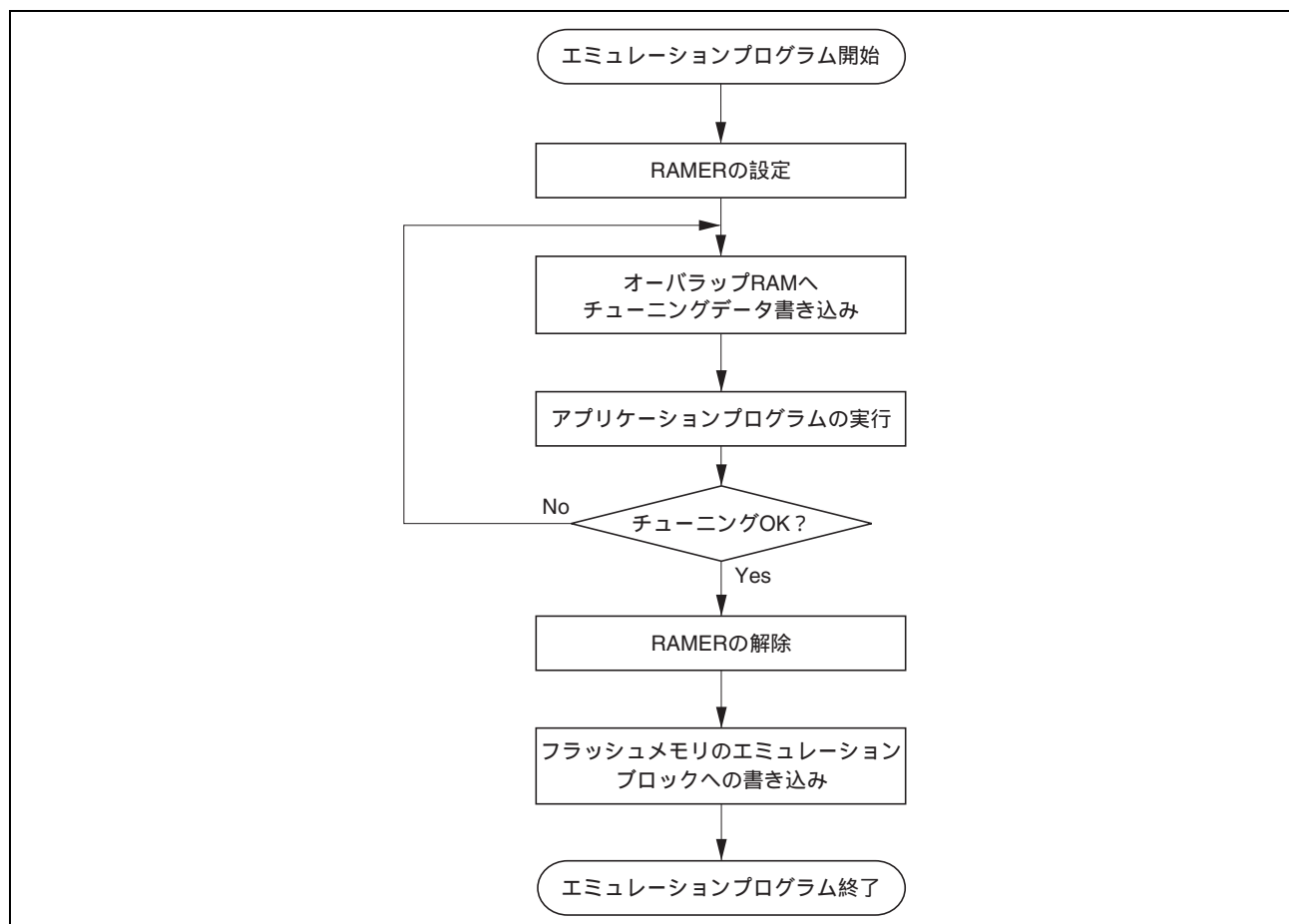


図 15.17 RAM によるエミュレーションフロー

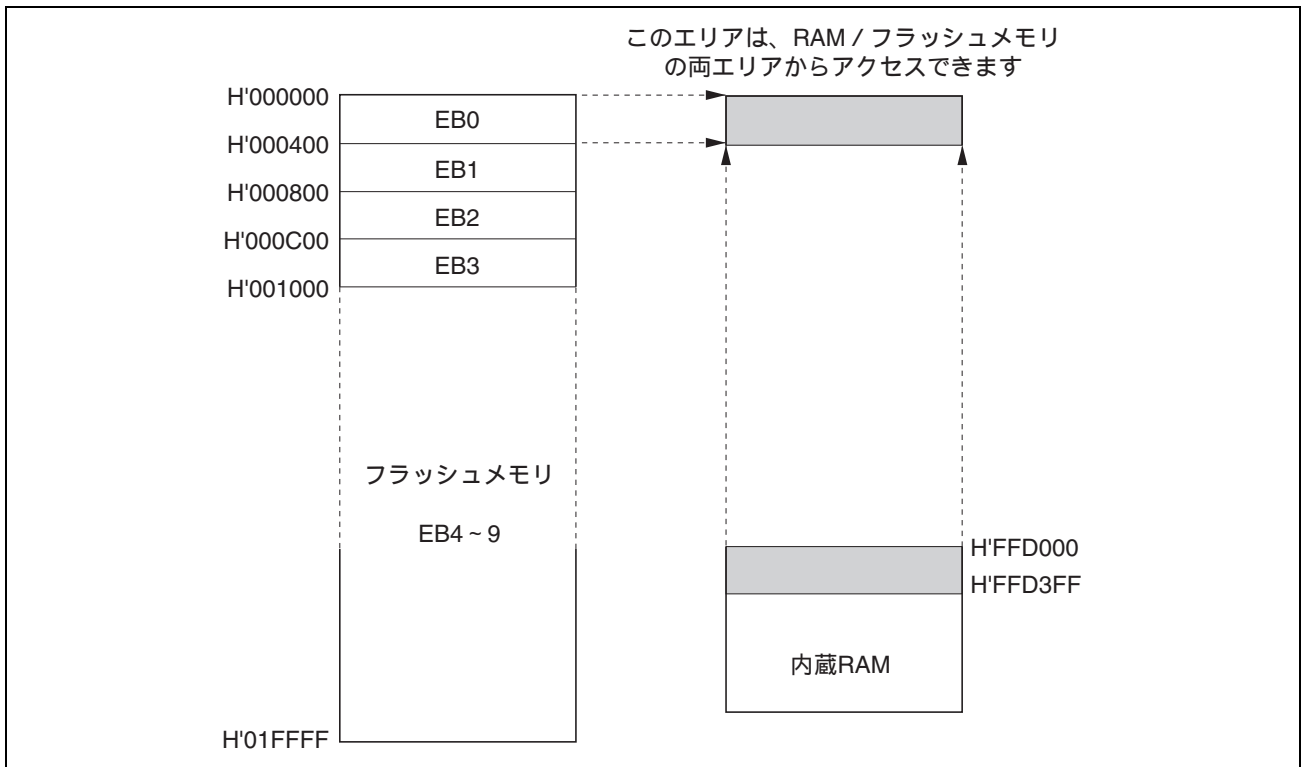


図 15.18 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB0) に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビット、RAM1 ~ 0 ビットを 1、0、0、0 に設定してください。
- リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。
- 書き換えデータ確定後、RAMS ビットをクリアして RAM のオーバーラップを解除します。
- オーバーラップさせた RAM に書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
- RAMS ビットを 1 にセットすると RAM2 ~ 0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 - RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
 - ブロックエリア (EB0) はベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM にはベクタテーブルが必要となります。

15.12 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中（FLMCR1 の P1 ビットまたは E1 ビットがセット）、およびブートモードでのブートプログラム実行中*¹は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合は、マイコンの内部と外部で NMI を含むすべての要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P1 ビットまたは E1 ビットが保持された状態でも NMI 割り込みは禁止状態となります。

【注】*¹ 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*² この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中（FLMCR1 の P1 ビットまたは E1 ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

15.13 フラッシュメモリのライターモード

プログラム/データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行したあとに、その詳細な内部信号を出力します。

ライターモードでは、モード端子をライターモード（表 15.12 参照）に設定し、入力クロックとして 12MHz を入力してください。

表 15.12 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.2 動作モード別端子機能一覧」を参照してください。

表 15.12 ライターモードの端子設定方法

端子名	設定
モード端子： MD2、MD1、MD0	MD2、MD1、MD0 に Low レベル入力
モード設定端子： PF3、PF0、P16、P14	PF3、PF0 に High レベル、 P16、P14 に Low レベルを入力
FWE 端子	ハイレベルを入力（自動書き込み、自動消去時）
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路

15.13.1 ソケットアダプタの端子対応図

図 15.20 に示すようにソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 15.19 に、ソケットアダプタの端子対応図を図 15.20 に示します。

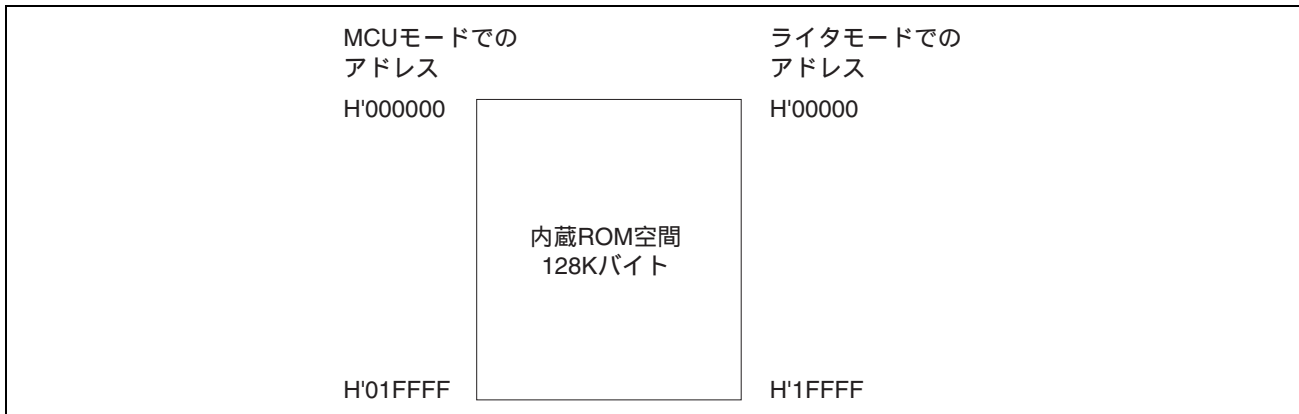


図 15.19 内蔵 ROM のメモリマップ

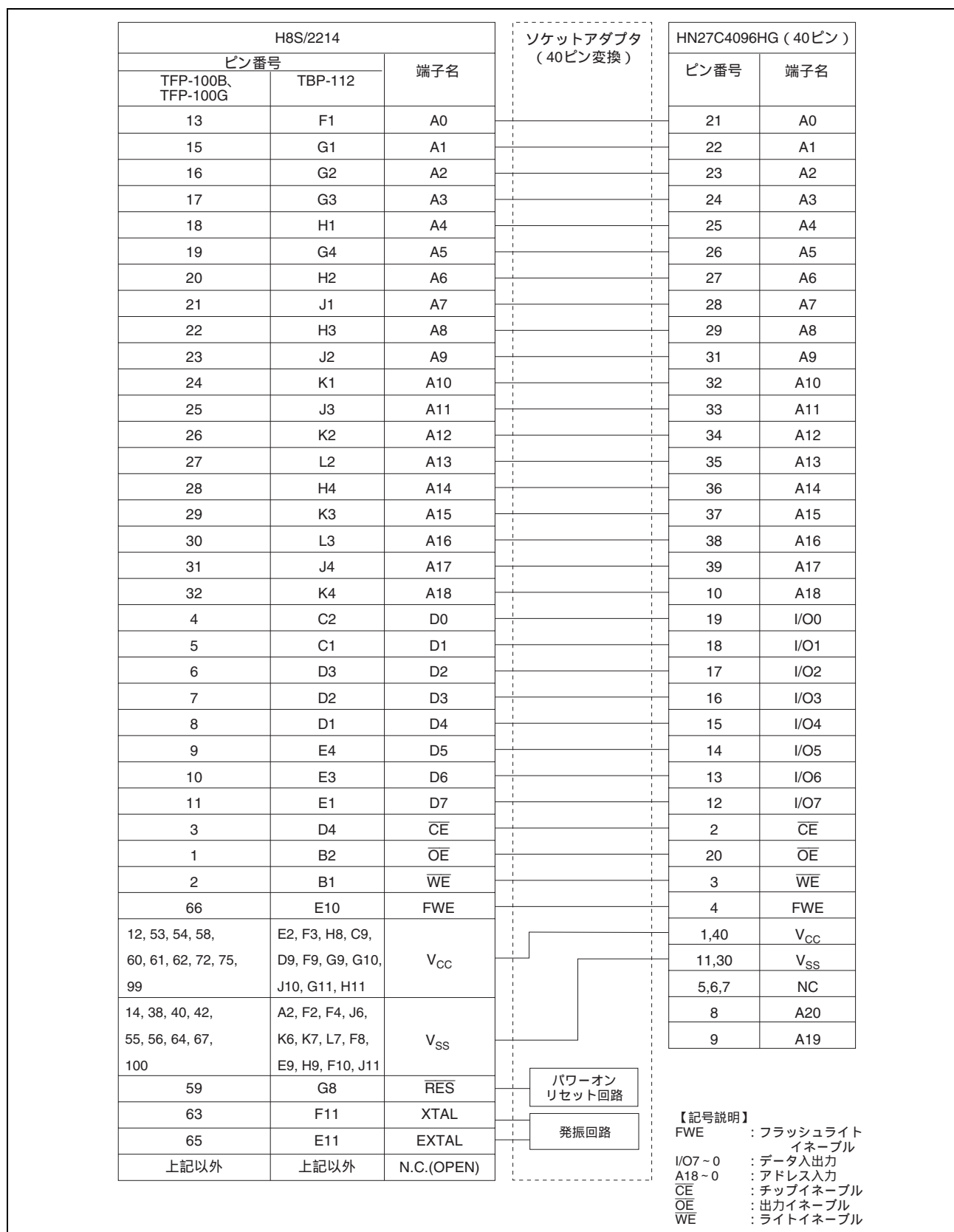


図 15.20 ソケットアダプタの端子対応図

15.13.2 ライタモードの動作

表 15.13 にライタモード時の各動作モードの設定方法、表 15.14 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

(1) メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

(2) 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

(3) 自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

(4) ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 15.13 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	\overline{WE}	I/O7~0	A18~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-Z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-Z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 15.14 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

15.13.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させたあとに、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させたあとは、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 15.15 メモリ読み出しモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	min.	max.	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

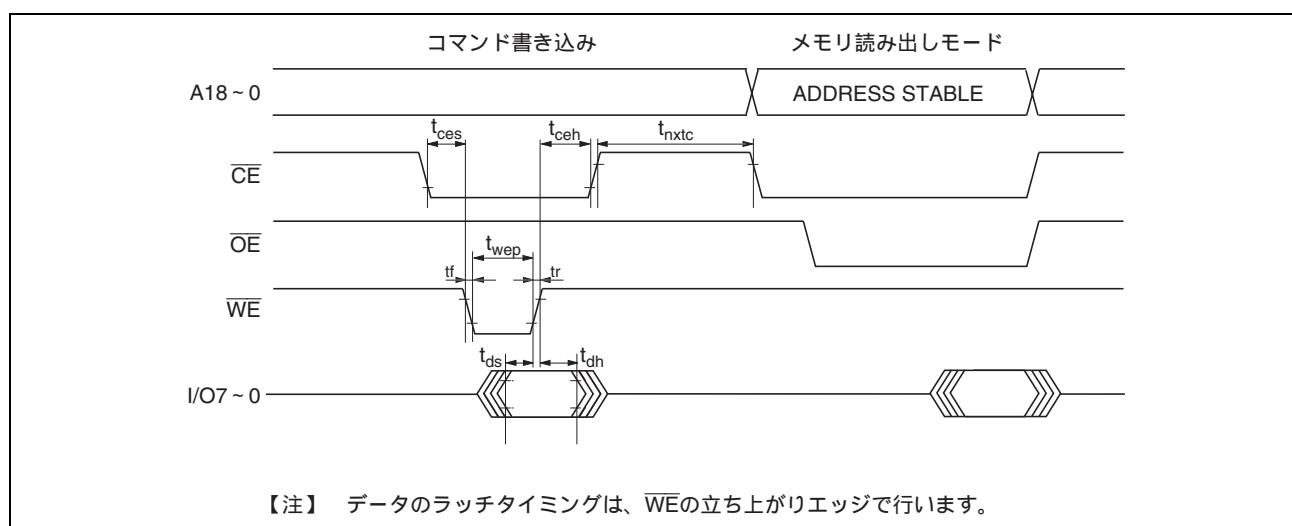


図 15.21 コマンド書き込み後メモリ読み出しタイミング波形

表 15.16 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	min.	max.	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

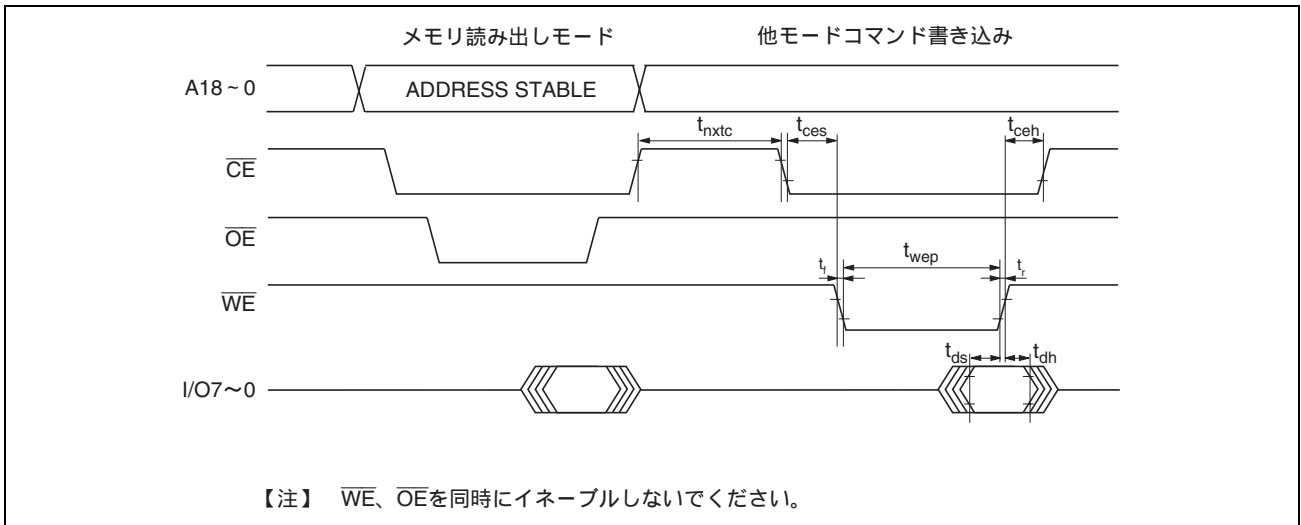


図 15.22 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 15.17 メモリ読み出しモード時の AC 特性

(条件: $V_{cc} = 3.3V \pm 0.3V$, $V_{ss} = 0V$, $T_a = 25 \pm 5$)

項目	記号	min.	max.	単位	特記
アクセス時間	t_{acc}		20	μs	
CE 出力遅延時間	t_{ce}		150	ns	
OE 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

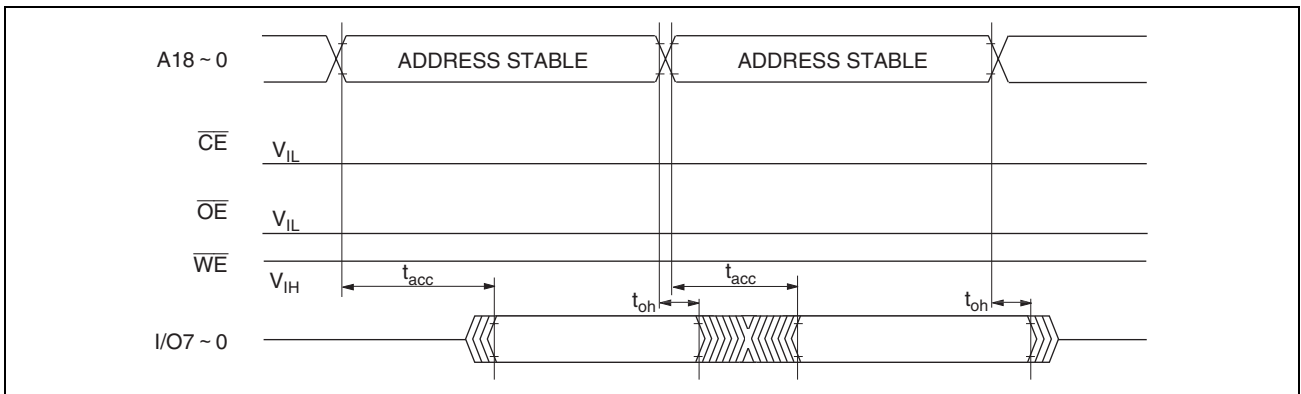


図 15.23 CE、OE イネーブ爾状態リード時のタイミング波形

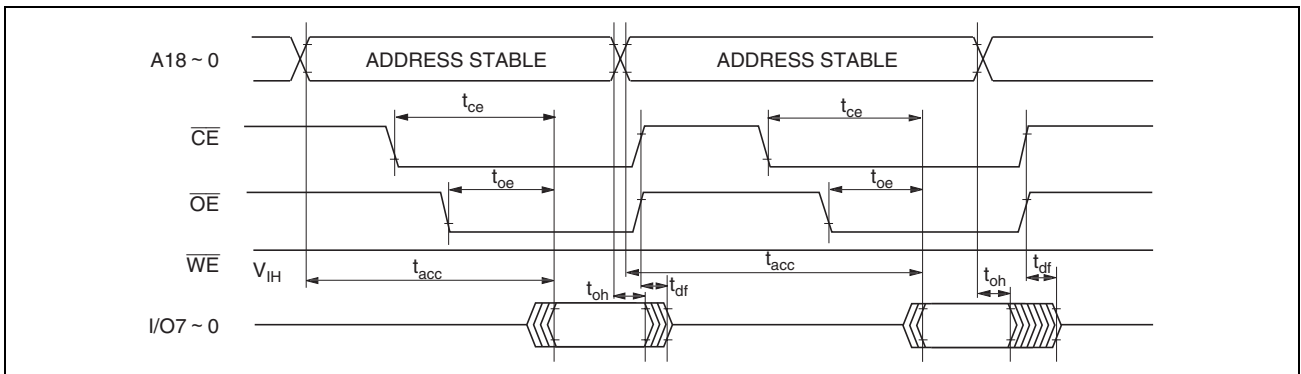


図 15.24 CE、OE クロック方式リード時のタイミング波形

15.13.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います（図15.25）。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です）。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 15.18 自動書き込みモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	min.	max.	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{prh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

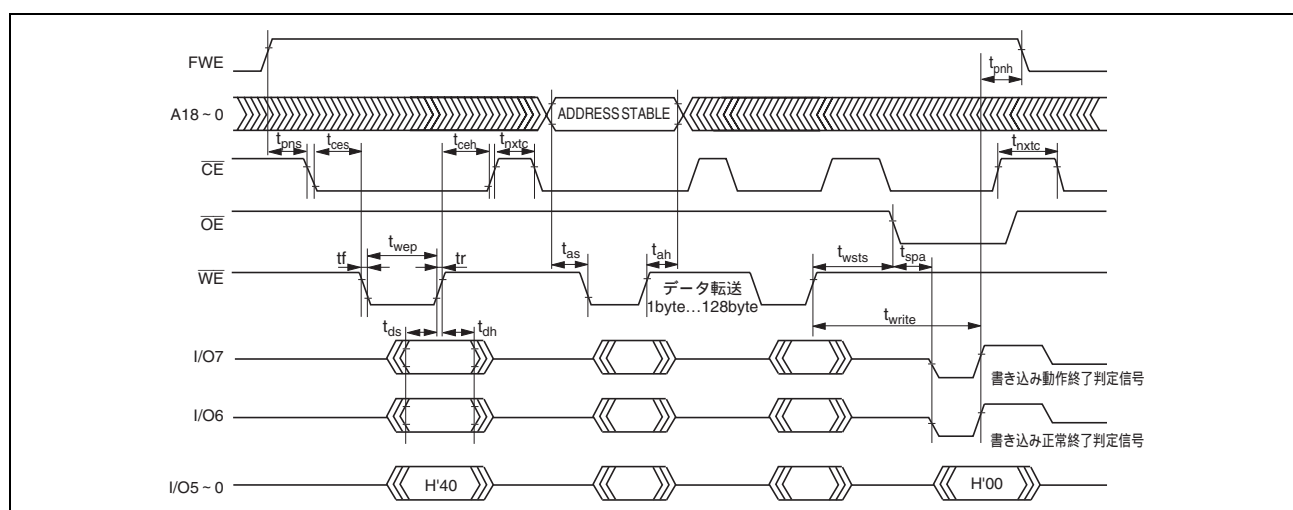


図 15.25 自動書き込みモードのタイミング波形

15.13.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用して確認することができます（I/O7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにするこにより読み出し可能となります。

表 15.19 自動消去モード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	min.	max.	単位	特記
コマンド書き込みサイクル	t_{txtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

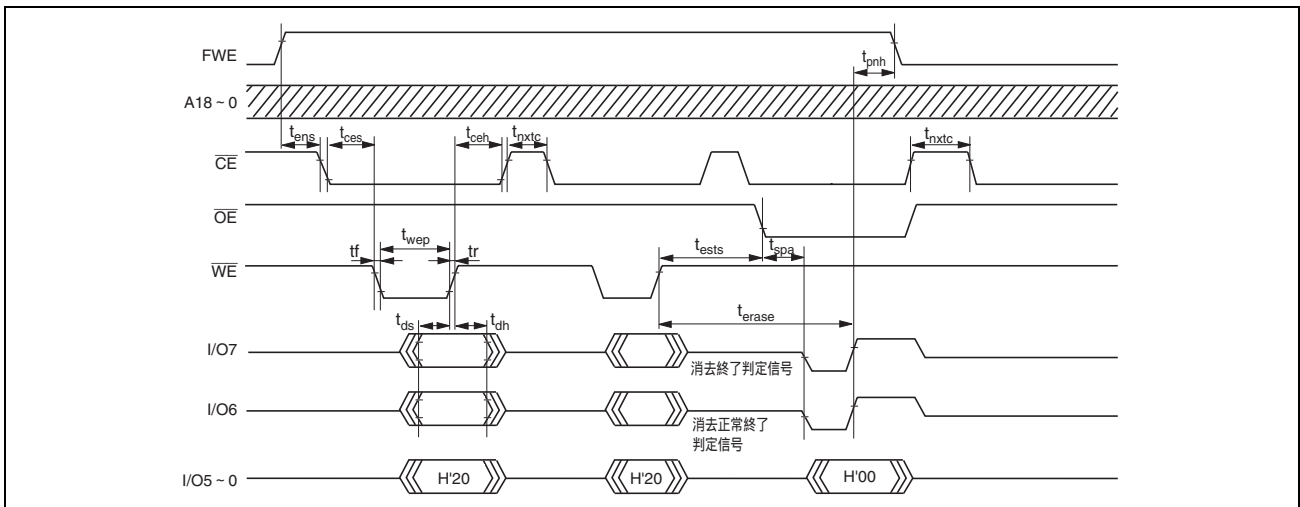


図 15.26 自動消去モードのタイミング波形

15.13.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 15.20 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	min.	max.	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
CE 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

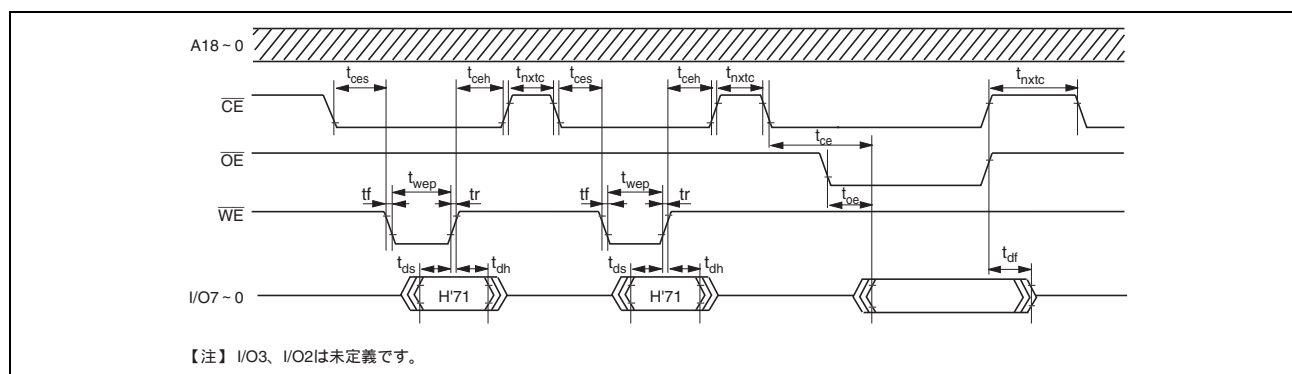


図 15.27 ステータス読み出しモードのタイミング波形

表 15.21 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了: 0 異常終了: 1	コマンド エラー: 1 その他: 0	書き込み エラー: 1 その他: 0	消去 エラー: 1 その他: 0	-	-	回数オーバ時: 1 その他: 0	有効アドレス エラー: 1 その他: 0

【注】 I/O2、I/O3 は未定義です。

15.13.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み/自動消去モード時の動作状態を示すフラグです。
 (2) I/O6のステータスポーリングは、自動書き込み/自動消去モード時の正常/異常終了を示すフラグです。

表 15.22 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0~5	0	0	0	0

15.13.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 15.23 コマンド待ち状態までの遷移時間規定

項目	記号	min.	max.	単位	特記
スタンバイ解除（発振安定時間）	t_{osc1}	30		ms	
ライタモードセットアップ時間	t_{bmV}	10		ms	
V _{CC} ホールド時間	t_{dwn}	0		ms	

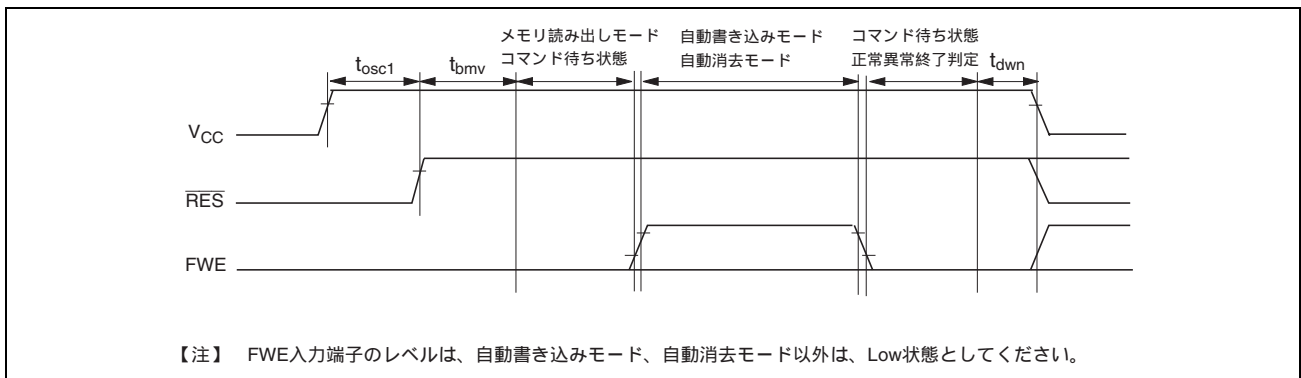


図 15.28 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

15.13.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行ったあとに自動書き込みをしてください。
 (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行ったあとに自動書き込みを行うことを推奨します。

- 【注】 1. ルネサス出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

15.14 フラッシュメモリと低消費電力状態

フラッシュメモリには、通常の動作状態のほかに、内部の電源回路の一部あるいは全部を停止して、消費電力を低くする低消費電力モードがあります。

フラッシュメモリの動作状態には

- (1) 通常動作モード：フラッシュメモリのリード/ライトが可能です。
- (2) スタンバイモード：フラッシュメモリのすべての回路が停止します。リード/ライトは不可です。

があり、(2)がフラッシュメモリの低消費電力状態です。表 15.24 に LSI の動作状態とフラッシュメモリの動作状態の対応を示します。

表 15.24 フラッシュメモリの動作状態

LSI の動作状態	フラッシュメモリの動作状態
高速モード 中速モード スリープモード	通常モード (リード/ライト)
ソフトウェアスタンバイモード ハードウェアスタンバイモード	スタンバイモード

15.14.1 低消費電力状態の注意事項

フラッシュメモリが低消費電力状態のときは、内部の電源回路の一部あるいは全部が停止しています。そのため通常動作への復帰時には、電源回路の安定時間を確保する必要があります。発振安定時間の確保が不要な場合でも、フラッシュメモリが低消費電力状態から通常動作に復帰する際には、待機時間が 100 μ s (電源安定時間) 以上となるように SBYCR の STS2 ~ STS0 ビットを設定してください。

15.15 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み / 消去を行ってください。
 - 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。
 - PROM ライタは、ルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしているものを使用してください。
 - ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
- (2) 電源投入 / 切断時の注意 (図 15.29 ~ 図 15.31 参照)
 - FWE 端子への High レベル印加は V_{cc} 確定後に行ってください。また、 V_{cc} を切断する前に FWE 端子を Low レベルにしてください。
 - V_{cc} 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。
 - この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。
- (3) FWE の印加 / 解除の注意 (図 15.29 ~ 図 15.31 参照)
 - FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。
 - FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。
 - (a) V_{cc} 電圧が定格電圧の範囲で安定している状態で FWE を印加してください。
 - (b) ブートモードでは、FWE の印加 / 解除はリセット中に行ってください。
 - (c) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = High レベル / Low レベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE 入力切り替えが可能です。
 - (d) プログラムが暴走していない状態で FWE を印加してください。
 - (e) FWE の解除は FLMCR1 の SWE1、ESU1、PSU1、EV1、PV1、PI、E1 ビットをクリアした状態で行ってください。FWE の印加 / 解除時に、誤って SWE1、ESU1、PSU1、EV1、PV1、PI、E1 ビットをセットしないでください。
- (4) FWE 端子に常時 High レベルを印加しないでください。
 - FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。
- (5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。
 - 推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の PI ビット、E1 ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。
- (6) SWE1 ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。
 - フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアしたあと 100 μ s 以上待ってから行ってください。
 - SWE1 ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム / イレース / ベリファイ中に SWE1 ビットのクリアを行わないでください。FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアしたあとに行ってください。
 - ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE1 ビットのセット / クリアにかかわらずリード / ライト可能です。
- (7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。
 - FWE 印加状態では書き込み / 消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。
- (8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。
 - オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。
 - 書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

(11) 電源投入時は、リセット状態にしてください。

発振安定期間中に 100 μ s 以上はリセットを入れてください。

(12) 動作中にリセットを入れる場合は、SWE1 の Low 期間で入れてください。

SWE ビットクリア後 100 μ s 以上待ってからリセットを入れてください。

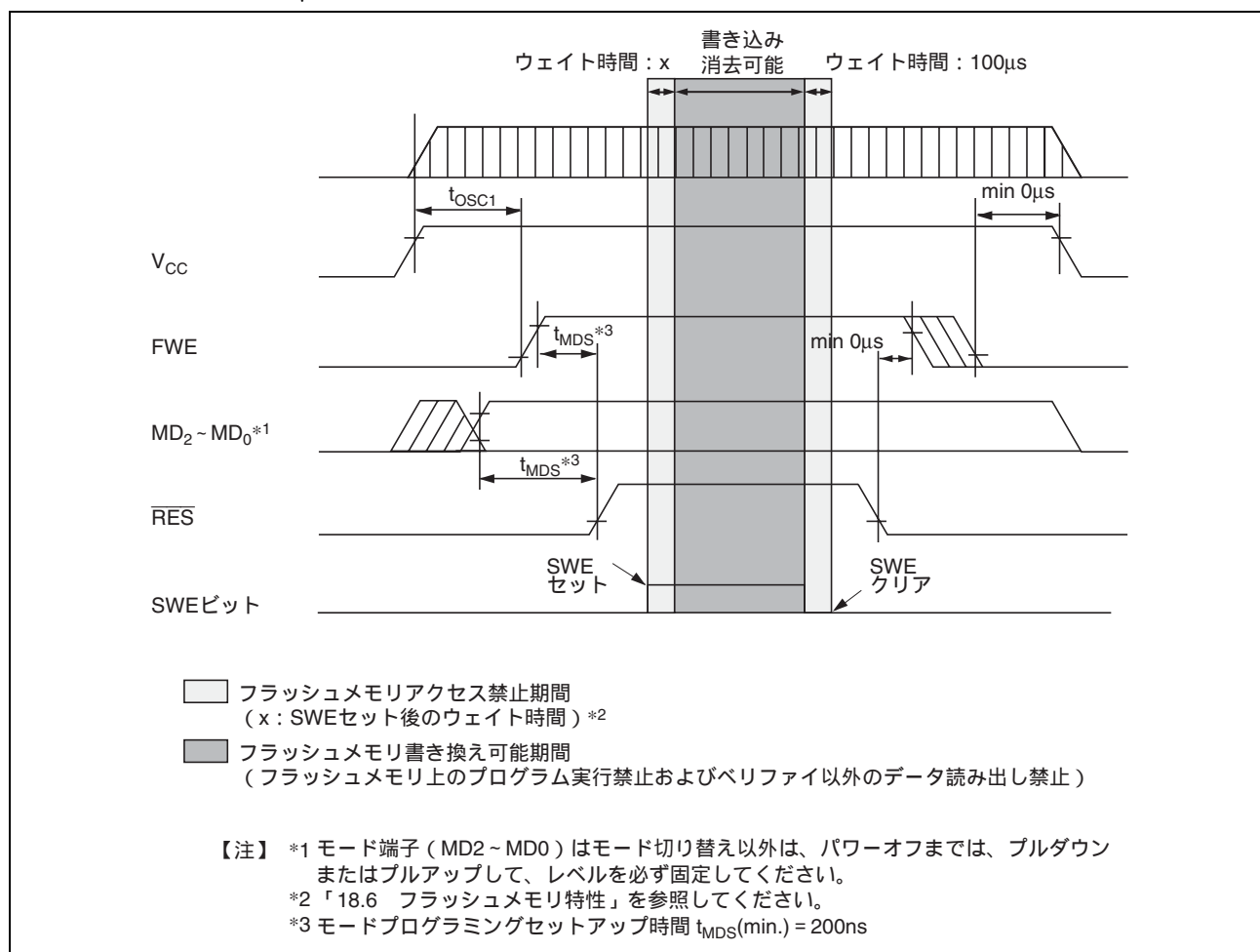


図 15.29 電源投入/切断タイミング (ブートモード)

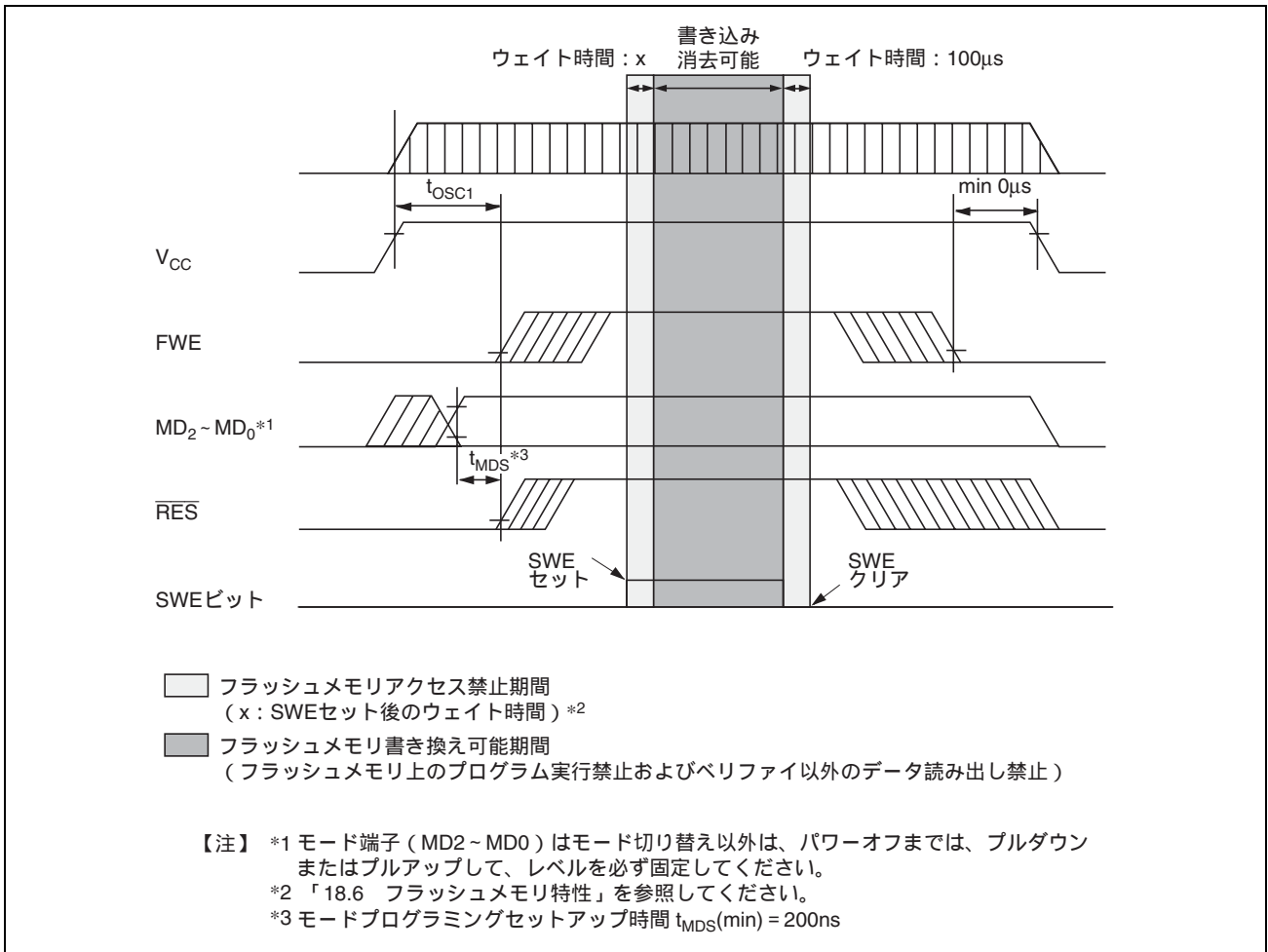


図 15.30 電源投入/切断タイミング (ユーザプログラムモード)

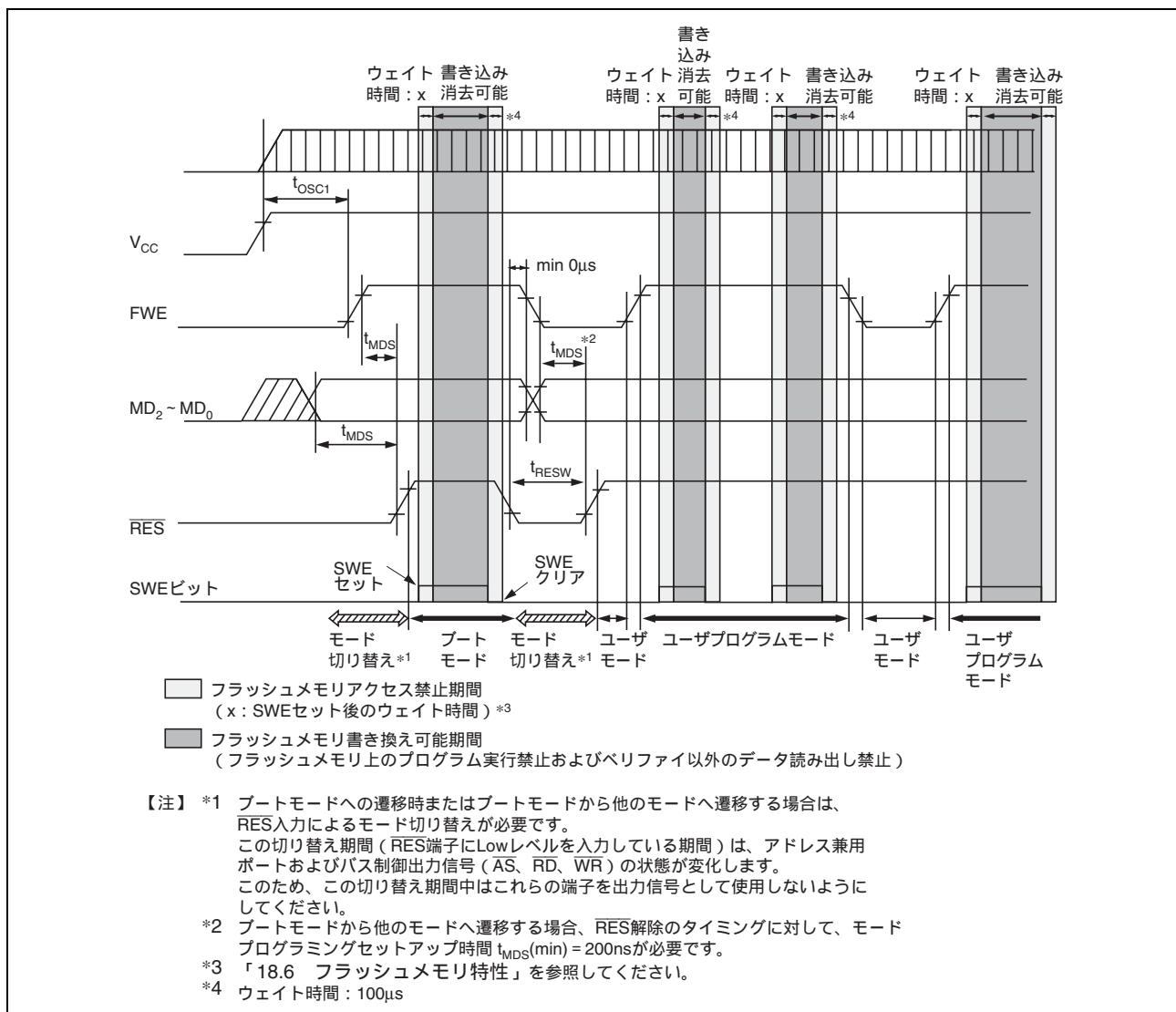


図 15.31 モード遷移タイミング (例: ブートモード → ユーザモード ↔ ユーザプログラムモード)

15.16 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 15.25 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 15.25 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 15.25 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 15.25 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB
シリアルコントロールレジスタ X	SCRX	H'FDB4

16. クロック発振器

16.1 概要

H8S/2214 グループは、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、システムクロック（ ）、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、システムクロック発振器、デューティ補正回路、中速クロック分周器、バスマスタクロック選択回路から構成されます。

16.1.1 ブロック図

クロック発振器のブロック図を図 16.1 に示します。

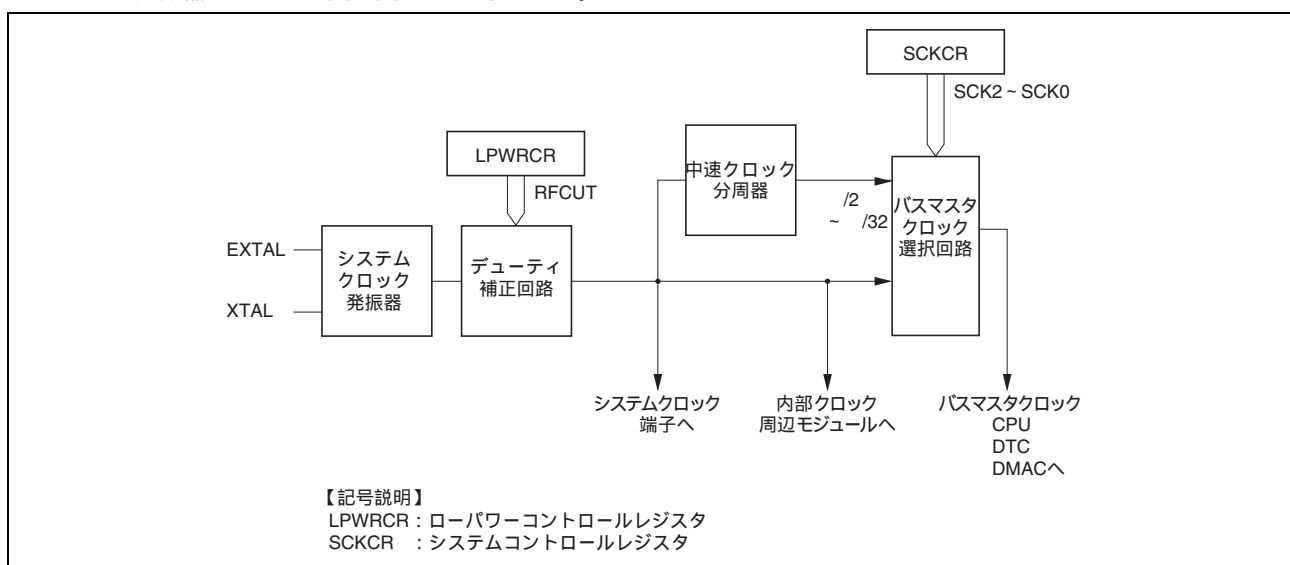


図 16.1 クロック発振器のブロック図

16.1.2 レジスタ構成

クロック発振器は、SCKCR、LPWRCR で制御されます。レジスタ構成を表 16.1 に示します。

表 16.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FDEC

【注】 * アドレスの下位 16 ビットを示しています。

16.2 各レジスタの説明

16.2.1 システムクロックコントロールレジスタ (SCKCR)

ビット:	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	-	-	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、 クロック出力と中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: クロック出力禁止 (PSTOP)

出力を制御します。

ビット 7	説 明			
PSTOP	高速モード、中速モード	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	出力 (初期値)	出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット 6: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 5、4: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 2~0: システムクロックセレクト 2~0 (SCK2~SCK0)

高速モードおよび中速モードでのバスマスタのクロックを選択します。

ビット 2	ビット 1	ビット 0	説 明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは / 2
	1	0	中速クロックは / 4
		1	中速クロックは / 8
1	0	0	中速クロックは / 16
		1	中速クロックは / 32
	1	-	-

16.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RFCUT	-	STC1	STC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。LPWRCR はパワーオンリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードは初期化されません。

ビット 7~4: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 3: 内蔵帰還抵抗制御 (RFCUT)

外部クロック入力時にシステムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用するか、使用しないかの選択をします。水晶発振子を使用する場合はアクセスしないでください。

外部クロック入力状態で本ビットを設定後、いったんソフトウェアスタンバイモードに遷移してください。ソフトウェアスタンバイモードに遷移したときに、発振器内蔵帰還抵抗とデューティ補正回路を使用するか、使用しないかを切り替えます。

ビット 3	説明
RFCUT	
0	システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用する (初期値)
1	システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用しない

ビット 2: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 1, 0: 周波数逡倍率 (STC1、STC0)

STC はエバリュエーションチップに内蔵する PLL 回路の周波数逡倍率を指定します。指定した周波数逡倍率は、ソフトウェアスタンバイモードに遷移後、有効となります。

本 LSI では必ず STC1 = STC0 = 1 の設定で使用してください。リセット後の値は STC1 = STC0 = 0 となりますので、リセット後は必ず STC1 = STC0 = 1 の設定を行ってください。

ビット 1	ビット 0	説明
STC1	STC0	
0	0	×1 (初期値)
	1	×2 (設定禁止)
1	0	×4 (設定禁止)
	1	PLL はバイパス

16.3 システムクロック発振器

システムクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

16.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 16.2 に示します。ダンピング抵抗 R_d は、表 16.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

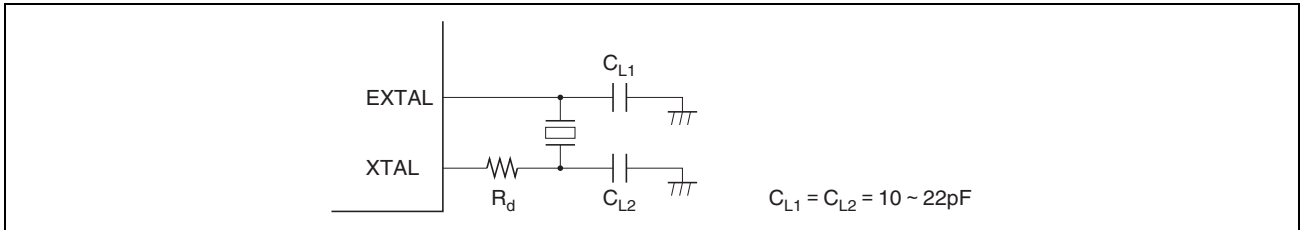


図 16.2 水晶発振子の接続例

表 16.2 ダンピング抵抗値

周波数 (MHz)	2	4	6	8	10	12	16
R_d ()	1k	500	300	200	100	0	0

(2) 水晶発振器

図 16.3 に水晶発振子の等価回路を示します。水晶発振子は表 16.3 に示す特性のものを使用してください。水晶発振子は、システムクロック () と同一の周波数のものを使用してください。

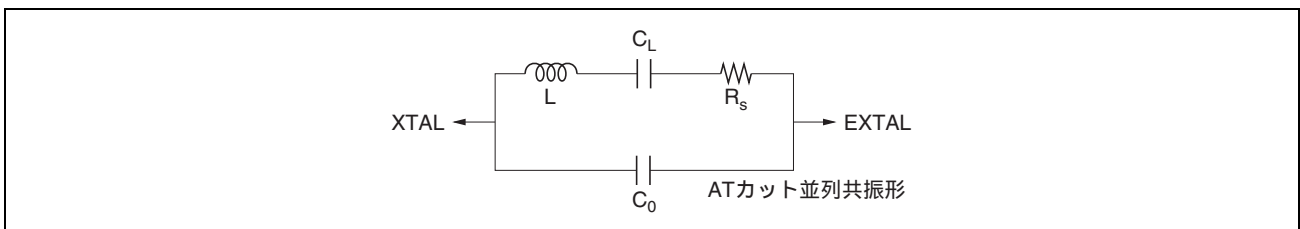


図 16.3 水晶発振子の等価回路

表 16.3 水晶発振子の特性

周波数 (MHz)	2	4	6	8	10	12	16
R_s max ()	500	120	100	80	60	60	50
C_0 max (pF)	7						

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください(図 16.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

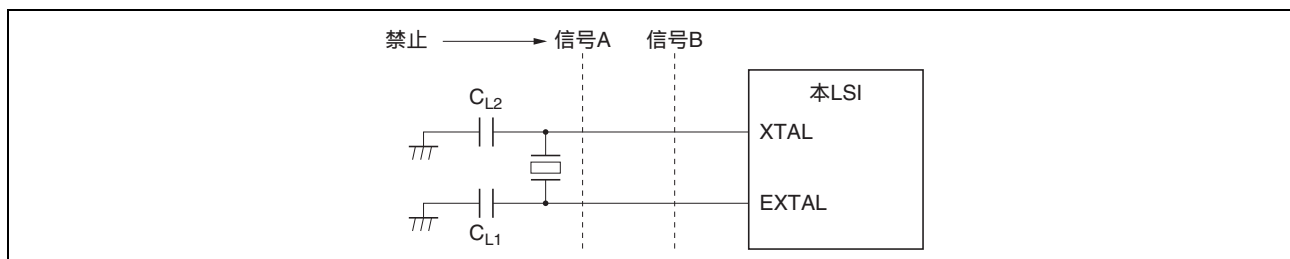


図 16.4 発振回路部のボード設計に関する注意事項

16.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 16.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 16.5 の (b) の場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時には外部クロックが High レベルになるようにしてください。

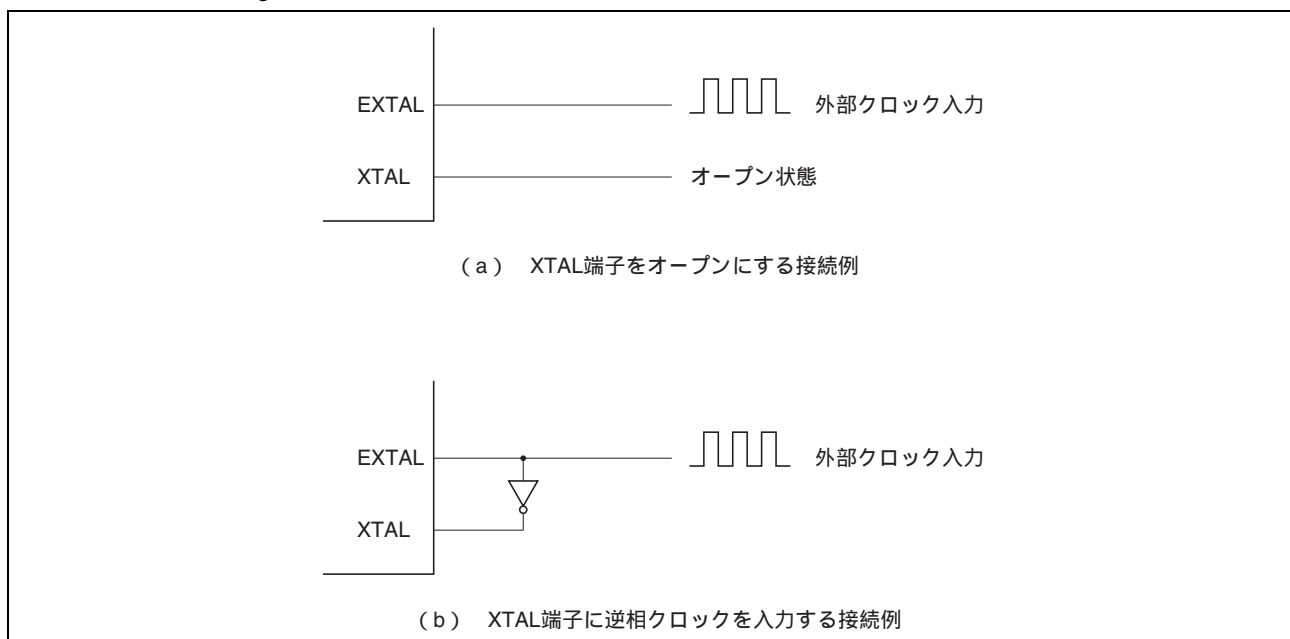


図 16.5 外部クロックの接続例

(2) 外部クロック

外部クロックは、システムクロック（ ）と同一の周波数としてください。
外部クロックの入力条件を表 16.4 および図 16.6 に示します。

表 16.4 外部クロック入力条件

項目	記号	min.	max.	単位	測定条件	
外部クロック入力パルス幅 Low レベル	t_{EXL}	25	-	ns	図 16.6	
外部クロック入力パルス幅 High レベル	t_{EXH}	25	-	ns		
外部クロック立ち上がり時間	t_{EXr}	-	6.25	ns		
外部クロック立ち下がり時間	t_{EXf}	-	6.25	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	t_{cyc}	5MHz	図 18.3
		80	-	ns	< 5MHz	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	t_{cyc}	5MHz	
		80	-	ns	< 5MHz	

デューティ補正回路を使用しない場合の外部クロックの入力条件を表 16.5 および図 16.6 に示します。なお、デューティ補正回路を使用しない場合、出力波形は外部クロック入力波形に依存しますので、規定はありません。

表 16.5 外部クロック入力条件（デューティ補正回路未使用）

項目	記号	min.	max.	単位	測定条件
外部クロック入力パルス幅 Low レベル	t_{EXL}	31.25	-	ns	図 16.6
外部クロック入力パルス幅 High レベル	t_{EXH}	31.25	-	ns	
外部クロック立ち上がり期間	t_{EXr}	-	6.25	ns	
外部クロック立ち下がり期間	t_{EXf}	-	6.25	ns	

【注】 デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数は低下します。

（例： $t_{EXL} = t_{EXH} = 50\text{ns}$ 、 $t_{EXr} = t_{EXf} = 10\text{ns}$ の場合、クロックサイクル時間 = 120ns したがって、最高動作周波数 = 8.3MHz）

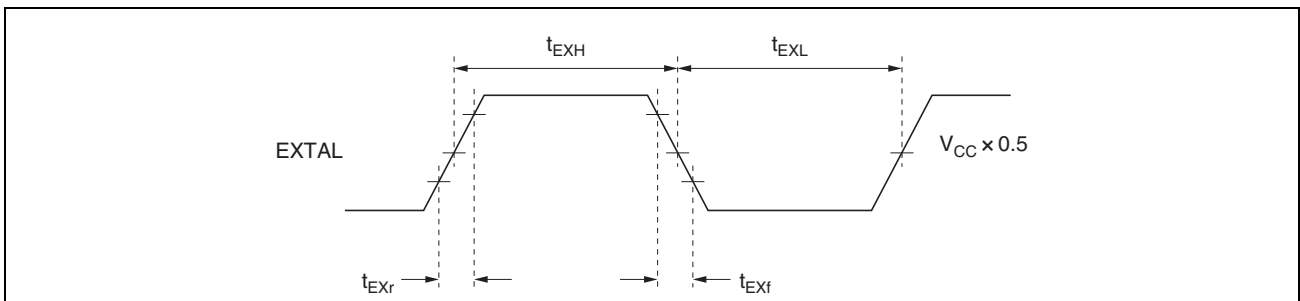


図 16.6 外部クロック入力タイミング

(3) 外部クロック切り替え時の注意

2種類以上の外部クロック（例：10MHzと2MHz）をシステムクロックとして使用し、入力クロックを切り替える場合は、ソフトウェアスタンバイモードで行ってください。

外部クロック切り替え回路例を図16.7に、外部クロック切り替えタイミング例を図16.8に示します。

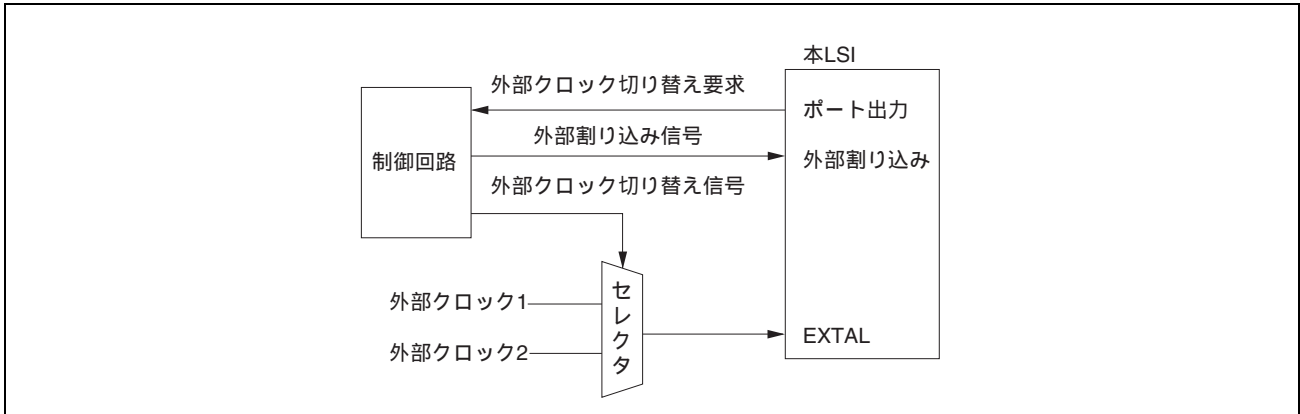


図 16.7 外部クロック切り替え回路例

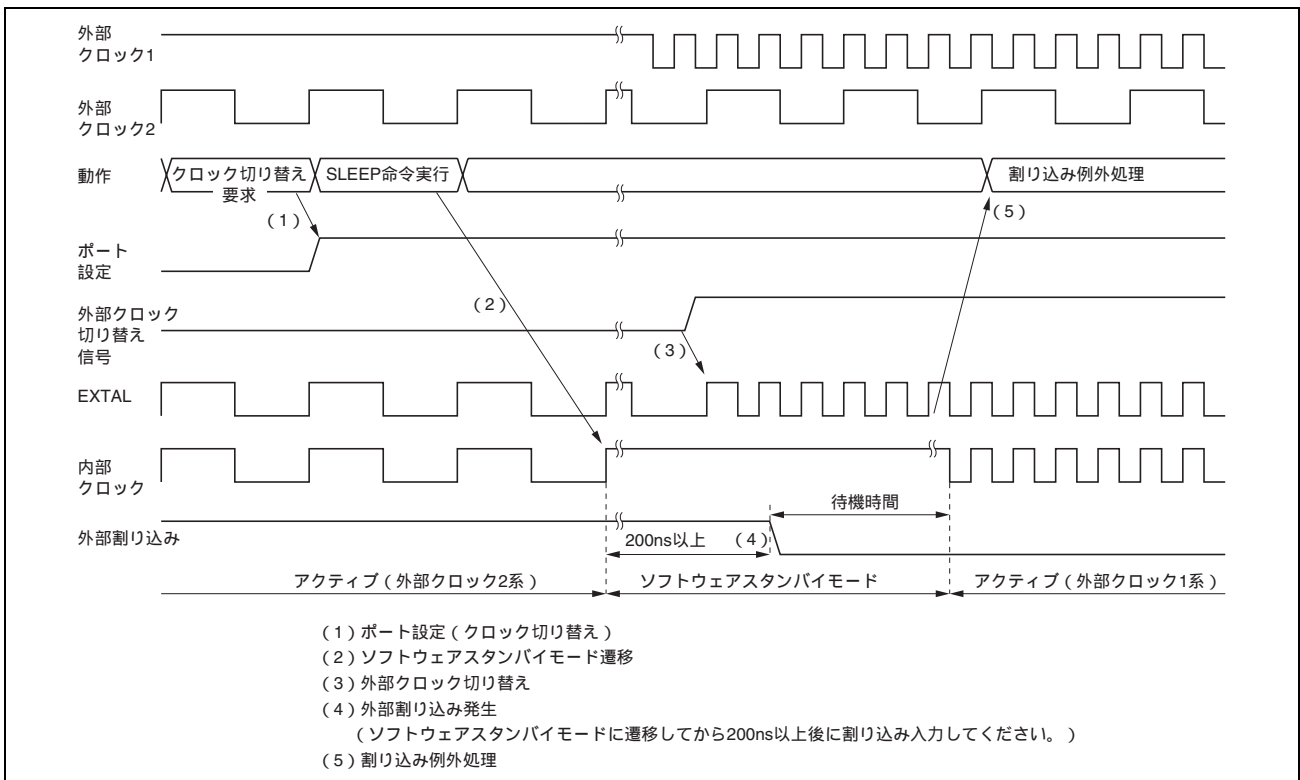


図 16.8 外部クロック切り替えタイミング例

16.4 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合に有効になり、システムクロック発振器の出力するクロックのデューティを補正し、システムクロック () を生成します。

16.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 / 2、 / 4、 / 8、 / 16、 / 32 を生成します。

16.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2 ~ SCK0 ビットに従って、システムクロック ()、または中速クロック (/ 2、 / 4、 / 8、 / 16、 / 32) から選択します。

16.7 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク版、F-ZTAT™版ともにユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談のうえ決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

17. 低消費電力状態

17.1 概要

H8S/2214 グループには、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) スリープモード
- (4) モジュールストップモード
- (5) ソフトウェアスタンバイモード
- (6) ハードウェアスタンバイモード

があり、(2)～(6)が低消費電力状態です。スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 17.1 に各モードでの LSI の内部状態、表 17.2 に低消費電力モード遷移条件を示します。

また、図 17.1 に、モード遷移図を示します。

表 17.1 各モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	
システムクロック発振器		動作	動作	動作	動作	停止	停止	
サブクロック発振器		動作	動作	動作	動作	動作 / 停止	停止	
CPU 動作	命令	動作	中速動作	停止	動作	停止	停止	
	レジスタ			保持		保持	不定	
RAM		動作	動作	動作 (DTC)	動作	保持	保持	
I/O		動作	動作	動作	動作	保持	ハイインピーダンス	
外部割り込み		動作	動作	動作	動作	動作	停止	
周辺機能の動作	DMAC	動作	中速動作	動作	動作/停止 (保持)	停止 (保持)	停止 (リセット)	
	DTC		動作		動作/停止 (保持)			
	WDT0							動作
	TPU							動作/停止 (保持)
	SCI							
	D/A							

【注】 停止 (保持) は、内部レジスタ保持。内部状態は動作中断。

停止 (リセット) は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

: 動作状態

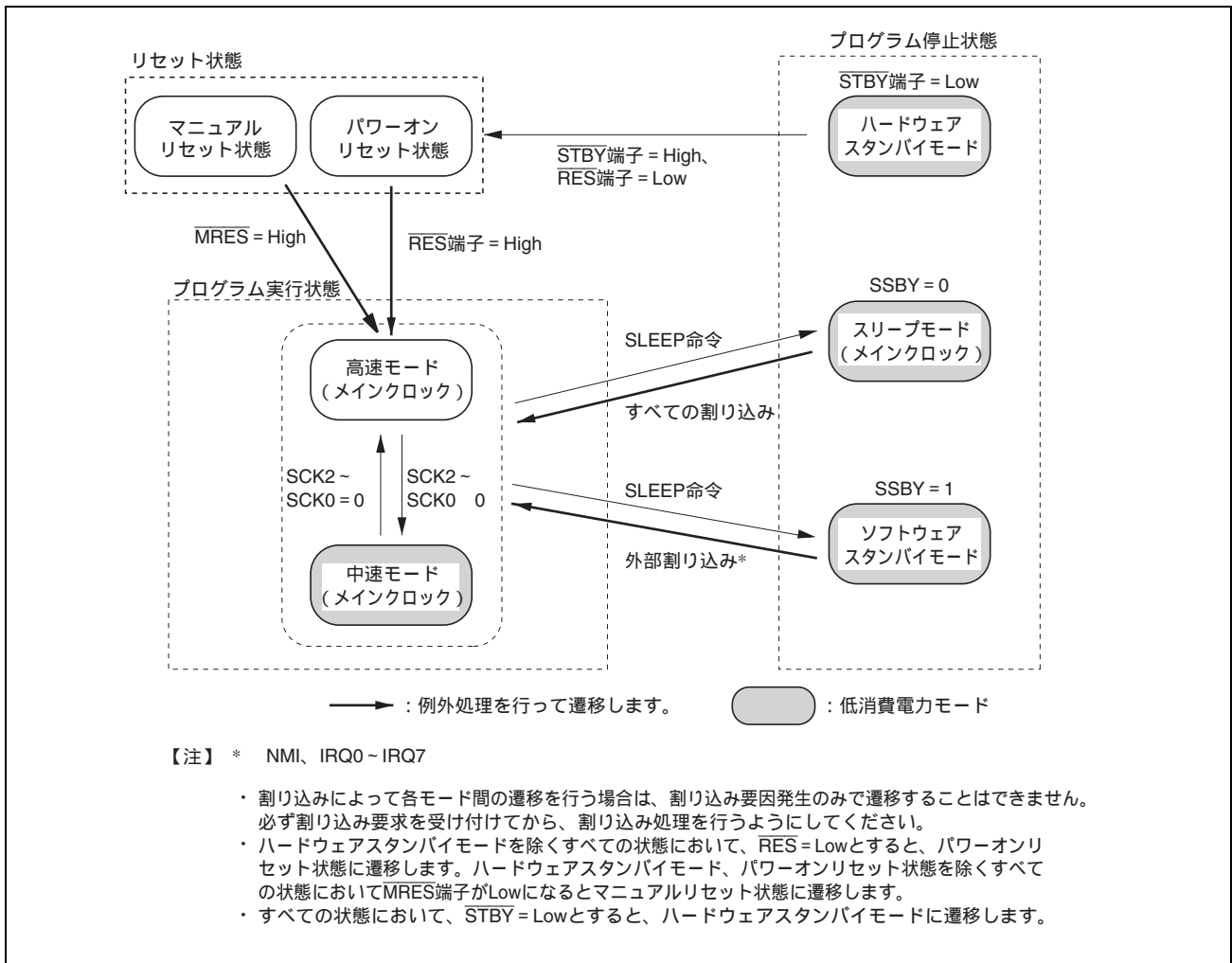


図 17.1 モード遷移図

17.1.1 レジスタ構成

低消費電力状態は、SBYCR、SCKCR、LPWRCR、TCSR (WDT1)、MSTPCR で制御されます。レジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'08	H'FDE4
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
モジュールストップコントロールレジスタ	MSTPCRA	R/W	H'3F	H'FDE8
	MSTPCRB	R/W	H'FF	H'FDE9
	MSTPCRC	R/W	H'FF	H'FDEA

【注】 * アドレスの下位 16 ビットを示しています。

17.2 各レジスタの説明

17.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE			
初期値:	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W			

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット 7	説明
SSBY	
0	SLEEP 命令を実行したとき、スリープモードに遷移 (初期値)
1	SLEEP 命令を実行したとき、ソフトウェアスタンバイモードに遷移

ビット 6~4: スタンバイタイムセレクト 2~0 (STS2~STS0)

特定の割り込みや命令によってソフトウェアスタンバイモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 17.4 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択*が可能です。

【注】* F-ZTAT 版では、外部クロック時の待機時間 16 ステートは使用できません。2048 ステート以上を使用してください。

ビット 6	ビット 5	ビット 4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	待機時間 = 2048 ステート
		1	待機時間 = 16 ステート*

【注】* F-ZTAT 版では使用できません。

ビット 2~0: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

17. 低消費電力状態

ビット3：出力ポートイネーブル（OPE）

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号（ $\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} ）の出力を保持するか、ハイインピーダンスにするかを指定します。

ビット3	説明
OPE	
0	ソフトウェアスタンバイモード時にアドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時にアドレスバス、バス制御信号は出力状態を保持 (初期値)

17.2.2 システムクロックコントロールレジスタ（SCKCR）

ビット：	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	-	-	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、クロック出力の制御と中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：クロック出力禁止（PSTOP）

出力を制御します。

ビット7	説明			
PSTOP	アクティブモード	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	出力 (初期値)	出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット6、3：リザーブビット

リード/ライト可能ですが、ライト時には0をライトしてください。

ビット5、4：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット2～0：システムクロックセレクト2～0（SCK2～SCK0）

高速モードおよび中速モードでのバスマスタのクロックを選択します。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

17.2.3 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRA

ビット:	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値:	0	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRB

ビット:	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRC

ビット:	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA、MSTPCRB、MSTPCRC は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。MSTPCRB、MSTPCRC は、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRA、MSTPCRB、MSTPCRC ビット 7~0 : モジュールストップ
(MSTPA7~MSTPA0、MSTPB7~MSTPB0、MSTPC7~MSTPC0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 17.3 を参照してください。

MSTPCRA、MSTPCRB、MSTPCRC、ビット 7~0 MSTPA7~0、MSTPB7~0、MSTPC7~0	説明
0	モジュールストップモード解除 (MSTPA7、MSTPA6 の初期値)
1	モジュールストップモード設定 (MSTPA7、MSTPA6 以外の初期値)

17.3 中速モード

高速モード時に SCKCR の SCK2 ~ SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2 ~ SCK0 ビットで指定した動作クロック（ $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ ）で動作します。CPU 以外のバスマスタ（DMAC、DTC）も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック（ ）で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2 ~ SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット = 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット = 1 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

RES 端子、MRES 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 17.2 に示します。

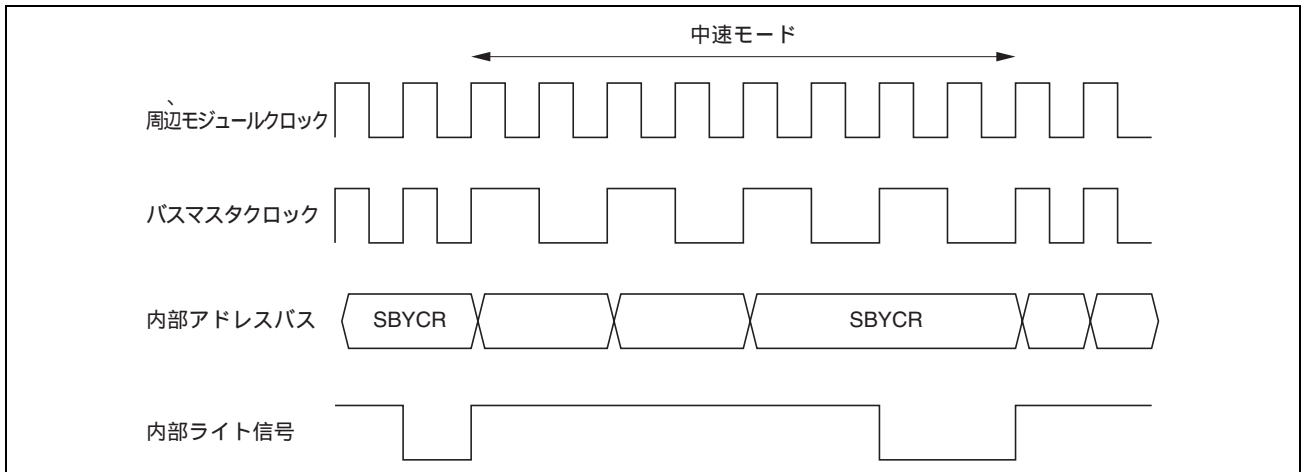


図 17.2 中速モードの遷移・解除タイミング

17.4 スリープモード

17.4.1 スリープモード

SBYCRのSSBYビット=0の状態ではSLEEP命令を実行すると、CPUはスリープモードになります。スリープモード時、CPUの動作は停止しますが、CPUの内部レジスタの内容は保持されます。CPU以外の周辺機能は停止しません。

17.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子を High レベルにすると、CPUはリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

17.5 モジュールストップモード

17.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 17.3 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、モジュールの内部状態が保持されています。

リセット解除後は DMAC、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、全モジュールストップ (MSTPCR = H'FFFFFF) の状態でスリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電流を低減することができます。

表 17.3 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCRA	MSTPA7	DMA コントローラ (DMAC)
	MSTPA6	データトランスファコントローラ (DTC)
	MSTPA5	16 ビットタイマパルスユニット (TPU)
	MSTPA4	- *
	MSTPA3	- *
	MSTPA2	- *
	MSTPA1	- *
	MSTPA0	- *
MSTPCRB	MSTPB7	シリアルコミュニケーションインタフェース 0 (SCI0)
	MSTPB6	シリアルコミュニケーションインタフェース 1 (SCI1)
	MSTPB5	シリアルコミュニケーションインタフェース 2 (SCI2)
	MSTPB4	- *
	MSTPB3	- *
	MSTPB2	- *
	MSTPB1	- *
	MSTPB0	外部モジュール拡張機能
MSTPCRC	MSTPC7	- *
	MSTPC6	- *
	MSTPC5	D/A 変換器
	MSTPC4	- *
	MSTPC3	- *
	MSTPC2	- *
	MSTPC1	- *
	MSTPC0	- *

【注】 * リザーブビットです。

17.5.2 使用上の注意

(1) DMAC、DTC のモジュールストップ

DMAC、DTC の動作状態によっては、MSTPA7、MSTPA6 ビットは 1 にセットされない場合があります。DMAC または DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 7 章 DMA コントローラ (DMAC)」、「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

(2) 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

(3) MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

17.6 ソフトウェアスタンバイモード

17.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビット=1 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態となります。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

17.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$)、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、IRQ0 ~ IRQ7 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過したあと、安定したクロックが H8S/2214 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、IRQ0 ~ IRQ7 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ IRQ0 ~ IRQ7 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

(2) $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子を Low レベルにすると、クロックが発振が開始されます。クロックの発振開始と同時に、H8S/2214 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

17.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。

表 17.4 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 17.4 発振安定時間の設定

STS2	STS1	STS0	待機時間	16MHz	13MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.51	0.63	0.82	1.0	1.4	2.0	4.1	ms
		1	16384 ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	2.0	2.5	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	4.1	5.0	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	8.2	10.1	13.1	16.4	21.8	32.8	65.5	
		1	262144 ステート	16.4	20.2	26.2	32.8	43.7	65.5	131.1	
	1	0	2048 ステート	0.13	0.16	0.20	0.26	0.34	0.51	1.0	
		1	16 ステート	1.0	1.2	1.6	2.0	2.7	4.0	8.0	

 : 推奨設定時間

(2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

【注】 F-ZTAT 版で待機時間 16 ステートは使用できません。2048 ステート以上を使用してください。

17.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりにエッジでソフトウェアスタンバイモードに移行し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 17.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりにエッジ指定）状態で、NMI 割り込みを受け付けたあと、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットしたあと、SLEEP 命令を実行してソフトウェアスタンバイモードに移行しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

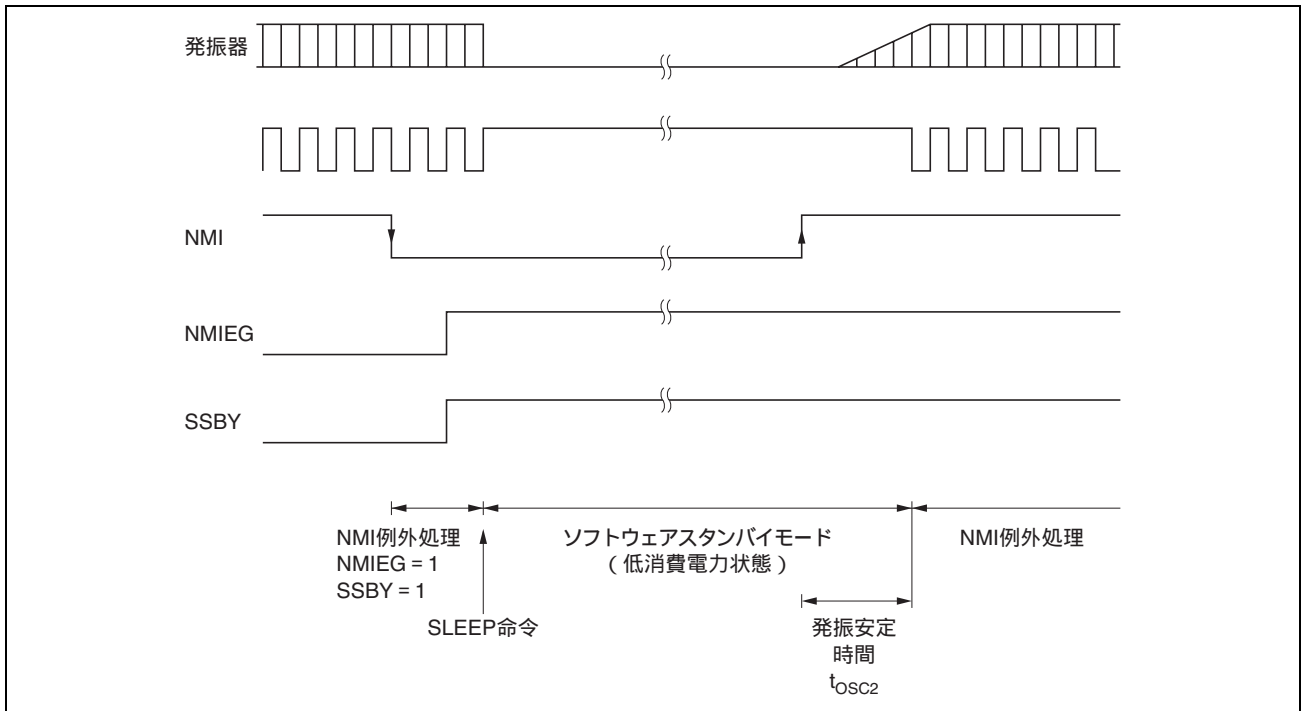


図 17.3 ソフトウェアスタンバイモードの応用例

17.6.5 使用上の注意

(1) I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

17.7 ハードウェアスタンバイモード

17.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 t_{OSC1} 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

17.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 17.4 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにしたあと、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

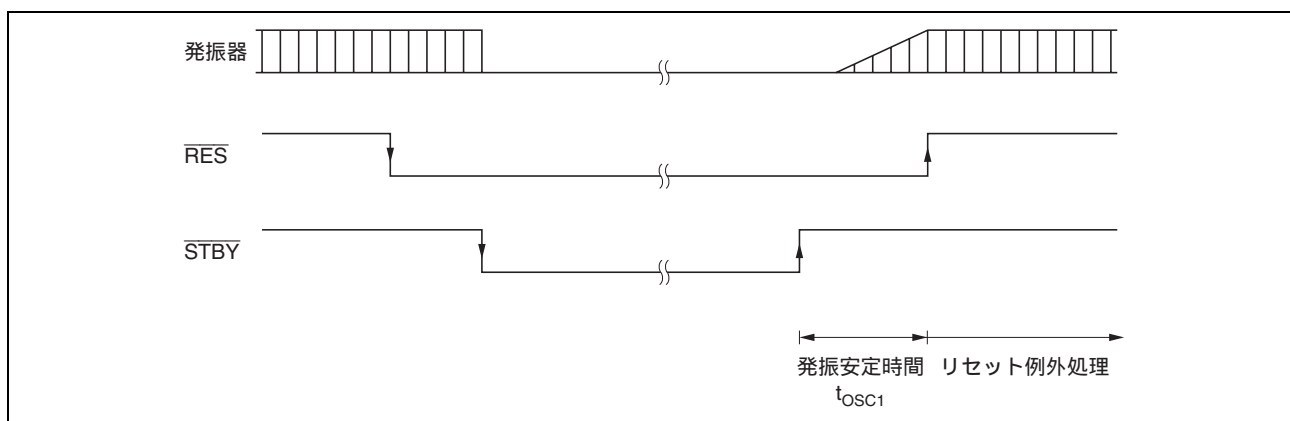


図 17.4 ハードウェアスタンバイモードのタイミング

17.8 クロック出力禁止機能

SYSCR の PSTOP ビット、対応するポートの DDR により、クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点でクロックは停止し、出力は High レベルになります。PSTOP を 0 にクリアした状態では、クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、クロック出力は禁止され、入力ポートになります。表 17.5 に各処理状態における端子の状態を示します。

表 17.5 各処理状態における端子の状態

DDR	0	1	
PSTOP	-	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード	ハイインピーダンス	High 固定	
スリープモード	ハイインピーダンス	出力	High 固定
高速モード	ハイインピーダンス	出力	High 固定
中速モード			

18. 電気的特性

18.1 絶対最大定格

絶対最大定格を表 18.1 に示します。

表 18.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +4.6	V
入力電圧 (ポート 9 以外)	V_{in}	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 9)	V_{in}	-0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	V_{ref}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +4.6	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75*	
		広温度範囲仕様品 : -40 ~ +85*	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = -20 \sim 75^\circ\text{C}$ です。

18.2 電源電圧と動作周波数範囲

電源電圧と動作範囲 (網かけ部) を図 18.1 に示します。

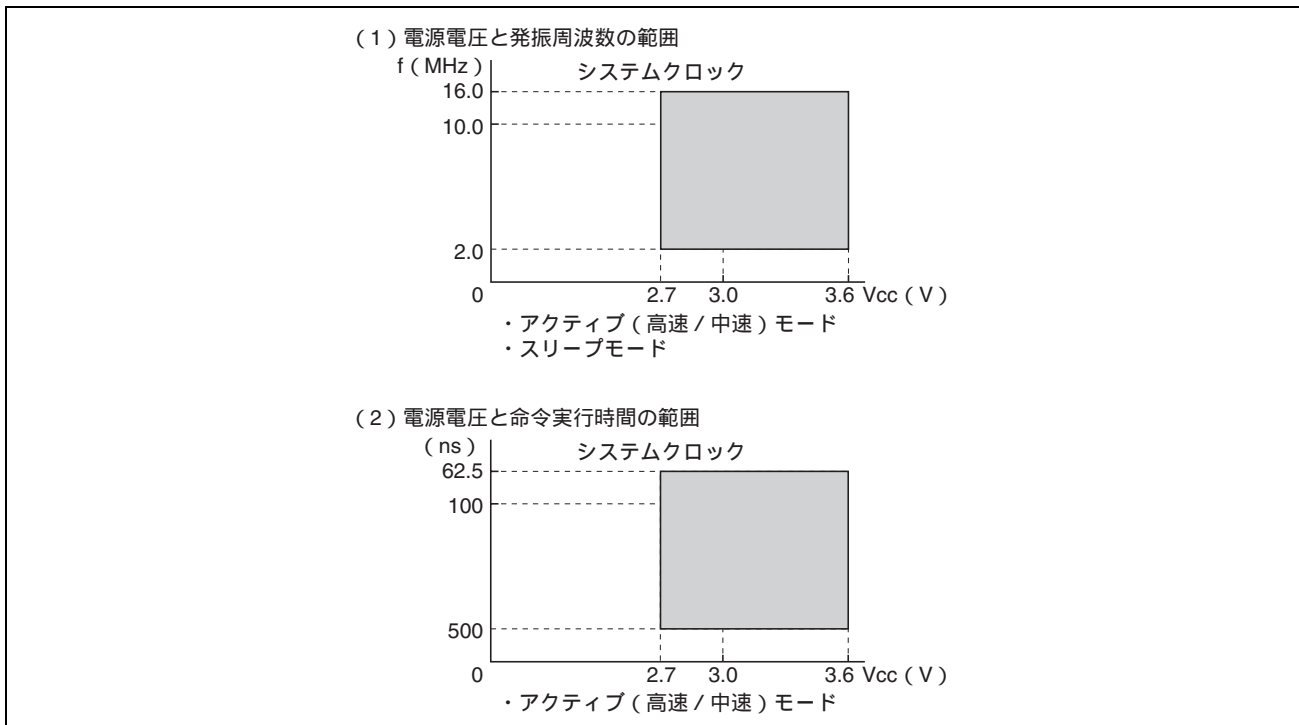


図 18.1 電源電圧と動作範囲

18.3 DC 特性

DC 特性を表 18.2 ~ 表 18.4 に示します。また、出力許容電流を表 18.5 に示します。

表 18.2 DC 特性 (1)

条件: $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*

項目	記号	min.	typ.	max.	単位	測定条件
シュミットトリガ入力電圧	IRQ0 ~ IRQ7	$V_{CC} \times 0.2$			V	
	EXIRQ0 ~ EXIRQ7			$V_{CC} \times 0.8$	V	
		$V_{CC} \times 0.05$			V	
入力 High レベル電圧	RES、STBY、NMI、MD2 ~ MD0、FWE	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL、ポート 1、3、4、7、A ~ G	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	RES、STBY、FWE、MD2 ~ MD0	-0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、ポート 1、3、4、7、9、A ~ G	-0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}		0.4	V	$I_{OL} = 0.4mA$
				0.4	V	$I_{OL} = 0.8mA$
入力リーク電流	RES	$ I_{in} $		1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD2 ~ MD0、ポート 4			1.0	μA	
	ポート 9			1.0	μA	
スリープ状態リーク電流 (オフ状態)	ポート 1、3、7、ポート A ~ G	$ I_{TSI} $		1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A ~ E	$-I_p$	10	300	μA	$V_{in} = 0V$

【注】* D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、 $V_{ref} = AV_{CC}$ としてください。

表 18.3 DC 特性 (2)

条件 : F-ZTAT 版 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*¹

項目	記号	min.	typ.	max.	単位	測定条件	
入力容量	RES	C_{in}		30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI			30	pF		
	RES、NMI 以外の全入力端子			15	pF		
消費電流* ²	通常動作時	I_{CC} * ⁴		20 $V_{CC} = 3.0V$	36.0 $V_{CC} = 3.6V$	mA	$f = 16MHz$
	スリープ時			13 $V_{CC} = 3.0V$	26.0 $V_{CC} = 3.6V$	mA	$f = 16MHz$
	全モジュールストップ時			14		mA	$f = 16MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	中速モード (/32) 時			9		mA	$f = 16MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	スタンバイ時* ³			1.0	10	μA	$T_a = 50$ $50 < T_a$
アナログ電源電流	D/A 変換中	AI_{CC}		0.01	5	mA	$AV_{CC} = 3.0V$
	D/A 変換待機時			0.01	5	μA	
リファレンス電源電流	D/A 変換中	AI_{CC}		1.0	1.8	mA	$V_{ref} = 3.0V$
	D/A 変換待機時			0.01	5	μA	
RAM スタンバイ電圧	V_{RAM}	2.0			V		

【注】 *1 D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、2.0~3.6V の電圧を印加してください。このとき、 $V_{ref} = AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH} (min.) = V_{CC} - 0.3V$ 、 $V_{IL} (max.) = 0.3V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} < V_{CC} < 2.7V$ のとき、 $V_{IH} (min.) = V_{CC} \times 0.9$ 、 $V_{IL} (max.) = 0.3V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} (max.) = 1.0 (mA) + 0.61 (mA / (MHz \times V)) \times V_{CC} \times f (通常動作時)$$

$$I_{CC} (max.) = 1.0 (mA) + 0.44 (mA / (MHz \times V)) \times V_{CC} \times f (スリープ時)$$

18. 電気的特性

表 18.4 DC 特性 (3)

条件 : マスク ROM 版 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*¹

項目		記号	min.	typ.	max.	単位	測定条件
入力容量	RES	C_{in}			30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				30	pF	
	RES、NMI 以外の全入力端子				15	pF	
消費電流* ²	通常動作時	I_{CC} * ⁴		20	36	mA	$f = 16MHz$
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
	スリープ時			13	26	mA	$f = 16MHz$
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
	全モジュールストップ時			14		mA	$f = 16MHz$ 、 $V_{CC} = 3.0V$ (参考値)
中速モード (/32) 時		9					
スタンバイ時* ³			1.0	10	μA	$T_a = 50$ $50 < T_a$	
				50			
アナログ 電源電流	D/A 変換中	AI_{CC}		0.01	5	mA	$AV_{CC} = 3.0V$
	D/A 変換待機時			0.01	5		
リファレンス 電源電流	D/A 変換中	AI_{CC}		1.0	1.8	mA	$V_{ref} = 3.0V$
	D/A 変換待機時			0.01	5		
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、2.0~3.6V の電圧を印加してください。このとき、 $V_{ref} = AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH} (min.) = V_{CC} - 0.3V$ 、 $V_{IL} (max.) = 0.3V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 2.7V$ のとき、 $V_{IH} (min.) = V_{CC} \times 0.9$ 、 $V_{IL} (max.) = 0.3V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} (max.) = 1.0 (mA) + 0.61 (mA / (MHz \times V)) \times V_{CC} \times f (通常動作時)$$

$$I_{CC} (max.) = 1.0 (mA) + 0.44 (mA / (MHz \times V)) \times V_{CC} \times f (スリープ時)$$

表 18.5 出力許容電流

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	I_{OL}		1.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.7 \sim 3.6V$	I_{OL}		60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	$-I_{OH}$		1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.7 \sim 3.6V$	$-I_{OH}$		30	

【注】 LSI の信頼性を確保するため、出力電流値は表 18.5 の値を超えないようにしてください。

18.4 AC 特性

図 18.2 に AC 測定条件を示します。

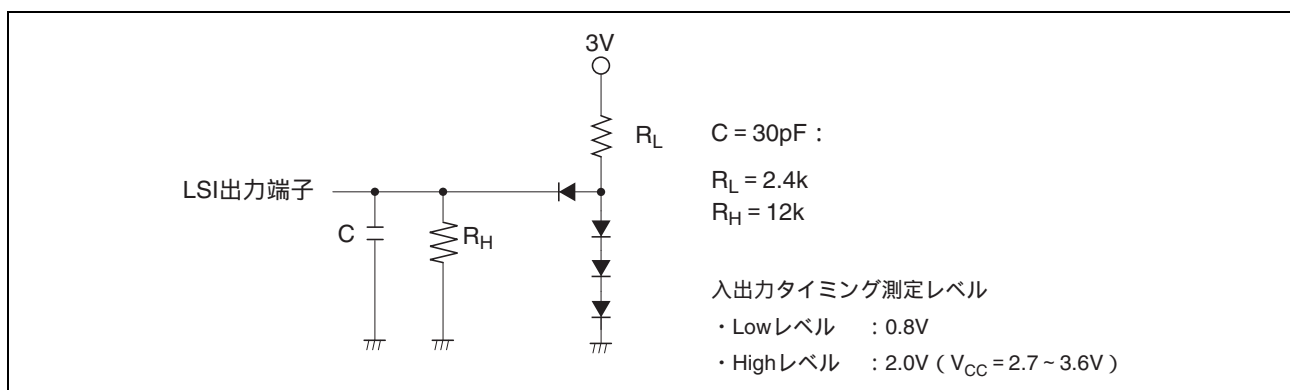


図 18.2 出力負荷回路

18.4.1 クロックタイミング

表 18.6 にクロックタイミングを示します。

表 18.6 クロックタイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 16MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
クロックサイクル時間	t_{cyc}	62.5	500	ns	図 18.3
クロックハイレベルパルス幅	t_{CH}	20		ns	
クロックローレベルパルス幅	t_{CL}	20		ns	
クロック立ち上がり時間	t_{Cr}		10	ns	
クロック立ち下がり時間	t_{Cf}		10	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		ms	図 18.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8		ms	図 17.3
外部クロック出力安定遅延時間	t_{DEXT}	500		μs	図 18.4

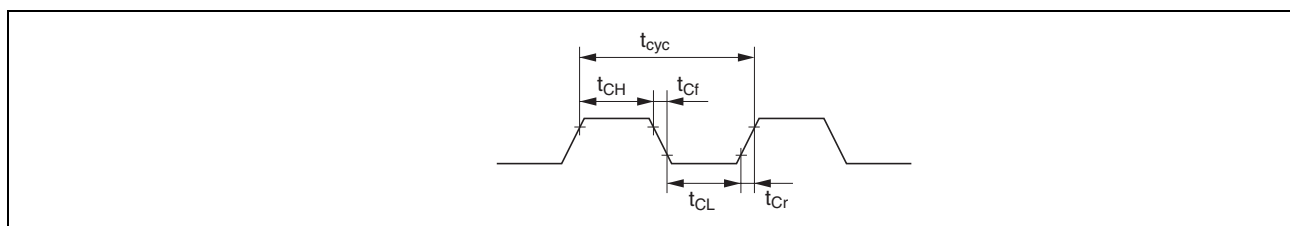


図 18.3 システムクロックタイミング

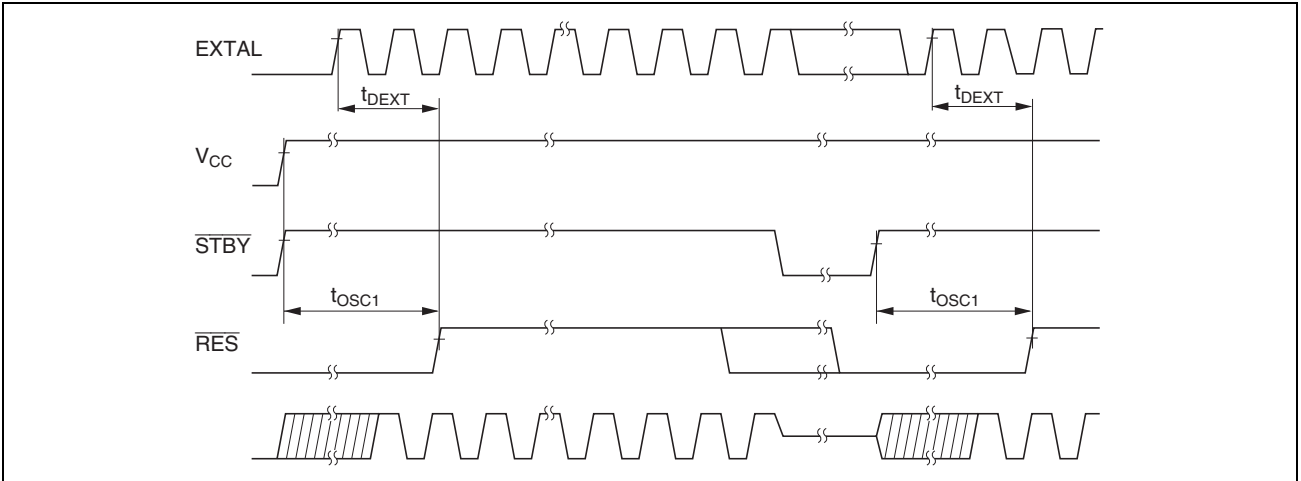


図 18.4 発振安定時間タイミング

18.4.2 制御信号タイミング

表 18.7 に制御信号タイミングを示します。

表 18.7 制御信号タイミング
 条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{osc} = 2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
RES セットアップ時間	t_{RESS}	250		ns	図 18.5
RES パルス幅	t_{RESW}	20		t_{cyc}	
MRES セットアップ時間	t_{MRESS}	250		ns	
MRES パルス幅	t_{MRESW}	20		t_{cyc}	
NMI セットアップ時間	t_{NMIS}	250		ns	図 18.6
NMI ホールド時間	t_{NMIH}	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		ns	
IRQ セットアップ時間	t_{IRQS}	250		ns	
IRQ ホールド時間	t_{IRQH}	10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IROW}	200		ns	

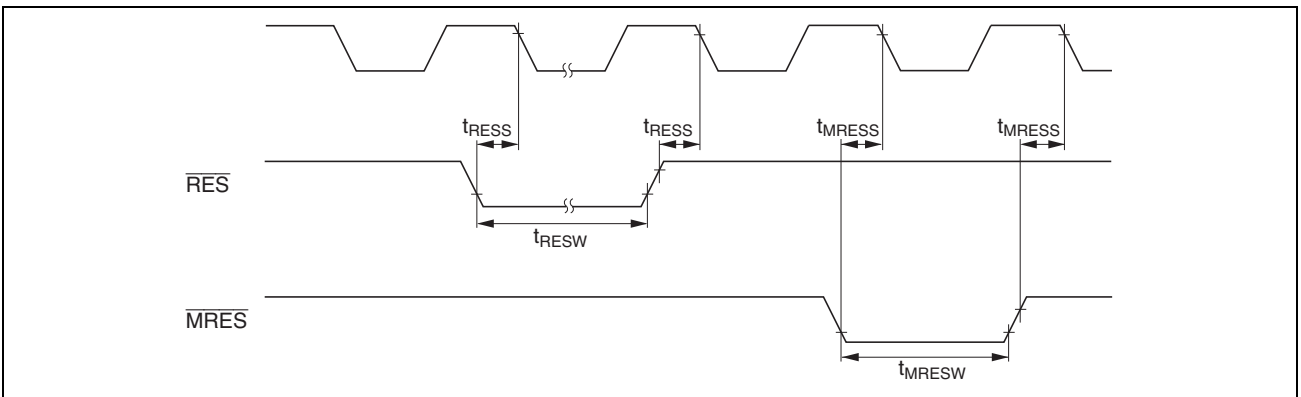


図 18.5 リセット入力タイミング

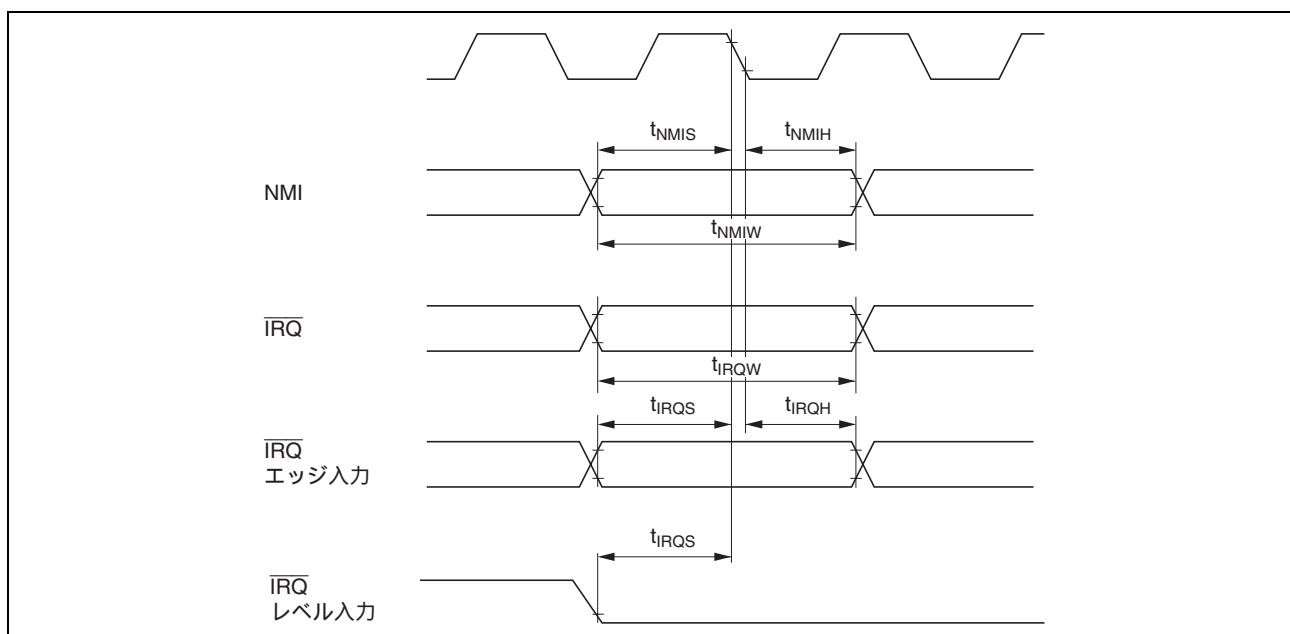


図 18.6 割り込み入力タイミング

18.4.3 バスタイミング

表 18.8 にバスタイミングを示します。

表 18.8 バスタイミング

条件: $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 16MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
アドレス遅延時間	t_{AD}		50	ns	図 18.7、図 18.8、図 18.10
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 15$		ns	
CS 遅延時間	t_{CSD}		50	ns	図 18.7、図 18.8
AS 遅延時間	t_{ASD}		50	ns	図 18.7、図 18.8、図 18.10
RD 遅延時間 1	t_{RSD1}		50	ns	図 18.7、図 18.8
RD 遅延時間 2	t_{RSD2}		50	ns	図 18.7、図 18.8、図 18.10
リードデータセットアップ時間	t_{RDS}	30		ns	図 18.7、図 18.8、
リードデータホールド時間	t_{RDH}	0		ns	図 18.10
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 65$	ns	図 18.7
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 65$	ns	図 18.7、図 18.10
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 65$	ns	図 18.8
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 65$	ns	
WR 遅延時間 1	t_{WRD1}		50	ns	
WR 遅延時間 2	t_{WRD2}		50	ns	図 18.7、図 18.8
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 30$		ns	図 18.7
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 30$		ns	図 18.8
ライトデータ遅延時間	t_{WDD}		70	ns	図 18.7、図 18.8
ライトデータセットアップ時間	t_{WDS}	$0.5t_{cyc} - 30$		ns	図 18.8
ライトデータホールド時間	t_{WDH}	$0.5t_{cyc} - 15$		ns	図 18.7、図 18.8
WAIT セットアップ時間	t_{WTS}	50		ns	図 18.9
WAIT ホールド時間	t_{WTH}	10		ns	
BREQ セットアップ時間	t_{BRQS}	50		ns	図 18.11
BACK 遅延時間	t_{BACD}		50	ns	
バスフローティング時間	t_{BZD}		80	ns	

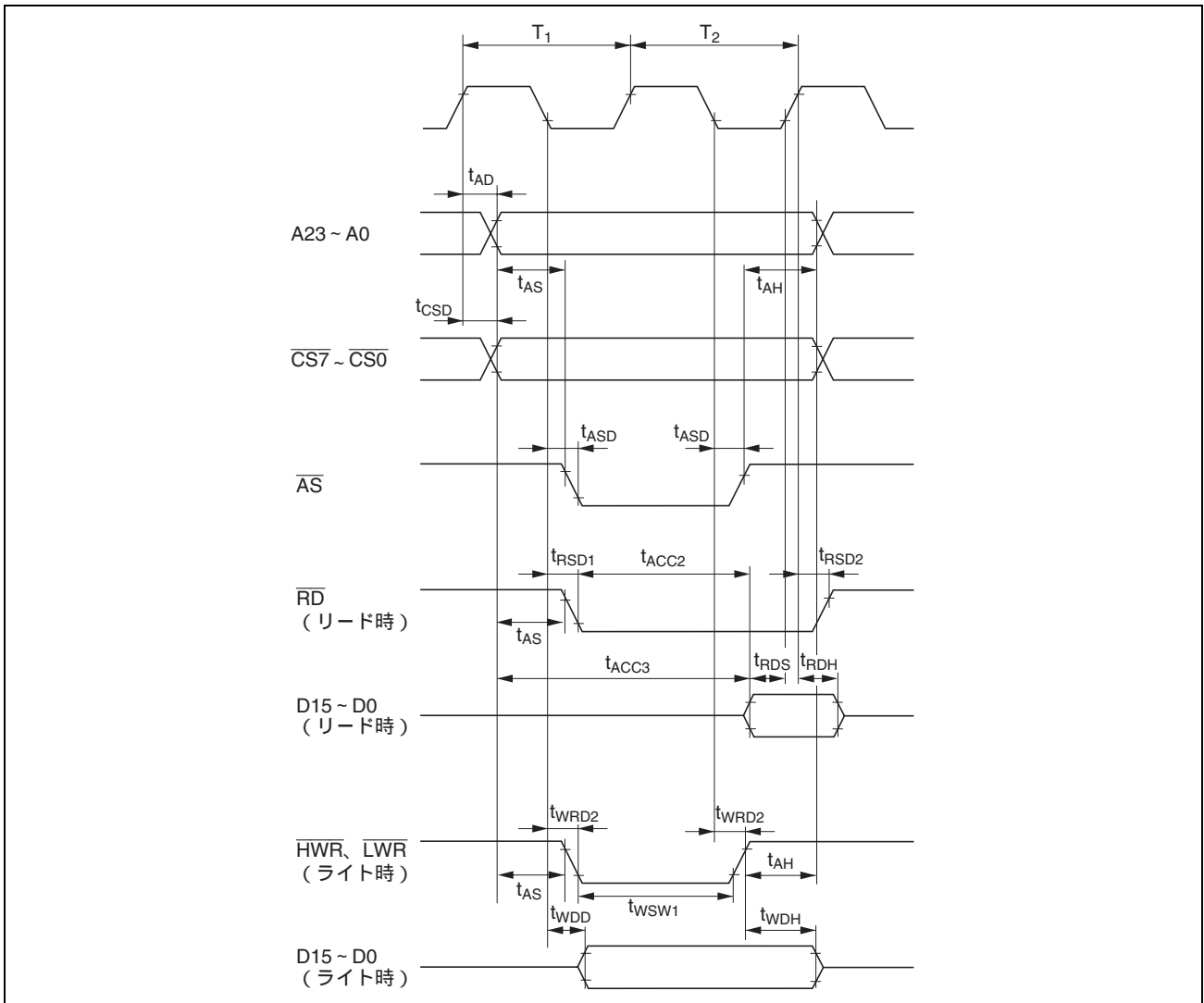


図 18.7 基本バスタイミング / 2 ステートアクセス

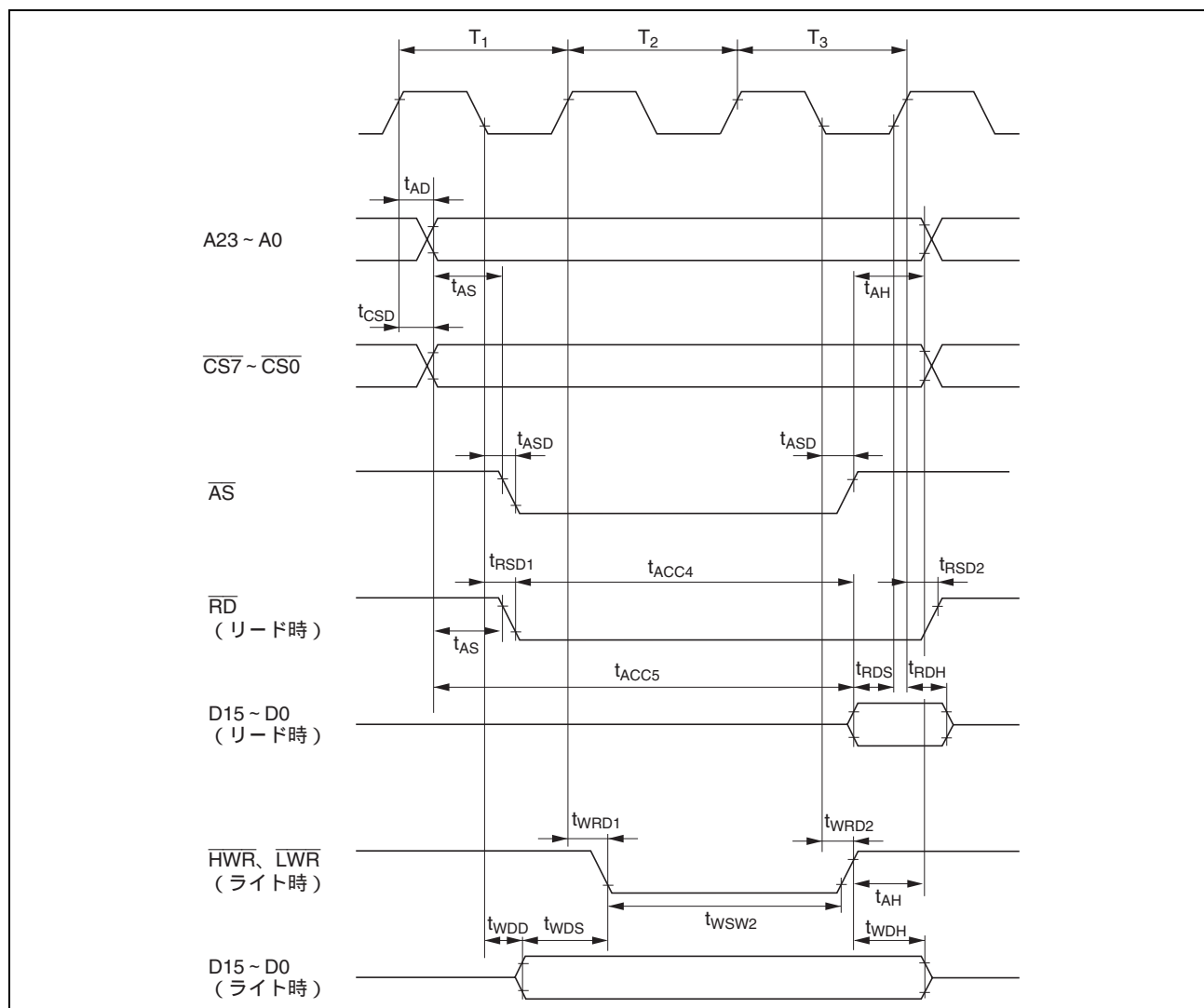


図 18.8 基本バスタイミング / 3 ステートアクセス

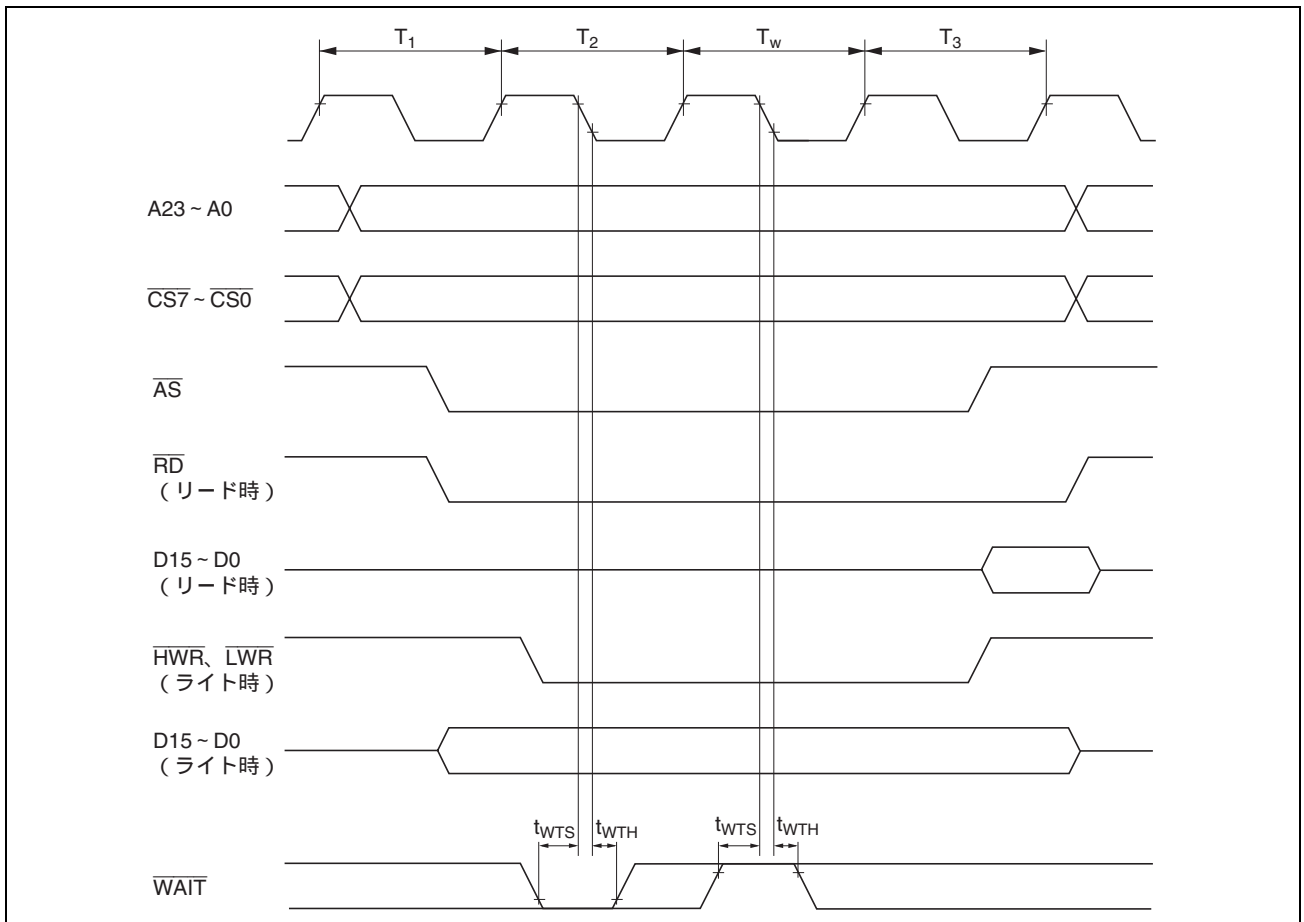


図 18.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

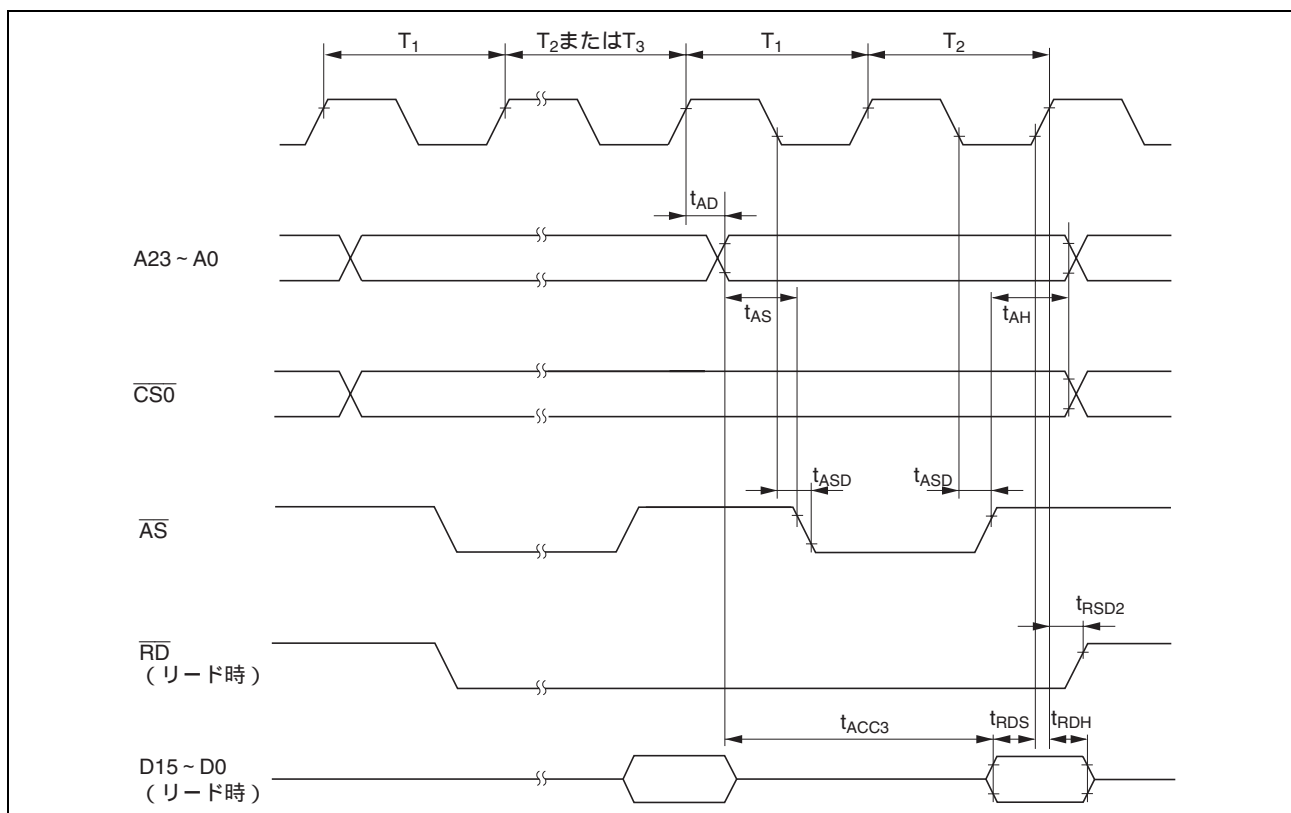


図 18.10 パラレル ROM アクセスタイミング / 2 ステートアクセス

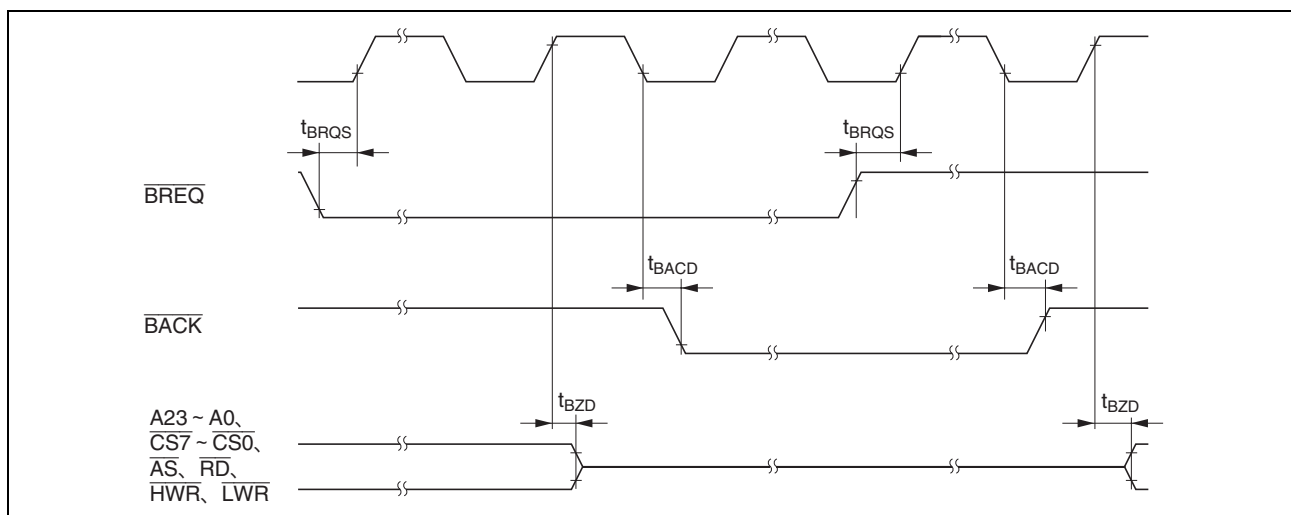


図 18.11 外部バス権解放タイミング

18.4.4 内蔵周辺モジュールタイミング

表 18.9 に内蔵周辺タイミングを示します。

表 18.9 内蔵周辺タイミング
 条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	max.	単位	測定条件
I/O ポート	出力データ遅延時間	t_{PWD}		100	ns	図 18.12
	入力データセットアップ時間	t_{PRS}	50			
	入力データホールド時間	t_{PRH}	50			
TPU	タイマ出力遅延時間	t_{TOCD}		100	ns	図 18.13
	タイマ入力セットアップ時間	t_{TICS}	40			
	タイマクロック入力セットアップ時間	t_{TCKS}	40		ns	図 18.14
	タイマクロック パルス幅	単エッジ指定 t_{TCKWH}	1.5			
	両エッジ指定 t_{TCKWL}	2.5				
SCI	入力クロックサイクル	調歩同期 t_{Seyc}	4		t_{cyc}	図 18.15
		クロック同期	6			
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Seyc}	
	入力クロック立ち上がり時間	t_{SCKr}		1.5	t_{cyc}	
	入力クロック立ち下がり時間	t_{SCKf}		1.5	t_{cyc}	
	送信データ遅延時間	t_{TXD}		100	ns	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	75		ns	
受信データホールド時間 (クロック同期)	t_{RXH}	75		ns		

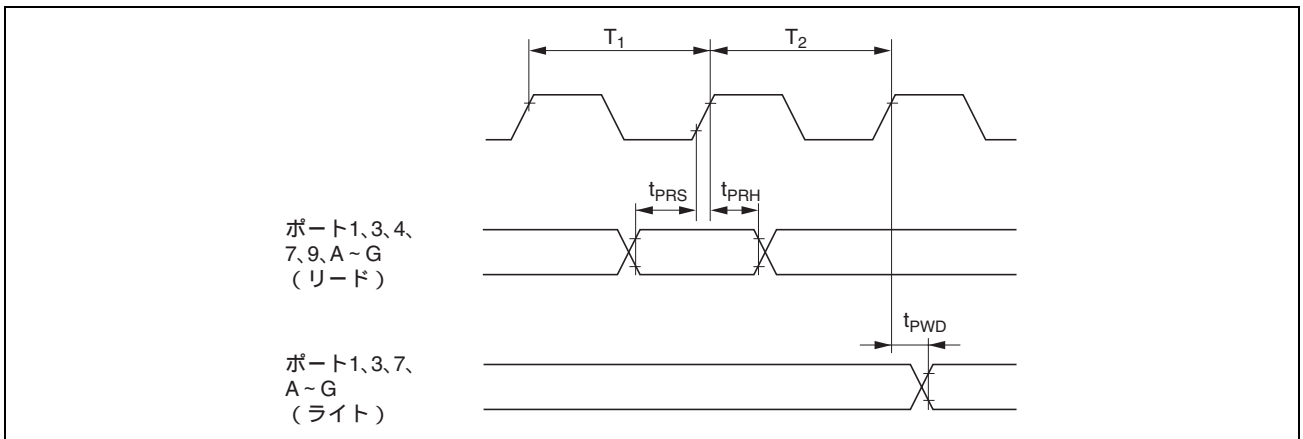
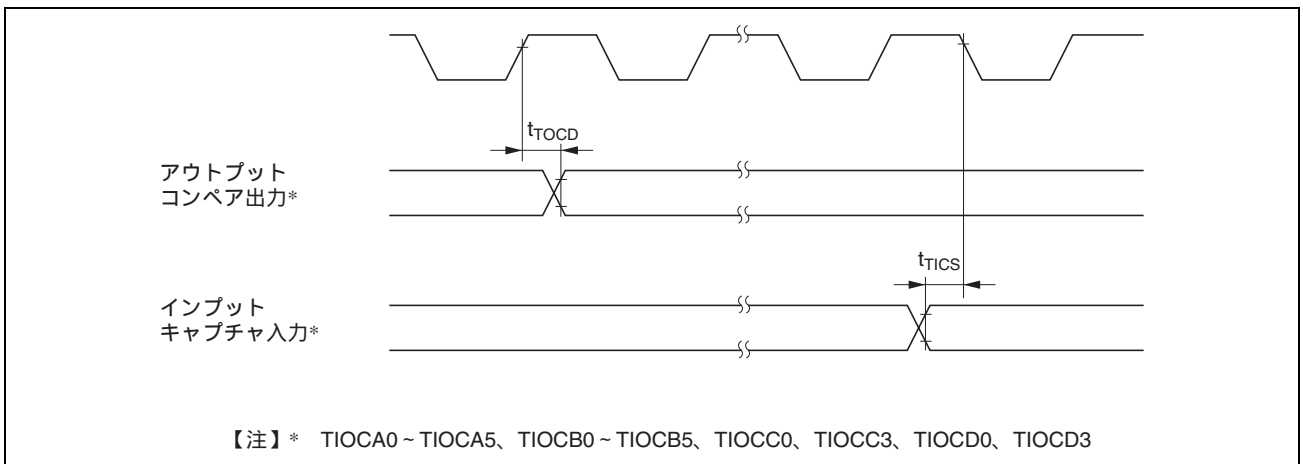


図 18.12 I/O ポート入出力タイミング



【注】* TIOCA0 ~ TIOCA5, TIOCB0 ~ TIOCB5, TIOCC0, TIOCC3, TIOCD0, TIOCD3

図 18.13 TPU 入出力タイミング

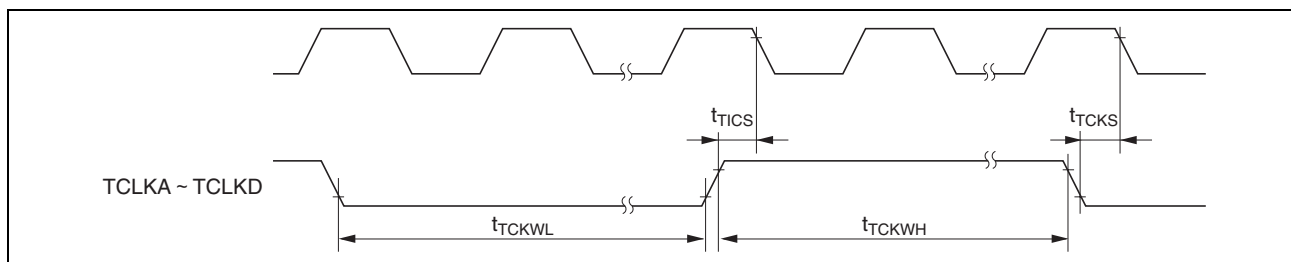


図 18.14 TPU クロック入力タイミング

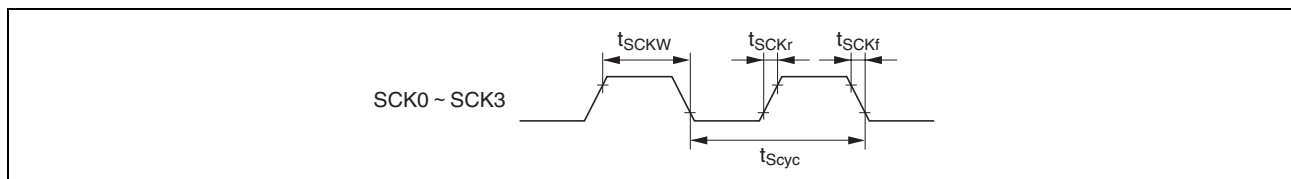


図 18.15 SCK クロック入力タイミング

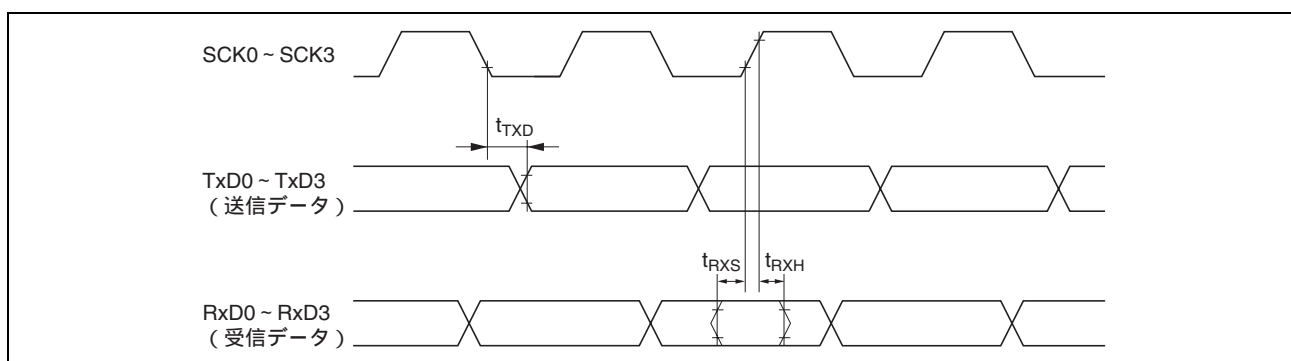


図 18.16 SCI 入出力タイミング/クロック同期式モード

18.4.5 DMAC タイミング

表 18.10 に DMAC タイミングを示します。

表 18.10 DMAC タイミング
 条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 16MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
DREQ セットアップ時間	t_{DRQS}	40		ns	図 18.18
DREQ ホールド時間	t_{DRQH}	10			
TEND 遅延時間	t_{TED}		50		図 18.17

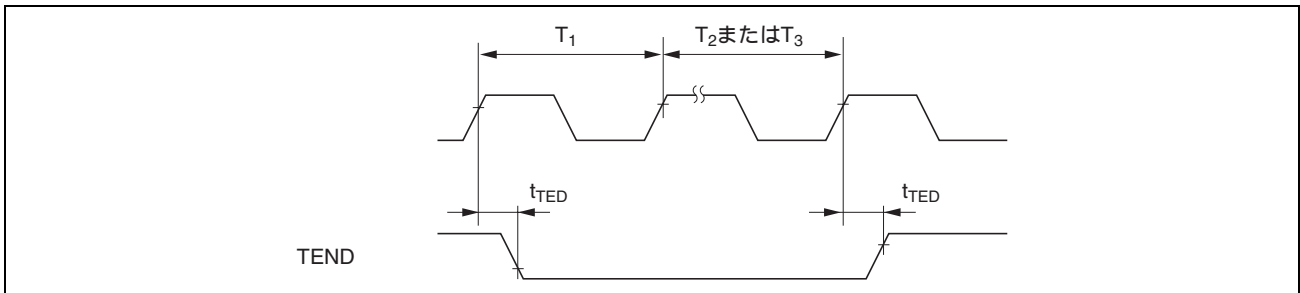


図 18.17 DMAC TEND 出力タイミング

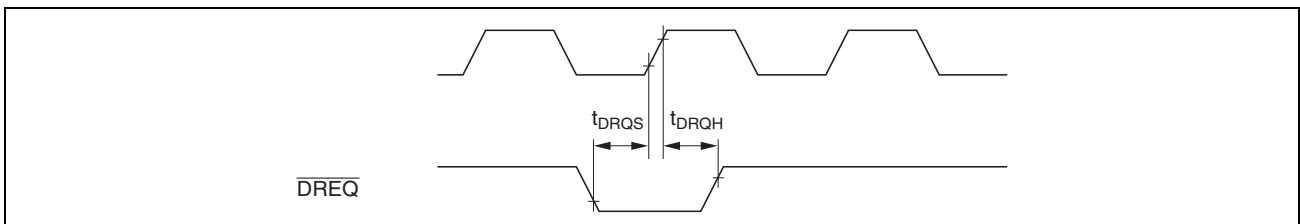


図 18.18 DMAC DREQ 出力タイミング

18.5 D/A 変換特性

表 18.11 に D/A 変換特性を示します。

表 18.11 D/A 変換特性
 条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 16MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	min.	typ.	max.	単位	測定条件
分解能	8	8	8	ビット	
変換時間			10	μs	負荷容量 20pF
絶対精度		± 2.0	± 3.0	LSB	負荷抵抗 2M
			± 2.0	LSB	負荷抵抗 4M

18.6 フラッシュメモリ特性

表 18.12 にフラッシュメモリ特性を示します。

表 18.12 フラッシュメモリ特性

条件: $V_{CC} = 2.7 \sim 3.6V$, $AV_{CC} = 2.7 \sim 3.6V$, $V_{ref} = AV_{CC}$, $V_{SS} = AV_{SS} = 0V$,
 $V_{CC} = 3.0 \sim 3.6V$ (書き込み / 消去時の動作電圧範囲)、
 $T_a = -20 \sim +75$ (書き込み / 消去時の動作温度範囲)

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 ^{*1*} ^{*2*} ^{*4*}		t_p		40	200	ms/128 バイト	
消去時間 ^{*1*} ^{*3*} ^{*5*}		t_e		20	1000	ms/ブロック	
書き換え回数		N_{WEC}	100 ^{*6*}	10000 ^{*7*}		回	
データ保持期間		t_{DRP} ^{*8*}	10			年	
書き込み時	SWE1 ビットセット後のウェイト時間 ^{*1*}	t_{swe}	1	1		μs	
	PSU1 ビットセット後のウェイト時間 ^{*1*}	t_{psu}	50	50		μs	
	P1 ビットセット後のウェイト時間 ^{*1*} ^{*4*}	t_{sp10}	8	10	12	μs	
		t_{sp30}	28	30	32	μs	1 n 6
		t_{sp200}	198	200	202	μs	7 n 1000
	P1 ビットクリア後のウェイト時間 ^{*1*}	t_{cp}	5	5		μs	
	PSU1 ビットクリア後のウェイト時間 ^{*1*}	t_{cpsu}	5	5		μs	
	PV1 ビットセット後のウェイト時間 ^{*1*}	t_{spv}	4	4		μs	
	H'FF ダミーライト後のウェイト時間 ^{*1*}	t_{spvr}	2	2		μs	
	PV1 ビットクリア後のウェイト時間 ^{*1*}	t_{cpv}	2	2		μs	
SWE1 ビットクリア後のウェイト時間 ^{*1*}	t_{csw}	100	100		μs		
最大書き込み回数 ^{*1*} ^{*4*}	N1			6 ^{*4*}	回		
	N2			994 ^{*4*}	回		
消去時	SWE1 ビットセット後のウェイト時間 ^{*1*}	t_{swe}	1	1		μs	
	ESU1 ビットセット後のウェイト時間 ^{*1*}	t_{esu}	100	100		μs	
	E1 ビットセット後のウェイト時間 ^{*1*} ^{*5*}	t_{se}	10	10	100	ms	
	E1 ビットクリア後のウェイト時間 ^{*1*}	t_{ce}	10	10		μs	
	ESU1 ビットクリア後のウェイト時間 ^{*1*}	t_{cesu}	10	10		μs	
	EV1 ビットセット後のウェイト時間 ^{*1*}	t_{sev}	20	20		μs	
	H'FF ダミーライト後のウェイト時間 ^{*1*}	t_{sevr}	2	2		μs	
	EV1 ビットクリア後のウェイト時間 ^{*1*}	t_{cev}	4	4		μs	
	SWE1 ビットクリア後のウェイト時間 ^{*1*}	t_{csw}	100	100		μs	
	最大消去回数 ^{*1*} ^{*5*}	N			100	回	

- 【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。
- *2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)。
- *3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)。
- *4 書き込み時間の最大値
 $t_p (\text{max.}) = P1 \text{ ビットセット後のウェイト時間 (tsp)} \times \text{最大書き込み回数 (N)}$
 $= (tsp30 + tsp10) \times 6 + (tsp200) \times 994$
- *5 消去時間の最大値 ($t_e (\text{max.})$) に対して、E1 ビットセット後のウェイト時間 (tse) と最大消去回数 (N) は以下の関係にあります。
 $t_e (\text{max.}) = E1 \text{ ビットセット後のウェイト時間 (tse)} \times \text{最大消去回数 (N)}$
- *6 書き換え後のすべての特性を保証する min.回数です (保証は 1 ~ min.値の範囲です)。
- *7 25°C のときの参考値 (通常この値まで書き換えは機能するという目安です)。
- *8 書き換えが min.値を含む仕様書範囲内で行われたときのデータ保持特性です。

18.7 使用上の注意

- F-ZTAT 版とマスク ROM 版の特性について

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

- プリント基板設計上の一般的注意事項

実装設計については、LSI のスイッチング過渡電流による輻射ノイズ対策を十分ご配慮のうえ、ご使用くださるようお願いいたします。以下に具体的対策例を示します。

1. 電源プレーンとGNDプレーンを有する。多層プリント基板を使用する。
2. LSIのVcc - GND (Vss) 間にバイパスコンデンサ (0.1 μ F程度) を付ける。

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)* ¹
Rs	汎用レジスタ (ソース側)* ¹
Rn	汎用レジスタ* ¹
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)* ²
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
() < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 *1 汎用レジスタは、8 ビット (R0H~R7H, R0L~R7L)、16 ビット (R0~R7, E0~E7) または 32 ビット (ER0~ER7) です。

*2 MAC レジスタは H8S/2214 では使用できません。

《コンディションコード》

記号	内容
↑	実行結果に従って変化することを表します。
*	不確定であることを表します(値を保証しません)。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。

(3) 論理演算命令

表 A.3 論理演算命令

二ーモニク	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aaa	@(d,PC)	@@aa		I	H	N	Z	V	
AND	AND.B #xx:8,Rd	B	2							Rd8^#xx:8 Rd8			↑	↑	0	1
	AND.B Rs,Rd	B	2							Rd8^Rs8 Rd8			↑	↑	0	1
	AND.W #xx:16,Rd	W	4							Rd16^#xx:16 Rd16			↑	↑	0	2
	AND.W Rs,Rd	W	4							Rd16^Rs16 Rd16			↑	↑	0	1
	AND.L #xx:32,ERd	L	6							ERd32^#xx:32 ERd32			↑	↑	0	3
AND.L ERs,ERd	L	4							ERd32^ERs32 ERd32			↑	↑	0	2	
OR	OR.B #xx:8,Rd	B	2							Rd8v#xx:8 Rd8			↑	↑	0	1
	OR.B Rs,Rd	B	2							Rd8vRs8 Rd8			↑	↑	0	1
	OR.W #xx:16,Rd	W	4							Rd16v#xx:16 Rd16			↑	↑	0	2
	OR.W Rs,Rd	W	4							Rd16vRs16 Rd16			↑	↑	0	1
	OR.L #xx:32,ERd	L	6							ERd32v#xx:32 ERd32			↑	↑	0	3
OR.L ERs,ERd	L	4							ERd32vERs32 ERd32			↑	↑	0	2	
XOR	XOR.B #xx:8,Rd	B	2							Rd8@#xx:8 Rd8			↑	↑	0	1
	XOR.B Rs,Rd	B	2							Rd8@Rs8 Rd8			↑	↑	0	1
	XOR.W #xx:16,Rd	W	4							Rd16@#xx:16 Rd16			↑	↑	0	2
	XOR.W Rs,Rd	W	4							Rd16@Rs16 Rd16			↑	↑	0	1
	XOR.L #xx:32,ERd	L	6							ERd32@#xx:32 ERd32			↑	↑	0	3
XOR.L ERs,ERd	L	4							ERd32@ERs32 ERd32			↑	↑	0	2	
NOT	NOT.B Rd	B	2							~ Rd8 Rd8			↑	↑	0	1
	NOT.W Rd	W	2							~ Rd16 Rd16			↑	↑	0	1
	NOT.L ERd	L	2							~ ERd32 ERd32			↑	↑	0	1

(4) シフト命令

表 A.4 シフト命令

二ノミック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード						実行 ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)		@aa	I	H	N	Z	V		C	アドバンスト
SHAL	SHAL.B Rd	B	2							↑	↑	↑	↑	↑	↑	1		
	SHAL.B #2,Rd	B	2							↑	↑	↑	↑	↑	↑	1		
	SHAL.W Rd	W	2							↑	↑	↑	↑	↑	↑	1		
	SHAL.W #2,Rd	W	2							↑	↑	↑	↑	↑	↑	1		
	SHAL.L ERd	L	2							↑	↑	↑	↑	↑	↑	1		
SHAL.L #2,ERd	L	2							↑	↑	↑	↑	↑	↑	1			
SHAR	SHAR.B Rd	B	2							↑	↑	↑	0	↑	↑	1		
	SHAR.B #2,Rd	B	2							↑	↑	↑	0	↑	↑	1		
	SHAR.W Rd	W	2							↑	↑	↑	0	↑	↑	1		
	SHAR.W #2,Rd	W	2							↑	↑	↑	0	↑	↑	1		
	SHAR.L ERd	L	2							↑	↑	↑	0	↑	↑	1		
SHAR.L #2,ERd	L	2							↑	↑	↑	0	↑	↑	1			
SHLL	SHLL.B Rd	B	2							↑	↑	↑	↑	↑	↑	1		
	SHLL.B #2,Rd	B	2							↑	↑	↑	↑	↑	↑	1		
	SHLL.W Rd	W	2							↑	↑	↑	↑	↑	↑	1		
	SHLL.W #2,Rd	W	2							↑	↑	↑	↑	↑	↑	1		
	SHLL.L ERd	L	2							↑	↑	↑	↑	↑	↑	1		
SHLL.L #2,ERd	L	2							↑	↑	↑	↑	↑	↑	1			
SHLR	SHLR.B Rd	B	2							0	↑	↑	↑	↑	↑	1		
	SHLR.B #2,Rd	B	2							0	↑	↑	↑	↑	↑	1		
	SHLR.W Rd	W	2							0	↑	↑	↑	↑	↑	1		
	SHLR.W #2,Rd	W	2							0	↑	↑	↑	↑	↑	1		
	SHLR.L ERd	L	2							0	↑	↑	↑	↑	↑	1		
SHLR.L #2,ERd	L	2							0	↑	↑	↑	↑	↑	1			
ROTXL	ROTXL.B Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTXL.B #2,Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTXL.W Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTXL.W #2,Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTXL.L ERd	L	2							↑	↑	↑	↑	0	↑	1		
ROTXL.L #2,ERd	L	2							↑	↑	↑	↑	0	↑	1			
ROTXR	ROTXR.B Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTXR.B #2,Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTXR.W Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTXR.W #2,Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTXR.L ERd	L	2							↑	↑	↑	↑	0	↑	1		
ROTXR.L #2,ERd	L	2							↑	↑	↑	↑	0	↑	1			
ROTL	ROTL.B Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTL.B #2,Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTL.W Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTL.W #2,Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTL.L ERd	L	2							↑	↑	↑	↑	0	↑	1		
ROTL.L #2,ERd	L	2							↑	↑	↑	↑	0	↑	1			
ROTR	ROTR.B Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTR.B #2,Rd	B	2							↑	↑	↑	↑	0	↑	1		
	ROTR.W Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTR.W #2,Rd	W	2							↑	↑	↑	↑	0	↑	1		
	ROTR.L ERd	L	2							↑	↑	↑	↑	0	↑	1		
ROTR.L #2,ERd	L	2							↑	↑	↑	↑	0	↑	1			

(5) ビット操作命令

表 A.5 ビット操作命令

二一モニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)		@aa	I	H	N	Z		V	C
BSET	BSET #xx:3,Rd	B	2						(#xx:3 of Rd8) 1							1	
	BSET #xx:3,@ERd	B		4					(#xx:3 of @ERd) 1							4	
	BSET #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) 1							4	
	BSET #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) 1							5	
	BSET #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) 1							6	
	BSET Rn,Rd	B	2						(Rn8 of Rd8) 1							1	
	BSET Rn,@ERd	B		4					(Rn8 of @ERd) 1							4	
	BSET Rn,@aa:8	B					4		(Rn8 of @aa:8) 1							4	
	BSET Rn,@aa:16	B					6		(Rn8 of @aa:16) 1							5	
BSET Rn,@aa:32	B					8		(Rn8 of @aa:32) 1							6		
BCLR	BCLR #xx:3,Rd	B	2						(#xx:3 of Rd8) 0							1	
	BCLR #xx:3,@ERd	B		4					(#xx:3 of @ERd) 0							4	
	BCLR #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) 0							4	
	BCLR #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) 0							5	
	BCLR #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) 0							6	
	BCLR Rn,Rd	B	2						(Rn8 of Rd8) 0							1	
	BCLR Rn,@ERd	B		4					(Rn8 of @ERd) 0							4	
	BCLR Rn,@aa:8	B					4		(Rn8 of @aa:8) 0							4	
	BCLR Rn,@aa:16	B					6		(Rn8 of @aa:16) 0							5	
BCLR Rn,@aa:32	B					8		(Rn8 of @aa:32) 0							6		
BNOT	BNOT #xx:3,Rd	B	2						(#xx:3 of Rd8) [~(#xx:3 of Rd8)]							1	
	BNOT #xx:3,@ERd	B		4					(#xx:3 of @ERd) [~(#xx:3 of @ERd)]							4	
	BNOT #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) [~(#xx:3 of @aa:8)]							4	
	BNOT #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) [~(#xx:3 of @aa:16)]							5	
	BNOT #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) [~(#xx:3 of @aa:32)]							6	
	BNOT Rn,Rd	B	2						(Rn8 of Rd8) [~(Rn8 of Rd8)]							1	
	BNOT Rn,@ERd	B		4					(Rn8 of @ERd) [~(Rn8 of @ERd)]							4	
	BNOT Rn,@aa:8	B					4		(Rn8 of @aa:8) [~(Rn8 of @aa:8)]							4	
	BNOT Rn,@aa:16	B					6		(Rn8 of @aa:16) [~(Rn8 of @aa:16)]							5	
BNOT Rn,@aa:32	B					8		(Rn8 of @aa:32) [~(Rn8 of @aa:32)]							6		
BTST	BTST #xx:3,Rd	B	2						~(#xx:3 of Rd8) Z							1	
	BTST #xx:3,@ERd	B		4					~(#xx:3 of @ERd) Z							3	
	BTST #xx:3,@aa:8	B					4		~(#xx:3 of @aa:8) Z							3	
	BTST #xx:3,@aa:16	B					6		~(#xx:3 of @aa:16) Z							4	
	BTST #xx:3,@aa:32	B					8		~(#xx:3 of @aa:32) Z							5	
	BTST Rn,Rd	B	2						~(Rn8 of Rd8) Z							1	
	BTST Rn,@ERd	B		4					~(Rn8 of @ERd) Z							3	
	BTST Rn,@aa:8	B					4		~(Rn8 of @aa:8) Z							3	
	BTST Rn,@aa:16	B					6		~(Rn8 of @aa:16) Z							4	
BTST Rn,@aa:32	B					8		~(Rn8 of @aa:32) Z							5		
BLD	BLD #xx:3,Rd	B	2						(#xx:3 of Rd8) C							1	
	BLD #xx:3,@ERd	B		4					(#xx:3 of @ERd) C							3	
	BLD #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) C							3	
	BLD #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) C							4	
	BLD #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) C							5	
BILD	BILD #xx:3,Rd	B	2						~(#xx:3 of Rd8) C							1	
	BILD #xx:3,@ERd	B		4					~(#xx:3 of @ERd) C							3	
	BILD #xx:3,@aa:8	B					4		~(#xx:3 of @aa:8) C							3	
	BILD #xx:3,@aa:16	B					6		~(#xx:3 of @aa:16) C							4	
	BILD #xx:3,@aa:32	B					8		~(#xx:3 of @aa:32) C							5	
BST	BST #xx:3,Rd	B	2						C (#xx:3 of Rd8)							1	
	BST #xx:3,@ERd	B		4					C (#xx:3 of @ERd)							4	
	BST #xx:3,@aa:8	B					4		C (#xx:3 of @aa:8)							4	
	BST #xx:3,@aa:16	B					6		C (#xx:3 of @aa:16)							5	
	BST #xx:3,@aa:32	B					8		C (#xx:3 of @aa:32)							6	
BIST	BIST #xx:3,Rd	B	2						~C (#xx:3 of Rd8)							1	
	BIST #xx:3,@ERd	B		4					~C (#xx:3 of @ERd)							4	
	BIST #xx:3,@aa:8	B					4		~C (#xx:3 of @aa:8)							4	
	BIST #xx:3,@aa:16	B					6		~C (#xx:3 of @aa:16)							5	
	BIST #xx:3,@aa:32	B					8		~C (#xx:3 of @aa:32)							6	
BAND	BAND #xx:3,Rd	B	2						C^(#xx:3 of Rd8) C							1	
	BAND #xx:3,@ERd	B		4					C^(#xx:3 of @ERd) C							3	
	BAND #xx:3,@aa:8	B					4		C^(#xx:3 of @aa:8) C							3	
	BAND #xx:3,@aa:16	B					6		C^(#xx:3 of @aa:16) C							4	
	BAND #xx:3,@aa:32	B					8		C^(#xx:3 of @aa:32) C							5	

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行 ステート数*1		
		#xx	Rn	@ ERn	@ (d, ERn)	@ -ERn/@ERn+	@aa	@ (d, PC)	@ @aa		I	H	N	Z	V	C	アドバンスト	
BIAND	BIAND #xx:3, Rd	B	2							C^ [~(#xx:3 of Rd8)] C							↑	1
	BIAND #xx:3, @ERd	B		4						C^ [~(#xx:3 of @ERd)] C							↑	3
	BIAND #xx:3, @aa:8	B					4			C^ [~(#xx:3 of @aa:8)] C							↑	3
	BIAND #xx:3, @aa:16	B					6			C^ [~(#xx:3 of @aa:16)] C							↑	4
	BIAND #xx:3, @aa:32	B					8			C^ [~(#xx:3 of @aa:32)] C							↑	5
BOR	BOR #xx:3, Rd	B	2							Cv(#xx:3 of Rd8) C							↑	1
	BOR #xx:3, @ERd	B		4						Cv(#xx:3 of @ERd) C							↑	3
	BOR #xx:3, @aa:8	B					4			Cv(#xx:3 of @aa:8) C							↑	3
	BOR #xx:3, @aa:16	B					6			Cv(#xx:3 of @aa:16) C							↑	4
	BOR #xx:3, @aa:32	B					8			Cv(#xx:3 of @aa:32) C							↑	5
BIOR	BIOR #xx:3, Rd	B	2							Cv [~(#xx:3 of Rd8)] C							↑	1
	BIOR #xx:3, @ERd	B		4						Cv [~(#xx:3 of @ERd)] C							↑	3
	BIOR #xx:3, @aa:8	B					4			Cv [~(#xx:3 of @aa:8)] C							↑	3
	BIOR #xx:3, @aa:16	B					6			Cv [~(#xx:3 of @aa:16)] C							↑	4
	BIOR #xx:3, @aa:32	B					8			Cv [~(#xx:3 of @aa:32)] C							↑	5
BXOR	BXOR #xx:3, Rd	B	2							C@ (#xx:3 of Rd8) C							↑	1
	BXOR #xx:3, @ERd	B		4						C@ (#xx:3 of @ERd) C							↑	3
	BXOR #xx:3, @aa:8	B					4			C@ (#xx:3 of @aa:8) C							↑	3
	BXOR #xx:3, @aa:16	B					6			C@ (#xx:3 of @aa:16) C							↑	4
	BXOR #xx:3, @aa:32	B					8			C@ (#xx:3 of @aa:32) C							↑	5
BIXOR	BIXOR #xx:3, Rd	B	2							C@ [~(#xx:3 of Rd8)] C							↑	1
	BIXOR #xx:3, @ERd	B		4						C@ [~(#xx:3 of @ERd)] C							↑	3
	BIXOR #xx:3, @aa:8	B					4			C@ [~(#xx:3 of @aa:8)] C							↑	3
	BIXOR #xx:3, @aa:16	B					6			C@ [~(#xx:3 of @aa:16)] C							↑	4
	BIXOR #xx:3, @aa:32	B					8			C@ [~(#xx:3 of @aa:32)] C							↑	5

(6) 分岐命令

表 A.6 分岐命令

二ノモニク	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード						実行ステート数*1	
		#XX	Rn	@ERn	@(d)ERn	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		分岐条件	I	H	N	Z	V		C
									アドバンスト									
Bcc	BRA d:8(BT d:8)								2	if condition is true then PC PC + d else next;	Always							2
	BRA d:16(BT d:16)								4		Never							3
	BRN d:8(BF d:8)								2		CvZ=0							2
	BRN d:16(BF d:16)								4		CvZ=1							3
	BHI d:8								2		C=0							2
	BHI d:16								4		C=1							3
	BLS d:8								2		Z=0							2
	BLS d:16								4		Z=1							3
	BCC d:8(BHS d:8)								2		V=0							2
	BCC d:16(BHS d:16)								4		V=1							3
	BCS d:8(BLO d:8)								2		N=0							2
	BCS d:16(BLO d:16)								4		N=1							3
	BNE d:8								2		N@V=0							2
	BNE d:16								4		N@V=1							3
	BEQ d:8								2		Zv(N@V)=0							2
	BEQ d:16								4		Zv(N@V)=1							3
	BVC d:8								2									2
	BVC d:16								4									3
	BVS d:8								2									2
	BVS d:16								4									3
	BPL d:8								2									2
	BPL d:16								4									3
	BMI d:8								2									2
	BMI d:16								4									3
	BGE d:8								2									2
	BGE d:16								4									3
	BLT d:8								2									2
	BLT d:16								4									3
	BGT d:8								2									2
	BGT d:16								4									3
	BLE d:8								2									2
	BLE d:16								4									3
JMP	JMP @ERn			2						PC ERn							2	
	JMP @aa:24							4		PC aa:24							3	
	JMP @@aa:8								2	PC @aa:8							5	
BSR	BSR d:8							2		PC @-SP,PC PC+d:8							4	
	BSR d:16							4		PC @-SP,PC PC+d:16							5	
JSR	JSR @ERn			2						PC @-SP,PC ERn							4	
	JSR @aa:24							4		PC @-SP,PC aa:24							5	
	JSR @@aa:8								2	PC @-SP,PC @aa:8							6	
RTS	RTS								2	PC @SP+							5	

(7) システム制御命令

表 A.7 システム制御命令

二モニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード						実行ステート数 アドバンスト
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@aa		I	H	N	Z	V	C	
TRAPA	TRAPA #xx:2									PC @-SP,CCR @-SP, EXR @-SP,<ベクタ> PC	1						8 [9]
RTE	RTE									EXR @SP+,CCR @SP+, PC @SP+	↑	↑	↑	↑	↑	↑	5 [9]
SLEEP	SLEEP									低消費電力状態に遷移							2
LDC	LDC #xx:8,CCR	B	2							#xx:8 CCR	↑	↑	↑	↑	↑	↑	1
	LDC #xx:8,EXR	B	4							#xx:8 EXR							2
	LDC Rs,CCR	B		2						Rs8 CCR	↑	↑	↑	↑	↑	↑	1
	LDC Rs,EXR	B		2						Rs8 EXR							1
	LDC @ERs,CCR	W			4					@ERs CCR	↑	↑	↑	↑	↑	↑	3
	LDC @ERs,EXR	W			4					@ERs EXR							3
	LDC @ (d:16,ERs),CCR	W				6				@ (d:16,ERs) CCR	↑	↑	↑	↑	↑	↑	4
	LDC @ (d:16,ERs),EXR	W				6				@ (d:16,ERs) EXR							4
	LDC @ (d:32,ERs),CCR	W				10				@ (d:32,ERs) CCR	↑	↑	↑	↑	↑	↑	6
	LDC @ (d:32,ERs),EXR	W				10				@ (d:32,ERs) EXR							6
	LDC @ERs+,CCR	W					4			@ERs CCR,ERs32+2 ERs32	↑	↑	↑	↑	↑	↑	4
	LDC @ERs+,EXR	W					4			@ERs EXR,ERs32+2 ERs32							4
	LDC @aa:16,CCR	W						6		@aa:16 CCR	↑	↑	↑	↑	↑	↑	4
	LDC @aa:16,EXR	W						6		@aa:16 EXR							4
LDC @aa:32,CCR	W							8	@aa:32 CCR	↑	↑	↑	↑	↑	↑	5	
LDC @aa:32,EXR	W							8	@aa:32 EXR							5	
STC	STC CCR,Rd	B		2						CCR Rd8							1
	STC EXR,Rd	B		2						EXR Rd8							1
	STC CCR,@ERd	W			4					CCR @ERd							3
	STC EXR,@ERd	W			4					EXR @ERd							3
	STC CCR,@ (d:16,ERd)	W				6				CCR @ (d:16,ERd)							4
	STC EXR,@ (d:16,ERd)	W				6				EXR @ (d:16,ERd)							4
	STC CCR,@ (d:32,ERd)	W				10				CCR @ (d:32,ERd)							6
	STC EXR,@ (d:32,ERd)	W				10				EXR @ (d:32,ERd)							6
	STC CCR,@-ERd	W					4			ERd32-2 ERd32,CCR @ERd							4
	STC EXR,@-ERd	W					4			ERd32-2 ERd32,EXR @ERd							4
	STC CCR,@aa:16	W						6		CCR @aa:16							4
	STC EXR,@aa:16	W						6		EXR @aa:16							4
STC CCR,@aa:32	W							8	CCR @aa:32							5	
STC EXR,@aa:32	W							8	EXR @aa:32							5	
ANDC	ANDC #xx:8,CCR	B	2							CCR^#xx:8 CCR	↑	↑	↑	↑	↑	↑	1
	ANDC #xx:8,EXR	B	4							EXR^#xx:8 EXR							2
ORC	ORC #xx:8,CCR	B	2							CCRv#xx:8 CCR	↑	↑	↑	↑	↑	↑	1
	ORC #xx:8,EXR	B	4							EXRv#xx:8 EXR							2
XORC	XORC #xx:8,CCR	B	2							CCR@#xx:8 CCR	↑	↑	↑	↑	↑	↑	1
	XORC #xx:8,EXR	B	4							EXR@#xx:8 EXR							2
NOP	NOP								2	PC PC+2							1

(8) ブロック転送命令

表 A.8 ブロック転送命令

二ーモニク	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1	
		#xx	Rn	@ERn	@(d,LRn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V		C
		アドバンスト															
EEPMOV	EEPMOV.B									4	if R4L≠0 Repeat @ER5 @ER6 ER5+1 ER5 ER6+1 ER6 R4L-1 R4L Until R4L=0 else next;						4+2n *3
	EEPMOV.W									4	if R4≠0 Repeat @ER5 @ER6 ER5+1 ER5 ER6+1 ER6 R4-1 R4 Until R4=0 else next;						4+2n *3

【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

*3 nはR4LまたはR4の初期設定値です。

[1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] H8S/2214では使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0(ゼロ)のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0(ゼロ)のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

A.2 命令コード一覧

表A.9 命令コード一覧

命令	二モニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
ADD	ADD.B #xx:8,Rd	B	8	rd	IMM															
	ADD.B Rs,Rd	B	0	8	rs	rd														
	ADD.W #xx:16,Rd	W	7	9	1	rd	IMM													
	ADD.W Rs,Rd	W	0	9	rs	rd														
	ADD.L #xx:32,ERd	L	7	A	1	0	erd	IMM												
ADDS	ADD.L ERs,ERd	L	0	A	1	ers	0	erd												
	ADDS #1,ERd	L	0	B	0	0	erd													
	ADDS #2,ERd	L	0	B	8	0	erd													
	ADDS #4,ERd	L	0	B	9	0	erd													
	ADDS #x:8,Rd	B	9	rd	IMM															
AND	ADDX #xx:8,Rd	B	0	E	rs	rd														
	ADDX Rs,Rd	B	0	E	rd	IMM														
	AND.B #xx:8,Rd	B	1	6	rs	rd														
	AND.B Rs,Rd	W	7	9	6	rd	IMM													
	AND.W #xx:16,Rd	W	6	6	rs	rd														
ANDC	AND.W Rs,Rd	W	6	6	rs	rd														
	AND.L #xx:32,ERd	L	7	A	6	0	erd	IMM												
	AND.L ERs,ERd	L	0	1	F	0	6	0	ers	0	erd									
	ANDC #xx:8,CCR	B	0	6	IMM															
	ANDC #xx:8,EXR	B	0	1	4	1	0	6	IMM											
BAND	BAND #xx:3,Rd	B	7	6	0	IMM	rd													
	BAND #xx:3,@ERd	B	7	C	0	erd	0	7	6	0	IMM	0								
	BAND #xx:3,@aa:8	B	7	E	abs			7	6	0	IMM	0								
	BAND #xx:3,@aa:16	B	6	A	1	0	abs	7	6	0	IMM	0								
	BAND #xx:3,@aa:32	B	6	A	3	0	abs						7	6	0	IMM	0			
Bcc	BRA d:8 (BT d:8)	-	4	0	disp															
	BRA d:16 (BT d:16)	-	5	8	0	0	disp													
	BRN d:8 (BF d:8)	-	4	1	disp															
	BRN d:16 (BF d:16)	-	5	8	1	0	disp													
	BHI d:8	-	4	2	disp															
	BHI d:16	-	5	8	2	0	disp													
	BLS d:8	-	4	3	disp															
	BLS d:16	-	5	8	3	0	disp													
	BCC d:8 (BHS d:8)	-	4	4	disp															
	BCC d:16 (BHS d:16)	-	5	8	4	0	disp													
	BCS d:8 (BLO d:8)	-	4	5	disp															
	BCS d:16 (BLO d:16)	-	5	8	5	0	disp													
	BNE d:8	-	4	6	disp															
	BNE d:16	-	5	8	6	0	disp													
	BEQ d:8	-	4	7	disp															
	BEQ d:16	-	5	8	7	0	disp													
BVC d:8	-	4	8	disp																
BVC d:16	-	5	8	8	0	disp														
BVS d:8	-	4	9	disp																
BVS d:16	-	5	8	9	0	disp														

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
Bcc (続き)	BPL d:8	-	4	A	disp																
	BPL d:16	-	5	8	A	0	disp														
	BMI d:8	-	4	B	disp																
	BMI d:16	-	5	8	B	0	disp														
	BGE d:8	-	4	C	disp																
	BGE d:16	-	5	8	C	0	disp														
	BLT d:8	-	4	D	disp																
	BLT d:16	-	5	8	D	0	disp														
	BGT d:8	-	4	E	disp																
	BGT d:16	-	5	8	E	0	disp														
	BLE d:8	-	4	F	disp																
	BLE d:16	-	5	8	F	0	disp														
	BCLR	BCLR #xx:3,Rd	B	7	2	0:IMM; rd															
		BCLR #xx:3,@ERd	B	7	D	0:erd; 0	7	2	0:IMM; 0												
		BCLR #xx:3,@aa:8	B	7	F	abs	7	2	0:IMM; 0												
		BCLR #xx:3,@aa:16	B	6	A	1	8	abs													
BCLR #xx:3,@aa:32		B	6	A	3	8	abs														
BCLR Rn,Rd		B	6	2	m	rd															
BCLR Rn,@ERd		B	7	D	0:erd; 0	6	2	m	0												
BCLR Rn,@aa:8		B	7	F	abs	6	2	m	0												
BCLR Rn,@aa:16		B	6	A	1	8	abs														
BCLR Rn,@aa:32		B	6	A	3	8	abs														
BIAND		BIAND #xx:3,Rd	B	7	6	1:IMM; rd															
		BIAND #xx:3,@ERd	B	7	C	0:erd; 0	7	6	1:IMM; 0												
	BIAND #xx:3,@aa:8	B	7	E	abs	7	6	1:IMM; 0													
	BIAND #xx:3,@aa:16	B	6	A	1	0	abs														
	BIAND #xx:3,@aa:32	B	6	A	3	0	abs														
	BILD #xx:3,Rd	B	7	7	1:IMM; rd																
BILD	BILD #xx:3,@ERd	B	7	C	0:erd; 0	7	7	1:IMM; 0													
	BILD #xx:3,@aa:8	B	7	E	abs	7	7	1:IMM; 0													
	BILD #xx:3,@aa:16	B	6	A	1	0	abs														
	BILD #xx:3,@aa:32	B	6	A	3	0	abs														
	BIOR #xx:3,Rd	B	7	4	1:IMM; rd																
	BIOR #xx:3,@ERd	B	7	C	0:erd; 0	7	4	1:IMM; 0													
BIOR	BIOR #xx:3,@aa:8	B	7	E	abs	7	4	1:IMM; 0													
	BIOR #xx:3,@aa:16	B	6	A	1	0	abs														
	BIOR #xx:3,@aa:32	B	6	A	3	0	abs														
	BIST #xx:3,Rd	B	6	7	1:IMM; rd																
	BIST #xx:3,@ERd	B	7	D	0:erd; 0	6	7	1:IMM; 0													
	BIST #xx:3,@aa:8	B	7	F	abs	6	7	1:IMM; 0													
BIST	BIST #xx:3,@aa:16	B	6	A	1	8	abs														
	BIST #xx:3,@aa:32	B	6	A	3	8	abs														

インストラクションフォーマット													
命令	ニーモニック	サイズ	第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト	
BIXOR	BIXOR #xx:3,Rd	B	7	5	1:IMM; rd								
	BIXOR #xx:3,@ERd	B	7	C	0:erd; 0	7	5	1:IMM; 0					
	BIXOR #xx:3,@aa:8	B	7	E	abs	7	5	1:IMM; 0					
	BIXOR #xx:3,@aa:16	B	6	A	1	0	abs	7	5	1:IMM; 0			
	BIXOR #xx:3,@aa:32	B	6	A	3	0	abs						
	BLD #xx:3,Rd	B	7	7	0:IMM; rd								
BLD	BLD #xx:3,@ERd	B	7	C	0:erd; 0	7	7	0:IMM; 0					
	BLD #xx:3,@aa:8	B	7	E	abs	7	7	0:IMM; 0					
	BLD #xx:3,@aa:16	B	6	A	1	0	abs	7	7	0:IMM; 0			
	BLD #xx:3,@aa:32	B	6	A	3	0	abs						
	BNOT #xx:3,Rd	B	7	1	0:IMM; rd								
	BNOT #xx:3,@ERd	B	7	D	0:erd; 0	7	1	0:IMM; 0					
BNOT	BNOT #xx:3,@aa:8	B	7	F	abs	7	1	0:IMM; 0					
	BNOT #xx:3,@aa:16	B	6	A	1	8	abs	7	1	0:IMM; 0			
	BNOT #xx:3,@aa:32	B	6	A	3	8	abs						
	BNOT Rn,Rd	B	6	1	m rd								
	BNOT Rn,@ERd	B	7	D	0:erd; 0	6	1	m 0					
	BNOT Rn,@aa:8	B	7	F	abs	6	1	m 0					
	BNOT Rn,@aa:16	B	6	A	1	8	abs	6	1	m 0			
	BNOT Rn,@aa:32	B	6	A	3	8	abs						
	BOR #xx:3,Rd	B	7	4	0:IMM; rd								
	BOR	BOR #xx:3,@ERd	B	7	C	0:erd; 0	7	4	0:IMM; 0				
BOR #xx:3,@aa:8		B	7	E	abs	7	4	0:IMM; 0					
BOR #xx:3,@aa:16		B	6	A	1	0	abs	7	4	0:IMM; 0			
BOR #xx:3,@aa:32		B	6	A	3	0	abs						
BSET #xx:3,Rd		B	7	0	0:IMM; rd								
BSET #xx:3,@ERd		B	7	D	0:erd; 0	7	0	0:IMM; 0					
BSET	BSET #xx:3,@aa:8	B	7	F	abs	7	0	0:IMM; 0					
	BSET #xx:3,@aa:16	B	6	A	1	8	abs	7	0	0:IMM; 0			
	BSET #xx:3,@aa:32	B	6	A	3	8	abs						
	BSET Rn,Rd	B	6	0	m rd								
	BSET Rn,@ERd	B	7	D	0:erd; 0	6	0	m 0					
	BSET Rn,@aa:8	B	7	F	abs	6	0	m 0					
	BSET Rn,@aa:16	B	6	A	1	8	abs	6	0	m 0			
	BSET Rn,@aa:32	B	6	A	3	8	abs						
	BSR dt8	-	5	5	disp								
	BSR d:16	-	5	C	0	0	disp						
BST	BST #xx:3,Rd	B	6	7	0:IMM; rd								
	BST #xx:3,@ERd	B	7	D	0:erd; 0	6	7	0:IMM; 0					
	BST #xx:3,@aa:8	B	7	F	abs	6	7	0:IMM; 0					
	BST #xx:3,@aa:16	B	6	A	1	8	abs	6	7	0:IMM; 0			
	BST #xx:3,@aa:32	B	6	A	3	8	abs						
	BST #xx:3,@aa:16	B	6	A	3	8	abs						

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BTST	BTST #xx:3,Rd	B	7	3	0:IMM; rd															
	BTST #xx:3,@ERd	B	7	C	0:erd; 0	7	3	0:IMM; 0												
	BTST #xx:3,@aa:8	B	7	E	abs	7	3	0:IMM; 0												
	BTST #xx:3,@aa:16	B	6	A	1 0	abs	7	3	0:IMM; 0											
	BTST #xx:3,@aa:32	B	6	A	3 0	abs														
	BTST Rn,Rd	B	6	3	rn rd															
	BTST Rn,@ERd	B	7	C	0:erd; 0	6	3	rn 0												
	BTST Rn,@aa:8	B	7	E	abs	6	3	rn 0												
	BTST Rn,@aa:16	B	6	A	1 0	abs	6	3	rn 0											
	BTST Rn,@aa:32	B	6	A	3 0	abs														
BXOR	BXOR #xx:3,Rd	B	7	5	0:IMM; rd															
	BXOR #xx:3,@ERd	B	7	C	0:erd; 0	7	5	0:IMM; 0												
	BXOR #xx:3,@aa:8	B	7	E	abs	7	5	0:IMM; 0												
	BXOR #xx:3,@aa:16	B	6	A	1 0	abs	7	5	0:IMM; 0											
	BXOR #xx:3,@aa:32	B	6	A	3 0	abs														
	CLRMAC	CLRMAC	-	H8S/2214グループでは使用できません。																
CMP	CMP.B #xx:8,Rd	B	A	rd	IMM															
	CMP.B Rs,Rd	B	1	C	rs rd															
	CMP.W #xx:16,Rd	W	7	9	2 rd			IMM												
	CMP.W Rs,Rd	W	1	D	rs rd															
	CMP.L #xx:32,ERd	L	7	A	2 0:erd															
	CMP.L ERs,ERd	L	1	F	1:ers 0:erd															
	DAA Rd	B	0	F	0 rd															
	DAS Rd	B	1	F	0 rd															
	DEC.B Rd	B	1	A	0 rd															
	DEC.W #1,Rd	W	1	B	5 rd															
DEC.W #2,Rd	W	1	B	D rd																
DEC.L #1,ERd	L	1	B	7 0:erd																
DEC.L #2,ERd	L	1	B	F 0:erd																
DIVXS	DIVXS.B Rs,Rd	B	0	1	D 0	5	1	rs rd												
	DIVXS.W Rs,ERd	W	0	1	D 0	5	3	rs 0:erd												
DIVXU	DIVXU.B Rs,Rd	B	5	1	rs rd															
	DIVXU.W Rs,ERd	W	5	3	rs 0:erd															
EEMOV	EEMOV.B	-	7	B	5 C	5	9	8 F												
	EEMOV.W	-	7	B	D 4	5	9	8 F												
EXTS	EXTS.W Rd	W	1	7	D rd															
	EXTS.L ERd	L	1	7	F 0:erd															
EXTU	EXTU.W Rd	W	1	7	5 rd															
	EXTU.L ERd	L	1	7	7 0:erd															

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
INC	INC.B Rd	B	0	A	0	rd														
	INC.W #1,Rd	W	0	B	5	rd														
	INC.W #2,Rd	W	0	B	D	rd														
	INC.L #1,ERd	L	0	B	7	0:erd														
	INC.L #2,ERd	L	0	B	F	0:erd														
JMP	JMP @ERn	-	5	9	0:ern	0														
	JMP @aa:24	-	5	A		abs														
JSR	JMP @aa:8	-	5	B	abs															
	JSR @ERn	-	5	D	0:ern	0														
	JSR @aa:24	-	5	E		abs														
	JSR @aa:8	-	5	F	abs															
LDC	LDC #xx:8,CCR	B	0	7	IMM															
	LDC #xx:8,EXR	B	0	1	4	1	0	7	IMM											
	LDC Rs,CCR	B	0	3	0	rs														
	LDC Rs,EXR	B	0	3	1	rs														
	LDC @ERs,CCR	W	0	1	4	0	6	9	0:ers	0										
	LDC @ERs,EXR	W	0	1	4	1	6	9	0:ers	0										
	LDC @(d:16,ERs),CCR	W	0	1	4	0	6	F	0:ers	0										
	LDC @(d:16,ERs),EXR	W	0	1	4	1	6	F	0:ers	0										
	LDC @(d:32,ERs),CCR	W	0	1	4	0	7	8	0:ers	0										
	LDC @(d:32,ERs),EXR	W	0	1	4	1	7	8	0:ers	0										
	LDC @ERs+,CCR	W	0	1	4	0	6	D	0:ers	0										
	LDC @ERs+,EXR	W	0	1	4	1	6	D	0:ers	0										
	LDC @aa:16,CCR	W	0	1	4	0	6	B	0	0										
	LDC @aa:16,EXR	W	0	1	4	1	6	B	0	0										
LDM	LDC @aa:32,CCR	W	0	1	4	0	6	B	2	0										
	LDC @aa:32,EXR	W	0	1	4	1	6	B	2	0										
	LDML @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1										
	LDML @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2										
LDMAC	LDML @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3										
	LDMAC ERs,MACH	L																		
MAC	LDMAC ERs,MACL	L																		
	MAC @ERn+, @ERn+	-																		
MOV	MOV.B #xx:8,Rd	B	F	rd	IMM															
	MOV.B Rs,Rd	B	0	C	rs	rd														
	MOV.B @ERs,Rd	B	6	8	0:ers	rd														
	MOV.B @(d:16,ERs),Rd	B	6	E	0:ers	rd														
	MOV.B @(d:32,ERs),Rd	B	7	8	0:ers	0	6	A	2	rd										
	MOV.B @ERs+,Rd	B	6	C	0:ers	rd														
	MOV.B @aa:8,Rd	B	2	rd	abs															
	MOV.B @aa:16,Rd	B	6	A	0	rd														
	MOV.B @aa:32,Rd	B	6	A	2	rd														
	MOV.B Rs,@ERd	B	6	8	1:erd	rs														
MOV.B Rs,@(d:16,ERd)	MOV.B Rs,@(d:16,ERd)	B	6	E	1:erd	rs														
	MOV.B Rs,@(d:32,ERd)	B	7	8	0:erd	0	6	A	A	rs										

H8S/2214グループでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
MOV (続き)	MOV.B Rs,@-ERd	B	6	C	1	erd	rs														
	MOV.B Rs,@aa:8	B	3	rs		abs															
	MOV.B Rs,@aa:16	B	6	A	8	rs		abs													
	MOV.B Rs,@aa:32	B	6	A	A	rs		abs													
	MOV.W #xx:16,Rd	W	7	9	0	rd			IMM												
	MOV.W Rs,Rd	W	0	D	rs	rd															
	MOV.W @ERS,Rd	W	6	9	0	ers	rd														
	MOV.W @(d:16,ERS),Rd	W	6	F	0	ers	rd		disp												
	MOV.W @(d:32,ERS),Rd	W	7	8	0	ers	0	6	B	2	rd				disp						
	MOV.W @ERS+,Rd	W	6	D	0	ers	rd														
	MOV.W @aa:16,Rd	W	6	B	0	rd			abs												
	MOV.W @aa:32,Rd	W	6	B	2	rd			abs												
	MOV.W Rs,@ERd	W	6	9	1	erd	rs														
	MOV.W Rs,@(d:16,ERd)	W	6	F	1	erd	rs		disp												
	MOV.W Rs,@(d:32,ERd)	W	7	8	0	erd	0	6	B	A	rs				disp						
	MOV.W Rs,@-ERd	W	6	D	1	erd	rs														
	MOV.W Rs,@aa:16	W	6	B	8	rs			abs												
	MOV.W Rs,@aa:32	W	6	B	A	rs			abs												
	MOV.L #xx:32,Rd	L	7	A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	MOV.L ERS,ERd	L	0	F	1	ers	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
MOV.L @ERS,ERd	L	0	1	0	0	0	6	9	0	0	0	0	0	0	0	0	0	0	0	0	
MOV.L @(d:16,ERS),ERd	L	0	1	0	0	0	6	F	0	0	0	0	0	0	0	0	0	0	0	0	
MOV.L @(d:32,ERS),ERd	L	0	1	0	0	0	7	8	0	0	0	0	0	0	0	0	0	0	0	0	
MOV.L @ERS+,ERd	L	0	1	0	0	0	6	D	0	0	0	0	0	0	0	0	0	0	0	0	
MOV.L @aa:16,ERd	L	0	1	0	0	0	6	B	0	0	0	0	0	0	0	0	0	0	0	0	
MOV.L @aa:32,ERd	L	0	1	0	0	0	6	B	2	0	0	0	0	0	0	0	0	0	0	0	
MOV.L ERS,@ERd	L	0	1	0	0	0	6	9	1	0	0	0	0	0	0	0	0	0	0	0	
MOV.L ERS,@(d:16,ERd)	L	0	1	0	0	0	6	F	1	0	0	0	0	0	0	0	0	0	0	0	
MOV.L ERS,@(d:32,ERd)+1	L	0	1	0	0	0	7	8	0	0	0	0	0	0	0	0	0	0	0	0	
MOV.L ERS,@-ERd	L	0	1	0	0	0	6	D	1	0	0	0	0	0	0	0	0	0	0	0	
MOV.L ERS,@aa:16	L	0	1	0	0	0	6	B	8	0	0	0	0	0	0	0	0	0	0	0	
MOV.L ERS,@aa:32	L	0	1	0	0	0	6	B	A	0	0	0	0	0	0	0	0	0	0	0	
MOV.FPE @aa:16,Rd	B																				
MOV.TPE Rs,@aa:16	B																				
MULXS	MULXS.B Rs,Rd	W	0	1	C	0	0	5	0	rs	rd										
MULXU	MULXS.W Rs,ERd	B	5	0	rs	rd															
	MULXU.W Rs,ERd	W	5	2	rs	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
NEG	NEG.B Rd	B	1	7	8	rd															
	NEG.W Rd	W	1	7	9	rd															
NOP	NEG.L ERd	L	1	7	B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	NOP	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B 1 7	0	rd																
	NOT.W Rd	W 1 7	1	rd																
	NOT.L ERd	L 1 7	3	0 : end																
OR	OR.B #xx:8,Rd	B C	rd	IMM																
	OR.B Rs,Rd	B 1 4	rs	rd																
	OR.W #xx:16,Rd	W 7 9	4	rd																
	OR.W Rs,Rd	W 6 4	rs	rd																
	OR.L #xx:32,ERd	L 7 A	4	0 : end																
	OR.L ERs,ERd	L 0 1	F	0		6	4	0 : ers	0 : end											
ORC	ORC #xx:8,CCR	B 0 4	IMM																	
	ORC #xx:8,EXR	B 0 1	4	1	0	4		IMM												
POP	POP.W Rn	W 6 D	7	m																
	POP.L ERn	L 0 1	0	0	6	D	7	0 : ern												
PUSH	PUSH.W Rn	W 6 D	F	m																
	PUSH.L ERn	L 0 1	0	0	6	D	F	0 : ern												
ROTL	ROTL.B Rd	B 1 2	8	rd																
	ROTL.B #2, Rd	B 1 2	C	rd																
	ROTL.W Rd	W 1 2	9	rd																
	ROTL.W #2, Rd	W 1 2	D	rd																
	ROTL.L ERd	L 1 2	B	0 : end																
	ROTL.L #2, ERd	L 1 2	F	0 : end																
	ROTR.B Rd	B 1 3	8	rd																
	ROTR.B #2, Rd	B 1 3	C	rd																
	ROTR.W Rd	W 1 3	9	rd																
	ROTR.W #2, Rd	W 1 3	D	rd																
ROTXL	ROTXL.L ERd	L 1 3	B	0 : end																
	ROTXL.L #2, ERd	L 1 3	F	0 : end																
	ROTXL.B Rd	B 1 2	0	rd																
	ROTXL.B #2, Rd	B 1 2	4	rd																
	ROTXL.W Rd	W 1 2	1	rd																
	ROTXL.W #2, Rd	W 1 2	5	rd																
	ROTXL.L ERd	L 1 2	3	0 : end																
	ROTXL.L #2, ERd	L 1 2	7	0 : end																
	ROTXR.B Rd	B 1 3	0	rd																
	ROTXR.B #2, Rd	B 1 3	4	rd																
RTS	ROTXR.W Rd	W 1 3	1	rd																
	ROTXR.W #2, Rd	W 1 3	5	rd																
	ROTXR.L ERd	L 1 3	3	0 : end																
	ROTXR.L #2, ERd	L 1 3	7	0 : end																
	RTE	-	5	6	7	0														
	RTS	-	5	4	7	0														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SHAL	SHAL.B.Rd	B	1	0	8	rd														
	SHAL.B.#2.Rd	B	1	0	C	rd														
	SHAL.W.Rd	W	1	0	9	rd														
	SHAL.W.#2.Rd	W	1	0	D	rd														
	SHAL.L.ERd	L	1	0	B	0:erd														
	SHAL.L.#2.ERd	L	1	0	F	0:erd														
SHAR	SHAR.B.Rd	B	1	1	8	rd														
	SHAR.B.#2.Rd	B	1	1	C	rd														
	SHAR.W.Rd	W	1	1	9	rd														
	SHAR.W.#2.Rd	W	1	1	D	rd														
	SHAR.L.ERd	L	1	1	B	0:erd														
	SHAR.L.#2.ERd	L	1	1	F	0:erd														
SHLL	SHLL.B.Rd	B	1	0	0	rd														
	SHLL.B.#2.Rd	B	1	0	4	rd														
	SHLL.W.Rd	W	1	0	1	rd														
	SHLL.W.#2.Rd	W	1	0	5	rd														
	SHLL.L.ERd	L	1	0	3	0:erd														
	SHLL.L.#2.ERd	L	1	0	7	0:erd														
SHLR	SHLR.B.Rd	B	1	1	0	rd														
	SHLR.B.#2.Rd	B	1	1	4	rd														
	SHLR.W.Rd	W	1	1	1	rd														
	SHLR.W.#2.Rd	W	1	1	5	rd														
	SHLR.L.ERd	L	1	1	3	0:erd														
	SHLR.L.#2.ERd	L	1	1	7	0:erd														
SLEEP	SLEEP	-	0	1	8	0														
	STC.B.CCR,Rd	B	0	2	0	rd														
	STC.B.EXR,Rd	B	0	2	1	rd														
	STC.W.CCR,@ERd	W	0	1	4	0	6	9	1:erd	0										
	STC.W.EXR,@ERd	W	0	1	4	1	6	9	1:erd	0										
	STC.W.CCR,@(d16.ERd)	W	0	1	4	0	6	F	1:erd	0										
	STC.W.EXR,@(d16.ERd)	W	0	1	4	1	6	F	1:erd	0										
	STC.W.CCR,@(d32.ERd)	W	0	1	4	0	7	8	0:erd	0	6	B	A	0						
	STC.W.EXR,@(d32.ERd)	W	0	1	4	1	7	8	0:erd	0	6	B	A	0						
	STC.W.CCR,@-ERd	W	0	1	4	0	6	D	1:erd	0										
	STC.W.EXR,@-ERd	W	0	1	4	1	6	D	1:erd	0										
	STC.W.CCR,@aa:16	W	0	1	4	0	6	B	8	0										
	STC.W.EXR,@aa:16	W	0	1	4	1	6	B	8	0										
	STC.W.CCR,@aa:32	W	0	1	4	0	6	B	A	0										
STC.W.EXR,@aa:32	W	0	1	4	1	6	B	A	0											
STM	STM.L(ERn-ERn+1),@-SP	L	0	1	1	0	6	D	F	0:ern										
	STM.L(ERn-ERn+2),@-SP	L	0	1	2	0	6	D	F	0:ern										
	STM.L(ERn-ERn+3),@-SP	L	0	1	3	0	6	D	F	0:ern										
STMAC	STMAC.MACH.ERd	L																		
	STMAC.MACL.ERd	L																		

H8S/2214グループでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd		IMM												
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0:erd				IMM										
	SUB.L ERs,ERd	L	1	A	1	ers:0:erd														
SUBS	SUBS #1,ERd	L	1	B	0	0:erd														
	SUBS #2,ERd	L	1	B	8	0:erd														
	SUBS #4,ERd	L	1	B	9	0:erd														
	SUBS #xx:8,Rd	B	B	rd		IMM														
TAS	TAS @ERd #2	B	0	1	E	rs	rd			7	B	0:erd	C							
	TRAPA #x:2	-	5	7	00:IMM	0														
XOR	XOR.B #xx:8,Rd	B	D	rd		IMM														
	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #xx:16,Rd	W	7	9	5	rd		IMM												
	XOR.W Rs,Rd	W	6	5	rs	rd														
	XOR.L #xx:32,ERd	L	7	A	5	0:erd								IMM						
XORC	XORC #xx:8,CCR	B	0	1	F	0			6	5	0:ers	0:erd								
	XORC #xx:8,EXR	B	0	1	4	1				5	IMM									

【注】 *1 MOV.L ERs, @ (d:32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

【記号説明】

IMM	: イミディエイトデータ (2、3、8、16、32 ビット)
abs	: 絶対アドレス (8、16、24、32 ビット)
disp	: ディスプレースメント (8、16、32 ビット)
rs、rd、rn	: レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。 rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します)
ers、erd、ern、erm	: レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。 ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します)

レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表 A.10 ~ 表 A.13 にオペレーションコードマップを示します。

表A.10 オペレーションコードマップ(1)



命令コード:		第1バイト		第2バイト	
0	1	AH	AL	BH	BL

AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH	0	表A.11	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.11	表A.11	MOV	ADDX	表A.11	表A.11
	1	表A.11	STM*	LDMAC*	OR	XOR	AND	表A.11	SUB	SUB	表A.11	表A.11	CMP	SUBX	表A.11	表A.11
	2															
	3															
	4	BRA	BRN	BHI	BLS	BCC	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU	MULXU	DIVXU	RTS	RTE	TRAPA	表A.11		JMP		BSR		JSR	
	6	BSET	BNOT	BCLR	BTST	OR	AND	BST	BIS	MOV	表A.11					
	7					BOR	BAND	BLD	BILD	MOV	表A.11	EEMOV				表A.12
	8					BIOR	BAND	BILD	BILD	ADD						
	9									ADDX						
	A															
	B															
	C															
	D															
	E															
	F															

【注】 * H8S/2214グループでは使用できません。

表A.11 オペレーションコードマップ(2)

第1バイト		第2バイト	
AH	AL	BH	BL

命令コード:

BH/AHAL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV	LDM	LDC	STM	STC		MAC*		SLEEP		CLRMAC*		表A.12	表A.12	TAS	表A.12
0A	INC	ADD														
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA	MOV														
10	SHLL				SHLL			SHLL	SHAL				SHAL			SHAL
11	SHLR				SHLR			SHLR	SHAR				SHAR			SHAR
12	ROTXL				ROTXL			ROTXL	ROTL				ROTL			ROTL
13	ROTXR				ROTXR			ROTXR	ROTR				ROTR			ROTR
17	NOT				EXTU			EXTU	NEG			NEG		EXTS		EXTS
1A	DEC	SUB														
1B	SUBS				DEC			DEC	SUBS					DEC		DEC
1F	DAS	CMP														
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
6A	MOV	表A.13	MOV	表A.13	MOVFP*				MOV		MOV		MOVTP*			
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

【注】 * H8S/2214グループでは使用できません。

表A.12 オペレーションコードマップ (3)

命令コード：

第1バイト		第2バイト		第3バイト			第4バイト		
AH	AL	BH	BL	CH	CL	DL	DH	DL	



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH/AL/BH/BL/CH	CL															
01C05	MULXS		MULXS													
01D05		DIVXS		DIVXS												
01F06					OR	XOR	AND									
7C106 *1				BTST												
7C107 *1				BTST	BOR	BXOR	BAND	BLD								
7D106 *1	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD								
7D107 *1	BSET	BNOT	BCLR					BIST								
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR	BXOR	BAND	BLD								
7Faa6 *2	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD								
7Faa7 *2	BSET	BNOT	BCLR					BIST								

【注】 *1 rはレジスタ指定部
*2 aaは絶対アドレス指定

表A.13 オペレーションコードマップ (4)

命令コード：

第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト	
AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALBHLCHCLDILEH																
6A10aaaa6*				BTST												
6A10aaaa7*					BIOR	BXOR	BAND	BLD								
						BIXOR	BIAND	BILD	BST							
6A18aaaa6*									BIST							
6A18aaaa7*	BSET	BNOT	BCLR													

命令コード：

第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト	
AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FL	GH	GL	HH	HL	



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALBHL...FHLGH																
6A30aaaaaaa6*				BTST												
6A30aaaaaaa7*					BIOR	BXOR	BAND	BLD								
						BIXOR	BIAND	BILD	BST							
6A38aaaaaaa6*									BIST							
6A38aaaaaaa7*	BSET	BNOT	BCLR													

【注】 * aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.15 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.14 におおののサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

アドバンスモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFB3:8

表A.15より

$$I = L = 2, J = K = M = N = 0$$

表A.14より

$$S_I = 4, S_L = 2$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 2 = 12$$

2. JSR @@30

表A.15より

$$I = J = K = 2, L = M = N = 0$$

表A.14より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.14 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺 モジュール		外部デバイス			
				8ビットバス		16ビットバス	
		8ビットバス	16ビットバス	2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_i	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_l		2		2	3+m		
ワードデータアクセス S_m		4		4	6+2m		
内部動作 S_n	1						

【記号説明】

m：外部デバイスアクセス時のウェイトステート数。

表 A.15 命令実行状態 (サイクル数)

命令	二モニク	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
	BLE d:16	2					1

命令	二モニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2				2	
	BCLR Rn,@aa:8	2				2	
	BCLR Rn,@aa:16	3				2	
BCLR Rn,@aa:32	4				2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2				2	
	BNOT Rn,@aa:8	2				2	
	BNOT Rn,@aa:16	3				2	
BNOT Rn,@aa:32	4				2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		

命令	二ーモニク	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	
		I	J	K	L	M	N	
BSET	BSET #xx:3,Rd	1						
	BSET #xx:3,@ERd	2			2			
	BSET #xx:3,@aa:8	2			2			
	BSET #xx:3,@aa:16	3			2			
	BSET #xx:3,@aa:32	4			2			
	BSET Rn,Rd	1						
	BSET Rn,@ERd	2				2		
	BSET Rn,@aa:8	2				2		
	BSET Rn,@aa:16	3				2		
BSET Rn,@aa:32	4				2			
BSR	BSR d:8	2		2				
	BSR d:16	2		2			1	
BST	BST #xx:3,Rd	1						
	BST #xx:3,@ERd	2			2			
	BST #xx:3,@aa:8	2			2			
	BST #xx:3,@aa:16	3			2			
	BST #xx:3,@aa:32	4			2			
BTST	BTST #xx:3,Rd	1						
	BTST #xx:3,@ERd	2			1			
	BTST #xx:3,@aa:8	2			1			
	BTST #xx:3,@aa:16	3			1			
	BTST #xx:3,@aa:32	4			1			
	BTST Rn,Rd	1						
	BTST Rn,@ERd	2				1		
	BTST Rn,@aa:8	2				1		
	BTST Rn,@aa:16	3				1		
BTST Rn,@aa:32	4				1			
BXOR	BXOR #xx:3,Rd	1						
	BXOR #xx:3,@ERd	2			1			
	BXOR #xx:3,@aa:8	2			1			
	BXOR #xx:3,@aa:16	3			1			
	BXOR #xx:3,@aa:32	4			1			
CLRMAC	CLRMAC	H8S/2214 グループでは使用できません。						
CMP	CMP.B #xx:8,Rd	1						
	CMP.B Rs,Rd	1						
	CMP.W #xx:16,Rd	2						
	CMP.W Rs,Rd	1						
	CMP.L #xx:32,ERd	3						
	CMP.L ERs,ERd	1						
DAA	DAA Rd	1						
DAS	DAS Rd	1						
DEC	DEC.B Rd	1						
	DEC.W #1/2,Rd	1						
	DEC.L #1/2,ERd	1						
DIVXS	DIVXS.B Rs,Rd	2					11	
	DIVXS.W Rs,ERd	2					19	
DIVXU	DIVXU.B Rs,Rd	1					11	
	DIVXU.W Rs,ERd	1					19	
EEPMOV	EEPMOV.B	2			2n+2 ^{*2}			
	EEPMOV.W	2			2n+2 ^{*2}			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @@aa:8	2	2				1
JSR	JSR @ERn	2		2			
	JSR @aa:24	2		2			1
	JSR @@aa:8	2	2	2			
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	
	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
	LDC @aa:32,CCR	4				1	
LDC @aa:32,EXR	4				1		
LDM* ⁴	LDM.L @SP+, (ERn-ERn+1)	2		4			1
	LDM.L @SP+, (ERn-ERn+2)	2		6			1
	LDM.L @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs, MACH	H8S/2214 グループでは使用できません。					
	LDMAC ERs, MACL						
MAC	MAC @ERn+, @ERm+						

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		1
	MOV.B Rs,@-ERd	1			1		
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1					1
	MOV.W @(d:16,ERs),Rd	2					1
	MOV.W @(d:32,ERs),Rd	4					1
	MOV.W @ERs+,Rd	1					1
	MOV.W @aa:16,Rd	2					1
	MOV.W @aa:32,Rd	3					1
	MOV.W Rs,@ERd	1					1
	MOV.W Rs,@(d:16,ERd)	2					1
	MOV.W Rs,@(d:32,ERd)	4					1
	MOV.W Rs,@-ERd	1					1
	MOV.W Rs,@aa:16	2					1
	MOV.W Rs,@aa:32	3					1
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2					2
	MOV.L @(d:16,ERs),ERd	3					2
	MOV.L @(d:32,ERs),ERd	5					2
	MOV.L @ERs+,ERd	2					2
	MOV.L @aa:16,ERd	3					2
	MOV.L @aa:32,ERd	4					2
	MOV.L ERs,@ERd	2					2
	MOV.L ERs,@(d:16,ERd)	3					2
	MOV.L ERs,@(d:32,ERd)	5					2
	MOV.L ERs,@-ERd	2					2
MOV.L ERs,@aa:16	3					2	
MOV.L ERs,@aa:32	4					2	
MOV.FPE @aa:16,Rd	4	H8S/2214 グループでは使用できません。					
MOV.TPE Rs,@aa:16							
MULXS	MULXS.B Rs,Rd	2					11
	MULXS.W Rs,ERd	2					19
MULXU	MULXU.B Rs,Rd	1					11
	MULXU.W Rs,ERd	1					19
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					

命令	二ーモニク	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2/3 *1			1
RTS	RTS	2		2			1
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					

命令	二ーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
	STC.W EXR,@aa:32	4				1	
STM* ⁴	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
STMAC	STMAC MACH,ERd	H8S/2214 グループでは使用できません。					
	STMAC MACL,ERd						
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS* ³	TAS @ERd	2			2		
TRAPA	TRAPA #x:2	2	2	2/3 * ¹			2
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					

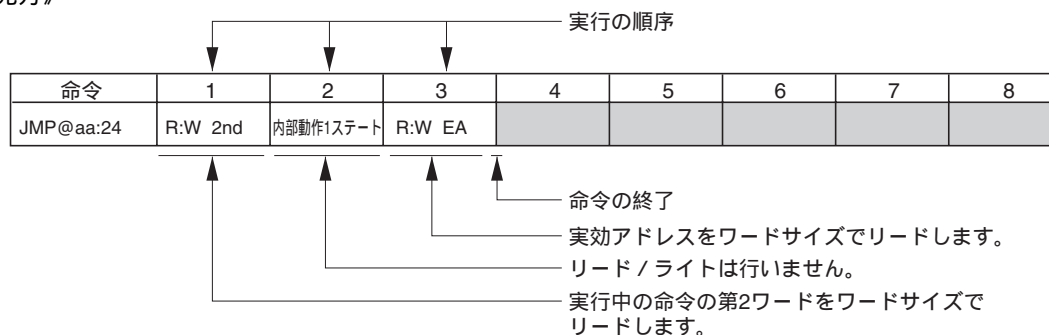
命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

- 【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。
*2 転送データが n バイトのとき。
*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
*4 STM/LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.16 に示します。実行状態に必要なステート数に関しては、表 A.14 を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード(第3・第4バイト)のアドレスです。
3rd	第3ワード(第5・第6バイト)のアドレスです。
4th	第4ワード(第7・第8バイト)のアドレスです。
5th	第5ワード(第9・第10バイト)のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミングを図A.1に示します。

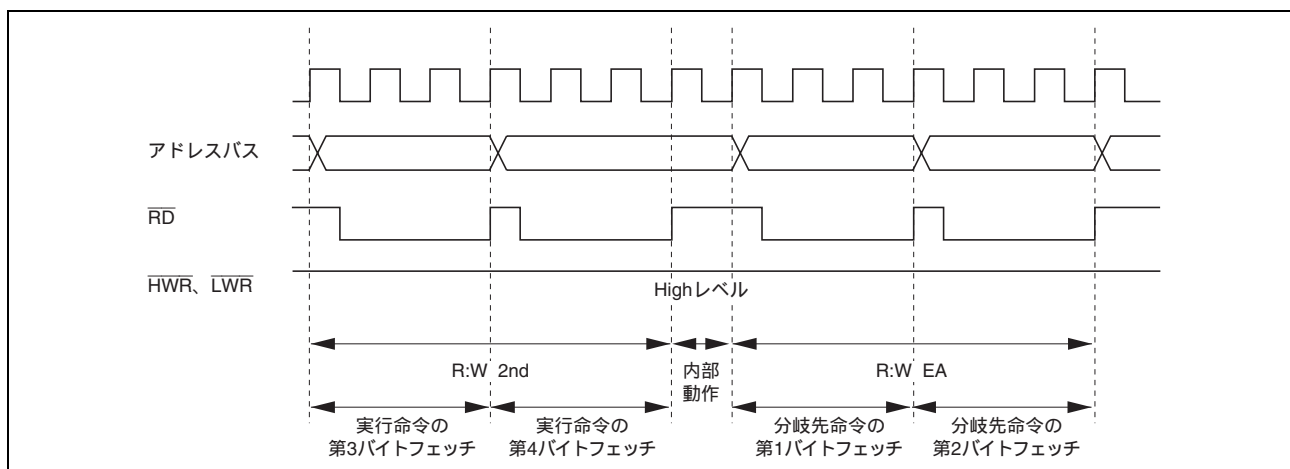


図 A.1 アドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミング

(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 A.16 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BHI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						

命令	1	2	3	4	5	6	7	8	9
BLT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

付録

命令	1	2	3	4	5	6	7	8	9
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	R:W NEXT	R:W EA	W:W:スタック(H)	W:スタック(L)					
BSR d:16	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:スタック(H)	W:スタック(L)				
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	H8S/2214 グループでは使用できません。								
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEPMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			n 回繰り返し返す * ²					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 ステート		R:W EA					
JMP @ @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 ステート	R:W EA				
JSR @ERn	R:W NEXT	R:W EA	W:W:Mスタック(H)	W:Wスタック(L)					
JSR @aa:24	R:W 2nd	内部動作 1 ステート		R:W EA	W:W:Mスタック(H)	W:Wスタック(L)			
JSR @ @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:Mスタック(H)	W:Wスタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC @(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1) * ³	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+2) * ³	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+3) * ³	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDMAC ERs,MACH	H8S/2214 グループでは使用できません。								
LDMAC ERs,MACL									
MAC @ERn+,@ERm+									

命令	1	2	3	4	5	6	7	8	9
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs,@(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				

命令	1	2	3	4	5	6	7	8	9
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFP @aa:16,Rd	H8S/2214 グループでは使用できません。								
MOVTPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 スタート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1 スタート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:Wスタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W *			
RTS	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W *				

付録

命令	1	2	3	4	5	6	7	8	9
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP* ⁹	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) * ⁹	W:W スタック(L) * ⁹				
STM.L (ERn-ERn+2), @-SP* ⁹	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) * ⁹	W:W スタック(L) * ⁹				
STM.L (ERn-ERn+3), @-SP* ⁹	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) * ⁹	W:W スタック(L) * ⁹				
STMAC MACH,ERd	H8S/2214 グループでは使用できません。								
STMAC MACL,ERd									
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						

命令	1	2	3	4	5	6	7	8	9
SUB.L ERs,ERd	R:W NEXT								
SUBS #1/2/4,ERd	R:W NEXT								
SUBX #xx:8,Rd	R:W NEXT								
SUBX Rs,Rd	R:W NEXT								
TAS @ERd *5	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #x:2	R:W NEXT	内部動作 1 スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック (EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 スタート	R:W *8
XOR.B #xx:8,Rd	R:W NEXT								
XOR.B Rs,Rd	R:W NEXT								
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
XOR.W Rs,Rd	R:W NEXT								
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd	R:W 2nd	R:W NEXT							
XORC #xx:8,CCR	R:W NEXT								
XORC #xx:8,EXR	R:W 2nd	R:W NEXT							
リセット例外処理	R:W:M VEC	R:W VEC+2	内部動作 1 スタート	R:W *6					
割り込み例外処理	R:W *7	内部動作 1 スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック (EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 スタート	R:W *8

- 【注】 *1 EAs は ER5、EAd は ER6 の内容です。
- *2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。
また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。
- *3 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。
- *4 リターン後の先頭アドレスです。
- *5 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *6 プログラムのスタートアドレスです。
- *7 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。
また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。
- *8 割り込み処理ルーチンの先頭アドレスです。
- *9 STM/LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。

A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

m =	{	31	:	ロングワードサイズの時
		15	:	ワードサイズの時
		7	:	バイトサイズの時
Si			:	ソースオペランドのビット i
Di			:	デスティネーションオペランドのビット i
Ri			:	結果のビット i
Dn			:	デスティネーションオペランドの指定されたビット
-			:	影響なし
↑			:	実行結果に応じて変化 (定義参照)
0			:	常に 0 にクリア
1			:	常に 1 にセット
*			:	値を保証しません
Z'			:	実行前の Z フラグ
C'			:	実行前の C フラグ

表 A.17 コンディションコードの変化

命 令	H	N	Z	V	C	定 義
ADD	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
ADDS	-	-	-	-	-	
ADDX	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
AND	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
ANDC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
BAND	-	-	-	-	↑	$C = C' \cdot D_n$
Bcc	-	-	-	-	-	
BCLR	-	-	-	-	-	
BIAND	-	-	-	-	↑	$C = C' \cdot \overline{D_n}$
BILD	-	-	-	-	↑	$C = \overline{D_n}$
BIOR	-	-	-	-	↑	$C = C' + \overline{D_n}$
BIST	-	-	-	-	-	
BIXOR	-	-	-	-	↑	$C = C' \cdot D_n + \overline{C'} \cdot \overline{D_n}$
BLD	-	-	-	-	↑	$C = D_n$
BNOT	-	-	-	-	-	
BOR	-	-	-	-	↑	$C = C' + D_n$
BSET	-	-	-	-	-	
BSR	-	-	-	-	-	
BST	-	-	-	-	-	
BTST	-	-	↑	-	-	$Z = \overline{D_n}$
BXOR	-	-	-	-	↑	$C = C' \cdot \overline{D_n} + \overline{C'} \cdot D_n$
CLRMAC	H8S/2214 グループでは使用できません。					

命 令	H	N	Z	V	C	定 義
CMP	↑↓	↑↓	↑↓	↑↓	↑↓	$H = \overline{S_{m-4}} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
DAA	*	↑↓	↑↓	*	↑↓	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ C : 10 進加算のキャリ
DAS	*	↑↓	↑↓	*	↑↓	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ C : 10 進減算のボロ -
DEC	-	↑↓	↑↓	↑↓	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = D_m \cdot \overline{R_m}$
DIVXS	-	↑↓	↑↓	-	-	$N = S_m \cdot \overline{D_m} + \overline{S_m} \cdot D_m$ $Z = \overline{S_m} \cdot \overline{S_{m-1}} \cdot \dots \cdot \overline{S_0}$
DIVXU	-	↑↓	↑↓	-	-	$N = S_m$ $Z = \overline{S_m} \cdot \overline{S_{m-1}} \cdot \dots \cdot \overline{S_0}$
EEPMOV	-	-	-	-	-	
EXTS	-	↑↓	↑↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
EXTU	-	0	↑↓	0	-	$Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
INC	-	↑↓	↑↓	↑↓	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{D_m} \cdot R_m$
JMP	-	-	-	-	-	
JSR	-	-	-	-	-	
LDC	↑↓	↑↓	↑↓	↑↓	↑↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
LDM ^{*2}	-	-	-	-	-	
LDMAC	H8S/2214 グループでは使用できません。					
MAC						
MOV	-	↑↓	↑↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$

命 令	H	N	Z	V	C	定 義
MOVFPPE	H8S/2214 グループでは使用できません。					
MOVTPE						
MULXS	-	↑	↑	-	-	N = R2m Z = $\overline{R2m} \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	-	-	-	-	-	
NEG	↑	↑	↑	↑	↑	H = Dm-4 + Rm-4 N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ V = Dm · Rm C = Dm + Rm
NOP	-	-	-	-	-	
NOT	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
POP	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
PUSH	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ROTL	-	↑	↑	0	↑	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C = Dm (1 ビットの時)、C = Dm-1 (2 ビットの時)
ROTR	-	↑	↑	0	↑	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C = D0 (1 ビットの時)、C = D1 (2 ビットの時)
ROTXL	-	↑	↑	0	↑	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C = Dm (1 ビットの時)、C = Dm-1 (2 ビットの時)
ROTXR	-	↑	↑	0	↑	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C = D0 (1 ビットの時)、C = D1 (2 ビットの時)
RTE	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。
RTS	-	-	-	-	-	

命令	H	N	Z	V	C	定義
SHAL	-	↑↓	↑↓	↑↓	↑↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Dm} \cdot Dm-1 + \overline{Dm} \cdot \overline{Dm-1}$ (1ビットのとき) $V = \overline{Dm} \cdot Dm-1 \cdot Dm-2 + \overline{Dm} \cdot \overline{Dm-1} \cdot \overline{Dm-2}$ (2ビットのとき) $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
SHAR	-	↑↓	↑↓	0	↑↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
SHLL	-	↑↓	↑↓	0	↑↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
SHLR	-	0	↑↓	0	↑↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
SLEEP	-	-	-	-	-	
STC	-	-	-	-	-	
STM* ²	-	-	-	-	-	
STMAC	H8S/2214 グループでは使用できません。					
SUB	↑↓	↑↓	↑↓	↑↓	↑↓	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + \overline{Dm} \cdot Rm + Sm \cdot Rm$
SUBS	-	-	-	-	-	
SUBX	↑↓	↑↓	↑↓	↑↓	↑↓	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = Z' \cdot \overline{Rm} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + \overline{Dm} \cdot Rm + Sm \cdot Rm$
TAS* ¹	-	↑↓	↑↓	0	-	$N = Dm$ $Z = \overline{Dm} \cdot \overline{Dm-1} \cdot \dots \cdot \overline{D0}$
TRAPA	-	-	-	-	-	
XOR	-	↑↓	↑↓	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
XORC	↑↓	↑↓	↑↓	↑↓	↑↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。

【注】 *1 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*2 STM/LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。

B. 内部 I/O レジスタ

B.1 アドレス一覧

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'EBC0 ~ H'EFBF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16 / 32* ビット
	MRB	CHNE	DISEL	-	-	-	-	-	-		
	SAR										
	DAR										
	CRA										
	CRB										
H'FDAC	DADR0									D/A	8ビット
H'FDAE	DACR	-	DAOE0	-	-	-	-	-	-	変換器	
H'FDB4	SCRX	-	-	-	-	FLSHE	-	-	-	FLASH	8ビット
H'FDE4	SBYCR	SSBY	STS2	STS1	STS0	OPE	-	-	-	低消費電力	8ビット
H'FDE5	SYSCR	-	-	INTM1	INTM0	NMIEG	MRESE	-	RAME	MCU	8ビット
H'FDE6	SCKCR	PSTOP	-	-	-	-	SCK2	SCK1	SCK0	クロック発振器、低消費電力	8ビット
H'FDE7	MDCR	-	-	-	-	-	MDS2	MDS1	MSD0	MCU、ROM	8ビット
H'FDE8	MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	低消費電力	8ビット
H'FDE9	MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0		
H'FDEA	MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0		
H'FDEB	PFCR	-	-	-	-	AE3	AE2	AE1	AE0	バスコントローラ	8ビット
H'FDEC	LPWRCR	-	-	-	-	RFCUT	-	STC1	STC0	クロック発振器	8ビット
H'FDF8	SEMR0	SSE	-	-	-	ABCS	ACS2	ACS1	ACS0	SCI0	8ビット

【注】 * 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FE12	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	割り込み コント ローラ	8ビット
H'FE13	ISCRH	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		
H'FE14	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		
H'FE15	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
H'FE16 ~H'FE1E	DT CER	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	DTC	8ビット
H'FE1F	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	ポート	8ビット
H'FE30	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR		
H'FE32	P3DDR	-	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FE36	P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR		
H'FE39	PADDR	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FE3A	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FE3B	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
H'FE3C	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR		
H'FE3D	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
H'FE3E	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
H'FE3F	PGDDR	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		
H'FE40	PAPCR	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR		
H'FE41	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
H'FE42	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
H'FE43	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
H'FE44	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
H'FE46	P3ODR	-	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
H'FE47	PAODR	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR		
H'FE4A	IPINSEL0	P36 IRQ7E	P47 IRQ6E	P46 IRQ5E	P44 IRQ4E	P43 IRQ3E	P42 IRQ2E	P41 IRQ1E	P40 IRQ0E		
H'FE4E	OPINSEL	-	P76 STPOE	P75 MSOE	P74 DTCOE	-	-	-	-		
H'FEB0	TSTR	-	-	-	-	-	CST2	CST1	CST0		
H'FEB1	TSYR	-	-	-	-	-	SYNC2	SYNC1	SYNC0		
H'FEC0	IPRA	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	割り込み コント ローラ	8ビット
H'FEC1	IPRB	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC2	IPRC	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC3	IPRD	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC5	IPRF	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC6	IPRG	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC9	IPRJ	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECA	IPRK	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECC	IPRM	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコントローラ	8ビット
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	-	-		
H'FED5	BCRL	BRLE	-	-	-	-	-	-	WAITE		
H'FEDB	RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	FLASH	8ビット
H'FEE0	MAR0AH	-	-	-	-	-	-	-	-	DMAC	16ビット
H'FEE1											
H'FEE2	MAR0AL										
H'FEE3											
H'FEE4	IOAR0A										
H'FEE5											
H'FEE6	ETCR0A										
H'FEE7											
H'FEE8	MAR0BH	-	-	-	-	-	-	-	-		
H'FEE9											
H'FEEA	MAR0BL										
H'FEEB											
H'FEEC	IOAR0B										
H'FEED											
H'FEEE	ETCR0B										
H'FEED											
H'FEF0	MAR1AH	-	-	-	-	-	-	-	-		
H'FEF1											
H'FEF2	MAR1AL										
H'FEF3											
H'FEF4	IOAR1A										
H'FEF5											
H'FEF6	ETCR1A										
H'FEF7											
H'FEF8	MAR1BH	-	-	-	-	-	-	-	-		
H'FEF9											
H'FEFA	MAR1BL										
H'FEFB											
H'FEFC	IOAR1B										
H'FEFD											
H'FEFE	ETCR1B										
H'FEFF											

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅				
H'FF00	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	ポート	8ビット				
H'FF02	P3DR	-	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR						
H'FF06	P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR						
H'FF09	PADR	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR						
H'FF0A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR						
H'FF0B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR						
H'FF0C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR						
H'FF0D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR						
H'FF0E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR						
H'FF0F	PGDR	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR						
H'FF10	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU0	8ビット				
H'FF11	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0						
H'FF12	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0						
H'FF13	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0						
H'FF14	TIER0	-	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA						
H'FF15	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA						
H'FF16	TCNT0											16ビット			
H'FF17															
H'FF18	TGR0A												16ビット		
H'FF19															
H'FF1A	TGR0B									16ビット					
H'FF1B															
H'FF1C	TGR0C										16ビット				
H'FF1D															
H'FF1E	TGR0D													16ビット	
H'FF1F															
H'FF20	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0			TPU1			8ビット
H'FF21	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0						
H'FF22	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0						
H'FF24	TIER1	-	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA						
H'FF25	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA						
H'FF26	TCNT1									16ビット					
H'FF27															
H'FF28	TGR1A										16ビット				
H'FF29															
H'FF2A	TGR1B												16ビット		
H'FF2B															

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF30	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU2	8ビット
H'FF31	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0		
H'FF32	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF34	TIER2	-	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FF35	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FF36	TCNT2										16ビット
H'FF37											
H'FF38	TGR2A										
H'FF39											
H'FF3A	TGR2B										
H'FF3B											
H'FF60	DMAWER	-	-	-	-	WE1B	WE1A	WE0B	WE0A	DMAC	8ビット
H'FF61	DMATCR	-	-	TEE1	TEE0	-	-	-	-		16ビット
H'FF62	DMACR0A	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
H'FF63	DMACR0B	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
H'FF64	DMACR1A	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
H'FF65	DMACR1B	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
H'FF66	DMABCRH	FAE1	FAE0	-	-	DTA1B	DTA1A	DTA0B	DTA0A		
H'FF67	DMABCRL	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A		
H'FF74	TCSR0	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	ウォッチ ドッグ タイマ0	16ビット
H'FF74 (ライト時)	TCNT0										
H'FF75 (リード時)	TCNT0										
H'FF76 (ライト時)	RSTCSR0	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FF77 (リード時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FF78	SMR0	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI0	8ビット
H'FF79	BRR0										
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF7B	TDR0										
H'FF7C	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	-	-	-	-	SDIR	SINV	-	-		
H'FF80	SMR1	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI1	8ビット
H'FF81	BRR1										
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF83	TDR1										
H'FF84	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF85	RDR1										
H'FF86	SCMR1	-	-	-	-	SDIR	SINV	-	-		

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF88	SMR2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI2	8ビット
H'FF89	BRR2										
H'FF8A	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF8B	TDR2										
H'FF8C	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF8D	RDR2										
H'FF8E	SCMR2	-	-	-	-	SDIR	SINV	-	-		
H'FFA8	FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH	8ビット
H'FFA9	FLMCR2	FLER	-	-	-	-	-	-	-		
H'FFAA	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFAB	EBR2	-	-	-	-	-	-	EB9	EB8		
H'FFB0	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	ポート	8ビット
H'FFB2	PORT3	-	P36	P35	P34	P33	P32	P31	P30		
H'FFB3	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FFB6	PORT7	P77	P76	P75	P74	P73	P72	P71	P70		
H'FFB8	PORT9	-	P96	-	-	-	-	-	-		
H'FFB9	PORTA	-	-	-	-	PA3	PA2	PA1	PA0		
H'FFBA	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FFBB	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FFBC	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FFBD	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
H'FFBE	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
H'FFBF	PORTG	-	-	-	PG4	PG3	PG2	PG1	PG0		

B.2 機能一覧

H'EBC0 ~ H'EFBF : DTC モードレジスタ A MRA : DTC

ビット:	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

DTCデータ トランスファサイズ	
0	バイトサイズ 転送
1	ワードサイズ 転送

DTC転送モードセレクト	
0	デスティネーション側がリピート 領域またはブロック領域
1	ソース側がリピート領域または ブロック領域

DTCモード		
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

デスティネーションアドレスモード1、0			
0	-	DARは固定	
	1	0	DARは転送後インクリメント (Sz=0のとき+1、Sz=1のとき+2)
		1	DARは転送後デクリメント (Sz=0のとき-1、Sz=1のとき-2)

ソースアドレスモード1、0			
0	-	SARは固定	
	1	0	SARは転送後インクリメント (Sz=0のとき+1、Sz=1のとき+2)
		1	SARは転送後デクリメント (Sz=0のとき-1、Sz=1のとき-2)

H'EBC0 ~ H'EFBF : DTC モードレジスタ B MRB : DTC

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

リザーブビット
0をライトしてください。

DTCインタラプトセレクト

0	DTCデータ転送終了後、転送カウンタが0でなければ、CPUへの割り込みを禁止 (DTCは、起動要因となった割り込み要因フラグを0にクリア)
1	DTCデータ転送終了後、CPUへの割り込みを許可 (DTCは、起動要因となった割り込み要因フラグを0にクリアしない)

DTCチェーン転送イネーブル

0	DTCデータ転送終了 (起動待ち状態)
1	DTCチェーン転送 (新しいレジスタ情報をリードして、データ転送を行う)

H'EBC0 ~ H'EFBF : DTC ソースアドレスレジスタ SAR : DTC

ビット :	23	22	21	20	19	---	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

転送データの転送元アドレスを指定

H'EBC0 ~ H'EFBF : DTC デスティネーションアドレスレジスタ DAR : DTC

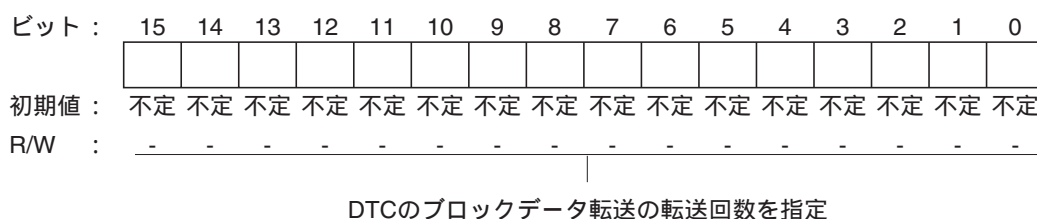
ビット :	23	22	21	20	19	---	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DTCの転送データの転送先アドレスを指定

H'EBC0 ~ H'EFBF : DTC 転送カウントレジスタ A CRA : DTC



H'EBC0 ~ H'EFBF : DTC 転送カウントレジスタ B CRB : DTC



H'FDAC : D/A データレジスタ 0 DADR0 : D/A



H'FDAE : D/A コントロールレジスタ DACR : D/A

ビット :	7	6	5	4	3	2	1	0
	-	DAOE0	-	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

リザーブビット
0をライトしてください。

D/Aアウトプットイネーブル0

0	アナログ出力DA0を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA0を許可

リザーブビット
0をライトしてください。

H'FDB4 : シリアルコントロールレジスタ X SCRX : FLASH

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	FLSHE	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
0をライトしてください。

フラッシュメモリコントロール
レジスタイネーブル

リザーブビット
0をライトしてください。

H'FDE4 : スタンバイコントロールレジスタ SBYCR : 低消費電力

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	-	-	-
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	-	-	-

出力ポートイネーブル

0	ソフトウェアスタンバイモード時にアドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時にアドレスバス、バス制御信号は出力状態を保持

スタンバイタイムセレクト

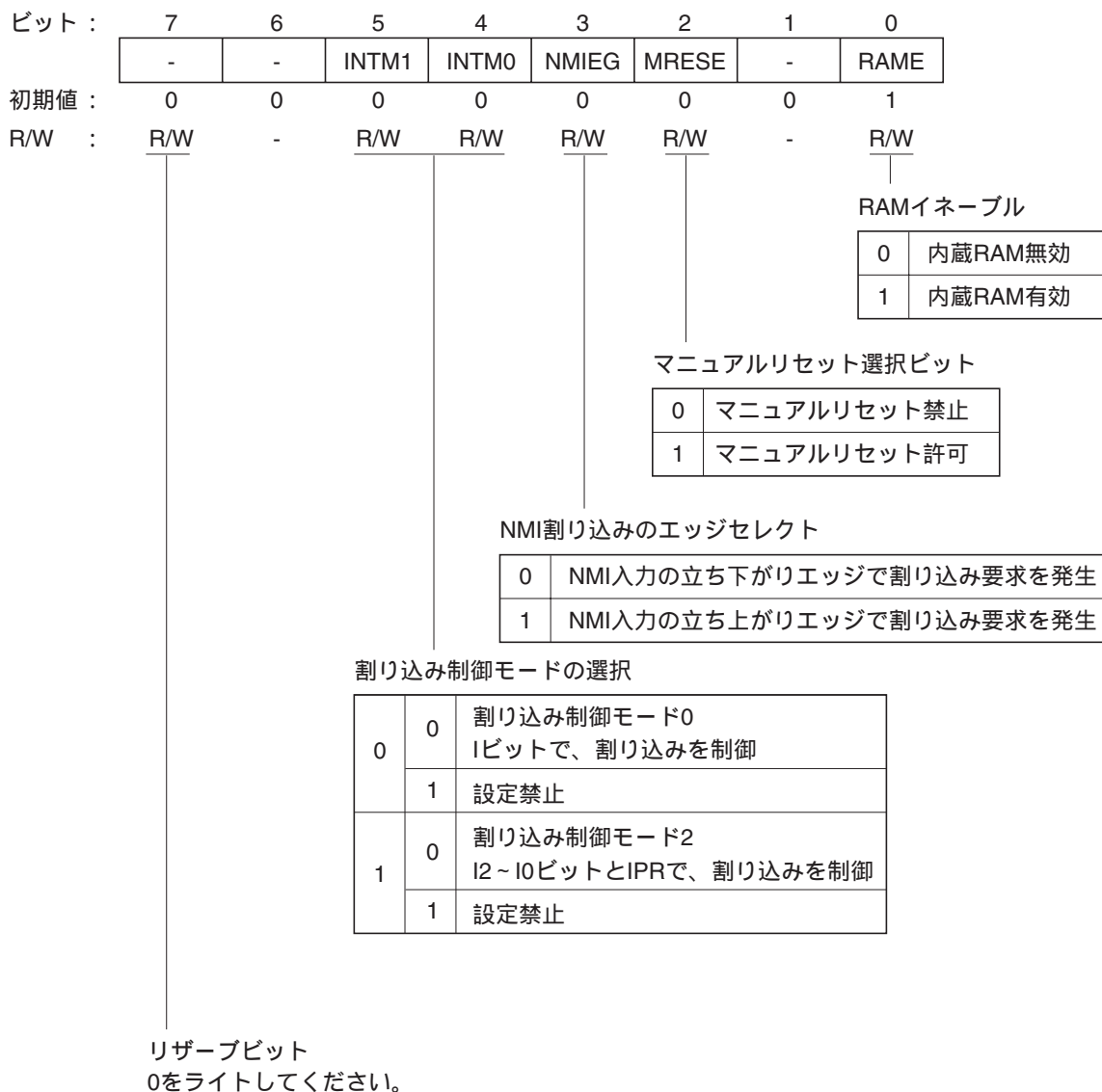
0	0	0	待機時間 = 8192ステート
		1	待機時間 = 16384ステート
	1	0	待機時間 = 32768ステート
		1	待機時間 = 65536ステート
1	0	0	待機時間 = 131072ステート
		1	待機時間 = 262144ステート
	1	0	待機時間 = 2048ステート
		1	待機時間 = 16ステート*

【注】* F-ZTAT版では使用できません。

ソフトウェアスタンバイ

0	SLEEP命令を実行したとき、スリープモードに遷移
1	SLEEP命令を実行したとき、ソフトウェアスタンバイモードに遷移

H'FDE5 : システムコントロールレジスタ SYSCR : MCU



H'FDE6 : システムクロックコントロールレジスタ SCKCR : クロック発振器

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	-	-	R/W	R/W	R/W	R/W

システムクロックセレクト2~0			
0	0	0	バスマスタは高速モード
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1		

リザーブビット
0をライトしてください。

リザーブビット
0をライトしてください。

クロック出力禁止

PSTOP	高速モード、 中速モード	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
0	出力	出力	Highレベル固定	ハイインピーダンス
1	Highレベル固定	Highレベル固定	Highレベル固定	ハイインピーダンス

H'FDE7 : モードコントロールレジスタ MDCR : MCU

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値 :	1	0	0	0	0	- *	- *	- *
R/W :	-	-	-	-	-	R	R	R

【注】* MD2~MD0端子により決定されます。

モードセレクト2~0

モード端子 (MD2~MD0) にそれぞれ対応します。MDCRをリードすると、モード端子 (MD2~MD0) の入力レベルがMDS2~MDS0ビットにラッチされます。

H'FDE8 : モジュールストップコントロールレジスタ A MSTPCRA : 低消費電力

H'FDE9 : モジュールストップコントロールレジスタ B MSTPCRB : 低消費電力

H'FDEA : モジュールストップコントロールレジスタ C MSTPCRC : 低消費電力

MSTPCRA

ビット :

7	6	5	4	3	2	1	0
MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRB

ビット :

7	6	5	4	3	2	1	0
MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値 :	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRC

ビット :

7	6	5	4	3	2	1	0
MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値 :	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDEB : 端子機能コントロールレジスタ PFCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
					AE3	AE2	AE1	AE0

モード4、5

初期値 : 0 0 0 0 1 1 0 1

モード6、7

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

アドレス出力イネーブル3~0

0	0	0	0	A8 ~ A23出力を禁止	
			1	A8出力を許可。A9 ~ A23出力を禁止	
	1	0	0	A8、A9出力を許可。A10 ~ A23出力を禁止	
			1	A8 ~ A10出力を許可。A11 ~ A23出力を禁止	
	1	0	0	A8 ~ A11出力を許可。A12 ~ A23出力を禁止	
			1	A8 ~ A12出力を許可。A13 ~ A23出力を禁止	
			0	A8 ~ A13出力を許可。A14 ~ A23出力を禁止	
	1	0	1	A8 ~ A14出力を許可。A15 ~ A23出力を禁止	
			0	0	A8 ~ A15出力を許可。A16 ~ A23出力を禁止
				1	A8 ~ A16出力を許可。A17 ~ A23出力を禁止
	1	0	0	A8 ~ A17出力を許可。A18 ~ A23出力を禁止	
			1	A8 ~ A18出力を許可。A19 ~ A23出力を禁止	
		1	0	0	A8 ~ A19出力を許可。A20 ~ A23出力を禁止
				1	A8 ~ A20出力を許可。A21 ~ A23出力を禁止
	1	0	0	A8 ~ A21出力を許可。A22、A23出力を禁止	
			1	A8 ~ A23出力を許可	

【注】 A0 ~ A7アドレスは、ROMあり拡張モードのとき、対応するDDRを1にセットすることでアドレス出力となり、ROMなし拡張モードのとき、常にアドレス出力となります。

リザーブビット
0をライトしてください。

H'FDEC : ローパワーコントロールレジスタ LPWRCR : 低消費電力

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	RFCUT	-	STC1	STC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

周波数通倍率

0	0	×1 (初期値)
	1	×2 (設定禁止)
1	0	×4 (設定禁止)
	1	PLLはバイパス

リザーブビット
0をライトしてください。

内蔵帰還抵抗制御

0	システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用する
1	システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用しない

リザーブビット
0をライトしてください。

H'FDF8 : シリアル拡張モードレジスタ 0 SEMR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	SSE	-	-	-	ABCS	ACS2	ACS1	ACS0
初期値 :	0	不定	不定	不定	0	0	0	0
R/W :	R/W	-	-	-	R/W	R/W	R/W	R/W

調歩同期クロックソースセレクト2~0

0	0	0	外部クロック入力
		1	= 10.667MHz専用の平均転送レート115.152kbps (転送レートの16倍の周波数の基本クロックで動作)
	1	0	= 10.667MHz専用の平均転送レート460.606kbps (転送レートの8倍の周波数の基本クロックで動作)
		1	リザーブ
1	0	0	TPUクロック入力 (TIOCA1とTIOCA2の論理積)
		1	= 16MHz専用の平均転送レート115.196kbps (転送レートの16倍の周波数の基本クロックで動作)
	1	0	= 16MHz専用の平均転送レート460.784kbps (転送レートの16倍の周波数の基本クロックで動作)
		1	= 16MHz専用の平均転送レート720kbps (転送レートの8倍の周波数の基本クロックで動作)

調歩同期基本クロックセレクト

0	転送レートの16倍の周波数の基本クロックで動作
1	転送レートの8倍の周波数の基本クロックで動作

リザーブビット
0をライトしてください。

SCIOセレクトイネーブル

0	SCIOセレクト機能無効
1	SCIOセレクト機能有効 PG1/IRQ7端子 = 1入力時は、TxD0がHi-Z状態 SCK0クロック入力がHigh固定入力

H'FE12 : IRQ センスコントロールレジスタ H ISCRH : 割り込みコントローラ

H'FE13 : IRQ センスコントロールレジスタ L ISCRH : 割り込みコントローラ

ISCRH

ビット :

	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ7~IRQ4センスコントロールA、B

ISCRH

ビット :

	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ3~IRQ0センスコントロールA、B

IRQnSCB	IRQnSCA	割り込み要求の発生
0	0	IRQn入力のLowレベル
	1	IRQn入力の立ち下がリエッジ
1	0	IRQn入力の立ち上がりエッジ
	1	IRQn入力の立ち上がり、立ち上がり両エッジ

(n=7~0)

H'FE14 : IRQ イネーブルレジスタ IER : 割り込みコントローラ

ビット :

	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQnイネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n=7~0)

H'FE15 : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQn割り込み要求のステータス表示

0	<p>[クリア条件]</p> <p>IRQnF = 1の状態ではIRQnFフラグをリードしたあと、IRQnFフラグに0をライトしたとき</p> <p>Lowレベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ$\overline{\text{IRQn}}$入力がHighレベルの状態、割り込み例外処理を実行したとき</p> <p>立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、またはIRQnSCA = 1) の状態でIRQn割り込み例外処理を実行したとき</p> <p>IRQn割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p>
1	<p>[セット条件]</p> <p>Lowレベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で$\overline{\text{IRQn}}$入力がLowレベルになったとき</p> <p>立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で$\overline{\text{IRQn}}$入りに立ち下がりエッジが発生したとき</p> <p>立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で$\overline{\text{IRQn}}$入りに立ち上がりエッジが発生したとき</p> <p>両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で$\overline{\text{IRQn}}$入りに立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 7 ~ 0)

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE16 ~ H'FE1E : DTC イネーブルレジスタ DTCEER : DTC

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTC起動イネーブル

0	DTC起動イネーブルを禁止 [クリア条件] DISELビットが1でデータ転送を終了したとき 指定した回数の転送が終了したとき
1	DTC起動イネーブルを許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

H'FE1F : DTC ベクタレジスタ DTVECR : DTC

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2	R/W*2

DTCソフトウェア起動のベクタ番号を設定

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [クリア条件] DISELビットが0で、指定した回数の転送が終了していないとき CPUに対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求されたあと、0をライトしたとき
1	DTCソフトウェア起動を許可 [保持条件] DISELビットが1でデータ転送を終了したとき 指定した回数の転送が終了したとき ソフトウェア起動によるデータ転送中

【注】*1 SWDTEビットは、1ライトのみ可能です。

*2 DTVEC6 ~ DTVEC0ビットは、SWDTE = 0のときライト可能です。

H'FE30 : ポート 1 データディレクションレジスタ P1DDR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート1の各端子の入出力を指定

H'FE32 : ポート 3 データディレクションレジスタ P3DDR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	不定	0	0	0	0	0	0	0
R/W :	-	W	W	W	W	W	W	W

ポート3の各端子の入出力を指定

H'FE36 : ポート 7 データディレクションレジスタ P7DDR : ポート 7

ビット :	7	6	5	4	3	2	1	0
	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート7の各端子の入出力を指定

H'FE39 : ポート A データディレクションレジスタ PADDR : ポート A

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

ポートAの各端子の入出力を指定

H'FE3A : ポート B データディレクションレジスタ PBDDR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBの各端子の入出力を指定

H'FE3B : ポート C データディレクションレジスタ PCDDR : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートCの各端子の入出力を指定

H'FE3C : ポート D データディレクションレジスタ PDDDR : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートDの各端子の入出力を指定

H'FE3D : ポート E データディレクションレジスタ PEDDDR : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートEの各端子の入出力を指定

H'FE3E : ポート F データディレクションレジスタ PFDDR : ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR

モード4~6

初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

モード7

初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

|

ポートFの各端子の入出力を指定

H'FE3F : ポート G データディレクションレジスタ PGDDR : ポート G

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR

モード4、5

初期値 :	不定	不定	不定	1	0	0	0	0
R/W :				W	W	W	W	W

モード6、7

初期値 :	不定	不定	不定	0	0	0	0	0
R/W :				W	W	W	W	W

|

ポートGの各端子の入出力を指定

H'FE40 : ポート A プルアップ MOS コントロールレジスタ PAPCR : ポート A

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ポートAに内蔵された入力プルアップ MOSをビットごとに制御

H'FE41 : ポート B プルアップ MOS コントロールレジスタ PBPCR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBに内蔵された入力プルアップMOSをビットごとに制御

H'FE42 : ポート C プルアップ MOS コントロールレジスタ PCPCR : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCに内蔵された入力プルアップMOSをビットごとに制御

H'FE43 : ポート D プルアップ MOS コントロールレジスタ PDPCR : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDに内蔵された入力プルアップMOSをビットごとに制御

H'FE44 : ポート E プルアップ MOS コントロールレジスタ PEPCR : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEに内蔵された入力プルアップMOSをビットごとに制御

H'FE46 : ポート 3 オープンドレインコントロールレジスタ P3ODR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	不定	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

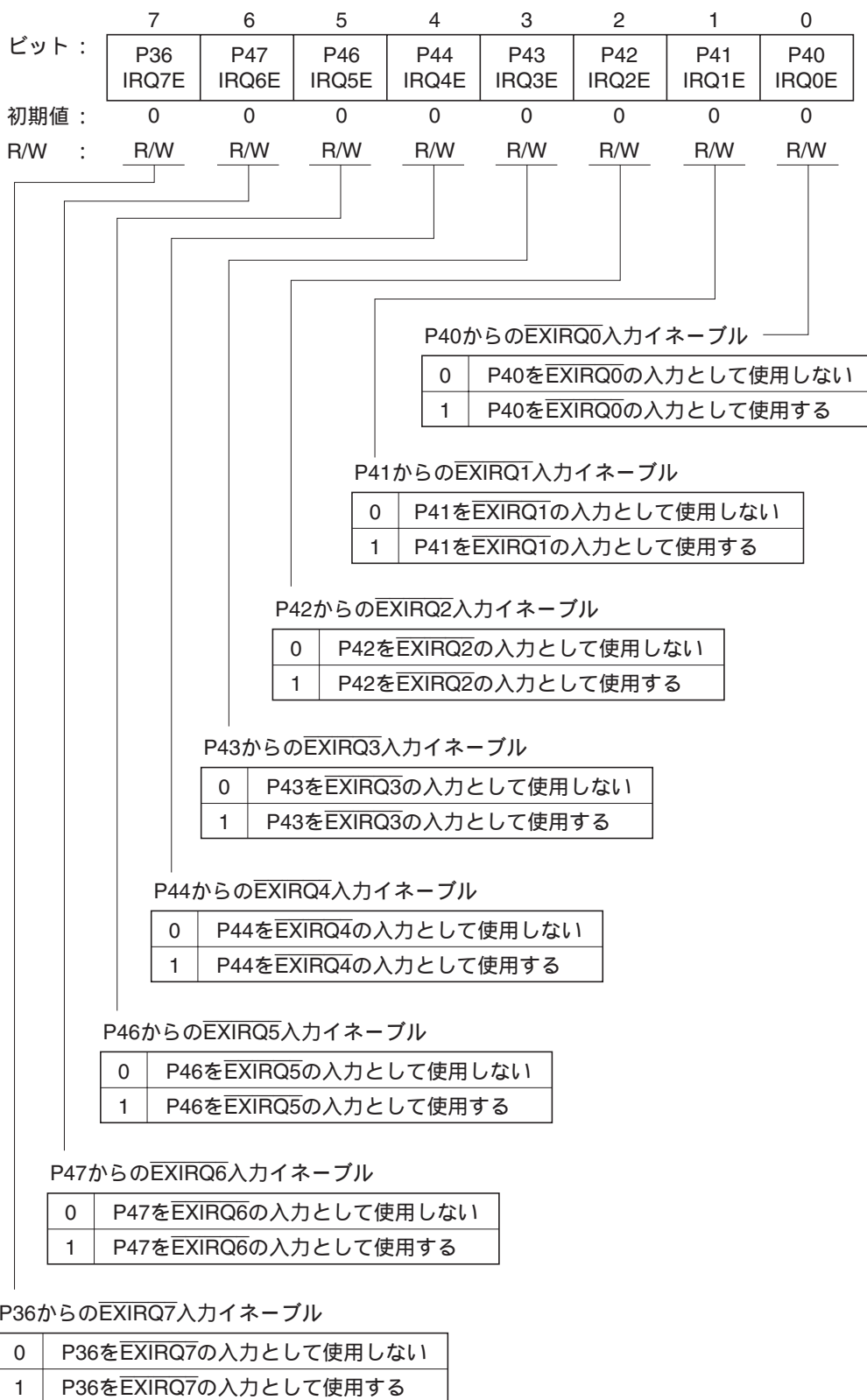
ポート3の各端子 (P36 ~ P30) のPMOSのオン / オフを制御

H'FE47 : ポート A オープンドレインコントロールレジスタ PAODR : ポート A

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ポートAの各端子 (PA3 ~ PA0)
のPMOSのオン / オフを制御

H'FE4A : 割り込み要求入力端子選択レジスタ0 IPINSEL0 : バスコントローラ、ポート



H'FE4E : 外部モジュール接続用出力端子選択レジスタ OPINSEL : バスコントローラ、ポート

	7	6	5	4	3	2	1	0
ビット :	-	P76 STPOE	P75 MSOE	P74 DTCOE	-	-	-	-
初期値 :	不定	0	0	0	不定	不定	不定	不定
R/W :	-	R/W	R/W	R/W	-	-	-	-

リザーブビット
0をライトしてください。

P74への $\overline{\text{EXDTCE}}$ 出力イネーブル

0	P74に $\overline{\text{EXDTCE}}$ を出力しない
1	P74に $\overline{\text{EXDTCE}}$ を出力する

P75への $\overline{\text{EXMS}}$ 出力イネーブル

0	P75に $\overline{\text{EXMS}}$ を出力しない
1	P75に $\overline{\text{EXMS}}$ を出力する

P76へのEXMSTP出力イネーブル

0	P76にEXMSTPを出力しない
1	P76にEXMSTPを出力する

リザーブビット
0をライトしてください。

H'FEB0 : タイマスタートレジスタ TSTR : TPU

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W

カウンタスタート2~0

0	TCNTnのカウンタ動作は停止
1	TCNTnのカウンタ動作

(n=2~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態ではTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

H'FEB1 : タイマシンクロレジスタ TSYR : TPU

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W

タイマ同期

0	TCNTnは独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係)
1	TCNTnは同期動作 TCNTの同期プリセット/同期クリアが可能

(n=2~0)

【注】 1. 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。
2. 同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

H'FEC0 : インタラプトプライオリティレジスタ A IPR A : 割り込みコントローラ
H'FEC1 : インタラプトプライオリティレジスタ B IPR B : 割り込みコントローラ
H'FEC2 : インタラプトプライオリティレジスタ C IPR C : 割り込みコントローラ
H'FEC3 : インタラプトプライオリティレジスタ D IPR D : 割り込みコントローラ
H'FEC5 : インタラプトプライオリティレジスタ F IPR F : 割り込みコントローラ
H'FEC6 : インタラプトプライオリティレジスタ G IPR G : 割り込みコントローラ
H'FEC9 : インタラプトプライオリティレジスタ J IPR J : 割り込みコントローラ
H'FECA : インタラプトプライオリティレジスタ K IPR K : 割り込みコントローラ
H'FECC : インタラプトプライオリティレジスタ M IPR M : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

割り込み要因の優先順位 (レベル7~0) の設定

各割り込み要因とIPRの対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6	DTC
	IRQ7	
IPRD	ウォッチドッグタイマ0	- *
IPRF	TPUチャンネル0	TPUチャンネル1
IPRG	TPUチャンネル2	- *
IPRJ	DMAC	SCIチャンネル0
IPRK	SCIチャンネル1	SCIチャンネル2
IPRM	EXIRQ3~EXIRQ0	EXIRQ7~EXIRQ4

【注】 * リザーブビットです。リードすると常に1が読み出されます。
ライトは無効です。

H'FED0 : バス幅コントロールレジスタ ABWCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0

モード5~7

初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モード4

初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0バス幅コントロール

0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7~0)

H'FED1 : アクセスステートコントロールレジスタ ASTCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0

初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0アクセスステートコントロール

0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

H'FED2 : ウェイトコントロールレジスタH WCRH : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア4ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア5ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア6ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア7ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED3 : ウェイトコントロールレジスタ L WCRL : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア0ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア1ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア2ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア3ウェイトコントロール1、0

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED4 : バスコントロールレジスタ H BCRH : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	-	-
初期値 :	1	1	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
0をライトしてください。

バーストサイクルセレクト0

0	バーストアクセスは最大4ワード
1	バーストアクセスは最大8ワード

バーストサイクルセレクト1

0	バーストサイクルは1ステート
1	バーストサイクルは2ステート

エリア0バーストROMイネーブル

0	エリア0は基本バスインタフェース
1	エリア0はバーストROMインタフェース

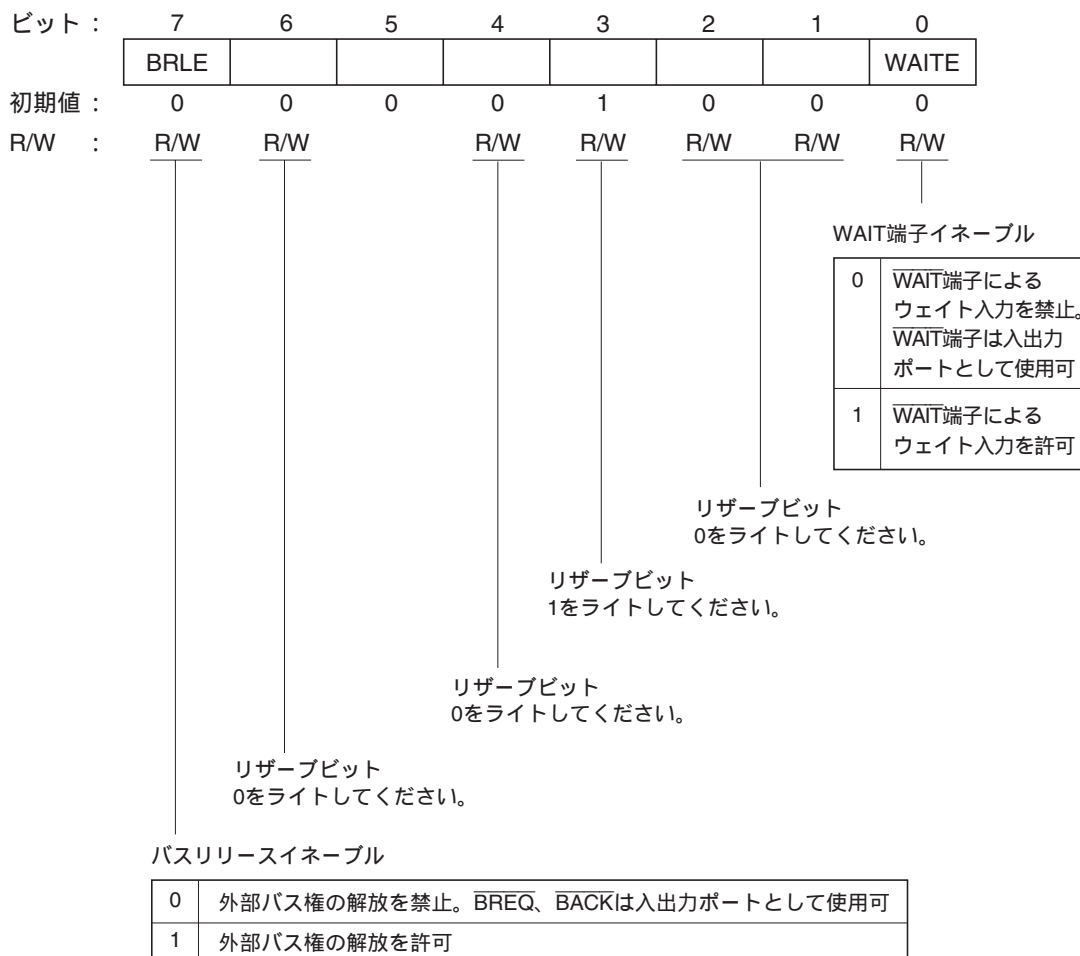
アイドルサイクル挿入0

0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する

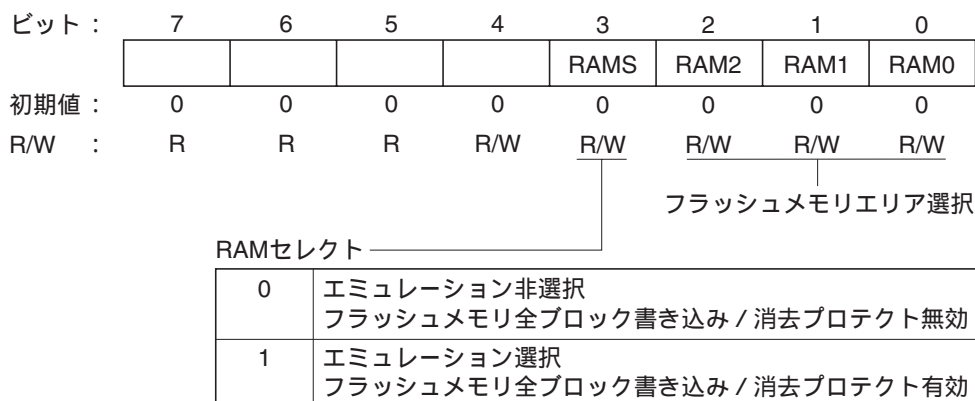
アイドルサイクル挿入1

0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する

H'FED5 : バスコントロールレジスタ BCRL : バスコントローラ



H'FEDB : RAM エミュレーションレジスタ RAMER : FLASH



H'FEE0 : メモリアドレスレジスタ 0A MAR0A : DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 MAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 MAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEE4 : I/O アドレスレジスタ 0A IOAR0A : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 IOAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEE6 : 転送カウントレジスタ 0A ETCR0A : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 ETCR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEEE : 転送カウントレジスタ 0B ETCR0B : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 ETCR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEF0 : メモリアドレスレジスタ 1A MAR1A : DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 MAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 MAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEF4 : I/O アドレスレジスタ 1A IOAR1A : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 IOAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEF6 : 転送カウントレジスタ 1A ETCR1A : DMAC

転送回数保持

ビット : 15 14 13 12 11 10 9 8
 ETCRH:

--	--	--	--	--	--	--	--

 初期値 : * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

転送カウンタ

ビット : 7 6 5 4 3 2 1 0
 ETCRL:

--	--	--	--	--	--	--	--

 初期値 : * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

* : 不定

H'FEFE : 転送カウントレジスタ 1B ETCR1B : DMAC

転送回数保持

ビット :	15	14	13	12	11	10	9	8
ETCRH:								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

転送カウンタ

ビット :	7	6	5	4	3	2	1	0
ETCRL:								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

* : 不定

H'FF00 : ポート 1 データレジスタ P1DR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1の各端子 (P17 ~ P10) の出力データを格納

H'FF02 : ポート 3 データレジスタ P3DR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	不定	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子 (P36 ~ P30) の出力データを格納

H'FF06 : ポート 7 データレジスタ P7DR : ポート 7

ビット :	7	6	5	4	3	2	1	0
	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート7の各端子 (P77 ~ P70) の出力データを格納

H'FF09 : ポート A データレジスタ PADR : ポート A

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ポートAの各端子 (PA3 ~ PA0) の出力データを格納

H'FF0A : ポート B データレジスタ PBDR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの各端子 (PB7 ~ PB0) の出力データを格納

H'FF0B : ポート C データレジスタ PCDR : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCの各端子 (PC7 ~ PC0) の出力データを格納

H'FF0C : ポート D データレジスタ PDDR : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDの各端子 (PD7 ~ PD0) の出力データを格納

H'FF0D : ポート E データレジスタ PEDR : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEの各端子 (PE7 ~ PE0) の出力データを格納

H'FF0E : ポート F データレジスタ PFDR : ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートFの各端子 (PF7 ~ PF0) の出力データを格納

H'FF0F : ポート G データレジスタ PGDR : ポート G

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

ポートGの各端子 (PG4 ~ PG0) の出力データを格納

H'FF10 : タイマコントロールレジスタ 0 TCR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ2~0

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
	1	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	外部クロック : TCLKD端子入力でカウント

クロックエッジ1、0

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

カウンタクリア2~0

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ / インพุットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ / インพุットキャプチャでTCNTクリア*2
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】*1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNTはクリアされません。

H'FF11 : タイマモードレジスタ0 TMDR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

モード3~0

0	0	0	0	通常動作
			1	リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

- 【注】 1. MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
2. チャンネル0では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FF12 : タイマ I/O コントロールレジスタ 0H TIOR0H : TPU0

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I/OコントロールA3~0

0	0	0	0	TGR0Aは	出力禁止		
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力		
			1	0	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0		出力禁止	
				1		初期出力は1出力 コンペアマッチで0出力	
				1	0	コンペアマッチで1出力	
				1		コンペアマッチでトグル出力	
	1	0	0	0	TGR0Aは	キャプチャ入力元は	
				1	インプット	TIOCA0端子	
				1	*	キャプチャ	立ち上がりエッジでインプットキャプチャ 立ち下がりエッジでインプットキャプチャ
				1	*	レジスタ	両エッジでインプットキャプチャ 設定禁止

* : Don't care

I/OコントロールB3~0

0	0	0	0	TGR0Bは	出力禁止		
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力		
			1	0	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0		出力禁止	
				1		初期出力は1出力 コンペアマッチで0出力	
				1	0	コンペアマッチで1出力	
				1		コンペアマッチでトグル出力	
	1	0	0	0	TGR0Bは	キャプチャ入力元は	
				1	インプット	TIOCB0端子	
				1	*	キャプチャ	立ち上がりエッジでインプットキャプチャ 立ち下がりエッジでインプットキャプチャ
				1	*	レジスタ	両エッジでインプットキャプチャ 設定禁止

* : Don't care

【注】 TGR0C、あるいはTGR0Dをパルファ動作に設定した場合は、本設定は無効となり、パルファレジスタとして動作します。

H'FF13 : タイマ I/O コントロールレジスタ 0L TIOR0L : TPU0

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I/OコントロールC3~0

0	0	0	0	TGR0Cは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力	
		1	0	0	TGR0Cは	出力禁止	
				1	アウトプット	初期出力は1出力	コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力
	1	0	0	0	TGR0Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	インプット	TIOCC0端子	立ち下がりエッジでインプットキャプチャ
				1	キャプチャ	両エッジでインプットキャプチャ	
		1	*	*	TGR0Cは	設定禁止	
					レジスタ*1		

* : Don't care

【注】 *1 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

I/OコントロールD3~0

0	0	0	0	TGR0Dは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力		
		1	0	0	TGR0Dは	出力禁止		
					1	アウトプット	初期出力は1出力	コンペアマッチで0出力
					1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力
	1	0	0	0	TGR0Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCD0端子	立ち下がりエッジでインプットキャプチャ	
				1	キャプチャ	両エッジでインプットキャプチャ		
		1	*	*	TGR0Dは	設定禁止		
					レジスタ*1			

* : Don't care

【注】 *1 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FF14 : タイマインタラプトイネーブルレジスタ 0 TIER0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

TGRインタラプトイネーブルC

0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

TGRインタラプトイネーブルD

0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

リザーブビット
0をライトしてください。

H'FF15 : タイマステータスレジスタ 0 TSR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

インプットキャプチャ / アウトプットコンペアフラグA

0	[クリア条件] TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGIA割り込みによりDMACが起動され、DMACのDMABCRのDTAビットが1のとき TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

インプットキャプチャ / アウトプットコンペアフラグB

0	[クリア条件] TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

インプットキャプチャ / アウトプットコンペアフラグC

0	[クリア条件] TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGFC = 1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

インプットキャプチャ / アウトプットコンペアフラグD

0	[クリア条件] TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGFD = 1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF16 : タイマカウンタ 0 TCNT0 : TPU0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップカウンタ

H'FF18 : タイマジェネラルレジスタ 0A TGR0A : TPU0

H'FF1A : タイマジェネラルレジスタ 0B TGR0B : TPU0

H'FF1C : タイマジェネラルレジスタ 0C TGR0C : TPU0

H'FF1E : タイマジェネラルレジスタ 0D TGR0D : TPU0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF20 : タイマコントロールレジスタ 1 TCR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケラ2~0

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
	1	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	内部クロック : /256でカウント
		1	設定禁止

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

クロックエッジ1、0

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます(ϕ /1選択時は ϕ の立ち下がりでカウント)。

カウンタクリア2~0

0*1	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*2

【注】 *1 ビット7はリザーブビットでリードすると常に0が読み出されます。ライトは無効です。

*2 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FF21 : タイマモードレジスタ 1 TMDR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
		1	PWMモード2	
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FF22 : タイマ I/O コントロールレジスタ 1 TIOR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I/OコントロールA3~0

0	0	0	0	TGR1Aは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア		コンペアマッチで1出力	
		1	0	0	レジスタ		コンペアマッチでトグル出力	
					1	出力禁止		
					1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	1		コンペアマッチで1出力		
				1		コンペアマッチでトグル出力		
				1				
	1	0	0	0	TGR1Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCA1端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ		両エッジでインプットキャプチャ
1					レジスタ	設定禁止		

* : Don't care

I/OコントロールB3~0

0	0	0	0	TGR1Bは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア		コンペアマッチで1出力	
		1	0	0	レジスタ		コンペアマッチでトグル出力	
					1	出力禁止		
					1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	1		コンペアマッチで1出力		
				1		コンペアマッチでトグル出力		
				1				
	1	0	0	0	TGR1Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCB1端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ		両エッジでインプットキャプチャ
1					レジスタ	設定禁止		

* : Don't care

H'FF24 : タイムインタラプトイネーブルレジスタ1 TIER1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	-	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル

0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

リザーブビット
0をライトしてください。

H'FF25 : タイマステータスレジスタ 1 TSR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

インプットキャプチャ/アウトプットコンペアフラグA

0	[クリア条件] TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGIA割り込みによりDMACが起動され、DMACのDMABCRのDTAビットが1のとき TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

インプットキャプチャ/アウトプットコンペアフラグB

0	[クリア条件] TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバフローフラグ

0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバフロー (H'FFFF H'0000) したとき

アンダフローフラグ

0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

カウント方向フラグ

0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF26 : タイマカウンタ 1 TCNT1 : TPU1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ/ダウンカウンタ*

【注】* 位相計数モードのみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FF28 : タイマジェネラルレジスタ 1A TGR1A : TPU1

H'FF2A : タイマジェネラルレジスタ 1B TGR1B : TPU1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF30 : タイマコントロールレジスタ 2 TCR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ2~0

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
	1	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	内部クロック : /1024でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

クロックエッジ1、0

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。(φ/1選択時はφの立ち下がりでカウント)

カウンタクリア2~0

0*1	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*2

【注】 *1 ビット7はリザーブビットでリードすると常に0が読み出されます。ライトは無効です。

*2 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FF31 : タイマモードレジスタ 2 TMDR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

【注】 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。

H'FF32 : タイマ I/O コントロールレジスタ 2 TIOR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I/OコントロールA3~0

0	0	0	0	TGR2Aは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
			0	コンペア		コンペアマッチで1出力	
		1	0	0	レジスタ		コンペアマッチでトグル出力
				1		出力禁止	
				0		初期出力は1出力	コンペアマッチで0出力
	1	0	1			コンペアマッチで1出力	
			0			コンペアマッチでトグル出力	
			1				
	1	*	0	0	TGR2Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	インプット	TIOCA2端子	立ち下がりエッジでインプットキャプチャ
				1	キャプチャ		両エッジでインプットキャプチャ
			レジスタ				

* : Don't care

I/OコントロールB3~0

0	0	0	0	TGR2Bは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
			0	コンペア		コンペアマッチで1出力	
		1	0	0	レジスタ		コンペアマッチでトグル出力
				1		出力禁止	
				0		初期出力は1出力	コンペアマッチで0出力
	1	0	1			コンペアマッチで1出力	
			0			コンペアマッチでトグル出力	
			1				
	1	*	0	0	TGR2Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	インプット	TIOCB2端子	立ち下がりエッジでインプットキャプチャ
				1	キャプチャ		両エッジでインプットキャプチャ
			レジスタ				

* : Don't care

H'FF34 : タイマインタラプトイネーブルレジスタ2 TIER2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	-	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル

0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

リザーブビット
0をライトしてください。

H'FF35 : タイマステータスレジスタ 2 TSR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

インプットキャプチャ/アウトプットコンペアフラグA

0	[クリア条件] TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGIA割り込みによりDMACが起動され、DMACのDMABCRのDTAビットが1のとき TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

インプットキャプチャ/アウトプットコンペアフラグB

0	[クリア条件] TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

アンダフローフラグ

0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

カウント方向フラグ

0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF36 : タイマカウンタ 2 TCNT2 : TPU2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ/ダウンカウンタ*

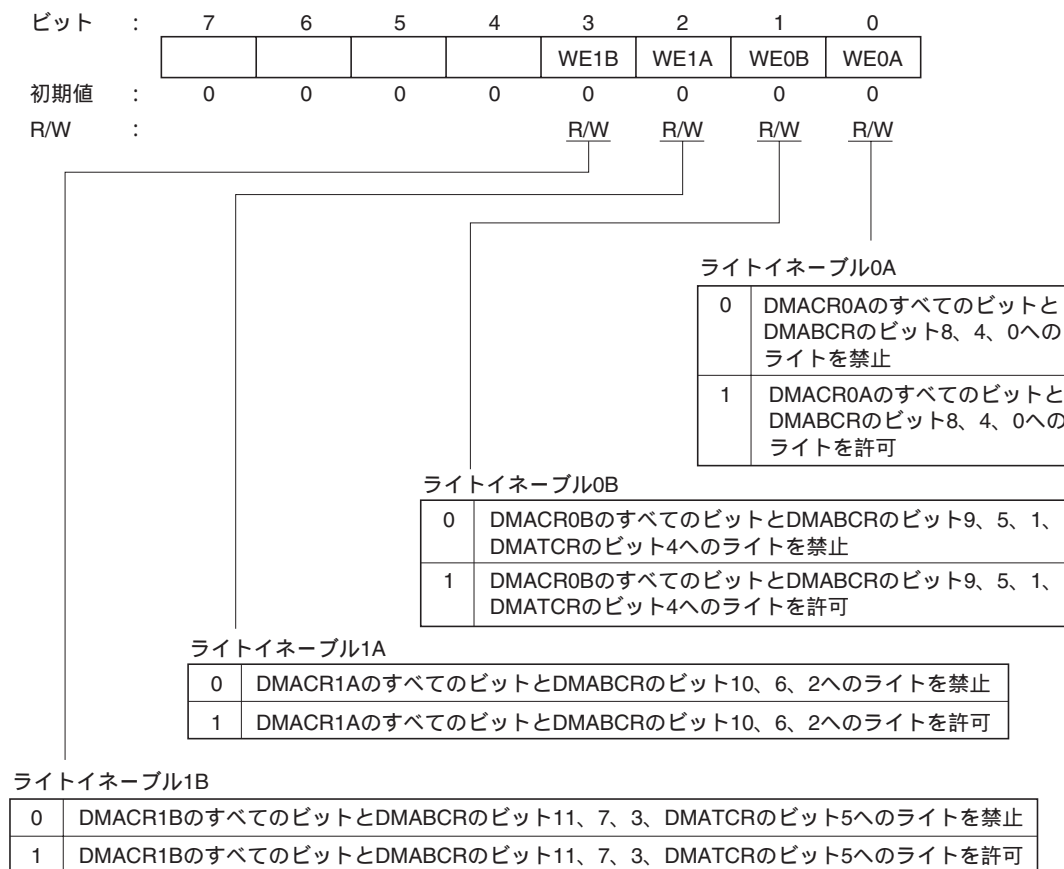
【注】* 位相計数モードのみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FF38 : タイマジェネラルレジスタ 2A TGR2A : TPU2

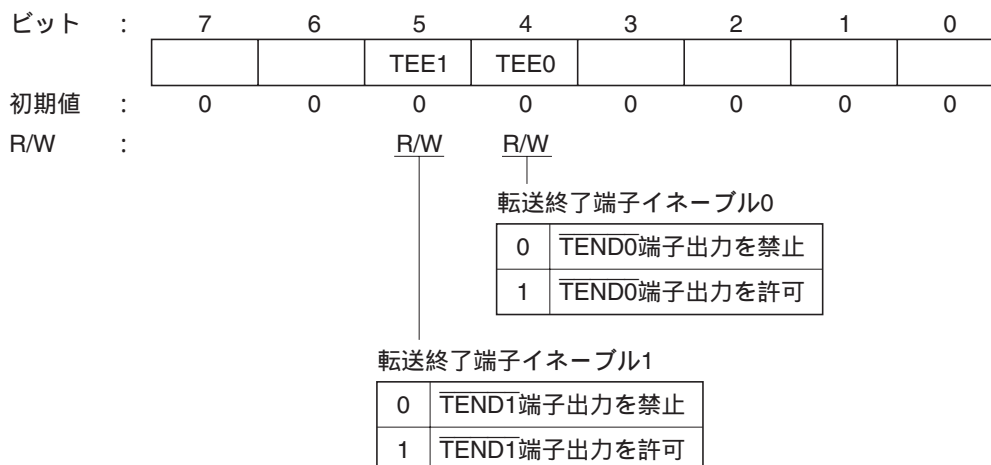
H'FF3A : タイマジェネラルレジスタ 2B TGR2B : TPU2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF60 : DMA ライトイネーブルレジスタ DMAWER : DMAC



H'FF61 : DMA ターミナルコントロールレジスタ DMATCR : DMAC



H'FF62 : DMA コントロールレジスタ 0A DMACR0A : DMAC
 H'FF63 : DMA コントロールレジスタ 0B DMACR0B : DMAC
 H'FF64 : DMA コントロールレジスタ 1A DMACR1A : DMAC
 H'FF65 : DMA コントロールレジスタ 1B DMACR1B : DMAC

ビット : 7 6 5 4 3 2 1 0

DMACR :	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファファクタ
チャンネルA

0	0	*	*	-	
		1	0	SCIチャンネル0の送信完了割り込みで起動	
	1	0	1	0	SCIチャンネル0の受信完了割り込みで起動
		1	0	1	0
1	0	0	0	TPUチャンネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動	
		1	0	TPUチャンネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動	
	1	0	1	0	TPUチャンネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動
		1	*	*	-

チャンネルB

0	0	0	*	-		
		1	0	DREQ端子の立ち下がりエッジ入力で起動*1		
	1	0	0	1	0	SCIチャンネル0の送信完了割り込みで起動
		1	0	1	0	SCIチャンネル0の受信完了割り込みで起動
1	0	0	0	0	TPUチャンネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動	
		1	0	1	0	TPUチャンネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動
	1	0	1	0	TPUチャンネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動	
		1	*	*	-	

【注】*1 転送許可後の最初の転送はLowレベルで検出します。

* : Don't care

データトランスファディレクション

0	MARをソースアドレス、IOARをデスティネーションアドレスとして転送
1	IOARをソースアドレス、MARをデスティネーションアドレスとして転送

リピートイネーブル

RPE	DMABCR	
	DTIE	
0	0	シーケンシャルモードで転送 (転送終了割り込みなし)
	1	シーケンシャルモードで転送 (転送終了割り込みあり)
1	0	リピートモードで転送 (転送終了割り込みなし)
	1	アイドルモードで転送 (転送終了割り込みあり)

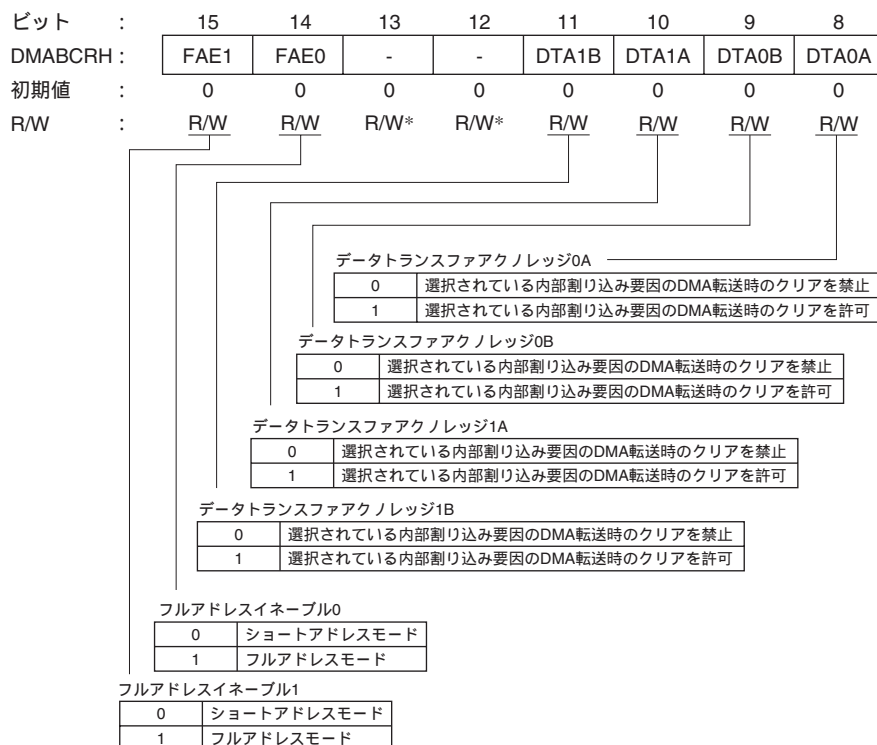
データトランスインクリメント / デクリメント

0	データ転送後MARをインクリメント (1) DTSZ = 0のとき、転送後MARを +1 (2) DTSZ = 1のとき、転送後MARを +2
1	データ転送後MARをデクリメント (1) DTSZ = 0のとき、転送後MARを -1 (2) DTSZ = 1のとき、転送後MARを -2

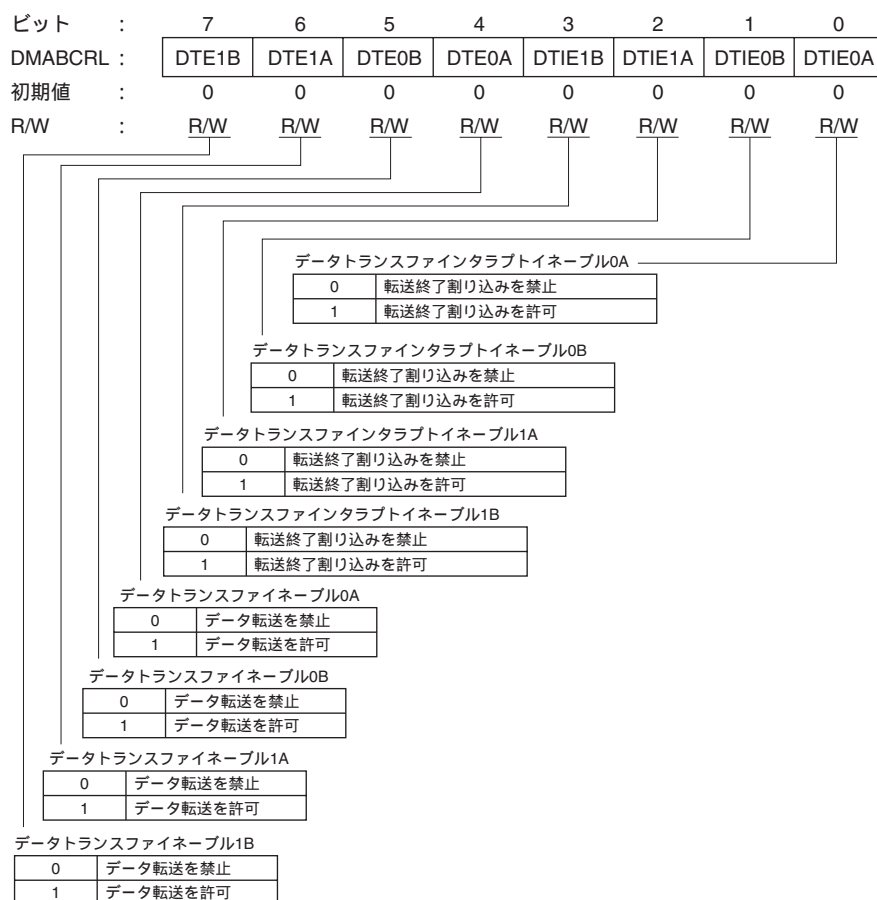
データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

H'FF66 : DMA バンドコントロールレジスタ DMABCR : DMAC



【注】* 0のみライト可能です。1をライトした場合、誤動作します。



H'FF74(W)H'FF74(R) : タイマコントロール/ステータスレジスタ TCSR0 : WDT0

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/(W)*1	R/W	R/W	-	-	R/W	R/W	R/W

クロックセレクト2~0

CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (= 10MHzの場合)
0	0	0	/ 2 (初期値)	51.2μs
		1	/ 64	1.6ms
	1	0	/ 128	3.2ms
		1	/ 512	13.2ms
1	0	0	/ 2048	52.4ms
		1	/ 8192	209.8ms
	1	0	/ 32768	838.8ms
		1	/ 131072	3.36s

【注】* オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

タイマイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード： TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドッグタイマモード： TCNTがオーバーフローしたときCPUへ内部リセットを選択可能*

【注】* ウォッチドッグタイマモードでTCNTがオーバーフローした場合についての詳細は、「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

オーバーフローフラグ

0	[クリア条件] OVF = 1の状態、TCSRをリード*2後、OVFに0をライトしたとき
1	[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合は、セット後内部リセットにより自動的にクリアされます。

【注】*1 フラグをクリアするための0ライトのみ可能です。

TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

*2 インターバルタイマ割り込みを禁止してOVFをポーリングした場合、OVF=1の状態を2回以上リードしてください。

H'FF74(W)H'FF75(R) : タイマカウンタ TCNT0 : WDT0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF76(W)H'FF77(R) : リセットコントロール / ステータスレジスタ

RSTCS : WDT0

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	-	-	-	-	-

リセットセレクト

0	パワーオンリセット
1	マニュアルリセット

リセットイネーブル

0	TCNTがオーバーフローしたとき内部リセットしない*
1	TCNTがオーバーフローしたとき内部リセットする

【注】* H8S/2214内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ウォッチドッグタイマオーバーフローフラグ

0	[クリア条件] WOVF = 1の状態 でRSTCSRをリードしたあと、WOVFに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー (H'FF H'00)したとき

【注】* フラグをクリアするための0ライトのみ可能です。

RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。

詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

H'FF78 : シリアルモードレジスタ0 SMR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0

0	0	クロック
	1	/4クロック
1	0	/16クロック
	1	/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。
また、LSBファースト/MSBファーストの選択はできません。

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

H'FF79 : ビットレートレジスタ 0 BRR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

【注】詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF7A : シリアルコントロールレジスタ 0 SCR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0

0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
	1	調歩同期式モード	内部クロック / SCK端子はクロック出力*1
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力*1
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK端子はクロック入力*2
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 (通常受信動作をします) [クリア条件] MPIEビットを0にクリア MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF7B : トランスミットデータレジスタ 0 TDR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF7C : シリアルステータスレジスタ 0 SSR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC*2が起動され、DTCでTDRへデータをライトしたとき
1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき

パリティエラー	
0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき
1	[セット条件] SCRのTEビットが0のとき TDRからTSRIにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 DTCによりクリアされるのは、DISEL=1で、かつ転送カウンタが0でない場合です。

H'FF7D : レシーブデータレジスタ0 RDR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF7E : スマートカードモードレジスタ0 SCMR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	-
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット
0をライトしてください。

スマートカードデータインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

スマートカードデータトランスファディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF80 : シリアルモードレジスタ1 SMR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0

0	0	クロック
	1	/4クロック
1	0	/16クロック
	1	/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。
また、LSBファースト/MSBファーストの選択はできません。

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

H'FF81 : ビットレートレジスタ1 BRR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

【注】詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF82 : シリアルコントロールレジスタ 1 SCR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0

0	0	調歩同期式モード クロック同期式モード	内部クロック / SCK端子は入出力ポート 内部クロック / SCK端子は同期 クロック出力
	1	調歩同期式モード クロック同期式モード	内部クロック / SCK端子はクロック出力*1 内部クロック / SCK端子は同期 クロック出力*1
1	0	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力
	1	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] MPIEビットを0にクリア MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンブティ割り込み (TXI) 要求の禁止
1	送信データエンブティ割り込み (TXI) 要求の許可

H'FF83 : トランスミットデータレジスタ1 TDR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF84 : シリアルステータスレジスタ 1 SSR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC*2が起動され、DTCでTDRへデータをライトしたとき
1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき

パリティエラー	
0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるか どうかをチェックし、ストップビットが0であったとき

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき
1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 DTCによりクリアされるのは、DISEL=1で、かつ転送カウンタが0でない場合です。

H'FF85 : レシーブデータレジスタ1 RDR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF86 : スマートカードモードレジスタ1 SCMR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	-
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット
0をライトしてください。

スマートカードデータインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

スマートカードデータトランスファディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF88 : シリアルモードレジスタ2 SMR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	クロック
	1	/4クロック
1	0	/16クロック
	1	/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。
また、LSBファースト / MSBファーストの選択はできません。

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

H'FF89 : ビットレートレジスタ2 BRR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

【注】詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF8A : シリアルコントロールレジスタ 2 SCR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0

0	0	調歩同期式モード クロック同期式モード	内部クロック / SCK端子は入出力ポート 内部クロック / SCK端子は同期 クロック出力
	1	調歩同期式モード クロック同期式モード	内部クロック / SCK端子はクロック出力*1 内部クロック / SCK端子は同期 クロック出力*1
1	0	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力
	1	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] MPIEビットを0にクリア MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンブティ割り込み (TXI) 要求の禁止
1	送信データエンブティ割り込み (TXI) 要求の許可

H'FF8B : トランスミットデータレジスタ 2 TDR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF8C : シリアルステータスレジスタ 2 SSR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] TDRE = 1の状態をリードしたあと、TDREフラグに0をライトしたとき TXI割り込みによってDTC*2が起動され、DTCでTDRへデータをライトしたとき
1	[セット条件] SCRのTEビットが0のとき 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1であったとき

パリティエラー	
0	[クリア条件] PER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、 ストップビットが0であったとき

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードしたあと、0をライトしたとき
1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] RDRF = 1の状態をリードしたあと、0をライトしたとき RXI割り込み要求によってDTC*2が起動され、DTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] TDRE = 1の状態をリードしたあと、0をライトしたとき TXI割り込み要求によってDTC*2が起動され、DTCでTDRへデータをライトしたとき
1	[セット条件] SCRのTEビットが0のとき TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 DTCによりクリアされるのは、DISEL=1で、かつ転送カウンタが0でない場合です。

H'FF8D : レシーブデータレジスタ2 RDR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF8E : スマートカードモードレジスタ2 SCMR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	-
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット
0をライトしてください。

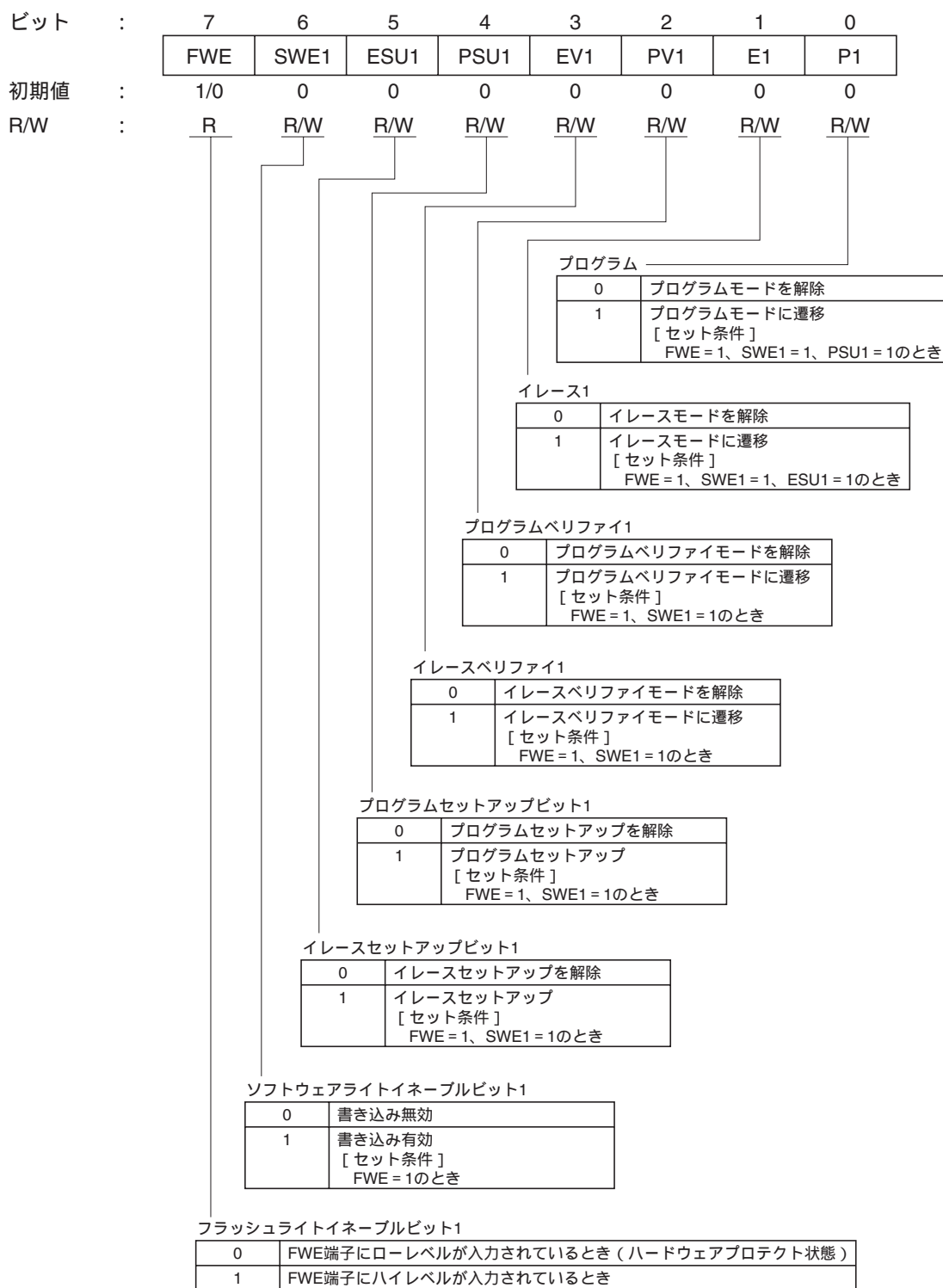
スマートカードデータインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

スマートカードデータトランスファディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FFA8 : フラッシュメモリコントロールレジスタ 1 FLMCR1 : FLASH



H'FFA9 : フラッシュメモリコントロールレジスタ 2 FLMCR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件] 「15.10.3 エラープロテクト」参照

H'FFAA : 消去ブロック指定レジスタ 1 EBR1 : FLASH

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFAB : 消去ブロック指定レジスタ 2 EBR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFB0 : ポート 1 レジスタ PORT1 : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポート1の各端子の状態

【注】* P17~P10端子の状態により決定されます。

H'FFB2 : ポート 3 レジスタ PORT3 : ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	P36	P35	P34	P33	P32	P31	P30
初期値 :	不定	- *	- *	- *	- *	- *	- *	- *
R/W :	-	R	R	R	R	R	R	R

ポート3の各端子の状態

【注】* P36~P30端子の状態により決定されます。

H'FFB3 : ポート 4 レジスタ PORT4 : ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	*	- *
R/W :	R	R	R	R	R	R	R	R

ポート4の各端子の状態

【注】* P47~P40端子の状態により決定されます。

H'FFB6 : ポート7レジスタ PORT7 : ポート7

ビット :	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポート7の各端子の状態

【注】* P77~P70端子の状態により決定されます。

H'FFB8 : ポート9レジスタ PORT9 : ポート9

ビット :	7	6	5	4	3	2	1	0
	-	P96	-	-	-	-	-	-
初期値 :	-	- *	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

|
ポート9の各端子の状態

【注】* P96端子の状態により決定されます。

H'FFB9 : ポートAレジスタ PORTA : ポートA

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値 :	不定	不定	不定	不定	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

|
ポートAの各端子の状態

【注】* PA3~PA0端子の状態により決定されます。

H'FFBA : ポート B レジスタ PORTB : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートBの各端子の状態

【注】* PB7～PB0端子の状態により決定されます。

H'FFBB : ポート C レジスタ PORTC : ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートCの各端子の状態

【注】* PC7～PC0端子の状態により決定されます。

H'FFBC : ポート D レジスタ PORTD : ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートDの各端子の状態

【注】* PD7～PD0端子の状態により決定されます。

H'FFBD : ポート E レジスタ PORTE : ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポートEの各端子の状態

【注】* PE7～PE0端子の状態により決定されます。

H'FFBE : ポート F レジスタ PORTF : ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|
ポートFの各端子の状態

【注】* PF7～PF0端子の状態により決定されます。

H'FFBF : ポート G レジスタ PORTG : ポート G

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	不定	不定	不定	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

|
ポートGの各端子の状態

【注】* PG4～PG0端子の状態により決定されます。

C. I/O ポートのブロック図

C.1 ポート1 ブロック図

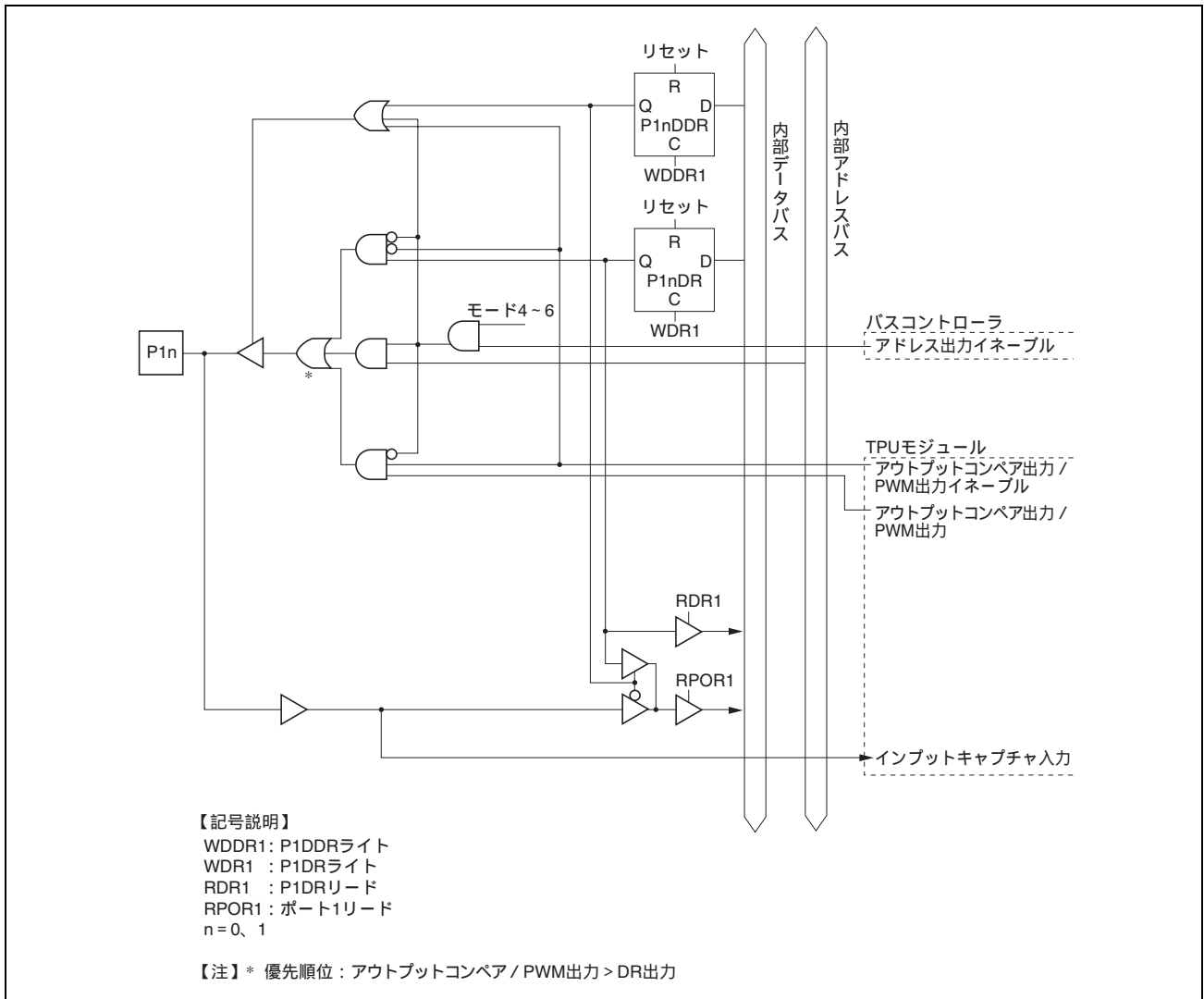


図 C.1 ポート1 ブロック図 (P10、P11 端子)

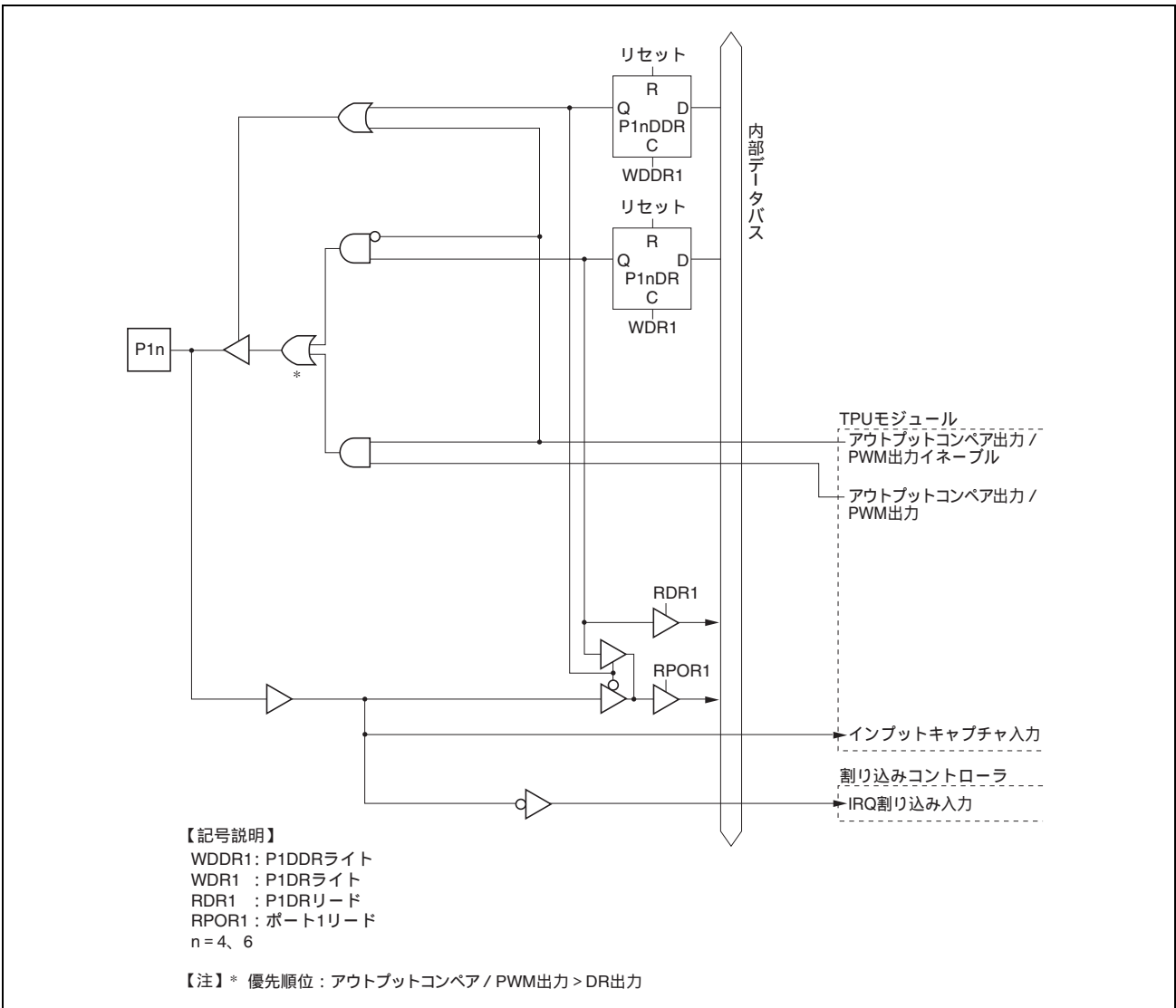


図 C.3 ポート 1 ブロック図 (P14、 P16 端子)

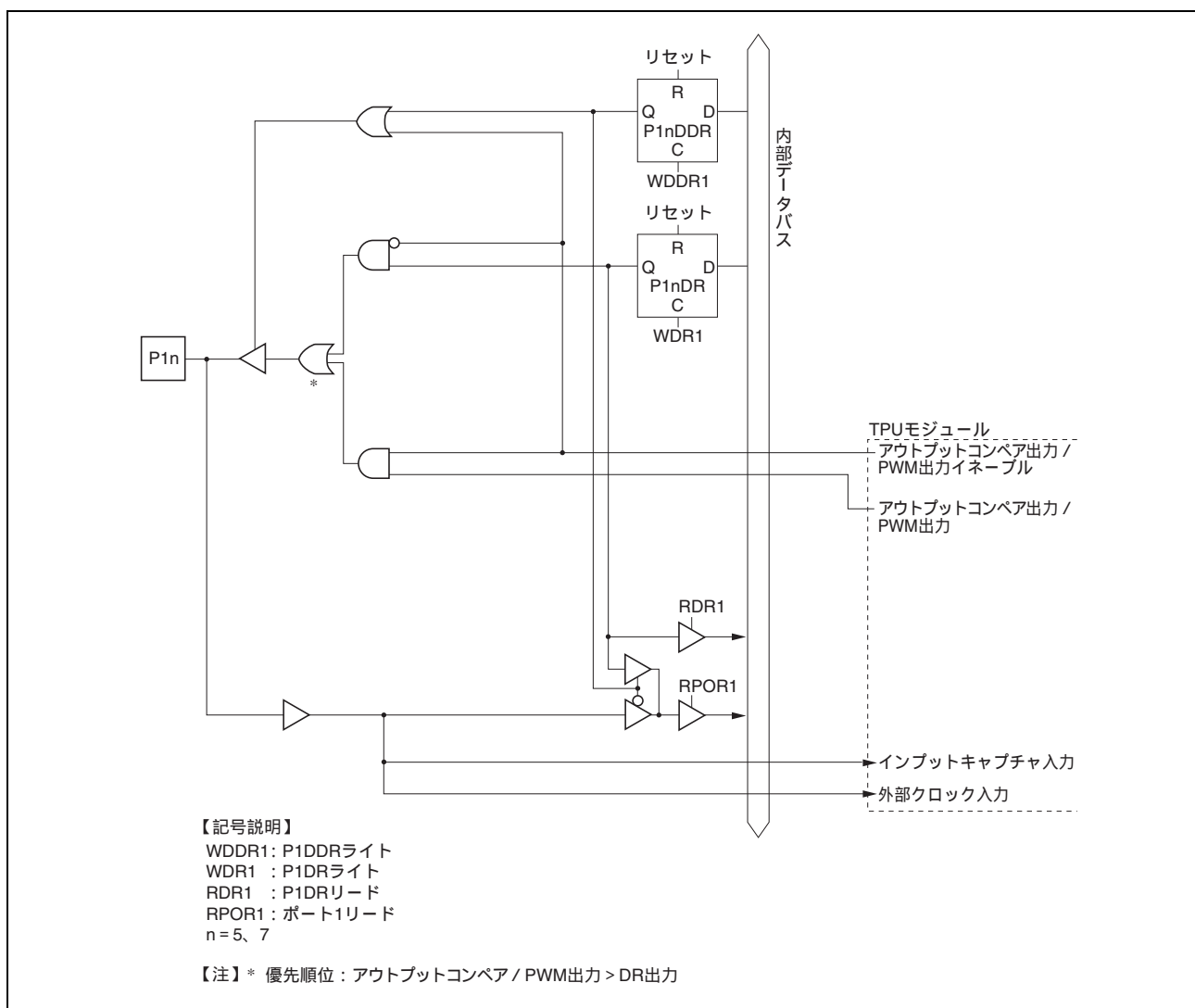


図 C.4 ポート 1 ブロック図 (P15、P17 端子)

C.2 ポート3ブロック図

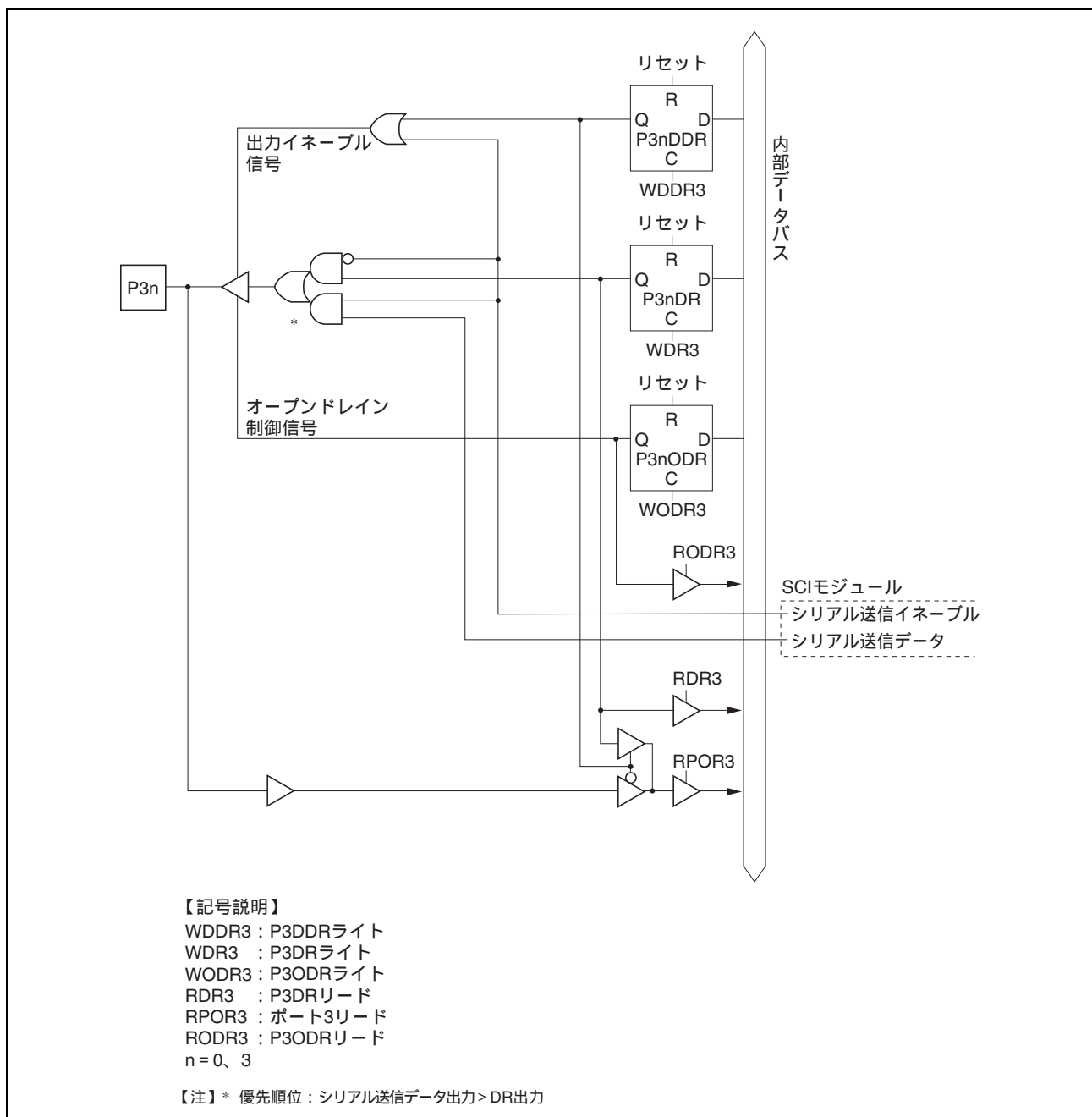


図 C.5 ポート3ブロック図 (P30、P33 端子)

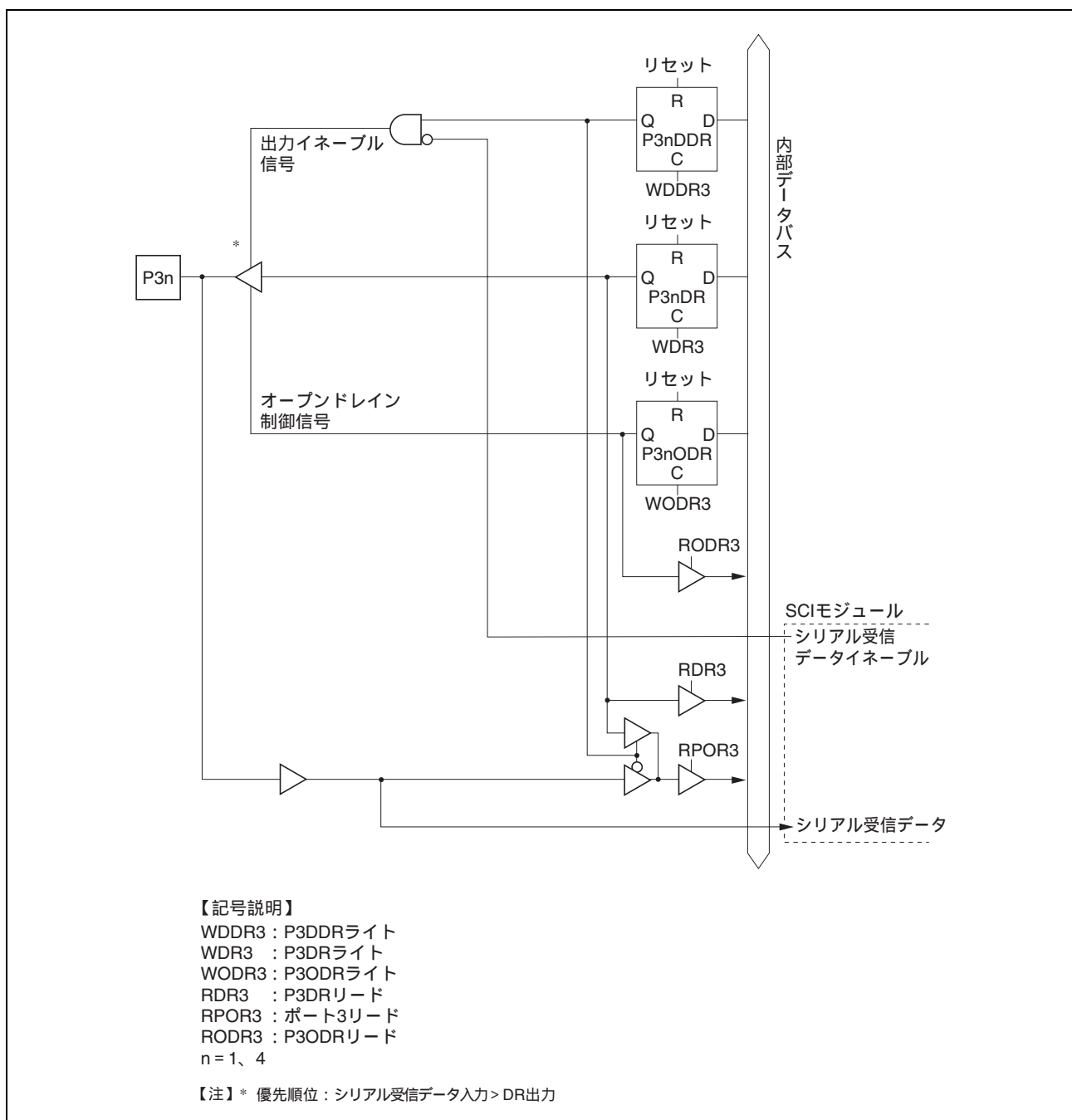


図 C.6 ポート 3 ブロック図 (P31、P34 端子)

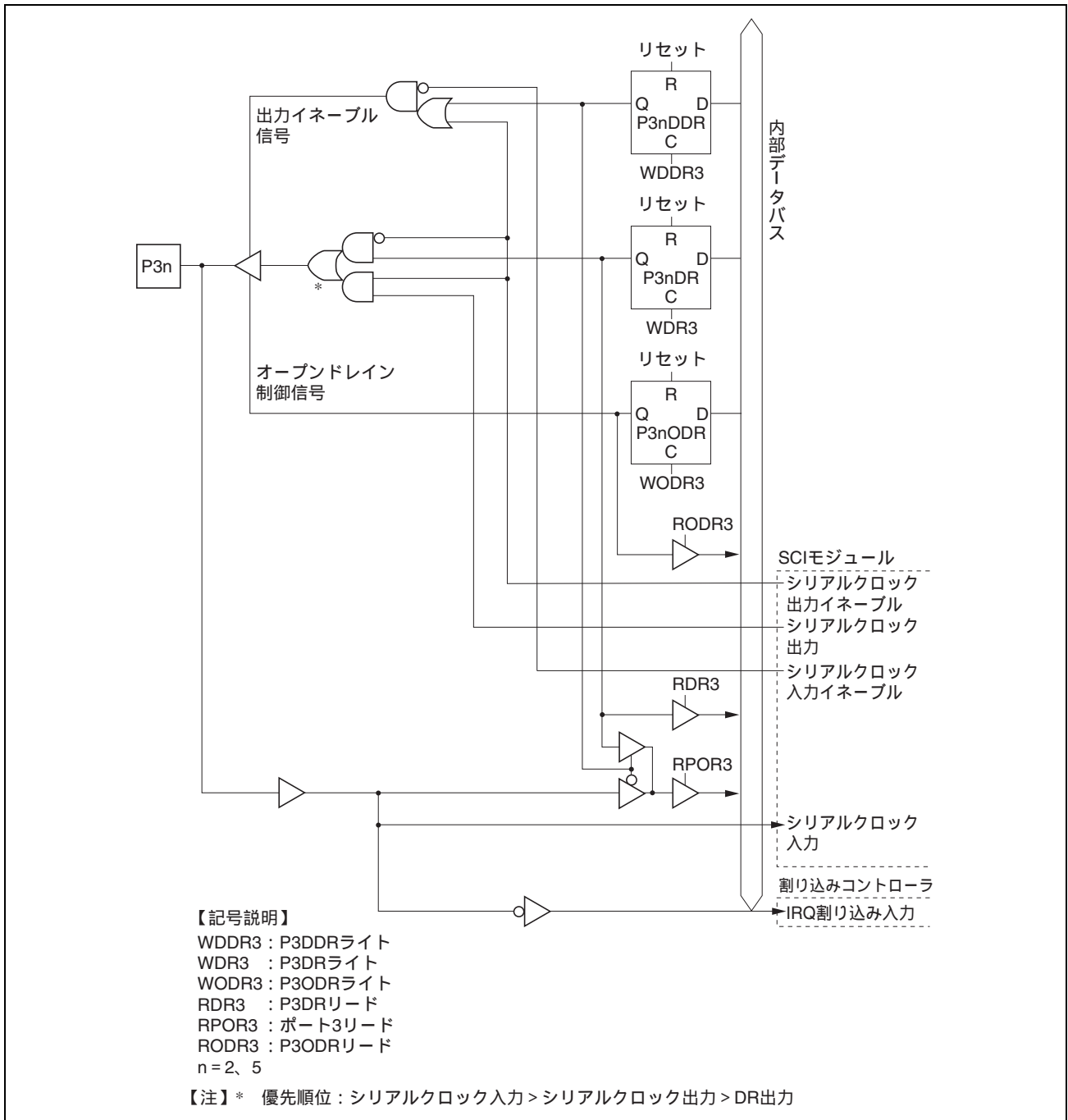


図 C.7 ポート 3 ブロック図 (P32、P35 端子)

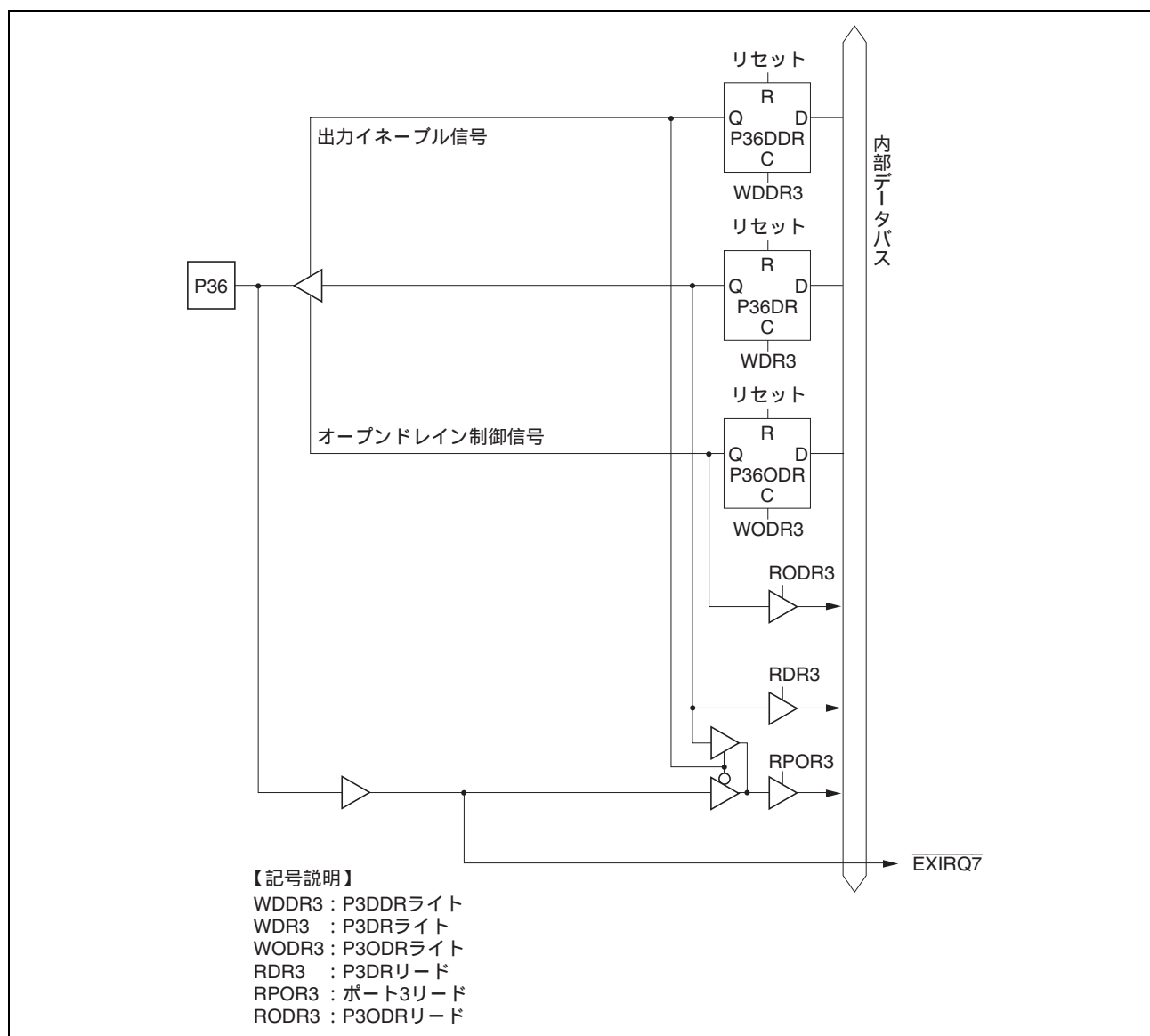


図 C.8 ポート 3 ブロック図 (P36 端子)

C.3 ポート4ブロック図

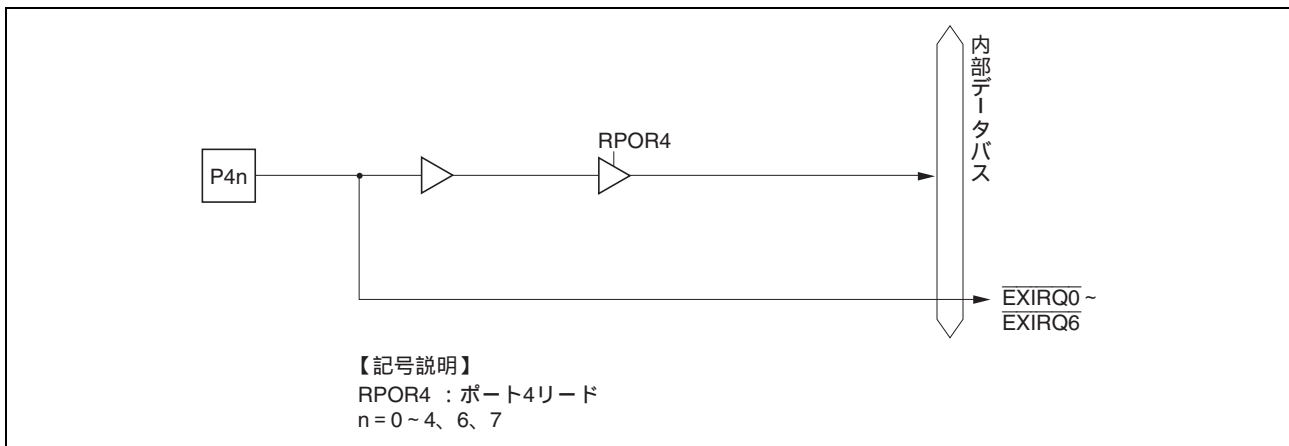


図 C.9 ポート4ブロック図 (P40~P44、P46、P47 端子)

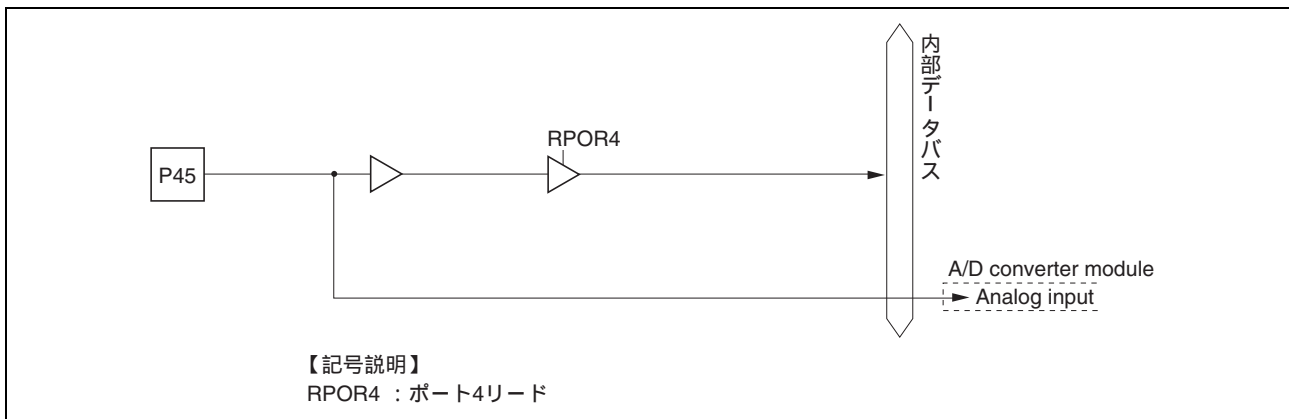


図 C.10 ポート4ブロック図 (P45 端子)

C.4 ポート7ブロック図

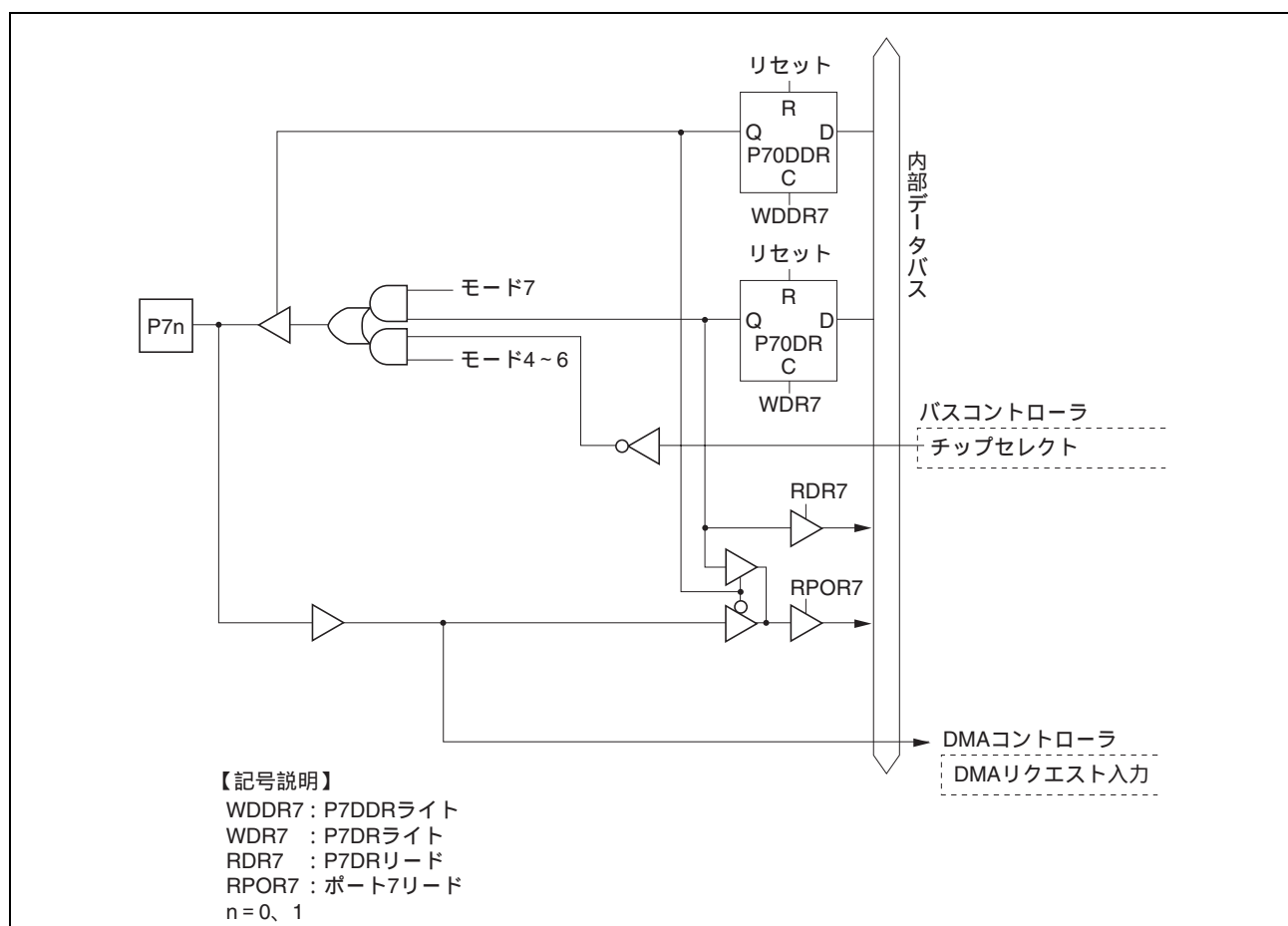


図 C.11 ポート7ブロック図 (P70、P71 端子)

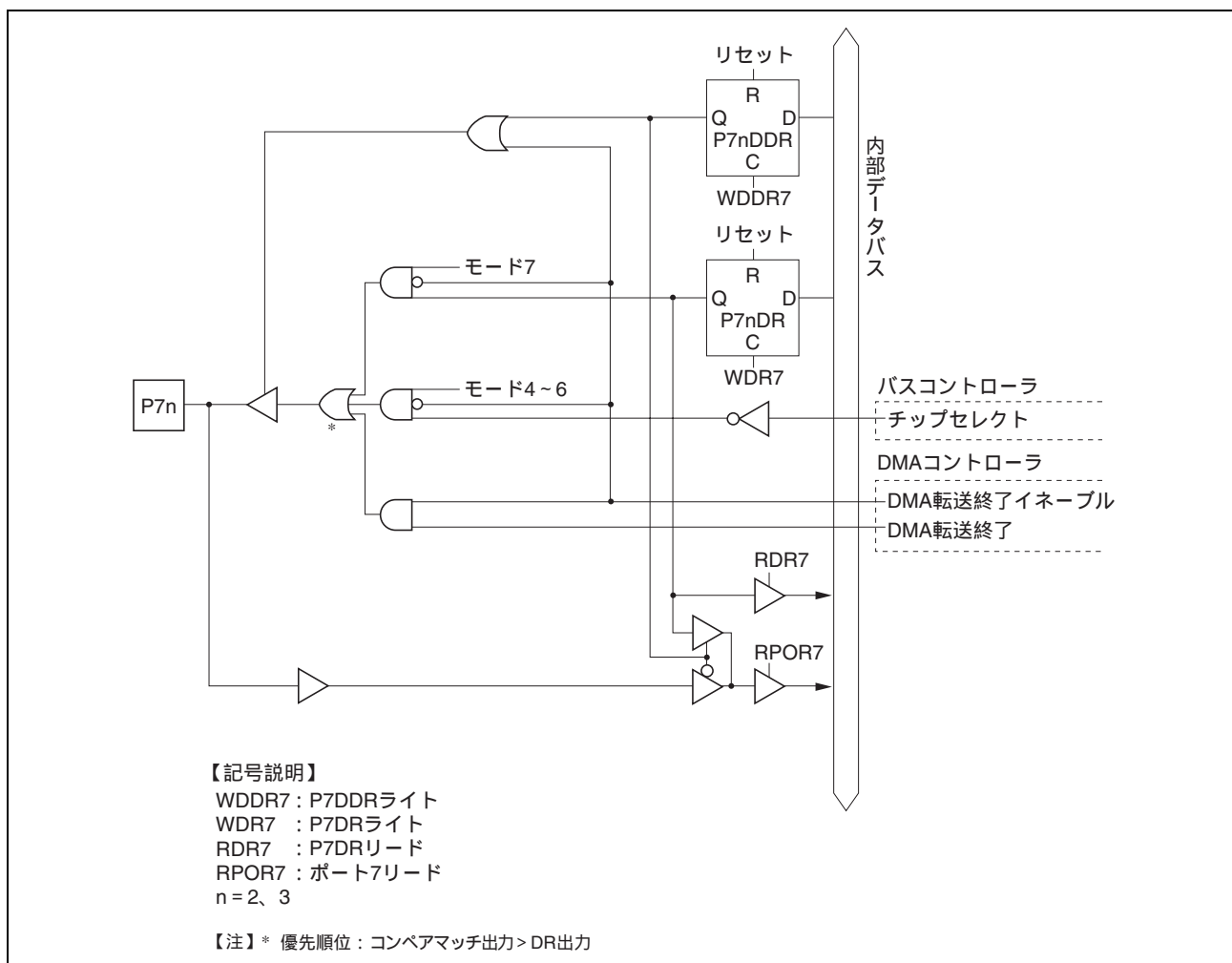


図 C.12 ポート7ブロック図 (P72、P73 端子)

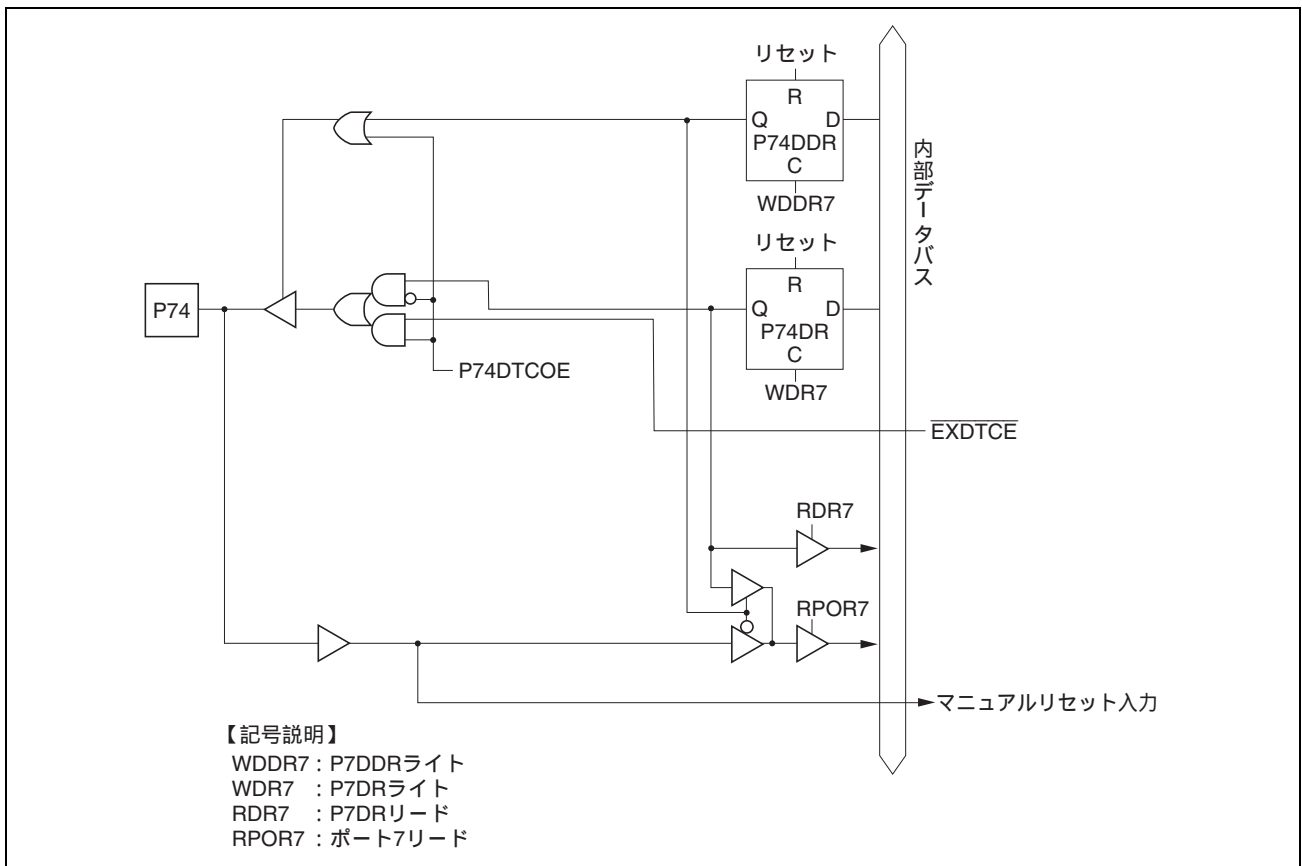


図 C.13 ポート7ブロック図 (P74 端子)

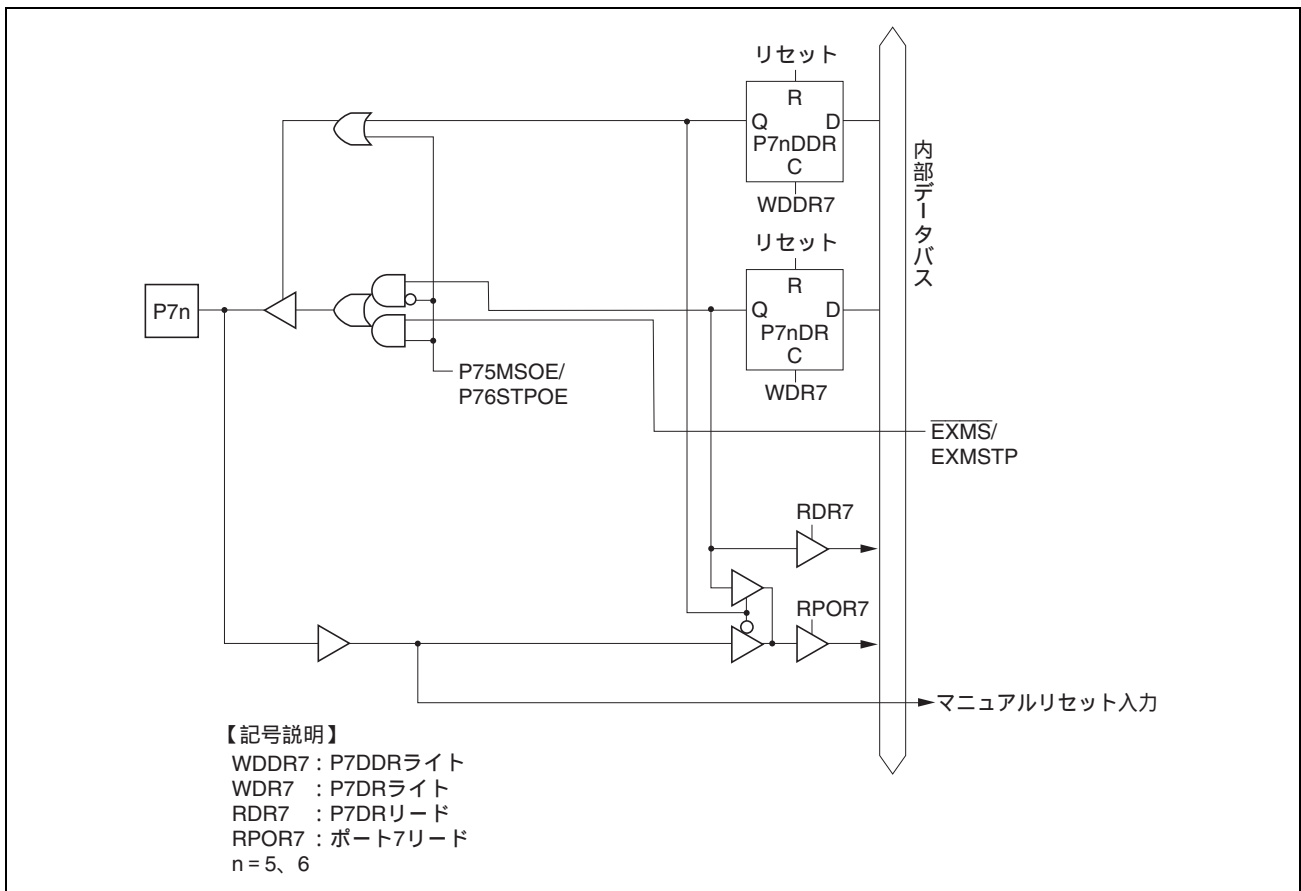


図 C.14 ポート7ブロック図 (P75、P76 端子)

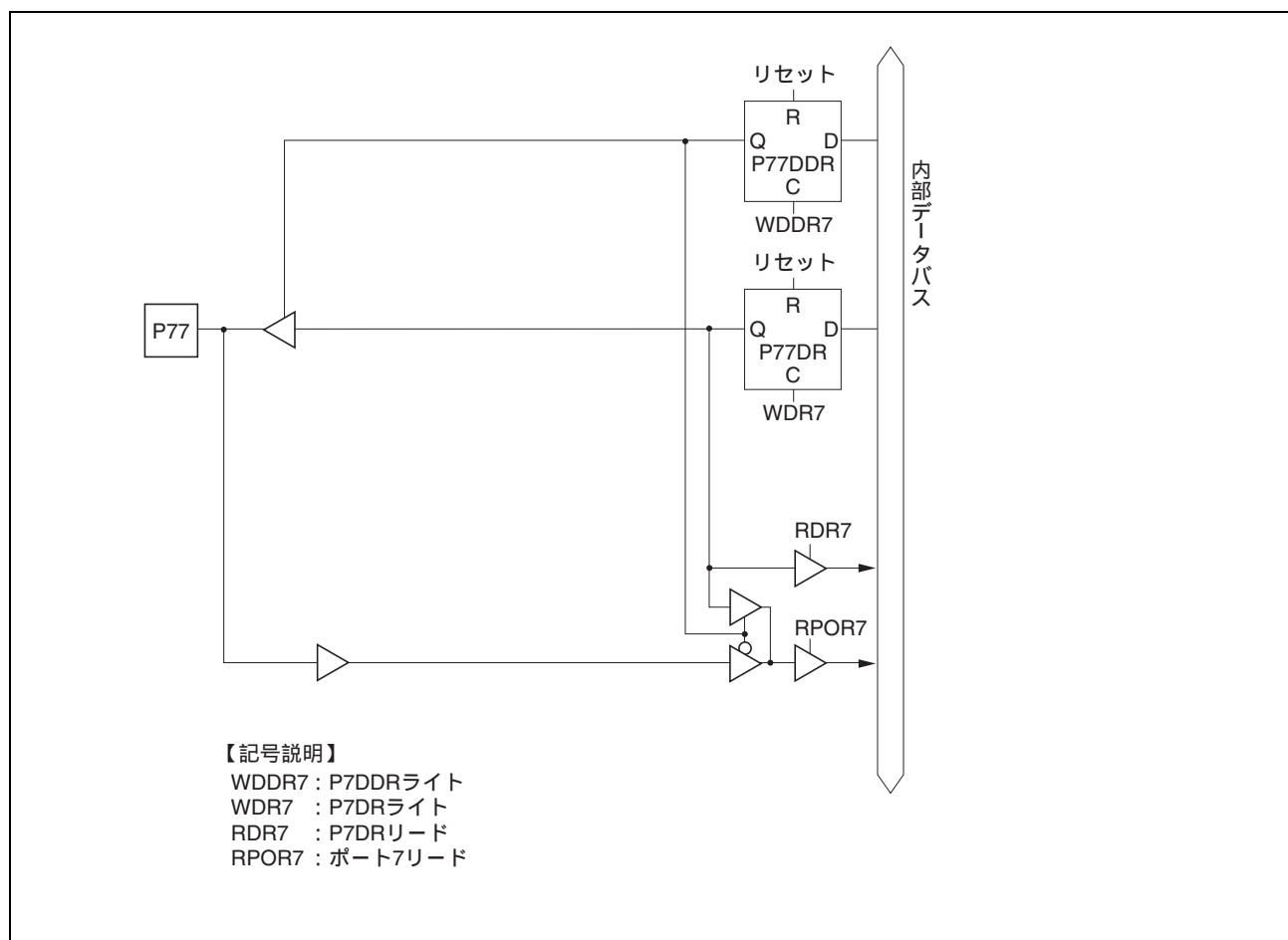


図 C.15 ポート7ブロック図 (P77 端子)

C.5 ポート9ブロック図

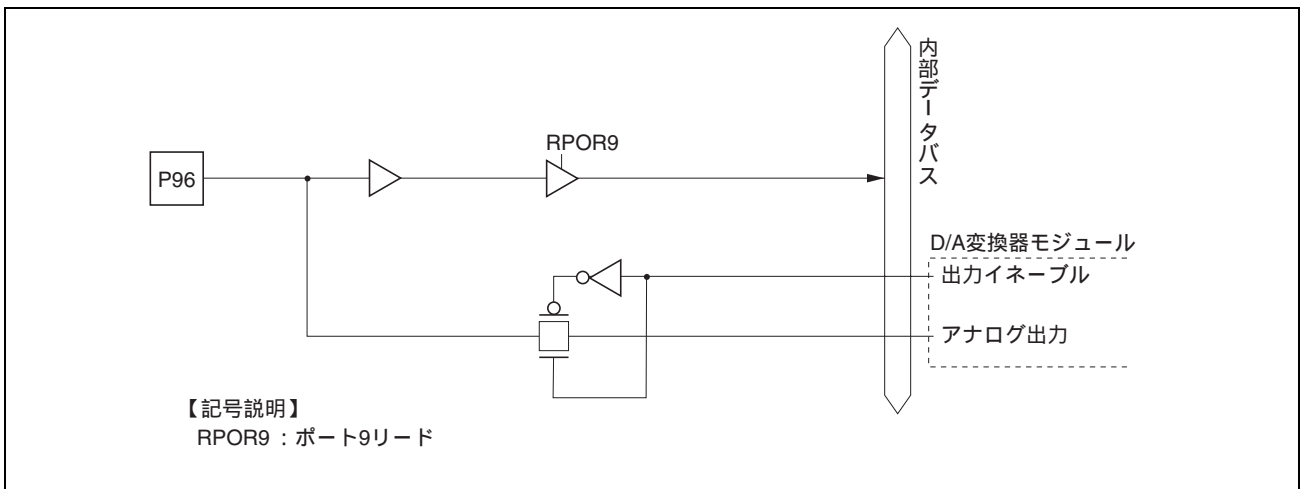


図 C.16 ポート9ブロック図 (P96 端子)

C.6 ポート A ブロック図

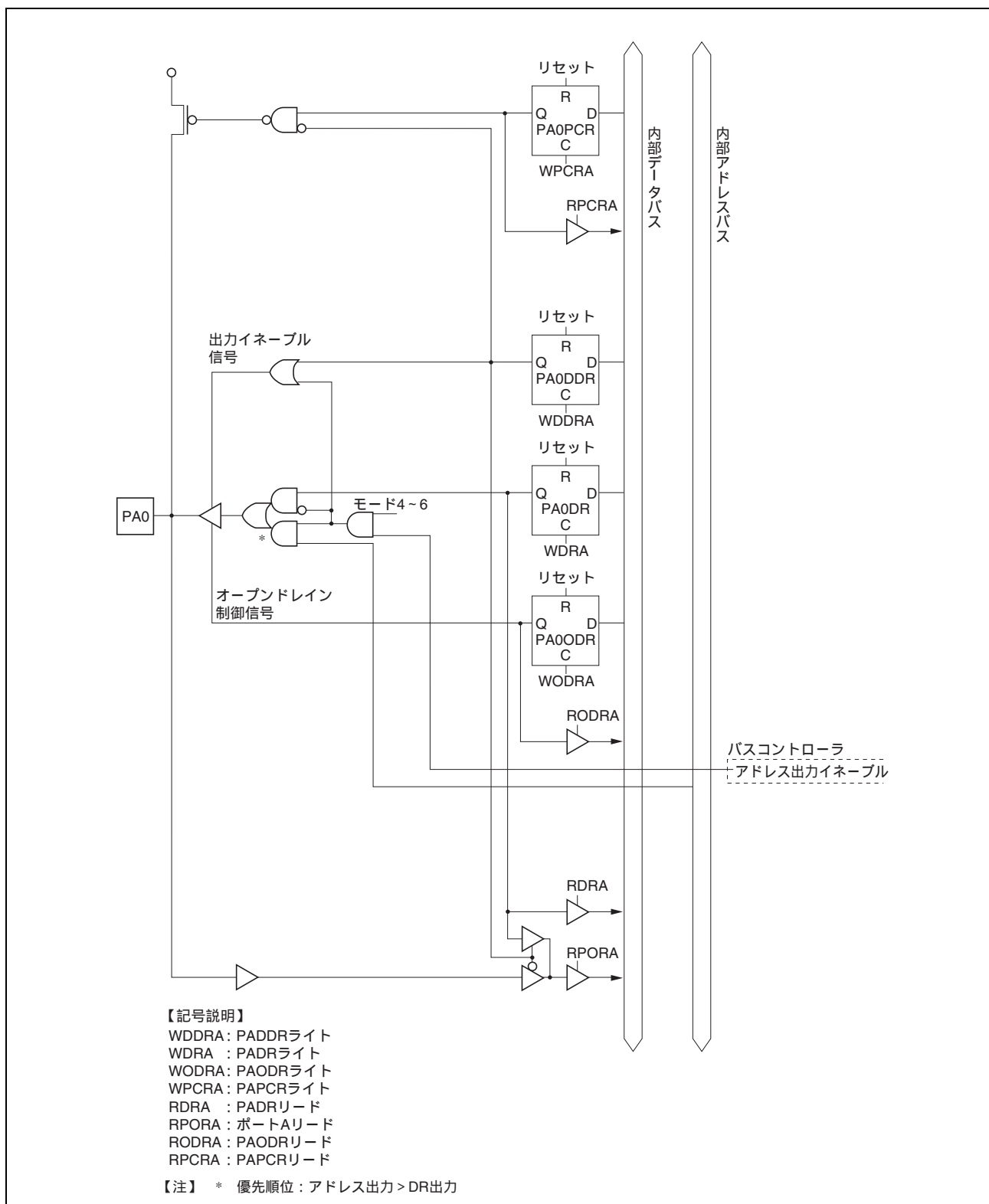


図 C.17 ポート A ブロック図 (PA0 端子)

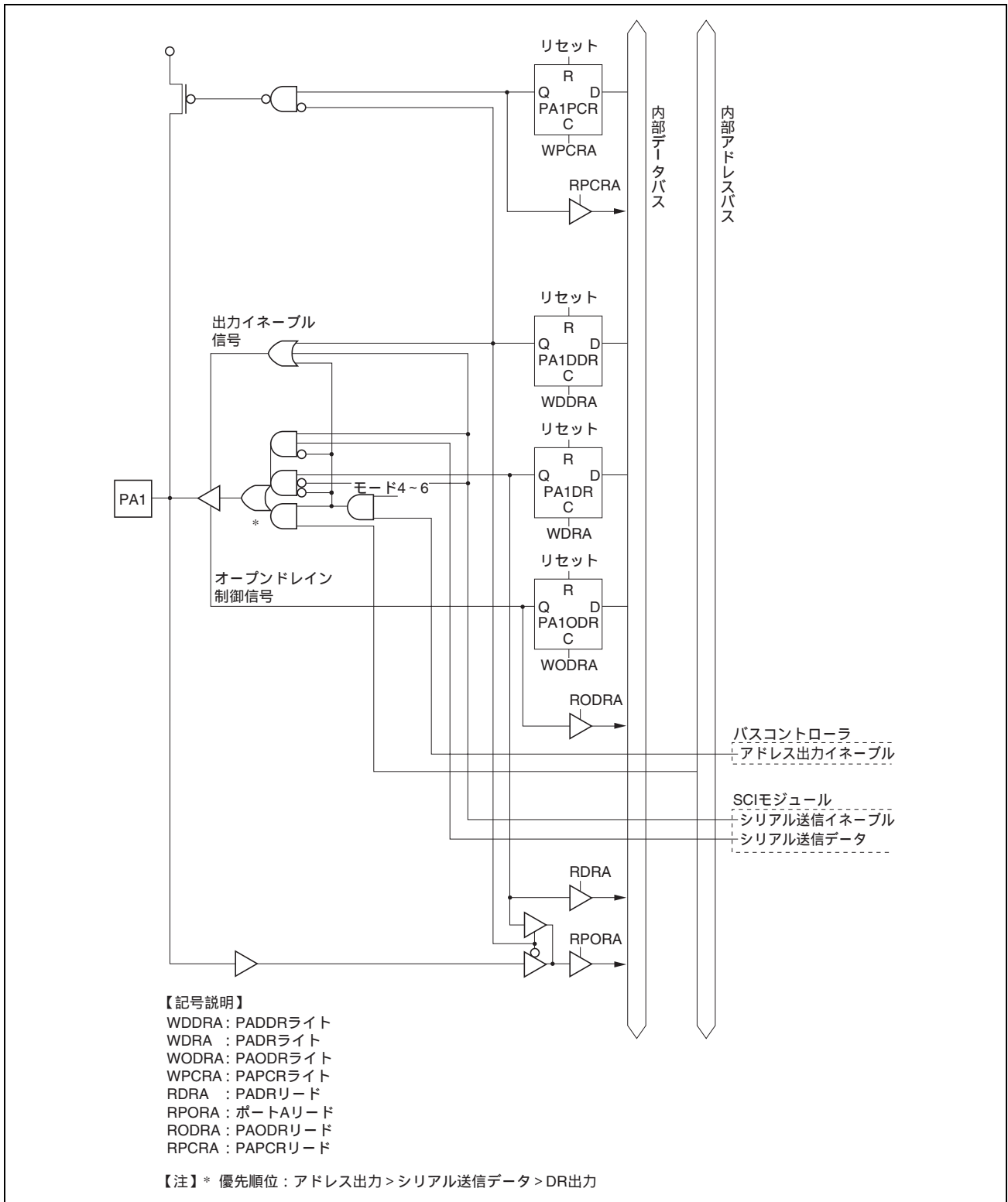


図 C.18 ポート A ブロック図 (PA1 端子)

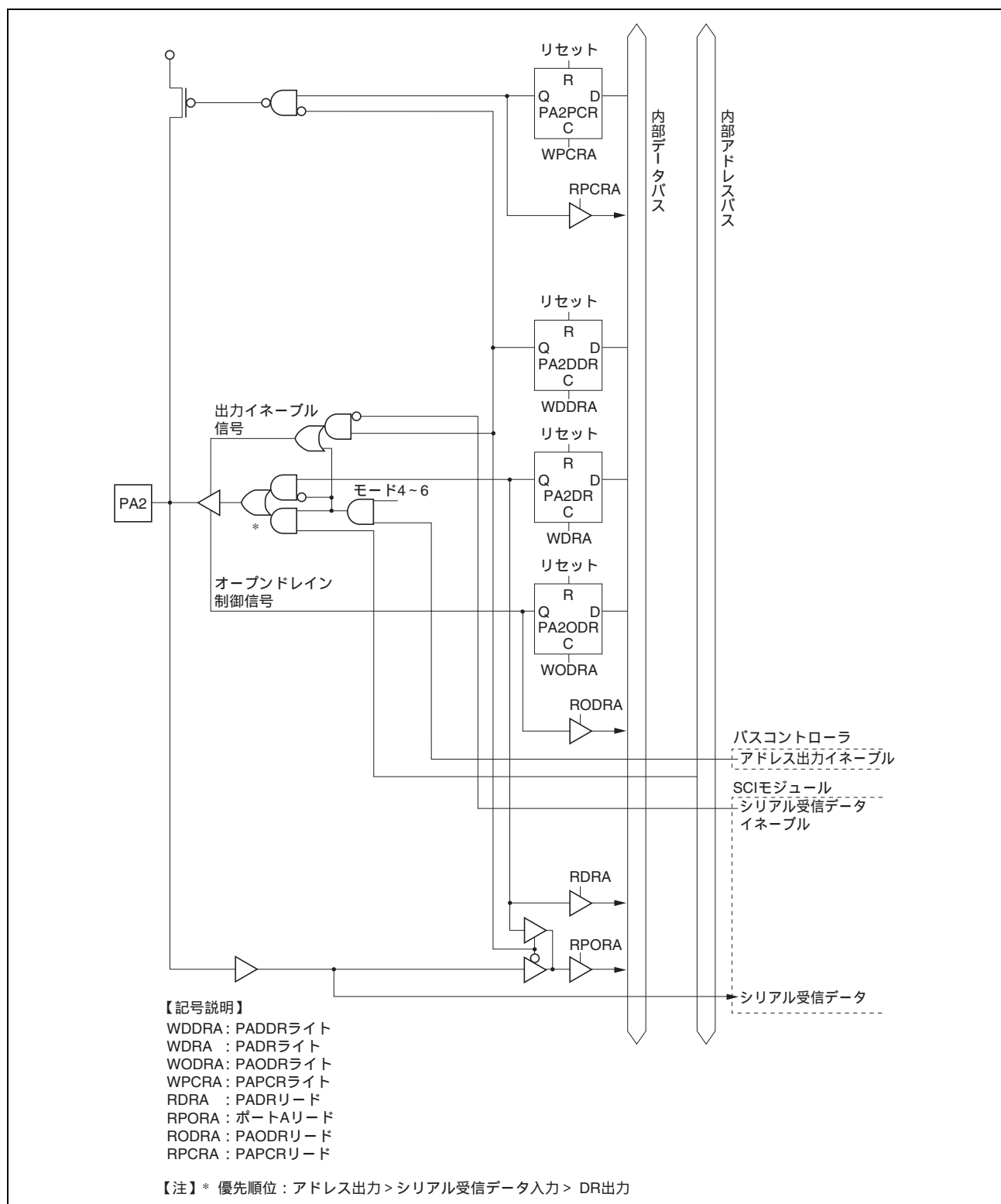


図 C.19 ポート A ブロック図 (PA2 端子)

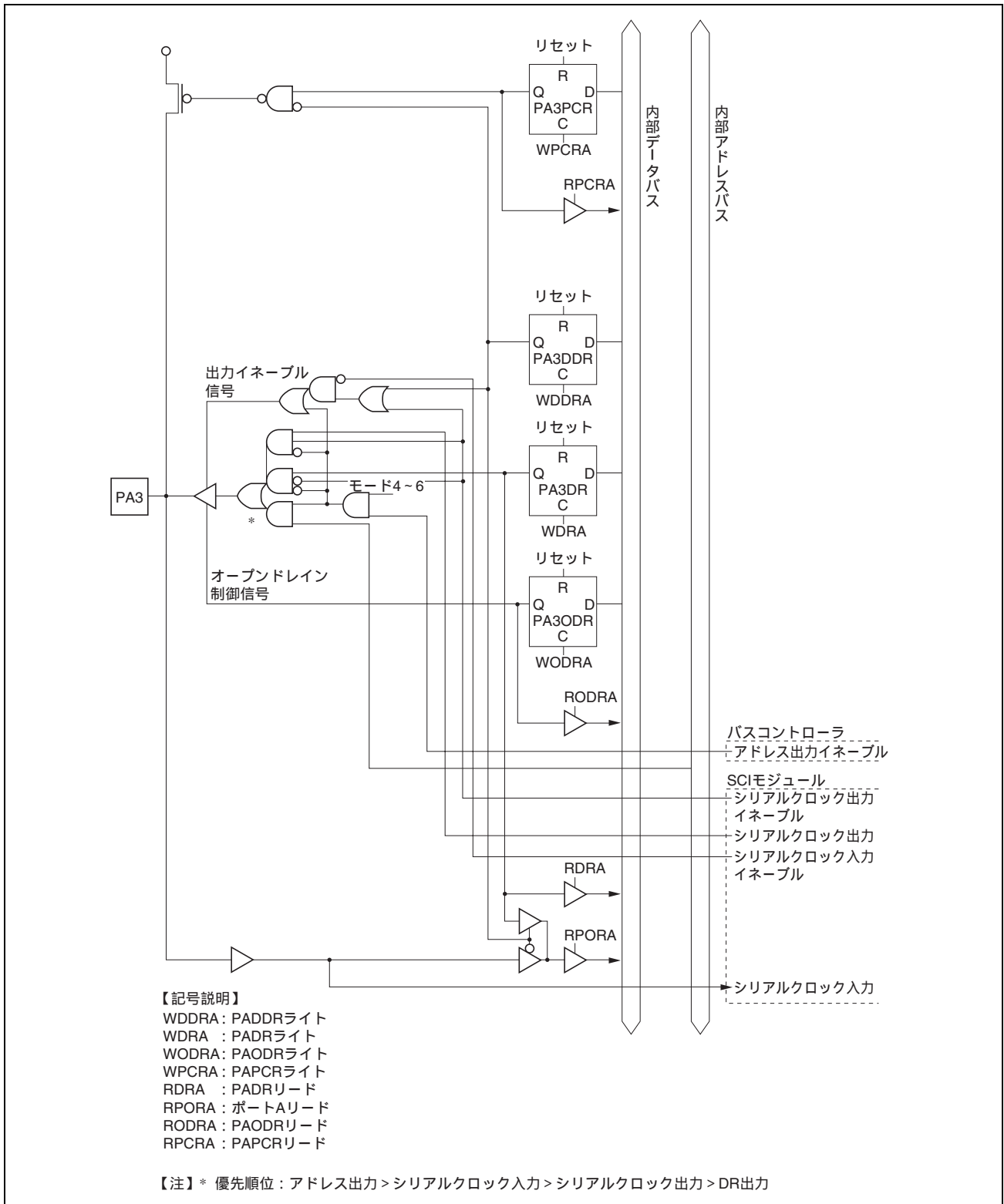


図 C.20 ポート A ブロック図 (PA3 端子)

C.7 ポート B ブロック図

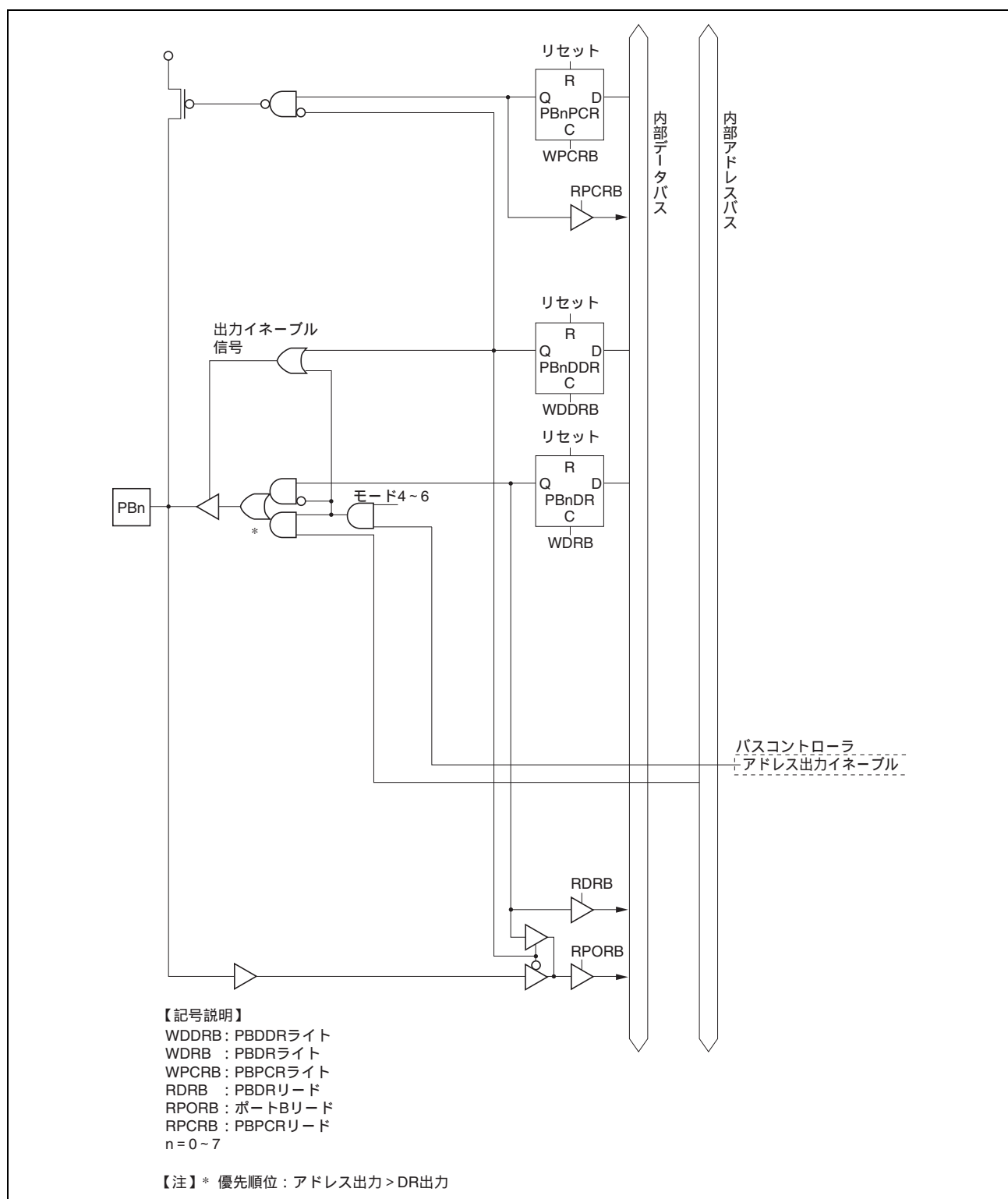


図 C.21 ポート B ブロック図 (PB0~PB7 端子)

C.8 ポートCブロック図

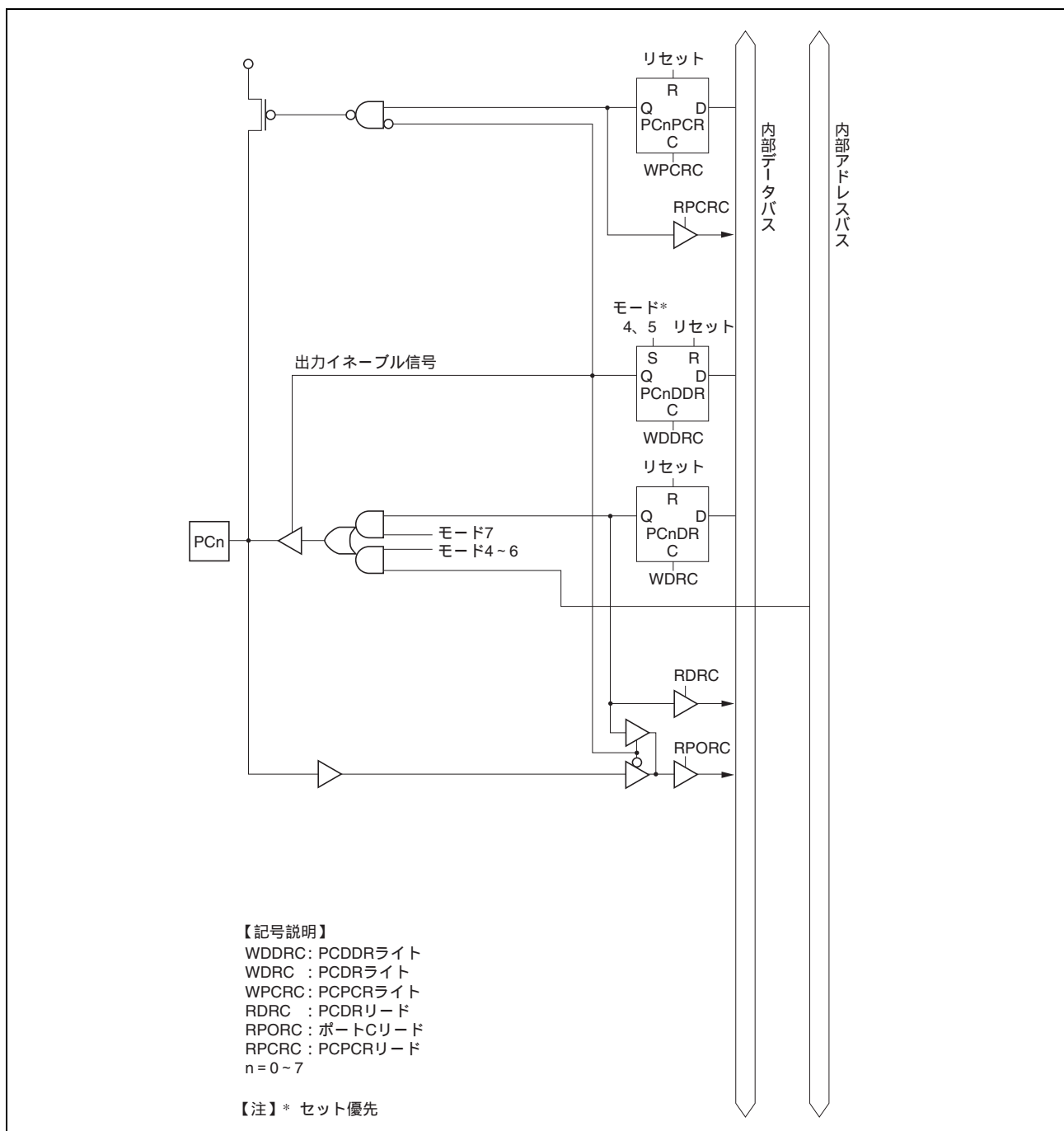


図 C.22 ポートCブロック図 (PC0~PC7 端子)

C.9 ポートDブロック図

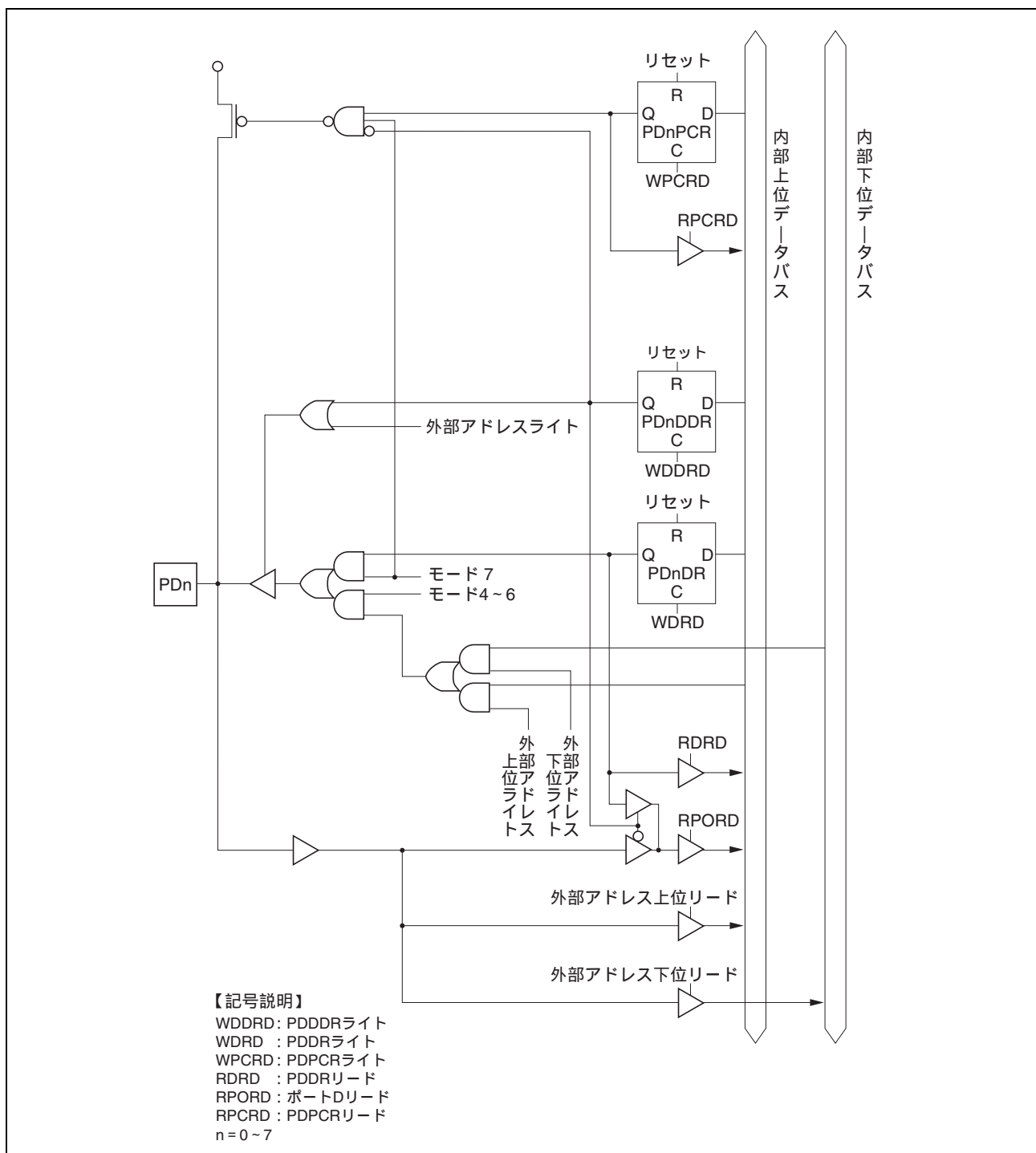


図 C.23 ポートD ブロック図 (PD0~PD7 端子)

C.10 ポートEブロック図

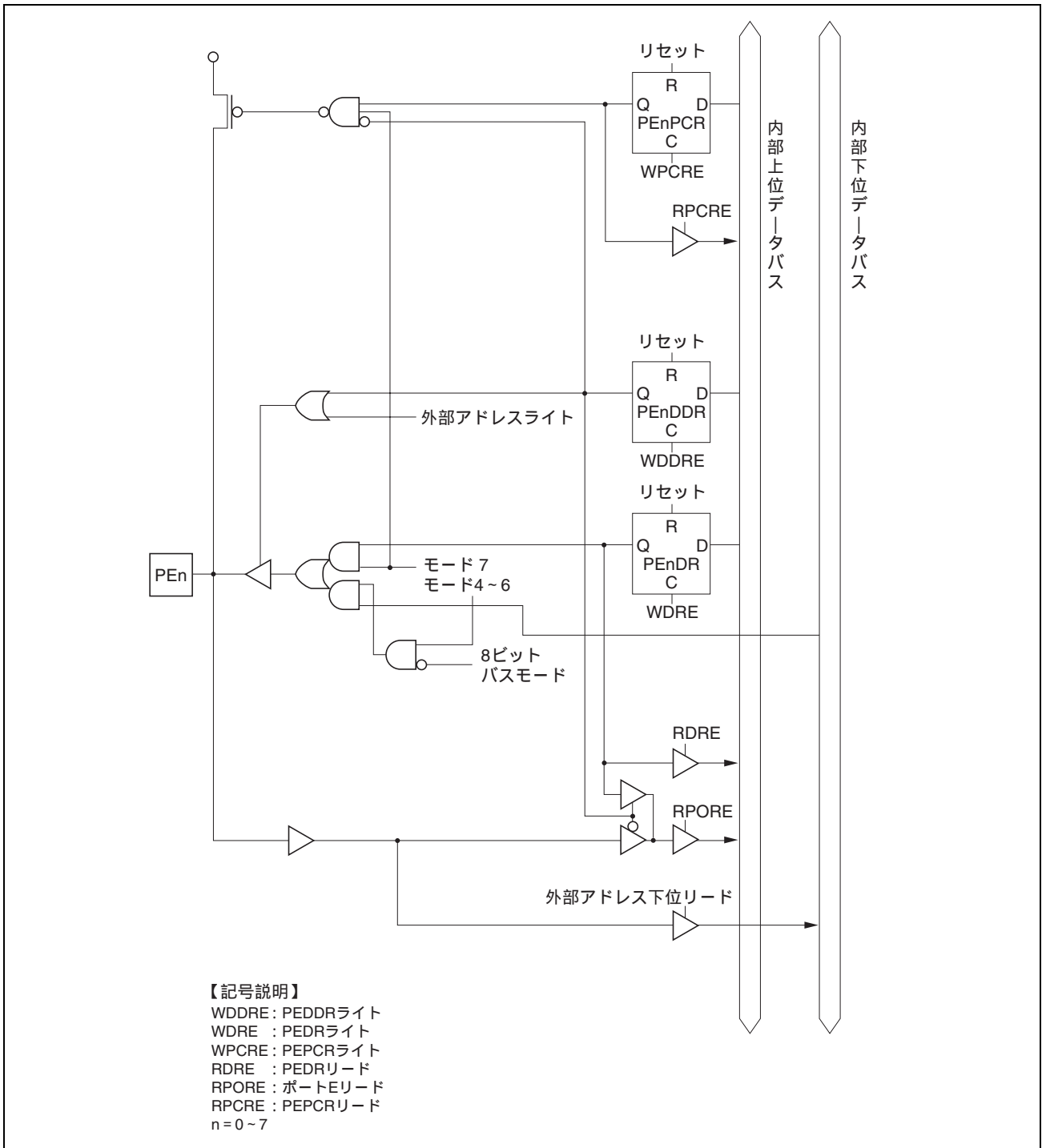


図 C.24 ポートEブロック図 (PE0~PE7 端子)

C.11 ポートFブロック図

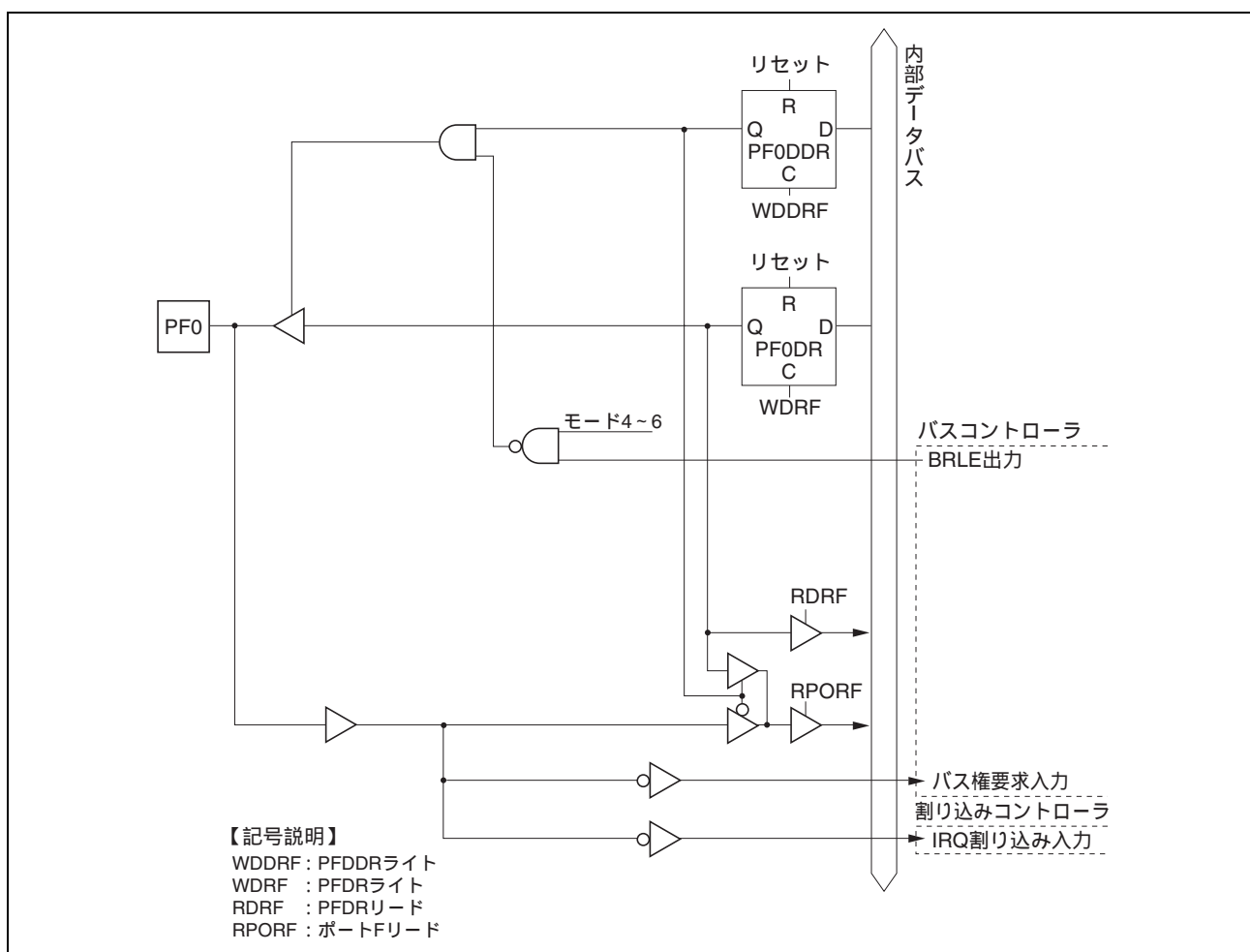


図 C.25 ポートFブロック図 (PF0 端子)

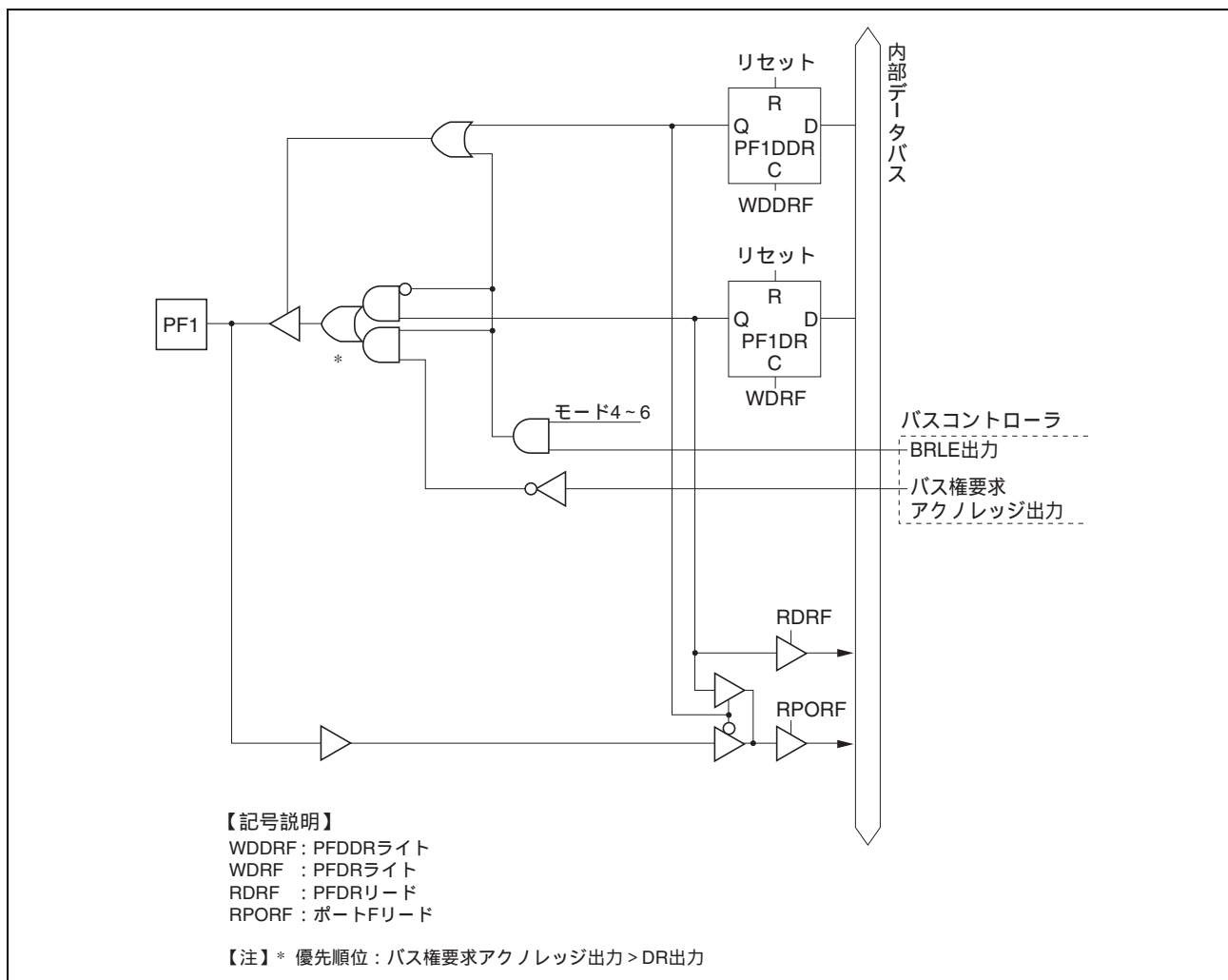


図 C.26 ポート F ブロック図 (PF1 端子)

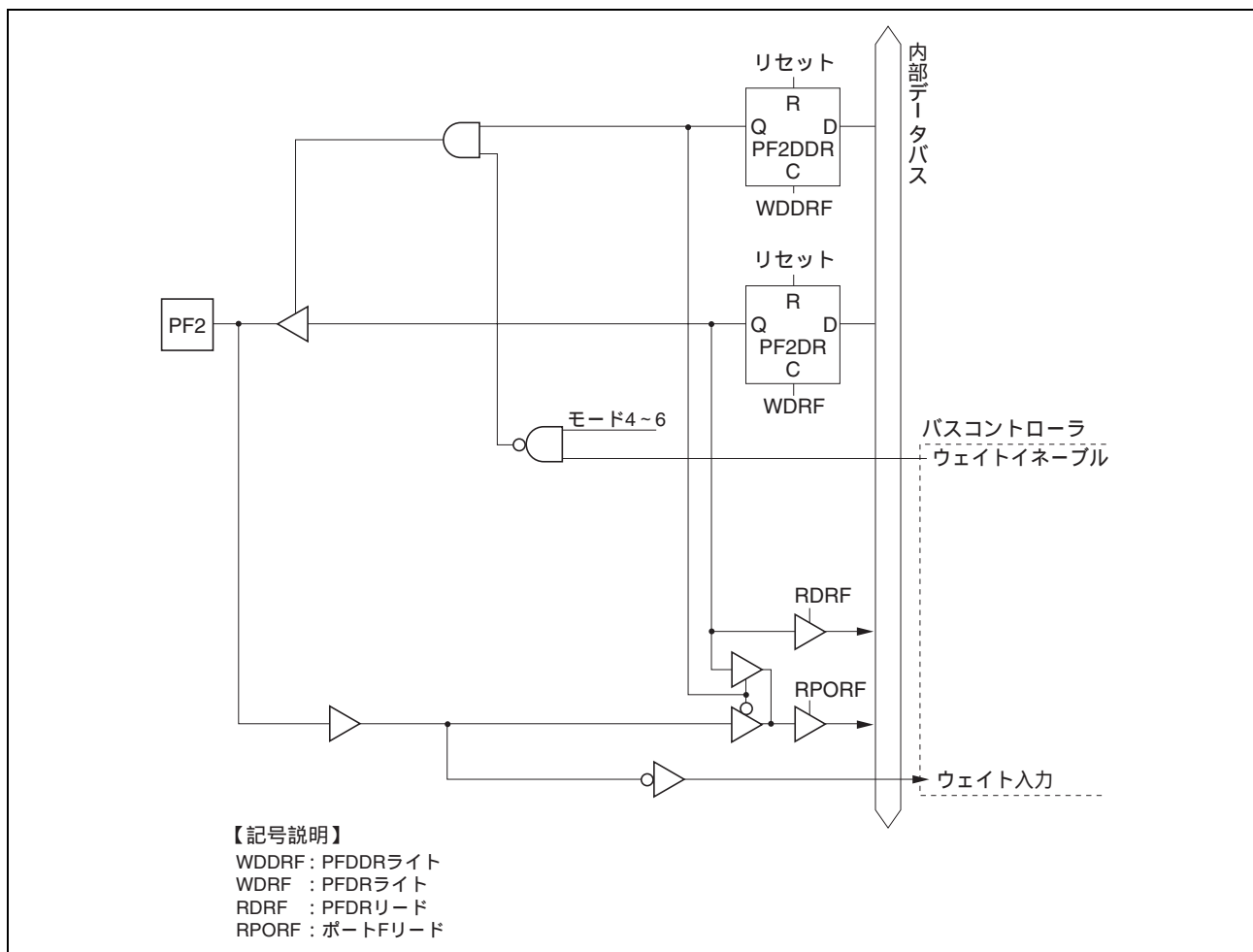


図 C.27 ポート F ブロック図 (PF2 端子)

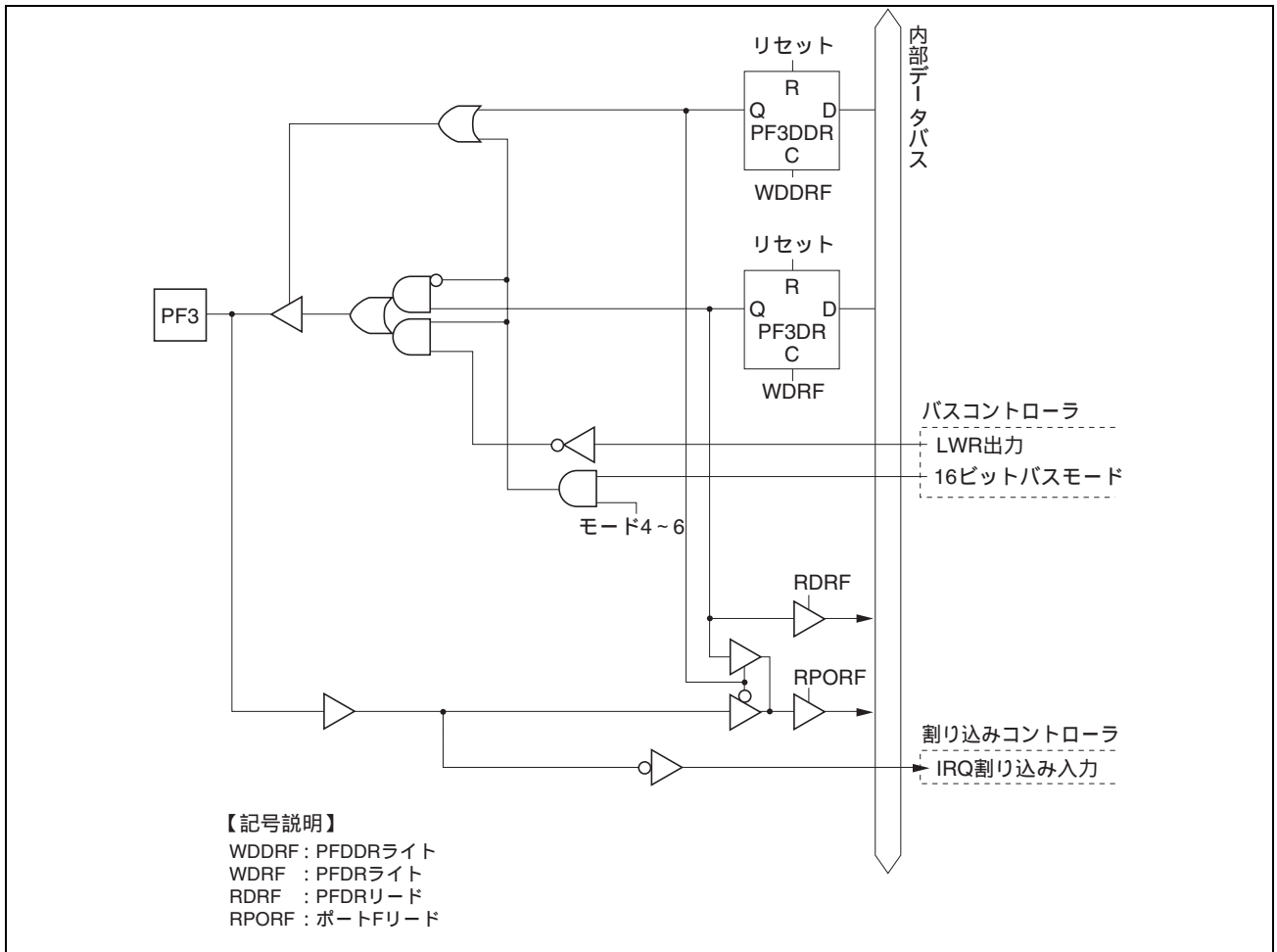


図 C.28 ポートFブロック図 (PF3 端子)

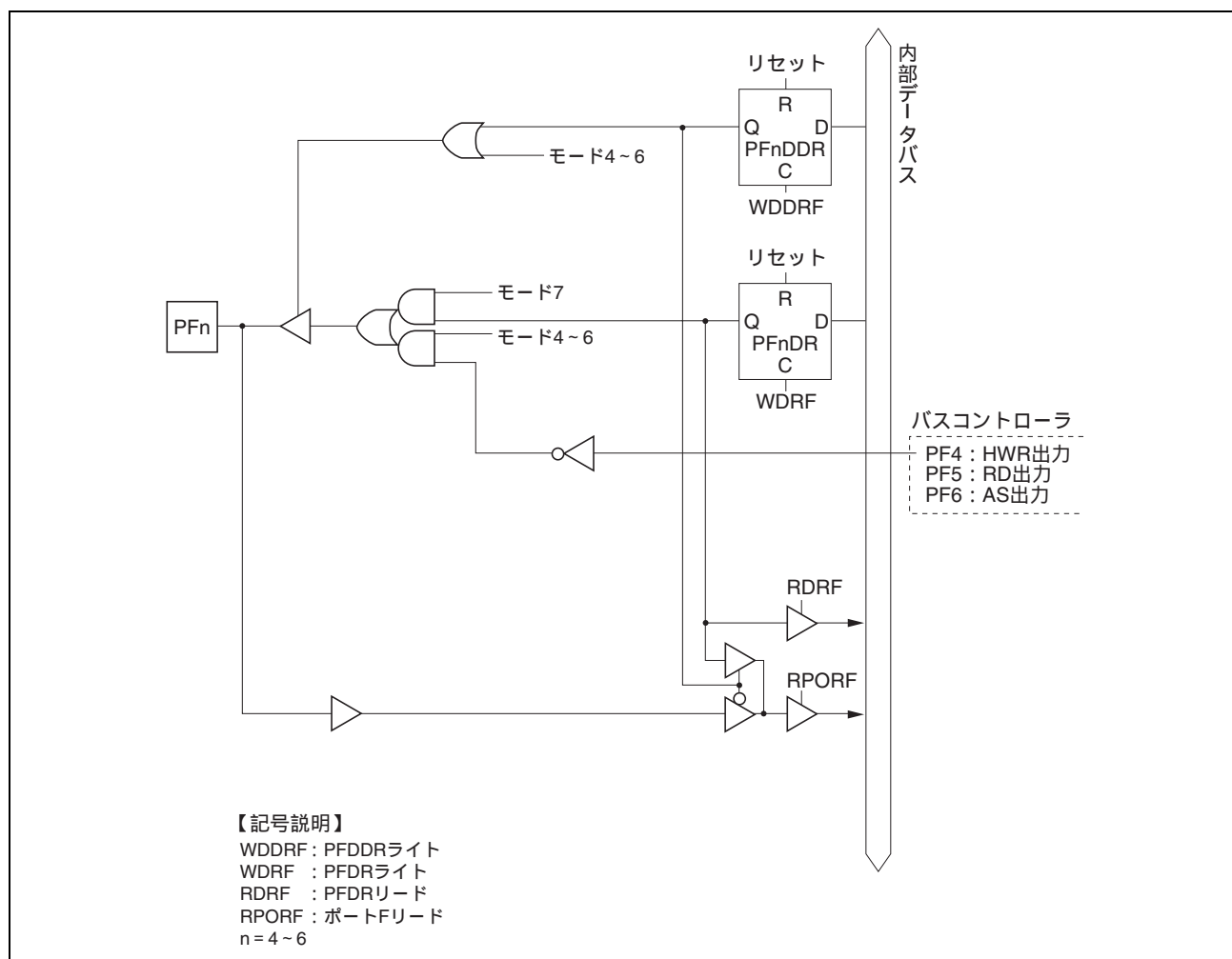


図 C.29 ポート F ブロック図 (PF4 ~ PF6 端子)

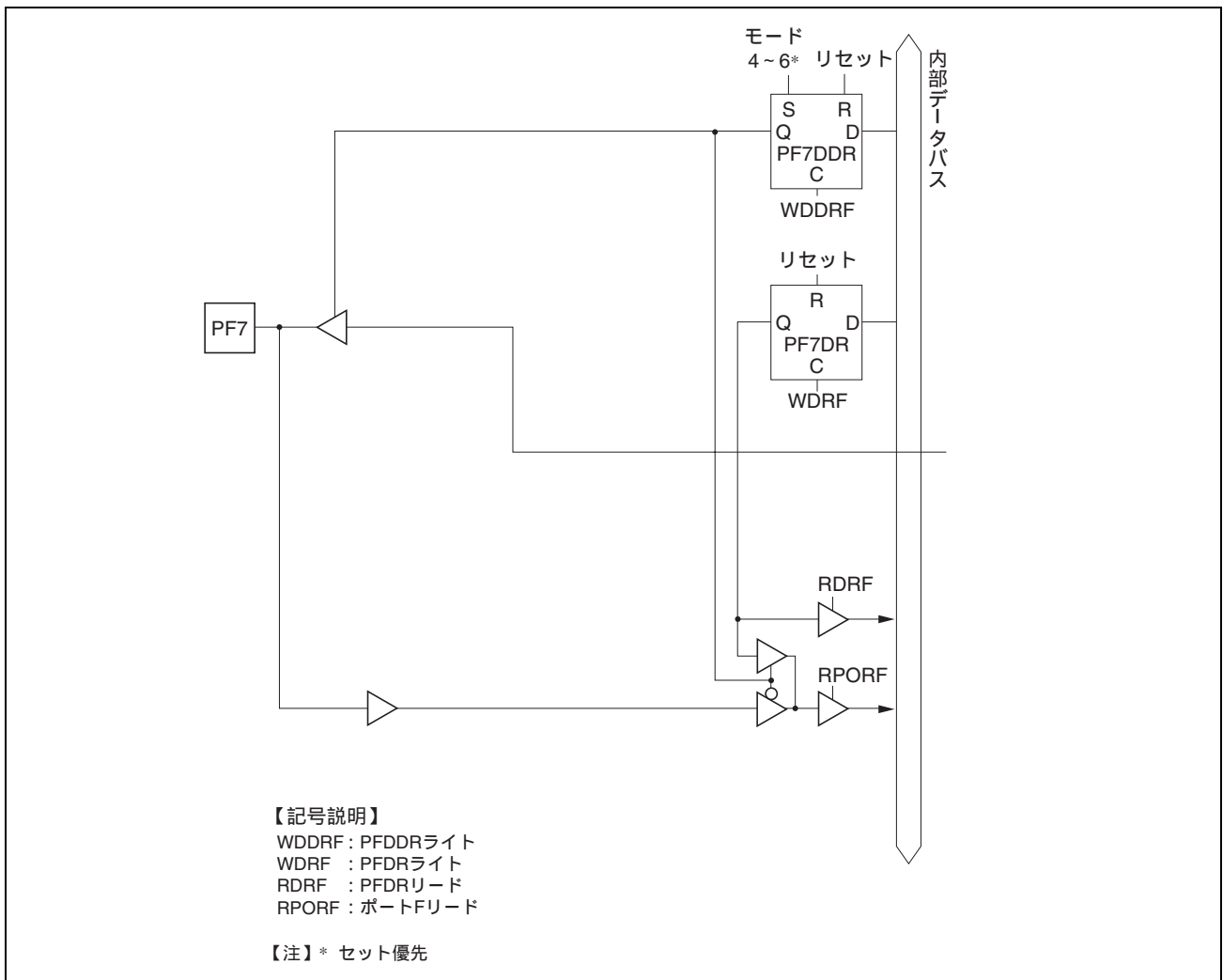


図 C.30 ポート F ブロック図 (PF7 端子)

C.12 ポートGブロック図

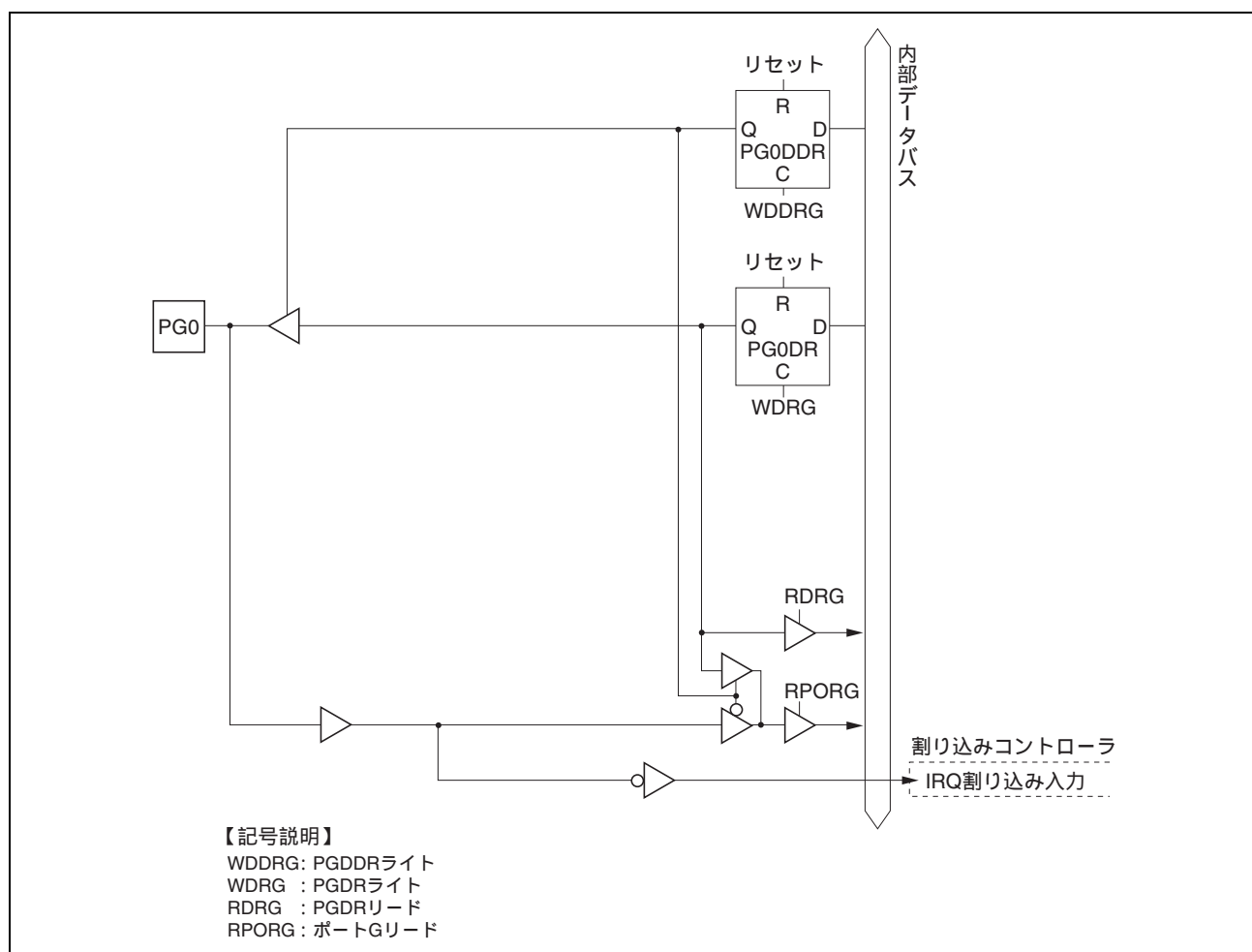


図 C.31 ポートGブロック図 (PG0 端子)

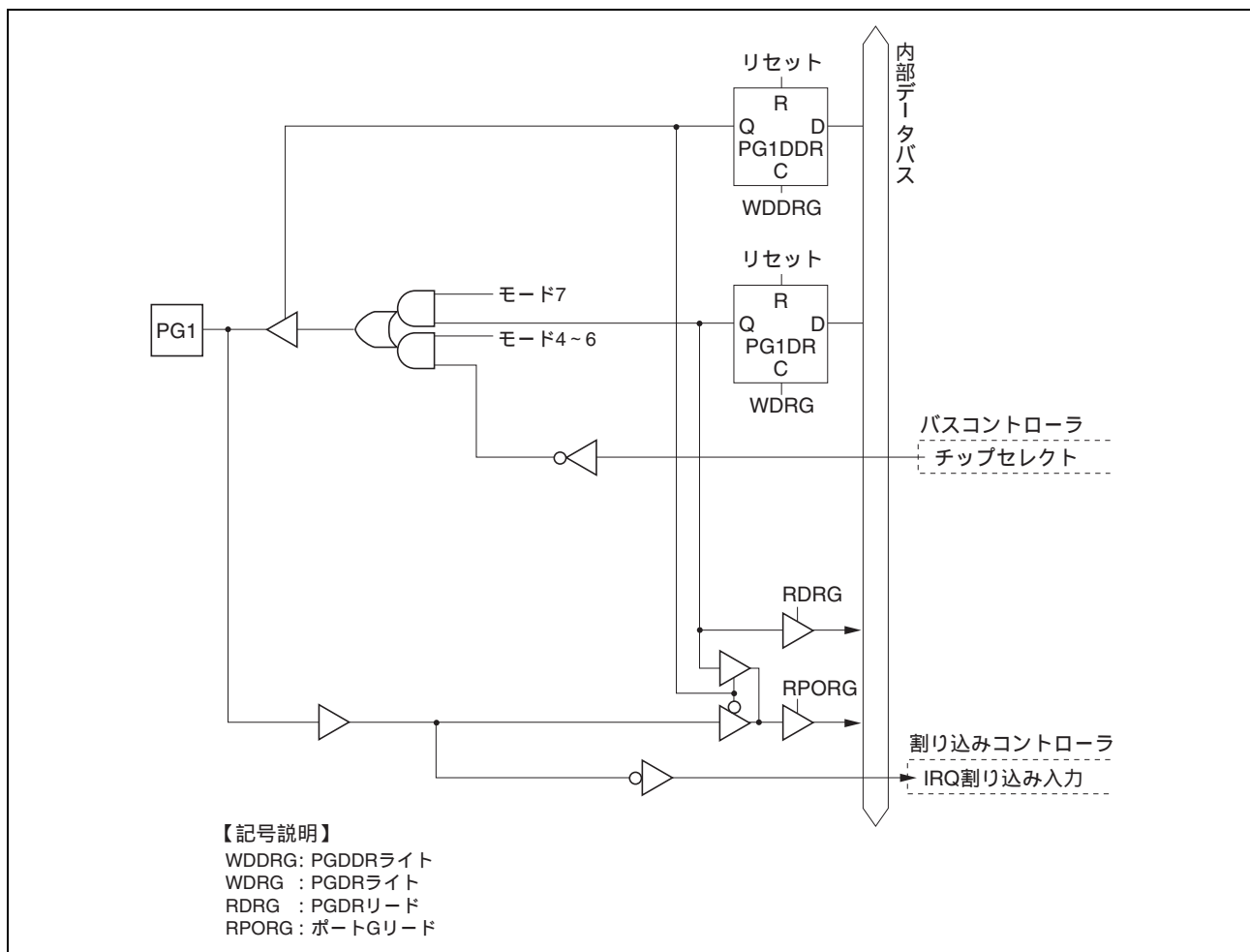


図 C.32 ポート G ブロック図 (PG1 端子)

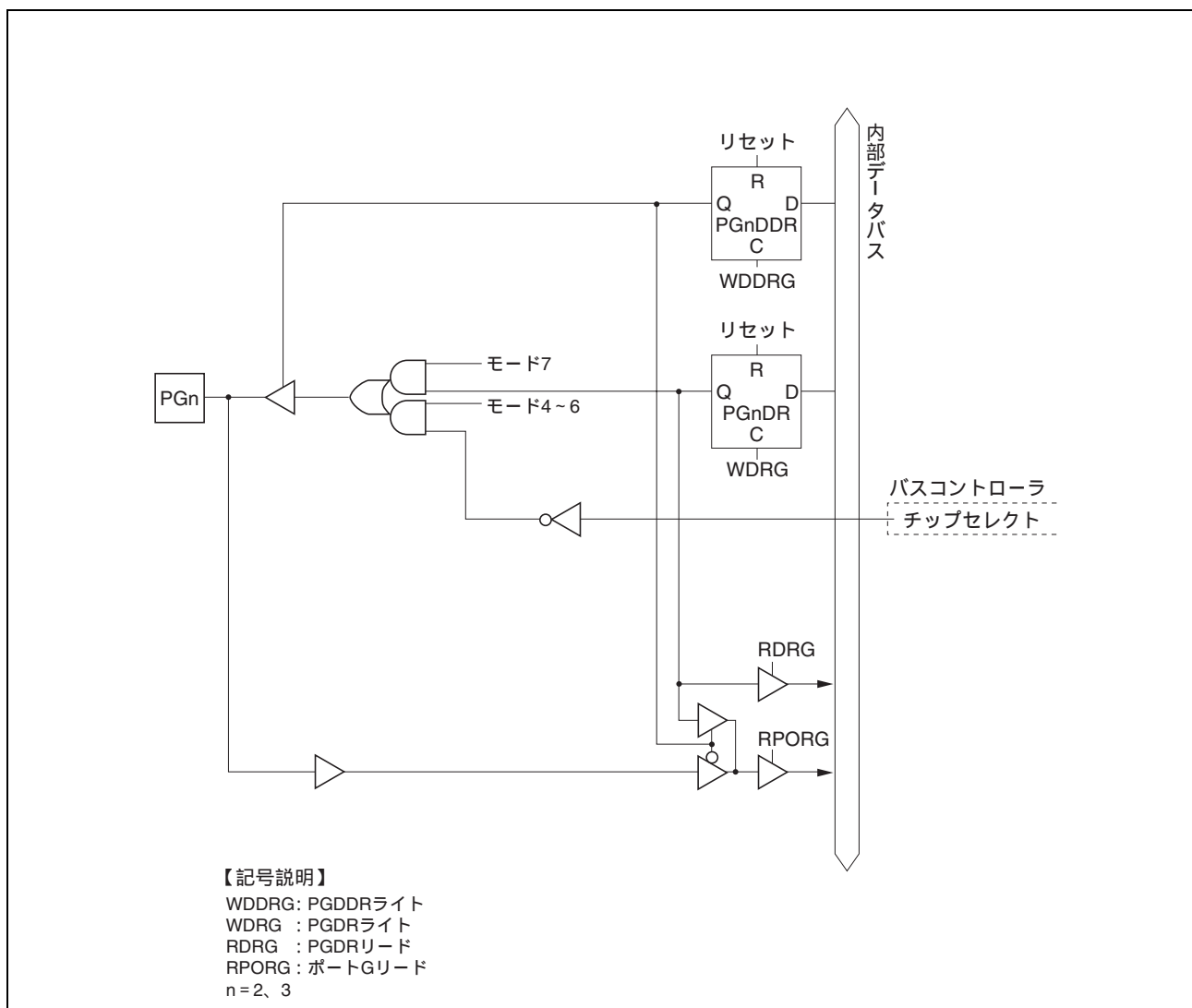


図 C.33 ポート G ブロック図 (PG2、PG3 端子)

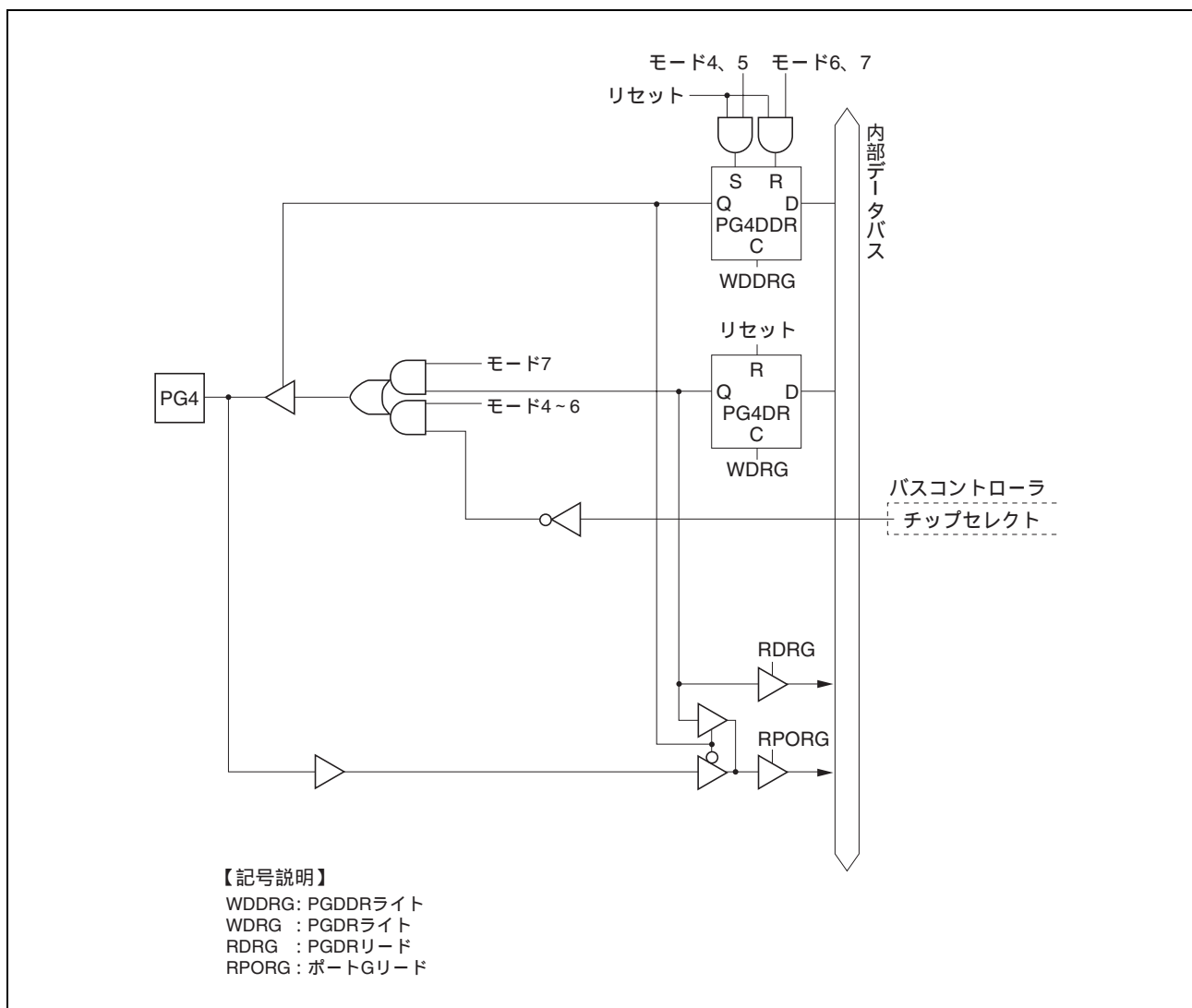


図 C.34 ポート G ブロック図 (PG4 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード
P17~P14	4~7	T	keep	T	keep	keep	入出力ポート
P13/TIOCD0/ TCLKB/A23 P12/TIOCC0/ TCLKA/A22 P11/TIOCB0/A21	7	T	keep	T	keep	keep	入出力ポート
AEn ビットで アドレス出力 選択	4~6	T	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	ポート選択	4~6	T	keep	T	keep	keep
P10/TIOCA0/A20	7	T	keep	T	keep	keep	入出力ポート
AEn ビットで アドレス出力 選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	6	T					
ポート選択	4~6	T*	keep	T	keep	keep	入出力ポート
ポート 3	4~7	T	keep	T	keep	keep	入出力ポート
ポート 4	4~7	T	T	T	T	T	入力ポート
P77~P74	4~7	T	keep	T	keep	keep	入出力ポート
P73/CS7	7	T	keep	T	keep	keep	入出力ポート
P72/CS6 P71/CS5 P70/CS4	4~6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS7~CS4
P96/DA0	4~7	T	T	T	[DAOEn = 1] keep [DAOEn = 0] T	keep	入力ポート
ポート A	7	T	keep	T	keep	keep	入出力ポート
AEn ビット でアドレス 出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	6	T					
ポート選択	4~6	T*	keep	T	keep	keep	入出力ポート

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード	
ポート B	7	T	keep	T	keep	keep	入出力ポート	
AEn ビット でアドレス 出力選択	4、5	L	keep	T	[OPE = 0] T [OPE = 1]	T	アドレス出力	
	6	T			keep			
ポート選択	4~6	T*	keep	T	keep	keep	入出力ポート	
ポート C	4、5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	keep	T	keep	keep	入出力ポート	
ポート D	4~6	T	T	T	T	T	データバス	
	7	T	keep	T	keep	keep	入出力ポート	
ポート E	8 ビット バス	4~6	T	keep	T	keep	keep	入出力ポート
	16 ビット バス	4~6	T	T	T	T	T	データバス
		7	T	keep	T	keep	keep	入出力ポート
PF7/	4~6	クロック 出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
	7	T	keep	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
PF6/AS、 PF5/RD、 PF4/HWR	4~6	H	H	T	[OPE = 0] T [OPE = 1] H	T	AS、RD、 HWR	
	7	T	keep	T	keep	keep	入出力ポート	
PF3/LWR/IRQ3	7	T	keep	T	keep	keep	入出力ポート	
8 ビット バス 16 ビット バス	4~6	(モード 4) H	keep	T	keep	keep	入出力ポート	
	4~6	(モード 5、 6) T	H	T	[OPE = 0] T [OPE = 1] H	T	LWR	
PF2/WAIT	4~6	T	keep	T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] 入出力ポート [WAITE = 1] WAIT	
	7	T	keep	T	keep	keep	入出力ポート	

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード
PF1/BACK	4~6	T	keep	T	[BRLE = 0] keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] BACK
	7	T	keep	T	keep	keep	入出力ポート
PF0/BREQ/IREQ2	4~6	T	keep	T	[BRLE = 0] keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] BREQ
	7	T	keep	T	keep	keep	入出力ポート
PG4/CS0	4、5	H	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS0 (スリープ モード、 サブスリープ モード時 H)
	6	T					
	7	T	keep	T	keep	keep	入出力ポート
PG3/CS1 PG2/CS2 PG1/CS3/IRQ7	4~6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS1 ~ CS3
	7	T	keep	T	keep	keep	入出力ポート
PG0/IRQ6	4~7	T	keep	T	keep	keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

OPE : 出力ポートイネーブル

WAITE : ウェイト入力イネーブル

BRLE : バスリリースイネーブル

【注】 * モード 4、5 では L (アドレス出力)

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 E.1 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、0ns 以上としてください。

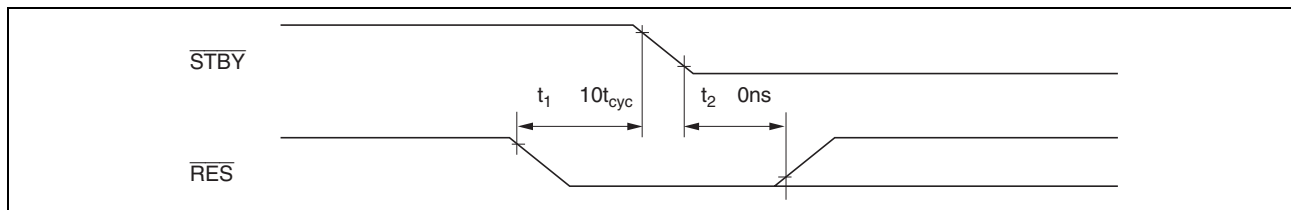


図 E.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

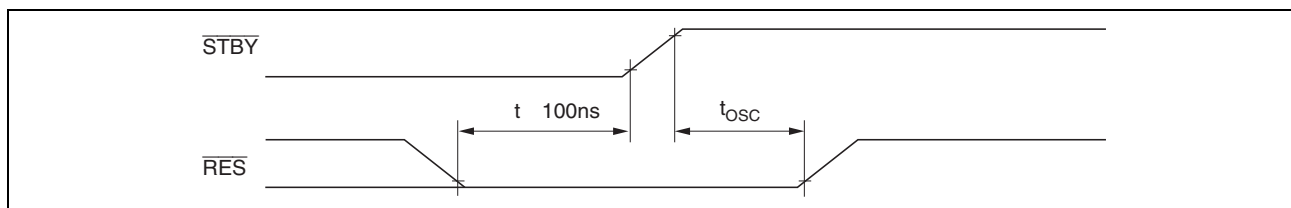


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

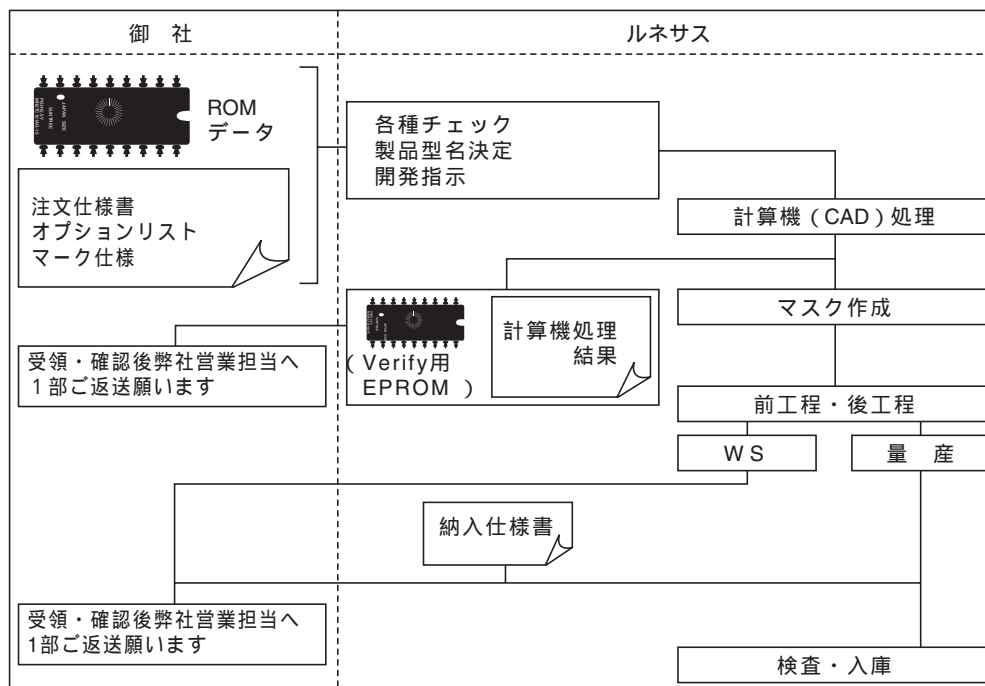


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM、または F-ZTAT マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM、または F-ZTAT マイコンで提出してください。
なお、EPROM または F-ZTAT マイコン以外の媒体(フロッピーディスクなど)では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用 (NOT USED) 領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番などを記入してください。
- (4) EPROMに書き込みを行ったあとは、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください(アルミ箔、発泡スチロールなどは不可)。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

G. 型名一覧

表 G.1 H8S/2214 型名一覧

製品分類	製品型名	マーク型名	パッケージ (コード)	
H8S/2214	マスク ROM 版	HD6432214	6432214(***)TE	100 ピン TQFP (TFP-100B)
			6432214(***)TEV	100 ピン TQFP (TFP-100BV)
			6432214(***)TF	100 ピン TQFP (TFP-100G)
			6432214(***)TFV	100 ピン TQFP (TFP-100GV)
			6432214(***)BQ	112 ピン P-TFBGA (TBP-112A)
			6432214(***)BQV	112 ピン P-TFBGA (TBP-112AV)
			6432214(***)BR	112 ピン P-LFBGA (BP-112)
			6432214(***)BRV	112 ピン P-LFBGA (BP-112V)
	フラッシュメモリ版	HD64F2214	64F2214TE16	100 ピン TQFP (TFP-100B)
			64F2214TE16V	100 ピン TQFP (TFP-100BV)
			64F2214TF16	100 ピン TQFP (TFP-100G)
			64F2214TF16V	100 ピン TQFP (TFP-100GV)
			64F2214BQ16	112 ピン P-TFBGA (TBP-112A)
			64F2214BQ16V	112 ピン P-TFBGA (TBP-112AV)
			64F2214BR16	112 ピン P-LFBGA (BP-112)
			64F2214BR16V	112 ピン P-LFBGA (BP-112V)

【記号説明】 (***) は ROM コードです。

- 【注】 1. 上記製品は開発中の製品も含まれます。各製品の状況につきましては、弊社営業担当にご確認ください。
 2. マーク型名の末尾が V の製品は鉛フリー製品です。

H. 外形寸法図

H8S/2214 グループの外形寸法図を図 H.1 ~ 図 H.4 に示します。

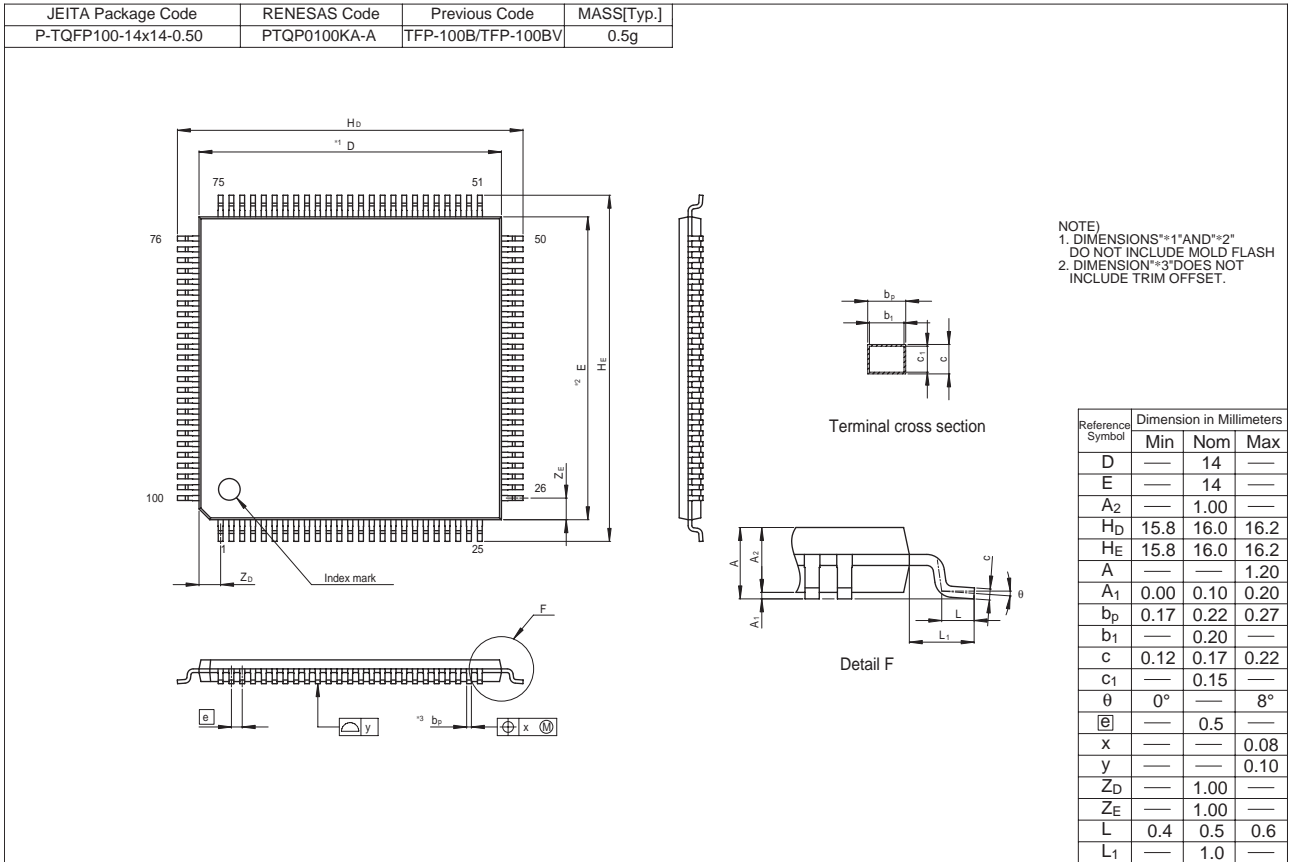


図 H.1 TFP-100B、TFP-100BP の外形寸法図

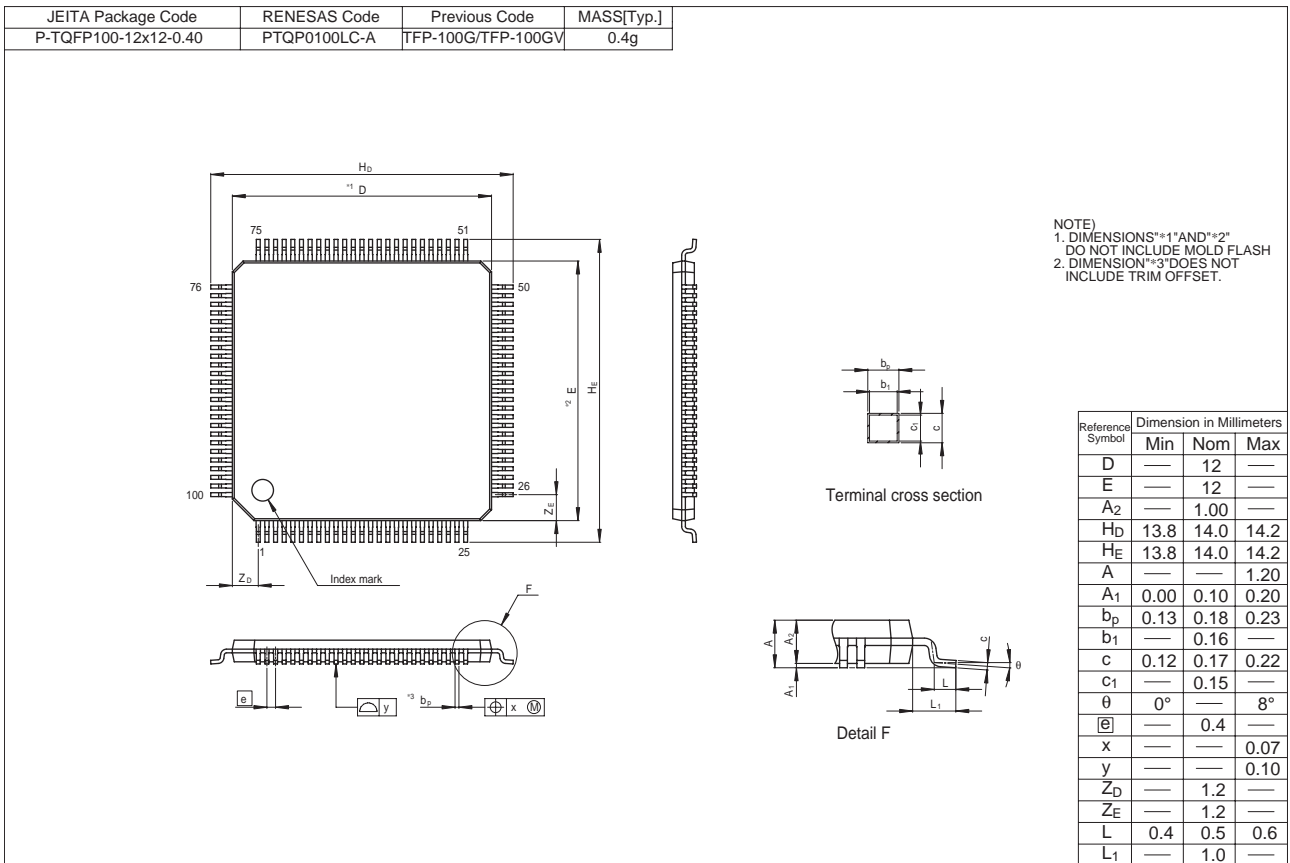


図 H.2 TFP-100G、TFP-100GV の外形寸法図

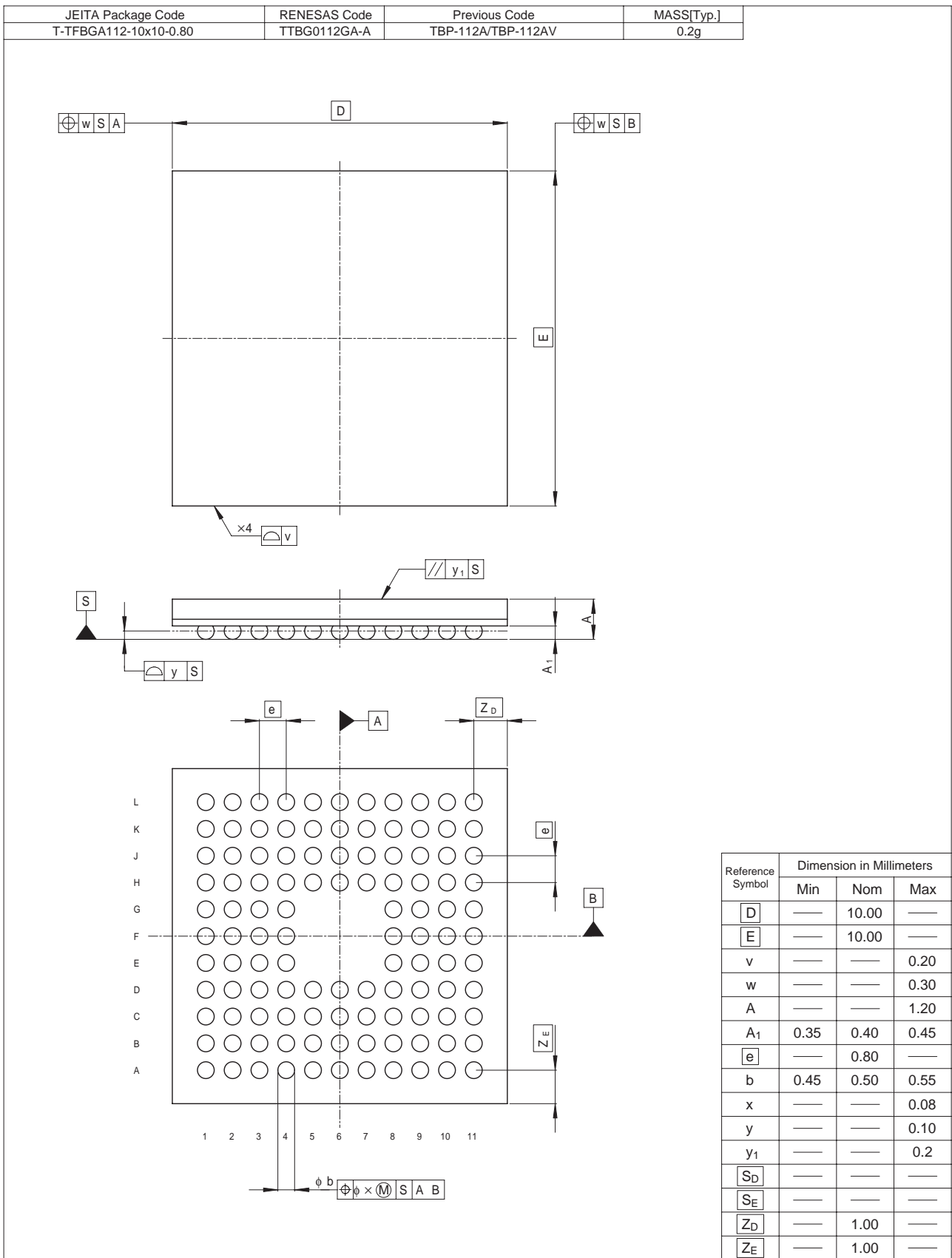


図 H.3 TBP-112A、TBP-112AV の外形寸法図

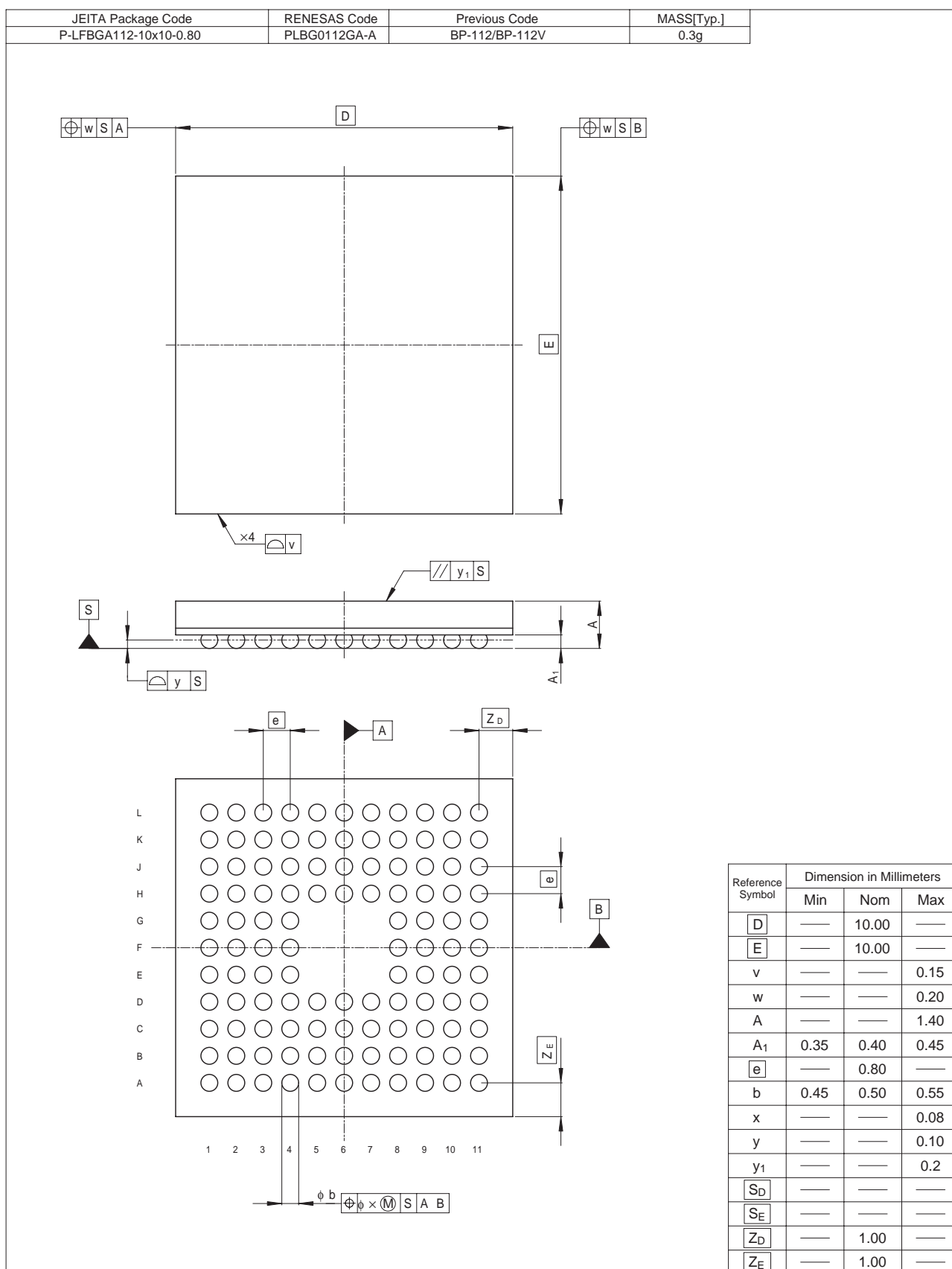


図 H.4 BP-112、BP-112V の外形寸法図

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2214グループ

発行年月日 2000年4月 第1版

2008年9月18日 Rev.4.00

発行 株式会社ルネサス テクノロジ 営業統括部

〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ

グローバルストラテジックコミュニケーション本部

カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西			社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	東	京	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	北	支	社	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
い	わ	き	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
茨	城		支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
新	潟		支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
松	本		支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
中	部		支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
関	西		支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
北	陸		支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
広	島		支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
九	州		支			

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2214 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0203-0400