お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

User's Manual

16

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2172 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8S ファミリ／ H8S/2000 シリーズ

H8S/2170　　HD64F2170

ルネサス エレクトロニクス
www.renesas.com

Rev.2.00　2004.03

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は，製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

・CPU およびシステム制御系

・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。 各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。 必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。 改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

本 LSI は、ルネサス テクノロジ オリジナルアーキテクチャを採用した H8S/2000CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ（MCU）です。

H8S/2000CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、ROM、RAM のメモリ、DMA コントローラ（DMAC）のバスマスタ、8 ビットタイマ（TMR）、ウォッチドッグタイマ（WDT）、ユニバーサルシリアルバス 2（USB2）、ブートモード専用シリアルコミュニケーションインタフェース（SCI）、I/O ポートなどの周辺機能を内蔵しています。

内蔵 ROM は、フラッシュメモリ（F-ZTAT™*）があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

このマニュアルは、本 LSI のハードウェアについて記載しています。

【注】 * F-ZTAT™ は（株）ルネサス テクノロジの登録商標です。

対象者　このマニュアルは、H8S/2170F-ZTAT™ を用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的　このマニュアルは、H8S/2170F-ZTAT™ のハードウェア機能と電気的特性をユーザーに理解して頂くことを目的にしています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。

  → 目次にしたがって読んでください。

  本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

  → 別冊の「H8S/2600シリーズ、H8S/2000シリーズ プログラミングマニュアル」を参照してください。

- レジスタ名が分かっていて、詳細機能を知りたいとき。

  → 本書の後ろに「索引」があります。索引からページ番号を検索してください。

  「第17章　レジスター覧」にアドレス、ビット内容、初期化についてまとめています。

凡例　レジスタ表記　：DMA コントローラ、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャネルに存在する場合に次の表記を使用します。
XXX_N（XXX は基本レジスタ名称、N はチャネル番号）

ビット表記順　：左側が上位ビット、右側が下位ビット

数字の表記　：2 進数は B'XXXX、16 進数は H'XXXX

信号の表記　：ローアクティブの信号にはオーバーバーを付けます。$\overline{\text{XXXX}}$

関連資料一覧　ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(http://www. renesas.com/jpn/)

- H8S/2170F-ZTAT™に関するユーザーズマニュアル

資料名	資料番号
H8S/2170F-ZTAT™ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル	ADJ－602－112

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	ADJ－702－303
H8S、H8/300 シリーズシミュレータ・デバッガ（Windows 版）ユーザーズマニュアル	ADJ－702－163
H8S、H8/300 シリーズシミュレータ・デバッガ（UNIX 版）ユーザーズマニュアル	ADJ－702－109
H8S、H8/300 シリーズ High-performance Embedded Workshop、High-performance Debugging Interface チュートリアル	ADJ－702－307
High-performance Embedded Workshop ユーザーズマニュアル	ADJ－702－275

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ	ADJ－502－051
F-ZTAT マイコンテクニカル Q＆A	ADJ－502－055

目次

1. 概要 1-1

1.1 特長 1-1
1.2 内部ブロック図 1-2
1.3 端子説明 1-3
1.3.1 ピン配置図 1-3
1.3.2 動作モード別ピン配置一覧 1-4
1.3.3 端子機能一覧 1-7

2. CPU 2-1

2.1 特長 2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点 2-2
2.1.2 H8/300 CPU との相違点 2-3
2.1.3 H8/300H CPU との相違点 2-3
2.2 CPU動作モード 2-4
2.2.1 ノーマルモード 2-4
2.2.2 アドバンストモード 2-6
2.3 アドレス空間 2-8
2.4 レジスタの構成 2-9
2.4.1 汎用レジスタ 2-10
2.4.2 プログラムカウンタ（PC） 2-11
2.4.3 エクステンドレジスタ（EXR） 2-11
2.4.4 コンディションコードレジスタ（CCR） 2-11
2.4.5 CPU 内部レジスタの初期値 2-12
2.5 データ形式 2-13
2.5.1 汎用レジスタのデータ形式 2-13
2.5.2 メモリ上でのデータ形式 2-15
2.6 命令セット 2-16
2.6.1 命令の機能別一覧 2-17
2.6.2 命令の基本フォーマット 2-26
2.7 アドレッシングモードと実効アドレスの計算方法 2-27
2.7.1 レジスタ直接　Rn 2-27
2.7.2 レジスタ間接　@ERn 2-27
2.7.3 ディスプレースメント付きレジスタ間接　@（d:16,ERn）／@（d:32,ERn） 2-27
2.7.4 ポストインクリメントレジスタ間接 @ERn+／ プリデクリメントレジスタ間接@-ERn 2-28

2.7.5 絶対アドレス　@aa:8／@aa:16／@aa:24／@aa:32 2-28
2.7.6 イミディエイト　#xx:8／#xx:16／#xx:32 2-29
2.7.7 プログラムカウンタ相対　@（d:8, PC）／@（d:16, PC） 2-29
2.7.8 メモリ間接　@@aa:8 2-29
2.7.9 実効アドレスの計算方法 2-30
2.8 処理状態 2-32
2.9 使用上の注意事項 2-33
2.9.1 ビット操作命令使用上の注意事項 2-33

3. MCU 動作モード 3-1

3.1 動作モードの選択 3-1
3.2 レジスタの説明 3-2
3.2.1 モードコントロールレジスタ（MDCR） 3-2
3.2.2 システムコントロールレジスタ（SYSCR） 3-3
3.3 各動作モードの説明 3-4
3.3.1 モード 2 3-4
3.3.2 端子機能 3-4
3.4 アドレスマップ 3-5

4. 例外処理 4-1

4.1 例外処理の種類と優先度 4-1
4.2 例外処理要因とベクタテーブル 4-2
4.3 リセット 4-2
4.3.1 リセット例外処理 4-3
4.3.2 リセット直後の割り込み 4-3
4.3.3 リセット解除後の内蔵周辺機能 4-4
4.4 割り込み例外処理 4-4
4.5 トラップ命令例外処理 4-4
4.6 例外処理後のスタックの状態 4-5
4.7 使用上の注意事項 4-6

5. 割り込みコントローラ 5-1

5.1 特長 5-1
5.2 入出力端子 5-2
5.3 レジスタの説明 5-3
5.3.1 インタラプトコントロールレジスタ A～C（ICRA～ICRC） 5-3
5.3.2 アドレスブレークコントロールレジスタ（ABRKCR） 5-4
5.3.3 ブレークアドレスレジスタ A～C（PBARA～PBARC） 5-4
5.3.4 IRQ センスコントロールレジスタ H、L（ISCRH、ISCRL） 5-5
5.3.5 IRQ イネーブルレジスタ（IER） 5-5

5.3.6 IRQ ステータスレジスタ（ISR） 5-6
5.4 割り込み要因 5-6
5.4.1 外部割り込み要因 5-6
5.4.2 内部割り込み要因 5-7
5.5 割り込み例外処理ベクタテーブル 5-7
5.6 割り込み制御モードと割り込み動作 5-9
5.6.1 割り込み制御モード 0 5-11
5.6.2 割り込み制御モード 1 5-13
5.6.3 割り込み例外処理シーケンス 5-15
5.6.4 割り込み応答時間 5-17
5.7 使用上の注意事項 5-17
5.7.1 割り込みの発生とディスエーブルとの競合 5-17
5.7.2 割り込みを禁止している命令 5-18
5.7.3 EEPMOV 命令実行中の割り込み 5-18

6. バスコントローラ（BSC） 6-1

6.1 特長 6-1
6.2 入出力端子 6-3
6.3 レジスタの説明 6-4
6.3.1 アクセスコントロールレジスタ（ACSCR） 6-4
6.3.2 $\overline{\text{CS}}$ アサート期間コントロールレジスタ（CSACR） 6-5
6.3.3 ウェイトコントロールレジスタ（WTCR） 6-6
6.3.4 バスコントロールレジスタ（BCR） 6-8
6.3.5 リードストローブタイミングコントロールレジスタ（RDNCR） 6-9
6.3.6 DRAM コントロールレジスタ（DRAMCR） 6-10
6.3.7 DRAM アクセスコントロールレジスタ（DRACCR） 6-12
6.3.8 リフレッシュコントロールレジスタ（REFCR） 6-13
6.3.9 リフレッシュタイマカウンタ（RTCNT） 6-15
6.3.10 リフレッシュタイムコンスタントレジスタ（RTCOR） 6-15
6.4 バス制御 6-16
6.4.1 エリア分割 6-16
6.4.2 アドレスマップ 6-17
6.4.3 バス仕様 6-18
6.4.4 メモリインタフェース 6-20
6.4.5 チップセレクト信号 6-21
6.5 基本バスインタフェース 6-21
6.5.1 データサイズとデータアライメント 6-21
6.5.2 有効ストローブ 6-23
6.5.3 基本動作タイミング 6-24
6.5.4 ウェイト制御 6-32

6.5.5 リードストローブ（$\overline{\mathrm{RD}}$）タイミング 6-33
6.5.6 チップセレクト（$\overline{\mathrm{CS}}$）アサート期間拡張 6-34
6.6 DRAMインタフェース 6-35
6.6.1 DRAM 空間の設定 6-35
6.6.2 アドレスマルチプレクス 6-35
6.6.3 データバス 6-35
6.6.4 DRAM インタフェース使用端子 6-36
6.6.5 基本動作タイミング 6-37
6.6.6 カラムアドレス出力サイクル制御 6-38
6.6.7 ロウアドレス出力ステート制御 6-39
6.6.8 プリチャージステート制御 6-41
6.6.9 ウェイト制御 6-42
6.6.10 バイトアクセス制御 6-44
6.6.11 バースト動作 6-45
6.6.12 リフレッシュ制御 6-49
6.6.13 DMAC シングルアドレス転送モードと DRAM インタフェース 6-53
6.7 アイドルサイクル 6-55
6.7.1 動作説明 6-55
6.7.2 アイドルサイクルでの端子状態 6-60
6.8 ライトデータバッファ機能 6-60
6.9 バスアービトレーション 6-61
6.9.1 動作説明 6-61
6.9.2 バス権移行タイミング 6-62
6.10 リセットとバスコントローラ 6-62

7. DMA コントローラ（DMAC） 7-1

7.1 特長 7-1
7.2 入出力端子 7-4
7.3 レジスタの説明 7-5
7.3.1 DMA ソースアドレスレジスタ（DMSAR） 7-6
7.3.2 DMA ディスティネーションアドレスレジスタ（DMDAR） 7-6
7.3.3 DMA 転送カウントレジスタ（DMTCR） 7-7
7.3.4 DMA モードコントロールレジスタ（DMMDR） 7-8
7.3.5 DMA アドレスコントロールレジスタ（DMACR） 7-11
7.3.6 USB 転送コントロールレジスタ（USTCR） 7-14
7.4 動作説明 7-16
7.4.1 転送モード 7-16
7.4.2 アドレスモード（デュアルアドレスモード／シングルアドレスモード） 7-17
7.4.3 DMA 転送要求 （オートリクエストモード／外部リクエストモード／USB 転送要求） 7-20
7.4.4 バスモード（サイクルスチールモード／バーストモード） 7-21

7.4.5 転送モード（ノーマル転送モード／ブロック転送モード） 7-22
7.4.6 リピートエリア機能 7-24
7.4.7 DMA 転送動作中のレジスタ 7-25
7.4.8 チャネルの優先順位 7-29
7.4.9 DMAC のバスサイクル（デュアルアドレスモード） 7-31
7.4.10 DMAC のバスサイクル（シングルアドレスモード） 7-38
7.4.11 各モードの動作タイミング例 7-43
7.4.12 DMA 転送終了 7-52
7.4.13 DMAC と他のバスマスタの関係 7-53
7.5 割り込み要因 7-54
7.6 使用上の注意事項 7-55

8. I/O ポート 8-1

8.1 ポート1 8-4
8.1.1 ポート 1 データディレクションレジスタ（P1DDR） 8-4
8.1.2 ポート 1 データレジスタ（P1DR） 8-4
8.1.3 ポート 1 レジスタ（PORT1） 8-5
8.1.4 端子機能 8-5
8.2 ポート2 8-7
8.2.1 ポート 2 データディレクションレジスタ（P2DDR） 8-7
8.2.2 ポート 2 データレジスタ（P2DR） 8-7
8.2.3 ポート 2 レジスタ（PORT2） 8-8
8.2.4 端子機能 8-8
8.3 ポート3 8-10
8.3.1 ポート 3 データディレクションレジスタ（P3DDR） 8-10
8.3.2 ポート 3 データレジスタ（P3DR） 8-11
8.3.3 ポート 3 レジスタ（PORT3） 8-11
8.3.4 端子機能 8-11
8.4 ポート4 8-13
8.4.1 ポート 4 データディレクションレジスタ（P4DDR） 8-13
8.4.2 ポート 4 データレジスタ（P4DR） 8-14
8.4.3 ポート 4 レジスタ（PORT4） 8-14
8.4.4 端子機能 8-14
8.5 ポート5 8-16
8.5.1 ポート 5 データディレクションレジスタ（P5DDR） 8-16
8.5.2 ポート 5 データレジスタ（P5DR） 8-17
8.5.3 ポート 5 レジスタ（PORT5） 8-17
8.5.4 端子機能 8-18
8.6 ポート6 8-21
8.6.1 ポート 6 データディレクションレジスタ（P6DDR） 8-21

8.6.2 ポート 6 データレジスタ（P6DR） 8-21
8.6.3 ポート 6 レジスタ（PORT6） 8-22
8.6.4 端子機能 8-22
8.7 ポート7 8-25
8.7.1 ポート 7 データディレクションレジスタ（P7DDR） 8-25
8.7.2 ポート 7 データレジスタ（P7DR） 8-25
8.7.3 ポート 7 レジスタ（PORT7） 8-26
8.7.4 端子機能 8-26
8.8 ポート8 8-29
8.8.1 ポート 8 データディレクションレジスタ（P8DDR） 8-29
8.8.2 ポート 8 データレジスタ（P8DR） 8-29
8.8.3 ポート 8 レジスタ（PORT8） 8-30
8.8.4 端子機能 8-30
8.9 ポート9 8-32
8.9.1 ポート 9 データディレクションレジスタ（P9DDR） 8-32
8.9.2 ポート 9 データレジスタ（P9DR） 8-32
8.9.3 ポート 9 レジスタ（PORT9） 8-33
8.9.4 端子機能 8-33
8.10 ポートA 8-35
8.10.1 ポート A データディレクションレジスタ（PADDR） 8-35
8.10.2 ポート A データレジスタ（PADR） 8-35
8.10.3 ポート A レジスタ（PORTA） 8-36
8.10.4 端子機能 8-36
8.11 端子の選択 8-38
8.11.1 ポートファンクションコントロールレジスタ 1（PFCR1） 8-38
8.11.2 IRQ センスポートセレクトレジスタ（ISSR） 8-39

9. 8 ビットタイマ（TMR） 9-1

9.1 特長 9-1
9.2 入出力端子 9-3
9.3 レジスタの説明 9-3
9.3.1 タイマカウンタ（TCNT） 9-4
9.3.2 タイムコンスタントレジスタ A（TCORA） 9-4
9.3.3 タイムコンスタントレジスタ B（TCORB） 9-4
9.3.4 タイマコントロールレジスタ（TCR） 9-5
9.3.5 タイマコントロール／ステータスレジスタ（TCSR） 9-7
9.4 動作説明 9-8
9.4.1 パルス出力 9-8
9.5 動作タイミング 9-9
9.5.1 TCNT のカウントタイミング 9-9

9.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング 9-9
9.5.3 コンペアマッチ時のタイマ出力タイミング 9-10
9.5.4 コンペアマッチによるカウンタクリアタイミング 9-10
9.5.5 TCNT の外部リセットタイミング 9-11
9.5.6 オーバフローフラグ（OVF）のセットタイミング 9-11
9.6 カスケード接続時の動作 9-12
9.6.1 16 ビットカウントモード 9-12
9.6.2 コンペアマッチカウントモード 9-12
9.7 割り込み要因 9-13
9.7.1 割り込み要因 9-13
9.8 使用上の注意事項 9-13
9.8.1 TCNT のライトとカウンタクリアの競合 9-13
9.8.2 TCNT のライトとカウントアップの競合 9-14
9.8.3 TCOR のライトとコンペアマッチの競合 9-15
9.8.4 コンペアマッチ A、B の競合 9-15
9.8.5 内部クロックの切り替えと TCNT の動作 9-16
9.8.6 カスケード接続時のモード設定 9-17
9.8.7 モジュールストップモード時の割り込み 9-17

10. ウォッチドッグタイマ（WDT） 10-1

10.1 特長 10-1
10.2 レジスタの説明 10-2
10.2.1 タイマカウンタ（TCNT） 10-2
10.2.2 タイマコントロール／ステータスレジスタ（TCSR） 10-3
10.3 動作説明 10-4
10.3.1 ウォッチドッグタイマモード 10-4
10.3.2 インターバルタイマモード 10-5
10.3.3 ウォッチドッグタイマオーバフローフラグ（OVF）のタイミング 10-6
10.4 割り込み要因 10-6
10.5 使用上の注意事項 10-7
10.5.1 レジスタアクセス時の注意事項 10-7
10.5.2 タイマカウンタ（TCNT）のライトとカウントアップの競合 10-8
10.5.3 CKS2～CKS0 ビットの書き換え 10-8
10.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え 10-8

11. ブートモード専用シリアルコミュニケーション インタフェース（SCI） 11-1

11.1 特長 11-1
11.2 入出力端子 11-2
11.3 レジスタの説明 11-3
11.3.1 レシーブシフトレジスタ（RSR） 11-3

11.3.2 レシーブデータレジスタ（RDR） 11-3
11.3.3 トランスミットデータレジスタ（TDR） 11-3
11.3.4 トランスミットシフトレジスタ（TSR） 11-3
11.3.5 シリアルモードレジスタ（SMR） 11-4
11.3.6 シリアルコントロールレジスタ（SCR） 11-5
11.3.7 シリアルステータスレジスタ（SSR） 11-6
11.3.8 ビットレートレジスタ（BRR） 11-8
11.4 調歩同期式モードの動作 11-11
11.4.1 送受信フォーマット 11-12
11.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 11-13
11.4.3 クロック 11-13
11.4.4 SCI の初期化（調歩同期式） 11-14
11.4.5 データ送信（調歩同期式） 11-15
11.4.6 シリアルデータ受信（調歩同期式） 11-17
11.5 割り込み要因 11-20
11.5.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み 11-20
11.6 使用上の注意事項 11-20
11.6.1 モジュールストップモードの設定 11-20
11.6.2 TDR へのライトと TDRE フラグの関係について 11-20
11.6.3 モード遷移時の動作について 11-21

12. ユニバーサルシリアルバス 2（USB2） 12-1

12.1 特長 12-1
12.2 入出力信号 12-3
12.3 レジスタの説明 12-4
12.3.1 割り込みフラグレジスタ 0（IFR0） 12-5
12.3.2 割り込み選択レジスタ 0（ISR0） 12-8
12.3.3 割り込みイネーブルレジスタ 0（IER0） 12-9
12.3.4 EP0o 受信データサイズレジスタ（EPSZ0o） 12-9
12.3.5 EP1 受信データサイズレジスタ（EPSZ1） 12-10
12.3.6 EP0i データレジスタ（EPDR0i） 12-10
12.3.7 EP0o データレジスタ（EPDR0o） 12-10
12.3.8 EP0s データレジスタ（EPDR0s） 12-11
12.3.9 EP1 データレジスタ（EPDR1） 12-11
12.3.10 EP2 データレジスタ（EPDR2） 12-11
12.3.11 EP3 データレジスタ（EPDR3） 12-12
12.3.12 データステータスレジスタ 0（DASTS0） 12-12
12.3.13 パケットイネーブルレジスタ 0i（PKTE0i） 12-12
12.3.14 パケットイネーブルレジスタ 2（PKTE2） 12-13
12.3.15 パケットイネーブルレジスタ 3（PKTE3） 12-13

12.3.16 FIFO クリアレジスタ 0（FCLR0） 12-14
12.3.17 エンドポイントストールレジスタ 0（EPSTL0） 12-15
12.3.18 DMA 設定レジスタ 0（DMA0） 12-16
12.3.19 コントロールレジスタ（CTRL） 12-16
12.3.20 ポートファンクションコントロールレジスタ 3（PFCR3） 12-17
12.3.21 USB サスペンドステータスレジスタ（USBSUSP） 12-17
12.4 割り込み端子 12-18
12.4.1 USBI0 割り込み 12-18
12.4.2 USBI1 割り込み 12-18
12.5 通信動作説明 12-19
12.5.1 USB ケーブル接続時 12-19
12.5.2 ケーブル切断時 12-20
12.5.3 コントロール転送 12-20
12.5.4 EP1 バルクアウト転送（2 面 FIFO） 12-26
12.5.5 EP2 バルクイン転送（2 面 FIFO） 12-28
12.5.6 EP3 インタラプトイン転送 12-30
12.5.7 USB 標準リクエストとクラス／ベンダーリクエストの処理 12-31
12.5.8 ストール動作 12-32
12.5.9 ツリー構造 12-35
12.5.10 電源仕様 12-35
12.6 DMA使用上の注意事項 12-35
12.7 USBサスペンドモードへの遷移 12-36
12.7.1 サスペンド信号の出力 12-36
12.7.2 サスペンドモードでソフトウェアスタンバイする場合 12-38
12.8 使用上の注意事項 12-40
12.8.1 セットアップデータ受信について 12-40
12.8.2 FIFO のクリアについて 12-40
12.8.3 動作周波数について 12-40
12.8.4 割り込みについて 12-40
12.8.5 レジスタのアクセスサイズについて 12-40
12.8.6 データレジスタのオーバーリード／ライトについて 12-41
12.8.7 EP0 に関する割り込み要因の割り当てについて 12-41
12.8.8 Full Speed モード時の FIFO サイズについて 12-41
12.8.9 VBUS 端子のレベルシフタについて 12-42
12.8.10 USB2.0 トランシーバ（物理層）について 12-42
12.8.11 EPDR0s のリードについて 12-42
12.8.12 High Speed モード時の USB バスアイドルについて 12-42
12.8.13 USB バス切断時の注意事項 12-42
12.8.14 外部回路例 12-43
12.8.15 外部物理層 LSI について 12-43
12.8.16 バスリセット受信時の動作について 12-44

12.8.17 コントロール IN 転送時の注意事項 12-45
12.8.18 ソフトウェアスタンバイ中の USB 割り込み 12-45

13. RAM 13-1

14. フラッシュメモリ（0.18μm F-ZTAT 版） 14-1

14.1 特長 14-1
14.1.1 モード遷移図 14-3
14.1.2 モード比較 14-4
14.1.3 フラッシュマット構成 14-5
14.1.4 ブロック分割 14-6
14.1.5 書き込み／消去インタフェース 14-7
14.2 入出力端子 14-9
14.3 レジスタの説明 14-9
14.3.1 書き込み／消去インタフェースレジスタ 14-10
14.3.2 書き込み／消去インタフェースパラメータ 14-16
14.4 オンボードプログラミング 14-23
14.4.1 ブートモード 14-23
14.4.2 ユーザプログラムモード 14-26
14.4.3 ユーザブートモード 14-36
14.4.4 手順プログラム、または書き込みデータの格納可能領域 14-39
14.5 プロテクト 14-44
14.5.1 ハードウェアプロテクト 14-44
14.5.2 ソフトウェアプロテクト 14-44
14.5.3 エラープロテクト 14-45
14.6 ユーザマットとユーザブートマットの切り替え 14-46
14.7 RAMによるフラッシュメモリのエミュレーション 14-47
14.7.1 RAM によるエミュレーション 14-47
14.7.2 RAM のオーバラップ 14-48
14.8 ライタモード 14-49
14.9 ブートモードの標準シリアル通信インタフェース仕様 14-49
14.10 使用上の注意事項 14-71

15. クロック発振器 15-1

15.1 発振器 15-2
15.1.1 水晶発振子を接続する方法 15-2
15.1.2 外部クロックを入力する方法 15-3
15.2 PLL回路 15-5
15.3 使用上の注意事項 15-5
15.3.1 発振子に関する注意事項 15-5

15.3.2 ボード設計上の注意事項 15-5
15.3.3 動作確認時の注意事項 15-5

16. 低消費電力状態 16-1

16.1 レジスタの説明 16-4
16.1.1 スタンバイコントロールレジスタ（SBYCR） 16-4
16.1.2 モジュールストップコントロールレジスタ H、L（MSTPCRH、MSTPCRL） 16-5
16.2 動作説明 16-6
16.2.1 スリープモード 16-6
16.2.2 ソフトウェアスタンバイモード 16-6
16.2.3 ハードウェアスタンバイモード 16-9
16.2.4 モジュールストップモード 16-10
16.3 使用上の注意事項 16-10
16.3.1 I/O ポートの状態 16-10
16.3.2 発振安定待機中の消費電流 16-10
16.3.3 内蔵周辺モジュールの割り込み 16-10
16.3.4 MSTPCR のライト 16-10

17. レジスター覧 17-1

17.1 レジスタアドレス一覧（アドレス順） 17-2
17.2 レジスタビット一覧 17-6
17.3 各動作モードにおけるレジスタの状態 17-13

18. 電気的特性 18-1

18.1 絶対最大定格 18-1
18.2 DC特性 18-2
18.3 AC特性 18-5
18.3.1 クロックタイミング 18-5
18.3.2 制御信号タイミング 18-7
18.3.3 バスタイミング 18-8
18.3.4 DMAC タイミング 18-20
18.3.5 内蔵周辺モジュールタイミング 18-23
18.4 フラッシュメモリ特性 18-26
18.5 使用上の注意事項（内部降圧） 18-27

付録 付録-1

A. 各処理状態におけるポートの状態 付録-1
B. 型名一覧 付録-3
C. 外形寸法図 付録-4

本版で修正または追加された箇所 改-1

索引 索引-1

図目次

1. 概要
図1.1　内部ブロック図 1-2
図1.2　ピン配置図（TFP-100B） 1-3

2. CPU
図2.1　例外処理ベクタテーブル（ノーマルモード） 2-5
図2.2　ノーマルモードのスタック構造 2-5
図2.3　例外処理ベクタテーブル（アドバンストモード） 2-6
図2.4　アドバンストモードのスタック構造 2-7
図2.5　アドレス空間 2-8
図2.6　CPU内部レジスタ構成 2-9
図2.7　汎用レジスタの使用方法 2-10
図2.8　スタックの状態 2-11
図2.9　汎用レジスタのデータ形式（1） 2-13
図2.9　汎用レジスタのデータ形式（2） 2-14
図2.10　メモリ上でのデータ形式 2-15
図2.11　命令フォーマットの例 2-26
図2.12　メモリ間接による分岐アドレスの指定 2-30
図2.13　状態遷移図 2-33

3. MCU 動作モード
図3.1　アドレスマップ 3-5

4. 例外処理
図4.1　リセットシーケンス 4-3
図4.2　例外処理終了後のスタックの状態 4-5
図4.3　SPを奇数に設定したときの動作 4-6

5. 割り込みコントローラ
図5.1　割り込みコントローラのブロック図 5-2
図5.2　IRQ7～IRQ0割り込みのブロック図 5-7
図5.3　割り込み制御動作のブロック図 5-10
図5.4　割り込み制御モード0の割り込み受け付けまでのフロー 5-12
図5.5　割り込み制御モード1の状態遷移 5-13
図5.6　割り込み制御モード1の割り込み受け付けまでのフロー 5-15
図5.7　割り込み例外処理 5-16
図5.8　割り込みの発生とディスエーブルの競合 5-18

6. バスコントローラ（BSC）
図6.1　バスコントローラのブロック図 6-2
図6.2　$\overline{\text{CS}}$、アドレスアサート期間拡張（3ステートアクセス空間、RDNn＝0の場合） 6-5
図6.3　リードストローブネゲートタイミング（3ステートアクセス空間の場合） 6-9

図6.4　$\overline{\text{RAS}}$信号アサートタイミング
（カラムアドレス出力サイクル2ステート、フルアクセスする場合）..... 6-12
図6.5　エリア分割の様子..... 6-16
図6.6　アドレスフォーマット 6-17
図6.7　アドレスマップ..... 6-18
図6.8　$\overline{\text{CS}}$n信号出力タイミング（n＝3～0） 6-21
図6.9　アクセスサイズとデータアライメント制御（8ビットアクセス空間） 6-22
図6.10　アクセスサイズとデータアライメント制御（16ビットアクセス空間） 6-22
図6.11　8ビット2ステートアクセス空間のバスタイミング..... 6-24
図6.12　8ビット3ステートアクセス空間のバスタイミング..... 6-25
図6.13　16ビット2ステートアクセス空間のバスタイミング
（偶数アドレスバイトアクセス） 6-26
図6.14　16ビット2ステートアクセス空間のバスタイミング
（奇数アドレスバイトアクセス） 6-27
図6.15　16ビット2ステートアクセス空間のバスタイミング
（ワードアクセス）..... 6-28
図6.16　16ビット3ステートアクセス空間のバスタイミング
（偶数アドレスバイトアクセス） 6-29
図6.17　16ビット3ステートアクセス空間のバスタイミング
（奇数アドレスバイトアクセス） 6-30
図6.18　16ビット3ステートアクセス空間のバスタイミング　（ワードアクセス） 6-31
図6.19　ウェイトステート挿入タイミング例 6-32
図6.20　リードストローブタイミング例 6-33
図6.21　チップセレクトアサート期間拡張時タイミング例..... 6-34
図6.22　DRAM基本アクセスタイミング（RAST＝0、CAST＝0の場合） 6-37
図6.23　カラムアドレス出力サイクル3ステートの場合のアクセスタイミング例
（RAST＝0の場合） 6-38
図6.24　RAS信号がTrステートの先頭からLowレベルとなる場合の
アクセスタイミング例　（CAST＝0の場合） 6-39
図6.25　ロウアドレス出力保持ステート数が1ステート時のタイミング例
（RAST＝0、CAST＝0の場合） 6-40
図6.26　プリチャージサイクル2ステート時のタイミング例
（RAST＝0、CAST＝0の場合） 6-41
図6.27　ウェイトステート挿入タイミング例（カラムアドレス出力2ステートの場合） 6-42
図6.28　ウェイトステート挿入タイミング例（カラムアドレス出力3ステートの場合） 6-43
図6.29　CAS2本方式の制御タイミング
（偶数アドレスに対するライトアクセス、RAST＝0、CAST＝0の場合） 6-44
図6.30　CAS2本方式の接続例 6-45
図6.31　高速ページモードの動作タイミング（RAST＝0、CAST＝0の場合） 6-46
図6.32　高速ページモードの動作タイミング（RAST＝0、CAST＝1の場合） 6-46
図6.33　RASダウンモードの動作タイミング例（RAST＝0、CAST＝0の場合） 6-47
図6.34　RASダウンモードを継続できない場合のアイドルサイクル挿入例 6-48
図6.35　RASアップモードの動作タイミング例（RAST＝0、CAST＝0の場合） 6-49
図6.36　RTCNTの動作..... 6-50
図6.37　コンペアマッチのタイミング 6-50
図6.38　CBRリフレッシュタイミング 6-50

図6.39　CBRリフレッシュタイミング
（RCW1＝0、RCW0＝1、RLW1＝0、RLW0＝0の場合） 6-51
図6.40　セルフリフレッシュタイミング 6-51
図6.41　セルフリフレッシュ直後のプリチャージ時間を
2ステート増加した場合のタイミング例 6-52
図6.42　DDS＝1の場合の$\overline{\text{DACK}}$出力タイミング例　（RAST＝0、CAST＝0の場合） 6-53
図6.43　DDS＝0の場合の$\overline{\text{DACK}}$出力タイミング例　（RAST＝0、CAST＝1の場合） 6-54
図6.44　アイドルサイクル動作例（異なるエリア間での連続リード） 6-55
図6.45　アイドルサイクル動作例（リード後のライト） 6-56
図6.46　アイドルサイクル動作例（ライト後のリード） 6-57
図6.47　チップセレクト（$\overline{\text{CS}}$）とリード（$\overline{\text{RD}}$）の関係 6-57
図6.48　外部リード後のDRAMフルアクセス例（CAST＝0の場合） 6-58
図6.49　RASダウンモード時のアイドルサイクル動作例（異なるエリア間での連続リード）
（IDLE1＝0、IDLE0＝1、IDLC1＝0、IDLC0＝1、RAST＝0、CAST＝0の場合） 6-58
図6.50　ライトデータバッファ機能使用時のタイミング例 6-61

7.　DMA コントローラ（DMAC）
図7.1　DMACのブロック図 7-3
図7.2　デュアルアドレスモードのタイミング例 7-17
図7.3　シングルアドレスモードでのデータの流れ 7-18
図7.4　シングルアドレスモードのタイミング例 7-19
図7.5　サイクルスチールモードのタイミング例 7-21
図7.6　バーストモードのタイミング例 7-22
図7.7　ノーマル転送モードの例 7-22
図7.8　ブロック転送モードの例 7-23
図7.9　リピートエリア機能の例 7-24
図7.10　ブロック転送モードとリピートエリア機能を併用したときの例 7-25
図7.11　ノーマル転送モード、ブロック転送モード時のDMTCRの更新動作 7-27
図7.12　動作中のチャネルのレジスタの設定を変更するときの手順 7-28
図7.13　チャネルの優先順位のタイミング例 7-29
図7.14　チャネルの優先順位のタイミング例 7-30
図7.15　ノーマル転送モード（サイクルスチールモード）転送例 7-31
図7.16　ノーマル転送モード（バーストモード）転送例 7-31
図7.17　ノーマル転送モード（サイクルスチールモード）転送例　（転送元：USB） 7-32
図7.18　ノーマル転送モード（サイクルスチールモード）転送例　（転送元：USB） 7-33
図7.19　ブロック転送モード（サイクルスチールモード）転送例 7-33
図7.20　$\overline{\text{DREQ}}$端子立ち下がりエッジ起動のノーマルモード転送例 7-34
図7.21　$\overline{\text{DREQ}}$端子立ち下がりエッジ起動のブロック転送モード転送例 7-35
図7.22　$\overline{\text{DREQ}}$端子Lowレベル起動のノーマルモード転送例 7-36
図7.23　$\overline{\text{DREQ}}$端子Lowレベル起動のブロック転送モード転送例 7-37
図7.24　シングルアドレスモード（バイトリード）転送例 7-38
図7.25　シングルアドレスモード（ワードリード）転送例 7-38
図7.26　シングルアドレスモード（ロングワードリード）転送例 7-39
図7.27　シングルアドレスモード（バイトライト）転送例 7-39
図7.28　シングルアドレスモード（ワードライト）転送例 7-40
図7.29　シングルアドレスモード（ロングワードライト）転送例 7-40
図7.30　$\overline{\text{DREQ}}$端子立ち下がりエッジ起動のシングルアドレスモード転送例 7-41

図7.31　$\overline{\text{DREQ}}$端子Lowレベル起動のシングルアドレスモード転送例 7-42
図7.32　オートリクエスト／サイクルスチールモード／ノーマル転送モード
（競合がない場合／デュアルアドレスモード） 7-43
図7.33　オートリクエスト／サイクルスチールモード／ノーマル転送モード
（CPUサイクルあり／シングルアドレスモード） 7-43
図7.34　オートリクエスト／サイクルスチールモード／ノーマル転送モード
（他のチャネルと競合する場合／シングルアドレスモード） 7-44
図7.35　オートリクエスト／バーストモード／ノーマル転送モード
（CPUサイクルあり／デュアルアドレスモード） 7-44
図7.36　オートリクエスト／バーストモード／ノーマル転送モード
（CPUサイクルあり／シングルアドレスモード） 7-45
図7.37　オートリクエスト／バーストモード／ノーマル転送モード
（他のチャネルと競合する場合／シングルアドレスモード） 7-45
図7.38　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（競合がない場合／デュアルアドレスモード／Lowレベル検出） 7-46
図7.39　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（CPUサイクルあり／シングルアドレスモード／Lowレベル検出） 7-46
図7.40　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（競合がない場合／シングルアドレスモード／立ち下がりエッジ検出） 7-47
図7.41　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（他のチャネルと競合する場合／デュアルアドレスモード／Lowレベル検出） 7-47
図7.42　外部リクエスト／サイクルスチールモード／ブロック転送モード
（競合がない場合／デュアルアドレスモード／Lowレベル検出） 7-48
図7.43　外部リクエスト／サイクルスチールモード／ブロック転送モード
（競合がない場合／シングルアドレスモード／立ち下がりエッジ検出） 7-49
図7.44　外部リクエスト／サイクルスチールモード／ブロック転送モード
（CPUサイクルあり／シングルアドレスモード／Lowレベル検出） 7-50
図7.45　外部リクエスト／サイクルスチールモード／ブロック転送モード
（他のチャネルと競合する場合／デュアルアドレスモード／Lowレベル検出） 7-51
図7.46　転送終了割り込みのブロック図 7-54
図7.47　転送終了割り込みが発生したチャネルの転送再開手順例 7-55

9.　8 ビットタイマ（TMR）
図9.1　8ビットタイマのブロック図 9-2
図9.2　パルス出力例 9-8
図9.3　内部クロック動作時のカウントタイミング 9-9
図9.4　外部クロック動作時のカウントタイミング 9-9
図9.5　コンペアマッチ時のCMFフラグのセットタイミング 9-10
図9.6　コンペアマッチA信号によるトグル出力のタイマ出力タイミング 9-10
図9.7　コンペアマッチによるカウンタクリアタイミング 9-10
図9.8　外部リセット入力によるクリアタイミング 9-11
図9.9　OVFフラグのセットタイミング 9-11
図9.10　TCNTのライトとクリアの競合 9-13
図9.11　TCNTのライトとカウントアップの競合 9-14
図9.12　TCORのライトとコンペアマッチの競合 9-15

10.　ウォッチドッグタイマ（WDT）
図10.1　WDTのブロック図 10-2

図10.2　ウォッチドッグタイマモード時（RST/$\overline{\text{NMI}}$=1）の動作 10-4
図10.3　インターバルタイマモード時の動作 10-5
図10.4　OVFのセットタイミング 10-5
図10.5　OVFの出力タイミング 10-6
図10.6　TCNT、TCSRへのライト 10-7
図10.7　TCNTのライトとカウントアップの競合 10-8

11.　ブートモード専用シリアルコミュニケーションインタフェース（SCI）
図11.1　SCIのブロック図 11-2
図11.2　調歩同式通信のデータフォーマット
（8ビットデータ/パリティあり/2ストップビットの例） 11-11
図11.3　調歩同期式モードの受信データサンプリングタイミング 11-13
図11.4　SCIの初期化フローチャートの例 11-14
図11.5　調歩同期式モードの送信時の動作例
（8ビットデータ/パリティあり/1ストップビットの例） 11-15
図11.6　シリアル送信のフローチャートの例 11-16
図11.7　SCIの受信時の動作例（8ビットデータ/パリティあり/1ストップビットの例） 11-17
図11.8　シリアル受信データフローチャートの例（1） 11-18
図11.8　シリアル受信データフローチャートの例（2） 11-19
図11.9　送信時のモード遷移フローチャートの例 11-22
図11.10　受信時のモード遷移フローチャートの例 11-23

12.　ユニバーサルシリアルバス 2（USB2）
図12.1　USB2のブロック図 12-2
図12.2　ケーブル接続時 12-19
図12.3　USBケーブル切断時 12-20
図12.4　コントロール転送における各転送ステージ 12-20
図12.5　セットアップステージの動作 12-21
図12.6　データステージ（コントロールイン時）の動作 12-22
図12.7　データステージ（コントロールアウト時）の動作 12-23
図12.8　ステータスステージ（コントロールイン時）の動作 12-24
図12.9　ステータスステージ（コントロールアウト時）の動作 12-25
図12.10　EP1バルクアウト転送の動作 12-27
図12.11　EP2バルクイン転送の動作 12-29
図12.12　EP3インタラプトイン転送の動作 12-30
図12.13　アプリケーションで強制的にストールさせたい場合 12-33
図12.14　USBファンクションモジュールが自動的にストールさせた場合 12-34
図12.15　EP2/PKTE2の操作 12-36
図12.16　USBサスペンド状態への遷移／復帰シーケンス 12-37
図12.17　USBサスペンド状態＋ソフトウェアスタンバイモードへの遷移／
復帰シーケンス 12-38
図12.18　外部回路の接続例 12-43
図12.19　バスリセット完了後のバスリセット 12-44
図12.20　バスリセット検出フロー 12-44

14.　フラッシュメモリ（0.18μm F-ZTAT 版）
図14.1　フラッシュメモリのブロック図 14-2
図14.2　フラッシュメモリに関するモード遷移図 14-3

図14.3　フラッシュメモリ構成図 14-5
図14.4　ユーザマットのブロック分割 14-6
図14.5　ユーザの手続きプログラムの概要 14-7
図14.6　ブートモード時のシステム構成図 14-23
図14.7　SCIビットレートの自動合わせ込み動作 14-24
図14.8　ブートモードの状態遷移の概略図 14-26
図14.9　書き込み／消去概略フロー 14-27
図14.10　書き込み／消去実施時のRAMマップ 14-27
図14.11　書き込み手順 14-28
図14.12　消去手順 14-33
図14.13　消去、書き込みの繰り返し手順 14-35
図14.14　ユーザブートモードでのユーザマットへの書き込み手順 14-37
図14.15　ユーザブートモードでのユーザマットの消去手順 14-38
図14.16　エラープロテクト状態への状態遷移図 14-45
図14.17　ユーザマット／ユーザブートマットの切り替え 14-46
図14.18　RAMによるエミュレーションフロー 14-47
図14.19　RAMのオーバラップ動作例（256kフラッシュメモリの場合） 14-48
図14.20　ライタモード時のメモリマップ 14-49
図14.21　ブートプログラムのステータス 14-50
図14.22　ビットレート合わせ込みのシーケンス 14-51
図14.23　通信プロトコルフォーマット 14-52
図14.24　新ビットレート選択のシーケンス 14-60
図14.25　書き込みシーケンス 14-63
図14.26　消去シーケンス 14-66

15.　クロック発振器
図15.1　クロック発振器のブロック図 15-1
図15.2　水晶発振子の接続例 15-2
図15.3　水晶発振子の等価回路 15-2
図15.4　外部クロックの接続例 15-3
図15.5　外部クロック入力タイミング 15-4
図15.6　外部クロック出力安定遅延時間タイミング 15-4
図15.7　発振回路部のボード設計に関する注意事項 15-5

16.　低消費電力状態
図16.1　モード遷移図 16-3
図16.2　ソフトウェアスタンバイモードの応用例 16-8
図16.3　ハードウェアスタンバイモードのタイミング 16-9

18.　電気的特性
図18.1　ダーリントントランジスタ駆動回路例 18-4
図18.2　出力負荷回路 18-5
図18.3　システムクロックタイミング 18-6
図18.4　発振安定時間タイミング（1） 18-6
図18.5　発振安定時間タイミング（2） 18-6
図18.6　リセット入力タイミング 18-7
図18.7　割り込み入力タイミング 18-7
図18.8　基本バスタイミング/2ステートアクセス 18-10

図18.9　基本バスタイミング/3ステートアクセス 18-11
図18.10　基本バスタイミング/2ステートアクセス　（$\overline{\text{CS}}$アサート期間延長） 18-12
図18.11　基本バスタイミング/3ステートアクセス　（$\overline{\text{CS}}$アサート期間延長） 18-13
図18.12　DRAMアクセスタイミング/2ステートアクセス.....18-14
図18.13　DRAMアクセスタイミング/2ステートバーストアクセス.....18-15
図18.14　DRAMアクセスタイミング/3ステートアクセス（RAST＝1のとき） 18-16
図18.15　DRAMアクセスタイミング/3ステートバーストアクセス.....18-17
図18.16　CASビフォアRASリフレッシュタイミング.....18-18
図18.17　CASビフォアRASリフレッシュタイミング（ウェイトサイクル挿入） 18-18
図18.18　セルフリフレッシュタイミング
（ソフトウエアスタンバイからの復帰時：RAST＝0のとき） 18-19
図18.19　セルフリフレッシュタイミング
（ソフトウエアスタンバイからの復帰時：RAST＝1のとき） 18-19
図18.20　DMAC、シングルアドレス転送タイミング／2ステートアクセス.....18-20
図18.21　DMAC、シングルアドレス転送タイミング／3ステートアクセス.....18-21
図18.22　DMAC、$\overline{\text{TEND}}$出力タイミング.....18-22
図18.23　DMAC、$\overline{\text{DREQ}}$入力タイミング 18-22
図18.24　I/Oポート入出力タイミング.....18-23
図18.25　8ビットタイマ出力タイミング 18-24
図18.26　8ビットタイマクロック入力タイミング 18-24
図18.27　8ビットタイマリセット入力タイミング 18-24
図18.28　USB2入出力タイミング 18-25
図18.29　VCLコンデンサ接続方法.....18-27

付録

図C.1　外形寸法図（TFP-100B）.....付録-4

表目次

1. 概要
表1.1　動作モード別ピン配置一覧 1-4
表1.2　端子機能一覧 1-7

2. CPU
表2.1　命令の分類 2-16
表2.2　オペレーションの記号 2-17
表2.3　データ転送命令 2-18
表2.4　算術演算命令（1） 2-19
表2.4　算術演算命令（2） 2-20
表2.5　論理演算命令 2-21
表2.6　シフト命令 2-21
表2.7　ビット操作命令（1） 2-22
表2.7　ビット操作命令（2） 2-23
表2.8　分岐命令 2-24
表2.9　システム制御命令 2-25
表2.10　ブロック転送命令 2-25
表2.11　アドレッシングモード一覧表 2-27
表2.12　絶対アドレスのアクセス範囲 2-28
表2.13　実行アドレスの計算方法（1） 2-30
表2.13　実行アドレスの計算方法（2） 2-31

3. MCU 動作モード
表3.1　MCU動作モードの選択 3-1
表3.2　動作モード2における端子機能 3-4

4. 例外処理
表4.1　例外処理の種類と優先度 4-1
表4.2　例外処理ベクタテーブル 4-2
表4.3　トラップ命令例外処理後のCCRの状態 4-4

5. 割り込みコントローラ
表5.1　端子構成 5-2
表5.2　各割り込み要因とICRの対応 5-3
表5.3　割り込み要因とベクタアドレスおよび割り込み優先順位一覧 5-8
表5.4　割り込み制御モード 5-9
表5.5　各割り込み制御モードで受け付けられる割り込み 5-10
表5.6　割り込み制御モードと動作および制御信号機能 5-11
表5.7　割り込み応答時間 5-17
表5.8　割り込み例外処理の実行状態のステート数 5-17

6. バスコントローラ（BSC）
表6.1　端子構成 6-3
表6.2　アドレスマップ 6-17
表6.3　各エリアのバス仕様（基本バスインタフェース） 6-19
表6.4　使用するデータバスと有効ストローブ 6-23
表6.5　MXC2～MXC0とアドレスマルチプレクスの関係 6-35
表6.6　DRAMインタフェース端子構成 6-36
表6.7　通常空間とDRAM空間を混在してアクセスするときのアイドルサイクル 6-59
表6.8　アイドルサイクルでの端子状態 6-60

7. DMA コントローラ（DMAC）
表7.1　端子構成 7-4
表7.2　DMACの転送モード 7-16
表7.3　DMACのチャネル間優先順位 7-29
表7.4　割り込み要因と優先度 7-54

8. I/O ポート
表8.1　ポートの機能一覧 8-2

9. 8 ビットタイマ（TMR）
表9.1　端子構成 9-3
表9.2　TCNTに入力するクロックとカウント条件 9-6
表9.3　8ビットタイマTMR_0、TMR_1の割り込み要因 9-13
表9.4　タイマ出力の優先順位 9-15
表9.5　内部クロックの切り替えとTCNTの動作 9-16

10. ウォッチドッグタイマ（WDT）
表10.1　WDTの割り込み要因 10-6

11. ブートモード専用シリアルコミュニケーションインタフェース（SCI）
表11.1　端子構成 11-2
表11.2　BRRの設定値NとビットレートBの関係 11-8
表11.3　ビットレートに対するBRRの設定例〔調歩同期式モード〕（1） 11-9
表11.3　ビットレートに対するBRRの設定例〔調歩同期式モード〕（2） 11-10
表11.4　各動作周波数における最大ビットレート（調歩同期式モード） 11-11
表11.5　シリアル送信/受信フォーマット（調歩同期式モード） 11-12
表11.6　SSRのステータスフラグの状態と受信データの処理 11-18
表11.7　SCI割り込み要因 11-20

12. ユニバーサルシリアルバス 2（USB2）
表12.1　入出力信号一覧 12-3
表12.2　アプリケーション側でのコマンドデコード 12-31
表12.3　ツリー構造 12-35
表12.4　転送モード別FIFOサイズ 12-41

14. フラッシュメモリ（0.18μm F-ZTAT 版）
表14.1　プログラミングモードの比較 14-4
表14.2　端子構成 14-9

表14.3　使用レジスタ／パラメータと対象モード 14-10
表14.4　フラッシュメモリエリアの分割 14-15
表14.5　使用パラメータと対象モード 14-16
表14.6　オンボードプログラミングモードの設定方法.....14-23
表14.7　本LSIの自動合わせ込みが可能なシステムクロックの周波数.....14-24
表14.8　実行可能マットまとめ 14-40
表14.9（1）　ユーザプログラムモードでの書き込み処理で使用可能エリア 14-40
表14.9（2）　ユーザプログラムモードでの消去処理で使用可能エリア 14-41
表14.9（3）　ユーザブートモードでの書き込み処理で使用可能エリア 14-42
表14.9（4）　ユーザブートモードでの消去処理で使用可能エリア 14-43
表14.10　ハードウェアプロテクト 14-44
表14.11　ソフトウェアプロテクト 14-44
表14.12　問い合わせ選択コマンド一覧 14-53
表14.13　書き込み消去コマンド一覧 14-62
表14.14　ステータスコード 14-70
表14.15　エラーコード 14-70

15.　クロック発振器
表15.1　ダンピング抵抗値 15-2
表15.2　水晶発振子の特性 15-2
表15.3　外部クロック入力条件 15-3
表15.4　外部クロック出力安定遅延時間 15-4

16.　低消費電力状態
表16.1　各モードでの本LSIの内部状態 16-2
表16.2　動作周波数と待機時間 16-7

18.　電気的特性
表18.1　絶対最大定格 18-1
表18.2　DC特性（1） 18-2
表18.3　DC特性（2） 18-3
表18.4　出力許容電流値 18-4
表18.5　クロックタイミング 18-5
表18.6　制御信号タイミング 18-7
表18.7　バスタイミング（1） 18-8
表18.8　バスタイミング（2） 18-9
表18.9　DMACタイミング 18-20
表18.10　内蔵周辺モジュールタイミング 18-23
表18.11　フラッシュメモリ特性 18-26

1.　概要

1.1　特長

- 16ビット高速H8S/2000CPU

  H8/300CPU、H8/300HCPUとオブジェクトレベルで上位互換

  汎用レジスタ：16ビット×16本

  基本命令：65種類

- 豊富な周辺機能

  DMAコントローラ（DMAC）

  8ビットタイマ（TMR）

  ウォッチドッグタイマ（WDT）

  シリアルコミュニケーションインタフェース（SCI）

  ユニバーサルシリアルバス2（USB2）

  クロック発振器

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2170	256k バイト	32k バイト	

- 汎用入出力ポート

  入出力ポート：76本

- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	（コード）	ボディサイズ	ピンピッチ	備考
TQFP-100	TFP-100B	14×14mm	0.5mm	―

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

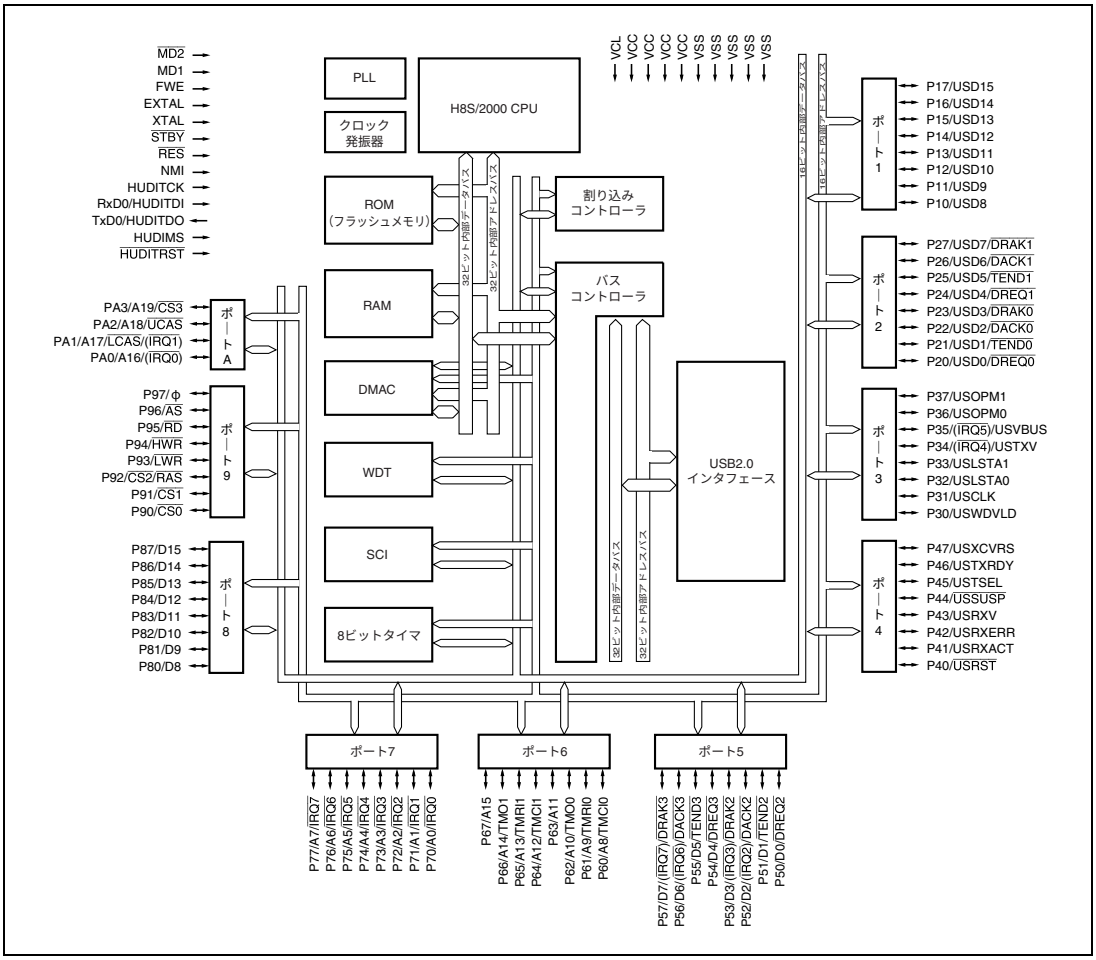
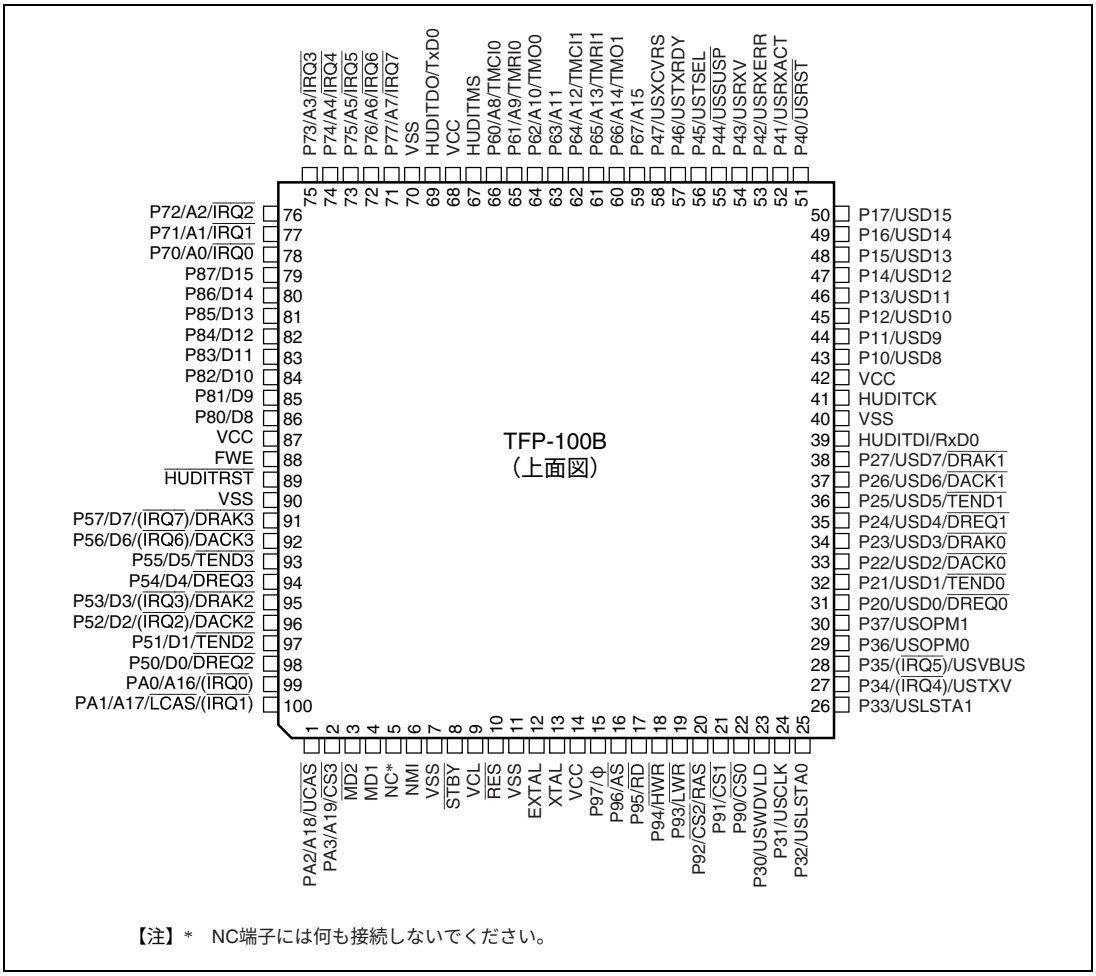


図 1.1 内部ブロック図

1.3　端子説明

1.3.1　ピン配置図

ピン配置図を図 1.2 に示します。



【注】＊　NC端子には何も接続しないでください。

図 1.2　ピン配置図（TFP-100B）

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号	端子名		
TFP-100B	拡張モード（EXPE＝1）	シングルチップモード（EXPE＝0）	フラッシュメモリライタモード
1	PA2/A18/$\overline{\text{UCAS}}$	PA2	NC
2	PA3/A19/$\overline{\text{CS3}}$	PA3	NC
3	$\overline{\text{MD2}}$	$\overline{\text{MD2}}$	VSS
4	MD1	MD1	VSS
5	NC	NC	NC
6	NMI	NMI	NC
7	VSS	VSS	VSS
8	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
9	VCL	VCL	VCL
10	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
11	VSS	VSS	VSS
12	EXTAL	EXTAL	EXTAL
13	XTAL	XTAL	XTAL
14	VCC	VCC	VCC
15	P97/φ	P97/φ	NC
16	P96/$\overline{\text{AS}}$	P96	NC
17	P95/$\overline{\text{RD}}$	P95	NC
18	P94/$\overline{\text{HWR}}$	P94	NC
19	P93/$\overline{\text{LWR}}$	P93	NC
20	P92/$\overline{\text{CS2}}$/$\overline{\text{RAS}}$	P92	NC
21	P91/$\overline{\text{CS1}}$	P91	NC
22	P90/$\overline{\text{CS0}}$	P90	NC
23	P30/USWDVLD	P30/USWDVLD	NC
24	P31/USCLK	P31/USCLK	NC
25	P32/USLSTA0	P32/USLSTA0	NC
26	P33/USLSTA1	P33/USLSTA1	NC
27	P34/($\overline{\text{IRQ4}}$)/USTXV	P34/($\overline{\text{IRQ4}}$)/USTXV	NC
28	P35/($\overline{\text{IRQ5}}$)/USVBUS	P35/($\overline{\text{IRQ5}}$)/USVBUS	NC
29	P36/USOPM0	P36/USOPM0	NC
30	P37/USOPM1	P37/USOPM1	NC
31	P20/USD0/$\overline{\text{DREQ0}}$	P20/USD0/$\overline{\text{DREQ0}}$	NC
32	P21/USD1/$\overline{\text{TEND0}}$	P21/USD1/$\overline{\text{TEND0}}$	NC

ピン番号	端子名		
TFP-100B	拡張モード（EXPE＝1）	シングルチップモード（EXPE＝0）	フラッシュメモリライタモード
33	P22/USD2/$\overline{\text{DACK0}}$	P22/USD2/$\overline{\text{DACK0}}$	NC
34	P23/USD3/$\overline{\text{DRAK0}}$	P23/USD3/$\overline{\text{DRAK0}}$	NC
35	P24/USD4/$\overline{\text{DREQ1}}$	P24/USD4/$\overline{\text{DREQ1}}$	NC
36	P25/USD5/$\overline{\text{TEND1}}$	P25/USD5/$\overline{\text{TEND1}}$	NC
37	P26/USD6/$\overline{\text{DACK1}}$	P26/USD6/$\overline{\text{DACK1}}$	NC
38	P27/USD7/$\overline{\text{DRAK1}}$	P27/USD7/$\overline{\text{DRAK1}}$	NC
39	HUDITDI/RxD0	HUDITDI/RxD0	NC
40	VSS	VSS	VSS
41	HUDITCK	HUDITCK	NC
42	VCC	VCC	VCC
43	P10/USD8	P10/USD8	NC
44	P11/USD9	P11/USD9	NC
45	P12/USD10	P12/USD10	NC
46	P13/USD11	P13/USD11	NC
47	P14/USD12	P14/USD12	NC
48	P15/USD13	P15/USD13	NC
49	P16/USD14	P16/USD14	NC
50	P17/USD15	P17/USD15	NC
51	P40/$\overline{\text{USRST}}$	P40/$\overline{\text{USRST}}$	NC
52	P41/USRXACT	P41/USRXACT	NC
53	P42/USRXERR	P42/USRXERR	NC
54	P43/USRXV	P43/USRXV	NC
55	P44/$\overline{\text{USSUSP}}$	P44/$\overline{\text{USSUSP}}$	NC
56	P45/USTSEL	P45/USTSEL	NC
57	P46/USTXRDY	P46/USTXRDY	NC
58	P47/USXCVRS	P47/USXCVRS	NC
59	P67/A15	P67	NC
60	P66/A14/TMO1	P66/TMO1	NC
61	P65/A13/TMRI1	P65/TMRI1	NC
62	P64/A12/TMCI1	P64/TMCI1	NC
63	P63/A11	P63	NC
64	P62/A10/TMO0	P62/TMO0	NC
65	P61/A9/TMRI0	P61/TMRI0	NC
66	P60/A8/TMCI0	P60/TMCI0	NC
67	HUDITMS	HUDITMS	NC

ピン番号	端子名		
TFP-100B	拡張モード（EXPE＝1）	シングルチップモード（EXPE＝0）	フラッシュメモリライタモード
68	VCC	VCC	VCC
69	HUDITDO/TxD0	HUDITDO/TxD0	NC
70	VSS	VSS	VSS
71	P77/A7/$\overline{\text{IRQ7}}$	P77/$\overline{\text{IRQ7}}$	NC
72	P76/A6/$\overline{\text{IRQ6}}$	P76/$\overline{\text{IRQ6}}$	NC
73	P75/A5/$\overline{\text{IRQ5}}$	P75/$\overline{\text{IRQ5}}$	NC
74	P74/A4/$\overline{\text{IRQ4}}$	P74/$\overline{\text{IRQ4}}$	NC
75	P73/A3/$\overline{\text{IRQ3}}$	P73/$\overline{\text{IRQ3}}$	NC
76	P72/A2/$\overline{\text{IRQ2}}$	P72/$\overline{\text{IRQ2}}$	NC
77	P71/A1/$\overline{\text{IRQ1}}$	P71/$\overline{\text{IRQ1}}$	NC
78	P70/A0/$\overline{\text{IRQ0}}$	P70/$\overline{\text{IRQ0}}$	NC
79	P87/D15	P87	NC
80	P86/D14	P86	NC
81	P85/D13	P85	NC
82	P84/D12	P84	NC
83	P83/D11	P83	NC
84	P82/D10	P82	NC
85	P81/D9	P81	NC
86	P80/D8	P80	NC
87	VCC	VCC	VCC
88	FWE	FWE	FWE
89	$\overline{\text{HUDITRST}}$	$\overline{\text{HUDITRST}}$	NC
90	VSS	VSS	VSS
91	P57/D7/($\overline{\text{IRQ7}}$)/MSSRAC/$\overline{\text{DRAK3}}$	P57/($\overline{\text{IRQ7}}$)/MSSRAC/$\overline{\text{DRAK3}}$	NC
92	P56/D6/($\overline{\text{IRQ6}}$)/$\overline{\text{DACK3}}$	P56/($\overline{\text{IRQ6}}$)/$\overline{\text{DACK3}}$	NC
93	P55/D5/MSBS/$\overline{\text{TEND3}}$	P55/MSBS/$\overline{\text{TEND3}}$	NC
94	P54/D4/MSDIO3/$\overline{\text{DREQ3}}$	P54/MSDIO3/$\overline{\text{DREQ3}}$	NC
95	P53/D3/($\overline{\text{IRQ3}}$)/MSDIO2/$\overline{\text{DRAK2}}$	P53/($\overline{\text{IRQ3}}$)/MSDIO2/$\overline{\text{DRAK2}}$	NC
96	P52/D2/($\overline{\text{IRQ2}}$)/MSDIO1/$\overline{\text{DACK2}}$	P52/($\overline{\text{IRQ2}}$)/MSDIO1/$\overline{\text{DACK2}}$	NC
97	P51/D1/MSDIO0/$\overline{\text{TEND2}}$	P51/MSDIO0/$\overline{\text{TEND2}}$	NC
98	P50/D0/MSCLK/$\overline{\text{DREQ2}}$	P50/MSCLK/$\overline{\text{DREQ2}}$	NC
99	PA0/A16/($\overline{\text{IRQ0}}$)	PA0/($\overline{\text{IRQ0}}$)	NC
100	PA1/A17/$\overline{\text{LCAS}}$/($\overline{\text{IRQ1}}$)	PA1/$\overline{\text{LCAS}}$/($\overline{\text{IRQ1}}$)	NC

1.3.3　　端子機能一覧

端子機能一覧を表 1.2 に示します。

表 1.2　端子機能一覧

分類	記号	ピン番号	入出力	機　　能
電源	VCC	14、42、68、87	入力	電源端子です。システムの電源に接続してください。
	VSS	7、11、40、70、90	入力	グランド端子です。システム電源（0V）に接続してください。
	VCL	9	出力	内部降圧電源の外付け容量端子です。内部降圧安定化のための外付けコンデンサを介して VSS に接続してください。（端子近くに配置）
クロック	XTAL	13	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 15 章 クロック発振器」を参照してください。
	EXTAL	12	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 15 章　クロック発振器」を参照してください。
	φ	15	出力	外部デバイスにシステムクロックを供給します。
動作モードコントロール	$\overline{\text{MD2}}$ MD1	3 4	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
システム制御	$\overline{\text{RES}}$	10	入力	リセット端子です。この端子が Low レベルになると、リセット状態になります。
	$\overline{\text{STBY}}$	8	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE	88	入力	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。
割り込み	NMI	6	入力	ノンマスカブル割り込み要求端子です。使用しない場合は High レベルに固定してください。
	IRQ7～IRQ0	71～78	入力	マスク可能な割り込みを要求します。IRQ センスポートセレクトレジスタ（ISSR）により、$\overline{\text{IRQn}}$ または（$\overline{\text{IRQn}}$）端子のどちらから入力するかを選択できます。　　（n＝7～0）
	（$\overline{\text{IRQ7}}$）～（$\overline{\text{IRQ0}}$）	91、92 28、27 95、96 99、100	入力	
アドレスバス	A19 A18 A17 A16 A15～A8 A7～A0	2 1 100 99 59～66 71～78	出力	アドレスを出力します。

分類	記号	ピン番号	入出力	機　　能
データバス	D15～D8 D7～D0	79～86 91～98	入出力	双方向データバスです。
バス制御	$\overline{CS3}$	2	出力	エリア 3 が選択されていることを示すストローブ信号です。
	$\overline{CS2}$/ $\overline{RAS}$	20	出力	エリア 2 が選択されていることを示すストローブ信号です。 DRAM のロウアドレスストローブ信号です。
	$\overline{CS1}$	21	出力	エリア 1 が選択されていることを示すストローブ信号です。
	$\overline{CS0}$	22	出力	エリア 0 が選択されていることを示すストローブ信号です。
	$\overline{AS}$	16	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{RD}$	17	出力	この端子が Low レベルのとき、通常空間のリード状態であることを示します。
	$\overline{HWR}$	18	出力	通常空間をライトし、データバスの上位側（D15～D8）が有効であることを示すストローブ信号です。
	$\overline{LWR}$	19	出力	通常空間をライトし、データバスの下位側（D7～D0）が有効であることを示すストローブ信号です。
	$\overline{UCAS}$	1	出力	16 ビット DRAM 空間のアッパーカラムアドレスストローブ信号または 8 ビット DRAM 空間のカラムアドレスストローブ信号です。
	$\overline{LCAS}$	100	出力	16 ビット DRAM 空間のロウアーカラムアドレスストローブ信号です。
DMA コントローラ（DMAC）	$\overline{DREQ3}$ $\overline{DREQ2}$ $\overline{DREQ1}$ $\overline{DREQ0}$	94 98 35 31	入力	チャネル 3～0 の起動を要求します。
	$\overline{DACK3}$ $\overline{DACK2}$ $\overline{DACK1}$ $\overline{DACK0}$	92 96 37 33	出力	チャネル 3～0 のシングルアドレス転送アクノリッジ端子です。
	$\overline{TEND3}$ $\overline{TEND2}$ $\overline{TEND1}$ $\overline{TEND0}$	93 97 36 32	出力	チャネル 3～0 のデータ転送終了を示します。
	$\overline{DRAK3}$ $\overline{DRAK2}$ $\overline{DRAK1}$ $\overline{DRAK0}$	91 95 38 34	出力	チャネル 3～0 の外部リクエスト受け付け、実行開始を外部デバイスに通知します。

分類	記号	ピン番号	入出力	機　　能
8 ビットタイマ（TMR）	TMO1 TMO0	60 64	出力	コンペアマッチ出力端子です。
	TMCI1 TMCI0	62 66	入力	カウンタに入力する外部クロックの入力端子です。
	TMRI1 TMRI0	61 65	入力	カウンタリセット入力端子です。
ブートモード専用シリアルコミュニケーションインタフェース（SCI）	TxD0	69	出力	データ出力端子です。
	RxD0	39	入力	データ入力端子です。
ユニバーサルシリアルバス 2（USB2）	USCLK	23	入力	USB クロック
	USVBUS	28	入力	USB ケーブルの接続/切断検出入力端子です。
	USLSTA0	25	入力	USB2.0 トランシーバからの入力信号端子です。
	USLSTA1	26	入力	
	USRXACT	52	入力	
	USRXERR	53	入力	
	USRXV	54	入力	
	USTXRDY	57	入力	
	USWDVLD	23	入出力	
	USOPM0	29	出力	USB2.0 トランシーバへの出力信号端子です。
	USOPM1	30	出力	
	$\overline{\text{USRST}}$	51	出力	
	USTXV	27	出力	
	$\overline{\text{USSUSP}}$	55	出力	
	USTSEL	56	出力	
	USXCVRS	58	出力	
	USD15～USD8 USD7～USD0	50～43 38～31	入出力	データ入出力

分類	記号	ピン番号	入出力	機　　能
I/O ポート	P17～P10	50～43	入出力	8 ビットの入出力端子です。
	P27～P20	38～31	入出力	8 ビットの入出力端子です。
	P37～P30	30～23	入出力	8 ビットの入出力端子です。
	P47～P40	58～51	入出力	8 ビットの入出力端子です。
	P57～P50	91～98	入出力	8 ビットの入出力端子です。
	P67～P60	59～66	入出力	8 ビットの入出力端子です。
	P77～P70	71～78	入出力	8 ビットの入出力端子です。
	P87～P80	79～86	入出力	8 ビットの入出力端子です。
	P97～P90	15～22	入出力	8 ビットの入出力端子です。
	PA3 PA2 PA1 PA0	2 1 100 99	入出力	4 ビットの入出力端子です。

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章　MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPUおよびH8/300H CPUと上位互換

  H8/300およびH8/300H CPUオブジェクトプログラムを実行可能
- 汎用レジスタ：16ビット×16本

  8ビット×16本、32ビット×8本としても使用可能
- 基本命令：65種類

  8/16/32ビット演算命令

  乗除算命令

  強力なビット操作命令
- アドレッシングモード：8種類

  レジスタ直接（Rn）

  レジスタ間接（@ERn）

  ディスプレースメント付レジスタ間接（@(d:16,ERn)／@(d:32,ERn)）

  ポストインクリメント／プリデクリメントレジスタ間接（@ERn+／@-ERn）

  絶対アドレス（@aa:8／@aa:16／@aa:24／@aa:32）

  イミディエイト（#xx:8／#xx:16／#xx:32）

  プログラムカウンタ相対（@(d:8,PC)／@(d:16,PC)）

  メモリ間接（@@aa:8）
- アドレス空間：16Mバイト

  プログラム：16Mバイト

  データ：16Mバイト

- 高速動作

  頻出命令をすべて1～2ステートで実行

  8/16/32ビットレジスタ間加減算：1ステート

  8×8ビットレジスタ間乗算：12ステート（MULXU.B）13ステート（MULXS.B）

  16÷8ビットレジスタ間除算：12ステート（DIVXU.B）

  16×16ビットレジスタ間乗算：20ステート（MULXU.W）21ステート（MULXS.W）

  32÷16ビットレジスタ間除算：20ステート（DIVXU.W）

- CPU動作モード：2種類

  ノーマルモード*／アドバンストモード

【注】 * 本 LSI ではノーマルモードは使用できません。

- 低消費電力状態

  SLEEP命令により低消費電力状態に遷移

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

  MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

  MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張

  16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加

- アドレス空間を拡張

  ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能

  アドバンストモードのとき、最大16Mバイトのアドレス空間を使用可能

- アドレッシングモードを強化

  16Mバイトのアドレス空間を有効に使用可能

- 命令強化

  ビット操作命令のアドレッシングモードを強化

  符号付き乗除算命令などを追加

  2ビットシフト、2ビットローテート命令を追加

  複数レジスタの退避／復帰命令を追加

  テストアンドセット命令を追加

- 高速化

  基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張

  8ビット×1本のコントロールレジスタを追加

- 命令強化

  ビット操作命令のアドレッシングモードを強化

  2ビットシフト、2ビットローテート命令を追加

  複数レジスタの退避／復帰命令を追加

  テストアンドセット命令を追加

- 高速化

  基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンストモードの 2 つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64k バイト、アドバンストモードでは 16M バイトです。動作モードは LSI のモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

  最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ（En）

  拡張レジスタ（E0～E7）は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

  拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接（@-Rn）、ポストインクリメントレジスタ間接（@Rn+）により汎用レジスタRnが参照された場合、キャリ／ボローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください）。

- 命令セット

  命令およびアドレッシングモードはすべて使用できます。実効アドレス（EA）の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

  ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章　例外処理」を参照してください。

  メモリ間接（@@aa:8）は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

  ノーマルモードでは、オペランドは16ビット（ワード）となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000～H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

  ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章　例外処理」を参照してください。

【注】　本 LSI ではノーマルモードは使用できません。

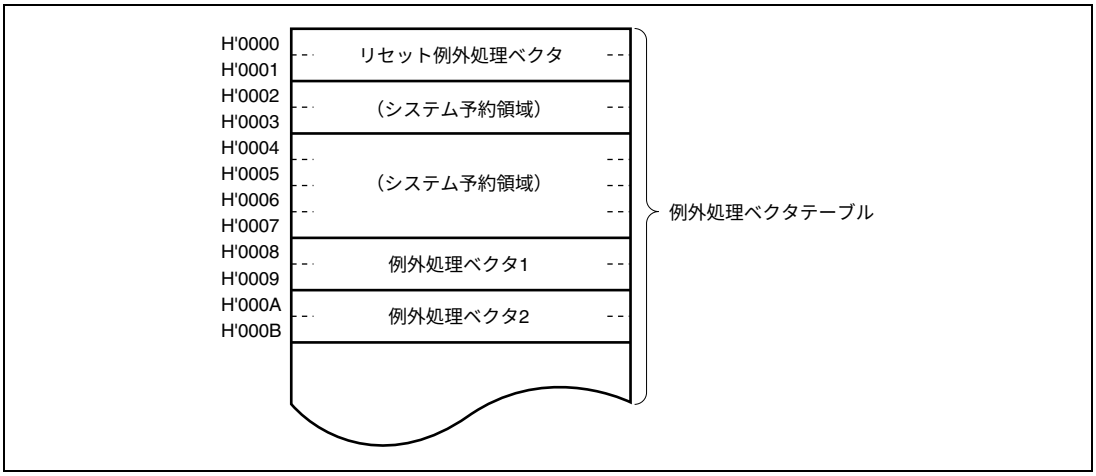


図 2.1　例外処理ベクタテーブル（ノーマルモード）

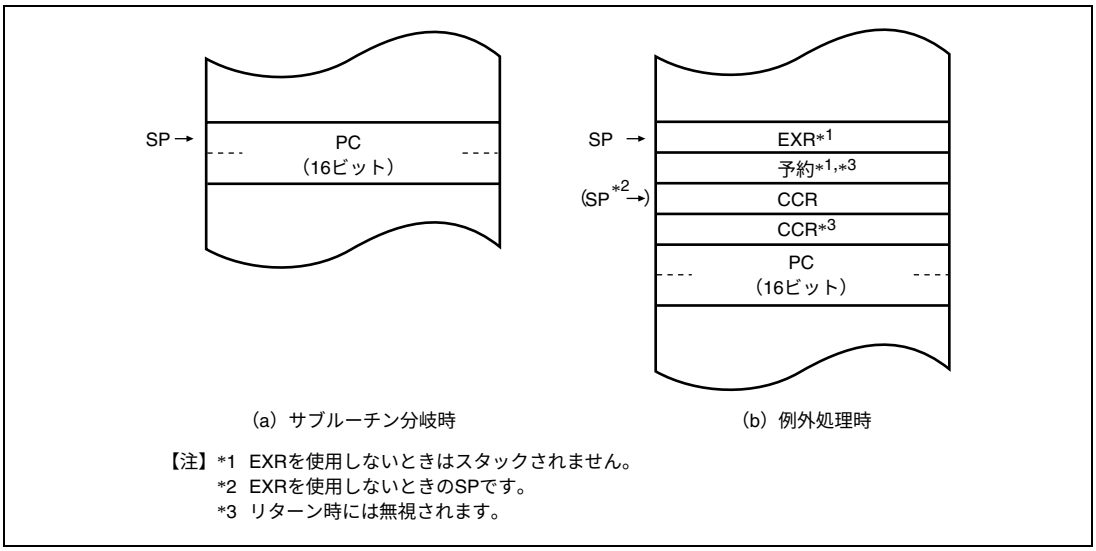


図 2.2　ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

  最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ（En）

  拡張レジスタ（E0～E7）は、16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

  命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

  アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します（図2.3参照）。例外処理ベクタテーブルは「第4章　例外処理」を参照してください。

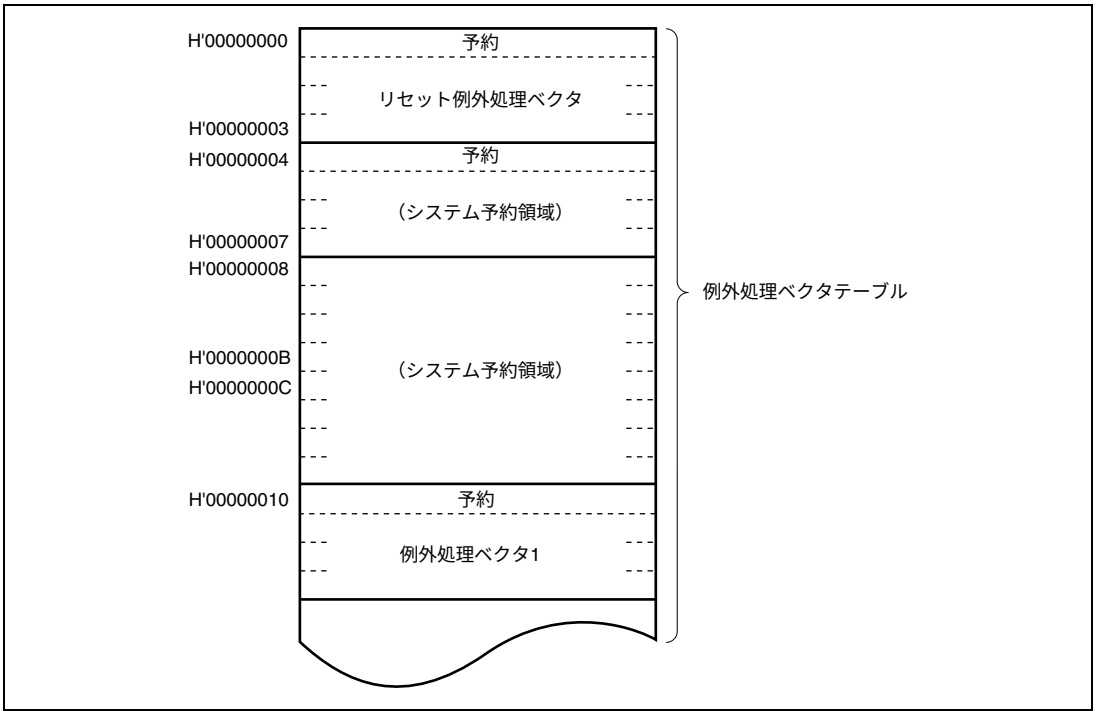


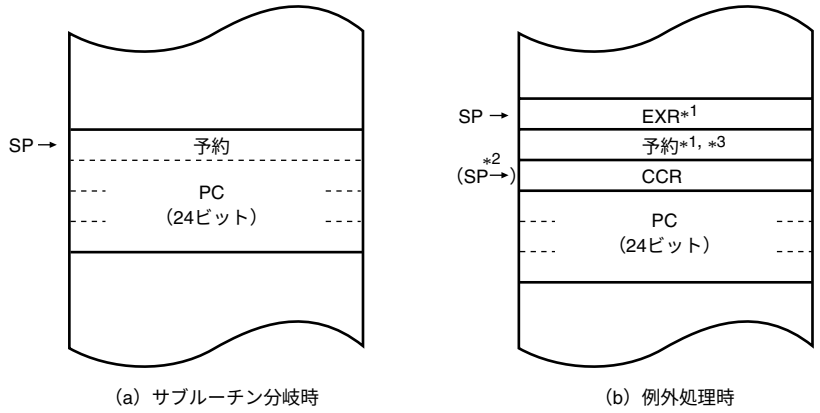
図 2.3　例外処理ベクタテーブル（アドバンストモード）

メモリ間接（@@aa:8）は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンストモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章　例外処理」を参照してください。



（a）サブルーチン分岐時　　（b）例外処理時

【注】*1 EXRを使用しないときはスタックされません。
*2 EXRを使用しないときのSPです
*3 リターン時には無視されます。

図 2.4　アドバンストモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64k バイト、アドバンストモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

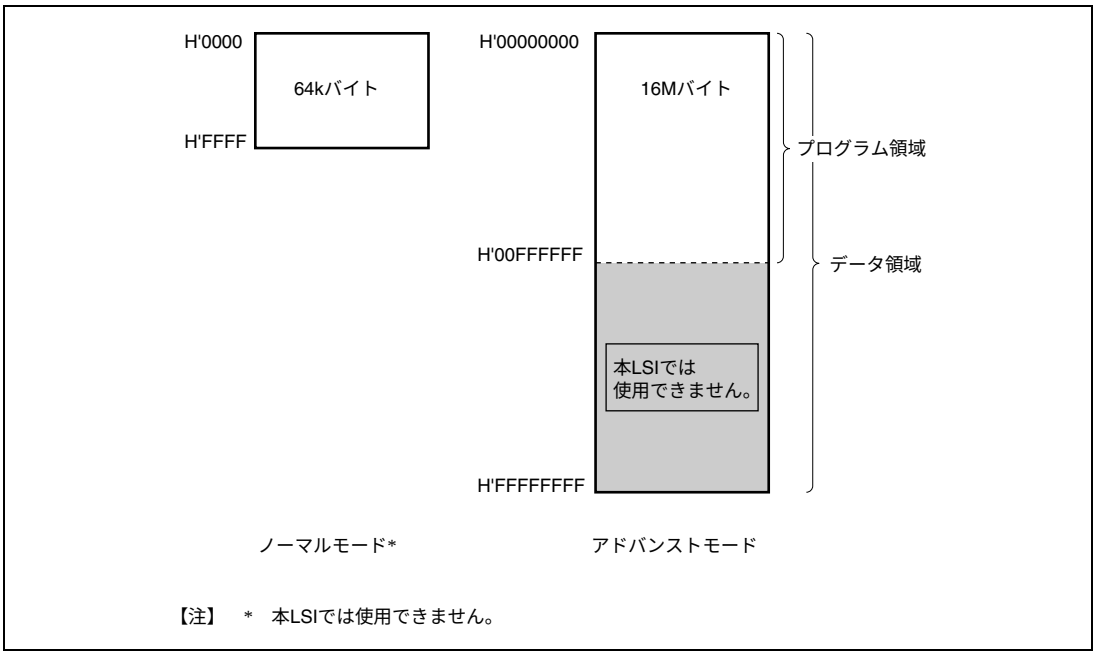


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ（PC）、8 ビットのエクステンドレジスタ（EXR）、8 ビットのコンディションコードレジスタ（CCR）があります。

汎用レジスタ（Rn）と拡張レジスタ（En）

	15 … 0	7 … 0	7 … 0
ER0	E0	R0H	R0L
ER1	E1	R1H	R1L
ER2	E2	R2H	R2L
ER3	E3	R3H	R3L
ER4	E4	R4H	R4L
ER5	E5	R5H	R5L
ER6	E6	R6H	R6L
ER7 (SP)	E7	R7H	R7L

コントロールレジスタ（CR）

23 … 0
PC

	7	6	5	4	3	2	1	0
EXR	T	−	−	−	−	I2	I1	I0

	7	6	5	4	3	2	1	0
CCR	I	UI	H	U	N	Z	V	C

【記号説明】

SP	：スタックポインタ	H	：ハーフキャリフラグ
PC	：プログラムカウンタ	U	：ユーザビット
EXR	：エクステンドレジスタ	N	：ネガティブフラグ
T	：トレースビット	Z	：ゼロフラグ
I2 ～I0	：割り込みマスクビット*	V	：オーバフローフラグ
CCR	：コンディションコードレジスタ	C	：キャリフラグ
I	：割り込みマスクビット		
UI	：ユーザビット/割り込みマスクビット		

【注】 * 本LSIでは、割り込みマスクビットとしては使用できません。

図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER（ER0～ER7）として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E（E0～E7）、汎用レジスタ R（R0～R7）として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E（E0～E7）を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH（R0H～R7H）、汎用レジスタ RL（R0L～R7L）として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

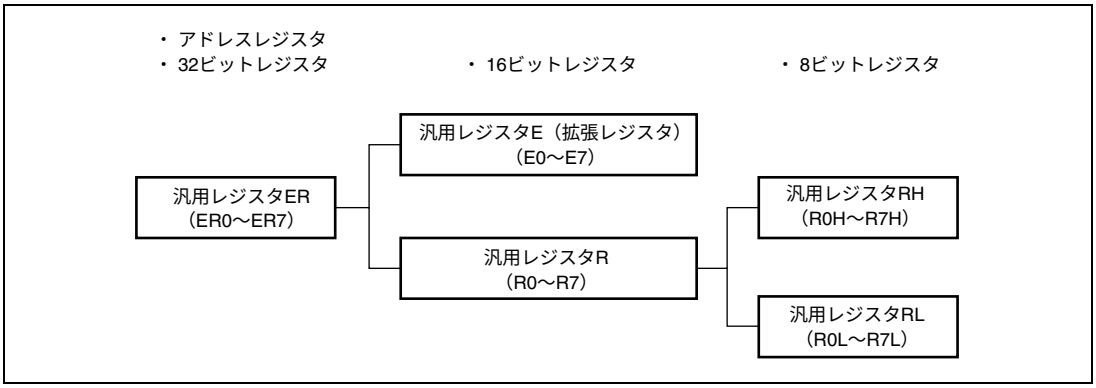


図 2.7 汎用レジスタの使用方法

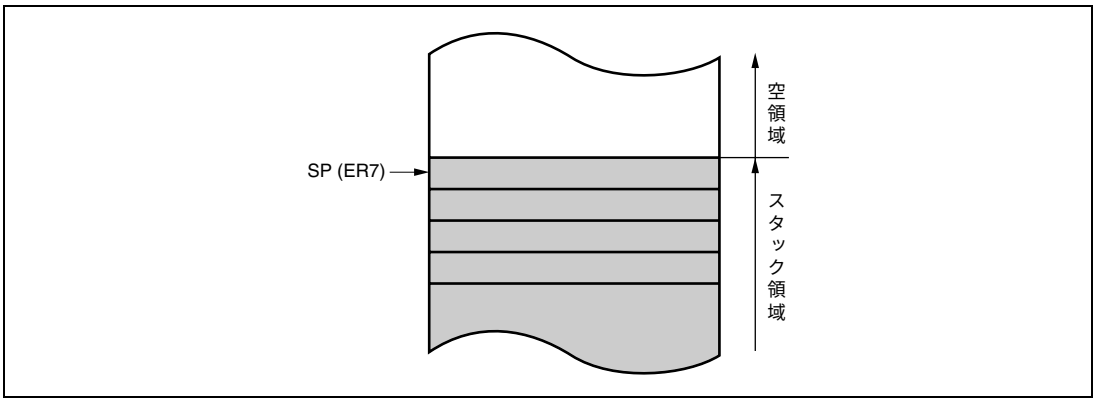


図 2.8　スタックの状態

2.4.2　プログラムカウンタ（PC）

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時は最下位ビットは 0 とみなされます）。

2.4.3　エクステンドレジスタ（EXR）

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説　明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行するごとにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6～3	―	1	―	リザーブビット リードすると常に 1 が読み出されます。
2～0	I2 I1 I0	1 1 1	R/W R/W R/W	割り込み要求マスクレベル（0～7）を指定します。本 LSI では、割り込みマスクレベルとしては使用できません。

2.4.4　コンディションコードレジスタ（CCR）

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令（Bcc）で使用されます。

ビット	ビット名	初期値	R/W	説　　明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章　割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット／割り込みマスクビット ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード／ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード／ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 • 加算結果のキャリ • 減算結果のボロー • シフト／ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（n＝0,1,2,……,7）という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

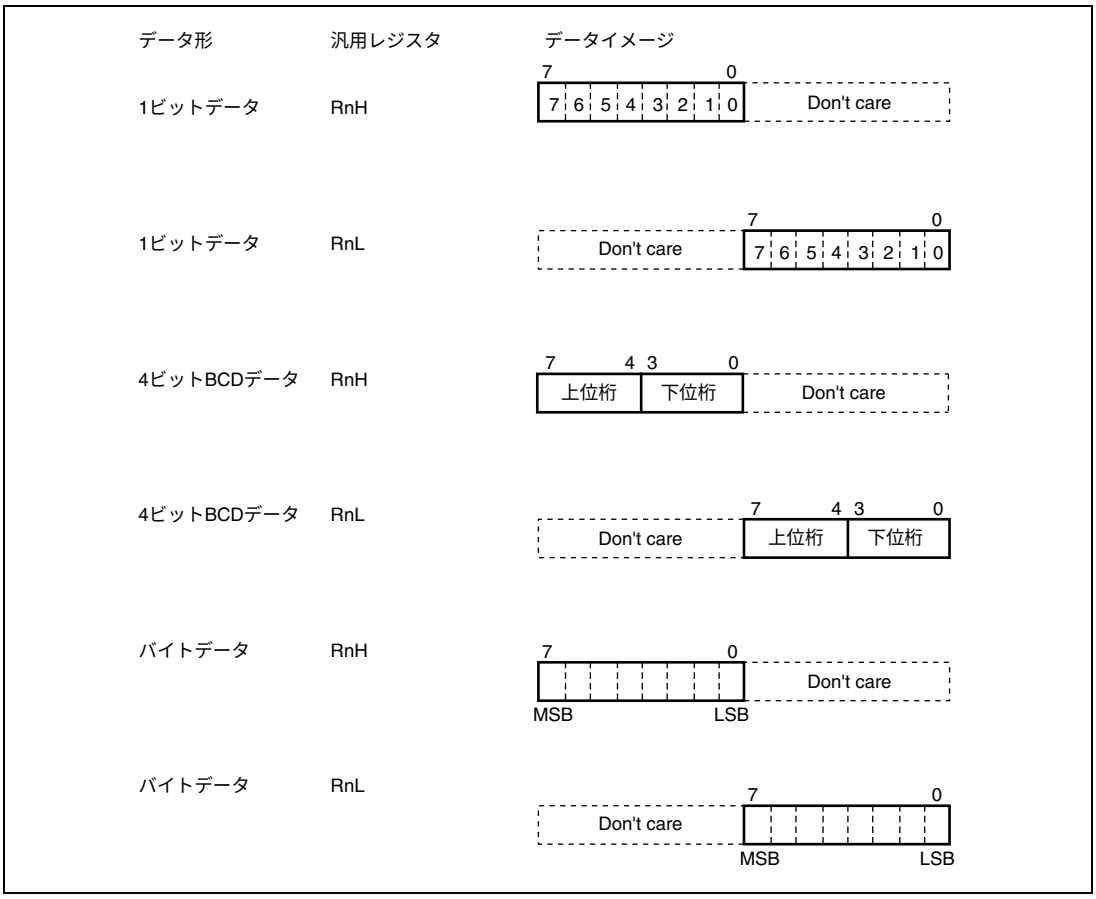


図 2.9　汎用レジスタのデータ形式（1）

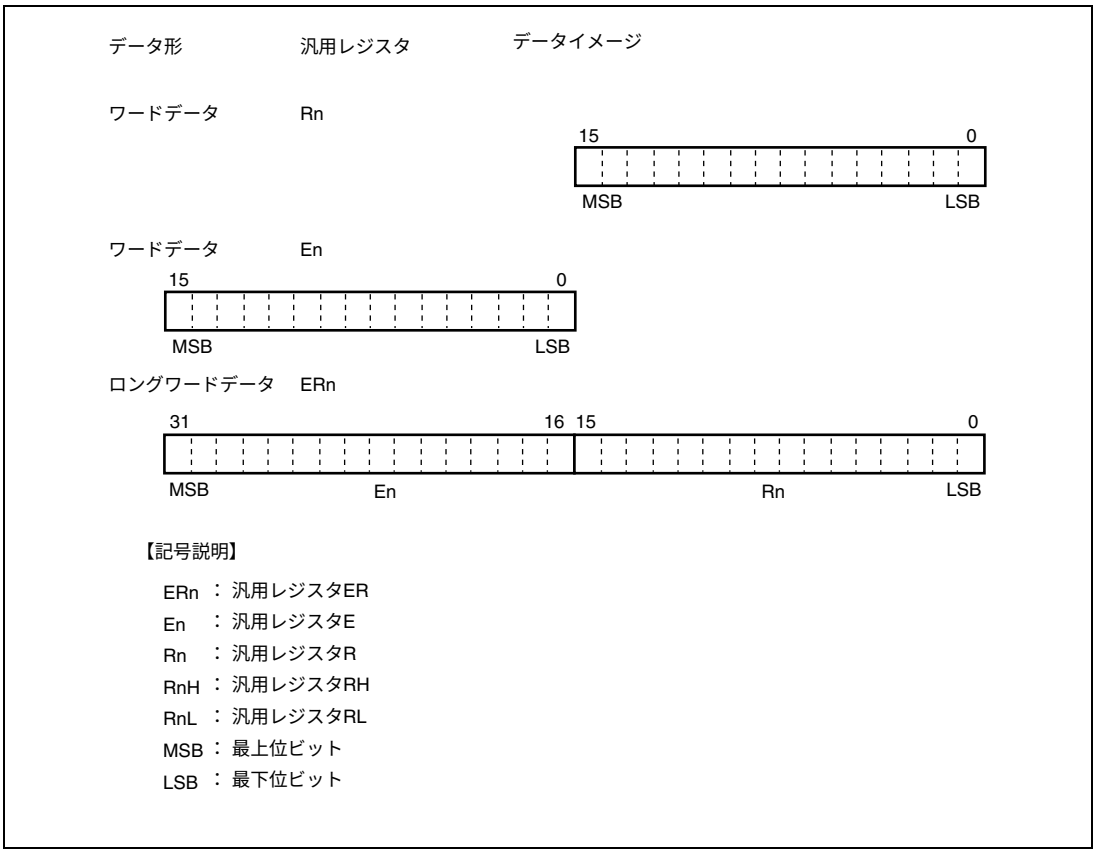


図 2.9　汎用レジスタのデータ形式（2）

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ／ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ／ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP（ER7）をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

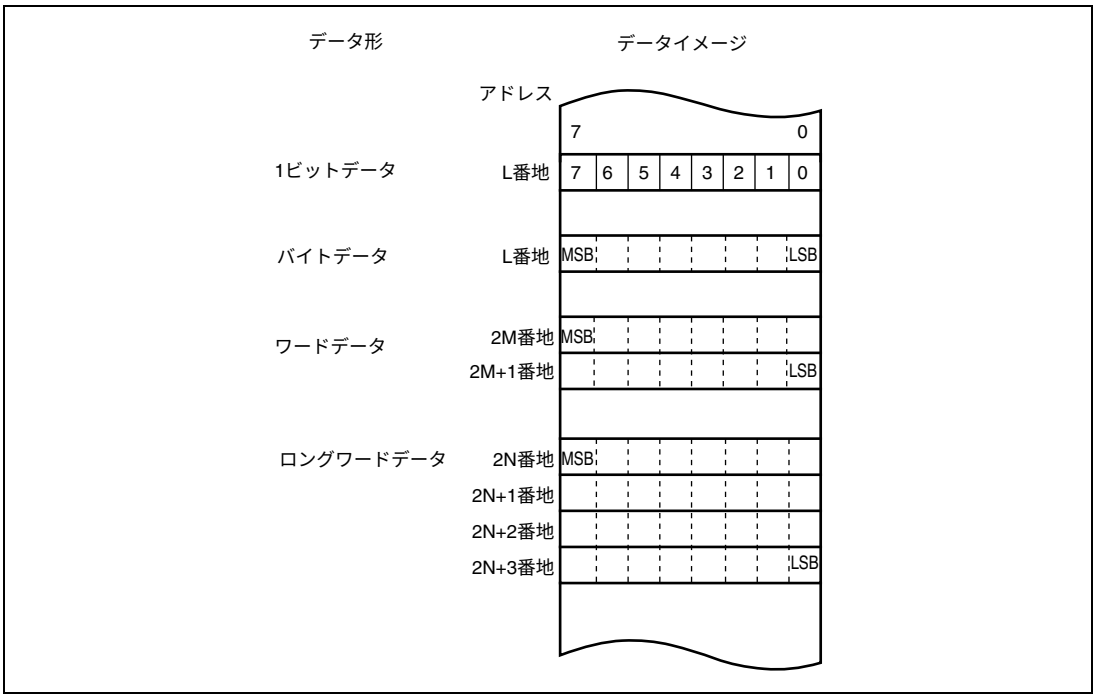


図 2.10　メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分 類	命 令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP *1, PUSH *1	W/L	
	LDM, STM	L	
	MOVFPE*3, MOVTPE*3	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS*4	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc *2, JMP, BSR, JSR, RTS	―	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	―	9
ブロック転送命令	EEPMOV	―	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説　　明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
＋	加算
－	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
～	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3　データ転送命令

命令	サイズ*	機　　能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPE	B	本 LSI では使用できません。
MOVTPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W　Rn は MOV.W　@SP+, Rn と、また、 POP.L　ERn は MOV.L　@SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W　Rn は MOV.W　Rn, @-SP と同一です。 PUSH.L　ERn は MOV.L　ERn, @-SP と同一です。
LDM	L	@SP+→Rn（レジスタ群） スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn（レジスタ群）→@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4　算術演算命令（1）

命令	サイズ*	機　　能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±＃IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1､2､または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4　算術演算命令（2）

命令	サイズ*1	機　　能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd－Rs、Rd－#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0－Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd－0、1 →（＜ビット 7＞of @ERd） メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】　*1　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2　TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5　論理演算命令

命令	サイズ*	機　　能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	～Rd→Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6　シフト命令

命令	サイズ*	機　　能
SHAL SHAR	B/W/L	Rd（シフト処理）→Rd 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd（シフト処理）→Rd 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd（ローテート処理）→Rd 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd（ローテート処理）→Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7　ビット操作命令（1）

命令	サイズ*	機　　能
BSET	B	1→（<ビット番号>of<EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→（<ビット番号>of<EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	～（<ビット番号>of<EAd>）→（<ビット番号>of<EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	～（<ビット番号>of<EAd>）→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C∧（<ビット番号>of<EAd>）→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧〔～（<ビット番号>of<EAd>）〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C∨（<ビット番号>of<EAd>）→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨〔～（<ビット番号>of<EAd>）〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

表 2.7　ビット操作命令（2）

命令	サイズ*	機　　能
BXOR	B	C⊕（<ビット番号>of<EAd>）→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕〔～（<ビット番号>of<EAd>）〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	（<ビット番号>of<EAd>）→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	～（<ビット番号>of<EAd>）→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C→（<ビット番号>of<EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	～C→（<ビット番号>of<EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

表 2.8　分岐命令

<table>
<tr><th>命令</th><th>サイズ</th><th>機　　能</th></tr>
<tr><td>Bcc</td><td>－</td><td>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。
<table>
<tr><th>ニーモニック</th><th>説　明</th><th>分岐条件</th></tr>
<tr><td>BRA（BT）</td><td>Always（True）</td><td>Always</td></tr>
<tr><td>BRN（BF）</td><td>Never（False）</td><td>Never</td></tr>
<tr><td>BHI</td><td>HIgh</td><td>C∨Z＝0</td></tr>
<tr><td>BLS</td><td>Low or Same</td><td>C∨Z＝1</td></tr>
<tr><td>BCC（BHS）</td><td>Carry Clear（High or Same）</td><td>C＝0</td></tr>
<tr><td>BCS（BLO）</td><td>Carry Set（Low）</td><td>C＝1</td></tr>
<tr><td>BNE</td><td>Not Equal</td><td>Z＝0</td></tr>
<tr><td>BEQ</td><td>EQual</td><td>Z＝1</td></tr>
<tr><td>BVC</td><td>oVerflow Clear</td><td>V＝0</td></tr>
<tr><td>BVS</td><td>oVerflow Set</td><td>V＝1</td></tr>
<tr><td>BPL</td><td>PLus</td><td>N＝0</td></tr>
<tr><td>BMI</td><td>MInus</td><td>N＝1</td></tr>
<tr><td>BGE</td><td>Greater or Equal</td><td>N⊕V＝0</td></tr>
<tr><td>BLT</td><td>Less Than</td><td>N⊕V＝1</td></tr>
<tr><td>BGT</td><td>Greater Than</td><td>Z∨（N⊕V）＝0</td></tr>
<tr><td>BLE</td><td>Less or Equal</td><td>Z∨（N⊕V）＝1</td></tr>
</table></td></tr>
<tr><td>JMP</td><td>－</td><td>指定されたアドレスへ無条件に分岐します。</td></tr>
<tr><td>BSR</td><td>－</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>JSR</td><td>－</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>RTS</td><td>－</td><td>サブルーチンから復帰します。</td></tr>
</table>

表 2.9　システム制御命令

命令	サイズ*	機　　能
TRAPA	－	命令トラップ例外処理を行います。
RTE	－	例外処理ルーチンから復帰します。
SLEEP	－	低消費電力状態に遷移します。
LDC	B/W	（Eas）→CCR、（Eas）→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→（Ead）、EXR→（Ead） CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	－	PC+2→PC PC のインクリメントだけを行います。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10　ブロック転送命令

命令	サイズ	機　　能
EEPMOV.B	－	if R4L≠0 then 　Repeat @ER5+→@ER6+ 　　R4L－1→R4L 　Until R4L＝0 else next;
EEPMOV.W	－	if R4≠0 then 　Repeat @ER5+→@ER6+ 　　R4－1→R4 　Until R4＝0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

  命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

  汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

  イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

  Bcc命令の分岐条件を指定します。

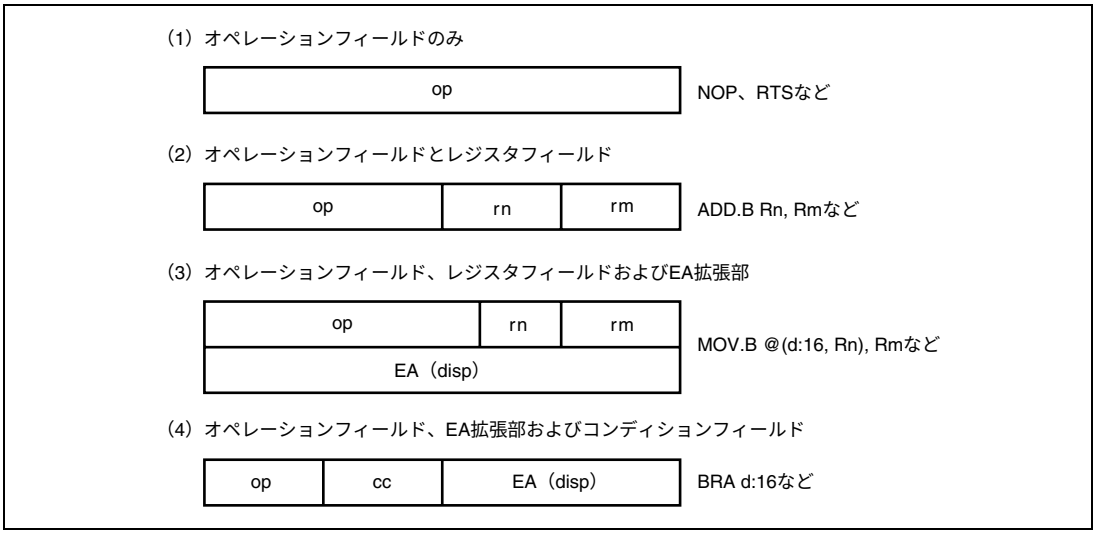


図 2.11　命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.11　アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)／@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8／@aa:16／@aa:24／@aa:32
6	イミディエイト	#xx:8／#xx:16／#xx:32
7	プログラムカウンタ相対	@(d:8,PC)／@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接　Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）がオペランドとなります。8 ビットレジスタとしては R0H～R7H、R0L～R7L を指定可能です。16 ビットレジスタとしては R0～R7、E0～E7 を指定可能です。32 ビットレジスタとしては ER0～ER7 を指定可能です。

2.7.2 レジスタ間接　@ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0（H'00）とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接　@（d:16,ERn）／@（d:32,ERn）

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接 @ERn+／プリデクリメントレジスタ間接@-ERn

（1） ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

（2） プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8／@aa:16／@aa:24／@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット（@aa:8）、16 ビット（@aa:16）、24 ビット（@aa:24）、または 32 ビット（@aa:32）です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット（@aa:8）、16 ビット（@aa:16）、または 32 ビット（@aa:32）を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1（H'FFFF）となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット（@aa:24）を使用します。上位 8 ビットはすべて 0（H'00）となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンストモード
データ領域	8 ビット（@aa:8）	H'FF00～H'FFFF	H'FFFF00～H'FFFFFF
	16 ビット（@aa:16）	H'0000～H'FFFF	H'000000～H'007FFF、 H'FF8000～H'FFFFFF
	32 ビット（@aa:32）		H'000000～H'FFFFFF
プログラム領域	24 ビット（@aa:24）		

2.7.6 イミディエイト #xx:8／#xx:16／#xx:32

命令コード中に含まれる 8 ビット（#xx:8）、16 ビット（#xx:16）、または 32 ビット（#xx:32）のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @（d:8, PC）／@（d:16, PC）

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0（H'00）とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して－126～＋128 バイト（－63～＋64 ワード）または－32766～＋32768 バイト（－16383～＋16384 ワード）です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0～255（ノーマルモードのとき H'0000～H'00FF、アドバンストモードのとき H'000000～H'0000FF）番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0（H'00）とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ形式」を参照してください）。

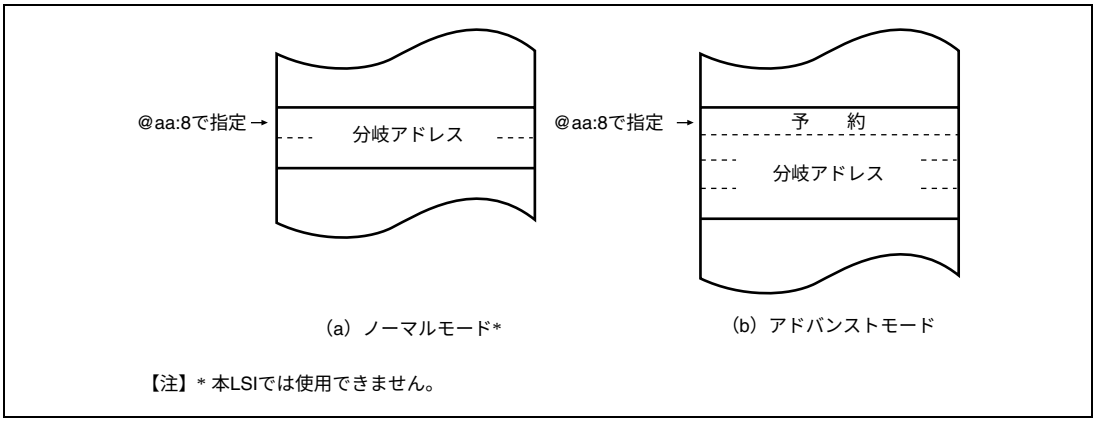


図 2.12　メモリ間接による分岐アドレスの指定

2.7.9　実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13　実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） op　rm　rn		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） op　r	31　0 汎用レジスタの内容	31　24 23　0 Don't care
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) ／ @(d:32,ERn) op　r　disp	31　0 汎用レジスタの内容 31　0 符号拡張　disp	31　24 23　0 Don't care
4	ポストインクリメントレジスタ間接／プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接　@ERn+ op　r ・プリデクリメントレジスタ間接　@-ERn op　r	31　0 汎用レジスタの内容 1、2または4 31　0 汎用レジスタの内容 1、2または4 オペランドサイズ：加減算される値 バイト：1 ワード：2 ロングワード：4	31　24 23　0 Don't care 31　24 23　0 Don't care

表 2.13　実行アドレスの計算方法（2）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
5	絶対アドレス @aa:8 op　abs		31　24 23　8 7　0 Don't care　H'FFFF
	@aa:16 op　abs		31　24 23　16 15　0 Don't care　符号拡張
	@aa:24 op　abs		31　24 23　0 Don't care
	@aa:32 op abs		31　24 23　0 Don't care
6	イミディエイト #xx:8／#xx:16／#xx:32 op　IMM	オペランドはイミディエイトデータです。	
7	プログラムカウンタ相対 @(d:8,PC)／@(d:16,PC) op　disp	23　0 PCの内容 23　0 符号拡張　disp	31　24 23　0 Don't care
8	メモリ間接　@@aa:8 ・ノーマルモード* op　abs	31　8 7　0 H'000000　abs 15　0 メモリの内容	31　24 23　16 15　0 Don't care　H'00
	・アドバンストモード op　abs	31　8 7　0 H'000000　abs 31　0 メモリの内容	31　24 23　0 Don't care

【注】 * 本LSIでは使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、およびプログラム停止状態の 4 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

  CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第４章　例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

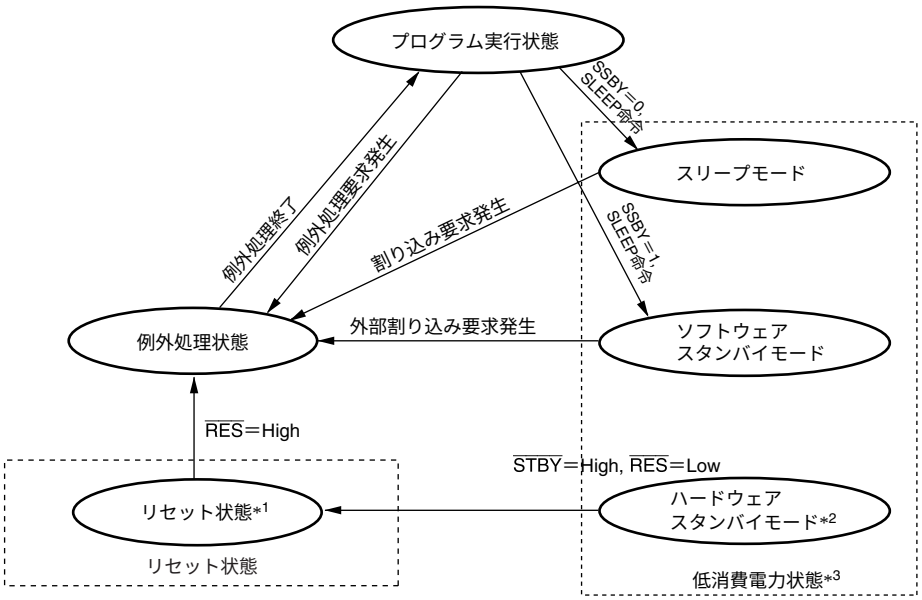
  例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章　例外処理」を参照してください。

- プログラム実行状態

  CPUがプログラムを順次実行している状態です。

- プログラム停止状態（低消費電力状態）

  CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第16章　低消費電力状態」を参照してください。



【注】*1　ハードウェアスタンバイモードを除くすべての状態において、RES端子が Lowレベルになるとリセット状態に遷移します。また、ウォッチドッグタイマのオーバフローによっても、リセット状態に遷移させせることができます。

*2　すべての状態においてSTBY端子がLowレベルになると、ハードウェアスタンバイモードに遷移します。

*3　詳細は「第16章　低消費電力状態」を参照してください。

図 2.13　状態遷移図

2.9　使用上の注意事項

2.9.1　ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI は、動作モード 2 のみサポートしています。動作モードは、モード端子（$\overline{\text{MD2}}$、MD1）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1　MCU 動作モードの選択

MCU 動作モード	$\overline{\text{MD2}}$	MD1	CPU 動作モード	内容	内蔵 ROM
2	1	1	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効

モード 2 は、リセット後はシングルチップモードで動作を開始します。MDCR の EXPE ビットを 1 にセットすることにより拡張モードに移行することができます。

モード 0、1、3、5、7 は、本 LSI では使用できません。モード 4、6 は、特殊な動作モードです。したがって、通常のプログラム実行状態では、モード端子は必ずモード 2 になるように設定してください。また、モード端子は動作中に変化させないでください。

モード 4 は、フラッシュメモリの書き込み／消去を行うためのブートモードです。

モード 6 は、オンチップエミュレーションモードです。JTAG インタフェースを用いてオンチップエミュレータ（E10A）により制御され、オンチップエミュレーションが可能です。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ（MDCR）
- システムコントロールレジスタ（SYSCR）

3.2.1 モードコントロールレジスタ（MDCR）

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説　明
7	EXPE	0	R/W	拡張モードイネーブル 拡張モードを設定します。 0：シングルチップモード 1：拡張モード
6～3	—	すべて 0	R	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。
2 1	MDS2 MDS1	—* —*	R R	モードセレクト 2、1 モード端子（$\overline{\text{MD2}}$、MD1）の入力レベルを反映した値（現在の動作モード）を示しています。MDS2、MDS1 ビットは $\overline{\text{MD2}}$、MD1 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子（$\overline{\text{MD2}}$、MD1）の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
0	—	0	R	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

【注】 * $\overline{\text{MD2}}$、MD1 端子により決定されます

3.2.2　システムコントロールレジスタ（SYSCR）

SYSCR は、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説　明
7 6	— —	0 0	R/W R/W	リザーブビット 初期値を変更しないでください。
5 4	INTM1 INTM0	0 0	R R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6　割り込み制御モードと割り込み動作」を参照してください。 00：割り込み制御モード 0 01：割り込み制御モード 1 10：設定禁止 11：設定禁止
3	XRST	1	R	外部リセット リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバフローにより発生できます。 0：ウォッチドッグタイマオーバフローで発生 1：外部リセットで発生
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生
1	—	0	R/W	リザーブビット 初期値を変更しないでください。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したときに初期化されます。 0：内蔵 RAM 無効 1：内蔵 RAM 有効

3.3　各動作モードの説明

3.3.1　モード 2

CPU はアドバンストモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。

拡張モードでは、ポート 6、7 はリセット後、入力ポートになっています。対応するポートファンクションコントロールレジスタ 1（PFCR1）の AHOE、AMOE、ALOE ビットを 1 にセットすることによりアドレスバスを出力できます。ポート 5、8 がデータバス、ポート 9、A の一部がバス制御信号となります。

3.3.2　端子機能

動作モード 2 における端子機能の一覧を表 3.2 に示します。

表 3.2　動作モード 2 における端子機能

ポート		モード 2
ポート 5		入出力ポート*／データバス入出力
ポート 6		入出力ポート*／アドレスバス出力
ポート 7		入出力ポート*／アドレスバス出力
ポート 8		入出力ポート*／データバス入出力
ポート 9	P97	入出力ポート*／クロック入出力
	P96～P90	入力ポート*／制御信号出力
ポート A	PA3～PA1	入出力ポート*／アドレスバス出力／制御信号出力
	PA0	入出力ポート*／アドレスバス出力

【記号説明】* リセット直後

3.4　アドレスマップ

各動作モードのアドレスマップを図 3.1 に示します。

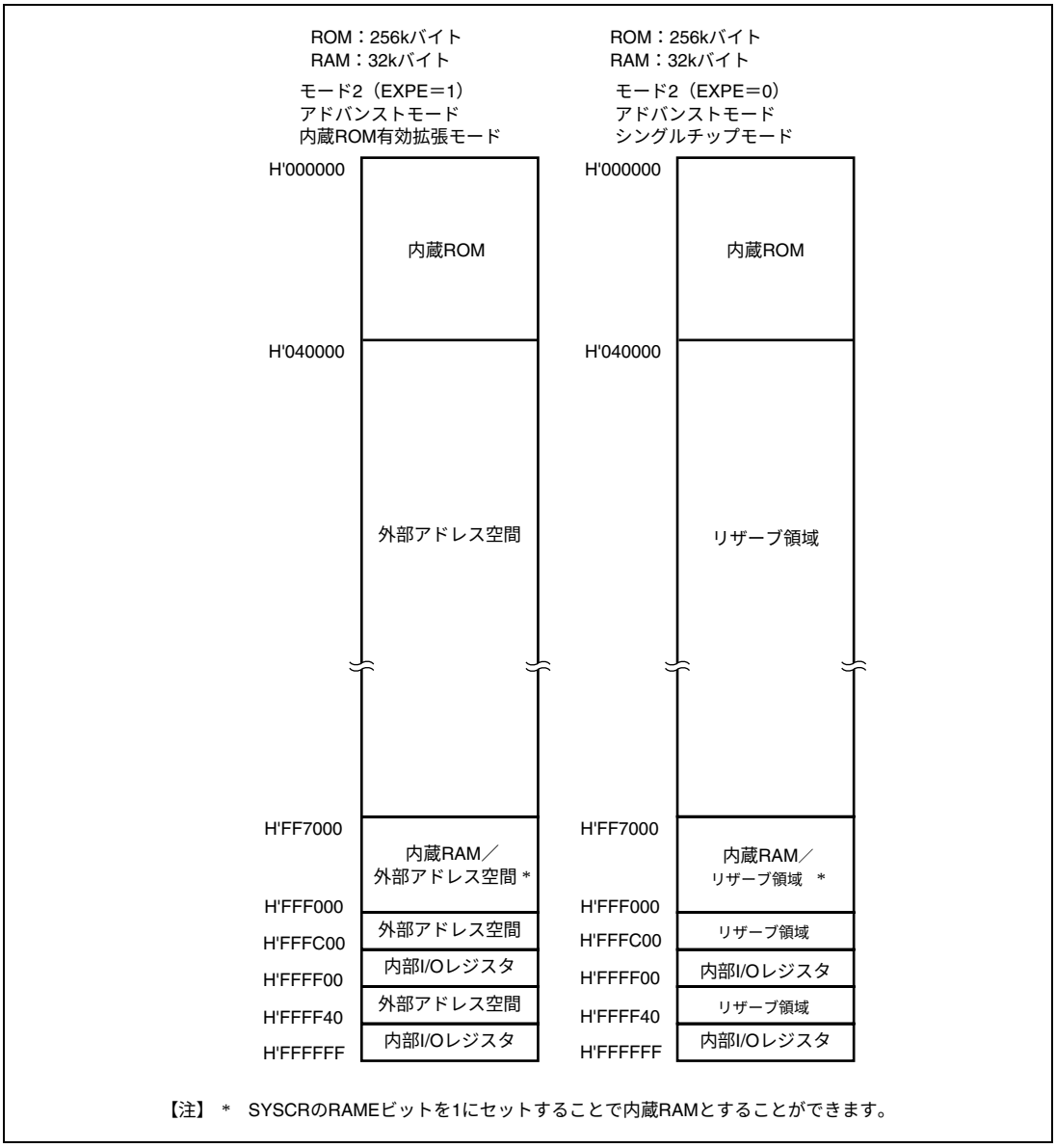


図 3.1　アドレスマップ

4.　例外処理

4.1　例外処理の種類と優先度

例外処理要因には表 4.1 に示すようにリセット、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 4.1　例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバフローにより開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
低	トラップ命令	トラップ（TRAPA）命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.2　例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2　例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス
		アドバンストモード
リセット	0	H'000000～H'000003
システム予約	1 ｜ 6	H'000004～H'000007 ｜ H'000018～H00001B
外部割り込み NMI	7	H'00001C～H'00001F
トラップ命令（4 要因）	8 9 10 11	H'000020～H'000023 H'000024～H'000027 H'000028～H'00002B H'00002C～H'00002F
システム予約	12 ｜ 15	H'000030～H'000033 ｜ H'00003C～H'00003F
外部割り込み IRQ0 外部割り込み IRQ1 外部割り込み IRQ2 外部割り込み IRQ3 外部割り込み IRQ4 外部割り込み IRQ5 外部割り込み IRQ6 外部割り込み IRQ7	16 17 18 19 20 21 22 23	H'000040～H'000043 H'000044～H'000047 H'000048～H'00004B H'00004C～H'00004F H'000050～H'000053 H'000054～H'000057 H'000058～H'00005B H'00005C～H'00005F
内部割り込み*	24 ｜ 110	H'000060～H'000063 ｜ H'0001B8～H'0001BB

【注】　*　内部割り込みのベクタテーブルは「5.5　割り込み例外処理ベクタテーブル」を参照してください。

4.3　リセット

リセットは、最も優先順位の高い例外処理です。$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、$\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 10 章　ウォッチドッグタイマ（WDT）」を参照してください。

4.3.1　　リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

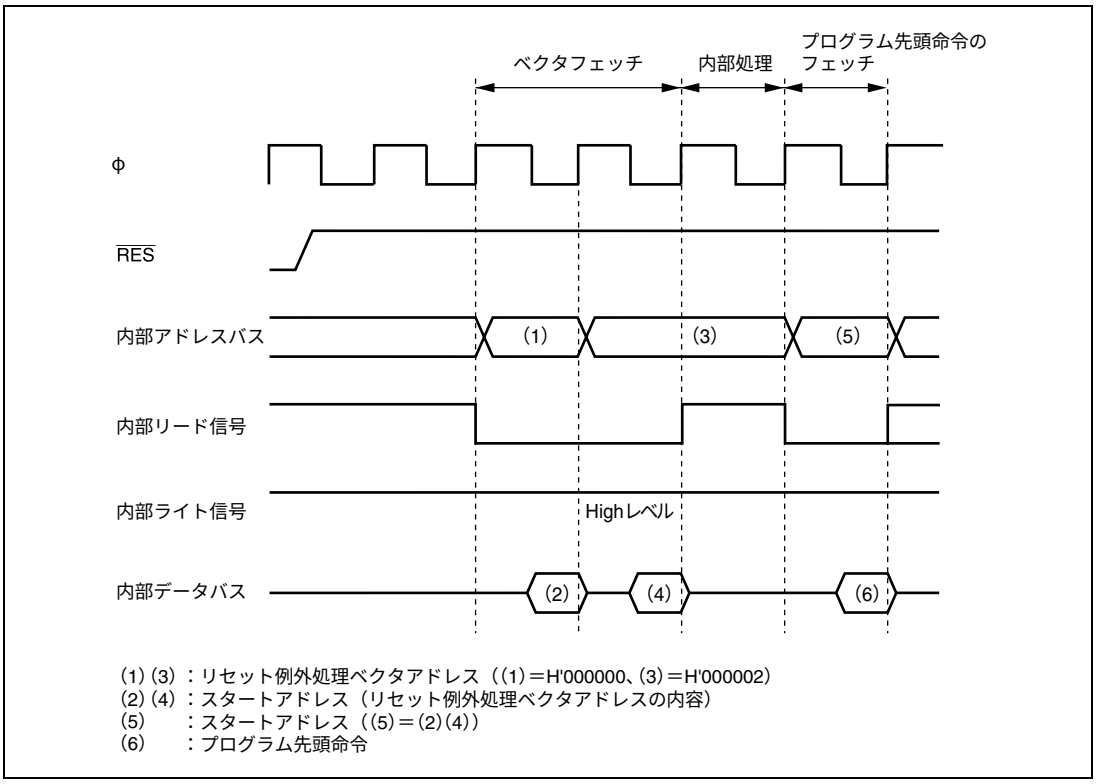


図 4.1　リセットシーケンス

4.3.2　　リセット直後の割り込み

リセット直後、スタックポインタ（SP）を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください（例：MOV.L　#xx：32, SP）。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ（MSTPCR）は初期化され、DMAC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード／ライトできません。モジュールストップモードを解除することにより、レジスタのリード／ライトが可能となります。

4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因（NMI、IRQ7～IRQ0）と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は「第 5 章　割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.3　トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1 にセット	実行前の値を保持
1	1 にセット	1 にセット

4.6　例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

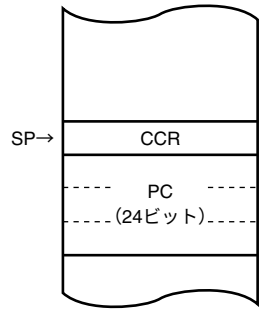


図 4.2　例外処理終了後のスタックの状態

4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は

PUSH.W Rn （MOV.W Rn, @-SP）

PUSH.L ERn （MOV.L ERn, @-SP）

また、レジスタの復帰は

POP.W Rn （MOV.W @SP+, Rn）

POP.L ERn （MOV.L @SP+, ERn）

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したときの動作例を図 4.3 に示します。

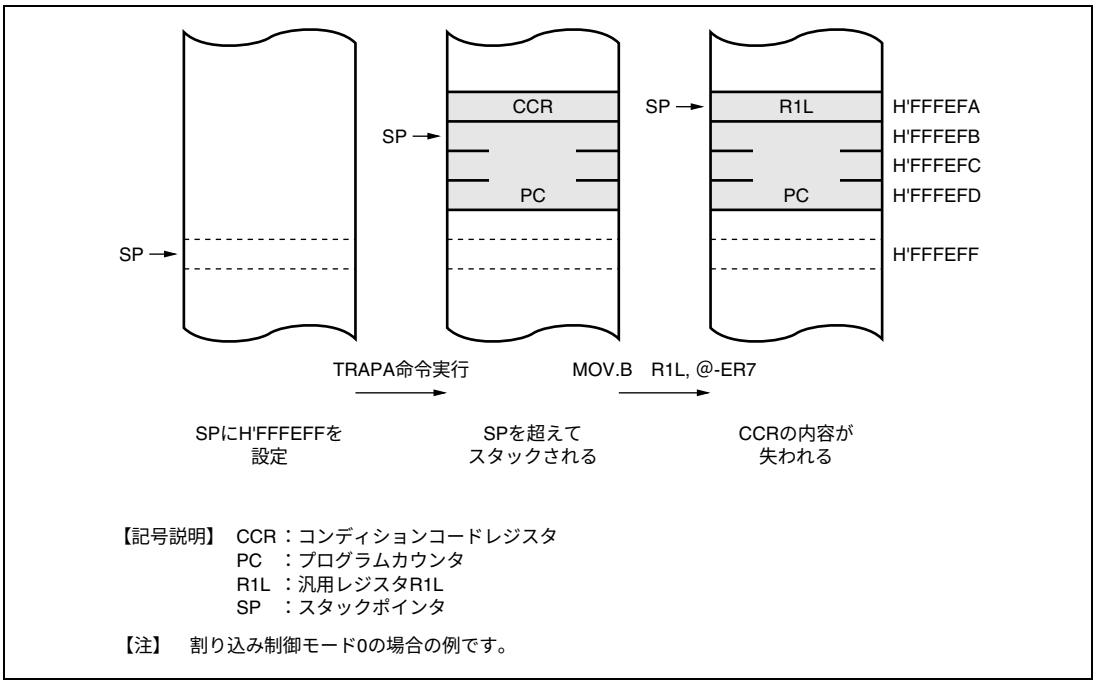


図 4.3 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

  システムコントロールレジスタ（SYSCR）のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。

- ICRにより、優先順位を設定可能

  インタラプトコントロールレジスタ（ICR）により、NMI以外の割り込み要求にはモジュールごとに3レベルの優先順位を設定できます。

- 独立したベクタアドレス

  すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 9本の外部割り込み端子

  NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。$\overline{\text{IRQ7}}$～$\overline{\text{IRQ0}}$は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

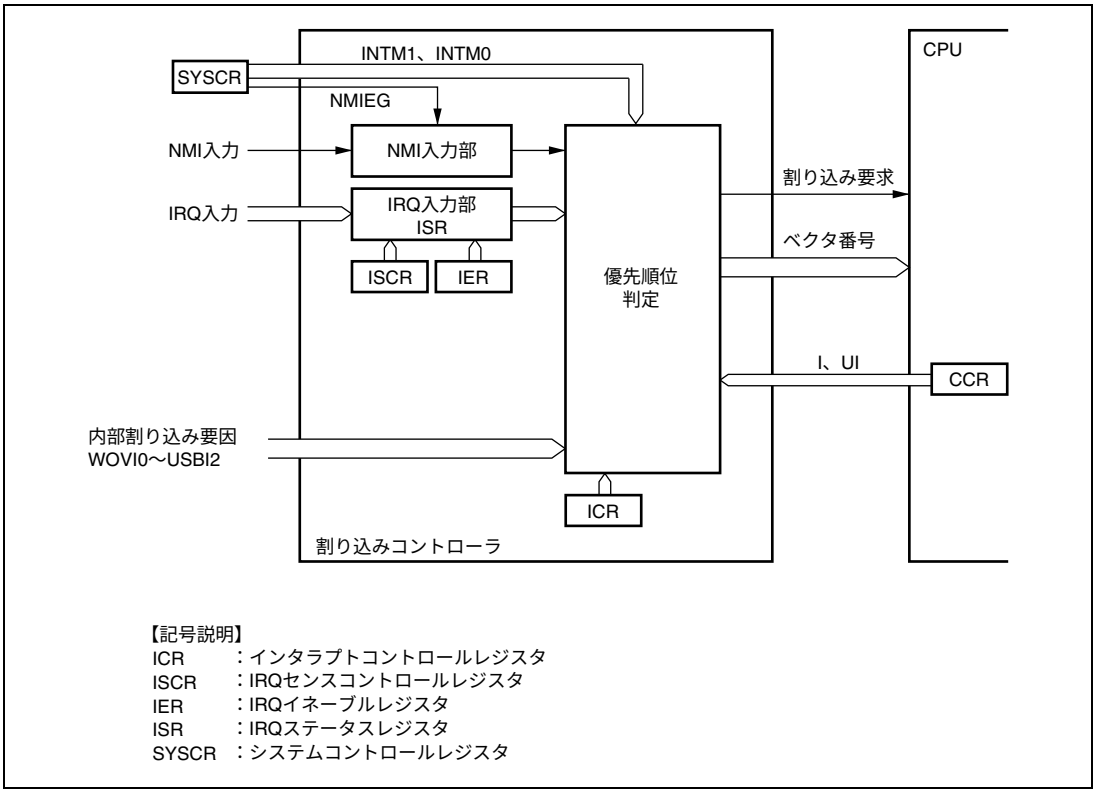


図 5.1　割り込みコントローラのブロック図

5.2　入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1　端子構成

記　号	入出力	機　能
NMI	入力	ノンマスカブル外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
$\overline{IRQ7}$～$\overline{IRQ0}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。IRQn 割り込みは、$\overline{IRQn}$ と（$\overline{IRQn}$）どの端子から入力するかを選択できます。（n＝7～0）

5.3　レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ（SYSCR）については「3.2.2 システムコントロールレジスタ（SYSCR）」を、IRQ センスポートセレクトレジスタ（ISSR）については「8.11.2　IRQ センスポートセレクトレジスタ（ISSR）」を参照してください。

- インタラプトコントロールレジスタA～C（ICRA～ICRC）
- アドレスブレークコントロールレジスタ（ABRKCR）
- ブレークアドレスレジスタA～C（PBARA～PBARC）
- IRQセンスコントロールレジスタH、L（ISCRH、ISCRL）
- IRQイネーブルレジスタ（IER）
- IRQステータスレジスタ（ISR）

5.3.1　インタラプトコントロールレジスタ A～C（ICRA～ICRC）

ICR は、NMI を除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA～ICRC の対応を表 5.2 に示します。

ビット	ビット名	初期値	R/W	説　明
7～0	ICRn7 ～ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0：対応する割り込み要因は割り込みコントロールレベル 0（非優先） 1：対応する割り込み要因は割り込みコントロールレベル 1（優先）

【記号説明】 n：A～C

表 5.2　各割り込み要因と ICR の対応

ビット	ビット名	レジスタ		
		ICRA	ICRB	ICRC
7	ICRn7	IRQ0	－	SCI
6	ICRn6	IRQ1	サスペンド復帰割り込み	－
5	ICRn5	IRQ2、IRQ3	DMAC	－
4	ICRn4	IRQ4、IRQ5	－	－
3	ICRn3	IRQ6、IRQ7	TMR_0	－
2	ICRn2	－	TMR_1	－
1	ICRn1	WDT	－	－
0	ICRn0	リフレッシュタイマ	－	USB

【記号説明】　n：A～C

－：リザーブビットです。0 をライトしてください。

5.3.2 アドレスブレークコントロールレジスタ（ABRKCR）

ABRKCR は、アドレスブレークの制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブレークが要求されます。

ビット	ビット名	初期値	R/W	説　明
7	CMF	不定	R	コンディションマッチフラグ アドレスブレーク要因フラグです。PBARA～PBARC で設定したアドレスをプリフェッチしたことを示します。 ［クリア条件］ アドレスブレーク割り込みを例外処理を実行したとき ［セット条件］ BIE フラグが 1 のとき、PBARA～PBARC で設定したアドレスのプリフェッチを実行したとき
6～1	―	すべて 0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。
0	BIE	0	R/W	ブレーク割り込みイネーブル アドレスブレークの許可/禁止を選択します。 0：禁止 1：許可

5.3.3 ブレークアドレスレジスタ A～C（PBARA～PBARC）

PBAR は、ブレークアドレスを発生させるアドレスを指定します。ブレークアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。

- PBARA

ビット	ビット名	初期値	R/W	説　明
7～0	A23～A16	すべて 0	R/W	アドレス 23～16 A23～A16 ビットは、内部アドレスバスの A23～A16 と比較されます。

- PBARB

ビット	ビット名	初期値	R/W	説　明
7～0	A15～A8	すべて 0	R/W	アドレス 15～8 A15～A8 ビットは、内部アドレスバスの A15～A8 と比較されます。

- PBARC

ビット	ビット名	初期値	R/W	説　明
7～1	A7～A1	すべて 0	R/W	アドレス 7～1 A7～A1 ビットは、内部アドレスバスの A7～A1 と比較されます。
0	―	0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。

5.3.4　IRQ センスコントロールレジスタ H、L（ISCRH、ISCRL）

ISCR は、$\overline{\text{IRQ7}}$～$\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

なお、$\overline{\text{IRQ7}}$～$\overline{\text{IRQ0}}$ 端子は入力端子を切り替えられます。入力端子の切り替えは、IRQ センスポートセレクトレジスタ（ISSR）で行います。

- ISCRH

ビット	ビット名	初期値	R/W	説　明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B
6	IRQ7SCA	0	R/W	IRQn センスコントロール A
5	IRQ6SCB	0	R/W	00：$\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生
4	IRQ6SCA	0	R/W	01：$\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
3	IRQ5SCB	0	R/W	10：$\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
2	IRQ5SCA	0	R/W	11：$\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ4SCB	0	R/W	（n=7～4）
0	IRQ4SCA	0	R/W	

- ISCRL

ビット	ビット名	初期値	R/W	説　明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B
6	IRQ3SCA	0	R/W	IRQn センスコントロール A
5	IRQ2SCB	0	R/W	00：$\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生
4	IRQ2SCA	0	R/W	01：$\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
3	IRQ1SCB	0	R/W	10：$\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	11：$\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SCB	0	R/W	（n=3～0）
0	IRQ0SCA	0	R/W	

5.3.5　IRQ イネーブルレジスタ（IER）

IER は、IRQ7～IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説　明
7	IRQ7E	0	R/W	IRQn イネーブル（n=7～0）
6	IRQ6E	0	R/W	このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

5.3.6 IRQ ステータスレジスタ（ISR）

ISR は、IRQ7～IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説　明
7	IRQ7F	0	R/W	［セット条件］
6	IRQ6F	0	R/W	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/W	［クリア条件］
4	IRQ4F	0	R/W	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態で、割り込み例外処理を実行したとき（n=7～0）
2	IRQ2F	0	R/W	
1	IRQ1F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
0	IRQ0F	0	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7～IRQ0 の割り込み要因があります。これらは、すべてソフトウェアスタンバイモードからの復帰に使用できます。

（1） NMI 割り込み

ノンマスカブル割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

（2） IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ7}}$～$\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ7～IRQ0 割り込みには以下の特長があります。

- IRQ7～IRQ0割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ7}}$～$\overline{\text{IRQ0}}$端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQ7～IRQ0割り込み要求はIERによりマスクできます。
- IRQ7～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ7～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ7～IRQ0 割り込みのブロック図を図 5.2 に示します。

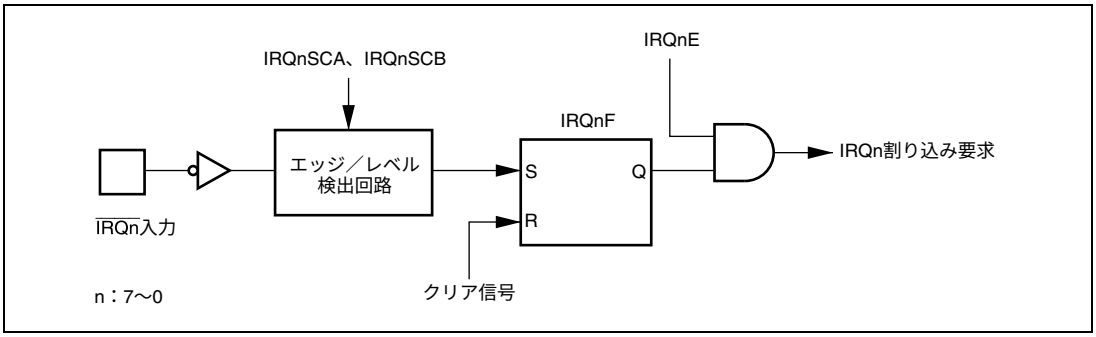


図 5.2　IRQ7～IRQ0 割り込みのブロック図

5.4.2　内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。

5.5　割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1（優先）に設定したモジュールの割り込みは、コントロールレベル 0（非優先）に設定したモジュールの割り込みより優先して処理できます。

表 5.3　割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名　　称	ベクタ番号	ベクタアドレス	ICR	優先順位
外部端子	NMI	7	H'00001C	―	高
	IRQ0	16	H'000040	ICRA7	↑
	IRQ1	17	H'000044	ICRA6	
	IRQ2 IRQ3	18 19	H'000048 H'00004C	ICRA5	
	IRQ4 IRQ5	20 21	H'000050 H'000054	ICRA4	
	IRQ6 IRQ7	22 23	H'000058 H'00005C	ICRA3	
―	システム予約	24	H'000060	―	
WDT	WOVI0（インターバルタイマ）	25	H'000064	ICRA1	
リフレッシュタイマ	CMI（コンペアマッチ）	26	H'000068	ICRA0	
―	アドレスブレーク	27	H'00006C	―	
―	システム予約	28 29	H'000070 H'000074	―	
外部端子	SUSRI（サスペンド復帰割り込み）	30	H'000078	ICRB6	
―	システム予約	31 ～ 33	H'00007C ～ H'000084	―	
DMAC	DEND0 DEND1 DEND2 DEND3	34 35 36 37	H'000088 H'00008C H'000090 H'000094	ICRB5	
―	システム予約	38 ～ 63	H'000098 ～ H'0000FC	―	
TMR_0	CMIA0（コンペアマッチ A） CMIB0（コンペアマッチ B） OVI0（オーバフロー） システム予約	64 65 66 67	H'000100 H'000104 H'000108 H'00010C	ICRB3	低

割り込み要因発生元	名　　称	ベクタ番号	ベクタアドレス	ICR	優先順位
TMR_1	CMIA1（コンペアマッチ A） CMIB1（コンペアマッチ B） OVI1（オーバフロー） システム予約	68 69 70 71	H'000110 H'000114 H'000118 H'00011C	ICRB2	高
－	システム予約	72 ～ 79	H'000120 ～ H'00013C	－	
SCI	ERI0（受信エラー0） RXI0（受信完了 0） TXI0（送信データエンプティ 0） TEI0（送信終了 0）	80 81 82 83	H'000140 H'000144 H'000148 H'00014C	ICRC7	
－	システム予約	84 ～ 107	H'000150 ～ H'00001AC	－	
USB2	USBI1 USBI0 USBI2 システム予約	108 109 110 111	H'0001B0 H'0001B4 H'0001B8 H'0001BC	ICRC0	低

5.6　割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード 0 と割り込み制御モード 1 の 2 種類のモードがあり、割り込み制御モードによって動作が異なります。NMI 割り込みおよびアドレスブレーク割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択は SYSCR で行います。表 5.4 に割り込み制御モードを示します。

表 5.4　割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説　　明
	INTM1	INTM0			
0	0	0	ICR	I	I ビットにより割り込みマスク制御を行います。ICR により優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより 3 レベルの割り込みマスク制御を行います。ICR により優先順位の設定ができます。

図 5.3 に優先順位判定回路のブロック図を示します。

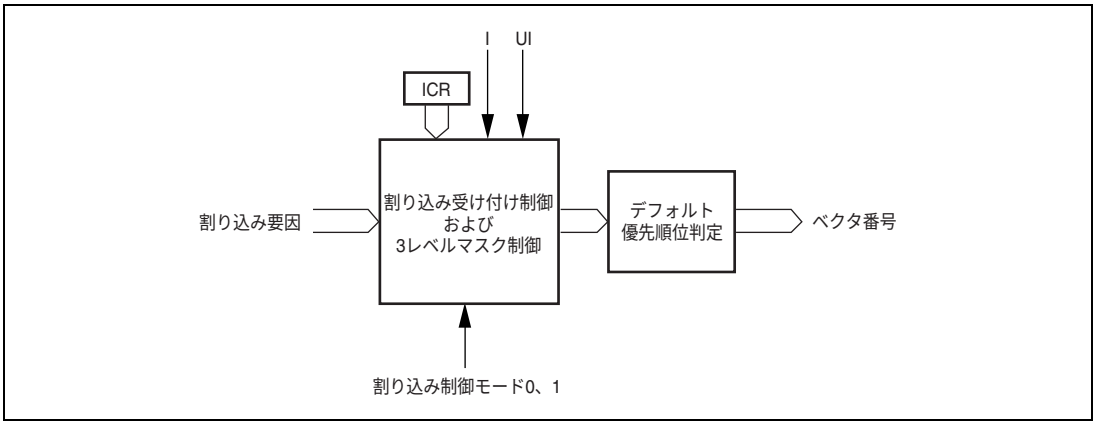


図 5.3　割り込み制御動作のブロック図

(1)　割り込み受け付け制御および 3 レベル制御

割り込み制御モード 0、1 のとき、CCR の I、UI ビット、および ICR（割り込みコントロールレベル）により割り込み受け付け制御、3 レベルのマスク制御を行います。

表 5.5 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.5　各割り込み制御モードで受け付けられる割り込み

割り込み制御モード	I ビット	UI ビット	NMI、アドレスブレーク	周辺機能割り込み
0	0	x	○	○（すべての割り込み）＊
	1	x	○	×
1	0	x	○	○（すべての割り込み）＊
	1	0	○	○（ICR＝1 の割り込み）
		1	○	×

【記号説明】x：Don’t care

【注】　＊　割り込みコントロールレベル 1 を優先

(2)　デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.6 に割り込み制御モードと動作および制御信号機能を示します。

表 5.6　割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御 3 レベル制御				デフォルト優先順位判定	T（トレース）
	INTM1	INTM0		I	UI	ICR		
0	0	0	○	IM	ー	PR	○	ー
1		1	○	IM	IM	PR	○	ー

【記号説明】　○：割り込み動作制御を行います。

IM：割り込みマスクビットとして使用します。

PR：優先順位を設定します。

ー：使用しません。

5.6.1　割り込み制御モード 0

割り込み制御モード 0 では NMI、アドレスブレークを除く割り込み要求は、ICR および CPU の CCR の I ビットによってマスクされます。I ビットが 1 のときは割り込み要求を保留します。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMIとアドレスブレーク以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIとアドレスブレーク割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

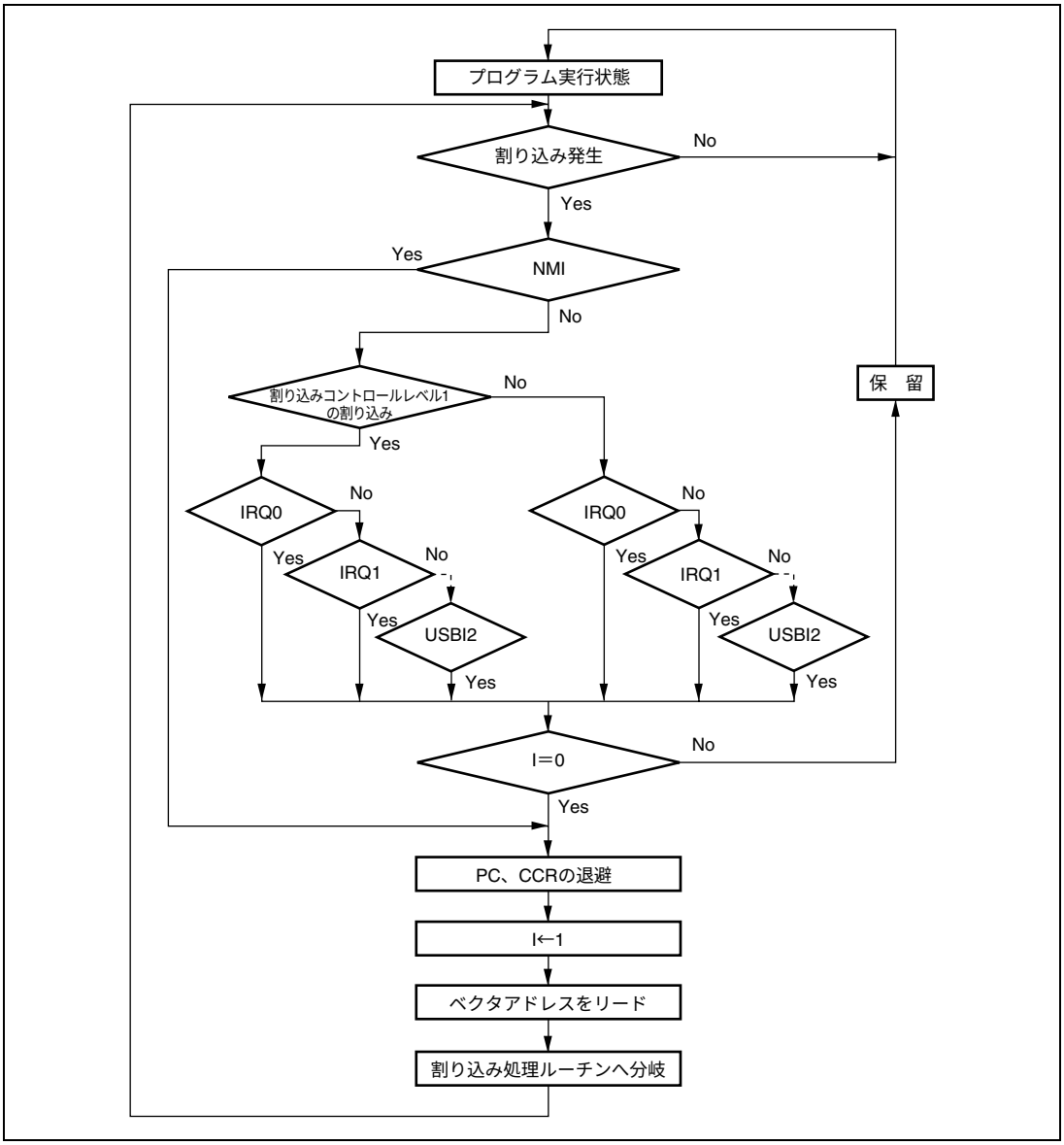


図 5.4　割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2　割り込み制御モード 1

割り込み制御モード 1 では IRQ、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって 3 レベルのマスク制御を行います。I ビットが 1 のときは割り込み要求を保留します。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

例えば各割り込み要求に対応する割り込みイネーブルビットを 1 にセット、ICRA～ICRC をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定）、次のようになります。このときの状態遷移を図 5.5 に示します。

- I＝0のときはすべての割り込み要求を受け付けます。
  （優先順位：NMI＞IRQ2＞IRQ3＞IRQ0＞IRQ1＞アドレスブレーク…）
- I＝1、UI＝0のときはNMI、IRQ2、IRQ3、アドレスブレークの割り込み要求のみを受け付けます。
- I＝1、UI＝1のときはNMIとアドレスブレークの割り込み要求のみを受け付けます。

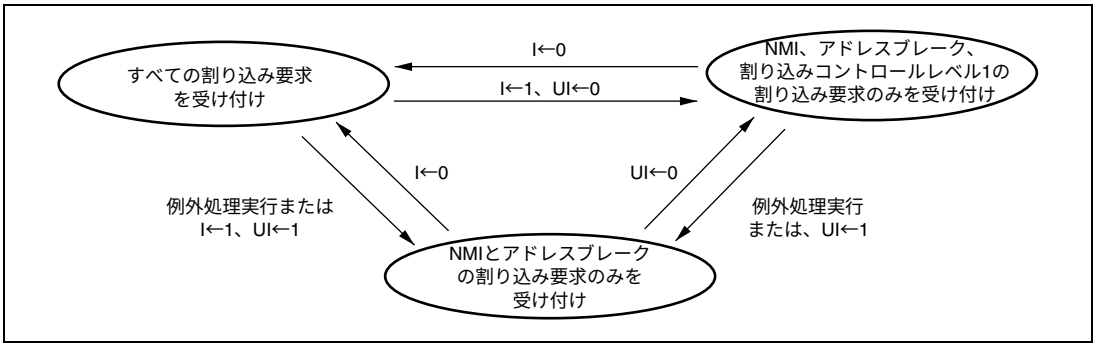


図 5.5　割り込み制御モード 1 の状態遷移

割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。

   割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレークの割り込み要求のみ受け付け、その他は保留します。

   I、UIビットがいずれも1にセットされているときはNMIとアドレスブレークの割り込み要求のみ受け付け、その他は保留します。

   Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレークを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

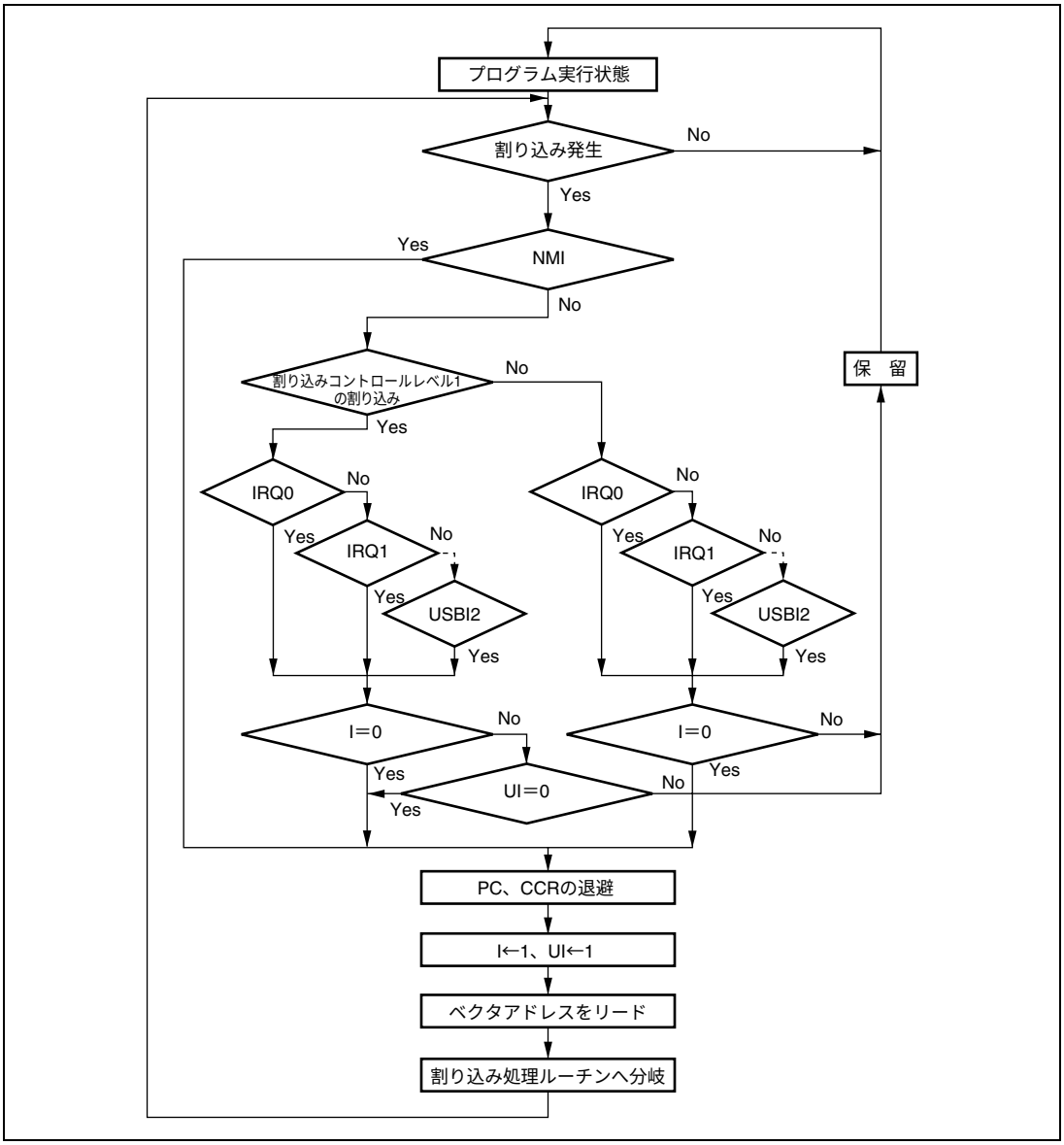


図 5.6　割り込み制御モード 1 の割り込み受け付けまでのフロー

5.6.3　割り込み例外処理シーケンス

図 5.7 に割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

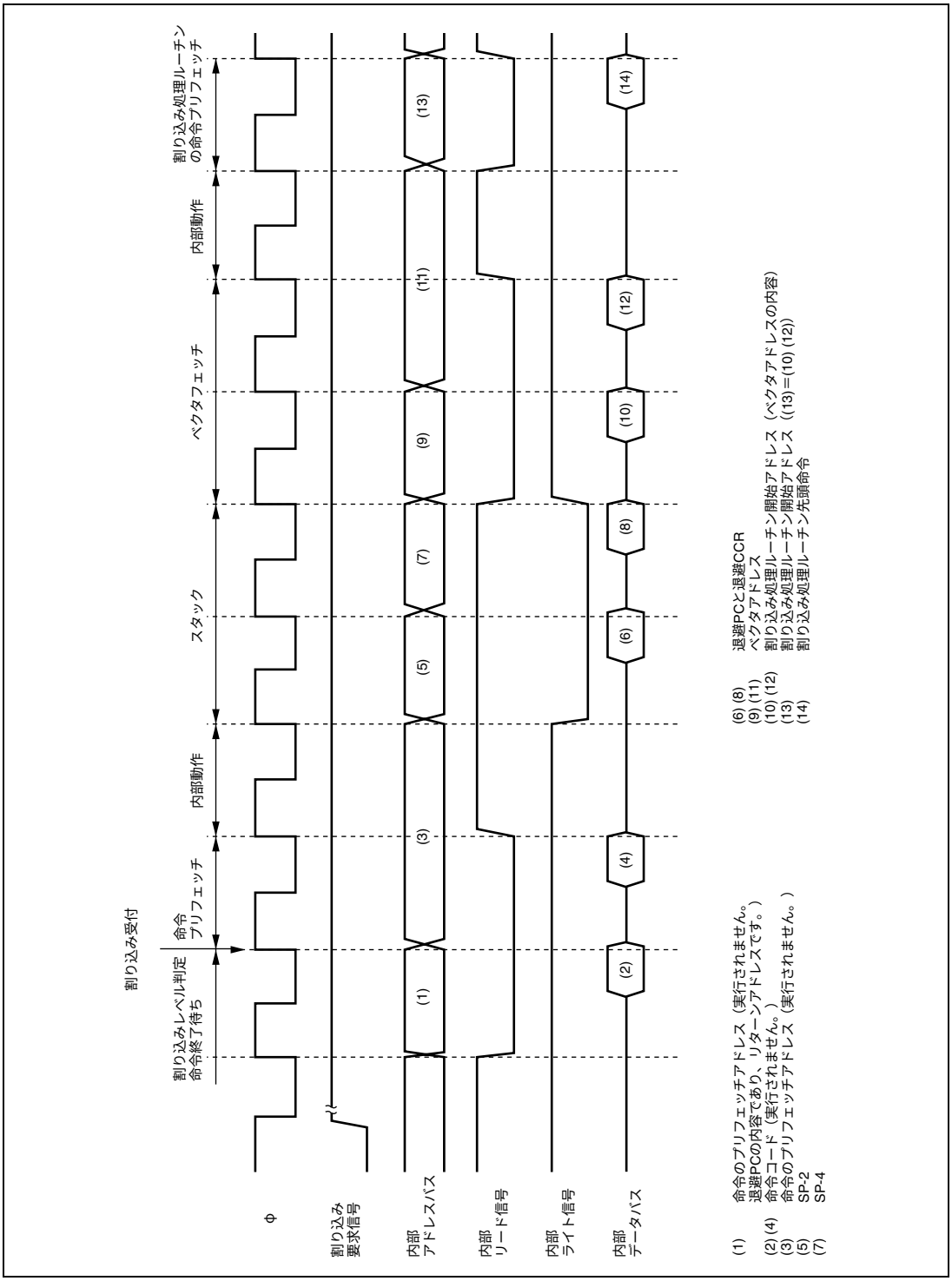


図 5.7　割り込み例外処理

5.6.4　割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.7 に示します。表 5.7 の実行状態の記号については表 5.8 を参照してください。

表 5.7　割り込み応答時間

No.	実行状態	アドバンストモード
1	割り込み優先順位判定*1	3
2	実行中の命令が終了するまでの待ちステート数*2	1～（19＋2・S_I）
3	PC、CCR のスタック	2・S_K
4	ベクタフェッチ	2・S_I
5	命令フェッチ*3	2・S_I
6	内部処理*4	2
合計（内蔵メモリ使用時）		12～32

【注】　*1　内部割り込みの場合 2 ステートとなります。

*2　MULXS、DIVXS 命令について示しています。

*3　割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4　割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.8　割り込み例外処理の実行状態のステート数

記　号		アクセス対象				
		内部メモリ	外部デバイス			
			8 ビットバス		16 ビットバス	
			2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ	S_I	1	4	6＋2m	2	3＋m
分岐アドレスリード	S_J					
スタック操作	S_K					

【記号説明】m：外部デバイスアクセス時のウェイトステート数

5.7　使用上の注意事項

5.7.1　割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアす

る場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.8 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

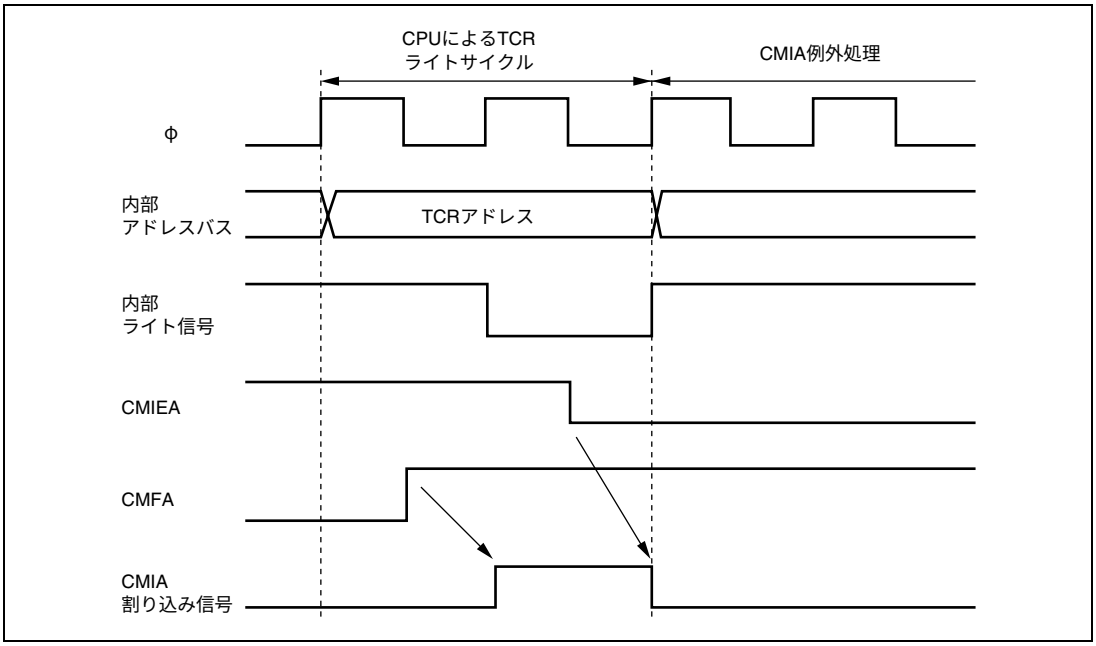


図 5.8 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:         EEPMOV.W
            MOV.W    R4,R4
            BNE      L1
```

6. バスコントローラ（BSC）

本 LSI はバスコントローラ（BSC）を内蔵しており、外部空間を 4 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリや外部 I/O デバイスを容易に接続することができます。

バスコントローラはバス権調停機能を持っており、バスマスタである CPU、DMA コントローラ（DMAC）の動作を制御します。バスコントローラのブロック図を図 6.1 に示します。

6.1 特長

- 外部空間をエリア単位で管理

  外部空間を2Mバイト単位／10Mバイト単位の4エリアに分割して管理

  エリアごとにバス仕様を設定可能

  DRAMインタフェースを設定可能

- 基本バスインタフェース

  エリア0～3に対してチップセレクト（$\overline{CS0}$～$\overline{CS3}$）を出力可能

  エリアごとに8ビットアクセス空間／16ビットアクセス空間を選択可能

  エリアごとに2ステートアクセス空間/3ステートアクセス空間を選択可能

  エリアごとにプログラムウェイトステートを挿入可能

  エリアごとにCSアサート期間拡張ステートを挿入可能

- DRAMインタフェース

  エリア2をDRAMインタフェースに設定可能

  ロウアドレス/カラムアドレスのマルチプレクス出力（8/9/10/11ビット）

  CAS2本方式によるバイト、ワード制御

  高速ページモードによるバースト動作が可能

  RASプリチャージタイム確保のためのT_pサイクル挿入

  CASビフォRASリフレッシュ（CBRリフレッシュ）とセルフリフレッシュを選択可能

- アイドルサイクル挿入

  異なるエリア間の外部リードサイクルが連続する場合アイドルサイクルを挿入可能

  リードサイクル後にライトサイクルが連続する場合アイドルサイクルを挿入可能

  異なるエリア間のアクセスが連続する場合アイドルサイクルを挿入可能

- ライトバッファ機能

  外部ライトサイクルと内部アクセスを並列に実行可能

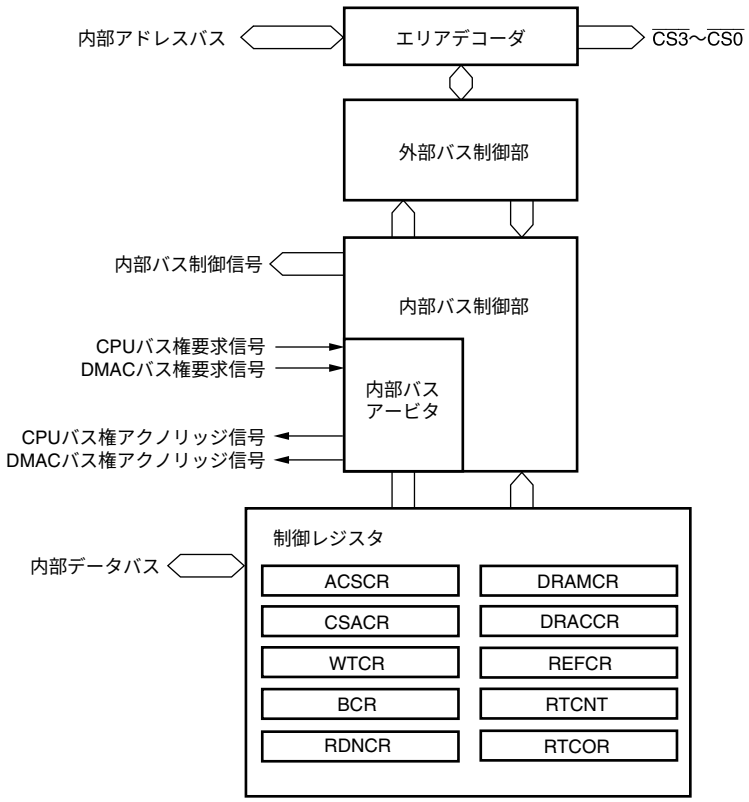
  DMACのシングルアドレスモードと内部アクセスを並列に実行可能

- バス権調停機能（バスアービトレーション）

  バスアービタを内蔵し、CPUおよびDMACのバス権などを調停

- その他

  リフレッシュ用カウンタ（リフレッシュタイマ）をインターバルタイマとして使用可能



【記号説明】

ACSCR ：アクセスコントロールレジスタ
CSACR ：CSアサート期間コントロールレジスタ
WTCR ：ウェイトコントロールレジスタ
BCR ：バスコントロールレジスタ
RDNCR ：リードストローブタイミングコントロールレジスタ
DRAMCR：DRAMコントロールレジスタ
DRACCR：DRAMアクセスコントロールレジスタ
REFCR ：リフレッシュコントロールレジスタ
RTCNT ：リフレッシュタイマカウント
RTCOR ：リフレッシュタイムコンスタントレジスタ

図 6.1　バスコントローラのブロック図

6.2　入出力端子

表 6.1 にバスコントローラの端子構成を示します。

表 6.1　端子構成

名称	記号	入出力	機能
アドレスストローブ	$\overline{AS}$	出力	通常空間をアクセスし、アドレスバス上のアドレス出力が有効であることを示すストローブ信号
リード	$\overline{RD}$	出力	通常空間をリードしていることを示すストローブ信号
ハイライト	$\overline{HWR}$	出力	通常空間をライトし、データバスの上位側（D15～D8）が有効であることを示すストローブ信号
ロウライト	$\overline{LWR}$	出力	通常空間をライトし、データバスの下位側（D7～D0）が有効であることを示すストローブ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストローブ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストローブ信号
チップセレクト 2／ ロウアドレスストローブ	$\overline{CS2/RAS}$	出力	エリア 2 が選択されていることを示すストローブ信号/DRAM のロウアドレスストローブ信号
チップセレクト 3	$\overline{CS3}$	出力	エリア 3 が選択されていることを示すストローブ信号
アッパーカラムアドレスストローブ	$\overline{UCAS}$	出力	16 ビット DRAM 空間のアッパーカラムアドレスストローブ信号または 8 ビット DRAM 空間のカラムアドレスストローブ信号
ロウアーカラムアドレスストローブ	$\overline{LCAS}$	出力	16 ビット DRAM 空間のロウアーカラムアドレスストローブ信号
データ転送アクノリッジ 3（DMAC）	$\overline{DACK3}$	出力	DMAC チャネル 3 がシングルアドレス転送時のデータ転送アクノリッジ信号
データ転送アクノリッジ 2（DMAC）	$\overline{DACK2}$	出力	DMAC チャネル 2 がシングルアドレス転送時のデータ転送アクノリッジ信号
データ転送アクノリッジ 1（DMAC）	$\overline{DACK1}$	出力	DMAC チャネル 1 がシングルアドレス転送時のデータ転送アクノリッジ信号
データ転送アクノリッジ 0（DMAC）	$\overline{DACK0}$	出力	DMAC チャネル 0 がシングルアドレス転送時のデータ転送アクノリッジ信号

6.3　　レジスタの説明

バスコントローラには以下のレジスタがあります。

- アクセスコントロールレジスタ（ACSCR）
- $\overline{\text{CS}}$アサート期間コントロールレジスタ（CSACR）
- ウェイトコントロールレジスタ（WTCR）
- バスコントロールレジスタ（BCR）
- リードストローブタイミングコントロールレジスタ（RDNCR）
- DRAMコントロールレジスタ（DRAMCR）
- DRAMアクセスコントロールレジスタ（DRACCR）
- リフレッシュコントロールレジスタ（REFCR）
- リフレッシュタイマカウンタ（RTCNT）
- リフレッシュタイムコンスタントレジスタ（RTCOR）

6.3.1　　アクセスコントロールレジスタ（ACSCR）

ACSCR は、外部アドレス空間の各エリアのデータバス幅を 8 ビットアクセス空間、または 16 ビットアクセス空間のいずれかに設定します。また、外部アドレス空間の各エリアのアクセスステート数を 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。

ACSCR は、リセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

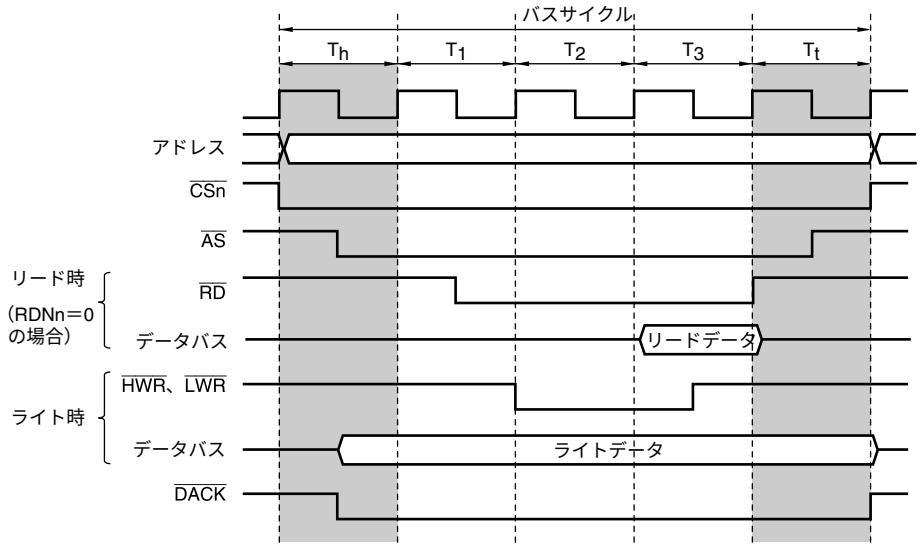
ビット	ビット名	初期値	R/W	説　　明
7	ABW3	1	R/W	エリア 3～0 バス幅コントロール
6	ABW2	1	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。
5	ABW1	1	R/W	
4	ABW0	1	R/W	0：エリア n を 16 ビットアクセス空間に設定 1：エリア n を 8 ビットアクセス空間に設定
3	AST3	1	R/W	エリア 3～0 アクセスステートコントロール
2	AST2	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。
1	AST1	1	R/W	
0	AST0	1	R/W	0：エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1：エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 （n＝3～0）

6.3.2 $\overline{\text{CS}}$ アサート期間コントロールレジスタ（CSACR）

CSACR は、基本バスインタフェースのチップセレクト信号（$\overline{\text{CSn}}$）、アドレス信号のアサート期間を拡張するか否かを選択します。$\overline{\text{CSn}}$、アドレス信号のアサート期間を拡張することにより、外部 I/O デバイスとのフレキシブルなインタフェースをとることが可能です。

ビット	ビット名	初期値	R/W	説　明
7	CSXH3	0	R/W	$\overline{\text{CS}}$、アドレス信号アサート期間コントロール 1
6	CSXH2	0	R/W	Th サイクルを挿入するか否かを指定します（図 6.2 参照）。
5	CSXH1	0	R/W	CSXHn＝1 に設定したエリアのアクセス時、通常のアクセスサイクルの前に
4	CSXH0	0	R/W	$\overline{\text{CSn}}$ とアドレスがアサートされる Th サイクルが 1 ステート挿入されます。 0：エリア n の基本バスインタフェースをアクセス時、$\overline{\text{CSn}}$、アドレスアサート期間（Th）を拡張しない 1：エリア n の基本バスインタフェースをアクセス時、$\overline{\text{CSn}}$、アドレスアサート期間（Th）を拡張する
3	CSXT3	0	R/W	$\overline{\text{CS}}$、アドレス信号アサート期間コントロール 2
2	CSXT2	0	R/W	Tt サイクルを挿入するか否かを指定します（図 6.2 参照）。
1	CSXT1	0	R/W	CSXTn＝1 に設定したエリアのアクセス時、通常のアクセスサイクルの前に
0	CSXT0	0	R/W	$\overline{\text{CSn}}$ とアドレスだけがアサートされる Tt サイクルが 1 ステート挿入されます。 0：エリア n の基本バスインタフェースをアクセス時、$\overline{\text{CSn}}$、アドレスアサート期間（Tt）を拡張しない 1：エリア n の基本バスインタフェースをアクセス時、$\overline{\text{CSn}}$、アドレスアサート期間（Tt）を拡張する

【記号説明】n=3～0



【注】 n＝3～0

図 6.2 $\overline{\text{CS}}$、アドレスアサート期間拡張（3 ステートアクセス空間、RDNn＝0 の場合）

6.3.3　ウェイトコントロールレジスタ（WTCR）

WTCR は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

ビット	ビット名	初期値	R/W	説　明
15	－	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14 13 12	W32 W31 W30	1 1 1	R/W R/W R/W	エリア 3 ウェイトコントロール 2～0 ACSCR の AST3＝1 のとき、エリア 3 をアクセスするときのプログラムウェイトステート数を選択します。 000：プログラムウェイトを挿入しない 001：プログラムウェイトを 1 ステート挿入 010：プログラムウェイトを 2 ステート挿入 011：プログラムウェイトを 3 ステート挿入 100：プログラムウェイトを 4 ステート挿入 101：プログラムウェイトを 5 ステート挿入 110：プログラムウェイトを 6 ステート挿入 111：プログラムウェイトを 7 ステート挿入
11	－	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10 9 8	W22 W21 W20	1 1 1	R/W R/W R/W	エリア 2 ウェイトコントロール 2～0 ACSCR の AST2＝1 のとき、エリア 2 をアクセスするときのプログラムウェイトステート数を選択します。 000：プログラムウェイトを挿入しない 001：プログラムウェイトを 1 ステート挿入 010：プログラムウェイトを 2 ステート挿入 011：プログラムウェイトを 3 ステート挿入 100：プログラムウェイトを 4 ステート挿入 101：プログラムウェイトを 5 ステート挿入 110：プログラムウェイトを 6 ステート挿入 111：プログラムウェイトを 7 ステート挿入

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6 5 4	W12 W11 W10	1 1 1	R/W R/W R/W	エリア 1 ウェイトコントロール 2～0 ACSCR の AST1＝1 のとき、エリア 1 をアクセスするときのプログラムウェイトステート数を選択します。 000：プログラムウェイトを挿入しない 001：プログラムウェイトを 1 ステート挿入 010：プログラムウェイトを 2 ステート挿入 011：プログラムウェイトを 3 ステート挿入 100：プログラムウェイトを 4 ステート挿入 101：プログラムウェイトを 5 ステート挿入 110：プログラムウェイトを 6 ステート挿入 111：プログラムウェイトを 7 ステート挿入
3	－	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2 1 0	W02 W01 W00	1 1 1	R/W R/W R/W	エリア 0 ウェイトコントロール 2～0 ACSCR の AST0＝1 のとき、エリア 0 をアクセスするときのプログラムウェイトステート数を選択します。 000：プログラムウェイトを挿入しない 001：プログラムウェイトを 1 ステート挿入 010：プログラムウェイトを 2 ステート挿入 011：プログラムウェイトを 3 ステート挿入 100：プログラムウェイトを 4 ステート挿入 101：プログラムウェイトを 5 ステート挿入 110：プログラムウェイトを 6 ステート挿入 111：プログラムウェイトを 7 ステート挿入

6.3.4 バスコントロールレジスタ（BCR）

BCR はアイドルサイクル、ライトデータバッファ機能の許可/禁止の設定を行います。

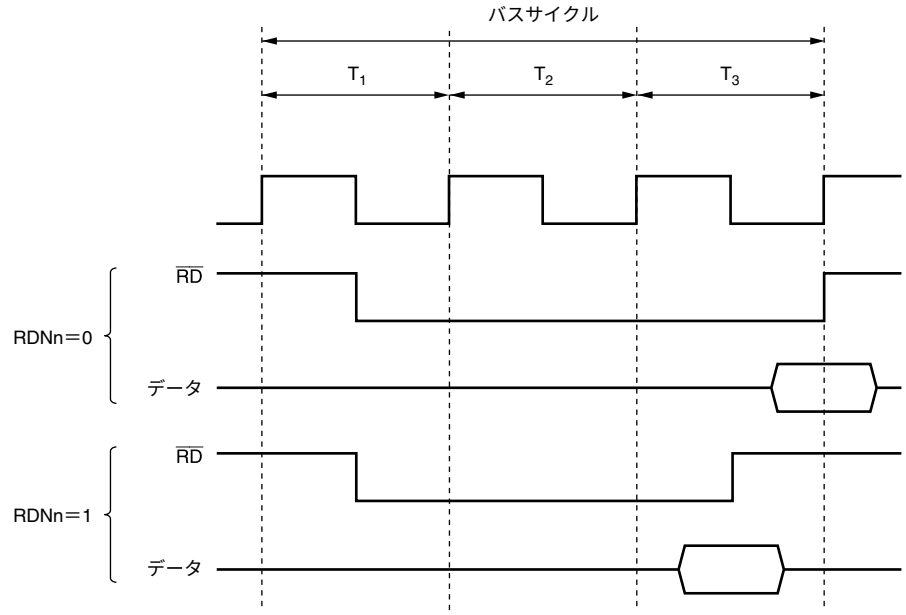
ビット	ビット名	初期値	R/W	説　明
15～9	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。
8	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、または DMAC のシングルアドレス転送のときライトデータバッファ機能を使用できます。 0：ライトデータバッファ機能を使用しない 1：ライトデータバッファ機能を使用する
7～4	－	0	R/W	リザーブビット リード／ライト可能ですが 0 をライトしてください。
3 2	IDLE1 IDLE0	0 0	R/W R/W	アイドルサイクルイネーブル アイドルサイクルの挿入を有効にします。 00：アイドルサイクルの挿入を禁止 01：異なるエリアのリードアクセスが連続する場合、シングルアドレス転送後に外部アクセスが連続する場合にアイドルサイクルを有効にする 10：異なるエリアのリードアクセスが連続する場合、シングルアドレス転送後に外部アクセスが連続する場合、およびリード後にライトアクセスが連続する場合にアイドルサイクルを有効にする 11：異なるエリアのリードアクセスが連続する場合、シングルアドレス転送後に外部アクセスが連続する場合、リード後にライトアクセスが連続する場合、およびライト後にリードアクセスが連続する場合にアイドルサイクルを有効にする
1 0	IDLC1 IDLC0	0 0	R/W R/W	アイドルサイクルステート数選択 アイドルサイクルの挿入ステート数を指定します。 00：1 ステート 01：2 ステート 10：3 ステート 11：4 ステート

6.3.5　リードストローブタイミングコントロールレジスタ（RDNCR）

RDNCR は、通常空間のリードアクセス時のリードストローブ信号（$\overline{RD}$）のネゲートタイミングを設定します。

ビット	ビット名	初期値	R/W	説　明
7 6 5 4	RDN3 RDN2 RDN1 RDN0	0 0 0 0	R/W R/W R/W R/W	リードストローブタイミングコントロール 3～0 これらのビットは対応するエリアのリードアクセス時のリードストローブのネゲートタイミングを設定します。図 6.3 に示すように RDNn＝1 に設定したエリアのリードストローブは、RDNn＝0 に設定したときと比べて半ステート早くネゲートします。リードデータのセットアップ/ホールドの規定も同様です。 0：エリア n のリードアクセス時、$\overline{RD}$ のネゲートタイミングは、リードサイクルの終わり 1：エリア n のリードアクセス時、$\overline{RD}$ のネゲートタイミングは、リードサイクルの終わりから半ステート手前
3～0	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。

【記号説明】n=3～0



【注】　n＝3～0

図 6.3　リードストローブネゲートタイミング（3 ステートアクセス空間の場合）

6.3.6 DRAM コントロールレジスタ（DRAMCR）

DRAMCR は、DRAM インタフェースの設定を行います。

ビット	ビット名	初期値	R/W	説　明
15	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。
14	RAST	0	R/W	$\overline{RAS}$ アサートタイミング選択 DRAM アクセス時の $\overline{RAS}$ 信号を T_r サイクルの先頭（φ立ち上がりエッジ）からアサートするか、φ立ち下がりエッジからアサートするかを選択します。 図 6.4 に RAST ビットの設定と $\overline{RAS}$ アサートタイミングの関係を示します。 0：$\overline{RAS}$ を T_r サイクルのφ立ち下りエッジでアサート 1：$\overline{RAS}$ を T_r サイクルの先頭からアサート
13	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。
12	CAST	0	R/W	カラムアドレス出力サイクル数選択 DRAM アクセス時のカラムアドレス出力サイクルを 2 ステートにするか、3 ステートにするかを選択します。 0：カラムアドレス出力サイクルは 2 ステート 1：カラムアドレス出力サイクルは 3 ステート
11～9	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。
8	DSET	0	R/W	DRAM 空間設定 エリア 2 を DRAM 空間に設定します。 0：エリア 2 は通常空間 1：エリア 2 を DRAM 空間に設定
7	BE	0	R/W	バーストアクセスイネーブル DRAM 空間に指定したエリアへのバーストアクセスの許可または禁止を選択します。DRAM 空間のバーストアクセスは高速ページモードとなります。EDO ページモードを備えた DRAM を使用する場合には、$\overline{OE}$ 信号として $\overline{RD}$ 信号を接続してください。 0：フルアクセス 1：高速ページモードでアクセス

ビット	ビット名	初期値	R/W	説　　明
6	RCDM	0	R/W	$\overline{\text{RAS}}$ ダウンモード 通常空間へのアクセス、内部 I/O レジスタへのアクセスのため DRAM 空間へのアクセスが途切れたときに、$\overline{\text{RAS}}$ 信号を Low レベルにしたままで次の DRAM へのアクセスを待つか（$\overline{\text{RAS}}$ ダウンモード）、$\overline{\text{RAS}}$ 信号を High レベルに戻すか（$\overline{\text{RAS}}$ アップモード）を選択します。このビットの設定は、BE ビットに 1 を設定したときのみ有効です。 また、RCDM=1 の状態で $\overline{\text{RAS}}$ ダウン中に、このビットを 0 にクリアした場合、その時点で $\overline{\text{RAS}}$ ダウン状態は解除され、$\overline{\text{RAS}}$ は High レベルとなります。 DRAM インタフェースで RAS ダウンモードを選択した場合、RAS ダウンを継続することができないときに、RAS を High レベルにする 1 ステートのアイドルサイクルが挿入されます。 0：DRAM 空間アクセス時、$\overline{\text{RAS}}$ アップモードを選択 1：DRAM 空間アクセス時、$\overline{\text{RAS}}$ ダウンモードを選択
5	DDS	0	R/W	DMAC シングルアドレス転送時オプション DRAM インタフェースで DMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。 DRAMCR の BE を 0 に設定して、DRAM のバーストアクセスを禁止した場合、このビットの設定に関係なく、DMAC のシングルアドレス転送はフルアクセスになります。 このビットは他のバスマスタの外部アクセス、DMAC のデュアルアドレス転送には影響を与えません。また、このビットを設定すると DACK の出力タイミングが変更されます。 0：必ずフルアクセスを実行 1：バーストアクセスを許可
4	－	0	R/W	リザーブビット
3	－	0	R/W	リード／ライト可能ですが、0 をライトしてください。
2	MXC2	0	R/W	アドレスマルチプレクス選択
1	MXC1	0	R/W	ロウアドレス/カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に、DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。
0	MXC0	0	R/W	000： 8 ビットシフト 8 ビットアクセス空間設定時 ：比較対象ロウアドレスは A23～A8 16 ビットアクセス空間設定時：比較対象ロウアドレスは A23～A9 001： 9 ビットシフト 8 ビットアクセス空間設定時 ：比較対象ロウアドレスは A23～A9 16 ビットアクセス空間設定時：比較対象ロウアドレスは A23～A10 010： 10 ビットシフト 8 ビットアクセス空間設定時 ：比較対象ロウアドレスは A23～A10 16 ビットアクセス空間設定時：比較対象ロウアドレスは A23～A11 011： 11 ビットシフト 8 ビットアクセス空間設定時 ：比較対象ロウアドレスは A23～A11 16 ビットアクセス空間設定時：比較対象ロウアドレスは A23～A12

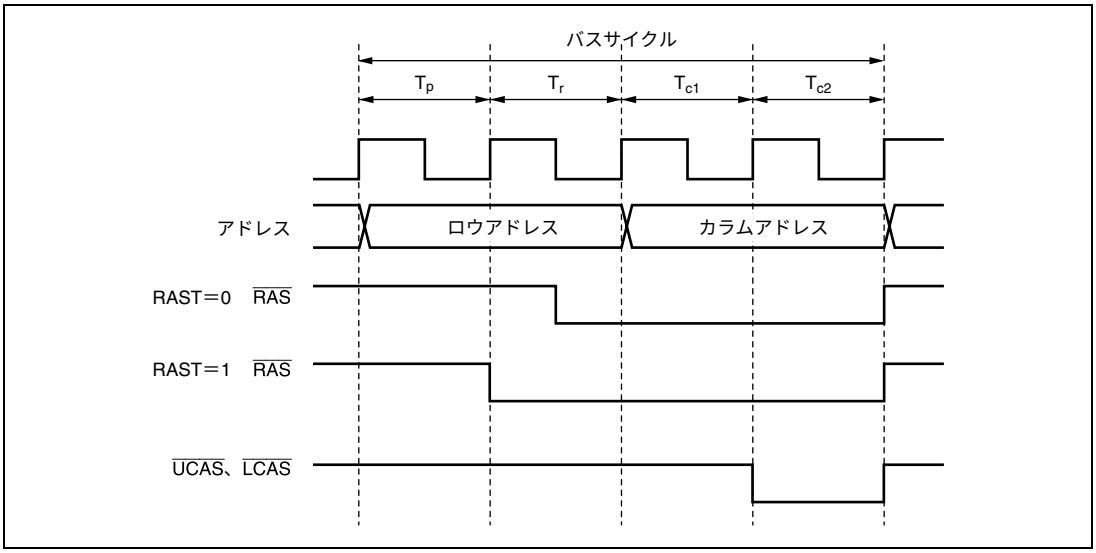


図 6.4 RAS 信号アサートタイミング（カラムアドレス出力サイクル 2 ステート、フルアクセスする場合）

6.3.7 DRAM アクセスコントロールレジスタ（DRACCR）

DRACCR は、DRAM インタフェースのバス仕様を設定します。

ビット	ビット名	初期値	R/W	説　明
7	－	0	R/W	リザーブビット
6	－	0	R/W	リード／ライト可能ですが、0 をライトしてください。
5	TPC1	0	R/W	プリチャージステート制御
4	TPC0	0	R/W	通常アクセス時ならびにリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00：1 ステート 01：2 ステート 10：3 ステート 11：4 ステート
3	－	0	R/W	リザーブビット
2	－	0	R/W	リード／ライト可能ですが、0 をライトしてください。
1	RCD1	0	R/W	RAS、CAS 間ウェイト制御
0	RCD0	0	R/W	RAS アサートサイクルと CAS アサートサイクルの間に挿入するウェイトサイクルを選択します。 00：ウェイトサイクルを挿入しない 01：ウェイトサイクルを 1 ステート挿入する 10：ウェイトサイクルを 2 ステート挿入する 11：ウェイトサイクルを 3 ステート挿入する

6.3.8 リフレッシュコントロールレジスタ（REFCR）

REFCR は、DRAM インタフェースのリフレッシュの制御を設定します。

ビット	ビット名	初期値	R/W	説　明
15	CMF	0	R/(W)*	コンペアマッチフラグ RTCNT と RTCOR の値が一致したことを示すステータスフラグです。 ［クリア条件］ • RFSHE ビットが 0 にクリアされた状態で、CMF＝1 をリードした後、CMF に 0 をライトしたとき • RFSHE ビットが 1 にセットされた状態で、CBR リフレッシュが実行されたとき ［セット条件］ RTCOR＝RTCNT となったとき
14	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求（CMI）を許可または禁止します。 このビットはリフレッシュ制御を行わない場合（RFSHE＝0 のとき）に有効です。RFSHE ビットに 1 を設定してリフレッシュ制御を行っている場合、このビットは常に 0 にクリアされており、ライトは無効です。 0：CMF フラグによる割り込み要求を禁止 1：CMF フラグによる割り込み要求を許可
13 12	RCW1 RCW0	0 0	R/W R/W	$\overline{\text{CAS}}$、$\overline{\text{RAS}}$ 間ウェイト制御 DRAM リフレッシュサイクルの $\overline{\text{CAS}}$ アサートサイクルと $\overline{\text{RAS}}$ アサートサイクルの間に挿入するウェイトサイクル数を選択します。 00：ウェイトステートを挿入しない 01：ウェイトステートを 1 ステート挿入する 10：ウェイトステートを 2 ステート挿入する 11：ウェイトステートを 3 ステート挿入する
11	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。
10 9 8	RTCK2 RTCK1 RTCK0	0 0 0	R/W R/W R/W	リフレッシュカウンタクロックセレクト リフレッシュカウンタのカウントアップに使用するクロックを選択します。入力クロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 000：カウント動作停止 001：φ/2 でカウント 010：φ/8 でカウント 011：φ/32 でカウント 100：φ/128 でカウント 101：φ/512 でカウント 110：φ/2048 でカウント 111：φ/4096 でカウント

ビット	ビット名	初期値	R/W	説　　明
7	RFSHE	0	R/W	リフレッシュ制御 リフレッシュ制御を行うことができます。リフレッシュ制御を行わないときは、リフレッシュタイマをインターバルタイマとして使用できます。 0：リフレッシュ制御を行わない 1：リフレッシュ制御を行う
6	－	0	R/W	リザーブビット リード／ライト可能ですが、0 をライトしてください。
5 4	RLW1 RLW0	0 0	R/W R/W	リフレッシュサイクルウェイト制御 DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクルに対して、挿入するウェイトステート数を選択します。 00：ウェイトステートを挿入しない 01：ウェイトステートを 1 ステート挿入する 10：ウェイトステートを 2 ステート挿入する 11：ウェイトステートを 3 ステート挿入する
3	SLFRF	0	R/W	セルフリフレッシュイネーブル ソフトウェアスタンバイ状態に遷移するときに、このビットに 1 がセットされていると DRAM に対してセルフリフレッシュモードを設定します。RFSHE＝1 に設定してリフレッシュ動作を行う場合に有効です。 0：セルフリフレッシュを禁止 1：セルフリフレッシュを許可
2 1 0	TPCS2 TPCS1 TPCS0	0 0 0	R/W R/W R/W	セルフリフレッシュ時プリチャージサイクル制御 セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。 セルフリフレッシュ直後のプリチャージサイクルのステート数は DRACCR の TPC1、TPC0 ビットで設定したステート数との加算になります。 000：TPC 設定値と同値 001：TPC 設定値＋1 ステート 010：TPC 設定値＋2 ステート 011：TPC 設定値＋3 ステート 100：TPC 設定値＋4 ステート 101：TPC 設定値＋5 ステート 110：TPC 設定値＋6 ステート 111：TPC 設定値＋7 ステート

【注】　＊　フラグをクリアするための 0 ライトのみ可能です。

6.3.9 リフレッシュタイマカウンタ（RTCNT）

RTCNT は 8 ビットのリード／ライト可能なアップカウンタです。RTCNT は、REFCR の RTCK2～RTCK0 ビットで選択された内部クロックによりカウントアップします。

RTCNT が RTCOR に一致（コンペアマッチ）すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RFSHE ビットが 0 にクリアされているとき、REFCR の CMIE ビットが 1 にセットされると、コンペアマッチ割り込み（CMI）が発生します。

RTCNT は、リセットおよびハードウェアスタンバイモード時 H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6.3.10 リフレッシュタイムコンスタントレジスタ（RTCOR）

RTCOR は 8 ビットのリード／ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、リセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6.4　バス制御

6.4.1　エリア分割

バスコントローラは、アドレス 16M バイトのアドレス空間を図 6.5 に示すようなエリアに分割し、エリア単位で外部空間のバス制御を行います。各エリアごとに、チップセレクト信号（$\overline{CS0}$～$\overline{CS3}$）を出力することができます。

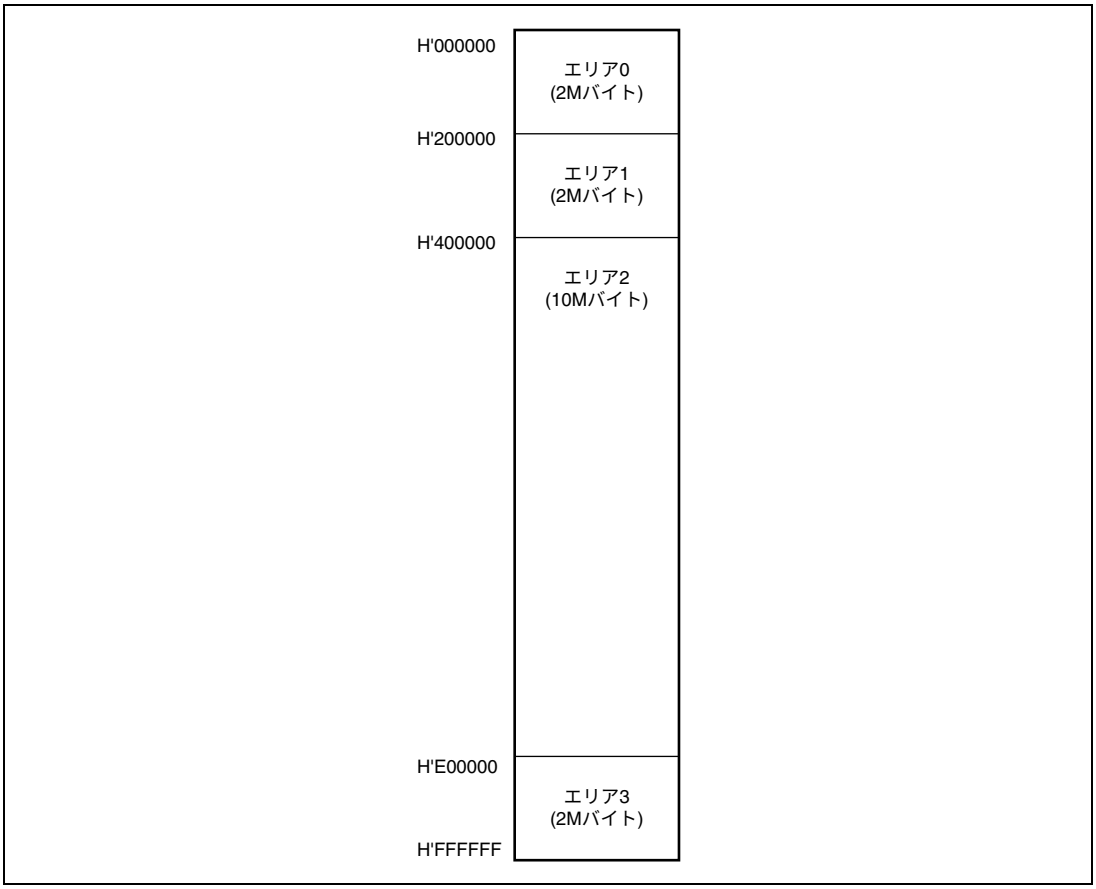


図 6.5　エリア分割の様子

6.4.2　　アドレスマップ

図 6.6 に、アドレスフォーマットを示します。

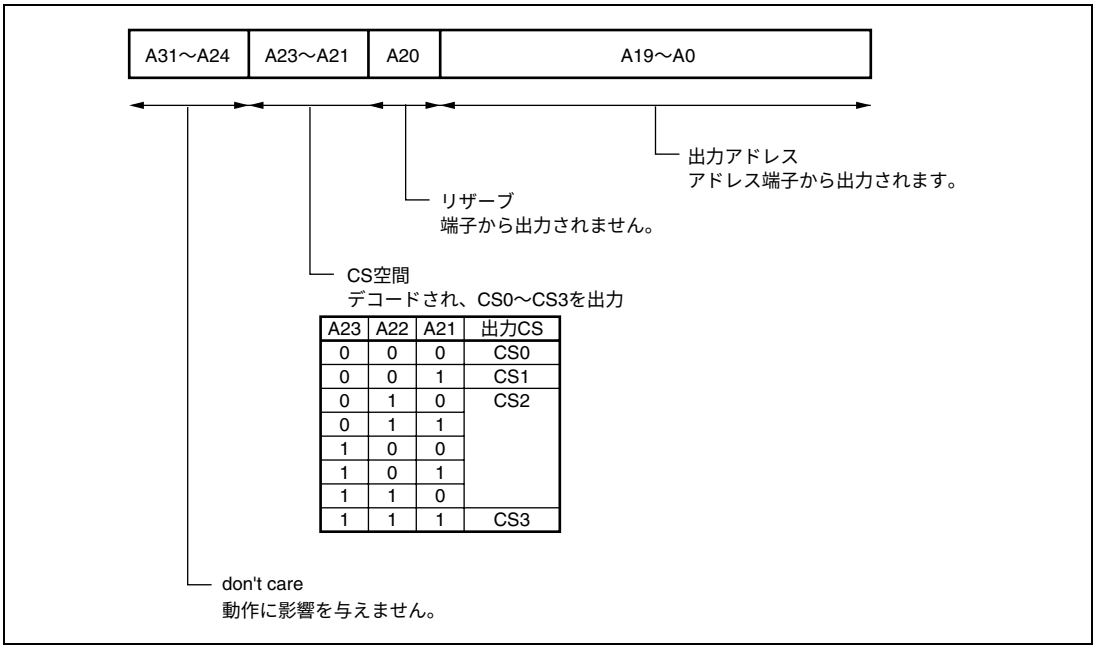


図 6.6　アドレスフォーマット

A31～A24 ビットは動作に影響を与えません。

A23～A21 ビットはエリアに対応するチップセレクト信号（CS3～CS0）にデコードされ、出力されます。

A20 ビットは外部に出力されません。

A19～A0 ビットは外部に出力されます。

A19～A0 ビットは PFCR1 レジスタの設定により、外部出力有効／無効の選択が可能です。詳細は「8.11.1　ポートファンクションコントロールレジスタ 1（PFCR1）」を参照してください。

表 6.2、図 6.7 にアドレスマップを示します。

表 6.2　アドレスマップ

アドレス	空間種類	メモリ種類	サイズ	バス幅
H’000000～H’1FFFFF	CS0 空間／内蔵 ROM 空間	外部空間／内蔵 ROM	2MB	8/16
H’200000～H’3FFFFF	CS1 空間	外部空間	2MB	8/16
H’400000～H’DFFFFF	CS2 空間／DRAM 空間	外部空間／DRAM	10MB	8/16
H’E00000～H’FFFFFF	CS3 空間／内蔵 RAM 空間*／I/O 空間	外部空間／内蔵 RAM*／I/O 空間	2MB	8/16

【注】　＊　SYSCR の RAME ビットが 1 のとき内蔵 RAM 空間となります。

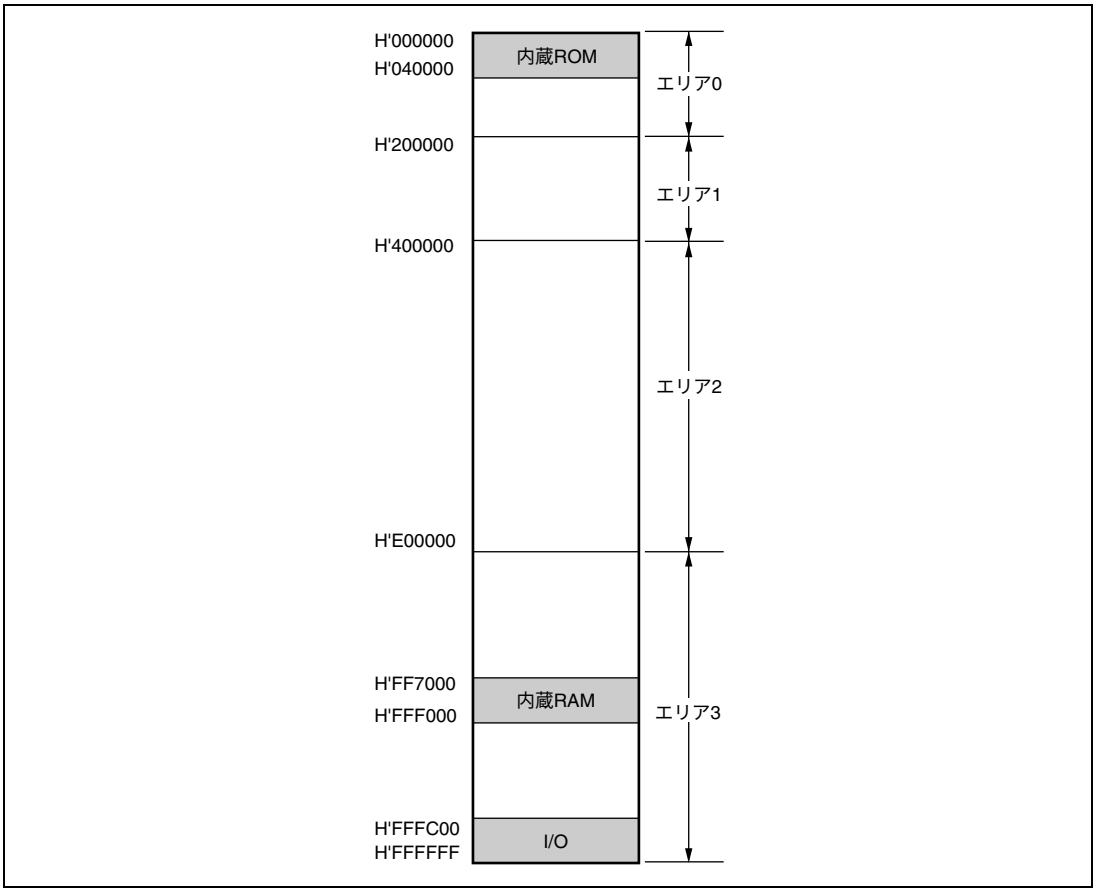


図 6.7　アドレスマップ

6.4.3　バス仕様

外部空間のバス仕様は、バス幅、アクセスステート数、プログラムウェイトステート数、リードストローブタイミング、チップセレクト（$\overline{CS}$）アサート期 間拡張ステートの 5 つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

（1） バス幅

バス幅は、ACSCR により 8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間となります。

（2） アクセスステート数

アクセスステート数は、ACSCR により 2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間となります。なお、DRAM インタフェースでは、ACSCR の設定によらず、アクセスステート数が決まることがあります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCR によるプログラムウェイトを挿入することが可能となります。

(3)　プログラムウェイトステート数

ACSCR により 3 ステートアクセス空間に設定したとき、WTCR により自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0～7 ステートを選択可能です。バス幅、アクセスステート数、プログラムウェイトステート数による基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3　各エリアのバス仕様（基本バスインタフェース）

ACSCR		WTCR			バス仕様（基本バスインタフェース）		
ABWn	ASTn	Wn2	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	－	－	－	16	2	0
	1	0	0	0		3	0
				1			1
			1	0			2
				1			3
		1	0	0			4
				1			5
			1	0			6
				1			7
1	0	－	－	－	8	2	0
	1	0	0	0		3	0
				1			1
			1	0			2
				1			3
		1	0	0			4
				1			5
			1	0			6
				1			7

【記号説明】n＝3～0

(4)　リードストローブタイミング

RDNCR により、基本バスインタフェース空間のリードストローブ（$\overline{\mathrm{RD}}$）のネゲートタイミングを 2 種類（リードサイクルの終り、またはリードサイクルの終りから半ステート前）から選択することができます。

(5)　チップセレクト（$\overline{\mathrm{CS}}$）アサート期間拡張ステート

外部 I/O デバイスの中にはアドレス、$\overline{\mathrm{CS}}$ 信号と、$\overline{\mathrm{RD}}$、$\overline{\mathrm{HWR}}$、$\overline{\mathrm{LWR}}$ などのストローブ信号との間のセットアップ時間やホールド時間が必要なものがあります。CSACR により、基本バス空間のアクセスサイクルの前後に $\overline{\mathrm{CS}}$ と $\overline{\mathrm{AS}}$、アドレスだけがアサートされるステートを挿入することができます。

6.4.4 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などと直結が可能な基本バスインタフェース、DRAM と直結が可能な DRAM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間です。

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は 8 ビットバスです。

（1） エリア 0

エリア 0 は内蔵 ROM を含んでおり、内蔵 ROM を除いた空間は MDCR レジスタの EXPE ビットを 1 にセットすると外部空間となります。

エリア 0 の外部空間をアクセスするとき、$\overline{\text{CS0}}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェースのみを使用することができます。

（2） エリア 1

エリア 1 は、MDCR レジスタの EXPE ビットを 1 にセットすると、エリア 1 のすべての空間が外部空間となります。

エリア 1 の外部空間をアクセスするとき、$\overline{\text{CS1}}$ 信号を出力することができます。

エリア 1 は、基本バスインタフェースのみを使用することができます。

（3） エリア 2

エリア 2 は、MDCR レジスタの EXPE ビットを 1 にセットすると、エリア 2 のすべての空間が外部空間となります。

エリア 2 の外部空間をアクセスするとき、$\overline{\text{CS2}}$ 信号を出力することができます。

エリア 2 は、基本バスインタフェース、DRAM インタフェースを選択することができます。DRAM インタフェースでは、$\overline{\text{CS2}}$ 信号は $\overline{\text{RAS}}$ 信号として使用されます。

エリア 2 を DRAM 空間に設定すると、64M ビット DRAM など大容量 DRAM を接続することができます。このとき、$\overline{\text{CS2}}$ 信号が DRAM 空間の $\overline{\text{RAS}}$ 信号として使用されます。

（4） エリア 3

エリア 3 は、内蔵 RAM および内部 I/O レジスタを含んでおり、MDCR レジスタの EXPE ビットを 1 にセットすると内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ（SYSCR）の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効となり、対応するアドレスは外部空間になります。

エリア 3 の外部空間をアクセスするとき、$\overline{\text{CS3}}$ 信号を出力することができます。

エリア 3 のメモリインタフェースには、基本バスインタフェースのみを使用することができます。

6.4.5　チップセレクト信号

本 LSI は、エリア 3～0 に対してそれぞれチップセレクト信号（$\overline{CS3}$～$\overline{CS0}$）を出力することができます。$\overline{CS3}$～$\overline{CS0}$ 信号は、当該エリアの外部空間をアクセスしたとき Low レベルを出力します。図 6.8 に $\overline{CS3}$～$\overline{CS0}$ 信号の出力タイミング例を示します。

$\overline{CS0}$ 端子は MDCR レジスタの EXPE ビットを 1 にセットすると出力状態になります。$\overline{CS3}$～$\overline{CS1}$ 端子はリセット後に入力状態になっていますので、$\overline{CS3}$～$\overline{CS1}$ 信号を出力するときには、PFCR1 レジスタで対応する CS 出力許可の設定を行ってください。

詳細は「8.11.1　ポートファンクションコントロールレジスタ 1（PFCR1）」を参照してください。

なお、エリア 2 を DRAM 空間に設定したとき、$\overline{CS2}$ 出力は $\overline{RAS}$ 信号として使用されます。

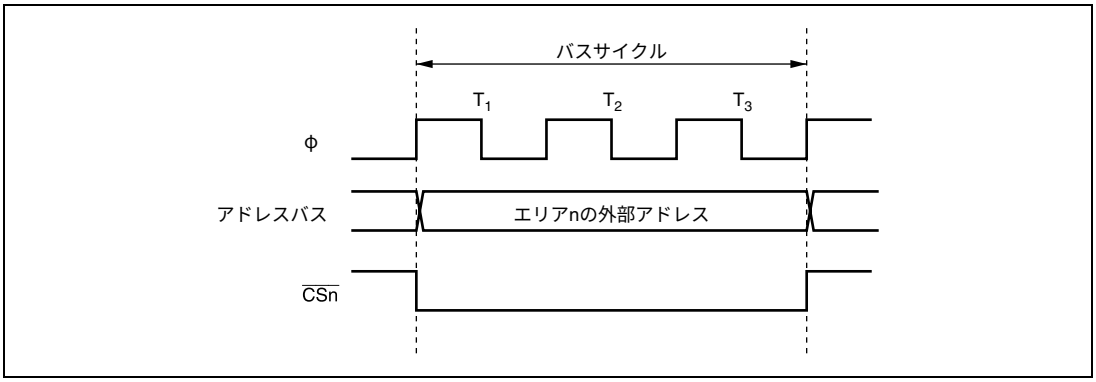


図 6.8　$\overline{CSn}$ 信号出力タイミング（n＝3～0）

6.5　基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

6.5.1　データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス（D15～D8）を使用するか、下位側データバス（D7～D0）を使用するかを、アクセスするエリアのバス仕様（8 ビットアクセス空間、または 16 ビットアクセス空間）とデータサイズによって制御します。

（1）8 ビットアクセス空間

図 6.9 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス（D15～D8）を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

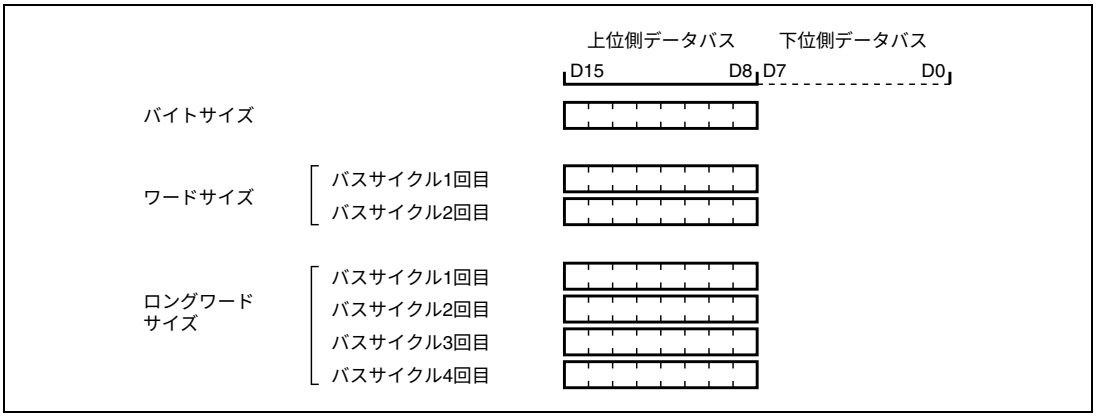


図 6.9　アクセスサイズとデータアライメント制御（8 ビットアクセス空間）

（2） 16 ビットアクセス空間

図 6.10 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス（D15～D8）および下位側データバス（D7～D0）を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

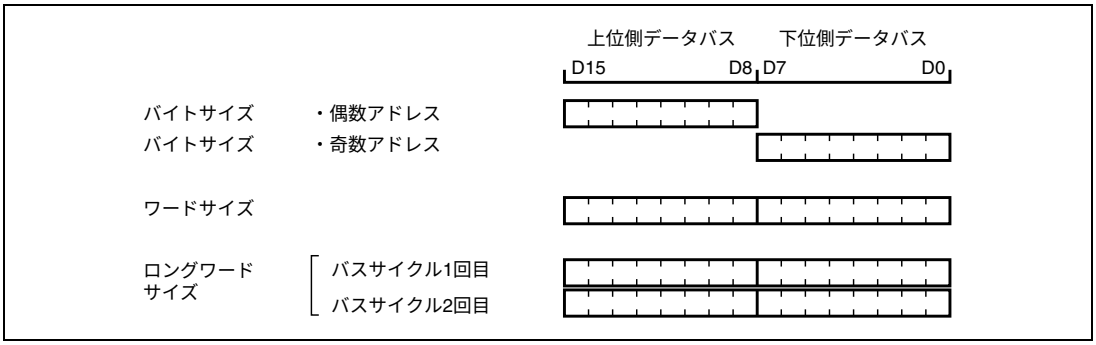


図 6.10　アクセスサイズとデータアライメント制御（16 ビットアクセス空間）

6.5.2　有効ストローブ

表 6.4 にアクセス空間と使用するデータバスおよび有効なストローブを示します。

リード時には、データバスの上位側、下位側の区別なく、$\overline{\mathrm{RD}}$ 信号が有効です。ライト時には、データバスの上位側に対して $\overline{\mathrm{HWR}}$ 信号が、下位側に対して $\overline{\mathrm{LWR}}$ 信号が有効です。

表 6.4　使用するデータバスと有効ストローブ

エリア	アクセスサイズ	リード／ライト	最下位アドレス	有効なストローブ	データバス上位（D15～D8）	データバス下位（D7～D0）
8 ビットアクセス空間	バイト	リード	－	$\overline{\mathrm{RD}}$	有効	無効
		ライト	－	$\overline{\mathrm{HWR}}$	有効	Hi-Z
16 ビットアクセス空間	バイト	リード	0	$\overline{\mathrm{RD}}$	有効	無効
			1		無効	有効
		ライト	0	$\overline{\mathrm{HWR}}$	有効	Hi-Z
			1	$\overline{\mathrm{LWR}}$	Hi-Z	有効
	ワード	リード	－	$\overline{\mathrm{RD}}$	有効	有効
		ライト	－	$\overline{\mathrm{HWR}}$、$\overline{\mathrm{LWR}}$	有効	有効

【注】　Hi-Z：ハイインピーダンス状態

無効：入力状態で、入力値は無視されます。

6.5.3 基本動作タイミング

（1） 8 ビット 2 ステートアクセス空間

図 6.11 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側（D15～D8）を使用します。

すべてのエリアが 8 ビット空間設定の場合 $\overline{\text{LWR}}$ 端子は I/O ポートとして使用できますが、16 ビット空間の設定を行っている場合 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することはできません。

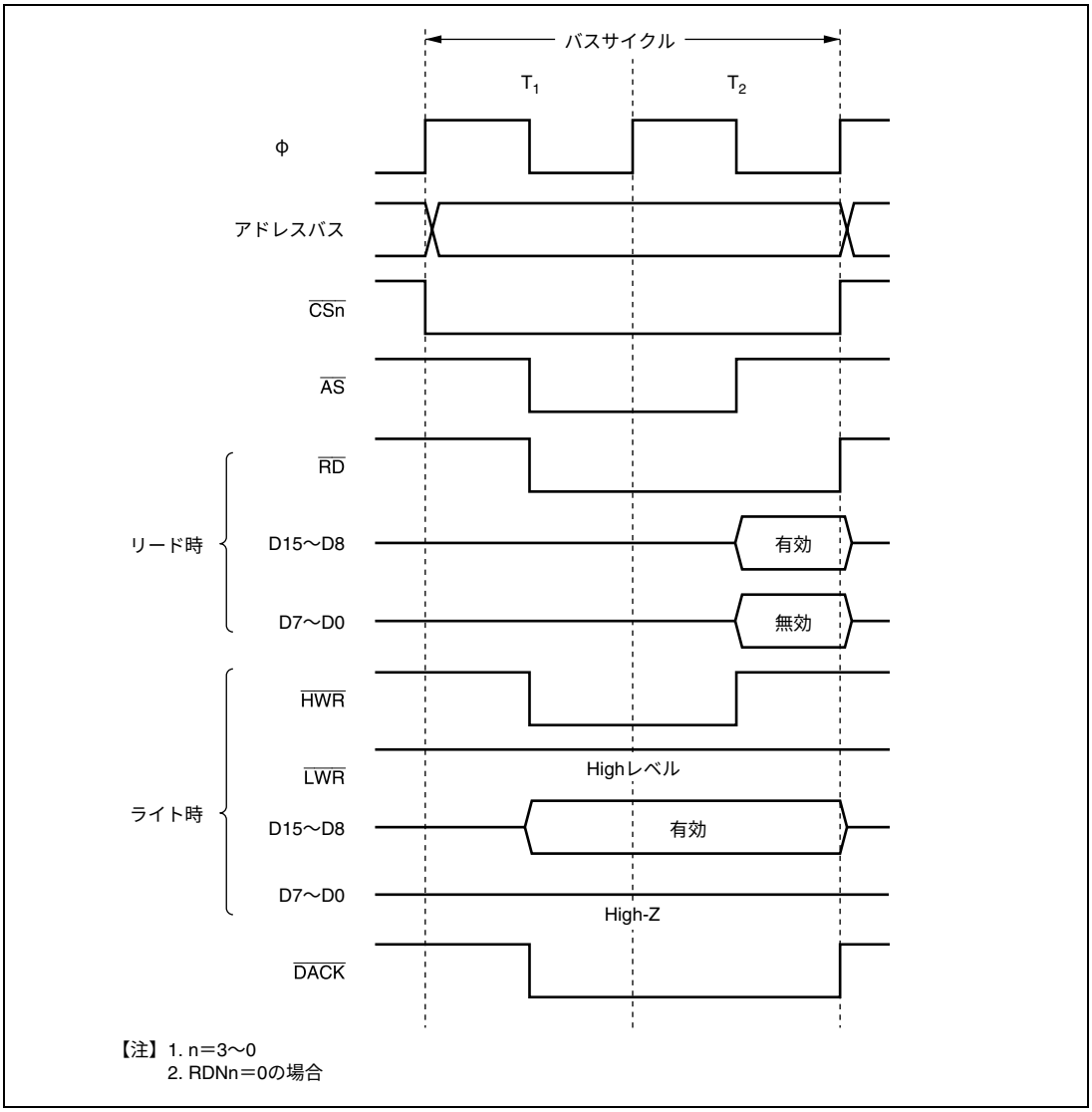


図 6.11　8 ビット 2 ステートアクセス空間のバスタイミング

（2）　8 ビット 3 ステートアクセス空間

図 6.12 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側（D15～D8）を使用します。

すべてのエリアが 8 ビット空間設定の場合 $\overline{\text{LWR}}$ 端子は I/O ポートとして使用できますが、16 ビット空間の設定を行っている場合 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

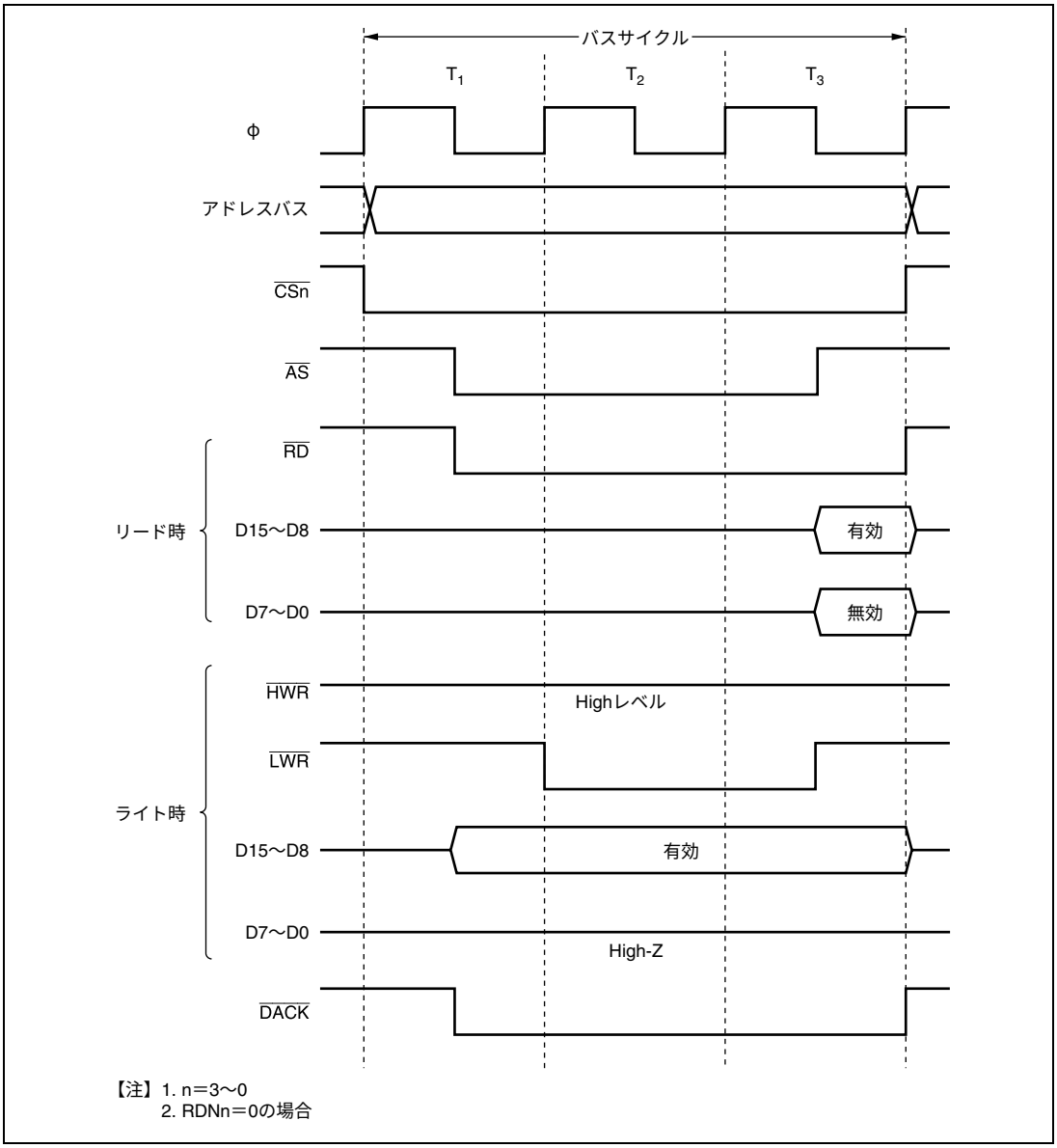


図 6.12　8 ビット 3 ステートアクセス空間のバスタイミング

（3） 16 ビット 2 ステートアクセス空間

図 6.13～図 6.15 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15～D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7～D0）を使用します。ウェイトステートを挿入することはできません。

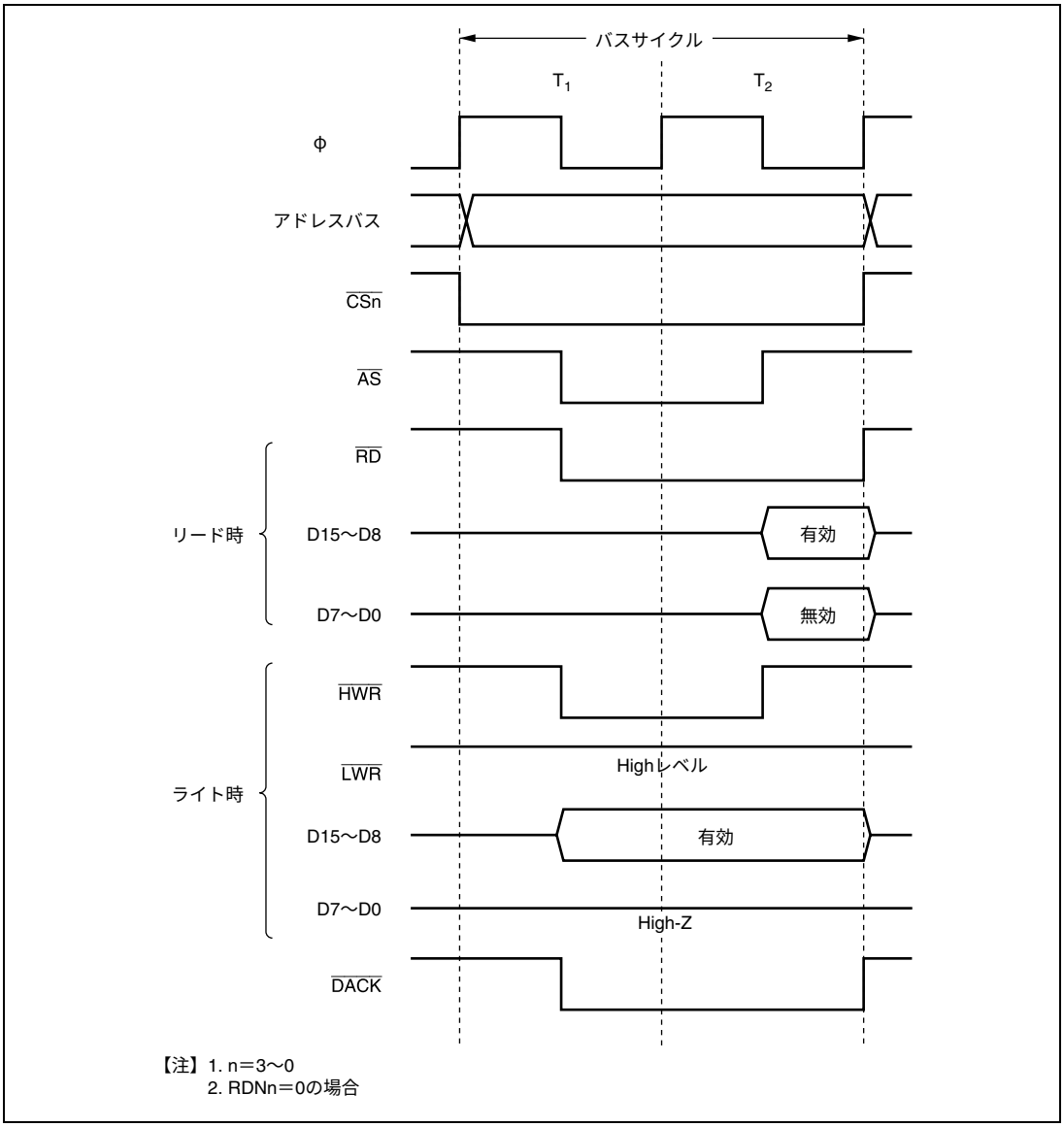


図 6.13　16 ビット 2 ステートアクセス空間のバスタイミング
（偶数アドレスバイトアクセス）

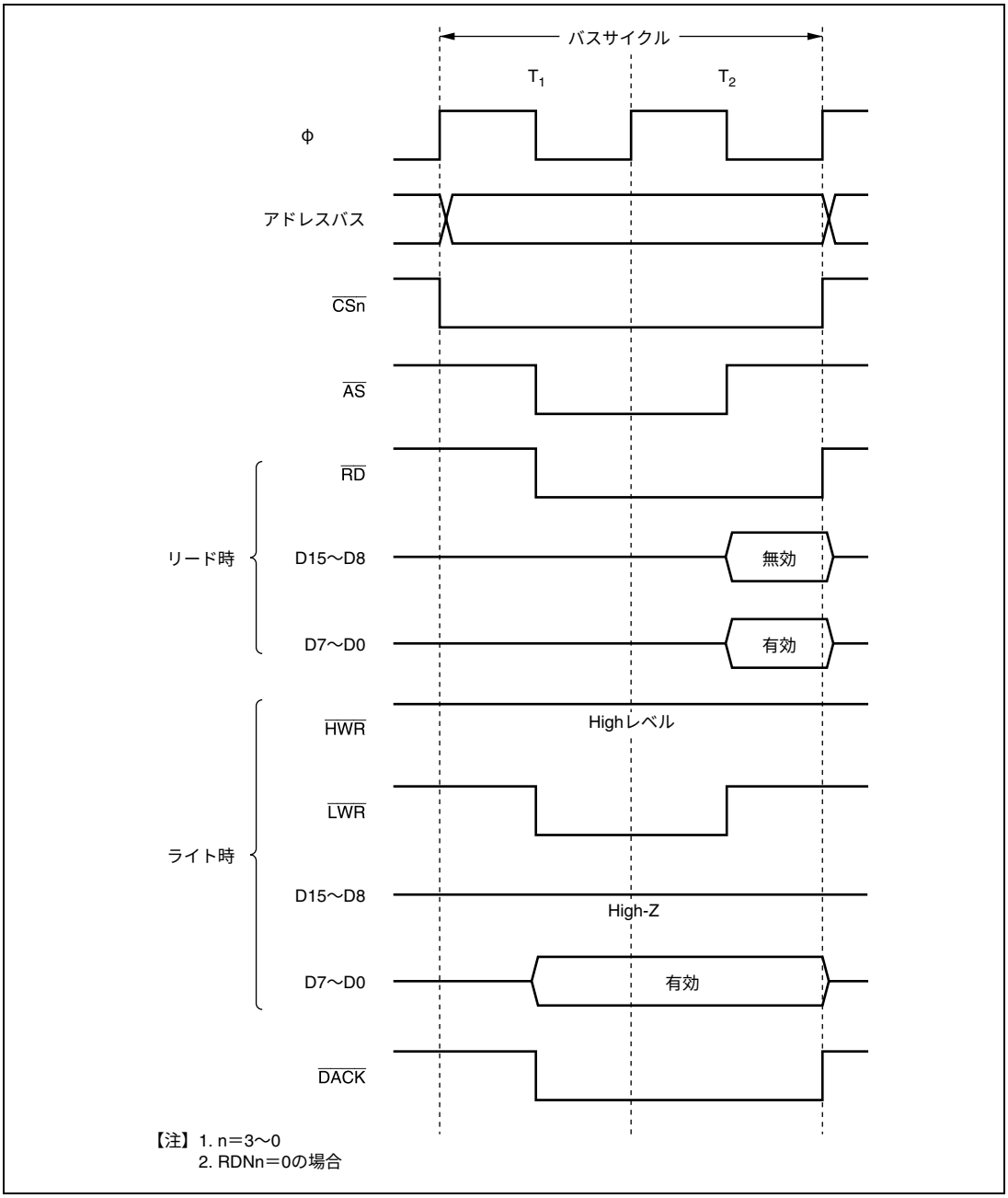


図 6.14　16 ビット 2 ステートアクセス空間のバスタイミング
（奇数アドレスバイトアクセス）

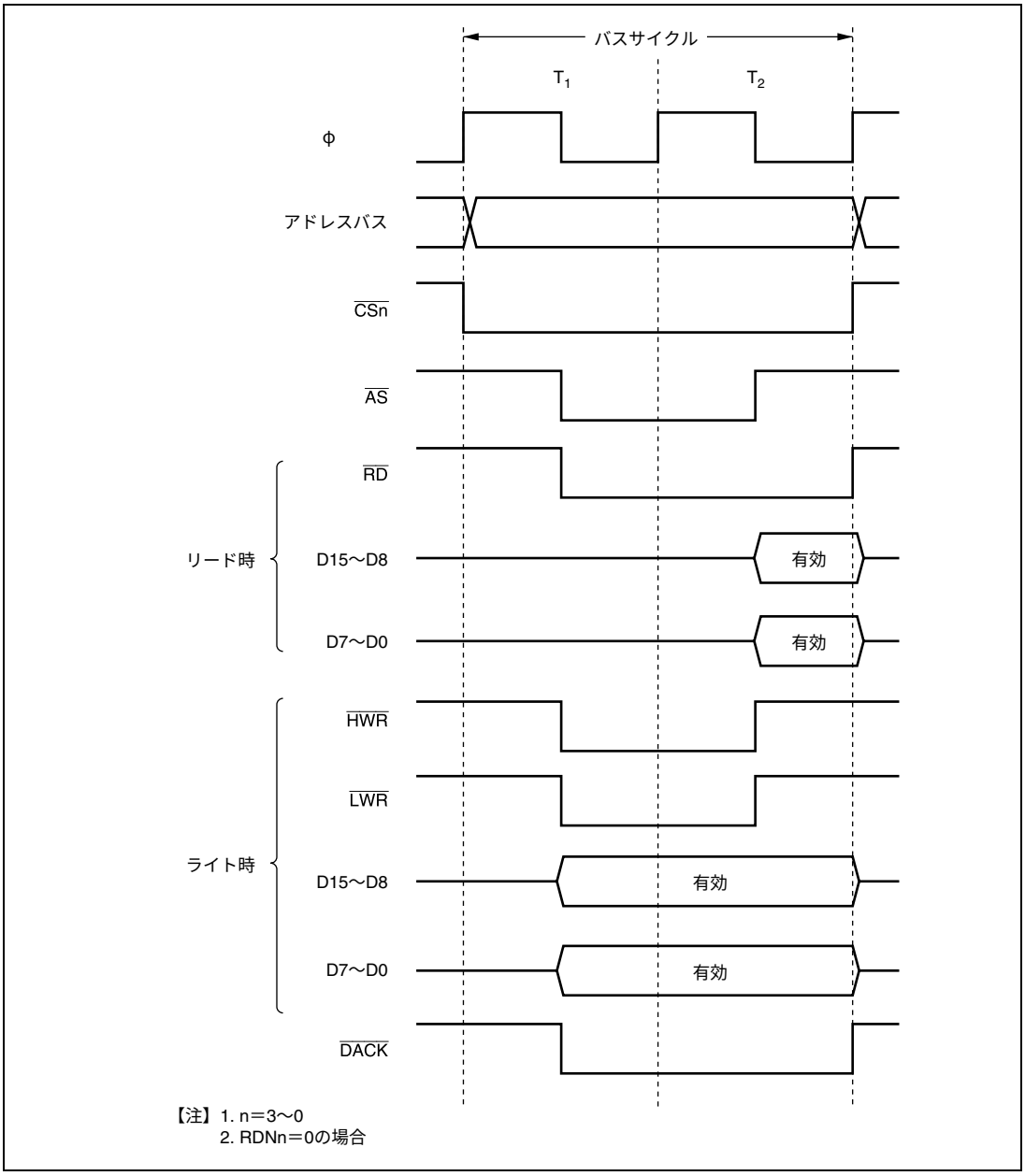


図 6.15　16 ビット 2 ステートアクセス空間のバスタイミング
（ワードアクセス）

（4） 16 ビット 3 ステートアクセス空間

図 6.16〜図 6.18 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15〜D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7〜D0）を使用します。ウェイトステートを挿入することができます。

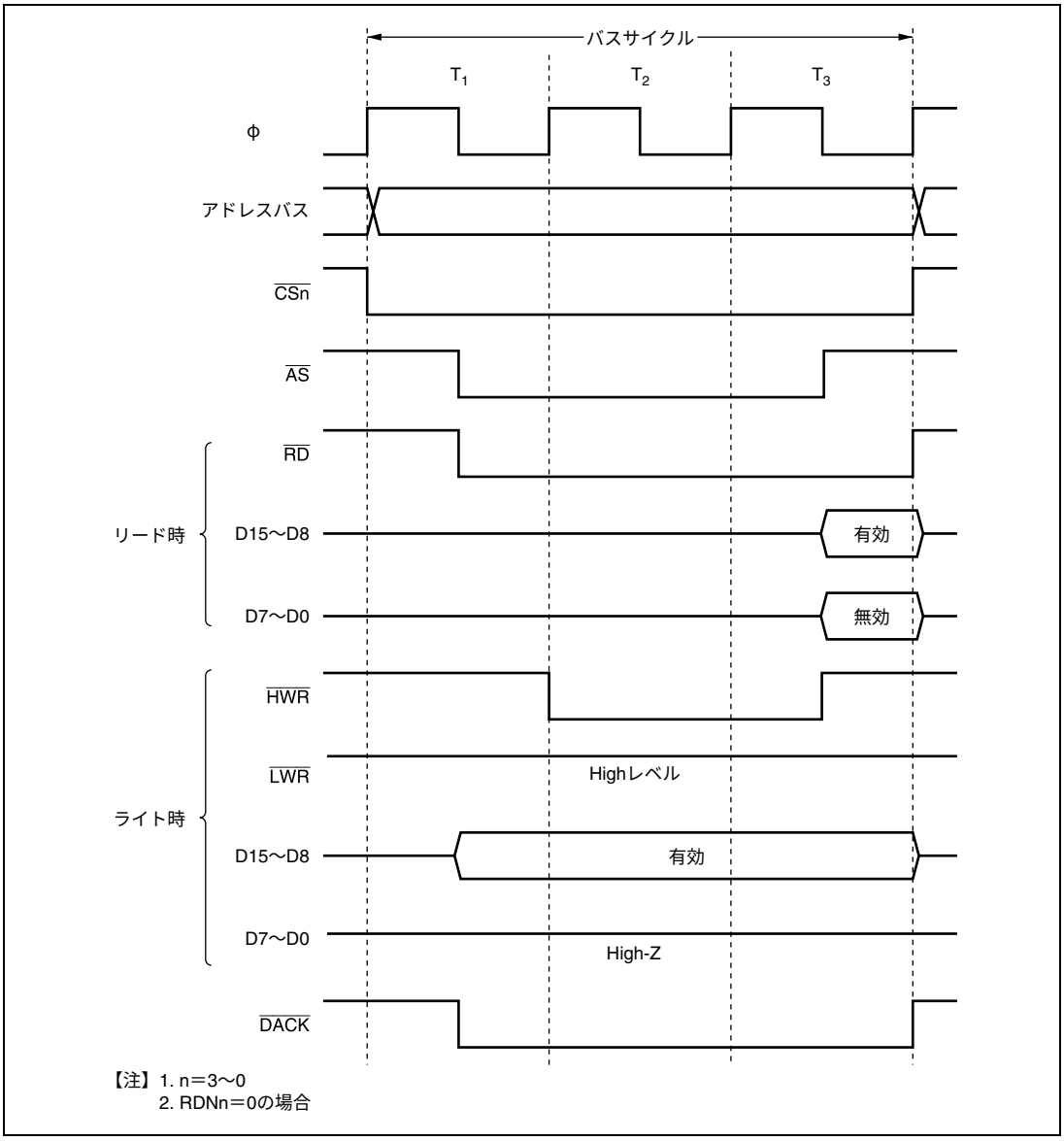


図 6.16　16 ビット 3 ステートアクセス空間のバスタイミング
（偶数アドレスバイトアクセス）

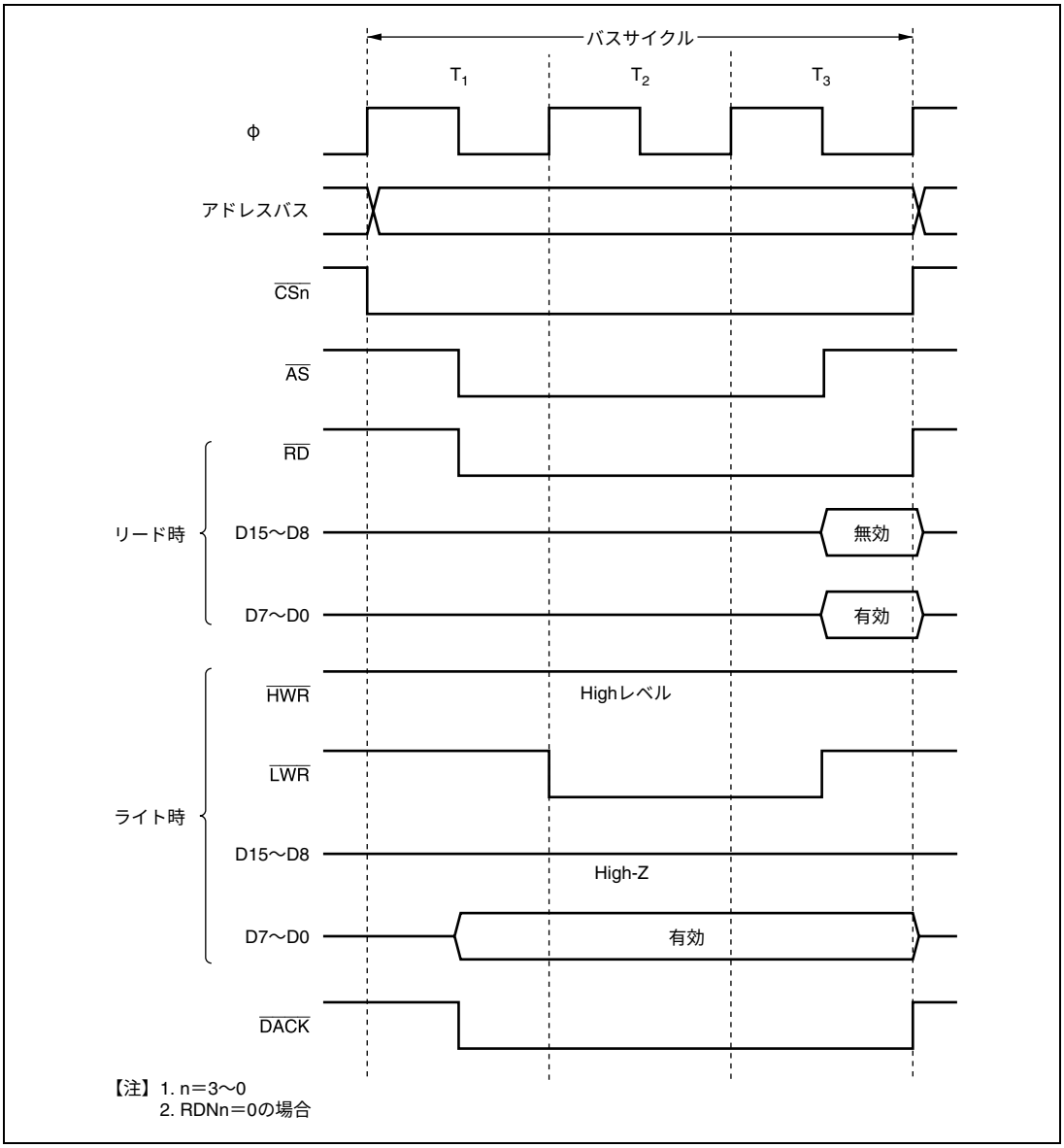


図 6.17　16 ビット 3 ステートアクセス空間のバスタイミング
（奇数アドレスバイトアクセス）

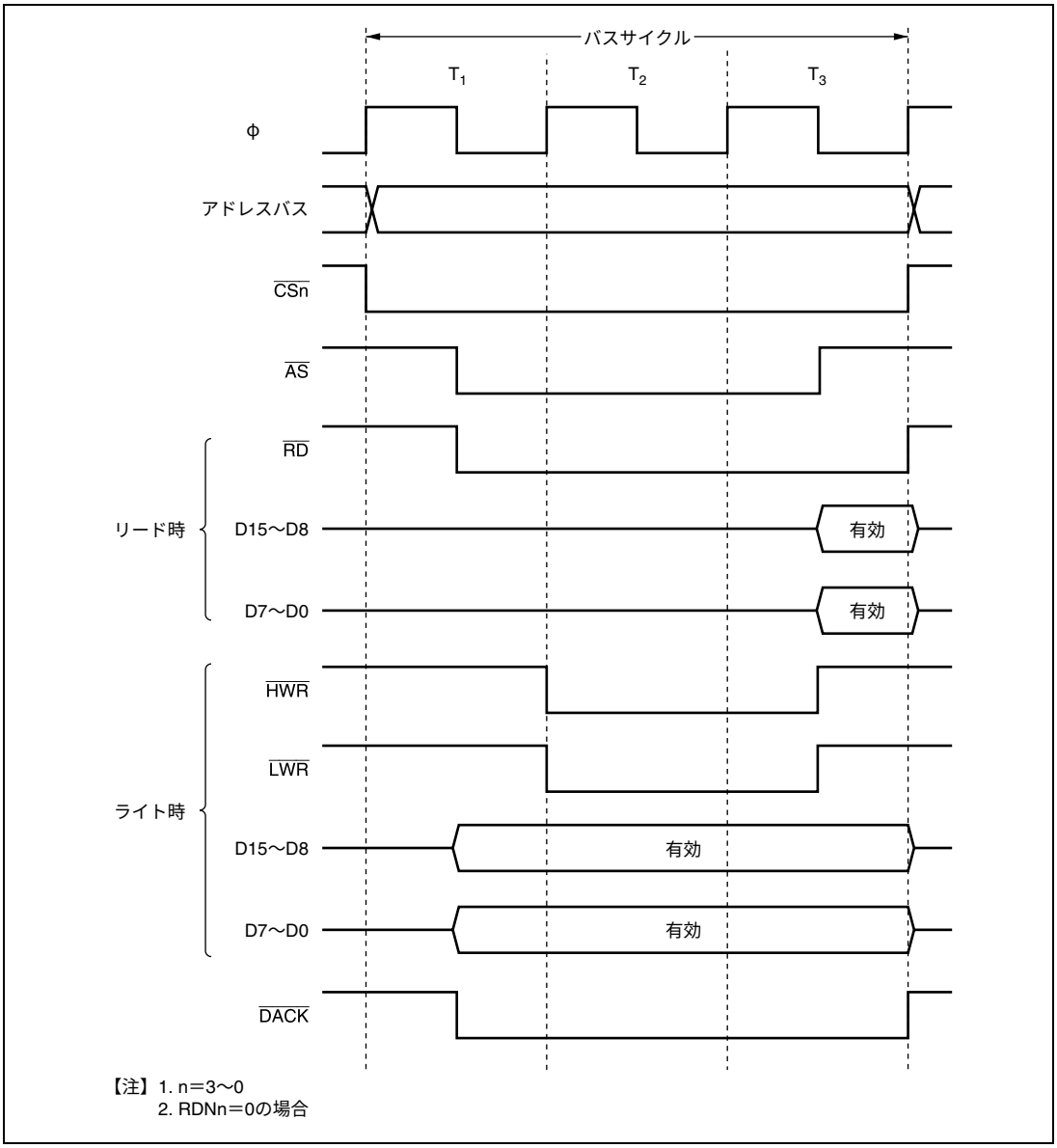


図 6.18　16 ビット 3 ステートアクセス空間のバスタイミング
（ワードアクセス）

6.5.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート（Tw）を挿入して、バスサイクルを引き伸ばすことができます。

WTCR により、3 ステートアクセス空間に対して、エリア単位で 0～7 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

図 6.19 にウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスでプログラムウェイト 7 ステート挿入となっています。

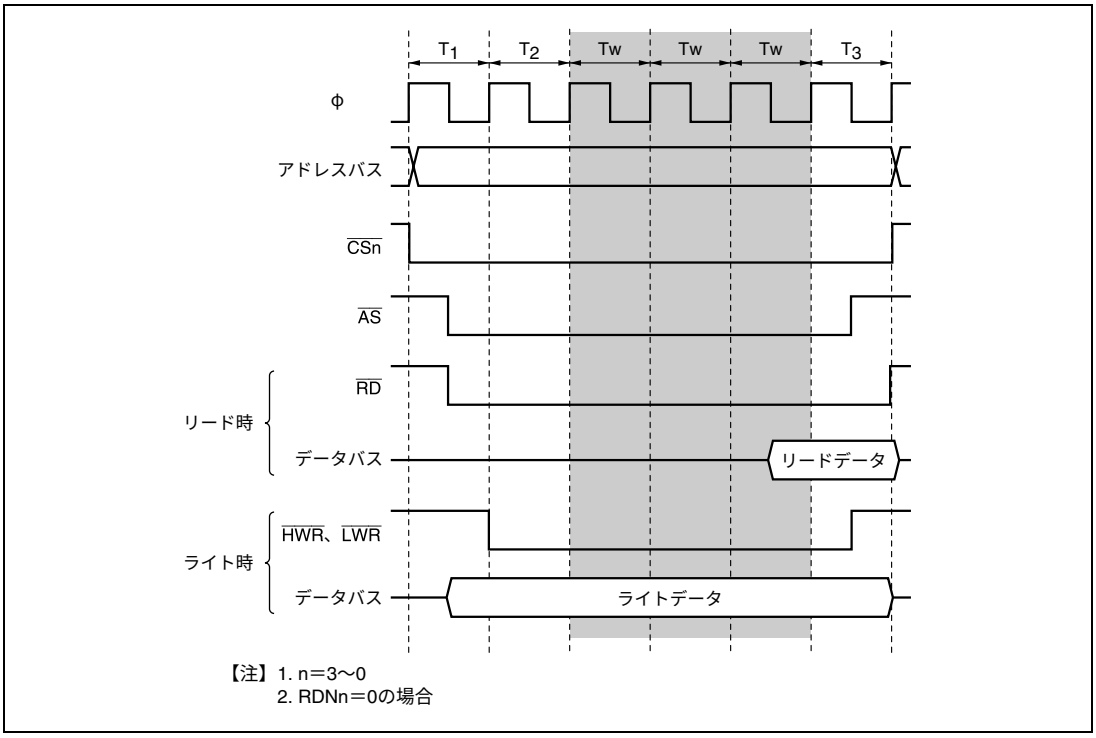


図 6.19　ウェイトステート挿入タイミング例

6.5.5 リードストローブ（$\overline{\text{RD}}$）タイミング

RDNCR の RDN3～RDN0 ビットを 1 にセットすることにより、エリア単位にリードストローブ（$\overline{\text{RD}}$）のタイミングを変更することが可能です。

DMAC をシングルアドレスモードで使用している場合、RDNn=1 に設定して $\overline{\text{RD}}$ のタイミングを変更すると、$\overline{\text{DACK}}$ の立ち上がりに対して、$\overline{\text{RD}}$ のタイミングが変化しますので注意が必要です。

図 6.20 に基本バス 3 ステートアクセス空間でリードストローブのタイミングを変更した場合のタイミング例を示します。

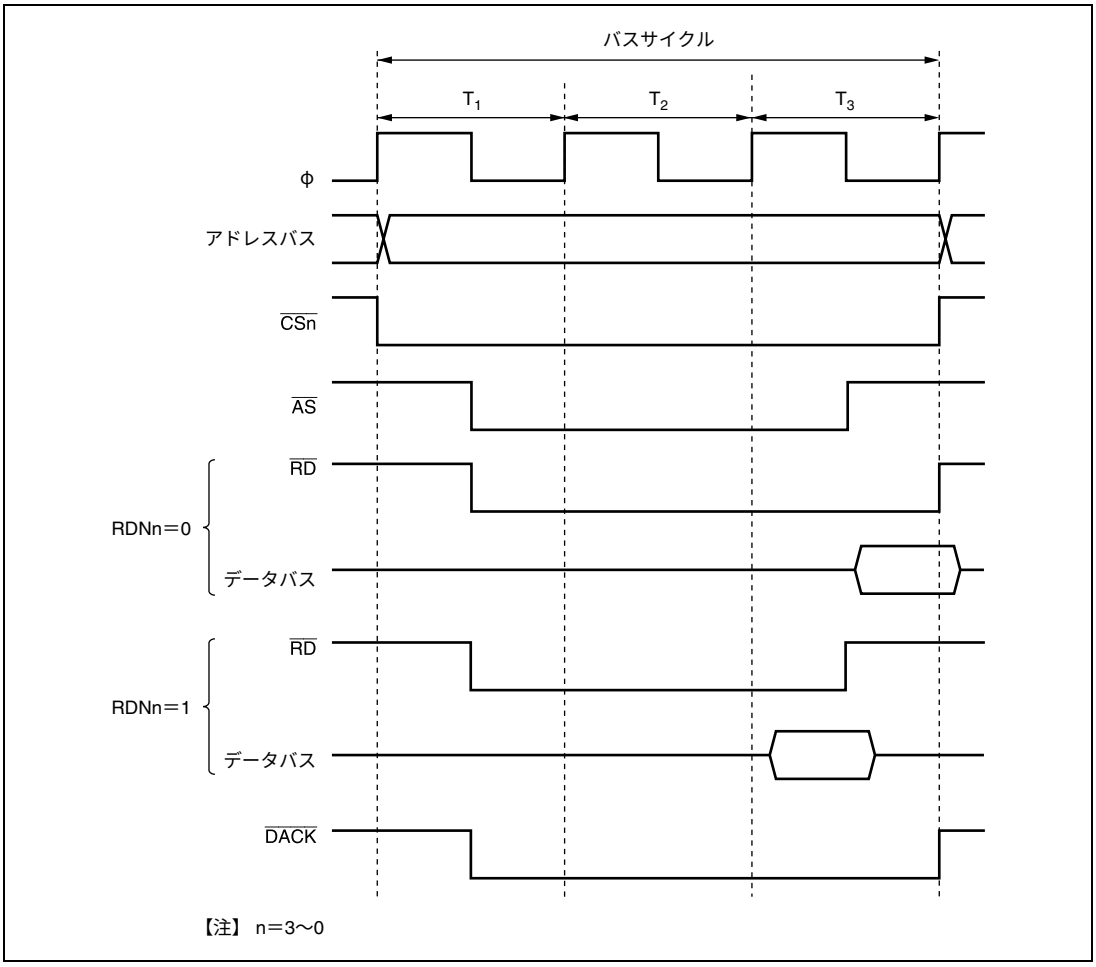


図 6.20 リードストローブタイミング例

6.5.6 チップセレクト（$\overline{CS}$）アサート期間拡張

外部 I/O デバイスには、アドレス、$\overline{CS}$ 信号と $\overline{RD}$、$\overline{HWR}$、$\overline{LWR}$ のストローブ信号の間のセットアップ時間やホールド時間が必要なものがあります。CSACR の設定により、基本バス空間のアクセスサイクルの前後に $\overline{CS}$ と $\overline{AS}$、アドレスだけがアサートされるステートを挿入することができます。$\overline{CS}$ アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の $\overline{CS}$ アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間およびホールド時間が緩和されます。

図 6.21 に基本バス 3 ステートアクセス空間に $\overline{CS}$ アサート期間を拡張した場合のタイミング例を示します。

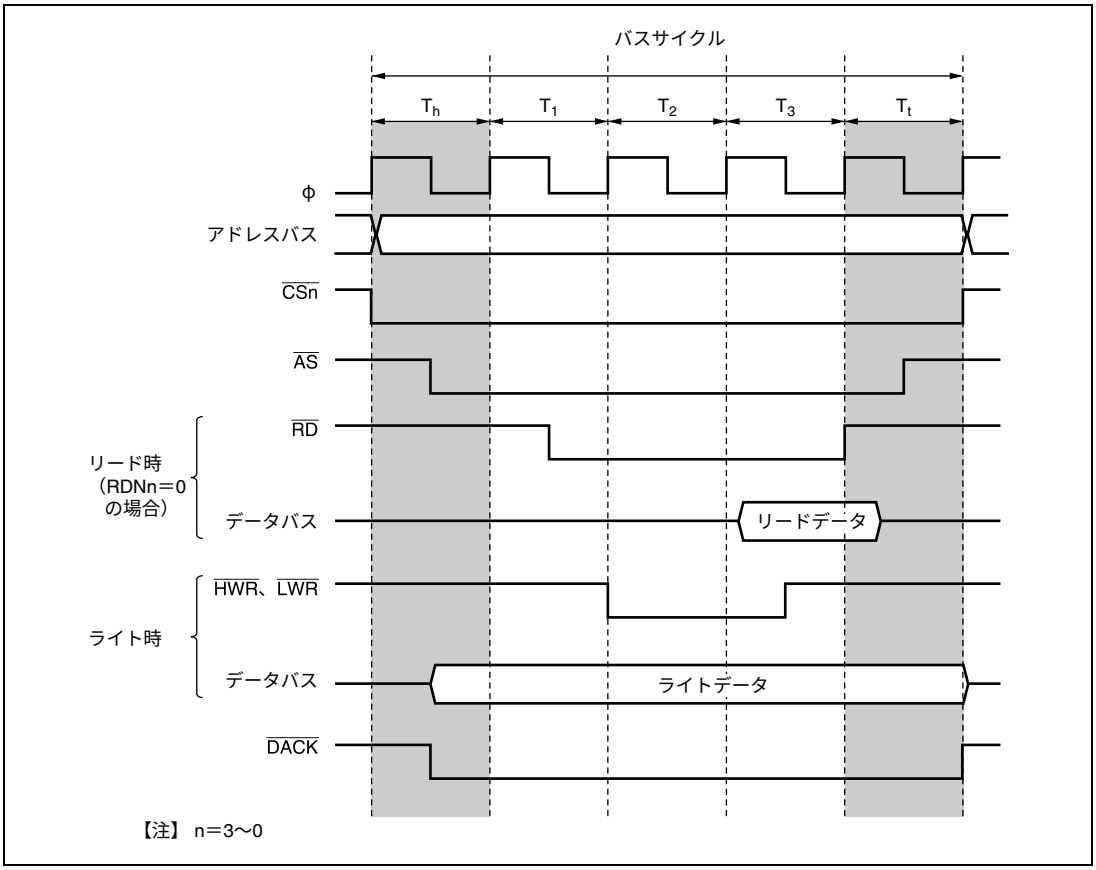


図 6.21　チップセレクトアサート期間拡張時タイミング例

基本バスサイクルの手前に挿入される拡張ステート（Th）と、基本バスサイクルの後に挿入される拡張ステート（Tt）の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 4 ビットの CSXH3〜CSXH0 ビットで Th ステート、下位 4 ビットの CSXT3〜CSXT0 ビットで Tt ステートの挿入の有無を設定することができます。

6.6　DRAM インタフェース

本 LSI はエリア 2 の外部空間を DRAM 空間に設定し、DRAM インタフェースを行うことができます。DRAM インタフェースでは DRAM を本 LSI と直結することができます。DRAMCR の DSET ビットにより、10M バイトの DRAM 空間を設定できます。また、高速ページモードを利用したバースト動作を行うことができます。

6.6.1　DRAM 空間の設定

エリア 2 を DRAM 空間にするには、DRAMCR の DSET ビットを 1 に設定します。

DRAM 空間では、$\overline{\mathrm{RAS}}$ が有効となります。また、バス幅、ウェイトステート数など DRAM 空間のバス仕様は、エリア 2 の設定に従います。

6.6.2　アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2～MXC0 ビットによりロウアドレスのシフト量を選択します。表 6.5 に MXC2～MXC0 の設定値とシフト量の関係を示します。

表 6.5　MXC2～MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																
	MXC2	MXC1	MXC0		A19～A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウアドレス	0	0	0	8ビット	A19～A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			1	9ビット	A19～A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
		1	0	10ビット	A19～A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			1	11ビット	A19～A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
	1	—	—	リザーブ（設定禁止）	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
カラムアドレス	—	—	—	—	A19～A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

6.6.3　データバス

ACSCR の ABW2 ビットを 1 にセットすると当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では、×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D15～D8 の上位側データバスが有効となり、16 ビット DRAM 空間では D15～D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1　データサイズとデータアライメント」を参照してください。

6.6.4　DRAM インタフェース使用端子

表 6.6 に DRAM インタフェースで使用する端子と機能を示します。$\overline{CS2}$ 端子はリセット後、入力状態になっていますが、DRAMCR の DSET ビットを設定し、DRAM 空間を設定すると $\overline{RAS}$ 信号が出力されます。詳細は「第 8 章　I/O ポート」を参照してください。

表 6.6　DRAM インタフェース端子構成

端子	DRAM 設定時	名称	入出力	機能
$\overline{HWR}$	$\overline{WE}$	ライトイネーブル	出力	DRAM 空間アクセス時のライトイネーブル
$\overline{CS2}$	$\overline{RAS}$	ロウアドレスストローブ	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{UCAS}$	$\overline{UCAS}$	アッパーカラムアドレスストローブ	出力	16 ビット DRAM 空間アクセス時のアッパーカラムストローブ/8 ビット DRAM 空間アクセス時のカラムアドレスストローブ
$\overline{LCAS}$	$\overline{LCAS}$	ロウアーカラムアドレスストローブ	出力	16 ビット DRAM 空間アクセス時のロウアーカラムアドレスストローブ信号
$\overline{RD}$	$\overline{OE}$	アウトプットイネーブル	出力	DRAM 空間アクセス時のアウトプットイネーブル
A15～A0	A15～A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15～D0	D15～D0	データ端子	入出力	データ入出力端子

6.6.5　基本動作タイミング

DRAM 空間の基本アクセスタイミングを図 6.22 に示します。

基本タイミング 4 ステートは、Tp（プリチャージサイクル）1 ステート、Tr（ロウアドレス出力サイクル）1 ステート、Tc1、Tc2（カラムアドレス出力サイクル）2 ステートで構成されています。

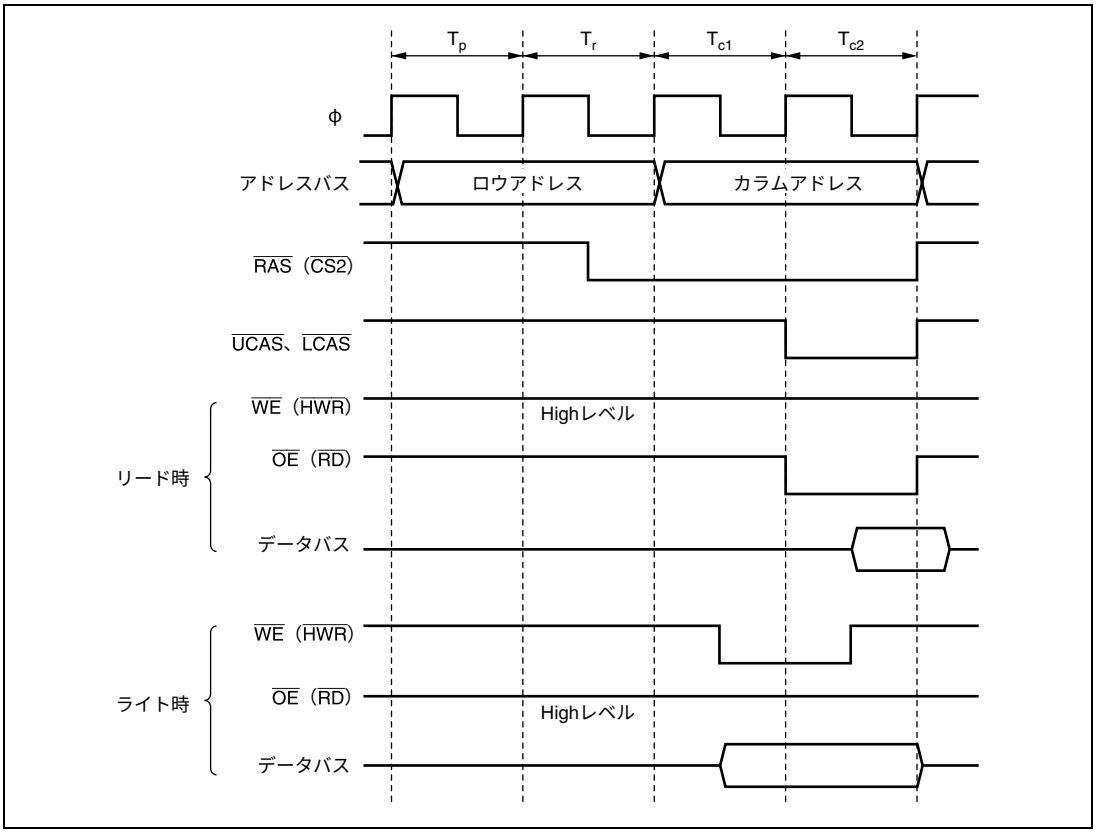


図 6.22　DRAM 基本アクセスタイミング（RAST＝0、CAST＝0 の場合）

DRAM 空間へのアクセス時、$\overline{RD}$ 信号は DRAM への $\overline{OE}$ 信号として出力されています。EDO ページモードを備えた DRAM を接続する際には、$\overline{OE}$ 信号を DRAM の（$\overline{OE}$）端子に接続してください。

6.6.6 カラムアドレス出力サイクル制御

DRAMCR の CAST ビットを 1 にセットすると、カラムアドレス出力サイクルを 2 ステートから 3 ステートへ変更することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、$\overline{CAS}$ パルス幅などの規定値が最適になるように設定してください。図 6.23 にカラムアドレス出力サイクルを 3 ステートに設定した場合のタイミング例を示します。

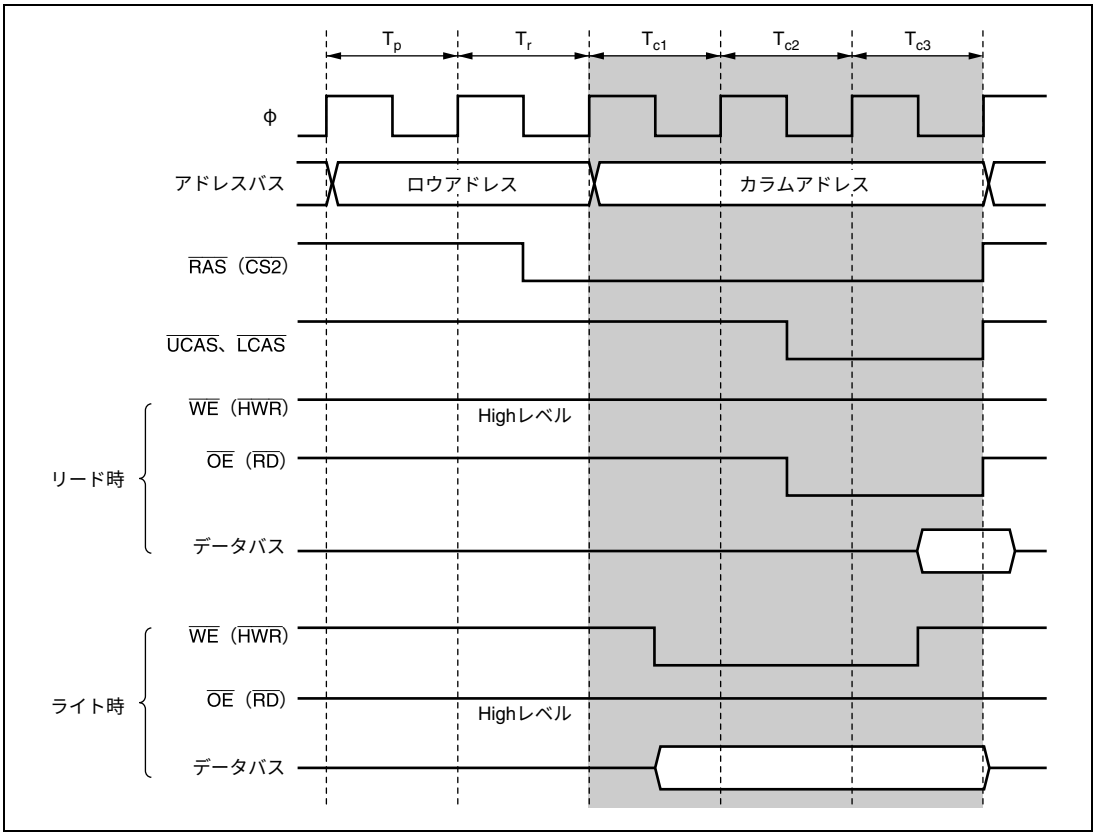


図 6.23　カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例
（RAST＝0 の場合）

6.6.7　ロウアドレス出力ステート制御

DRAMCR の RAST ビットを 1 にセットすると、$\overline{RAS}$ 信号が Tr ステートの先頭から Low レベルとなり、$\overline{RAS}$ 信号の立ち下がりに対するロウアドレスのホールド時間と DRAM リードアクセス時間が変化します。接続する DRAM と本 LSI の動作周波数に応じて最適になるように設定してください。図 6.24 に $\overline{RAS}$ 信号が Tr ステートの先頭から Low レベルとなる場合のタイミング例を示します。

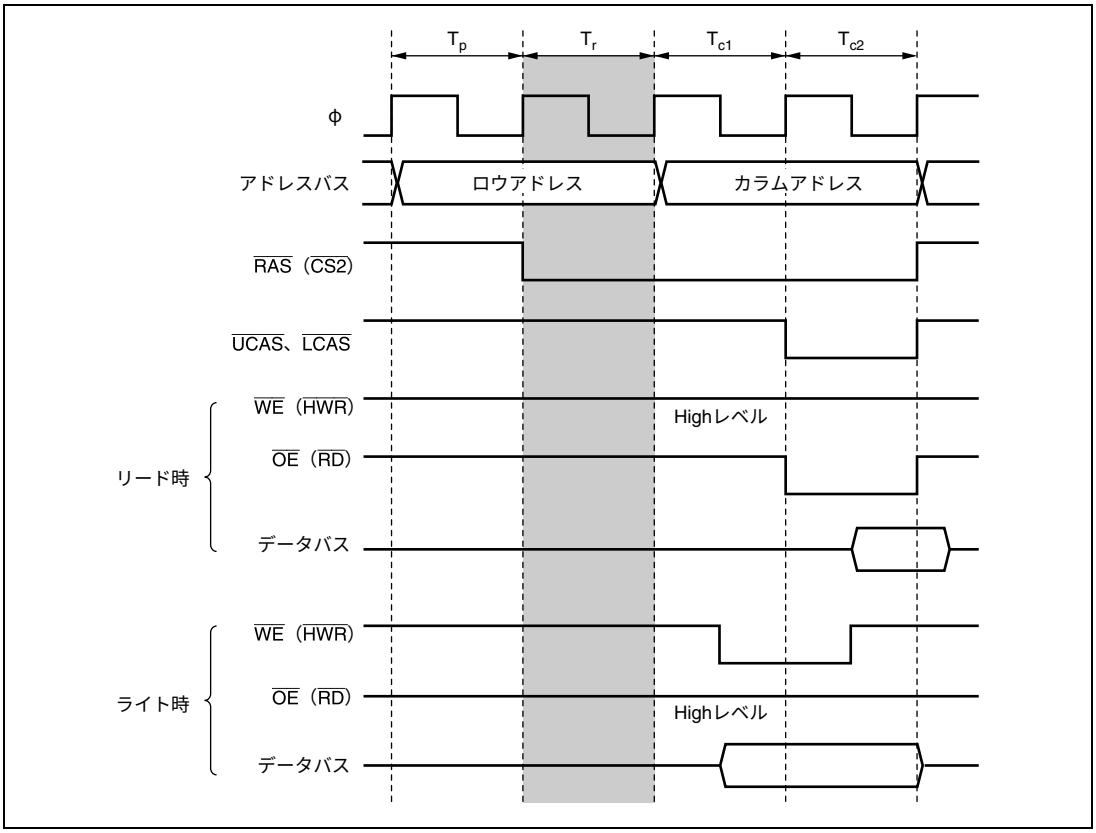


図 6.24　RAS 信号が Tr ステートの先頭から Low レベルとなる場合のアクセスタイミング例
（CAST＝0 の場合）

ロウアドレスのホールド時間またはリード時のアクセス時間が必要な場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、$\overline{\text{RAS}}$ 信号が Low レベルとなる Tr サイクルと、カラムアドレスが出力される T_{c1} サイクルの間にロウアドレスが出力保持されるステート（Trw）を 1～3 ステート挿入することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、$\overline{\text{RAS}}$ 信号の立ち下がりエッジに対するロウアドレス信号のホールド時間が最適になるように設定してください。図 6.25 に Trw を 1 ステートに設定したときのタイミングを示します。

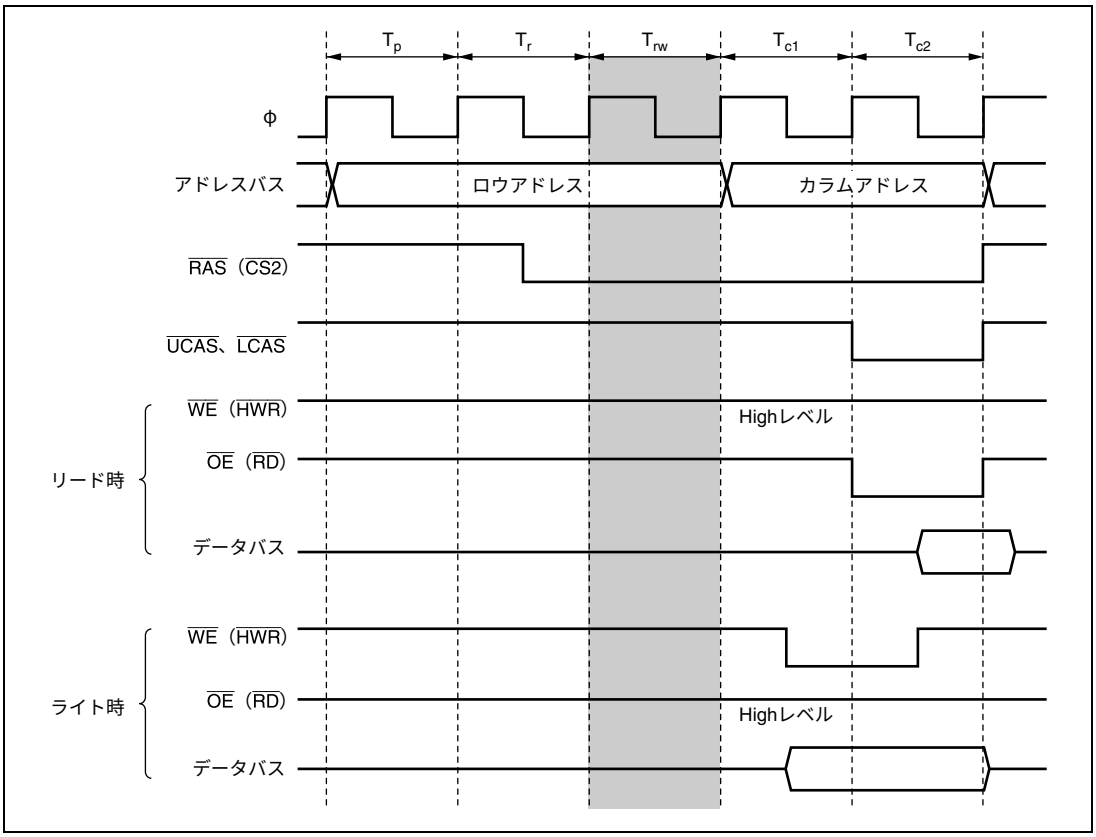


図 6.25　ロウアドレス出力保持ステート数が 1 ステート時のタイミング例
（RAST＝0、CAST＝0 の場合）

6.6.8　プリチャージステート制御

DRAM をアクセスするときには、$\overline{RAS}$ プリチャージ時間を確保する必要があります。本 LSI では、DRAM 空間をアクセスするとき、Tp を必ず 1 ステート挿入します。さらに、DRACCR の TPC1、TPC0 ビットの設定により、Tp を 1 ステートから 4 ステートの範囲で変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な Tp サイクル数を設定してください。図 6.26 に Tp を 2 ステートとしたときのタイミングを示します。TPC1、TPC0 ビットの設定は、リフレッシュサイクルの Tp にも有効です。

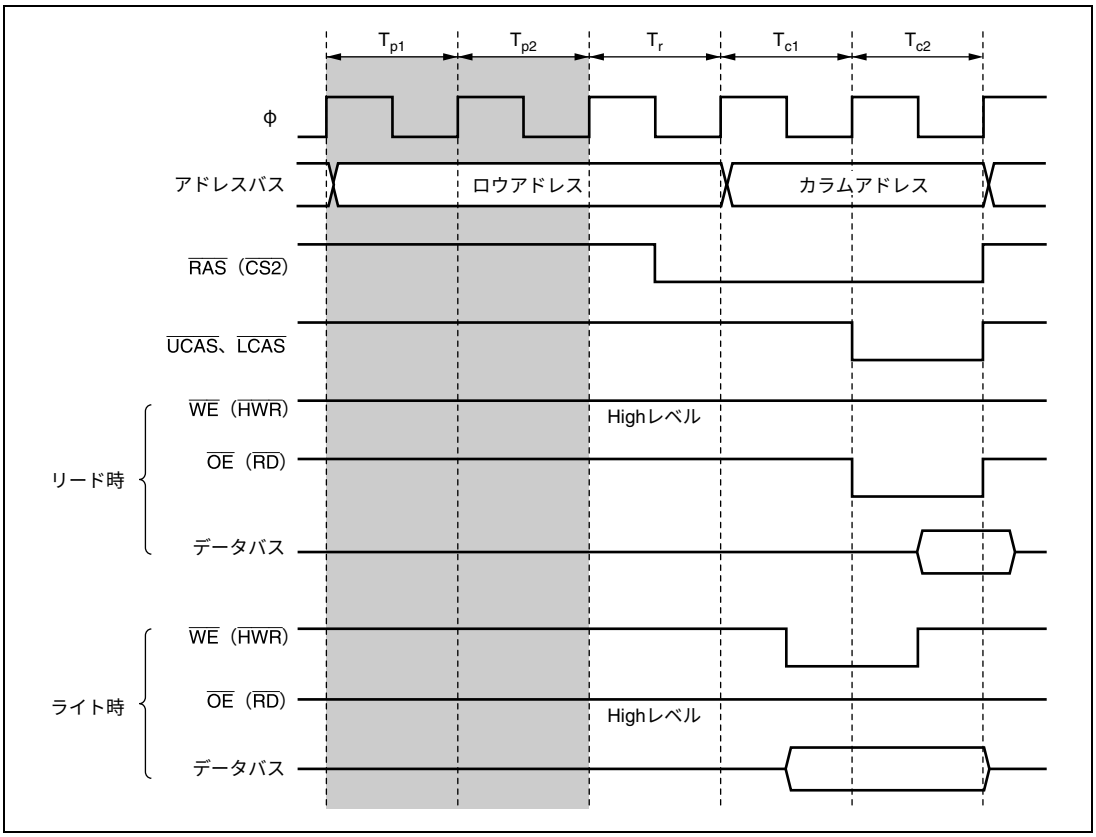


図 6.26　プリチャージサイクル 2 ステート時のタイミング例
（RAST＝0、CAST＝0 の場合）

6.6.9 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入するには、プログラムウェイトの挿入を設定します。

ウェイトステートは、DRAM 空間リードアクセス時には $\overline{CAS}$ のアサート期間を引き延ばすように挿入され、ライトアクセス時にはライトデータと $\overline{CAS}$ の立ち下がりエッジとのセットアップ時間を引き延ばすように挿入されます。

ACSCR の AST2 ビットが 1 にセットされているとき、WTCR の設定により、0〜7 ステートのウェイトステートを自動的に T_{c1} ステートと T_{c2} ステートの間に挿入することができます。

カラムアドレス出力サイクルが 2 ステートのときのウェイトサイクル挿入タイミング例を図 6.27 に、3 ステートのときのウェイトサイクル挿入タイミング例を図 6.28 に示します。

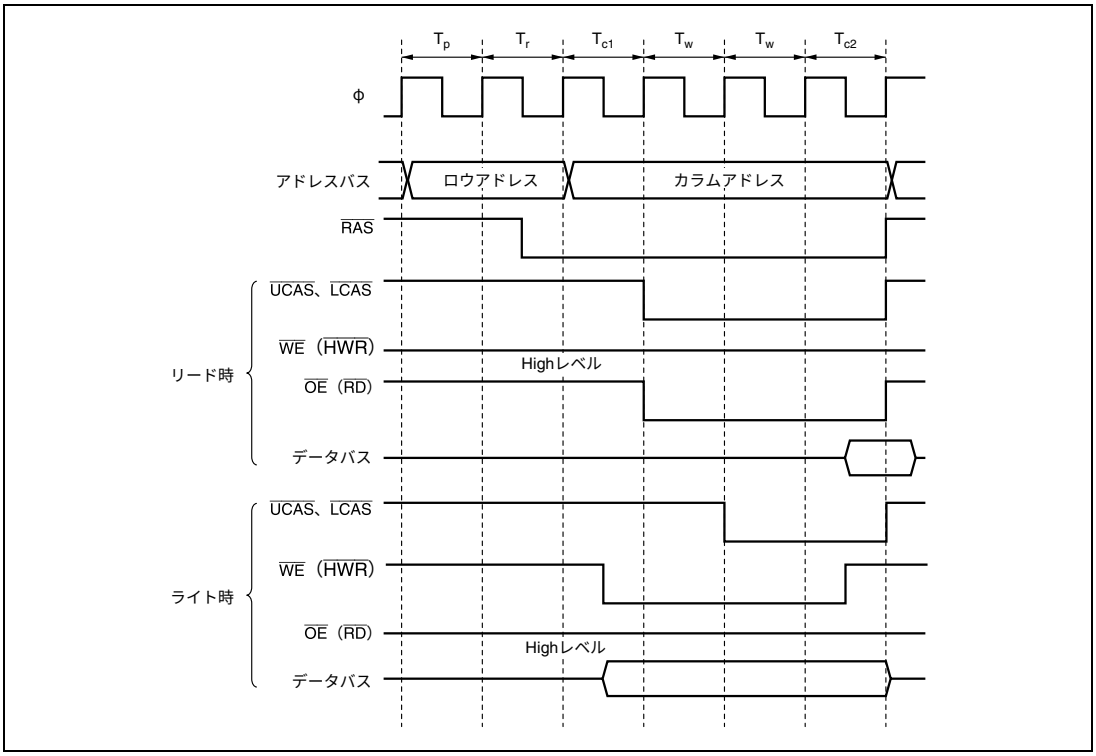


図 6.27　ウェイトステート挿入タイミング例（カラムアドレス出力 2 ステートの場合）

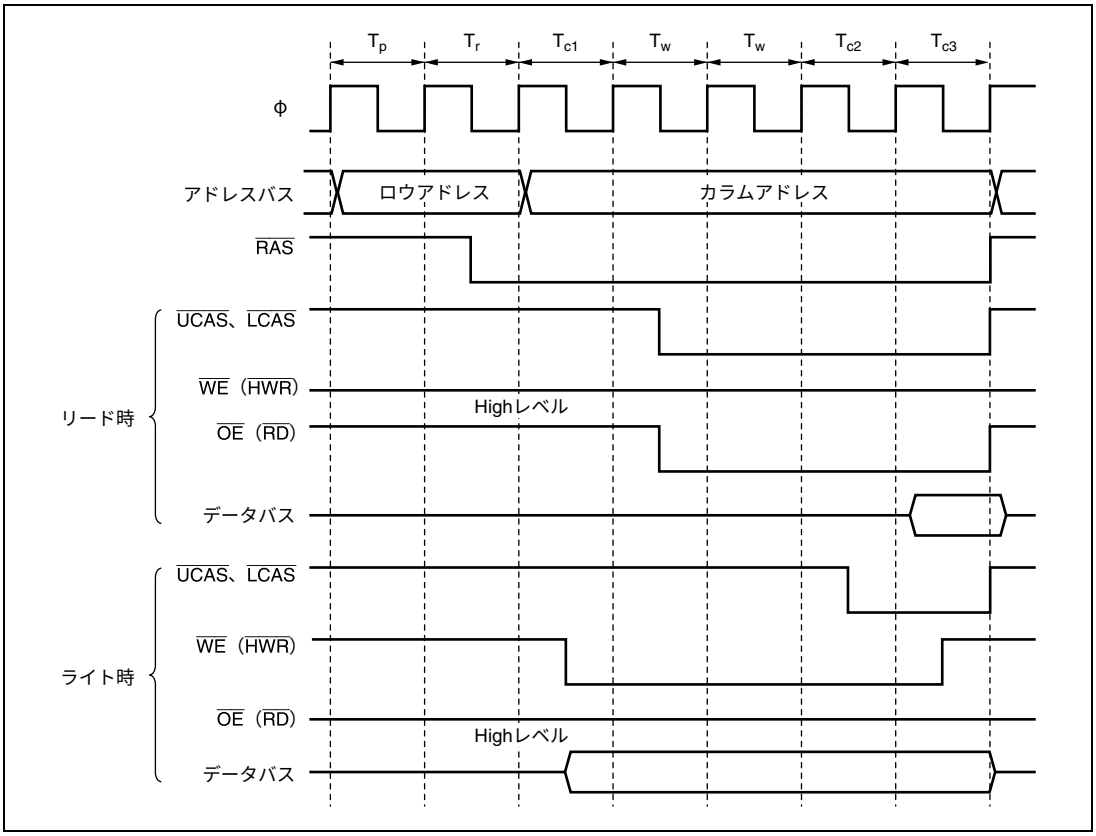


図 6.28　ウェイトステート挿入タイミング例（カラムアドレス出力 3 ステートの場合）

6.6.10　バイトアクセス制御

×16 ビット構成の DRAM を接続するとき、バイトアクセスに必要な制御信号として CAS2 本方式を使用することができます。図 6.29 に CAS2 本方式の制御タイミングを示します。図 6.30 に CAS2 本方式の接続例を示します。

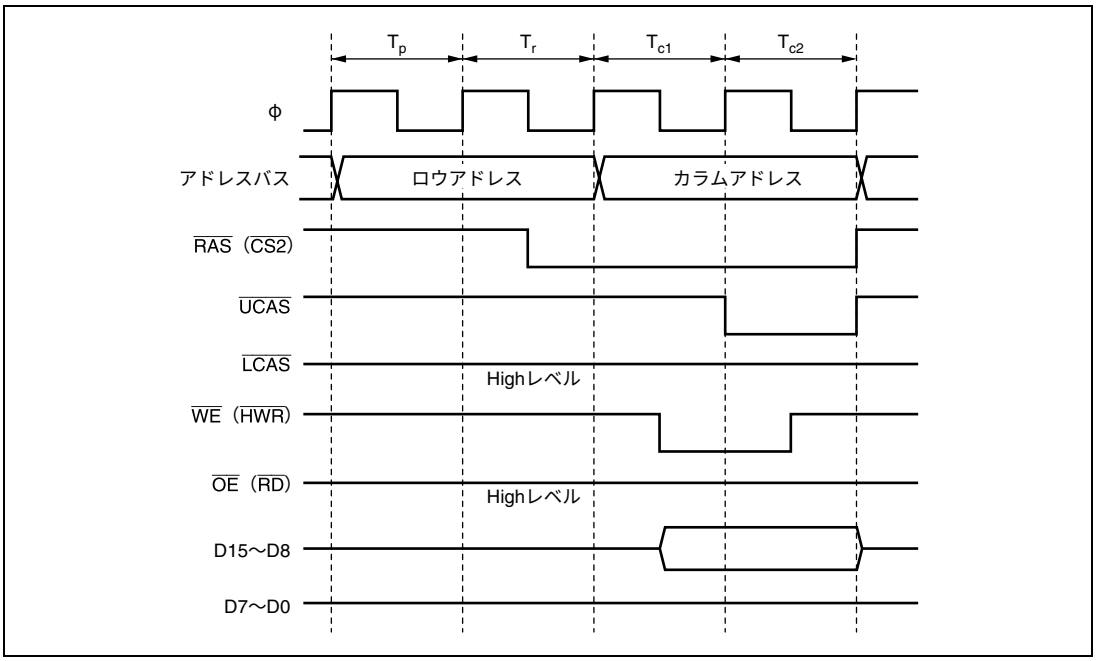


図 6.29　CAS2 本方式の制御タイミング
（偶数アドレスに対するライトアクセス、RAST＝0、CAST＝0 の場合）

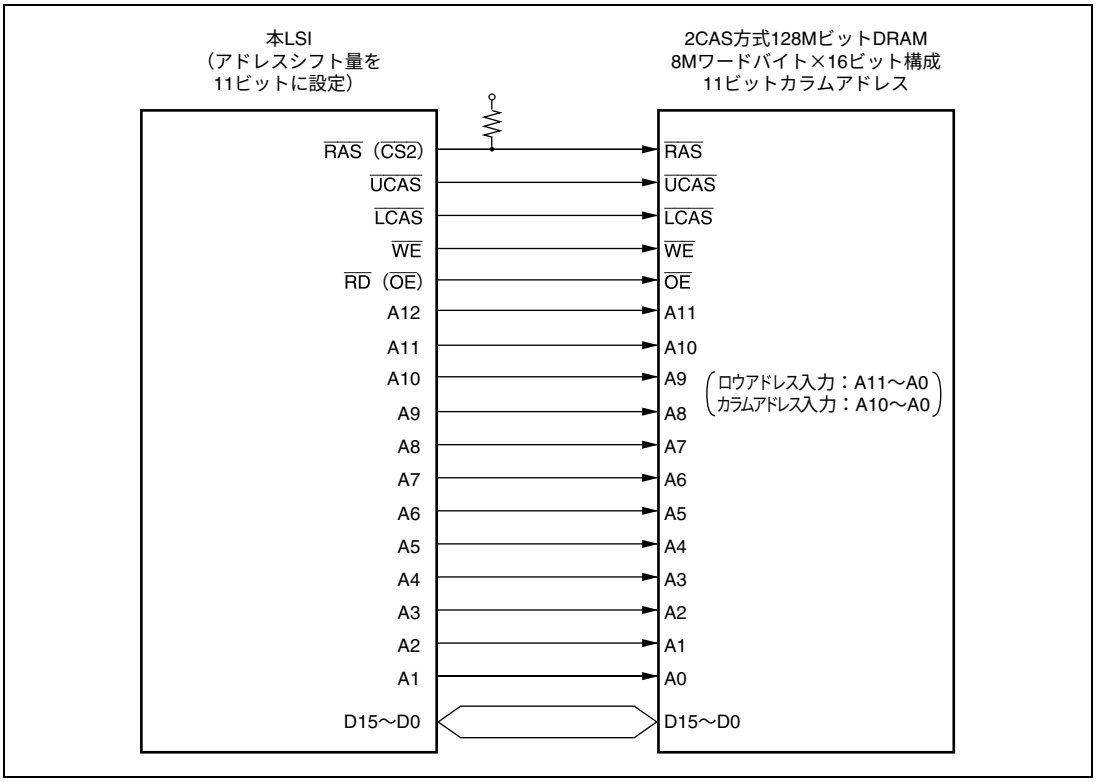


図 6.30　CAS2 本方式の接続例

6.6.11　バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。DRAMCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

（1）　バーストアクセス（高速ページモード）

図 6.31、図 6.32 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、$\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクル（2 ステート）が連続して行われます。比較対象となるロウアドレスは DRAMCR の MXC2～MXC0 ビットにより設定します。

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.6.9　ウェイト制御」を参照してください。

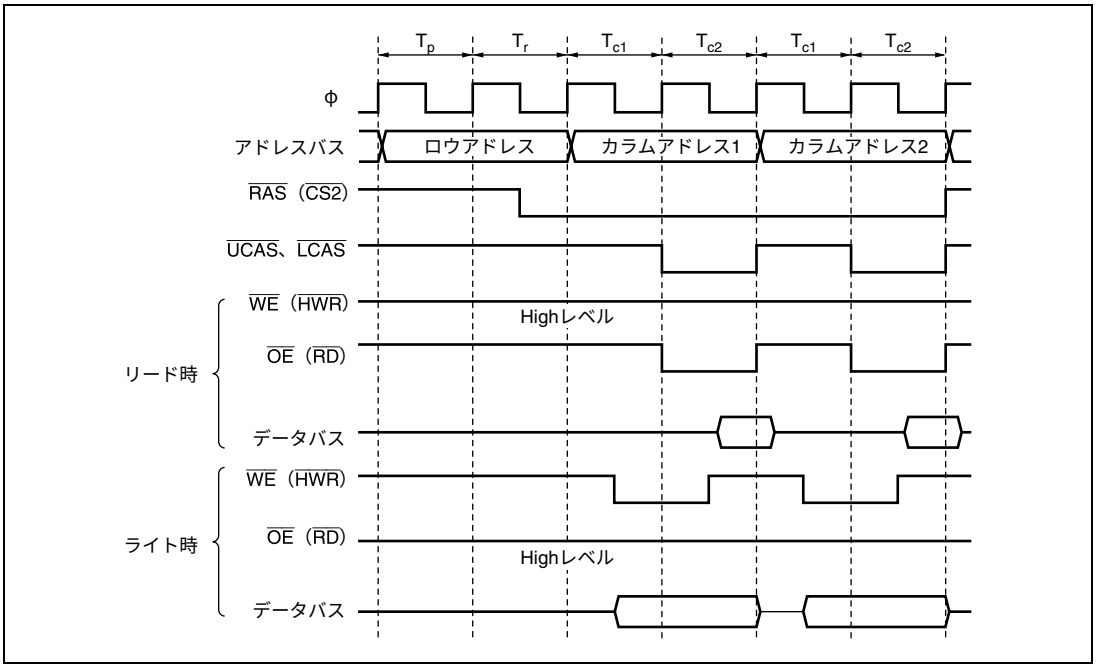


図 6.31　高速ページモードの動作タイミング（RAST＝0、CAST＝0 の場合）

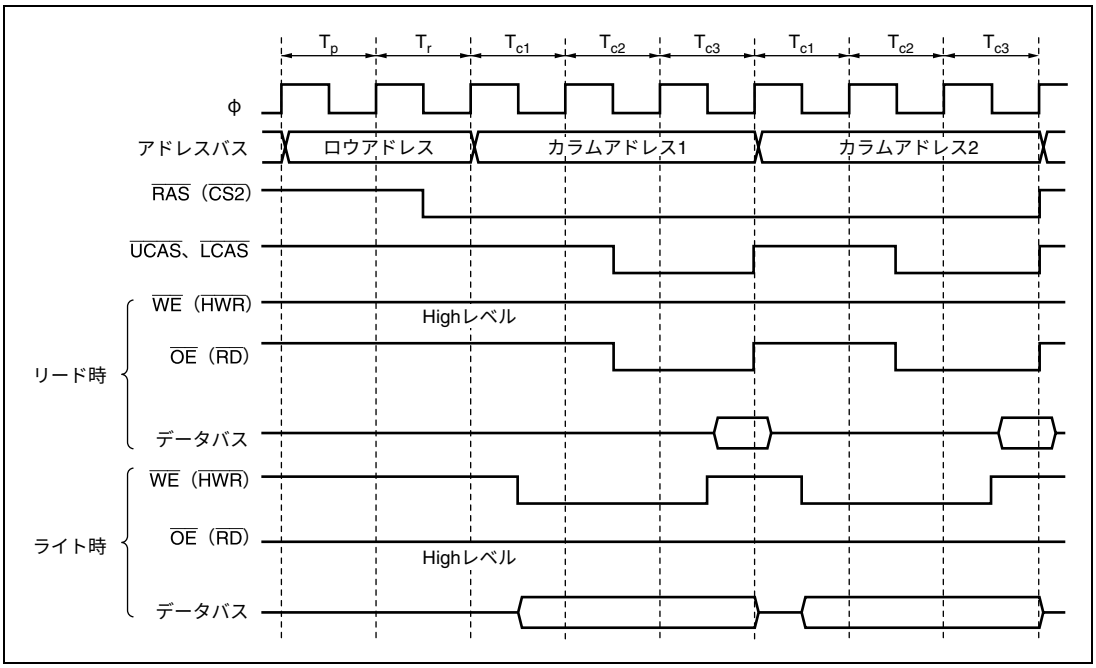


図 6.32　高速ページモードの動作タイミング（RAST＝0、CAST＝1 の場合）

（2） RAS ダウンモードと RAS アップモード

バースト動作を選択しても、DRAM 空間へのアクセスが連続せず、途中に他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{RAS}$ 信号を Low レベルに保持しておくと、次に DRAM 空間の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。

（a） RAS ダウンモード

RAS ダウンモードを選択するときは、DRAMCR の RCDM ビットと BE ビットをともに 1 にセットしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、$\overline{RAS}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致したときに、バーストアクセスが行われます。図 6.33 に RAS ダウンモードのタイミング例を示します。

また、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致せず、RAS ダウンを継続することができない場合、1 ステートの RAS をアップするサイクル（T_{RU}）が DRAM アクセスの直前に挿入されます。図 6.34 に RAS ダウンモードを継続できない場合のアイドルサイクル挿入例を示します。

ただし、以下の場合、$\overline{RAS}$ 信号は High レベルになります。

- リフレッシュ動作がRASダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- RCDMビット、またはBEビットを0にクリアした場合

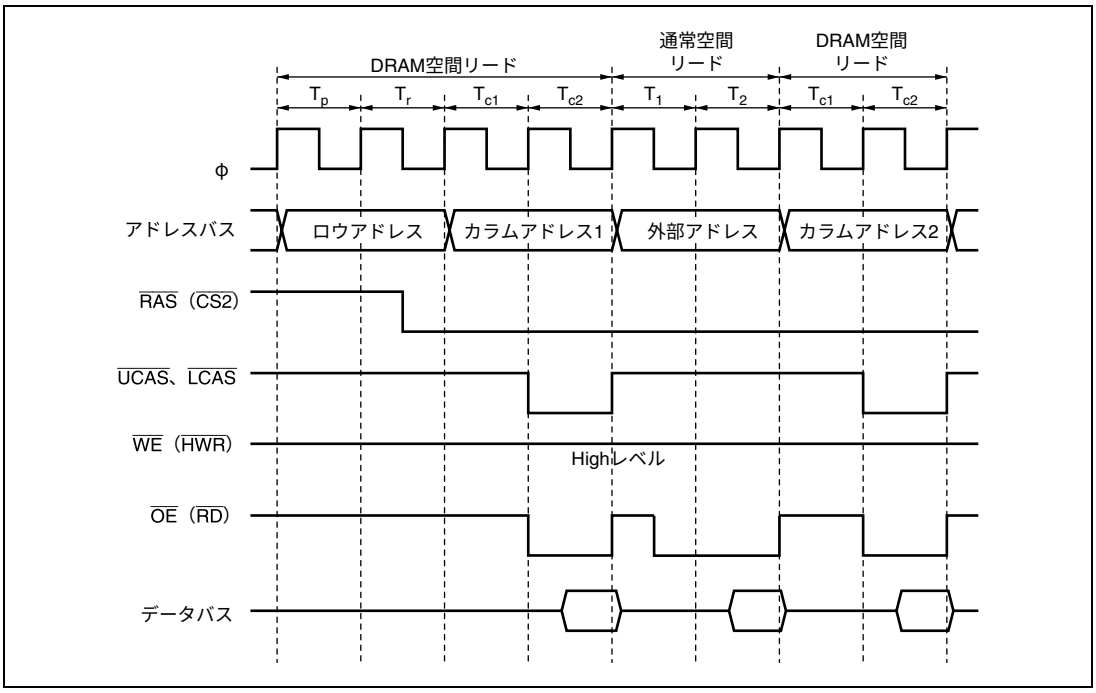


図 6.33　RAS ダウンモードの動作タイミング例（RAST＝0、CAST＝0 の場合）

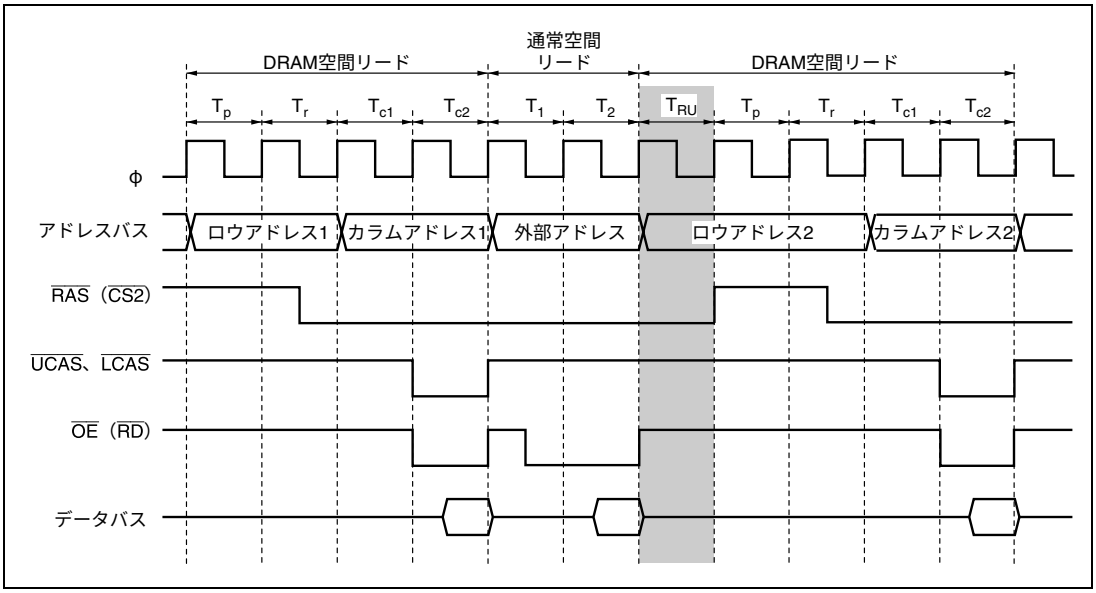


図 6.34　RAS ダウンモードを継続できない場合のアイドルサイクル挿入例

（b） RAS アップモード

RAS アップモードを選択するときは、DRAMCR の RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、$\overline{\text{RAS}}$ 信号を High レベルに戻します。DRAM 空間が連続している場合だけバースト動作が行われます。図 6.35 に RAS アップモードのタイミング例を示します。

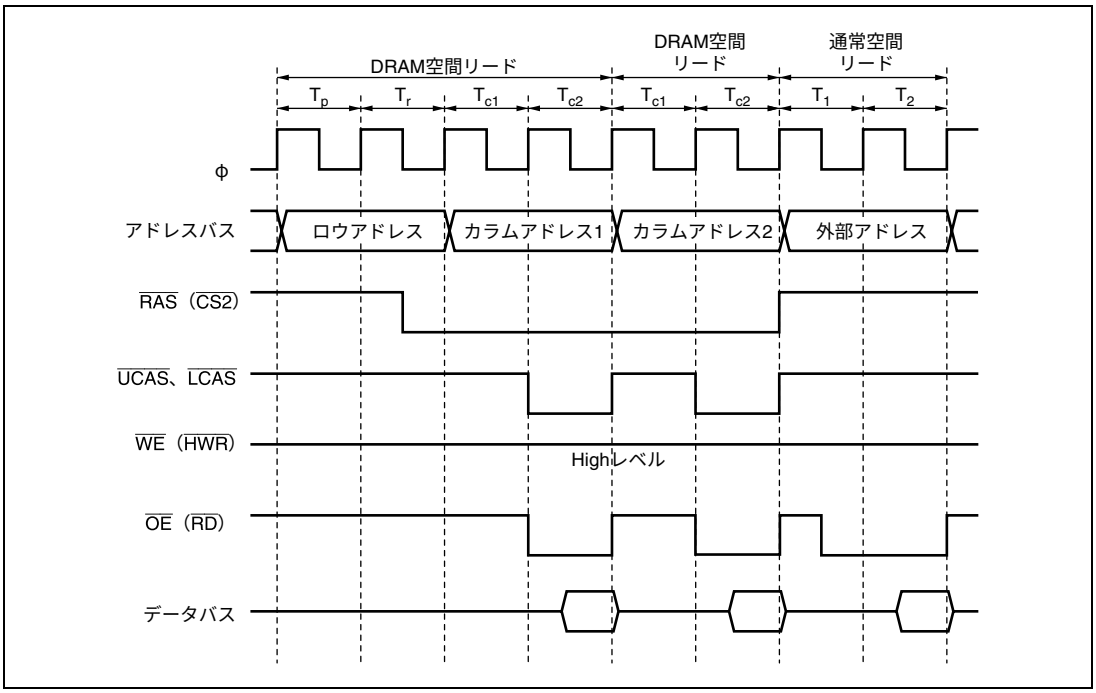


図 6.35　RAS アップモードの動作タイミング例（RAST＝0、CAST＝0 の場合）

6.6.12　リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、CAS ビフォ RAS（CBR）リフレッシュです。また、ソフトウェアスタンバイ状態に遷移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR の DSET ビットの設定により、エリア 2 を DRAM 空間に設定した場合に有効です。

（1） CAS ビフォ RAS（CBR）リフレッシュ

CBR リフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

CBR リフレッシュでは、REFCR の RTCK2～RTCK0 ビットで選択した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致（コンペアマッチ）するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2～RTCK0 ビットで決まる一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2～RTCK0 ビットの値を設定してください。

REFCR の RTCK2～RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2～RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。図 6.36 に RTCNT の動作を、図 6.37 にコンペアマッチのタイミングを、図 6.38 に CBR リフレッシュのタイミングをそれぞれ示します。

また、CBR リフレッシュ期間中は、DRAM 空間以外の外部空間のアクセスを行うことはできません。

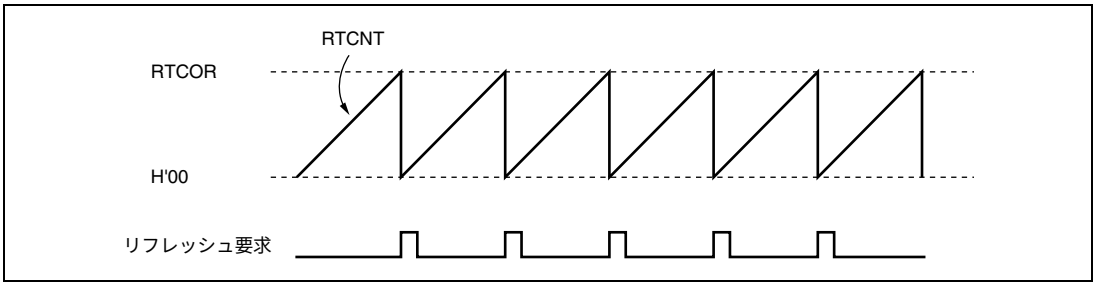


図 6.36　RTCNT の動作

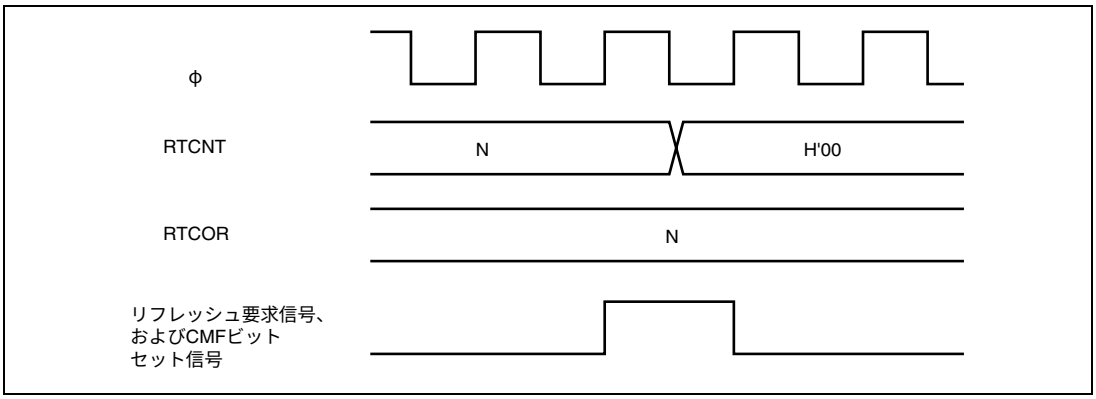


図 6.37　コンペアマッチのタイミング

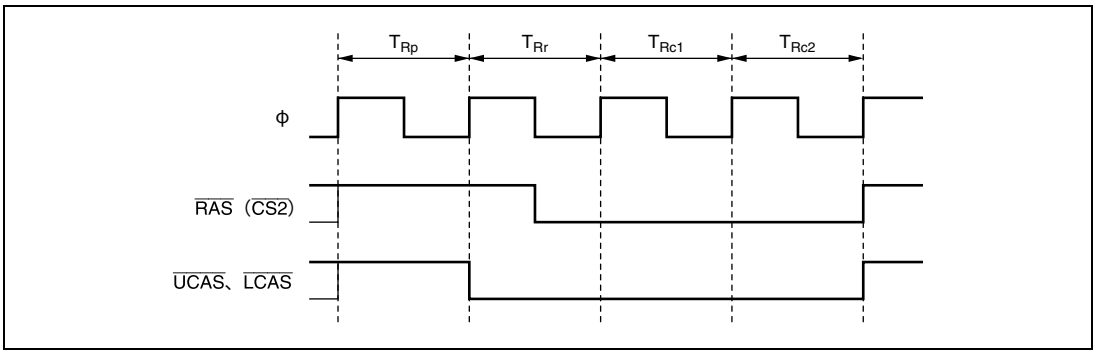


図 6.38　CBR リフレッシュタイミング

また、REFCR の RCW1、RCW0 ビットに設定することにより、$\overline{\mathrm{RAS}}$ 信号が 1 から 3 サイクル遅れて出力することが可能です。$\overline{\mathrm{RAS}}$ 信号幅は、REFCR の RLW1、RLW0 ビットで調整してください。RCW1、RCW0、RLW1、RLW0 ビットの設定は、リフレッシュのときのみ有効になります。図 6.39 に RCW1、RCW0 ビットを設定したときのタイミングを示します。

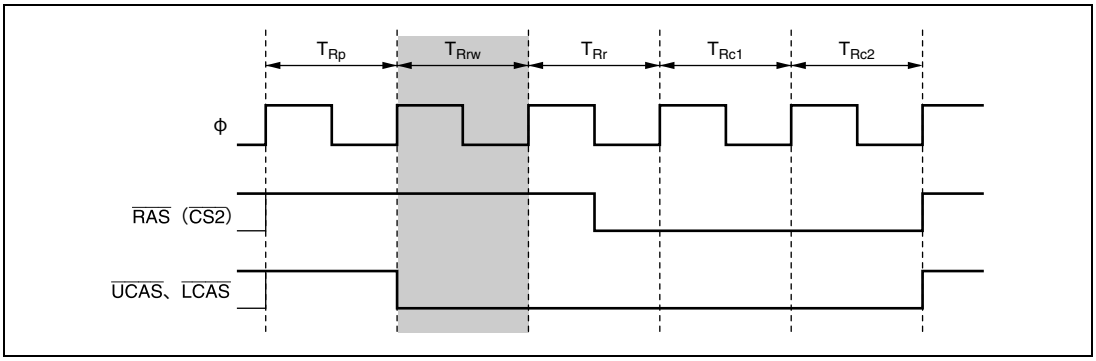


図 6.39　CBR リフレッシュタイミング
（RCW1＝0、RCW0＝1、RLW1＝0、RLW0＝0 の場合）

（2）　セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード（バッテリバックアップモード）を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.40 に示すように $\overline{\mathrm{CAS}}$ 信号と $\overline{\mathrm{RAS}}$ 信号が出力され DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードに遷移する場合、CBR リフレッシュ要求があると CBR リフレッシュを実行した後セルフリフレッシュモードに入ります。

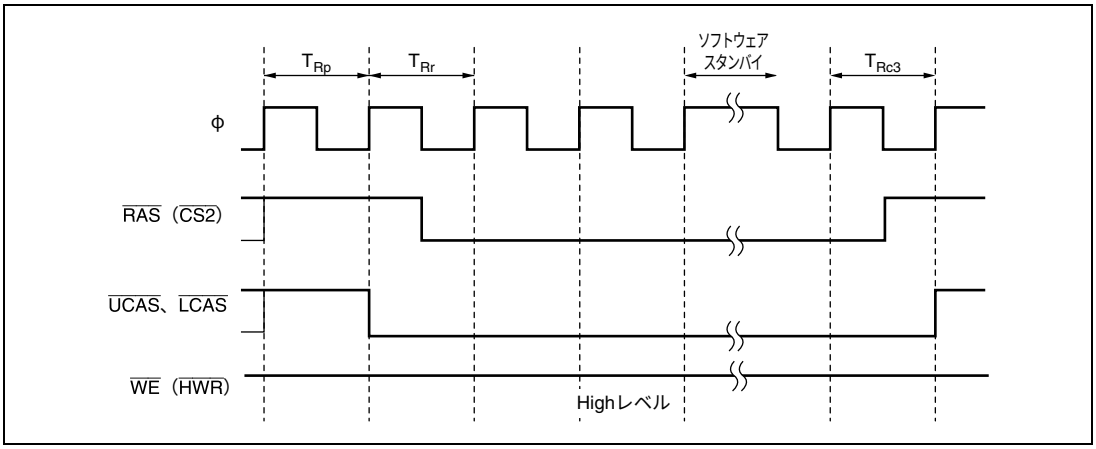


図 6.40　セルフリフレッシュタイミング

また、セルフリフレッシュモードを備える DRAM の中には、セルフリフレッシュ直後の $\overline{\mathrm{RAS}}$ 信号のプリチャージ時間が通常のプリチャージ時間よりも長いものが存在します。REFCR の TPCS2～TPCS0 ビットの設定により、セルフリフレッシュ直後のプリチャージ時間のみを通常のプリチャージ時間より、1～7 ステート増加することが可能です。この場合、DRACCR の TPC1、TPC0 ビットの設定に従った通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.41 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

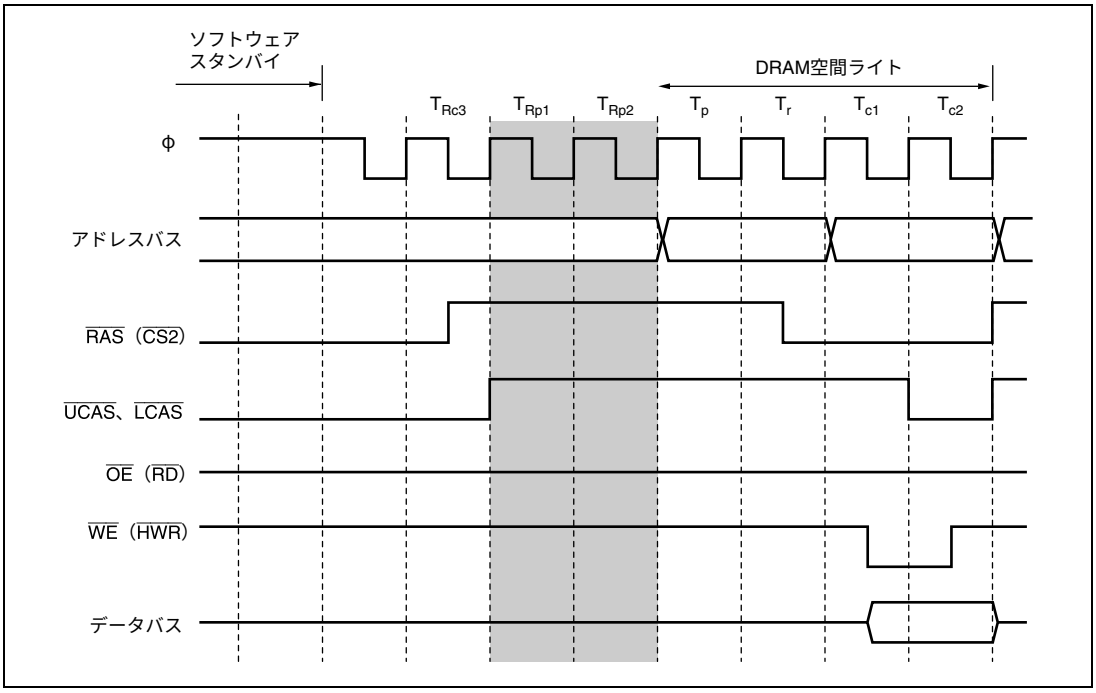


図 6.41　セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例

6.6.13　DMAC シングルアドレス転送モードと DRAM インタフェース

DRAM インタフェースでバーストモードを設定したとき、DRAMCR の DDS ビットによって $\overline{\text{DACK}}$ 出力タイミングを選択します。また、同時に DMAC シングルアドレスモードで DRAM 空間をアクセスする場合に、バーストアクセスを行うか行わないかを選択します。

（1）　DDS＝1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、$\overline{\text{DACK}}$ 出力タイミングは DRAM インタフェースの場合 T_{c1} ステートから Low レベルになります。

図 6.42 に DDS＝1 のときの、DRAM インタフェース時の $\overline{\text{DACK}}$ 出力タイミングを示します。

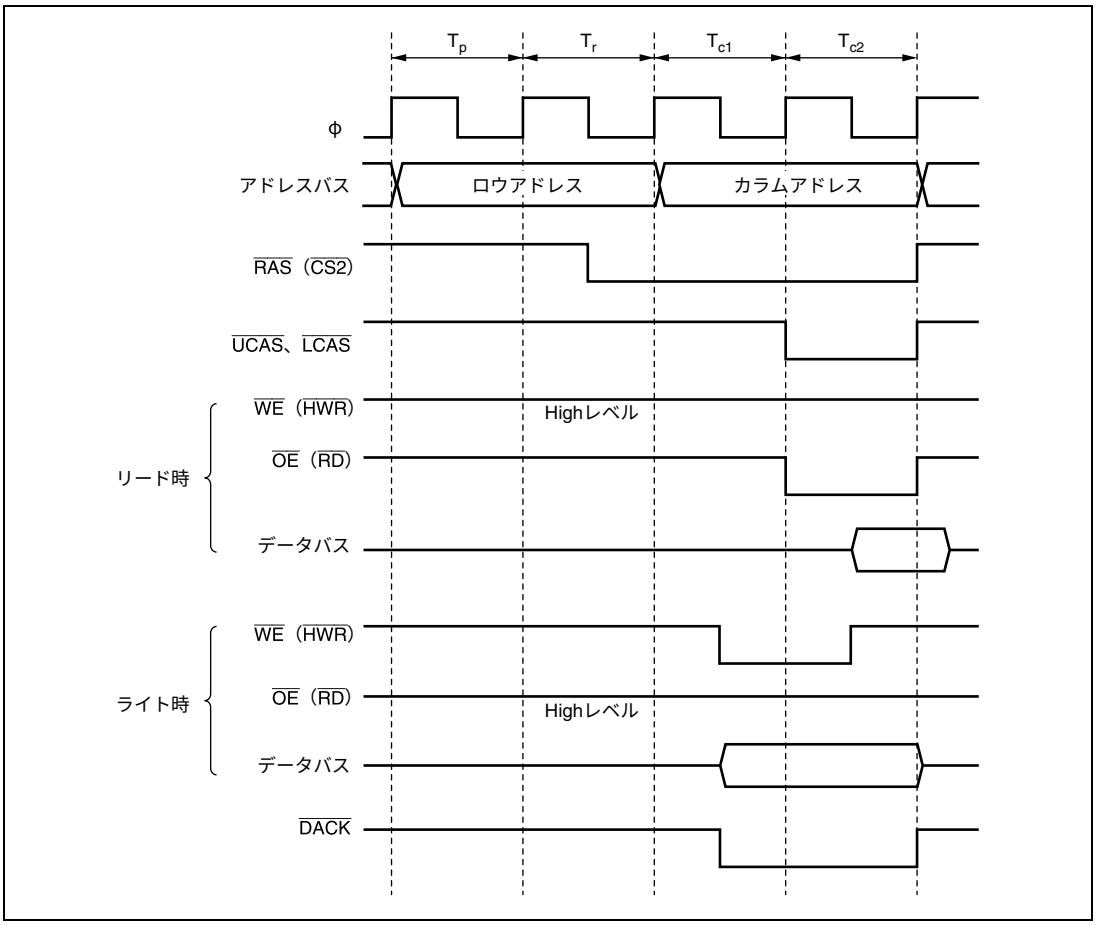


図 6.42　DDS＝1 の場合の $\overline{\text{DACK}}$ 出力タイミング例
（RAST＝0、CAST＝0 の場合）

（2） DDS＝0 のとき

DMAC シングルアドレス転送モードで DRAM 空間をアクセスしたとき、必ずフルアクセス（ノーマルアクセス）を行います。また、$\overline{\text{DACK}}$ 出力タイミングは、DRAM インタフェースの場合 Tr ステートから Low レベルになります。

DMAC シングルアドレス転送モード以外で DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.43 に、DDS＝0 のときの、DRAM インタフェース時の $\overline{\text{DACK}}$ 出力タイミングを示します。

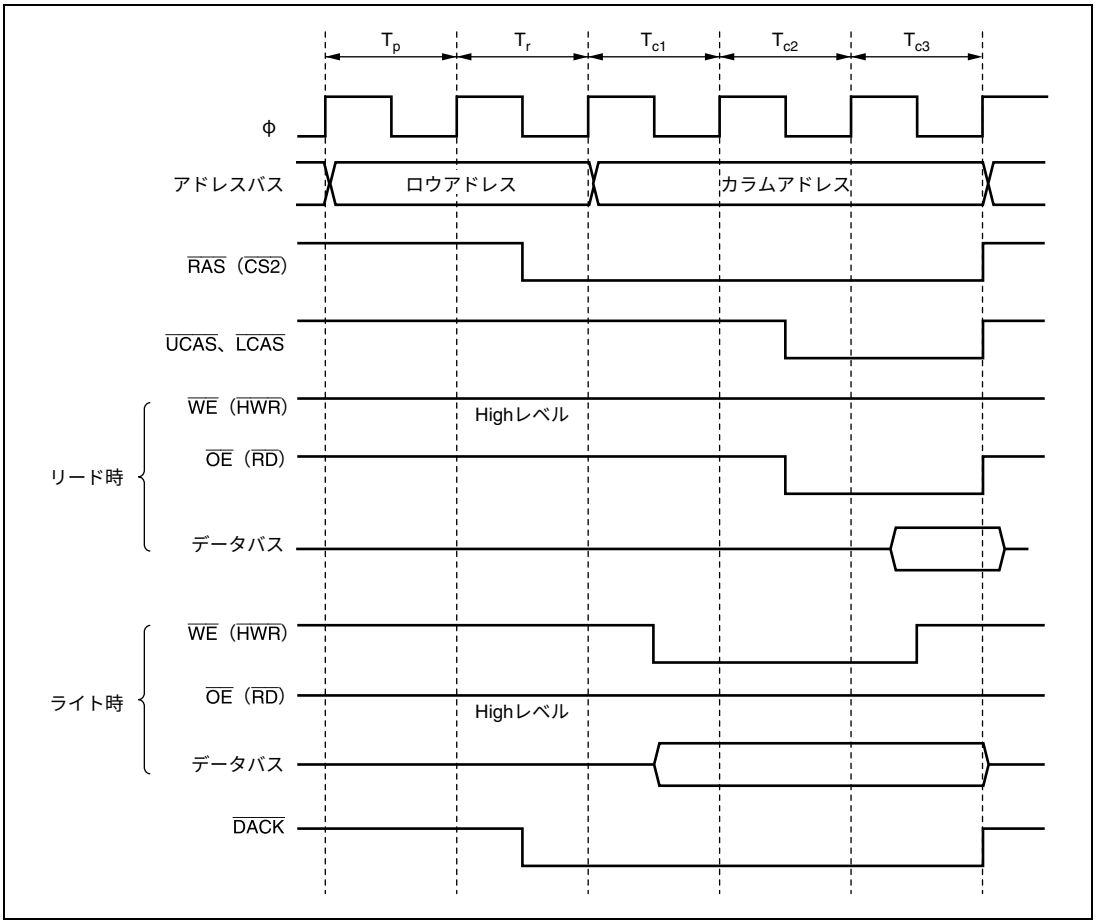


図 6.43　DDS＝0 の場合の $\overline{\text{DACK}}$ 出力タイミング例
（RAST＝0、CAST＝1 の場合）

6.7 アイドルサイクル

6.7.1 動作説明

本 LSI は外部空間をアクセスするとき、（1）異なるエリア間でリードアクセスが連続して発生したとき、もしくはシングルアドレス転送後に外部アクセスサイクルが発生したとき、（2）（1）に加えて、リードサイクルの直後にライトサイクルが発生したとき、（3）（1）（2）に加えて、ライトサイクルの直後にリードサイクルが発生したときの 3 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル（Ti）を挿入することができます。BCR の IDLE1、IDLE0 ビットの設定により、アイドルサイクル挿入の条件を選択できます。アイドルサイクル挿入数は、BCR の IDLC1、IDLC0 ビットの設定により、1～4 ステート挿入可能です。アイドルサイクルの挿入により、出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

（1） 異なるエリア間での連続リード

BCR の IDLE1、IDLE0 ビットを B'01、B'10、B'11 のいずれかに設定した状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、BCR の IDLC1、IDLC0 ビットで設定したアイドルサイクルが挿入されます。

図 6.44 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルでそれぞれ異なるエリアに配置した場合の例です。（a）はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し、（b）ではアイドルサイクルを挿入しデータの衝突を回避しています。

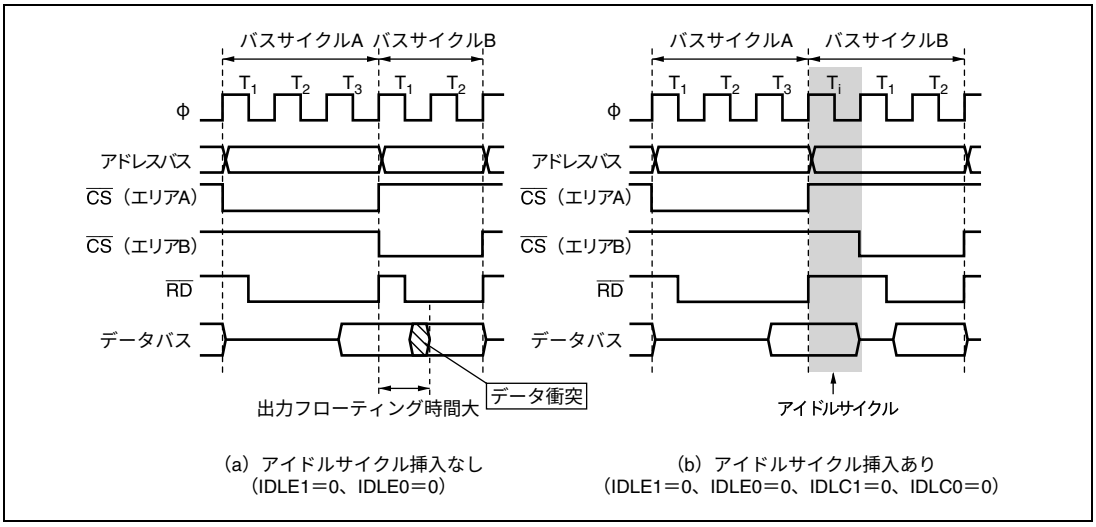


図 6.44 アイドルサイクル動作例（異なるエリア間での連続リード）

（2） リード後のライト

BCR の IDLE1、IDLE0 ビットを B'10、B'11 のいずれかに設定した状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭に、BCR の IDLC1、IDLC0 ビットで設定したアイドルサイクルが挿入されます。

図 6.45 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。（a）はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し、（b）ではアイドルサイクルを挿入し、データの衝突を回避しています。

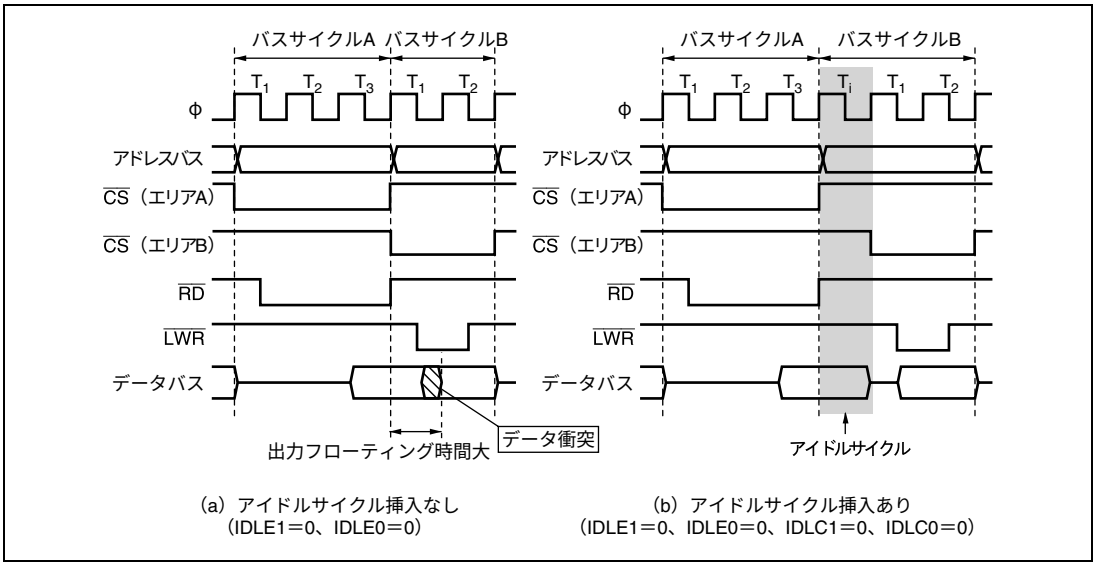


図 6.45　アイドルサイクル動作例（リード後のライト）

（3） ライト後のリード

BCR の IDLE1、IDLE0 ビットを B'11 に設定した状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭に、BCR の IDLC1、IDLC0 ビットで設定したアイドルサイクルが挿入されます。

図 6.46 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は SRAM からのリードサイクルの場合の例です。（a）はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU からのライトデータと SRAM からのリードデータの衝突が発生しています。これに対し、（b）ではアイドルサイクルを挿入し、データの衝突を回避しています。

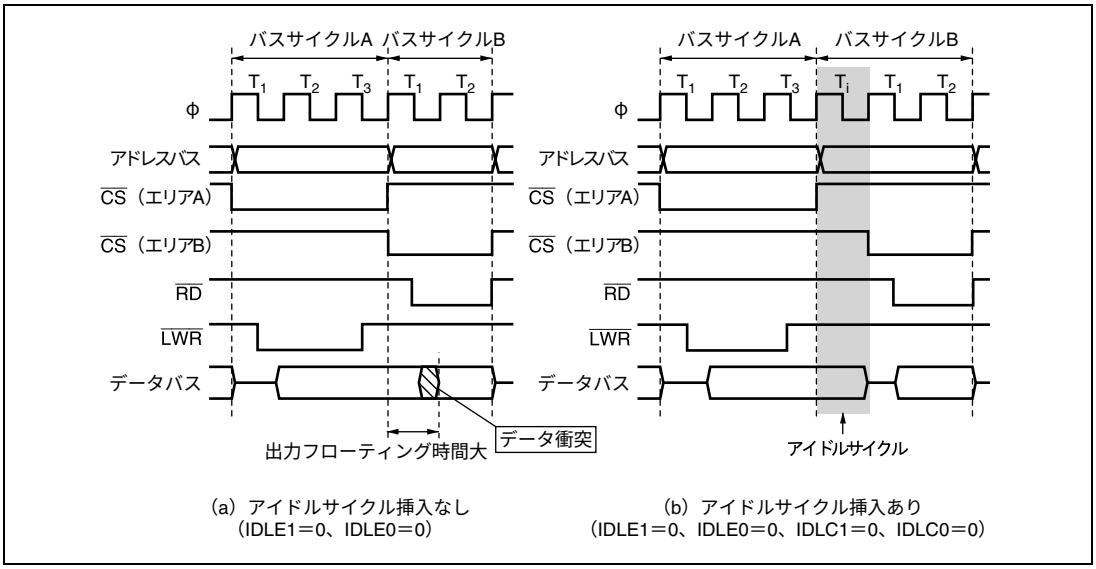


図 6.46　アイドルサイクル動作例（ライト後のリード）

（4）チップセレクト（$\overline{CS}$）信号とリード（$\overline{RD}$）信号の関係

システムの負荷条件によっては、$\overline{CS}$ 信号よりも $\overline{RD}$ 信号の方が遅れる場合があります。図 6.47 に例を示します。（a）のアイドルサイクルを挿入しない設定では、バスサイクル A の $\overline{RD}$ 信号とバスサイクル B の $\overline{CS}$ 信号間でオーバラップ期間が発生する可能性があります。これに対し、（b）のようにアイドルサイクルを挿入する設定にすれば、$\overline{RD}$ 信号と $\overline{CS}$ 信号のオーバラップ期間を回避することができます。

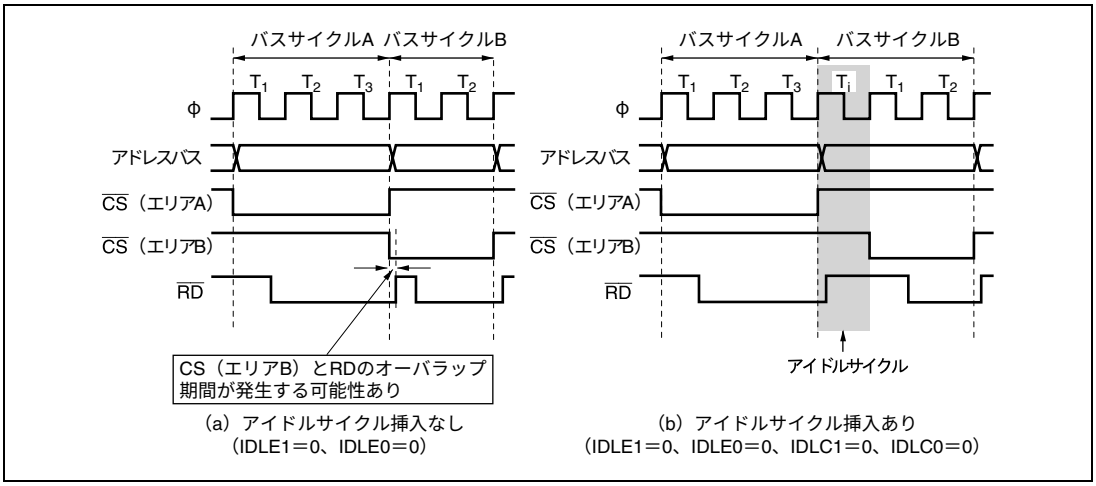


図 6.47　チップセレクト（$\overline{CS}$）とリード（$\overline{RD}$）の関係

（5） 通常空間アクセス後に DRAM 空間をアクセスするときのアイドルサイクル

通常空間アクセス後の DRAM 空間アクセスでは、BCR の IDLE1、IDLE0、IDLC1、IDLC0 ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが DRAM 空間へのフルアクセスのとき、Tp、Tr サイクルを含めてアイドルサイクルとします。DRAM 空間へのフルアクセス時に 4 ステートのアイドルサイクルを挿入した場合のタイミングを図 6.48 に示します。

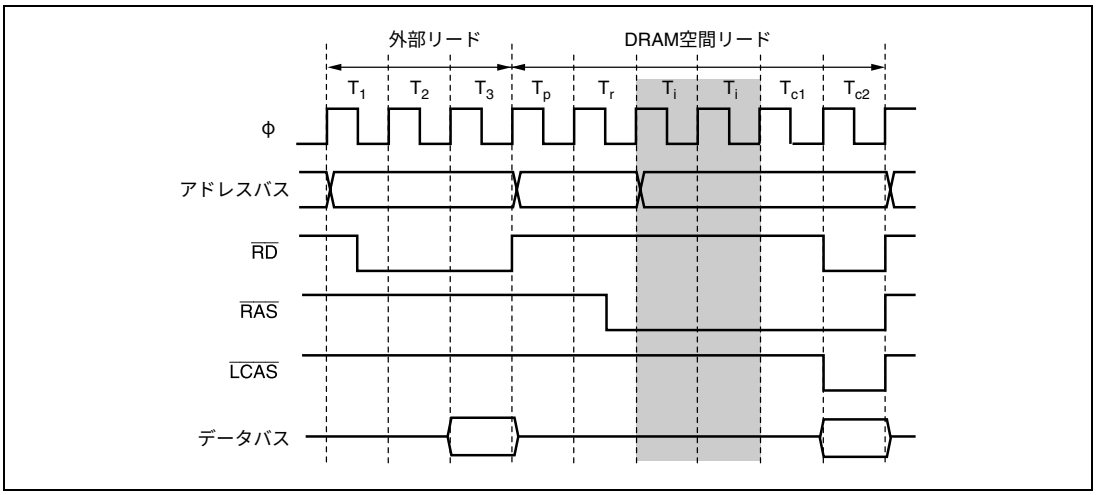


図 6.48　外部リード後の DRAM フルアクセス例（CAST＝0 の場合）

RAS ダウンモード時のバーストアクセスでは IDLE1、IDLE0、IDLC1、IDLC0 ビットの設定が有効となり、アイドルサイクルが挿入されます。このタイミングを図 6.49 に示します。

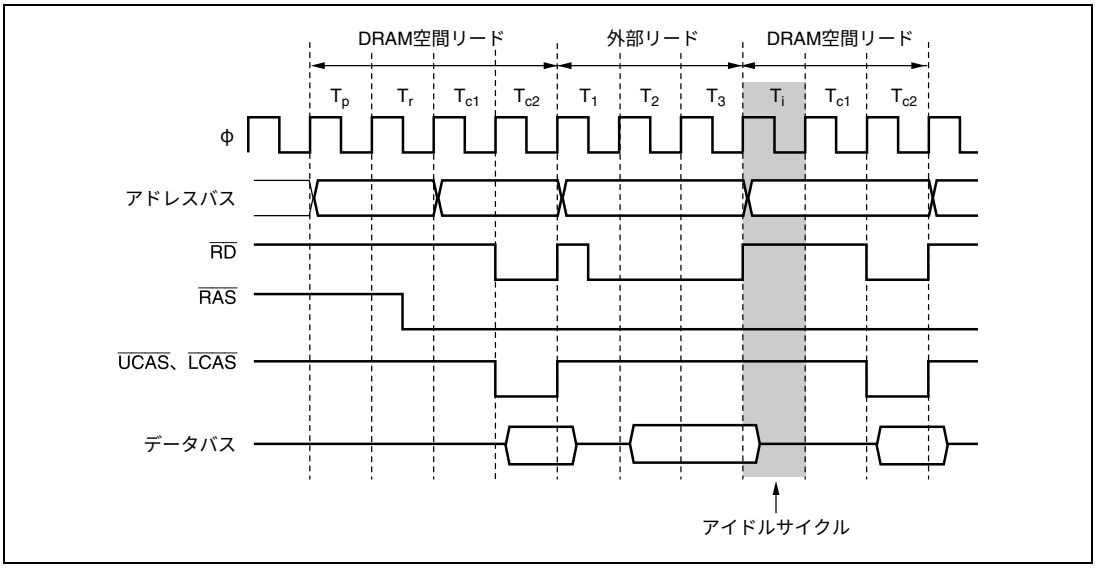


図 6.49　RAS ダウンモード時のアイドルサイクル動作例（異なるエリア間での連続リード）
（IDLE1＝0、IDLE0＝1、IDLC1＝0、IDLC0＝1、RAST＝0、CAST＝0 の場合）

表 6.7 に通常空間と DRAM 空間を混在してアクセスするときのアイドルサイクル挿入の有無を示します。

表 6.7　通常空間と DRAM 空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	IDLC1	IDLC0	IDLE1	IDLE0	アイドルサイクル
通常空間/DRAM 空間リード	通常空間/DRAM 空間リード（異なるエリア）	－	－	0	0	無効
		0	0	0	1	1 ステート
				1	0	
					1	
			1	0	1	2 ステート
				1	0	
					1	
		1	0	0	1	3 ステート
				1	0	
					1	
			1	0	1	4 ステート
				1	0	
					1	
シングルアドレス転送	外部空間アクセス	－	－	0	0	無効
		0	0	0	1	1 ステート
				1	0	
					1	
			1	0	1	2 ステート
				1	0	
					1	
		1	0	0	1	3 ステート
				1	0	
					1	
			1	0	1	4 ステート
				1	0	
					1	
通常空間/DRAM 空間リード	通常空間/DRAM 空間ライト	－	－	0	0	無効
					1	
		0	0	1	0	1 ステート
					1	
			1	1	0	2 ステート
					1	
		1	0	1	0	3 ステート
					1	
			1	1	0	4 ステート
					1	

前のアクセス	次のアクセス	IDLC1	IDLC0	IDLE1	IDLE0	アイドルサイクル
通常空間/DRAM 空間ライト	通常空間/DRAM 空間リード	ー	ー	0	0	無効
					1	
				1	0	
		0	0	1	1	1 ステート
			1	1	1	2 ステート
		1	0	1	1	3 ステート
			1	1	1	4 ステート

6.7.2　アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.8 に示します。

表 6.8　アイドルサイクルでの端子状態

端子名	端子の状態
A19～A0	直後のバスサイクルの内容
D15～D0	ハイインピーダンス
$\overline{\text{CSn}}$（n＝3～0）	High レベル*
$\overline{\text{UCAS}}$、$\overline{\text{LCAS}}$	High レベル
$\overline{\text{AS}}$	High レベル
$\overline{\text{RD}}$	High レベル
$\overline{\text{HWR}}$、$\overline{\text{LWR}}$	High レベル
$\overline{\text{RAS}}$	High レベル*
$\overline{\text{WE}}$	High レベル
$\overline{\text{DACKn}}$（n＝3～0）	High レベル

【注】　*　DRAM 空間での RAS ダウンモードでは Low レベルを保持します。

6.8　ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMA シングルアドレスモード転送と、内部アクセスを並行して実行することができます。BCR の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.50 にライトデータバファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMA シングルアドレスモード転送が 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード／ライト）が並行して実行されます。

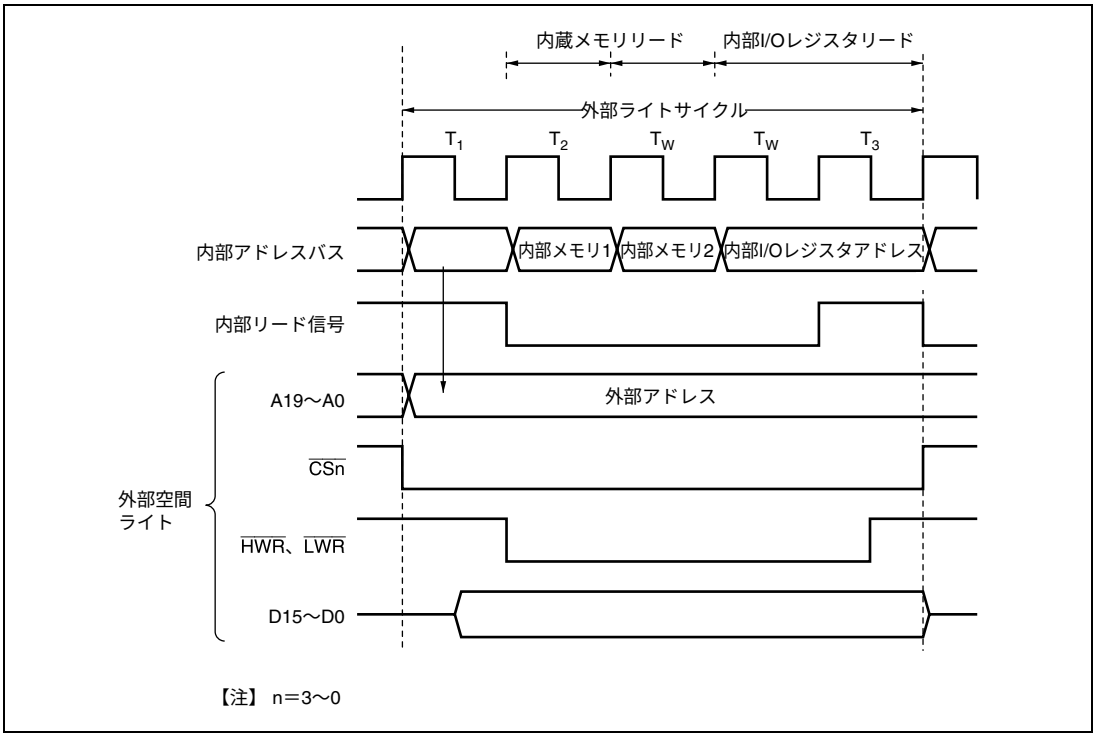


図 6.50　ライトデータバッファ機能使用時のタイミング例

6.9　バスアービトレーション

本 LSI はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC の 2 つがあり、バス権を占有した状態でリード／ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.9.1　動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていればそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

（高）　DMAC　＞　CPU　（低）

6.9.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

（1） CPU

CPU は最も優先順位が低いバスマスタで、DMAC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
- BSET、BCLRなどのビット操作命令では、一旦対象のデータを読み込み（リード）、所定のビット操作演算後（モディファイ）、書き戻し（ライト）ます。このようなリード―モディファイ―ライトサイクルの間は一連のバスサイクルとして実行されるためバス権を移行しません。
- CPUがスリープモードの場合、ただちにバス権を移行します。

（2） DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はノーマル転送モード、またはサイクルスチール転送モードの場合、1 回の転送終了後にバス権を解放します。ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

6.10 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

7. DMA コントローラ（DMAC）

本 LSI は、DMA コントローラ（DMAC）を内蔵しています。DMAC は最大 4 チャネルのデータ転送を行うことができます。

7.1 特長

- チャネル数：4チャネル
- アドレス空間：物理アドレス空間（16Mバイトフラットな外部空間）
- 転送データ長：バイト、ワードまたはロングワードを選択可能
- 最大転送回数： 16,777,215回／無限大（フリーランニング）
- アドレスモード：デュアルアドレスモード、シングルアドレスモードの選択可能

  デュアルアドレスモード

  転送元、転送先双方をアドレスアクセスします。

  転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指定しています。双方をアドレスアクセスします。

  一回のデータ転送に2バスサイクルを必要とします。

  シングルアドレスモード

  転送元か、転送先の周辺デバイスを$\overline{\text{DACK}}$信号でアクセスし、もう一方をアドレスアクセスします。一回のデータ転送が1バスサイクルで終了します。
- 転送要求：DMACの転送起動要求には以下の種類があります。

  外部リクエスト

  $\overline{\text{DREQ}}$端子4本。Lowレベル検出または立ち下がりエッジ検出の指定が可能。

  すべてのチャネルで外部リクエスト要求を受け付けることが可能。

  オートリクエスト

  転送要求をDMAC内部で自動的に発生させます。

  内蔵USBモジュール

  すべてのチャネルで内蔵USBモジュールからのリクエスト要求を受け付けることが可能。
- バスモード：サイクルスチールモードとバーストモードの選択可能

- 転送モード：ノーマルモードとブロック転送モードを選択可能

  ノーマルモード

  1回の転送要求に対して、1回のデータ転送を行います。

  転送回数は24ビット（最大16M）で指定します。

  ブロック転送モード（外部リクエストのみ）

  1回の転送要求に対して、1ブロック（指定回数）のデータ転送を行います。

- 割り込み要求：指定した転送回数終了後、CPUに割り込み要求発生可能
- リピートエリア設定機能

  転送アドレスレジスタの上位ビットの値を固定することにより、特定範囲のアドレス値を繰り返すようにして、リングバッファ等のデータ転送を効率的に行うための機能です。

  リピートエリアは1ビット（2バイト）～23ビット（8Mバイト）を設定可能

  転送元、転送先とも、リピートエリアを設定可能

  リピートエリアオーバフロー判定による割り込み要求発生を設定可能

- $\overline{\text{DRAK}}$端子により、外部デバイスに対して転送要求を受け付けて転送処理を開始したことを通知可能

DMAC のブロック図を図 7.1 に示します。

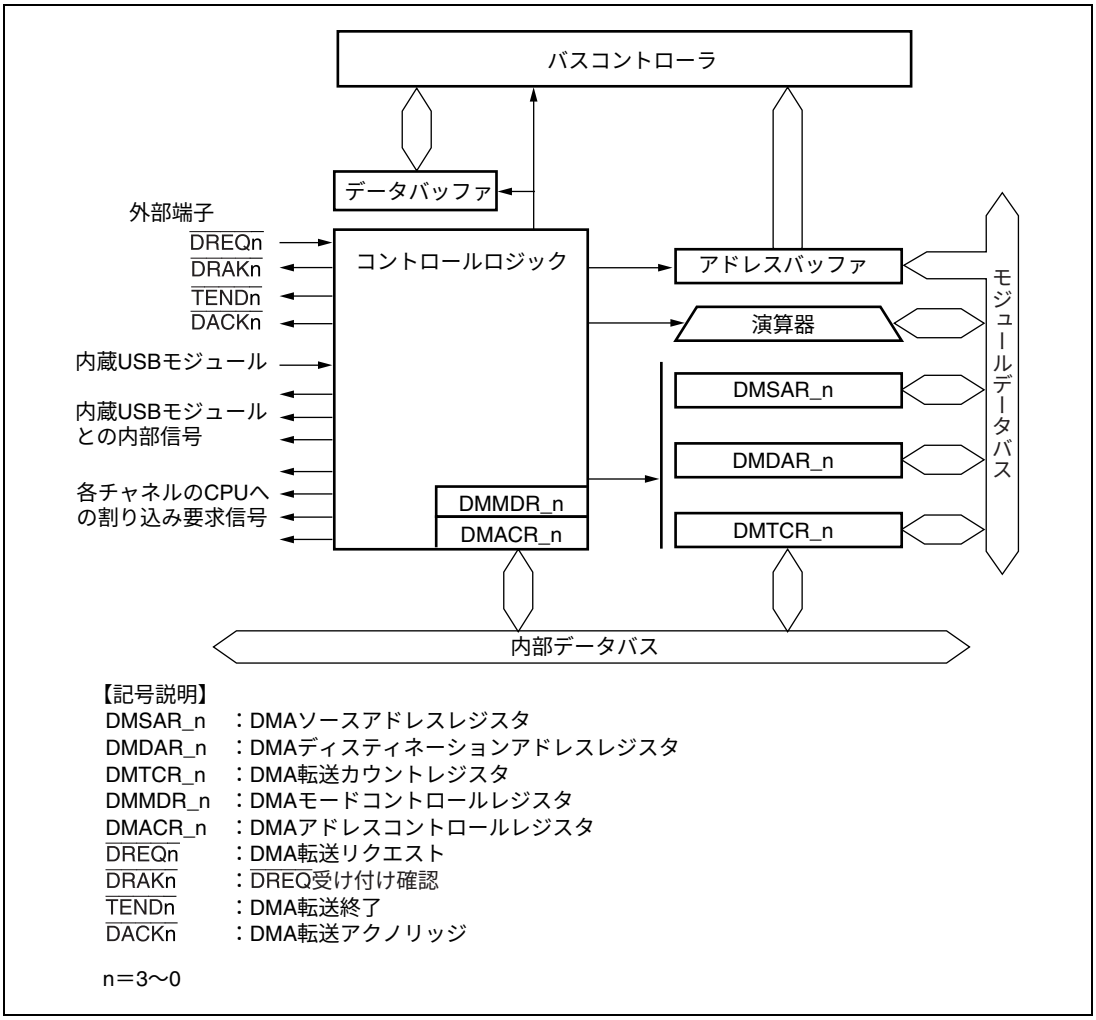


図 7.1　DMAC のブロック図

7.2 入出力端子

DMAC の端子構成を表 7.1 に示します。

$\overline{\text{DACK}}$ 端子は、シングルアドレス転送モードの設定により対応するポートが自動的に出力になります。$\overline{\text{DREQ}}$ 端子を使用するときは、対応するポートを出力にしないでください。$\overline{\text{TEND}}$/$\overline{\text{DRAK}}$ 端子は、対応するポートを $\overline{\text{TEND}}$ 端子/$\overline{\text{DRAK}}$ 端子として使用するかどうかをレジスタで設定できます。

表 7.1 端子構成

チャネル	名称	略称	入出力	機能
0	DMA リクエスト 0	$\overline{\text{DREQ0}}$	入力	チャネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{\text{DACK0}}$	出力	チャネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{\text{TEND0}}$	出力	チャネル 0 の転送終了
	$\overline{\text{DREQ0}}$ 受け付け確認	$\overline{\text{DRAK0}}$	出力	チャネル 0 の外部リクエスト受け付け、実行開始を外部デバイスに通知
1	DMA リクエスト 1	$\overline{\text{DREQ1}}$	入力	チャネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{\text{DACK1}}$	出力	チャネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{\text{TEND1}}$	出力	チャネル 1 の転送終了
	$\overline{\text{DREQ1}}$ 受け付け確認	$\overline{\text{DRAK1}}$	出力	チャネル 1 の外部リクエスト受け付け、実行開始を外部デバイスに通知
2	DMA リクエスト 2	$\overline{\text{DREQ2}}$	入力	チャネル 2 の外部リクエスト
	DMA 転送アクノレッジ 2	$\overline{\text{DACK2}}$	出力	チャネル 2 のシングルアドレス転送アクノレッジ
	DMA 転送終了 2	$\overline{\text{TEND2}}$	出力	チャネル 2 の転送終了
	$\overline{\text{DREQ2}}$ 受け付け確認	$\overline{\text{DRAK2}}$	出力	チャネル 2 の外部リクエスト受け付け、実行開始を外部デバイスに通知
3	DMA リクエスト 3	$\overline{\text{DREQ3}}$	入力	チャネル 3 の外部リクエスト
	DMA 転送アクノレッジ 3	$\overline{\text{DACK3}}$	出力	チャネル 3 のシングルアドレス転送アクノレッジ
	DMA 転送終了 3	$\overline{\text{TEND3}}$	出力	チャネル 3 の転送終了
	$\overline{\text{DREQ3}}$ 受け付け確認	$\overline{\text{DRAK3}}$	出力	チャネル 3 の外部リクエスト受け付け、実行開始を外部デバイスに通知

7.3 レジスタの説明

DMAC には以下のレジスタがあります。

- DMAソースアドレスレジスタ_0（DMSAR_0）
- DMAディスティネーションアドレスレジスタ_0（DMDAR_0）
- DMA転送カウントレジスタ_0（DMTCR_0）
- DMAモードコントロールレジスタ_0（DMMDR_0）
- DMAアドレスコントロールレジスタ_0（DMACR_0）
- DMAソースアドレスレジスタ_1（DMSAR_1）
- DMAディスティネーションアドレスレジスタ_1（DMDAR_1）
- DMA転送カウントレジスタ_1（DMTCR_1）
- DMAモードコントロールレジスタ_1（DMMDR_1）
- DMAアドレスコントロールレジスタ_1（DMACR_1）
- DMAソースアドレスレジスタ_2（DMSAR_2）
- DMAディスティネーションアドレスレジスタ_2（DMDAR_2）
- DMA転送カウントレジスタ_2（DMTCR_2）
- DMAモードコントロールレジスタ_2（DMMDR_2）
- DMAアドレスコントロールレジスタ_2（DMACR_2）
- DMAソースアドレスレジスタ_3（DMSAR_3）
- DMAディスティネーションアドレスレジスタ_3（DMDAR_3）
- DMA転送カウントレジスタ_3（DMTCR_3）
- DMAモードコントロールレジスタ_3（DMMDR_3）
- DMAアドレスコントロールレジスタ_3（DMACR_3）
- USB転送コントロールレジスタ（USTCR）

7.3.1 DMA ソースアドレスレジスタ（DMSAR）

DMSAR はリード／ライト可能な 32 ビットのレジスタで、転送元のアドレスを指定します。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送元アドレスに更新されます。シングルアドレスモードにおいて、DACK 付きデバイスを転送元に指定した場合、DMSAR の値は無視されます。

上位 8 ビットはリザーブビットです。ライトは無効で、リードすると常に 0 が読み出されます。ライトするときは 0 をライトしてください。

リセット、ハードウェアスタンバイモードでは、値は不定になります。

DMA 動作中のチャネルの DMSAR にはライトしないでください。

リードは常に可能です。転送処理中のチャネルの DMSAR をリードする場合はロングワードサイズでリードする必要があります。

7.3.2 DMA ディスティネーションアドレスレジスタ（DMDAR）

DMDAR はリード／ライト可能な 32 ビットのレジスタで、転送先のアドレスを指定します。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送先アドレスに更新されます。シングルアドレスモードにおいて、DACK 付きデバイスを転送先に指定した場合、DMDAR の値は無視されます。

上位 8 ビットはリザーブビットです。ライトは無効で、リードすると常に 0 が読み出されます。ライトするときは 0 をライトしてください。

リセット、ハードウェアスタンバイモードでは、値は不定になります。

DMA 動作中のチャネルの DMDAR にはライトしないでください。

リードは常に可能です。転送処理中のチャネルの DMDAR をリードする場合はロングワードサイズでリードする必要があります。

7.3.3 DMA 転送カウントレジスタ（DMTCR）

DMTCR は、転送回数を指定します。転送モード（ノーマル／ブロック）により機能が異なります。

リセット、ハードウェアスタンバイモードでは、値は不定になります。

DMA 動作中のチャネルの DMTCR にはライトしないでください。

- ノーマル転送モード

ビット	ビット名	初期値	R/W	説　　明
31～24	－	0	－	リザーブビット リードすると常に 0 が読み出されます。ライトするときは 0 をライトしてください。
23～0		不定	R/W	24 ビット転送カウンタ 転送回数（バイト数、ワード数、ロングワード数）を指定します。転送回数は H'000001 を設定した場合 1 回です。H'000000 を設定すると、“ 転送回数＝指定なし ” となり、転送カウンタは機能を停止します。この場合、転送カウンタによる転送終了は発生しない状態になります。転送回数に H'FFFFFF を設定した場合、最大値 16777215 回になります。DMA 動作中は、残りの転送回数を示します。 リードは常に可能です。転送処理中のチャネルの DMTCR をリードする場合は、ロングワードサイズでリードする必要があります。

- ブロック転送モード

ビット	ビット名	初期値	R/W	説　　明
31～24	－	0	－	リザーブビット リードすると常に 0 が読み出されます。ライトするときは 0 をライトしてください。
23～16		不定	R/W	ブロックサイズ ブロック転送時のブロック数（バイト数、ワード数、ロングワード数）を指定します。ブロックサイズは H'01 を設定した場合 1 回ですが、H'00 を設定すると、256 回の最大値になります。レジスタの値は常に指定したブロックサイズを示します。
15～0		不定	R/W	16 ビット転送カウンタ 転送回数（バイト数、ワード数、ロングワード数）を指定します。転送回数は H'0001 を設定した場合 1 回です。H'0000 を設定すると、「転送回数＝指定なし」となり、転送カウンタは機能を停止します。この場合、転送カウンタによる転送終了は発生しない状態になります。転送回数に H'FFFF を設定した場合、最大値 65535 回になります。DMA 動作中は、残りの転送回数を示します。

7.3.4 DMA モードコントロールレジスタ（DMMDR）

DMMDR は、動作モード、転送方法などを指定します。

ビット	ビット名	初期値	R/W	説　　明
15	DA	0	R/(W)*[1]	DMA アクティブ DMA 動作を制御するビットです。このビットが 1 にセットされていると、DMA 動作中であることを示します。対応するチャネルのデータ転送を許可するビットです。オートリクエストを指定（MDS1～MDS0 で指定）した場合、このビットに 1 をセットすると転送処理に入ります。外部リクエストではこのビットに 1 をセットした後に転送要求が発生すると転送処理に入ります。DMA 動作中に 0 クリアすると、転送を停止します。ブロック転送モードで DMA 動作中にこのビットに 0 ライトすると、処理中の 1 ブロック転送期間は転送を継続し、1 ブロックの転送終了後にこのビットがクリアされます。 転送を終了（中断）させる外的要因が発生した場合は、自動的にこのビットがクリアされて、転送を終了させます。このビットに 1 をセットした状態で動作モード、転送方法などを変更しないでください。 0：対応チャネルのデータ転送を禁止 ［クリア条件］ • 指定回数の転送を終了したとき • リピートエリアオーバフロー割り込みにより停止したとき • DA＝1 のときに 0 ライトしたとき ただし、ブロック転送モードでは 1 ブロック転送終了後に反映 • リセット、NMI 割り込み、ハードウェアスタンバイモード時 1：対応チャネルのデータ転送を許可。DMA 動作中
14	BEF	0	R/(W)*[2]	ブロック転送エラーフラグ ブロック転送中にエラーが発生したことを示すフラグです。ブロック転送中に NMI 割り込みが発生すると、DMAC はただちに DMA 動作を終了し、このビットをセットします。ブロック転送時、アドレスレジスタは次の転送アドレスを示しますが、1 ブロックサイズの内の転送を行った回数は失われます。クリアする場合は、一度 BEF＝1 をリードした後、0 をライトしてください。 0：ブロック転送エラーなし ［クリア条件］BEF＝1 をリード後の BEF＝0 ライト 1：ブロック転送エラーあり。ブロック転送異常 ［セット条件］ブロック転送中に NMI 割り込みの発生
13	DRAKE	0	R/W	$\overline{\text{DRAK}}$ 端子出力イネーブル $\overline{\text{DREQ}}$ 受け付け確認・実行開始（$\overline{\text{DRAK}}$）端子の出力を許可するビットです。 0：$\overline{\text{DRAK}}$ 端子の出力を禁止 1：$\overline{\text{DRAK}}$ 端子の出力を許可
12	TENDE	0	R/W	$\overline{\text{TEND}}$ 端子出力イネーブル DMA 転送終了（$\overline{\text{TEND}}$）端子の出力を許可するビットです。 0：$\overline{\text{TEND}}$ 端子の出力を禁止 1：$\overline{\text{TEND}}$ 端子の出力を許可

<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説　　明</th></tr>
<tr><td>11</td><td>DREQS</td><td>0</td><td>R/W</td><td>$\overline{\text{DREQ}}$ セレクト
外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がりエッジ検出にするかを指定します。
0：Low レベル検出
1：立ち下がりエッジ検出
転送許可後の最初の転送は Low レベルで検出します。</td></tr>
<tr><td>10</td><td>AMS</td><td>0</td><td>R/W</td><td>アドレスモードセレクト
アドレスモードを、シングルアドレスモードとデュアルアドレスモードから選択します。シングルアドレスモードにすると、$\overline{\text{DACK}}$ 端子が有効になります。
0：デュアルアドレスモード
1：シングルアドレスモード</td></tr>
<tr><td>9
8</td><td>MDS1
MDS0</td><td>0
0</td><td>R/W
R/W</td><td>モードセレクト 1、0
起動要因、バスモード、転送モードを指定します。
<table>
<tr><th></th><th>起動要因</th><th>バスモード</th><th>転送モード</th></tr>
<tr><td>00</td><td>オートリクエスト</td><td>サイクルスチールモード</td><td>ノーマル転送モード</td></tr>
<tr><td>01</td><td>オートリクエスト</td><td>バーストモード</td><td>ノーマル転送モード</td></tr>
<tr><td>10</td><td>外部リクエスト、
内蔵 USB</td><td>サイクルスチールモード</td><td>ノーマル転送モード</td></tr>
<tr><td>11</td><td>外部リクエスト、
内蔵 USB</td><td>サイクルスチールモード</td><td>ブロック転送モード</td></tr>
</table>
【注】　USTCR の設定によって内蔵 USB からの転送要求が行えます。「7.3.6 USB 転送コントロールレジスタ（USTCR）」を参照してください。</td></tr>
<tr><td>7</td><td>DIE</td><td>0</td><td>R/W</td><td>DMA インタラプトイネーブル
割り込み要求を許可または禁止するビットです。このビットを 1 にセットすると、DMMDR の IRF が 1 にセットされたときに割り込み要求を発生させます。割り込み要求は、このビットを 0 クリアするか、DMMDR の IRF ビットを 0 クリアすると解除されます。
0：割り込み要求を発生しない
1：割り込み要求を発生する</td></tr>
<tr><td>6</td><td>IRF</td><td>0</td><td>R/(W)*2</td><td>インタラプトリクエストフラグ
割り込み要求の要因が発生して転送終了したことを示すフラグです。
このビットを 0 にクリアする方法には、DMMDR の DA ビットに 1 をセットする方法と、一度 IRF＝1 をリードした後、0 ライトする方法があります。
0：割り込み要求の要因なし
［クリア条件］
• DMMDR の DA ビットに 1 をライト
• IRF＝1 リード後の IRF＝0 ライト
1：割り込み要求の要因発生
［セット条件］
• 転送カウンタによる転送終了割り込み要求が発生したとき
• ソースアドレスリピートエリアオーバフロー割り込み要求が発生したとき
• ディスティネーションアドレスリピートエリアオーバフロー割り込み要求が発生したとき</td></tr>
</table>

ビット	ビット名	初期値	R/W	説　　明
5	TCEIE	0	R/W	転送カウンタエンドインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止するビットです。このビットが 1 にセットされているときに転送カウンタにより転送終了すると、DMMDR の IRF ビットが 1 にセットされ、割り込み要求の要因が発生したことを示します。 0：転送カウンタによる転送終了割り込み要求を禁止する 1：転送カウンタによる転送終了割り込み要求を許可する
4	SDIR	0	R/W	シングルアドレスディレクション シングルアドレスモード時のデータ転送の方向を指定します。 デュアルアドレスモード（AMS＝0）では、このビットの指定は無視されます。 0：転送方向は、DMSAR→DACK 付き外部デバイス 1：転送方向は、DACK 付き外部デバイス→DMDAR
3	DTSIZE	0	R/W	データトランスミットサイズ LWSIZE ビットと組み合わせて転送するデータのサイズを指定します。 LWSIZE　DTSIZE 0　0：バイトサイズ（8 ビット）指定 0　1：ワードサイズ（16 ビット）指定 1　0：ロングワードサイズ（32 ビット）指定 1　1：リザーブ(設定禁止)
2	－	0	R/W	リザーブビット リード／ライトできますが、0 をライトしてください。
1	LWSIZE	0	R/W	ロングワードデータトランスミットサイズ DTSIZE ビットと組み合わせて転送するデータのサイズを指定します。
0	－	0	R/W	リザーブビット リード／ライトできますが、0 をライトしてください。

【注】　*1　ライトした値がただちに反映されない期間が存在します。

*2　フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

7.3.5 DMA アドレスコントロールレジスタ（DMACR）

DMACR は、アドレスレジスタの増減、リピートエリア機能を指定します。

ビット	ビット名	初期値	R/W	説　　明
15 14	SAT1 SAT0	0 0	R/W R/W	ソースアドレス更新モード 転送元アドレス（DMSAR）の増減を指定します。 シングルアドレスモードで転送元を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されます。 0x：ソースアドレス（DMSAR）は固定 10：ソースアドレスは増加 （バイト転送時＋1、ワード転送時＋2、ロングワード転送時＋4） 11：ソースアドレスは減少 （バイト転送時－1、ワード転送時－2、ロングワード転送時－4）
13	SARIE	0	R/W	ソースアドレスリピートインタラプトイネーブル このビットを 1 にセットしておくと、ソースアドレスのリピートエリアのオーバフローが発生したときに、DMMDR の IRF ビットを 1 にセットし、DMMDR の DA ビットを 0 クリアして転送を終了します。DMMDR の IRF ビットが 1 にセットされているときに DMMDR の DIE ビットが 1 の場合、CPU に対して割り込み要求を発生します。 ブロック転送モードと併用する場合、ソースアドレスリピート割り込み要求は 1 ブロックサイズ、の転送が終了してから発生します。 ソースアドレスリピート割り込みにより転送終了したチャネルの DMMDR の DA ビットを 1 にセットすると、転送終了した状態から引き続き転送を再開することができます。ソースアドレスリピートエリアを設定していない場合は、このビットは無視されます。 0：ソースアドレスリピート割り込み要求を発生しない。 1：ソースアドレスのリピートエリアのオーバフローが発生したときに DMMDR の IRF ビットを 1 にして、割り込み要求を発生する。

ビット	ビット名	初期値	R/W	説　　明
12 11 10 9 8	SARA4 SARA3 SARA2 SARA1 SARA0	0 0 0 0 0	R/W R/W R/W R/W R/W	ソースアドレスリピートエリア ソースアドレス（DMSAR）にリピートエリアを指定するビットです。 リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。リピートエリアのサイズは、2 バイトから 8M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスが増減してリピートエリアからオーバフローした場合の下位アドレスは、アドレスが増加の場合はリピートエリアの先頭アドレスになり、アドレスが減少の場合はリピートエリアの最後のアドレスになります。 SARIE ビットを 1 にセットしている場合は、リピートエリアのオーバフローが発生したときに割り込み要求を発生することができます。 00000：ソースアドレス（DMSAR）にリピートエリアを設定しない 00001：DMSAR の下位 1 ビット（2 バイト）をリピートエリアに設定する 00010：DMSAR の下位 2 ビット（4 バイト）をリピートエリアに設定する 00011：DMSAR の下位 3 ビット（8 バイト）をリピートエリアに設定する 00100：DMSAR の下位 4 ビット（16 バイト）をリピートエリアに設定する ：　　： 10011：DMSAR の下位 19 ビット（512k バイト）をリピートエリアに設定する 10100：DMSAR の下位 20 ビット（1M バイト）をリピートエリアに設定する 10101：DMSAR の下位 21 ビット（2M バイト）をリピートエリアに設定する 10110：DMSAR の下位 22 ビット（4M バイト）をリピートエリアに設定する 10111：DMSAR の下位 23 ビット（8M バイト）をリピートエリアに設定する
7 6	DAT1 DAT0	0 0	R/W R/W	ディスティネーションアドレス更新モード 転送先アドレス（DMDAR）の増減を指定します。シングルアドレスモードで転送先を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されます。 0x：ディスティネーションアドレス（DMDAR）は固定 10：ディスティネーションアドレスは増加 （バイト転送時＋1、ワード転送時＋2、ロングワード転送時＋4） 11：ディスティネーションアドレスは減少 （バイト転送時－1、ワード転送時－2、ロングワード転送時－4）

ビット	ビット名	初期値	R/W	説　　明
5	DARIE	0	R/W	ディスティネーションアドレスリピートインタラプトイネーブル このビットに 1 をセットしておくと、ディスティネーションアドレスのリピートエリアのオーバフローが発生したときに、DMMDR の IRF ビットを 1 にセットし、DMMDR の DA ビットを 0 クリアして転送を終了します。DMMDR の IRF ビットが 1 にセットされているときに DMMDR の DIE ビットが 1 の場合、CPU に対して割り込み要求を発生します。 ブロック転送モードと併用する場合、ディスティネーションアドレスリピート割り込み要求は 1 ブロックサイズの転送が終了してから発生します。 ディスティネーションアドレスリピート割り込みにより転送終了したチャネルの DMMDR の DA ビットに 1 をセットすると、転送終了した状態から引き続き転送を再開することができます。 ディスティネーションアドレスリピートエリアを設定していない場合は、このビットは無視されます。 0：ディスティネーションアドレスリピート割り込み要求を発生しない。 1：ディスティネーションアドレスのリピートエリアのオーバフローが発生したときに DMMDR の IRF ビットを 1 にして、割り込み要求を発生する。
4 3 2 1 0	DARA4 DARA3 DARA2 DARA1 DARA0	0 0 0 0 0	R/W R/W R/W R/W R/W	ディスティネーションアドレスリピートエリア ディスティネーションアドレス（DMDAR）にリピートエリアを指定するビットです。リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。 リピートエリアのサイズは、2 バイトから 8M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。 アドレスが増減してリピートエリアからオーバフローした場合の下位アドレスは、アドレスが増加の場合はリピートエリアの先頭アドレスになり、アドレスが減少の場合はリピートエリアの最後のアドレスになります。 DARIE ビットを 1 にセットしている場合は、リピートエリアのオーバフローが発生したときに割り込み要求を発生することができます。 00000：ディスティネーションアドレス（DMDAR）にリピートエリアを設定しない 00001：DMDAR の下位 1 ビット（2 バイト）をリピートエリアに設定する 00010：DMDAR の下位 2 ビット（4 バイト）をリピートエリアに設定する 00011：DMDAR の下位 3 ビット（8 バイト）をリピートエリアに設定する 00100：DMDAR の下位 4 ビット（16 バイト）をリピートエリアに設定する ：　　： 10011：DMDAR の下位 19 ビット（512k バイト）をリピートエリアに設定する 10100：DMDAR の下位 20 ビット（1M バイト）をリピートエリアに設定する 10101：DMDAR の下位 21 ビット（2M バイト）をリピートエリアに設定する 10110：DMDAR の下位 22 ビット（4M バイト）をリピートエリアに設定する 10111：DMDAR の下位 23 ビット（8M バイト）をリピートエリアに設定する

【記号説明】x：Don't care

7.3.6 USB 転送コントロールレジスタ（USTCR）

USTCR は、内蔵 USB からの転送要因などを設定します。

ビット	ビット名	初期値	R/W	説　　明
15	EP1DMAE	0	R/W	エンドポイント 1（EP1）DMA イネーブル 転送要因として内蔵 USB（転送方向は内蔵 USB（EP1）からのリード）を許可するビットです。このビットが 1 にセットされていると、転送要因として外部リクエストではなく、USB からの転送要求が選択されます。 ブロック転送モードを使用する場合、内蔵 USB リクエストを、起動要因として設定しないでください。DMMDR の DA ビットを 1 にセットした状態で EP1DMAE ビットの値を変更しないでください。 0：内蔵 USB（EP1）からの転送要求を受け付けない。 1：内蔵 USB（EP1）からの転送要求を受け付け可能とする。対応するチャネルの $\overline{\text{DREQ}}$ は使用不可。
14 13	URCHS1 URCHS0	0 0	R/W R/W	USB リードチャネルセレクト USB（EP1）からの転送要求で DMA 転送を行う場合、使用する DMAC のチャネルを選択します。リクエストを受け付けるチャネルを選択した状態で EP1DMAE ビットを 1 にセットすると、対応するチャネルは、外部リクエストではなく USB リクエストを受け付けます。このとき転送方向は、USB（EP1）からのリードとなります。したがって、ソースアドレスには USB（EP1）の FIFO を指定してください。 DMMDR の DA ビットを 1 にセットした状態でこのビットを変更しないでください。同一チャネルに、エンドポイント 1（EP1）からの転送要求（内蔵 USB からのリード）、エンドポイント 2（EP2）からの転送要求（内蔵 USB へのライト）を設定しないでください。 00：チャネル 0 は EP1 からの転送要求を受け付け可能。 01：チャネル 1 は EP1 からの転送要求を受け付け可能。 10：チャネル 2 は EP1 からの転送要求を受け付け可能。 11：チャネル 3 は EP1 からの転送要求を受け付け可能。
12	―	0	R/W	リザーブビット リード／ライト可能ですが、ライト時には 0 をライトしてください。
11	EP2DMAE	0	R/W	エンドポイント 2（EP2）DMA イネーブル 転送要因として内蔵 USB（転送方向は内蔵 USB（EP2）へのライト）を許可するビットです。このビットが 1 にセットされていると、転送要因として外部リクエストではなく、USB からの転送要求が選択されます。 ブロック転送モードを使用する場合、内蔵 USB リクエストを起動要因して設定しないでください。DMMDR の DA ビットを 1 にセットした状態で EP2DMAE ビットの値を変更しないでください。 0：内蔵 USB（EP2）からの転送要求を受け付けない。 1：内蔵 USB（EP2）からの転送要求を受け付け可能とする。対応するチャネルの $\overline{\text{DREQ}}$ は使用不可。

ビット	ビット名	初期値	R/W	説　　明
10 9	UWCHS1 UWCHS0	0 0	R/W R/W	USB ライトチャネルセレクト USB（EP2）からの転送要求で DMA 転送を行う場合、使用する DMAC のチャネルを選択します。リクエストを受け付けるチャネルを選択した状態で EP2DMAE ビットを 1 にセットすると、対応するチャネルは、外部リクエストではなく USB リクエストを受け付けます。このとき転送方向は、USB（EP2）へのライトとなります。したがって、ディスティネーションアドレスには USB（EP2）の FIFO を指定してください。 DMMDR の DA ビットを 1 にセットした状態でこのビットを変更しないでください。同一チャネルに、エンドポイント 1（EP1）からの転送要求（内蔵 USB からのリード）、エンドポイント 2（EP2）からの転送要求（内蔵 USB へのライト）を設定しないでください。 00：チャネル 0 は EP2 からの転送要求を受け付け可能。 01：チャネル 1 は EP2 からの転送要求を受け付け可能。 10：チャネル 2 は EP2 からの転送要求を受け付け可能。 11：チャネル 3 は EP2 からの転送要求を受け付け可能。
8～0	―	すべて 0	R/W	リザーブビット リード／ライト可能ですが、ライト時には 0 をライトしてください。

7.4 動作説明

DMAC は、4 チャネルすべての機能は共通です。チャネルごとに各種モードを独立に設定することができます。

DMAC の各種機能はほとんどの機能で、機能ごとに組み合わせて使うことができます。

7.4.1 転送モード

DMAC の転送モードを表 7.2 に示します。

表 7.2 DMAC の転送モード

<table>
<tr><th rowspan="2">アドレスモード</th><th rowspan="2">転送モード</th><th rowspan="2">バスモード</th><th rowspan="2">転送要求</th><th rowspan="2">転送回数</th><th colspan="2">アドレスレジスタ</th></tr>
<tr><th>ソース</th><th>ディスティネーション</th></tr>
<tr><td rowspan="4">デュアルアドレスモード</td><td rowspan="3">ノーマル転送モード</td><td>バースト/サイクルスチール転送モード</td><td>オートリクエスト</td><td rowspan="3">1～16777215 または指定なし</td><td rowspan="4">DMSAR</td><td rowspan="4">DMDAR</td></tr>
<tr><td rowspan="2">サイクルスチール転送モード</td><td>外部リクエスト</td></tr>
<tr><td>内蔵 USB モジュール</td></tr>
<tr><td>ブロック転送モード</td><td>1 回の転送要求で指定したブロックサイズをバースト転送
ブロックサイズは 1～256 バイト、ワードまたはロングワード</td><td>外部リクエスト</td><td>1～65535 または指定なし</td></tr>
<tr><td>シングルアドレスモード</td><td colspan="4">• ソースまたはディスティネーションアドレスレジスタの代わりに $\overline{\text{DACK}}$ 端子を用いて外部デバイスとの直接データ転送
• アドレスレジスタの設定以外は、上記の各転送モードを指定可能
• 1 バスサイクルで 1 回の転送が可能
内蔵 USB からの転送要求はシングルアドレスモードでは使用できません。
内蔵 USB からの転送要求以外、転送モードのバリエーションは、上記デュアルアドレスモードと同じです。</td><td>DMSAR/ $\overline{\text{DACK}}$</td><td>$\overline{\text{DACK}}$/ DMDAR</td></tr>
</table>

転送モードは各チャネルごとに設定可能です。ノーマル転送モードでは、1 回の転送要求で 1 バイト、1 ワードまたは 1 ロングワードの転送を実行します。バースト／サイクルスチールでオートリクエストによる起動が可能です。ノーマル転送モード／バーストモードの場合、指定した転送回数を実行するか、転送イネーブルビットを 0 にクリアするまで高速に連続転送することができます。ブロック転送モードでは、1 回の転送要求で指定したブロックサイズの転送を実行します。ブロックサイズは 1～256（バイト／ワード／ロングワード）です。1 ブロック内の転送はバースト転送モードと同等の高速転送が可能です。転送回数に指定なしを設定した場合（DMTCR=H'000000）、転送カウンタは停止して、転送回数に制限がなくなり永続して転送が可能になります。

メモリアドレスは、1、2 または 4 の増減、固定を各アドレスレジスタに対して独立に設定可能です。各モードとも、2 のべき乗バイトのリピートエリアを設定可能です。

7.4.2 アドレスモード（デュアルアドレスモード／シングルアドレスモード）

（1） デュアルアドレスモード

転送元、転送先を共に DMAC 内のレジスタで指定して、1 回の転送を 2 バスサイクルで実行するモードです。

転送元アドレスはソースアドレスレジスタ（DMSAR）に、転送先アドレスはディスティネーションアドレスレジスタ（DMDAR）に設定します。

転送動作は、最初のバスサイクルで転送元アドレスに指定した外部メモリの値をリードして、次のバスサイクルで転送先アドレスに指定した外部メモリにライトします。

リードサイクルとライトサイクルの間は不可分割となっています。このため、2 つのバスサイクルの間に他のバスサイクル（内部バスマスタの外部アクセス、リフレッシュサイクル）は発生しません。

$\overline{\text{TEND}}$ 端子の出力は、DMMDR の TENDE ビットにより、許可／禁止を設定することができます。$\overline{\text{TEND}}$ は連続する 2 バスサイクルの間出力されます。$\overline{\text{DACK}}$ 端子は出力されません。

図 7.2 に、デュアルアドレスモードのタイミング例を示します。

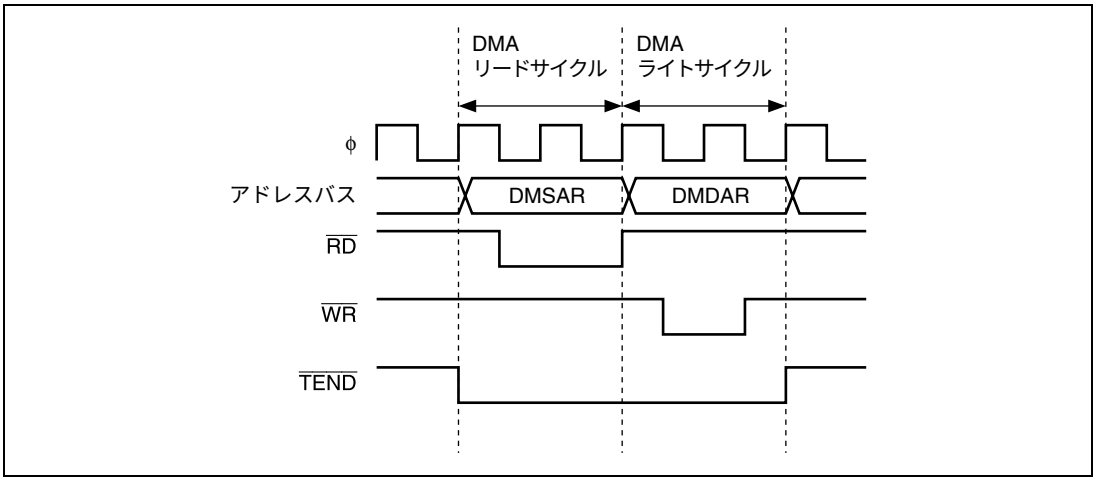


図 7.2 デュアルアドレスモードのタイミング例

（2） シングルアドレスモード

ソースまたはディスティネーションアドレスレジスタの代わりに $\overline{\text{DACK}}$ 端子を用いて外部デバイスと外部メモリの間で直接データを転送するモードです。このモードで DMAC は、外部 I/O へのストローブ信号（$\overline{\text{DACK}}$）を転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 7.3 に示す外部メモリと DACK 付き外部デバイスとの転送の例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

転送方向は、DMMDR の SDIR ビットにより、DACK 付き外部デバイスを転送元にするか転送先にするかを指定できます。SDIR＝0 では、外部メモリ（DMSAR）→DACK 付き外部デバイスへの転送、SDIR＝1 では、DACK 付き外部デバイス→外部メモリ（DMDAR）への転送になります。

転送の対象として使用しなくなるソースまたはディスティネーションアドレスのレジスタ設定は無視されます。

$\overline{\text{DACK}}$ 端子は、シングルアドレスモードに設定すると自動に有効になります。

$\overline{\text{DACK}}$ 端子はローアクティブです。$\overline{\text{TEND}}$ 端子の出力は、DMMDR の TENDE ビットにより、許可／禁止を設定することができます。$\overline{\text{TEND}}$ は 1 バスサイクルの間出力されます。

図 7.3 にシングルアドレスモードでのデータの流れを示します。

図 7.4 にシングルアドレスモードのタイミング例を示します。

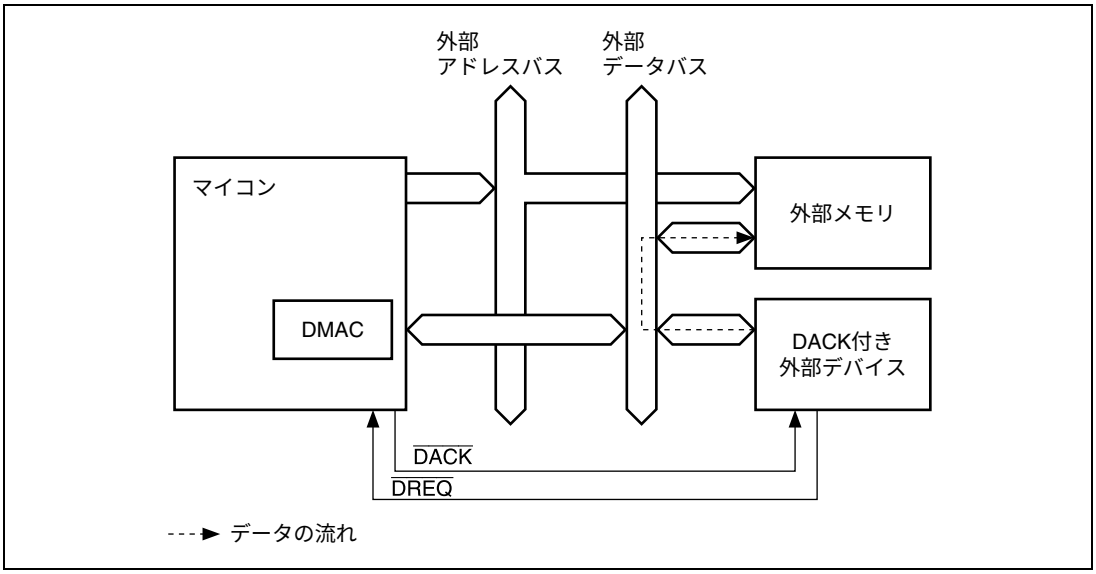


図 7.3　シングルアドレスモードでのデータの流れ

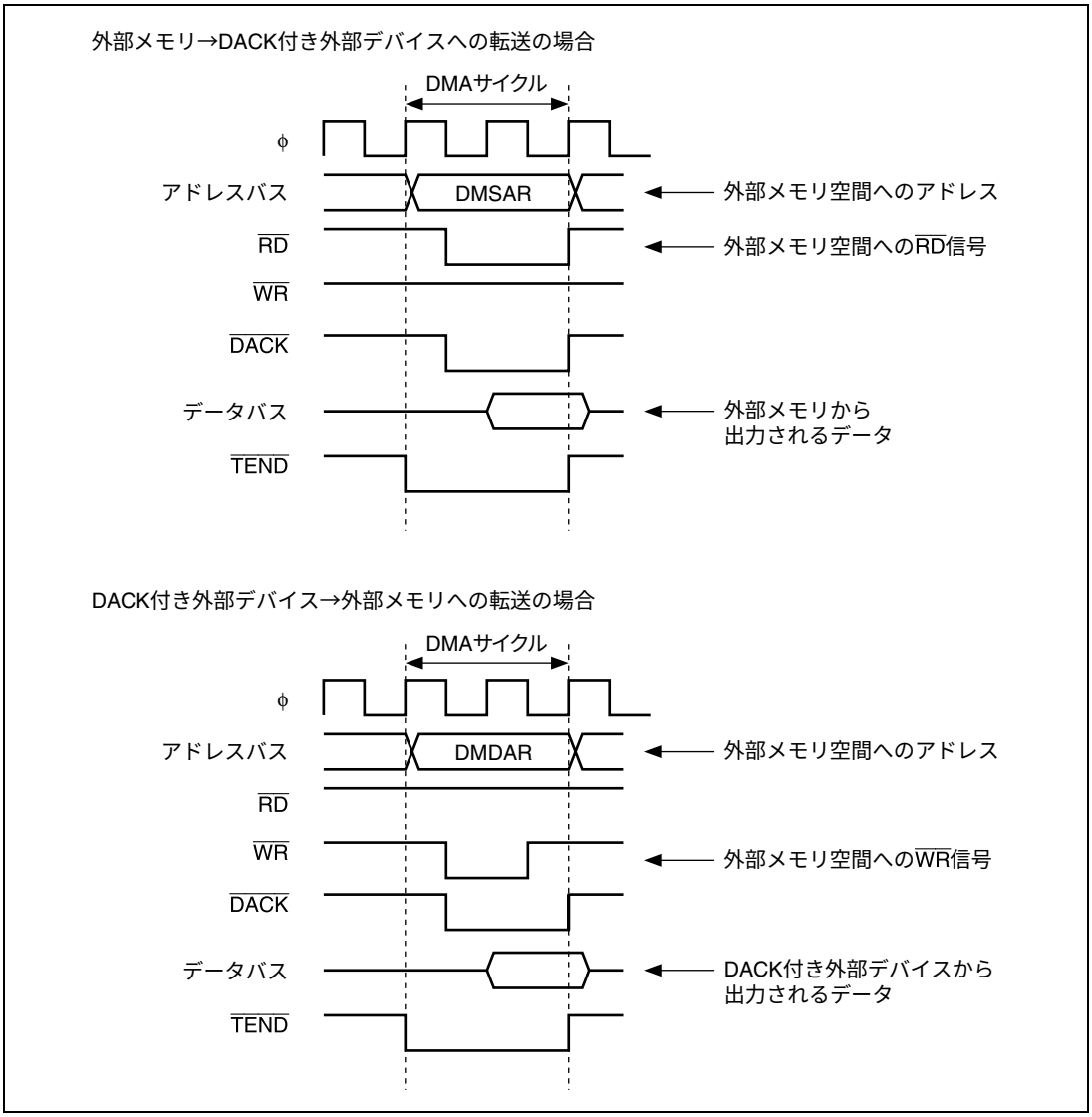


図 7.4　シングルアドレスモードのタイミング例

7.4.3 DMA 転送要求（オートリクエストモード／外部リクエストモード／USB 転送要求）

（1） オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。オートリクエストモードでは、DMMDR の DA ビットを 1 にセットすると転送が開始されます。

オートリクエストモードでは、バスモードをサイクルスチールモードとバーストから選ぶことができます。ブロック転送モードは使用できません。

（2） 外部リクエストモード

外部リクエストモードは、本 LSI の外部デバイスからの転送要求信号（$\overline{\text{DREQ}}$）によって転送を開始するモードです。DMA 転送が許可されているとき（DA=1）に $\overline{\text{DREQ}}$ が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

転送要求信号は、$\overline{\text{DREQ}}$ 端子で受け付けます。$\overline{\text{DREQ}}$ 端子を立ち下がりエッジで検出するか Low レベルで検出するかは、DMMDR の DREQS ビットで選択します（DREQS=0 は Low レベル検出、DREQS＝1 は立ち下がりエッジ検出）。

DMMDR の DRAKE ビットを 1 にセットすると、転送要求を受け付けたことを確認する信号を $\overline{\text{DRAK}}$ 端子から出力することができます。$\overline{\text{DRAK}}$ 信号は、1 回の外部リクエストに対して、受け付けおよび転送処理を開始したときに出力します。$\overline{\text{DRAK}}$ 信号により、外部デバイスは $\overline{\text{DREQ}}$ 信号のネゲートタイミングを知ることができ、転送要求元と DMAC とのハンドシェークを容易にとることが可能です。

外部リクエストモードでは、バーストモードの代わりにブロック転送モードが使用できます。ブロック転送モードは 1 回の転送要求で指定の回数（ブロックサイズ）の転送を連続（バースト）して転送することができます。ブロック転送モードの場合の $\overline{\text{DRAK}}$ 信号は、$\overline{\text{DREQ}}$ による転送要求が 1 ブロック単位なので、1 ブロックの転送に対して 1 回のみ出力されます。

（3） USB リクエストモード

本 LSI に搭載している USB からの転送要求によって、DMA 転送を実施できます。USB からの転送要求が受け付け可能な状態で DMA 転送が許可されているとき（DA=1）に、USB からの転送要求が入力されると DMA 転送が開始されます。

エンドポイント 1 に対する転送要求を受け付けると DMAC はエンドポイント 1 のデータを転送します。エンドポイント 2 に対する転送要求を受け付けると DMAC はエンドポイント 2 に対してデータを転送します。

USB モジュールからの転送要求を転送要因として使用する場合、シングルアドレスモード、ブロック転送モード、ノーマル転送モード／バースト転送モードは使用できません。

7.4.4 バスモード（サイクルスチールモード／バーストモード）

バスモードにはサイクルスチールモードとバーストモードがあります。起動要因がオートリクエストの場合、サイクルスチールモードとバーストモードを選択することができます。起動要因が外部リクエストの場合は、サイクルスチールモードになります。

（1） サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位（バイト、ワードまたは 1 ブロックサイズ）の転送を終了するたびにバス権を解放します。その後転送要求があれば、バス権を取り戻し、ふたたび 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。これを転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャネルに転送要求がある場合は、一旦バス権を解放した後に、転送要求のあったチャネルの転送を行います。他のバスマスタからのバス権要求がない場合は、バス解放期間が 1 サイクル挿入されます。複数のチャネルに転送要求がある場合の動作の詳細については、「7.4.8 チャネルの優先順位」を参照してください。

図 7.5 にサイクルスチールモードのタイミング例を示します。

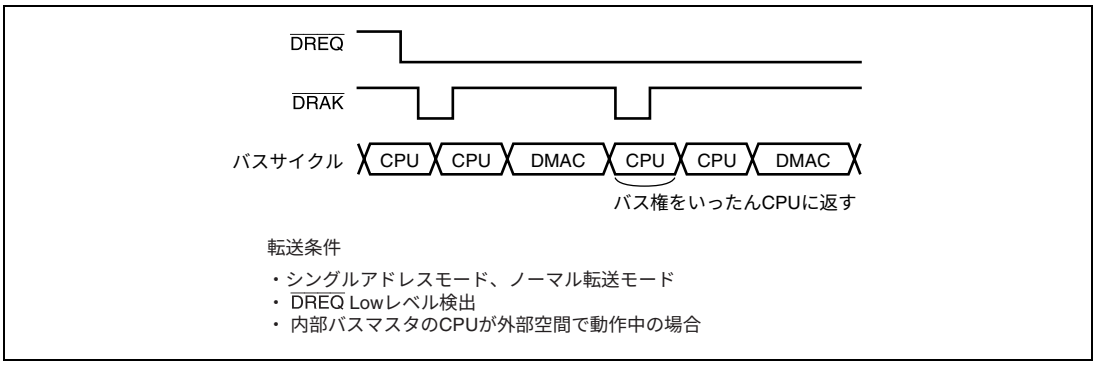


図 7.5 サイクルスチールモードのタイミング例

（2） バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。転送要因を外部リクエストとした場合、バーストモードはありません。バーストモードでは一度転送を開始すると、優先順位の高い他のチャネルに転送要求がある場合でも、転送を中断することはありません。バーストモードのチャネルが転送終了すると、次のサイクルはサイクルスチールモードと同様にバス権を解放します。

DMMDR の DA ビットを 0 クリアすると、DMA 転送は停止します。ただし、DA ビットをクリアするまでに DMAC 内部で発生した転送要求の分の DMA 転送は実行されます。リピートエリアオーバフロー割り込みが発生した場合は、DA ビットを 0 クリアして転送終了します。

図 7.6 にバーストモードのタイミング例を示します。

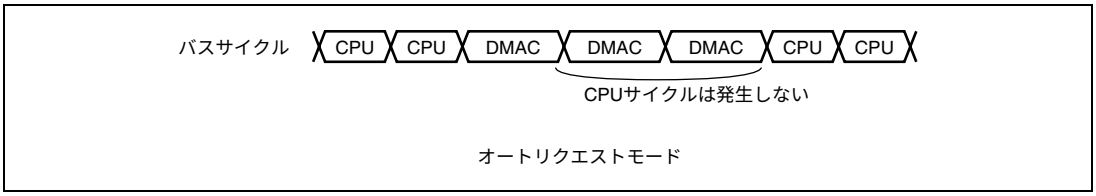


図 7.6　バーストモードのタイミング例

7.4.5　転送モード（ノーマル転送モード／ブロック転送モード）

転送モードにはノーマル転送モードとブロック転送モードがあります。起動要因が外部リクエストの場合は、ノーマル転送モードとブロック転送モードを選択することができます。起動要因がオートリクエストの場合は、ノーマル転送モードになります。

（1） ノーマル転送モード

ノーマル転送モードでは、1 回の転送要求に対して 1 回の転送単位の転送を処理します。DMTCR は 24 ビット転送カウンタとして機能します。

$\overline{\text{TEND}}$ 出力は、最後の DMA 転送でのみ出力されます。$\overline{\text{DRAK}}$ 出力は、転送要求受け付け・転送処理開始ごとに出力されます。図 7.7 にノーマル転送モードでの DMA 転送タイミング例を示します。

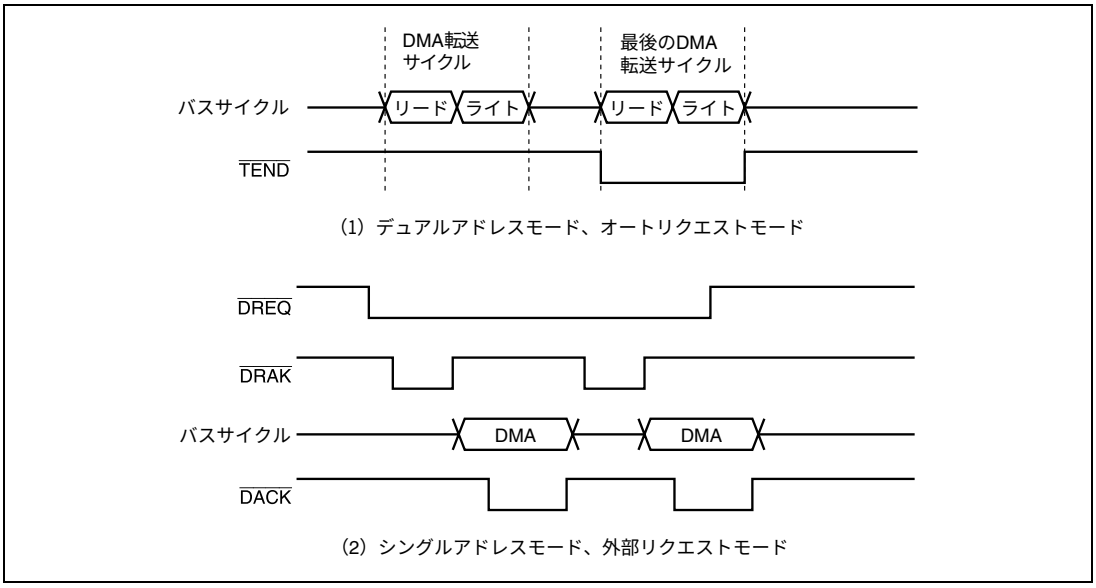


図 7.7　ノーマル転送モードの例

（2） ブロック転送モード

ブロック転送モードでは、1 回の転送要求に対してブロックサイズにより指定されたサイズ（バイト数、ワード数、ロングワード数）を連続で DMA 転送します。DMTCR は上位 8 ビットがブロックサイズ、下位 16 ビットが 16 ビット転送カウンタとして機能します。ブロックサイズは、1～256 まで指定できます。

1 ブロック分の転送中は優先順位の高い他のチャネルの転送要求は待たされます。1 ブロックサイズの転送が終了すると、次のサイクルはバス権を解放します。

アドレスレジスタの値はノーマルモードの場合と同様に更新されます。1 ブロックの転送終了ごとにアドレスレジスタの値を最初の値に戻す機能はありません。

$\overline{\text{TEND}}$ 出力は、1 ブロックサイズの転送ごとに、各ブロックの終わりの DMA 転送サイクルで出力されます。

$\overline{\text{DRAK}}$ 出力は、1 回の転送要求（1 ブロック分）に対して 1 回出力されます。

ブロック転送モードでリピートエリア機能のリピートエリアオーバフロー割り込みを設定する場合は注意が必要です。詳細は、「7.4.6　リピートエリア機能」を参照してください。NMI 割り込みが発生した場合は、ブロック転送を強制終了します。詳細は、「7.4.12　DMA 転送終了」を参照してください。

図7.8にブロック転送モードでのDMA転送タイミング例を示します。

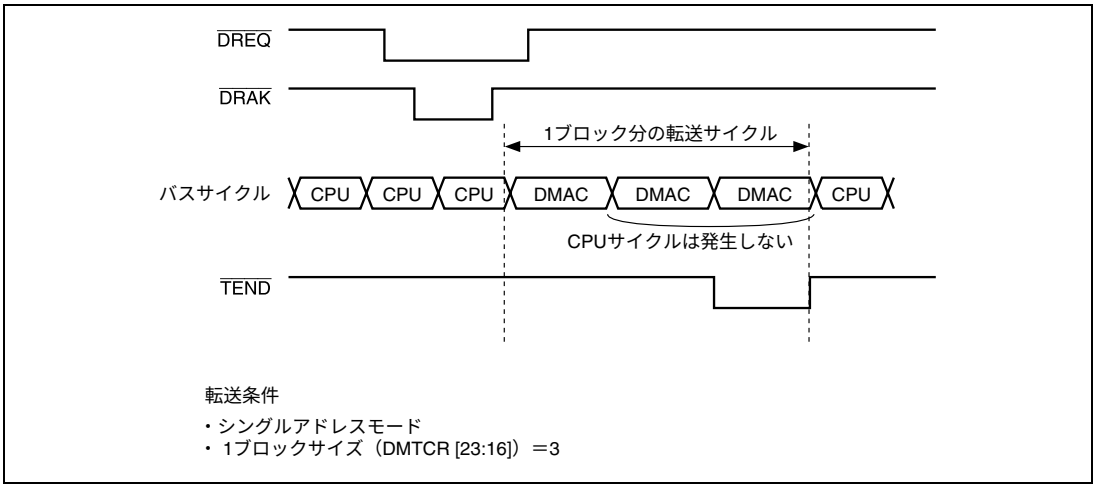


図 7.8　ブロック転送モードの例

7.4.6 リピートエリア機能

DMAC にはソースアドレス、ディスティネーションアドレス各々にリピートエリアを設定する機能があります。リピートエリアを設定するとアドレスレジスタはリピートエリアに指定された範囲の値を繰り返します。リングバッファを転送対象にしている場合、アドレスレジスタの値がバッファの最終アドレスになる（リングバッファに対するアドレスオーバフロー）たびに、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要になりますが、リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を DMAC 内で行うことができます。

リピートエリア機能は、ソースアドレスレジスタとディスティネーションアドレスレジスタに独立して設定できます。ソースアドレスのリピートエリアは DMACR の SARA4～SARA0 ビットで指定します。ディスティネーションアドレスのリピートエリアは DMACR の DARA4～DARA0 ビットで指定します。各々のリピートエリアのサイズは独立に指定することができます。

アドレスレジスタの値がリピートエリアの終端になり、リピートエリアオーバフローになったときに DMA 転送を一時停止させ CPU に対する割り込みを発生することが可能です。DMACR の SARIE ビットに 1 をセットすると、ソースアドレスレジスタがリピートエリアオーバフローしたときに DMMDR の IRF ビットを 1 セットし、DMMDR の DA ビットを 0 クリアして転送終了します。このとき、DMMDR の DIE ビット＝1 の場合、割り込み要求を発生させます。DMACR の DARIE ビットに 1 をセットするとディスティネーションアドレスレジスタが対象になります。

割り込み発生中に DMMDR の DA ビットに 1 をセットすると、引き続き転送を再開します。図 7.9 にリピートエリア機能の例を示します。

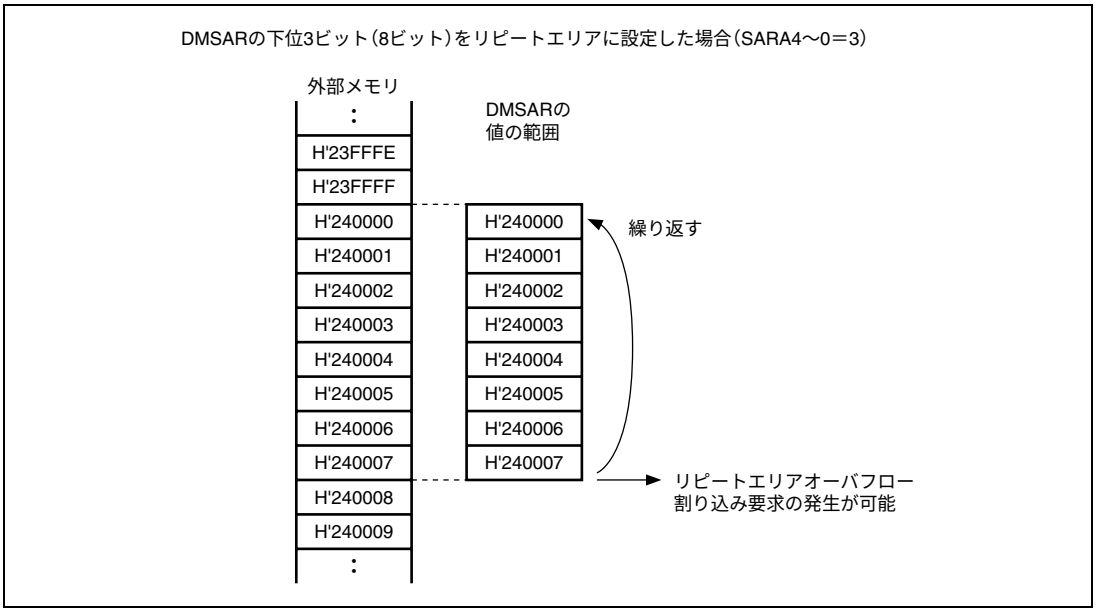


図 7.9 リピートエリア機能の例

リピートエリアのオーバフロー割り込み機能をブロック転送モードと併用する場合は注意が必要です。ブロック転送モードにおいてリピートエリアオーバフローが発生したら必ず転送を終了させる場合は、ブロックサイズを 2 のべき乗になるように指定する必要があります。または、ブロックサイズの切れ目とリピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。

ブロック転送モードの 1 ブロックサイズを転送している期間にリピートエリアオーバフローが発生した場合は、1 ブロックサイズの転送が終了するまでリピート割り込み要求は保留され、転送はオーバランします。図 7.10 にブロック転送モードとリピートエリア機能を併用したときの例を示します。

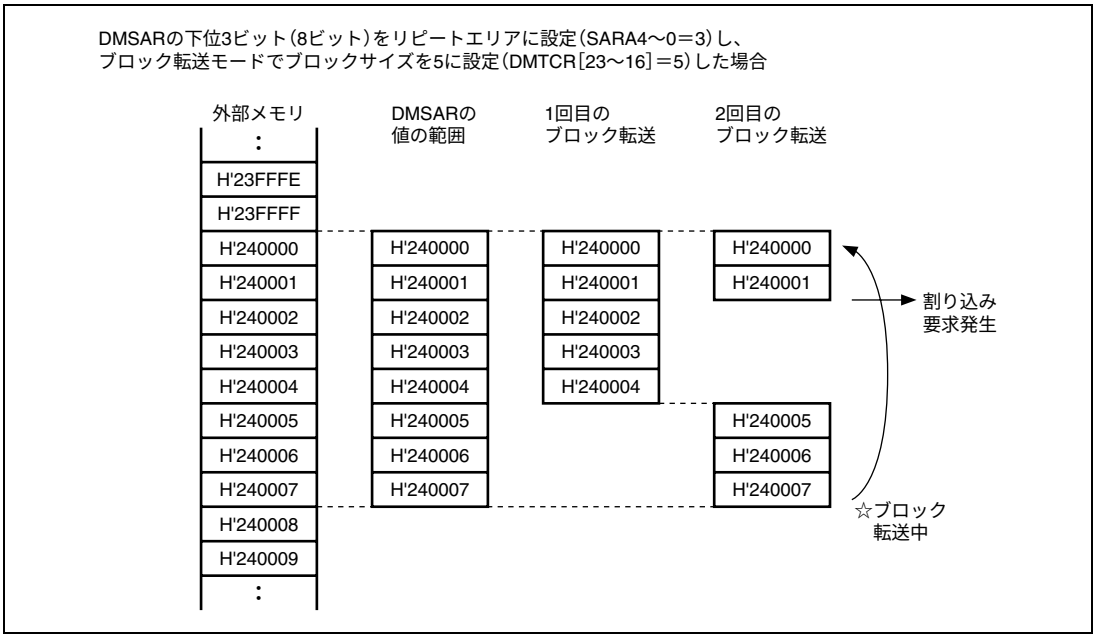


図 7.10　ブロック転送モードとリピートエリア機能を併用したときの例

7.4.7　DMA 転送動作中のレジスタ

DMAC のレジスタは DMA 転送処理に伴い値を更新します。更新される値は各種設定や転送の状態によって異なります。更新するレジスタは、DMSAR、DMDAR、DMTCR、DMMDR の DA ビット、BEF ビット、および DMMDR の IRF ビットです。

(1) DMA ソースアドレスレジスタ（DMSAR）

転送元として、DMSAR のアドレスをアクセスするときに、DMSAR の値を出力するとともに次にアクセスするアドレスに更新します。DMACR の SAT1、SAT0 ビットで増減を指定します。SAT1＝0 ではアドレスは固定されます。SAT1＝1 でかつ SAT0＝0 では増加、SAT0＝1 では減少します。

増減サイズは、転送するデータのサイズで決まります。DMMDR の LWSIZE=0、DTSIZE＝0 の場合、バイトサイズになり、アドレスは±1 増減されます。LWSIZE=0、DTSIZE＝1 の場合、ワードサイズになり、アドレスは±2 増減されます。LWSIZE＝1、DTSIZE＝0 の場合、ロングワードサイズになり、アドレスは±4 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に DMSAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の DMSAR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、DMAC が DMSAR の値を一旦バッファリングすることによって正常な値を出力します。

転送動作中のチャネルの DMSAR にライトしないでください。

（2） DMA ディスティネーションアドレスレジスタ（DMDAR）

転送先として、DMDAR のアドレスをアクセスするときに、DMDAR の値を出力するとともに次にアクセスするアドレスに更新します。DMACR の DAT1、DAT 0 ビットで増減を指定します。DAT1＝0 ではアドレスは固定されます。DAT1＝1 でかつ DAT0＝0 では増加、DAT0＝1 では減少します。

増減サイズは、転送するデータのサイズで決まります。DMMDR の LWSIZE =0、DTSIZE＝0 の場合、バイトサイズになり、アドレスは±1 増減されます。LWSIZE＝0、DTSIZE＝1 の場合、ワードサイズになり、アドレスは±2 増減されます。LWSIZE＝1、DTSIZE＝0 の場合、ロングワードサイズになり、アドレスは±4 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に DMDAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の DMDAR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、DMAC が DMDAR の値を一旦バッファリングすることによって正常な値を出力します。

転送動作中のチャネルの DMDAR にライトしないでください。

（3） DMA 転送カウントレジスタ（DMTCR）

DMA 転送を行うとともに DMTCR の値は 1 減少します。ただし、DMTCR の値が 0 の場合は転送回数はカウントされないので、DMTCR の値は変化しません。

ブロック転送モードでは、DMTCR の機能が変わります。DMTCR［23:16］の上位 8 ビットはブロックサイズ指定するために使用され、その値は変化しません。DMTCR［15:0］の下位 16 ビットは転送カウンタとして機能し、DMA 転送を行うと同時に DMTCR の値は 1 減少します。ただし、DMTCR［15:0］の値が 0 の場合、転送回数はカウントされないので、DMTCR［15:0］の値は変化しません。

ノーマル転送モードの場合は DMTCR が 24 ビット変化する可能性があるので、DMA 転送中に CPU から DMTCR をリードする場合は、ロングワードサイズでアクセスする必要があります。動作中の DMTCR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、DMAC が DMTCR の値を一旦バッファリングすることによって正常な値を出力します。

ブロック転送モード上位 8 バイトは更新されることがないのでワードサイズでアクセスして差し支えありません。動作中のチャネルの DMTCR にライトしないでください。DMA 転送に伴うアドレス更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。

DMTCR＝1→0 への更新と CPU によるライト（値は 0 以外）が競合した場合、DMTCR の値は CPU によるライトが優先されますが、転送終了します。CPU によって DMTCR に 0 をライトしても転送終了はしません。

図 7.11 にノーマル転送モード、ブロック転送モード、DMTCR の更新動作を示します。

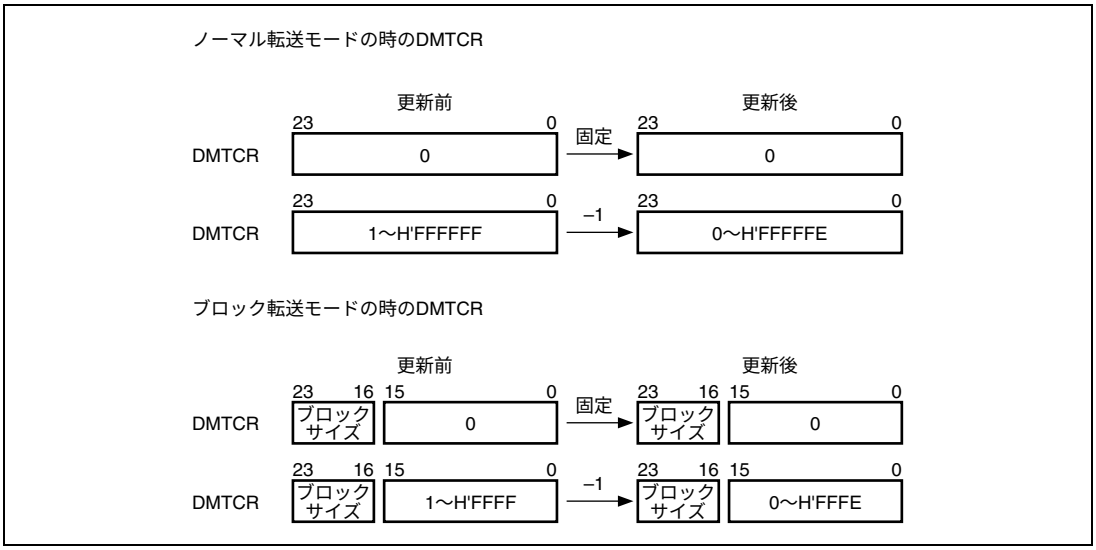


図 7.11　ノーマル転送モード、ブロック転送モード時の DMTCR の更新動作

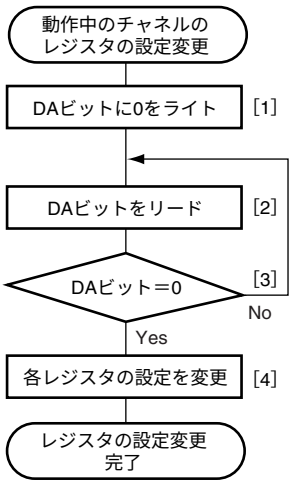
（4） DMMDR の DA ビット

DMMDR の DA ビットは CPU によりライトしてデータ転送の許可／禁止を制御して使用しますが、DMA 転送状態により DMAC によって自動的に DA ビットをクリアする場合があります。また、転送中には CPU による DA ビットの 0 ライトが反映されない期間があります。DMAC により DA ビットがクリアされる条件には以下のものがあります。

- DMTCRの値が1→0になり、転送が終了した場合
- リピートエリアオーバフロー割り込み要求が発生し、転送が終了した場合
- NMI割り込みが発生し、転送が停止した場合
- リセット
- ハードウェアスタンバイモード
- DAビットに0ライトして、転送が停止した場合

DA ビットに 0 ライトして転送を停止させるとき、DMA 転送中の期間、DA ビットは 1 を保持します。ブロック転送モードの場合は、1 ブロックサイズの転送は中断されずに行われるため、DA ビットに 0 ライトしてから 1 ブロックサイズの転送が終了する期間、DA ビットは 1 を保持します。

バーストモードの場合、DA ビットに 0 ライトしたバスサイクルから最大で 3 回の DMA 転送が行われてから転送を停止します。DA ビットに 0 ライトしてから最後の DMA サイクルが終了するまでの期間、DA ビットは 1 を保持します。DA ビットが 1 になっているチャネルのレジスタには、ライトすることが禁止されています（DA ビットは除く）。DA ビットに 0 ライトしてから各レジスタの設定を変更するときは DA ビットが 0 にクリアされていることを確認する必要があります。図 7.12 に動作中のチャネルのレジスタ設定を変更するときの手順を示します。



[1] DMMDRのDAビットに0をライトしてください。

[2] DAビットをリードしてください。

[3] DAビット＝0の状態を確認してください。DAビット＝1の状態は、DMA転送中であることを示しています。

[4] 各レジスタに目的の設定値をライトしてください。

図 7.12　動作中のチャネルのレジスタの設定を変更するときの手順

（5） DMMDR の BEF ビット

ブロック転送モードは 1 回の転送リクエストに対して指定された多数回（1 ブロックサイズ）の転送を行います。転送回数を正確に保証するために 1 ブロックサイズの転送は、リセット時、スタンバイ時、そして NMI 割り込みが発生したときを除いて必ず実行されます。

ブロック転送の最中に NMI 割り込みが発生した場合、1 ブロックサイズの転送は途中で中止して DA ビットを 0 クリアして終了します。このとき、ブロック転送中に異常が発生したことを示す BEF ビットをセットします。

（6） DMMDR の IRF ビット

割り込み要求の要因が発生したとき DMMDR の IRF ビットは 1 にセットされます。IRF ビットが 1 にセットされ、DMMDR の DIE ビットが 1 にセットされていると割り込み要求が発生します。IRF ビットに 1 がセットされるタイミングは、割り込みを発生させる要因になった DMA 転送のバスサイクルが終了して、DMMDR の DA ビットが 0 になって転送終了したときです。

割り込み処理の中で DA ビットに 1 をセットして転送を再開した場合、自動的に IRF ビットが 0 クリアされ、割り込み要求は解除されます。割り込みについての詳細は、「7.5　割り込み要因」を参照してください。

7.4.8 チャネルの優先順位

DMAC のチャネル間優先順位はチャネル 0＞チャネル 1＞チャネル 2＞チャネル 3 の順になっています。表 7.3 に DMAC のチャネル間優先順位を示します。

表 7.3 DMAC のチャネル間優先順位

チャネル	優先順位
チャネル 0	高
チャネル 1	↑
チャネル 2	↓
チャネル 3	低

複数のチャネルに対して同時に転送要求が発生した場合、要求の発生しているチャネルの中から表 7.3 の優先順位に従って、最も優先度の高いチャネルを選択して転送します。

(1) 複数チャネルからの転送要求（オートリクエストのサイクルスチールモードを除く）

転送中に他のチャネルの転送要求がある場合は、転送中のチャネルを除いて最も優先度の高いチャネルを選択します。選択されたチャネルは転送中のチャネルがバスを解放してから転送を開始します。このとき DMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。他にバス権要求がなければ 1 サイクルバス解放します。

バースト転送中、1 ブロック分のブロック転送中は、チャネルを切り替えて転送することはありません。

図 7.13 にチャネル 0、1、2 の転送要求が同時に発生した場合の転送例を示します。図の例は外部リクエストのサイクルスチールモードの場合です。

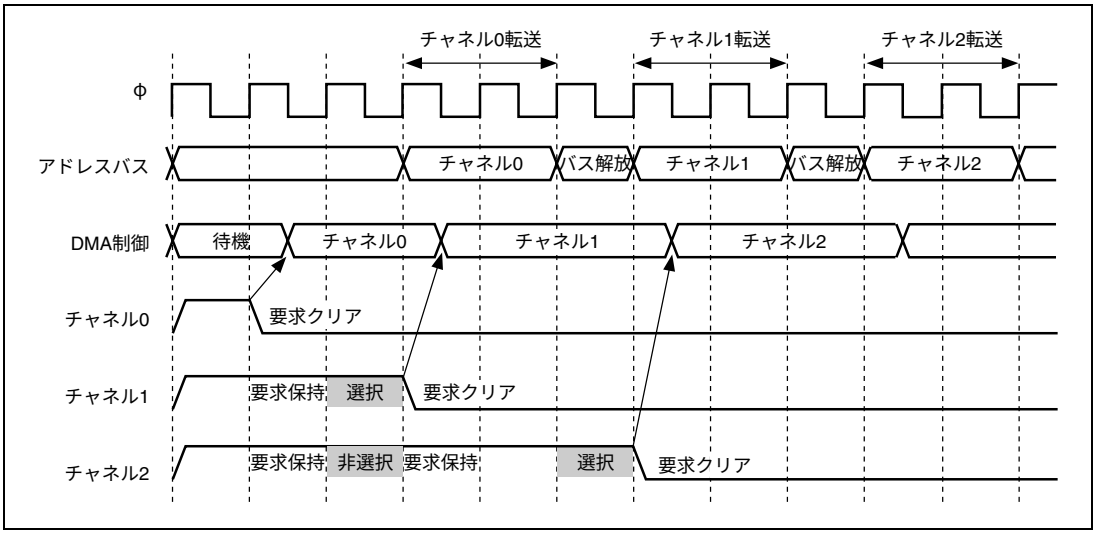


図 7.13 チャネルの優先順位のタイミング例

（2） オートリクエストのサイクルスチールモードで複数チャネルからの転送要求

オートリクエストのサイクルスチールモードで転送中に他のチャネルの転送要求がある場合は、チャネルの優先度により動作が異なります。転送要求をしたチャネルが転送中のチャネルよりも優先度が高い場合は、転送要求をしたチャネルを選択します。転送要求をしたチャネルが転送中のチャネルよりも優先度が低い場合は、転送要求をしたチャネルの転送要求は保留され、転送中のチャネルを引き続き選択します。

選択されたチャネルは転送中のチャネルがバスを解放してから転送を開始します。このとき DMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。他にバス権要求がなければ 1 サイクルバス解放します。

図 7.14 にオートリクエストのサイクルスチールモードを含んだ場合の転送例を示します。

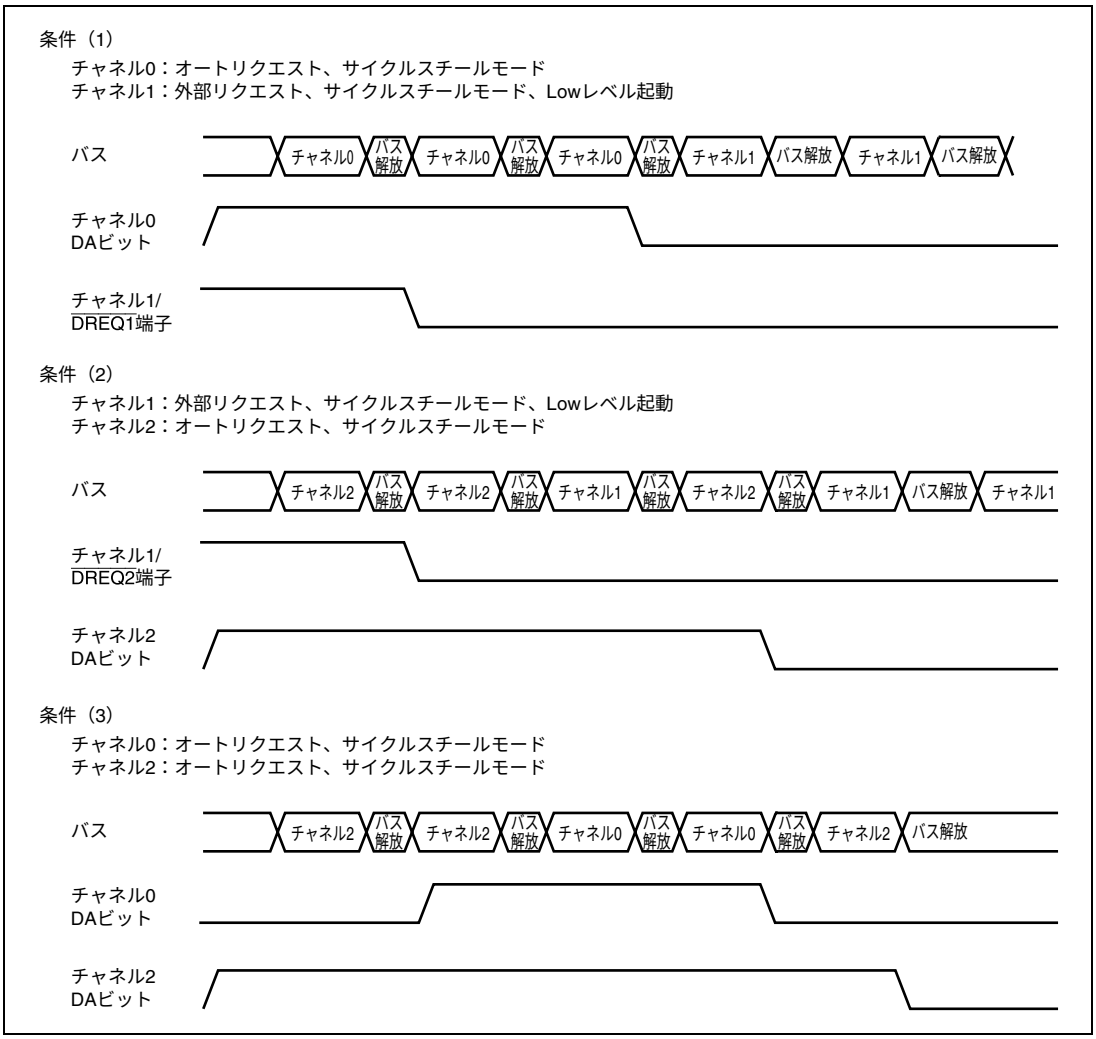


図 7.14　チャネルの優先順位のタイミング例

7.4.9 DMAC のバスサイクル（デュアルアドレスモード）

（1） ノーマル転送モード（サイクルスチールモード）

図 7.15 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モード（サイクルスチールモード）を行った場合の転送例を示します。

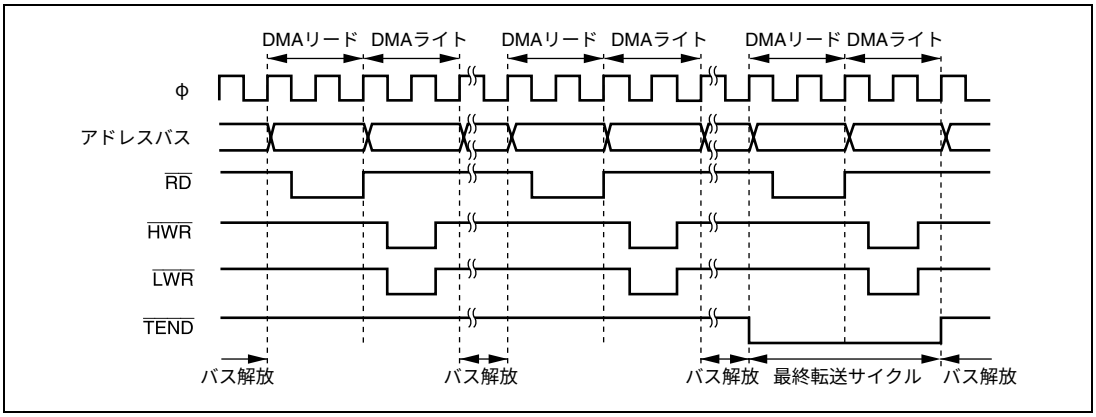


図 7.15 ノーマル転送モード（サイクルスチールモード）転送例

1 バイト、1 ワードまたは 1 ロングワードのデータ転送を行い、転送後に一旦バスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

（2） ノーマル転送モード（バーストモード）

図 7.16 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モード（バーストモード）転送を行った場合の転送例を示します。

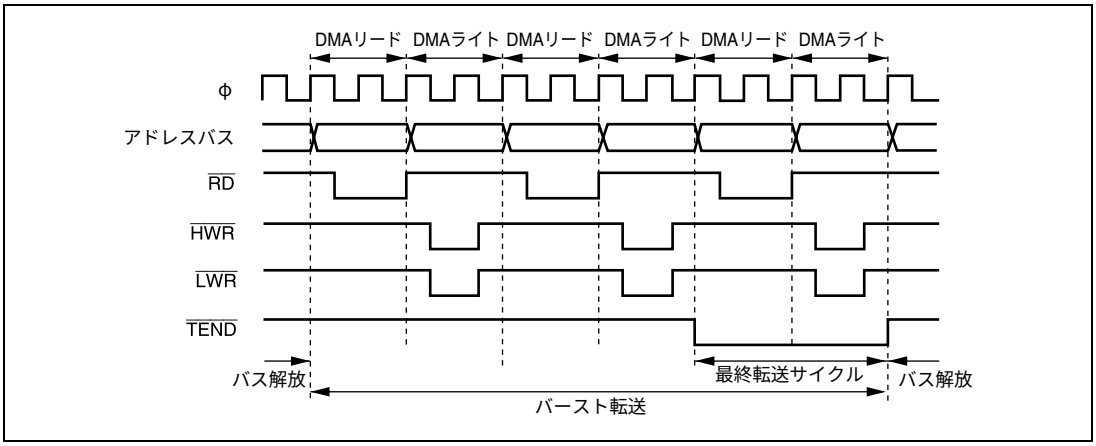


図 7.16 ノーマル転送モード（バーストモード）転送例

バーストモードでは、1 バイト、1 ワードまたは 1 ロングワードの転送を転送が終了するまで継続して実行します。バースト転送が始まると、他の優先順位の高いチャネルの要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャネルが転送許可状態のときに NMI が発生すると、DA ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DA ビットがクリアされてもそのまま転送終了まで実行します。

(3) ノーマル転送モード（サイクルスチールモード：転送元が USB の場合）

図 7.17 に USB 転送を許可して、USB 内の FIFO から、外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モード（サイクルスチールモード）転送を行った場合の転送例を示します。

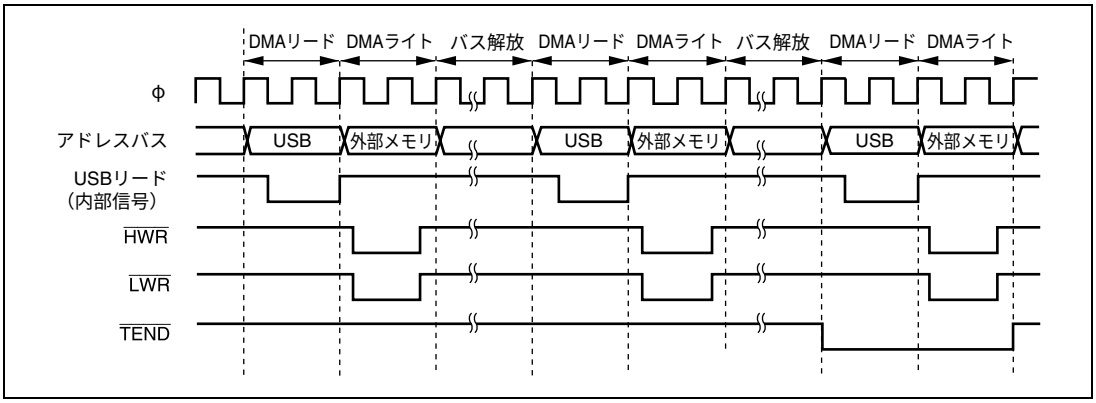


図 7.17　ノーマル転送モード（サイクルスチールモード）転送例　（転送元：USB）

1 バイト、1 ワードまたは 1 ロングワードの転送を行い、転送後、一旦バスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

（4） ノーマル転送モード（サイクルスチールモード：転送先が USB の場合）

図 7.18 に USB 転送を許可して、外部 16 ビット 2 ステートアクセス空間から USB 内の FIFO へワードサイズでノーマル転送モード（サイクルスチールモード）転送を行った場合の転送例を示します。

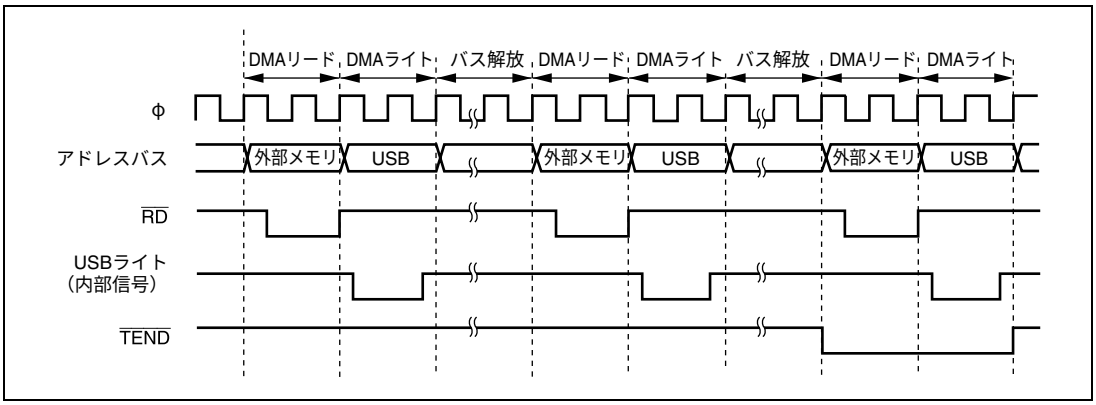


図 7.18　ノーマル転送モード（サイクルスチールモード）転送例　（転送元：USB）

1 バイト、1 ワードまたは 1 ロングワードの転送を行い、転送後、一旦バスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

（5） ブロック転送モード（サイクルスチールモード）

図 719 に TEND 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでブロック転送（サイクルスチールモード）を行った場合の転送例を示します。

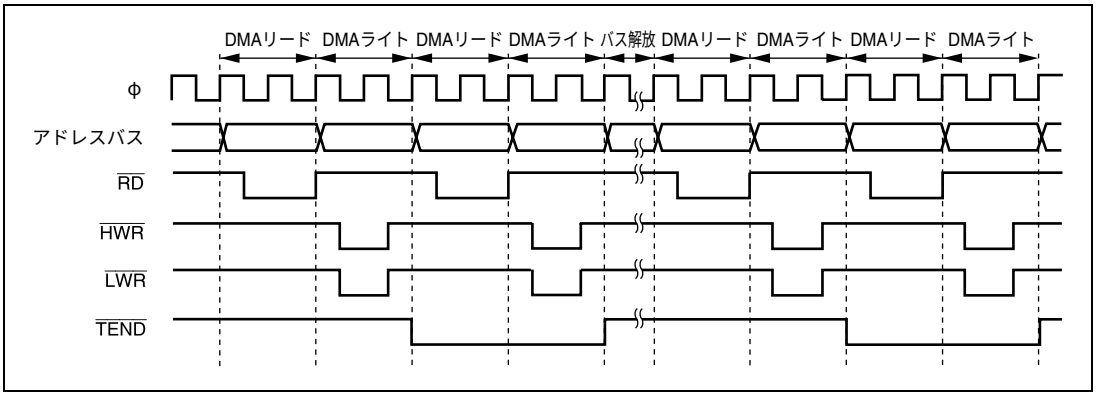
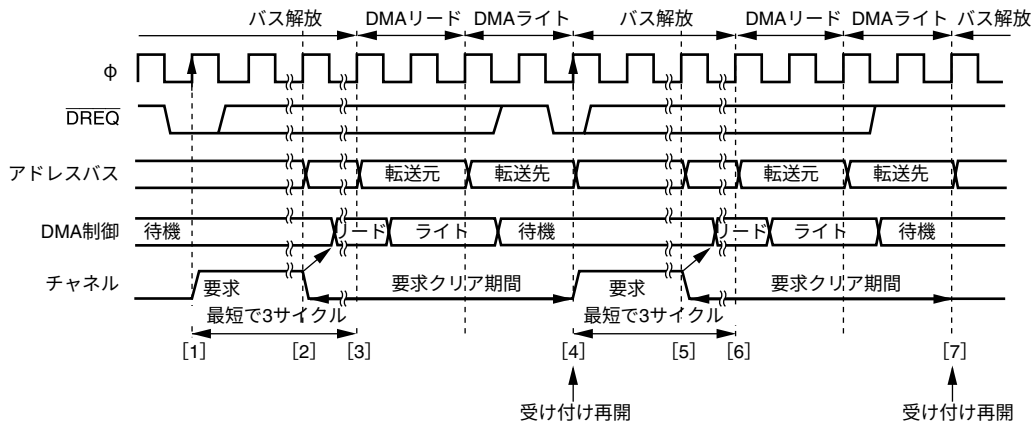


図 7.19　ブロック転送モード（サイクルスチールモード）転送例

一回の転送要求につき 1 ブロック分の転送を行い、転送後、一旦バスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

（6） $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

図 7.20 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例を示します。



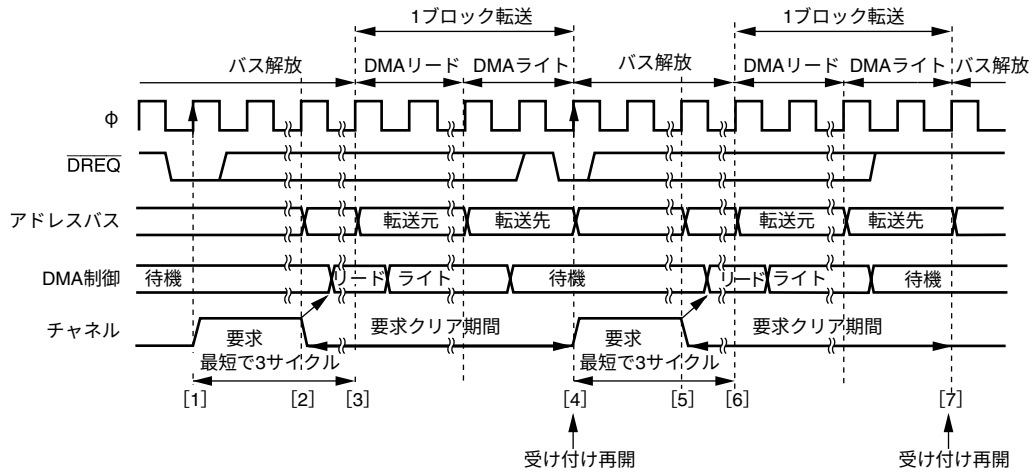
[1]　転送許可後の受け付け、φの立ち上がりで$\overline{\text{DREQ}}$端子のLowレベルがサンプリングされ、要求を保持します。
[2] [5]　次のバスの切れ目で要求をクリア、DMAC内部で起動開始します。
[3] [6]　DMAサイクル開始、φの立ち上がりで$\overline{\text{DREQ}}$端子のHighレベルのサンプリングを開始します。
[4] [7]　$\overline{\text{DREQ}}$端子のHighレベルがサンプリング済みのとき、ライトサイクル完了後、受け付け再開します。
（［1］と同じくφの立ち上がりで$\overline{\text{DREQ}}$端子のLowレベルがサンプリングされ、要求保持）

図 7.20　$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMMDR ライトサイクル終了後の次のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、$\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び、$\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.21 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。



[1]　転送許可後の受け付け、φの立ち上がりで$\overline{\text{DREQ}}$端子のLowレベルがサンプリングされ、要求を保持します。
[2] [5]　次のバスの切れ目で要求をクリア、DMAC内部で起動開始します。
[3] [6]　DMAサイクル開始、φの立ち上がりで$\overline{\text{DREQ}}$端子のHighレベルのサンプリングを開始します。
[4] [7]　$\overline{\text{DREQ}}$端子のHighレベルがサンプリング済みのとき、デッドサイクル完了後、受け付けを再開します。
（[1] と同じくφの立ち上がりで$\overline{\text{DREQ}}$端子のLowレベルがサンプリングされ、要求保持）

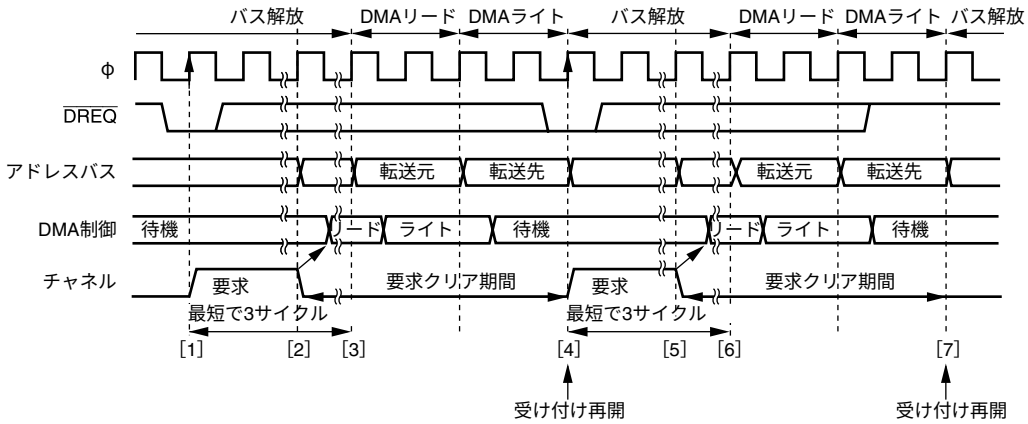
図 7.21　$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMMDR ライトサイクル終了後の次のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、$\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のため、$\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び、$\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

（7） $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング

図 7.22 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例を示します。



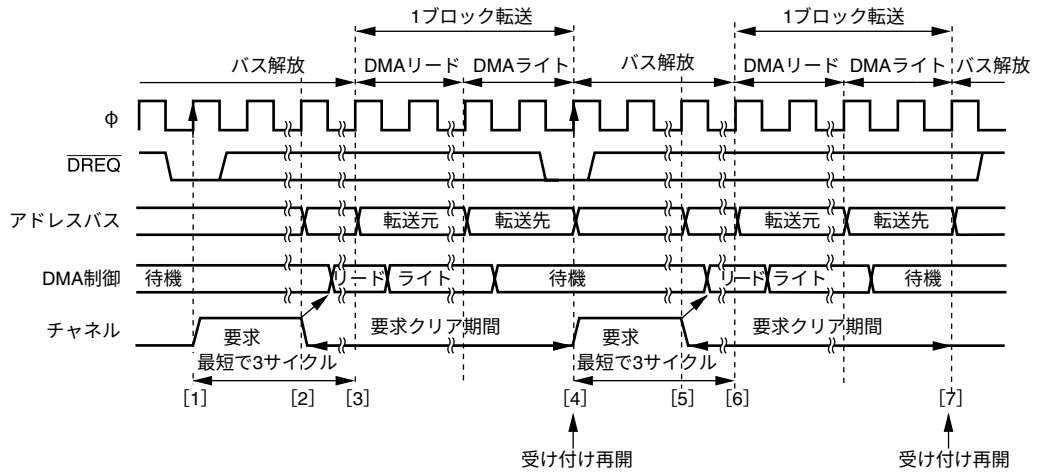
[1]　転送許可後の受け付け、φの立ち上がりでDREQ端子のLowレベルがサンプリングされ、要求を保持します。
[2] [5]　次のバスの切れ目で要求をクリア、DMAC内部で起動開始します。
[3] [6]　DMAサイクルを開始します。
[4] [7]　ライトサイクル完了後、受け付けを再開します。
（[1] と同じくφの立ち上がりでDREQ端子のLowレベルがサンプリングされ、要求保持）

図 7.22　$\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするため、DMMDR ライトサイクル終了直後のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、$\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、$\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.23 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例を示します。



[1]　転送許可後の受け付け、φの立ち上がりで$\overline{\text{DREQ}}$端子のLowレベルがサンプリングされ、要求を保持します。
[2][5]　次のバスの切れ目で要求をクリア、DMAC内部で起動開始します。
[3][6]　DMAサイクルを開始します。
[4][7]　デッドサイクル完了後、受け付けを再開します。
（[1]と同じくφの立ち上がりで$\overline{\text{DREQ}}$端子のLowレベルがサンプリングされ、要求保持）

図 7.23　$\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMMDR ライトサイクル終了直後のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、$\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、$\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.4.10 DMAC のバスサイクル（シングルアドレスモード）

（1） シングルアドレスモード（リード）

図 7.24 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送（リード）を行った場合の転送例を示します。

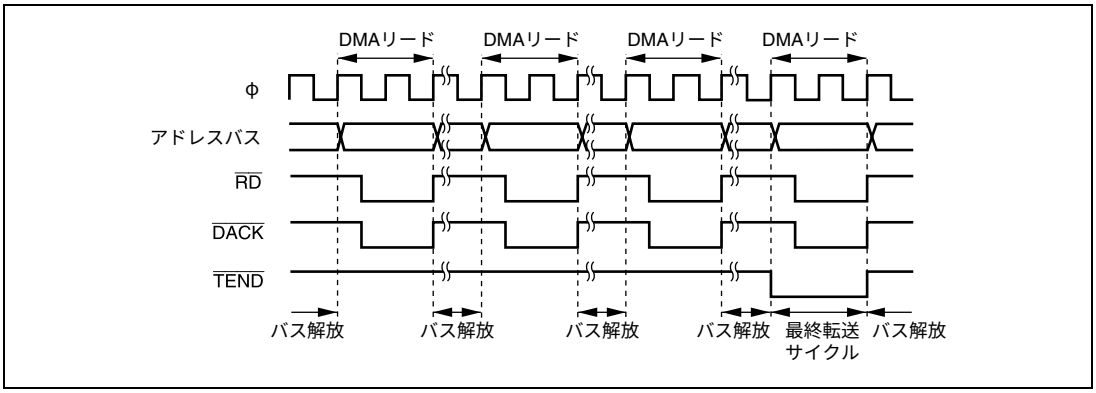


図 7.24　シングルアドレスモード（バイトリード）転送例

図 7.25 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送（リード）を行った場合の転送例を示します。

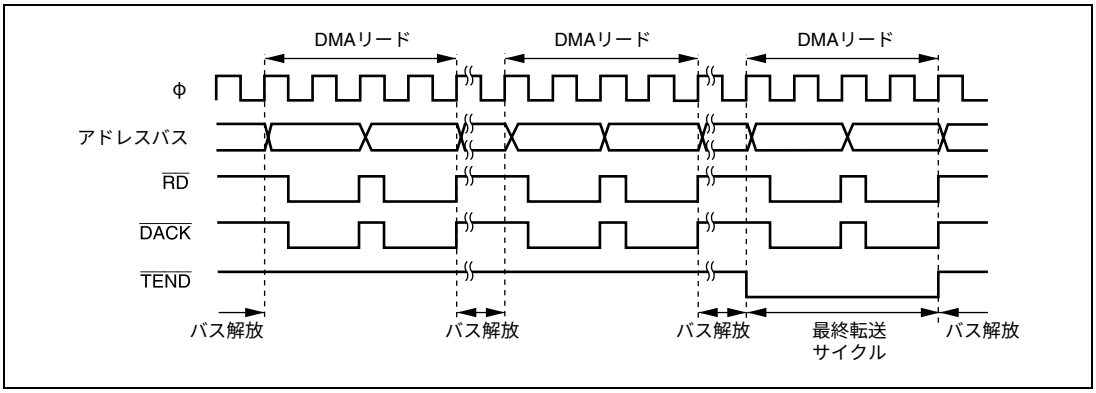


図 7.25　シングルアドレスモード（ワードリード）転送例

一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に一旦バスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

図 7.26 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部デバイスへロングワードサイズでシングルアドレスモード転送（リード）を行った場合の転送例を示します。

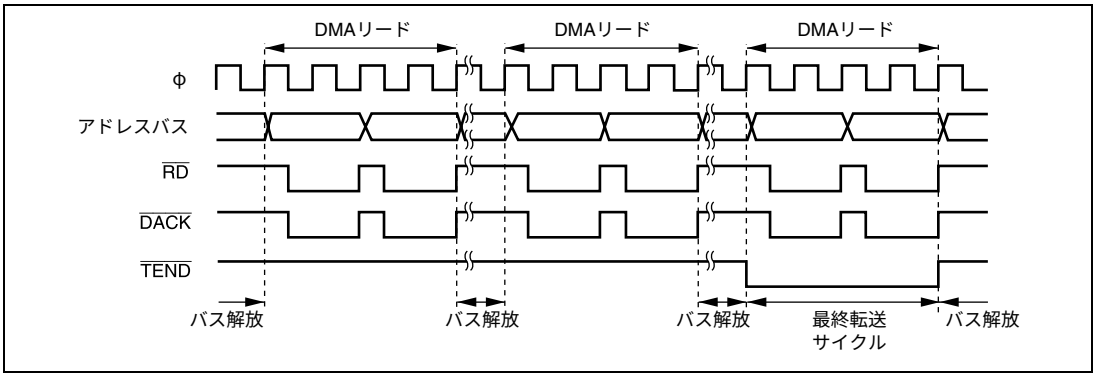


図 7.26　シングルアドレスモード（ロングワードリード）転送例

(2)　シングルアドレスモード（ライト）

図 7.27 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送（ライト）を行った場合の転送例を示します。

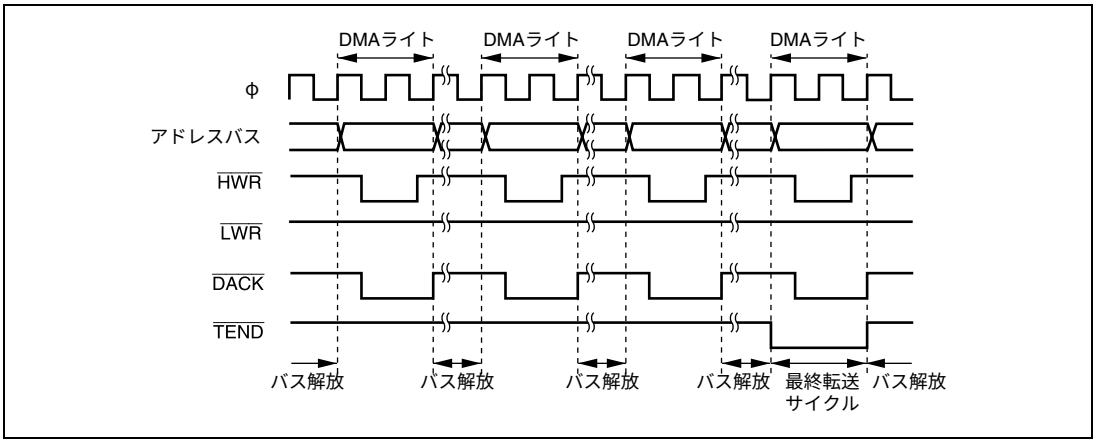


図 7.27　シングルアドレスモード（バイトライト）転送例

図 7.28 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送（ライト）を行った場合の転送例を示します。

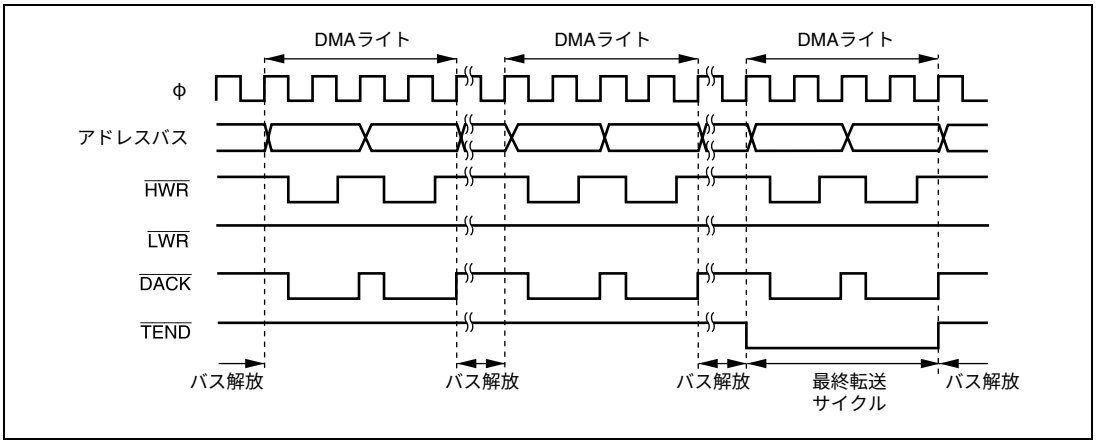


図 7.28　シングルアドレスモード（ワードライト）転送例

一回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、一旦バスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

図 7.29 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから、外部 16 ビット 2 ステートアクセス空間へロングワードサイズでシングルアドレスモード転送（ライト）を行った場合の転送例を示します。

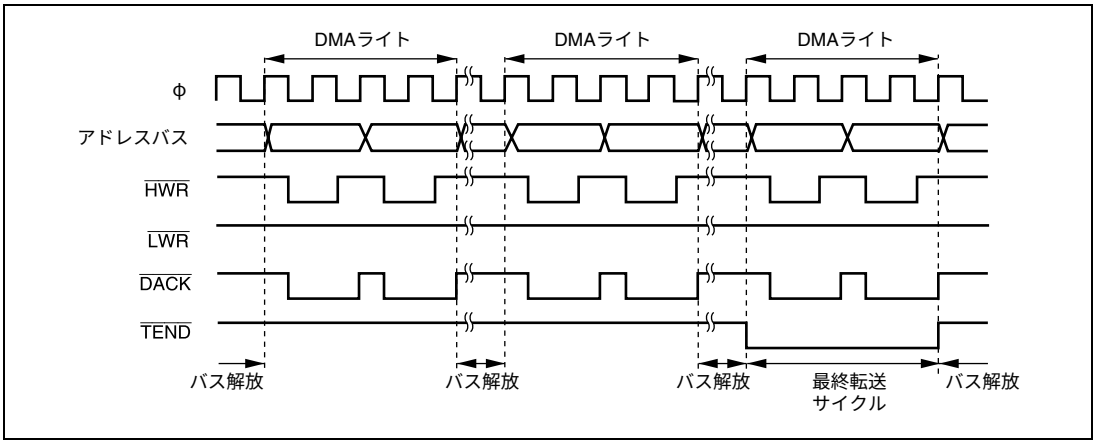
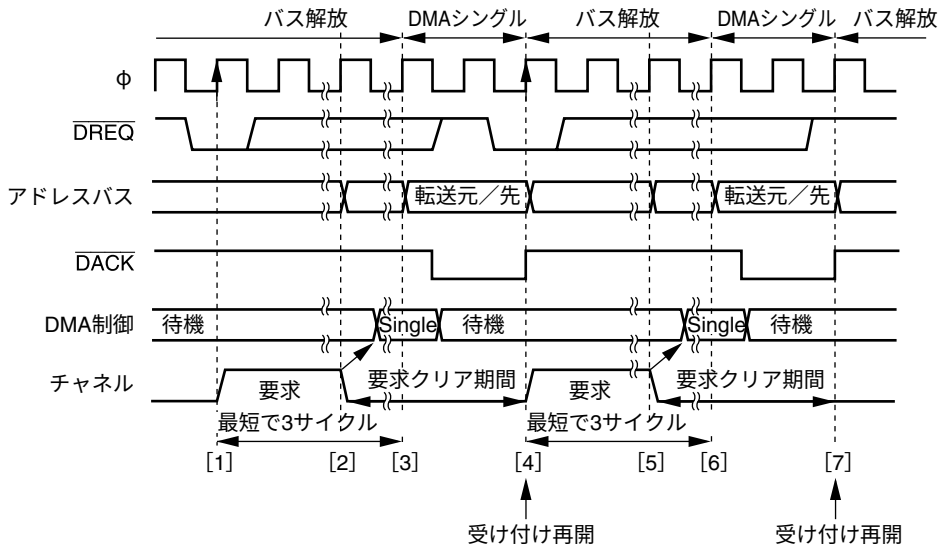


図 7.29　シングルアドレスモード（ロングワードライト）転送例

（3） $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

図 7.30 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。



[1]　転送許可後の受け付け、φの立ち上がりでDREQ端子のLowレベルがサンプリングされ、要求を保持します。
[2] [5]　次のバスの切れ目で要求をクリア、DMAC内部で起動開始します。
[3] [6]　DMAサイクル開始、φの立ち上がりでDREQ端子のHighレベルのサンプリングを開始します。
[4] [7]　DREQ端子のHighレベルがサンプリング済みのとき、シングルサイクル完了後、受け付けを再開します。
（［1］と同じくφの立ち上がりでDREQ端子のLowレベルがサンプリングされ、要求保持）

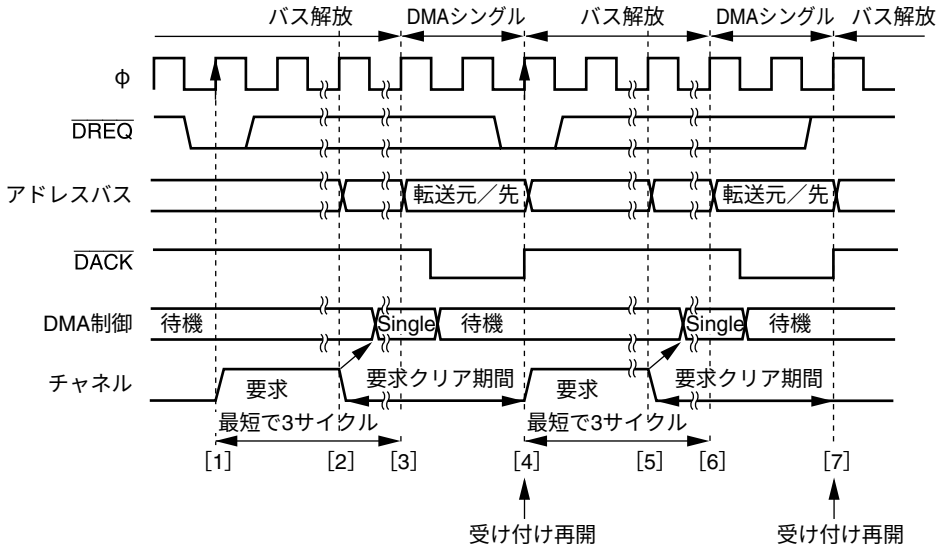
図 7.30　$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするため、DMMDR ライトサイクル終了直後のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、$\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び、$\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

（4） $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング

図 7.31 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例を示します。



[1]　転送許可後の受け付け、φの立ち上がりでDREQ端子のLowレベルがサンプリングされ、要求を保持します。
[2] [5]　次のバスの切れ目で要求をクリア、DMAC内部で起動開始します。
[3] [6]　DMAサイクルを開始します。
[4] [7]　シングルサイクル完了後、受け付けを再開します。
（[1] と同じくφの立ち上がりでDREQ端子のLowレベルがサンプリングされ、要求保持）

図 7.31　$\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするため、DMMDR ライトサイクル終了直後のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、$\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び、$\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.4.11 各モードの動作タイミング例

各モードの様々な条件における動作タイミング例を示します。他のバスマスタとの競合には、CPU の外部バスサイクルを例に上げています。

(1) オートリクエスト／サイクルスチールモード／ノーマル転送モード

DMMDR の DA ビットを 1 セットすると、最短 3 サイクル後から DMA 転送サイクルを開始します。1 転送単位の DMA サイクルの終了から次の転送開始までにバス解放期間が 1 サイクル発生します。

優先順位の高い他のチャネルに転送要求がある場合は、当該チャネルの転送要求は一旦保留され、次の転送から他のチャネルの転送を行います。他のチャネルの転送が終了すると、当該チャネルの転送を再開します。

図 7.32～図 7.34 に各条件の動作タイミング例を示します。

- 競合がない場合／デュアルアドレスモード（図7.32参照）
- CPUサイクルあり／シングルアドレスモード（図7.33参照）
- 優先順位の高い他のチャネルと競合する場合／シングルアドレスモード（図7.34参照）

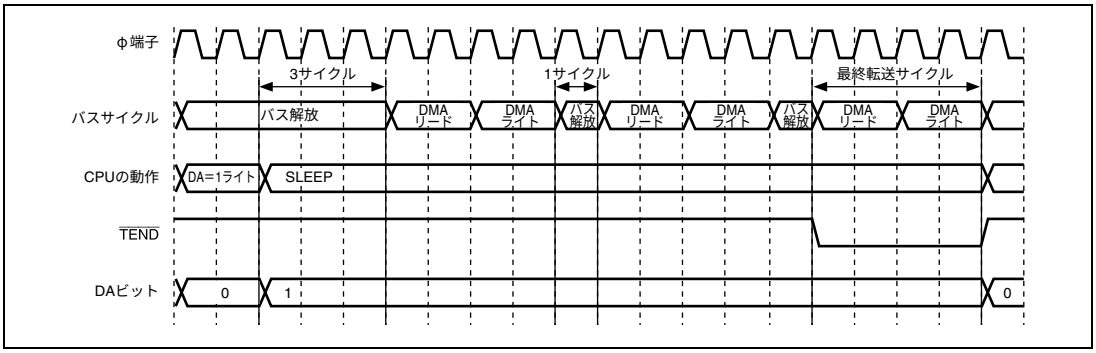


図 7.32 オートリクエスト／サイクルスチールモード／ノーマル転送モード
（競合がない場合／デュアルアドレスモード）

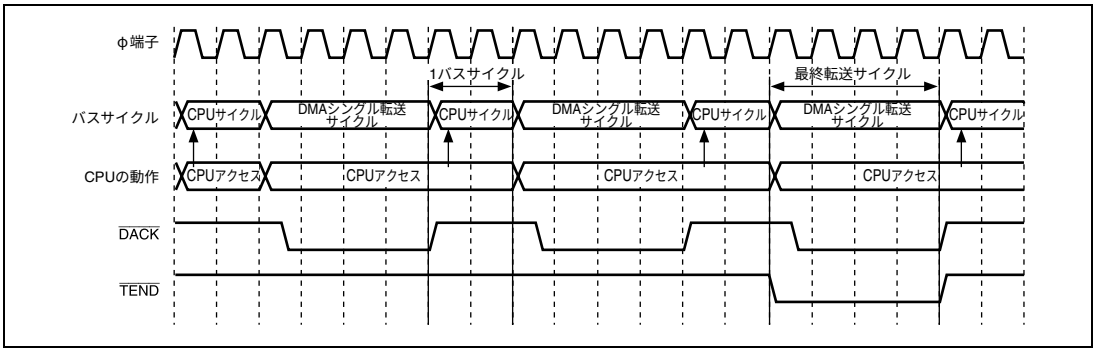


図 7.33 オートリクエスト／サイクルスチールモード／ノーマル転送モード
（CPU サイクルあり／シングルアドレスモード）

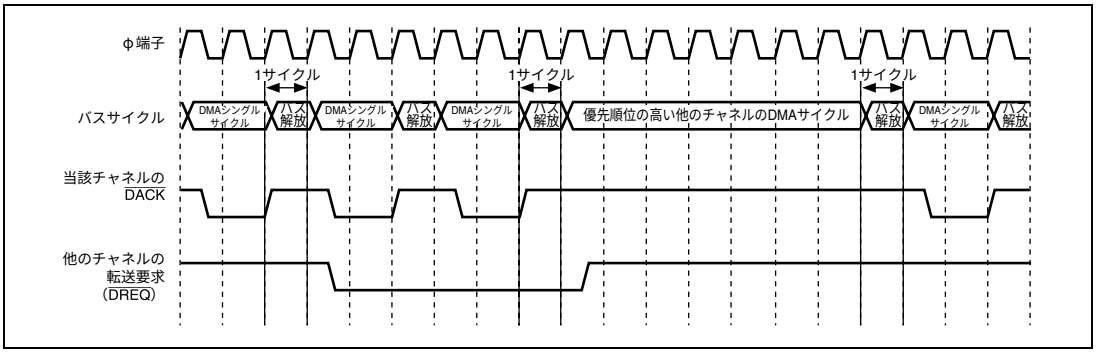


図 7.34　オートリクエスト／サイクルスチールモード／ノーマル転送モード
（他のチャネルと競合する場合／シングルアドレスモード）

（2） オートリクエスト／バーストモード／ノーマル転送モード

DMMDR の DA ビットを 1 セットすると、最短 3 サイクル後から DMA 転送サイクルを開始します。一旦転送を開始すると転送終了条件が満たされるまで連続（バースト）して転送します。

他のチャネルの転送要求は、当該チャネルの転送が終了するまで保留されます。

図 7.35～図 7.37 に各条件の動作タイミング例を示します。

- CPUサイクルあり／デュアルアドレスモード（図7.35参照）
- CPUサイクルあり／シングルアドレスモード（図7.36参照）
- 他のチャネルと競合する場合／シングルアドレスモード（図7.37参照）

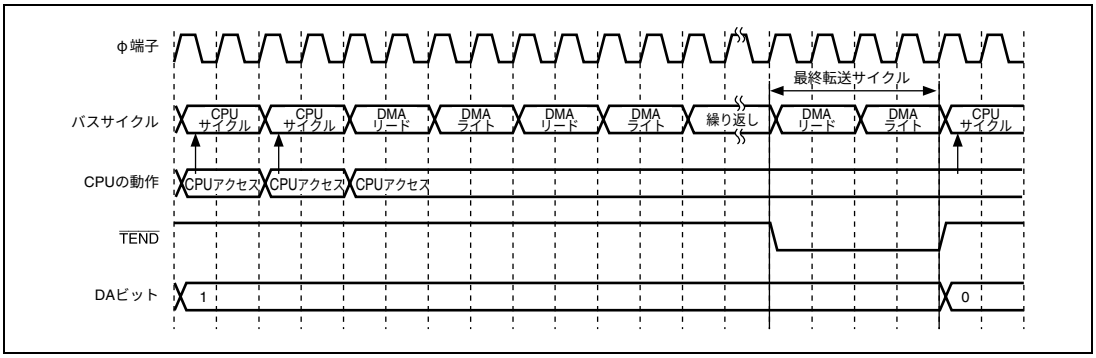


図 7.35　オートリクエスト／バーストモード／ノーマル転送モード
（CPU サイクルあり／デュアルアドレスモード）

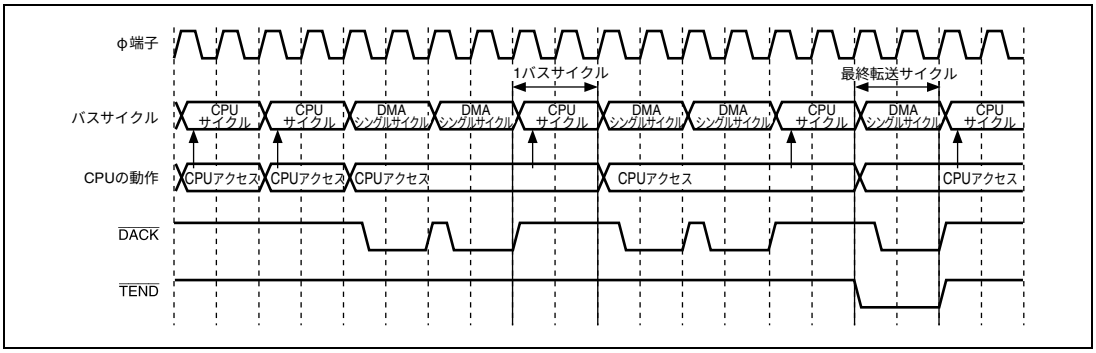


図 7.36　オートリクエスト／バーストモード／ノーマル転送モード
（CPU サイクルあり／シングルアドレスモード）

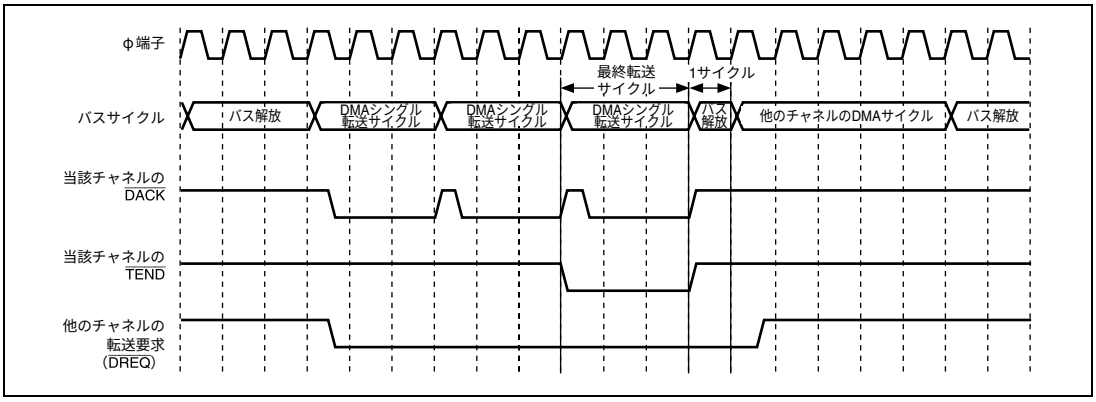


図 7.37　オートリクエスト／バーストモード／ノーマル転送モード
（他のチャネルと競合する場合／シングルアドレスモード）

(3) 外部リクエスト／サイクルスチールモード／ノーマル転送モード

外部リクエストモードでは、転送要求を受け付けてから最短 3 サイクル後に DMA 転送サイクルを開始します。次の転送要求の受け付けは 1 転送単位の DMA サイクルの終了からです。外部バス空間での CPU サイクルは、次の DMA サイクルの間に最短 2 バスサイクル発生します。

他のチャネルに転送要求が発生すると、次の DMA サイクルの前に他のチャネルの DMA サイクルが発生します。

DREQ 端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 7.38～図 7.41 に各条件の動作タイミング例を示します。

- 競合がない場合／デュアルアドレスモード／Lowレベル検出（図7.38参照）
- CPUサイクルあり／シングルアドレスモード／Lowレベル検出（図7.39参照）
- 競合がない場合／シングルアドレスモード／立ち下がりエッジ検出（図7.40参照）
- 他のチャネルと競合する場合／デュアルアドレスモード／Lowレベル検出（図7.41参照）

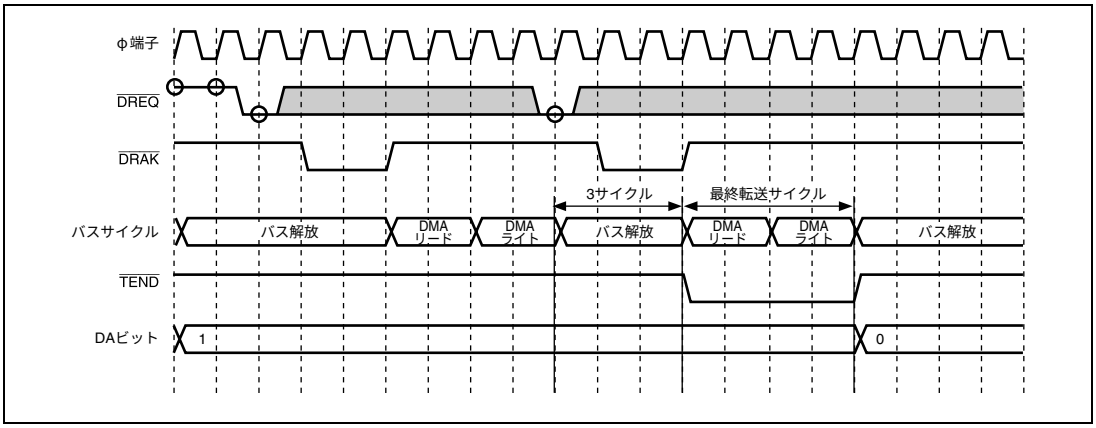


図 7.38　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（競合がない場合／デュアルアドレスモード／Low レベル検出）

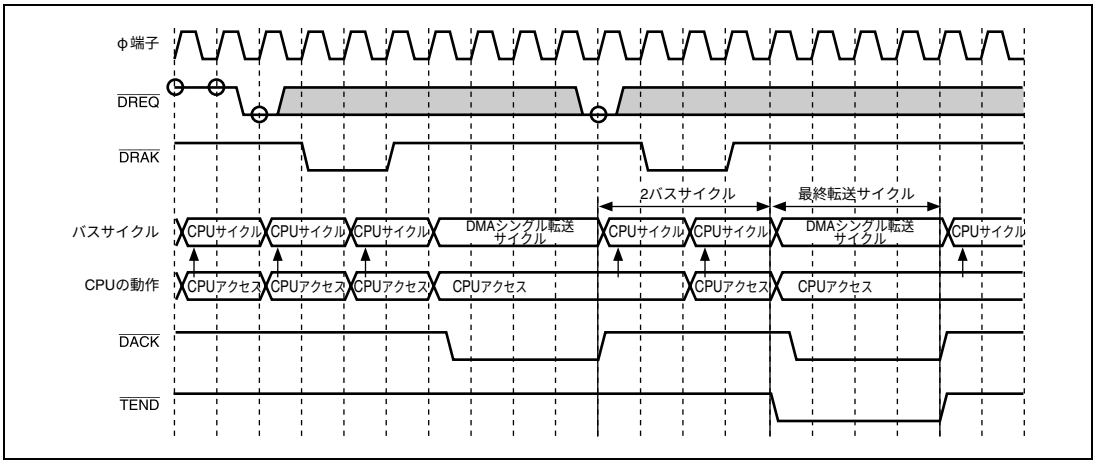


図 7.39　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（CPU サイクルあり／シングルアドレスモード／Low レベル検出）

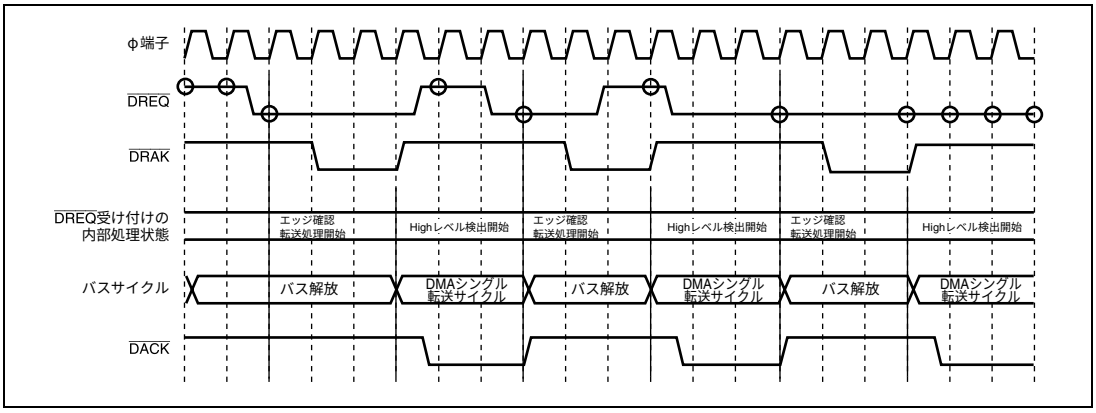


図 7.40　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（競合がない場合／シングルアドレスモード／立ち下がりエッジ検出）

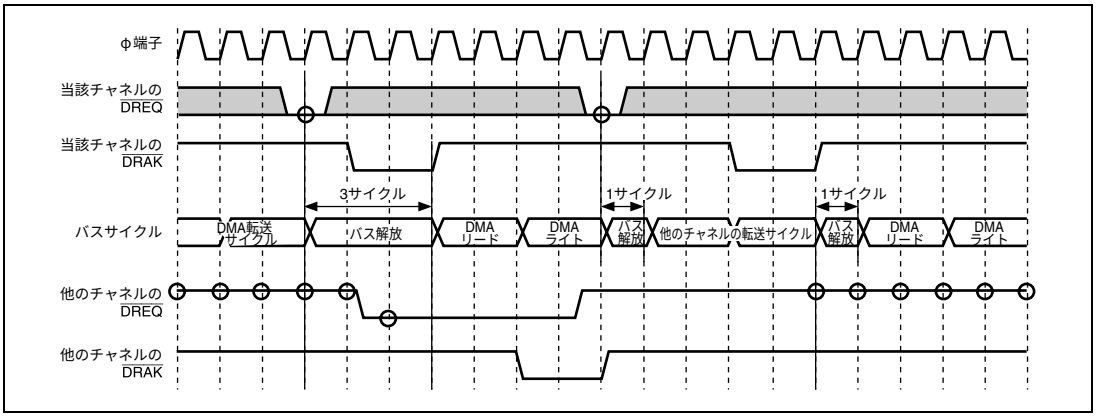


図 7.41　外部リクエスト／サイクルスチールモード／ノーマル転送モード
（他のチャネルと競合する場合／デュアルアドレスモード／Low レベル検出）

(4) 外部リクエスト／サイクルスチールモード／ブロック転送モード

ブロック転送モードでは、1 ブロック分の転送はバーストモードと同様に連続転送します。次のブロック転送の開始タイミングは通常の転送モードと同様です。他のチャネルに転送要求が発生すると、次のブロック転送の前に他のチャネルの DMA サイクルが発生します。$\overline{\text{DREQ}}$ 端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 7.42～図 7.45 に各条件の動作タイミング例を示します。

- 競合がない場合／デュアルアドレスモード／Lowレベル検出（図7.42参照）
- 競合がない場合／シングルアドレスモード／立ち下がりエッジ検出（図7.43参照）
- CPUサイクルあり／シングルアドレスモード／Lowレベル検出（図7.44参照）
- 他のチャネルと競合する場合／デュアルアドレスモード／Lowレベル検出（図7.45参照）

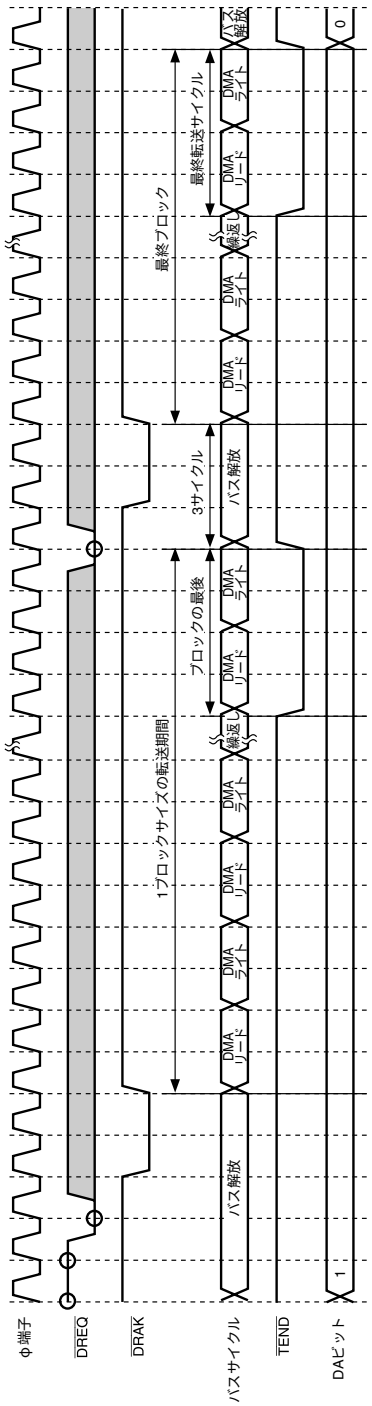


図 7.42　外部リクエスト／サイクルスチールモード／ブロック転送モード
（競合がない場合／デュアルアドレスモード／Low レベル検出）

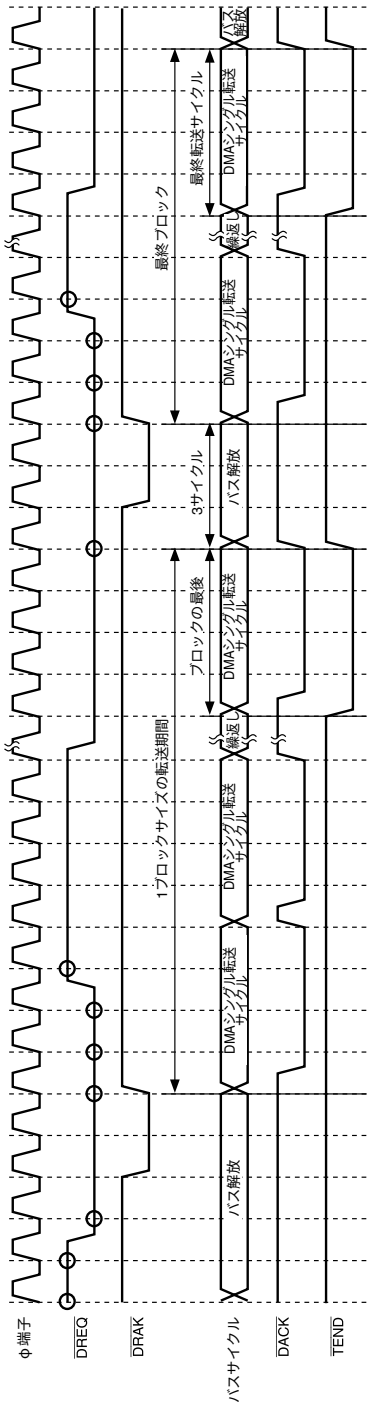


図 7.43　外部リクエスト／サイクルスチールモード／ブロック転送モード
（競合がない場合／シングルアドレスモード／立ち下がりエッジ検出）

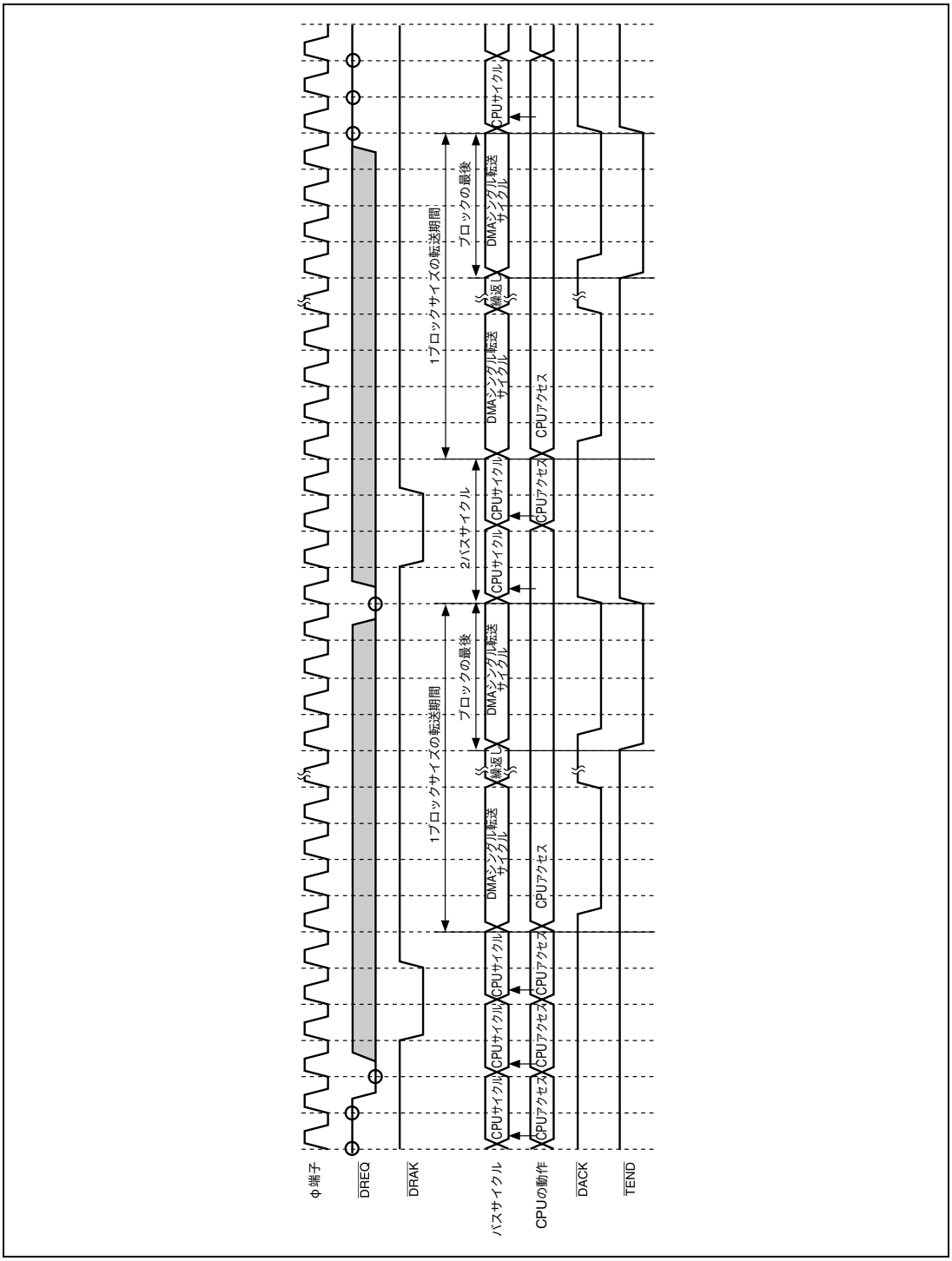


図 7.44　外部リクエスト／サイクルスチールモード／ブロック転送モード
（CPU サイクルあり／シングルアドレスモード／Low レベル検出）

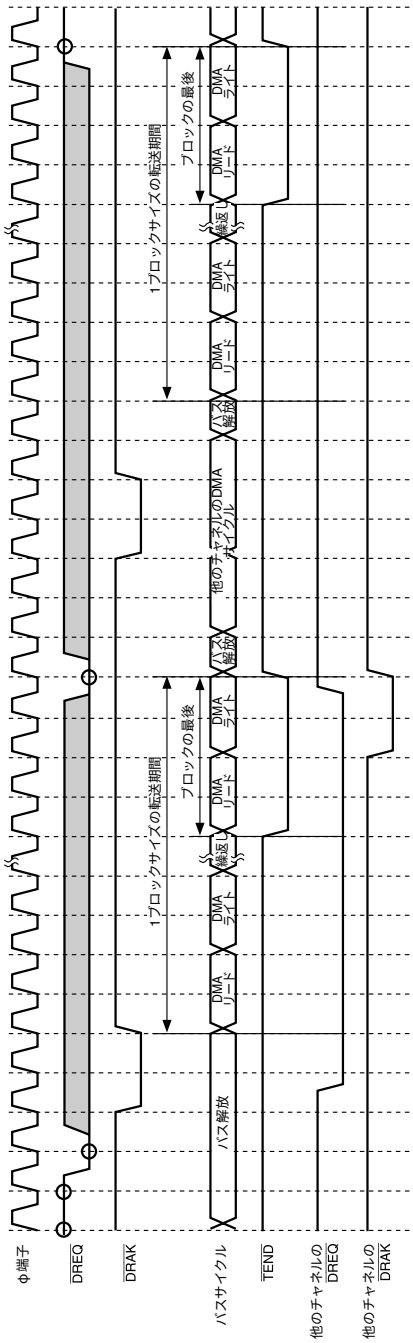


図 7.45　外部リクエスト／サイクルスチールモード／ブロック転送モード
（他のチャネルと競合する場合／デュアルアドレスモード／Low レベル検出）

7.4.12 DMA 転送終了

DMA 転送終了は転送終了条件によって動作が異なります。DMA 転送が終了すると、DMMDR の DA ビットが 1 から 0 になり DMA 転送が終了したことを示します。

（1） DMTCR＝1→0 による転送終了

DMTCR の値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMMDR の DA ビットが 0 にクリアされます。このとき DMMDR の TCEIE ビットがセットされていると、転送カウンタによる転送終了割り込み要求が発生し、DMMDR の IRF ビットが 1 セットされます。

ブロック転送モードの場合、DMTCR の 15～0 ビットの値が 1 から 0 になると DMA 転送が終了します。

DMTCR の値が転送前から 0 の場合では、DMA 転送は終了しません。

（2） リピートエリアオーバフロー割り込みによる転送終了

リピートエリアを指定し、リピートインタラプトイネーブル（DMACR の SARIE ビット、または DARIE ビット）をセットしている状態で、アドレスがリピートエリアオーバフローした場合、リピートエリアオーバフロー割り込み要求が発生します。このとき DMA 転送は終了し、DMMDR の DA ビットが 0 にクリアされ、DMMDR の IRF ビットが 1 セットされます。

デュアルアドレスモードの場合、リードサイクル中にリピートエリアオーバフロー割り込み要求が発生しても、続くライトサイクル処理は実行されます。

ブロック転送モードの場合は、1 ブロック分の転送中にリピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。リピートエリアオーバフロー割り込みによる転送終了はブロックサイズの区切りで発生します。

（3） DMMDR の DA ビットに 0 ライトすることによる転送終了

CPU 等によって DMMDR の DA ビットを 0 ライトすると、転送中の DMA サイクルおよび、転送要求を受け付けた DMA サイクルまでが実行され、転送終了になります。

ブロック転送モードの場合、1 ブロックサイズの転送が終了してから DMA 転送は停止します。

DMMDR の DA ビットの値が 0 にクリアされるタイミングは転送の処理がすべて終了してからになります。それまでは DMMDR の DA ビットの値は 1 が読み出されます。

（4） NMI 割り込みによる強制終了

NMI 割り込みが発生すると、DMA 転送は強制終了します。すべてのチャネルの DA ビットは 0 にクリアされます。外部リクエストの場合、$\overline{\text{DRAK}}$ が出力された転送要求の分まで DMA 転送を行います。デュアルアドレスモードの場合、リードサイクルに続くライトサイクル処理は実行されます。

ブロック転送モードの場合、1 ブロックサイズの転送中でも強制終了します。このとき 1 ブロックサイズの途中で転送を中止するので、DMMDR の BEF ビットに 1 セットして、ブロック転送が正常に行われなかったことを示します。

強制終了したとき、レジスタの値は保持され、アドレスレジスタは次の転送アドレスを示しているので、DMMDR の DA ビットに 1 をセットすれば転送を再開することができます。DMMDR の BEF＝1 になっていると、1 ブロックサイズの途中から再開することになります。

（5） ハードウェアスタンバイモード、リセット入力

ハードウェアスタンバイモード、またはリセット入力により、DMAC は初期化されます。DMA 転送は保証されません。

7.4.13 DMAC と他のバスマスタの関係

DMA 転送サイクルのリードとライトの間は不可分割となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、内部バスマスタ（CPU）のアクセスサイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルの後に、リフレッシュが挿入されることがあります。CPU は、DMAC より優先度が低いため、DMAC がバスを解放するまで CPU のアクセスは動作しません。

DMAC がバスを解放するタイミングには以下の場合があります。

- サイクルスチールモードのDMA転送が行われたとき
- 異なるチャネルに切り換わるとき
- バースト転送モードで転送が終了したとき
- ブロック転送の1ブロック転送が終了したとき

7.5 割り込み要因

DMAC が発生する割り込み要因は転送カウンタによる転送終了、リピートエリアオーバフロー割り込みです。表 7.4 に割り込み要因と優先度を示します。

表 7.4 割り込み要因と優先度

割り込み名称	割り込み要因	割り込み優先順位
DMTEND0	チャネル 0 の転送カウンタによる転送終了による割り込み チャネル 0 のソースアドレスリピートエリアオーバフローによる割り込み チャネル 0 のディスティネーションアドレスリピートエリアオーバフローによる割り込み	高
DMTEND1	チャネル 1 の転送カウンタによる転送終了による割り込み チャネル 1 のソースアドレスリピートエリアオーバフローによる割り込み チャネル 1 のディスティネーションアドレスリピートエリアオーバフローによる割り込み	↑
DMTEND2	チャネル 2 の転送カウンタによる転送終了による割り込み チャネル 2 のソースアドレスリピートエリアオーバフローによる割り込み チャネル 2 のディスティネーションアドレスリピートエリアオーバフローによる割り込み	
DMTEND3	チャネル 3 の転送カウンタによる転送終了による割り込み チャネル 3 のソースアドレスリピートエリアオーバフローによる割り込み チャネル 3 のディスティネーションアドレスリピートエリアオーバフローによる割り込み	低

各割り込み要因は、対応するチャネルの DMMDR の DIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 7.4 に示すようになっています。転送終了割り込みのブロック図を図 7.46 に示します。DMMDR の IRF ビット＝1 の状態で DIE ビットを 1 に設定すると、常に転送終了割り込みが発生します。

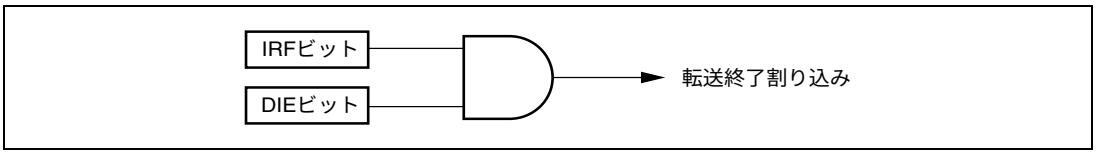
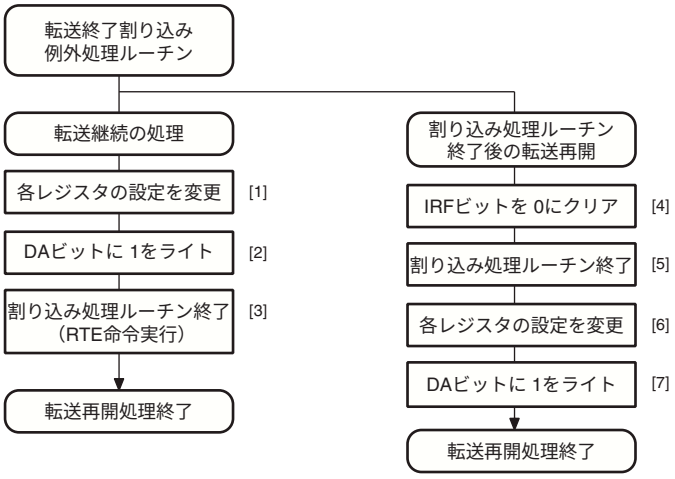


図 7.46 転送終了割り込みのブロック図

各割り込み要因は、対応するチャネルのレジスタの割り込みイネーブルビットで各々設定します。転送カウンタによる転送終了割り込みは DMMDR の TCEIE ビットにより、ソースアドレスレジスタリピートエリアオーバフロー割り込みは DMACR の SARIE ビットにより、ディスティネーションアドレスレジスタリピートエリアオーバフロー割り込みは DMACR の DARIE ビットにより、許可または禁止を設定します。各割り込みの割り込みイネーブルビットを 1 セットした状態で、各割り込み要因が発生すると IRF ビットが 1 セットされます。各割り込み要因は区別せずに、IRF ビットに反映します。

転送終了割り込みを解除するには､割り込み処理ルーチンにて DMMDR の IRF ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DMMDR の DA ビットを 1 にセットして転送継続の処理を行う方法があります。

転送終了割り込みを解除して、転送を再開する手順例を 図 7.47 に示します。



[1] 転送カウンタ、アドレスレジスタなど、各レジスタに設定値をライトしてください。

[2] DMMDRのDAビットに1をライトして、DMA動作を再開します。DAビットに1をライトすると、自動的にDMMDRのIRFビットは0にクリアされ、割り込み要因はクリアされます。

[3] RTE命令などにより割り込み処理ルーチンを終了します。

[4] DMMDRのIRFビットをIRF=1リード後のIRF=0ライトにより0クリアしてください。

[5] RTE命令などにより割り込み処理ルーチンを終了し、割り込みマスクを解除します。

[6] 転送カウンタ、アドレスレジスタなど、各レジスタに設定値をライトしてください。

[7] DMMDRのDAビットに1をライトして、DMA動作を再開します。

図 7.47　転送終了割り込みが発生したチャネルの転送再開手順例

7.6　使用上の注意事項

(1) 動作中の DMAC のレジスタアクセス

DMMDR の DA ビットを 0 クリアする場合を除き、動作中（転送待ち状態を含む）のチャネルの設定は、変更しないでください。動作中のチャネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い、次のようになります。

1. 起動要求待ち状態：$\overline{\text{DREQ}}$端子のLowレベルの検出を待ち、2.に遷移します。
2. 転送待ち状態：DMACのデータ転送が可能になるのを待ち、3.に遷移します。

3. 起動要求禁止状態：$\overline{\text{DREQ}}$端子のHighレベルの検出を待ち、1.に遷移します。

DMAC の転送許可後は、1.に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(3) 起動要因の受け付け

起動要因の受け付け開始時は、$\overline{\text{DREQ}}$ 端子の立ち下がりエッジセンス／Low レベルセンスともに、Low レベルを検出しています。したがって、転送許可状態にするための DMMDR ライト実行以前から発生している $\overline{\text{DREQ}}$ 端子の Low レベルは、要求を受け付けます。

DMAC の起動時には、必要に応じて、前回の転送終了時などの $\overline{\text{DREQ}}$ 端子の Low レベルが残らないようにしてください。

(4) DMMDR の IRF＝1 の状態からの割り込み要求の許可

DMMDR の IRF ビットが 1 の状態から転送開始する場合に、DMMDR の DA ビットと共に DMMDR の DIE ビットを 1 にセットして割り込み要求を許可すると、DIE＝1 かつ IRF＝1 の状態が生じるために割り込み要求が発生します。

転送開始時に誤って割り込み要求を発生させないために、IRF ビットを 0 クリアしてから DIE ビットを 1 にセットするようにしてください。

(5) ソースアドレス／ディスティネーションアドレス

転送データサイズをワードサイズ／ロングワードサイズと設定した場合、DMSAR、DMDAR には、偶数（ワード）／4 の倍数（ロングワード）を指定してください。

転送データをワードと設定した状態で、DMSAR／DMDAR に奇数の値を設定した際には、アドレスの最下位ビットを 0 とみなしてアクセスします。

また、転送データをロングワードと設定した状態で、DMSAR／DMDAR に 4 の倍数以外の値を設定した際には、アドレスの最下位 2 ビットを 0 とみなしてアクセスします。

8.　I/O ポート

ポート機能一覧を表 8.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ（DDR）、出力データを格納するデータレジスタ（DR）と端子の状態をリードするポートレジスタ（PORT）から構成されています。

ポート 1～4 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。ポート 5～9、ポート A は 1 個の TTL 負荷と 50pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

ポート 3（P34、P35）、ポート 5（P52、P53、P56、P57）、ポート 7、ポート A（PA0、PA1）は、IRQ 入力として使用する際シュミットトリガ入力となります。

またポート 3（P32、P33）は、USB2 を使用し、ソフトウェアスタンバイ状態へ遷移した場合、シュミットトリガ入力となります。

表 8.1　ポートの機能一覧

ポート名	概要	拡張モード（EXPE＝1）	シングルチップモード（EXPE＝0）
ポート 1	USB2 入出力と 兼用汎用入出力ポート	P17/USD15 P16/USD14 P15/USD13 P14/USD12 P13/USD11 P12/USD10 P11/USD9 P10/USD8	P17/USD15 P16/USD14 P15/USD13 P14/USD12 P13/USD11 P12/USD10 P11/USD9 P10/USD8
ポート 2	USB2 入出力、 DMAC 入出力と 兼用汎用入出力ポート	P27/USD7/$\overline{\text{DRAK1}}$ P26/USD6/$\overline{\text{DACK1}}$ P25/USD5/$\overline{\text{TEND1}}$ P24/USD4/$\overline{\text{DREQ1}}$ P23/USD3/$\overline{\text{DRAK0}}$ P22/USD2/$\overline{\text{DACK0}}$ P21/USD1/$\overline{\text{TEND0}}$ P20/USD0/$\overline{\text{DREQ0}}$	P27/USD7/$\overline{\text{DRAK1}}$ P26/USD6/$\overline{\text{DACK1}}$ P25/USD5/$\overline{\text{TEND1}}$ P24/USD4/$\overline{\text{DREQ1}}$ P23/USD3/$\overline{\text{DRAK0}}$ P22/USD2/$\overline{\text{DACK0}}$ P21/USD1/$\overline{\text{TEND0}}$ P20/USD0/$\overline{\text{DREQ0}}$
ポート 3	USB2 入出力、 割り込み入力と 兼用汎用入出力ポート	P37/USOPM1 P36/USOPM0 P35/($\overline{\text{IRQ5}}$)/USVBUS P34/($\overline{\text{IRQ4}}$)/USTXV P33/USLSTA1 P32/USLSTA0 P31/USCLK P30/USWDVLD	P37/USOPM1 P36/USOPM0 P35/($\overline{\text{IRQ5}}$)/USVBUS P34/($\overline{\text{IRQ4}}$)/USTXV P33/USLSTA1 P32/USLSTA0 P31/USCLK P30/USWDVLD
ポート 4	USB2 入出力と兼用汎 用入出力ポート	P47/USXCVRS P46/USTXRDY P45/USTSEL P44/$\overline{\text{USSUSP}}$ P43/USRXV P42/USRXERR P41/USRXACT P40/$\overline{\text{USRST}}$	P47/USXCVRS P46/USTXRDY P45/USTSEL P44/$\overline{\text{USSUSP}}$ P43/USRXV P42/USRXERR P41/USRXACT P40/$\overline{\text{USRST}}$
ポート 5	外部データバス入出力、 DMAC 入出力、 割り込み入力と 兼用汎用入出力ポート	P57/D7/($\overline{\text{IRQ7}}$)/$\overline{\text{DRAK3}}$ P56/D6/($\overline{\text{IRQ6}}$)/$\overline{\text{DACK3}}$ P55/D5/$\overline{\text{TEND3}}$ P54/D4/$\overline{\text{DREQ3}}$ P53/D3/($\overline{\text{IRQ3}}$)/$\overline{\text{DRAK2}}$ P52/D2/($\overline{\text{IRQ2}}$)/$\overline{\text{DACK2}}$ P51/D1/$\overline{\text{TEND2}}$ P50/D0/$\overline{\text{DREQ2}}$	P57/($\overline{\text{IRQ7}}$)/$\overline{\text{DRAK3}}$ P56/($\overline{\text{IRQ6}}$)/$\overline{\text{DACK3}}$ P55/$\overline{\text{TEND3}}$ P54/$\overline{\text{DREQ3}}$ P53/($\overline{\text{IRQ3}}$)/$\overline{\text{DRAK2}}$ P52/($\overline{\text{IRQ2}}$)/$\overline{\text{DACK2}}$ P51/$\overline{\text{TEND2}}$ P50/$\overline{\text{DREQ2}}$

ポート名	概要	拡張モード（EXPE＝1）	シングルチップモード（EXPE＝0）
ポート 6	外部アドレスバス出力、タイマ入出力と兼用汎用入出力ポート	P67/A15 P66 /A14/TMO1 P65 /A13/TMRI1 P64 /A12/TMCI1 P63 /A11 P62 /A10/TMO0 P61/A9/TMRI0 P60/A8/TMCI0	P67 P66 /TMO1 P65 /TMRI1 P64 /TMCI1 P63 P62 /TMO0 P61/TMRI0 P60/TMCI0
ポート 7	外部アドレスバス出力、割り込み入力と兼用汎用入出力ポート	P77/A7/$\overline{\text{IRQ7}}$ P76 /A6/$\overline{\text{IRQ6}}$ P75 /A5/$\overline{\text{IRQ5}}$ P74 /A4/$\overline{\text{IRQ4}}$ P73 /A3/$\overline{\text{IRQ3}}$ P72 /A2/$\overline{\text{IRQ2}}$ P71/A1/$\overline{\text{IRQ1}}$ P70/A0/$\overline{\text{IRQ0}}$	P77/$\overline{\text{IRQ7}}$ P76 /$\overline{\text{IRQ6}}$ P75/$\overline{\text{IRQ5}}$ P74 /$\overline{\text{IRQ4}}$ P73 /$\overline{\text{IRQ3}}$ P72 /$\overline{\text{IRQ2}}$ P71/$\overline{\text{IRQ1}}$ P70/$\overline{\text{IRQ0}}$
ポート 8	外部データバス入出力と兼用汎用 入出力ポート	P87/D15 P86 /D14 P85 /D13 P84 /D12 P83 /D11 P82 /D10 P81/D9 P80/D8	P87 P86 P85 P84 P83 P82 P81 P80
ポート 9	外部バス制御出力と兼用汎用入出力ポート	P97/ φ P96/$\overline{\text{AS}}$ P95/$\overline{\text{RD}}$ P94/$\overline{\text{HWR}}$ P93/$\overline{\text{LWR}}$ P92/$\overline{\text{CS2}}$/$\overline{\text{RAS}}$ P91/$\overline{\text{CS1}}$ P90/$\overline{\text{CS0}}$	P97/ φ P96 P95 P94 P93 P92 P91 P90
ポート A	外部アドレスバス出力、外部バス制御出力、割り込み入力と兼用汎用入出力ポート	PA3/A19/$\overline{\text{CS3}}$ PA2/A18/$\overline{\text{UCAS}}$ PA1/A17/$\overline{\text{LCAS}}$/($\overline{\text{IRQ1}}$) PA0/A16/($\overline{\text{IRQ0}}$)	PA3 PA2 PA1/($\overline{\text{IRQ1}}$) PA0/($\overline{\text{IRQ0}}$)

8.1 ポート 1

ポート 1 は 8 ビットの兼用入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ（P1DDR）
- ポート1データレジスタ（P1DR）
- ポート1レジスタ（PORT1）

8.1.1 ポート 1 データディレクションレジスタ（P1DDR）

P1DDR はポート 1 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

8.1.2 ポート 1 データレジスタ（P1DR）

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

8.1.3 ポート 1 レジスタ（PORT1）

PORT1 はポート 1 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P17	—*	R	このレジスタをリードすると、P1DDR が 1 にセットされているビットは P1DR の値がリードされます。P1DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P16	—*	R	
5	P15	—*	R	
4	P14	—*	R	
3	P13	—*	R	
2	P12	—*	R	
1	P11	—*	R	
0	P10	—*	R	

【注】 * P17～P10 の端子の状態により決定されます。

8.1.4 端子機能

ポート 1 は、USB2 入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P17/USD15

P17DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P17DDR	0	1	—
端子機能	P17 入力	P17 出力	USD15 入出力

- P16/USD14

P16DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P16DDR	0	1	—
端子機能	P16 入力	P16 出力	USD14 入出力

- P15/USD13

P15DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P15DDR	0	1	—
端子機能	P15 入力	P15 出力	USD13 入出力

- P14/USD12

P14DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P14DDR	0	1	―
端子機能	P14 入力	P14 出力	USD12 入出力

- P13/USD11

P13DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P13DDR	0	1	―
端子機能	P13 入力	P13 出力	USD11 入出力

- P12/USD10

P12DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P12DDR	0	1	―
端子機能	P12 入力	P12 出力	USD10 入出力

- P11/USD9

P11DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P11DDR	0	1	―
端子機能	P11 入力	P11 出力	USD9 入出力

- P10/USD8

P10DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P10DDR	0	1	―
端子機能	P10 入力	P10 出力	USD8 入出力

8.2 ポート 2

ポート 2 は 8 ビットの兼用入出力ポートです。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ（P2DDR）
- ポート2データレジスタ（P2DR）
- ポート2レジスタ（PORT2）

8.2.1 ポート 2 データディレクションレジスタ（P2DDR）

P2DDR はポート 2 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P27DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

8.2.2 ポート 2 データレジスタ（P2DR）

P2DR はポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P27DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

8.2.3 ポート 2 レジスタ（PORT2）

PORT2 はポート 2 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P27	—*	R	このレジスタをリードすると、P2DDR が 1 にセットされているビットは P2DR の値がリードされます。P2DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P26	—*	R	
5	P25	—*	R	
4	P24	—*	R	
3	P23	—*	R	
2	P22	—*	R	
1	P21	—*	R	
0	P20	—*	R	

【注】 * P27～P20 の端子の状態により決定されます。

8.2.4 端子機能

ポート 2 は、DMAC 入出力端子、USB2 入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P27/USD7/$\overline{\text{DRAK1}}$

P27DDR ビット、DMMDR_1 の DRAKE ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1			0
DRAKE	0		1	—
P27DDR	0	1	—	—
端子機能	P27 入力	P27 出力	$\overline{\text{DRAK1}}$ 出力	USD7 入出力

- P26/USD6/$\overline{\text{DACK1}}$

P26DDR ビット、DMMDR_1 の AMS ビット、MDCR の EXPE ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1					0
EXPE	0		1			—
AMS	—		0		1	—
P26DDR	0	1	0	1	—	—
端子機能	P26 入力	P26 出力	P26 入力	P26 出力	$\overline{\text{DACK1}}$ 出力	USD6 入出力

- P25/USD5/$\overline{\text{TEND1}}$

P25DDR ビット、DMMDR_1 の TENDE ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1			0
TENDE	0		1	—
P25DDR	0	1	—	—
端子機能	P25 入力	P25 出力	$\overline{\text{TEND1}}$ 出力	USD5 入出力

- P24/USD4/$\overline{\text{DREQ1}}$

P24DDR ビット、DMMDR_1 の DREQS ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P24DDR	0	1	—
端子機能	P24 入力	P24 出力	USD4 入出力
	$\overline{\text{DREQ1}}$ 入力*		

【注】* DREQS=1 のとき $\overline{\text{DREQ1}}$ 入力となります。

- P23/USD3/$\overline{\text{DRAK0}}$

P23DDR ビット、DMMDR_0 の DRAKE ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1			0
DRAKE	0		1	—
P23DDR	0	1	—	—
端子機能	P23 入力	P23 出力	$\overline{\text{DRAK0}}$ 出力	USD3 入出力

- P22/USD2/$\overline{\text{DACK0}}$

P22DDR ビット、DMMDR_0 の AMS ビット、MDCR の EXPE ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1					0
EXPE	0		1			—
AMS	—		0		1	—
P22DDR	0	1	0	1	—	—
端子機能	P22 入力	P22 出力	P22 入力	P22 出力	$\overline{\text{DACK0}}$ 出力	USD2 入出力

- P21/USD1/$\overline{\text{TEND0}}$

P21DDR ビット、DMMDR_0 の TENDE ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1			0
TENDE	0		1	―
P21DDR	0	1	―	―
端子機能	P21 入力	P21 出力	$\overline{\text{TEND0}}$ 出力	USD1 入出力

- P20/USD0/$\overline{\text{DREQ0}}$

P20DDR ビット、DMMDR_0 の DREQS ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P20DDR	0	1	―
端子機能	P20 入力	P20 出力	USD0 入出力
	$\overline{\text{DREQ0}}$ 入力*		

【注】 * DREQS=1 のとき $\overline{\text{DREQ0}}$ 入力となります。

8.3 ポート 3

ポート 3 は、8 ビットの兼用入出力ポートです。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ（P3DDR）
- ポート3データレジスタ（P3DR）
- ポート3レジスタ（PORT3）

8.3.1 ポート 3 データディレクションレジスタ（P3DDR）

P3DDR は、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P37DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

8.3.2 ポート 3 データレジスタ（P3DR）

P3DR は、ポート 3 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P37DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

8.3.3 ポート 3 レジスタ（PORT3）

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P37	—*	R	このレジスタをリードすると P3DDR が 1 にセットされているビットは P3DR の値がリードされます。P3DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P36	—*	R	
5	P35	—*	R	
4	P34	—*	R	
3	P33	—*	R	
2	P32	—*	R	
1	P31	—*	R	
0	P30	—*	R	

【注】 * P37～P30 端子の状態により決定されます。

8.3.4 端子機能

ポート 3 は、USB2 入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P37/USOPM1

P37DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P37DDR	0	1	—
端子機能	P37 入力	P37 出力	USOPM1 出力

- P36/USOPM0

P36DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P36DDR	0	1	—
端子機能	P36 入力	P36 出力	USOPM0 出力

- P35/($\overline{\text{IRQ5}}$)/USVBUS

P35DDR ビット、MSTPCRL の USBCKSTP ビット、ISSR の ISS5 ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P35DDR	0	1	—
端子機能	P35 入力	P35 出力	USVBUS 入力
	$\overline{\text{IRQ5}}$ 割り込み入力*		

【注】 * ISS5=1 のとき $\overline{\text{IRQ5}}$ 割り込み入力となります。

- P34/($\overline{\text{IRQ4}}$)/USTXV

P34DDR ビット、MSTPCRL の USBCKSTP ビット、ISSR の ISS4 ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P34DDR	0	1	—
端子機能	P34 入力	P34 出力	USTXV 出力
	$\overline{\text{IRQ4}}$ 割り込み入力*		

【注】 * ISS4=1 のとき $\overline{\text{IRQ4}}$ 割り込み入力となります。

- P33/USLSTA1

P33DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P33DDR	0	1	—
端子機能	P33 入力	P33 出力	USLSTA1 入力

- P32/USLSTA0

P32DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P32DDR	0	1	—
端子機能	P32 入力	P32 出力	USLSTA0 入力

- P31/USCLK

P31DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P31DDR	0	1	―
端子機能	P31 入力	P31 出力	USCLK 入力

- P30/USWDVLD

P30DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P30DDR	0	1	―
端子機能	P30 入力	P30 出力	USWDVLD 入出力

8.4 ポート 4

ポート 4 は、8 ビットの兼用入出力ポートです。ポート 4 には以下のレジスタがあります。

- ポート4データディレクションレジスタ（P4DDR）
- ポート4データレジスタ（P4DR）
- ポート4レジスタ（PORT4）

8.4.1 ポート 4 データディレクションレジスタ（P4DDR）

P4DDR は、ポート 4 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P47DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P46DDR	0	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

8.4.2 ポート 4 データレジスタ（P4DR）

P4DR は、ポート 4 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P47DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P46DR	0	R/W	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

8.4.3 ポート 4 レジスタ（PORT4）

PORT4 は、ポート 4 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P47	—*	R	このレジスタをリードすると、P4DDR が 1 にセットされているビットは P4DR の値がリードされます。P4DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P46	—*	R	
5	P45	—*	R	
4	P44	—*	R	
3	P43	—*	R	
2	P42	—*	R	
1	P41	—*	R	
0	P40	—*	R	

【注】 * P47～P40 端子の状態により決定されます。

8.4.4 端子機能

ポート 4 は、USB2 入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P47/USXCVRS

P47DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P47DDR	0	1	—
端子機能	P47 入力	P47 出力	USXCVRS 出力

- P46/USTXRDY

P46DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P46DDR	0	1	—
端子機能	P46 入力	P46 出力	USTXRDY 入力

- P45/USTSEL

P45DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P45DDR	0	1	—
端子機能	P45 入力	P45 出力	USTSEL 出力

- P44/$\overline{\text{USSUSP}}$

P44DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P44DDR	0	1	—
端子機能	P44 入力	P44 出力	$\overline{\text{USSUSP}}$ 出力

- P43/USRXV

P43DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P43DDR	0	1	—
端子機能	P43 入力	P43 出力	USRXV 入力

- P42/USRXERR

P42DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P42DDR	0	1	—
端子機能	P42 入力	P42 出力	USRXERR 入力

- P41/USRXACT

P41DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P41DDR	0	1	—
端子機能	P41 入力	P41 出力	USRXACT 入力

- P40/$\overline{\text{USRST}}$

P40DDR ビット、MSTPCRL の USBCKSTP ビットの組み合わせにより、次のように切り替わります。

USBCKSTP	1		0
P40DDR	0	1	—
端子機能	P40 入力	P40 出力	$\overline{\text{USRST}}$ 出力

8.5 ポート 5

ポート 5 は、8 ビットの兼用入出力ポートです。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ（P5DDR）
- ポート5データレジスタ（P5DR）
- ポート5レジスタ（PORT5）

8.5.1 ポート 5 データディレクションレジスタ（P5DDR）

P5DDR は、ポート 5 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P57DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P56DDR	0	W	
5	P55DDR	0	W	
4	P54DDR	0	W	
3	P53DDR	0	W	
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

8.5.2 ポート 5 データレジスタ（P5DR）

P5DR は、ポート 5 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P57DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P56DR	0	R/W	
5	P55DR	0	R/W	
4	P54DR	0	R/W	
3	P53DR	0	R/W	
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

8.5.3 ポート 5 レジスタ（PORT5）

PORT5 は、ポート 5 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P57	—*	R	このレジスタをリードすると、P5DDR が 1 にセットされているビットは P5DR の値がリードされます。P5DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P56	—*	R	
5	P55	—*	R	
4	P54	—*	R	
3	P53	—*	R	
2	P52	—*	R	
1	P51	—*	R	
0	P50	—*	R	

【注】 * P57～P50 端子の状態により決定されます。

8.5.4 端子機能

ポート 5 は、外部データバス入出力端子、DMAC 入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P57/D7/($\overline{\text{IRQ7}}$)/$\overline{\text{DRAK3}}$

P57DDR ビット、DMMDR_3 の DRAKE ビット、MDCR の EXPE ビット、ISSR の ISS7 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
バスモード	—		すべてのエリアが 8 ビット空間			いずれかのエリアが 16 ビット空間
DRAKE	0		0		1	—
P57DDR	0	1	0	1	—	—
端子機能	P57 入力	P57 出力	P57 入力	P57 出力	$\overline{\text{DRAK3}}$ 出力	D7 入出力
	$\overline{\text{IRQ7}}$ 割り込み入力*					

【注】 * ISS7=1 のとき $\overline{\text{IRQ7}}$ 割り込み入力となります。

- P56/D6/($\overline{\text{IRQ6}}$)/$\overline{\text{DACK3}}$

P56DDR ビット、DMMDR_3 の AMS ビット、MDCR の EXPE ビット、ISSR の ISS6 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
バスモード	—		すべてのエリアが 8 ビット空間			いずれかのエリアが 16 ビット空間
AMS	0		0		1	—
P56DDR	0	1	0	1	—	—
端子機能	P56 入力	P56 出力	P56 入力	P56 出力	$\overline{\text{DACK3}}$ 出力	D6 入出力
	$\overline{\text{IRQ6}}$ 割り込み入力*					

【注】 * ISS6=1 のとき $\overline{\text{IRQ6}}$ 割り込み入力となります。

- P55/D5/$\overline{\text{TEND3}}$

P55DDR ビット、DMMDR_3 の TENDE ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
バスモード	—		すべてのエリアが 8 ビット空間			いずれかのエリアが 16 ビット空間
TENDE	0		0		1	—
P55DDR	0	1	0	1	—	—
端子機能	P55 入力	P55 出力	P55 入力	P55 出力	$\overline{\text{TEND3}}$ 出力	D5 入出力

- P54/D4/$\overline{\text{DREQ3}}$

P54DDR ビット、DMMDR_3 の DREQS ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
バスモード	—		すべてのエリアが 8 ビット空間		いずれかのエリアが 16 ビット空間
P54DDR	0	1	0	1	—
端子機能	P54 入力	P54 出力	P54 入力	P54 出力	D4 入出力
	$\overline{\text{DREQ3}}$ 入力*				

【注】 * DREQS=1 のとき $\overline{\text{DREQ3}}$ 入力となります。

- P53/D3/($\overline{\text{IRQ3}}$)/$\overline{\text{DRAK2}}$

P53DDR ビット、DMMDR_2 の DRAKE ビット、MDCR の EXPE ビット、ISSR の ISS3 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
バスモード	—		すべてのエリアが 8 ビット空間			いずれかのエリアが 16 ビット空間
DRAKE	0		0		1	—
P53DDR	0	1	0	1	—	—
端子機能	P53 入力	P53 出力	P53 入力	P53 出力	$\overline{\text{DRAK2}}$ 出力	D3 入出力
	$\overline{\text{IRQ3}}$ 割り込み入力*					

【注】 * ISS3=1 のとき $\overline{\text{IRQ3}}$ 割り込み入力となります。

- P52/D2/($\overline{\text{IRQ2}}$)/$\overline{\text{DACK2}}$

P52DDR ビット、DMMDR_2 の AMS ビット、MDCR の EXPE ビット、ISSR の ISS2 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
バスモード	—		すべてのエリアが 8 ビット空間			いずれかのエリアが 16 ビット空間
AMS	0		0		1	—
P52DDR	0	1	0	1	—	—
端子機能	P52 入力	P52 出力	P52 入力	P52 出力	$\overline{\text{DACK2}}$ 出力	D2 入出力
	$\overline{\text{IRQ2}}$ 割り込み入力*					

【注】 * ISS2=1 のとき $\overline{\text{IRQ2}}$ 割り込み入力となります。

- P51/D1/$\overline{\text{TEND2}}$

P51DDR ビット、DMMDR_2 の TENDE ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
バスモード	―		すべてのエリアが 8 ビット空間			いずれかのエリアが 16 ビット空間
TENDE	0		0		1	―
P51DDR	0	1	0	1	―	―
端子機能	P51 入力	P51 出力	P51 入力	P51 出力	$\overline{\text{TEND2}}$ 出力	D1 入出力

- P50/D0/$\overline{\text{DREQ2}}$

P50DDR ビット、DMMDR_2 の DREQS ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
バスモード	―		すべてのエリアが 8 ビット空間		いずれかのエリアが 16 ビット空間
P50DDR	0	1	0	1	―
端子機能	P50 入力	P50 出力	P50 入力	P50 出力	D0 入出力
	$\overline{\text{DREQ2}}$ 入力*				

【注】 * DREQS=1 のとき $\overline{\text{DREQ2}}$ 入力となります。

8.6 ポート 6

ポート 6 は、8 ビットの兼用入出力ポートです。ポート 6 には以下のレジスタがあります。

- ポート6データディレクションレジスタ（P6DDR）
- ポート6データレジスタ（P6DR）
- ポート6レジスタ（PORT6）

8.6.1 ポート 6 データディレクションレジスタ（P6DDR）

P6DDR は、ポート 6 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P67DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

8.6.2 ポート 6 データレジスタ（P6DR）

P6DR は、ポート 6 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P67DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P66DR	0	R/W	
5	P65DR	0	R/W	
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

8.6.3 ポート 6 レジスタ（PORT6）

PORT6 は、ポート 6 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P67	—*	R	このレジスタをリードすると、P6DDR が 1 にセットされているビットは P6DR の値がリードされます。P6DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P66	—*	R	
5	P65	—*	R	
4	P64	—*	R	
3	P63	—*	R	
2	P62	—*	R	
1	P61	—*	R	
0	P60	—*	R	

【注】 * P67～P60 端子の状態により決定されます。

8.6.4 端子機能

ポート 6 は、外部アドレスバス出力端子、タイマ入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P67/A15

P67DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
AMOE	—		0		1
P67DDR	0	1	0	1	—
端子機能	P67 入力	P67 出力	P67 入力	P67 出力	A15 出力

- P66/A14/TMO1

P66DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビット、TCSR_1 の OS3～OS0 ビットの組み合わせにより、次のように切り替わります。

EXPE	0			1			
AMOE	—			0			1
OS3～OS0	すべて 0		いずれかが 1	すべて 0		いずれかが 1	—
P66DDR	0	1	—	0	1	—	—
端子機能	P66 入力	P66 出力	TMO1 出力	P66 入力	P66 出力	TMO1 出力	A14 出力

- P65/A13/TMRI1

P65DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
AMOE	―		0		1
P65DDR	0	1	0	1	―
端子機能	P65 入力	P65 出力	P65 入力	P65 出力	A13 出力
	TMRI1 入力*				

【注】 * TMR のカウンタリセットとして使用する場合は、TCR_1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

- P64/A12/TMCI1

P64DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
AMOE	―		0		1
P64DDR	0	1	0	1	―
端子機能	P64 入力	P64 出力	P64 入力	P64 出力	A12 出力
	TMCI1 入力*				

【注】 * TMR の外部クロック入力端子として使用する場合は、TCR_1 の CKS2～CKS0 ビットで外部クロックを選択します。

- P63/A11

P63DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
AMOE	―		0		1
P63DDR	0	1	0	1	―
端子機能	P63 入力	P63 出力	P63 入力	P63 出力	A11 出力

- P62/A10/TMO0

P62DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビット、TCSR_0 の OS3～OS0 ビットの組み合わせにより、次のように切り替わります。

EXPE	0			1			
AMOE	―			0			1
OS3～OS0	すべて 0		いずれかが 1	すべて 0		いずれかが 1	―
P62DDR	0	1	―	0	1	―	―
端子機能	P62 入力	P62 出力	TMO0 出力	P62 入力	P62 出力	TMO0 出力	A10 出力

- P61/A9/TMRI0

P61DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
AMOE	―		0		1
P61DDR	0	1	0	1	―
端子機能	P61 入力	P61 出力	P61 入力	P61 出力	A9 出力
	TMRI0 入力*				

【注】 * TMR のカウンタリセットとして使用する場合は、TCR_0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

- P60/A8/TMCI0

P60DDR ビット、MDCR の EXPE ビット、PFCR1 の AMOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
AMOE	―		0		1
P60DDR	0	1	0	1	―
端子機能	P60 入力	P60 出力	P60 入力	P60 出力	A8 出力
	TMCI0 入力*				

【注】 * TMR の外部クロック入力端子として使用する場合は、TCR_0 の CKS2～CKS0 ビットで外部クロックを選択します。

8.7 ポート 7

ポート 7 は、8 ビットの兼用入出力ポートです。ポート 7 には以下のレジスタがあります。

- ポート7データディレクションレジスタ（P7DDR）
- ポート7データレジスタ（P7DR）
- ポート7レジスタ（PORT7）

8.7.1 ポート 7 データディレクションレジスタ（P7DDR）

P7DDR は、ポート 7 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P77DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P76DDR	0	W	
5	P75DDR	0	W	
4	P74DDR	0	W	
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

8.7.2 ポート 7 データレジスタ（P7DR）

P7DR は、ポート 7 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P77DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P76DR	0	R/W	
5	P75DR	0	R/W	
4	P74DR	0	R/W	
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

8.7.3 ポート 7 レジスタ（PORT7）

PORT7 は、ポート 7 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P77	—*	R	このレジスタをリードすると、P7DDR が 1 にセットされているビットは P7DR の値がリードされます。P7DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P76	—*	R	
5	P75	—*	R	
4	P74	—*	R	
3	P73	—*	R	
2	P72	—*	R	
1	P71	—*	R	
0	P70	—*	R	

【注】 * P77～P70 端子の状態により決定されます。

8.7.4 端子機能

ポート 7 は、外部アドレスバス出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P77/A7/$\overline{\text{IRQ7}}$

P77DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS7 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P77DDR	0	1	0	1	—
端子機能	P77 入力	P77 出力	P77 入力	P77 出力	A7 出力
	$\overline{\text{IRQ7}}$ 割り込み入力*				

【注】 * ISS7=0 のとき $\overline{\text{IRQ7}}$ 割り込み入力となります。

- P76/A6/$\overline{\text{IRQ6}}$

P76DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS6 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P76DDR	0	1	0	1	—
端子機能	P76 入力	P76 出力	P76 入力	P76 出力	A6 出力
	$\overline{\text{IRQ6}}$ 割り込み入力*				

【注】 * ISS6=0 のとき $\overline{\text{IRQ6}}$ 割り込み入力となります。

- P75/A5/$\overline{\text{IRQ5}}$

P75DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS5 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P75DDR	0	1	0	1	—
端子機能	P75 入力	P75 出力	P75 入力	P75 出力	A5 出力
	$\overline{\text{IRQ5}}$ 割り込み入力*				

【注】 * ISS5=0 のとき $\overline{\text{IRQ5}}$ 割り込み入力となります。

- P74/A4/$\overline{\text{IRQ4}}$

P74DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS4 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P74DDR	0	1	0	1	—
端子機能	P74 入力	P74 出力	P74 入力	P74 出力	A4 出力
	$\overline{\text{IRQ4}}$ 割り込み入力*				

【注】 * ISS4=0 のとき $\overline{\text{IRQ4}}$ 割り込み入力となります。

- P73/A3/$\overline{\text{IRQ3}}$

P73DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS3 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P73DDR	0	1	0	1	—
端子機能	P73 入力	P73 出力	P73 入力	P73 出力	A3 出力
	$\overline{\text{IRQ3}}$ 割り込み入力*				

【注】 * ISS3=0 のとき $\overline{\text{IRQ3}}$ 割り込み入力となります。

- P72/A2/$\overline{\text{IRQ2}}$

P72DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS2 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P72DDR	0	1	0	1	—
端子機能	P72 入力	P72 出力	P72 入力	P72 出力	A2 出力
	$\overline{\text{IRQ2}}$ 割り込み入力*				

【注】 * ISS2=0 のとき $\overline{\text{IRQ2}}$ 割り込み入力となります。

- P71/A1/$\overline{\text{IRQ1}}$

P71DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS1 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P71DDR	0	1	0	1	—
端子機能	P71 入力	P71 出力	P71 入力	P71 出力	A1 出力
	$\overline{\text{IRQ1}}$ 割り込み入力*				

【注】 * ISS1=0 のとき $\overline{\text{IRQ1}}$ 割り込み入力となります。

- P70/A0/$\overline{\text{IRQ0}}$

P70DDR ビット、MDCR の EXPE ビット、PFCR1 の ALOE ビット、ISSR の ISS0 ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
ALOE	—		0		1
P70DDR	0	1	0	1	—
端子機能	P70 入力	P70 出力	P70 入力	P70 出力	A0 出力
	$\overline{\text{IRQ0}}$ 割り込み入力*				

【注】 * ISS0=0 のとき $\overline{\text{IRQ0}}$ 割り込み入力となります。

8.8 ポート 8

ポート 8 は 8 ビットの兼用入出力ポートです。ポート 8 には以下のレジスタがあります。

- ポート8データディレクションレジスタ（P8DDR）
- ポート8データレジスタ（P8DR）
- ポート8レジスタ（PORT8）

8.8.1 ポート 8 データディレクションレジスタ（P8DDR）

P8DDR はポート 8 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P87DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P86DDR	0	W	
5	P85DDR	0	W	
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

8.8.2 ポート 8 データレジスタ（P8DR）

P8DR はポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P87DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P86DR	0	R/W	
5	P85DR	0	R/W	
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

8.8.3 ポート 8 レジスタ（PORT8）

PORT8 はポート 8 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P87	—*	R	このレジスタをリードすると、P8DDR が 1 にセットされているビットは P8DR の値がリードされます。P8DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P86	—*	R	
5	P85	—*	R	
4	P84	—*	R	
3	P83	—*	R	
2	P82	—*	R	
1	P81	—*	R	
0	P80	—*	R	

【注】 * P87～P80 の端子の状態により決定されます。

8.8.4 端子機能

ポート 8 は、外部データバス入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P87/D15

P87DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P87DDR	0	1	—
端子機能	P87 入力	P87 出力	D15 入出力

- P86/D14

P86DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P86DDR	0	1	—
端子機能	P86 入力	P86 出力	D14 入出力

- P85/D13

P85DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P85DDR	0	1	—
端子機能	P85 入力	P85 出力	D13 入出力

- P84/D12

P84DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P84DDR	0	1	—
端子機能	P84 入力	P84 出力	D12 入出力

- P83/D11

P83DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P83DDR	0	1	—
端子機能	P83 入力	P83 出力	D11 入出力

- P82/D10

P82DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P82DDR	0	1	—
端子機能	P82 入力	P82 出力	D10 入出力

- P81/D9

P81DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P81DDR	0	1	—
端子機能	P81 入力	P81 出力	D9 入出力

- P80/D8

P80DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P80DDR	0	1	—
端子機能	P80 入力	P80 出力	D8 入出力

8.9 ポート 9

ポート 9 は 8 ビットの兼用入出力ポートです。ポート 9 には以下のレジスタがあります。

- ポート9データディレクションレジスタ（P9DDR）
- ポート9データレジスタ（P9DR）
- ポート9レジスタ（PORT9）

8.9.1 ポート 9 データディレクションレジスタ（P9DDR）

P9DDR はポート 9 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7	P97DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P96DDR	0	W	
5	P95DDR	0	W	
4	P94DDR	0	W	
3	P93DDR	0	W	
2	P92DDR	0	W	
1	P91DDR	0	W	
0	P90DDR	0	W	

8.9.2 ポート 9 データレジスタ（P9DR）

P9DR はポート 9 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P97DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P96DR	0	R/W	
5	P95DR	0	R/W	
4	P94DR	0	R/W	
3	P93DR	0	R/W	
2	P92DR	0	R/W	
1	P91DR	0	R/W	
0	P90DR	0	R/W	

8.9.3 ポート 9 レジスタ（PORT9）

PORT9 はポート 9 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	P97	—*	R	このレジスタをリードすると、P9DDR が 1 にセットされているビットは P9DR の値がリードされます。P9DDR が 0 にクリアされているビットは端子の状態がリードされます。
6	P96	—*	R	
5	P95	—*	R	
4	P94	—*	R	
3	P93	—*	R	
2	P92	—*	R	
1	P91	—*	R	
0	P90	—*	R	

【注】 * P97～P90 の端子の状態により決定されます。

8.9.4 端子機能

ポート 9 は、外部バス制御出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P97/φ

P97DDR ビット、PFCR1 の CKOE ビットの組み合わせにより、次のように切り替わります。

CKOE	0		1
P97DDR	0	1	—
端子機能	P97 入力	P97 出力	φ出力

- P96/$\overline{\text{AS}}$

P96DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P96DDR	0	1	—
端子機能	P96 入力	P96 出力	$\overline{\text{AS}}$ 出力

- P95/$\overline{\text{RD}}$

P95DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P95DDR	0	1	—
端子機能	P95 入力	P95 出力	$\overline{\text{RD}}$ 出力

- P94/$\overline{\text{HWR}}$

P94DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P94DDR	0	1	—
端子機能	P94 入力	P94 出力	$\overline{\text{HWR}}$ 出力

- P93/$\overline{\text{LWR}}$

P93DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
バスモード	—		すべてのエリアが 8 ビット空間		いずれかのエリアが 16 ビット空間
P93DDR	0	1	0	1	—
端子機能	P93 入力	P93 出力	P93 入力	P93 出力	$\overline{\text{LWR}}$ 出力

- P92/$\overline{\text{CS2}}$/$\overline{\text{RAS}}$

P92DDR ビット、MDCR の EXPE ビット、PFCR1 の CS2E ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
エリア 2	—		通常空間			DRAM 空間
CS2E	—		0		1	—
P92DDR	0	1	0	1	—	—
端子機能	P92 入力	P92 出力	P92 入力	P92 出力	$\overline{\text{CS2}}$ 出力	$\overline{\text{RAS}}$ 出力

- P91/$\overline{\text{CS1}}$

P91DDR ビット、MDCR の EXPE ビット、PFCR1 の CS1E ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1		
CS1E	—		0		1
P91DDR	0	1	0	1	—
端子機能	P91 入力	P91 出力	P91 入力	P91 出力	$\overline{\text{CS1}}$ 出力

- P90/$\overline{\text{CS0}}$

P90DDR ビット、MDCR の EXPE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1
P90DDR	0	1	—
端子機能	P90 入力	P90 出力	$\overline{\text{CS0}}$ 出力

8.10 ポート A

ポート A は、4 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ（PADDR）
- ポートAデータレジスタ（PADR）
- ポートAレジスタ（PORTA）

8.10.1 ポート A データディレクションレジスタ（PADDR）

PADDR はポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	不定	－	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

8.10.2 ポート A データレジスタ（PADR）

PADR はポート A の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	不定	－	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

8.10.3 ポート A レジスタ（PORTA）

PORTA はポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	RxDMON	－*1	R	HUDIDI/RxD0 端子の反転値がリードされます。 HUDIDI/RxD0 端子が Low レベルのとき 1 がリードされ、High レベルのとき 0 がリードされます。
6～4	－	不定	－	リザーブビット リードすると不定値が読み出されます。
3 2 1 0	PA3 PA2 PA1 PA0	－*2 －*2 －*2 －*2	R R R R	このレジスタをリードすると、PADDR が 1 にセットされているビットは PADR の値がリードされます。PADDR が 0 にクリアされているビットは端子の状態がリードされます。

【注】 *1 HUDIDI/RxD0 端子の状態により決定されます。

*2 PA3～PA0 端子の状態により決定されます。

8.10.4 端子機能

ポート A は、外部アドレスバス出力端子、外部バス制御信号出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PA3/A19/$\overline{\text{CS3}}$

PA3DDR ビット、MDCR の EXPE ビット、PFCR1 の CS3E ビット、AHOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
CS3E	—		0			1
AHOE	—		0		1	—
PA3DDR	0	1	0	1	—	—
端子機能	PA3 入力	PA3 出力	PA3 入力	PA3 出力	A19 出力	$\overline{\text{CS3}}$ 出力

- PA2/A18/$\overline{\text{UCAS}}$

PA2DDR ビット、MDCR の EXPE ビット、PFCR1 の AHOE ビットの組み合わせにより、次のように切り替わります。

EXPE	0		1			
エリア 2	—		通常空間			DRAM 空間
AHOE	—		0		1	—
PA2DDR	0	1	0	1	—	—
端子機能	PA2 入力	PA2 出力	PA2 入力	PA2 出力	A18 出力	$\overline{\text{UCAS}}$ 出力

- PA1/A17/$\overline{\text{LCAS}}$/($\overline{\text{IRQ1}}$)

PA1DDR ビット、MDCR の EXPE ビット、PFCR1 の AHOE ビット、ISSR の ISS1 の組み合わせにより、次のように切り替わります。

EXPE	0		1			
エリア 2	—		通常空間			DRAM 空間
AHOE	—		0		1	—
PA1DDR	0	1	0	1	—	—
端子機能	PA1 入力	PA1 出力	PA1 入力	PA1 出力	A17 出力	$\overline{\text{LCAS}}$ 出力
	$\overline{\text{IRQ1}}$ 割り込み入力*					

【注】 * ISS1=1 のとき $\overline{\text{IRQ1}}$ 割り込み入力となります。

- PA0/A16/($\overline{\text{IRQ0}}$)

PA0DDR ビット、MDCR の EXPE ビット、PFCR1 の AHOE ビット、ISSR の ISS0 の組み合わせにより、次のように切り替わります。

EXPE	0		1		
AHOE	—		0		1
PA0DDR	0	1	0	1	—
端子機能	PA0 入力	PA0 出力	PA0 入力	PA0 出力	A16 出力
	$\overline{\text{IRQ0}}$ 割り込み入力*				

【注】 * ISS0=1 のとき $\overline{\text{IRQ0}}$ 割り込み入力となります。

8.11 端子の選択

8.11.1 ポートファンクションコントロールレジスタ 1（PFCR1）

PFCR1 は、外部インタフェース端子、φ出力端子に関する I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R/W	リザーブビット リード/ライトできますが、ライトするときは 0 をライトしてください。
6	CS1E	0	R/W	$\overline{\text{CS1}}$ イネーブル $\overline{\text{CS1}}$ 出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：$\overline{\text{CS1}}$ 出力端子として設定
5	CS2E	0	R/W	$\overline{\text{CS2}}$ イネーブル $\overline{\text{CS2}}$ 出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：$\overline{\text{CS2}}$ 出力端子として設定
4	CS3E	0	R/W	$\overline{\text{CS3}}$ イネーブル $\overline{\text{CS3}}$ 出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：$\overline{\text{CS3}}$ 出力端子として設定
3	CKOE	1	R/W	φ出力イネーブル φ出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：φ出力端子として設定
2	ALOE	1	R/W	アドレス出力イネーブル アドレス出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：A7～A0 をアドレス出力端子として設定
1	AMOE	1	R/W	アドレス出力イネーブル アドレス出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：A15～A8 をアドレス出力端子として設定
0	AHOE	0	R/W	アドレス出力イネーブル アドレス出力の許可/禁止を選択します。 0：I/O ポートとして設定 1：A19～A16 をアドレス出力端子として設定

8.11.2　IRQ センスポートセレクトレジスタ（ISSR）

ISSR は、IRQ7～IRQ0 の入力端子を選択します。

ビット	ビット名	初期値	R/W	説　　明
7	ISS7	0	R/W	$\overline{\text{IRQ7}}$ の入力端子を選択します。 0：P77 1：P57
6	ISS6	0	R/W	$\overline{\text{IRQ6}}$ の入力端子を選択します。 0：P76 1：P56
5	ISS5	0	R/W	$\overline{\text{IRQ5}}$ の入力端子を選択します。 0：P75 1：P35
4	ISS4	0	R/W	$\overline{\text{IRQ4}}$ の入力端子を選択します。 0：P74 1：P34
3	ISS3	0	R/W	$\overline{\text{IRQ3}}$ の入力端子を選択します。 0：P73 1：P53
2	ISS2	0	R/W	$\overline{\text{IRQ2}}$ の入力端子を選択します。 0：P72 1：P52
1	ISS1	0	R/W	$\overline{\text{IRQ1}}$ の入力端子を選択します。 0：P71 1：PA1
0	ISS0	0	R/W	$\overline{\text{IRQ0}}$ の入力端子を選択します。 0：P70 1：PA0

9.　8 ビットタイマ（TMR）

本 LSI は、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマを内蔵しています。外部のイベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

9.1　特長

- 4種類のクロックを選択可能

  3種類の内部クロック（φ/8、φ/64、φ/8192）と外部クロックのうちから選択できます。

- カウンタのクリア指定が可能

  コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。

- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

  独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。

- 2チャネルのカスケード接続が可能（TMR_0、TMR_1）

  TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です （16ビットカウントモード）。

  TMR_1はTMR_0のコンペアマッチをカウント可能です（コンペアマッチカウントモード）。

- 複数の割り込み要因

  コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。

8 ビットタイマ（TMR_0、TMR_1）のブロック図を図 9.1 に示します。

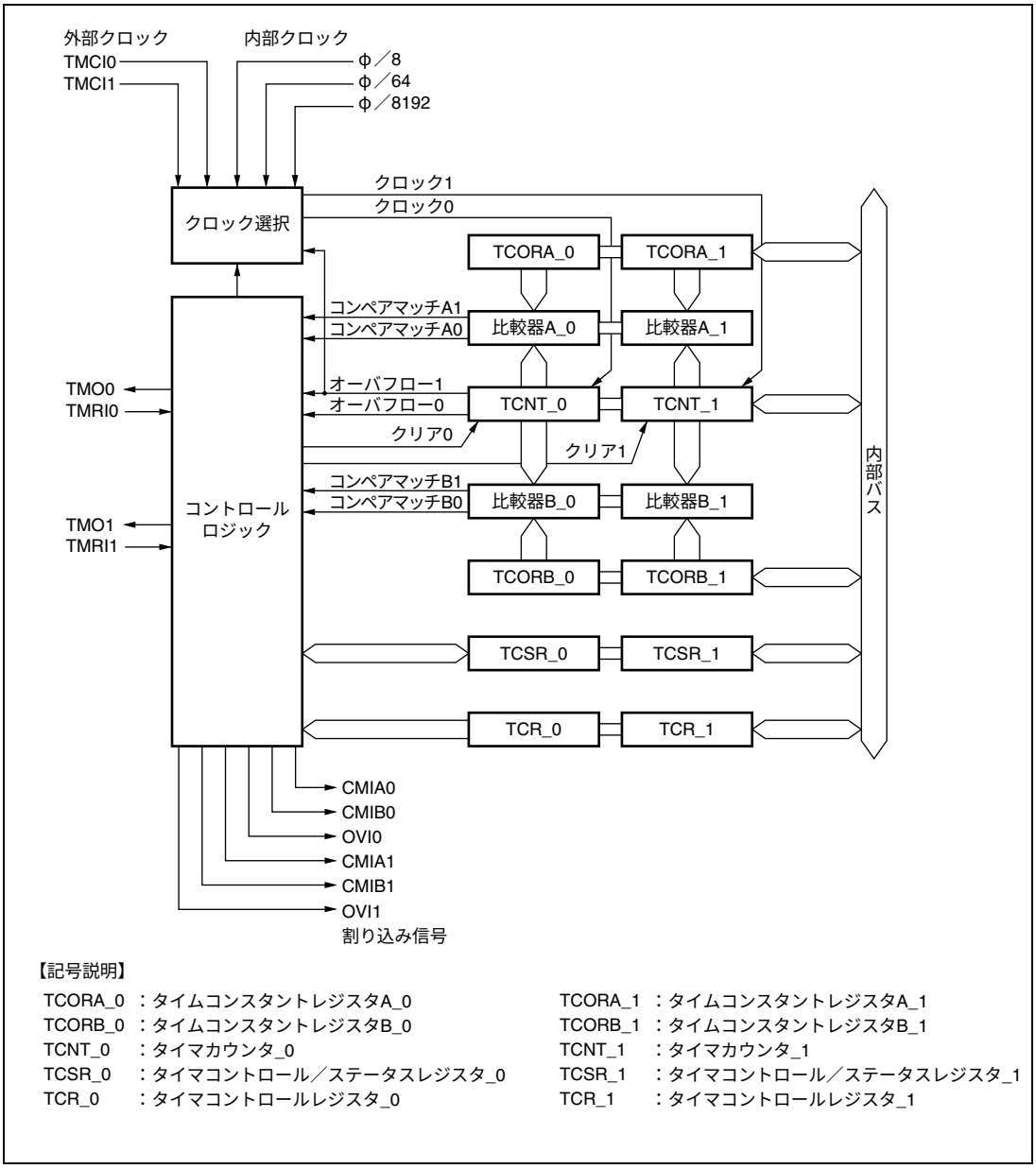


図 9.1　8 ビットタイマのブロック図

9.2　入出力端子

TMR の端子構成を表 9.1 に示します。

表 9.1　端子構成

チャネル	名称	略称	入出力	機能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力

9.3　レジスタの説明

TMR には以下のレジスタがあります。モジュールストップコントロールレジスタについては「16.1.2　モジュールストップコントロールレジスタ H、L（MSTPCRH、MSTPCRL）」を参照してください。

- タイマカウンタ_0（TCNT_0）
- タイムコンスタントレジスタA_0（TCORA_0）
- タイムコンスタントレジスタB_0（TCORB_0）
- タイマコントロールレジスタ_0（TCR_0）
- タイマコントロール／ステータスレジスタ_0（TCSR_0）
- タイマカウンタ_1（TCNT_1）
- タイムコンスタントレジスタA_1（TCORA_1）
- タイムコンスタントレジスタB_1（TCORB_1）
- タイマコントロールレジスタ_1（TCR_1）
- タイマコントロール／ステータスレジスタ_1（TCSR_1）

9.3.1　タイマカウンタ（TCNT）

TCNT は 8 ビットのアップカウンタです。TCNT_0、TCNT_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCR の CKS2～CKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー（H'FF→H'00）すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。

9.3.2　タイムコンスタントレジスタ A（TCORA）

TCORA は 8 ビットのリード／ライト可能なレジスタです。TCORA_0、TCORA_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号（コンペアマッチ A）と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。

9.3.3　タイムコンスタントレジスタ B（TCORB）

TCORB は 8 ビットのリード／ライト可能なレジスタです。TCORB_0、TCORB_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOBR へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号（コンペアマッチ B）と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。

9.3.4　タイマコントロールレジスタ（TCR）

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求（CMIB）の許可または禁止を選択します。 0：CMFB による割り込み要求（CMIB）を禁止 1：CMFB による割り込み要求（CMIB）を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求（CMIA）の許可または禁止を選択します。 0：CMFA による割り込み要求（CMIA）を禁止 1：CMFA による割り込み要求（CMIA）を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求（OVI）の許可または禁止を選択します。 0：OVF による割り込み要求（OVI）を禁止 1：OVF による割り込み要求（OVI）を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00：クリアを禁止 01：コンペアマッチ A によりクリア 10：コンペアマッチ B によりクリア 11：外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2～0 TCNT に入力するクロックとカウント条件を選択します。表 9.2 を参照してください。

表 9.2　TCNT に入力するクロックとカウント条件

チャネル	TCR			説　　明
	ビット 2	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	
TMR_0	0	0	0	クロック入力を禁止
	0	0	1	内部クロックφ/8 立ち下がりエッジでカウント
	0	1	0	内部クロックφ/64 立ち下がりエッジでカウント
	0	1	1	内部クロックφ/8192 立ち下がりエッジでカウント
	1	0	0	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	クロック入力を禁止
	0	0	1	内部クロックφ/8 立ち下がりエッジでカウント
	0	1	0	内部クロックφ/64 立ち下がりエッジでカウント
	0	1	1	内部クロックφ/8192 立ち下がりエッジでカウント
	1	0	0	TCNT_0 のコンペアマッチ A でカウント*
共通	1	0	1	外部クロックの立ち上がりエッジでカウント
	1	1	0	外部クロックの立ち下がりエッジでカウント
	1	1	1	外部クロックの立ち上がり／立ち下がり両エッジでカウント

【注】　*　TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

9.3.5　タイマコントロール／ステータスレジスタ（TCSR）

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT の値と TCORB の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT の値と TCORA の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	－	不定	－	リザーブビット リードすると常に不定値が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】　＊　フラグをクリアするための 0 ライトのみ可能です。

9.4　動作説明

9.4.1　パルス出力

任意のデューティパルスを出力させる例を図 9.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

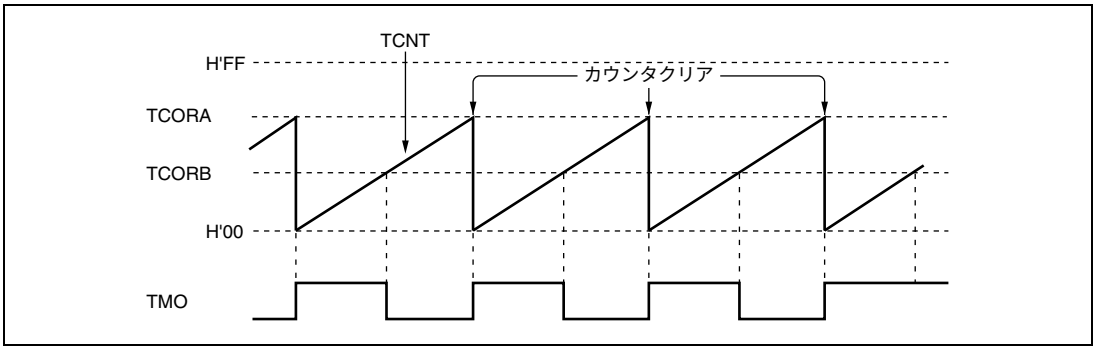


図 9.2　パルス出力例

9.5　動作タイミング

9.5.1　TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 9.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 9.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

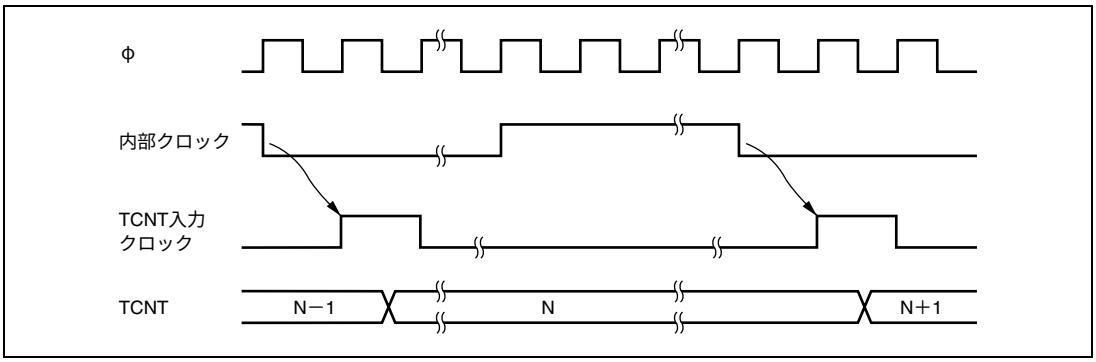


図 9.3　内部クロック動作時のカウントタイミング

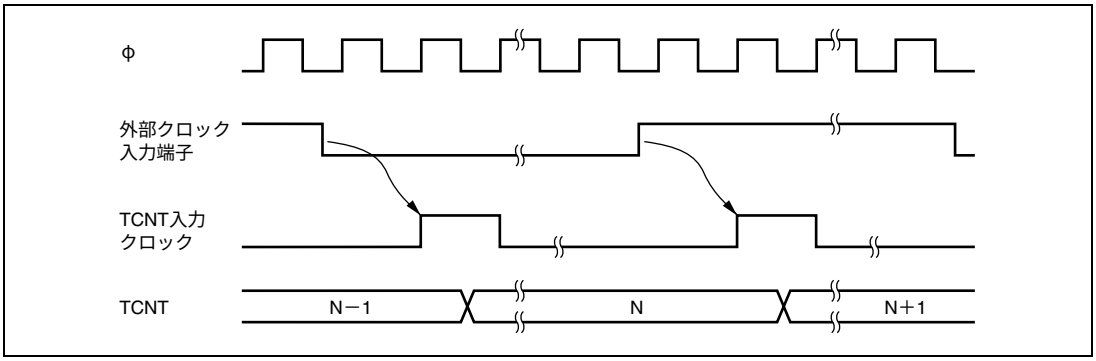


図 9.4　外部クロック動作時のカウントタイミング

9.5.2　コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 9.5 に示します。

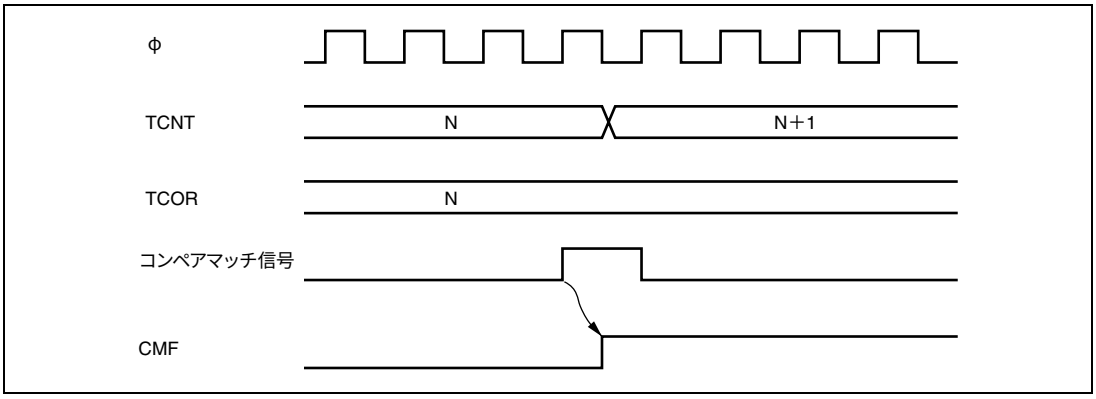


図 9.5　コンペアマッチ時の CMF フラグのセットタイミング

9.5.3　コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 9.6 に示します。

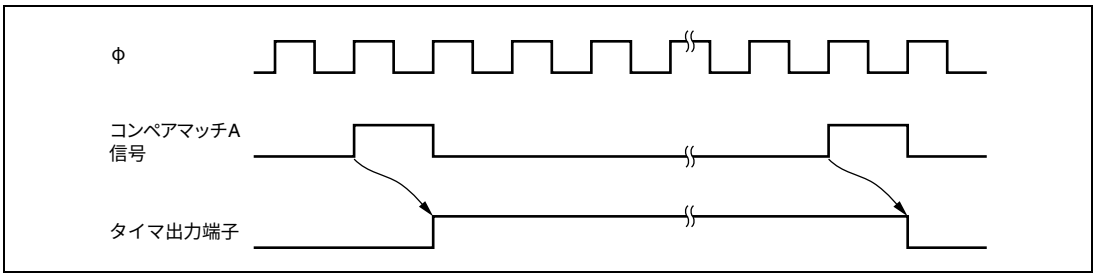


図 9.6　コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

9.5.4　コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 9.7 に示します。

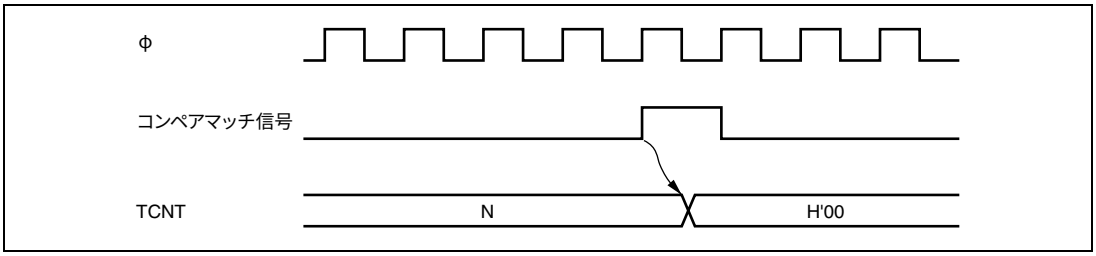


図 9.7　コンペアマッチによるカウンタクリアタイミング

9.5.5　TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は 1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 9.8 に示します。

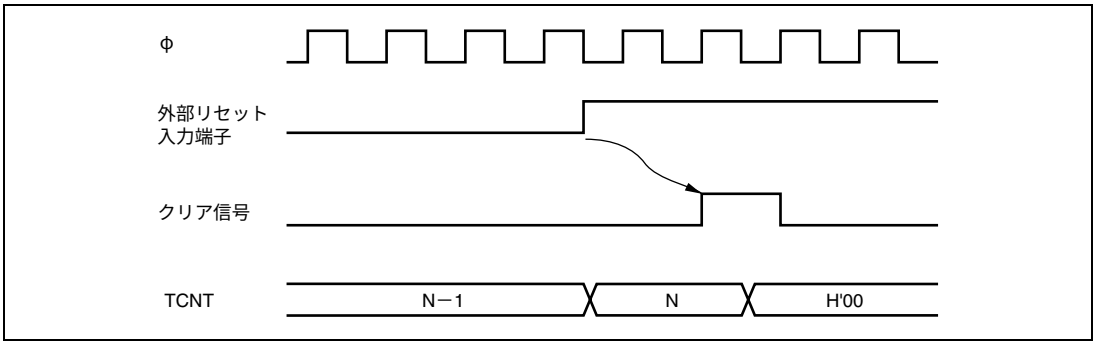


図 9.8　外部リセット入力によるクリアタイミング

9.5.6　オーバフローフラグ（OVF）のセットタイミング

TCSR の OVF は、TCNT がオーバフロー（H'FF→H'00）したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 9.9 に示します。

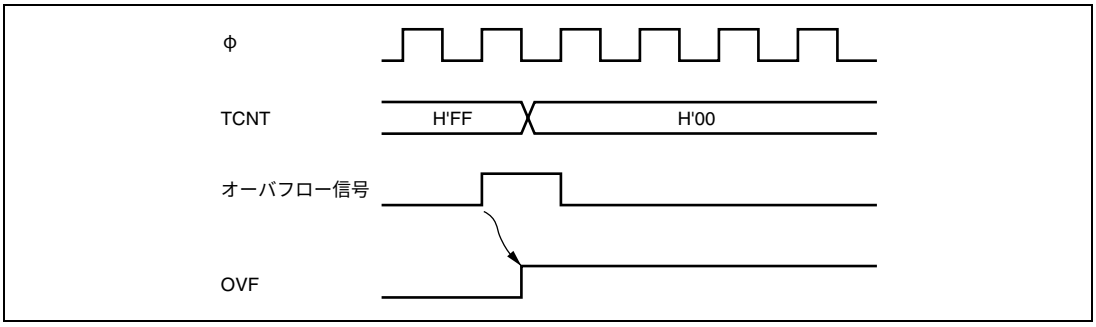


図 9.9　OVF フラグのセットタイミング

9.6　カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットタイマモードか、またはチャネル 0 の 8 ビットタイマのコンペアマッチをチャネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

9.6.1　16 ビットカウントモード

TCR_0 の CKS2～CKS0 ビットが B'100 のとき、タイマはチャネル 0 を上位 8 ビット、チャネル 1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

（1） コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

（2） カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。また、TMRI0端子によるカウンタクリアを設定した場合も、16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

（3） 端子出力

- TCSR_0のOS3～OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3～OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

9.6.2　コンペアマッチカウントモード

TCR_1 の CKS2～CKS0 ビットが B'100 のとき、TCNT_1 はチャネル 0 のコンペアマッチ A をカウントします。チャネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャネルの設定に従います。

9.7　割り込み要因

9.7.1　割り込み要因

8 ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。表 9.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 9.3　8 ビットタイマ TMR_0、TMR_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	高
CMIB0	TCORB_0 のコンペアマッチ	CMFB	↑
OVI0	TCNT_0 のオーバフロー	OVF	低
CMIA1	TCORA_1 のコンペアマッチ	CMFA	高
CMIB1	TCORB_1 のコンペアマッチ	CMFB	↑
OVI1	TCNT_1 のオーバフロー	OVF	低

9.8　使用上の注意事項

9.8.1　TCNT のライトとカウンタクリアの競合

図 9.10 のように TCNT のライトサイクル中の T_2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

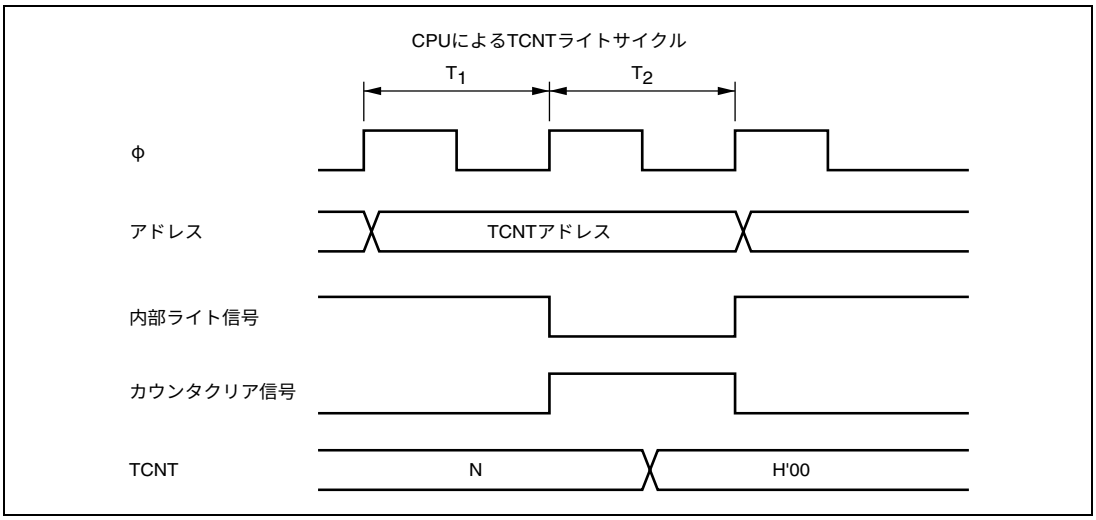


図 9.10　TCNT のライトとクリアの競合

9.8.2　TCNT のライトとカウントアップの競合

図 9.11 のように TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

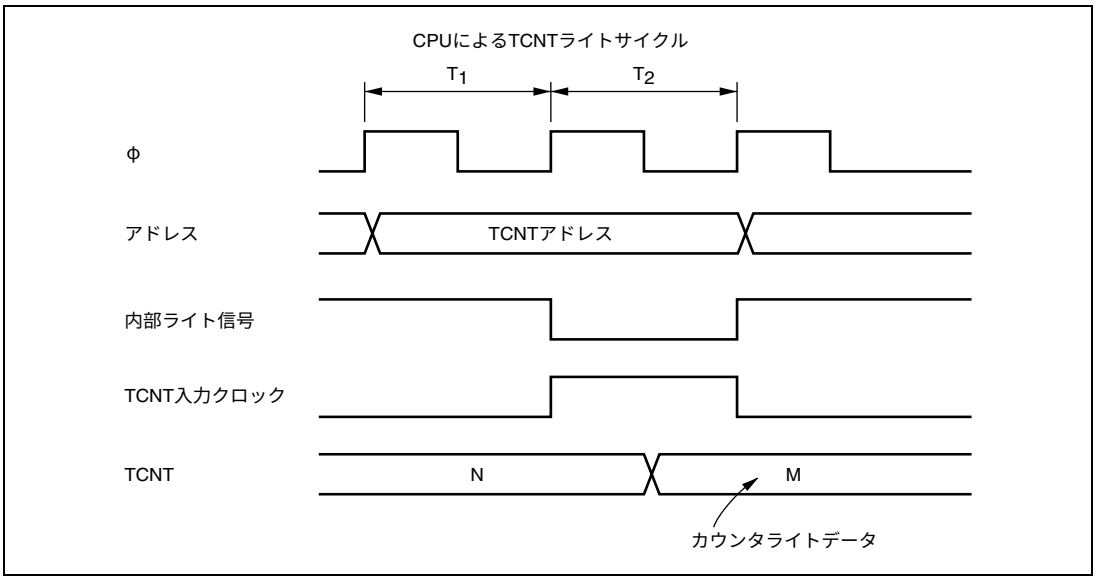


図 9.11　TCNT のライトとカウントアップの競合

9.8.3　TCOR のライトとコンペアマッチの競合

図 9.12 のように TCOR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR では ICR のインプットキャプチャは、TCOR へのライトと同様にコンペアマッチと競合します。この時もインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

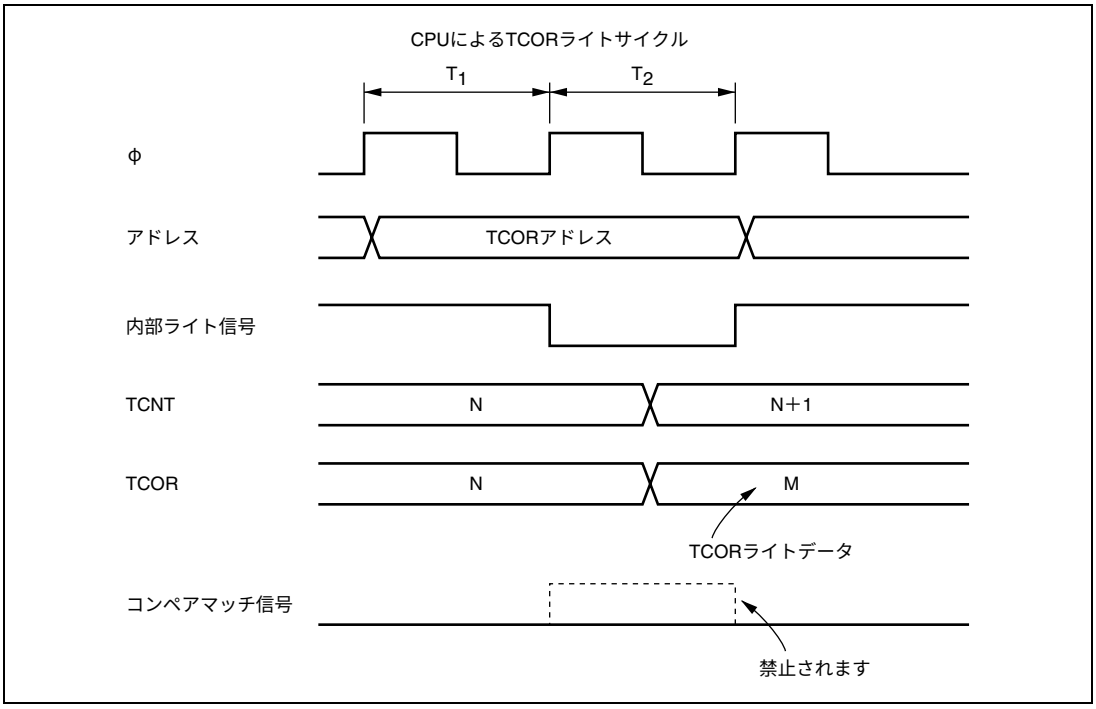


図 9.12　TCOR のライトとコンペアマッチの競合

9.8.4　コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 9.4 に示すタイマ出力の優先順位にしたがって動作します。

表 9.4　タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	
変化しない	低

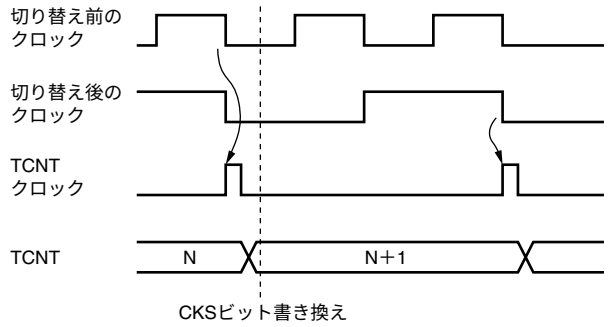
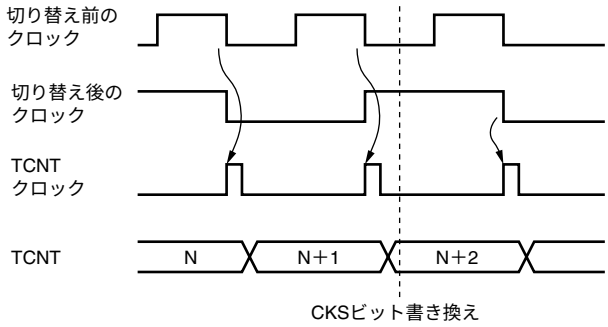
9.8.5　内部クロックの切り替えと TCNT の動作

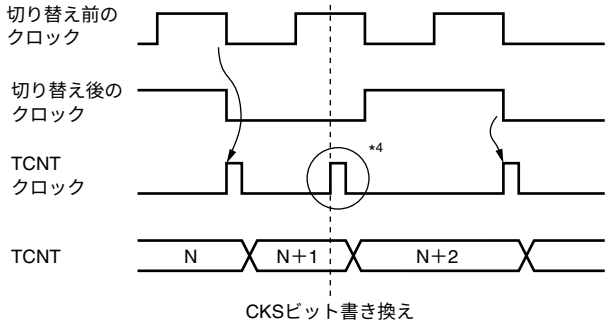
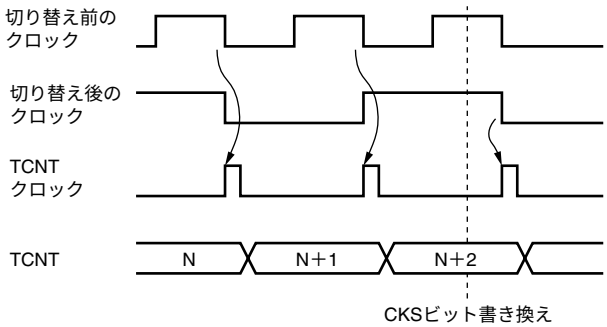
内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を表 9.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 9.5 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 9.5　内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル*1 の切り替え	
2	Low→High レベル*2 の切り替え	

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル*3 の切り替え	
4	High→High レベル の切り替え	

【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。

*2 停止→High レベルの場合を含みます。

*3 High レベル→停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

9.8.6 カスケード接続時のモード設定

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1 の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

9.8.7 モジュールストップモード時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードにしてください。

10.　ウォッチドッグタイマ（WDT）

本 LSI は、1 チャネルのウォッチドッグタイマ（WDT）を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 10.1 に示します。

10.1　特長

- 8種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能

インターバルタイマモード

- カウンタがオーバフローすると、インターバルタイマ割り込み（WOVI）を発生

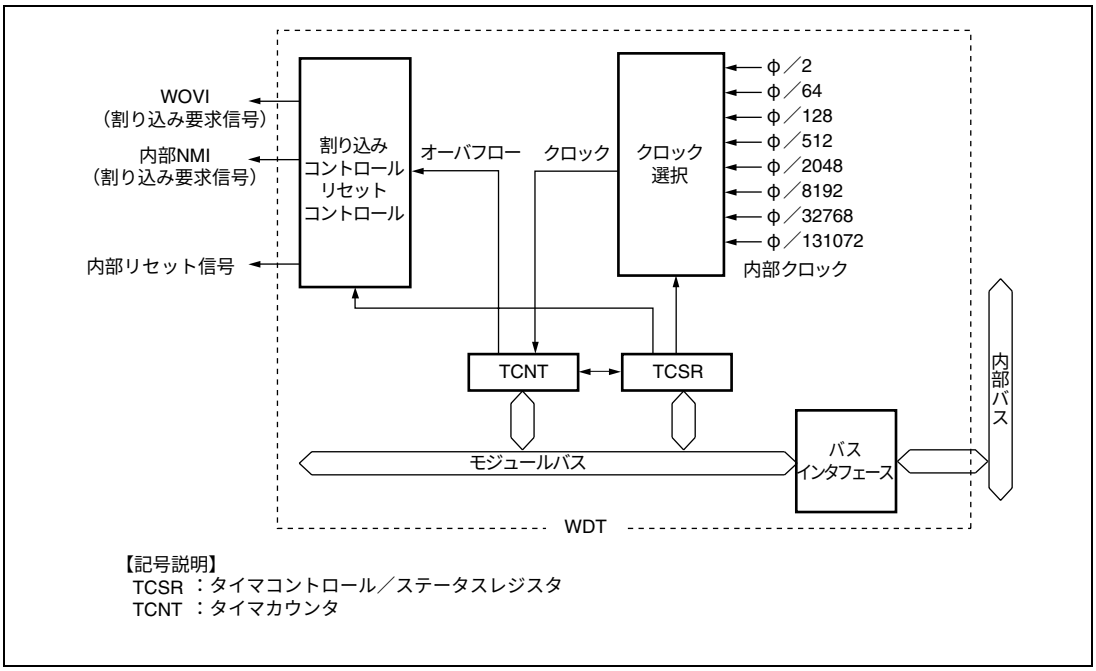


図 10.1　WDT のブロック図

10.2　レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「10.5.1　レジスタアクセス時の注意事項」を参照してください。

- タイマカウンタ（TCNT）
- タイマコントロール／ステータスレジスタ（TCSR）

10.2.1　タイマカウンタ（TCNT）

TCNT は、リード／ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール／ステータスレジスタ（TCSR）の TME ビットが 0 のとき、H'00 に初期化されます。

10.2.2　タイマコントロール／ステータスレジスタ（TCSR）

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説　明
7	OVF	0	R/(W)*1	オーバフローフラグ TCNT がオーバフロー（H'FF→H'00）したことを示します。 ［セット条件］ TCNT がオーバフロー（H'FF→H'00）したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 ［クリア条件］ • OVF＝1 の状態で、TCSR をリード後*2、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/$\overline{\text{IT}}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0：インターバルタイマモード 1：ウォッチドッグタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	―	0	R/W	リザーブビット 初期値を変更しないでください。
3	RST/$\overline{\text{NMI}}$	0	R/W	リセットまたは NMI TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択します。 0：NMI 割り込みを要求 1：内部リセットを要求
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2～0 TCNT に入力するクロックを選択します。（　）内はφ＝33MHz のときのオーバフロー周期を表します。 000：φ/2（周期 15.5μs） 001：φ/64（周期 496.4μs） 010：φ/128（周期 992.9μs） 011：φ/512（周期 3.9ms） 100：φ/2048（周期 15.8ms） 101：φ/8192（周期 63.5ms） 110：φ/32768（周期 254.2ms） 111：φ/131072（周期 1.01s）

【注】　*1　フラグをクリアするための 0 ライトのみ可能です。

*2　インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

10.3　動作説明

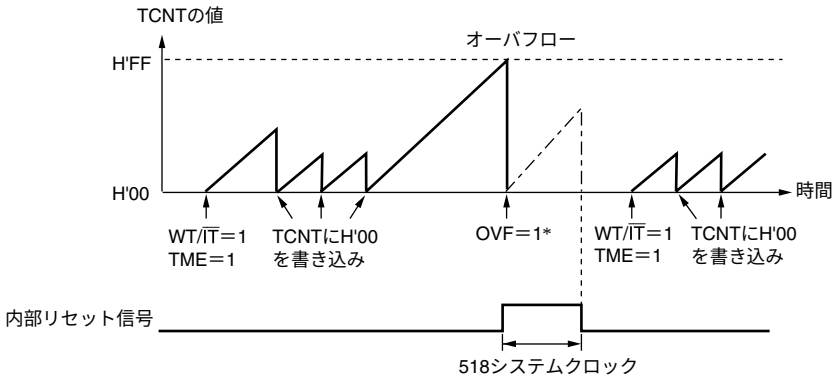
10.3.1　ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の WT/$\overline{\text{IT}}$ ビット＝１に、TME ビット＝１に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバフローは発生しません。TCNT がオーバフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバフローを発生させないようにプログラミングしてください。

TCSR の RST/$\overline{\text{NMI}}$ ビットを 1 にセットしておくと、図 10.2 に示すように TCNT がオーバフローしたときに、本 LSI の内部をリセットする信号が 518 システムクロックの間出力されます。また、RST/$\overline{\text{NMI}}$ ビットを 0 にクリアしておくと、TCNT がオーバフローしたときに、NMI 割り込み要求を発生します。

ウォッチドッグタイマからの内部リセット要求と $\overline{\text{RES}}$ 端子からのリセット入力は､同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます｡ウォッチドッグタイマからの内部リセット要求と $\overline{\text{RES}}$ 端子からのリセット入力が同時に発生したときは、$\overline{\text{RES}}$ 端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。



WT/$\overline{\text{IT}}$：タイマモードセレクトビット
TME　：タイマイネーブルビット
OVF　：オーバフローフラグ

【注】＊　OVF＝1となった後、内部リセットにより0にクリアされます。
　　また、XRSTは0にクリアされます。

図 10.2　ウォッチドッグタイマモード時（RST/$\overline{\text{NMI}}$=1）の動作

10.3.2　インターバルタイマモード

インターバルタイマとして動作しているときは、図 10.3 に示すように TCNT がオーバフローするごとにインターバルタイマ割り込み（WOVI）が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み（WOVI）が要求されます。このタイミングを図 10.4 に示します。

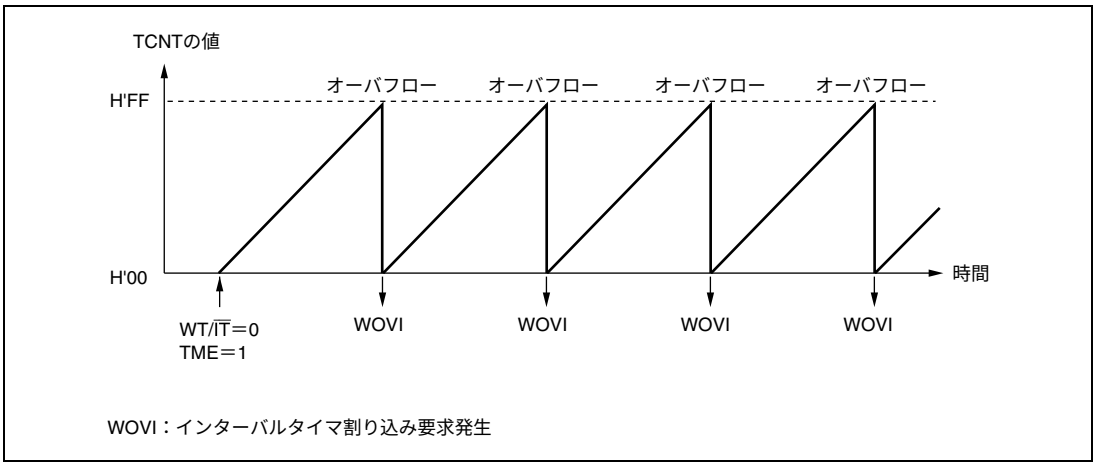


図 10.3　インターバルタイマモード時の動作

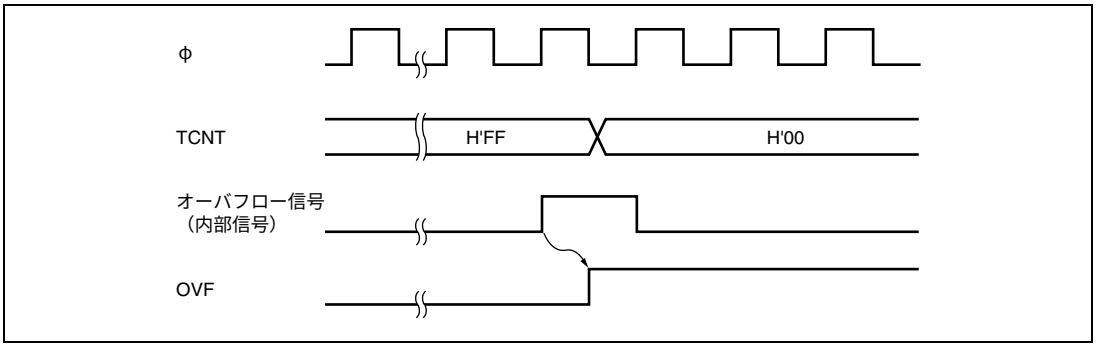


図 10.4　OVF のセットタイミング

10.3.3　ウォッチドッグタイマオーバフローフラグ（OVF）のタイミング

ウォッチドッグタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされます。このとき RST/$\overline{\text{NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。このタイミングを図 10.5 に示します。

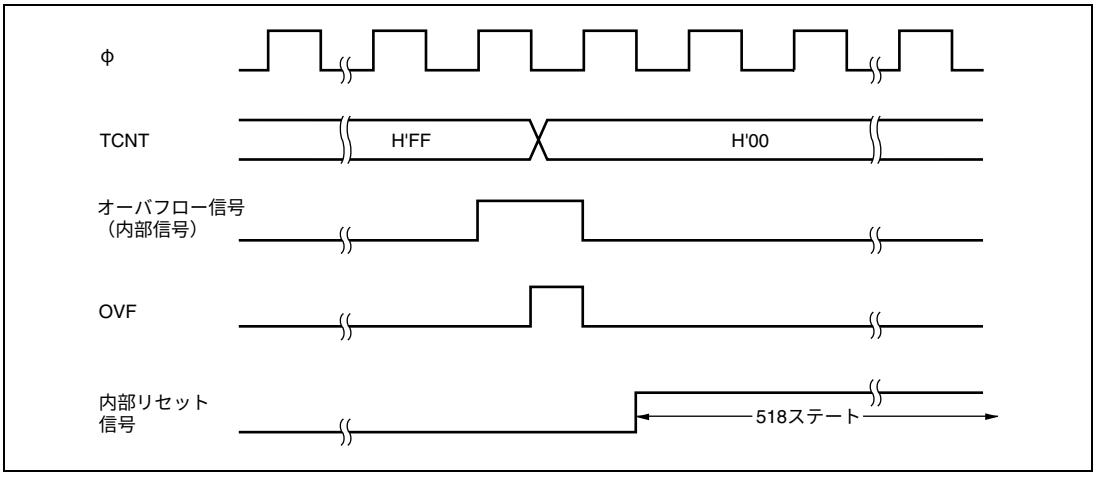


図 10.5　OVF の出力タイミング

10.4　割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み（WOVI）が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバフローにより NMI 割り込み要求が発生します。

表 10.1　WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバフロー	OVF

10.5　使用上の注意事項

10.5.1　レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード／ライトを行ってください。

（1） TCNT、TCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 10.6 に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

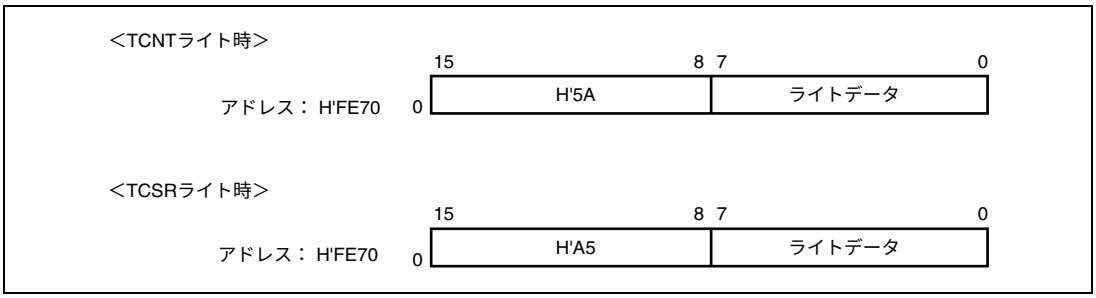


図 10.6　TCNT、TCSR へのライト

（2） TCNT、TCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FE70 に、TCNT はアドレス H'FE71 にそれぞれ割り当てられています。

10.5.2　タイマカウンタ（TCNT）のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 10.7 に示します。

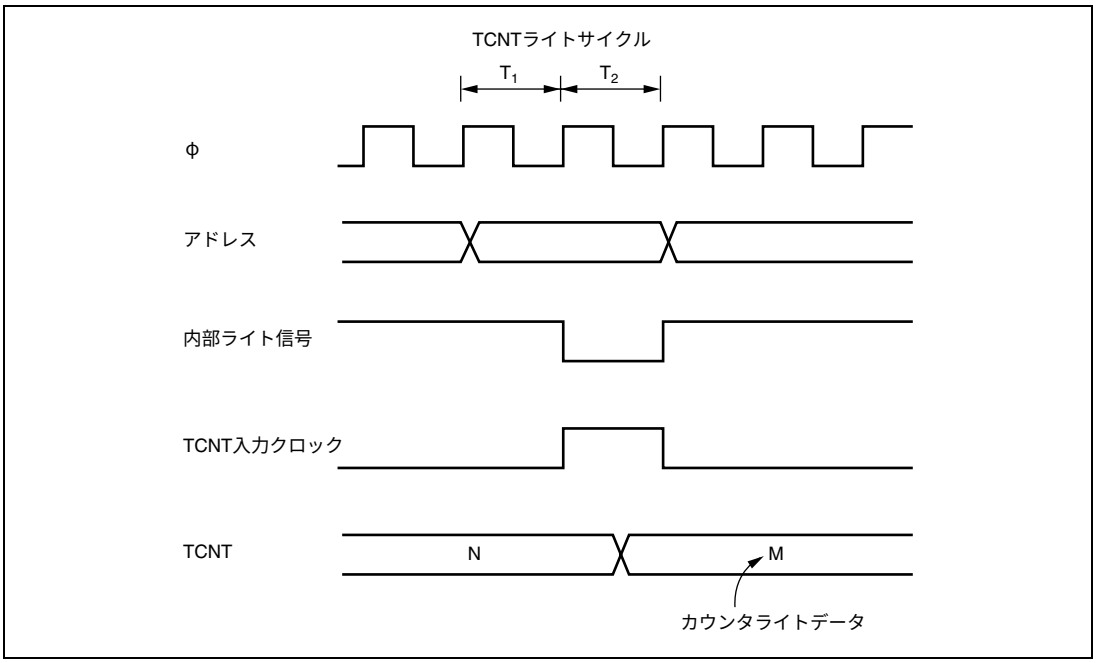


図 10.7　TCNT のライトとカウントアップの競合

10.5.3　CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

10.5.4　ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

11. ブートモード専用シリアルコミュニケーションインタフェース（SCI）

本 LSI はフラッシュメモリのオンボード書き込みモードであるブートモード専用のシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。SCI は、調歩同期式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。SCI のブロック図を図 11.1 に示します。SCI はブートモードで起動し、ブートプログラムが実行されている間のみ使用可能です。

11.1 特長

- シリアルデータ通信モードを調歩同期式に設定可能
- 全二重通信が可能

  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- LSBファースト
- 割り込み要因：4種類

  送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長：7ビット/8ビット選択可能
- ストップビット長：1ビット/2ビット選択可能
- パリティ：偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

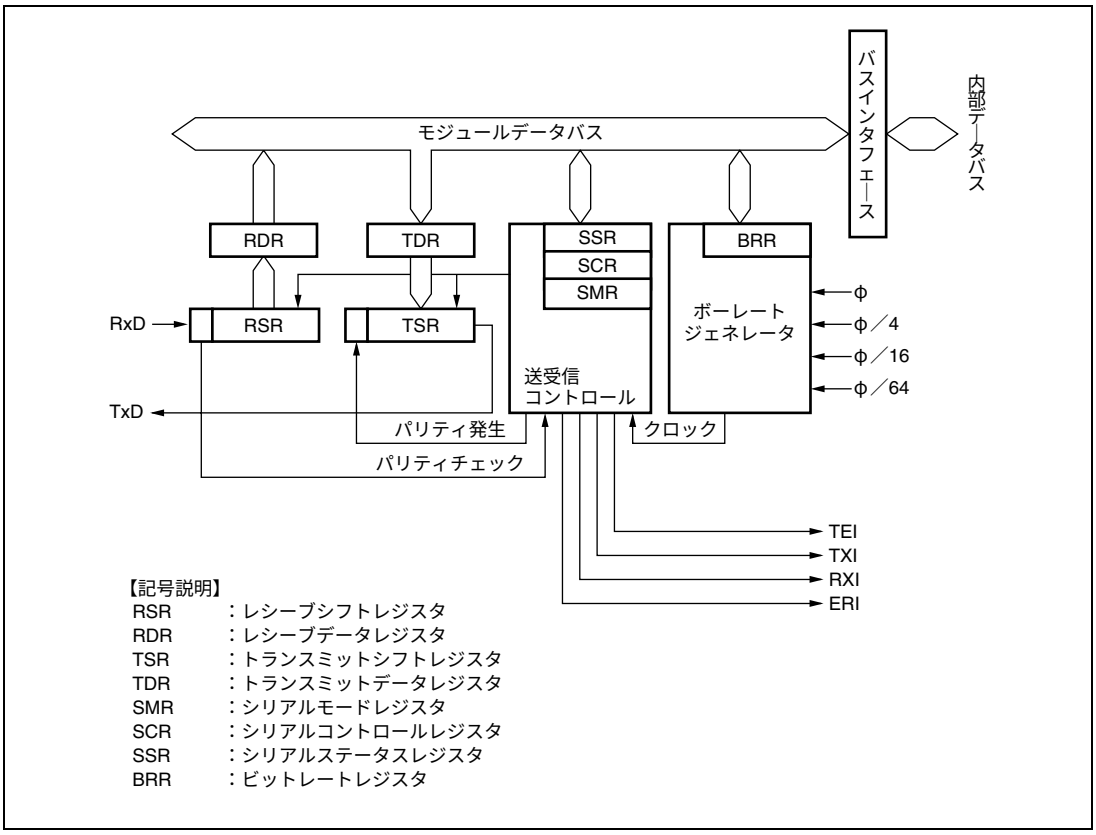


図 11.1　SCI のブロック図

11.2　入出力端子

SCI には、表 11.1 の入出力端子があります。

表 11.1　端子構成

チャネル	端子名*	入出力	機　　能
0	RxD0	入力	チャネル 0 の受信データ入力端子
	TxD0	出力	チャネル 0 の送信データ出力端子

【注】　*　本文中ではチャネルを省略し、それぞれ RxD、TxD と略称します。

11.3　レジスタの説明

SCI には以下のレジスタがあります。モジュールストップコントロールレジスタについては、「16.1.2　モジュールストップコントロールレジスタ H、L（MSTPCRH、MSTPCRL）」を参照してください。また、RxD 端子のレベルをリードするには、「8.10.3　ポート A レジスタ（PORTA）」を参照してください。

- レシーブシフトレジスタ（RSR）
- トランスミットシフトレジスタ（TSR）
- レシーブデータレジスタ（RDR）
- トランスミットデータレジスタ（TDR）
- シリアルモードレジスタ（SMR）
- シリアルコントロールレジスタ（SCR）
- シリアルステータスレジスタ（SSR）
- ビットレートレジスタ（BRR）

11.3.1　レシーブシフトレジスタ（RSR）

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

11.3.2　レシーブデータレジスタ（RDR）

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

11.3.3　トランスミットデータレジスタ（TDR）

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実に行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

11.3.4　トランスミットシフトレジスタ（TSR）

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

11.3.5　シリアルモードレジスタ（SMR）

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7	C/$\overline{A}$	0	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：設定禁止
6	CHR	0	R/W	キャラクタレングス（調歩同期式モードのみ有効） 0：データ長 8 ビットで送受信します。 1：データ長 7 ビットで送受信します。送信では TDR の MSB（ビット 7）は送信されません。
5	PE	0	R/W	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。
4	O/$\overline{E}$	0	R/W	パリティモード（調歩同期式モードで PE＝１のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス（調歩同期式モードのみ有効） 送信時のストップビットの長さを選択します。 0：1 ストップビット 1：2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	―	0	R/W	リザーブビット 初期値を変更しないでください。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00：φクロック（n＝0） 01：φ/4 クロック（n＝1） 10：φ/16 クロック（n＝2） 11：φ/64 クロック（n＝3） このビットの設定値とボーレートの関係については、「11.3.8　ビットレートレジスタ（BRR）」を参照してください。n は設定値の 10 進表示で、「11.3.8　ビットレートレジスタ（BRR）」中の n の値を表します。

11.3.6　シリアルコントロールレジスタ（SCR）

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「11.5　割り込み要因」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	―	0	R/W	リザーブビット 初期値を変更しないでください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 クロックソースを選択します。 調歩同期式の場合 0X：内蔵ボーレートジェネレータ 1X：設定禁止

【記号説明】X：Don't care

11.3.7　シリアルステータスレジスタ（SSR）

SSR は SCI のステータスフラグで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 ［セット条件］ • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 ［セット条件］ • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 ［セット条件］ • RDRF＝1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。

ビット	ビット名	初期値	R/W	説　　明
4	FER	0	R/(W)*	フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。 ［セット条件］ • ストップビットが 0 のとき 2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。
3	PER	0	R/(W)*	パリティエラー 調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。 ［セット条件］ • 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。
2	TEND	1	R	トランスミットエンド ［セット条件］ • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき ［クリア条件］ • TDRE＝1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	―	0	R/W	リザーブビット
0	―	0	R/W	初期値を変更しないでください。

【注】　*　フラグをクリアするための 0 ライトのみ可能です。

11.3.8　ビットレートレジスタ（BRR）

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モードにおける BRR の設定値 N とビットレート B の関係を表 11.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 11.2　BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤　　差
調歩同期式	$B = \dfrac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差（%）＝ $\left\{ \dfrac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$

【注】　B：ビットレート（bit/s）

N：ボーレートジェネレータの BRR の設定値（0≦N≦255）

φ：動作周波数（MHz）

n：下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

調歩同期式モードにおける BRR の値Nの設定例を表 11.3 に、各動作周波数における設定可能な最大ビットレートを表 11.4 に示します。

表 11.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（1）

ビットレート（bit/s）	動作周波数φ（MHz）											
	10			12			12.288			14		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	177	−0.25	2	212	0.03	2	217	0.08	2	248	−0.17
150	2	129	0.16	2	155	0.16	2	159	0.00	2	181	0.16
300	2	64	0.16	2	77	0.16	2	79	0.00	2	90	0.16
600	1	129	0.16	1	155	0.16	1	159	0.00	1	181	0.16
1200	1	64	0.16	1	77	0.16	1	79	0.00	1	90	0.16
2400	0	129	0.16	0	155	0.16	0	159	0.00	0	181	0.16
4800	0	64	0.16	0	77	0.16	0	79	0.00	0	90	0.16
9600	0	32	−1.36	0	38	0.16	0	39	0.00	0	45	−0.93
19200	0	15	1.73	0	19	−2.34	0	19	0.00	0	22	−0.93
31250	0	9	0.00	0	11	0.00	0	11	2.40	0	13	0.00
38400	0	7	1.73	0	9	−2.34	0	9	0.00	−	−	−

ビットレート（bit/s）	動作周波数φ（MHz）											
	14.7456			16			17.2032			18		
				n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	64	0.70	3	70	0.03	3	75	0.48	3	79	−0.12
150	2	191	0.00	2	207	0.16	2	223	0.00	2	233	0.16
300	2	95	0.00	2	103	0.16	2	111	0.00	2	116	0.16
600	1	191	0.00	1	207	0.16	1	223	0.00	1	233	0.16
1200	1	95	0.00	1	103	0.16	1	111	0.00	1	116	0.16
2400	0	191	0.00	0	207	0.16	0	223	0.00	0	233	0.16
4800	0	95	0.00	0	103	0.16	0	111	0.00	0	116	0.16
9600	0	47	0.00	0	51	0.16	0	55	0.00	0	58	−0.69
19200	0	23	0.00	0	25	0.16	0	27	0.00	0	28	1.02
31250	0	14	−1.70	0	15	0.00	0	16	1.20	0	17	0.00
38400	0	11	0.00	0	12	0.16	0	13	0.00	0	14	−2.34

表 11.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（2）

ビットレート（bit/s）	動作周波数φ（MHz）														
	19.6608			20			25			30			33		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	86	0.31	3	88	−0.25	3	110	−0.02	3	132	0.13	3	145	0.33
150	2	255	0.00	3	64	0.16	3	80	−0.47	3	97	−0.35	3	106	0.39
300	2	127	0.00	2	129	0.16	2	162	0.15	2	194	0.16	2	214	−0.07
600	1	255	0.00	2	64	0.16	2	80	−0.47	2	97	−0.35	2	106	0.39
1200	1	127	0.00	1	129	0.16	1	162	0.15	1	194	0.16	1	214	−0.07
2400	0	255	0.00	1	64	0.16	1	80	−0.47	1	97	−0.35	1	106	0.39
4800	0	127	0.00	0	129	0.16	0	162	0.15	0	194	0.16	0	214	−0.07
9600	0	63	0.00	0	64	0.16	0	80	−0.47	0	97	−0.35	0	106	0.39
19200	0	31	0.00	0	32	−1.36	0	40	−0.76	0	48	−0.35	0	53	−0.54
31250	0	19	−1.70	0	19	0.00	0	24	0.00	0	29	0	0	32	0
38400	0	15	0.00	0	15	1.73	0	19	1.73	0	23	1.73	0	26	−0.54

表 11.4　各動作周波数における最大ビットレート（調歩同期式モード）

φ（MHz）	最大ビットレート（bit/s）	n	N
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0
33	1031250	0	0

11.4　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 11.2 に示します。1 フレームは、スタートビット（Low レベル）から始まり送受信データ、パリティビット、ストップビット（High レベル）の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態（High レベル）に保たれています。SCI は通信回線を監視し、スペース（Low レベル）を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

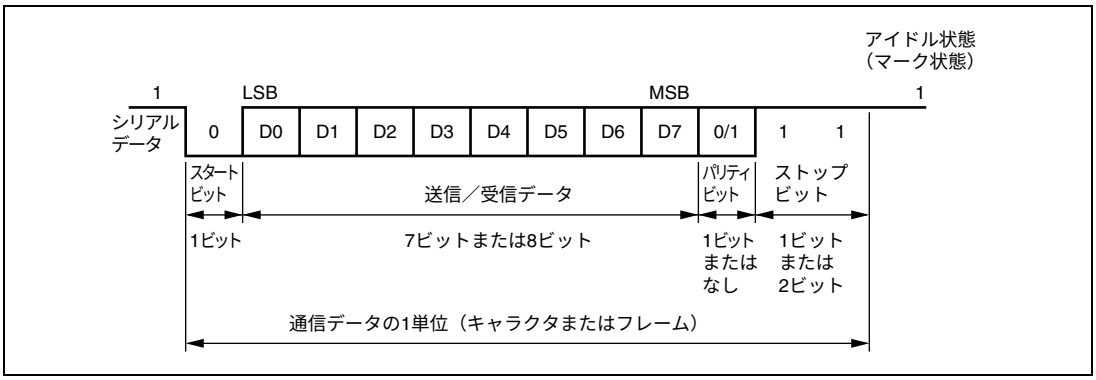


図 11.2　調歩同式通信のデータフォーマット（8 ビットデータ/パリティあり/2 ストップビットの例）

11.4.1　送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 11.5 に示します。フォーマットは 8 種類あり、SMR の選定により選択できます。

表 11.5　シリアル送信/受信フォーマット（調歩同期式モード）

SMRの設定			シリアル送信／受信フォーマットとフレーム長
CHR	PE	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	S 8ビットデータ STOP
0	0	1	S 8ビットデータ STOP STOP
0	1	0	S 8ビットデータ P STOP
0	1	1	S 8ビットデータ P STOP STOP
1	0	0	S 7ビットデータ STOP
1	0	1	S 7ビットデータ STOP STOP
1	1	0	S 7ビットデータ P STOP
1	1	1	S 7ビットデータ P STOP STOP

【記号説明】

S　　：スタートビット

STOP　：ストップビット

P　　：パリティビット

11.4.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 11.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N}\right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right\} \times 100 \quad [\%] \qquad \cdots 式（1）$$

M：受信マージン

N：クロックに対するビットレートの比（N＝16）

D：クロックのデューティ（D＝0.5～1.0）

L：フレーム長（L＝9～12）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）＝0、D（クロックのデューティ）＝0.5 とすると、

$$M = \{0.5 - 1/(2\times16)\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

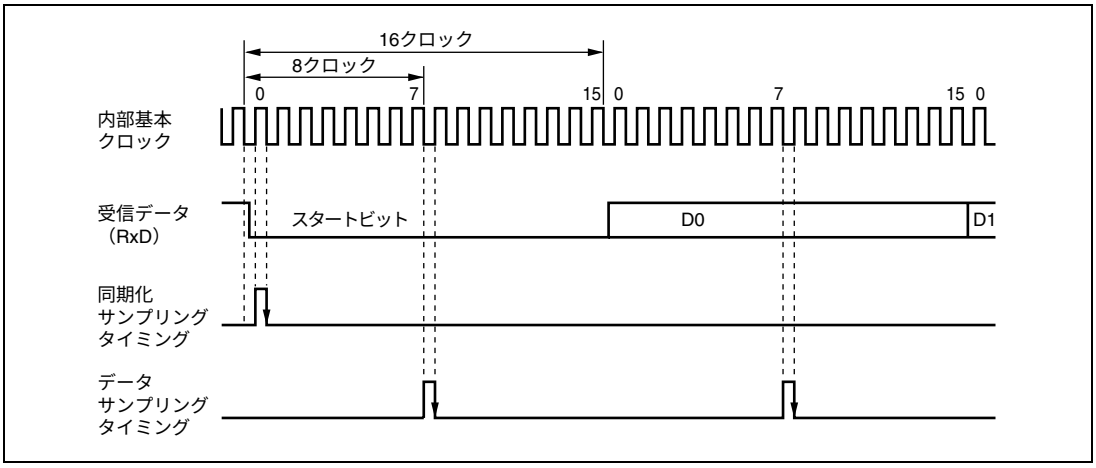


図 11.3　調歩同期式モードの受信データサンプリングタイミング

11.4.3　クロック

SCI の送受信クロックは、SMR の C/$\overline{A}$ ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックを選択できます。

11.4.4　SCI の初期化（調歩同期式）

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 11.4 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

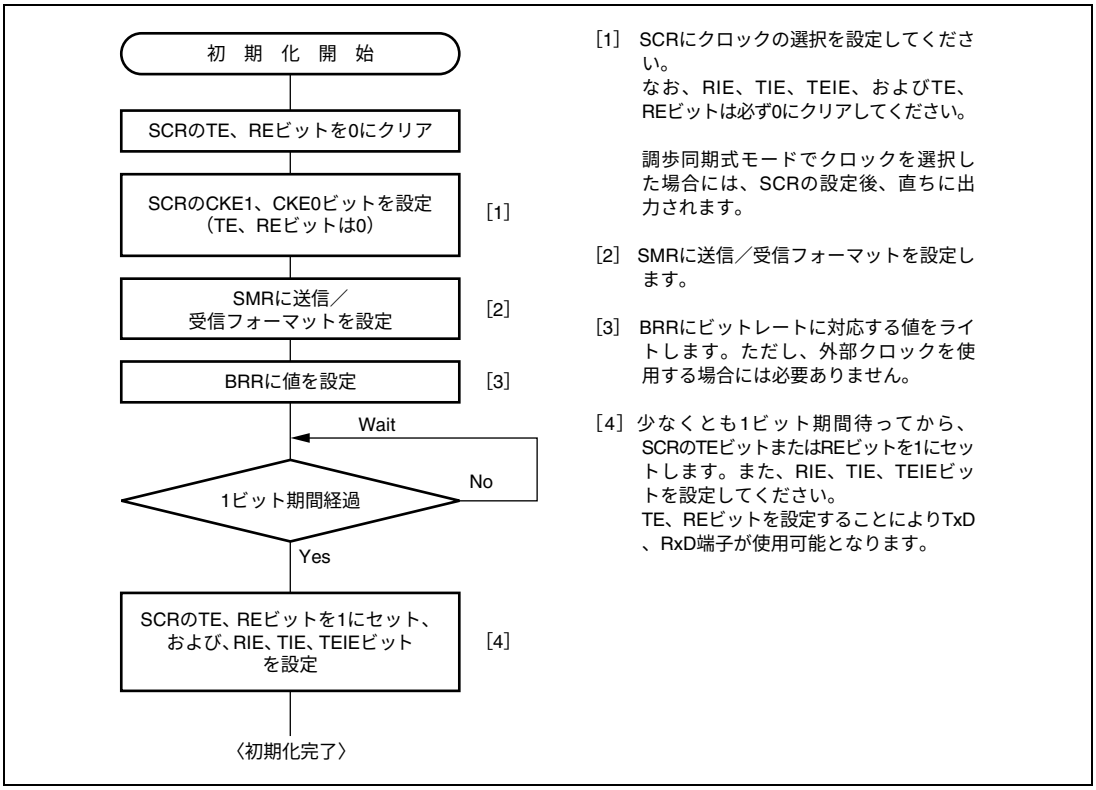


図 11.4　SCI の初期化フローチャートの例

11.4.5　データ送信（調歩同期式）

図 11.5 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 11.6 にデータ送信のフローチャートの例を示します。

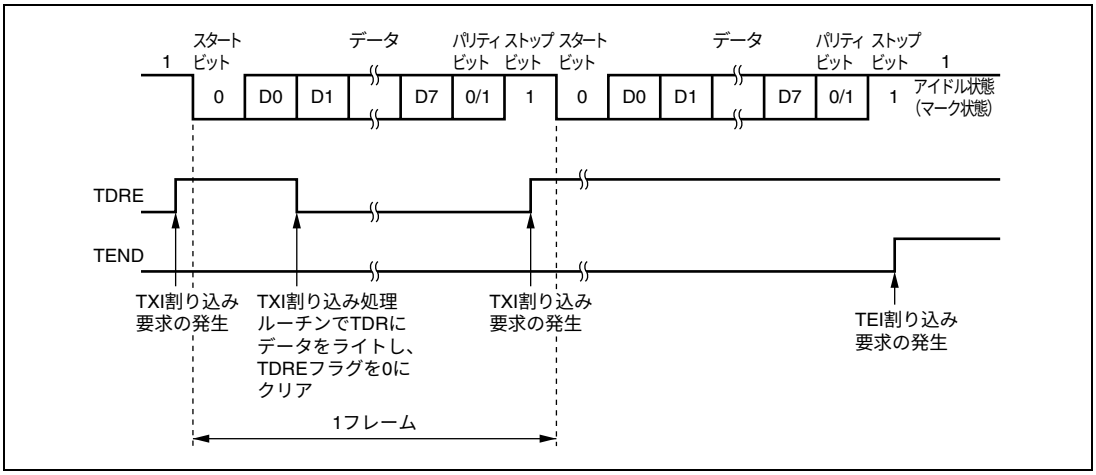
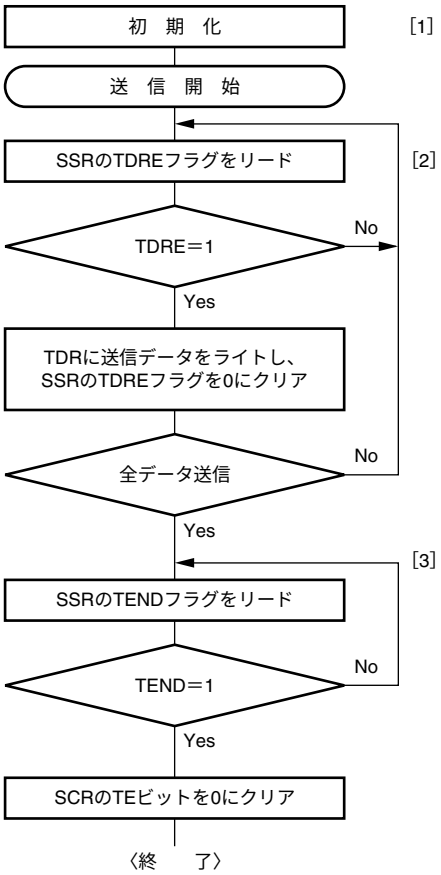


図 11.5　調歩同期式モードの送信時の動作例（8 ビットデータ/パリティあり/1 ストップビットの例）



[1] SCIを初期化：
TxD端子は自動的に送信データ出力端子になります。
TEビットを1にセットした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。

図 11.6　シリアル送信のフローチャートの例

11.4.6　シリアルデータ受信（調歩同期式）

図 11.7 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSR のRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

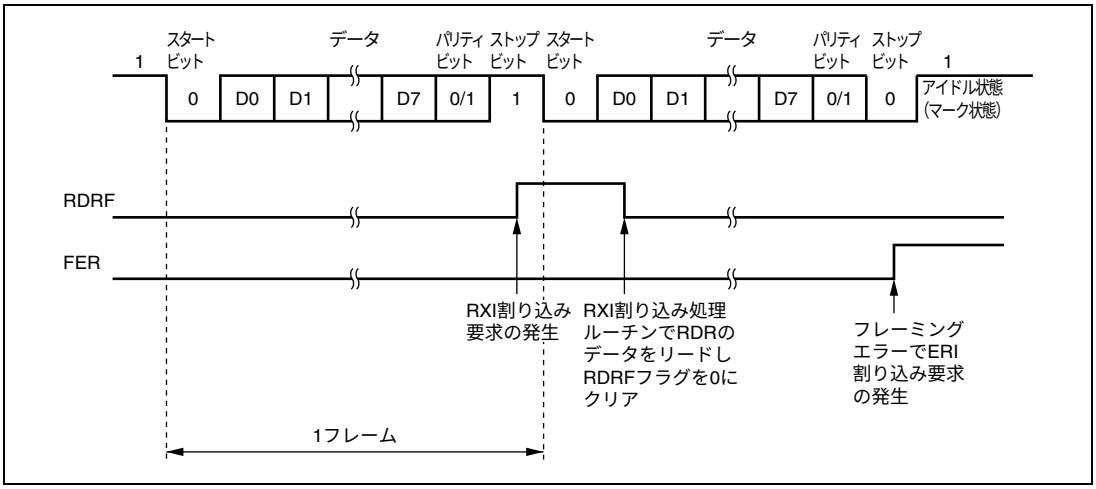


図 11.7　SCI の受信時の動作例（8 ビットデータ/パリティあり/1 ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 11.6 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 11.8 にデータ受信のためのフローチャートの例を示します。

表 11.6　SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー＋フレーミングエラー
1	1	0	1	消失	オーバランエラー＋パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

【注】　＊　RDRF は、データ受信前の状態を保持します。

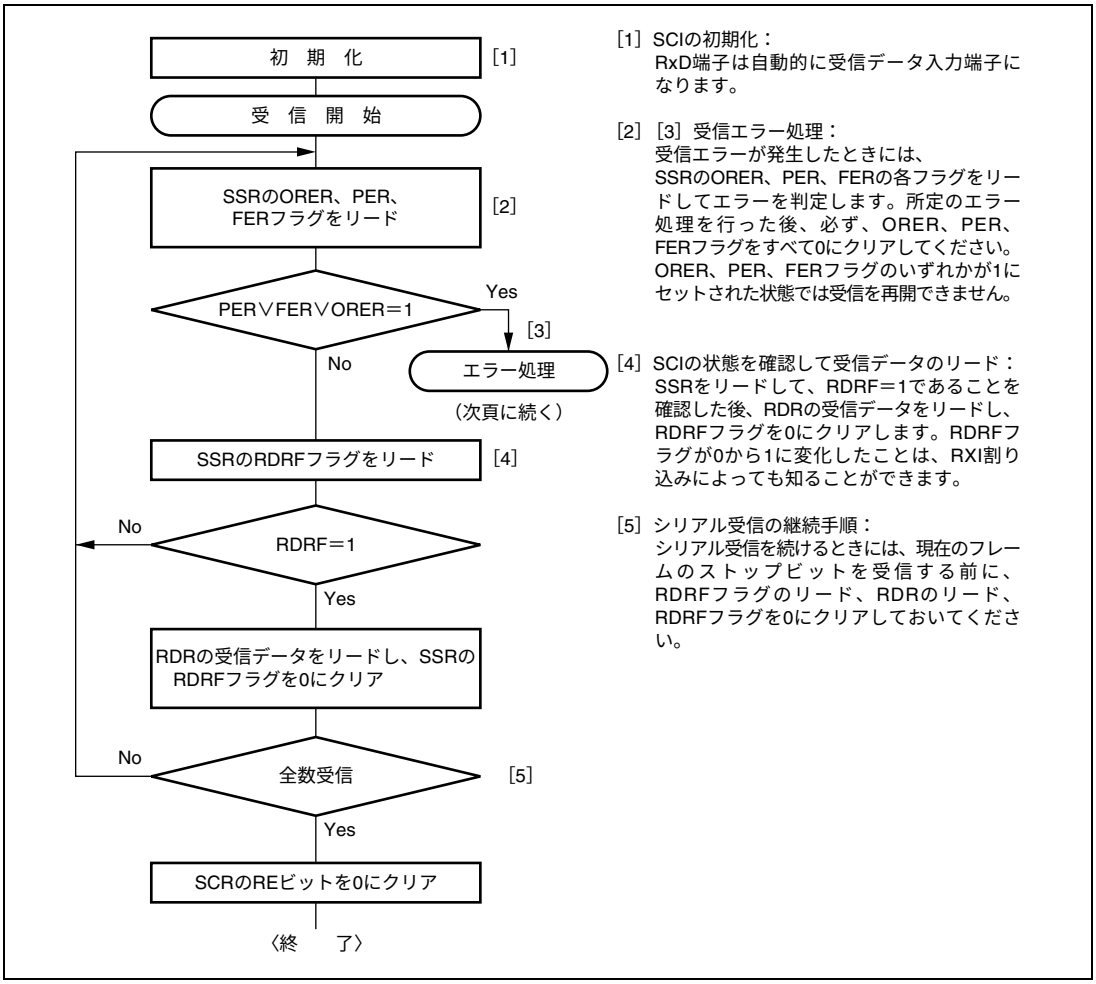


図 11.8　シリアル受信データフローチャートの例（1）

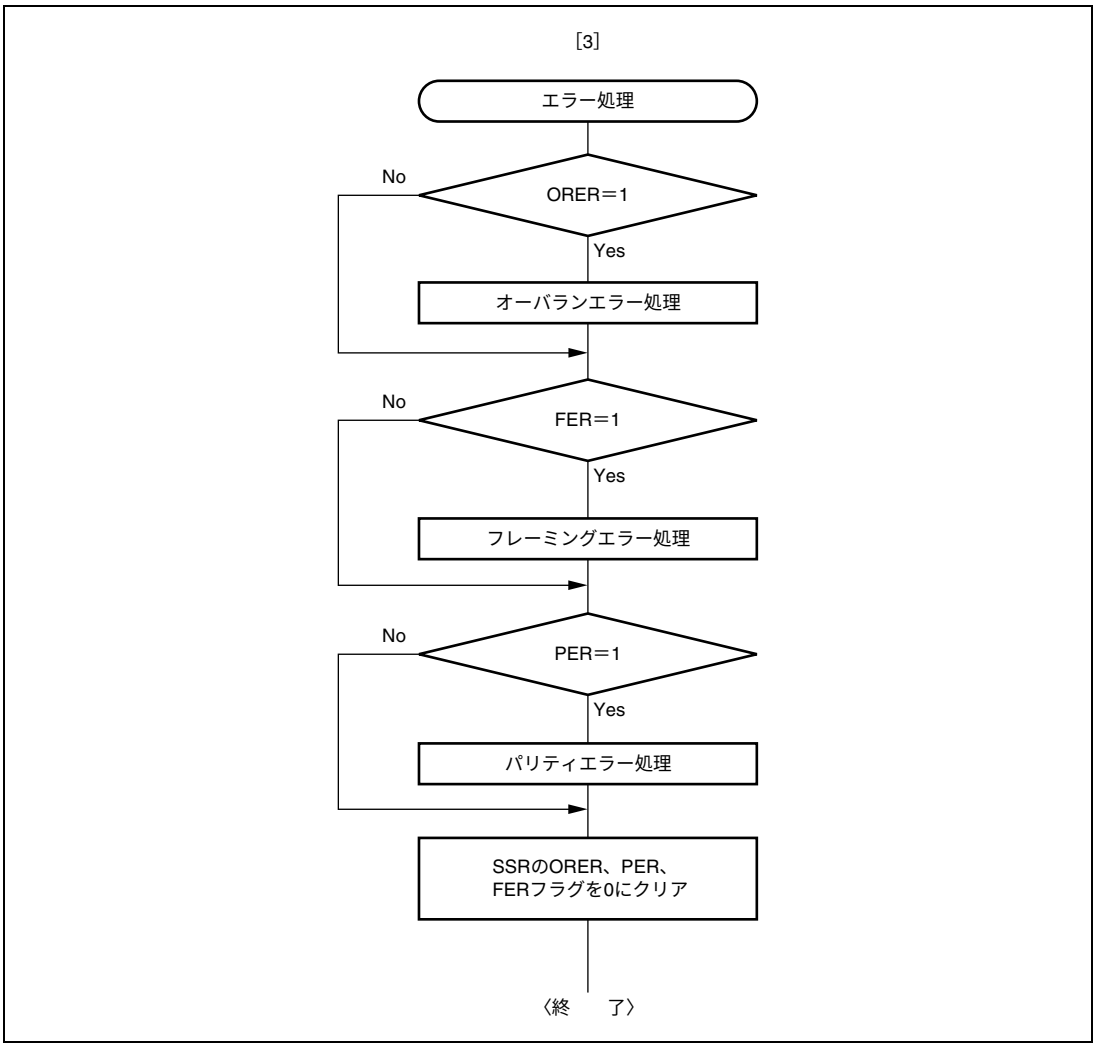


図 11.8　シリアル受信データフローチャートの例（2）

11.5　割り込み要因

11.5.1　通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 11.7 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 11.7　SCI 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	優先順位
0	ERI0	受信エラー	ORER、FER、PER	高
	RXI0	受信データフル	RDRF	↑
	TXI0	送信データエンプティ	TDRE	
	TEI0	送信終了	TEND	低

11.6　使用上の注意事項

11.6.1　モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止/許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 16 章　低消費電力状態」を参照してください。

11.6.2　TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

11.6.3　モード遷移時の動作について

（1） 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止（TE＝TIE＝TEIE＝0）してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。モード解除後に送信モードを変えないで送信する場合は、TE＝1 に設定、SSR リード→TDR ライト→TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。図 11.9 に送信時のモード遷移フローチャートの例を示します。

（2） 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止（RE＝0）してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE＝1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 11.10 に受信時のモード遷移フローチャートの例を示します。

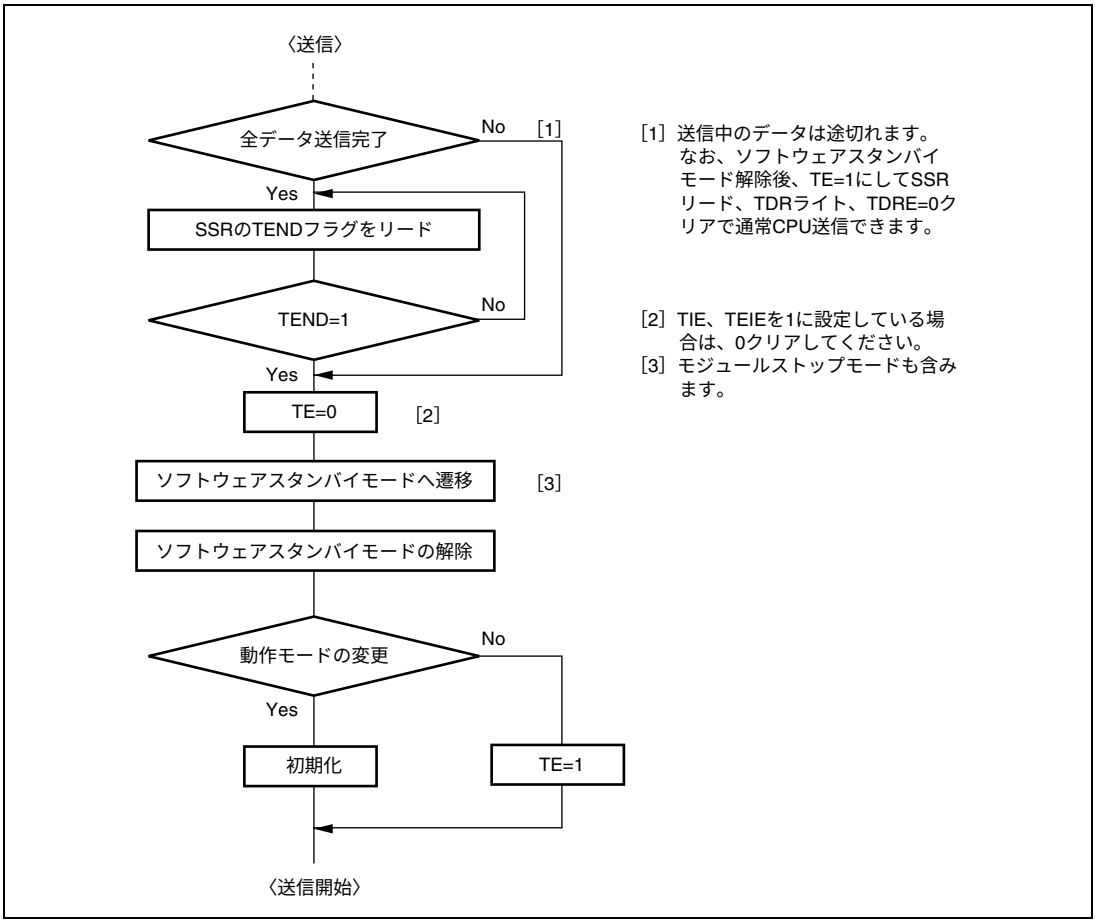


図 11.9　送信時のモード遷移フローチャートの例

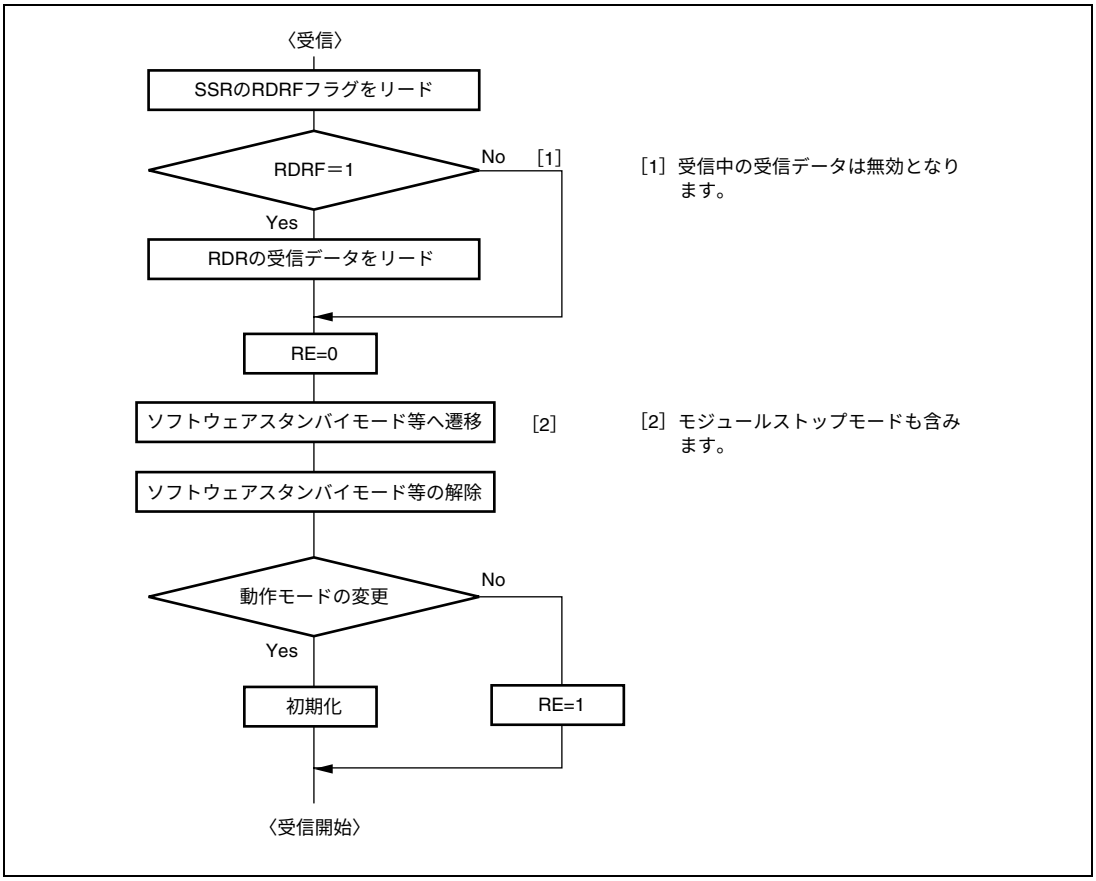


図 11.10　受信時のモード遷移フローチャートの例

12.　ユニバーサルシリアルバス 2（USB2）

本 LSI は、USB2.0 規格に対応した USB Function モジュールを内蔵しています。USB2 のブロック図を図 12.1 に示します。

12.1　特長

- USB2.0対応

  USB標準リクエストを自動処理（一部除く）

  Get Descriptor/Class/Vendorリクエストはマイコンファームウェア上で処理

- High Speed Mode、Full Speed Modeをサポート
- EP0、EP1、EP2、EP3の4つのエンドポイントを内蔵

エンドポイント	Max Packet Size		FIFO 構成	転送方式	転送方向	DMA 転送
	Full Speed	High Speed				
EP0s	8 バイト	8 バイト	1 面	Setup	Out	－
EP0i	64 バイト	64 バイト	1 面	Control	In	－
EP0o	64 バイト	64 バイト	1 面	Control	Out	－
EP1	64 バイト	512 バイト	2 面	Bulk	Out	可
EP2	64 バイト	512 バイト	2 面	Bulk	In	可
EP3	64 バイト	64 バイト	1 面	Interrupt	In	－

- コントロール、バルク、インタラプト転送をサポート
- High Speed ModeおよびFull Speed ModeのMax Packet Sizeは自動で切り替え
- DMA転送インタフェース

  DMA転送はエンドポイント1、エンドポイント2で可能

- 割り込みインタフェース

  割り込み要求出力端子として2本の割り込み要求（USBI0、USBI1）をサポート

  各割り込み要因は内蔵レジスタにより割り当てを任意設定可能

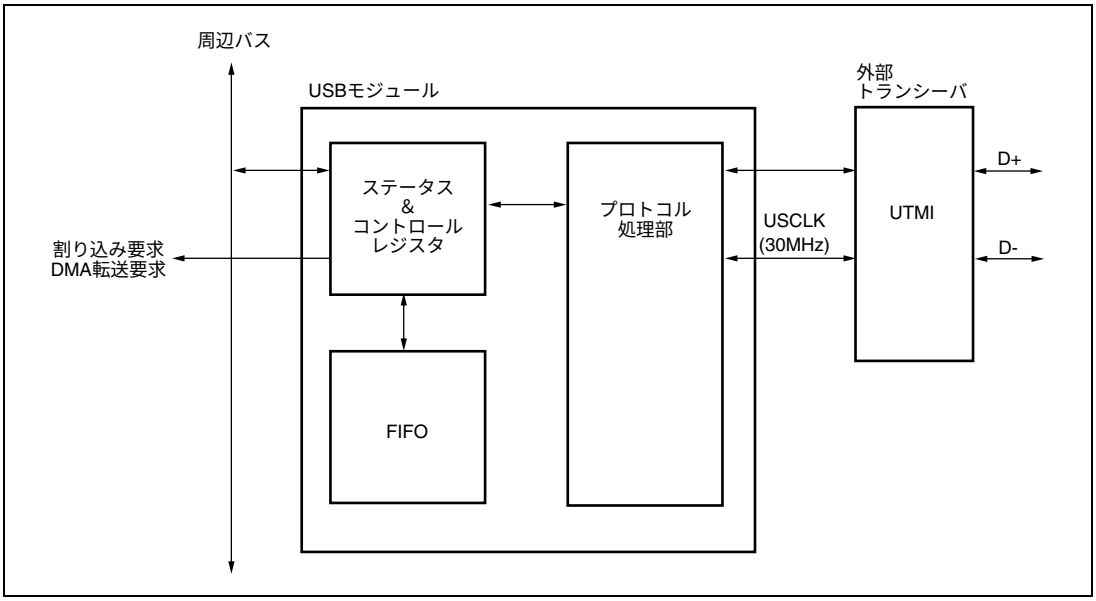


図 12.1　USB2 のブロック図

12.2　入出力信号

USB2 の入出力信号一覧を表 12.1 に示します。

表 12.1　入出力信号一覧

分類	記号	入出力	機　　能
USB バス電源	USVBUS	入力	USB バス電源信号 USB ケーブルの接続・切断検出端子です。USB コネクタの VBUS 端子に接続します。 High：VBUS 端子=Low 即ち切断時 Low：VBUS 端子=High 即ち接続時 【注】本端子は USB コネクタの VBUS 端子の信号を反転して入力してください。
トランシーバ信号	USCLK	入力	USB クロック トランシーバから出力される USB クロック（30MHz）です。
	USRXV USRXERR USRXACT USTXRDY USLSTA[1:0]	入力	USB2.0 トランシーバ入力信号 USB2.0 トランシーバを接続します。UTMI 仕様に対応しています。詳細は UTMI 仕様書および「12.8.17　コントロール IN 転送時の注意事項」を参照してください。
	USD[15:0] USWDVLD	入出力	USB2.0 トランシーバ入出力信号 USB2.0 トランシーバを接続します。UTMI 仕様に対応しています。詳細は UTMI 仕様書および「12.8.17　コントロール IN 転送時の注意事項」を参照してください。
	USTSEL USOPM[1:0] USXCVRS USTXV $\overline{\text{USSUSP}}$	出力	USB2.0 トランシーバ出力信号 USB2.0 トランシーバを接続します。UTMI 仕様に対応しています。詳細は UTMI 仕様書および「12.8.17　コントロール IN 転送時の注意事項」を参照してください。
モニタ端子	$\overline{\text{USRST}}$	出力	モニタ端子です。

12.3　レジスタの説明

USB2 には以下のレジスタがあります。

- 割り込みフラグレジスタ0（IFR0）
- 割り込み選択レジスタ0（ISR0）
- 割り込みイネーブルレジスタ0（IER0）
- EP0o受信データサイズレジスタ（EPSZ0o）
- EP1受信データサイズレジスタ（EPSZ1）
- EP0iデータレジスタ（EPDR0i）
- EP0oデータレジスタ（EPDR0o）
- EP0sデータレジスタ（EPDR0s）
- EP1データレジスタ（EPDR1）
- EP2データレジスタ（EPDR2）
- EP3データレジスタ（EPDR3）
- データステータスレジスタ0（DASTS0）
- パケットイネーブルレジスタ0i（PKTE0i）
- パケットイネーブルレジスタ2（PKTE2）
- パケットイネーブルレジスタ3（PKTE3）
- FIFOクリアレジスタ0（FCLR0）
- エンドポイントストールレジスタ0（EPSTL0）
- DMA設定レジスタ0（DMA0）
- コントロールレジスタ（CTRL）
- ポートファンクションコントロールレジスタ3（PFCR3）
- USBサスペンドステータスレジスタ（USBSUSP）

12.3.1　割り込みフラグレジスタ 0（IFR0）

IFR0 は、EP0i、EP0o、EP1、EP2、EP3、セットアップリクエスト受信、バスリセット、VBUS の割り込みフラグ・モニタ、USB モード割り込みフラグ・モニタレジスタです。各フラグが 1 にセットされると、対応する割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。ただし、EP1 FULL ステータスと EP2 EMPTY ステータスは EP1、EP2 の FIFO 状態を示すステータスビットです。したがってクリアはできません。同様に、VBUS MN、MODE MN ビットはステータスビットなのでクリアはできません。

ビット	ビット名	初期値	R/W	説　　明
31～27	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
26	MODE MN1	0	R	USB モードステータス 1 USB 転送モードを示すステータスビットです。MODE MN0 ビットと併せて 2 ビットで使用します。 0：リセット時およびケーブル切断のとき 1：Full Speed モード（12Mbps） 2：High Speed モード（480Mbps） 3：Chirp モード 「12.8.12　High Speed モード時の USB バスアイドルについて」を参照してください。
25	MODE MN0	0	R	USB モードステータス 0 USB 転送モードを示すステータスビットです。MODE MN1 ビットと併せて 2 ビットで使用します。
24	MODE F	0	R/W	USB 転送モード変更検出 ［セット条件］ USB モードステータスビットが変化したときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
23～18	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
17	VBUS MN	0	R	USB 接続ステータス USVBUS の状態をモニタするステータスビットです。USVBUS の状態を反映します。1 が接続、0 が切断を示します。
16	VBUS F	0	R/W	USB 接続変更検出 ［セット条件］ ファンクションが USB バスに接続、または切断されたときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき

ビット	ビット名	初期値	R/W	説　　明
15～10	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
9	EP3TR	0	R/W	EP3 転送リクエスト ［セット条件］ EP3 にホストから IN トークンが発行され、FIFO がエンプティのときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
8	EP3TS	0	R/W	EP3 送信完了 ［セット条件］ EP3 にホストに送信するデータをライトした後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェークが返ってきたときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
7	BRST	0	R/W	バスリセット ［セット条件］ USB バス上でバスリセット信号を検出したときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
6	EP2TR	0	R/W	EP2 転送リクエスト ［セット条件］ EP2 にホストから IN トークンが発行され、2 面とも FIFO がエンプティのときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
5	EP2EMPTY	0	R	EP2 FIFO エンプティ*[2] ［セット条件］ リセット時 EP2 の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのときに 1 にセットされます。2 面ともフルの場合は 0 にセットされます。 ［クリア条件］ステータスビットのため、クリアはできません。
4	EP1FULL	0	R	EP1 FIFO フル*[1] ［セット条件］ EP1 の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上の FIFO がフルのときに 1 にセットされます。2 面ともエンプティの場合は 0 にセットされます。 ［クリア条件］ステータスビットのため、クリアはできません。

ビット	ビット名	初期値	R/W	説　　明
3	SETUPTS	0	R/W	セットアップリクエスト受信完了 ［セット条件］ ファンクションでリクエストデコードを行う 8 バイトのデータが、ホストから EP0s に正常に受信され、ファンクションからホストに ACK ハンドシェークを返したときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
2	EP0oTS	0	R/W	EP0o 受信完了 ［セット条件］ ホストから EP0o に正常にデータが受信され、ファンクションからホストに NYET および ACK ハンドシェークを返したときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
1	EP0iTR	0	R/W	EP0i 転送リクエスト ［セット条件］ EP0i にホストから IN トークンが発行され、FIFO がエンプティのときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき
0	EP0iTS	0	R/W	EP0i 送信完了 ［セット条件］ EP0i にホストに送信するデータをライトした後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェークが返ってきたときに 1 にセットされます。 ［クリア条件］ • リセット時 • 0 ライトしたとき

【注】　*1　FIFO フル

IN FIFO の場合：送信可能なデータが FIFO 内にあることを示します。

OUT FIFO の場合：有効な受信データが FIFO 内にあることを示します。

*2　FIFO エンプティ

IN FIFO の場合：送信可能なデータが FIFO 内にないことを示します。

OUT FIFO の場合：有効な受信データが FIFO 内にないことを示します。

12.3.2　割り込み選択レジスタ 0（ISR0）

ISR0 は、割り込みフラグレジスタの各割り込み要求を設定します。対応するビットに 0 をセットすると USBI0 割り込み要求が出力され、1 をセットすると USBI1 割り込み要求が出力されます。初期値では、割り込みフラグレジスタの各割り込み要因は USBI0 から要求されます。

ビット	ビット名	初期値	R/W	説　　明
31～25	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
24	MODE F	0	R/W	MODE F 割り込み選択
23～17	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
16	VBUS F	0	R/W	VBUS F 割り込み選択
15～10	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
9	EP3TR	0	R/W	EP3TR 割り込み選択
8	EP3TS	0	R/W	EP3TS 割り込み選択
7	BRST	0	R/W	BRST 割り込み選択
6	EP2TR	0	R/W	EP2TR 割り込み選択
5	EP2EMPTY	0	R/W	EP2EMPTY 割り込み選択
4	EP1FULL	0	R/W	EP1FULL 割り込み選択
3	SETUPTS	0	R/W	SETUPTS 割り込み選択
2	EP0oTS	0	R/W	EP0oTS 割り込み選択
1	EP0iTR	0	R/W	EP0iTR 割り込み選択
0	EP0iTS	0	R/W	EP0iTS 割り込み選択

12.3.3　割り込みイネーブルレジスタ 0（IER0）

IER0 は、割り込みフラグレジスタの各割り込みを許可するレジスタです。各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、割り込み選択レジスタで設定された割り込み要求がアサートされます。

ビット	ビット名	初期値	R/W	説　　明
31～25	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
24	MODE F	0	R/W	MODE F 割り込みイネーブル
23～17	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
16	VBUS F	0	R/W	VBUS F 割り込みイネーブル
15～10	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
9	EP3TR	0	R/W	EP3TR 割り込みイネーブル
8	EP3TS	0	R/W	EP3TS 割り込みイネーブル
7	BRST	0	R/W	BRST 割り込みイネーブル
6	EP2TR	0	R/W	EP2TR 割り込みイネーブル
5	EP2EMPTY	0	R/W	EP2EMPTY 割り込みイネーブル
4	EP1FULL	0	R/W	EP1FULL 割り込みイネーブル
3	SETUPTS	0	R/W	SETUPTS 割り込みイネーブル
2	EP0oTS	0	R/W	EP0oTS 割り込みイネーブル
1	EP0iTR	0	R/W	EP0iTR 割り込みイネーブル
0	EP0iTS	0	R/W	EP0iTS 割り込みイネーブル

12.3.4　EP0o 受信データサイズレジスタ（EPSZ0o）

EPSZ0o は、エンドポイント 0o の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	－	R	EP0o の受信データサイズ

12.3.5　EP1 受信データサイズレジスタ（EPSZ1）

EPSZ1 は、エンドポイント 1 の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。エンドポイント 1 の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている面に対するサイズです。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	－	R	EP1 の受信データサイズ

12.3.6　EP0i データレジスタ（EPDR0i）

EPDR0i は、エンドポイント 0 の送信用 64 バイト FIFO バッファです。コントロールインに対するパケット分の送信データを保存します。1 パケット分のデータを書き込み、パケットイネーブルレジスタ PKTE0i に送信データ数をライトすることで、送信データが有効となります。データを送信した後、ホストから ACK ハンドシェークが返ってくると、割り込みフラグレジスタの EP0iTS がセットされます。この FIFO バッファは FIFO クリアレジスタの EP0iCLR により初期化することができます。セットアップ受信時にも、この FIFO バッファはクリアされます。また、セットアップデータ受信後、SETUP TS をクリアするまでは送信不可となります。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	W	EP0 の送信用 64 バイト FIFO バッファ

12.3.7　EP0o データレジスタ（EPDR0o）

EPDR0o は、エンドポイント 0 の受信用 64 バイト FIFO バッファです。1 面分の FIFO バッファを持っています。したがって、受信完了した場合、本モジュールはホストに対して NYET ハンドシェーク（High Speed Mode）、ACK ハンドシェーク（Full Speed Mode）を返します。セットアップリクエストを除くエンドポイント 0 の受信データが格納されます。データを正常に受信すると、割り込みフラグレジスタの EP0oTS がセットされ、受信バイト数が EP0o 受信データサイズレジスタに表示されます。この FIFO バッファは FIFO クリアレジスタの EP0oCLR により初期化することができます。また、セットアップデータ受信後、SETUP TS をクリアするまでは受信不可となります。

なお、0 レングスパケットは受信可能ですが、ホストには ACK ハンドシェーク（High Speed Mode、Full Speed Mode 共に）を返し、データは無視されます。ただし、IFR0/EP0oTS フラグはセットされます。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	R	EP0 の受信用 64 バイト FIFO バッファ

12.3.8　EP0s データレジスタ（EPDR0s）

EPDR0s は、エンドポイント 0 のセットアップリクエスト専用のデータレジスタです。セットアップステージで送られた 8 バイトのリクエストデータが格納されます。ただし、マイコンで処理するリクエストデータのみ受信します。本モジュールが自動で処理するリクエストを受信した場合は格納されません。

リード中に次のセットアップステージのデータ受信が開始された場合は無条件に上書きされます。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	R	EP0 のセットアップリクエスト専用のデータレジスタ

12.3.9　EP1 データレジスタ（EPDR1）

EPDR1 は、エンドポイント 1 の受信用 512 バイト×2 面 FIFO バッファです。High Speed Mode の最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。したがって、1 面分の空きがある場合はホストに対して ACK ハンドシェーク（High Speed Mode、Full Speed Mode 共通）を返します。受信完了時に 2 面とも空きがない場合はホストに対して NYET ハンドシェーク（High Speed Mode）、ACK ハンドシェーク（Full Speed Mode）を返します。受信バイト数は EP1 受信データサイズレジスタに表示されます。この FIFO バッファの受信データは DMA 転送が可能です。この FIFO バッファは FIFO クリアレジスタの EP1CLR により初期化することができます。

なお、0 レングスパケットは受信可能ですが、FIFO はフルにはならず、ホストには ACK ハンドシェーク（High Speed Mode、Full Speed Mode ともに）を返し、データは無視されます。したがって、IFR0/EP1 FULL ステータスはセットされません。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	R	EP1 の受信用 512 バイト×2 面 FIFO バッファ

12.3.10　EP2 データレジスタ（EPDR2）

EPDR2 は、エンドポイント 2 の送信用 512 バイト×2 面 FIFO バッファです。High Speed Mode の最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、パケットイネーブルレジスタ PKTE2 に送信データ数をライトすることで、1 パケット分の送信データが有効となり、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。この FIFO バッファは FIFO クリアレジスタの EP2CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	W	EP2 の送信用 512 バイト×2 面 FIFO バッファ

12.3.11　EP3 データレジスタ（EPDR3）

EPDR3 は、エンドポイント 3 の送信用 64 バイト FIFO バッファです。エンドポイント 3 のインタラプト転送における 1 パケット分の送信データを保存します。1 パケット分のデータを書き込み、パケットイネーブルレジスタ PKTE3 に送信データ数をライトすることで、送信データが有効となります。1 パケット分のデータを正常に送信し、ホストから ACK ハンドシェークを受信すると、割り込みフラグレジスタの EP3TS がセットされます。この FIFO バッファは FIFO クリアレジスタの EP3CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	W	EP3 の送信用 64 バイト FIFO バッファ

12.3.12　データステータスレジスタ 0（DASTS0）

DASTS0 は、IN FIFO データレジスタ内にデータがあるかどうかを示すレジスタです。IN FIFO にライトしたデータが、パケットイネーブルレジスタの転送バイト数ライトによって有効になったとき 1 にセットされます。また、有効にしたデータがすべてホストに送信されたとき、0 を示します。エンドポイント 2 の 2 面構成 FIFO の場合は、2 面ともデータが無くなったとき 0 を示します。

ビット	ビット名	初期値	R/W	説　　明
31～6	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
5	EP3DE	0	R	EP3 データあり EP3 に有効なデータが有るとき 1 がセットされ、無いとき 0 がセットされます。
4	EP2DE	0	R	EP2 データあり EP2 に有効なデータが有るとき 1 がセットされ、無いとき 0 がセットされます。
3～1	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
0	EP0iDE	0	R	EP0i データあり EP0i に有効なデータが有るとき 1 がセットされ、無いとき 0 がセットされます。

12.3.13　パケットイネーブルレジスタ 0i（PKTE0i）

EPDR0i に送信データをライトした後で、送信データ数をライトします。本レジスタに送信データ数をライトすることで、送信データが有効となり、次の IN トークンによってデータが送信されます。EPDR0i にデータをライトしただけでは送信されません。

EPDR0i にライトしたデータ数と PKTE0i にライトする送信データ数は必ず一致させてください。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	W	送信データ数

12.3.14　パケットイネーブルレジスタ 2（PKTE2）

EPDR2 に送信データをライトした後で、送信データ数をライトします。本レジスタに送信データ数をライトすることで、送信データが有効となり、次の IN トークンによってデータが送信されます。EPDR2 にデータをライトしただけでは送信されません。

EPDR2 にライトしたデータ数と PKTE2 にライトする送信データ数は必ず一致させてください。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	W	送信データ数

12.3.15　パケットイネーブルレジスタ 3（PKTE3）

EPDR3 に送信データをライトした後で、送信データ数をライトします。本レジスタに送信データ数をライトすることで、送信データが有効となり、次の IN トークンによってデータが送信されます。EPDR3 にデータをライトしただけでは送信されません。

EPDR3 にライトしたデータ数と PKTE3 にライトする送信データ数は必ず一致させてください。

ビット	ビット名	初期値	R/W	説　　明
31～0	D31～D0	0	W	送信データ数

12.3.16　FIFO クリアレジスタ 0（FCLR0）

各エンドポイントの FIFO をクリアするワンショットレジスタです。各ビットに 1 をライトすることで、対応する FIFO 内のデータをクリアすることができます。

IN FIFO の場合は、データライト後、パケットイネーブルレジスタライトをしていないデータ、パケットイネーブルレジスタライトによって有効になったデータをクリアできます。

OUT FIFO の場合、受信完了したデータがクリアされます。EP2 の 2 面構成の FIFO に対しては、2 面ともクリアされます。同じく 2 面構成の EP1 FIFO に対しては、現在選択されている面だけがクリアされます。また、このトリガでは、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

なお、ビット 6、5、0 はステータスビットと兼用されています。ビット説明で下段がステータスビットの機能説明です。

ビット	ビット名	初期値	R/W	説　　明
31～7	－	0	W	リザーブビット ライトするときは、必ず 0 を書き込んでください。
6	EP3CLR	0	W	EP3 クリア EP3 の IN FIFO をクリアするとき 1 をライトします。0 ライトは無効で、何も行われません。
			R	EP3 FIFO クリアステータス ［セット条件］ EP3 の FIFO を FCLR レジスタで強制クリアした場合 1 がセットされます。本ビットが 1 セット中は EP3 の FIFO に対して一切のアクセスを行わないでください。本ビットは内部で FIFO クリアが完了すると自動的に 0 クリアされます。本ビットが 0 クリアされたことを確認後、最低 4 サイクル期間待ってから EP3 にアクセスしてください。 ［クリア条件］ステータスビットのため、クリアはできません。
5	EP2CLR	0	W	EP2 クリア EP2 の IN FIFO をクリアするとき 1 をライトします。0 ライトは無効で、何も行われません。
			R	EP2 FIFO クリアステータス ［セット条件］ EP2 の FIFO を FCLR レジスタで強制クリアした場合に 1 がセットされます。本ビットが 1 セット中は EP2 の FIFO に対して一切のアクセスを行わないでください。本ビットは内部で FIFO クリアが完了すると自動的に 0 クリアされます。本ビットが 0 クリアされたことを確認後、最低 4 サイクル期間待ってから EP2 にアクセスしてください。 ［クリア条件］ステータスビットのため、クリアはできません。
4	EP1CLR	0	W	EP1 クリア EP1 の OUT FIFO をクリアするとき 1 をライトします。0 ライトは無効で、何も行われません。
3 2	－ －	0 0	W W	リザーブビット ライトするときは、必ず 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説　　明
1	EP0oCLR	0	W	EP0o クリア EP0o の OUT FIFO をクリアするとき 1 をライトします。0 ライトは無効で、何も行われません。
0	EP0iCLR	0	W	EP0i クリア EP0i の IN FIFO をクリアするとき 1 をライトします。0 ライトは無効で、何も行われません。
			R	EP0i FIFO クリアステータス ［セット条件］ EP0i の FIFO を FCLR レジスタで強制クリアした場合に 1 がセットされます。本ビットが 1 セット中は EP0i の FIFO に対して一切のアクセスを行わないでください。本ビットは内部で FIFO クリアが完了すると自動的に 0 クリアされます。本ビットが 0 クリアされたことを確認後、最低 4 サイクル期間待ってから EP0i にアクセスしてください。 ［クリア条件］ステータスビットのため、クリアはできません。

12.3.17　エンドポイントストールレジスタ 0（EPSTL0）

各エンドポイントをストールさせるレジスタです。1 をライトすると、次のデータ転送から 1 にセットされたエンドポイントは、ホストに対してストールハンドシェークを返します。エンドポイント 0 に対するストールビットは、ファンクションでリクエストデコードを行う 8 バイトのデータ受信時に自動的に解除され、EP0 STL ビットは 0 クリアされます。また、IFR0/SETUP TS フラグが 1 にセットされている場合、EP0 STL ビットへの 1 ライトは無視されます。詳細は、「12.5.8　ストール動作」を参照してください。

また、CTRL/ASCE=1 のとき、EPxSTL（x＝0、1、2、3）ビットは自動クリアされます。詳細は「12.3.19 コントロールレジスタ（CTRL）」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
31～4	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
3	EP3STL	0	R/W	EP3 ストール EP3 をストールに設定する。
2	EP2STL	0	R/W	EP2 ストール EP2 をストールに設定する。
1	EP1STL	0	R/W	EP1 ストール EP1 をストールに設定する。
0	EP0STL	0	R/W	EP0 ストール EP0 をストールに設定する。

12.3.18　DMA 設定レジスタ 0（DMA0）

エンドポイント 1 およびエンドポイント 2 のデータレジスタに対して DMAC のデュアルアドレス転送を使用する場合に設定します。

エンドポイント 1 の場合について説明します。EP1 DMAE に 1 ライトを行うと、EP1 の FIFO が 1 面以上フルになったとき DMAC に対して転送要求を行います。すなわち、有効な受信データが FIFO 内に存在する場合、DMAC に対して転送要求を行います。すべての受信データをリードし、2 面とも FIFO がエンプティになると、DMAC に対して転送要求を取り下げます。

エンドポイント 2 の場合について説明します。EP2 DMAE に 1 ライトを行うと、EP2 の FIFO が 1 面でもエンプティのとき DMAC に対して転送要求を行います。すなわち、1 面でも FIFO 内に有効なデータがない場合、DMAC に対して転送要求を行います。マイコンからデータをライトし、2 面とも FIFO が一杯になると、DMAC に対して転送要求を取り下げます。

このとき、割り込み要求は自動的にマスクされないため、IER0/EP1 FULL ビットおよび IER0/EP2 EMPTY ビットを 0 にして、割り込み端子から割り込み要求が行われないようにしてください。

ビット	ビット名	初期値	R/W	説　　明
31～2	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
1	EP2DMAE	0	R/W	EP2 DMA 許可 EP2 に対する DMA 転送を許可します。
0	EP1DMAE	0	R/W	EP1 DMA 許可 EP1 に対する DMA 転送を許可します。

12.3.19　コントロールレジスタ（CTRL）

CTRL は USB モジュールを制御するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
31～2	－	0	R	リザーブビット ライトするときは、必ず 0 を書き込んでください。
1	ASCE	0	R/W	自動ストールクリアイネーブル ASCE を 1 にセットすると、ストールハンドシェークをホストに返信した後、返信したエンドポイントのストール設定ビット（EPSTL0/EPxSTL（x＝0、1、2、3））を自動的にクリアします。自動ストールクリアイネーブルは全エンドポイント共通です。エンドポイントごとの個別制御はできません。ASCE=0 のときは、自動的にクリアされません。ユーザーが解除する必要があります。 なお、本ビットをイネーブルにする場合は、必ず EPSTL0/EPxSTL（x＝0、1、2、3）ビットの 1 セットより先に ASCE=1 セットを行ってください。
0	PULLUPE	0	R/W	PULLUP イネーブル UTMI 準拠 PHY のプルアップをコントロールするビットです。1 をライトすると PHY に対してプルアップを許可します。

12.3.20　ポートファンクションコントロールレジスタ 3（PFCR3）

PFCR3 は、USB のソフトウェアリセット、サスペンド復帰の制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	SUSRIF	0	R/W	サスペンド復帰割り込みフラグ 動作の詳細については「12.7.2　サスペンドモードでソフトウェアスタンバイする場合」を参照してください。
6	SUSRIE	0	R/W	サスペンド復帰割り込みイネーブル 動作の詳細については「12.7.2　サスペンドモードでソフトウェアスタンバイする場合」を参照してください。
5～1	－	0	R/W	リザーブビット リード/ライトできますが、ライトするときは 0 をライトしてください。
0	USBSWRST	0	R/W	USB モジュールソフトウェアリセット 1 にセットしている間、USB モジュールはリセット状態となります。

12.3.21　USB サスペンドステータスレジスタ（USBSUSP）

USBSUSP は、USB の状態、USB サスペンド割り込み要求の許可／禁止などを指定します。USBSUSP は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　　明
7	USUSMONI	0	R*[1]	USB サスペンドモニタ USB が通常またはサスペンド状態にあることを示すモニタビットです。 リードのみでライトは無効です。 0：USB が通常状態であることを示します 1：USB がサスペンド状態であることを示します
6	USUSFG	0	R/(W)*[2]	USB サスペンド割り込み（USBI2）フラグ USB が通常の状態からサスペンド状態に遷移したことを示すステータスフラグです。 [クリア条件] USUSFG=1 の状態で、USUSFG リード後、USUSFG に 0 をライトしたとき [セット条件] USB が通常の状態からサスペンド状態に遷移したとき
5	USUSFGE	0	R/W	USB サスペンド割り込み（USBI2）イネーブル CPU に対して USB サスペンド割り込み（USBI2）要求の許可/禁止を設定します。 0：USB サスペンド割り込み（USBI2）要求禁止 1：USB サスペンド割り込み（USBI2）要求許可

ビット	ビット名	初期値	R/W	説　　明
4	USUSOUT	0	R/W	USB サスペンドアウトプットイネーブル USB がサスペンド状態に遷移したとき、外部トランシーバに対してサスペンド状態通知の許可/禁止を設定します。 0：USB がサスペンド状態であることを本 LSI 外部に通知しません。常に外部端子 $\overline{\text{USSUSP}}$＝1 です 1：USB がサスペンド状態であることを本 LSI 外部に通知します。USB がサスペンド状態にある場合、外部端子 $\overline{\text{USSUSP}}$＝0 になります
3～0	－	0	R/W	リザーブビット 初期値を変更しないでください。

【注】　*1　ライトは無効です。

*2　フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

12.4　割り込み端子

USB モジュールは 2 本の割り込み要因を持っています。各割り込みフラグと割り込み要因（USBI1、USBI0）の対応は割り込み選択レジスタを使用して設定を行います。基本的には、1 本の割り込み要因のみですべての処理が可能です。特に応答を速くしたい割り込み要因がある場合、2 本目の割り込み要因を使用して優先順位を付けることができます。

USB モジュールの割り込み要因の内、エンドポイント 0 に関係する割り込み要因（IFR0/ビット 3～0）は、必ず同一の割り込み要因に割り当ててください。

12.4.1　USBI0 割り込み

割り込み選択レジスタで 0 がセットされた割り込み要因に対する割り込み要求です。USBI0 に割り当てられた割り込み要因の内、1 つでも該当する割り込みフラグレジスタのビットが 1 セットされた場合、割り込み要求が行われます。

12.4.2　USBI1 割り込み

割り込み選択レジスタで 1 がセットされた割り込み要因に対する割り込み要求です。USBI1 に割り当てられた割り込み要因の内、1 つでも該当する割り込みフラグレジスタのビットが 1 セットされた場合、割り込み要求が行われます。

12.5　通信動作説明

12.5.1　USB ケーブル接続時

USB ケーブルが切断状態から接続状態になった場合、USB モジュールに対して図 12.2 の操作を行います。

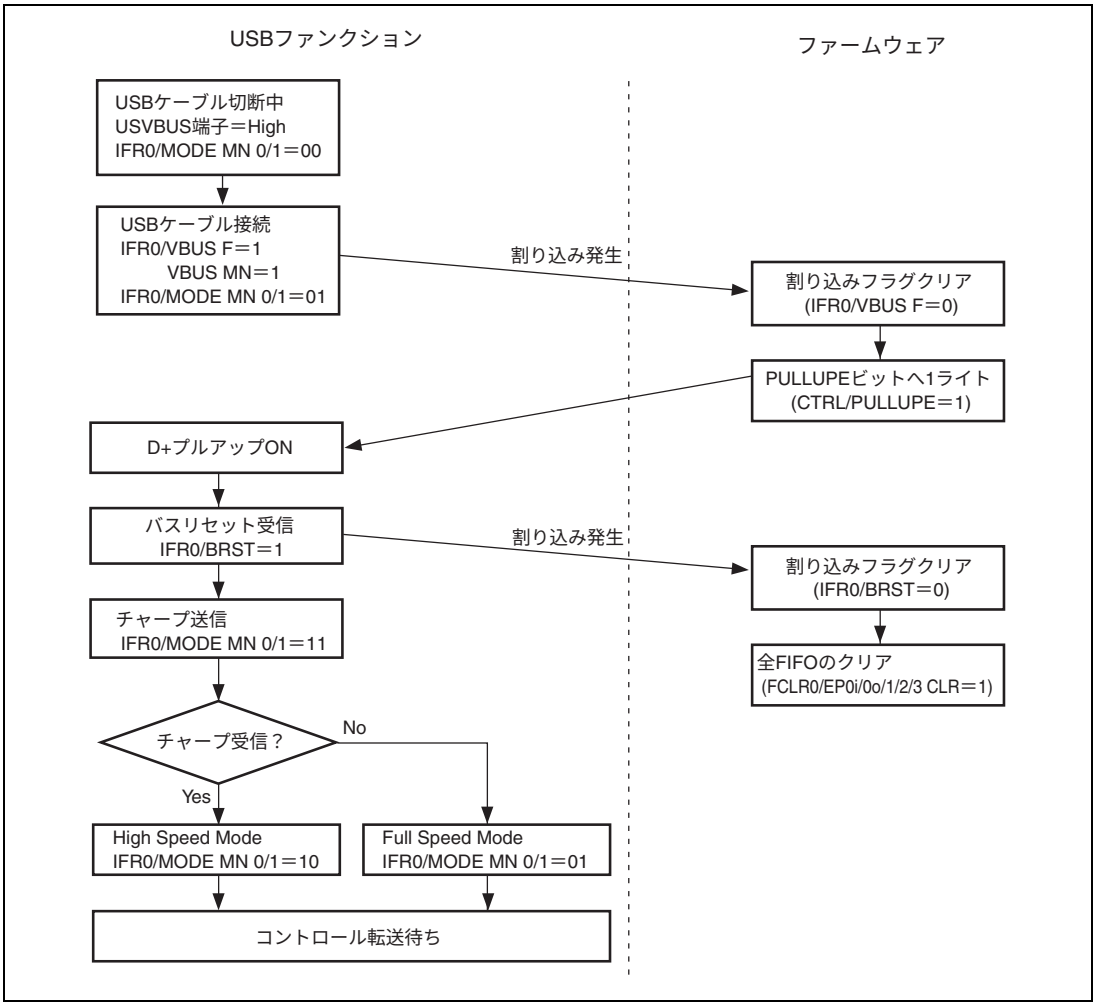


図 12.2　ケーブル接続時

図 12.2 には記載しておりませんが、IER0/MODE F ビット＝1 のとき、IFR0/MODE MN0、MODE MN1 ビットが変化すると割り込みが発生します。本割り込みで、バルク Max Packet Size および Descriptor 情報を管理することができます。

12.5.2　ケーブル切断時

USB ケーブルが接続状態から切断状態になった場合、USB モジュールに対して図 12.3 の操作を行います。

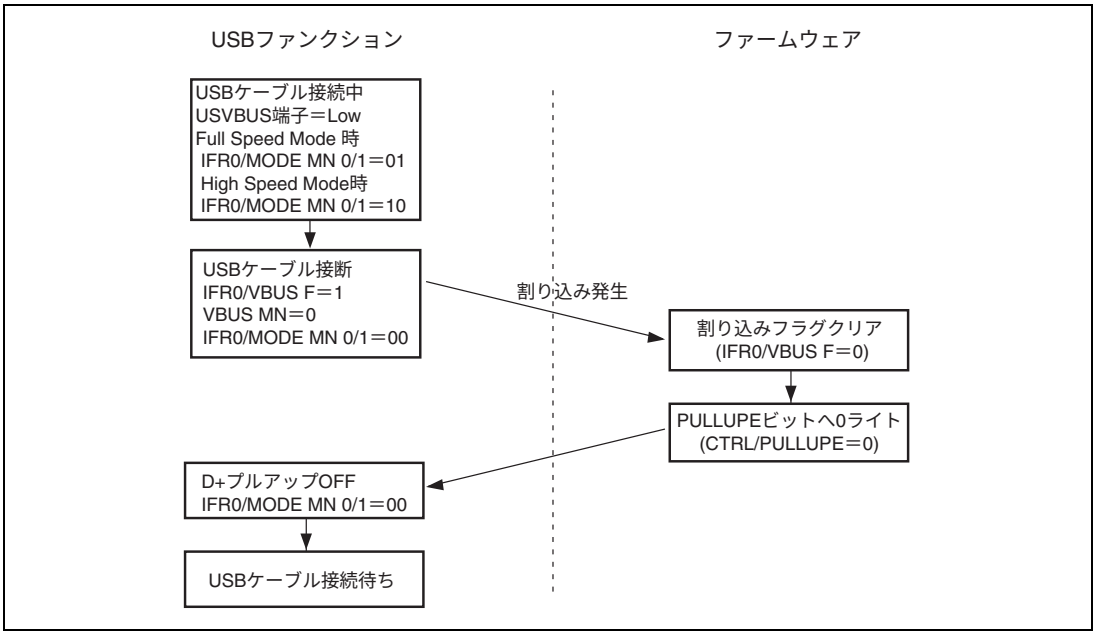


図 12.3　USB ケーブル切断時

図 12.3 には記載しておりませんが、IER0/MODE F ビット＝1 のとき、IFR0/MODE MN0、MODE MN1 ビットが変化すると割り込みが発生します。

12.5.3　コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの 3 つのステージ（図 12.4）で構成されます。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

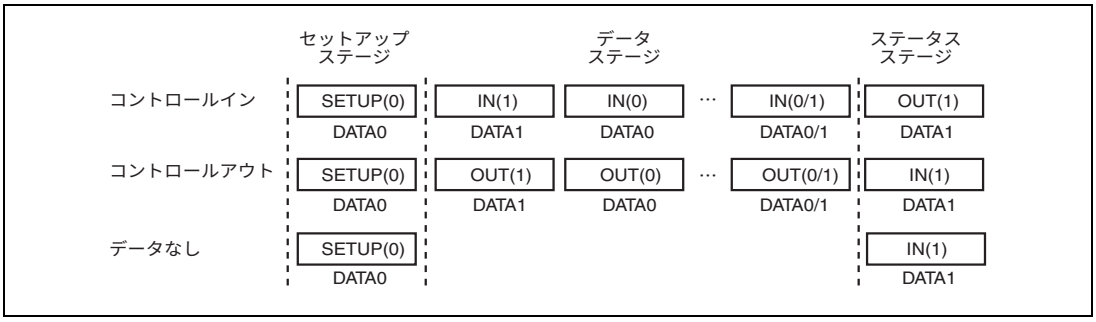
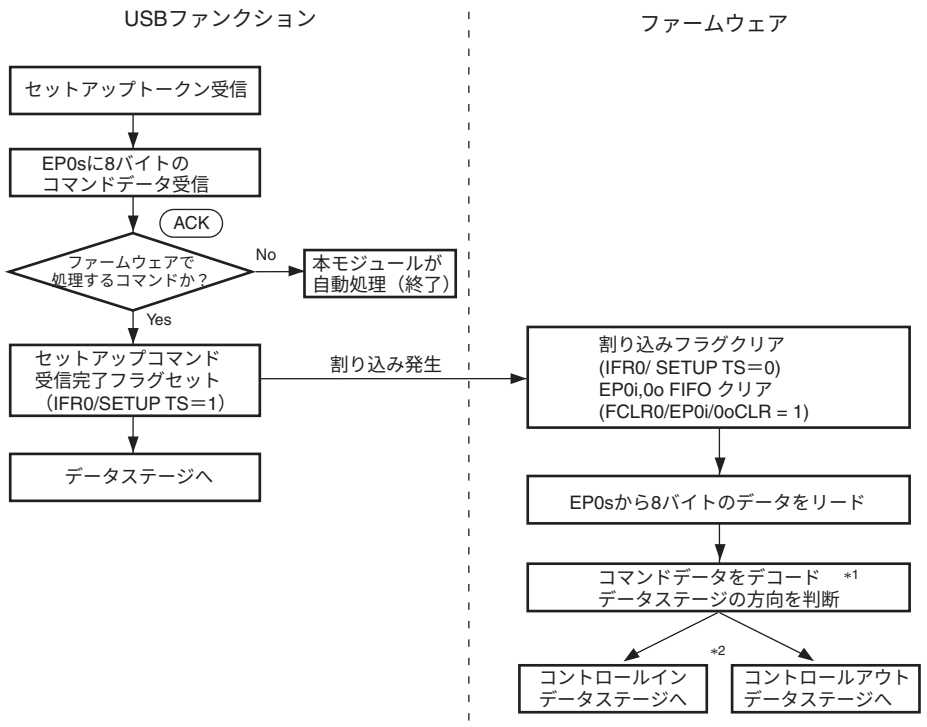


図 12.4　コントロール転送における各転送ステージ

（1）　セットアップステージ



【注】 *1 アプリケーションは、セットアップステージにおいて、アプリケーションで処理する必要のあるホストからのリクエストデータを解析し、その後の処理方法を決定します（例えば、データステージの方向など）。

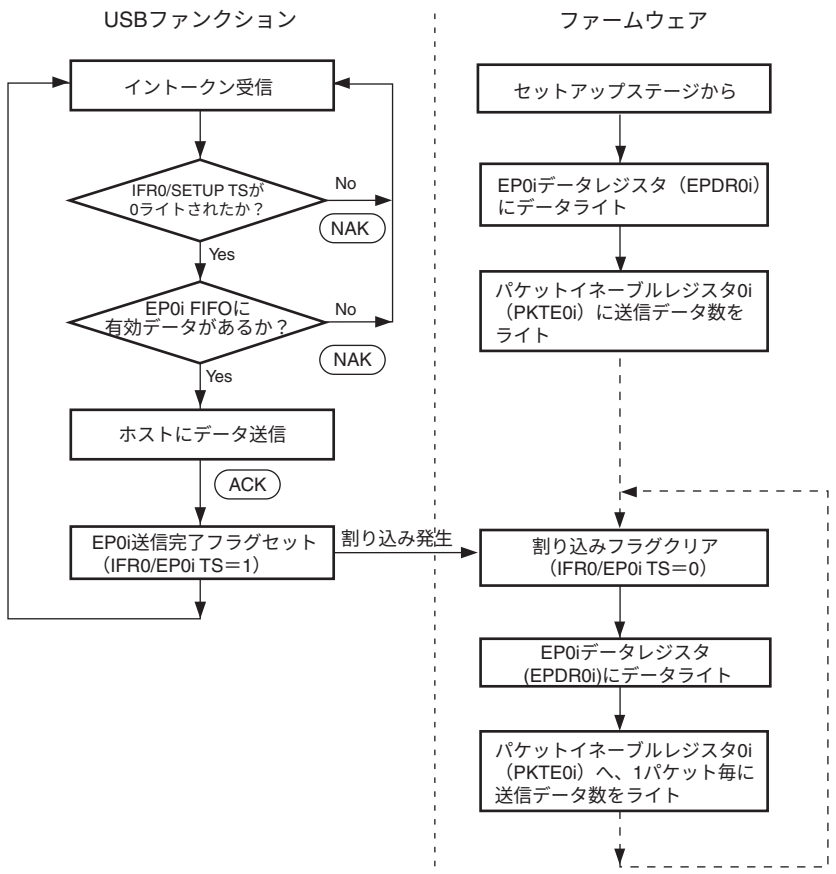
*2 転送方向がコントロールアウトの場合は、ここで、ステータスステージで必要となる、EP0i転送リクエスト割り込みを有効にしてください。また、コントロールインの場合には、この割り込みは使用しませんので無効にしておいてください。

図 12.5　セットアップステージの動作

（2） データステージ（コントロールイン時）

アプリケーションは、まずセットアップステージにおいて、ホストからのリクエストデータを解析し、その後のデータステージの方向を判断します。リクエストデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの 1 パケット分を FIFO に書き込みます。更に送りたいデータがある場合、最初に書き込んだデータがホストに送られた後（IFR0/EP0i TS=1）、FIFO にデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。



【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0レングスパケットを送信して、データステージの最後を示します。

図 12.6　データステージ（コントロールイン時）の動作

（3） データステージ（コントロールアウト時）

アプリケーションは、まずセットアップステージにおいて、ホストからのリクエストデータを解析し、その後のデータステージの方向を判断します。リクエストデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後（IFR0/EP0o TS=1）、FIFO からデータを読み出します。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

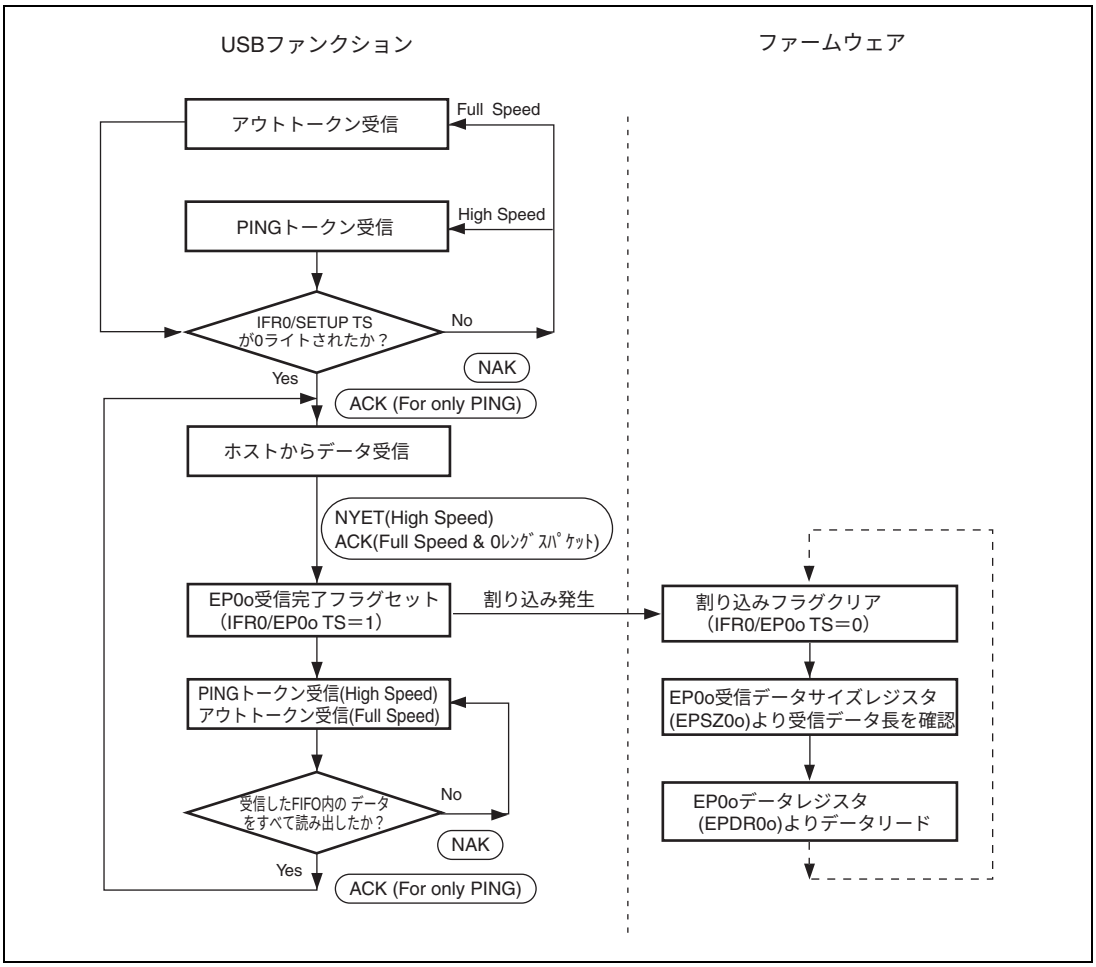


図 12.7　データステージ（コントロールアウト時）の動作

（4） ステータスステージ（コントロールイン時）

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの 0 レングスパケットを受信して、コントロール転送を終了します。

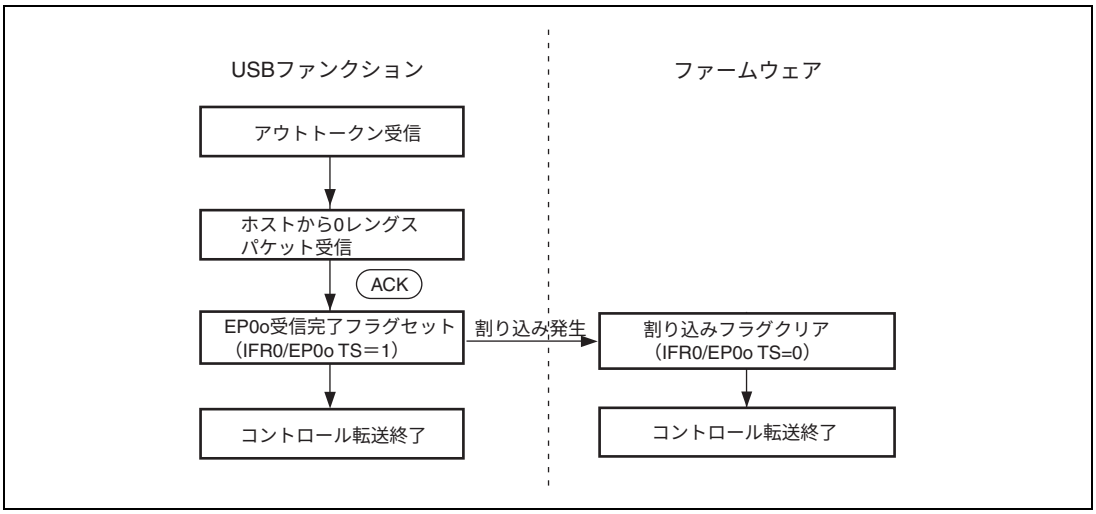


図 12.8　ステータスステージ（コントロールイン時）の動作

（5） ステータスステージ（コントロールアウト時）

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、パケットイネーブルレジスタ 0i に 0 ライトします。これにより、次のイントークンでホストに 0 レングスパケットが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージに関わる処理をすべて終了した後、パケットイネーブルレジスタ 0i に 0 ライトしてください。

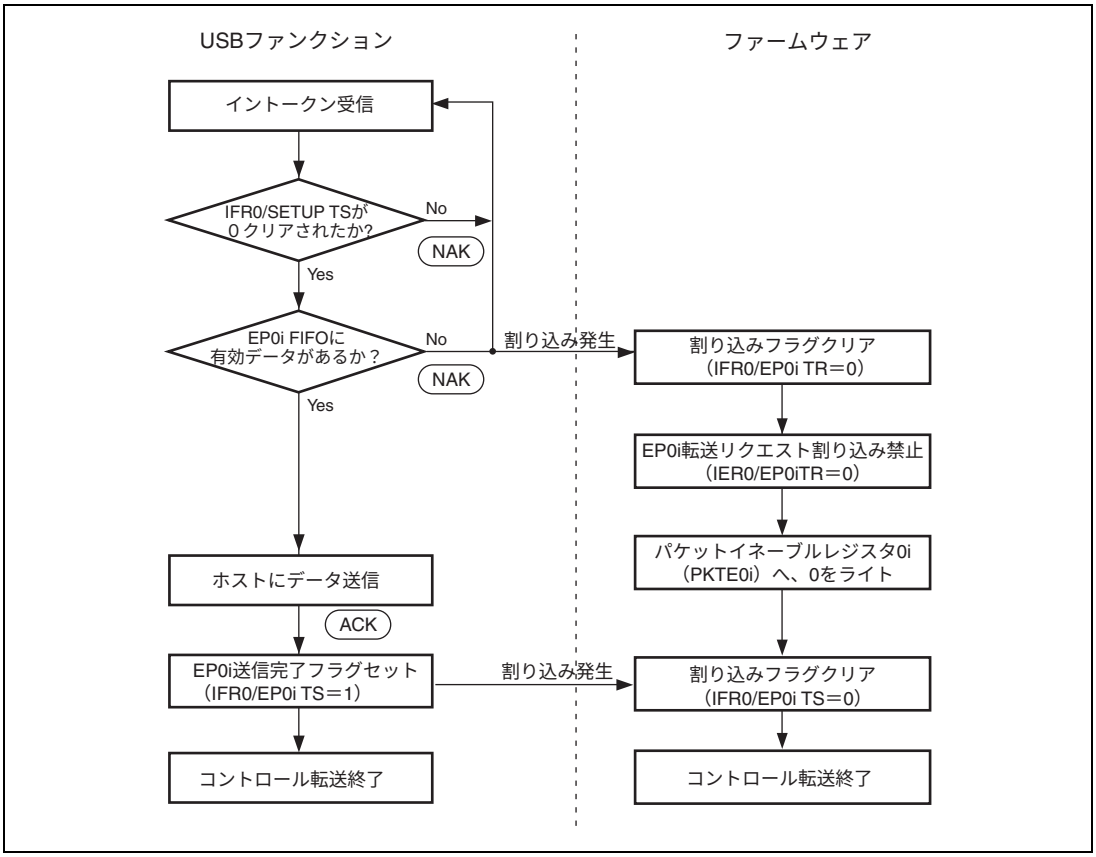


図 12.9　ステータスステージ（コントロールアウト時）の動作

12.5.4　EP1 バルクアウト転送（2 面 FIFO）

EP1 は Full Speed Mode 64 バイト/High Speed Mode 512 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。また、1 面分のデータリードを行う前に、必ず IFR0 の EP1 FULL ビット＝1 を確認してください。

FIFO が 1 面でも受信完了すると、IFR0/EP1 FULL ビットがセットされます。FIFO が 2 面ともエンプティの状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面ともフルになった場合、ホストには自動的に NAK が返信されます。データ受信後、各パケットごとの受信データをすべてリードし終えると、その FIFO がエンプティになり、次のパケットを受信可能な状態になります。0 レングスパケットのデータをホストより受信すると、Full/High Speed に関わらず、ACK ハンドシェークをホストへ返信し、IFR0/EP1 FULL ビットはセットされません。

【注】　2 面 FIFO バッファはパケット単位で使用されます。したがってショートパケット等で 1 面分の FIFO バッファに余りがあっても正常に受信完了した場合は FIFO がフルになります。

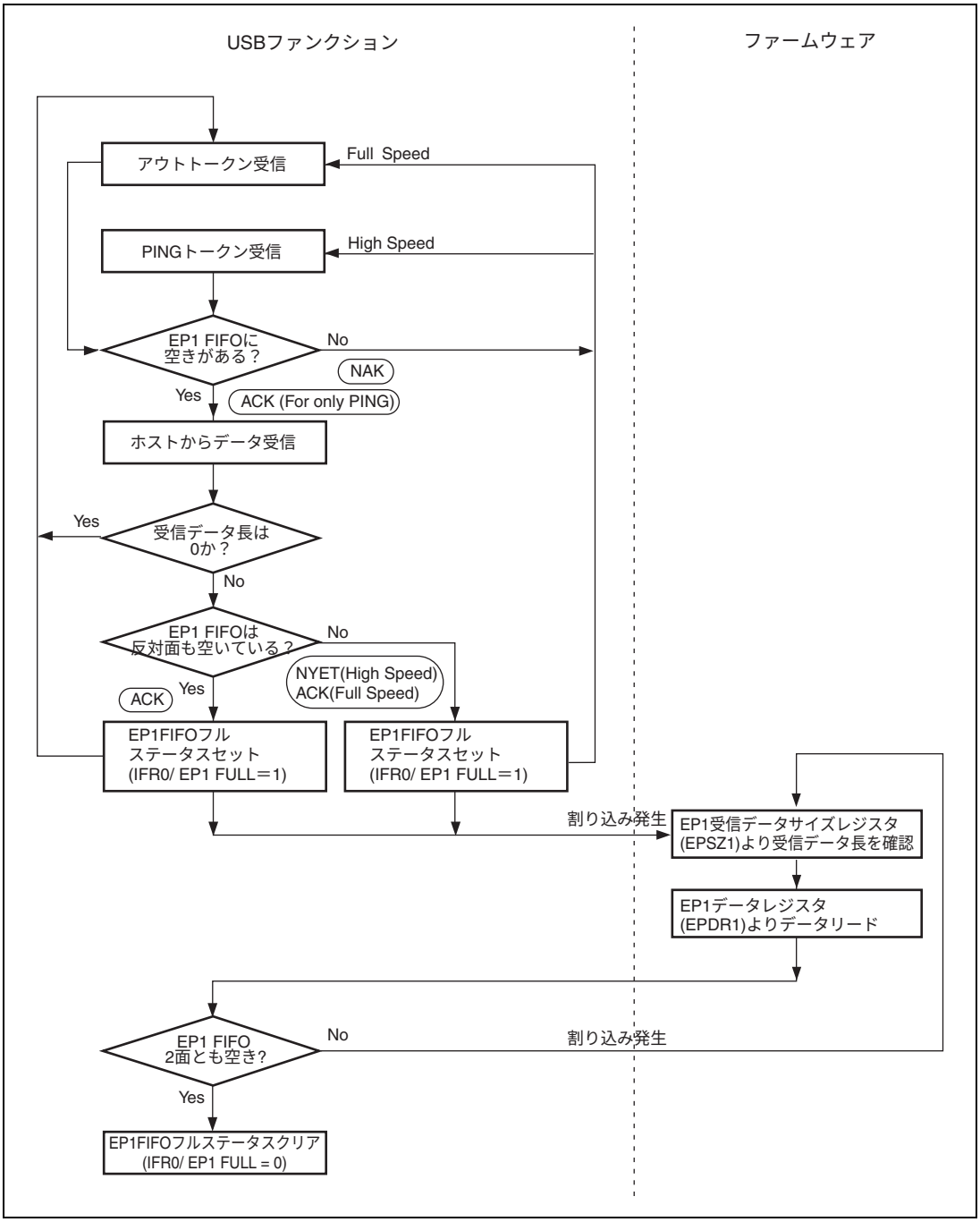


図 12.10　EP1 バルクアウト転送の動作

12.5.5　EP2 バルクイン転送（2 面 FIFO）

EP2 は Full Speed Mode 64 バイト/High Speed Mode 512 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。例えば、2 面とも FIFO がエンプティの場合でも、連続して Full Speed Mode 128 バイト/High Speed Mode 1024 バイトデータをライト後、まとめて PKTE2 へ送信データ数をライトすることはできません。必ず Full Speed Mode 64 バイト/High Speed Mode 512 バイトのライトごとに PKTE2 へ送信データ数をライトしてください。また、データライトを始める前に、必ず IFR0 の EP2 EMPTY ビット＝1 を確認してください。

バルクイン転送を行いたい場合、まず IER0/EP2 EMPTY に 1 ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2 の 2 面の FIFO は共にエンプティになっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面ともフルになった場合、EP2 EMPTY が 0 になります。1 面でもエンプティであれば IFR0/EP2 EMPTY が 1 にセットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO がエンプティになります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、IER0/EP2 EMPTY に 0 ライトを行い、割り込み要求を禁止にしてください。

【注】　2 面 FIFO バッファはパケット単位で使用されます。したがってショートパケット等で 1 面分の FIFO バッファに余りがあってもパケットイネーブルレジスタ 2（PKTE2）に送信データ数をライトした場合は FIFO がエンプティではなくなります。

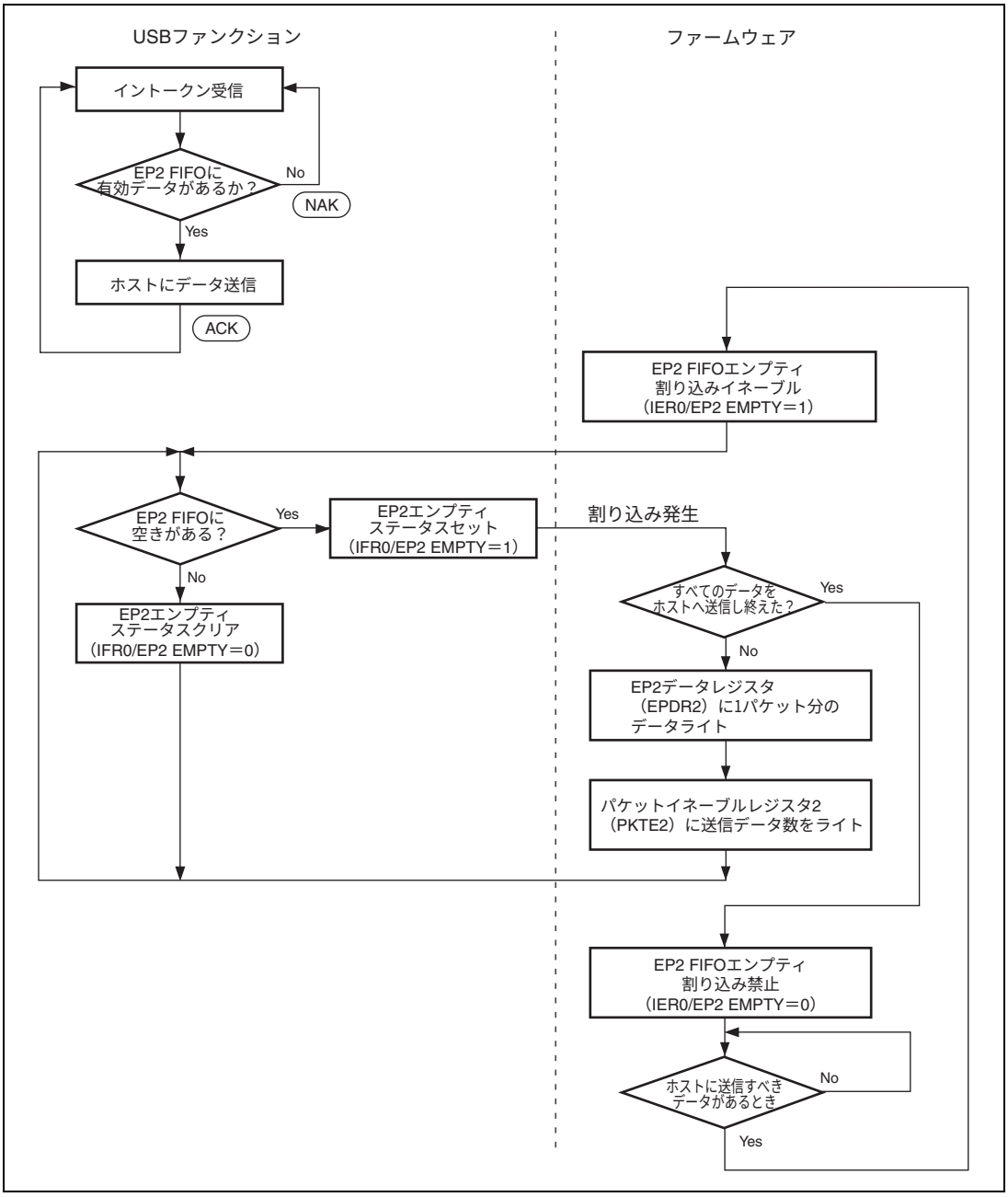
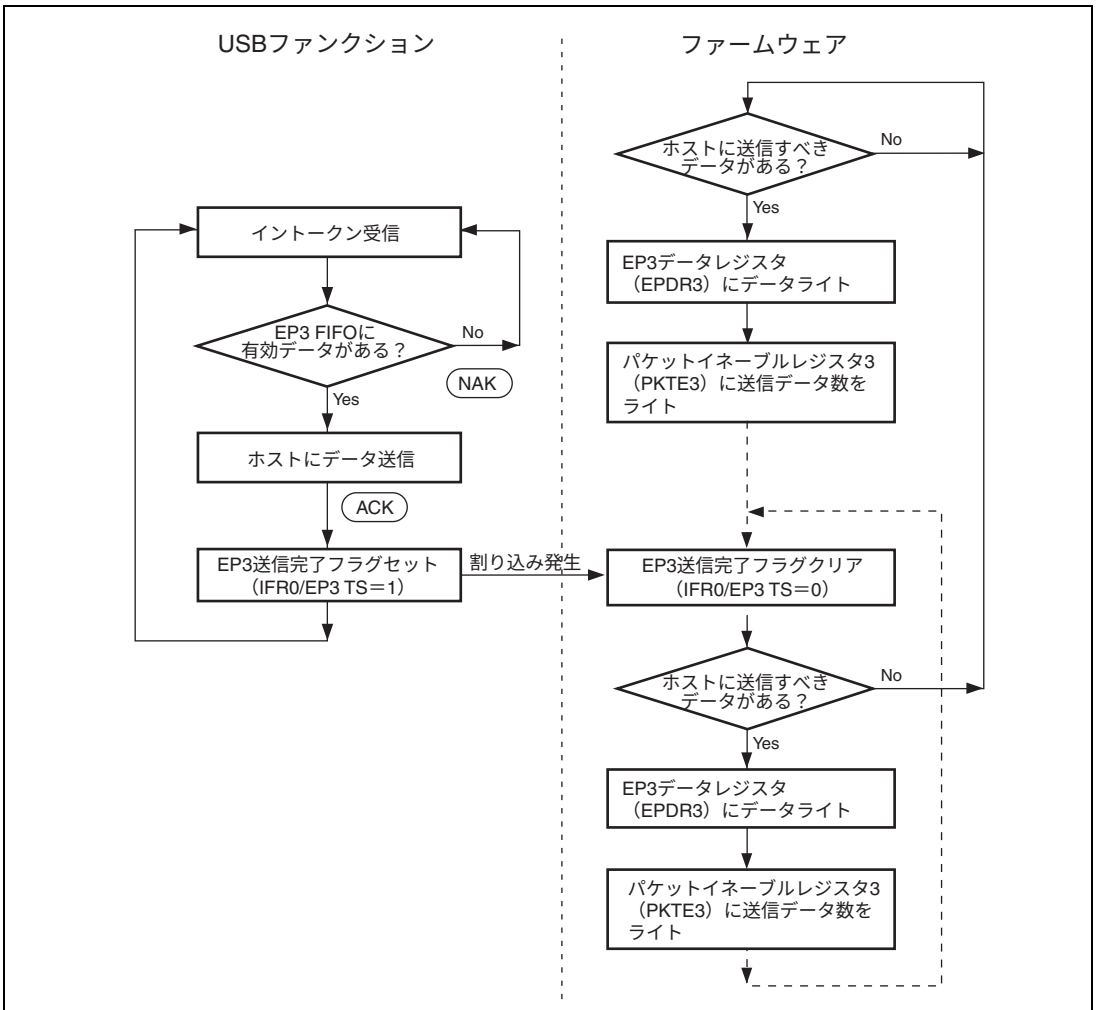


図 12.11　EP2 バルクイン転送の動作

12.5.6　EP3 インタラプトイン転送



【注】 本フローは、インタラプト転送処理の一例です。送信すべきデータがあった場合、データステータスレジスタ0（DASTS0）のEP3DEビットを参照して、FIFOの空きを確認し、FIFOにデータをライトするフローなども考えられます。

図 12.12　EP3 インタラプトイン転送の動作

12.5.7　USB 標準リクエストとクラス／ベンダーリクエストの処理

（1）コントロール転送で送信されるリクエストの処理

コントロール転送でホストから送信されてくるリクエストによっては、アプリケーション側でデコードを行いリクエストの処理を行う必要があります。以下の表 12.2 にアプリケーション側でのリクエストデコードについて示します。

表 12.2　アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要なし	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Synch Frame
Get Interface	Set Descriptor
Get Status	Class/Vendor リクエスト
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、リクエストデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、USB モジュールはリクエストを EP0s の FIFO に保存します。正常受信完了後、IER0/SETUPTS フラグがセットされ、割り込み要求が行われます。この割り込みルーチンの中で EP0s のデータレジスタ（EPDR0s）より 8 バイトのデータをリードし、アプリケーション側でデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

12.5.8　ストール動作

USB モジュールのストール動作には、次の 2 つの場合があります。

1. アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合
2. USBの規格違反によってUSBモジュール内部で自動的にストールする場合

USB モジュール内には、各エンドポイントの状態（ストールか否か）を保持する内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照して、ホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合は、ホストから Clear Feature リクエストを使ってクリアしてください。ただし、EP0 に対する内部状態ビットはセットアップリクエスト受信時のみ自動的にクリアされます。

（1） アプリケーションが強制的にストールさせたい場合

アプリケーションが USB モジュールに対してストールを要求する場合、EPSTL0 レジスタを使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、EPSTL0 の該当ビットをセットします（図 12.13（1-1）参照）。このとき内部状態ビットは変化しません。

次に、ホストから EPSTL0 の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、USB モジュールは内部状態ビットを参照し、セットされていなければ EPSTL0 の該当ビットを参照します（図 12.13（1-2））。ここで、EPSTL0 の該当ビットがセットされていれば、USB モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェークを返します（図 12.13（1-3））。EPSTL0 の該当ビットがセットされていなければ、内部状態ビットは変化せず、トランザクションが受け付けられます。

一度、内部状態ビットがセットされた後は、EPSTL0 に関係なく、ホストから Clear Feature リクエストでクリアされるまで内部状態ビットは保持されます。Clear Feature リクエストで該当ビットがクリアされても（図 12.13（3-1））、EPSTL0 のビットがセットされている間は該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、USB モジュールはストールハンドシェークを返します（図 12.13（1-2））。したがって、ストールを解除するには EPSTL0 の該当ビットをアプリケーションでクリアし、さらに Clear Feature リクエストで内部状態ビットをクリアする必要があります（図 12.13（2-1）（2-2）（2-3））。

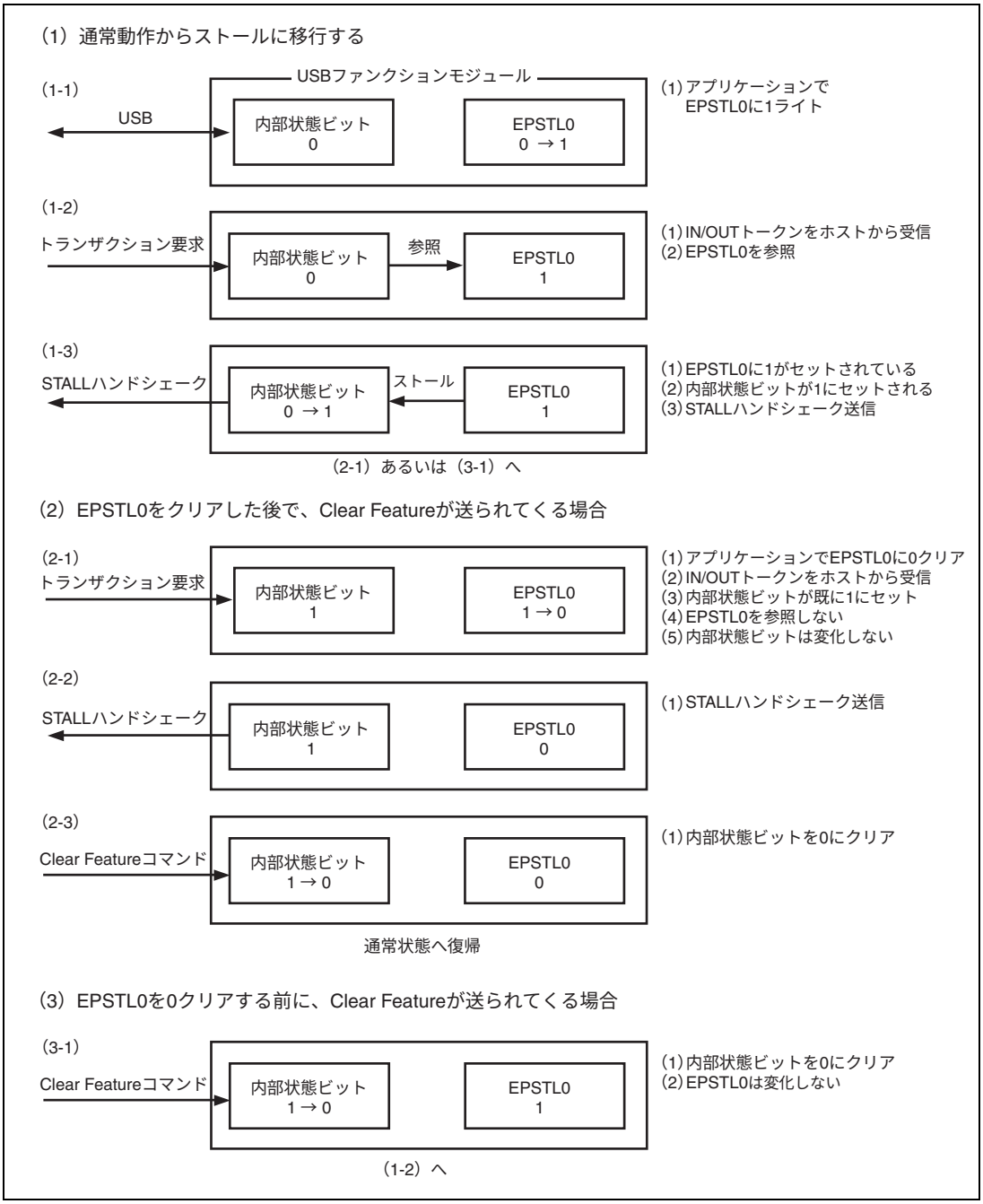


図 12.13　アプリケーションで強制的にストールさせたい場合

（2） USB ファンクションモジュールが自動的にストールさせる場合

Set Feature リクエストでストール設定した場合、あるいは USB の規格違反があった場合は、EPSTL0 に関係なく USB モジュールが自動的に該当エンドポイントの内部状態ビットをセットしストールハンドシェークを返します（図 12.14（1-1））。

一度、内部状態ビットがセットされた後は、EPSTL0 に関係なく、ホストから Clear Feature リクエストでクリアされるまで内部状態ビットは保持されます。Clear Feature リクエストで該当ビットがクリアされた後は、EPSTL0 を参照するようになります（図 12.14（3-1））。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても内部状態ビットがセットされているため、USB モジュールはストールハンドシェークを返します（図 12.14（2-1）（2-2））。したがって、ストールを解除するには、Clear Feature リクエストで内部状態ビットをクリアする必要があります（図 12.14（3-1））。もし、アプリケーションによって EPSTL0 をセットしている場合は、EPSTL0 もクリアしてください（図 12.14（2-1））。

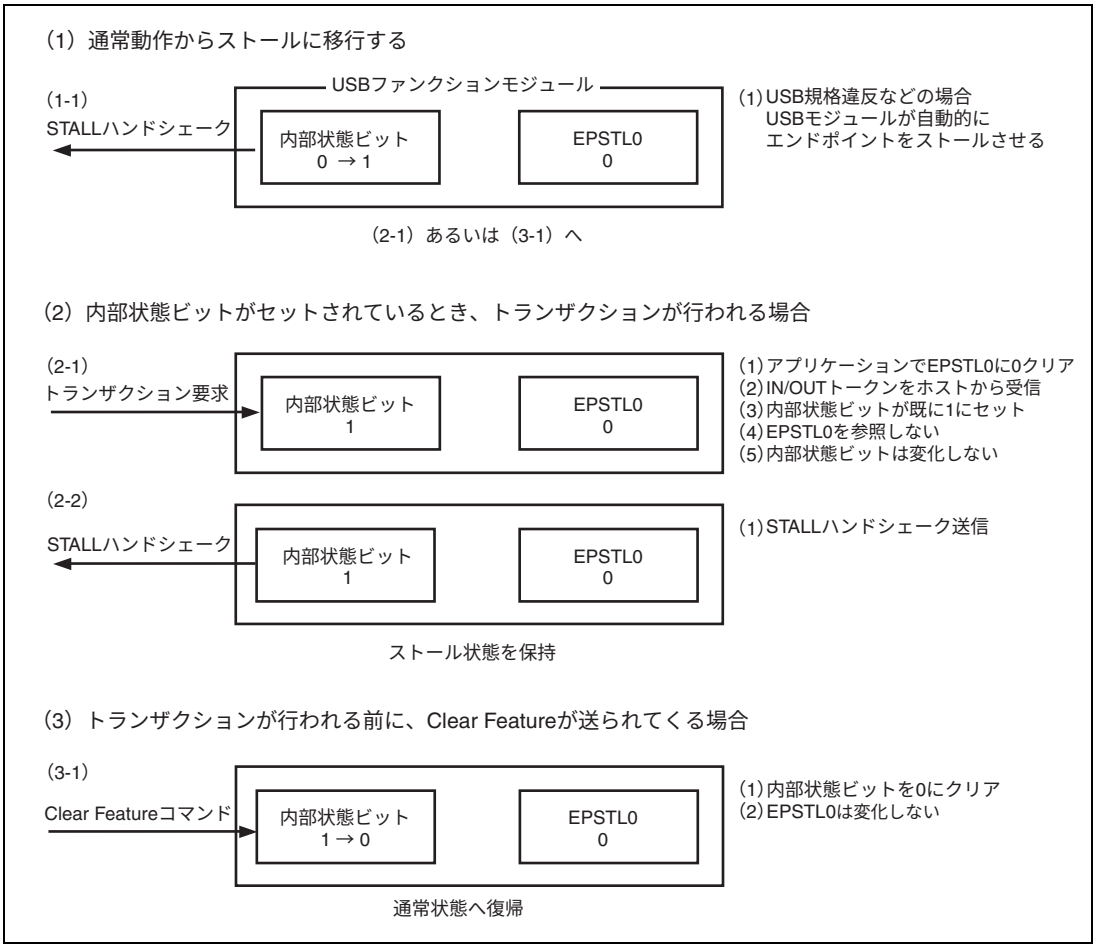


図 12.14　USB ファンクションモジュールが自動的にストールさせた場合

12.5.9　ツリー構造

USB モジュールのツリー構造について説明します。USB では、Configuration、Interface、Alternate という 3 つのパラメータを使用してフ USB モジュール内のツリー構造を決定します。USB モジュールは表 12.3 に示すツリー構造になっています。

表 12.3　ツリー構造

EP 番号	Conf.	Int.	Alt.	転送方式	転送方向
0	-	-	-	Control	In/Out
1	1	0	0	Bulk	Out
2	1	0	0	Bulk	In
3	1	0	0	Interrupt	In

12.5.10　電源仕様

USB モジュールは自己電源ファンクションです。USB ケーブルから給電するバス電源は使用できません。

12.6　DMA 使用上の注意事項

（1） PKTE2 の動作（EP2）

EP2 の送信データを DMA 転送で転送する場合、1 面分のデータ FIFO（最大パケットサイズ）がフルになると、自動的に PKTE2 に送信データ数をライトすることと同じ処理がモジュール内部で行われます。したがって、転送するデータが最大パケットサイズの倍数の場合は、ユーザは PKTE2 に送信データ数をライトする処理は必要ありません。それ以外の場合は、最大パケットサイズに満たない最後のデータのみユーザーが PKTE2 を行う必要があります。この処理は、DMAC の DMA 転送終了割り込み等で行ってください。なお、最大パケットサイズに満たないデータ転送以外でユーザが PKTE2 に送信データ数ライトを行うと、余分に処理を行うことになり、正常に動作できません。

例として、1050 バイトのデータを High Speed モードでホストに送信する場合を考えます。この場合、図 12.15 の 2 箇所で自動的に PKTE2 と同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータがフルになったとき行われるため、最大パケットサイズのデータを転送したときのみ自動で処理されます。最大パケットサイズ以下のデータを送信した場合は、自動で行われません。

また、例では、最初の 512 バイトと 512 バイトの DMA 転送が終了した段階で、最初の 512 バイトのデータがホストに送信完了されていない場合、DMA 要求は行われません。転送完了されている場合は、1 面分 FIFO に空きがあるため、引き続き DMA 要求が行われます。

次に最後の 26 バイトを転送完了したとき、アプリケーション側には既に転送するデータはありませんが、USB モジュールは FIFO に空きがある限り DMA 要求を行います。したがって、すべてのデータを DMA で転送完了した場合、DMA0/EP2DMAE ビットに 0 ライトを行って DMA イネーブルをクリアしてください。また、その際に DMAC がオーバーサンプリングを行わないように注意してください。一般的に、送信データ数を DMAC の転送回数に設定し、DMAC 転送終了割り込みで最大パケットサイズに満たない最後のデータ数を PKTE2 にライトします。なお、送信データ数が最大パケットサイズの倍数の場合（例えば 1024 バイトや 2048 バイトなど）は、最後のデータに対しても自動で PKTE2 の操作が行われます。したがって、この場合は DMAC 転送終了割り込み等でユーザーが PKTE2 のライトを行わないでください。もし、行った場合は正常に動作できません。

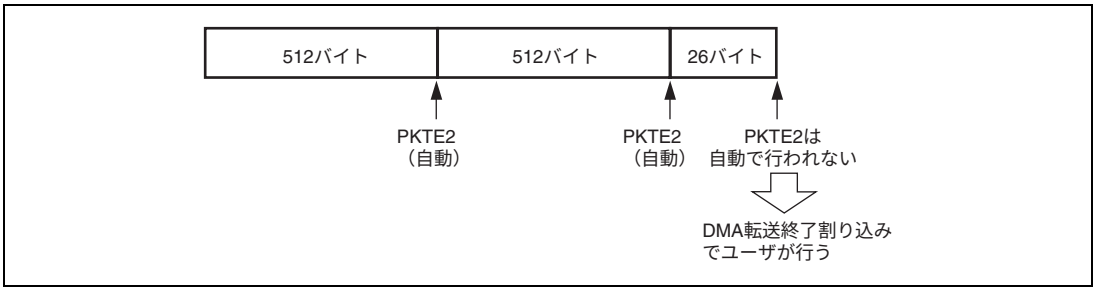


図 12.15　EP2/PKTE2 の操作

12.7　USB サスペンドモードへの遷移

12.7.1　サスペンド信号の出力

一定時間 USB アイドルの時間が続くと、USB はサスペンド状態へ遷移します。本 LSI は、USB がサスペンド状態に遷移したとき、$\overline{\text{USSUSP}}$ 信号をロウアサートして、外部トランシーバに対して、サスペンド状態を通知することができます。

外部トランシーバは、$\overline{\text{USSUSP}}$ 信号を受け取ると、通常、クロックの発振を停止して低消費電力状態となります。このため、本 LISI に供給される、USB クロック入力 USCLK が停止します。USB モジュールが動作するには、外部トランシーバから供給される USCLK と、システムクロック（φ）の両クロックが供給される必要があります。したがって、USCLK が停止した状態では USB モジュールへのアクセスが起きない様にプログラミングする必要があります。

この制御のため、本 LSI には、USB モジュールがサスペンド状態に遷移／復帰したことを CPU に知らせる USB サスペンド割り込み（USBI2）と、外部 $\overline{\text{USSUSP}}$ 出力を制御するレジスタビット（USBSUSP の USUSOUT ビット）を備えています。

サスペンドモードへの遷移／復帰シーケンスを図 12.16、ならびに各時点における動作説明を（1）～（6）に示します。

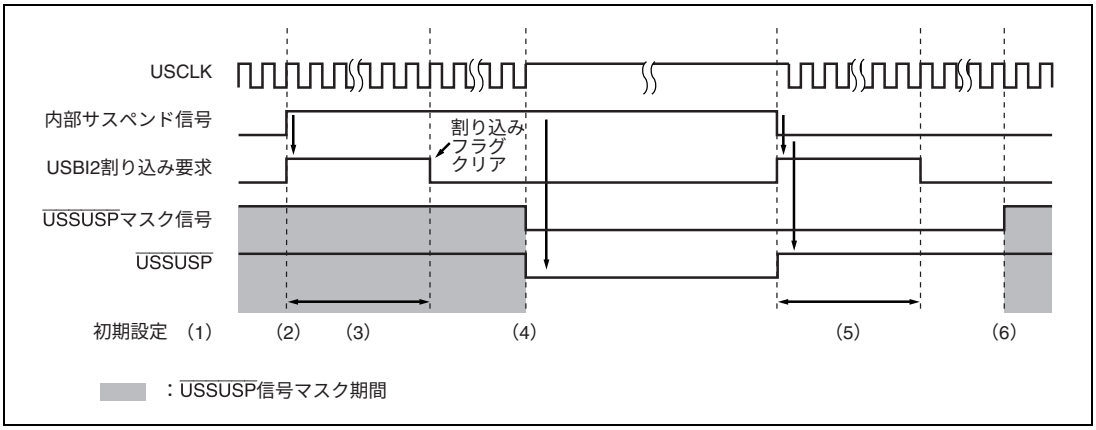


図 12.16　USB サスペンド状態への遷移／復帰シーケンス

（1） $\overline{\text{USBSUSP}}$ 出力マスク

USBSUSP の USUSOUT ビットを 0 にクリアすると、$\overline{\text{USSUSP}}$ 端子の出力がマスク（1 に固定）され、外部トランシーバへのサスペンド状態の通知を抑止します。

（2） USB モジュールがサスペンド状態へ遷移

USB アイドル状態が一定時間以上続くと、USB モジュールは内部サスペンド信号をアサートし、サスペンド状態へ遷移します。このとき、USBSUSP の USUSOUT ビットにより、$\overline{\text{USSUSP}}$ 出力がマスクされているため、まだ外部端子 $\overline{\text{USSUSP}}$ は変化しません。

（3） USB サスペンド割り込み（USBI2）

USBSUSP の USUSFGE ビットに 1 をセットすると、USB モジュールの内部サスペンド信号が変化したときに、CPU に対して割り込み（USBI2）を要求することができます。

初期設定として USBSUSP の USUSFG ビット（割り込みフラグ）を 0 にクリアし、次に USBSUSP の USUSFGE ビットを 1 にセットしてください。

USBI2 割り込み要求は、USB モジュールの内部サスペンド信号の変化点で起こります。割り込みルーチン内で割り込みフラグをクリアした後、USBSUSP の USUSMONI ビットをモニタして、その割り込みが、サスペンド状態への遷移によるものであることを確認してください。なお、「通常モード→サスペンドモード→通常モード」のように、変化した場合も割り込みがかかります。

（4） サスペンド信号出力マスク解除

割り込み処理ルーチン内で、CPU ならびに DMAC による USB モジュールへのアクセスが起きない様に、DMAC を停止するなどの設定後、USBSUSP の USUSOUT ビットを 1 にセットします。$\overline{\text{USSUSP}}$ 端子がロウ出力となり、外部トランシーバからの USCLK 入力が停止します。

USCLK 停止後に CPU、DMAC 等で USB モジュールのレジスタへアクセスしないでください。

（5） USB サスペンド割り込み（USBI2）

USCLK 停止状態でも、USB バスの状態がサスペンド状態から復帰すると、USB モジュールの内部サスペンド信号はデアサート（ネゲート）されます。

USBI2 割り込み要求は、USB モジュールの内部サスペンド信号の変化点で起こるため、割り込みを有効にしておくと、内部サスペンド信号のデアサートでも CPU に対して割り込みが要求されます。

（6） サスペンド信号出力マスク

割り込み処理ルーチン内で、USBSUSP レジスタの USUSOUT ビットを 0 にクリアして、$\overline{\text{USSUSP}}$ 端子の出力をマスク（1 に固定）してください。

この後、CPU や DMAC で USB モジュールのレジスタへアクセスすることができます。

12.7.2　サスペンドモードでソフトウェアスタンバイする場合

USB がメインのアプリケーションでは、USB がサスペンドモードに遷移すると、本 LSI も低消費電力状態であるソフトウェアスタンバイモードに遷移して、システムの消費電力を押さえたい場合があります。ソフトウェアスタンバイモードでは、システムクロック（φ）も停止するため、サスペンド復帰割り込み（SUSRI）を使って、ソフトウェアスタンバイモードから復帰します。

サスペンドモード＋ソフトウェアスタンバイモードへの遷移／復帰シーケンスを図 12.17、ならびに各時点における動作説明を（1）～（8）に示します。

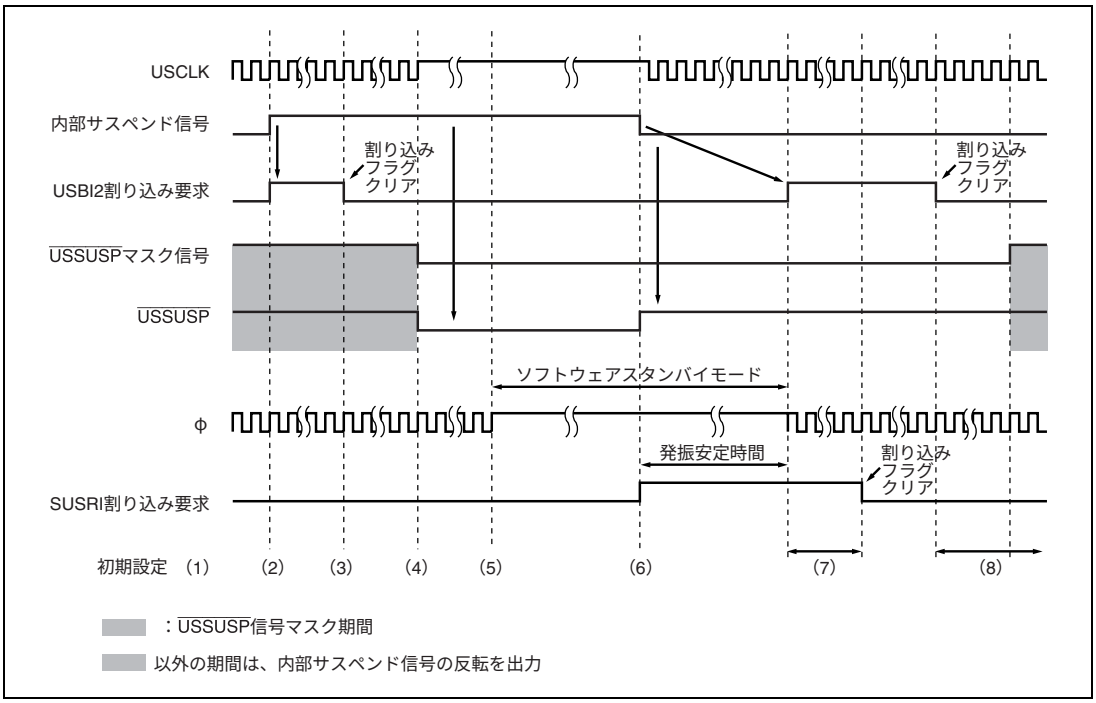


図 12.17　USB サスペンド状態＋ソフトウェアスタンバイモードへの遷移／復帰シーケンス

（1） $\overline{\text{USSUSP}}$ 出力マスク

USBSUSP の USUSOUT ビットを 0 にクリアすると、$\overline{\text{USSUSP}}$ 端子の出力がマスク（1 に固定）され、外部トランシーバへのサスペンド状態の通知を抑止します。

（2） USB モジュールがサスペンド状態へ遷移

USB アイドル状態が一定時間以上続くと、USB モジュールは内部サスペンド信号をアサートし、サスペンド状態へ遷移します。このとき、USBSUSP の USUSOUT ビットにより、$\overline{\text{USSUSP}}$ 出力がマスクされているため、まだ外部端子 $\overline{\text{USSUSP}}$ は変化しません。

（3） USB サスペンド割り込み（USBI2）

USBSUSP の USUSFGE ビットに 1 をセットすると、USB モジュールの内部サスペンド信号が変化したときに、CPU に対して割り込み（USBI2）を要求することができます。

初期設定として USBSUSP の USUSFG ビット（割り込みフラグ）を 0 にクリアし、次に USBSUSP の USUSFGE ビットを 1 にセットしてください。

USBI2 割り込み要求は、USB モジュールの内部サスペンド信号の変化点で起こります。割り込みルーチン内で割り込みフラグをクリアした後、USBSUSP の USUSMONI ビットをモニタして、その割り込みが、サスペンド状態への遷移によるものであることを確認してください。なお、「通常モード→サスペンドモード→通常モード」のように、変化した場合も割り込みがかかります。

（4） サスペンド信号出力マスク解除

割り込み処理ルーチン内で、CPU ならびに DMAC による USB モジュールへのアクセスが起きない様に、DMAC を停止するなどの設定後、USBSUSP の USUSOUT ビットを 1 にセットします。$\overline{\text{USSUSP}}$ 端子がロウ出力となり、外部トランシーバからの USCLK 入力が停止します。

USCLK 停止後に CPU、DMAC 等で USB モジュールのレジスタへアクセスしないでください。

（5） ソフトウェアスタンバイモードへ遷移

ソフトウェアスタンバイモードへ遷移する前に、USB バス状態が USB アイドル以外の状態になったとき、ソフトウェアスタンバイモードを解除できるように、サスペンド復帰割り込み（SUSRI）の設定を行います。

PFCR3 の SUSRIF ビットを 0 にクリアし、次に PFCR3 の SUSRIE ビットを 1 にセットして、サスペンド復帰割り込み（SUSRI）を許可してください。

その後、SBYCR の SSBY ビットに 1 セットした状態で SLEEP 命令を実行し、本 LSI をソフトウェアスタンバイモードに遷移させます。

システムクロック（φ）は停止し、本 LSI は低消費電力状態となります。

（6） サスペンドからの復帰イベント

USB バス状態が、サスペンド状態から復帰すると、サスペンド復帰割り込み（SUSRI）を要求し、この割り込み要求でソフトウェアスタンバイモードから復帰させることができます。

USB バス状態が、サスペンド状態から復帰すると、$\overline{\text{USSUSP}}$ 端子がデアサート（ネゲート）されると同時に、本 LSI は発振を開始します。規定の発振安定時間を経過すると、本 LSI 内部のシステムクロックが供給され、CPU はサスペンド復帰割り込み（SUSRI）処理を実行します。

（7） サスペンド復帰割り込み（SUSRI）

割り込み処理ルーチン内で、PFCR3 の SUSRIF ビットを 0 にクリアし、次に PFCR3 の SUSRIE ビットを 0 にクリアしてサスペンド復帰割り込み（SUSRI）を禁止します。

この時点で、USBI2 割り込みも要求されています。必ず、SUSRI 割り込みの優先順位が USBI2 割り込みの優先順位より高くなるように設定してください。

（8） USB サスペンド割り込み（USBI2）

SUSRI 割り込み処理から復帰（RTE）後、保留されていた USBI2 割り込み処理が実行されます。

割り込み処理ルーチン内で、USBSUSP の USUSOUT ビットを 0 にクリアして、$\overline{\text{USSUSP}}$ 端子の出力をマスク（1 に固定）してください。

この後、CPU や DMAC で USB のレジスタへアクセスすることができます。

12.8　使用上の注意事項

12.8.1　セットアップデータ受信について

8 バイトのセットアップデータ受信を行う EP0s FIFO は以下の点に注意してください。

USB ではセットアップリクエストを必ず受信することになっているため、CPU からのリードよりも、USB バス側からのライトが優先になっています。受信完了後に CPU でデータリードを行っている最中でも、次のセットアップリクエストの受信が開始された場合、ライト優先のため強制的に上書きされます。したがって、受信開始後リードされる値は不定値になります。

12.8.2　FIFO のクリアについて

USB ケーブル接続後、通信途中で抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は、速やかに FIFO のクリアを行ってください。なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは絶対に行わないでください。

12.8.3　動作周波数について

システムクロック（φ）は 31MHz 以上 33MHz 以下で使用してください。

12.8.4　割り込みについて

USB モジュールでは、割り込みフラグレジスタの各ビットを論理 OR した信号を割り込み要求に使用しています。したがって、あるフラグをクリアしても、他のフラグが 1 ビットでもセットされているときは、要求のネゲートは行われません。

12.8.5　レジスタのアクセスサイズについて

USB モジュールは、全レジスタ MOV.L など 32 ビット幅サイズでアクセスしてください。MOV.W、MOV.B、ビット操作命令など 8/16 ビット幅ではアクセスできません。

12.8.6　データレジスタのオーバーリード／ライトについて

USB モジュールのデータレジスタをリード／ライトする際、以下の点に注意してください。

（1）受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2 面 FIFO を持つ EP1 の場合も 1 回にリードできる最大データ数は最大パケットサイズです。FIFO の面を切り替える間はデータレジスタにアクセスできないため、1 面分のデータリードを開始する前に、必ず IFR0/EP1 FULL＝1 を確認してください。

（2）送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2 面 FIFO を持つ EP2 の場合も、1 回のライトは必ず最大パケットサイズ以内にしてください。データライト後、PKTE2 に送信データサイズライトを行うと本モジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2 面分連続でデータライトは行わないでください。FIFO の面を切り替える間はデータレジスタにアクセスできないため、1 面分のデータライトを開始する前に、必ず IFR0/EP2 EMPTY＝1 を確認してください。

12.8.7　EP0 に関する割り込み要因の割り当てについて

USB モジュールの IFR0 に割り当てられた EP0 に関する割り込み（ビット 0～3）は、必ず ISR0 で同じ割り込み要因に割り当ててください。その他の割り込み要因には特に制約はありません。

12.8.8　Full Speed モード時の FIFO サイズについて

USB モジュールは High Speed モードおよび Full Speed モードで動作しますが、それぞれのモードで使用する FIFO サイズは以下のとおりとなります。したがって、Full Speed モード時に EP1/EP2 の 1 つの FIFO に対して 64 バイト以上の書き込み・読み込みは出来ません。行った場合は正常に送受信できませんので、必ず 64 バイト以下の書き込み・読み込みを行ってください。

表 12.4　転送モード別 FIFO サイズ

エンドポイント	FIFO サイズ		FIFO 構成	転送方式	転送方向
	Full Speed	High Speed			
EP0s	8 バイト	8 バイト	1 面	Setup	Out
EP0i	64 バイト	64 バイト	1 面	Control	In
EP0o	64 バイト	64 バイト	1 面	Control	Out
EP1	64 バイト	512 バイト	2 面	Bulk	Out
EP2	64 バイト	512 バイト	2 面	Bulk	In
EP3	64 バイト	64 バイト	1 面	Interrupt	In

12.8.9　VBUS 端子のレベルシフタについて

本 LSI の USVBUS には、必ず USB コネクタの VBUS 端子をレベルシフタ経由で接続してください（極性に注意してください）。これは、USB モジュール内部で USB ケーブルの接続・切断を検出して動作する回路があるためです。

また、本 LSI が搭載されたセット（商品）の電源が OFF の状態でも、USB ケーブルがセットに接続されている場合は、USB コネクタの VBUS 端子に約 5V の電圧が印可されます。このような場合でも本 LSI を破壊しないために、電源 OFF 時でも端子に電圧印可が可能な外部レベルシフタを使用してください。

12.8.10　USB2.0 トランシーバ（物理層）について

本モジュールは USB2.0 トランシーバを内蔵していません。したがって、外部トランシーバを使用してください。

12.8.11　EPDR0s のリードについて

EPDR0s は必ず 8 バイト単位でリードしてください。次のセットアップで受信したデータが正常にリードできません。

12.8.12　High Speed モード時の USB バスアイドルについて

High Speed モードで動作しているときに USB バスがアイドル状態になった場合は、いったん Full Speed モードに遷移しますが IFR0/MODE MN1、MODE MN0 は変化しません。したがって、IFR0/MODEF もセットされません。

12.8.13　USB バス切断時の注意事項

ホストとの通信中／待機中を問わず、ユーザによりコネクタを抜かれた場合など、接続を切断される場合があります。ケーブルが切断されたときに USB モジュールがホストとの間でデータをやり取りしていた場合、ケーブルが再び接続された後に正しくデータを送受信できない状態となります。したがって、ケーブルの切断を検出した場合、USB モジュールを必ずリセットしてください。PFCR3 レジスタの USBSWRST ビットを 1 にセットすると、USB モジュールがリセットの状態となります。PFCR3 レジスタへのアクセスは CPU で行ってください。USBSWRST ビットへ 1 セット後、1 クロック時間経過後に USBSWRST ビットを 0 にクリアしてください。USB モジュールが通常動作となります。リセット後は、USB モジュールの全レジスタの値が初期値へ戻っていますので、再設定をしてください。

12.8.14　外部回路例

本 LSI は USB の物理層を内蔵しておりませんので、外部に UTMI 仕様の物理層 LSI を接続する必要があります。図 12.18 に外部回路の接続例を示します。本図は接続例です。実際の接続は、外部 UTMI 仕様物理層 LSI の仕様によって異なります。

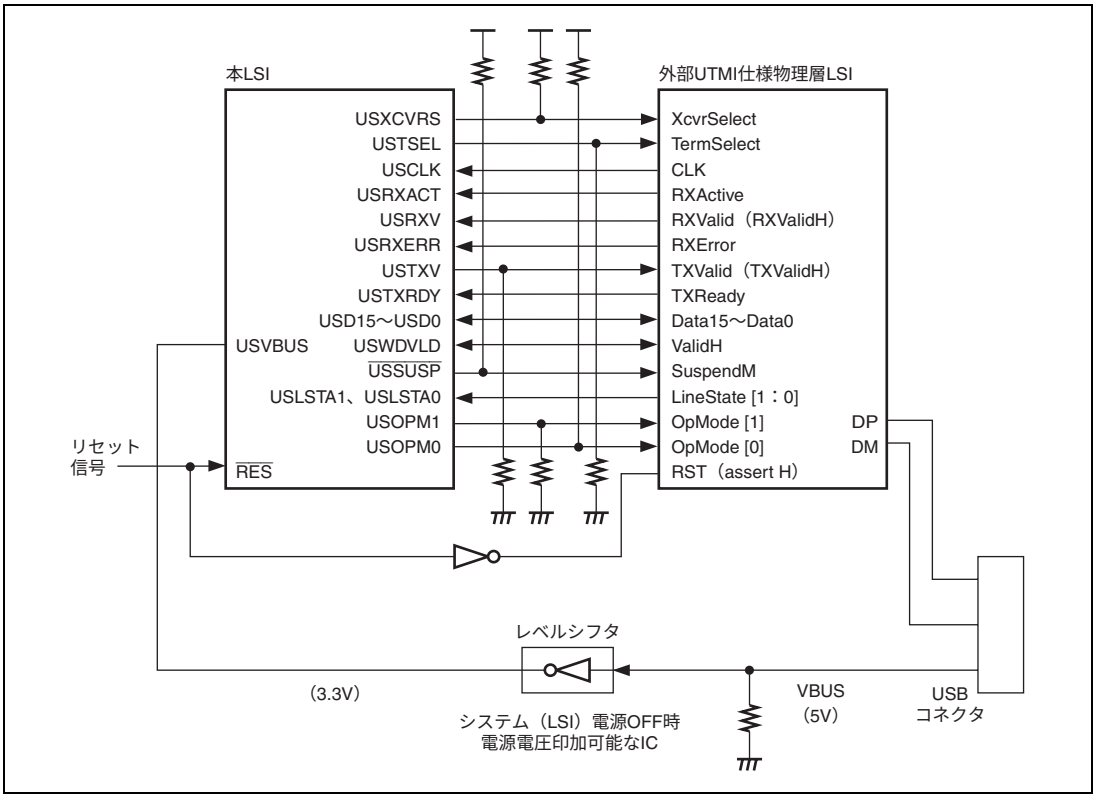


図 12.18　外部回路の接続例

12.8.15　外部物理層 LSI について

外部物理層 LSI 毎に端子名・用途・種類が異なる場合がありますので、本 LSI と接続する場合は仕様確認等、十分注意してください。

12.8.16　バスリセット受信時の動作について

ホストからのバスリセットを受信するとき、以下の動作は制限されます。ホストからのバスリセットが完了し、SOF やデータ転送等のバスアクセスが全くなく、再度バスリセットを受信した場合、2 回目のバスリセットを正常に受信できません。（図中②の場合）

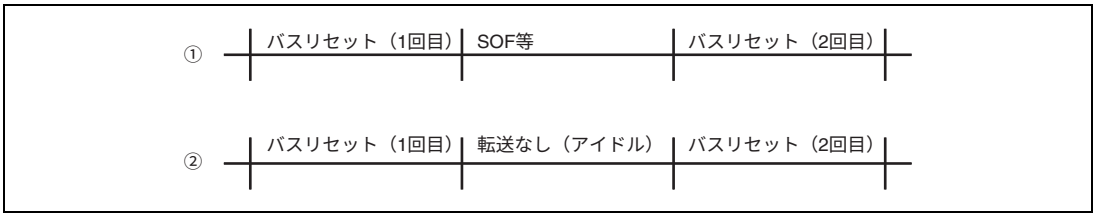


図 12.19　バスリセット完了後のバスリセット

②の場合でも正しく検出するため、バスリセットの検出は図 12.20 のフローにしたがってください。

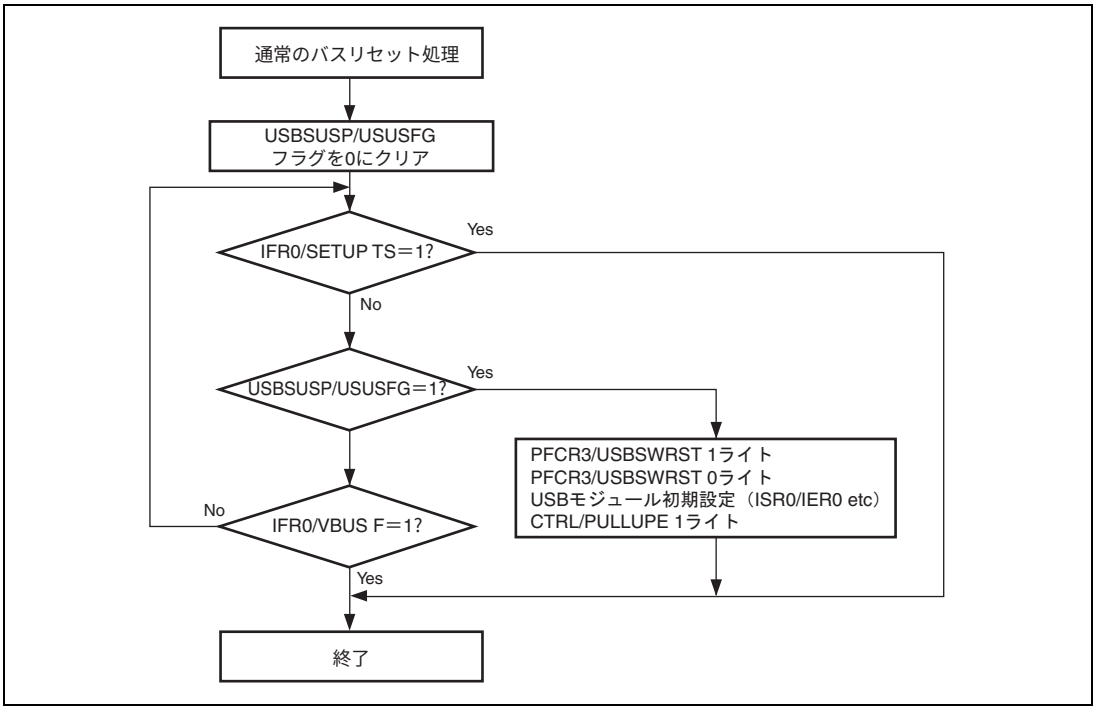


図 12.20　バスリセット検出フロー

12.8.17　コントロール IN 転送時の注意事項

コントロール IN 転送のステータスステージでは 0 レングスパケットのみ受信可能です。

12.8.18　ソフトウェアスタンバイ中の USB 割り込み

ソフトウェアスタンバイ中には、USB のクロックも停止するため、VBUS 割り込み等、USBI0、USBI1 割り込みは、発生しません。

13.　RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅、DMAC と 32 ビット幅のデータバスで接続されており、バイトデータ、ワードデータ、ロングワードデータにかかわらず、1 ステートでアクセスできます（ただし、CPU の MOV.L などロングワードアクセス命令でアクセスした場合、2 ステートとなります）。

RAM は、システムコントロールレジスタ（SYSCR）の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2　システムコントロールレジスタ（SYSCR）」を参照してください。

製品型名		ROM タイプ	RAM 容量	RAM アドレス
H8S/2170	HD64F2170	フラッシュメモリ版	32k バイト	H'FF7000～H'FFEFFF

14.　フラッシュメモリ（0.18μm F-ZTAT 版）

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 14.1 に示します。

14.1　特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2170	HD64F2170	256k バイト	H'000000～H'03FFFF

- LSI起動モードに合わせた2種類のフラッシュメモリマット

  内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

  ユーザモードでパワーオンリセット時に起動するユーザメモリマット：256kバイト

  ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマット：8kバイト

- 内蔵プログラムのダウンロードによる書き込み／消去インタフェース

  本LSIでは専用の書き込み／消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み／消去が可能です。

- 書き込み／消去時間

  フラッシュメモリの書き込み時間は、128バイト同時書き込みにて 3ms（typ）、1バイト当たり換算にて約25μs、消去時間は64kBブロックあたり 1000ms （typ）です。

- 書換え回数

  フラッシュメモリの書き換えは、100回（min.回数）可能です（保証は1～100回の範囲）。

- オンボードプログラミングモード：3種類

  ブートモード：

  内蔵SCIインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

  ユーザプログラムモード：

  任意のインタフェースで、ユーザマットの書き換えができます。

  ユーザブートモード：

  任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

- 書き込み／消去プロテクト

  ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

- ライタモード

  PROMライタを用いたライタモードで、ユーザマットとユーザブートマットの書き換えが可能です。

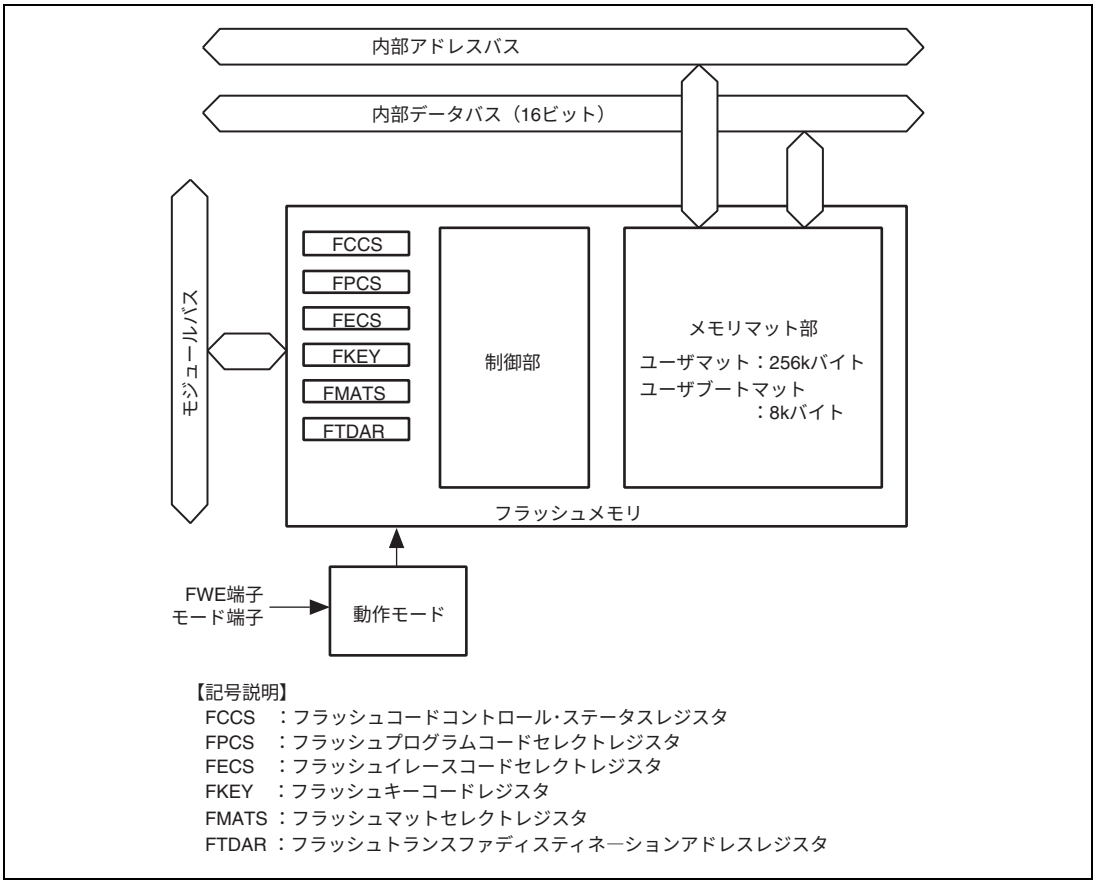


図 14.1　フラッシュメモリのブロック図

14.1.1　モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 14.2 に示すような動作モードへ遷移します。

1. ユーザモードではフラッシュメモリの読み出しはできますが、書き込み／消去はできません。
2. オンボードでフラッシュメモリの読み出し／書き込み／消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
3. ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し／書き込み／消去を行います。

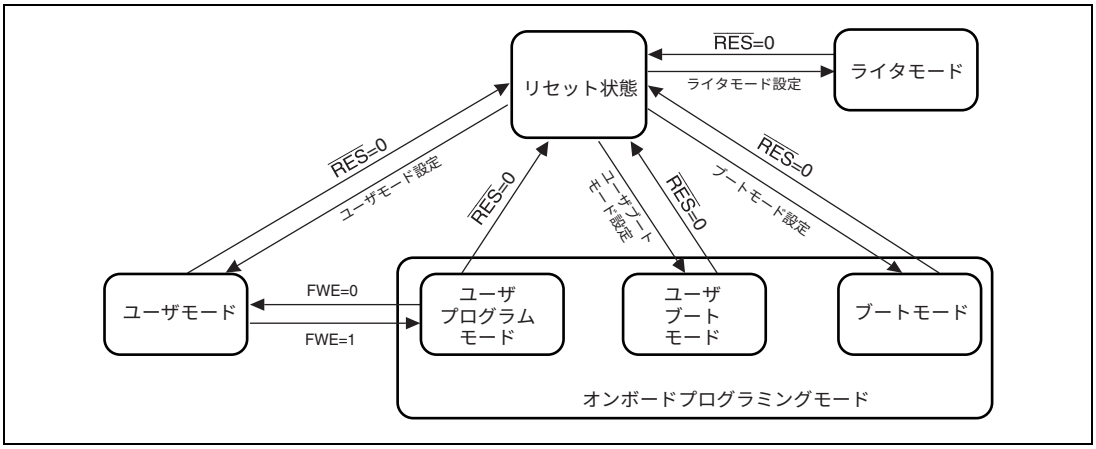


図 14.2　フラッシュメモリに関するモード遷移図

14.1.2　モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライタモードについての書き込み／消去関連項目の比較表を表 14.1 に示します。

表 14.1　プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライタモード
書き込み／消去環境	オンボード			PROM ライタ
書き込み／消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
全面消去	○（自動）	○	○	○（自動）
ブロック分割消去	○*1	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライタ経由
リセット起動マット	組み込みプログラム格納マット	ユーザマット	ユーザブートマット*2	—
ユーザモードへの遷移	モード設定変更＆リセット	FWE 端子と FLSHE ビット設定変更	モード設定変更＆リセット	—

【注】　*1　一旦全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2　一旦組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み／消去は、ブートモードとライタモードでのみ可能です。
- ブートモードでは、一旦ユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。

  ユーザブートマットだけ書き込んでユーザマットの書き変えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

14.1.3　フラッシュマット構成

本 LSI のフラッシュメモリは、256k バイトのユーザマットと 8k バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS によるマット切り替えが必要です。

ユーザマット／ユーザブートマットの読み出しはどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライタモードでのみ可能です。

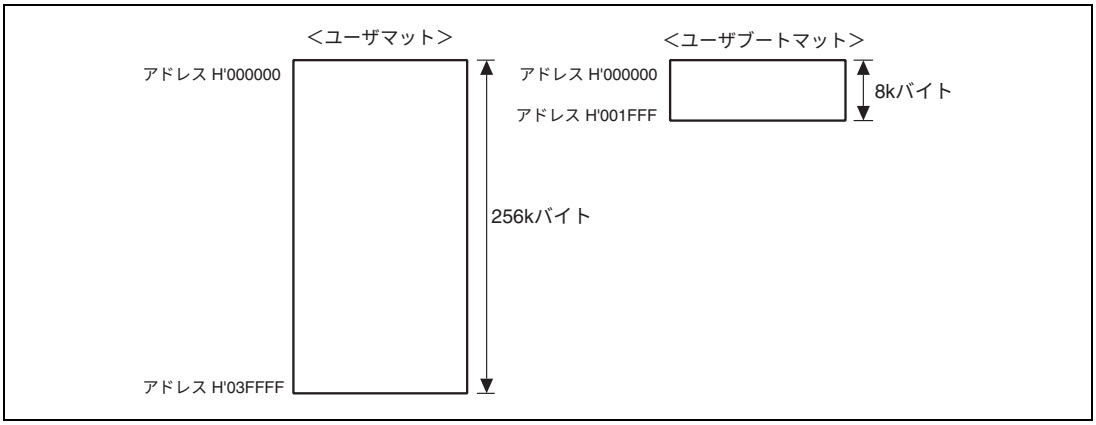


図 14.3　フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8k バイト空間以上のユーザブートマットをアクセスしないようにしてください。8k バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

14.1.4　ブロック分割

ユーザマットは、図 14.4 に示すように 64k バイト（3 ブロック）、32k バイト（1 ブロック）、4k バイト（8 ブロック）に分割されています。この分割ブロック単位に消去ができ、消去時に EB0～EB11 の消去ブロック番号で指定します。

EB0 消去単位4kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000F80	H'000F81	H'000F82	－－－－－－－－－－－	H'000FFF
EB1 消去単位4kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'001F80	H'001F81	H'001F82	－－－－－－－－－－－	H'001FFF
EB2 消去単位4kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト→	H'00207F
	H'002F80	H'002F81	H'002F82	－－－－－－－－－－－	H'002FFF
EB3 消去単位4kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
	H'003F80	H'003F81	H'003F82	－－－－－－－－－－－	H'003FFF
EB4 消去単位32kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F
	H'00BF80	H'00BF81	H'00BF82	－－－－－－－－－－－	H'00BFFF
EB5 消去単位4kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00CF80	H'00CF81	H'00CF82	－－－－－－－－－－－	H'00CFFF
EB6 消去単位4kバイト	H'00D000	H'00D001	H'00D002	←書き込み単位 128バイト→	H'00D07F
	H'00DF80	H'00DF81	H'00DF82	－－－－－－－－－－－	H'00DFFF
EB7 消去単位4kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00EF80	H'00EF81	H'00EF82	－－－－－－－－－－－	H'00EFFF
EB8 消去単位4kバイト	H'00F000	H'00F001	H'00F002	←書き込み単位 128バイト→	H'00F07F
	H'00FF80	H'00FF81	H'00FF82	－－－－－－－－－－－	H'00FFFF
EB9 消去単位64kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'01FF80	H'01FF81	H'01FF82	－－－－－－－－－－－	H'01FFFF
EB10 消去単位64kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
	H'02FF80	H'02FF81	H'02FF82	－－－－－－－－－－－	H'02FFFF
EB11 消去単位64kバイト	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
	H'03FF80	H'03FF81	H'03FF82	－－－－－－－－－－－	H'03FFFF

図 14.4　ユーザマットのブロック分割

14.1.5　書き込み／消去インタフェース

書き込み／消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス／データ、消去ブロックなどをインタフェースレジスタ／パラメータで指定して行います。

ユーザプログラムモード／ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「14.4.2　ユーザプログラムモード」で説明します。

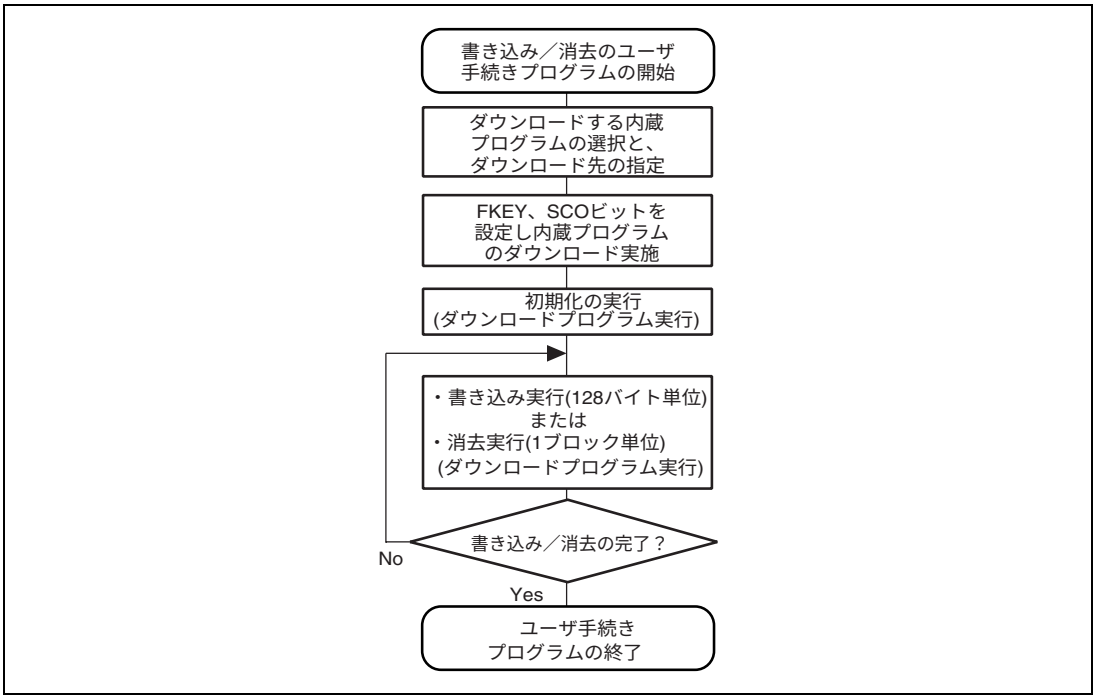


図 14.5　ユーザの手続きプログラムの概要

(1)　ダウンロードする内蔵プログラムの選択

書き込み／消去を実施するためには、FWE 端子を 1 に設定しユーザプログラムモードにする必要があります。

本 LSI には、書き込み／消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み／消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスはフラッシュトランスファディスティネーションアドレスレジスタ（FTDAR）で指定することができます。

（2） 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み／消去インタフェースレジスタのフラッシュキーレジスタ（FKEY）と、フラッシュコードステータスレジスタ（FCCS）の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み／消去時はフラッシュメモリマットの読み出しはできないため、ダウンロード以降書き込み／消去完了までの一連の手続きプログラムはフラッシュメモリ以外（内蔵 RAM 上など）で実行するようにしてください。

ダウンロードの結果は、書き込み／消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

（3） 書き込み／消去の初期化

書き込み／消去の実行前に、動作周波数の設定を行います。この設定は書き込み／消去インタフェースパラメータで行います。

（4） 書き込み／消去の実行

書き込み／消去を行うためには、FWE 端子を 1 にセットしユーザプログラムモードにしてください。

書き込みでは書き込みデータ／書き込み先アドレスの指定を 128 バイト単位で行います。消去では消去ブロックの指定を消去ブロック単位で行います。

これらの指定を書き込み／消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み／消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。書き込み／消去処理中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で、割り込みが入らないようにしてください。

（5） 引き続き、書き込み／消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス／データ、消去ブロック番号を更新して書き込み／消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

14.2　入出力端子

フラッシュメモリは表 14.2 に示す端子により制御されます。

表 14.2　端子構成

端子名	入出力	機　　能
$\overline{\text{RES}}$	入力	リセット
FWE	入力	フラッシュメモリ書き込み／消去イネーブル端子
$\overline{\text{MD2}}$	入力	本 LSI の動作モードを設定
MD1	入力	本 LSI の動作モードを設定
TxD0	出力	シリアル送信データ出力（ブートモードで使用）
RxD0	入力	シリアル受信データ入力（ブートモードで使用）

14.3　レジスタの説明

フラッシュメモリをコントロールするレジスタ／パラメータを以下に示します。

- フラッシュコードコントロール・ステータスレジスタ（FCCS）
- フラッシュプログラムコードセレクトレジスタ（FPCS）
- フラッシュイレースコードセレクトレジスタ（FECS）
- フラッシュキーコードレジスタ（FKEY）
- フラッシュマットセレクトレジスタ（FMATS）
- フラッシュトランスファディスティネーションアドレスレジスタ（FTDAR）
- RAMエミュレーションレジスタ（RAMER）
- ダウンロードパス・フェイルリザルト（DPFR）
- フラッシュパス・フェイルリザルト（FPFR）
- フラッシュマルチパーパスアドレスエリア（FMPAR）
- フラッシュマルチパーパスデータディスティネーションエリア（FMPDR）
- フラッシュイレースブロックセレクト（FEBS）
- フラッシュプログラム・イレース周波数コントロール（FPEFEQ）

フラッシュメモリのアクセスには読み出しモード／書き込みモードなどいくつかの動作モードがあります。

また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ／パラメータが割り当てられています。動作モードと使用レジスタ／パラメータの対応表を表 14.3 に示します。

表 14.3　使用レジスタ／パラメータと対象モード

		ダウンロード	初期化	書き込み	消去	読み出し
書き込み／消去インタフェースレジスタ	FCCS	○	—	—	—	—
	FPCS	○	—	—	—	—
	FECS	○	—	—	—	—
	FKEY	○	—	○	○	—
	FMATS	—	—	○ (*1)	○ (*1)	○ (*2)
	FTDAR	○	—	—	—	—
書き込み／消去インタフェースパラメータ	DPFR	○	—	—	—	—
	FPFR	—	○	○	○	—
	FPEFEQ	—	○	—	—	—
	FMPAR	—	—	○	—	—
	FMPDR	—	—	○	—	—
	FEBS	—	—	—	○	—

【注】　*1　ユーザブートモードでの、ユーザマットへの書き込み／消去時に設定が必要です。

*2　起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

14.3.1　書き込み／消去インタフェースレジスタ

書き込み／消去インタフェースレジスタは 8 ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタはリセットとハードウェアスタンバイモードで初期化されます。

(1) フラッシュコードコントロール・ステータスレジスタ（FCCS）

FCCS は FWE 端子状態のモニタ、フラッシュメモリの書き込み／消去実行中のエラー発生のモニタ、および内蔵プログラムのダウンロードを要求します。

ビット	ビット名	初期値	R/W	説　　明
7	FWE	1/0	R	フラッシュライトイネーブル FWE 端子に入力されているレベルをモニタします。 0：FWE 端子に Low レベルが入力（ハードウェアプロテクト状態） 1：FWE 端子に High レベルが入力
6	—	0	R/W	リザーブビット
5	—	0	R/W	初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説　　明
4	FLER	0	R	フラッシュメモリエラー フラッシュメモリへの書き込み／消去実行中にエラーが発生したことを示します。FLER=1 にセットされると、フラッシュメモリはエラープロテクト状態に遷移します。なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100μs のリセット入力期間の後にリセットリリースしてください。 0：フラッシュメモリは正常に動作 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）は無効 ［クリア条件］リセットまたはハードウェアスタンバイモードのとき 1：フラッシュメモリへの書き込み／消去中にエラーが発生 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効 ［セット条件］ • 書き込み／消去中に NMI などの割り込みが発生したとき • 書き込み／消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む） • 書き込み／消去中に SLEEP 命令を実行したとき（ソフトウェアスタンバイを含む） • 書き込み／消去中に CPU 以外のバスマスタ（DMAC）が、バス権を確保したとき
3	WEINTE	0	R/W	書き込み／消去イネーブル フラッシュメモリの書き込み／消去実行中やユーザマットとユーザブートマットのマット切り替え時の割り込みベクタを正しく読み出せない場合に、割り込みベクタテーブルの空間を変更するビットです。本ビットを 1 にセットすると、H'000000～H'000 7F（ベクタ番号 31 まで）の空間の代わりに H'FF8000～H'FF807F（内蔵 RAM 空間）から割り込みベクタが読み出されます。したがって、本ビットを 1 にセットする場合は当該内蔵 RAM 空間にベクタテーブルを設定しておく必要があります。 また、ベクタ番号 32 以降の割り込み例外処理は発生しないようにしてください。正常なベクタリードができないため、結果として CPU が暴走してしまいます。 0：割り込みベクタテーブルの空間を変更しない 割り込みベクタを正しく読み出せない場合の、割り込み例外処理は保証できません。すべての割り込みを発生させないでください。 1：割り込みベクタテーブルの空間を変更する 割り込みベクタを正しく読み出せない場合でも、ベクタ番号 31 までの割り込み例外処理を許可します。
2 1	― ―	0 0	R/W R/W	リザーブビット 初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説　　明
0	SCO	0	(R)/W*	ソースプログラムコピーオペレーション 内蔵書き込み／消去プログラムを内蔵 RAM にダウンロードする要求ビットです。本ビットを 1 にセットと、FPCS/FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットを 1 にセットするためには、FKEY への H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。 本ビットを 1 にセットした直後には、4 個の NOP 命令を必ず実行するようにしてください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。 0：内蔵されている書き込み／消去プログラムの内蔵 RAM へのダウンロードは行いません ［クリア条件］ダウンロードが完了したとき 1：内蔵されている書き込み／消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。 ［セット条件］以下の条件がすべて満足されている状態で、1 をセットしたとき • FKEY に H'A5 が書かれていること • 内蔵 RAM 上で実行中であること

【注】　*　ライトのみ可能です。リードすると常に 0 が読み出されます。

(2)　フラッシュプログラムコードセレクトレジスタ（FPCS）

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7～1	―	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	PPVS	0	R/W	プログラムパルスベリファイ 書き込みプログラムを選択します。 0：内蔵の書き込みプログラムを選択しない ［クリア条件］転送が終了したとき 1：内蔵の書き込みプログラムを選択する

（3） フラッシュイレースコードセレクトレジスタ（FECS）

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7～1	―	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0：内蔵消去プログラムを選択しない ［クリア条件］転送が終了したとき 1：内蔵消去プログラムを選択する

（4） フラッシュキーコードレジスタ（FKEY）

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み／消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のため、SCO ビットを 1 にセットする前、およびダウンロードした書き込み／消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット	ビット名	初期値	R/W	説　　明
7	K7	0	R/W	キーコード H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H' A5 以外の値が FKEY に書かれている場合、SCO ビットを 1 にセットすることができないため、内蔵 RAM へのダウンロードができません。また、H'5A を書き込んだ場合のみ、書き込み／消去が可能になります。内蔵の書き込み／消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み／消去はできません。 H'A5：SCO ビットの書き込みを許可（H'A5 以外では SCO ビットのセットはできません） H'5A：書き込み／消去を許可（H'5A 以外ではソフトウェアプロテクト状態） H'00：初期値
6	K6	0	R/W	
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	

（5） フラッシュマットセレクトレジスタ（FMATS）

FMATS は、ユーザマット／ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7	MS7	0/1*	R/W	マットセレクト H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。FMATS に値を書き込みことによりマット切り替えが発生します。マット切り替えは、必ず「14.6　ユーザマットとユーザブートマットの切り替え」に従ってください（ユーザプログラミングモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してもできません。ユーザブートマットの書き換えは、ブートモードかライタモードで実施してください）。 H'AA：ユーザブートマットを選択（H'AA 以外ではユーザマット選択状態となります）。 ユーザブートモードで立ち上がった場合の初期値です。 H'00：ユーザブートモード以外で立ち上がった場合の初期値（ユーザマット選択状態です）。 ［書き込み可能条件］内蔵 RAM 上での実効状態であること
6	MS6	0	R/W	
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】　*　ユーザブートモードのときは 1 になります。それ以外のときは 0 となります。

（6） フラッシュトランスファディスティネーションアドレスレジスタ（FTDAR）

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。FCCS レジスタの SCO ビットを 1 にセットする前に、本レジスタの設定を行ってください。

ビット	ビット名	初期値	R/W	説　　明
7	TDER	0	R/W	トランスファディスティネーションアドレス設定エラー TDA6～TDA0 ビットで指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットして、ダウンロード処理が実行されたときに、TDA6～TDA0 の値が H'00～H'03 の範囲にあるかどうかを判定します。SCO ビットを 1 にセットする前に、本ビットの値を 0 にすることも含めて、FTDAR の値を H'00～H'03 の範囲に設定してください。 0：TDA6～TDA0 の設定は、正常値です。 1：TDER、TDA6～TDA0 の設定値が H'04～H'FF であり、ダウンロードは中断したことを示します。
6	TDA6	0	R/W	トランスファディスティネーションアドレス ダウンロード先頭アドレスを指定します。設定可能な値は H'00～H'03 で、内蔵 RAM 上のダウンロード先頭アドレスを指定できます。 H'00：ダウンロード先頭アドレスを H’FF7000 に設定 H'01：ダウンロード先頭アドレスを H’FFB000 に設定 H'02：ダウンロード先頭アドレスを H’FFD000 に設定 H'03：ダウンロード先頭アドレスを H’FFE800 に設定 H'04～H'FF：設定しないでください。この値が設定された場合、ダウンロード処理において、TDER ビットが 1 になり、内蔵プログラムのダウンロード処理は中断されます。
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

（7） RAM エミュレーションレジスタ（RAMER）

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。フラッシュメモリエリアの分割法は表 14.4 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説　　明
7～4	―	すべて 0	―	リザーブビット 読み出すと常に 0 が読み出されます。ライトは無効です。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択／非選択を設定するビットです。RAMS＝1 のときは、フラッシュメモリ全ブロックの書き込み／消去プロテクト状態となります。 0：エミュレーション非選択 フラッシュメモリ全ブロックの書き込み／消去プロテクト無効 1：エミュレーション選択 フラッシュメモリ全ブロックの書き込み／消去プロテクト有効
2 1 0	RAM2 RAM1 RAM0	0 0 0	R/W R/W R/W	フラッシュメモリエリア選択 ビット 3 と共に使用し、RAM と重ね合わせるフラッシュメモリのエリアを選択します。（表 14.4 参照）

表 14.4　フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAM2	RAM1	RAM0
H'000000～H'000FFF	EB0（4k バイト）	0	0	0
H'001000～H'001FFF	EB1（4k バイト）	0	0	1
H'002000～H'002FFF	EB2（4k バイト）	0	1	0
H'003000～H'003FFF	EB3（4k バイト）	0	1	1
H'004000～H'004FFF	EB4（4k バイト）	1	0	0
H'005000～H'005FFF	EB5（4k バイト）	1	0	1
H'006000～H'006FFF	EB6（4k バイト）	1	1	0
H'007000～H'007FFF	EB7（4k バイト）	1	1	1

14.3.2　書き込み／消去インタフェースパラメータ

書き込み／消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果のやりとりをするものです。このパラメータは、CPU の汎用レジスタ（ER0, ER1）や内蔵 RAM 領域を使用します。リセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、R0L 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。R0L 以外のレジスタ保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください（使用スタック領域サイズは、最大 128 バイトです）。

書き込み／消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み／消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれ使用するパラメータは異なります。対応表を、表 14.5 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 14.5　使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR	○	—	—	—	R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR	○	○	○	○	R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数コントロール	FPEFEQ	—	○	—	—	R/W	不定	CPU の ER0
フラッシュマルチパーパスアドレスエリア	FMPAR	—	—	○	—	R/W	不定	CPU の ER1
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR	—	—	○	—	R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS	—	—	—	○	R/W	不定	CPU の R0L

【注】　*　FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

（1）　ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 2k バイト分の領域です。

ダウンロード制御は書き込み／消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

（a）ダウンロードパス・フェイルリザルトパラメータ（DPFR：FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト）

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断します。SCO ビットを 1 にセットできたかの確認が困難のため、ダウンロード開始前（SCO ビットを 1 にセットする前）に、FTDAR で指定した内蔵 RAM の先頭アドレス 1 バイトをダウンロードの戻り値以外（H'FF など）にして、確実な判断ができるようにしてください。

ビット	ビット名	初期値	R/W	説　　明
7～3	―	―	―	未使用ビット 値 0 が戻されます
2	SS	―	R/W	ソースセレクトエラー検出ビット ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0：ダウンロードプログラムの選択関係は正常 1：ダウンロードエラー発生（多重選択または、マッピングされていないプログラム選択）
1	FK	―	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0：FKEY の設定は正常（FKEY＝ H'A5） 1：FKEY の設定値エラー（FKEY は、H'A5 以外の値）
0	SF	―	R/W	サクセス／フェイルビット ダウンロードが正常に終了したかどうかを戻すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。 0：内蔵プログラムのダウンロードは正常終了（エラーなし） 1：内蔵プログラムのダウンロードが異常終了（エラーが発生している）

（2） 書き込み／消去の初期化

ダウンロードされる書き込み／消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み／消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み／消去プログラムのパラメータとして設定するのが初期化プログラムです。

（a） フラッシュプログラム／イレース周波数パラメータ（FPEFEQ：CPU の汎用レジスタ ER0）

CPU の動作周波数を設定するパラメータです。本 LSI の動作周波数範囲は 10MHz～33MHz です。

ビット	ビット名	初期値	R/W	説　　明
31～16	―	―	―	未使用ビット 値 0 を設定してください。
15～0	F15～F0	―	R/W	周波数設定ビット CPU の動作周波数を設定します。PLL 逓倍を使用する場合は逓倍後の周波数を設定してください。設定値は以下のように算出してください。 • MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 • 100 倍した値を 2 進数に変換し、FPEFEQ パラメータ（汎用レジスタ ER0）に書き込む。 具体例として、CPU の動作周波数が 33.000MHz の場合には、以下のようになります。 • 33.000 の小数点第 3 位を四捨五入し、33.00。 • 33.00×100=3300 を 2 進数変換し、B'0000,1100,1110,0100（H'0CE4）を ER0 に設定。

（b） フラッシュパス／フェイルパラメータ（FPFR：CPU の汎用レジスタ R0L）

初期化結果の戻り値です。

ビット	ビット名	初期値	R/W	説　　明
7～2	―	―	―	未使用ビット 値 0 が戻されます
1	FQ	―	R/W	周波数エラー検出ビット 指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0：動作周波数の設定は正常値 1：動作周波数の設定が異常値
0	SF	―	R/W	サクセス／フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0：初期化は正常終了（エラーなし） 1：初期化が異常終了（エラーが発生している）

(3)　書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタER1に設定してください。このパラメータをフラッシュマルチパーパスアドレスエリアパラメータ（FMPAR）と呼びます。

   書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット（A7～A0）が、H'00またはH'80のいずれかとしてください。

2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

   書き込みたいデータが128バイトに満たない場合でも、ダミーコード（H'FF）を埋め込んで128バイトの書き込みデータを準備してください。

   準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。このパラメータをフラッシュマルチパーパスデータデスティネーションエリアパラメータ（FMPDR）と呼びます。

書き込み処理の手続きの詳細については、「14.4.2　ユーザプログラムモード」を参照してください。

(a)　フラッシュマルチパーパスアドレスエリアパラメータ（FMPAR：CPU の汎用レジスタ ER1）

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外の領域のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは 128 バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーは FPFR パラメータのビット 1：WA ビットに反映されます。

ビット	ビット名	初期値	R/W	説　　明
31～0	MOA31 ～ MOA0	―	R/W	ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続 128 バイトの書き込みが行われます。 よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6～MOA0 は常に 0 になります。

(b)　フラッシュマルチパーパスデータデスティネーションパラメータ（FMPDR：CPU の汎用レジスタ ER0）

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FPFR パラメータの WD ビットに反映されます。

ビット	ビット名	初期値	R/W	説　　明
31～0	MOD31 ～ MODA0	―	R/W	ユーザマットへの書き込みデータが格納されてる領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに対して書き込まれます。

（c）　フラッシュパス／フェイルパラメータ（FPFR：CPU の汎用レジスタ R0L）

書き込み処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説　　明
7	—	—	—	未使用ビット 値 0 が戻されます
6	MD	—	R/W	書き込みモード関連設定エラー検出ビット FWE 端子への入力値が High レベルであること、およびエラープロテクト状態でないことのチェック結果を返します。FWE 端子が Low レベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS の FWE ビット、FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「14.5.3　エラープロテクト」を参照してください。 0：FWE、FLER 状態は正常（FWE＝1、FLER＝0） 1：FWE＝0 または FLER＝1 であり、書き込みできない状態
5	EE	—	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかった場合に、本ビットには 1 が返されます。これらが原因で、本ビットが 1 になった場合、ユーザマットは途中まで書き換えられいる可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。また、FMATS の値が H'AA となっており、ユーザブートマット選択状態のきに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット／ユーザブートマットともに、書き換えられてはいません。ユーザブートマットの書き込みはブートモードまたはライタモードで実施してください。 0：書き込み処理は正常終了 1：書き込み処理が異常終了し、書き込み結果は保証できない
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY の値をチェックした結果を戻します。 0：FKEY の設定は正常（FKEY＝H'5A） 1：FKEY の設定値エラー（FKEY は、H'5A 以外の値）
3	—	—	—	未使用ビット 値 0 が戻されます
2	WD	—	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0：書き込みデータアドレス設定は正常値 1：書き込みデータアドレス設定が異常値
1	WA	—	R/W	ライトアドレスエラー検出ビット 書き込み先先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが 128 バイト境界でない場合（アドレスの下位 8 ビットが H'00 か H'80 以外） 0：書き込み先アドレス設定は正常値 1：書き込み先アドレス設定が異常値

ビット	ビット名	初期値	R/W	説　　明
0	SF	―	R/W	サクセス／フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0：書き込みは正常終了（エラーなし） 1：書き込みが異常終了（エラーが発生している）

（4）　消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡すことが必要です。これを、FEBS パラメータ（汎用レジスタ ER0）に設定します。

0～11 のブロック番号から 1 ブロックを指定します。

消去処理の手続きの詳細については、「14.4.2　ユーザプログラムモード」を参照してください。

（a）フラッシュイレースブロックセレクトパラメータ（FEBS：CPU の汎用レジスタ ER0）

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット	ビット名	初期値	R/W	説　　明
31～8	―	―	―	未使用ビット 値 0 を設定してください。
11	EB11	―	R/W	イレースブロック 0～11 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、11 は EB11 ブロックに対応します。0～11 以外の設定ではエラーになります。
10	EB10	―	R/W	
9	EB9	―	R/W	
8	EB8	―	R/W	
7	EB7	―	R/W	
6	EB6	―	R/W	
5	EB5	―	R/W	
4	EB4	―	R/W	
3	EB3	―	R/W	
2	EB2	―	R/W	
1	EB1	―	R/W	
0	EB0	―	R/W	

（b） フラッシュパス／フェイルパラメータ（FPFR：CPU の汎用レジスタ R0L）

消去処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説　　明
7	—	—	—	未使用ビット 値 0 が戻されます
6	MD	—	R/W	消去モード関連設定エラー検出ビット FWE 端子への入力値が High レベルであることと、エラープロテクト状態でないことのチェック結果を返します。FWE 端子が Low レベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS の FWE ビット、FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「14.5.3　エラープロテクト」を参照してください。 0：FWE、FLER 状態は正常（FWE＝1、FLER＝0） 1：FWE＝0 または FLER＝1 であり、消去できない状態
5	EE	—	R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには 1 が返されます。これらが原因で、本ビットが 1 になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット／ユーザブートマットともに、消去されてはいません。ユーザブートマットの消去はブートモードまたはライタモードで実施してください。
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 消去処理開始前に FKEY の値をチェックした結果を戻します。 0：FKEY の設定は正常（FKEY＝ H'5A） 1：FKEY の設定値エラー（FKEY は、H'5A 以外の値）
3	EB	—	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0：消去ブロック番号の設定は正常値 1：消去ブロック番号の設定が異常値
2 1	— —	— —	— —	未使用ビット 値 0 が戻されます
0	SF	—	R/W	サクセス／フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0：消去は正常終了（エラー無し） 1：消去が異常終了（エラーが発生している）

14.4　オンボードプログラミング

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み／消去を行うことができるオンボードプログラミング状態へ遷移します．オンボードプログラミングモードにはブートモード、ユーザプログラムモードとユーザブートモードの 3 種類の動作モードがあります。

各モードへの設定方法は、表 14.6 を参照してください。また、フラッシュメモリに対する各モードへの状態遷移図は図 14.2 を参照してください。

表 14.6　オンボードプログラミングモードの設定方法

モード設定	FWE	$\overline{\text{MD2}}$	MD1	NMI
ブートモード	1	0	0	1
ユーザプログラムモード	1	1	1	0/1
ユーザブートモード	1	0	0	0

14.4.1　ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み／消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 14.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 14.6 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

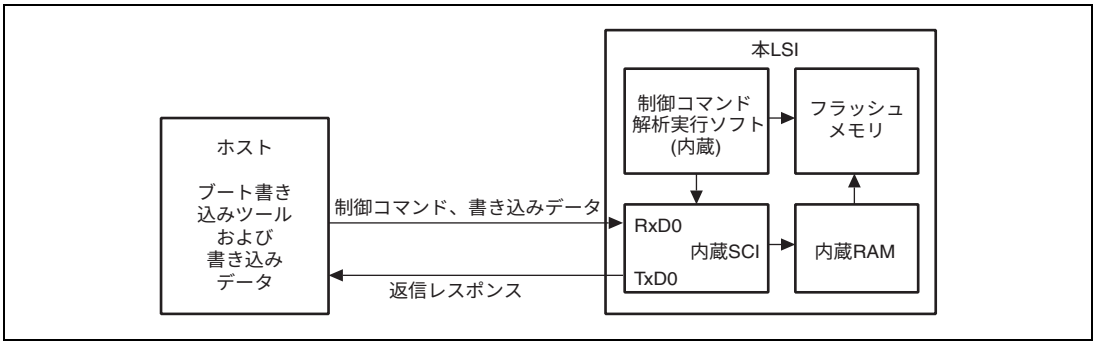


図 14.6　ブートモード時のシステム構成図

（1）　ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ（H'00）の Low 期間を測定します。このときの SCI 送信／受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図（H'00 を 1 バイト）をホストへ送信します。ホストは、この調整終了合図（H'00）を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し（リセット）、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4,800bps、9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 14.7 に示します。このシステムクロックの範囲内でブートモードを起動してください。

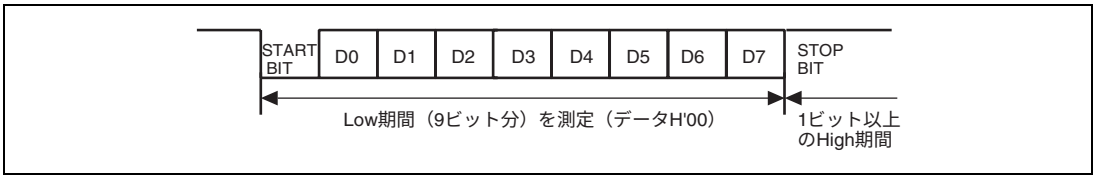


図 14.7　SCI ビットレートの自動合わせ込み動作

表 14.7　本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
4,800 bps	10～33 MHz
9,600 bps	10～33 MHz
19,200 bps	10～33 MHz

（2）　状態遷移図

ブートモード起動後の、状態遷移図の概要を図 14.8 に示します。

1. ビットレート合わせ込み

   ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

2. 問い合わせ設定コマンド待ち

   ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

3. 全ユーザマットおよびユーザブートマットの自動消去

   問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み／消去コマンド待ち

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスをH'FFFFFFFFと設定して送信してください。これにより書き込みデータ待ち状態から、書き込み／消去コマンド待ち状態に戻ります。
- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号をH'FFと設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み／消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードで一旦書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み／消去／他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み／消去以外に、ユーザマット／ユーザブートマットのサムチェック、ユーザマット／ユーザブートマットのブランクチェック（消去チェック）、ユーザマット／ユーザブートマットのメモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマット／ユーザブートマットのメモリ読み出しは、すべてのユーザマット／ユーザブートマットを自動消去した後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができませんので、ご注意ください。

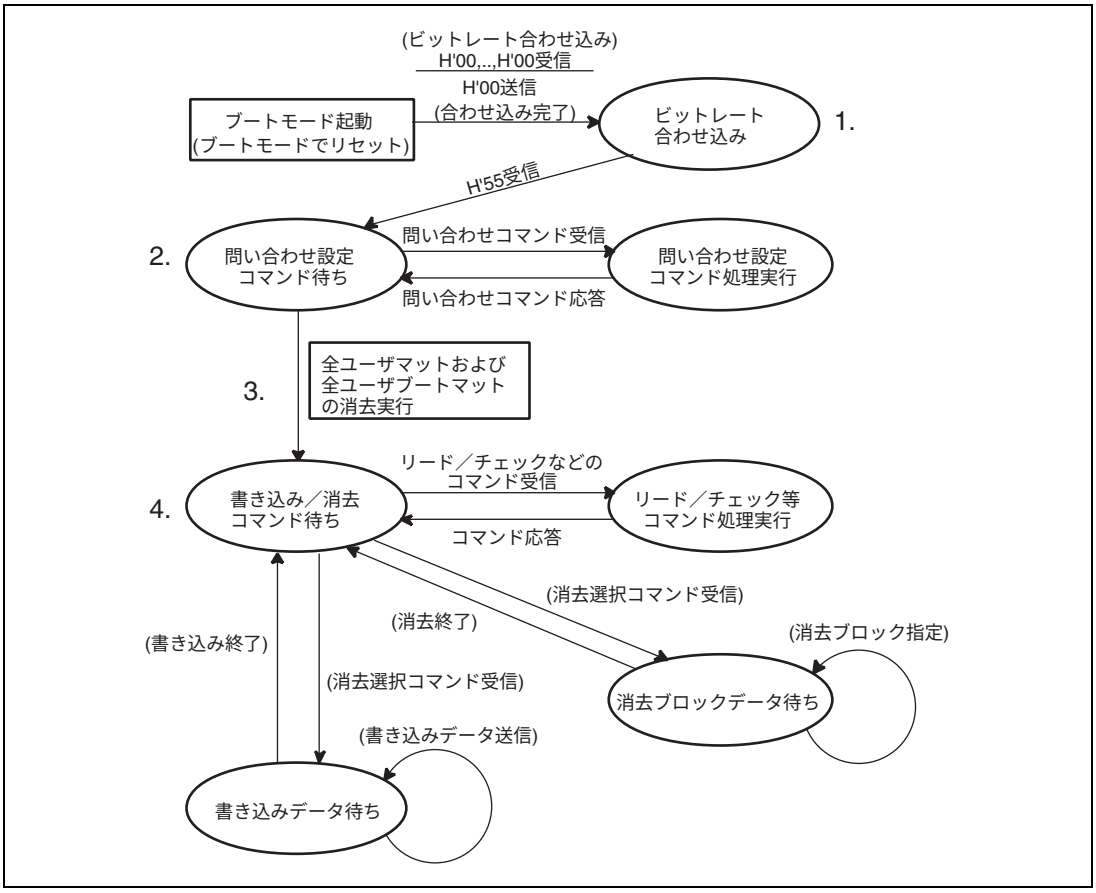


図 14.8　ブートモードの状態遷移の概略図

14.4.2　ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み／消去ができます（ユーザブートマットの書き込み／消去はできません）。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み／消去を実施します。

書き込み／消去概略フローを図 14.9 に示します。

なお、書き込み／消去処理中はフラッシュメモリ内部に高電圧が印加されていますので、書き込み／消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μs の通常より長いリセット入力期間のあとにリセットリリースしてください。

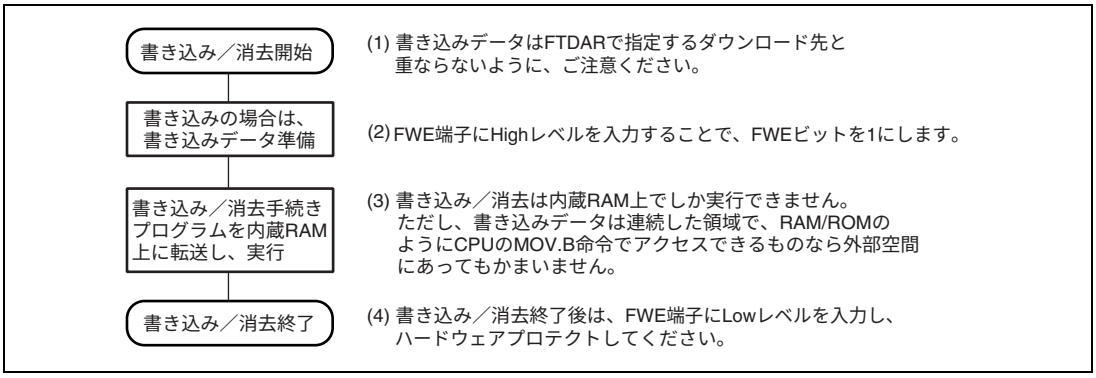


図 14.9　書き込み／消去概略フロー

（1）　書き込み／消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み／消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 14.10 にダウンロードされるプログラムの領域を示します。

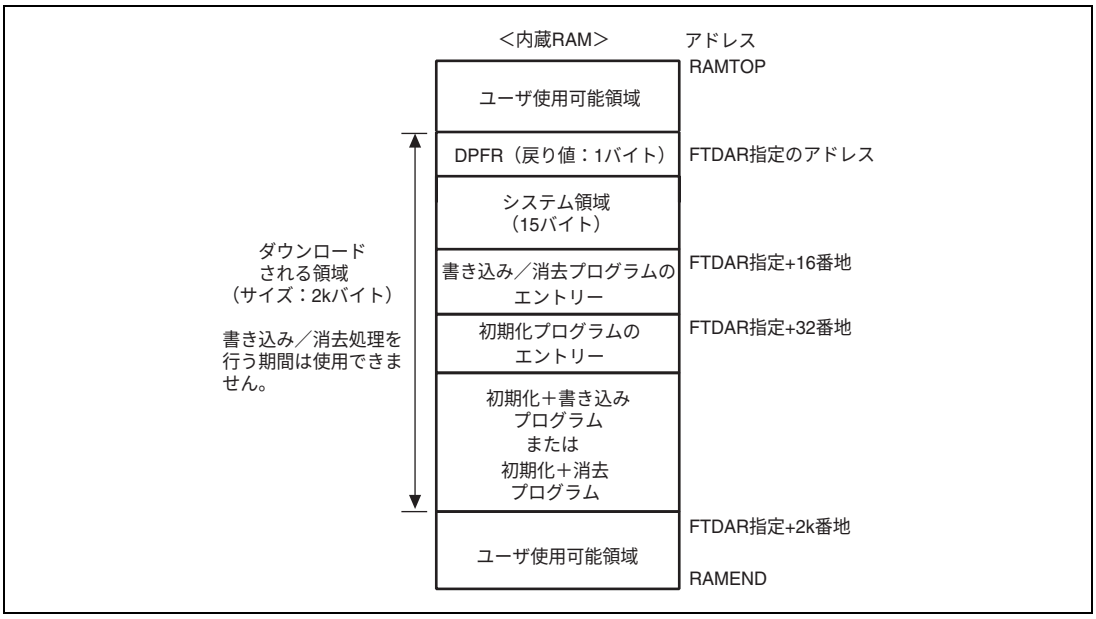


図 14.10　書き込み／消去実施時の RAM マップ

（2）ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 14.11 に示します。

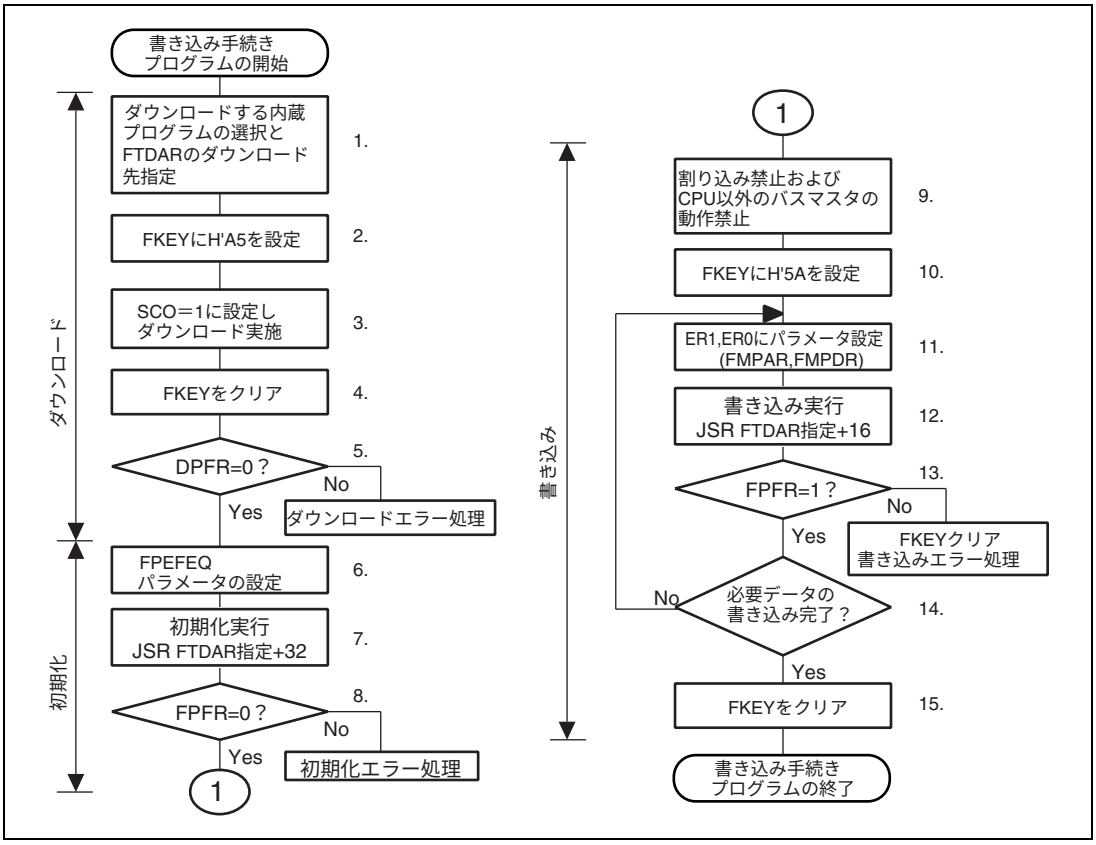


図 14.11　書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS の SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「14.4.4　手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス／書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

1. ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。

   FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。
   書き込み／消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータにのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の先頭アドレスを指定します。

2. FKEYにH'A5を書き込みます。

   プロテクトのためにFKEYにH'A5を書き込まないとダウンロード要求のSCOビットに1をセットすることができません。

3. FCCSのSCOビットが1にセットし、ダウンロードを実行します。

   SCOビットに1をセットするためには、以下の条件がすべて満足されている必要があります。

   （1）FKEYにH'A5が書き込まれていること。

   （2）SCOビット書き込みが内蔵RAM上で実行されていること。

   SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCOビットが0にクリアされていますので、ユーザ手続きプログラムではSCOビットが1であることの確認ができません。
   ダウンロード結果の確認は、DPFRパラメータの戻り値での確認となりますので、SCOビットを1にセットする前に、DPFR パラメータとなる、FTDARで指定した内蔵RAMの先頭1バイトを、戻り値以外（H'FFなど）に設定して誤判定の発生を防いでください。
   ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCOビットを1にセットする命令の直後には4つのNOP命令を実行してください。

- ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
- FPCS、FECS、FCCSのSCOビットを0クリアします。
- DPFRパラメータに戻り値を設定します。
- 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。
- ダウンロード処理では、CPUの汎用レジスタは値が保存されます。
- ダウンロード処理中は、すべての割り込みは受け付けられません。NMI以外の割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。
- レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。
- ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。
- 最大128バイトのスタック領域を使用しますので、SCOビットを1にセットする前に確保しておいてください。
- ダウンロード中にDMACによるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DMACによるアクセスが発生しないようにご注意ください。

4. プロテクトのために、FKEYをH'00にクリアします。
5. DPFRパラメータの値をチェックしダウンロード結果を確認します。

- DPFR パラメータ（FTDARで指定したダウンロード先の先頭アドレスの1バイト）の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
- DPFRパラメータの値が、ダウンロード実行前に設定した値（H'FFなど）と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのTDERビットを確認してください。
- DPFRパラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットや、FKビットにて、ダウンロードプログラムの選択やFKEYの設定が正常であったかの確認をしてください。

6. 初期化のためにFPEFEQパラメータに動作周波数を設定します。

- FPEFEQパラメータ（汎用レジスタ：ER0）に、現在のCPUクロックの周波数を設定します。

  FPEFEQパラメータの設定可能範囲は5MHz～33MHzです。この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「14.3.2（2）（a） フラッシュプログラム／イレース周波数パラメータ（FPEFEQ）」を参照してください。

7. 初期化を実行します。

   初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス＋32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L   #DLTOP+32,ER2    ; エントリーアドレスを ER2 に設定
JSR     @ER2             ; 初期化ルーチンをコール
NOP
```

- 初期化プログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
- 初期化プログラム実行中の割り込み受けつけは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

8. 初期化プログラムの戻り値FPFR（汎用レジスタR0L）を判定します。
9. すべての割り込みと、CPU以外のバスマスタ（DMAC）の使用を禁止してください。

   書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとDMACへのバス権を禁止としてください。

   割り込み処理禁止の設定で割り込み制御モード0のときは、CPUのコンディションコードスレジスタ（CCR）のビット7（I）を1b'1に設定し、割り込み制御モード2のときは、CPUのエクステンドレジスタ（EXR）のビット2～0（I2～I0）を3b'111に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。

   NMI割り込みは、ユーザシステム上で発生しないようにしてください。

   保持した割り込みは、すべての書き込み処理後に実行するようにしてください。

   また、DMACへのバス権の移動が発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にDMACによるバス権確保も発生しないようにしておいてください。
10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。

    ユーザマットの書き込み先の先頭アドレス（FMPAR）を汎用レジスタER1に、書き込みデータ領域の先頭アドレス（FMPDR）の先頭アドレスを汎用レジスタのER0に設定します。

- FMPAR設定例

  FMPARは書き込み先アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですのでアドレスの下位8ビットが、H'00かH'80の128バイト境界である必要があります。

- FMPDR設定例

  書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

12. 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス＋16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L   #DLTOP+16,ER2   ; エントリーアドレスを ER2 に設定
JSR     @ER2            ; 書き込みルーチンをコール
NOP
```

- 書き込みプログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

13. 書き込みプログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

14. 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い上記12.～14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

15. 書き込みが終了したらFKEYをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、リセットで再起動する場合は通常より長い100μs以上のリセット実施期間（$\overline{\text{RES}}$=0の期間）を設けてください。

(3)　ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 14.12 に示します。

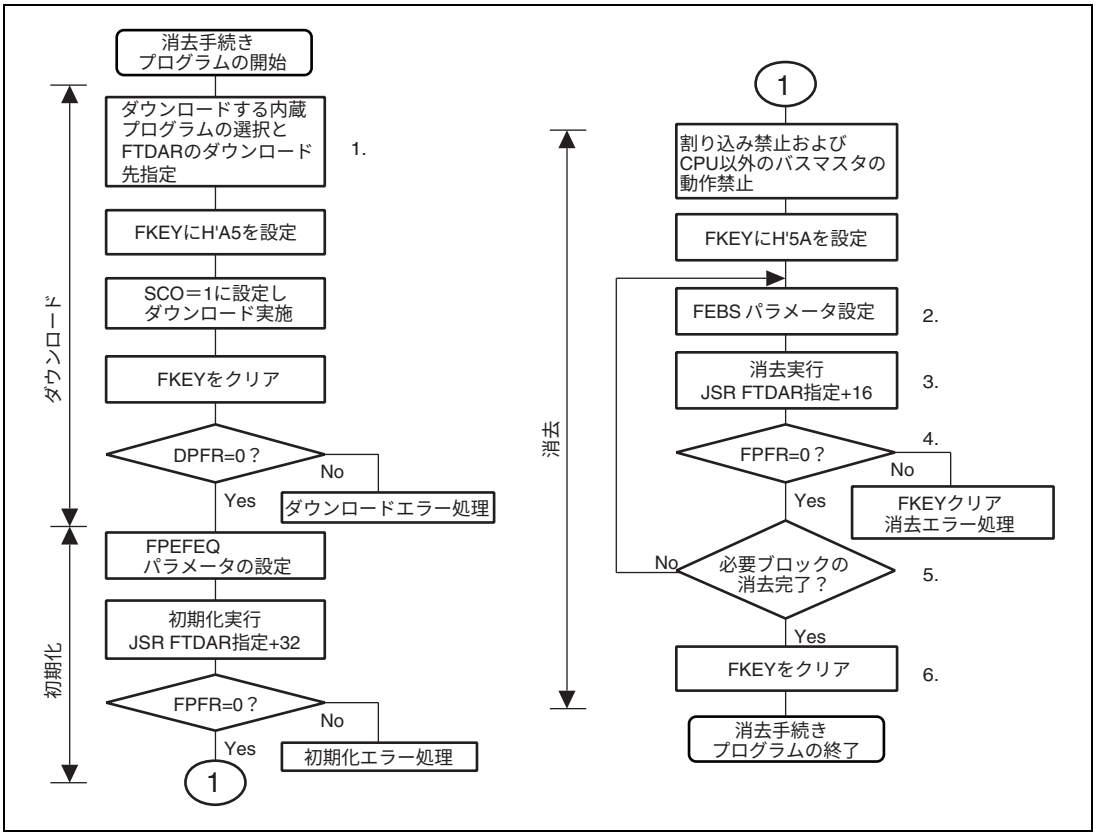


図 14.12　消去手順

手順プログラムは、消去対象のユーザマット以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「14.4.4　手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 14.10 の書き込み／消去時の RAM マップを参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 14.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

1. ダウンロードする内蔵プログラムを選択します。

   FECSのEPVBビットを1にセットします。

   書き込み／消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータのSSビットにダウンロードエラーが報告されます。

FTDAR レジスタで、ダウンロード先の先頭アドレスを指定します。

FKEY の設定以降のダウンロード、初期化、などの手続きは、書き込み手順と同じですので、「14.4.2 (2)　ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

2. 消去に必要なFEBSパラメータの設定を行います。

   ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータFEBS（汎用レジスタER0）に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータFPFRにはエラーが報告されます。

3. 消去処理を実行します。

   書き込みと同様に、FTDARで指定したダウンロード先の先頭アドレス＋16バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L   #DLTOP+16,ER2    ; エントリーアドレスを ER2 に設定
JSR     @ER2             ; 消去ルーチンをコール
NOP
```

- 消去プログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

4. 消去プログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

5. 必要ブロックの消去が完了したかを判断します。

   複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記2.～5.の処理を繰り返します。消去済みブロックに対しての消去は可能です。

6. 消去が終了したらFKEYをクリアして、ソフトウェアプロテクトを掛けてください。

   ユーザマットへの消去完了直後、リセットで再起動する場合は通常より長い100 μs以上のリセット実施期間（$\overline{\mathrm{RES}}$=0の期間）を設けてください。

(4) ユーザプログラムモードでの消去／書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

消去、書き込みを繰り返し実行する場合の手順を図 14.13 に示します。

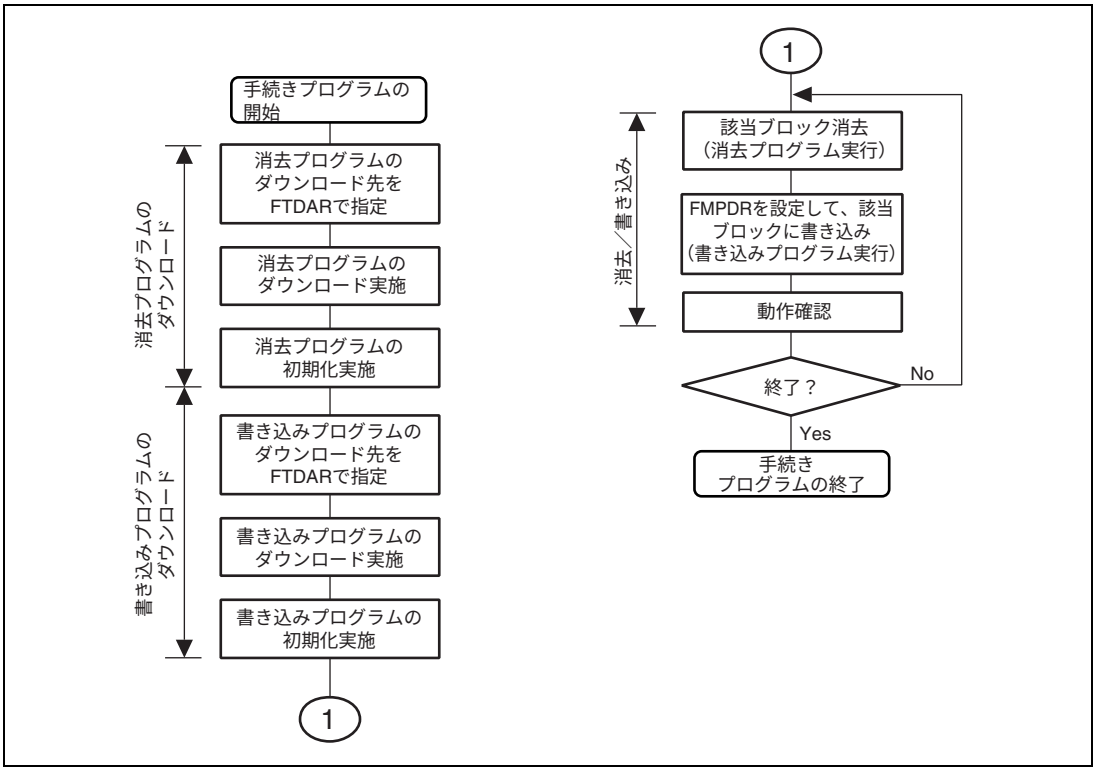


図 14.13　消去、書き込みの繰り返し手順

本手順では、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。本手順のような手続きを行う場合、以下にご注意ください。

- 内蔵RAM領域の重複破壊にご注意ください。

  消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

- 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

  FPEFEQパラメータを設定する初期化は、必ず、消去プログラム／書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭＋32番地、書き込みプログラムのダウンロード先頭＋32番地の両方に対して初期化してください。

14.4.3 ユーザブートモード

本 LSI にはブートモード、ユーザプログラムモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み／消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み／消去は、ブートモードまたはライタモードで行ってください。

（1） ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 14.6 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受けつけられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、FMATS レジスタには H'AA が設定されています。

（2） ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 14.14 に示します。

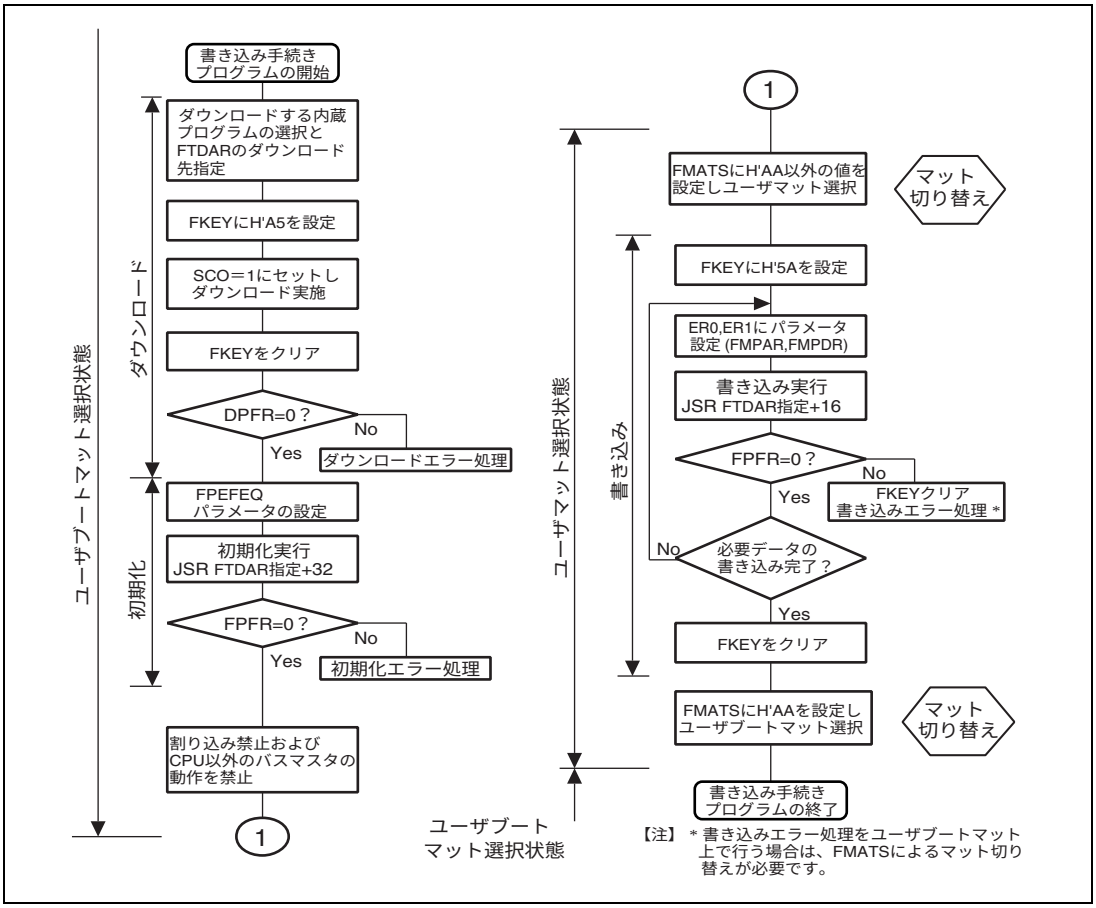


図 14.14　ユーザブートモードでのユーザマットへの書き込み手順

図 14.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「14.6　ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「14.4.4　手順プログラム、または書き込みデータの格納可能領域」に示します。

（3）　ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 14.15 に示します。

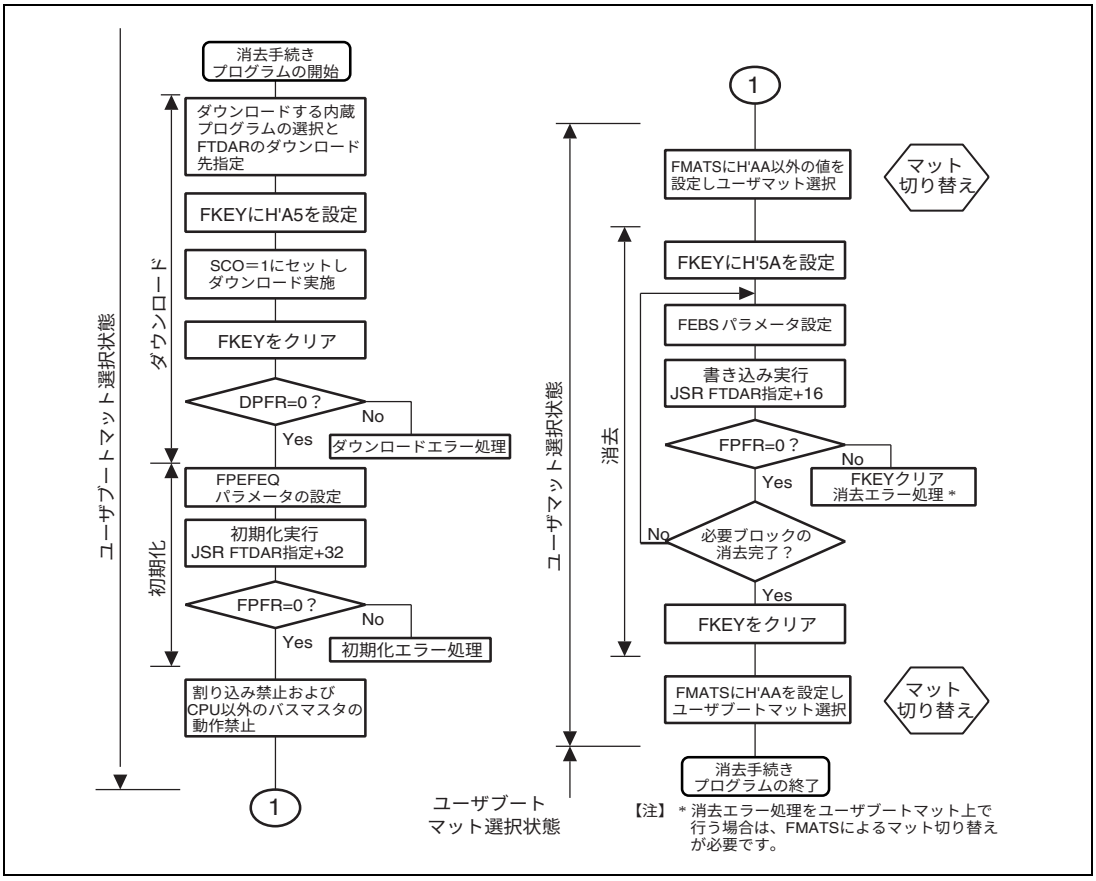


図 14.15　ユーザブートモードでのユーザマットの消去手順

図 14.15 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「14.6　ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「14.4.4　手順プログラム、または書き込みデータの格納可能領域」に示します。

14.4.4　手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み／消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件により他の領域（書き込み／消去対象外のフラッシュメモリ、外部空間領域など）で実行することができます。

（1）　書き込み／消去の条件

1. 内蔵の書き込み／消去実行プログラムはFTDARで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み／消去実行プログラムでは、スタック領域を最大128バイト使用するので、確保してください。
3. SCOビットを1にセットしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み／消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、NMI処理ベクタとNMI処理ルーチンなどを内蔵RAMに転送してください。
5. 書き込み／消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、およびNMI割り込みのベクタテーブルとNMI割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
6. 書き込み／消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

   書き込み／消去完了後に、LSIモードを変更してリセット動作をさせる場合には、100μs以上のリセット期間（$\overline{\mathrm{RES}}$=0とする期間）を設けてください。

   なお、書き込み／消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100μsの通常より長いリセット期間の後に、リセットリリースしてください。
7. ユーザブートモードでのユーザマットへの書き込み／消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。

   （「14.6　ユーザマットとユーザブートマットの切り替え」を参照ください）

   マットの切り替えにおいて、現在どちらのマットが選択されているかにご注意ください。
8. 通常書き込みのデータであっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上であるとエラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード／ユーザマットのバンク構成／処理内容ごとの組み合わせでの、書き込みデータ格納および実行が可能なエリアを表に示します。

表 14.8　実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 14.9（1）	表 14.9（3）
消去	表 14.9（2）	表 14.9（4）

【注】　*　ユーザマットに対しての書き込み／消去が可能です。

表 14.9（1）　ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間（拡張モード時）	ユーザマット	組み込みプログラム格納マット
書き込みデータの格納領域	○	×*	○	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	○	
FCCS の SC0=1 書き込み実行（ダウンロード）	○	×	×		○
FKEY クリア処理	○	○	○	○	
ダウンロード結果の判定	○	○	○	○	
ダウンロードエラー処理	○	○	○	○	
初期化パラメータの設定処理	○	○	○	○	
初期化実行	○	×	×	○	
初期化結果の判定	○	○	○	○	
初期化エラー処理	○	○	○	○	
NMI 処理ルーチン	○	×	○	○	
割り込み禁止処理	○	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	○	
書き込みパラメータの設定処置	○	×	○	○	
書き込み実行	○	×	×	○	
書き込み結果の判定	○	×	○	○	
書き込みエラー処理	○	×	○	○	
FKEY クリア処理	○	×	○	○	

【注】　*　事前に内蔵 RAM に転送しておけば可能です。

表 14.9（2）　ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間 （拡張モード時）	ユーザマット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理	○	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	○	
FCCS の SC0=1 書き込み実行（ダウンロード）	○	×	×		○
FKEY クリア処理	○	○	○	○	
ダウンロード結果の判定	○	○	○	○	
ダウンロードエラー処理	○	○	○	○	
初期化パラメータの設定処理	○	○	○	○	
初期化実行	○	×	×	○	
初期化結果の判定	○	○	○	○	
初期化エラー処理	○	○	○	○	
NMI 処理ルーチン	○	×	○	○	
割り込み禁止処理	○	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	○	
消去パラメータの設定処置	○	×	○	○	
消去実行	○	×	×	○	
消去結果の判定	○	×	○	○	
消去エラー処理	○	×	○	○	
FKEY クリア処理	○	×	○	○	

表 14.9（3）　ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間（拡張モード時）	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域	○	×*1	○	—	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○		○	
FKEY への H'5A 書き込み処理	○	○	○		○	
FCCS の SC0=1 書き込み実行（ダウンロード）	○	×	×			○
FKEY クリア処理	○	○	○		○	
ダウンロード結果の判定	○	○	○		○	
ダウンロードエラー処理	○	○	○		○	
初期化パラメータの設定処理	○	○	○		○	
初期化実行	○	×	×		○	
初期化結果の判定	○	○	○		○	
初期化エラー処理	○	○	○		○	
NMI 処理ルーチン	○	×	○		○	
割り込み禁止処理	○	○	○		○	
FMATS によるマット切り替え	○	×	×	○		
FKEY への H'5A 書き込み処理	○	×	○	○		
書き込みパラメータの設定処置	○	×	○	○		
書き込み実行	○	×	×	○		
書き込み結果の判定	○	×	○	○		
書き込みエラー処理	○	×*2	○	○		
FKEY クリア処理	○	×	○	○		
FMATS によるマット切り替え	○	×	×		○	

【注】　*1　事前に内蔵 RAM に転送しておけば可能です。

*2　内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 14.9（4）　ユーザブートモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間（拡張モード時）	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理	○	○	○		○	
FKEY への H'A5 書き込み処理	○	○	○		○	
FCCS の SC0=1 書き込み実行（ダウンロード）	○	×	×			○
FKEY クリア処理	○	○	○		○	
ダウンロード結果の判定	○	○	○		○	
ダウンロードエラー処理	○	○	○		○	
初期化パラメータの設定処理	○	○	○		○	
初期化実行	○	×	×		○	
初期化結果の判定	○	○	○		○	
初期化エラー処理	○	○	○		○	
NMI 処理ルーチン	○	×	○		○	
割り込み禁止処理	○	○	○		○	
FMATS によるマット切り替え	○	×	×		○	
FKEY への H'5A 書き込み処理	○	×	○	○		
消去パラメータの設定処置	○	×	○	○		
消去実行	○	×	×	○		
消去結果の判定	○	×	○	○		
消去エラー処理	○	×*	○	○		
FKEY クリア処理	○	×	○	○		
FMATS によるマット切り替え	○	×	×	○		

【注】　*　内蔵 RAM 上で FMATS を切り替えた後なら可能です。

14.5　プロテクト

フラッシュメモリに対する書き込み／消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトの 2 種類あります。

14.5.1　ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み／消去プログラムを起動してもユーザマットの書き込み／消去はできず、書き込み／消去エラーが FPFR パラメータで報告されます。

表 14.10　ハードウェアプロテクト

項目	説　　明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	• FWE 端子に Low レベルが入力されているときには、FCCS の FWE ビットがクリアされ、書き込み／消去プロテクト状態になります。	ー	○
リセット、スタンバイプロテクト	• リセット（WDT によるリセットも含む）およびハードウェアスタンバイ時は、書き込み／消去インタフェースレジスタが初期化され、書き込み／消去プロテクト状態になります。 • $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。書き込み／消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。	○	○

14.5.2　ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み／消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクトがあります。

表 14.11　ソフトウェアプロテクト

項目	説　　明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	• FCCS の SCO ビットを 0 にクリアすることにより、書き込み／消去プログラムのダウンロードができないため、書き込み／消去プロテクト状態になります。	○	○
FKEY プロテクト	• FKEY にキーコードを書き込まないと、ダウンロードと書き込み／消去ができません。ダウンロードと書き込み／消去では、異なったキーコードの設定が必要です。	○	○

14.5.3　エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み／消去中のマイコンの暴走や規定の書き込み／消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み／消去動作を強制的に中断するプロテクトです。書き込み／消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中にマイコンが異常動作すると、FCCS の FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み／消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み／消去中にNMIなどの割り込みが発生したとき
2. 書き込み／消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
3. 書き込み／消去中にSLEEP命令を実行したとき（ソフトウェアスタンバイを含む）
4. 書き込み／消去中にCPU以外のバスマスタ（DMAC）が、バス権を確保したとき

エラープロテクトの解除は、リセットまたはハードウェアスタンバイで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μs の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み／消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 14.16 にエラープロテクト状態への状態遷移図を示します。

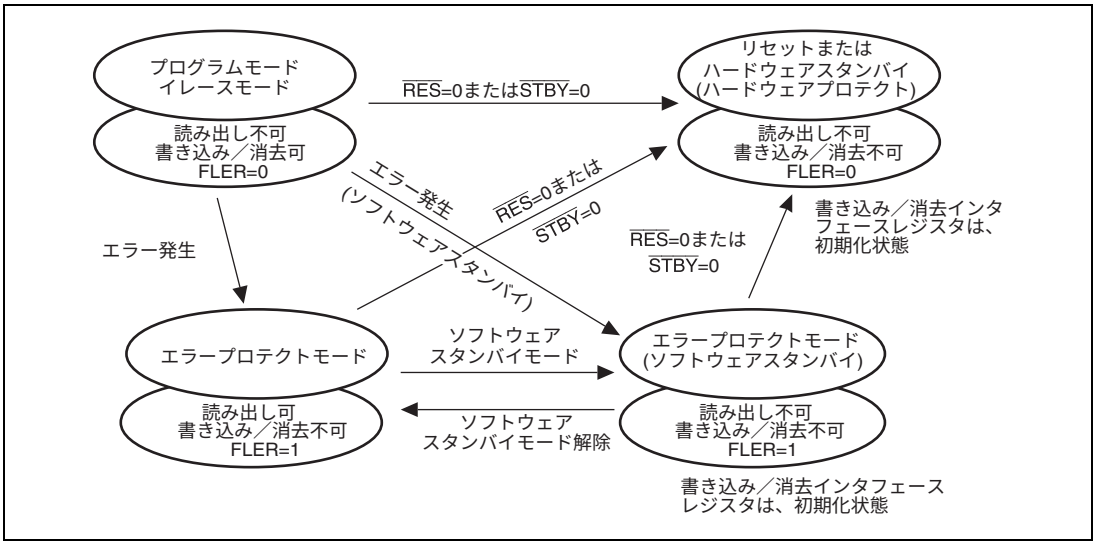


図 14.16　エラープロテクト状態への状態遷移図

14.6　ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ 0 番地からのアドレスに割り当てられているため、以下の手順が必要です。

（ユーザブートマットに切り替えた状態での書き込み／消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライタモードで実施してください。）

1. FMATSによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATS書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。

   （切り替えを行っている最中のフラッシュメモリをアクセスしないためです）
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。

   必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクターテーブルも切り替わっていますので注意してください。

   マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもFCCSのWEINTEビットをセットすることにより内蔵RAM上に設定するなどをお願いします。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。8kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8kバイト空間以上をアクセスした場合、不定値が読み出されます。

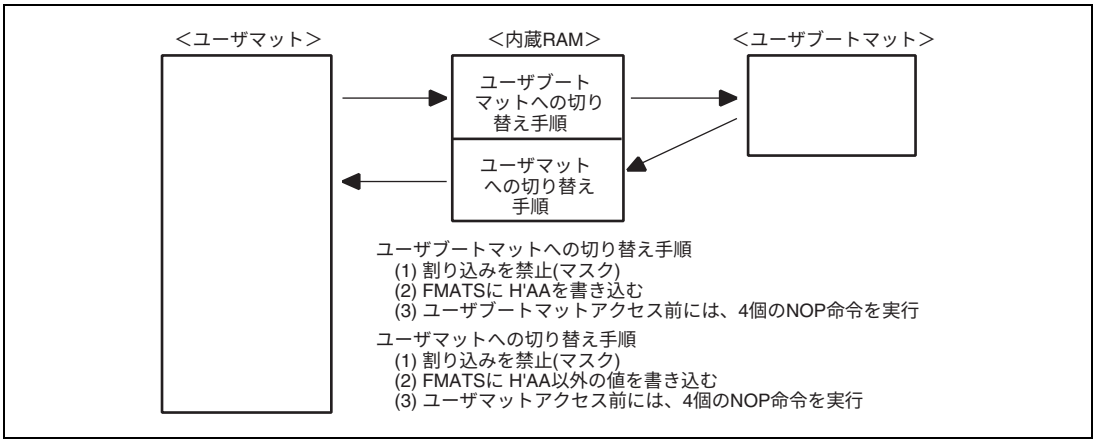


図 14.17　ユーザマット／ユーザブートマットの切り替え

14.7　RAM によるフラッシュメモリのエミュレーション

14.7.1　RAM によるエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ（RAMER）で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 14.18 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

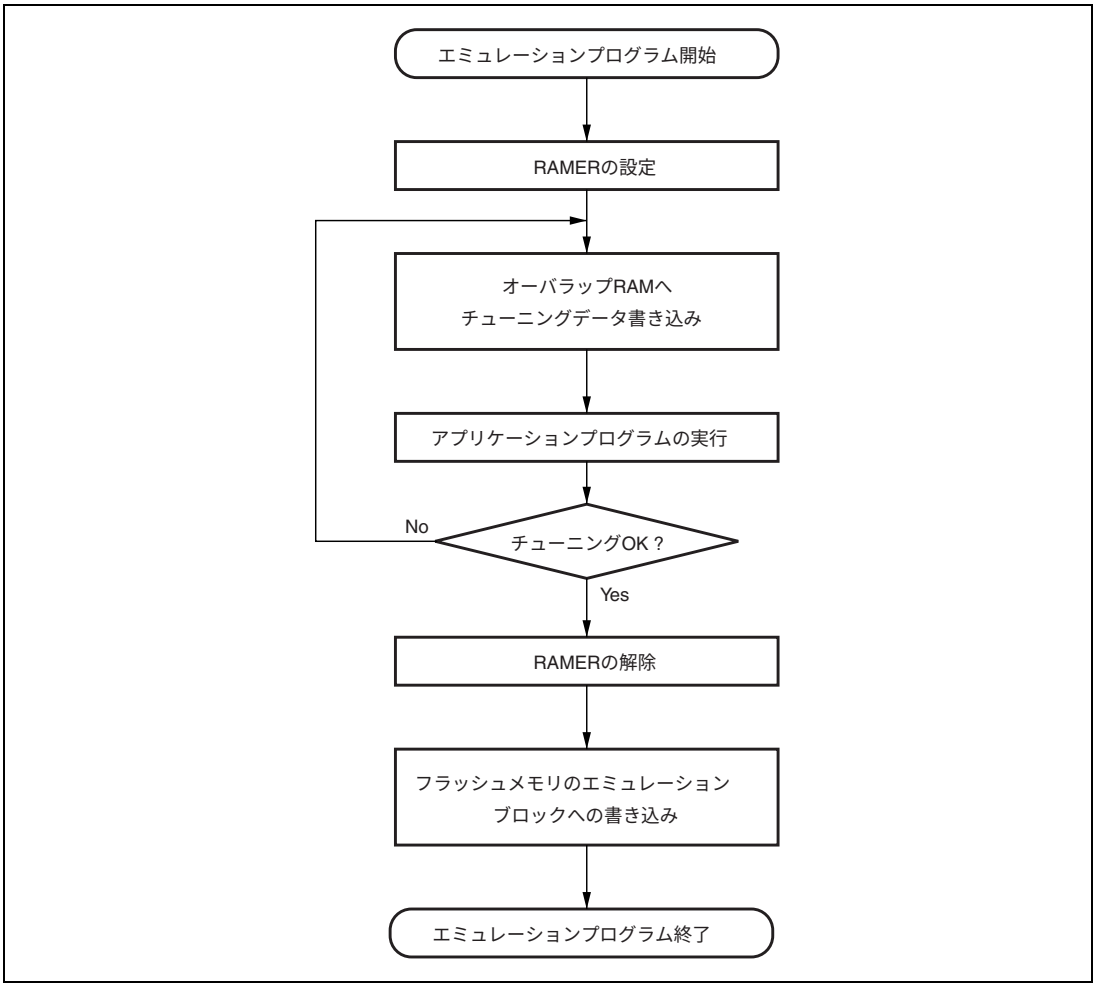


図 14.18　RAM によるエミュレーションフロー

14.7.2　RAM のオーバラップ

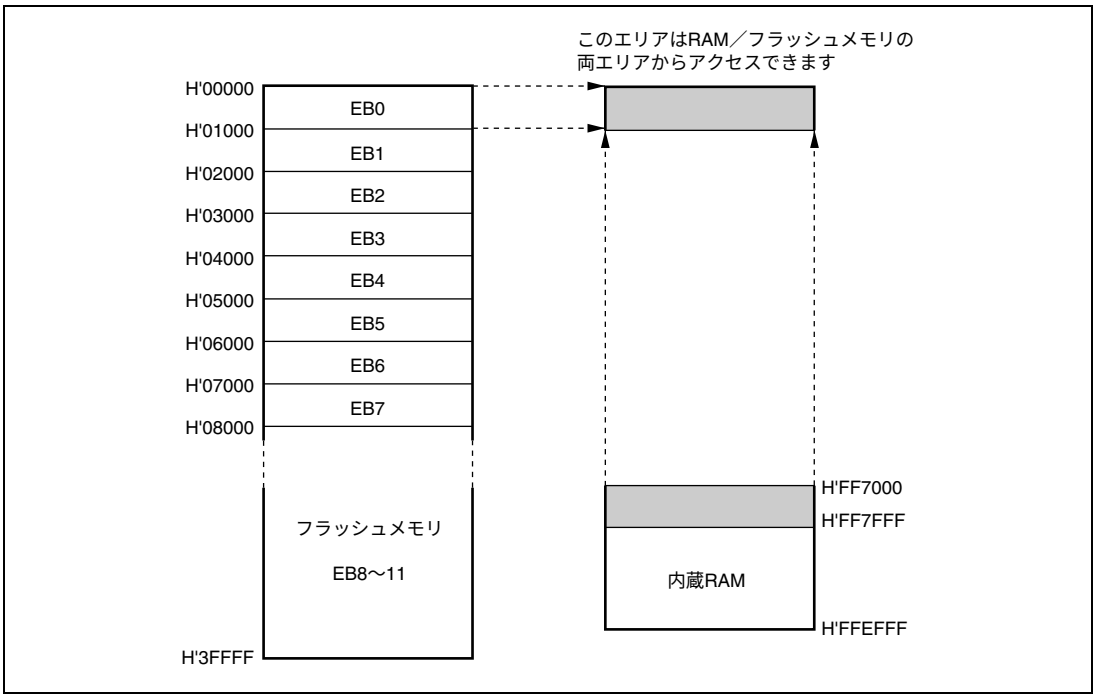


図 14.19　RAM のオーバラップ動作例（256k フラッシュメモリの場合）

エミュレーション可能なフラッシュメモリの領域は、ユーザマットのバンク 1 の EB0～EB7 の 8 エリアから RAMS2～RAMS0 ビットで選択した 1 エリアです。

図 14.19 にフラッシュメモリのブロックエリア（EB1）をオーバラップさせる例を示します。

1. リアルタイムな書き換えを必要とするエリア（EB1）にRAMの一部をオーバラップさせるには、RAMERのRAMS＝1、RAM2＝0、RAM1＝0、RAM0＝1に設定してください。
2. リアルタイムな書き換えは、オーバラップさせたRAMを使って行います。
3. 書き換えデータ確認後、RAMSビットをクリアしてRAMのオーバラップを解除します。
4. オーバラップさせたRAMに書き込まれたデータをフラッシュメモリ空間（EB1）に書き込みます。

【注】 1. RAMS ビットを 1 にセットすると RAM2、RAM1、RAM0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み／消去プロテクトが有効となります（エミュレーションプロテクト）。フラッシュメモリに実際に書き込み／消去を行う場合は RAMS ビットを 0 にクリアしてください。

2. RAM よるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

3. ブロックエリア（EB0）はベクタテーブルを含みます。RAM エミュレーションする場合、オーバラップ RAM にはベクタテーブルが必要となります。

14.8　ライタモード

プログラム／データの書き込み／消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではルネサス 256k バイトフラッシュメモリ内蔵マイコンのデバイスタイプ*をサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み／消去対象マットは、ユーザマットとユーザブートマットです。図 14.20 にライタモード時のメモリマップを示します。

自動書き込み／自動消去／ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み／自動消去を実行した後に、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

【注】　＊　本 LSI は、PROM ライタの書き込み電圧を 3.3V に設定して使用してください。

図 14.20　ライタモード時のメモリマップ

14.9　ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

（1）　ステータス

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

   ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

   ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み／消去ステータス遷移コマンドで書き込み／消去ステータスに遷移します。書き込み／消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み消去ステータス

書き込み／消去を行うステータスです。ホストからのコマンドに従って、書き込み／消去プログラムをRAMに転送し、書き込み／消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 14.21 に示します。

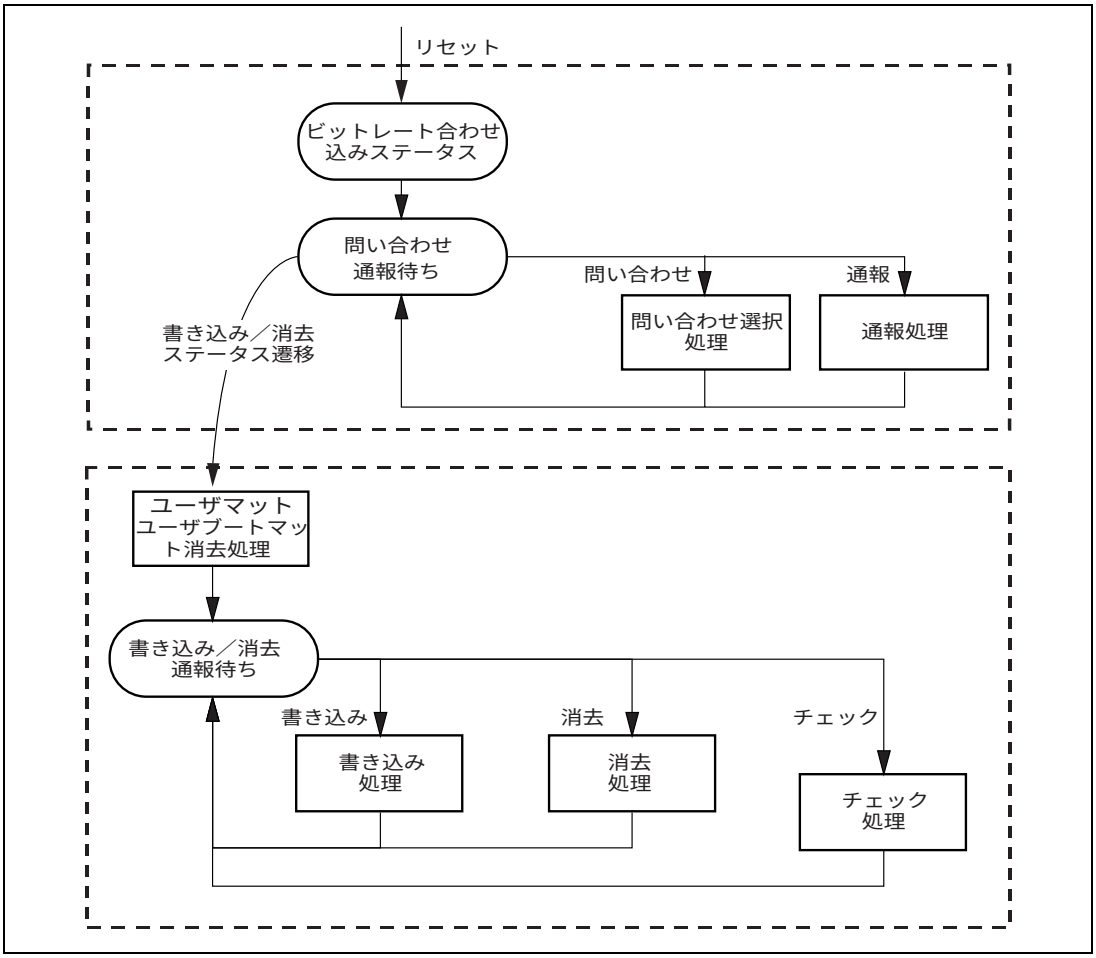


図 14.21　ブートプログラムのステータス

（2） ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 14.22 に示します。

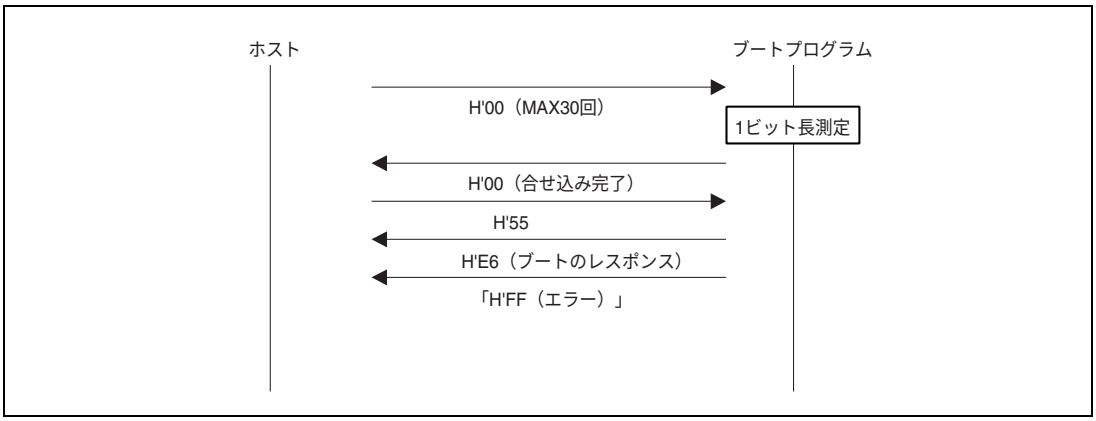


図 14.22　ビットレート合わせ込みのシーケンス

（3） 通信プロトコル

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

1. 1文字コマンドまたは1文字レスポンス

   コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

   コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。
   書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

3. エラーレスポンス

   コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

4. 128バイト書き込み

   サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

   サイズが4バイトのレスポンスです。

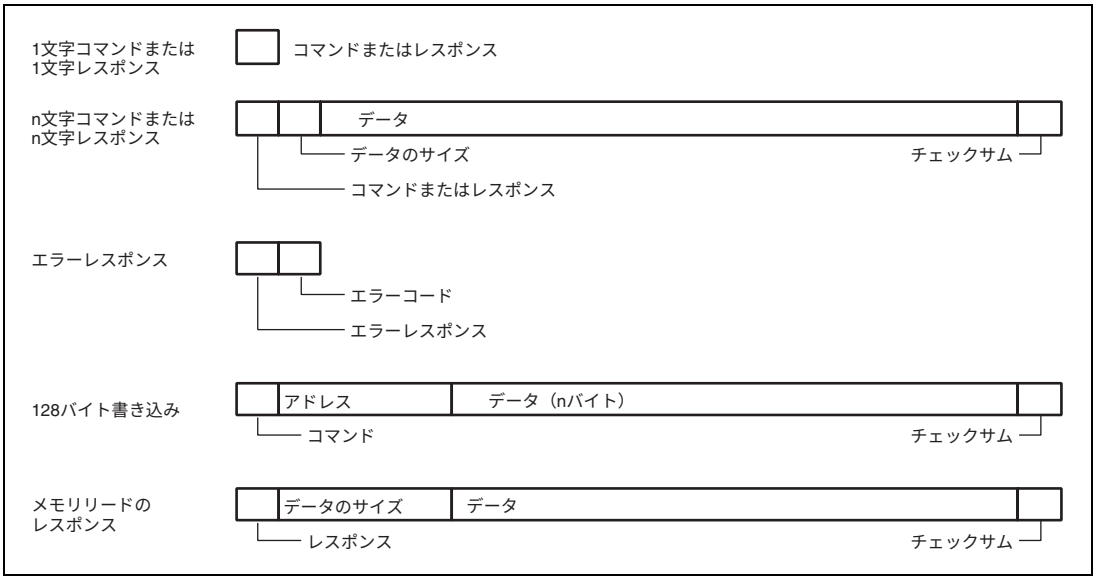


図 14.23　通信プロトコルフォーマット

- コマンド（1バイト）：問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス（1バイト）：問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ（nバイト）：コマンド、レスポンスの詳細データ
- チェックサム（1バイト）：コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス（1バイト）：コマンドに対するエラーレスポンス
- エラーコード（1バイト）：発生したエラーの種類
- アドレス（4バイト）：書き込みアドレス
- データ（nバイト）：書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ（4バイト）：メモリリードのレスポンスで4バイト長

(4)　問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュ ROM の情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を下表に示します。

表 14.12　問い合わせ選択コマンド一覧

コマンド	コマンド名	機　　能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逓倍比問い合わせ	逓倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択（H'10）、クロックモード選択（H'11）、新ビットレート選択（H'3F）の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが 2 つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ（H'4F）を除いて、書き込み消去ステータス遷移（H'40）を受付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ（H'4F）は書き込み消去ステータス遷移（H'40）を受付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20	

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス

H'30	サイズ	デバイス数	
文字数	デバイスコード		品名
・・・			
SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名のASCIIコード
- 品名（nバイト）：ブートプログラム型名、ASCIIコード
- SUM（1バイト）：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ.（1バイト）：デバイスコードの文字数、固定値で2
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラー

レスポンス

H'90	ERROR

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'11：サムチェックエラー

  H'21：デバイスコードエラー、デバイスコードが一致しない

(c)　クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	．．．	SUM

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数
  H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01　クロックモード1）
- SUM（1バイト）：サムチェック

(d)　クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ.（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラー

レスポンス

H'91	ERROR

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'22：クロックモードエラー、クロックモードが一致しない

  クロックモード問い合せでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e)　逓倍比問い合わせ

逓倍比問い合わせに対して、ブートプログラムは選択可能な逓倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：逓倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逓倍比数	逓倍比	・・・					
・・・							
SUM							

- レスポンス「H'32」（1バイト）：逓倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、逓倍比数、逓倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な逓倍比の種別の数
  （メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02）
- 逓倍比数（1バイト）：各動作周波数で選択可能な逓倍比数
  メインモジュール、周辺モジュールで選択可能な逓倍比数
- 逓倍比（1バイト）
  - 逓倍比：　逓倍する数値（例　4逓倍：H'04）
  - 分周比：　分周する数値、負の数（例　2分周：H'FE[－2]）

  逓倍比を逓倍比数の数だけ繰り返し、逓倍比数と逓倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f)　動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス

H'33	サイズ	周波数の数
動作周波数最小値		動作周波数最大値
・・・		
SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数　（1バイト）：デバイスで必要な動作周波数の種類数、
  たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逓倍あるいは分周されたクロックの最小値、
  動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値、
  （たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逓倍あるいは分周されたクロックの最大値、
  動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く

- SUM（1バイト）：サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24	

- コマンド「H'24」（1バイト）：ユーザブートマット情報問い合わせ

レスポンス

H'34	サイズ	エリア数	
エリア先頭アドレス			エリア最終アドレス
・・・			
SUM			

- レスポンス「H'34」（1バイト）：ユーザブートマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザブートマットのエリアの数、
  ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス、
  エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25	

- コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス

H'35	サイズ	エリア数	
エリア先頭アドレス			エリア最終アドレス
・・・			
SUM			

- レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 （1バイト）：連続したユーザマットのエリアの数、
  ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス、
  エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(i)　消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス

H'36	サイズ	ブロック数

ブロック先頭アドレス	ブロック最終アドレス
・・・	

SUM

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数　（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス、
  ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(j)　書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス

H'37	サイズ	書き込みサイズ	SUM

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ、
  このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k)　新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
逓倍比数	逓倍比１	逓倍比２	
SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択

- サイズ（1バイト）：ビットレート、入力周波数、逓倍比数、逓倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート、
  1/100の値とする、（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数、
  周波数（MHz）の小数点2位までの値とする（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）。
- 逓倍比数（1バイト）：デバイスで選択可能な逓倍比数、
  通常はメイン動作周波数と周辺モジュール動作周波数で2
- 逓倍比1（1バイト）：メイン動作周波数の逓倍比または分周比
  逓倍比：逓倍する数値（例　4逓倍：H'04）
  分周比：分周する数値、負の数値（例　2分周：H'FE[－2]）
- 逓倍比2（1バイト）：周辺動作周波数の逓倍比または分周比
  逓倍比：逓倍する数値（例　4逓倍：H'04）
  分周比：分周する数値、負の数値（例　2分周：H'FE[－2]）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK

エラー
レスポンス

H'BF	ERROR

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
  H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
  H'26：逓倍比エラー、逓倍比が一致しない
  H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(5)　受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

   受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 逓倍比

受信した逓倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逓倍比または分周比と一致するかどうかをチェックします。一致しなければ逓倍比エラーです。

3. 動作周波数

受信した入力周波数と逓倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 ＝ 入力周波数 × 逓倍比、または、

動作周波数 ＝ 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数（φ）とビットレート（B）から、シリアルモードレジスタ（SMR）のクロックセレクト（CKS）の値（n）とビットレートレジスタ（BRR）の値（N）を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差（\%）} = \left\{\left[\frac{\phi * 10^{6}}{(N+1) * B * 64 * 2^{(2*n-1)}}\right] - 1\right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認　H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス　H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 14.24 に示します。

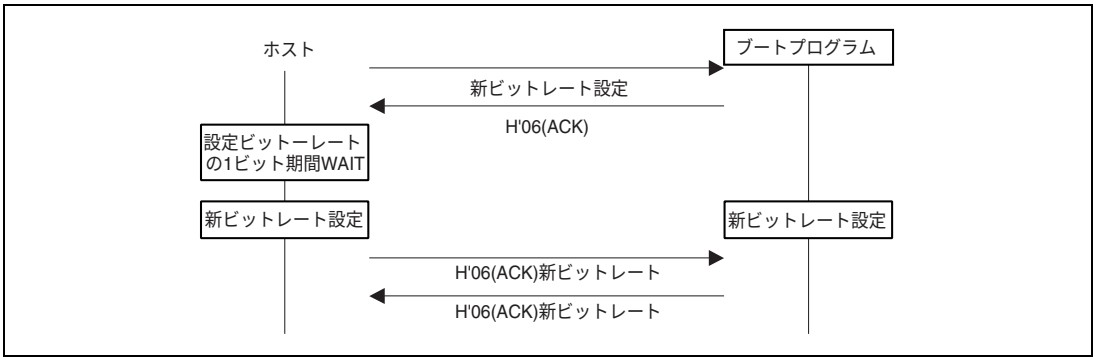


図 14.24　新ビットレート選択のシーケンス

(6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、
  消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラー
レスポンス

H'C0	H'51

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー
レスポンス

H'80	H'xx

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。

5. デバイス選択、クロックモード選択が終わったら、逓倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 逓倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧をを下表に示します。

表 14.13　書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

- 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドとに 128 バイト書き込みコマンドのシーケンスを図 14.25 に示します。

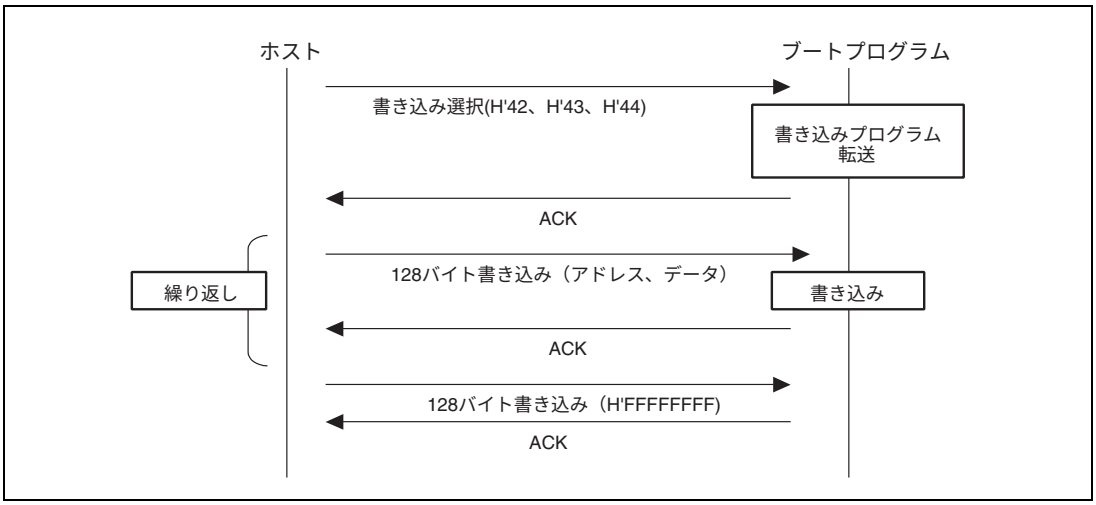


図 14.25　書き込みシーケンス

(a)　ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド　| H'42 |

- コマンド「H'42」（1バイト）：ユーザブートプログラム書き込み選択

レスポンス　| H'06 |

- レスポンス「H'06」（1バイト）：ユーザブートプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー
レスポンス　| H'C2 | ERROR |

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

- ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、
  書き込みプログラムを転送したときACK

エラー
レスポンス

H'C3	ERROR

- エラーレスポンス「H'C3」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b)　128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド

H'50	アドレス						
データ	・・・						
・・・							
SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数

  例）H'00,H'01,H'00,H'00：H'01000000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラー
レスポンス

H'D0	ERROR

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'11：サムチェックエラー

  H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド

H'50	アドレス	SUM

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書込みアドレス（4バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'53：書き込みエラー、書き込みエラーが発生し書き込めない

（10）消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 14.26 に示します。

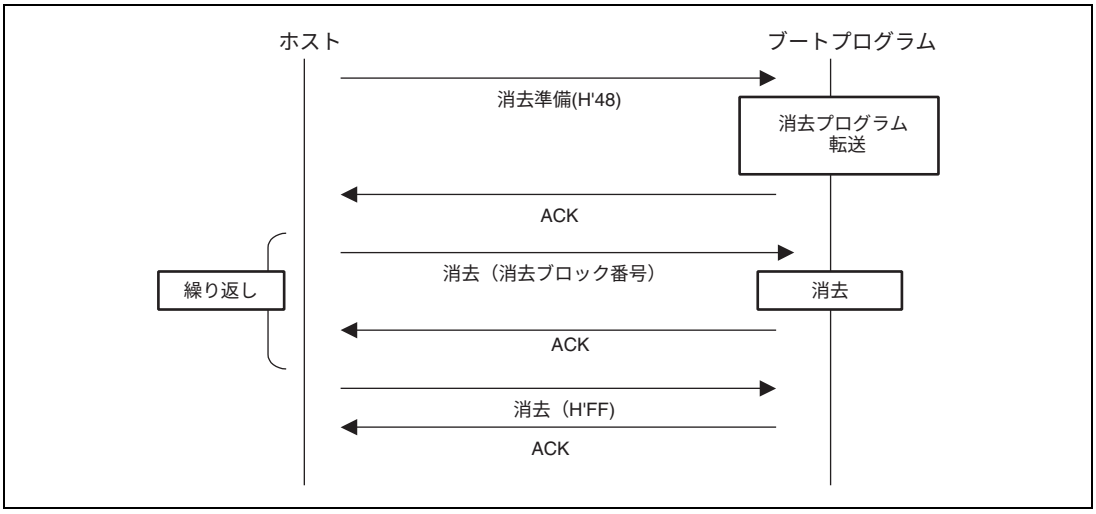


図 14.26　消去シーケンス

(a)　消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR

- エラーレスポンス「H'C8」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b)　ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM

- コマンド「H'58」（1バイト）：消去
- サイズ.（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラー

レスポンス

H'D8	ERROR

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'11：サムチェックエラー

  H'29：ブロック番号エラー、ブロック番号が正しくない

  H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(11) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出しアドレス
読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

  H'00：ユーザブートマット

  H'01：ユーザマット

  エリアの指定が正しくないときはアドレスエラー
- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM （1 イト）：サムチェック

レスポンス

H'52	読み出しアドレス						
データ	・・・						
SUM							

- レスポンス「H'52」（1バイト）：メモリリードに対する応答

- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM （1バイト）：サムチェック

エラー

レスポンス

H'D2	ERROR

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B：サイズエラー

読み出しサイズがマットの範囲を超えている

（12）ユーザブートプログラムのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」（1バイト）：ユーザブートプログラムのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM

- レスポンス「H'5A」（1バイト）：ユーザブートプログラムのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- マットのサムチェック（4バイト）：ユーザブートマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：サムチェック（送信データの）

（13）ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」（1バイト）：ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM

- レスポンス「H'5B」（1バイト）：ユーザプログラムのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- サムチェック（4バイト）：ユーザマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：サムチェック（送信データの）

（14）ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」（1バイト）：ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CC	H'52

- エラーレスポンス「H'CC」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

（15）ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CD	H'52

- エラーレスポンス「H'CD」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

（16）ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答

- サイズ（1バイト）：データの文字数、固定値で2
- STATUS （1バイト）：標準ブートプログラムのステータス
- ERROR（1バイト）：エラー状態

  ERROR =0で正常

  ERRORが0以外で異常
- SUM（1バイト）：サムチェック

表 14.14　ステータスコード

コード	内　　容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みステータス遷移全マット消去中
H'3F	書き込み／消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 14.15　エラーコード

コード	内　　容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逓倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

14.10 使用上の注意事項

1. 出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。

2. 本LSIのライタモードに適合するPROMライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。

3. PROMライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

4. 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROMライタは、ルネサス256kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。ライタの設定をHN28F101や書き込み電圧を5.0Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

5. 書き込み／消去実行中に、マイコンチップをPROMライタから取り外したり、リセットを入力することはやめてください。書き込み／消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100μsの通常より長いリセット期間の後にリセットリリースしてください。

6. 書き込み／消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。書き込み／消去完了直後に、LSIモードを変更してリセット動作をさせる場合には 、100μs以上のリセット期間（$\overline{\mathrm{RES}}$＝0とする期間）を設けてください。なお、書き込み／消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100μsの通常より長いリセット期間の後に、リセットリリースしてください。

7. V_{CC}電源の印加／切断時は$\overline{\mathrm{RES}}$端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

8. オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライタモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。

   書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

9. オンボードプログラミングモードにて書き込み／消去を行ったチップに対して、ライタを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。

10. フラッシュメモリへの書き込みを行う場合は、書き込みデータ、およびプログラムは外部割り込みベクタテーブル以降（H'000040）に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H’FFを配置してください。

11. フラッシュメモリのキーコードエリア（H'00003C～3F）にall H'FF（4バイト）以外のデータを書き込むと、ライタモードでの読み出しができなくなります（H'00が読み出される。消去→書き換えは可能）。ライタモードによる読み出しを行う場合は、必ずキーコードエリアにall H'FFを書き込むようにしてください。

    ライタモードでキーコードエリアにall H'FF以外のデータを書き込む場合、PROMライタがソフトウェア対応されていないとベリファイエラーになります。

12. 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ2kバイト以内です。よって、CPUクロック周波数が、10MHzの場合、それぞれ最大で600μsのダウンロード時間となります。

13. ダウンロード要求のFCCSのSCOビットや、マット切り替えのFMATSは、内蔵RAM上で命令実行中ならば、DMACからでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAMを破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DMACでのフラッシュ関連レジスタへの書き込みを行わないでください。

14. SCO転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来のF-ZTAT H8Sマイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本LSIでは動作しません。本F-ZTAT H8Sマイコンでのフラッシュメモリへの書き込み／消去は、必ず内蔵プログラムをダウンロードして実施してください。

15. 従来のF-ZTAT H8Sマイコンと異なり、書き込み／消去中はWDTによる暴走などへの対応は、実施していません。必要に応じて、書き込み／消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。

16. SCOビットに1をライトし、内蔵プログラムをダウンロードしている期間はWDTのカウントアップ動作が停止します。

15.　クロック発振器

本 LSI はクロック発振器を内蔵しており、システムクロック（φ）、および 内部クロックを生成します。クロック発振器は、発振器、PLL 回路から構成されます。クロック発振器のブロック図を図 15.1 に示します。

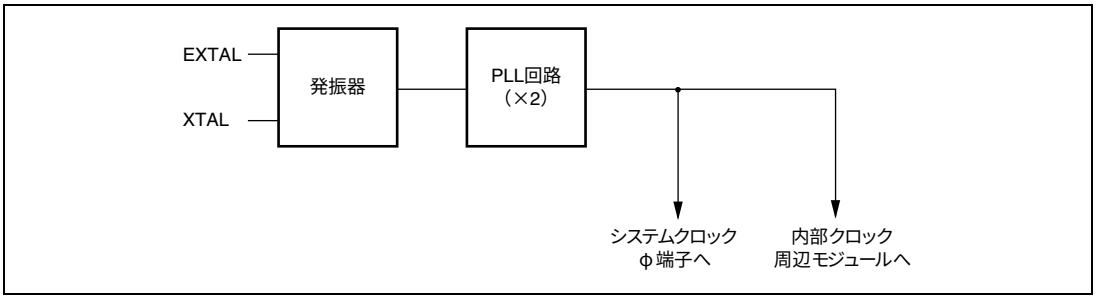


図 15.1　クロック発振器のブロック図

発振器からの周波数は、PLL 回路により 2 倍に逓倍されます。

15.1　発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

15.1.1　水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 15.2 に示します。ダンピング抵抗 R_d は表 15.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は 5～16.5MHz とし、システムクロック（φ）の 1/2 の周波数のものを使用してください。

水晶発振子の等価回路を図 15.3 に示します。水晶発振子は表 15.2 に示す特性のものを使用してください。

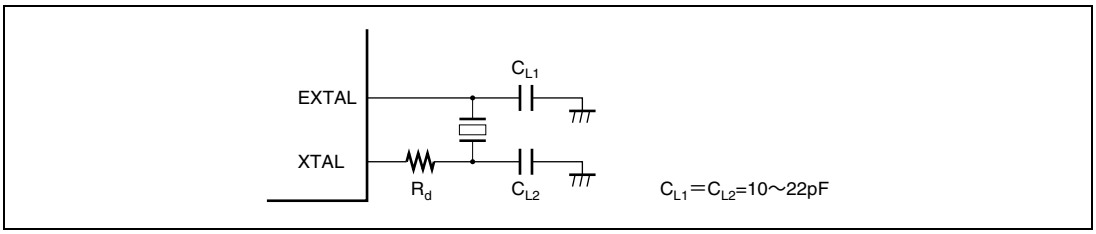


図 15.2　水晶発振子の接続例

表 15.1　ダンピング抵抗値

周波数（MHz）	5	8	12	16.5
R_d（Ω）	425	200	0	0

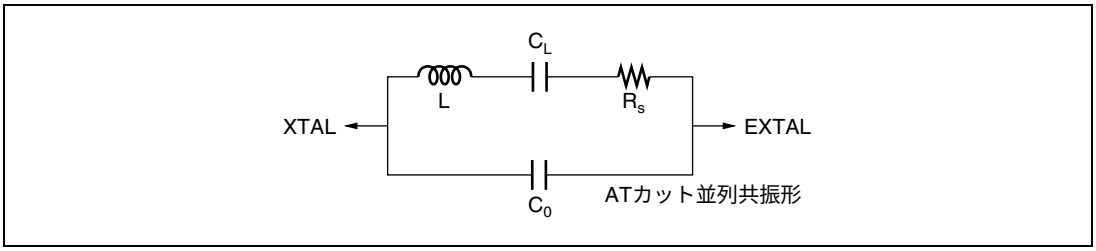


図 15.3　水晶発振子の等価回路

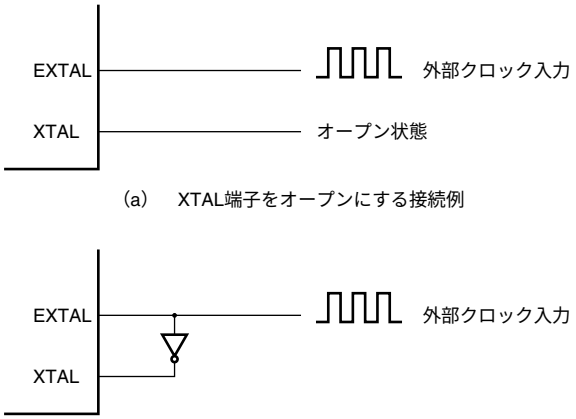
表 15.2　水晶発振子の特性

周波数（MHz）	5	8	12	16.5
R_s max（Ω）	110	80	60	50
C_0 max（pF）	7			

15.1.2　外部クロックを入力する方法

外部クロック入力の接続例を図 15.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

外部クロックの入力条件を表 15.3 に示します。入力する外部クロックは 5～16.5MHz とし、システムクロック（φ）の 1/2 の周波数としてください。



(a)　XTAL端子をオープンにする接続例

(b)　XTAL端子に逆相クロックを入力する接続例

図 15.4　外部クロックの接続例

表 15.3　外部クロック入力条件

項　　目	記号	V_{CC}＝3.0～3.6 V		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	t_{EXL}	10	－	ns	図 15.5
外部クロック入力パルス幅 High レベル	t_{EXH}	10	－	ns	
外部クロック立ち上がり時間	t_{EXr}	－	5	ns	
外部クロック立ち下がり時間	t_{EXf}	－	5	ns	
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	tcyc	図 18.2
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	tcyc	

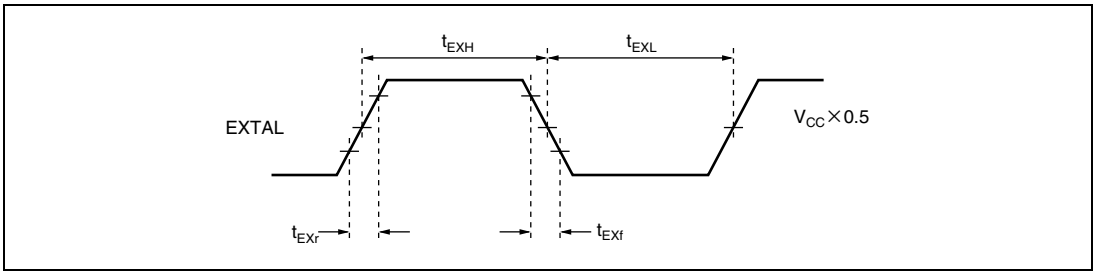


図 15.5　外部クロック入力タイミング

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間（t_{DEXT}）経過後に内部クロック信号出力が確定します。t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにしリセット状態を保持してください。表 15.4 に外部クロック出力安定遅延時間、図 15.6 に外部クロック出力安定遅延時間タイミングを示します。

表 15.4　外部クロック出力安定遅延時間

条件：VCC＝3.0V～3.6V、VSS＝0V

項　目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}*	500	－	μs	図 15.6

【注】　*　t_{DEXT} は、$\overline{RES}$ パルス幅（t_{RESW}）を含みます。

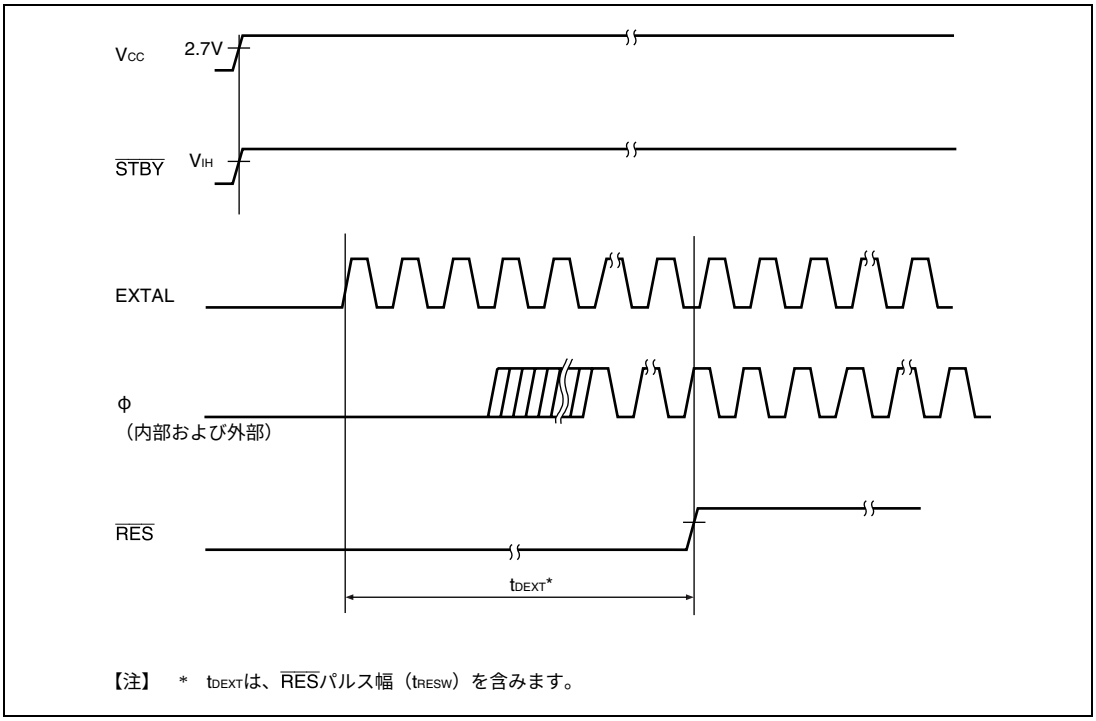


図 15.6　外部クロック出力安定遅延時間タイミング

15.2　PLL 回路

PLL 回路は、発振器からの周波数を 2 倍に逓倍する機能を持っています。よって内部 33MHz 動作を実現するには、16.5MHz のクロックを入力してください。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

15.3　使用上の注意事項

15.3.1　発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

15.3.2　ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 15.7 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

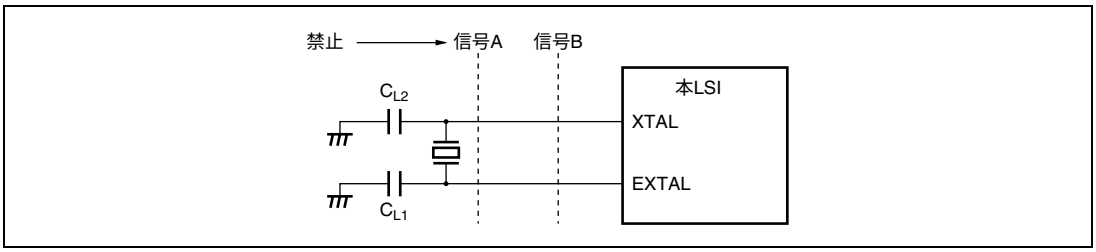


図 15.7　発振回路部のボード設計に関する注意事項

15.3.3　動作確認時の注意事項

本 LSI は、EXTAL、XTAL に水晶発振子を接続していなかったり、外部クロック入力されていない状態でも、数 kHz 程度の周波数で自己発振することがあります。よって正しい周波数で動作していることを確認の上、使用してください。

16.　低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードの他、

- スリープモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、モジュールストップモードは内蔵周辺機能の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 16.1 に各モードでの本 LSI 本の内部状態を示します。図 16.1 に可能なモード間遷移を示します。

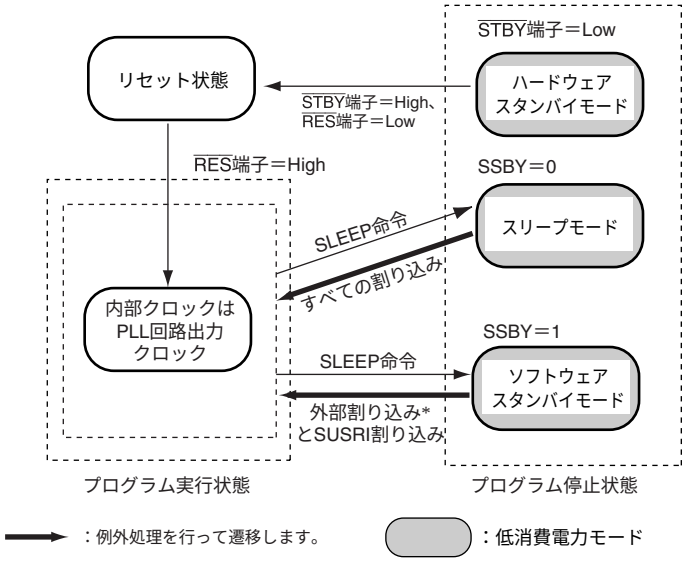
表 16.1　各モードでの本 LSI の内部状態

動作状態		高速モード	スリープモード	モジュールストップモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
クロック発振器		動作	動作	動作	停止	停止
CPU	命令実行	動作	停止	動作	停止	停止
	レジスタ		保持		保持	不定
外部割り込み	NMI	動作	動作	動作	動作	停止
	IRQ0～IRQ7					
周辺機能	WDT	動作	動作	動作	停止（保持）	停止（リセット）
	TMR	動作	動作	停止（保持）	停止（保持）	停止（リセット）
	DMAC	動作	動作	動作	停止（保持）	停止（リセット）
	SCI	動作	動作	停止（リセット）	停止（リセット）	停止（リセット）
	USB2	動作	動作	停止（保持）	停止（保持）	停止（リセット）
	RAM	動作	動作	動作	保持	保持
	I/O	動作	動作	動作	保持	ハイインピーダンス

【注】　停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

停止（リセット）は、内部レジスタ値および内部状態を初期化します。

モジュールストップモードは、停止設定をしたモジュールのみ停止（リセットまたは保持）します。



【注】＊ NMI、IRQ0～IRQ7

・すべての状態において、STBY＝Lowとすると、ハードウェアスタンバイモードに遷移します。
・ハードウェアスタンバイモードを除くすべての状態において、RES＝Lowとするとリセット状態に遷移します。

図 16.1　モード遷移図

16.1　レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。

- スタンバイコントロールレジスタ（SBYCR）
- モジュールストップコントロールレジスタH、L（MSTPCRH、MSTPCRL）

16.1.1　スタンバイコントロールレジスタ（SBYCR）

SBYCR はソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0：SLEEP 命令実行後、スリープモードに遷移 1：SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場合は 0 をライトしてください。
6 5 4	STS2 STS1 STS0	0 0 0	R/W R/W R/W	スタンバイタイマセレクト 2～0 ソフトウェアスタンバイモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が発振安定時間以上となるように設定してください。設定値と待機ステート数の関係は表 16.2 のとおりです。 外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。
3～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

16.1.2　モジュールストップコントロールレジスタ H、L（MSTPCRH、MSTPCRL）

MSTPCR はモジュールストップモードの制御を行います。各ビットが 1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

- MSTPCRH

ビット	ビット名	初期値	R/W	対象モジュール
7	－	0*1	R/W	－
6	－	0*1	R/W	－
5	－	1*2	R/W	－
4	TMRCKSTP	1	R/W	8 ビットタイマ（TMR）
3	－	1*2	R/W	－
2	－	1*2	R/W	－
1	－	1*2	R/W	－
0	－	1*2	R/W	－

- MSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	SCICKSTP	1	R/W	シリアルコミュニケーションインタフェース（SCI）
6	－	1*2	R/W	－
5	－	1*2	R/W	－
4	USBCKSTP	1	R/W	ユニバーサルシリアルバスインタフェース 2（USB2）
3	－	1*2	R/W	－
2	－	1*2	R/W	－
1	－	1*2	R/W	
0	－	1*2	R/W	

【注】　*1　1 をライトしないでください。

*2　0 にクリアしないでください。

16.2　動作説明

16.2.1　スリープモード

（1）スリープモードへの遷移

SBYCR の SSBY ビットを 0 にセットした状態で SLEEP 命令を実行すると､CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

（2）スリープモードの解除

スリープモードの解除は、すべての割り込み、$\overline{\text{RES}}$、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

  割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$端子による解除

  $\overline{\text{RES}}$端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、$\overline{\text{RES}}$端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$端子による解除

  $\overline{\text{STBY}}$端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

16.2.2　ソフトウェアスタンバイモード

（1）ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI を除く内蔵周辺機能と、I/O ポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

（2）ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI、IRQ0～IRQ7 端子）、SUSRI 割り込み、$\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

  NMI、IRQ0～IRQ7、SUSRI割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

  IRQ0～IRQ7、SUSRI割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつIRQ0～IRQ7、SUSRI割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU側でマスクした場合、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$端子による解除

  $\overline{\text{RES}}$端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき$\overline{\text{RES}}$端子は必ずクロックの発振が安定するまでLowレベルに保持してください。$\overline{\text{RES}}$端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$端子による解除

  $\overline{\text{STBY}}$端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

(3) ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2～STS0 ビットの設定は、以下のようにしてください。

- 水晶発振の場合

  待機時間が発振安定時間以上となるようにSTS2～STS0ビットを設定してください。

  表16.2に、動作周波数とSTS2～STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

  PLL回路の安定時間が必要となります。表16.2を参照し待機時間を設定してください。

表 16.2　動作周波数と待機時間

STS2	STS1	STS0	待機時間	10MHz	20MHz	33MHz	単位
0	0	0	8192 ステート	0.8	0.4	0.2	ms
0	0	1	16384 ステート	1.6	0.8	0.4	
0	1	0	32768 ステート	3.2	1.6	0.9	
0	1	1	65536 ステート	6.5	3.2	1.9	
1	0	0	131072 ステート	13.1	6.5	3.9	
1	0	1	262144 ステート	26.2	13.1	7.9	
1	1	0	リザーブ	－	－	－	－
1	1	1	16 ステート*	1.6	0.8	0.4	μs

：推奨設定時間

【注】　*　フラッシュメモリ内蔵版では本設定は使用しないでください。

（4）　ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 16.2 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

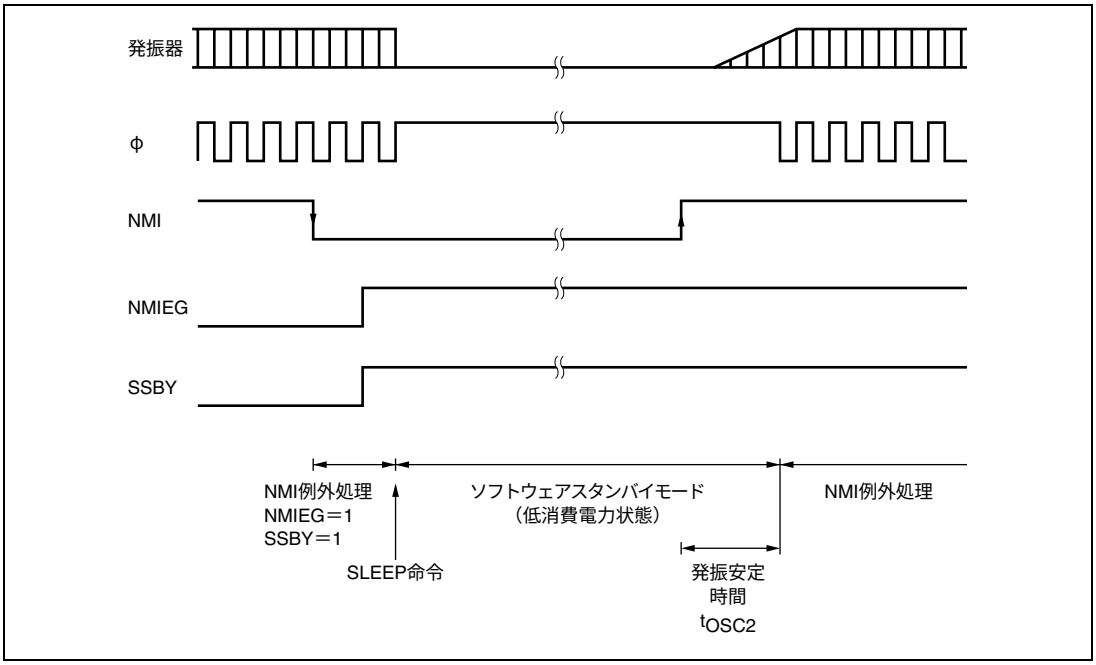


図 16.2　ソフトウェアスタンバイモードの応用例

16.2.3　ハードウェアスタンバイモード

（1）ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、$\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子（$\overline{\text{MD2}}$、MD1）の状態を変化させないでください。

（2）ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、$\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。$\overline{\text{RES}}$ 端子を Low レベルにした状態で、$\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで（発振安定時間については、表 16.2 参照）Low レベルを保持してください。その後、$\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

（3）ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 16.3 に示します。$\overline{\text{RES}}$ 端子を Low レベルにした後、$\overline{\text{STBY}}$ 端子を Low レベルにするとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードの解除は、$\overline{\text{STBY}}$ 端子を High レベルにしクロックの発振安定時間経過後、$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

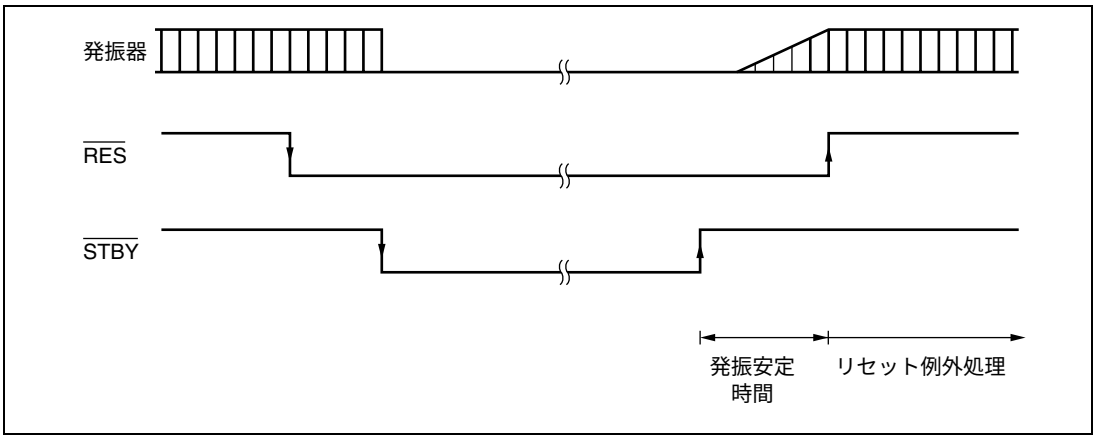


図 16.3　ハードウェアスタンバイモードのタイミング

16.2.4　モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応するビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応するビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード／ライトできません。

16.3　使用上の注意事項

16.3.1　I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

16.3.2　発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

16.3.3　内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

16.3.4　MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

17.　レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「ー」で表記しています。
- ビット名称部がビット番号のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは24ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

17.1　レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
割り込みフラグレジスタ 0	IFR0	32	H'FD00	USB2	32	2
割り込み選択レジスタ 0	ISR0	32	H'FD04	USB2	32	2
割り込みイネーブルレジスタ 0	IER0	32	H'FD08	USB2	32	2
EP0o 受信データサイズレジスタ	EPSZ0o	32	H'FD0C	USB2	32	2
EP1 受信データサイズレジスタ	EPSZ1	32	H'FD10	USB2	32	2
EP0i データレジスタ	EPDR0i	32	H'FD14	USB2	32	2
EP0o データレジスタ	EPDR0o	32	H'FD18	USB2	32	2
EP0s データレジスタ	EPDR0s	32	H'FD1C	USB2	32	2
EP1 データレジスタ	EPDR1	32	H'FD20	USB2	32	2
EP2 データレジスタ	EPDR2	32	H'FD30	USB2	32	2
EP3 データレジスタ 3	EPDR3	32	H'FD40	USB2	32	2
データステータスレジスタ 0	DASTS0	32	H'FD44	USB2	32	2
パケットイネーブルレジスタ 0i	PKTE0i	32	H'FD48	USB2	32	2
パケットイネーブルレジスタ 2	PKTE2	32	H'FD4C	USB2	32	2
パケットイネーブルレジスタ 3	PKTE3	32	H'FD50	USB2	32	2
FIFO クリアレジスタ 0	FCLR0	32	H'FD54	USB2	32	2
エンドポイントストールレジスタ 0	EPSTL0	32	H'FD58	USB2	32	2
DMA 設定レジスタ	DMA0	32	H'FD5C	USB2	32	2
コントロールレジスタ	CTRL	32	H'FD60	USB2	32	2
スタンバイコントロールレジスタ	SBYCR	8	H'FE14	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCRH	8	H'FE16	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCRL	8	H'FE17	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FE1C	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FE1D	SYSTEM	8	2
USB サスペンドステータスレジスタ	USBSUSP	8	H'FE1E	USB2	8	2
アクセスコントロールレジスタ	ACSCR	8	H'FE20	BSC	16	2
CS アサート期間コントロールレジスタ	CSACR	8	H'FE21	BSC	16	2
ウェイトコントロールレジスタ	WTCR	16	H'FE22	BSC	16	2
バスコントロールレジスタ	BCR	16	H'FE24	BSC	16	2
リードストローブタイミングコントロールレジスタ	RDNCR	8	H'FE26	BSC	16	2
RAM エミュレーションレジスタ	RAMER	8	H'FE27	FLASH	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
DRAM コントロールレジスタ	DRAMCR	16	H'FE28	BSC	16	2
DRAM アクセスコントロールレジスタ	DRACCR	8	H'FE2A	BSC	16	2
リフレッシュコントロールレジスタ	REFCR	16	H'FE2C	BSC	16	2
リフレッシュタイマカウンタ	RTCNT	8	H'FE2E	BSC	16	2
リフレッシュタイムコンスタントレジスタ	RTCOR	8	H'FE2F	BSC	16	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FE70	WDT	16	2
タイマカウンタ	TCNT	8	H'FE71	WDT	16	2
フラッシュコードコントロール・ステータスレジスタ	FCCS	8	H'FE88	FLASH	8	2
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FE89	FLASH	8	2
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FE8A	FLASH	8	2
フラッシュキーコードレジスタ	FKEY	8	H'FE8C	FLASH	8	2
フラッシュマットセレクトレジスタ	FMATS	8	H'FE8D	FLASH	8	2
フラッシュトランスファディスティネーションアドレスレジスタ	FTDAR	8	H'FE8E	FLASH	8	2
DMA ソースアドレスレジスタ_0	DMSAR_0	32	H'FEB0	DMAC_0	16	2
DMA ディスティネーションアドレスレジスタ_0	DMDAR_0	32	H'FEB4	DMAC_0	16	2
DMA 転送カウントレジスタ_0	DMTCR_0	32	H'FEB8	DMAC_0	16	2
DMA モードコントロールレジスタ_0	DMMDR_0	16	H'FEBC	DMAC_0	16	2
DMA アドレスコントロールレジスタ_0	DMACR_0	16	H'FEBE	DMAC_0	16	2
DMA ソースアドレスレジスタ_1	DMSAR_1	32	H'FEC0	DMAC_1	16	2
DMA ディスティネーションアドレスレジスタ_1	DMDAR_1	32	H'FEC4	DMAC_1	16	2
DMA 転送カウントレジスタ_1	DMTCR_1	32	H'FEC8	DMAC_1	16	2
DMA モードコントロールレジスタ_1	DMMDR_1	16	H'FECC	DMAC_1	16	2
DMA アドレスコントロールレジスタ_1	DMACR_1	16	H'FECE	DMAC_1	16	2
DMA ソースアドレスレジスタ_2	DMSAR_2	32	H'FED0	DMAC_2	16	2
DMA ディスティネーションアドレスレジスタ_2	DMDAR_2	32	H'FED4	DMAC_2	16	2
DMA 転送カウントレジスタ_2	DMTCR_2	32	H'FED8	DMAC_2	16	2
DMA モードコントロールレジスタ_2	DMMDR_2	16	H'FEDC	DMAC_2	16	2
DMA アドレスコントロールレジスタ_2	DMACR_2	16	H'FEDE	DMAC_2	16	2
DMA ソースアドレスレジスタ_3	DMSAR_3	32	H'FEE0	DMAC_3	16	2
DMA ディスティネーションアドレスレジスタ_3	DMDAR_3	32	H'FEE4	DMAC_3	16	2
DMA 転送カウントレジスタ_3	DMTCR_3	32	H'FEE8	DMAC_3	16	2
DMA モードコントロールレジスタ_3	DMMDR_3	16	H'FEEC	DMAC_3	16	2
DMA アドレスコントロールレジスタ_3	DMACR_3	16	H'FEEE	DMAC_3	16	2
USB 転送コントロールレジスタ	USTCR	16	H'FEF0	DMAC	16	2
IRQ イネーブルレジスタ	IER	8	H'FF46	INT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
インタラプトコントロールレジスタ A	ICRA	8	H'FF48	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FF49	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FF4A	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FF4B	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FF4C	INT	8	2
IRQ センスコントロールレジスタ L	ISCRL	8	H'FF4D	INT	8	2
アドレスブレークコントロールレジスタ	ABRKCR	8	H'FF54	INT	8	2
ブレークアドレスレジスタ A	PBARA	8	H'FF55	INT	8	2
ブレークアドレスレジスタ B	PBARB	8	H'FF56	INT	8	2
ブレークアドレスレジスタ C	PBARC	8	H'FF57	INT	8	2
IRQ センスポートセレクトレジスタ	ISSR	8	H'FF5D	PORT	8	2
ポートファンクションコントロールレジスタ 1	PFCR1	8	H'FF60	PORT	8	2
ポートファンクションコントロールレジスタ 3	PFCR3	8	H'FF62	PORT	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FF70	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FF71	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FF72	PORT	8	2
ポート 4 データディレクションレジスタ	P4DDR	8	H'FF73	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FF74	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FF75	PORT	8	2
ポート 7 データディレクションレジスタ	P7DDR	8	H'FF76	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'FF77	PORT	8	2
ポート 9 データディレクションレジスタ	P9DDR	8	H'FF78	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FF79	PORT	8	2
シリアルモードレジスタ	SMR	8	H'FF88	SCI	8	2
ビットレートレジスタ	BRR	8	H'FF89	SCI	8	2
シリアルコントロールレジスタ	SCR	8	H'FF8A	SCI	8	2
トランスミットデータレジスタ	TDR	8	H'FF8B	SCI	8	2
シリアルステータスレジスタ	SSR	8	H'FF8C	SCI	8	2
レシーブデータレジスタ	RDR	8	H'FF8D	SCI	8	2
ポート 1 レジスタ	PORT1	8	H'FFC0	PORT	8	2
ポート 2 レジスタ	PORT2	8	H'FFC1	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FFC2	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FFC3	PORT	8	2
ポート 5 レジスタ	PORT5	8	H'FFC4	PORT	8	2
ポート 6 レジスタ	PORT6	8	H'FFC5	PORT	8	2
ポート 7 レジスタ	PORT7	8	H'FFC6	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
ポート 8 レジスタ	PORT8	8	H'FFC7	PORT	8	2
ポート 9 レジスタ	PORT9	8	H'FFC8	PORT	8	2
ポート A レジスタ	PORTA	8	H'FFC9	PORT	8	2
ポート 1 データレジスタ	P1DR	8	H'FFD0	PORT	8	2
ポート 2 データレジスタ	P2DR	8	H'FFD1	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FFD2	PORT	8	2
ポート 4 データレジスタ	P4DR	8	H'FFD3	PORT	8	2
ポート 5 データレジスタ	P5DR	8	H'FFD4	PORT	8	2
ポート 6 データレジスタ	P6DR	8	H'FFD5	PORT	8	2
ポート 7 データレジスタ	P7DR	8	H'FFD6	PORT	8	2
ポート 8 データレジスタ	P8DR	8	H'FFD7	PORT	8	2
ポート 9 データレジスタ	P9DR	8	H'FFD8	PORT	8	2
ポート A データレジスタ	PADR	8	H'FFD9	PORT	8	2
タイマコントロールレジスタ 0	TCR_0	8	H'FFE0	TMR_0	16	2
タイマコントロールレジスタ 1	TCR_1	8	H'FFE1	TMR_1	16	2
タイマコントロール/ステータスレジスタ 0	TCSR_0	8	H'FFE2	TMR_0	16	2
タイマコントロール/ステータスレジスタ 1	TCSR_1	8	H'FFE3	TMR_1	16	2
タイムコンスタントレジスタ A0	TCORA_0	8	H'FFE4	TMR_0	16	2
タイムコンスタントレジスタ A1	TCORA_1	8	H'FFE5	TMR_1	16	2
タイムコンスタントレジスタ B0	TCORB_0	8	H'FFE6	TMR_0	16	2
タイムコンスタントレジスタ B1	TCORB_1	8	H'FFE7	TMR_1	16	2
タイマカウンタ 0	TCNT_0	8	H'FFE8	TMR_0	16	2
タイマカウンタ 1	TCNT_1	8	H'FFE9	TMR_1	16	2

17.2　レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
IFR0	—	—	—	—	—	MODEMN1	MODEMN0	MODEF	USB2
	—	—	—	—	—	—	VBUSMN	VBUSF	
	—	—	—	—	—	—	EP3TR	EP3TS	
	BRST	EP2TR	EP2EMPTY	EP1FULL	SETUPTS	EP0oTS	EP0iTR	EP0iTS	
ISR0	—	—	—	—	—	—	—	MODEF	
	—	—	—	—	—	—	—	VBUSF	
	—	—	—	—	—	—	EP3TR	EP3TS	
	BRST	EP2TR	EP2EMPTY	EP1FULL	SETUPTS	EP0oTS	EP0iTR	EP0iTS	
IER0	—	—	—	—	—	—	—	MODEF	
	—	—	—	—	—	—	—	VBUSF	
	—	—	—	—	—	—	EP3TR	EP3TS	
	BRST	EP2TR	EP2EMPTY	EP1FULL	SETUPTS	EP0oTS	EP0iTR	EP0iTS	
EPSZ0o	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
EPSZ1	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0i	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0o	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0s	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
EPDR1	D31	D30	D29	D28	D27	D26	D25	D24	USB2
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR2	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR3	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
DASTS0	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	EP3DE	EP2DE	—	—	—	EP0IDE	
PKTE0i	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
PKTE2	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
PKTE3	D31	D30	D29	D28	D27	D26	D25	D24	
	D23	D22	D21	D20	D19	D18	D17	D16	
	D15	D14	D13	D12	D11	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
FCLR0	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	EP3CLR	EP2CLR	EP1CLR	—	—	EP0oCLR	EP0iCLR	
EPSTL0	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	EP3STL	EP2STL	EP1STL	EP0STL	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
DMA0	—	—	—	—	—	—	—	—	USB2
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	EP2DMAE	EP1DMAE	
CTRL	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	ASCE	PULLUPE	
SBYCR	SSBY	STS2	STS1	STS0	—	—	—	—	SYSTEM
MSTPCRH	—	—	—	TMRCKSTP	—	—	—	—	
MSTPCRL	SCICKSTP	—	—	USBCKSTP	—	—	—	—	
SYSCR	—	—	INTM1	INTM0	XRST	NMIEG	—	RAME	
MDCR	EXPE	—	—	—	—	MDS2	MDS1	MDS0	
USBSUSP	USUSMONI	USUSFG	USUSFGE	USUSOUT	—	—	—	—	USB2
ACSCR	ABW3	ABW2	ABW1	ABW0	AST3	AST2	AST1	AST0	BSC
CSACR	CSXH3	CSXH2	CSXH1	CSXH0	CSXT3	CSXT2	CSXT1	CSXT0	
WTCR	—	W32	W31	W30	—	W22	W21	W20	
	—	W12	W11	W10	—	W02	W01	W00	
BCR	—	—	—	—	—	—	—	WDBE	
	—	—	—	—	IDLE1	IDLE0	IDLC1	IDLC0	
RDNCR	RDN3	RDN2	RDN1	RDN0	—	—	—	—	
RAMER	—	—	—	—	RAMS	RAM2	RAM1	RAM0	FLASH
DRAMCR	—	RAST	—	CAST	—	—	—	DSET	BSC
	BE	RCDM	DDS	—	—	MXC2	MXC1	MXC0	
DRACCR	—	—	TPC1	TPC0	—	—	RCD1	RCD0	
REFCR	CMF	CMIE	RCW1	RCW0	—	RTCK2	RTCK1	RTCK0	
	RFSHE	—	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0	
RTCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RTCOR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCSR	OVF	WT/$\overline{\text{IT}}$	TME	—	RST/$\overline{\text{NMI}}$	CKS2	CKS1	CKS0	WDT
TCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
FCCS	FWE	—	—	FLER	WEINTE	—	—	SCO	FLASH
FPCS	—	—	—	PPVD	—	—	—	PPVS	
FECS	—	—	—	—	—	—	—	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
DMSAR_0	—	—	—	—	—	—	—	—	DMAC_0
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMDAR_0	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMTCR_0	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMMDR_0	DA	BEF	DRAKE	TENDE	DREQS	AMS	MDS1	MDS0	
	DIE	IRF	TCEIE	SDIR	DTSIZE	—	LWSIZE	—	
DMACR_0	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
DMSAR_1	—	—	—	—	—	—	—	—	DMAC_1
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMDAR_1	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMTCR_1	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMMDR_1	DA	BEF	DRAKE	TENDE	DREQS	AMS	MDS1	MDS0	
	DIE	IRF	TCEIE	SDIR	DTSIZE	—	LWSIZE	—	
DMACR_1	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
DMSAR_2	—	—	—	—	—	—	—	—	DMAC_2
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMDAR_2	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMTCR_2	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMMDR_2	DA	BEF	DRAKE	TENDE	DREQS	AMS	MDS1	MDS0	
	DIE	IRF	TCEIE	SDIR	DTSIZE	—	LWSIZE	—	
DMACR_2	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
DMSAR_3	—	—	—	—	—	—	—	—	DMAC_3
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMDAR_3	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMTCR_3	—	—	—	—	—	—	—	—	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMMDR_3	DA	BEF	DRAKE	TENDE	DREQS	AMS	MDS1	MDS0	
	DIE	IRF	TCEIE	SDIR	DTSIZE	—	LWSIZE	—	
DMACR_3	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
USTCR	EP1DMAE	URCHS1	URCHS0	—	EP2DMAE	UWCHS1	UWCHS0	—	DMAC
	—	—	—	—	—	—	—	—	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	INT
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0	
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISCRL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
ABRKCR	CMF	—	—	—	—	—	—	BIE	
PBARA	A23	A22	A21	A20	A19	A18	A17	A16	
PBARB	A15	A14	A13	A12	A11	A10	A9	A8	
PBARC	A7	A6	A5	A4	A3	A2	A1	—	
ISSR	ISS7	ISS6	ISS5	ISS4	ISS3	ISS2	ISS1	ISS0	PORT
PFCR1	—	CS1E	CS2E	CS3E	CKOE	ALOE	AMOE	AHOE	
PFCR3	SUSRIF	SUSRIE	—	—	—	—	—	USBSWRST	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	
P5DDR	P57DDR	P56DDR	P55DDR	P54DDR	P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	
P8DDR	P87DDR	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
PADDR	—	—	—	—	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
SMR	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	—	CKS1	CKS0	SCI
BRR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR	TIE	RIE	TE	RE	—	TEIE	CKE1	CKE0	
TDR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR	TDRE	RDRF	ORER	FER	PER	TEND	—	—	
RDR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	P37	P36	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
PORT6	P67	P66	P65	P64	P63	P62	P61	P10	PORT
PORT7	P77	P76	P75	P74	P73	P72	P71	P70	
PORT8	P87	P86	P85	P84	P83	P82	P81	P80	
PORT9	P97	P96	P95	P94	P93	P92	P91	P90	
PORTA	RxDMON	—	—	—	PA3	PA2	PA1	PA0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR	
P5DR	P57DR	P56DR	P55DR	P54DR	P53DR	P52DR	P51DR	P50DR	
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR	
P8DR	P87DR	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR	
PADR	—	—	—	—	PA3DR	PA2DR	PA1DR	PA0DR	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	—	0S3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF	—	0S3	OS2	OS1	OS0	TMR_1
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1

17.3　各動作モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	通常動作	スリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
IFR0	初期化	―	―	―	―	初期化	USB2
ISR0	初期化	―	―	―	―	初期化	
IER0	初期化	―	―	―	―	初期化	
EPSZ0o	初期化	―	―	―	―	初期化	
EPSZ1	初期化	―	―	―	―	初期化	
EPDR0i	初期化	―	―	―	―	初期化	
EPDR0o	初期化	―	―	―	―	初期化	
EPDR0s	初期化	―	―	―	―	初期化	
EPDR1	初期化	―	―	―	―	初期化	
EPDR2	初期化	―	―	―	―	初期化	
EPDR3	初期化	―	―	―	―	初期化	
DASTS0	初期化	―	―	―	―	初期化	
PKTE0i	初期化	―	―	―	―	初期化	
PKTE2	初期化	―	―	―	―	初期化	
PKTE3	初期化	―	―	―	―	初期化	
FCLR0	初期化	―	―	―	―	初期化	
EPSTL0	初期化	―	―	―	―	初期化	
DMA0	初期化	―	―	―	―	初期化	
CTRL	初期化	―	―	―	―	初期化	
SBYCR	初期化	―	―	―	―	初期化	SYSTEM
MSTPCRH	初期化	―	―	―	―	初期化	
MSTPCRL	初期化	―	―	―	―	初期化	
SYSCR	初期化	―	―	―	―	初期化	
MDCR	初期化	―	―	―	―	初期化	
USBSUSP	初期化	―	―	―	―	初期化	USB2
ACSCR	初期化	―	―	―	―	初期化	BSC
CSACR	初期化	―	―	―	―	初期化	
WTCR	初期化	―	―	―	―	初期化	
BCR	初期化	―	―	―	―	初期化	
RDNCR	初期化	―	―	―	―	初期化	
RAMER	初期化	―	―	―	―	初期化	
DRAMCR	初期化	―	―	―	―	初期化	
DRACCR	初期化	―	―	―	―	初期化	
REFCR	初期化	―	―	―	―	初期化	

レジスタ略称	パワーオンリセット	通常動作	スリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
RTCNT	初期化	－	－	－	－	初期化	BSC
RTCOR	初期化	－	－	－	－	初期化	
TCSR	初期化	－	－	－	－	初期化	WDT
TCNT	初期化	－	－	－	－	初期化	
FCCS	初期化	－	－	－	－	初期化	FLASH
FPCS	初期化	－	－	－	－	初期化	
FECS	初期化	－	－	－	－	初期化	
FKEY	初期化	－	－	－	－	初期化	
FMATS	初期化	－	－	－	－	初期化	
FTDAR	初期化	－	－	－	－	初期化	
DMSAR_0	初期化	－	－	－	－	初期化	DMAC_0
DMDAR_0	初期化	－	－	－	－	初期化	
DMTCR_0	初期化	－	－	－	－	初期化	
DMMDR_0	初期化	－	－	－	－	初期化	
DMACR_0	初期化	－	－	－	－	初期化	
DMSAR_1	初期化	－	－	－	－	初期化	DMAC_1
DMDAR_1	初期化	－	－	－	－	初期化	
DMTCR_1	初期化	－	－	－	－	初期化	
DMMDR_1	初期化	－	－	－	－	初期化	
DMACR_1	初期化	－	－	－	－	初期化	
DMSAR_2	初期化	－	－	－	－	初期化	DMAC_2
DMDAR_2	初期化	－	－	－	－	初期化	
DMTCR_2	初期化	－	－	－	－	初期化	
DMMDR_2	初期化	－	－	－	－	初期化	
DMACR_2	初期化	－	－	－	－	初期化	
DMSAR_3	初期化	－	－	－	－	初期化	DMAC_3
DMDAR_3	初期化	－	－	－	－	初期化	
DMTCR_3	初期化	－	－	－	－	初期化	
DMMDR_3	初期化	－	－	－	－	初期化	
DMACR_3	初期化	－	－	－	－	初期化	
USTCR	初期化	－	－	－	－	初期化	DMAC
IER	初期化	－	－	－	－	初期化	INT
ICRA	初期化	－	－	－	－	初期化	
ICRB	初期化	－	－	－	－	初期化	
ICRC	初期化	－	－	－	－	初期化	
ISR	初期化	－	－	－	－	初期化	
ISCRH	初期化	－	－	－	－	初期化	

レジスタ略称	パワーオンリセット	通常動作	スリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
ISCRL	初期化	―	―	―	―	初期化	INT
ABRKCR	初期化	―	―	―	―	初期化	
PBARA	初期化	―	―	―	―	初期化	
PBARB	初期化	―	―	―	―	初期化	
PBARC	初期化	―	―	―	―	初期化	
ISSR	初期化	―	―	―	―	初期化	PORT
PFCR1	初期化	―	―	―	―	初期化	
PFCR3	初期化	―	―	―	―	初期化	
P1DDR	初期化	―	―	―	―	初期化	
P2DDR	初期化	―	―	―	―	初期化	
P3DDR	初期化	―	―	―	―	初期化	
P4DDR	初期化	―	―	―	―	初期化	
P5DDR	初期化	―	―	―	―	初期化	
P6DDR	初期化	―	―	―	―	初期化	
P7DDR	初期化	―	―	―	―	初期化	
P8DDR	初期化	―	―	―	―	初期化	
P9DDR	初期化	―	―	―	―	初期化	
PADDR	初期化	―	―	―	―	初期化	
SMR	初期化	―	―	―	―	初期化	SCI
BRR	初期化	―	―	―	―	初期化	
SCR	初期化	―	―	―	―	初期化	
TDR	初期化	―	―	初期化	初期化	初期化	
SSR	初期化	―	―	初期化	初期化	初期化	
RDR	初期化	―	―	初期化	初期化	初期化	
PORT1	―	―	―	―	―	―	PORT
PORT2	―	―	―	―	―	―	
PORT3	―	―	―	―	―	―	
PORT4	―	―	―	―	―	―	
PORT5	―	―	―	―	―	―	
PORT6	―	―	―	―	―	―	
PORT7	―	―	―	―	―	―	
PORT8	―	―	―	―	―	―	
PORT9	―	―	―	―	―	―	
PORTA	―	―	―	―	―	―	
P1DR	初期化	―	―	―	―	初期化	
P2DR	初期化	―	―	―	―	初期化	
P3DR	初期化	―	―	―	―	初期化	

レジスタ略称	パワーオンリセット	通常動作	スリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
P4DR	初期化	－	－	－	－	初期化	PORT
P5DR	初期化	－	－	－	－	初期化	
P6DR	初期化	－	－	－	－	初期化	
P7DR	初期化	－	－	－	－	初期化	
P8DR	初期化	－	－	－	－	初期化	
P9DR	初期化	－	－	－	－	初期化	
PADR	初期化	－	－	－	－	初期化	
TCR_0	初期化	－	－	－	－	初期化	TMR_0
TCR_1	初期化	－	－	－	－	初期化	TMR_1
TCSR_0	初期化	－	－	－	－	初期化	TMR_0
TCSR_1	初期化	－	－	－	－	初期化	TMR_1
TCORA_0	初期化	－	－	－	－	初期化	TMR_0
TCORA_1	初期化	－	－	－	－	初期化	TMR_1
TCORB_0	初期化	－	－	－	－	初期化	TMR_0
TCORB_1	初期化	－	－	－	－	初期化	TMR_1
TCNT_0	初期化	－	－	－	－	初期化	TMR_0
TCNT_1	初期化	－	－	－	－	初期化	TMR_1

【注】　－は初期化されません。

18.　電気的特性

18.1　絶対最大定格

絶対最大定格を表 18.1 に示します。

表 18.1　絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc*	－0.3～＋4.3	V
プログラム電圧（FWE）	V_{in}	－0.3～Vcc＋0.3	V
入力電圧	V_{in}	－0.3～Vcc＋0.3	V
動作温度	Topr	- 20～+75（通常仕様品）	℃
		- 40～+85（広温度範囲仕様品）	
動作温度（フラッシュメモリ書き込み／消去時）	Topr	0～+75	
保存温度	Tstg	－55～＋125	℃

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】　*　VCL 端子には電源電圧を印加しないでください。印加した場合は、LSI の永久破壊となることがあります。
GND との間に外付けコンデンサを接続してください。

18.2　DC 特性

表 18.2　DC 特性（1）

条件：Vcc＝3.0～3.6V、Vss＝0V

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	P34*1、P35*1、P52*1、P53*1、P56*1、P57*1、ポート 7*1、PA0*1、PA1*1	VT^-	Vcc×0.2	－	－	V	
		VT^+	－	－	Vcc×0.7	V	
		$VT^+－VT^-$	Vcc×0.05	－	－	V	
入力 High レベル電圧	$\overline{STBY}$、$\overline{MD2}$、MD1	V_{IH}	Vcc×0.9	－	Vcc＋0.3	V	
	$\overline{RES}$、NMI、FWE						
	EXTAL		Vcc×0.7	－	Vcc＋0.3	V	
	ポート 1～9、ポート A*2		2.2	－	Vcc＋0.3	V	
入力 Low レベル電圧	$\overline{RES}$、$\overline{STBY}$ $\overline{MD2}$、MD1、FWE	V_{IL}	－0.3	－	Vcc×0.1	V	
	NMI、EXTAL		－0.3	－	Vcc×0.2	V	
	ポート 1～9、ポート A*2		－0.3	－	Vcc×0.2	V	
出力 High レベル電圧	全出力端子	V_{OH}	Vcc－0.5	－	－	V	I_{OH}＝－200μA
			Vcc－1.0	－	－	V	I_{OH}＝－1mA
出力 Low レベル電圧	全出力端子	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
入力リーク電流	$\overline{RES}$	$\|I_{in}\|$	－	－	10.0	μA	V_{in}＝0.5～Vcc－0.5 V
	$\overline{STBY}$、NMI、$\overline{MD2}$、MD1、FWE		－	－	1.0	μA	

【注】　*1　$\overline{IRQ0}$～$\overline{IRQ7}$ として使用した場合です。

*2　$\overline{IRQ0}$～$\overline{IRQ7}$ 以外として使用した場合です。

表 18.3　DC 特性（2）

条件： Vcc＝3.0～3.6V、Vss＝0V*[1]

項目		記号	min	typ	max	単位	測定条件
スリーステート リーク電流（オフ状態）	ポート 1～9、ポート A	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～VCC －0.5V
入力容量	$\overline{RES}$	C_{in}	－	－	10	pF	V_{in}＝0V
	NMI		－	－	10	pF	φ＝1MHz
	$\overline{RES}$、NMI 以外の全入力端子		－	－	10	pF	Ta＝25℃
消費電流*[1]	通常動作時	I_{CC}*[3]	－	50	65	mA	φ＝33MHz
	スリープ時		－	38	48	mA	φ＝33MHz
	スタンバイ時*[2]		－	30	90	μA	Ta≦50℃
			－	－	120	μA	50℃＜Ta
RAM スタンバイ電圧		V_{RAM}	3.0	－	－	V	
V_{CC} 開始電源		$V_{CCSTART}$	－	0	0.8	V	*[4]
V_{CC} 立ち上がり勾配		SV_{CC}	－	－	20	ms/V	*[4]

【注】　*1　消費電流値は、V_{IH}min＝VCC－0.2V、V_{IL}max＝0.2V の条件下で、すべての出力端子を無負荷状態にした場合の値です。

*2　Vcc＝3.0V のとき、V_{IH}min＝Vcc×0.9、V_{IL}max＝0.3V とした場合の値です。

*3　I_{CC} は下記の式にしたがって Vcc と動作周波数 f に依存します。

I_{CC}max＝6.5（mA）＋0.49（mA/（MHz×V）×Vcc×f（通常動作時）

I_{CC}max＝6.5（mA）＋0.35（mA/（MHz×V）×Vcc×f（スリープ時）

また、消費電流の typ は参考値です。

*4　電源投入時、$\overline{RES}$ 端子が Low レベルになっている条件で適用します。

表 18.4　出力許容電流値

条件： Vcc＝3.0～3.6V、Vss＝0V

項目		記号	min	typ	max	単位
出力 Low レベル許容電流（1 端子あたり）	ポート 1、4	I_{OL}	－	－	1.6	mA
	ポート 1、4 以外全出力端子		－	－	2	
出力 Low レベル許容電流（総和）	全出力端子の総和	ΣI_{OL}	－	－	60	mA
出力 High レベル許容量（1 端子あたり）	全出力端子	$-I_{OH}$	－	－	2	mA
出力 High レベル許容電流（総和）	全出力端子の総和	$\Sigma -I_{OH}$	－	－	30	mA

【注】 1.　LSI の信頼性を確保するため、出力電流値は表 18.4 の値を超えないようにしてください。

2.　ダーリントントランジスタを直接駆動する場合には、図 18.1 に示すように出力せず電流制限抵抗挿入してください。

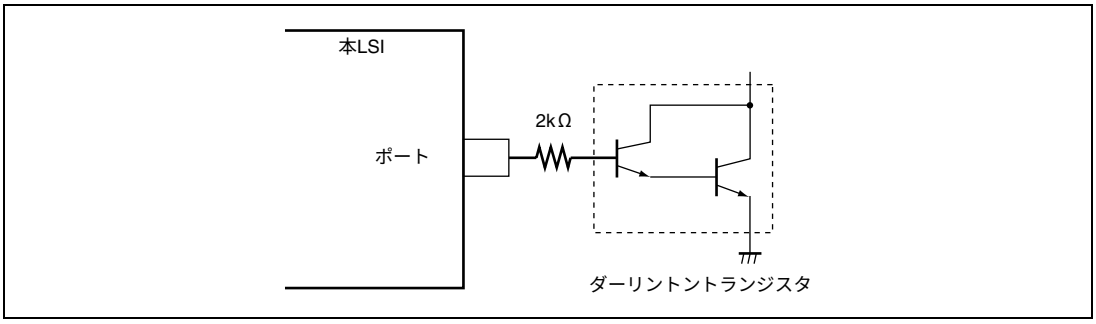


図 18.1　ダーリントントランジスタ駆動回路例

18.3　AC 特性

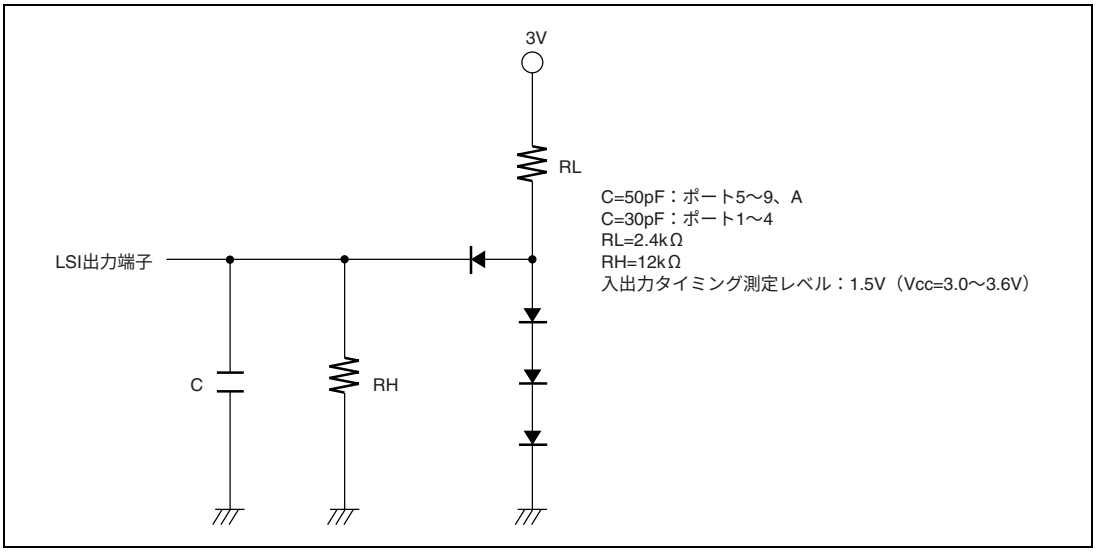


図 18.2　出力負荷回路

18.3.1　クロックタイミング

表 18.5　クロックタイミング

条件：Vcc＝3.0～3.6V、Vss＝0V

φ＝10～33MHz

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	30.3	100	ns	図 18.3
クロックハイレベルパルス幅	t_{CH}	10	－	ns	
クロックローレベルパルス幅	t_{CL}	10	－	ns	
クロック立ち上がり時間	t_{Cr}	－	5	ns	
クロック立ち下がり時間	t_{Cf}	－	5	ns	
リセット発振安定時間（水晶）	t_{OSC1}	10	－	ms	図 18.4
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	8	－	ms	φ＜30MHz、図 18.5
		3.9	－		φ≧30MHz、図 18.5
外部クロック出力安定遅延時間	t_{DEXT}	500	－	μs	図 18.4

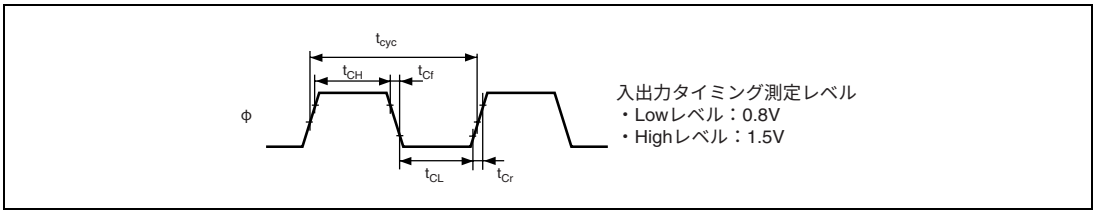


図 18.3　システムクロックタイミング

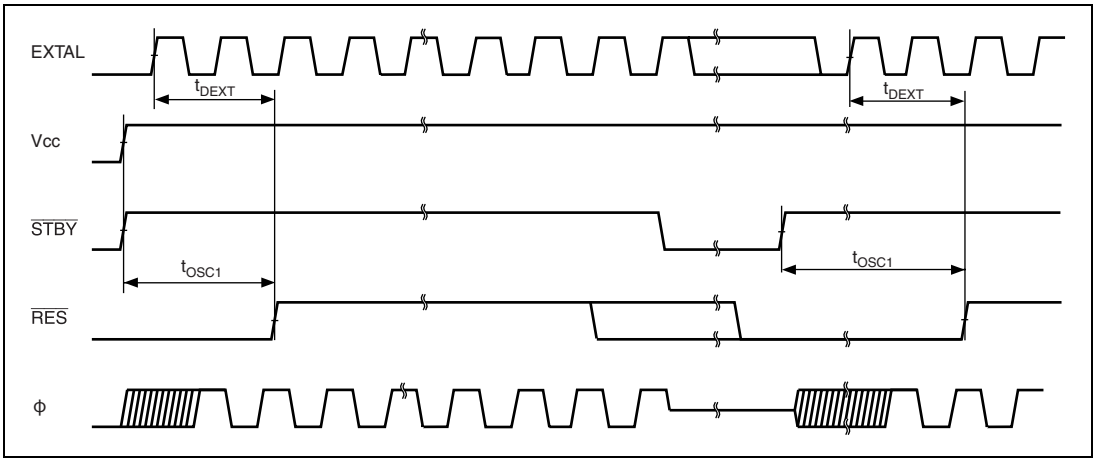


図 18.4　発振安定時間タイミング（1）

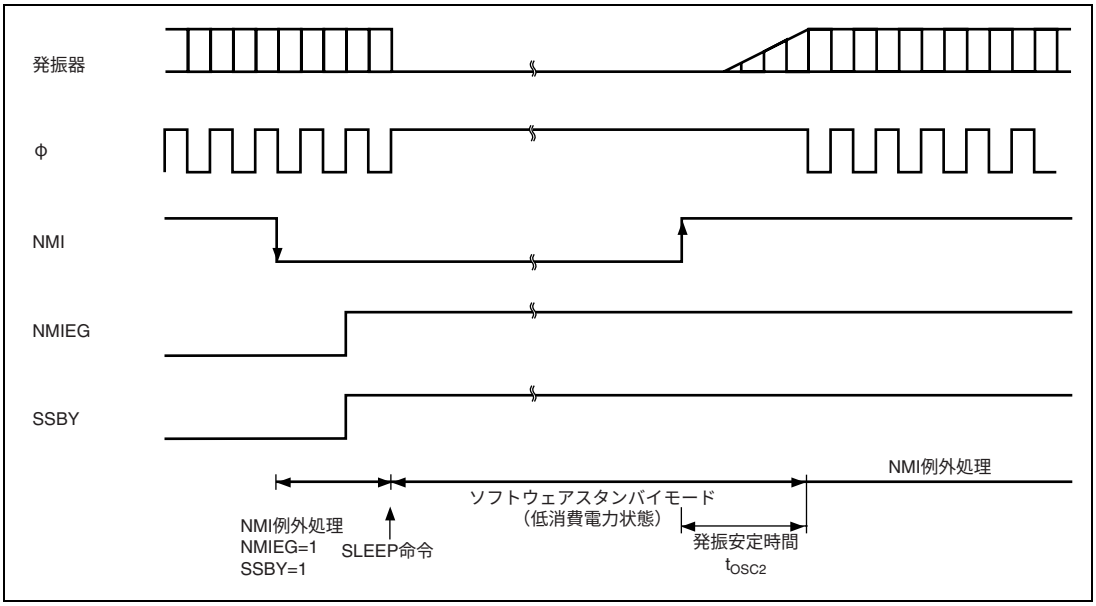


図 18.5　発振安定時間タイミング（2）

18.3.2　制御信号タイミング

表 18.6　制御信号タイミング

条件：Vcc＝3.0～3.6V、Vss＝0V

φ＝10～33MHz

項目	記号	min	max	単位	測定条件
$\overline{\text{RES}}$ セットアップ時間	t_{RESS}	200	－	ns	図 18.6
$\overline{\text{RES}}$ パルス幅	t_{RESW}	20	－	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	－	ns	図 18.7
NMI ホールド時間	t_{NMIH}	10	－		
NMI パルス幅 （ソフトウェアスタンバイモードからの復帰時）	t_{NMIW}	200	－		
$\overline{\text{IRQ}}$ セットアップ時間	t_{IRQS}	150	－	ns	
$\overline{\text{IRQ}}$ ホールド時間	t_{IRQH}	10	－		
$\overline{\text{IRQ}}$ パルス幅 （ソフトウェアスタンバイモードからの復帰時）	t_{IRQW}	200	－		

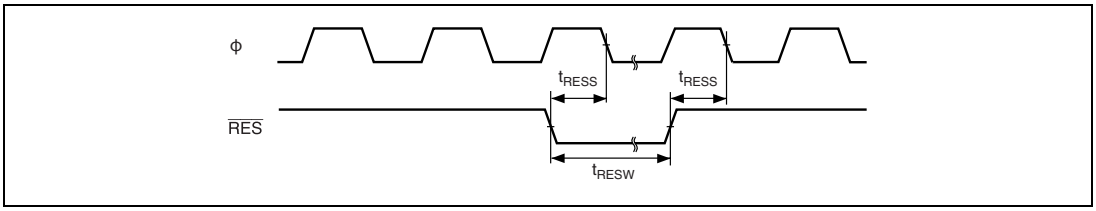


図 18.6　リセット入力タイミング

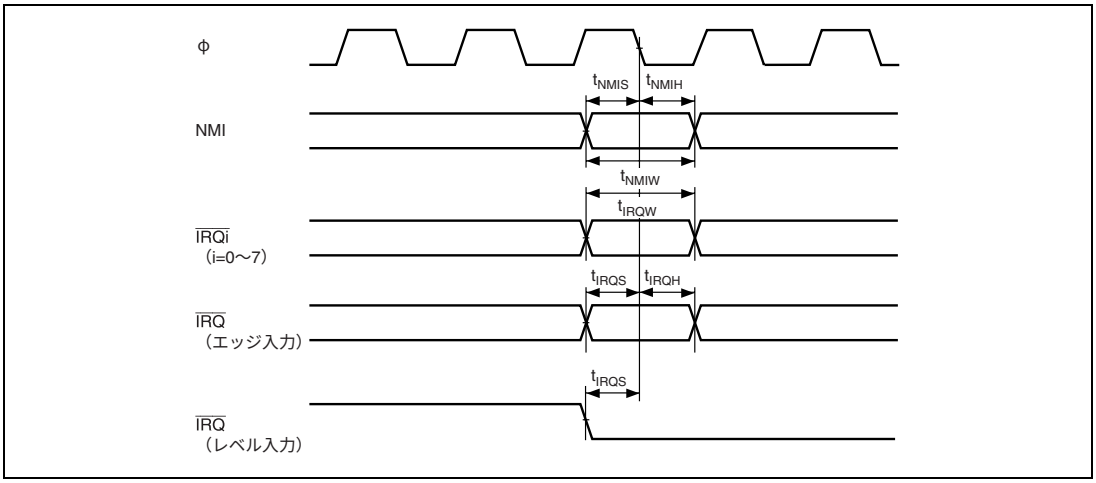


図 18.7　割り込み入力タイミング

18.3.3　バスタイミング

表 18.7　バスタイミング（1）

条件：Vcc＝3.0～3.6V、Vss＝0V

φ＝10～33MHz

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	－	20	ns	図 18.8
アドレスセットアップ時間 1	t_{AS1}	$0.5\times t_{cyc}-13$	－	ns	～
アドレスセットアップ時間 2	t_{AS2}	$1.0\times t_{cyc}-13$	－	ns	図 18.17
アドレスセットアップ時間 3	t_{AS3}	$1.5\times t_{cyc}-13$	－	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0\times t_{cyc}-13$	－	ns	
アドレスホールド時間 1	t_{AH1}	$0.5\times t_{cyc}-8$	－	ns	
アドレスホールド時間 2	t_{AH2}	$1.0\times t_{cyc}-8$	－	ns	
アドレスホールド時間 3	t_{AH3}	$1.5\times t_{cyc}-8$	－	ns	
$\overline{CS}$ 遅延時間 1	t_{CSD1}	－	15	ns	
$\overline{CS}$ 遅延時間 2	t_{CSD2}	－	15	ns	
$\overline{CS}$ 遅延時間 3	t_{CSD3}	－	20	ns	
$\overline{AS}$ 遅延時間	t_{ASD}	－	15	ns	
$\overline{RD}$ 遅延時間 1	t_{RSD1}	－	15	ns	
$\overline{RD}$ 遅延時間 2	t_{RSD2}	－	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	－	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	－	ns	
リードデータホールド時間 1	t_{RDH1}	0	－	ns	
リードデータホールド時間 2	t_{RDH2}	0	－	ns	
リードデータアクセス時間 1	t_{AC1}	－	$1.0\times t_{cyc}-25$	ns	
リードデータアクセス時間 2	t_{AC2}	－	$1.5\times t_{cyc}-25$	ns	
リードデータアクセス時間 3	t_{AC3}	－	$2.0\times t_{cyc}-25$	ns	
リードデータアクセス時間 4	t_{AC4}	－	$2.5\times t_{cyc}-25$	ns	
リードデータアクセス時間 5	t_{AC5}	－	$1.0\times t_{cyc}-25$	ns	
リードデータアクセス時間 6	t_{AC6}	－	$2.0\times t_{cyc}-25$	ns	
リードデータアクセス時間 7	t_{AC7}	－	$4.0\times t_{cyc}-25$	ns	
リードデータアクセス時間 8	t_{AC8}	－	$3.0\times t_{cyc}-25$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	－	$1.5\times t_{cyc}-25$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	－	$2.0\times t_{cyc}-25$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	－	$2.5\times t_{cyc}-25$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	－	$3.0\times t_{cyc}-25$	ns	

表 18.8　バスタイミング（2）

条件：Vcc＝3.0～3.6V、Vss＝0V

φ＝10～33MHz

項目	記号	min	max	単位	測定条件
$\overline{WR}$ 遅延時間 1	t_{WRD1}	－	15	ns	図 18.8
$\overline{WR}$ 遅延時間 2	t_{WRD2}	－	15	ns	～
$\overline{WR}$ パルス幅 1	t_{WSW1}	$1.0\times t_{cyc}-13$	－	ns	図 18.19
$\overline{WR}$ パルス幅 2	t_{WSW2}	$1.5\times t_{cyc}-13$	－	ns	
ライトデータ遅延時間	t_{WDD}	－	20	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5\times t_{cyc}-13$	－	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0\times t_{cyc}-13$	－	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5\times t_{cyc}-13$	－	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5\times t_{cyc}-8$	－	ns	
ライトデータホールド時間 2	t_{WDH2}	$1.0\times t_{cyc}-8$	－	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5\times t_{cyc}-8$	－	ns	
ライトコマンドセットアップ時間 1	t_{WCS1}	$0.5\times t_{cyc}-10$	－	ns	
ライトコマンドセットアップ時間 2	t_{WCS2}	$1.0\times t_{cyc}-10$	－	ns	
ライトコマンドホールド時間 1	t_{WCH1}	$0.5\times t_{cyc}-10$	－	ns	
ライトコマンドホールド時間 2	t_{WCH2}	$1.0\times t_{cyc}-10$	－	ns	
リードコマンドセットアップ時間 1	t_{RCS1}	$1.5\times t_{cyc}-10$	－	ns	
リードコマンドセットアップ時間 2	t_{RCS2}	$2.0\times t_{cyc}-10$	－	ns	
リードコマンドホールド時間	t_{RCH}	$0.5\times t_{cyc}-10$	－	ns	
$\overline{CAS}$ 遅延時間 1	t_{CASD1}	－	15	ns	
$\overline{CAS}$ 遅延時間 2	t_{CASD2}	－	15	ns	
$\overline{CAS}$ セットアップ時間 1	t_{CSR1}	$0.5\times t_{cyc}-10$	－	ns	
$\overline{CAS}$ セットアップ時間 2	t_{CSR2}	$1.5\times t_{cyc}-10$	－	ns	
$\overline{CAS}$ パルス幅 1	t_{CASW1}	$1.0\times t_{cyc}-20$	－	ns	
$\overline{CAS}$ パルス幅 2	t_{CASW2}	$1.5\times t_{cyc}-20$	－	ns	
$\overline{CAS}$ プリチャージ時間 1	t_{CPW1}	$1.0\times t_{cyc}-20$	－	ns	
$\overline{CAS}$ プリチャージ時間 2	t_{CPW2}	$1.5\times t_{cyc}-20$	－	ns	
$\overline{OE}$ 遅延時間 1	t_{OED1}	－	15	ns	
$\overline{OE}$ 遅延時間 2	t_{OED2}	－	15	ns	
プリチャージ時間 1	t_{PCH1}	$1.0\times t_{cyc}-20$	－	ns	
プリチャージ時間 2	t_{PCH2}	$1.5\times t_{cyc}-20$	－	ns	
セルフリフレッシュ時プリチャージ時間 1	t_{RPS1}	$1.5\times t_{cyc}-20$	－	ns	図 18.18
セルフリフレッシュ時プリチャージ時間 2	t_{RPS2}	$2.0\times t_{cyc}-20$	－	ns	図 18.19

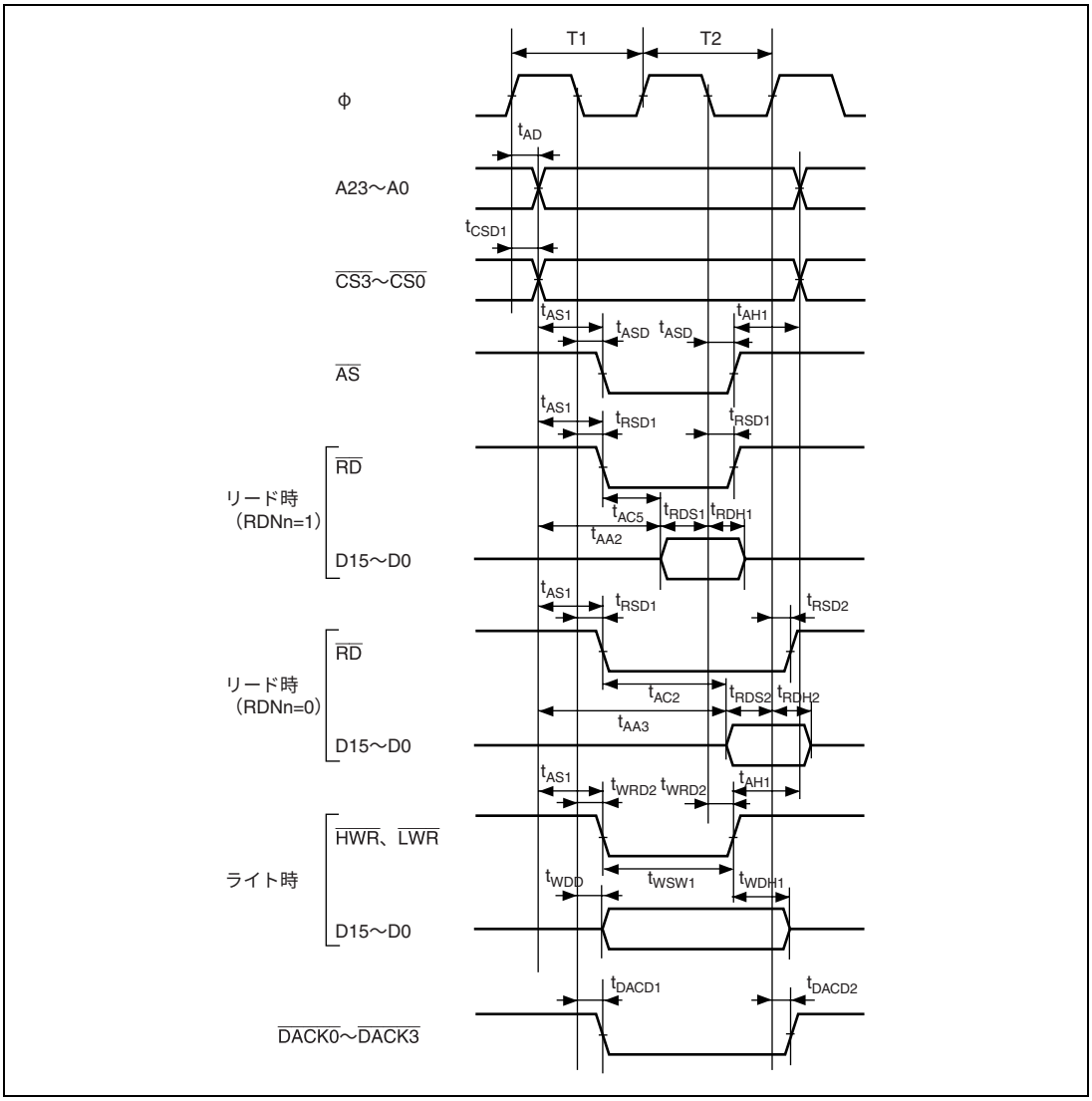


図 18.8　基本バスタイミング/2 ステートアクセス

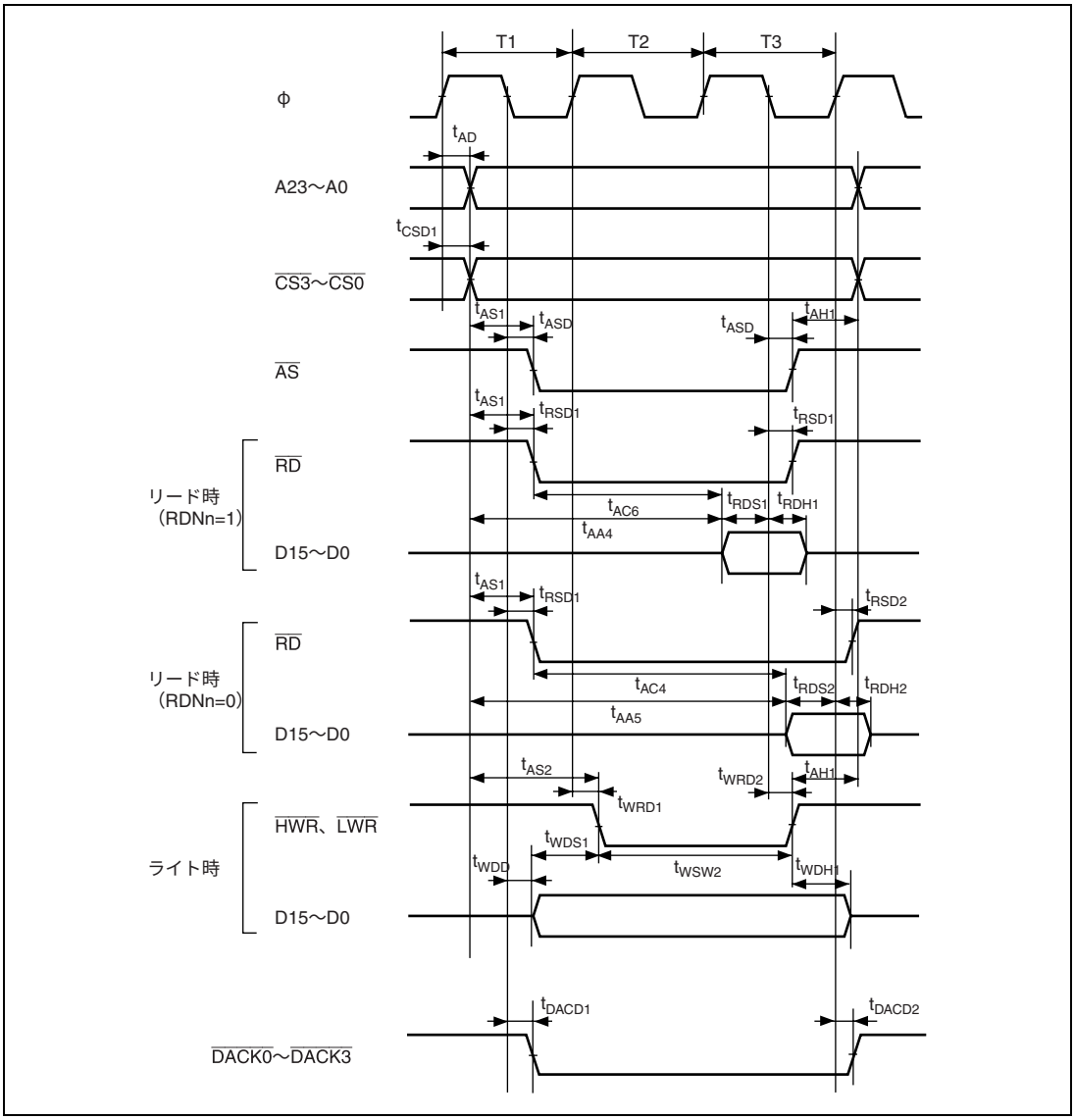


図 18.9　基本バスタイミング/3 ステートアクセス

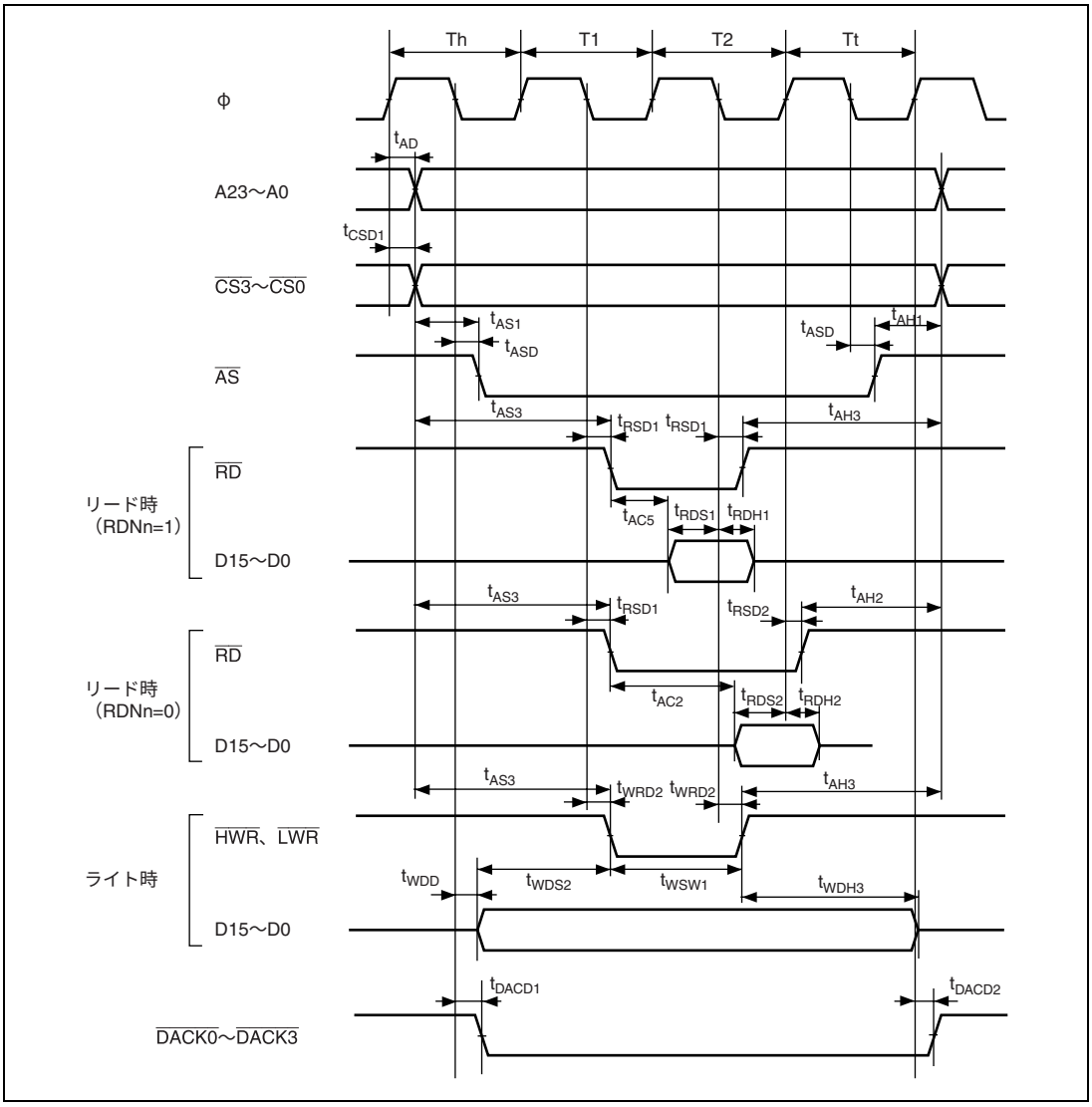


図 18.10　基本バスタイミング/2 ステートアクセス
（CS アサート期間延長）

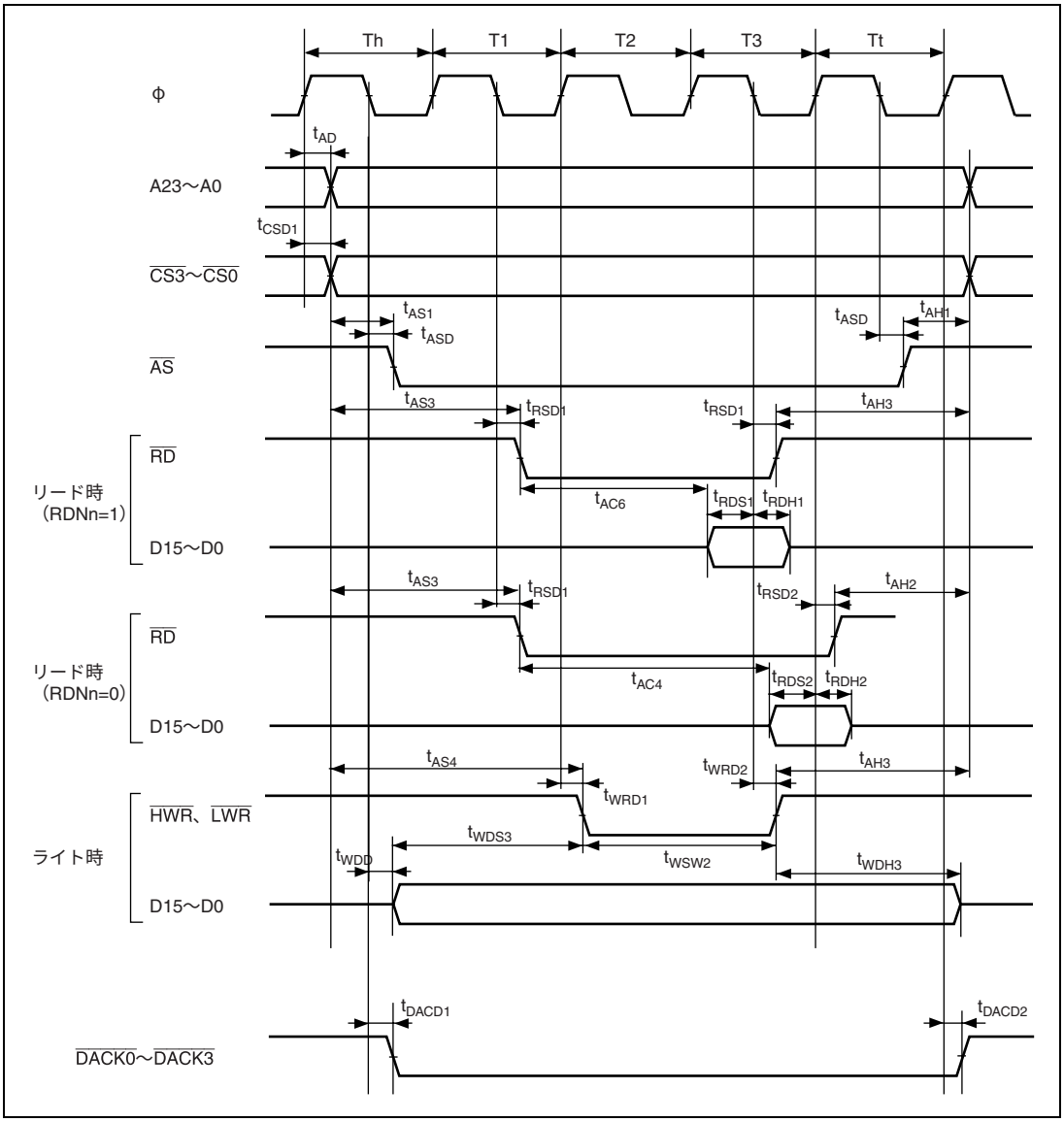
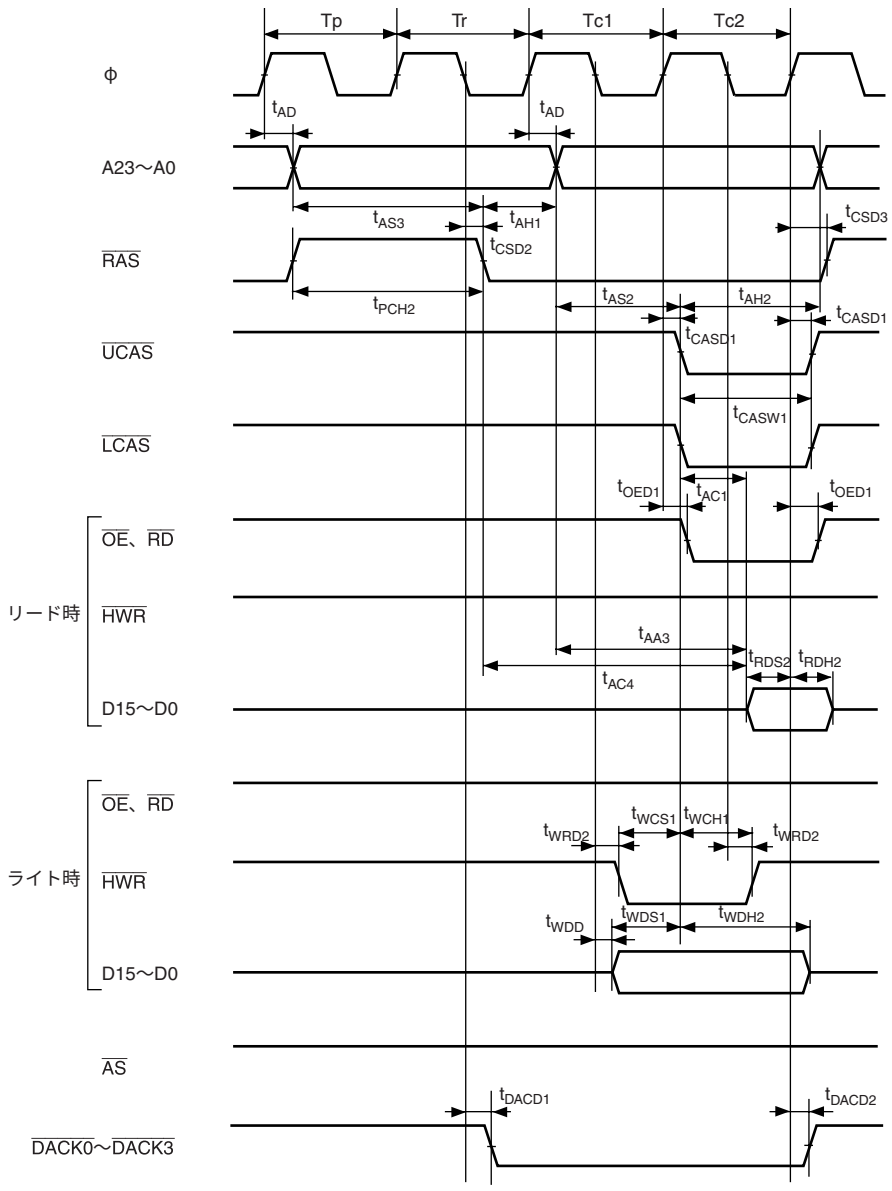


図 18.11　基本バスタイミング/3 ステートアクセス
（CS アサート期間延長）



【注】　DACKのタイミングはDDS＝0の場合
RASのタイミングはRAST＝0の場合

図 18.12　DRAM アクセスタイミング/2 ステートアクセス

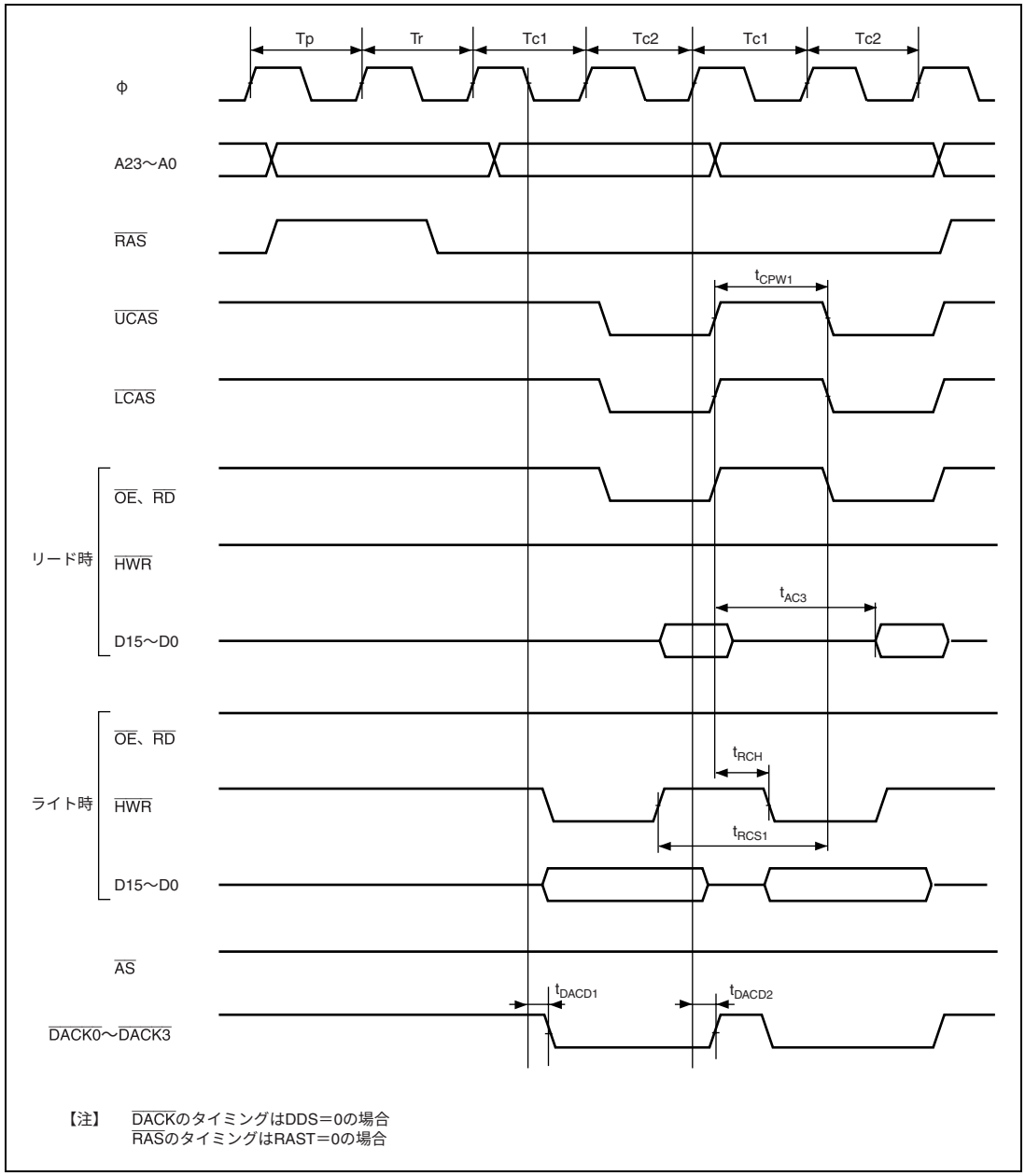
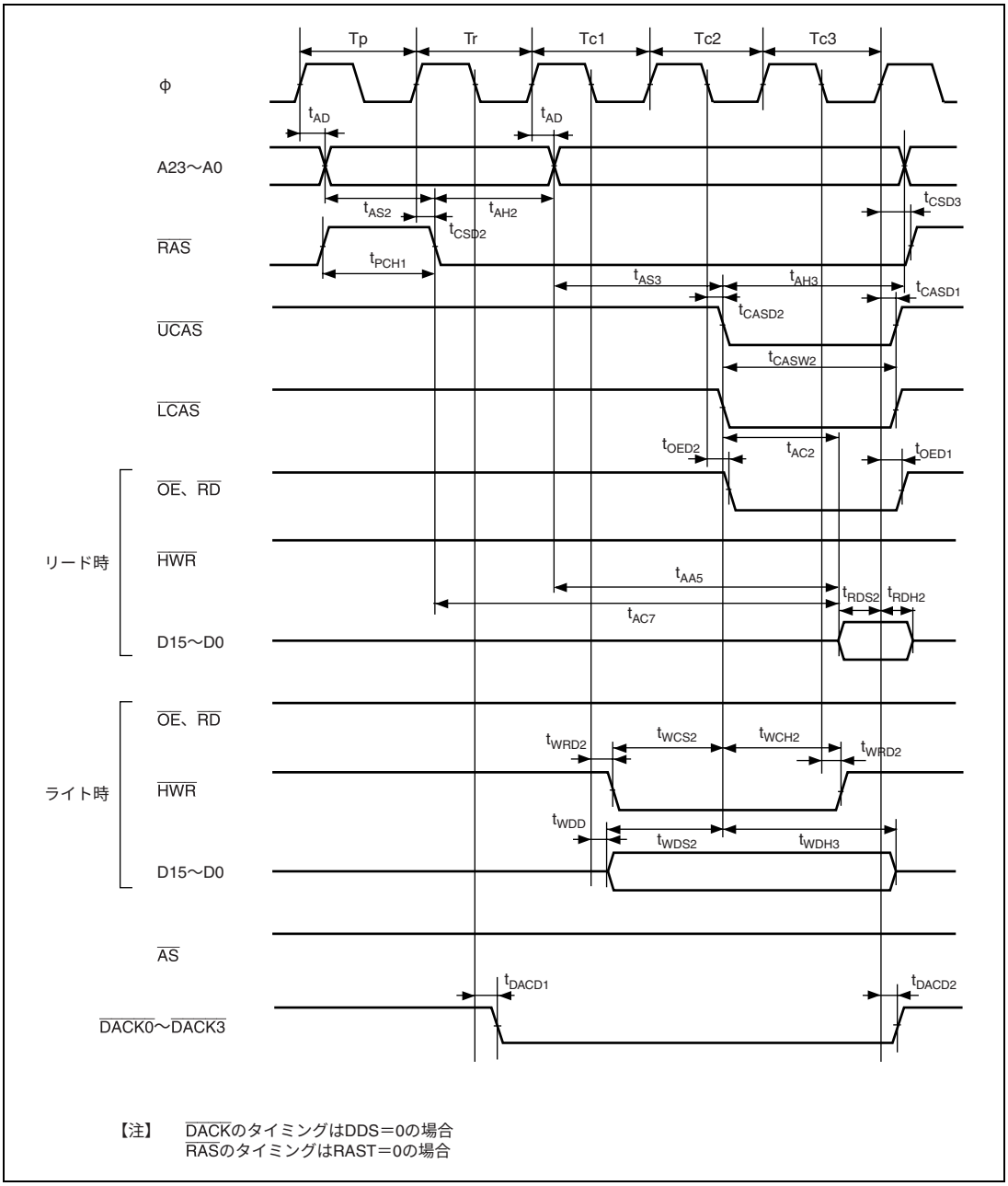


図 18.13　DRAM アクセスタイミング/2 ステートバーストアクセス



【注】　DACKのタイミングはDDS＝0の場合
RASのタイミングはRAST＝0の場合

図 18.14　DRAM アクセスタイミング/3 ステートアクセス（RAST＝1 のとき）

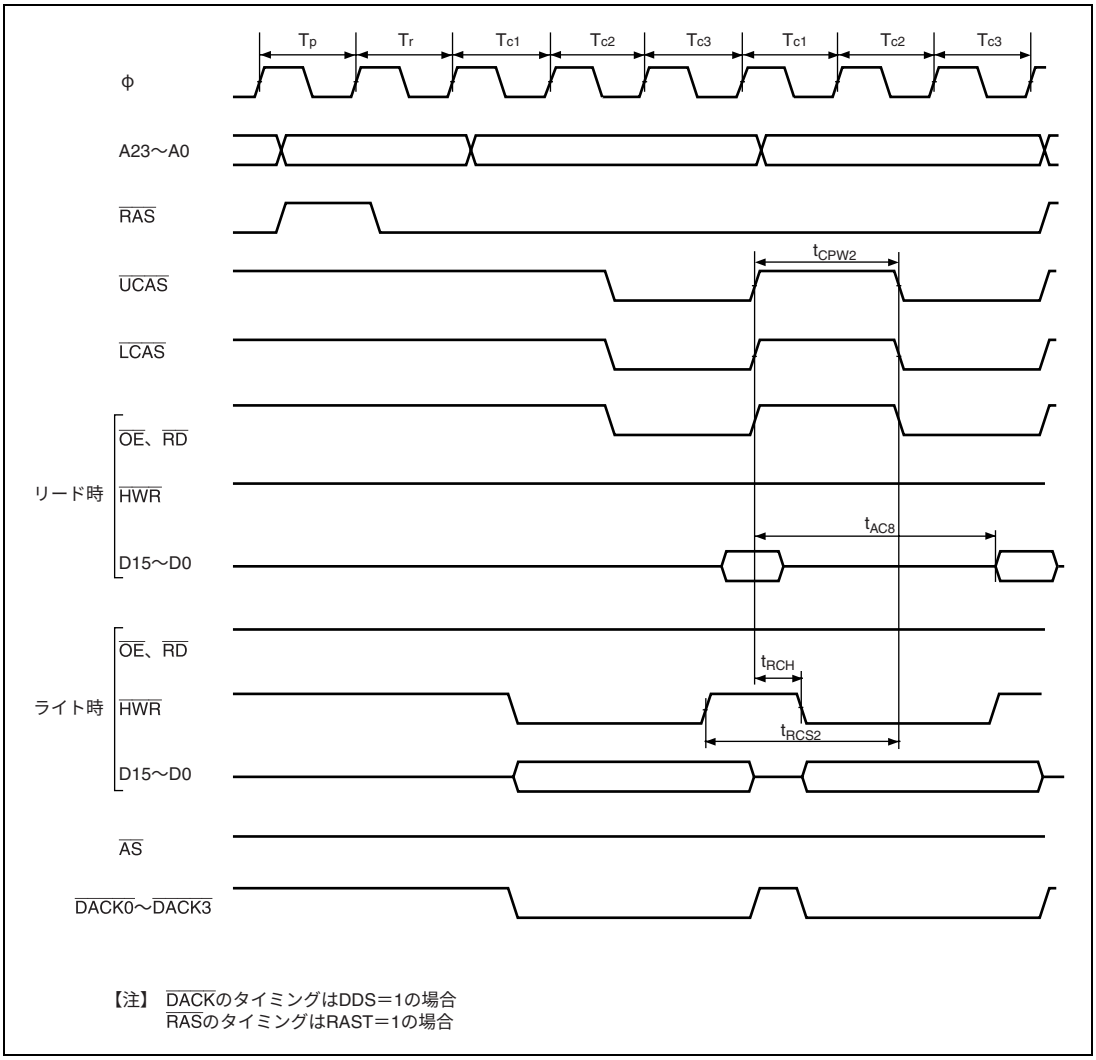


図 18.15　DRAM アクセスタイミング/3 ステートバーストアクセス

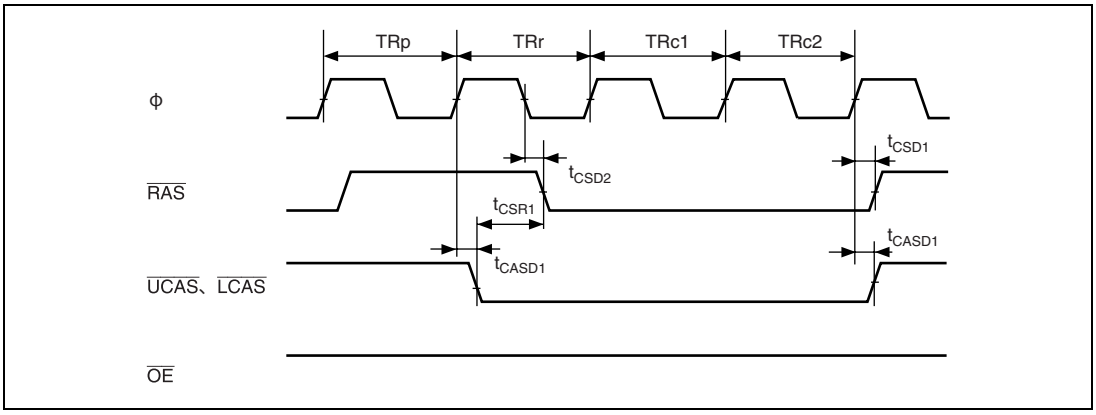


図 18.16　CAS ビフォア RAS リフレッシュタイミング

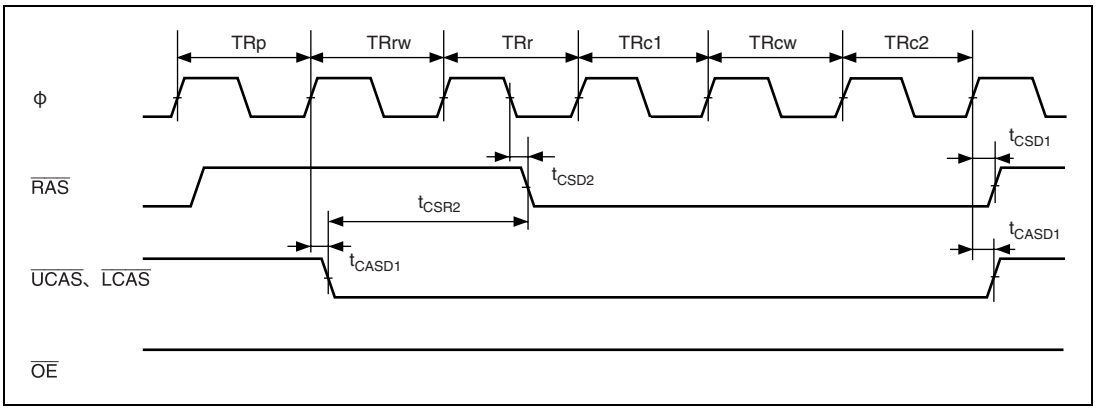


図 18.17　CAS ビフォア RAS リフレッシュタイミング（ウェイトサイクル挿入）

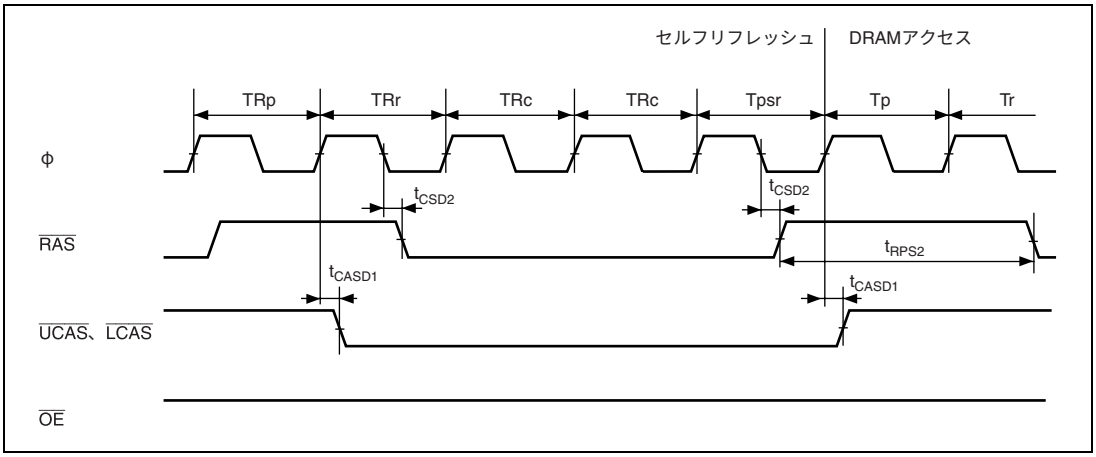


図 18.18　セルフリフレッシュタイミング
（ソフトウエアスタンバイからの復帰時：RAST＝0 のとき）

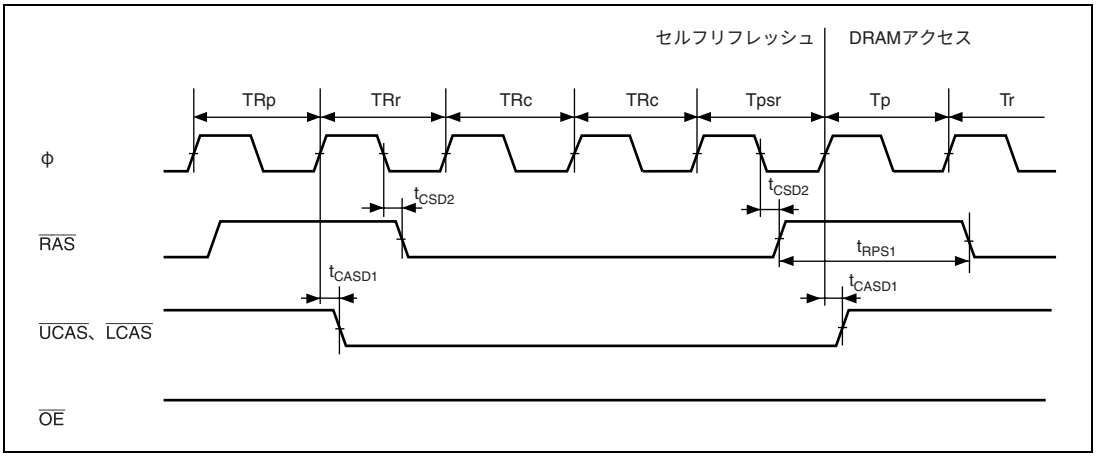


図 18.19　セルフリフレッシュタイミング
（ソフトウエアスタンバイからの復帰時：RAST＝1 のとき）

18.3.4　DMAC タイミング

表 18.9　DMAC タイミング

条件：Vcc＝3.0～3.6V、Vss＝0V

φ＝10～33MHz

項目	記号	min	max	単位	測定条件
$\overline{\text{DREQ}}$ セットアップ時間	t_{DRQS}	25	－	ns	図 18.23
$\overline{\text{DREQ}}$ ホールド時間	t_{DRQH}	10	－		
$\overline{\text{TEND}}$ 遅延時間	t_{TED}	－	18	ns	図 18.22
$\overline{\text{DACK}}$ 遅延時間 1	t_{DACD1}	－	18		図 18.20
$\overline{\text{DACK}}$ 遅延時間 2	t_{DACD2}	－	18		図 18.21

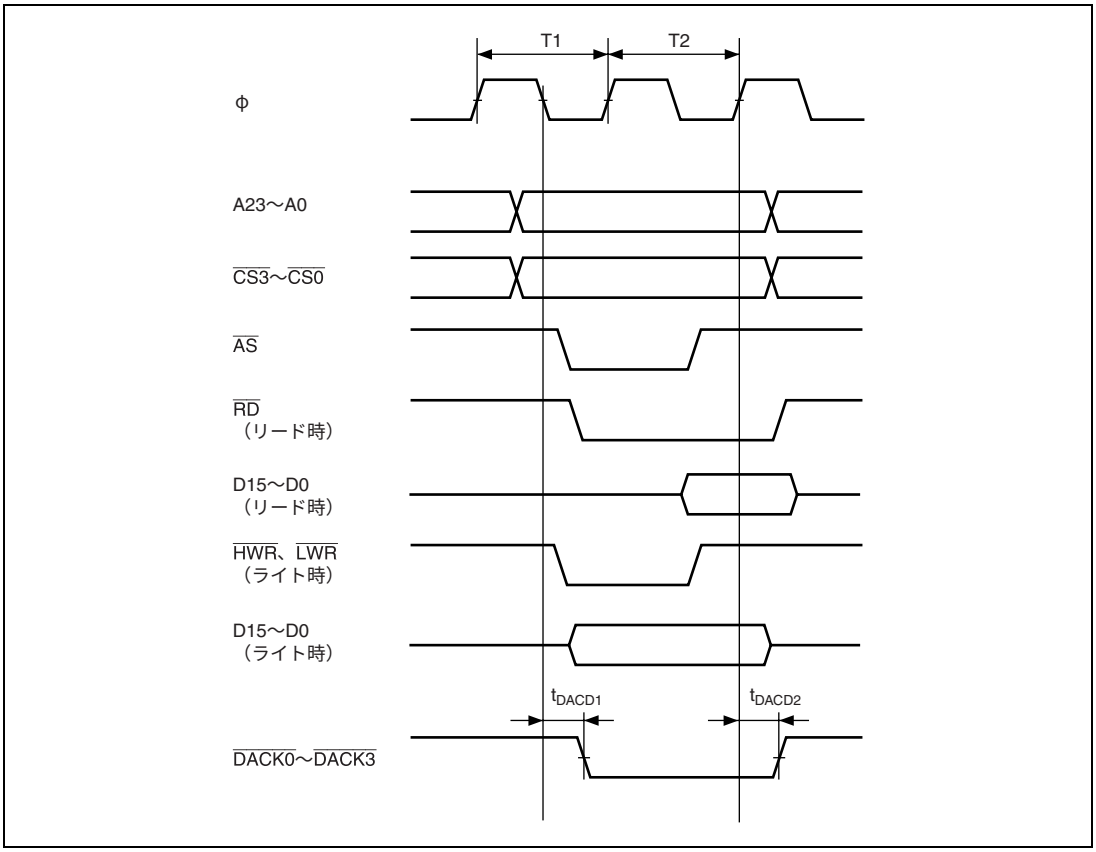


図 18.20　DMAC、シングルアドレス転送タイミング／2 ステートアクセス

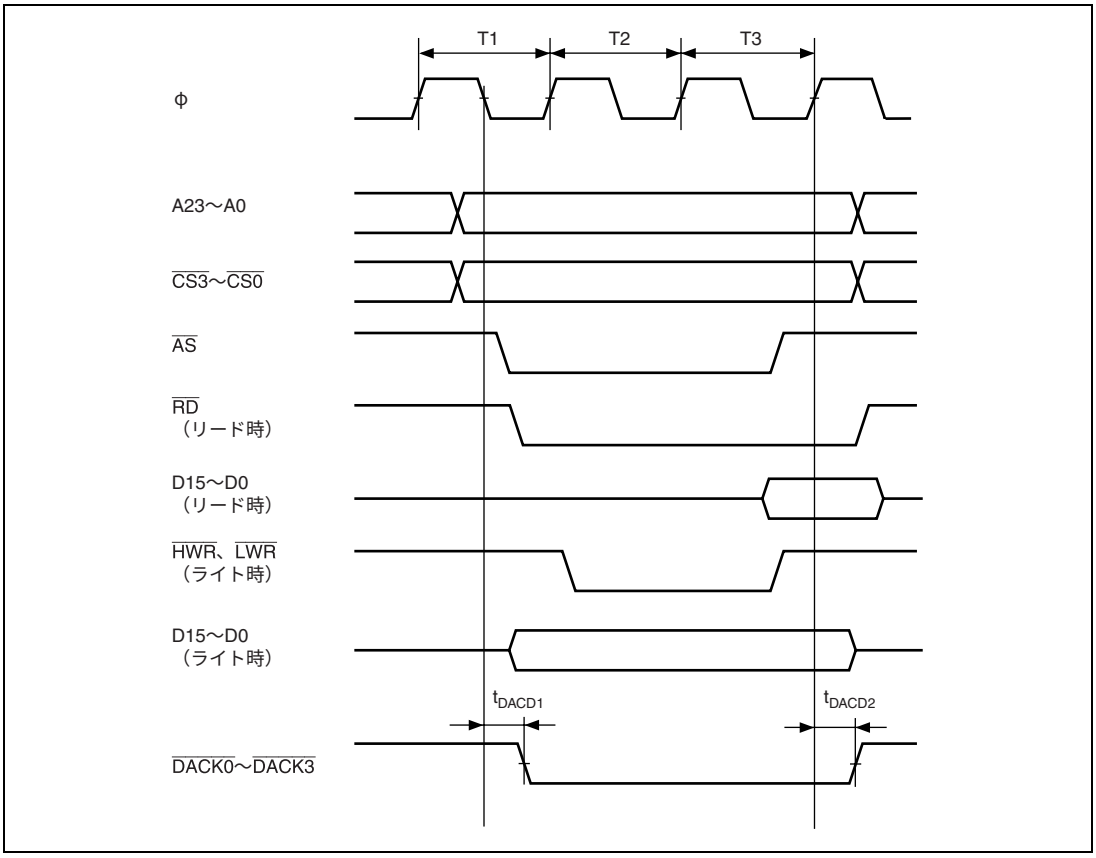


図 18.21　DMAC、シングルアドレス転送タイミング／3 ステートアクセス

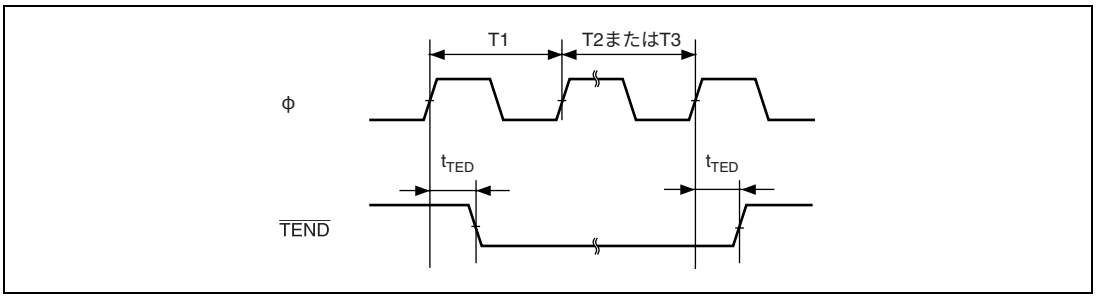


図 18.22　DMAC、$\overline{\text{TEND}}$ 出力タイミング

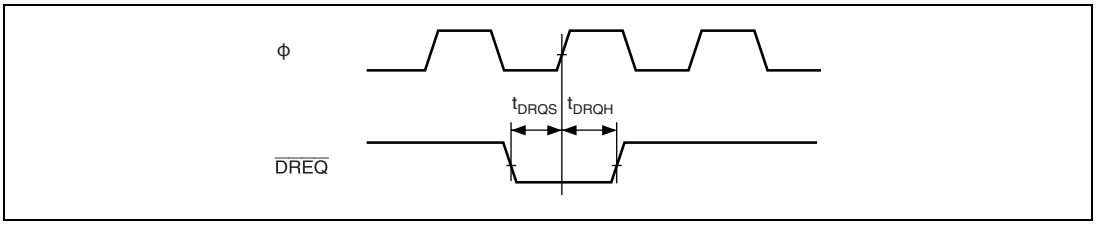


図 18.23　DMAC、$\overline{\text{DREQ}}$ 入力タイミング

18.3.5　内蔵周辺モジュールタイミング

表 18.10　内蔵周辺モジュールタイミング

条件：Vcc＝3.0～3.6V、Vss＝0V

φ＝10～33MHz

項目			記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間		t_{PWD}	－	40	ns	図 18.24
	入力データセットアップ時間		t_{PRS}	25	－	ns	
	入力データホールド時間		t_{PRH}	25	－	ns	
8 ビット タイマ	タイマ出力遅延時間		t_{TMOD}	－	40	ns	図 18.25
	タイマリセット入力セットアップ時間		t_{TMRS}	25	－	ns	図 18.27
	タイマクロック入力セットアップ時間		t_{TMCS}	25	－	ns	図 18.26
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	－	t_{cyc}	
		両エッジ指定	t_{TMCWL}	2.5	－	t_{cyc}	
USB2	データ出力遅延時間		t_{UDO}	－	18	ns	図 18.28
	USWDVLD 出力遅延時間		t_{UWO}	－	18		
	コントロール出力遅延時間		t_{UCO}	－	18		
	データ入力セットアップ時間		t_{UDS}	12	－		
	データ入力ホールド時間		t_{UDH}	2	－		
	USWDVLD 入力セットアップ時間		t_{UWS}	12	－		
	USWDVLD 入力ホールド時間		t_{UWH}	2	－		
	コントロール入力セットアップ時間		t_{UCS}	12	－		
	コントロール入力ホールド時間		t_{UCH}	2			

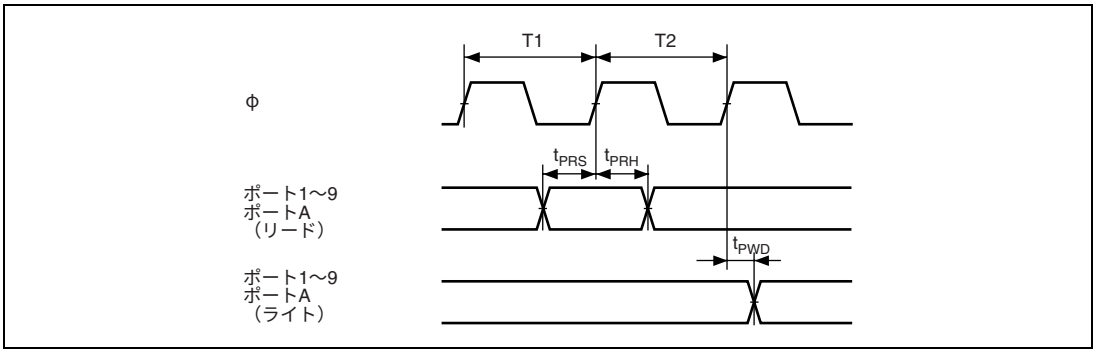


図 18.24　I/O ポート入出力タイミング

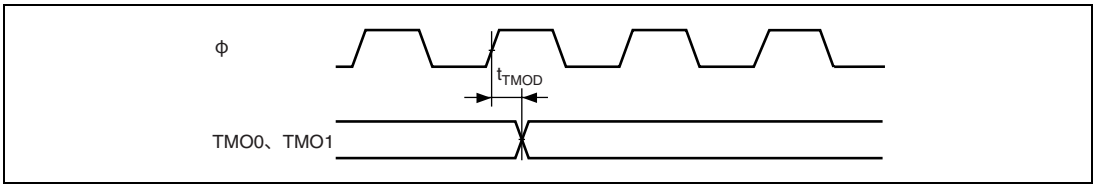


図 18.25　8 ビットタイマ出力タイミング

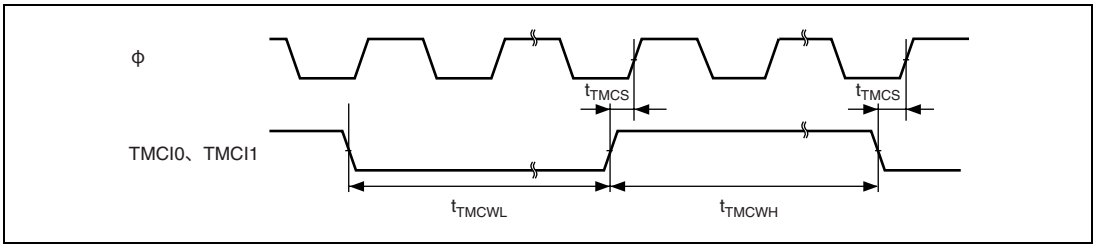


図 18.26　8 ビットタイマクロック入力タイミング

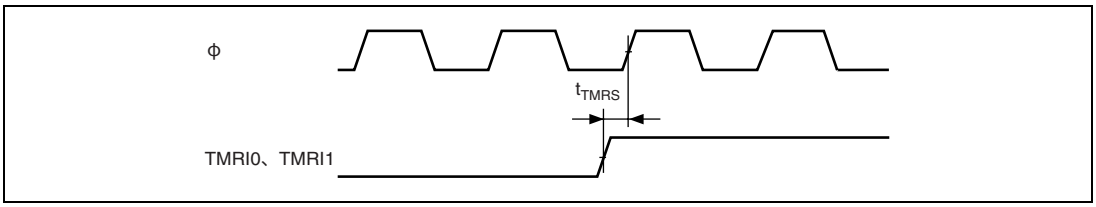


図 18.27　8 ビットタイマリセット入力タイミング

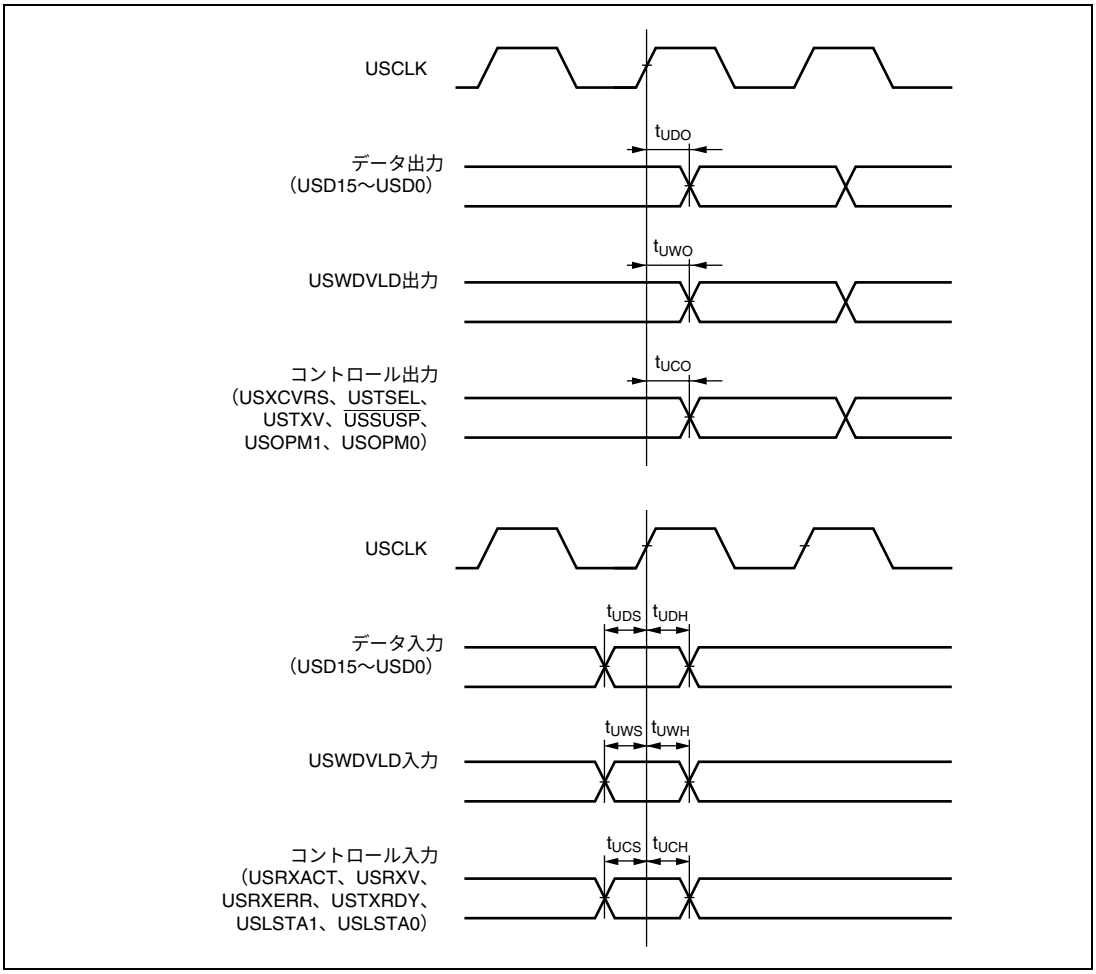


図 18.28　USB2 入出力タイミング

18.4　フラッシュメモリ特性

表 18.11　フラッシュメモリ特性

条件：Vcc＝3.0～3.6V、Vss＝0V

Ta＝0～75℃（書き込み／消去時の動作温度範囲）

項目	記号	min	typ	max	単位	測定条件
書き込み時間*1*2*4	t_P	－	3	30	ms/128 バイト	
消去時間*1*2*4	t_E	－	80	800	ms/4k バイト	
		－	500	5000	ms/32k バイト	
		－	1000	10000	ms/64k バイト	
書き込み時間（総和）*1*2*4	Σ_{tp}	－	5	15	s/256k バイト	Ta＝25℃
消去時間（総和）*1*2*4	Σ_{tE}	－	5	15	s/256k バイト	Ta＝25℃
書き込み、消去時間（総和）*1*2*4	Σ_{tPE}	－	10	30	s/256k バイト	Ta＝25℃
書き換え回数	N_{WEC}	100*3	－	－	回	
データ保持時間*4	t_{DRP}	10	－	－	年	

【注】　*1　書き込み、消去時間はデータに依存します。

*2　書き込み、消去時間にはデータ転送時間は含みません。

*3　書き換え後のすべての特性を保証する min.回数です。（保証は 1～min.値の範囲）

*4　書き換えが min.値を含む仕様範囲内で行われたときの特性です。

18.5　使用上の注意事項（内部降圧）

H8S/2170 F-ZTAT では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧端子（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ（0.1μF を 1 個）を接続する必要があります。外付けコンデンサ接続方法を図 18.29 に示します。

VCL 端子には、V_{CC} 電源は接続しないでください。V_{CC} 電源を接続した場合、LSI の永久破壊となることがあります（VCC 端子には従来どおり、V_{CC} 電源を接続してください）。

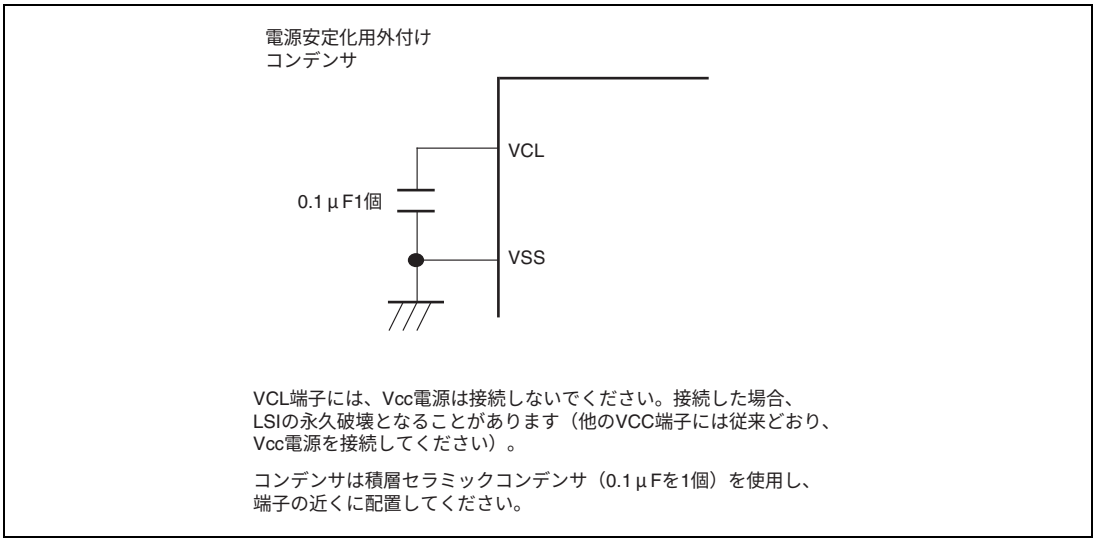


図 18.29　VCL コンデンサ接続方法

付録

A.　各処理状態におけるポートの状態

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	プログラム 実行状態 スリープモード
ポート 1	2	T	T	keep	入出力ポート
ポート 2	2	T	T	keep	入出力ポート
ポート 3	2	T	T	keep	入出力ポート
ポート 4	2	T	T	keep	入出力ポート
ポート 5	2	T	T	Keep	入出力ポート
ポート 6	2	L	T	Keep	［アドレス出力時］ A15～A8
ポート 7	2	L	T	Keep	［アドレス出力時］ A7～A0
ポート 8	2	T	T	Keep	入出力ポート
P97/φ	2	クロック 出力	T	［クロック出力時］ H ［上記以外］ keep	［クロック出力時］ クロック出力 ［上記以外］ 入力ポート
P96/$\overline{AS}$	2	H	T	Keep	［$\overline{AS}$ 出力時］ $\overline{AS}$ ［上記以外］ 入出力ポート
P95/$\overline{RD}$	2	H	T	H	$\overline{RD}$、$\overline{HWR}$
P94/$\overline{HWR}$	2	H	T	H	$\overline{RD}$、$\overline{HWR}$
P93/$\overline{LWR}$	2	H	T	［$\overline{LWR}$ 出力時］ H ［上記以外］ keep	［$\overline{LWR}$ 出力時］ $\overline{LWR}$ ［上記以外］ 入出力ポート
P91/$\overline{CS2}$	2	H	T	［$\overline{CS}$ 出力時］ H ［上記以外］ keep	［$\overline{CS}$ 出力時］ $\overline{CS}$ ［上記以外］ 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	プログラム 実行状態 スリープモード
P91/$\overline{\text{CS1}}$	2	H	T	［$\overline{\text{CS}}$ 出力時］ H ［上記以外］ keep	［$\overline{\text{CS}}$ 出力時］ $\overline{\text{CS}}$ ［上記以外］ 入出力ポート
P90/$\overline{\text{CS0}}$	2	H	T	［$\overline{\text{CS}}$ 出力時］ H ［上記以外］ keep	［$\overline{\text{CS}}$ 出力時］ $\overline{\text{CS}}$ ［上記以外］ 入出力ポート
PA3/A19/$\overline{\text{CS3}}$	2	T	T	keep	［アドレス 出力時］ A19 ［$\overline{\text{CS}}$ 出力時］ $\overline{\text{CS}}$ ［上記以外］ 入出力ポート
PA2/A18/$\overline{\text{UCAS}}$	2	T	T	keep	［$\overline{\text{UCAS}}$、アドレス 出力時］ $\overline{\text{UCAS}}$、$\overline{\text{A18}}$ ［上記以外］ 入出力ポート
PA1/A17/$\overline{\text{LCAS}}$	2	T	T	keep	［$\overline{\text{LCAS}}$、アドレス 出力時］ $\overline{\text{LCAS}}$、A17 ［上記以外］ 入出力ポート
PA0/A16	2	T	T	keep	［アドレス出力時］ A16 ［上記以外］ 入出力ポート

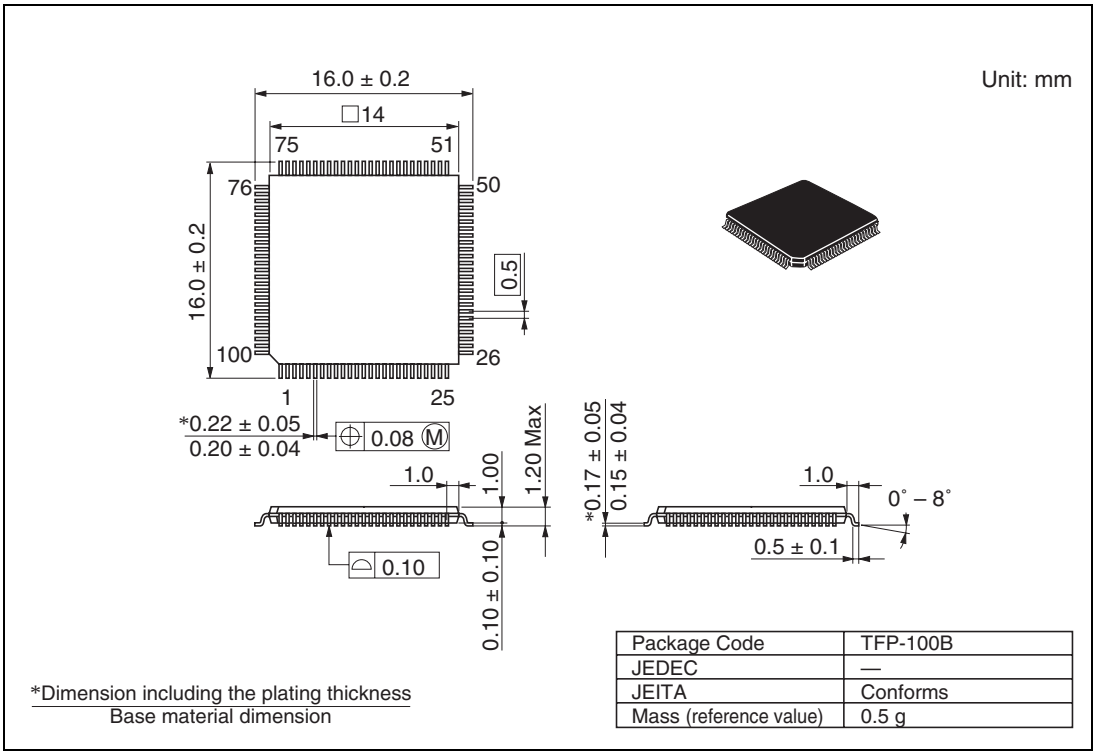
【記号説明】

L	：Low レベル	H	：High レベル
keep	：入力ポートはハイインピーダンス、 出力ポートは保持	T	：ハイインピーダンス
		DDR	：データディレクションレジスタ
OPE	：出力ポートイネーブル		

B.　型名一覧

製品分類		製品型名	マーク型名	パッケージ（コード）
H8S/2170	フラッシュメモリ版	HD64F2170	HD64F2170	100 ピン TQFP（TFP-100B）

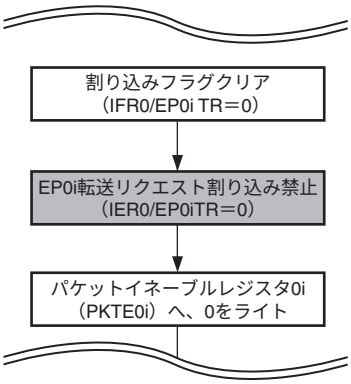
C.　外形寸法図

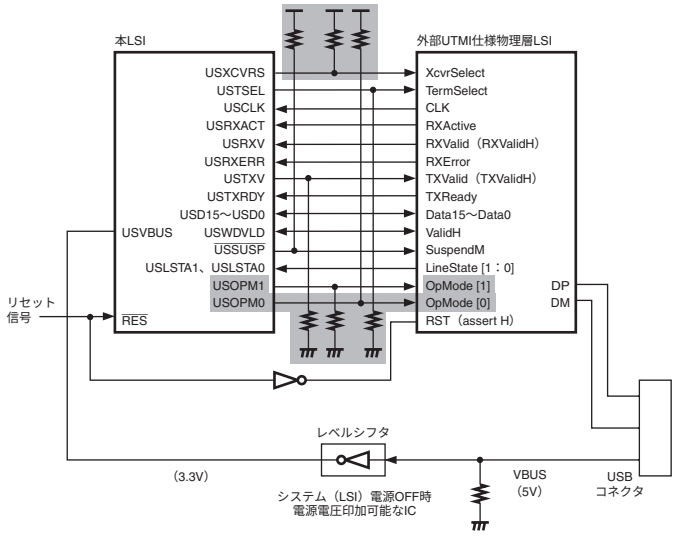


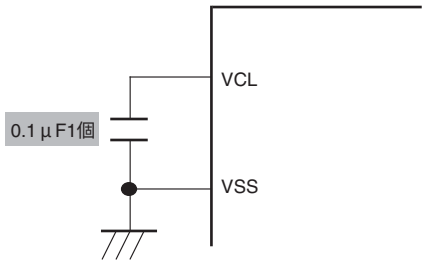
Package Code	TFP-100B
JEDEC	—
JEITA	Conforms
Mass (reference value)	0.5 g

図 C.1　外形寸法図（TFP-100B）

本版で修正または追加された箇所

<table>
<tr><th>修正箇所</th><th>ページ</th><th>内　　容</th></tr>
<tr><td>8.　I/O ポート
8.9.3　ポート 9 レジスタ（PORT9）</td><td>8-34</td><td>削除
P90DDR ビット、MDCR の EXPE ビット、PFCR1 の CS0E ビットの組み合わせにより、次のように切り替わります。</td></tr>
<tr><td>12.　ユニバーサルシリアルバス 2（USB2）
12.3.1　割り込みフラグレジスタ 0（IFR0）</td><td>12-6</td><td>修正
<table>
<tr><th>ビット</th><th>ビット名</th><th>R/W</th><th>説　　明</th></tr>
<tr><td>5</td><td>EP2EMPTY</td><td>R</td><td>EP2 FIFO エンプティ*2
［セット条件］
リセット時
EP2 の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのときに 1 にセットされます。2 面ともフルの場合は 0 にセットされます。
［クリア条件］ステータスビットのため、クリアはできません。</td></tr>
<tr><td>4</td><td>EP1FULL</td><td>R</td><td>EP1 FIFO フル*1
［セット条件］
EP1 の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上の FIFO がフルのときに 1 にセットされます。2 面ともエンプティの場合は 0 にセットされます。
［クリア条件］ステータスビットのため、クリアはできません。</td></tr>
</table></td></tr>
<tr><td>12.3.16　FIFO クリアレジスタ 0（FCLR0）</td><td>12-14</td><td>追加
…2 面ともクリアされます。同じく 2 面構成の EP1 FIFO に対しては、現在選択されている面だけがクリアされます。また、このトリガでは、対応する割り込み…</td></tr>
<tr><td>12.3.18　DMA 設定レジスタ 0（DMA0）</td><td>12-16</td><td>追加
…転送要求を行います。すなわち、1 面でも FIFO 内に有効なデータがない場合、DMAC に対して転送要求を行います。マイコンからデータをライト…</td></tr>
<tr><td>12.5.3　コントロール転送
図 12.9　ステータスステージ（コントロールアウト時）の動作</td><td>12-25</td><td>追加
 
</td></tr>
</table>

<table>
<tr><th>修正箇所</th><th>ページ</th><th>内　　容</th></tr>
<tr><td>12.5.5　EP2 バルクイン転送(2 面 FIFO)
図 12.11　EP2 バルクイン転送の動作</td><td>12-29</td><td>差し替え</td></tr>
<tr><td>12.6　DMA 使用上の注意事項</td><td>12-35</td><td>修正
…1 面分のデータ FIFO（最大パケットサイズ）がフルになると、自動的に…</td></tr>
<tr><td>12.8.11　EPDR0s のリードについて</td><td>12-42</td><td>削除
EPDR0s は必ず 8 バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。</td></tr>
<tr><td>12.8.14　外部回路例
図 12.18　外部回路の接続例</td><td>12-43</td><td>修正
 
</td></tr>
<tr><td>図 12.20　バスリセット検出フロー</td><td rowspan="2">12-44</td><td>追加</td></tr>
<tr><td>12.8.18　ソフトウェアスタンバイ中の USB 割り込み</td><td>追加</td></tr>
<tr><td>14.　フラッシュメモリ
（0.18μm F-ZTAT 版）
14.10　使用上の注意事項</td><td>14-70</td><td>追加
16.　SCO ビットに 1 をライトし、内蔵プログラムをダウンロードしている期間は WDT のカウントアップ動作が停止します。</td></tr>
<tr><td>15.　クロック発振器
15.3.3　動作確認時の注意事項</td><td>15-5</td><td>追加</td></tr>
<tr><td>18.　電気的特性
18.1　絶対最大定格
表 18.1　絶対最大定格</td><td>18-1</td><td>修正
<table>
<tr><th>項目</th><th>記号</th><th>定格値</th><th>単位</th></tr>
<tr><td rowspan="2">動作温度</td><td rowspan="2">Topr</td><td>- 20～+75（通常仕様品）</td><td rowspan="3">℃</td></tr>
<tr><td>- 40～+85（広温度範囲仕様品）</td></tr>
<tr><td>動作温度（フラッシュメモリ書き込み／消去時）</td><td>Topr</td><td>0～+75</td></tr>
<tr><td>保存温度</td><td>Tstg</td><td>－55～＋125</td><td>℃</td></tr>
</table></td></tr>
</table>

修正箇所	ページ	内　　容
18.5　使用上の注意事項（内部降圧）	12-43	修正 …内部電圧安定用のコンデンサ（0.1μＦを１個）を接続する必要があります。…
図 12.18　外部回路の接続例		修正 電源安定化用外付け コンデンサ  VCL端子には、Vcc電源は接続しないでください。接続した場合、 LSIの永久破壊となることがあります（他のVCC端子には従来どおり、 Vcc電源を接続してください）。 コンデンサは積層セラミックコンデンサ（0.1μFを1個）を使用し、 端子の近くに配置してください。

索引

8 ビットタイマ 9-1
16 ビットカウントモード 9-12
TCNT のカウントタイミング 9-9
カスケード接続 9-12
コンペアマッチカウントモード 9-12
トグル出力 9-15
パルス出力 9-8
Bcc 2-16, 2-24
CPU 動作モード 2-4
アドバンストモード 2-6
ノーマルモード 2-4
DMA コントローラ
シングルアドレスモード 7-38
チャネルの優先順位 7-29
デュアルアドレスモード 7-31
リピートエリア機能 7-24
割り込み要因 7-54
転送モード 7-16
DMA コントローラ（DMAC） 7-1
DRAM インタフェース 6-35
EA 拡張部 2-26
FCCS 14-10
FECS 14-13
FKEY 14-13
FMATS 14-14
FPCS 14-12
FTDAR 14-14
PLL 回路 15-5
RAM 13-1
TRAPA 命令 2-29, 4-4
USB ケーブル接続 12-19
USB 標準リクエストとクラス／
ベンダーリクエストの処理 12-31
アイドルサイクル 6-55
アドレスマップ 3-5
アドレス空間 2-4, 2-8
アドレッシングモード 2-27
イミディエイト 2-29
ディスプレースメント付きレジスタ間接 2-27
プリデクリメントレジスタ間接 2-28
プログラムカウンタ相対 2-29
ポストインクリメントレジスタ間接 2-28
メモリ間接 2-29
レジスタ間接 2-27
レジスタ直接 2-27
絶対アドレス 2-28
インターバルタイマモード 10-5
インタラプトイン転送 12-30
ウォッチドッグタイマ 10-1
ウォッチドッグタイマモード 10-4
エクステンドレジスタ（EXR） 2-11
エラープロテクト 14-45
オーバフロー 10-4
オペレーションフィールド 2-26
オンボードプログラミング 14-23
オンボードプログラミングモード 14-1
クロック発振器 15-1
ケーブル切断 12-20
コンディションコードレジスタ（CCR） 2-11
コンディションフィールド 2-26
コントロール転送 12-20
シリアルコミュニケーションインタフェース 11-1
オーバランエラー 11-17
パリティエラー 11-17
ビットレート 11-8
フレーミングエラー 11-17
調歩同期式モード 11-11
スタックの状態 4-5
スタックポインタ（SP） 2-10
ストール動作 12-32
スリープモード 16-6
ソフトウェアスタンバイモード 16-6
ソフトウェアプロテクト 14-44
ダウンロードパス・フェイルリザルトパラメータ 14-17
データディレクションレジスタ 8-1
データレジスタ 8-1

トラップ命令例外処理 4-4
トレースビット 2-11
ハードウェアスタンバイモード 16-9
ハードウェアプロテクト 14-44
バスアービトレーション 6-61
バスアドレスエリアパラメータ 14-19
バスコントローラ 6-1
　ウェイト制御 6-32
　チップセレクト（CS）アサート期間拡張 6-34
　チップセレクト信号 6-21
　データサイズとデータアライメント 6-21
　リードストローブ（RD）タイミング 6-33
　基本動作タイミング 6-24
　有効ストローブ 6-23
バルクアウト転送 12-26
バルクイン転送 12-28
ブートモード 14-23
フラッシュイレースブロックセレクトパラメータ 14-21
フラッシュパス／フェイルパラメータ 14-22
フラッシュプログラム／イレース周波数パラメータ 14-18
フラッシュマット構成 14-5
フラッシュマルチパーパスデータ
デスティネーションパラメータ 14-19
フラッシュメモリ 14-1
プログラムカウンタ（PC） 2-11
プロテクト 14-44
ポートレジスタ 8-1
モード比較 14-4
モジュールストップモード 16-10
ユーザブートマット 14-46
ユーザブートモード 14-36
ユーザプログラムモード 14-26
ユーザマット 14-46
ユーザメモリマット 14-1
ライタモード 14-49
ライトデータバッファ機能 6-60
リセット 4-2
リセット例外処理 4-3
レジスタ
　ABRKCR 5-4, 17-4, 17-11, 17-15
　ACSCR 6-4, 17-2, 17-8, 17-13
　BCR 6-8, 17-2, 17-8, 17-13
　BRR 11-8, 17-4, 17-11, 17-15
　CSACR 6-5, 17-2, 17-8, 17-13
CTRL 12-16, 17-2, 17-8, 17-13
DASTS0 ..... 12-12, 17-2, 17-7, 17-13
DMA0 ..... 12-16, 17-2, 17-8, 17-13
DMACR 7-11, 17-3, 17-9, 17-14
DMDAR 7-6, 17-3, 17-9, 17-14
DMMDR 7-8, 17-3, 17-9, 17-14
DMSAR 7-6, 17-3, 17-9, 17-14
DMTCR 7-7, 17-3, 17-9, 17-14
DRACCR 6-12, 17-3, 17-8, 17-13
DRAMCR 6-10, 17-3, 17-8, 17-13
EPDR0i 12-10, 17-2, 17-6, 17-13
EPDR0o 12-10, 17-2, 17-6, 17-13
EPDR0s 12-11, 17-2, 17-6, 17-13
EPDR1 ..... 12-11, 17-2, 17-7, 17-13
EPDR2 ..... 12-11, 17-2, 17-7, 17-13
EPDR3 ..... 12-12, 17-2, 17-7, 17-13
EPSTL0 ..... 12-15, 17-2, 17-7, 17-13
EPSZ0o 12-9, 17-2, 17-6, 17-13
EPSZ1 ..... 12-10, 17-2, 17-6, 17-13
FCLR0 ..... 12-14, 17-2, 17-7, 17-13
ICR 5-3, 17-4, 17-11, 17-14
IER 5-5, 17-3, 17-11, 17-14
IER0 ..... 12-9, 17-2, 17-6, 17-13
IFR0 ..... 12-5, 17-2, 17-6, 17-13
ISCR 5-5, 17-4, 17-11, 17-14
ISR 5-6, 17-4, 17-11, 17-14
ISR0 ..... 12-8, 17-2, 17-6, 17-13
ISSR 8-39, 17-4, 17-11, 17-15
MDCR 3-2, 17-2, 17-8, 17-13
MSTPCR 16-5, 17-2, 17-8, 17-13
P1DDR 8-4, 17-4, 17-11, 17-15
P1DR 8-4, 17-5, 17-12, 17-15
P2DDR 8-7, 17-4, 17-11, 17-15
P2DR 8-7, 17-5, 17-12, 17-15
P3DDR 8-10, 17-4, 17-11, 17-15
P3DR 8-11, 17-5, 17-12, 17-15
P4DDR 8-13, 17-4, 17-11, 17-15
P4DR 8-14, 17-5, 17-12, 17-16
P5DDR 8-16, 17-4, 17-11, 17-15
P5DR 8-17, 17-5, 17-12, 17-16
P6DDR 8-21, 17-4, 17-11, 17-15
P6DR 8-21, 17-5, 17-12, 17-16
P7DDR 8-25, 17-4, 17-11, 17-15
P7DR 8-25, 17-5, 17-12, 17-16

P8DDR 8-29, 17-4, 17-11, 17-15
P8DR 8-29, 17-5, 17-12, 17-16
P9DDR 8-32, 17-4, 17-11, 17-15
P9DR 8-32, 17-5, 17-12, 17-16
PADDR 8-35, 17-4, 17-11, 17-15
PADR 8-35, 17-5, 17-12, 17-16
PBAR 5-4, 17-4, 17-11, 17-15
PFCR1 ..... 8-38, 17-4, 17-11, 17-15
PFCR3 ..... 12-17, 17-4, 17-11, 17-15
PKTE0i 12-12, 17-2, 17-7, 17-13
PKTE2 ..... 12-13, 17-2, 17-7, 17-13
PKTE3 ..... 12-13, 17-2, 17-7, 17-13
PORT1 ..... 8-5, 17-4, 17-11, 17-15
PORT2 ..... 8-8, 17-4, 17-11, 17-15
PORT3 ..... 8-11, 17-4, 17-11, 17-15
PORT4 ..... 8-14, 17-4, 17-11, 17-15
PORT5 ..... 8-17, 17-4, 17-11, 17-15
PORT6 ..... 8-22, 17-4, 17-12, 17-15
PORT7 ..... 8-26, 17-4, 17-12, 17-15
PORT8 ..... 8-30, 17-5, 17-12, 17-15
PORT9 ..... 8-33, 17-5, 17-12, 17-15
PORTA 8-36, 17-5, 17-12, 17-15
RDNCR 6-9, 17-2, 17-8, 17-13
RDR 11-3, 17-4, 17-11, 17-15
REFCR 6-13, 17-3, 17-8, 17-13
RSR 11-3
RTCNT 6-15, 17-3, 17-8, 17-14
RTCOR 6-15, 17-3, 17-8, 17-14
SBYCR 16-4, 17-2, 17-8, 17-13
SCR 11-5, 17-4, 17-11, 17-15
SMR 11-4, 17-4, 17-11, 17-15
SSR 11-6, 17-4, 17-11, 17-15
SYSCR 3-3, 17-2, 17-8, 17-13
TCNT 9-4, 10-2, 17-3, 17-5,
..... 17-8, 17-12, 17-14, 17-16
TCORA 9-4, 17-5, 17-12, 17-16
TCORB 9-4, 17-5, 17-12, 17-16
TCR 9-5, 17-5, 17-12, 17-16
TCSR 9-7, 10-3, 17-3, 17-5,
..... 17-8, 17-12, 17-14, 17-16
TDR 11-3, 17-4, 17-11, 17-15
TSR 11-3
USBSUSP 12-17, 17-2, 17-8, 17-13
USTCR 7-9, 7-14, 17-3, 17-10, 17-14
WTCR 6-6, 17-2, 17-8, 17-13
レジスタフィールド 2-26
割り込み
CMIA 9-13
CMIB 9-13
ERI0 11-20
IRQ7～IRQ0 割り込み 5-6
NMI 割り込み 5-6
OVI 9-13
RXI0 11-20
TEI0 11-20
TXI0 11-20
WOVI 10-6
割り込みコントローラ 5-1
割り込みマスクビット 2-11
割り込み制御モード 5-9
割り込み要求マスクレベル 2-11
割り込み例外処理 4-4
割り込み例外処理シーケンス 5-15
割り込み例外処理ベクタテーブル 5-7
実効アドレス 2-27, 2-30
手順プログラム 14-39
書き込み／消去インタフェースパラメータ 14-16
書き込み／消去インタフェースレジスタ 14-10
水晶発振子 15-2
通信プロトコル 14-51
低消費電力状態 16-1
動作モード 3-1
汎用レジスタ 2-10
標準シリアル通信インタフェース仕様 14-49
命令セット 2-16
システム制御命令 2-25
シフト命令 2-21
データ転送命令 2-18
ビット操作命令 2-22
ブロック転送命令 2-25
算術演算命令 2-19
分岐命令 2-24
論理演算命令 2-21
例外処理 4-1
例外処理ベクタテーブル 4-2

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2172グループ

発行年月　2003年3月　　第1版
　　2004年3月2日　Rev.2.00
発　　行　株式会社ルネサス テクノロジ 営業企画統括部
　　〒100-0004 東京都千代田区大手町 2-6-2
編　　集　株式会社ルネサス小平セミコン 技術ドキュメント部

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

株式会社 ルネサス テクノロジ　営業企画統括部　〒100-0004 東京都千代田区大手町2-6-2 日本ビル

RENESAS

営業お問合せ窓口
株式会社ルネサス販売

http://www.renesas.com

本社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2（浜松アクトタワー10F）	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ　E-Mail: csc@renesas.com

Colophon 2.0

H8S/2172 グループ
ハードウェアマニュアル

ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0156-0200Z