

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

H8/38024、 H8/38024S、 H8/38024R、 H8/38124 群

瑞萨8位单片机

H8族 / H8/300L 超小功率系列

H8/38024 群	H8/38024
	H8/38023
	H8/38022
	H8/38021
	H8/38020
H8/38024S 群	H8/38024S
	H8/38023S
	H8/38022S
	H8/38021S
H8/38024R 群	H8/38020S
	H8/38024R
H8/38124 群	H8/38124
	H8/38123
	H8/38122
	H8/38121

Cautions

Keep safety first in your circuit designs!

1. Renesas Technology Corp. puts the maximum effort into making semiconductor products better and more reliable, but there is always the possibility that trouble may occur with them. Trouble with semiconductors may lead to personal injury, fire or property damage.
Remember to give due consideration to safety when making your circuit designs, with appropriate measures such as (i) placement of substitutive, auxiliary circuits, (ii) use of nonflammable material or (iii) prevention against any malfunction or mishap.

Notes regarding these materials

1. These materials are intended as a reference to assist our customers in the selection of the Renesas Technology Corp. product best suited to the customer's application; they do not convey any license under any intellectual property rights, or any other rights, belonging to Renesas Technology Corp. or a third party.
2. Renesas Technology Corp. assumes no responsibility for any damage, or infringement of any third-party's rights, originating in the use of any product data, diagrams, charts, programs, algorithms, or circuit application examples contained in these materials.
3. All information contained in these materials, including product data, diagrams, charts, programs and algorithms represents information on products at the time of publication of these materials, and are subject to change by Renesas Technology Corp. without notice due to product improvements or other reasons. It is therefore recommended that customers contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor for the latest product information before purchasing a product listed herein.
The information described here may contain technical inaccuracies or typographical errors. Renesas Technology Corp. assumes no responsibility for any damage, liability, or other loss rising from these inaccuracies or errors.
Please also pay attention to information published by Renesas Technology Corp. by various means, including the Renesas Technology Corp. Semiconductor home page (<http://www.renesas.com>).
4. When using any or all of the information contained in these materials, including product data, diagrams, charts, programs, and algorithms, please be sure to evaluate all information as a total system before making a final decision on the applicability of the information and products. Renesas Technology Corp. assumes no responsibility for any damage, liability or other loss resulting from the information contained herein.
5. Renesas Technology Corp. semiconductors are not designed or manufactured for use in a device or system that is used under circumstances in which human life is potentially at stake. Please contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor when considering the use of a product contained herein for any specific purposes, such as apparatus or systems for transportation, vehicular, medical, aerospace, nuclear, or undersea repeater use.
6. The prior written approval of Renesas Technology Corp. is necessary to reprint or reproduce in whole or in part these materials.
7. If these products or technologies are subject to the Japanese export control restrictions, they must be exported under a license from the Japanese government and cannot be imported into a country other than the approved destination.
Any diversion or reexport contrary to the export control laws and regulations of Japan and/or the country of destination is prohibited.
8. Please contact Renesas Technology Corp. for further details on these materials or the products contained therein.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

请遵循安全第一进行电路设计

1. 虽然瑞萨科技尽力提高半导体产品的质量和可靠性，但是半导体产品也可能发生故障。半导体的故障可能导致人身伤害、火灾事故以及财产损失。在电路设计时，请充分考虑安全性，采用合适的如冗余设计、利用非易燃材料以及故障或者事故防止等的安全设计方法。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的瑞萨科技产品的参考资料，不转让属于瑞萨科技或者第三者所有的知识产权和其它权利的许可。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法以及其它应用电路的例子而引起的损害或者对第三者的权力的侵犯，瑞萨科技不承担责任。
3. 本资料所记载的产品数据、图、表、程序、算法以及其它所有信息均为本资料发行时的信息，由于改进产品或者其它原因，本资料记载的信息可能变动，恕不另行通知。在购买本资料所记载的产品时，请预先向瑞萨科技或者经授权的瑞萨科技产品经销商确认最新信息。
本资料所记载的信息可能存在技术不准确或者印刷错误。因这些错误而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
同时也请通过各种方式注意瑞萨科技公布的信息，包括瑞萨科技半导体网站。
(<http://www.renesas.com>)
4. 在使用本资料所记载部分或者全部数据、图、表、程序以及算法等信息时，在最终做出有关信息和产品是否适用的判断前，务必对作为整个系统的所有信息进行评价。由于本资料所记载的信息而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
5. 瑞萨科技的半导体产品不是为在可能和人命相关的环境下使用的设备或者系统而设计和制造的产品。在研讨将本资料所记载的产品用于运输、交通车辆、医疗、航空宇宙用、原子能控制、海底中继器的设备或者系统等特殊用途时，请与瑞萨科技或者经授权的瑞萨产品经销商联系。
6. 未经瑞萨科技的书面许可，不得翻印或者复制全部或者部分资料的内容。
7. 如果本资料所记载的某产品或者技术内容受日本出口管理限制，必须在得到日本政府的有关部门许可后才能出口，并且不准进口到批准目的地国家以外的国家。
禁止违反日本和（或者）目的地国家的出口管理法和法规的任何转卖、挪用或者再出口。
8. 如果需要了解本资料所记载的信息或者产品的详细，请与瑞萨科技联系。

General Precautions on Handling of Product

1. Treatment of NC Pins

Note: Do not connect anything to the NC pins.

The NC (not connected) pins are either not connected to any of the internal circuitry or are used as test pins or to reduce noise. If something is connected to the NC pins, the operation of the LSI is not guaranteed.

2. Treatment of Unused Input Pins

Note: Fix all unused input pins to high or low level.

Generally, the input pins of CMOS products are high-impedance input pins. If unused pins are in their open states, intermediate levels are induced by noise in the vicinity, a passthrough current flows internally, and a malfunction may occur.

3. Processing before Initialization

Note: When power is first supplied, the product's state is undefined.

The states of internal circuits are undefined until full power is supplied throughout the chip and a low level is input on the reset pin. During the period where the states are undefined, the register settings and the output state of each pin are also undefined.

Design your system so that it does not malfunction because of processing while it is in this undefined state. For those products which have a reset function, reset the LSI immediately after the power supply has been turned on.

4. Prohibition of Access to Undefined or Reserved Addresses

Note: Access to undefined or reserved addresses is prohibited.

The undefined or reserved addresses may be used to expand functions, or test registers may have been allocated to these addresses. Do not access these registers; the system's operation is not guaranteed if they are accessed.

有关产品的一般注意事项

1. NC 管脚的处理

【注意】 NC管脚什么也不要连接。

NC(Non-Connection)管脚有不连接内部电路和作为测试管脚和降低噪声等目的使用的情況。因此，对于NC管脚，请什么也不要连接。

2. 未使用的输入管脚的处理

【注意】 将未使用的输入管脚固定成高电平或者低电平。

CMOS产品的输入管脚一般为高阻抗输入。如果将未使用的输入管脚处于开放状态，就可能由于周围噪声的感应而产生中间电平，在内部产生浸透电流，引起误动作。对于未使用的输入管脚，请固定成高电平或低电平。

3. 初始化前的处理

【注意】 加入电源时，产品的状态不定。

从给所有电源管脚外加电压开始，到给复位管脚输入低电平为止，内部电路处于不确定状态，寄存器的设定和各管脚的输出状态不定。请采用避免由此不定状态引起的系统误动作的对策进行系统设计。对于具有复位功能的产品，在加入电源后，请首先执行复位运行。

4. 禁止存取未定义地址或者保留地址

【注意】 禁止存取未定义地址或者保留地址。

未定义地址或者保留地址，除了将来用于功能扩展外，还有被分配测试用寄存器等的情况。因为不能保证存取这些寄存器时的运行和继续运行，所以请不要存取。

本书的构成

本手册由如下的内容构成：

1. 有关产品的一般注意事项
2. 本手册的构成
3. 前言
4. 目录
5. 概要
6. 各功能模块的说明
 - CPU 和系统控制
 - 内部外围模块

各模块功能说明的构成取决于各模块。一般由①特点、②输入/输出管脚、③寄存器说明、④运行说明、⑤使用时的注意事项等章节构成。

设计采用本 LSI 的应用系统时，请在充分确认了注意事项的基础上进行。

请你务必阅读各章节中有关说明的注意事项和各章节最后的使用时的注意事项（使用时的注意事项根据需要记载）。

7. 寄存器一览表
8. 电特性
9. 附录
 - 产品型号、外形尺寸等

前 言

本 IC 是以高速 H8/300L CPU 为核心，集成了系统构成所必需的外围功能的单片机。

本 IC 内藏了 ROM、RAM、定时器、串行通信接口（SCI）、10 位 PWM、A/D 转换器、LCD 控制器/驱动器以及 I/O 端口等外围功能，能作为高性能控制系统的嵌入式微机活用。内部 ROM 有快速擦写存储器（F-ZTAT™*1）和 PROM（ZTAT®*2）。对于经常改变规格的应用设备，能根据从早期批量生产到正式批量生产的各种情况迅速灵活对应。

各群的产品规格一览表如下所示。

【注】 *1 F-ZTAT 是（株）瑞萨科技的商标。

*2 ZTAT 是（株）瑞萨科技的注册商标。

规格一览表

		H8/38024 群			H8/38024R 群	H8/38024S 群	H8/38124 群	
		ZTAT	Mask	Flash	Flash	Mask	Flash	Mask
存储器	ROM	32k	8k→32k	32k	32k	8k→32k	16K/32k	8k→32k
	RAM	1k	512 or 1k	1k	1k	512 or 1k	1k	512 or 1k
工作电压和工作频率	4.5~5.5V	16MHz	16MHz	—	—	—	20MHz	20MHz
	2.7~5.5V	10MHz	10MHz	—	—	—	20MHz	20MHz
	1.8~5.5V	4MHz	4MHz	—	—	—	—	—
	2.7~3.6V	—	—	10MHz	10MHz	10MHz	—	—
	1.8~3.6V	—	—	—	—	4MHz	—	—
I/O 端口	输入专用	9	9	9	9	9	9	9
	输出专用	6	6	6	6	6	6	6
	输入/输出	51	51	51	51	51	50	50
定时器	时钟用 (定时器 A)	1	1	1	1	1	1	1
	再装入 (定时器 C)	1	1	1	1	1	1	1
	比较 (定时器 F)	1	1	1	1	1	1	1
	捕捉 (定时器 G)	1	1	1	1	1	1	1
	AEC	1	1	1	1	1	1	1
	WDT	1	1	1	1	1		
	WDT (独立型)						1	1
SCI	UART/时钟同步	1	1	1	1	1	1	1
A/D (分辨率×输入 ch)		10×8	10×8	10×8	10×8	10×8	10×8	10×8
LCD	seg	32	32	32	32	32	32	32
	com	4	4	4	4	4	4	4
外部中断 (内 wake up)		13(8)	13(8)	13(8)	13(8)	13(8)	13(8)	13(8)
POR (加电复位)		—	—	—	—	—	1	1
LVD (低电压检测电路)		—	—	—	—	—	1	1
封装	FP-80A	FP-80A	FP-80A	FP-80A	FP-80A	FP-80A	FP-80A	FP-80A
	FP-80B	FP-80B	FP-80B	FP-80B	FP-80B			
	TFP-80C	TFP-80C	TFP-80C	TFP-80C	TFP-80C	TFP-80C	TFP-80C	TFP-80C
			TLP85V	TLP85V	TLP85V			
		裸芯片	裸芯片	裸芯片	裸芯片	裸芯片		
工作温度		标准规格: -20~75℃ WTR: -40~85℃						

请使用 R 版。

对象者 本手册是以设计“采用 H8/38024 群、H8/38024S 群、H8/38024R 和 H8/38124 群的应用系统”的用户为对象。使用本手册的读者需要具备有关电路、逻辑电路以及微型计算机的基础知识。

目的 本手册是以“能让用户理解 H8/38024 群、H8/38024S 群、H8/38024R、H8/38124 群的硬件功能和电特性”为目的。关于执行指令的详细内容，已记述在《H8/300L Series Programming Manual》中，请对照阅读。

阅读方法

- 希望了解全部功能时
→ 请按照目录的顺序阅读。
 本书大致按CPU、系统控制功能、外围功能和电特性的顺序构成。
- 希望了解详细的 CPU 功能
→ 请参照《H8/300L Series Programming Manual》。

范例 位的表示顺序：以左侧为高位，右侧为低位的顺序表示

相关资料一览表 最新的资料刊登在网站上，请确认现有的资料是否为最新版。
([http:// www.renesas.com](http://www.renesas.com))

• 有关 H8/38024 群、H8/38024S 群、H8/38024R、H8/38124 群的用户手册

资料名	资料编号
H8/38024 群、H8/38024S 群、H8/38024R、H8/38124 群硬件手册	本手册
H8/300L Series Programming Manual	REJ09B0214-0200
H8/300L 系列程序设计手册	ADC-602-004

• 有关开发工具的用户手册

资料名	资料编号
H8S、H8/300 系列 C/C++编译程序、汇编程序、优化连接编辑程序用户手册	RCJ10B0001-0100
High-Performance Debugging Interface User's Manual	ADE-702-161A
High-Performance Embedded Workshop User's Manual	ADE-702-201A

• 应用说明

资料名	资料编号
H8/300 Series, H8/300L Series software	ADE-502-052

注意：在使用内部仿真器开发和调试 H8/38024、H8/38024R、H8/38124 的程序时，必须注意如下限制事项：

1. 因P95管脚被内部仿真器占用，不能使用。
2. 不能使用P33、P34、P35管脚。使用时，必需在用户电路板上追加硬件。
3. 因为内部仿真器使用地址H'7000~H'7FFF区，所以用户不能使用。
4. 绝对不能存取地址H'F780~H'FB7F区。
5. 在使用内部仿真器时，P95管脚为输入/输出管脚，P33管脚和P34管脚为输入管脚，P35管脚为输出管脚。
6. 在使用H8/38124群选择内部振荡器的情况下，如果使用内部仿真器，就必须将谐振器连接到OSC1、OSC2管脚或者将外部时钟供给OSC1。

目 录

第 1 章	概 要	1
1.1	概 要	1
1.2	内部框图	6
1.3	管脚说明	8
1.3.1	管脚排列	8
1.3.2	管脚功能	18
第 2 章	CPU	25
2.1	概 要	25
2.1.1	特点	25
2.1.2	地址空间	26
2.1.3	寄存器结构	26
2.2	各寄存器说明	27
2.2.1	通用寄存器	27
2.2.2	控制寄存器	27
2.2.3	CPU 内部寄存器的初始值	29
2.3	数据结构	30
2.3.1	通用寄存器的数据结构	30
2.3.2	存储器的数据结构	31
2.4	寻址方式	32
2.4.1	寻址方式	32
2.4.2	有效地址的计算方法	34
2.5	指令系统	38
2.5.1	数据传送指令	40
2.5.2	算术运算指令	42
2.5.3	逻辑运算指令	43
2.5.4	移位指令	43
2.5.5	位操作指令	45
2.5.6	转移指令	48
2.5.7	系统控制指令	50
2.5.8	数据块传送指令	51
2.6	基本运行时序	51
2.6.1	内部存储器 (RAM、ROM)	51
2.6.2	内部外围模块	52

2.7	CPU的状态.....	54
2.7.1	概要.....	54
2.7.2	程序执行状态.....	55
2.7.3	程序停止状态.....	55
2.7.4	异常处理状态.....	55
2.8	存储器映像.....	55
2.8.1	存储器映像.....	55
2.9	使用时的注意事项.....	61
2.9.1	有关数据存取的注意事项.....	61
2.9.2	位操作指令使用时的注意事项.....	63
2.9.3	EEPMOV 指令使用时的注意事项.....	69
第 3 章	异常处理.....	71
3.1	概要.....	71
3.2	复位.....	71
3.2.1	概要.....	71
3.2.2	复位顺序.....	71
3.2.3	复位后的中断.....	73
3.3	中断.....	73
3.3.1	概要.....	73
3.3.2	各寄存器说明.....	75
3.3.3	外部中断.....	84
3.3.4	内部中断.....	85
3.3.5	中断运行.....	85
3.3.6	中断响应时间.....	90
3.4	使用时的注意事项.....	91
3.4.1	有关堆栈区使用时的注意事项.....	91
3.4.2	改写端口模式寄存器时的注意事项.....	92
3.4.3	清除中断请求标志的方法.....	95
第 4 章	时钟振荡器.....	97
4.1	概要.....	97
4.1.1	框图.....	97
4.1.2	系统时钟和子时钟.....	98
4.1.3	寄存器说明.....	98
4.2	系统时钟振荡器.....	100
4.3	子时钟振荡器.....	104
4.4	预定标器.....	106
4.5	有关谐振器的注意事项.....	107
4.5.1	振荡稳定待机时间的定义.....	108

4.5.2	使用晶体谐振器时的注意事项（陶瓷谐振器除外）	110
4.5.3	在使用 HD64F38024 时的注意事项	110
4.6	H8/38124群的注意事项	110
第 5 章	低功耗模式	111
5.1	概要	111
5.1.1	系统控制寄存器	114
5.2	睡眠模式	118
5.2.1	向睡眠模式的转移	118
5.2.2	解除睡眠模式	118
5.2.3	关于睡眠（中速）模式的运行频率	119
5.3	待机模式	119
5.3.1	向待机模式的转移	119
5.3.2	解除待机模式	119
5.3.3	解除待机模式后的振荡稳定时间的设定	120
5.3.4	向待机模式的转移和管脚状态	121
5.3.5	在待机模式前后当外部输入信号变化时的注意事项	121
5.4	时钟模式	122
5.4.1	向时钟模式转移	122
5.4.2	解除时钟模式	122
5.4.3	解除时钟模式后的振荡稳定时间的设定	123
5.4.4	在时钟模式前后当外部输入信号变化时的注意事项	123
5.5	子睡眠模式	123
5.5.1	向子睡眠模式转移	123
5.5.2	解除子睡眠模式	123
5.6	子激活模式	124
5.6.1	向子激活模式转移	124
5.6.2	解除子激活模式	124
5.6.3	关于子激活模式的运行频率	124
5.7	激活（中速）模式	124
5.7.1	向激活（中速）模式转移	124
5.7.2	解除激活（中速）模式	125
5.7.3	关于激活（中速）模式的运行频率	125
5.8	直接转移	125
5.8.1	直接转移概要	125
5.8.2	直接转移的时间	126
5.8.3	在直接转移前后当外部输入信号变化时的注意事项	128
5.9	模块待机模式	129
5.9.1	模块待机模式的设定	129
5.9.2	解除模块待机模式	129

第 6 章	ROM	131
6.1	概要	131
6.1.1	框图	131
6.2	H8/38024的PROM模式	132
6.2.1	PROM 模式的设定	132
6.2.2	插座适配器的管脚对应和存储器映像	132
6.3	H8/38024的编程	135
6.3.1	编程/验证	135
6.3.2	编程时的注意事项	138
6.4	编程后的可靠性	139
6.5	快速擦写存储器的概要	140
6.5.1	特点	140
6.5.2	框图	141
6.5.3	块结构	142
6.5.4	寄存器构成	144
6.6	快速擦写存储器的寄存器说明	144
6.6.1	快速擦写存储器控制寄存器 1 (FLMCR1)	144
6.6.2	快速擦写存储器控制寄存器 2 (FLMCR2)	146
6.6.3	块指定寄存器 (EBR)	147
6.6.4	快速擦写存储器功率控制寄存器 (FLPWCR)	147
6.6.5	快速擦写存储器允许寄存器 (FENR)	148
6.7	单板上编程	149
6.7.1	引导模式	150
6.7.2	用户模式的编程/擦除	152
6.7.3	单板上编程的注意事项	152
6.8	编程/擦除程序	153
6.8.1	编程/编程验证	153
6.8.2	擦除/擦除验证	156
6.8.3	快速擦写存储器的编程/擦除时的中断	156
6.9	编程/擦除保护	158
6.9.1	硬件保护	158
6.9.2	软件保护	158
6.9.3	错误保护	158
6.10	编程器模式	159
6.10.1	插座适配器	159
6.10.2	编程器模式的命令	159
6.10.3	存储器读	162
6.10.4	自动编程	165
6.10.5	自动擦除	167
6.10.6	状态读	168

6.10.7	状态查询	170
6.10.8	向编程器模式的转移时间	170
6.10.9	编程器模式使用时的注意事项	170
6.11	快速擦写存储器的低功耗运行	171
第 7 章	RAM	173
7.1	概要	173
7.1.1	框图	173
第 8 章	I/O 端口	175
8.1	概要	175
8.2	端口1	177
8.2.1	概要	177
8.2.2	寄存器构成和说明	177
8.2.3	管脚功能	181
8.2.4	管脚状态	182
8.2.5	输入上拉 MOS	182
8.3	端口3	183
8.3.1	概要	183
8.3.2	寄存器构成和说明	183
8.3.3	管脚功能	187
8.3.4	管脚状态	188
8.3.5	输入上拉 MOS	188
8.4	端口4	189
8.4.1	概要	189
8.4.2	寄存器构成和说明	189
8.4.3	管脚功能	191
8.4.4	管脚状态	191
8.5	端口5	192
8.5.1	概要	192
8.5.2	寄存器构成和说明	192
8.5.3	管脚功能	194
8.5.4	管脚状态	194
8.5.5	输入上拉 MOS	195
8.6	端口6	196
8.6.1	概要	196
8.6.2	寄存器构成和说明	196
8.6.3	管脚功能	198
8.6.4	管脚状态	198
8.6.5	输入上拉 MOS	198

8.7	端口7.....	199
8.7.1	概要.....	199
8.7.2	寄存器构成和说明.....	199
8.7.3	管脚功能.....	200
8.7.4	管脚状态.....	200
8.8	端口8.....	201
8.8.1	概要.....	201
8.8.2	寄存器构成和说明.....	201
8.8.3	管脚功能.....	202
8.8.4	管脚状态.....	203
8.9	端口9.....	204
8.9.1	概要.....	204
8.9.2	寄存器构成和说明.....	204
8.9.3	管脚功能.....	206
8.9.4	管脚状态.....	207
8.10	端口A.....	208
8.10.1	概要.....	208
8.10.2	寄存器构成和说明.....	208
8.10.3	管脚功能.....	209
8.10.4	管脚状态.....	209
8.11	端口B.....	210
8.11.1	概要.....	210
8.11.2	寄存器构成和说明.....	210
8.11.3	管脚功能.....	211
8.12	输入/输出数据反转功能.....	213
8.12.1	概要.....	213
8.12.2	寄存器构成和说明.....	213
8.12.3	改写串行端口控制寄存器时的注意事项.....	214
8.13	使用时的注意事项.....	215
8.13.1	未使用管脚的处理.....	215
第9章	定时器.....	217
9.1	概要.....	217
9.2	定时器A.....	218
9.2.1	概要.....	218
9.2.2	各寄存器说明.....	220
9.2.3	运行说明.....	221
9.2.4	定时器A的运行模式.....	222
9.2.5	使用时的注意事项.....	222
9.3	定时器C.....	223

9.3.1	概要	223
9.3.2	各寄存器说明	225
9.3.3	运行说明	227
9.3.4	定时器 C 的运行模式	228
9.4	定时器 F	229
9.4.1	概要	229
9.4.2	各寄存器说明	231
9.4.3	和 CPU 的接口	237
9.4.4	运行说明	240
9.4.5	使用时的注意事项	242
9.5	定时器 G	246
9.5.1	概要	246
9.5.2	各寄存器说明	248
9.5.3	噪声消除电路	252
9.5.4	运行说明	253
9.5.5	使用时的注意事项	257
9.5.6	定时器 G 的使用例子	260
9.6	监视定时器	261
9.6.1	概要	261
9.6.2	各寄存器说明	263
9.6.3	运行说明	267
9.6.4	监视定时器的运行模式	269
9.7	异步事件计数器 (AEC)	270
9.7.1	概要	270
9.7.2	各寄存器的结构	273
9.7.3	运行说明	281
9.7.4	异步事件计数器的运行模式	285
9.7.5	使用时的注意事项	285
第 10 章	串行通信接口	287
10.1	概要	287
10.1.1	特点	287
10.1.2	框图	289
10.1.3	管脚构成	290
10.1.4	寄存器构成	290
10.2	各寄存器说明	291
10.2.1	接收移位寄存器 (RSR)	291
10.2.2	接收数据寄存器 (RDR)	291
10.2.3	发送移位寄存器 (TSR)	291
10.2.4	发送数据寄存器 (TDR)	292

10.2.5	串行模式寄存器 (SMR)	292
10.2.6	串行控制寄存器 3 (SCR3)	296
10.2.7	串行状态寄存器 (SSR)	299
10.2.8	位速率寄存器 (BRR)	303
10.2.9	时钟停止寄存器 1 (CKSTPR1)	307
10.2.10	串行端口控制寄存器 (SPCR)	308
10.3	运行说明.....	309
10.3.1	概要	309
10.3.2	异步模式时的运行.....	313
10.3.3	时钟同步模式时的运行.....	322
10.3.4	多处理器通信功能.....	329
10.4	中断源.....	334
10.5	使用时的注意事项	335
第 11 章	10 位 PWM	341
11.1	概要.....	341
11.1.1	特点	341
11.1.2	框图	342
11.1.3	管脚构成	344
11.1.4	寄存器构成.....	344
11.2	各寄存器说明	345
11.2.1	PWM 控制寄存器 (PWCRm)	345
11.2.2	PWM 数据寄存器 U、L (PWDRUm、PWDRLm)	346
11.2.3	时钟停止寄存器 2 (CKSTPR2)	347
11.3	运行说明.....	348
11.3.1	运行说明	348
11.3.2	PWM 的运行模式	349
第 12 章	A/D 转换器	351
12.1	概要.....	351
12.1.1	特点	351
12.1.2	框图	352
12.1.3	管脚构成	353
12.1.4	寄存器构成.....	353
12.2	各寄存器说明	354
12.2.1	A/D 结果寄存器 (ADRRH、ADRRL)	354
12.2.2	A/D 模式寄存器 (AMR)	354
12.2.3	A/D 开始寄存器 (ADSR)	356
12.2.4	时钟停止寄存器 1 (CKSTPR1)	356
12.3	运行说明.....	357

12.3.1	A/D 转换运行	357
12.3.2	通过外部触发启动 A/D 转换器	357
12.3.3	A/D 转换器的运行模式	357
12.4	中断源	358
12.5	使用例子	358
12.6	A/D 转换精度的定义	362
12.7	使用时的注意	364
12.7.1	关于容许信号源阻抗	364
12.7.2	关于对绝对精度的影响	364
12.7.3	使用时的注意	364
第 13 章	LCD 控制器/驱动器	367
13.1	概要	367
13.1.1	特点	367
13.1.2	框图	368
13.1.3	管脚构成	370
13.1.4	寄存器构成	370
13.2	各寄存器说明	371
13.2.1	LCD 端口控制寄存器 (LPCR)	371
13.2.2	LCD 控制寄存器 (LCR)	372
13.2.3	LCD 控制寄存器 2 (LCR2)	374
13.2.4	时钟停止寄存器 2 (CKSTPR2)	376
13.3	运行说明	377
13.3.1	LCD 显示前的设置	377
13.3.2	LCD RAM 和显示的关系	378
13.3.3	低功耗模式时的运行	383
13.3.4	LCD 驱动电源的强化	384
第 14 章	加电复位和低电压检测电路 (仅 H8/38124 群)	385
14.1	概要	385
14.1.1	特点	385
14.1.2	框图	386
14.1.3	管脚构成	387
14.1.4	寄存器构成	387
14.2	各寄存器说明	388
14.2.1	低电压检测控制寄存器 (LVDCR)	388
14.2.2	低电压检测状态寄存器 (LVDSR)	390
14.2.3	低电压检测计数器 (LVDCNT)	391
14.2.4	时钟停止寄存器 2 (CKSTPR2)	392
14.3	运行说明	393

14.3.1	加电复位电路	393
14.3.2	低电压检测电路	394
第 15 章	电源电路（仅 H8/38124 群）	401
15.1	使用内部电源降压电路的情况	401
15.2	不使用内部电源降压电路的情况	401
第 16 章	电特性	403
16.1	H8/38024群（ZTAT版和掩模型ROM版）的绝对最大额定值	403
16.2	H8/38024群（ZTAT版和掩模型ROM版）的电特性	404
16.2.1	电源电压和运行范围	404
16.2.2	DC 特性	406
16.2.3	AC 特性	411
16.2.4	A/D 转换器特性	414
16.2.5	LCD 特性	415
16.3	H8/38024群（F-ZTAT版）和H8/38024R群（F-ZTAT版）的绝对最大额定值	415
16.4	H8/38024群（F-ZTAT版）和H8/38024R群（F-ZTAT版）的电特性	416
16.4.1	电源电压和运行范围	416
16.4.2	DC 特性	418
16.4.3	AC 特性	423
16.4.4	A/D 转换器特性	425
16.4.5	LCD 特性	426
16.4.6	快速擦写存储器特性	427
16.5	H8/38024S群（掩模型ROM版）的绝对最大额定值	429
16.6	H8/38024S群（掩模型ROM版）的电特性	430
16.6.1	电源电压和运行范围	430
16.6.2	DC 特性	432
16.6.3	AC 特性	438
16.6.4	A/D 转换器特性	441
16.6.5	LCD 特性	442
16.7	H8/38124群（F-ZTAT版和掩模型ROM版）的绝对最大额定值	443
16.8	H8/38124群（F-ZTAT版和掩模型ROM版）的电特性	444
16.8.1	电源电压和运行范围	444
16.8.2	DC 特性	448
16.8.3	AC 特性	455
16.8.4	A/D 转换器特性	457
16.8.5	LCD 特性	458
16.8.6	快速擦写存储器特性	459
16.8.7	电源电压检测电路特性	461
16.8.8	加电复位特性（暂定版）	463

16.8.9	监视定时器特性	464
16.9	运行时序	465
16.10	输出负载电路	467
16.11	谐振器的等效电路	467
16.12	使用时的注意事项	468
附录	469
A.	指令	469
A.1	指令一览表	469
A.2	操作码映像	479
A.3	指令执行状态数	481
B.	内部I/O寄存器一览表	487
B.1	地址一览表	487
B.2	功能一览表	492
C.	I/O端口框图	546
C.1	端口 1 框图	546
C.2	端口 3 框图	549
C.3	端口 4 框图	554
C.4	端口 5 框图	558
C.5	端口 6 框图	559
C.6	端口 7 框图	560
C.7	端口 8 框图	561
C.8	端口 9 框图	562
C.9	端口 A 框图	564
C.10	端口 B 框图	565
D.	各处理状态的端口状态	568
E.	产品型号一览表	569
F.	外形尺寸图	574
G.	芯片形状规格图	577
H.	焊接区形状图	579
I.	芯片托盘规格图	580

第 1 章 概要

1.1 概要

H8/300L 系列是以高速 H8/300L CPU 为核心，集成了系统构成所必需的外围功能部件的单片机 (MCU: Microcomputer Unit)。

H8/38024 群、H8/38124 群和 H8/38024S 群是内置了 LCD (Liquid Crystal Display) 控制器/驱动器的 H8/300L 系列的单片机。作为外围功能，内置 LCD 控制器/驱动器、6 种定时器、2 通道的 10 位 PWM、串行通信接口、A/D 转换器等，成为需要低功耗和 LCD 显示的系统嵌入式微机最理想的结构。H8/38024 群、H8/38124 群和 H8/38024S 群有内置了 32K 字节 ROM 和 1K 字节 RAM 的 H8/38024、H8/38124 和 H8/38024S、内置了 24K 字节 ROM 和 1K 字节 RAM 的 H8/38023、H8/38123 和 H8/38023S、内置了 16K 字节 ROM 和 1K 字节 RAM 的 H8/38022、H8/38122 和 H8/38022S、内置了 12K 字节 ROM 和 512 字节 RAM 的 H8/38021、H8/38121 和 H8/38021S、以及内置了 8K 字节 ROM 和 512 字节 RAM 的 H8/38020、H8/38120 和 H8/38020S。

H8/38024 有内置了用户能自由编写程序的 PROM 的 ZTAT^{®1} 版、内置了能单板上改写的快速擦写存储器的 F-ZTAT^{™*2} 版的产品系列。

H8/38124 有内置了能单板上改写的快速擦写存储器的 F-ZTAT[™] 版的产品系列。

H8/38024 群、H8/38124 群和 H8/38024S 群的特点如表 1.1 所示。

【注】 *1 ZTAT (Zero Turn Around Time) 是 (株) 瑞萨科技的注册商标。

*2 F-ZTAT 是 (株) 瑞萨科技的商标。

项目	规格
存储器	内置大容量存储器 H8/38024、H8/38124 和 H8/38024S • ROM: 32k 字节 • RAM: 1k 字节 H8/38023、H8/38123 和 H8/38023S • ROM: 24k 字节 • RAM: 1k 字节 H8/38022、H8/38122 和 H8/38022S • ROM: 16k 字节 • RAM: 1k 字节 H8/38021、H8/38121 和 H8/38021S • ROM: 12k 字节 • RAM: 512 字节 H8/38020、H8/38120 和 H8/38020S • ROM: 8k 字节 • RAM: 512 字节
I/O 端口	I/O 端口 66 个 <ul style="list-style-type: none"> • 输入/输出管脚: 51 个 (H8/38124 群为 50 个) • 输出管脚: 6 个 • 输入管脚: 9 个
定时器	内置 6 种定时器 <ol style="list-style-type: none"> (1) 定时器 A: 8 位定时器 <ul style="list-style-type: none"> • 可通过分频系统时钟(ϕ)*的 8 种内部时钟或者分频钟表时钟(ϕ_w)*的 4 种时钟, 进行累加计数。 (2) 异步事件计数器: 16 位定时器 <ul style="list-style-type: none"> • 可与单片机的内部时钟无关累加计数异步外部事件。 • 可计数异步外部事件 (可检测出上升沿/下降沿/两边沿)。 (3) 定时器 C: 8 位定时器 <ul style="list-style-type: none"> • 可通过 7 种内部时钟或者来自外部管脚的事件输入进行递增/递减计数 • 自动再装入功能可能 (4) 定时器 F: 16 位定时器 <ul style="list-style-type: none"> • 可作为 2 个独立的 8 位定时器使用 • 可通过 4 种内部时钟或者来自外部管脚的事件输入进行累加计数 • 可通过比较匹配功能进行交替输出 (5) 定时器 G: 8 位定时器 <ul style="list-style-type: none"> • 可通过 4 种内部时钟进行累加计数 • 内置输入捕捉功能 (内置噪声消除电路) (6) 监视定时器 <ul style="list-style-type: none"> • 通过 8 位计数器的溢出产生复位信号
串行通信接口	内部串行通信接口 <ul style="list-style-type: none"> • SCI3: 8 位时钟同步/异步 — 内部多处理器通信功能
10 位 PWM	降低波纹的脉冲分割方式 PWM <ul style="list-style-type: none"> • 通过在外部连接低通滤波器, 可作为 10 位 D/A 转换器使用
A/D 转换器	根据梯形电阻方式进行的逐次逼近方式的 10 位 A/D 转换器 <ul style="list-style-type: none"> • 8 通道的模拟输入管脚 • 转换时间: 每通道 $31/\phi$ 或者 $62/\phi$

第 1 章 概要

项目	规格
LCD 控制器/驱动器	备有最大 32 个段管脚和 4 个公共管脚的 LCD 控制器/驱动器 <ul style="list-style-type: none">• 可选择 4 种占空比（静态、1/2、1/3、1/4 占空）• 可以每 4 个段管脚为一组，切换到通用端口
加电复位和低电压检测电路 (仅 H8/38124 群)	加电复位电路 <ul style="list-style-type: none">• 通过外部连接电容，在接通电源时，产生内部复位信号。 低电压检测电路 <ul style="list-style-type: none">• 监视电源电压，在从一定电压下降或者上升时，产生内部复位信号或者中断。

项目	规格				
	产品系列			封装	ROM/RAM容量 (字节)
产品系列	掩模型ROM版	ZTAT版	F-ZTAT版		
		HD64338024	HD64738024	HD64F38024R HD64F38024	FP-80A FP-80B TFP-80C TLP-85V (仅对应HD64F38024R) 裸芯片 (仅掩模型ROM/ F-ZTAT版)
	HD64338023	—	—	FP-80A FP-80B TFP-80C 裸芯片	24k/1k
	HD64338022	—	—	FP-80A FP-80B TFP-80C 裸芯片	16k/1k
	HD64338021	—	—	FP-80A FP-80B TFP-80C 裸芯片	12k/512
	HD64338020	—	—	FP-80A FP-80B TFP-80C 裸芯片	8k/512
	HD64338024S	—	—	FP-80A TFP-80C TLP-85V 裸芯片	32k/1k
	HD64338023S	—	—	FP-80A TFP-80C TLP-85V 裸芯片	24k/1k
	HD64338022S	—	—	FP-80A TFP-80C TLP-85V 裸芯片	16k/1k
	HD64338021S	—	—	FP-80A TFP-80C TLP-85V 裸芯片	12k/512
	HD64338020S	—	—	FP-80A TFP-80C TLP-85V 裸芯片	8k/512
	HD64338124	—	HD64F38124	FP-80A TFP-80C	32k/1k
	HD64338123	—	—	FP-80A TFP-80C	24k/1k
	HD64338122	—	HD64F38122	FP-80A TFP-80C	16k/1k
	HD64338121	—	—	FP-80A TFP-80C	12k/512
	HD64338120	—	—	FP-80A TFP-80C	8k/512

关于产品型号请参照附录E。

【注】 * ϕ 、 ϕ_w 的定义请参照“第 4 章 时钟振荡器”。

1.2 内部框图

H8/38024、H8/38024R 和 H8/38024S 群的内部框图如图 1.1 (1) 所示, H8/38124 群的内部框图如图 1.1 (2) 所示。

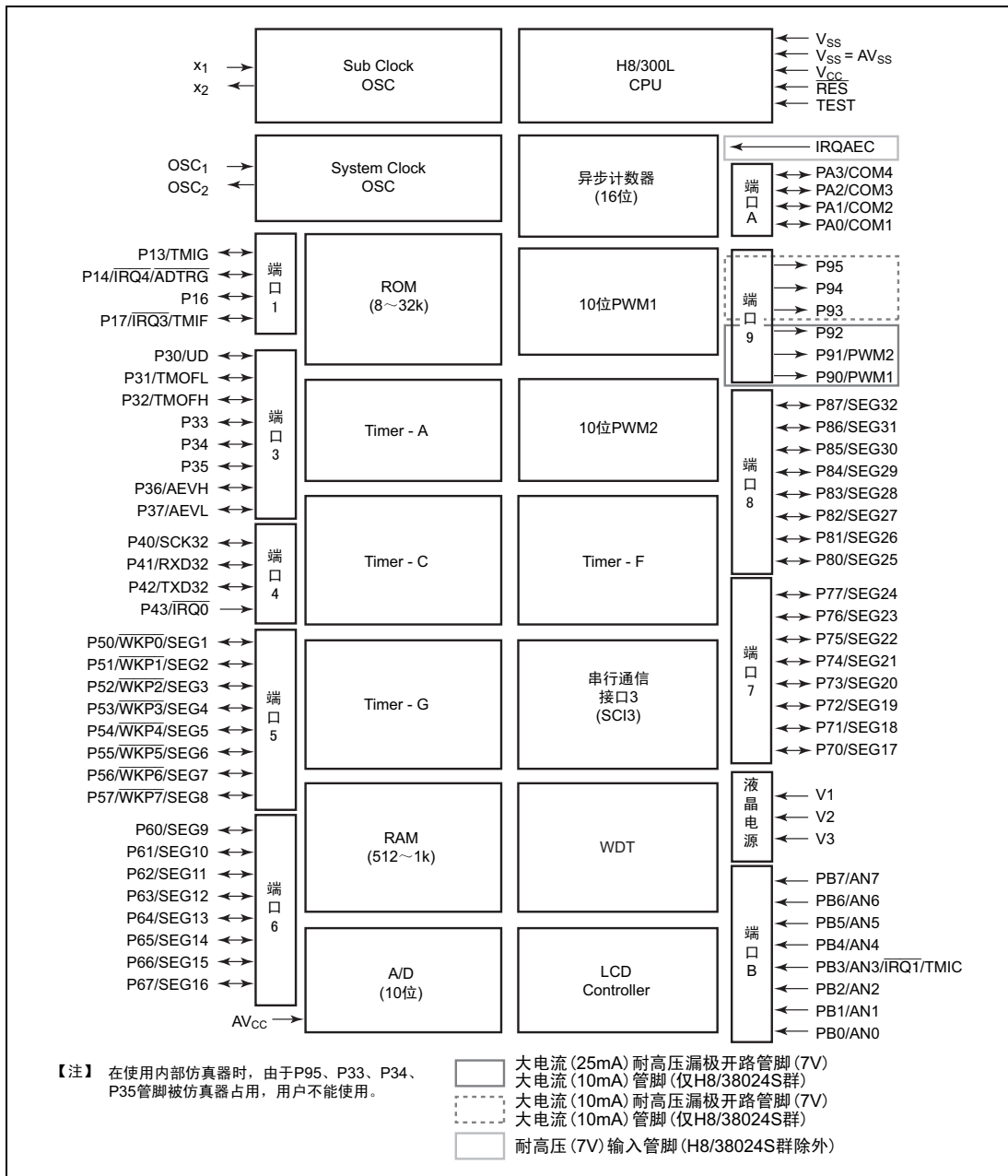


图 1.1 (1) 内部框图 (H8/38024、H8/38024R 和 H8/38024S 群)

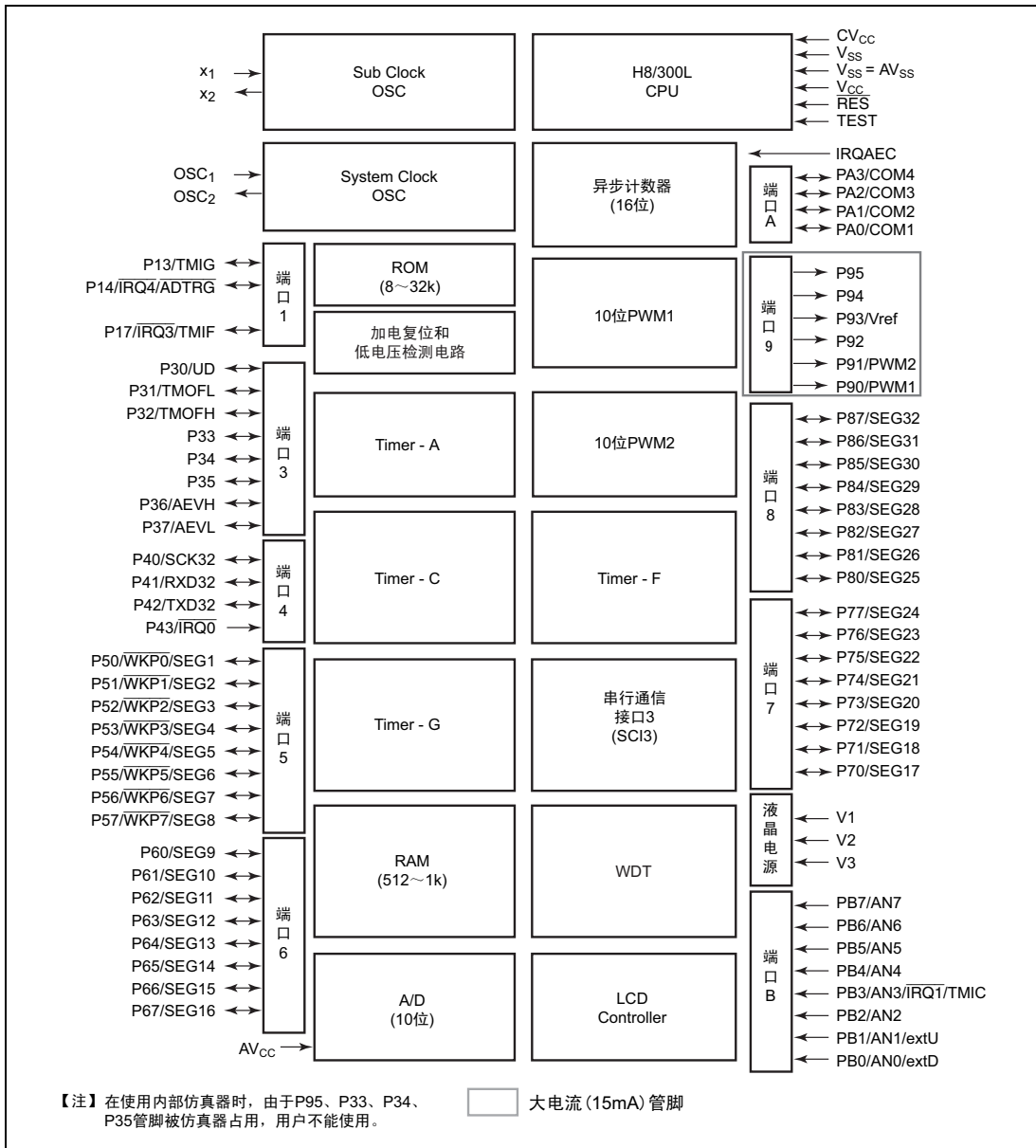


图 1.1 (2) 内部框图 (H8/38124 群)

1.3 管脚说明

1.3.1 管脚排列

H8/38024、H8/38024R、H8/38124 和 H8/38024S 群的管脚排列图如图 1.2、图 1.3 和图 1.4 所示。

HCD64338024、HCD64338023、HCD64338022、HCD64338021 以及 HCD64338020 的焊接区排列图如图 1.5 所示，焊接区坐标如表 1.2 所示。另外，HCD64F38024 和 HCD64F38024R 的焊接区排列图如图 1.6 所示，焊接区坐标如表 1.3 所示。

HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S 以及 HCD64338020S 的焊接区排列图如图 1.7 所示，焊接区坐标如表 1.4 所示。

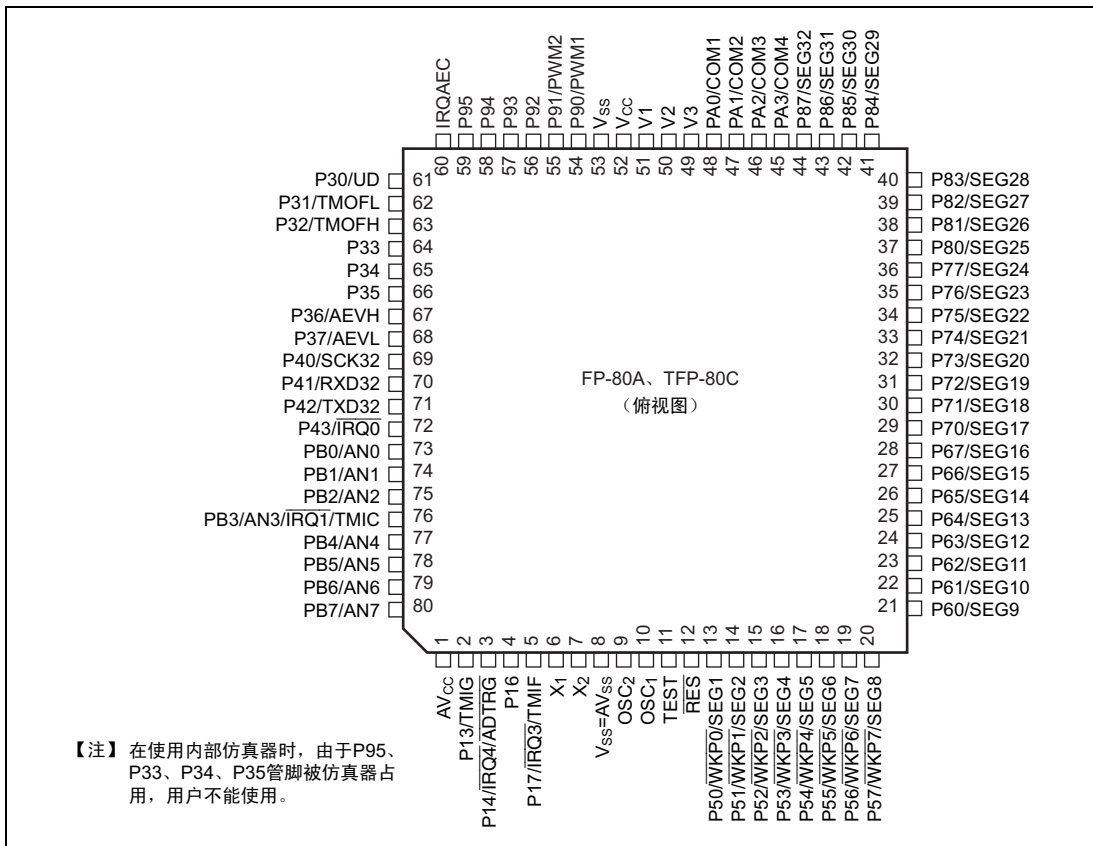


图 1.2 (1) 管脚排列图 (FP-80A、TFP-80C: 俯视图, H8/38024、H8/38024R、H8/38024S 群)

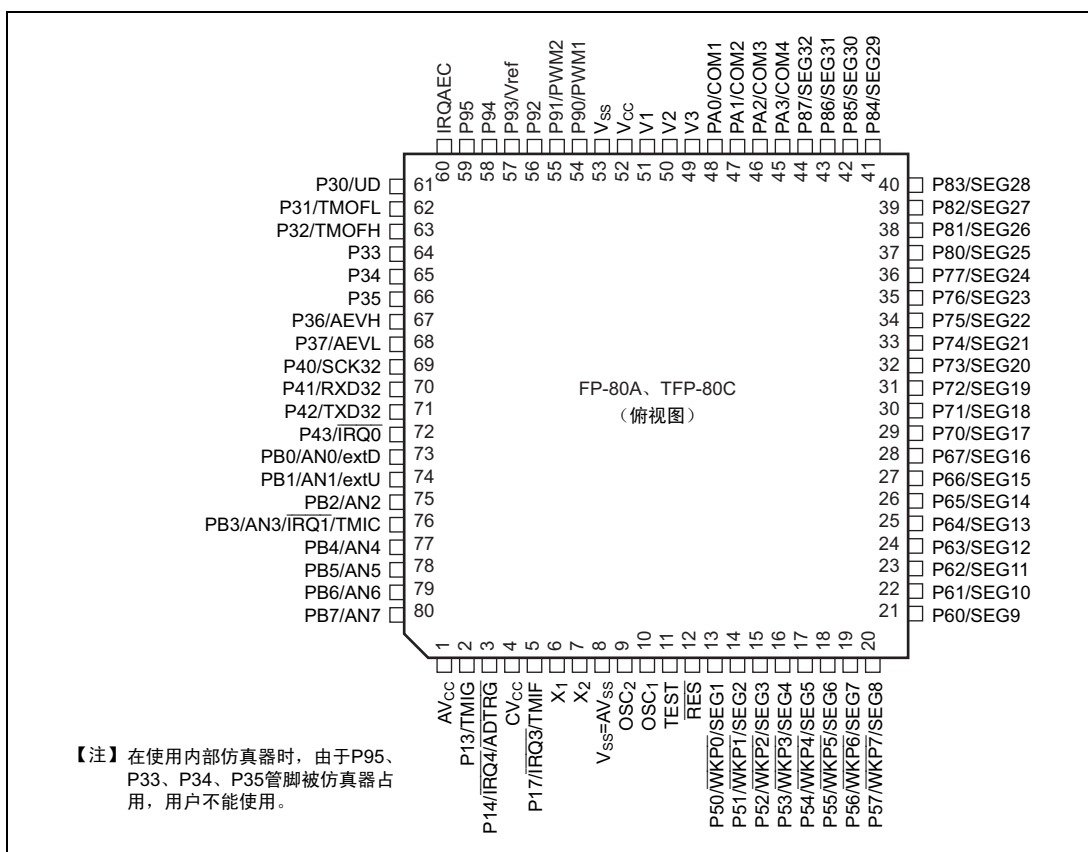


图 1.2 (2) 管脚排列图 (FP-80A、TFP-80C: 俯视图, H8/38124 群)

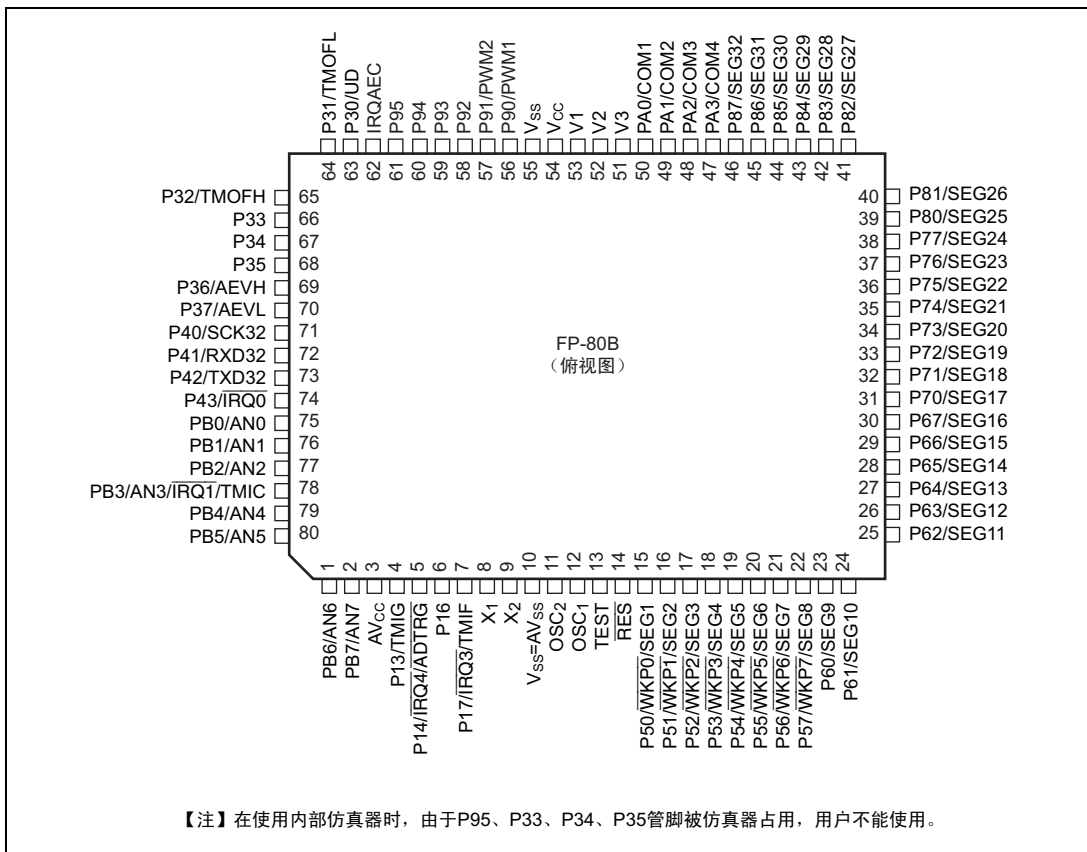


图 1.3 管脚排列图 (FP-80B: 俯视图, H8/38024、H8/38024R 群)

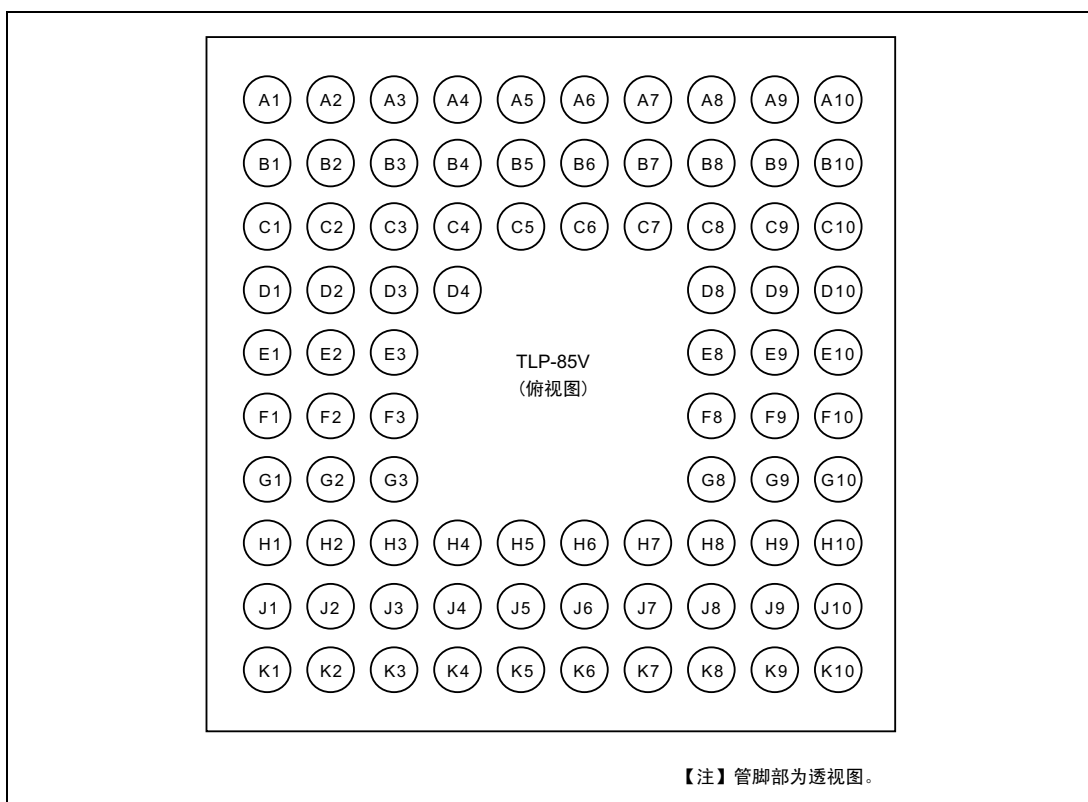


图 1.4 管脚排列图 (TLP-85V: 俯视图, H8/38024R、H8/38024S 群)

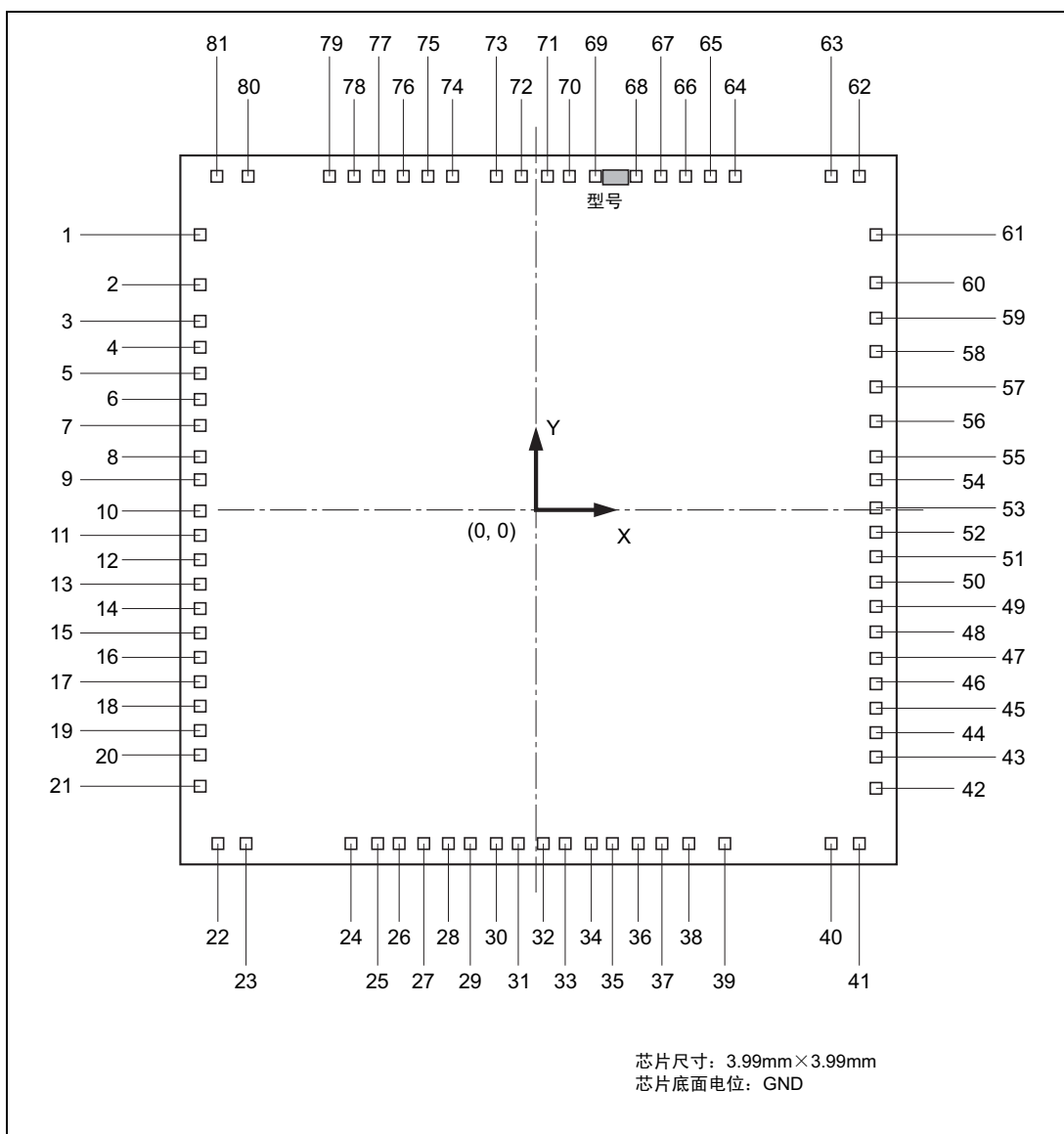


图 1.5 HCD64338024、HCD64338023、HCD64338022、HCD64338021 以及 HCD64338020 的焊接区排列图（俯视图）

表 1.2 HCD64338024、HCD64338023、HCD64338022、HCD64338021
以及 HCD64338020 的焊接区坐标

焊接区 序号	焊接区名称	坐标		焊接区 序号	焊接区名称	坐标	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	AV _{CC}	-1870	1546	42	P84/SEG29	1870	-1571
2	P13/TMIG	-1870	1274	43	P85/SEG30	1870	-1395
3	P14/IRQ4/ADTRG	-1870	1058	44	P86/SEG31	1870	-1251
4	P16	-1870	909	45	P87/SEG32	1870	-1111
5	P17/IRQ3/TMIF	-1870	759	46	PA3/COM4	1870	-970
6	X1	-1870	608	47	PA2/COM3	1870	-831
7	X2	-1870	475	48	PA1/COM2	1870	-691
8	AV _{SS}	-1870	304	49	PA0/COM1	1870	-550
9	V _{SS}	-1870	173	50	V3	1870	-410
10	OSC2	-1870	-10	51	V2	1870	-270
11	OSC1	-1870	-150	52	V1	1870	-131
12	TEST	-1870	-290	53	V _{CC}	1870	10
13	RES	-1870	-425	54	V _{SS}	1870	150
14	P50/WKP0/SEG1	-1870	-560	55	P90/PWM1	1870	293
15	P51/WKP1/SEG2	-1870	-695	56	P91/PWM2	1870	489
16	P52/WKP2/SEG3	-1870	-831	57	P92	1870	685
17	P53/WKP3/SEG4	-1870	-966	58	P93	1870	880
18	P54/WKP4/SEG5	-1870	-1101	59	P94	1870	1076
19	P55/WKP5/SEG6	-1870	-1236	60	P95	1870	1274
20	P56/WKP6/SEG7	-1870	-1379	61	IRQAEC	1870	1546
21	P57/WKP7/SEG8	-1870	-1561	62	P30/UD	1782	1872
22	P60/SEG9	-1780	-1872	63	P31/TMOFL	1621	1872
23	P61/SEG10	-1621	-1872	64	P32/TMOFH	1084	1872
24	P62/SEG11	-1037	-1872	65	P33	948	1872
25	P63/SEG12	-896	-1872	66	P34	810	1872
26	P64/SEG13	-765	-1872	67	P35	673	1872
27	P65/SEG14	-635	-1872	68	P36/AEVH	536	1872
28	P66/SEG15	-502	-1872	69	P37/AEVL	311	1872
29	P67/SEG16	-371	-1872	70	P40/SCK32	176	1872
30	P70/SEG17	-239	-1872	71	P41/RXD32	38	1872
31	P71/SEG18	-108	-1872	72	P42/TXD32	-99	1872
32	P72/SEG19	23	-1872	73	P43/IRQ0	-234	1872
33	P73/SEG20	156	-1872	74	PB0/AN0	-482	1872
34	P74/SEG21	287	-1872	75	PB1/AN1	-614	1872
35	P75/SEG22	419	-1872	76	PB2/AN2	-745	1872
36	P76/SEG23	550	-1872	77	PB3/AN3/IRQ1/TMIC	-878	1872
37	P77/SEG24	682	-1872	78	PB4/AN4	-1008	1872
38	P80/SEG25	833	-1872	79	PB5/AN5	-1148	1872
39	P81/SEG26	1040	-1872	80	PB6/AN6	-1621	1872
40	P82/SEG27	1621	-1872	81	PB7/AN7	-1782	1872
41	P83/SEG28	1782	-1872				

【注】 焊接区序号 8、9 的电源 (V_{SS}) 焊接区不能开路，必需连接。

焊接区序号 12 的 (TEST) 焊接区必须与 V_{SS} 电位连接 (接地)。否则，LSI 就不能正常运行。

坐标数值表示焊接区部的中心位置，精度为 ±5μm。

原点为芯片的中心，中心是焊接区的上下和左右之间的距离的 1/2 位置。

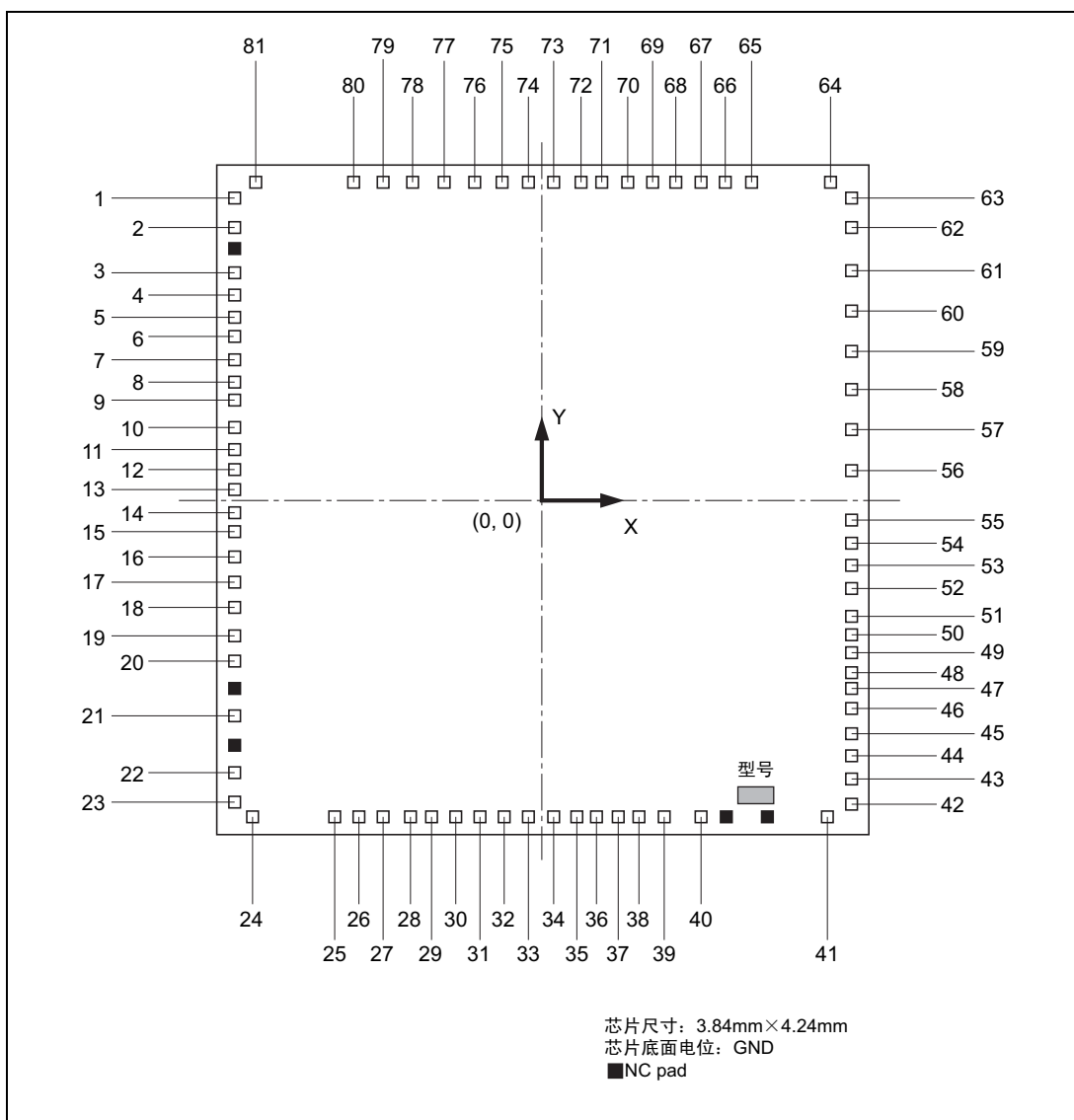


图 1.6 HCD64F38024 和 HCD64F38024R 的焊接区排列图（俯视图）

表 1.3 HCD64F38024 和 HCD64F38024R 的焊接区坐标

焊接区 序号	焊接区名称	坐标		焊接区 序号	焊接区名称	坐标	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB7/AN7	-1802	1904	42	P83/SEG28	1802	-1898
2	AV _{CC}	-1802	1717	43	P84/SEG29	1802	-1750
3	P13/TMIG	-1802	1443	44	P85/SEG30	1802	-1594
4	P14/IRQ4/ADTRG	-1802	1292	45	P86/SEG31	1802	-1454
5	P16	-1802	1157	46	P87/SEG32	1802	-1296
6	P17/IRQ3/TMIF	-1802	1022	47	PA3/COM4	1802	-1182
7	X1	-1802	887	48	PA2/COM3	1802	-1068
8	X2	-1802	753	49	PA1/COM2	1802	-954
9	AV _{SS}	-1802	638	50	PA0/COM1	1802	-840
10	V _{SS}	-1802	473	51	V3	1802	-726
11	OSC2	-1802	318	52	V2	1802	-534
12	OSC1	-1802	202	53	V1	1802	-402
13	TEST	-1802	69	54	V _{CC}	1802	-267
14	RES	-1802	-63	55	V _{SS}	1802	-126
15	P50/WKP0/SEG1	-1802	-195	56	P90/PWM1	1802	206
16	P51/WKP1/SEG2	-1802	-355	57	P91/PWM2	1802	457
17	P52/WKP2/SEG3	-1802	-514	58	P92	1802	707
18	P53/WKP3/SEG4	-1802	-674	59	P93	1802	958
19	P54/WKP4/SEG5	-1802	-844	60	P94	1802	1209
20	P55/WKP5/SEG6	-1802	-1008	61	P95	1802	1460
21	P56/WKP6/SEG7	-1802	-1348	62	IRQAEC	1802	1710
22	P57/WKP7/SEG8	-1802	-1709	63	P30/UD	1802	1904
23	P60/SEG9	-1802	-1904	64	P31/TMOFL	1686	1999
24	P61/SEG10	-1686	-1999	65	P32/TMOFH	1222	1999
25	P62/SEG11	-1198	-1999	66	P33	1077	1999
26	P63/SEG12	-1057	-1999	67	P34	932	1999
27	P64/SEG13	-916	-1999	68	P35	788	1999
28	P65/SEG14	-755	-1999	69	P36/AEVH	643	1999
29	P66/SEG15	-625	-1999	70	P37/AEVL	498	1999
30	P67/SEG16	-493	-1999	71	P40/SCK32	353	1999
31	P70/SEG17	-352	-1999	72	P41/RXD32	226	1999
32	P71/SEG18	-202	-1999	73	P42/TXD32	63	1999
33	P72/SEG19	-69	-1999	74	P43/IRQ0	-82	1999
34	P73/SEG20	72	-1999	75	PB0/AN0	-229	1999
35	P74/SEG21	213	-1999	76	PB1/AN1	-404	1999
36	P75/SEG22	330	-1999	77	PB2/AN2	-577	1999
37	P76/SEG23	459	-1999	78	PB3/AN3/IRQ1/TMIC	-751	1999
38	P77/SEG24	583	-1999	79	PB4/AN4	-925	1999
39	P80/SEG25	730	-1999	80	PB5/AN5	-1099	1999
40	P81/SEG26	937	-1999	81	PB6/AN6	-1686	1999
41	P82/SEG27	1686	-1999				

【注】 焊接区序号 8、9 的电源 (V_{SS}) 焊接区不能开路，必需连接。
焊接区序号 13 的 (TEST) 焊接区必须与 V_{SS} 电位连接 (接地)。否则，LSI 就不能正常运行。
坐标数值表示焊接区部的中心位置，精度为 ±5μm。
原点为芯片的中心，中心是焊接区的上下和左右之间的距离的 1/2 位置。

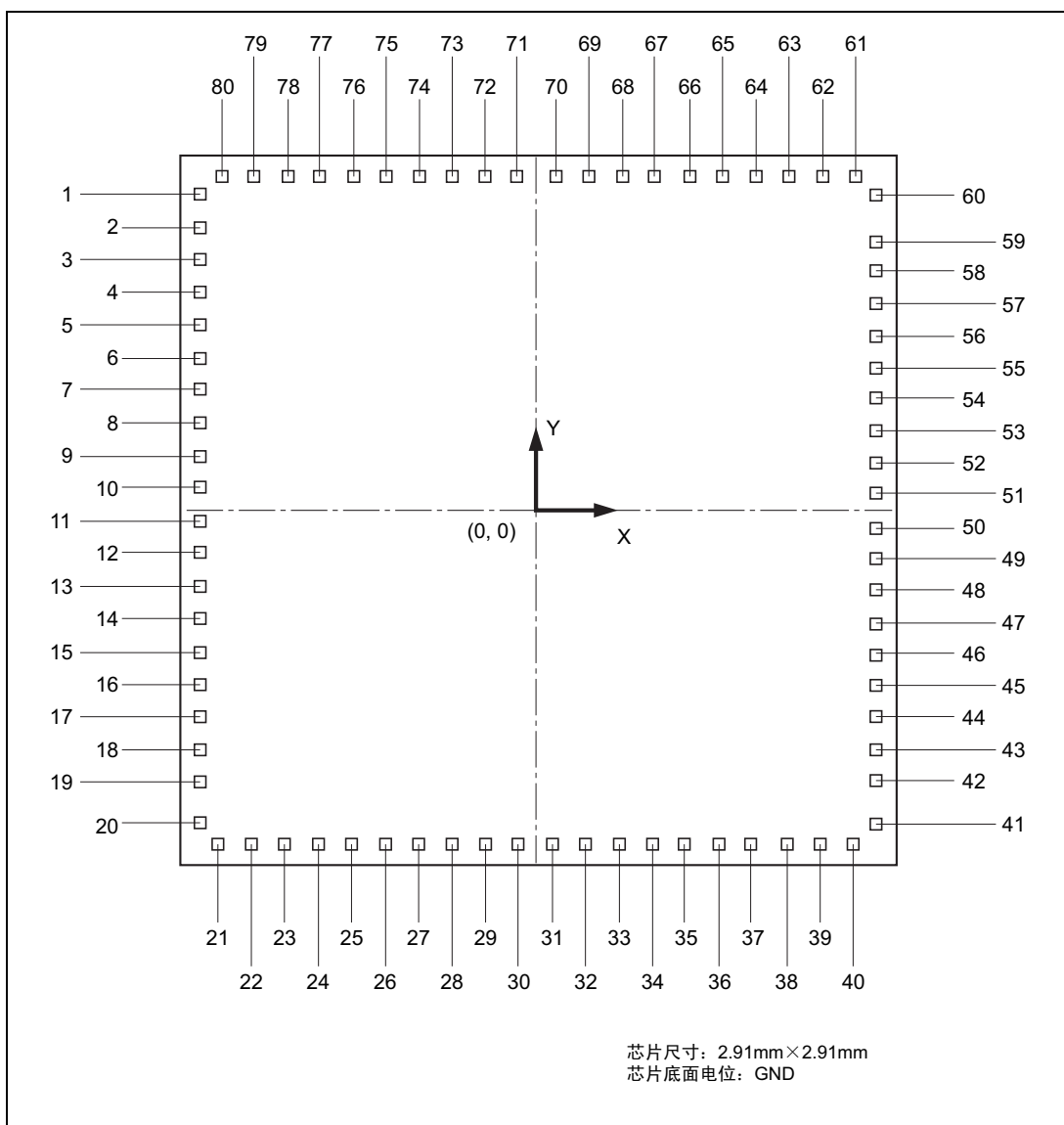


图 1.7 HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S 以及 HCD64338020S 的焊接区排列图（俯视图）

表 1.4 HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S
以及 HCD64338020S 的焊接区坐标

焊接区 序号	焊接区名称	坐标		焊接区 序号	焊接区名称	坐标	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	AV _{CC}	-1338	1053	41	P84/SEG29	1338	-1121
2	P13/TMIG	-1338	823	42	P85/SEG30	1338	-929
3	P14/IRQ4/ADTRG	-1338	737	43	P86/SEG31	1338	-820
4	P16	-1338	649	44	P87/SEG32	1338	-721
5	P17/IRQ3/TMIF	-1338	556	45	PA3/COM4	1338	-610
6	X1	-1338	460	46	PA2/COM3	1338	-499
7	X2	-1338	363	47	PA1/COM2	1338	-388
8	V _{SS} =AV _{SS}	-1338	229	48	PA0/COM1	1338	-277
9	OSC2	-1338	100	49	V3	1338	-189
10	OSC1	-1338	13	50	V2	1338	-91
11	TEST	-1338	-74	51	V1	1338	6
12	RES	-1338	-168	52	V _{CC}	1338	156
13	P50/WKP0/SEG1	-1338	-265	53	V _{SS}	1338	362
14	P51/WKP1/SEG2	-1338	-373	54	P90/PWM1	1338	528
15	P52/WKP2/SEG3	-1338	-481	55	P91/PWM2	1338	614
16	P53/WKP3/SEG4	-1338	-590	56	P92	1338	699
17	P54/WKP4/SEG5	-1338	-698	57	P93	1338	785
18	P55/WKP5/SEG6	-1338	-806	58	P94	1338	871
19	P56/WKP6/SEG7	-1338	-892	59	P95	1338	957
20	P57/WKP7/SEG8	-1338	-1091	60	IRQAEC	1338	1147
21	P60/SEG9	-1121	-1338	61	P30/UD	1131	1338
22	P61/SEG10	-927	-1338	62	P31/TMOFL	936	1338
23	P62/SEG11	-805	-1338	63	P32/TMOFH	831	1338
24	P63/SEG12	-703	-1338	64	P33	735	1338
25	P64/SEG13	-593	-1338	65	P34	631	1338
26	P65/SEG14	-483	-1338	66	P35	526	1338
27	P66/SEG15	-372	-1338	67	P36/AEVH	421	1338
28	P67/SEG16	-263	-1338	68	P37/AEVL	317	1338
29	P70/SEG17	-166	-1338	69	P40/SCK32	212	1338
30	P71/SEG18	-47	-1338	70	P41/RXD32	108	1338
31	P72/SEG19	55	-1338	71	P42/TXD32	3	1338
32	P73/SEG20	166	-1338	72	P43/IRQ0	-101	1338
33	P74/SEG21	277	-1338	73	PB0/AN0	-249	1338
34	P75/SEG22	388	-1338	74	PB1/AN1	-362	1338
35	P76/SEG23	499	-1338	75	PB2/AN2	-476	1338
36	P77/SEG24	610	-1338	76	PB3/AN3/IRQ1/TMIC	-589	1338
37	P80/SEG25	701	-1338	77	PB4/AN4	-702	1338
38	P81/SEG26	790	-1338	78	PB5/AN5	-791	1338
39	P82/SEG27	885	-1338	79	PB6/AN6	-880	1338
40	P83/SEG28	1076	-1338	80	PB7/AN7	-1081	1338

【注】 焊接区序号 11 的 (TEST) 焊接区必须与 V_{SS} 电位连接 (接地)。否则, LSI 就不能正常运行。

坐标数值表示焊接区部的中心位置, 精度为 ±5μm。

原点为芯片的中心, 中心是焊接区的上下和左右之间的距离的 1/2 位置。

1.3.2 管脚功能

有关各管脚的功能如表 1.5 所示。

表 1.5 管脚功能

分类	符号	管脚序号			焊接 区序 号* ¹	焊接 区序 号* ²	焊接 区序 号* ³	输入/ 输出	功能
		FP-80A TFP-80C	FP-80B	TLP-85V					
电源	V _{CC}	52	54	E8	53	54	52	输入	<u>电源</u> 请将 V _{CC} 管脚连接系统电源。
	V _{SS}	8 (=AV _{SS}) 53	10 (=AV _{SS}) 55	D8 E1 (=AV _{SS})	9 54	10 55	8 53	输入	<u>接地</u> 请将所有 V _{SS} 管脚和系统电源 (0V) 连接。
	AV _{CC}	1	3	B1	1	2	1	输入	<u>模拟电源</u> 这是 A/D 转换器用电源管脚。不使用 A/D 转换器时, 请连接系统电源。
	AV _{SS}	8 (=V _{SS})	10 (=V _{SS})	E1 (=V _{SS})	8	9	8	输入	<u>模拟接地</u> 这是 A/D 转换器用接地管脚。请连接系统电源 (0V)。
	V1 V2 V3	51 50 49	53 52	F9 E9 F8	52 51 50	53 52 51	51 50 49	输入	<u>LCD 电源</u> 这是 LCD 控制器/驱动器用电源管脚。
	CV _{CC} * ⁴	4	—	—	—	—	—	输入	<u>电源</u> 这是内部降压电源管脚。为了稳定, 必须在此管脚和 V _{SS} 管脚之间插入 0.1μF 左右的电容。
时钟	OSC ₁	10	12	F2	11	12	10	输入	连接晶体谐振器或者陶瓷谐振器。另外, 也可以输入外部时钟。有关连接例子请参照“第 4 章 时钟振荡器”。
	OSC ₂	9	11	E3	10	11	9	输出	
	X ₁	6	8	D3	6	7	6	输入	连接 32.768kHz 或者 38.4kHz* ⁵ 的晶体谐振器。有关连接例子请参照“第 4 章 时钟振荡器”。
	X ₂	7	9	D2	7	8	7	输出	

分类	符号	管脚序号			焊接 区序 号*1	焊接 区序 号*2	焊接 区序 号*3	输入/ 输出	功能
		FP-80A TFP-80C	FP-80B	TLP-85V					
系统 控制	$\overline{\text{RES}}$	12	14	F3	13	14	12	输入	<u>复位</u> 如果此管脚为低电平，芯片就处于复位状态。
	TEST	11	13	E2	12	13	11	输入	<u>测试管脚</u> 用户不能使用。 请与 V _{SS} 电位连接（接地）。
中断	$\overline{\text{IRQ0}}$	72	74	C5	73	74	72	输入	外部中断请求 4、3、1、0 这是可选择上升沿/下降沿的外部中断输入管脚。
	$\overline{\text{IRQ1}}$	76	78	B3	77	78	76		
	$\overline{\text{IRQ3}}$	5	7	D1	5	6	5		
	$\overline{\text{IRQ4}}$	3	5	B2	3	4	3		
	IRQAEC	60	62	C10	61	62	60	输入	<u>异步事件计数器的事件信号</u> 这是将异步事件输入成为有效的中断输入管脚。 由于 H8/38124 群根据复位期间的输入电平选择振荡器，因此必须固定成 V _{CC} 或者 GND。 选择方法请参照“第 4 章 时钟振荡器”。
	$\overline{\text{WKP7}} \sim$ $\overline{\text{WKP0}}$	20~13	22~15	H1、J1、 H3、G1、 H2、G2、 F1、G3	21~ 14	22~ 15	20~ 13	输入	<u>唤醒中断请求 7~0</u> 这是上升沿检测/下降沿检测的外部中断输入管脚。
定时器	AEVL	68	70	A6	69	70	68	输入	<u>异步事件计数器的事件输入</u> 这是给异步事件计数器输入事件的输入管脚。
	AEVH	67	69	B7	68	69	67		
	TMIC	76	78	B3	77	78	76	输入	<u>定时器 C 事件输入</u> 给定时器 C 计数器输入事件的输入管脚。
	UD	61	63	A9	62	63	61	输入	<u>定时器 C 递增/递减选择</u> 选择定时器 C 计数器的递增/递减计数。如果加载 High 电平，就作为递减计数器运行；如果加载 Low 电平，就作为递增计数器运行

第 1 章 概要

分类	符号	管脚序号			焊接 区序 号*1	焊接 区序 号*2	焊接 区序 号*3	输入/ 输出	功能
		FP-80A TFP-80C	FP-80B	TLP-85V					
定时器	TMIF	5	7	D1	5	6	5	输入	<u>定时器 F 事件输入</u> 给定时器 F 计数器输入事件的输入管脚。
	TMOFL	62	64	A8	63	64	62	输出	<u>定时器 FL 输出</u> 这是通过定时器 FL 输出比较功能所生成的波形的输出管脚。
	TMOFH	63	65	B9	64	65	63	输出	<u>定时器 FH 输出</u> 这是通过定时器 FH 输出比较功能所生成的波形的输出管脚。
	TMIG	2	4	C1	2	3	2	输入	<u>定时器 G 捕捉输入</u> 这是定时器 G 的输入捕捉的输入管脚。
10 位 PWM	PWM1	54	56	E10	55	56	54	输出	<u>10 位 PWM 输出</u> 这是由通道 1、2 的 10 位 PWM 所生成的波形的输出管脚。
	PWM2	55	57	D9	56	57	55		
I/O 端口	P17	5	7	D1	5	6	5	输入/ 输出	<u>端口 1</u> 这是 4 位的输入/输出管脚。通过端口控制寄存器 1 (PCR1)，能按位指定输入/输出。 另外，H8/38124 群没有 P16。
	P16	4	6	C2	4	5	4		
	P14	3	5	B2	3	4	3		
	P13	2	4	C1	2	3	2		
	P37~ P30	68~61	70~63	A6、B7、 C7、A7、 B8、B9、 A8、A9	69~ 62	70~ 63	68~ 61	输入/ 输出	<u>端口 3</u> 这是 8 位的输入/输出管脚。通过端口控制寄存器 3 (PCR3)，能按位指定输入/输出。使用内部仿真器时，由于 P33、P34、P35 管脚被仿真器占有，因此用户不能使用。
	P43	72	74	C5	73	74	72	输入	<u>端口 4 (位 3)</u> 这是 1 位的输入管脚。
	P42~ P40	71~69	73~71	B6 B5 C6	72~ 70	73~ 71	71~ 69	输入/ 输出	<u>端口 4 (位 2~位 0)</u> 这是 3 位的输入管脚。通过端口控制寄存器 4 (PCR4)，能按位指定输入/输出。

分类	符号	管脚序号			焊接 区序 号*1	焊接 区序 号*2	焊接 区序 号*3	输入/ 输出	功能
		FP-80A TFP-80C	FP-80B	TLP-85V					
I/O 端口	P57~ P50	20~13	22~15	H1、J1、 H3、G1、 H2、G2、 F1、G3	21~ 14	22~ 15	20~ 13	输入/ 输出	<u>端口 5</u> 这是 8 位的输入/输出管脚。通过端口控制寄存器 5 (PCR5)，能按位指定输入/输出。
	P67~ P60	28~21	30~23	K5、J4、 H4、K4、 J3、J2、 K3、K2	29~ 22	30~ 23	28~ 21	输入/ 输出	<u>端口 6</u> 这是 8 位的输入/输出管脚。通过端口控制寄存器 6 (PCR6)，能按位指定输入/输出。
	P77~ P70	36~29	38~41	J8、J7、 K6、H7、 H6、J7、 H6、J5、 J6、H5	37~ 30	38~ 31	36~ 29	输入/ 输出	<u>端口 7</u> 这是 8 位的输入/输出管脚。通过端口控制寄存器 7 (PCR7)，能按位指定输入/输出。
	P87~ P80	44~37	46~39	H9、J9、 H10、J10、 K8、K9、 H8、K7	45~ 38	46~ 39	44~ 37	输入/ 输出	<u>端口 8</u> 这是 8 位的输入/输出管脚。通过端口控制寄存器 8 (PCR8)，能按位指定输入/输出。
	P95~ P90	59~54	61~56	B10、C8、 D10、C9、 D9、E10	60~ 55	61~ 56	59~ 54	输出	<u>端口 9</u> 这是 6 位的输出管脚。使用内部仿真器时，由于 P95 管脚被仿真器占有，因此用户不能使用。对 F-ZTAT 版，在用户模式不能将 P95 管脚开路，必须上拉到高电平。
	PA3~ PA0	45~48	47~50	G10 G8 G9 F10	46~ 49	47~ 50	45~ 48	输入/ 输出	<u>端口 A</u> 这是 4 位的输入/输出管脚。通过端口控制寄存器 A (PCRA)，能按位指定输入/输出。
	PB7~ PB0	80~73	2、1、 80~75	A3、A2、 C3、A4、 B3、B4、 A5、C4	81~ 74	1、 81~ 75	80~ 73	输入	<u>端口 B</u> 这是 8 位的输入管脚。

第 1 章 概要

分类	符号	管脚序号			焊接 区序 号*1	焊接 区序 号*2	焊接 区序 号*3	输入/ 输出	功能
		FP-80A TFP-80C	FP-80B	TLP-85V					
串行通 信接口 (SCI)	RXD32	70	72	B5	71	72	70	输入	<u>SCI3 接收数据输入</u> 这是 SCI3 的数据输入管脚。
	TXD32	71	73	B6	72	73	71	输出	<u>SCI3 发送数据输出</u> 这是 SCI3 的数据输出管脚。
	SCK32	69	71	C6	70	71	69	输入/ 输出	<u>SCI3 时钟输入/输出</u> 这是 SCI3 时钟的输入/输出管脚。
A/D 转换器	AN7~ AN0	80~73	2、1、 80~75	A3、A2、 C3、A4、 B3、B4、 A5、C4	81~ 74	1、 81~ 75	80~ 73	输入	<u>模拟输入 (通道 7~通道 0)</u> 这是对 A/D 转换器输入模拟数据的管脚。
	ADTRG	3	5	B2	3	4	3	输入	<u>A/D 转换器触发输入</u> A/D 转换器的外部触发输入管脚。
LCD 控制器/ 驱动器	COM4~ COM1	45~48	47~50	G10、G8、 G9、F10	46~ 49	47~ 50	45~ 48	输出	<u>LCD 的公共输出</u> 这是 LCD 的公共输出管脚。
	SEG32~ SEG1	44~13	46~15	H9、J9、 H10、J10、 K8、K9、 H8、K7、 J8、J7、 K6、H7、 H6、J5、 J6、H5、 K5、J4、 H4、K4、 J3、J2、 K3、K2、 H1、J1、 H3、G1、 H2、G2、 F1、G3	45~ 14	46~ 15	44~ 13	输出	<u>LCD 的段输出</u> 这是 LCD 的段输出管脚。

分类	符号	管脚序号			焊接区序号*1	焊接区序号*2	焊接区序号*3	输入/输出	功能
		FP-80A TFP-80C	FP-80B	TLP-85V					
低电压检测电路*4 (LVD)	Vref	57	—	—	—	—	—	输入	<u>LVD 基准电压输入</u> 这是 LVD 的基准电压输入管脚。
	extD	73	—	—	—	—	—	输入	<u>LVD 电源下降检测电压输入</u> 这是 LVD 的电源下降检测电压输入管脚。
	extU	74	—	—	—	—	—	输入	<u>LVD 电源上升检测电压输入</u> 这是 LVD 的电源上升检测电压输入管脚。
NC	NC	—	—	A1、A10、 D4、K1、 K10	—	—	—	—	<u>NC 管脚</u>

- 【注】 *1 HCD64338024、HCD64338023、HCD64338022、HCD64338021 以及 HCD64338020 的焊接区序号
*2 HCD64F38024 和 HCD64F38024R 的焊接区序号
*3 HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S 以及 HCD64338020S 的焊接区序号
*4 仅 H8/38124 群
*5 H8/38124 群除外

第 2 章 CPU

2.1 概要

H8/300L CPU 是具有 $8 \text{ 位} \times 16 \text{ 个}$ (或者 $16 \text{ 位} \times 8 \text{ 个}$) 通用寄存器和具有适合高速运行的简洁指令系统的高速 CPU。

2.1.1 特点

H8/300L CPU 有以下特点：

- 通用寄存器方式
8位×16个（也可作为16位×8个使用）
- 55种基本指令
乘除运算指令
强大的位操作指令
- 8种寻址方式
寄存器直接
寄存器间接
带位移量的寄存器间接
后增/先减寄存器间接
绝对地址
立即
程序计数器相对
存储器间接
- 64K字节的地址空间
- 高速运行
全部用2~4个状态执行常用指令
高速运算
8/16位寄存器之间的加减法运算 0.25μs*
8×8位乘法运算 1.75μs*
16÷8位除法运算 1.75μs*

【注】 * 为 $\phi = 8\text{MHz}$ 时的数值。

- 低功耗运行

通过SLEEP指令可以进行低功耗运行

2.1.2 地址空间

H8/300L CPU 支持的地址空间最大为 64K 字节，包含程序码和数据区。

存储器映像的详细内容请参照“2.8 存储器映像”。

2.1.3 寄存器结构

H8/300L CPU 的内部寄存器结构如图 2.1 所示。这些寄存器能分成通用寄存器和控制寄存器 2 种。

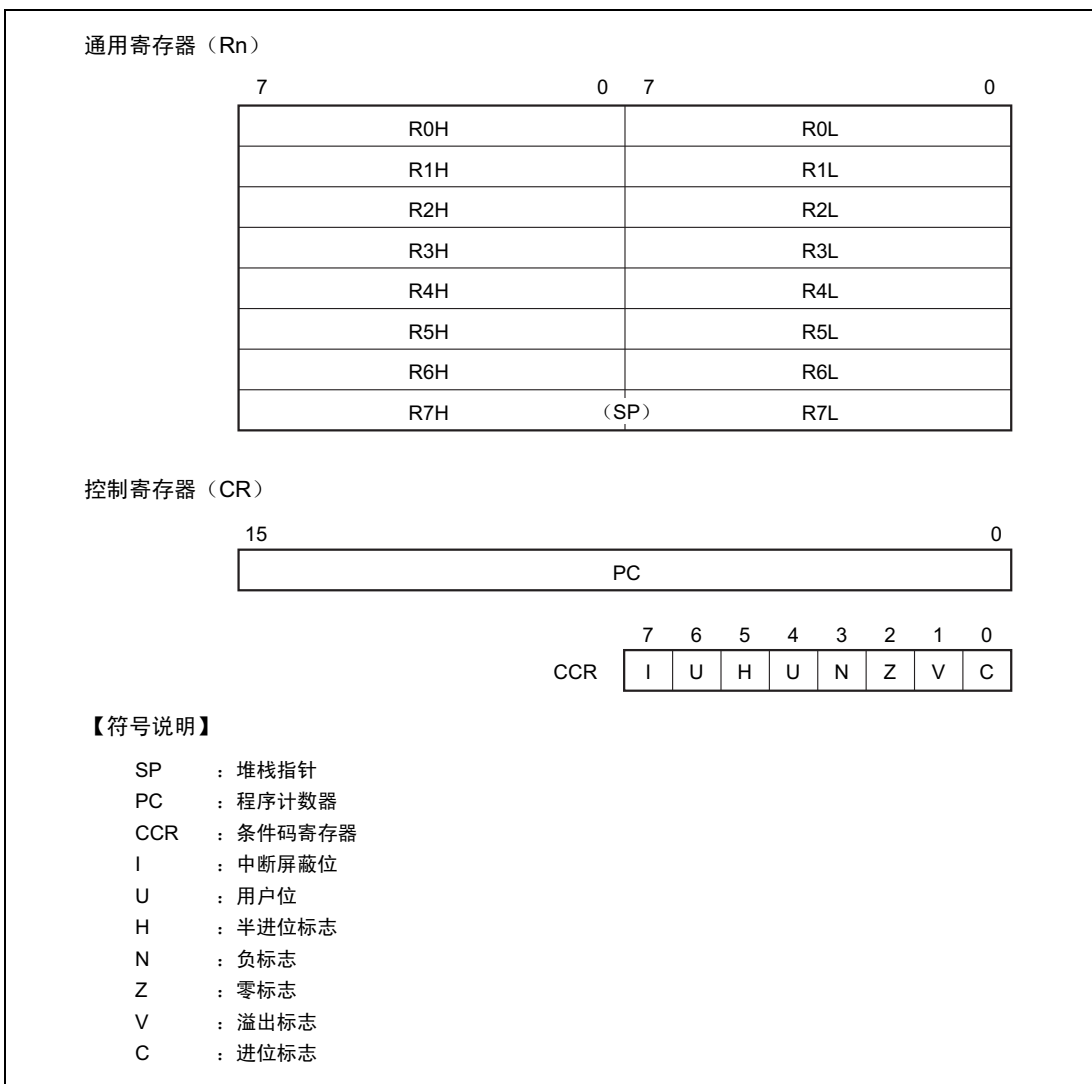


图 2.1 CPU 内部寄存器结构

2.2 各寄存器说明

2.2.1 通用寄存器

通用寄存器都具有相同的功能，并且数据寄存器和地址寄存器可以无区别地使用。

用作数据寄存器时，既可作为 8 位寄存器分别使用高位（R7H~R0H）和低位（R7L~R0L），也可作为 16 位寄存器（R7~R0）使用。

用作地址寄存器时，作为 16 位寄存器（R7~R0）使用。

寄存器 R7 除了通用寄存器的功能外，还有堆栈指针（SP）的功能，被隐含地用在异常处理和子程序调用等处。此时，SP 总是指向堆栈区的栈顶。堆栈的状态如图 2.2 所示。

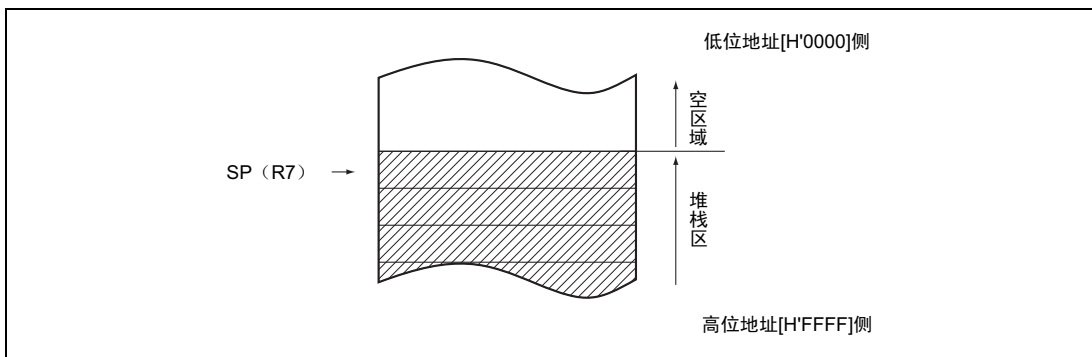


图 2.2 堆栈的状态

2.2.2 控制寄存器

控制寄存器有 16 位程序计数器（PC）和 8 位条件码寄存器（CCR）。

（1）程序计数器（PC）

它是 16 位计数器，指示 CPU 要执行的下一条指令的地址。由于 CPU 的指令全部以 16 位（字）为单位，因此最低位无效（在读指令码时，最低位被视为 0）。

（2）条件码寄存器（CCR）

它是 8 位寄存器，表示 CPU 的内部状态。由包含中断屏蔽位（I）和半进位（H）、负（N）、零（Z）、溢出（V）、进位（C）等的 8 位标志位构成。这些位可以用软件（LDC、STC、ANDC、ORC、XORC 指令）进行读和写。N、Z、V、C 的各标志被使用于条件转移指令（Bcc）。

• 位7：中断屏蔽位（I）

如果该位置 1，中断就被屏蔽。在异常处理执行开始时被置 1。该位可以通过软件进行读和写。关于中断屏蔽位的详细内容请参照“3.3 中断”。

- **位6: 用户位 (U)**

是用户能自由使用的位。

- **位5: 半进位标志 (H)**

通过执行 ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 指令，在第 3 位发生进位或者借位时将该位置 1，否则清 0。在执行 DAA 和 DAS 指令时，被隐含地使用。在 ADD.W、SUB.W、CMP.W 指令，如果在第 11 位发生进位或者借位就将该位置 1，否则清 0。

- **位4: 用户位 (U)**

是用户能自由使用的位。

- **位3: 负标志 (N)**

将数据的最高位视为符号位，保存最高位的值。

- **位2: 零标志 (Z)**

数据为 0 时置 1、不为 0 时清 0。

- **位1: 溢出标志 (V)**

通过算术运算指令的执行，在发生溢出时将该位置 1，否则清 0。

- **位0: 进位标志 (C)**

通过运算指令的执行，如果发生进位就将该位置 1，否则就清 0。进位有以下的种类:

- 加法结果的进位
- 减法结果的借位
- 移位/循环的进位

另外，进位标志有位累加功能，被使用在位操作指令。

另外，根据指令标志有不发生变化的情况。

关于各条指令的标志变化，请参照《H8/300L系列程序设计手册（ADC-602-004）》。

2.2.3 CPU 内部寄存器的初始值

通过复位异常处理，在 CPU 内部寄存器中，PC 通过装入向量地址（H'0000）进行初始化，并将 CCR 的 I 位置 1，但是，通用寄存器和 CCR 的其它位不进行初始化，寄存器 R7（SP）的初始值也不定。因此必须在复位后立即进行 R7 的初始化。

2.3 数据结构

H8/300L CPU 能处理 1 位、4 位 BCD、8 位（字节）和 16 位（字）的数据。1 位数据用位操作指令处理，以操作数据（字节）的第 n 位（ $n=0、1、2、\dots、7$ ）的形式进行存取。

字节数据用 ADDS、SUBS 以外的运算指令处理。另外，字数据用 MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（ $8\text{位}\times 8\text{位}$ ）、DIVXU（ $16\text{位}\div 8\text{位}$ ）指令处理。

在 DAA 和 DAS 的 10 进制调整指令中，字节数据被视作 2 个 4 位 BCD 数据。

2.3.1 通用寄存器的数据结构

通用寄存器的数据结构如图 2.3 所示。

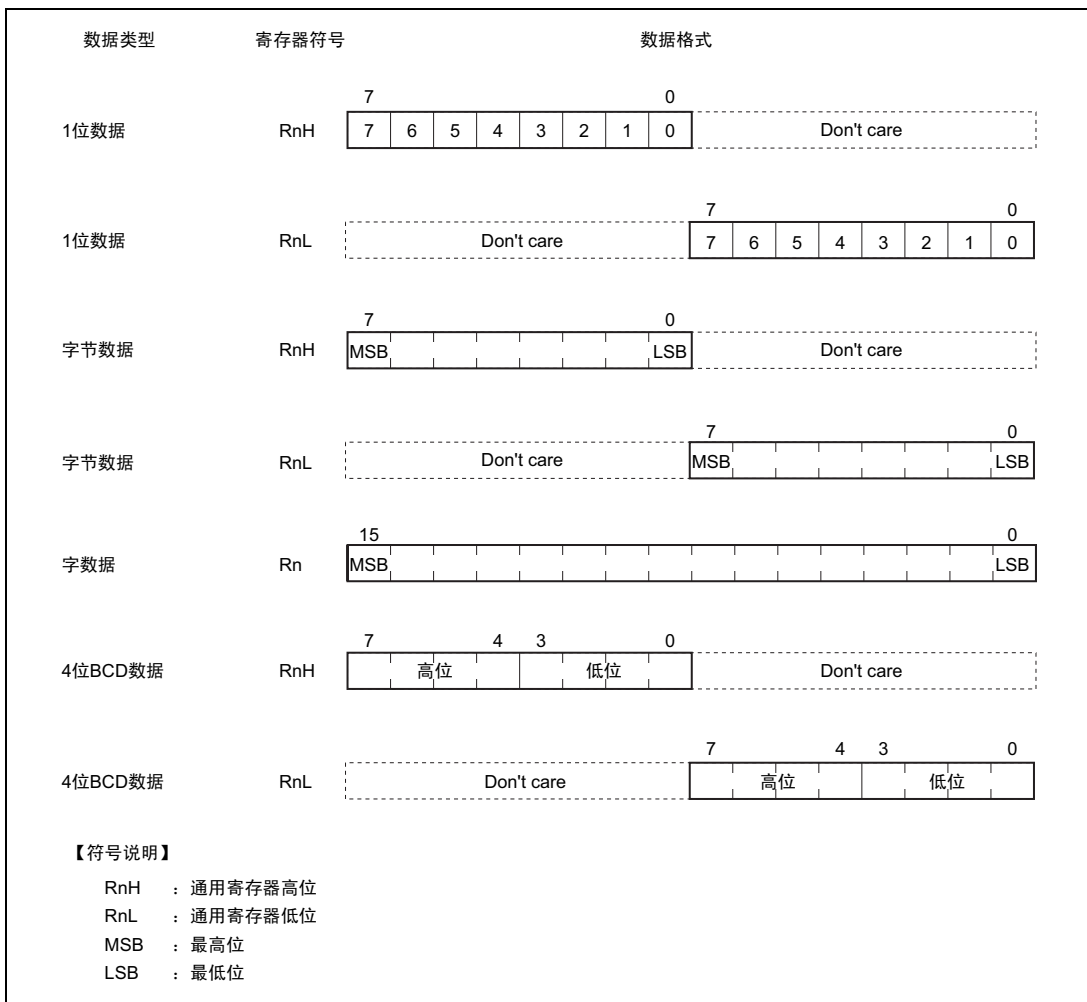


图 2.3 通用寄存器的数据结构

2.3.2 存储器的数据结构

存储器的数据结构如图 2.4 所示。H8/300L CPU 能存取存储器中的字数据（MOV.W 指令），但限于从偶数地址开始的字数据。在存取从奇数地址开始的字数据时，地址的最低位将被视为 0，从前一个地址开始存取字数据。指令码的存取也相同。

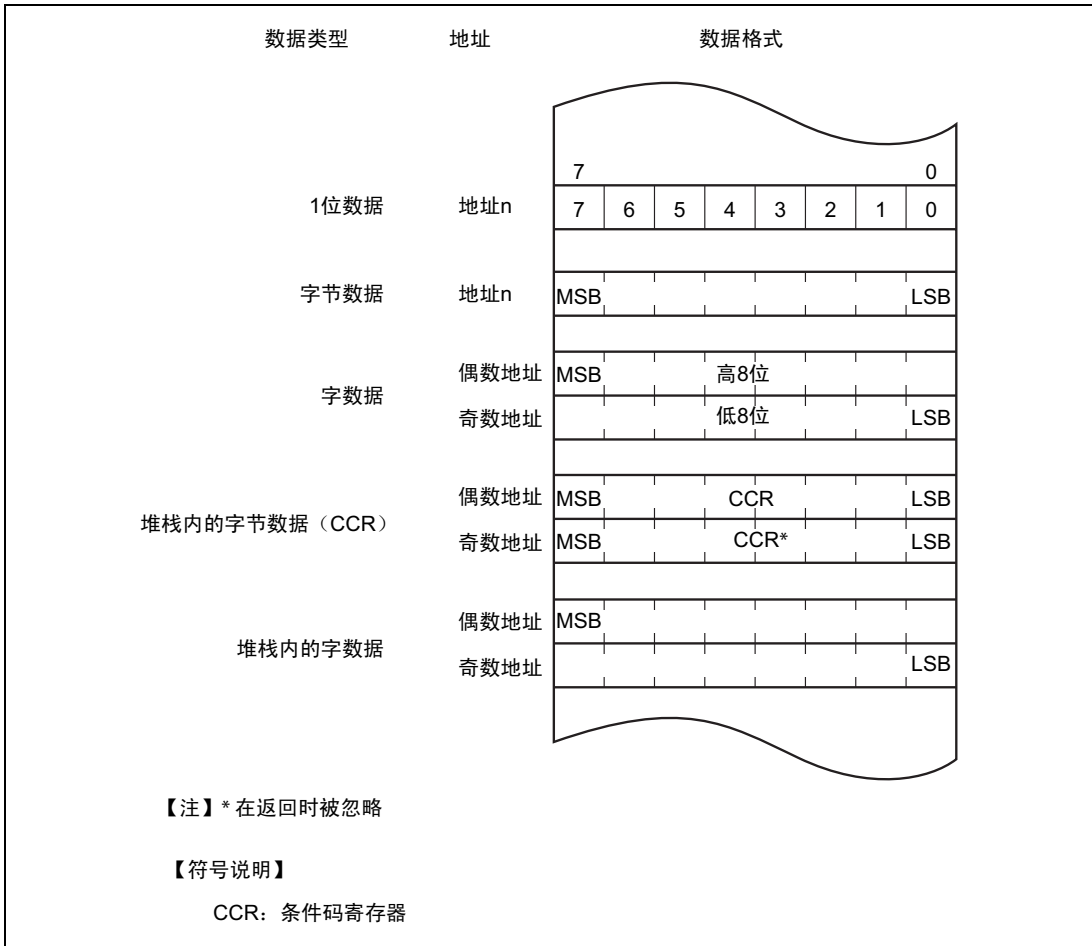


图 2.4 存储器上的数据结构

将 R7 作为地址寄存器使用并存取堆栈时，必须以字长存取。另外，CCR 作为字数据，在高 8 位和低 8 位被存放相同的值，在返回时低 8 位被忽略。

2.4 寻址方式

2.4.1 寻址方式

如表 2.1 所示，H8/300L CPU 支持 8 种寻址方式。各条指令能使用的寻址方式不同。

表 2.1 寻址方式一览表

No.	寻址方式	符号
(1)	寄存器直接	Rn
(2)	寄存器间接	@Rn
(3)	带位移量的寄存器间接	@(d:16, Rn)
(4)	后增寄存器间接 先减寄存器间接	@Rn+ @-Rn
(5)	绝对地址	@aa:8/@aa:16
(6)	立即	#xx:8/#xx:16
(7)	程序计数器相对	@(d:8, PC)
(8)	存储器间接	@@aa:8

(1) 寄存器直接 Rn

指令码的寄存器字段所指定的寄存器（8 位或 16 位）为操作数。

使用 16 位寄存器的指令是 MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8 位×8 位)、DIVXU(16 位÷8 位)的各指令。

(2) 寄存器间接 @Rn

将指令码的寄存器字段所指定的寄存器（16 位）的内容作为地址，指定存储器上的操作数。

(3) 带位移量的寄存器间接 @(d:16, Rn)

将指令码的寄存器字段所指定的寄存器（16 位）的内容加上指令码的第 2 个字（第 3、第 4 字节）的 16 位位移量的内容作为地址，指定存储器上的操作数。

本寻址方式只能用于 MOV 指令。尤其是 MOV.W 指令，加法结果必须为偶数。

(4) 后增寄存器间接 @Rn+/先减寄存器间接 @-Rn

- 后增寄存器间接 @Rn+

用在MOV (Load from) 指令。

将指令码的寄存器字段所指定的寄存器 (16位) 的内容作为地址, 指定存储器上的操作数。然后, 给寄存器的内容加1或者加2, 并将加法结果存入寄存器。MOV.B指令加1, MOV.W指令加2。在MOV.W指令, 寄存器的内容应为偶数。

- 先减寄存器间接 @-Rn

用在MOV (Store to) 指令。

将指令码的寄存器字段所指定的寄存器 (16位) 的内容减1或者减2后的内容作为地址, 指定存储器上的操作数。然后, 将减法结果存入寄存器。MOV.B指令减1, MOV.W指令减2。在MOV.W指令, 寄存器的内容应为偶数。

(5) 绝对地址 @aa:8/@aa:16

它是用包含在指令码中的绝对地址, 指定存储器上的操作数。

此时, 绝对地址为 8 位 (@aa: 8) 或 16 位 (@aa: 16), 8 位绝对地址用在 MOV.B 和位操作指令, 16 位绝对地址用在 MOV.B、MOV.W、JMP 和 JSR 的各指令。

为 8 位绝对地址时, 高 8 位全部为“1” (H'FF)。因此, 存取范围是 65280~65535 (H'FF00~H'FF FF) 地址。

(6) 立即 #xx:8/#xx:16

将指令码的第 2 字节 (#xx: 8) 或者第 3、第 4 字节 (#xx: 16) 作为直接操作数使用。#xx: 16 只能使用在 MOV.W 指令。

在 ADDS 和 SUBS 指令, 立即数(1 或者 2) 被隐含地包含在指令码中。在位操作指令, 为了指定序号的 3 位立即数, 有时也被包含在指令码的第 2 或者第 4 字节中。

(7) 程序计数器相对 @(d:8, PC)

用在 Bcc、BSR 的各指令。

在给 PC 内容加上指令码的第 2 字节的 8 位位移量后, 生成转移地址。在加法运算时, 位移量被符号扩展成 16 位。另外, 由于被加的 PC 内容为下一条指令的起始地址, 因此转移指令可能转移的范围是-126~+128 字节 (-63~+64 字)。此时, 加法结果应为偶数。

(8) 存储器间接 @@aa:8

用在 JMP 和 JSR 指令。

用包含在指令码的第 2 字节中的 8 位绝对地址来指定存储器上的操作数，作为转移地址进行转移。此时，由于 8 位绝对地址的高 8 位已全部变为 0 (H'00)，因此可储存转移地址的范围为 0~255 (H'0000~H'00FF)。但是，在 H8/300L 系列中，请注意：地址的低位地址和向量区共用。关于向量区的详细内容，请参照“3.3 中断”。

作为转移地址或者 MOV.W 指令的操作数地址，如果指定奇数地址，就将最低位视为 0，并且存取从前 1 个地址开始的字数据（请参照“2.3.2 存储器的数据结构”）。

2.4.2 有效地址的计算方法

各寻址方式中有效地址 (EA: Effective Address) 的计算方法如表 2.2 所示。

在运算指令中，使用 (1) 寄存器直接和 (6) 立即 (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR 的各指令)。

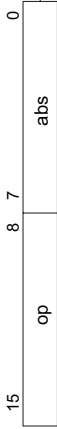
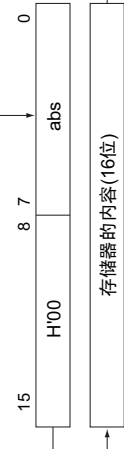

在传送指令中，除了 (7) 程序计数相对和 (8) 存储器间接，可以使用所有的寻址方式。

另外，在位操作指令中，对于指定操作数，可以使用 (1) 寄存器直接、(2) 寄存器间接以及 (5) 绝对地址 (8 位)；对于指定操作数中的位序号，可以独立使用 (1) 寄存器直接 (BSET、BCLR、BNOT、BTST 的各指令) 和 (6) 立即 (3 位)。

表 2.2 有效地址的计算方法

No.	寻址方式和指令格式	有效地址的计算方法	有效地址(EA)
1	寄存器直接 Rn 		
2	寄存器间接 @Rn 		
3	带位移量寄存器间接 @ (d; 16, Rn) 		
4	后增寄存器间接/先减寄存器间接 <ul style="list-style-type: none"> • 后增寄存器间接 @Rn+ • 先减寄存器间接 @-Rn 		

No.	寻址方式和指令格式	有效地址的计算方法	有效地址(EA)
5	<p>绝对地址 @aa:8</p> <p>@aa:16</p>		
6	<p>立即 #xx:8</p> <p>#xx:16</p>		<p>操作数为立即数的1或者2字节数据。</p>
7	<p>程序计数器相对 @(d:8, PC)</p>		

No.	寻址方式和指令格式	有效地址的计算方法	有效地址(EA)
8	<p>存储器间接 @@aa:8</p> 		

【符号说明】

- rm、r_n : 寄存器字段
- op : 操作字段
- disp : 位移量
- IMM : 立即数
- abs : 绝对地址

2.5 指令系统

H8/300L CPU 的指令共有 55 种，根据各指令所具有的功能分类，如表 2.3 所示。

表 2.3 指令的分类

功能	指令	种类
数据传送指令	MOV、POP* ¹ 、PUSH* ¹	1
算术运算指令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
逻辑运算指令	AND、OR、XOR、NOT	4
移位指令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
位操作指令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
转移指令	Bcc* ² 、JMP、BSR、JSR、RTS	5
系统控制指令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
块传送指令	EEPMOV	1

合计 55 种

【注】 *1 POP Rn、PUSH Rn 分别和 MOV.W @SP+,Rn、MOV.W Rn,@-SP 相同，机器代码也相同。

*2 Bcc 是条件转移指令的总称。

关于各指令的功能如表 2.4~表 2.11 所示。在各表中所使用的操作符号的定义如下所示：

《操作符号》

Rd	通用寄存器（目标）
Rs	通用寄存器（源）
Rn	通用寄存器
(EAd)、<Ead>	目标操作数
(EAs)、<Eas>	源操作数
CCR	条件码寄存器
N	CCR 的 N（负）标志
Z	CCR 的 Z（零）标志
V	CCR 的 V（溢出）标志
C	CCR 的 C（进位）标志
PC	程序计数器
SP	堆栈指针
#IMM	立即数
disp	位移量
+	加法
-	减法
×	乘法
÷	除法
^	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
~	非（逻辑补）
:3	3 位长
:8	8 位长
:16	16 位长
()、< >	操作数的有效地址的内容

2.5.1 数据传送指令

数据传送指令的功能如表 2.4 所示。

表 2.4 数据传送指令

指令	长度*	功 能
MOV	B/W	(EAs) → Rd、Rs → (EAd) 在通用寄存器和通用寄存器之间或者通用寄存器和存储器之间传送数据。另外，给通用寄存器传送立即数。 字数据用 Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+的各寻址方式处理。@aa:8 仅限于字节数据。 但是，使用@-R7、@R7+时，必须指定字的长度。
POP	W	@SP+ → Rn 从堆栈返回数据到通用寄存器。 本指令和 MOV.W @SP+, Rn 相同。
PUSH	W	Rn → @-SP 将通用寄存器的内容保存到堆栈。 本指令和 MOV.W Rn,@-SP 相同。

【注】* 长度是表示操作数的长度。

B: 字节

W: 字

有关使用数据存取时的注意事项，请参照“2.9.1 有关数据存取的注意事项”。

数据传送指令的指令格式如图 2.5 所示。

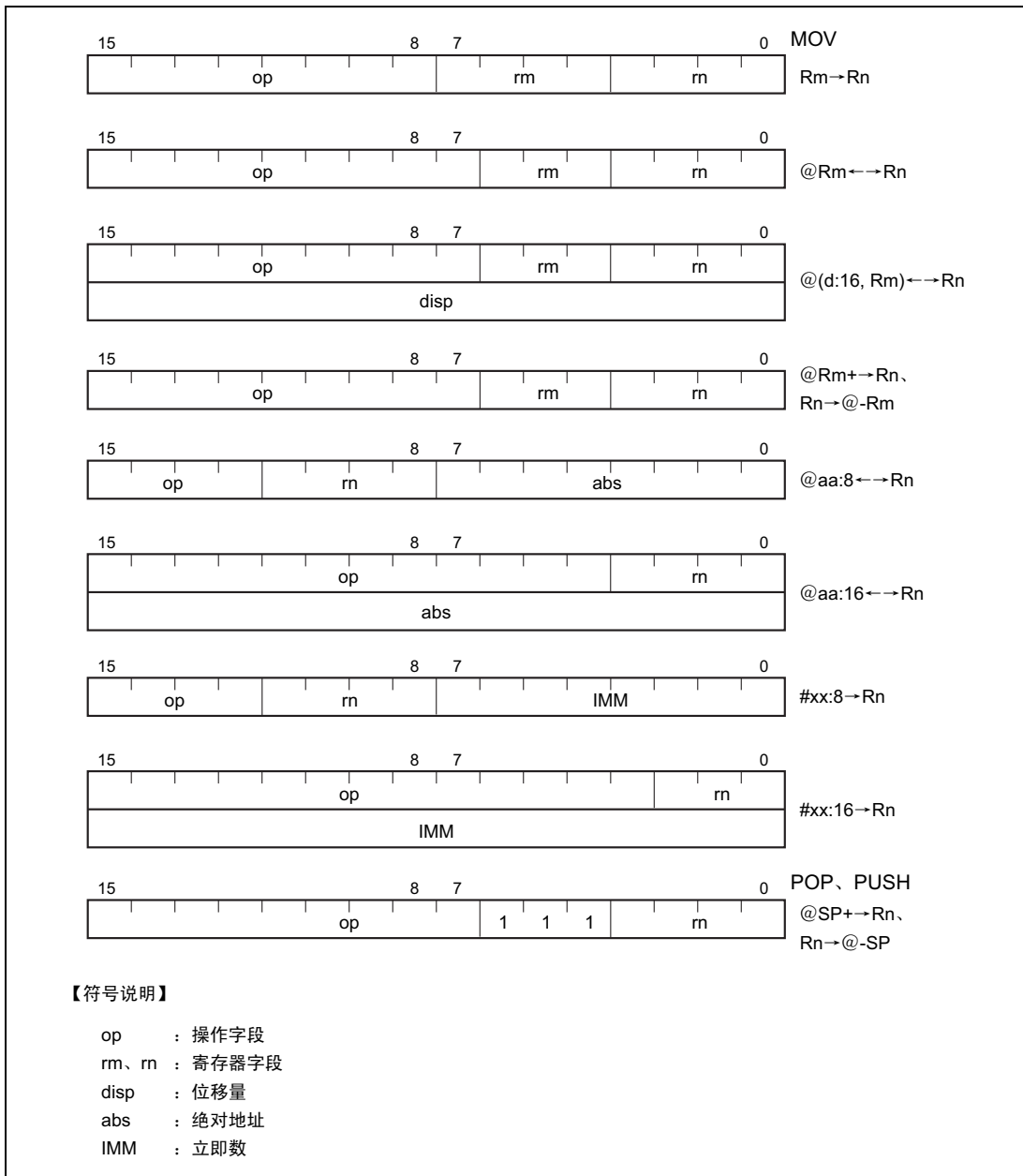


图 2.5 数据传送指令的指令格式

2.5.2 算术运算指令

算术运算指令的功能如表 2.5 所示。

表 2.5 算术运算指令

指令	长度*	功能
ADD SUB	B/W	$Rd \pm Rs \rightarrow Rd$ 、 $Rd + \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者在通用寄存器和立即数之间进行加法运算。通用寄存器和立即数之间不能进行减法运算。 字数据只能在通用寄存器之间进行加减运算。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行带进位的加减运算。
INC DEC	B	$Rd \pm 1 \rightarrow Rd$ 对通用寄存器进行加减 1 的运算。
ADDS SUBS	W	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 对通用寄存器进行加减 1 或者加减 2 的运算。
DAA DAS	B	Rd (10 进制调整) $\rightarrow Rd$ 参照 CCR，将通用寄存器的加减运算结果调整为 4 位 BCD 数据。
MULXU	B	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器之间进行无符号的乘法运算。可以进行 8 位 \times 8 位 \rightarrow 16 位的运算。
DIVXU	B	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器之间进行无符号的除法运算。可以进行 16 位 \div 8 位 \rightarrow 商 8 位余 8 位的运算。
CMP	B/W	$Rd - Rs$ 、 $Rd - \#IMM$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行比较，其结果反映到 CCR。字数据只能在通用寄存器之间进行比较。
NEG	B	$0 - Rd \rightarrow Rd$ 取通用寄存器内容的 2 的补码（算术补）。

【注】* 长度是表示操作数的长度。

B: 字节

W: 字

2.5.3 逻辑运算指令

逻辑运算指令的功能如表 2.6 所示。

表 2.6 逻辑运算指令

指令	长度*	功 能
AND	B	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑与运算。
OR	B	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑或运算。
XOR	B	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑异或运算。
NOT	B	$\sim Rd \rightarrow Rd$ 取通用寄存器内容的 1 的补码（逻辑补）。

【注】* 长度是表示操作数的长度。

B: 字节

2.5.4 移位指令

移位指令的功能如表 2.7 所示。

表 2.7 移位指令

指令	长度*	功 能
SHAL SHAR	B	Rd （移位处理） $\rightarrow Rd$ 将通用寄存器的内容进行算术移位。
SHLL SHLR	B	Rd （移位处理） $\rightarrow Rd$ 将通用寄存器的内容进行逻辑移位。
ROTL ROTR	B	Rd （循环处理） $\rightarrow Rd$ 将通用寄存器的内容进行循环。
ROTXL ROTXR	B	Rd （循环处理） $\rightarrow Rd$ 将通用寄存器的内容包含进位标志进行循环。

【注】* 长度是表示操作数的长度。

B: 字节

算术运算指令、逻辑运算指令以及移位指令的指令格式如图 2.6 所示。

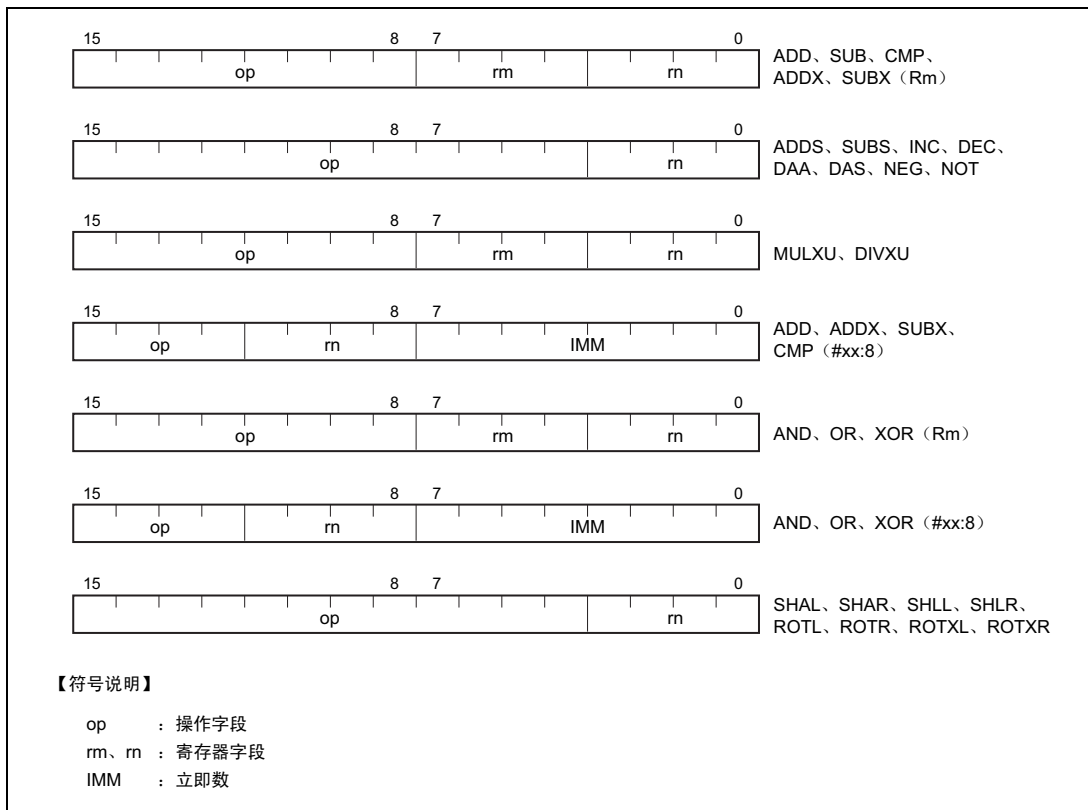


图 2.6 算术运算指令、逻辑运算指令、移位指令的指令格式

2.5.5 位操作指令

位操作指令的功能如表 2.8 所示。

表 2.8 位操作指令

指令	长度*	功 能
BSET	B	$1 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数中被指定的某 1 位置 1。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BCLR	B	$0 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数中被指定的某 1 位清 0。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BNOT	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BTST	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow Z$ 测试通用寄存器或者存储器的操作数中被指定的某 1 位，并反映到零标志。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BAND	B	$C \wedge (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位和进位标志进行逻辑与运算，结果存入进位标志。
BIAND	B	$C \wedge (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反，并和进位标志进行逻辑与运算，结果存入进位标志。 位序号由 3 位立即数指定。
BOR	B	$C \vee (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位和进位标志进行逻辑或运算，结果存入进位标志。
BIOR	B	$C \vee (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反，并和进位标志进行逻辑或运算，结果存入进位标志。 位序号由 3 位立即数指定。
BXOR	B	$C \oplus (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位和进位标志进行逻辑异或运算，结果存入进位标志。
BIXOR	B	$C \oplus (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反，并和进位标志进行逻辑异或运算，结果存入进位标志。 位序号由 3 位立即数指定。

指令	长度*	功 能
BLD	B	(<位序号> of <EAd>) → C 将通用寄存器或者存储器的操作数中被指定的某 1 位传送到进位标志。
BILD	B	~ (<位序号> of <EAd>) → C 将通用寄存器或者存储器的操作数中被指定的某 1 位取反并传送到进位标志。 位序号由 3 位立即数指定。
BST	B	C → (<位序号> of <EAd>) 将进位标志的内容传送到通用寄存器或者存储器的操作数中被指定的某 1 位。
BIST	B	~C → (<位序号> of <EAd>) 将进位标志的内容取反并传送到通用寄存器或者存储器的操作数中被指定的某 1 位。 位序号由 3 位立即数指定。

【注】 * 长度是表示操作数的长度。

B: 字节

有关使用位操作指令时的注意事项，请参照“2.9.2 位操作指令使用时的注意事项”。

位操作指令的指令格式如图 2.7 所示。

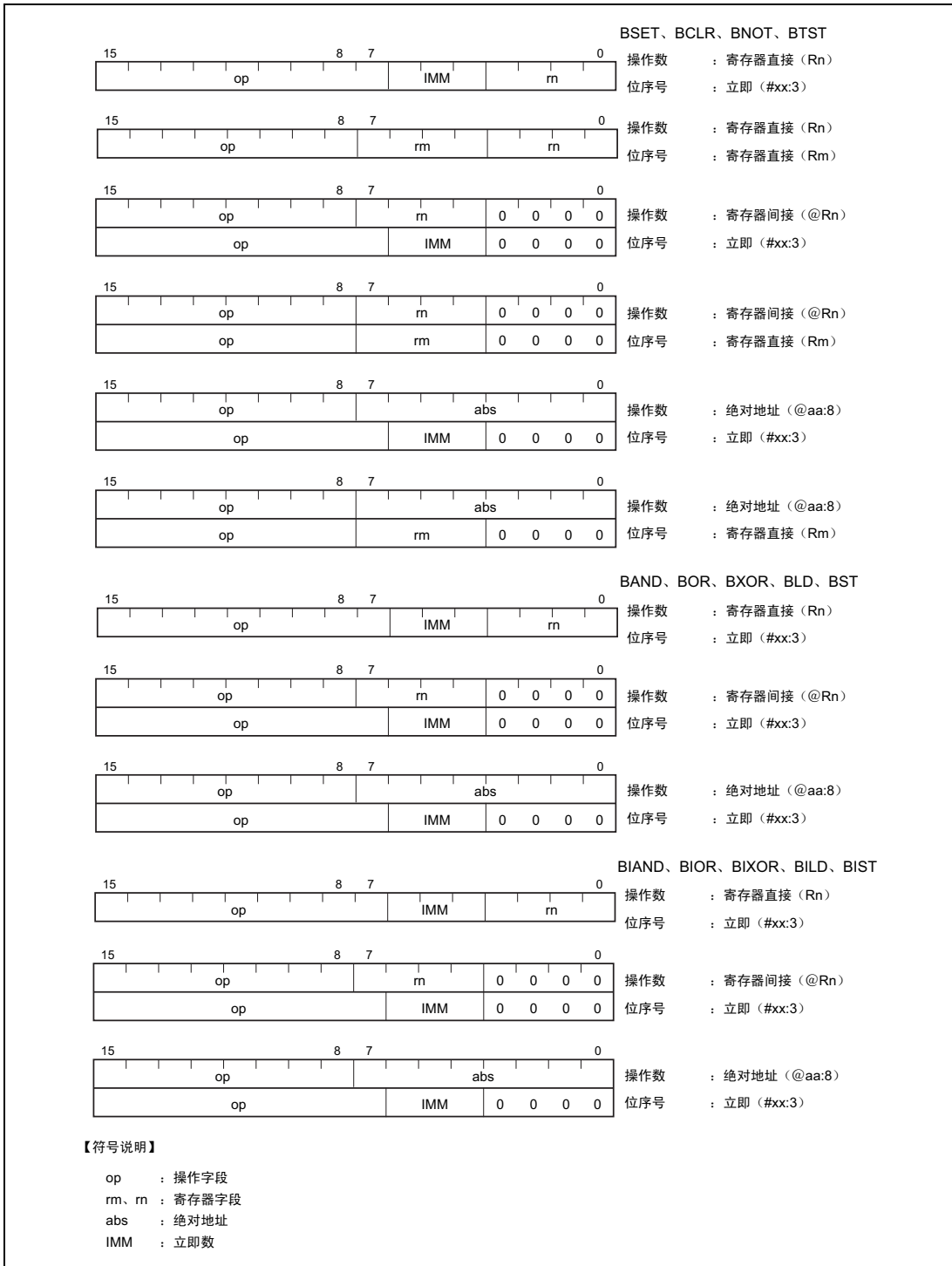


图 2.7 位操作指令的指令格式

2.5.6 转移指令

转移指令的功能如表 2.9 所示。

表 2.9 转移指令

指令	长度	功 能																																																			
Bcc	—	指定条件成立时，转移到指定地址。转移条件如下表所示：																																																			
		<table border="1"> <thead> <tr> <th>助记符</th> <th>说 明</th> <th>转移条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z=0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z=1$</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>$C=0$</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(Low)</td> <td>$C=1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z=0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z=1$</td> </tr> <tr> <td>BVC</td> <td>Overflow Clear</td> <td>$V=0$</td> </tr> <tr> <td>BVS</td> <td>Overflow Set</td> <td>$V=1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N=0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N=1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V=0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V=1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V)=0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V)=1$</td> </tr> </tbody> </table>	助记符	说 明	转移条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	$C \vee Z=0$	BLS	Low or Same	$C \vee Z=1$	BCC(BHS)	Carry Clear(High or Same)	$C=0$	BCS(BLO)	Carry Set(Low)	$C=1$	BNE	Not Equal	$Z=0$	BEQ	Equal	$Z=1$	BVC	Overflow Clear	$V=0$	BVS	Overflow Set	$V=1$	BPL	PLus	$N=0$	BMI	Minus	$N=1$	BGE	Greater or Equal	$N \oplus V=0$	BLT	Less Than	$N \oplus V=1$	BGT	Greater Than	$Z \vee (N \oplus V)=0$	BLE	Less or Equal	$Z \vee (N \oplus V)=1$
		助记符	说 明	转移条件																																																	
		BRA(BT)	Always(True)	Always																																																	
		BRN(BF)	Never(False)	Never																																																	
		BHI	High	$C \vee Z=0$																																																	
		BLS	Low or Same	$C \vee Z=1$																																																	
		BCC(BHS)	Carry Clear(High or Same)	$C=0$																																																	
		BCS(BLO)	Carry Set(Low)	$C=1$																																																	
		BNE	Not Equal	$Z=0$																																																	
		BEQ	Equal	$Z=1$																																																	
		BVC	Overflow Clear	$V=0$																																																	
		BVS	Overflow Set	$V=1$																																																	
		BPL	PLus	$N=0$																																																	
		BMI	Minus	$N=1$																																																	
BGE	Greater or Equal	$N \oplus V=0$																																																			
BLT	Less Than	$N \oplus V=1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V)=0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V)=1$																																																			
JMP	—	无条件转移到指定地址。																																																			
BSR	—	转移到指定地址的子程序。																																																			
JSR	—	转移到指定地址的子程序。																																																			
RTS	—	从子程序返回。																																																			

转移指令的指令格式如图 2.8 所示。

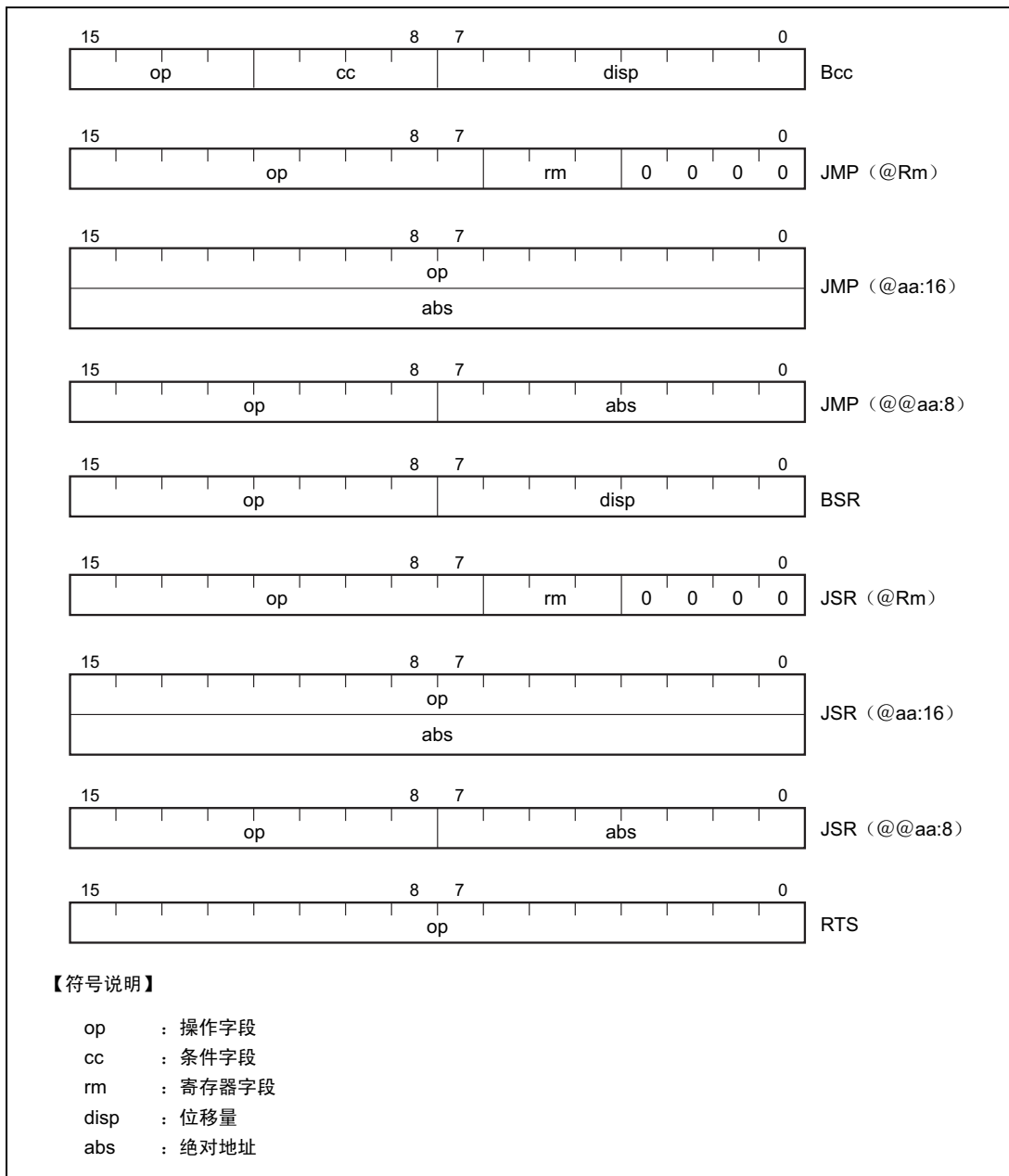


图 2.8 转移指令的指令格式

2.5.7 系统控制指令

系统控制指令的功能如表 2.10 所示。

表 2.10 系统控制指令

指令	长度*	功 能
RTE	—	从中断处理程序返回。
SLEEP	—	如果在激活模式执行本指令，就转移到低功耗模式。 详细内容请参照“第 5 章 低功耗模式”。
LDC	B	$R_s \rightarrow CCR$ 、 $\#IMM \rightarrow CCR$ 将通用寄存器内容或者立即数传送到 CCR。
STC	B	$CCR \rightarrow R_d$ 将 CCR 的内容传送到通用寄存器。
ANDC	B	$CCR \wedge \#IMM \rightarrow CCR$ 取 CCR 和立即数的逻辑与。
ORC	B	$CCR \vee \#IMM \rightarrow CCR$ 取 CCR 和立即数的逻辑或。
XORC	B	$CCR \oplus \#IMM \rightarrow CCR$ 取 CCR 和立即数的逻辑异或。
NOP	—	$PC+2 \rightarrow PC$ 只使 PC 增量。

【注】* 长度表示操作数的长度。

B: 字节

系统控制指令的指令格式如图 2.9 所示。

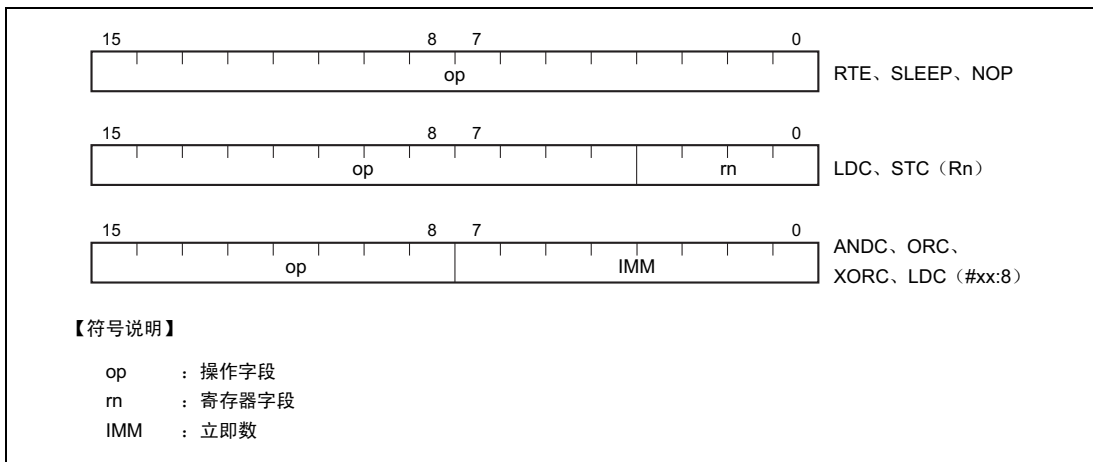


图 2.9 系统控制指令的指令格式

2.5.8 数据块传送指令

数据块传送指令的功能如表 2.11 所示。

表 2.11 数据块传送指令

指令	长度	功 能
EPMOV	—	if R4L≠0 then Repeat @R5+ → @R6+、R4L-1 → R4L Until R4L=0 else next; 块传送指令。从 R5 所示的地址开始，将 R4L 指定的字节数的数据传送到 R6 所示地址开始的位置。 传送结束后执行下一条指令。

使用 EPMOV 指令时的注意事项，请参照“2.9.3 EPMOV 指令使用时的注意事项”。

块传送指令的指令格式如图 2.10 所示。

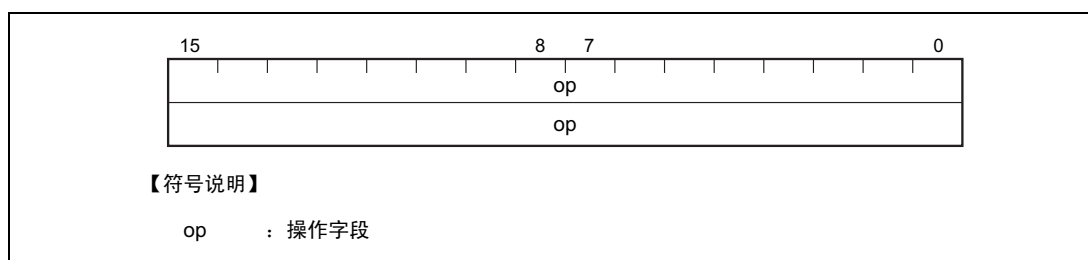


图 2.10 块传送指令的指令格式

2.6 基本运行时序

CPU 以系统时钟 (ϕ) 或者子时钟 (ϕ_{SUB}) 为基准运行。关于系统时钟 ϕ 和子时钟 ϕ_{SUB} 的定义请参照“第 4 章 时钟振荡器”。从 ϕ 或者 ϕ_{SUB} 的上升沿开始到下一个上升沿为止的 1 个单位称为 1 个状态。总线周期由 2 个状态或者 3 个状态构成，根据内部存储器和内部外围模块进行不同的存取。

2.6.1 内部存储器 (RAM、ROM)

内部存储器的存取以 2 个状态进行。此时，数据总线宽度为 16 位，可以进行字节长存取和字长存取。

内部存储器的存取周期如图 2.11 所示。

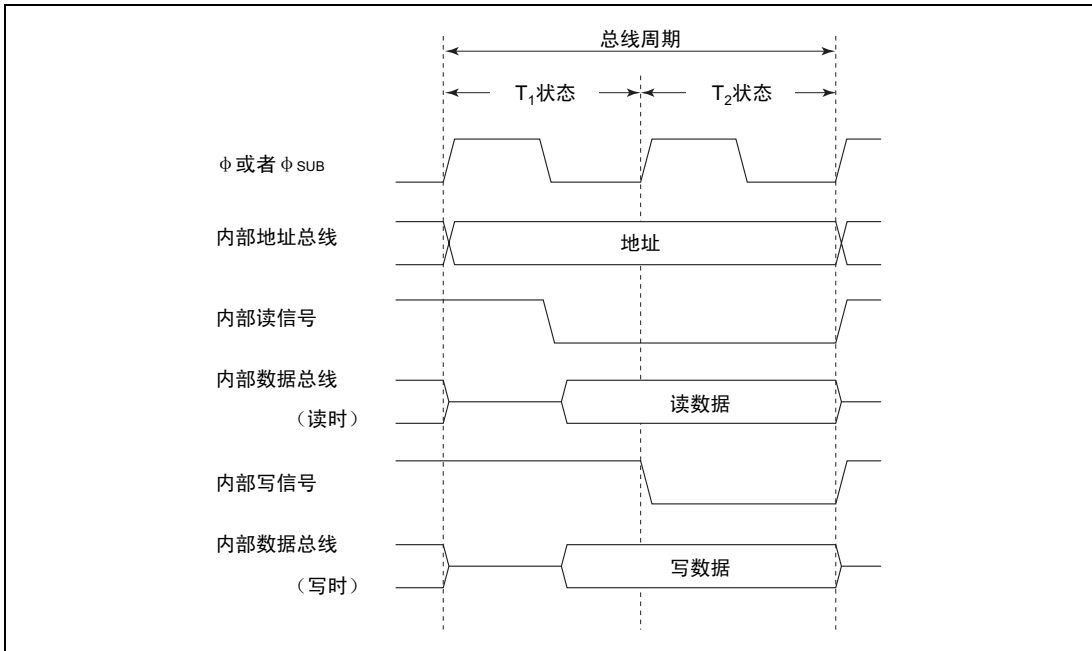


图 2.11 内部存储器的存取周期

2.6.2 内部外围模块

内部外围模块的存取以 2 个或者 3 个状态进行。此时，数据总线宽度为 8 位，只能进行字节长存取。因此，对于字数据，必须用 2 条指令进行存取。

(1) 内部外围模块 2 个状态存取

以 2 个状态存取内部外围模块的运行时序如图 2.12 所示。

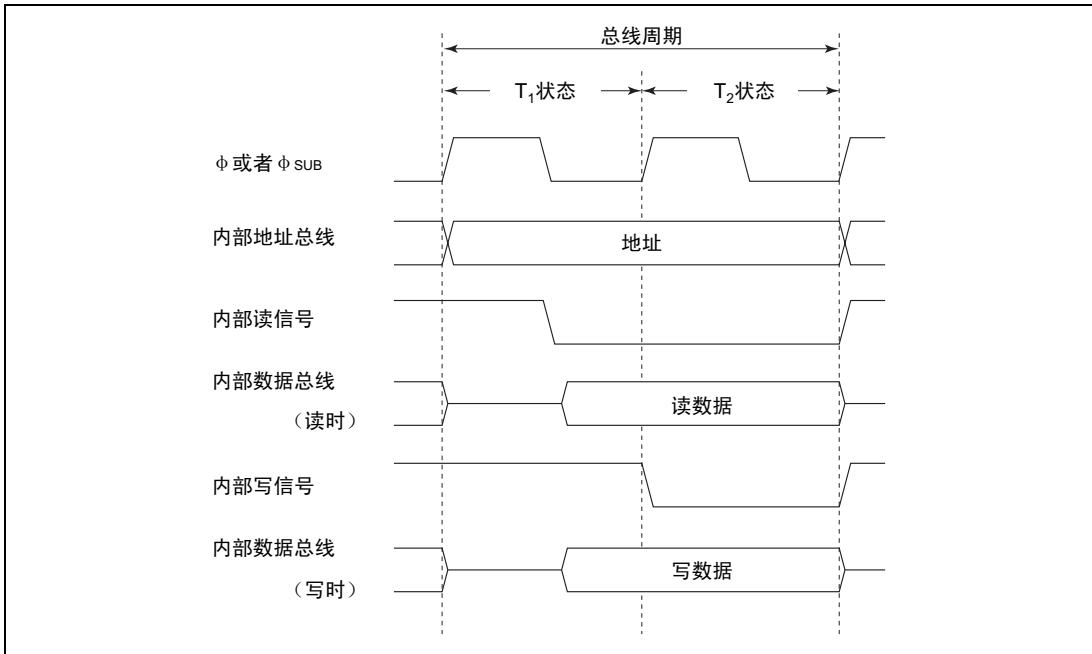


图 2.12 内部外围模块的存取周期 (2 个状态的存取)

(2) 内部外围模块 3 个状态的存取

以 3 个状态存取内部外围模块的运行时序如图 2.13 所示。

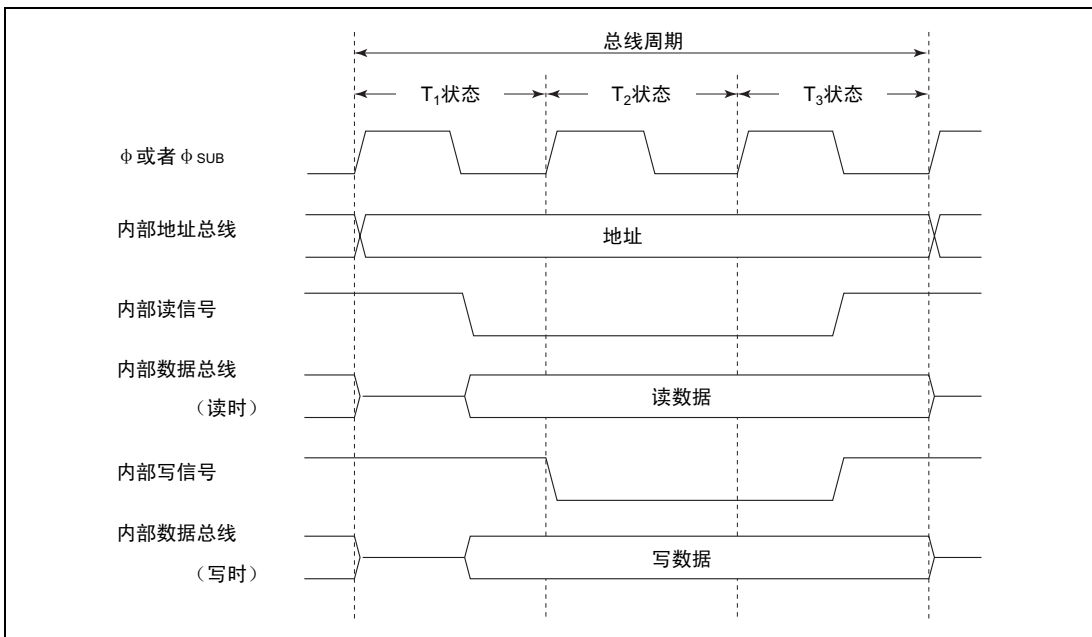


图 2.13 内部外围模块的存取周期 (3 个状态的存取)

2.7 CPU 的状态

2.7.1 概要

CPU 有复位状态、程序执行状态、程序停止状态以及异常处理状态 4 种。程序执行状态有激活（高速、中速）模式和子激活模式，程序停止状态有睡眠（高速）模式、睡眠（中速）模式、待机模式、时钟模式以及子睡眠模式。各状态的分类如图 2.14 所示，各状态之间的转移如图 2.15 所示。

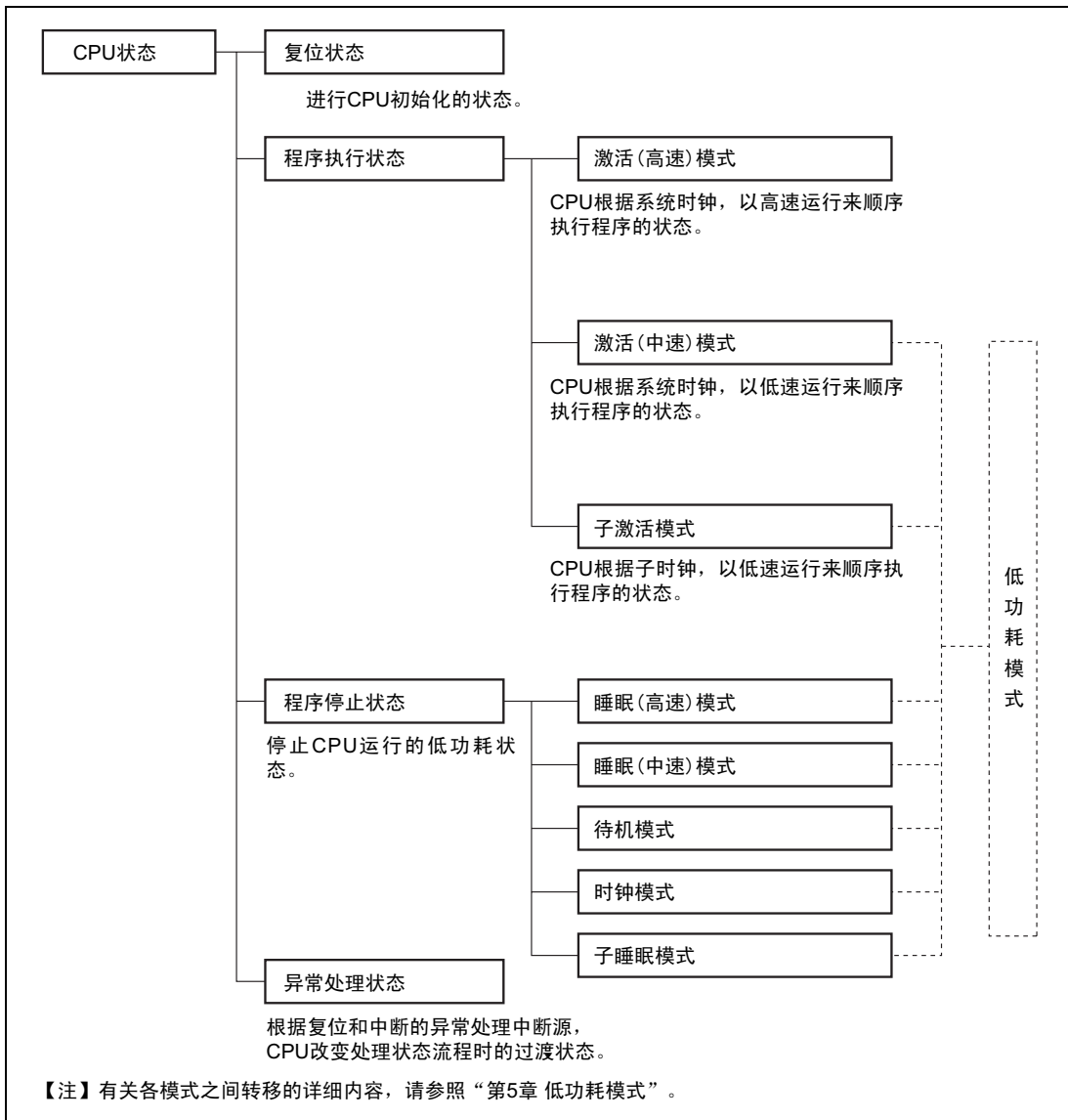


图 2.14 CPU 的状态分类

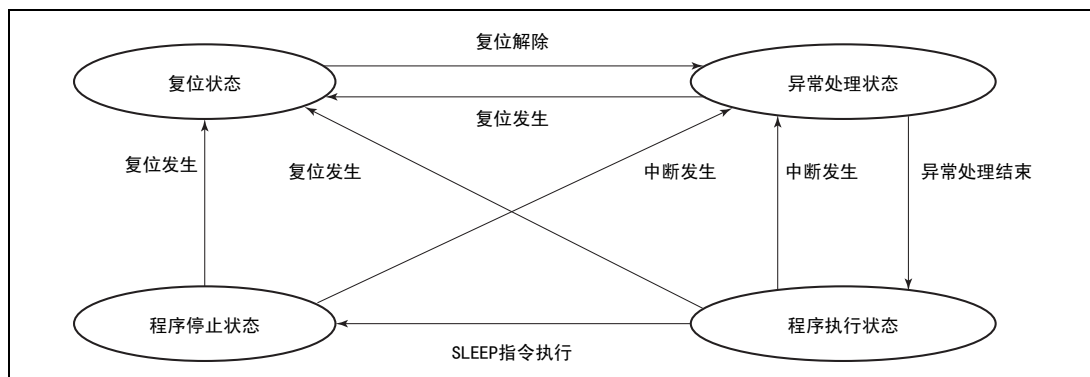


图 2.15 状态转移图

2.7.2 程序执行状态

是 CPU 顺序执行程序的状态。

CPU 程序执行状态有激活（高速、中速）模式和子激活模式 3 种模式。激活（高速、中速）模式用系统时钟、子激活模式用子时钟运行。

关于这些模式的详细内容请参照“第 5 章 低功耗模式”。

2.7.3 程序停止状态

程序停止状态有睡眠（高速）模式、睡眠（中速）模式、待机模式、时钟模式以及子睡眠模式 5 种模式。

关于这些模式的详细内容请参照“第 5 章 低功耗模式”。

2.7.4 异常处理状态

通过复位和中断的异常处理源，CPU 改变通常处理状态流程时的过渡状态。由中断源产生的异常处理参照 SP (R7)，保存 PC 和 CCR。

关于中断处理的详细内容请参照“3.3 中断”。

2.8 存储器映像

2.8.1 存储器映像

H8/38024、H8/38124 和 H8/38024S 的存储器映像如图 2.16 (1) 所示，H8/38023、H8/38123 和 H8/38023S 的存储器映像如图 2.16 (2) 所示，H8/38022、H8/38122 和 H8/38022S 的存储器映像如图 2.16 (3) 所示，H8/38021、H8/38121 和 H8/38021S 的存储器映像如图 2.16 (4) 所示，H8/38020、H8/38120 和 H8/38020S 的存储器映像如图 2.16 (5) 所示。

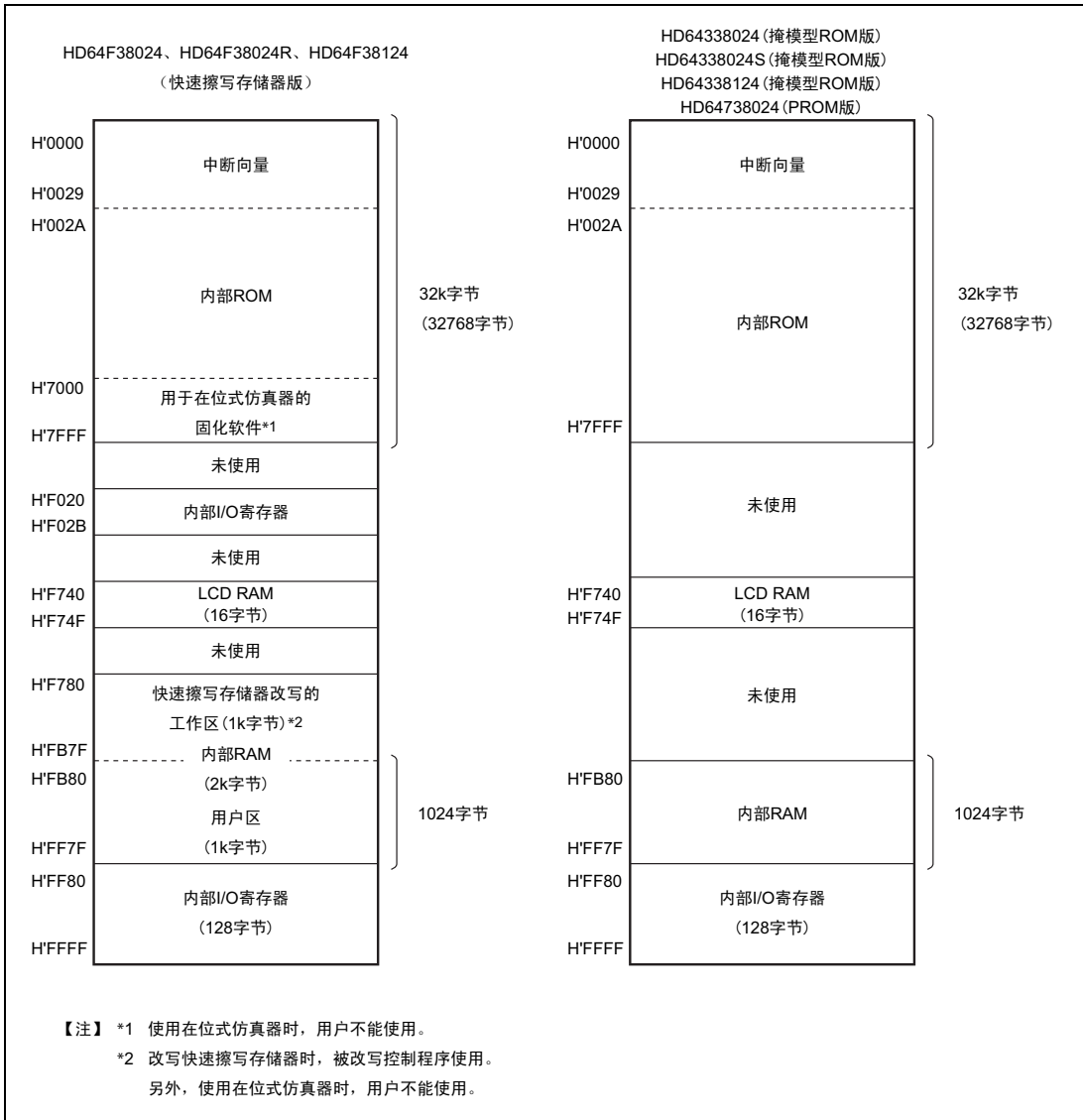


图 2.16 (1) H8/38024、H8/38124 和 H8/38024S 的存储器映像

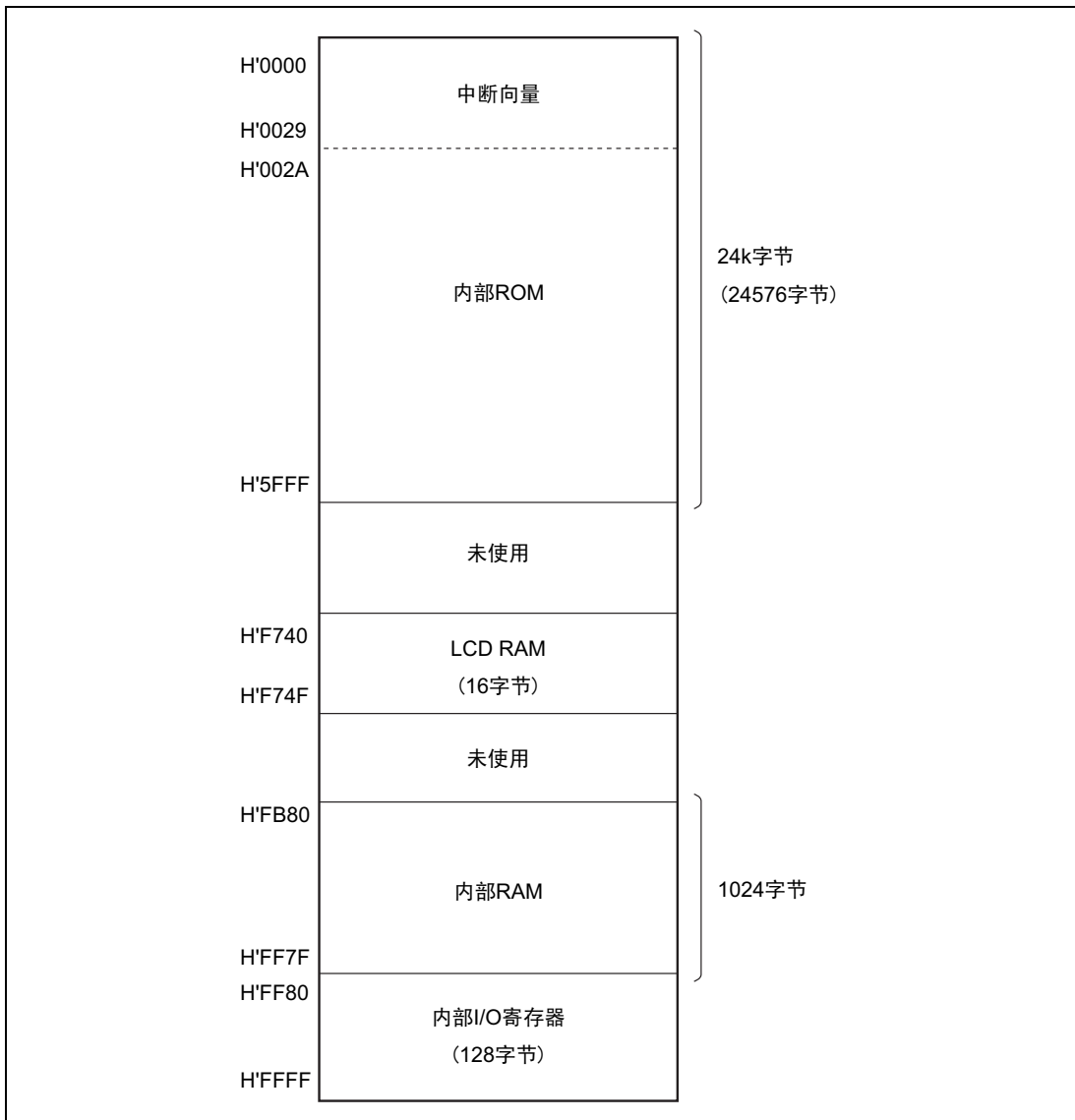


图 2.16 (2) H8/38023、H8/38123 和 H8/38023S 的存储器映像

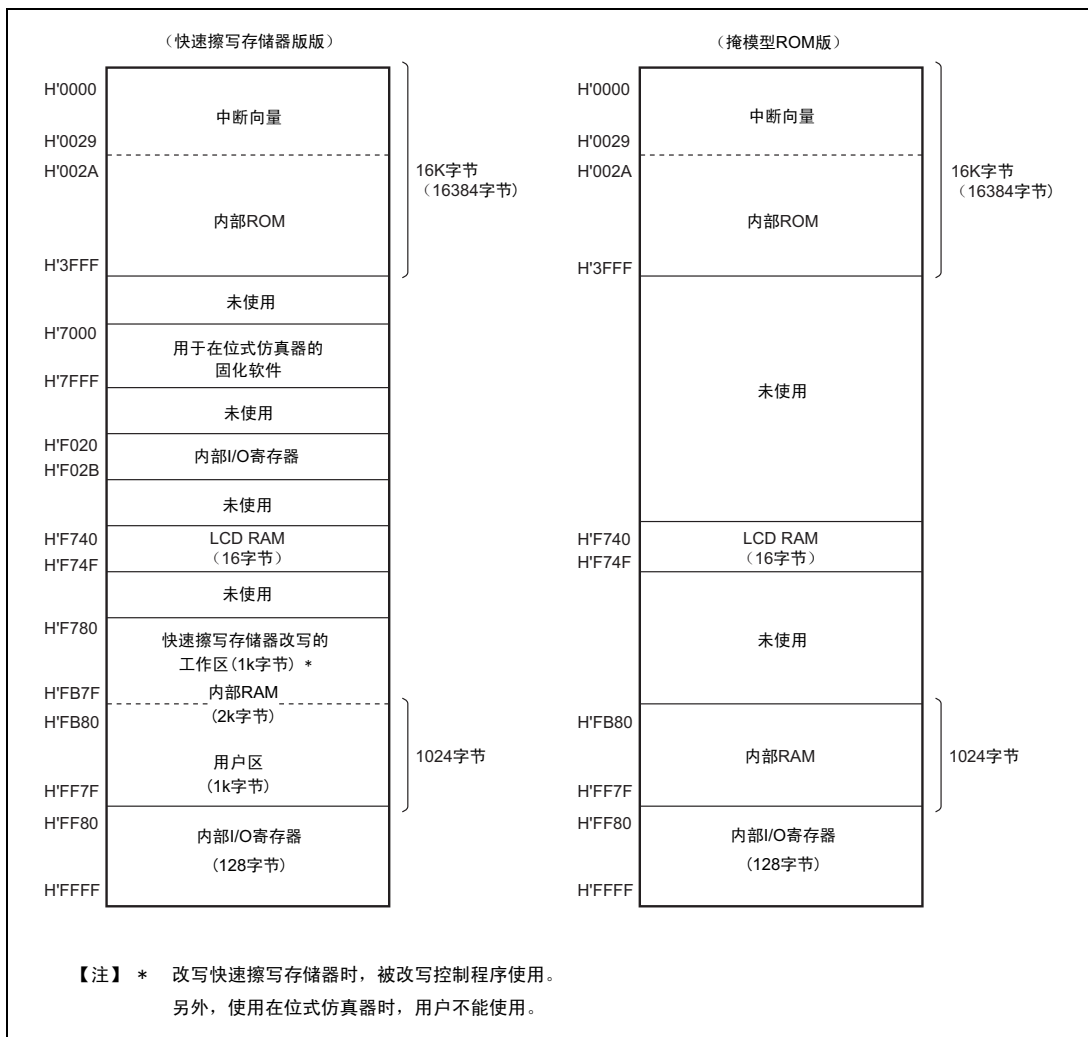


图 2.16 (3) H8/38022、H8/38122 和 H8/38022S 的存储器映像

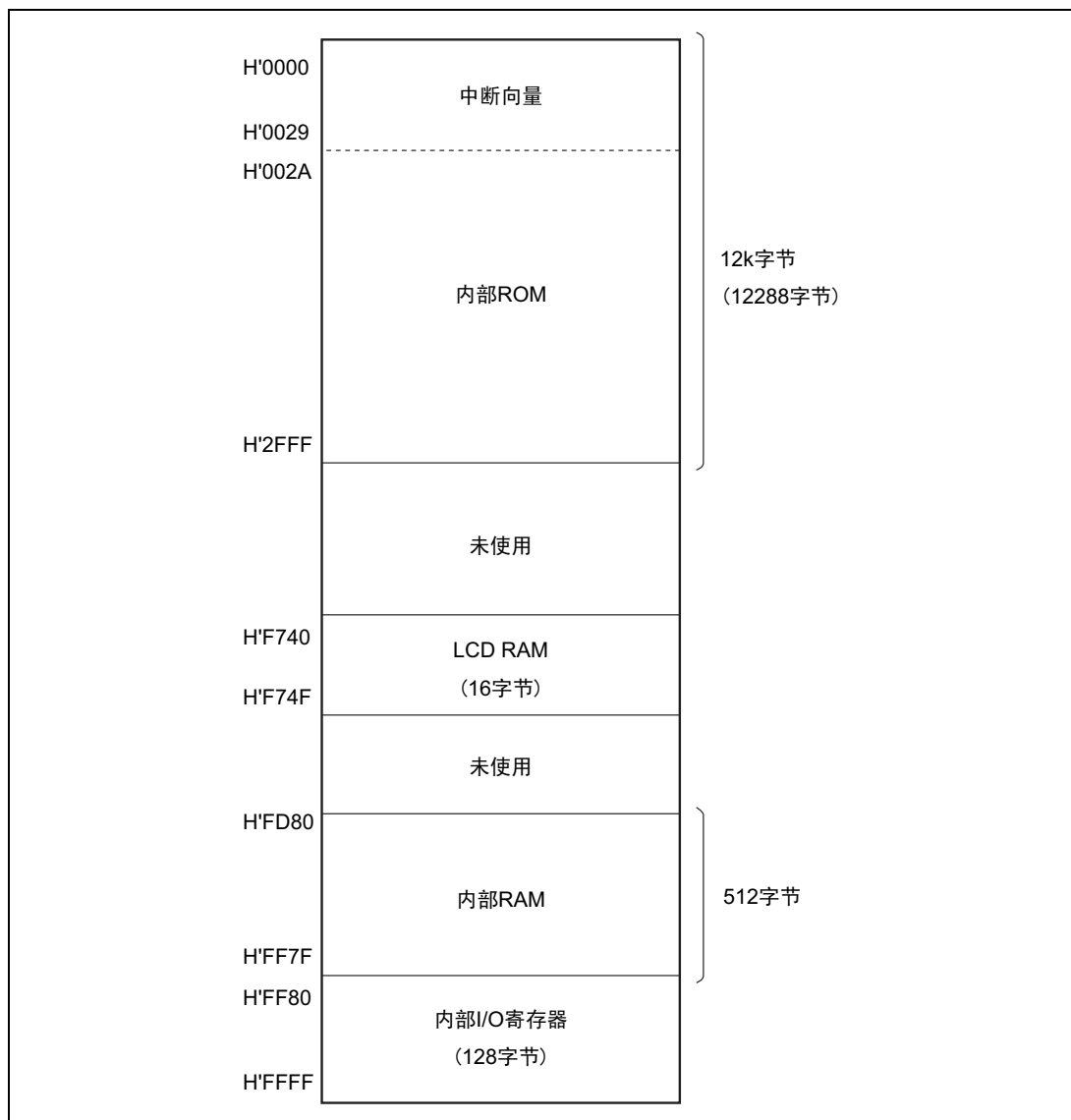


图 2.16 (4) H8/38021、H8/38121 和 H8/38021S 的存储器映像

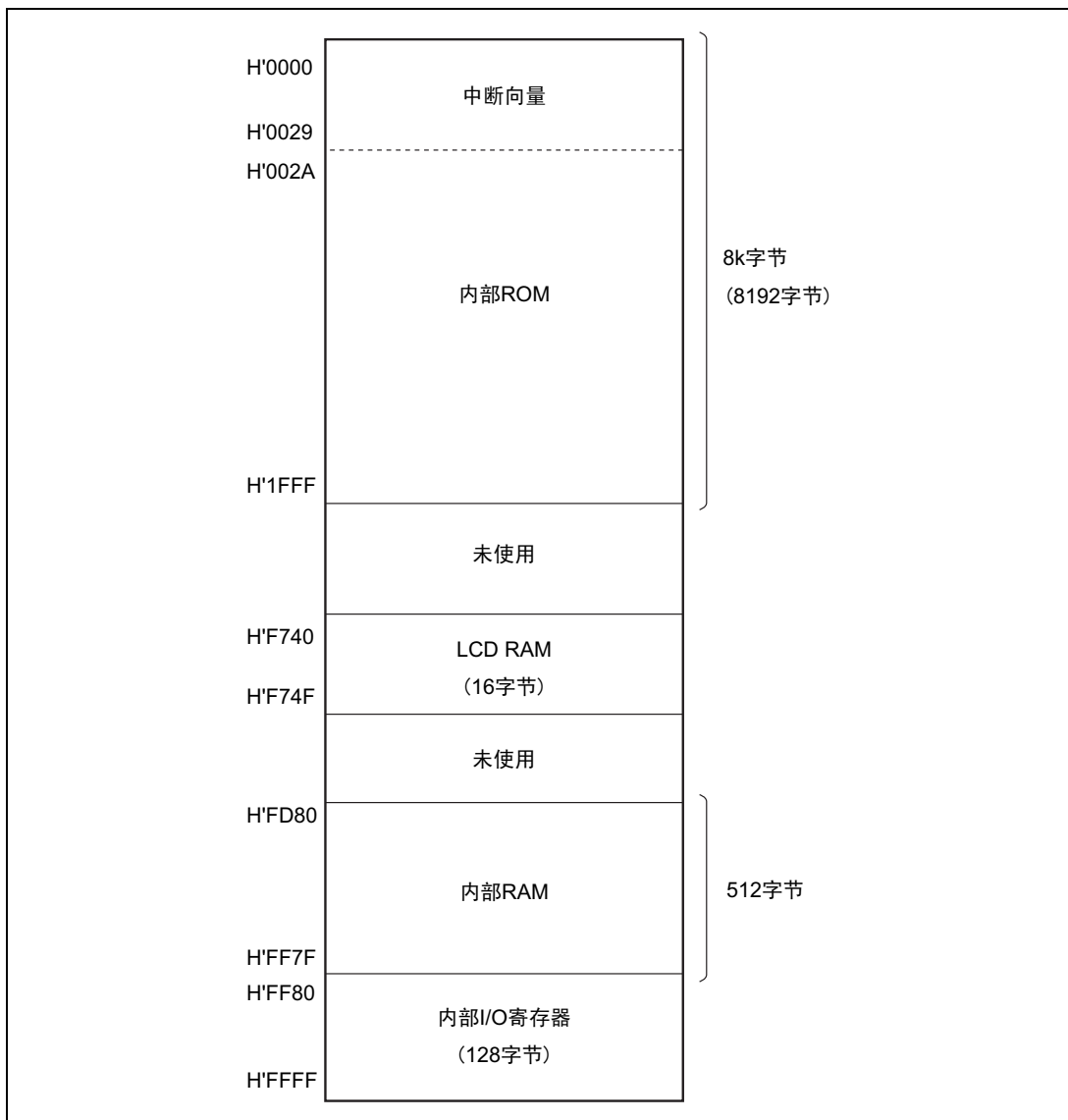


图 2.16 (5) H8/38020、H8/38120 和 H8/38020S 的存储器映像

2.9 使用时的注意事项

2.9.1 有关数据存取的注意事项

(1) 对空区域的存取

H8/300L CPU 的地址空间有开放给用户的 ROM、RAM 和寄存器以外的空区域。如果通过程序对此空区域进行错误存取，就将进行以下的运行：

从 CPU 向空区域传送数据

传送数据被丢失，并且有可能导致 CPU 误动作。

从空区域向 CPU 传送数据

传送数据不被保证。

(2) 对内部 I/O 寄存器的存取

除了内部 ROM 和 RAM 区以外的内部外围模块以 8 位长传送内部数据。如果对此区域进行字存取，就将进行以下的运行：

从 CPU 向 I/O 寄存器区进行字存取

高位字节：被写入 I/O 寄存器。

低位字节：传送数据被丢失。

从内部 I/O 寄存器向 CPU 进行字存取

高位字节：被写入 CPU 内部寄存器的高位。

低位字节：被写入 CPU 内部寄存器低位的数据不被保证。

因此，在和内部 ROM 与 RAM 区以外的 I/O 寄存器区进行数据传送时，必须使用字节长指令。

可存取的数据长度、状态数以及内部外围模块的对应关系如图 2.17 所示。

		存取		状态数	
		字	字节		
H'0000	中断向量 (42字节)	○	○	2	
H'0029					
H'002A					
	内部ROM	○	○	2	
32k字节					
*1 H'7FFF					
未使用					
H'F020	内部I/O寄存器*3	×	○	2	
H'F02B		未使用	-	-	-
H'F740	LCD RAM (16字节)	○	○	2	
H'F74F		未使用	-	-	-
H'F780	(快速擦写存储器改写用 工作区1k字节)*3	○	○	2	
H'FB7F		内部RAM	○	○	2
*2 H'FB80					
	用户区	○	○	2	
1024字节					
H'FF7F					
H'FF80					
	内部I/O寄存器 (128字节)	×	○	2	
H'FF98~H'FF9F		×	○	3	
H'FFA8~H'FFAF		×	○	2	
H'FFFF		×	○	2	

【注】 该例是H8/38024的例子

*1 H8/38024、H8/38124和H8/38024S为32k字节、地址为H'7FFF，H8/38023、H8/38123和H8/38023S为24k字节、地址为H'5FFF，H8/38022、H8/38122和H8/38022S为16k字节、地址为H'3FFF，H8/38021、H8/38121和H8/38021S为12k字节、地址为H'2FFF，H8/38020、H8/38120和H8/38020S为8k字节、地址为H'1FFF。

*2 H8/38021、H8/38121、H8/38021S、H8/38020、H8/38120以及H8/38020S为512字节、地址为H'FD80。

*3 仅HD64F38024、HD64F38024R、HD64F38124和HD64F38122具有H'F020~H'F02B的内部I/O寄存器和H'F780~H'FB7F的内部RAM。对HD64F38024、HD64F38024R、HD64F38124和HD64F38122除外的本区域的存取为对空区域的存取。

图 2.17 可存取的数据长度、状态数以及内部外围模块的对应关系

2.9.2 位操作指令使用时的注意事项

BSET、BCLR、BNOT、BST 以及 BIST 的各指令以字节单位读数据，并在位操作后再次以字节单位写数据。

因此，在对给同一地址分配 2 个寄存器、含有只写位的寄存器以及对端口使用这些指令的情况下，必须要注意。

运行顺序		运行内容
1	读	读指定地址的数据（字节单位）。
2	位操作	操作读到的数据中被指定的某 1 位。
3	写	将操作后的数据（字节单位）写给指定地址。

(1) 被分配成同一地址的 2 个寄存器的位操作

- 例1：定时器装入寄存器和定时器计数器的位操作

具有被分配成同一地址的 2 个寄存器的定时器的结构例子如图 2.18 所示。

在对再装入定时器的装入寄存器和定时器计数器执行位操作指令的情况下，由于定时器装入寄存器和定时器计数器共有地址，因此将进行以下的运行：

运行顺序		运行内容
1	读	读定时器计数器的数据（字节单位）。
2	位操作	CPU 操作（置位或者复位）用指令指定的 1 位。
3	写	将操作后的数据（字节单位）写入定时器装入寄存器。

由于定时器计数器在连续计数，因此读出的值和定时器装入寄存器的值不一定相等。除了成为结果操作对象以外的位，定时器计数器的值将被写入定时器装入寄存器。

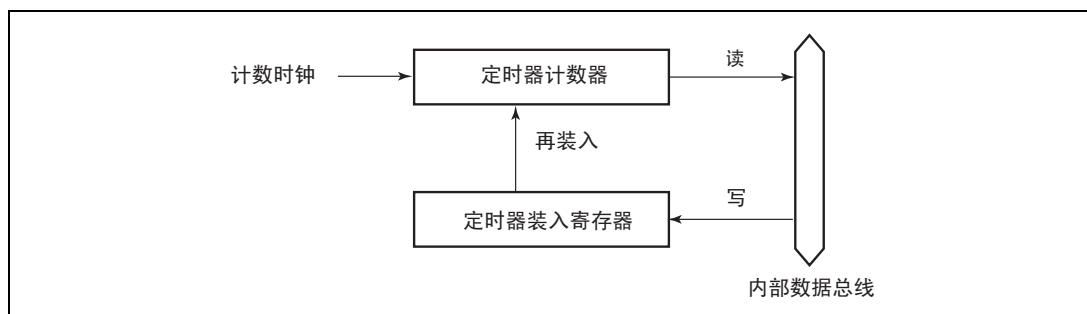


图 2.18 定时器结构例子

- 例2: 对端口3执行BSET指令的情况

将 P37、P36 设定为输入管脚，分别输入低电平和高电平；将 P35~P31 设定为输出管脚，使它们分别处于低电平输出状态。

用 BSET 指令对 P30 进行高电平输出的例子如下所示：

【A: 执行 BSET 指令前】

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B: 执行 BSET 指令】

`BSET #0, @PDR3` 对端口 3 执行 BSET 指令。

【C: 执行 BSET 指令后】

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	0	1

【D: BSET 指令的运行说明】

如果执行 BSET 指令，CPU 就先读端口 3。

由于 P37、P36 是输入管脚，CPU 将读管脚的状态（低电平和高电平输入）。由于 P35~P30 是输出管脚，CPU 将读 PDR3 的值。因此，在此例中，虽然 PDR3 是 H'80，但是 CPU 读到的数据却是 H'40。

然后，CPU 将读到的数据的位 0 置 1，数据变为 H'41。

最后，将此值（H'41）写到 PDR3，BSET 指令结束。

其结果，PDR3 的位 0 为 1，P30 成为高电平输出。但是，PDR3 的位 7 和位 6 发生了变化。

因此，必须将和 PDR3 相同的数据存入存储器的工作区，对工作区的数据进行位操作后，再将此数据写入 PDR3。

【A: 执行 BSET 指令前】

```
MOV.B #80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR3
```

将要写入 PDR3 的值 (H'80) 预先写到存储器的工作区 (RAM0) 和 PDR3。

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B: 执行 BSET 指令】

```
BSET #0, @RAM0
```

对 PDR3 的工作区 (RAM0) 执行 BSET 指令。

【C: 执行 BSET 指令后】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR3
```

将工作区 (RAM0) 的值写到 PDR3。

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) 含有只写位的寄存器的位操作

- 例3: 对端口3的PCR3执行BCLR指令的情况

将 P37、P36 设定为输入管脚，分别输入低电平和高电平；将 P35~P30 设定为输出管脚，使它们分别处于低电平输出状态。

在这里，用 BCLR 指令将 P30 设定成输入端口的例子如下所示。设定为输入管脚的 P30 为高电平输入状态：

【A: 执行 BCLR 指令前】

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B: 执行 BCLR 指令】

BCLR #0, @PCR3 对 PCR3 执行 BCLR 指令。

【C: 执行 BCLR 指令后】

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输出	输出	输出	输出	输出	输出	输出	输入
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D: BCLR 指令的运行说明】

如果执行 BCLR 指令，CPU 就先读 PCR3。由于 PCR3 是只写寄存器，CPU 将读到 H'FF。因此，在此例中，虽然 PCR3 是 H'3F，但是 CPU 读到的数据却是 H'FF。

然后，CPU 将读到的数据的位 0 清 0，数据将变为 H'FE。

最后，将此值（H'FE）写到 PCR3，BCLR 指令结束。

其结果，PCR3 的位 0 为 0，P30 变成输入端口。但是，PCR3 的位 7、位 6 为 1，原来的输入端口 P37 和 P36 变为输出端口。

因此，必须将与 PCR3 相同的数据存入存储器的工作区，对工作区的数据进行位操作后，再将此数据写到 PCR3。

【A: 执行 BCLR 指令前】

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR3
```

将要写入 PCR3 的值(H'3F)预先写到存储器的工作区(RAM0)和PCR3。

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输入
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B: 执行 BCLR 指令】

```
BCLR #0, @RAM0
```

对 PCR3 的工作区 (RAM0) 执行 BCLR 指令。

【C: 执行 BCLR 指令后】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PCR3
```

将工作区 (RAM0) 的值写到 PCR3。

	P37	P36	P35	P34	P33	P32	P31	P30
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

被分配在同一个地址的 2 个寄存器的一览表如表 2.12 所示，含有只写位的寄存器的一览表如表 2.13 所示。

表 2.12 被分配在同一个地址的 2 个寄存器的一览表

寄存器名	略称	地址
定时器计数器 C/定时器装入寄存器 C	TCC/TLC	H'FFB5
端口数据寄存器 1*	PDR1	H'FFD4
端口数据寄存器 3*	PDR3	H'FFD6
端口数据寄存器 4*	PDR4	H'FFD7
端口数据寄存器 5*	PDR5	H'FFD8
端口数据寄存器 6*	PDR6	H'FFD9
端口数据寄存器 7*	PDR7	H'FFDA
端口数据寄存器 8*	PDR8	H'FFDB
端口数据寄存器 A*	PDRA	H'FFDD

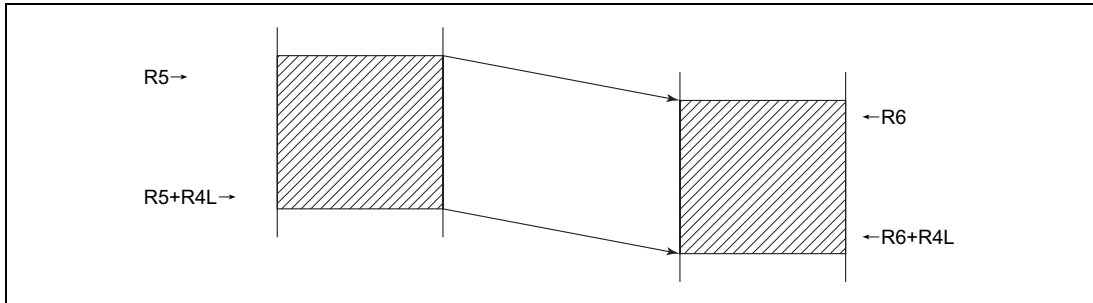
【注】 * 端口数据寄存器和管脚输入兼用。

表 2.13 含有只写位的寄存器一览表

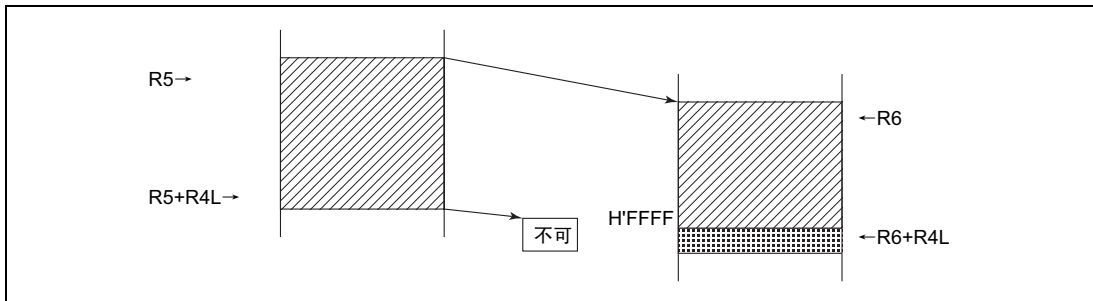
寄存器名	略称	地址
端口控制寄存器 1	PCR1	H'FFE4
端口控制寄存器 3	PCR3	H'FFE6
端口控制寄存器 4	PCR4	H'FFE7
端口控制寄存器 5	PCR5	H'FFE8
端口控制寄存器 6	PCR6	H'FFE9
端口控制寄存器 7	PCR7	H'FFEA
端口控制寄存器 8	PCR8	H'FFEB
端口控制寄存器 A	PCRA	H'FFED
定时器控制寄存器 F	TCRF	H'FFB6
PWM1 控制寄存器	PWCR1	H'FFD0
PWM1 数据寄存器 U	PWDRU1	H'FFD1
PWM1 数据寄存器 L	PWDR1	H'FFD2
PWM2 控制寄存器	PWCR2	H'FFCD
PWM2 数据寄存器 U	PWDRU2	H'FFCE
PWM2 数据寄存器 L	PWDR2	H'FFCF
事件计数器 PWM 数据寄存器 H	ECPWDRH	H'FF8E
事件计数器 PWM 数据寄存器 L	ECPWDR1	H'FF8F

2.9.3 EEPMOV 指令使用时的注意事项

1. EEPMOV指令为数据块传送指令，从R5表示的地址开始，将R4L表示的字节数的数据传送到R6表示的地址。



2. 设定R4L和R6时，不要使传送目标的最后地址（R6+R4L的值）超过H'FFFF（执行中R6的值不要成为H'FFFF→H'0000）。



第 3 章 异常处理

3.1 概要

本 LSI 的异常处理有复位异常处理和中断异常处理。异常处理的种类和优先级如表 3.1 所示。

表 3.1 异常处理的种类和优先级

优先级	异常处理源	异常处理时序
高 ↑ 低	复位	如果复位被解除, 就开始异常处理。
	中断	如果发生中断请求, 就在结束执行指令时或者结束异常处理时, 开始异常处理。

3.2 复位

3.2.1 概要

复位是最高优先级的异常处理。

通过复位, 初始化 CPU 的内部状态和内部外围模块的各寄存器。

3.2.2 复位顺序

当 $\overline{\text{RES}}$ 管脚变为低电平时, 就停止全部执行中的处理, 本 LSI 变为复位状态。

为保证本 LSI 变为复位状态, 在加入电源时, 必须使 $\overline{\text{RES}}$ 管脚在时钟振荡器的振荡稳定时间内保持低电平。另外, 如果在运行中复位, 必须至少保持 10 个系统时钟的低电平。

复位异常处理的运行如下:

1. 进行 CPU 的内部状态和内部外围模块的各寄存器的初始化, 并置位条件码寄存器 (CCR) 的 I 位。
2. 在读取复位异常处理的向量地址 (H'0000~H'0001) 并将其传送给 PC 后, 从 PC 所指示的地址开始执行程序。

在接通电源或者断开电源时, 必须将 $\overline{\text{RES}}$ 管脚置为低电平。

复位顺序如图 3.1 所示。

另外, 内置加电复位的 H8/38124 群的复位顺序, 请参照“14.3.1 加电复位电路”。

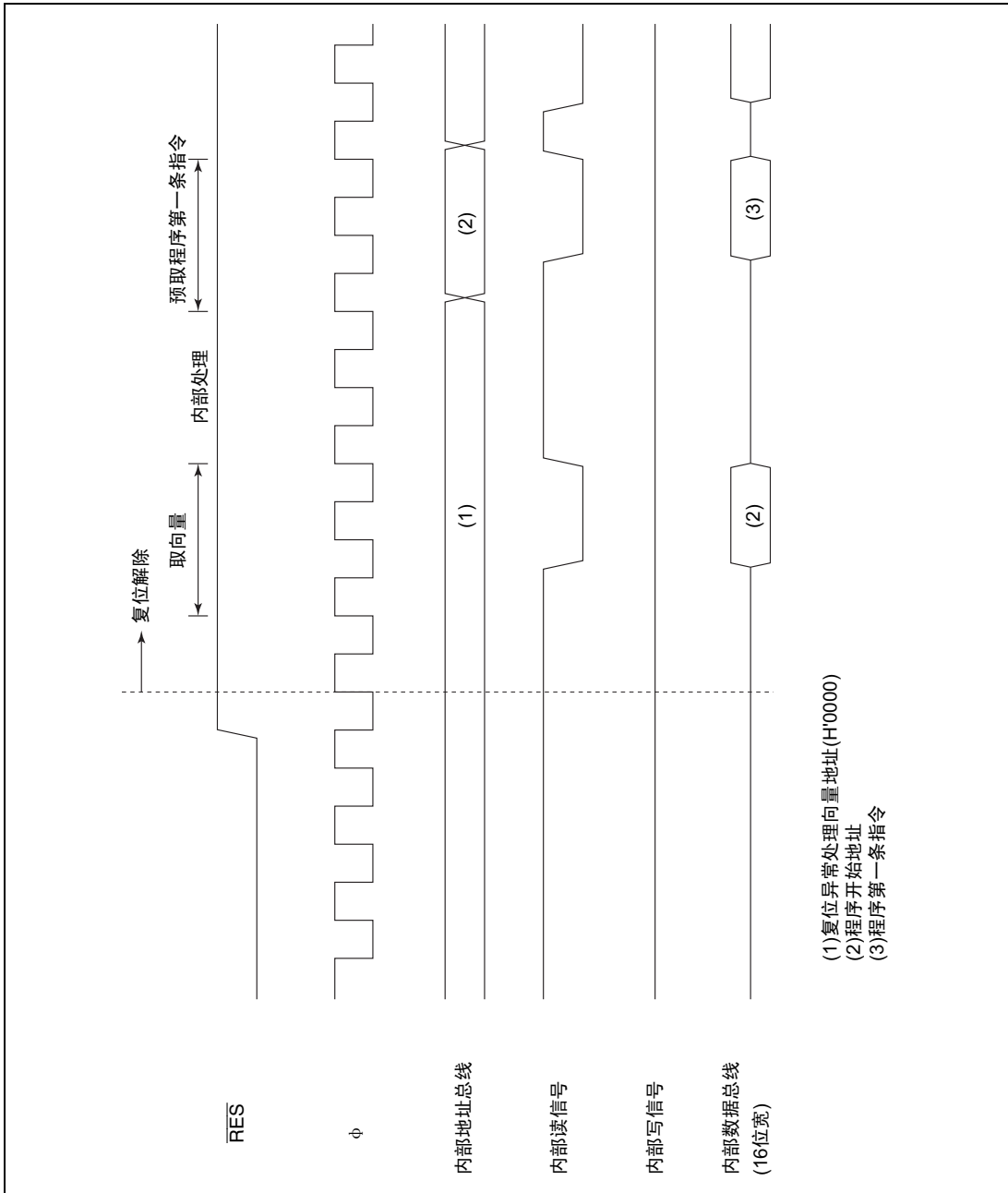


图 3.1 复位顺序

3.2.3 复位后的中断

在复位后，如果在初始化堆栈指针（SP: R7）之前接受中断，PC 和 CCR 的保存就不能正常进行，将导致程序失控。为了防止该情况的发生，在执行复位异常处理后，立即禁止所有中断请求。因为在复位后程序的第一条指令一定被执行，所以，程序的第一条指令必须为初始化 SP 的指令（例：MOV.W #xx:16,SP）。

3.3 中断

3.3.1 概要

开始中断异常处理的中断源有 13 个外部中断源（WKP7~WKP0、IRQ4、IRQ3、IRQ1、IRQ0、IRQAEC）和来自内部模块的 9 个内部中断源。中断源、优先级以及向量地址的一览表如表 3.2 所示。在同时发生多个中断请求时，按优先级顺序从高到低进行处理。

这些中断有以下特点：

1. 内部中断和外部中断被CCR的I位屏蔽。如果CCR的I位被置1，中断请求标志就被置位，但不接受中断。
2. IRQ4、IRQ3、IRQ1、IRQ0、WKP7~WKP0都能设定成上升沿或者下降沿，IRQAEC能设定成上升沿、下降沿或者两边沿。

3.3.2 各寄存器说明

控制中断的寄存器一览表如表 3.3 所示。

表 3.3 中断控制寄存器

名称	略称	R/W	初始值	地址
IRQ 边沿选择寄存器	IEGR	R/W	—	H'FFF2
中断允许寄存器 1	IENR1	R/W	—	H'FFF3
中断允许寄存器 2	IENR2	R/W	—	H'FFF4
中断请求寄存器 1	IRR1	R/W*	—	H'FFF6
中断请求寄存器 2	IRR2	R/W*	—	H'FFF7
唤醒中断请求寄存器	IWPR	R/W*	H'00	H'FFF9
唤醒边沿选择寄存器	WEGR	R/W	H'00	H'FF90

【注】 * 对于标志清除只能写 0。

(1) IRQ 边沿选择寄存器 (IEGR)

位	7	6	5	4	3	2	1	0
	—	—	—	IEG4	IEG3	—	IEG1	IEG0
初始值:	1	1	1	0	0	—	0	0
R/W :	—	—	—	R/W	R/W	W	R/W	R/W

IEGR 为 8 位可读写寄存器，指定 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 管脚的上升沿或者下降沿。有关 IRQAEC 管脚边沿的指定，请参照“9.7 异步事件计数器 (AEC)”。

- 位7~5: 保留位

保留位。各位总是读出 1，写无效。

- 位4: IRQ4边沿选择 (IEG4)

选择 $\overline{\text{IRQ4}}$ 管脚和 $\overline{\text{ADTRG}}$ 管脚的输入边沿。

位 4	说明	
IEG4	说明	
0	检测 $\overline{\text{IRQ4}}$ 和 $\overline{\text{ADTRG}}$ 管脚输入的下降沿	(初始值)
1	检测 $\overline{\text{IRQ4}}$ 和 $\overline{\text{ADTRG}}$ 管脚输入的上升沿	

- 位3: IRQ3边沿选择 (IEG3)

选择 $\overline{\text{IRQ3}}$ 管脚和 $\overline{\text{TMIF}}$ 管脚的输入边沿。

位 3	说明	
IEG3	说明	
0	检测 $\overline{\text{IRQ3}}$ 和 $\overline{\text{TMIF}}$ 管脚输入的下降沿	(初始值)
1	检测 $\overline{\text{IRQ3}}$ 和 $\overline{\text{TMIF}}$ 管脚输入的上升沿	

- 位2: 保留位

保留位。只能写 0。

- 位1: IRQ1边沿选择 (IEG1)

选择 $\overline{\text{IRQ1}}$ 管脚和 TMIC 管脚的输入边沿。

位 1	说明
IEG1	
0	检测 $\overline{\text{IRQ1}}$ 和 TMIC 管脚输入的下降沿 (初始值)
1	检测 $\overline{\text{IRQ1}}$ 和 TMIC 管脚输入的上升沿

- 位0: IRQ0边沿选择 (IEG0)

选择 $\overline{\text{IRQ0}}$ 管脚的输入边沿。

位 0	说明
IEG0	
0	检测 $\overline{\text{IRQ0}}$ 管脚输入的下降沿 (初始值)
1	检测 $\overline{\text{IRQ0}}$ 管脚输入的上升沿

(2) 中断允许寄存器 1 (IENR1)

位	7	6	5	4	3	2	1	0
	IENTA	—	IENWP	IEN4	IEN3	IENEC2	IEN1	IEN0
初始值:	0	—	0	0	0	0	0	0
R/W :	R/W	W	R/W	R/W	R/W	R/W	R/W	R/W

IENR1 为 8 位可读写寄存器，控制中断请求的允许和禁止。

- 位7: 定时器A中断允许 (IENTA)

控制定时器 A 溢出中断请求的允许和禁止。

位 7	说明
IENTA	
0	禁止定时器 A 的中断请求 (初始值)
1	允许定时器 A 的中断请求

- 位6: 保留位

保留位。只能写 0。

- 位5: 唤醒中断允许 (IENWP)

控制 WKP7~WKP0 中断请求的允许和禁止。

位 5	说明
IENWP	
0	禁止 WKP7~WKP0 管脚的中断请求 (初始值)
1	允许 WKP7~WKP0 管脚的中断请求

- 位4、3: IRQ4、IRQ3中断允许 (IEN4、IEN3)

控制 IRQ4 和 IRQ3 中断请求的允许和禁止。

位 n	说明
IENn	
0	禁止 $\overline{\text{IRQn}}$ 管脚的中断请求 (初始值)
1	允许 $\overline{\text{IRQn}}$ 管脚的中断请求

(n=4、3)

- 位2: IRQAEC中断允许 (IENEC2)

控制 IRQAEC 中断请求的允许和禁止。

位 n	说明
IENEC2	
0	禁止 IRQAEC 管脚的中断请求 (初始值)
1	允许 IRQAEC 管脚的中断请求

- 位1、0: IRQ1、IRQ0中断允许 (IEN1、IEN0)

控制 IRQ1 和 IRQ0 中断请求的允许和禁止。

位 n	说明
IENn	
0	禁止 $\overline{\text{IRQn}}$ 管脚的中断请求 (初始值)
1	允许 $\overline{\text{IRQn}}$ 管脚的中断请求

(n=1、0)

(3) 中断允许寄存器 2 (IENR2)

位	7	6	5	4	3	2	1	0
	IENDT	IENAD	—	IENTG	IENTFH	IENFL	IENTC	IENEC
初始值:	0	0	—	0	0	0	0	0
R/W :	R/W	R/W	W	R/W	R/W	R/W	R/W	R/W

IENR2 为 8 位可读写寄存器，控制中断请求的允许和禁止。

• 位7: 直接转移中断允许 (IENDT)

控制直接转移中断请求的允许和禁止。

位 7	说明	
IENDT		
0		禁止通过直接转移产生的中断请求 (初始值)
1		允许通过直接转移产生的中断请求

• 位6: A/D转换器中断允许 (IENAD)

控制 A/D 转换结束中断请求的允许和禁止。

位 6	说明	
IENAD		
0		禁止 A/D 转换器的中断请求 (初始值)
1		允许 A/D 转换器的中断请求

• 位5: 保留位

保留位。只能写 0。

• 位4: 定时器G中断允许 (IENTG)

控制定时器 G 输入捕捉或者溢出中断请求的允许和禁止。

位 4	说明	
IENTG		
0		禁止定时器 G 的中断请求 (初始值)
1		允许定时器 G 的中断请求

• 位3: 定时器FH中断允许 (IENTFH)

控制定时器 FH 比较匹配或者溢出中断请求的允许和禁止。

位 3	说明	
IENTFH		
0		禁止定时器 FH 的中断请求 (初始值)
1		允许定时器 FH 的中断请求

• 位2: 定时器FL中断允许 (IENTFL)

控制定时器 FL 比较匹配或者溢出中断请求的允许和禁止。

位 2	说明
IENTFL	
0	禁止定时器 FL 的中断请求 (初值)
1	允许定时器 FL 的中断请求

• 位1: 定时器C中断允许 (IENTC)

控制定时器 C 溢出或者下溢中断请求的允许和禁止。

位 1	说明
IENTC	
0	禁止定时器 C 的中断请求 (初值)
1	允许定时器 C 的中断请求

• 位0: 异步事件计数器中断允许 (IENEC)

控制异步事件计数器的允许和禁止。

位 0	说明
IENEC	
0	禁止异步事件计数器的中断请求 (初值)
1	允许异步事件计数器的中断请求

另外, 关于 SCI3 的中断控制, 请参照“10.2.6 串行控制寄存器 3(SCR3)”。

(4) 中断请求寄存器 1 (IRR1)

位	7	6	5	4	3	2	1	0
	IRRTA	—	—	IRRI4	IRRI3	IRREC2	IRRI1	IRRI0
初始值:	0	—	1	0	0	0	0	0
R/W	R(W)*	W	—	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*

【注】* 对于标志清除, 只能写0。

IRR1 为 8 位可读写寄存器, 如果定时器 A、IRQ4、IRQ3、IRQAEC、IRQ1、IRQ0 发生中断请求, 对应的标志就被置 1。即使中断被接受, 各标志也不自动清除。在清除各标志时, 必须写 0 清除。

- 位7: 定时器A中断请求标志 (IRRTA)

位 7	说明	
IRRTA		
0	(清除条件) 在 IRRTA=1 的状态给 IRRTA 写 0 时	(初始值)
1	(置位条件) 定时器 A 的计数器值溢出时	

- 位6: 保留位

保留位。只能写 0。

- 位5: 保留位

保留位。该位总是读出 1，写无效。

- 位4、3: IRQ4、IRQ3中断请求标志 (IRRI4、IRRI3)

位 n	说明	
IRRI _n		
0	(清除条件) 在 IRRI _n =1 的状态给 IRRI _n 写 0 时	(初始值)
1	(置位条件) 将 $\overline{\text{IRQ}}_n$ 管脚设定为中断输入，并且给该管脚输入指定的边沿时	

(n=4、3)

- 位2: IRQAEC中断请求标志 (IRREC2)

位 2	说明	
IRREC2		
0	(清除条件) 在 IRREC2=1 的状态给 IRREC2 写 0 时	(初始值)
1	(置位条件) 将 IRQAEC 管脚设定为中断输入，并且给该管脚输入指定的边沿时	

- 位1、0: IRQ1、IRQ0中断请求标志 (IRRI1、IRRI0)

位 n	说明	
IRRI _n		
0	(清除条件) 在 IRRI _n =1 的状态给 IRRI _n 写 0 时	(初始值)
1	(置位条件) 将 $\overline{\text{IRQ}}_n$ 管脚设定为中断输入，并且给该管脚输入指定的边沿时	

(n=1、0)

(5) 中断请求寄存器 2 (IRR2)

位	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	—	IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC
初始值:	0	0	—	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* 对于标志清除，只能写0。

IRR2 为 8 位可读写寄存器，如果直接转移、A/D 转换器、定时器 G、定时器 FH、定时器 FL、定时器 C、异步事件计数器发生中断请求，对应的标志就被置 1。即使中断被接受，各标志也不自动清除。在清除各标志时，必须写 0 清除。

• 位7: 直接转移中断请求标志 (IRRDT)

位 7	说明
IRRDT	
0	(清除条件) 在 IRRDT=1 的状态给 IRRDT 写 0 时 (初始值)
1	(置位条件) 在给 DTON 置 1 的状态下，执行睡眠指令并直接转移时

• 位6: A/D转换器中断请求标志 (IRRAD)

位 6	说明
IRRAD	
0	(清除条件) 在 IRRAD=1 的状态给 IRRAD 写 0 时 (初始值)
1	(置位条件) A/D 转换器转换结束，并且 ADSF 复位时

• 位5: 保留位

保留位。只能写 0。

• 位4: 定时器G中断请求标志 (IRRTG)

位 4	说明
IRRTG	
0	(清除条件) 在 IRRTG=1 的状态给 IRRTG 写 0 时 (初始值)
1	(置位条件) TMIG 管脚被设定成 TMIG 输入，并且给该管脚输入指定的边沿时，或者在 TMG 的 OVIE 为 1 的状态下，TCG 发生溢出时。

- 位3: 定时器FH中断请求标志 (IRRTFH)

位 3	说明	
IRRTFH		
0	(清除条件) 在 IRRTFH=1 的状态给 IRRTFH 写 0 时	(初始值)
1	(置位条件) 在 8 位定时器模式 TCFH 和 OCRFH 一致时, 或者在 16 位定时器模式 TCF (TCFL、TCFH) 和 OCRF (OCRFL、OCRFH) 一致时	

- 位2: 定时器FL中断请求标志 (IRRTFL)

位 2	说明	
IRRTFL		
0	(清除条件) 在 IRRTFL=1 的状态给 IRRTFL 写 0 时	(初始值)
1	(置位条件) 在 8 位定时器模式 TCFL 和 OCRFL 一致时	

- 位1: 定时器C中断请求标志 (IRRTC)

位 1	说明	
IRRTC		
0	(清除条件) 在 IRRTC=1 的状态给 IRRTC 写 0 时	(初始值)
1	(置位条件) 在定时器 C 的计数器值溢出或者下溢时	

- 位0: 异步事件计数器中断请求标志 (IRREC)

位 0	说明	
IRREC		
0	(清除条件) 在 IRREC=1 的状态给 IRREC 写 0 时	(初始值)
1	(置位条件) 在 16 位计数器模式 ECH 溢出时, 或者在 8 位计数器模式 ECH 或者 ECL 溢出时	

(6) 唤醒中断请求寄存器 (IWPR)

位	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W*	R/(W)*

【注】* 为了标志清除，只能写0。

IWPR 为 8 位可读写寄存器，在将 $\overline{\text{WKP7}}\sim\overline{\text{WKP0}}$ 管脚设定为唤醒输入，并且给该管脚输入上升沿或者下降沿时，对应的标志被置 1。即使中断被接受，各标志也不自动清除。在清除各标志时，必须写 0 清除。

- 位7~0: 唤醒中断请求标志 (IWPF7~IWPF0)

位 n	说明	
IWPFn		
0	(清除条件) 在 IWPFn=1 的状态给 IWPFn 写 0 时	(初始值)
1	(置位条件) 在将 $\overline{\text{WKPn}}$ 管脚设定为唤醒输入，并且向该管脚输入上升沿或者下降沿时	

(n=7~0)

(7) 唤醒边沿选择寄存器 (WEGR)

位	7	6	5	4	3	2	1	0
	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WEGR 为 8 位可读写寄存器，指定 $\overline{\text{WKPn}}$ 管脚的上升沿和下降沿。

在复位时，WEGR 被初始化成 H'00。

- 位n: $\overline{\text{WKPn}}$ 边沿选择

选择 $\overline{\text{WKPn}}$ 管脚的输入边沿。

位 n	说明	
WKEGSn		
0	检测 $\overline{\text{WKPn}}$ 管脚的下降沿	(初始值)
1	检测 $\overline{\text{WKPn}}$ 管脚的上升沿	

(n=7~0)

3.3.3 外部中断

外部中断有 WKP7~WKP0 中断和 IRQ4、IRQ3、IRQAEC、IRQ1、IRQ0 中断共 13 个中断源。

(1) WKP7~WKP0 中断

WKP7~WKP0 中断请求是通过输入 $\overline{\text{WKP7}}\sim\overline{\text{WKP0}}$ 管脚的上升沿或者下降沿来实现。

在通过 PMR5 将管脚功能选择成 $\overline{\text{WKP7}}\sim\overline{\text{WKP0}}$ 管脚的状态下，如果输入上升沿或者下降沿，IWPR 的对应位就被置 1，并且发生中断请求。

通过将 IENR1 的 IENWP 清 0，能禁止接受唤醒中断请求。另外，通过将 CCR 的 I 位置 1，能屏蔽所有中断。

如果 WKP7~WKP0 中断的中断异常处理被接受，CCR 的 I 位就被置 1。WKP7~WKP0 中断异常处理的向量序号为 9。由于 8 个中断源被分配在同一个向量序号中，因此必须用异常处理程序来判别中断源。

(2) IRQ4、IRQ3、IRQ1、IRQ0 中断

IRQ4、IRQ3、IRQ1、IRQ0 中断请求通过 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 管脚的输入信号来实现。

IRQ4、IRQ3、IRQ1、IRQ0 中断能通过 IEGR 的 IEG4、IEG3、IEG1、IEG0 来指定上升沿或者下降沿。

在通过 PMRB、PMR2 以及 PMR1 将管脚功能分别选择成 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 管脚的状态下，如果输入指定的边沿，IRR1 的对应位就被置 1，并且发生中断请求。

通过将 IENR1 的 IEN4、IEN3、IEN1、IEN0 清 0，能禁止接受中断请求。另外，能通过将 CCR 的 I 位置 1，屏蔽所有中断。

如果 IRQ4、IRQ3、IRQ1、IRQ0 中断的中断异常处理被接受，CCR 的 I 位就被置 1。

IRQ4、IRQ3、IRQ1、IRQ0 中断异常处理的向量序号为 8、7、5 和 4。优先顺序按照 IRQ4（低）→IRQ3→IRQ1→IRQ0（高）的顺序升高。详细内容请参照表 3.2。

(3) IRQAEC 中断

IRQAEC 中断输入是通过 IRQAEC 管脚的输入信号和 IECPWM（AEC 用 PWM 的输出）来实现。将 IRQAEC 管脚输入作为外部中断使用时，必须将 AEGSR 的 ECPWME 设定成 0。

IRQAEC 中断能通过 AEGSR 的 AIEGS1 和 AIEGS0 指定上升沿、下降沿或者两边沿。

如果 IENR1 的 IENEC2 为 1 并且被输入指定的边沿，IRR1 的对应位就被置 1，并且发生中断请求。

如果 IRQAEC 中断的中断异常处理被接受，CCR 的 I 位就被置 1。IRQAEC 中断异常处理的向量序号为 6。

详细内容请参照表 3.2。

3.3.4 内部中断

来自内部外围模块的中断产生的内部中断源有9个。

如果发生来自内部外围模块的中断请求，IRR2、IRR1的对应位就被置1。通过将IENR2、IENR1的各位清0，能禁止接受各中断请求。另外，通过CCR的I位置1，能屏蔽所有中断。

如果这些中断异常处理被接受，CCR的I位就被置1。向量序号为20~18、16~11。关于来自内部外围模块产生的中断的优先顺序，请参照表3.2。

3.3.5 中断运行

中断是通过中断控制器来控制。中断控制器的框图如图3.2，到接受中断为止的流程如图3.3所示。

中断运行如下：

1. 在中断允许寄存器的对应位被置1的状态下发生中断源时，中断请求信号被传送到中断控制器。
2. 如果中断请求信号被传送到中断控制器，中断请求标志就被置位。
3. 在中断允许标志被置1的中断中，按优先顺序，选择最高优先级的中断请求，其它中断保留（参照表3.2）。
4. 参照CCR的I位，如果I位被清0，就接受中断请求，如果I位被置1，就保留中断请求。
5. 如果中断请求被接受，在结束当时执行中的指令后，就将PC和CCR保存到堆栈区。此时的堆栈状态如图3.4所示。被保存的PC指示返回后将执行的第一条指令的地址。
6. 将CCR的I位置1。以此来屏蔽所有中断。
7. 生成对应接受中断的向量地址，从该地址的内容所指示的地址，开始执行中断处理程序。

中断顺序如图3.5所示。

- 【注】**
1. 本LSI在通过清除中断允许寄存器禁止中断时或者在清除中断请求寄存器时，必须在屏蔽中断的状态（I=1）下进行。
 2. 如果在I=0的状态下进行上述操作，当该操作指令的执行和该中断的发生出现竞争时，对应结束执行该操作指令时发生的中断，执行该中断的异常处理。

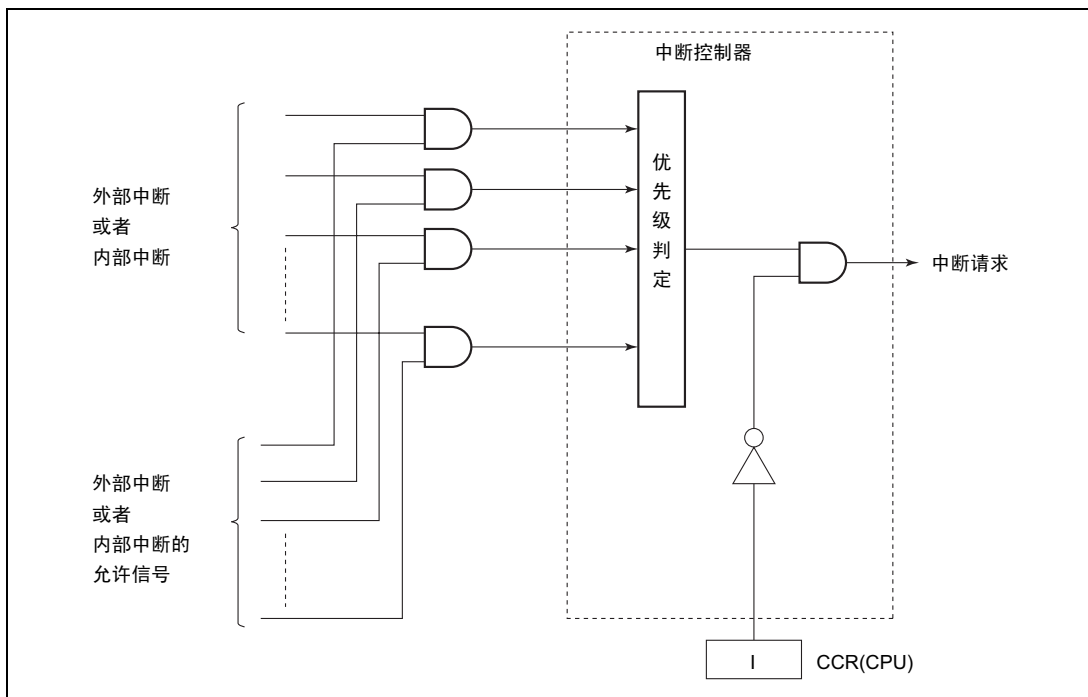


图 3.2 中断控制器的框图

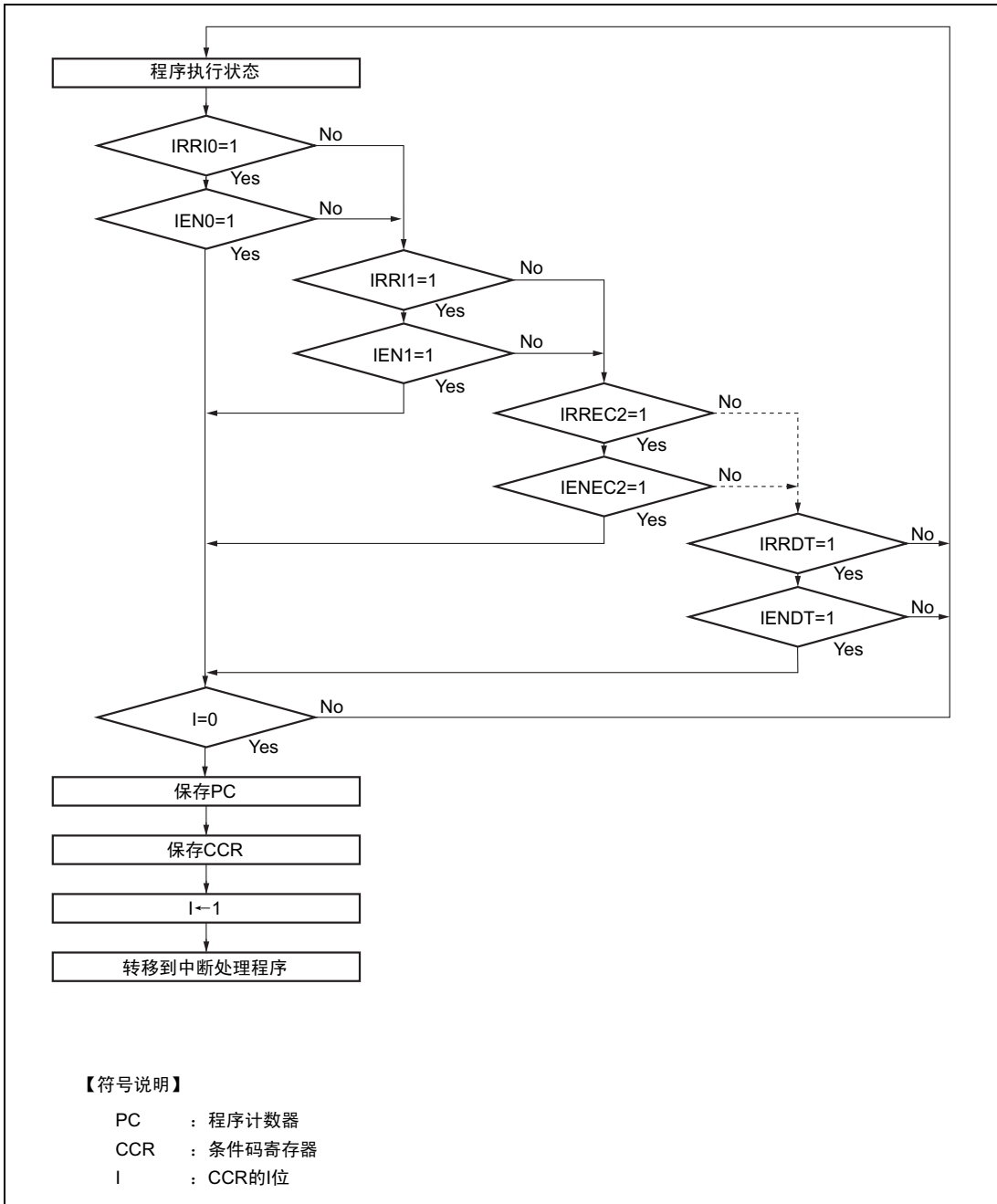


图 3.3 到接受中断为止的流程图

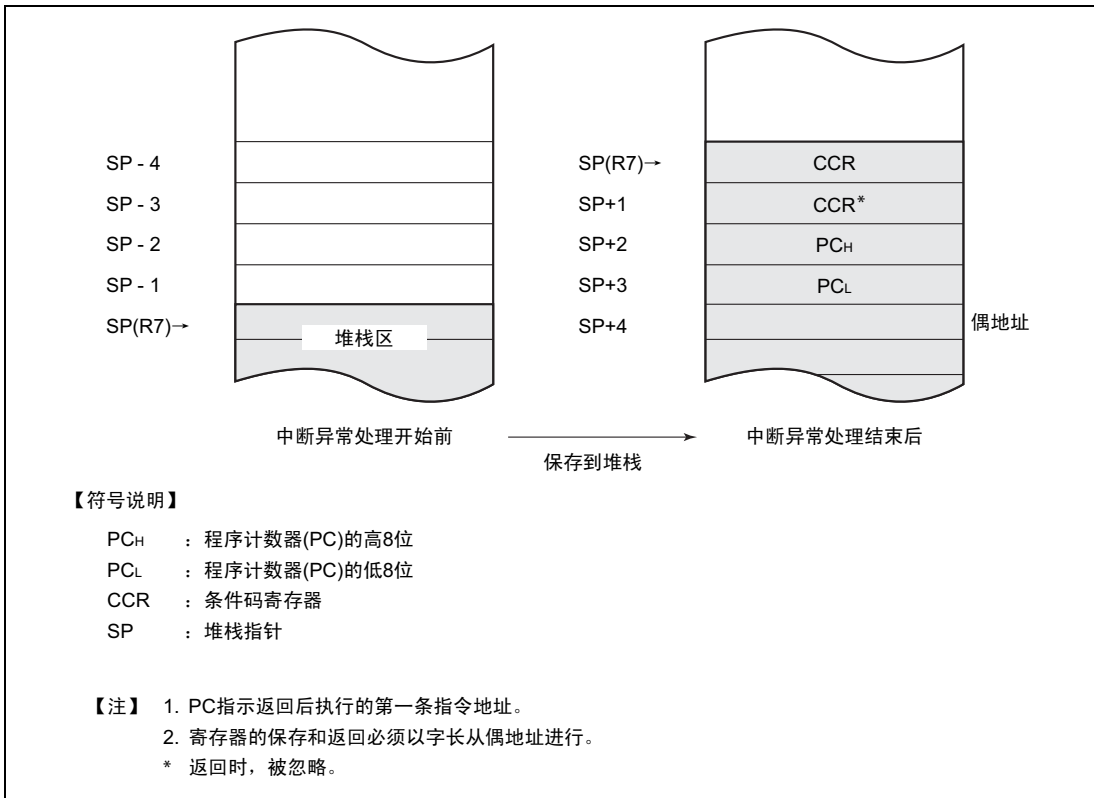


图 3.4 中断异常处理结束后的堆栈状态

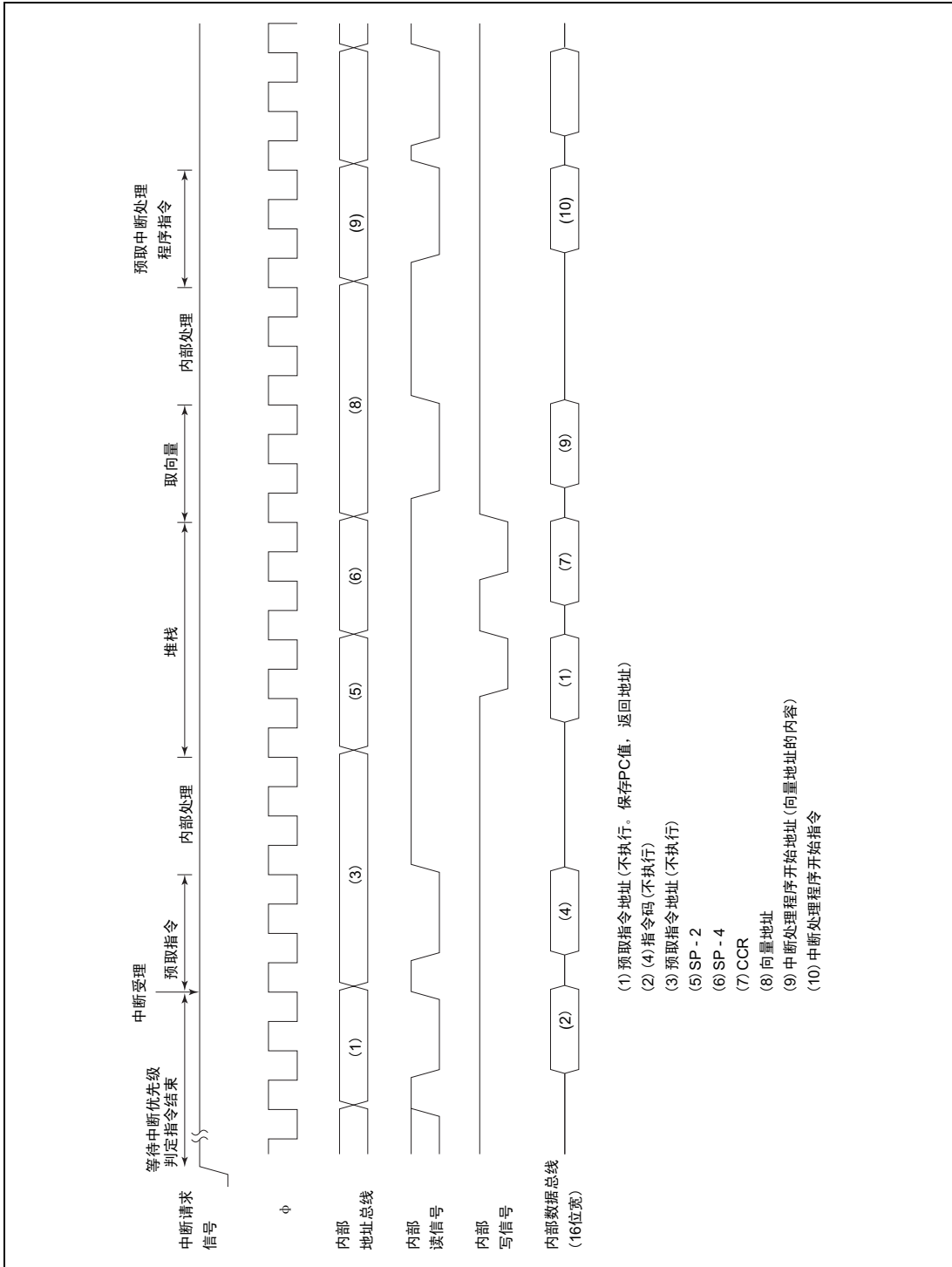


图 3.5 中断顺序

3.3.6 中断响应时间

在将中断请求标志置位后，到执行中断处理程序的开始指令为止的等待状态数如表 3.4 中所示。

表 3.4 中断等待状态数

项目	状态数	合计
结束执行中的指令时的等待时间*	1~13	15~27
PC、CCR 的堆栈	4	
取向量	2	
取指令	4	
内部处理	4	

【注】 * EEPMOV 指令除外。

3.4 使用时的注意事项

3.4.1 有关堆栈区使用时的注意事项

本 LSI 在存取字数据时，地址的最低位被视为 0。对于堆栈区的存取，总是以字长进行，堆栈指针（SP: R7）的内容不能是奇数。在保存和恢复寄存器时，必须使用 PUSH Rn（MOV.W Rn, @-SP）或者 POP Rn（MOV.W @SP+, Rn）。

如果将 SP 设定为奇数，就会成为误动作的原因。将 SP 设定为奇数时的运行例如图 3.6 所示。

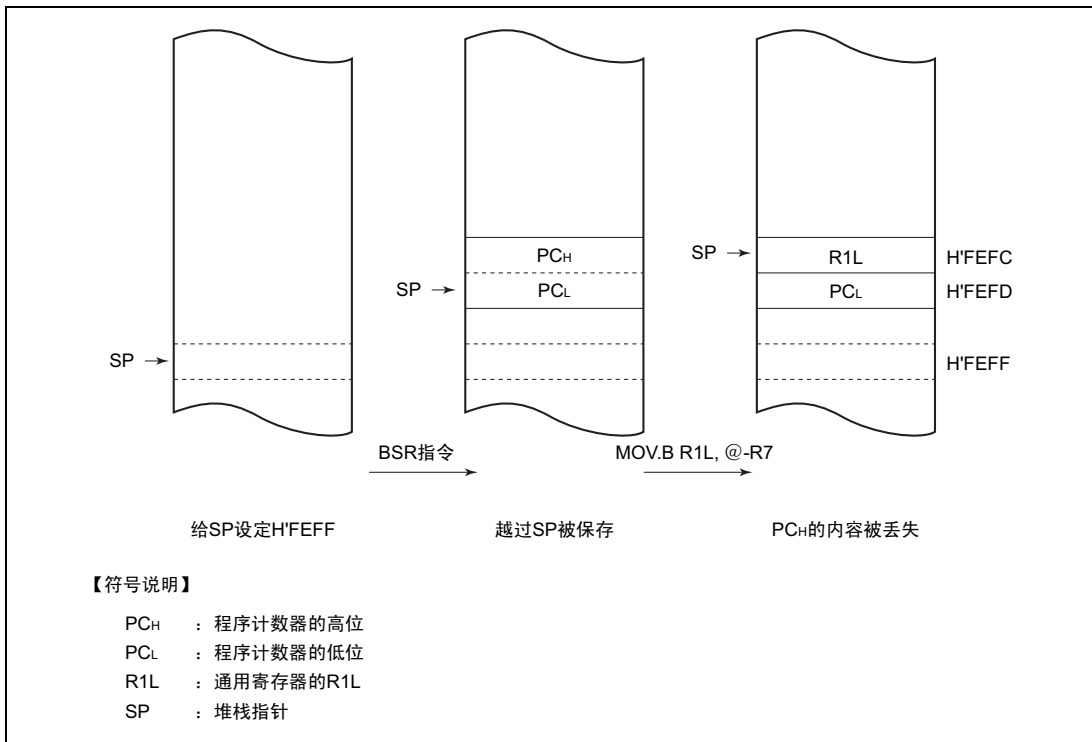


图 3.6 将 SP 设定为奇数时的运行

另外，在保存和恢复中断异常处理、执行 RTE 指令时的 CCR 时，以字长进行。在保存时，字长数据的高位字节和低位字节 CCR 的值都被保存。在恢复时，偶地址的值被存入 CCR，奇地址的值被忽略。

3.4.2 改写端口模式寄存器时的注意事项

在为了切换外部中断管脚的功能，改写端口模式寄存器时，或者在为了切换 IRQAEC 选择/不选择，改写 AEGSR 的 ECPWME 时，必须注意以下几点：

在改写控制外部中断管脚 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$) 的端口模式寄存器切换管脚功能时，即使没有向管脚输入有效中断，在切换管脚功能时，中断请求标志也被置 1，因此必须在将中断请求标志清 0 后使用。另外，在改写设定 IRQAEC 选择/不选择的 AEGSR 的 ECPWME 时，即使被选择的 IRQAEC 或者 IECPWM (AEC 用 PWM 的输出) 没有形成有效边沿，中断请求标志也可能被置 1，因此必须在将中断请求标志清 0 后使用。

被置 1 的中断请求标志和它的条件如表 3.5 所示。

表 3.5 中断请求标志置 1 的条件

被置 1 的中断请求标志		条件
IRR1	IRRI4	<ul style="list-style-type: none"> 在 $\overline{\text{IRQ4}}$ 管脚是低电平并且 IEGR 的 IEG4 为 0 的状态下，将 PMR1 的 IRQ4 从 0 改写为 1 时 在 $\overline{\text{IRQ4}}$ 管脚是低电平并且 IEGR 的 IEG4 为 1 的状态下，将 PMR1 的 IRQ4 从 1 改写为 0 时
	IRRI3	<ul style="list-style-type: none"> 在 $\overline{\text{IRQ3}}$ 管脚是低电平并且 IEGR 的 IEG3 为 0 的状态下，将 PMR1 的 IRQ3 从 0 改写为 1 时 在 $\overline{\text{IRQ3}}$ 管脚是低电平并且 IEGR 的 IEG3 为 1 的状态下，将 PMR1 的 IRQ3 从 1 改写为 0 时
	IRREC2	<ul style="list-style-type: none"> 在切换时的 IRQAEC 管脚电平和 IECPWM 的值不同，并且形成由 AEGSR 的 AIEGS1~0 指定的边沿时，(例如：选择上升沿，IRQAEC 管脚为低电平，在 IECPWM=1 的状态下将 AEGSR 的 ECPWME 从 1 改写为 0 时)
	IRRI1	<ul style="list-style-type: none"> 在 $\overline{\text{IRQ1}}$ 管脚是低电平并且 IEGR 的 IEG1 为 0 的状态下，将 PMRB 的 IRQ1 从 0 改写为 1 时 在 $\overline{\text{IRQ1}}$ 管脚是低电平并且 IEGR 的 IEG1 为 1 的状态下，将 PMRB 的 IRQ1 从 1 改写为 0 时
	IRRI0	<ul style="list-style-type: none"> 在 $\overline{\text{IRQ0}}$ 管脚是低电平并且 IEGR 的 IEG0 为 0 的状态下，将 PMRB 的 IRQ0 从 0 改写为 1 时 在 $\overline{\text{IRQ0}}$ 管脚是低电平并且 IEGR 的 IEG0 为 1 的状态下，将 PMRB 的 IRQ0 从 1 改写为 0 时

被置 1 的中断请求标志		条 件
IWPR	IWPF7	<ul style="list-style-type: none"> 在 $\overline{WKP7}$ 管脚为低电平且 WEGR 的 WKEGS7 为 0 的状态下，将 PMR5 的 WKP7 从 0 改写为 1 时 在 $\overline{WKP7}$ 管脚为低电平且 WEGR 的 WKEGS7 为 1 的状态下，将 PMR5 的 WKP7 从 1 改写为 0 时
	IWPF6	<ul style="list-style-type: none"> 在 $\overline{WKP6}$ 管脚为低电平且 WEGR 的 WKEGS6 为 0 的状态下，将 PMR5 的 WKP6 从 0 改写为 1 时 在 $\overline{WKP6}$ 管脚为低电平且 WEGR 的 WKEGS6 为 1 的状态下，将 PMR5 的 WKP6 从 1 改写为 0 时
	IWPF5	<ul style="list-style-type: none"> 在 $\overline{WKP5}$ 管脚为低电平且 WEGR 的 WKEGS5 为 0 的状态下，将 PMR5 的 WKP5 从 0 改写为 1 时 在 $\overline{WKP5}$ 管脚为低电平且 WEGR 的 WKEGS5 为 1 的状态下，将 PMR5 的 WKP5 从 1 改写为 0 时
	IWPF4	<ul style="list-style-type: none"> 在 $\overline{WKP4}$ 管脚为低电平且 WEGR 的 WKEGS4 为 0 的状态下，将 PMR5 的 WKP4 从 0 改写为 1 时 在 $\overline{WKP4}$ 管脚为低电平且 WEGR 的 WKEGS4 为 1 的状态下，将 PMR5 的 WKP4 从 1 改写为 0 时
	IWPF3	<ul style="list-style-type: none"> 在 $\overline{WKP3}$ 管脚为低电平且 WEGR 的 WKEGS3 为 0 的状态下，将 PMR5 的 WKP3 从 0 改写为 1 时 在 $\overline{WKP3}$ 管脚为低电平且 WEGR 的 WKEGS3 为 1 的状态下，将 PMR5 的 WKP3 从 1 改写为 0 时
	IWPF2	<ul style="list-style-type: none"> 在 $\overline{WKP2}$ 管脚为低电平且 WEGR 的 WKEGS2 为 0 的状态下，将 PMR5 的 WKP2 从 0 改写为 1 时 在 $\overline{WKP2}$ 管脚为低电平且 WEGR 的 WKEGS2 为 1 的状态下，将 PMR5 的 WKP2 从 1 改写为 0 时
	IWPF1	<ul style="list-style-type: none"> 在 $\overline{WKP1}$ 管脚为低电平且 WEGR 的 WKEGS1 为 0 的状态下，将 PMR5 的 WKP1 从 0 改写为 1 时 在 $\overline{WKP1}$ 管脚为低电平且 WEGR 的 WKEGS1 为 1 的状态下，将 PMR5 的 WKP1 从 1 改写为 0 时
	IWPF0	<ul style="list-style-type: none"> 在 $\overline{WKP0}$ 管脚为低电平且 WEGR 的 WKEGS0 为 0 的状态下，将 PMR5 的 WKP0 从 0 改写为 1 时 在 $\overline{WKP0}$ 管脚为低电平且 WEGR 的 WKEGS0 为 1 的状态下，将 PMR5 的 WKP0 从 1 改写为 0 时

端口模式寄存器的操作和中断请求标志的清除步骤如图 3.7 所示。AEGSR 的操作也以此为基准。

切换管脚功能时，在端口模式寄存器（或者 AEGSR）的操作前将其状态设定为中断禁止状态，然后在端口模式寄存器（或者 AEGSR）操作后，必须在至少执行 1 条指令（可用 NOP 指令）后，将被置 1 的中断请求标志清 0。必须要注意：如果在端口模式寄存器（或者 AEGSR）操作后不执行 1 条指令，即使执行中断请求标志清 0 的指令，中断请求标志也不被清除。

另外，在管脚功能切换时，作为避免中断请求标志置位的其他方法，还有不满足如表 3.5 的条件而将管脚控制成高电平的方法。但是，由于 IECPWM 为内部信号，要知道它的值比较复杂，因此推荐图 3.7 的步骤。

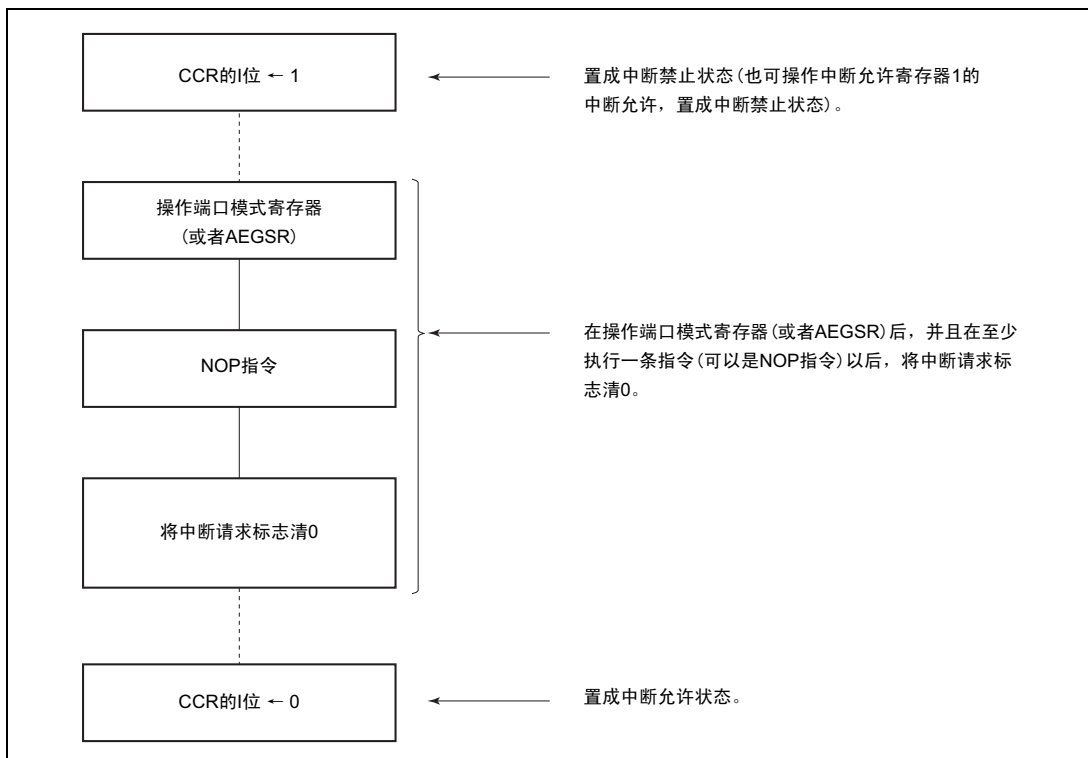


图 3.7 端口模式寄存器（或者 AEGSR）操作和中断请求标志清除的步骤

3.4.3 清除中断请求标志的方法

中断请求寄存器（IRR1、IRR2、IWPR）的标志清除，请按下列的“（1）推荐方法”进行。

（1）推荐方法

用1条指令进行标志清除的处理。在此指令中，能使用位操作指令和字节长的数据传送指令。下面表示2个在“清除 IRR1（IRR1 的位 1）”时的程序例子：

```
BCLR #1, @IRR1:8  
MOV.B R1L, @IRR1:8 (将 R1L 的值设定成 B'11111101)
```

（2）误动作的例子

用多条指令进行标志清除的处理时，在指令的执行中，可能会清除其他无关的被置位的标志，成为误动作的原因。

以下表示在“清除 IRR1（IRR1 的位 1）”时， IRR10 也被清除，并且变成无效的例子。

```
MOV.B @IRR1:8, R1L . . . . . 此时 IRR10=0  
AND.B #B'11111101, R1L . . . . . 在这里 IRR10=1  
MOV.B R1L, @IRR1:8 . . . . . 被清除成 IRR10=0。
```

以上的例子是假设在执行 AND.B 指令中发生 IRQ₀ 中断的情况。

本来只清除 IRR1，但是 IRR10 也被清除了，因此 IRQ₀ 中断变成了无效。

第 4 章 时钟振荡器

4.1 概要

本 LSI 内置时钟发生电路(CPG : Clock Pulse Generator)。

时钟发生电路由系统时钟振荡器、系统时钟分频器组成的系统时钟发生电路和由子时钟振荡器、子时钟分频器组成的子时钟发生电路的 2 个电路构成。

另外, H8/38124 群的系统时钟发生电路有内部振荡器。

4.1.1 框图

H8/38024、H8/38024S 和 H8/38024F-ZTAT 群的时钟发生电路的框图如图 4.1 所示, H8/38124 群的时钟发生电路的框图如图 4.2 所示。

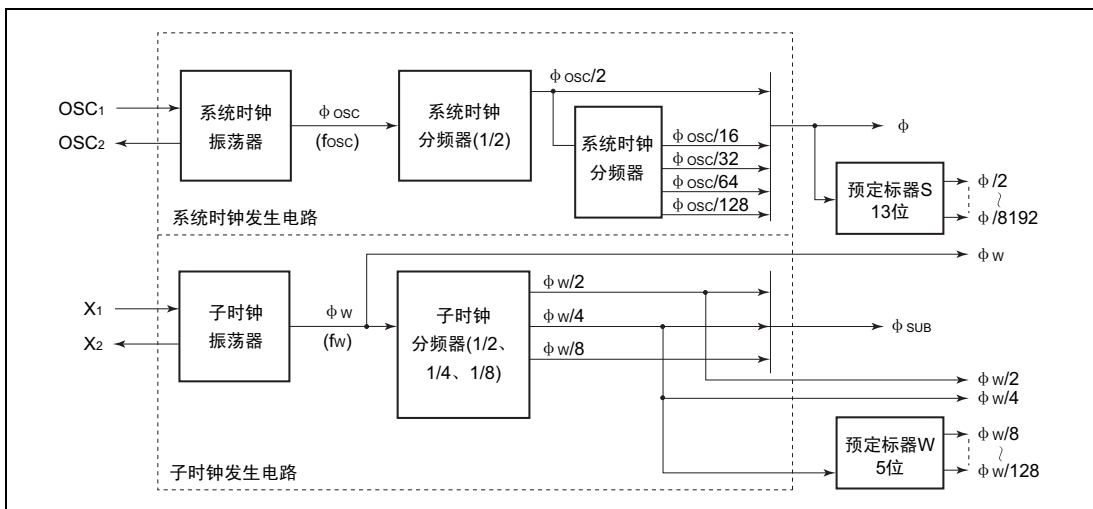


图 4.1 时钟发生电路的框图 (H8/38024、H8/38024S 和 H8/38024R 群)

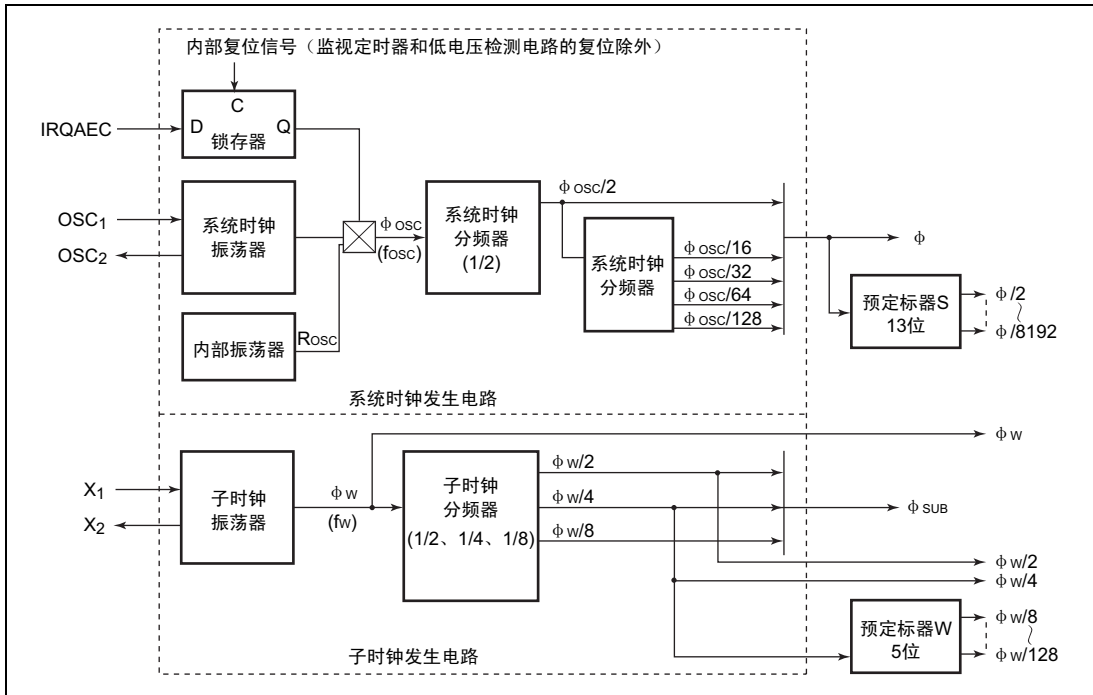


图 4.2 时钟发生电路的框图 (H8/38124 群)

4.1.2 系统时钟和子时钟

时钟 (φ 以及 φ_{SUB}) 是为了让 CPU 和外围功能运行的标准时钟。

φ 称为系统时钟、φ_{SUB} 称为子时钟。另外，φ_{OSC} 称为 OSC 时钟、φ_w 称为钟表时钟 (watch clock)。

时钟 φ/8192、φ/4096、φ/2048、φ/1024、φ/512、φ/256、φ/128、φ/64、φ/32、φ/16、φ/8、φ/4、φ/2、φ_w/128、φ_w/64、φ_w/32、φ_w/16、φ_w/8、φ_w/4、φ_w/2、φ_w 是外围功能所必需的时钟，根据各外围功能的不同而不同。

4.1.3 寄存器说明

控制振荡电路的寄存器一览表如表 4.1 所示。

另外，表 4.1 所示的寄存器仅为 H8/38124 群的功能。

表 4.1 振荡电路控制寄存器

名称	略称	R/W	初始值	地址
振荡电路控制寄存器	OSCCR	R/W	—	H'FFF5

(1) 振荡电路控制寄存器 (OSCCR)

位	7	6	5	4	3	2	1	0
	SUBSTP	—	—	—	—	IRQAECF	OSCF	—
初始值:	0	0	0	0	0	—	—	0
R/W :	R/W	R	R/W	R/W	R/W	R	R	R/W

OSCCR 为 8 位可读写寄存器，表示系统时钟振荡器和内部振荡器的选择状态，表示在复位期间 IRQAEC 管脚的输入电平，控制子振荡器的运行和停止。

- 位7: 子振荡器停止控制 (SUBSTP)

控制子振荡器的运行和停止。此位只在激活（高速/中速）模式时才能设定成 1。如果在子激活模式时将此位设定成 1，就停止 LSI 的运行。

位 7	说明
SUBSTP	
0	子振荡器运行 (初始值)
1	子振荡器停止

- 位6: 保留位

保留位。总是读出 0，写无效。

- 位5~3: 保留位

可读写的保留位。

- 位2: IRQAEC标志 (IRQAECF)

表示在复位期间被设定的 IRQAEC 管脚输入电平。

位 2	说明
IRQAECF	
0	在复位期间，将 IRQAEC 管脚置成 GND
1	在复位期间，将 IRQAEC 管脚置成 V _{CC}

- 位1: OSC标志 (OSCF)

表示系统时钟发生电路正在运行的振荡器。

位 1	说明
OSCF	
0	用系统时钟振荡器运行 (内部振荡器停止)
1	用内部振荡器运行 (系统时钟振荡器停止)

- 位0: 保留位

保留位。为了避免误动作，不能写 1。

4.2 系统时钟振荡器

给系统时钟分频器提供时钟的方法有连接晶体谐振器或者陶瓷谐振器的方法和输入外部时钟的方法。另外，如图 4.2 所示，H8/38124 群能选择系统时钟振荡器和内部振荡器。有关选择方法，请参照“4.2（5）选择内部振荡器的方法”。

（1）连接晶体谐振器的方法

H8/38024 和 H8/38024R 群的晶体谐振器的连接例子如图 4.3（1）所示，H8/38024S 和 H8/38124 群的晶体谐振器的连接例子如图 4.3（2）所示。

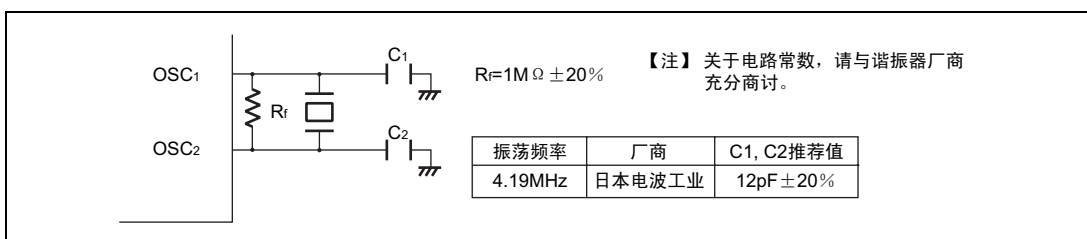


图 4.3（1） 晶体谐振器的连接例子（H8/38024 和 H8/38024R 群）

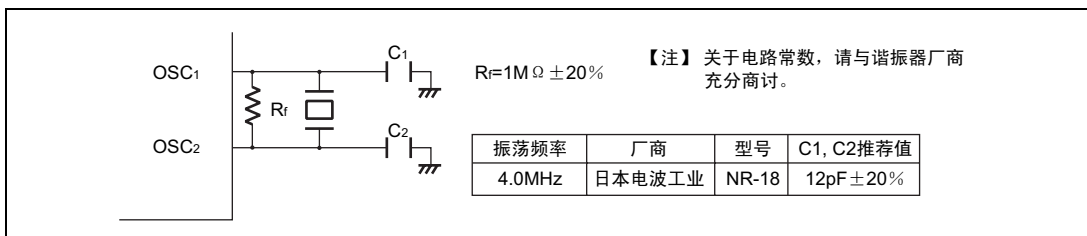


图 4.3（2） 晶体谐振器的连接例子（H8/38024S 和 H8/38124 群）

晶体谐振器的等效电路如图 4.4 所示。必须使用如表 4.2 中所示特性的谐振器。

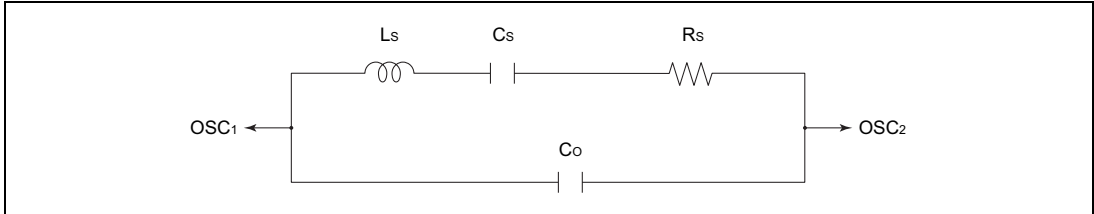


图 4.4 晶体谐振器的等效电路

表 4.2 晶体谐振器的参数

频率 (MHz)	4	4.193
R_s (max)	100 Ω	
C_o (max)	16pF	

(2) 连接陶瓷谐振器的方法

H8/38024 和 H8/38024R 群的陶瓷谐振器的连接例子如图 4.5 (1) 所示, H8/38024S 和 H8/38124 群的陶瓷谐振器的连接例子如图 4.5 (2) 所示。

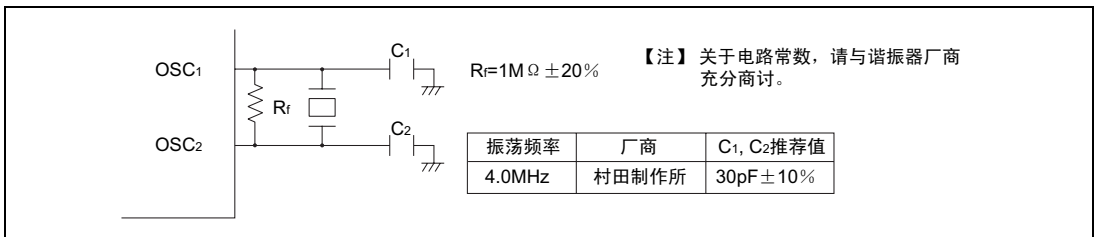


图 4.5 (1) 陶瓷谐振器的连接例子 (H8/38024 和 H8/38024R 群)

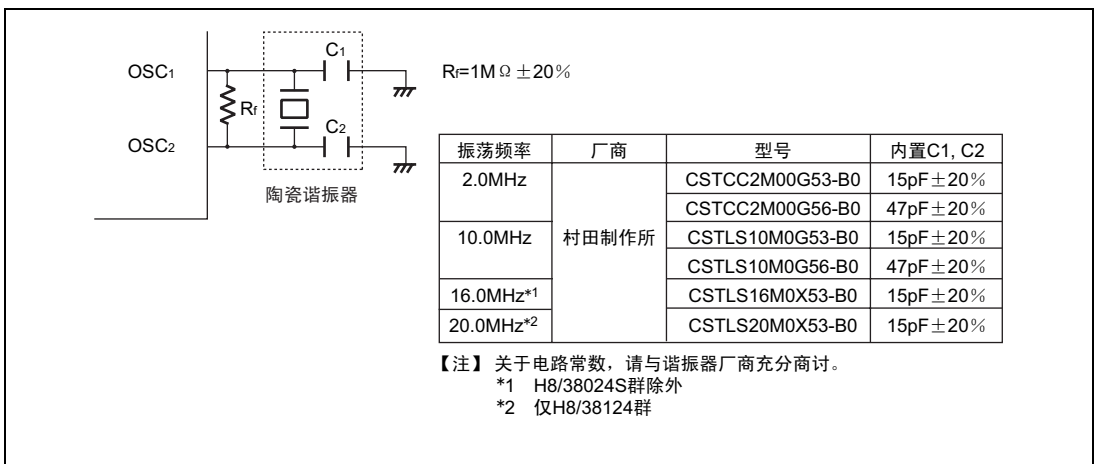


图 4.5 (2) 陶瓷谐振器的连接例子 (H8/38024S 和 H8/38124 群)

(3) 电路板设计时的注意事项

在连接晶体谐振器(陶瓷谐振器)并使它振荡时，必须注意以下几点：

在振荡电路附近不要让信号线通过。否则，可能发生因感应而不能正常振荡的情况（参照图 4.6）。

另外，在设计电路板时，尽量把谐振器和负载电容设置在 OSC₁、OSC₂ 管脚附近。

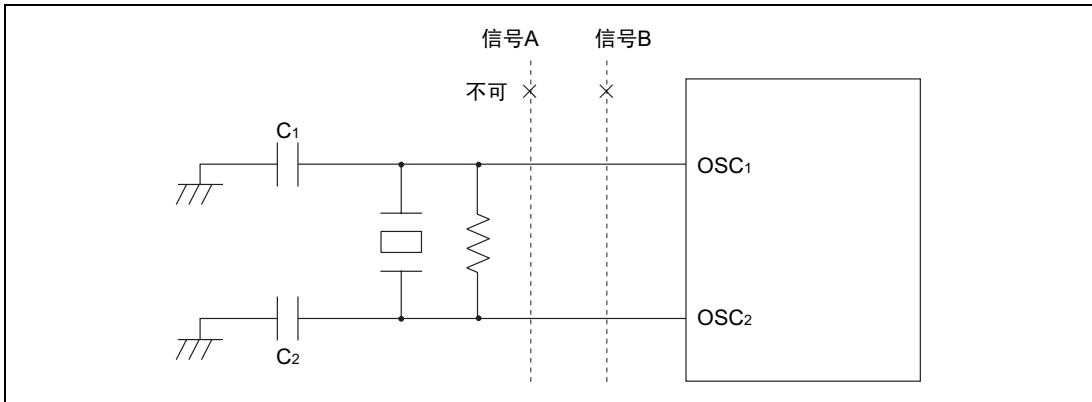


图 4.6 有关振荡电路的电路板设计的注意事项

〈注意事项〉

在连接晶体谐振器或者陶瓷谐振器时，由于电路常数根据谐振器和安装电路的寄生电容等的不同而不同，因此必须在与晶体谐振器和陶瓷谐振器的厂商充分商讨后再作决定。

(4) 输入外部时钟的方法

将外部时钟输入到 OSC₁ 管脚，并且使 OSC₂ 管脚为开路状态。连接例子如图 4.7 所示。

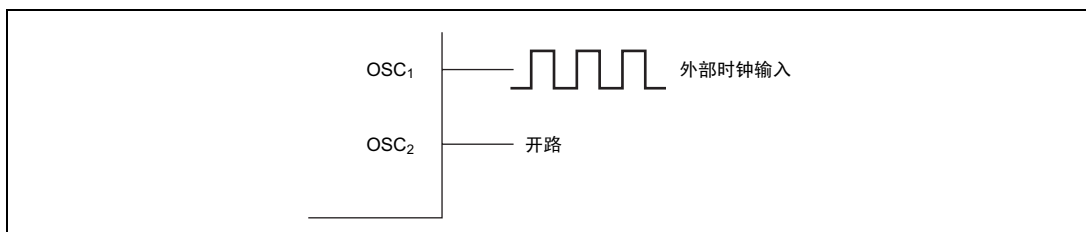


图 4.7 输入外部时钟时的连接例子

频率	OSC 时钟 (Φ_{osc})
duty	45%~55%

(5) 选择内部振荡器的方法 (仅 H8/38124 群)

通过复位期间*的 IRQAEC 管脚输入电平选择。系统时钟振荡器和内部振荡器的选择方法如表 4.3 所示。必须对应选择的振荡器，将复位期间的 IRQAEC 管脚输入电平固定成 V_{CC} 或者 GND。如果选择了内部振荡器，就没必要将谐振器连接到 OSC1 和 OSC2。此时，必须将 OSC1 管脚连接到 V_{CC} 或者 GND。

【注】当单板上编程等对快速擦写存储器进行写 / 擦除时，必须选择系统时钟振荡器。另外，在使用内部仿真器时，即使选择内部振荡器，也必须连接谐振器或者输入外部时钟。

* 监视定时器和低电压检测电路除外

表 4.3 系统时钟振荡器和内部振荡器的选择方法

IRQAEC 管脚输入电平 (在复位期间)	0	1
系统时钟振荡器	有效	无效
内部振荡器	无效	有效

4.3 子时钟振荡器

(1) 连接 32.768kHz/38.4 kHz 晶体谐振器的方法

为了给予时钟分频器提供时钟，如图 4.8 所示连接 32.768kHz 或者 38.4 kHz 的晶体谐振器。关于连接时的注意事项，和“4.2 (3) 电路板设计时的注意事项”相同。

另外，H8/38124 群只保证 32.768kHz。

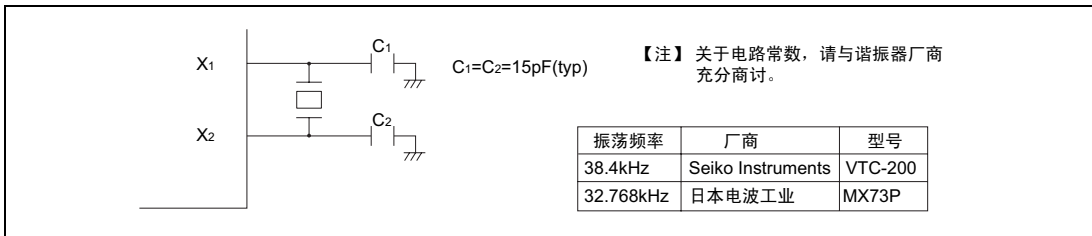


图 4.8 32.768kHz/38.4 kHz 晶体谐振器的连接例子

晶体谐振器的等效电路如图 4.9 所示。

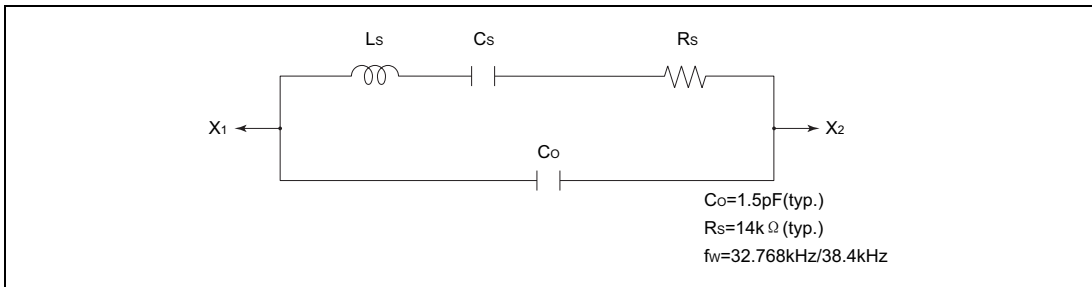


图 4.9 32.768kHz/38.4 kHz 晶体谐振器的等效电路

(2) 不需要子时钟时的管脚处理

不需要子时钟时，如图 4.10 所示必须将 X₁ 管脚连接 GND，并且使 X₂ 管脚为开路状态。

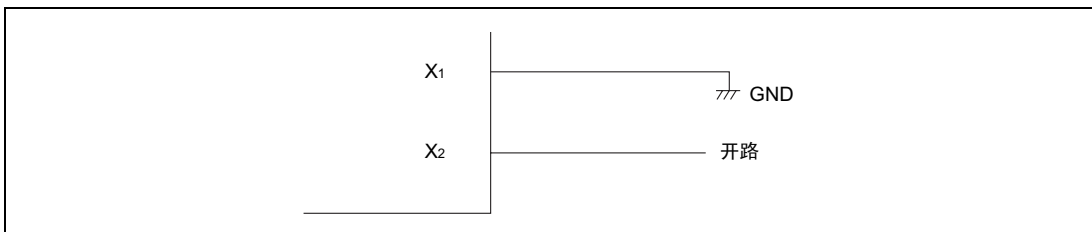


图 4.10 不需要子时钟时的管脚处理

(3) 输入外部时钟

将外部时钟输入到 X₁ 管脚，并且使 X₂ 管脚为开路状态。

连接例子如图 4.11 所示。

另外，H8/38124 群不能输入外部时钟。

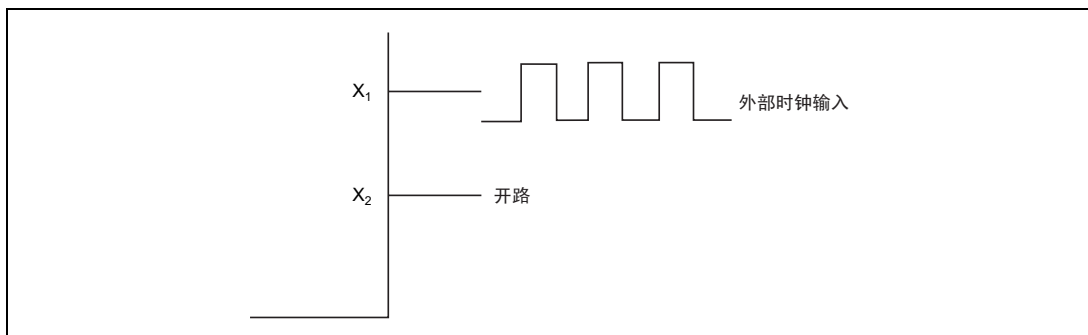


图 4.11 输入外部时钟时的连接例子

频率	子时钟 (ϕw)
duty	45%~55%

(4) 停止子时钟振荡器的方法 (仅 H8/38124 群)

本 LSI 通过对 OSCCR 寄存器的 SUBSTP 位设定 1, 能由程序停止子时钟振荡器。停止时, 必须在激活模式设定寄存器。另外, 如果通过寄存器从停止状态再度恢复, 就和接通电源相同, 必须在经过充分的时间 (typ:8s) 后使用子时钟。

4.4 预定标器

本 LSI 内置 2 个输入时钟不同的预定标器（预定标器 S、预定标器 W）。

预定标器 S 是以系统时钟（ ϕ ）作为输入时钟的 13 位计数器，并将分频输出作为内部外围模块的内部时钟使用。预定标器 W 是以 32.768 kHz 或者 38.4 kHz 的 4 分频时钟（ $\phi_w/4$ ）作为输入的 5 位计数器，分频输出用于定时器 A 的时钟时基运行。

（1）预定标器 S（PSS）

预定标器 S 是以系统时钟（ ϕ ）作为输入时钟的 13 位计数器，每 1 个周期累加计数。

在复位时，预定标器 S 被初始化成 H'0000。在复位解除后，开始累加计数。

在待机模式、时钟模式、子激活模式以及子睡眠模式，由于系统时钟振荡器停止，预定标器 S 的运行也停止。此时，预定标器 S 被初始化成 H'0000。

不能通过 CPU 读写预定标器 S 的数据。

预定标器 S 的输出和定时器 A、定时器 C、定时器 F、定时器 G、SCI3、A/D 转换器、LCD 控制器、监视定时器以及 10 位 PWM 共用，并且分频比能由各内部外围功能单独设定。

另外，在激活（中速）模式，预定标器 S 的时钟输入为 $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ 或者 $\phi_{osc}/128$ 。

（2）预定标器 W（PSW）

预定标器 W 是以 32.768kHz 或者 38.4kHz 的 4 分频时钟（ $\phi_w/4$ ）作为输入时钟的 5 位计数器。

在复位时，预定标器 W 被初始化成 H'00。在复位解除后，开始累加计数。

即使转移到待机模式、时钟模式、子激活模式以及子睡眠模式，只要向 X₁、X₂ 管脚提供时钟，预定标器 W 就继续运行。

预定标器 W 能通过将 TMA 的 TMA3 和 TMA2 置 1 来复位。

另外，预定标器 W 的输出可以用作定时器 A 的时钟。此时，定时器 A 作为时钟时基发挥作用。

4.5 有关谐振器的注意事项

因为，有关谐振器的各种特性密切关系到用户的电路板设计，所以希望用户参考本章介绍的谐振器的连接例子，对掩模型 ROM 版和 ZTAT[®]版，经过充分评价后使用。由于振荡电路的电路常数根据谐振器和安装电路的寄生电容等的不同而不同，必须与谐振器的厂家进行充分商讨后再作决定。设计时，加在振荡管脚的电压不能超过最大额定值。

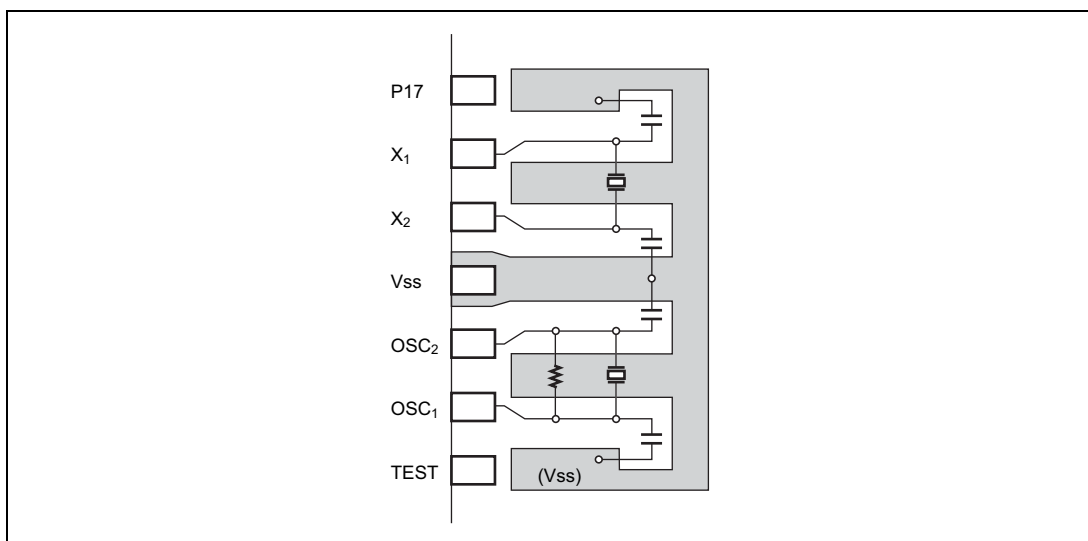


图 4.12 晶体、陶瓷谐振器的排列例子

图 4.13(1)是谐振器厂家推荐的负电阻的测试电路例子。必须注意：如果本电路的负电阻达不到谐振器厂家推荐的值，主振荡器可能不容易开始振荡。

在小于谐振器厂家推荐的负电阻值，并且发生不振荡现象时，必须按图 4.13(2)~(4)所示进行改变。另外，对于采用的改变方案，电容器的电容值必须根据负电阻和频率偏差等的评价结果决定。

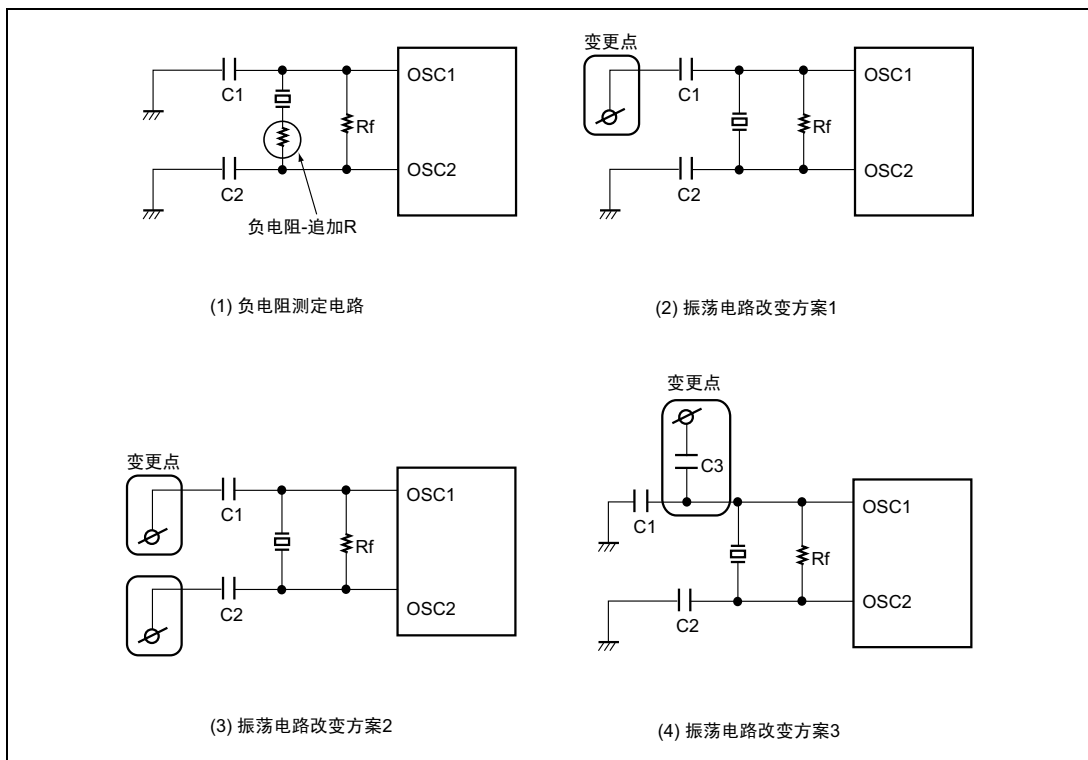


图 4.13 负电阻测定和电路改变方案

4.5.1 振荡稳定待机时间的定义

在将谐振器和系统时钟振荡器连接时，从待机模式、时钟模式以及子激活模式转移到激活（高速、中速）模式时的振荡波形（OSC₂）、系统时钟（ ϕ ）以及单片机的运行模式如图 4.14 所示。

如图 4.14 所示，在待机模式、时钟模式以及子激活模式，由于系统时钟振荡器处于停止状态，在转移到激活（高速、中速）模式时，需要下列 2 项（振荡稳定时间、待机时间）的合计时间：

(1) 振荡稳定时间 (t_{rc})

中断发生后，从系统时钟振荡器的振荡波形开始变化，到振荡波形的振幅增大并且振荡频率开始稳定为止的时间。

(2) 待机时间

从振荡波形的频率和系统时钟稳定开始，到 CPU 和外围功能开始运行为止所需要的时间。

能通过待机定时器选择 2~0 (STS2~0)（系统控制寄存器 1 (SYSCR1) 的位 6~4) 的设定值，选择设定待机时间。

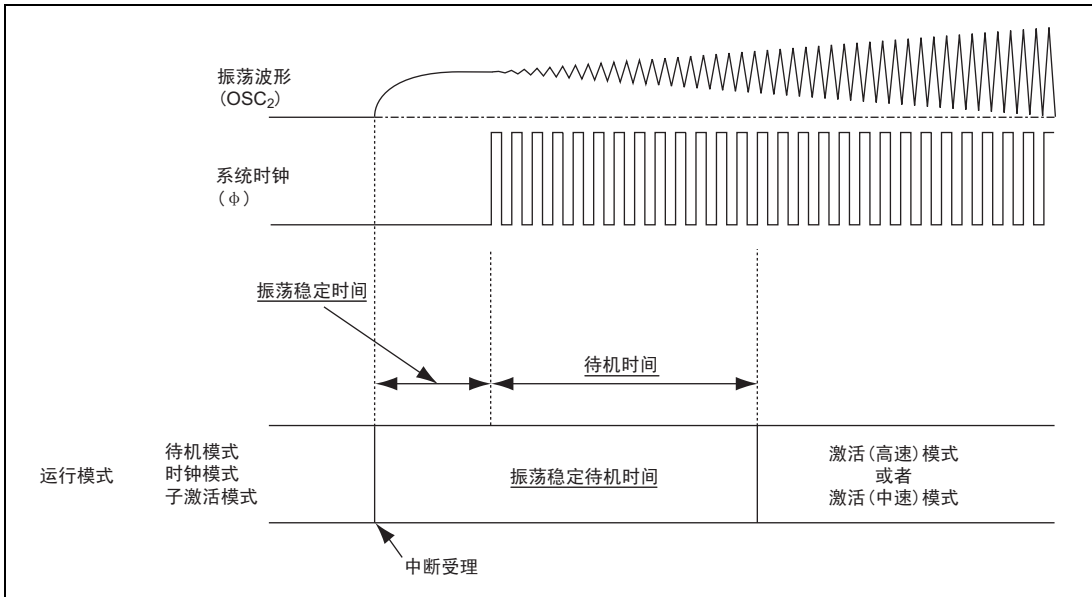


图 4.14 振荡稳定待机时间

在通过中断和复位，解除待机模式、时钟模式以及子激活模式，并转移到激活（高速、中速）模式时，振荡波形在中断被接受时开始变化。因此，对于待机模式、时钟模式以及子激活模式，在连接谐振器时，由于系统时钟振荡器处于停止状态，因此从该振荡波形开始变化，到振荡波形的振幅增大并且振荡频率开始稳定为止的时间，即需要振荡稳定时间。

该状态转移时的振荡稳定时间和电源接通时的振荡稳定时间（从电源电压达到规定的电压开始，到振荡稳定为止的时间）相同，并规定在 AC 特性的“振荡稳定时间 t_{rc} ”中。

另外，一旦系统时钟停止，为了使 CPU 和外围设备正常运行，需要 8 个状态以上的待机时间。

根据以上情况，从中断发生到 CPU 和外围设备开始运行为止所需要的时间，为上述的振荡稳定时间和待机时间的合计时间。该合计时间称为振荡稳定待机时间，用下面的（1）式表示。

$$\begin{aligned}
 \text{振荡稳定待机时间} &= \text{振荡稳定时间} + \text{待机时间} \\
 &= t_{rc} + (8 \sim 16384 \text{ 个状态})^{*1} \cdot \dots \cdot (1) \\
 &\quad (\sim 131072 \text{ 个状态})^{*2}
 \end{aligned}$$

【注】 *1 H8/38024 群
 *2 H8/38124 群

因此，在将谐振器和系统时钟振荡器连接时，从待机模式、时钟模式以及子激活模式转移到激活（高速、中速）模式的情况下，必须在对安装电路进行充分评价后，再决定振荡稳定待机时间。特别是，由于振荡稳定时间根据安装电路的常数和寄生电容等的不同而不同，因此必须与谐振器厂家商讨后再作决定。

4.5.2 使用晶体谐振器时的注意事项（陶瓷谐振器除外）

当单片机运行时，在和系统时钟同步后，内部的电源电位多少会发生变动。另外，根据晶体谐振器本身的特点，在刚经过振荡稳定待机时间后，可能会发生振荡波形的振幅不显著增大的情况，并且振荡波形容易受到电源电位波动的影响。在此状态下，会发生振荡波形混乱的情况，系统时钟变得不稳定并导致单片机的误动作。

在发生误动作时，请改变待机定时器选择 2~0 (STS2~0)（系统控制寄存器 1 (SYSCR1) 的位 6~4) 的设定，将待机时间的设定进一步延长后再使用。

例如，在待机时间=16 个状态的设定时发生了误动作，请用待机时间=1,024*个状态以上的设定确认动作。

另外，如果在复位时发生和状态转移时相同的误动作，就必须延长保持 $\overline{\text{RES}}$ 管脚为低电平的时间。

【注】 * 在 H8/38024、H8/38024S、H8/38024F-ZTAT 群或者 H8/38124 群的情况下，为 8,192 个状态以上。

4.5.3 在使用 HD64F38024 时的注意事项

在使用 HD64F38024 的情况下，如果在加电时给 Vcc 外加 10mV 的初始电压，就可能不振荡。此现象由于振荡控制信号不确定所引起。此时，必须切断电源，在将 Vcc 管脚电压下降到 GND 电位后，再次加电。

4.6 H8/38124 群的注意事项

在使用内部仿真器时，为了对快速擦写存储器进行写或者擦除，必须提高系统时钟的精度。而内部振荡器根据电压和温度条件，其频率会发生变化。因此，在使用内部仿真器时，即使选择内部振荡器，也必须将谐振器连接到 OSC1 和 OSC2 管脚或者供给外部时钟。此时，在执行用户程序时，用内部振荡器运行；在对快速擦写存储器进行写或者擦除时，用系统时钟振荡器运行。

此控制由内部仿真器进行。

第 5 章 低功耗模式

5.1 概要

本 LSI 在复位解除后，有 9 种运行模式，其中包括能显著降低功耗的 8 种低功耗模式。
运行模式的概要如表 5.1 所示

表 5.1 运行模式的概要

运行模式	说明
激活(高速)模式	是 CPU 和内部外围功能根据系统时钟，以高速运行执行程序的模式。
激活(中速)模式	是 CPU 和内部外围功能根据系统时钟，以低速运行执行程序的模式。
子激活模式	是 CPU 和内部外围功能根据子时钟，以低速运行执行程序的模式。
睡眠(高速)模式	是 CPU 停止运行、内部外围功能使用系统时钟运行的模式。
睡眠(中速)模式	是 CPU 停止运行、内部外围功能使用 OSC 时钟的 1/128、1/64、1/32、1/16 的频率运行的模式。
子睡眠模式	是 CPU 停止运行，定时器 A、定时器 C、定时器 G、定时器 F、SCI3、异步事件计数器以及 LCD 控制器/驱动器使用子时钟运行的模式。
监视模式	是 CPU 停止运行，定时器 A 的时钟功能、定时器 F、定时器 G、异步事件计数器以及 LCD 控制器/驱动器使用子时钟运行的模式。
待机模式	是 CPU 和所有内部外围功能停止运行的模式。
模块待机功能	是每个通过软件指定的内部外围功能成为待机模式的状态，并且停止运行的模式。

在上述的 9 种运行模式中，激活（高速）模式以外的运行模式称为低功耗模式。另外，本章将激活（高速）模式和激活（中速）模式总称为激活模式。

模式转移图如图 5.1 所示。

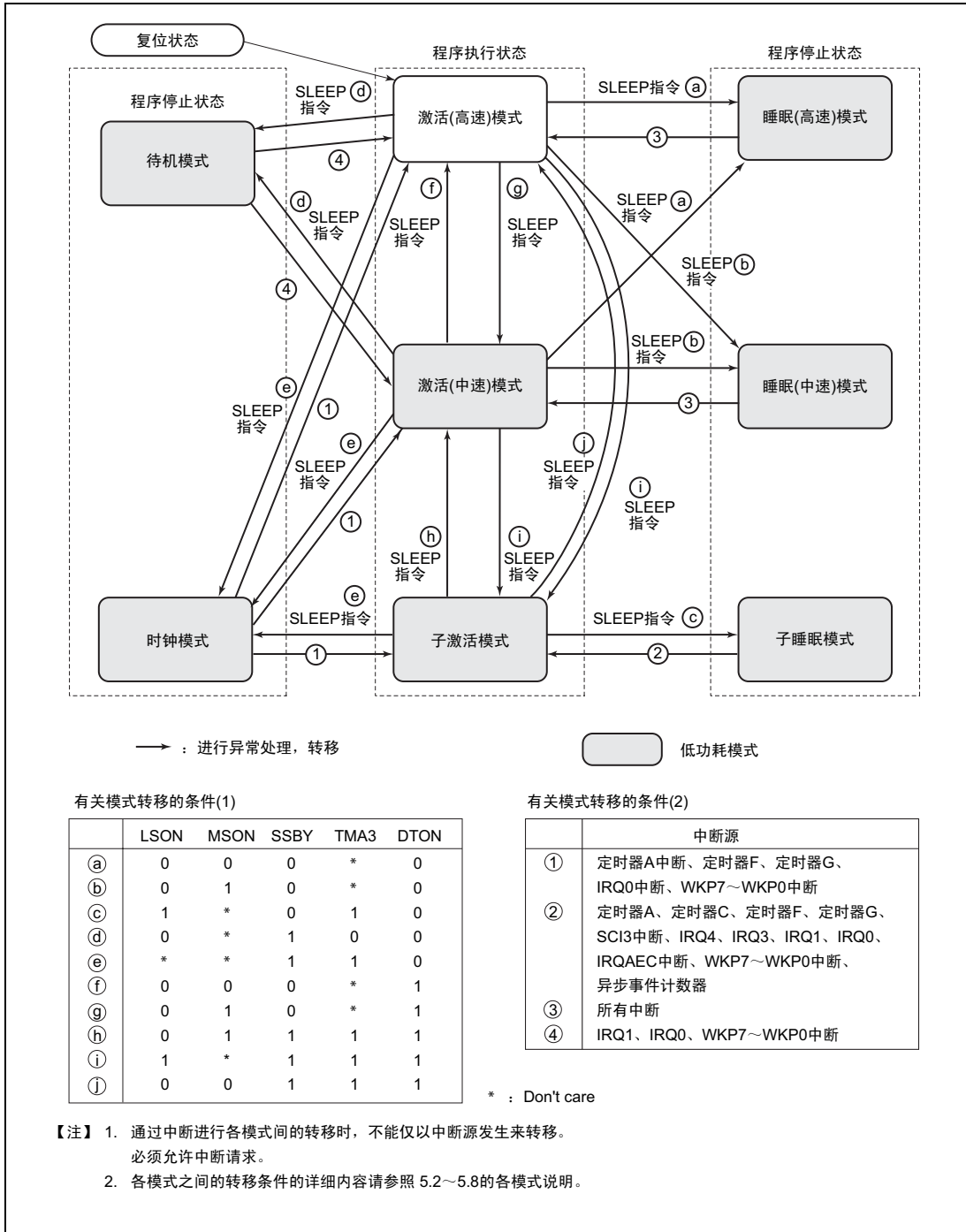


图 5.1 模式转移图。

在各模式中的 LSI 内部状态如表 5.2 所示。

表 5.2 在各运行模式中的 LSI 状态

功能		激活		睡眠		时钟	子激活	子睡眠	待机
		高速	中速	高速	中速				
系统时钟振荡器		运行	运行	运行	运行	停止	停止	停止	停止
子时钟振荡器		运行	运行	运行	运行	运行	运行	运行	运行
CPU 运行	指令	运行	运行	停止	停止	停止	运行	停止	停止
	RAM	运行	运行	保持	保持	保持	运行	保持	保持
	寄存器	运行	运行	保持	保持	保持	运行	保持	保持
	I/O	运行	运行	保持	保持	保持	运行	保持	保持*1
外部中断 的运行	IRQ0	运行	运行	运行	运行	运行	运行	运行	运行
	IRQ1	运行	运行	运行	运行	保持*6	运行	运行	运行
	IRQAEC	运行	运行	运行	运行	保持*6	运行	运行	保持*6
	IRQ3	运行	运行	运行	运行	保持*6	运行	运行	保持*6
	IRQ4	运行	运行	运行	运行	保持*6	运行	运行	保持*6
	WKP0	运行	运行	运行	运行	运行	运行	运行	运行
	WKP1	运行	运行	运行	运行	运行	运行	运行	运行
	WKP2	运行	运行	运行	运行	运行	运行	运行	运行
	WKP3	运行	运行	运行	运行	运行	运行	运行	运行
	WKP4	运行	运行	运行	运行	运行	运行	运行	运行
	WKP5	运行	运行	运行	运行	运行	运行	运行	运行
	WKP6	运行	运行	运行	运行	运行	运行	运行	运行
WKP7	运行	运行	运行	运行	运行	运行	运行	运行	
外围功能 的运行	定时器 A	运行	运行	运行	运行	运行*5	运行*5	运行*5	保持
	异步事件计数器	运行	运行	运行	运行	运行*8	运行	运行	运行*8
	定时器 C	运行	运行	运行	运行	保持	运行/保持*2	运行/保持*2	保持
	WDT	运行	运行	运行	运行	运行/保持*10	运行/保持*7	运行/保持*10	运行/保持*11
	定时器 G、定时器 F	运行	运行	运行	运行	运行/保持*9	运行/保持*9	运行/保持*9	保持
	SCI3	运行	运行	运行	运行	复位	运行/保持*3	运行/保持*3	复位
	PWM	运行	运行	运行	运行	保持	保持	保持	保持
	A/D 转换器	运行	运行	运行	运行	保持	保持	保持	保持
	LCD	运行	运行	运行	运行	运行/保持*4	运行/保持*4	运行/保持*4	保持
LVD	运行	运行	运行	运行	运行	运行	运行	运行	

【注】 *1 保持寄存器的内容，输出为高阻抗。HD64F38024 的端口 5 保持管脚状态。

*2 在选择 $\phi_w/4$ 作为外部时钟或者内部时钟时运行，否则停止后保持。

*3 在选择 $\phi_w/2$ 作为内部时钟时运行，否则停止后保持。

*4 在选择 ϕ_w 、 $\phi_w/2$ 或者 $\phi_w/4$ 作为使用时钟时运行，否则停止后保持。

*5 在选择时钟时基功能时运行。

*6 外部中断请求被忽略。中断请求寄存器的内容不受影响。

- *7 H8/38124 群在选择 $\phi_w/32$ 或者内部振荡器作为内部时钟时运行，否则停止后保持。
H8/38024、H8/38024S 和 H8/38024R 群在选择 $\phi_w/32$ 作为内部时钟时运行，否则停止后保持。
- *8 能累加计数，不能发生中断。
- *9 在选择 $\phi_w/4$ 作为内部时钟时运行，否则停止后保持。
- *10 H8/38124 群在选择 $\phi_w/32$ 或者内部振荡器作为内部时钟时运行，否则停止后保持。
H8/38024、H8/38024S 和 H8/38024R 群停止后保持。
- *11 H8/38124 群只在选择内部振荡器时运行，否则停止后保持。
H8/38024、H8/38024S 和 H8/38024R 群停止后保持。

5.1.1 系统控制寄存器

设定运行模式的系统控制寄存器如表 5.3 所示。

表 5.3 寄存器构成

名称	略称	R/W	初始值	地址
系统控制寄存器 1	SYSCR1	R/W	H'07	H'FFF0
系统控制寄存器 2	SYSCR2	R/W	H'F0	H'FFF1

(1) 系统控制寄存器 1 (SYSCR1)

位	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0
初始值:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

SYSCR1 为 8 位可读写寄存器，进行低功耗模式的控制。

SYSCR1 在复位时被初始化成 H'07。

- 位7: 软件待机 (SSBY)

指定向待机模式、时钟模式的转移。

位 7	说明
SSBY	
0	在激活模式执行 SLEEP 指令后，转移到睡眠模式 在子激活模式执行 SLEEP 指令后，转移到子睡眠模式 (初始值)
1	在激活模式执行 SLEEP 指令后，转移到待机模式或者时钟模式 在子激活模式执行 SLEEP 指令后，转移到时钟模式。

- 位6~4: 待机定时器选择2~0 (STS2~STS0)

在通过特定的中断,解除待机模式和时钟模式并转移到激活模式时,指定到时钟稳定为止的CPU和外围功能的待机时间。必须对应运行频率,将待机时间设定为振荡稳定时间以上。但是,H8/38024、H8/38024S、H8/38024F-ZTAT群与H8/38124群不同。

H8/38024、H8/38024S、H8/38024R 群

位 6	位 5	位 4	说明
STS2	STS1	STS0	
0	0	0	待机时间= 8,192 个状态 (初始状态)
0	0	1	待机时间= 16,384 个状态
0	1	0	待机时间= 1,024 个状态
0	1	1	待机时间= 2,048 个状态
1	0	0	待机时间= 4,096 个状态
1	0	1	待机时间= 2 个状态 (外部时钟输入模式)
1	1	0	待机时间= 8 个状态
1	1	1	待机时间= 16 个状态

H8/38124 群

位 6	位 5	位 4	说明
STS2	STS1	STS0	
0	0	0	待机时间= 8,192 个状态 (初始状态)
0	0	1	待机时间= 16,384 个状态
0	1	0	待机时间= 32,768 个状态
0	1	1	待机时间= 65,536 个状态
1	0	0	待机时间= 131,072 个状态
1	0	1	待机时间= 2 个状态 (外部时钟输入模式)
1	1	0	待机时间= 8 个状态
1	1	1	待机时间= 16 个状态

【注】 在输入外部时钟时,必须在执行模式转移前设定成外部时钟输入模式。另外,在不使用外部时钟时,不能设定成外部时钟输入模式。

在 H8/38124 群使用内部振荡器时,推荐 8,192 个状态 (STS2=STS1=STS0=0)。

- 位3: 低速ON标志 (LSON)

在解除时钟模式时, 选择将 CPU 的运行时钟置成系统时钟 (ϕ) 还是置成子时钟 (ϕ_{SUB})。通过其它控制位和中断输入的组合来决定运行模式。

位 3	说明
LSON	
0	CPU 的运行时钟为系统时钟 (ϕ) (初始值)
1	CPU 的运行时钟为子时钟 (ϕ_{SUB})

- 位2: 保留位

保留位。总是读出 1, 写无效。

- 位1、0: 激活 (中速) 模式时钟选择 (MA1、MA0)

选择激活 (中速) 模式或者睡眠 (中速) 模式的运行时钟 ($\phi_{osc/128}$ 、 $\phi_{osc/64}$ 、 $\phi_{osc/32}$ 、 $\phi_{osc/16}$)。必须在激活 (高速) 模式或者子激活模式进行 MA1、MA0 的写操作。

位 1	位 0	说明
MA1	MA0	
0	0	$\phi_{osc/16}$
0	1	$\phi_{osc/32}$
1	0	$\phi_{osc/64}$
1	1	$\phi_{osc/128}$ (初始值)

(2) 系统控制寄存器 2 (SYSCR2)

位	:	7	6	5	4	3	2	1	0
		—	—	—	NESEL	DTON	MSON	SA1	SA0
初始值:		1	1	1	1	0	0	0	0
R/W	:	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 为 8 位可读写寄存器, 进行低功耗模式的控制。

- 位7~5: 保留位

保留位。各位总是读出 1, 写无效。

- 位4: 噪声消除采样频率选择 (NESEL)

选择通过由系统时钟振荡器生成的 OSC 时钟 (ϕ_{osc}) 采样由子时钟振荡器生成的钟表时钟 (ϕ_w) 的频率。

在 $\phi_{osc}=2\sim 20\text{MHz}$ 时, 必须置 0。

位 4	说明
NESEL	
0	用 ϕ_{osc} 的 16 分频时钟采样
1	用 ϕ_{osc} 的 4 分频时钟采样 (初始值)

- 位3: 直接转移ON标志 (DTON)

指定是否在激活 (高速) 模式、激活 (中速) 模式、子激活模式的各模式之间, 通过执行 SLEEP 指令进行直接转移。通过该位以外的控制位的组合, 决定执行 SLEEP 指令后的转移运行模式。

位 3	说明
DTON	
0	<ul style="list-style-type: none"> • 在激活模式执行完 SLEEP 指令后, 转移到待机模式、时钟模式或者睡眠模式 • 在子激活模式执行完 SLEEP 指令后, 转移到时钟模式或者子睡眠模式 (初始值)
1	<ul style="list-style-type: none"> • 在激活 (高速) 模式执行完 SLEEP 指令后, 直接转移到激活 (中速) 模式 (在 SSBY=0、MSON=1、LSON=0 时) 或者子激活模式 (在 SSBY=1、TMA3=1、LSON=1 时) • 在激活 (中速) 模式执行完 SLEEP 指令后, 直接转移到激活 (高速) 模式 (在 SSBY=0、MSON=0、LSON=0 时) 或者子激活模式 (在 SSBY=1、TMA3=1、LSON=1 时) • 在子激活模式执行完 SLEEP 指令后, 直接转移到激活 (高速) 模式 (在 SSBY=1、TMA3=1、LSON=0、MSON=0 时) 或者激活 (中速) 模式 (在 SSBY=1、TMA3=1、LSON=0、MSON=1 时)

- 位2: 中速ON标志 (MSON)

在解除待机模式、时钟模式或者睡眠模式后, 选择是在激活 (高速) 模式运行还是在激活 (中速) 模式运行。

位 2	说明
MSON	
0	在激活 (高速) 模式运行 (初始值)
1	在激活 (中速) 模式运行

- 位1、0：子激活模式时钟选择（SA1、SA0）

选择子激活模式的 CPU 的运行时钟（ $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ ）。在子激活模式即使写 SA1、SA2，值也不被更新。

位 1	位 0	说明	
SA1	SA0		
0	0	$\phi_w/8$	(初始值)
0	1	$\phi_w/4$	
1	*	$\phi_w/2$	

* Don't care

5.2 睡眠模式

5.2.1 向睡眠模式的转移

(1) 向睡眠（高速）模式的转移

在激活模式，如果在 SYSCR1 的 SSBY 为 0、LSON 为 0、SYSCR2 的 MSON 为 0 以及 DTON 为 0 时执行 SLEEP 指令，就转移到睡眠模式。在睡眠模式，虽然停止 CPU 的运行，但是内部外围模块运行。并且，保持 CPU 的寄存器的内容。

(2) 向睡眠（中速）模式的转移

在激活模式，如果在 SYSCR1 的 SSBY 为 0、LSON 为 0、SYSCR2 的 MSON 为 1 以及 DTON 为 0 时执行 SLEEP 指令，就转移到睡眠（中速）模式。在睡眠（中速）模式，和睡眠（高速）模式同样，停止 CPU 的运行，内部外围模块运行。但是，在睡眠（中速）模式，根据以 SYSCR1 的 MA1、MA0 所设定的频率时钟运行。并且，保持 CPU 的寄存器的内容。

另外，在向睡眠（中速）模式转移时，可能会提前 1/2 个状态的时序运行。

5.2.2 解除睡眠模式

通过所有中断（定时器 A、定时器 C、定时器 F、定时器 G、异步事件计数器、IRQAEC、IRQ4、IRQ3、IRQ1、IRQ0、WKP7~WKP0、SCI3、A/D 转换器）或者 $\overline{\text{RES}}$ 管脚输入，解除睡眠模式。

(1) 通过中断的解除

如果发生中断请求，就解除睡眠模式，并且开始中断异常处理。

从睡眠（高速）模式转移到激活（高速）模式或者从睡眠（中速）模式转移到激活（中速）模式。当 CCR 的 I 位为 1 时，或者由中断许可寄存器禁止接受该中断时，睡眠状态不被解除。

另外，为了取得中断请求信号和系统时钟的同步，从发生中断请求信号到开始中断异常处理为止，有时会产生最大 $2/\phi$ (s) 的延迟。

(2) 通过 $\overline{\text{RES}}$ 管脚的解除

如果将 $\overline{\text{RES}}$ 管脚置成低电平，就转移到复位状态，并且解除睡眠模式。

5.2.3 关于睡眠（中速）模式的运行频率

睡眠（中速）模式以 SYSCR1 的 MA1、MA0 所设定的频率时钟运行。

5.3 待机模式

5.3.1 向待机模式的转移

在激活模式，如果在 SYSCR1 的 SSBY 为 1、LSON 为 0 以及 TMA 的 TMA3 为 0 时执行 SLEEP 指令，就转移到待机模式。在待机模式，由于停止供给来自时钟发生电路的时钟，CPU 和内部外围功能将停止。只要供给规定的电压，就保持 CPU 的寄存器和一部分的内部外围功能的内部寄存器以及内部 RAM 的数据。另外，如果提供由 RAM 数据保持电压所规定的电压，就保持内部 RAM 的数据。此时，I/O 端口变为高阻抗状态（HD64F38024 的端口 5 保持管脚状态）。

5.3.2 解除待机模式

通过中断（IRQ1、IRQ0、WKP7~WKP0）或者 $\overline{\text{RES}}$ 管脚输入，解除待机模式。

(1) 通过中断的解除

如果发生中断请求，就开始系统时钟的振荡，经过由 SYSCR1 的 STS2~STS0 设定的时间后，就将稳定了的系统时钟提供给整个 LSI，并且解除待机模式和开始中断异常处理。在 SYSCR2 的 MSON 为 0 时，转移到激活（高速）模式；为在 SYSCR2 的 MSON 为 1 时，转移到激活（中速）模式。另外，当 CCR 的 I 位为 1 时，或者由中断允许寄存器禁止接受该中断时，待机模式不被解除。

(2) 通过 $\overline{\text{RES}}$ 管脚的解除

如果将 $\overline{\text{RES}}$ 管脚置成低电平，就开始系统时钟的振荡。在经过振荡稳定时间后，如果将 $\overline{\text{RES}}$ 管脚变为高电平，CPU 就开始复位异常处理。另外，在开始系统时钟振荡的同时，将系统时钟提供给整个 LSI。在系统时钟振荡稳定之前，必须保持 $\overline{\text{RES}}$ 管脚为低电平。

5.3.3 解除待机模式后的振荡稳定时间的设定

SYSCR1 的 STS2~STS0 的设定如下所示。但是，必须注意 H8/38024、H8/38024S、H8/38024R 群与 H8/38124 群不同。

(1) 在谐振器的情况下

对于运行频率和 STS2~STS0 的设定值的待机时间如表 5.4 (1)、(2) 所示。必须设定 STS2~STS0，使待机时间为振荡稳定时间以上。

表 5.4 (1) 运行频率和振荡稳定时间 (H8/38024、H8/38024S、H8/38024R 群)

(单位: ms)

STS2	STS1	STS0	待机时间	5MHz	2MHz
0	0	0	8,192 个状态	1.638	4.1
		1	16,384 个状态	3.277	8.2
	1	0	1,024 个状态	0.205	0.512
		1	2,048 个状态	0.410	1.024
1	0	0	4,096 个状态	0.819	2.048
		1	2 个状态 (外部时钟以外禁止使用)	0.0004	0.001
	1	0	8 个状态	0.002	0.004
		1	16 个状态	0.003	0.008

表 5.4 (2) 运行频率和振荡稳定时间 (H8/38124 群)

(单位: ms)

STS2	STS1	STS0	待机时间	5MHz	2MHz
0	0	0	8,192 个状态	1.638	4.1
		1	16,384 个状态	3.277	8.2
	1	0	32,768 个状态	6.554	16.4
		1	65,536 个状态	13.108	32.8
1	0	0	131,072 个状态	26.216	65.5
		1	2 个状态 (外部时钟以外禁止使用)	0.0004	0.001
	1	0	8 个状态	0.002	0.004
		1	16 个状态	0.003	0.008

(2) 在外部时钟的情况下

推荐使用 STS2=1、STS1=0、STS0=1。虽然也可以使用其它的设定，但是 STS2=1、STS1=0、STS0=1 以外的设定，有时会在待机时间结束前开始运行。

(3) 在内部振荡器的情况下

在 H8/38124 群使用内部振荡器时，推荐 8,192 个状态 (STS2=STS1=STS0=0)。

5.3.4 向待机模式的转移和管脚状态

在激活（高速）模式或者激活（中速）模式，如果在将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 0、将 TMA 的 TMA3 置成 0 状态下执行 SLEEP 指令，就转移到待机模式。同时管脚变为高阻抗状态（上拉 MOS ON 设定管脚除外）（HD64F38024 的端口 5 保持管脚状态）。此时的时序如图 5.2 所示。

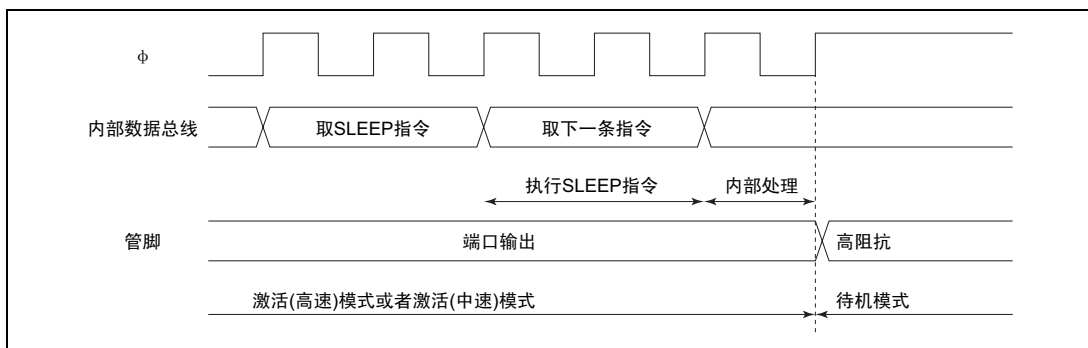


图 5.2 向待机模式的转移和管脚状态

5.3.5 在待机模式前后当外部输入信号变化时的注意事项

(1) 在待机模式和时钟模式前后外部输入信号变化的情况下

在输入 \overline{IRQ} 、 \overline{WKP} 、 $IRQAEC$ 等的外部输入信号时，无论是信号的高电平宽度还是低电平宽度，都需要系统时钟 ϕ 或者子时钟 ϕ_{SUB} （以下称为内部时钟）的 2 个周期以上的宽度。由于在待机模式和时钟模式，内部时钟停止，当经由这些运行模式时，外部输入信号必须符合“（3）推荐外部输入信号的时序”。

(2) 在由于内部时钟停止而不能取得外部输入信号的情况下

取得下降沿的情况如图 5.3 所示。

如“不能取得情况”所示的那样，在通过该信号以外的中断开始振荡，并且在转移到激活（高速、中速）模式或者子激活模式后外部输入信号立即下降的情况下，此时的高电平宽度不到 $2t_{cyc}$ 、 $2t_{subcyc}$ ，所以无法取得此外部信号。

(3) 推荐的外部输入信号时序

为了准确取得外部输入信号，应如图 5.3 “能取得情况 1”所示的那样，在转移到待机模式和时钟模式前，必须保证输入信号的高电平和低电平的宽度为 $2t_{cyc}$ 、 $2t_{subcyc}$ 以上。

另外，即使是图 5.3 的“能取得情况 2”“能取得情况 3”的时序，由于能保证 $2t_{cyc}$ 、 $2t_{subcyc}$ 的电平宽度，因此，能取得外部输入信号。

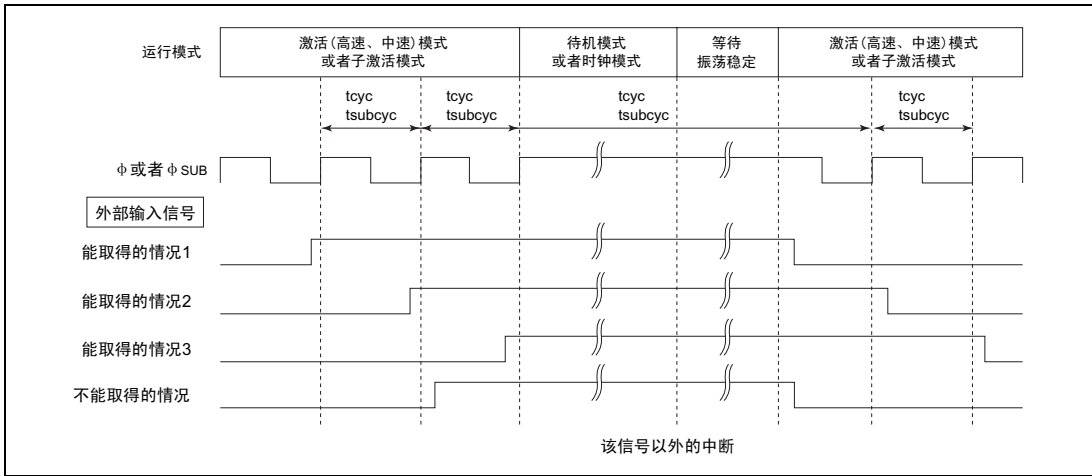


图 5.3 在待机模式和时钟模式前后外部输入信号变化时的注意事项

(4) 适用本注意事项的输入管脚

$\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$ 、 $\overline{\text{IRQAEC}}$ 、 $\overline{\text{TMIC}}$ 、 $\overline{\text{TMIF}}$ 、 $\overline{\text{TMIG}}$ 、 $\overline{\text{ADTRG}}$

5.4 时钟模式

5.4.1 向时钟模式转移

在激活模式和子激活模式，如果在 SYSCR1 的 SSBY 为 1、TMA 的 TMA3 为 1 时执行 SLEEP 指令，就转移到时钟模式。在时钟模式，定时器 A、定时器 F、定时器 G、异步事件计数器、LCD（可选择运行/停止）以外的内部外围功能停止运行。只要供给规定的电压，就能保持 CPU 和一部分内部外围功能的内部寄存器以及内部 RAM 的内容，I/O 端口保持转移前的状态。

5.4.2 解除时钟模式

通过中断（ $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$ 、定时器 A、定时器 F、定时器 G）和 $\overline{\text{RES}}$ 管脚输入，解除时钟模式。

(1) 通过中断解除

如果发生中断请求，就解除时钟模式，并且通过 SYSCR1 的 LSON 和 SYSCR2 的 MSON 的组合，当 LSON=0 且 MSON=0 时转移到激活（高速）模式；当 LSON=0 且 MSON=1 时转移到激活（中速）模式；当 LSON=1 时转移到子激活模式。在转移到激活模式时，在经过由 SYSCR1 的 STS2~STS0 设定的时间后，将稳定后的时钟提供给整个 LSI，并且开始中断异常处理。另外，当 CCR 的 I 位为 1 时，或者由中断许可寄存器禁止接受该中断时，时钟模式不被解除。

(2) 通过 $\overline{\text{RES}}$ 管脚解除

关于通过 $\overline{\text{RES}}$ 管脚的解除，请参照“5.3.2 解除待机模式 (2) 通过 $\overline{\text{RES}}$ 管脚解除”。

5.4.3 解除时钟模式后的振荡稳定时间的设定

关于解除时钟模式后的振荡稳定时间的设定，请参照“5.3.3 解除待机模式后的振荡稳定时间的设定”。

5.4.4 在时钟模式前后当外部输入信号变化时的注意事项

请参照“5.3.5 在待机模式前后当外部输入信号变化时的注意事项”。

5.5 子睡眠模式

5.5.1 向子睡眠模式转移

在子激活模式，如果在 SYSCR1 的 SSBY 为 0、LSON 为 1、TMA 的 TMA3 为 1 时执行 SLEEP 指令，就转移到子睡眠模式。在子睡眠模式，A/D 转换器、PWM 以外的内部外围功能运行。只要供给规定的电压，就能保持 CPU 和一部分的内部外围功能的内部寄存器以及内部 RAM 的内容，I/O 端口保持转移前的状态。

5.5.2 解除子睡眠模式

通过中断（定时器 A、定时器 C、定时器 F、定时器 G、异步事件计数器、SCI3、IRQ4、IRQ3、IRQAEC、IRQ1、IRQ0、WKP7~WKP0）或者 $\overline{\text{RES}}$ 管脚输入，解除子睡眠模式。

（1）通过中断解除

如果发生中断请求，就解除子睡眠模式，开始中断异常处理。另外，当 CCR 的 I 位为 1 时，或者由中断许可寄存器禁止接受该中断时，子睡眠模式不被解除。

为了取得中断请求信号和系统时钟的同步，从发生中断请求信号到开始中断异常处理为止，会发生最大 $2/\phi_{\text{SUB}}$ (s) 的延迟。

（2）通过 $\overline{\text{RES}}$ 管脚解除

关于通过 $\overline{\text{RES}}$ 管脚的解除，请参照“5.3.2 解除待机模式（2）通过 $\overline{\text{RES}}$ 管脚解除”。

5.6 子激活模式

5.6.1 向子激活模式转移

在时钟模式，当发生中断（定时器 A、定时器 F、定时器 G、IRQ0、WKP7~WKP0）时，如果 SYSCR1 的 LSON 是 1，就转移到子激活模式。在子睡眠模式，当发生中断（定时器 A、定时器 C、定时器 F、定时器 G、异步事件计数器、SCI3、IRQ4、IRQ3、IRQAEC、IRQ1、IRQ0、WKP7~WKP0）时，就转移到子激活模式。另外，当 CCR 的 I 位为 1 时，或者当通过中断允许寄存器禁止接受该中断时，不转移到子激活模式。

5.6.2 解除子激活模式

通过 SLEEP 指令或者 $\overline{\text{RES}}$ 管脚的输入，解除子激活模式。

(1) 通过 SLEEP 指令解除

如果在 SYSCR1 的 SSBY 为 1、TMA 的 TMA3 为 1 的状态下执行 SLEEP 指令，就解除子激活模式，转移到时钟模式。如果在 SYSCR1 的 SSBY 为 0、LSON 为 1、TMA 的 TMA3 为 1 的状态时执行 SLEEP 指令，就转移到子睡眠模式。另外，通过直接转移，转移到激活模式。直接转移的详细内容，请参照“5.8 直接转移”。

(2) 通过 $\overline{\text{RES}}$ 管脚解除

关于通过 $\overline{\text{RES}}$ 管脚的解除，请参照“5.3.2 解除待机模式 (2) 通过 $\overline{\text{RES}}$ 管脚解除”。

5.6.3 关于子激活模式的运行频率

子激活模式的运行频率可以通过 SYSCR2 的 SA1、SA0 从钟表时钟 (ϕ_w) 的 2 分频、4 分频和 8 分频中选择。

5.7 激活（中速）模式

5.7.1 向激活（中速）模式转移

在待机模式发生中断（IRQ1、IRQ0、WKP7~WKP0）时，或者在时钟模式发生中断（定时器 A、定时器 F、定时器 G、IRQ0、WKP7~WKP0）时，以及在睡眠模式发生所有中断时，如果 SYSCR1 的 LSON 为 0 并且 SYSCR2 的 MSON 为 1，就转移到激活（中速）模式。另外，当 CCR 的 I 位为 1 时，或者由中断许可寄存器禁止接受该中断时，将不转移到激活（中速）模式。

另外，在转移到激活（中速）模式时，可能会提前 1/2 状态的时序运行。

5.7.2 解除激活（中速）模式

通过 SLEEP 指令，解除激活（中速）模式。

（1）通过 SLEEP 指令解除

如果在 SYSCR1 的 SSBY 为 1、LSON 为 0、TMA 的 TMA3 为 0 的状态下执行 SLEEP 指令，就转移到待机模式。
如果在 SYSCR1 的 SSBY 为 1、TMA 的 TMA3 为 1 的状态下执行 SLEEP 指令，就转移到时钟模式。

如果在 SYSCR1 的 SSBY 为 0、LSON 为 0 的状态下执行 SLEEP 指令，就转移到睡眠模式。通过直接转移，转移到激活（高速）模式或者子激活模式。

关于直接转移的详细内容，请参照“5.8 直接转移”。

（2）通过 $\overline{\text{RES}}$ 管脚解除

如果将 $\overline{\text{RES}}$ 管脚置成低电平状态，就转移到复位状态，并且解除激活（中速）模式。

5.7.3 关于激活（中速）模式的运行频率

激活（中速）模式通过 SYSCR1 的 MA1、MA0 所设定的频率时钟运行。

5.8 直接转移

5.8.1 直接转移概要

CPU 执行程序的运行模式有激活（高速）模式、激活（中速）模式和子激活模式 3 种。在此 3 种运行模式之间进行不停止程序运行的转移被称为直接转移。直接转移可以通过将 SYSCR2 的 DTON 置 1 并且执行 SLEEP 指令来进行。在转移后，开始直接转移中断异常处理。当通过中断允许寄存器 2（IENR2）禁止直接转移中断时，就转移到睡眠模式或者时钟模式。另外，如果在 CCR 的 I 位为 1 的状态下直接转移，就转移到睡眠模式或者时钟模式，请注意转移后的模式不能通过中断来解除。

（1）从激活（高速）模式向激活（中速）模式直接转移

在激活（高速）模式，如果在将 SYSCR1 的 SSBY 置成 0、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 1、将 DTON 置成 1 的状态下执行 SLEEP 指令，就经由睡眠模式转移到激活（中速）模式。

（2）从激活（中速）模式向激活（高速）模式直接转移

在激活（中速）模式，如果在将 SYSCR1 的 SSBY 置成 0、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 0、将 DTON 置成 1 的状态下执行 SLEEP 指令，就经由睡眠模式转移到激活（高速）模式。

（3）从激活（高速）模式向子激活模式直接转移

在激活（高速）模式，如果在将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 1、将 SYSCR2 的 DTON 置成 1、将 TMA 的 TMA3 置成 1 的状态下执行 SLEEP 指令，就经由时钟模式转移到子激活模式。

(4) 从子激活模式向激活（高速）模式直接转移

在子激活模式，如果在将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 0、将 DTON 置成 1、将 TMA 的 TMA3 置成 1 的状态下执行 SLEEP 指令，就经由时钟模式，经过由 SYSCR1 的 STS2~STS0 设定的时间后，直接转移到激活（高速）模式。

(5) 从激活（中速）模式向子激活模式直接转移

在激活（中速）模式，如果在将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 1、将 SYSCR2 的 DTON 置成 1、将 TMA 的 TMA3 置成 1 的状态下执行 SLEEP 指令，就经由时钟模式转移到子激活模式转移。

(6) 从子激活模式向激活（中速）模式直接转移

在子激活模式，如果在将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 1、将 DTON 置成 1、将 TMA 的 TMA3 置成 1 的状态下执行 SLEEP 指令，就经由时钟模式，在经过由 SYSCR1 的 STS2~STS0 设定的时间后，直接转移到激活（中速）模式。

5.8.2 直接转移的时间

(1) 关于从激活（高速）模式向激活（中速）模式直接转移时的时间

从激活（高速）模式向激活（中速）模式的直接转移是在激活（高速）模式，在将 SYSCR1 的 SSBY 置成 0、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 1、将 DTON 置成 1 的状态下，通过执行 SLEEP 指令来进行。从 SLEEP 指令执行开始到中断异常处理结束为止的时间（直接转移时间）用 (1) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{cyc}}) + (\text{中断异常处理执行状态数}) \\ & \times (\text{转移后的 } t_{\text{cyc}}) \dots\dots\dots (1) \end{aligned}$$

$$\text{(例) 直接转移时间} = (2+1) \times 2t_{\text{osc}} + 14 \times 16t_{\text{osc}} = 230t_{\text{osc}}$$

(CPU 运行时钟: 选择 $\phi/8$ 时)

(符号说明)

t_{osc} : OSC 时钟周期时间

t_{cyc} : 系统时钟 (ϕ) 周期时间

(2) 关于从激活（中速）模式向激活（高速）模式直接转移时的时间

从激活（中速）模式向激活（高速）模式的直接转移是在激活（中速）模式，在将 SYSCR1 的 SSBY 置成 0、LSON 置成 0、将 SYSCR2 的 MSON 置成 0、将 DTON 置成 1 的状态下，通过执行 SLEEP 指令来进行。从 SLEEP 指令执行开始到中断异常处理结束为止的时间（直接转移时间）用 (2) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{cyc}}) + (\text{中断异常处理执行状态数}) \\ & \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots \cdots (2) \end{aligned}$$

$$\text{〔例〕直接转移时间} = (2+1) \times 16t_{\text{osc}} + 14 \times 2t_{\text{osc}} = 76t_{\text{osc}}$$

（CPU 运行时钟：选择 $\phi/8$ 时）

〈符号说明〉

t_{osc} : OSC 时钟周期时间

t_{cyc} : 系统时钟 (ϕ) 周期时间

(3) 关于从子激活模式向激活（高速）模式直接转移时的时间

从子激活模式向激活（高速）模式的直接转移是在子激活模式，在将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 0、将 DTON 置成 1、将 TMA 的 TMA3 置成 1 的状态下，通过执行 SLEEP 指令来进行。从 SLEEP 指令执行开始到中断异常处理结束为止的时间（直接转移时间）用 (3) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{subcyc}}) + \{ (\text{以 STS2} \sim \text{STS0 设定的待机时间}) \\ & + (\text{中断异常处理执行状态数}) \} \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots (3) \end{aligned}$$

$$\text{〔例〕直接转移时间} = (2+1) \times 8t_w + (8192+14) \times 2t_{\text{osc}}$$

$$= 24t_w + 16412t_{\text{osc}}$$

（CPU 运行时钟：选择 $\phi_w/8$ 、待机时间：8192 个状态时）

〈符号说明〉

t_{osc} : OSC 时钟周期时间

t_w : 钟表时钟周期时间

t_{cyc} : 系统时钟 (ϕ) 周期时间

t_{subcyc} : 子时钟 (ϕ_{SUB}) 周期时间

(4) 关于从子激活模式向激活（中速）模式直接转移时的时间

从子激活模式向激活（中速）模式的直接转移是在子激活模式，将 SYSCR1 的 SSBY 置成 1、将 LSON 置成 0、将 SYSCR2 的 MSON 置成 1、将 DTON 置成 1、将 TMA 的 TMA3 置成 1 的状态下，通过执行 SLEEP 指令来进行。从 SLEEP 指令执行开始到中断异常处理结束为止的时间（直接转移时间）用 (4) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{subcyc}}) + \{ (\text{以 STS2} \sim \text{STS0 设定的待机时间}) \\ & + (\text{中断异常处理执行状态数}) \} \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots (4) \end{aligned}$$

$$\begin{aligned} \text{(例) 直接转移时间} = & (2+1) \times 8t_w + (8192+14) \times 16t_{\text{osc}} \\ = & 24t_w + 131296t_{\text{osc}} \end{aligned}$$

(CPU 运行时钟: 选择 $\phi_w/8$ 和 $\phi/8$ 、待机时间: 8192 个状态时)

(符号说明)

- t_{osc} : OSC 时钟周期时间
- t_w : 钟表时钟周期时间
- t_{cyc} : 系统时钟 (ϕ) 周期时间
- t_{subcyc} : 子时钟 (ϕ_{SUB}) 周期时间

5.8.3 在直接转移前后当外部输入信号变化时的注意事项

(1) 从激活（高速）模式向子激活模式直接转移

由于经由时钟模式进行模式转移，因此请参照“5.3.5 在待机模式前后外部输入信号变化时的注意事项”。

(2) 从激活（中速）模式向子激活模式的直接转移

由于经由时钟模式进行模式转移，因此请参照“5.3.5 在待机模式前后外部输入信号变化时的注意事项”。

(3) 从子激活模式向激活（高速）模式直接转移

由于经由时钟模式进行模式转移，请参照“5.3.5 在待机模式前后外部输入信号变化时的注意事项”。

(4) 从子激活模式向激活（中速）模式直接转移

由于经由时钟模式进行模式转移，请参照“5.3.5 在待机模式前后外部输入信号变化时的注意事项”。

5.9 模块待机模式

5.9.1 模块待机模式的设定

模块待机模式按各个外围功能进行设定。搭载的所有外围模块都能设定成模块待机模式。如果设定成模块待机模式，就停止供给模块系统时钟，并且功能停止，变为和待机模式相同的状态。

通过将时钟停止寄存器 1 (CKSTPR1) 和时钟停止寄存器 2 (CKSTPR2) 的各位设定成 0，设定模块待机模式（参照表 5.5）。

5.9.2 解除模块待机模式

通过将时钟停止寄存器 1 (CKSTPR1) 和时钟停止寄存器 2 (CKSTPR2) 的各位设定成 1，解除模块待机模式（参照表 5.5）。

在复位后，时钟停止寄存器 1 (CKSTPR1) 和时钟停止寄存器 2 (CKSTPR2) 均被初始化成 H'FF。

表 5.5 通过时钟停止寄存器设定和解除模块待机模式

寄存器名	位名		运 行
CKSTPR1	TACKSTP	1	解除定时器 A 的模块待机模式
		0	将定时器 A 设定成模块待机模式
	TCCKSTP	1	解除定时器 C 的模块待机模式
		0	将定时器 C 设定成模块待机模式
	TFCKSTP	1	解除定时器 F 的模块待机模式
		0	将定时器 F 设定成模块待机模式
	TGCKSTP	1	解除定时器 G 的模块待机模式
		0	将定时器 G 设定成模块待机模式
	ADCKSTP	1	解除 A/D 转换器的模块待机模式
		0	将 A/D 转换器设定成模块待机模式
	S32CKSTP	1	解除 SCI3 的模块待机模式
		0	将 SCI3 设定成模块待机模式

寄存器名	位名		运 行
CKSTPR2	LDCKSTP	1	解除 LCD 的模块待机模式
		0	将 LCD 设定成模块待机模式
	PW1CKSTP	1	解除 PWM1 的模块待机模式
		0	将 PWM1 设定成模块待机模式
	WDCKSTP	1	解除监视定时器的模块待机模式
		0	将监视定时器设定成模块待机模式
	AECKSTP	1	解除异步事件计数器的模块待机模式
		0	将异步事件计数器设定成模块待机模式
	PW2CKSTP	1	解除 PWM2 的模块待机模式
		0	将 PWM2 设定成模块待机模式
	LVDCKSTP*	1	解除 LVD 的模块待机模式
		0	将 LVD 设定成模块待机模式

【注】 各模块运行的详细内容，请参照各模块的有关章节。

* LVDCKSTP 仅在 H8/38124 群时有效。

第 6 章 ROM

6.1 概要

H8/38024、H8/38124 和 H8/38024S 内置 32K 字节、H8/38023、H8/38123 和 H8/38023S 内置 24K 字节、H8/38022、H8/38122 和 H8/38022S 内置 16K 字节、H8/38021、H8/38121 和 H8/38021S 内置 12K 字节、H8/38020、H8/38120 和 H8/38020S 内置 8K 字节的掩模型 ROM。ROM 用 16 位宽的数据总线与 CPU 连接，无论是字节数据还是字数据都可以进行 2 个状态的高速存取。H8/38024 有 ZTAT[®]版和 F-ZTAT[™]版，具有 32K 字节的 PROM 和快速擦写存储器。H8/38124、H8/38122 有 F-ZTAT[™]版，分别具有 32K 字节和 16K 字节的快速擦写存储器。

6.1.1 框图

ROM 的框图如图 6.1 所示。

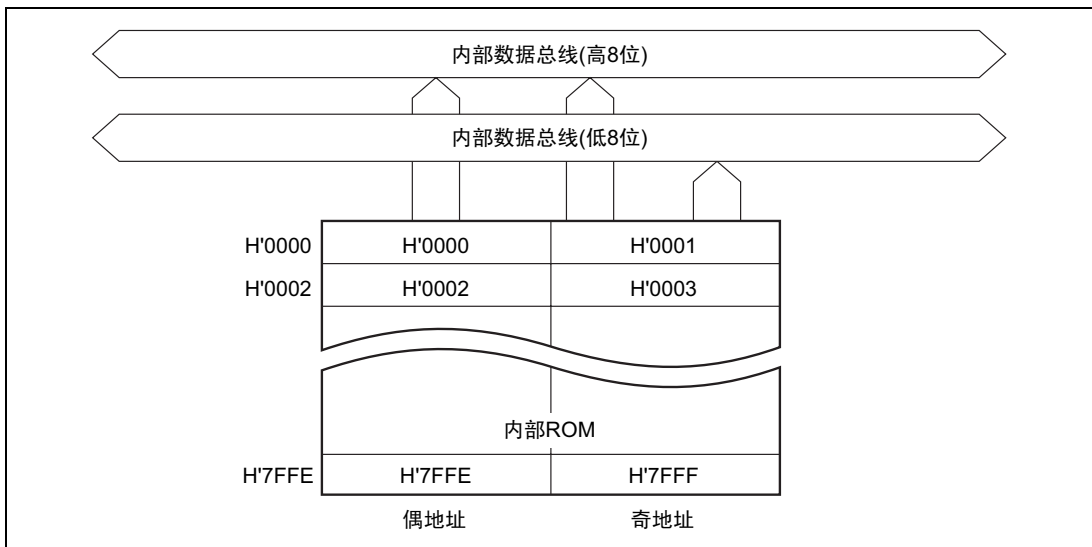


图 6.1 ROM 的框图 (H8/38024 的情况)

6.2 H8/38024 的 PROM 模式

6.2.1 PROM 模式的设定

如果在内部 ROM 为 PROM 的情况下设定成 PROM 模式，就停止作为单片机的功能，可使用和 HN27C101 相同的方法进行内部 PROM 的编程。但是，不支持页编程方式。

PROM 模式的设定方法如表 6.1 所示。

表 6.1 PROM 模式的设定

管脚名	设定
TEST 管脚	高电平
PB0/AN0 管脚	低电平
PB1/AN1 管脚	
PB2/AN2 管脚	高电平

6.2.2 插座适配器的管脚对应和存储器映像

PROM 的编程是装上对应封装的插座适配器，转换成 32 管脚，并使用通用 PROM 编程器进行编程。

插座适配器的管脚对应图如图 6.2 所示，存储器映像如图 6.3 所示。

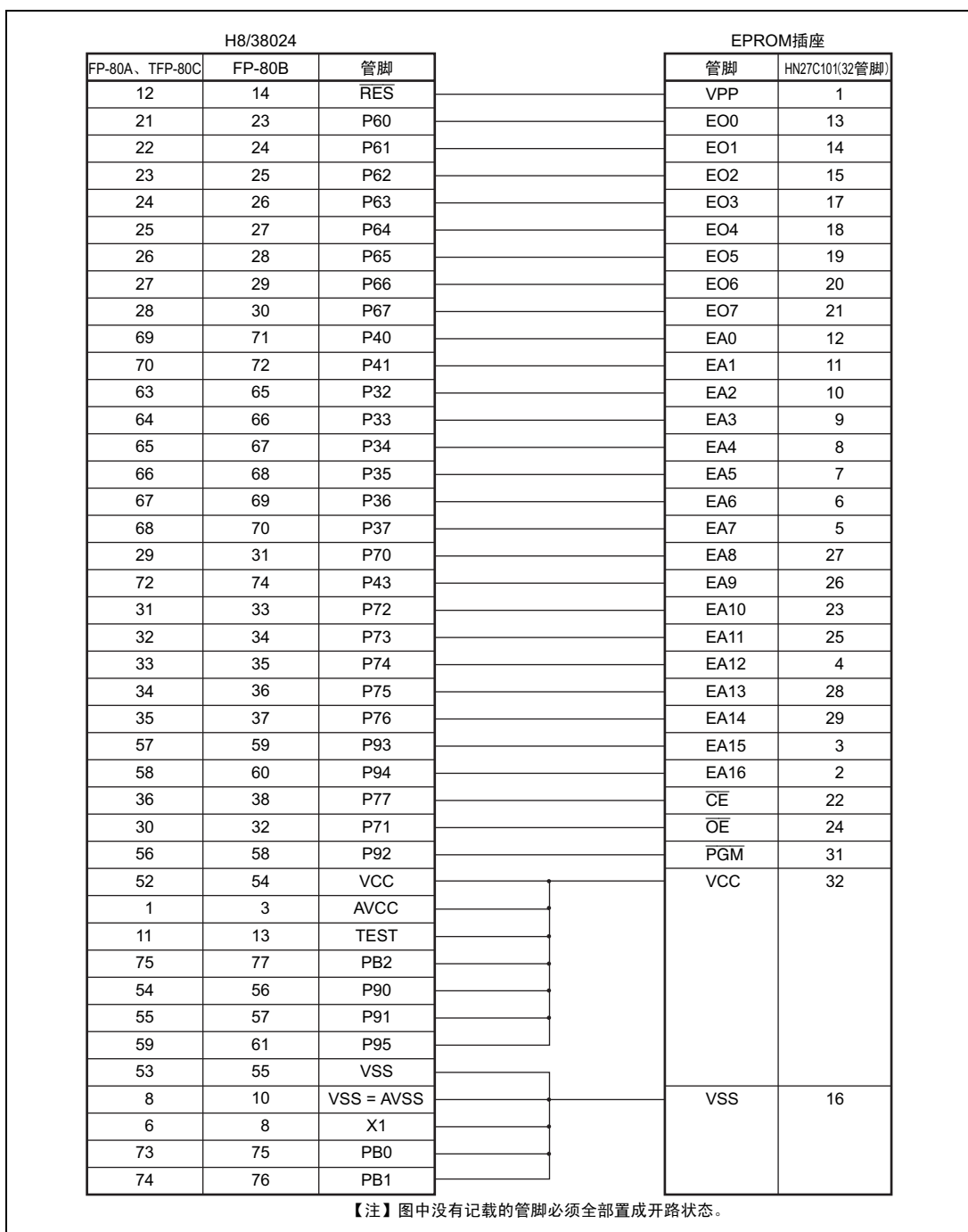


图 6.2 插座适配器的管脚对应图 (HN27C101)

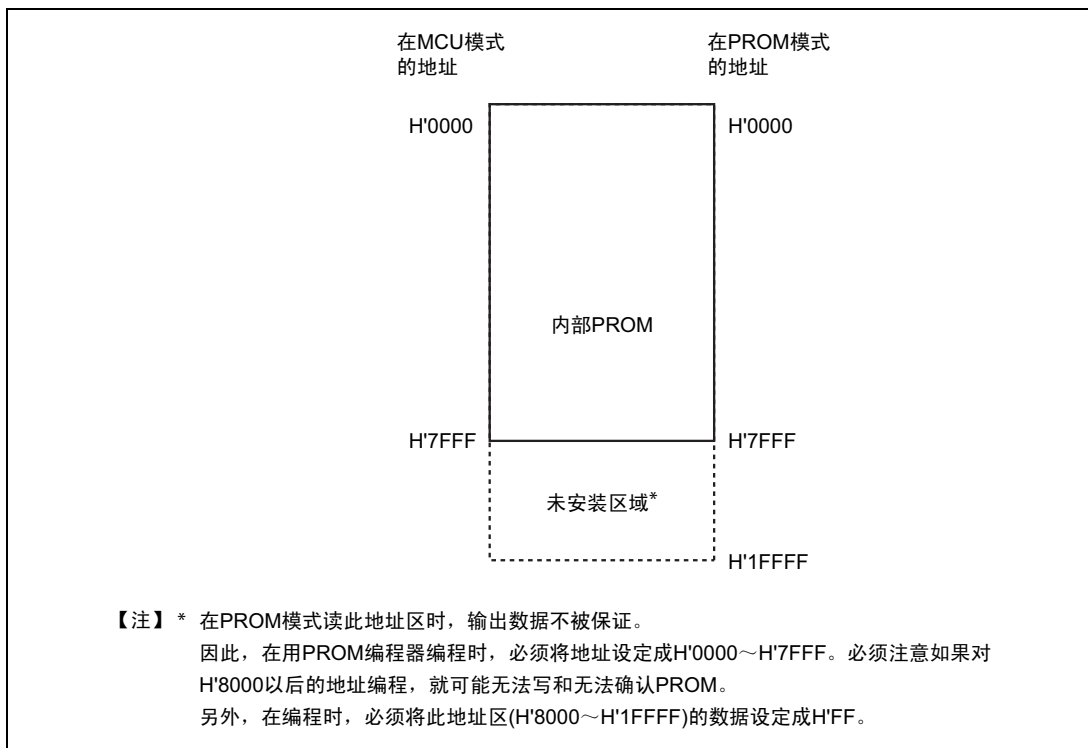


图 6.3 H8/38024 的 PROM 模式时的存储器映像

6.3 H8/38024 的编程

通过如表 6.2 表示的设定，选择 H8/38024 的 PROM 模式时的编程和验证等的模式。

表 6.2 ROM 模式时的编程模式的选择 (H8/38024)

模式	管脚						
	CE	OE	PGM	V _{PP}	V _{CC}	E07~E00	EA16~EA0
编程	L	H	L	V _{PP}	V _{CC}	数据输入	地址输入
验证	L	L	H	V _{PP}	V _{CC}	数据输出	地址输入
禁止编程	L	L	L	V _{PP}	V _{CC}	高阻抗	地址输入
	L	H	H				
	H	L	L				
	H	H	H				

〈符号说明〉

L : 低电平

H : 高电平

V_{PP} : V_{PP} 电平

V_{CC} : V_{CC} 电平

另外，写和读与标准 EPROM HN27C101 的规格相同。但是，由于它不支持页编程方式，因此不能设定成页编程模式。不能使用仅支持页编程模式的 PROM 编程器。在选择 PROM 编程器时，必须确认是否支持每一个字节的高速高可靠性编程模式。另外，必须将地址设定为 H'0000~H'7FFF。

6.3.1 编程/验证

编程/验证能以高效率的高速高可靠性的编程方式进行。此方式能不给芯片施加过大的电压应力和不降低写数据的可靠性而进行高速编程。

高速高可靠性的编程的基本流程如图 6.4 所示。

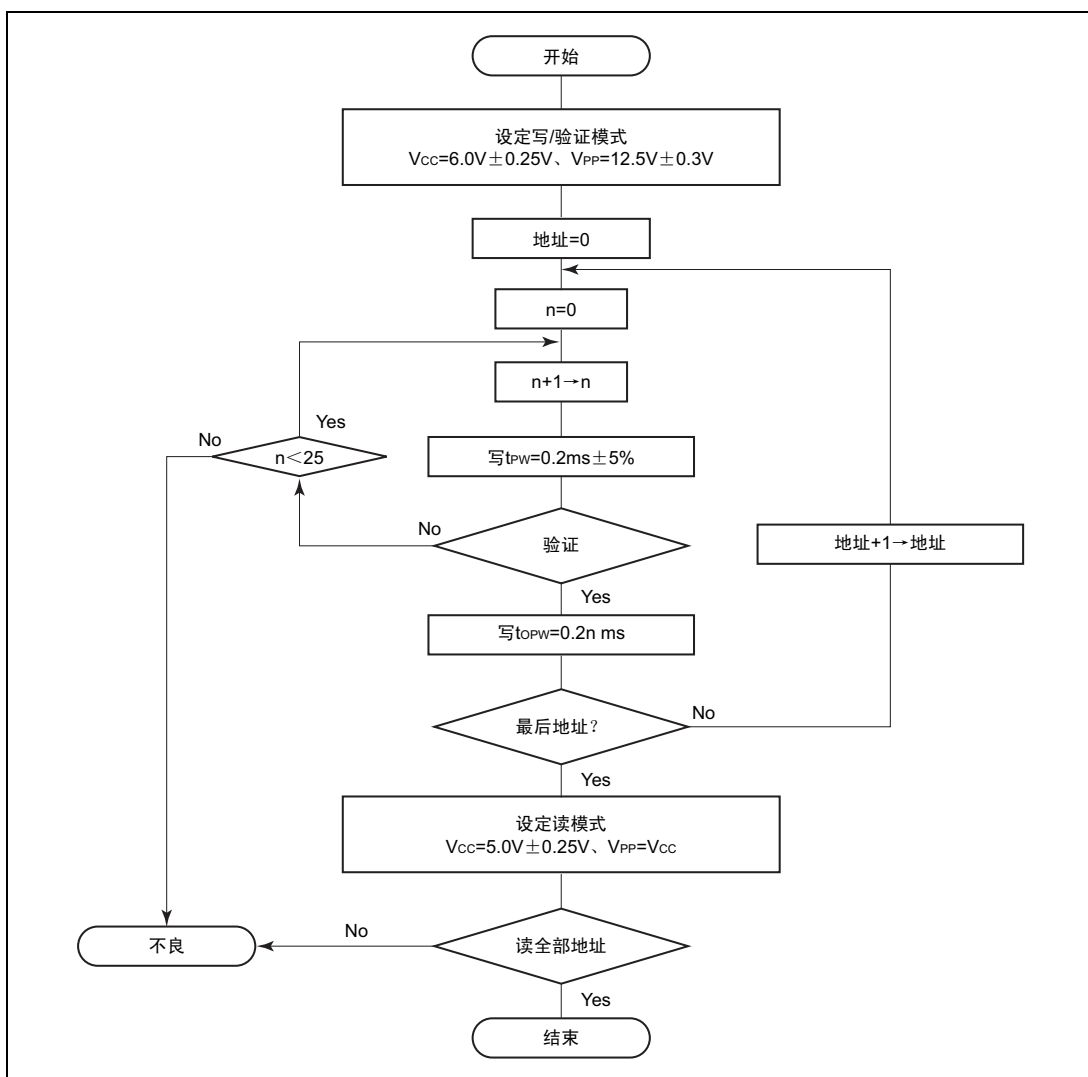


图 6.4 高速高可靠性编程流程图

编程时的电特性如表 6.3、表 6.4 所示。

表 6.3 DC 特性

(条件: $V_{CC}=6.0V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$)

项目	符号	min	typ	max	单位	测定条件
输入高电平电压	EO7~EO0、EA16~EA0 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IH}	2.4	—	$V_{CC}+0.3$	V
输入低电平电压	EO7~EO0、EA16~EA0 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IL}	-0.3	—	0.8	V
输出高电平电压	EO7~EO0	V_{OH}	2.4	—	—	V $I_{OH}=-200\mu A$
输出低电平电压	EO7~EO0	V_{OL}	—	—	0.45	V $I_{OL}=0.8mA$
输入漏泄电流	EO7~EO0、EA16~EA0 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	$ I_{LI} $	—	—	2	μA $V_{in}=5.25V/0.5V$
V_{CC} 电流		I_{CC}	—	—	40	mA
V_{PP} 电流		I_{PP}	—	—	40	mA

表 6.4 AC 特性

(条件: $V_{CC}=6.0V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$)

项目	符号	min	typ	max	单位	测定条件
地址准备时间	t_{AS}	2	—	—	μs	图 6.5*1
\overline{OE} 准备时间	t_{OES}	2	—	—	μs	
数据准备时间	t_{DS}	2	—	—	μs	
地址保持时间	t_{AH}	0	—	—	μs	
数据保持时间	t_{DH}	2	—	—	μs	
数据输出禁止时间	t_{DF}^{*2}	—	—	130	ns	
V_{PP} 准备时间	t_{VPS}	2	—	—	μs	
编程脉冲宽度	t_{PW}	0.19	0.20	0.21	ms	
重新编程时的 PGM 脉冲宽度	t_{OPW}^{*3}	0.19	—	5.25	ms	
V_{CC} 准备时间	t_{VCS}	2	—	—	μs	
\overline{CE} 准备时间	t_{CES}	2	—	—	μs	
数据输出延迟时间	t_{OE}	0	—	200	ns	

【注】 *1 输入脉冲电平: 0.45~2.4V

输入上升沿/下降沿时间 $\leq 20ns$

时序参照电平输入: 0.8V、2.0V

输出: 0.8V、2.0V

*2 在 t_{DF} 的输出达到开放状态, 并且在不能参照输出电平时定义。

*3 t_{OPW} 用在图 6.4 高速高可靠性编程流程图中记载的值定义。

PROM 的编程/验证时序如图 6.5 所示。

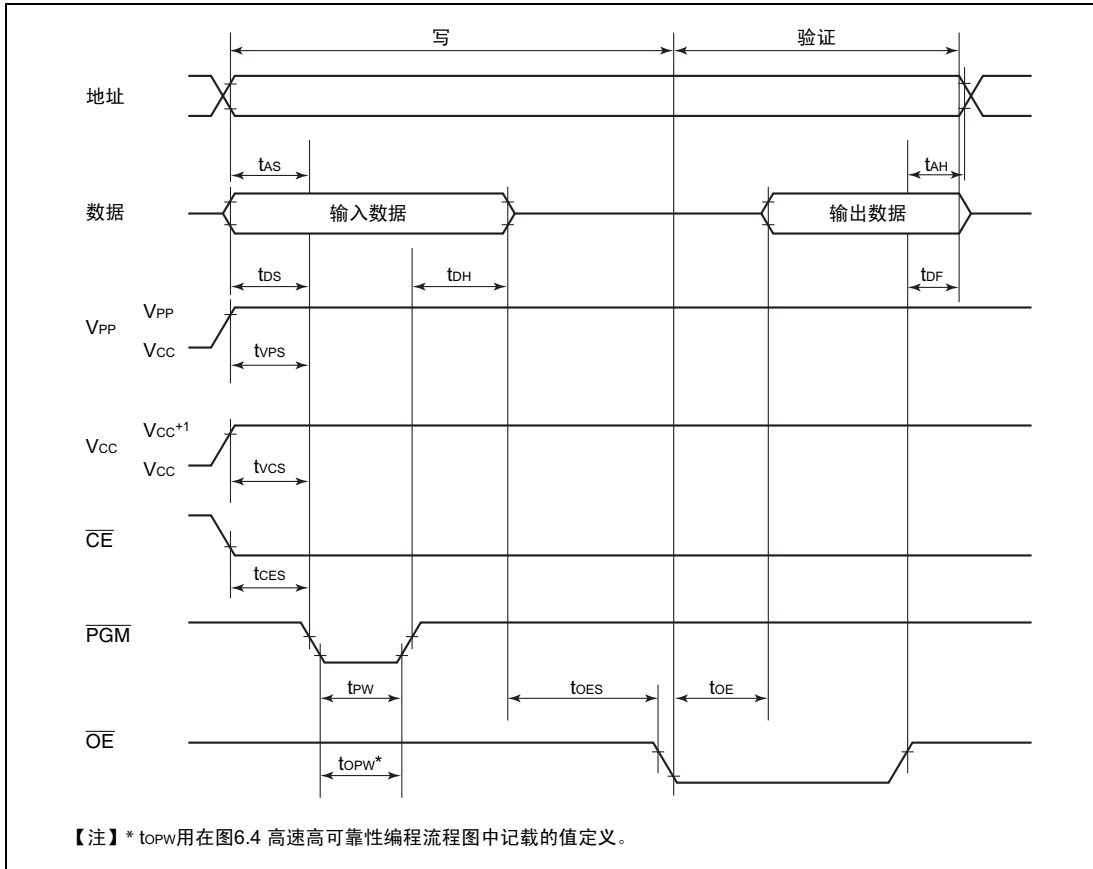


图 6.5 PROM 的编程/验证时序

6.3.2 编程时的注意事项

1. 必须按规定的电压、时序进行编程。

PROM模式时的编程电压 (V_{PP}) 是12.5V。

必须注意：如果外加额定值以上的电压，就会对产品造成永久性的破坏。特别要注意的是PROM编程器的过冲量。

如果将PROM编程器置成HN27C101的瑞萨（原日立）规格， V_{PP} 就为12.5V。

2. 如果PROM编程器的插座、插座适配器以及产品的各个索引标志不一致，就可能会由于过剩电流而破坏产品。因此在编程前，必须确认是否正确地安装在PROM编程器上。
3. 在编程过程中，请不要触摸插座适配器和产品。接触不良可能会导致编程错误。
4. 于编程模式不支持页编程方式，因此必须注意编程模式的设定。
5. 在使用PROM编程器编程时，必须将地址设定成H'0000~H'7FFF。必须注意：如果对H'8000以后的地址编程，就可能无法编程和确认PROM。另外，在编程时，必须将H'8000~H'1FFFF的地址区的数据设定为H'FF。

6.4 编程后的可靠性

在写数据后，为了使数据更好地保持特性，通过 150°C 的高温放置进行筛选非常有效。高温放置是筛选的一种方法，能在短时间内排除 PROM 存储器单元的初始数据保持不良。

推荐的筛选流程如图 6.6 所示。

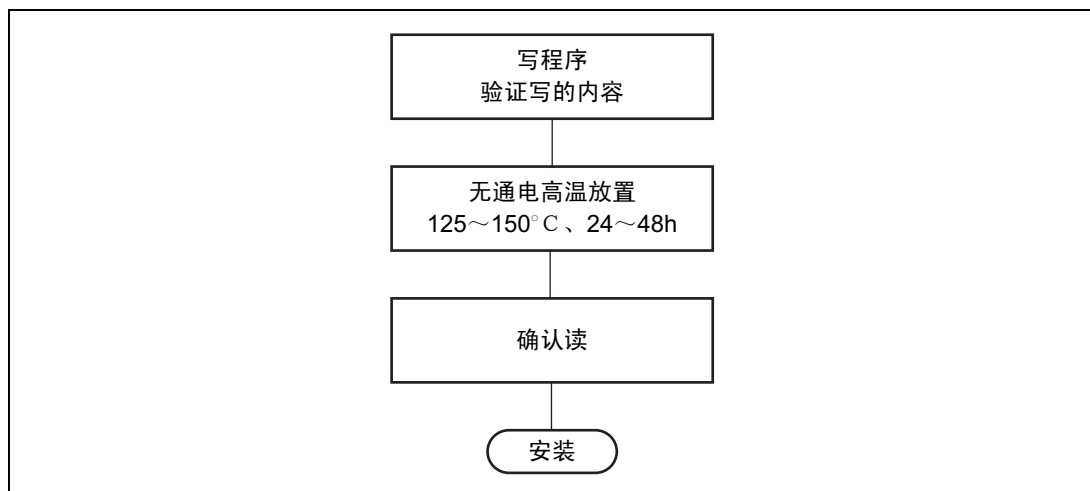


图 6.6 推荐筛选流程

在使用相同的 PROM 编程器进行编程中，当连续发生编程错误时，必须中止编程，确认 PROM 编程器、插座适配器是否异常。

另外，如果在编程或者高温放置后的编程确认中发现异常，请和本公司的技术人员联系。

6.5 快速擦写存储器的概要

6.5.1 特点

快速擦写存储器版内置的 32K 或者 16K 字节快速擦写存储器有如下特点：

- 编程/擦除方式

编程是128字节单位的同时编程方式。擦除以块为单位进行。HD64F38024、HD64F38024R、HD64F38124的快速擦写存储器被分成1K字节×4块和28K字节×1块。另外，HD64F38122的快速擦写存储器被分成1K字节×4块和12K字节×1块。进行全部擦除时也必须按块分别擦除。

- 改写次数

HD64F38024R、HD64F38124和HD64F38122可进行1000次改写，HD64F38024可进行100次改写。

- 单板上编程

通过启动内部引导程序，进行全部擦除或者编程的引导模式，可以进行单板上编程/擦除。此外，以通常的用户模式也可在单板上擦除和改写任意块。

- 编程器模式

除单板上编程以外，还有使用PROM编程器进行编程/擦除的编程器模式。

- 位速率自动匹配

在引导模式传送数据时，自动地匹配主机的传送位速率和本LSI的位速率。

- 编程/擦除保护

通过软件能设定对快速擦写存储器的编程/擦除保护。

- 低功耗模式

在子激活模式，能停止部分电源电路的运行，在低功耗模式读快速擦写存储器。

【注】 在对 HD64F38124 和 HD64F38122 的快速擦写存储器执行编程/擦除时，必须使用系统时钟振荡器。

6.5.2 框图

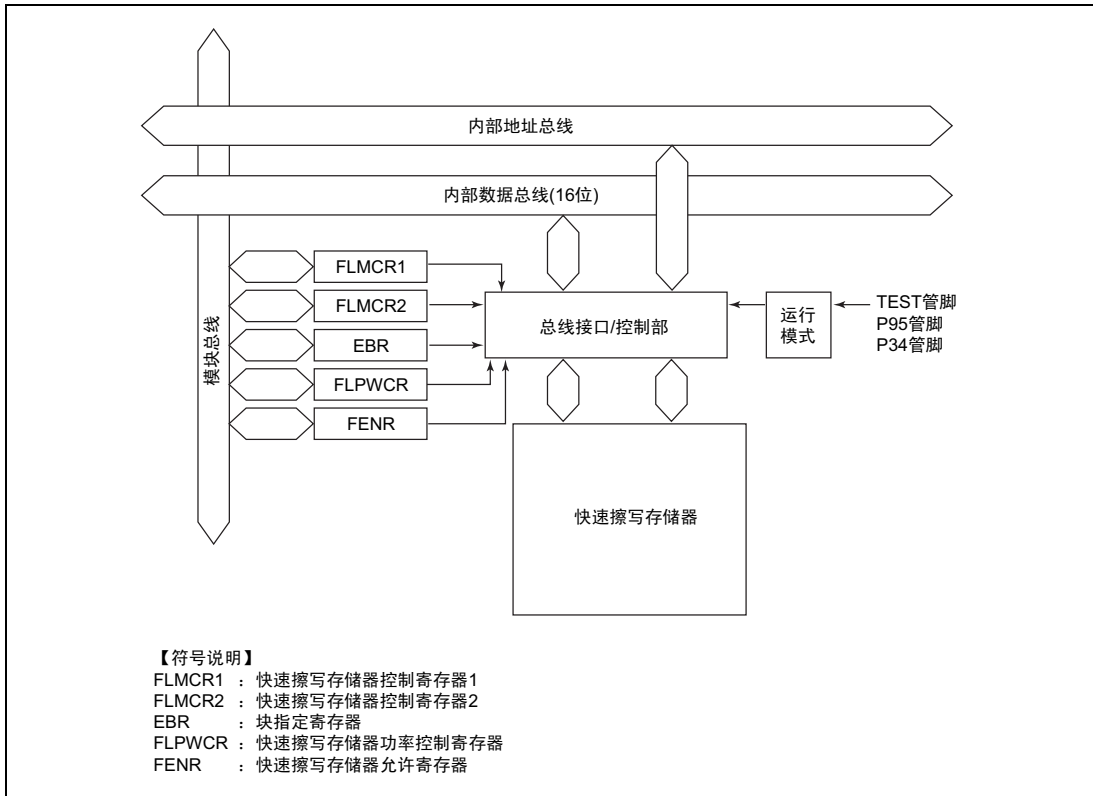


图 6.7 快速擦写存储器的框图

6.5.3 块结构

快速擦写存储器的块结构如图 6.8 所示。粗线框表示擦除块。细线框表示变成单位，框内的数值表示地址。32K 字节快速擦写存储器被分成 1K 字节×4 块和 28K 字节×1 块，擦除以这两种单位进行。16K 字节快速擦写存储器被分成 1K 字节×4 块和 12K 字节×1 块。以低位地址为 H'00 或者 H'80 开始的 128 字节单位进行编程。

擦除单位	H'0000	H'0001	H'0002	←编程单位128字节→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1K字节					
擦除单位	H'0380	H'0381	H'0382	←编程单位128字节→	H'03FF
	H'0400	H'0401	H'0402		H'047F
1K字节					
擦除单位	H'0480	H'0481	H'0482	←编程单位128字节→	H'04FF
1K字节					
擦除单位	H'0780	H'0781	H'0782	←编程单位128字节→	H'07FF
	H'0800	H'0801	H'0802		H'087F
1K字节					
擦除单位	H'0880	H'0881	H'0882	←编程单位128字节→	H'08FF
1K字节					
擦除单位	H'0B80	H'0B81	H'0B82	←编程单位128字节→	H'0BFF
	H'0C00	H'0C01	H'0C02		H'0C7F
1K字节					
擦除单位	H'0C80	H'0C81	H'0C82	←编程单位128字节→	H'0CFF
1K字节					
擦除单位	H'0F80	H'0F81	H'0F82	←编程单位128字节→	H'0FFF
	H'1000	H'1001	H'1002		H'107F
28K字节					
擦除单位	H'1080	H'1081	H'1082	←编程单位128字节→	H'10FF
28K字节					
	H'7F80	H'7F81	H'7F82		H'7FFF

图 6.8 (1) 32K 字节快速擦写存储器的块结构

擦除单位	H'0000	H'0001	H'0002	←编程单位128字节→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1K字节					
擦除单位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←编程单位128字节→	H'047F
1K字节					
擦除单位	H'0480	H'0481	H'0482		H'04FF
	H'0780	H'0781	H'0782		H'07FF
擦除单位	H'0800	H'0801	H'0802	←编程单位128字节→	H'087F
	H'0880	H'0881	H'0882		H'08FF
1K字节					
擦除单位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←编程单位128字节→	H'0C7F
1K字节					
擦除单位	H'0C80	H'0C81	H'0C82		H'0CFF
	H'0F80	H'0F81	H'0F82		H'0FFF
擦除单位	H'1000	H'1001	H'1002	←编程单位128字节→	H'107F
	H'1080	H'1081	H'1082		H'10FF
12K字节					
	H'3F80	H'3F81	H'3F82		H'3FFF

图 6.8 (2) 16K 字节快速擦写存储器的块结构

6.5.4 寄存器构成

控制内部快速擦写存储器为有效时的快速擦写存储器的寄存器构成如表 6.5 所示。

表 6.5 寄存器构成

名称	略称	R/W	初始值	地址
快速擦写存储器控制寄存器 1	FLMCR1	R/W	H'00	H'F020
快速擦写存储器控制寄存器 2	FLMCR2	R	H'00	H'F021
快速擦写存储器功率控制寄存器	FLPWCR	R/W	H'00	H'F022
块指定寄存器	EBR	R/W	H'00	H'F023
快速擦写存储器允许寄存器	FENR	R/W	H'00	H'F02B

【注】 FLMCR1、FLMCR2、FLPWCR、EBR、FENR 为 8 位寄存器。只能进行字节存取，以 2 个状态存取。另外，它们是快速擦写存储器内置型产品的专用寄存器。PROM 内置型产品和掩模型 ROM 内置型产品不存在这些寄存器，如果对这些产品读取该地址，读到的值不定，并且编程无效。

6.6 快速擦写存储器的寄存器说明

6.6.1 快速擦写存储器控制寄存器 1 (FLMCR1)

位:	7	6	5	4	3	2	1	0
	—	SWE	ESU	PSU	EV	PV	E	P
初始值:	0	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR1 使快速擦写存储器转移到编程模式、编程验证模式、擦除模式或者擦除验证模式。有关具体的设定方法，请参照“6.8 编程/擦除程序”。通过设定本寄存器，转移到编程模式、擦除模式、编程验证模式或者擦除验证模式。在将快速擦写存储器作为通常的内部 ROM 读取时，必须在将本寄存器的位 6~0 清 0。

- 位7: 保留位

保留位。总是读出 0。

- 位6: 软件写允许 (SWE)

选择快速擦写存储器的编程/擦除有效或者无效的位 (必须在将位 5~0 和 EBR 寄存器置位时置位)。

位 6	说明
SWE	
0	编程/擦除无效。FLMCR1 寄存器的其它位和 EBR 的各位不能置位。 (初始值)
1	能进行快速擦写存储器的编程/擦除。

- 位5: 擦除准备 (ESU)

准备转移到擦除模式的位。必须在将 FLMCR1 的 E 位置 1 前进行置位 (不能同时设定 SWE、PSU、EV、PV、E、P 位)。

位 5	说明
ESU	
0	解除擦除准备状态 (初始值)
1	转移到擦除准备状态。必须在将 FLMCR1 的 E 位置 1 前进行置位。

- 位4: 编程准备 (PSU)

准备转移到编程模式的位。必须在将 FLMCR1 的 P 位置 1 前进行置位 (不能同时设定 SWE、ESU、EV、PV、E、P 位)。

位 4	说明
PSU	
0	解除编程准备状态 (初始值)
1	转移到编程准备状态。必须在将 FLMCR1 的 P 位置 1 前进行置位。

- 位3: 擦除验证 (EV)

选择转移到擦除验证模式或者解除擦除验证模式的位 (不能同时设定 SWE、ESU、PSU、PV、E、P 位)。

位 3	说明
EV	
0	解除擦除验证模式 (初始值)
1	转移到擦除验证模式

- 位2: 编程验证 (PV)

选择转移到编程验证模式或者解除编程验证模式的位 (不能同时设定 SWE、ESU、PSU、EV、E、P 位)。

位 2	说明
PV	
0	解除编程验证模式 (初始值)
1	转移到编程验证模式

- 位1: 擦除 (E)

选择转移到擦除模式或者解除擦除模式的位 (不能同时设定 SWE、ESU、PSU、EV、PV、P 位)。

位 1	说明
E	
0	解除擦除模式 (初始值)
1	如果在 SWE=1、ESU=1 的状态下将此位置 1, 就转移到擦除模式。

•

- 位0: 编程 (P)

选择转移到编程模式或者解除编程模式的位 (不能同时设定 SWE、ESU、PSU、EV、PV、E 位)。

位 0	说明
P	
0	解除编程模式 (初始值)
1	如果在 SWE=1、PSU=1 的状态下将此位置 1, 就转移到编程模式。

6.6.2 快速擦写存储器控制寄存器 2 (FLMCR2)

位:	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初始值:	0	0	0	0	0	0	0	0
R/W:	R	—	—	—	—	—	—	—

FLMCR2 表示快速擦写存储器的编程/擦除状态。FLMCR2 是只读寄存器, 不能写。

- 位7: 快速擦写存储器错误 (FLER)

如果在给快速擦写存储器编程或者擦除过程中检测到错误, 就变为错误保护状态, 将该位置位。详细内容请参照“6.9.3 错误保护”。

位 7	说明
FLER	
0	快速擦写存储器正常运行。 (初始值)
1	表示在给快速擦写存储器编程或者擦除过程中发生错误。给快速擦写存储器编程保护或者擦除保护有效。

- 位6~0: 保留位

保留位。总是读出 0。

6.6.3 块指定寄存器 (EBR)

位:	7	6	5	4	3	2	1	0
	—	—	—	EB4	EB3	EB2	EB1	EB0
初始值:	0	0	0	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

EBR 是指定快速擦写存储器擦除块的寄存器。当 FLMCR1 的 SWE 位是 0 时，EBR 被初始化为 H'00。不可将该寄存器的 2 个以上的位同时设定为 1，否则，EBR 被自动清 0。如果将 EBR 各位置 1，对应的块就为可擦除状态。除此以外的块为擦除保护状态。快速擦写存储器的块分割方法请参照表 6.6。在全部擦除时，必须按块单位依次擦除。

表 6.6 擦除块的分割

EBR 位	位名	块 (大小)	地址
0	EB0	EB0 (1k 字节)	H'0000~H'03FF
1	EB1	EB1 (1k 字节)	H'0400~H'07FF
2	EB2	EB2 (1k 字节)	H'0800~H'0BFF
3	EB3	EB3 (1k 字节)	H'0C00~H'0FFF
4	EB4	EB4 (12k 字节)	H'1000~H'3FFF (HD64F38122)
		EB4 (28k 字节)	H'1000~H'7FFF (HD64F38124、HD64F38024、HD64F38024R)

6.6.4 快速擦写存储器功率控制寄存器 (FLPWCR)

位:	7	6	5	4	3	2	1	0
	PDWND	—	—	—	—	—	—	—
初始值:	0	0	0	0	0	0	0	0
R/W:	R/W	—	—	—	—	—	—	—

当 LSI 转移到子激活模式时，FLPWCR 选择是否将快速擦写存储器变为低功耗模式。尽管在低功耗模式停止部分电源电路的运行，但是在子激活模式能读取。

- 位7: 掉电禁止 (PDWND)

选择转移到子激活模式时的快速擦写存储器的低功耗模式。

位 7	说明
PDWND	
0	在 PDWND=0 的状态下, 如果转移到子激活模式, 快速擦写存储器就变为低功耗模式。 (初始值)
1	在 PDWND=1 的状态下, 如果转移到子激活模式, 快速擦写存储器就以通常模式运行。

- 位6~0: 保留位

保留位。总是读出 0。

6.6.5 快速擦写存储器允许寄存器 (FENR)

位:	7	6	5	4	3	2	1	0
	FLSHE	—	—	—	—	—	—	—
初始值:	0	0	0	0	0	0	0	0
R/W:	R/W	—	—	—	—	—	—	—

FENR 控制从 CPU 存取快速擦写存储器的控制寄存器 FLMCR1、FLMCR2、EBR 和 FLPWCR。

- 位7: 快速擦写存储器控制寄存器允许 (FLSHE)

控制对快速擦写存储器控制寄存器的存取。

位 7	说明
FLSHE	
0	不能存取快速擦写存储器控制寄存器。 (初始值)
1	能存取快速擦写存储器控制寄存器。

- 位6~0: 保留位

保留位。总是读出 0。

6.7 单板上编程

作为进行快速擦写存储器编程/擦除的模式，提供能单板上编程/擦除的引导模式和用 PROM 编程器进行编程/擦除的编程器模式。此外，在用户模式也能进行单板上编程/擦除。如果从复位状态起启动复位，HD64F38024、HD64F38024R、HD64F38124 和 HD64F38122 就根据 TEST 管脚、P95 管脚以及端口的输入电平，转移到表 6.7 所示的不同的模式。必须至少在解除复位的 4 个状态以前，确定各管脚的输入电平。

如果转移到引导模式，就启动 LSI 内部引导程序。引导程序经 SCI3 把编程控制程序从连接于外部的本机传送到内部 RAM，在全部擦除快速擦写存储器后，执行编程控制程序。能用于单板上状态的初次编程，或者用于在用户模式无法进行编程/擦除时的强制恢复等。在用户模式，可以通过转移到用户准备好的编程/擦除程序，擦除并改写任意块。

表 6.7 编程模式的选择方法

TEST	P95	P34	PB0	PB1	PB2	解除复位后的 LSI 状态
0	1	X	X	X	X	用户模式
0	0	1	X	X	X	引导模式
1	X	X	0	0	0	编程器模式

【注】X: Don't care

6.7.1 引导模式

从复位解除开始转移到编程控制程序为止，引导模式的运行如表 6.8 所示。

1. 引导模式，在主机侧需要预先准备好对快速擦写存储器的编程控制程序。根据“6.8 编程/擦除程序”叙述的内容，准备编程控制程序。
2. SCI3设定为异步方式，发送和接收格式是：8位数据，1位停止位，无奇偶校验。另外，由于根据SPCR寄存器的TXD管脚和RXD管脚的反转功能设定成“不反转”，因此在主机和本LSI之间，不能加入值反转电路。
3. 如果启动引导程序，就测定从主机连续发送的异步串行通信数据H'00的低电平宽度，计算位速率，并将SCI3的位速率与主机的位速率匹配。必须在RXD管脚为高电平的状态下解除复位。根据需要，在电路板上将RXD管脚和TXD管脚上拉。从复位解除到能测定低电平宽度为止，需要大约100个状态。
4. 由于在位速率的匹配结束后，作为调整结束信号，发送1个字节的H'00给主机，因此，如果主机正常接收到调整结束信号，就必须发送1个字节的H'55。如果不能正常接收，就必须通过复位再次启动引导模式。根据主机的位速率和本LSI的系统时钟频率的组合，会在容许范围内发生位速率不匹配的情况。因此，必须把主机的传送位速率和本LSI的系统时钟频率设定在表6.9的范围内。
5. 在引导模式，内部RAM的一部分被引导程序使用。能存放从主机发送来的编程控制程序的区域是地址H'F780~H'FEFF。从执行程序开始转移到编程控制程序为止，不能使用该引导程序的区域。
6. 虽然在转移到编程控制程序时，SCI3结束发送和接收（SCR3的RE=0、TE=0），但是，由于在BRR中保持匹配的位速率的值，因此能继续使用编程控制程序，发送和接收与主机间的编程数据和验证数据。TXD管脚变为高电平输出状态（PCR42=1、P42=1）。转移到编程控制程序后的CPU的通用寄存器不定。尤其是堆栈指针，由于被隐含地使用在子程序调用等，因此，必须在编程控制程序的开头初始化。
7. 引导模式能通过复位解除。必须使复位管脚为低电平，在最少经过20个状态后，设定TEST管脚和P95管脚，解除复位。如果发生WDT溢出复位，引导模式就被解除。
8. 在引导模式，不能改变TEST管脚和P95管脚的输入电平。

表 6.8 引导模式的运行

项 目	主机的运行	LSI 的运行
		起动复位后转移到引导程序
位速率调整 ↓	用规定的位速率连续发送数据 H'00	测定接收数据 H'00 的低电平宽度 计算位速率，设定 SCI3 的 BBR 作为位速率调整结束的信号，发送 1 字节的 H'00
擦除存储器	如果正常接收到 H'00，就发送 1 字节的 H'55	检查快速擦写存储器的数据，在被写入的情况下，擦除全部块，并向主机发送 H'AA 如果不能擦除，就发送 H'FF，并停止运行
传送编程控制程序的字节数 ↓	把传送的编程控制程序的字节数 (N)，按高、低位的顺序，发送 2 字节	将接收到的 2 字节数据回送给主机
传送编程控制程序 (重复 N 次) ↓	发送 1 字节的编程控制程序	在将接收到的数据回送给主机的同时传送给 RAM
编程控制程序的执行		给主机发送 1 字节的 H'AA 转移到被传送到内部 RAM 的编程控制程序，开始执行

表 6.9 可以自动匹配位速率的系统振荡频率 (fosc)

产品群	主机的位速率	LSI 的系统振荡频率范围 (fosc)
H8/38024 群和 H8/38024R 群的 F-ZTAT 版	4800bps	8 ~ 10MHz
	2400bps	4 ~ 10MHz
	1200bps	2 ~ 10MHz
H8/38124 群的 F-ZTAT 版	19200bps	16 ~ 20MHz
	9600bps	8 ~ 20MHz
	4800bps	6 ~ 20MHz
	2400bps	2 ~ 20MHz
	1200bps	2 ~ 20MHz

6.7.2 用户模式的编程/擦除

用户模式为执行用户程序的状态。在用户模式，通过转移到用户准备的编程/擦除程序，能单板上擦除或者改写任意块。不仅需要用户设定好转移条件和提供单板上改写数据的手段，而且，根据需要，有必要事先给部分快速擦写存储器写入编程/擦除程序，或者事先写入为了从外部提供编程/擦除程序的程序。由于在编程/擦除过程中不能读快速擦写存储器，必须与引导模式相同，将编程/擦除程序传送到内部 RAM，并执行它。用户模式的编程/擦除步骤的例子如图 6.9 所示。请根据“6.8 编程/擦除程序”叙述的内容，准备编程/擦除程序。

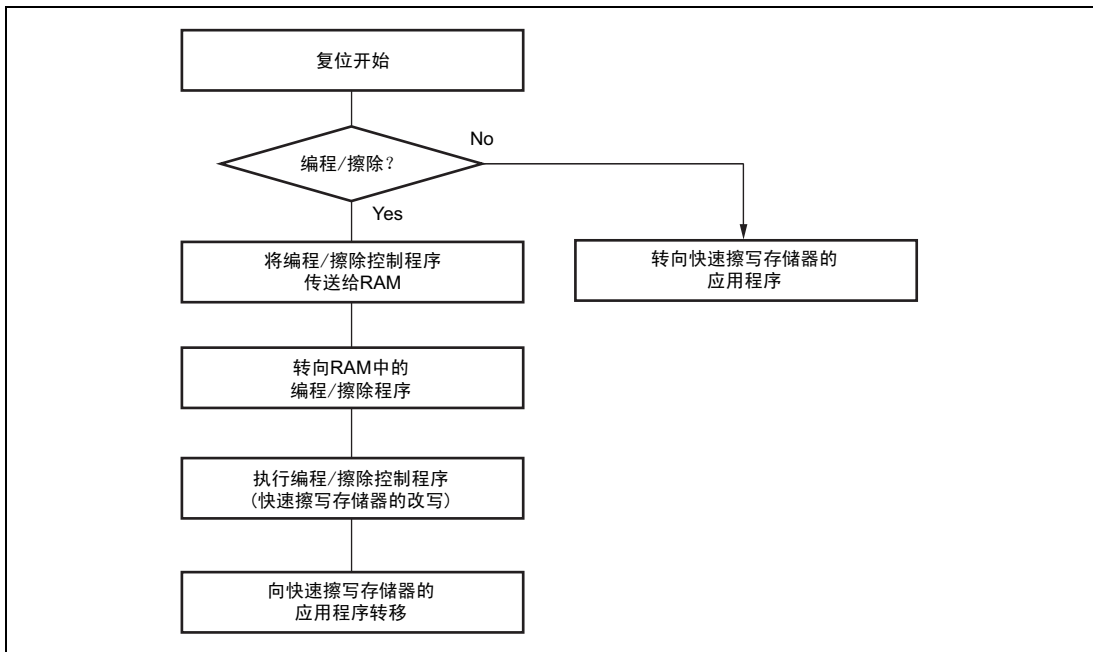


图 6.9 用户模式的编程/擦除例子

6.7.3 单板上编程的注意事项

1. 在对H8/38124群的快速擦写存储器进行编程/擦除时，必须使用系统时钟振荡器，而不能使用内部振荡器。有关系统时钟振荡器和内部振荡器的切换方法，请参照“4.2 (5) 选择内部振荡器的方法”。
2. H8/38124群在复位解除后，监视定时器运行。在用户模式执行用户准备的编程/擦除程序时，对监视定时器的溢出周期必须设定恰当的值。有关编程时的监视定时器的溢出周期，请参照“6.8.1 编程/编程验证”，有关擦除时的监视定时器的溢出周期，请参照“6.8.2 擦除/擦除验证”。

6.8 编程/擦除程序

通过 CPU 采用软件方式，对单板上的快速擦写存储器编程/擦除。快速擦写存储器根据 FLMCR1 的设定，转移到编程模式、编程验证模式、擦除模式和擦除验证模式。在引导模式的编程控制程序和为用户模式的编程/擦除程序中，结合这些模式进行编程/擦除。请按照“6.8.1 编程/编程验证”叙述的内容对快速擦写存储器编程，请按照“6.8.2 擦除/擦除验证”叙述的内容对快速擦写存储器擦除。

6.8.1 编程/编程验证

请按照图 6.10 所示的编程/编程验证流程图对快速擦写存储器编程。如果按照这个流程进行编程，就能不给芯片施加过大的电压应力和不损失数据的可靠性。

1. 在擦除状态下进行编程，即已经被编程的地址不可再编程。
2. 以128字节为单位进行一次编程。即使写不满128字节的数据，也必须传送128字节的数据给快速擦写存储器。不需要写的地址必须写H'FF。
3. 必须在RAM上确保128字节的编程数据区、128字节的再编程数据区和128字节的追加编程数据区。请按照表 6.1进行再编程数据的运算，请按照表6.2进行追加编程数据的运算。
4. 必须以字节为单位，从再编程数据区或者追加编程数据区连续传送128字节到快速擦写存储器。程序地址和128字节的数据在快速擦写存储器里被锁存。必须把快速擦写存储器的起始地址的低8位设定为H'00或者H'80。从传送数据开始到给P位置1期间，不能使用RTS指令（HD64F38124和HD64F38122除外）。
5. P位置1的时间为编程时间。请按照表6.12设定编程时间。
6. 为了避免由于程序失控等的重复编程，设定监视定时器。溢出周期必须设定在6.6ms左右。
7. 为了给验证地址虚写，必须给低1位为b'0的地址写1个字节的H'FF。能够从进行了虚写的地址开始以字或长字读验证数据。从虚写开始到读取验证数据为止，不能使用RTS指令（HD64F38124和HD64F38122除外）。
8. 对同一位的编程/编程验证顺序的重复不可超过1000次。

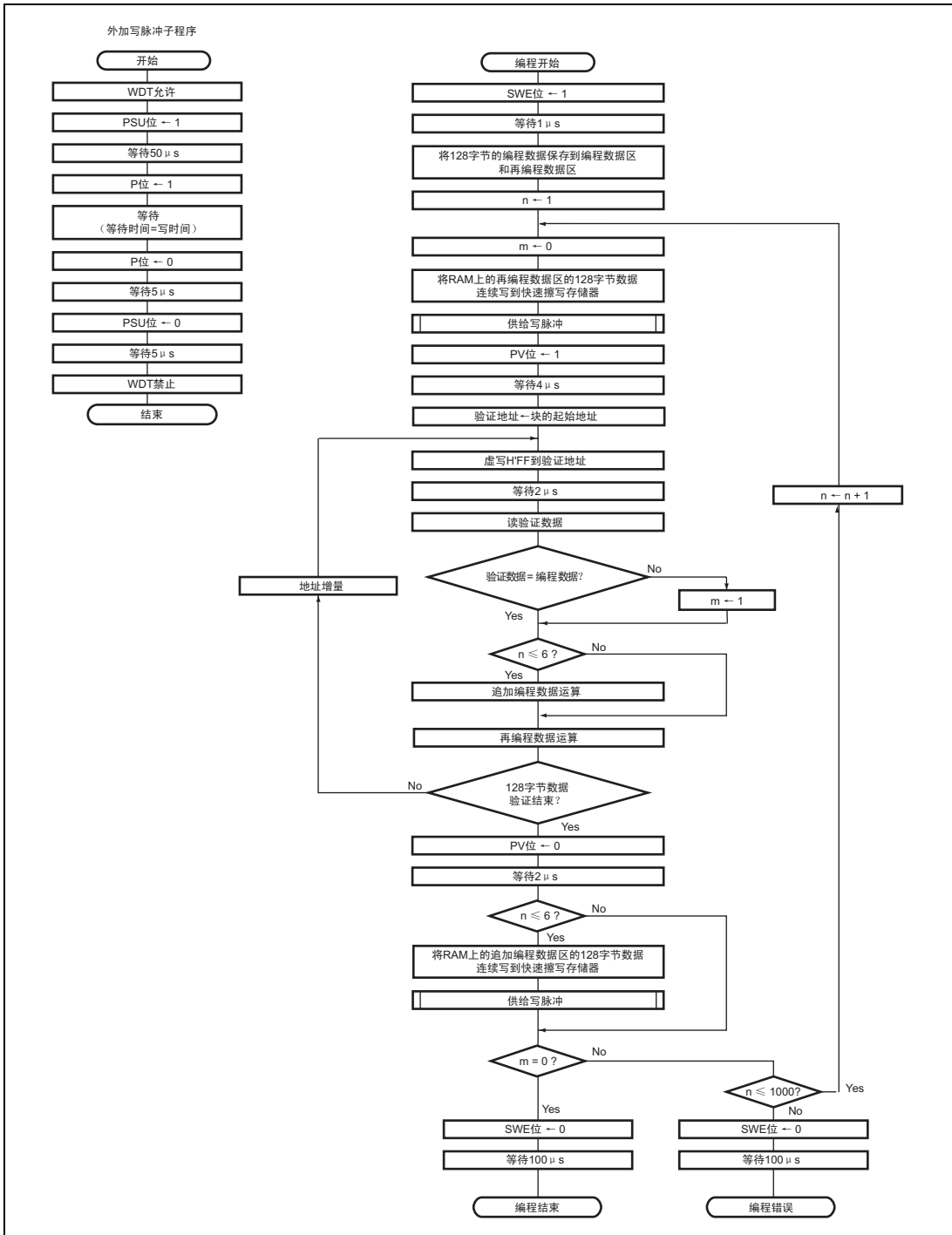


图 6.10 编程/编程验证流程图

表 6.10 再编程数据运算表

编程数据	验证数据	再编程数据	备 考
0	0	1	编程结束位
0	1	0	再编程位
1	0	1	
1	1	1	擦除状态

表 6.11 追加编程数据运算表

再编程数据	验证数据	追加编程数据	备 考
0	0	0	追加编程位
0	1	1	不执行追加编程
1	0	1	不执行追加编程
1	1	1	不执行追加编程

表 6.12 编程时间

n (编程次数)	编程时	追加编程时	备 考
1~6	30	10	
7~1,000	200	—	

【注】时间单位是 μs 。

6.8.2 擦除/擦除验证

请按照图 6.11 的擦除/擦除验证流程图进行擦除。

1. 在擦除前不必前写入（将要擦除的存储器的所有数据全部置0）。
2. 擦除以块单位进行。必须通过块指定寄存器（EBR）选择要擦除的1块。擦除多块也必须按单块分别依次擦除。
3. 设定E位的时间为擦除时间。
4. 为了避免由于程序失控等的重复擦除，设定监视定时器。溢出周期必须设定在19.8ms左右。
5. 为了给验证地址虚写，必须给低1位为b'0的地址写1个字节H'FF。能够从进行了虚写的地址开始以长字读验证数据。从虚写开始到读取验证数据为止，不能使用RTS指令（HD64F38124和HD64F38122除外）。
6. 读出的数据在未擦除时，再次将其设定为擦除方式，并同样重复擦除/擦除验证顺序，但是，重复次数不可超过100次。

6.8.3 快速擦写存储器的编程/擦除时的中断

在对快速擦写存储器编程/擦除或者执行引导程序过程中，由于以下的原因，必须禁止全部中断请求：

1. 在编程/擦除过程中，如果发生中断，就不能保证按编程/擦除算法正常运行。
2. 如果在写向量地址前或者在编程/擦除过程中，开始中断异常处理，就不能正常取向量，CPU失控。
3. 在执行引导程序过程中，如果发生中断，就无法按照正常顺序执行引导模式。

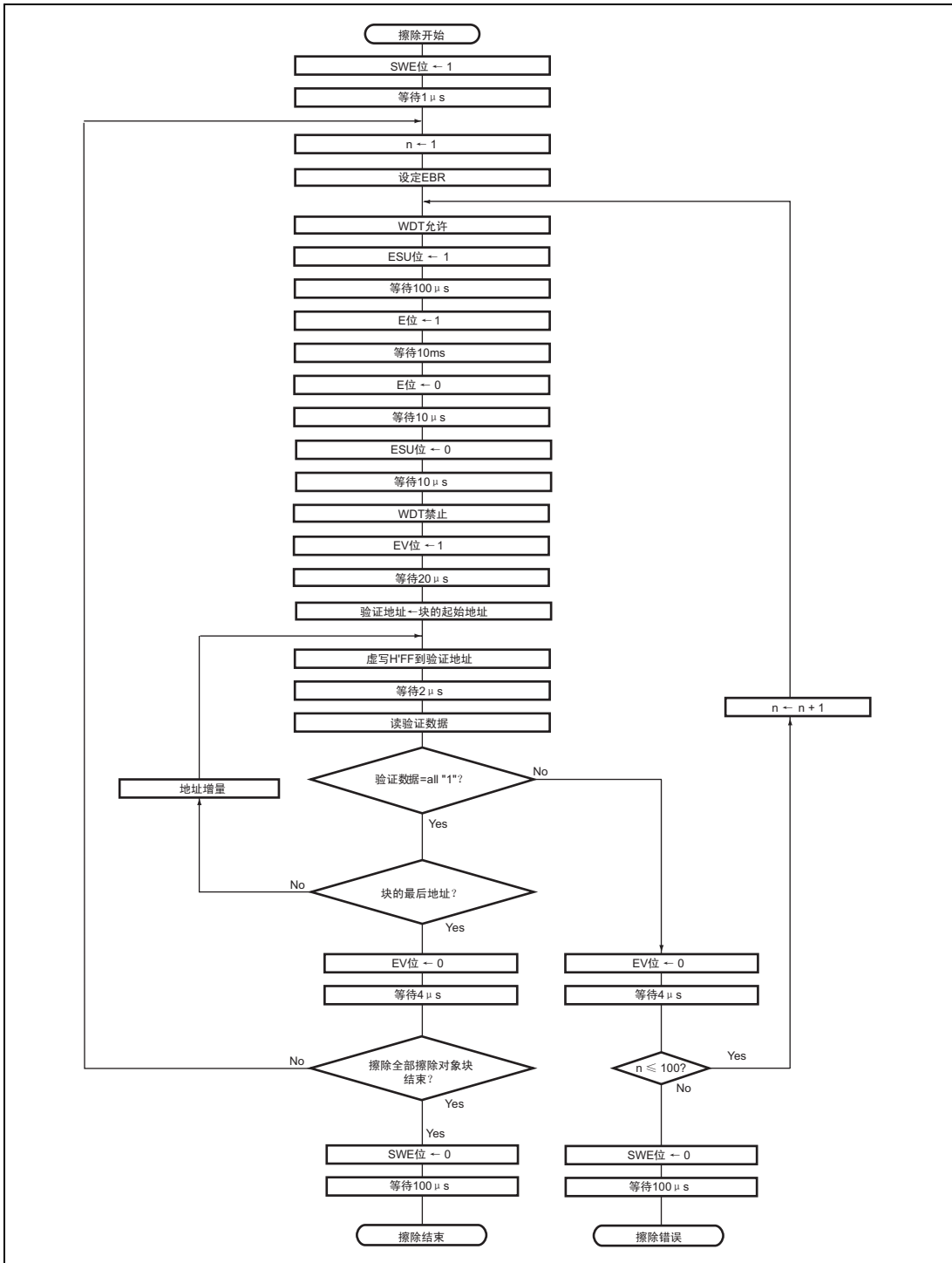


图 6.11 擦除/擦除验证流程图

6.9 编程/擦除保护

快速擦写存储器的编程/擦除保护状态，有硬件保护、软件保护和错误保护 3 种状态。

6.9.1 硬件保护

硬件保护是指通过向复位、子激活模式、子睡眠模式、时钟模式或者待机模式的状态转移，对快速擦写存储器的编程/擦除被强制禁止和中断的状态。快速擦写存储器控制寄存器 1 (FLMCR1)、快速擦写存储器控制寄存器 2 (FLMCR2) 和块指定寄存器 (EBR) 被初始化。由 $\overline{\text{RES}}$ 管脚复位时，从加入电源到振荡稳定为止，如果不保持 $\overline{\text{RES}}$ 管脚为低电平，就不能成为复位状态。另外，运行中的复位，在 AC 特性规定的 $\overline{\text{RES}}$ 脉冲宽度之间，必须保持 $\overline{\text{RES}}$ 管脚为低电平。

6.9.2 软件保护

通过软件清除 FLMCR1 的 SWE 位，使全部块的编程/擦除成为保护状态。在此状态，即使 FLMCR1 的 P 位或者 E 位被置位，也不转移到编程模式或者擦除模式。另外，通过设定块指定寄存器 (EBR) 能按块进行擦除保护。如果设定 EBR1 为 H'00，全部块就成为擦除保护状态。

6.9.3 错误保护

错误保护是在对快速擦写存储器的编程/擦除过程中，检测出 CPU 失控以及不按照编程/擦除算法的运行，并强制中断编程/擦除运行的状态。通过中断编程/擦除运行，以防止因重复编程和重复擦除给快速擦写存储器带来的损坏。

在对快速擦写存储器的编程/擦除过程中，如果检测出以下错误，FLMCR2 的 FLER 位就被置 1，成为错误保护状态：

- 在编程/擦除过程中，读快速擦写存储器（含向量读及取命令）
- 在编程/擦除过程中，开始复位以外的异常处理
- 在编程/擦除过程中，执行 SLEEP 命令

此时，虽然保持 FLMCR1、FLMCR2 和 EBR 的内容，但是在检测出错误时，编程模式或者擦除模式将被强制中断。即使将 P 位和 E 位置位，也不转移到编程模式或擦除模式，但是保持 PV 位和 EV 位，并且能转移到验证模式。只能通过加电复位解除错误保护状态。

6.10 编程器模式

在编程器模式，与单体快速擦写存储器相同，能通过插座适配器，用 PROM 编程器进行编程/擦除。请使用支持瑞萨（原日立）内置 64 K 字节快速擦写存储器的单片机芯片型（FZTAT64V3）PROM 编程器。需要 10MHz 的输入时钟。向编程器模式的转移条件请参照表 6.7。

6.10.1 插座适配器

插座适配器把 HD64F38024、HD64F38024R、HD64F38124 和 HD64F38122 的管脚排列转换成单体的快速擦写存储器 HN28F101 的管脚排列。此时，内部快速擦写存储器的地址为 H'0000~H'7FFF。HD64F38024、HD64F38024R 的插座适配器的管脚对应图如图 6.12（1）所示，HD64F38124 和 HD64F38122 的插座适配器的管脚对应图如图 6.12（2）所示。

6.10.2 编程器模式的命令

在编程器模式支持如下命令：

- 存储器读
- 自动编程
- 自动擦除
- 状态读

自动编程、自动擦除以及状态读采用状态查询方式。另外，状态读输出在执行自动编程或者自动擦除后的详细内部信息。各命令的顺序如表 6.13 所示。自动编程由于同时写 128 字节的数据，因此命令写需要 129 个周期。存储器读周期根据写地址周期数变化。

表 6.13 编程器模式的命令顺序

命令名	周期数	第 1 周期			第 2 周期		
		模式	地址	数据	模式	地址	数据
存储器读	1+n	write	X	H'00	read	RA	Dout
自动编程	129	write	X	H'40	write	WA	Din
自动擦除	2	write	X	H'20	write	X	H'20
状态读	2	write	X	H'71	write	X	H'71

【注】n：地址写周期数

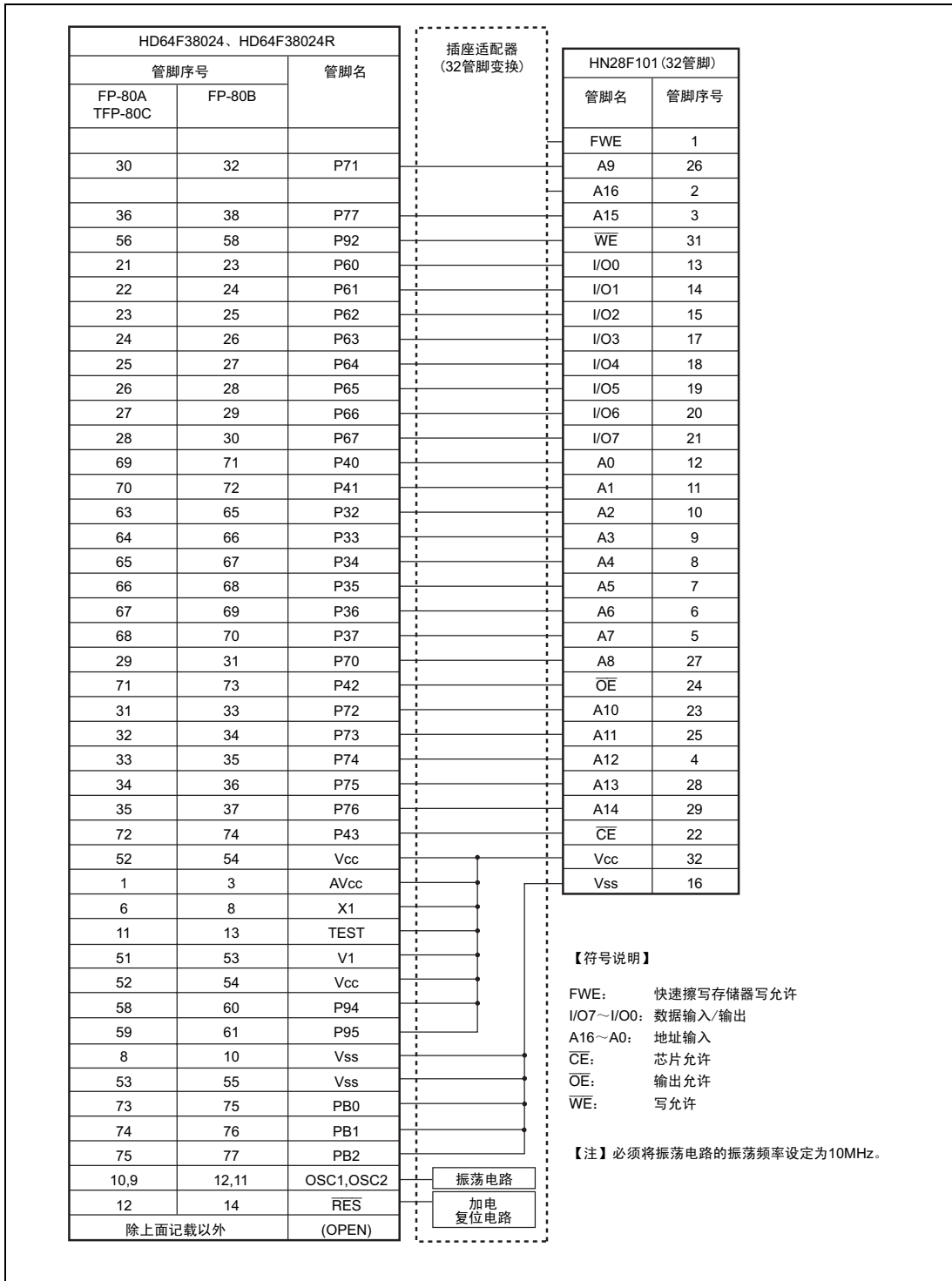


图 6.12 (1) 插座适配器的管脚对应图 (HD64F38024、HD64F38024R)

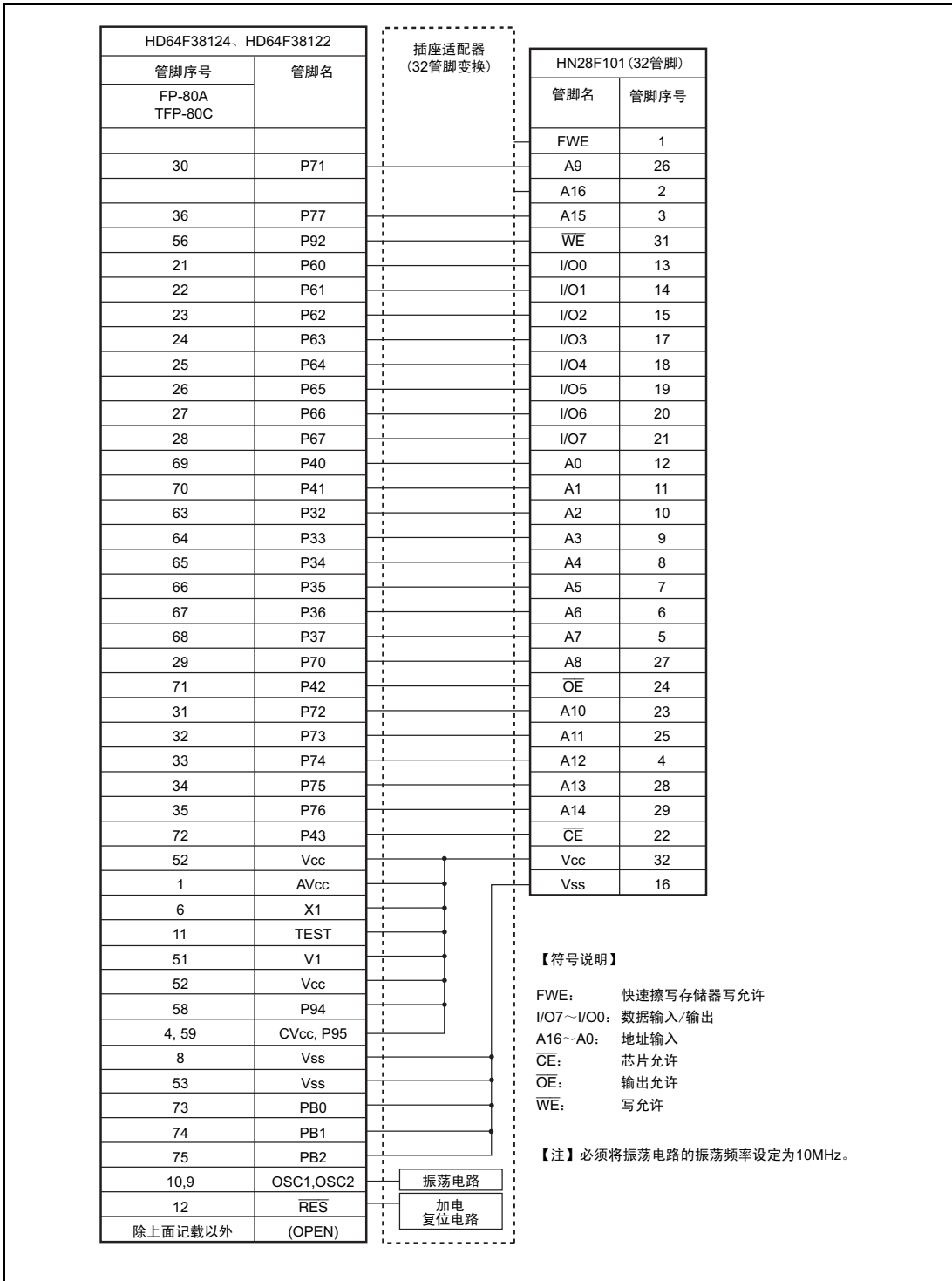


图 6.12 (2) 插座适配器的管脚对应图 (HD64F38124 和 HD64F38122)

6.10.3 存储器读

1. 在自动编程、自动擦除或者状态读结束后，转移到命令等待状态。在读存储器内容时，必须通过写命令转移到存储器读模式。转移到存储器读模式后，就能连续读。
2. 存储器读模式与命令等待状态相同，能通过写命令转移到其它模式。
3. 在接通电源后，转移到存储器读模式。
4. AC特性如表6.14~表6.16所示。

表 6.14 存储器读第 1 周期的 AC 特性

条件: $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	t_{nxtc}	20	—	μs	图 6.13
\overline{CE} 保持时间	t_{ceh}	0	—	ns	
\overline{CE} 准备时间	t_{ces}	0	—	ns	
数据保持时间	t_{dh}	50	—	ns	
数据准备时间	t_{ds}	50	—	ns	
写脉冲宽度	t_{wep}	70	—	ns	
\overline{WE} 上升时间	t_r	—	30	ns	
\overline{WE} 下降时间	t_f	—	30	ns	

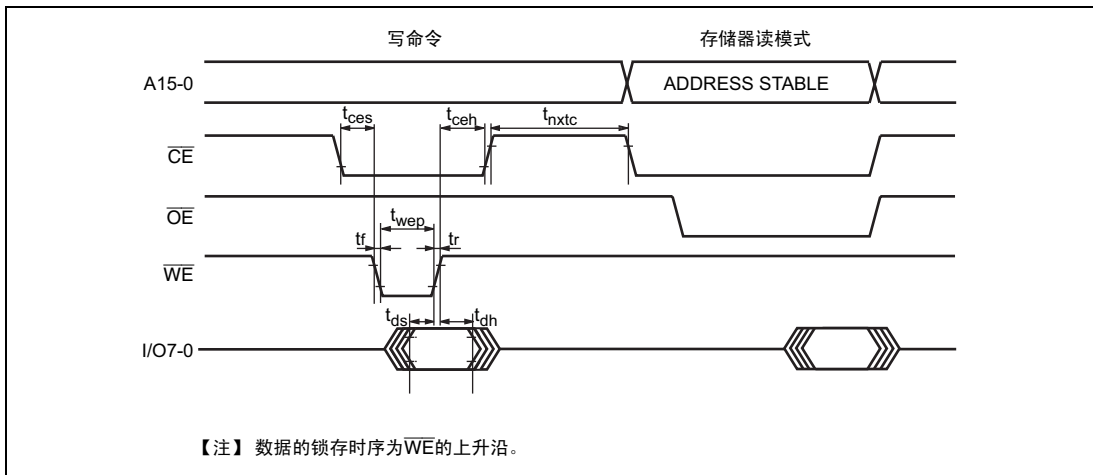


图 6.13 写命令后的存储器读时序波形

表 6.15 从存储器读转移到其它命令时的 AC 特性

条件: $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	t_{nxtc}	20	—	μs	图 6.14
\overline{CE} 保持时间	t_{ceh}	0	—	ns	
\overline{CE} 准备时间	t_{ces}	0	—	ns	
数据保持时间	t_{dh}	50	—	ns	
数据准备时间	t_{ds}	50	—	ns	
写脉冲宽度	t_{wep}	70	—	ns	
\overline{WE} 上升时间	t_r	—	30	ns	
\overline{WE} 下降时间	t_f	—	30	ns	

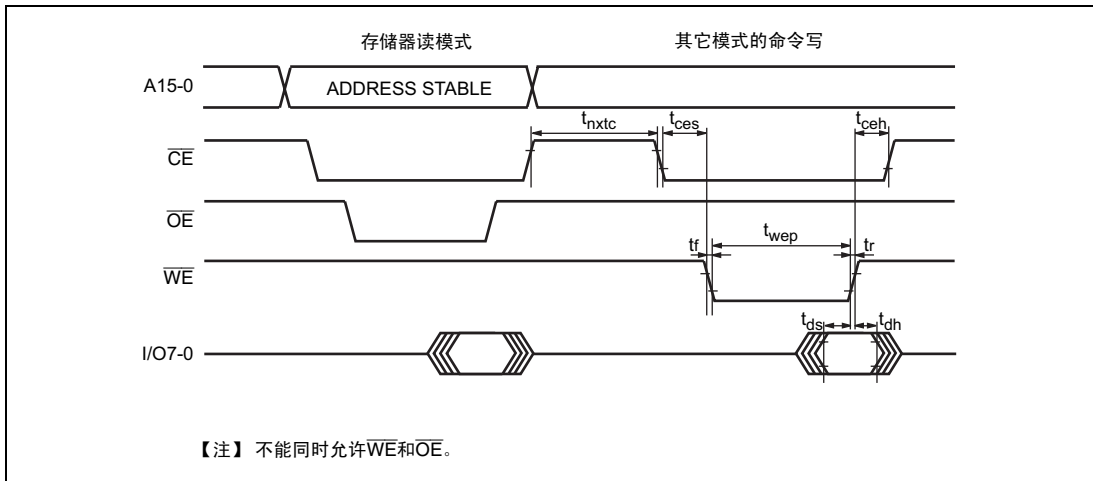


图 6.14 从存储器读模式转移到其它模式时的时序波形

表 6.16 存储器读时的 AC 特性

条件: $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
存取时间	t_{acc}	—	20	μs	图 6.15~图 6.16
\overline{CE} 输出延迟时间	t_{ce}	—	150	ns	
\overline{OE} 输出延迟时间	t_{oe}	—	150	ns	
输出禁止延迟时间	t_{df}	—	100	ns	
数据输出保持时间	t_{oh}	5	—	ns	

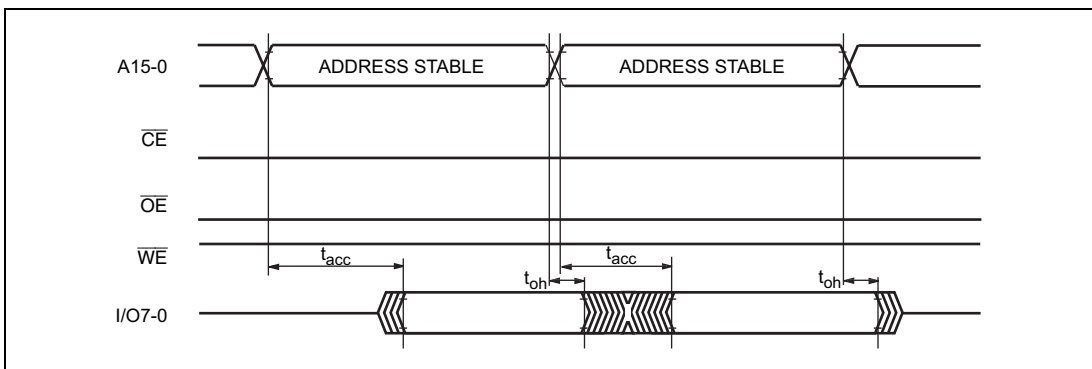


图 6.15 \overline{CE} 、 \overline{OE} 允许状态读时的时序波形

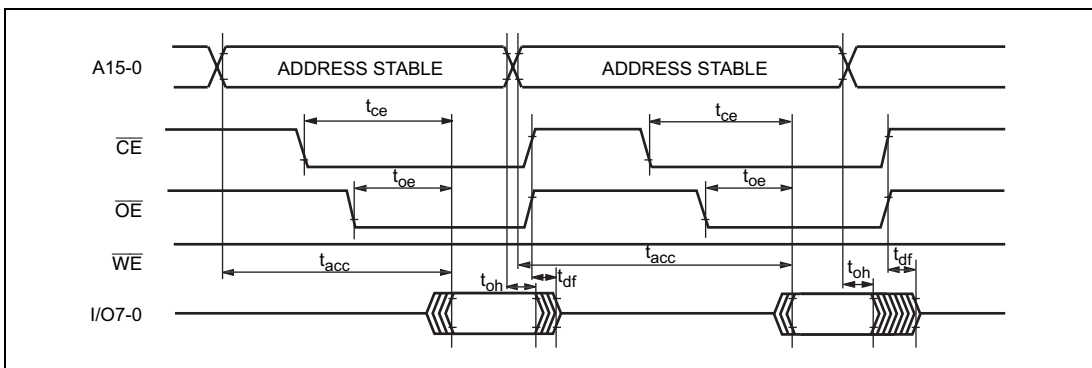


图 6.16 \overline{CE} 、 \overline{OE} 时钟方式读时的时序波形

6.10.4 自动编程

1. 对已编程的地址改写时，必须在自动擦除后自动编程。
2. 对同地址块，只能进行一次自动编程。对已编程的地址块不能追加编程。
3. 自动编程以128字节同时编程。将字节数据连续传送128次。即使少于128字节的编程也必须传送128字节的数据。不需写的地址必须传送数据HFF。
4. 将传送地址的低7位置为低电平状态。在输入有效地址以外的情况下，虽然转移到存储器写运行，但变成写错误。
5. 在第2周期传送存储器地址（图6.17），不能在第3周期以后传送。
6. 不能在编程运行中进行命令写。
7. 对128字节单位的块，只能进行一次自动编程。已编程的地址块不能追加编程。
8. 通过检查I/O6管脚，确认自动编程是否正常结束。也能通过状态读来确认（I/O7管脚的状态查询是自动编程运行结束判定用管脚）。
9. I/O6和I/O7管脚的状态查询的信息被保持到写下一条命令为止。如果不进行写下一条命令，就可通过将 \overline{CE} 和 \overline{OE} 置成允许状态，进行读。
10. AC特性如表6.17所示。

表 6.17 自动编程时的 AC 特性

条件: $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	tnxtc	20	—	μs	图 6.17
CE 保持时间	tceh	0	—	ns	
CE 准备时间	tces	0	—	ns	
数据保持时间	tdh	50	—	ns	
数据准备时间	tds	50	—	ns	
写脉冲宽度	twep	70	—	ns	
状态查询开始时间	twsts	1	—	ms	
状态查询存取时间	tspa	—	150	ns	
地址准备时间	tas	0	—	ns	
地址保持时间	tah	60	—	ns	
存储器写时间	twrite	1	3000	ms	
WE 上升时间	tr	—	30	ns	
WE 下降时间	tf	—	30	ns	

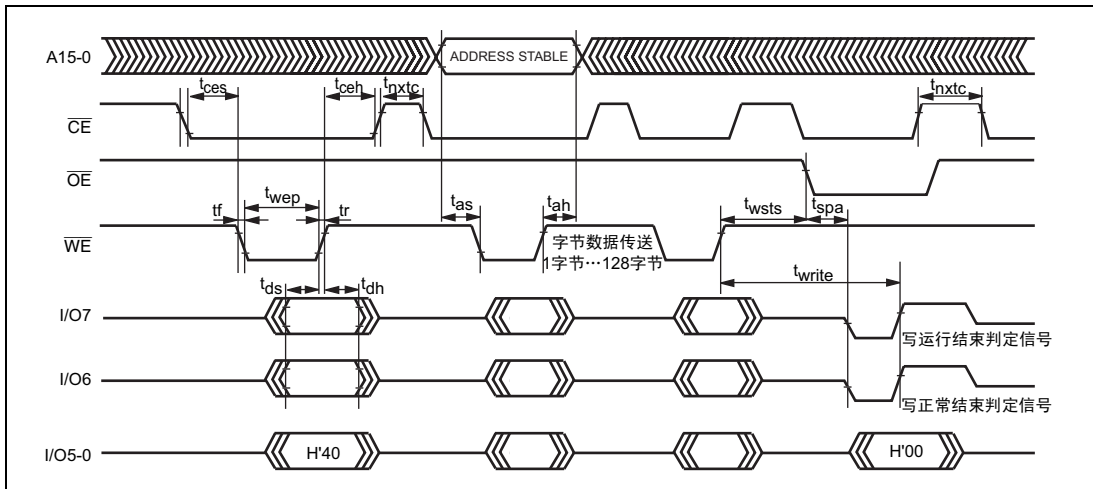


图 6.17 自动编程的时序波形

6.10.5 自动擦除

1. 自动擦除为擦除存储器的全部内容。
2. 在自动擦除中不能写命令。
3. 通过检查I/O6管脚，确认自动擦除是否正常结束。也能通过状态读来确认（I/O7管脚的状态查询是自动擦除运行结束判定用管脚）。
4. I/O6管脚和I/O7管脚的状态查询的信息被保持到写下一条命令为止。如果不进行写下一条命令，就可通过将 $\overline{\text{CE}}$ 和 $\overline{\text{OE}}$ 置成允许，进行读。
5. AC特性如表6.18所示。

表 6.18 自动擦除时的 AC 特性

条件: $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25^{\circ}\text{C}\pm 5^{\circ}\text{C}$

项目	符号	MIN	MAX	单位	参照图
命令写周期	tnxtc	20	—	μs	图 6.18
$\overline{\text{CE}}$ 保持时间	tceh	0	—	ns	
$\overline{\text{CE}}$ 准备时间	tces	0	—	ns	
数据保持时间	tdh	50	—	ns	
数据准备时间	tds	50	—	ns	
写脉冲宽度	twep	70	—	ns	
状态查询开始时间	tests	1	—	ms	
状态查询存取时间	tspa	—	150	ns	
存储器擦除时间	terase	100	40000	ms	
$\overline{\text{WE}}$ 上升时间	tr	—	30	ns	
$\overline{\text{WE}}$ 下降时间	tf	—	30	ns	

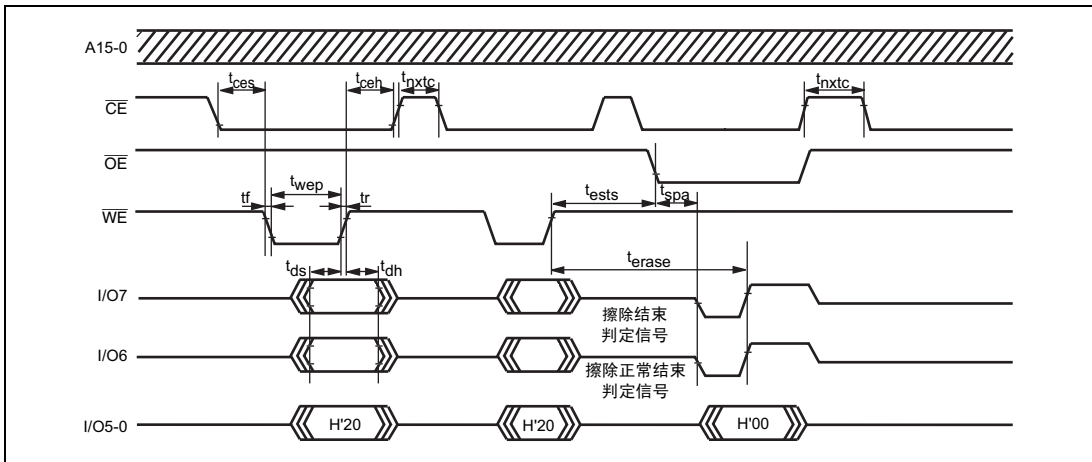


图 6.18 自动擦除的时序波形

6.10.6 状态读

1. 状态读用于判定异常结束的种类。请在自动编程/自动擦除发生异常结束的情况下使用。
2. 返回码被保持到进行状态读以外的命令写为止。
3. AC特性如表6.19所示，返回码如表6.20所示。

表 6.19 状态读时的 AC 特性

条件: $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	t_{nxtc}	20	—	μs	图 6.19
CE 保持时间	t_{ceh}	0	—	ns	
CE 准备时间	t_{ces}	0	—	ns	
数据保持时间	t_{dh}	50	—	ns	
数据准备时间	t_{ds}	50	—	ns	
写脉冲宽度	t_{wep}	70	—	ns	
OE 输出延迟时间	t_{oe}	—	150	ns	
禁止延迟时间	t_{df}	—	100	ns	
CE 输出延迟时间	t_{ce}	—	150	ns	
WE 上升时间	t_r	—	30	ns	
WE 下降时间	t_f	—	30	ns	

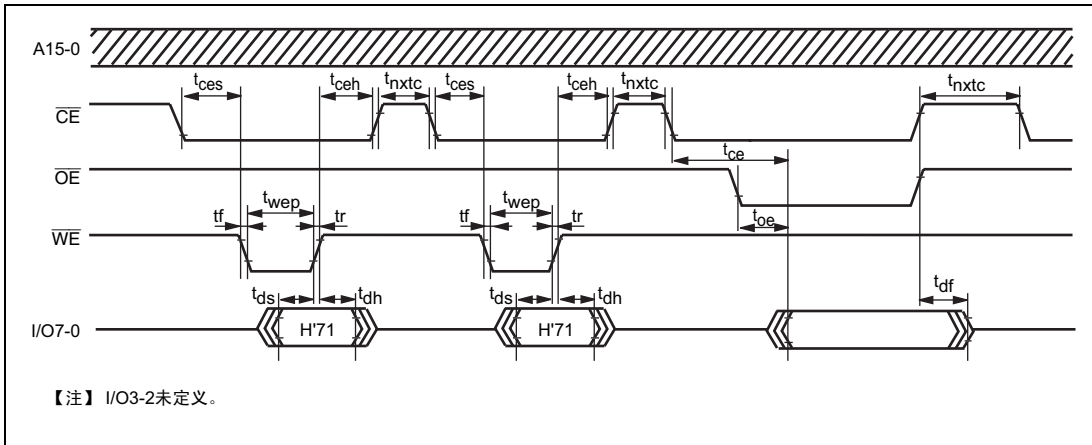


图 6.19 状态读的时序波形

表 6.20 状态读的返回码

管脚名	初始值	内 容
I/O7	0	1: 异常结束 0: 正常结束
I/O6	0	1: 命令错误 0: 其它
I/O5	0	1: 写错误 0: 其它
I/O4	0	1: 擦除错误 0: 其它
I/O3	0	未定义
I/O2	0	未定义
I/O1	0	1: 超过编程次数或者擦除次数 0: 其它
I/O0	0	1: 有效地址错误 0: 其它

6.10.7 状态查询

1. I/O7的状态查询标志表示在自动编程和自动擦除时的运行状态。
2. I/O6的状态查询标志表示在自动编程和自动擦除时的正常结束或者异常结束。

表 6.21 状态查询输出

I/O7	I/O6	I/O0~5	状态
0	0	0	正在内部运行中
1	0	0	异常结束
1	1	0	正常结束
0	1	0	—

6.10.8 向编程器模式的转移时间

在振荡稳定时间内或者在编程器模式准备期间，不能接受命令。在编程器模式准备时间后，转移到存储器读。

表 6.22 到命令等待状态为止的转移时间规定

项目	符号	MIN	MAX	单位	参照图
振荡稳定时间（晶体谐振器）	tosc1	10	—	ms	图 6.20
振荡稳定时间（陶瓷谐振器）		5	—	ms	
编程器模式准备时间	t_bmv	10	—	ms	
Vcc 保持时间	t_dwn	0	—	ms	



图 6.20 振荡稳定时间、编程器模式准备时间和 Vcc 保持时间的顺序

6.10.9 编程器模式使用时的注意事项

1. 在单板上编程模式中，对于已进行了编程/擦除的芯片，在用编程器模式改写的情况下，推荐在自动擦除后进行自动编程。
2. 瑞萨科技产品出货的初始状态是擦除状态。对除此以外的擦除履历不明的芯片，为了检查和补正初始化（擦除）状态，推荐实施自动擦除。

6.11 快速擦写存储器的低功耗运行

在用户模式，快速擦写存储器成为以下的一种状态：

- 通常运行状态
可快速读取快速擦写存储器。
- 低功耗运行状态
能停止快速擦写存储器的部分电源电路，在低功耗模式对其进行读操作。
- 待机状态
停止快速擦写存储器的所有电路。

LSI 运行模式和快速擦写存储器状态的关系如表 6.23 所示。在子激活模式，通过 FLPWCR 的 PDWND 位能将快速擦写存储器设定为低功耗运行状态。快速擦写存储器从低功耗运行状态或者待机状态恢复到通常运行状态时，已停止的电源电路需要稳定时间。包括使用外部时钟的情况，必须设定 SYSCR1 的 STS2~STS0，使恢复通常运行模式时的待机时间保持在 20 μs 以上。

表 6.23 快速擦写存储器的运行状态

LSI 的运行模式	快速擦写存储器的状态	
	PDWND=0 时 (初始值)	PDWND=1 时
激活模式	通常运行状态	通常运行状态
子激活模式	低功耗运行状态	通常运行状态
睡眠模式	通常运行状态	通常运行状态
子睡眠模式	待机状态	待机状态
待机模式	待机状态	待机状态
时钟模式	待机状态	待机状态

第 7 章 RAM

7.1 概要

H8/38024、H8/38023、H8/38022、H8/38124、H8/38123、H8/38122、H8/38024S、H8/38023S、H8/38022S 内置 1K 字节的高速静态 RAM，H8/38021、H8/38020、H8/38121、H8/38120、H8/38021S、H8/38020S 内置 512 字节的高速静态 RAM。RAM 以 16 位宽的数据总线与 CPU 连接，并且无论是字节数据还是字数据都可以进行 2 个状态的高速存取。

7.1.1 框图

RAM 的框图如图 7.1 所示。

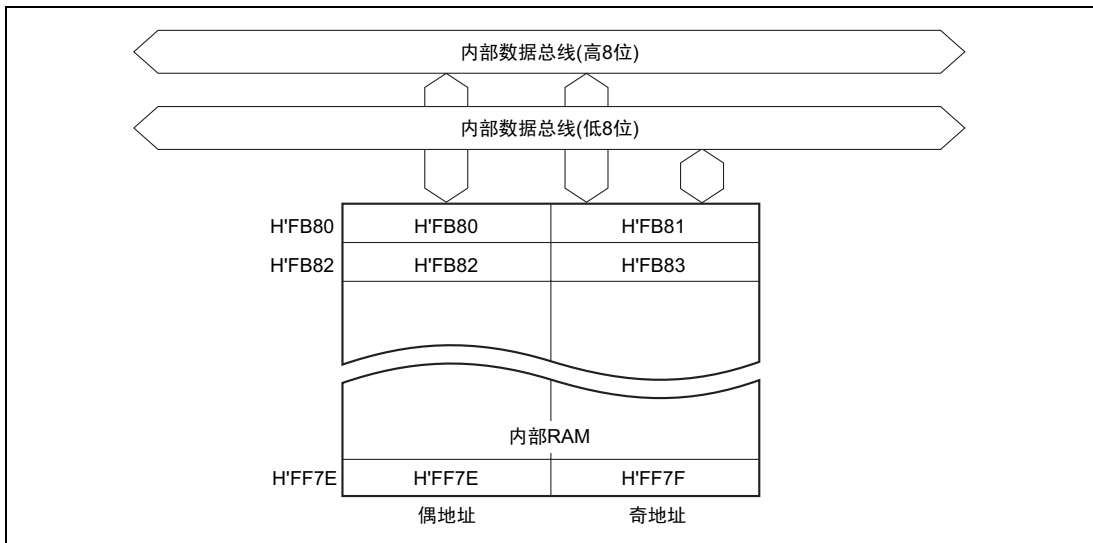


图 7.1 RAM 的框图 (H8/38024 的情况)

第 8 章 I/O 端口

8.1 概要

本 LSI 具有 5 个 8 位输入/输出端口、2 个 4 位输入/输出端口、1 个 3 位输入/输出端口、1 个 8 位输入专用端口、1 个 1 位输入专用端口以及 1 个 6 位输出专用端口。

各端口的功能一览表如表 8.1 所示。

各端口由控制输入/输出的端口控制寄存器（PCR）和保存输出数据的端口数据寄存器（PDR）构成，能以位单位控制输入/输出。关于对 PCR 和 PDR 执行的位操作指令，请参照“2.9.2 位操作指令使用时的注意事项”。

端口 5、6、7、8、A 和液晶显示用的段管脚、公共管脚兼用，能以 4 位为单位进行选择。

各端口的框图请参照“附录 C. I/O 端口框图”。

表 8.1 端口功能

端口	概要	管脚	兼用功能	功能切换控制寄存器
端口 1	<ul style="list-style-type: none"> • 4 位输入/输出端口 • 可选择输入上拉 MOS 	P17/IRQ3/TMIF	外部中断 3 计数器事件输入管脚 TMIF	PMR1 TCRF
		P16* ¹	无	
		P14/IRQ4/ADTRG	外部中断 4 A/D 转换器的外部触发	PMR1 AMR
		P13/TMIG	定时器 G 输入捕捉的输入	PMR1 PMR2
端口 3	<ul style="list-style-type: none"> • 8 位输入/输出端口 • 可选择输入上拉 MOS • 大电流端口*² • 可选择 NMOS 漏极开路输出（只有 P35） 	P37,P36/AEVL, AEVH	异步事件计数器的输入管脚 AEVL、AEVH	PMR3 ECCR
		P35~P33	无	PMR2
		P32,P31/TMOFH, TMOFL	定时器 F 输出比较的输出	PMR3
		P30/UD	定时器 C 递增/递减计数选择输入	PMR3
端口 4	<ul style="list-style-type: none"> • 1 位输入专用端口 • 3 位输入/输出端口 	P43/IRQ0	外部中断 0	PMR2
		P42/TXD32 P41/RXD32 P40/SCK32	SCI3 的数据输出（TXD32）、数据输入（RXD32）、时钟输入/输出（SCK32）	SCR3 SMR3 SPCR
端口 5	<ul style="list-style-type: none"> • 8 位输入/输出端口 • 可选择输入上拉 MOS 	P57~P50/ WKP7~WKP0/ SEG8~SEG1	唤醒输入（WKP7~WKP0）、 段输出（SEG8~SEG1）	PMR5 LPCR
端口 6	<ul style="list-style-type: none"> • 8 位输入/输出端口 • 可选择输入上拉 MOS 	P67~P60/ SEG16~SEG9	段输出（SEG16~SEG9）	LPCR
端口 7	• 8 位输入/输出端口	P77~P70/ SEG24~SEG17	段输出（SEG24~SEG17）	LPCR
端口 8	• 8 位输入/输出端口	P87~P80/ SEG32~SEG25	段输出（SEG32~SEG25）	LPCR
端口 9	<ul style="list-style-type: none"> • 6 位输出专用端口 • 耐高压大电流端口*³ 	P95~P92 (P95、P94、P92、 P93/Vref) * ⁴	无 (LVD 基准电压外部输入管脚) * ⁴	(LVDSR) * ⁴
		P91、P90/ PWM2、PWM1	10 位 PWM 输出	PMR9
	• 耐高压输入端口* ³	IRQAEC	无	
端口 A	• 4 位输入/输出端口	PA3~PA0/ COM4~COM1	公共输出（COM4~COM1）	LPCR

端口	概要	管脚	兼用功能	功能切换控制寄存器
端口 B	8 位输入专用端口	PB7~PB4/ AN7~AN4	A/D 转换器的模拟输入 (AN7~AN4)	AMR
		PB3/AN3/ $\overline{\text{IRQ1}}$ / TMIC	A/D 转换器的模拟输入 (AN3) 外部中断 1 计数器的事件输入 (TMIC)	AMR PMRB TMC
		PB2/AN2	A/D 转换器的模拟输入	AMR
		PB1/AN1/(extU)* ⁴ PB0/AN0/(extD)* ⁴	A/D 转换器的模拟输入 (LVD 检测电压外部输入管脚)* ⁴	AMR (LVDCR)* ⁴

【注】 *1 H8/38124 群没有 P16 管脚和功能。

*2 仅适用于 HD64338024、HD64338023、HD64338022、HD64338021、HD64338020、H8/38124 群。

*3 H8/38024S 群、H8/38124 群为标准耐压。

*4 仅适用于 H8/38124 群。

8.2 端口 1

8.2.1 概要

端口 1 是 4 位输入/输出端口。端口 1 的各管脚结构如图 8.1 所示。

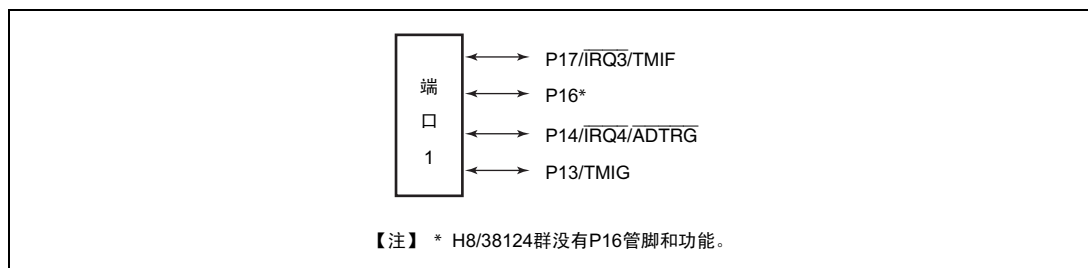


图 8.1 端口 1 的管脚结构

8.2.2 寄存器构成和说明

端口 1 的寄存器构成如表 8.2 所示。

表 8.2 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 1	PDR1	R/W	—	H'FFD4
端口控制寄存器 1	PCR1	W	—	H'FFE4
端口上拉控制寄存器 1	PUCR1	R/W	—	H'FFE0
端口模式寄存器 1	PMR1	R/W	—	H'FFC8
端口模式寄存器 2	PMR2	R/W	H'D8	H'FFC9

(1) 端口数据寄存器 1 (PDR1)

位	7	6	5	4	3	2	1	0
	P17	P16*	—	P14	P13	—	—	—
初始值:	0	0	—	0	0	—	—	—
R/W :	R/W	R/W	—	R/W	R/W	—	—	—

PDR1 是保存端口 1 的 P17、P16*、P14、P13 各管脚数据的 8 位寄存器。

在 PCR1 为 1 时，如果读端口 1，就直接读取 PDR1 的值，因此不受管脚状态的影响。在 PCR1 为 0 时，如果读端口 1，就能读取管脚状态。

【注】 * H8/38124 群没有 P16 管脚和功能。寄存器可读写。

(2) 端口控制寄存器 1 (PCR1)

位	7	6	5	4	3	2	1	0
	PCR17	PCR16*	—	PCR14	PCR13	—	—	—
初始值:	0	0	—	0	0	—	—	—
R/W :	W	W	W	W	W	W	W	W

PCR1 按位控制端口 1 的 P17、P16*、P14、P13 各管脚的输入/输出。如果将 PCR1 置 1，对应的 P17、P16*、P14、P13 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 PMR1 将该管脚设定为通用输入/输出时，PCR1 和 PDR1 的设置有效。

本寄存器为只写寄存器。各位总是读出 1。

【注】 * H8/38124 群没有 P16 管脚和功能。

(3) 端口上拉控制寄存器 1 (PUCR1)

位	7	6	5	4	3	2	1	0
	PUCR17	PUCR16*	—	PUCR14	PUCR13	—	—	—
初始值:	0	0	—	0	0	—	—	—
R/W :	R/W	R/W	W	R/W	R/W	W	W	W

PUCR1 按位控制端口 1 的 P17、P16*、P14、P13 各管脚的上拉 MOS。

在 PCR1 为 0 状态下，如果将 PUCR1 置 1，对应的上拉 MOS 就变为 ON 状态，如果清 0，就变为 OFF 状态。

【注】 * H8/38124 群没有 P16 管脚和功能。寄存器可读写。

(4) 端口模式寄存器 1 (PMR1)

位	7	6	5	4	3	2	1	0
	IRQ3	—	—	IRQ4	TMIG	—	—	—
初始值:	0	1	—	0	0	—	1	—
R/W :	R/W	—	W	R/W	R/W	W	—	W

PMR1 为 8 位可读写寄存器，控制端口 1 的各管脚功能的切换。

- 位7: P17/ $\overline{\text{IRQ3}}$ /TMIF管脚功能切换 (IRQ3)

设定将 P17/ $\overline{\text{IRQ3}}$ /TMIF 管脚作为 P17 管脚使用, 还是作为 $\overline{\text{IRQ3}}$ /TMIF 管脚使用。

位 7	说明	
IRQ3		
0	作为 P17 输入/输出管脚功能	(初始值)
1	作为 $\overline{\text{IRQ3}}$ /TMIF 输入管脚功能	

【注】 $\overline{\text{IRQ3}}$ /TMIF 管脚能选择上升沿或者下降沿。有关 TMIF 管脚的设定, 请参照“9.4.2 (3) 定时器控制寄存器 F (TCRF)”。

- 位6: 保留位

保留位。总是读出 1, 写无效。

- 位5: 保留位

保留位。只能写 0。

- 位4: P14/ $\overline{\text{IRQ4}}$ / $\overline{\text{ADTRG}}$ 管脚功能切换 (IRQ4)

设定将 P14/ $\overline{\text{IRQ4}}$ / $\overline{\text{ADTRG}}$ 管脚作为 P14 管脚使用, 还是作为 $\overline{\text{IRQ4}}$ / $\overline{\text{ADTRG}}$ 管脚使用。

位 4	说明	
IRQ4		
0	作为 P14 输入/输出管脚功能	(初始值)
1	作为 $\overline{\text{IRQ4}}$ / $\overline{\text{ADTRG}}$ 输入管脚功能	

【注】 有关 $\overline{\text{ADTRG}}$ 管脚的设定, 请参照“12.3.2 通过外部触发启动 A/D 转换器”。

- 位3: P13/TMIG管脚功能切换 (TMIG)

设定将 P13/TMIG 管脚作为 P13 管脚使用, 还是作为 TMIG 管脚使用。

位 3	说明	
TMIG		
0	作为 P13 输入/输出管脚功能	(初始值)
1	作为 TMIG 输入管脚功能	

- 位2、0: 保留位

保留位。只能写 0。

- 位1: 保留位

保留位。总是读出 1, 写无效。

(5) 端口模式寄存器 2 (PMR2)

位	7	6	5	4	3	2	1	0
	—	—	POF1	—	—	WDCKS	NCS	IRQ0
初始值:	1	1	0	1	1	0	0	0
R/W :	—	—	R/W	—	—	R/W	R/W	R/W

PMR2 为 8 位可读写寄存器，控制 P35 管脚的 PMOS 的 ON/OFF、监视定时器时钟选择、TMIG 噪声消除选择、P43/IRQ0 管脚功能切换。在复位时，PMR2 被初始化成 H'D8。

本章只说明有关定时器 G 和监视定时器的位。其它位请参照端口 4 (IRQ0) 和端口 3 (POF1)。

• 位2: 监视定时器源时钟 (WDCKS)

选择监视定时器的源时钟。但是，必须注意 H8/38024、H8/38024S、H8/38024R 群与 H8/38124 群不同。

H8/38024、H8/38024S、H8/38024R 群

位 2	说明	
WDCKS		
0	选择 $\phi/8192$	(初始值)
1	选择 $\phi_W/32$	

H8/38124 群

位 2	说明	
WDCKS		
0	通过定时器模式寄存器 W (TMW) 的设定选择时钟*	(初始值)
1	选择 $\phi_W/32$	

【注】 * 详细内容请参照“9.6 监视定时器”。

• 位1: TMIG噪声消除选择 (NCS)

控制输入捕捉的输入信号 (TMIG) 的噪声消除电路。

位 1	说明	
NCS		
0	无噪声消除功能	(初始值)
1	有噪声消除功能	

8.2.3 管脚功能

端口1的管脚功能如表8.3所示。

表 8.3 端口 1 的管脚功能

管脚	选择方法和管脚功能				
P17/IRQ3/TMIF	通过 PMR1 的 IRQ3、TCRF 的 CKSL2~CKSL0 以及 PCR1 的 PCR17 的组合，进行如下切换：				
	IRQ3	0		1	
	PCR17	0	1	*	
	CKSL2~CKSL0	*		0**以外	0**
	管脚功能	P17 输入管脚	P17 输出管脚	$\overline{\text{IRQ3}}$ 输入管脚	$\overline{\text{IRQ3/TMIF}}$ 输入管脚
【注】 在作为 TMIF 输入管脚使用时，必须将 IENR1 的 IEN3 清 0，禁止 IRQ3 中断。					
P16	通过 PCR1 的 PCR16，进行如下切换：				
	PCR16	0		1	
	管脚功能	P16 输入管脚		P16 输出管脚	
【注】 H8/38124 群没有 P16 管脚和功能。					
P14/IRQ4/ ADTRG	通过 PMR1 的 IRQ4、AMR 的 TRGE 以及 PCR1 的 PCR14 的组合，进行如下切换：				
	IRQ4	0		1	
	PCR14	0	1	*	
	TRGE	*		0	1
	管脚功能	P14 输入管脚	P14 输出管脚	$\overline{\text{IRQ4}}$ 输入管脚	$\overline{\text{IRQ4/ADTRG}}$ 输入管脚
【注】 在作为 ADTRG 输入管脚使用时，必须将 IENR1 的 IEN4 清 0，禁止 IRQ4 中断。					
P13/TMIG	通过 PMR1 的 TMIG 和 PCR1 的 PCR13 的组合，进行如下切换：				
	TMIG	0		1	
	PCR13	0	1	*	
	管脚功能	P13 输入管脚	P13 输出管脚	TMIG 输入管脚	

【符号说明】

*: Don't care

8.2.4 管脚状态

端口 1 在各运行模式的管脚状态如表 8.4 所示。

表 8.4 端口 1 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P17/IRQ3 /TMIF P16* ¹ P14/IRQ4 /ADTRG P13/TMIG	高阻抗	保持	保持	高阻抗* ²	保持	运行	运行

【注】 *¹ H8/38124群没有P16管脚和功能。

*² 上拉MOS在ON状态下输出高电平。

8.2.5 输入上拉 MOS

端口 1 内置了可用程序控制的输入上拉 MOS。在 PCR1 被清 0 的状态下，如果将 PUCR1 置 1，输入上拉 MOS 就变为 ON 状态。在复位时，输入上拉 MOS 变为 OFF 状态。

PCR1n	0		1
PUCR1n	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】

*: Don't care (n=7、6、4、3)

8.3 端口 3

8.3.1 概要

端口 3 是 8 位输入/输出端口。端口 3 的各管脚结构如图 8.2 所示。

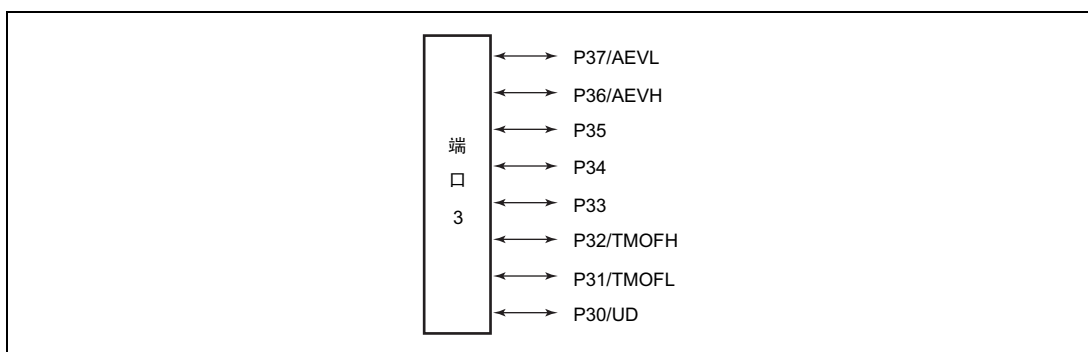


图 8.2 端口 3 的管脚结构

8.3.2 寄存器构成和说明

端口 3 的寄存器构成如表 8.5 所示。

表 8.5 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 3	PDR3	R/W	H'00	H'FFD6
端口控制寄存器 3	PCR3	W	H'00	H'FFE6
端口上拉控制寄存器 3	PUCR3	R/W	H'00	H'FFE1
端口模式寄存器 2	PMR2	R/W	H'D8	H'FFC9
端口模式寄存器 3	PMR3	R/W	—	H'FFCA

(1) 端口数据寄存器 3 (PDR3)

位	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3 是保存端口 3 的 P37~P30 各管脚数据的 8 位寄存器。

在 PCR3 为 1 时，如果读端口 3，就直接读取 PDR3 的值，因此不受管脚状态的影响。在 PCR3 为 0 时，如果读端口 3，就能读取管脚状态。

在复位时，PDR3 被初始化成 H'00。

(2) 端口控制寄存器 3 (PCR3)

位	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR3 按位控制端口 3 的 P37~P30 各管脚的输入/输出。如果将 PCR3 置 1，对应的 P37~P30 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 PMR3 将该管脚设定为通用输入/输出时，PCR3 和 PDR3 的设定有效。

在复位时，PCR3 被初始化成 H'00。

本寄存器为只写寄存器。各位总是读出 1。

(3) 端口上拉控制寄存器 3 (PUCR3)

位	7	6	5	4	3	2	1	0
	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR3 按位控制端口 3 的 P37~P30 各管脚的上拉 MOS。

在 PCR3 为 0 状态下，如果将 PUCR3 置 1，对应的上拉 MOS 就变为 ON 状态；如果将其清 0，就变为 OFF 状态。

在复位时，PUCR3 被初始化成 H'00。

(4) 端口模式寄存器 2 (PMR2)

位	7	6	5	4	3	2	1	0
	—	—	POF1	—	—	WDCKS	NCS	IRQ0
初始值:	1	1	0	1	1	0	0	0
R/W :	—	—	R/W	—	—	R/W	R/W	R/W

PMR2 为 8 位可读写寄存器，控制 P35 管脚的 PMOS 的 ON/OFF、监视定时器时钟选择、TMIG 噪声消除选择以及 P43/IRQ0 管脚功能切换。

在复位时，PMR2 被初始化成 H'D8。

本章只说明有关控制 P35 管脚的 PMOS 的 ON/OFF 的位。其它位请参照端口 1(WDCKS 和 NCS)和端口 4(IRQ0)。

- 位5: P35管脚PMOS控制 (POF1)

控制 P35 管脚输出缓冲器的 PMOS 的 ON/OFF。

位 5	说明
POF1	
0	CMOS 输出 (初始值)
1	NMOS 漏极开路输出

【注】如果在本位为 1 的状态下将 P35 置成输出，就变为 NMOS 漏极开路输出。

(5) 端口模式寄存器 3 (PMR3)

位	7	6	5	4	3	2	1	0
	AEVL	AEVH	—	—	—	TMOFH	TMOFL	UD
初始值:	0	0	—	—	—	0	0	0
R/W :	R/W	R/W	W	W	W	R/W	R/W	R/W

PMR3 为 8 位可读写寄存器，主要控制端口 3 的各管脚功能的切换。

- 位7: P37/AEVL管脚功能切换 (AEVL)

设定将 P37/AEVL 管脚作为 P37 管脚使用，还是作为 AEVL 管脚使用。

位 7	说明
AEVL	
0	作为 P37 输入/输出管脚功能 (初始值)
1	作为 AEVL 输入管脚功能

- 位6: P36/AEVH管脚功能切换 (AEVH)

设定将 P36/AEVH 管脚作为 P36 管脚使用，还是作为 AEVH 管脚使用。

位 6	说明
AEVH	
0	作为 P36 输入/输出管脚功能 (初始值)
1	作为 AEVH 输入管脚功能

- 位5~3: 保留位

保留位。只能写 0。

- 位2: P32/TMOFH管脚功能切换 (TMOFH)

设定将 P32/TMOFH 管脚作为 P32 管脚使用，还是作为 TMOFH 管脚使用。

位 2	说明
TMOFH	
0	作为 P32 输入/输出管脚功能 (初始值)
1	作为 TMOFH 输出管脚功能

- 位1: P31/TMOFL管脚功能切换 (TMOFL)

设定将 P31/TMOFL 管脚作为 P31 管脚使用, 还是作为 TMOFL 管脚使用。

位 1	说明	
TMOFL		
0	作为 P31 输入/输出管脚功能	(初始值)
1	作为 TMOFL 输出管脚功能	

- 位0: P30/UD管脚功能切换 (UD)

设定将 P30/UD 管脚作为 P30 管脚使用, 还是作为 UD 管脚使用。

位 0	说明	
UD		
0	作为 P30 输入/输出管脚功能	(初始值)
1	作为 UD 输入管脚功能	

8.3.3 管脚功能

端口3的管脚功能如表8.6所示。

表 8.6 端口 3 的管脚功能

管脚	选择方法和管脚功能		
P37/AEVL	通过 PMR3 的 AEVL 和 PCR3 的 PCR37 的组合, 进行如下切换:		
	AEVL	0	
	PCR37	0	1
	管脚功能	P37 输入管脚	P37 输出管脚
P36/AEVH	通过 PMR3 的 AEVH 和 PCR3 的 PCR36 的组合, 进行如下切换:		
	AEVH	0	
	PCR36	0	1
	管脚功能	P36 输入管脚	P36 输出管脚
P35	通过 PCR3 的 PCR35, 进行如下切换:		
	PCR35	0	1
	管脚功能	P35 输入管脚	P35 输出管脚
P34	通过 PCR3 的 PCR34, 进行如下切换:		
	PCR34	0	1
	管脚功能	P34 输入管脚	P34 输出管脚
P33	通过 PCR3 的 PCR33, 进行如下切换:		
	PCR33	0	1
	管脚功能	P33 输入管脚	P33 输出管脚
P32/TMOFH	通过 PMR3 的 TMOFH 和 PCR3 的 PCR32 的组合, 进行如下切换:		
	TMOFH	0	
	PCR32	0	1
	管脚功能	P32 输入管脚	P32 输出管脚
P31/TMOFL	通过 PMR3 的 TMOFL 和 PCR3 的 PCR31: 的组合, 进行如下切换:		
	TMOFL	0	
	PCR31	0	1
	管脚功能	P31 输入管脚	P31 输出管脚
P30/UD	通过 PMR3 的 UD 和 PCR3 的 PCR30 的组合, 进行如下切换:		
	UD	0	
	PCR30	0	1
	管脚功能	P30 输入管脚	P30 输出管脚

【符号说明】

*: Don't care

8.3.4 管脚状态

端口3在各运行模式中的管脚状态如表8.7所示。

表 8.7 端口 3 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P37/AEVL P36/AEVH P35 P34 P33 P32/TMOFH P31/TMOFL P30/UD	高阻抗	保持	保持	高阻抗*	保持	运行	运行

【注】 * 上拉MOS在ON状态下输出高电平。

8.3.5 输入上拉 MOS

端口 3 内置了可用程序控制的输入上拉 MOS。在 PCR3 被清 0 的状态下，如果将 PUCR3 置 1，输入上拉 MOS 就变为 ON 状态。在复位时，输入上拉 MOS 变为 OFF 状态。

PCR3n	0		1
PUCR3n	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】

*: Don't care (n=7~0)

8.4 端口 4

8.4.1 概要

端口 4 是 3 位输入/输出端口和 1 位输入专用端口。端口 4 的各管脚结构如图 8.3 所示。

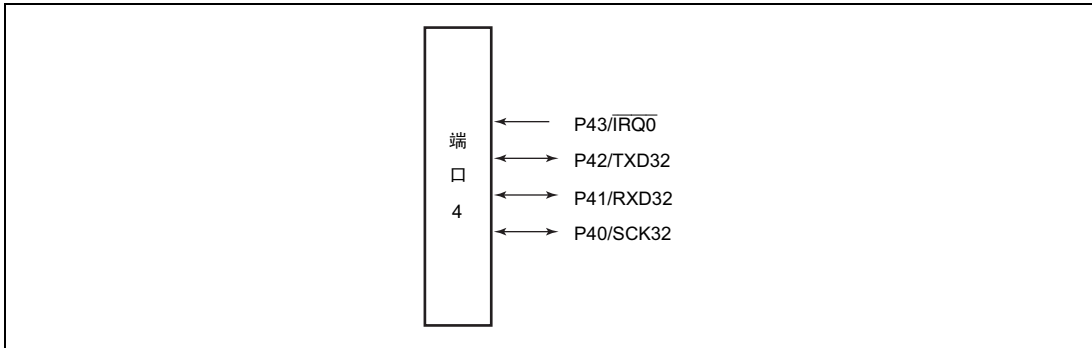


图 8.3 端口 4 的管脚结构

8.4.2 寄存器构成和说明

端口 4 的寄存器构成如表 8.8 所示。

表 8.8 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 4	PDR4	R/W	H'F8	H'FFD7
端口控制寄存器 4	PCR4	W	H'F8	H'FFE7
端口模式寄存器 2	PMR2	R/W	H'D8	H'FFC9

(1) 端口数据寄存器 4 (PDR4)

位	7	6	5	4	3	2	1	0
	—	—	—	—	P43	P42	P41	P40
初始值:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	R	R/W	R/W	R/W

PDR4 是保存端口 4 的 P42~P40 各管脚数据的 8 位寄存器。在 PCR4 为 1 时，如果读端口 4，就直接读取 PDR4 的值，因此不受管脚状态的影响。在 PCR4 为 0 时，如果读端口 4，就能读取管脚状态。

在复位时，PDR4 被初始化成 H'F8。

(2) 端口控制寄存器 4 (PCR4)

位	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR42	PCR41	PCR40
初始值:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

PCR4 按位控制端口 4 的 P42~P40 各管脚的输入/输出。如果将 PCR4 置 1，对应的 P42~P40 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 SCR3 将该管脚设定为通用输入/输出时，PCR4 和 PDR4 的设定有效。

在复位时，PCR4 被初始化成 H'F8。

本寄存器为只写寄存器。各位总是读出 1。

(3) 端口模式寄存器 2 (PMR2)

位	7	6	5	4	3	2	1	0
	—	—	POF1	—	—	WDCKS	NCS	IRQ0
初始值:	1	1	0	1	1	0	0	0
R/W :	—	—	R/W	—	—	R/W	R/W	R/W

PMR2 为 8 位可读写寄存器，控制 P35 管脚的 PMOS 的 ON/OFF、监视定时器时钟选择、TMIG 噪声消除选择以及 P43/ $\overline{\text{IRQ0}}$ 管脚功能切换。

在复位时，PMR2 被初始化成 H'D8。

本章只说明有关控制 P43/ $\overline{\text{IRQ0}}$ 管脚功能的位。其它位请参照端口 3 (POF1) 和端口 1 (WDCKS 和 NCS) 。

• 位0: P43/ $\overline{\text{IRQ0}}$ 管脚功能切换控制 (IRQ0)

设定将 P43/ $\overline{\text{IRQ0}}$ 管脚作为 P43 管脚使用，还是作为 $\overline{\text{IRQ0}}$ 管脚使用。

位 0	说明
IRQ0	
0	作为 P43 输入/输出管脚功能 (初始值)
1	作为 $\overline{\text{IRQ0}}$ 输入管脚功能

8.4.3 管脚功能

端口4的管脚功能如表8.9所示。

表 8.9 端口 4 的管脚功能

管脚	选择方法和管脚功能			
P43/IRQ0	通过 PMR2 的 IRQ0，进行如下切换：			
	IRQ0	0		1
	管脚功能	P43 输入管脚		IRQ0 输入管脚
P42/TXD32	通过 SCR3 的 TE、SPCR 的 SPC32 以及 PCR4 的 PCR42 的组合，进行如下切换：			
	SPC32	0		1
	TE	0		1
	PCR42	0	1	*
	管脚功能	P42 输入管脚	P42 输出管脚	TXD32 输出管脚
P41/RXD32	通过 SCR3 的 RE 和 PCR4 的 PCR41 的组合，进行如下切换：			
	RE	0		1
	PCR41	0	1	*
	管脚功能	P41 输入管脚	P41 输出管脚	RXD32 输入管脚
P40/SCK32	通过 SCR3 的 CKE1 和 CKE0、SMR 的 COM 以及 PCR4 的 PCR40 的组合，进行如下切换：			
	CKE1	0		1
	CKE0	0		1
	COM	0	1	*
	PCR40	0	1	*
	管脚功能	P40 输入管脚	P40 输出管脚	SCK32 输出管脚

【符号说明】

*: Don't care

8.4.4 管脚状态

端口4在各运行模式的管脚状态如表8.10所示。

表 8.10 端口 4 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P43/IRQ0	高阻抗	保持	保持	高阻抗	保持	运行	运行
P42/TXD32							
P41/RXD32							
P40/SCK32							

8.5 端口 5

8.5.1 概要

端口 5 是 8 位输入/输出端口。端口 5 的各管脚结构如图 8.4 所示。

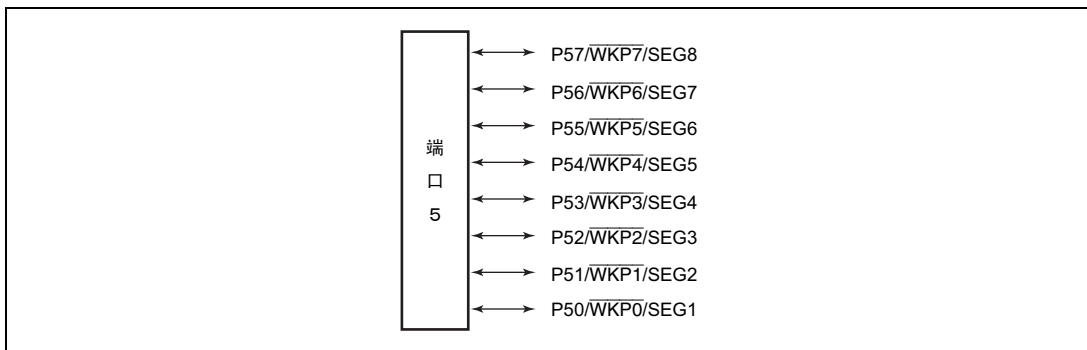


图 8.4 端口 5 的管脚结构

8.5.2 寄存器构成和说明

端口 5 的寄存器构成如表 8.11 所示。

表 8.11 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 5	PDR5	R/W	H'00	H'FFD8
端口控制寄存器 5	PCR5	W	H'00	H'FFE8
端口上拉控制寄存器 5	PUCR5	R/W	H'00	H'FFE2
端口模式寄存器 5	PMR5	R/W	H'00	H'FFCC

(1) 端口数据寄存器 5 (PDR5)

位	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 是保存端口 5 的 P57~P50 各管脚数据的 8 位寄存器。

在 PCR5 为 1 时，如果读端口 5，就直接读取 PDR5 的值，因此不受管脚状态的影响。在 PCR5 为 0 时，如果读端口 5，就能读取管脚状态。

在复位时，PDR5 被初始化成 H'00。

(2) 端口控制寄存器 5 (PCR5)

位	7	6	5	4	3	2	1	0
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5 按位控制端口 5 的 P57~P50 各管脚的输入/输出。如果将 PCR5 置 1，对应的 P57~P50 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 PMR5 和 LPCR 的 SGS3~SGS0 将该管脚设定为通用输入/输出时，PCR5 和 PDR5 的设定有效。

在复位时，PCR5 被初始化成 H'00。

本寄存器为只写寄存器。各位总是读出 1。

(3) 端口上拉控制寄存器 5 (PUCR5)

位	7	6	5	4	3	2	1	0
	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 按位控制端口 5 的 P57~P50 各管脚的上拉 MOS。

在 PCR5 为 0 状态下，如果将 PUCR5 置 1，对应的上拉 MOS 就变为 ON 状态；如果将其清 0，就变为 OFF 状态。

在复位时，PUCR5 被初始化成 H'00。

(4) 端口模式寄存器 5 (PMR5)

位	7	6	5	4	3	2	1	0
	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5 为 8 位可读写寄存器，主要控制端口 5 的各管脚功能的切换。

在复位时，PMR5 被初始化成 H'00。

- 位n: P5n/ \overline{WKPn} /SEGn+1管脚功能切换 (WKPn)

在 P5n/ \overline{WKPn} /SEGn+1 管脚不作为 SEGn+1 管脚使用时，将其设定作为 P5n 管脚使用还是作为 \overline{WKPn} 管脚使用。

位 n	说明	
WKPn		
0	作为 P5n 输入/输出管脚功能	(初始值)
1	作为 \overline{WKPn} 输入管脚功能	

(n=7~0)

【注】 关于作为 SEGn+1 的使用方法，请参照“13.2.1 LCD 端口控制寄存器 (LPCR)”。

8.5.3 管脚功能

端口5的管脚功能如表8.12所示。

表 8.12 端口 5 的管脚功能

管脚	选择方法和管脚功能			
P57/WKP7 /SEG8 ~ P50/WKP0 /SEG1	通过 PMR5 的 WKP7~WKP0、PCR5 的 PCR57~PCR50 以及 LPCR 的 SGS3~SGS0 的组合，进行如下切换：			
P5n (n=7~4)				
SGS3~SGS0	除 0010、0011、0100、0101、0110、0111、1000、1001 以外			0010、0011、0100、0101、0110、0111、1000、1001
WKPn	0		1	*
PCR5n	0	1	*	*
管脚功能	P5n 输入管脚	P5n 输出管脚	WKPn 输入管脚	SEGn+1 输出管脚
P5m (m=3~0)				
SGS3~SGS0	除 0001、0010、0011、0100、0101、0110、0111、1000 以外			0001、0010、0011、0100、0101、0110、0111、1000
WKPm	0		1	*
PCR5m	0	1	*	*
管脚功能	P5m 输入管脚	P5m 输出管脚	WKPm 输入管脚	SEGm+1 输出管脚

【符号说明】

*: Don't care

8.5.4 管脚状态

端口5在各运行模式的管脚状态如表8.13所示。

表 8.13 端口 5 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P57/WKP7 /SEG8 ~ P50/WKP0 /SEG1	高阻抗	保持	保持	高阻抗*	保持	运行	运行

【注】 * 上拉MOS在ON状态下输出高电平。

HD64F38024保持。

8.5.5 输入上拉 MOS

端口 5 内置了可用程序控制的输入上拉 MOS。在 PCR5 被清 0 的状态下，如果将 PUCR5 置 1，输入上拉 MOS 就变为 ON 状态。在复位时，输入上拉 MOS 变为 OFF 状态。

PCR5n	0		1
PUCR5n	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】

*: Don't care (n=7~0)

8.6 端口 6

8.6.1 概要

端口 6 是 8 位输入/输出端口。端口 6 的各管脚结构如图 8.5 所示。

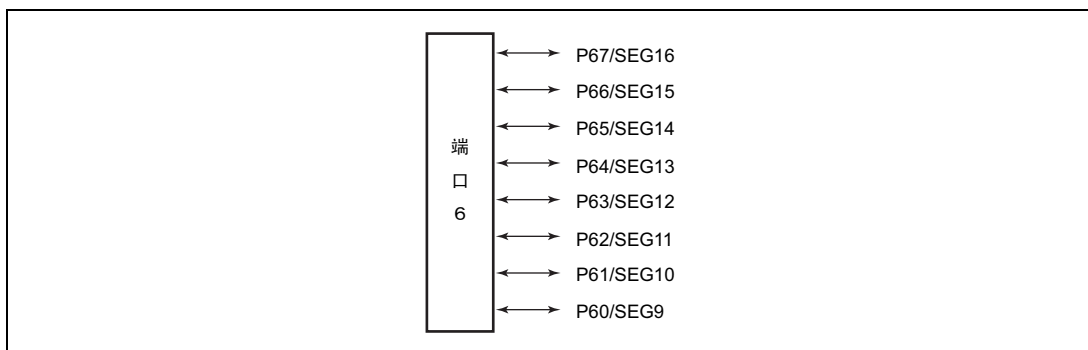


图 8.5 端口 6 的管脚结构

8.6.2 寄存器构成和说明

端口 6 的寄存器构成如表 8.14 所示。

表 8.14 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 6	PDR6	R/W	H'00	H'FFD9
端口控制寄存器 6	PCR6	W	H'00	H'FFE9
端口上拉控制寄存器 6	PUCR6	R/W	H'00	H'FFE3

(1) 端口数据寄存器 6 (PDR6)

位	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6 是保存端口 6 的 P67~P60 各管脚数据的 8 位寄存器。

在 PCR6 为 1 时，如果读端口 6，就直接读取 PDR6 的值，因此不受管脚状态的影响。在 PCR6 为 0 时，如果读端口 6，就能读取管脚状态。

在复位时，PDR6 被初始化成 H'00。

(2) 端口控制寄存器 6 (PCR6)

位	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR6 按位控制端口 6 的 P67~P60 各管脚的输入/输出。如果将 PCR6 置 1，对应的 P67~P60 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 LPCR 的 SGS3~SGS0 将该管脚设定为通用输入/输出时，PCR6 和 PDR6 的设定有效。

在复位时，PCR6 被初始化成 H'00。

本寄存器为只写寄存器。各位总是读出 1。

(3) 端口上拉控制寄存器 6 (PUCR6)

位	7	6	5	4	3	2	1	0
	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6 按位控制端口 6 的 P67~P60 各管脚的上拉 MOS。

在 PCR6 为 0 状态下，如果将 PUCR6 置 1，对应的上拉 MOS 就变为 ON 状态；如果将其清 0，就变为 OFF 状态。

在复位时，PUCR6 被初始化成 H'00。

8.6.3 管脚功能

端口6的管脚功能如表8.15所示。

表 8.15 端口 6 的管脚功能

管脚	选择方法和管脚功能		
P67/SEG16 ~ P60/SEG9	通过 PCR6 的 PCR67~PCR60 和 LPCR 的 SGS3~SGS0 的组合，进行如下切换：		
	P6n (n=7~4)		
	SGS3~SGS0	除 0100、0101、0110、0111、1000、1001、1010、1011 以外	
	PCR6n	0	1
	管脚功能	P6n 输入管脚	P6n 输出管脚
	P6m (m=3~0)		
	SGS3~SGS0	除 0011、0100、0101、0110、0111、1000、1001、1010 以外	
	PCR6m	0	1
	管脚功能	P6m 输入管脚	P6m 输出管脚
			SEGn+9 输出管脚

【符号说明】

*: Don't care

8.6.4 管脚状态

端口6在各运行模式的管脚状态如表8.16所示。

表 8.16 端口 6 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P67/SEG16 ~ P60/SEG9	高阻抗	保持	保持	高阻抗*	保持	运行	运行

【注】 *上拉MOS在ON状态下输出高电平。

8.6.5 输入上拉 MOS

端口 6 内置了可用程序控制的输入上拉 MOS。在 PCR6 被清 0 的状态下，如果将 PUCR6 置 1，输入上拉 MOS 就变为 ON 状态。在复位时，输入上拉 MOS 变为 OFF 状态。

PCR6n	0		1
PUCR6n	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】

*: Don't care (n=7~0)

8.7 端口 7

8.7.1 概要

端口 7 是 8 位输入/输出端口。端口 7 的各管脚结构如图 8.6 所示。

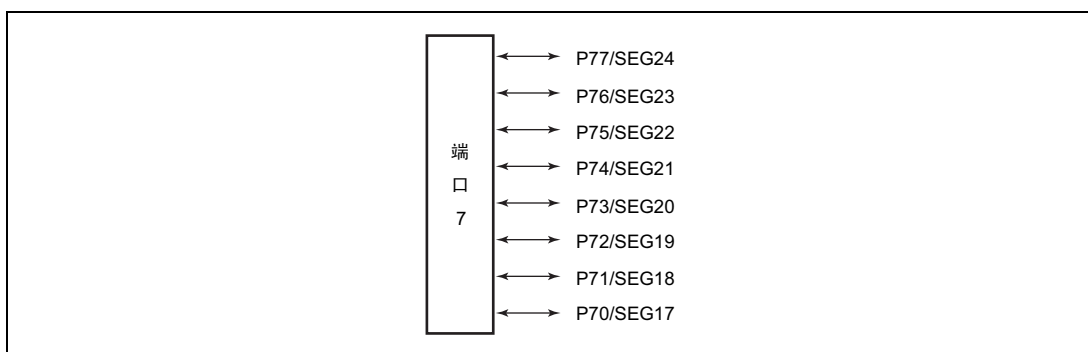


图 8.6 端口 7 的管脚结构

8.7.2 寄存器构成和说明

端口 7 的寄存器构成如表 8.17 所示。

表 8.17 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 7	PDR7	R/W	H'00	H'FFDA
端口控制寄存器 7	PCR7	W	H'00	H'FFE A

(1) 端口数据寄存器 7 (PDR7)

位	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7 是保存端口 7 的 P77~P70 各管脚数据的 8 位寄存器。

在 PCR7 为 1 时，如果读端口 7，就直接读取 PDR7 的值，因此不受管脚状态的影响。在 PCR7 为 0 时，如果读端口 7，就能读取管脚状态。

在复位时，PDR7 被初始化成 H'00。

(2) 端口控制寄存器 7 (PCR7)

位	7	6	5	4	3	2	1	0
	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR7 按位控制端口 7 的 P77~P70 各管脚的输入/输出。如果将 PCR7 置 1，对应的 P77~P70 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 LPCR 的 SGS3~SGS0 将该管脚设定为通用输入/输出时，PCR7 和 PDR7 的设定有效。

在复位时，PCR7 被初始化成 H'00。

本寄存器为只写寄存器。各位总是读出 1。

8.7.3 管脚功能

端口 7 的管脚功能如表 8.18 所示。

表 8.18 端口 7 的管脚功能

管脚	说明		
P77/SEG24 ~ P70/SEG17	通过 PCR7 的 PCR77~PCR70 和 LPCR 的 SGS3~SGS0 的组合，进行如下切换：		
	P7n (n=7~4)		
	SGS3~SGS0	除 0110、0111、1000、1001、1010、1011、1100、1101 以外	0110、0111、1000、1001、1010、1011、1100、1101
	PCR7n	0	1
	管脚功能	P7n 输入管脚	P7n 输出管脚
			*
			SEgn+17 输出管脚
	P7m (m=3~0)		
	SGS3~SGS0	除 0101、0110、0111、1000、1001、1010、1011、1100 以外	0101、0110、0111、1000、1001、1010、1011、1100
	PCR7m	0	1
	管脚功能	P7m 输入管脚	P7m 输出管脚
			*
			SEgm+17 输出管脚

【符号说明】

*: Don't care

8.7.4 管脚状态

端口 7 在各运行模式的管脚状态如表 8.19 所示。

表 8.19 端口 7 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P77/SEG24 ~ P70/SEG17	高阻抗	保持	保持	高阻抗	保持	运行	运行

8.8 端口 8

8.8.1 概要

端口 8 是 8 位输入/输出端口。端口 8 的各管脚结构如图 8.7 所示。

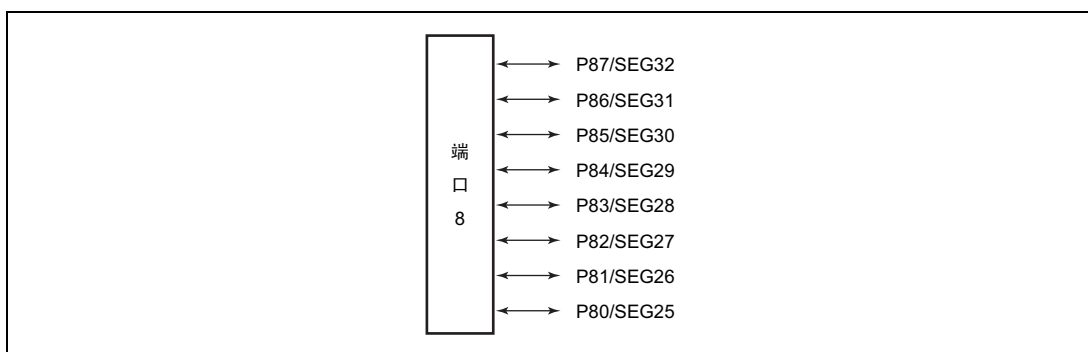


图 8.7 端口 8 的管脚结构

8.8.2 寄存器构成和说明

端口 8 的寄存器构成如表 8.20 所示。

表 8.20 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 8	PDR8	R/W	H'00	H'FFDB
端口控制寄存器 8	PCR8	W	H'00	H'FFEB

(1) 端口数据寄存器 8 (PDR8)

位	7	6	5	4	3	2	1	0
	P87	P86	P85	P84	P83	P82	P81	P80
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8 是保存端口 8 的 P87~P80 各管脚数据的 8 位寄存器。

在 PCR8 为 1 时，如果读端口 8，就直接读取 PDR8 的值，因此不受管脚状态的影响。在 PCR8 为 0 时，如果读端口 8，就能读取管脚状态。

在复位时，PDR8 被初始化成 H'00。

(2) 端口控制寄存器 8 (PCR8)

位	7	6	5	4	3	2	1	0
	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR8 按位控制端口 8 的 P87~P80 各管脚的输入/输出。如果将 PCR8 置 1，对应的 P87~P80 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 LPCR 的 SGS3~SGS0 将该管脚设定为通用输入/输出时，PCR8 和 PDR8 的设定有效。

在复位时，PCR8 被初始化成 H'00。

本寄存器为只写寄存器。各位总是读出 1。

8.8.3 管脚功能

端口 8 的管脚功能如表 8.21 所示。

表 8.21 端口 8 的管脚功能

管脚	选择方法和管脚功能		
P87/SEG32 ~ P80/SEG25	通过 PCR8 的 PCR87~PCR80 和 LPCR 的 SGS3~SGS0 的组合，进行如下切换：		
	P8n (n=7~4)		
	SGS3~SGS0	除 1000、1001、1010、1011、1100、1101、1110、1111 以外	1000、1001、1010、1011、1100、1101、1110、1111
	PCR8n	0	1
	管脚功能	P8n 输入管脚	P8n 输出管脚
			*
	P8m (m=3~0)		
	SGS3~SGS0	除 0111、1000、1001、1010、1011、1100、1101、1110 以外	0111、1000、1001、1010、1011、1100、1101、1110
	PCR8m	0	1
	管脚功能	P8m 输入管脚	P8m 输出管脚
			*

【符号说明】

*: Don't care

8.8.4 管脚状态

端口8在各运行模式的管脚状态如表8.22所示。

表 8.22 端口 8 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P87/SEG32 ~ P80/SEG25	高阻抗	保持	保持	高阻抗	保持	运行	运行

8.9 端口 9

8.9.1 概要

端口 9 是 6 位输出专用端口。端口 9 的各管脚结构如图 8.8 所示。

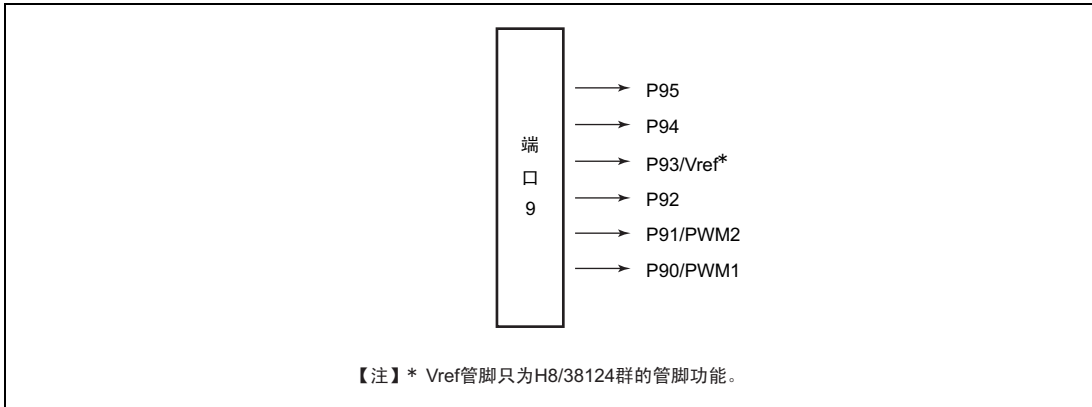


图 8.8 端口 9 的管脚结构

8.9.2 寄存器构成和说明

端口 9 的寄存器构成如表 8.23 所示。

表 8.23 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 9	PDR9	R/W	H'FF	H'FFDC
端口模式寄存器 9	PMR9	R/W	—	H'FFEC

(1) 端口数据寄存器 9 (PDR9)

位	7	6	5	4	3	2	1	0
	—	—	P95	P94	P93	P92	P91	P90
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 是保存端口 9 的 P95~P90 各管脚数据的 8 位寄存器。

在复位时，PDR9 被初始化成 H'FF。

(2) 端口模式寄存器 9 (PMR9)

位	7	6	5	4	3	2	1	0
	—	—	—	—	PIOFF/—*	—	PWM2	PWM1
初始值:	1	1	1	1	0	—	0	0
R/W :	—	—	—	—	R/W	W	R/W	R/W

【注】* H8/38024S群和H8/38124群为可读写保留位。

8 位可读写寄存器，控制 P90 和 P91 管脚功能的切换。

- 位3: P92~P90升压电路控制 (PIOFF)

控制 P92~P90 的升压电路的 ON/OFF。H8/38024S 群和 H8/38124 群为保留位。

位 3	说明
PIOFF	
0	大电流端口的升压电路 ON (初始值)
1	大电流端口的升压电路 OFF

【注】 H8/38024ZTAT 版和掩模型 ROM 版的 HD64F38024R 在操作 PIOFF 位时，必须注意如下事项：

在控制升压电路 ON/OFF 时，必须在缓冲器的 NMOS 为 OFF（端口数据为 1）时改写寄存器。在升压电路 ON 时，必须首先将 PIOFF 清 0，然后在经过 30 个系统时钟后，将缓冲器的 NMOS 置成 ON（端口数据为 0）。如果不经过 30 个系统时钟，就不能启动升压电路，无法流过大电流，运行不稳定。

在 HD64F38024，操作 PIOFF 位时，必须注意如下事项：

HD64F38024 在 PIOFF=1 的状态下，如果将端口数据从 1 改变成 0，就会在升压电路内发生重复充放电，引起电流消耗的周期性增减。此时的电流消耗将比通常的使用状态增加数 $10\mu\text{A}\sim 100\mu\text{A}$ 左右。因此，在使用时必须注意以下几点：

(1) 不使用子时钟的情况

不管是否使用端口 9，必须保持初始值（PIOFF=0）的内容不改变。

(2) 不使用端口 9 的情况

必须保持初始值（PIOFF=0）不变或者在将 PIOFF 改变成 1 后不改变端口数据。此时，根据升压电路是否运行，电流消耗相差大约 $1\mu\text{A}$ （在待机模式或者时钟模式、 $V_{CC}=3.0\text{V}$ 、 $T_a=25^\circ\text{C}$ ）。

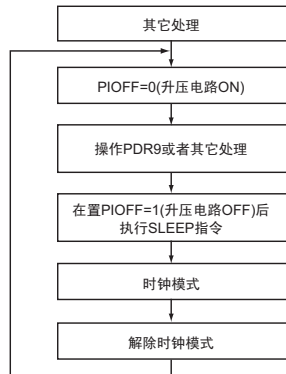
(3) 使用端口 9 并且通常将 PIOFF 清 0 的情况

适用于为了让大电流流过通常使用升压电路的情况，以及即使在待机模式或者时钟模式也能容许由升压电路运行产生的电流消耗增加的量（请参照（2））的情况。在此情况下，必须保持初始值（PIOFF=0）的内容不改变。

(4) 使用端口 9 并将 PIOFF 置 1 的情况

适用于根据运行状态操作 PIOFF 的情况，以及在不需要大电流时尽可能将 PIOFF 置 1 的情况（如在时钟模式停止升压电路减少电流消耗的情况等）。此在情况下，必须在 PIOFF=0 的状态下，将端口数据从 1 改变成 0。另外，在需要大电流流过时，将 PIOFF 置 1，并且在端口数据全为 1 的状态下，将 PIOFF 清 0，然后在经过 30 个时钟宽的升压电路稳定时间后，将端口数据清 0。如果不经过此升压电路稳定时间，就无法流过大电流。不管是否需要大电流，在将端口数据从 0 改变成 1 时，无任何限制。在停止升压电路时，必须在改变端口数据后，将 PIOFF 置 1。步骤例子如下所示：

（步骤例子）不需要大电流向端口 9，在时钟模式停止升压电路的情况。



- 位2: 保留位
保留位。总是读出 0。
- 位1、0: P9n/PWM管脚功能切换控制
设定将 P9n/PWMn+1 管脚作为 P9n 管脚使用，还是作为 PWMn+1 管脚使用。

(n=1、0)

位 n	说明	
PWMn+1		
0	作为 P9n 输出管脚功能	(初始值)
1	作为 PWMn+1 输出管脚功能	

8.9.3 管脚功能

端口9的管脚功能如表8.24所示。

表 8.24 端口 9 的管脚功能

管脚	选择方法和管脚功能		
P93/Vref*	VREFSEL	0	1
	管脚功能	P93 输出管脚	Vref 输入管脚
P91/PWMn+1 ~ P90/PWMn+1	PMR9n	0	1
	管脚功能	P9n 输出管脚	PWMn+1 输出管脚

【注】 * Vref 管脚为 LVD 的外部基准电压输入管脚，只在 H8/38124 群有此管脚。

8.9.4 管脚状态

端口9在各运行模式的管脚状态如表8.25所示。

表 8.25 端口 9 的管脚状态

(n=1、0)

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P95~P92	高阻抗	保持	保持	高阻抗	保持	运行	运行
P9n/PWMn+1							
~							
P9n/PWMn+1							

8.10 端口 A

8.10.1 概要

端口 A 是 4 位输入/输出端口。端口 A 的各管脚结构如图 8.9 所示。

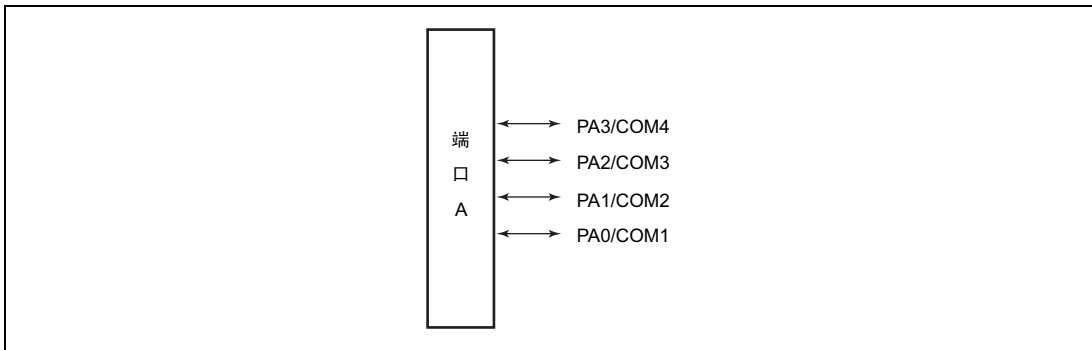


图 8.9 端口 A 的管脚结构

8.10.2 寄存器构成和说明

端口 A 的寄存器构成如表 8.26 所示。

表 8.26 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 A	PDRA	R/W	H'F0	H'FFDD
端口控制寄存器 A	PCRA	W	H'F0	H'FFED

(1) 端口数据寄存器 A (PDRA)

位	7	6	5	4	3	2	1	0
	—	—	—	—	PA3	PA2	PA1	PA0
初始值:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

PDRA 是保存端口 A 的 PA3~PA0 各管脚数据的 8 位寄存器。

在 PCRA 为 1 时，如果读端口 A，就直接读取 PDRA 的值，因此不受管脚状态的影响。在 PCRA 为 0 时，如果读端口 A，就能读取管脚状态。

在复位时，PDRA 被初始化成 H'F0。

(2) 端口控制寄存器 A (PCRA)

位	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0
初始值:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	W	W	W	W

PCRA 按位控制端口 A 的 PA3~PA0 各管脚的输入/输出。如果将 PCRA 置 1，对应的 PA3~PA0 管脚就变为输出管脚，如果清 0，就变为输入管脚。在通过 LPCR 将该管脚设定为通用输入/输出时，PCRA 和 PDRA 的设定有效。

在复位时，PCRA 被初始化成 H'F0。

本寄存器为只写寄存器。各位总是读出 1。

8.10.3 管脚功能

端口 A 的管脚功能如表 8.27 所示。

表 8.27 端口 A 的管脚功能

管脚	选择方法和管脚功能			
PA3/COM4	通过 PCRA 的 PCRA3 和 SGS3~SGS0 的组合，进行如下切换：			
	SGS3~SGS0	0000	0000	除 0000 以外
	PCRA3	0	1	*
	管脚功能	PA3 输入管脚	PA3 输出管脚	COM4 输出管脚
PA2/COM3	通过 PCRA 的 PCRA2 和 SGS3~SGS0 的组合，进行如下切换：			
	SGS3~SGS0	0000	0000	除 0000 以外
	PCRA2	0	1	*
	管脚功能	PA2 输入管脚	PA2 输出管脚	COM3 输出管脚
PA1/COM2	通过 PCRA 的 PCRA1 和 SGS3~SGS0 的组合，进行如下切换：			
	SGS3~SGS0	0000	0000	除 0000 以外
	PCRA1	0	1	*
	管脚功能	PA1 输入管脚	PA1 输出管脚	COM2 输出管脚
PA0/COM1	通过 PCRA 的 PCRA0 和 SGS3~SGS0 的组合，进行如下切换：			
	SGS3~SGS0	0000	0000	除 0000 以外
	PCRA0	0	1	*
	管脚功能	PA0 输入管脚	PA0 输出管脚	COM1 输出管脚

【符号说明】

*: Don't care

8.10.4 管脚状态

端口 A 在各运行模式的管脚状态如表 8.28 所示。

表 8.28 端口 A 的管脚状态

管脚名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
PA3/COM4	高阻抗	保持	保持	高阻抗	保持	运行	运行
PA2/COM3							
PA1/COM2							
PA0/COM1							

8.11 端口 B

8.11.1 概要

端口 B 是 8 位输入专用端口。端口 B 的各管脚结构如图 8.10 所示。

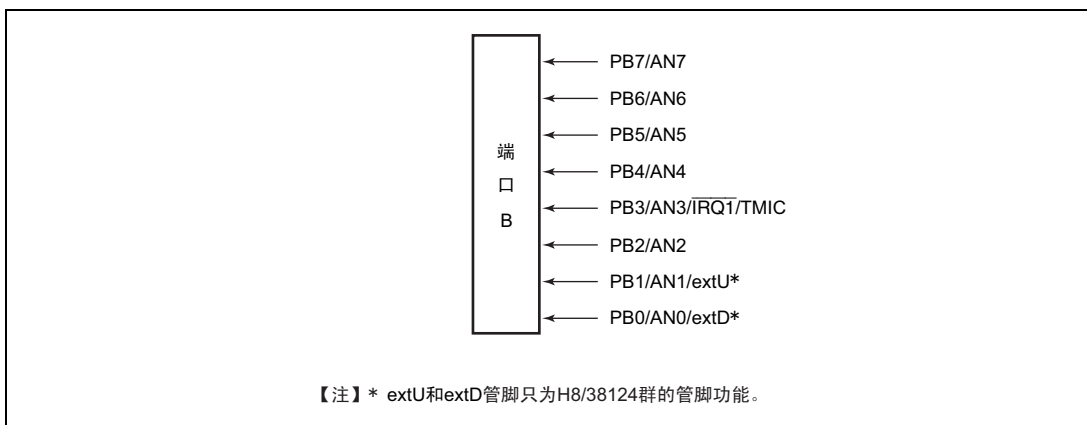


图 8.10 端口 B 的管脚结构

8.11.2 寄存器构成和说明

端口 B 的寄存器构成如表 8.29 所示。

表 8.29 寄存器构成

名称	略称	R/W	初始值	地址
端口数据寄存器 B	PDRB	R/W	—	H'FFDE
端口模式寄存器 B	PMRB	R/W	H'F7	H'FFEE

(1) 端口数据寄存器 B (PDRB)

位	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W	R	R	R	R	R	R	R	R

如果读 PDRB，总是读出各管脚的状态。但是，如果通过 A/D 转换器的 AMR 的 CH3~CH0 读取所选择的模拟输入通道管脚，就和输入电压无关，读出 0。

(2) 端口模式寄存器 B (PMRB)

位	7	6	5	4	3	2	1	0
	—	—	—	—	IRQ1	—	—	—
初始值:	1	1	1	1	0	1	1	1
R/W	—	—	—	—	R/W	—	—	—

PMRB 为 8 位可读写寄存器，控制 PB3 管脚功能的切换。在复位时，PMRB 被初始化成 H'F7。

- 位7~4、2~0: 保留位

保留位。各位总是读出 1，写无效。

- 位3: PB3/AN3/ $\overline{\text{IRQ1}}$ 管脚功能切换控制 (IRQ1)

设定将 PB3/AN3/ $\overline{\text{IRQ1}}$ 管脚作为 PB3/AN3 管脚使用，还是作为 $\overline{\text{IRQ1}}$ /TMIC 管脚使用。

位 3	说明	
IRQ1		
0	作为 PB3/AN3 输入管脚功能	(初始值)
1	作为 $\overline{\text{IRQ1}}$ /TMIC 输入管脚功能	

【注】 $\overline{\text{IRQ1}}$ /TMIC 管脚能选择上升沿或者下降沿。

有关 TMIC 管脚的设定，请参照“9.3.2 (1) 定时器模式寄存器 C (TMC)”。

8.11.3 管脚功能

端口B的管脚功能如表8.30所示。

表 8.30 端口 B 的管脚功能

管脚	选择方法和管脚功能				
PB7/AN7	通过 AMR 的 CH3~CH0，进行如下切换：				
	CH3~CH0	除 1011 以外		1011	
	管脚功能	PB7 输入管脚		AN7 输入管脚	
PB6/AN6	通过 AMR 的 CH3~CH0，进行如下切换：				
	CH3~CH0	除 1010 以外		1010	
	管脚功能	PB6 输入管脚		AN6 输入管脚	
PB5/AN5	通过 AMR 的 CH3~CH0，进行如下切换：				
	CH3~CH0	除 1001 以外		1001	
	管脚功能	PB5 输入管脚		AN5 输入管脚	
PB4/AN4	通过 AMR 的 CH3~CH0，进行如下切换：				
	CH3~CH0	除 1000 以外		1000	
	管脚功能	PB4 输入管脚		AN4 输入管脚	
PB3/AN3/ $\overline{\text{IRQ1}}$ /TMIC	通过 AMR 的 CH3~CH0、PMRB 的 IRQ1 以及 TMC 的 TMC2~TMC0 的组合，进行如下切换：				
	IRQ1	0		1	
	CH3~CH0	除 0111 以外	0111	*	
	TMC2~TMC0	*		除 111 以外	111
	管脚功能	PB3 输入管脚	AN3 输入管脚	$\overline{\text{IRQ1}}$ 输入管脚	TMIC 输入管脚

【注】 在作为 TMIC 输入管脚使用时，必须将 IENR1 的 IEN1 清 0，禁止 IRQ1 中断。

管脚	选择方法和管脚功能		
PB2/AN2	通过 AMR 的 CH3~CH0, 进行如下切换:		
	CH3~CH0	除 0110 以外	0110
	管脚功能	PB2 输入管脚	AN2 输入管脚
PB1/AN1/ extU	通过 AMR 的 CH3~CH0、LVDCR 的 VINTUSEL 的组合, 进行如下切换。但是, VINTUSEL 只为 H8/38124 群的位。		
	VINTUSEL	0	1
	CH3~CH0	除以外	0101
	管脚功能	PB1 输入管脚	AN1 输入管脚
			extU 输入管脚
	【注】extU 管脚只为 H8/38124 群的管脚。		
PB0/AN0/ extD	通过 AMR 的 CH3~CH0、LVDCR 的 VINTDSEL 的组合, 进行如下切换。但是, VINTDSEL 只为 H8/38124 群的位。		
	VINTDSEL	0	1
	CH3~CH0	除 0100 以外	0100
	管脚功能	PB0 输入管脚	AN0 输入管脚
			extD 输入管脚
	【注】extD 管脚只为 H8/38124 群的管脚。		

【符号说明】

*: Don't care

8.12 输入/输出数据反转功能

8.12.1 概要

输入管脚 RXD32 和输出管脚 TXD32 能进行数据反转处理。

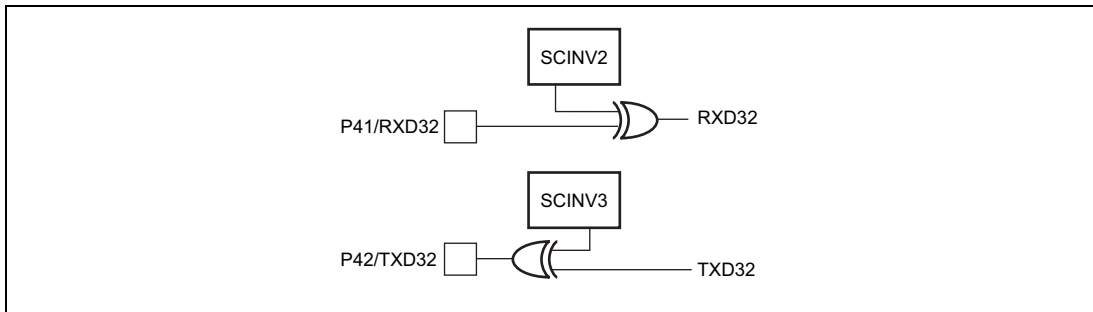


图 8.11 输入/输出反转功能

8.12.2 寄存器构成和说明

输入/输出数据反转功能的寄存器构成如表 8.31 所示。

表 8.31 寄存器构成

名称	略称	R/W	地址
串行端口控制寄存器	SPCR	R/W	H'FF91

(1) 串行端口控制寄存器 (SPCR)

位	7	6	5	4	3	2	1	0
	—	—	SPC32	—	SCINV3	SCINV2	—	—
初始值:	1	1	0	—	0	0	—	—
R/W :	—	—	R/W	W	R/W	R/W	W	W

SPCR 是 8 位可读写寄存器。进行 RXD32 管脚、TXD32 管脚以及其它管脚的输入/输出数据的反转切换。

- 位7、6: 保留位

保留位。各位总是读出 1，写无效。

• 位5: P42/TXD32管脚功能切换

设定将 P42/TXD32 管脚作为 P42 管脚使用, 还是作为 TXD32 管脚使用。

位 5	说明	
SPC32		
0	作为 P42 输入/输出管脚功能	(初始值)
1	作为 TXD32 输出管脚功能*	

【注】* 必须在将本位设定成 1 后, 设定 SCR3 的 TE 位。

• 位4: 保留位

保留位。只能写 0。

• 位3: TXD32管脚输出数据反转切换

设定是否反转 TXD32 管脚的输出数据。

位 3	说明	
SCINV3		
0	不反转 TXD32 的输出数据	(初始值)
1	反转 TXD32 的输出数据	

• 位2: RXD32管脚输入数据反转切换

设定是否反转 RXD32 管脚的输入数据。

位 2	说明	
SCINV2		
0	不反转 RXD32 的输入数据	(初始值)
1	反转 RXD32 的输入数据	

• 位1、0: 保留位

保留位。只能写 0。

8.12.3 改写串行端口控制寄存器时的注意事项

如果改写串行端口控制寄存器, 到改写为止的被输入/输出的数据在改写后就立即被反转, 无效数据的变化将被输入/输出。在改写串行端口控制寄存器时, 必须在数据变化无效的状态下进行。

8.13 使用时的注意事项

8.13.1 未使用管脚的处理

在由用户系统未使用的输入/输出管脚为浮动状态的情况下，必须将处于浮动状态的管脚上拉或者下拉。

- 设定未使用管脚为输入时，必须进行下列的某一项设定：
 - (1) 通过内部上拉MOS将管脚上拉到V_{CC}
 - (2) 通过在外部付加100k Ω 左右的电阻将管脚上拉到V_{CC}
 - (3) 通过在外部付加100k Ω 左右的电阻将管脚下拉到V_{SS}
 - (4) 将和A/D转换器兼用的管脚上拉到AV_{CC}

- 设定未使用管脚为输出时，必须进行下列的某一项设定：
 - (1) 将未使用的管脚设为高电平输出，并通过内部上拉MOS将管脚上拉到V_{CC}
 - (2) 将未使用的管脚设为高电平输出，并通过在外部付加100k Ω 左右的电阻将管脚上拉到V_{CC}
 - (3) 将未使用的管脚设为低电平输出，并通过在外部付加100k Ω 左右的电阻将管脚下拉到V_{SS}

第 9 章 定时器

9.1 概要

本 LSI 内置 6 个定时器（定时器 A、C、F、G、监视定时器以及异步事件计数器）。

各定时器的功能概要如表 9.1 所示。

表 9.1 定时器的功能概要

定时器名称	功能	内部时钟	事件输入管脚	波形输出管脚	备考
定时器 A	<ul style="list-style-type: none"> 8 位定时器 	$\phi/8 \sim \phi/8192$	—	—	
	<ul style="list-style-type: none"> 间隔功能 时钟时基功能 	(8 种)			
定时器 C	<ul style="list-style-type: none"> 8 位定时器 间隔功能 事件计数功能 可选择递增/递减计数 	$\phi/4 \sim \phi/8192$ $\phi_w/4$ (7 种)	TMIC	—	可用软件和硬件控制递增/递减计数
定时器 F	<ul style="list-style-type: none"> 16 位定时器 事件计数功能 可作为 2 个独立的 8 位定时器使用 输出比较的输出功能 	$\phi/4 \sim \phi/32$ $\phi_w/4$ (4 种)	TMIF	TMOFL TMOFH	
定时器 G	<ul style="list-style-type: none"> 8 位定时器 输入捕捉功能 间隔功能 	$\phi/2 \sim \phi/64$ $\phi_w/4$ (4 种)	TMIG	—	<ul style="list-style-type: none"> 可指定计数器的清除 内置捕捉输入信号的噪声消除电路
监视定时器*	<ul style="list-style-type: none"> 通过 8 位计数器的溢出产生复位信号 	$\phi/8192$ $\phi_w/32$	—	—	H8/38024、 H8/38024S、 H8/38024R 群
		$\phi/64 \sim \phi/8192$ $\phi_w/32$ 内部振荡器			H8/38124 群
异步事件计数器	<ul style="list-style-type: none"> 16 位计数器 可作为 2 个独立的 8 位定时器使用 和 ϕ、ϕ_w 异步事件功能 和单片机的内部时钟无关，能计数异步事件（上升/下降/两边沿） 	$\phi/2 \sim \phi/8$ (3 种)	AEVL AEVH IRQAEC	—	

【注】 * H8/38024、H8/38024S、H8/38024R 群与 H8/38124 群的监视定时器的功能不同。

详细内容请参照“9.6 监视定时器”。

9.2 定时器 A

9.2.1 概要

定时器 A 是内置了间隔/时钟时基功能的 8 位定时器。如果给予时钟连接 32.768kHz 的晶体振荡器，就可以作为时钟时基使用。

(1) 特点

定时器 A 的特点如下所示：

- 可选择 8 种内部时钟

可以从 8 种内部时钟($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$)中选择。

- 可选择 4 种溢出周期

作为时钟时基，可以选择 4 种溢出周期（1s、0.5s、0.25s、31.25ms）（在给予时钟使用 32.768kHz 的晶体振荡器时）。

- 通过计数器的溢出产生中断

- 在未使用时，能通过模块待机模式，以单模块设定待机模式

(2) 框图

定时器 A 的框图如图 9.1 所示。

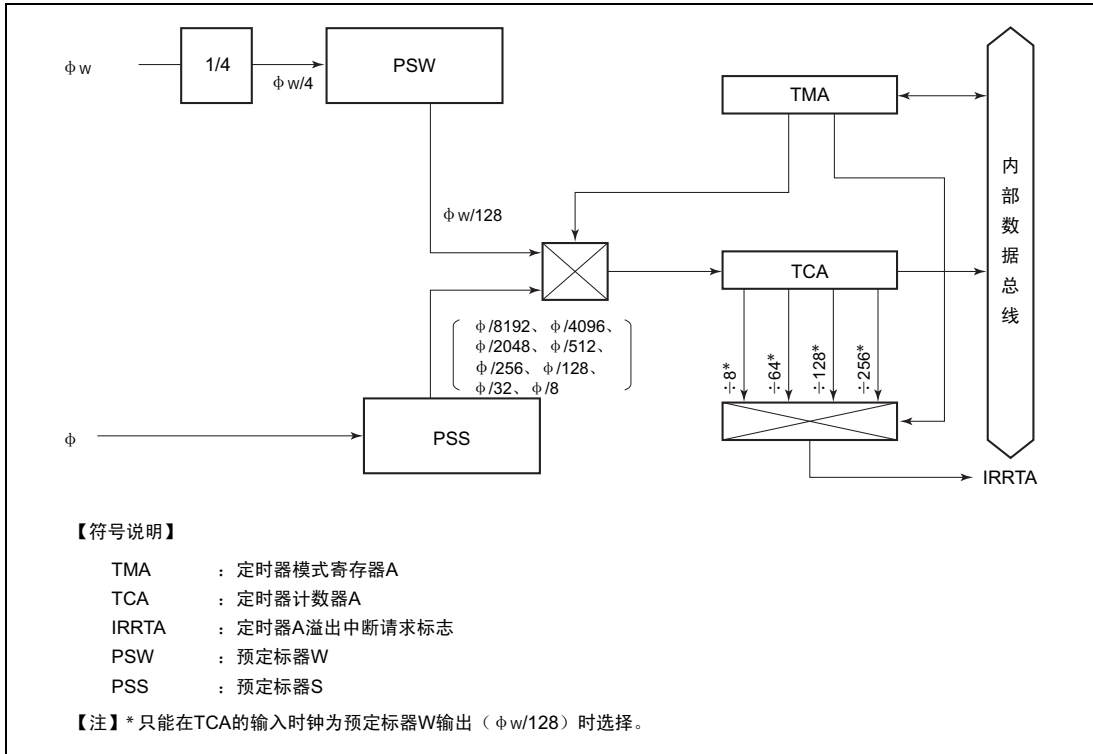


图 9.1 定时器 A 框图

(3) 寄存器构成

定时器 A 的寄存器构成如表 9.2 所示。

表 9.2 寄存器构成

名称	略称	R/W	初始值	地址
定时器模式寄存器 A	TMA	R/W	—	H'FFB0
定时器计数器 A	TCA	R	H'00	H'FFB1
时钟停止寄存器 1	CKSTPR1	R/W	H'FF	H'FFFA

9.2.2 各寄存器说明

(1) 定时器模式寄存器 A (TMA)

位	7	6	5	4	3	2	1	0
	—	—	—	—	TMA3	TMA2	TMA1	TMA0
初始值:	—	—	—	1	0	0	0	0
R/W :	W	W	W	—	R/W	R/W	R/W	R/W

TMA 为 8 位可读写寄存器，进行预定标器和输入时钟的选择。

- 位7~5: 保留位
保留位。只能写 0。
- 位4: 保留位
保留位。总是读出 1，写无效。
- 位3~0: 内部时钟选择 (TMA3~TMA0)

选择 TCA 的输入时钟。

位 3	位 2	位 1	位 0	说明	
TMA3	TMA2	TMA1	TMA0	预定标器分频比或者溢出周期	功能
0	0	0	0	PSS、 $\phi/8192$ (初始值)	间隔定时器
			1	PSS、 $\phi/4096$	
		1	0	PSS、 $\phi/2048$	
			1	PSS、 $\phi/512$	
	1	0	0	PSS、 $\phi/256$	
			1	PSS、 $\phi/128$	
		1	0	PSS、 $\phi/32$	
			1	PSS、 $\phi/8$	
1	0	0	0	PSW、1s	时钟时基 (在使用 32.768kHz 时)
			1	PSW、0.5s	
		1	0	PSW、0.25s	
			1	PSW、0.03125s	
	1	0	0	PSW、TCA 复位	
			1		
		1	0		
			1		

(2) 定时器计数器 A (TCA)

位	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCA 为 8 位可读增量计数器，通过输入内部时钟进行累加计数。通过 TMA 的 TMA3~TMA0，选择输入时钟。在激活模式时，能通过 CPU 读 TCA 的值，但是在子激活模式时不能读 TCA。如果 TCA 溢出，IRR1 的 IRRTA 就被置 1。

可以通过将 TMA 的 TMA3 和 TMA2 各位置成 1，清除 TCA。

在复位时，TCA 被初始化为 H'00。

(3) 时钟停止寄存器 1 (CKSTPR1)

位	7	6	5	4	3	2	1	0
	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关定时器 A 的位。其它位，请参照各模块的有关章节。

- 位0: 定时器A模块待机模式的控制 (TACKSTP)

控制设定和解除定时器 A 的模块待机模式。

TACKSTP	说明
0	将定时器 A 设定为模块待机模式
1	解除定时器 A 的模块待机模式 (初始值)

9.2.3 运行说明

(1) 间隔运行

如果将 TMA 的 TMA3 置 0，定时器 A 就作为 8 位间隔定时器运行。

在复位时，由于 TCA 被清 H'00，TMA3 被清 0，因此在复位后，作为间隔定时器，不停止运行而继续累加计数。通过 TMA 的 TMA2~TMA0，定时器 A 的运行时钟可以选择预定标器 S 输出的 8 种内部时钟。在 TCA 的计数值变为 H'FF 后，如果输入时钟，定时器 A 就溢出，并且 IRR1 的 IRRTA 被置 1，此时如果 IENR1 的 IENTA 为 1，就向 CPU 请求中断*。

当溢出时，TCA 的计数值返回 H'00，重新开始累加计数。因此，每输入 256 个时钟，TCA 就作为发生溢出输出的间隔定时器运行。

【注】* 关于中断的详细内容，请参照“3.3 中断”。

(2) 时钟用时基运行

如果将 TMA 的 TMA3 置 1，定时器 A 就对预定标器 W 的输出时钟进行计数，作为时钟时基运行。定时器 A 的溢出周期可以通过 TMA 的 TMA1 和 TMA0 进行 4 种选择。在时钟时基运行时（TMA3=1），如果将 TMA2 置 1，TCA 和预定标器 W 就都被清为 H'00。

9.2.4 定时器 A 的运行模式

定时器 A 的运行模式如表 9.3 所示。

表 9.3 定时器 A 的运行模式

运行模式		复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCA	间隔	复位	运行	运行	停止	停止	停止	停止	停止
	时钟时基	复位	运行	运行	运行	运行	运行	停止	停止
TMA		复位	运行	保持	保持	运行	保持	保持	保持

【注】 在激活模式、睡眠模式时，如果选择时钟时基功能作为 TCA 的内部时钟，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果计数周期会产生最大 $1/\phi$ (s) 的误差。

9.2.5 使用时的注意事项

在时钟停止寄存器 1 (CKSTPR1) 的位 0 (TACKSTP) 为 0 状态时，不能改写定时器模式寄存器 A (TMA) 的位 3 (TMA3)。

在改写定时器模式寄存器 A (TMA) 的位 3 (TMA3) 时，必须在将时钟停止寄存器 1 (CKSTPR1) 的位 0 (TACKSTP) 置 1 后进行。

9.3 定时器 C

9.3.1 概要

定时器 C 是每当输入时钟被输入时进行增量计数或者减量计数的 8 位定时器。定时器 C 有间隔和自动再装入 2 种功能。

(1) 特点

定时器 C 的特点如下所示：

- 可选择8种时钟

可以选择7种内部时钟($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$)和外部时钟(可计数外部事件)。

- 可通过计数器的溢出产生中断

- 可切换增量计/减量计数器

可通过硬件或者软件切换增量计/减量计数器。

- 在子激活模式、子睡眠模式运行。

作为内部时钟，如果选择 $\phi_w/4$ 或者外部时钟，就可在子激活模式、子睡眠模式运行。

- 在未使用时，能通过模块待机模式，以单模块设定待机模式

(2) 框图

定时器 C 的框图如图 9.2 所示。

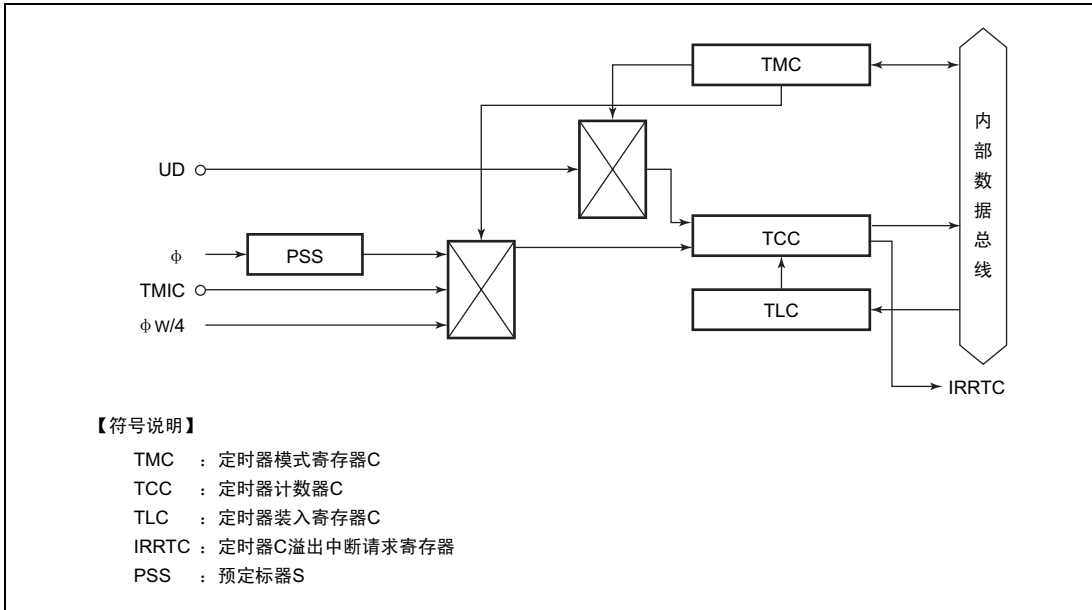


图 9.2 定时器 C 框图

(3) 管脚构成

定时器 C 的管脚构成如表 9.4 所示。

表 9.4 管脚构成

名称	略称	输入/输出	功能
定时器 C 事件输入	TMIC	输入	向 TCC 输入的事件输入管脚
定时器 C 递增/递减选择	UD	输入	选择定时器 C 的递增/递减计数

(4) 寄存器构成

定时器 C 的寄存器构成如表 9.5 所示。

表 9.5 寄存器构成

名称	略称	R/W	初始值	地址
定时器模式寄存器 C	TMC	R/W	H'18	H'FFB4
定时器计数器 C	TCC	R	H'00	H'FFB5
定时器装入寄存器 C	TLC	W	H'00	H'FFB5
时钟停止寄存器 1	CKSTPR1	R/W	H'FF	H'FFFA

9.3.2 各寄存器说明

(1) 定时器模式寄存器 C (TMC)

位	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初始值:	0	0	0	1	1	0	0	0
R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMC 为 8 位可读写寄存器，选择自动再装入功能、控制计数器的递增/递减以及选择输入时钟。

在复位时，TMC 被初始化成 H'18。

- 位7: 自动再装入功能选择 (TMC7)

选择定时器 C 的自动再装入功能。

位 7	说明	
TMC7	说明	
0	选择间隔功能	(初始值)
1	选择自动再装入功能	

- 位6、5: 计数器递增/递减控制 (TMC6、TMC5)

选择通过 UD 管脚输入对 TCC 的递增/递减进行硬件控制，还是将 TCC 作为递增计数器或者作为递减计数器。

位 6	位 5	说明	
TMC6	TMC5	说明	
0	0	TCC 为递增计数器	(初始值)
0	1	TCC 为递减计数器	
1	*	通过 UD 管脚输入进行硬件控制 UD 管脚输入为高电平: 递减计数器 UD 管脚输入为低电平: 递增计数器	

【符号说明】

* : Don't care

- 位4、3: 保留位

保留位。总是读出 1，写无效。

- 位2~0: 时钟选择 (TMC2~TMC0)

TMC2~TMC0 选择 TCC 的输入时钟。来自外部的事件输入可选择上升沿/下降沿。

位 2	位 1	位 0	说明
TMC2	TMC1	TMC0	
0	0	0	以内部时钟 $\phi/8192$ 计数 (初始值)
0	0	1	以内部时钟 $\phi/2048$ 计数
0	1	0	以内部时钟 $\phi/512$ 计数
0	1	1	以内部时钟 $\phi/64$ 计数
1	0	0	以内部时钟 $\phi/16$ 计数
1	0	1	以内部时钟 $\phi/4$ 计数
1	1	0	以内部时钟 $\phi_w/4$ 计数
1	1	1	以上升沿/下降沿计数外部事件 (TMIC) *

【注】* 通过 IRQ 边沿选择寄存器 (IEGR) 的 IEG1, 设定外部事件的边沿选择。有关详细内容, 请参照“3.3.2 (1) IRQ 边沿选择寄存器 (IEGR)”。并且, 必须在将 TMC2~TMC0 设定成 111 前, 将端口模式寄存器 B (PMRB) 的 IRQ1 置 1。

(2) 定时器计数器 C (TCC)

位 :	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCC 为 8 位可读增量/减量计数器, 通过输入内部时钟或者外部事件进行递增/递减计数。通过 TMC 的 TMC2~TMC0, 选择输入时钟。总能通过 CPU 读取 TCC 的值。

如果 TCC 溢出 (H'FF→H'00 或者 H'FF→TLC 的设定值) 或者下溢 (H'00→H'FF 或者 H'00→TLC 的设定值), IRR2 的 IRRTC 就被置 1。

TCC 被分配成和 TLC 相同的地址。

在复位时, TCC 被初始化为 H'00。

(3) 定时器装入寄存器 C (TLC)

位 :	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLC 为 8 位只写寄存器, 设定 TCC 的再装入值。如果给 TLC 设定再装入值, 此值就被同时装入 TCC, TCC 从该值开始递增/递减计数。另外, 在自动再装入运行时, 如果 TCC 溢出/下溢, TLC 的值就被装入 TCC。因此, 能在 1~256 个输入时钟的范围内设定溢出/下溢周器。

TLC 被分配成和 TCC 相同的地址。

在复位时, TLC 被初始化为 H'00。

(4) 时钟停止寄存器 1 (CKSTPR1)

位	7	6	5	4	3	2	1	0
	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关定时器 C 的位。其它位，请参照各模块的有关章节。

- 位1: 定时器C模块待机模式控制 (TCCKSTP)

控制设定和解除定时器 C 的模块待机模式。

TCCKSTP	说明
0	将定时器 C 设定为模块待机模式
1	解除定时器 C 的模块待机模式 (初始值)

9.3.3 运行说明

(1) 间隔运行

如果将 TMC 的 TMC7 置 0，定时器 C 就作为 8 位间隔定时器运行。

在复位时，由于 TCC 被清 H'00，TMC 被初始化成 H'18，因此在复位后，就作为间隔增量定时器，不停止运行而继续累加计数。通过 TMC 的 TMC2~TMC0，定时器 C 的运行时钟可以选择预定标器 S、W 输出的 7 种内部时钟和来自 TMIC 输入管脚的外部时钟。

另外，TCC 的递增/递减计数控制可通过 TMC 的 TMC6 和 TMC5，选择软件控制或者硬件控制。

在 TCC 的计数器值变为 H'FF (H'00) 后，如果输入时钟，定时器 C 就溢出 (下溢)，并且 IRR2 的 IRRTC 被置 1，此时如果 IENR2 的 IENTC 为 1，就向 CPU 请求中断。

当溢出 (下溢) 时，TCC 的计数值返回 H'00 (H'FF)，重新开始递增 (递减) 计数。

在间隔运行时 (TMC7=0)，如果设定 TLC，TLC 的值也同时被装入 TCC。

【注】* 关于中断的详细内容，请参照“3.3 中断”。

(2) 自动再装入定时器的运行

如果将 TMC 的 TMC7 置 1，定时器 C 就作为 8 位自动再装入定时器运行。

如果给 TLC 设定再装入值，此值就被同时装入 TCC，TCC 从该值开始递增/递减计数。在 TCC 的计数值变为 H'FF (H'00) 后，如果输入时钟，定时器 C 就溢出 (下溢)，TLC 的值被装入 TCC，并从该值开始继续递增 (递减) 计数。因此，通过 TLC 的值，能在 1~256 个输入时钟的范围内设定溢出 (下溢) 周期。

关于自动再装入运行时的时钟、递增/递减控制以及中断和间隔运行时相同。

如果自动再装入运行时 (TMC7=1) 再次设定 TLC 的值，TLC 的值也被同时装入 TCC。

(3) 事件计数器

定时器 C 作为以 TMIC 管脚为事件输入管脚的事件计数器运行。如果将 TMC 的 TMC2~TMC0 设定成 111，就选择外部事件运行，TCC 在 TMIC 管脚输入的上升沿/下降沿进行递增/递减计数。

在使用外部事件输入时，必须将 PMRB 的 IRQ1 置 1，并且将 IENR1 的 IEN1 清 0，禁止 IRQ1 中断请求。

(4) 通过硬件控制 TCC 的递增/递减

定时器 C 能通过 UD 管脚输入控制 TCC 的递增/递减计数。当 TMC 的 TMC6 为 1 时，如果 UD 管脚输入为高电平，就作为递增计数器运行；如果 UD 管脚输入为低电平，就作为递减计数器运行。

在使用 UD 管脚输入时，必须将 PMR3 的 UD 置 1。

9.3.4 定时器 C 的运行模式

定时器 C 的运行模式如表 9.6 所示。

表 9.6 定时器 C 的运行模式

运行模式		复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCC	间隔	复位	运行	运行	停止	运行/停止*	运行/停止*	停止	停止
	时钟时基	复位	运行	运行	停止	运行/停止*	运行/停止*	停止	停止
TMC		复位	运行	保持	保持	运行	保持	保持	保持

【注】* 在激活模式、睡眠模式时，如果选择 $\phi_w/4$ 作为 TCC 的内部时钟，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果计数周期会产生最大 $1/\phi$ (s) 的误差。

在子激活模式、子睡眠模式时，如果进行计数器运行，作为内部时钟就必须选择 $\phi_w/4$ 或者选择外部时钟；如果选择其它内部时钟，计数器将不运行。另外，在作为子时钟 ϕ_{SUB} 选择 $\phi_w/8$ 时，作为计数器的内部时钟如果选择 $\phi_w/4$ ，计数器的低位 2 位就以相同周期动作，而最低位的运行和计数器运行无关。

9.4 定时器 F

9.4.1 概要

定时器 F 是内置输出比较功能的 16 位定时器。除了能计数外部事件以外，还能通过比较匹配信号进行计数器的复位、中断请求、交替输出等。另外也可作为 2 个独立的 8 位计数器（定时器 FH、定时器 FL）运行。

(1) 特点

定时器 F 的特点如下所示：

- 可选择5种时钟

可以选择4种内部时钟（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ ）和外部时钟（可计数外部时钟）。

- 交替输出功能

通过比较匹配信号，向TMOFH/TMOFL管脚交替输出（可设定交替输出的初始值）。

- 通过比较匹配信号进行计数器复位

- 中断源：比较匹配×1源、溢出×1源

- 可以作为2个独立的8位定时器运行

也可以作为2个独立的8位定时器（定时器FH、定时器FL）运行（8位模式时）。

	定时器 FH 8 位定时器*	定时器 FL 8 位定时器/事件计数器
内部时钟	4 种（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ ）	
事件输入	—	TMIF 管脚
交替输出	比较匹配信号×1 条 向 TMOFH 管脚输出 （可设定初始值）	比较匹配信号×1 条 向 TMOFL 管脚输出 （可设定初始值）
计数器复位	可以通过比较匹配信号，进行计数器复位	
中断源	比较匹配×1 源 溢出×1 源	

【注】 * 在作为 16 位定时器运行时，通过定时器 FL 的溢出信号运行。

- 在时钟模式、子激活模式、子睡眠模式的运行

作为内部时钟选择了 $\phi_w/4$ 的情况下，能在时钟模式、子激活模式和子睡眠模式中运行。

- 通过模块待机模式，未使用时能以单个模块设定待机模式。

(2) 框图

定时器 F 的框图如图 9.3 所示。

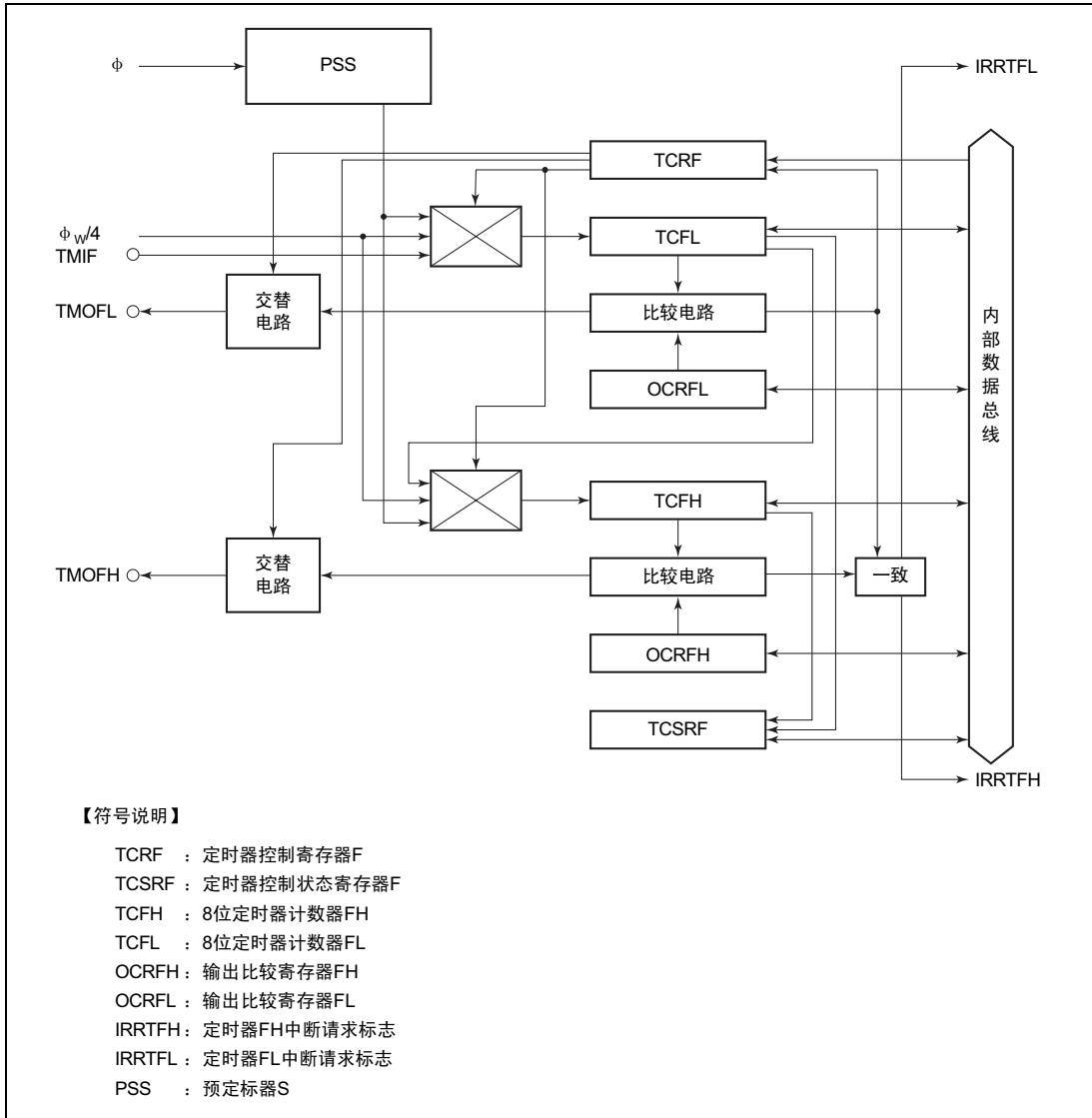


图 9.3 定时器 F 的框图

(3) 管脚构成

定时器 F 的管脚构成如表 9.7 所示。

表 9.7 管脚构成

名称	略称	输入/输出	功能
定时器 F 事件输入	TMIF	输入	向 TCFL 输入的事件输入管脚
定时器 FH 输出	TMOFH	输出	定时器 FH 交替输出管脚
定时器 FL 输出	TMOFL	输出	定时器 FL 交替输出管脚

(4) 寄存器构成

定时器 F 的寄存器构成如表 9.8 所示。

表 9.8 寄存器构成

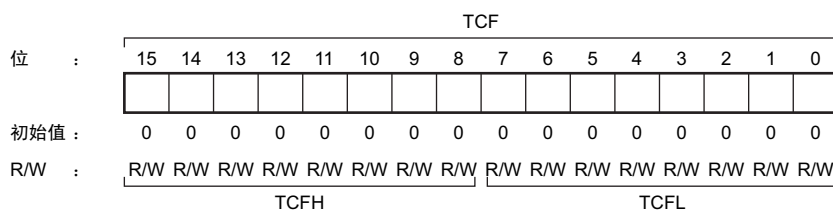
名称	略称	R/W	初始值	地址
定时器控制寄存器 F	TCRF	W	H'00	H'FFB6
定时器控制状态寄存器 F	TCSR F	R/W	H'00	H'FFB7
8 位定时器计数器 FH	TCFH	R/W	H'00	H'FFB8
8 位定时器计数器 FL	TCFL	R/W	H'00	H'FFB9
输出比较寄存器 FH	OCR FH	R/W	H'FF	H'FFBA
输出比较寄存器 FL	OCR FL	R/W	H'FF	H'FFBB
时钟停止寄存器 1	CKSTPR1	R/W	H'FF	H'FFFA

9.4.2 各寄存器说明

(1) 16 位定时器计数器 (TCF)

8 位定时器计数器 (TCFH)

8 位定时器计数器 (TCFL)



TCF 为 16 位可读写增量计数器，由 8 位定时器计数器 (TCFH、TCFL) 的串联构成。除了可将其作为高位 8 位为 TCFH、低位 8 位为 TCFL 的 16 位计数器使用之外，还可以将 TCFH 和 TCFL 作为 2 个独立的 8 位计数器使用。

虽然 TCFH 和 TCFL 可以从 CPU 读写，但是在以 16 位模式使用时，通过暂存器 (TEMP) 进行和 CPU 之间的数据传送。关于 TEMP 的详细内容，请参照“9.4.3 和 CPU 的接口”。

在复位时，TCFH 和 TCFL 都被初始化成 H'00。

(a) 16 位模式 (TCF)

如果将 TCRF 的 CKSH2 设定成 0, TCF 就作为 16 位计数器运行。通过 TCRF 的 CKSL2~CKSL0, 选择 TCF 的输入时钟。

在比较匹配时, 能通过 TCSRf 的 CCLR_H 清除 TCF。

如果 TCF 溢出 (H'FFFF→H'0000), TCSRf 的 OV_{FH} 就被置 1。此时如果 TCSRf 的 OVIE_H 为 1, 就将 IRR2 的 IRR_{TFH} 置 1, 并且如果 IENR2 的 IENT_{FH} 为 1, 就向 CPU 请求中断。

(b) 8 位模式 (TCFL/TCFH)

如果将 TCRF 的 CKSH2 设定成 1, TCF_H 和 TCF_L 就作为 2 个独立的 8 位计数器运行。通过 TCRF 的 CKSH2~CKSH0 (CKSL2~CKSL0), 选择 TCF_H (TCF_L) 的输入时钟。

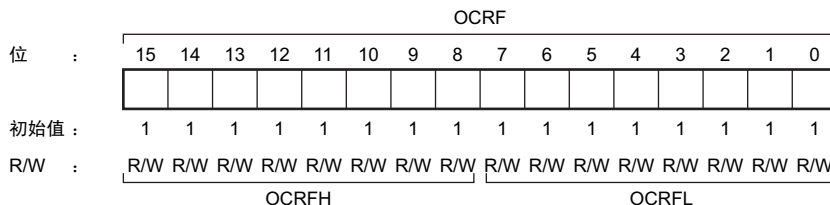
在比较匹配时, 能通过 TCSRf 的 CCLR_H (CCLR_L) 清除 TCF_H (TCF_L)。

如果 TCF_H (TCF_L) 溢出 (H'FF→H'00), TCSRf 的 OV_{FH} (OV_{FL}) 就被置 1。此时如果 TCSRf 的 OVIE_H (OVIE_L) 为 1, 就将 IRR2 的 IRR_{TFH} (IRR_{TFL}) 置 1, 并且如果 IENR2 的 IENT_{FH} (IENT_{FL}) 为 1, 就向 CPU 请求中断。

(2) 16 位输出比较寄存器 (OCR_F)

8 位输出比较寄存器 (OCR_{FH})

8 位输出比较寄存器 (OCR_{FL})



OCR_F 由 2 个 16 位可读写寄存器 (OCR_{FH}、OCR_{FL}) 构成。除了可将其作为高位 8 位为 OCR_{FH}、低位 8 位为 OCR_{FL} 的 16 位寄存器使用之外, 还可以将 OCR_{FH} 和 OCR_{FL} 作为 2 个独立的 8 位寄存器使用。

OCR_{FH} 和 OCR_{FL} 可以通过 CPU 进行读写, 在以 16 位模式使用时, 通过暂存器 (TEMP) 进行和 CPU 之间的数据传送。关于 TEMP 的详细内容, 请参照“9.4.3 和 CPU 的接口”。

在复位时, OCR_{FH} 和 OCR_{FL} 都被初始化为 H'FF。

(a) 16 位模式 (OCR_F)

如果将 TCRF 的 CKSH2 设定成 0, OCR_F 就作为 16 位寄存器运行。OCR_F 的内容总是和 TCF 比较, 如果两者的值一致, TCSRf 的 CM_{FH} 就被置 1, 同时 IRR2 的 IRR_{TFH} 也被置 1。此时如果 IENR2 的 IENT_{FH} 为 1, 就向 CPU 请求中断。

从 TMOF_H 管脚, 能输出比较匹配的交替输出, 还能通过 TCRF 的 TOL_H 设定输出电平 (高/低)。

(b) 8 位模式 (OCR FH/OCR FL)

如果将 TCRF 的 CKSH2 设定为 1, OCRF 就作为 2 个独立的 8 位寄存器运行。OCR FH 的内容和 TCFH、OCR FL 的内容和 TCFL 分别进行比较, 如果 OCR FH (OCR FL) 和 TCFH (TCFL) 的值一致, TCSR F 的 CMFH (CMFL) 就被置 1, 同时 IRR2 的 IRRTFH (IRRTFL) 也被置 1。此时如果 IENR2 的 IENTFH (IENTFL) 为 1, 就向 CPU 请求中断。

从 TMOFH 管脚 (TMOFL 管脚), 能输出比较匹配的交替输出。还能通过 TCRF 的 TOLH (TOLL) 设定输出电平 (高/低)。

(3) 定时器控制寄存器 F (TCRF)

位	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TCRF 为 8 位只写寄存器。切换 16 位模式和 8 位模式、选择 4 种内部时钟和外部事件以及设定 TMOFH 管脚和 TMOFL 管脚的输出电平。

在复位时, TCRF 被初始化为 H'00。

• 位7: 交替输出电平H (TOLH)

设定 TMOFH 管脚的输出电平。在写后, 输出电平立即被反映。

位 7	说明	
TOLH		
0	低电平	(初始值)
1	高电平	

• 位6~4: 时钟选择H (CKSH2~CKSH0)

从 4 种内部时钟或者 TCFL 的溢出中选择 TCFH 的输入时钟

位 6	位 5	位 4	说明
CKSH2	CKSH1	CKSH0	
0	0	0	变为 16 位模式, 通过 TCFL 的溢出信号进行计数 (初始值)
		1	
	1	0	禁止使用
		1	
1	0	0	内部时钟: 用 $\phi/32$ 计数
		1	内部时钟: 用 $\phi/16$ 计数
	1	0	内部时钟: 用 $\phi/4$ 计数
		1	内部时钟: 用 $\phi_w/4$ 计数

- 位3: 交替输出电平L (TOLL)

设定 TMOFL 管脚的输出电平。在写后, 输出电平立即被反映。

位 3	说明	
TOLL		
0	低电平	(初始值)
1	高电平	

- 位2~0: 时钟选择L (CKSL2~CKSL0)

从 4 种内部时钟或者外部事件中选择 TCFL 的输入时钟。

位 2	位 1	位 0	说明
CKSL2	CKSL1	CKSL0	
0	0	0	通过外部事件 (TMIF) 的上升沿/下降沿进行计数* (初始值)
		1	
	1	0	
		1	禁止使用
1	0	0	内部时钟: 用 $\phi/32$ 计数
		1	内部时钟: 用 $\phi/16$ 计数
	1	0	内部时钟: 用 $\phi/4$ 计数
		1	内部时钟: 用 $\phi_w/4$ 计数

【注】* 通过 IRQ 边沿选择寄存器 (IEGR) 的 IEG3, 设定外部事件的边沿选择。详细内容请参照“3.3.2 (1) IRQ 边沿选择寄存器 (IEGR)”。

另外, 为了 TMIF 管脚的功能切换, 如果在 TMIF 管脚为低电平的状态下, 将端口模式寄存器 1 (PMR1) 的 IRQ3 从 0 设定改变成 1 或者从 1 设定改变成 0, 定时器 F 的计数器就可能会递增计数, 必须注意。

(4) 定时器控制状态寄存器 F (TCSR F)

位	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLR L
初始值:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/W	R/W	R/(W)*	R/(W)*	R/W	R/W

【注】* 只能用于清除标志的写0。

TCSR F 为 8 位可读写寄存器。选择计数器清除、设置溢出标志和比较匹配标志以及控制由溢出产生的中断请求的允许。

在复位时, TCSR F 被初始化为 H'00。

- 位7: 定时器溢出标志H (OVFH)

表示 TCFH 溢出 (H'FF→H'00) 的状态标志。本标志通过软件清除, 通过硬件置位, 不能通过软件置位。

位 7	说明	
OVFH		
0	(清除条件) 在 OVFH=1 的状态下, 读 OVFH 后, 给 OVFH 写 0 时	(初始值)
1	(置位条件) 在 TCFH 的值溢出 (H'FF→H'00) 时	

- 位6: 比较匹配标志H (CMFH)

表示 TCFH 和 OCRFH 比较匹配的状态标志。本标志通过软件清除, 通过硬件置位, 不能通过软件置位。

位 6	说明	
CMFH		
0	(清除条件) 在 CMFH=1 的状态下, 读 CMFH 后, 给 CMFH 写 0 时	(初始值)
1	(置位条件) 在 TCFH 的值和 OCRFH 的值比较匹配时	

- 位5: 定时器溢出中断许可H (OVIEH)

在 TCFH 的溢出发生时, 选择中断的允许或者禁止。

位 5	说明	
OVIEH		
0	禁止通过 TCFH 溢出的中断请求	(初始值)
1	允许通过 TCFH 溢出的中断请求	

- 位4: 计数器清除H (CCLRH)

在 16 位模式, TCF 和 OCRF 比较匹配时, 选择是否清除 TCF。

在 8 位模式, TCFH 和 OCRFH 比较匹配时, 选择是否清除 TCFH。

位 4	说明	
CCLRH		
0	16 位模式: 禁止通过比较匹配清除 TCF 8 位模式: 禁止通过比较匹配清除 TCFH	(初始值)
1	16 位模式: 允许通过比较匹配清除 TCF 8 位模式: 允许通过比较匹配清除 TCFH	

- 位3: 定时器溢出标志L (OVFL)

表示 TCFL 溢出 (H'FF→H'00) 的状态标志。本标志通过软件清除, 通过硬件置位, 不能通过软件置位。

位 3	说明	
OVFL		
0	(清除条件) 在 OVFL=1 的状态下, 读 OVFL 后, 给 OVFL 写 0 时	(初始值)
1	(置位条件) 在 TCFL 的值溢出 (H'FF→H'00) 时	

- 位2: 比较匹配标志L (CMFL)

表示 TCFL 和 OCRFL 比较匹配的状态标志。本标志通过软件清除, 通过硬件置位, 不能通过软件置位。

位 2	说明	
CMFL		
0	(清除条件) 在 CMFL =1 的状态下, 读 CMFL 后, 给 CMFL 写 0 时	(初始值)
1	(置位条件) 在 TCFH 的值和 OCRFH 的值比较匹配时	

- 位1: 定时器溢出中断允许L (OVIEL)

在 TCFL 发生溢出时, 选择中断的允许或者禁止。

位 1	说明	
OVIEL		
0	禁止通过 TCFL 溢出的中断请求	(初始值)
1	允许通过 TCFL 溢出的中断请求	

- 位0: 计数器清除L (CCLRL)

在 TCFL 和 OCRFL 比较匹配时, 选择是否清除 TCFL。

位 0	说明	
CCLRL		
0	禁止通过比较匹配清除 TCFL	(初始值)
1	允许通过比较匹配清除 TCFL	

(5) 时钟停止寄存器 1 (CKSTPR1)

位	7	6	5	4	3	2	1	0
	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中，仅说明关于定时器 F 的位。其它位请参照各模块的有关章节。

- 位2: 定时器F模块待机模式控制 (TFCKSTP)

控制设定和解除定时器 F 的模块待机模式。

TFCKSTP	说明
0	将定时器 F 设定成模块待机模式
1	解除定时器 F 的模块待机模式 (初始值)

9.4.3 和 CPU 的接口

TCF 和 OCRF 由 16 位可读写寄存器构成。由于 CPU 和内部外围模块之间的数据总线为 8 位宽的数据总线，因此在 CPU 存取 TCF 和 OCRF 时，通过 8 位暂存器 (TEMP) 进行。

在 16 位模式，进行 TCF 的读写和 OCRF 的写操作时，必须以 16 位为单位（连续执行 2 条字节长的 MOV 指令）进行，并且按照高位字节、低位字节的顺序进行。在只有高位字节和只有低位字节的存取中，数据无法正确传送。

另外，在 8 位模式，存取顺序没有特别限制。

(1) 写操作时的运行

通过写高位字节，高位字节的数据被传送到 TEMP 中。然后在写低位字节过程中，TEMP 中的数据被写入高位字节的寄存器，低位字节的数据直接被写入低位字节的寄存器。

在给 TCF 写 H'AA55 时，TCF 的写操作运行如图 9.4 所示。

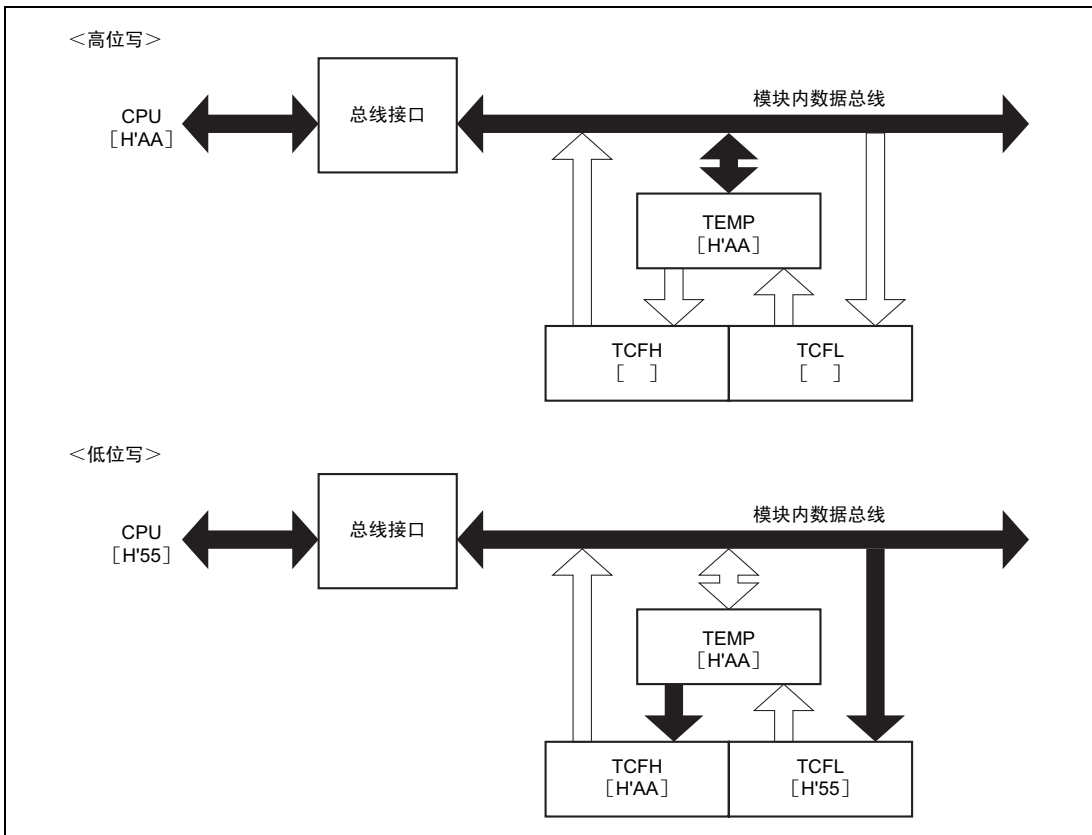


图 9.4 TCF 的写运行 (CPU→TCF)

(2) 读操作时的运行

在 TCF 时，通过高位字节，高位字节的数据被直接传送到 CPU，低位字节的数据被传送到 TEMP。然后通过读取低位字节，TEMP 的低位字节的数据被传送到 CPU。

在 OCRF 时，通过高位字节，高位字节的数据被直接传送到 CPU。通过读取低位字节，低位字节的数据被直接传送到 CPU。

在读取 H'AAFF 的 TCF 时，TCF 的读运行如图 9.5 所示。

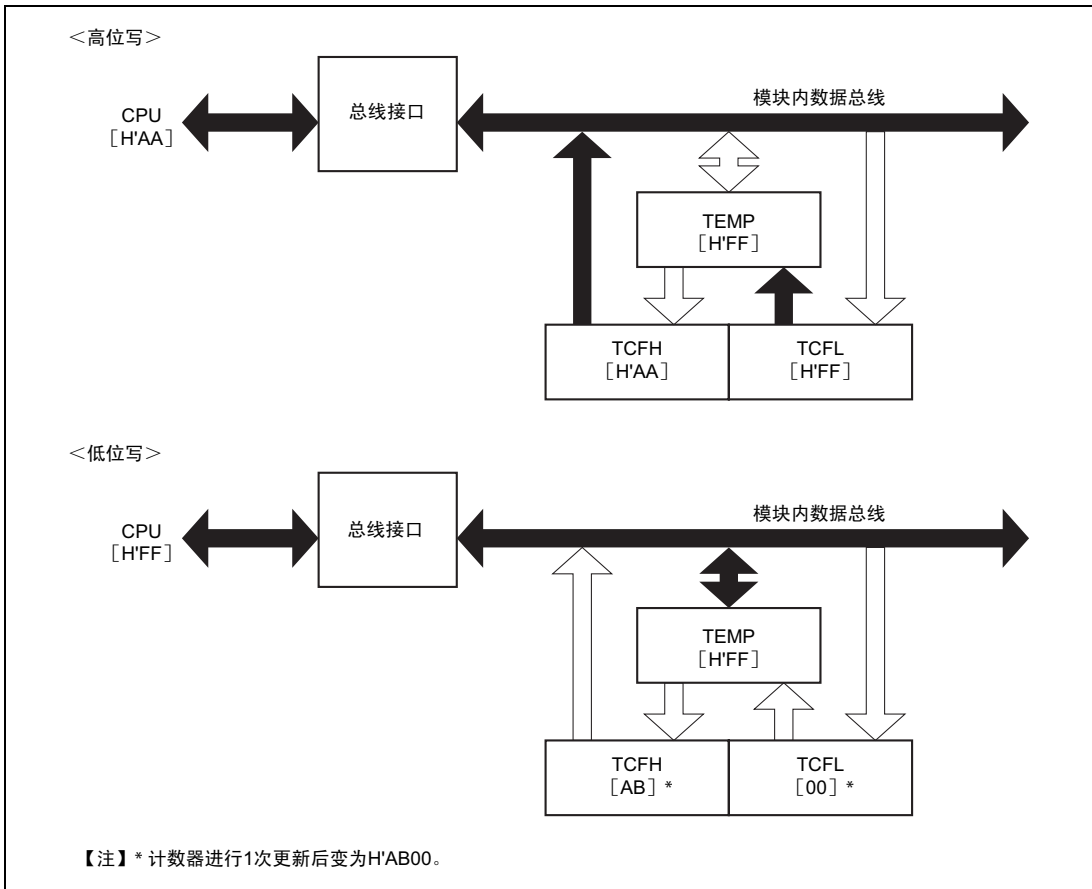


图 9.5 TCF 的读运行 (TCF→CPU)

9.4.4 运行说明

定时器 F 是每当输入时钟被输入时进行累加计数的 16 位计数器，给输出比较寄存器 F 设定的值总是和定时器计数器 F 的值比较，在一致时，能进行计数器的清除、中断请求以及端口的交替输出。另外，还能作为 2 个独立的 8 位定时器运行。

(1) 定时器 F 的运行

定时器 F 有 16 位定时器模式和 8 位定时器模式 2 种运行模式。

有关各模式的运行说明如下：

(a) 16 位定时器模式的运行

如果将定时器控制寄存器 F (TCRF) 的 CKSH2 位设定成 0，定时器 F 就作为 16 位定时器运行。

在复位后，定时器计数器 F (TCF) 被初始化成 H'0000，输出比较寄存器 F (OCRF) 被初始化成 H'FFFF，定时器控制寄存器 F (TCRF) 和定时器控制状态寄存器 F (TCSR) 被初始化成 H'00。计数器通过来自外部事件 (TMIF) 的输入开始累加计数。通过 IRQ 边沿选择寄存器 (IEGR) 的 IEG3，能设定外部事件的边沿选择。

定时器 F 的运行时钟能通过 TCRF 的 CKSL2~CKSL0 位，选择预定标器 S 输出的 3 种内部时钟、 $\phi_w/4$ 或者外部时钟。

TCF 总是和 OCRF 的内容比较，如果两者一致，TCSR 的 CMFH 就被置 1。此时如果 IENR2 的 IENTFH 为 1，就向 CPU 请求中断，同时转换 TMOFH 管脚的输出。如果 TCSR 的 CCLR 为 1，就清除 TCF。而且，能通过 TCRF 的 TOLH，设定 TMOFH 管脚输出。

如果 TCF 溢出 (H'FFFF→H'0000)，TCSR 的 OVFH 就被置位。此时，如果 TCSR 的 OVIEH 和 IENR2 的 IENTFH 同时为 1，就向 CPU 请求中断。

(b) 8 位定时器模式的运行

如果将 TCRF 的 CKSH2 设定成 1，TCF 就作为 2 个独立的 8 位定时器 TCFH 和 TCFL 运行。通过 TCRF 的 CKSH2~CKSH0/CKSL2~CKSL0，选择 TCFH/TCFL 的输入时钟。

如果 OCRFH/OCRFL 和 TCFH/TCFL 的值一致，TCSR 的 CMFH/CMFL 就被置 1。另外，如果 IENR2 的 IENTFH/IENTFL 为 1，就向 CPU 请求中断，同时转换 TMOFH 管脚/TMOFL 管脚的输出。如果 TCSR 的 CCLR/CCLR 为 1，就清除 TCFH/TCFL。而且，能通过 TCRF 的 TOLH/TOLL，设定 TMOFH 管脚/TMOFL 管脚的输出。

如果 TCFH/TCFL 溢出 (H'FF→H'00)，TCSR 的 OVFH/OVFL 就被置 1。此时，如果 TCSR 的 OVIEH/OVIEL 和 IENR2 的 IENTFH/IENTFL 同时为 1，就向 CPU 请求中断。

(2) TCF 的计数时序

TCF 通过输入时钟（内部时钟或者外部事件），进行累加计数。

(a) 内部时钟运行时

通过设定 TCRF 的 CKSH2~CKSH0 或者 CKSL2~CKSL0，选择系统时钟（ ϕ 或者 ϕ_w ）分频后的 4 种内部时钟（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ ）。

(b) 外部事件运行时

通过将 TCRF 的 CKSL2 设定成 0，选择外部事件输入。无论上升沿还是下降沿，都能累加计数外部事件。通过中断控制器的 IEGR 的 IEG3，设定外部事件的边沿选择。另外，根据运行模式，外部事件的脉冲宽度必须在 2 个系统时钟（ ϕ ）或者 2 个子时钟（ ϕ_{SUB} ）以上。否则不能正常运行，必须注意。

(3) TMOFH、TMOFL 的输出时序

虽然 TMOFH 和 TMOFL 的输出是输出 TCRF 的 TOLH 和 TOLL 所设定的值，但是当发生比较匹配时反转输出。输出时序如图 9.6 所示。

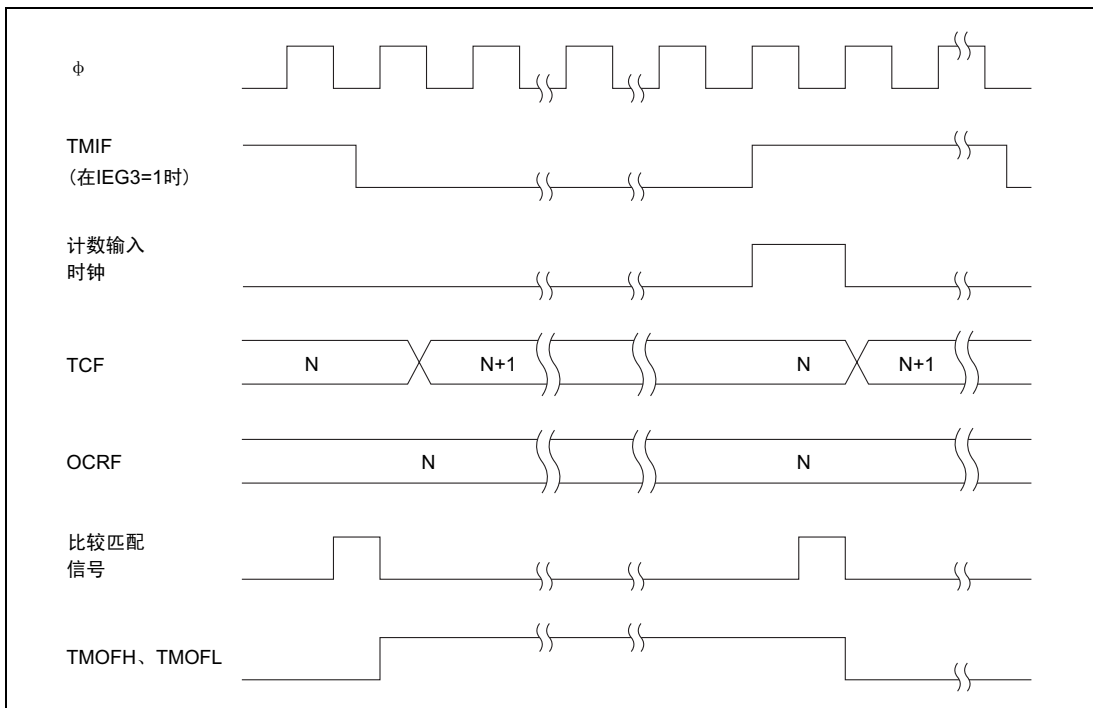


图 9.6 TMOFH、TMOFL 的输出时序

(4) TCF 的清除时序

在和 OCRF 比较匹配时，能清除 TCF。

(5) 定时器溢出标志 (OVF) 的置位时序

在 TCF 溢出 (H'FFFF→H'0000) 时，OVF 被置 1。

(6) 比较匹配标志的置位时序

在 TCF 和 OCRF 比较匹配时，比较匹配标志 (CMFH 或 CMFL) 被置 1。在值一致时的最后状态 (TCF 更新一致后的计数值的时序) 产生比较匹配信号。在 TCF 和 OCRF 一致后到发生累加计数时钟为止，不产生比较匹配信号。

(7) 定时器 F 的运行模式

定时器 F 的运行模式如表 9.9 所示。

表 9.6 定时器 F 的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCF	复位	运行	运行	运行/停止*	运行/停止*	运行/停止*	停止	停止
OCRF	复位	运行	保持	保持	运行	保持	保持	保持
TCRF	复位	运行	保持	保持	运行	保持	保持	保持
TCSRf	复位	运行	保持	保持	运行	保持	保持	保持

【注】* 在激活模式、睡眠模式时，如果选择 $\phi_w/4$ 作为 TCF 内部时钟，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果计数周期会产生最大 $1/\phi$ (s) 的误差。

在子激活模式、时钟模式、子睡眠模式，如果进行计数器运行，作为内部时钟就必须选择 $\phi_w/4$ 或者选择外部时钟。如果选择其它内部时钟，计数器将不运行。

9.4.5 使用时的注意事项

必须注意：定时器 F 在运行过程中，会发生以下的竞争和运行：

(1) 16 位定时器模式

在 16 位全部一致并且产生比较匹配信号时，交替输出从 TMOFH 管脚输出。在通过 MOV 指令写 TCRF 和比较匹配信号同时发生时，通过写 TCRF，TOLH 的数据被输出到 TMOFH 管脚。由于 TMOFL 管脚在 16 位模式时输出不定，因此不能使用，必须作为端口使用。

在写 OCRFL 和产生比较匹配信号同时发生时，比较匹配信号无效。但是，如果写的数据和计数器的值比较匹配，就在此时产生比较匹配信号。由于比较匹配信号和 TCFL 的时钟同步输出，因此在时钟停止时，即使比较匹配也不产生比较匹配信号。

虽然，在 16 位都一致并且产生比较匹配信号时，对 CMFH 置比较匹配标志。但是，如果满足低 8 位的置位条件，CMFL 也被置位。

如果 TCF 溢出，OVFH 就被置位。但是，在低 8 位发生溢出时，如果满足置位条件，OVFL 就被置位。当写 TCFL 和输出溢出信号同时发生时，将不输出溢出信号。

(2) 8 位定时器模式

(a) TCFH、OCRFH

在比较匹配时，交替输出从 TMOFH 管脚输出。在通过 MOV 指令写 TCRF 和比较匹配信号的产生同时发生时，通过写 TCRF，TOLH 的数据被输出到 TMOFH 管脚。

在写 OCRFH 和产生比较匹配信号同时发生时，比较匹配信号无效。但是，如果写的数据和计数器的值比较匹配，就在此时产生比较匹配信号。比较匹配信号和 TCFH 的时钟同步输出。

当写 TCFH 和输出溢出信号同时发生时，不输出溢出信号。

(b) TCFL、OCRFL

在比较匹配时，交替输出从 TMOFL 管脚输出。在通过 MOV 指令写 TCRF 和比较匹配信号的产生同时发生时，通过写 TCRF，TOLL 的数据被输出到 TMOFL 管脚。

在写 OCRFL 和产生比较匹配信号同时发生时，比较匹配信号无效。但是，如果写的数据和计数器的值比较匹配，就在此时产生比较匹配信号。由于比较匹配信号和 TCFL 的时钟同步输出，因此在时钟停止时，即使比较匹配也不产生比较匹配信号。

当写 TCFL 和输出溢出信号同时发生时，不输出溢出信号。

(3) 定时器 FH、定时器 FL 中断请求标志 (IRRTFH、IRRTFL)、定时器溢出标志 H、L (OVFH、OVFL) 以及比较匹配标志 H、L (CMFH、CMFL) 的清除

在作为内部时钟选择 $\phi_w/4$ 时，由于“中断源产生信号”由 ϕ_w 控制，因此以 ϕ_w 宽度输出此信号。另外，由于“溢出信号”和“比较匹配信号”由 2 个 ϕ_w 周期信号控制，因此以 2 个 ϕ_w 周期宽度输出这些信号（图 9.7）。

对于激活（高速、中速）模式，在“中断源产生信号”的有效期间，即使清除中断请求标志，也立即被再一次置位（图 9.7-①）。

另外，在“溢出信号”和“比较匹配信号”的有效期间，不能清除定时器溢出标志和比较匹配标志。

由于即使清除中断请求标志，又立即被置位，因此对于定时器 FH、定时器 FL 的 1 次中断，可能会被进行多次的中断处理（图 9.7-②）。

因此在激活（高速、中速）模式中，为了正确清除中断请求标志，必须在经过用下列 (1) 的计算式计算出的时间后进行清除。另外，为了正确清除定时器溢出标志和比较匹配标志，必须在经过用下列 (1) 的计算式计算出的时间后，先读取定时器控制寄存器 F (TCSR F)，然后清除。

对(1)的计算式的 ST, 必须代入在使用的指令中执行状态数最大的指令执行状态数(当不使用 MULXU、DIVXU 指令时 RTE 指令为 10 个状态, 使用 MULXU、DIVXU 指令时为 14 个状态)。

在子激活模式, 对于中断请求标志、定时器溢出标志以及比较匹配标志的清除没有限制。

“中断源产生信号”的有效时间

= 1 个 ϕ_w 周期 + 执行中的指令的执行结束等待时间 + (通过 ϕ 同步中断的时间)

= $1 / \phi_w + ST \times (1 / \phi) + (2 / \phi)$ (秒) ····· (1)

ST: 执行中的指令的执行状态数

具体有如下方法, 从时间的有效活用的角度, 推荐(方法1)。

- (方法1)

在中断处理程序内, 禁止中断(将 IENFH、IENFL 设定为 0), 在返回到通常处理后, 等待用(1)的计算式计算出的时间, 然后清除中断请求标志(IRRTFH、IRRTFL), 并且在读取定时器控制状态寄存器 F(TCSR F)后, 清除定时器溢出标志(OVFH、OVFL)和比较匹配标志(CMFH、CMFL), 然后允许中断(将 IENFH、IENFL 设定为 1)。

- (方法2)

将中断处理程序的处理时间设定成用(1)的计算式计算出的时间以上, 在中断处理程序的最后, 清除中断请求标志(IRRTFH、IRRTFL), 并且在读取定时器控制状态寄存器 F(TCSR F)后, 清除定时器溢出标志(OVFH、OVFL)和比较匹配标志(CMFH、CMFL)。

无论是 16 位模式还是 8 位模式, 以上的注意事项都相同。

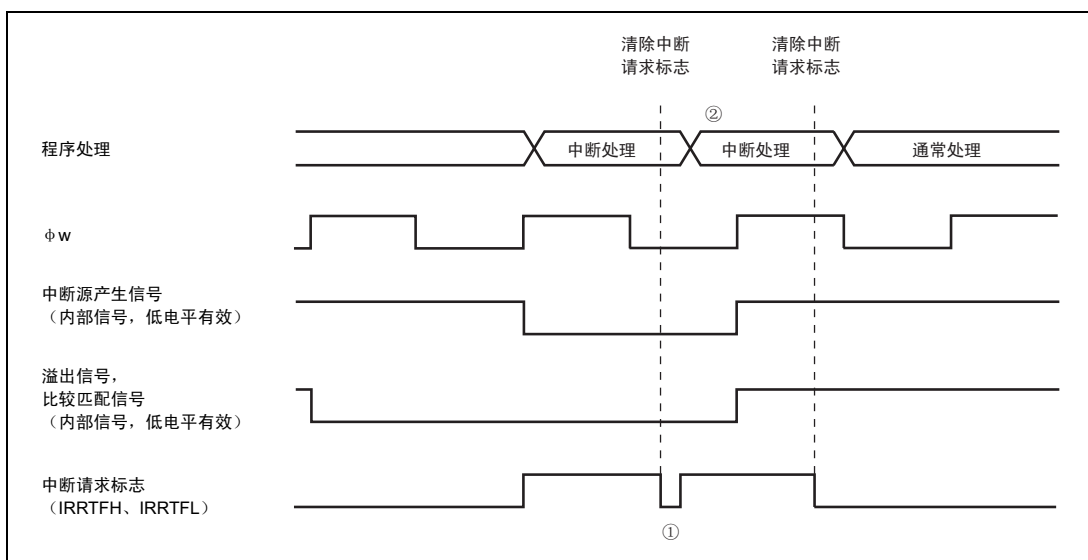


图 9.7 在中断源产生信号的有效时间内，进行中断请求标志清除的情况

(4) 定时器计数器 (TCF) 的读写

在激活（高速、中速）模式中，如果选择 $\phi_w/4$ 作为内部时钟，就不能对 TCF 进行写操作。另外，在读操作时，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果读 TCF 的数据会产生最大 ± 1 的误差。

在激活（高速、中速）模式中，当要进行 TCF 的读写时，必须在选择了 $\phi_w/4$ 以外的时钟作为内部时钟后，进行读写。

在子激活模式中，即使选择 $\phi_w/4$ 作为内部时钟，TCF 也能正常读写。

9.5 定时器 G

9.5.1 概要

定时器 G 是 8 位定时器。对于从输入捕捉的输入管脚输入的脉冲（输入捕捉的输入信号）的上升沿/下降沿，具有各自专用的输入捕捉功能。通过噪声消除电路，能消除输入捕捉的输入信号的高频成分的噪声。因此，能正确测定输入捕捉的输入信号的占空比。另外，在没设定成输入捕捉的输入时，定时器 G 能作为间隔定时器运行。

(1) 特点

定时器 G 的特点如下所示：

- 可选择4种定时器输入时钟

可以从4种内部时钟（ $\phi/64$ 、 $\phi/32$ 、 $\phi/2$ 、 $\phi_w/4$ ）中选择。

- 输入捕捉功能

有上升沿/下降沿各自专用的输入捕捉功能。

- 能检测定时器溢出时的电平

能检测是在输入捕捉的输入信号的高电平发生溢出，还是在低电平发生溢出。

- 可指定定时器的清除

能选择是否通过输入捕捉的输入信号的上升沿/下降沿/两边沿清除定时器的值。

- 2种中断请求

有输入捕捉×1中断源、溢出×1中断源。通过输入捕捉的输入信号的中断请求能选择输入捕捉的输入信号的上升沿/下降沿。

- 内置噪声消除电路

通过噪声消除电路，能消除输入捕捉的输入信号的高频成分的噪声。

- 在时钟模式、子激活模式、子睡眠模式的运行

在选择 $\phi_w/4$ 作为内部时钟时，能在时钟模式、子激活模式、子睡眠模式运行。

- 通过模块待机模式，未使用时能以单个模块设定待机模式。

(2) 框图

定时器 G 的框图如图 9.8 所示。

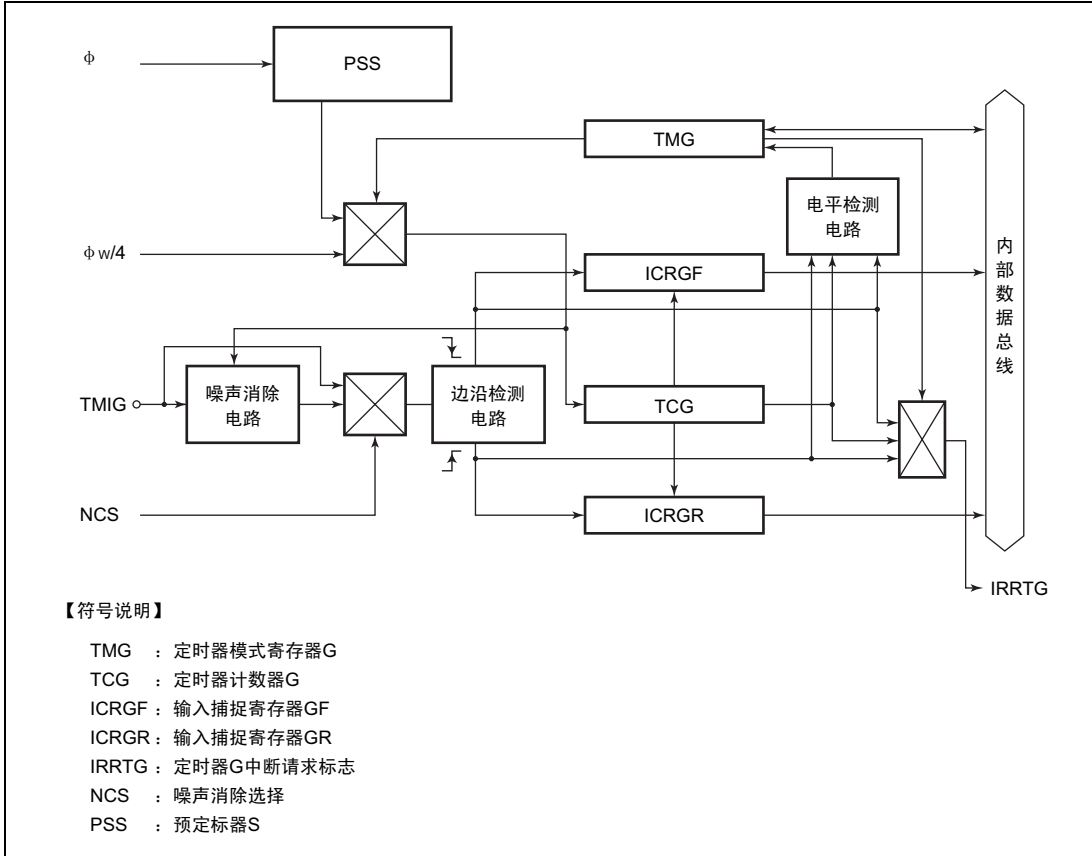


图 9.8 定时器 G 的框图

(3) 管脚构成

定时器 G 的管脚构成如表 9.10 所示。

表 9.10 管脚构成

名称	略称	输入/输出	功能
输入捕捉输入	TMIG	输入	输入捕捉的输入管脚

(4) 寄存器构成

定时器 G 的寄存器构成如表 9.11 所示。

表 9.11 寄存器构成

名称	略称	R/W	初始值	地址
定时器模式寄存器 G	TMG	R/W	H'00	H'FFBC
定时器计数器 G	TCG	—	H'00	—
输入捕捉寄存器 GF	ICRGF	R	H'00	H'FFBD
输入捕捉寄存器 GR	ICRGR	R	H'00	H'FFBE
时钟停止寄存器 1	CKSTPR1	R/W	H'FF	H'FFFA

9.5.2 各寄存器说明

(1) 定时器计数器 G (TCG)

位	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初始值:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

TCG 为 8 位增量计数器，通过输入时钟进行累加计数。输入时钟通过 TMG 的 CKS1 和 CKS0 选择。

在 TCG 作为输入捕捉运行时，将 PMR1 的 TMIG 设定成 1；在作为间隔定时器运行时，将 TMIG 设定成 0*。在输入捕捉运行定时器运行时，根据 TMG 的设定，能通过输入捕捉的输入信号的上升沿、下降沿或者两边沿，清除 TCG 的值。

如果 TCG 溢出 (H'FF→H'00)，在 TMG 的 OVIE 为 1 时，IRR2 的 IRRTG 被置 1，并且如果 IENR2 的 IENTG 为 1，就向 CPU 发出中断请求。

另外，关于中断的详细内容，请参照“3.3 中断”。

TCG 不能从 CPU 读写。

在复位时，TCG 被初始化成 H'00。

【注】* 在改写 TMIG 时，可能会发生输入捕捉信号。

(2) 输入捕捉寄存器 GF (ICRGF)

位	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGF 为 8 位只读寄存器。如果检测出输入捕捉的输入信号的下降沿, 就将此时的 TCG 的值传送到 ICRGF。此时, 如果 TMG 的 IIEGS 为 1, IRR2 的 IRRTG 就被置 1, 并且如果 IENR2 的 IENTG 为 1, 就向 CPU 发出中断请求。

另外, 关于中断的详细内容, 请参照“3.3 中断”。

为了保证输入捕捉运行, 必须至少将输入捕捉的输入信号的脉冲宽度保持 2ϕ 或者 $2\phi_{\text{SUB}}$ (不使用噪声消除电路时) 以上。

在复位时, ICRGF 被初始化成 H'00。

(3) 输入捕捉寄存器 GR (ICRGR)

位	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGR 为 8 位只读寄存器。如果检测出输入捕捉的输入信号的上升沿, 就将此时的 TCG 的值传送到 ICRGR。此时, 如果 TMG 的 IIEGS 为 0, IRR2 的 IRRTG 就被置 1, 并且如果 IENR2 的 IENTG 为 1, 就向 CPU 发出中断请求。

另外, 关于中断请参照“3.3 中断”。

为了保证输入捕捉运行, 必须至少将输入捕捉的输入信号的脉冲宽度保持 2ϕ 或者 $2\phi_{\text{SUB}}$ (不使用噪声消除电路时) 以上。

在复位时, ICRGR 被初始化成 H'00。

(4) 定时器模式寄存器 G (TMG)

位	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 只能用于清除标志的写0。

TMG 为 8 位可读写寄存器。选择 TCG 的 4 种内部时钟、选择计数器清除、选择通过输入捕捉的输入信号产生的中断请求的边沿、控制通过溢出产生的中断请求的允许以及表示溢出标志。

在复位时, TMG 被初始化成 H'00。

• 位7: 定时器溢出标志H (OVFH)

在输入捕捉的输入信号为高电平时, 表示 TCG 的值已经溢出 (H'FF→H'00) 的状态标志。本标志通过软件清除, 置位通过硬件进行, 不能通过软件置位。

位 7	说明
OVFH	
0	(清除条件) (初始值) 在 OVFH=1 的状态下, 读 OVFH 后, 给 OVFH 写 0 时
1	(置位条件) 在输入捕捉的输入信号为高电平并且 TCG 的值为 H'FF→H'00 时

• 位6: 定时器溢出标志L (OVFL)

在输入捕捉的输入信号为低电平或者间隔运行时, 表示 TCG 的值已经溢出 (H'FF→H'00) 的状态标志。本标志通过软件清除, 置位通过硬件进行, 不能通过软件置位。

位 6	说明
OVFL	
0	(清除条件) (初始值) 在 OVFL=1 的状态下, 读 OVFL 后, 给 OVFL 写 0 时
1	(置位条件) 在输入捕捉的输入信号为低电平、或者间隔运行的情况下 TCG 的值为 H'FF→H'00 时

• 位5: 定时器溢出中断允许 (OVIE)

在发生 TCG 溢出时, 选择允许中断还是禁止中断。

位 5	说明
OVIE	
0	禁止通过 TCG 溢出的中断请求 (初始值)
1	允许通过 TCG 溢出的中断请求

• 位4: 输入捕捉中断边沿选择 (IIEGS)

选择通过输入捕捉的输入信号产生的中断请求的边沿。

位 4	说明
IIEGS	
0	在输入捕捉的输入信号的上升沿发生中断 (初始值)
1	在输入捕捉的输入信号的下降沿发生中断

- 位3、2：计数器清除1、0（CCLR1、CCLR0）

能选择是否通过输入捕捉的输入信号的上升沿/下降沿/两边沿清除TCG的值。

位 3	位 2	说明	
CCLR1	CCLR0		
0	0	禁止清除 TCG	(初始值)
	1	通过输入捕捉的输入信号的下降沿清除 TCG	
1	0	通过输入捕捉的输入信号的上升沿清除 TCG	
	1	通过输入捕捉的输入信号的两边沿清除 TCG	

- 位1、0：时钟选择（CKS1、CKS0）

从4种内部时钟选择输入到TCG的时钟。

位 1	位 0	说明	
CKS1	CKS0		
0	0	内部时钟：以 $\phi/64$ 计数	(初始值)
	1	内部时钟：以 $\phi/32$ 计数	
1	0	内部时钟：以 $\phi/2$ 计数	
	1	内部时钟：以 $\phi_w/4$ 计数	

(5) 时钟停止寄存器 1（CKSTPR1）

位	7	6	5	4	3	2	1	0
	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关定时器 G 的位。其它位，请参照各模块的有关章节。

- 位3：定时器G模块待机模式的控制（TGCKSTP）

控制设定和解除定时器 G 的模块待机模式。

TGCKSTP	说明
0	将定时器 G 设定为模块待机模式
1	解除定时器 G 的模块待机模式 (初始值)

9.5.3 噪声消除电路

噪声消除电路为数字低通滤波器，消除从输入捕捉的输入管脚输入的脉冲的高频成分的噪声。噪声消除电路通过 PMR2 的 NCS* 设定。

噪声消除电路的框图如图 9.9 所示。

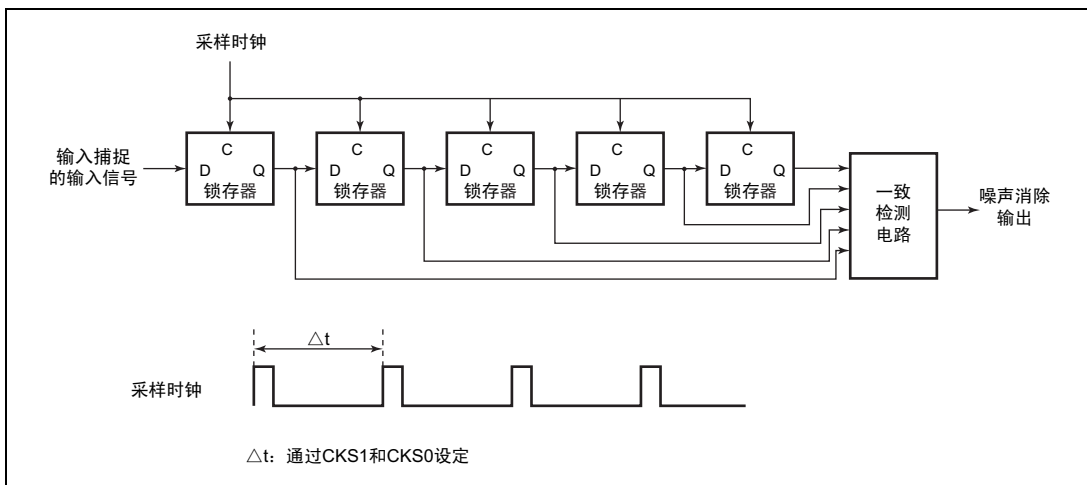


图 9.9 噪声消除电路的框图

噪声消除电路由 5 段串联的锁存电路和一致检测电路构成。在不使用噪声消除电路（NCS=0）时，采样时钟选择系统时钟。在使用噪声消除电路（NCS=1）时，采样时钟选择通过 TMG 的 CKS1 和 CKS0 选择的内部时钟，在此时钟的上升沿输入捕捉的输入被采样，在所有锁存器的输出一致时，被认为是正确的数据；在不一致时，保持原来的值。复位后，在输入捕捉的输入信号的上升沿被 5 次采样的状态下，噪声消除输出被初始化。因此，在设定成有噪声消除功能后，宽于 5 倍采样时钟的脉冲才成为正确的输入捕捉信号。另外，即使不进行噪声消除，为了保证输入捕捉运行，也必须至少将输入捕捉的输入信号的脉冲宽度保持 2ϕ 或者 $2\phi_{SUB}$ 以上。

【注】* 在改写 NCS 位时，可能会发生输入捕捉信号。

噪声消除电路的时序例子如图 9.10 所示。

在此例中，给输入捕捉的输入管脚的 5 倍采样时钟以下的高电平输入作为噪声被除去。

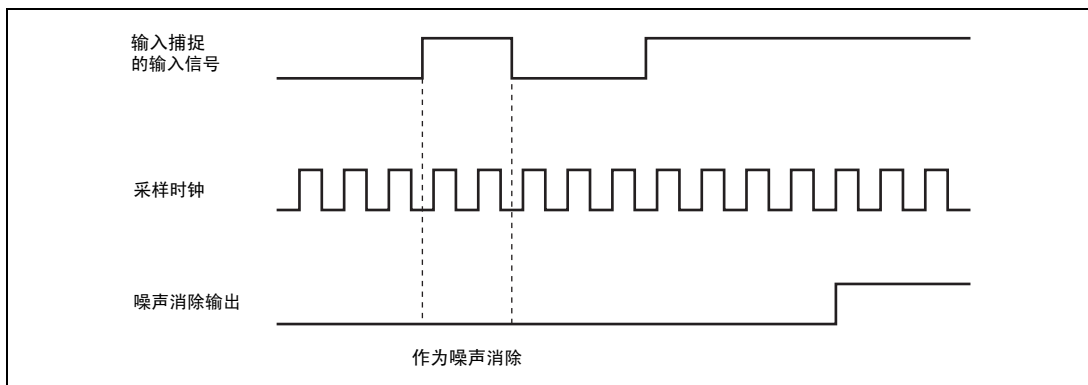


图 9.10 噪声消除电路的时序（例子）

9.5.4 运行说明

定时器 G 是内置输入捕捉/间隔功能的 8 位定时器。

(1) 定时器 G 功能

定时器 G 为 8 位增量计数器，具有输入捕捉定时器和间隔定时器 2 种功能。

有关各功能，说明如下：

(a) 输入捕捉定时器的运行

如果将端口模式寄存器 1 (PMR1) 的 TMIG 位设定成 1，定时器 G 就作为输入捕捉定时器运行。*

在复位时，定时器模式寄存器 G (TMG)、定时器计数器 G (TCG)、输入捕捉寄存器 GF (ICRGF) 以及输入捕捉寄存器 GR (ICRGR) 都被初始化成 H'00。

在复位后，TCG 就立即以内部时钟 $\Phi/64$ 的时钟开始计数。

通过 TMG 的 CKS1 位和 CKS0 位，能从 4 种内部时钟源中选择输入时钟。

通过从 TMIG 管脚输入的输入捕捉信号的上升沿/下降沿，将此时的 TCG 的值传送到 ICRGR/ICRGF。另外，如果输入通过 TMG 的 IIEGS 位选择的边沿，就将 IRR2 的 IRRTG 置 1，此时如果 IENR2 的 IENTG 位为 1，就向 CPU 发出中断请求。关于中断的详细内容，请参照“3.3 中断”。

TCG 的值能通过 TMG 的 CCLR1 位和 CCLR0 位，在输入捕捉信号的上升沿/下降沿/两边沿清除。另外，如果在输入捕捉信号为高电平时 TCG 溢出，就将 TMG 的 OVFH 位置位；如果在输入捕捉信号为低电平时 TCG 溢出，就将 TMG 的 OVFL 位置位。在它们被置位时，如果 TMG 的 OVIE 位为 1，IRR2 的 IRRTG 就被置成 1，并且如果 IENR2 的 IENTG 为 1，定时器 G 就向 CPU 发出中断请求。关于中断的详细内容，请参照“3.3 中断”。

定时器 G 内置噪声消除电路，消除从 TMIG 管脚输入的脉冲的高频成分。详细内容请参照“9.5.3 噪声消除电路”。

【注】* 在改写 TMIG 时，可能会发生输入捕捉信号。

(b) 间隔定时器的运行

如果将 PMR1 的 TMIG 位设定成 0，定时器 G 就作为间隔定时器运行。在复位后，TCG 就立即以内部时钟 $\phi/64$ 的时钟开始计数。通过 TMG 的 CKS1 位和 CKS0 位，能从 4 种内部时钟源中选择输入时钟。TCG 通过选择的时钟进行累加计数，如果溢出（H'FF→H'00），TMG 的 OVFL 位就被置 1。此时，如果 TMG 的 OVIE 位为 1，就将 IRR2 的 IRRTG 置 1，并且如果 IENR2 的 IENTG 位为 1，定时器 G 就向 CPU 发出中断请求。关于中断的详细内容，请参照“3.3 中断”。

(2) 计数时序

TCG 通过输入的时钟进行累加计数。通过 TMG 的 CKS1 和 CKS0 的设定，能选择分频系统时钟（ ϕ ）或者分频钟表时钟（ ϕ_w ）后的 4 种内部时钟（ $\phi/64$ 、 $\phi/32$ 、 $\phi/2$ 、 $\phi_w/4$ ）。

(3) 输入捕捉的输入时序

(a) 无噪声消除功能时

输入捕捉的输入具有上升沿/下降沿各自专用的输入捕捉功能。

上升沿/下降沿的输入捕捉的输入时序如图 9.11 所示。

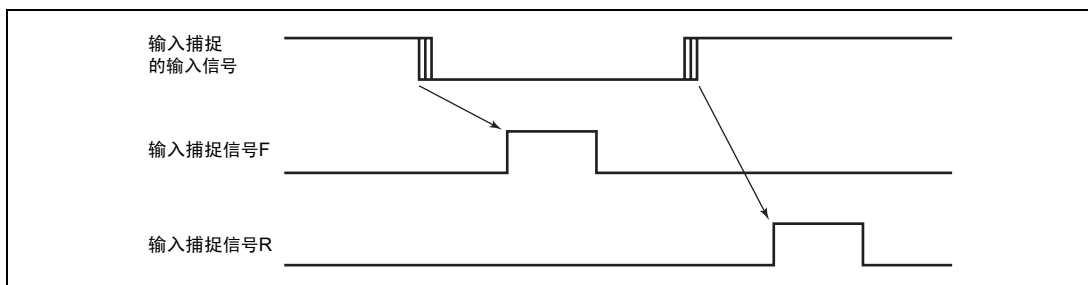


图 9.11 输入捕捉的输入时序（无噪声消除功能）

(b) 有噪声消除功能时

在通过输入捕捉的输入进行噪声消除时，输入捕捉信号由于经过噪声消除电路，从输入捕捉的输入信号边沿延迟 5 个采样时钟周期。

此时地时序如图 9.12 所示。

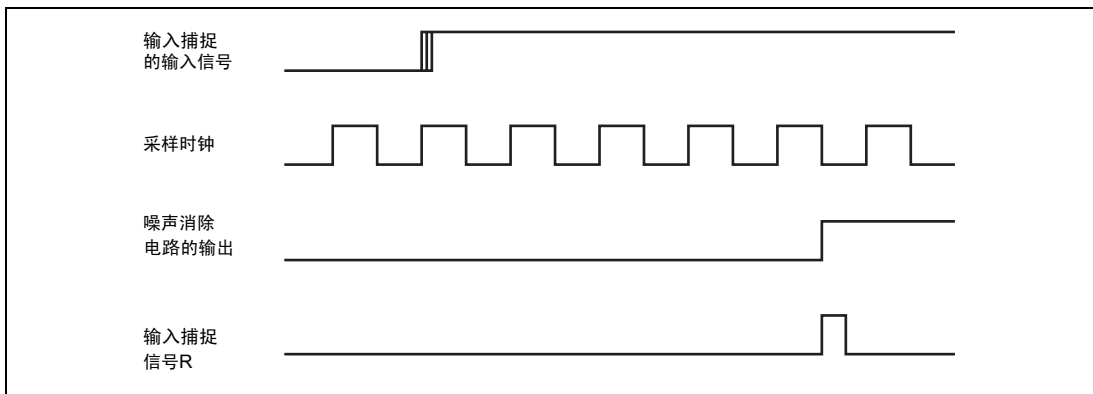


图 9.12 输入捕捉的输入时序（有噪声消除功能）

(4) 通过输入捕捉输入的输入捕捉时序

通过输入捕捉输入的输入捕捉时序如图 9.13 所示。

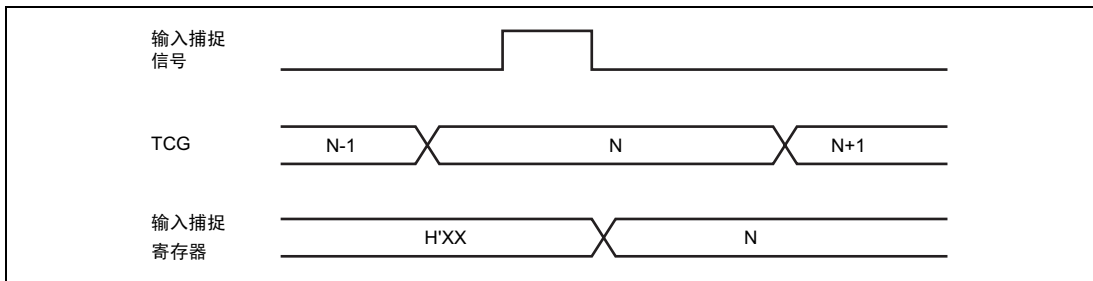


图 9.13 通过输入捕捉输入的输入捕捉时序

(5) TCG 的清除时序

TCG 的值能在输入捕捉的输入信号的上升沿/下降沿/两边沿清除。

在两边沿清除时的时序如图 9.14 所示。

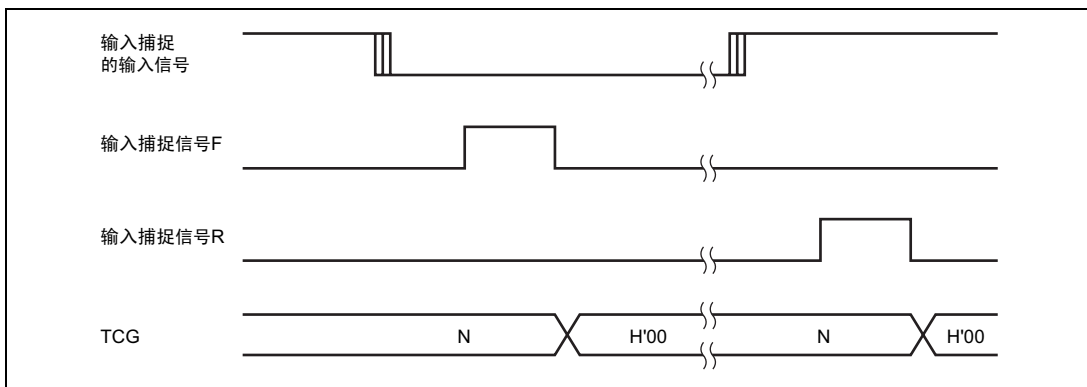


图 9.14 TCG 的清除时序

(6) 定时器 G 的运行模式

定时器 G 的运行模式如表 9.12 所示。

表 9.12 定时器 G 的运行模式

运行模式		复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TC G	输入捕捉	复位	运行*	运行*	运行/停止*	运行/停止*	运行/停止*	停止	停止
	间隔	复位	运行*	运行*	运行/停止*	运行/停止*	运行/停止*	停止	停止
ICRGF		复位	运行*	运行*	运行/停止*	运行/停止*	运行/停止*	保持	保持
ICRGR		复位	运行*	运行*	运行/停止*	运行/停止*	运行/停止*	保持	保持
TMG		复位	运行	保持	保持	运行	保持	保持	保持

【注】* 在激活模式、睡眠模式时，如果选择 $\phi_{W/4}$ 作为 TCG 的内部时钟，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果计数周期会产生最大 $1/\phi$ (s) 的误差。在时钟模式时，如果选择 $\phi_{W/4}$ 作为 TCG 的内部时钟，就和子时钟 ϕ_{SUB} ($\phi_{W/8}$ 、 $\phi_{W/4}$ 、 $\phi_{W/2}$) 无关，TCG 和噪声消除电路以内部时钟 $\phi_{W/4}$ 运行。必须注意：如果选择其它内部时钟，TCG 和噪声消除电路不运行，即使输入捕捉的输入信号被输入，也不被输入捕捉。

在子激活模式、子睡眠模式时，为了让定时器 G 运行，必须选择 $\phi_{W/4}$ 作为 TCG 的内部时钟、选择 $\phi_{W/2}$ 作为子时钟 ϕ_{SUB} 。必须注意：如果选择其它内部时钟或者选择 $\phi_{W/8}$ 、 $\phi_{W/4}$ 作为子时钟 ϕ_{SUB} ，TCG 和噪声消除电路将不运行。

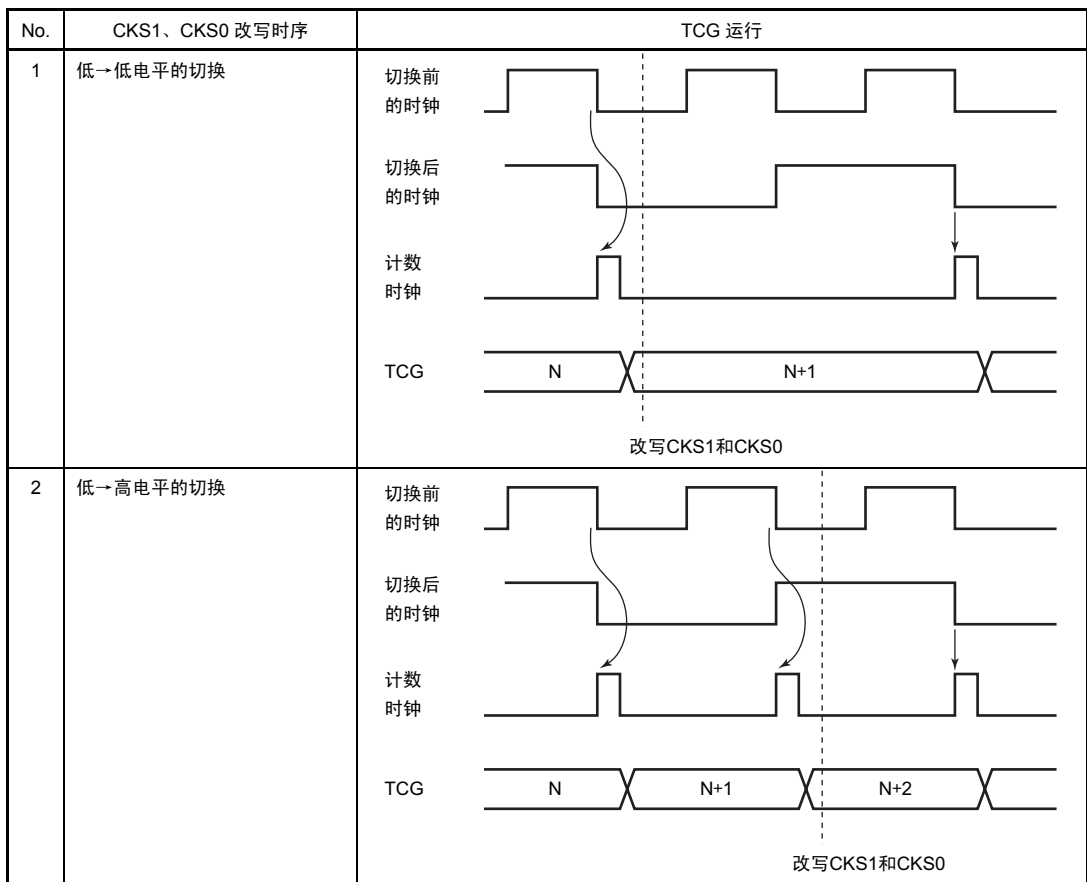
9.5.5 使用时的注意事项

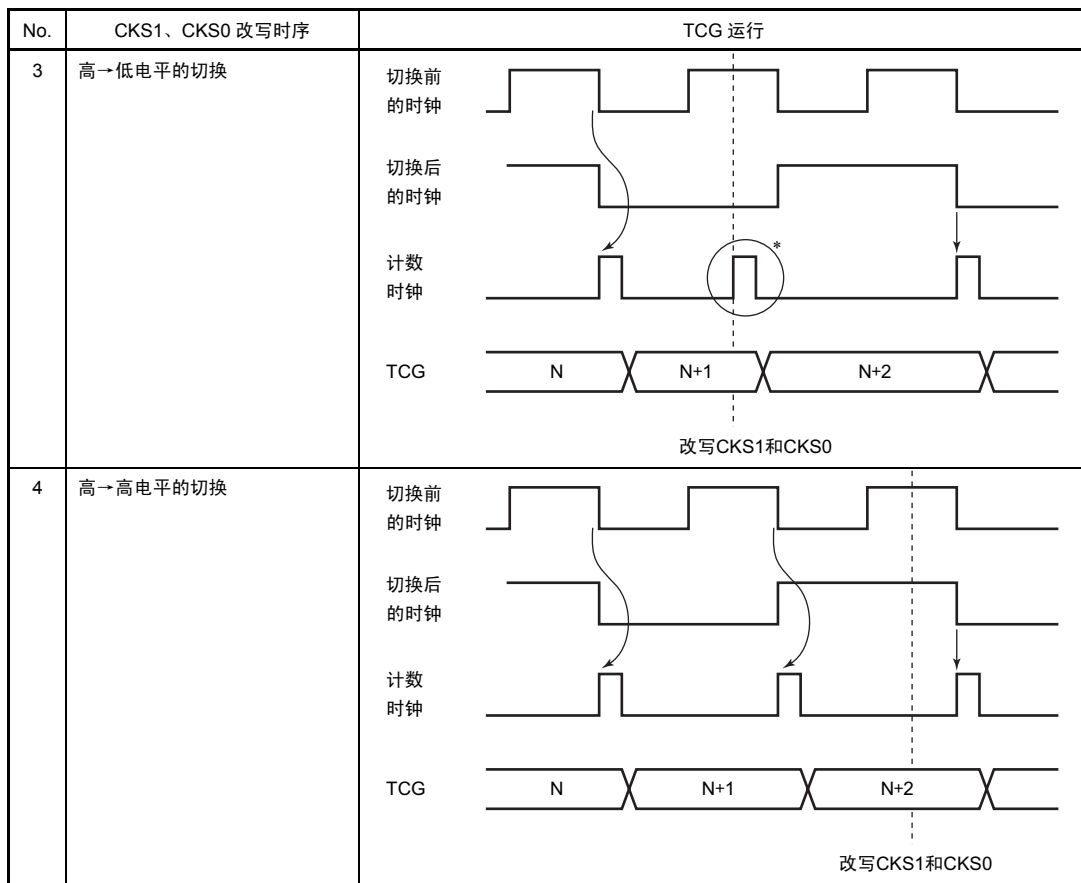
(1) 内部时钟的切换和 TCG 运行

根据切换内部时钟的时序，TCG 可能被累加计数。切换内部时钟的时序（改写 CKS1 和 CKS0）和 TCG 运行的关系如表 9.13 所示。

在使用内部时钟时，检测系统时钟（ ϕ ）或者子时钟（ ϕ_w ）分频后的内部时钟的下降沿，产生计数时钟。因此，如果按表 9.13 的 No.3 进行“切换前的时钟高电平→切换后的时钟低电平”的时钟切换，就将切换时序视为下降沿，产生计数时钟，TCG 被累加计数。

表 9.13 切换内部时钟的时序和 TCG 运行





【注】* 由于将切换时序视为下降沿，因此 TCG 被累加计数。

(2) 改写端口模式寄存器的注意事项

为了切换输入捕捉功能或者为了切换输入捕捉输入的噪声消除电路功能，在改写端口模式寄存器时，必须注意以下几点：

- 切换输入捕捉的输入管脚的功能

在通过改写控制输入捕捉的输入管脚的端口模式寄存器1（PMR1）的TMIG来切换管脚功能时，必须注意：即使不对管脚输入有效边沿，也会被认为输入了边沿。输入捕捉的输入信号的输入边沿和切换条件如表9.14所示。

表 9.14 通过切换输入捕捉的输入管脚的功能，输入捕捉的输入信号的输入边沿和切换条件

输入捕捉的输入信号的输入边沿	条件
在上升沿发生时	在 TMIG 管脚为高电平的状态下，将 TMIG 从 0 改写成 1 时
	在 TMIG 管脚为高电平的状态下，将 NCS 从 0 改写成 1 后，通过噪声消除电路在 5 次采样前将 TMIG 从 0 改写成 1 时
在下降沿发生时	在 TMIG 管脚为高电平的状态下，将 TMIG 从 1 改写成 0 时
	在 TMIG 管脚为低电平的状态下，将 NCS 从 0 改写成 1 后，通过噪声消除电路在 5 次采样前将 TMIG 从 0 改写成 1 时
	在 TMIG 管脚为高电平的状态下，将 NCS 从 0 改写成 1 后，通过噪声消除电路在 5 次采样前将 TMIG 从 1 改写成 0 时

【注】 在 P13 管脚没有被设定成输入捕捉的输入管脚时，定时器 G 的输入捕捉的输入信号为低电平。

- 切换输入捕捉的输入的噪声消除电路的功能

在通过改写控制输入捕捉的输入的噪声消除电路的端口模式寄存器2（PMR2）的NCS来切换管脚功能时，必须将TMIG清0。在除此以外的改写时，必须注意：即使不对管脚输入有效边沿，也会被认为输入了边沿。输入捕捉的输入信号的输入边沿和切换条件如表9.15所示。

表 9.15 通过切换噪声消除电路的功能，输入捕捉的输入信号的输入边沿和切换条件

输入捕捉的输入信号的输入边沿	条件
在上升沿发生时	在 TMIG 为 1 的状态下，将 TMIG 管脚从低电平改变成高电平后，通过噪声消除电路在 5 次采样前将 NCS 从 0 改写成 1 时
在下降沿发生时	在 TMIG 为 1 的状态下，当在将 TMIG 管脚从高电平改变成低电平后，通过噪声消除电路在 5 次采样前将 NCS 从 1 改写成 0 时

在切换管脚功能，并且在输入捕捉的输入信号发生边沿的情况下，当此边沿和通过输入捕捉中断选择（IIEGS）位选择的边沿一致时，由于中断请求标志被置 1，因此必须在将该中断请求标志清 0 后使用。操作端口模式寄存器和清除中断请求标志的步骤如图 9.15 所示。当切换管脚功能时，在操作端口模式寄存器前，必须在将中断置成禁止状态后切换端口模式寄存器，在操作端口模式寄存器后，必须等待用于确定输入捕捉的输入信号作为输入捕捉信号的时间（在不使用噪声消除电路时为 2 个系统时钟以上，在使用噪声消除电路时为子系统时钟的 5 倍以上）后，将被置成 1 的中断请求标志清 0。另外，作为防止在切换管脚功能时将中断请求标志置位的方法，有控制管脚电平使表 9.14 和表 9.15 所示条件不成立的方法，或者将 TMG 的 IIEGS 位设定成和产生的边沿相反的边沿的控制方法。

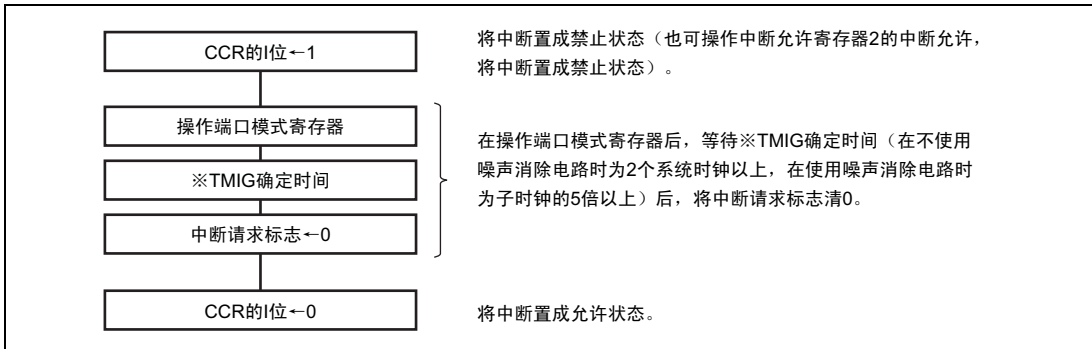


图 9.15 操作端口模式寄存器和清除中断请求标志的步骤

9.5.6 定时器 G 的使用例子

如果使用定时器 G，能以绝对值测定输入捕捉的输入信号的高电平宽度和低电平宽度。设定方法：将 TMG 的 CCLR1 和 CCLR0 都置成 1。

此时的运行例子如图 9.16 所示。

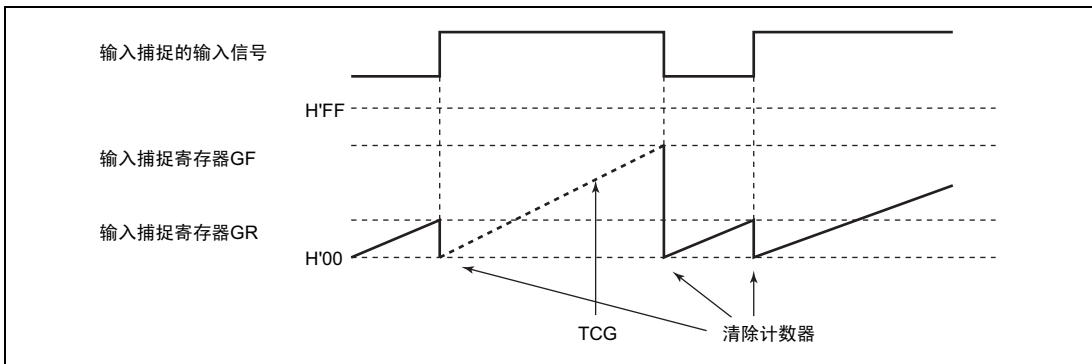


图 9.16 定时器 G 的使用例子

9.6 监视定时器

9.6.1 概要

监视定时器 (Watchdog Timer) 含有每当输入时钟被输入就进行累加计数的 8 位计数器, 具有在由于系统失控等不能改写计数器的值而产生溢出时能对 LSI 内部进行复位的功能。但是, 必须注意 H8/38024、H8/38024S、H8/38024 F-ZTAT 群与 H8/38124 群不同。

(1) 特点

监视定时器的特点如下所示:

- H8/38024、H8/38024S、H8/38024F-ZTAT群以内部时钟 $\phi/8192$ 或者 $\phi_w/32$ 进行累加计数
- H8/38124群从10种内部时钟 ($\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$ 、 $\phi_w/32$ 或者内部振荡器) 中选择时钟, 进行累加计数
- 由计数器的溢出产生复位信号

溢出周期能设定在选择时钟的1倍到256倍之间。

(在 $\phi = 2.00\text{MHz}$ 时、约 $4\text{ms} \sim 1000\text{ms}$)

- 在未使用时, 能通过模块待机模式, 以单模块设定待机模式

(详细内容请参照“5.9 模块待机模式”。)

(2) 框图

监视定时器的框图如图 9.17 (1)、(2) 所示。

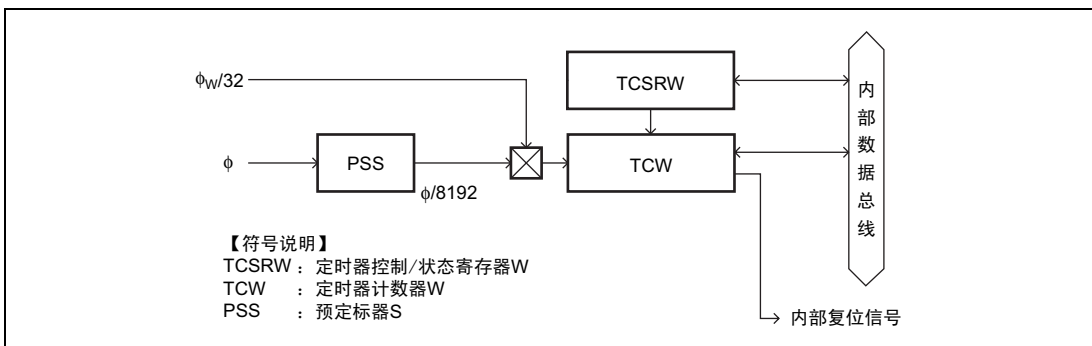


图 9.17 (1) 监视定时器的框图 (H8/38024、H8/38024S、H8/38024R 群)

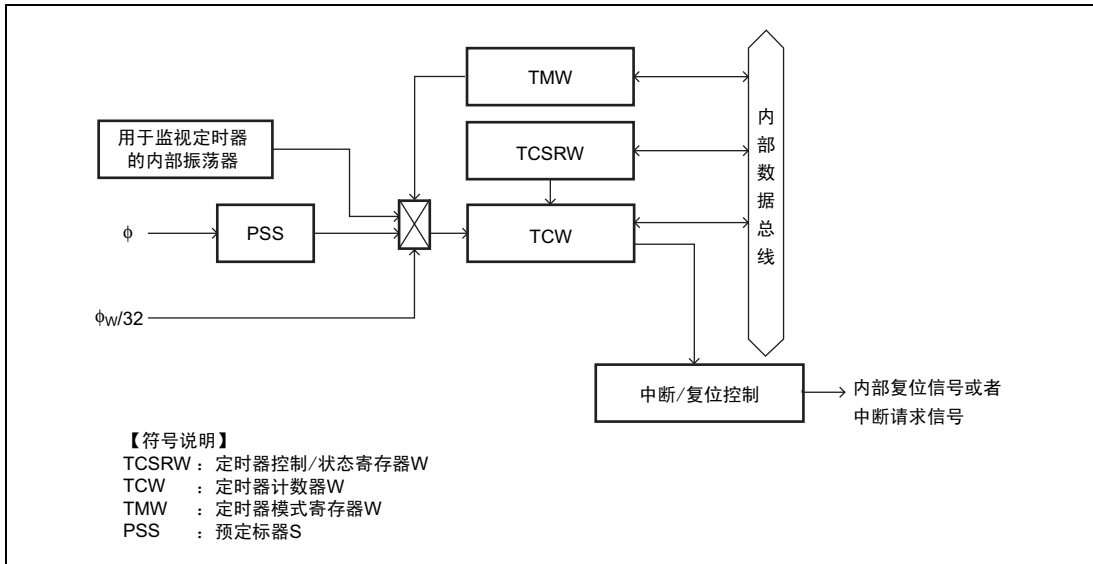


图 9.17 (2) 监视定时器的框图 (H8/38124 群)

(3) 寄存器构成

监视定时器的寄存器构成如表 9.16 所示。

表 9.16 寄存器构成

名称	略称	R/W	初始值	地址
定时器控制/状态寄存器 W	TCSRW	R/W	H'AA	H'FFB2
定时器计数器 W	TCW	R/W	H'00	H'FFB3
定时器模式寄存器 W*	TMW	R/W	H'FF	H'FFF8
时钟停止寄存器 2	CKSTPR2	R/W	H'FF	H'FFFB
端口模式寄存器 2	PMR2	R/W	H'D8	H'FFC9

【注】 * 只为 H8/38124 群的寄存器。

9.6.2 各寄存器说明

(1) 定时器控制/状态寄存器 W (TCSRW)

位	7	6	5	4	3	2	1	0
	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST
初始值:	1	0	1	0	1	0/1*2	1	0
R/W :	R	R/(W)*1	R	R/(W)*1	R	R/(W)*1	R	R/(W)*1

【注】 *1 只有在写条件成立时，才能写。关于写条件，请参照各位的说明。

*2 H8/38024、H8/38024S、H8/38024F-ZTAT群的初始值为0，H8/38124群的初始值为1。

TCSRW 为 8 位可读写寄存器，是控制 TCSRW 和 TCW 的写操作、控制监视定时器的运行以及表示运行状态的寄存器。

- 位7: 位6写禁止 (B6WI)

控制对 TCSRW 的位 6 写数据。

位 7	说明
B6WI	
0	允许对位 6 写
1	禁止对位 6 写 (初始值)

本位总是读出 1。即使写，数据也不被保存。

- 位6: 定时器计数器W写允许 (TCWE)

控制对 TCW 的写位数据。

位 6	说明
TCWE	
0	禁止对 TCW 写位数据 (初始值)
1	允许对 TCW 写位数据

- 位5: 位4写禁止 (B4WI)

控制对 TCSRW 的位 4 写数据。

位 5	说明
B4WI	
0	允许对位 4 写
1	禁止对位 4 写 (初始值)

本位总是读出 1。即使写，数据也不被保存。

- 位4: 定时器控制/状态寄存器W写允许 (TCSRWE)

控制对 TCSRW 的位 2 和位 0 写数据。

位 4	说明
TCSRWE	
0	禁止对位 2 和位 0 写 (初始值)
1	允许对位 2 和位 0 写

- 位3: 位2写禁止 (B2WI)

控制对 TCSRW 的位 2 写数据。

位 3	说明
B2WI	
0	允许对位 2 写
1	禁止对位 2 写 (初始值)

本位总是读出 1。即使写，数据也不被保存。

- 位2: 监视定时器ON (WDON)

允许监视定时器运行。

位 2	说明
WDON	
0	禁止监视定时器运行 (清除条件) 在复位时，或者在 TCSRWE=1 的状态下，同时给 B2WI 和 WDON 写 0 时。但是，在复位时，H8/38024、H8/38024S、H8/38024R 群的此位被清成 0，H8/38124 群的此位被置成 1。 【注】* 是 H8/38024、H8/38024S、H8/38024R 群的初始值。 H8/38124 群的初始值为 1。
1	允许监视定时器运行 (置位条件) 在 TCSRWE=1 的状态下，同时给 B2WI 写 0 和给 WDON 写 1 时

如果将本位置 1，就开始累加计数。另外，如果将本位清 0，就停止累加计数。

- 位1: 位0写禁止 (B0WI)

控制对定时器控制/状态寄存器 W 的位 0 写数据。

位 1	说明
B0WI	
0	允许对位 0 写
1	禁止对位 0 写 (初始值)

本位总是读出 1。即使写，数据也不被保存。

- 位0: 监视定时器复位 (WRST)

表示 TCW 溢出, 产生内部复位信号。通过溢出产生的内部复位信号将整个 LSI 复位。

通过 $\overline{\text{RES}}$ 管脚复位或者通过软件写 0, 清除 WRST。

位 0	说明
WRST	
0	(清除条件) (1) 通过 $\overline{\text{RES}}$ 管脚复位 (2) 在 TCSRWE=1 的状态下, 同时给 B0WI 和 WRST 写 0 时
1	(置位条件) 在 TCWD 溢出, 产生内部复位信号时

- (2) 定时器计数器 W (TCW)

位	7	6	5	4	3	2	1	0
	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCW 为 8 位可读写的增量计数器, 根据输入的内部时钟进行累加计数。在 H8/38024、H8/38024S、H8/38024R 群的情况下, 输入时钟为 $\phi/8192$ 或者 $\phi_w/32$; 在 H8/38124 群的情况下, 如果 WDCKS 为 0, 输入时钟就根据定时器模式寄存器 W (TMW) 的设定进行选择, 如果 WDCKS 为 1, 输入时钟就为 $\phi_w/32$ 。总是能从 CPU 读写 TCW 的值。

如果 TCW 溢出 (H'FF→H'00), 就产生内部复位信号, 并且将 TCSRW 的 WRST 置 1。在复位时, TCW 被初始化成 H'00。

- (3) 定时器模式寄存器 W (TMW)

位	7	6	5	4	3	2	1	0
	—	—	—	—	CKS3	CKS2	CKS1	CKS0
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

TMW 只为 H8/38124 的寄存器。通过 CKS3~CKS0 的组合进行输入时钟的选择。

- 位7~4: 保留位

保留位。各位总是读出 1。

• 位3~0: 时钟选择 (CKS3~CKS0)

从 10 种内部时钟选择给 TCW 输入的时钟。另外, 本寄存器的时钟源选择在端口模式寄存器 2 (PMR2) 的 WDCKS 为 0 时有效。在 WDCKS 为 1 时, 与本寄存器的设定值无关, 选择 $\phi_w/32$ 作为时钟源。

位 3	位 2	位 1	位 0	说明
CKS3	CKS2	CKS1	CKS0	
1	0	0	0	以内部时钟 $\phi/64$ 计数
			1	以内部时钟 $\phi/128$ 计数
		1	0	以内部时钟 $\phi/256$ 计数
			1	以内部时钟 $\phi/512$ 计数
	1	0	0	以内部时钟 $\phi/1024$ 计数
			1	以内部时钟 $\phi/2048$ 计数
		1	0	以内部时钟 $\phi/4096$ 计数
			1	以内部时钟 $\phi/8192$ 计数 (初始值)
0	X	X	X	内部振荡器

【注】X: Don't care

(4) 时钟停止寄存器 2 (CKSTPR2)

位	7	6	5	4	3	2	1	0
	LVDCKSTP*	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	—	—	R/W	R/W	R/W	R/W	R/W

【注】*除了H8/38124群以外, 和位6、位5相同, 为保留位。

CKSTPR2 为 8 位可读写寄存器, 控制模块的模块待机模式。在本章中只说明有关监视定时器的位。其它位, 请参照各模块的有关章节。

• 位2: 监视定时器模块待机模式的控制 (WDCKSTP)

控制设定和解除监视定时器的模块待机模式。

WDCKSTP	说明
0	将监视定时器设定为模块待机模式
1	解除监视定时器的模块待机模式 (初始值)

【注】 WDCKSTP 在定时器控制/状态寄存器 W (TCSRW) 的 WDON 为 0 时有效。在 WDON 为 1 (监视定时器正在运行) 时, 如果将 WDCKSTP 设定成 0, 即使 WDCKSTP 被设定成 0, 监视定时器也不进入模块待机模式而继续监视功能。在结束监视功能, 通过软件将 WDON 设定成 0 的同时, WDCKSTP 变为有效, 监视定时器进入模块待机模式。

(5) 端口模式寄存器 2 (PMR2)

位	7	6	5	4	3	2	1	0
	—	—	POF1	—	—	WDCKS	NCS	IRQ0
初始值:	1	1	0	1	1	0	0	0
R/W :	—	—	R/W	—	—	R/W	R/W	R/W

PMR2 为 8 位可读写寄存器，控制各管脚的切换。本章只说明和监视定时器有关的位，其它位，请参照“第 8 章 I/O 端口”。

- 位2: 监视定时器源时钟选择 (WDCKS)

选择监视定时器的源时钟。但是，必须注意 H8/38024、H8/38024S、H8/38024R 群与 H8/38124 群不同。

H8/38024、H8/38024S、H8/38024R 群

WDCKS	说明	
0	选择 $\phi/8192$	(初始值)
1	选择 $\phi_w/32$	

H8/38124 群

WDCKS	说明	
0	根据定时器模式寄存器 W (TMW) 的设定选择时钟	(初始值)
1	选择 $\phi_w/32$	

9.6.3 运行说明

监视定时器含有每当输入时钟被输入就进行累加计数的 8 位计数器。能通过端口模式寄存器 2 (PMR2) 的 WDCKS 选择输入时钟。在 H8/38024、H8/38024S、H8/38024R 群的情况下，如果 WDCKS 为 0，就选择 $\phi/8192$ ；如果 WDCKS 为 1，就选择 $\phi_w/32$ 。在 H8/38124 群的情况下，如果 WDCKS 为 0，就根据定时器模式寄存器 W (TMW) 的设定选择时钟；如果 WDCKS 为 1，就选择 $\phi_w/32$ 。在 TCSRW 的 TCSRWE=1 的状态下，如果同时给 B2WI 写 0 和给 WDON 写 1，TCW 就开始累加计数（为了使监视定时器运行，必须对 TCSRW 进行 2 次写存取。但是，H8/38124 群在复位解除时，由于 WDON 被设定成 1，因此即使不对 TCSRW 写存取，TCW 也能开始累加计数。）。如果在 TCW 的计数值变为 H'FF 后输入时钟，监视定时器就溢出，并且在经过基准时钟 (ϕ 或者 ϕ_{SUB}) 的 1 个时钟后就产生内部复位信号。内部复位信号的输出时间为 512 个 ϕ_{osc} 时钟。由于 TCW 是可写计数器，如果给 TCW 设定值，就从该值开始累加计数。因此，根据 TCW 的设定值，能在 1~256 个输入时钟的范围内设定溢出周期。

监视定时器运行的例子如图 9.18 所示。

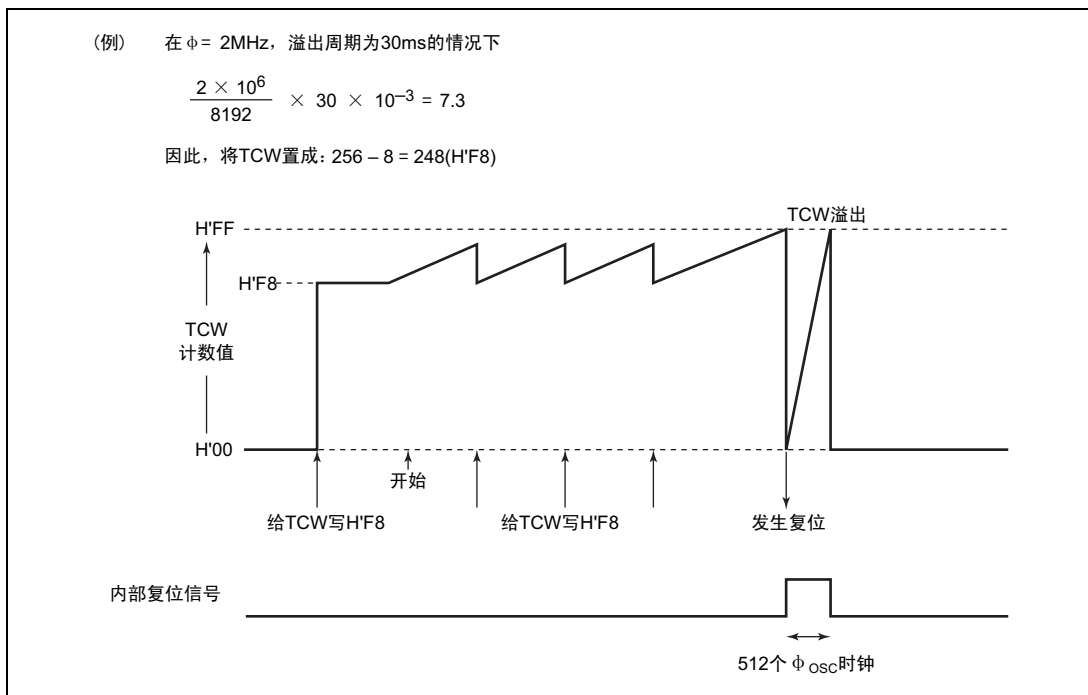


图 9.18 监视定时器运行的例子

9.6.4 监视定时器的运行模式

H8/38024、H8/38024S、H8/38024R 群和 H8/38124 群的监视定时器的运行模式如表 9.17 (1)、(2) 所示。

表 9.17 (1) 监视定时器的运行模式 (H8/38024、H8/38024S、H8/38024R 群)

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCW	复位	运行	运行	停止	运行/停止*	停止	停止	停止
TCSRW	复位	运行	运行	保持	运行/停止*	保持	保持	保持

【注】* 在给输入时钟选择 $\phi_W/32$ 时运行。

表 9.17 (2) 监视定时器的运行模式 (H8/38124 群)

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCW	复位	运行	运行	运行/停止* ¹	运行/停止* ¹	运行/停止* ¹	运行/停止* ²	停止
TCSRW	复位	运行	运行	运行/保持* ¹	运行/停止* ¹	运行/保持* ¹	运行/保持* ²	保持
TMW	复位	运行	运行	运行/保持* ¹	运行/停止* ¹	运行/保持* ¹	运行/保持* ²	保持

【注】*¹ 作为内部时钟，在选择 $\phi_W/32$ 或者内部振荡器时运行。

*² 只在选择内部振荡器时运行。

9.7 异步事件计数器 (AEC)

9.7.1 概要

异步事件计数器 (Asynchronous Event Counter) 是每当输入外部事件时钟或者内部时钟就进行累加计数的事件计数器。

(1) 特点

异步事件计数器的特点如下所示:

- 能进行异步事件计数
和基本时钟 ϕ 和 ϕ_{SUB} 的运行无关, 能对异步输入的外部事件进行计数。
计数器由 16 位构成, 能进行 65536 (2^{16}) 次以内的事件计数。
- 也能作为2个通道的独立的8位事件计数器使用
- 也能作为1个通道的独立的16位事件计数器使用
- 只有在IRQAEC为高电平或者事件计数器PWM输出 (IECPWM) 为高电平时, 事件/时钟输入才有效
- 对IRQAEC或者事件计数器PWM输出 (IECPWM) 中断, 可以检测两边沿。不使用异步计数器时, 能独立使用中断功能
- 如果使用事件计数器PWM, 就在一定的周期内自动进行允许/禁止事件时钟输入
- ECH和ECL的时钟源可以通过软件选择外部事件输入和预定标器的输出时钟。预定标器的输出时钟可以选择 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 中的任何一个
- AEVL、AEVH可在两边沿计数
- 可以通过软件控制计数器的复位、停止累加计数功能
- 检测事件计数器溢出, 自动产生中断
- 在未使用时, 能通过模块待机模式, 以单模块设定待机模式

(2) 框图

异步事件计数器的框图如图 9.19 所示。

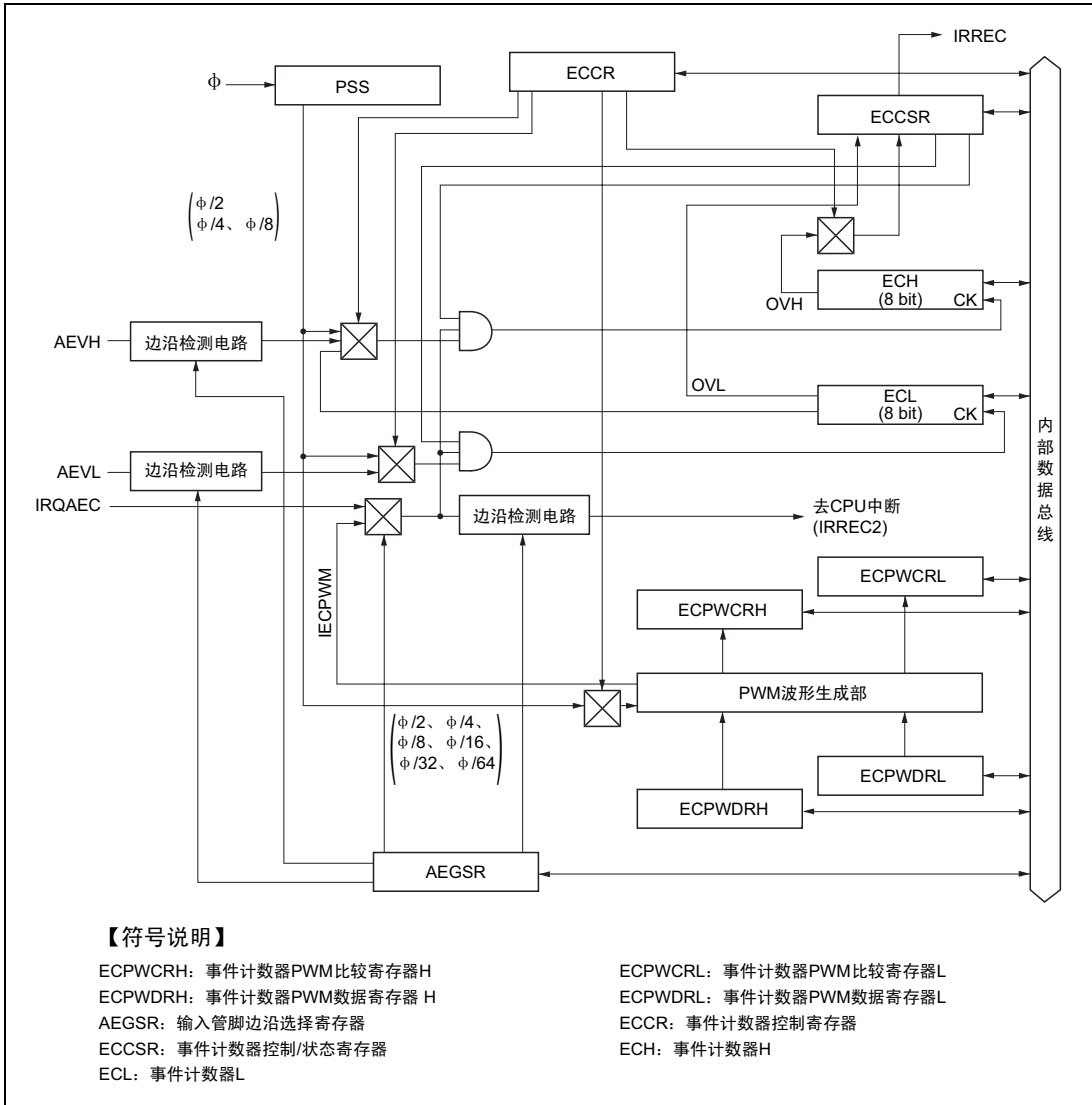


图 9.19 异步事件计数器的框图

(3) 管脚构成

异步事件计数器的管脚构成如表 9.18 所示。

表 9.10 管脚构成

名称	略称	输入/输出	功能
异步事件输入 H	AEVH	输入	给事件计数器 H 输入的事件输入管脚
异步事件输入 L	AEVL	输入	给事件计数器 L 输入的事件输入管脚
事件输入允许中断输入	IRQAEC	输入	将事件输入置成有效的中断输入管脚

(4) 寄存器构成

异步事件计数器的寄存器构成如表 9.19 所示。

表 9.19 寄存器构成

名称	略称	R/W	初始值	地址
事件计数器 PWM 比较寄存器 H	ECPWCRH	R/W	H'FF	H'FF8C
事件计数器 PWM 比较寄存器 L	ECPWCRL	R/W	H'FF	H'FF8D
事件计数器 PWM 数据寄存器 H	ECPWDRH	W	H'00	H'FF8E
事件计数器 PWM 数据寄存器 L	ECPWDRL	W	H'00	H'FF8F
输入管脚边沿选择寄存器	AEGSR	R/W	H'00	H'FF92
事件计数器控制寄存器	ECCR	R/W	H'00	H'FF94
事件计数器控制/状态寄存器	ECCSR	R/W	H'00	H'FF95
事件计数器 H	ECH	R	H'00	H'FF96
事件计数器 L	ECL	R	H'00	H'FF97
时钟停止寄存器 2	CKSTPR2	R/W	H'FF	H'FFFB

9.7.2 各寄存器的结构

(1) 事件计数器 PWM 比较寄存器 H (ECPWCRH)

位	7	6	5	4	3	2	1	0
	ECPWCRH7	ECPWCRH6	ECPWCRH5	ECPWCRH4	ECPWCRH3	ECPWCRH2	ECPWCRH1	ECPWCRH0
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 在AEGSR的ECPWME为1时，由于事件计数器PWM正在运行，因此不能改写ECPWCRH。
在改变转换周期时，必须在将AEGSR的ECPWME清0、停止事件计数器PWM后，进行改写。

ECPWCRH 为 8 位可读写寄存器，设定事件计数器波形的 1 个转换周期。

(2) 事件计数器 PWM 比较寄存器 L (ECPWCRL)

位	7	6	5	4	3	2	1	0
	ECPWCRL7	ECPWCRL6	ECPWCRL5	ECPWCRL4	ECPWCRL3	ECPWCRL2	ECPWCRL1	ECPWCRL0
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 在AEGSR的ECPWME为1时，由于事件计数器PWM正在运行，因此不能改写ECPWCRL。
在改变转换周期时，必须在将AEGSR的ECPWME清0、停止事件计数器PWM后，进行改写。

ECPWCRL 为 8 位可读写寄存器，设定事件计数器 PWM 波形的 1 个转换周期。

(3) 事件计数器 PWM 数据寄存器 H (ECPWDRH)

位	7	6	5	4	3	2	1	0
	ECPWDRH7	ECPWDRH6	ECPWDRH5	ECPWDRH4	ECPWDRH3	ECPWDRH2	ECPWDRH1	ECPWDRH0
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

【注】 在AEGSR的ECPWME为1时，由于事件计数器PWM正在运行，因此不能改写ECPWDRH。
在改变转换周期时，必须在将AEGSR的ECPWME清0、停止事件计数器PWM后，进行改写。

ECPWDRH 为 8 位只写寄存器，控制事件计数器 PWM 波形生成部分的数据。

(4) 事件计数器 PWM 数据寄存器 L (ECPWDR L)

位	7	6	5	4	3	2	1	0
	ECPWDR L7	ECPWDR L6	ECPWDR L5	ECPWDR L4	ECPWDR L3	ECPWDR L2	ECPWDR L1	ECPWDR L0
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

【注】 在 AEGSR 的 ECPWME 为 1 时，由于事件计数器 PWM 正在运行，因此不能改写 ECPWDR L。
在改变转换周期时，必须在将 AEGSR 的 ECPWME 清 0、停止事件计数器 PWM 后，进行改写。

ECPWDR L 为 8 位只写寄存器，控制事件计数器 PWM 波形生成部分的数据。

(5) 输入管脚边沿选择寄存器 (AEGSR)

位	7	6	5	4	3	2	1	0
	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	—
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

AEGSR 为 8 位可读写寄存器，选择 AEVH、AEVL 以及 IRQAEC 管脚的上升沿、下降沿或者两边沿。

• 位 7、6: AEC 边沿选择 H

检测 AEVH 管脚的上升沿/下降沿/两边沿。

位 7	位 6	说明	
AHEGS1	AHEGS0		
0	0	检测 AEVH 管脚的下降沿	(初始值)
	1	检测 AEVH 管脚的上升沿	
1	0	检测 AEVH 管脚的两边沿	
	1	禁止使用	

• 位 5、4: AEC 边沿选择 L

检测 AEVL 管脚的上升沿/下降沿/两边沿。

位 5	位 4	说明	
ALEGS1	ALEGS0		
0	0	检测 AEVL 管脚的下降沿	(初始值)
	1	检测 AEVL 管脚的上升沿	
1	0	检测 AEVL 管脚的两边沿	
	1	禁止使用	

- 位3、2: IRQAEC边沿选择

检测 IRQAEC 管脚的上升沿/下降沿/两边沿。

位 3	位 2	说明
AIEGS1	AIEGS0	
0	0	检测 IRQAEC 管脚的下降沿 (初始值)
	1	检测 IRQAEC 管脚的上升沿
1	0	检测 IRQAEC 管脚的两边沿
	1	禁止使用

- 位1: 事件计数器PWM允许

允许/禁止事件计数器 PWM 的运行以及是否选择 IRQAEC。

位 1	说明
ECPWME	
0	停止 AEC 用 PWM, 选择 IRQAEC (初始值)
1	允许 AEC 用 PWM 运行, 不选择 IRQAEC

- 位0: 保留位

可读写的保留位。在复位时, 被初始化成 0。

【注】 不能将此位置 1。

(6) 事件计数器控制寄存器 (ECCR)

位	7	6	5	4	3	2	1	0
	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0	—
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

控制计数器的输入时钟、IRQAEC/IECPWM。

- 位7、6: AEC时钟选择H (ACKH1、ACKH0)

选择由 ECH 使用的时钟。

位 7	位 6	说明
ACKH1	ACKH0	
0	0	AEVH 管脚 输入 (初始值)
	1	$\phi/2$
1	0	$\phi/4$
	1	$\phi/8$

- 位5、4: AEC时钟选择L

选择由 ECL 使用的时钟。

位 5	位 4	说明
ACKL1	ACKL0	
0	0	AEVL 管脚 输入 (初始值)
	1	$\phi/2$
1	0	$\phi/4$
	1	$\phi/8$

- 位3~1: 事件计数器用PWM时钟选择 (PWCK2~PWCK0)

选择事件计数器用 PWM 的时钟。

位 3	位 2	位 1	说明
PWCK2	PWCK1	PWCK0	
0	0	0	$\phi/2$ (初始值)
		1	$\phi/4$
	1	0	$\phi/8$
		1	$\phi/16$
1	*	0	$\phi/32$
		1	$\phi/64$

【符号说明】

* : Don't care

- 位0: 保留位

可读写的保留位。在复位时，被初始化成 0。

【注】 不能将此位置 1。

(7) 事件计数器控制/状态寄存器 (ECCSR)

位	7	6	5	4	3	2	1	0
	OVH	OVL	—	CH2	CUEH	CUEL	CRCH	CRCL
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W *	R/W *	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 只能用于清除标志的写0。

ECCSR 为 8 位可读写寄存器，检测计数器溢出、进行计数器复位、控制累加计数功能的停止。

在复位时，ECCSR 被初始化为 H'00。

- 位7: 计数器溢出H (OVH)

表示 ECH 溢出 (H'FF→H'00) 的状态标志。如果 ECH 溢出, 本标志就被置位。不能通过软件置位。能通过软件清除本标志。在 OVH 为 1 的状态下, 读 OVH 后, 给 OVH 写 0 时, 本标志被清除。

在将 CH2 清 0 的状态下, 将 ECH 和 ECL 作为 16 位事件计数器使用时, 本标志是表示 16 位事件计数器溢出 (H'FFFF→H'0000) 的状态标志。

位 7		
OVH	说明	
0	表示 ECH 没有溢出 (清除条件) 在 OVH 为 1 的状态下, 读 OVH 后, 给 OVH 写 0 时	(初始值)
1	表示 ECH 溢出 (置位条件) ECH 的值为 H'FF→H'00 时	

- 位6: 计数器溢出L (OVL)

表示 ECL 溢出 (H'FF→H'00) 的状态标志。如果 ECL 溢出, 本标志就被置位。不能通过软件置位。通过软件清除本标志。在 OVL 为 1 的状态, 并且读 OVL 后, 给 OVL 写 0 时, 本标志被清除。

位 6		
OVL	说明	
0	表示 ECL 没有溢出 (清除条件) 在 OVL 为 1 的状态下, 读 OVL 后, 给 OVL 写 0 时	(初始值)
1	表示 ECL 溢出 (置位条件) ECL 的值为 H'FF→H'00 时	

- 位5: 保留位

可读写的保留位。在复位时, 被初始化为 0。

• 位4: 通道选择 (CH2)

选择将 ECH 和 ECL 作为 1 个通道的 16 位事件计数器使用, 还是作为 2 个通道的独立的 8 位事件计数器使用。如果将 CH2 清 0, ECH 和 ECL 就变为 16 位事件计数器, 每当给 AEVL 管脚输入事件时钟, 就进行累加计数。此时 ECH 的输入时钟选择来自 ECL 的溢出信号。如果将 CH2 置 1, ECH 和 ECL 就变为各自独立的 8 位事件计数器, 每当分别给 AEVH 管脚和 AEVL 管脚输入事件时钟, 就进行累加计数。

位 4	说明
CH2	
0	作为连接 ECH 和 ECL 的 1 个通道的 16 位事件计数器使用 (初始值)
1	作为独立 ECH 和 ECL 的 2 个通道的 8 位事件计数器使用

• 位3: 累加计数允许H (CUEH)

允许给 ECH 输入事件时钟。如果对本位写 1, 就允许输入事件时钟, 进行累加计数。如果对本位写 0, 就禁止输入事件时钟, 并且保持 ECH 的值。通过 CH2, 可以从 AEVH 管脚或者 ECL 的溢出信号中选择事件时钟。

位 3	说明
CUEH	
0	禁止输入 ECH 的事件时钟 (初始值) 保持 ECH 的值
1	允许输入 ECH 的事件时钟

• 位2: 累加计数允许L (CUEL)

允许给 ECL 输入事件时钟。如果对本位写 1, 就允许输入事件时钟, 进行累加计数。如果对本位写 0, 就禁止输入事件时钟, 并且保持 ECL 的值。

位 2	说明
CUEL	
0	禁止输入 ECL 的事件时钟 (初始值) 保持 ECL 的值
1	允许输入 ECL 的事件时钟

- 位1: 计数器复位控制H (CRCH)

控制 ECH 的复位。如果对本位写 0, ECH 就被复位。如果对本位写 1, 就解除计数器的复位, 允许 ECH 的累加计数功能。

位 1	说明	
CRCH		
0	复位 ECH	(初始值)
1	解除 ECH 的复位, 允许累加计数功能	

- 位0: 计数器复位控制L (CRCL)

控制 ECL 的复位。如果对本位写 0, ECL 就被复位。如果对本位写 1, 就解除计数器的复位, 允许 ECL 的累加计数功能。

位 0	说明	
CRCL		
0	复位 ECL	(初始值)
1	解除 ECL 的复位, 允许累加计数功能	

(8) 事件计数器 H (ECH)

位	7	6	5	4	3	2	1	0
	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ECH 为 8 位可读增量计数器, 作为独立的 8 位事件计数器, 或者通过和 ECL 组合作为 16 位事件计数器的高 8 位的增量计数器运行。输入时钟可以从外部异步事件 AEVH 管脚、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、或者低 8 位的计数器 ECL 的溢出信号中选择。ECH 可以通过软件清除为 H'00。在复位时, 被初始化为 H'00。

(9) 事件计数器 L (ECL)

位	7	6	5	4	3	2	1	0
	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ECL 为 8 位可读增量计数器, 作为独立的 8 位事件计数器, 或者通过和 ECH 组合作为 16 位事件计数器的低 8 位的增量计数器运行。输入时钟使用来自外部异步事件 AEVL 管脚的事件时钟或者 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 。ECL 可以通过软件清除为 H'00。在复位时, 被初始化为 H'00。

(10) 时钟停止寄存器 2 (CKSTPR2)

位	:	7	6	5	4	3	2	1	0
		LVDCSTP*	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP
初始值:		1	1	1	1	1	1	1	1
R/W	:	R/W	—	—	R/W	R/W	R/W	R/W	R/W

【注】* 除了H8/38124群以外，和位6、位5相同，为保留位。

CKSTPR2 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关异步事件计数器的位。其它位，请参照各模块的有关章节。

- 位3: 异步事件计数器模块待机模式的控制 (AECKSTP)

控制设定和解除异步事件计数器的模块待机模式。

WDCKSTP	说明
0	将异步事件计数器设定为模块待机模式
1	解除异步事件计数器的模块待机模式 (初始值)

9.7.3 运行说明

(1) 16 位计数器的运行

如果将 ECCSR 的 CH2 清 0，ECH 和 ECL 就作为 16 位计数器运行。

此时的输入时钟源能通过 ECCR 的 ACKL1~0，从 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 以及 AEVL 管脚输入的 4 种时钟源中选择。在选择 AEVL 管脚输入时，通过 ALEGS1~0 选择输入方向。

只有在 IRQAEC 为高电平或者 IECPWM 为高电平时，输入时钟有效。当 IRQAEC 为低电平或者 IECPWM 为低电平时，由于输入时钟没有被输入到计数器，因此计数器不运行。作为 16 位计数器使用时的软件例子如图 9.20 所示。

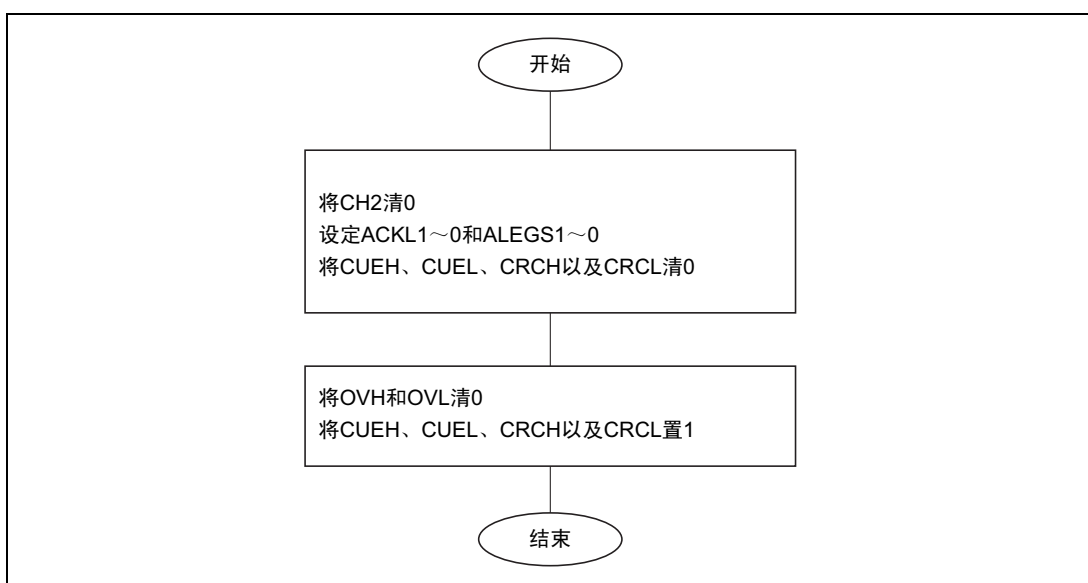


图 9.20 作为 16 位计数器使用时的软件例子

在复位时，由于 CH2 被清 0，因此在复位后 ECH 和 ECL 作为 16 位计数器运行，由于 ACKL1~0 被清 00，因此运行时钟变为来自 AEVL 管脚的异步事件输入，同时 AEVL 管脚的输入变为下降沿检测。

在 ECH 和 ECL 的计数值都变为 H'FF 后，如果输入时钟，ECH 和 ECL 就溢出 (H'FFFF→H'0000)，ECCSR 的 OVH 标志被置 1，并且 ECH 和 ECL 的计数值各自返回到 H'00，重新开始累加计数。在溢出发生时，IRR2 的 IRREC 被置 1。此时如果 IENR2 的 IENEC 为 1，就向 CPU 请求中断。

(2) 8 位计数器的运行

如果将 ECCSR 的 CH2 置 1，ECH 和 ECL 就作为独立的 8 位计数器运行。

此时，作为输入时钟源，ECH 能通过 ECCR 的 ACKH1~0 从 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVH 管脚输入的 4 种时钟源中选择，而 ECL 能通过 ECCR 的 ACKL1~0 从 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVL 管脚输入的 4 种时钟源中选择。

在选择 AEVH 管脚输入时，通过 AHEGS1~0 选择输入方向；在选择 AEVL 管脚输入时，通过 ALEGS1~0 选择输入方向。

只有在 IRQAEC 为高电平或者 IECPWM 为高电平时，输入时钟有效。当 IRQAEC 为低电平或者 IECPWM 为低电平时，由于输入时钟没有被输入到计数器，因此计数器不运行。作为 8 位计数器使用时的软件的例如图 9.21 所示。

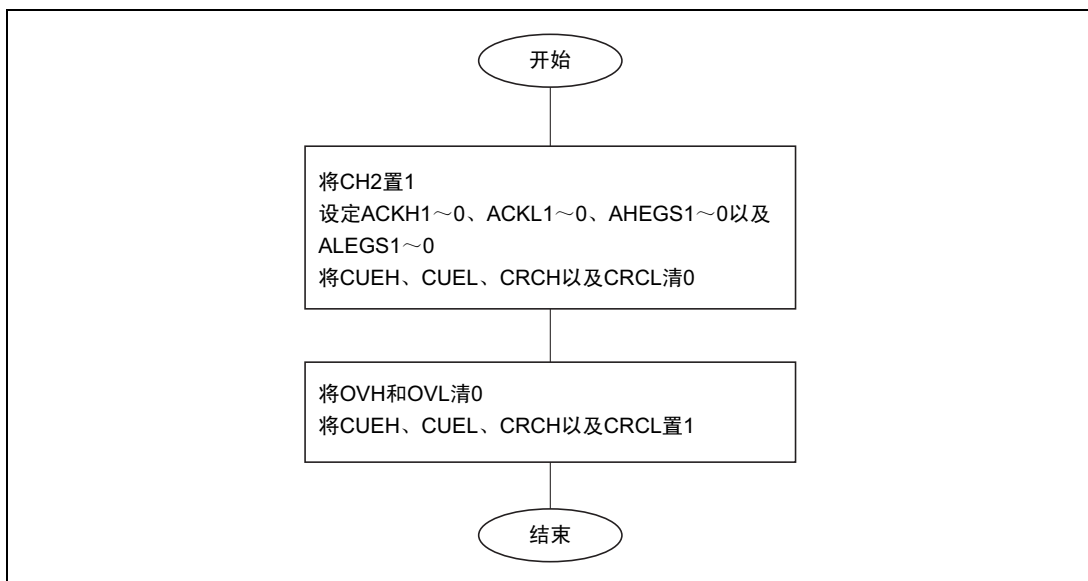


图 9.21 作为 8 位计数器使用时的软件例子

如果按照图 9.21 所示的例子使用，就能作为独立的 8 位计数器使用。在 ECH 的计数值变为 H'FF 后，如果输入时钟，ECH 就溢出，ECCSR 的 OVH 标志被置 1，并且 ECH 的计数值返回到 H'00，重新开始累加计数。另外，在 ECL 的计数值变为 H'FF 后，如果输入时钟，ECL 就溢出，ECCSR 的 OVL 标志被置 1，并且 ECL 的计数值返回到 H'00，重新开始累加计数。在溢出发生时，IRR2 的 IRREC 被置 1。此时如果 IENR2 的 IENEC 为 1，就向 CPU 请求中断。

(3) IRQAEC 的运行

当 AEGSR 的 ECPWME 为 0 时，只有在 IRQAEC 为高电平时，ECH 和 ECL 的输入时钟才有效。当 IRQAEC 为低电平时，由于输入时钟不被输入到计数器，ECH 和 ECL 就不进行计数。因此，通过控制 IRQAEC 能从外部控制 ECH 和 ECL 的计数运行。此时，不能分别控制 ECH 和 ECL。

IRQAEC 也可作为中断源运行。此时的向量号为 6，向量地址为 H'000C~H'000D。

通过 IENR1 的 IENEC2，控制中断允许。如果发生 IRQAEC 中断，IRR1 的中断请求标志 IRREC2 就被置 1。此时如果 IENR1 的 IENEC2 为 1，就向 CPU 请求中断。

IRQAEC 输入管脚的输入方向能通过 AEGSR 的 AIAGS1~0，选择上升沿、下降沿或者两边沿检测。

【注】 在 H8/38124 群，复位期间的系统时钟振荡器和内部振荡器的切换控制必须通过设定 IRQAEC 输入电平进行。详细内容请参照“第 4 章 时钟振荡器”。

(4) 事件计数器 PWM 的运行

当 AEGSR 的 ECPWME 为 1 时，只有在事件计数器 PWM 的输出 (IECPWM) 为高电平时，ECH 和 ECL 的输入时钟有效。当 IECPWM 为低电平时，由于输入时钟不被输入到计数器，ECH 和 ECL 就不进行计数。因此，通过控制事件计数器 PWM，能周期性地控制 ECH 和 ECL 的计数运行。此时，不能分别控制 ECH 和 ECL。

IECPWM 也可以作为中断源运行。此时的向量号为 6，向量地址为 H'000C~H'000D。

通过 IENR1 的 IENEC2，控制中断允许。如果发生 IECPWM 中断，IRR1 的中断请求标志 IRREC2 就被置 1。此时如果 IENR1 的 IENEC2 为 1，就向 CPU 请求中断。

IECPWM 中断方向能通过 AEGSR 的 AIAGS1~0，选择上升沿、下降沿或者两边沿检测。

事件计数器 PWM 的运行例子如图 9.22 和表 9.20 所示。

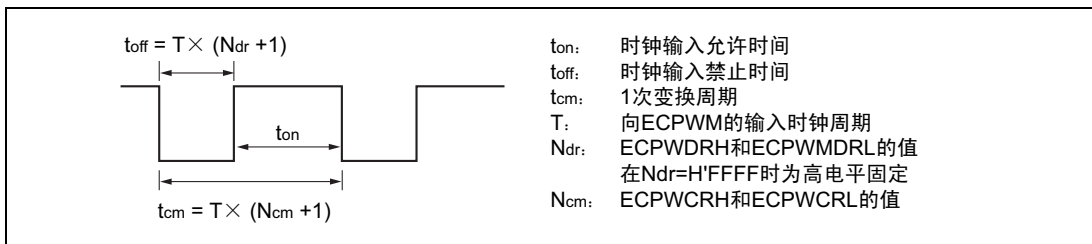


图 9.22 事件计数器的运行波形

【注】 必须用 $Ndr < Ncm$ 的关系设定上述的 Ndr 和 Ncm。
在除此以外的设定时，不能将 AEGSR 的 ECPWME 置 1。

表 9.20 事件计数器 PWM 的运行例子

例) fosc 4MHz、f ϕ 2 MHz、高速激活模式、ECPWCR 的值 (Ncm) = H'7A11、ECPWDR 的值 (Ndr) = H'16E3 的例子

时钟源选择	时钟源周期 (T) *	ECPWCR 的值 (Ncm)	ECPWDR 的值 (Ndr)	toff = T × (Ndr+1)	tcm = T × (Ncm+1)	ton = tcm - toff
$\phi/2$	1 μ s	H'7A11 D'31249	H'16E3 D'5859	5.86ms	31.25ms	25.39ms
$\phi/4$	2 μ s			11.72ms	62.5ms	50.78ms
$\phi/8$	4 μ s			23.44ms	125.0ms	101.56ms
$\phi/16$	8 μ s			46.88ms	250.0ms	203.12ms
$\phi/32$	16 μ s			93.76ms	500.0ms	406.24ms
$\phi/64$	32 μ s			187.52ms	1000.0ms	812.48ms

【注】* toff 的最小宽度

(5) 时钟输入允许/禁止功能的运行

输入到事件计数器的时钟在 AEGSR 的 ECPWME 为 0 时，能通过 IRQAEC 管脚控制；在 AEGSR 的 ECPWME 为 1 时，能通过事件计数器 PWM 的输出 IECPWM 控制。由于此功能通过各信号强制停止输入的时钟，因此通过 IRQAEC 的时序或者 IECPWM 的时序，最大产生 1 个计数分的误差。

其运行例子如图 9.23 所示。

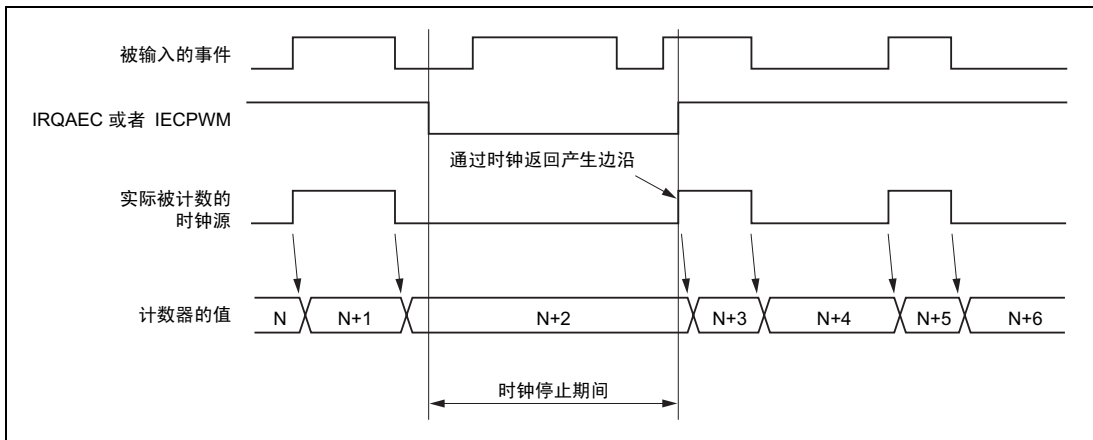


图 9.23 时钟控制运行例子

9.7.4 异步事件计数器的运行模式

异步事件计数器的运行模式如表 9.21 所示。

表 9.21 异步事件计数器的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
AEGR	复位	运行	运行	保持* ¹	运行	运行	保持* ¹	保持
ECCR	复位	运行	运行	保持* ¹	运行	运行	保持* ¹	保持
ECCSR	复位	运行	运行	保持* ¹	运行	运行	保持* ¹	保持
ECH	复位	运行	运行	运行* ¹ * ²	运行* ²	运行* ²	运行* ¹ * ²	停止
ECL	复位	运行	运行	运行* ¹ * ²	运行* ²	运行* ²	运行* ¹ * ²	停止
IRQAEC	复位	运行	运行	保持* ³	运行	运行	保持* ³	保持* ⁴
事件计数器 PWM	复位	运行	运行	保持	保持	保持	保持	保持

【注】 *1 如果输入异步外部事件，尽管计数器进行累加计数，但是计数器溢出 H/L 标志不受影响。

*2 在选择异步外部事件时运行，否则，停止并保持。

*3 虽然通过 IRQAEC 的时钟控制运行，但中断不运行。

*4 在模块待机模式，由于时钟停止，因此不受 IRQAEC 的影响。

9.7.5 使用时的注意事项

- 当读取ECH和ECL的值时，在读取过程中，如果事件计数器进行累加计数，就不能读到正确的值。因此，在作为8位计数器使用时，必须在读前，先将ECCSR的CUEH和CUEL清0，然后读取ECH和ECL。另外，作为16位计数器使用时，必须先将CUEL清0，然后读取ECH和ECL。

在作为8位计数器使用，读取ECH和ECL的值时，必须在读取前，将ECCSR的CUEH和CUEL清0，使异步事件输入不能输入到计数器。在读取过程中，如果事件计数器进行累加计数，就不能读到正确的值。

- 输入到AEVH和AEVL管脚的最大时钟频率不能超过16MHz。另外，时钟的高电平和低电平的宽度必须为OSC时钟周期的一半以上，占空比无限制。

模式	给 AEVL 管脚和 AEVH 管脚输入的最大时钟频率
激活（高速）、睡眠（高速）	16MHz
激活（中速）、睡眠（中速）	$2 \cdot f_{osc}$ f_{osc} $1/2 \cdot f_{osc}$ $1/4 \cdot f_{osc}$
$f_{osc} = 1\text{MHz} \sim 4\text{MHz}$	
时钟、子激活、子睡眠、待机	1000kHz 500kHz 250kHz
$\phi_w = 32.768\text{kHz}$ 或者 38.4kHz^*	

【注】 * H8/38124 群除外

- 在使用16位模式时，ECCSR的设定必须在将CUEH置1后将CRCH置1，或者在将CUEH和CRCH同时置位后输入时钟。此后在使用16位模式过程中，不能改变CUEH的值。在设定16位模式的过程中，如果改变CUEH，

ECH就可能发生错误累加计数。另外，在复位计数器时，必须将CRCH和CRCL同时清0，或者按CRCL、CRCH的顺序清0。

4. 在AEGSR的ECPWME为1时，由于事件计数器PWM处于运行中，不能改写ECPWCRH、ECPWCRL、ECPWDRH以及ECPWDRL。

在改变数据时，必须先将AEGSR的ECPWME清0，使事件计数器PWM停止后，再改写。

5. 必须以事件计数器PWM数据寄存器 < 事件计数器PWM比较寄存器的关系，设定事件计数器PWM数据寄存器和事件计数器PWM比较寄存器。

在除此以外的设定时，不能将AEGSR的ECPWME置成1。

6. 由于IRQAEC在内部取得同步后产生中断，因此从时钟停止开始到接受中断为止会产生最大 $1t_{\text{cyc}}$ 的误差。

第 10 章 串行通信接口

10.1 概要

本 LSI 搭载串行通信接口。

在本手册，作为 SCI3 进行说明。

SCI3（串行通信接口 3）以异步和时钟同步 2 种模式进行串行数据通信，具有多处理器间的串行数据通信功能（多处理器通信功能）。

10.1.1 特点

SCI3 的特点如下所示：

- 能从异步模式或者时钟同步模式中选择串行数据通信模式

- 异步模式

通过以字符单位取得同步的异步模式进行串行数据通信。

能和 Universal Asynchronous Receiver/Transmitter（UART）、Asynchronous Communication Interface Adapter（ACIA）等标准异步通信用 LSI 进行串行数据通信。

另外，具有能和多处理器进行串行数据通信的多处理器间的通信功能。

能从 16 种格式中选择通信格式。

数据长	7 位/8 位/5 位
停止位长	1 位/2 位
奇偶校验	偶校验/奇校验/无奇偶校验
多处理器位	1/0
接收错误的检测	奇偶校验错误、溢出错误（overrun error）、帧错误
中止的检测	在发生帧错误时，通过直接读取 RXD32 管脚的电平，检测中止

- 时钟同步模式

与时钟同步进行串行数据的通信。能和其它具有时钟同步模式通信功能的 LSI 进行串行数据通信。

数据长	8 位
检测接收错误	溢出错误

- 能进行全双工通信

由于具有独立发送部和接收部，因此能同时发送和接收。

另外，由于发送部和接收部都具有双缓冲器构造，因此能进行连续发送和连续接收。

- 能通过内部波特率发生器选择任意的位速率
- 能从内部时钟或者外部时钟中选择发送和接收的时钟源
- 6种中断源

有发送结束、发送数据空、接收数据满、溢出错误、帧错误以及奇偶校验错误6种中断源。

【注】 在用 H8/38124 群执行本功能时，必须使用系统时钟振荡器。

10.1.2 框图

SCI3 的框图如图 10.1 所示。

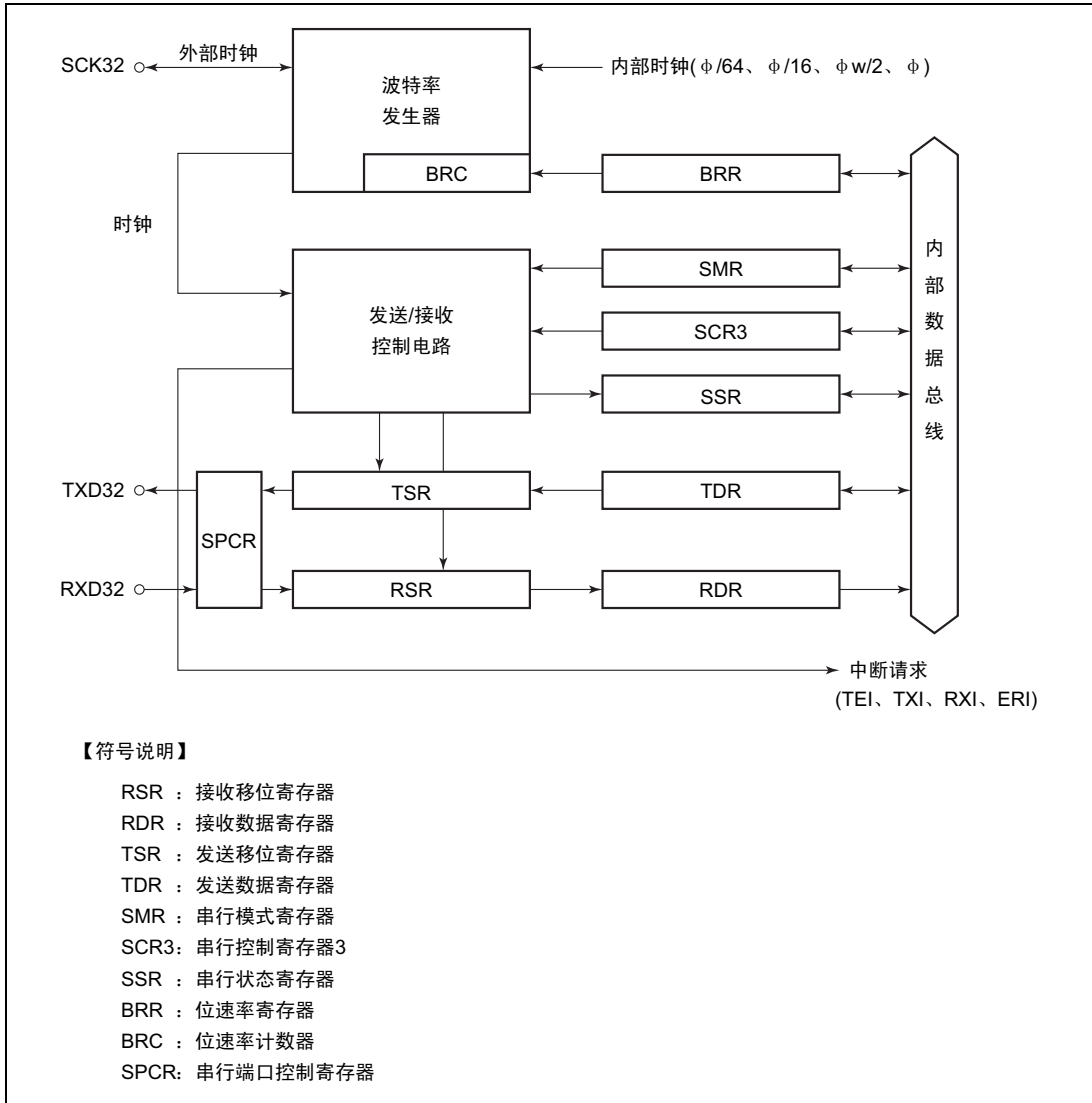


图 10.1 SCI3 的框图

10.1.3 管脚构成

SCI3 的管脚构成如表 10.1 所示。

表 10.1 管脚构成

名称	略称	输入/输出	功能
SCI3 时钟	SCK32	输入/输出	SCI3 的时钟输入/输出管脚
SCI3 接收数据输入	RXD32	输入	SCI3 的接收数据输入管脚
SCI3 发送数据输出	TXD32	输出	SCI3 的发送数据输出管脚

10.1.4 寄存器构成

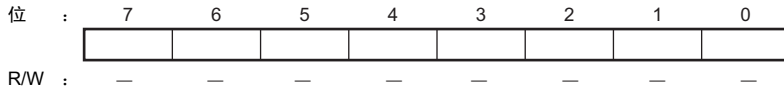
SCI3 的寄存器构成如表 10.2 所示。

表 10.2 寄存器构成

名称	略称	R/W	初始值	地址
串行模式寄存器	SMR	R/W	H'00	H'FFA8
位速率寄存器	BRR	R/W	H'FF	H'FFA9
串行控制寄存器 3	SCR3	R/W	H'00	H'FFAA
发送数据寄存器	TDR	R/W	H'FF	H'FFAB
串行状态寄存器	SSR	R/W	H'84	H'FFAC
接收数据寄存器	RDR	R	H'00	H'FFAD
发送移位寄存器	TSR	不可	—	—
接收移位寄存器	RSR	不可	—	—
位速率计数器	BRC	不可	—	—
时钟停止寄存器 1	CKSTPR1	R/W	H'FF	H'FFFA
串行端口控制寄存器	SPCR	R/W	—	H'FF91

10.2 各寄存器说明

10.2.1 接收移位寄存器 (RSR)



RSR 是用于接收串行数据的寄存器。按 LSB (位 0) 开始的接收顺序, 将来自 RXD32 管脚输入的串行数据置给 RSR, 并且转换成并行数据。如果接收到 1 字节的数据, 数据就被自动传送到 RDR。

不能从直接 CPU 读写 RSR。

10.2.2 接收数据寄存器 (RDR)



RDR 是保存接收的串行数据的 8 位寄存器。

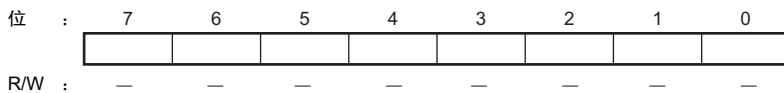
如果 1 字节的数据接收结束, 就将接收到的数据从 RSR 传送到 RDR, 完成接收运行。然后 RSR 变为接收可能状态。

由于 RSR 和 RDR 为双缓冲器构造, 因此能进行连续接收运行。

由于 RDR 是接收专用寄存器, 因此不能从 CPU 进行写操作。

在复位、待机模式、时钟模式以及模块待机模式时, RDR 被初始化成 H'00。

10.2.3 发送移位寄存器 (TSR)



TSR 是用于发送串行数据的寄存器。首先将 TDR 的发送数据传送到 TSR, 然后从 LSB (位 0) 按顺序传送到 TXD32 管脚, 进行串行数据发送。如果发送 1 字节的数据, 就自动将下一次的发送数据从 TDR 传送到 TSR, 开始发送。但是, 在数据还没被写到 TDR (TDRE 被值 1) 时, 不进行从 TDR 到 TSR 的数据传送。

不能直接从 CPU 读写 TSR。

10.2.4 发送数据寄存器 (TDR)

位 :	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR 是保存发送数据的 8 位寄存器。如果检测出 TSR 为空，就将写到 TDR 的发送数据传送到 TSR，并开始串行数据发送，在 TSR 的串行数据发送过程中，如果将下次发送的数据写到 TDR，就可以进行连续发送。

总能通过 CPU 读写 TDR。

在复位、待机模式、时钟模式和模块待机模式时，TDR 被初始化成 H'FF。

10.2.5 串行模式寄存器 (SMR)

位 :	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR 是用于设定串行数据通信格式和选择波特率发生器的时钟源的 8 位寄存器。

总是能通过 CPU 读写 SMR。

在复位、待机模式、时钟模式和模块待机模式时，SMR 被初始化成 H'00。

- 位7: 通信模式 (COM)

COM 是采用异步模式还是采用时钟同步模式进行 SCI3 运行的选择位。

位 7	说明
COM	
0	异步模式 (初始值)
1	时钟同步模式

- 位6: 字符长 (CHR)

CHR 是在异步模式的数据长的选择位。能选择 7 位或者 8 位数据。在时钟同步模式，数据长与 CHR 的设定无关，固定为 8 位。

位 6	说明
CHR	
0	8 位数据/5 位数据* ² (初始值)
1	7 位数据* ¹ /5 位数据* ²

【注】 *1 在选择 7 位数据时，不发送 TDR 的 MSB (位 7)。

*2 在选择 5 位数据时，必须设定 PE=1、MP=1。

另外，不发送 TDR 的 MSB (位 7、位 6、位 5)。

- 位5: 奇偶校验允许 (PE)

PE 是在异步模式，发送时是否附加奇偶校验位、接收时是否检查奇偶校验位的选择位。在时钟同步模式，与 PE 的设定无关，不附加和检查奇偶校验位。

位 5	说明
PE	
0	禁止附加和检查奇偶校验位* ² (初始值)
1	允许附加和检查奇偶校验位* ¹ * ²

【注】 *1 如果将 PE 置 1，在发送时，就将 PM 指定的偶数或者奇数的奇偶校验附加到发送数据后发送；在接收时，就检查接收的奇偶校验位是否与 PM 指定的奇偶校验相符。

*2 选择 5 位数据时，请参照表 10.11。

• 位4: 奇偶校验模式 (PM)

PM 是采用偶校验还是采用奇校验来附加和检查奇偶校验的选择位。在异步模式，只有在将 PE 设定成 1，允许附加和检查奇偶校验位时，PM 的设定才有效。在时钟同步模式和在异步模式，当禁止附加和检查奇偶校验位时，PM 无效。

位 4	说明	
PM		
0	偶校验*1	(初始值)
1	奇校验*2	

【注】 *1 如果设定为偶校验，在发送时，就将奇偶校验位和发送数据合在一起，使其中的 1 的个数的合计为偶数，附加奇偶校验位，然后发送；在接收时，就将奇偶校验位和接收数据合在一起，检查其中的 1 的个数的合计是否为偶数。

*2 如果设定为奇校验，在发送时，就将奇偶校验位和发送数据合在一起，使其中的 1 的个数的合计为奇数，附加奇偶校验位，然后发送；在接收时，就将奇偶校验位和接收数据合在一起，检查其中 1 的个数的合计是否为奇数。

• 位3: 停止位长 (STOP)

STOP 是在异步模式的停止位长的选择位。能选择 1 位或者 2 位。只有在异步模式，STOP 的设定才有效。在设定成时钟同步模式时，由于不附加停止位，STOP 无效。

位 3	说明	
STOP		
0	1 停止位*1	(初始值)
1	2 停止位*2	

【注】 *1 在发送时，给发送字符的最末位附加 1 位的 1 (停止位)，然后发送。

*2 在发送时，给发送字符的最末位附加 2 位的 1 (停止位)，然后发送。

另外，在接收时，和 STOP 的设定无关，只检查接收的停止位的第 1 位。如果停止位的第 2 位为 1，就作为停止位处理；如果为 0 时，就作为下一次的发送字符的开始位处理。

- 位2: 多处理器模式 (MP)

MP 是多处理器通信功能的允许位。当允许多处理器通信功能时, PE 和 PM 的奇偶校验的设定变为无效。MP 的设定只有在异步模式有效。在设定成时钟同步模式时, 必须将 MP 设定为 0。

关于多处理器通信功能, 请参照“10.3.4 多处理器通信功能”。

位 2	说明	
MP		
0	禁止多处理器通信功能*	(初始值)
1	允许多处理器通信功能*	

【注】* 在选择 5 位数据时, 请参照表 10.11。

- 位1、0: 时钟选择1、0 (CKS1、CKS0)

CKS1 和 CKS0 是内部波特率发生器的时钟源的选择位。通过 CKS1 和 CKS0 的组合, 能从 $\phi/64$ 、 $\phi/16$ 、 $\phi w/2$ 以及 ϕ 的 4 种中选择时钟源。

关于时钟源和位速率寄存器的设定值以及波特率的关系, 请参照“10.2.8 位速率寄存器 (BRR)”。

位 1	位 0	说明	
CKS1	CKS0		
0	0	ϕ 时钟	(初始值)
	1	$\phi w/2$ 时钟 ^{*1} / ϕw 时钟 ^{*2}	
1	0	$\phi/16$ 时钟	
	1	$\phi/64$ 时钟	

【注】*1 在激活 (中速/高速) 模式和睡眠 (中速/高速) 模式时, 为 $\phi w/2$ 时钟。

*2 在子激活模式和子睡眠模式时, 为 ϕw 时钟。另外, 在子激活模式和子睡眠模式时, 只有在 CPU 的运行时钟为 $\phi w/2$ 时, 才能使用 SCI3。

10.2.6 串行控制寄存器 3 (SCR3)

位	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3 是选择发送/接收运行、选择异步模式的时钟输出、允许/禁止中断请求以及选择发送/接收时钟源的 8 位寄存器。

总是能通过 CPU 读写 SCR3。

在复位、待机模式、时钟模式和模块待机模式时，SCR3 被初始化成 H'00。

- 位7: 发送中断允许 (TIE)

TIE 是在将发送数据从 TDR 传送到 TSR 以及将 SSR 的 TDRE 置 1 时，允许/禁止发送数据空中断请求 (TXI) 的选择位。

通过将 TDRE 清 0 或者将 TIE 清 0，能解除 TXI。

位 7	说明
TIE	
0	禁止发送数据空中断请求 (TXI) (初始值)
1	允许发送数据空中断请求 (TXI)

-

- 位6: 接收中断允许 (RIE)

RIE 是在将接收数据从 RSR 传送到 RDR 以及将 SSR 的 RDRF 置 1 时，允许/禁止接收数据满中断请求 (RXI) 和接收错误中断请求 (ERI) 的选择位。接收错误有溢出错误、帧错误以及奇偶校验错误 3 种。

通过将 RDRF、FER、PER 或者 OER 的错误标志清 0 或者通过将 RIE 清 0，能解除 RXI 和 ERI。

位 6	说明
RIE	
0	禁止接收数据满中断请求 (RXI) 和接收错误中断请求 (ERI) (初始值)
1	允许接收数据满中断请求 (RXI) 和接收错误中断请求 (ERI)

- 位5: 发送允许 (TE)

TE 是允许/禁止开始发送运行的选择位。

位 5	说明
TE	
0	禁止发送运行*1 (TXD32 管脚为输入/输出端口) (初始值)
1	允许发送运行*2 (TXD32 管脚为发送数据管脚)

【注】 *1 SSR 的 TDRE 被固定为 1。

*2 在此状态, 如果给 TDR 写发送数据, SSR 的 TDRE 就被清 0, 开始串行数据的发送。另外, 在将 TE 置 1 前, 必须设定 SMR 和 SPCR 的 SPC32, 决定发送格式。

- 位4: 接收允许 (RE)

RE 是许可/禁止开始接收运行的选择位。

位 4	说明
RE	
0	禁止接收运行*1 (RXD32 管脚为输入/输出端口) (初始值)
1	允许接收运行*2 (RXD32 管脚为接收数据管脚)

【注】 *1 必须注意: 即使将 RE 清 0, SSR 的 RDRF、FER、PER 以及 OER 的各标志也不受影响, 保持原来状态。

*2 此状态, 在异步模式, 如果检测出开始位, 或者在时钟同步模式时, 如果检测出同步时钟输入, 就开始接收串行数据。另外, 在将 RE 置 1 前, 必须设定 SMR, 决定接收格式。

- 位3: 多处理器中断允许 (MPIE)

MPIE 是允许/禁止多处理器中断请求的选择位。只有在异步模式以及将 SMR 的 MP 设定为 1 的接收时, MPIE 的设定才有效。当 COM 为 1 或者 MP 为 0 时, MPIE 无效。

位 3	说明
MPIE	
0	禁止多处理器中断请求 (通常的接收运行) (初始值) (清除条件) 在接收多处理器位为 1 的数据时
1	允许多处理器中断请求*

【注】 * 不进行从 RSR 到 RDR 的接收数据的传送、不检测接收错误以及 SSR 的 RDRF、FER、OER 的各状态标志不被置位。在接收到多处理器位为 1 的数据前, 禁止 RXI、ERI 以及 SSR 的 RDRF、FER、OER 的各状态标志的置位。如果接收到多处理器位为 1 的接收字符, 就将 SSR 的 MPBR 置 1, 并且 MPIE 被自动清 0, 允许产生 RXI 和 ERI (当 SCR3 的 TIE 和 RIE 被置 1 时), 并且允许将 RDRF、FER、OER 置位。

- 位2: 发送结束中断允许 (TEIE)

TEIE 是选择在发送 MSB 数据时 TDR 如果没有有效的发送数据, 允许还是禁止发送结束中断请求 (TEI) 的位。

位 2	说明
TEIE	
0	禁止发送结束中断请求 (TEI) (初始值)
1	允许发送结束中断请求 (TEI) *

【注】* 能通过将 SSR 的 TDRE 清 0 并且将 TEND 清 0 或者将 TEIE 清 0, 解除 TEI。

- 位1、0: 时钟允许1、0 (CKE1、CKE0)

CKE1 和 CKE0 是选择时钟源以及允许/禁止从 SCK32 管脚输出时钟的选择位。通过 CKE1 和 CKE0 的组合, 决定将 SCK32 管脚作为输入/输出端口, 还是作为时钟输出管脚或者作为时钟输入管脚。

但是, 只有在异步模式内部时钟运行时 (CKE1=0), CKE0 的设定才有效。在时钟同步模式和外部时钟运行 (CKE1=1) 时, 必须将 CKE0 设定成 0。

在设定 CKE1 和 CKE0 后, 必须根据 SMR 决定运行模式。

关于选择时钟源的详细内容, 请参照“10.3.1 概要”的表 10.9。

位 1	位 0	说明			
CKE1	CKE0	通信模式	时钟源	SCK32 管脚功能	
0	0	异步	内部时钟	输入/输出端口* ¹	
		时钟同步	内部时钟	同步时钟输出* ¹	
	1	异步	内部时钟	时钟输出* ²	
		时钟同步	保留		
1	0	异步	外部时钟	时钟输入* ³	
		时钟同步	外部时钟	同步时钟输入	
	1	异步	保留		
		时钟同步	保留		

【注】 *1 初始值

*2 输出与位速率相同的频率时钟。

*3 必须输入 16 倍位速率的频率时钟。

10.2.7 串行状态寄存器 (SSR)

位	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初始值:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	RW

【注】* 只能用于清除标志的写0。

SSR 是内置表示 SCI3 运行状态的状态标志和多处理器位的 8 位寄存器。

总能从 CPU 读写 SSR。但是，不能给 TDRE、RDRF、OER、PER 以及 FER 写 1。另外，为了给它们写 0，必需先读 1。

另外，TEND 和 MPBR 为只读，不能写。

在复位、待机模式、模块待机模式和时钟模式时，SSR 被初始化成 H'84。

- 位7: 发送数据寄存器空 (TDRE)

TDRE 是表示已将发送数据从 TDR 传送到 TSR 的位。

位 7	说明
TDRE	说明
0	写在 TDR 中的发送数据没有传送给 TSR (清除条件) (1) 在读 TDRE=1 的状态后，写 0 时 (2) 在通过指令给 TDR 写数据时
1	发送数据没有被写入 TDR，或者写在 TDR 中的发送数据被传送到 TSR (置位条件) (1) 当 SCR3 的 TE 为 0 时 (2) 在将数据从 TDR 传送到 TSR 时 (初始值)

- 位6: 接收数据寄存器满 (RDRF)

RDRF 是表示接收数据已被保存到 RDR 的位。

位 6	说明	
RDRF		
0	RDR 没有保存接收数据 (清除条件) (1) 在读 RDRF =1 的状态后, 写 0 时 (2) 在通过指令读 RDR 的数据时	(初始值)
1	接收数据已保存在 RDR (置位条件) 在接收正常结束, 将接收数据从 RSR 传送到 RDR 时	

【注】 在接收时, 当检测到错误时, 以及在将 SCR3 的 RE 清 0 时, RDR 和 RDRF 不受影响, 仍保持原来的状态。必须注意: 如果在 RDRF 置 1 的状态下结束数据接收, 就会发生溢出错误 (OER), 丢失接收数据。

- 位5: 溢出错误 (OER)

OER 是表示在接收时发生溢出错误的位。

位 5	说明	
OER		
0	正在接收或者接收已结束* ¹ (清除条件) 在读 OER=1 的状态后, 写 0 时	(初始值)
1	在接收时发生溢出错误* ² (置位条件) 在 RDRF 为 1 的状态下, 完成接收时	

【注】 *1 在将 SCR3 的 RE 清 0 时, OER 不受影响, 保持原来的状态。

*2 RDR 保持发生溢出错误前的接收数据, 丢失后来接收到的数据。另外, 在 OER 置 1 的状态下, 不能继续后面的接收。在时钟同步模式, 也不能继续发送。

- 位4: 帧错误 (FER)

FER 是表示在异步模式接收时发生帧错误的位。

位 4	说明
FER	
0	正在接收或者接收已结束* ¹ (初始值) (清除条件) 在读 FER=1 的状态后, 写 0 时
1	在接收时发生帧错误 (置位条件) 在接收结束时, 检查接收数据的最末位的停止位是否为 1, 在停止位为 0 时* ²

【注】 *1 在将 SCR3 的 RE 清 0 时, FER 不受影响, 保持原来的状态。

*2 在 2 个停止位模式时, 必须注意: 只判定第 1 位的停止位是否为 1, 而不检查第 2 位的停止位。另外, 虽然在发生帧错误时, 接收数据被传送到 RDR, 但是 RDRF 不被置位。特别是在 FER 被置 1 的状态下, 不能继续接收。在时钟同步模式, 如果 FER 被置 1, 就不能发送和接收。

- 位3: 奇偶校验错误 (PER)

PER 是表示在异步模式附加奇偶校验的接收时发生奇偶校验错误的位。

位 3	说明
PER	
0	正在接收或者接收已结束* ¹ (初始值) (清除条件) 在读 PER =1 的状态后, 写 0 时
1	在接收时发生奇偶校验错误* ² (置位条件) 在接收时, 当接收数据和奇偶校验位合在一起的 1 的个数同由 SMR 的 PM 设置的奇偶校验不一致时

【注】 *1 在将 SCR3 的 RE 清 0 时, PER 不受影响, 保持原来的状态。

*2 虽然发生奇偶校验错误时的接收数据被传送到 RDR, 但是 RDRF 不被置位。另外, 在 PER 被置 1 的状态下, 不能继续接收。在时钟同步模式, 如果 PER 被置 1, 就不能发送/接收。

• 位2: 发送结束 (TEND)

TEND 是表示在发送字符的最末位被发送时 TDRE 被置 1 的位。

TEND 为只读, 不能写。

位 2	说明	
TEND		
0	正在发送 (清除条件) (1) 在读 TDRE=1 的状态后, 给 TDRE 写 0 时 (2) 通过指令给 TDR 写数据时	
1	发送结束 (置位条件) (1) 当 SCR3 的 TE 为 0 时 (2) 在发送字符的最末位被发送时, TDRE 为 1 时	(初始值)

• 位1: 多处理器位接收 (MPBR)

MPBR 是在异步模式用多处理器格式进行接收时, 保存接收字符中的多处理器位的位。

为只读, 不能写。

位 1	说明	
MPBR		
0	接收到多处理器位为 0 的数据*	(初始值)
1	接收到多处理器位为 1 的数据	

【注】 * 在用多处理器格式将 SCR3 的 RE 清 0 时, MPBR 不受影响, 保持原来状态。

• 位0: 多处理器位传送 (MPBT)

MPBT 是在以异步模式用多处理器格式进行发送时, 保存附加到发送数据的多处理器位的位。在选择时钟同步模式时, 或者在禁止多处理器通信功能时以及在不能发送时, MPBT 无效。

位 0	说明	
MPBT		
0	发送多处理器位为 0 的数据	(初始值)
1	发送多处理器位为 1 的数据	

10.2.8 位速率寄存器 (BRR)

位 :	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR 是和通过 SMR 的 CKS1 和 CKS0 选择的波特率发生器的运行时钟匹配, 设定发送/接收的位速率的 8 位寄存器。

总能通过 CPU 读写 BRR。

在复位、待机模式、模块待机模式和时钟模式时, BRR 被初始化成 H'FF。

异步模式的 BRR 的设定例子如表 10.3 所示。表 10.3 表示激活 (高速) 模式的值。

表 10.3 对于位速率的 BRR 的设定例子 (异步模式) (1)

φ	16.4KHz			19.2KHz			1MHz			1.2288MHz			2MHz		
	n	N	误差(%)	n	N	误差(%)	n	N	误差(%)	n	N	误差(%)	n	N	误差(%)
110	—	—	—	—	—	—	2	17	-1.36	2	21	-0.83	3	8	-1.36
150	—	—	—	0	3	0	2	12	0.16	3	3	0	2	25	0.16
200	—	—	—	0	2	0	2	9	-2.34	3	2	0	3	4	-2.34
250	0	1	2.5	—	—	—	3	1	-2.34	0	153	-0.26	2	15	-2.34
300	—	—	—	0	1	0	0	103	0.16	3	1	0	2	12	0.16
600	—	—	—	0	0	0	0	51	0.16	3	0	0	0	103	0.16
1200				—	—	—	0	25	0.16	2	1	0	0	51	0.16
2400							0	12	0.16	2	0	0	0	25	0.16
4800							—	—	—	0	7	0	0	12	0.16
9600							—	—	—	0	3	0	—	—	—
19200							—	—	—	0	1	0	—	—	—
31250							0	0	0	—	—	—	0	1	0
38400							—	—	—	0	0	0	—	—	—

表 10.3 对于位速率的 BRR 的设定例子（异步模式）（2）

φ 位速率(bit/s)	5MHz			8MHz			10MHz		
	n	N	误差(%)	n	N	误差(%)	n	N	误差(%)
110	3	21	0.88	3	35	-1.36	3	43	0.88
150	3	15	1.73	3	25	0.16	3	32	-1.36
200	3	11	1.73	3	19	-2.34	3	23	1.73
250	3	9	-2.34	3	15	-2.34	3	19	-2.34
300	3	7	1.73	3	12	0.16	3	15	1.73
600	3	3	1.73	2	25	0.16	3	7	1.73
1200	3	1	1.73	2	12	0.16	3	3	1.73
2400	3	0	1.73	0	103	0.16	3	1	1.73
4800	2	1	1.73	0	51	0.16	3	0	1.73
9600	2	0	1.73	0	25	0.16	2	1	1.73
19200	0	7	1.73	0	12	0.16	2	0	1.73
31250	0	4	0	0	7	0	0	9	0
38400	0	3	1.73	-	-	-	0	7	1.73

空白栏：不能设定。

- ：能设定，但会产生误差。

【注】 1. BRR 的设定值用下列计算式计算：

$$N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$$

B：位速率（bit/s）

N：波特率发生器的 BRR 的设定值（0 ≤ N ≤ 255）

φ：系统时钟周期

n：波特率发生器的输入时钟的 No.（n=0、2、3）

（n 和时钟的关系参照表 10.4）

2. 将用下列的计算式计算出的值的小数点第 3 位四舍五入，表示表 10.3 的误差。

$$\text{误差(\%)} = \frac{B \text{ (从 } n、N、\text{OSC 计算出的位速率)} - R \text{ (表 10.3 左栏的位速率)}}{R \text{ (表 10.3 左栏的位速率)}} \times 100$$

表 10.4 n 和时钟的关系

n	时钟	SMR 的设定值	
		CKS1	CKS0
0	φ	0	0
0	φ w/2*1/φ w*2	0	1
2	φ /16	1	0
3	φ /64	1	1

【注】 *1 在激活（中速/高速）模式和睡眠（中速/高速）模式，为 φ w/2 时钟。

*2 在子激活模式和子睡眠模式，为 ϕ_w 时钟。另外，在子激活模式和子睡眠模式，只有在 CPU 的运行时钟为 $\phi_w/2$ 时，才能使用 SCI3。

在异步模式，各频率中的最大位速率如表 10.5 所示。

表 10.5 表示激活（高速）模式的值。

表 10.5 在各频率中的最大位速率（异步模式）

OSC (MHz)	ϕ (MHz)	最大位速率 (bit/s)	设定值	
			n	N
0.0384*	0.0192	600	0	0
2	1	31250	0	0
2.4576	1.2288	38400	0	0
4	2	62500	0	0
10	5	156250	0	0
16	8	250000	0	0
20	10	312500	0	0

【注】* 在将 SMR 设定为 CKS1=0 和 CKS0=1 时

时钟同步模式的 BRR 的设定例子如表 10.6 所示。表 10.6 表示激活（高速）模式的值。

表 10.6 对位速率的 BRR 的设定例子（时钟同步模式）（1）

ϕ 位速率(bit/s)	19.2kHz			1MHz			2MHz		
	n	N	误差率	n	N	误差率	n	N	误差率
200	0	23	0	—	—	—	—	—	—
250	—	—	—	—	—	—	2	124	0
300	2	0	0	—	—	—	—	—	—
500				—	—	—	—	—	—
1k				0	249	0	—	—	—
2.5k				0	99	0	0	199	0
5k				0	49	0	0	99	0
10k				0	24	0	0	49	0
25k				0	9	0	0	19	0
50k				0	4	0	0	9	0
100k				—	—	—	0	4	0
250k				0	0	0	0	1	0
500k							0	0	0
1M									

表 10.6 对位速率的 BRR 的设定例子（时钟同步模式）（2）

位速率(bit/s)	5MHz			8MHz			10MHz		
	n	N	误差率	n	N	误差率	n	N	误差率
200	—	—	—	—	—	—	0	12499	0
250	—	—	—	3	124	0	2	624	0
300	—	—	—	—	—	—	0	8332	0
500	—	—	—	2	249	0	0	4999	0
1K	—	—	—	2	124	0	0	2499	0
2.5K	—	—	—	2	49	0	0	999	0
5K	0	249	0	2	24	0	0	499	0
10K	0	124	0	0	199	0	0	249	0
25K	0	49	0	0	79	0	0	99	0
50K	0	24	0	0	39	0	0	49	0
100K	—	—	—	0	19	0	0	24	0
250K	0	4	0	0	7	0	0	9	0
500K	—	—	—	0	3	0	0	4	0
1M	—	—	—	0	1	0	—	—	—

空栏：不能设定。

—：能设定，但会产生误差。

【注】 BRR 的设定值用下列计算式计算。

$$N = \frac{\phi}{4 \times 2^{2n} \times B} - 1$$

B：位速率（bit/s）

N：波特率发生器的 BRR 的设定值（0 ≤ N ≤ 255）

φ：系统时钟周期

n：波特率发生器的输入时钟的 No.（n=0、2、3）

（n 和时钟的关系参照表 10.7）

表 10.7 n 和时钟的关系

n	时钟	SMR 的设定值	
		CKS1	CKS0
0	φ	0	0
0	φ _w /2 ^{*1} /φ _w ^{*2}	0	1
2	φ/16	1	0
3	φ/64	1	1

【注】 *1 在激活（中速/高速）模式和睡眠（中速/高速）模式，为 φ_w/2 时钟。

*2 在子激活模式和子睡眠模式，为 φ_w 时钟。另外，在子激活模式和子睡眠模式，只有在 CPU 的运行时钟为 φ_w/2 时，才能使用 SCI3。

10.2.9 时钟停止寄存器 1 (CKSTPR1)

位	7	6	5	4	3	2	1	0
	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中，仅说明有关 SCI3 的位。其他位，请参照各模块的有关章节。

- 位5: SCI3模块待机模式控制 (S32CKSTP)

控制设定和解除 SCI3 的模块待机模式。

S32CKSTP	说明
0	将 SCI3 设定成模块待机模式*
1	解除 SCI3 的模块待机模式 (初始值)

【注】 * 在设定成模块待机模式时，SCI3 的所有寄存器都变为复位状态。

10.2.10 串行端口控制寄存器 (SPCR)

位	7	6	5	4	3	2	1	0
	—	—	SPC32	—	SCINV3	SCINV2	—	—
初始值:	1	1	0	—	0	0	—	—
R/W :	—	—	R/W	W	R/W	R/W	W	W

SPCR 为 8 位可读写寄存器，反转切换 RXD32 和 TXD32 管脚的输入/输出数据。

- 位7、6：保留位

保留位。各位总是读出 1，写无效。

- 位5：P42/TXD32管脚功能切换

设定将 P42/TXD32 管脚作为 P42 管脚使用，还是作为 TXD32 管脚使用。

位 5	说明	
SPC32		
0	作为 P42 输入/输出管脚功能	(初始值)
1	作为 TXD32 输出管脚功能*	

【注】 * 必须在将本位设定成 1 后，设定 SCR3 的 TE 位。

- 位4：保留位

保留位。只能写 0。

- 位3：TXD32管脚输出数据的反转切换

设定是否反转切换 TXD32 管脚的输出数据。

位 3	说明	
SCINV3		
0	不反转 TXD32 的输出数据	(初始值)
1	反转 TXD32 的输出数据	

- 位2：RXD32管脚输入数据的反转切换

设定是否反转切换 RXD32 管脚的输入数据。

位 2	说明	
SCINV2		
0	不反转 RXD32 的输入数据	(初始值)
1	反转 RXD32 的输入数据	

- 位1、0：保留位

保留位。只能写 0。

10.3 运行说明

10.3.1 概要

SCI3 能使用通过以字符为单位边取得同步边进行通信的异步模式，以及通过时钟脉冲边取得同步边进行通信的时钟同步模式的 2 种模式进行串行通信。

通过 SMR，选择异步模式、时钟同步模式以及通信格式。如表 10.8 所示。

另外，通过 SMR 的 COM 和 SCR3 的 CKE1、CKE0 的组合，决定 SCI3 的时钟源。如表 10.9 所示。

(1) 异步模式

- 数据长：能选择5位/7位/8位
- 能选择附加奇偶校验、附加多处理器位以及附加1位或者2位的停止位（通过这些位的组合，决定发送/接收格式和字符长）
- 在接收时，能检测帧错误（FER）、奇偶校验错误（PER）、溢出错误（OER）以及中止
- 时钟源：能选择内部时钟或者外部时钟

当选择内部时钟时：根据波特率发生器的时钟运行，能输出与位速率相同频率的时钟

当选择外部时钟时：需要输入16倍位速率的频率时钟（不使用内部波特率发生器）

(2) 时钟同步模式

- 发送/接收格式：固定8位数据
- 在接收时，能检测溢出错误（OER）
- 时钟源：能选择内部时钟或者外部时钟

当选择内部时钟时：根据波特率发生器的时钟运行，输出同步时钟

当选择外部时钟时：不使用内部波特率发生器，通过输入的同步时钟运行

表 10.8 SMR 的设定值和发送/接收格式

SMR					模式	发送/接收格式							
位 7	位 6	位 2	位 5	位 3		数据长	多处理器位	奇偶校验位	停止位长				
COM	CHR	MP	PE	STOP									
0	0	0	0	0	异步模式	8 位数据	无	无	1				
				1					2				
				0					1				
				1					2				
			1	0					0	7 位数据	无	1	
									1	2			
									1	0	有	1	
									1	2			
	0	1	1	0		0	8 位数据	有	无	1			
						1	2						
						1	0	5 位数据		无	1		
						1	2						
				1		0	1	0		7 位数据	有	1	
								1		2			
								1		0	5 位数据	无	1
								1		2			
1	*	0	*	*	时钟同步模式	8 位数据	无	无	无				

【符号说明】

* : Don't care

表 10.9 SMR、SCR3 的设定和时钟源的选择

SMR	SCR3		模式	发送/接收时钟	
	位 7	位 1		位 0	时钟源
COM	CKE1	CKE0			
0	0	0	异步模式	内部	输入/输出端口（不使用 SCK32 管脚）
		1			输出和位速率相同频率的时钟
	1	0		外部	输入 16 倍位速率的频率时钟
1	0	0	时钟同步模式	内部	输出同步时钟
	1	0		外部	输入同步时钟
0	1	1	保留（不能指定此组合）		
1	0	1	保留（不能指定此组合）		
1	1	1	保留（不能指定此组合）		

(3) 中断和连续发送/接收

SCI3 能使用 RXI 进行连续接收或者使用 TXI 进行连续发送。

关于这些中断如表 10.10 所示。

表 10.10 发送/接收中断

中断	标志	产生中断的条件	备注
RXI	RDRF RIE	如果正常进行串行接收，并且将接收数据从 RSR 传送到 RDR，RDRF 就变为 1，此时如果 RIE 为 1，就允许 RXI 产生中断。 (参照图 10.2 (a))	在 RXI 的中断处理程序中，读取被传送到 RDR 的接收数据，并且将 RDRF 清 0。在下一个 RSR 的接收结束前，通过上述操作，就能连续接收。
TXI	TDRE TIE	如果检测到 TSR 空（上一次的发送结束），并且置于 TDR 的发送数据被传送到 TSR，TDRE 就被置 1。此时如果 TIE 为 1，就允许 TXI 产生中断。 (参照图 10.2 (b))	在 TXI 的中断处理程序中，将下一次的发送数据写入 TDR，并且将 TDRE 清 0。在传送给 TSR 的数据发送结束前，通过上述操作，能连续发送。
TEI	TEND TEIE	在将 TSR 的发送字符的最末位发送后，如果 TDRE 为 1，TEND 就被置 1。此时如果 TEIE 为 1，就允许 TEI 产生中断。 (参照图 10.2 (c))	TEI 表示在将 TSR 的发送字符的最末位发送后，下一个发送数据没有被写入 TDR。

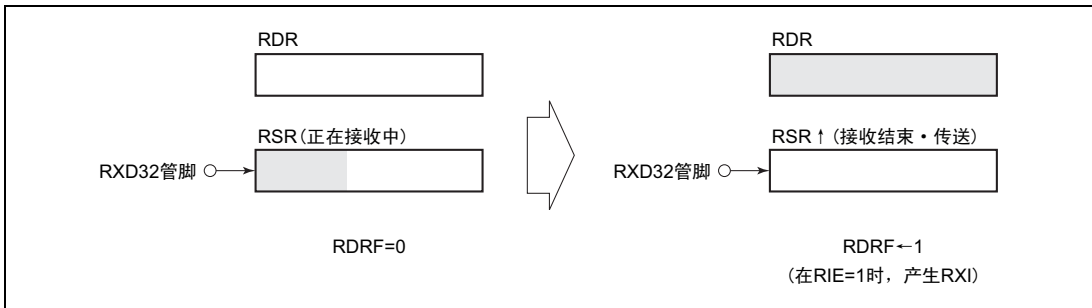


图 10.2 (a) RDRF 的置位和 RXI 的中断

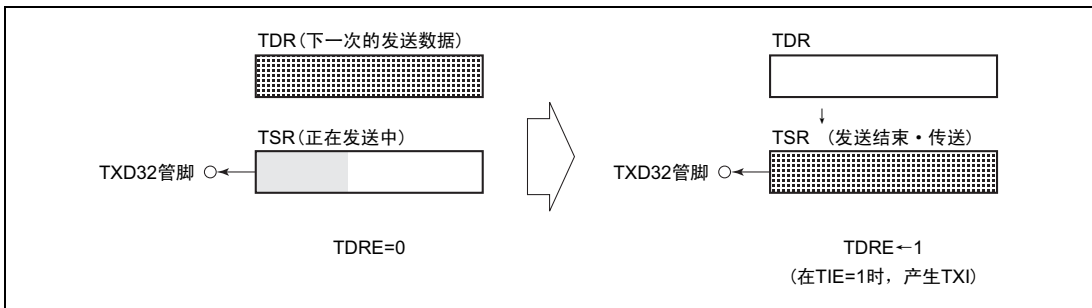


图 10.2 (b) TDRE 的置位和 TXI 的中断

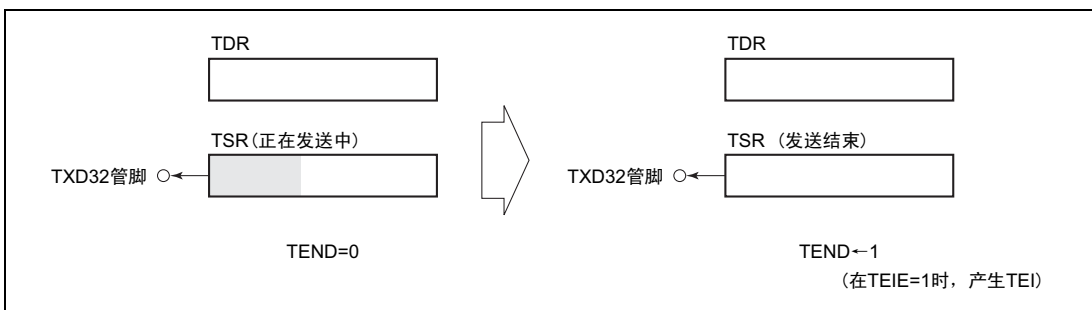


图 10.2 (c) TEND 的置位和 TEI 的中断

10.3.2 异步模式时的运行

异步模式是发送/接收将表示通信开始的开始位和表示通信结束的停止位附加给数据后的字符，并且以 1 字符为单位边取得同步边进行串行通信的模式。

在 SCI3 内部，由于发送部和接收部相互独立，因此能进行全双工通信。另外，由于发送部和接收部具有双缓冲器结构，因此能在发送/接收过程中读写数据，进行连续发送/接收。

(1) 发送/接收格式

异步通信的通信数据的一般格式如图 10.3 所示。



图 10.3 异步通信的数据格式

在异步通信，通信线路通常保持在标记状态（高电平）。SCI3 监视通信线路，将成为空位（低电平）的位视为开始位，开始串行数据通信。

按开始位（低电平），发送/接收数据（以 LSB 为首：从最低位开始）、奇偶校验位（高电平或者低电平），停止位（高电平）的顺序，构成通信数据的 1 字符。

异步模式在接收时，通过开始位的下降沿取得同步。另外，由于在 1 位周期的 16 倍频率时钟的第 8 个脉冲采样数据，因此在每位的中央取得通信数据。

在异步模式能设定的发送/接收格式如表 10.11 所示。

发送/接收格式有 16 种，能通过设定 SMR 选择。

表 10.11 通信格式（异步模式）

SMR				串行通信格式和帧长													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	START	8位数据								STOP				
0	0	0	1	START	8位数据								STOP	STOP			
0	0	1	0	START	8位数据								MPB	STOP			
0	0	1	1	START	8位数据								MPB	STOP	STOP		
0	1	0	0	START	8位数据								P	STOP			
0	1	0	1	START	8位数据								P	STOP	STOP		
0	1	1	0	START	5位数据				STOP								
0	1	1	1	START	5位数据				STOP	STOP							
1	0	0	0	START	7位数据							STOP					
1	0	0	1	START	7位数据							STOP	STOP				
1	0	1	0	START	7位数据							MPB	STOP				
1	0	1	1	START	7位数据							MPB	STOP	STOP			
1	1	0	0	START	7位数据							P	STOP				
1	1	0	1	START	7位数据							P	STOP	STOP			
1	1	1	0	START	5位数据				P	STOP							
1	1	1	1	START	5位数据				P	STOP	STOP						

【符号说明】

- START：开始位
- STOP：停止位
- P：奇偶校验位
- MPB：多处理器位

(2) 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能从由内部波特率发生器生成的内部时钟或者由 SCK32 管脚输入的外部时钟的 2 种时钟中选择 SCI3 的发送/接收时钟。关于时钟源的选择，请参照表 10.9。

在将外部时钟输入到 SCK32 管脚时，必须输入使用的位速率的 16 倍频率时钟。

在使用内部时钟运行时，能从 SCK32 管脚输出时钟。此时被输出的时钟频率和位速率相等，相位如图 10.4 所示，在发送/接收数据的各位的中央，时钟上升。

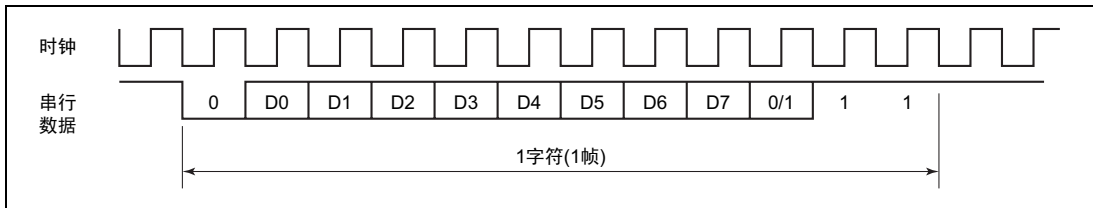


图 10.4 输出时钟和通信数据的相位关系（异步模式）
（8 位数据/有奇偶校验/2 个停止位的例子）

(3) 数据的发送/接收运行

(a) SCI3 的初始化

在数据的发送/接收前，必须在将 SCR3 的 TE 和 RE 清 0 后，按如下步骤进行初始化：

【注】 在改变运行模式和改变通信格式等情况下，必须在将 TE 和 RE 清 0 后改变。如果将 TE 清 0，TDRE 就被置 1。必须注意：即使将 RE 清 0，RDRF、PER、FER、OER 各标志以及 RDR 的内容也保持不变。

在异步模式使用外部时钟时，在包括初始化的运行过程中，不能停止时钟。在时钟同步模式使用外部时钟时，在初始化运行过程中，不能供给时钟。

初始化 SCI3 时的流程图例子如图 10.5 所示。

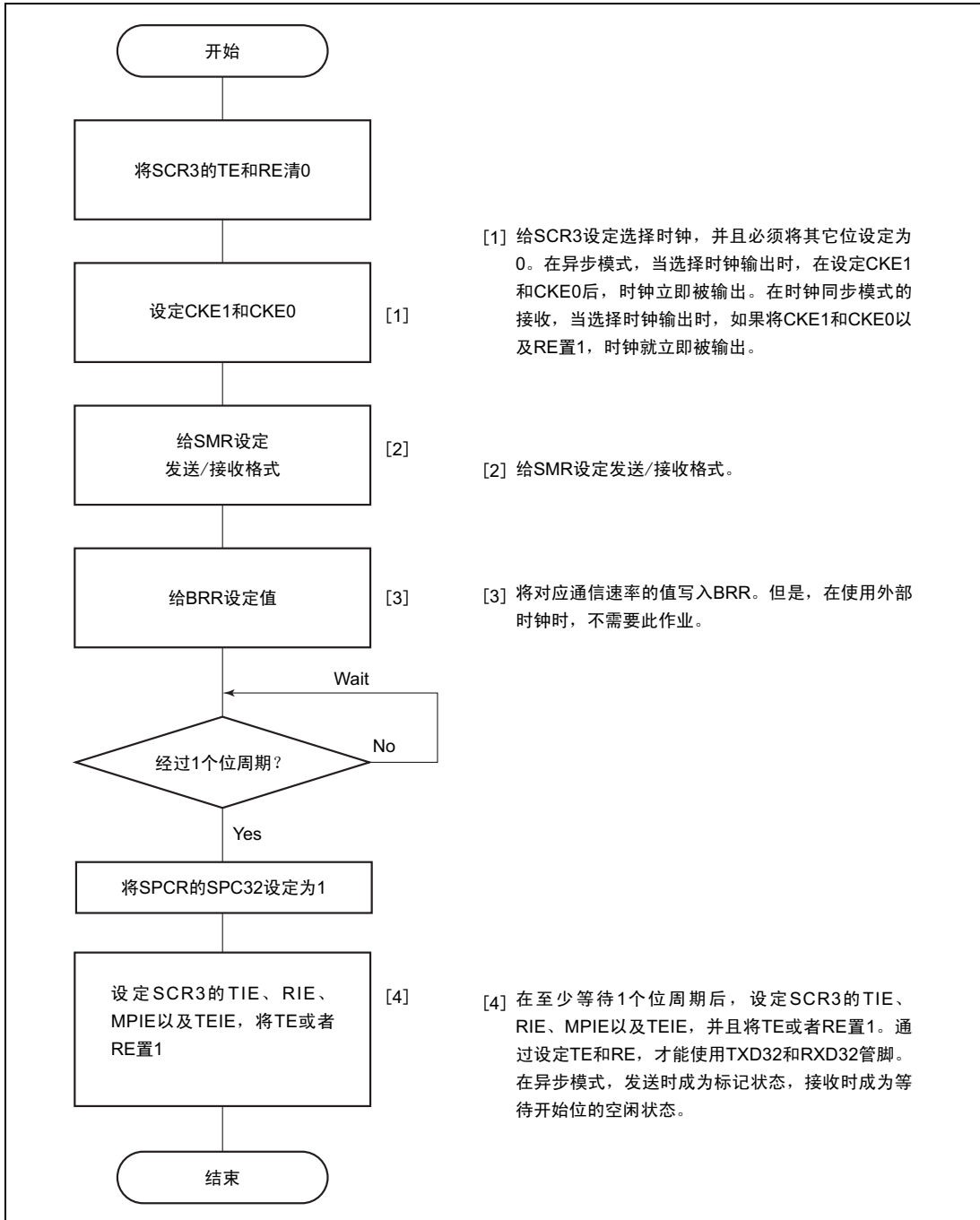


图 10.5 初始化 SCI3 时的流程图例子

(b) 发送数据

发送数据的流程图例子如图 10.6 所示。

必须在初始化 SCI3 后，按如下步骤发送数据：

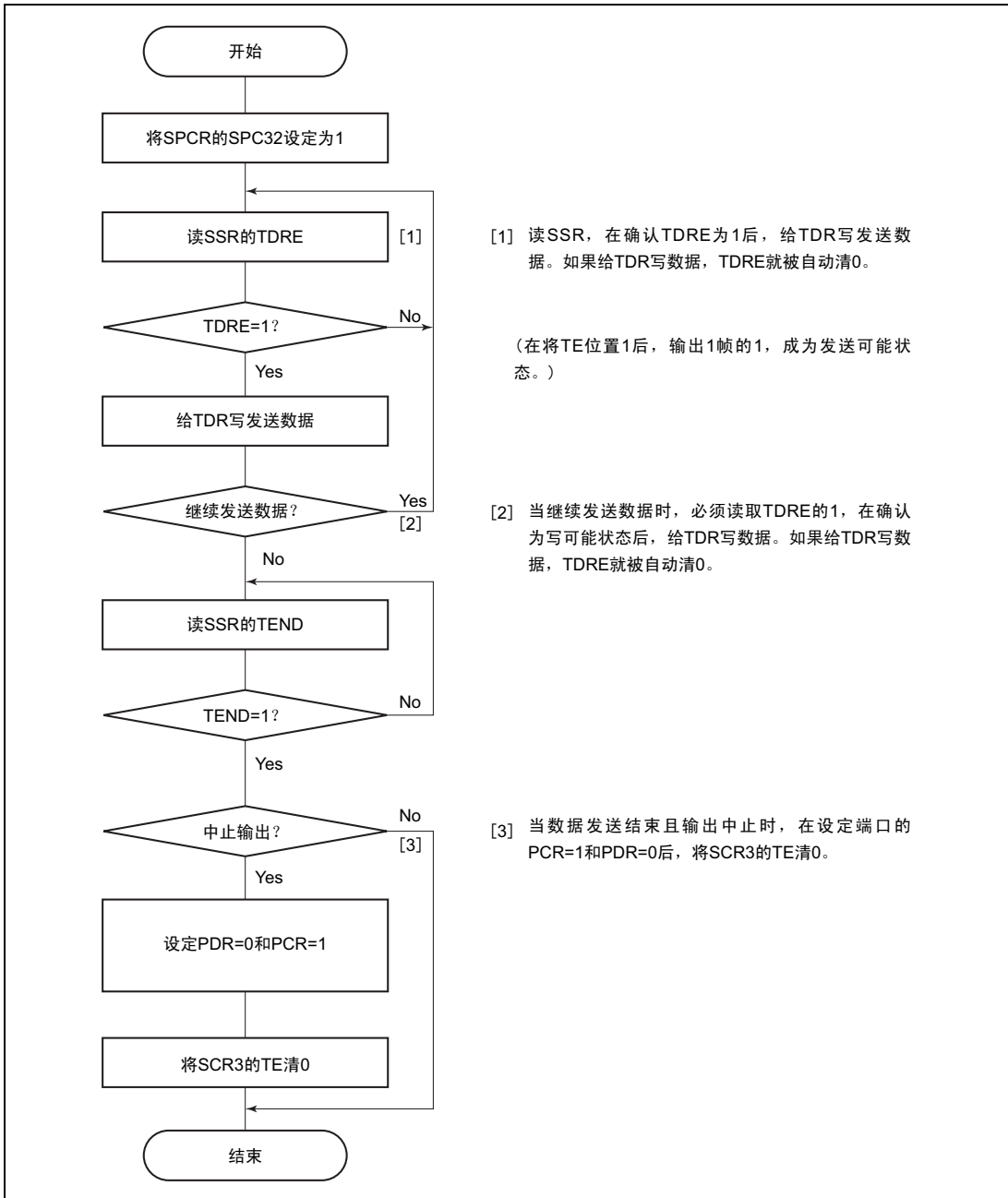


图 10.6 发送数据的流程图例子（异步模式）

在发送数据时，SCI3 进行如下的运行：

SCI3 监视 SSR 的 TDRE，如果为 0，就认为数据被写入了 TDR，将数据从 TDR 传送到 TSR。然后，将 TDRE 置 1，开始发送。此时，如果 SCR3 的 TIE 置 1，就产生 TXI。

串行数据按照如表 10.11 所示的通信格式从 TXD32 管脚被发送。

然后，在送出停止位时，检查 TDRE。

如果 TDRE 为 0，就将数据从 TDR 传送到 TSR，并且在送出停止位后，开始下一帧的发送。如果 TDRE 为 1，就将 SSR 的 TEND 置 1，在送出停止位后，变为输出 1 的标记状态。此时，如果 SCR3 的 TEIE 已被置 1，就产生 TEI。

在异步模式发送时的运行例子如图 10.7 所示。

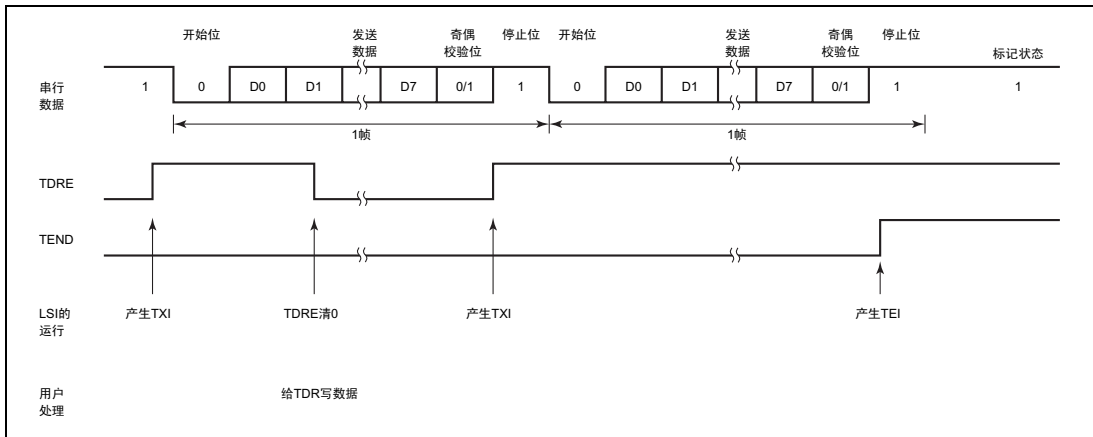


图 10.7 异步模式发送时的运行例子
(8 位数据/有奇偶校验/1 个停止位的例子)

(c) 接收数据

接收数据的流程图例子如图 10.8 所示。

必须在初始化 SCI3 后，按如下步骤接收数据：

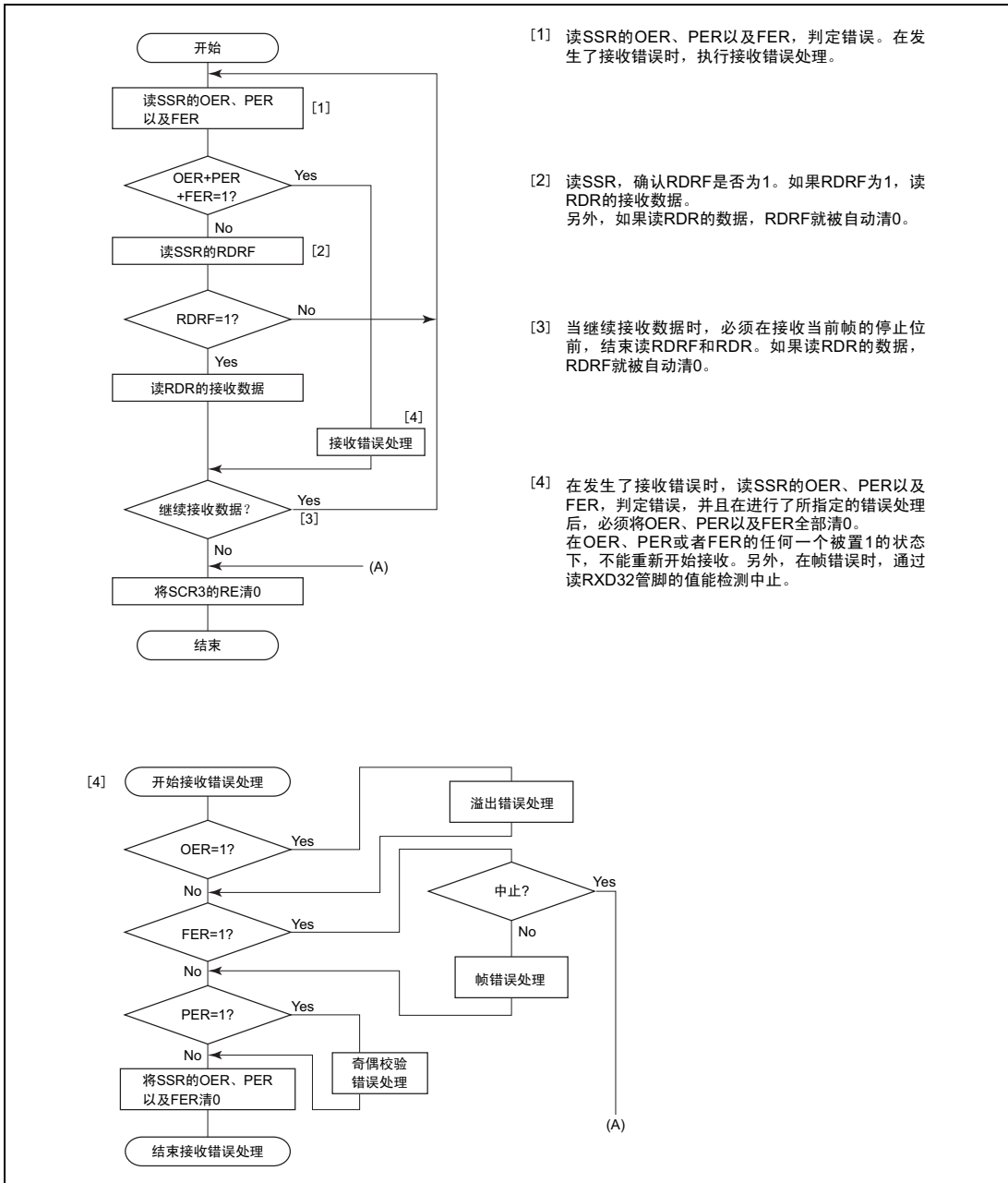


图 10.8 接收数据的流程图例子（异步模式）

在接收时，SCI3 进行如下的运行：

SCI3 监视通信线路，如果检测出为 0 的开始位，就进行内部同步，开始接收。接收按照如表 10.11 所示的通信格式，首先按从 RSR 的 LSB 到 MSB 的顺序将接收数据置位，然后接收奇偶校验位和停止位。在接收后，SCI3 进行如下的检查：

- 检查奇偶校验：
检查接收数据的 1 的个数，检查它是否为由 SMR 的 PM 设定的偶数/奇数的奇偶校验。
- 检查停止位：
检查停止位是否为 1。但是，在 2 个停止位的情况下，只检查第 1 位的停止位。
- 检查状态：
检查 RDRF 是否为 0 以及是否处于能将接收数据从 RSR 向 RDR 传送的状态。

如果以上的检查结果没发现接收错误，就将 RDRF 置 1，并且将接收数据保存到 RDR。此时如果 SCR3 的 RIE 已被置 1，就产生 RXI。但是，如果在错误检查中检测出接收错误，对应各错误的 OER、PER、FER 就被置 1，并且 RDRF 保持数据接收前的状态。此时，如果 SCR3 的 RIE 已被置 1，就产生 ERI。

接收错误的检测条件和接收数据的处理如表 10.12 所示。

【注】 在接收错误被置位的状态下，不能继续接收运行。因此，在继续接收前，必须将 OER、FER、PER 以及 RDRF 清 0。

表 10.12 接收错误的检测条件和接收数据的处理

接收错误	略称	检测条件	接收数据的处理
溢出错误	OER	在 SSR 的 RDRF 被置 1 的状态下，结束下一次数据接收时	不将接收数据从 RSR 传送到 RDR。
帧错误	FER	在停止位为 0 时	将接收数据从 RSR 传送到 RDR。
奇偶校验错误	PER	在由 SMR 所设定的偶数/奇数奇偶校验和接收到的数据不同时	将接收数据从 RSR 传送到 RDR。

异步模式接收时的运行例子如图 10.9 所示。

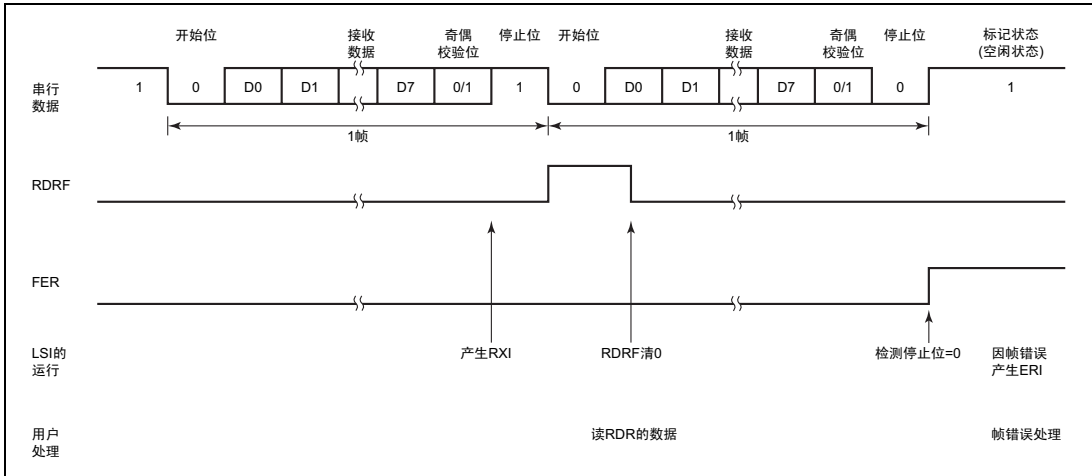


图 10.9 异步模式接收时的运行例子
(8 位数据/有奇偶校验/1 个停止位的例子)

10.3.3 时钟同步模式时的运行

时钟同步模式是和时钟脉冲同步发送/接收数据的模式。时钟同步模式适合高速串行通信。

在 SCI3 内部，由于发送部和接收部相互独立，能共有时钟进行全双工通信。

由于发送部/接收部都具有双缓冲结构，因此能在发送过程中写数据，进行连续发送。而且，还能在接收过程中读数据，进行连续接收。

(1) 发送/接收格式

时钟同步通信的通信数据的一般格式如图 10.10 所示。

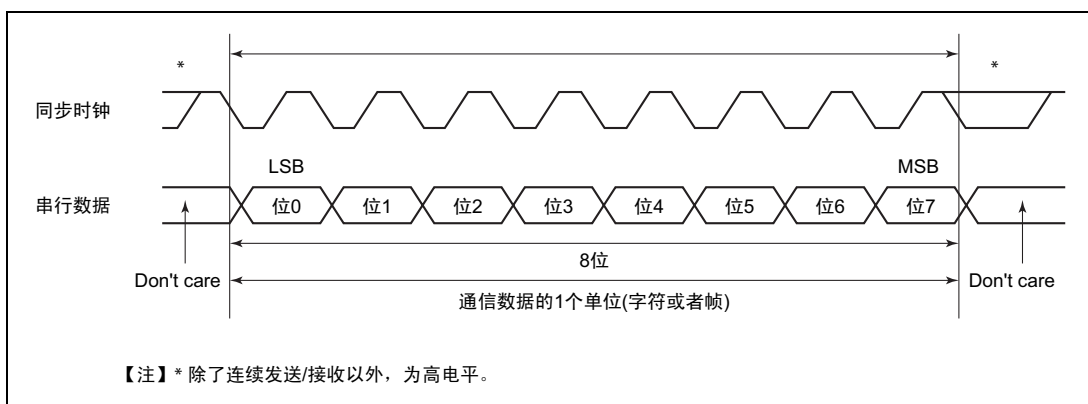


图 10.10 时钟同步通信的数据格式

在时钟同步通信中，从同步时钟的下降沿到下一个下降沿为止输出通信线路的数据。另外，在同步时钟的上升沿，保证数据的确认。

按以 LSB 开始，MSB 为最后的顺序，构成通信数据的 1 字符。MSB 输出后的通信线路保持 MSB 的状态。

在时钟同步模式，SCI3 在接收时和同步时钟的上升沿同步取得数据。

发送/接收格式为固定的 8 位数据。不能附加奇偶校验位和多处理器位。

(2) 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能从由内部波特率发生器生成的内部时钟或者从 SCK32 管脚输入的外部同步时钟的 2 种时钟中选择。关于时钟源的选择，请参照表 10.9。

在使用内部时钟运行时，从 SCK32 管脚输出同步时钟。在发送/接收 1 字符时，输出 8 个脉冲的同步时钟，当不进行发送/接收时，同步时钟被固定为高电平。

(3) 数据的发送/接收运行

(a) SCI3 的初始化

在发送/接收数据前，必须按“10.3.2 (3) (a) SCI3 的初始化”的说明和图 10.5 的例子，初始化 SCI3。

(b) 发送数据

发送数据的流程图例子如图 10.11 所示。

必须在初始化 SCI3 后，按如下步骤发送数据：

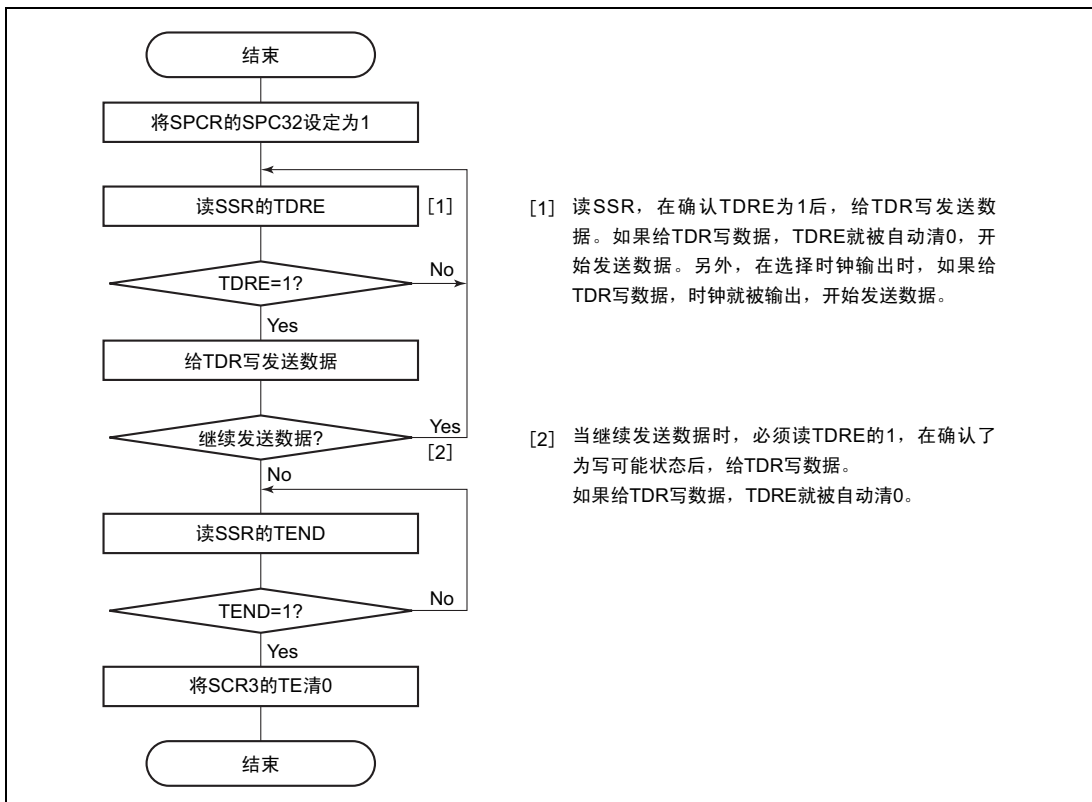


图 10.11 发送数据的流程图例子（时钟同步模式）

在发送数据时，SCI3 进行如下运行：

SCI3 监视 SSR 的 TDRE，如果为 0，就认为数据被写入 TDR，将数据从 TDR 传送到 TSR。然后将 TDRE 置 1，开始发送。此时，如果 SCR3 的 TIE 已被置 1，就产生 TXI。

在设定成时钟输出模式时，SCI3 输出 8 个脉冲的同步时钟。在设定成外部时钟时，和输入时钟同步输出数据。按从 LSB（位 0）到 MSB（位 7）的顺序，从 TXD32 管脚发送串行数据。

然后，在送出 MSB（位 7）时，检查 TDRE。

如果 TDRE 为 0，就将数据从 TDR 传送到 TSR，开始下一帧的发送。如果 TDRE 为 1，就将 SSR 的 TEND 置 1，在送出 MSB（位 7）后，保持状态。此时如果 SCR3 的 TEIE 已被置 1，就产生 TEI。

在发送结束后，SCK 管脚固定为高电平。

【注】 由于在表示数据接收状态的错误标志（OER、FER、PER）被置 1 的状态下，不能进行发送，因此在发送前必须确认错误标志（OER、FER、PER）是否已被清 0。

时钟同步模式发送时的运行例子如图 10.12 所示。

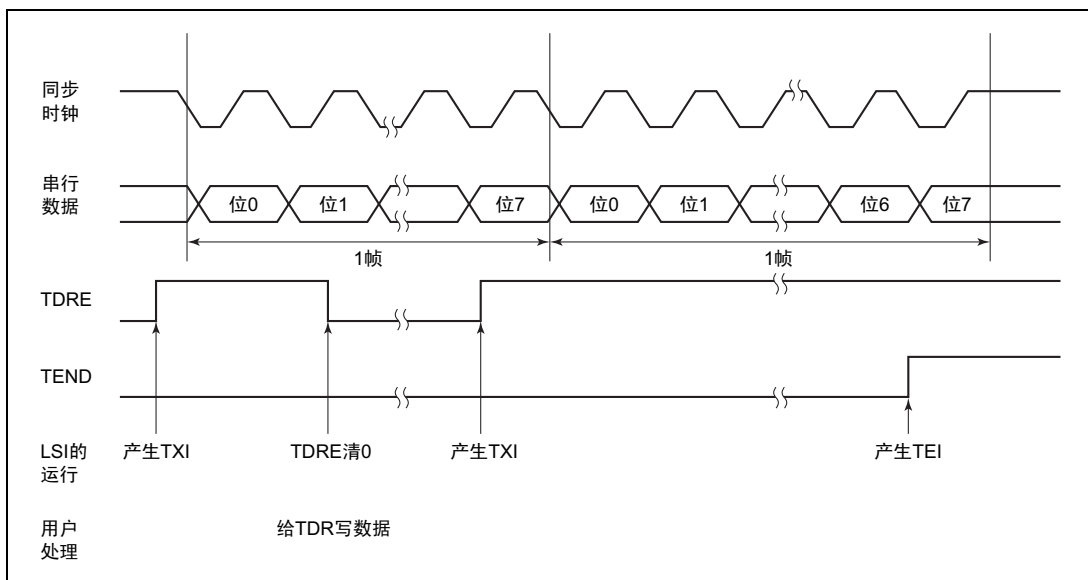


图 10.12 时钟同步模式发送时的运行例子

(c) 接收数据

接收数据的流程图例子如图 10.13 所示。

必须在初始化 SCI3 后，按如下步骤接收数据：

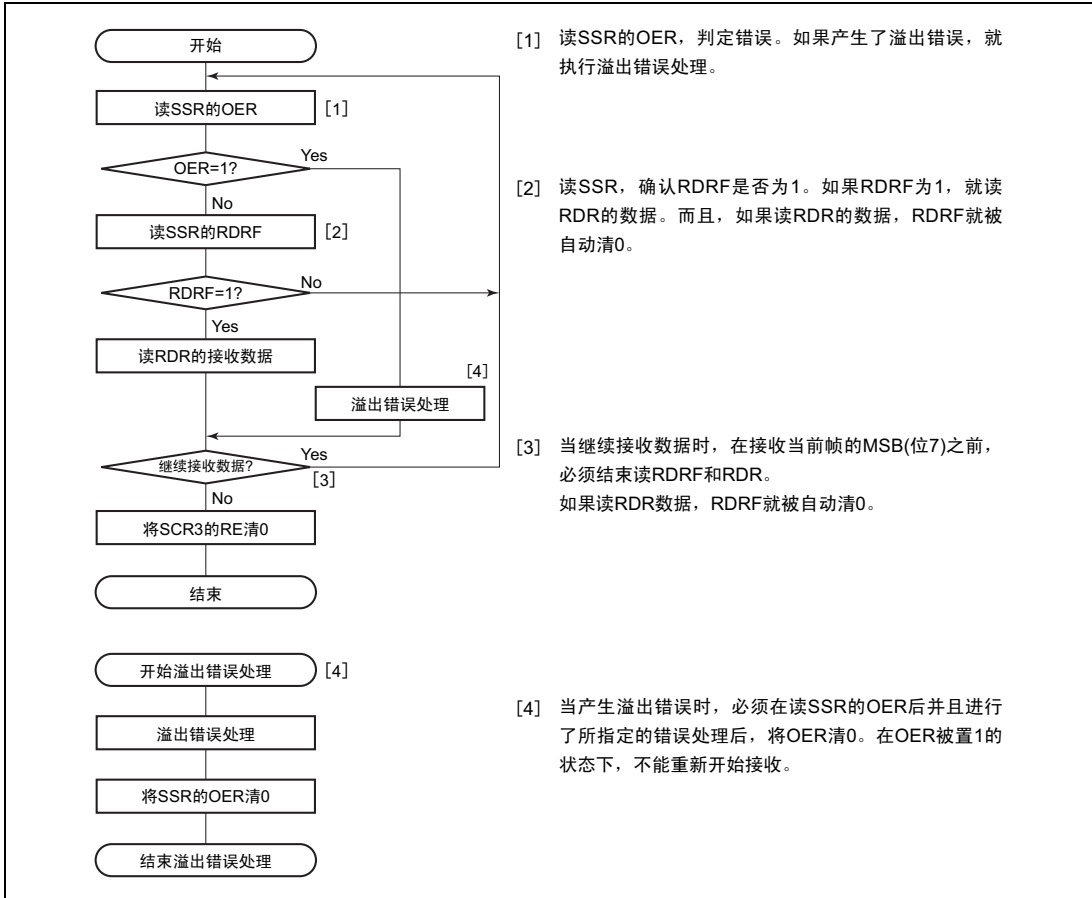


图 10.13 接收数据的流程图例子（时钟同步模式）

在接收时，SCI3 进行如下的运行：

SCI3 和同步时钟的输入或者输出同步进行内部的初始化，开始接收。

按从 RSR 的 LSB 到 MSB 的顺序，将接收到的数据置位。

在接收后，SCI3 检查 RDRF 是否为 0 以及是否处于能将接收数据从 RSR 向 RDR 传送的状态。

如果此检查结果未发现溢出错误，就将 RDRF 置 1，并且将接收数据保存到 RDR。

此时，如果 SCR3 的 RIE 已被置 1，就产生 RXI。但是，如果在错误检查中检测出溢出错误，OER 就被置 1。而且 RDRF 保持置 1 的状态，此时如果 SCR3 的 RIE 已被置 1，就产生 ERI。

关于溢出错误的检测条件和接收数据的处理，请参照表 10.12。

【注】 在接收错误被置位的状态下，不能继续接收运行。因此，在继续接收前必须将 OER、FER、PER 以及 RDRF 清 0。

时钟同步模式接收时的运行例子如图 10.14 所示。

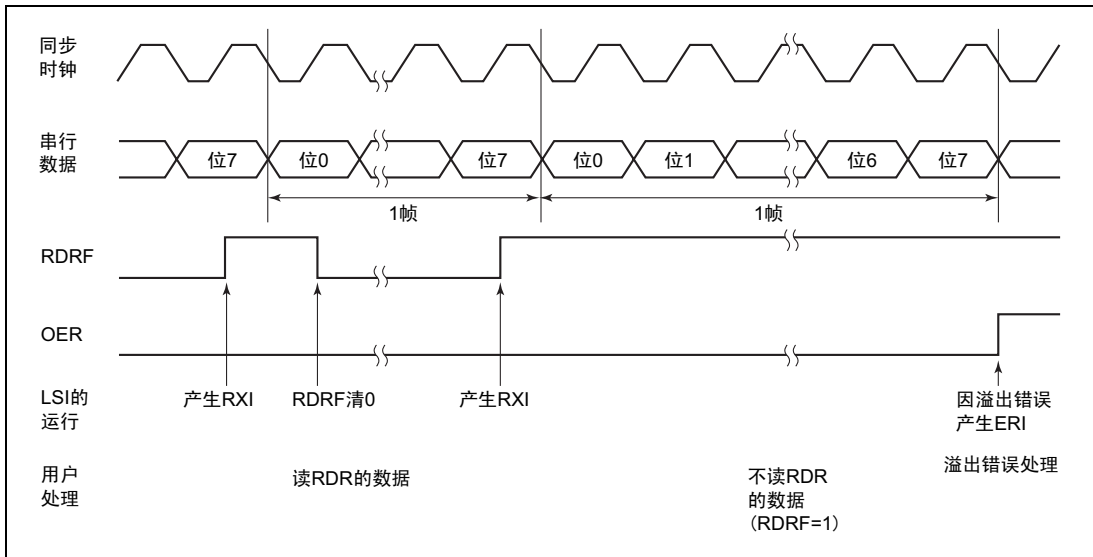


图 10.14 时钟同步模式接收时的运行例子

(d) 数据发送和接收同时运行

数据发送和接收同时运行的流程图例子如图 10.15 所示。

必须在初始化 SCI3 后，按如下步骤同时进行数据发送和接收。

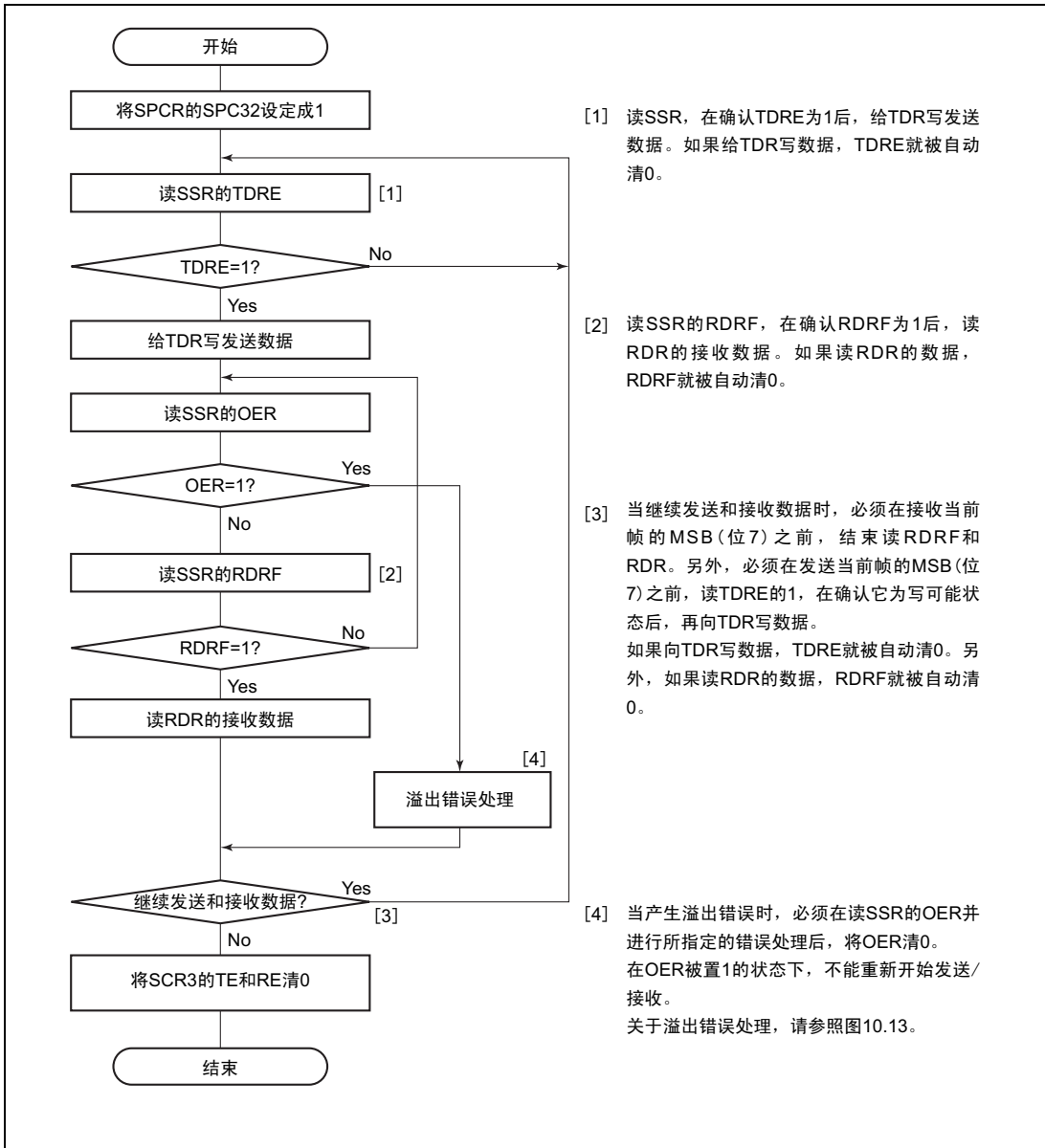


图 10.15 数据发送和接收同时运行的流程图例子（时钟同步模式）

- 【注】 1. 在从发送切换到同时发送和接收时，必须按如下方法进行：
必须在确认 SCI3 处于发送结束状态，并且确认 TDRE 和 TEND 处于置 1 状态后，先将 TE 清 0，然后将 TE 和 RE 同时置 1。
2. 在从接收切换到同时发送和接收时，必须按如下方法进行：
必须确认 SCI3 处于接收结束状态，并且在将 RE 清 0 后确认 RDRF 和错误标志（OER、FER、PER）处于清 0 状态，然后将 TE 和 RE 同时置 1。

10.3.4 多处理器通信功能

多处理器通信功能是指通过在异步模式使用附加多处理器位的格式（多处理器格式）进行串行数据通信，在多处理器之间共用通信线路发送/接收数据的功能。

在进行多处理器通信时，给各接收站分配一个特有的 ID 码。串行通信周期由指定接收站的 ID 发送周期和对指定接收站发送通信数据的数据发送周期 2 部分构成。通过多处理器位区分 ID 发送周期和数据发送周期。当多处理器位为 1 时，为 ID 发送周期；当多处理器位为 0 时，为数据发送周期。

发送站首先发送将要进行串行数据通信的接收站 ID 码附加多处理器位为 1 的通信数据。然后发送将发送数据附加多处理器位为 0 的通信数据。接收站如果接收到多处理器位为 1 的通信数据，就与本站的 ID 比较。如果一致，就继续接收被发送的通信数据。如果不一致，就在多处理器位为 1 的通信数据再次被发送前，跳过通信数据。

这样就能在多处理器之间发送和接收数据。

使用多处理器格式的处理器之间通信的例子如图 10.16 所示。

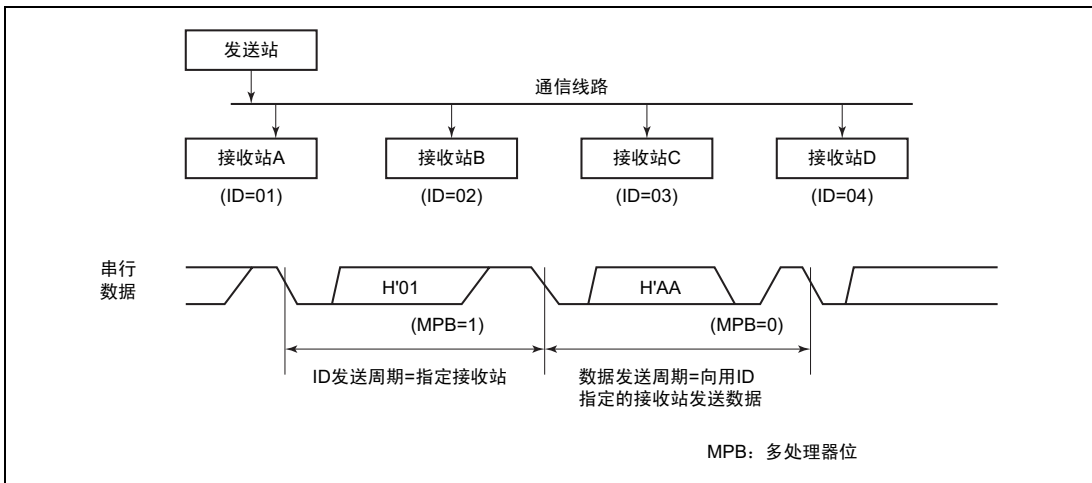


图 10.16 使用多处理器格式的处理器之间通信的例子
(向接收站 A 发送数据 H'AA 的例子)

发送/接收格式能选择 4 种格式。在指定多处理器格式时，奇偶校验的指定无效。详细内容请参照表 10.11。

关于进行多处理器通信时的时钟，请参照“10.3.2 异步模式时的运行”。

(a) 多处理器数据发送

多处理器数据发送的流程图例子如图 10.17 所示。

必须在初始化 SCI3 后，按如下步骤进行多处理器数据发送。

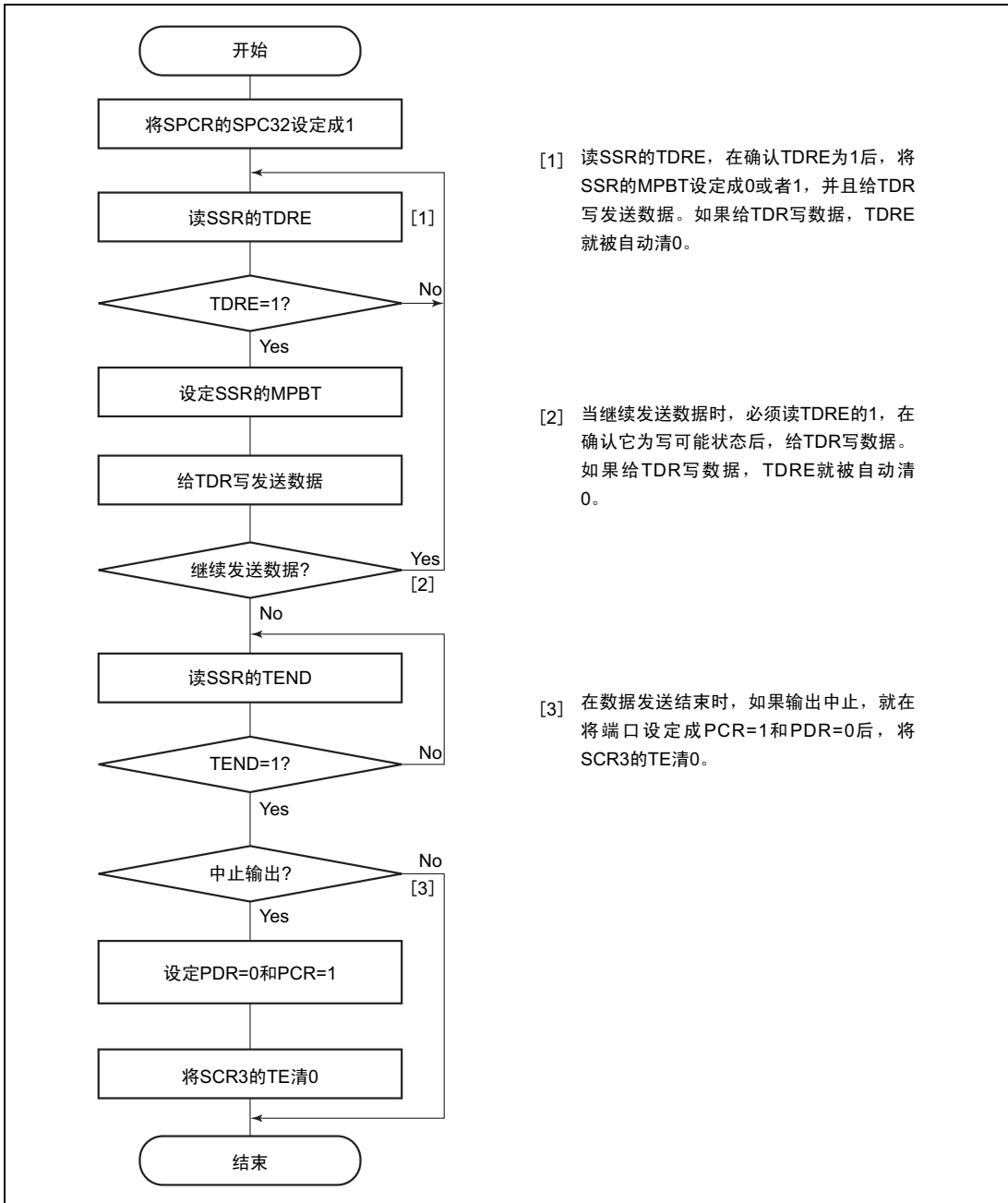


图 10.17 多处理器数据发送的流程图例子

在发送数据时，SCI3 进行如下运行：

SCI3 监视 SSR 的 TDRE，如果为 0，就认为数据已被写入 TDR，将数据从 TDR 传送到 TSR。然后将 TDRE 置 1，开始发送。此时，如果 SCR3 的 TIE 已被置 1，就产生 TXI。

按表 10.11 所示的通信格式，从 TXD 管脚发送串行数据。

然后，在送出停止位时，检查 TDRE。

如果 TDRE 为 0，就将数据从 TDR 传送到 TSR，在送出停止位后，开始下一帧的发送。如果 TDRE 为 1，就将 SSR 的 TEND 置 1，在送出停止位后，变为输出 1 的“标记状态”。此时如果 SCR3 的 TEIE 已被置 1，就产生 TEI。

多处理器格式发送时的运行例子如图 10.18 所示。

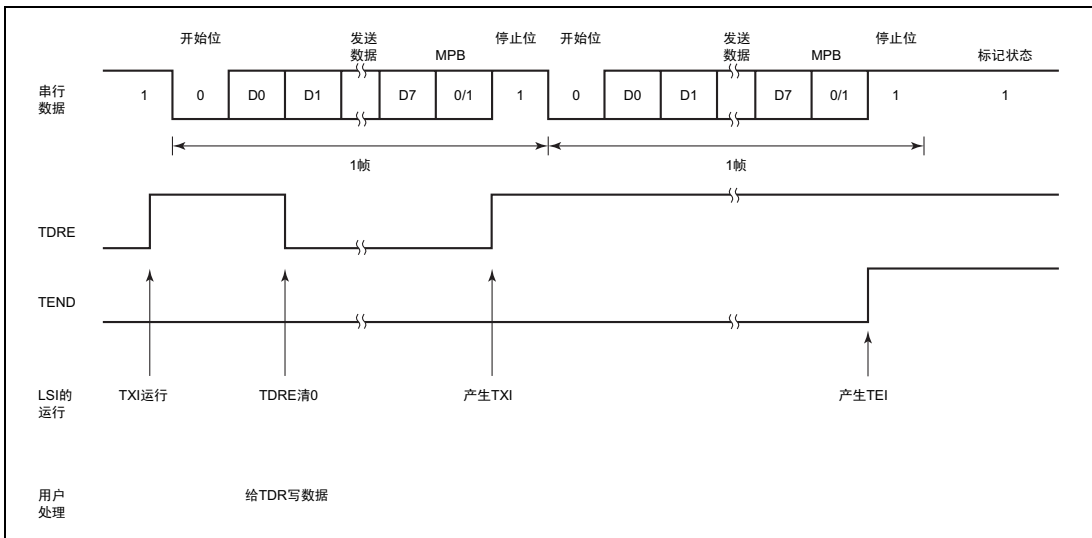


图 10.18 多处理器格式发送时的运行例子
(8 位数据/有多处理器位/1 个停止位的例子)

(b) 多处理器数据接收

多处理器数据接收的流程图例子如图 10.19 所示。

必须在初始化 SCI3 后，按如下步骤进行多处理器数据接收：

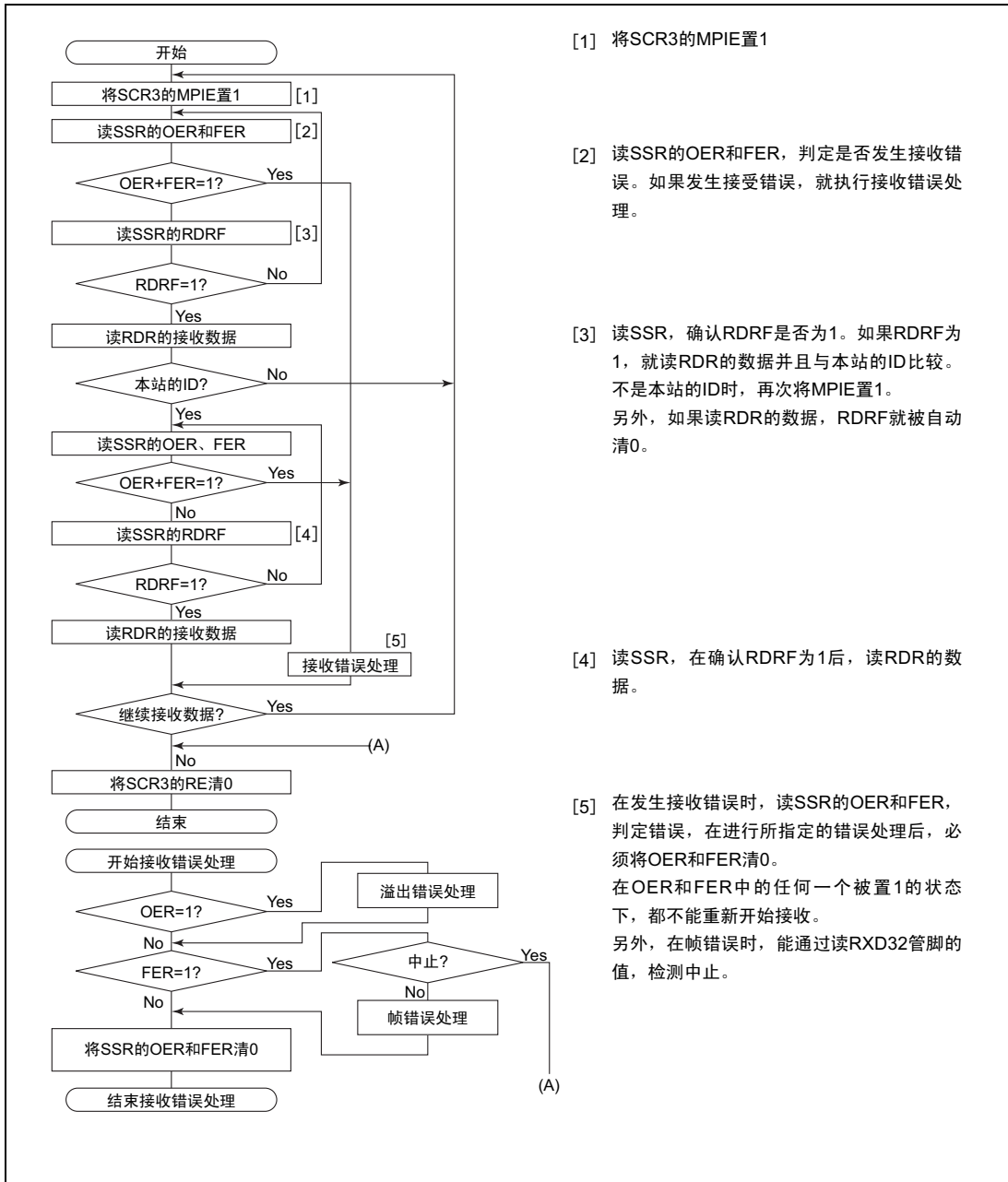


图 10.19 多处理器数据接收的流程图例子

多处理器格式接收时的运行例子如图 10.20 所示。

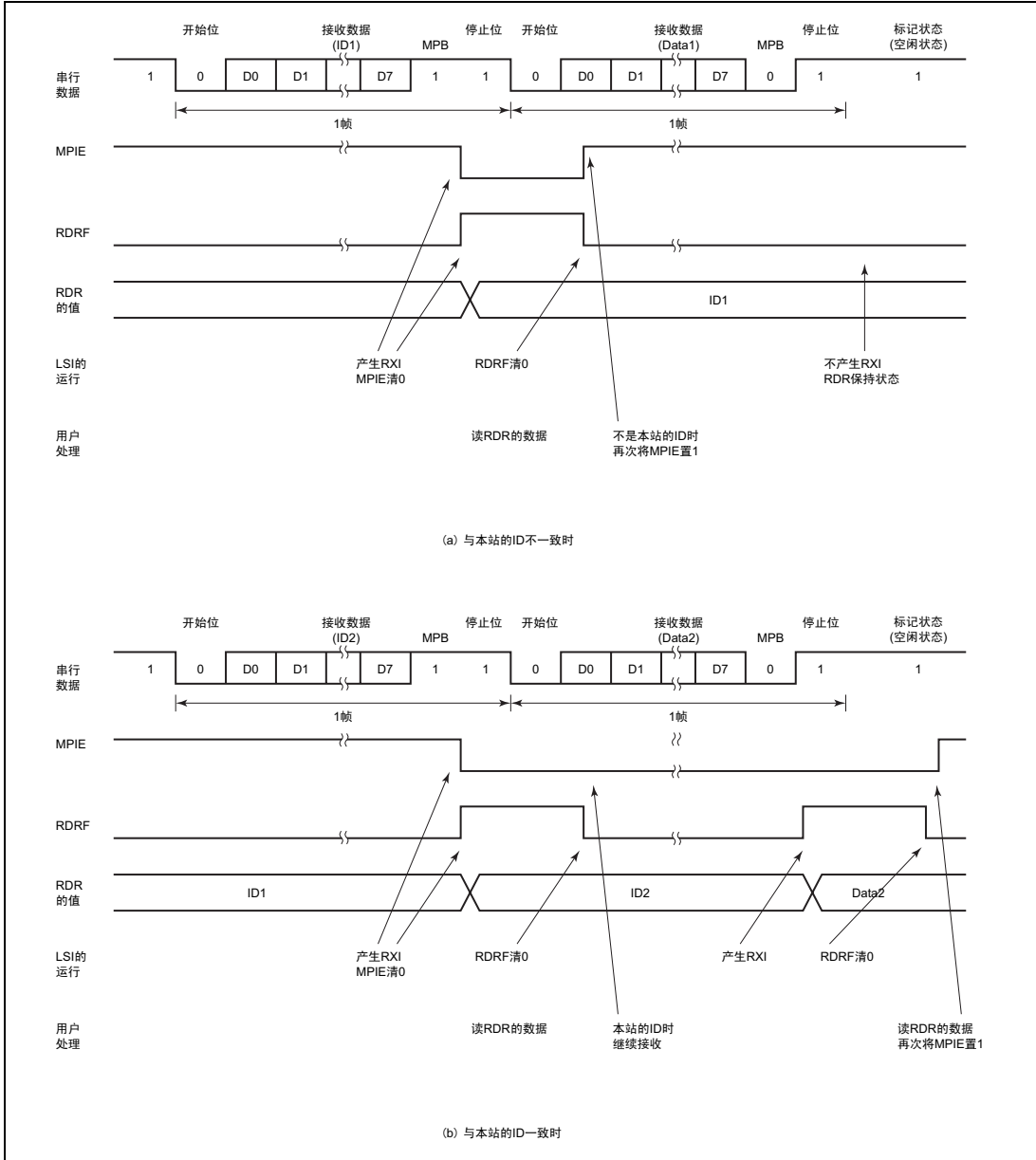


图 10.20 多处理器格式接收时的运行例子
(8 位数据/有多处理器位/1 个停止位的例子)

10.4 中断源

SCI3 的中断源有发送结束、发送数据空、接收数据满以及 3 种接收错误（溢出错误、帧错误、奇偶校验错误）共计 6 种，并且被分配共同的向量地址。

各中断请求的内容如表 10.13 所示。

表 10.13 SCI3 中断请求的内容

中断的略称	中断请求的内容	向量地址
RXI	由接收数据满（RDRF）产生的中断请求	H'0024
TXI	由发送数据空（TDRE）产生的中断请求	
TEI	由发送结束（TEND）产生的中断请求	
ERI	由接收错误（OER、FER、PER）产生的中断请求	

通过 SCR3 的 TIE 和 RIE，能允许/禁止各中断请求。

如果 SSR 的 TDRE 置 1，就产生 TXI。如果 SSR 的 TEND 置 1，就产生 TEI。这 2 个中断在发送时产生。

SSR 的 TDRE 的初始值为 1。因此在将发送数据传送到 TDR 之前，如果将 SCR3 的 TIE 置 1，允许发送数据空的中断请求（TXI），即使没准备好发送数据，也产生 TXI。

另外，SSR 的 TEND 的初始值为 1。因此在发送数据传送到 TDR 之前，如果将 SCR3 的 TEIE 置 1，允许发送结束的中断请求（TEI），即使发送数据没被发送，也产生 TEI。

在中断处理程序中，通过给 TDR 传送发送数据的处理，能有效地利用这些中断请求。

相反，为了防止发生这些中断请求（TXI、TEI），在将发送数据传送到 TDR 后，必须将对应这些中断请求的允许位（TIE、TEIE）置 1。

如果 SSR 的 RDRF 被置 1，就产生 RXI。如果 OER、PER、FER 中的任何一个被置 1，就产生 ERI。这 2 个中断请求在接收时产生。

有关中断的详细内容，请参照“3.3 中断”。

10.5 使用时的注意事项

在使用 SCI3 时，必须注意以下问题：

(1) 关于对 TDR 的写操作和 TDRE 的关系

SSR 的 TDRE 是表示没有给 TDR 准备好串行发送数据的状态标志。如果给 TDR 写数据，TDRE 就被自动清 0。如果 SCI3 将数据从 TDR 传送到 TSR，TDRE 就被置 1。

尽管和 TDRE 的状态无关，能对 TDR 写数据，但是如果在 TDRE 为 0 的状态下将新数据写到 TDR，就会丢失保存在 TDR 中的还没被传送到 TSR 的旧数据。因此，为了正确进行串行发送，必须在确认 TDRE 被置 1 后，只能给 TDR 写 1 次发送数据（不能写 2 次以上）。

(2) 关于同时检测出多个接收错误时的运行

当同时检测出多个接收错误时，SSR 的各状态标志被置位的状态如表 10.14 所示。当检测出溢出错误时，不进行从 RSR 到 RDR 的数据传送，接收数据丢失。

表 10.14 SSR 的状态标志的状态和接收数据的传送

SSR 的状态标志				传送接收数据	接收错误的状态
RDRF*	OER	FER	PER	RSR→RDR	
1	1	0	0	×	溢出错误
0	0	1	0	○	帧错误
0	0	0	1	○	奇偶校验错误
1	1	1	0	×	溢出错误+帧错误
1	1	0	1	×	溢出错误+奇偶校验错误
0	0	1	1	○	帧错误+奇偶校验错误
1	1	1	1	×	溢出错误+帧错误+奇偶校验错误

○：RSR→RDR 传送接收数据。

×：RSR→RDR 不传送接收数据。

【注】* RDRF 保持数据接收前的状态。但是，必须注意：由于延迟了读前一帧的接收数据，因此如果在发生下一帧的溢出错误后读 RDR，RDRF 就被清 0。

(3) 关于中止的检测和处理

在检测帧错误时，通过直接读 RXD32 管脚的值，能检测中止。由于在中止期间来自 RXD32 管脚的输入全部为 0，因此 FER 被置位，而且 PER 也可能被置位。

SCI3 在接收中止后，仍继续接收运行。因此，必须注意：即使将 FER 清 0，FER 也会再次被置 1。

(4) 标记状态和中止的发送

当 TE 为 0 时, TXD32 管脚变为由 PDR 和 PCR 决定输入/输出方向和电平的 I/O 端口。利用它可将 TXD32 管脚设定为标记状态, 或者在数据发送时能发送中止。

为了在将 TE 置 1 前, 使通信线路处于标记状态 (1 的状态), 设定 PCR=1 和 PDR=1。此时, 由于 TE 已被清 0, 因此 TXD32 管脚变为 I/O 端口, 并且输出 1。

另外, 在发送数据时, 如果要发送中止, 就在设定 PCR=1 和 PDR=0 后, 将 TE 清 0。

如果将 TE 清 0, 就与现在的发送状态无关, 对发送部进行初始化, TXD32 管脚变为 I/O 端口, 从 TXD32 管脚输出 0。

(5) 关于接收错误标志和发送运行 (仅限于时钟同步模式)

在接收错误标志 (OER、PER、FER) 被置 1 的状态下, 即使将 TDRE 清 0, 也不能开始发送。必须在发送开始时, 将接收错误标志清 0。

另外, 必须注意: 即使将 RE 清 0, 也不能将接收错误标志清 0。

(6) 异步模式的接收数据采样时序和接收容限

在异步模式, SCI3 以频率为 16 倍传送率的基本时钟运行。

在接收时, SCI3 通过基本时钟采样开始位的下降沿, 使内部同步。另外, 在基本时钟的第 8 个上升沿, 将接收数据取到内部。

如图 10.21 所示。

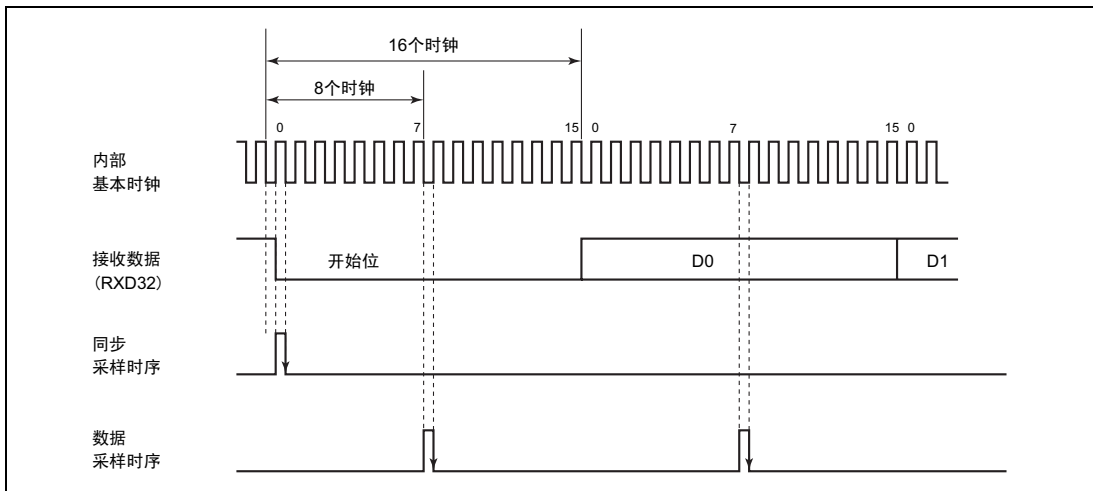


图 10.21 异步模式的接收数据采样时序

因此，在异步模式的接收容限能用 (1) 的计算式表示。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad (\%) \quad \dots\dots (1)$$

M: 接收容限 (%)

N: 对于时钟的位速率的比 (N=16)

D: 时钟的占空比 (D=0.5~1.0)

L: 帧长 (L=9~12)

F: 时钟频率偏差的绝对值

在 (1) 的计算式中，如果 F (时钟频率偏差的绝对值) = 0、D (时钟的占空比) = 0.5，根据 (2) 的计算式，接收容限为 46.875%。

D=0.5、F=0 时、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad (\%) \\ = 46.875\% \quad \dots\dots (2)$$

但是，由于此值只是计算值，因此在系统设计时应留有 20~30% 的容限。

(7) 关于 RDR 的读和 RDRF 的关系

SCI3 在接收运行中边检查 RDRF 标志边运行。在 1 帧接收结束时，如果 RDRF 已被清 0，就结束通常的数据接收。另外，如果 RDRF 被置 1，就为溢出错误。

如果读 RDR 的内容，RDRF 就被自动清 0。因此，如果进行 2 次以上 RDR 的读操作，就在 RDRF 为 0 的状态下，进行第 2 次以后的读操作。必须注意：如果在 RDRF 为 0 的状态下读 RDR，在读操作和下一帧的接收结束时序重叠时，就可能读到下一帧的数据。如图 10.22 所示。

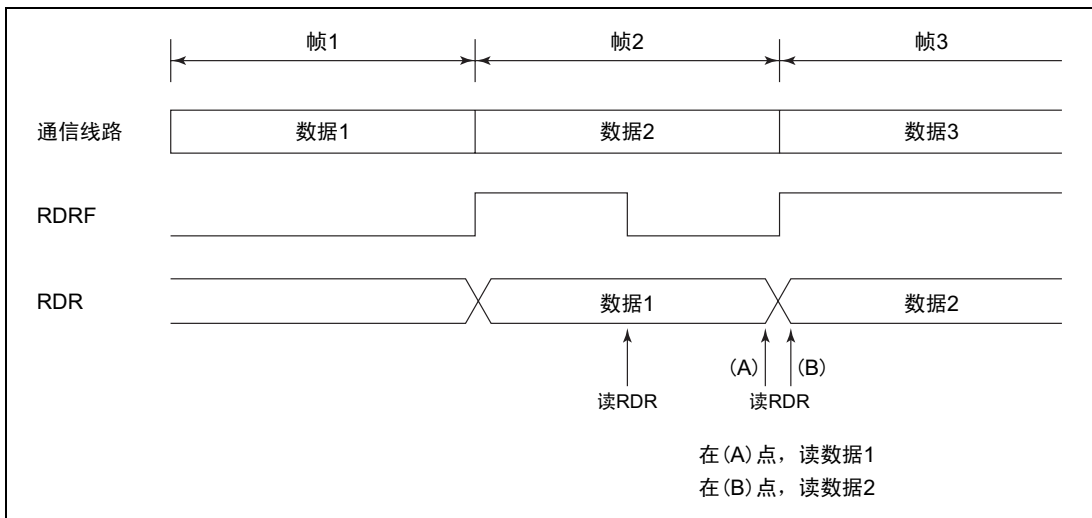


图 10.22 读 RDR 的时序和数据的关系

此时，必须在确认 RDRF 被置 1 后，只进行 1 次 RDR 的读操作（不能读 2 次以上）。如果进行 2 次以上的读操作，必须将第一次读到的数据传送到 RAM 等，并使用此内容。另外，在下一帧接收结束前，必须留有余地进行 RDR 的读操作。作为具体时序，在时钟同步模式时，必须在传送第 7 位前，结束 RDR 的读操作。而在异步模式时，必须在传送 STOP 位前，结束 RDR 的读操作。

(8) 关于在状态转移时的发送和接收运行

状态转移处理必须在确认发送和接收运行完全结束后进行。

(9) 关于 SCK32 管脚功能切换的注意事项

必须注意：在时钟同步模式使用 SCI3 后，如果将 SCK32 管脚的管脚功能从时钟输出切换到输入/输出端口，就在切换管脚功能的瞬间（系统时钟 ϕ 的 1/2 周期）对 SCK32 管脚输出低电平。

防止此瞬间输出低电平的方法如下：

(a) 将 SCK32 管脚从时钟输出状态变为非输出状态的情况

在停止发送/接收时，必须在用 1 条指令将 SCR3 的 TE 位和 RE 位清 0 的同时，将 CKE1 位设定成 1，并且将 CKE0 位设定成 0。

此时，必须在 SMR 的 COM 位置 1 的状态下使用。因此，不能作为输入/输出端口使用。另外，为了不给 SCK32 管脚施加中间电压，必须将连接到 SCK32 管脚的线路通过电阻上拉到 V_{CC} 电位，或者从其它芯片给予输出。

(b) 将 SCK32 管脚的管脚功能从时钟输出状态切换到输入/输出端口的情况

在停止发送/接收时，

- ① 首先，必须在用 1 条指令将 SCR3 的 TE 位和 RE 位都清 0 的同时，将 CKE1 位设定成 1，将 CKE0 位设定成 0。
- ② 其次，必须将 SMR 的 COM 位清 0。
- ③ 最后，必须将 SCR3 的 CKE1 和 CKE0 位同时清 0。此时还必须注意：不要给 SCK32 管脚施加中间电压。

(10) 关于在子激活模式和子睡眠模式时的设定

在子激活模式或者子睡眠模式时，只有在 CPU 的运行时钟为 $\phi_w/2$ 时，才能使用 SCI3。必须将 SYSCR2 的 SA1 位置 1。

(11) 关于在执行串行通信接口时使用的振荡器（仅 H8/38124 群）

在执行 H8/38124 群的串行通信接口时，必须使用系统时钟振荡器，而不能使用内部振荡器。有关系统时钟振荡器和内部振荡器的切换方法，请参照“4.2 (5) 选择内部振荡器的方法”。

第 11 章 10 位 PWM

11.1 概要

本 LSI 内置 PWM1 和 PWM2 的 2 个 10 位 PWM (Pulse Width Modulator)，它们具有相同功能。能通过给 PWM 连接低通滤波器，作为 D/A 转换器使用。在本章的各节中，对寄存器名等用下角标 m ($m=1\sim 2$) 表示，如标记成 PWDRL m 等，它表示各 PWM 的 PWDRL 寄存器。

11.1.1 特点

10 位 PWM 的特点如下所示：

- 能选择 4 种转换周期

能选择如下转换周期：

- 1 个转换周期为 $4096/\phi$ 、最小调制宽度为 $4/\phi$
- 1 个转换周期为 $2048/\phi$ 、最小调制宽度为 $2/\phi$
- 1 个转换周期为 $1024/\phi$ 、最小调制宽度为 $1/\phi$
- 1 个转换周期为 $512/\phi$ 、最小调制宽度为 $1/2\phi$ 。

- 减少波纹的脉冲分割方式
- 在未使用时，能通过模块待机模式，以单模块设定待机模式

对于 H8/38124 群，PWM 输出能从脉冲分割方式 PWM 和事件计数器 PWM (AEC 内置的 PWM) 2 种方式中选择 (H8/38024 群、H8/38024R 群、H8/38024S 群的 PWM 输出只有脉冲分割方式 PWM)。另外，有关事件计数器 PWM，请参照“9.7 异步事件计数器”。

11.1.2 框图

H8/38024 群、H8/38024R 群、H8/38024S 群的 10 位 PWM 的框图如图 11.1 (1) 所示，H8/38124 群的 10 位 PWM 的框图如图 11.1 (2) 所示。

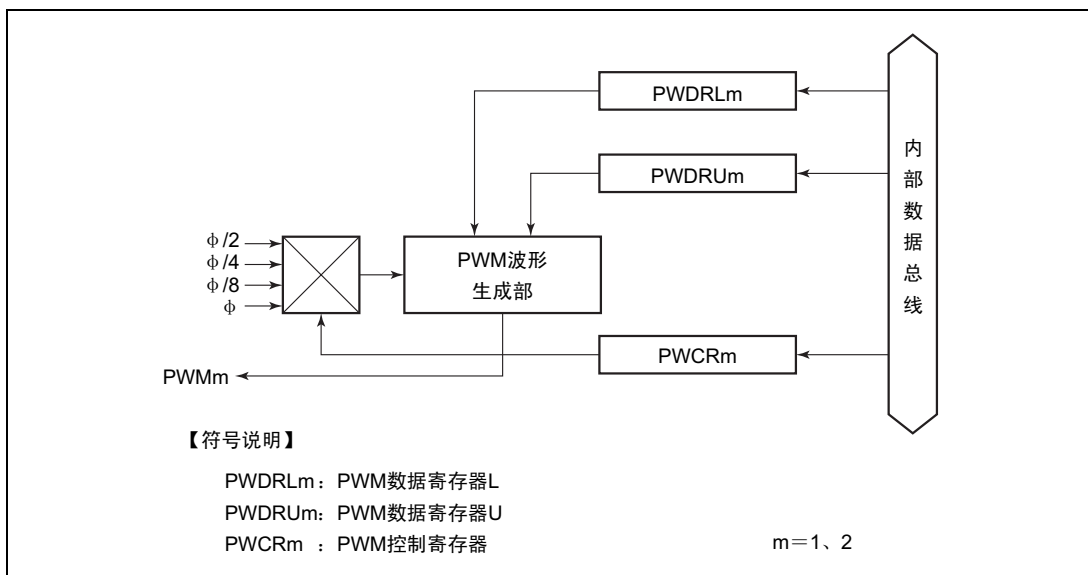


图 11.1 (1) 10 位 PWM 的框图 (H8/38024 群、H8/38024R 群、H8/38024S 群: 1ch 的结构)

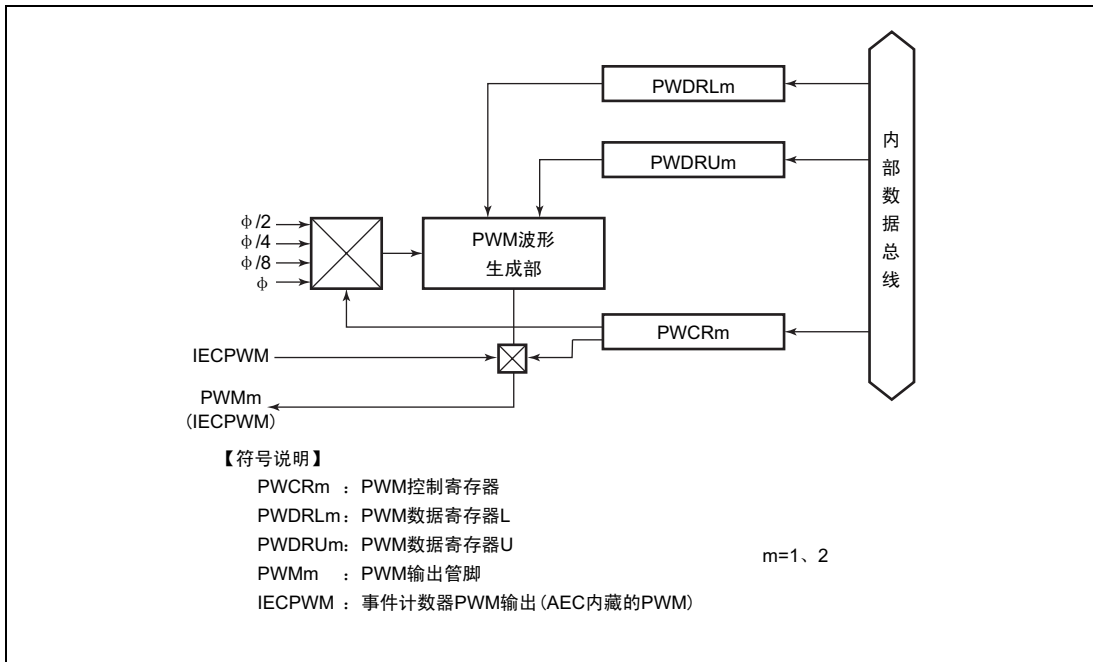


图 11.1 (2) 10 位 PWM 的框图 (H8/38124 群: 1ch 的结构)

11.1.3 管脚构成

10 位 PWM 的管脚构成如表 11.1 所示。

表 11.1 管脚构成

名称	略称	输入/输出	功能
PWM1 输出管脚	PWM1	输出	脉冲分割方式 PWM 波形输出 (PWM1) / 事件计数器 PWM 输出 (IECPWM) *
PWM2 输出管脚	PWM2	输出	脉冲分割方式 PWM 波形输出 (PWM2) / 事件计数器 PWM 输出 (IECPWM) *

【注】 * 仅 H8/38124 群有效

11.1.4 寄存器构成

10 位 PWM 的寄存器构成如表 11.2 所示。

表 11.2 寄存器构成

名称	略称	R/W	初始值	地址
PWM1 控制寄存器	PWCR1	W	H'FC/H'F8*	H'FFD0
PWM1 数据寄存器 U	PWDRU1	W	H'FC	H'FFD1
PWM1 数据寄存器 L	PWDRL1	W	H'00	H'FFD2
PWM2 控制寄存器	PWCR2	W	H'FC/H'F8*	H'FFCD
PWM2 数据寄存器 U	PWDRU2	W	H'FC	H'FFCE
PWM2 数据寄存器 L	PWDRL2	W	H'00	H'FFCF
时钟停止寄存器 2	CKSTPR2	R/W	H'FF	H'FFFB

【注】 * 仅 H8/38124 群有效

11.2 各寄存器说明

11.2.1 PWM 控制寄存器 (PWCRm)

位	7	6	5	4	3	2	1	0
	—	—	—	—	—	—/PWCRm2*	PWCRm1	PWCRm0
初始值:	1	1	1	1	1	1/0*	0	0
R/W :	—	—	—	—	—	—/W*	W	W

【注】 * 仅 H8/38124 群有效

H8/38024 群、H8/38024R 群、H8/38024S 群的 PWCRm 为 8 位只写寄存器，选择输入时钟。

在复位时，PWCRm 被初始化成 H'FC。

另外，H8/38124 群的 PWCRm 为 8 位只写寄存器，选择输入时钟和 PWM 输出方式。

在复位时，PWCRm 被初始化成 H'F8。

- 位7~2: 保留位/位7~3: 保留位*

保留位。各位总是读出 1，写无效。

【注】 * 仅 H8/38124 群有效

- 位2: 输出方式选择 (PWCRm2) *

从 PWMm 输出管脚选择输出方式。

本位为只写，总是读出 1。

位 2	说明
PWCRm2	
0	脉冲分割方式 PWM (初始值)
1	事件计数器 PWM (AEC 内置的 PWM)

【注】 * 仅 H8/38124 群有效

- 位1、0: 时钟选择1、0 (PWCRm1、0)

选择供给 10 位 PWM 的时钟。

本位为只写，总是读出 1。

位 1	位 0	说明
PWCRm1	PWCRm0	
0	0	输入时钟 = ϕ ($t_{\phi^*} = 1/\phi$) (初始值) 生成 1 个转换周期 $512/\phi$ 、最小调制宽度 $1/2\phi$ 的 PWM 波形
	1	输入时钟 = $\phi/2$ ($t_{\phi^*} = 2/\phi$) 生成 1 个转换周期 $1,024/\phi$ 、最小调制宽度 $1/\phi$ 的 PWM 波形
1	0	输入时钟 = $\phi/4$ ($t_{\phi^*} = 4/\phi$) 生成 1 个转换周期 $2,048/\phi$ 、最小调制宽度 $2/\phi$ 的 PWM 波形
	1	输入时钟 = $\phi/8$ ($t_{\phi^*} = 8/\phi$) 生成 1 个转换周期 $4,096/\phi$ 、最小调制宽度 $4/\phi$ 的 PWM 波形

【注】 * t_{ϕ} : PWM 输入时钟的周期

11.2.2 PWM 数据寄存器 U、L (PWDRUm、PWDRLm)

位 :	7	6	5	4	3	2	1	0
PWDRUm	—	—	—	—	—	—	PWDRUm1	PWDRUm0
初始值:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	W	W

位 :	7	6	5	4	3	2	1	0
PWDRLm	PWDRLm7	PWDRLm6	PWDRLm5	PWDRLm4	PWDRLm3	PWDRLm2	PWDRLm1	PWDRLm0
初始值:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRUm 和 PWDRLm 为 10 位只写寄存器，由 PWDRUm 的高 2 位和 PWDRLm 的低 8 位构成。被写入 PWDRUm 和 PWDRLm 的内容是对应 PWM 波形 1 周期的高电平宽度的合计。

如果给 PWDRUm 和 PWDRLm 写 10 位数据，PWDRUm 和 PWDRLm 的内容就被取到 PWM 的波形生成部，进行 PWM 波形生成的数据更新。对于同一个通道，必须按 PWDRLm→PWDRUm 的顺序设定 10 位数据。

1. 给 PWDRLm 写低 8 位的数据。
2. 给同一通道的 PWDRUm 写高 2 位的数据。

PWDRUm 和 PWDRLm 为只写寄存器，各位总是读出 1。

在复位时，PWDRUm 和 PWDRLm 被初始化成 HFC00。

11.2.3 时钟停止寄存器 2 (CKSTPR2)

位	7	6	5	4	3	2	1	0
	LVDCKSTP*	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	—	—	R/W	R/W	R/W	R/W	R/W

【注】*除了H8/38124群以外，和位6、位5相同，为保留位。

CKSTPR2 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关 PWM 的位。其它位，请参照各模块的有关章节。

位4、1: PWM待机模式控制 (PWmCKSTP)

控制设定和解除 PWMm 的模块待机模式。

PWmCKSTP	说明
0	将 PWMm 设定为模块待机模式
1	解除 PWMm 的模块待机模式 (初始值)

11.3 运行说明

11.3.1 运行说明

在使用 10 位 PWM 时，必须按如下步骤设定寄存器：

- (1) 对应使用的 PWM 通道，将 PMR9 的 PWM1 或者 PWM2 设定成 1，将 P90/PWM1 管脚或者 P91/PWM2 管脚设定成 PWM 输出管脚。
- (2) 通过 PWCRm，从 4096/ ϕ （PWCRm1=1、PWCRm0=1）、2048/ ϕ （PWCRm1=1、PWCRm0=0）、1024/ ϕ （PWCRm1=0、PWCRm0=1）、512/ ϕ （PWCRm1=0、PWCRm0=0）中选择 1 个转换周期。另外，在 H8/38124 群的情况下，从脉冲分割方式 PWM（PWCRm2=0）和事件计数器 PWM（PWCRm2=1）中选择输出方式。有关事件计数器 PWM（AEC 内置的 PWM）的设定方式，请参照“9.7 异步事件计数器（AEC）”。
- (3) 给 PWDRLm 和 PWDRLm 设定输出波形数据。此时，必须按同一个通道的 PWDRLm→PWDRLm 的顺序进行写操作。在对 PWDRLm 写的时候，数据被取到 PWM 波形生成部，在与内部信号取得同步后，进行 PWM 波形生成的更新。

如图 11.2 所示，1 个转换周期由 4 个脉冲构成，此 1 个转换周期中的高电平宽度的合计（ T_H ）对应 PWDRLm 的数据和 PWDRLm 的数据。

此关系用下面的计算式表示：

$$T_H = (\text{PWDRLm、PWDRLm 的数值} + 4) \times t\phi / 2$$

在此， $t\phi$ 是 PWM 输入时钟的周期，为 $1/\phi$ （PWCRm=H'0）、 $2/\phi$ （PWCRm=H'1）、 $4/\phi$ （PWCRm=H'2）或者 $8/\phi$ （PWCRm=H'3）。

（例）为了获得 1024 μ s 的转换周期，可进行如下设定：

如果设定成 PWCRm1=0 和 PWCRm0=0，由于 1 个转换周期为 512/ ϕ ，因此 $\phi = 0.5\text{MHz}$ 。此时， $t_m = 256\mu\text{s}$ ， $1/2\phi$ （精度）= 1.0 μs 。

如果设定成 PWCRm1=0 和 PWCRm0=1，由于 1 个转换周期为 1024/ ϕ ，因此 $\phi = 1\text{MHz}$ 。此时， $t_m = 256\mu\text{s}$ ， $1/\phi$ （精度）= 1.0 μs 。

如果设定成 PWCRm1=1 和 PWCRm0=0，由于 1 个转换周期为 2048/ ϕ ，因此 $\phi = 2\text{MHz}$ 。此时， $t_m = 256\mu\text{s}$ ， $2/\phi$ （精度）= 1.0 μs 。

如果设定成 PWCRm1=1、PWCRm0=1，由于 1 个转换周期为 4096/ ϕ ，因此 $\phi = 4\text{MHz}$ 。此时， $t_m = 256\mu\text{s}$ ， $4/\phi$ （精度）= 1.0 μs 。

因此，为了获得 1 个 1024 μ s 的转换周期，系统时钟（ ϕ ）必须使用 0.5MHz、1MHz、2MHz 或者 4MHz。

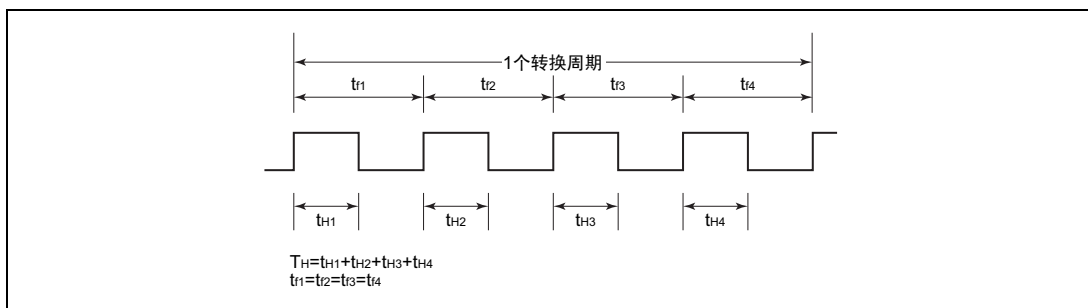


图 11.2 PWM 的输出波形

11.3.2 PWM 的运行模式

PWM 的运行模式如表 11.3 所示。

表 11.3 PWM 的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
PWCRm	复位	运行	运行	保持	保持	保持	保持	保持
PWDRUm	复位	运行	运行	保持	保持	保持	保持	保持
PWDRLm	复位	运行	运行	保持	保持	保持	保持	保持

第 12 章 A/D 转换器

12.1 概要

本 LSI 内置梯形电阻方式的逐次逼近型 A/D 转换器，能最大测定 8 通道的模拟输入。

12.1.1 特点

A/D 转换器的特点如下所示：

- 10位分辨率
- 输入通道：8个通道
- 转换时间：每个通道12.4 μ s（以5MHz运行时）/6.2 μ s（在10MHz运行时）*
- 采样和保持功能
- 产生A/D转换结束中断请求
- 通过外部触发输入，能指定A/D转换开始
- 在未使用时，能通过模块待机模式，以单模块设定待机模式

【注】 * 仅为 H8/38124 群。

12.1.2 框图

A/D 转换器的框图如图 12.1 所示。

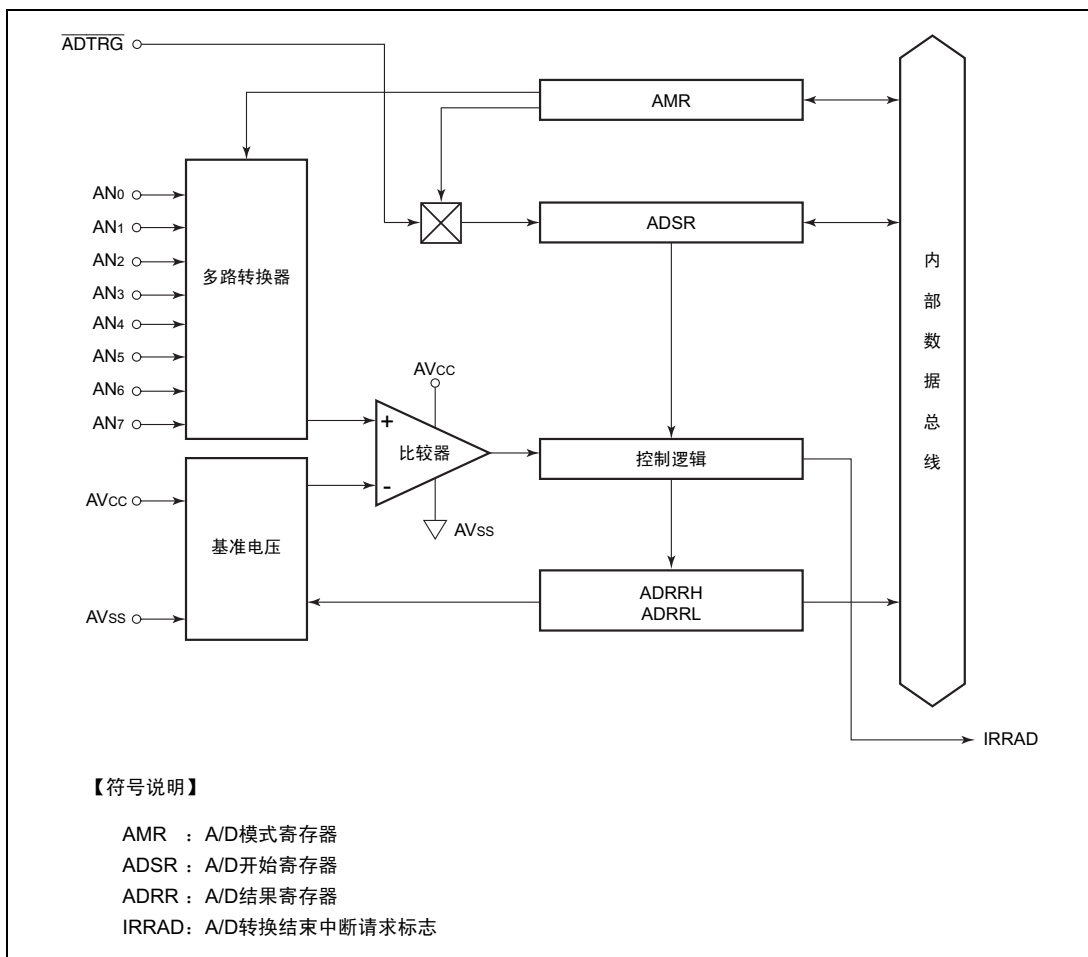


图 12.1 A/D 转换器框图

12.1.3 管脚构成

A/D 转换器的管脚构成如表 12.1 所示。

表 12.1 管脚构成

管脚名	略称	输入/输出	功能
模拟电源管脚	AV _{CC}	输入	模拟部的电源和基准电压
模拟接地管脚	AV _{SS}	输入	模拟部的接地和基准电压
模拟输入管脚 0	AN0	输入	模拟输入通道 0
模拟输入管脚 1	AN1	输入	模拟输入通道 1
模拟输入管脚 2	AN2	输入	模拟输入通道 2
模拟输入管脚 3	AN3	输入	模拟输入通道 3
模拟输入管脚 4	AN4	输入	模拟输入通道 4
模拟输入管脚 5	AN5	输入	模拟输入通道 5
模拟输入管脚 6	AN6	输入	模拟输入通道 6
模拟输入管脚 7	AN7	输入	模拟输入通道 7
外部触发输入管脚	$\overline{\text{ADTRG}}$	输入	控制 A/D 转换开始的外部触发输入

12.1.4 寄存器构成

A/D 转换器的寄存器构成如表 12.2 所示。

表 12.2 寄存器构成

名称	略称	R/W	初始值	地址
A/D 模式寄存器	AMR	R/W	H'30	H'FFC6
A/D 开始寄存器	ADSR	R/W	H'7F	H'FFC7
A/D 结果寄存器 H	ADRRH	R	不定	H'FFC4
A/D 结果寄存器 L	ADRRL	R	不定	H'FFC5
时钟停止寄存器 1	CKSTPR1	R/W	H'FF	H'FFFA

12.2 各寄存器说明

12.2.1 A/D 结果寄存器 (ADRRH、ADRRL)

位	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	—	—	—	—	—	—
初期值:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	—	—	—	—	—	—
	ADRRH								ADRRL							

ADRRH 和 ADRRL 是保存 A/D 转换结果的 16 位只读寄存器。高 8 位存入 ADRRH，低 8 位存入 ADRRL。

总是能从 CPU 读 ADRRH 和 ADRRL。在 A/D 转换过程中，ADRRH 和 ADRRL 的值不定。在 A/D 转换结束时，保存转换结果的 16 位数据，在开始下一次转换前，保持此数据。

不能通过复位清除 ADRRH 和 ADRRL。

12.2.2 A/D 模式寄存器 (AMR)

位	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初始值:	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMR 是 8 位可读写寄存器，设定 A/D 转换速度、选择外部触发以及指定模拟输入管脚。

在复位时，AMR 被初始化成 H'30。

- 位7: 时钟选择 (CKS)

设定 A/D 转换速度。

位 7	转换周期	转换时间		
		$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$
0	$62/\phi$ (初始值)	62 μs	12.4 μs	6.2 μs
1	$31/\phi$	31 μs	— ^{*1}	— ^{*1}

【注】 *1 对于 H8/38024、H8/38024S、H8/38024R 群，如果转换时间在 12.4 μs 以下，将不保证运行。转换时间必须在 12.4 μs 以上。

对于 H8/38124 群，如果转换时间小于 6.2 μs ，将不保证运行。转换时间必须在 6.2 μs 以上。

*2 仅 H8/38024 群

- 位6: 外部触发选择 (TRGE)

允许或者禁止通过外部触发输入开始 A/D 转换。

位 6	说明
TRGE	
0	禁止通过外部触发输入开始 A/D 转换 (初始值)
1	通过外部触发 ($\overline{\text{ADTRG}}$) 管脚的上升沿或者下降沿, 开始 A/D 转换*

【注】* 通过 IEGR 的 IEG4, 设定外部触发 ($\overline{\text{ADTRG}}$) 管脚的边沿选择。详细内容请参照“3.3.2(1) IRQ 边沿选择寄存器(IEGR)”。

- 位5~4: 保留位

保留位。各位总是读出 1, 写无效。

- 位3~0: 通道选择3~0 (CH3~CH0)

选择模拟输入通道。

必须在 ADSF=0 的状态下, 进行通道选择的切换。

位 3	位 2	位 1	位 0	模拟输入通道
CH3	CH2	CH1	CH0	
0	0	*	*	不选择 (初始值)
			0	AN0
	1	0	1	AN1
			1	AN2
1	0	0	0	AN4
			1	AN5
	1	0	0	AN6
			1	AN7
1	1	*	*	禁止使用

【符号说明】

*: Don't care

12.2.3 A/D 开始寄存器 (ADSR)

位	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初始值:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR 是 8 位可读写寄存器，指定 A/D 转换的开始或者停止。

通过给 ADSF 写 1 或者通过输入外部触发边沿，将 ADSF 置 1，开始 A/D 转换。如果转换结束，就将转换数据置到 ADRRH 和 ADRL，同时将 ADSF 清 0。

- 位7: A/D开始标志 (ADSF)

确认 A/D 转换的开始或者结束。

位 7	说明	
ADSF		
0	读时	结束 A/D 转换 (初始值)
	写时	强制结束 A/D 转换
1	读时	正在 A/D 转换中
	写时	开始 A/D 转换

- 位6~0: 保留位

保留位。各位总是读出 1，写无效。

12.2.4 时钟停止寄存器 1 (CKSTPR1)

位	7	6	5	4	3	2	1	0
	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCKSTP	TACKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关 A/D 转换器的位。其它位，请参照各模块的有关章节。

- 位4: A/D转换器待机模式控制 (ADCKSTP)

控制设定和解除 A/D 转换器的模块待机模式。

ADCKSTP	说明
0	将 A/D 转换器设定为模块待机模式
1	解除 A/D 转换器的模块待机模式 (初始值)

12.3 运行说明

12.3.1 A/D 转换运行

A/D 转换器以逐次逼近方式运行，获得 10 位的转换结果。

如果通过软件将 ADSF 置 1，就开始 A/D 转换。ADSF 在 A/D 转换过程中保持 1，在转换结束后，被自动清 0。

另外，如果转换结束，IRR2 的 IRRAD 就被置 1。此时，如果 IENR2 的 IENAD 已被置 1，就产生 A/D 转换结束中断。

在 A/D 转换过程中，如果通过 AMR 进行转换时间和输入通道的切换，为了避免误动作，必须将 ADSF 清 0，强制结束 A/D 转换。

12.3.2 通过外部触发启动 A/D 转换器

A/D 转换器能通过外部触发输入开始 A/D 转换。

在 I/O 端口的 PMR1 的 IRQ4 为 1 并且 AMR 的 TRGE 为 1 时，从 $\overline{\text{ADTRG}}$ 输入管脚输入外部触发。如果从 $\overline{\text{ADTRG}}$ 输入管脚输入由 IEGR 的 IEG4 指定的边沿，ADSR 的 ADSF 就被置 1，开始 A/D 转换。

时序如图 12.2 所示。

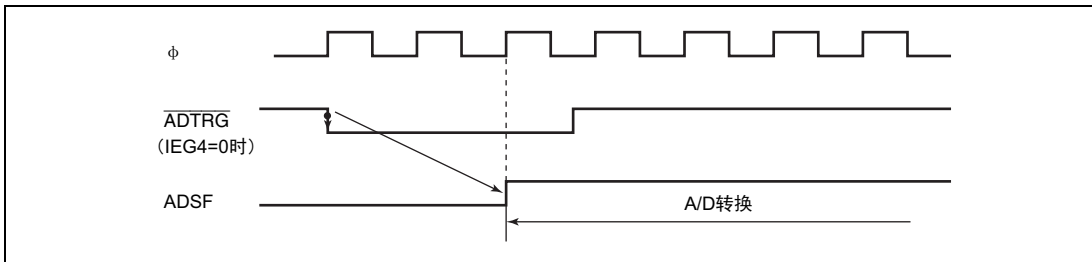


图 12.2 外部触发输入时序

12.3.3 A/D 转换器的运行模式

A/D 转换器的运行模式如表 12.3 所示。

表 12.3 A/D 转换器的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
AMR	复位	运行	运行	保持	保持	保持	保持	保持
ADSR	复位	运行	运行	保持	保持	保持	保持	保持
ADRRH	保持*	运行	运行	保持	保持	保持	保持	保持
ADRRLL	保持*	运行	运行	保持	保持	保持	保持	保持

【注】* 在加电复位时，不定

12.4 中断源

在 A/D 转换结束时 (ADSF=1→0)，IRR2 的 IRRAD 被置 1。

通过 IENR2 的 IENAD，能指定允许或者禁止 A/D 转换结束中断。

详细内容请参照“3.3 中断”。

12.5 使用例子

是将通道 1 (AN1) 选择为模拟输入通道时的运行例子。运行时序如图 12.3 所示。

1. 将输入通道设定为 AN1 (将 AMR 的 CH3~CH0 设定成 0101) 并将 IENAD 置 1，开始 A/D 转换 (ADSF=1)。
2. 如果 A/D 转换结束，IRRAD 就被置 1，A/D 转换结果被保存到 ADRRH 和 ADRL。同时将 ADSF 清 0，并且 A/D 转换器变为转换待机状态。
3. 由于将 IENAD 置 1，因此产生 A/D 转换结束中断请求。
4. 开始执行 A/D 中断处理程序。
5. 读取和处理 A/D 转换结果。
6. 结束执行 A/D 转换处理程序。

此后，如果将 ADSF 置 1，就开始 A/D 转换，进行 (2) ~ (6) 的处理。

A/D 转换器的使用步骤的概念流程如图 12.4 和图 12.5 所示。

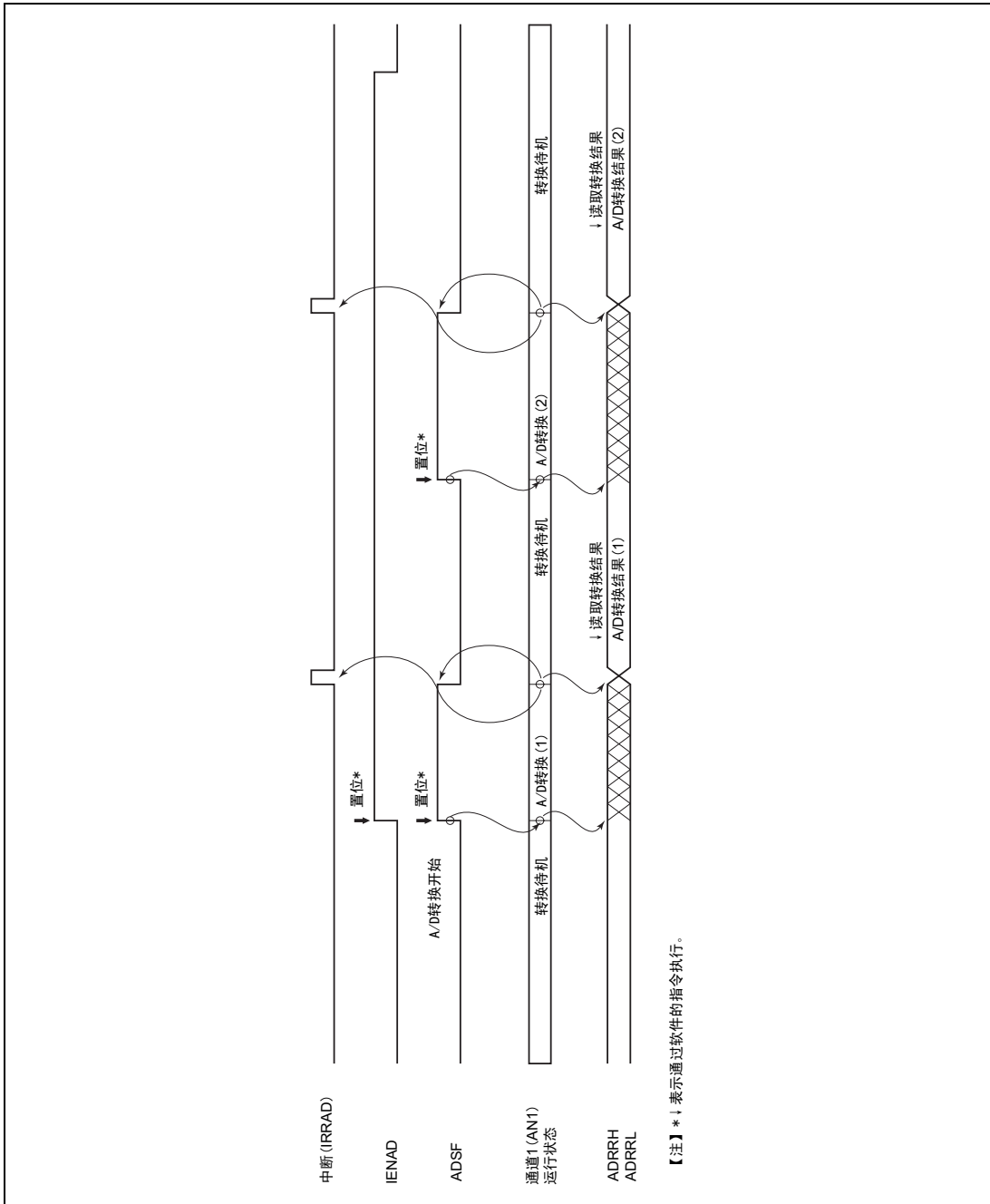


图 12.3 A/D 转换器的运行例子

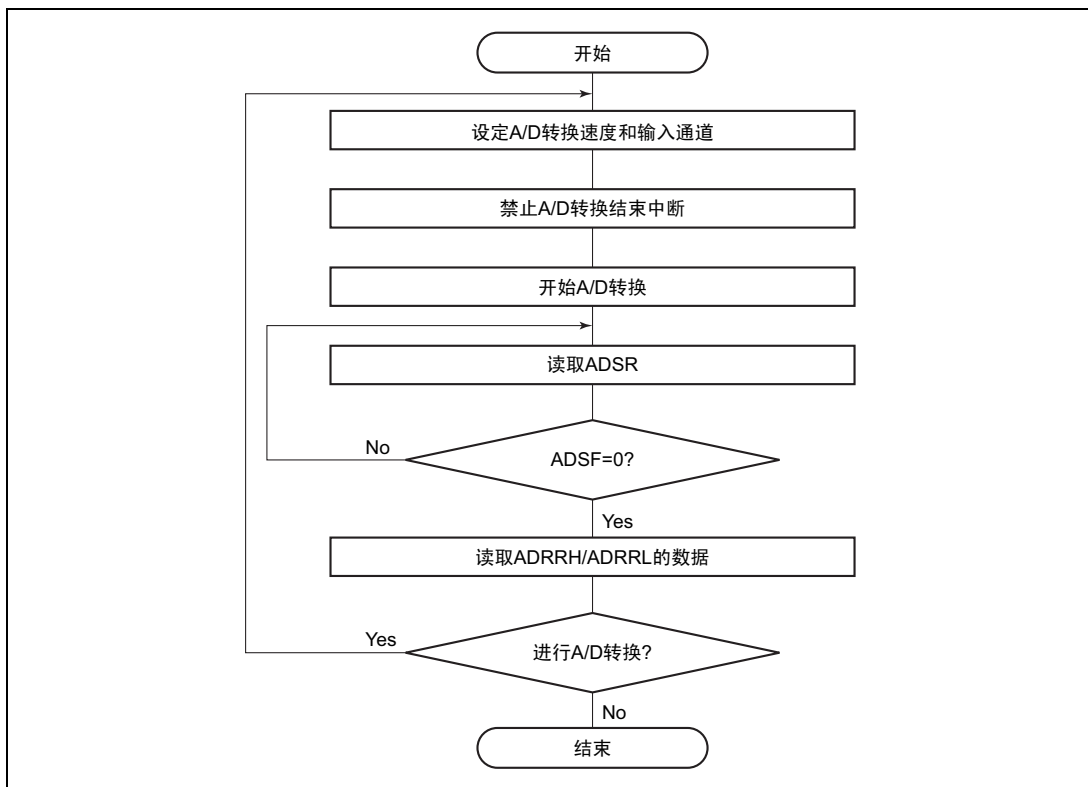


图 12.4 A/D 转换器的使用步骤的概念流程图（在通过软件查询时）

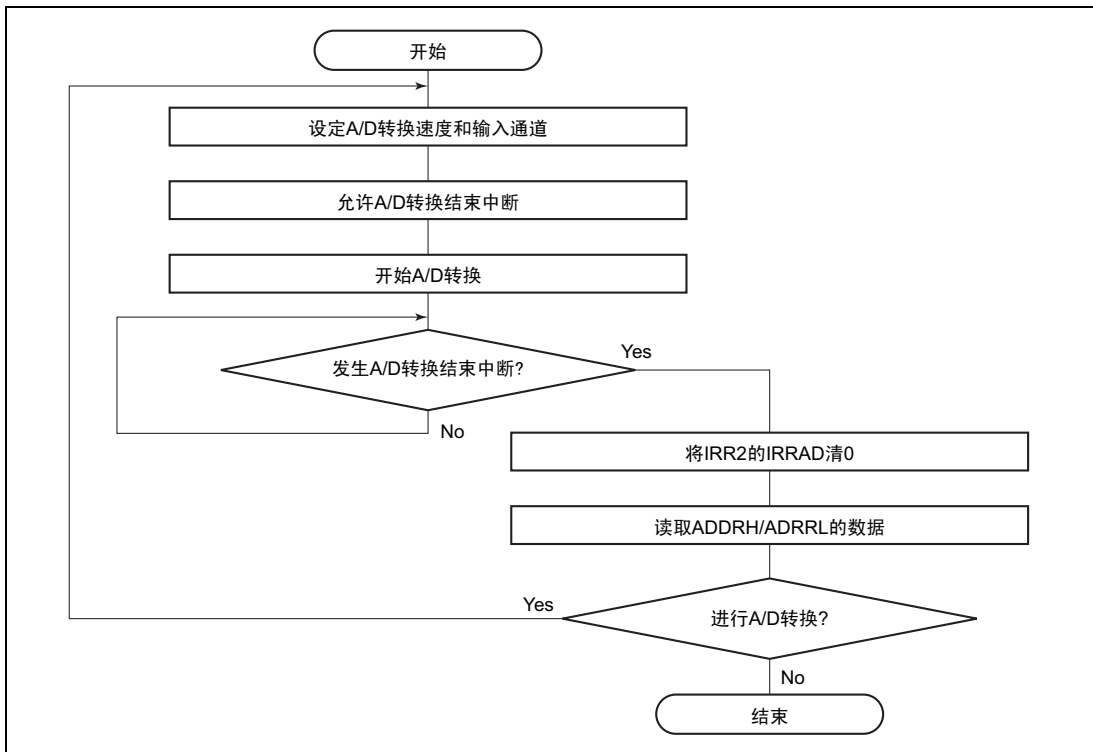


图 12.5 A/D 转换器的使用步骤的概念流程图（在使用中断时）

12.6 A/D 转换精度的定义

本 LSI 的 A/D 转换精度的定义如下：

- 分辨率

A/D转换器的数字输出码位数

- 量化误差

A/D转换器固有的偏差，为 $1/2\text{LSB}$ （图12.6）。

- 偏移误差

在数字输出从最小电压值000000000变化到000000001时，来自模拟输入电压值的理想A/D转换特性的偏差（图12.7）。

- 满刻度误差

在数字输出从111111110变化到111111111时，来自模拟输入电压值的理想A/D转换特性的偏差（图12.7）。

- 非线性误差

来自从零电压到满刻度电压之间的理想A/D转换特性的误差。但是，不含有偏移误差、满刻度误差和量化误差。

- 绝对精度

数字值和模拟输入值的偏差。含有偏移误差、满刻度误差、量化误差和非线性误差。

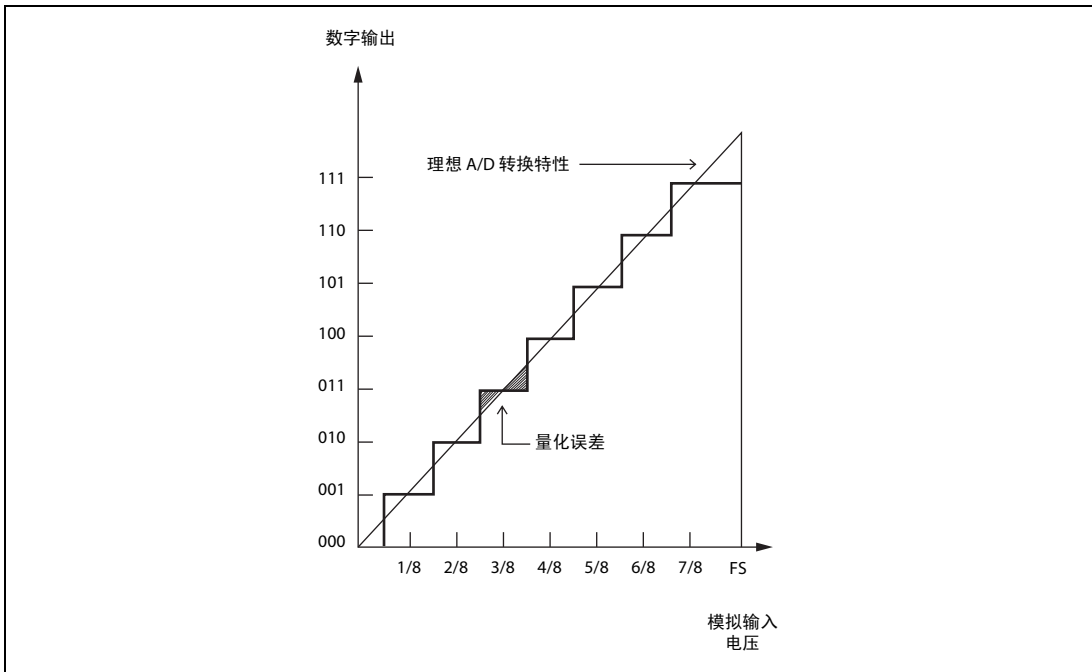


图 12.6 A/D 转换精度的定义 (1)

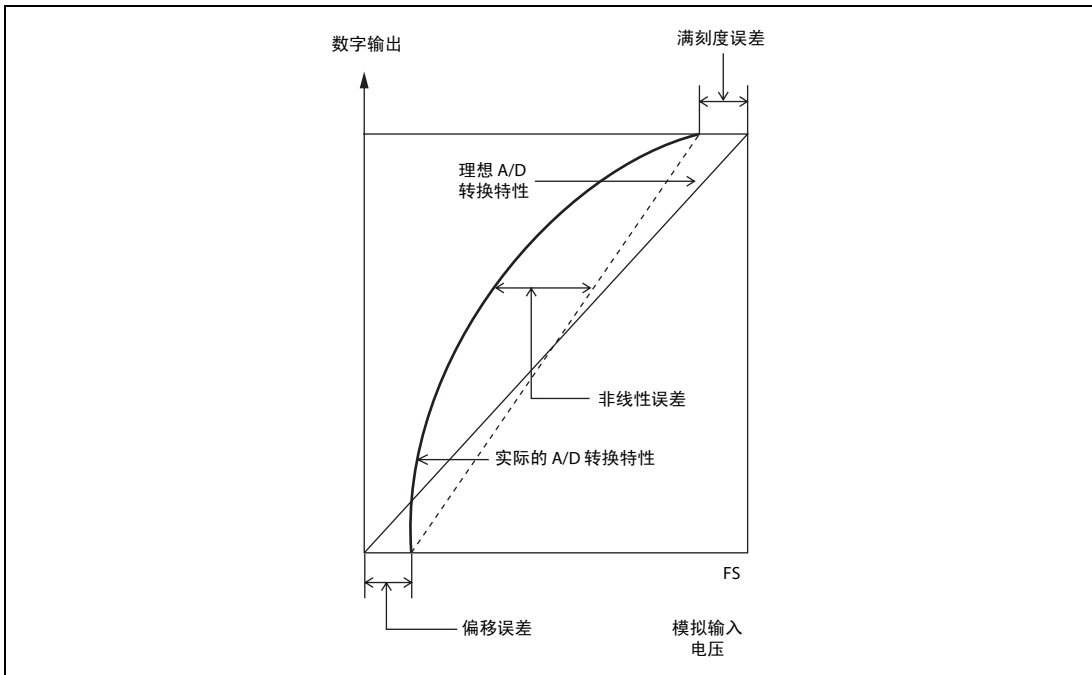


图 12.7 A/D 转换精度的定义 (2)

12.7 使用时的注意

12.7.1 关于容许信号源阻抗

本 LSI 的模拟输入对于信号源阻抗为 $10\text{k}\Omega$ 以下的输入信号，为保证其转换精度的设计。这是为了在采样时间内，对 A/D 转换器的采样和保持电路的输入电容进行充电所制定的规格，在传感器的输出阻抗超过 $10\text{k}\Omega$ 的情况下，会发生充电不足，并且有不能保证 A/D 转换精度的情况。在外部设置大电容的情况下，由于输入负载实际上仅变成了 $10\text{k}\Omega$ 的内部输入电阻，因此可忽略信号源阻抗。但是，在这种情况下，形成一个低通滤波器，可能无法跟踪大微分系数的模拟信号（例如，电压的变动率为 $5\text{mV}/\mu\text{s}$ 以上）（图 12.8）。在转换高速模拟信号的情况下，必须插入一个低阻抗缓冲器。

12.7.2 关于对绝对精度的影响

由于附加电容会导致与 GND 的耦合，因此，如果在 GND 中有噪声，就有可能降低绝对精度。必须与电稳定的 GND 连接。同时，必须注意在安装电路板上滤波器电路不能干涉数字信号，也不能充当天线。

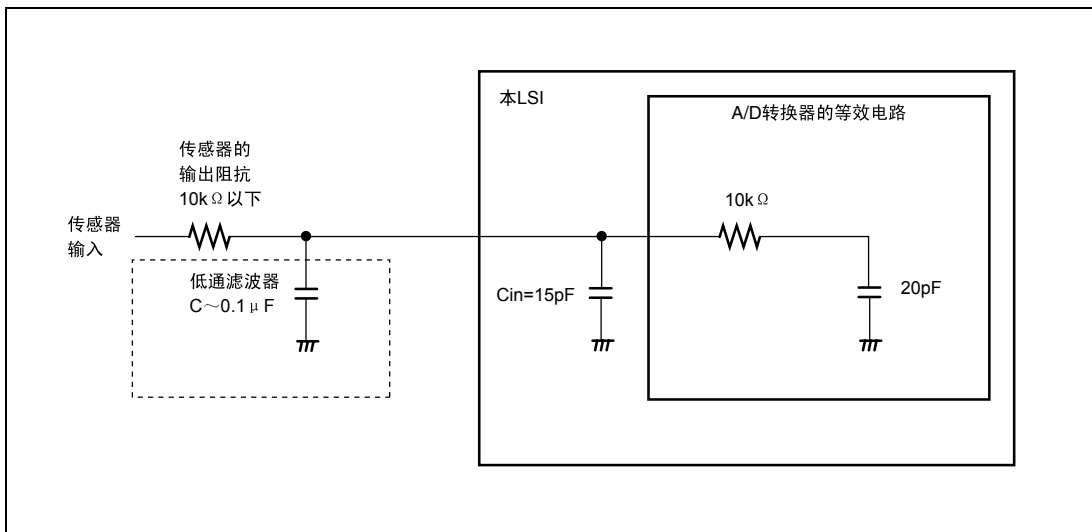


图 12.8 模拟输入电路的例子

12.7.3 使用时的注意

1. 必须在 ADSR 的 ADSF 为 0 时，读取 ADDRHH 和 ADDRLL。
2. 在 A/D 转换过程中，如果相邻管脚的数字输入信号发生变化，就会影响转换精度。
3. 如果在解除模块待机模式后开始 A/D 转换，必须在等待 10 个 ϕ 时钟后，开始 A/D 转换。
4. 在激活模式和睡眠模式，即使 A/D 转换器在待机状态中，模拟电源电流（ I_{STOP1} ）也流向梯形电阻。因此在不使用 A/D 转换器时，建议将 AV_{CC} 连接到系统电源，并且将时钟停止寄存器 1（CKSTPR1）的 ADCKSTP（A/D

转换器模块待机模式控制) 清0。

第 13 章 LCD 控制器/驱动器

13.1 概要

由于本 LSI 内置段型 LCD 控制电路、LCD 驱动器 and 电源电路，因此能够直接驱动 LCD 显示屏。

13.1.1 特点

LCD 控制器/驱动器的特点如下：

- 显示容量

占空比	内部驱动器
静态	32SEG
1/2	32SEG
1/3	32SEG
1/4	32SEG

- LCD RAM容量
8位×16字节（128位）
- 能字存取LCD RAM
- 能将段输出管脚作为端口使用（以4个管脚为单位选择）
- 可将由于占空比而不使用的公共输出管脚作为公共双缓冲器（并行连接用）使用
- 可以在除待机模式以外的运行模式显示
- 能选择11种帧频率
- 内置电源分割电阻，供给LCD驱动电源
- 在未使用时，能通过模块待机模式，以单模块设定成待机模式
- 可通过软件选择A波形或者B波形
- 能通过软件进行分压电阻分离的控制。但是，只能对H8/38124群进行。

13.1.2 框图

LCD 控制器/驱动器的框图如图 13.1 (1)、(2) 所示。

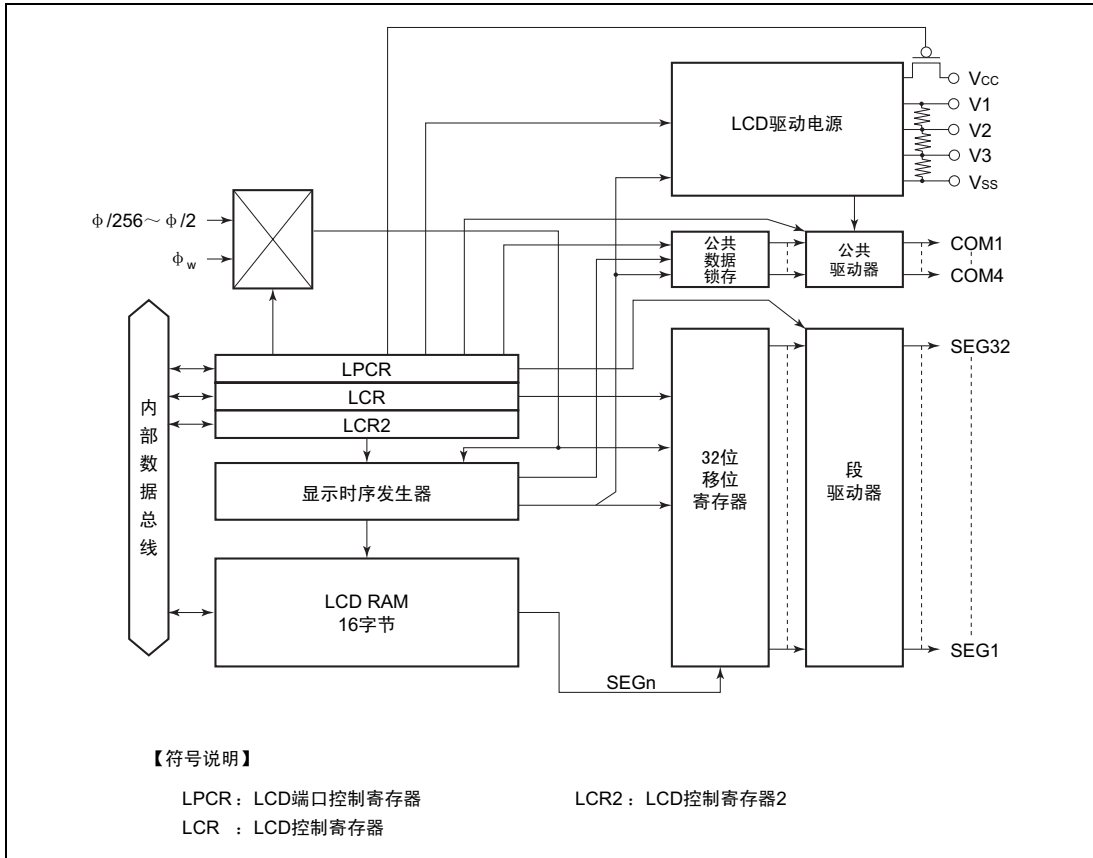


图 13.1 (1) H8/38024、H8/38024S、H8/38024F-ZTAT 群的 LCD 控制器/驱动器的框图

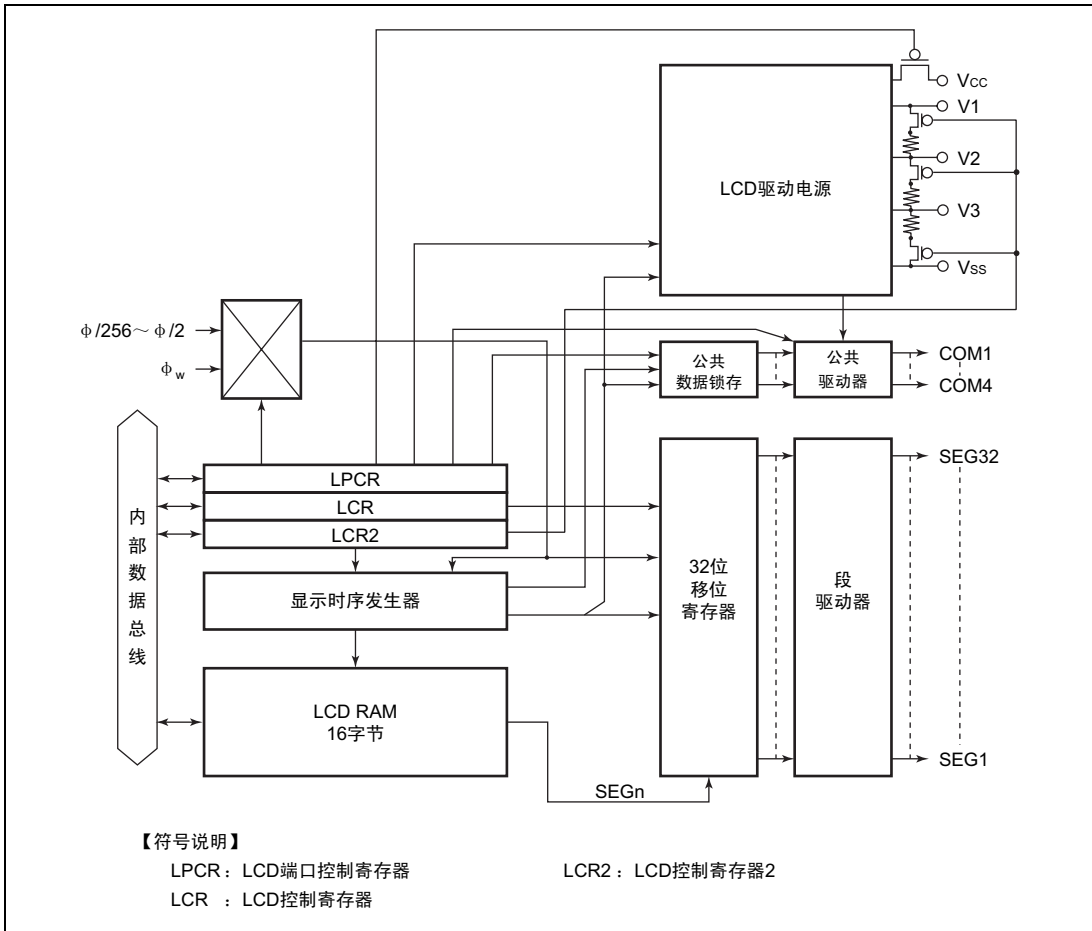


图 13.1 (2) H8/38124 群的 LCD 控制器/驱动器的框图

13.1.3 管脚构成

LCD 控制器/驱动器的管脚构成如表 13.1 所示。

表 13.1 管脚构成

管脚名	符号	输入/输出	功能
段输出管脚	SEG32~SEG1	输出	液晶段驱动用管脚 全部管脚和端口兼用，可编程设定
公共输出管脚	COM4~COM1	输出	液晶公共驱动管脚 在 Static、1/2 占空比时能进行管脚的并行化
LCD 电源管脚	V1、V2、V3	—	在外接旁路电容器时，或者在使用外部电源电路时使用

13.1.4 寄存器构成

LCD 控制器/驱动器的寄存器构成如表 13.2 所示。

表 13.2 寄存器构成

名称	略称	R/W	初始值	地址
LCD 端口控制寄存器	LPCR	R/W	—	H'FFC0
LCD 控制寄存器	LCR	R/W	H'80	H'FFC1
LCD 控制寄存器 2	LCR2	R/W	—	H'FFC2
LCD RAM	—	R/W	不定	H'F740 ~ H'F74F
时钟停止寄存器 2	CKSTPR2	R/W	H'FF	H'FFFB

13.2 各寄存器说明

13.2.1 LCD 端口控制寄存器 (LPCR)

位	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0
初始值:	0	0	0	—	0	0	0	0
R/W :	R/W	R/W	R/W	W	R/W	R/W	R/W	R/W

LPCR 是 8 位可读写寄存器，选择占空比、LCD 驱动器以及管脚功能。

- 位7~5: 占空比选择1、0 (DTS1、DTS0)、公共功能选择 (CMX)

通过 DTS1 和 DTS0 的组合，选择静态和 1/2~1/4 占空比中的任何一个。为了增大因占空比而不使用的公共管脚的公共驱动能力，CMX 选择是否从多个管脚输出相同波形。

位 7	位 6	位 5	占空比	公共驱动器	补充说明
DTS1	DTS0	CMX			
0	0	0	静态	COM1 (初始值)	不能使用 COM4、COM3 以及 COM2。
		1		COM4~COM1	COM4、COM3 以及 COM2 输出和 COM1 相同的波形。
0	1	0	1/2 占空比	COM2、COM1	不能使用 COM4 和 COM3。
		1		COM4~COM1	COM4 输出和 COM3 相同的波形。COM2 输出和 COM1 相同的波形。
1	0	0	1/3 占空比	COM3~COM1	不能使用 COM4
		1		COM4~COM1	不能使用 COM4
1	1	0	1/4 占空比	COM4~COM1	—
		1			

- 位4: 保留位

保留位。只能写 0。

- 位3~0: 段驱动器选择3~0 (SGS3~SGS0)

SGS3~SGS0 选择使用的段驱动器。

位 3	位 2	位 1	位 0	SEG32~SEG1 管脚的功能								补充说明	
SGS3	SGS2	SGS1	SGS0	SEG32~ SEG29	SEG28~ SEG25	SEG24~ SEG21	SEG20~ SEG17	SEG16~ SEG13	SEG12~ SEG9	SEG8~ SEG5	SEG4~ SEG1		
0	0	0	0	端口	端口	端口	端口	端口	端口	端口	端口	端口	(初始值)
			1	端口	端口	端口	端口	端口	端口	端口	端口	SEG	
		1	0	端口	端口	端口	端口	端口	端口	SEG	SEG	SEG	
			1	端口	端口	端口	端口	端口	SEG	SEG	SEG	SEG	
	1	0	0	端口	端口	端口	端口	SEG	SEG	SEG	SEG	SEG	
			1	端口	端口	端口	SEG	SEG	SEG	SEG	SEG	SEG	
		1	0	端口	端口	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
			1	端口	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
1	0	0	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
			1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	端口	
		1	0	SEG	SEG	SEG	SEG	SEG	SEG	端口	端口	端口	
			1	SEG	SEG	SEG	SEG	SEG	端口	端口	端口	端口	
	1	0	0	SEG	SEG	SEG	SEG	端口	端口	端口	端口	端口	
			1	SEG	SEG	SEG	端口	端口	端口	端口	端口	端口	
		1	0	SEG	SEG	端口	端口	端口	端口	端口	端口	端口	
			1	SEG	端口	端口	端口	端口	端口	端口	端口	端口	

13.2.2 LCD 控制寄存器 (LCR)

位	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初始值:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LCR 是 8 位可读写寄存器, 控制 LCD 驱动电源 ON/OFF、控制显示数据以及选择帧频率。

在复位时, LCR 被初始化成 H'80。

- 位7: 保留位

保留位。总是读出 1, 写无效。

- 位6: LCD驱动电源ON/OFF控制 (PSW)

在低功耗模式，当不需要 LCD 显示或者使用外部电源时，能将 LCD 驱动电源置成 OFF 状态。当 ACT 为 0 或者在待机模式时，与本位无关，LCD 驱动电源为 OFF 状态。

位 6	说明
PSW	
0	LCD 驱动电源 OFF (初始值)
1	LCD 驱动电源 ON

- 位5: 显示功能开始 (ACT)

选择是否使用 LCD 控制器/驱动器。通过将该位清 0，LCD 控制器/驱动器停止运行。另外，与 PSW 的值无关，LCD 驱动电源为 OFF 状态。但是保持寄存器的内容。

位 5	说明
ACT	
0	LCD 控制器/驱动器停止运行 (初始值)
1	LCD 控制器/驱动器运行

- 位4: 显示数据控制 (DISP)

DISP 选择显示 LCD RAM 的内容，还是与 LCD RAM 的内容无关显示空白数据。

位 4	说明
DISP	
0	显示空白数据 (初始值)
1	显示 LCD RAM 数据

• 位3~0: 帧频率选择3~0 (CKS3~CKS0)

选择使用时钟和帧频率。在子激活模式、时钟模式和子睡眠模式，由于系统时钟 (ϕ) 停止，因此在选择 $\phi/2 \sim \phi/256$ 时，不进行显示运行。在这些模式进行 LCD 显示时，作为运行时钟，必须选择 ϕ_w 、 $\phi_w/2$ 或者 $\phi_w/4$ 。

位 3	位 2	位 1	位 0	使用时钟	帧频率*2	
					$\phi = 2\text{MHz}$	$\phi = 250\text{kHz}^{*1}$
0	*	0	0	ϕ_w	128Hz*3 (初始值)	
			1	$\phi_w/2$	64Hz*3	
		1	*	$\phi_w/4$	32Hz*3	
1	0	0	0	$\phi/2$	—	244Hz
			1	$\phi/4$	977Hz	122Hz
		1	0	$\phi/8$	488Hz	61Hz
			1	$\phi/16$	244Hz	30.5Hz
	1	0	0	$\phi/32$	122Hz	—
			1	$\phi/64$	61Hz	—
		1	0	$\phi/128$	30.5Hz	—
			1	$\phi/256$	—	—

【符号说明】

* : Don't care

【注】 *1 在 $\phi = 2\text{MHz}$ 时的激活 (中速 $\phi_{\text{osc}}/16$) 模式的帧频率。

*2 在选择 1/3 占空比时，帧频率为如表所示的值的 4/3 倍。

*3 在 $\phi_w = 32.768\text{kHz}$ 时的帧频率。

13.2.3 LCD 控制寄存器 2 (LCR2)

位	7	6	5	4	3	2	1	0
	LCDAB	—	—	—	CDS3*	CDS2*	CDS1*	CDS0*
初始值:	0	1	1	—	0	0	0	0
R/W :	R/W	—	—	W	R/W	R/W	R/W	R/W

【注】* 只适用H8/38124群。在H8/38024、H8/38024S、H8/38024F-ZTAT群时和位4相同，为保留位。

LCR2 是 8 位可读写寄存器，控制 A 波形和 B 波形的切换和控制分压电阻的分离。但是，分压电阻的分离控制只能对 H8/38124 群进行。在复位时，LCR2 被初始化成 H'7F。

- 位7: A波形/B波形切换的控制 (LCDAB)

选择 LCD 的驱动波形是 A 波形还是 B 波形。

位 7	说明	
LCDAB		
0	用 A 波形驱动	(初始值)
1	用 B 波形驱动	

- 位6~5: 保留位

保留位。总是读出 1, 写无效。

- 位4: 保留位

保留位。只能写 0。

- 位3~0: 分压电阻分离控制

控制是分离还是连接分压电阻。但是, 除了 H8/38124 群以外, 和位 4 相同, 为保留位。

位 3	位 2	位 1	位 0	说明	
CDS3	CDS2	CDS1	CDS0		
0	0	0	0	(初始值)	
			1		
		1	0		
			1		连接分压电阻
	1	0	0		
			1		
		1	0		分离分压电阻
			1		
1	0	0	0	连接分压电阻	
			1		
		1	0		
			1		
	1	0	0		
			1		
		1	0		
			1		

13.2.4 时钟停止寄存器 2 (CKSTPR2)

位	:	7	6	5	4	3	2	1	0
		LVDCCKSTP*	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP
初始值:		1	1	1	1	1	1	1	1
R/W :		R/W	—	—	R/W	R/W	R/W	R/W	R/W

【注】* 除了H8/38124群以外，和位6、位5相同，为保留位。

CKSTPR2 为 8 位可读写寄存器，控制模块的模块待机模式。在本章中只说明有关 LCD 的位。其它位，请参照各模块的有关章节。

- 位0: LCD待机模式控制 (LDCKSTP)

控制设定和解除 LCD 的模块待机模式。

位 0	说明
LDCKSTP	
0	将 LCD 设定为模块待机模式
1	解除 LCD 的模块待机模式 (初始值)

13.3 运行说明

13.3.1 LCD 显示前的设置

为了进行 LCD 显示，对于硬件和软件的各项内容，必须事先决定以下的内容：

(1) 硬件设置

(a) 使用 1/2 占空比

在使用 1/2 占空比时，必须将 V2 管脚和 V3 管脚相连（如图 13.2 所示）。

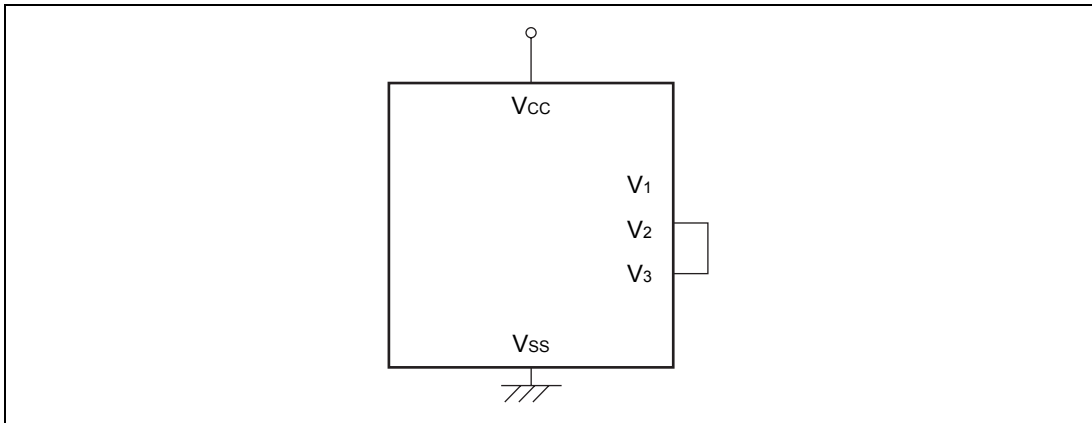


图 13.2 1/2 占空比时的 LCD 驱动电源的处理

(b) 大屏幕显示

由于内置的电源分压电阻的阻抗大，因此可能不适合大显示屏驱动。使用大屏幕，显示不清楚时，请参照“13.3.4 LCD 驱动电源的强化”。另外，在选择静态或者 1/2 占空比时，能增强公共输出的驱动能力。在选择占空比时，必须将 CMX 设定为 1。此模式在静态时 COM4~COM1 管脚输出相同的波形，在 1/2 占空比时，从 COM2 和 COM1 管脚输出 COM1 的波形，从 COM4 和 COM3 管脚输出 COM2 的波形。

(2) 软件设置

(a) 选择占空比

通过 DTS1 和 DTS0，占空比能选择静态、1/2 占空比、1/3 占空比或者 1/4 占空比。

(b) 选择段驱动器

能通过 SGS₃~SGS₀ 选择使用的段驱动器。

(c) 选择帧频率

能通过设定 CKS₃~CKS₀ 选择帧频率。必须根据 LCD 显示屏的规格选择帧频率。时钟模式、子激活模式和子睡眠模式时的时钟选择方法，请参照“13.3.3 低功耗模式时的运行”。

(d) 选择 A 波形、B 波形

通过 LCDAB，能选择使用的 LCD 波形是 A 波形还是 B 波形。

13.3.2 LCD RAM 和显示的关系

LCD RAM 和显示段的关系根据占空比的不同而不同。对应各占空比的 LCD RAM 的映像如图 13.3~图 13.6 所示。

在设定了显示所必需的寄存器群后，通过和通常的 RAM 相同的指令，给对应占空比的部分写数据，如果显示为 ON 状态，就开始自动显示。对于 RAM 的设定能使用字/字节存取指令。

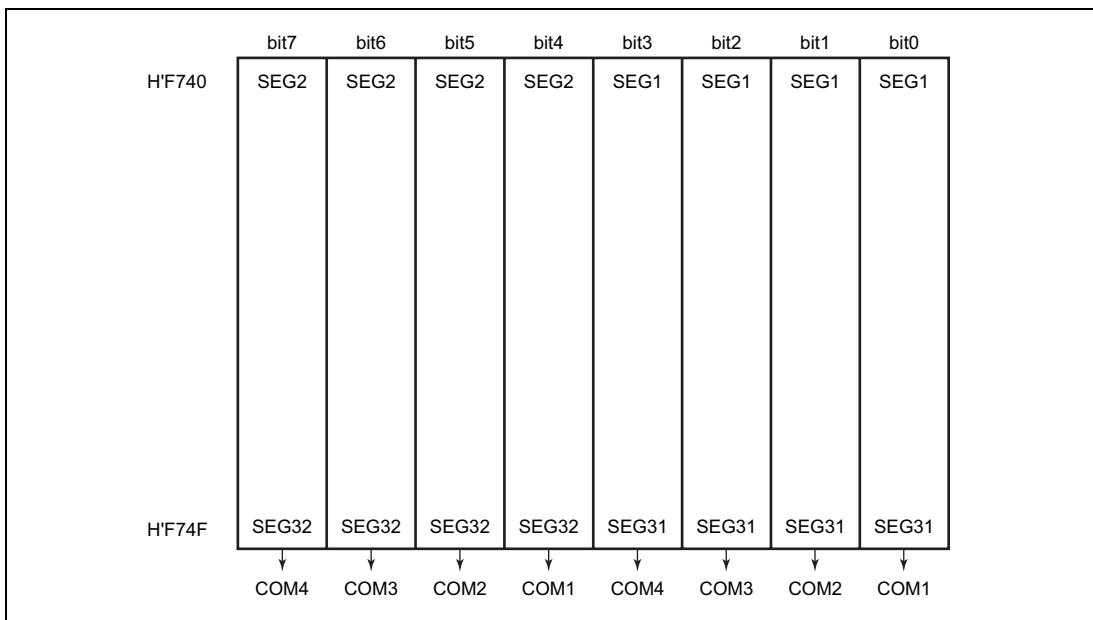


图 13.3 LCD RAM 映像 (1/4 占空比)

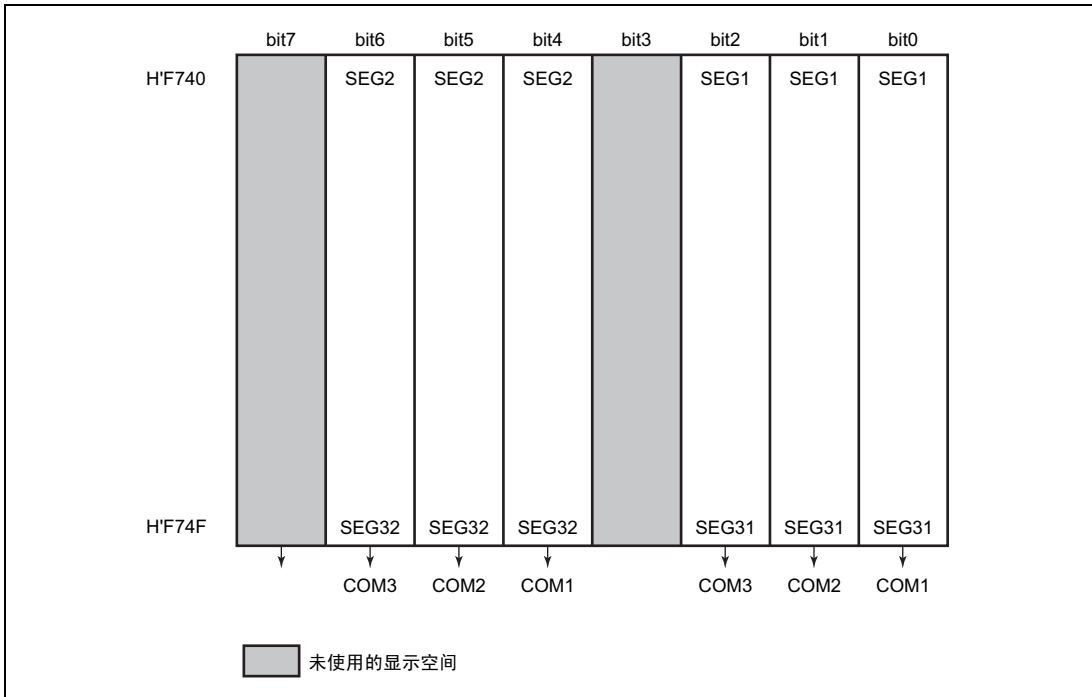


图 13.4 LCD RAM 映像 (1/3 占空比)

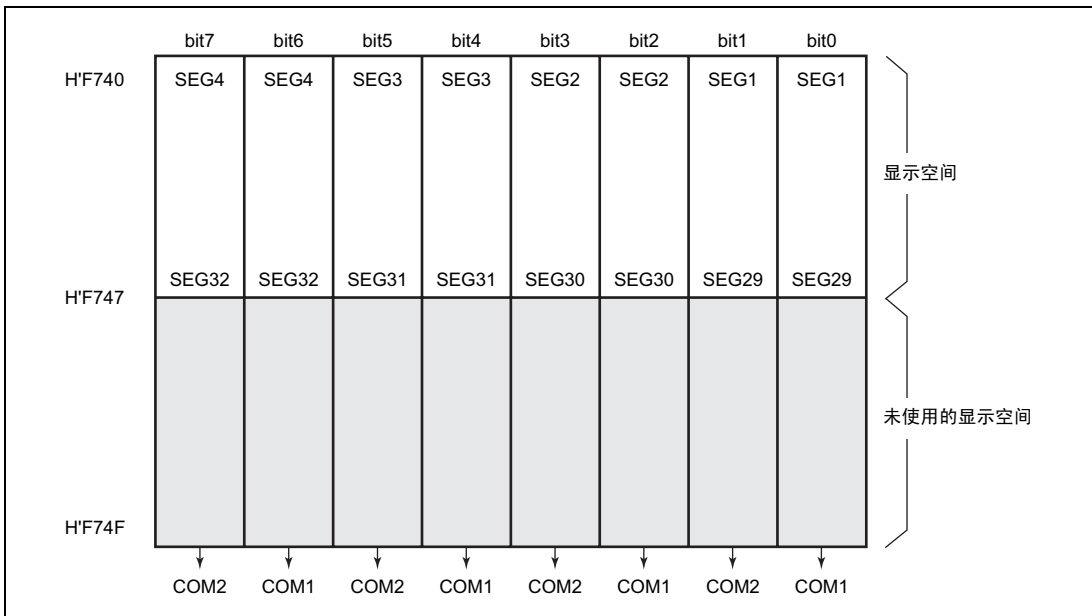


图 13.5 LCD RAM 映像 (1/2 占空比)

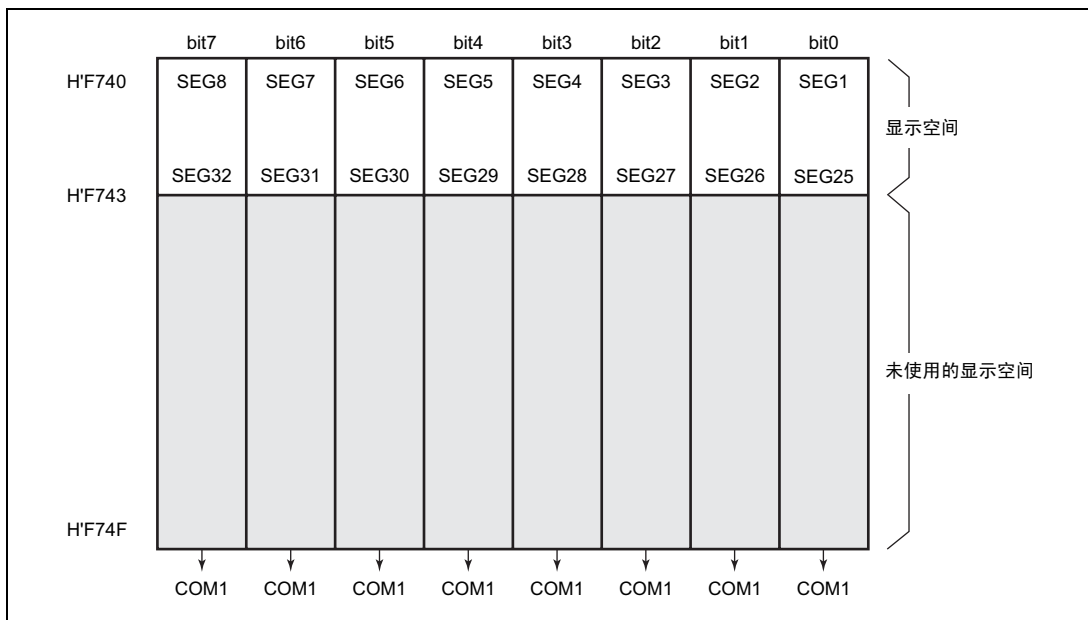


图 13.6 LCD RAM 映像 (静态)

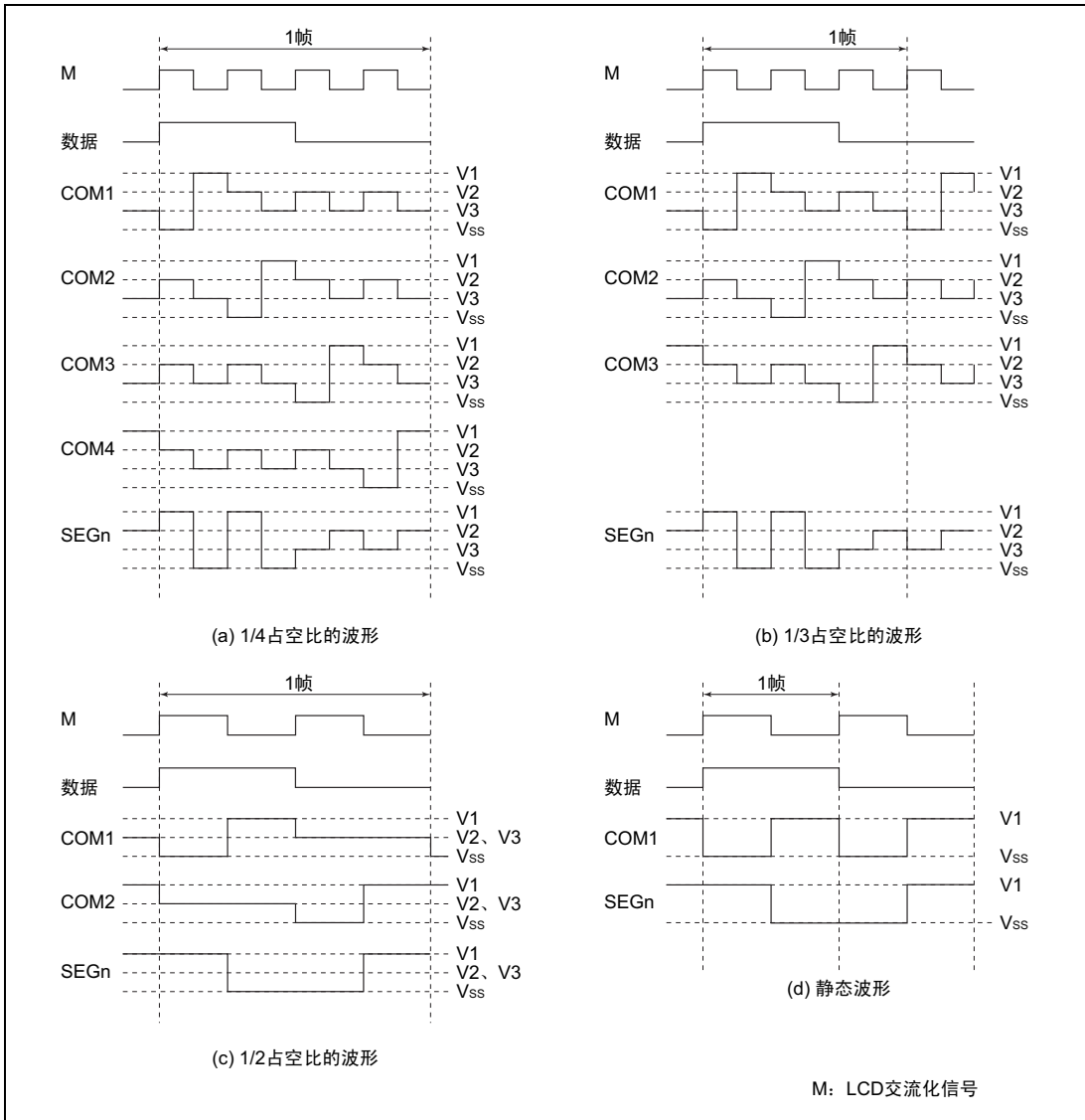


图 13.7 各占空比的输出波形 (A 波形)

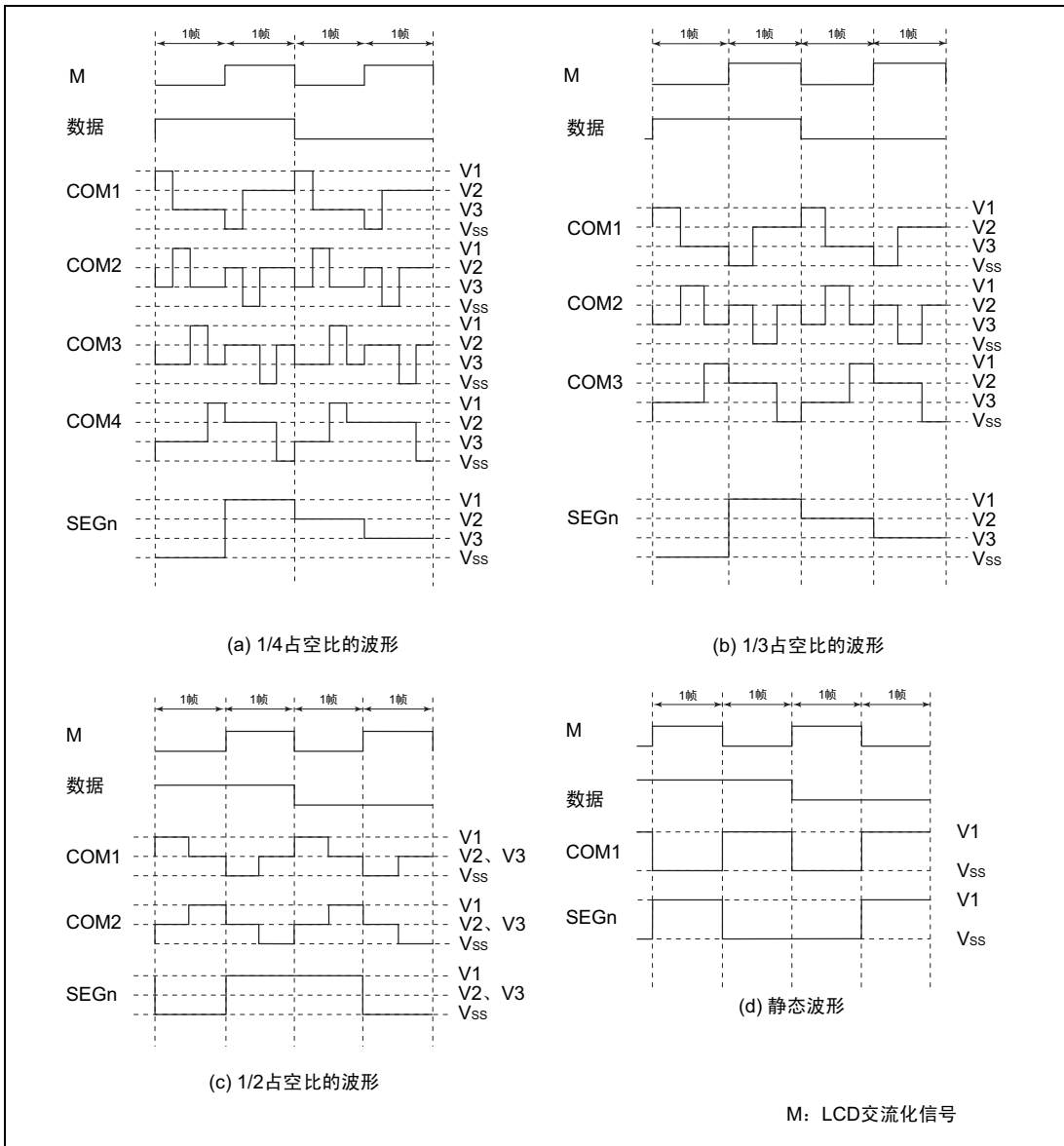


图 13.8 各占空比的输出波形 (B 波形)

表 13.3 输出电平的关系

数据		0	0	1	1
M		0	1	0	1
静态	公共输出	V1	V _{SS}	V1	V _{SS}
	段输出	V1	V _{SS}	V _{SS}	V1
1/2 占空比	公共输出	V2、V3	V2、V3	V1	V _{SS}
	段输出	V1	V _{SS}	V _{SS}	V1
1/3 占空比	公共输出	V3	V2	V1	V _{SS}
	段输出	V2	V3	V _{SS}	V1
1/4 占空比	公共输出	V3	V2	V1	V _{SS}
	段输出	V2	V3	V _{SS}	V1

M: LCD 交流信号

13.3.3 低功耗模式时的运行

本 LSI 即使在低功耗模式，也能使 LCD 控制器/驱动器运行。低功耗模式时的 LCD 控制器/驱动器的运行状态如表 13.4 所示。

由于在子激活模式、时钟模式或者子睡眠模式，系统时钟振荡器停止振荡，因此如果不通过 CKS3~CKS0 选择 ϕ_w 、 $\phi_w/2$ 或者 $\phi_w/4$ ，就不供给时钟，停止显示。此时，由于 LCD 显示屏还可能加有直流电压，因此必须选择 ϕ_w 、 $\phi_w/2$ 或者 $\phi_w/4$ 。另外，在激活（中速）模式，切换系统时钟，因此为了不让帧频率发生变化，必须改变 CKS3~CKS0。

表 13.4 低功耗模式和显示运行的关系

运行模式		复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
时钟	ϕ	运行	运行	运行	停止	停止	停止	停止	停止*4
	ϕ_w	运行	运行	运行	运行	运行	运行	停止*1	停止*4
显示运行	ACT=0	停止	停止	停止	停止	停止	停止	停止*2	停止
	ACT=1	停止	显示	显示	显示*3	显示*3	显示*3	停止*2	停止

- 【注】 *1 虽然子时钟振荡器不停止振荡，但是停止供给时钟。
 *2 与 PSW 无关，LCD 驱动电源 OFF。
 *3 对于使用时钟，如果不选择 ϕ_w 、 $\phi_w/2$ 或者 $\phi_w/4$ ，就不进行显示运行。
 *4 停止供给 LCD 的时钟。

13.3.4 LCD 驱动电源的强化

在驱动大显示屏时，内置的电源容量可能不够。作为电源，使用 V_{CC} 时，如果电源容量不够，就需要降低电源的阻抗。作为对策，如图 13.9 所示，有给 V1~V3 管脚连接 $0.1\sim 0.3\mu\text{F}$ 左右的旁路电容器的方法和在外部增设分压电阻的方法。

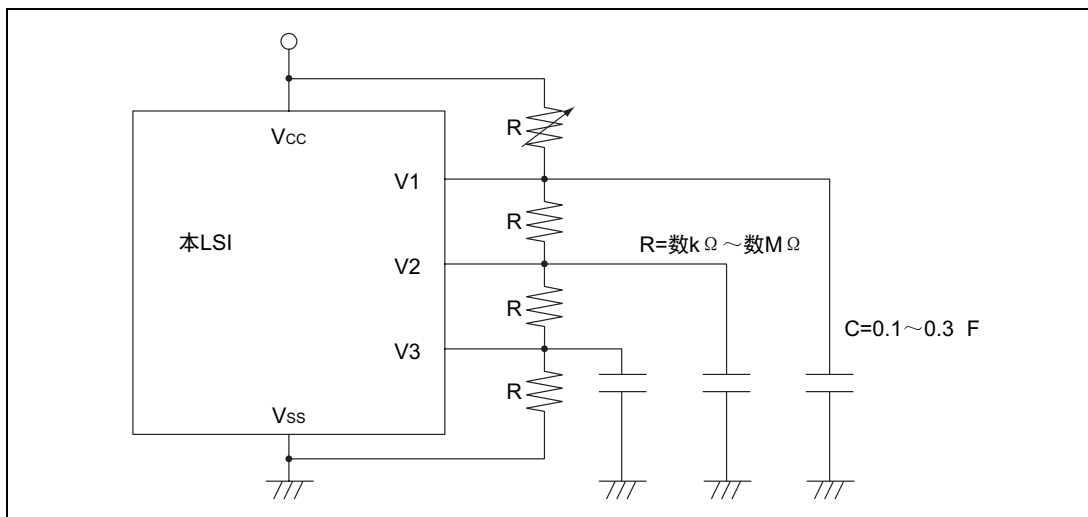


图 13.9 外部分压电阻的连接方法

第 14 章 加电复位和低电压检测电路 (仅 H8/38124 群)

14.1 概要

本 LSI 内置加电复位电路和低电压检测电路。

低电压检测电路由低电压检测中断电路 (LVDI: Interrupt by Low Voltage Detect) 和低电压检测复位电路 (LVDR: Reset by Low Voltage Detect) 构成。

本电路是用于防止由电源电压下降而引起的本 LSI 的异常运行 (失控), 以及在电源电压再次上升时, 再现电源电压下降前的状态的电路。

即使电源电压下降, 只要在运行保证电压以上, 并且在正常运行中, 通过转移到待机模式, 就能消除电源电压下降到运行保证电压以下时的不稳定状态, 提高系统的安全性。在电源电压继续下降的情况下, 自动转移到复位状态。如果电源电压再次上升, 就在保持一定时间的复位状态后, 自动转移到激活模式。

14.1.1 特点

加电复位电路和低电压检测电路的特点如下所示:

- 加电复位电路

通过外部连接电容, 在接通电源时, 产生内部复位信号。

- 低电压检测电路

低电压检测复位电路: 监视电源电压, 在一定电压以下时, 产生内部复位信号。

低电压检测中断电路: 监视电源电压, 在从一定电压下降或者上升时, 产生中断。

检测复位发生电压的电平能选择两种情况: 只使用低电压检测复位电路, 或者低电压检测中断电路和低电压检测复位电路并用。另外, 由于能从 LSI 外部输入电源下降/上升检测电压和基准电压, 因此能自由设定检测电平。

14.1.2 框图

加电复位电路和低电压检测电路框图如图 14.1 所示。

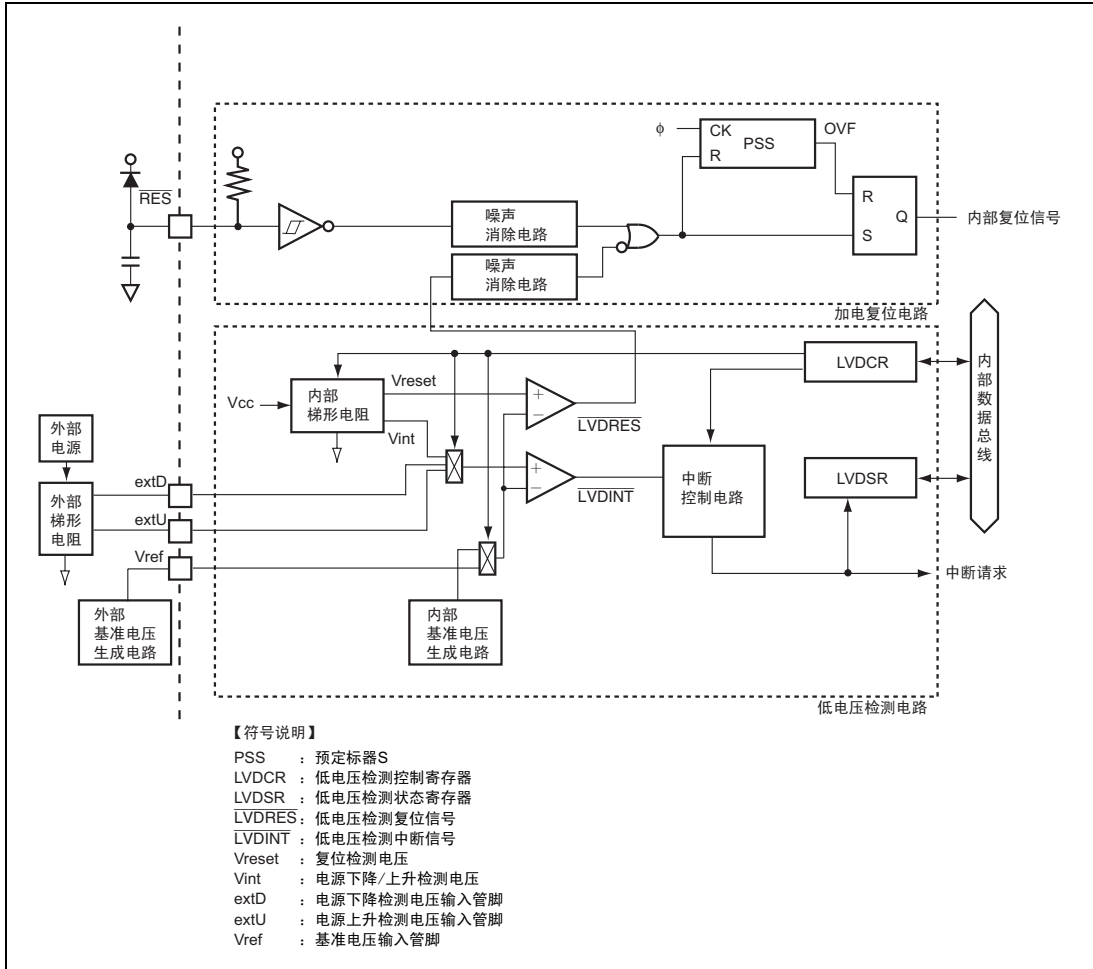


图 14.1 加电复位电路和低电压检测电路框图

14.1.3 管脚构成

加电复位电路和低电压检测电路的管脚构成如表 14.1 所示。

表 14.1 管脚构成

管脚名	符号	输入/输出	功能
低电压检测电路的基准电压输入管脚	Vref	输入	低电压检测电路的基准电压输入
低电压检测电路的电源下降检测电压输入管脚	extD	输入	低电压检测电路的电源下降检测电压输入
低电压检测电路的电源上升检测电压输入管脚	extU	输入	低电压检测电路的电源上升检测电压输入

14.1.4 寄存器构成

加电复位电路和低电压检测电路的寄存器构成如表 14.2 所示。

表 14.2 寄存器构成

名称	略称	R/W	初始值	地址
低电压检测控制寄存器	LVDCR	R/W	H'00	H'FF86
低电压检测状态寄存器	LVDSR	R/W	H'00	H'FF87
低电压检测计数器	LVDCNT	R	H'00	H'FFC3

14.2 各寄存器说明

14.2.1 低电压检测控制寄存器（LVDCR）

位	7	6	5	4	3	2	1	0
	LVDE	—	VINTDSEL	VINTUSEL	LVDSSEL	LVDRRE	LVDDDE	LVDDUE
初始值:	0*	0	0	0	0*	0*	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 在通过LVDR复位时，不被初始化。在加电复位、监视定时器复位时，被初始化。

LVDCR 是 8 位可读写寄存器，选择是否使用低电压检测电路、设定在电源电压下降和上升时的检测电平的外部输入、设定 LVDR 检测电平、控制允许/禁止由低电压检测复位电路（LVDR）产生的复位、以及控制允许/禁止由电源电压下降和上升产生的中断。

- 位7: LVD允许（LVDE）

控制低电压检测电路的运行/停止。

位 7	说明
LVDE	
0	不使用低电压检测电路（待机状态） （初始值）
1	使用低电压检测电路

- 位6: 保留位

可读写的保留位。

- 位5: 电源电压下降（LVDD）检测电平外部输入选择（VINTDSEL）

选择电源电压下降的检测电平。

位 5	说明
VINTDSEL	
0	LVDD 检测电平通过内部梯形电阻生成 （初始值）
1	LVDD 检测电平为 extD 管脚输入

- 位4: 电源电压上升（LVDU）检测电平外部输入选择（VINTUSEL）

选择电源电压上升的检测电平。

位 4	说明
VINTUSEL	
0	LVDU 检测电平通过内部梯形电阻生成 （初始值）
1	LVDU 检测电平为 extU 管脚输入

- 位3: LVDR检测电平选择 (LVDSEL)

选择 LVDR 检测电平。使用下降电压检测和上升电压检测中断时，必须使用 2.3V(typ.)复位。另外，在只使用复位检测时，必须使用 3.3V(typ.)复位。

位 3	说明	
LVDSEL		
0	复位检测电压 2.3V (typ.)	(初始值)
1	复位检测电压 3.3V (typ.)	

- 位2: LVDR允许 (LVDRE)

控制允许/禁止由 LVDR 产生的复位。

位 2	说明	
LVDRE		
0	禁止由 LVDR 产生的复位	(初始值)
1	允许由 LVDR 产生的复位	

- 位1: 电压下降时的中断允许 (LVDDE)

控制允许/禁止电压下降时的中断请求。

位 1	说明	
LVDDE		
0	禁止电压下降时的中断请求	(初始值)
1	允许电压下降时的中断请求	

- 位0: 电压上升时的中断允许 (LVDUE)

控制允许/禁止电压上升时的中断请求。

位 0	说明	
LVDUE		
0	禁止电压上升时的中断请求	(初始值)
1	允许电压上升时的中断请求	

LVDCR 的设定值和选择功能的关系如表 14.3 所示。必须按照表 14.3 设定 LVDCR。

表 14.3 LVDCR 的设定和选择功能

LVDCR 设定值					选择功能			
LVDE	LVDSSEL	LVDRE	LVDDE	LVDUE	加电复位	低电压检测 复位	低电压检测 下降中断	低电压检测 上升中断
0	*	*	*	*	○	—	—	—
1	1	1	0	0	○	○	—	—
1	0	0	1	0	○	—	○	—
1	0	0	1	1	○	—	○	○
1	0	1	1	1	○	○	○	○

【注】* 的设定值无效。

14.2.2 低电压检测状态寄存器（LVDSR）

位	7	6	5	4	3	2	1	0
	OVF	—	—	—	VREFSEL	—	LVDDF	LVDDF
初始值:	0*	0	0	0	0	0	0*	0*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 在通过LVDR复位时，被初始化。

LVDSR 是 8 位可读写寄存器，控制外部输入的选择、表示基准电压的稳定和电源电压从某一定电压下降或者上升。

- 位7：LVD基准电压稳定标志（OVF）

表示低电压检测计数器（LVDCNT）溢出状态。

位 7	说明
OVF	
0	（清除条件） 在读到 1 的状态后，写 0 时 （初始值）
1	（置位条件） 在低电压检测计数器（LVDCNT）溢出时

- 位6~4：保留位

可读写的保留位。

- 位3: 基准电压外部输入选择 (VREFSEL)

选择基准电压。

位 3	说明	
VREFSEL		
0	基准电压使用内部电路	(初始值)
1	从 Vref 管脚外部输入基准电压	

- 位2: 保留位

保留位。总是读出 0，写无效。

- 位1: : LVD电源电压下降标志 (LVDDF)

表示检测到电源电压下降。

位 1	说明	
LVDDF		
0	(清除条件) 在读到 1 的状态后，写 0 时	(初始值)
1	(置位条件) 在电源电压下降到 Vint(D)以下时	

- 位0: LVD电源电压上升标志 (LVDF)

表示检测到电源电压上升。

位 0	说明	
LVDF		
0	(清除条件) 在读到 1 的状态后，写 0 时	(初始值)
1	(置位条件) 在 LVDCR 的 LVDF 位置 1 的状态下，电源电压下降到 Vint(D)以下，并且在下降到 Vreset1 以下前，上升到 Vint(U)以上时	

14.2.3 低电压检测计数器 (LVDCNT)

位 :	7	6	5	4	3	2	1	0
	CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

LVDCNT 是 8 位只读累加计数器，如果给 LVDE 写 1，就开始计数。将 $\phi/4$ 作为时钟源进行累加计数，如果从 H'FF 溢出到 H'00，就将 LVDSR 寄存器的 OVF 位置 1，表示内部基准电压生成电路处于稳定状态。在使用 LVD 功能时，必须等待本计数器的溢出。LVDCNT 的初始值为 H'00。

14.2.4 时钟停止寄存器 2（CKSTPR2）

位	7	6	5	4	3	2	1	0
	LVDCKSTP	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP
初始值:	1	1	1	1	1	1	1	1
R/W :	R/W	—	—	R/W	R/W	R/W	R/W	R/W

CKSTPR2 为 8 位可读写寄存器，控制模块的模块待机模式。

在本章中只说明有关 LVD 的位。其它位，请参照各模块的有关章节。

- 位7: LVD模块待机模式的控制（LVDCKSTP）

控制设定和解除 LVD 的模块待机模式。

位 7	说明
LVDCKSTP	
0	将 LVD 设定为模块待机模式
1	解除 LVD 的模块待机模式 (初始值)

【注】 此位仅 H8/38124 群有效。在其它群时，总是读出 1，写无效。

14.3 运行说明

14.3.1 加电复位电路

加电复位电路的运行时序如图 14.2 所示。由于电源电压上升，经过内部上拉电阻（typ.100kΩ），逐渐对外接在 $\overline{\text{RES}}$ 管脚的电容充电。此 $\overline{\text{RES}}$ 管脚的状态传到内部，对预定标器 S 和整个芯片进行复位。如果 $\overline{\text{RES}}$ 管脚电平上升到一定电平，就解除预定标器 S 的复位，开始累加计数。如果预定标器 S 对 ϕ 进行 131,072 次计数，就产生 OVF 信号，解除内部复位信号。另外，为了避免由于 $\overline{\text{RES}}$ 管脚的噪声而产生的误动作，在芯片内部，内置了约 100ns 的噪声消除电路。

为了使 LSI 稳定运行，必须使电源在规定的时间内上升。电源上升时间(t_{PWON})的最大值由振荡频率(f_{OSC})和连接到 $\overline{\text{RES}}$ 管脚的电容(C_{RES})来定义。假设电源上升时间为达到电源电压的 90% 的时间，请设计满足下列算式的电源电路：

$$t_{\text{PWON}}(\text{ms}) \leq 80 \times C_{\text{RES}}(\mu\text{F}) \pm 10/f_{\text{OSC}}(\text{MHz})$$

($t_{\text{PWON}} \leq 3000\text{ms}$ 、 $C_{\text{RES}} \geq 0.22\mu\text{F}$ 、 $2 \sim 10\text{MHz}$ 时 $f_{\text{OSC}}=10$)

但是，电源电压 V_{CC} 一定下降到 $V_{\text{por}}=100\text{mV}$ 以下，必须在充分放掉 $\overline{\text{RES}}$ 管脚的电荷后，使电源电压 V_{CC} 上升。为了放掉 $\overline{\text{RES}}$ 管脚的电荷，建议给 V_{CC} 侧外接二极管。如果从大于 V_{por} 的电压开始电源电压 V_{CC} 上升，加电复位可能不动作。

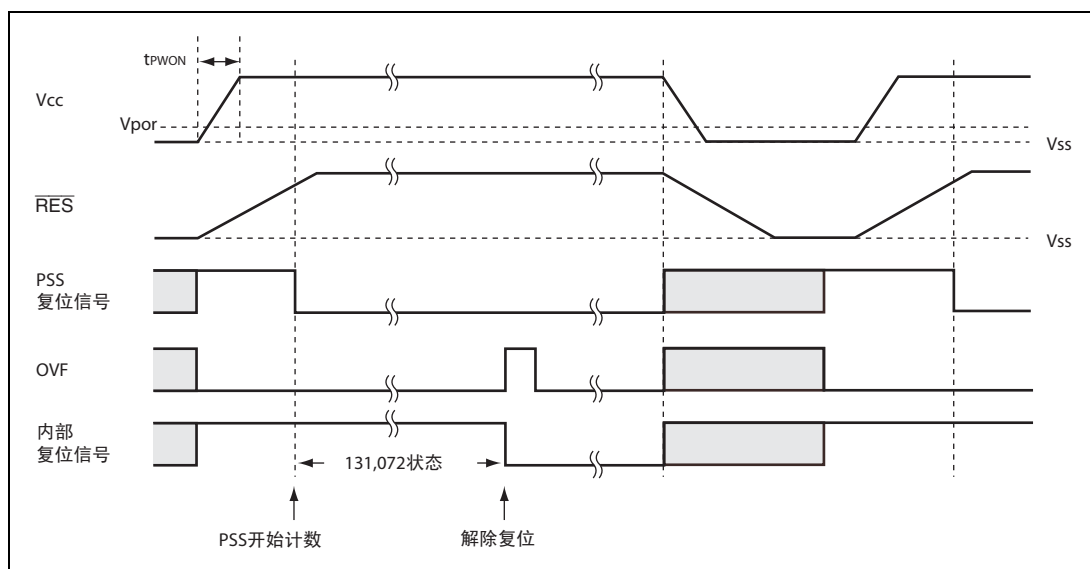


图 14.2 加电复位电路的运行时序

14.3.2 低电压检测电路

（1）低电压检测复位电路（LVDR）

LVDR 的运行时序如图 14.3 所示。在加电复位解除后, LVDR 变为模块待机状态。为了让 LVDR 运行, 将 LVDCR 的 LVDE 位置 1, 并且通过 LVDCNT 的溢出等, 在等待到基准电压和低电压检测电源稳定为止的时间 $t_{LVDRON}(100\mu s)$ 后, 将 LVDCR 的 LVDRE 位置 1。此后, 必须进行端口的输出设定。另外, 在解除低电压检测电路时, 在将 LVDRE 位清 0 后, 将 LVDE 位清 0。为了避免误动作, 不能将 LVDE 位和 LVDRE 位同时清除。

如果电源电压下降到 V_{reset} 电压 ($typ.=2.3V$ 或者 $3.3V$) 以下, LVDR 就使 \overline{LVDRES} 信号变为 0, 并且复位预定标器 S。只要加电复位不动作, 就继续低电压检测复位状态。如果电源电压再次上升到 V_{reset} 电压以上, 预定标器 S 就开始累加计数, 对 ϕ 进行 131,072 次计数, 解除内部复位信号。此时, LVDCR 的 LVDE 位、LVDSSEL 位、LVDRE 位不被初始化。

但是, 在电源电压 V_{cc} 在下降到 $V_{LVDRmin}=1.0V$ 以下后从此开始上升的情况下, 低电压检测复位可能不运行, 请充分评价。

另外, 如果电源电压 V_{cc} 下降到 $V_{por}=100mV$ 以下, 本 LSI 就变为加电复位运行。

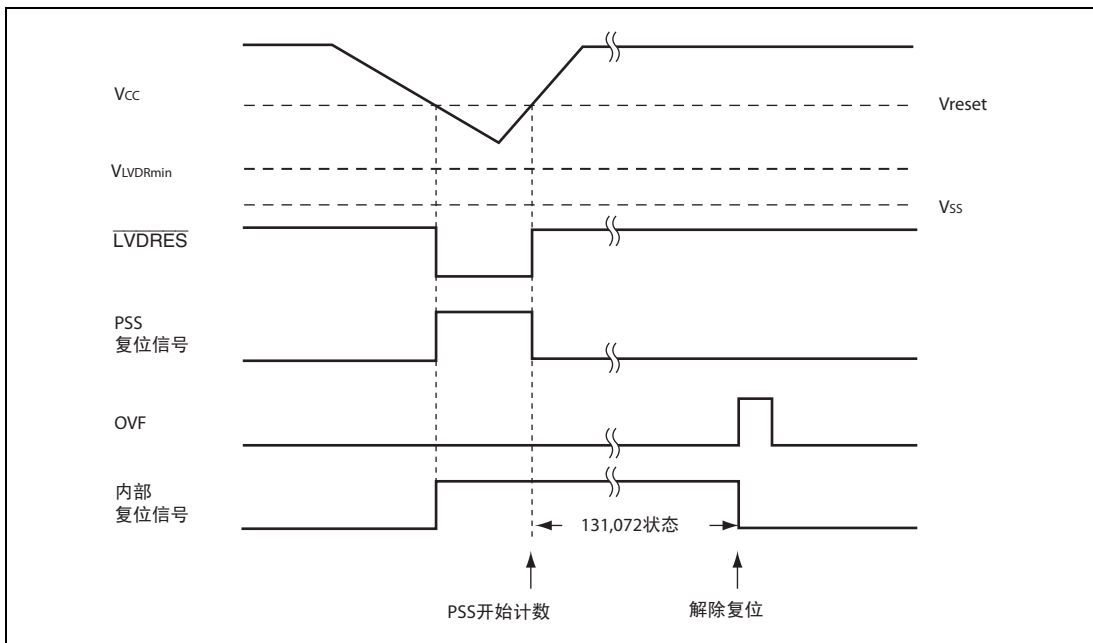


图 14.3 低电压检测复位电路的运行时序

（2）低电压检测中断电路（LVDI）

LVDI 的运行时序如图 14.4 所示。在解除加电复位后，LVDI 变为模块待机状态。为了让 LVDI 运行，将 LVDCR 的 LVDE 位置 1，并且通过 LVDCNT 的溢出等，在等待到基准电压和低电压检测电源稳定为止的时间 $t_{LVDON}(100\mu s)$ 后，将 LVDCR 的 LVDDE 位和 LVDUE 位置 1。此后，必须进行端口的输出设定。另外，在解除低电压检测电路时，在将 LVDD E 位和 LVDUE 位全部清 0 后，将 LVDE 位清 0。为了避免误动作，LVDE 位不能和 LVDDE 位、LVDUE 位同时清除。

如果电源电压下降到 $V_{int(D)}$ (typ.=3.7V)电压以下，LVDI 就使 \overline{LVDINT} 信号变为 0，将 LVDSR 的 LVDDF 位置 1。如果 LVDDE 位是 1，就发生 IRQ0 中断请求。此时，必须将需要的数据保存到外接的 EEPROM 等，并且转移到待机模式、时钟模式或者子睡眠模式。设计电源电路时，必须在完成此处理之前，将电源电压保持在保证运行的下限电压以上。

另外，如果电源电压不下降到 V_{reset1} (typ.=2.3V)电压，而上升到 $V_{int(U)}$ (typ.=4.0V)电压以上， \overline{LVDINT} 信号就变为 1，此时，如果 LVDUE 位是 1，LVDSR 的 LVDUF 位就被置 1，同时发生 IRQ0 中断请求。

如果电源电压下降到 V_{reset1} (typ.=2.3V)电压以下，本 LSI 就变为低电压检测复位运行。

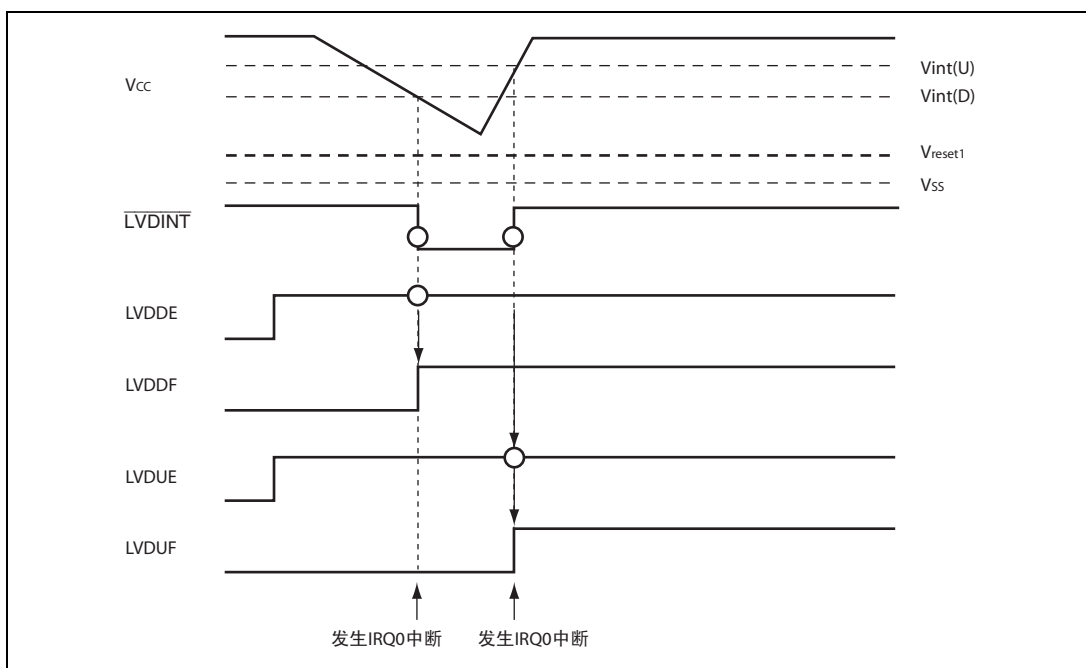


图 14.4 低电压检测中断电路的运行时序

本 LSI 能通过 Vref、extD、extU 管脚，从 LSI 外部输入基准电压、电源电压下降检测电平以及电源电压上升检测电平。使用 Vref、extD、extU 管脚时的 LVDI 的运行时序如图 14.5 所示。首先，

- (1) 将 extD/extU 管脚的输入电压设定成比中断检测电压 Vexd 高的电压。
- (2) 在初始设定后，如果 extD 输入电压下降到 Vexd 以下，就产生电源下降中断。
- (3) 在发生电源下降中断后，如果外部电源电压上升，并且 extU 输入电压上升到 Vexd 以上，就产生电源上升中断。
- (4) 和使用内部电路时相同，在使用 LVDI 功能时，必须和 LVDR(Vreset1)一起使用。

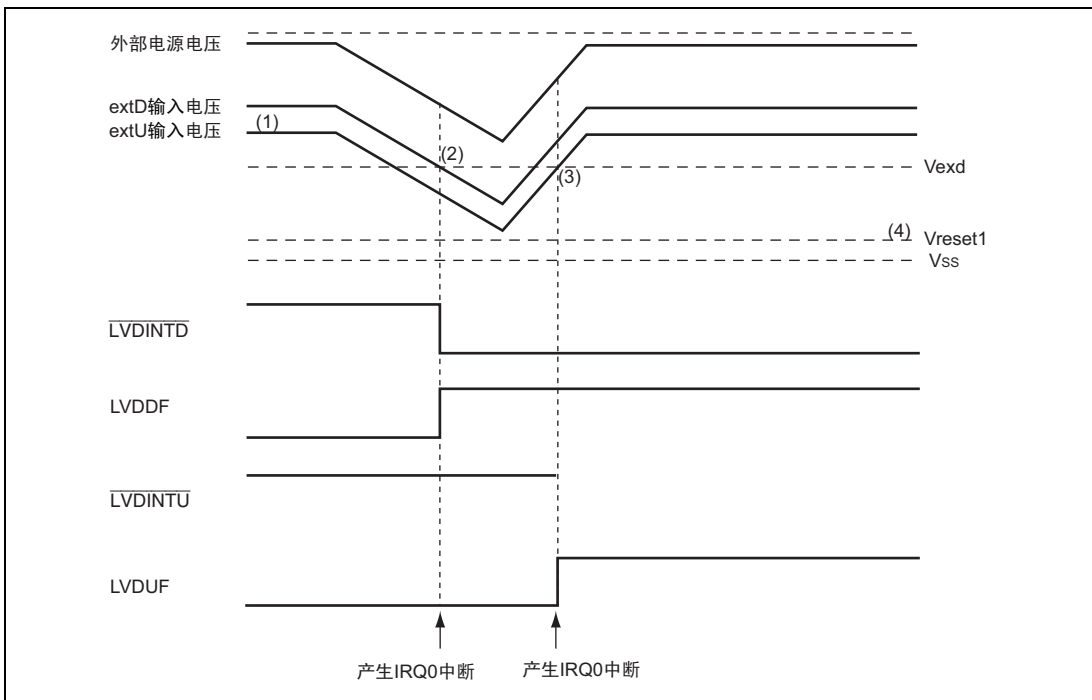


图 14.5 低电压检测中断电路的运行时序（在使用 Vref、extD/extU 管脚时）

使用 Vref、extD、extU 管脚时的 LVD 功能使用例子如图 14.6 所示。

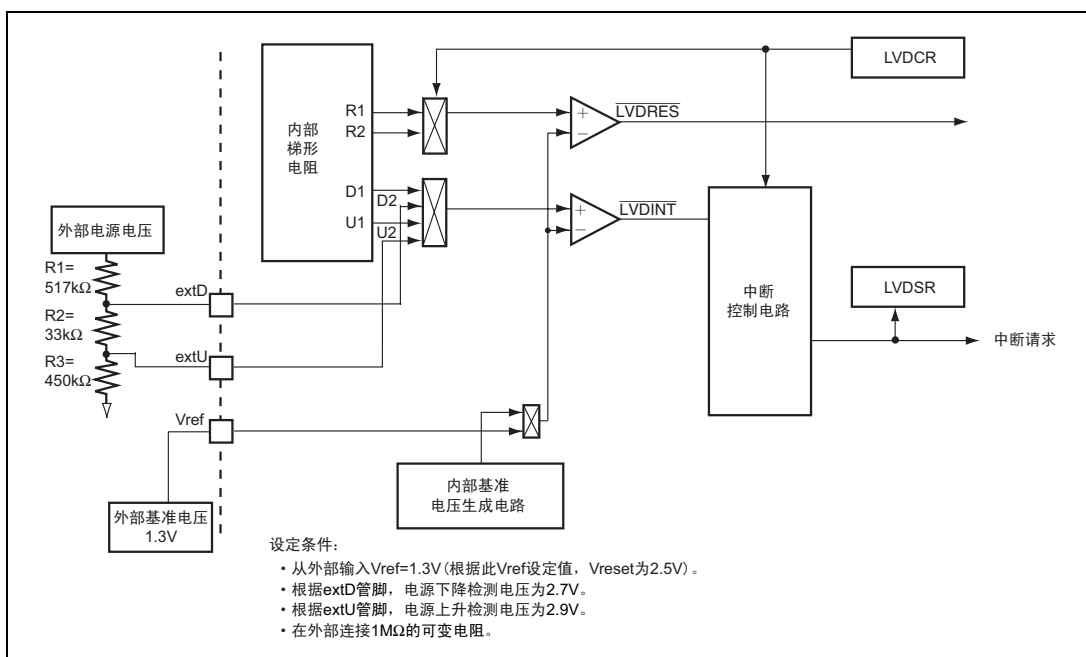


图 14.6 使用 Vref、extD、extU 管脚时的 LVD 功能使用例子

利用 Vref、extD、extU 管脚, 从 LSI 外部输入基准电压和检测电压时的外接电阻值的计算方法如下所示:

步骤:

1. 决定总电阻值 R。根据 R 值, 能决定电阻消耗的电流值。如果 R 变小, 电流就变大; 如果 R 变大, 电流就变小。此 R 值依存于安装本 LSI 的系统构成。
2. 决定电源下降检测电压 (Vint(D)) 和电源上升检测电压 (Vint(U))。
3. 使用如下所示的电阻值计算表, 从 R、Vreset1、Vint(D) 以及 Vint(U) 的值计算 Vref、R1、R2 以及 R3 的值。

电阻值计算表

EX. No	Vref(V)	R(k Ω)	Vreset1	Vint(D)	Vint(U)	R1(k Ω)	R2(k Ω)	R3(k Ω)
1	1.30	1000	2.5	2.7	2.9	517	33	450
2	1.41	1000	2.7	2.9	3	514	16	470
3	1.57	1000	3	3.2	3.5	511	42	447
4	2.09	1000	4	4.5	4.7	536	20	444

4. 通过如下所示的误差计算表，输入R1、R2、R3以及Vref的值，计算Vreset1、Vint(D)以及Vint(U)的误差。必须确认各值的max值和min值。

误差计算表

Vref(V)	R1 (k Ω)	R2 (k Ω)	R3 (k Ω)	电阻值的误差 (%)	比较器 误差 (V)	Vreset1 (V)	Vint(D) (V)	Vint(U) (V)
				5				
1.3	517	33	450	R1+Err, R2/R3-Err	0.1	2.59	2.94	3.15
					0	2.49	2.84	3.05
					-0.1	2.39	2.74	2.95
				R1-Err, R2/R3+Err	0.1	2.59	2.66	2.85
					0	2.49	2.56	2.75
					-0.1	2.39	2.46	2.65
				R1/R2/R3 NoErr	0.1	2.59	2.79	2.99
					0	2.49	2.69	2.89
					-0.1	2.39	2.59	2.79
				R1/R2+Err, R3-Err	0.1	2.59	2.93	3.16
					0	2.49	2.83	3.06
					-0.1	2.39	2.73	2.96
R1/R2-Err, R3+Err	0.1	2.59	2.67	2.84				
	0	2.49	2.57	2.74				
	-0.1	2.39	2.47	2.64				

(3) 使用 LVDR、LVDI 时的运行/解除的设定步骤

为了正常运行或者解除低电压检测电路，必须按以下步骤设定。设定低电压检测电路运行和解除时的时序如图 14.7 所示。

1. 运行低电压检测电路时，首先，将LVDCR的LVDE位置1。
2. 通过LVDCNT的溢出等，在等待到基准电压和低电压检测电源稳定为止的时间 t_{LVDDON} (100 μ s)后，将LVDSR的LVDDF位和LVDF位清0，根据需要将LVDCR的LVDR位、LVDE位以及LVDF位位置1。
3. 解除低电压检测电路时，在将LVDR位、LVDE位以及LVDF位全部清0后，将LVDE位清0。为了避免误动作，LVDE位不能和LVDR位、LVDE位、LVDF位同时清除。

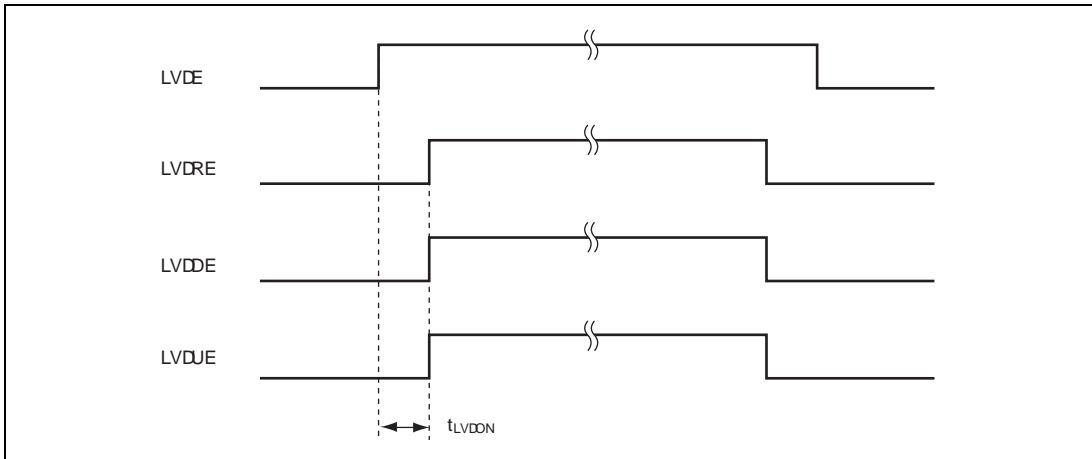


图 14.7 低电压检测电路运行/解除的设定时序

第 15 章 电源电路（仅 H8/38124 群）

在本 LSI 中内置内部电源降压电路。通过使用此内部电源降压电路，能不依靠连接到外部 V_{CC} 管脚的电源电压，将内部电源大约固定在 3.0V。因此，能抑制使用 3.0V 以上的外部电源时的消费电流，使它与使用大约 3.0V 的外部电源时的消费电流基本相同。当外部电压低于 3.0V 时，内部电压与外部电压基本相同。也能不使用内部电源降压电路，将内部电源电压和外部电源电压同样地使用。

15.1 使用内部电源降压电路的情况

如图 15.1 所示，必须将外部电源连接到 V_{CC} 管脚，并且在 CV_{CC} 和 V_{SS} 之间连接一个大约 0.1 μ F 的电容器。通过附加这个外部电路，使内部降压电路有效。外部电路的输入/输出电平以连接到 V_{CC} 的外部电源电压和连接到 V_{SS} 的 GND 电位为基准。例如，对于端口的输入/输出电平，高电平以 V_{CC} 为基准，低电平以 V_{SS} 为基准。A/D 转换器的模拟电源不受内部降压电路的影响。

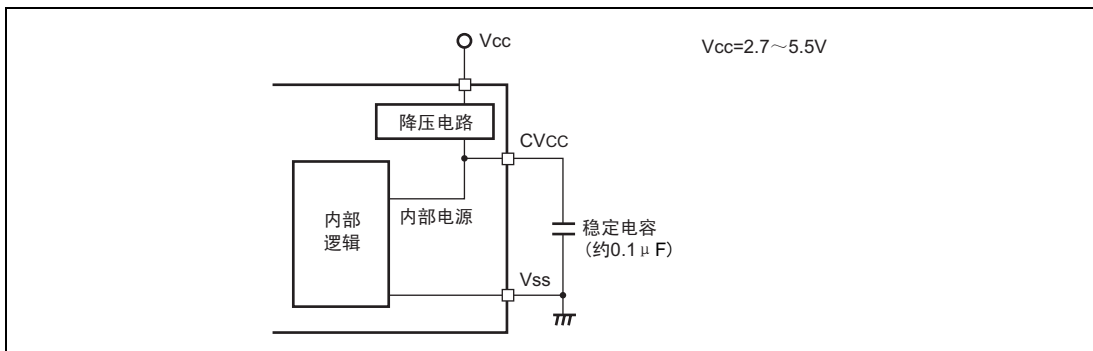


图 15.1 在使用内部电源降压电路的情况下的电源连接图

15.2 不使用内部电源降压电路的情况

如图 15.2 所示，必须将外部电源连接到 CV_{CC} 和 V_{CC} 管脚。外部电源被直接提供给内部电源。可使用的电源电压为 2.7V~3.6V。在供给超过这个范围的电源的情况下，运行不被保证。

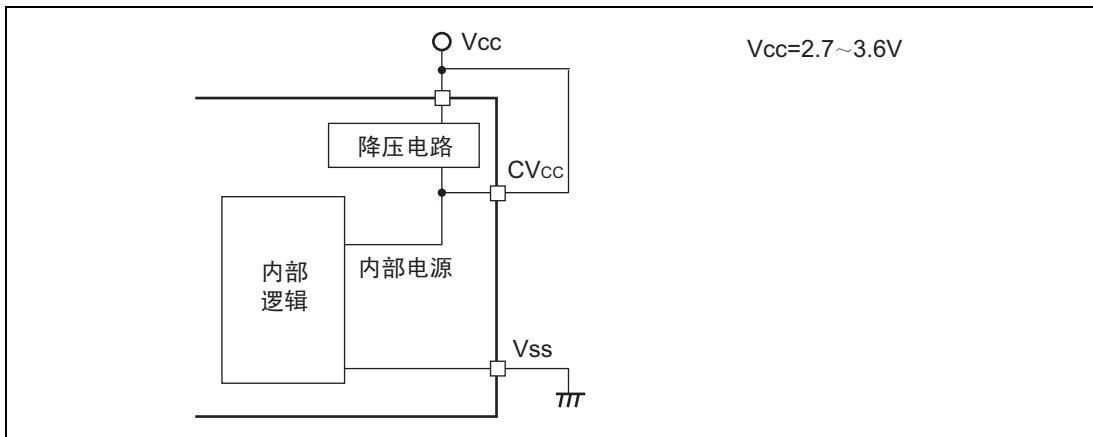


图 15.2 在不使用内部电源降压电路的情况下的电源连接图

第 16 章 电特性

16.1 H8/38024 群（ZTAT 版和掩模型 ROM 版）的绝对最大额定值

绝对最大额定值如表 16.1 所示。

表 16.1 绝对最大额定值

项目		符号	规格值	单位	备注
电源电压		V_{CC}	$-0.3 \sim +7.0$	V	*
模拟电源电压		AV_{CC}	$-0.3 \sim +7.0$	V	
编程电压		V_{PP}	$-0.3 \sim +13.0$	V	
输入电压	端口 B、IRQAEC 除外	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V	
	端口 B	AV_{in}	$-0.3 \sim AV_{CC} + 0.3$	V	
	IRQAEC	HV_{in}	$-0.3 \sim +7.3$	V	
端口 9 管脚电压		V_{p9}	$-0.3 \sim +7.3$	V	
工作温度		T_{opr}	$-20 \sim +75$ （通常规格产品）	°C	
			$-40 \sim +85$ （温度范围扩大规格产品）		
保存温度		T_{stg}	$-55 \sim +125$	°C	

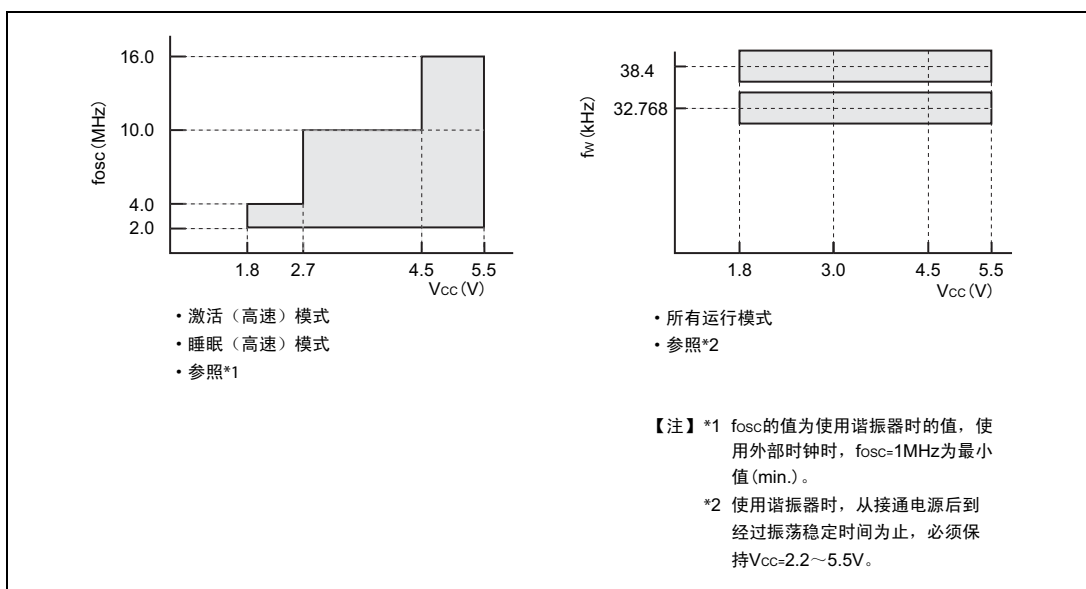
【注】 * 在超过绝对最大额定值使用 LSI 的情况下，会永久损坏 LSI。另外，通常运行请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的可靠性带来不良影响

16.2 H8/38024 群（ZTAT 版和掩模型 ROM 版）的电特性

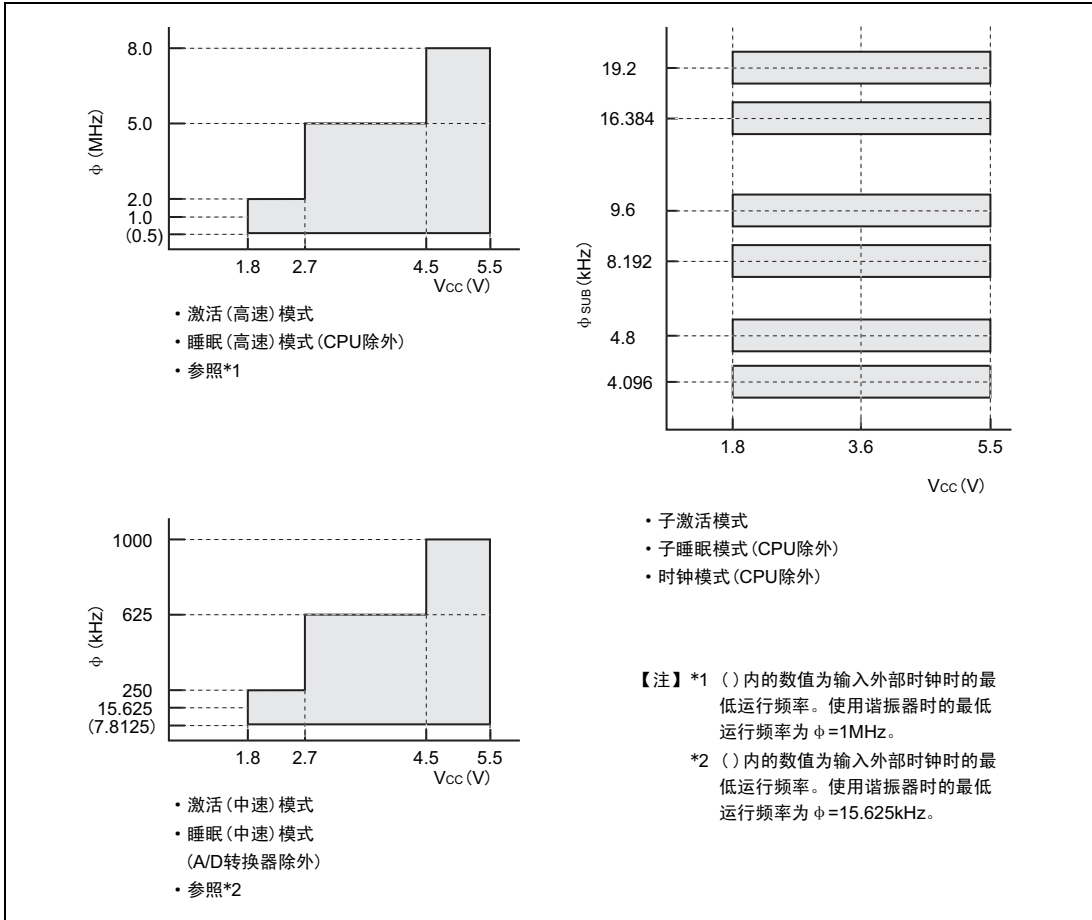
16.2.1 电源电压和运行范围

电源电压和运行范围（阴影部分）如下所示：

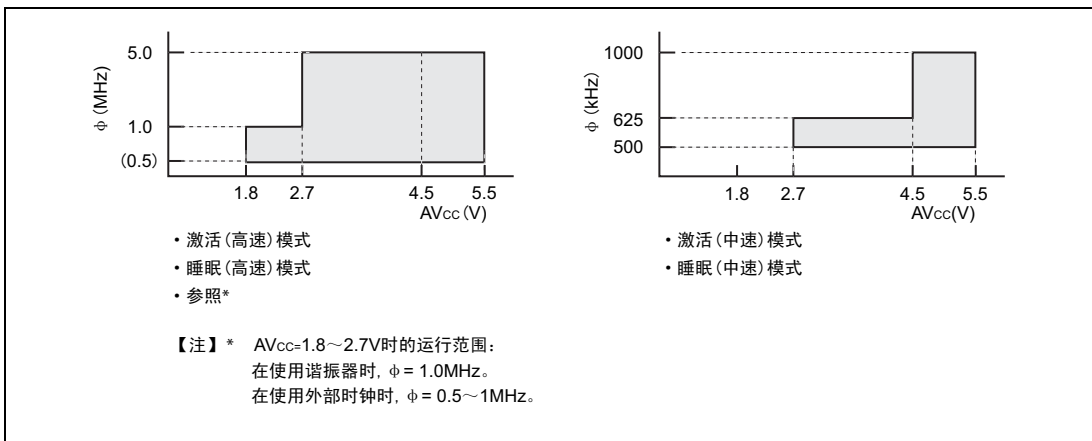
（1）电源电压和振荡频率的范围



(2) 电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的运行范围



16.2.2 DC 特性

DC 特性如表 16.2 所示。

表 16.2 DC 特性

(在没有特别记载的情况下, $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ (通常规格产品)、
 $T_a=-40\sim +85^\circ C$ (温度范围扩大规格产品)、 $T_a=+75^\circ C$ (裸芯片产品)、包括子激活模式)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入高电平电压	V_{IH}	\overline{RES} 、 $\overline{WKPO}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 $AEVL$ 、 $AEVH$ 、 $TMIC$ 、 $TMIF$ 、 $TMIG$ 、 \overline{ADTRG} 、 $SCK32$	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		
		RXD32、UD	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$		
		OSC1	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上面所记以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		
		X1	$V_{CC}=1.8\sim 5.5V$	$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		P13、P14、 P16、P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$		
		PB0~PB7	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$AV_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$AV_{CC}+0.3$		
		IRQAEC	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	7.3	V	
			上述以外	$0.9V_{CC}$	—	7.3		

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入低电平电压	V _{IL}	RES、 WKPO~WKP7、 IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK32	V _{CC} =4.0~5.5V	-0.3	-	0.2V _{CC}	V	
			上述以外	-0.3	-	0.1V _{CC}		
		RXD32、UD	V _{CC} =4.0~5.5V	-0.3	-	0.3V _{CC}	V	
			上述以外	-0.3	-	0.2V _{CC}		
		OSC1	V _{CC} =4.0~5.5V	-0.3	-	0.2V _{CC}	V	
			上述以外	-0.3	-	0.1V _{CC}		
		X1	V _{CC} =1.8~5.5V	-0.3	-	0.1V _{CC}	V	
		P13、P14、 P16、P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3、 PB0~PB7	V _{CC} =4.0~5.5V	-0.3	-	0.3V _{CC}	V	
			上述以外	-0.3	-	0.2V _{CC}		
		输出高电平电压	V _{OH}	P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	V _{CC} =4.0~5.5V -I _{OH} =1.0mA	V _{CC} -1.0	-	-
V _{CC} =4.0~5.5V -I _{OH} =0.5mA	V _{CC} -0.5				-	-		
-I _{OH} =0.1mA	V _{CC} -0.3				-	-		

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注	
				min.	typ.	max.			
输出低电平 电压	V_{OL}	P13、P14、 P16、P17、 P40~P42、	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V		
			$I_{OL}=0.4mA$	—	—	0.5			
		P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$I_{OL}=0.4mA$	—	—	0.5			
			P30~P37	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10mA$	—	—			1.5
				$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—			0.6
		$I_{OL}=0.4mA$		—	—	0.5			
		P90~P92	$V_{CC}=2.2\sim 5.5V$ $I_{OL}=25mA$	—	—	0.5			*5
			$I_{OL}=15mA$	—	—	0.5			*6
			$I_{OL}=10mA$						
		P93~P95	$I_{OL}=10mA$	—	—	0.5			
输入/输出 漏泄电流	$ I_{IL} $	RES、P43	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	20.0	μA	*2	
			—	—	1.0	*1			
		OSC1、X1、 P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 IRQAEC、 PA0~PA3、 P90~P95	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	μA		
			PB0~PB7	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—			1.0
上拉 MOS 电流	$-I_p$	P13、P14、 P16、P17、 P30~P37、 P50~P57、 P60~P67	$V_{CC}=5V、V_{IN}=0V$	50.0	—	300.0	μA		
			$V_{CC}=2.7V、V_{IN}=0V$	—	35.0	—	μA	参考值	

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入电容	C _{IN}	电源、 $\overline{\text{RES}}$ 、P43、 IRQAEC、 PB0~PB7 管脚除 外的所有输入管脚	f=1MHz、V _{IN} =0V、 T _a =25°C	—	—	15.0	pF	
		IRQAEC		—	—	30.0		※2
		$\overline{\text{RES}}$		—	—	80.0		※1
		P43		—	—	50.0		※2
		PB0~PB7		—	—	15.0		※1
				—	—	15.0		
激活模式 消耗电流	I _{OP1}	V _{CC}	激活（高速）模式 V _{CC} =5V、f _{OSC} =10MHz	—	7.0	10.0	mA	※3 ※4
	I _{OP2}	V _{CC}	激活（中速）模式 在 V _{CC} =5V、f _{OSC} =10MHz、 φ _{osc} /128 时	—	2.2	3.0		※3 ※4
睡眠模式 消耗电流	I _{SLEEP}	V _{CC}	V _{CC} =5V、f _{OSC} =10MHz	—	3.8	5.0	mA	※3 ※4
子激活模式 消耗电流	I _{SUB}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} = φ _W /2)	—	15.0	30.0	μA	※3 ※4
			V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} = φ _W /8)	—	8.0	—		μA
子睡眠模式 消耗电流	I _{SUBSP}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} = φ _W /2)	—	7.5	16.0	μA	※3 ※4
时钟模式 消耗电流	I _{WATCH}	V _{CC}	V _{CC} =2.7V、32kHz 使用晶体谐振器时 不使用 LCD	—	3.8	6.0	μA	※2 ※3 ※4
				—	2.8			※1 ※3 ※4
待机模式 消耗电流	I _{STBY}	V _{CC}	不使用 32kHz 晶体谐振器时	—	1.0	5.0	μA	※3 ※4
RAM 数据 保持电压	V _{RAM}	V _{CC}		1.5	—	—	V	
输出低电平 容许电流 (每个管脚)	I _{OL}	端口 3、9 除外的输出管脚	V _{CC} =4.0V~5.5V	—	—	2.0	mA	
		端口 3	V _{CC} =4.0V~5.5V	—	—	10.0		
		端口 9 除外的输出管脚		—	—	0.5		
		P90~P92	V _{CC} =2.2V~5.5V	—	—	25.0		
				—	—	15.0		
		P93~P95		—	—	10.0		
	—		—	10.0				

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输出低电平容许电流 (合计)	ΣI_{OL}	端口 3、9 除外的输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	40.0	mA	
		端口 3	$V_{CC}=4.0V\sim 5.5V$	—	—	80.0		
		端口 9 除外的输出管脚		—	—	20.0		
		端口 9		—	—	80.0		
输出高电平容许电流 (每个管脚)	$-I_{OH}$	所有输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	2.0	mA	
		上述以外		—	—	0.2		
输出高电平容许电流 (合计)	$\Sigma -I_{OH}$	所有输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	15.0	mA	
		上述以外		—	—	10.0		

【注】 TEST 管脚必须连接到 V_{SS} 。

- *1 适用于掩模型 ROM 产品。
- *2 适用于 HD64738024。
- *3 测定消耗电流时的管脚状态。

模式	RES 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活（高速）模式 (I_{OPE1}) 激活（中速）模式 (I_{OPE2})	V_{CC}	仅 CPU 运行	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚=GND
睡眠模式	V_{CC}	仅定时器运行	V_{CC}	停止	
子激活模式	V_{CC}	仅 CPU 运行	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： 晶体谐振器
子睡眠模式	V_{CC}	仅定时器运行 CPU 停止	V_{CC}	停止	
时钟模式	V_{CC}	仅时钟时基运行 CPU 停止	V_{CC}	停止	
待机模式	V_{CC}	CPU 和定时器都 停止	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚=GND

- *4 流向上拉 MOS 和输出缓冲器的电流除外。
- *5 适用于端口模式寄存器 9 的 PIOFF 为 0 的情况。
- *6 适用于端口模式寄存器 9 的 PIOFF 为 1 的情况。

16.2.3 AC 特性

控制信号时序如表 16.3 所示，串行接口时序如表 16.4 所示。

表 16.3 控制信号时序

(在没有特别记载的情况下, $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ (通常规格产品)、 $T_a=-40\sim +85^\circ C$ (温度范围扩大规格产品)、 $T_a=+75^\circ C$ (裸芯片产品)、包括子激活模式)

项目	符号	适用管脚	测定条件	规格值			单位	参照图			
				min.	typ.	max.					
系统时钟振荡器 振荡频率	f_{osc}	OSC1、OSC2	$V_{CC}=4.5\sim 5.5V$	2.0	—	16.0	MHz				
			$V_{CC}=2.7\sim 5.5V$	2.0	—	10.0					
			上述以外	2.0	—	4.0					
OSC 时钟 (ϕ_{osc}) 周期时间	t_{osc}	OSC1、OSC2	$V_{CC}=4.5\sim 5.5V$	62.5	—	500	ns	图 16.1 ※2			
						(1000)					
			$V_{CC}=2.7\sim 5.5V$	100	—	500					
						(1000)					
上述以外	250	—	500								
			(1000)								
系统时钟 (ϕ) 周期时间	t_{cyc}			2	—	128	t_{osc}				
				—	—	128	μs				
子时钟振荡器 振荡频率	f_w	X1、X2		—	32.768 或者 38.4	—	kHz				
钟表时钟 (ϕ_w) 周期时间	t_w	X1、X2		—	30.5 或者 26.0	—	μs	图 16.1			
子时钟 (ϕ_{SUB}) 周期时间	t_{subcyc}			2	—	8	t_w	※1			
指令 周期时间				2	—	—	t_{cyc} t_{subcyc}				
振荡稳定时间	t_c	OSC1、OSC2	图 16.8 的情况	—	20	45	μs	图 16.8			
			$V_{CC}=2.2\sim 5.5V$								
		上述以外	—	—	50	ms					
		X1、X2	$V_{CC}=2.7\sim 5.5V$	—	—	2.0	s	※3			
$V_{CC}=2.2\sim 5.5V$	—		—	10.0							
外部时钟 高电平宽度	t_{CPH}	OSC1	$V_{CC}=4.5\sim 5.5V$	25	—	—	ns	图 16.1			
			$V_{CC}=2.7\sim 5.5V$						40	—	—
			上述以外						100	—	—
		X1	—	15.26 或者 13.02	—	μs					

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
外部时钟 低电平宽度	t _{CPL}	OSC1	V _{CC} =4.5~5.5V	25	—	—	ns	图 16.1
			V _{CC} =2.7~5.5V	40	—	—		
			上述以外	100	—	—		
	X1	—	15.26 或者 13.02	—	μs			
外部时钟 上升时间	t _{CPH}	OSC1	V _{CC} =4.5~5.5V	—	—	6	ns	图 16.1
			V _{CC} =2.7~5.5V	—	—	10		
			上述以外	—	—	25		
	X1	—	—	55.0	ns			
外部时钟 下降时间	t _{CPF}	OSC1	V _{CC} =4.5~5.5V	—	—	6	ns	图 16.1
			V _{CC} =2.7~5.5V	—	—	10		
			上述以外	—	—	25		
	X1	—	—	55.0	ns			
RES 管脚 低电平宽度	t _{REL}	RES		10	—	—	t _{cyc}	图 16.2
输入管脚 高电平宽度	t _{IH}	IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 WKP0~WKP7、 TMIC、TMIF、 TMIG、ADTRG、 AEVL、AEVH		2	—	—	t _{cyc} t _{subcyc}	图 16.3
				0.5	—	—	t _{osc}	
输入管脚 低电平宽度	t _{IL}	IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 WKP0~WKP7、 TMIC、TMIF、 TMIG、ADTRG、 AEVL、AEVH		2	—	—	t _{cyc} t _{subcyc}	图 16.3
				0.5	—	—	t _{osc}	
UD 管脚 最小变化宽度	t _{UDH} t _{UDL}	UD		4	—	—	t _{cyc} t _{subcyc}	图 16.6

【注】 *1 通过设定系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 决定。

*2 () 内的数值是使用外部时钟时的 t_{osc max.}。

*3 在接通电源后，到经过振荡稳定时间为止，必须保持 V_{CC}=2.2~5.5V。

表 16.4 串行接口 (SCI3) 时序

(在没有特别记载的情况下, $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ (通常规格产品)、 $T_a=-40\sim +85^{\circ}C$ (温度范围扩大规格产品)、 $T_a=+75^{\circ}C$ (裸芯片产品))

项目		符号	测定条件	规格值			单位	参照图
				min.	typ.	max.		
输入时钟周期	异步	t_{scyc}		4	—	—	t_{cyc} 或者 t_{subcyc}	图 16.4
	时钟同步			6	—	—		
输入时钟脉冲宽度		t_{SCKW}		0.4	—	0.6	t_{scyc}	图 16.4
发送数据延迟时间 (时钟同步)		t_{TXD}	$V_{CC}=4.0\sim 5.5V$	—	—	1	t_{cyc} 或者 t_{subcyc}	图 16.5
			上述以外	—	—	1		
接收数据准备时间 (时钟同步)		t_{RXS}	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	ns	图 16.5
			上述以外	400.0	—	—		
接收数据保持时间 (时钟同步)		t_{RXH}	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	ns	图 16.5
			上述以外	400.0	—	—		

16.2.4 A/D 转换器特性

A/D 转换器特性如表 16.5 所示。

表 16.5 A/D 转换器特性

(在没有特别记载的情况下, $V_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ (通常规格产品)、 $T_a=-40\sim +85^\circ C$ (温度范围扩大规格产品)、 $T_a=+75^\circ C$ (裸芯片产品))

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
模拟电源电压	AV_{CC}	AV_{CC}		1.8	—	5.5	V	*1
模拟输入电压	AV_{IN}	AN0~AN7		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	AI_{OPE}	AV_{CC}	$AV_{CC}=5.0V$	—	—	1.5	mA	
	AI_{STOP1}	AV_{CC}		—	600	—	μA	*2 参考值
	AI_{STOP2}	AV_{CC}		—	—	5	μA	*3
模拟输入电容	C_{AIN}	AN0~AN7		—	—	15.0	pF	
容许信号源阻抗	R_{AIN}			—	—	10.0	k Ω	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=2.7\sim 5.5V$ $V_{CC}=2.7\sim 5.5V$	—	—	± 2.5	LSB	
			$AV_{CC}=2.0\sim 5.5V$ $V_{CC}=2.0\sim 5.5V$	—	—	± 5.5		
			上述以外	—	—	± 7.5		*4
				—	—	± 0.5	LSB	
绝对精度			$AV_{CC}=2.7\sim 5.5V$ $V_{CC}=2.7\sim 5.5V$	—	—	± 3.0	LSB	
			$AV_{CC}=2.0\sim 5.5V$ $V_{CC}=2.0\sim 5.5V$	—	—	± 6.0		
			上述以外	—	—	± 8.0		*4
				—	—	± 0.5	LSB	
转换时间			$AV_{CC}=2.7\sim 5.5V$ $V_{CC}=2.7\sim 5.5V$	12.4	—	124	μs	
			上述以外	62	—	124		
				—	—	—		

【注】 *1 在不使用 A/D 转换器时, 必须使 $AV_{CC}=V_{CC}$ 。

*2 AI_{STOP1} 是在激活模式、睡眠模式的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

*4 转换时间 62 μs 。

16.2.5 LCD 特性

LCD 特性如表 16.6 所示。

表 16.6 LCD 特性

(在没有特别记载的情况下, $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ (通常规格产品)、 $T_a=-40\sim +85^\circ C$ (温度范围扩大规格产品)、 $T_a=+75^\circ C$ (裸芯片产品)、包括子激活模式)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
段驱动器 下降电压	V_{DS}	SEG1~SEG32	$I_D=2\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.6	V	*1
公共驱动器 下降电压	V_{DC}	COM1~COM4	$I_D=2\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.3	V	*1
LCD 电源分压电阻	R_{LCD}		在 V_1-V_{SS} 之间	0.5	3.0	9.0	M Ω	
液晶显示电压	V_{LCD}	V1		2.2	—	5.5	V	*2

【注】 *1 是从电源管脚 V_1 、 V_2 、 V_3 、 V_{SS} 到各段管脚或者公共管脚的电压降。

*2 在通过外部电源供给液晶显示电压时, 必须维持 $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$ 的关系。

16.3 H8/38024 群 (F-ZTAT 版) 和 H8/38024R 群 (F-ZTAT 版) 的绝对最大额定值

绝对最大额定值如表 16.7 所示。

表 16.7 绝对最大额定值

项目		符号	规格值	单位	备注
电源电压		V_{CC}	$-0.3\sim +4.3$	V	*1
模拟电源电压		AV_{CC}	$-0.3\sim +4.3$	V	
输入电压	端口 B、IRQAEC 除外	V_{in}	$-0.3\sim V_{CC}+0.3$	V	
	端口 B	AV_{in}	$-0.3\sim AV_{CC}+0.3$	V	
	IRQAEC	HV_{in}	$-0.3\sim +7.3$	V	
端口 9 管脚电压		V_{p9}	$-0.3\sim +7.3$	V	
工作温度		T_{opr}	$-20\sim +75$ (通常规格产品)	$^\circ C$	
			$-40\sim +85$ (温度范围扩大规格产品) *2		
			$+75$ (裸芯片产品) *3		
保存温度		T_{stg}	$-55\sim +125$	$^\circ C$	

【注】 *1 在超过绝对最大额定值使用 LSI 的情况下, 会永久损坏 LSI。另外, 通常运行请尽量在“电特性”的条件下使用, 如果超过这些条件, 就会引起 LSI 误动作, 同时会给 LSI 的可靠性带来不良影响。

*2 编程/擦除快速擦写存储器时的工作温度范围为 $T_a=-20\sim +75^\circ C$ 。

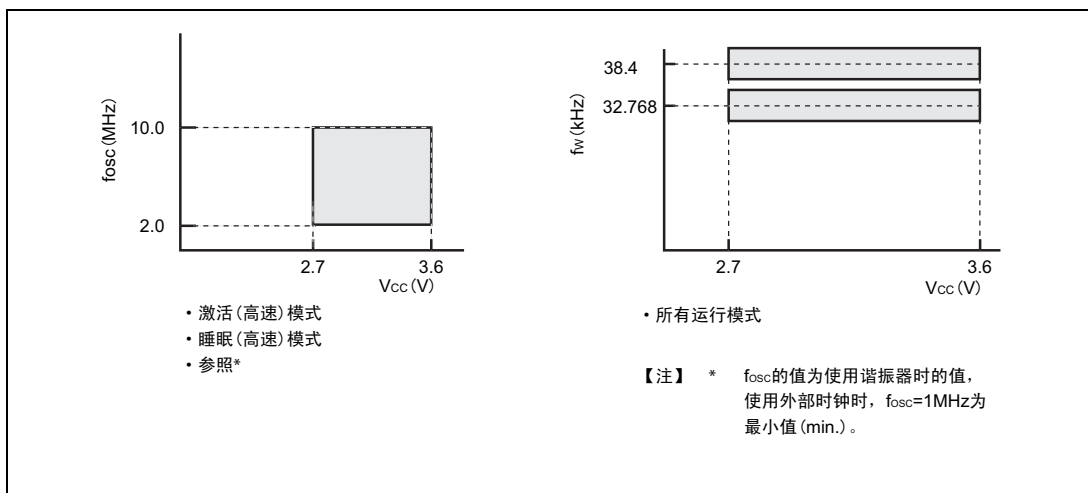
*3 加电后的最佳工作温度为 $-20\sim +75^\circ C$ 。

16.4 H8/38024 群 (F-ZTAT 版) 和 H8/38024R 群 (F-ZTAT 版) 的电特性

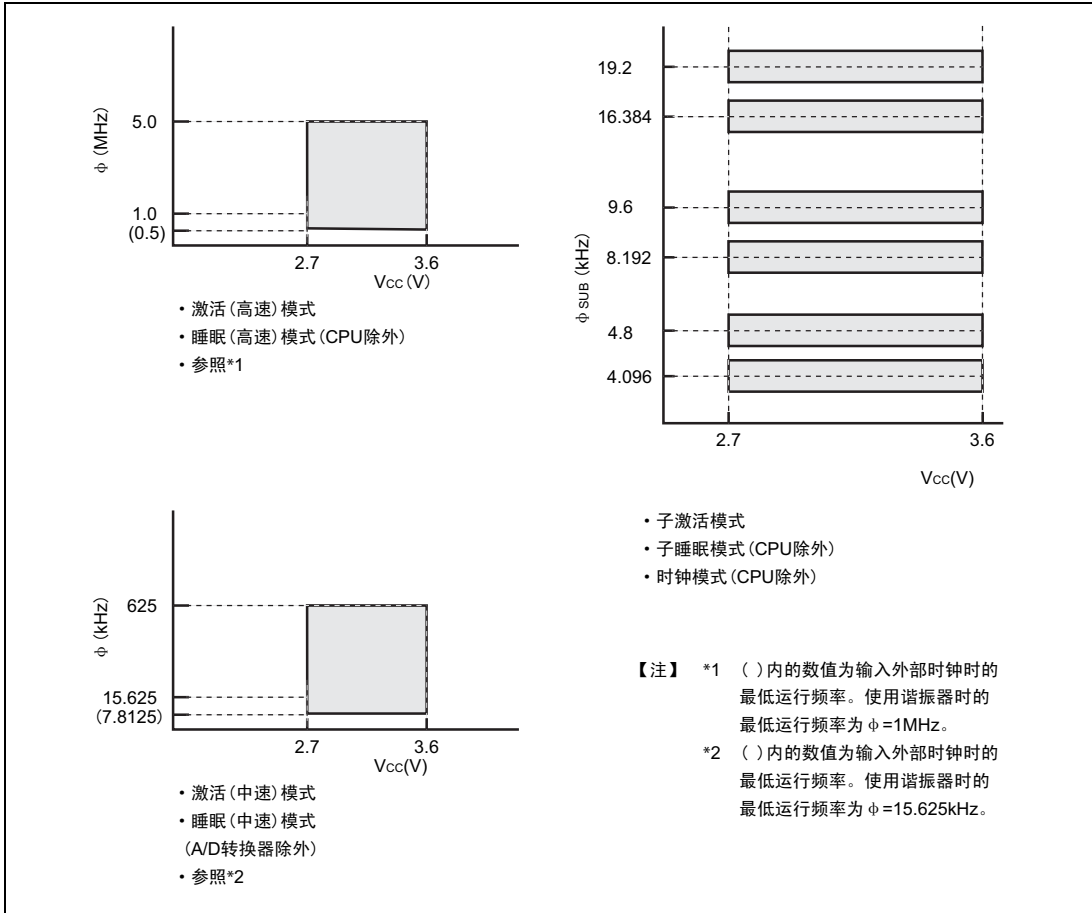
16.4.1 电源电压和运行范围

电源电压和运行范围 (阴影部分) 如下所示:

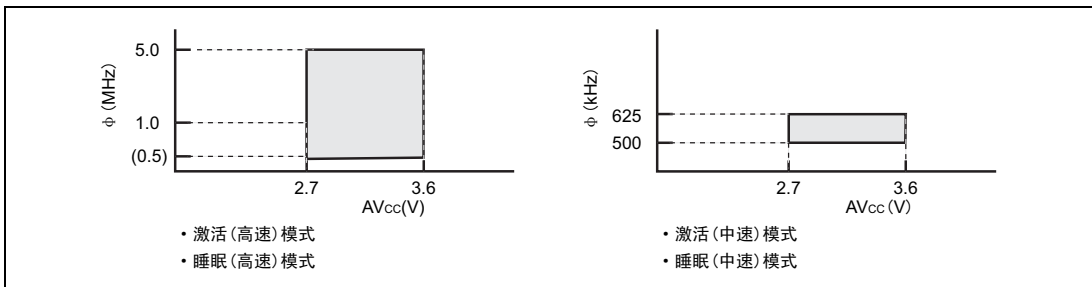
(1) 电源电压和振荡频率的范围



(2) 电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的运行范围



16.4.2 DC 特性

DC 特性如表 16.8 所示。

表 16.8 DC 特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入高电平电压	V_{IH}	\overline{RES} 、 $\overline{WKPO}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG、 \overline{ADTRG} 、 SCK32		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		RXD32、UD		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		OSC1		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		X1		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		P13、P14、 P16、P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		PB0~PB7		$0.8V_{CC}$	—	$AV_{CC}+0.3$		
		IRQAEC、P95* ⁵		$0.9V_{CC}$	—	7.3	V	

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入低电平 电压	V _{IL}	RES、 WKP0~WKP7、 IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、P95*5 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK32		-0.3	-	0.1V _{CC}	V	
		RXD32、UD		-0.3	-	0.2V _{CC}	V	
		OSC1		-0.3	-	0.1V _{CC}	V	
		X1		-0.3	-	0.1V _{CC}	V	
		P13、P14、 P16、P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3、 PB0~PB7		-0.3	-	0.2V _{CC}	V	
输出高电平 电压	V _{OH}	P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	-I _{OH} =1.0mA	V _{CC} -1.0	-	-	V	
			-I _{OH} =0.1mA	V _{CC} -0.3	-	-		

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输出低电平电压	V_{OL}	P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$I_{OL}=0.4mA$	—	—	0.5	V	
		P90~P92	$I_{OL}=25mA$	—	—	0.5		*1
			$I_{OL}=10mA$					*2
		P93~P95	$I_{OL}=10mA$	—	—	0.5		
输入/输出漏泄电流	$ I_{IL} $	RES、P43 OSC1、X1、 P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 IRQAEC、 PA0~PA3、 P90~P95	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	μA	
		PB0~PB7	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—	1.0		
上拉 MOS 电流	$-I_p$	P13、P14、 P16、P17、 P30~P37、 P50~P57、 P60~P67	$V_{CC}=3V、V_{IN}=0V$	30	—	180	μA	

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入电容	C _{IN}	电源、IRQAEC 管脚除外所有 输入管脚	f=1MHz、V _{IN} =0V、 T _a =25℃	—	—	15.0	pF	
		IRQAEC		—	—	30.0		
激活模式 消耗电流	I _{OP1}	V _{CC}	激活（高速）模式 V _{CC} =3V、f _{OSC} =2MHz	—	1.2	—	mA	Max 指标值 = 1.1×typ *3 *4
			激活（高速）模式 V _{CC} =3V、f _{OSC} =4MHz	—	1.8	—		max 指标值 = 1.1×typ *3 *4
			激活（高速）模式 V _{CC} =3V、f _{OSC} =10MHz	—	4.0	6.0		*3 *4
	I _{OP2}	V _{CC}	激活（中速）模式 V _{CC} =3V、f _{OSC} =2MHz、 φ _{osc} /128 时	—	0.7	—	mA	max 指标值 = 1.1×typ *3 *4
			激活（中速）模式 V _{CC} =3V、f _{OSC} =4MHz、 φ _{osc} /128 时	—	0.8	—		max 指标值 = 1.1×typ *3 *4
			激活（中速）模式 V _{CC} =3V、f _{OSC} =10MHz、 φ _{osc} /128 时	—	1.2	1.8		*3 *4
睡眠模式 消耗电流	I _{SLEEP}	V _{CC}	V _{CC} =3V、f _{OSC} =2MHz	—	1.0	—	mA	max 指标值 = 1.1×typ *3 *4
			V _{CC} =3V、f _{OSC} =4MHz	—	1.5	—		max 指标值 = 1.1×typ *3 *4
			V _{CC} =3V、f _{OSC} =10MHz	—	3.2	4.8		*3 *4
子激活模式 消耗电流	I _{SUB}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _W /8)	—	10	—	μA	*3 *4 参考值
			V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _W /2)	—	20	40		*3 *4
子睡眠模式 消耗电流	I _{SUBSP}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _W /2)	—	4.8	16.0	μA	*3 *4
时钟模式 消耗电流	I _{WATCH}	V _{CC}	V _{CC} =2.7V、T _a =25℃ 使用 32kHz 晶体谐振器时 不使用 LCD	—	2.0	—	μA	*3 *4 参考值
			V _{CC} =2.7V、 使用 32kHz 晶体谐振器时 不使用 LCD	—	2.0	6.0		*3 *4
待机模式 消耗电流	I _{STBY}	V _{CC}	V _{CC} =3.0V、T _a =25℃ 不使用 32kHz 晶体谐振器时	—	0.3	—	μA	*3 *4 参考值
			不使用 32kHz 晶体谐振器时	—	1.0	5.0		*3 *4
RAM 数据 保持电压	V _{RAM}	V _{CC}		2.0	—	—	V	

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注	
				min.	typ.	max.			
输出低电平容许电流 (每个管脚)	I_{OL}	端口 9 除外的输出管脚		—	—	0.5	mA		
		P90~P92		—	—	25.0			*1
				—	—	10.0			*2
		P93~P95		—	—	10.0			
输出低电平容许电流 (合计)	ΣI_{OL}	端口 9 除外的输出管脚		—	—	20.0	mA		
		端口 9		—	—	80.0			
输出高电平容许电流 (每个管脚)	$-I_{OH}$	所有输出管脚		—	—	0.2	mA		
输出高电平容许电流 (合计)	$\Sigma(-I_{OH})$	所有输出管脚		—	—	10.0	mA		

【注】 TEST 管脚必须连接到 V_{SS} 。

- *1 适用于端口模式寄存器 9 的 PIOFF 为 0 的情况。
- *2 适用于端口模式寄存器 9 的 PIOFF 为 1 的情况。
- *3 测定消耗电流时的管脚状态。

模式	\overline{RES} 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活（高速）模式 (I_{OPE1}) 激活（中速）模式 (I_{OPE2})	V_{CC}	仅 CPU 运行	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚 = GND
睡眠模式	V_{CC}	所有内部定时器 运行	V_{CC}	停止	
子激活模式	V_{CC}	仅 CPU 运行	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： 晶体谐振器
子睡眠模式	V_{CC}	所有内部定时器 运行 CPU 停止	V_{CC}	停止	
时钟模式	V_{CC}	仅时钟时基运行 CPU 停止	V_{CC}	停止	
待机模式	V_{CC}	CPU 和定时器都 停止	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚 = GND

- *4 流向上拉 MOS 和输出缓冲器的电流除外。
- *5 用于判定复位解除时的用户模式/引导模式。

16.4.3 AC 特性

控制信号时序如表 16.9 所示，串行接口时序如表 16.10 所示。

表 16.9 控制信号时序

(在没有特别记载的情况下, $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟振荡器 振荡频率	f_{OSC}	OSC1、OSC2		2.0	—	10.0	MHz	
OSC 时钟 (ϕ_{OSC}) 周期时间	t_{OSC}	OSC1、OSC2		100	—	500 (1000)	ns	图 16.1 *2
系统时钟 (ϕ) 周期时间	t_{cyc}			2	—	128	t_{OSC}	
				—	—	128	μs	
子系统时钟振荡器 振荡频率	f_W	X1、X2		—	32.768 或者 38.4	—	kHz	
钟表时钟 (ϕ_W) 周期时间	t_W	X1、X2		—	30.5 或者 26.0	—	μs	图 16.1
子时钟 (ϕ_{SUB}) 周期时间	t_{subcyc}			2	—	8	t_W	*1
指令 周期时间				2	—	—	t_{cyc} t_{subcyc}	
振荡稳定时间	t_{rc}	OSC1、OSC2	图 16.9 的晶体谐振器	—	0.8	2.0	ms	图 16.9 *3
			图 16.8 的晶体谐振器	—	2.0	6.0	ms	图 16.8 *4
			图 16.9 的陶瓷谐振器	—	20	45	μs	图 16.9 *3
			图 16.8 的陶瓷谐振器	—	20	45	μs	图 16.8 *4
			上述以外	—	—	50	ms	
		X1、X2	—	—	2.0	s		
外部时钟 高电平宽度	t_{CPH}	OSC1		40	—	—	ns	图 16.1
		X1		—	15.26 或者 13.02	—	μs	
外部时钟 低电平宽度	t_{CPL}	OSC1		40	—	—	ns	图 16.1
		X1		—	15.26 或者 13.02	—	μs	
外部时钟 上升时间	t_{CPr}	OSC1		—	—	10	ns	图 16.1
		X1		—	—	55.0	ns	

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
外部时钟 下降时间	t_{CPf}	OSC1		—	—	10	ns	图 16.1
		X1		—	—	55.0	ns	
RES 管脚 低电平宽度	t_{REL}	RES		10	—	—	t_{cyc}	图 16.2
输入管脚 高电平宽度	t_{IH}	IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 WKP0~WKP7、 TMIC、TMIF、 TMIG、ADTRG、		2	—	—	t_{cyc} t_{subcyc}	图 16.3
		AEVL、AEVH		0.5	—	—	t_{osc}	
输入管脚 低电平宽度	t_{IL}	IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 WKP0~WKP7、 TMIC、TMIF、 TMIG、ADTRG、		2	—	—	t_{cyc} t_{subcyc}	图 16.3
		AEVL、AEVH		0.5	—	—	t_{osc}	
UD 管脚 最小变化宽度	t_{UDH} t_{UDL}	UD		4	—	—	t_{cyc} t_{subcyc}	图 16.6

【注】 *1 通过设定系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 决定。

*2 () 内的数值是使用外部时钟时的 $t_{osc max.}$ 。

*3 适用于 HD64F38024R。

*4 适用于 HD64F38024。

表 16.10 串行接口 (SCI3) 时序

(在没有特别记载的情况下, $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位	参照图
			min.	typ.	max.		
输入时钟周期	异步	t_{syc}	4	—	—	t_{cyc} 或者 t_{subcyc}	图 16.4
	时钟同步		6	—	—		
输入时钟脉冲宽度	t_{SCKW}		0.4	—	0.6	t_{syc}	图 16.4
发送数据延迟时间 (时钟同步)	t_{TXD}		—	—	1	t_{cyc} 或者 t_{subcyc}	图 16.5
接收数据准备时间 (时钟同步)	t_{RXS}		400.0	—	—	ns	图 16.5
接收数据保持时间 (时钟同步)	t_{RXH}		400.0	—	—	ns	图 16.5

16.4.4 A/D 转换器特性

A/D 转换器特性如表 16.11 所示。

表 16.11 A/D 转换器特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
模拟电源电压	AV_{CC}	AV_{CC}		2.7	—	3.6	V	*1
模拟输入电压	AV_{IN}	AN0~AN7		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	AI_{OPE}	AV_{CC}	$AV_{CC}=3.0V$	—	—	1.0	mA	
	AI_{STOP1}	AV_{CC}		—	600	—	μA	*2 参考值
	AI_{STOP2}	AV_{CC}		—	—	5	μA	*3
模拟输入电容	C_{AIN}	AN0~AN7		—	—	15.0	pF	
容许信号源阻抗	R_{AIN}			—	—	10.0	k Ω	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=2.7\sim 3.6V$	—	—	± 3.5	LSB	
量化误差				—	—	± 0.5	LSB	
绝对精度			$AV_{CC}=2.7\sim 3.6V$	—	± 2.0	± 4.0	LSB	
转换时间			$AV_{CC}=2.7\sim 3.6V$	12.4	—	124	μs	

【注】 *1 在不使用 A/D 转换器时, 必须使 $AV_{CC}=V_{CC}$ 。

*2 AI_{STOP1} 是在激活模式、睡眠模式的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

16.4.5 LCD 特性

LCD 特性如表 16.12 所示。

表 16.12 LCD 特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
段驱动器 下降电压	V_{DS}	SEG1~SEG32	$I_D=2\mu A$ $V_1=2.7\sim 3.6V$	—	—	0.6	V	*1
公共驱动器 下降电压	V_{DC}	COM1~COM4	$I_D=2\mu A$ $V_1=2.7\sim 3.6V$	—	—	0.3	V	*1
LCD 电源分压电阻	R_{LCD}		在 V_1-V_{SS} 之间	0.5	3.0	9.0	M Ω	*3
				1.5	3.0	7.0		*4
液晶显示电压	V_{LCD}	V1		2.2	—	3.6	V	*2

【注】 *1 是从电源管脚 V_1 、 V_2 、 V_3 、 V_{SS} 到各段管脚或者公共管脚的电压降。

*2 在通过外部电源供给液晶显示电压时, 必须维持 $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$ 的关系。

*3 适用于 HD64F38024。

*4 适用于 HD64F38024R。

16.4.6 快速擦写存储器特性

表 16.13 快速擦写存储器特性

条件: $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $V_{CC}=2.7\sim 3.6V$ (读时的工作电压范围)、
 $V_{CC}=3.0\sim 3.6V$ (编程/擦除时的工作电压范围)、 $T_a=-20\sim +75^{\circ}C$ (编程/擦除时的工作温度范围)

项目		符号	测定条件	规格值			单位
				min.	typ.	max.	
编程时间 (每 128 字节) *1 *2 *4		t_P		—	7	200	ms
擦除时间 (每块) *1 *3 *6		t_E		—	100	1200	ms
改写次数		N_{WEC}		1000^{*8*11}	10000^{*9}	—	次
				100^{*8*12}	10000^{*9}	—	
数据保持时间		t_{DRP}		10^{*10}	—	—	年
编程时	SWE 位置位后的待机时间*1	x		1	—	—	μs
	PSU 位置位后的待机时间*1	y		50	—	—	μs
	P 位置位后的待机时间*1 *4	z1	$1 \leq n \leq 6$	28	30	32	μs
			$7 \leq n \leq 1000$	198	200	202	μs
			追加编程	8	10	12	μs
	P 位清除后的待机时间*1	α		5	—	—	μs
	PSU 位清除后的待机时间*1	β		5	—	—	μs
	PV 位置位后的待机时间*1	γ		4	—	—	μs
	虚写后的待机时间*1	ε		2	—	—	μs
	PV 位清除后的待机时间*1	η		2	—	—	μs
	SWE 位清除后的待机时间*1	θ		100	—	—	μs
	最大编程次数*1 *4 *5	N		—	—	1000	次
擦除时	SWE 位置位后的待机时间*1	x		1	—	—	μs
	ESU 位置位后的待机时间*1	y		100	—	—	μs
	E 位置位后的待机时间*1 *6	z		10	—	100	ms
	E 位清除后的待机时间*1	α		10	—	—	μs
	ESU 位清除后的待机时间*1	β		10	—	—	μs
	EV 位置位后的待机时间*1	γ		20	—	—	μs
	虚写后的待机时间*1	ε		2	—	—	μs
	EV 位清除后的待机时间*1	η		4	—	—	μs
	SWE 位清除后的待机时间*1	θ		100	—	—	μs
	最大擦除次数*1 *6 *7	N		—	—	120	次

【注】 *1 必须按照编程/擦除算法, 设定各时间。

*2 每 128 字节的编程时间, 表示将快速擦写存储器控制寄存器 1 (FLMCR1) 的 P 位置位的合计时间。不包含编程验证时间。

*3 擦除一块的时间, 表示快速擦写存储器控制寄存器 1 (FLMCR1) 的 E 位置位的合计时间。不包含擦除验证时间。

*4 编程时间的最大值 ($t_P(\text{MAX})$) = P 位置位后的待机时间(z) × 最大编程次数(N)

- *5 必须对照实际的 z1、z2 和 z3 的设定值，使最大编程次数(N)不超过编程时间的最大值 tp(MAX)。另外，必须按下列所示，根据编程次数(n)的值，改变 P 位置位后的待机时间 (z1、z2)。

编程次数 n

$$1 \leq n \leq 6 \quad z1 = 30\mu\text{s}$$

$$7 \leq n \leq 1000 \quad z2 = 200\mu\text{s}$$

- *6 擦除时间的最大值 (tE(MAX)) = E 位置位后的待机时间(z) × 最大擦除次数(N)
- *7 必须对照实际的(z)的设定值，使最大擦除次数(N)不超过擦除时间的最大值 tE(MAX)。
- *8 是保证编程后的所有特性的 min 次数 (保证范围为 1~min 值的范围)。
- *9 25℃时的参考值 (通常到此值为止是能进行正常改写的指标值)。
- *10 在包含 min 值的规格范位内，进行改写时的数据保持特性。
- *11 适用于读时的工作电压范围为 3.0~3.6V 的情况。
- *12 适用于读时的工作电压范围为 2.7~3.6V 的情况。

16.5 H8/38024S 群（掩模型 ROM 版）的绝对最大额定值

绝对最大额定值如表 16.14 所示。

表 16.14 绝对最大额定值

项目		符号	规格值	单位	备注
电源电压		V_{CC}	$-0.3 \sim +4.3$	V	*1
模拟电源电压		AV_{CC}	$-0.3 \sim +4.3$	V	
输入电压	端口 B 除外	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V	
	端口 B	AV_{in}	$-0.3 \sim AV_{CC} + 0.3$	V	
端口 9 管脚电压		V_{p9}	$-0.3 \sim V_{CC} + 0.3$	V	
工作温度		T_{opr}	$-20 \sim +75$ （通常规格产品）	°C	
			$-40 \sim +85$ （温度范围扩大规格产品）		
			$+75$ （裸芯片产品）*2		
保存温度		T_{stg}	$-55 \sim +125$	°C	

【注】 *1 在超过绝对最大额定值使用 LSI 的情况下，会永久损坏 LSI。另外，通常运行请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的可靠性带来不良影响。

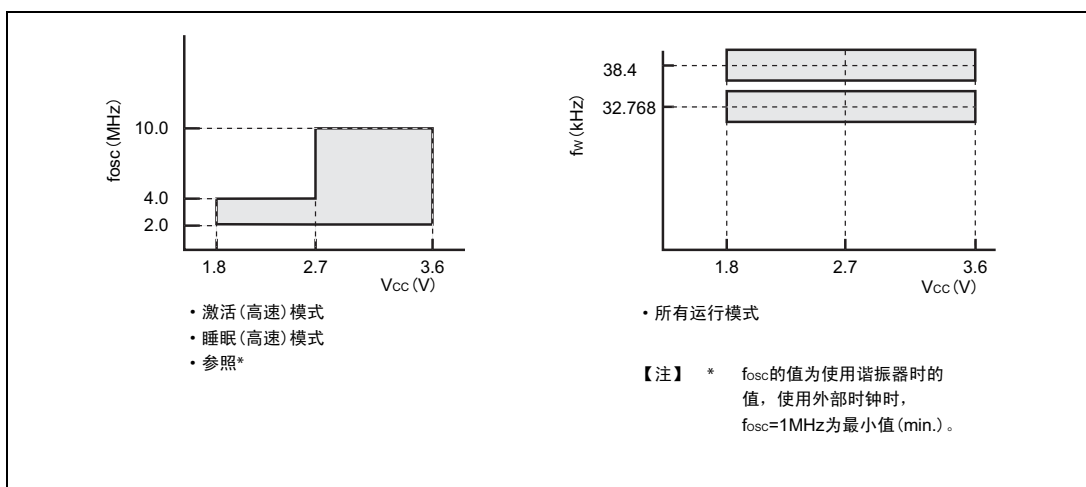
*2 加电后的最佳工作温度为 $-20 \sim +75$ °C。

16.6 H8/38024S 群（掩模型 ROM 版）的电特性

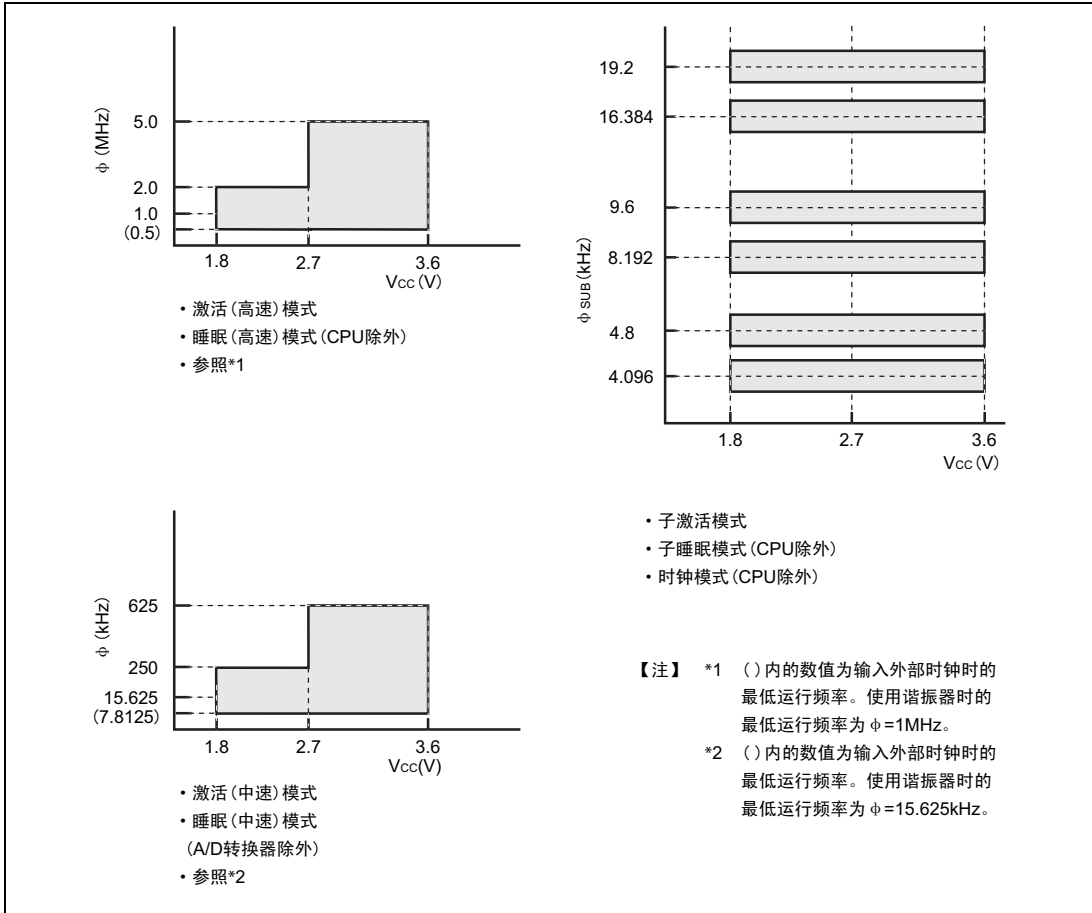
16.6.1 电源电压和运行范围

电源电压和运行范围（阴影部分）如下所示：

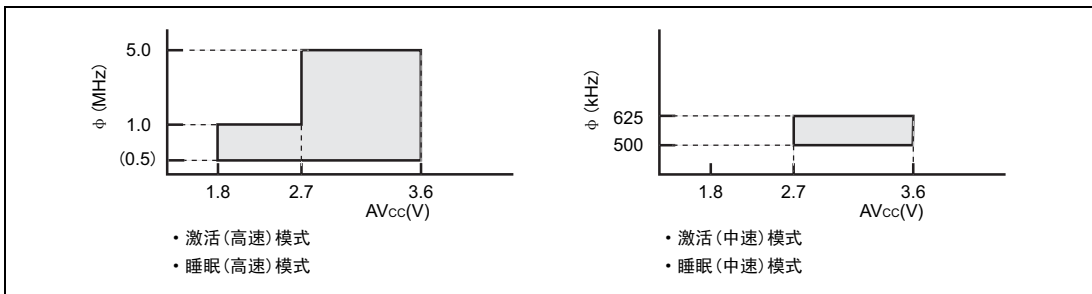
(1) 电源电压和振荡频率的范围



(2) 电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的运行范围



16.6.2 DC 特性

DC 特性如表 16.15 所示。

表 16.15 DC 特性

(在没有特别记载的情况下, $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入高电平 电压	V_{IH}	\overline{RES} 、 $\overline{WKPO}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG、 \overline{ADTRG} 、 SCK32		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		RXD32、UD		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		OSC1		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		X1		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		P13、P14、 P16、P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		PB0~PB7		$0.8V_{CC}$	—	$AV_{CC}+0.3$		
		IRQAEC		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入低电平电压	V_{IL}	\overline{RES} 、 $\overline{WKPO} \sim \overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 \overline{IRQAEC} 、 \overline{AEVL} 、 \overline{AEVH} 、 \overline{TMIC} 、 \overline{TMIF} 、 \overline{TMIG} 、 \overline{ADTRG} 、 $\overline{SCK32}$		-0.3	-	$0.1V_{CC}$	V	
		RXD32、UD		-0.3	-	$0.2V_{CC}$	V	
		OSC1		-0.3	-	$0.1V_{CC}$	V	
		X1		-0.3	-	$0.1V_{CC}$	V	
		P13、P14、 P16、P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3、 PB0~PB7		-0.3	-	$0.2V_{CC}$	V	
输出高电平电压	V_{OH}	P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$-I_{OH}=1.0mA$ $V_{CC}=2.7\sim 3.6V$	$V_{CC}-1.0$	-	-	V	
			$-I_{OH}=0.1mA$	$V_{CC}-0.3$	-	-		

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输出低电平电压	V_{OL}	P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$I_{OL}=0.4mA$	—	—	0.5	V	
		P90~P95	$I_{OL}=10mA$ $V_{CC}=2.2\sim3.6V$	—	—	0.5		
			$I_{OL}=8mA$ $V_{CC}=1.8\sim3.6V$	—	—	0.5		
输入/输出漏泄电流	$ I_{IL} $	RES、P43 OSC1、X1、 P13、P14、 P16、P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 IRQAEC、 PA0~PA3、 P90~P95	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	μA	
		PB0~PB7	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—	1.0		
上拉 MOS 电流	$-I_p$	P13、P14、 P16、P17、 P30~P37、 P50~P57、 P60~P67	$V_{CC}=3V$ 、 $V_{IN}=0V$	30	—	180	μA	

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入电容	C _{IN}	电源、IRQAEC 管脚 除外的所有输入管脚	f=1MHz、V _{IN} =0V、 T _a =25℃	—	—	15.0	pF	
		IRQAEC		—	—	30.0		
激活模式 消耗电流	I _{OP1}	V _{CC}	激活（高速）模式 V _{CC} =1.8V、f _{OSC} =1MHz	—	0.2	—	mA	Max 指标值=1.1 ×typ. ^{※1 ※2}
			激活（高速）模式 V _{CC} =3V、f _{OSC} =2MHz	—	0.6	—		max 指标值=1.1 ×typ. ^{※1 ※2}
			激活（高速）模式 V _{CC} =3V、f _{OSC} =4MHz	—	1.2	—		max 指标值=1.1 ×typ. ^{※1 ※2}
			激活（高速）模式 V _{CC} =3V、f _{OSC} =10MHz	—	3.1	6.0		^{※1 ※2}
	I _{OP2}	V _{CC}	激活（中速）模式 在 V _{CC} =1.8V、f _{OSC} =1MHz、 φ _{OSC} /128 时	—	0.03	—	mA	max 指标值=1.1 ×typ. ^{※1 ※2}
			激活（中速）模式 在 V _{CC} =3V、f _{OSC} =2MHz、 φ _{OSC} /128 时	—	0.1	—		max 指标值=1.1 ×typ. ^{※1 ※2}
			激活（中速）模式 在 V _{CC} =3V、f _{OSC} =4MHz、 φ _{OSC} /128 时	—	0.2	—		max 指标值=1.1 ×typ. ^{※1 ※2}
			激活（中速）模式 在 V _{CC} =3V、f _{OSC} =10MHz、 φ _{OSC} /128 时	—	0.6	1.8		^{※1 ※2}
睡眠模式 消耗电流	I _{SLEEP}	V _{CC}	V _{CC} =1.8V、f _{OSC} =1MHz	—	0.08	—	mA	max 指标值=1.1 ×typ. ^{※1 ※2}
			V _{CC} =3V、f _{OSC} =2MHz	—	0.3	—		max 指标值=1.1 ×typ. ^{※1 ※2}
			V _{CC} =3V、f _{OSC} =4MHz	—	0.5	—		max 指标值=1.1 ×typ. ^{※1 ※2}
			V _{CC} =3V、f _{OSC} =10MHz	—	1.3	4.8		^{※1 ※2}
子激活模式 消耗电流	I _{SUB}	V _{CC}	V _{CC} =1.8V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _w /2)	—	6.2	—	μA	参考值 ^{※1 ※2}
			V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _w /8)	—	4.4	—		参考值 ^{※1 ※2}
			V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _w /2)	—	10	40		^{※1 ※2}
子睡眠模式 消耗电流	I _{SUBSP}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 (φ _{SUB} =φ _w /2)	—	4.6	16	μA	^{※1 ※2}

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
时钟模式 消耗电流	I _{WATCH}	V _{CC}	V _{CC} =1.8V、Ta=25℃、 使用 32kHz 晶体谐振器时 不使用 LCD 时	—	1.2	—	μA	参考值 ≒ ¹ ≒ ²
			V _{CC} =2.7V、Ta=25℃、 使用 32kHz 晶体谐振器时 不使用 LCD	—	2.0	—		参考值 ≒ ¹ ≒ ²
			V _{CC} =2.7V、 在使用 32kHz 晶体谐振器时 不使用 LCD	—	2.0	6.0		≒ ¹ ≒ ²
待机模式 消耗电流	I _{STBY}	V _{CC}	V _{CC} =1.8V、Ta=25℃、 在不使用 32kHz 晶体谐振器 时	—	0.1	—	μA	参考值 ≒ ¹ ≒ ²
			V _{CC} =3.0V、Ta=25℃、 在不使用 32kHz 晶体谐振器 时	—	0.3	—		参考值 ≒ ¹ ≒ ²
			在不使用 32kHz 晶体谐振器 时	—	1.0	5.0		≒ ¹ ≒ ²
RAM 数据 保持电压	V _{RAM}	V _{CC}		1.5	—	—	V	
输出低电平 容许电流 (每个管脚)	I _{OL}	端口 9 除外的输出管脚		—	—	0.5	mA	
		P90~P95		—	—	10.0		
输出电平 容许电流 (合计)	Σ I _{OL}	端口 9 除外的输出管脚		—	—	20.0	mA	
		端口 9		—	—	80.0		
输出高电平 容许电流 (每个管脚)	-I _{OH}	所有输出管脚		—	—	0.2	mA	
输出高电平 容许电流 (合计)	Σ(-I _{OH})	所有输出管脚		—	—	10.0	mA	

【注】 TEST 管脚必须连接到 V_{SS} 。

*1 测定消耗电流时的管脚状态。

模式	\overline{RES} 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活（高速）模式 (I_{OPE1}) 激活（中速）模式 (I_{OPE2})	V_{CC}	仅 CPU 运行	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚 = GND
睡眠模式	V_{CC}	所有内部定时器 运行	V_{CC}	停止	
子激活模式	V_{CC}	仅 CPU 运行	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： 晶体谐振器
子睡眠模式	V_{CC}	所有内部定时器 运行 CPU 停止	V_{CC}	停止	
时钟模式	V_{CC}	仅时钟时基运行 CPU 停止	V_{CC}	停止	
待机模式	V_{CC}	CPU 和定时器都 停止	V_{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚 = GND

*2 流向上拉 MOS 和输出缓冲器的电流除外。

16.6.3 AC 特性

控制信号时序如表 16.16 所示，串行接口时序如表 16.17 所示。

表 16.16 控制信号时序

(在没有特别记载的情况下， $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟振荡器 振荡频率	f_{OSC}	OSC1、OSC2	$V_{CC}=2.7\sim 3.6V$	2.0	—	10.0	MHz	
			$V_{CC}=1.8\sim 3.6V$	2.0	—	4.0		
OSC 时钟 (ϕ_{OSC}) 周期时间	t_{OSC}	OSC1、OSC2	$V_{CC}=2.7\sim 3.6V$	100	—	500 (1000)	ns	图 16.1 *2
			$V_{CC}=1.8\sim 3.6V$	250	—	500 (1000)		
系统时钟 (ϕ) 周期时间	t_{cyc}			2	—	128	t_{OSC}	
				—	—	128	μs	
子系统时钟振荡器 振荡频率	f_W	X1、X2		—	32.768 或者 38.4	—	kHz	
钟表时钟 (ϕ_W) 周期时间	t_W	X1、X2		—	30.5 或者 26.0	—	μs	图 16.1
子时钟 (ϕ_{SUB}) 周期时间	t_{subcyc}			2	—	8	t_W	*1
指令 周期时间				2	—	—	t_{cyc} t_{subcyc}	
振荡稳定时间	t_{rc}	OSC1、OSC2	陶瓷谐振器的情况 $V_{CC}=2.2\sim 3.6V$	—	20	45	μs	图 16.9
			陶瓷谐振器的情况 上述以外	—	80	—		
			晶体谐振器的情况 $V_{CC}=2.7\sim 3.6V$	—	0.8	2	ms	
			晶体谐振器的情况 $V_{CC}=2.2\sim 3.6V$	—	1.2	3		
			上述以外	—	—	50		
		X1、X2	$V_{CC}=2.2\sim 3.6V$	—	—	2	s	
			上述以外	—	4	—		
外部时钟 High 电平宽度	t_{CPH}	OSC1	$V_{CC}=2.7\sim 3.6V$	40	—	—	ns	图 16.1
			$V_{CC}=1.8\sim 3.6V$	100	—	—		
		X1		—	15.26 或者 13.02	—	μs	

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
外部时钟 Low 电平宽度	t_{CPL}	OSC1	$V_{CC}=2.7\sim 3.6V$	40	—	—	ns	图 16.1
			$V_{CC}=1.8\sim 3.6V$	100	—	—		
		X1		—	15.26 或者 13.02	—	μs	
外部时钟 上升时间	t_{CPr}	OSC1	$V_{CC}=2.7\sim 3.6V$	—	—	10	ns	图 16.1
			$V_{CC}=1.8\sim 3.6V$	—	—	25		
		X1		—	—	55.0	ns	
外部时钟 下降时间	t_{CPf}	OSC1	$V_{CC}=2.7\sim 3.6V$	—	—	10	ns	图 16.1
			$V_{CC}=1.8\sim 3.6V$	—	—	25		
		X1		—	—	55.0	ns	
RES 管脚 低电平宽度	t_{REL}	RES		10	—	—	t_{cyc}	图 16.2
输入管脚 高电平宽度	t_{IH}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 \overline{IRQAEC} 、 $\overline{WKP0}\sim\overline{WKP7}$ 、 TMIC、TMIF、 TMIG、 \overline{ADTRG} 、		2	—	—	t_{cyc} t_{subcyc}	图 16.3
		AEVL、AEVH		0.5	—	—	t_{OSC}	
输入管脚 低电平宽度	t_{iL}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 \overline{IRQAEC} 、 $\overline{WKP0}\sim\overline{WKP7}$ 、 TMIC、TMIF、 TMIG、 \overline{ADTRG} 、		2	—	—	t_{cyc} t_{subcyc}	图 16.3
		AEVL、AEVH		0.5	—	—	t_{OSC}	
UD 管脚 最小变化宽度	t_{UDH} t_{UDL}	UD		4	—	—	t_{cyc} t_{subcyc}	图 16.6

【注】 *1 通过设定系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 决定。

*2 () 内的数值是使用外部时钟时的 $t_{OSC\ max.}$ 。

表 16.17 串行接口 (SCI3) 时序

(在没有特别记载的情况下, $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目		符号	测定条件	规格值			单位	参照图
				min.	typ.	max.		
输入时钟周期	异步	t_{scyc}		4	—	—	t_{cyc} 或者 t_{subcyc}	图 16.4
	时钟同步			6	—	—		
输入时钟脉冲宽度		t_{SCKW}		0.4	—	0.6	t_{scyc}	图 16.4
发送数据延迟时间 (时钟同步)		t_{TXD}		—	—	1	t_{cyc} 或者 t_{subcyc}	图 16.5
接收数据准备时间 (时钟同步)		t_{RXS}		400.0	—	—	ns	图 16.5
接收数据保持时间 (时钟同步)		t_{RXH}		400.0	—	—	ns	图 16.5

16.6.4 A/D 转换器特性

A/D 转换器特性如表 16.18 所示。

表 16.18 A/D 转换器特性

(在没有特别记载的情况下, $V_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
模拟电源电压	AV_{CC}	AV_{CC}		1.8	—	3.6	V	*1
模拟输入电压	AV_{IN}	AN0~AN7		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	AI_{OPE}	AV_{CC}	$AV_{CC}=3.0V$	—	—	1.0	mA	
	AI_{STOP1}	AV_{CC}		—	600	—	μA	*2 参考值
	AI_{STOP2}	AV_{CC}		—	—	5	μA	*3
模拟输入电容	C_{AIN}	AN0~AN7		—	—	15.0	pF	
容许信号源阻抗	R_{AIN}			—	—	10.0	k Ω	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=2.7\sim 3.6V$ $V_{CC}=2.7\sim 3.6V$	—	—	± 3.5	LSB	
			$AV_{CC}=2.0\sim 3.6V$ $V_{CC}=2.0\sim 3.6V$	—	—	± 5.5		
			上述以外	—	—	± 7.5		*4
量化误差				—	—	± 0.5	LSB	
绝对精度			$AV_{CC}=2.7\sim 3.6V$ $V_{CC}=2.7\sim 3.6V$	—	—	± 4.0	LSB	
			$AV_{CC}=2.0\sim 3.6V$ $V_{CC}=2.0\sim 3.6V$	—	—	± 6.0		
			上述以外	—	—	± 8.0		*4
转换时间			$AV_{CC}=2.7\sim 3.6V$ $V_{CC}=2.7\sim 3.6V$	12.4	—	124	μs	
			上述以外	62	—	124		

【注】 *1 在不使用 A/D 转换器时, 必须使 $AV_{CC}=V_{CC}$ 。

*2 AI_{STOP1} 是在激活模式、睡眠模式的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

*4 转换时间 62 μs 。

16.6.5 LCD 特性

LCD 特性如表 16.19 所示。

表 16.19 LCD 特性

(在没有特别记载的情况下, $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
段驱动器 下降电压	V_{DS}	SEG1~SEG32	$I_D=2\mu A$ $V_1=2.7\sim 3.6V$	—	—	0.6	V	*1
公共驱动器 下降电压	V_{DC}	COM1~COM4	$I_D=2\mu A$ $V_1=2.7\sim 3.6V$	—	—	0.3	V	*1
LCD 电源分压电阻	R_{LCD}		V_1-V_{SS} 之间	1.5	3.0	7.0	M Ω	
液晶显示电压	V_{LCD}	V1		2.2	—	3.6	V	*2

【注】 *1 是从电源管脚 V_1 、 V_2 、 V_3 、 V_{SS} 到各段管脚或者公共管脚的电压降。

*2 在通过外部电源供给液晶显示电压时, 必须维持 $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$ 的关系。

16.7 H8/38124 群（F-ZTAT 版和掩模型 ROM 版）的绝对最大额定值

绝对最大额定值如表 16.20 所示。

表 16.20 绝对最大额定值

项目		符号	规格值	单位	备注
电源电压		V_{CC}	$-0.3 \sim +7.0$	V	*1
		CV_{CC}	$-0.3 \sim +4.3$	V	
模拟电源电压		AV_{CC}	$-0.3 \sim +7.0$	V	
输入电压	端口 B 除外	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V	
	端口 B	AV_{in}	$-0.3 \sim AV_{CC} + 0.3$	V	
端口 9 管脚电压		V_{p9}	$-0.3 \sim V_{CC} + 0.3$	V	
工作温度		T_{opr}	$-20 \sim +75$ （通常规格产品）*2	°C	
			$-40 \sim +85$ *2 （温度范围扩大规格产品）		
保存温度		T_{stg}	$-55 \sim +125$	°C	

【注】 *1 在超过绝对最大额定值使用 LSI 的情况下，会永久损坏 LSI。另外，通常运行请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的可靠性带来不良影响。

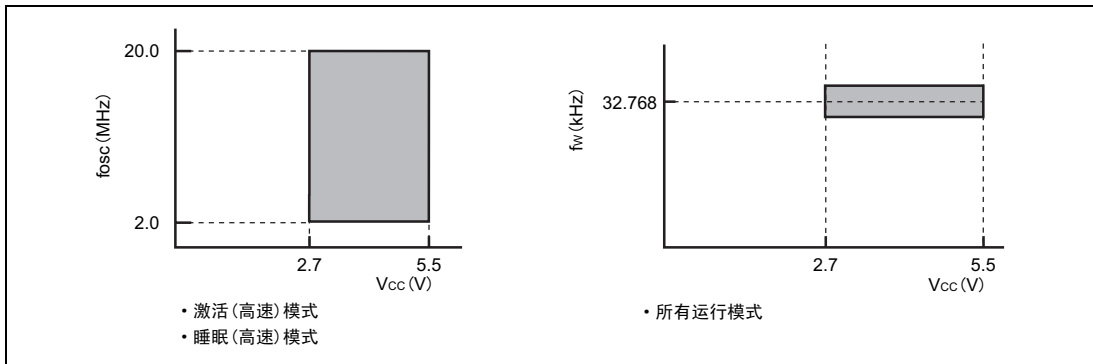
*2 快速擦写存储器的编程/擦除时的工作温度范围 T_a 为 $-20 \sim +75$ °C。

16.8 H8/38124 群（F-ZTAT 版和掩模型 ROM 版）的电特性

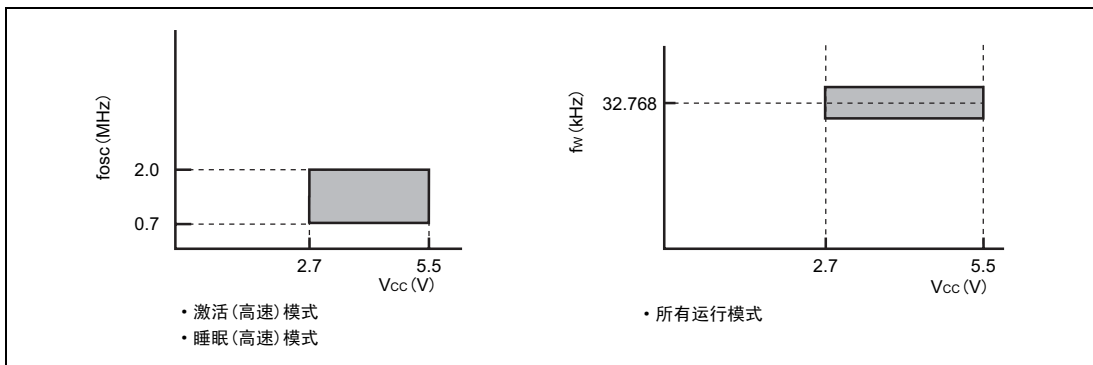
16.8.1 电源电压和运行范围

电源电压和运行范围（阴影部分）如下所示：

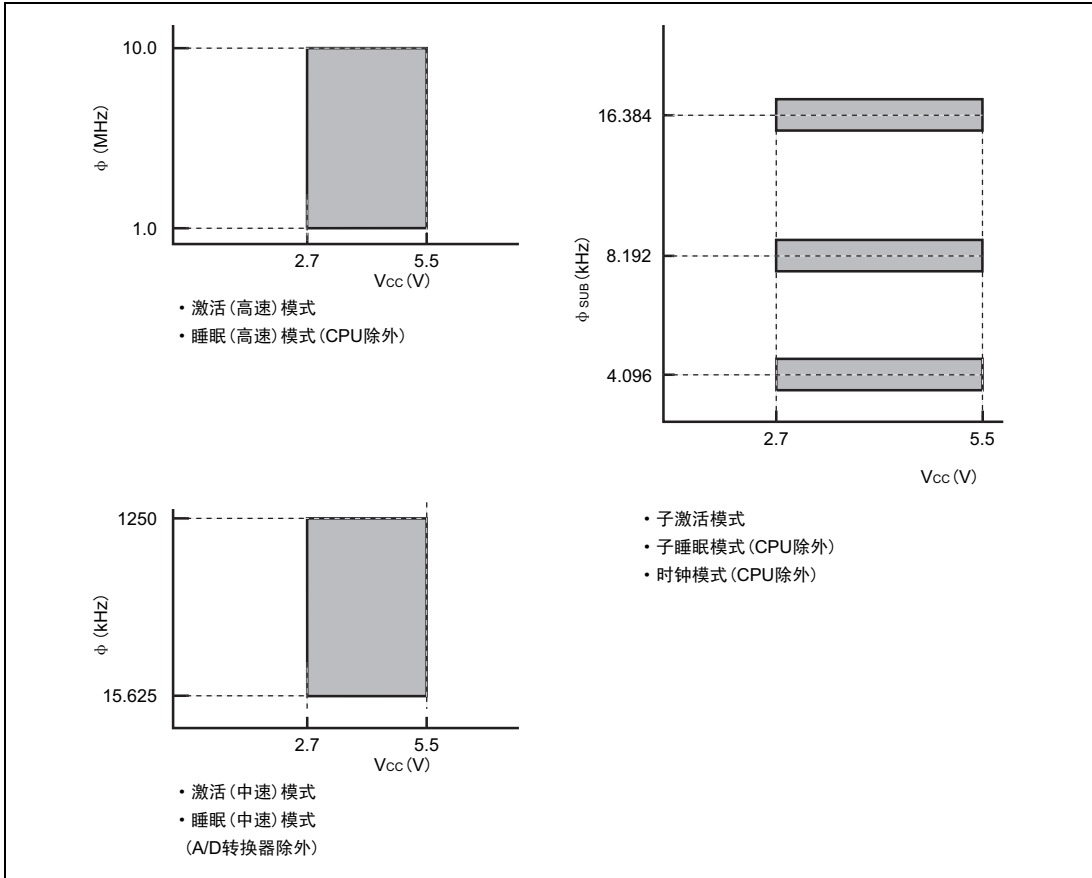
(1) 电源电压和振荡频率的范围（在选择系统时钟振荡器时）



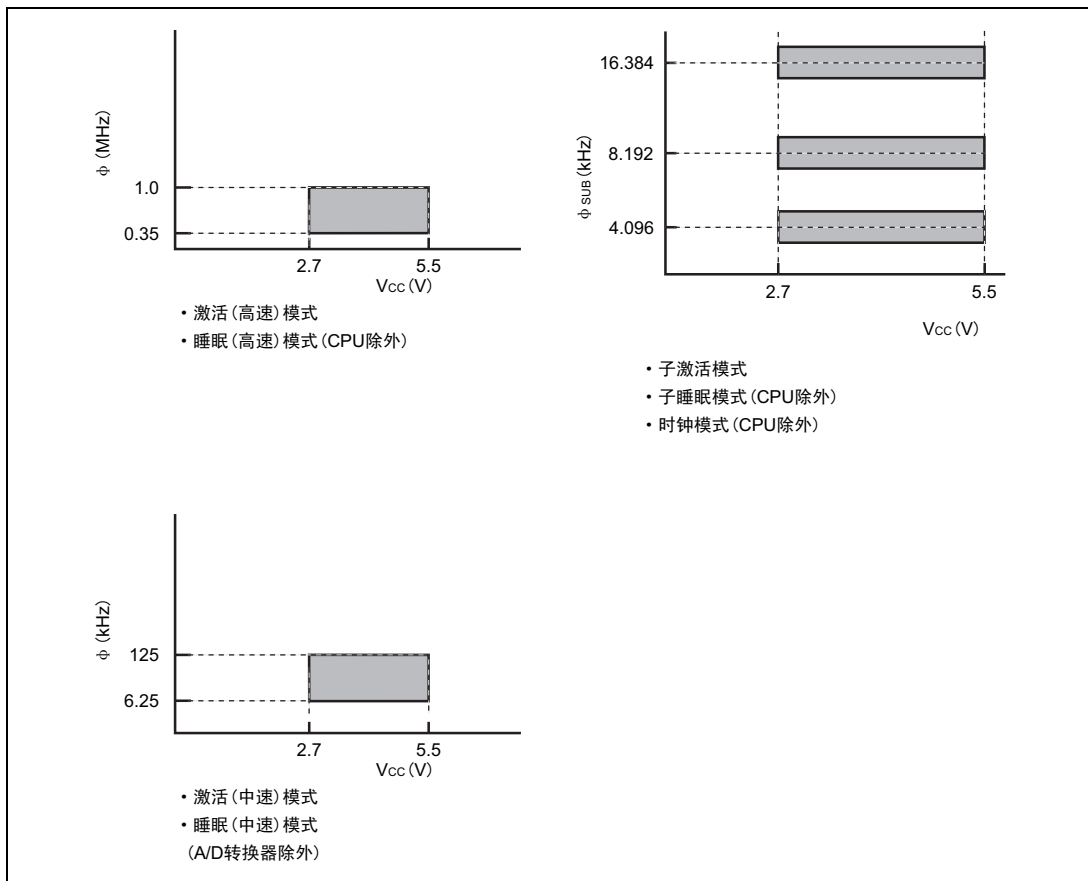
(2) 电源电压和振荡频率的范围（在选择内部振荡器时）



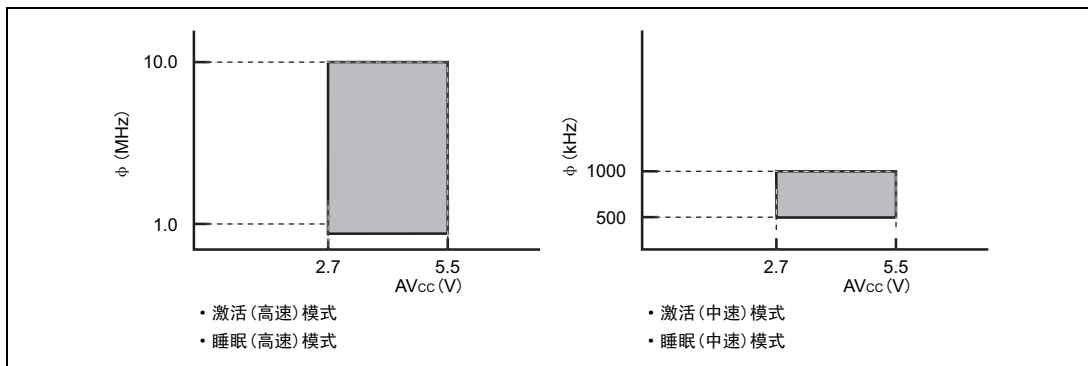
(3) 电源电压和运行频率的范围 (在选择系统时钟振荡器时)



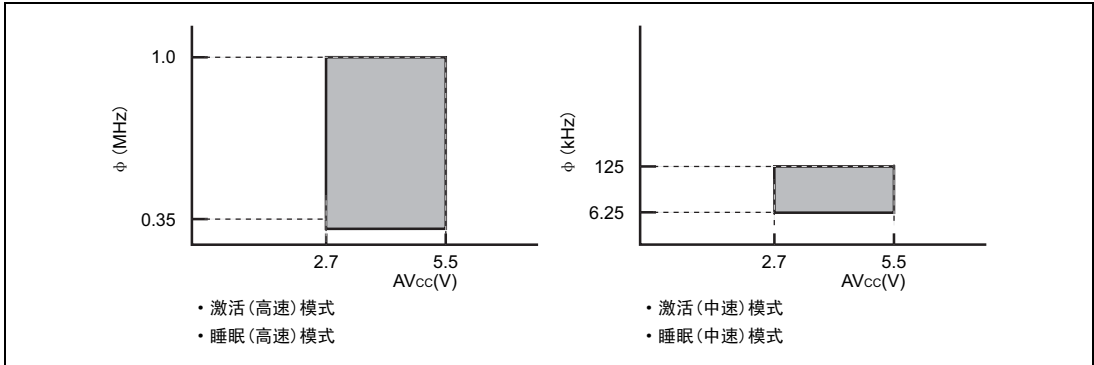
(4) 电源电压和运行频率的范围 (在选择内部振荡器时)



(5) 模拟电源电压和 A/D 转换器的运行范围 (在选择系统时钟振荡器时)



(6) 模拟电源电压和 A/D 转换器的运行范围 (在选择内部振荡器时)



16.8.2 DC 特性

DC 特性如表 16.21 所示。

表 16.21 DC 特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输入高电平电压	V_{IH}	\overline{RES} 、 $\overline{WKP0}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG、 \overline{ADTRG} 、 SCK32	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		
		RXD32、UD	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$		
		OSC1	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		
		P13、P14、 P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$		
		PB0~PB7	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$AV_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$AV_{CC}+0.3$		
		IRQAEC、P95*5	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		

项目	符号	适用管脚	测定条件	规格值			单位	备注		
				min.	typ.	max.				
输入低电平电压	V _{IL}	RES、 WKP0~WKP7、 IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、P95*5、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK32	V _{CC} =4.0~5.5V	-0.3	—	0.2V _{CC}	V			
			上述以外	-0.3	—	0.1V _{CC}				
		RXD32、UD	V _{CC} =4.0~5.5V	-0.3	—	0.3V _{CC}	V			
			上述以外	-0.3	—	0.2V _{CC}				
		OSC1	V _{CC} =4.0~5.5V	-0.3	—	0.2V _{CC}	V			
			上述以外	-0.3	—	0.1V _{CC}				
		P13、P14、 P17、 P30~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3、 PB0~PB7	V _{CC} =4.0~5.5V	-0.3	—	0.3V _{CC}	V			
			上述以外	-0.3	—	0.2V _{CC}				
		输出高电平电压	V _{OH}	P13、P14、 P17、 P30~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	V _{CC} =4.0~5.5V -I _{OH} =1.0mA	V _{CC} -1.0	—	—	V	
					V _{CC} =4.0~5.5V -I _{OH} =0.5mA	V _{CC} -0.5	—	—		
-I _{OH} =0.1mA	V _{CC} -0.3				—	—				

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	备注				
				min.	typ.	max.						
输出低电平电压	V _{OL}	P13、P14、P17、P40~P42、P50~P57、P60~P67、P70~P77、P80~P87、PA0~PA3	V _{CC} =4.0~5.5V I _{OL} =1.6mA	—	—	0.6	V					
			I _{OL} =0.4mA	—	—	0.5						
		P30~P37	V _{CC} =4.0~5.5V I _{OL} =10mA	—	—	1.0						
			V _{CC} =4.0~5.5V I _{OL} =1.6mA	—	—	0.6						
			I _{OL} =0.4mA	—	—	0.5						
		P90~P95	V _{CC} =4.0~5.5V I _{OL} =15mA	—	—	1.5						
			V _{CC} =4.0~5.5V I _{OL} =10mA	—	—	1.0						
			V _{CC} =4.0~5.5V I _{OL} =8mA	—	—	0.8						
			I _{OL} =5mA	—	—	1.0						
			I _{OL} =1.6mA	—	—	0.6						
			I _{OL} =0.4mA	—	—	0.5						
		输入/输出漏泄电流	I _{IL}	RES、P43	V _{IN} =0.5V~V _{CC} -0.5V	—			—	1.0	μA	
				OSC1、X1、P13、P14、P17、P30~P37、P40~P42、P50~P57、P60~P67、P70~P77、P80~P87、IRQAEC、PA0~PA3、P90~P95								
PB0~PB7	V _{IN} =0.5V~AV _{CC} -0.5V			—	—	1.0						

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
上拉 MOS 电流	$-I_p$	P13、P14、 P17、 P30~P37、 P50~P57、 P60~P67	$V_{CC}=5V$ 、 $V_{IN}=0V$	20	—	200	μA	参考值
			$V_{CC}=2.7V$ 、 $V_{IN}=0V$	—	40	—	μA	
输入电容	C_{IN}	电源管脚除外的 所有输入管脚	$f=1MHz$ 、 $V_{IN}=0V$ 、 $T_a=25^\circ C$	—	—	15.0	pF	
激活模式 消耗电流	I_{OPE1}	V_{CC}	激活（高速）模式、 $V_{CC}=2.7V$ 、 $f_{OSC}=2MHz$	—	0.6	—	mA	*1 *3 *4 max 指标值 = $1.1 \times typ$
				—	1.0	—		*2 *3 *4 max 指标值 = $1.1 \times typ$
			激活（高速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=2MHz$	—	0.8	—	*1 *3 *4 max 指标值 = $1.1 \times typ$	
				—	1.5	—	*2 *3 *4 max 指标值 = $1.1 \times typ$	
			激活（高速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=4MHz$	—	1.6	—	*1 *3 *4 max 指标值 = $1.1 \times typ$	
				—	2.0	—	*2 *3 *4 max 指标值 = $1.1 \times typ$	
			激活（高速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=10MHz$	—	3.3	7.0	*1 *3 *4	
				—	4.0	7.0	*2 *3 *4	
	I_{OPE2}	V_{CC}	激活（中速）模式、 $V_{CC}=2.7V$ 、 $f_{OSC}=2MHz$ 、 $\phi_{osc}/128$ 时	—	0.2	—	mA	*1 *3 *4 max 指标值 = $1.1 \times typ$
				—	0.5	—		*2 *3 *4 max 指标值 = $1.1 \times typ$
			激活（中速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=2MHz$ 、 $\phi_{osc}/128$ 时	—	0.4	—	*1 *3 *4 max 指标值 = $1.1 \times typ$	
				—	0.8	—	*2 *3 *4 max 指标值 = $1.1 \times typ$	
			激活（中速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=4MHz$ 、 $\phi_{osc}/128$ 时	—	0.6	—	*1 *3 *4 max 指标值 = $1.1 \times typ$	
				—	0.9	—	*2 *3 *4 max 指标值 = $1.1 \times typ$	
激活（中速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=10MHz$ 、 $\phi_{osc}/128$ 时			—	0.9	3.0	*1 *3 *4		
			—	1.2	3.0	*2 *3 *4		

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
睡眠模式	I _{SLEEP}	V _{CC}	V _{CC} =2.7V、f _{OSC} =2MHz	—	0.3	—	mA	*1 *3 *4
				—	0.8	—		*2 *3 *4 max 指标值= 1.1×typ
			V _{CC} =5V、f _{OSC} =2MHz	—	0.5	—		*1 *3 *4 max 指标值= 1.1×typ
				—	0.9	—		*2 *3 *4 max 指标值= 1.1×typ
			V _{CC} =5V、f _{OSC} =4MHz	—	0.9	—		*1 *3 *4 max 指标值= 1.1×typ
				—	1.3	—		*2 *3 *4
			V _{CC} =5V、f _{OSC} =10MHz	—	1.5	5.0		*1 *3 *4
				—	2.2	5.0		*2 *3 *4
子激活模式 消耗电流	I _{SUB}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器 时 (φ _{SUB} =φ _W /8)	—	11.3	—	μA	*1 *3 *4 参考值
				—	12.7	—		*2 *3 *4 参考值
			V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器 时 (φ _{SUB} =φ _W /2)	—	16.3	50		*2 *3 *4
				—	30	50		*2 *3 *4
子睡眠模式 消耗电流	I _{SUBSP}	V _{CC}	V _{CC} =2.7V、LCD 点灯 使用 32kHz 晶体谐振器 时 (φ _{SUB} =φ _W /2)	—	4.0	16	μA	*3 *4
时钟模式 消耗电流	I _{WATCH}	V _{CC}	V _{CC} =2.7V、T _a =25℃、 使用 32kHz 晶体谐振器 时、不使用 LCD	—	1.4	—	μA	*1 *3 *4 参考值
				—	1.8	—		*2 *3 *4 参考值
			V _{CC} =2.7V、 使用 32kHz 晶体谐振器 时、不使用 LCD	—	1.8	6.0		*3 *4

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
待机模式 消耗电流	I _{STBY}	V _{CC}	V _{CC} =2.7V、T _a =25℃、 不使用 32kHz 晶体谐振器时	—	0.3	—	μA	*1 *3 *4 参考值
				—	0.5	—		*2 *3 *4 参考值
			设定 V _{CC} =2.7V、T _a =25℃、 SUBSTP (振荡控制寄存器)=1 时	—	0.05	—	*2 *4 参考值	
			V _{CC} =5.0V、T _a =25℃、 不使用 32kHz 晶体谐振器时	—	0.6	—	*2 *3 *4 参考值	
			设定 V _{CC} =2.7V、T _a =25℃、 SUBSTP (振荡控制寄存器)=1 时	—	0.16	—	μA	*2 *4 参考值
			不使用 32kHz 晶体谐振器时	—	1.0	5.0	*3 *4	
RAM 数据 保持电压	V _{RAM}	V _{CC}		2.0	—	—	V	*6
输出低电平	I _{OL}	端口 3、9 除外的输出管脚	V _{CC} =4.0V~5.5V	—	—	2.0	mA	
		端口 3	V _{CC} =4.0V~5.5V	—	—	10.0		
		端口 9 除外的输出管脚		—	—	0.5		
		端口 9	V _{CC} =4.0V~5.5V 上述以外	—	—	15.0 5.0		
输出低电平 容许电流 (合计)	Σ I _{OL}	端口 3、9 除外的 输出管脚	V _{CC} =4.0V~5.5V	—	—	40.0	mA	
		端口 3	V _{CC} =4.0V~5.5V	—	—	80.0		
		端口 9 除外的输出管脚		—	—	20.0		
		端口 9		—	—	80.0		
输出高电平 容许电流 (每个管脚)	-I _{OH}	所有输出管脚	V _{CC} =4.0V~5.5V	—	—	2.0	mA	
			上述以外	—	—	0.2		
输出高电平 容许电流 (合计)	Σ (-I _{OH})	所有输出管脚	V _{CC} =4.0V~5.5V	—	—	15.0	mA	
			上述以外	—	—	10.0		

【注】 TEST 管脚必须连接到 V_{SS}。

*1 适用于掩模型 ROM 产品。

- *2 适用于 F-ZTAT 产品。
- *3 测定消耗电流时的管脚状态。

模式	RES 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活（高速）模式 (I _{OP1}) 激活（中速）模式 (I _{OP2})	V _{CC}	仅 CPU 运行	V _{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚=GND
睡眠模式	V _{CC}	仅内部的所有定 时器运行	V _{CC}	停止	
子激活模式	V _{CC}	仅 CPU 运行	V _{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： 晶体谐振器
子睡眠模式	V _{CC}	仅内部的所有定 时器运行 CPU 停止	V _{CC}	停止	
时钟模式	V _{CC}	仅时钟时基运行 CPU 停止	V _{CC}	停止	
待机模式	V _{CC}	CPU 和定时器都 停止	V _{CC}	停止	系统时钟振荡器： 晶体谐振器 子时钟振荡器： X1 管脚=GND

- *4 流向上拉 MOS 和输出缓冲器的电流除外。
- *5 对于 F-ZTAT 版，用于判定复位解除时的用户模式/引导模式。
- *6 待机模式的保持电压。

16.8.3 AC 特性

控制信号时序如表 16.22 所示，串行接口时序如表 16.23 所示。

表 16.22 控制信号时序

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟振荡器 振荡频率	f_{OSC}	OSC1、OSC2		2.0	—	20.0	MHz	*2
			在选择内部振荡器时	0.7	—	2.0		
OSC 时钟 (ϕ_{OSC}) 周期时间	t_{OSC}	OSC1、OSC2		50	—	500	ns	图 16.1
			在选择内部振荡器时	500	—	1429		
系统时钟 (ϕ) 周期时间	t_{cyc}			2	—	128	t_{OSC}	
				—	—	182		
子时钟振荡器 振荡频率	f_W	X1、X2		—	32.768	—	kHz	
钟表时钟 (ϕ_W) 周期时间	t_W	X1、X2		—	30.5	—	μs	图 16.1
子时钟 (ϕ_{SUB}) 周期时间	t_{subcyc}			2	—	8	t_W	*1
指令 周期时间				2	—	—	t_{cyc} t_{subcyc}	
振荡稳定时间	t_{rc}	OSC1、OSC2		—	—	20	ms	
		X1、X2		—	—	2.0	s	
外部时钟 高电平宽度	t_{CPH}	OSC1		20	—	—	ns	图 16.1
外部时钟 低电平宽度	t_{CPL}	OSC1		20	—	—	ns	图 16.1
外部时钟 上升时间	t_{CPr}	OSC1		—	—	5	ns	图 16.1
外部时钟 下降时间	t_{CPf}	OSC1		—	—	5	ns	图 16.1
RES 管脚 低电平宽度	t_{REL}	RES		10	—	—	t_{cyc}	图 16.2
输入管脚 高电平宽度	t_{IH}	IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 WKPO~WKP7、 TMIC、TMIF、 TMIG、ADTRG		2	—	—	t_{cyc} t_{subcyc}	图 16.3
		AEVL、AEVH		0.5	—	—		
输入管脚 低电平宽度	t_{IL}	IRQ0、IRQ1、 IRQ3、IRQ4、 IRQAEC、 WKPO~WKP7、 TMIC、TMIF、 TMIG、ADTRG		2	—	—	t_{cyc} t_{subcyc}	图 16.3
		AEVL、AEVH		0.5	—	—		

第 16 章 电特性

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
UD 管脚 最小变化宽度	t_{UDH} t_{UDL}	UD		4	—	—	t_{cyc} t_{subcyc}	图 16.6

【注】 *1 根据系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 的设定决定。

*2 根据温度、电源电压和产品批量的偏差等影响, 本特性为 min. 到 ~max. 范围的值。在系统设计时, 必须充分考虑 SPEC 的范围。对于实际数据, 请向本公司询问。

表 16.23 串行接口 (SCI3) 时序

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目		符号	测定条件	规格值			单位	参照图
				min.	typ.	max.		
输入时钟周期	异步	t_{scyc}		4	—	—	t_{cyc} 或者 t_{subcyc}	图 16.4
	时钟同步			6	—	—		
输入时钟脉冲宽度		t_{SCKW}		0.4	—	0.6	t_{scyc}	图 16.4
发送数据延迟时间 (时钟同步)		t_{TXD}		—	—	1	t_{cyc} 或者 t_{subcyc}	图 16.5
接收数据准备时间 (时钟同步)		t_{RXS}		150.0	—	—	ns	图 16.5
接收数据保持时间 (时钟同步)		t_{RXH}		150.0	—	—	ns	图 16.5

16.8.4 A/D 转换器特性

A/D 转换器特性如表 16.24 所示。

表 16.24 A/D 转换器特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
模拟电源电压	AV_{CC}	AV_{CC}		2.7	—	5.5	V	*1
模拟输入电压	AV_{IN}	AN0~AN7		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	AI_{OPE}	AV_{CC}	$AV_{CC}=5.0V$	—	—	1.5	mA	
	AI_{STOP1}	AV_{CC}		—	600	—	μA	*2 参考值
	AI_{STOP2}	AV_{CC}		—	—	5	μA	*3
模拟输入电容	C_{AIN}	AN0~AN7		—	—	15.0	pF	
容许信号源阻抗	R_{AIN}			—	—	10.0	k Ω	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=4.0\sim 5.5V$	—	—	± 3.5	LSB	
			$AV_{CC}=2.7\sim 5.5V$	—	—	± 7.5		
量化误差				—	—	± 0.5	LSB	
绝对精度			$AV_{CC}=4.0\sim 5.5V$	—	± 2.0	± 4.0	LSB	
			$AV_{CC}=2.7\sim 5.5V$	—	± 2.0	± 8.0		
转换时间				6.2	—	124	μs	

【注】 *1 在不使用 A/D 转换器时, 必须使 $AV_{CC}=V_{CC}$ 。

*2 AI_{STOP1} 是在激活模式、睡眠模式的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

16.8.5 LCD 特性

LCD 特性如表 16.25 所示。

表 16.25 LCD 特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
段驱动器 下降电压	V_{DS}	SEG1~SEG32	$I_D=2\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.6	V	*1
公共驱动器 下降电压	V_{DC}	COM1~COM4	$I_D=2\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.3	V	*1
LCD 电源分压电阻	R_{LCD}		V_1-V_{SS} 之间	1.5	3.0	7.0	$M\Omega$	
液晶显示电压	V_{LCD}	V1		2.7	—	5.5	V	*2

【注】 *1 是从电源管脚 V_1 、 V_2 、 V_3 、 V_{SS} 到各段管脚或者公共管脚的电压降。

*2 在通过外部电源供给液晶显示电压时, 必须维持 $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$ 的关系。

16.8.6 快速擦写存储器特性

表 16.26 快速擦写存储器特性

条件: $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $V_{CC}=2.7\sim 5.5V$ (读时的工作电压范围)、
 $V_{CC}=3.0\sim 5.5V$ (编程/擦除时的工作电压范围)、
 $T_a=-20\sim +75^\circ C$ (编程/擦除时的工作温度范围: 通常规格产品、温度范围扩大规格产品)

项目		符号	测定条件	规格值			单位
				min.	typ.	max.	
编程时间 (每 128 字节) *1 *2 *4		t_p		—	7	200	ms
擦除时间 (每块) *1 *3 *6		t_E		—	100	1200	ms
改写次数		N_{WEC}		1000*8	10000*9	—	次
数据保持时间		t_{DRP}		10^{*10}	—	—	年
编程时	SWE 位置位后的待机时间*1	x		1	—	—	μs
	PSU 位置位后的待机时间*1	y		50	—	—	μs
	P 位置位后的待机时间*1 *4	z1	$1 \leq n \leq 6$	28	30	32	μs
		z2	$7 \leq n \leq 1000$	198	200	202	μs
		z3	追加编程	8	10	12	μs
	P 位清除后的待机时间*1	α		5	—	—	μs
	PSU 位清除后的待机时间*1	β		5	—	—	μs
	PV 位置位后的待机时间*1	γ		4	—	—	μs
	虚写后的待机时间*1	ε		2	—	—	μs
	PV 位清除后的待机时间*1	η		2	—	—	μs
	SWE 位清除后的待机时间*1	θ		100	—	—	μs
	最大编程次数*1 *4 *5	N		—	—	1000	次
擦除时	SWE 位置位后的待机时间*1	x		1	—	—	μs
	ESU 位置位后的待机时间*1	y		100	—	—	μs
	E 位置位后的待机时间*1 *6	z		10	—	100	ms
	E 位清除后的待机时间*1	α		10	—	—	μs
	ESU 位清除后的待机时间*1	β		10	—	—	μs
	EV 位置位后的待机时间*1	γ		20	—	—	μs
	虚写后的待机时间*1	ε		2	—	—	μs
	EV 位清除后的待机时间*1	η		4	—	—	μs
	SWE 位清除后的待机时间*1	θ		100	—	—	μs
	最大擦除次数*1 *6 *7	N		—	—	120	次

- 【注】 *1 必须按照编程/擦除算法，设定各时间。
- *2 每 128 字节的编程时间，表示将快速擦写存储器控制寄存器 1(FLMCR1)的 P 位置位的合计时间。不包含编程验证时间。
- *3 擦除一块的时间，表示快速擦写存储器控制寄存器 1(FLMCR1)的 E 位置位的合计时间。不包含擦除验证时间。
- *4 编程时间的最大值 ($t_p(\text{MAX})$) = P 位置位后的待机时间(z) × 最大编程次数(N)
- *5 必须对照实际的 z1、z2 和 z3 的设定值，使最大编程次数(N)不超过编程时间的最大值 $t_p(\text{MAX})$ 。另外，必须按下列所示，根据编程次数(n)的值，改变 P 位置位后的待机时间 (z1、z2)。

编程次数 n

$$1 \leq n \leq 6 \quad z1 = 30\mu\text{s}$$

$$7 \leq n \leq 1000 \quad z2 = 200\mu\text{s}$$

- *6 擦除时间的最大值 ($t_E(\text{MAX})$) = E 位置位后的待机时间(z) × 最大擦除次数(N)
- *7 必须对照实际的(z)的设定值，使最大擦除次数(N)不超过擦除时间的最大值 $t_E(\text{MAX})$ 。
- *8 是保证编程后的所有特性的 min 次数 (保证范围为 1 ~ min 值的范围)。
- *9 25°C 时的参考值 (通常到此值为止是能进行正常改写的指标值)。
- *10 在包含 min 值的规格范位内，进行改写时的数据保持特性。

16.8.7 电源电压检测电路特性

表 16.27 电源电压检测电路特性 (1)

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
LVDR 运行下限电压*	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	T_{LVDON}		150	—	—	μs
待机模式消耗电流	I_{STBY}	LVDE=1 $V_{CC}=5.0V$ 不使用 32kHz 谐振器	—	—	100	μA

【注】 * 在电源电压 V_{CC} 降低到 $V_{LVDRmin}=1.0V$ 以后上升的情况下, 可能不进行复位, 必须进行充分的评价。

表 16.28 电源电压检测电路特性 (2)

在使用内部基准电压和梯形电阻时 ($VREFSEL=VINTDSEL=VINTUSEL=0$)(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
电源下降检测电压	$Vint(D)^{*3}$	LVDSSEL=0	3.3	3.7	4.2	V
电源上升检测电压	$Vint(U)^{*3}$	LVDSSEL=0	3.6	4.0	4.5	V
复位检测电压 1* ¹	$Vreset1^*3$	LVDSSEL=0	2.0	2.3	2.7	V
复位检测电压 2* ²	$Vreset2^*3$	LVDSSEL=1	2.7	3.3	3.9	V

【注】 *1 必须在下降电压检测功能和上升电压检测功能并用时使用。

*2 在只使用低电压检测复位时, 必须选择低电压复位 2。

*3 $Vint(D)$ 、 $Vint(U)$ 以及 $Vreset1/2$ 的值会发生相对变化。

(例) 在 $Vint(D)$ 为 min 值时, $Vint(U)$ 和 $Vreset1/2$ 的值也变为 min 值。

表 16.29 电源电压检测电路特性 (3)

在使用内部基准电压和从外部输入检测电压时 (VREFSEL=0, VINTDSEL=VINTUSEL=1)

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
extD/U 中断检测电平	Vexd		0.80	1.20	1.60	V
extD/U 管脚输入电压*2	VextD VextU*1	$V_{CC}=2.7\sim 3.3V$	-0.3	—	$V_{CC}+0.3$ 或者 $AV_{CC}+0.3$ 的 低的电压	V
		$V_{CC}=3.3\sim 5.5V$	-0.3	—	3.6 或者 $AV_{CC}+0.3$ 的 低的电压	V

【注】 *1 必须总是维持 $V_{extD} > V_{extU}$ 的电压关系。

*2 extD/U 管脚的输入电压的 Max 值为 3.6V。

表 16.30 电源电压检测电路特性 (4)

在使用外部基准电压和梯形电阻时 (VREFSEL=1, VINTDSEL=VINTUSEL=0)

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
电源下降检测电压	Vint(D)*1	LVDSSEL=0	$3.08*(V_{ref1}-0.1)$	$3.08*V_{ref1}$	$3.08*(V_{ref1}+0.1)$	V
Vref 输入电压 (Vint(D))	Vref1*2	Vint(D)	0.98	—	1.68	V
电源上升检测电压	Vint(U)*1	LVDSSEL=0	$3.33*(V_{ref2}-0.1)$	$3.33*V_{ref2}$	$3.33*(V_{ref2}+0.1)$	V
Vref 输入电压 (Vint(U))	Vref2*2	Vint(U)	0.91	—	1.55	V
复位检测电压 1	Vreset1*1	LVDSSEL=0	$1.91*(V_{ref3}-0.1)$	$1.91*V_{ref3}$	$1.91*(V_{ref3}+0.1)$	V
Vref 输入电压 (Vreset1)	Vref3*2	Vreset1	0.89	—	2.77	V
复位检测电压 2	Vreset2*1	LVDSSEL=1	$2.76*(V_{ref4}-0.1)$	$2.76*V_{ref4}$	$2.76*(V_{ref4}+0.1)$	V
Vref 输入电压 (Vreset2)	Vref4*2	Vreset2	1.08	—	1.89	V

【注】 *1 Vint(D)、Vint(U)以及 Vreset1/2 的值会发生相对变化。

(例) 在 Vint(D)为 min 值时, Vint(U)和 Vreset1/2 的值也变为 min 值。

*2 Vref 输入电压根据以下关系式:

$2.7V (=V_{CC} \text{ min}) < V_{int}(D), V_{int}(U), V_{reset2} < 5.5V (=V_{CC} \text{ max})$

$1.5V (\text{RAM 保持电压}) < V_{reset1} < 5.5V (=V_{CC} \text{ max})$

$V_{ref1}: 2.7 < 3.08*(V_{ref1}-0.1), 3.08*(V_{ref1}+0.1) < 5.5 \rightarrow 0.98 < V_{ref1} < 1.68$

$V_{ref2}: 2.7 < 3.33*(V_{ref2}-0.1), 3.33*(V_{ref2}+0.1) < 5.5 \rightarrow 0.91 < V_{ref2} < 1.55$

$V_{ref3}: 1.5 < 1.91*(V_{ref3}-0.1), 1.91*(V_{ref3}+0.1) < 5.5 \rightarrow 0.89 < V_{ref3} < 2.77$

$V_{ref4}: 2.7 < 2.76*(V_{ref4}-0.1), 2.76*(V_{ref4}+0.1) < 5.5 \rightarrow 1.08 < V_{ref4} < 1.89$

表 16.31 电源电压检测电路特性 (5)

在使用外部基准电压和从外部输入检测电压时 ($V_{REFSEL}=V_{INTDSEL}=V_{INTUSEL}=1$)

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
比较器检测精度	Vcdl	VextU-Vref VextD-Vref	0.1	—	—	V
extD/U 管脚输入电压	VextD*	$V_{CC}=2.7\sim 3.3V$	-0.3	—	$V_{CC}+0.3$ 或者 $AV_{CC}+0.3$ 的 低的电压	V
	VextU*	$V_{CC}=3.3\sim 5.5V$	-0.3	—	3.6 或者 $AV_{CC}+0.3$ 的 低的电压	V
Vref 管脚输入电压	Vref5	$V_{CC}=2.7\sim 5.5V$	0.8	—	2.8	V

【注】 * 必须总是维持 $V_{extD}>V_{extU}$ 的电压关系。

16.8.8 加电复位特性 (暂定版)

加电复位特性如表 16.32 所示。

表 16.32 加电复位特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
RES 管脚上拉电阻	R_{RES}		65	100	—	$k\Omega$
加电复位启动电压	V_{por}		—	—	100	mV

【注】 * 电源电压 V_{CC} 一定下降到 $V_{por}=100mV$ 以下, 必须在充分放掉 RES 管脚的电荷后, 使电源电压 V_{CC} 上升。为了放掉 RES 管脚的电荷, 建议给 V_{CC} 侧外接二极管。

如果电源电压 V_{CC} 从大于 100mV 的电压开始上升, 加电复位可能不动作。

16.8.9 监视定时器特性

监视定时器特性如表 16.33 所示。

表 16.33 监视定时器特性

(在没有特别记载的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
内部振荡器溢出时间	t_{OVF}		$V_{CC}=5V$	0.2	0.4	—	s	*

【注】 * 表示在选择内部振荡器的状态下从 0 开始累加计数 (0~255) 到产生内部复位为止的时间。

16.9 运行时序

运行时序如图 16.1~图 16.6 所示。

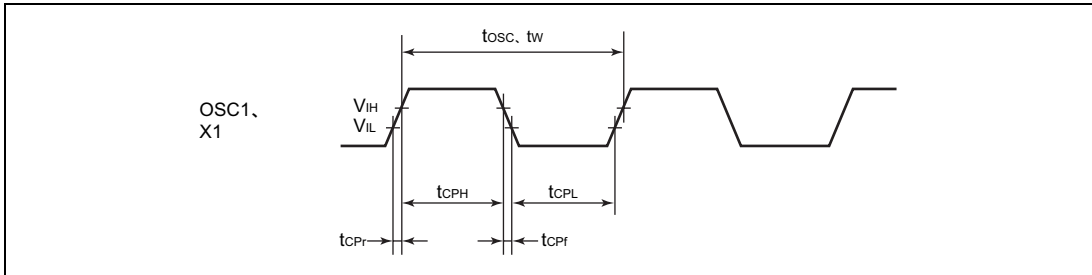


图 16.1 时钟输入时序

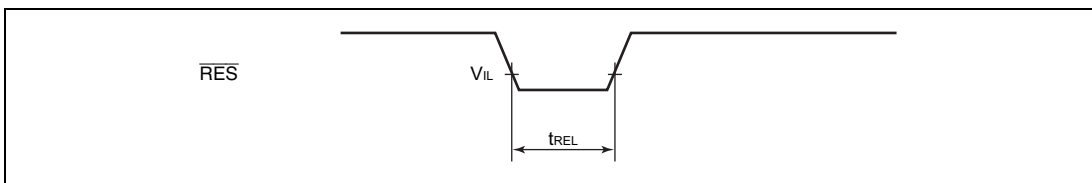


图 16.2 \overline{RES} 管脚低电平宽度

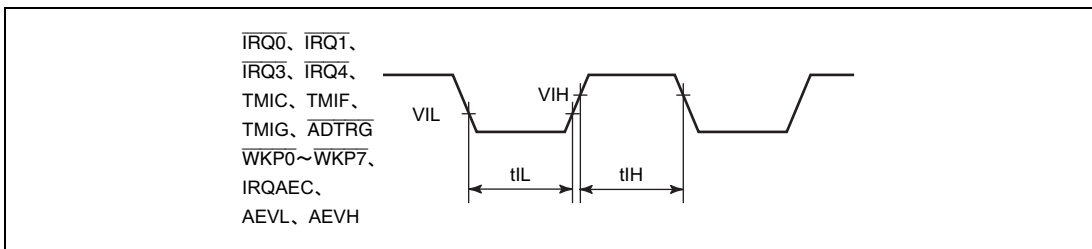


图 16.3 输入时序

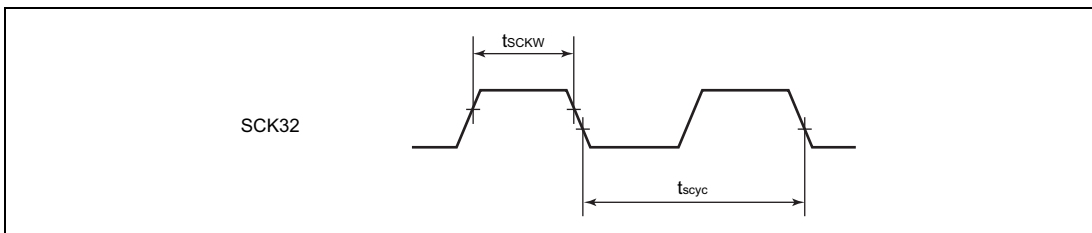


图 16.4 SCK3 输入时钟时序

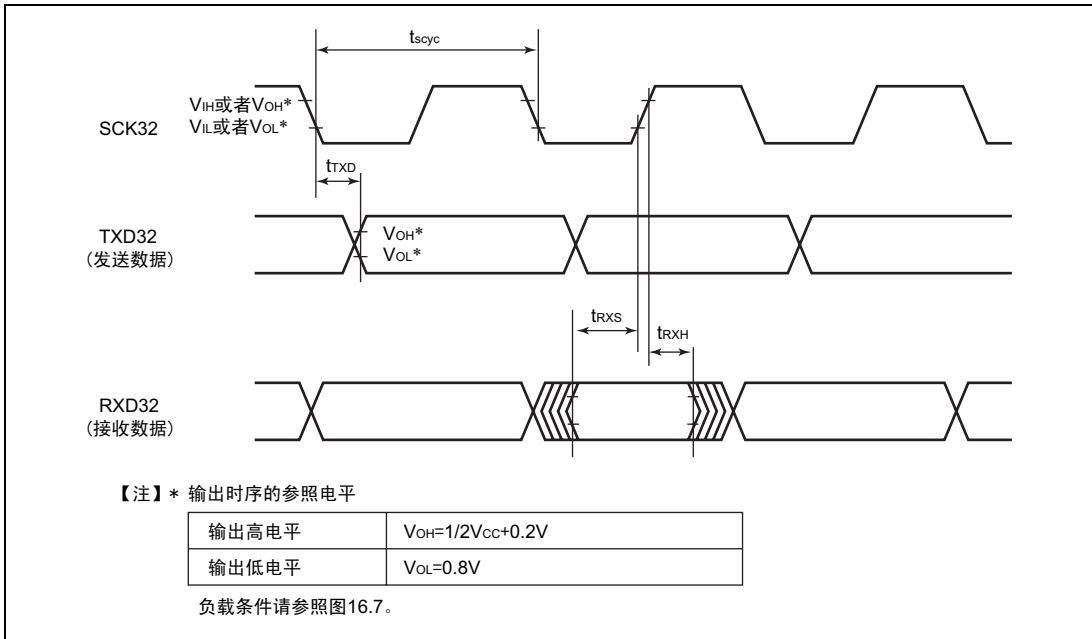


图 16.5 SCI3 时钟同步模式输入/输出时序

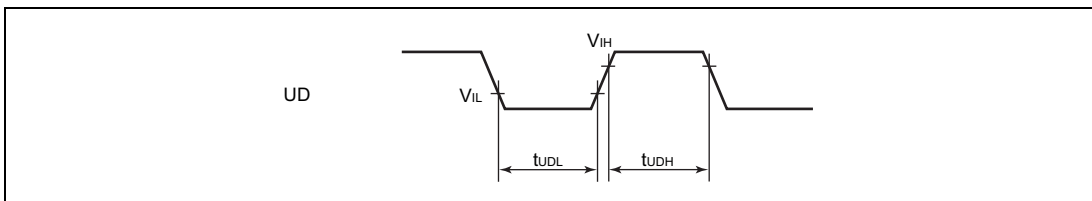


图 16.6 UD 管脚最小变化宽度时序

16.10 输出负载电路

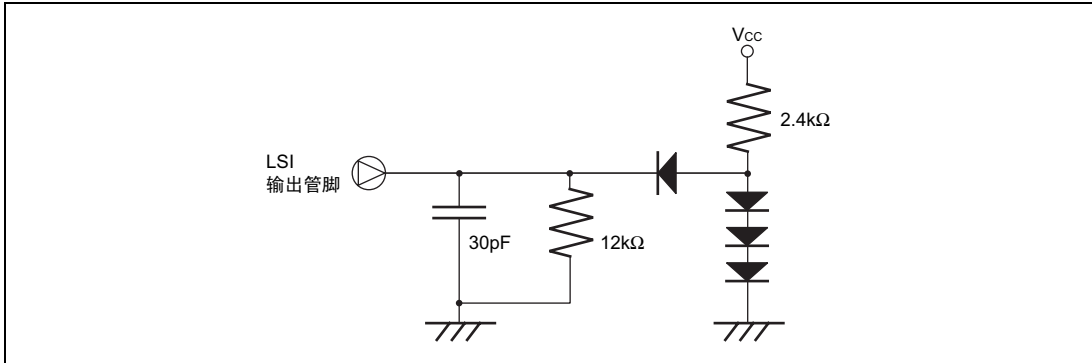


图 16.7 输出负载条件

16.11 谐振器的等效电路

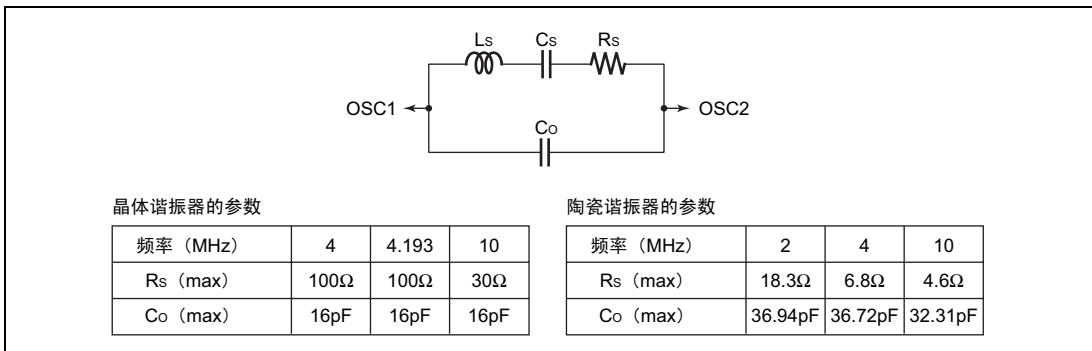


图 16.8 谐振器的等效电路 (1)

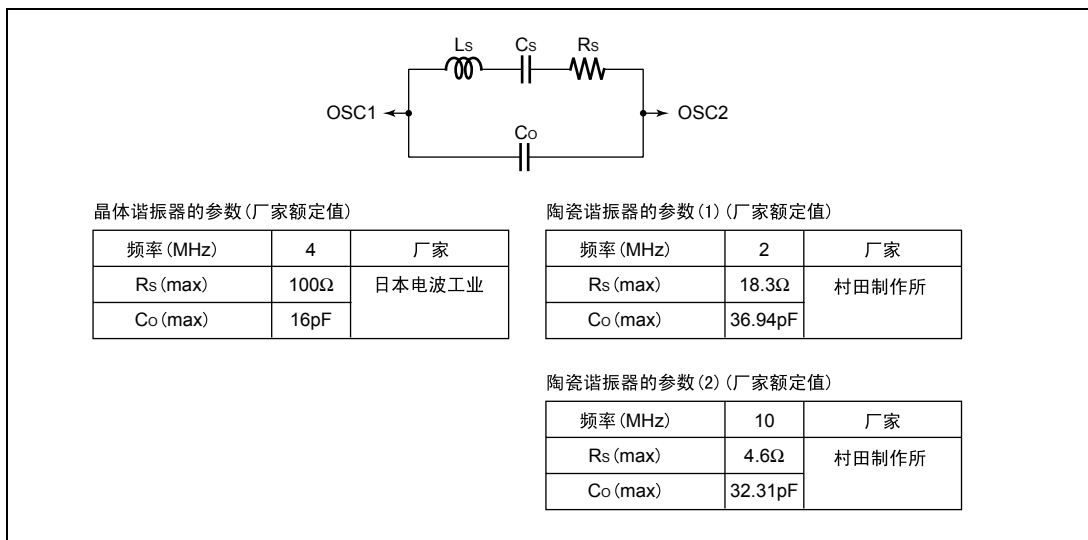


图 16.9 谐振器的等效电路 (2)

16.12 使用时的注意事项

虽然 ZTAT 版、F-ZTAT 版以及掩模型 ROM 版满足本章记载的电特性，但是由于制造工序、内部 ROM 以及布局形状等的不同，电特性的实际值、运行容限以及噪声容限等可能不同。

在对使用 ZTAT 版或者 F-ZTAT 版的系统进行评估试验时，对于改换成掩模型 ROM 版时的掩模型 ROM 版系统，也必须进行同等的评估试验。

附录

A. 指令

A.1 指令一览表

《操作符号》

Rd8/16	通用寄存器（目标侧）8位/16位
Rs8/16	通用寄存器（源侧）8位/16位
Rn8/16	通用寄存器 8位/16位
CCR	条件码寄存器
N	CCR的N（负）标志位
Z	CCR的Z（零）标志位
V	CCR的V（溢出）标志位
C	CCR的C（进位）标志位
PC	程序计数器
SP	堆栈指针
#xx:3/8/16	立即数 3位/8位/16位
d:8/16	位移量 8位/16位
@aa:8/16	绝对地址 8/16位
+	加法
-	减法
×	乘法
÷	除法
∧	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
—	非（逻辑补）

《操作符号》

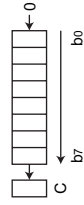
符号	
↕	表示根据执行结果而变化。
*	表示不定状态（不保证值）。
0	表示总是被清0。
—	表示不受执行结果的影响。

表 A.1 指令系统一览表

助记符	长度	寻址方式/指令长(字节)						操作	条件码						执行状态数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z		V	C
MOV	B	2											↑	↑	0	—	2
MOV.B #xx:8, Rd	B												↑	↑	0	—	2
MOV.B Rs, Rd	B	2											↑	↑	0	—	2
MOV.B @Rs, Rd	B		2										↑	↑	0	—	4
MOV.B @(d:16, Rs), Rd	B			4									↑	↑	0	—	6
MOV.B @Rs+, Rd	B				2								↑	↑	0	—	6
MOV.B @aa:8, Rd	B					2							↑	↑	0	—	4
MOV.B @aa:16, Rd	B					4							↑	↑	0	—	6
MOV.B Rs, @Rd	B		2										↑	↑	0	—	4
MOV.B Rs, @(d:16, Rd)	B			4									↑	↑	0	—	6
MOV.B Rs, @-Rd	B				2								↑	↑	0	—	6
MOV.B Rs, @aa:8	B					2							↑	↑	0	—	4
MOV.B Rs, @aa:16	B					4							↑	↑	0	—	6
MOV.W #xx:16, Rd	W	4											↑	↑	0	—	4
MOV.W Rs, Rd	W		2										↑	↑	0	—	2
MOV.W @Rs, Rd	W			2									↑	↑	0	—	4
MOV.W @(d:16, Rs), Rd	W			4									↑	↑	0	—	6
MOV.W @Rs+, Rd	W				2								↑	↑	0	—	6
MOV.W @aa:16, Rd	W					4							↑	↑	0	—	6
MOV.W Rs, @Rd	W		2										↑	↑	0	—	4
MOV.W Rs, @(d:16, Rd)	W			4									↑	↑	0	—	6

助记符	长度	寻址方式/指令长 (字节)						操作	条件码						执行状态数				
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@@aa	I	H	N	Z		V	C		
MOV	W				2										↑	↑	0	—	6
	W														↑	↑	0	—	6
POP	W				2										↑	↑	0	—	6
PUSH	W				2										↑	↑	0	—	6
ADD	B	2													↑	↑	↑	↑	2
	B		2												↑	↑	↑	↑	2
ADDX	B	2													(1)	↑	↑	↑	2
	B		2												↑	↑	(2)	↑	2
ADDS	W		2												↑	↑	(2)	↑	2
	W		2												↑	↑	—	—	2
INC	B		2												↑	↑	↑	↑	2
	B		2												*	↑	↑	*	(3)
SUB	W		2												↑	↑	↑	↑	2
	W		2												(1)	↑	↑	↑	2
	B	2													↑	↑	(2)	↑	2
	B		2												↑	↑	(2)	↑	2

助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, P,C)	@@aa	I	H	N	Z	V		C	
SUBS	W	2																2
SUBS.W #1, Rd	W	2																2
DEC	B	2																2
DEC.B Rd	B	2																2
DAS	B	2																2
DAS.B Rd	B	2																2
NEG	B	2																2
NEG.B Rd	B	2																2
CMP	B	2																2
CMP.B #xx:8, Rd	B	2																2
CMP.B Rs, Rd	B	2																2
CMP.W Rs, Rd	W	2																2
MULXU	B	2																14
MULXU.B Rs, Rd	B	2																14
DIVXU	B	2																14
DIVXU.B Rs, Rd	B	2																14
AND	B	2																2
AND.B #xx:8, Rd	B	2																2
AND.B Rs, Rd	B	2																2
OR	B	2																2
OR.B #xx:8, Rd	B	2																2
OR.B Rs, Rd	B	2																2
XOR	B	2																2
XOR.B #xx:8, Rd	B	2																2
XOR.B Rs, Rd	B	2																2
NOT	B	2																2
NOT.B Rd	B	2																2
SHAL	B	2																2
SHAL.B Rd	B	2																2



助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@@aa	I	H	N	Z	V	
BSET	B						4	(#xx:3 of @aa:8) ← 1	—	—	—	—	—	—	8	
	B	2						(Rn8 of Rd8) ← 1	—	—	—	—	—	—	2	
	B		4					(Rn8 of @Rd16) ← 1	—	—	—	—	—	—	8	
	B						4	(Rn8 of @aa:8) ← 1	—	—	—	—	—	—	8	
BCLR	B	2						(#xx:3 of Rd8) ← 0	—	—	—	—	—	—	2	
	B		4					(#xx:3 of @Rd16) ← 0	—	—	—	—	—	—	8	
	B						4	(#xx:3 of @aa:8) ← 0	—	—	—	—	—	—	8	
	B	2						(Rn8 of Rd8) ← 0	—	—	—	—	—	—	2	
BCLR Rn, @Rd	B		4					(Rn8 of @Rd16) ← 0	—	—	—	—	—	—	8	
	B						4	(Rn8 of @aa:8) ← 0	—	—	—	—	—	—	8	
	B	2						(Rn8 of @aa:8) ← 0	—	—	—	—	—	—	8	
	B						4	(#xx:3 of Rd8) ← (#xx:3 of Rd8)	—	—	—	—	—	—	2	
BNOT	B		4					(#xx:3 of @Rd16)	—	—	—	—	—	—	8	
	B							← (#xx:3 of @Rd16)	—	—	—	—	—	—	8	
BNOT #xx:3, @aa:8	B						4	(#xx:3 of @aa:8)	—	—	—	—	—	—	8	
	B							← (#xx:3 of @aa:8)	—	—	—	—	—	—	8	
	B	2						(Rn8 of Rd8) ← (Rn8 of Rd8)	—	—	—	—	—	—	2	
	B		4					(Rn8 of @Rd16) ← (Rn8 of @Rd16)	—	—	—	—	—	—	8	
BNOT Rn, @aa:8	B						4	(Rn8 of @aa:8) ← (Rn8 of @aa:8)	—	—	—	—	—	—	8	
	B	2						(#xx:3 of Rd8) → Z	—	—	—	↑	—	—	2	
	B		4					(#xx:3 of @Rd16) → Z	—	—	—	↑	—	—	6	
	B						4	(#xx:3 of @aa:8) → Z	—	—	—	↑	—	—	6	
BNOT Rn, Rd	B	2						(Rn8 of Rd8) → Z	—	—	—	↑	—	—	2	
	B								—	—	—	—	—	—	2	

助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@@aa	I	H	N	Z	V		C	
BTST	B		4												↑	—	—	6
BTST Rn, @aa:8	B														↑	—	—	6
BLD	B		2				4								—	—	↑	2
	B			4											—	—	↑	6
BLD #xx:3, @aa:8	B		2												—	—	↑	6
	B			4			4								—	—	↑	2
BLD #xx:3, @Rd	B														—	—	↑	6
	B			4											—	—	↑	6
BLD #xx:3, @Rd	B		2												—	—	↑	2
	B			4			4								—	—	↑	6
BST	B														—	—	—	8
	B		2												—	—	—	2
BST #xx:3, @Rd	B														—	—	—	8
	B			4			4								—	—	—	2
BST #xx:3, @aa:8	B														—	—	—	8
	B		2												—	—	—	2
BIST	B														—	—	—	8
	B			4											—	—	—	8
BIST #xx:3, @aa:8	B														—	—	—	8
	B		2												—	—	—	2
BAND	B														—	—	—	8
	B		2												—	—	—	2
BAND #xx:3, @Rd	B														—	—	—	8
	B			4											—	—	—	2
BAND #xx:3, @aa:8	B														—	—	—	8
	B		2				4								—	—	—	2
BIAND	B														—	—	—	8
	B		2												—	—	—	2
BIAND #xx:3, @Rd	B														—	—	—	8
	B			4											—	—	—	2
BIAND #xx:3, @aa:8	B														—	—	—	8
	B		2				4								—	—	—	2
BOR	B														—	—	—	8
	B		2												—	—	—	2
BOR #xx:3, @Rd	B														—	—	—	8
	B			4											—	—	—	2
BOR #xx:3, @aa:8	B														—	—	—	8
	B		2				4								—	—	—	2

助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数
		#xx:8/16	Rn	@Rn	@Rn/16	@Rn/16	@d:8, PC		@aa	I	H	N	Z	V	C	
BIOR	B	2						C \ (#xx:3 of Rd8) → C	—	—	—	—	—	—	↑	2
	B		4					C \ (#xx:3 of @Rd16) → C	—	—	—	—	—	—	↑	6
	B				4			C \ (#xx:3 of @aa:8) → C	—	—	—	—	—	—	↑	6
BXOR	B	2						C ⊕ (#xx:3 of Rd8) → C	—	—	—	—	—	—	↑	2
	B		4					C ⊕ (#xx:3 of @Rd16) → C	—	—	—	—	—	—	↑	6
	B				4			C ⊕ (#xx:3 of @aa:8) → C	—	—	—	—	—	—	↑	6
BIXOR	B	2						C ⊕ (#xx:3 of Rd8) → C	—	—	—	—	—	—	↑	2
	B		4					C ⊕ (#xx:3 of @Rd16) → C	—	—	—	—	—	—	↑	6
	B				4			C ⊕ (#xx:3 of @aa:8) → C	—	—	—	—	—	—	↑	6
Bcc	—					2		PC ← PC+d:8	—	—	—	—	—	—	—	4
	—					2		PC ← PC+2	—	—	—	—	—	—	—	4
	—					2		if condition	—	—	—	—	—	—	—	4
	—					2		is true then	—	—	—	—	—	—	—	4
	—					2		PC ← PC+d:8	—	—	—	—	—	—	—	4
	—					2		else next;	—	—	—	—	—	—	—	4
	—					2			—	—	—	—	—	—	—	4
	—					2			—	—	—	—	—	—	—	4
	—					2			—	—	—	—	—	—	—	4
	—					2			—	—	—	—	—	—	—	4
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	
—					2			—	—	—	—	—	—	—	4	

助记符	长度	寻址方式/指令长 (字节)							操作	条件码							执行状态数								
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V	C									
JMP	JMP @Rn	—	2																					4	
	JMP @aa:16	—					4																		6
	JMP @@aa:8	—								2															8
BSR	BSR d:8	—							2																6
		—	2																						6
		—																							8
JSR	JSR @aa:16	—																							8
		—						4																	8
		—											2												8
RTS	RTS	—																							8
		—													2										8
RTE	RTE	—																							10
		—																							10

A.2 操作码映像

操作码映像如表 A.2 所示。表 A.2 只表示有关指令码的第 1 字节（第 1 字的位 15~8）。

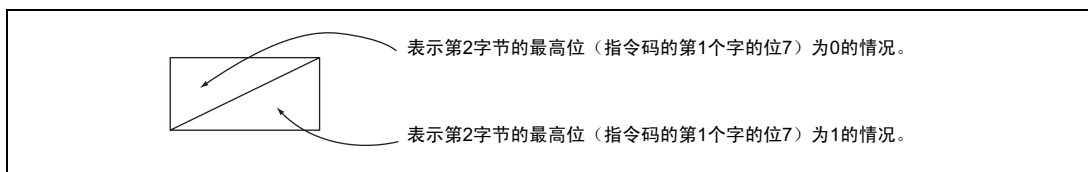


表 A.2 操作码映像

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	MOV	ADDX	DAA
1	SHLL SHAL	SHLR SHAR	ROTL ROTR	ROTR ROTL	OR	XOR	AND	NOT NEG	SUB	SUB	DEC	SUBS	CMP	CMP	SUBX	DAS
2	MOV															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BST	BLT	BAND	BIST	BAND	BAND	BAND	MOV*	
7					BOR	BXOR	BAND	BLT	BAND	BAND	BAND	EEPMOV	MOV	MOV		位操作指令
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】* PUSH、POP指令的机器语言和MOV指令相同。

A.3 指令执行状态数

本章节说明有关 H8/300H CPU 各指令的执行状态（execution status）和执行状态数的计算方法。

作为指令的执行状态，在指令执行中进行的取指令、读数据和写数据等的周期数如表 A.4 所示，对于各周期所需要的状态数如表 A.3 所示。用如下的计算式计算指令的执行状态数：

$$\text{执行状态数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

• 执行状态数的计算例子

（例）从内部 ROM 取指令、存取内部 RAM 的情况

1. BSET #0, @FF00

根据表A.4

$$I=L=2, J=K=M=N=0$$

根据表A.3

$$S_I=2, S_L=2$$

$$\text{执行状态数} = 2 \times 2 + 2 \times 2 = 8$$

从内部ROM取指令、从内部ROM读转移地址、堆栈区为内部RAM的情况

2. JSR @@30

根据表A.4

$$I=2, J=K=1, L=M=N=0$$

根据表A.3

$$S_I=S_J=S_K=2$$

$$\text{执行状态数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 执行状态（周期）所需要的状态数

执行状态（周期）	存取对象	
	内部存储器	内部外围模块
取指令 S_I	2	X
读转移地址 S_J		
堆栈操作 S_K		2 或者 3*
存取字节数据 S_L		
存取字数据 S_M		X
内部运行 S_N	1	

【注】* 根据内部外围模块的不同而不同。详细内容请参照“2.9.1 有关数据存取的注意事项”。

表 A.4 指令执行状态（周期数）

指令	助记符	取指令	读转移地址	堆栈操作	存取字节数据	存取字数据	内部运行
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

指令	助记符	取指令	读转移地址	堆栈操作	存取字节数据	存取字数据	内部运行
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

附录

指令	助记符	取指令	读转移地址	堆栈操作	存取字节数据	存取字数据	内部运行
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EPMOV	EPMOV	2			2n+2*		1*
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1		1			
	MOV.B @(d:16, Rs), Rd	2		1			
	MOV.B @Rs+, Rd	1		1			2
	MOV.B @aa:8, Rd	1		1			
	MOV.B @aa:16, Rd	2		1			

指令	助记符	取指令	读转移地址	堆栈操作	存取字节数据	存取字数据	内部运行
		I	J	K	L	M	N
MOV	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16, Rs), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs, @Rd	1				1	
	MOV.W Rs, @(d:16, Rd)	2				1	
	MOV.W Rs, @-Rd	1				1	2
	MOV.W Rs, @aa:16	2				1	
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					

附录

指令	助记符	取指令	读转移地址	堆栈操作	存取字节数据	存取字数据	内部运行
		I	J	K	L	M	N
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 * n 为 R4L 的设定值。源侧和目标侧各进行 (n+1) 次存取。

在 HD64F38024、HD64F38024F、H8/38024S 群以及 H8/38124 群，内部运行 N 为 0。

B. 内部 I/O 寄存器一览表

B.1 地址一览表

高位地址: H'F0

低位地址	寄存器名	位名								模块名
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
H'20	FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
H'21	FLMCR2	FLER	—	—	—	—	—	—	—	
H'22	FLPWCR	PDWND	—	—	—	—	—	—	—	
H'23	EBR	—	—	—	EB4	EB3	EB2	EB1	EB0	
H'24										
H'25										
H'26										
H'27										
H'28										
H'29										
H'2A										
H'2B	FENR	FLSHE	—	—	—	—	—	—	—	
H'2C										
H'2D										
H'2E										
H'2F										

高位地址: H'FF

低位地址	寄存器名	位名								模块名
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
H'80										
H'81										
H'82										
H'83										
H'84										
H'85										
H'86	LVDCR	LVDE	—	VINTDSEL	VINTUSEL	LVDSSEL	LVDRE	LVDDE	LVDUE	低电压检测
H'87	LVDSR	OVF	—	—	—	VREFSEL	—	LVDDF	LVDUF	电路*
H'88										
H'89										
H'8A										
H'8B										
H'8C	ECPWCRH	ECPWCRH7	ECPWCRH6	ECPWCRH5	ECPWCRH4	ECPWCRH3	ECPWCRH2	ECPWCRH1	ECPWCRH0	异步事件 计数器
H'8D	ECPWCRL	ECPWCRL7	ECPWCRL6	ECPWCRL5	ECPWCRL4	ECPWCRL3	ECPWCRL2	ECPWCRL1	ECPWCRL0	
H'8E	ECPWDRH	ECPWDRH7	ECPWDRH6	ECPWDRH5	ECPWDRH4	ECPWDRH3	ECPWDRH2	ECPWDRH1	ECPWDRH0	
H'8F	ECPWDRL	ECPWDRL7	ECPWDRL6	ECPWDRL5	ECPWDRL4	ECPWDRL3	ECPWDRL2	ECPWDRL1	ECPWDRL0	
H'90	WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	系统控制
H'91	SPCR	—	—	SPC32	—	SCINV3	SCINV2	—	—	SCI3
H'92	AEGSR	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	—	异步事件 计数器
H'93										
H'94	ECCR	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0	—	
H'95	ECCSR	OVH	OVL	—	CH2	CUEH	CUEL	CRCH	CRCL	
H'96	ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
H'97	ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
H'98										
H'99										
H'9A										
H'9B										
H'9C										
H'9D										
H'9E										
H'9F										

高位地址: H'FF

低位地址	寄存器名	位名								模块名
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
H'A0										
H'A1										
H'A2										
H'A3										
H'A4										
H'A5										
H'A6										
H'A7										
H'A8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
H'A9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
H'AA	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'AB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
H'AC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
H'AD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H'AE										
H'AF										
H'B0	TMA	—	—	—	—	TMA3	TMA2	TMA1	TMA0	定时器 A
H'B1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H'B2	TCSRW	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST	监视定时器
H'B3	TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	
H'B4	TMC	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0	定时器 C
H'B5	TCC/TLC	TCC7/TLC7	TCC6/TLC6	TCC5/TLC5	TCC4/TLC4	TCC3/TLC3	TCC2/TLC2	TCC1/TLC1	TCC0/TLC0	
H'B6	TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	定时器 F
H'B7	TCSRF	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
H'B8	TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
H'B9	TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
H'BA	OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
H'BB	OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
H'BC	TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	定时器 G
H'BD	ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
H'BE	ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
H'BF										

高位地址: H'FF

低位地址	寄存器名	位名								模块名
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
H'C0	LPCR	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0	LCD
H'C1	LCR	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
H'C2	LCR2	LCDAB	—	—	—	CDS3*	CDS2*	CDS1*	CDS0*	低电压检测电路*
H'C3	LVDCNT	CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0	
H'C4	ADRRH	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D 转换器
H'C5	ADRRL	ADR1	ADR0	—	—	—	—	—	—	
H'C6	AMR	CKS	TRGE	—	—	CH3	CH2	CH1	CH0	
H'C7	ADSR	ADSF	—	—	—	—	—	—	—	
H'C8	PMR1	IRQ3	—	—	IRQ4	TMIG	—	—	—	
H'C9	PMR2	—	—	POF1	—	—	WDCKS	NCS	IRQ0	I/O 端口
H'CA	PMR3	AEVL	AEVH	—	—	—	TMOFH	TMOFL	UD	
H'CB										
H'CC	PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
H'CD	PWCR2	—	—	—	—	—	PWCR22*	PWCR21	PWCR20	
H'CE	PWDRU2	—	—	—	—	—	—	PWDRU21	PWDRU20	10 位 PWM2
H'CF	PWDRL2	PWDRL27	PWDRL26	PWDRL25	PWDRL24	PWDRL23	PWDRL22	PWDRL21	PWDRL20	
H'D0	PWCR1	—	—	—	—	—	PWCR12*	PWCR11	PWCR10	10 位 PWM1
H'D1	PWDRU1	—	—	—	—	—	—	PWDRU11	PWDRU10	
H'D2	PWDRL1	PWDRL17	PWDRL16	PWDRL15	PWDRL14	PWDRL13	PWDRL12	PWDRL11	PWDRL10	I/O 端口
H'D3										
H'D4	PDR1	P17	P16	—	P14	P13	—	—	—	
H'D5										
H'D6	PDR3	P37	P36	P35	P34	P33	P32	P31	P30	
H'D7	PDR4	—	—	—	—	P43	P42	P41	P40	
H'D8	PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
H'D9	PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
H'DA	PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
H'DB	PDR8	P87	P86	P85	P84	P83	P82	P81	P80	
H'DC	PDR9	—	—	P95	P94	P93	P92	P91	P90	
H'DD	PDRA	—	—	—	—	PA3	PA2	PA1	PA0	
H'DE	PDRB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
H'DF										

高位地址: H'FF

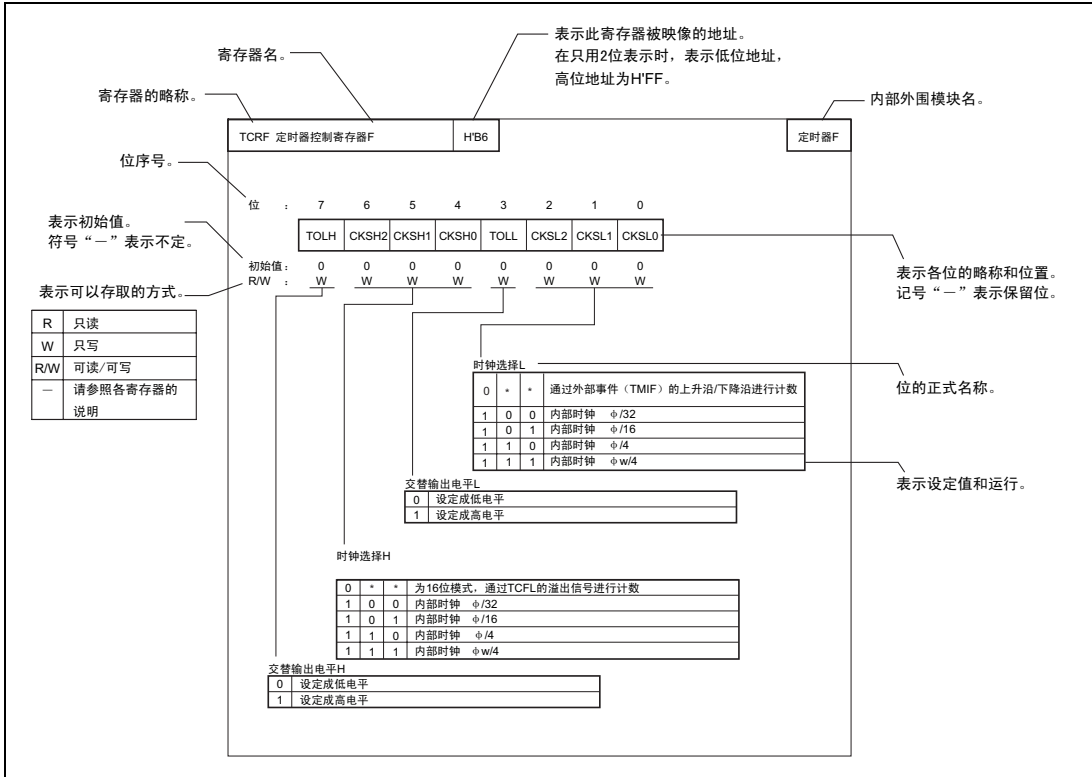
低位地址	寄存器名	位名								模块名
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
H'E0	PUCR1	PUCR17	PUCR16	—	PUCR14	PUCR13	—	—	—	I/O 端口
H'E1	PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30	
H'E2	PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
H'E3	PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	
H'E4	PCR1	PCR17	PCR16	—	PCR14	PCR13	—	—	—	
H'E5										
H'E6	PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
H'E7	PCR4	—	—	—	—	—	PCR42	PCR41	PCR40	
H'E8	PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
H'E9	PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
H'EA	PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
H'EB	PCR8	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80	
H'EC	PMR9	—	—	—	—	PIOFF	—	PWM2	PWM1	
H'ED	PCRA	—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0	
H'EE	PMRB	—	—	—	—	IRQ1	—	—	—	
H'EF										
H'F0	SYSCR1	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0	
H'F1	SYSCR2	—	—	—	NESEL	DTON	MSON	SA1	SA0	
H'F2	IEGR	—	—	—	IEG4	IEG3	—	IEG1	IEG0	
H'F3	IENR1	IENTA	—	IENWP	IEN4	IEN3	IENEC2	IEN1	IEN0	
H'F4	IENR2	IENDT	IENAD	—	IENTG	IENTFH	IENTFL	IENTC	IENEC	
H'F5	OSCCR*	SUBSTP	—	—	—	—	IROAECF	OSCF	—	
H'F6	IRR1	IRRTA	—	—	IRRI4	IRRI3	IRREC2	IRRI1	IRRI0	
H'F7	IRR2	IRRTD	IRRAD	—	IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC	
H'F8	TMW*	—	—	—	—	CKS3	CKS2	CKS1	CKS0	监视定时器
H'F9	IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	系统控制
H'FA	CKSTPR1	—	—	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP	
H'FB	CKSTPR2	—	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP	
H'FC										
H'FD										
H'FE										
H'FF										

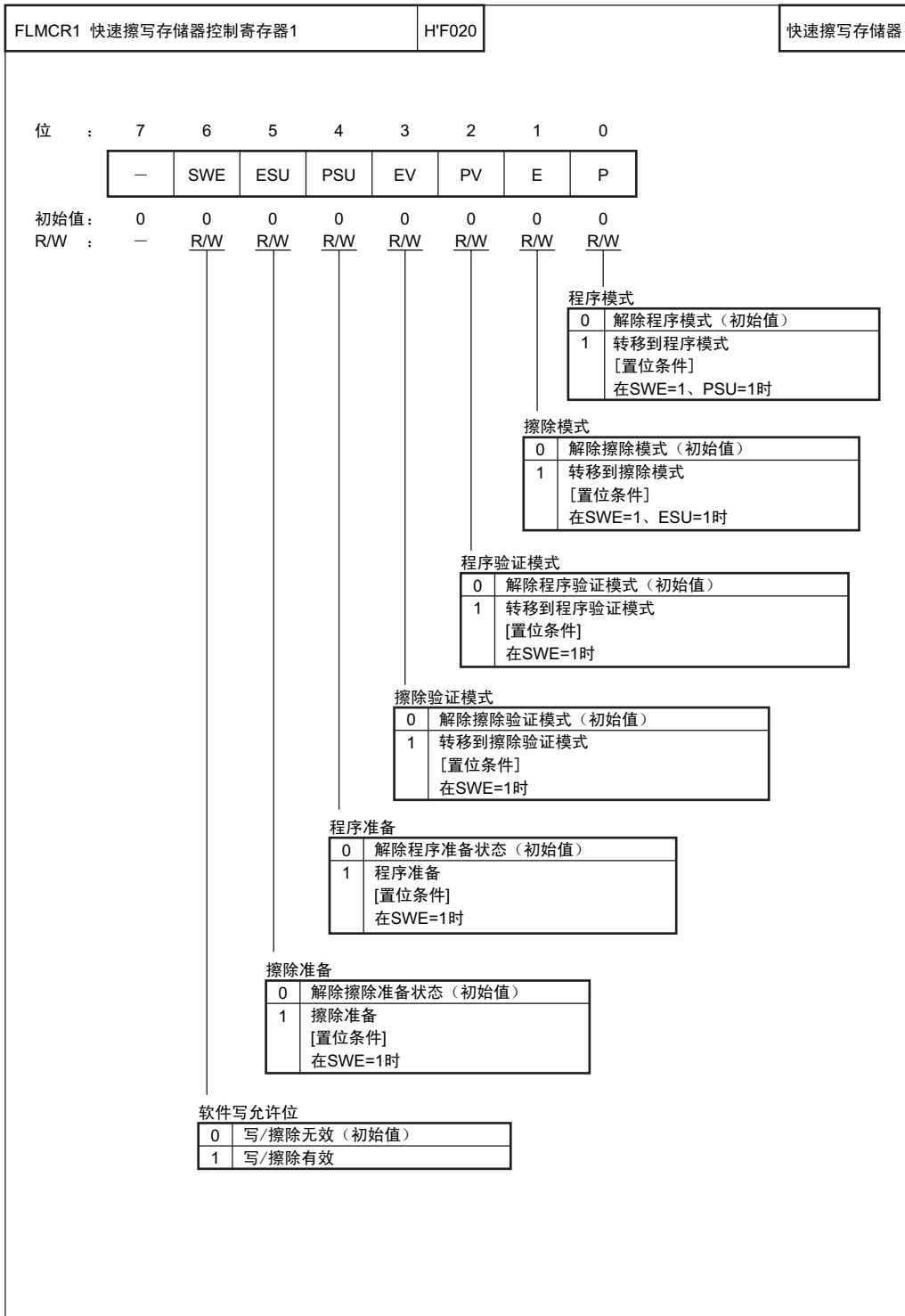
(符号说明)

SCI: 串行通信接口

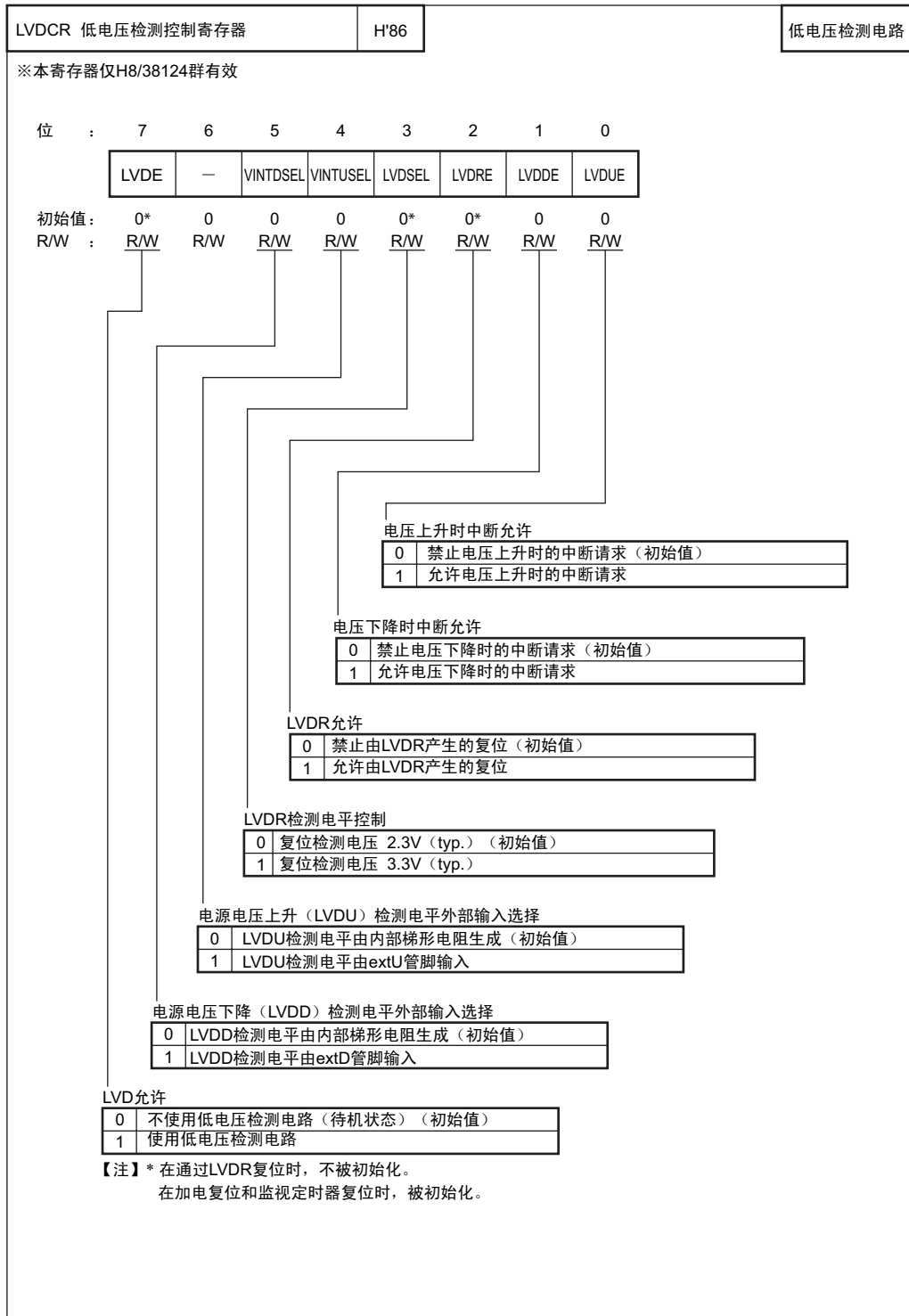
【注】 * 仅 H8/38124 群

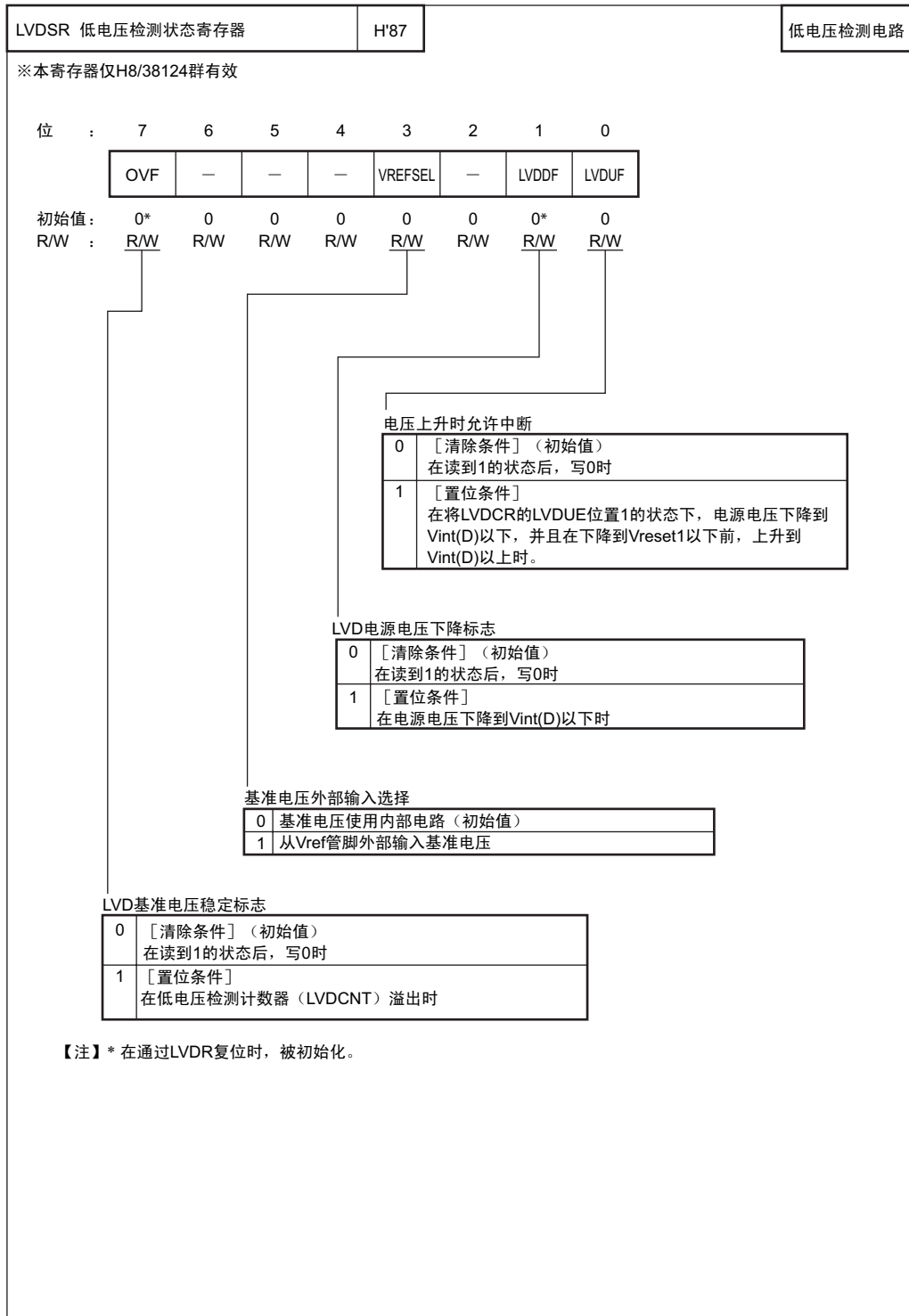
B.2 功能一览表



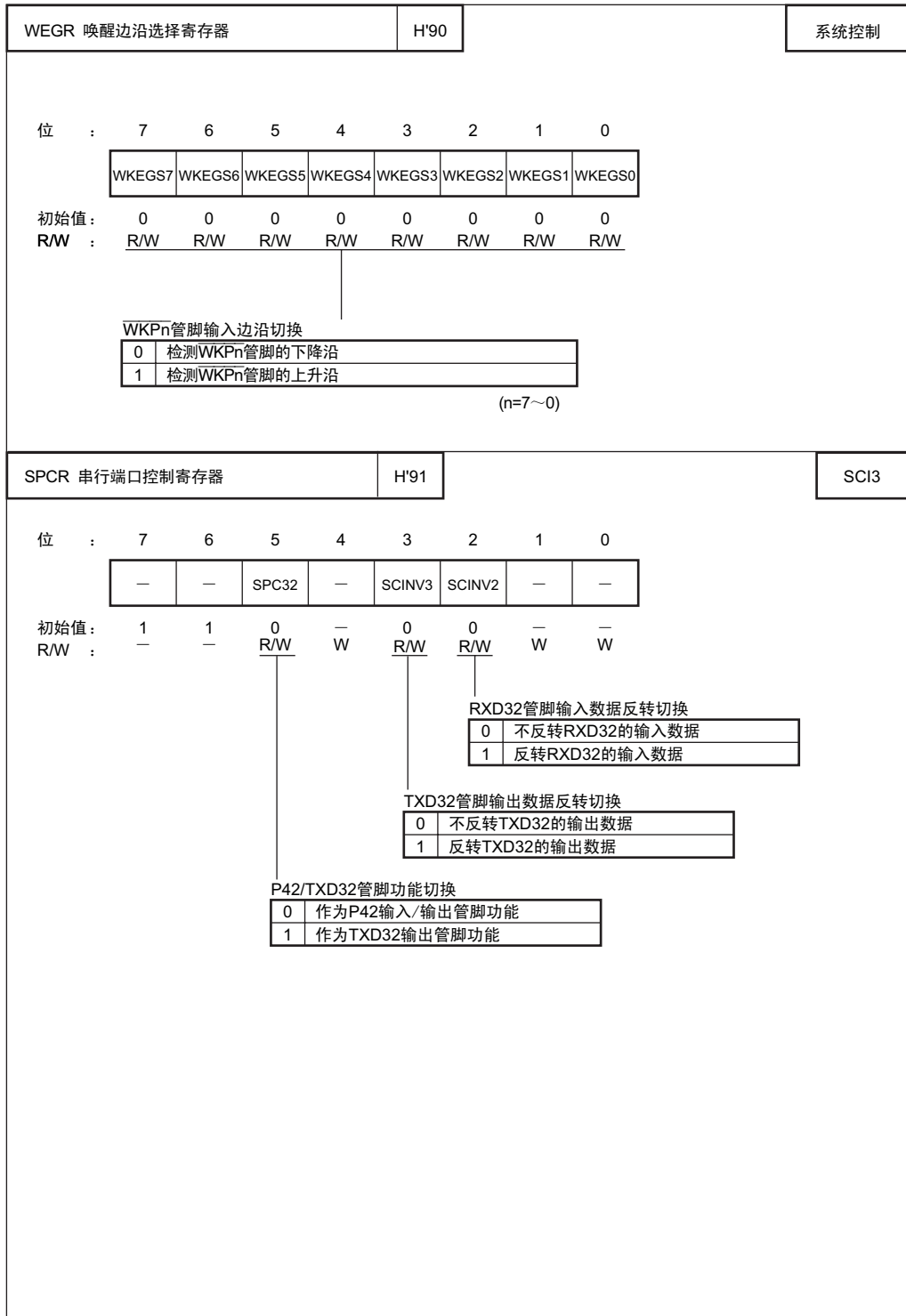


FLMCR2 快速擦写存储器控制寄存器2	H'F021	快速擦写存储器												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">FLER</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R — — — — — — —</p> <p style="margin-left: 40px;">快速擦写存储器错误</p> <p>【注】 禁止对FLMCR2写。</p>			FLER	—	—	—	—	—	—	—				
FLER	—	—	—	—	—	—	—							
FLPWCR 快速擦写存储器功率控制寄存器	H'F022	快速擦写存储器												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">PDWND</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R/W — — — — — — —</p> <p style="margin-left: 40px;">掉电禁止</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">如果转移到子激活模式，快速擦写存储器就变为低功耗模式。</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">如果转移到子激活模式，快速擦写存储器就以正常模式运行。</td> </tr> </table>			PDWND	—	—	—	—	—	—	—	0	如果转移到子激活模式，快速擦写存储器就变为低功耗模式。	1	如果转移到子激活模式，快速擦写存储器就以正常模式运行。
PDWND	—	—	—	—	—	—	—							
0	如果转移到子激活模式，快速擦写存储器就变为低功耗模式。													
1	如果转移到子激活模式，快速擦写存储器就以正常模式运行。													
EBR 块指定寄存器	H'F023	快速擦写存储器												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">EB4</td> <td style="padding: 2px;">EB3</td> <td style="padding: 2px;">EB2</td> <td style="padding: 2px;">EB1</td> <td style="padding: 2px;">EB0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : — — — R/W R/W R/W R/W R/W</p> <p style="margin-left: 40px;">块4~0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">在不选择EB4~EB0块时（初始值）</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">在选择EB4~EB0块时</td> </tr> </table> <p>【注】 擦除时除外，必须将EBR的位置H'00。</p>			—	—	—	EB4	EB3	EB2	EB1	EB0	0	在不选择EB4~EB0块时（初始值）	1	在选择EB4~EB0块时
—	—	—	EB4	EB3	EB2	EB1	EB0							
0	在不选择EB4~EB0块时（初始值）													
1	在选择EB4~EB0块时													
FENR 快速擦写存储器允许寄存器	H'F02B	快速擦写存储器												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">FLSHE</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R/W — — — — — — —</p> <p style="margin-left: 40px;">快速擦写存储器控制寄存器允许</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">不能存取快速擦写存储器控制寄存器。</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">能存取快速擦写存储器控制寄存器。</td> </tr> </table>			FLSHE	—	—	—	—	—	—	—	0	不能存取快速擦写存储器控制寄存器。	1	能存取快速擦写存储器控制寄存器。
FLSHE	—	—	—	—	—	—	—							
0	不能存取快速擦写存储器控制寄存器。													
1	能存取快速擦写存储器控制寄存器。													

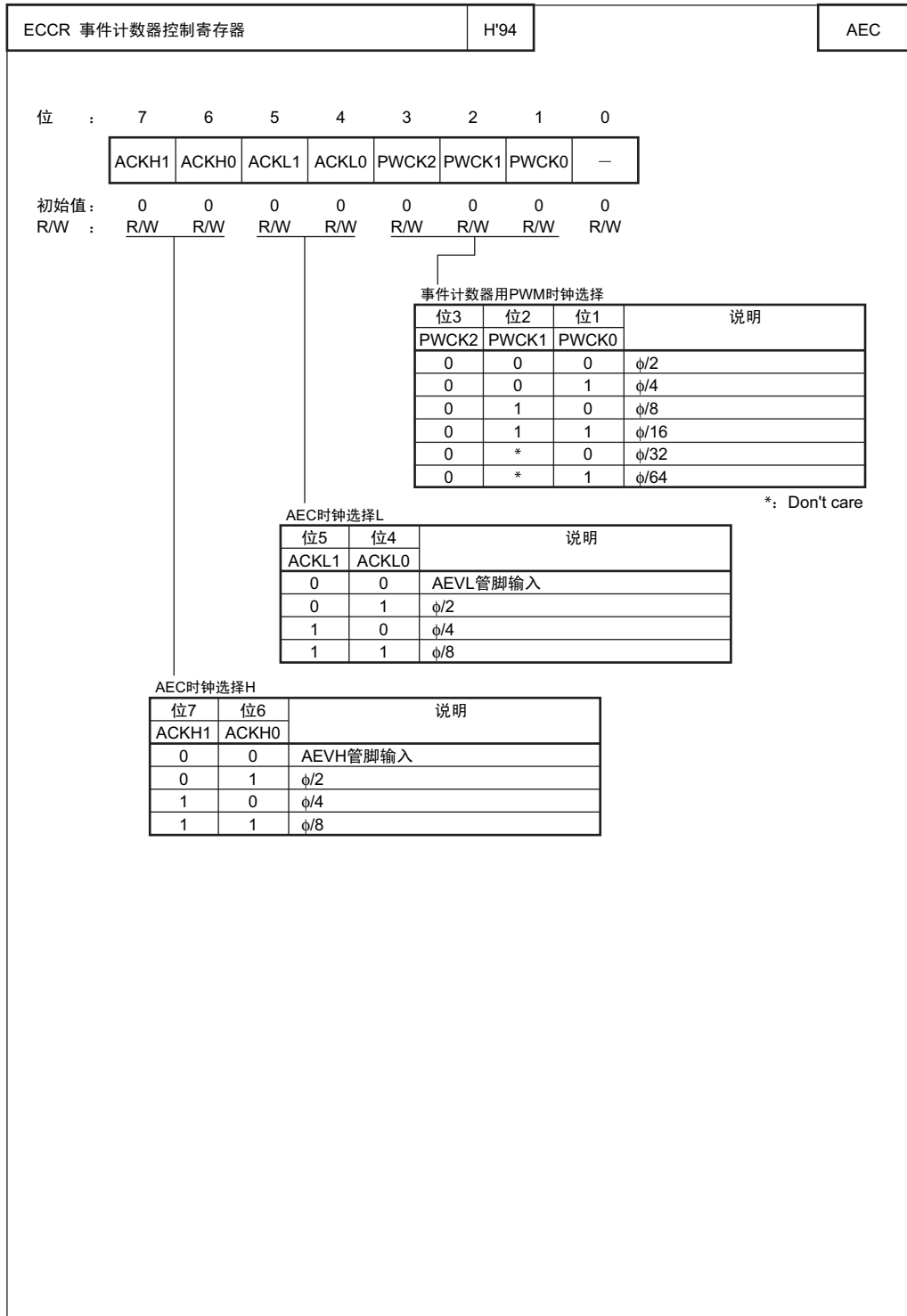


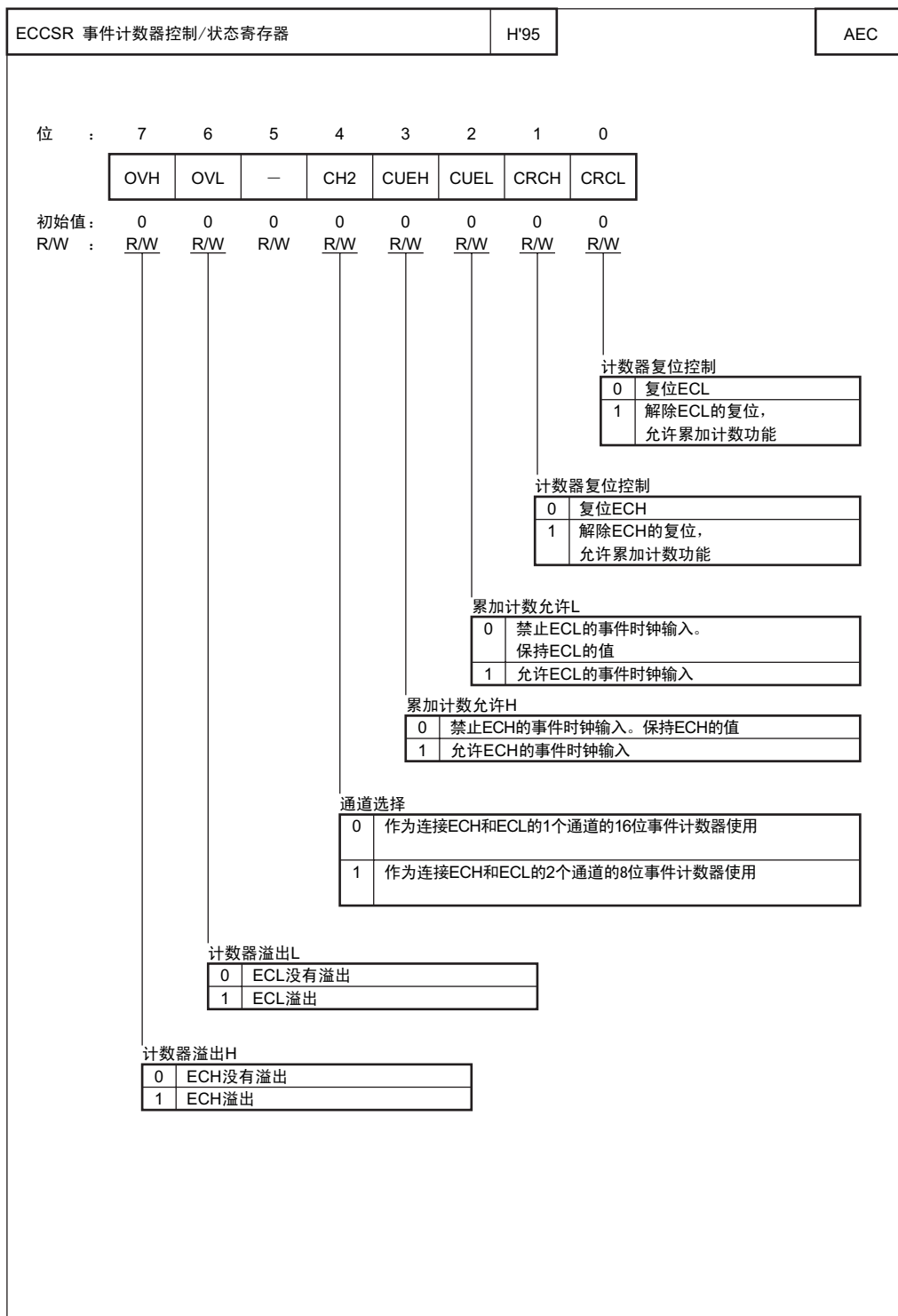


ECPWCRH 事件计数器PWM比较寄存器H		H'8C	AEC								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>ECPWCRH7</td><td>ECPWCRH6</td><td>ECPWCRH5</td><td>ECPWCRH4</td><td>ECPWCRH3</td><td>ECPWCRH2</td><td>ECPWCRH1</td><td>ECPWCRH0</td> </tr> </table> <p>初始值: 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">设定事件计数器PWM波形的1个转换周期</p>				ECPWCRH7	ECPWCRH6	ECPWCRH5	ECPWCRH4	ECPWCRH3	ECPWCRH2	ECPWCRH1	ECPWCRH0
ECPWCRH7	ECPWCRH6	ECPWCRH5	ECPWCRH4	ECPWCRH3	ECPWCRH2	ECPWCRH1	ECPWCRH0				
ECPWCRL 事件计数器PWM比较寄存器L		H'8D	AEC								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>ECPWCRL7</td><td>ECPWCRL6</td><td>ECPWCRL5</td><td>ECPWCRL4</td><td>ECPWCRL3</td><td>ECPWCRL2</td><td>ECPWCRL1</td><td>ECPWCRL0</td> </tr> </table> <p>初始值: 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">设定事件计数器PWM波形的1个转换周期</p>				ECPWCRL7	ECPWCRL6	ECPWCRL5	ECPWCRL4	ECPWCRL3	ECPWCRL2	ECPWCRL1	ECPWCRL0
ECPWCRL7	ECPWCRL6	ECPWCRL5	ECPWCRL4	ECPWCRL3	ECPWCRL2	ECPWCRL1	ECPWCRL0				
ECPWDRH 事件计数器PWM数据寄存器H		H'8E	AEC								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>ECPWDRH7</td><td>ECPWDRH6</td><td>ECPWDRH5</td><td>ECPWDRH4</td><td>ECPWDRH3</td><td>ECPWDRH2</td><td>ECPWDRH1</td><td>ECPWDRH0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p style="text-align: center;">控制事件计数器PWM波形生成部的数据</p>				ECPWDRH7	ECPWDRH6	ECPWDRH5	ECPWDRH4	ECPWDRH3	ECPWDRH2	ECPWDRH1	ECPWDRH0
ECPWDRH7	ECPWDRH6	ECPWDRH5	ECPWDRH4	ECPWDRH3	ECPWDRH2	ECPWDRH1	ECPWDRH0				
ECPWDRL 事件计数器PWM数据寄存器L		H'8F	AEC								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>ECPWDRL7</td><td>ECPWDRL6</td><td>ECPWDRL5</td><td>ECPWDRL4</td><td>ECPWDRL3</td><td>ECPWDRL2</td><td>ECPWDRL1</td><td>ECPWDRL0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p style="text-align: center;">控制事件计数器PWM波形生成部的数据</p>				ECPWDRL7	ECPWDRL6	ECPWDRL5	ECPWDRL4	ECPWDRL3	ECPWDRL2	ECPWDRL1	ECPWDRL0
ECPWDRL7	ECPWDRL6	ECPWDRL5	ECPWDRL4	ECPWDRL3	ECPWDRL2	ECPWDRL1	ECPWDRL0				

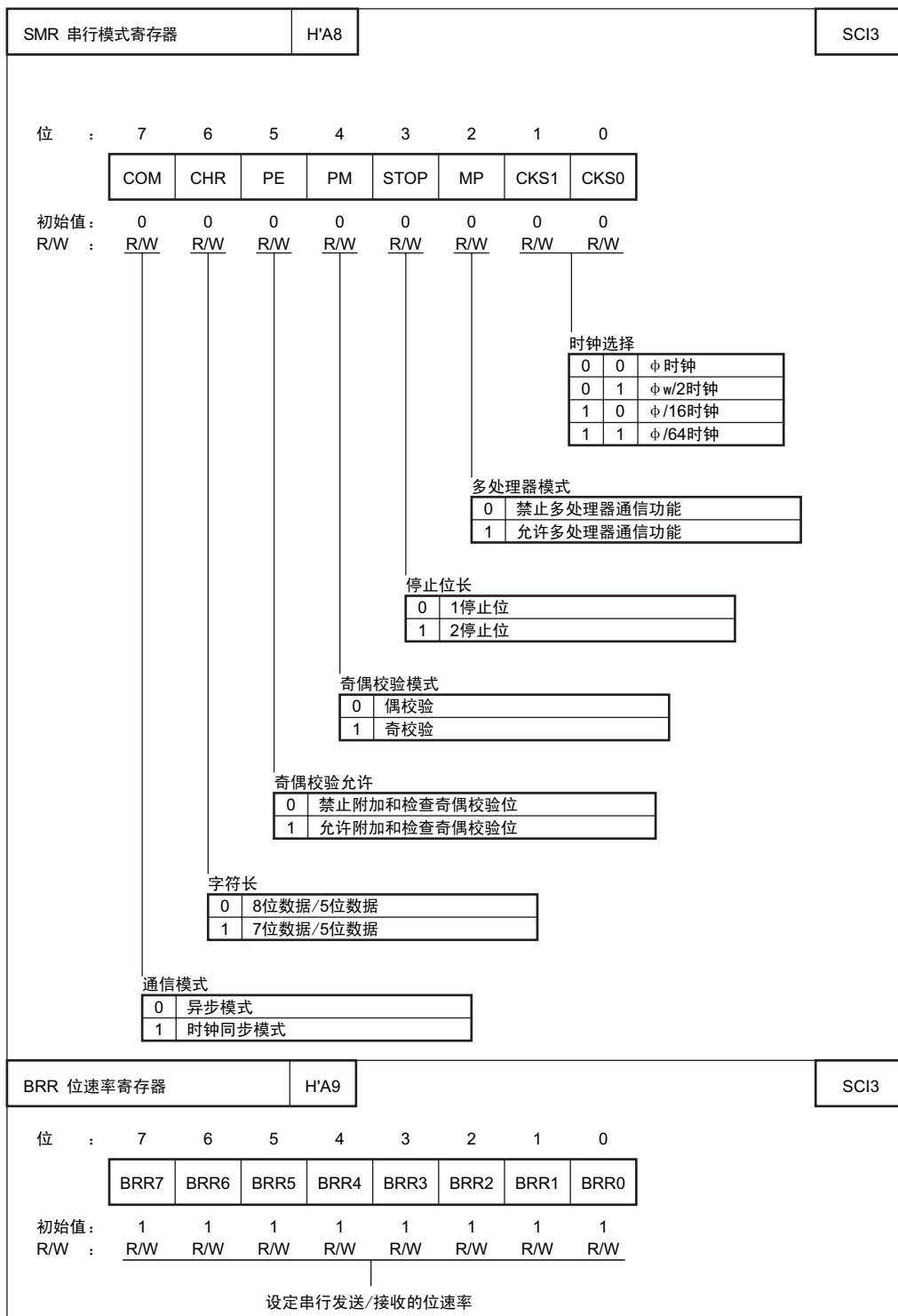


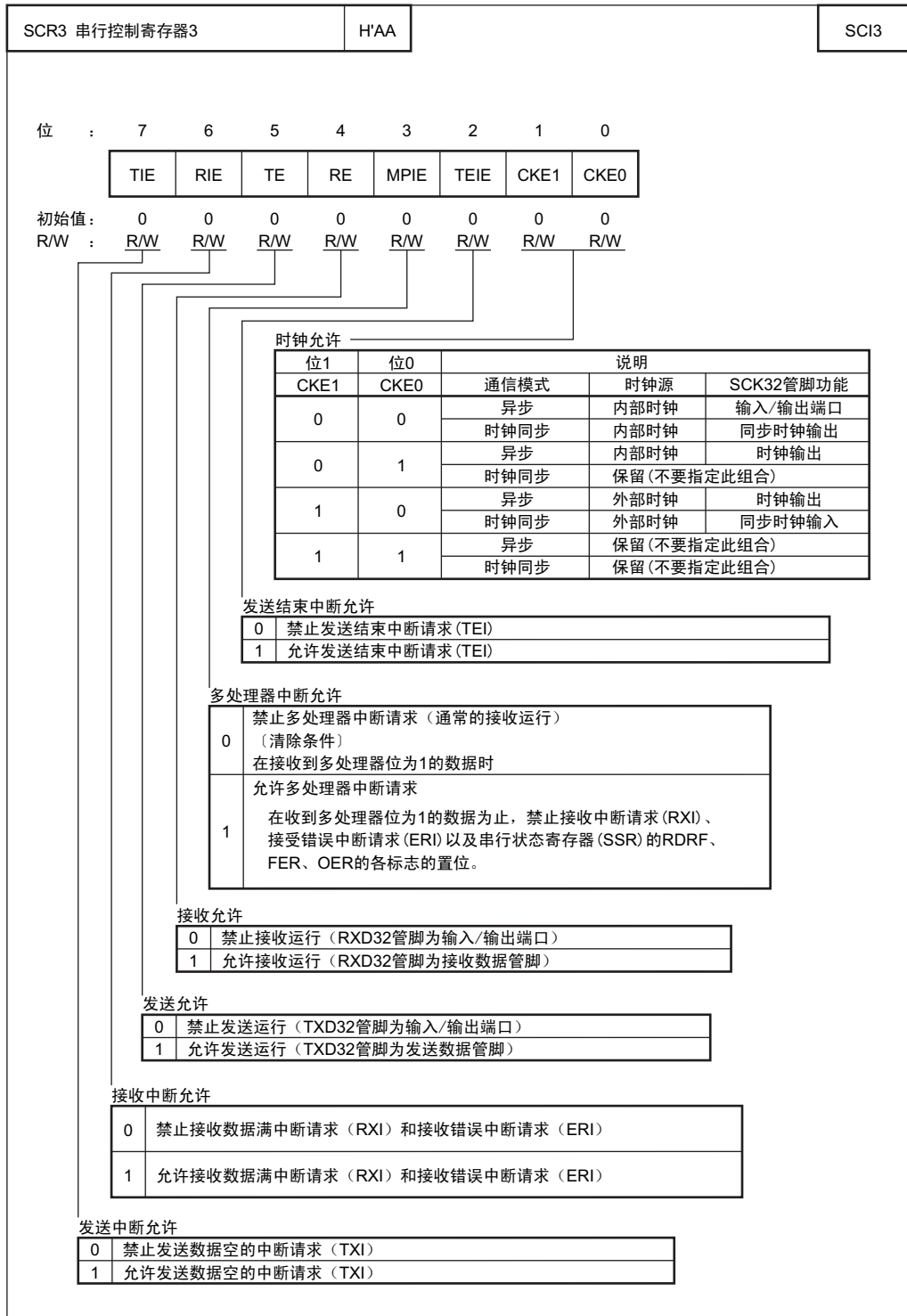
AEGSR 输入管脚边沿选择寄存器	H'92	AEC																																																																		
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">AHEGS1</td> <td style="width: 10%;">AHEGS0</td> <td style="width: 10%;">ALEGS1</td> <td style="width: 10%;">ALEGS0</td> <td style="width: 10%;">AIEGS1</td> <td style="width: 10%;">AIEGS0</td> <td style="width: 10%;">ECPWME</td> <td style="width: 10%;">—</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 400px; margin-top: 20px;"> <p>允许/禁止事件计数器PWM运行 选择/不选择IRQAEC</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>停止AEC用PWM、选择IRQAEC</td> </tr> <tr> <td style="text-align: center;">1</td> <td>允许AEC用PWM运行、不选择IRQAEC</td> </tr> </table> </div> <div style="margin-left: 350px; margin-top: 20px;"> <p>IRQAEC边沿选择</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 20px;">位3</th> <th style="width: 20px;">位2</th> <th style="width: 100px;">说明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">AIEGS1</td> <td style="text-align: center;">AIEGS0</td> <td></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>检测IRQAEC管脚的下降沿</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>检测IRQAEC管脚的上升沿</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>检测IRQAEC管脚的两边沿</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>禁止使用</td> </tr> </tbody> </table> </div> <div style="margin-left: 350px; margin-top: 20px;"> <p>AEC边沿选择L</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 20px;">位5</th> <th style="width: 20px;">位4</th> <th style="width: 100px;">说明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">ALEGS1</td> <td style="text-align: center;">ALEGS0</td> <td></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>检测AEVL管脚的下降沿</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>检测AEVL管脚的上升沿</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>检测AEVL管脚的两边沿</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>禁止使用</td> </tr> </tbody> </table> </div> <div style="margin-left: 250px; margin-top: 20px;"> <p>AEC边沿选择H</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 20px;">位7</th> <th style="width: 20px;">位6</th> <th style="width: 100px;">说明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">AHEGS1</td> <td style="text-align: center;">AHEGS0</td> <td></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>检测AEVH管脚的下降沿</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>检测AEVH管脚的上升沿</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>检测AEVH管脚的两边沿</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>禁止使用</td> </tr> </tbody> </table> </div>			AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	—	0	停止AEC用PWM、选择IRQAEC	1	允许AEC用PWM运行、不选择IRQAEC	位3	位2	说明	AIEGS1	AIEGS0		0	0	检测IRQAEC管脚的下降沿	0	1	检测IRQAEC管脚的上升沿	1	0	检测IRQAEC管脚的两边沿	1	1	禁止使用	位5	位4	说明	ALEGS1	ALEGS0		0	0	检测AEVL管脚的下降沿	0	1	检测AEVL管脚的上升沿	1	0	检测AEVL管脚的两边沿	1	1	禁止使用	位7	位6	说明	AHEGS1	AHEGS0		0	0	检测AEVH管脚的下降沿	0	1	检测AEVH管脚的上升沿	1	0	检测AEVH管脚的两边沿	1	1	禁止使用
AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	—																																																													
0	停止AEC用PWM、选择IRQAEC																																																																			
1	允许AEC用PWM运行、不选择IRQAEC																																																																			
位3	位2	说明																																																																		
AIEGS1	AIEGS0																																																																			
0	0	检测IRQAEC管脚的下降沿																																																																		
0	1	检测IRQAEC管脚的上升沿																																																																		
1	0	检测IRQAEC管脚的两边沿																																																																		
1	1	禁止使用																																																																		
位5	位4	说明																																																																		
ALEGS1	ALEGS0																																																																			
0	0	检测AEVL管脚的下降沿																																																																		
0	1	检测AEVL管脚的上升沿																																																																		
1	0	检测AEVL管脚的两边沿																																																																		
1	1	禁止使用																																																																		
位7	位6	说明																																																																		
AHEGS1	AHEGS0																																																																			
0	0	检测AEVH管脚的下降沿																																																																		
0	1	检测AEVH管脚的上升沿																																																																		
1	0	检测AEVH管脚的两边沿																																																																		
1	1	禁止使用																																																																		



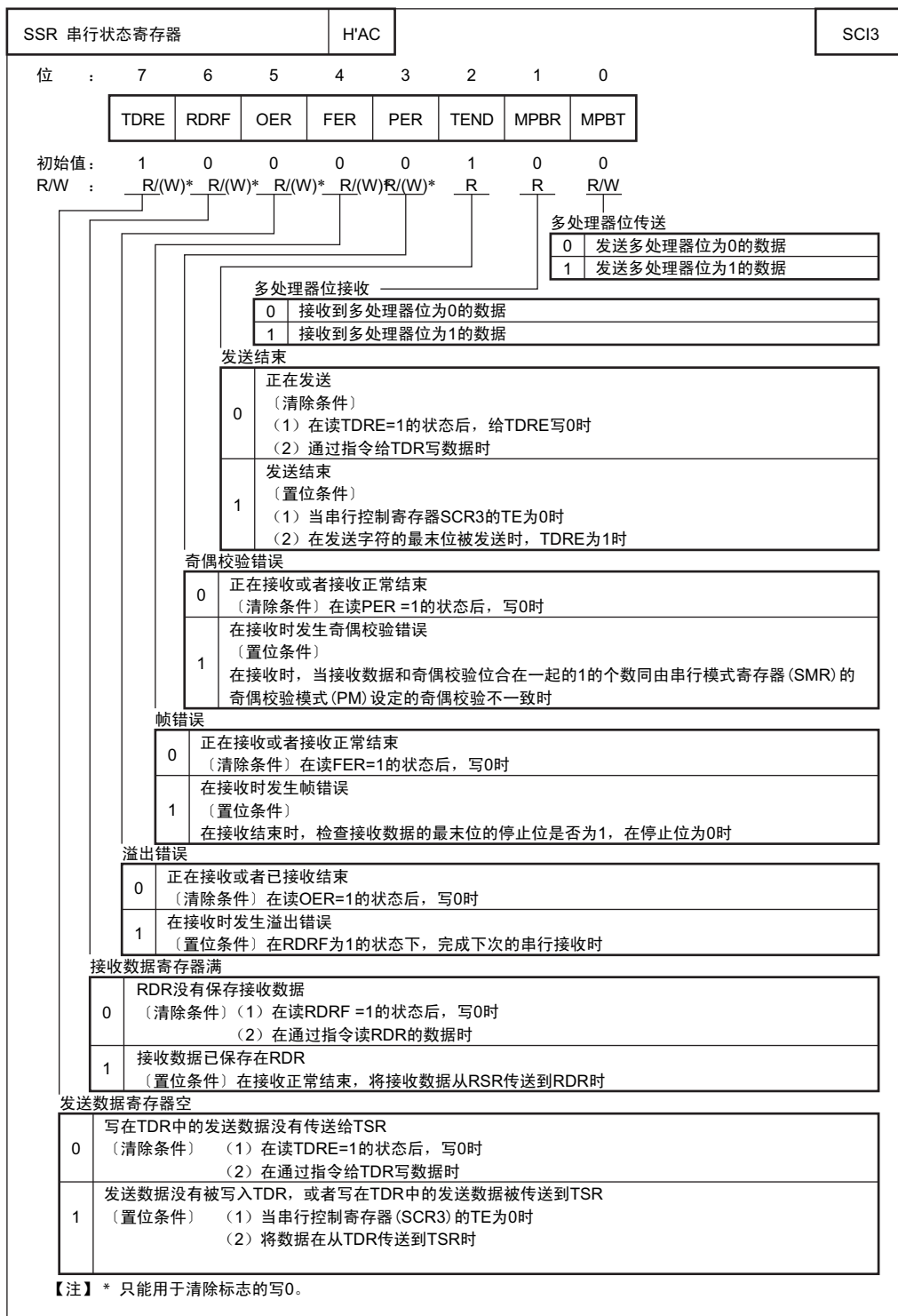


ECH 事件计数器H	H'96		AEC								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">ECH7</td> <td style="padding: 2px 5px;">ECH6</td> <td style="padding: 2px 5px;">ECH5</td> <td style="padding: 2px 5px;">ECH4</td> <td style="padding: 2px 5px;">ECH3</td> <td style="padding: 2px 5px;">ECH2</td> <td style="padding: 2px 5px;">ECH1</td> <td style="padding: 2px 5px;">ECH0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : <u> R R R R R R R R</u></p> <p style="text-align: center;"> </p> <p style="text-align: center;">计数值</p> <p>【注】 也能作为以ECH为高位、以ECL为低位的16位事件计数器(EC)使用。</p>				ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0
ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0				
ECL 事件计数器L	H'97		AEC								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">ECL7</td> <td style="padding: 2px 5px;">ECL6</td> <td style="padding: 2px 5px;">ECL5</td> <td style="padding: 2px 5px;">ECL4</td> <td style="padding: 2px 5px;">ECL3</td> <td style="padding: 2px 5px;">ECL2</td> <td style="padding: 2px 5px;">ECL1</td> <td style="padding: 2px 5px;">ECL0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : <u> R R R R R R R R</u></p> <p style="text-align: center;"> </p> <p style="text-align: center;">计数值</p> <p>【注】 也能作为以ECH为高位、以ECL为低位的16位事件计数器(EC)使用。</p>				ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0
ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0				

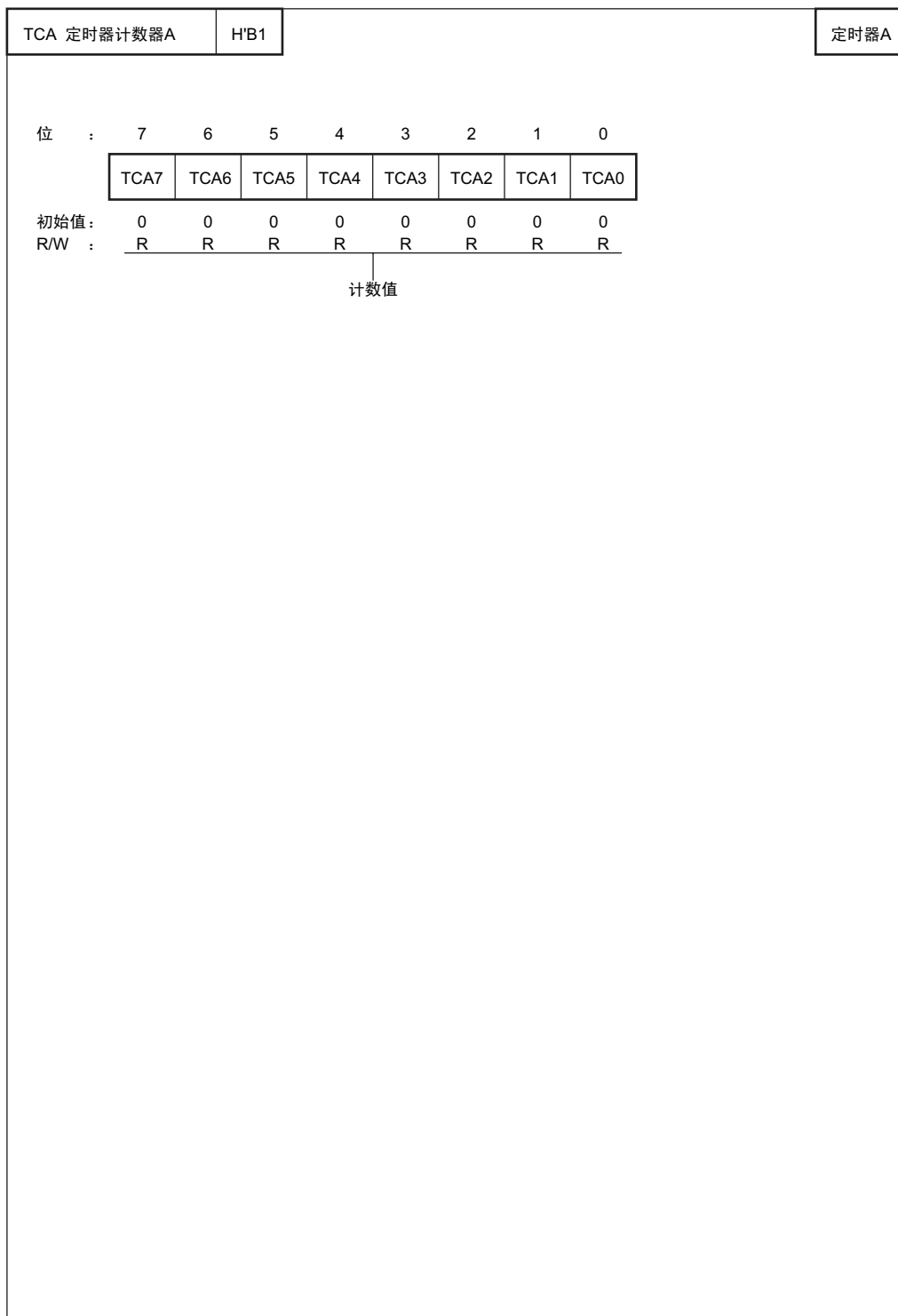


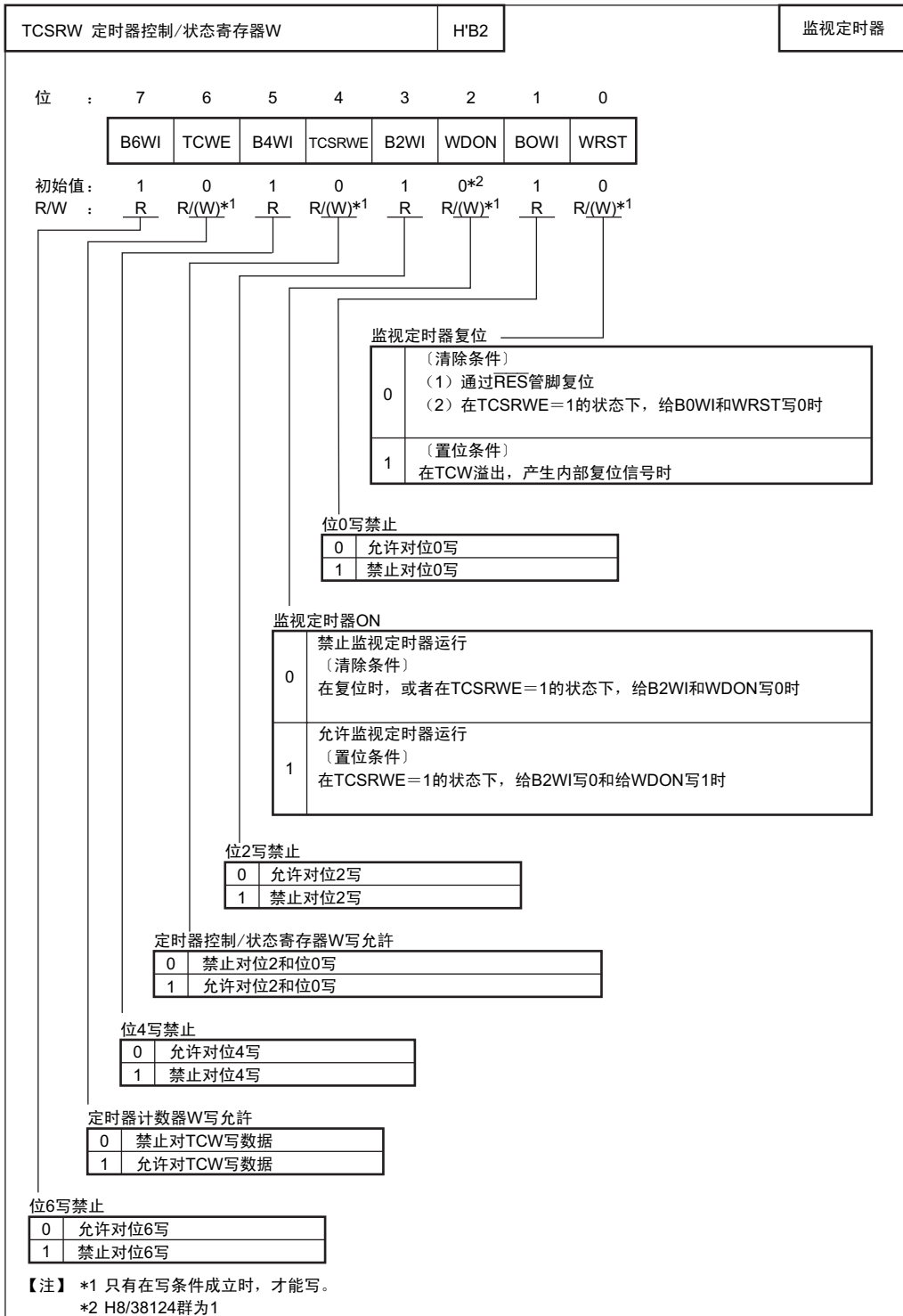


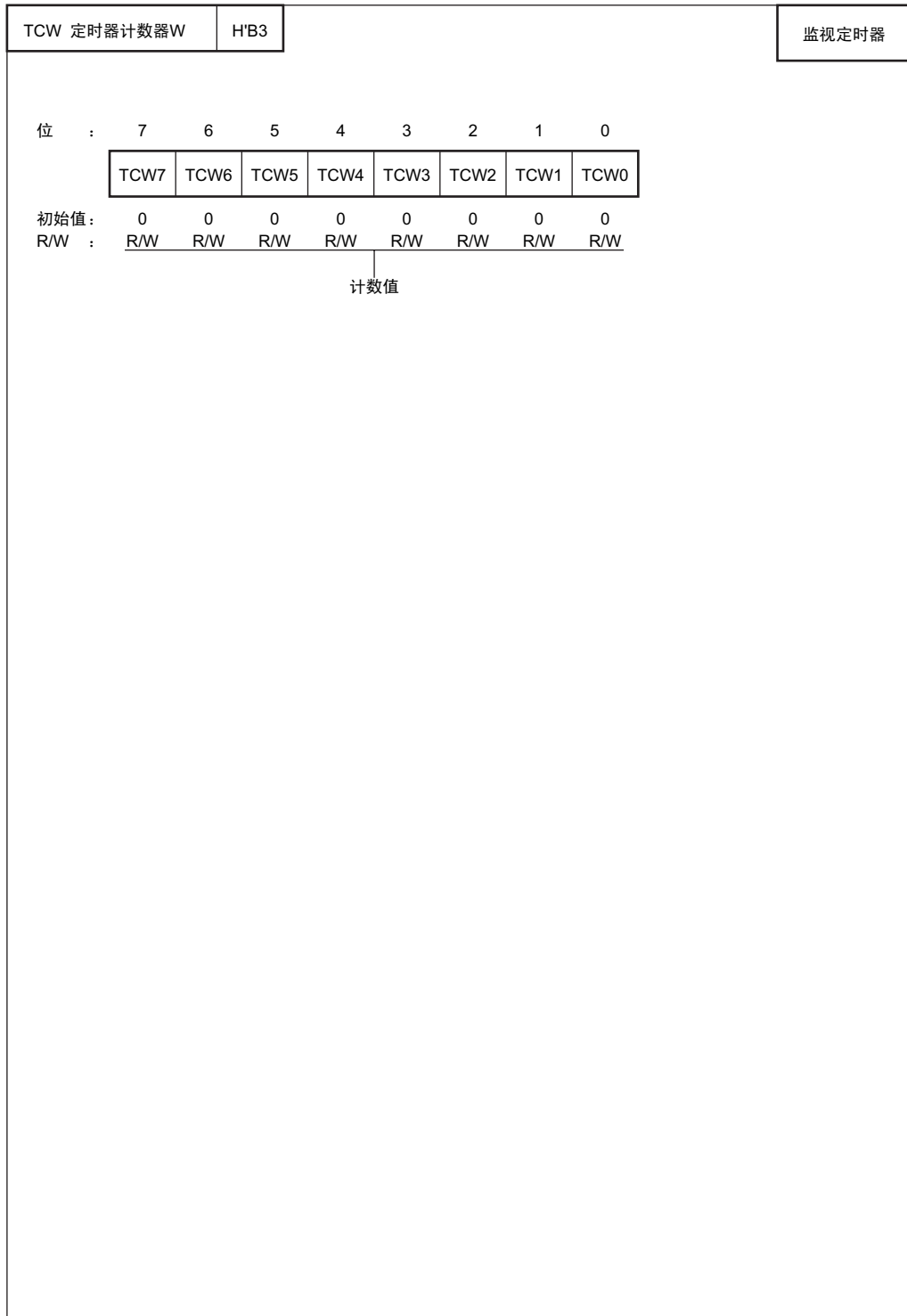
TDR 发送数据寄存器				H'AB				SCI3				
位	:	7	6	5	4	3	2	1	0			
		TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0			
初始值	:	1	1	1	1	1	1	1	1			
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
 给TSR的传送用数据												

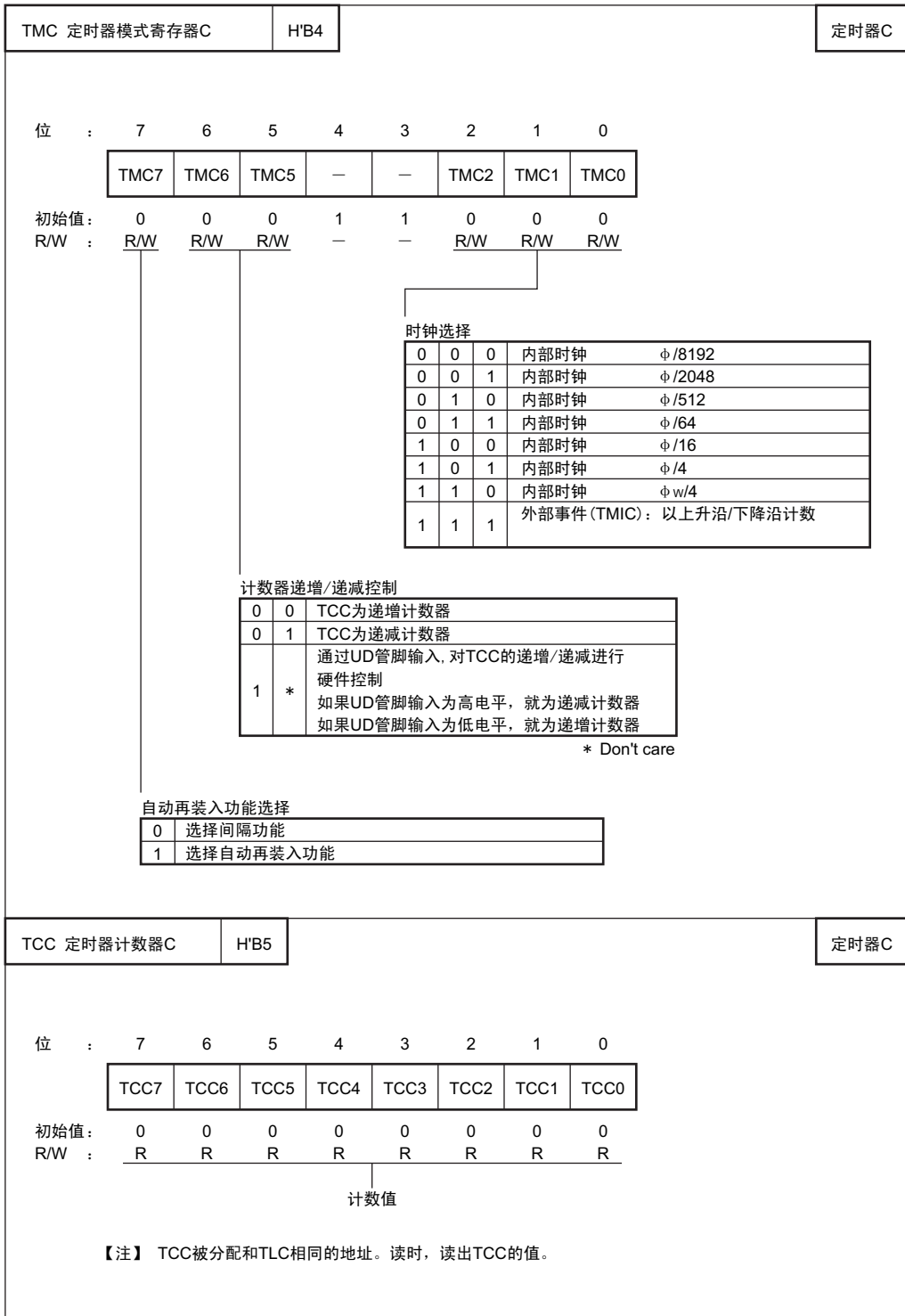


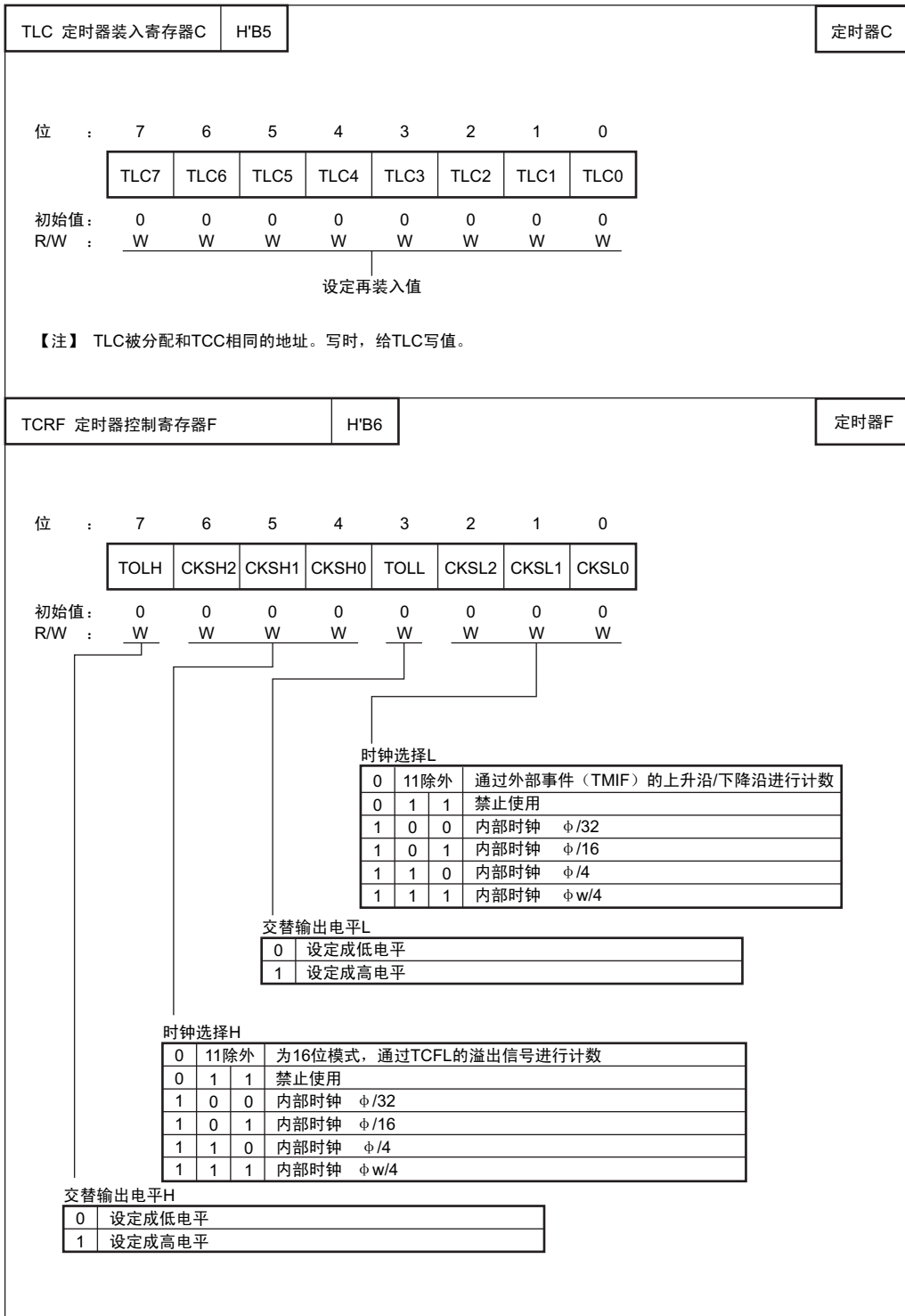
RDR 接收数据寄存器	H'AD	SCI3																																																											
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">RDR7</td> <td style="padding: 2px 5px;">RDR6</td> <td style="padding: 2px 5px;">RDR5</td> <td style="padding: 2px 5px;">RDR4</td> <td style="padding: 2px 5px;">RDR3</td> <td style="padding: 2px 5px;">RDR2</td> <td style="padding: 2px 5px;">RDR1</td> <td style="padding: 2px 5px;">RDR0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-top: 10px;">保存串行接收数据</p>			RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0																																																			
RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0																																																						
TMA 定时器模式寄存器A	H'B0	定时器A																																																											
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">-</td> <td style="padding: 2px 5px;">-</td> <td style="padding: 2px 5px;">-</td> <td style="padding: 2px 5px;">-</td> <td style="padding: 2px 5px;">TMA3</td> <td style="padding: 2px 5px;">TMA2</td> <td style="padding: 2px 5px;">TMA1</td> <td style="padding: 2px 5px;">TMA0</td> </tr> </table> <p>初始值: - - - 1 0 0 0 0</p> <p>R/W : W W W - R/W R/W R/W R/W</p> <p style="margin-top: 10px;">内部时钟选择 _____</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 5%;">TMA3</th> <th style="width: 5%;">TMA2</th> <th style="width: 5%;">TMA1</th> <th style="width: 5%;">TMA0</th> <th style="width: 45%;">预定标器分频比或者溢出周期</th> <th style="width: 30%;">功能</th> </tr> </thead> <tbody> <tr> <td rowspan="8" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSS $\phi/8192$</td> <td rowspan="8" style="text-align: center; vertical-align: middle;">间隔定时器</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS $\phi/4096$</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSS $\phi/2048$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS $\phi/512$</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSS $\phi/256$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS $\phi/128$</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSS $\phi/32$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS $\phi/8$</td> </tr> <tr> <td rowspan="8" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSW 1s</td> <td rowspan="8" style="text-align: center; vertical-align: middle;">时钟时基 (在使用32.768kHz时)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSW 0.5s</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSW 0.25s</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSW 0.03125s</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">PSW、TCA复位</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> </tbody> </table>			-	-	-	-	TMA3	TMA2	TMA1	TMA0	TMA3	TMA2	TMA1	TMA0	预定标器分频比或者溢出周期	功能	0	0	0	0	PSS $\phi/8192$	间隔定时器	1	PSS $\phi/4096$	1	0	PSS $\phi/2048$	1	PSS $\phi/512$	1	0	0	PSS $\phi/256$	1	PSS $\phi/128$	1	0	PSS $\phi/32$	1	PSS $\phi/8$	1	0	0	0	PSW 1s	时钟时基 (在使用32.768kHz时)	1	PSW 0.5s	1	0	PSW 0.25s	1	PSW 0.03125s	1	0	0	PSW、TCA复位	1	1	0	1
-	-	-	-	TMA3	TMA2	TMA1	TMA0																																																						
TMA3	TMA2	TMA1	TMA0	预定标器分频比或者溢出周期	功能																																																								
0	0	0	0	PSS $\phi/8192$	间隔定时器																																																								
			1	PSS $\phi/4096$																																																									
		1	0	PSS $\phi/2048$																																																									
			1	PSS $\phi/512$																																																									
	1	0	0	PSS $\phi/256$																																																									
			1	PSS $\phi/128$																																																									
		1	0	PSS $\phi/32$																																																									
			1	PSS $\phi/8$																																																									
1	0	0	0	PSW 1s	时钟时基 (在使用32.768kHz时)																																																								
			1	PSW 0.5s																																																									
		1	0	PSW 0.25s																																																									
			1	PSW 0.03125s																																																									
	1	0	0	PSW、TCA复位																																																									
			1																																																										
		1	0																																																										
			1																																																										

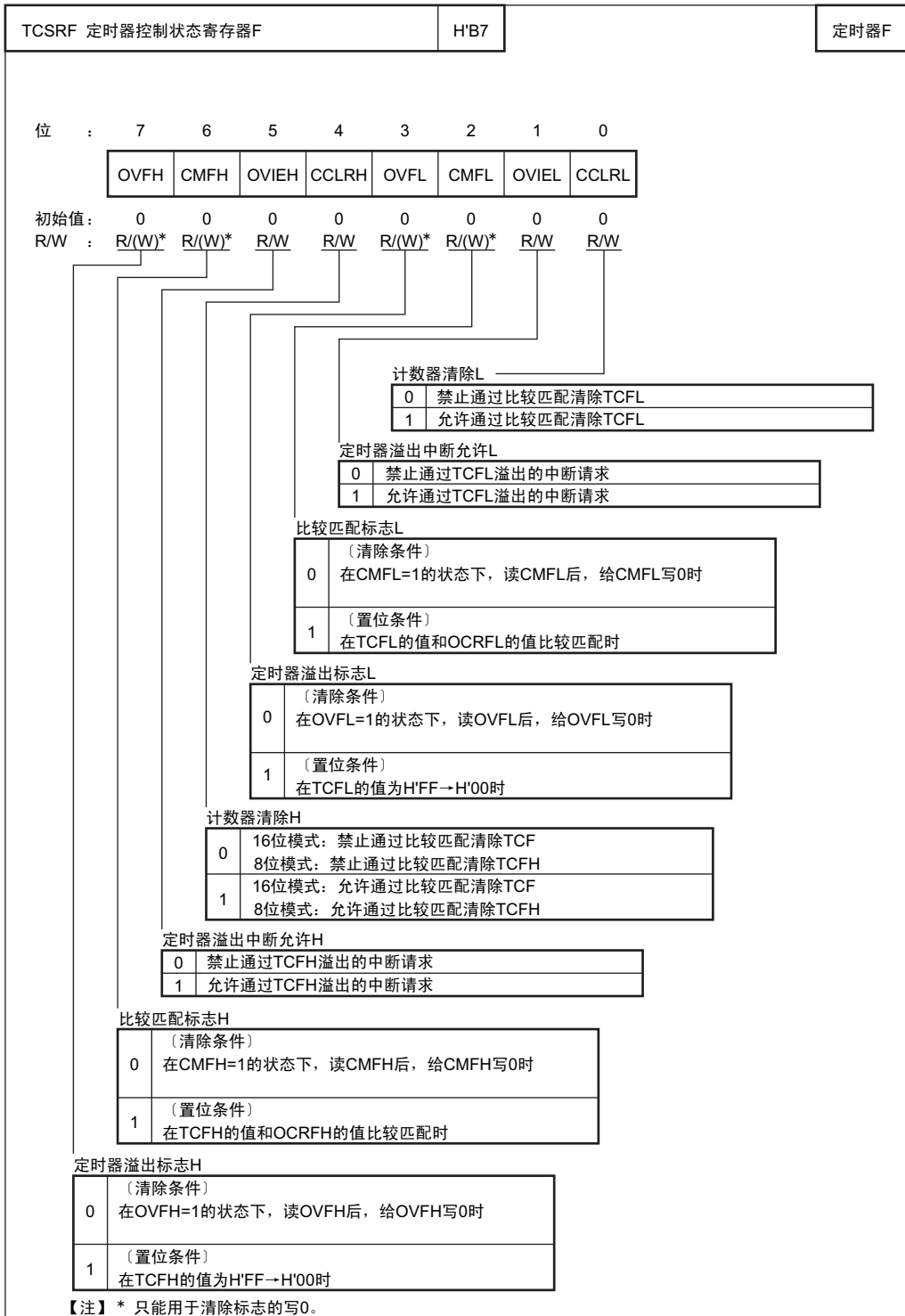




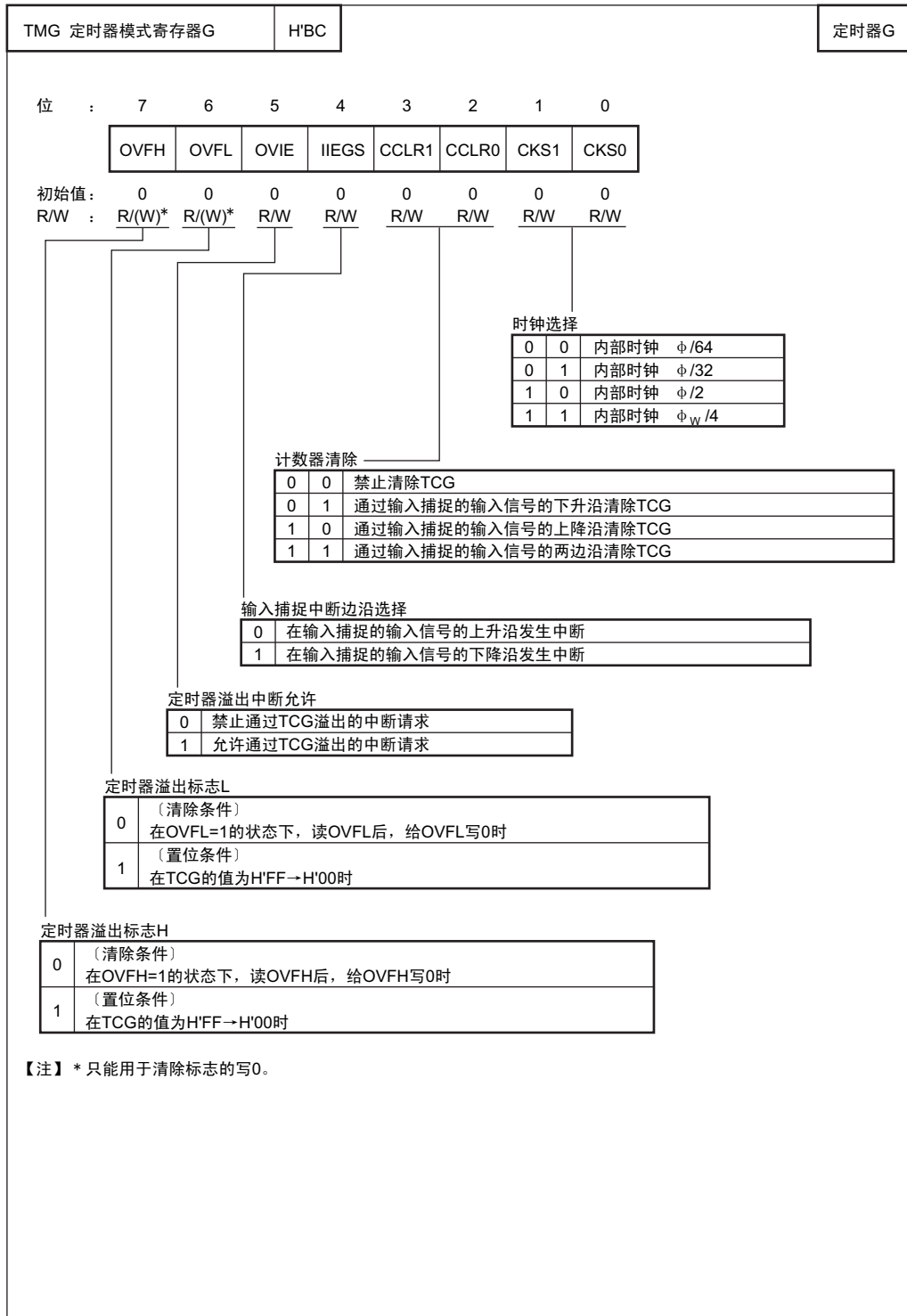








TCFH 8位定时器计数器FH	H'B8	定时器F								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>TCFH7</td><td>TCFH6</td><td>TCFH5</td><td>TCFH4</td><td>TCFH3</td><td>TCFH2</td><td>TCFH1</td><td>TCFH0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓ 计数值</p> <p>【注】也可将其作为TCFH为高位8位、TCFL为低位8位的16位定时器计数器(TCF)使用。</p>			TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0
TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0			
TCFL 8位定时器计数器FL	H'B9	定时器F								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>TCFL7</td><td>TCFL6</td><td>TCFL5</td><td>TCFL4</td><td>TCFL3</td><td>TCFL2</td><td>TCFL1</td><td>TCFL0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓ 计数值</p> <p>【注】也可将其作为TCFH为高位8位、TCFL为低位8位的16位定时器计数器(TCF)使用。</p>			TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0
TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0			
OCRFH 输出比较寄存器FH	H'BA	定时器F								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>OCRFH7</td><td>OCRFH6</td><td>OCRFH5</td><td>OCRFH4</td><td>OCRFH3</td><td>OCRFH2</td><td>OCRFH1</td><td>OCRFH0</td> </tr> </table> <p>初始值: 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】也可将其作为OCRFH为高位8位、OCRFL为低位8位的16位输出比较寄存器(OCR)使用。</p>			OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0
OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0			
OCRFL 输出比较寄存器FL	H'BB	定时器F								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>OCRFL7</td><td>OCRFL6</td><td>OCRFL5</td><td>OCRFL4</td><td>OCRFL3</td><td>OCRFL2</td><td>OCRFL1</td><td>OCRFL0</td> </tr> </table> <p>初始值: 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】也可将其作为OCRFH为高位8位、OCRFL为低位8位的16位输出比较寄存器(OCR)使用。</p>			OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0
OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0			



ICRGF 输入捕捉寄存器GF	H'BD	定时器G								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">ICRGF7</td> <td style="padding: 2px 5px;">ICRGF6</td> <td style="padding: 2px 5px;">ICRGF5</td> <td style="padding: 2px 5px;">ICRGF4</td> <td style="padding: 2px 5px;">ICRGF3</td> <td style="padding: 2px 5px;">ICRGF2</td> <td style="padding: 2px 5px;">ICRGF1</td> <td style="padding: 2px 5px;">ICRGF0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-top: 10px;">在输入捕捉信号的下降沿保存TCG的值</p>			ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0			
ICRGR 输入捕捉寄存器GR	H'BE	定时器G								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">ICRGR7</td> <td style="padding: 2px 5px;">ICRGR6</td> <td style="padding: 2px 5px;">ICRGR5</td> <td style="padding: 2px 5px;">ICRGR4</td> <td style="padding: 2px 5px;">ICRGR3</td> <td style="padding: 2px 5px;">ICRGR2</td> <td style="padding: 2px 5px;">ICRGR1</td> <td style="padding: 2px 5px;">ICRGR0</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-top: 10px;">在输入捕捉信号的上升沿保存TCG的值</p>			ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0			

LPCR 端口控制寄存器	H'CO	LCD控制器/驱动器
--------------	------	------------

位 : 7 6 5 4 3 2 1 0

DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0
------	------	-----	---	------	------	------	------

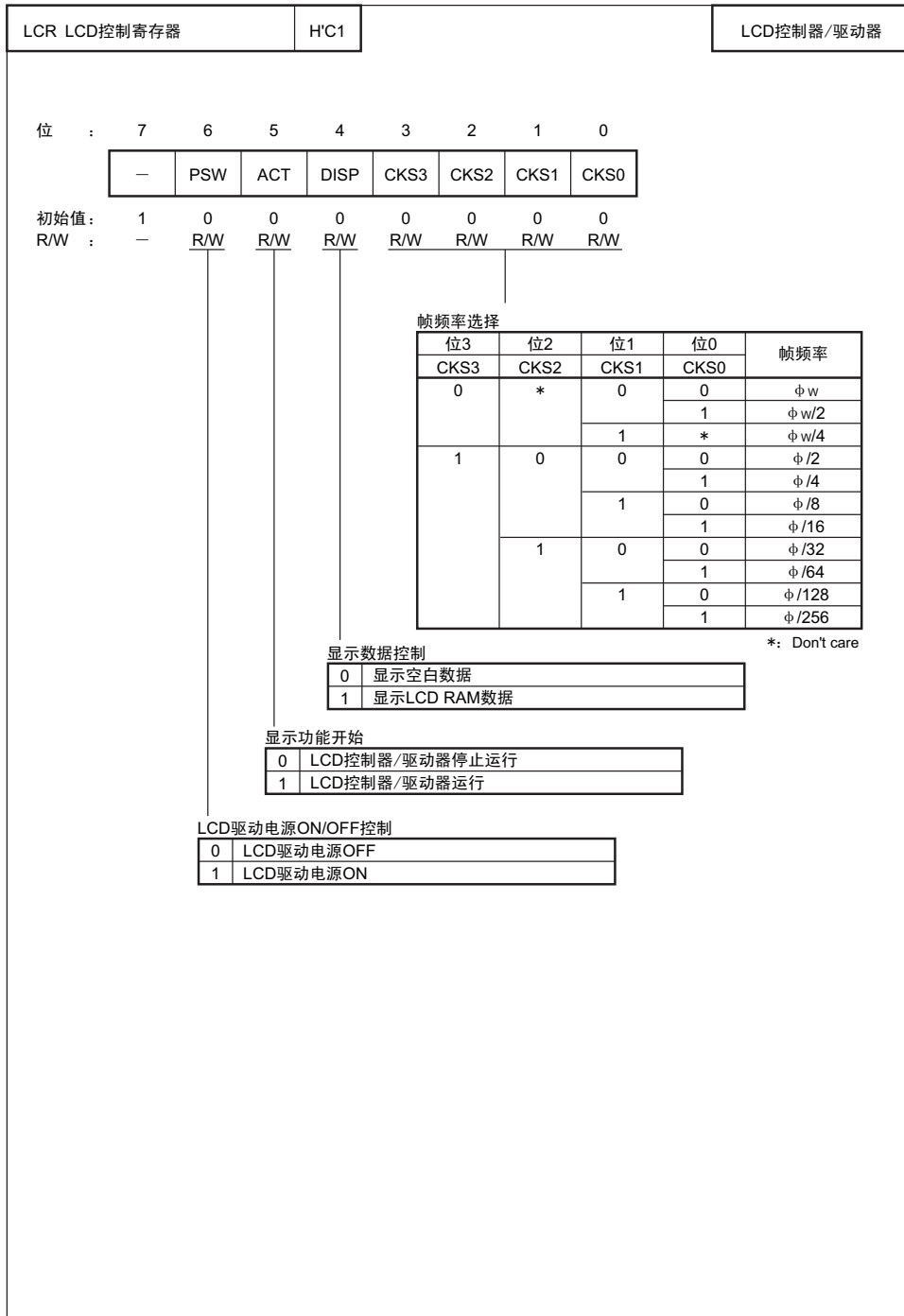
初始值: 0 0 0 — 0 0 0 0
 R/W : R/W R/W R/W W R/W R/W R/W R/W

段驱动器选择

位3 SGS3	位2 SGS2	位1 SGS1	位0 SGS0	SEG32~SEG1管脚的功能								补充说明		
				SEG32~ SEG29	SEG28~ SEG25	SEG24~ SEG21	SEG20~ SEG17	SEG16~ SEG13	SEG12~ SEG9	SEG8~ SEG5	SEG4~ SEG1			
0	0	0	0	端口	端口	端口	端口	端口	端口	端口	端口	端口	(初始值)	
			1	端口	端口	端口	端口	端口	端口	端口	SEG	SEG		
		1	0	端口	端口	端口	端口	端口	端口	SEG	SEG	SEG		SEG
	1		端口	端口	端口	端口	端口	SEG	SEG	SEG	SEG	SEG		
	1	0	0	端口	端口	端口	SEG	SEG	SEG	SEG	SEG	SEG		SEG
			1	端口	端口	SEG	SEG	SEG	SEG	SEG	SEG	SEG		SEG
1		0	端口	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG		
1	0	0	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG		
			1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	端口		
		1	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	端口	端口		
	1		SEG	SEG	SEG	SEG	SEG	端口	端口	端口	端口			
	1	0	0	SEG	SEG	SEG	SEG	端口	端口	端口	端口	端口		
			1	SEG	SEG	SEG	SEG	端口	端口	端口	端口	端口		
1		0	SEG	SEG	端口	端口	端口	端口	端口	端口	端口			
			1	SEG	端口	端口	端口	端口	端口	端口	端口			

DUTY选择、公共功能选择

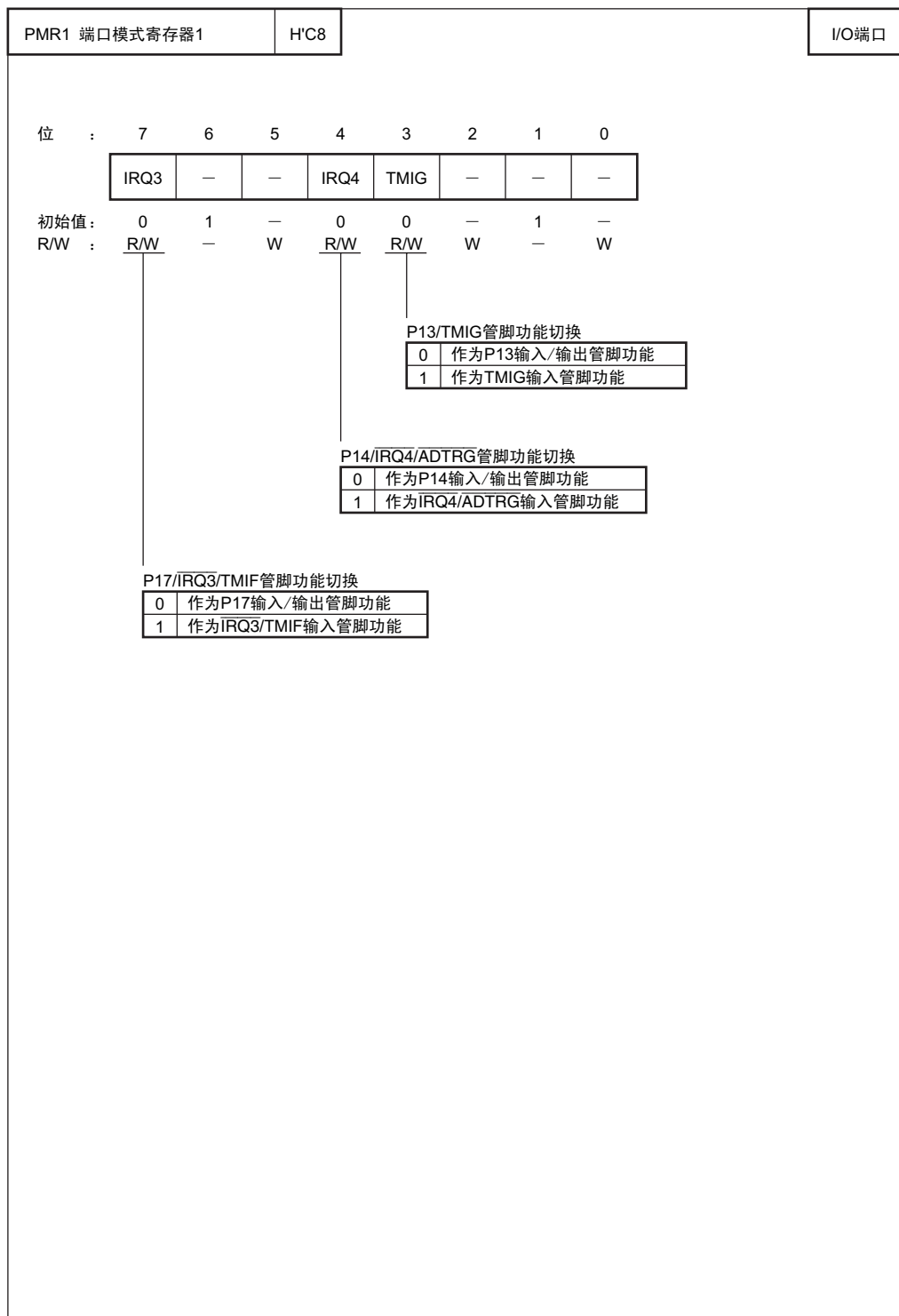
位7 DTS1	位6 DTS0	位5 CMX	占空比	公共驱动器	补充说明
0	0	0	静态	COM1	禁止使用COM4~COM2
		1		COM4~COM1	COM4~COM2输出和COM1相同的波形
0	1	0	1/2占空比	COM2、COM1	禁止使用COM4、COM3
		1		COM4~COM1	COM4输出和COM3相同的波形，COM2输出和COM1相同的波形
1	0	0	1/3占空比	COM3~COM1	禁止使用COM4
		1		COM4~COM1	禁止使用COM4
1	1	0	1/4占空比	COM4~COM1	—
		1			

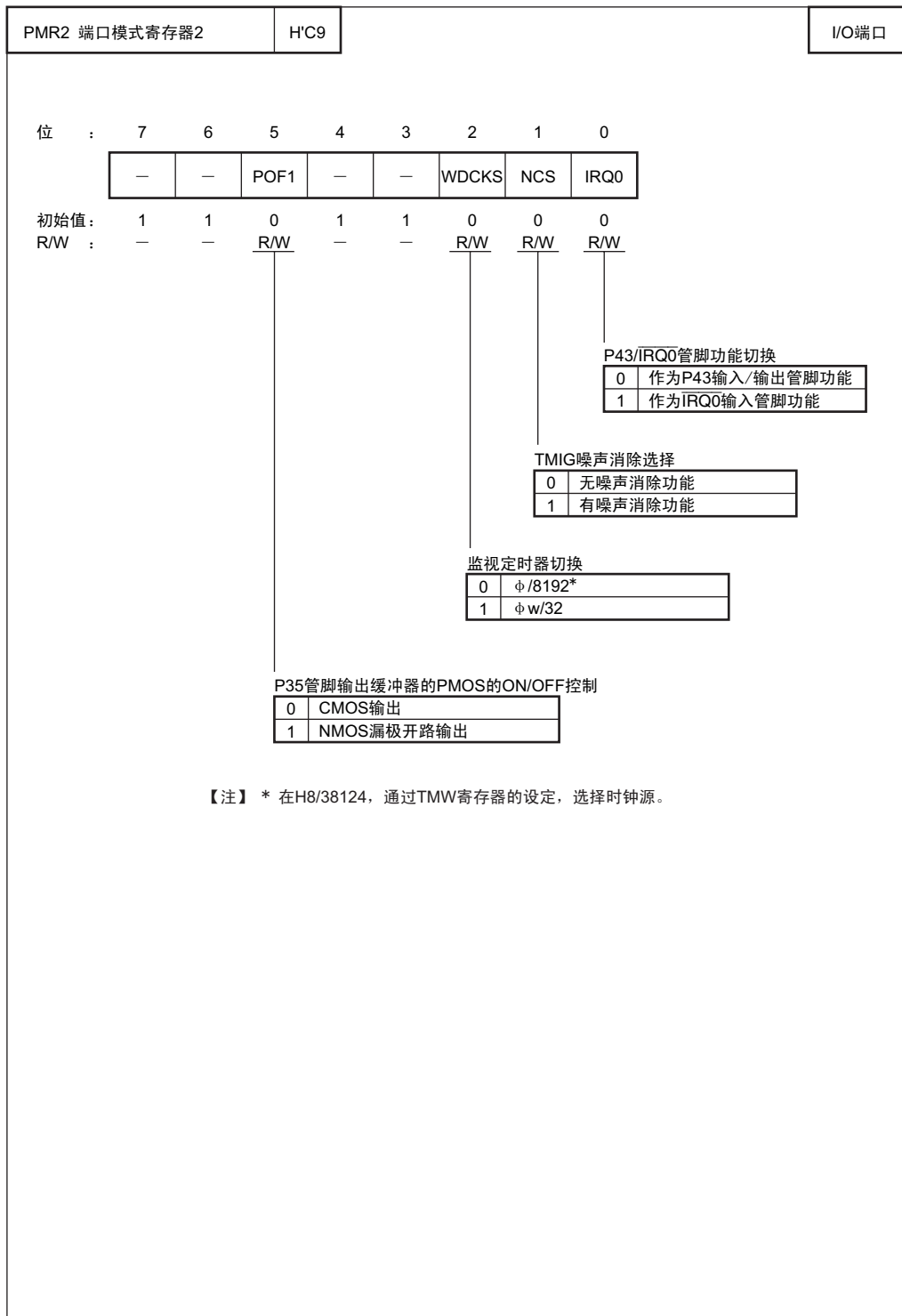


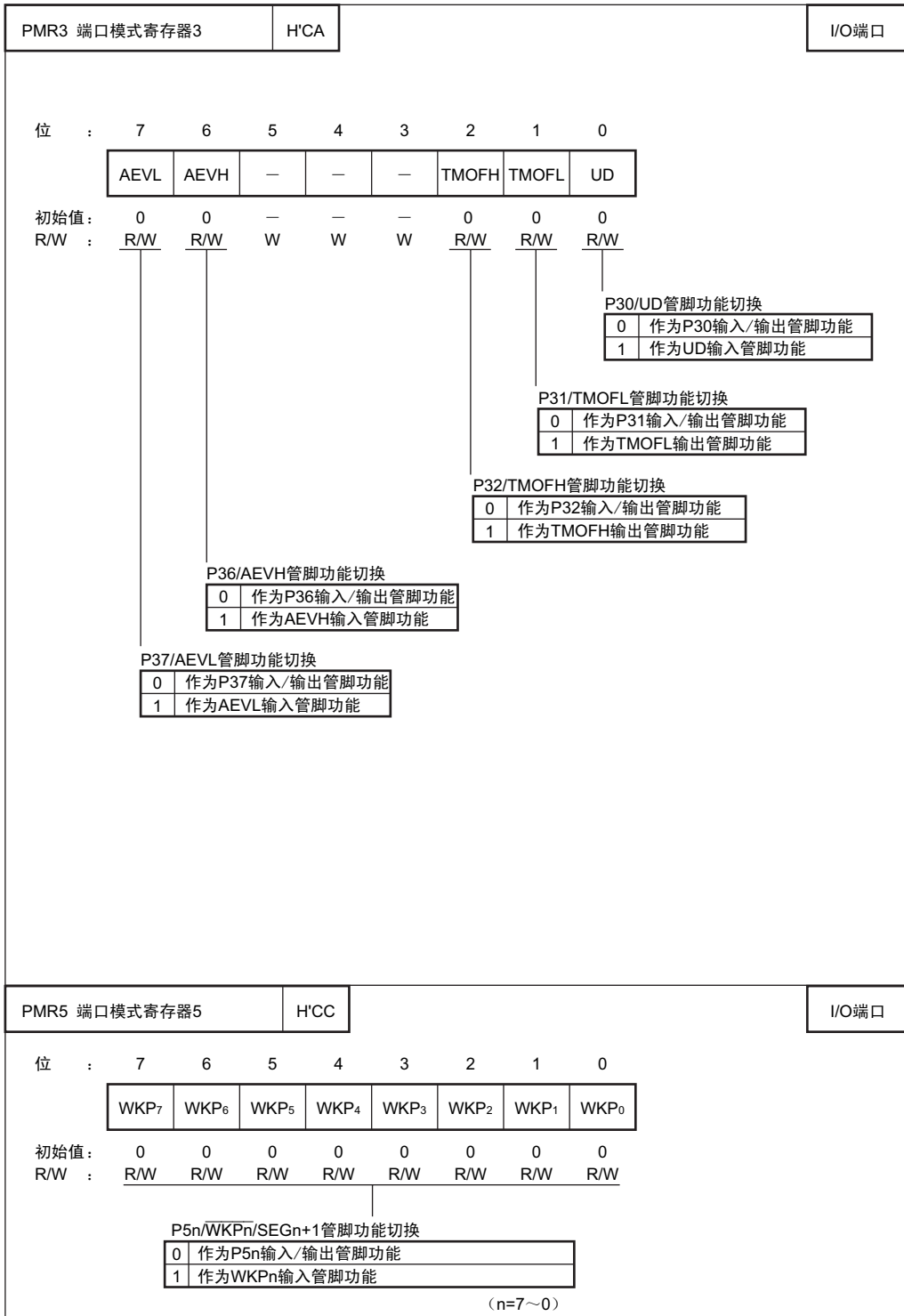
LCR2 LCD控制寄存器2		H'C2		LCD				
位	7	6	5	4	3	2	1	0
	LCDAB	—	—	—	CDS3	CDS2	CDS1	CDS0
初始值:	0	1	1	—	0	0	0	0
R/W :	R/W	—	—	W	R/W	R/W	R/W	R/W
A波形/B波形的切换控制								
	0	用A波形驱动						
	1	用B波形驱动						
分压电阻分离控制								
	CDS3	CDS2	CDS1	CDS0	分压电阻的状态			
	0	1	1	1	分压电阻分离			
	上述除外				连接分压电阻			
【注】 分压电阻分离控制仅H8/38124群有效								
LVDCNT 低电压检测计数器		H'C3		低电压检测电路				
※本寄存器仅H8/38124群有效								
位	7	6	5	4	3	2	1	0
	CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0
初始值:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
计数值								

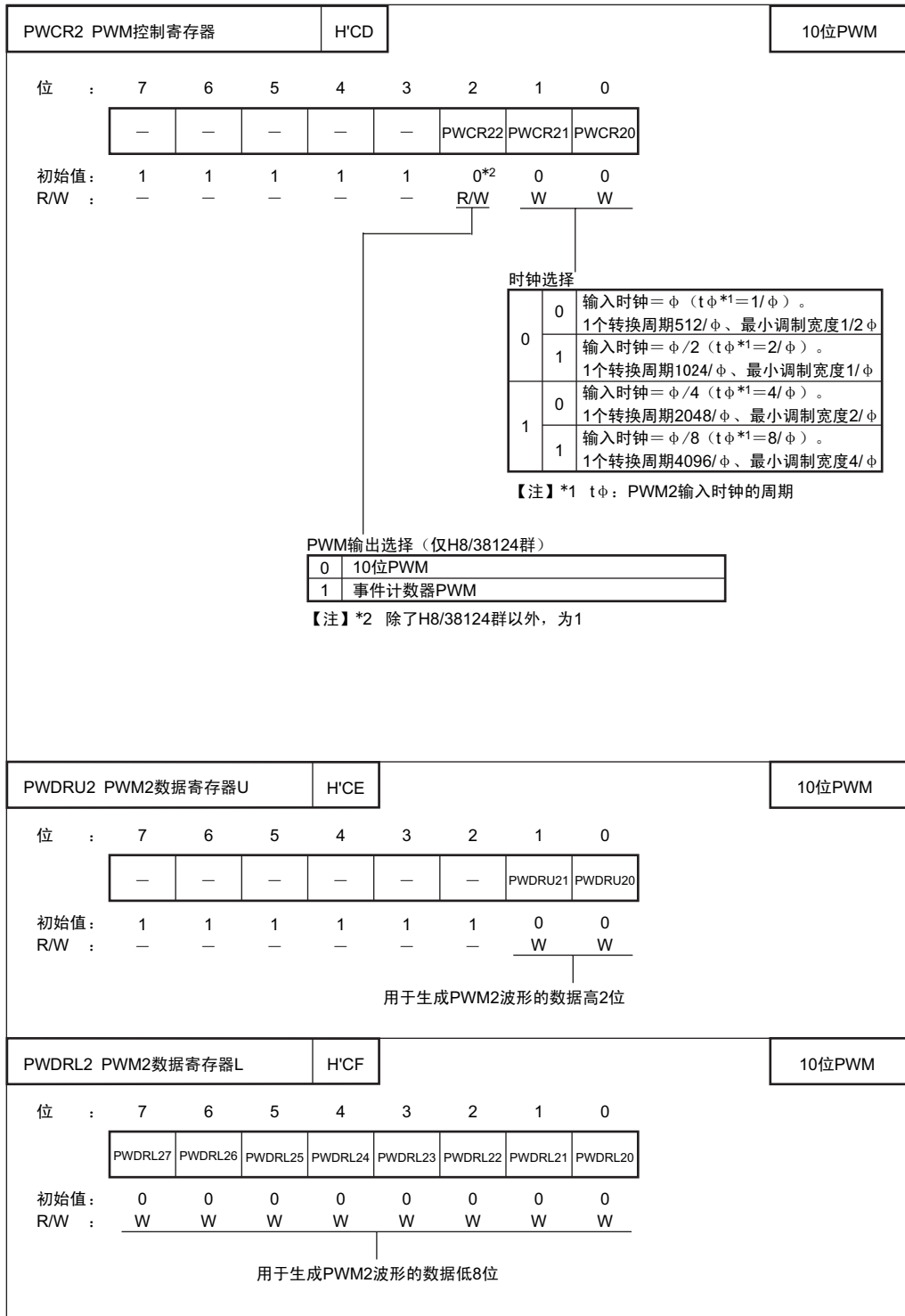
AMR A/D模式寄存器	H'C6	A/D转换器																																																																							
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">CKS</td> <td style="width: 10%;">TRGE</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">CH3</td> <td style="width: 10%;">CH2</td> <td style="width: 10%;">CH1</td> <td style="width: 10%;">CH0</td> </tr> </table> <p>初始值: 0 0 1 1 0 0 0 0</p> <p>R/W : R/W R/W — — R/W R/W R/W R/W</p> <p style="margin-left: 150px;">通道选择</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th>位3 CH3</th> <th>位2 CH2</th> <th>位1 CH1</th> <th>位0 CH0</th> <th>模拟输入通道</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="4">0</td> <td>*</td> <td>*</td> <td>不选择</td> </tr> <tr> <td>0</td> <td>0</td> <td>AN0</td> </tr> <tr> <td>1</td> <td>0</td> <td>AN1</td> </tr> <tr> <td>1</td> <td>0</td> <td>AN2</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="4">0</td> <td>1</td> <td>1</td> <td>AN3</td> </tr> <tr> <td>0</td> <td>0</td> <td>AN4</td> </tr> <tr> <td>1</td> <td>1</td> <td>AN5</td> </tr> <tr> <td>0</td> <td>0</td> <td>AN6</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">1</td> <td>1</td> <td>1</td> <td>AN7</td> </tr> <tr> <td>*</td> <td>*</td> <td>禁止使用</td> </tr> </tbody> </table> <p style="text-align: right; margin-right: 50px;">* : Don't care</p> <p style="margin-left: 150px;">外部触发选择</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td> <td>禁止通过外部触发开始的A/D转换</td> </tr> <tr> <td>1</td> <td>通过外部触发（ADTRG）管脚的上升沿或者下降沿，开始A/D转换</td> </tr> </table> <p style="margin-left: 150px;">时钟选择</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">位7 CKS</th> <th rowspan="2">转换周期</th> <th colspan="3">转换时间</th> </tr> <tr> <th>$\phi = 1\text{MHz}$</th> <th>$\phi = 5\text{MHz}$</th> <th>$\phi = 10\text{MHz}^{*2}$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>$62/\phi$</td> <td>$62\mu\text{s}$</td> <td>$12.4\mu\text{s}$</td> <td>$6.2\mu\text{s}$</td> </tr> <tr> <td>1</td> <td>$31/\phi$</td> <td>$31\mu\text{s}$</td> <td>— *1</td> <td>— *1</td> </tr> </tbody> </table>			CKS	TRGE	—	—	CH3	CH2	CH1	CH0	位3 CH3	位2 CH2	位1 CH1	位0 CH0	模拟输入通道	0	0	*	*	不选择	0	0	AN0	1	0	AN1	1	0	AN2	1	0	1	1	AN3	0	0	AN4	1	1	AN5	0	0	AN6	1	1	1	1	AN7	*	*	禁止使用	0	禁止通过外部触发开始的A/D转换	1	通过外部触发（ADTRG）管脚的上升沿或者下降沿，开始A/D转换	位7 CKS	转换周期	转换时间			$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$	0	$62/\phi$	$62\mu\text{s}$	$12.4\mu\text{s}$	$6.2\mu\text{s}$	1	$31/\phi$	$31\mu\text{s}$	— *1	— *1
CKS	TRGE	—	—	CH3	CH2	CH1	CH0																																																																		
位3 CH3	位2 CH2	位1 CH1	位0 CH0	模拟输入通道																																																																					
0	0	*	*	不选择																																																																					
		0	0	AN0																																																																					
		1	0	AN1																																																																					
		1	0	AN2																																																																					
1	0	1	1	AN3																																																																					
		0	0	AN4																																																																					
		1	1	AN5																																																																					
		0	0	AN6																																																																					
1	1	1	1	AN7																																																																					
		*	*	禁止使用																																																																					
0	禁止通过外部触发开始的A/D转换																																																																								
1	通过外部触发（ADTRG）管脚的上升沿或者下降沿，开始A/D转换																																																																								
位7 CKS	转换周期	转换时间																																																																							
		$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$																																																																					
0	$62/\phi$	$62\mu\text{s}$	$12.4\mu\text{s}$	$6.2\mu\text{s}$																																																																					
1	$31/\phi$	$31\mu\text{s}$	— *1	— *1																																																																					
<p>【注】 *1 在H8/38124群除外时，如果转换时间小于$12.4\mu\text{s}$，将不保证运行。转换时间必须在$12.4\mu\text{s}$以上。 另外，在H8/38124群时，转换时间必须在$6.2\mu\text{s}$以上。</p> <p>*2 仅为H8/38124群</p>																																																																									

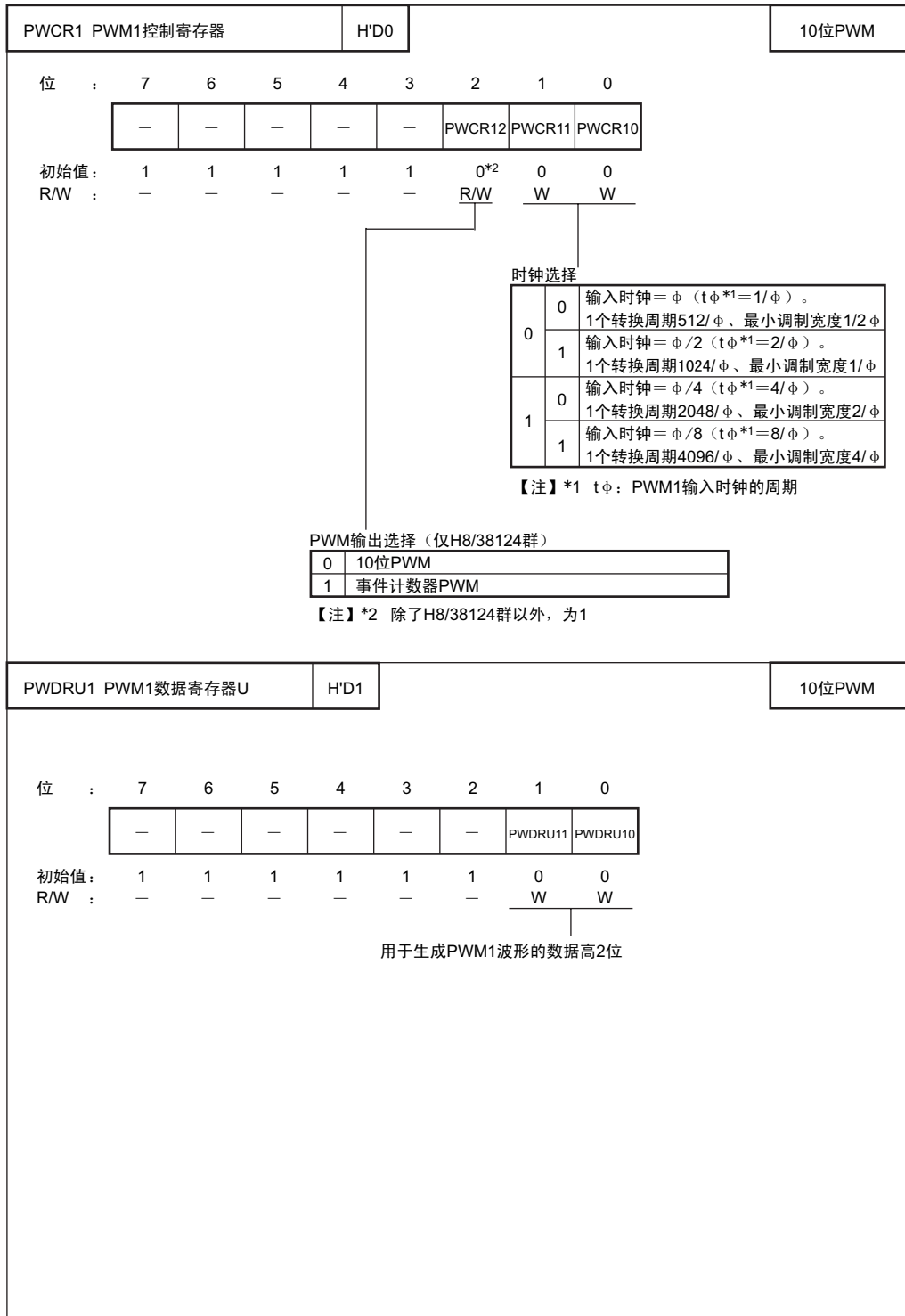
ADDRHH A/D结果寄存器H ADDRLL A/D结果寄存器L	H'C4 H'C5	A/D转换器																
<p>ADDRHH</p> <p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">ADR9</td><td style="width: 20px;">ADR8</td><td style="width: 20px;">ADR7</td><td style="width: 20px;">ADR6</td><td style="width: 20px;">ADR5</td><td style="width: 20px;">ADR4</td><td style="width: 20px;">ADR3</td><td style="width: 20px;">ADR2</td> </tr> </table> <p>初始值: 不定 不定 不定 不定 不定 不定 不定 不定</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-left: 100px;"> </p> <p style="text-align: center; margin-left: 100px;">A/D转换结果</p> <p>ADDRLL</p> <p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">ADR1</td><td style="width: 20px;">ADR0</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td> </tr> </table> <p>初始值: 不定 不定 — — — — — —</p> <p>R/W : R R — — — — — —</p> <p style="text-align: center; margin-left: 40px;"> </p> <p style="text-align: center; margin-left: 40px;">A/D转换结果</p>			ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	—	—	—	—	—	—
ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2											
ADR1	ADR0	—	—	—	—	—	—											
ADSR A/D开始寄存器	H'C7	A/D转换器																
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">ADSF</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td> </tr> </table> <p>初始值: 0 1 1 1 1 1 1 1</p> <p>R/W : R/W — — — — — — —</p> <p style="text-align: center; margin-left: 40px;"> </p> <p style="text-align: center; margin-left: 40px;">A/D开始标志</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px; vertical-align: middle;">0</td> <td style="padding: 5px;"> (读时) 结束A/D转换 (写时) 强制结束A/D转换 </td> </tr> <tr> <td style="width: 20px; vertical-align: middle;">1</td> <td style="padding: 5px;"> (读时) 正在A/D转换中 (写时) 开始A/D转换 </td> </tr> </table>			ADSF	—	—	—	—	—	—	—	0	(读时) 结束A/D转换 (写时) 强制结束A/D转换	1	(读时) 正在A/D转换中 (写时) 开始A/D转换				
ADSF	—	—	—	—	—	—	—											
0	(读时) 结束A/D转换 (写时) 强制结束A/D转换																	
1	(读时) 正在A/D转换中 (写时) 开始A/D转换																	











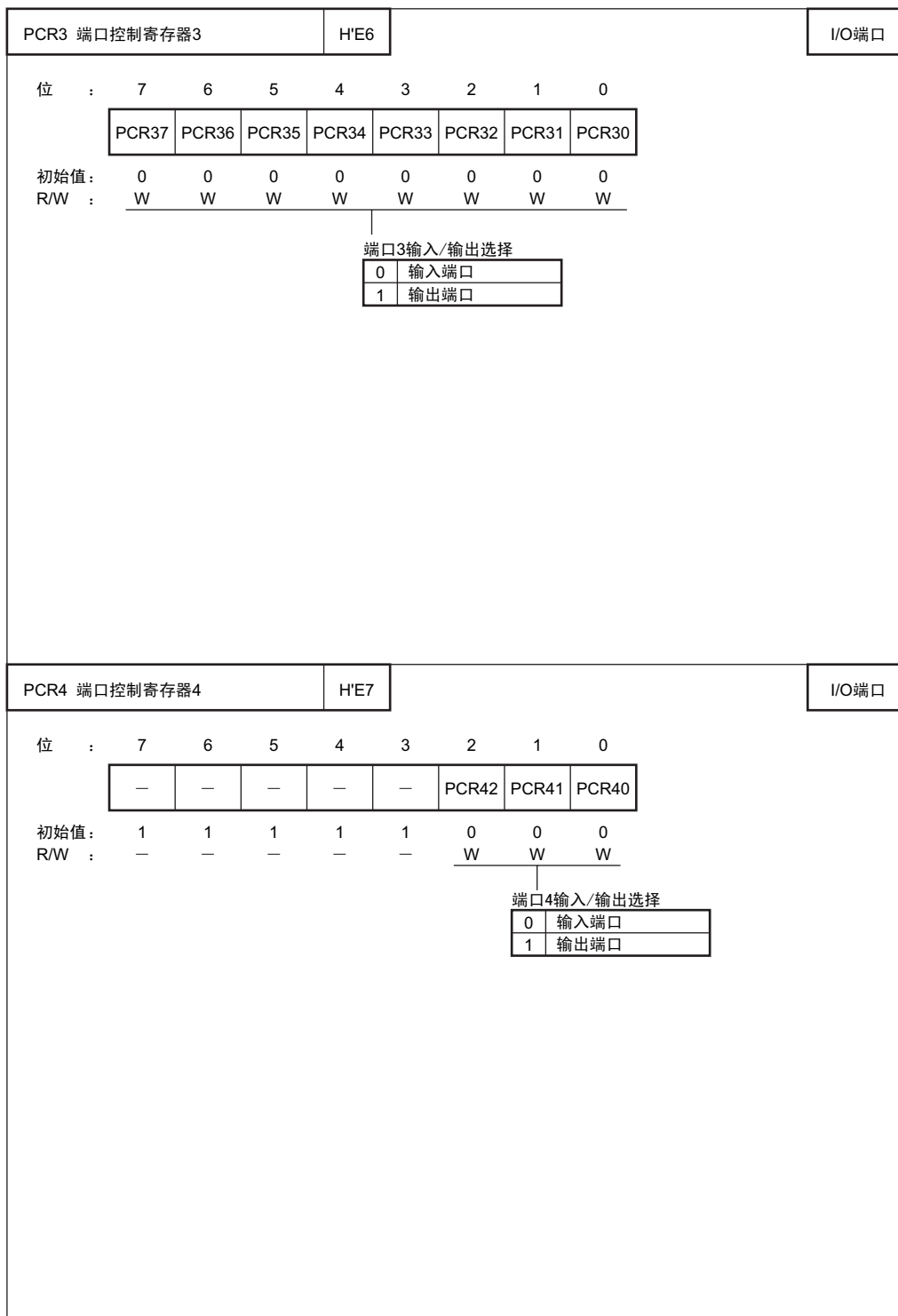
PWDR1 PWM数据寄存器L	H'D2	10位PWM								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PWDR17</td> <td>PWDR16</td> <td>PWDR15</td> <td>PWDR14</td> <td>PWDR13</td> <td>PWDR12</td> <td>PWDR11</td> <td>PWDR10</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p>用于生成PWM1波形的数据低8位</p>			PWDR17	PWDR16	PWDR15	PWDR14	PWDR13	PWDR12	PWDR11	PWDR10
PWDR17	PWDR16	PWDR15	PWDR14	PWDR13	PWDR12	PWDR11	PWDR10			
PDR1 端口数据寄存器1	H'D4	I/O端口								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>P17</td> <td>P16*</td> <td>—</td> <td>P14</td> <td>P13</td> <td>—</td> <td>—</td> <td>—</td> </tr> </table> <p>初始值: 0 0 — 0 0 — — — R/W : R/W R/W — R/W R/W — — —</p> <p>保存端口1的各管脚的数据</p> <p>【注】* H8/38124群没有P16。</p>			P17	P16*	—	P14	P13	—	—	—
P17	P16*	—	P14	P13	—	—	—			
PDR3 端口数据寄存器3	H'D6	I/O端口								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>P37</td> <td>P36</td> <td>P35</td> <td>P34</td> <td>P33</td> <td>P32</td> <td>P31</td> <td>P30</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>保存端口3的各管脚的数据</p>			P37	P36	P35	P34	P33	P32	P31	P30
P37	P36	P35	P34	P33	P32	P31	P30			

PDR4 端口数据寄存器4	H'D7	I/O端口								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">P43</td> <td style="width: 12.5%;">P42</td> <td style="width: 12.5%;">P41</td> <td style="width: 12.5%;">P40</td> </tr> </table> <p>初始值: 1 1 1 1 1 0 0 0</p> <p>R/W : — — — — R R/W R/W R/W</p> <p style="text-align: center;"> 读取P43管脚状态 保存端口4的各管脚的数据 </p>			—	—	—	—	P43	P42	P41	P40
—	—	—	—	P43	P42	P41	P40			
PDR5 端口数据寄存器5	H'D8	I/O端口								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td style="width: 12.5%;">P57</td> <td style="width: 12.5%;">P56</td> <td style="width: 12.5%;">P55</td> <td style="width: 12.5%;">P54</td> <td style="width: 12.5%;">P53</td> <td style="width: 12.5%;">P52</td> <td style="width: 12.5%;">P51</td> <td style="width: 12.5%;">P50</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">保存端口5的各管脚的数据</p>			P57	P56	P55	P54	P53	P52	P51	P50
P57	P56	P55	P54	P53	P52	P51	P50			
PDR6 端口数据寄存器6	H'D9	I/O端口								
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td style="width: 12.5%;">P67</td> <td style="width: 12.5%;">P66</td> <td style="width: 12.5%;">P65</td> <td style="width: 12.5%;">P64</td> <td style="width: 12.5%;">P63</td> <td style="width: 12.5%;">P62</td> <td style="width: 12.5%;">P61</td> <td style="width: 12.5%;">P60</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">保存端口6的各管脚的数据</p>			P67	P66	P65	P64	P63	P62	P61	P60
P67	P66	P65	P64	P63	P62	P61	P60			

PDR7 端口数据寄存器7		H'DA						I/O端口	
位	:	7	6	5	4	3	2	1	0
		P77	P76	P75	P74	P73	P72	P71	P70
初始值:		0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保存端口7的各管脚的数据									
PDR8 端口数据寄存器8		H'DB						I/O端口	
位	:	7	6	5	4	3	2	1	0
		P87	P86	P85	P84	P83	P82	P81	P80
初始值:		0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保存端口8的各管脚的数据									
PDR9 端口数据寄存器9		H'DC						I/O端口	
位	:	7	6	5	4	3	2	1	0
		—	—	P95	P94	P93	P92	P91	P90
初始值:		1	1	1	1	1	1	1	1
R/W	:	—	—	R/W	R/W	R/W	R/W	R/W	R/W
保存端口9的各管脚的数据									

PDRA 端口数据寄存器A	H'DD		I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">PA3</td><td style="width: 20px;">PA2</td><td style="width: 20px;">PA1</td><td style="width: 20px;">PA0</td> </tr> </table> <p>初始值: 1 1 1 1 0 0 0 0</p> <p>R/W : — — — — R/W R/W R/W R/W</p> <p style="text-align: center;">保存端口A的各管脚的数据</p>				—	—	—	—	PA3	PA2	PA1	PA0				
—	—	—	—	PA3	PA2	PA1	PA0								
PDRB 端口数据寄存器B	H'DE		I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 20px;">PB7</td><td style="width: 20px;">PB6</td><td style="width: 20px;">PB5</td><td style="width: 20px;">PB4</td><td style="width: 20px;">PB3</td><td style="width: 20px;">PB2</td><td style="width: 20px;">PB1</td><td style="width: 20px;">PB0</td> </tr> </table> <p>R/W : R R R R R R R R</p> <p style="text-align: center;">读取端口B的各管脚的状态</p>				PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0				
PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0								
PUCR1 端口上拉控制寄存器1	H'E0		I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 20px;">PUCR17</td><td style="width: 20px;">PUCR16*</td><td style="width: 20px;">—</td><td style="width: 20px;">PUCR14</td><td style="width: 20px;">PUCR13</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td> </tr> </table> <p>初始值: 0 0 — 0 0 — — —</p> <p>R/W : R/W R/W W R/W R/W W W W</p> <p style="text-align: center;">端口1输入上拉MOS控制</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 20px;">0</td><td style="width: 80px;">输入上拉MOS为OFF</td> </tr> <tr> <td style="width: 20px;">1</td><td style="width: 80px;">输入上拉MOS为ON</td> </tr> </table> <p>【注】 在将PCR1设定成0时(设定成输入端口) * H8/38124群没有PUCR16。</p>				PUCR17	PUCR16*	—	PUCR14	PUCR13	—	—	—	0	输入上拉MOS为OFF	1	输入上拉MOS为ON
PUCR17	PUCR16*	—	PUCR14	PUCR13	—	—	—								
0	输入上拉MOS为OFF														
1	输入上拉MOS为ON														
PUCR3 端口上拉控制寄存器3	H'E1		I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 20px;">PUCR37</td><td style="width: 20px;">PUCR36</td><td style="width: 20px;">PUCR35</td><td style="width: 20px;">PUCR34</td><td style="width: 20px;">PUCR33</td><td style="width: 20px;">PUCR32</td><td style="width: 20px;">PUCR31</td><td style="width: 20px;">PUCR30</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">端口3输入上拉MOS控制</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 20px;">0</td><td style="width: 80px;">输入上拉MOS为OFF</td> </tr> <tr> <td style="width: 20px;">1</td><td style="width: 80px;">输入上拉MOS为ON</td> </tr> </table> <p>【注】 在将PCR3设定成0时(设定成输入端口)</p>				PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30	0	输入上拉MOS为OFF	1	输入上拉MOS为ON
PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30								
0	输入上拉MOS为OFF														
1	输入上拉MOS为ON														

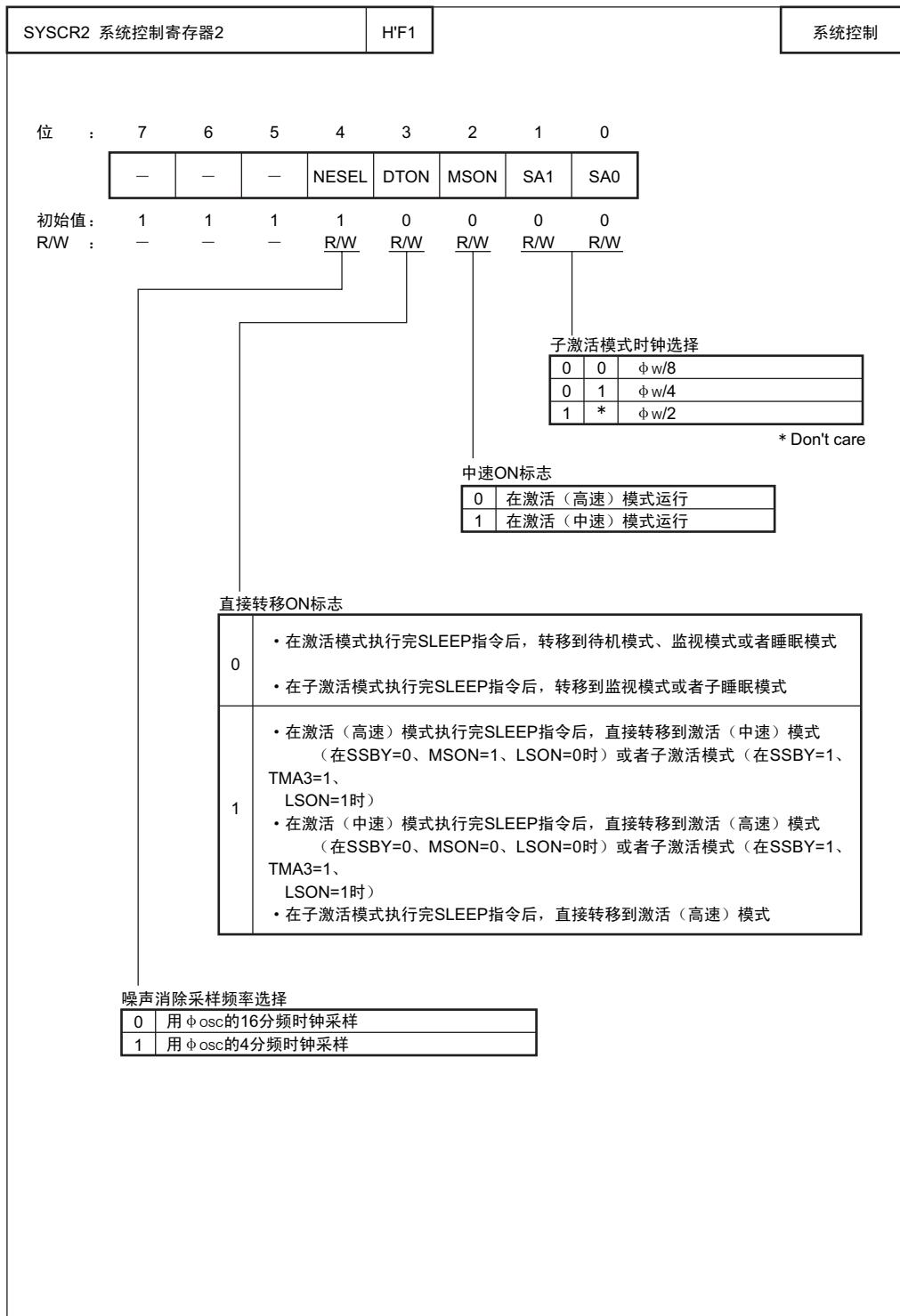
PUCR5 端口上拉控制寄存器5	H'E2	I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PUCR57</td> <td>PUCR56</td> <td>PUCR55</td> <td>PUCR54</td> <td>PUCR53</td> <td>PUCR52</td> <td>PUCR51</td> <td>PUCR50</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>端口5输入上拉MOS控制</p> <table border="1"> <tr> <td>0</td> <td>输入上拉MOS为OFF</td> </tr> <tr> <td>1</td> <td>输入上拉MOS为ON</td> </tr> </table> <p>【注】 在将PCR5设定成0时(设定成输入端口)</p>			PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	0	输入上拉MOS为OFF	1	输入上拉MOS为ON
PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50							
0	输入上拉MOS为OFF													
1	输入上拉MOS为ON													
PUCR6 端口上拉控制寄存器6	H'E3	I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PUCR67</td> <td>PUCR66</td> <td>PUCR65</td> <td>PUCR64</td> <td>PUCR63</td> <td>PUCR62</td> <td>PUCR61</td> <td>PUCR60</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>端口6输入上拉MOS控制</p> <table border="1"> <tr> <td>0</td> <td>输入上拉MOS为OFF</td> </tr> <tr> <td>1</td> <td>输入上拉MOS为ON</td> </tr> </table> <p>【注】 在将PCR6设定成0时(设定成输入端口)</p>			PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	0	输入上拉MOS为OFF	1	输入上拉MOS为ON
PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60							
0	输入上拉MOS为OFF													
1	输入上拉MOS为ON													
PCR1 端口控制寄存器1	H'E4	I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PCR17</td> <td>PCR16*</td> <td>—</td> <td>PCR14</td> <td>PCR13</td> <td>—</td> <td>—</td> <td>—</td> </tr> </table> <p>初始值: 0 0 — 0 0 — — — R/W : W W W W W W W W</p> <p>端口1输入/输出选择</p> <table border="1"> <tr> <td>0</td> <td>输入端口</td> </tr> <tr> <td>1</td> <td>输出端口</td> </tr> </table> <p>【注】 * H8/38124群没有PCR16。</p>			PCR17	PCR16*	—	PCR14	PCR13	—	—	—	0	输入端口	1	输出端口
PCR17	PCR16*	—	PCR14	PCR13	—	—	—							
0	输入端口													
1	输出端口													

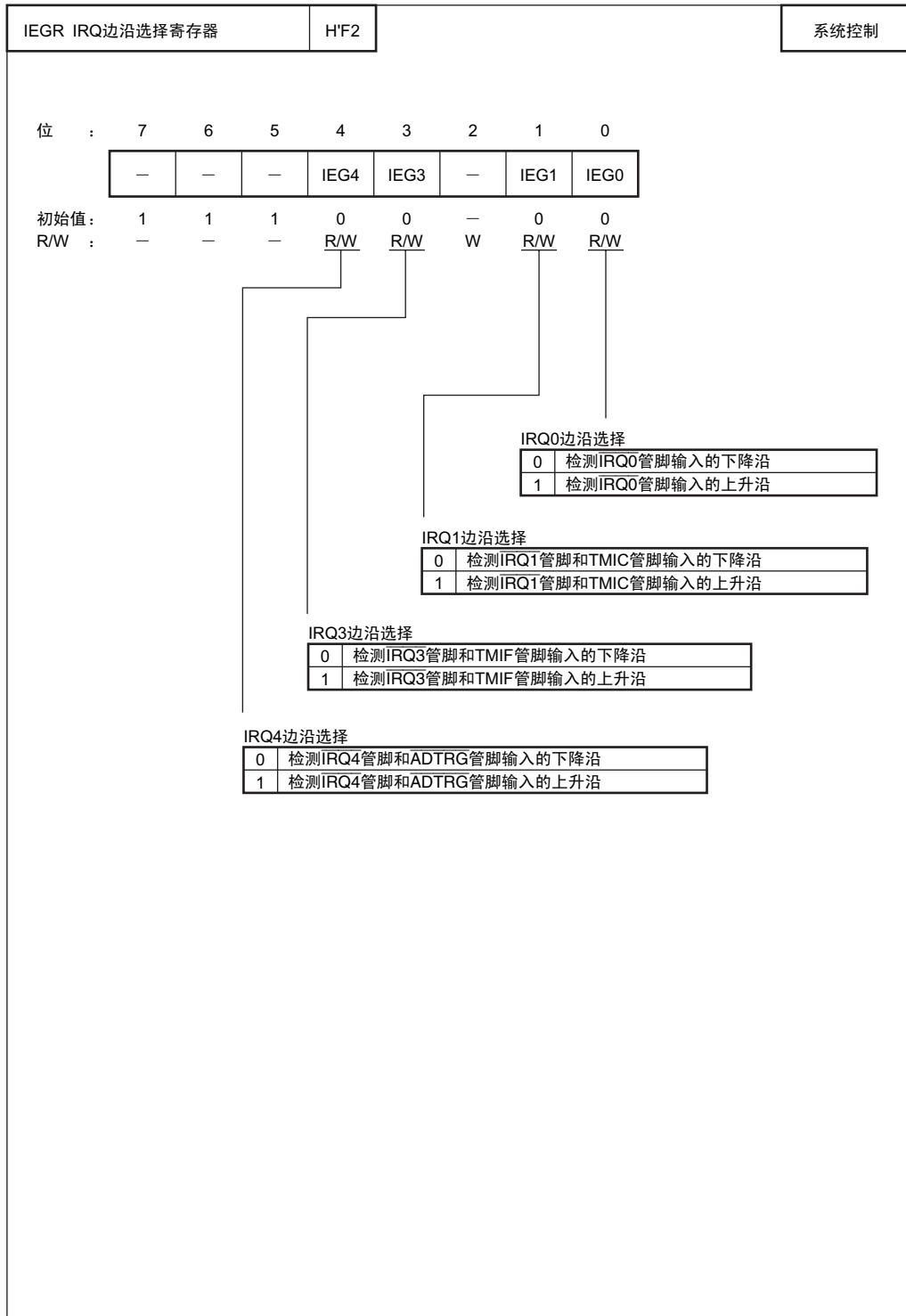


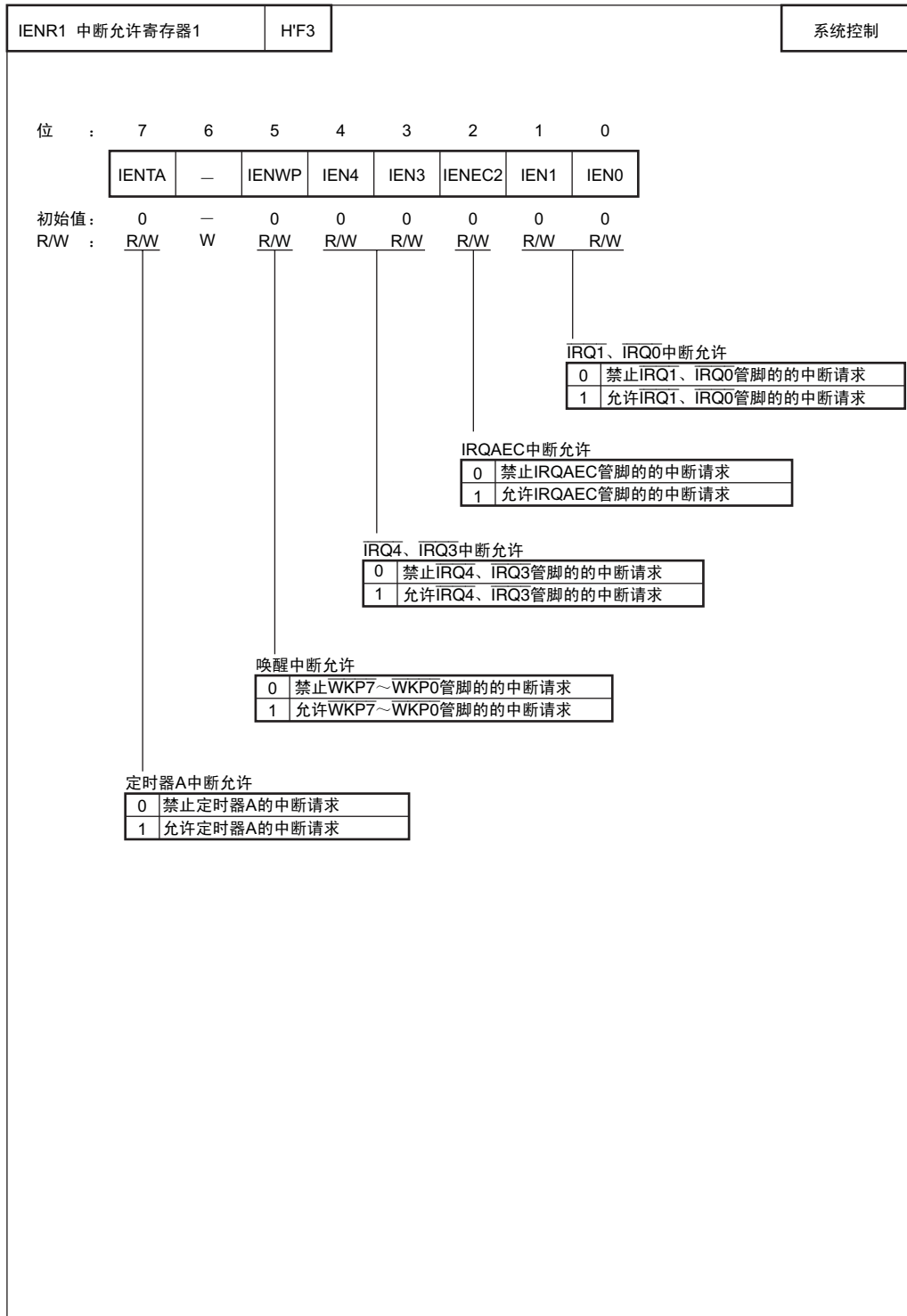
PCR5 端口控制寄存器5	H'E8	I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PCR57</td> <td>PCR56</td> <td>PCR55</td> <td>PCR54</td> <td>PCR53</td> <td>PCR52</td> <td>PCR51</td> <td>PCR50</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p>端口5输入/输出选择</p> <table border="1"> <tr> <td>0</td> <td>输入端口</td> </tr> <tr> <td>1</td> <td>输出端口</td> </tr> </table>			PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	0	输入端口	1	输出端口
PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50							
0	输入端口													
1	输出端口													
PCR6 端口控制寄存器6	H'E9	I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PCR67</td> <td>PCR66</td> <td>PCR65</td> <td>PCR64</td> <td>PCR63</td> <td>PCR62</td> <td>PCR61</td> <td>PCR60</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p>端口6输入/输出选择</p> <table border="1"> <tr> <td>0</td> <td>输入端口</td> </tr> <tr> <td>1</td> <td>输出端口</td> </tr> </table>			PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	0	输入端口	1	输出端口
PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60							
0	输入端口													
1	输出端口													
PCR7 端口控制寄存器7	H'EA	I/O端口												
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PCR77</td> <td>PCR76</td> <td>PCR75</td> <td>PCR74</td> <td>PCR73</td> <td>PCR72</td> <td>PCR71</td> <td>PCR70</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p>端口7输入/输出选择</p> <table border="1"> <tr> <td>0</td> <td>输入端口</td> </tr> <tr> <td>1</td> <td>输出端口</td> </tr> </table>			PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	0	输入端口	1	输出端口
PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70							
0	输入端口													
1	输出端口													

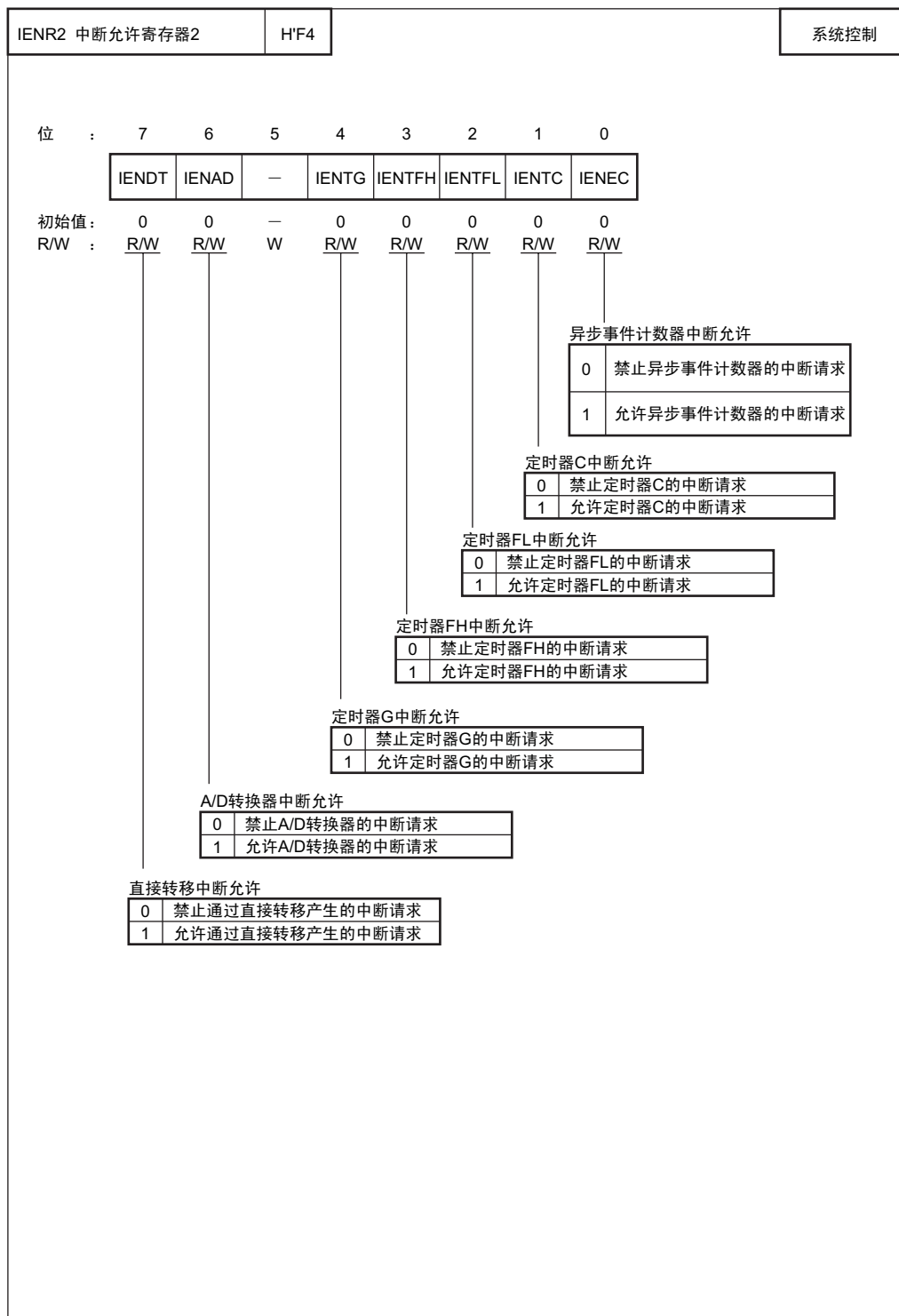
PCR8 端口控制寄存器8	H'EB	I/O端口																				
<p>位 : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td>PCR87</td><td>PCR86</td><td>PCR85</td><td>PCR84</td><td>PCR83</td><td>PCR82</td><td>PCR81</td><td>PCR80</td> </tr> </table> <p>初始值: 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <div style="margin-left: 200px;"> <p>端口8输入/输出选择</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>输入端口</td></tr> <tr><td>1</td><td>输出端口</td></tr> </table> </div>			PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80	0	输入端口	1	输出端口								
PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80															
0	输入端口																					
1	输出端口																					
<p>PMR9 端口模式寄存器9</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>PIOFF/—*</td><td>—</td><td>PWM2</td><td>PWM1</td> </tr> </table> <p>初始值: 1 1 1 1 0 — 0 0 R/W : — — — — R/W W R/W R/W</p> <div style="margin-left: 200px;"> <p>P90/PWM1管脚功能切换</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>作为P90输出管脚功能</td></tr> <tr><td>1</td><td>作为PWM1输出管脚功能</td></tr> </table> <p>P91/PWM2管脚功能切换</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>作为P91输出管脚功能</td></tr> <tr><td>1</td><td>作为PWM2输出管脚功能</td></tr> </table> <p>P92~P90升压电路控制</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>大电流端口的升压电路ON</td></tr> <tr><td>1</td><td>大电流端口的升压电路OFF</td></tr> </table> </div> <p>【注】* H8/38024S群和H8/38124群为可读写的保留位。</p>			—	—	—	—	PIOFF/—*	—	PWM2	PWM1	0	作为P90输出管脚功能	1	作为PWM1输出管脚功能	0	作为P91输出管脚功能	1	作为PWM2输出管脚功能	0	大电流端口的升压电路ON	1	大电流端口的升压电路OFF
—	—	—	—	PIOFF/—*	—	PWM2	PWM1															
0	作为P90输出管脚功能																					
1	作为PWM1输出管脚功能																					
0	作为P91输出管脚功能																					
1	作为PWM2输出管脚功能																					
0	大电流端口的升压电路ON																					
1	大电流端口的升压电路OFF																					
<p>PCRA 端口控制寄存器A</p> <table border="1" style="margin: 10px auto; width: 80%; text-align: center;"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>PCRA3</td><td>PCRA2</td><td>PCRA1</td><td>PCRA0</td> </tr> </table> <p>初始值: 1 1 1 1 0 0 0 0 R/W : — — — — W W W W</p> <div style="margin-left: 200px;"> <p>端口A输入/输出选择</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>输入端口</td></tr> <tr><td>1</td><td>输出端口</td></tr> </table> </div>			—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0	0	输入端口	1	输出端口								
—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0															
0	输入端口																					
1	输出端口																					

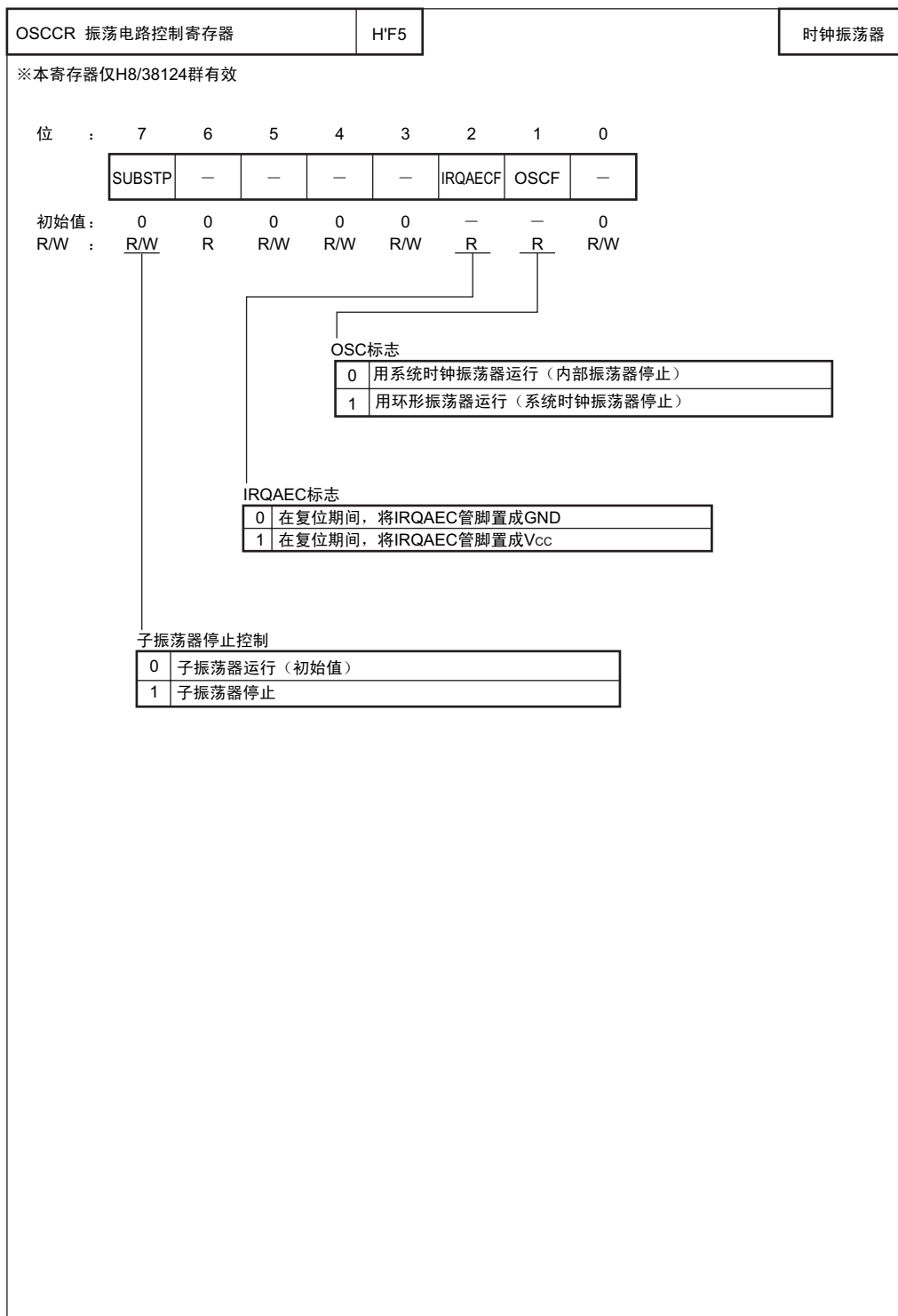
PMRB 端口模式寄存器B	H'EE	I/O端口																																																																									
<p>位 : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">IRQ1</td> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">—</td> </tr> </table> <p>初始值: 1 1 1 1 0 1 1 1 R/W : — — — — R/W — — —</p> <div style="text-align: center; margin-top: 10px;"> <p>PB3/AN3/IRQ1/TMIC管脚功能切换</p> <table border="1" style="margin: auto;"> <tr> <td style="width: 20px;">0</td> <td>作为PB3/AN3输入/输出管脚功能</td> </tr> <tr> <td>1</td> <td>作为IRQ1/TMIC输入管脚功能</td> </tr> </table> </div>			—	—	—	—	IRQ1	—	—	—	0	作为PB3/AN3输入/输出管脚功能	1	作为IRQ1/TMIC输入管脚功能																																																													
—	—	—	—	IRQ1	—	—	—																																																																				
0	作为PB3/AN3输入/输出管脚功能																																																																										
1	作为IRQ1/TMIC输入管脚功能																																																																										
SYSCR1 系统控制寄存器1	H'F0	系统控制																																																																									
<p>位 : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%; border: 1px solid black;">SSBY</td> <td style="width: 12.5%; border: 1px solid black;">STS2</td> <td style="width: 12.5%; border: 1px solid black;">STS1</td> <td style="width: 12.5%; border: 1px solid black;">STS0</td> <td style="width: 12.5%; border: 1px solid black;">LSON</td> <td style="width: 12.5%; border: 1px solid black;">—</td> <td style="width: 12.5%; border: 1px solid black;">MA1</td> <td style="width: 12.5%; border: 1px solid black;">MA0</td> </tr> </table> <p>初始值: 0 0 0 0 0 1 1 1 R/W : R/W R/W R/W R/W R/W — R/W R/W</p> <div style="text-align: center; margin-top: 10px;"> <p>激活 (中速) 模式时钟选择</p> <table border="1" style="margin: auto;"> <tr> <td style="width: 20px;">0</td> <td style="width: 20px;">0</td> <td>$\phi_{osc}/16$</td> </tr> <tr> <td>0</td> <td>1</td> <td>$\phi_{osc}/32$</td> </tr> <tr> <td>1</td> <td>0</td> <td>$\phi_{osc}/64$</td> </tr> <tr> <td>1</td> <td>1</td> <td>$\phi_{osc}/128$</td> </tr> </table> </div> <div style="text-align: center; margin-top: 10px;"> <p>低速ON标志</p> <table border="1" style="margin: auto;"> <tr> <td style="width: 20px;">0</td> <td>CPU的运行时钟为系统时钟 (ϕ)</td> </tr> <tr> <td>1</td> <td>CPU的运行时钟为子时钟 (ϕ_{SUB})</td> </tr> </table> </div> <div style="text-align: center; margin-top: 10px;"> <p>待机定时器选择2~0</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="3"></th> <th>H8/38124群除外</th> <th>H8/38124群</th> </tr> </thead> <tbody> <tr> <td style="width: 20px;">0</td> <td style="width: 20px;">0</td> <td style="width: 20px;">0</td> <td>待机时间 = 8192个状态</td> <td>待机时间 = 8192个状态</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>待机时间 = 16384个状态</td> <td>待机时间 = 16384个状态</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>待机时间 = 1024个状态</td> <td>待机时间 = 32768个状态</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>待机时间 = 2048个状态</td> <td>待机时间 = 65536个状态</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>待机时间 = 4096个状态</td> <td>待机时间 = 131072个状态</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>待机时间 = 2个状态</td> <td>待机时间 = 2个状态</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>待机时间 = 8个状态</td> <td>待机时间 = 8个状态</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>待机时间 = 16个状态</td> <td>待机时间 = 16个状态</td> </tr> </tbody> </table> </div> <div style="margin-top: 10px;"> <p>软件待机</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td> <ul style="list-style-type: none"> • 在激活模式执行SLEEP指令后, 转移到睡眠模式 • 在子激活模式执行SLEEP指令后, 转移到子睡眠模式 </td> </tr> <tr> <td style="text-align: center;">1</td> <td> <ul style="list-style-type: none"> • 在激活模式执行SLEEP指令后, 转移到待机模式或者监视模式 • 在子激活模式执行SLEEP指令后, 转移到监视模式。 </td> </tr> </table> </div>			SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0	0	0	$\phi_{osc}/16$	0	1	$\phi_{osc}/32$	1	0	$\phi_{osc}/64$	1	1	$\phi_{osc}/128$	0	CPU的运行时钟为系统时钟 (ϕ)	1	CPU的运行时钟为子时钟 (ϕ_{SUB})				H8/38124群除外	H8/38124群	0	0	0	待机时间 = 8192个状态	待机时间 = 8192个状态	0	0	1	待机时间 = 16384个状态	待机时间 = 16384个状态	0	1	0	待机时间 = 1024个状态	待机时间 = 32768个状态	0	1	1	待机时间 = 2048个状态	待机时间 = 65536个状态	1	0	0	待机时间 = 4096个状态	待机时间 = 131072个状态	1	0	1	待机时间 = 2个状态	待机时间 = 2个状态	1	1	0	待机时间 = 8个状态	待机时间 = 8个状态	1	1	1	待机时间 = 16个状态	待机时间 = 16个状态	0	<ul style="list-style-type: none"> • 在激活模式执行SLEEP指令后, 转移到睡眠模式 • 在子激活模式执行SLEEP指令后, 转移到子睡眠模式 	1	<ul style="list-style-type: none"> • 在激活模式执行SLEEP指令后, 转移到待机模式或者监视模式 • 在子激活模式执行SLEEP指令后, 转移到监视模式。
SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0																																																																				
0	0	$\phi_{osc}/16$																																																																									
0	1	$\phi_{osc}/32$																																																																									
1	0	$\phi_{osc}/64$																																																																									
1	1	$\phi_{osc}/128$																																																																									
0	CPU的运行时钟为系统时钟 (ϕ)																																																																										
1	CPU的运行时钟为子时钟 (ϕ_{SUB})																																																																										
			H8/38124群除外	H8/38124群																																																																							
0	0	0	待机时间 = 8192个状态	待机时间 = 8192个状态																																																																							
0	0	1	待机时间 = 16384个状态	待机时间 = 16384个状态																																																																							
0	1	0	待机时间 = 1024个状态	待机时间 = 32768个状态																																																																							
0	1	1	待机时间 = 2048个状态	待机时间 = 65536个状态																																																																							
1	0	0	待机时间 = 4096个状态	待机时间 = 131072个状态																																																																							
1	0	1	待机时间 = 2个状态	待机时间 = 2个状态																																																																							
1	1	0	待机时间 = 8个状态	待机时间 = 8个状态																																																																							
1	1	1	待机时间 = 16个状态	待机时间 = 16个状态																																																																							
0	<ul style="list-style-type: none"> • 在激活模式执行SLEEP指令后, 转移到睡眠模式 • 在子激活模式执行SLEEP指令后, 转移到子睡眠模式 																																																																										
1	<ul style="list-style-type: none"> • 在激活模式执行SLEEP指令后, 转移到待机模式或者监视模式 • 在子激活模式执行SLEEP指令后, 转移到监视模式。 																																																																										

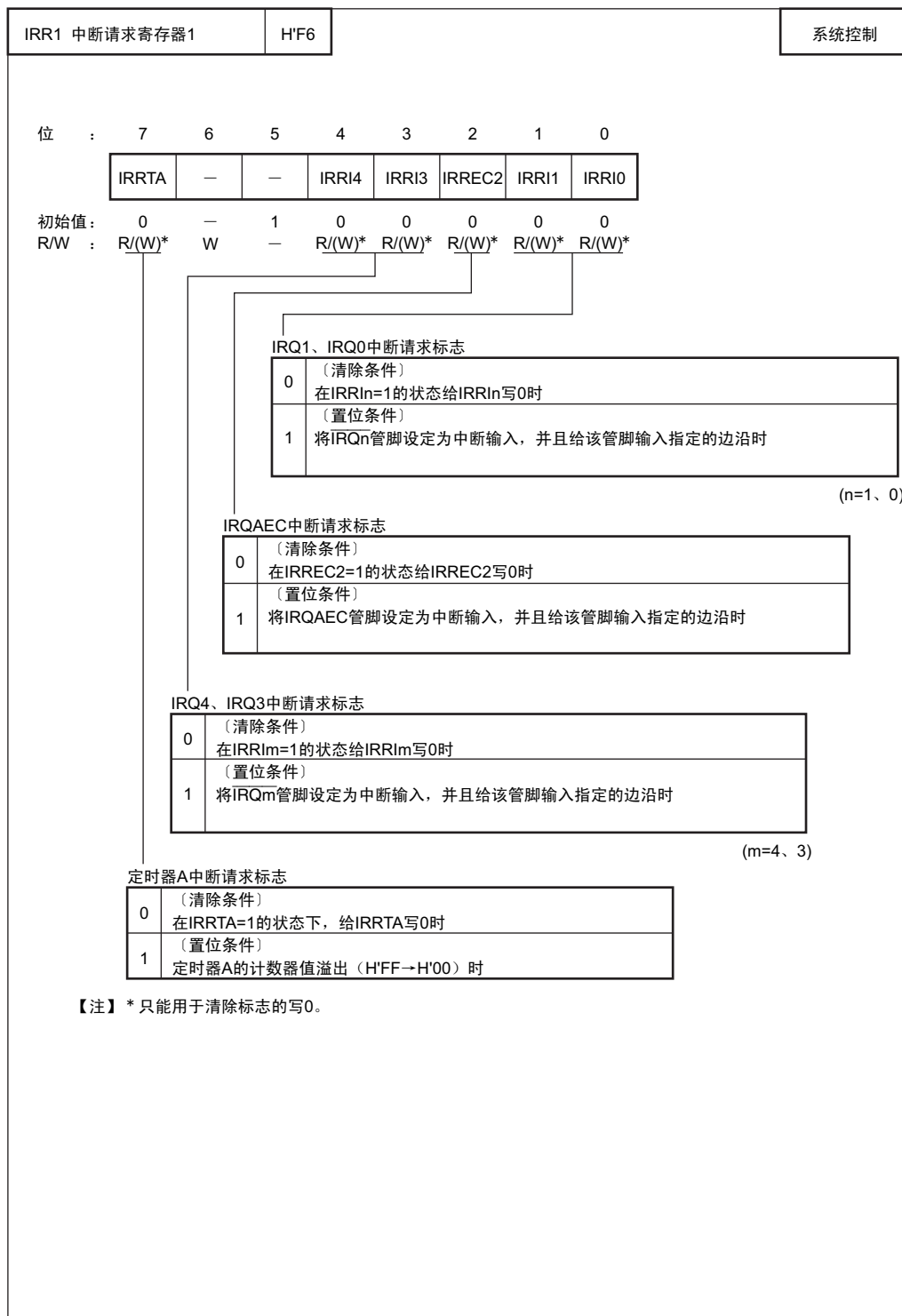


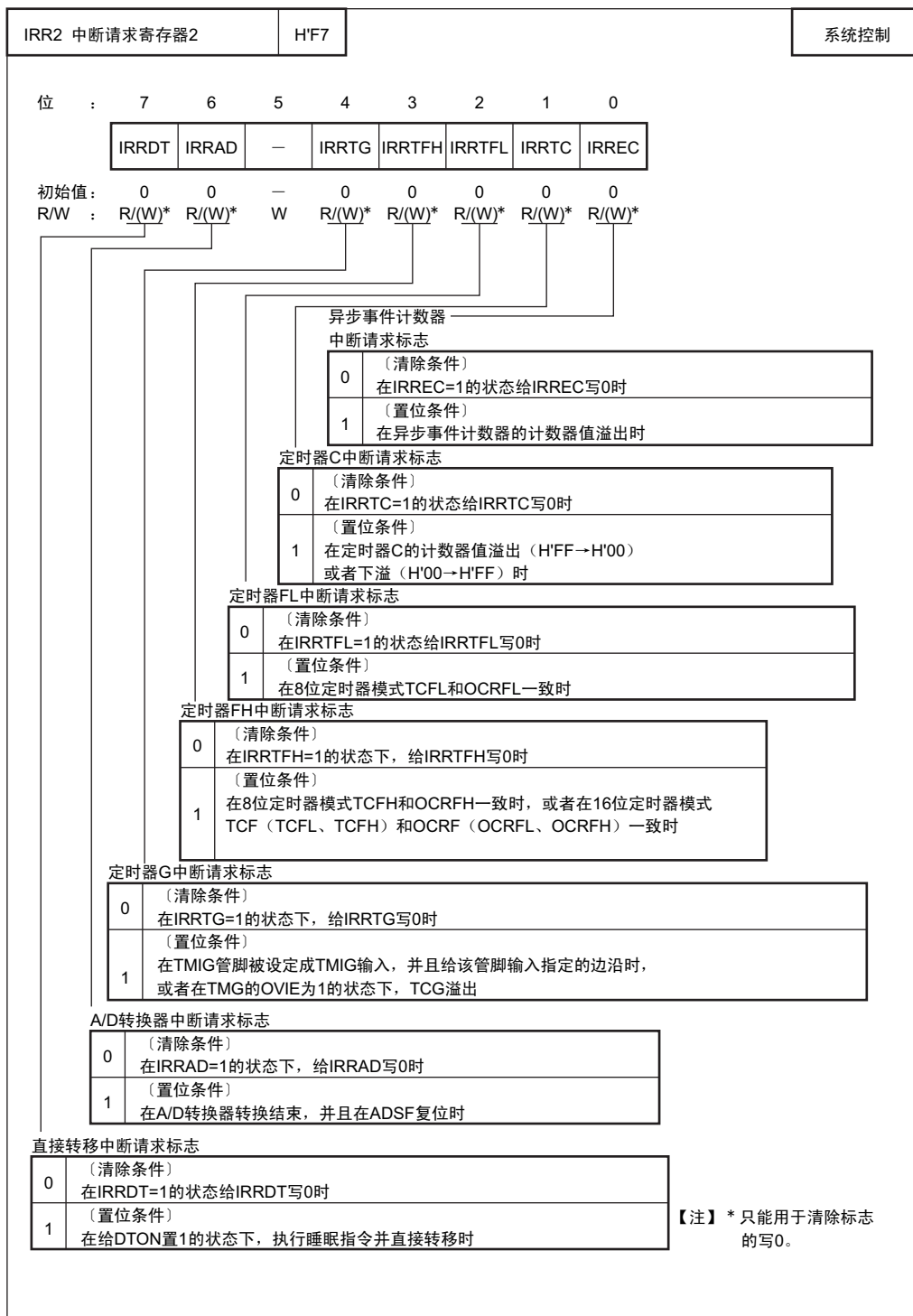




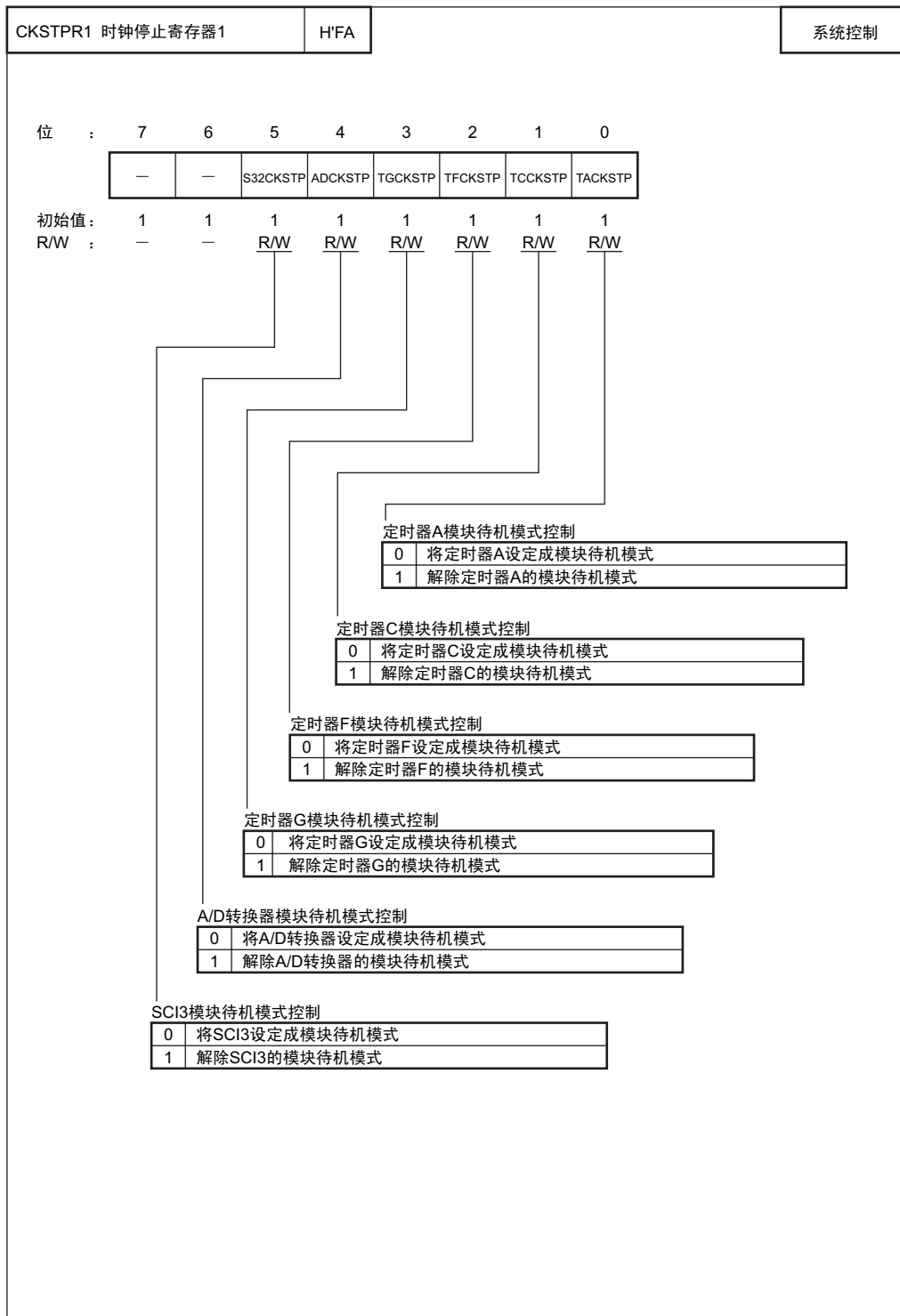


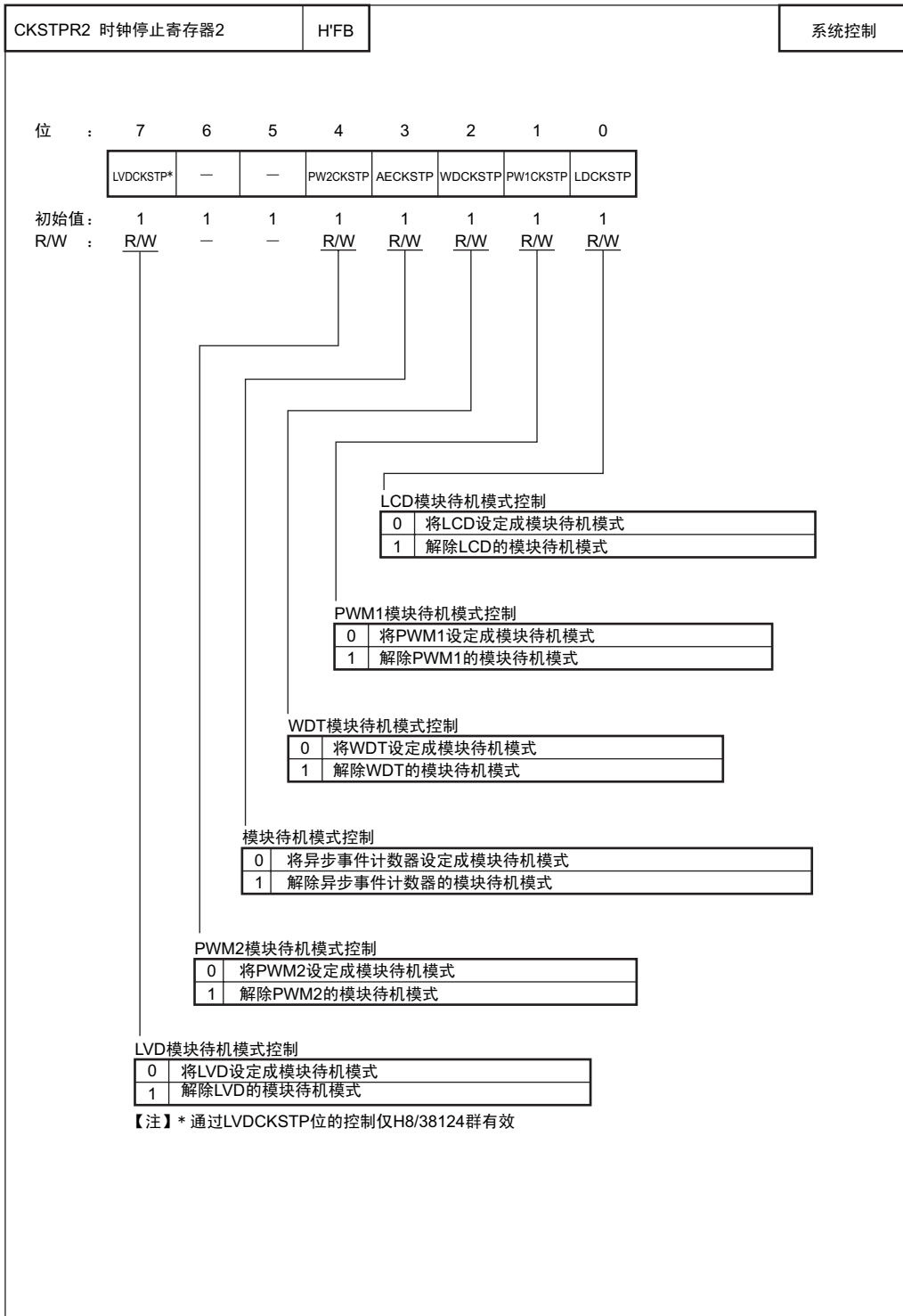






TMW 定时器模式寄存器W	H'F8	监视定时器						
※本寄存器仅H8/38124群有效								
位	7	6	5	4	3	2	1	0
	—	—	—	—	CKS3	CKS2	CKS1	CKS0
初始值:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W
内部时钟选择								
CKS3	CKS2	CKS1	CKS0	时钟源				
1	0	0	0	$\phi/64$				
			1	$\phi/128$				
		1	0	$\phi/256$				
			1	$\phi/512$				
	1	0	0	$\phi/1024$				
			1	$\phi/2048$				
		1	0	$\phi/4096$				
			1	$\phi/8192$ (初始值)				
0	*	*	*	内部振荡器				
【注】 在PMR2寄存器的WDCKS位为0时有效								
IWPR 唤醒中断请求寄存器	H'F9	系统控制						
位	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初始值:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
唤醒中断请求标志								
0	(清除条件) 在IWPFn=1的状态下, 给IWPFn写0时							
1	(置位条件) 在将WKPn管脚设定为唤醒输入, 并且向该管脚输入上升沿或者下降沿时							
(n=7~0)								
【注】 * 只能用于清除标志的写0。								





C. I/O 端口框图

C.1 端口 1 框图

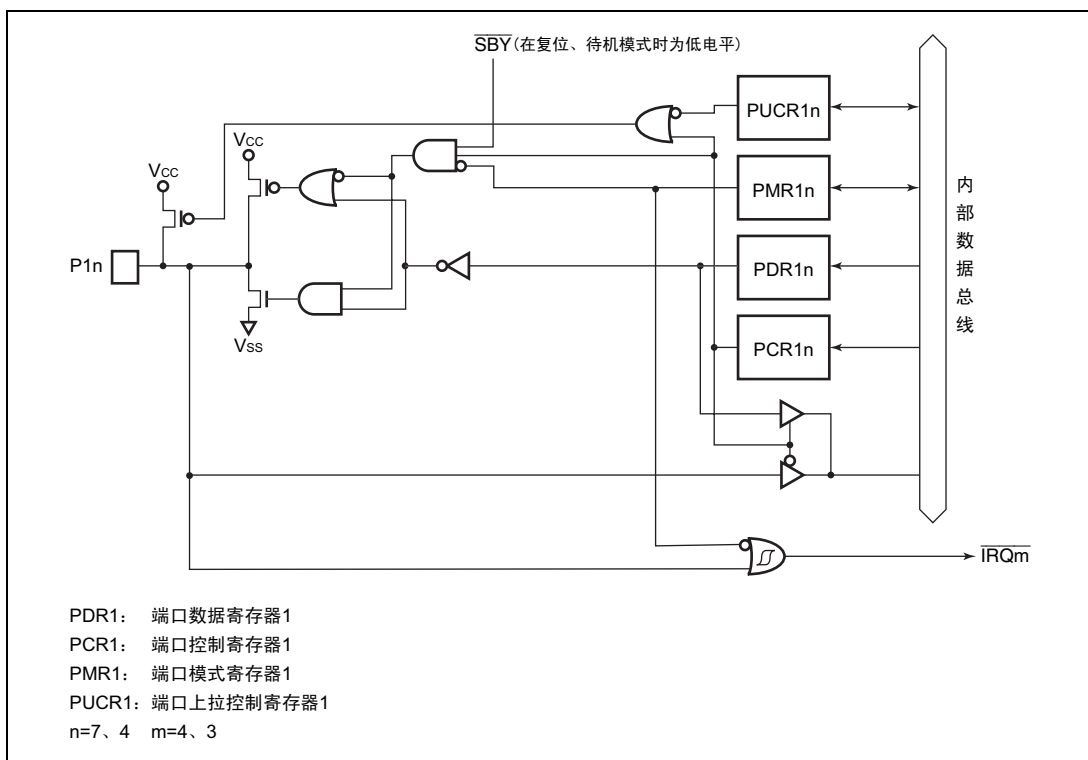


图 C.1 (a) 端口 1 框图 (P17、P14 管脚)

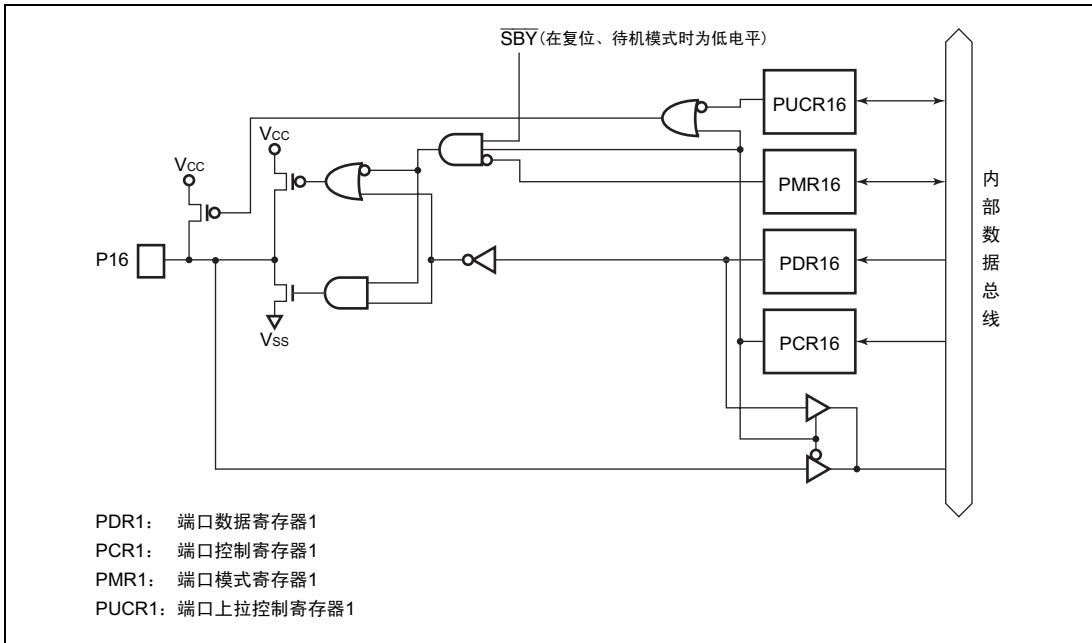


图 C.1 (b) 端口 1 框图 (P16 管脚, H8/38124 群除外)

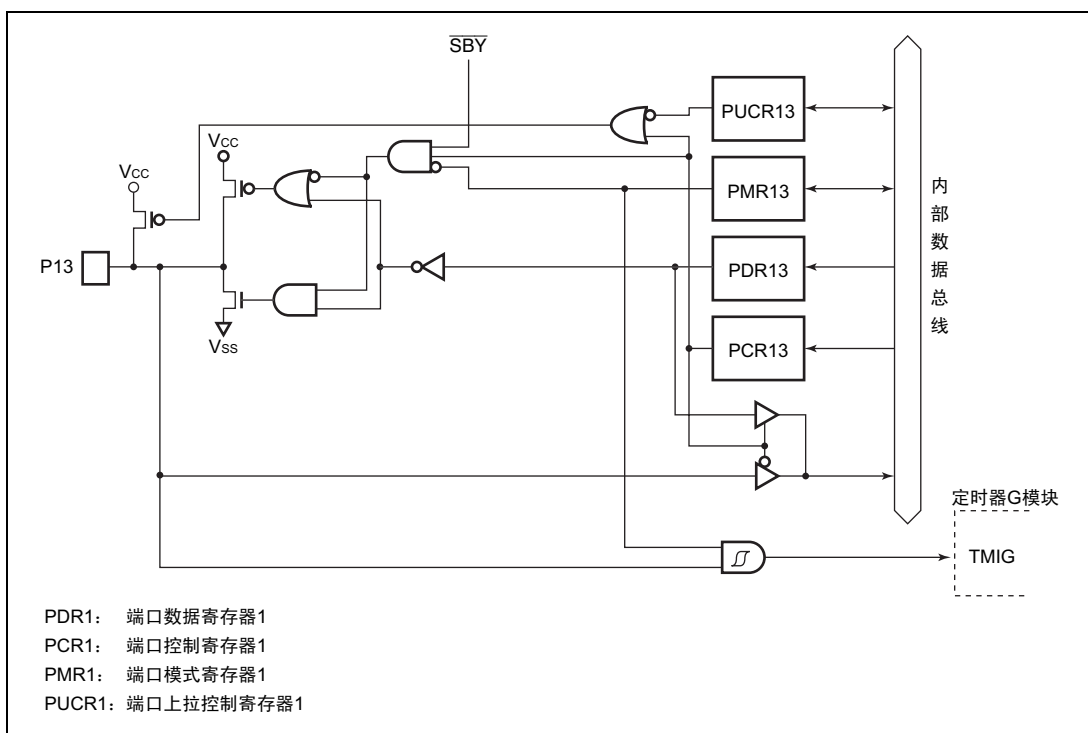


图 C.1 (c) 端口 1 框图 (P13 管脚)

C.2 端口 3 框图

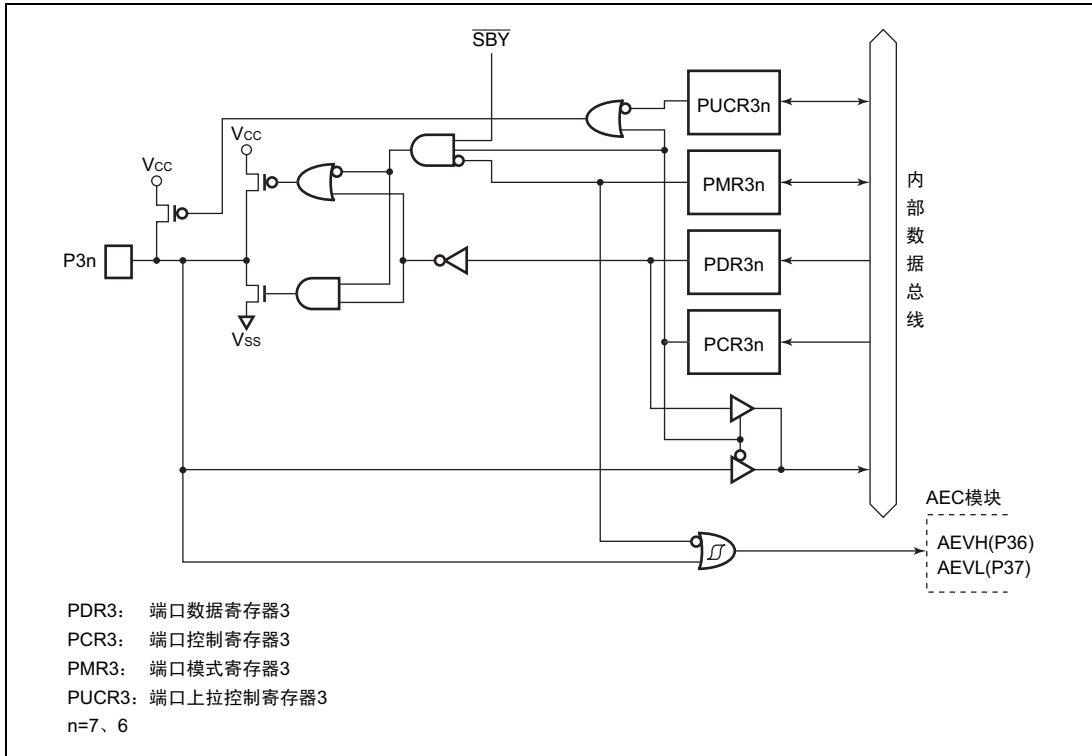


图 C.2 (a) 端口 3 框图 (P37、P36 管脚)

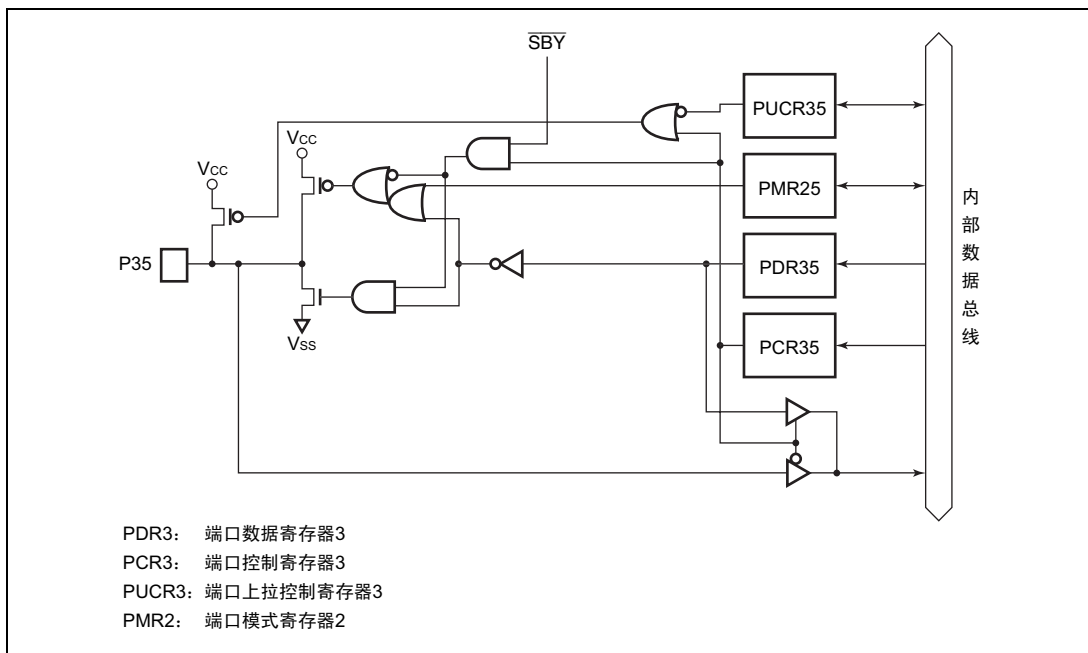


图 C.2 (b) 端口 3 框图 (P35 管脚)

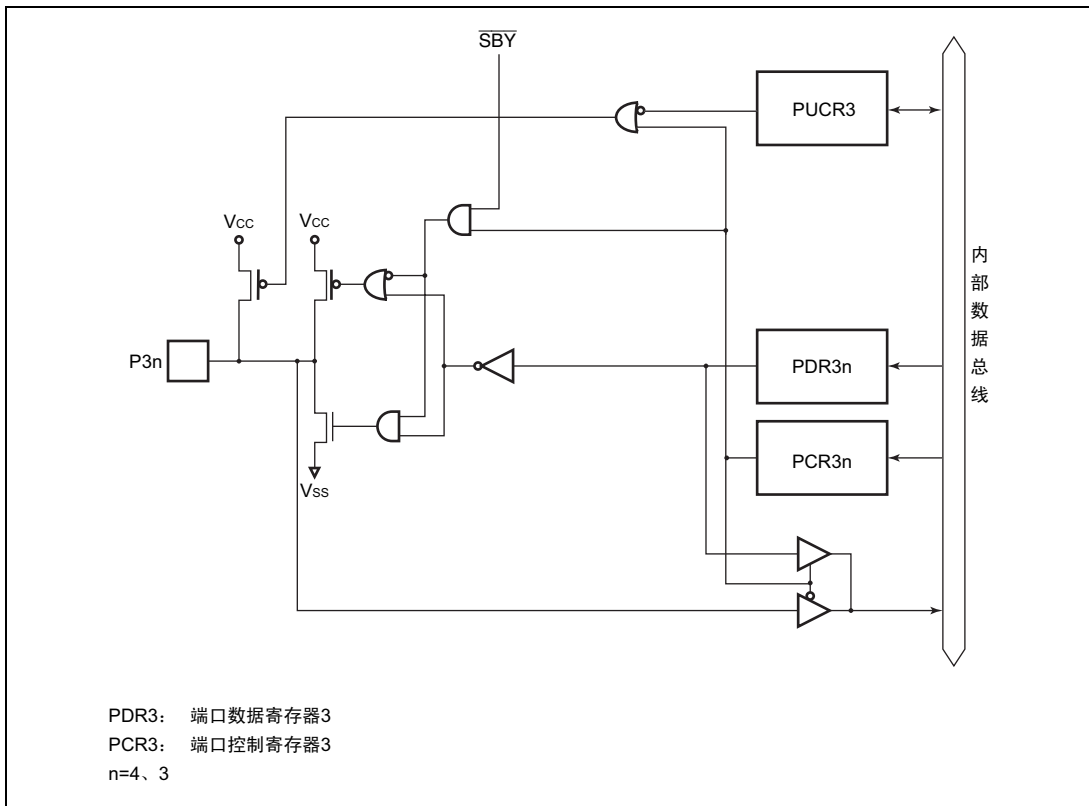


图 C.2 (c) 端口 3 框图 (P34、P33 管脚)

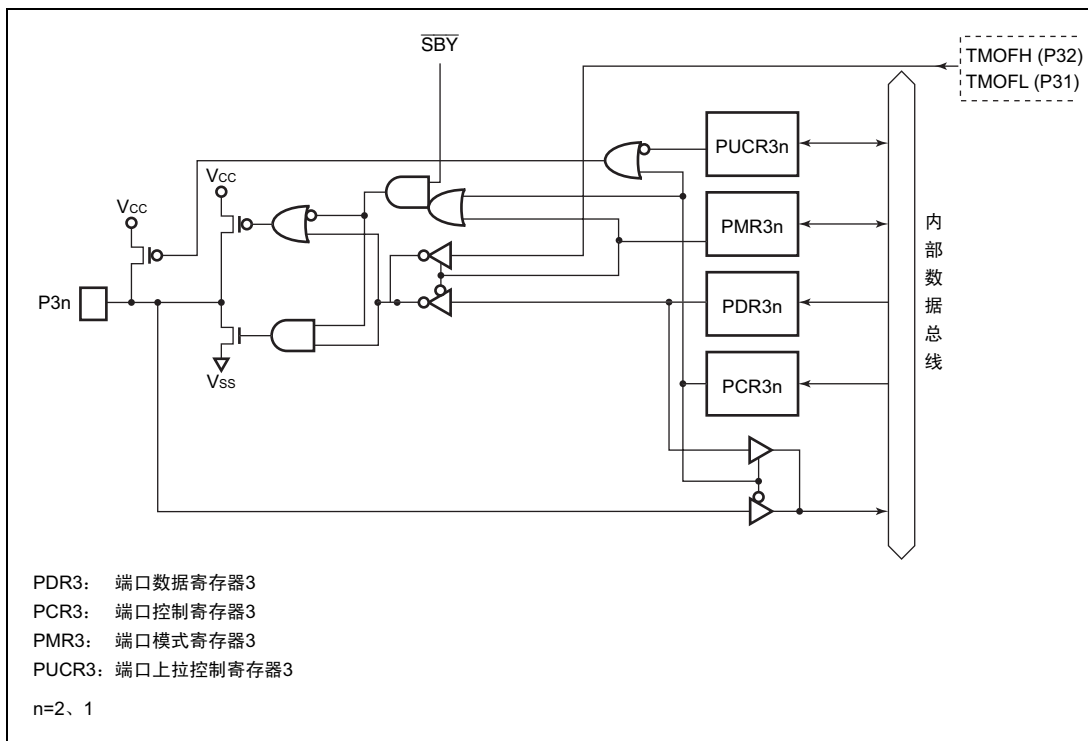


图 C.2 (d) 端口 3 框图 (P32、P31 管脚)

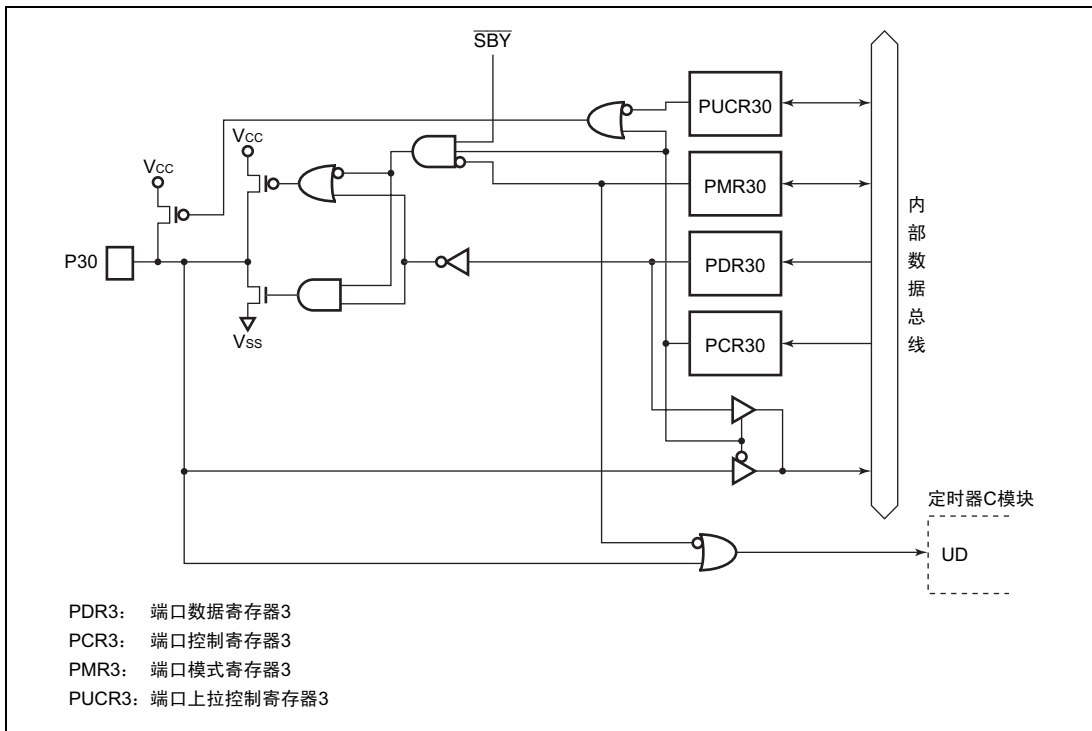


图 C.2 (e) 端口 3 框图 (P30 管脚)

C.3 端口 4 框图

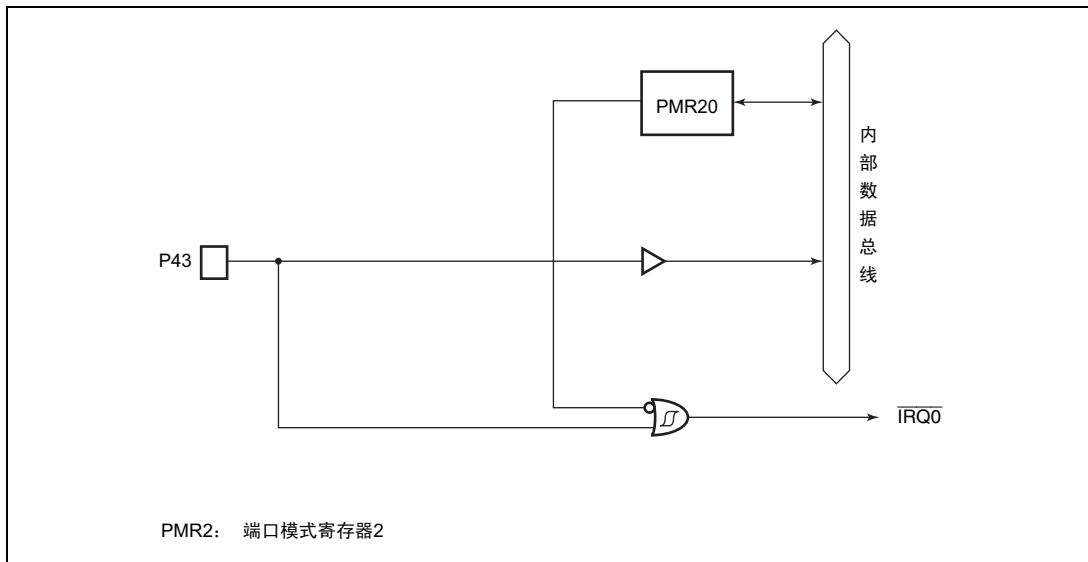


图 C.3 (a) 端口 4 框图 (P43 管脚)

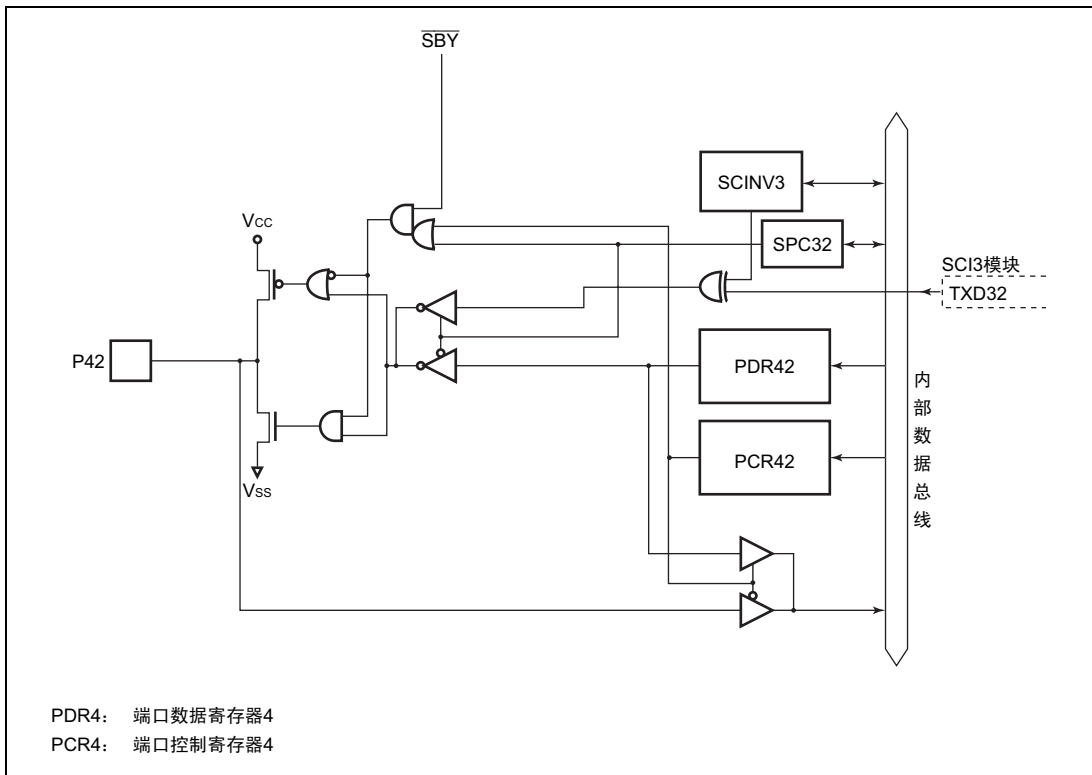


图 C.3 (b) 端口 4 框图 (P42 管脚)

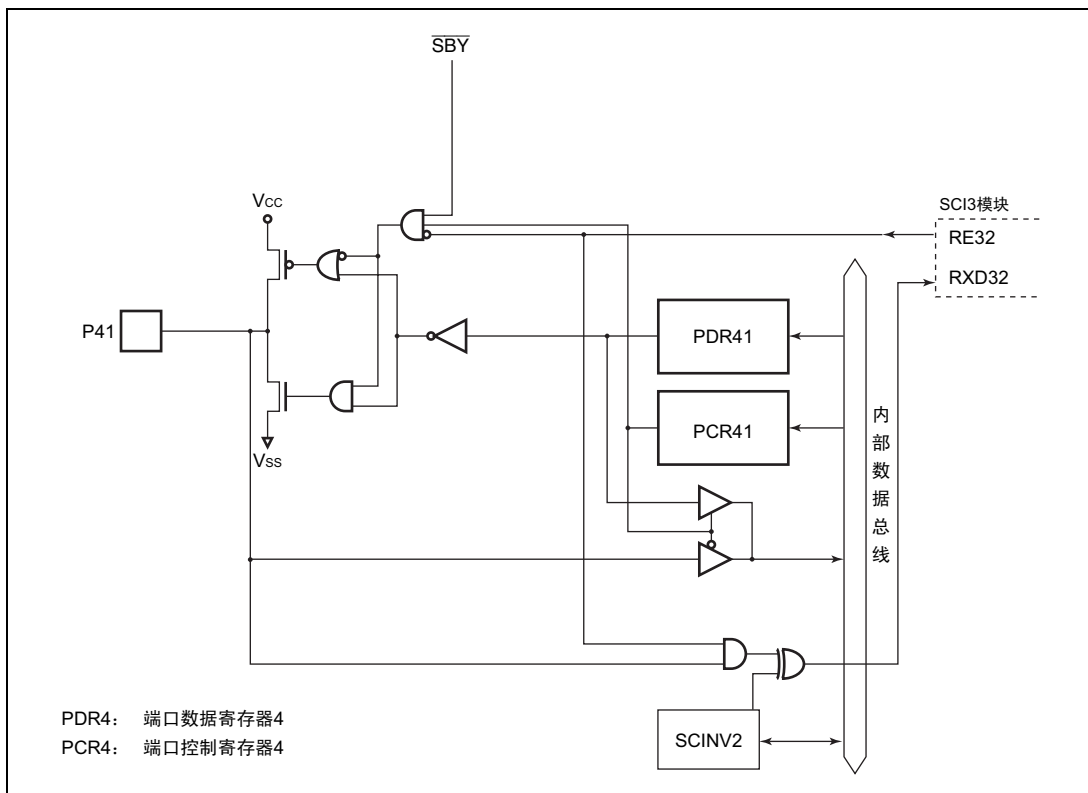


图 C.3 (c) 端口 4 框图 (P41 管脚)

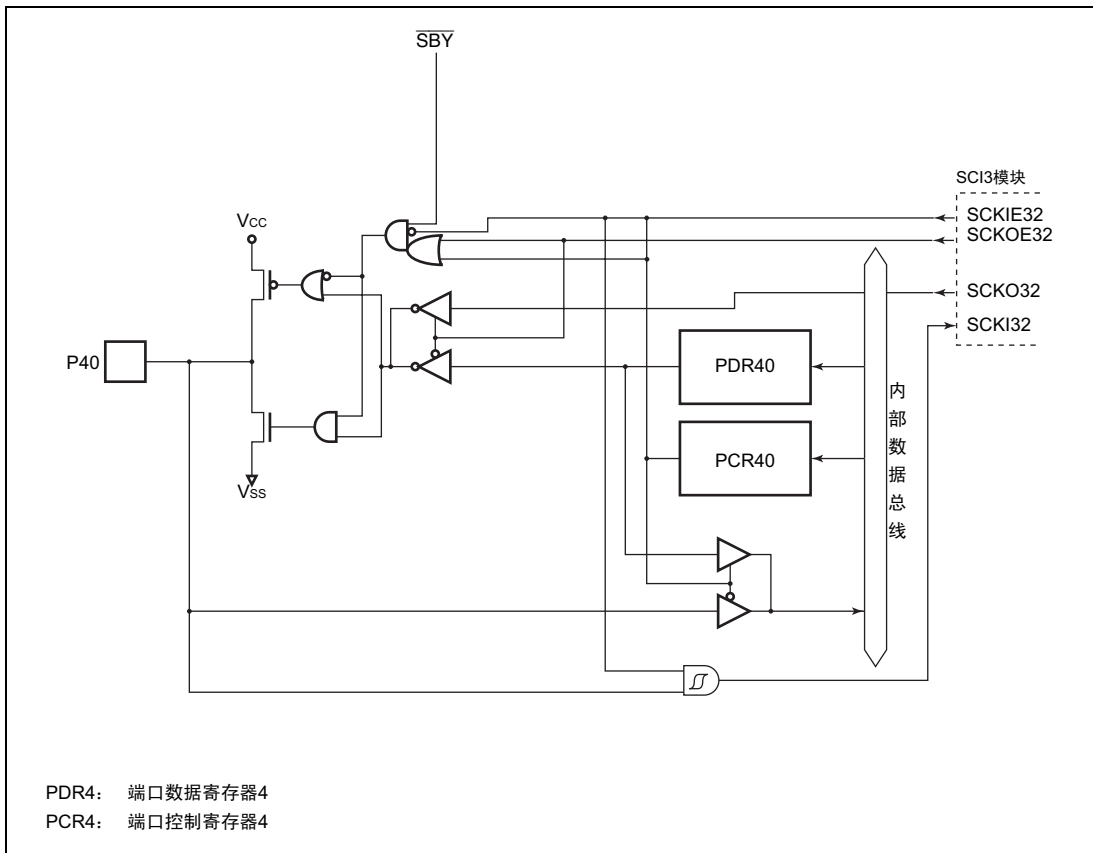


图 C.3 (d) 端口 4 框图 (P40 管脚)

C.4 端口 5 框图

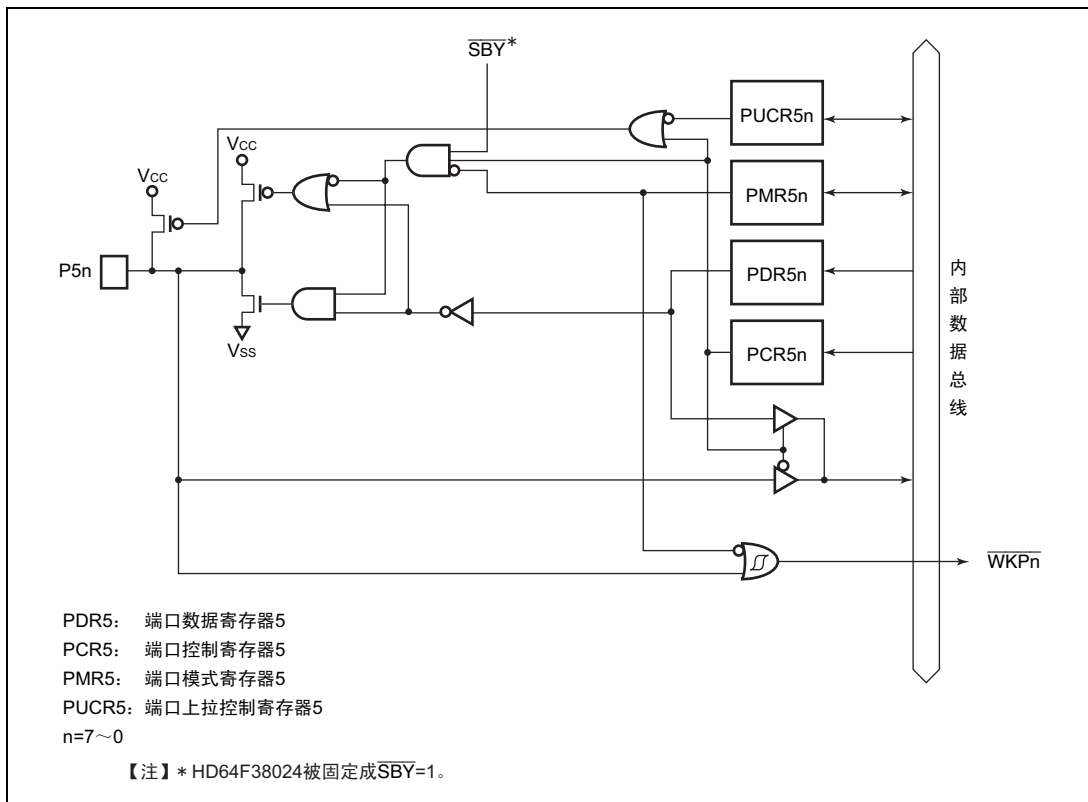


图 C.4 端口 5 框图

C.5 端口 6 框图

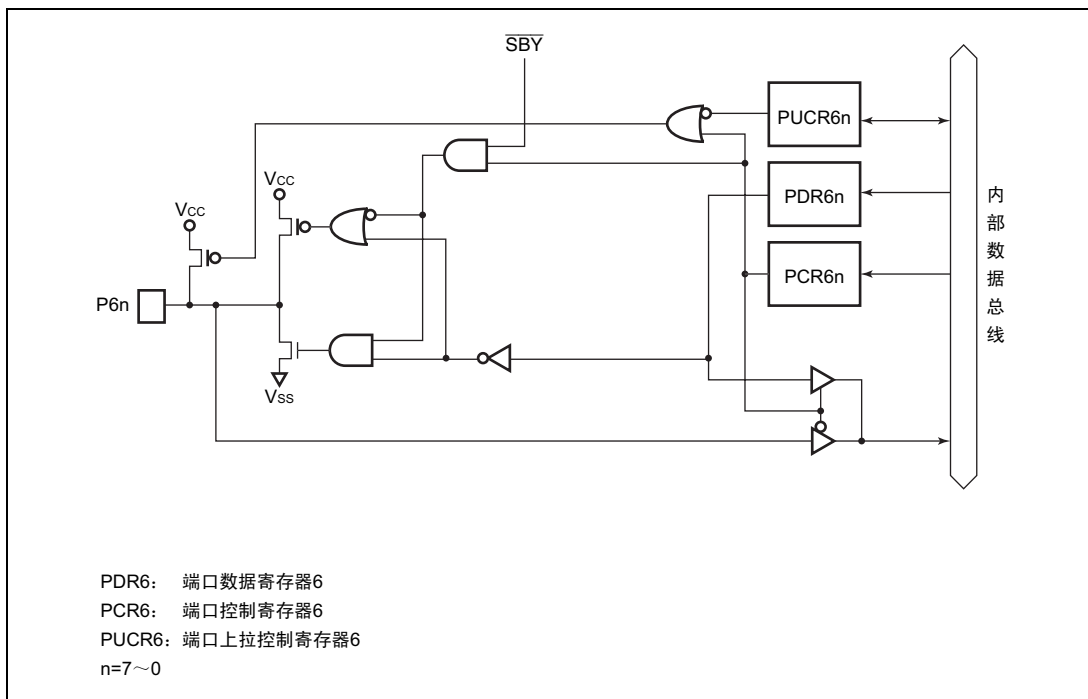


图 C.5 端口 6 框图

C.6 端口 7 框图

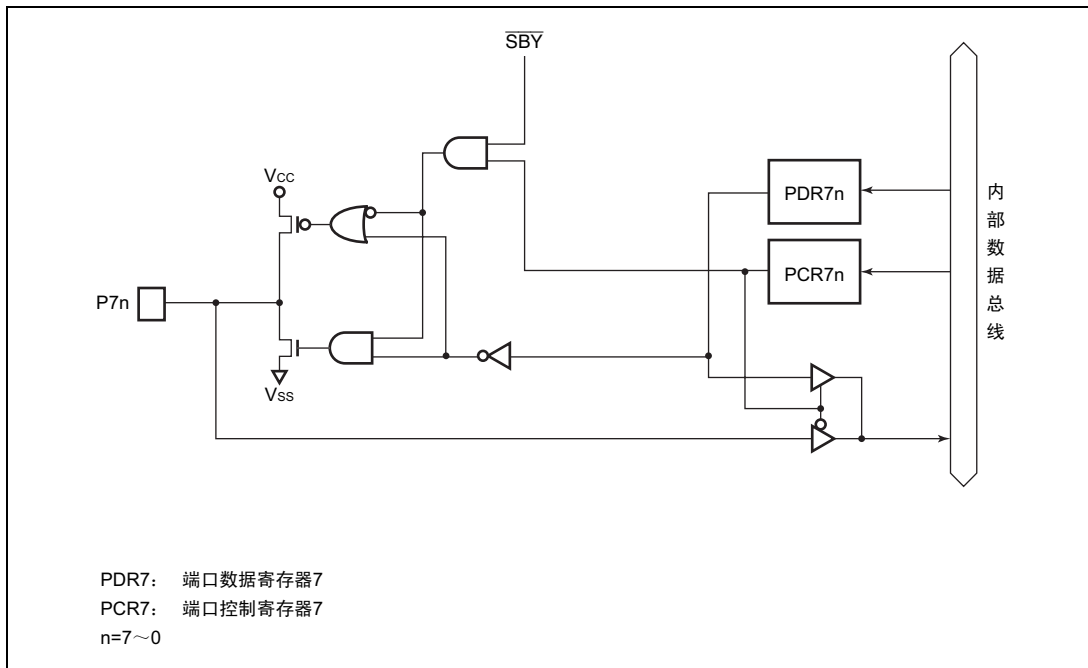


图 C.6 端口 7 框图

C.7 端口 8 框图

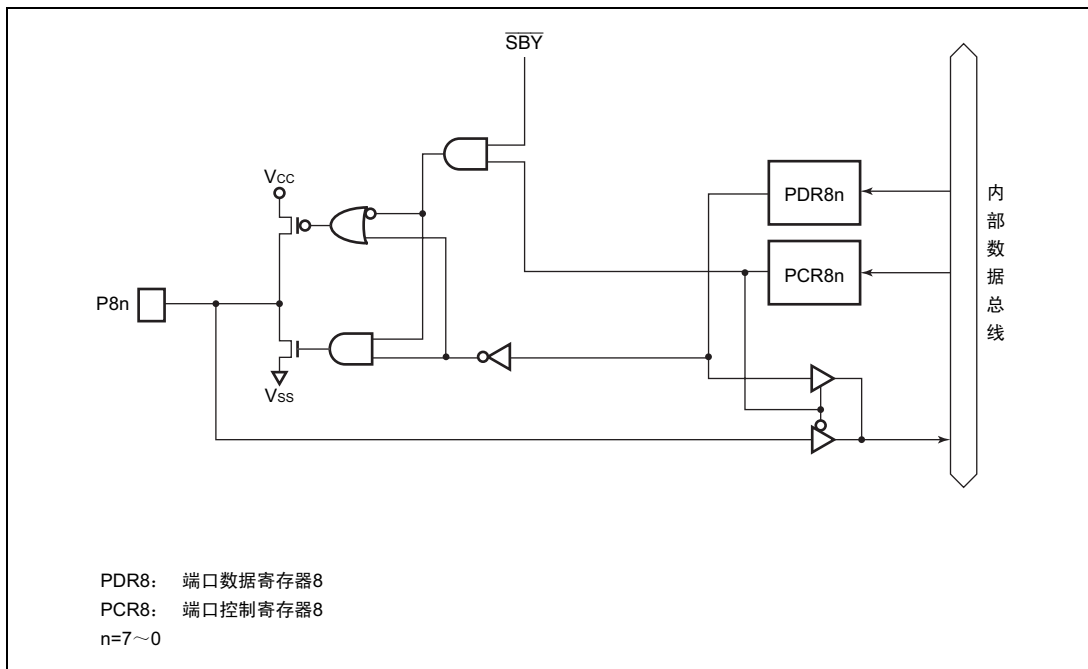


图 C.7 端口 8 框图

C.8 端口 9 框图

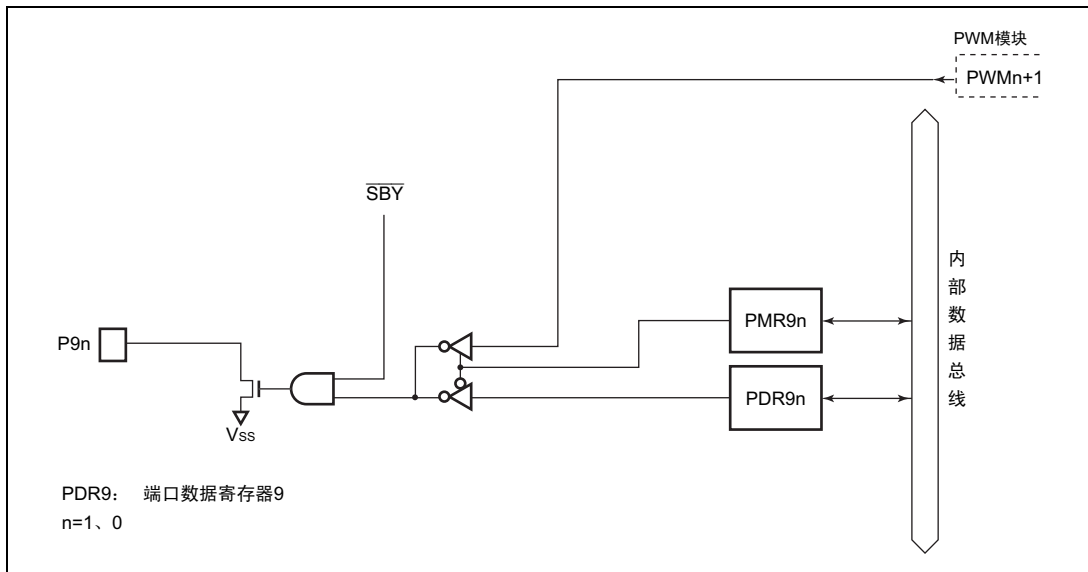


图 C.8 (a) 端口 9 框图 (P91、P90 管脚)

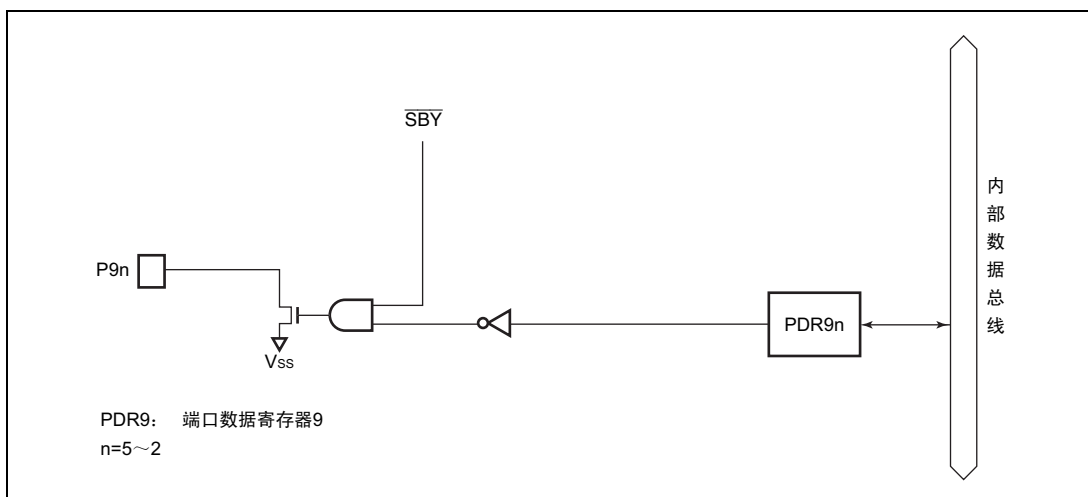


图 C.8 (b) 端口 9 框图 (P95~P92 管脚)

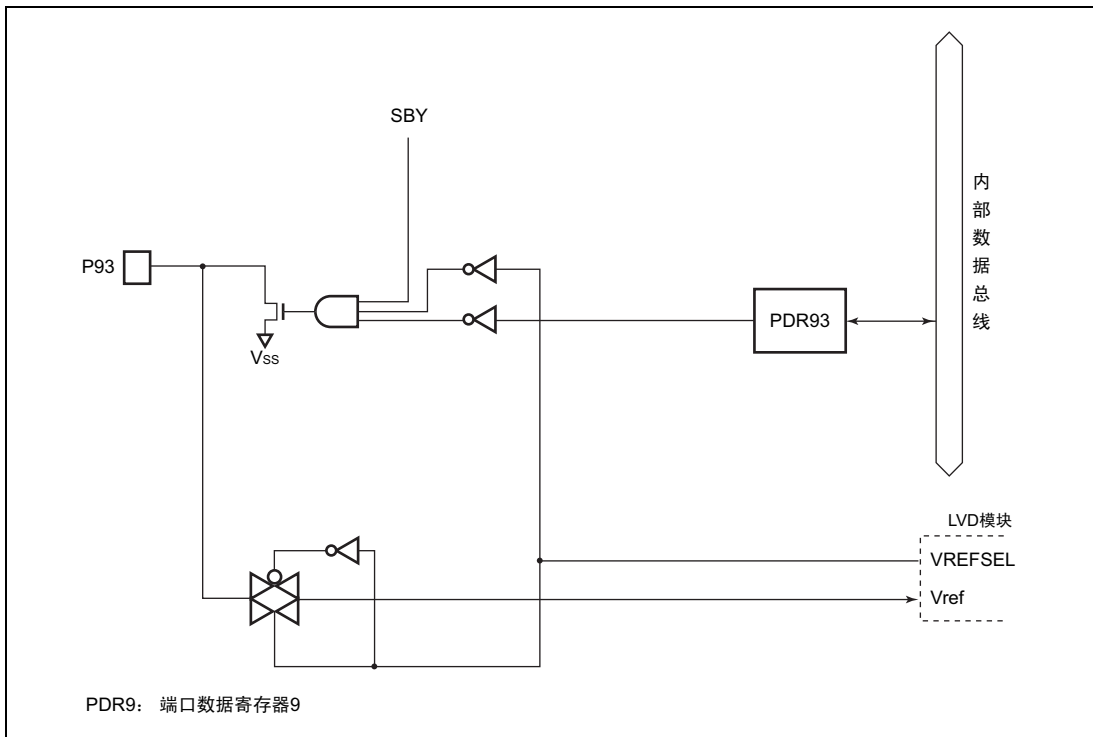


图 C.8 (c) 端口 9 框图 (P93 管脚, 仅 H8/38124 群)

C.9 端口 A 框图

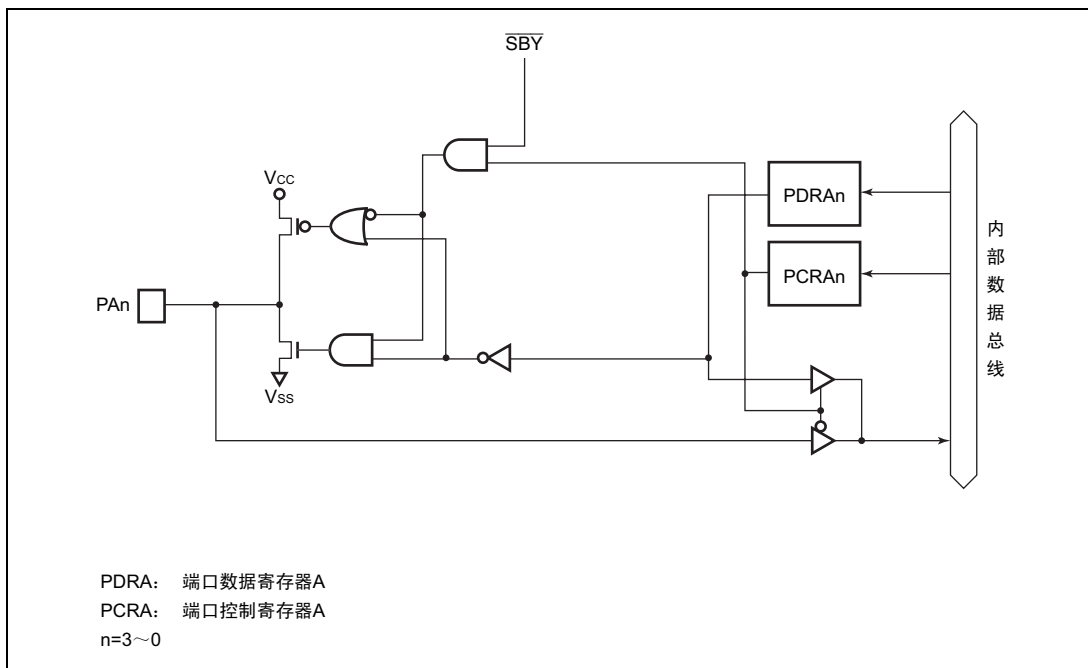


图 C.9 端口 A 框图

C.10 端口 B 框图

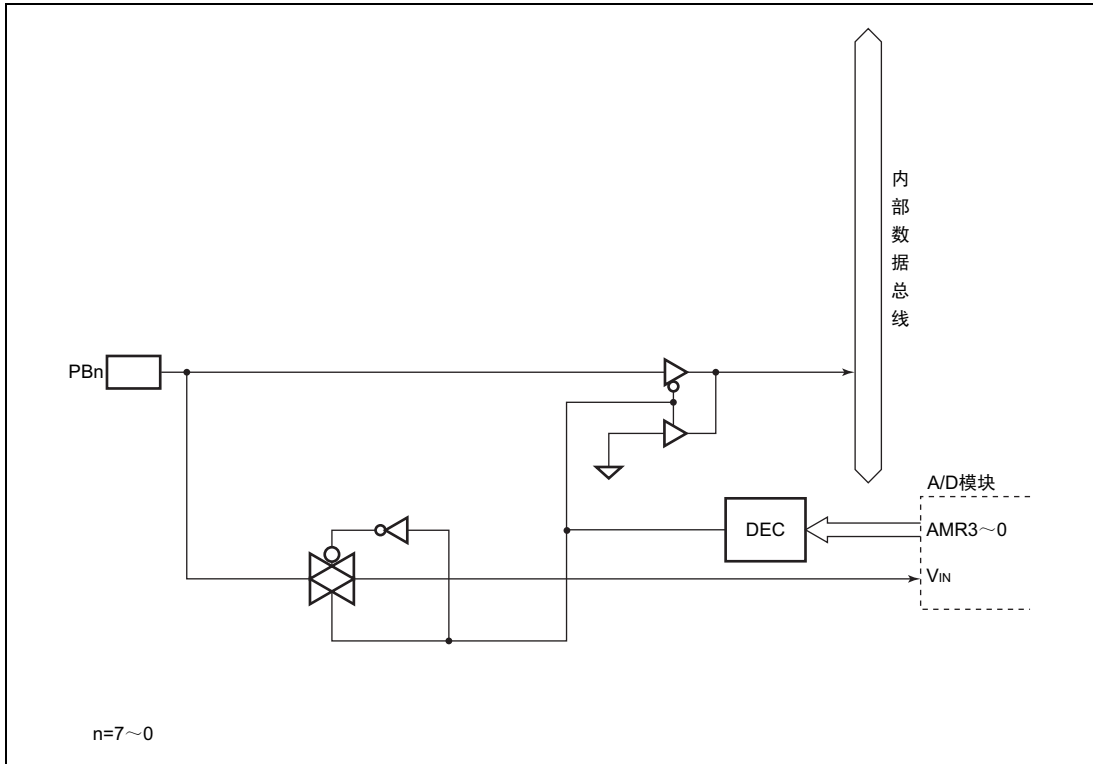


图 C.10 (a) 端口 B 框图

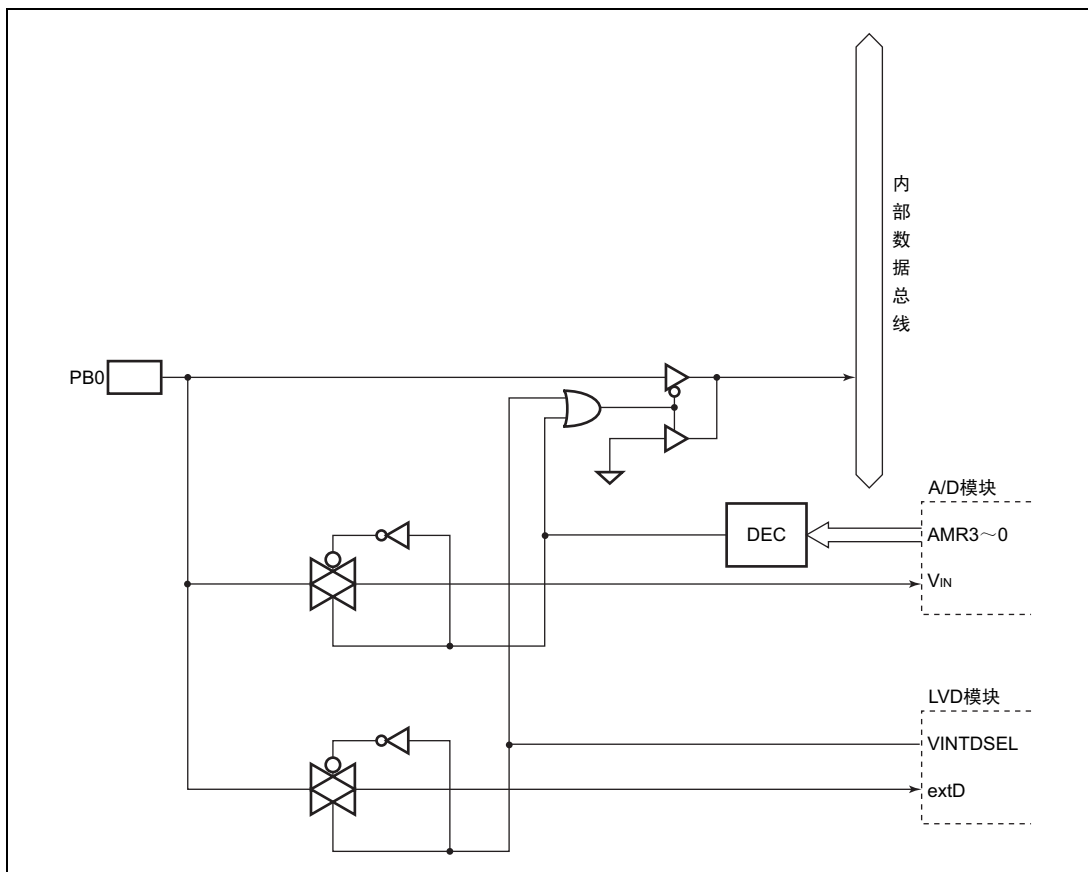


图 C.10 (b) 端口 B 框图 (PB0 管脚, 仅 H8/38124 群)

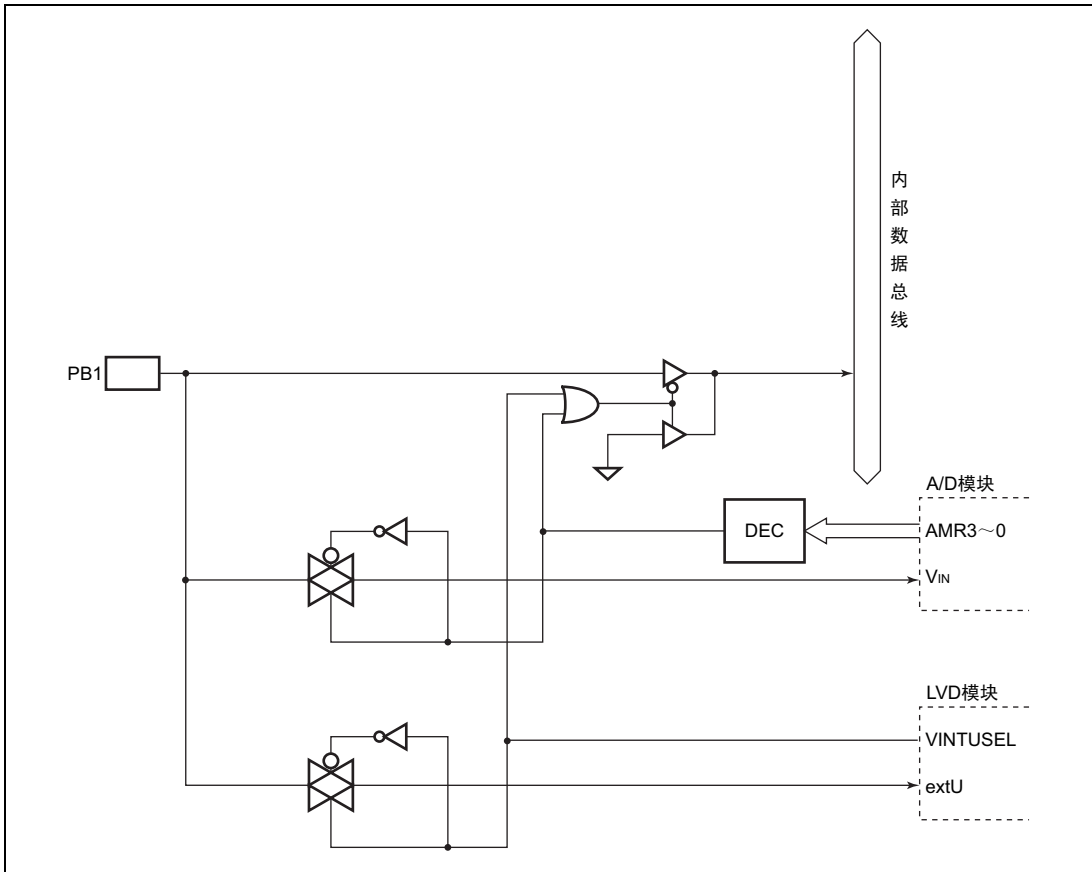


图 C.10 (c) 端口 B 框图 (PB1 管脚, 仅 H8/38124 群)

D. 各处理状态的端口状态

表 D.1 各端口的状态一览表

端口名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P17、P16* ³ 、 P14、P13	高阻抗	保持	保持	高阻抗* ¹	保持	运行	运行
P37~P30	高阻抗	保持	保持	高阻抗* ¹	保持	运行	运行
P43~P40	高阻抗	保持	保持	高阻抗	保持	运行	运行
P57~P50	高阻抗	保持	保持	高阻抗* ¹ * ²	保持	运行	运行
P67~P60	高阻抗	保持	保持	高阻抗* ¹	保持	运行	运行
P77~P70	高阻抗	保持	保持	高阻抗	保持	运行	运行
P87~P80	高阻抗	保持	保持	高阻抗	保持	运行	运行
P95~P90	高阻抗	保持	保持	高阻抗* ¹	保持	运行	运行
PA3~PA0	高阻抗	保持	保持	高阻抗	保持	运行	运行
PB7~PB0	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗

【注】 *1 在上拉 MOS 为 ON 状态下，输出高电平。

*2 HD64F38024 为保持。

*3 H8/38124 群没有此管脚。

E. 产品型号一览表

表 E.1 型号一览表

	产品分类		产品型号	标记型号	封装 (封装代码)	
H8/38024 群	H8/38024	掩模型 ROM 版	标准规格 产品	HD64338024H	HD64338024(***)H	80 管脚 QFP (FP-80A)
				HD64338024F	HD64338024(***)F	80 管脚 QFP (FP-80B)
				HD64338024W	HD64338024(***)W	80 管脚 TQFP (TFP-80C)
				HCD64338024	—	裸芯片
		温度范围扩 大规格产品	HD64338024D	HD64338024(***)H	80 管脚 QFP (FP-80A)	
			HD64338024E	HD64338024(***)F	80 管脚 QFP (FP-80B)	
			HD64338024WI	HD64338024(***)W	80 管脚 TQFP (TFP-80C)	
		ZTAT 版	标准规格 产品	HD64738024H	HD64738024H	80 管脚 QFP (FP-80A)
				HD64738024F	HD64738024F	80 管脚 QFP (FP-80B)
				HD64738024W	HD64738024W	80 管脚 TQFP (TFP-80C)
			温度范围扩 大规格产品	HD64738024D	HD64738024H	80 管脚 QFP (FP-80A)
				HD64738024E	HD64738024F	80 管脚 QFP (FP-80B)
				HD64738024WI	HD64738024W	80 管脚 TQFP (TFP-80C)
		F-ZTAT 版	标准规格 产品	HD64F38024H	HD64F38024H	80 管脚 QFP (FP-80A)
	HD64F38024RH			HD64F38024H		
	HD64F38024F			HD64F38024F	80 管脚 QFP (FP-80B)	
	HD64F38024RF			HD64F38024F		
	HD64F38024W			HD64F38024W	80 管脚 TQFP (TFP-80C)	
	HD64F38024RW			HD64F38024W		
	HD64F38024RLPV			F38024RLPV		85 管脚 TFLGA (TLP-85V)
	HCD64F38024			—	裸芯片	
	HCD64F38024R		—			
	温度范围扩 大规格产品		HD64F38024D	HD64F38024H	80 管脚 QFP (FP-80A)	
			HD64F38024RD	HD64F38024H		
			HD64F38024E	HD64F38024F	80 管脚 QFP (FP-80B)	
			HD64F38024RE	HD64F38024F		
		HD64F38024WI	HD64F38024W	80 管脚 TQFP (TFP-80C)		
	HD64F38024RWI	HD64F38024W				
	HD64F38024RLPIV	F38024RLPIV	85 管脚 TFLGA (TLP-85V)			

附录

H8/38024 群	产品分类		产品型号	标记型号	封装 (封装代码)
	H8/38023	掩模型 ROM 版			
H8/38023	标准规格 产品	HD64338023H	HD64338023(***)H	80 管脚 QFP (FP-80A)	
		HD64338023F	HD64338023(***)F	80 管脚 QFP (FP-80B)	
		HD64338023W	HD64338023(***)W	80 管脚 TQFP (TFP-80C)	
		HCD64338023	—	裸芯片	
	温度范围扩 大规格产品	HD64338023D	HD64338023(***)H	80 管脚 QFP (FP-80A)	
		HD64338023E	HD64338023(***)F	80 管脚 QFP (FP-80B)	
		HD64338023WI	HD64338023(***)W	80 管脚 TQFP (TFP-80C)	
	H8/38022	标准规格 产品	HD64338022H	HD64338022(***)H	80 管脚 QFP (FP-80A)
			HD64338022F	HD64338022(***)F	80 管脚 QFP (FP-80B)
			HD64338022W	HD64338022(***)W	80 管脚 TQFP (TFP-80C)
			HCD64338022	—	裸芯片
	温度范围扩 大规格产品	HD64338022D	HD64338022(***)H	80 管脚 QFP (FP-80A)	
HD64338022E		HD64338022(***)F	80 管脚 QFP (FP-80B)		
HD64338022WI		HD64338022(***)W	80 管脚 TQFP (TFP-80C)		
H8/38021	标准规格 产品	HD64338021H	HD64338021(***)H	80 管脚 QFP (FP-80A)	
		HD64338021F	HD64338021(***)F	80 管脚 QFP (FP-80B)	
		HD64338021W	HD64338021(***)W	80 管脚 TQFP (TFP-80C)	
		HCD64338021	—	裸芯片	
	温度范围扩 大规格产品	HD64338021D	HD64338021(***)H	80 管脚 QFP (FP-80A)	
		HD64338021E	HD64338021(***)F	80 管脚 QFP (FP-80B)	
		HD64338021WI	HD64338021(***)W	80 管脚 TQFP (TFP-80C)	

	产品分类			产品型号	标记型号	封装 (封装代码)	
H8/38024 群	H8/38020	掩模型 ROM 版	标准规格 产品	HD64338020H	HD64338020(***)H	80 管脚 QFP (FP-80A)	
				HD64338020F	HD64338020(***)F	80 管脚 QFP (FP-80B)	
				HD64338020W	HD64338020(***)W	80 管脚 TQFP (TFP-80C)	
				HCD64338020	—	裸芯片	
			温度范围扩 大规格产品	HD64338020D	HD64338020(***)H	80 管脚 QFP (FP-80A)	
				HD64338020E	HD64338020(***)F	80 管脚 QFP (FP-80B)	
				HD64338020WI	HD64338020(***)W	80 管脚 TQFP (TFP-80C)	
H8/38024S 群	H8/38024S	掩模型 ROM 版	标准规格 产品	HD64338024SH	HD64338024(***)H	80 管脚 QFP (FP-80A)	
				HD64338024SW	HD64338024(***)W	80 管脚 TQFP (TFP-80C)	
				HD64338024SLPV	338024S(***)LPV	85 管脚 TFLGA (TLP-85V)	
				HCD64338024S	—	裸芯片	
			温度范围扩 大规格产品	HD64338024SD	HD64338024(***)H	80 管脚 QFP (FP-80A)	
				HD64338024SWI	HD64338024(***)W	80 管脚 TQFP (TFP-80C)	
				HD64338024SLPIV	338024S(***)LPIV	85 管脚 TFLGA (TLP-85V)	
	H8/38023S			标准规格 产品	HD64338023SH	HD64338023(***)H	80 管脚 QFP (FP-80A)
					HD64338023SW	HD64338023(***)W	80 管脚 TQFP (TFP-80C)
					HD64338023SLPV	338023S(***)LPV	85 管脚 TFLGA (TLP-85V)
					HCD64338023S	—	裸芯片
				温度范围扩 大规格产品	HD64338023SD	HD64338023(***)H	80 管脚 QFP (FP-80A)
					HD64338023SWI	HD64338023(***)W	80 管脚 TQFP (TFP-80C)
					HD64338023SLPIV	338023S(***)LPIV	85 管脚 TFLGA (TLP-85V)
	H8/38022S			标准规格 产品	HD64338022SH	HD64338022(***)H	80 管脚 QFP (FP-80A)
					HD64338022SW	HD64338022(***)W	80 管脚 TQFP (TFP-80C)
					HD64338022SLPV	338022S(***)LPV	85 管脚 TFLGA (TLP-85V)
					HCD64338022S	—	裸芯片

附录

		产品分类		产品型号	标记型号	封装 (封装代码)	
H8/38024S 群	H8/38022S	掩模型 ROM 版	温度范围扩 大规格产品	HD64338022SD	HD64338022(***)H	80 管脚 QFP (FP-80A)	
				HD64338022SWI	HD64338022(***)W	80 管脚 TQFP (TFP-80C)	
				HD64338022SLPIV	338022S(***)LPIV	85 管脚 TFLGA (TLP-85V)	
			H8/38021S	标准规格 产品	HD64338021SH	HD64338021(***)H	80 管脚 QFP (FP-80A)
					HD64338021SW	HD64338021(***)W	80 管脚 TQFP (TFP-80C)
					HD64338021SLPV	338021S(***)LPV	85 管脚 TFLGA (TLP-85V)
	HCD64338021S	—			裸芯片		
	温度范围扩 大规格产品	HD64338021SD	HD64338021(***)H	80 管脚 QFP (FP-80A)			
		HD64338021SWI	HD64338021(***)W	80 管脚 TQFP (TFP-80C)			
		HD64338021SLPIV	338021S(***)LPIV	85 管脚 TFLGA (TLP-85V)			
	H8/38020S	标准规格 产品	HD64338020SH	HD64338020(***)H	80 管脚 QFP (FP-80A)		
			HD64338020SW	HD64338020(***)W	80 管脚 TQFP (TFP-80C)		
			HD64338020SLPV	338020S(***)LPV	85 管脚 TFLGA (TLP-85V)		
			HCD64338020S	—	裸芯片		
		温度范围扩 大规格产品	HD64338020SD	HD64338020(***)H	80 管脚 QFP (FP-80A)		
			HD64338020SWI	HD64338020(***)W	80 管脚 TQFP (TFP-80C)		
			HD64338020SLPIV	338020S(***)LPIV	85 管脚 TFLGA (TLP-85V)		
	H8/38124 群	H8/38124	掩模型 ROM 版	标准规格 产品	HD64338124H	38124(***)H	80 管脚 QFP (FP-80A)
					HD64338124W	38124(***)W	80 管脚 TQFP (TFP-80C)
温度范围扩 大规格产品				HD64338124D	38124(***)H	80 管脚 QFP (FP-80A)	
				HD64338124WI	38124(***)W	80 管脚 TQFP (TFP-80C)	
F-ZTAT 版			标准规格 产品	HD64F38124H	F38124H	80 管脚 QFP (FP-80A)	
				HD64F38124W	F38124W	80 管脚 TQFP (TFP-80C)	
		温度范围扩 大规格产品	HD64F38124HW	F38124H	80 管脚 QFP (FP-80A)		
			HD64F38124WW	F38124W	80 管脚 TQFP (TFP-80C)		

	产品分类			产品型号	标记型号	封装 (封装代码)
H8/38124 群	H8/38123	掩模型 ROM 版	标准规格 产品	HD64338123H	38123(***)H	80 管脚 QFP (FP-80A)
				HD64338123W	38123(***)W	80 管脚 TQFP (TFP-80C)
			温度范围扩 大规格产品	HD64338123HW	38123(***)H	80 管脚 QFP (FP-80A)
				HD64338123WW	38123(***)W	80 管脚 TQFP (TFP-80C)
	H8/38122	掩模型 ROM 版	标准规格 产品	HD64338122H	38122(***)H	80 管脚 QFP (FP-80A)
				HD64338122W	38122(***)W	80 管脚 TQFP (TFP-80C)
			温度范围扩 大规格产品	HD64338122HW	38122(***)H	80 管脚 QFP (FP-80A)
				HD64338122WW	38122(***)W	80 管脚 TQFP (TFP-80C)
		F-ZTAT 版	标准规格 产品	HD64F38122H	F38122H	80 管脚 QFP (FP-80A)
				HD64F38122W	F38122W	80 管脚 TQFP (TFP-80C)
			温度范围扩 大规格产品	HD64F38122HW	F38122H	80 管脚 QFP (FP-80A)
				HD64F38122WW	F38122W	80 管脚 TQFP (TFP-80C)
	H8/38121	掩模型 ROM 版	标准规格 产品	HD64338121H	38121(***)H	80 管脚 QFP (FP-80A)
				HD64338121W	38121(***)W	80 管脚 TQFP (TFP-80C)
			温度范围扩 大规格产品	HD64338121HW	38121(***)H	80 管脚 QFP (FP-80A)
				HD64338121WW	38121(***)W	80 管脚 TQFP (TFP-80C)
H8/38120		掩模型 ROM 版	标准规格 产品	HD64338120H	38120(***)H	80 管脚 QFP (FP-80A)
				HD64338120W	38120(***)W	80 管脚 TQFP (TFP-80C)
			温度范围扩 大规格产品	HD64338120HW	38120(***)H	80 管脚 QFP (FP-80A)
				HD64338120WW	38120(***)W	80 管脚 TQFP (TFP-80C)

【注】 1. 掩模型 ROM 版的 (***) 为 ROM 代码。

F. 外形尺寸图

H8/38024 群、H8/38124 群和 H8/38024S 群的外形尺寸图 FP-80A、FP-80B 和 TFP-80C 分别如图 F.1~图 F.3 所示。

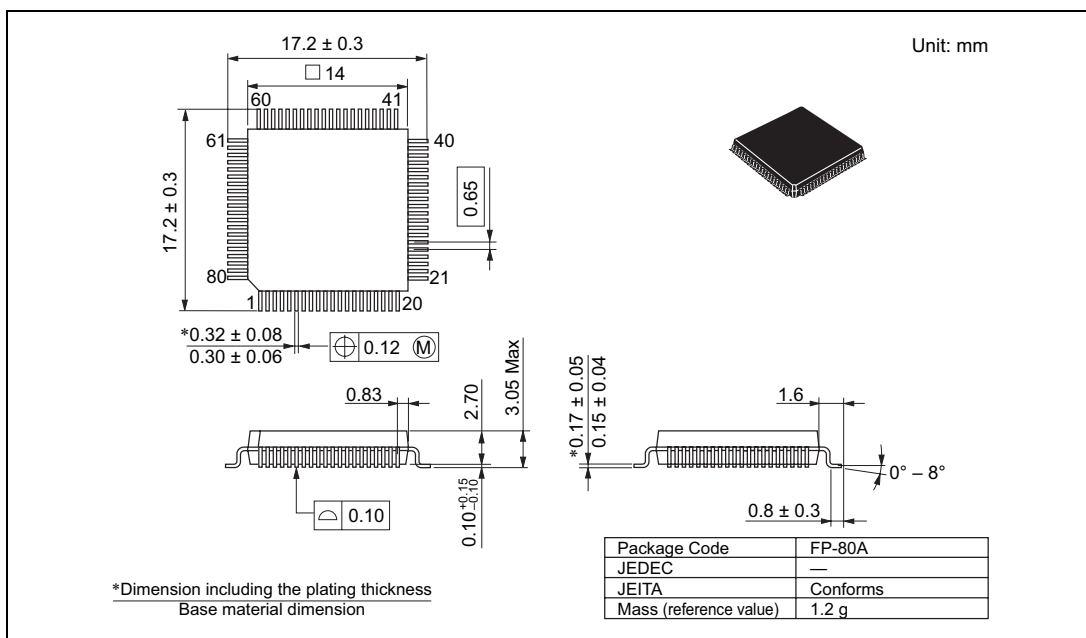


图 F.1 外形尺寸图 (FP-80A)

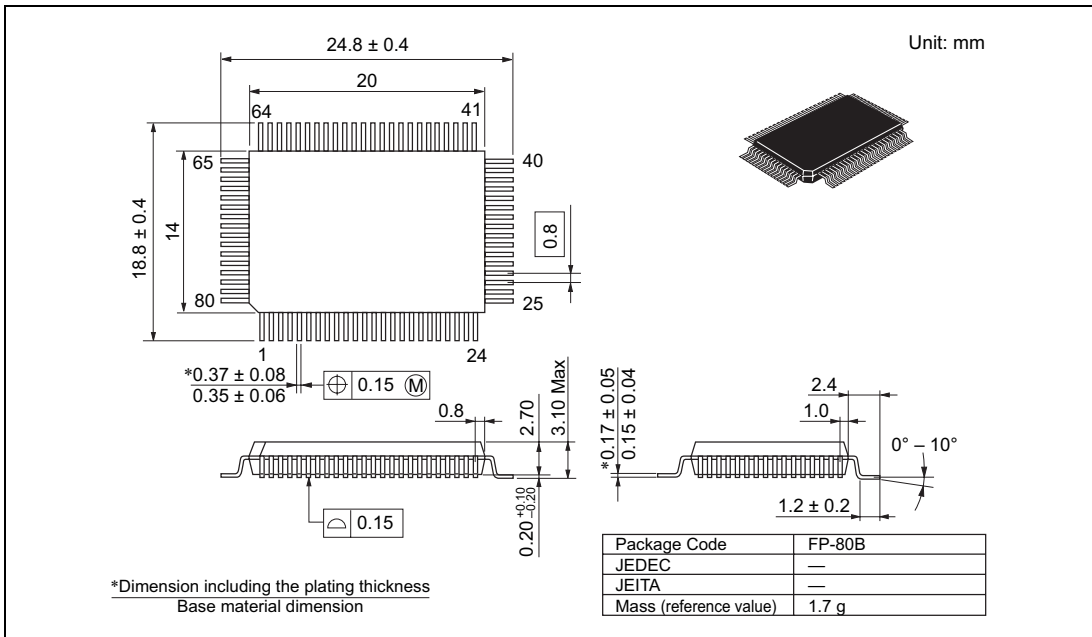


图 F.2 外形尺寸图 (FP-80B)

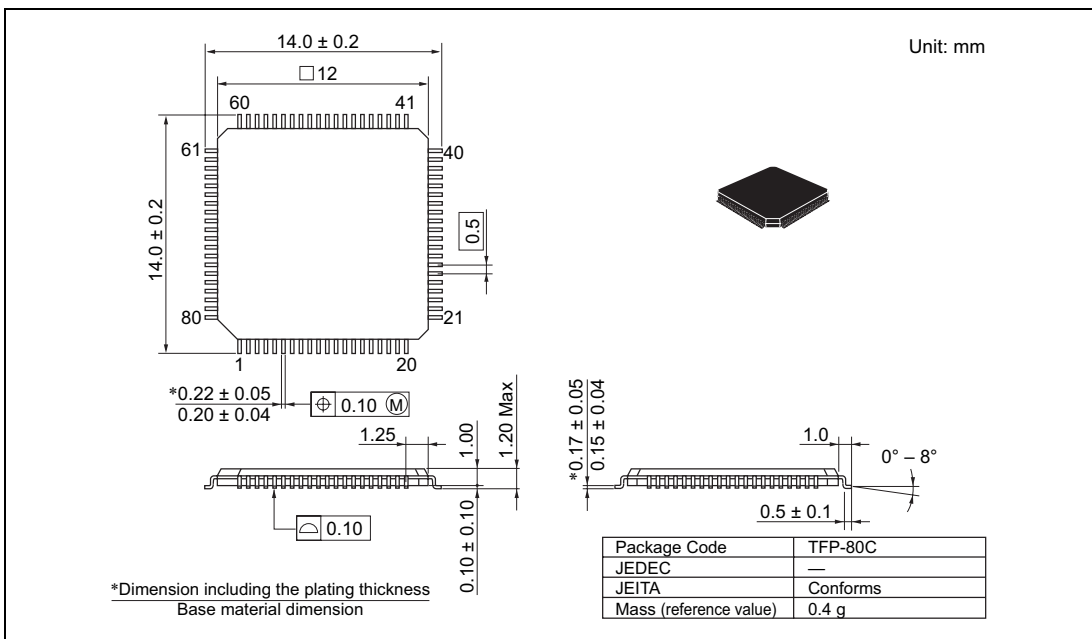


图 F.3 外形尺寸图 (TFP-80C)

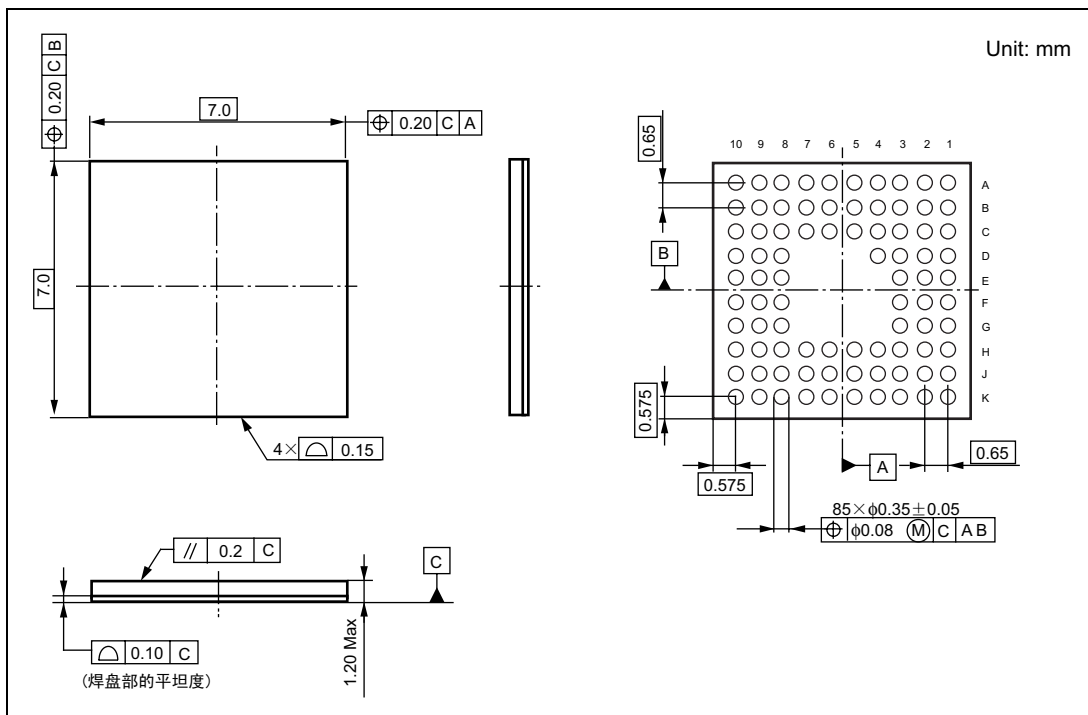


图 F.4 外形尺寸图 (TLP-85V)

G. 芯片形状规格图

HCD64338024、HCD64338023、HCD64338022、HCD64338021 以及 HCD64338020 的芯片断面图如图 G.1 所示，HCD64F38024 和 HCD64F38024R 的芯片断面图如图 G.2 所示，HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S 以及 HCD64338020S 的芯片断面图如图 G.3 所示。

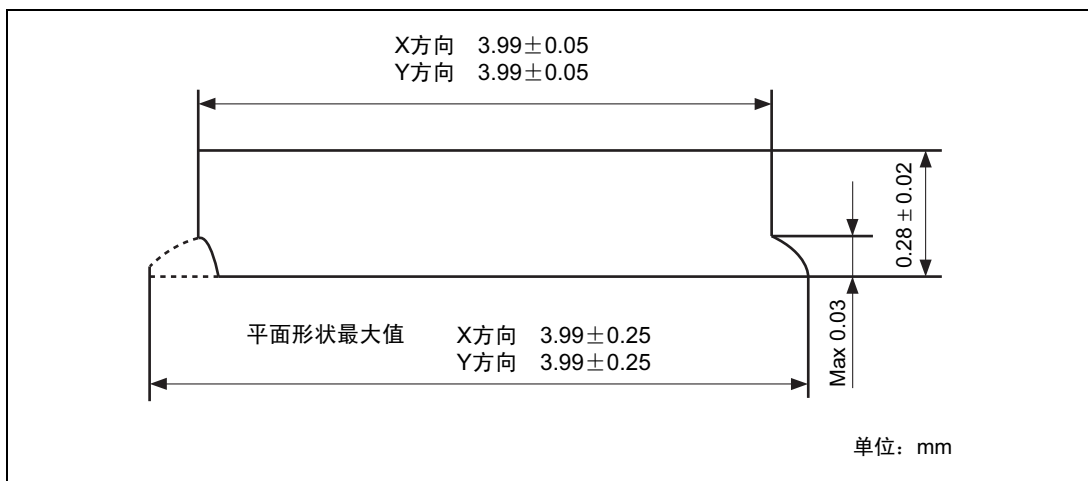


图 G.1 芯片断面图 (HCD64338024、HCD64338023、HCD64338022、HCD64338021、HCD64338020)

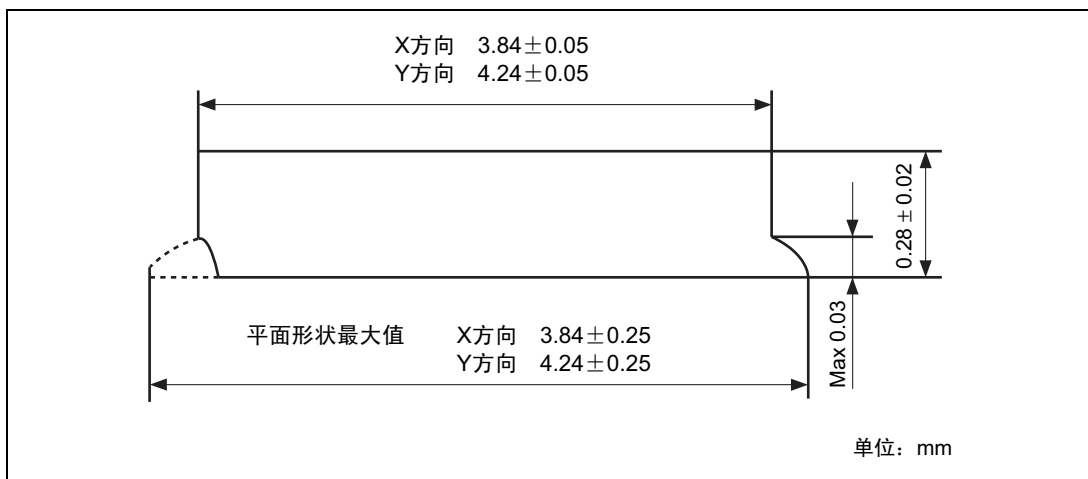


图 G.2 芯片断面图 (HCD64F38024、HCD64F38024R)

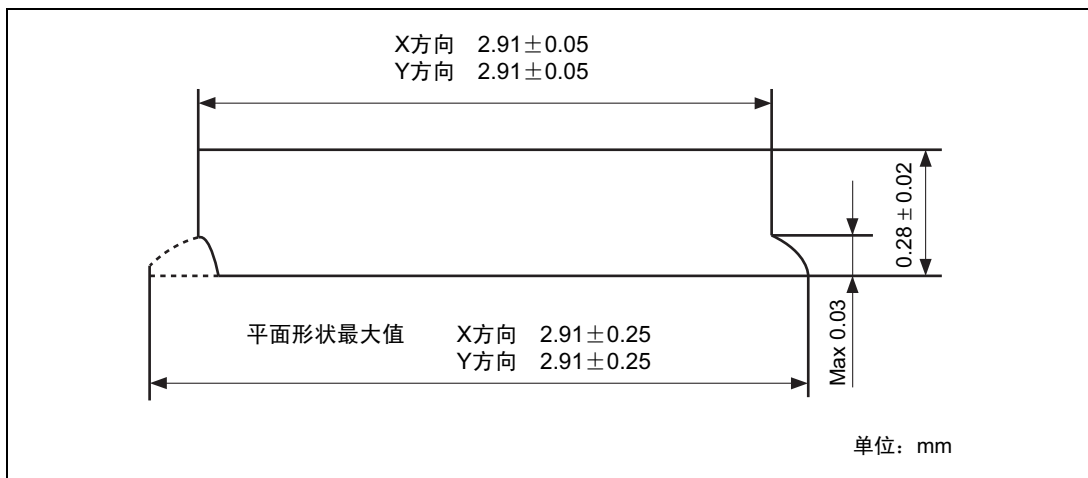


图 G.3 芯片断面图 (HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S、HCD64338020S)

H. 焊接区形状图

HCD64338024、HCD64338023、HCD64338022、HCD64338021、HCD64338020、HCD64F38024、HCD64F38024R、HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S 以及 HCD64338020S 的焊接区形状图如图 H.1 所示。

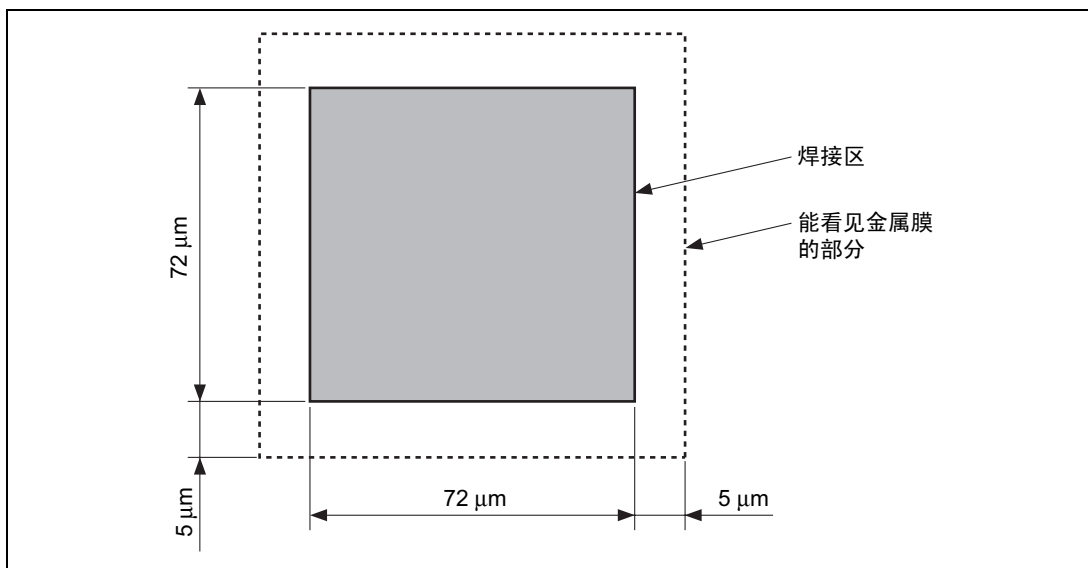


图 H.1 焊接区形状图

1. 芯片托盘规格图

HCD64338024、HCD64338023、HCD64338022、HCD64338021 以及 HCD64338020 的芯片托盘规格图如图 1.1 所示，HCD64F38024 和 HCD64F38024R 的芯片托盘规格图如图 1.2 所示，HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S 以及 HCD64338020S 的芯片托盘规格图如图 1.3 所示。

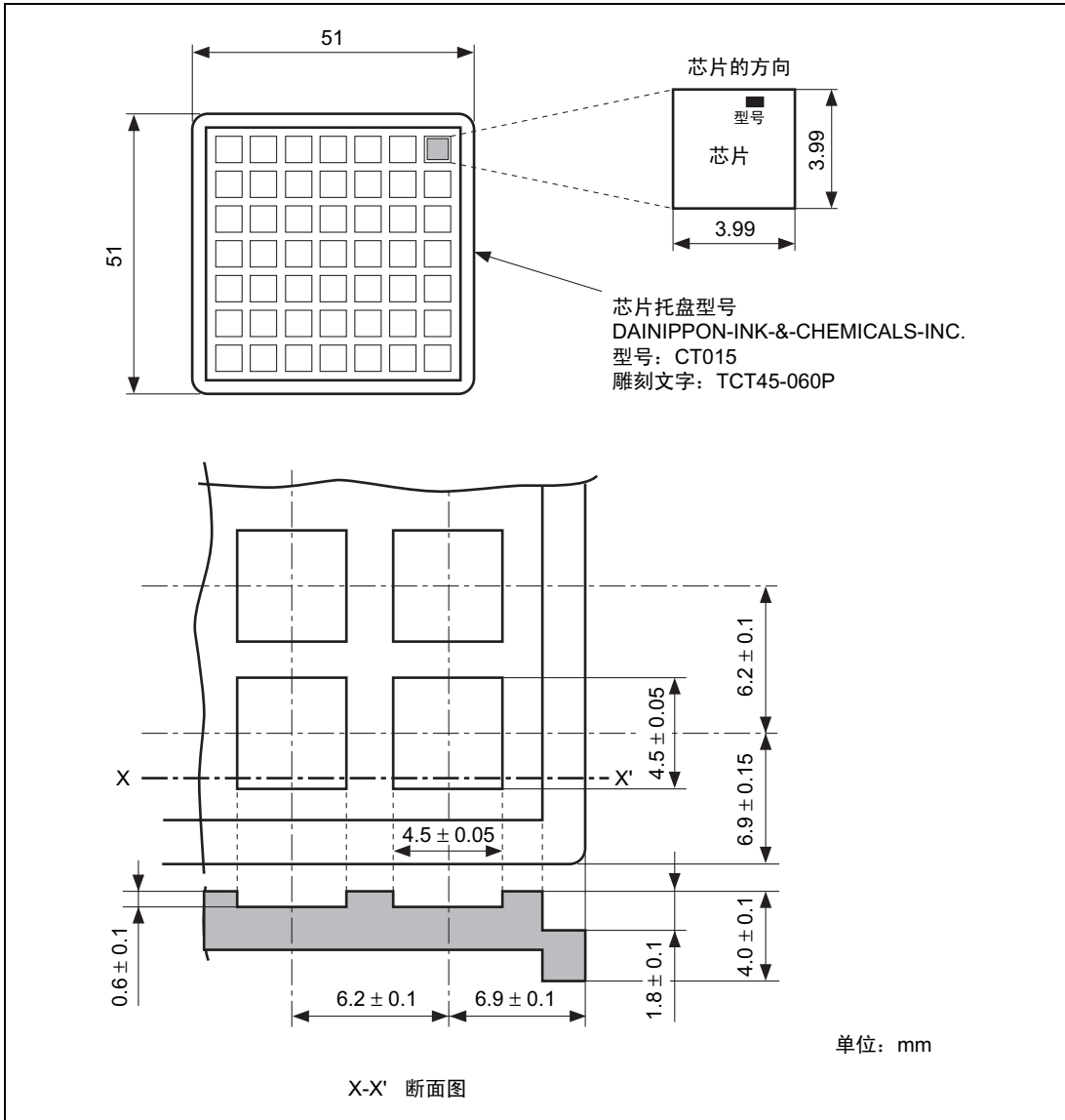


图 1.1 芯片托盘规格图 (HCD64338024、HCD64338023、HCD64338022、HCD64338021、HCD64338020)

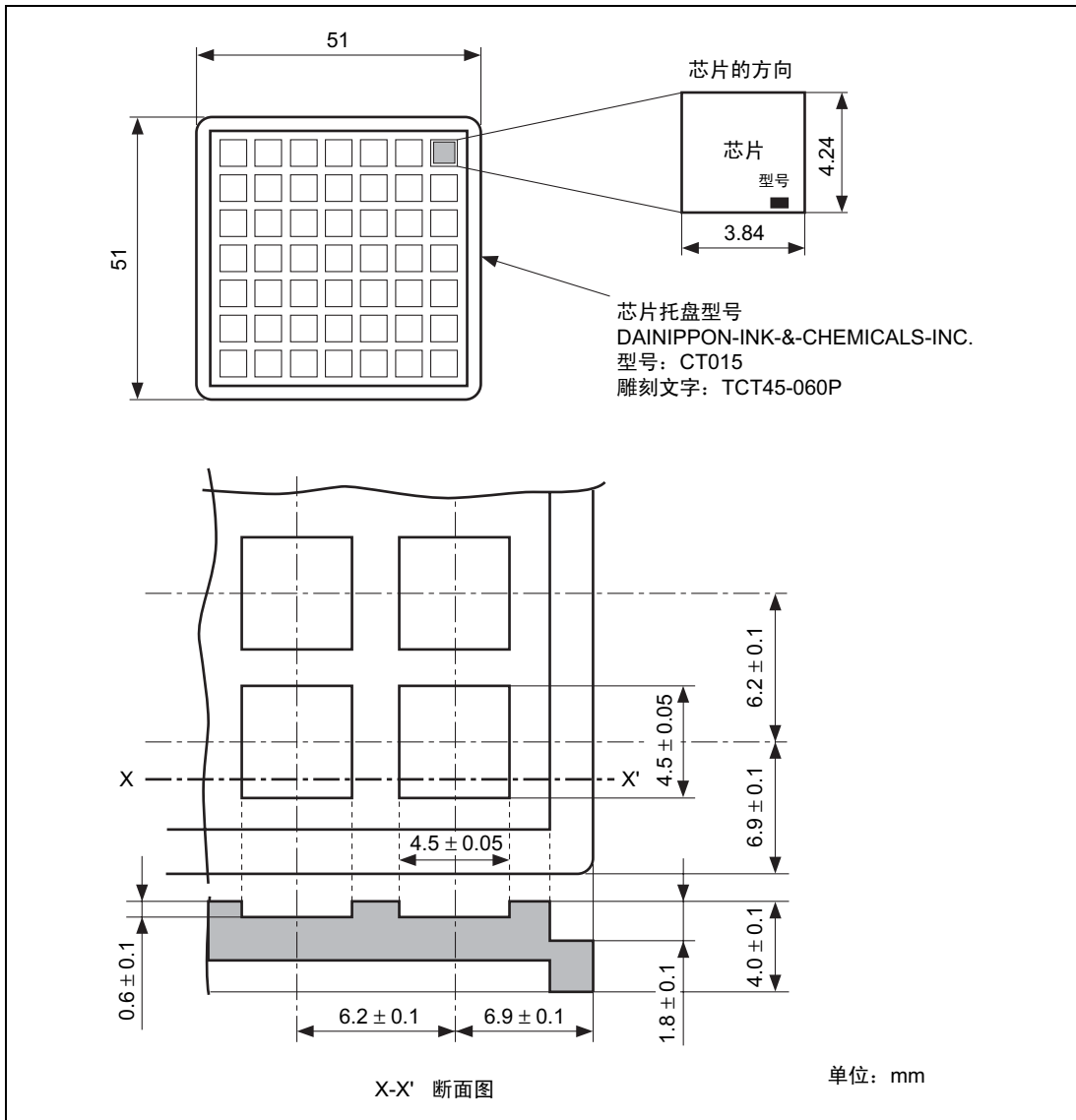


图 I.2 芯片托盘规格图 (HCD64F38024、HCD64F38024R)

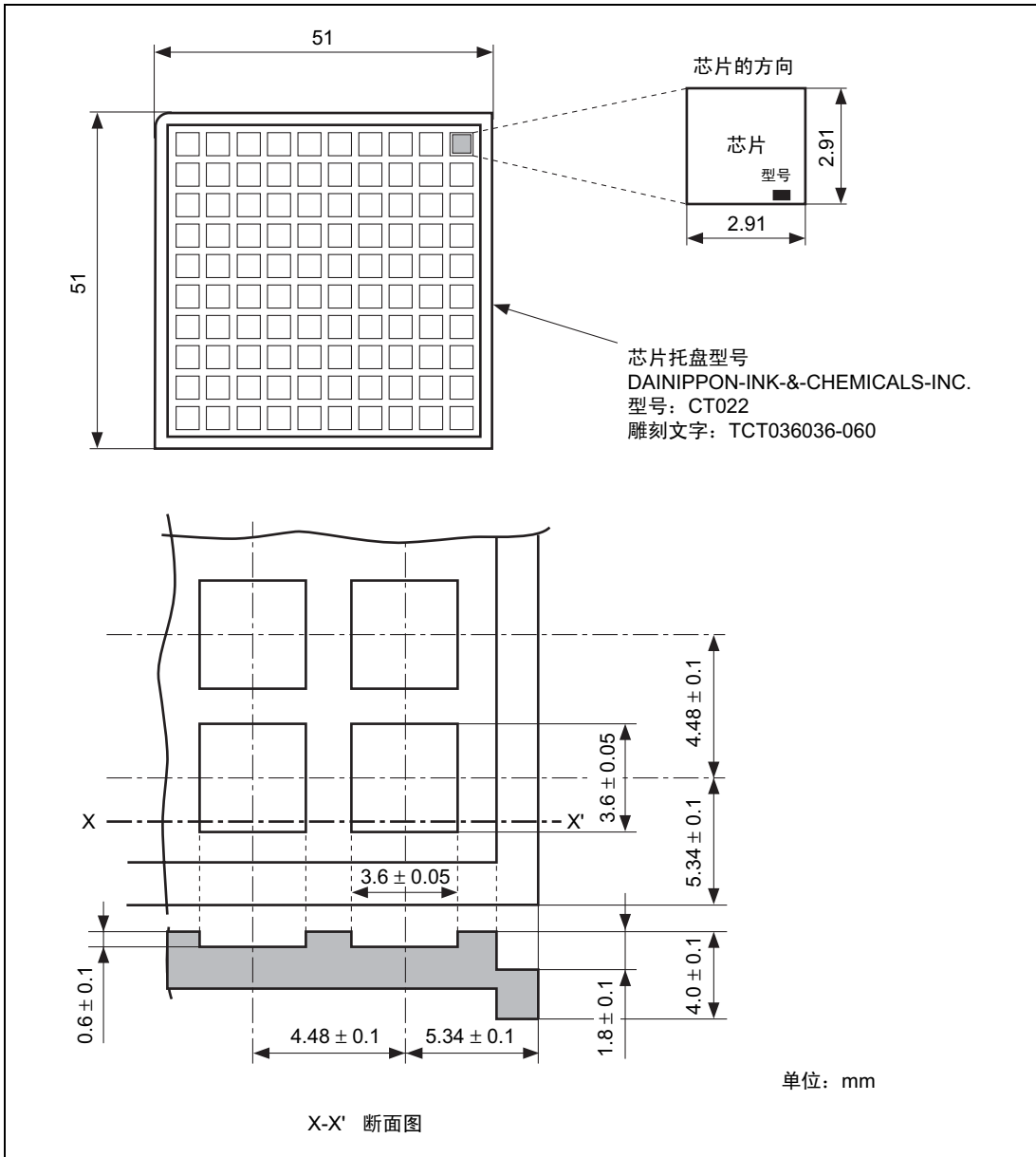


图 I.3 芯片托盘规格图 (HCD64338024S、HCD64338023S、HCD64338022S、HCD64338021S、HCD64338020S)

修订记录	H8/38024、H8/38024S、H8/38024R、 H8/38124 群硬件手册
------	---

Rev.	发行日	修订内容																																		
		页	修订处																																	
1.00	2004.06.02	—	初版发行																																	
2.00	2006.01.31	全体	产品变更： H8/38024F-ZTATA→H8/38024R 产品追加： HD64F38122																																	
		前言	修改了表： <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="4" style="text-align: center;">H8/38124 群</th> </tr> <tr> <th colspan="2"></th> <th style="text-align: center;">Flash</th> <th style="text-align: center;">Mask</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">存储器</td> <td style="text-align: center;">ROM</td> <td style="text-align: center;">16K/32K</td> <td style="text-align: center;">8K→32K</td> </tr> <tr> <td style="text-align: center;">RAM</td> <td style="text-align: center;">1K</td> <td style="text-align: center;">512 or 1K</td> </tr> <tr> <td rowspan="3" style="text-align: center;">工作电压和 工作频率</td> <td style="text-align: center;">4.5~</td> <td style="text-align: center;">20MHz</td> <td style="text-align: center;">20MHz</td> </tr> <tr> <td style="text-align: center;">5.5V</td> <td></td> <td></td> </tr> <tr> <td style="text-align: center;">2.7~</td> <td style="text-align: center;">20MHz</td> <td style="text-align: center;">20MHz</td> </tr> <tr> <td></td> <td style="text-align: center;">5.5V</td> <td></td> <td></td> </tr> <tr> <td style="text-align: center;">工作温度</td> <td colspan="3" style="text-align: center;">标准规格：-20~75℃ WTR：-40~85℃</td> </tr> </tbody> </table> <p>修改了：</p> <p>注意：在使用内部仿真器开发和调试 H8/38024、H8/38024R、H8/38124 的程序时，必须注意如下限制事项：</p>	H8/38124 群						Flash	Mask	存储器	ROM	16K/32K	8K→32K	RAM	1K	512 or 1K	工作电压和 工作频率	4.5~	20MHz	20MHz	5.5V			2.7~	20MHz	20MHz		5.5V			工作温度	标准规格：-20~75℃ WTR：-40~85℃		
		H8/38124 群																																		
		Flash	Mask																																	
存储器	ROM	16K/32K	8K→32K																																	
	RAM	1K	512 or 1K																																	
工作电压和 工作频率	4.5~	20MHz	20MHz																																	
	5.5V																																			
	2.7~	20MHz	20MHz																																	
	5.5V																																			
工作温度	标准规格：-20~75℃ WTR：-40~85℃																																			
2、5	修改了表： <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">项目</th> <th style="text-align: center;">规格</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">时钟振荡器</td> <td> 内置 2 种时钟振荡器 • 系统时钟振荡器： 1.0~16MHz (H8/38024 群) 1.0~10MHz (HD64F38024、 HD64F38024R 以及 H8/38024S 群) 2.0~20MHz (H8/38124 群) • 子时钟振荡器：32.768kHz、38.4kHz* (*H8/38124 群除外) H8/38124 群有内部振荡器。 </td> </tr> <tr> <td style="text-align: center;">产品系列</td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="3" style="text-align: center;">产品系列</th> <th rowspan="2" style="text-align: center;">封装</th> <th rowspan="2" style="text-align: center;">ROM/RAM 容量 (字节)</th> </tr> <tr> <th style="text-align: center;">掩模 ROM 版</th> <th style="text-align: center;">ZTAT 版</th> <th style="text-align: center;">F-ZTAT 版</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">HD64338122</td> <td style="text-align: center;">—</td> <td style="text-align: center;">HD64F38122</td> <td style="text-align: center;">FP-80A TFP-80C</td> <td style="text-align: center;">16K/1k</td> </tr> </tbody> </table> </td> </tr> </tbody> </table>	项目	规格	时钟振荡器	内置 2 种时钟振荡器 • 系统时钟振荡器： 1.0~16MHz (H8/38024 群) 1.0~10MHz (HD64F38024、 HD64F38024R 以及 H8/38024S 群) 2.0~20MHz (H8/38124 群) • 子时钟振荡器：32.768kHz、38.4kHz* (*H8/38124 群除外) H8/38124 群有内部振荡器。	产品系列	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="3" style="text-align: center;">产品系列</th> <th rowspan="2" style="text-align: center;">封装</th> <th rowspan="2" style="text-align: center;">ROM/RAM 容量 (字节)</th> </tr> <tr> <th style="text-align: center;">掩模 ROM 版</th> <th style="text-align: center;">ZTAT 版</th> <th style="text-align: center;">F-ZTAT 版</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">HD64338122</td> <td style="text-align: center;">—</td> <td style="text-align: center;">HD64F38122</td> <td style="text-align: center;">FP-80A TFP-80C</td> <td style="text-align: center;">16K/1k</td> </tr> </tbody> </table>	产品系列			封装	ROM/RAM 容量 (字节)	掩模 ROM 版	ZTAT 版	F-ZTAT 版	HD64338122	—	HD64F38122	FP-80A TFP-80C	16K/1k																
项目	规格																																			
时钟振荡器	内置 2 种时钟振荡器 • 系统时钟振荡器： 1.0~16MHz (H8/38024 群) 1.0~10MHz (HD64F38024、 HD64F38024R 以及 H8/38024S 群) 2.0~20MHz (H8/38124 群) • 子时钟振荡器：32.768kHz、38.4kHz* (*H8/38124 群除外) H8/38124 群有内部振荡器。																																			
产品系列	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="3" style="text-align: center;">产品系列</th> <th rowspan="2" style="text-align: center;">封装</th> <th rowspan="2" style="text-align: center;">ROM/RAM 容量 (字节)</th> </tr> <tr> <th style="text-align: center;">掩模 ROM 版</th> <th style="text-align: center;">ZTAT 版</th> <th style="text-align: center;">F-ZTAT 版</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">HD64338122</td> <td style="text-align: center;">—</td> <td style="text-align: center;">HD64F38122</td> <td style="text-align: center;">FP-80A TFP-80C</td> <td style="text-align: center;">16K/1k</td> </tr> </tbody> </table>	产品系列			封装	ROM/RAM 容量 (字节)	掩模 ROM 版	ZTAT 版	F-ZTAT 版	HD64338122	—	HD64F38122	FP-80A TFP-80C	16K/1k																						
产品系列			封装	ROM/RAM 容量 (字节)																																
掩模 ROM 版	ZTAT 版	F-ZTAT 版																																		
HD64338122	—	HD64F38122	FP-80A TFP-80C	16K/1k																																

修改了：
 H8/38024、H8/38024R 和 H8/38024S 群的内部框图如图 1.1 (1) 所示，H8/38124 群的内部框图如图 1.1 (2) 所示。

修改了图 1.1 (1) 及其图标：

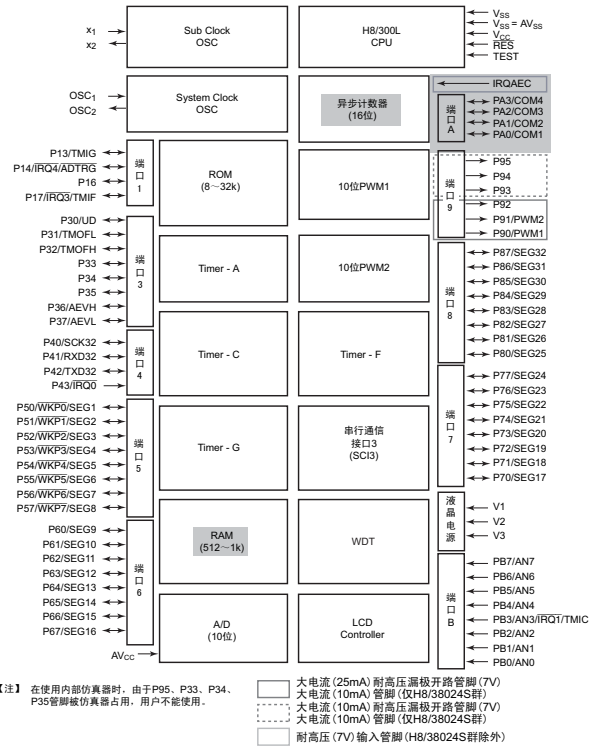
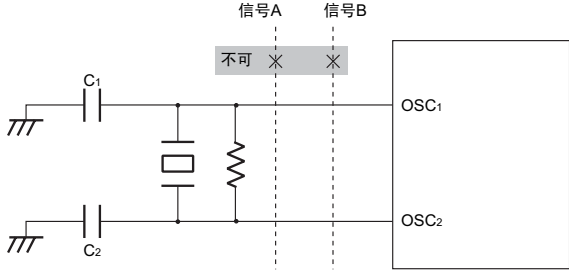



图 1.1 (1) 内部框图 (H8/38024、H8/38024R 和 H8/38024S 群)

	7	<p>修改了图 1.1 (2) :</p> <p>【注】在使用内部仿真器时，由于P95、P33、P34、P35管脚被仿真器占用，用户不能使用。 □ 大电流 (15mA) 管脚</p>																																									
	8	<p>修改了： H8/38024、H8/38024R、H8/38124 和 H8/38024S 群的管脚排列图如图 1.2、图 1.3 和图 1.4 所示。</p>																																									
	10	<p>修改了图标： 图 1.3 管脚排列图 (FP-80B: 俯视图，H8/38024、H8/38024R 群)</p>																																									
	18、23	<p>修改了表、追加了注：</p> <table border="1" data-bbox="592 1296 1188 1516"> <thead> <tr> <th rowspan="2">分类</th> <th rowspan="2">符号</th> <th colspan="3">管脚序号</th> <th rowspan="2">焊接区序号*5</th> <th rowspan="2">焊接区序号*5</th> <th rowspan="2">焊接区序号*5</th> <th rowspan="2">输入/输出</th> <th rowspan="2">功能</th> </tr> <tr> <th>FP-80A TFP-80C</th> <th>FP-80B</th> <th>TLP-85V</th> </tr> </thead> <tbody> <tr> <td>电源</td> <td>CV_{cc} 源</td> <td>4</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>输入</td> <td>电源 这是内部降压电源管脚。为了稳定，必须在此管脚和V_{ss}管脚之间接入0.1 F左右的电容。</td> </tr> <tr> <td rowspan="2">时钟</td> <td>X₁</td> <td>6</td> <td>8</td> <td>D3</td> <td>6</td> <td>7</td> <td>6</td> <td>输入</td> <td rowspan="2">连接32.768kHz或者38.4kHz的晶体振荡器。有关连接例子请参照“第4章 时钟振荡器”。</td> </tr> <tr> <td>X₂</td> <td>7</td> <td>9</td> <td>D2</td> <td>7</td> <td>8</td> <td>7</td> <td>输出</td> </tr> </tbody> </table> <p>*5 H8/38124 群除外</p>	分类	符号	管脚序号			焊接区序号*5	焊接区序号*5	焊接区序号*5	输入/输出	功能	FP-80A TFP-80C	FP-80B	TLP-85V	电源	CV _{cc} 源	4	-	-	-	-	-	输入	电源 这是内部降压电源管脚。为了稳定，必须在此管脚和V _{ss} 管脚之间接入0.1 F左右的电容。	时钟	X ₁	6	8	D3	6	7	6	输入	连接32.768kHz或者38.4kHz的晶体振荡器。有关连接例子请参照“第4章 时钟振荡器”。	X ₂	7	9	D2	7	8	7	输出
分类	符号	管脚序号			焊接区序号*5	焊接区序号*5	焊接区序号*5						输入/输出	功能																													
		FP-80A TFP-80C	FP-80B	TLP-85V																																							
电源	CV _{cc} 源	4	-	-	-	-	-	输入	电源 这是内部降压电源管脚。为了稳定，必须在此管脚和V _{ss} 管脚之间接入0.1 F左右的电容。																																		
时钟	X ₁	6	8	D3	6	7	6	输入	连接32.768kHz或者38.4kHz的晶体振荡器。有关连接例子请参照“第4章 时钟振荡器”。																																		
	X ₂	7	9	D2	7	8	7	输出																																			

		56	修改了图标 2.16 (1) : HD64338024 (掩模型 ROM 版) HD64338024S (掩模型 ROM 版) HD64338124 (掩模型 ROM 版) HD64738024 (PROM 版)																					
		58	更换了图 2.16 (1)																					
		62	修改了图中的注: *3 仅 HD64F38024、HD64F38024R、HD64F38124 和 HD64F38122 具有 H'F020~H'F02B 的内部 I/O 寄存器和 H'F780~H'FB7F 的内部 RAM。对 HD64F38024、HD64F38024R、HD64F38124 和 HD64F38122 除外的本区域的存取为对空区域的存取。																					
		79	修改了位 7 的表: (置位条件) 定时器 A 的计数器值溢出 时																					
		82	修改了位 1 的表: (置位条件) 在定时器 C 的计数器值溢出 或者下溢 时																					
		101	修改了图 4.5 (2) 中的表和注: <table border="1" data-bbox="592 1045 1153 1244"> <thead> <tr> <th>振荡频率</th> <th>厂商</th> <th>型号</th> <th>内置C₁, C₂</th> </tr> </thead> <tbody> <tr> <td rowspan="2">2.0MHz</td> <td rowspan="6">村田制作所</td> <td>CSTCC2M00G53-B0</td> <td>15pF±20%</td> </tr> <tr> <td>CSTCC2M00G56-B0</td> <td>47pF±20%</td> </tr> <tr> <td rowspan="2">10.0MHz</td> <td>CSTLS10M0G53-B0</td> <td>15pF±20%</td> </tr> <tr> <td>CSTLS10M0G56-B0</td> <td>47pF±20%</td> </tr> <tr> <td>16.0MHz*1</td> <td>CSTLS16M0X53-B0</td> <td>15pF±20%</td> </tr> <tr> <td>20.0MHz*2</td> <td>CSTLS20M0X53-B0</td> <td>15pF±20%</td> </tr> </tbody> </table> <p>【注】 关于电路常数, 请与谐振器厂商充分商讨。 *1 H8/38024S 群除外 *2 仅 H8/38124 群</p>	振荡频率	厂商	型号	内置C ₁ , C ₂	2.0MHz	村田制作所	CSTCC2M00G53-B0	15pF±20%	CSTCC2M00G56-B0	47pF±20%	10.0MHz	CSTLS10M0G53-B0	15pF±20%	CSTLS10M0G56-B0	47pF±20%	16.0MHz*1	CSTLS16M0X53-B0	15pF±20%	20.0MHz*2	CSTLS20M0X53-B0	15pF±20%
振荡频率	厂商	型号	内置C ₁ , C ₂																					
2.0MHz	村田制作所	CSTCC2M00G53-B0	15pF±20%																					
		CSTCC2M00G56-B0	47pF±20%																					
10.0MHz		CSTLS10M0G53-B0	15pF±20%																					
		CSTLS10M0G56-B0	47pF±20%																					
16.0MHz*1		CSTLS16M0X53-B0	15pF±20%																					
20.0MHz*2		CSTLS20M0X53-B0	15pF±20%																					
		102	修改了图 4.6: 																					

		110	<p>修改了： 因此，在使用内部仿真器时，即使选择内部振荡器，也必须将谐振器连接到 OSC1 和 OSC2 管脚或者供给外部时钟。</p>								
		111	<p>修改了表：</p> <table border="1" data-bbox="592 432 1190 575"> <thead> <tr> <th>运行模式</th> <th>说明</th> </tr> </thead> <tbody> <tr> <td>激活(高速)模式</td> <td>是CPU和内部功能根据系统时钟，以高速运行执行程序的模式。</td> </tr> <tr> <td>激活(中速)模式</td> <td>是CPU和内部功能根据系统时钟，以低速运行执行程序的模式。</td> </tr> <tr> <td>子激活模式</td> <td>是CPU和内部功能根据子时钟，以低速运行执行程序的模式。</td> </tr> </tbody> </table>	运行模式	说明	激活(高速)模式	是CPU和内部功能根据系统时钟，以高速运行执行程序的模式。	激活(中速)模式	是CPU和内部功能根据系统时钟，以低速运行执行程序的模式。	子激活模式	是CPU和内部功能根据子时钟，以低速运行执行程序的模式。
运行模式	说明										
激活(高速)模式	是CPU和内部功能根据系统时钟，以高速运行执行程序的模式。										
激活(中速)模式	是CPU和内部功能根据系统时钟，以低速运行执行程序的模式。										
子激活模式	是CPU和内部功能根据子时钟，以低速运行执行程序的模式。										
		112	<p>修改了图 5.1 的注： 【注】 1. 通过中断进行各模式间的转移时，不能仅以中断源发生来转移。必须允许中断请求。</p>								
		115	<p>修改了注： 【注】 在输入外部时钟时，必须在执行模式转移前设定成外部时钟输入模式。另外，在不使用外部时钟时，不能设定成外部时钟输入模式。 在 H8/38124 群使用内部振荡器时，推荐 8,192 个状态（STS2=STS1=STS0=0）。</p>								
		117	<p>修改了： 在 $\phi_{OSC}=2\sim 20\text{MHz}$ 时，必须置 0。</p>								
		120	<p>修改了表：</p> <table border="1" data-bbox="614 1199 1168 1280"> <tr> <td>等待时间</td> </tr> <tr> <td>2 个状态（外部时钟以外使用禁止）</td> </tr> </table>	等待时间	2 个状态（外部时钟以外使用禁止）						
等待时间											
2 个状态（外部时钟以外使用禁止）											
		131	<p>修改了： H8/38024 有 ZTAT[®]版和 F-ZTAT[™]版，具有 32K 字节的 PROM 和快速擦写存储器。H8/38124、H8/38122 有 F-ZTAT[™]版，分别具有 32K 字节和 16K 字节的快速擦写存储器。</p>								

		<p>140</p>	<p>修改了： 快速擦写存储器版内置的 32K 或者 16K 字节快速擦写存储器有如下特点：</p> <ul style="list-style-type: none"> • 编程/擦除方式 编程是 128 字节单位的同时编程方式。擦除以块为单位进行。HD64F38024、HD64F38024R、HD64F38124 的快速擦写存储器被分成 1K 字节×4 块和 28K 字节×1 块。另外，HD64F38122 的快速擦写存储器被分成 1K 字节×4 块和 12K 字节×1 块。进行全部擦除时必须按块分别擦除。 • 改写次数 HD64F38024R、HD64F38124 和 HD64F38122 可进行 1000 次改写，HD64F38024 可进行 100 次改写。 <p>【注】在对 HD64F38124 和 HD64F38122 的快速擦写存储器执行编程/擦除时，必须使用系统时钟振荡器。</p>
		<p>141</p>	<p>修改了图 6.7：</p> 
		<p>142、 143</p>	<p>修改了： 快速擦写存储器的块结构如图 6.8 所示。粗线框表示擦除块。细线框表示变成单位，框内的数值表示地址。32K 字节快速擦写存储器被分成 1K 字节×4 块和 28K 字节×1 块，擦除以这两种单位进行。16K 字节快速擦写存储器被分成 1K 字节×4 块和 12K 字节×1 块。以低位地址为 H'00 或者 H'80 开始的 128 字节单位进行编程。</p> <p>修改了图标： 图 6.8 (1) 32K 字节快速擦写存储器的块结构</p> <p>追加了图： 图 6.8 (2) 16K 字节快速擦写存储器的块结构</p>

		147	<p>修改了：</p> <table border="1" data-bbox="605 282 1190 484"> <thead> <tr> <th>EBR 的位</th> <th>位名</th> <th>块 (大小)</th> <th>地址</th> </tr> </thead> <tbody> <tr> <td rowspan="2">4</td> <td rowspan="2">EB4</td> <td>EB4 (12K 字节)</td> <td>H'1000~H'3FFF (HD64F38122)</td> </tr> <tr> <td>EB4 (28K 字节)</td> <td>H'1000~H'7FFF (HD64F38124、 HD64F38024、 HD64F38024R)</td> </tr> </tbody> </table>	EBR 的位	位名	块 (大小)	地址	4	EB4	EB4 (12K 字节)	H'1000~H'3FFF (HD64F38122)	EB4 (28K 字节)	H'1000~H'7FFF (HD64F38124、 HD64F38024、 HD64F38024R)											
EBR 的位	位名	块 (大小)	地址																					
4	EB4	EB4 (12K 字节)	H'1000~H'3FFF (HD64F38122)																					
		EB4 (28K 字节)	H'1000~H'7FFF (HD64F38124、 HD64F38024、 HD64F38024R)																					
		149	<p>修改了：</p> <p>如果从复位状态起动复位，HD64F38024、HD64F38024R、HD64F38124 和 HD64F38122 就根据 TEST 管脚、P95 管脚以及端口的输入电平，转移到表 6.7 所示的不同的模式。必须至少在解除复位的 4 个状态以前，确定各管脚的输入电平。</p>																					
		151	<p>修改了表：</p> <table border="1" data-bbox="598 794 1181 1161"> <thead> <tr> <th>产品群</th> <th>主机的位速率</th> <th>LSI 的振荡频率范围 (f_{osc})</th> </tr> </thead> <tbody> <tr> <td rowspan="3">H8/38024 群和 H8/38024R 群的 F-ZTAT 版</td> <td>4800bps</td> <td>8~10MHz</td> </tr> <tr> <td>2400bps</td> <td>4~10MHz</td> </tr> <tr> <td>1200bps</td> <td>2~10MHz</td> </tr> <tr> <td rowspan="5">H8/38124 群的 F-ZTAT 版</td> <td>19200bps</td> <td>16~20MHz</td> </tr> <tr> <td>9600bps</td> <td>8~20MHz</td> </tr> <tr> <td>4800bps</td> <td>6~20MHz</td> </tr> <tr> <td>2400bps</td> <td>2~20MHz</td> </tr> <tr> <td>1200bps</td> <td>2~20MHz</td> </tr> </tbody> </table>	产品群	主机的位速率	LSI 的振荡频率范围 (f _{osc})	H8/38024 群和 H8/38024R 群的 F-ZTAT 版	4800bps	8~10MHz	2400bps	4~10MHz	1200bps	2~10MHz	H8/38124 群的 F-ZTAT 版	19200bps	16~20MHz	9600bps	8~20MHz	4800bps	6~20MHz	2400bps	2~20MHz	1200bps	2~20MHz
产品群	主机的位速率	LSI 的振荡频率范围 (f _{osc})																						
H8/38024 群和 H8/38024R 群的 F-ZTAT 版	4800bps	8~10MHz																						
	2400bps	4~10MHz																						
	1200bps	2~10MHz																						
H8/38124 群的 F-ZTAT 版	19200bps	16~20MHz																						
	9600bps	8~20MHz																						
	4800bps	6~20MHz																						
	2400bps	2~20MHz																						
	1200bps	2~20MHz																						
		153	<p>修改了：</p> <p>4. 必须以字节为单位，从再编程数据区或者追加编程数据区连续传送 128 字节到快速擦写存储器。程序地址和 128 字节的数据在快速擦写存储器里被锁存。必须把快速擦写存储器的起始地址的低 8 位设定为 H'00 或者 H'80。从传送数据开始到给 P 位置 1 期间，不能使用 RTS 指令 (HD64F38124 和 HD64F38122 除外)。</p> <p>7. 为了给验证地址虚写，必须给低 1 位为 b'0 的地址写 1 个字节的 H'FF。能够从进行了虚写的地址开始以字或长字读验证数据。从虚写开始到读取验证数据为止，不能使用 RTS 指令 (HD64F38124 和 HD64F38122 除外)。</p>																					

		156	<p>修改了：</p> <p>5. 为了给验证地址虚写，必须给低 1 位为 b'0 的地址写 1 个字节 H'FF。能够从进行了虚写的地址开始以长字读验证数据。从虚写开始到读取验证数据为止，不能使用 RTS 指令（HD64F38124 和 HD64F38122 除外）。</p>										
		159	<p>修改了：</p> <p>插座适配器把 HD64F38024、HD64F38024R、HD64F38124 和 HD64F38122 的管脚排列变换成单体的快速擦写存储器 HN28F101 的管脚排列。此时，内部快速擦写存储器的地址为 H'0000~H'7FFF。HD64F38024、HD64F38024R 的插座适配器的管脚对应图如图 6.12（1）所示，HD64F38124 和 HD64F38122 的插座适配器的管脚对应图如图 6.12（2）所示。</p>										
		161	<p>修改了图 6.12（2）： HD64F38124、HD64F38122</p> <p>修改了图标： 图 6.12（2） 插座适配器的管脚对应图（HD64F38124 和 HD64F38122）</p>										
		173	删除了注。										
		178	<p>修改了：</p> <p>【注】 * H8/38124 群没有 P16 管脚和功能。寄存器可读写。</p>										
		206	<p>修改了表：</p> <table border="1" data-bbox="602 1360 1178 1522"> <thead> <tr> <th data-bbox="602 1360 724 1398">管脚</th> <th colspan="2" data-bbox="724 1360 1178 1398">选择方法和管脚功能</th> </tr> </thead> <tbody> <tr> <td data-bbox="602 1398 724 1522" rowspan="2">P93/Vref*</td> <td data-bbox="724 1398 889 1456">VREFSEL</td> <td data-bbox="889 1398 1178 1456">0</td> <td data-bbox="889 1456 1178 1522">1</td> </tr> <tr> <td data-bbox="724 1456 889 1522">管脚功能</td> <td data-bbox="889 1456 1011 1522">P93 输出功能</td> <td data-bbox="1011 1456 1178 1522">Vref 输入功能</td> </tr> </tbody> </table>	管脚	选择方法和管脚功能		P93/Vref*	VREFSEL	0	1	管脚功能	P93 输出功能	Vref 输入功能
管脚	选择方法和管脚功能												
P93/Vref*	VREFSEL	0	1										
	管脚功能	P93 输出功能	Vref 输入功能										

		235	<p>修改了位 7 的表： （置位条件） 在 TCFH 的值溢出（H'FF→H'00）时</p>
		236	<p>修改了位 3 的表： （置位条件） 在 TCFL 的值溢出（H'FF→H'00）时</p>
		237	<p>修改了： 在 16 位模式，进行 TCF 的读写和 OCRF 的写操作时，必须以 16 位为单位（连续执行 2 条字节长的 MOV 指令）进行，并且按照高位字节、低位字节的顺序进行。在只有高位字节和只有低位字节的存取中，数据无法正确传送。</p>
		250	<p>修改了位 7 的表： （置位条件） 在输入捕捉的输入信号为高电平并且 TCG 的值为 H'FF→H'00 时</p> <p>修改了位 6 的表： （置位条件） 在输入捕捉的输入信号为低电平、或者间隔运行的情况下 TCG 的值为 H'FF→H'00 时</p>
		285	<p>修改了： 2. 输入到 AEVH 和 AEVL 管脚的最大时钟频率不能超过 16MHz。另外，时钟的高电平和低电平的宽度必须为 OSC 时钟周期的一半以上，占空比无限制。</p> <p>追加了： 【注】*H8/38124 群除外</p>

304

修改了表和注:

位速率(bit/s)	10MHz		
	n	N	误差(%)
110	3	43	0.88
150	3	32	-1.36
200	3	23	1.73
250	3	19	-2.34
300	3	15	1.73
600	3	7	1.73
1200	3	3	1.73
2400	3	1	1.73
4800	3	0	1.73
9600	2	1	1.73
19200	2	0	1.73
31250	0	9	0
38400	0	7	1.73

【注】1. BRR 的设定值用下列计算式计算:

$$N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$$

B: 位速率 (bit/s)

N: 波特率发生器的 BRR 的设定值 ($0 \leq N \leq 255$) ϕ : 系统时钟周期n: 波特率发生器的输入时钟的 No. ($n=0, 2, 3$)

(n 和时钟的关系参照表 10.4)

305

修改了表:

OSC (MHz)	ϕ (MHz)	最大位速率 (bit/s)	设定值	
			n	N
0.0384*	0.0192	600	0	0
2	1	31250	0	0
2.4576	1.2288	38400	0	0
4	2	62500	0	0
10	5	156250	0	0
16	8	250000	0	0
20	10	312500	0	0

306

修改了表和注:

位速率(bit/s)	20MHz		
	n	N	误差率
200	0	12499	0
250	2	624	0
300	0	8332	0
500	0	4999	0
1K	0	2499	0
2.5K	0	999	0
5K	0	499	0
10K	0	249	0
25K	0	99	0
50K	0	49	0
100K	0	24	0
250K	0	9	0
500K	0	4	0
1M	—	—	—

【注】1. BRR 的设定值用下列计算式计算:

$$N = \frac{\phi}{4 \times 2^{2n} \times B} - 1$$

B: 位速率 (bit/s)

N: 波特率发生器的 BRR 的设定值 (0 ≤ N ≤ 255)

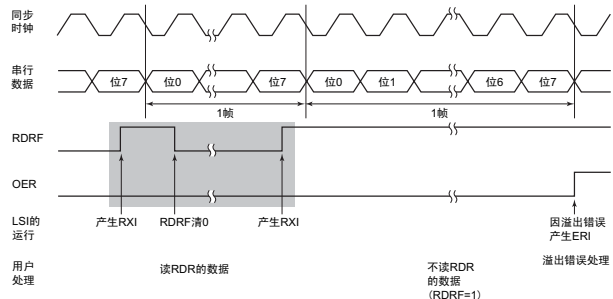
φ: 系统时钟周期

n: 波特率发生器的输入时钟的 No. (n=0, 2, 3)

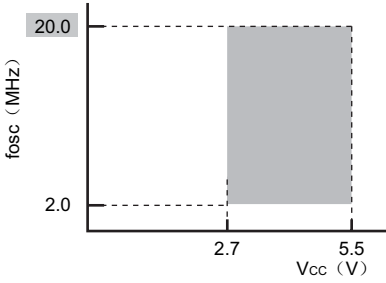
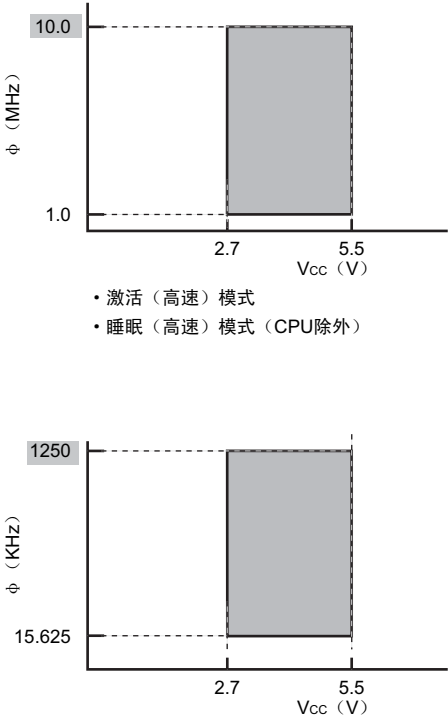
(n 和时钟的关系参照表 10.7)

326

修改了图 10.14:

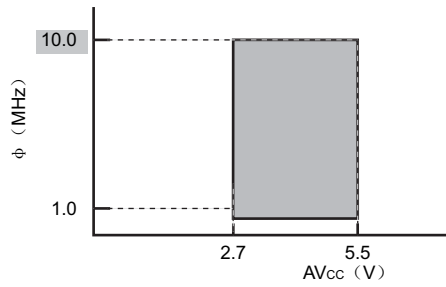


		351	修改了： 转换时间：每个通道 12.4μs(以 5MHz 运行时)/6.2μs (在 10MHz 运行时)*																		
		354	修改了表和注： <table border="1" data-bbox="595 421 1188 581"> <thead> <tr> <th rowspan="2">位 7</th> <th rowspan="2">转换周期</th> <th colspan="3">转换时间</th> </tr> <tr> <th>$\phi = 1\text{MHz}$</th> <th>$\phi = 5\text{MHz}$</th> <th>$\phi = 10\text{MHz}^{*2}$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>$62/\phi$ (初始值)</td> <td>62μs</td> <td>12.4μs</td> <td>6.2μs</td> </tr> <tr> <td>1</td> <td>$31/\phi$</td> <td>31μs</td> <td>—*1</td> <td>—*1</td> </tr> </tbody> </table> <p>【注】 *1 对于 H8/38024、H8/38024S、H8/38024R 群，如果转换时间在 12.4μs 以下，将不保证运行。转换时间必须在 12.4μs 以上。 对于 H8/38124 群，如果转换时间小于 6.2μs，将不保证运行。转换时间必须在 6.2μs 以上。</p> <p>*2 仅 H8/38024 群</p>	位 7	转换周期	转换时间			$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$	0	$62/\phi$ (初始值)	62μs	12.4μs	6.2μs	1	$31/\phi$	31μs	—*1	—*1
位 7	转换周期	转换时间																			
		$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$																	
0	$62/\phi$ (初始值)	62μs	12.4μs	6.2μs																	
1	$31/\phi$	31μs	—*1	—*1																	
		364	修改了章节序号。																		
		403	修改了章节： 16.1 H8/38024 群 (ZTAT 版和掩模型 ROM 版) 的绝对最大额定值																		
		404	修改了章节： 16.2 H8/38024 群 (ZTAT 版和掩模型 ROM 版) 的电特性																		
		415	修改了章节： 16.3 H8/38024 群 (F-ZTAT 版) 和 H8/38024R 群 (F-ZTAT 版) 的绝对最大额定值																		
		416	修改了章节： 16.4 H8/38024 群 (F-ZTAT 版) 和 H8/38024R 群 (F-ZTAT 版) 的电特性																		
		429	修改了章节： 16.5 H8/38024S 群 (掩模型 ROM 版) 的绝对最大额定值																		
		430	修改了章节： 16.6 H8/38024S 群 (掩模型 ROM 版) 的电特性																		

		<p>443</p>	<p>修改了章节： 16.7 H8/38124 群 (F-ZTAT 版和掩模型 ROM 版) 的绝对最大额定值</p>
		<p>444</p>	<p>修改了图：</p>  <p>• 激活 (高速) 模式 • 睡眠 (高速) 模式</p>
		<p>445</p>	<p>修改了图：</p>  <p>• 激活 (高速) 模式 • 睡眠 (高速) 模式 (CPU除外)</p> <p>• 激活 (中速) 模式 • 睡眠 (中速) 模式 (A/D转换器除外)</p>

446

修改了图:



- 激活（高速）模式
- 睡眠（高速）模式

450、
451

修改了表:

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输出低电平电压	V_{OL}	P13~P14、 P17、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80~P87、 PA0~PA3	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$ $I_{OL}=0.4mA$	—	—	0.6	V	
激活模式 消耗电流	I_{OP1}	V_{CC}	激活（高速）模式、 $V_{CC}=2.7V$ 、 $f_{OSC}=2MHz$	—	0.6	—	mA	a1 a2 a4 max 指标值 = 1.1 × typ
				—	1.0	—		a2 a3 a4 max 指标值 = 1.1 × typ
			激活（高速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=2MHz$	—	0.8	—		a1 a2 a4 max 指标值 = 1.1 × typ
				—	1.5	—		a2 a3 a4 max 指标值 = 1.1 × typ
			激活（高速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=4MHz$	—	1.6	—		a1 a2 a4 max 指标值 = 1.1 × typ
				—	2.0	—		a2 a3 a4 max 指标值 = 1.1 × typ
			激活（高速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=10MHz$	—	3.3	7.0	a1 a2 a4 max 指标值 = 1.1 × typ	
				—	4.0	7.0	a2 a3 a4 max 指标值 = 1.1 × typ	
	I_{OP2}	V_{CC}	激活（中速）模式、 $V_{CC}=2.7V$ 、 $f_{OSC}=2MHz$ 、 $\phi_{OSD}/128\text{时}$	—	0.2	—	mA	a1 a2 a4 max 指标值 = 1.1 × typ
				—	0.5	—		a2 a3 a4 max 指标值 = 1.1 × typ
			激活（中速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=2MHz$ 、 $\phi_{OSD}/128\text{时}$	—	0.4	—		a2 a3 a4 max 指标值 = 1.1 × typ
				—	0.8	—		a2 a3 a4 max 指标值 = 1.1 × typ
激活（中速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=4MHz$ 、 $\phi_{OSD}/128\text{时}$			—	0.6	—	a1 a2 a4 max 指标值 = 1.1 × typ		
			—	0.9	—	a2 a3 a4 max 指标值 = 1.1 × typ		
		激活（中速）模式、 $V_{CC}=5V$ 、 $f_{OSC}=10MHz$ 、 $\phi_{OSD}/128\text{时}$	—	0.9	3.0	a1 a2 a4 max 指标值 = 1.1 × typ		
			—	1.2	3.0	a2 a3 a4 max 指标值 = 1.1 × typ		

452、
453

修改了表：

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
睡眠模式 消耗电流	I_{BESP}	V_{CC}	$V_{CC}=2.7V$ 、 $f_{osc}=2MHz$	-	0.3	-	mA	$a^1 a^2 a^4$ max 指标值 = 1.1×typ
				-	0.8	-		$a^2 a^3 a^4$ max 指标值 = 1.1×typ
			$V_{CC}=5V$ 、 $f_{osc}=2MHz$	-	0.5	-		$a^1 a^2 a^4$ max 指标值 = 1.1×typ
				-	0.9	-		$a^2 a^3 a^4$ max 指标值 = 1.1×typ
			$V_{CC}=5V$ 、 $f_{osc}=4MHz$	-	0.9	-		$a^1 a^2 a^4$ max 指标值 = 1.1×typ
				-	1.3	-		$a^2 a^3 a^4$ max 指标值 = 1.1×typ
子激活模式 消耗电流	I_{SUB}	V_{CC}	$V_{CC}=2.7V$ 、 LCD点灯 使用32KHz晶体谐振器时 ($\phi_{SUB}=\phi_{w/8}$)	-	11.3	-	μA	$a^1 a^2 a^4$ 参考值
				-	12.7	-		$a^2 a^3 a^4$ 参考值
时钟模式 消耗电流	I_{WATCH}	V_{CC}	$V_{CC}=2.7V$ 、 LCD点灯 使用32KHz晶体谐振器时 ($\phi_{SUB}=\phi_{w/2}$)	-	16.3	50	μA	$a^1 a^2 a^4$ 参考值
				-	30	50		$a^2 a^3 a^4$ 参考值
待机模式 消耗电流	I_{STBY}	V_{CC}	$V_{CC}=2.7V$ 、 $T_a=25^\circ C$ 、 不使用32KHz晶体谐振器时	-	1.4	-	μA	$a^1 a^2 a^4$ 参考值
				-	1.8	-		$a^2 a^3 a^4$ 参考值
输出低电平 容许电流 (每个管脚)	I_{OL}	端口9	$V_{CC}=4.0V \sim 5.5V$	-	-	15.0	mA	$a^1 a^2 a^4$ 参考值
				上述以外	-	-		5.0

455、
456

修改了表：

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟振荡器 振荡频率	f_{osc}	OSC1、OSC2		2.0	—	20.0	MHz	*2
			在选择内部振荡器时	0.7	—	2.0		
OSC时钟 (ϕ_{osc}) 周期时间	t_{osc}	OSC1、OSC2		50.0	—	500	ns	图 16.1
			在选择内部振荡器时	500	—	1429		
外部时钟 高电平宽度	t_{on}	OSC1		20	—	—	ns	图 16.1
外部时钟 低电平宽度	t_{off}	OSC1		20	—	—	ns	图 16.1
外部时钟 上升时间	t_{su}	OSC1		—	—	5	ns	图 16.1
外部时钟 下降时间	t_{sd}	OSC1		—	—	5	ns	图 16.1
输入管脚 高电平宽度	t_{in}	IRQ0、IRQT、 IRQ3、IRQ4、 IRQAEC、 WKPD~ WKPF、 TMIC、TMIF、 TMIG、ADTRG		2	—	—	t_{in} $t_{holdoff}$	图 16.3
			AEVL、AEVH	0.5	—	—		
输入管脚 低电平宽度	t_i	IRQ0、IRGT、 IRQ3、IRQ4、 IRQAEC、 WKPD~ WKPF、 TMIC、TMIF、 TMIG、ADTRG		2	—	—	t_i $t_{holdoff}$	图 16.3
			AEVL、AEVH	0.5	—	—		
UD管脚 最小变化宽度	t_{udh} t_{uda}	UD		4	—	—	t_{ud} $t_{holdoff}$	图 16.6

修改了注：

*2 根据温度、电源电压和产品批量的偏差等影响,本特性为 min.到~max.范围的值。在系统设计时,必须充分考虑 SPEC 的范围。对于实际数据,请向本公司询问。

456

修改了表：

项目	符号	测定条件	规格值			单位	参照图
			min.	typ.	max.		
接收数据准备时间 (时钟同步)	t_{os}		150.0	—	—	ns	图 16.5
接收数据保持时间 (时钟同步)	t_{oh}		150.0	—	—	ns	图 16.5

457

修改了表：

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
模拟输入电压	V_{in}	AND~AN \bar{N}		0.3	—	$AV_{in} \pm 0.3$	V	
模拟输入电容	C_{in}	AND~AN \bar{N}		—	—	15.0	pF	
转换时间				8.2	—	124	μ s	

458

修改了表：

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
段驱动器 下降电压	V_{os}	SEG1~SEG32	$I_b = 2\mu$ A $V_1 = 2.7 \sim 5.5$ V	—	—	0.6	V	*1

464

修改了表：

测定条件: $V_{CC} = 5$ V

		520	<p>修改了表和注：</p> <p>-----</p> <table border="1" data-bbox="642 285 1181 378"> <thead> <tr> <th colspan="2">时钟选择</th> <th colspan="3">转换时间</th> </tr> <tr> <th>位7</th> <th>转换周期</th> <th>$\phi = 1\text{MHz}$</th> <th>$\phi = 5\text{MHz}$</th> <th>$\phi = 10\text{MHz}^{*2}$</th> </tr> </thead> <tbody> <tr> <td>CKS</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>0</td> <td>$62/\phi$</td> <td>$62\mu\text{s}$</td> <td>$12.4\mu\text{s}$</td> <td>$6.2\mu\text{s}$</td> </tr> <tr> <td>1</td> <td>$31/\phi$</td> <td>$31\mu\text{s}$</td> <td>—^{*1}</td> <td>—^{*1}</td> </tr> </tbody> </table> <p>【注】 *1 在H8/38124群除外时，如果转换时间小于$12.4\mu\text{s}$，将不保证运行。转换时间必须在$12.4\mu\text{s}$以上。 另外，在H8/38124群时，转换时间必须在$6.2\mu\text{s}$以上。 *2 仅为H8/38124群。</p>	时钟选择		转换时间			位7	转换周期	$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$	CKS					0	$62/\phi$	$62\mu\text{s}$	$12.4\mu\text{s}$	$6.2\mu\text{s}$	1	$31/\phi$	$31\mu\text{s}$	— ^{*1}	— ^{*1}
时钟选择		转换时间																										
位7	转换周期	$\phi = 1\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 10\text{MHz}^{*2}$																								
CKS																												
0	$62/\phi$	$62\mu\text{s}$	$12.4\mu\text{s}$	$6.2\mu\text{s}$																								
1	$31/\phi$	$31\mu\text{s}$	— ^{*1}	— ^{*1}																								
		563	追加了图 C.8 (c)。																									
		565	<p>修改了图标：</p> <p>图 C.10 (a) 端口 B 框图</p>																									
		566	追加了图 C.10 (b)。																									
		567	追加了图 C.10 (c)。																									

572

修改了表:

		产品分类		产品型号	标记型号	封装 (封装代码)		
H8/38124 群	H8/38124	掩模型 ROM版	标准规格 产品	HD6438124H	38124(***H)	80 管脚 QFP (FP-80A)		
				HD6438124W	38124(***W)	80 管脚 TOFP (TFP-80C)		
			温度范围扩 大规模产品	HD6438124HW	38124(***H)	80 管脚 QFP (FP-80A)		
				HD6438124WW	38124(***W)	80 管脚 TOFP (TFP-80C)		
		F-ZTAT版	标准规格 产品	HD64F38124H	F38124H	80 管脚 QFP (FP-80A3)		
				HD64F38124W	F38124W	80 管脚 TOFP (TFP-80C)		
			温度范围扩 大规模产品	HD64F38124HW	F38124H	80 管脚 QFP (FP-80A)		
				HD64F38124WW	F38124W	80 管脚 TOFP (TFP-80C)		
	H8/38123	掩模型 ROM版	标准规格 产品	HD6438123H	38123(***H)	80 管脚 QFP (FP-80A)		
				HD6438123W	38123(***W)	80 管脚 TOFP (TFP-80C)		
				温度范围扩 大规模产品	HD6438123HW	38123(***H)	80 管脚 QFP (FP-80A)	
			HD6438123WW		38123(***W)	80 管脚 TOFP (TFP-80C)		
			H8/38122		掩模型 ROM版	标准规格 产品	HD6438122H	38122(***H)
				HD6438122W			38122(***W)	80 管脚 TOFP (TFP-80C)
	温度范围扩 大规模产品	HD6438122HW		38122(***H)			80 管脚 QFP (FP-80A)	
		HD6438122WW		38122(***W)			80 管脚 TOFP (TFP-80C)	
	F-ZTAT版	标准规格 产品		HD64F38122H		F38122H	80 管脚 QFP (FP-80A)	
				HD64F38122W		F38122W	80 管脚 TOFP (TFP-80C)	
	温度范围扩 大规模产品	HD64F38122HW	F38122H	80 管脚 QFP (FP-80A)				
		HD64F38122WW	F38122W	80 管脚 TOFP (TFP-80C)				
H8/38121		掩模型 ROM版	标准规格 产品	HD6438121H	38121(***H)	80 管脚 QFP (FP-80A)		
				HD6438121W	38121(***W)	80 管脚 TOFP (TFP-80C)		
	温度范围扩 大规模产品		HD6438121HW	38121(***H)	80 管脚 QFP (FP-80A)			
			HD6438121WW	38121(***W)	80 管脚 TOFP (TFP-80C)			
H8/38120	掩模型 ROM版	标准规格 产品	HD6438120H	38120(***H)	80 管脚 QFP (FP-80A)			
			HD6438120W	38120(***W)	80 管脚 TOFP (TFP-80C)			
		温度范围扩 大规模产品	HD6438120HW	38120(***H)	80 管脚 QFP (FP-80A)			
			HD6438120WW	38120(***W)	80 管脚 TOFP (TFP-80C)			

瑞萨8位单片机硬件手册

H8/38024、H8/38024S、H8/38024R、H8/38124群

Publication Date: 2nd Edition, January, 2006

Rev.2.00, January 31, 2006

Published by: Sales Strategic Planning Div.

Renesas Technology Corp.

Edited by: Customer Support Department

Global Strategic Communication Div.

Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg, 2-6-2, Ote-machi, Oiyoda-ku, Tokyo 100-0004, Japan



RENEASAS SALES OFFICES

<http://www.renesas.com>

Refer to <http://www.renesas.com/en/network> for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A.
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire SL8 5FH U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 205, AZIA Center, No. 133 Yincheng Rd(n), Pudong District, Shanghai 200120, China
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road Tsimshatsui Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10 Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg 18th Fl., 191, 2-ka, Hangang-ro Yongsan-ku Seoul 140702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2146

Renesas Technology Malaysia Sdn. Bhd.

Unit 906, Block B Menara Amcorp, Amcorp Trade Centre, No. 18, Jalan Persiaran Baat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510



H8/38024、 H8/38024S、
H8/38024R、 H8/38124 群

RENESAS

瑞萨电子株式会社

RCJ09B0003-0200