

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご覧ください。

H8/3042グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8ファミリ／H8/300Hシリーズ

H8/3042
H8/3041
H8/3040

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

H8/3042 グループは、内部 32 ビット構成の H8/300H CPU を核にして、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

周辺機能として、ROM、RAM、16 ビットインテグレートドタイマユニット (ITU)、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ (DMAC)、リフレッシュコントローラなどを内蔵しています。

アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU 動作モードは、モード 1~7 があり、データバス幅の初期値とアドレス空間を選択することができます。

このため、H8/3042 グループを用いることにより高性能かつ小型のシステムを容易に実現することができます。

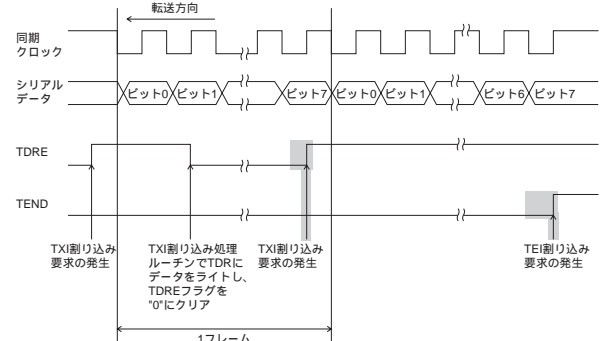
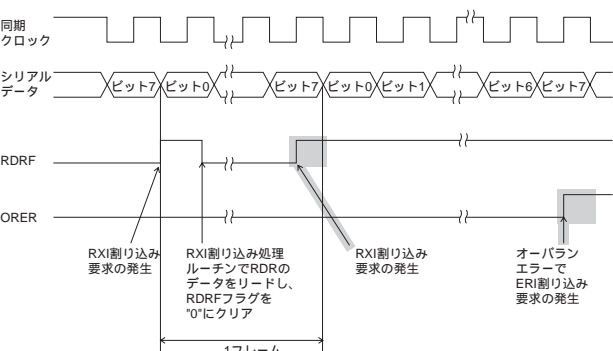
本マニュアルは、H8/3042 グループのハードウェアについて説明します。命令の詳細については、「H8/300H シリーズ ソフトウェアマニュアル」をあわせてご覧ください。

本版で改訂された箇所

修正項目	ページ	修正箇所																																						
全体	-	社名変更による変更 (修正前) 日立製作所 → (修正後) ルネサス テクノロジ 呼称変更による変更 (修正前) H8/3042 シリーズ → (修正後) H8/3042 グループ																																						
9.3.1 概要	9-8	記述を修正 モード 1~4 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_{15} \sim A_8$) 出力端子となります。モード 5 (内蔵 ROM 有効拡張モード) のときは、ポート 2 データディレクションレジスタ (P2DDR) の設定によりアドレスバス ($A_{15} \sim A_8$) または入力ポートとなります。																																						
13.2.8 ビットレートレジスタ (BRR) 表 13.3 ビットレートに対する BRR の設定例 (調歩同期式モード)	13-20	表を修正 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th rowspan="2">ビットレート (bit/s)</th> <th colspan="3">ϕ (MH)</th> </tr> <tr> <th colspan="3">3</th> </tr> <tr> <th></th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>31250</td> <td>0</td> <td>2</td> <td>0.00</td> </tr> <tr> <td>38400</td> <td>0</td> <td>1</td> <td>22.07</td> </tr> </tbody> </table> <table border="1" style="margin: 10px auto;"> <thead> <tr> <th rowspan="2">ビットレート (bit/s)</th> <th colspan="3">ϕ (MH)</th> </tr> <tr> <th colspan="3">3.6864</th> </tr> <tr> <th></th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>31250</td> <td>0</td> <td>3</td> <td>-7.84</td> </tr> <tr> <td>38400</td> <td>0</td> <td>2</td> <td>0.00</td> </tr> </tbody> </table>	ビットレート (bit/s)	ϕ (MH)			3				n	N	誤差 (%)	31250	0	2	0.00	38400	0	1	22.07	ビットレート (bit/s)	ϕ (MH)			3.6864				n	N	誤差 (%)	31250	0	3	-7.84	38400	0	2	0.00
ビットレート (bit/s)	ϕ (MH)																																							
	3																																							
	n	N	誤差 (%)																																					
31250	0	2	0.00																																					
38400	0	1	22.07																																					
ビットレート (bit/s)	ϕ (MH)																																							
	3.6864																																							
	n	N	誤差 (%)																																					
31250	0	3	-7.84																																					
38400	0	2	0.00																																					

修正項目	ページ	修正箇所
<p>13.3.2 調歩同期式モード時の動作 (3) データの送信 / 受信動作 (b) シリアルデータ送信 (調歩同期式) 図 13.6 調歩同期式モードでの送信時の動作例 (8ビットデータ / パリティあり / 1ストップビットの例)</p>	13-33	<p>図を修正</p> <p>スタートビット "1"</p> <p>データ "0" D0 D1 D7 "0"/"1" "1"</p> <p>パリティストップビット</p> <p>TXI割り込み要求の発生</p> <p>TXI割り込み処理ルーチンでTDRにデータをライトし、TDREフラグを"0"にクリア</p> <p>TXI割り込み要求の発生</p> <p>1フレーム</p>
<p>(c) シリアルデータ受信 (調歩同期式) 図 13.8 SCI の受信時の動作例 (8ビットデータ / パリティあり / 1ストップビットの例)</p>	13-37	<p>図を修正</p> <p>スタートビット "1"</p> <p>データ "0" D0 D1 D7 "0"/"1" "1"</p> <p>パリティストップビット</p> <p>RDRF</p> <p>FER</p> <p>RXI割り込み要求の発生</p> <p>1フレーム</p>

修正項目	ページ	修正箇所
<p>13.3.3 マルチプロセッサ通信機能 (3) データの送信 / 受信動作 (a) マルチプロセッサシリアルデータ送信 図 13.11 SCI の送信時の動作例 (8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)</p>	13-40	<p>図を修正</p> <p>スタートビット データ マルチプロセッサストップビット</p> <p>"1" "0" D0 D1 D7 "0"/"1" "1"</p> <p>TDRE</p> <p>TEND</p> <p>TXI割り込み要求の発生 TXI割り込み処理ルーチンでTDRにデータをライトし、TDREフラグを"0"にクリア TXI割り込み要求の発生</p> <p>1フレーム</p>
<p>(b) マルチプロセッサシリアルデータ受信 図 13.13 SCI の受信時の動作例 (8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)</p>	13-43	<p>図を修正</p> <p>スタートビット データ (ID1) ストップスタート データ (Data1) ストップ "1"</p> <p>"1" "0" D0 D1 D7 "1" "1" "0" D0 D1 D7 "0" "1" アイドル状態 (マーク状態)</p> <p>MPIE</p> <p>RDRF</p> <p>RDRの値</p> <p>MPIE = "0" RXI割り込み要求 (マルチプロセッサ割り込み) の発生 RXI割り込み処理ルーチンでRDRのデータをリードし、RDRFフラグを"0"にクリア 自局のIDでない場合再びMPIEビットを"1"にセット RXI割り込み要求は発生しません。またRDRは状態を保持します。</p> <p>(a) 自局のIDと一致しないとき</p> <p>スタートビット データ (ID2) ストップスタート データ (Data2) ストップ "1"</p> <p>"1" "0" D0 D1 D7 "1" "1" "0" D0 D1 D7 "0" "1" アイドル状態 (マーク状態)</p> <p>MPIE</p> <p>RDRF</p> <p>RDRの値</p> <p>MPIE = "0" RXI割り込み要求 (マルチプロセッサ割り込み) の発生 RXI割り込み処理ルーチンでRDRのデータをリードし、RDRFフラグを"0"にクリア 自局のIDなのでそのまま受信を続け、RXI割り込み処理ルーチンでデータを受信 再び、MPIEビットを"1"にセット</p> <p>(b) 自局のIDと一致したとき</p>

修正項目	ページ	修正箇所									
13.3.4 クロック同期式モード時の動作 (3) データの送信 / 受信動作 (b) シリアルデータ送信 (クロック同期式) 図 13.17 SCI の送信時の動作例	13-47	図を修正 									
(c) シリアルデータ受信 (クロック同期式) 図 13.19 SCI の受信時の動作例	13-50	図を修正 									
17.2.2 ソケットアダプタの端子対応とメモリマップ 図 17.2 ソケットアダプタの端子対応図	17-4	図を修正 <div style="text-align: center;">H8/3042</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th data-bbox="669 1178 820 1213">FP-100A</th> <th data-bbox="820 1178 1071 1213">FP-100B、TFP-100B</th> <th data-bbox="1071 1178 1160 1213">端子</th> </tr> </thead> <tbody> <tr> <td data-bbox="669 1213 820 1248">12</td> <td data-bbox="820 1213 1071 1248">10</td> <td data-bbox="1071 1213 1160 1248">RESO</td> </tr> <tr> <td data-bbox="669 1248 820 1282">66</td> <td data-bbox="820 1248 1071 1282">64</td> <td data-bbox="1071 1248 1160 1282">NMI</td> </tr> </tbody> </table>	FP-100A	FP-100B、TFP-100B	端子	12	10	RESO	66	64	NMI
FP-100A	FP-100B、TFP-100B	端子									
12	10	RESO									
66	64	NMI									

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置	1-6
1.3.2	端子機能	1-8
1.4	端子機能	1-12

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8/300CPU との相違点	2-2
2.2	CPU 動作モード	2-3
2.3	アドレス空間	2-3
2.4	レジスタ構成	2-4
2.4.1	概要	2-4
2.4.2	汎用レジスタ	2-5
2.4.3	コントロールレジスタ	2-6
2.4.4	CPU 内部レジスタの初期値	2-7
2.5	データ構成	2-8
2.5.1	汎用レジスタのデータ構成	2-8
2.5.2	メモリ上でのデータ構成	2-10
2.6	命令セット	2-11
2.6.1	命令セットの概要	2-11
2.6.2	命令とアドレッシングモードの組み合わせ	2-11
2.6.3	命令の機能別一覧	2-13
2.6.4	命令の基本フォーマット	2-21
2.6.5	ビット操作命令使用上の注意	2-22
2.7	アドレッシングモードと実効アドレスの計算方法	2-23
2.7.1	アドレッシングモード	2-23
2.7.2	実効アドレスの計算方法	2-25
2.8	処理状態	2-29
2.8.1	概要	2-29
2.8.2	プログラム実行状態	2-29
2.8.3	例外処理状態	2-30
2.8.4	例外処理の動作	2-32
2.8.5	バス権解放状態	2-33
2.8.6	リセット状態	2-33

2.8.7	低消費電力状態	2-33
2.9	基本動作タイミング	2-34
2.9.1	概要	2-34
2.9.2	内蔵メモリアクセスタイミング	2-34
2.9.3	内蔵周辺モジュールアクセスタイミング	2-36
2.9.4	外部アドレス空間アクセスタイミング	2-37

第3章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの選択の種類	3-1
3.1.2	レジスタ構成	3-2
3.2	モードコントロールレジスタ (MDCR)	3-3
3.3	システムコントロールレジスタ (SYSCR)	3-4
3.4	各動作モードの説明	3-6
3.4.1	モード 1	3-6
3.4.2	モード 2	3-6
3.4.3	モード 3	3-6
3.4.4	モード 4	3-6
3.4.5	モード 5	3-6
3.4.6	モード 6、7	3-6
3.5	各動作モードにおける端子機能	3-7
3.6	各動作モードのメモリマップ	3-7

第4章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットシーケンス	4-3
4.2.3	リセット直後の割り込み	4-7
4.3	割り込み	4-7
4.4	トラップ命令	4-8
4.5	例外処理後のスタックの状態	4-8
4.6	スタック使用上の注意	4-10

第5章 割り込みコントローラ

5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-2
5.1.3	端子構成	5-3
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4

5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	5-5
5.2.3	IRQ ステータスレジスタ (ISR)	5-12
5.2.4	IRQ イネーブルレジスタ (IER)	5-13
5.2.5	IRQ センスコントロールレジスタ (ISCR)	5-14
5.3	割り込み要因	5-15
5.3.1	外部割り込み	5-15
5.3.2	内部割り込み	5-16
5.3.3	割り込み例外処理ベクタテーブル	5-17
5.4	割り込み動作	5-19
5.4.1	割り込み動作の流れ	5-19
5.4.2	割り込み例外処理シーケンス	5-23
5.4.3	割り込み応答時間	5-25
5.5	使用上の注意	5-26
5.5.1	割り込みの発生とディスエーブルとの競合	5-26
5.5.2	割り込みの受け付けを禁止している命令	5-27
5.5.3	EEPMOV 命令実行中の割り込み	5-27
第 6 章 バスコントローラ		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-5
6.2.3	ウェイトコントロールレジスタ (WCR)	6-6
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	6-7
6.2.5	バスリリースコントロールレジスタ (BRCR)	6-8
6.3	動作説明	6-10
6.3.1	エリア分割	6-10
6.3.2	チップセレクト信号	6-12
6.3.3	データバス	6-13
6.3.4	バス制御信号タイミング	6-14
6.3.5	ウェイトモード	6-22
6.3.6	メモリとの接続例	6-28
6.3.7	バスアービタの動作	6-30
6.4	使用上の注意	6-33
6.4.1	DRAM および PSRAM の接続	6-33
6.4.2	レジスタライトタイミング	6-33
6.4.3	$\overline{\text{BREQ}}$ 端子の入力タイミング	6-34
第 7 章 リフレッシュコントローラ		
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2

7.1.3	端子構成	7-3
7.1.4	レジスタ構成	7-3
7.2	各レジスタの説明	7-4
7.2.1	リフレッシュコントロールレジスタ (RFSHCR)	7-4
7.2.2	リフレッシュタイマコントロールステータスレジスタ (RTMCSR)	7-7
7.2.3	リフレッシュタイマカウンタ (RTCNT)	7-9
7.2.4	リフレッシュタイムコンスタントレジスタ (RTCOR)	7-9
7.3	動作説明	7-10
7.3.1	概要	7-10
7.3.2	DRAM リフレッシュ制御	7-11
7.3.3	PSRAM リフレッシュ制御	7-26
7.3.4	インターバルタイマ	7-31
7.4	割り込み要因	7-36
7.5	使用上の注意	7-37
第 8 章 DMA コントローラ		
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	機能概要	8-3
8.1.4	端子構成	8-4
8.1.5	レジスタ構成	8-5
8.2	各レジスタの説明 (1) (ショートアドレスモード)	8-6
8.2.1	メモリアドレスレジスタ (MAR)	8-6
8.2.2	I/O アドレスレジスタ (IOAR)	8-7
8.2.3	転送カウントレジスタ (ETCR)	8-8
8.2.4	データトランスファコントロールレジスタ (DTCR)	8-9
8.3	各レジスタの説明 (2) (フルアドレスモード)	8-13
8.3.1	メモリアドレスレジスタ (MAR)	8-13
8.3.2	I/O アドレスレジスタ (IOAR)	8-13
8.3.3	転送カウントレジスタ (ETCR)	8-14
8.3.4	データトランスファコントロールレジスタ (DTCR)	8-16
8.4	動作説明	8-22
8.4.1	概要	8-22
8.4.2	I/O モード	8-24
8.4.3	アイドルモード	8-27
8.4.4	リピートモード	8-29
8.4.5	ノーマルモード	8-32
8.4.6	ブロック転送モード	8-35
8.4.7	DMAC の起動要因	8-40
8.4.8	DMAC のバスサイクル	8-42
8.4.9	DMAC 複数チャネルの動作	8-47
8.4.10	外部バス権要求、リフレッシュコントローラと DMAC の関係	8-49
8.4.11	NMI 割り込みと DMAC	8-50
8.4.12	DMAC 動作の強制終了	8-51
8.4.13	フルアドレスモードの解除	8-51

8.4.14	リセット、スタンバイモード、スリープモード時の DMAC の状態	8-52
8.5	割り込み	8-53
8.6	使用上の注意	8-54
8.6.1	ワードデータ転送時の注意	8-54
8.6.2	DMAC による DMAC 自体のアクセス	8-54
8.6.3	MAR のロングワードアクセス	8-54
8.6.4	フルアドレスモード設定時の注意	8-54
8.6.5	内部割り込みで DMAC を起動する場合の注意	8-55
8.6.6	NMI 割り込みとブロック転送モード	8-56
8.6.7	MAR、IOAR のアドレス指定	8-56
8.6.8	転送中断時のバスサイクル	8-57

第9章 I/O ポート

9.1	概要	9-1
9.2	ポート 1	9-4
9.2.1	概要	9-4
9.2.2	レジスタ構成	9-4
9.2.3	各レジスタの説明	9-5
9.2.4	モード別端子機能	9-6
9.3	ポート 2	9-8
9.3.1	概要	9-8
9.3.2	レジスタ構成	9-8
9.3.3	各レジスタの説明	9-9
9.3.4	モード別端子機能	9-11
9.3.5	入力プルアップ MOS	9-14
9.4	ポート 3	9-15
9.4.1	概要	9-15
9.4.2	レジスタ構成	9-15
9.4.3	各レジスタの説明	9-16
9.4.4	モード別端子機能	9-17
9.5	ポート 4	9-19
9.5.1	概要	9-19
9.5.2	レジスタ構成	9-20
9.5.3	モード別端子機能	9-22
9.5.4	入力プルアップ MOS	9-24
9.6	ポート 5	9-25
9.6.1	概要	9-25
9.6.2	レジスタ構成	9-25
9.6.3	モード別端子機能	9-28
9.6.4	入力プルアップ MOS	9-29
9.7	ポート 6	9-30
9.7.1	概要	9-30
9.7.2	レジスタ構成	9-30
9.7.3	モード別端子機能	9-33
9.8	ポート 7	9-36

9.8.1	概要	9-36
9.8.2	レジスタ構成	9-36
9.9	ポート 8	9-37
9.9.1	概要	9-37
9.9.2	レジスタ構成	9-38
9.9.3	モード別端子機能	9-39
9.10	ポート 9	9-42
9.10.1	概要	9-42
9.10.2	レジスタ構成	9-42
9.10.3	端子機能	9-44
9.11	ポート A	9-46
9.11.1	概要	9-46
9.11.2	レジスタ構成	9-47
9.11.3	端子機能	9-49
9.12	ポート B	9-53
9.12.1	概要	9-53
9.12.2	レジスタ構成	9-53
9.12.3	端子機能	9-55
第 10 章 16 ビットインテグレートドタイマユニット (ITU)		
10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-4
10.1.3	端子構成	10-9
10.1.4	レジスタ構成	10-10
10.2	各レジスタの説明	10-12
10.2.1	タイマスタートレジスタ (TSTR)	10-12
10.2.2	タイマシンクロレジスタ (TSNC)	10-14
10.2.3	タイマモードレジスタ (TMDR)	10-16
10.2.4	タイマファンクションコントロールレジスタ (TFCR)	10-19
10.2.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	10-21
10.2.6	タイマアウトプットコントロールレジスタ (TOCR)	10-24
10.2.7	タイマカウンタ (TCNT)	10-26
10.2.8	ジェネラルレジスタ A、B (GRA、GRB)	10-27
10.2.9	バッファレジスタ A、B (BRA、BRB)	10-28
10.2.10	タイマコントロールレジスタ (TCR)	10-29
10.2.11	タイマ I/O コントロールレジスタ (TIOR)	10-32
10.2.12	タイマステータスレジスタ (TSR)	10-34
10.2.13	タイマインタラプトイネーブルレジスタ (TIER)	10-36
10.3	CPU とのインタフェース	10-38
10.3.1	16 ビットアクセス可能なレジスタ	10-38
10.3.2	8 ビットアクセスのレジスタ	10-40
10.4	動作説明	10-41
10.4.1	概要	10-41
10.4.2	基本機能	10-43
10.4.3	同期動作	10-53

10.4.4	PWM モード	10-55
10.4.5	リセット同期 PWM モード	10-59
10.4.6	相補 PWM モード	10-62
10.4.7	位相計数モード	10-71
10.4.8	バッファ動作	10-73
10.4.9	ITU 出力タイミング	10-78
10.5	割り込み	10-80
10.5.1	ステータスフラグのセットタイミング	10-80
10.5.2	ステータスフラグのクリアタイミング	10-83
10.5.3	割り込み要因と DMA コントローラの起動	10-84
10.6	使用上の注意	10-85
第 11 章 プログラマブルタイミングパターンコントローラ (TPC)		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-4
11.2	各レジスタの説明	11-5
11.2.1	ポート A データディレクションレジスタ (PADDR)	11-5
11.2.2	ポート A データレジスタ (PADR)	11-5
11.2.3	ポート B データディレクションレジスタ (PBDDR)	11-6
11.2.4	ポート B データレジスタ (PBDR)	11-6
11.2.5	ネクストデータレジスタ A (NDRA)	11-7
11.2.6	ネクストデータレジスタ B (NDRB)	11-9
11.2.7	ネクストデータイネーブルレジスタ A (NDERA)	11-11
11.2.8	ネクストデータイネーブルレジスタ B (NDERB)	11-12
11.2.9	TPC 出力コントロールレジスタ (TPCR)	11-13
11.2.10	TPC 出力モードレジスタ (TPMR)	11-15
11.3	動作説明	11-17
11.3.1	概要	11-17
11.3.2	出力タイミング	11-18
11.3.3	TPC 出力通常動作	11-19
11.3.4	TPC 出力ノンオーバーラップ動作	11-21
11.3.5	インプットキャプチャによる TPC 出力	11-23
11.4	使用上の注意	11-24
11.4.1	TPC 出力端子の動作	11-24
11.4.2	ノンオーバーラップ動作時の注意	11-24
第 12 章 ウォッチドッグタイマ		
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-2
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-3

12.2.1	タイマカウンタ (TCNT)	12-3
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	12-4
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	12-7
12.2.4	レジスタ書き換え時の注意	12-9
12.3	動作説明	12-11
12.3.1	ウォッチドッグタイマ時の動作	12-11
12.3.2	インターバルタイマ時の動作	12-12
12.3.3	オーバフローフラグ (OVF) セットタイミング	12-12
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	12-13
12.4	割り込み	12-14
12.5	使用上の注意	12-14
第 13 章 シリアルコミュニケーションインタフェース		
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-3
13.1.3	端子構成	13-4
13.1.4	レジスタ構成	13-4
13.2	各レジスタの説明	13-5
13.2.1	レシーブシフトレジスタ (RSR)	13-5
13.2.2	レシーブデータレジスタ (RDR)	13-5
13.2.3	トランスミットシフトレジスタ (TSR)	13-6
13.2.4	トランスミットデータレジスタ (TDR)	13-6
13.2.5	シリアルモードレジスタ (SMR)	13-7
13.2.6	シリアルコントロールレジスタ (SCR)	13-10
13.2.7	シリアルステータスレジスタ (SSR)	13-14
13.2.8	ビットレートレジスタ (BRR)	13-19
13.3	動作説明	13-26
13.3.1	概要	13-26
13.3.2	調歩同期式モード時の動作	13-28
13.3.3	マルチプロセッサ通信機能	13-37
13.3.4	クロック同期式モード時の動作	13-44
13.4	SCI 割り込み	13-52
13.5	使用上の注意	13-53
第 14 章 A/D 変換器		
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-4
14.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDRD)	14-4
14.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	14-5
14.2.3	A/D コントロールレジスタ (ADCR)	14-8
14.3	CPU とのインタフェース	14-9

14.4	動作説明	14-10
14.4.1	単一モード (SCAN = "0")	14-10
14.4.2	スキャンモード (SCAN = "1")	14-12
14.4.3	入力サンプリングと A/D 変換時間	14-14
14.4.4	外部トリガ入力タイミング	14-15
14.5	割り込み	14-16
14.6	使用上の注意	14-16
第 15 章 D/A 変換器		
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-3
15.2	各レジスタの説明	15-4
15.2.1	D/A データレジスタ 0、1 (DADR0、DADR1)	15-4
15.2.2	D/A コントロールレジスタ (DACR)	15-4
15.3	動作説明	15-6
第 16 章 RAM		
16.1	概要	16-1
16.1.1	ブロック図	16-1
16.1.2	レジスタ構成	16-2
16.2	システムコントロールレジスタ (SYSCR)	16-3
16.3	動作説明	16-4
第 17 章 ROM		
17.1	概要	17-1
17.1.1	ブロック図	17-2
17.2	PROM モード	17-3
17.2.1	PROM モードの設定	17-3
17.2.2	ソケットアダプタの端子対応とメモリマップ	17-3
17.3	プログラミング	17-6
17.3.1	書き込み/ベリファイ	17-7
17.3.2	書き込み時の注意	17-10
17.4	書き込み後の信頼性	17-11
第 18 章 クロック発振器		
18.1	概要	18-1
18.1.1	ブロック図	18-1
18.2	発振器	18-2
18.2.1	水晶発振子を接続する方法	18-2
18.2.2	外部クロックを入力する方法	18-4
18.3	デューティ補正回路	18-6
18.4	プリスケアラ	18-6

第 19 章 低消費電力状態

19.1	概要	19-1
19.2	レジスタ構成	19-2
19.2.1	システムコントロールレジスタ (SYSCR)	19-2
19.3	スリープモード	19-4
19.3.1	スリープモードへの遷移	19-4
19.3.2	スリープモードの解除	19-4
19.4	ソフトウェアスタンバイモード	19-5
19.4.1	ソフトウェアスタンバイモードへの遷移	19-5
19.4.2	ソフトウェアスタンバイモードの解除	19-5
19.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	19-6
19.4.4	ソフトウェアスタンバイモードの応用例	19-7
19.4.5	使用上の注意	19-7
19.5	ハードウェアスタンバイモード	19-8
19.5.1	ハードウェアスタンバイモードへの遷移	19-8
19.5.2	ハードウェアスタンバイモードの解除	19-8
19.5.3	ハードウェアスタンバイモードのタイミング	19-8

第 20 章 電気的特性

20.1	絶対最大定格	20-1
20.2	電気的特性	20-1
20.2.1	DC 特性	20-1
20.2.2	AC 特性	20-9
20.2.3	A/D 変換特性	20-15
20.2.4	D/A 変換特性	20-16
20.3	動作タイミング	20-17
20.3.1	バスタイミング	20-17
20.3.2	リフレッシュコントローラバスタイミング	20-20
20.3.3	制御信号タイミング	20-25
20.3.4	クロックタイミング	20-27
20.3.5	TPC、I/O ポートタイミング	20-27
20.3.6	ITU タイミング	20-28
20.3.7	SCI 入出力タイミング	20-29
20.3.8	DMAC タイミング	20-30

付録

A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-16
A.3	命令実行ステート数	付録-19
B.	レジスタ一覧	付録-27
B.1	I/O レジスタ一覧 (1)	付録-27
B.2	I/O レジスタ一覧 (2)	付録-34
C.	I/O ポートブロック図	付録-107
C.1	ポート 1 ブロック図	付録-107

C.2	ポート2ブロック図.....	付録-108
C.3	ポート3ブロック図.....	付録-109
C.4	ポート4ブロック図.....	付録-110
C.5	ポート5ブロック図.....	付録-111
C.6	ポート6ブロック図.....	付録-112
C.7	ポート7ブロック図.....	付録-116
C.8	ポート8ブロック図.....	付録-117
C.9	ポート9ブロック図.....	付録-120
C.10	ポートAブロック図.....	付録-123
C.11	ポートBブロック図.....	付録-126
D.	端子状態.....	付録-130
D.1	各処理状態におけるポートの状態.....	付録-130
D.2	リセット時の端子状態.....	付録-133
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて.....	付録-136
F.	外形寸法図.....	付録-137

1. 概要

1.1 概要

H8/3042 グループは、ルネサス テクノロジオリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU) です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、ROM、RAM、16 ビットインテグレートドタイマユニット (ITU)、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ (DMAC)、リフレッシュコントローラなどを内蔵しています。

H8/3042 グループには、H8/3042、H8/3041、H8/3040 の 3 種類があります。H8/3042 には、64K バイト ROM と 2K バイト RAM、H8/3041 には、48K バイト ROM と 2K バイト RAM、H8/3040 には 32K バイト ROM と 2K バイト RAM がそれぞれ内蔵されています。

MCU 動作モードは、モード 1~7 (シングルチップモード 2 種類、拡張モード 5 種類) があり、データバス幅とアドレス空間を選択することができます。

H8/3042 グループには、マスク ROM 版のほかに、H8/3042 にはユーザサイドで自由にプログラムの書き込みができる PROM を内蔵した ZTAT* 版があります。仕様流動性の高い応用機器さらに量産初期から本格的量産などユーザの状況に応じて迅速かつ柔軟な対応が可能です。

H8/3042 グループの特長を表 1.1 に示します。

【注】* ZTAT は (株) ルネサス テクノロジの登録商標です。

1. 概要

表 1.1 特長

項目	仕様
CPU	<p>H8/300CPU に対してオブジェクトレベルで上位互換汎用レジスタマシン</p> <ul style="list-style-type: none"> 汎用レジスタ：16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none"> 最大動作周波数：16MHz 加減算：125ns 乗除算：875ns <p>2 種類の CPU 動作モード</p> <ul style="list-style-type: none"> ノーマルモード (アドレス空間 64K バイト) アドバンスモード (アドレス空間 16M バイト) <p>特長ある命令</p> <ul style="list-style-type: none"> 8/16/32 ビット転送・演算命令 符号なし/符号付き乗算命令 (8 ビット×8 ビット、16 ビット×16 ビット) 符号なし/符号付き除算命令 (16 ビット÷8 ビット、32 ビット÷16 ビット) ビットアキュムレータ機能 レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	<p>H8/3042</p> <ul style="list-style-type: none"> ROM：64K バイト RAM：2K バイト <p>H8/3041</p> <ul style="list-style-type: none"> ROM：48K バイト RAM：2K バイト <p>H8/3040</p> <ul style="list-style-type: none"> ROM：32K バイト RAM：2K バイト
割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子 7 本：NMI、IRQ₀～IRQ₅ 内部割り込み 30 要因 3 レベルの割り込み優先順位が設定可能
バスコントローラ	<ul style="list-style-type: none"> アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 エリアごとに 0～3 はチップセレクト出力可能 エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 4 種類のウェイトモードを設定可能 バス権調停機能
リフレッシュコントローラ	<p>DRAM リフレッシュ</p> <ul style="list-style-type: none"> ×16 ビット構成の DRAM を直接接続可能 CAS ビフォ RAS リフレッシュ セルフリフレッシュモード設定可能 <p>PSRAM リフレッシュ</p> <ul style="list-style-type: none"> セルフリフレッシュモード設定可能 インターバルタイマとして使用可能

項目	仕様
DMA コントローラ (DMAC)	<p>ショートアドレスモード</p> <ul style="list-style-type: none"> 最大 4 チャンネルを使用可能 I/O モード/アイドルモード/リピートモードの選択可能 起動要因: ITU チャンネル 0~3 のコンペアマッチ/インプットキャプチャ A 割り込み、SCI の送信データエンプティ/受信データフル割り込み、外部リクエスト <p>フルアドレスモード</p> <ul style="list-style-type: none"> 最大 2 チャンネルを使用可能 ノーマルモード/ブロック転送モードの選択可能 起動要因: ITU チャンネル 0~3 のコンペアマッチ/インプットキャプチャ A 割り込み、外部リクエスト、オートリクエスト
16 ビット インテグレートド タイマユニット (ITU)	<ul style="list-style-type: none"> 16 ビットタイマ 5 チャンネルを内蔵。最大 12 端子のパルス出力、または最大 10 種類のパルスの入力処理が可能 16 ビットタイマカウンタ×1 (チャンネル 0~4) アウトプットコンペア出力/インプットキャプチャ入力 (兼用端子) ×2 (チャンネル 0~4) 同期動作可能 (チャンネル 0~4) PWM モード設定可能 (チャンネル 0~4) 位相計数モード設定可能 (チャンネル 2) バッファ動作可能 (チャンネル 3、4) リセット同期 PWM モード設定可能 (チャンネル 3、4) 相補 PWM モード設定可能 (チャンネル 3、4) コンペアマッチ/インプットキャプチャ A の割り込みにより DMAC 起動可能 (チャンネル 0~3)
プログラマブル タイミングパターン コントローラ (TPC)	<ul style="list-style-type: none"> ITU をタイムベースとした最大 16 ビットのパルス出力が可能 最大 4 ビット×4 系統のパルス出力が可能 (16 ビット×1 系統、8 ビット×2 系統などの設定も可能) ノンオーバーラップモード設定可能 DMAC による出力データの転送可能
ウォッチドッグタイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> オーバフローによりリセット信号を発生可能 リセット信号の外部出力可能 インターバルタイマとして使用可能
シリアル コミュニケーション インタフェース (SCI) ×2 チャンネル	<ul style="list-style-type: none"> 調歩同期/クロック同期式モードの選択可能 送受信同時動作 (全二重動作) 可能 専用のボーレートジェネレータ内蔵
A/D 変換器	<ul style="list-style-type: none"> 分解能: 10 ビット 8 チャンネル: 単一モード/スキャンモード選択可能 アナログ変換電圧範囲の設定が可能 サンプル&ホールド機能付き 外部トリガによる A/D 変換開始可能
D/A 変換器	<ul style="list-style-type: none"> 分解能: 8 ビット 2 チャンネル
I/O ポート	<ul style="list-style-type: none"> 入出力端子 70 本 入力端子 8 本

1. 概要

項目	仕様			
動作モード	7種類のMCU動作モード			
	モード	アドレス空間	アドレス端子	バス幅初期値
	モード1	1Mバイト	A ₁₉ ~A ₀	8ビット
	モード2	1Mバイト	A ₁₉ ~A ₀	16ビット
	モード3	16Mバイト	A ₂₃ ~A ₀	8ビット
	モード4	16Mバイト	A ₂₃ ~A ₀	16ビット
	モード5	1Mバイト	A ₁₉ ~A ₀	8ビット
	モード6	64Kバイト		
モード7	1Mバイト			
低消費電力状態	<ul style="list-style-type: none"> ・スリープモード ・ソフトウェアスタンバイモード ・ハードウェアスタンバイモード 			
その他	<ul style="list-style-type: none"> ・クロック発振器内蔵 			
製品ラインアップ	製品型名(5V版)	製品型名(3V版)	パッケージ	ROM
	HD6473042TF	HD6473042VTF	100ピン TQFP(TFP-100B)	PROM版
	HD6473042F	HD6473042VF	100ピン QFP(FP-100B)	
	HD6473042FP	HD6473042VFP	100ピン QFP(FP-100A)	
	HD6433042TF	HD6433042VTF	100ピン TQFP(TFP-100B)	マスクROM版
	HD6433042F	HD6433042VF	100ピン QFP(FP-100B)	
	HD6433042FP	HD6433042VFP	100ピン QFP(FP-100A)	
	HD6433041TF	HD6433041VTF	100ピン TQFP(TFP-100B)	マスクROM版
	HD6433041F	HD6433041VF	100ピン QFP(FP-100B)	
	HD6433041FP	HD6433041VFP	100ピン QFP(FP-100A)	
	HD6433040TF	HD6433040VTF	100ピン TQFP(TFP-100B)	マスクROM版
	HD6433040F	HD6433040VF	100ピン QFP(FP-100B)	
	HD6433040FP	HD6433040VFP	100ピン QFP(FP-100A)	

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

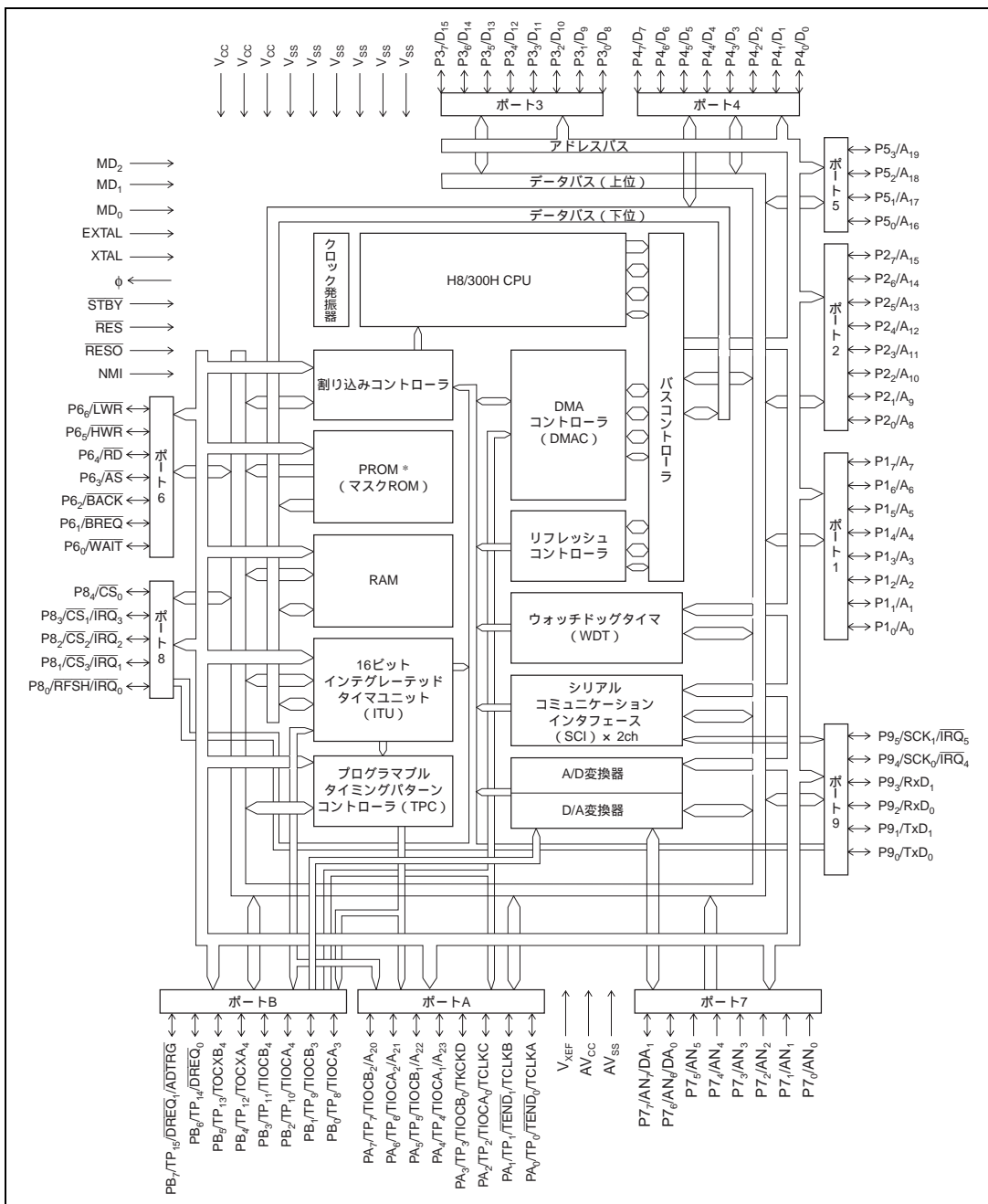


図 1.1 内部ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置

H8/3042 グループのピン配置図 FP-100B、TFP-100B を図 1.2、FP-100A を図 1.3 に示します。

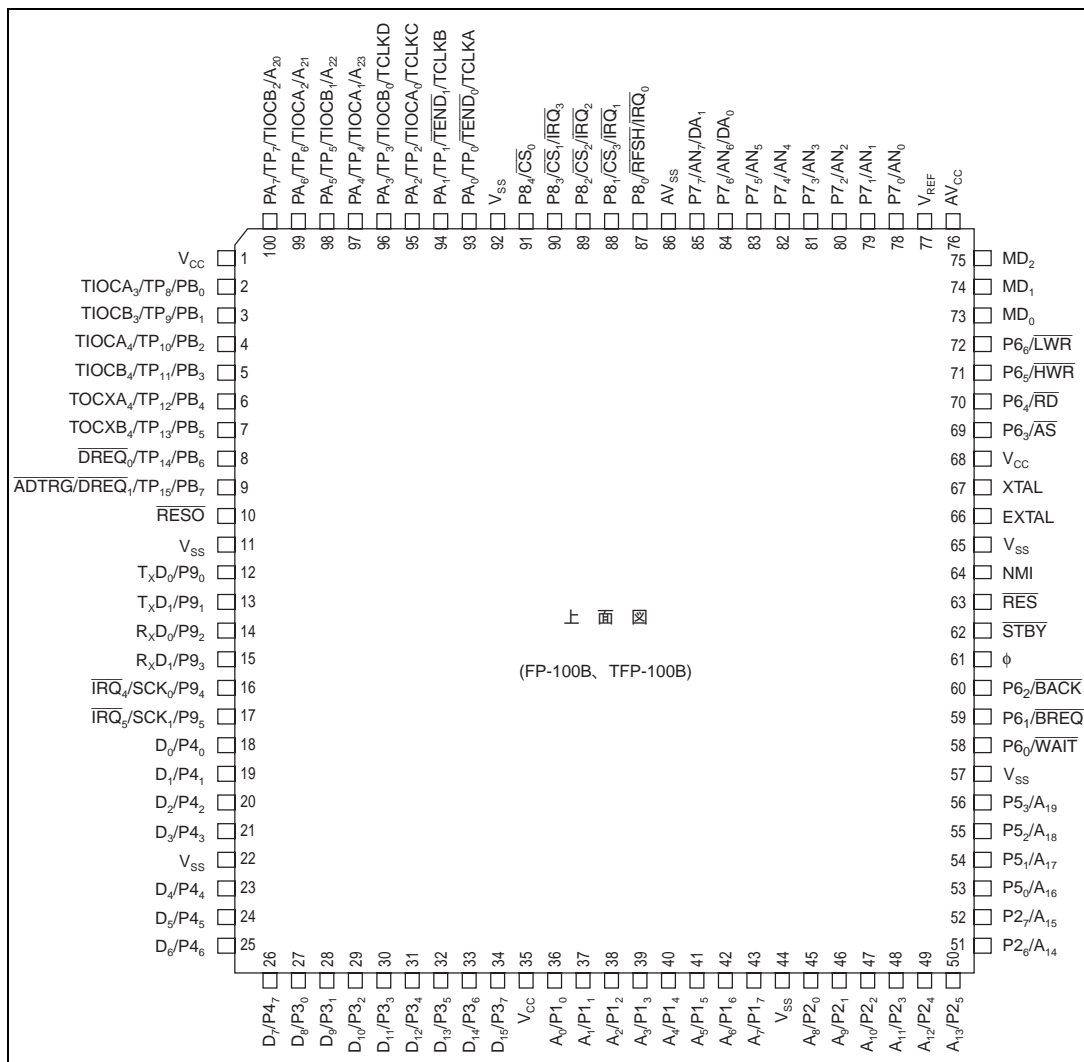


図 1.2 ピン配置 (FP-100B、TFP-100B : 上面図)

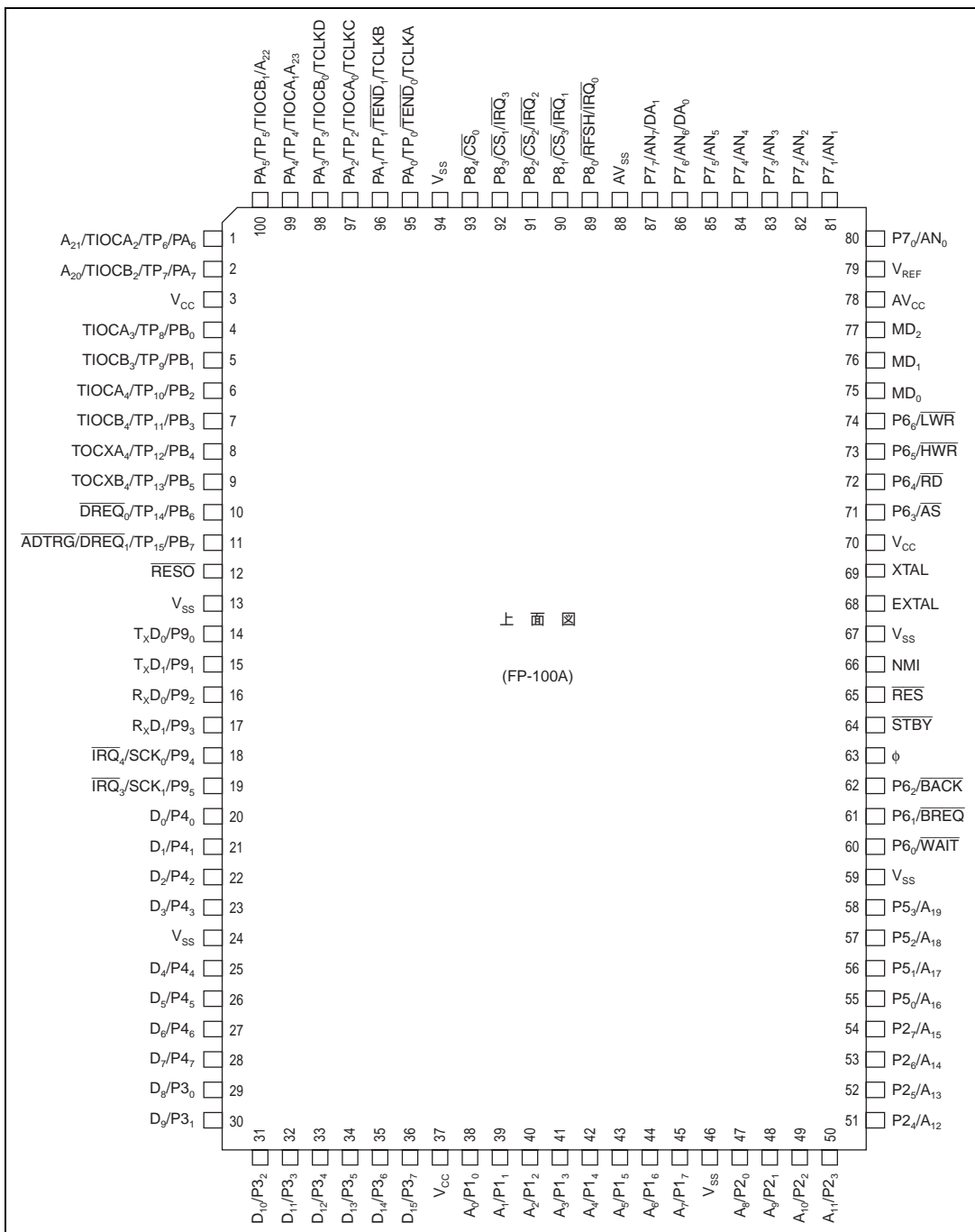


図 1.3 ピン配置 (FP-100A : 上面図)

1. 概要

1.3.2 端子機能

(1) モード別ピン配置一覧

モード別ピン配置を表 1.2 に示します。

表 1.2 モード別ピン配置一覧 (FP-100B、TFP-100B、FP-100A)

ピン番号		端子名							
FP-100B、TFP-100B	FP-100A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROMモード
1	3	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
2	4	PB ₀ /TP ₀ / TIOCA ₃	PB ₀ /TP ₀ / TIOCA ₃	PB ₀ /TP ₀ / TIOCA ₃	PB ₀ /TP ₀ / TIOCA ₃	PB ₀ /TP ₀ / TIOCA ₃	PB ₀ /TP ₀ / TIOCA ₃	PB ₀ /TP ₀ / TIOCA ₃	NC
3	5	PB ₁ /TP ₁ / TIOCB ₃	PB ₁ /TP ₁ / TIOCB ₃	PB ₁ /TP ₁ / TIOCB ₃	PB ₁ /TP ₁ / TIOCB ₃	PB ₁ /TP ₁ / TIOCB ₃	PB ₁ /TP ₁ / TIOCB ₃	PB ₁ /TP ₁ / TIOCB ₃	NC
4	6	PB ₂ /TP ₁₀ / TIOCA ₄	PB ₂ /TP ₁₀ / TIOCA ₄	PB ₂ /TP ₁₀ / TIOCA ₄	PB ₂ /TP ₁₀ / TIOCA ₄	PB ₂ /TP ₁₀ / TIOCA ₄	PB ₂ /TP ₁₀ / TIOCA ₄	PB ₂ /TP ₁₀ / TIOCA ₄	NC
5	7	PB ₃ /TP ₁₁ / TIOCB ₄	PB ₃ /TP ₁₁ / TIOCB ₄	PB ₃ /TP ₁₁ / TIOCB ₄	PB ₃ /TP ₁₁ / TIOCB ₄	PB ₃ /TP ₁₁ / TIOCB ₄	PB ₃ /TP ₁₁ / TIOCB ₄	PB ₃ /TP ₁₁ / TIOCB ₄	NC
6	8	PB ₄ /TP ₁₂ / TOCXA ₄	PB ₄ /TP ₁₂ / TOCXA ₄	PB ₄ /TP ₁₂ / TOCXA ₄	PB ₄ /TP ₁₂ / TOCXA ₄	PB ₄ /TP ₁₂ / TOCXA ₄	PB ₄ /TP ₁₂ / TOCXA ₄	PB ₄ /TP ₁₂ / TOCXA ₄	NC
7	9	PB ₅ /TP ₁₃ / TOCXB ₄	PB ₅ /TP ₁₃ / TOCXB ₄	PB ₅ /TP ₁₃ / TOCXB ₄	PB ₅ /TP ₁₃ / TOCXB ₄	PB ₅ /TP ₁₃ / TOCXB ₄	PB ₅ /TP ₁₃ / TOCXB ₄	PB ₅ /TP ₁₃ / TOCXB ₄	NC
8	10	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ / DREQ ₀	PB ₆ /TP ₁₄ / DREQ ₀	NC
9	11	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	PB ₇ /TP ₁₅ / DREQ ₁ / ADTRG	NC
10	12	RESO	RESO	RESO	RESO	RESO	RESO	RESO	V _{PP}
11	13	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
12	14	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	NC
13	15	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	NC
14	16	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	NC
15	17	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	NC
16	18	P9 ₄ /SCK ₀ / /IRQ ₄	P9 ₄ /SCK ₀ / /IRQ ₄	P9 ₄ /SCK ₀ / /IRQ ₄	P9 ₄ /SCK ₀ / /IRQ ₄	P9 ₄ /SCK ₀ / /IRQ ₄	P9 ₄ /SCK ₀ / /IRQ ₄	P9 ₄ /SCK ₀ / /IRQ ₄	NC
17	19	P9 ₅ /SCK ₁ / /IRQ ₅	P9 ₅ /SCK ₁ / /IRQ ₅	P9 ₅ /SCK ₁ / /IRQ ₅	P9 ₅ /SCK ₁ / /IRQ ₅	P9 ₅ /SCK ₁ / /IRQ ₅	P9 ₅ /SCK ₁ / /IRQ ₅	P9 ₅ /SCK ₁ / /IRQ ₅	NC
18	20	P4 ₀ /D ₀ * ¹	P4 ₀ /D ₀ * ²	P4 ₀ /D ₀ * ¹	P4 ₀ /D ₀ * ²	P4 ₀ /D ₀ * ¹	P4 ₀	P4 ₀	NC
19	21	P4 ₁ /D ₁ * ¹	P4 ₁ /D ₁ * ²	P4 ₁ /D ₁ * ¹	P4 ₁ /D ₁ * ²	P4 ₁ /D ₁ * ¹	P4 ₁	P4 ₁	NC
20	22	P4 ₂ /D ₂ * ¹	P4 ₂ /D ₂ * ²	P4 ₂ /D ₂ * ¹	P4 ₂ /D ₂ * ²	P4 ₂ /D ₂ * ¹	P4 ₂	P4 ₂	NC
21	23	P4 ₃ /D ₃ * ¹	P4 ₃ /D ₃ * ²	P4 ₃ /D ₃ * ¹	P4 ₃ /D ₃ * ²	P4 ₃ /D ₃ * ¹	P4 ₃	P4 ₃	NC
22	24	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
23	25	P4 ₄ /D ₄ * ¹	P4 ₄ /D ₄ * ²	P4 ₄ /D ₄ * ¹	P4 ₄ /D ₄ * ²	P4 ₄ /D ₄ * ¹	P4 ₄	P4 ₄	NC
24	26	P4 ₅ /D ₅ * ¹	P4 ₅ /D ₅ * ²	P4 ₅ /D ₅ * ¹	P4 ₅ /D ₅ * ²	P4 ₅ /D ₅ * ¹	P4 ₅	P4 ₅	NC
25	27	P4 ₆ /D ₆ * ¹	P4 ₆ /D ₆ * ²	P4 ₆ /D ₆ * ¹	P4 ₆ /D ₆ * ²	P4 ₆ /D ₆ * ¹	P4 ₆	P4 ₆	NC
26	28	P4 ₇ /D ₇ * ¹	P4 ₇ /D ₇ * ²	P4 ₇ /D ₇ * ¹	P4 ₇ /D ₇ * ²	P4 ₇ /D ₇ * ¹	P4 ₇	P4 ₇	NC

ピン番号		端子名							
FP-100B、TFP-100B	FP-100A	モード1	モード2	モード3	モード4	モード5	モード6	モード7	PROMモード
27	29	D ₈	D ₈	D ₈	D ₈	D ₈	P3 ₀	P3 ₀	EO ₀
28	30	D ₉	D ₉	D ₉	D ₉	D ₉	P3 ₁	P3 ₁	EO ₁
29	31	D ₁₀	D ₁₀	D ₁₀	D ₁₀	D ₁₀	P3 ₂	P3 ₂	EO ₂
30	32	D ₁₁	D ₁₁	D ₁₁	D ₁₁	D ₁₁	P3 ₃	P3 ₃	EO ₃
31	33	D ₁₂	D ₁₂	D ₁₂	D ₁₂	D ₁₂	P3 ₄	P3 ₄	EO ₄
32	34	D ₁₃	D ₁₃	D ₁₃	D ₁₃	D ₁₃	P3 ₅	P3 ₅	EO ₅
33	35	D ₁₄	D ₁₄	D ₁₄	D ₁₄	D ₁₄	P3 ₆	P3 ₆	EO ₆
34	36	D ₁₅	D ₁₅	D ₁₅	D ₁₅	D ₁₅	P3 ₇	P3 ₇	EO ₇
35	37	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
36	38	A ₀	A ₀	A ₀	A ₀	PI ₀ /A ₀	PI ₀	PI ₀	EA ₀
37	39	A ₁	A ₁	A ₁	A ₁	PI ₁ /A ₁	PI ₁	PI ₁	EA ₁
38	40	A ₂	A ₂	A ₂	A ₂	PI ₂ /A ₂	PI ₂	PI ₂	EA ₂
39	41	A ₃	A ₃	A ₃	A ₃	PI ₃ /A ₃	PI ₃	PI ₃	EA ₃
40	42	A ₄	A ₄	A ₄	A ₄	PI ₄ /A ₄	PI ₄	PI ₄	EA ₄
41	43	A ₅	A ₅	A ₅	A ₅	PI ₅ /A ₅	PI ₅	PI ₅	EA ₅
42	44	A ₆	A ₆	A ₆	A ₆	PI ₆ /A ₆	PI ₆	PI ₆	EA ₆
43	45	A ₇	A ₇	A ₇	A ₇	PI ₇ /A ₇	PI ₇	PI ₇	EA ₇
44	46	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
45	47	A ₈	A ₈	A ₈	A ₈	P2 ₀ /A ₈	P2 ₀	P2 ₀	EA ₈
46	48	A ₉	A ₉	A ₉	A ₉	P2 ₁ /A ₉	P2 ₁	P2 ₁	OE
47	49	A ₁₀	A ₁₀	A ₁₀	A ₁₀	P2 ₂ /A ₁₀	P2 ₂	P2 ₂	EA ₁₀
48	50	A ₁₁	A ₁₁	A ₁₁	A ₁₁	P2 ₃ /A ₁₁	P2 ₃	P2 ₃	EA ₁₁
49	51	A ₁₂	A ₁₂	A ₁₂	A ₁₂	P2 ₄ /A ₁₂	P2 ₄	P2 ₄	EA ₁₂
50	52	A ₁₃	A ₁₃	A ₁₃	A ₁₃	P2 ₅ /A ₁₃	P2 ₅	P2 ₅	EA ₁₃
51	53	A ₁₄	A ₁₄	A ₁₄	A ₁₄	P2 ₆ /A ₁₄	P2 ₆	P2 ₆	EA ₁₄
52	54	A ₁₅	A ₁₅	A ₁₅	A ₁₅	P2 ₇ /A ₁₅	P2 ₇	P2 ₇	CE
53	55	A ₁₆	A ₁₆	A ₁₆	A ₁₆	P5 ₀ /A ₁₆	P5 ₀	P5 ₀	V _{CC}
54	56	A ₁₇	A ₁₇	A ₁₇	A ₁₇	P5 ₁ /A ₁₇	P5 ₁	P5 ₁	V _{CC}
55	57	A ₁₈	A ₁₈	A ₁₈	A ₁₈	P5 ₂ /A ₁₈	P5 ₂	P5 ₂	NC
56	58	A ₁₉	A ₁₉	A ₁₉	A ₁₉	P5 ₃ /A ₁₉	P5 ₃	P5 ₃	NC
57	59	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
58	60	P6 ₀ / WAIT	P6 ₀ / WAIT	P6 ₀ / WAIT	P6 ₀ / WAIT	P6 ₀ / WAIT	P6 ₀	P6 ₀	EA ₁₅
59	61	P6 ₁ / BREQ	P6 ₁ / BREQ	P6 ₁ / BREQ	P6 ₁ / BREQ	P6 ₁ / BREQ	P6 ₁	P6 ₁	NC
60	62	P6 ₂ / BACK	P6 ₂ / BACK	P6 ₂ / BACK	P6 ₂ / BACK	P6 ₂ / BACK	P6 ₂	P6 ₂	NC
61	63	φ	φ	φ	φ	φ	φ	φ	NC
62	64	STBY	STBY	STBY	STBY	STBY	STBY	STBY	V _{SS}
63	65	RES	RES	RES	RES	RES	RES	RES	NC
64	66	NMI	NMI	NMI	NMI	NMI	NMI	NMI	EA ₉
65	67	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}

1. 概要

ピン番号		端子名							
FP-100B、TFP-100B	FP-100A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード
66	68	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	NC
67	69	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	NC
68	70	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
69	71	AS	AS	AS	AS	AS	P6 ₃	P6 ₃	NC
70	72	RD	RD	RD	RD	RD	P6 ₄	P6 ₄	NC
71	73	HWR	HWR	HWR	HWR	HWR	P6 ₅	P6 ₅	NC
72	74	LWR	LWR	LWR	LWR	LWR	P6 ₆	P6 ₆	NC
73	75	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀	V _{SS}
74	76	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁	V _{SS}
75	77	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂	V _{SS}
76	78	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	V _{CC}
77	79	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{REF}	V _{CC}
78	80	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	NC
79	81	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	NC
80	82	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	NC
81	83	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	NC
82	84	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	NC
83	85	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	NC
84	86	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	P7 ₆ /AN ₆ / DA ₀	NC
85	87	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	P7 ₇ /AN ₇ / DA ₁	NC
86	88	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	V _{SS}
87	89	P8 ₀ / RFSH/ IRQ ₀	P8 ₀ / RFSH/ IRQ ₀	P8 ₀ / RFSH/ IRQ ₀	P8 ₀ / RFSH/ IRQ ₀	P8 ₀ / RFSH/ IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀	EA ₁₀
88	90	P8 ₁ /CS ₁ / IRQ ₁	P8 ₁ /CS ₁ / IRQ ₁	P8 ₁ /CS ₁ / IRQ ₁	P8 ₁ /CS ₁ / IRQ ₁	P8 ₁ /CS ₁ / IRQ ₁	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁	PGM
89	91	P8 ₂ /CS ₂ / IRQ ₂	P8 ₂ /CS ₂ / IRQ ₂	P8 ₂ /CS ₂ / IRQ ₂	P8 ₂ /CS ₂ / IRQ ₂	P8 ₂ /CS ₂ / IRQ ₂	P8 ₂ /IRQ ₂	P8 ₂ /IRQ ₂	NC
90	92	P8 ₃ /CS ₃ / IRQ ₃	P8 ₃ /CS ₃ / IRQ ₃	P8 ₃ /CS ₃ / IRQ ₃	P8 ₃ /CS ₃ / IRQ ₃	P8 ₃ /CS ₃ / IRQ ₃	P8 ₃ /IRQ ₃	P8 ₃ /IRQ ₃	NC
91	93	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄ /CS ₀	P8 ₄	P8 ₄	NC
92	94	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
93	95	PA ₀ /TP ₀ / TEND ₀ / TCLKA	PA ₀ /TP ₀ / TEND ₀ / TCLKA	PA ₀ /TP ₀ / TEND ₀ / TCLKA	PA ₀ /TP ₀ / TEND ₀ / TCLKA	PA ₀ /TP ₀ / TEND ₀ / TCLKA	PA ₀ /TP ₀ / TEND ₀ / TCLKA	PA ₀ /TP ₀ / TEND ₀ / TCLKA	NC
94	96	PA ₁ /TP ₁ / TEND ₁ / TCLKB	PA ₁ /TP ₁ / TEND ₁ / TCLKB	PA ₁ /TP ₁ / TEND ₁ / TCLKB	PA ₁ /TP ₁ / TEND ₁ / TCLKB	PA ₁ /TP ₁ / TEND ₁ / TCLKB	PA ₁ /TP ₁ / TEND ₁ / TCLKB	PA ₁ /TP ₁ / TEND ₁ / TCLKB	NC
95	97	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	PA ₂ /TP ₂ / TIOCA ₂ / TCLKC	NC

ピン番号		端子名								
FP-100B、TFP-100B	FP-100A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROMモード	
96	98	PA ₃ /TP ₃ / TIOCB ₃ / TCLKD	PA ₄ /TP ₄ / TIOCB ₄ / TCLKD	PA ₅ /TP ₅ / TIOCB ₅ / TCLKD	PA ₃ /TP ₃ / TIOCB ₃ / TCLKD	PA ₄ /TP ₄ / TIOCB ₄ / TCLKD	PA ₅ /TP ₅ / TIOCB ₅ / TCLKD	PA ₃ /TP ₃ / TIOCB ₃ / TCLKD	PA ₄ /TP ₄ / TIOCB ₄ / TCLKD	NC
97	99	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	PA ₄ /TP ₄ / TIOCA ₁	NC
98	100	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	PA ₅ /TP ₅ / TIOCB ₁	NC
99	1	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	PA ₆ /TP ₆ / TIOCA ₁	NC
100	2	PA ₇ /TP ₇ / TIOCB ₁	PA ₇ /TP ₇ / TIOCB ₁	A ₂₀	A ₂₀	PA ₇ /TP ₇ / TIOCB ₁	PA ₇ /TP ₇ / TIOCB ₁	PA ₇ /TP ₇ / TIOCB ₁	PA ₇ /TP ₇ / TIOCB ₁	NC

- 【注】 *1 モード 1、3、5 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は P4₀ ~ P4₇ 端子となっています（プログラムで変更できます）。
- *2 モード 2、4 では、リセット直後、P4₀/D₀ ~ P4₇/D₇ 端子は D₀ ~ D₇ 端子となっています（プログラムで変更できます）。
1. NC ピンは、何も接続しないでください。
 2. PROM モードについての詳細は、「17.2 PROM モード」を参照してください。

1. 概要

1.4 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号		入出力	名称および機能																																				
		FP-100B、TFP-100B	FP-100A																																						
電源	V_{cc}	1、35、68	3、37、70	入力	電源 電源 (+5V) に接続します。 V_{cc} 端子は、全端子をシステムの電源 (+5V) に接続してください。																																				
	V_{ss}	11、22、44、57、65、92	13、24、46、59、67、94	入力	グラウンド 電源 (0V) に接続します。 V_{ss} 端子は、全端子をシステムの電源 (0V) に接続してください。																																				
クロック	XTAL	67	69	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。																																				
	EXTAL	66	68	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。																																				
	ϕ	61	63	出力	システムクロック 外部デバイスにシステムクロックを供給します。																																				
動作モードコントロール	$MD_2 \sim MD_0$	75 ~ 73	77 ~ 75	入力	モード端子 動作モードを設定します。 $MD_2 \sim MD_0$ 端子と動作モードの関係は次のとおりです。 これらの端子は動作中には変化させないでください。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD_2</th> <th>MD_1</th> <th>MD_0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>モード 1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>モード 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>モード 3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>モード 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>モード 5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>モード 6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>モード 7</td> </tr> </tbody> </table>	MD_2	MD_1	MD_0	動作モード	0	0	0		0	0	1	モード 1	0	1	0	モード 2	0	1	1	モード 3	1	0	0	モード 4	1	0	1	モード 5	1	1	0	モード 6	1	1	1	モード 7
MD_2	MD_1	MD_0	動作モード																																						
0	0	0																																							
0	0	1	モード 1																																						
0	1	0	モード 2																																						
0	1	1	モード 3																																						
1	0	0	モード 4																																						
1	0	1	モード 5																																						
1	1	0	モード 6																																						
1	1	1	モード 7																																						

分類	記号	ピン番号		入出力	名称および機能
		FP-100B、TFP-100B	FP-100A		
システム制御	RES	63	65	入力	リセット入力 この端子が"Low"レベルになると、リセット状態となります。
	RES \bar{O}	10	12	出力	リセット出力 外部デバイスに対し、リセット信号を出力します。
	STBY	62	64	入力	スタンバイ この端子が"Low"レベルになると、ハードウェアスタンバイモードに遷移します。
	BRE \bar{Q}	59	61	入力	バス権要求 本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	60	62	出力	バス権要求アクノリッジ バス権を外部バスマスタに解放したことを示します。
割り込み	NMI	64	66	入力	ノンマスカブル割り込み マスク不可能な割り込みを要求します。
	IRQ $_5$ ~ IRQ $_0$	17、16、90 ~ 87、	19、18、92 ~ 89、	入力	割り込み要求 5 ~ 0 マスク可能な割り込みを要求します。
アドレスバス	A $_{23}$ ~ A $_0$	97 ~ 100、56 ~ 45、43 ~ 36	99、100、1、2、58 ~ 47、45 ~ 38	出力	アドレスバス アドレスを出力します。
データバス	D $_{15}$ ~ D $_0$	34 ~ 23、21 ~ 18	36 ~ 25、23 ~ 20	入出力	データバス 双方向データバスです。
バス制御	CS $_3$ ~ CS $_0$	88 ~ 91、	90 ~ 93、	出力	チップセレクト エリア 3 ~ 0 の選択信号です。
	A \bar{S}	69	71	出力	アドレスストローブ この端子が"Low"レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	R \bar{D}	70	72	出力	リード この端子が"Low"レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	71	73	出力	ハイライト この端子が"Low"レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側 (D $_{15}$ ~ D $_0$) が有効であることを示します。
	LWR	72	74	出力	ロウライト この端子が"Low"レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側 (D $_7$ ~ D $_0$) が有効であることを示します。
	WAIT	58	60	入力	ウェイト 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B、TFP-100B	FP-100A		
リフレッシュ コントローラ	RFSH	87	89	出力	リフレッシュ リフレッシュサイクルを示します。
	\overline{CS}_3	88	90	出力	ロウアドレスストロープ (\overline{RAS}) エリア 3 に接続された DRAM のロウアドレスストロープ信号です。
	\overline{RD}	70	72	出力	カラムアドレスストロープ (\overline{CAS}) エリア 3 に接続された DRAM のカラムアドレスストロープ信号です。 2WE 方式 DRAM に使用します。 ライトイネーブル エリア 3 に接続された DRAM のライトイネーブル信号です。 2CAS 方式 DRAM に使用します。
	\overline{HWR}	71	73	出力	アッパーライト エリア 3 に接続された DRAM のライトイネーブル信号です。 2WE 方式 DRAM に使用します。 アッパーカラムアドレスストロープ エリア 3 に接続された DRAM のカラムアドレスストロープ信号です。 2CAS 方式 DRAM に使用します。
	\overline{LWR}	72	74	出力	ロウアーライト エリア 3 に接続された DRAM のライトイネーブル信号です。 2WE 方式 DRAM に使用します。 ロウアーカラムアドレスストロープ エリア 3 に接続された DRAM のカラムアドレスストロープ信号です。 2CAS 方式 DRAM に使用します。
DMA コントローラ (DMAC)	\overline{DREQ}_1 、 \overline{DREQ}_0	9、8	11、10	入力	DMA 要求 1、0 DMAC の起動を要求します。
	\overline{TEND}_1 、 \overline{TEND}_0	94、93	96、95	出力	DMA 終了 1、0 DMAC のデータ転送終了を示します。
16 ビット インテグ レーテッド タイマ ユニット (ITU)	TCLKD ~ TCLKA	96 ~ 93	98 ~ 95	入力	クロック入力 D ~ A 外部クロックを入力します。
	$TIOCA_4$ ~ $TIOCA_0$	4、2、 99、97、 95	6、4、 1、99、 97	入出力	インプットキャプチャ / アウトプットコンペア A4 ~ A0 GRA4 ~ A0 のアウトプットコンペア出力 / インプット キャプチャ入力 / PWM 出力端子です。
	$TIOCB_4$ ~ $TIOCB_0$	5、3、 100、98、 96	7、5、 2、100、 98	入出力	インプットキャプチャ / アウトプットコンペア B4 ~ B0 GRB4 ~ B0 のアウトプットコンペア出力 / インプット キャプチャ入力 / PWM 出力端子です。
	$TOCXA_4$	6	8	出力	アウトプットコンペア XA4 PWM 出力端子です。
	$TOCXB_4$	7	9	出力	アウトプットコンペア XB4 PWM 出力端子です。

分類	記号	ピン番号		入出力	名称および機能
		FP-100B、TFP-100B	FP-100A		
プログラマブルタイミングパターンコントローラ (TPC)	TP ₁₅ ~ TP ₀	9 ~ 2、100 ~ 93	11 ~ 4、2、1、100 ~ 95	出力	TPC 出力 15 ~ 0 パルス出力端子です。
シリアルコミュニケーションインタフェース (SCI)	TxD ₁ 、TxD ₀	13、12	15、14	出力	トランスミットデータ (チャンネル0、1) SCI のデータ出力端子です。
	RxD ₁ 、RxD ₀	15、14	17、16	入力	レシーブデータ (チャンネル0、1) SCI のデータ入力端子です。
	SCK ₁ 、SCK ₀	17、16	19、18	入出力	シリアルクロック (チャンネル0、1) SCI のクロック入力端子です。
A/D変換器	AN ₇ ~ AN ₀	85 ~ 78	87 ~ 80	入力	アナログ7 ~ 0 アナログ入力端子です。
	ADTRG	9	11	入力	A/D変換外部トリガ入力 A/D変換開始のための外部トリガ入力端子です。
D/A変換器	DA ₁ 、DA ₀	85、84	87、86	出力	アナログ出力 D/A変換器のアナログ出力端子です。
A/D変換器、D/A変換器	AV _{CC}	76	78	入力	A/D変換器およびD/A変換器の電源端子です。 A/D変換器およびD/A変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
	AV _{SS}	86	88	入力	A/D変換器およびD/A変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	V _{REF}	77	79	入力	A/D変換器およびD/A変換器の基準電圧入力端子です。 A/D変換器およびD/A変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
I/Oポート	P1 ₇ ~ P1 ₀	43 ~ 36	45 ~ 38	入出力	ポート1 8ビットの入出力端子です。 ポート1データディレクションレジスタ (P1DDR) によって、1ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	52 ~ 45	54 ~ 47	入出力	ポート2 8ビットの入出力端子です。 ポート2データディレクションレジスタ (P2DDR) によって、1ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	34 ~ 27	36 ~ 29	入出力	ポート3 8ビットの入出力端子です。 ポート3データディレクションレジスタ (P3DDR) によって、1ビットごとに入出力を指定できます。
	P4 ₇ ~ P4 ₀	26 ~ 23、21 ~ 18	28 ~ 25、23 ~ 20	入出力	ポート4 8ビットの入出力端子です。 ポート4データディレクションレジスタ (P4DDR) によって、1ビットごとに入出力を指定できます。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B、TFP-100B	FP-100A		
I/O ポート	P5 ₃ ~ P5 ₀	56 ~ 53	58 ~ 53	入出力	ポート 5 4 ビットの入出力端子です。 ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごとに入出力を指定できます。
	P6 ₆ ~ P6 ₀	72 ~ 69、 60 ~ 58	74 ~ 71、 62 ~ 60	入出力	ポート 6 7 ビットの入出力端子です。 ポート 6 データディレクションレジスタ (P6DDR) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	85 ~ 78	87 ~ 80	入力	ポート 7 8 ビットの入力端子です。
	P8 ₄ ~ P8 ₀	91 ~ 87	93 ~ 89	入出力	ポート 8 5 ビットの入出力端子です。 ポート 8 データディレクションレジスタ (P8DDR) によって、1 ビットごとに入出力を指定できます。
	P9 ₅ ~ P9 ₀	17 ~ 12	19 ~ 14	入出力	ポート 9 6 ビットの入出力端子です。 ポート 9 データディレクションレジスタ (P9DDR) によって、1 ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	100 ~ 93	2、1、 100 ~ 95	入出力	ポート A 8 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1 ビットごとに入出力を指定できます。
	PB ₇ ~ PB ₀	9 ~ 2	11 ~ 4	入出力	ポート B 8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。

2. CPU

2.1 概要

H8/300H CPU は、H8/300CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPU には、次の特長があります。

H8/300CPU 上位互換

H8/300 シリーズのオブジェクトプログラムを実行可能

汎用レジスタ方式

16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能)

62 種類の基本命令

- 8/16/32 ビット転送、演算命令
- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16, ERn), @(d:24, ERn))
- ポストインクリメント/プリデクリメントレジスタ間接 (@ERn + /@ - ERn)
- 絶対アドレス (@aa:8, @aa:16, @aa:24)
- イミディエイト (#xx:8, #xx:16, #xx:32)
- プログラムカウンタ相対 (@(d:8, PC), @(d:16, PC))
- メモリ間接 (@@aa:8)

16M バイトのリニアアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 最高動作周波数: 16MHz
- 8/16/32 ビットレジスタ間加減算 125ns
- 8×8 ビットレジスタ間乗算 875ns
- 16÷8 ビットレジスタ間除算 875ns
- 16×16 ビットレジスタ間乗算 1.375μs
- 32÷16 ビットレジスタ間除算 1.375μs

2 種類の CPU 動作モード

- ノーマルモード
- アドバンスモード

低消費電力動作

- SLEEP 命令により低消費電力状態に遷移

2.1.2 H8/300CPU との相違点

H8/300H CPU は、H8/300CPU に対して、次の点が強化、拡張されています。

汎用レジスタを拡張

16 ビット×8 本の拡張レジスタを追加

アドレス空間を拡張

- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- ノーマルモードのとき、H8/300CPU と同一の 64K バイトのアドレス空間を使用可能

アドレッシングモードを強化

16M バイトのアドレス空間を有効に使用可能

命令強化

- 32 ビット転送、演算命令を追加
- 符号付き乗除算命令などを追加

2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンスモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64Kバイト、アドバンスモードの場合最大16Mバイトとなります。

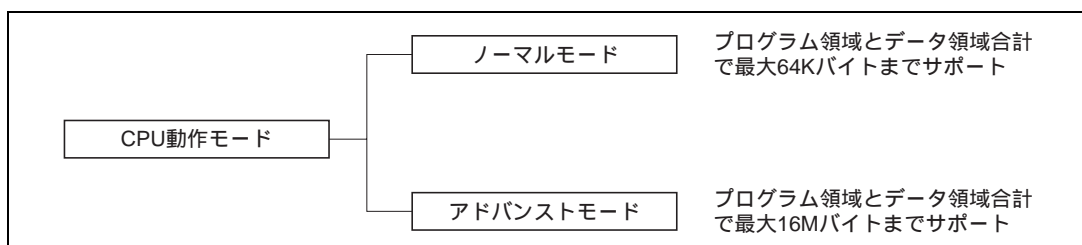


図 2.1 CPU 動作モード

2.3 アドレス空間

本 LSI のメモリマップの概略を図 2.2 に示します。H8/300H CPU は、ノーマルモードのとき最大64Kバイト、またアドバンスモードのとき最大16Mバイトのアドレス空間をリニアに使用することができます。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が1Mバイトモードの場合、実効アドレスの上位4ビットは無視され、20ビットのアドレスとなります。

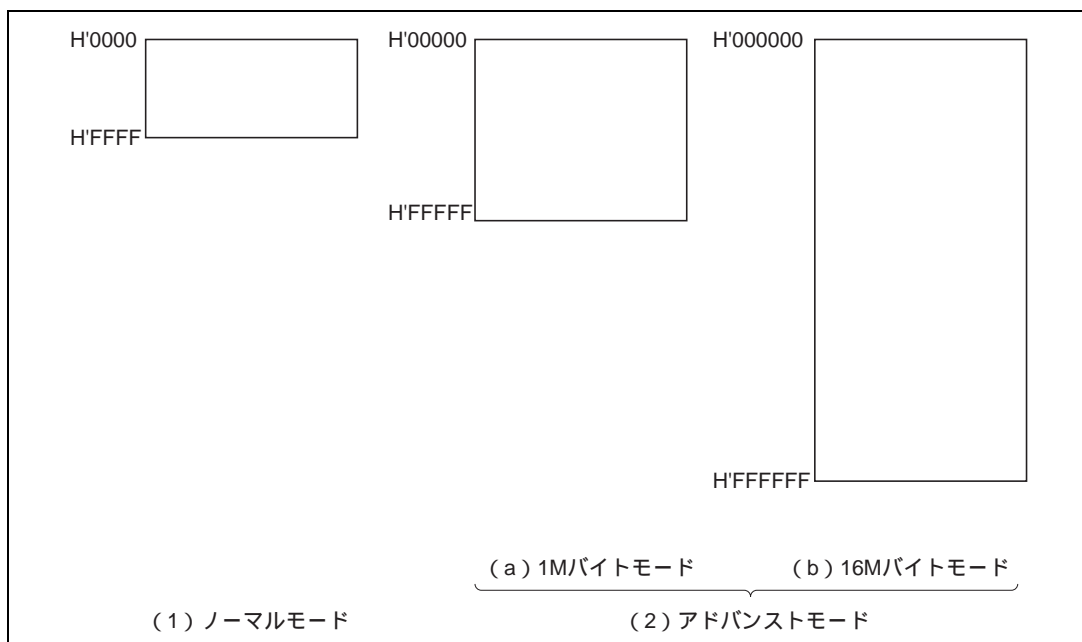


図 2.2 メモリマップ

2.4 レジスタ構成

2.4.1 概要

H8/300H CPU の内部レジスタ構成を図 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

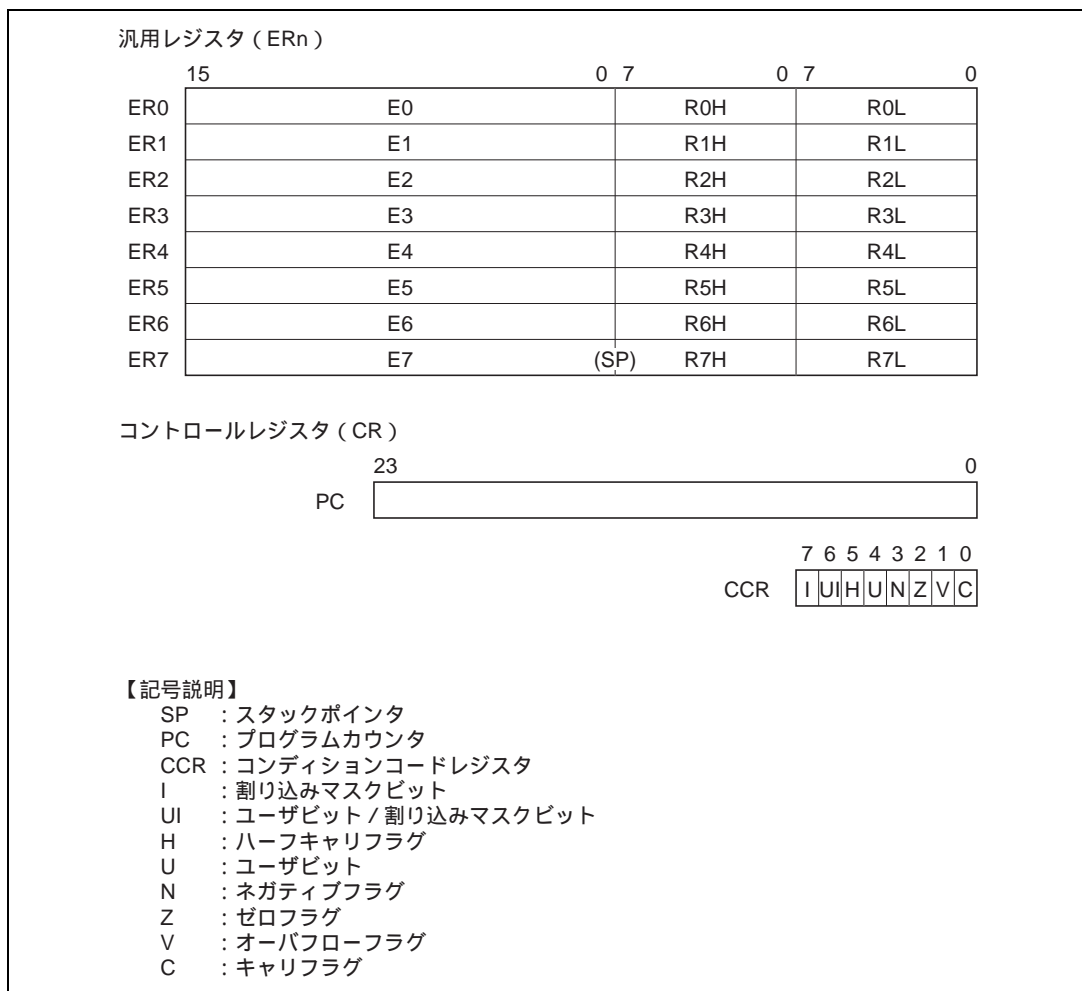


図 2.3 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタ 8 本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本使用することができます。

汎用レジスタの使用方法を図 2.4 に示します。各レジスタを独立に使用方法を選択することができます。

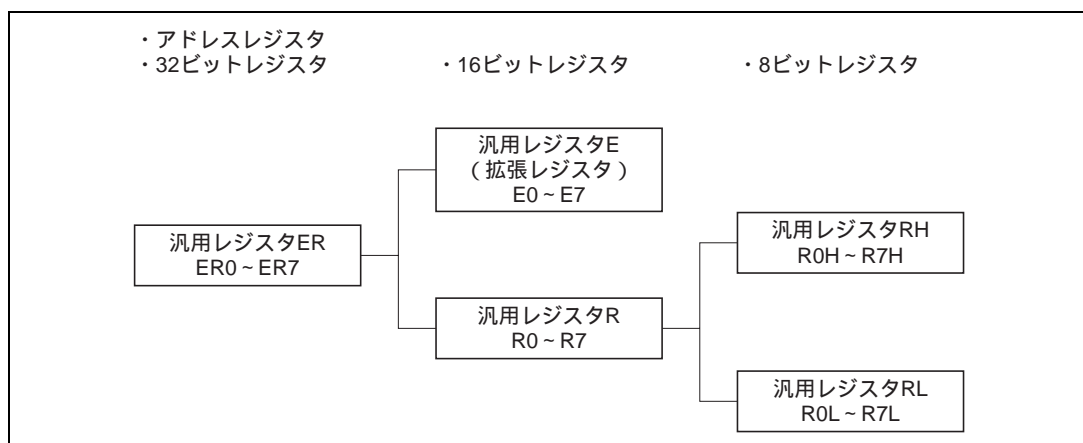


図 2.4 汎用レジスタの使用方法

2. CPU

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.5 に示します。

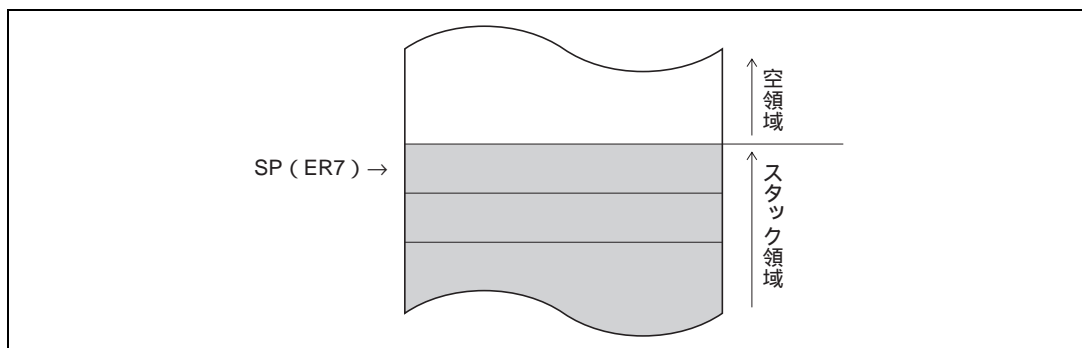


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは "0" とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7: 割り込みマスクビット (I)

本ビットが "1" にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに "1" にセットされます。

ビット 6: ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 5: ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき "1" にセットされ、生じなかったとき "0" にクリアされます。ADD.W、SUB.W、

CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき"1"にセットされ、生じなかったとき"0"にクリアされます。

ビット 4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット 3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2：ゼロフラグ (Z)

データがゼロのとき"1"にセットされ、ゼロ以外のとき"0"にクリアされます。

ビット 1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき"1"にセットされます。それ以外のとき"0"にクリアされます。

ビット 0：キャリフラグ (C)

演算の実行により、キャリが生じたとき"1"にセットされ、生じなかったとき"0"にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。
また、I、UI ビットについては、「第 5 章 割り込みコントローラ」を参照してください。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは"1"にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP (ER7) の初期化を行ってください。

2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.6、図 2.7 に示します。

データ型	汎用レジスタ	データイメージ
1ビットデータ	RnH	<pre> 7 0 ┌───────────┐ │ 7 6 5 4 3 2 1 0 │ Don't care └───────────┘ </pre>
1ビットデータ	RnL	<pre> 7 0 ┌───────────┐ │ Don't care │ 7 6 5 4 3 2 1 0 └───────────┘ </pre>
4ビットBCDデータ	RnH	<pre> 7 4 3 0 ┌───┬───┬───┬───┐ │ 上 │ 下 │ 上 │ 下 │ Don't care │ 位 │ 位 │ 位 │ 位 │ └───┴───┴───┴───┘ </pre>
4ビットBCDデータ	RnL	<pre> 7 4 3 0 ┌───┬───┬───┬───┐ │ Don't care │ 上 │ 下 │ │ │ 位 │ 位 │ └───┴───┴───┴───┘ </pre>
バイトデータ	RnH	<pre> 7 0 ┌───────────┐ │ │ └───────────┘ MSB LSB </pre>
バイトデータ	RnL	<pre> 7 0 ┌───────────┐ │ Don't care │ └───────────┘ MSB LSB </pre>

図 2.6 汎用レジスタのデータ構成(1)

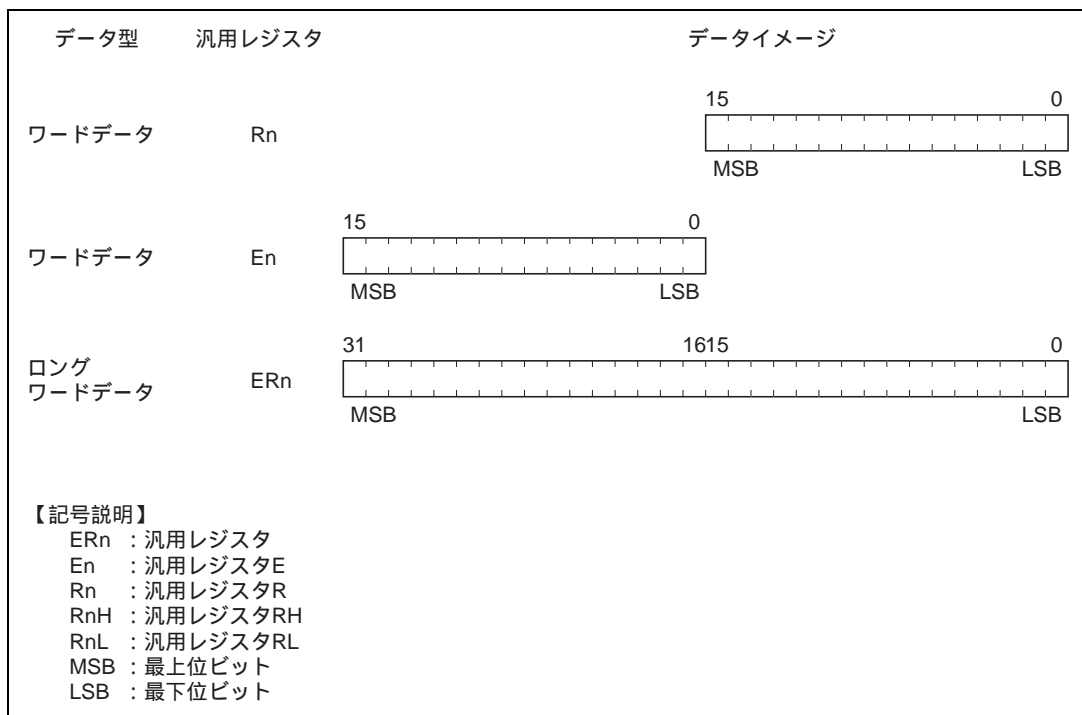


図 2.7 汎用レジスタのデータ構成(2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.8 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは"0"とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

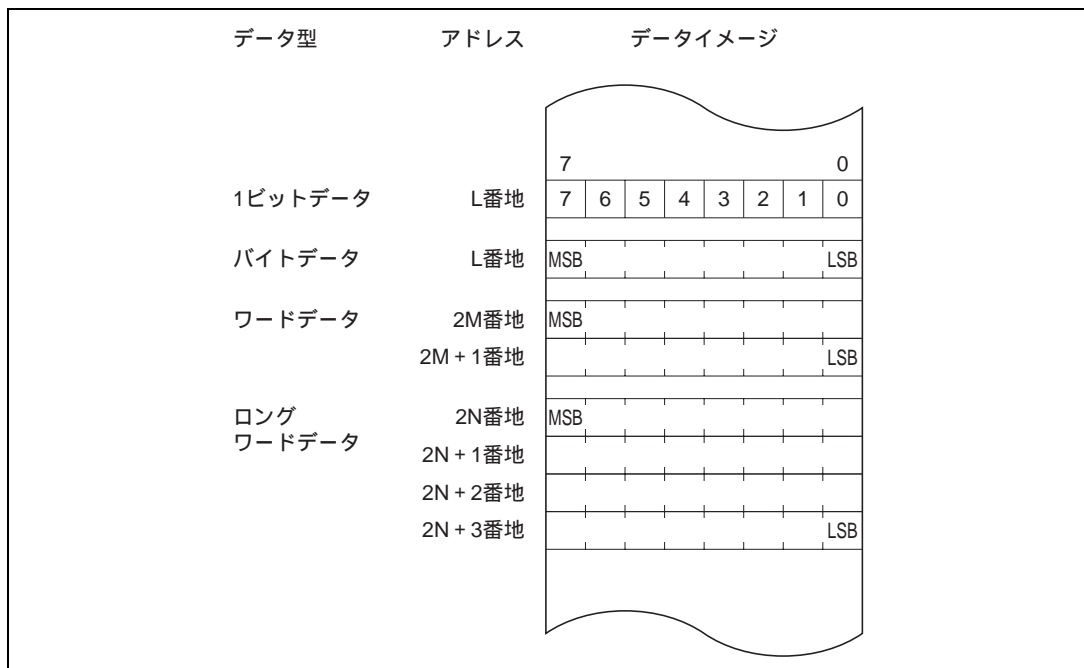


図 2.8 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPU の命令は合計 62 種類あり、各命令の機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPE* ² 、MOVFPPE* ²	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1

合計 62 種類

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn, @ - SP と同一です。
また、POP.L ERn、PUSH.L ERn はそれぞれ MOV.L @SP+, Rn、MOV.L Rn, @ - SP と同一です。
- *2 本 LSI では使用できません。
- *3 Bcc は条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード																
		#xx BWL	Rn BWL	@ERn BWL	@(d:16, ERn) BWL	@(d:24, ERn) BWL	@ERn+/@-ERn BWL	@aa:8 B	@aa:16 BWL	@aa:24 BWL	@(d:8, PC) @	@(d:16, PC) @	@@aa:8	-	-	-	-	
データ転送命令	MOV	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	MOVFP, MOVTFE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	MOVTFE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
算術演算命令	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ADDS, SUBS	L	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	INC, DEC	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	MULXU, MULXS, DIVXU, DIVXS	-	BW	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	EXTU, EXTS	-	WL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	AND, OR, XOR	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	シフト命令	シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット操作命令		-	B	B	-	-	-	-	-	-	-	B	-	-	-	-	-	-
Bcc, BSR		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
分岐命令	JMP, JSR	-	-	○	-	-	-	-	-	-	-	-	○	-	-	-	-	-
	RTS	-	-	-	-	-	-	-	-	-	-	○	-	-	-	-	-	-
	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
システム制御命令	RTE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ANDC, ORC, XORC 命令	STC	-	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
	ANDC, ORC, XORC	B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
プロック転送命令	NOP	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	プロック転送命令	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

【記号説明】
 B: バイト、W: ワード、L: ロングワード



2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ/アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
: 3 / : 8 / : 16 / : 24	3/8/16/24 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ/アドレスレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) → Rd、Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFP	B	(EAs) → Rd 本 LSI では使用できません。
MOVTP	B	Rs → (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、 また POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn → @ - SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @ - SP と、 また PUSH.L ERn は MOV.L ERn, @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します（バイトサイズの演算では 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、 16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、 16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビット の除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビット の除算が可能です。
CMP	B/W/L	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTS	W/L	$Rd (\text{符号拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
EXTU	W/L	$Rd (\text{ゼロ拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$, $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$, $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$, $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd (シフト処理) $\rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) $\rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) $\rightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) $\rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	$1 \rightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを"1"にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	$0 \rightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを"0"にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	$\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)$ $\rightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BTST	B	$\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BAND	B	$C \wedge (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C \wedge [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定します。
BOR	B	$C \vee (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	$C \vee [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定します。
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定します。

2. CPU

命令	サイズ*	機能
BLD	B	(<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C → ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \wedge Z = 1$</td> </tr> <tr> <td>Bcc (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \wedge Z = 1$	Bcc (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
		ニーモニック	説明	分岐条件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	$C \vee Z = 0$																																																	
		BLS	Low or Same	$C \wedge Z = 1$																																																	
		Bcc (BHS)	Carry Clear (High or Same)	$C = 0$																																																	
		BCS (BLO)	Carry Set (Low)	$C = 1$																																																	
		BNE	Not Equal	$Z = 0$																																																	
		BEQ	Equal	$Z = 1$																																																	
		BVC	oVerflow Clear	$V = 0$																																																	
		BVS	oVerflow Set	$V = 1$																																																	
		BPL	PLus	$N = 0$																																																	
		BMI	Minus	$N = 1$																																																	
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) → CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR^#IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC + 2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EETMOV.B	-	if R4L ≠ 0 then Repeat@ER5 + → @ER6 +、R4L - 1 → R4L UntilR4L = 0 else next ;
EETMOV.W	-	if R4 ≠ 0 then Repeat@ER5 + → @ER6 +、R4 - 1 → R4 UntilR4 = 0 else next ; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (OP)、レジスタフィールド (r)、EA 拡張部 (EA) およびコンディションフィールド (cc) から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて "0" (H'00) とした 32 ビットデータとして扱われます。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

図 2.9 に命令フォーマットの例を示します。

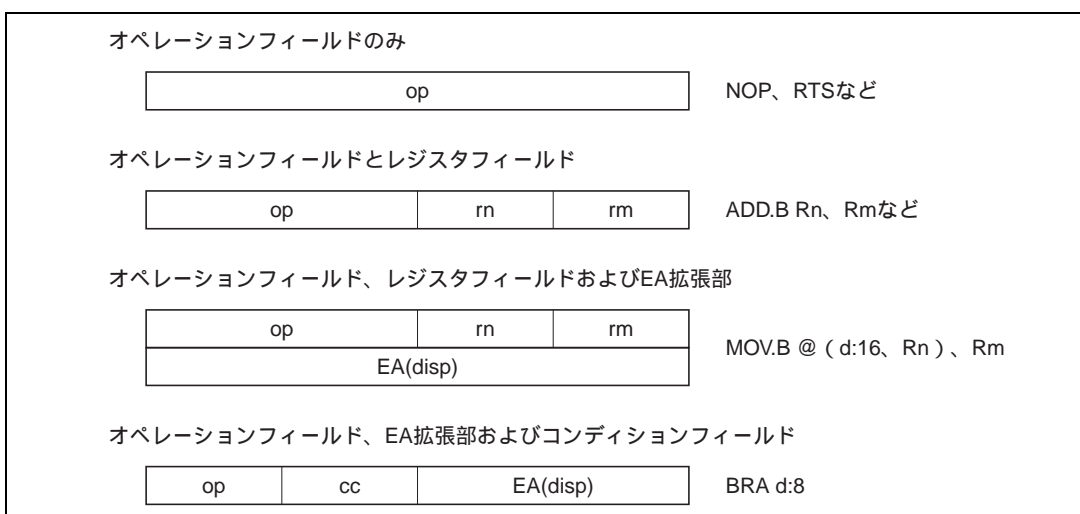


図 2.9 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを"0"にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが"1"にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス(@aa:8)が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接(BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
	レジスタ直接	Rn
	レジスタ間接	@ERn
	ディスプレースメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
	絶対アドレス	@aa:8 / @aa:16 / @aa:24
	イミディエイト	#xx:8 / #xx:16 / #xx:32
	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
	メモリ間接	@@aa:8

レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

ディスプレースメント付きレジスタ間接 @(d:16, ERn) / @(d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コードに含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

ポストインクリメントレジスタ間接 @ERn + / プリデクリメントレジスタ間接 @ - ERn

- ポストインクリメントレジスタ間接 @ERn +
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32 ビット) に 1、2 または 4 が加算され、加算結果がアドレス

レジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ/ロングワードサイズの時、レジスタの内容が偶数となるようにしてください。

- プリデクリメントレジスタ間接 @ - ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズの時、アドレスレジスタの内容が偶数となるようにしてください。

絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。

8ビット絶対アドレスの場合、上位16ビットはすべて"1" (H'FFFF) となります。

16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。

24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

絶対アドレスのアクセス範囲を表2.12に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1M バイトモード	16M バイトモード
8 ビット (@aa:8)	H'FFF00 ~ H'FFFFF (1048320 ~ 1048575)	H'FFFF00 ~ H'FFFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'00000 ~ H'07FFF, H'F8000 ~ H'FFFFF (0 ~ 32767, 1015808 ~ 1048575)	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF (0 ~ 32767, 16744448 ~ 16777215)
24 ビット (@aa:24)	H'00000 ~ H'FFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)

イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コード中に含まれます。

プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。

PC の内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレイメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

メモリ間接 @aa:8

JMP、JSR 命令で使用されます。

命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭 1 バイトは無視され、24 ビット長の分岐アドレスを生成します。図 2.10 にメモリ間接による分岐アドレスの指定方法を示します。

8 ビット絶対アドレスの上位のビットはすべて"0" (H'0000) となりますので、分岐アドレスを格納できるのは 0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 5 章 割り込みコントローラ」を参照してください。

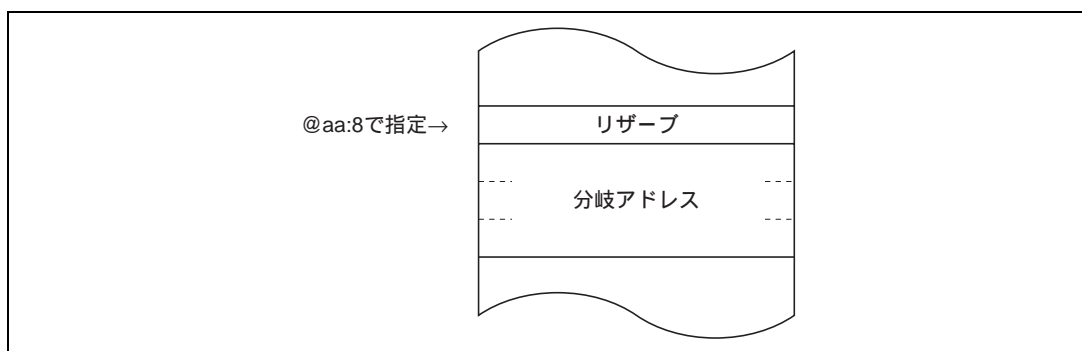


図 2.10 メモリ間接による分岐アドレスの指定

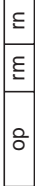




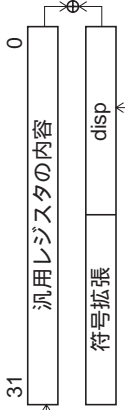


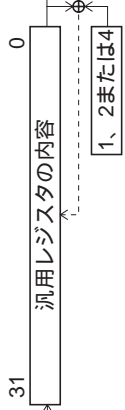


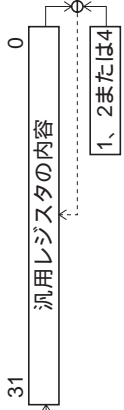

ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは"0"とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算方法を表 2.13 に示します。

1M バイトモードの場合、計算結果の上位 4 ビットは無視され、20 ビットの実効アドレスを生成します。

表 2.13 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
	レジスタ直接 (Rn) 		オペランドは、汎用レジスタの内容です。
	レジスタ間接 (@ERn) 		
	ディスプレースメント付きレジスタ間接 @ (d : 16, ERn) / @ (d : 24, ERn) 		
	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ 		
	・プリデクリメントレジスタ間接 @ - ERn 		

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
	絶対アドレス @aa : 8		
	@aa : 16		
	@aa : 24		
	イミディエイト #xx : 8 / #xx : 16 / #xx : 32		オペランドはイミディエイトデータです。
	プログラムカウンタ相対 @ (d : 8, PC) / @ (d : 16, PC)		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
	メモリ間接 @aa:8 ・ノーマルモード 		
	・アドバンストモード 		

【記号説明】

- r, rm, : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.8 処理状態

2.8.1 概要

H8/300H CPU の処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の 5 種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図 2.11 に、各状態間の遷移を図 2.13 に示します。

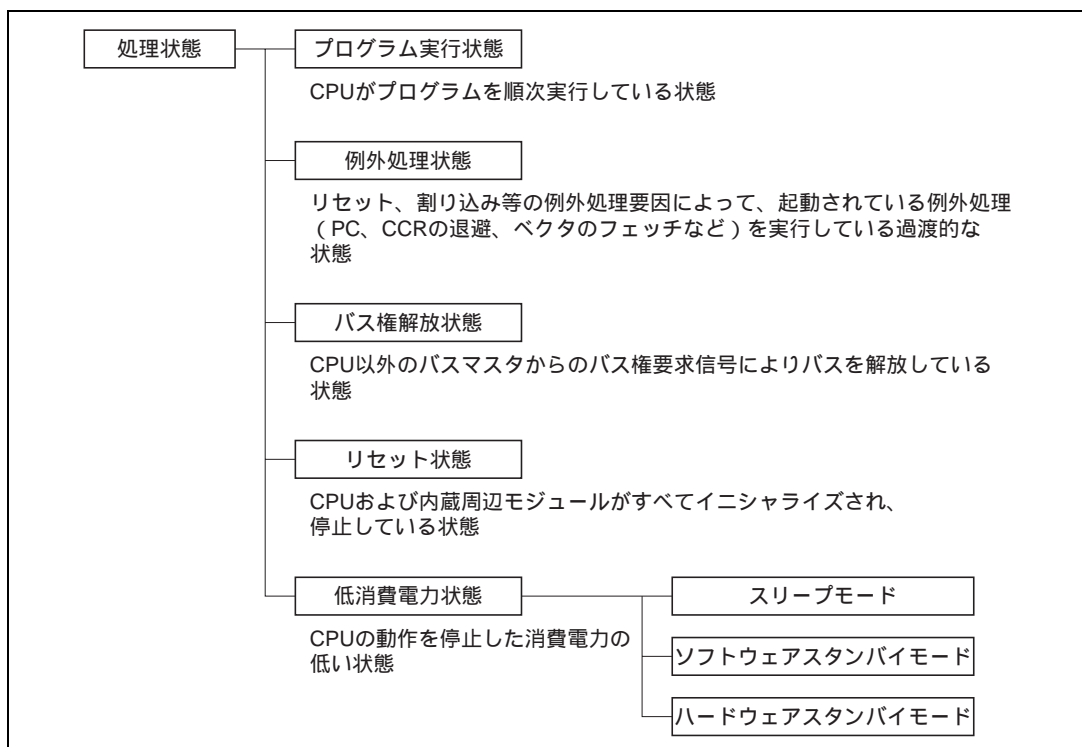


図 2.11 処理状態の分類

2.8.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過度的な状態です。割り込みおよびトラップ命令例外処理では、SP (ER7) を参照して、PC および CCR の退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES 端子が"Low"レベルから"High"レベルに変化すると、ただちに例外処理を開始します。
	割り込み	命令の実行終了時 または例外処理終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	トラップ (TRAPA) 命令を実行すると、例外処理を開始します。

【注】 * ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割り込み要因の検出を行いません。

例外処理要因は、図 2.12 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第 4 章 例外処理」および「第 5 章 割り込みコントローラ」を参照してください。

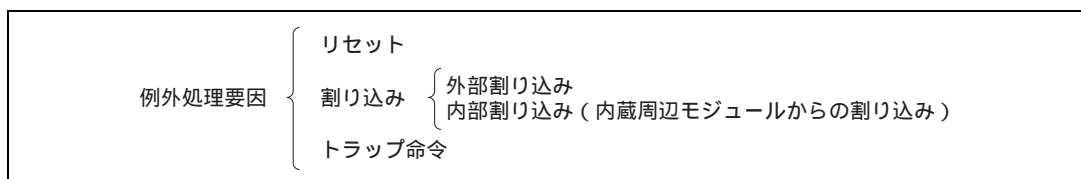


図 2.12 例外処理要因の分類

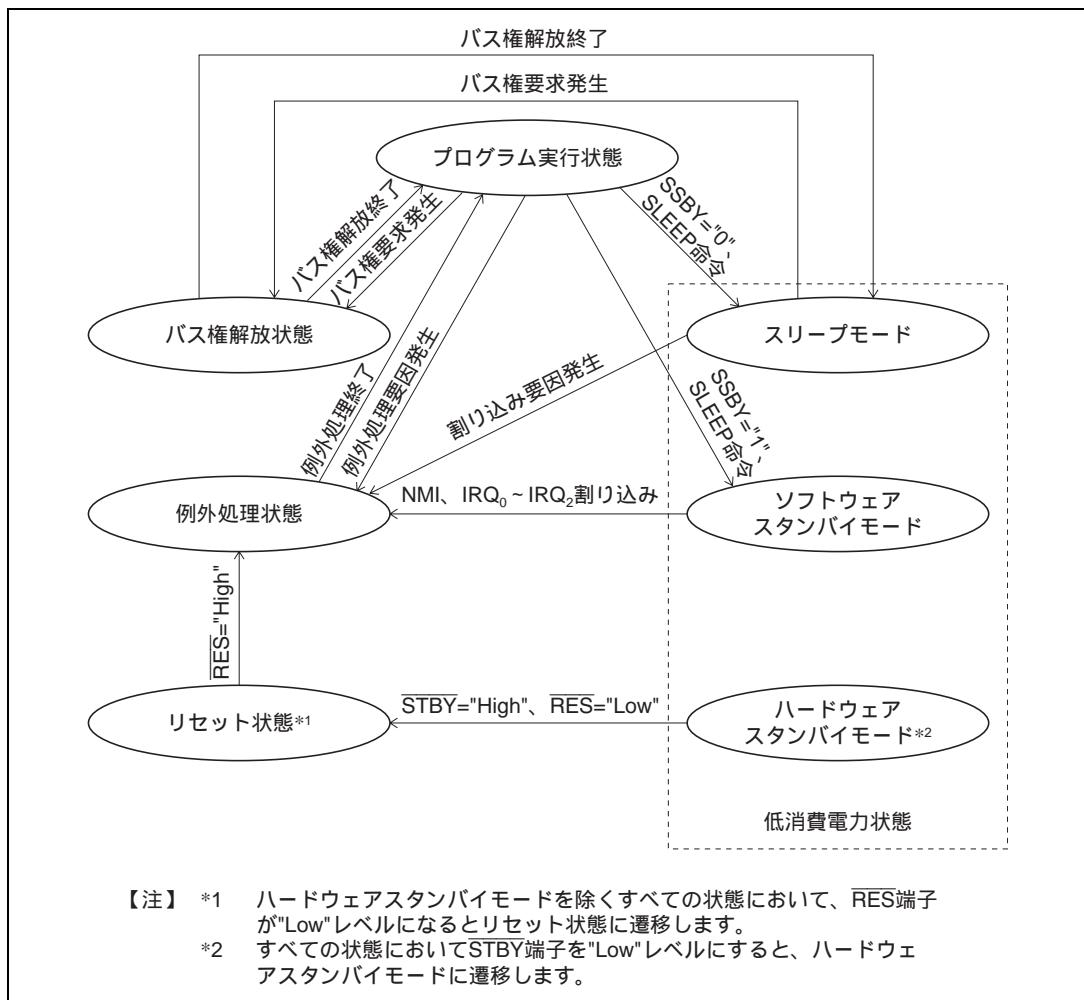


図 2.13 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

リセット例外処理は、最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子を"Low"レベルにしてリセット状態にした後、 $\overline{\text{RES}}$ 端子を"High"レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPU は SP (ER7) を参照して PC と CCR をスタックに退避します。次に、SYSCR の UE ビットが"1"のときは CCR の I ビットが"1"にセットされ、UE ビットが"0"のときは CCR の I ビット、UI ビットがいずれも"1"にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を図 2.14 に示します。

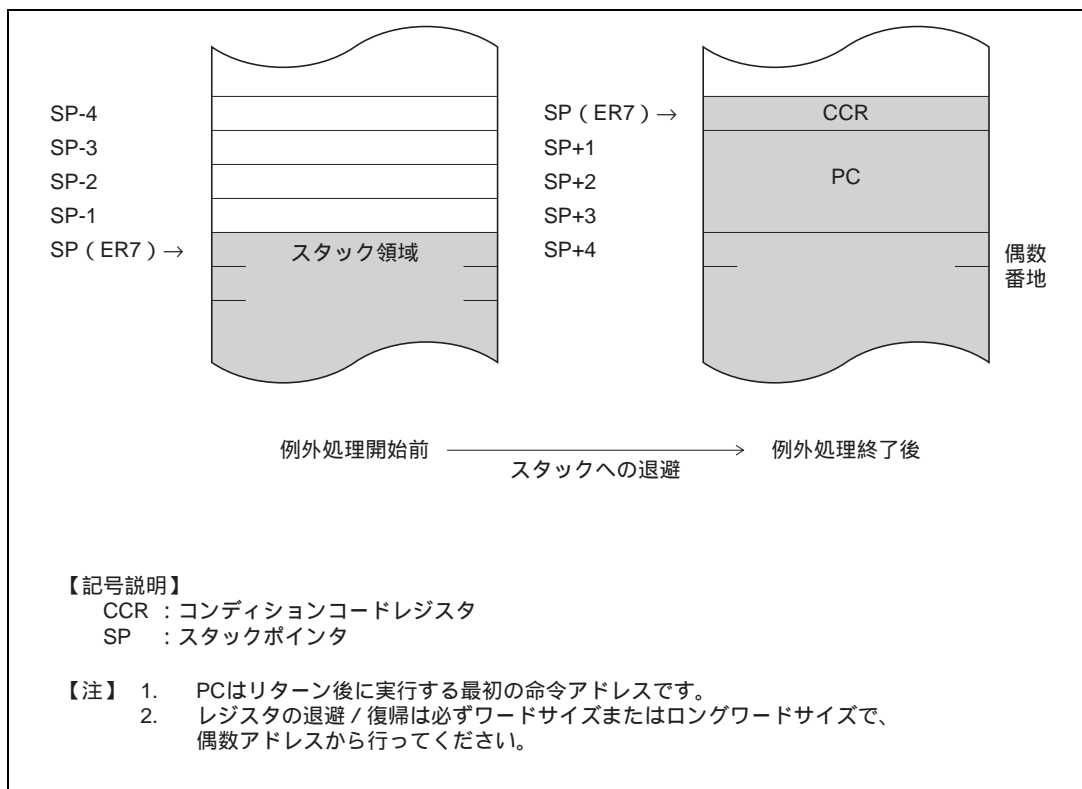


図 2.14 例外処理終了後のスタック状態

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU 以外のバスマスタには DMA コントローラ、リフレッシュコントローラ、および外部バスマスタがあります。

バス権解放状態では、CPU は内部動作を除き、停止します。また、割り込みも受け付けられません。詳細は「6.3.7 バスアービタの動作」を参照してください。

2.8.6 リセット状態

$\overline{\text{RES}}$ 端子が "Low" レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが "1" にセットされます。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を "Low" レベルから "High" レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ」を参照してください。

2.8.7 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCR の SSBY ビットを "0" にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCR の SSBY ビットを "1" にセットした状態で、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子を "Low" レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 19 章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPU は、クロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図 2.15 に、端子状態を図 2.16 に示します。

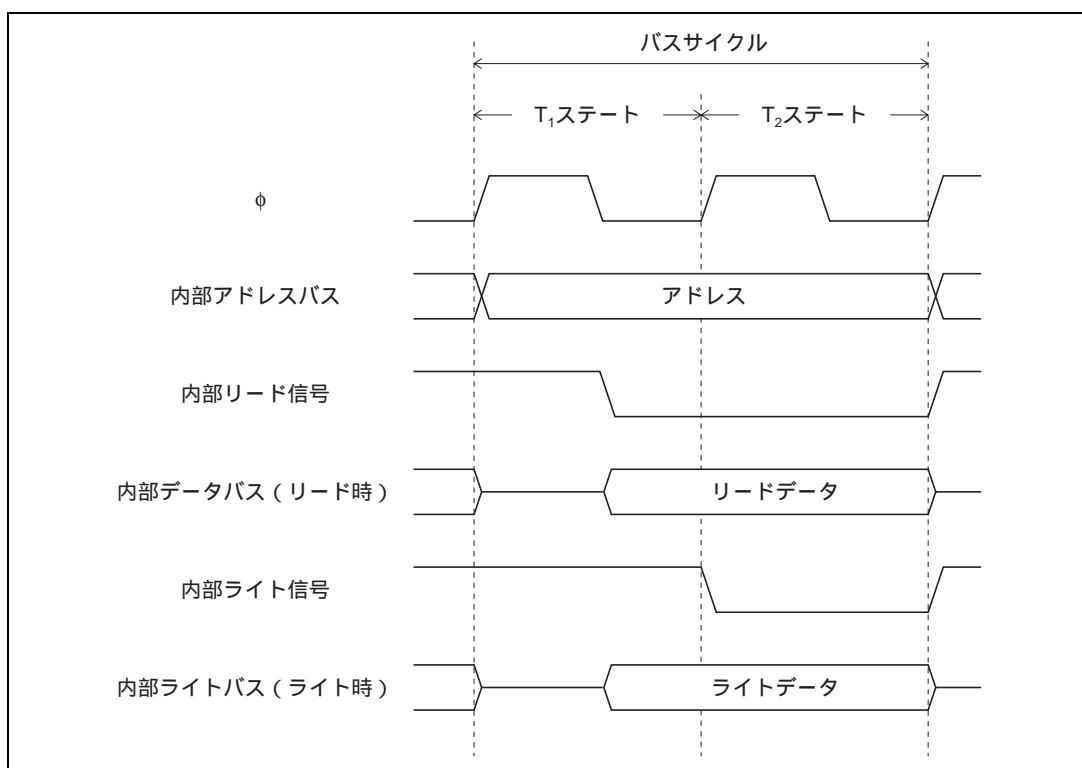


図 2.15 内蔵メモリアクセスサイクル

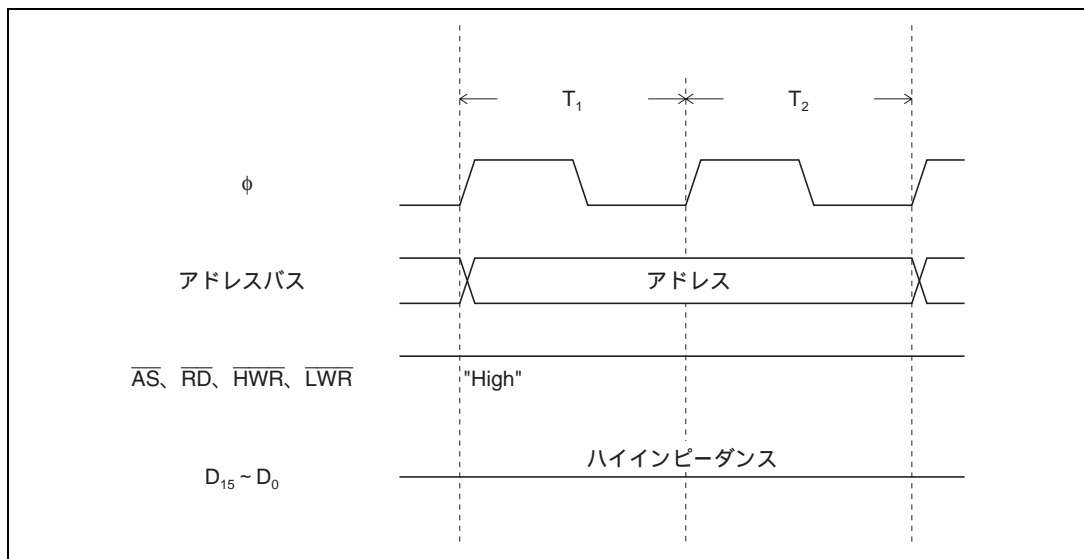


図 2.16 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.17に、端子状態を図2.18に示します。

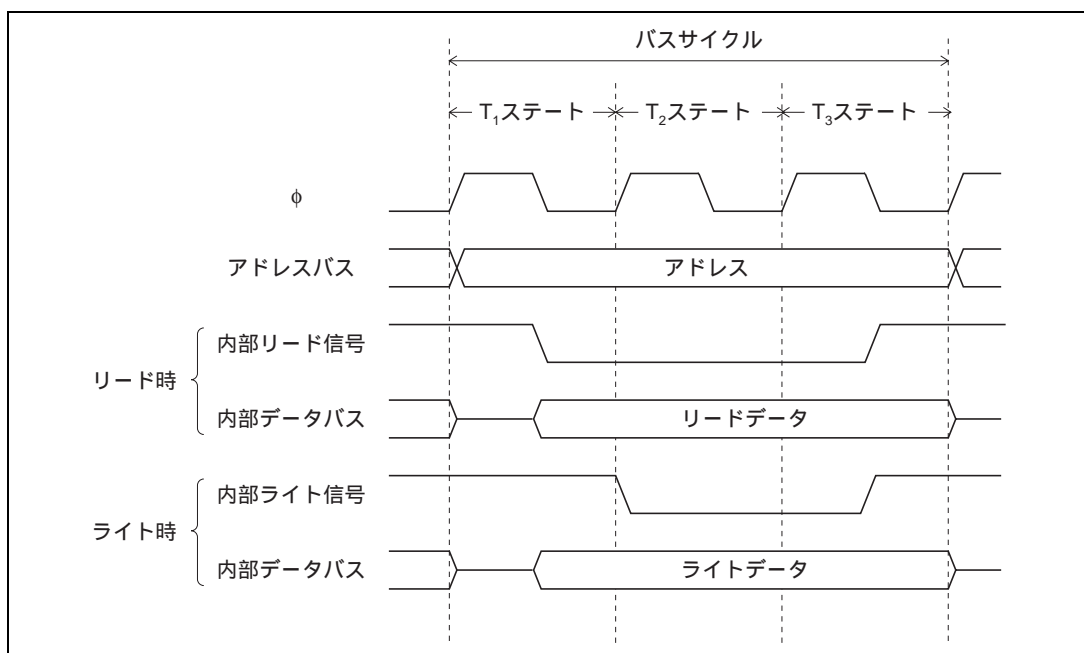


図 2.17 内蔵周辺モジュールアクセスサイクル

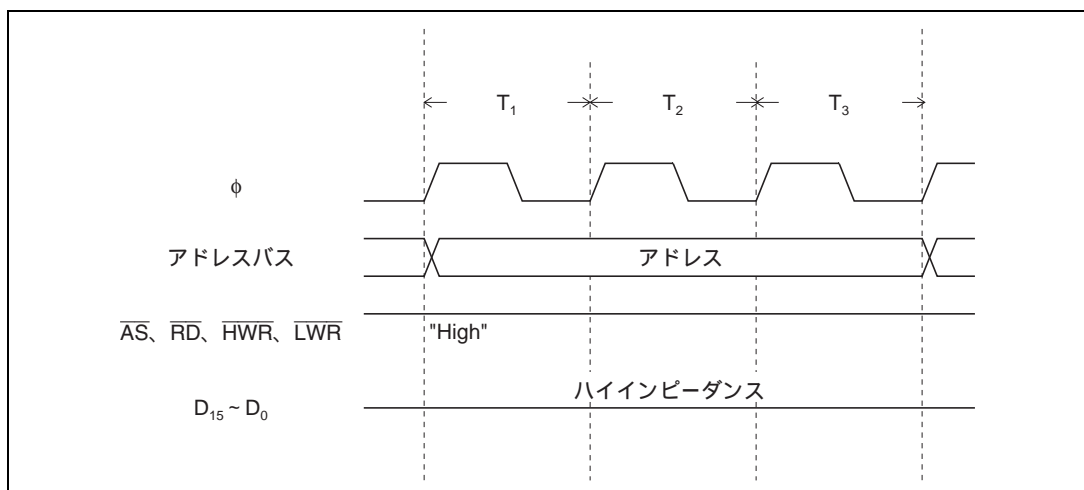


図 2.18 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア(エリア0~7)に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅(8ビットまたは16ビット)とアクセスステート(2ステートまたは3ステート)の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択の種類

H8/3042 グループには、7種類の動作モード（モード1～7）があります。これらのモードは、モード端子（MD₂～MD₀）を表3.1のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類の選択

動作モード	端子設定			内容			
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード初期状態*1	内蔵 ROM	内蔵 RAM
	0	0	0				
モード 1	0	0	1	拡張モード	8 ビット	無効	有効*2
モード 2	0	1	0	拡張モード	16 ビット	無効	有効*2
モード 3	0	1	1	拡張モード	8 ビット	無効	有効*2
モード 4	1	0	0	拡張モード	16 ビット	無効	有効*2
モード 5	1	0	1	拡張モード	8 ビット	有効	有効*2
モード 6	1	1	0	シングルチップ ノーマルモード		有効	有効
モード 7	1	1	1	シングルチップ アドバンスモード		有効	有効

【注】 *1 モード1～5において、バス幅コントロールレジスタ（ABWCR）を設定することによりデータバス幅をエリアごとに8ビットデータバスまたは16ビットデータバスにすることができます。

詳細は、「第6章 バスコントローラ」を参照してください。

*2 SYSCR の RAME ビットを"0"にクリアすると外部アドレス空間に切り替わります。

アドレス空間は、64K バイト / 1M バイト / 16M バイトのいずれかを選択することができます。

外部データバスのバス幅は ABWCR により、8 ビット / 16 ビットバスモードのいずれかになります。すべてのエリアを 8 ビットアクセス空間に設定した場合、8 ビットバスモードとなります。詳細は「第6章 バスコントローラ」を参照してください。

モード1～4は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 無効拡張モードです。

モード1、2でサポートするアドレス空間は、最大 1M バイトです。また、モード3、4でサポートするアドレス空間は、最大 16M バイトです。

モード5は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 有効拡張モードです。モード5でサポートするアドレス空間は、最大 1M バイトです。

モード6、7は、内蔵 ROM と RAM、内部 I/O レジスタで動作するシングルチップモードです。すべてのポートを使用することができます。

3. MCU 動作モード

モード6はアドレス空間が64Kバイトとなり、ノーマルモードで動作します。モード7はアドレス空間が1Mバイトとなり、アドバンスモードで動作します。

モード1~7以外は、本LSIでは使用できません。したがって、モード端子は必ずモード1~7になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本LSIにはモード端子(MD₂~MD₀)の状態が反映されるMDCRと、動作を制御するSYSCRがあります。レジスタ構成を表3.2に示します。

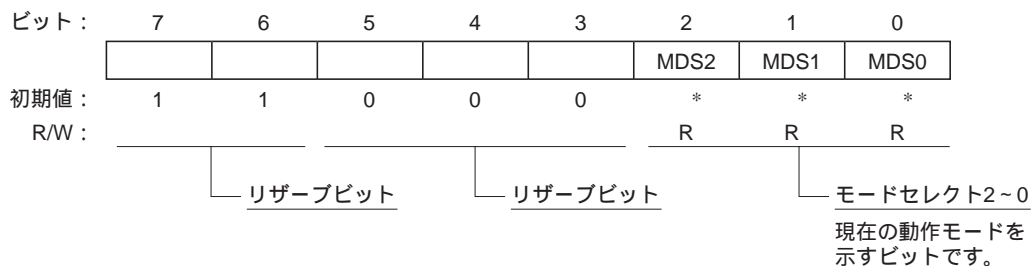
表 3.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF1	モードコントロールレジスタ	MDCR	R	不定
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'OB

【注】 * アドレスの下位16ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCR は 8 ビットのリード専用のレジスタで、本 LSI の現在の動作モードをモニタするのに用います。



【注】 * MD₂~MD₀端子により決定されます。

ビット7、6: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット5~3: リザーブビット

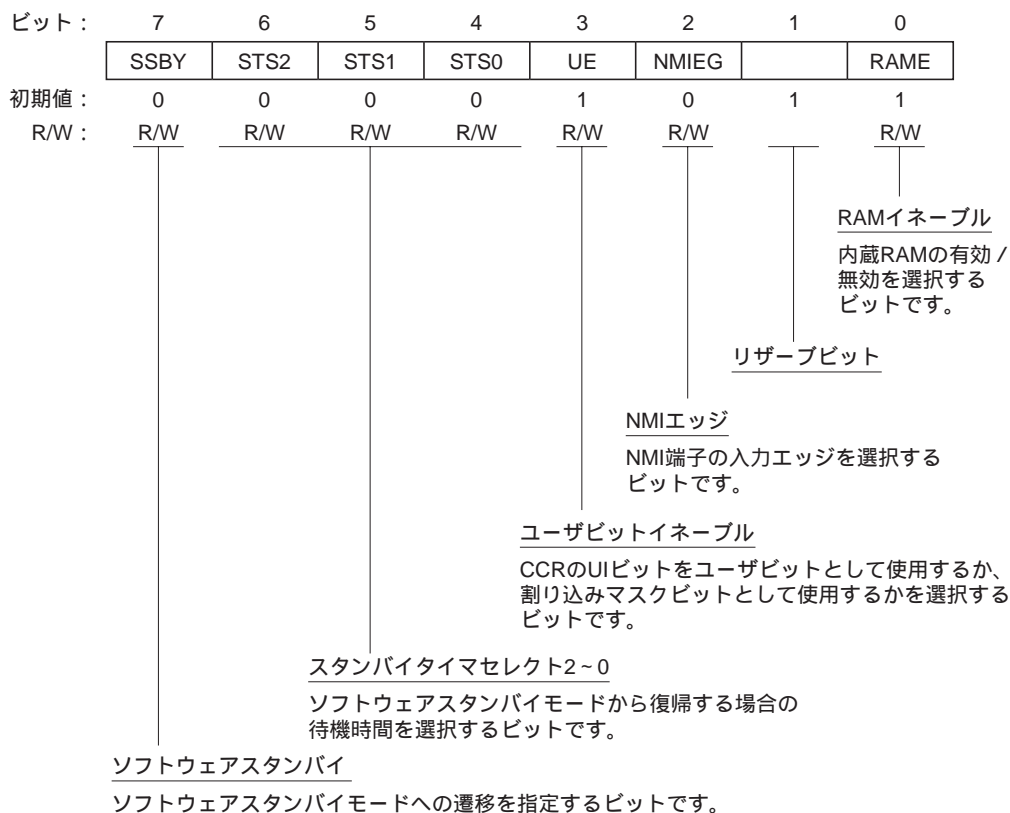
リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット2~0: モードセレクト2~0 (MDS2~0)

これらのビットは、モード端子 (MD₂~MD₀) のレベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD₂~MD₀ 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードすると、モード端子 (MD₂~MD₀) のレベルがこれらのビットにラッチされます。

3.3 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。



ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。(ソフトウェアスタンバイモードについては「第 19 章 低消費電力状態」を参照してください)。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは"1"にセットされたままです。クリアする場合は、"0"をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6~4: スタンバイタイムセレクト2~0 (STS2~0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまで CPU と内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が 8ms 以上となるように指定してください。

待機時間の設定については、「19.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間

の設定」を参照してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	-	待機時間 = 131072 ステート
1	1	-	使用禁止

ビット3：ユーザビットイネーブル (UE)

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説明
UE	
0	CCR の UI ビットを、割り込みマスクビットとして使用
1	CCR の UI ビットを、ユーザビットとして使用 (初期値)

ビット2：NMI エッジ (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット2	説明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

ビット1：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット0：RAM イネーブル (RAME)

内蔵 RAM の有効 / 無効を選択します。RAME ビットは、 $\overline{\text{RES}}$ 端子の立ち上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.4 各動作モードの説明

3.4.1 モード 1

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.2 モード 2

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.4.3 モード 3

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、バスリリースコントロールレジスタ (BRCR) のビット 7~5 に"0"をライトすると有効になります。

3.4.4 モード 4

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。 $A_{23} \sim A_{21}$ は、BRCR のビット 7~5 に"0"をライトすると有効になります。

3.4.5 モード 5

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってアドレスバスとして使用する場合はおのこの対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR) を"1"にセットして、ポート 1、2、5 を出力に設定してください。リセット直後は、8 ビットバスモードとなり、すべてのエリアは、8 ビットアクセス空間となります。ただし、ABWCR により、少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.6 モード 6、7

内蔵 ROM と RAM、内部 I/O レジスタで動作するモードです。すべてのポートを使用することができます。

モード 6 はアドレス空間が 64K バイトとなり、ノーマルモードで動作します。モード 7 はアドレス空間が 1M バイトとなり、アドバンスモードで動作します。

3.5 各動作モードにおける端子機能

動作モードによりポート1~5、およびポートAの端子機能が切り替わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表 3.3 各動作モードにおけるポート1~5、およびポートAの機能

ポート	モード1	モード2	モード3	モード4	モード5	モード6,7
ポート1	A ₇ ~A ₀	A ₇ ~A ₀	A ₇ ~A ₀	A ₇ ~A ₀	P1 ₇ ~P1 ₀ * ²	P1 ₇ ~P1 ₀
ポート2	A ₁₅ ~A ₈	A ₁₅ ~A ₈	A ₁₅ ~A ₈	A ₁₅ ~A ₈	P2 ₇ ~P2 ₀ * ²	P2 ₇ ~P2 ₀
ポート3	D ₁₅ ~D ₈	D ₁₅ ~D ₈	D ₁₅ ~D ₈	D ₁₅ ~D ₈	D ₁₅ ~D ₈	P3 ₇ ~P3 ₀
ポート4	P4 ₇ ~P4 ₀ * ¹	D ₇ ~D ₀ * ¹	P4 ₇ ~P4 ₀ * ¹	D ₇ ~D ₀ * ¹	P4 ₇ ~P4 ₀ * ¹	P4 ₇ ~P4 ₀
ポート5	A ₁₉ ~A ₁₆	A ₁₉ ~A ₁₆	A ₁₉ ~A ₁₆	A ₁₉ ~A ₁₆	P5 ₃ ~P5 ₀ * ²	P5 ₃ ~P5 ₀
ポートA	PA ₇ ~PA ₄	PA ₇ ~PA ₄	A ₂₃ ~A ₂₀ * ³	A ₂₃ ~A ₂₀ * ³	PA ₇ ~PA ₄	PA ₇ ~PA ₄

- 【注】 *1 初期状態を示しています。ABWCRの設定により、バスモードを切り替えることができます。8ビットモード時にはP4₇~P4₀に、16ビットバスモード時にはD₇~D₀となります。
- *2 初期状態を示しています。おのおの対応するデータディレクションレジスタ(P1DDR、P2DDR、P5DDR)を"1"に設定することにより、アドレスバスとなります。
- *3 A₂₀は常にアドレスバスです。A₂₃~A₂₁は、BRCCRのビット7~5に"0"をライトすることにより有効になります。
初期状態はPA₆~PA₃となっています。

3.6 各動作モードのメモリマップ

H8/3042のメモリマップを図3.1に、H8/3041のメモリマップを図3.2に、H8/3040のメモリマップを図3.3に示します。アドレス空間は8エリアに分割されています。

モード1とモード2、モード3とモード4ではそれぞれバスモードの初期状態が異なります。

また、モード1、2、5、7(1Mバイトモード)とモード3、4(16Mバイトモード)およびモード6(64Kバイトモード)で、内蔵RAMおよび内部I/Oレジスタの配置が異なります。また、CPUのアドレッシングモードのうち、絶対アドレス8ビット/16ビット(@aa:8/@aa:16)で指定できる範囲が異なります。

3. MCU 動作モード

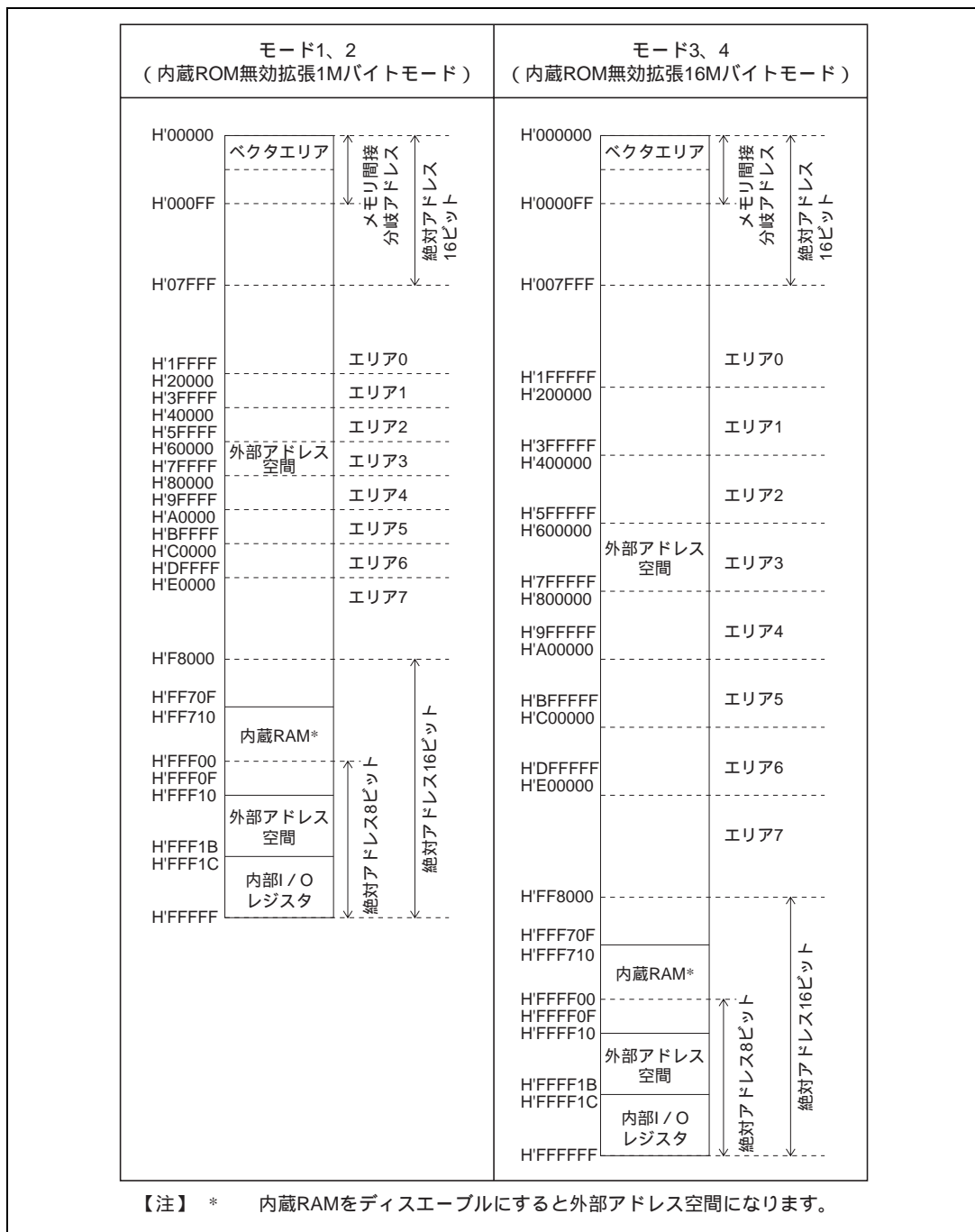


図 3.1 H8/3042 の各動作モードにおけるメモリマップ (1)

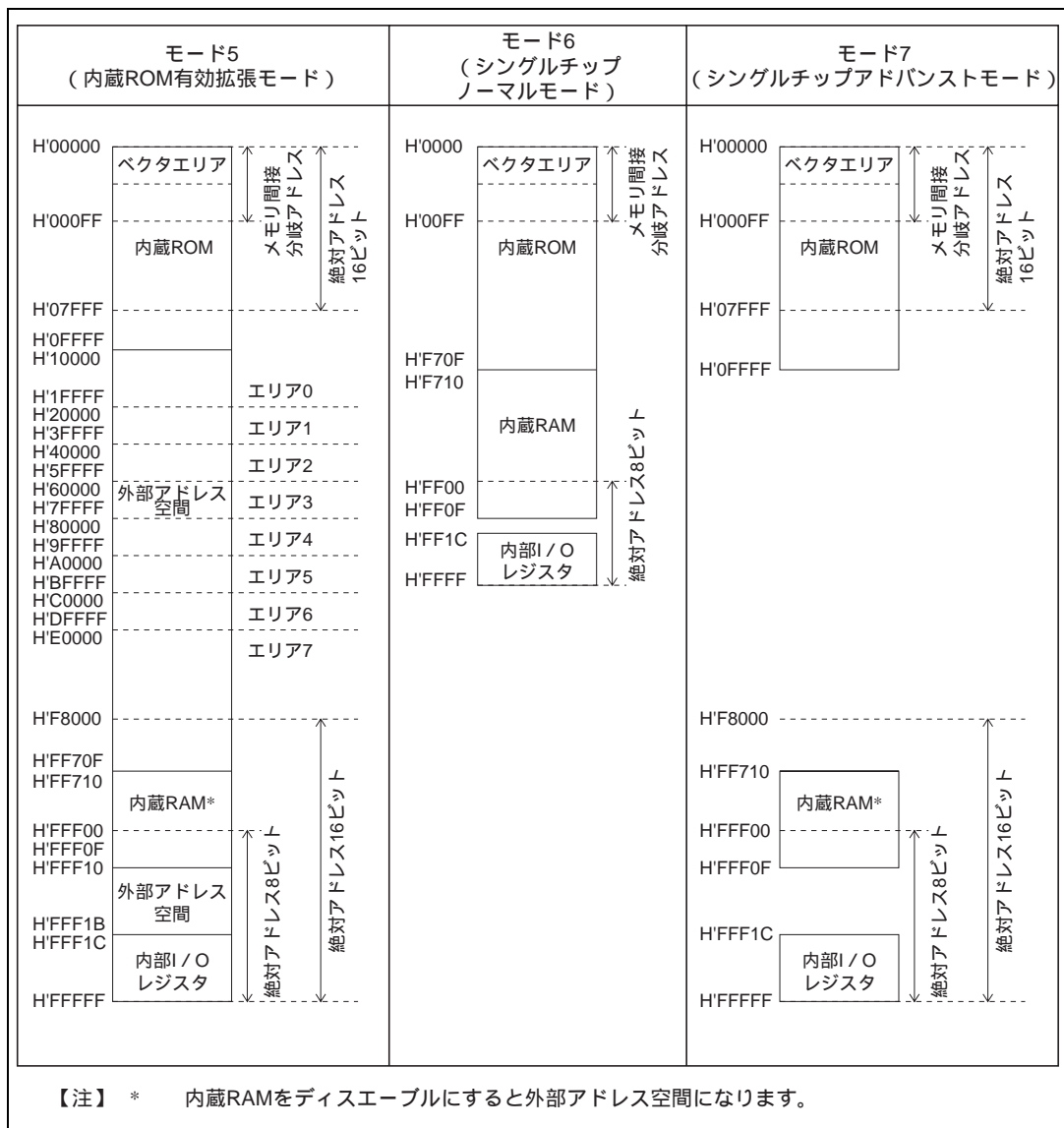


図 3.1 H8/3042 の各動作モードにおけるメモリマップ (2)

3. MCU 動作モード

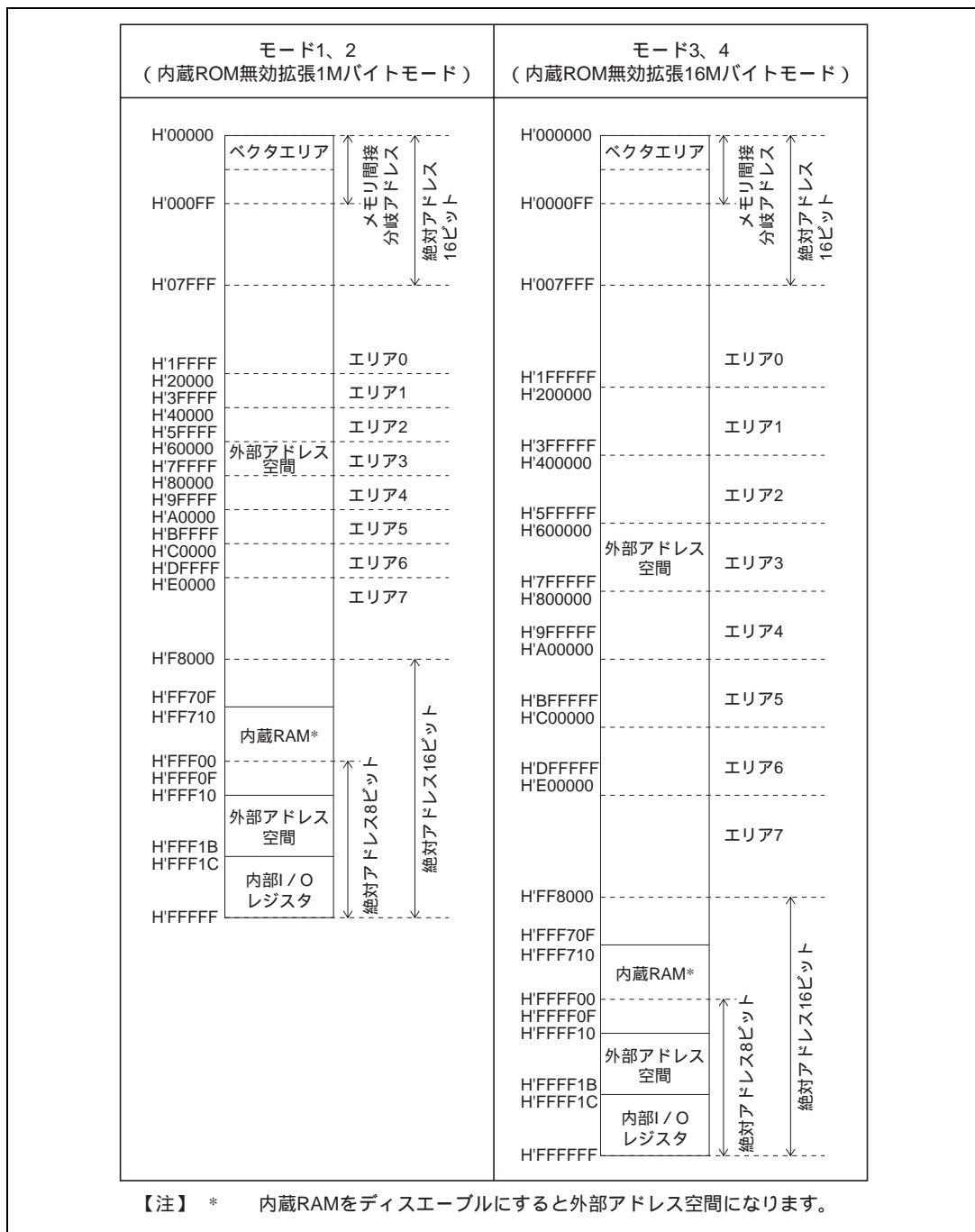


図 3.2 H8/3041 の各動作モードにおけるメモリマップ (1)

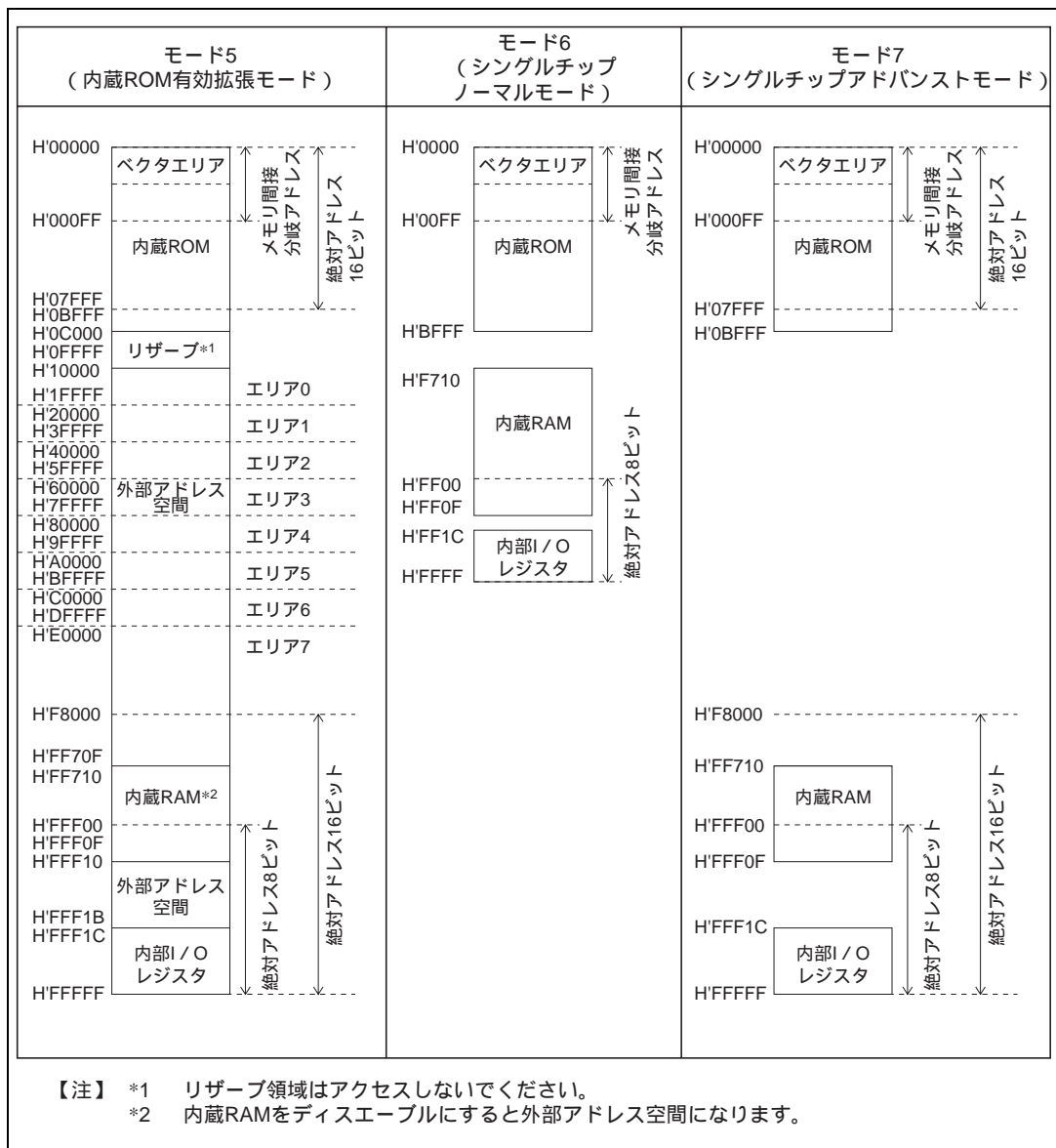


図 3.2 H8/3041 の各動作モードにおけるメモリマップ (2)

3. MCU 動作モード

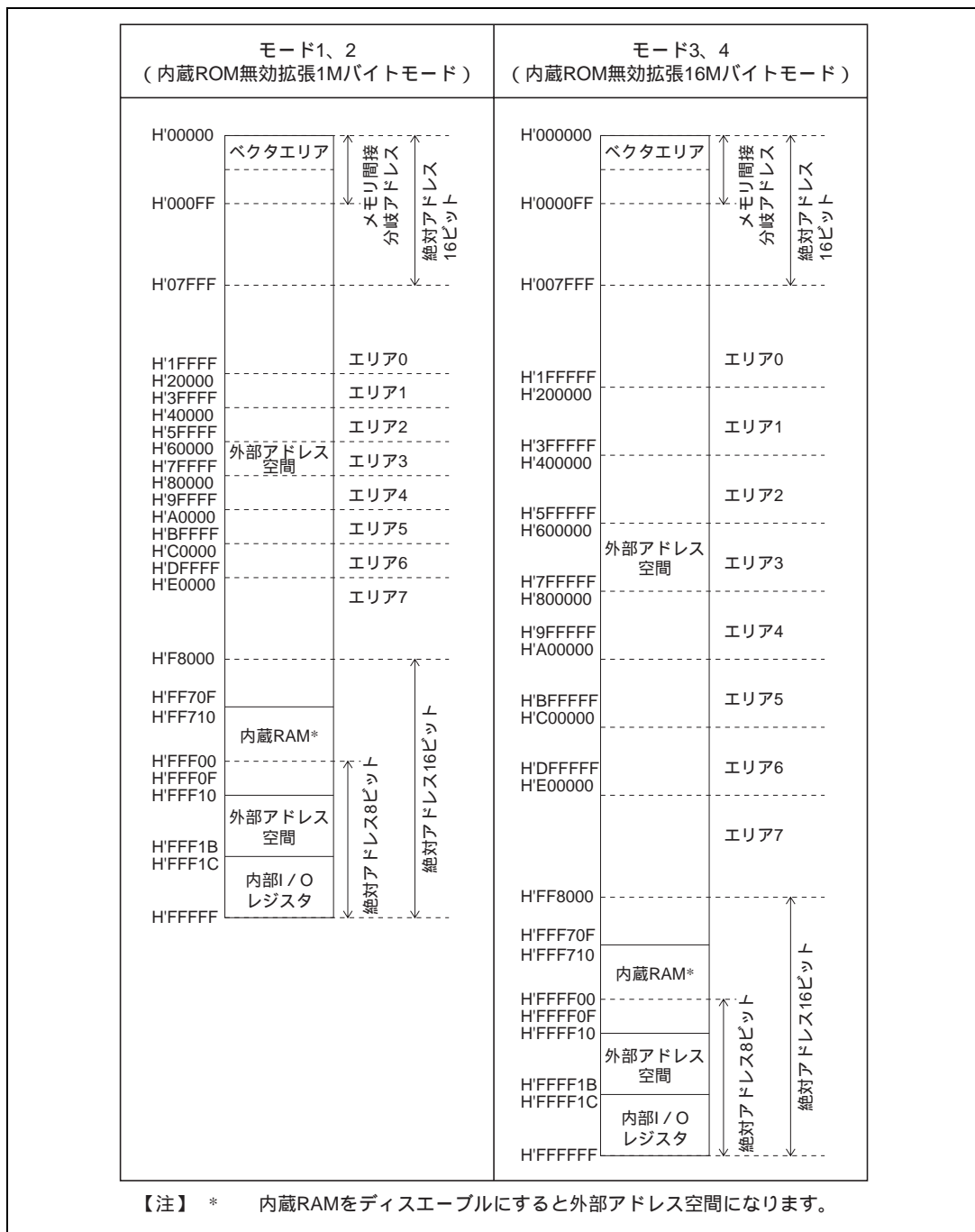


図 3.3 H8/3040 の各動作モードにおけるメモリマップ (1)

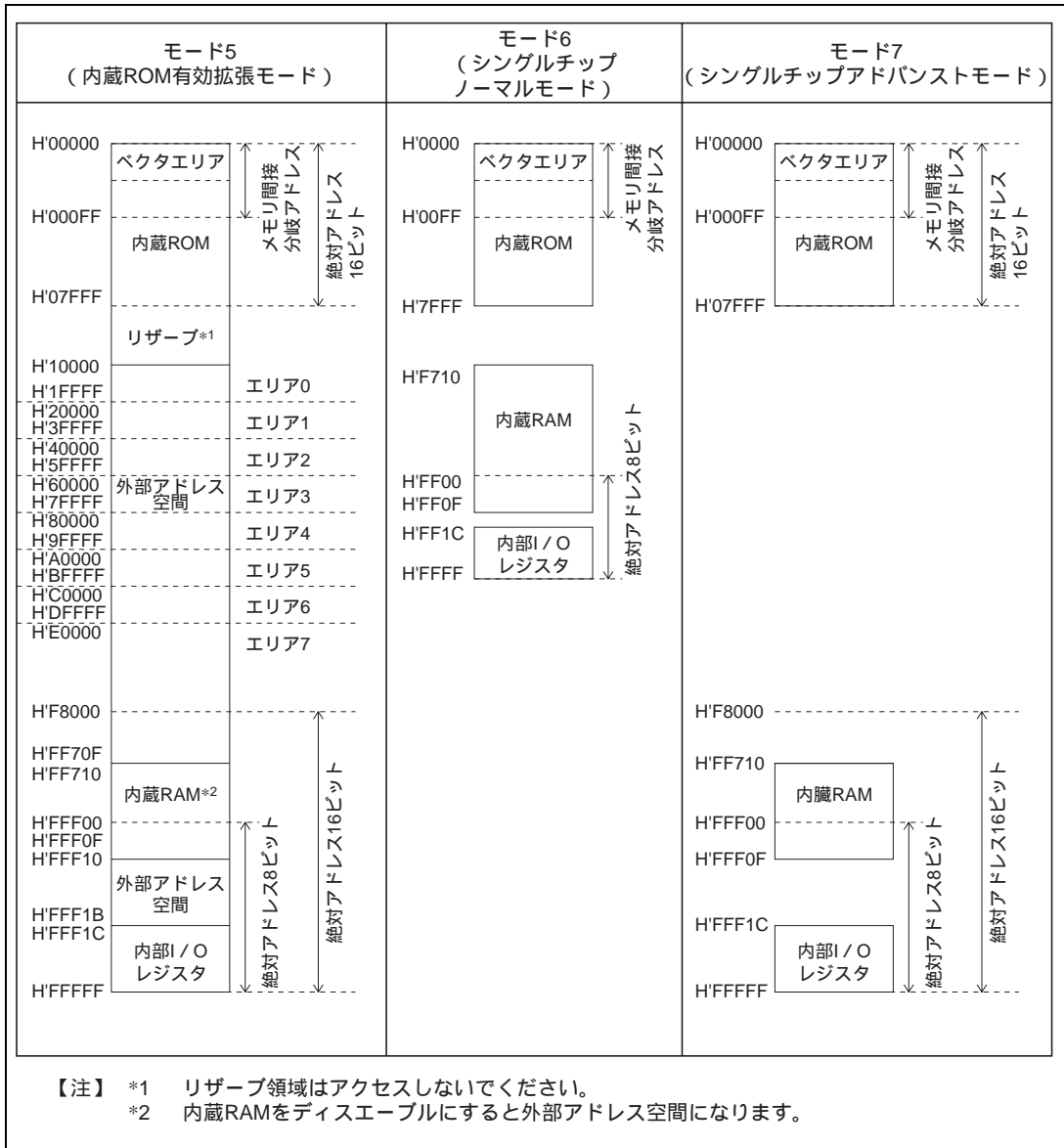


図 3.3 H8/3040 の各動作モードにおけるメモリマップ (2)

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子が"Low"レベルから"High"レベルに変化すると、ただちに開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。
トラップ命令および割り込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCR の割り込みマスクビットを"1"にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 (2)、(3) の動作を行います。

4. 例外処理

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

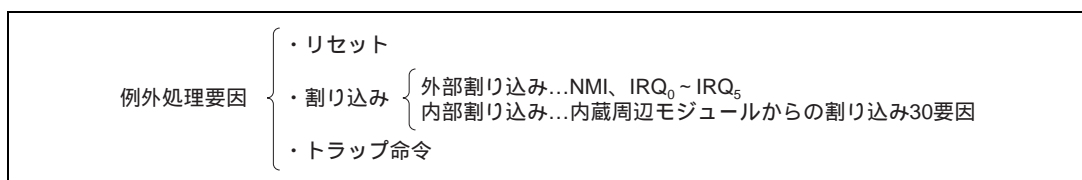


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1		
		アドバンストモード	ノーマルモード	
リセット	0	H'0000 ~ H'0003	H'0000 ~ H'0001	
システム予約	1	H'0004 ~ H'0007	H'0002 ~ H'0003	
	2	H'0008 ~ H'000B	H'0004 ~ H'0005	
	3	H'000C ~ H'000F	H'0006 ~ H'0007	
	4	H'0010 ~ H'0013	H'0008 ~ H'0009	
	5	H'0014 ~ H'0017	H'000A ~ H'000B	
	6	H'0018 ~ H'001B	H'000C ~ H'000D	
外部割り込み NMI	7	H'001C ~ H'001F	H'000E ~ H'000F	
トラップ命令 (4 要因)	8	H'0020 ~ H'0023	H'0010 ~ H'0011	
	9	H'0024 ~ H'0027	H'0012 ~ H'0013	
	10	H'0028 ~ H'002B	H'0014 ~ H'0015	
	11	H'002C ~ H'002F	H'0016 ~ H'0017	
外部割り込み	IRQ ₀	12	H'0030 ~ H'0033	H'0018 ~ H'0019
	IRQ ₁	13	H'0034 ~ H'0037	H'001A ~ H'001B
	IRQ ₂	14	H'0038 ~ H'003B	H'001C ~ H'001D
	IRQ ₃	15	H'003C ~ H'003F	H'001E ~ H'001F
	IRQ ₄	16	H'0040 ~ H'0043	H'0020 ~ H'0021
	IRQ ₅	17	H'0044 ~ H'0047	H'0022 ~ H'0023
システム予約	18	H'0048 ~ H'004B	H'0024 ~ H'0025	
	19	H'004C ~ H'004F	H'0026 ~ H'0027	
内部割り込み*2	20	H'0050 ~ H'0053	H'0028 ~ H'0029	
	}	}	}	
	60	H'00F0 ~ H'00F3	H'0078 ~ H'0079	

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が"Low"レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。

$\overline{\text{RES}}$ 端子が"Low"レベルから"High"レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は、「第 12 章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が"Low"レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を"Low"レベルに保持してください。また、動作中は最低 10 システムクロック (ϕ) サイクルの間"Low"レベルにしてください。リセット状態の各端子の状態は「付録 D.2 リセット時の端子状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間"Low"レベルの後、"High"レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが"1"にセットされます。
- (2) リセット例外処理ベクタアドレス（アドバンスモード時はH'0000～H'0003、ノーマルモード時はH'0000～H'0001）をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

モード 1、3 のリセットシーケンスを図 4.2 に、モード 2、4 のリセットシーケンスを図 4.3 に、モード 6 のリセットシーケンスを図 4.4 に示します。

4. 例外処理

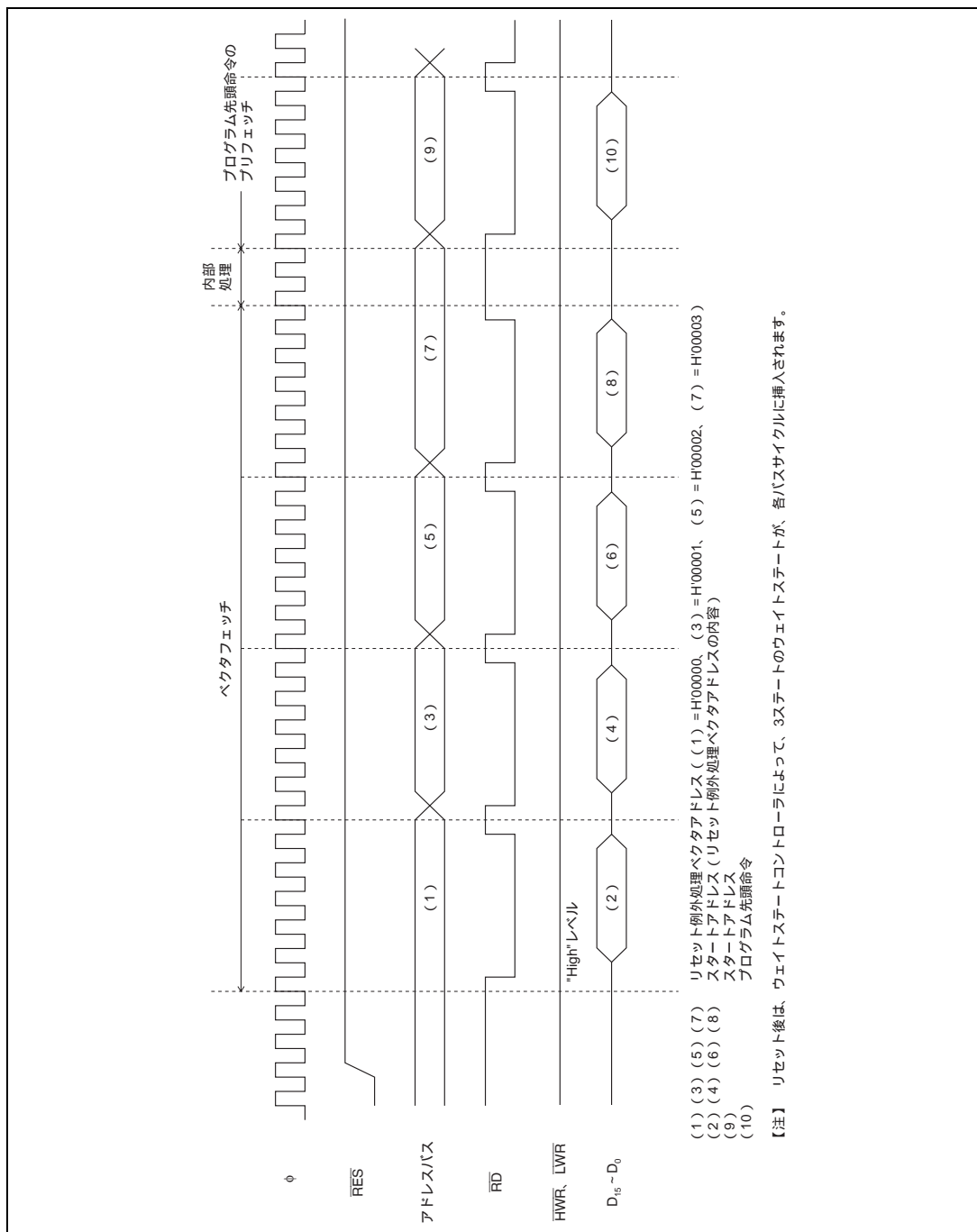


図 4.2 リセットシーケンス (モード 1、3)

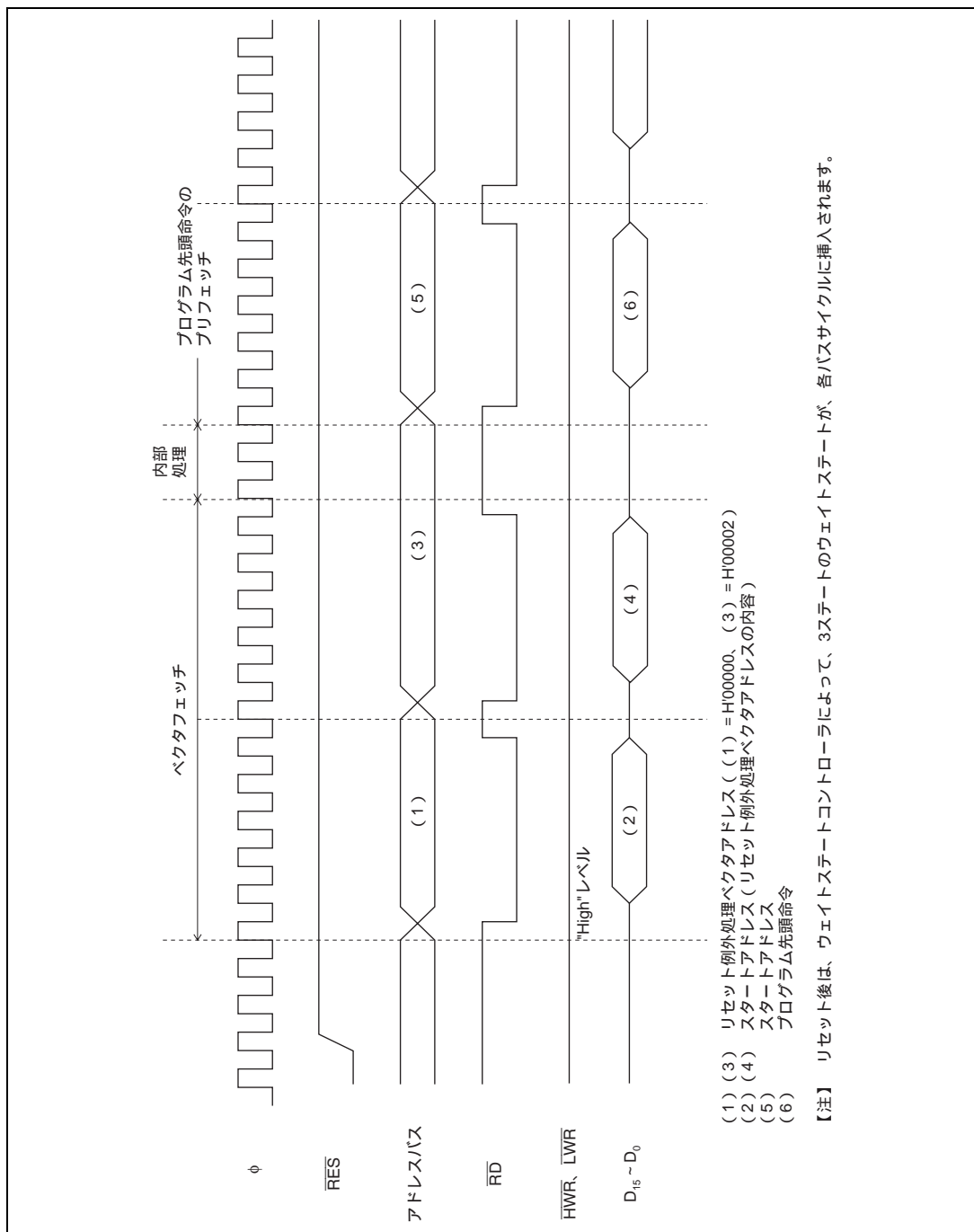


図 4.3 リセットシーケンス (モード 2、4)

4. 例外処理

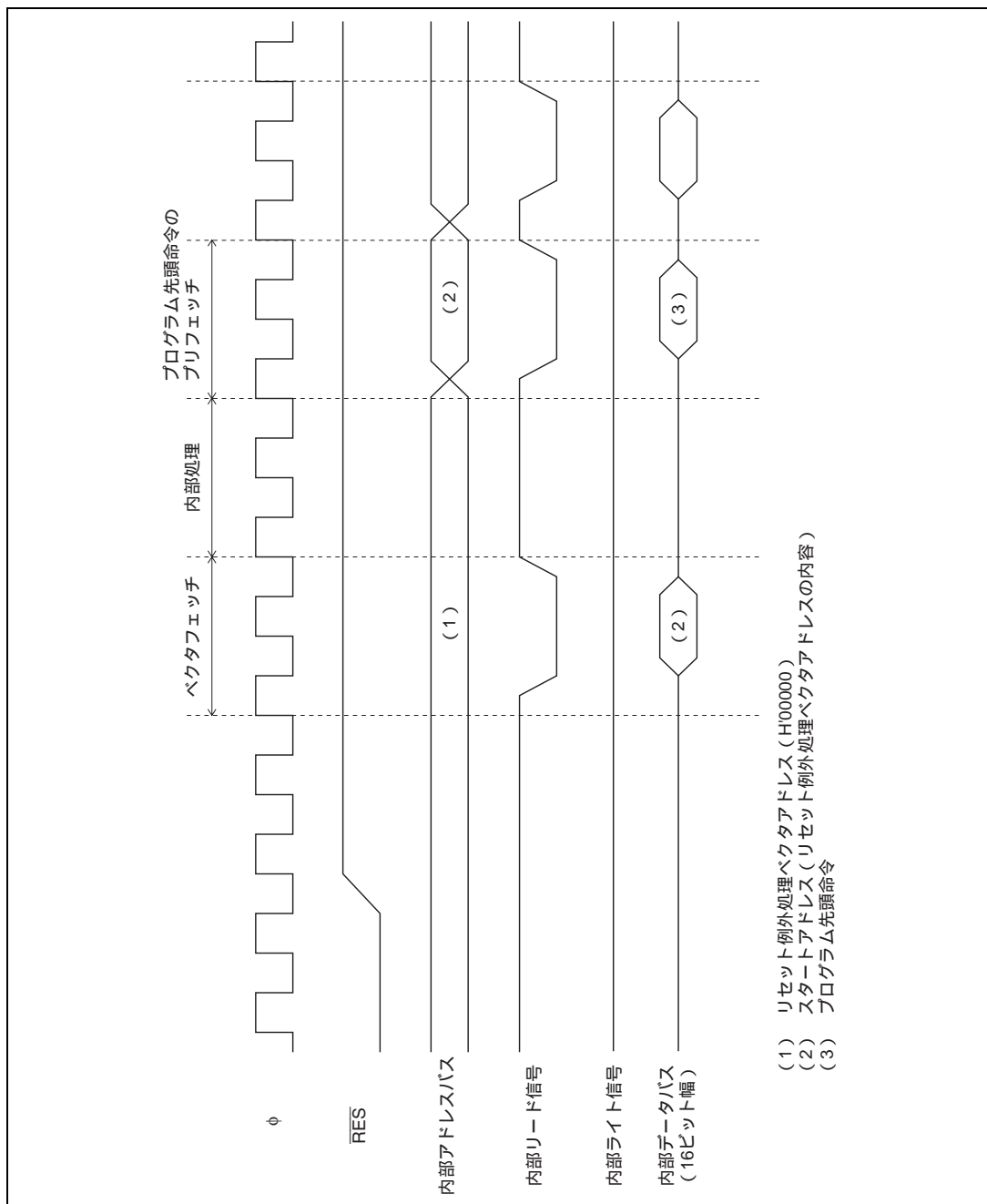


図 4.4 リセットシーケンス (モード 6)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP をイニシャライズする命令としてください。(例: MOV.L #xx:32, SP)。

4.3 割り込み

割り込み例外処理を開始させる要因には、7 つの外部割り込み (NMI、IRQ₀ ~ IRQ₅) と、内蔵周辺モジュールからの要求による 30 の内部要因があります。割り込み要因と要因数を図 4.5 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、リフレッシュコントローラ、16 ビットインテグレートドタイマユニット (ITU)、DMA コントローラ (DMAC)、シリアルコミュニケーションインタフェース (SCI)、および A/D 変換器があります。割り込みベクタアドレスは、各要因別に割り当てられています。

NMI は最優先の割り込みで、常に受け付けられます。割り込みは、割り込みコントローラによって制御されます。割り込みコントローラは、NMI 以外の割り込みを 2 レベルの優先順位を設定して、多重割り込みの制御を行うことができます。割り込みの優先順位は割り込みコントローラのインタラプトプライオリティレジスタ A、B (IPRA、B) に設定します。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

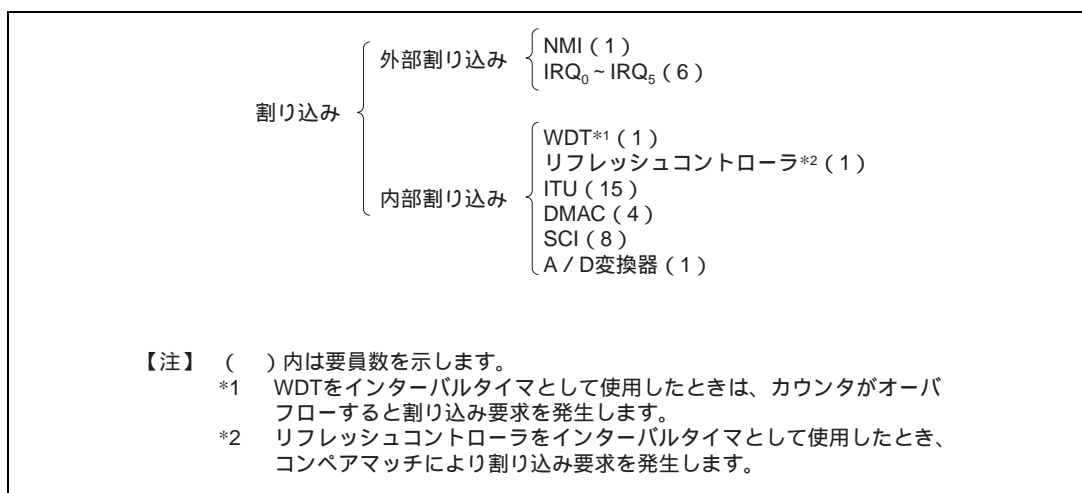


図 4.5 割り込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが"1"のときは CCR の I ビットが"1"にセットされ、UE ビットが"0"のときには CCR の I ビット、UI ビットがそれぞれ"1"にセットされます。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタック状態を図 4.6 に示します。

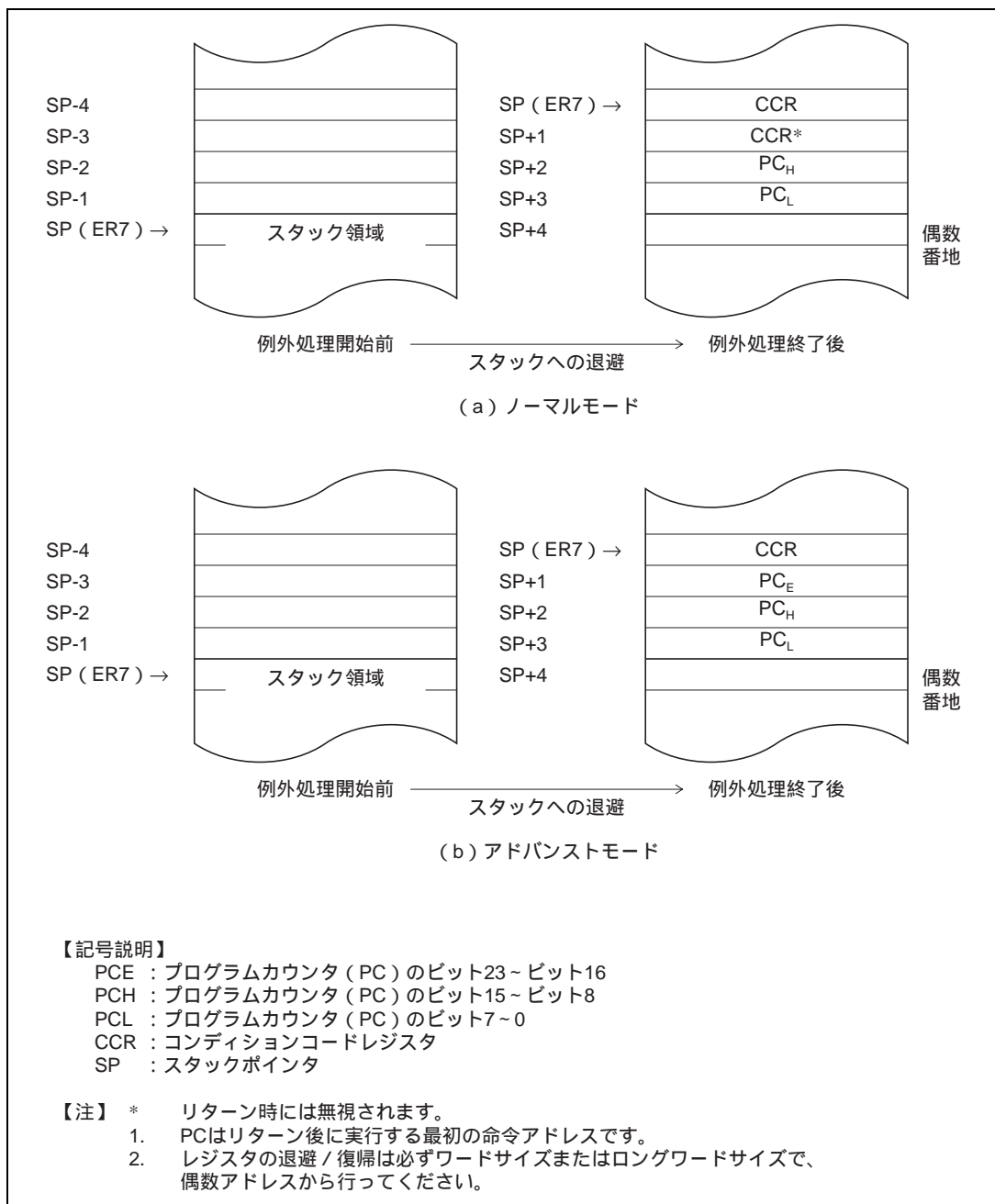


図 4.6 例外処理終了後のスタック状態

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.  W  Rn  (MOV.W Rn, @ - SP)
```

```
PUSH.  L  ERn (MOV.L ERn @ - SP)
```

また、レジスタの復帰は、

```
POP.   W  Rn  (MOV.W @SP+, Rn)
```

```
POP.   L  ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤作動の原因となります。SP を奇数に設定した場合の動作例を図 4.7 に示します。

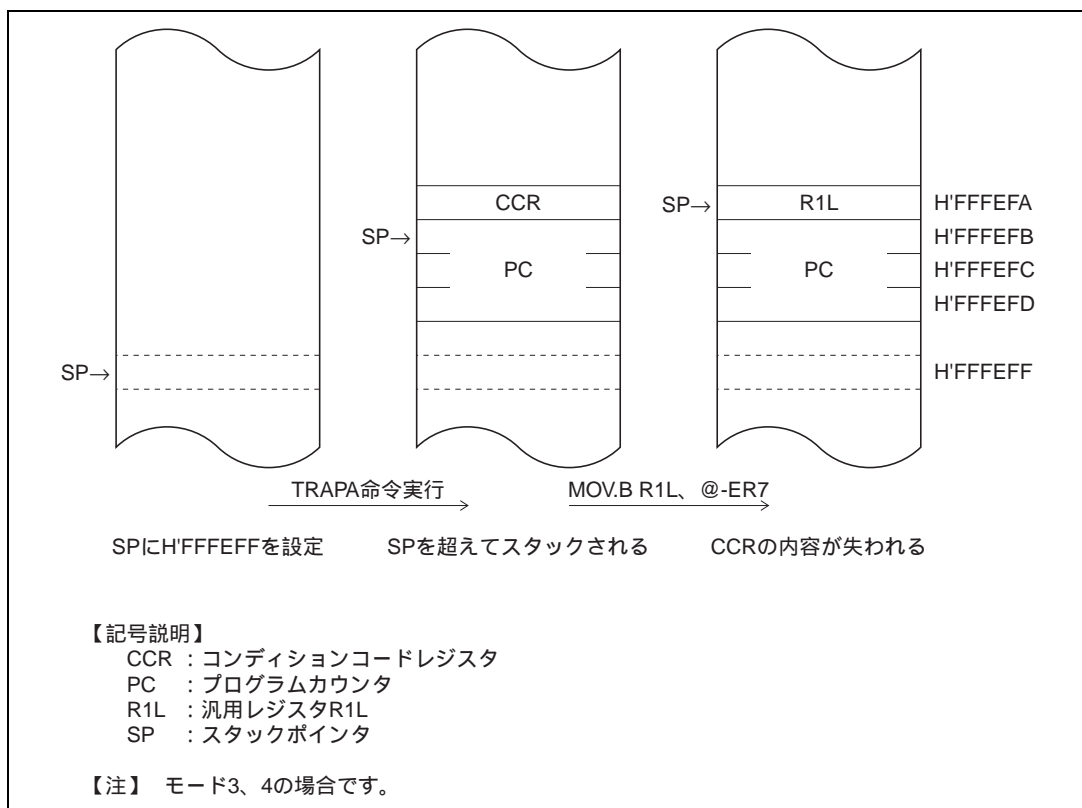


図 4.7 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

割り込みコントローラには、次の特長があります。

IPR により、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ A、B (IPRA、B) を備えており、NMI 以外の割り込みを要因ごとまたはモジュールごとに 2 レベルの優先順位を設定できます。

CPU のコンディションコードレジスタ (CCR) の I、UI ビットにより、3 レベルの許可 / 禁止状態を設定可能。

独立したベクタアドレス

すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

7 本の外部割り込み端子

NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジ / 立ち下がりエッジを選択できます。また $IRQ_0 \sim IRQ_5$ は立ち下がりエッジ / レベルセンスを独立に選択できます。

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

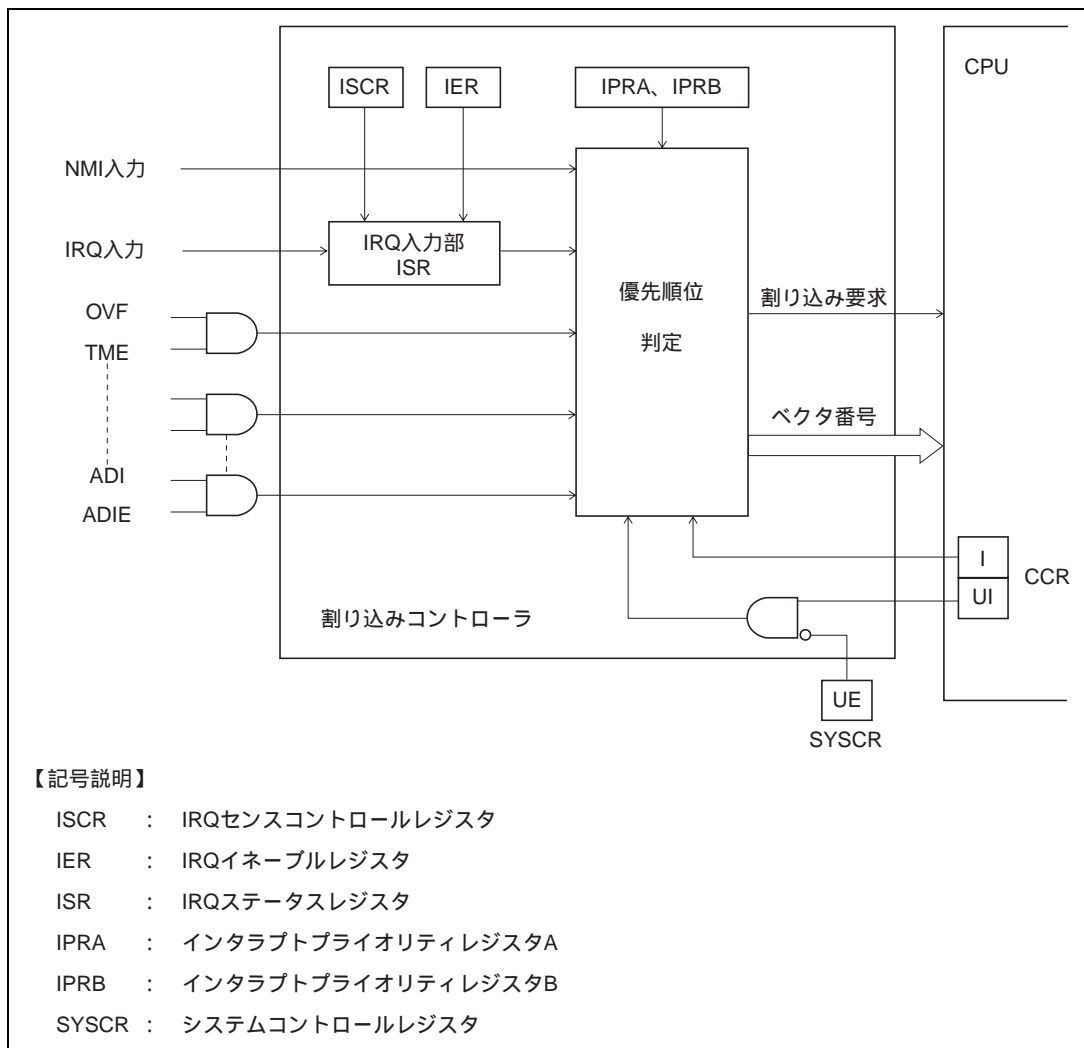


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み、 立ち上がりエッジ/立ち下がりエッジ選択可能
外部割り込み要求 5~0	$\overline{IRQ}_5 \sim \overline{IRQ}_0$	入力	マスク可能な外部割り込み、 立ち下がりエッジ/レベルセンス選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FFF4	IRQ センスコントロールレジスタ	ISCR	R/W	H'00
H'FFF5	IRQ イネーブルレジスタ	IER	R/W	H'00
H'FFF6	IRQ ステータスレジスタ	ISR	R/(W)*2	H'00
H'FFF8	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'FFF9	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 フラグをクリアするための"0"ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCR の UI ビットの動作の選択、NMI の検出エッジの選択、および内蔵 RAM の有効/無効の選択を行います。

ここでは、ビット 3、2 についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセット、またはハードウェアスタンバイモード時に H'0B に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME
初期値 :	0	0	0	0	1	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RAMイネーブル

リザーブビット

NMIエッジセレクト
NMI端子の入力エッジを
選択するビットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして
使用するか、割り込みマスクビットとして
使用するかを選択するビットです。

スタンバイタイムセレクト2~0

ソフトウェアスタンバイ

ビット3：ユーザビットイネーブル（UE）

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3 UE	説明
0	CCR の UI ビットを割り込みマスクビットとして使用
1	CCR の UI ビットをユーザビットとして使用 (初期値)

ビット2：NMI エッジセレクト（NMIEG）

NMI 端子の入力エッジ選択を行います。

ビット2 NMIEG	説明
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A、B（IPRA、IPRB）

IPRA、IPRB はおのおの 8 ビットのリード/ライト可能なレジスタで割り込みの優先順位を制御します。

5. 割り込みコントローラ

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRA は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。

ビット :	7	6	5	4	3	2	1	0
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルA0
ITUチャンネル2の割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA1
ITUチャンネル1の割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA2
ITUチャンネル0の割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA3
WDT、リフレッシュコントローラの割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA4
IRQ₄、IRQ₅の割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA5
IRQ₂、IRQ₃の割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA6
IRQ₁の割り込み要求のプライオリティレベルを設定するビットです。

プライオリティレベルA7
IRQ₀の割り込み要求のプライオリティレベルを設定するビットです。

IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7：プライオリティレベル A7 (IPRA7)

IRQ₀の割り込み要求のプライオリティレベルを設定します。

ビット7	説明	
IPRA7		
0	IRQ ₀ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₀ の割り込み要求はプライオリティレベル1 (優先)	

ビット6：プライオリティレベル A6 (IPRA6)

IRQ₁の割り込み要求のプライオリティレベルを設定します。

ビット6	説明	
IPRA6		
0	IRQ ₁ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₁ の割り込み要求はプライオリティレベル1 (優先)	

ビット5：プライオリティレベル A5 (IPRA5)

IRQ₂、IRQ₃の割り込み要求のプライオリティレベルを設定します。

ビット5	説明	
IPRA5		
0	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₂ 、IRQ ₃ の割り込み要求はプライオリティレベル1 (優先)	

ビット4：プライオリティレベル A4 (IPRA4)

IRQ₄、IRQ₅の割り込み要求のプライオリティレベルを設定します。

ビット4	説明	
IPRA4		
0	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル1 (優先)	

ビット3：プライオリティレベル A3 (IPRA3)

WDT、リフレッシュコントローラの割り込み要求のプライオリティレベルを設定します。

ビット3	説明	
IPRA3		
0	WDT、リフレッシュコントローラの割り込み要求はプライオリティレベル0 (非優先)	(初期値)
1	WDT、リフレッシュコントローラの割り込み要求はプライオリティレベル1 (優先)	

5. 割り込みコントローラ

ビット 2 : プライオリティレベル A2 (IPRA2)

ITU チャンネル 0 の割り込み要求のプライオリティレベルを設定します。

ビット 2 IPRA2	説明
0	ITU チャンネル 0 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 0 の割り込み要求はプライオリティレベル 1 (優先)

ビット 1 : プライオリティレベル A1 (IPRA1)

ITU チャンネル 1 の割り込み要求のプライオリティレベルを設定します。

ビット 1 IPRA1	説明
0	ITU チャンネル 1 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 1 の割り込み要求はプライオリティレベル 1 (優先)

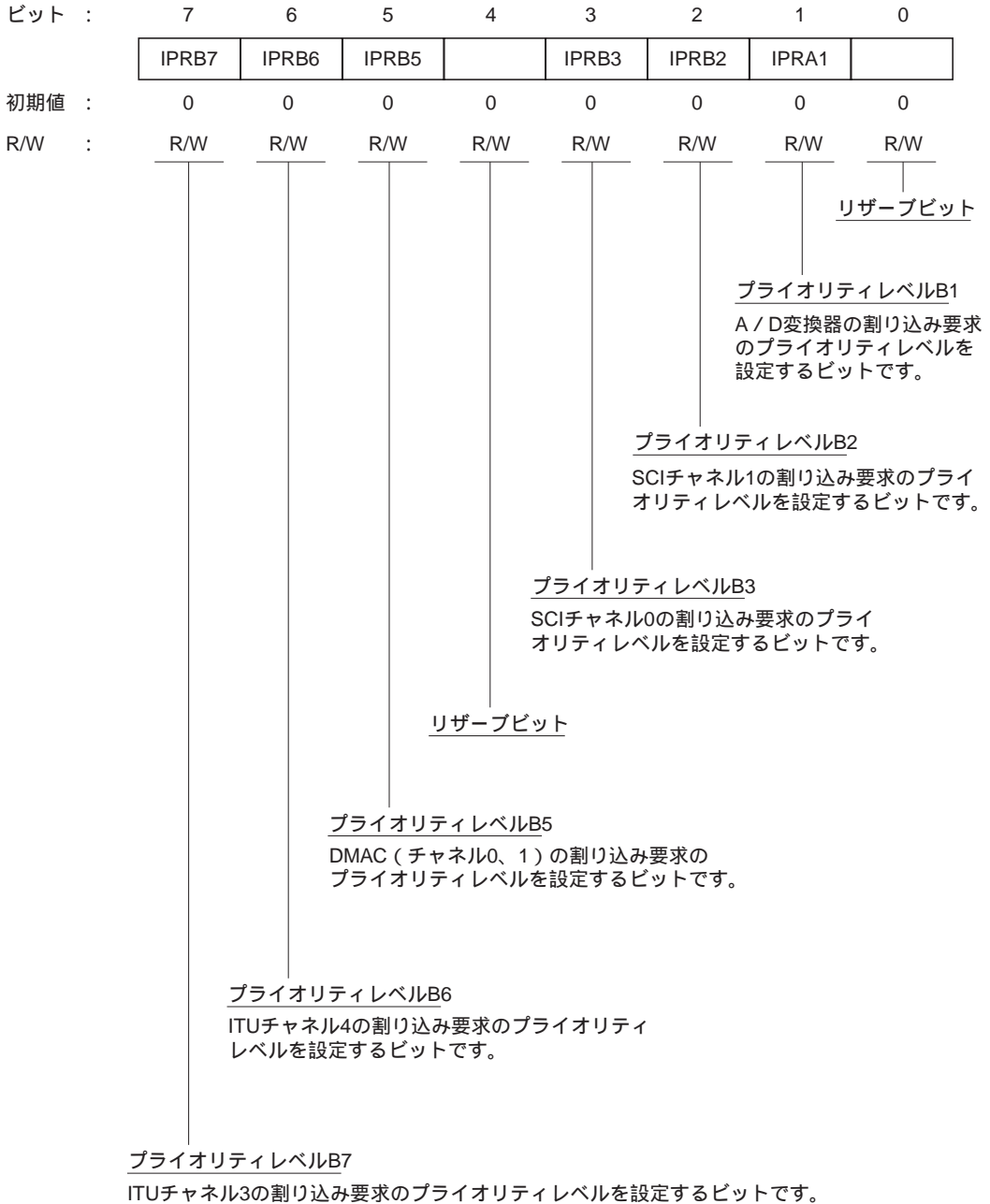
ビット 0 : プライオリティレベル A0 (IPRA0)

ITU チャンネル 2 の割り込み要求のプライオリティレベルを設定します。

ビット 0 IPRA0	説明
0	ITU チャンネル 2 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 2 の割り込み要求はプライオリティレベル 1 (優先)

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

5. 割り込みコントローラ

ビット7：プライオリティレベル B7 (IPRB7)

ITU チャンネル3 の割り込み要求のプライオリティレベルを設定します。

ビット7 IPRB7	説明
0	ITU チャンネル3 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	ITU チャンネル3 の割り込み要求はプライオリティレベル1 (優先)

ビット6：プライオリティレベル B6 (IPRB6)

ITU チャンネル4 の割り込み要求のプライオリティレベルを設定します。

ビット6 IPRB6	説明
0	ITU チャンネル4 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	ITU チャンネル4 の割り込み要求はプライオリティレベル1 (優先)

ビット5：プライオリティレベル B5 (IPRB5)

DMAC (チャンネル0、1) の割り込み要求のプライオリティレベルを設定します。

ビット5 IPRB5	説明
0	DMAC (チャンネル0、1) の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	DMAC (チャンネル0、1) の割り込み要求はプライオリティレベル1 (優先)

ビット4：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット3：プライオリティレベル B3 (IPRB3)

SCI チャンネル0 の割り込み要求のプライオリティレベルを設定します。

ビット3 IPRB3	説明
0	SCI チャンネル0 の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCI チャンネル0 の割り込み要求はプライオリティレベル1 (優先)

ビット2：プライオリティレベル B2 (IPRB2)

SCI チャンネル 1 の割り込み要求のプライオリティレベルを設定します。

ビット 2 IPRB2	説明
0	SCI チャンネル 1 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	SCI チャンネル 1 の割り込み要求はプライオリティレベル 1 (優先)

ビット1：プライオリティレベル B1 (IPRB1)

A/D 変換器の割り込み要求のプライオリティレベルを設定します。

ビット 1 IPRB1	説明
0	A/D 変換器の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	A/D 変換器の割り込み要求はプライオリティレベル 1 (優先)

ビット0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5. 割り込みコントローラ

5.2.3 IRQ ステータスレジスタ (ISR)

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ₀ ~ IRQ₅ 割り込み要求のステータスの表示を行います。

ビット :	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :			R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット
IRQ₅ ~ IRQ₀ フラグ
IRQ₅ ~ IRQ₀ 割り込み要求のステータスを表示するビットです。

【注】* フラグをクリアするための"0"ライトのみ可能です。

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7、6 : リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット5~0 : IRQ₅ ~ IRQ₀ フラグ (IRQ₅F ~ IRQ₀F)

IRQ₅ ~ IRQ₀ 割り込み要求のステータスの表示を行います。

ビット5~0 IRQ5F ~ IRQ0F	説明
0	[クリア条件] (初期値) (1) IRQnF = "1"の状態 で IRQnF フラグをリードした後、IRQnF フラグに"0"をライトしたとき (2) IRQnSC = "0"、 $\overline{\text{IRQ}}_n$ 入力が"High"レベルの状態 で割り込み例外処理を実行したとき (3) IRQnSC = "1"の状態 で IRQn 割り込み例外処理を実行したとき
1	[セット条件] (1) IRQnSC = "0"の状態 で $\overline{\text{IRQ}}_n$ 入力が"Low"レベルになったとき (2) IRQnSC = "1"の状態 で $\overline{\text{IRQ}}_n$ 入りに立ち下がりエッジが発生したとき

(n = 5 ~ 0)

5.2.4 IRQ イネーブルレジスタ (IER)

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ₀ ~ IRQ₅ 割り込み要求の許可/禁止を制御します。

ビット :	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
IRQ₅ ~ IRQ₀ イネーブル
IRQ₅ ~ IRQ₀ 割り込みを許可/禁止するかを選択するビットです。

IER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能ですが割り込み要求の許可/禁止には関係ありません。

ビット 5 ~ 0 : IRQ₅ ~ IRQ₀ イネーブル (IRQ5E ~ IRQ0E)

IRQ₅ ~ IRQ₀ 割り込みを許可/禁止するかを選択します。

ビット 5 ~ 0	説明	
IRQ5E ~ IRQ0E		
0	IRQ ₅ ~ IRQ ₀ 割り込みを禁止	(初期値)
1	IRQ ₅ ~ IRQ ₀ 割り込みを許可	

5. 割り込みコントローラ

5.2.5 IRQ センスコントロールレジスタ (ISCR)

ISCR は 8 ビットのリード/ライト可能なレジスタで、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 端子の入力のレベルセンスまたは立ち下がリエッジを選択します。

ビット :	7	6	5	4	3	2	1	0
			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
IRQ₅ ~ IRQ₀センスコントロール
IRQ₅ ~ IRQ₀割り込みのレベルセンスまたは立ち下がリエッジを選択するビットです。

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能ですが、レベルセンスまたは立ち下がリエッジの選択には関係ありません。

ビット 5 ~ 0 : IRQ₅ ~ IRQ₀ センスコントロール (IRQ5SC ~ IRQ0SC)

IRQ₅ ~ IRQ₀ 割り込みを $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 端子のレベルセンスで要求するか、立ち下がリエッジで要求するかを選択します。

ビット 5~0	説明
IRQ5SC ~ IRQ0SC	
0	$\overline{IRQ}_5 \sim \overline{IRQ}_0$ 入力の "Low" レベルで割り込み要求を発生 (初期値)
1	$\overline{IRQ}_5 \sim \overline{IRQ}_0$ 入力の立ち下がリエッジで割り込み要求を発生

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ₀～IRQ₅）と内部割り込み（30 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ₀～IRQ₅の7要因があります。このうち、NMI、IRQ₀～IRQ₂はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ₀～IRQ₅ 割り込み

IRQ₀～IRQ₅ 割り込みは $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$ 端子の入力信号により要求されます。IRQ₀～IRQ₅ 割り込みには次の特長があります。

- (1) $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$ 端子の "Low" レベルまたは立ち下がりエッジのどちらで割り込みを要求するか、ISCR で選択できます。
- (2) IRQ₀～IRQ₅ 割り込み要求を許可するか禁止するかを、IER で選択できます。また、IPRA の IPRA7～IPRA4 ビットにより割り込みプライオリティレベルを設定できます。
- (3) IRQ₀～IRQ₅ 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで "0" にクリアすることができます。

IRQ₀～IRQ₅ 割り込みのブロック図を図 5.2 に示します。

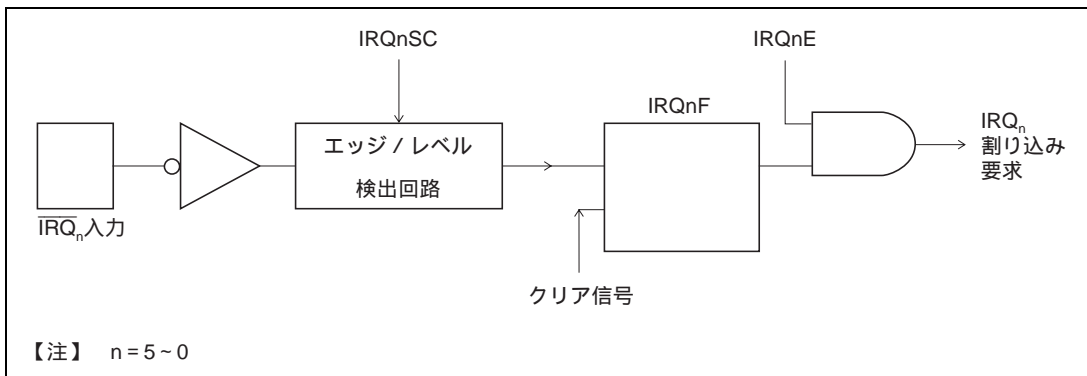


図 5.2 IRQ₀～IRQ₅ 割り込みのブロック図

5. 割り込みコントローラ

IRQnF のセットタイミングを図 5.3 に示します。

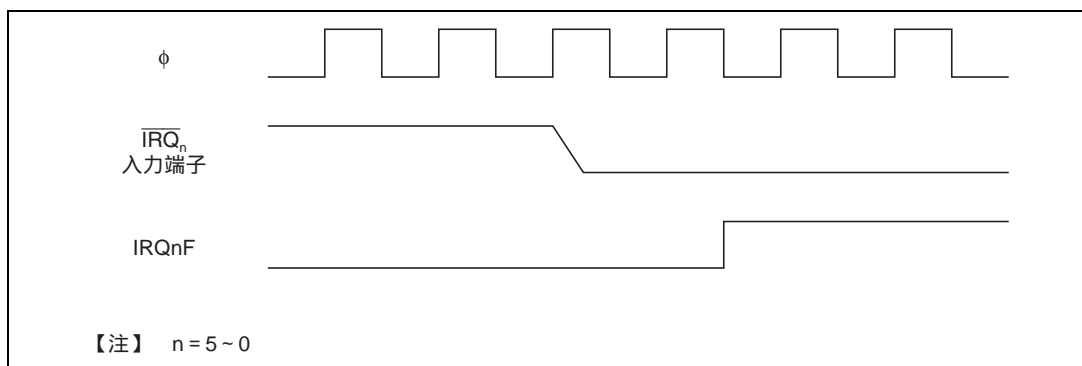


図 5.3 IRQnF セットタイミング

IRQ₀ ~ IRQ₅ 割り込み例外処理のベクタ番号は 12 ~ 17 です。

IRQ₀ ~ IRQ₅ 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合は、対応する DDR を "0" にクリアし、チップセレクト出力端子、リフレッシュ出力端子、SCI の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みは 30 要因あります。

- (1) 各内蔵周辺モジュールには割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、Bによって割り込みプライオリティレベルを設定できます。
- (3) ITU、SCIの割り込み要求でDMACの起動ができます。この場合、割り込みコントローラに対して割り込みは要求されません。このときはI、UIビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、B により NMI 以外の割り込みの優先順位を変更することができます。

リセット後の割り込み優先順位は表 5.3 に示されるデフォルトの順位となります。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*		IPR	優先順位
			アドバンスモード	ノーマルモード		
NMI	外部端子	7	H'001C ~ H'001F	H'000E ~ H'000F		高 ↑
IRQ ₀		12	H'0030 ~ H'0033	H'0018 ~ H'0019	IPRA7	
IRQ ₁		13	H'0034 ~ H'0037	H'001A ~ H'001B	IPRA6	
IRQ ₂		14	H'0038 ~ H'003B	H'001C ~ H'001D	IPRA5	
IRQ ₃		15	H'003C ~ H'003F	H'001E ~ H'001F		
IRQ ₄		16	H'0040 ~ H'0043	H'0020 ~ H'0021	IPRA4	
IRQ ₅		17	H'0044 ~ H'0047	H'0022 ~ H'0023		
リザーブ		18	H'0048 ~ H'004B	H'0024 ~ H'0025		
		19	H'004C ~ H'004F	H'0026 ~ H'0027		
WOVI (インターバルタイマ)	ウォッチドッグ タイマ	20	H'0050 ~ H'0053	H'0028 ~ H'0029	IPRA3	
CMI (コンペアマッチ)	リフレッシュ コントローラ	21	H'0054 ~ H'0057	H'002A ~ H'002B		
リザーブ		22	H'0058 ~ H'005B	H'002C ~ H'002D		
		23	H'005C ~ H'005F	H'002E ~ H'002F		
IMIA0 (コンペアマッチ/ インプットキャプチャA0)	ITU チャンネル 0	24	H'0060 ~ H'0063	H'0030 ~ H'0031	IPRA2	
IMIB0 (コンペアマッチ/ インプットキャプチャB0)		25	H'0064 ~ H'0067	H'0032 ~ H'0033		
OVI0 (オーバフロー-0)		26	H'0068 ~ H'006B	H'0034 ~ H'0035		
リザーブ		27	H'006C ~ H'006F	H'0036 ~ H'0037		
IMIA1 (コンペアマッチ/ インプットキャプチャA1)	ITU チャンネル 1	28	H'0070 ~ H'0073	H'0038 ~ H'0039	IPRA1	
IMIB1 (コンペアマッチ/ インプットキャプチャB1)		29	H'0074 ~ H'0077	H'003A ~ H'003B		
OVI1 (オーバフロー-1)		30	H'0078 ~ H'007B	H'003C ~ H'003D		
リザーブ		31	H'007C ~ H'007F	H'003E ~ H'003F		

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			アドバンスモード	ノーマルモード		
IMIA2 (コンペアマッチ/ インプットキャプチャA2) IMIB2 (コンペアマッチ/ インプットキャプチャB2) OVI2 (オーバフロー-2) リザーブ	ITU チャンネル 2	32	H'0080 ~ H'0083	H'0040 ~ H'0041	IPRA0	↑
		33	H'0084 ~ H'0087	H'0042 ~ H'0043		
		34	H'0088 ~ H'008B	H'0044 ~ H'0045		
		35	H'008C ~ H'008F	H'0046 ~ H'0047		
IMIA3 (コンペアマッチ/ インプットキャプチャA3) IMIB3 (コンペアマッチ/ インプットキャプチャB3) OVI3 (オーバフロー-3) リザーブ	ITU チャンネル 3	36	H'0090 ~ H'0093	H'0048 ~ H'0049	IPRB7	
		37	H'0094 ~ H'0097	H'004A ~ H'004B		
		38	H'0098 ~ H'009B	H'004C ~ H'004D		
		39	H'009C ~ H'009F	H'004E ~ H'004F		
IMIA4 (コンペアマッチ/ インプットキャプチャA4) IMIB4 (コンペアマッチ/ インプットキャプチャB4) OVI1 (オーバフロー-4) リザーブ	ITU チャンネル 4	40	H'00A0 ~ H'00A3	H'0050 ~ H'0051	IPRB6	
		41	H'00A4 ~ H'00A7	H'0052 ~ H'0053		
		42	H'00A8 ~ H'00AB	H'0054 ~ H'0055		
		43	H'00AC ~ H'00AF	H'0056 ~ H'0057		
DEND0A DEND0B DEND1A DEND1B リザーブ	DMAC	44	H'00B0 ~ H'00B3	H'0058 ~ H'0059	IPRB5	
		45	H'00B4 ~ H'00B7	H'005A ~ H'005B		
		46	H'00B8 ~ H'00BB	H'005C ~ H'005D		
		47	H'00BC ~ H'00BF	H'005E ~ H'005F		
ERIO (受信エラー0) RXI0 (受信データフル0) TXI0 (送信データ エンブティ0) TEI0 (送信終了0) リザーブ	SCI チャンネル 0	48	H'00C0 ~ H'00C3	H'0060 ~ H'0061		
		49	H'00C4 ~ H'00C7	H'0062 ~ H'0063		
		50	H'00C8 ~ H'00CB	H'0064 ~ H'0065		
		51	H'00CC ~ H'00CF	H'0066 ~ H'0067		
ERIO (受信エラー0) RXI0 (受信データフル0) TXI0 (送信データ エンブティ0) TEI0 (送信終了0)	SCI チャンネル 0	52	H'00D0 ~ H'00D3	H'0068 ~ H'0069	IPRB3	
		53	H'00D4 ~ H'00D7	H'006A ~ H'006B		
		54	H'00D8 ~ H'00DB	H'006C ~ H'006D		
		55	H'00DC ~ H'00DF	H'006E ~ H'006F		
ERI1 (受信エラー1) RXI1 (受信データフル1) TXI1 (送信データ エンブティ1) TEI1 (送信終了1) ADI (A/D エンド)	SCI チャンネル 1	56	H'00E0 ~ H'00E3	H'0070 ~ H'0071	IPRB2	
		57	H'00E4 ~ H'00E7	H'0072 ~ H'0073		
		58	H'00E8 ~ H'00EB	H'0074 ~ H'0075		
		59	H'00EC ~ H'00EF	H'0076 ~ H'0077		
ADI (A/D エンド)	A/D	60	H'00F0 ~ H'00F3	H'0078 ~ H'0079	IPRB1	低

【注】 * アドレスの低位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み動作の流れ

本 LSI では、割り込みの動作は UE ビットの状態によって異なります。UE = "1" のときは I ビットで割り込みの制御が行われます。UE = "0" のときは、I、UI ビットの組み合わせで割り込みの制御が行われます。表 5.4 に UE、I、UI ビットの各組み合わせのときの割り込みの状態を示します。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを "0" にクリアすると、その割り込み要求は無視されます。

表 5.4 UE、I、UI ビットの組み合わせによる割り込みの状態

SYSCR	CCR		状態
	I	UI	
1	0		すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1		NMI 以外の割り込みを受け付けません。
0	0		すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	0	NMI およびプライオリティレベル 1 の割り込み要因のみを受け付けます。
		1	

5. 割り込みコントローラ

(1) UE ビット = "1" の場合

IRQ₀ ~ IRQ₅ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I ビットにより一括して、許可 / 禁止を設定できます。I ビットが "0" にクリアされているときは許可状態、"1" にセットされているときは禁止状態です。プライオリティレベル 1 の割り込み要因の優先順位は高くなります。この場合の割り込み受け付けの動作フローチャートを図 5.4 に示します。

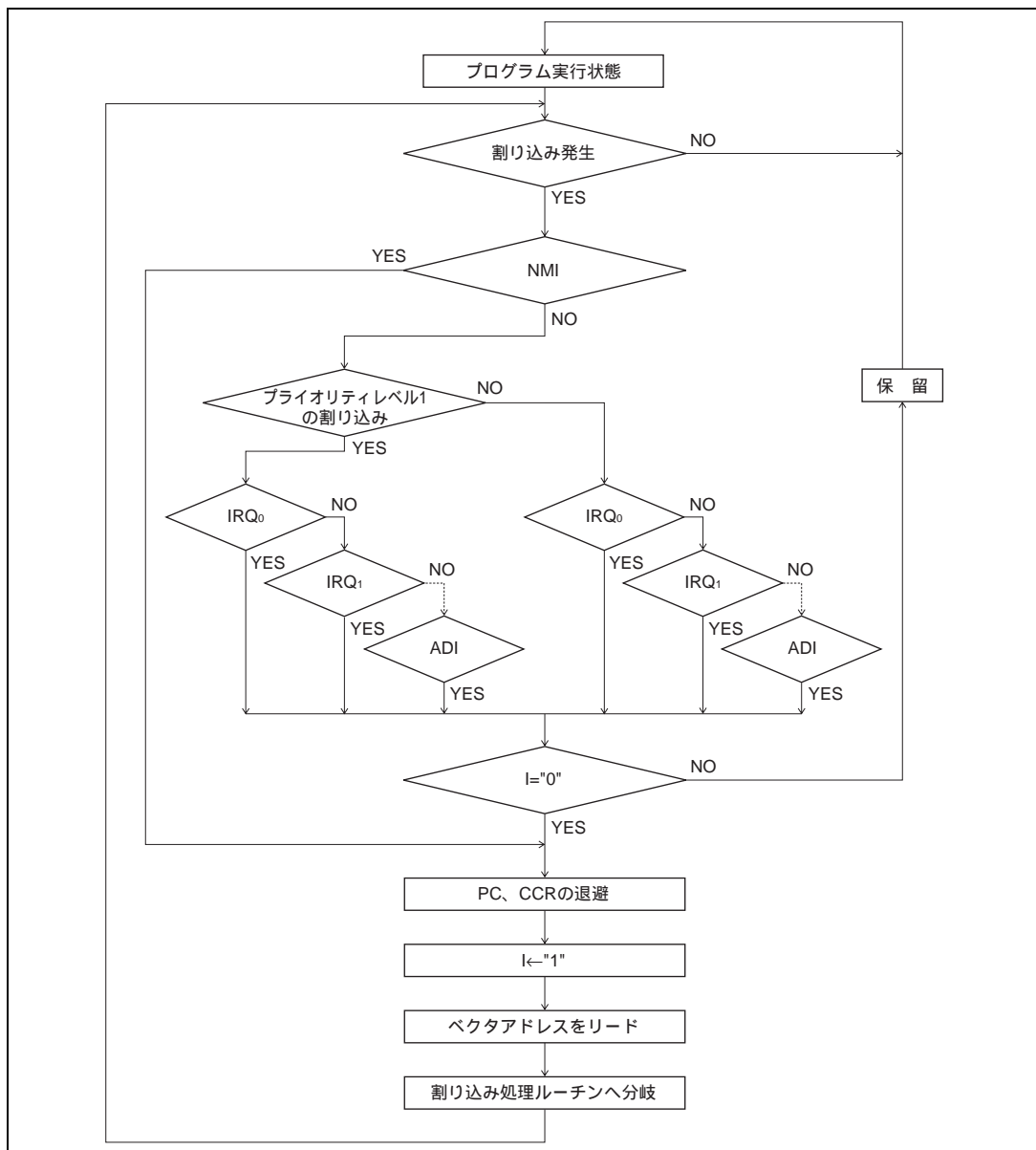


図 5.4 UE = "1" の場合の割り込み受け付けまでのフロー

- (1) 対応する割り込みイネーブルビットが"1"にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) Iビットを参照します。Iビットが"0"にクリアされているときは、割り込み要求が受け付けられます。Iビットが"1"にセットされているときは、NMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次にCCRのIビットが"1"にセットされます。これにより、NMIを除く割り込みはマスクされます。
- (7) 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

(2) UE ビット = "0" の場合

IRQ₀ ~ IRQ₅ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I、UI ビット、IPR に よって 3 レベルの許可 / 禁止状態を実現できます。

- (a) プライオリティレベル0の割り込み要求は、Iビットが"0"にクリアされているとき許可状態、"1"にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割り込み要求は、IビットまたはUIビットが"0"にクリアされているとき許可状態、IビットおよびUIビットがいずれも"1"にセットされているとき禁止状態となります。

たとえば、各割り込み要求の対応する割り込みイネーブルビットを"1"にセット、IPRA、IPRBをそれぞれH'20、H'00に設定した場合（IRQ₂、IRQ₃割り込み要求の優先順位をほかの割り込みより高にした場合）、次のようになります。

- (a) I = "0" のとき、すべての割り込みを許可
(優先順位：NMI > IRQ₂ > IRQ₃ > IRQ₀ ...)
- (b) I = "1"、UI = "0" のとき、NMI、IRQ₂、IRQ₃割り込みのみを許可
- (c) I = "1"、UI = "1" のとき、NMI以外の割り込みを禁止

5. 割り込みコントローラ

また、このときの状態遷移を図 5.5 に示します。

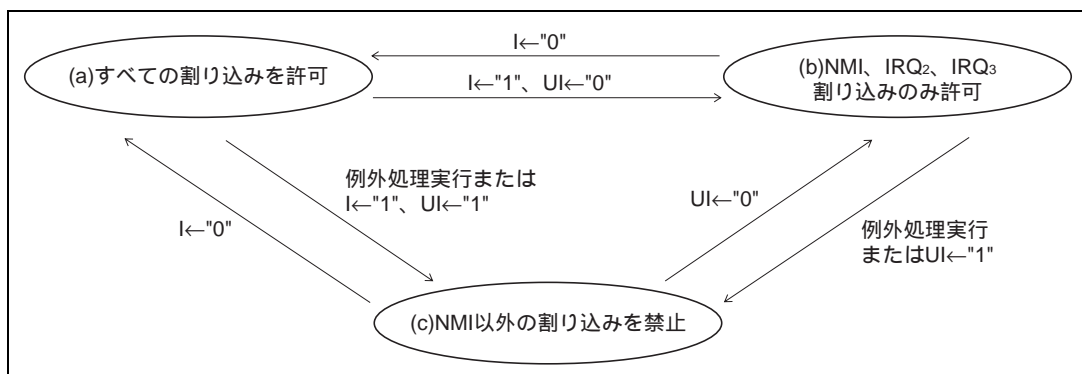


図 5.5 割り込み許可 / 禁止状態の遷移例

UE ビット = "0" のときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- (1) 対応する割り込みイネーブルビットが"1"にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) Iビットを参照します。Iビットが"0"にクリアされているときは、IPRに関係なく割り込み要求が受け付けられます。このときはUIビットの影響を受けません。Iビットが"1"にセットされ、UIビットが"0"にクリアされているときは、プライオリティレベル1の割り込み要求のみが受け付けられ、プライオリティレベル0の割り込み要求は保留となります。I、UIビットがいずれも"1"にセットされているときは、割り込み要求は保留となります。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCRのI、UIビットが"1"にセットされます。これにより、NMIを除く割り込みはマスクされます。
- (7) 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

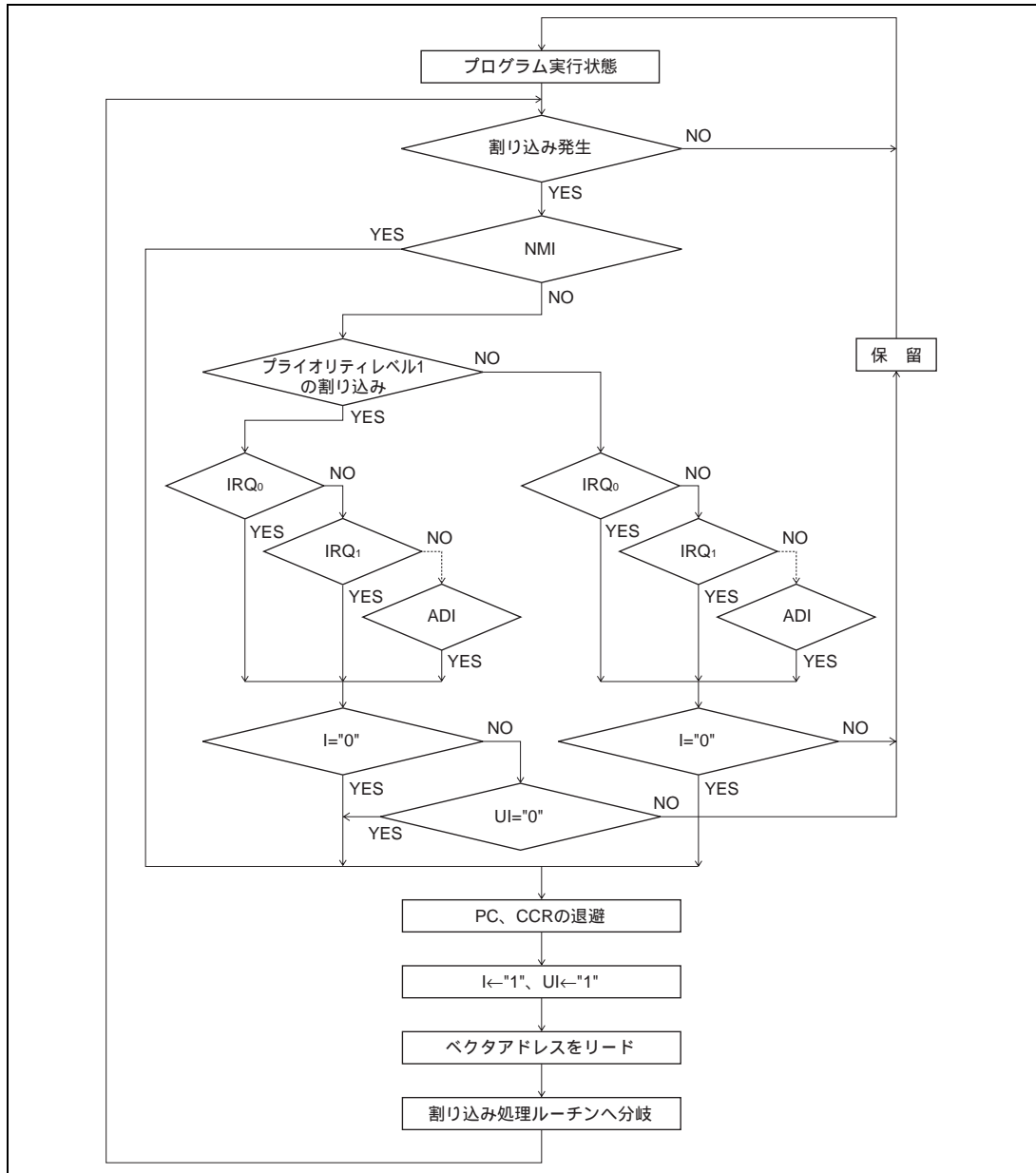


図 5.6 UE = "0" の場合の割り込み受け付けまでのフロー

5.4.2 割り込み例外処理シーケンス

モード 2 で、プログラム領域とスタック領域を外部メモリ 16 ビット 2 ステートアクセス空間にとった場合の割り込みシーケンスを図 5.7 に示します。

5. 割り込みコントローラ

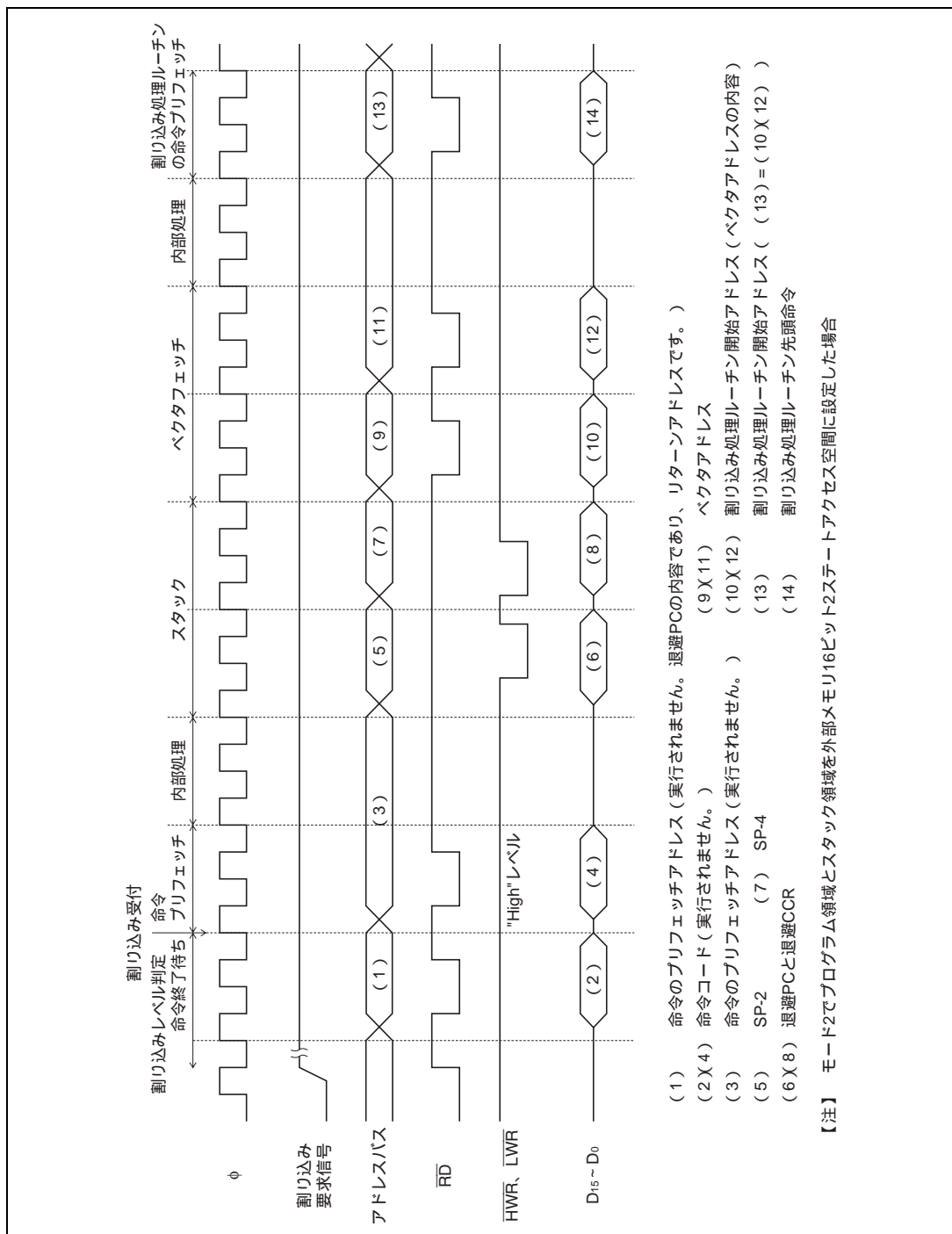


図 5.7 割り込みシーケンス (モード2、2ステートアクセス、スタック外部メモリ)

5.4.3 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 5.5 に示します。

表 5.5 割り込み応答時間

No.	項目	内蔵メモリ	アドバンスモード				ノーマルモード
			外部メモリ				
			8ビットバス		16ビットバス		
			2ステート	3ステート	2ステート	3ステート	
1	割り込み優先順位判定		2 ^{*1}				2 ^{*1}
2	実行中の命令が終了するまでの最大待ちステート数	1~23	1~27	1~31 ^{*4}	1~23	1~25 ^{*4}	1~23
3	PC、CCRのスタック	4	8	12 ^{*4}	4	6 ^{*4}	4
4	ベクタフェッチ	4	8	12 ^{*4}	4	6 ^{*4}	2
5	命令フェッチ ^{*2}	4	8	12 ^{*4}	4	6 ^{*4}	4
6	内部処理 ^{*3}	4	4	4	4	4	4
	合計	19~41	31~57	43~73	19~41	25~49	17~39

- 【注】 *1 内部割り込みの場合 1ステートとなります。
 *2 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ
 *3 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理
 *4 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを"0"にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを"0"にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを"0"にクリアする場合も同様です。

ITU の TIER の IMIEA ビットを"0"にクリアする場合の例を図 5.8 に示します。

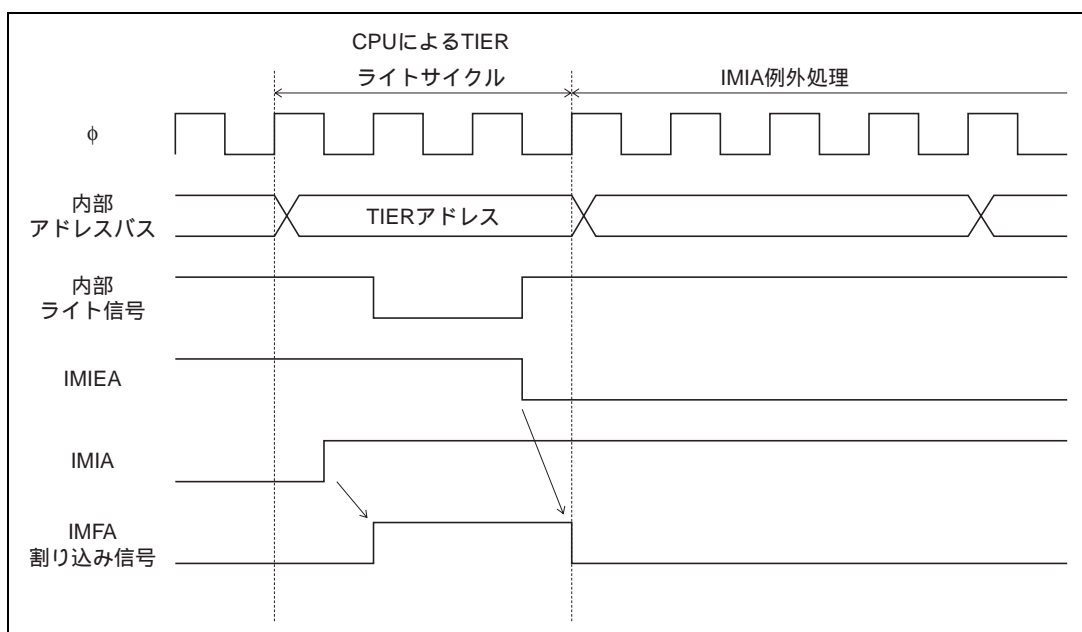


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを"0"にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラが優先順位を判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1 :      EEPMOV. W
          MOV. W R4, R4
          BNE L1
```

6. バスコントローラ

6.1 概要

H8/3042 グループはバスコントローラを内蔵しており、外部アドレス空間を 8 つのエリアに分割し、エリアごとにバス仕様を設定し、バス制御を行います。これにより、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権の調停機能を持っており、DMA コントローラ (DMAC) やリフレッシュコントローラの動作を制御するとともに、外部にバス権を解放することができます。

6.1.1 特長

バスコントローラの特長を次に示します。

外部アドレス空間をエリア 0~7 に分割し、エリアごとに独立して設定可能

- 1M バイトモードでは 128K バイト、16M バイトモードでは 2M バイトごとにエリアを設定
- エリア 0~3 に対してチップセレクト ($\overline{CS}_0 \sim \overline{CS}_3$) を出力可能
- 8 ビットアクセス空間 / 16 ビットアクセス空間の選択可能
- 2 ステートアクセス空間 / 3 ステートアクセス空間の選択可能

4 種類のウェイトモード

- プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモード 0、1 を選択可能
- 0~3 ステートのウェイトステートを自動的に挿入可能

バス権調停機能

- バスアービタを内蔵し、CPU、DMAC、リフレッシュコントローラ、外部バスマスタのバス権を調停

6. バスコントローラ

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

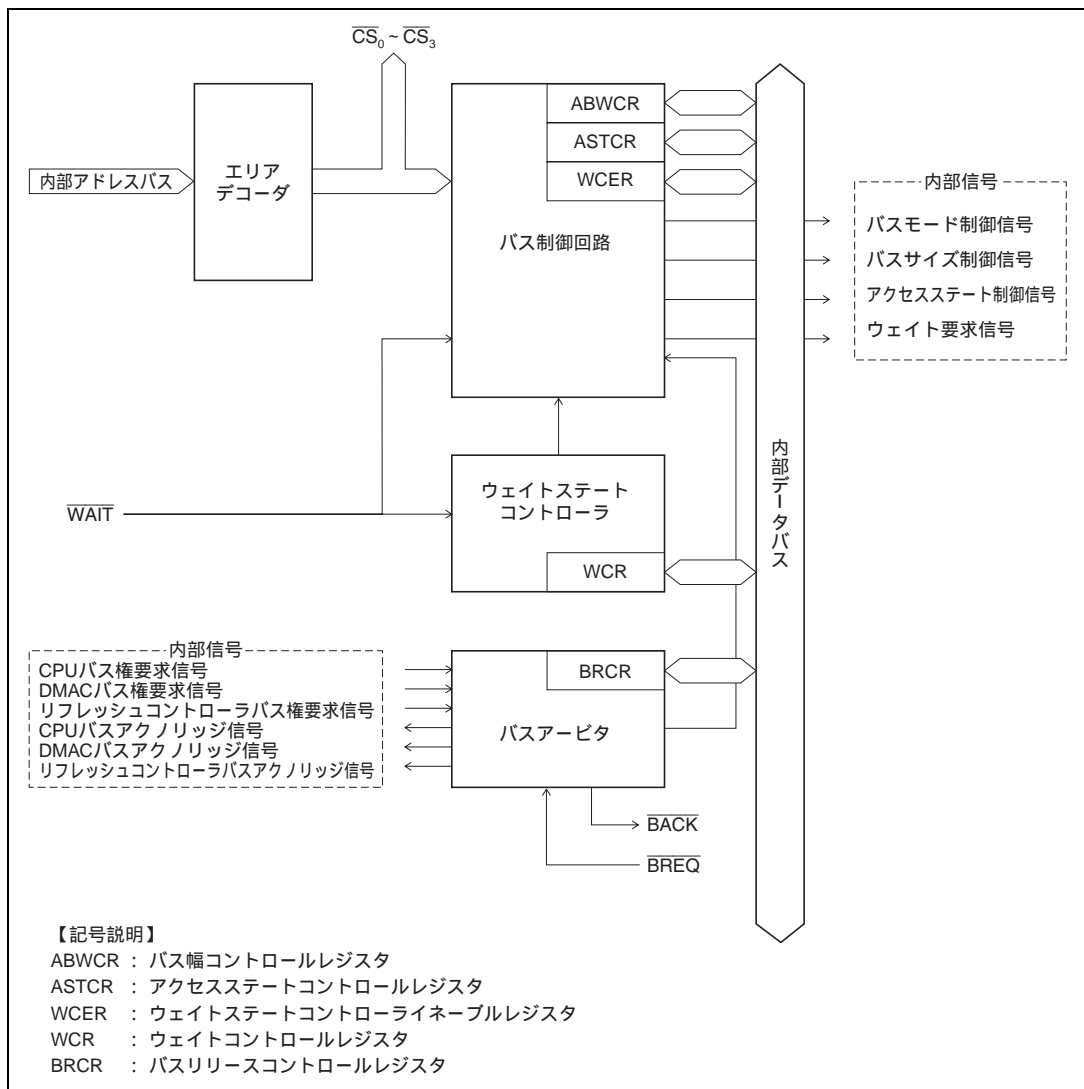


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
チップセレクト 0~3	$\overline{CS}_0 \sim \overline{CS}_3$	出力	エリア 0~3 が選択されていることを示すストロープ信号
アドレスストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リード	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストロープ信号
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示すストロープ信号
ロウライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示すストロープ信号
ウェイト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号
バス権要求 アクノリッジ	\overline{BACK}	出力	バス権を外部に解放したことを示すアクノリッジ信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、3、5	モード 2、4、6、7
H'FFEC	バス幅コントロールレジスタ	ABWCR	R/W	H'FF	H'00
H'FFED	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	H'FF
H'FFEE	ウェイトコントロールレジスタ	WCR	R/W	H'F3	H'F3
H'FFEF	ウェイトステートコントローラインープルレジスタ	WCER	R/W	H'FF	H'FF
H'FFF3	バスリリースコントロールレジスタ	BRCCR	R/W	H'FE	H'FE

【注】 * アドレスは下位 16 ビットを示しています。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ビット :		7	6	5	4	3	2	1	0
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値 :	{ モード1、3、5	1	1	1	1	1	1	1	1
	{ モード2、4、6、7	0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのバス幅を選択するビットです。

ABWCR の内容が H'FF (全エリア 8 ビットアクセス空間) の場合、8 ビットバスモードとなり、データバスは上位側 ($D_{15} \sim D_8$) が有効となります。このときポート 4 は入出力ポートとなります。ABWCR の少なくとも 1 ビットを "0" にクリアした場合には、16 ビットバスモードとなり、データバスは 16 ビット ($D_{15} \sim D_0$) となります。ABWCR はリセット、またはハードウェアスタンバイモード時にモード 1、3、5 では H'FF に、モード 2、4、6、7 では H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~0 : エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか 16 ビットアクセス空間とするかを選択します。

ビット 7~0	説明
ABW7~ABW0	
0	エリア 7~0 を 16 ビットアクセス空間に設定
1	エリア 7~0 を 8 ビットアクセス空間に設定

ABWCR は、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部 I/O レジスタのデータバス幅は ABWCR の設定値にかかわらず固定です。

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのバス幅を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~0 : エリア 7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを 2 ステートアクセス空間とするか 3 ステートアクセス空間とするかを選択します。

ビット 7~0 AST7~AST0	説明
0	エリア 7~0 を 2 ステートアクセス空間に設定
1	エリア 7~0 を 3 ステートアクセス空間に設定 (初期値)

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

6. バスコントローラ

6.2.3 ウェイトコントロールレジスタ (WCR)

WCR は 8 ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ (WSC) のウェイトモードとウェイトステート数を設定します。



WCR はリセット、またはハードウェアスタンバイモード時に HF3 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7~4: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット3、2: ウェイトモードセレクト 1、0 (WMS1、0)

ウェイトモードを設定します。

ビット3	ビット2	説明
WMS1	WMS0	
0	0	プログラマブルウェイトモード (初期値)
0	1	ウェイトステートコントローラによるウェイトを禁止
1	0	端子ウェイトモード1
1	1	端子オートウェイトモード

ビット1、0: ウェイトカウント 1、0 (WC1、0)

外部 3 ステートアクセス空間をアクセスするとき、挿入するウェイトステート数を設定します。

ビット1	ビット0	説明
WC1	WC0	
0	0	WSC によるウェイトを禁止
0	1	1 ステート挿入
1	0	2 ステート挿入
1	1	3 ステート挿入 (初期値)

6.2.4 ウェイトステートコントローライネーブルレジスタ (WCER)

WCER は 8 ビットのリード/ライト可能なレジスタで、外部 3 ステートアクセス空間について、WSC の動作を許可/禁止します。

ビット :	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7~0

WSCの動作を許可/禁止するビットです。

WCER はリセット、またはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7~0 : ウェイトステートコントローライネーブル7~0 (WCE7~WCE0)

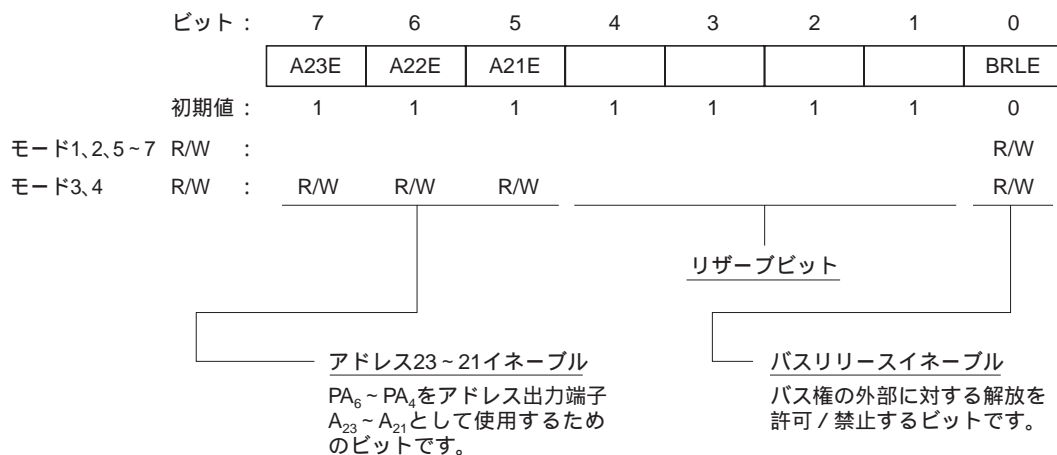
外部 3 ステートアクセス空間について、WSC の動作を許可/禁止します。

ビット7~0	説明
WCE7~WCE0	
0	WSC の動作を禁止 (端子ウェイトモード 0)
1	WSC の動作を許可 (初期値)

6. バスコントローラ

6.2.5 バスリリースコントロールレジスタ (BRCR)

BRCR は 8 ビットのリード/ライト可能なレジスタで、アドレスバス ($A_{23} \sim A_{21}$) 出力の選択、バス権の外部に対する解放を許可/禁止します。



BRCR はリセット、またはハードウェアスタンバイモード時に H'FE に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7: アドレス 23 イネーブル (A23E)

PA_4 をアドレス出力端子 A_{23} として使用するためのビットです。"0"をライトすると PA_4 はアドレス出力 A_{23} となります。モード 3、4 以外ではこのビットはライトできず、 PA_4 は通常のポート機能となります。

ビット7	説明
A23E	
0	PA_4 はアドレス出力端子 A_{23}
1	PA_4 は $PA_4/TP_4/TIOCA_1$ 入出力端子 (初期値)

ビット6: アドレス 22 イネーブル (A22E)

PA_5 をアドレス出力端子 A_{22} として使用するためのビットです。"0"をライトすると PA_5 はアドレス出力 A_{22} となります。モード 3、4 以外ではこのビットはライトできず、 PA_5 は通常のポート機能となります。

ビット6	説明
A22E	
0	PA_5 はアドレス出力端子 A_{22}
1	PA_5 は $PA_5/TP_5/TIOCB_1$ 入出力端子 (初期値)

ビット5：アドレス21 イネーブル (A21E)

PA₀をアドレス出力端子 A₂₁として使用するためのビットです。"0"をライトするとPA₀はアドレス出力 A₂₁となります。モード3、4以外ではこのビットはライトできず、PA₀は通常のポート機能となります。

ビット5	説明
A21E	
0	PA ₀ はアドレス出力端子 A ₂₁
1	PA ₀ は PA ₀ /TP ₀ /TIOCA ₂ 入出力端子 (初期値)

ビット4～1：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット0：バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可/禁止します。

ビット0	説明
BRLE	
0	バス権の外部に対する解放を禁止し、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1Mバイトモードのとき 128Kバイト、16Mバイトモードのとき 2Mバイトごとのエリア0~7に分割されています。メモリマップの概要を図 6.2 に示します。

H'00000	エリア0 (128kバイト)	H'00000	エリア0 (2Mバイト)	H'00000	内蔵ROM*1
H'1FFFF	-----	H'1FFFF	-----	H'1FFFF	エリア0 (128kバイト)
H'20000	エリア1 (128kバイト)	H'20000	エリア1 (2Mバイト)	H'20000	エリア1 (128kバイト)
H'3FFFF	-----	H'3FFFF	-----	H'3FFFF	-----
H'40000	エリア2 (128kバイト)	H'40000	エリア2 (2Mバイト)	H'40000	エリア2 (128kバイト)
H'5FFFF	-----	H'5FFFF	-----	H'5FFFF	-----
H'60000	エリア3 (128kバイト)	H'60000	エリア3 (2Mバイト)	H'60000	エリア3 (128kバイト)
H'7FFFF	-----	H'7FFFF	-----	H'7FFFF	-----
H'80000	エリア4 (128kバイト)	H'80000	エリア4 (2Mバイト)	H'80000	エリア4 (128kバイト)
H'9FFFF	-----	H'9FFFF	-----	H'9FFFF	-----
H'A0000	エリア5 (128kバイト)	H'A0000	エリア5 (2Mバイト)	H'A0000	エリア5 (128kバイト)
H'BFFFF	-----	H'BFFFF	-----	H'BFFFF	-----
H'C0000	エリア6 (128kバイト)	H'C0000	エリア6 (2Mバイト)	H'C0000	エリア6 (128kバイト)
H'DFFFF	-----	H'DFFFF	-----	H'DFFFF	-----
H'E0000	エリア7 (128kバイト)	H'E0000	エリア7 (2Mバイト)	H'E0000	エリア7 (128kバイト)
	内蔵RAM*1、*2		内蔵RAM*1、*2		内蔵RAM*1、*2
	外部アドレス空間*3		外部アドレス空間*3		外部アドレス空間*3
H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1

(a) 内蔵ROM無効
1Mバイトモード (モード1、2)

(b) 内蔵ROM無効
16Mバイトモード (モード3、4)

(c) 内蔵ROM有効
1Mバイトモード (モード5)

【注】 *1 内蔵ROM、内蔵RAM、内部I/Oレジスタのバス幅、アクセスステート数は固定です。
*2 SYSCRのRAMEビットを"0"にクリアするとエリア7の指定に従います。
*3 外部アドレス空間は、エリア7の指定に従います。

図 6.2 各動作モードにおけるアクセスエリアマップ

各エリアごとに選択信号 ($\overline{CS}_0 \sim \overline{CS}_7$) を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCER、WCR で指定されます。
各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様

ABWCR	ASTCR	WCER	WCR		バス仕様		
			ABWn	ASTn	WCEn	WMS1	WMS0
0	0	-	-	-	16	2	禁止
	1	0	-	-	16	3	端子ウェイトモード 0
	1	1	0	0	16	3	プログラマブルウェイトモード
			0	1	16	3	禁止
			1	0	16	3	端子ウェイトモード 1
			1	1	16	3	端子オートウェイトモード
1	0	-	-	-	8	2	禁止
	1	0	-	-	8	3	端子ウェイトモード 0
	1	1	0	0	8	3	プログラマブルウェイトモード
			0	1	8	3	禁止
			1	0	8	3	端子ウェイトモード 1
			1	1	8	3	端子オートウェイトモード

【注】 n=0~7

6.3.2 チップセレクト信号

本 LSI は、エリア 0~3 に対してそれぞれチップセレクト信号 ($\overline{CS}_0 \sim \overline{CS}_3$) を出力することができ、当該エリアが選択されたとき、"Low" レベルを出力します。図 6.3 に \overline{CS}_n ($n=0 \sim 3$) 信号出力タイミングを示します。

\overline{CS}_n 信号出力の許可 / 禁止は各 \overline{CS}_n 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。 \overline{CS}_0 端子はリセット後に出力状態となっています。 $\overline{CS}_1 \sim \overline{CS}_3$ 端子はリセット後に入力状態となっていますので、 $\overline{CS}_1 \sim \overline{CS}_3$ 端子出力する場合には、対応する DDR を "1" にセットしてください。詳細は、「第 9 章 I/O ポート」を参照してください。

内蔵 ROM を選択した場合、 \overline{CS}_0 端子は "Low" レベルとなります。

この場合、 \overline{AS} 端子、 \overline{RD} 端子、 \overline{HWR} 端子、 \overline{LWR} 端子は "High" レベルです。 \overline{CS}_n 信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

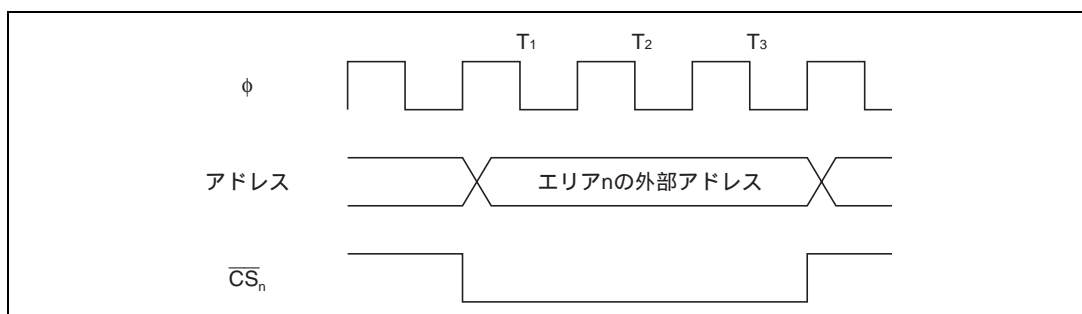


図 6.3 \overline{CS}_n 信号の出力タイミング ($n=0 \sim 3$)

6.3.3 データバス

本 LSI は、エリア 0~7 をそれぞれ 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定することができます。8 ビットアクセス空間では、データバスの上位側 ($D_{15} \sim D_8$) を使用します。また 16 ビットアクセス空間ではデータバスの上位側 ($D_{15} \sim D_8$)、下位側 ($D_7 \sim D_0$) を使用します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時にはデータバスの上位側に対して \overline{HWR} 信号が、データバスの下位側に対して \overline{LWR} 信号が有効です。

表 6.4 にアクセス空間と使用するデータバスを示します。

表 6.4 アクセス空間と使用するデータバス

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 ($D_{15} \sim D_8$)	データバス下位 ($D_7 \sim D_0$)
8 ビットアクセス空間		リード		\overline{RD}	有効	無効
		ライト		\overline{HWR}		不定
16 ビットアクセス空間	バイト	リード	偶数	RD	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード		\overline{RD}	有効	有効
		ライト		\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

6.3.4 バス制御信号タイミング

(1) 8ビット3ステートアクセス空間

図6.4に8ビット3ステートアクセス空間のバス制御信号タイミングを示します。8ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

$\overline{\text{LWR}}$ 端子は常に"High"レベルとなっています。ウェイトステートを挿入することができます。

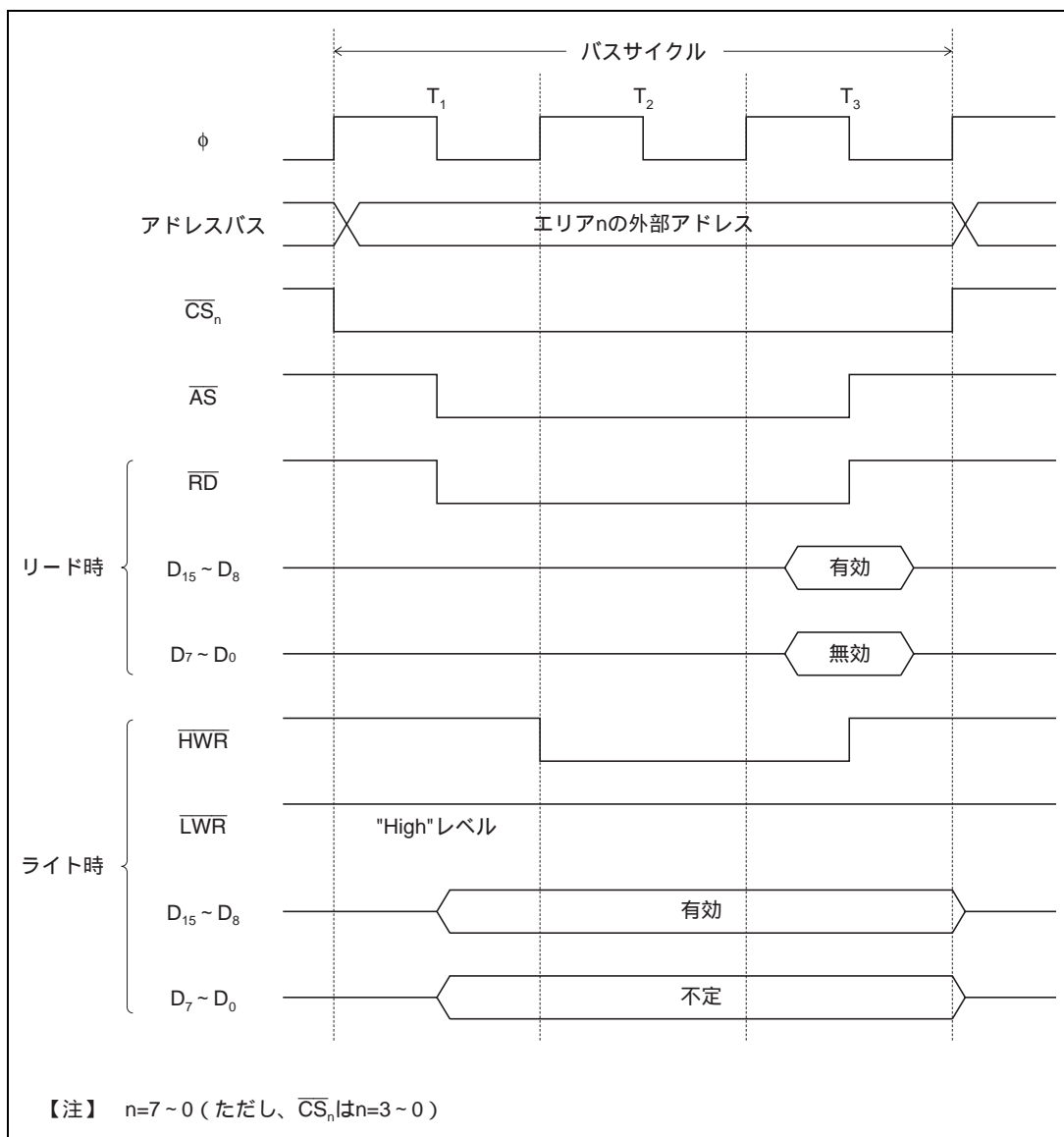


図 6.4 8ビット3ステートアクセス空間のバス制御信号タイミング

(2) 8ビット2ステートアクセス空間

図6.5に8ビット2ステートアクセス空間のバス制御信号タイミングを示します。8ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

$\overline{\text{LWR}}$ 端子は常に"High"レベルとなっています。ウェイトステートを挿入することはできません。

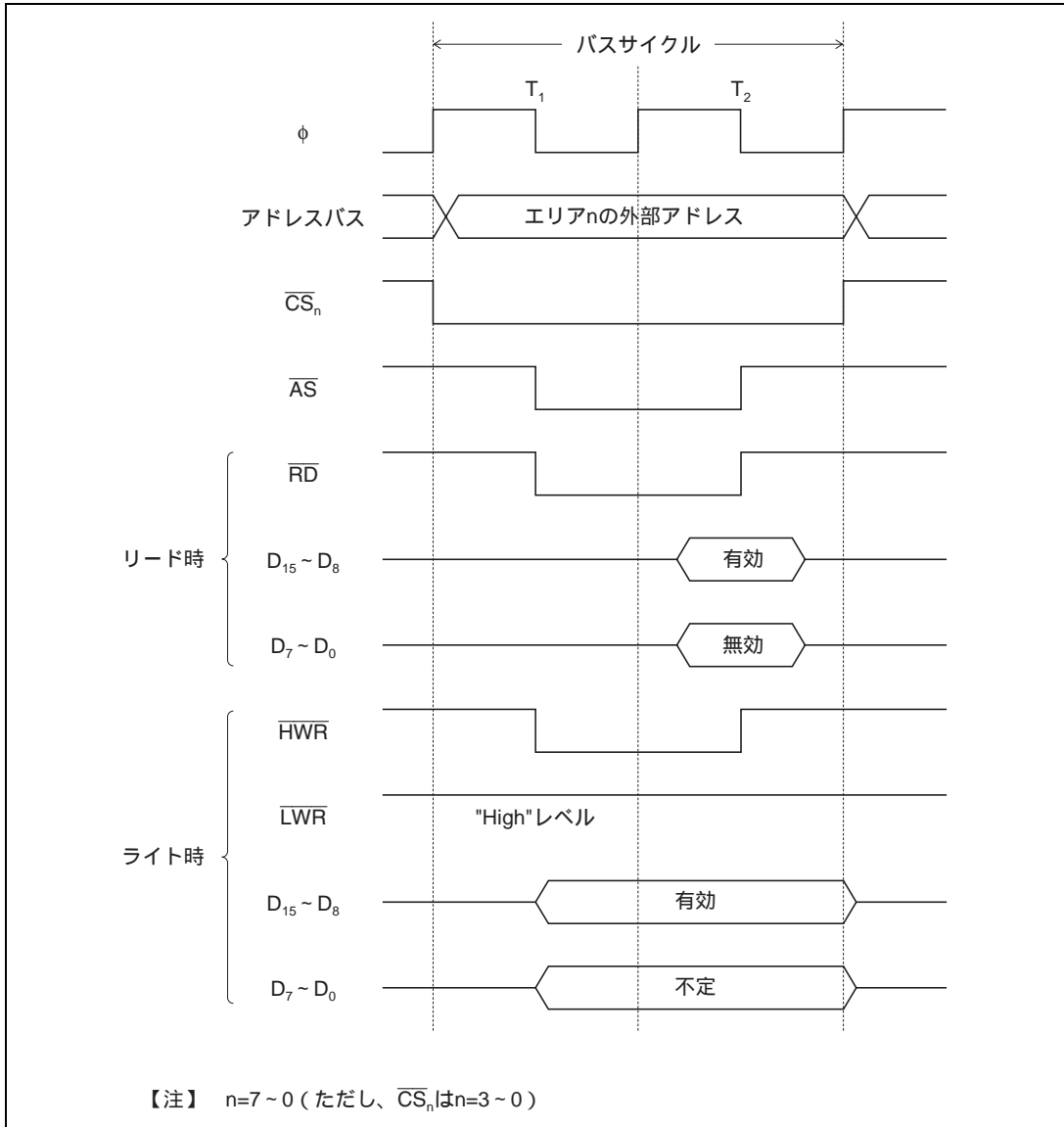


図 6.5 8ビット2ステートアクセス空間のバス制御信号タイミング

6. バスコントローラ

(3) 16ビット3ステートアクセス空間

図 6.6 ~ 図 6.8 に 16 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することができます。

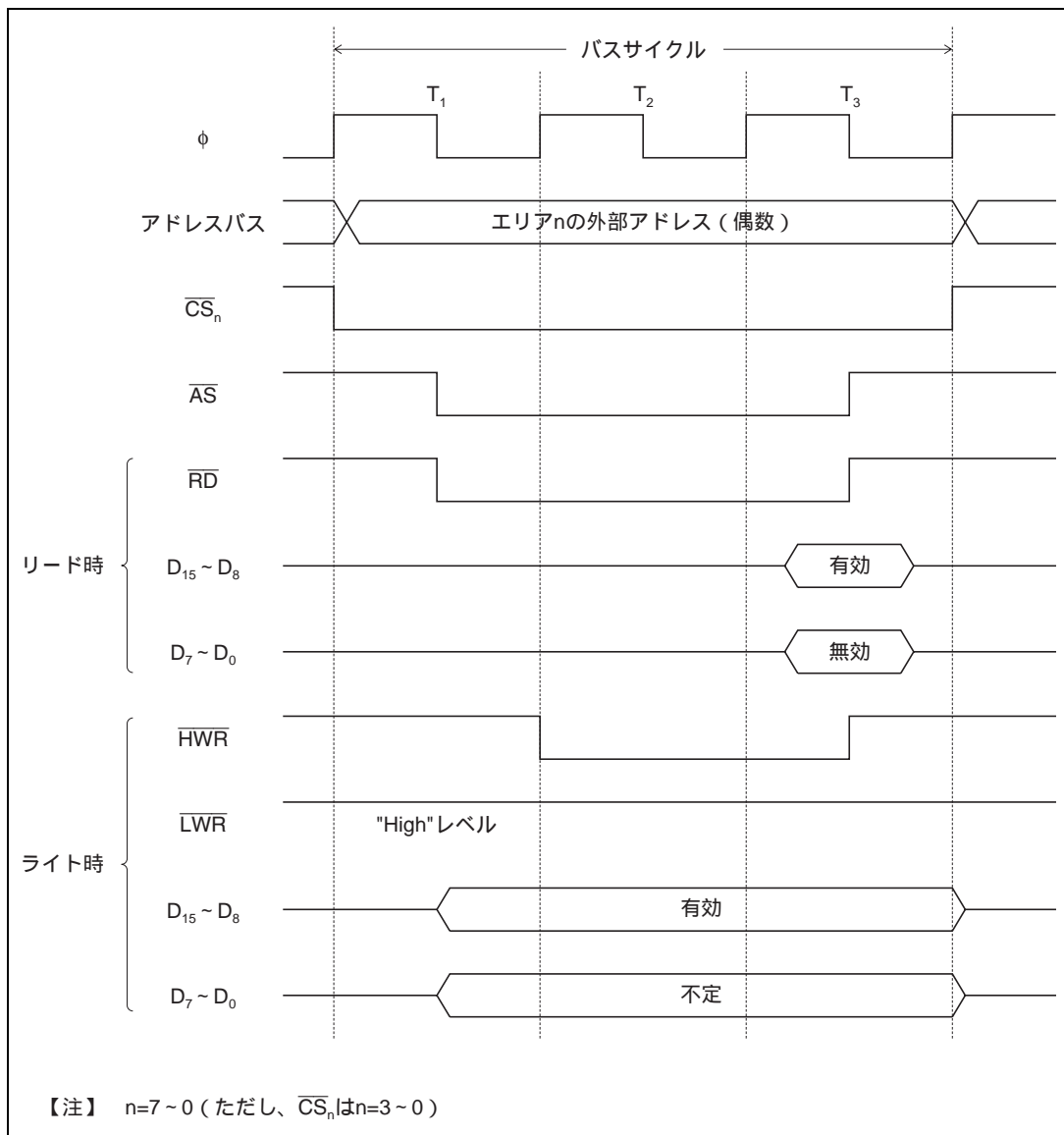


図 6.6 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (1)
(偶数アドレスバイトアクセス)

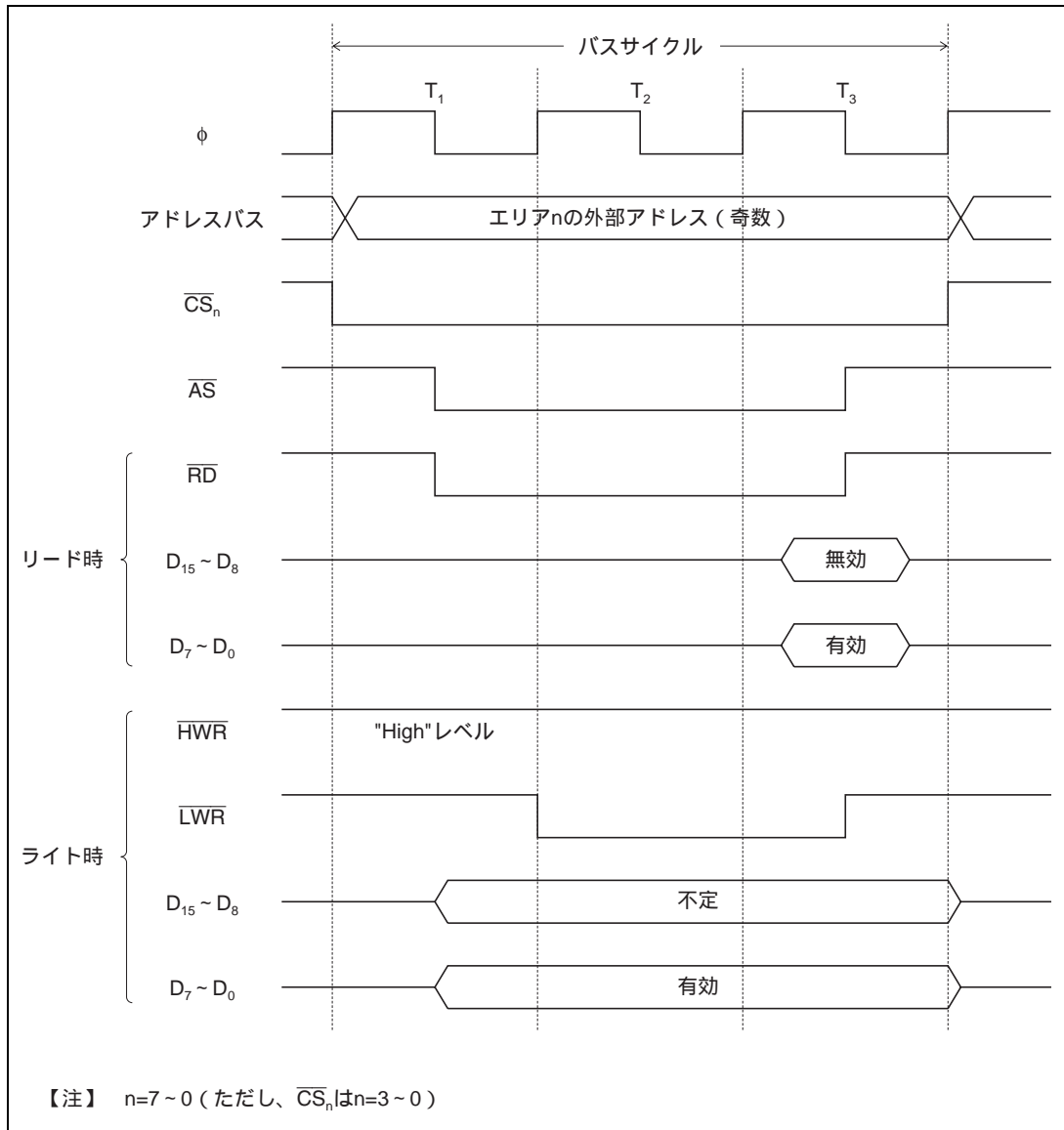


図 6.7 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (2)
(奇数アドレスバイトアクセス)

6. バスコントローラ

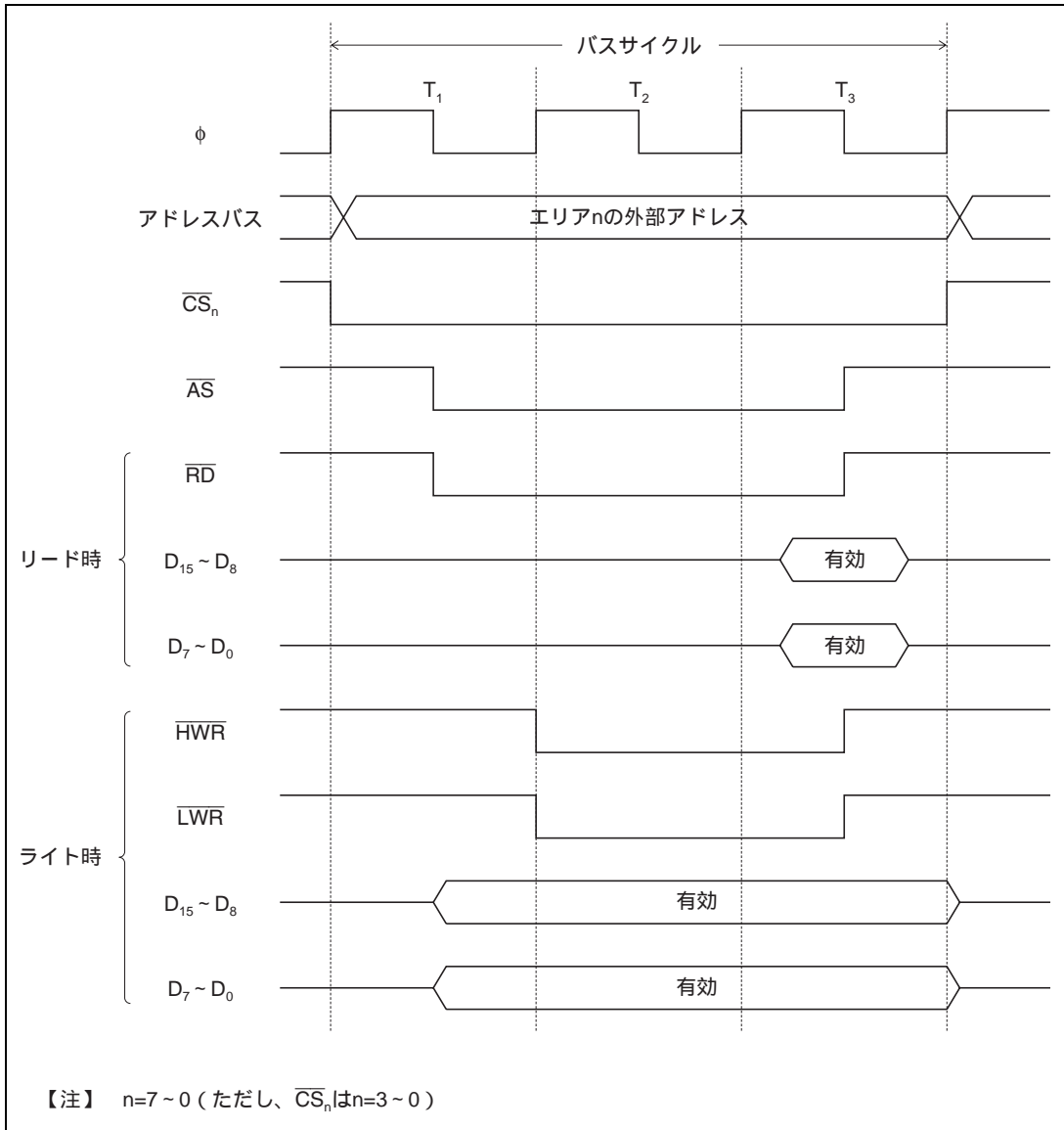


図 6.8 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (3)
(ワードアクセス)

(4) 16ビット2ステートアクセス空間

図6.9～図6.11に16ビット2ステートアクセス空間のバス制御信号タイミングを示します。16ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することはできません。

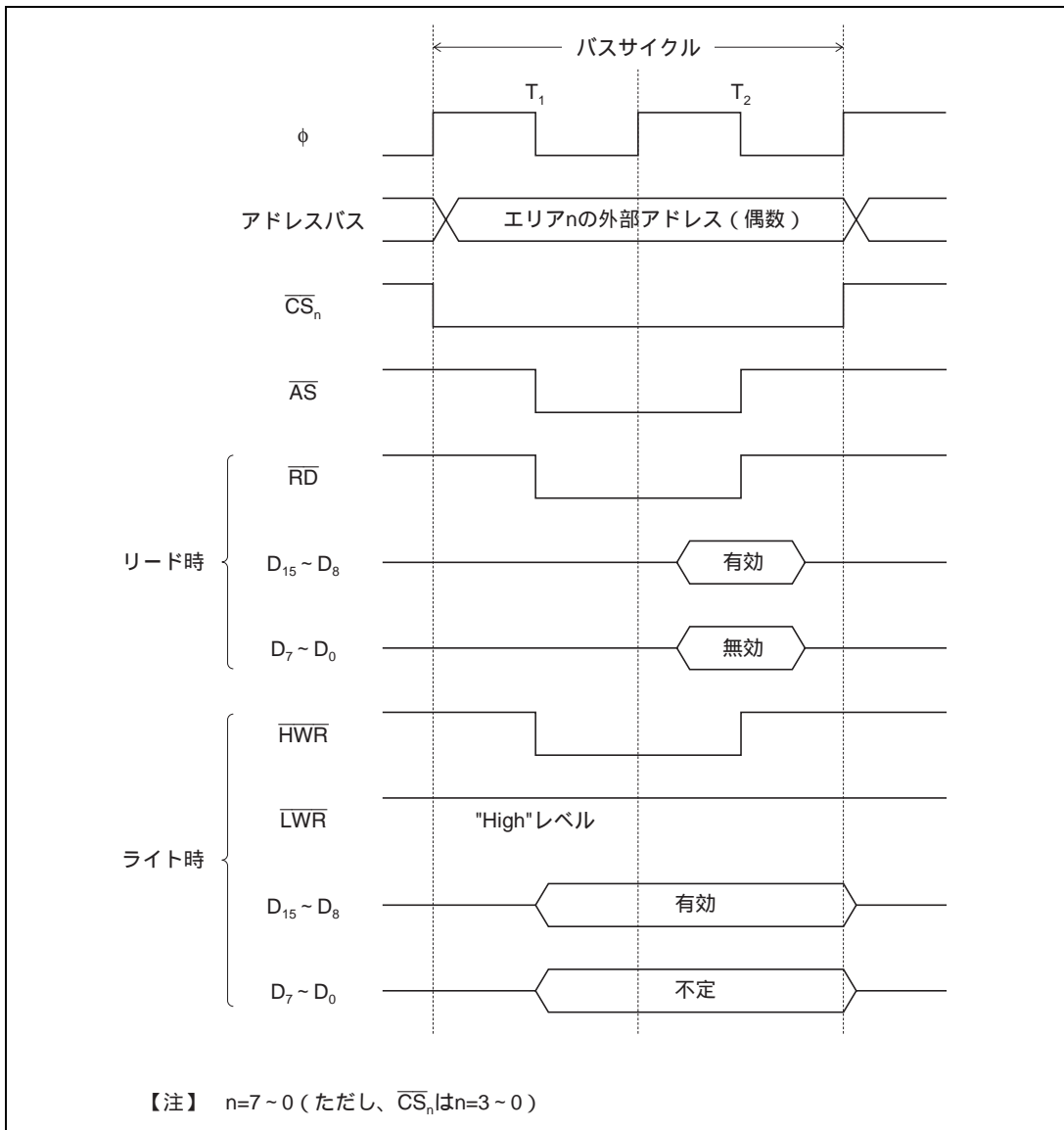


図 6.9 16ビット2ステートアクセス空間のバス制御信号タイミング(1)
(偶数アドレスバイトアクセス)

6. バスコントローラ

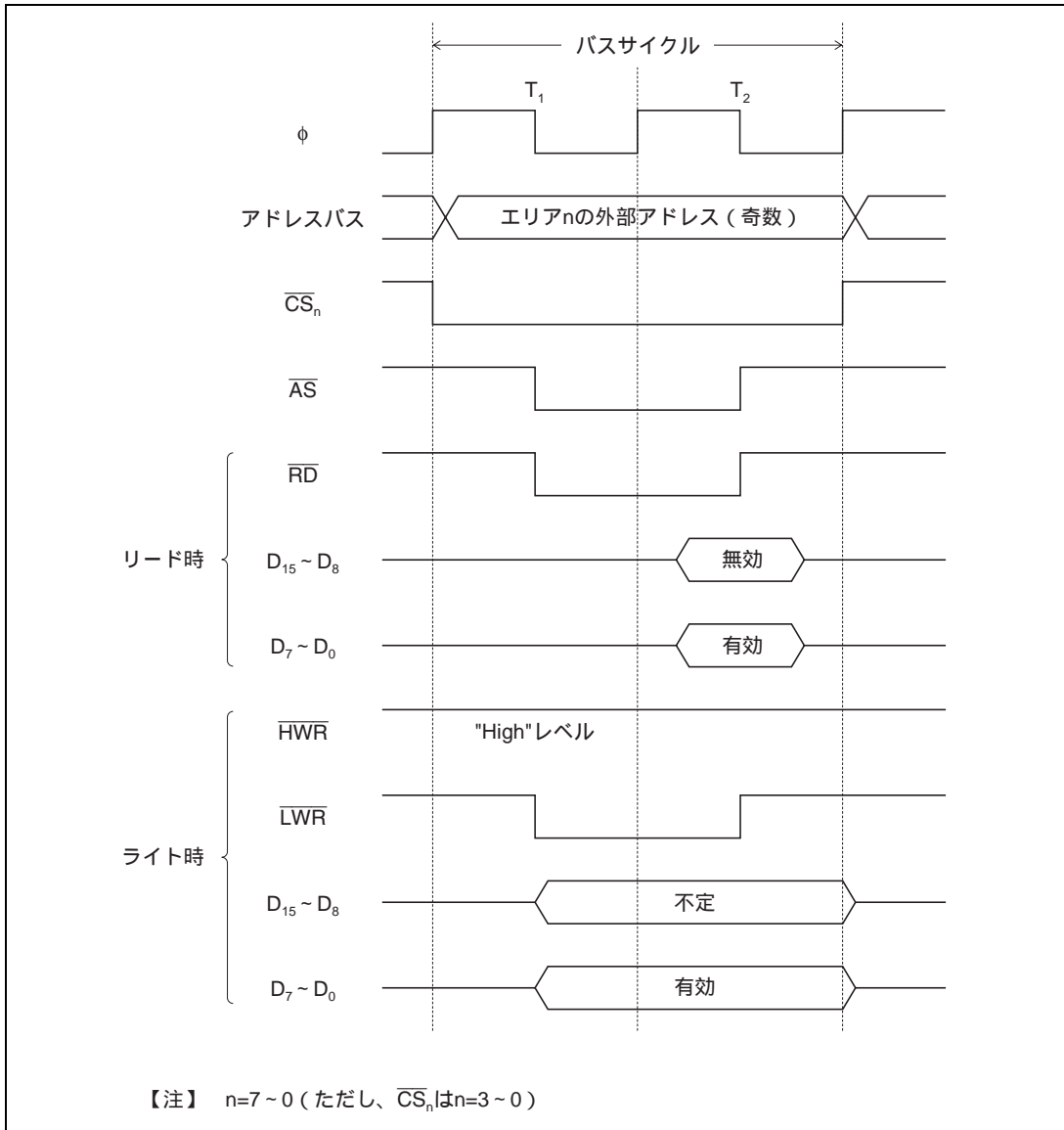


図 6.10 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (2)
(奇数アドレスバイトアクセス)

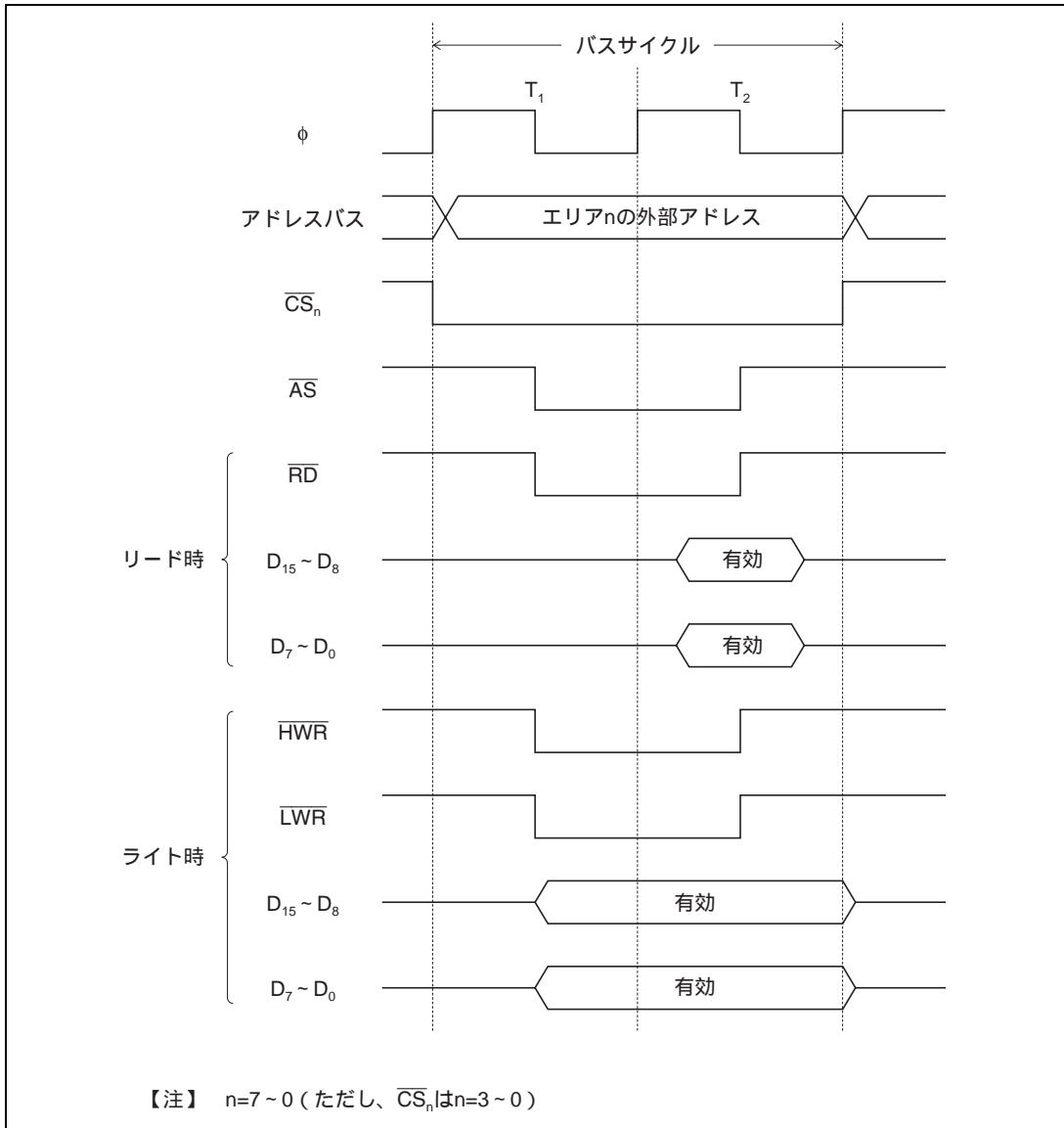


図 6.11 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (3)
(ワードアクセス)

6.3.5 ウェイトモード

ウェイトモードには、4種類のモードがありエリアごとに選択できます。ウェイトモードの選択方法を表 6.5 に示します。

表 6.5 ウェイトモードの選択

ASTCR	WCER	WCR		WSC 動作	ウェイトモード
ASTn ビット	WCEn ビット	WMS1 ビット	WMS0 ビット		
0				禁止	ウェイト禁止
1	0			禁止	端子ウェイトモード 0
1	1	0	0	許可	プログラマブルウェイトモード
		0	1	許可	ウェイト禁止
		1	0	許可	端子ウェイトモード 1
		1	1	許可	端子オートウェイトモード

【注】 n=0~7

ASTn、WCEn ビットは、エリアごとに独立して選択可能です。WMS1、0 ビットは各エリアに共通です。したがって、WSC の動作を許可したエリアの動作は同一になります。

(1) 端子ウェイトモード 0

端子ウェイトモード 0 では、WSC の動作が禁止され、 $\overline{\text{WAIT}}$ 端子によるウェイトステートのみが挿入されます。外部 3 ステートアクセス空間をアクセスするとき、 T_2 ステートの ϕ の立ち下りのタイミングで $\overline{\text{WAIT}}$ 端子が "Low" レベルであると、 T_w ステートが挿入されます。 $\overline{\text{WAIT}}$ 端子が "Low" レベルに保持されると $\overline{\text{WAIT}}$ 端子が "High" レベルに立ち上がるまで T_w が挿入されます。

このタイミングを図 6.12 に示します。

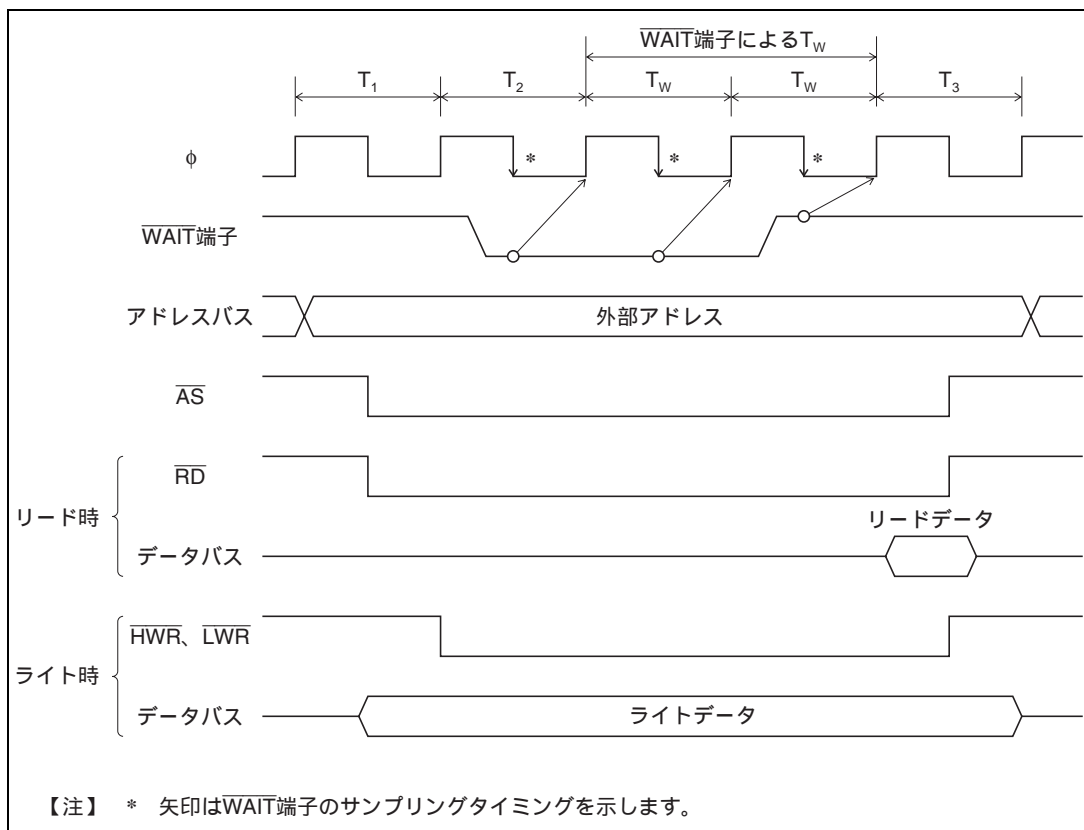


図 6.12 端子ウェイトモード 0

6. バスコントローラ

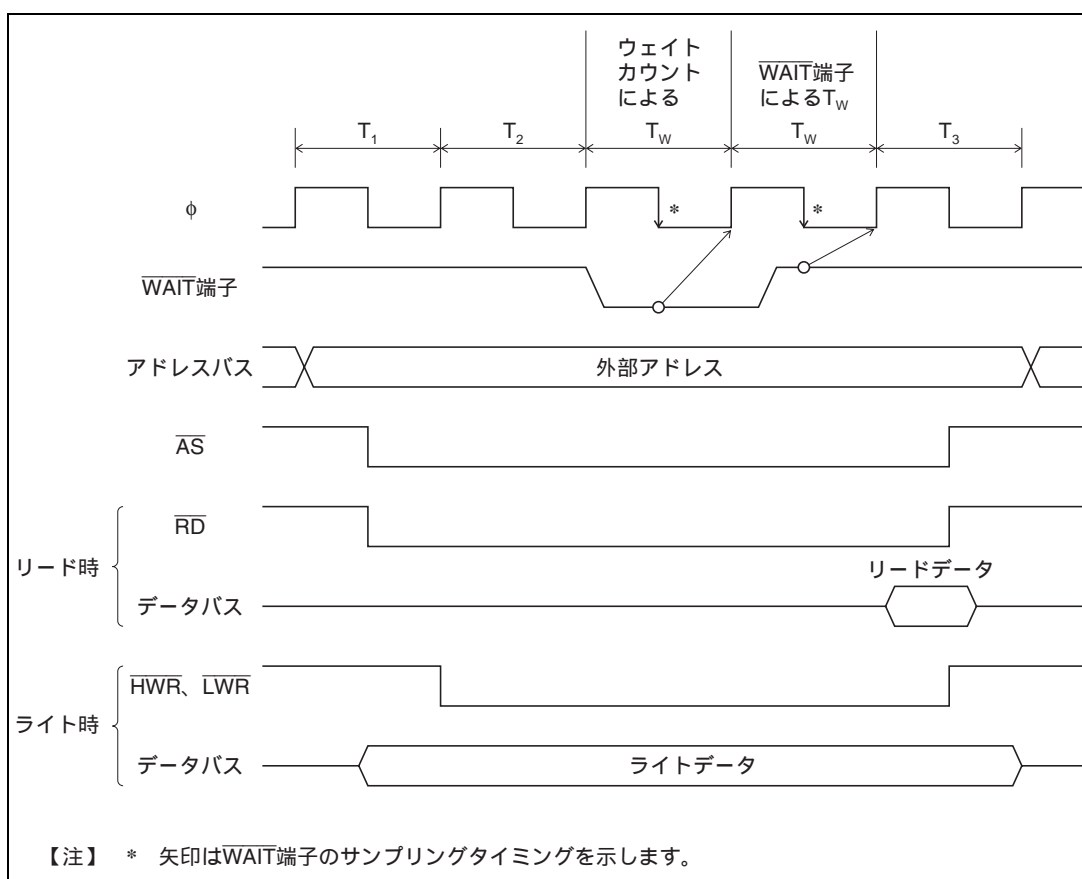
(2) 端子ウェイトモード 1

端子ウェイトモード 1 では、外部 3 ステートアクセス空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の ϕ の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子を "Low" レベルにすることで、さらに T_w を挿入することができます。 $\overline{\text{WAIT}}$ 端子が "Low" レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が "High" レベルに立ち上がるまで T_w が挿入されます。

端子ウェイトモード 1 は、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入すると T_w 数を変える場合などに有効です。

ウェイトカウン트의 "0" の場合は、端子ウェイトモード 0 と同様の動作になります。

ウェイトカウン트가 1 (WC1 = "0", WC0 = "1") で、かつ $\overline{\text{WAIT}}$ 端子入力による T_w が 1 ステートの場合のタイミングを図 6.13 に示します。



(3) 端子オートウェイトモード

端子オートウェイトモードでは、 $\overline{\text{WAIT}}$ 端子が"Low"レベルのとき、WC1、0ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの ϕ の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子が"Low"レベルであれば WC1、0ビットによって設定された数だけ T_w を挿入します。

$\overline{\text{WAIT}}$ 端子を"Low"レベルに保持しても、設定された数を超える T_w は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを図 6.14 に示します。図 6.14 は、ウェイトカウントが 1 の場合です。

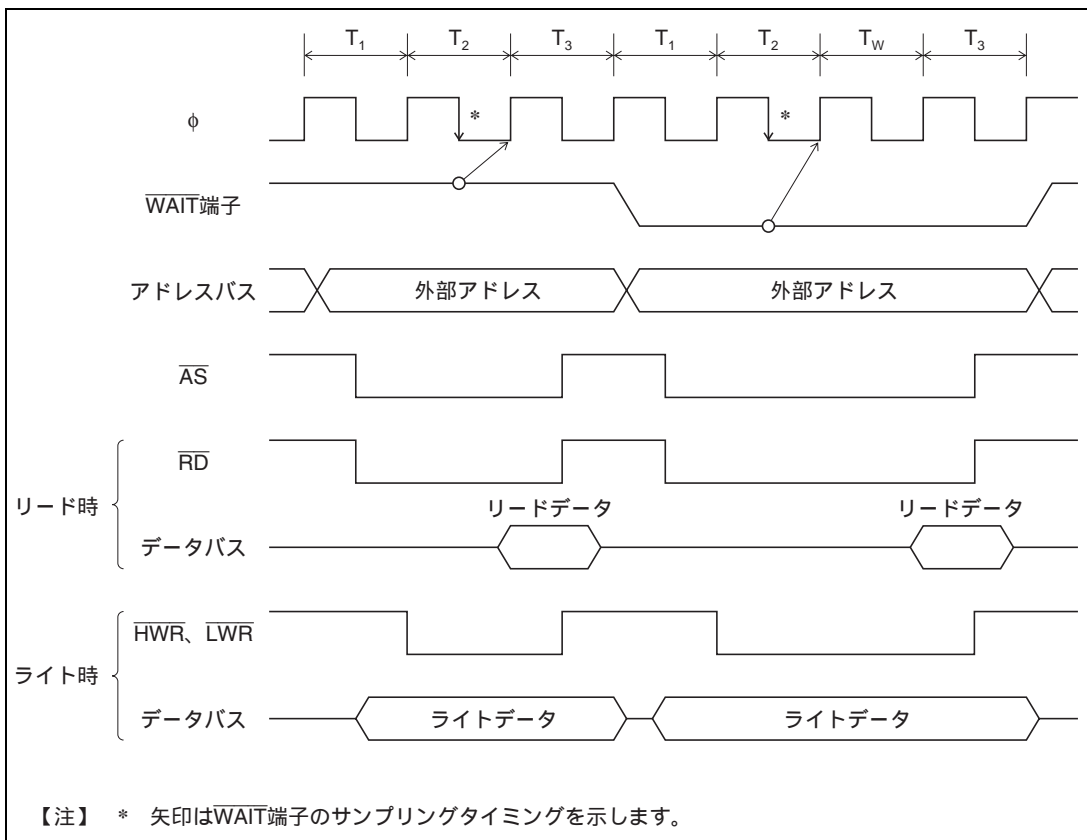


図 6.14 端子オートウェイトモード

6. バスコントローラ

(4) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部 3 ステートアクセス空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 6.15 に示します。図 6.15 は、ウェイトカウントが 1 の場合 ($WC1 = "0"$ 、 $WC0 = "1"$) です。

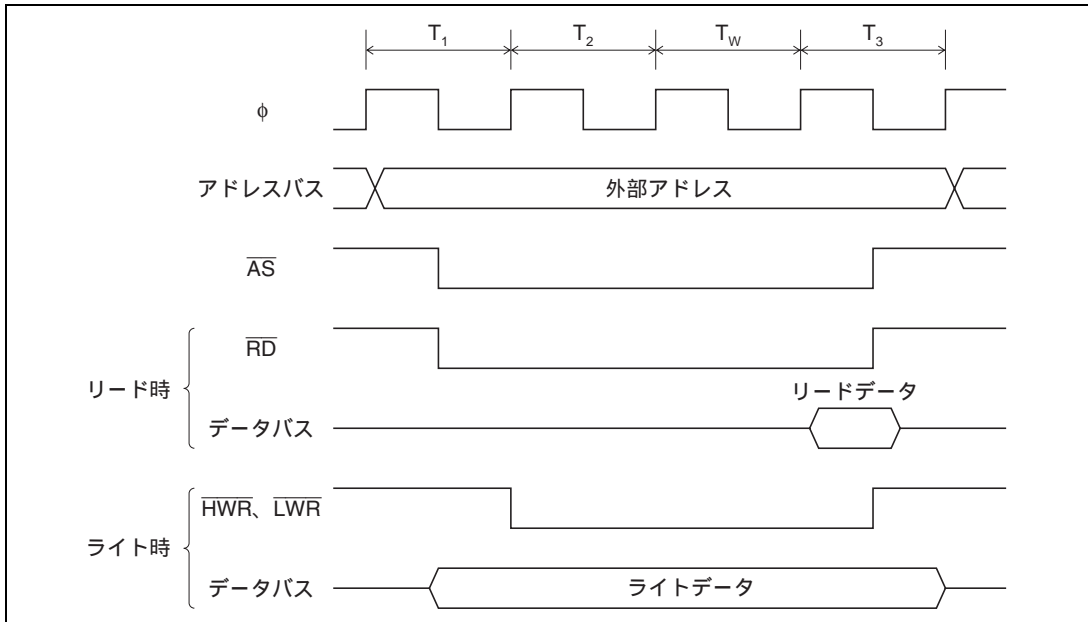


図 6.15 プログラマブルウェイトモード

(5) WSC の設定例

リセット後の WCER、ASTCR は、いずれも H'FF、WCR は H'F3 となっています。このため全エリアともプログラマブルウェイトモードの 3 ステート挿入となります。

その後、ソフトウェアにより、ASTCR、WCER、WCR を設定し、エリアごとのウェイトモードを選択してください。

ウェイトモードの設定例を図 6.16 に示します。

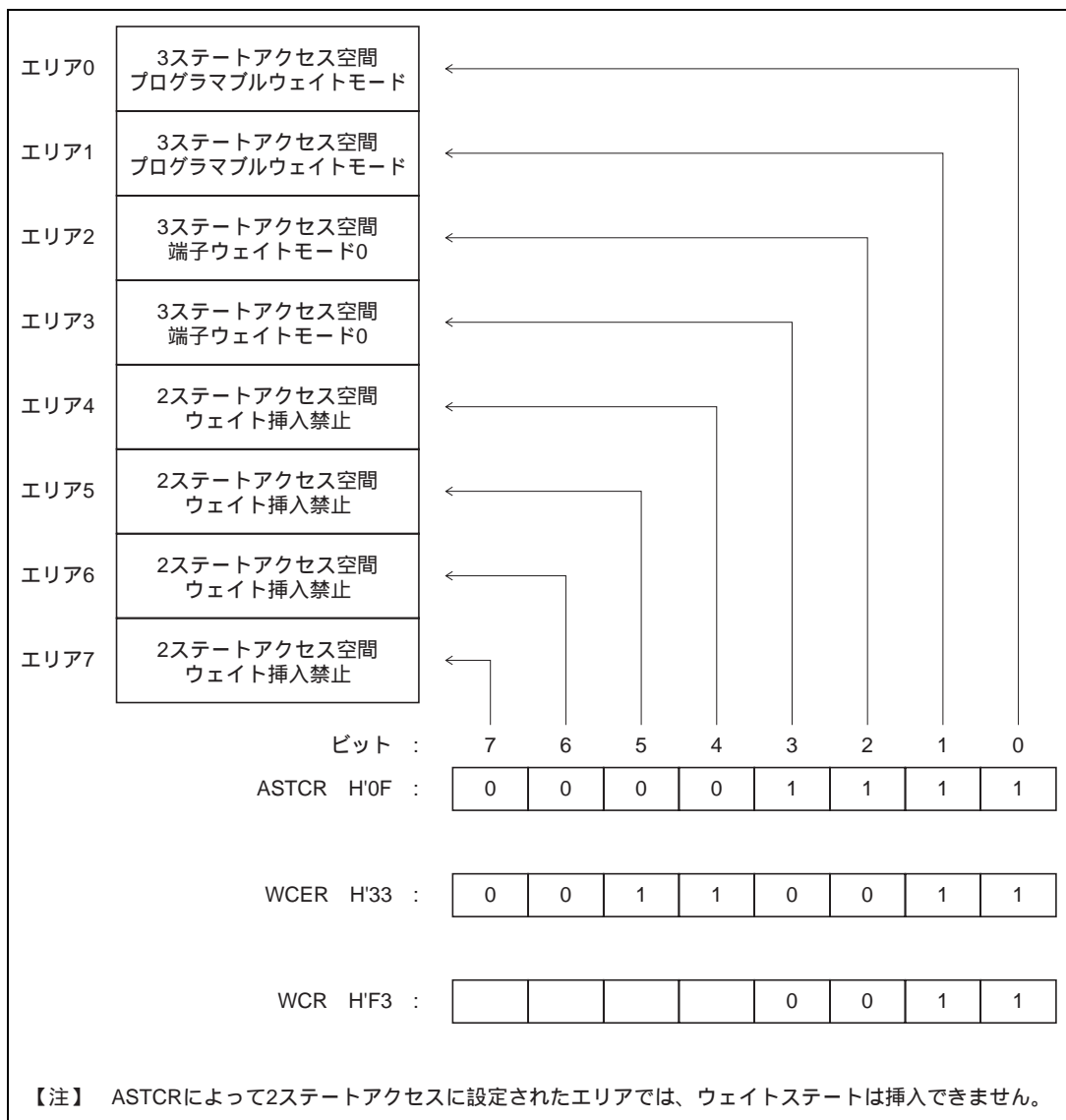


図 6.16 ウェイトモードの設定例

6.3.6 メモリとの接続例

バスコントローラは、各エリアごとに、データバス幅を 8 ビットアクセス空間または 16 ビットアクセス空間に、またアクセスステート数を 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定することができます。3 ステートアクセス空間に対しては多種のウェイト挿入が可能ですので高速性が要求されるデバイスと低速デバイスを容易に接続することが可能です。

本 LSI とメモリとの接続例を図 6.18 に、また、このときのメモリマップを図 6.17 に示します。

エリア 0 に 256K ワード×16 ビットの EPROM を接続し、16 ビット 3 ステートアクセスを行います。

エリア 1 に 32K ワード×8 ビットの SRAM を 2 個 (SRAM1、2) 接続し、16 ビット 2 ステートアクセスを行います。

エリア 2 に 32K ワード×8 ビットの SRAM (SRAM3) を 1 個接続し、8 ビット 3 ステートアクセス・端子オートウェイトステートを行います。

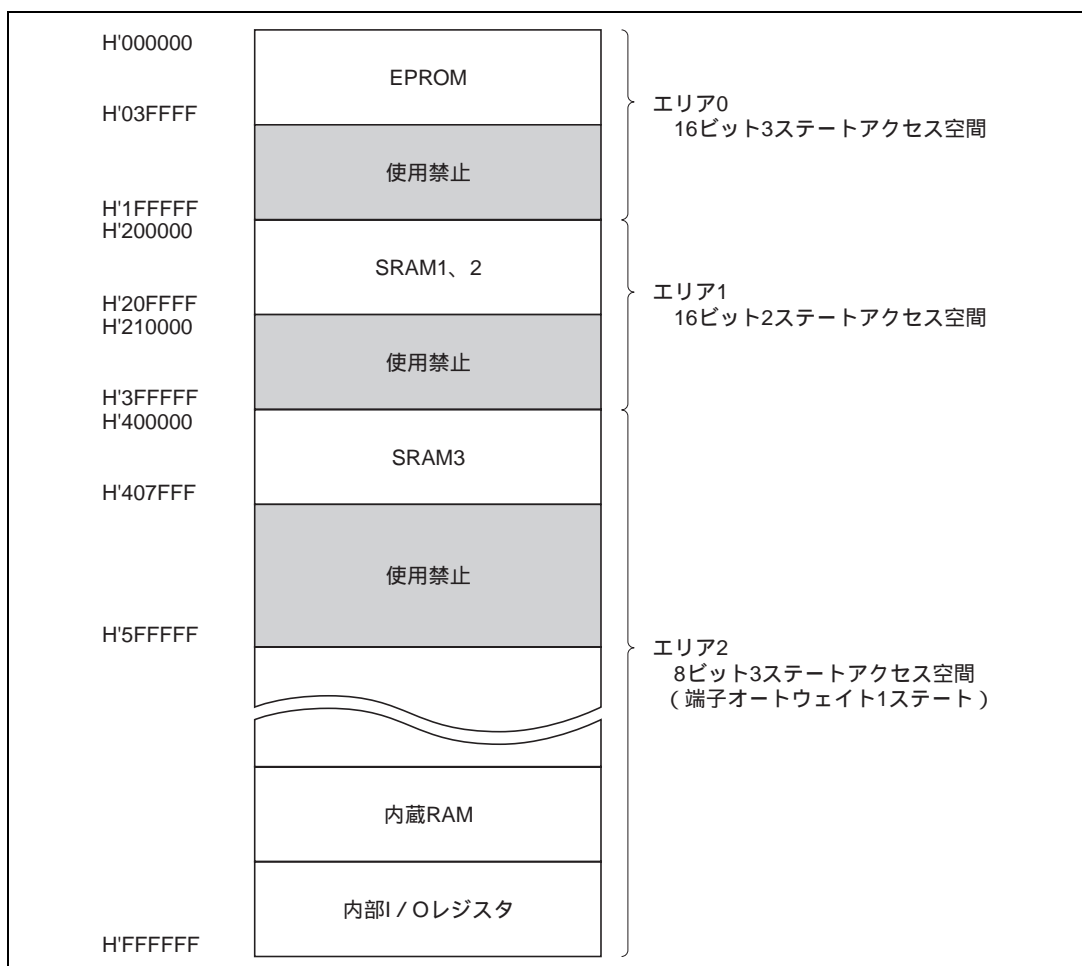


図 6.17 メモリマップ例

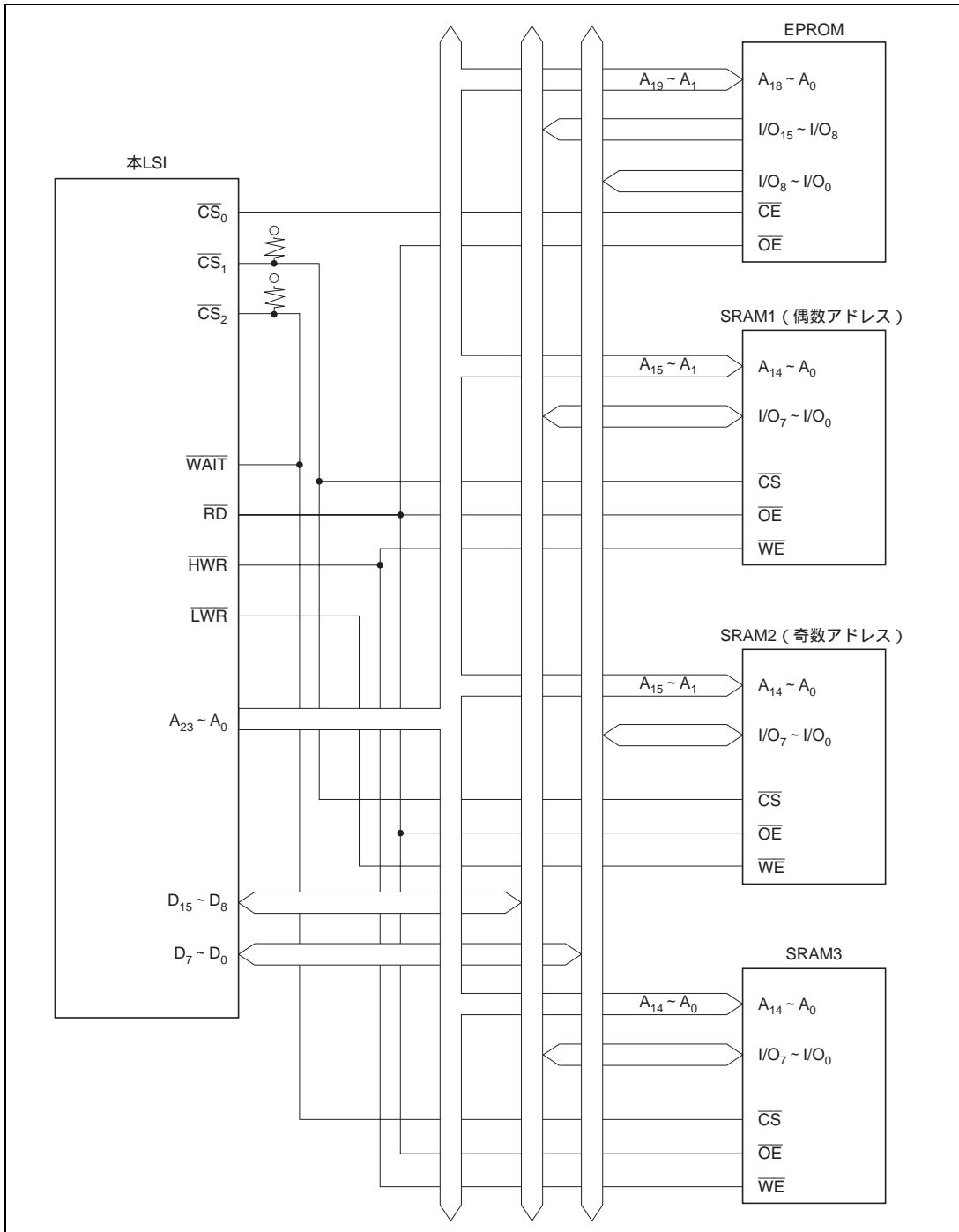


図 6.18 メモリとの接続例

6.3.7 バスアービタの動作

バスコントローラは、バスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、リフレッシュコントローラ、外部バスマスタの4つがあり、バス権を占有した状態でリード/ライトやリフレッシュ動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可して、バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジを返します。バス権要求アクノリッジ信号を受けとったバスマスタは、以後この信号が取り消されるまでバスを使用します。バスマスタの優先順位は、

（高） 外部バスマスタ > リフレッシュコントローラ > DMAC > CPU （低）

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

(1) CPU

CPUは最も優先順位の低いバスマスタです。CPUがバスマスタの場合にDMAC、リフレッシュコントローラ、または外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- (1) バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません。
- (2) CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生するとただちに、バス権が移行します。CPUの内部動作は継続されます。
- (3) CPUがスリープモードの場合、他のバスマスタからバス権要求が発生するとただちにバス権が移行します。

(2) DMAC

DMACは、起動要求が発生するとバスアービタに対してバス権を要求します。

DMACがバスマスタの場合にリフレッシュコントローラ、または外部バスマスタからのバス権要求が発生すると、バスアービタはバス権の要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

DMACの1バイトまたは1ワードの転送が終了したとき、バス権を移行します。DMACの転送サイクルはリードサイクルとライトサイクルで構成され、これらのリードサイクルと次のライトサイクルの間ではバス権は移行しません。

なお、DMACの各チャンネルには優先順位が設けられています。詳細については、「8.4.9 DMAC複数チャンネルの動作」を参照してください。

(3) リフレッシュコントローラ

リフレッシュコントローラは、リフレッシュサイクル要求が発生するとバスマスタに対してバス権を要求します。リフレッシュサイクルが終了すると、バス権を放棄します。詳細は、「第7章 リフレッシュコントローラ」を参照してください。

(4) 外部バスマスタ

BRCR の BRLE ビットを"1"にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、 $\overline{\text{BREQ}}$ 端子を"Low"レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタが一旦バス権を獲得すると $\overline{\text{BREQ}}$ を"Low"レベルにしている間、バス権を保持し続けます。本 LSI は、外部バス権解放状態となり、アドレスバス、データバス、バス制御信号 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$) はハイインピーダンスとなります。外部バス権解放状態では、 $\overline{\text{BACK}}$ 端子が"Low"レベル出力となります。

バスアービタは、 ϕ の立ち上がりで $\overline{\text{BREQ}}$ 端子をサンプリングします。 $\overline{\text{BREQ}}$ 端子の"Low"レベルをサンプルすると所定のタイミングで外部バス権解放状態となります。 $\overline{\text{BACK}}$ 端子が"Low"レベルになるまで $\overline{\text{BREQ}}$ 端子を"Low"レベルに保持してください。

外部バス権解放で、 $\overline{\text{BREQ}}$ 端子の"High"レベルを2回連続してサンプリングすると、 $\overline{\text{BACK}}$ 端子を"High"レベルにしてバス権解放サイクルを終了します。

図 6.19 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。 $\overline{\text{BREQ}}$ 端子を"Low"レベルとしてから外部バス権解放状態となるまで最小 2 ステートかかります。

6. バスコントローラ

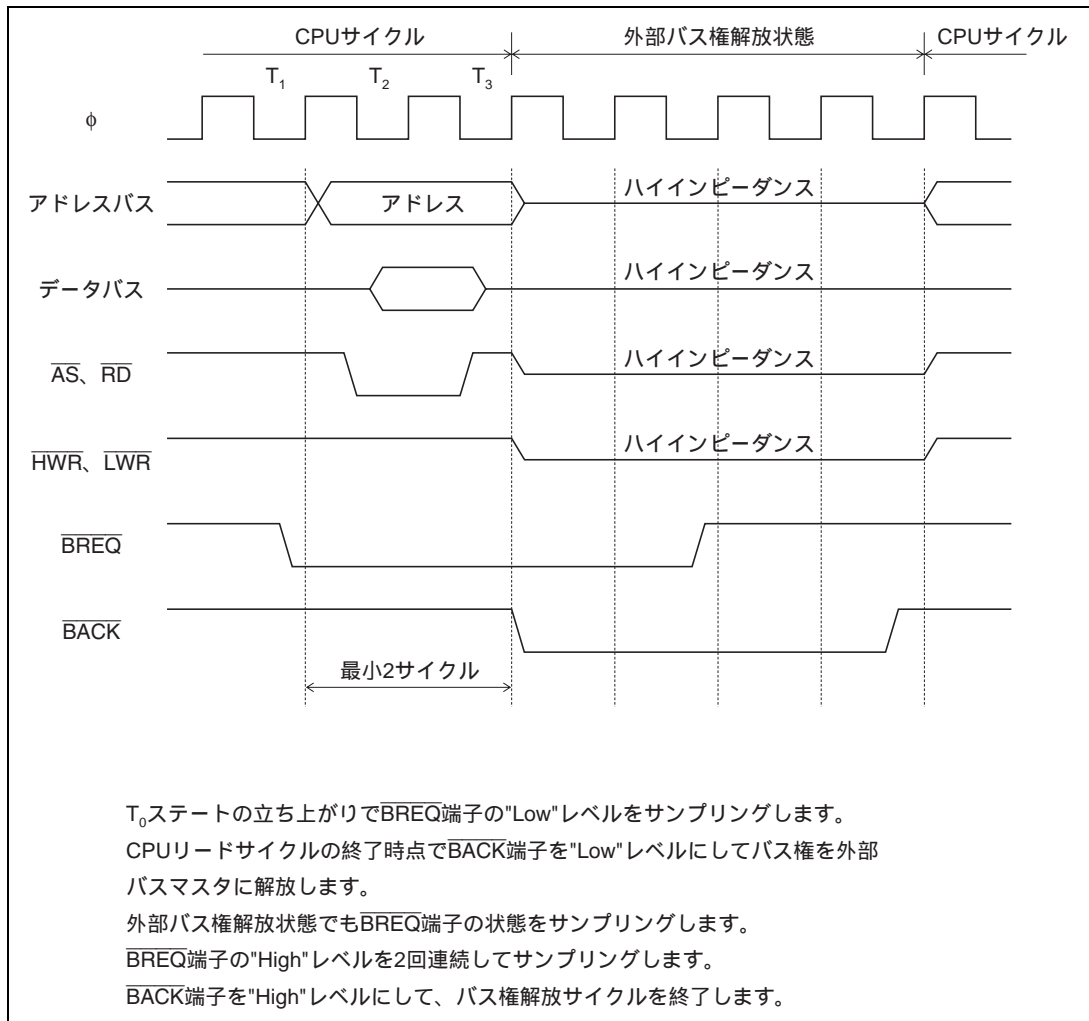


図 6.19 外部バス権解放状態 (2 ステートアクセス空間リードサイクル中)

6.4 使用上の注意

6.4.1 DRAM および PSRAM の接続

エリア 3 に DRAM または PSRAM を直接接続する場合、バス制御信号タイミングが異なります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

6.4.2 レジスタライトタイミング

(1) ABWCR、ASTCR および WCER のライトタイミング

ABWCR、ASTCR および WCER をライトした場合、ライトデータは次のバスサイクルから有効になります。

このタイミングを図 6.20 に示します。

エリア 0 上の命令でエリア 0 を 3 ステートアクセス空間から 2 ステートアクセス空間へ変更した場合の例です。

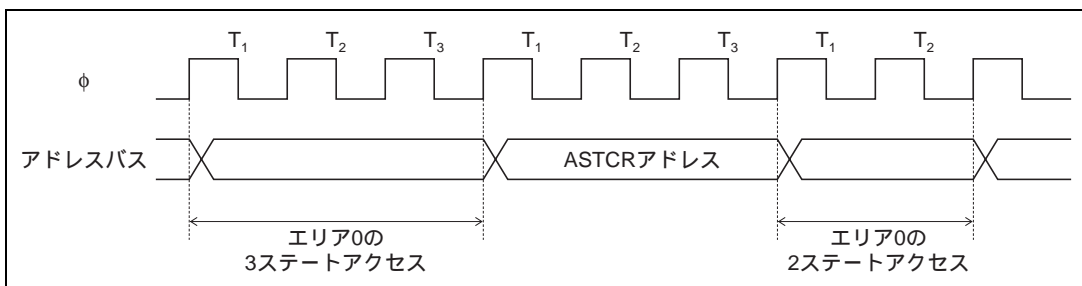


図 6.20 ASTCR ライトタイミング

(2) DDR ライトタイミング

\overline{CS}_n 端子に対応するポートの DDR をライトし、 \overline{CS}_n 出力と入力ポートを切り替える場合、ライトデータは DDR ライトサイクルの T_3 から有効になります。このタイミングを図 6.21 に示します。 \overline{CS}_1 端子を出力とする場合の例です。

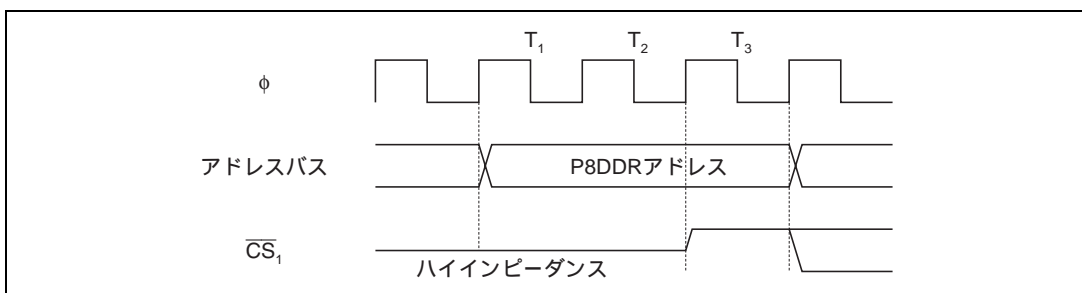


図 6.21 DDR ライトタイミング

6. バスコントローラ

(3) BRCR ライトタイミング

BRCR にライトし、 $A_{23} \sim A_{21}$ 出力と入出力ポートを切り替える場合、ライトデータは BRCR ライトサイクルの T_3 から有効になります。このタイミングを図 6.22 に示します。

入力ポートを $A_{23} \sim A_{21}$ 出力とする場合の例です。

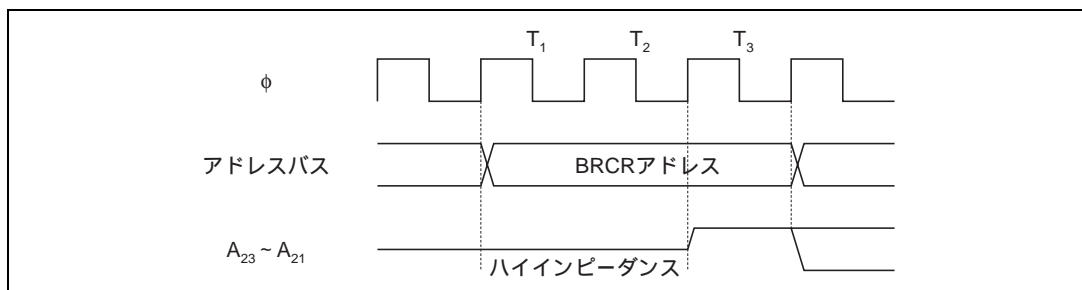


図 6.22 BRCR ライトタイミング

6.4.3 $\overline{\text{BREQ}}$ 端子の入力タイミング

$\overline{\text{BREQ}}$ 端子を "Low" レベルにした後、 $\overline{\text{BACK}}$ 端子が "Low" レベルになるまで "Low" レベルを保持してください。 $\overline{\text{BACK}}$ 端子が "Low" レベルになる前に $\overline{\text{BREQ}}$ 端子を "High" レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときには $\overline{\text{BREQ}}$ 端子を 3 ステート以上 "High" レベルにしてください。 $\overline{\text{BREQ}}$ 端子の "High" レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

7. リフレッシュコントローラ

7.1 概要

H8/3042 グループは、リフレッシュコントローラを内蔵しており、 $\times 16$ ビット構成の DRAM を直接接続できます。また、DRAM の代わりに PSRAM を直接接続することも可能です。

DRAM または PSRAM を直接接続できる外部アドレス空間はエリア 3 です。モード 1、2、5 (1M バイトモード) は最大 128K バイト、モード 3、4 (16M バイトモード) は最大 2M バイトを使用できます。

DRAM、PSRAM のリフレッシュが不要なシステムでは、8 ビットインターバルタイマとして使用できます。

7.1.1 特長

リフレッシュコントローラは、DRAM リフレッシュ制御、PSRAM リフレッシュ制御、またはインターバルタイマのうち、いずれか一つの機能を使用できます。リフレッシュコントローラの特長を以下に示します。

(1) DRAM リフレッシュコントローラとしての特長

$\times 16$ ビット構成の DRAM を直接接続可能

$2\overline{CAS}$ 方式、または $2\overline{WE}$ 方式のいずれか一方を選択可能

DRAM のアドレス入力のマルチプレクスは、8 ビットカラムアドレスまたは 9 ビットカラムアドレスのいずれか一つを選択可能

(例)

- 1M ビット DRAM 8 ビットロウアドレス \times 8 ビットカラムアドレス
- 4M ビット DRAM 9 ビットロウアドレス \times 9 ビットカラムアドレス
- 4M ビット DRAM 10 ビットロウアドレス \times 8 ビットカラムアドレス

リフレッシュ制御は \overline{CAS} ピフォ \overline{RAS} リフレッシュを採用

プログラムによりリフレッシュ間隔を選択可能

プログラムによりセルフリフレッシュモードを設定可能

ウェイトステート挿入可能

(2) PSRAM リフレッシュコントローラとしての特長

リフレッシュ制御のため \overline{RFSH} 信号を出力

プログラムによりリフレッシュ間隔を選択可能

プログラムによりセルフリフレッシュモードを設定可能

ウェイトステート挿入可能

7. リフレッシュコントローラ

(3) インターバルタイマとしての特長

リフレッシュタイマカウンタ (RTCNT) を 8 ビットアップカウンタとして使用可能

カウントクロックは 7 種類 ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$) から選択可能

RTCNT とリフレッシュタイムコンスタントレジスタ (RTCOR) のコンペアマッチにより割り込み発生可能

7.1.2 ブロック図

リフレッシュコントローラのブロック図を図 7.1 に示します。

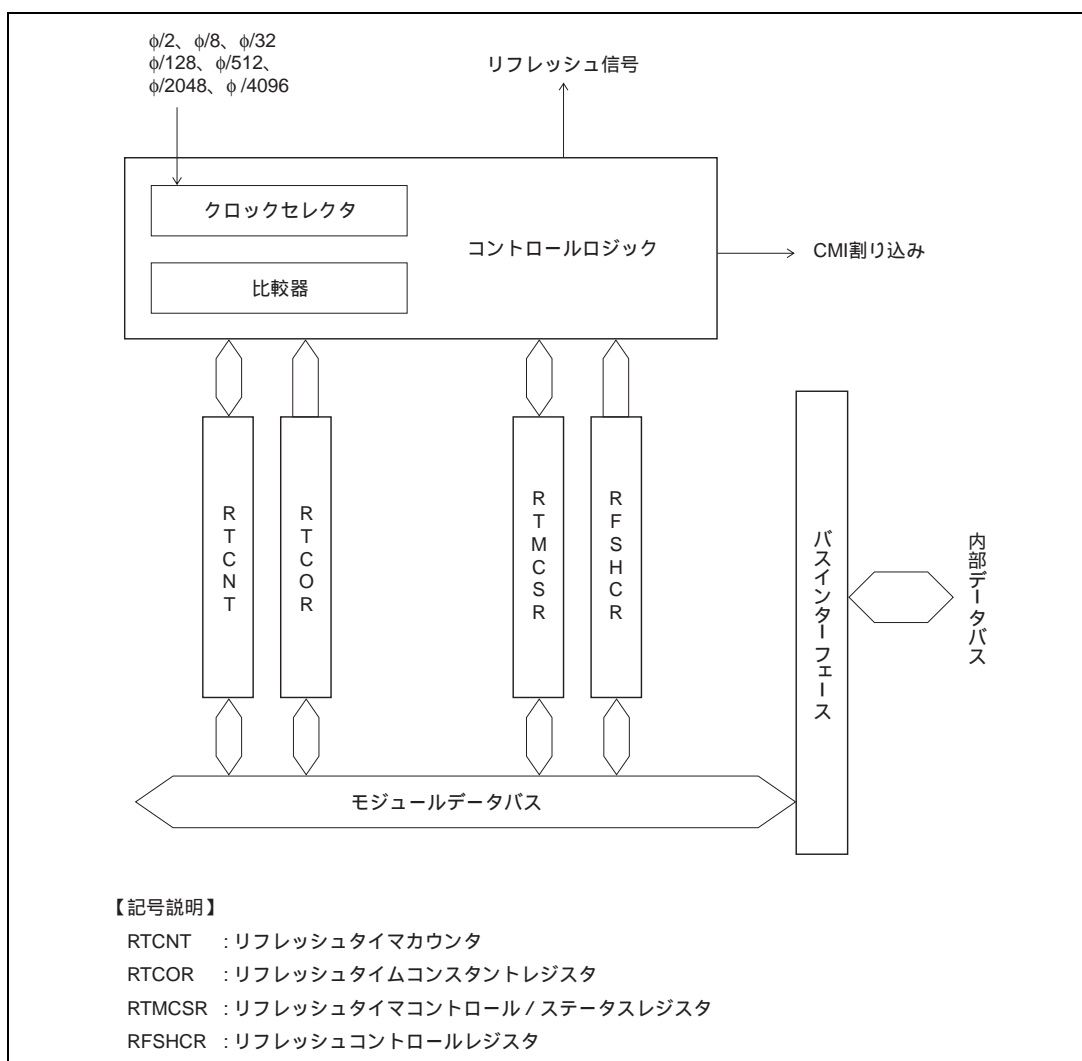


図 7.1 リフレッシュコントローラのブロック図

7.1.3 端子構成

リフレッシュコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

端子	信号		入出力	機能
	名称	略称		
$\overline{\text{RFSH}}$	リフレッシュ	$\overline{\text{RFSH}}$	出力	リフレッシュサイクル時"Low"レベルとなります。 DRAM および PSRAM のリフレッシュに使用します。
HWR	アッパーライト/アッパーカラム アドレスストロープ	$\overline{\text{UW/UCAS}}$	出力	2WE 方式 DRAM の $\overline{\text{UW}}$ 端子 / 2CAS 方式 DRAM の $\overline{\text{UCAS}}$ 端子と接続 します。
$\overline{\text{LWR}}$	ロウアーライト/ロウアーカラム アドレスストロープ	$\overline{\text{LW/LCAS}}$	出力	2WE 方式 DRAM の $\overline{\text{LW}}$ 端子 / 2CAS 方式 DRAM の $\overline{\text{LCAS}}$ 端子 と接続します。
RD	カラムアドレスストロープ/ライ トイネーブル	CAS/WE	出力	2WE 方式 DRAM の CAS 端子 / 2CAS 方式 DRAM の WE 端子と 接続します。
$\overline{\text{CS}}_3$	ロウアドレスストロープ	$\overline{\text{RAS}}$	出力	DRAM の $\overline{\text{RAS}}$ 端子と接続します。

7.1.4 レジスタ構成

リフレッシュコントローラのレジスタ構成を表 7.2 に示します。

表 7.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFAC	リフレッシュコントロールレジスタ	RFSHCR	R/W	H'02
H'FFAD	リフレッシュタイムコントロール/ ステータスレジスタ	RTMCSR	R/W	H'07
H'FFAE	リフレッシュタイムカウンタ	RTCNT	R/W	H'00
H'FFAF	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】 * アドレスの下位 16 ビットを示しています。

7.2 各レジスタの説明

7.2.1 リフレッシュコントロールレジスタ (RFSHCR)

RFSHCR は、8 ビットのリード/ライト可能なレジスタで、リフレッシュコントローラの動作モードを選択します。

ビット :	7	6	5	4	3	2	1	0
	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	RFSHE		RCYCE
初期値 :	0	0	0	0	0	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W		R/W

セルフリフレッシュモード
セルフリフレッシュモードを選択するビットです。

PSRAMイネーブル、DRAMイネーブル
PSRAM、DRAMの接続を許可/禁止するビットです。

ストロープモードセレクト
DRAMに対して、2CAS方式か
2WE方式かを選択するビットです。

アドレスマルチプレクスモードセレクト
コラムアドレスのビット数を選択するビットです。

リフレッシュ端子イネーブル
リフレッシュ端子をリフレッシュ
信号出力にするビットです。

リザーブビット

リフレッシュサイクルイネーブル
リフレッシュサイクル
の挿入を許可/禁止す
るビットです。

RFSHCR は、リセット、またはハードウェアスタンバイモード時に H'02 に初期化されます。

ビット7：セルフリフレッシュモード (SRFMD)

ソフトウェアスタンバイモード時、DRAMまたはPSRAMのセルフリフレッシュを指定します。PSRAME="1"、DRAME="0"のとき、SRFMDビットを"1"にセットした後に、ソフトウェアスタンバイモードに遷移すると、PSRAMのセルフリフレッシュが可能となります。

また、PSRAME="0"、DRAME="1"のとき、SRFMDビットを"1"にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAMのセルフリフレッシュが可能となります。

いずれの場合もソフトウェアスタンバイモードの解除により、通常のアクセス状態に戻ります。

ビット7	説明
SRFMD	
0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止 (初期値)
1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能

ビット6：PSRAM イネーブル (PSRAME)

ビット5：DRAM イネーブル (DRAME)

外部アドレス空間のエリア3に対して、DRAMまたはPSRAMの接続を許可/禁止します。

DRAMまたはPSRAMを接続する場合、エリア3のバスサイクルおよびリフレッシュサイクルはASTCRの設定にかかわらず、3ステートアクセスとなります。ただし、ウェイトステートは、ASTCRのAST3="0"の場合、挿入することはできません。

PSRAMEビットまたはDRAMEビットが"1"にセットされていると、RFSHCRのビット0、2、3、4、およびRTMCSR、RTCNT、RTCORへのライトはできません。ただし、RTMCSRのCMFフラグについては、フラグをクリアするための"0"ライトのみ可能です。

ビット6	ビット5	説明
PSRAME	DRAME	
0	0	インターバルタイムとして使用可能 (初期値)
	1	DRAMの接続が可能
1	0	PSRAMの接続が可能
	1	使用禁止

ビット4：ストロープモードセレクト (CAS/ \overline{WE})

2CAS方式か2 \overline{WE} 方式のいずれかを選択します。

本ビットの設定はPSRAME="0"、DRAME="1"のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが"1"にセットされているとライトすることはできません。

ビット4	説明
CAS/ \overline{WE}	
0	2 \overline{WE} 方式を選択 (初期値)
1	2CAS方式を選択

7. リフレッシュコントローラ

ビット3：アドレスマルチプレクスモードセレクト (M9/M8)

8ビットカラムアドレスまたは9ビットカラムアドレスのいずれかを選択します。

本ビットの設定は PSRAM = "0"、DRAM = "1" のとき有効となります。本ビットは、PSRAM ビットまたは DRAM ビットが "1" にセットされているとライトすることはできません。

ビット3	説明
M9/M8	
0	8ビットカラムモードを選択 (初期値)
1	9ビットカラムモードを選択

ビット2：リフレッシュ端子イネーブル (RFSHE)

RFSH 端子のリフレッシュ信号出力を許可/禁止します。

本ビットは、PSRAM ビットまたは DRAM ビットが "1" にセットされているとライトすることはできません。

ビット2	説明
RFSHE	
0	RFSH 端子のリフレッシュ信号出力を禁止 (RFSH 端子は入出力ポートとして使用可) (初期値)
1	RFSH 端子のリフレッシュ信号出力を許可

ビット1：リザーブビット

リザーブビットです。リードすると常に "1" が読み出されます。ライトは無効です。

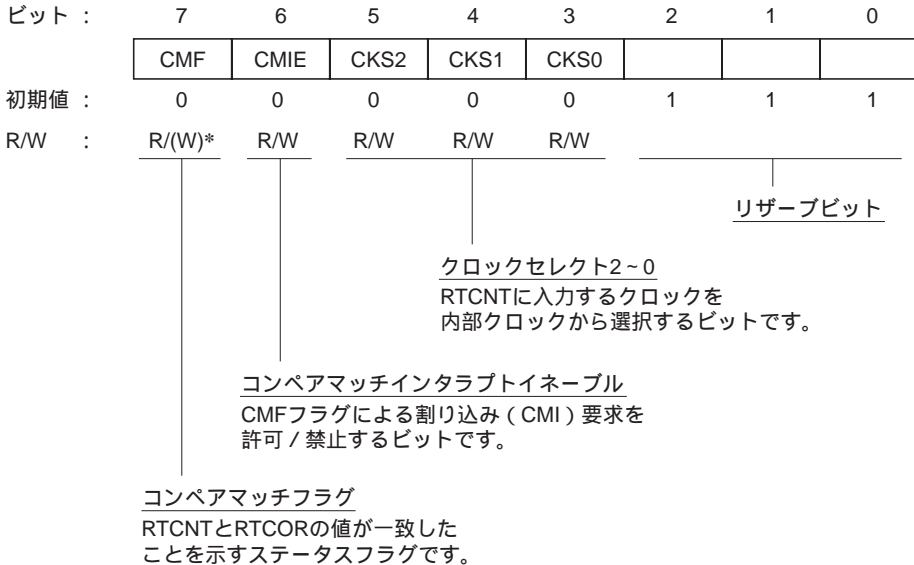
ビット0：リフレッシュサイクルイネーブル (RCYCE)

リフレッシュサイクルの挿入を許可または禁止します。本ビットは PSRAM = "1"、または DRAM = "1" のときに有効となります。PSRAM = "0" かつ DRAM ビット = "0" のときは、本ビットの設定にかかわらずリフレッシュサイクルは挿入されません。

ビット0	説明
RCYCE	
0	リフレッシュサイクルを禁止 (初期値)
1	エリア3に対するリフレッシュサイクルを許可

7.2.2 リフレッシュタイムコントロールステータスレジスタ(RTMCSR)

RTMCSR は、8 ビットのリード/ライト可能なレジスタで、RTCNT に入力するクロックの選択を行います。また、インターバルタイムとして使用する場合は、割り込み要求の許可/禁止も行います。



【注】* フラグをクリアするための"0"ライトのみ可能です。

ビット7、6は、リセット、またはスタンバイモード時にイニシャライズされます。

ビット5~3は、リセット、またはハードウェアスタンバイモード時に初期化されますが、ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の状態を保持していません。

ビット7: コンペアマッチフラグ (CMF)

RTCNT と RTCOR の値が一致したことを示すステータスフラグです。

ビット7	説明
CMF	
0	〔クリア条件〕 CMF = "1"の状態、CMF フラグをリードした後、CMF フラグに"0"をライトしたとき
1	〔セット条件〕 RTCNT = RTCOR になったとき

7. リフレッシュコントローラ

ビット6：コンペアマッチインタラプトイネーブル（CMIE）

RTCSR の CMF フラグが"1"にセットされたとき、CMF フラグによる割り込み（CMI）要求を許可 / 禁止します。

PSRAME = "1"、または DRAME = "1"のとき、CMIE ビットは常に"0"にクリアされています。

ビット6	説明
CMIE	
0	CMF フラグによる割り込み（CMI）要求を禁止 (初期値)
1	CMF フラグによる割り込み（CMI）要求を可能

ビット5～3：クロックセレクト2～0（CKS2～CKS0）

RTCNT に入力するクロックを内部クロックから選択します。リフレッシュコントローラとして使用する場合は、RTCNT と RTCOR のコンペアマッチによりリフレッシュ要求を周期的に発生します。インターバルタイマとして使用する場合は、コンペアマッチにより CMI 割り込み要求を周期的に発生します。

本ビットは、PSRAME ビットまたは DRAME ビットが"1"にセットされているとライトすることはできません。

ビット5	ビット4	ビット3	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
		1	$\phi/2$ でカウント
	1	0	$\phi/8$ でカウント
		1	$\phi/32$ でカウント
1	0	0	$\phi/128$ でカウント
		1	$\phi/512$ でカウント
	1	0	$\phi/2048$ でカウント
		1	$\phi/4096$ でカウント

ビット2～0：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

7.2.3 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、リード/ライト可能な 8 ビットのアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNT は、RTMCSR の CKS2~CKS0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、CMF フラグが"1"にセットされ RTCNT は H'00 に初期化されます。

RTCNT は、PSRAME ビットまたは DRAME ビットが"1"にセットされているとライトすることはできません。

RTCNT は、リセット、またはスタンバイモード時に H'00 に初期化されます。

7.2.4 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのリード/ライト可能なレジスタで、RTCNT のクリア周期を設定します。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると RTMCSR の CMF フラグが"1"にセットされ、同時に RTCNT が H'00 にクリアされます。

RTCOR は、PSRAME ビットまたは DRAME ビットが"1"にセットされているとライトすることはできません。

RTCOR は、リセット、またはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の値を保持しています。

7. リフレッシュコントローラ

7.3 動作説明

7.3.1 概要

リフレッシュコントローラは、エリア 3 に接続した DRAM のインタフェース、エリア 3 に接続した PSRAM のインタフェース、またはインターバルタイマのうち、いずれか一つを選択することができます。

上記の 3 種類の使用方法の概要を表 7.3 に示します。

表 7.3 リフレッシュコントローラの設定方法

用途		DRAM インタフェース	PSRAM インタフェース	インターバルタイマ
R F S H C R	SRFMD	セルフリフレッシュモードの設定		"0"に設定
	PSRAM	"0"に設定	"1"に設定	"0"に設定
	DRAME	"1"に設定	"0"に設定	"0"に設定
	CAS/ \overline{WE}	2CAS 方式 / 2WE 方式選択		
	M9/ $\overline{M8}$	カラムモード選択		
	RFSHE	RFSH 端子出力選択		"0"に設定
	RCYCE	リフレッシュサイクル挿入選択		
RTCOR		リフレッシュ間隔を設定		割り込み周期を設定
R T M C S R	CKS2 ~ 0			
	CMF	RTCNT = RTCOR のとき、"1"にセット		
	CMIE	"0"に設定		割り込み要求の 許可 / 禁止を選択
P8DDR	P8,DDR	"1"に設定 (\overline{CS}_3 出力設定)		"0"または"1"に設定
ABWCR	ABW3	"0"に設定		

(1) DRAM インタフェース

RTCOR、RTMCSR、RFSHCR の順に初期設定を行い、PSRAM ビットを"0"、DRAME ビットを"1"に設定することにより、×16 ビット構成の DRAM をエリア 3 に接続できます。このとき、ポート 8 データディレクションレジスタ (P8DDR) の P8,DDR ビットを"1"にセットして \overline{CS}_3 出力に設定してください。また、ABWCR により、エリア 3 を 16 ビットアクセス空間に設定してください。

(2) PSRAM インタフェース

RTCOR、RTMCSR、RFSHCR の順に初期設定を行い、PSRAM ビットを"1"、DRAME ビットを"0"に設定することにより、PSRAM をエリア 3 に接続できます。このとき、P8DDR の P8,DDR ビットを"1"にセットして \overline{CS}_3 出力に設定してください。

(3) インターバルタイマ

PSRAM = "0"かつ DRAME = "0"のとき、インターバルタイマとして動作します。RTCOR を設定後、RTMCSR で入力クロックを選択して、CMIE ビットを"1"にセットしてください。

上記設定により、RTCOR と RTMCSR の CKS2 ~ CKS0 ビットで決まるコンペアマッチの周期ごと

に CMI 割り込み要求を発生することができます。

RTCOR、RTMCSR、RFSHCR の設定は、必ず PSRAME = "0"かつ DRAME = "0"の状態で行ってください。どちらかのビットが"1"の場合、ライトできません。

7.3.2 DRAM リフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

リフレッシュ要求の周期は、RTCOR と RTMCSR の CKS2 ~ CKS0 ビットにより設定します。リフレッシュ要求の周期を図 7.2 に示します。

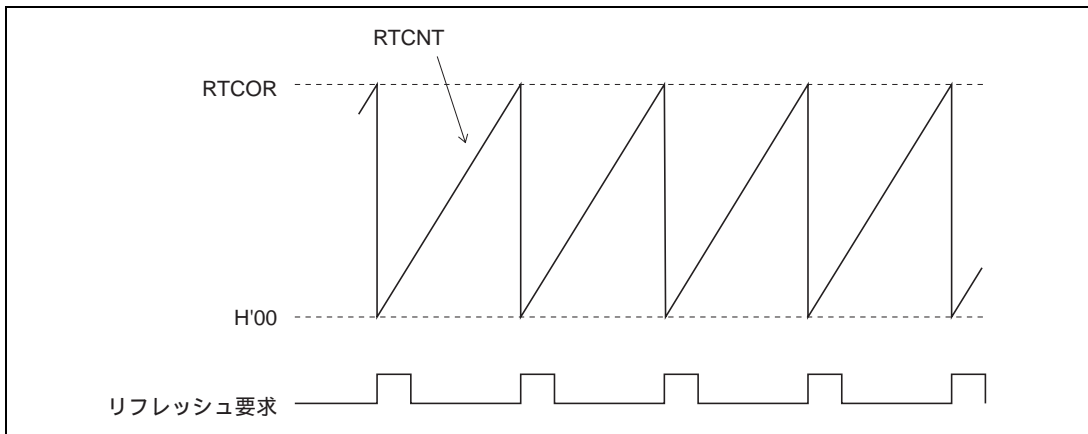


図 7.2 リフレッシュ要求の周期 (RCYCE = "1")

リフレッシュ要求は図 7.2 に示す周期で発生しますが、実際のリフレッシュサイクルの実行は、リフレッシュコントローラがバス権を獲得した後に行われます。

表 7.4 にエリア 3 の設定と DRAM のリード/ライトサイクルおよびリフレッシュサイクルの関係を示します。

表 7.4 エリア 3 の設定と DRAM アクセスサイクルおよびリフレッシュサイクルの関係

エリア 3 の設定	CPU または DMA コントローラによるリード/ライトサイクル	リフレッシュサイクル
2 ステートアクセス空間 (AST3 = "0")	<ul style="list-style-type: none"> • 3 ステート • ウェイト挿入不可 	<ul style="list-style-type: none"> • 3 ステート • ウェイト挿入不可
3 ステートアクセス空間 (AST3 = "1")	<ul style="list-style-type: none"> • 3 ステート • ウェイト挿入可能 	<ul style="list-style-type: none"> • 3 ステート • ウェイト挿入可能

リフレッシュサイクルを挿入するために、RFSHCR の RCYCE ビットを"1"にセットしてください。リフレッシュサイクル実行の状態遷移を図 7.3 に示します。

リフレッシュ直後、またはスタンバイモード解除直後にリフレッシュ要求が発生すると、リフレッシュ要求保持状態に遷移します。このときには、リフレッシュサイクルは実行されません。初期化のためにリフレッシュサイクルを必要とする DRAM を使用する場合は注意してください。

7. リフレッシュコントローラ

リフレッシュ要求保持状態でリフレッシュ要求が発生すると、リフレッシュコントローラはバス権を獲得してリフレッシュサイクルを実行します。また、リフレッシュサイクル実行中に発生したリフレッシュ要求は無視されます。

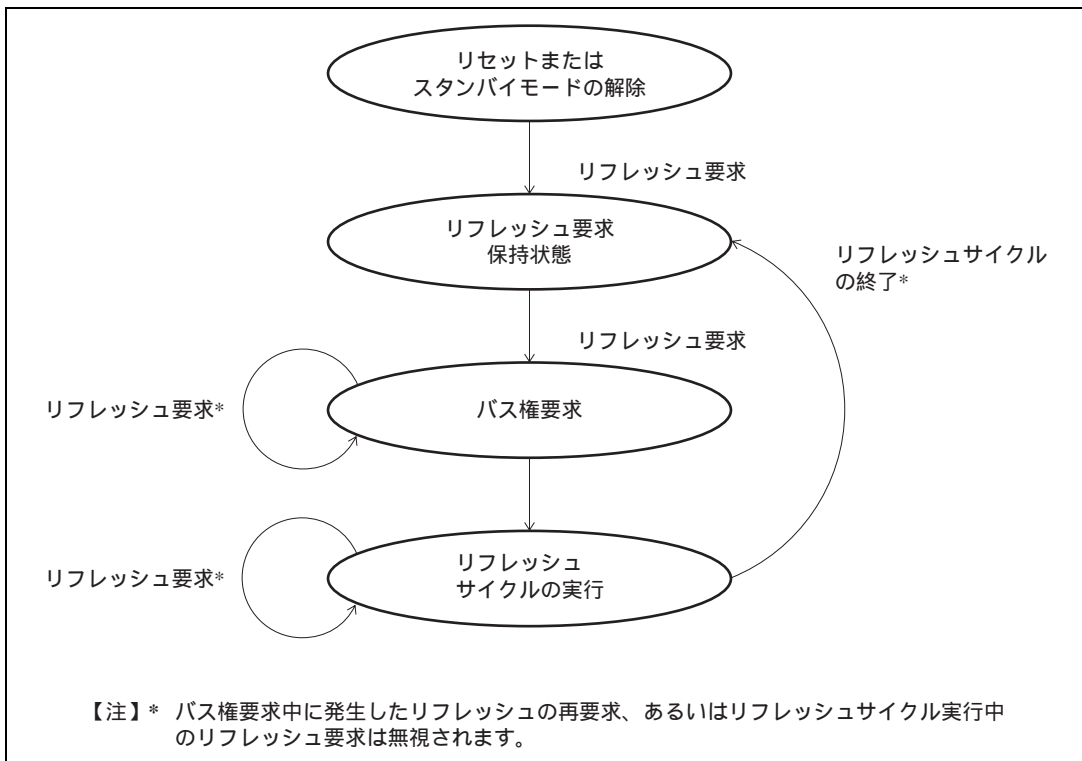


図 7.3 リフレッシュサイクル実行の状態遷移図

(2) アドレスマルチプレクス

RFSHCR の $M9/\overline{M8}$ ビットにより、カラムアドレスのビット数を指定すると、アドレスのマルチプレクスは表 7.5 に示すようになります。また、そのときのアドレス出力タイミングを図 7.4 に示します。アドレスのマルチプレクス出力は、エリア 3 に対してのみ行われます。

表 7.5 アドレスマルチプレクス

アドレス端子		$A_{23} \sim A_{10}$	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
ロウアドレス出力時のアドレス出力		$A_{23} \sim A_{10}$	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
カラムアドレス出力時のアドレス出力	$M9/\overline{M8}="0"$	$A_{23} \sim A_{10}$	A_9	A_8	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_0
	$M9/\overline{M8}="1"$	$A_{23} \sim A_{10}$	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_0

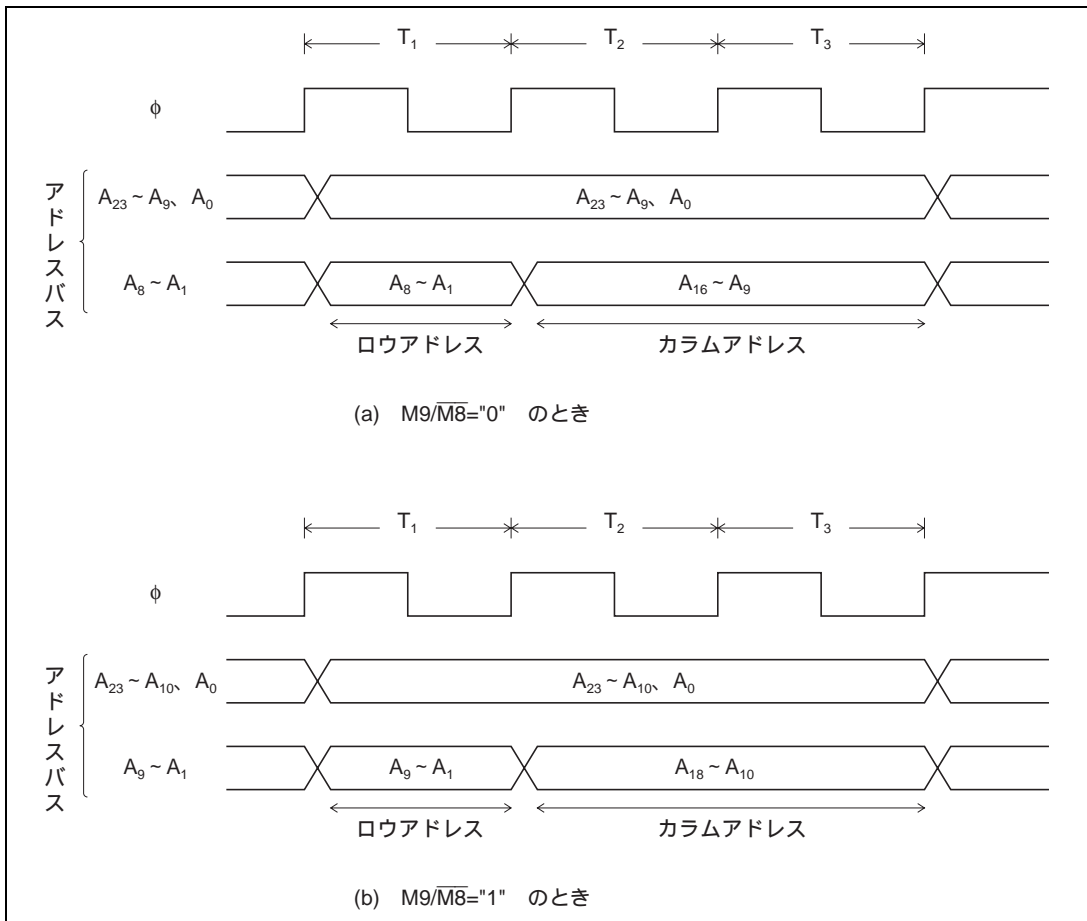


図 7.4 マルチプレクスされたアドレス出力の例 (ウェイト挿入なし)

7. リフレッシュコントローラ

(3) $2\overline{\text{CAS}}$ 方式と $2\overline{\text{WE}}$ 方式

×16ビット構成のDRAMのうち、 $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ を使用する方式と $\overline{\text{UW}}$ 、 $\overline{\text{LW}}$ を使用する方式のいずれかを RFSHCR の CAS/WE ビットにより、選択することができます。

$2\overline{\text{CAS}}$ 方式および $2\overline{\text{WE}}$ 方式のおおのこの場合について、DRAM と本 LSI の端子対応を表 7.6 に示します。

表 7.6 DRAM と本 LSI の端子対応

本 LSI の端子	DRAM の端子	
	CAS/WE = "0" ($2\overline{\text{WE}}$ 方式)	CAS/WE = "1" ($2\overline{\text{CAS}}$ 方式)
HWR	UW	$\overline{\text{UCAS}}$
LWR	LW	$\overline{\text{LCAS}}$
$\overline{\text{RD}}$	$\overline{\text{CAS}}$	WE
$\overline{\text{CS}}_3$	$\overline{\text{RAS}}$	$\overline{\text{RAS}}$

$2\overline{\text{WE}}$ 方式による DRAM インタフェースを図 7.5 (1) に、また $2\overline{\text{CAS}}$ 方式による DRAM インタフェースを図 7.5 (2) に示します。

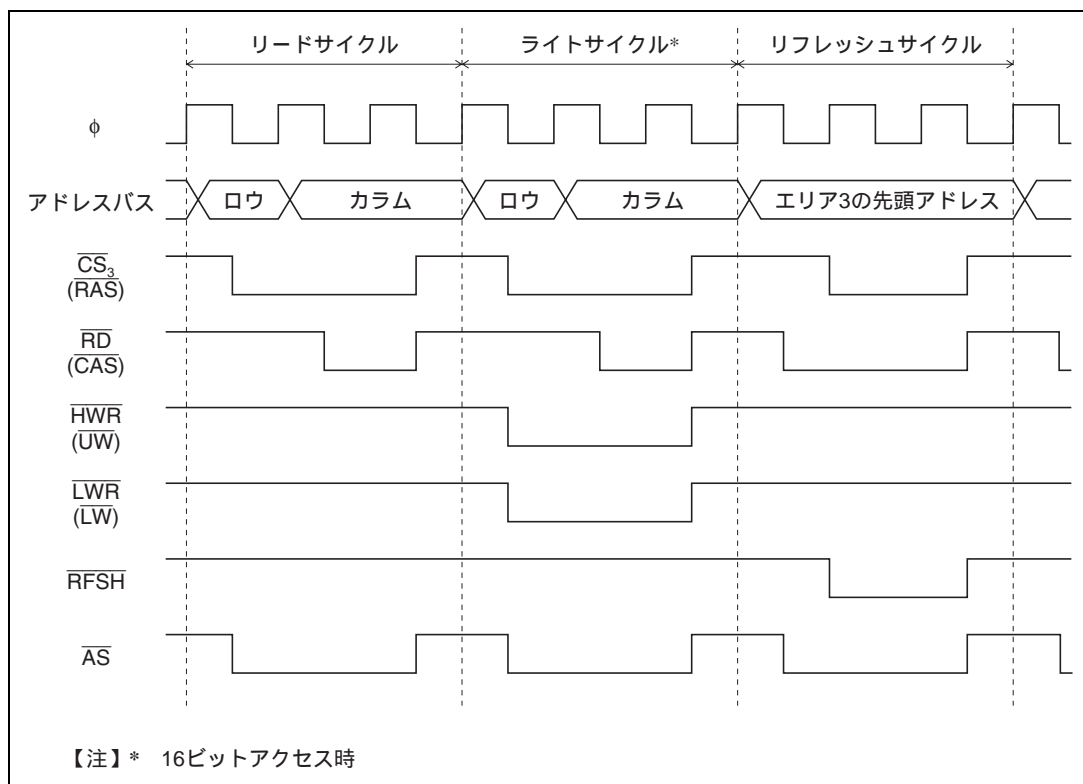


図 7.5 DRAM 制御信号出力タイミング (1) ($2\overline{\text{WE}}$ 方式)

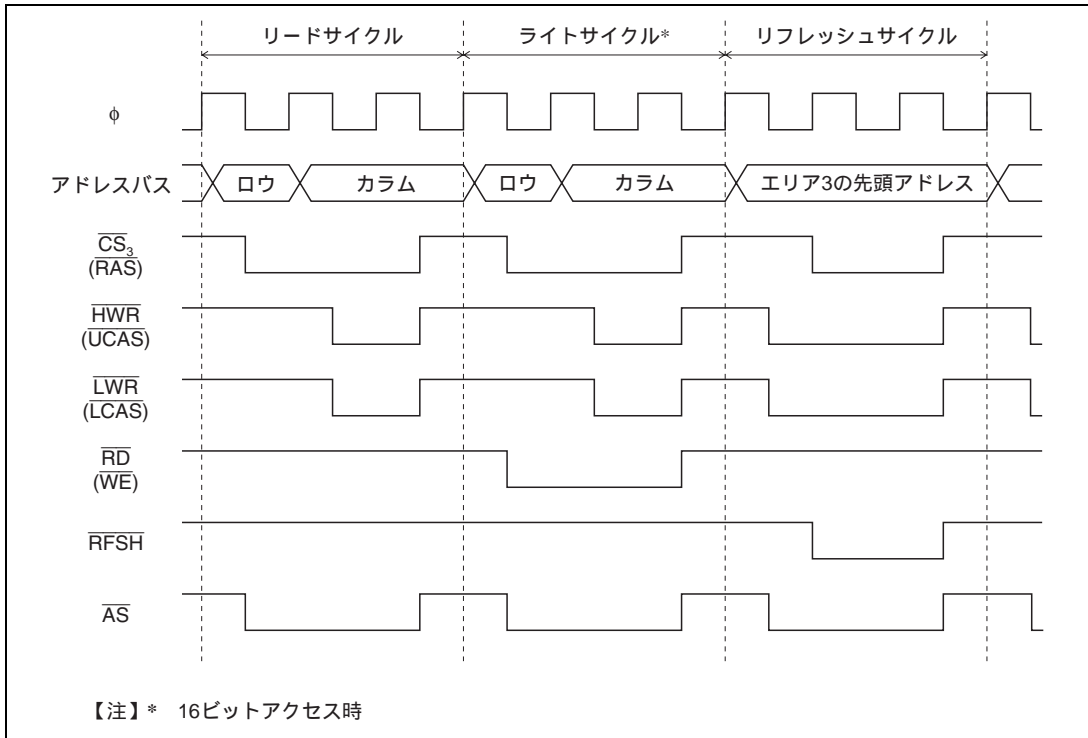


図 7.5 DRAM 制御信号出力タイミング (2) (2CAS 方式)

(4) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMA コントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(5) ウェイトステートの挿入

ASTCR の AST3 を "1" にセットした場合、バスコントローラの設定によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

詳細は、「6.3.5 ウェイトモード」を参照してください。

(6) セルフリフレッシュモード

DRAM には、セルフリフレッシュ機能を持つものがあります。

RFSHCR の SRFMD ビットを "1" にセットした後、ソフトウェアスタンバイモードに遷移すると、 $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ の順に "Low" レベル出力となり、DRAM のセルフリフレッシュ機能を使用することができます。ソフトウェアスタンバイモードが解除されると、 $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ は "High" レベル出力となります。

表 7.7 にソフトウェアスタンバイモード時の端子状態を、また図 7.6 に信号出力タイミングを示します。

7. リフレッシュコントローラ

表 7.7 ソフトウェアスタンバイモード時の端子状態 (1)
(PSRAME = "0"、DRAME = "1")

信号	ソフトウェアスタンバイモード時			
	SRFMD = "0"		SRFMD = "1" (セルフリフレッシュモード)	
	CAS/ \overline{WE} = "0"	CAS/ \overline{WE} = "1"	CAS/ \overline{WE} = "0"	CAS/ \overline{WE} = "1"
\overline{HWR}	ハイインピーダンス	ハイインピーダンス	"High"	"Low"
\overline{LWR}	ハイインピーダンス	ハイインピーダンス	"High"	"Low"
\overline{RD}	ハイインピーダンス	ハイインピーダンス	"Low"	"High"
\overline{CS}_3	"High"	"High"	"Low"	"Low"
\overline{RFSH}	"High"	"High"	"Low"	"Low"

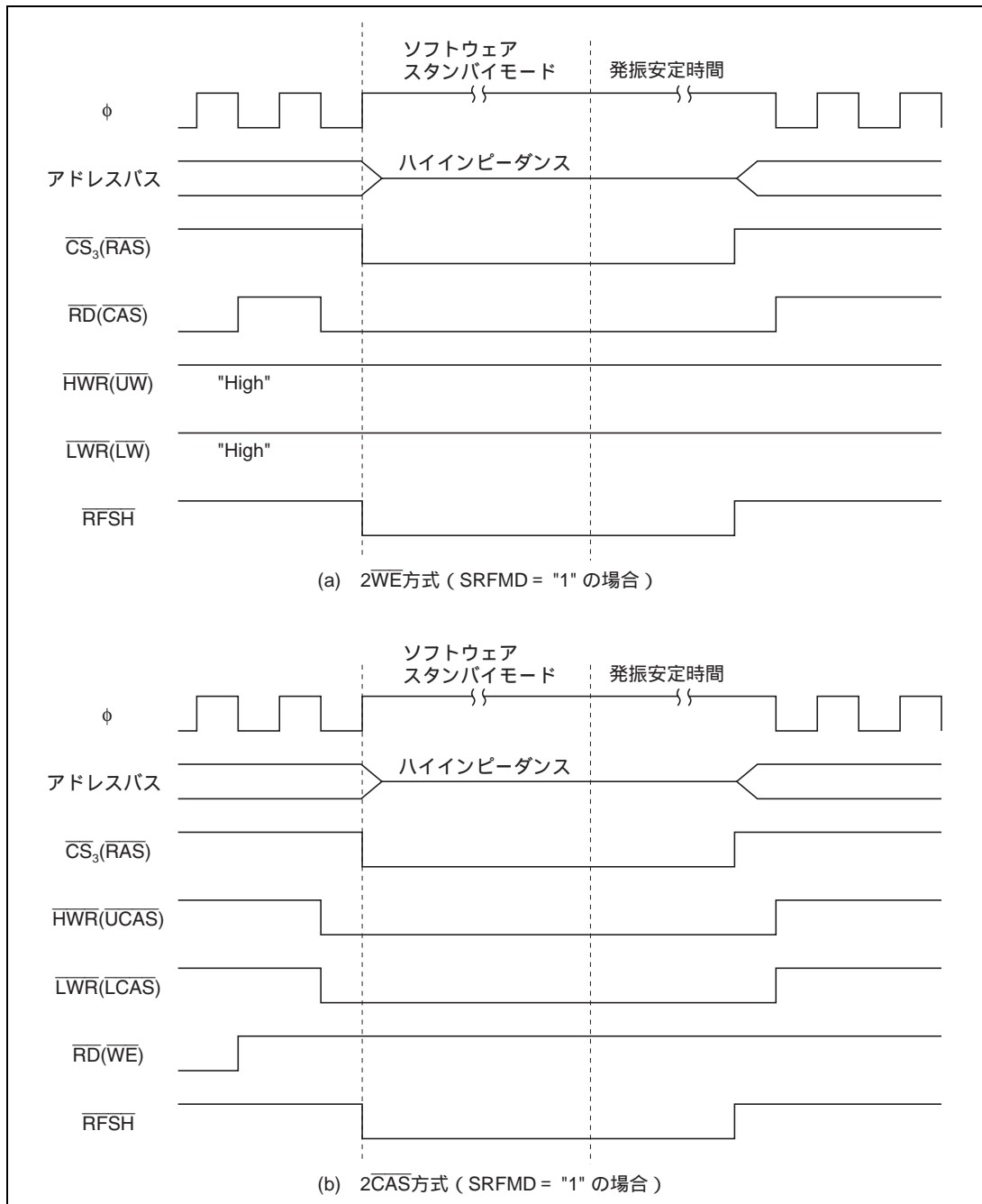


図 7.6 セルフリフレッシュモードの信号出力タイミング (PSRAME = "0"、DRAME = "1")

7. リフレッシュコントローラ

(7) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNT はイニシャライズされますが、RFSHCR、RTMCSR のビット 5~3、RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(8) 使用例

(a) $2\overline{WE}$ 方式 1M ビット DRAM の接続例 (1M バイトモード)

図 7.7 に $2\overline{WE}$ 方式の 1M ビット DRAM の接続例とそのアドレスマップを示します。

また、図 7.8 にそのときのプログラム設定順序を示します。DRAM は、電源投入直後、内部状態を安定させるためにリフレッシュサイクルを必要とします。したがって、他のタイマモジュールによる割り込み、あるいは RTMCSR のビット 7 (CMF) がセットされる回数を数えるなどして、DRAM の安定期間を確保してください。リセット、またはスタンバイ直後の最初のリフレッシュ要求 (CMF フラグのセット) は、リフレッシュサイクル実行に使用されませんので注意してください。(図 7.3 参照)。

本機能を使用する場合は、DRAM デバイス特性をよくご確認の上、そのデバイスに適合する使い方をしてください。

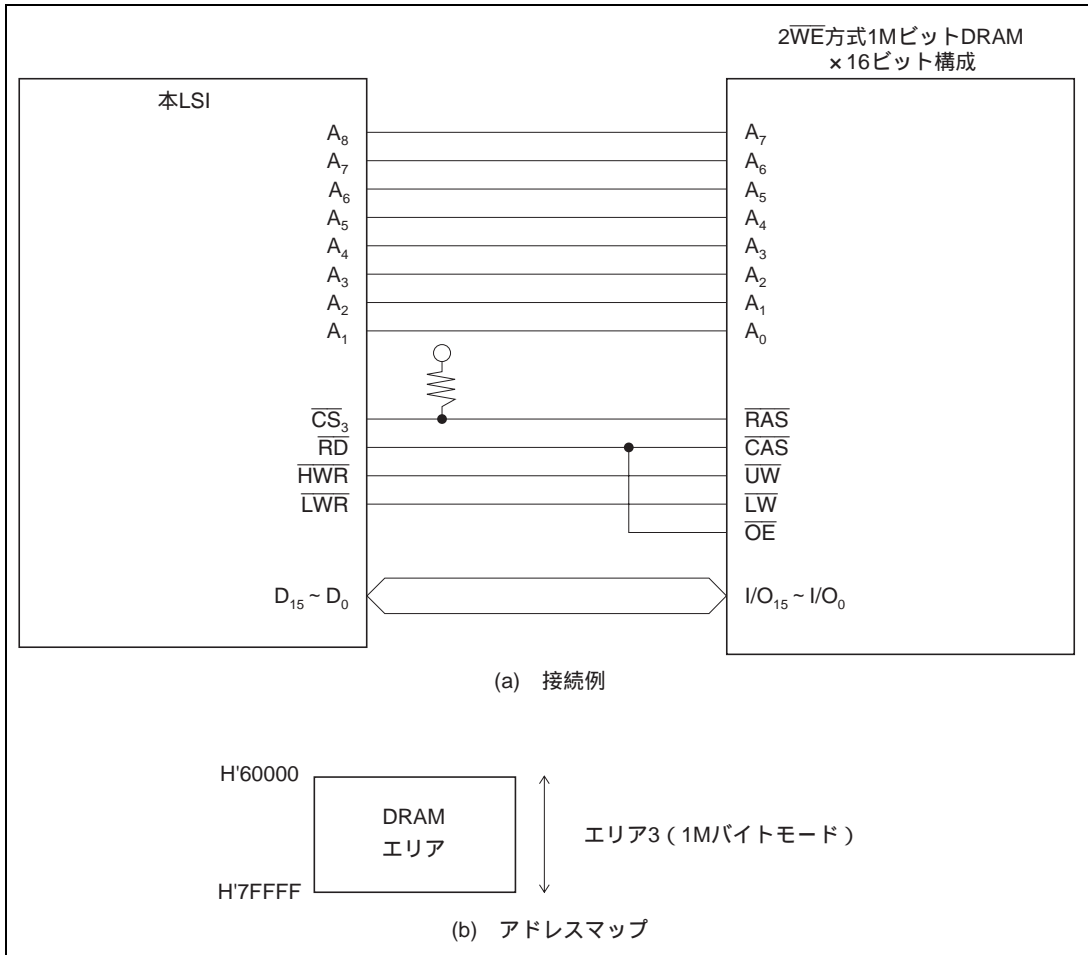


図 7.7 2WE 方式 1M ビット DRAM の接続例とアドレスマップ

7. リフレッシュコントローラ

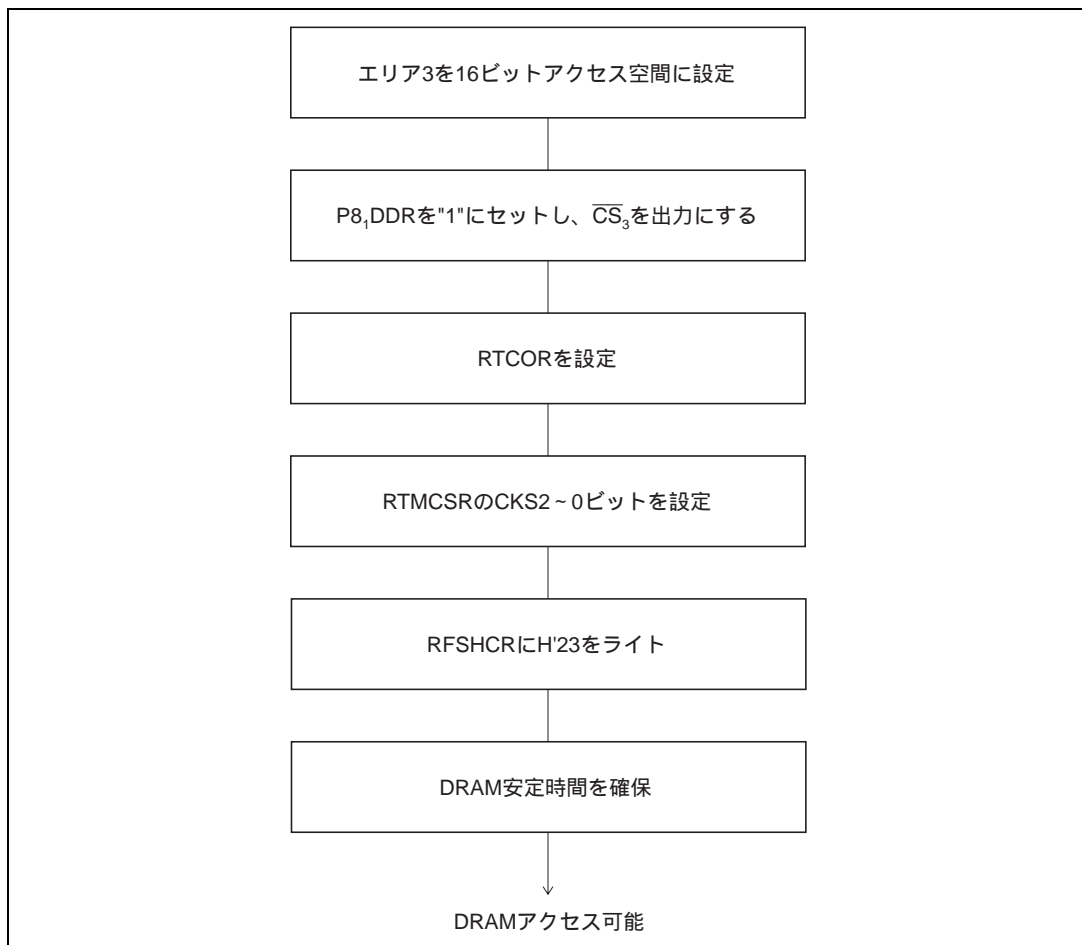


図 7.8 2WE 方式 1M ビット DRAM の設定順序 (1M バイトモード)

(b) 2WE 方式 4M ビット DRAM の接続例 (16M バイトモード)

図 7.9 に、2WE 方式 4M ビット DRAM を 1 個使用する場合の接続例とそのアドレスマップを示します。また図 7.10 にそのときのプログラム設定手順を示します。

本例では、10 ビットロウアドレス×8 ビットコラムアドレスの DRAM を使用して、H'600000 ~ H'67FFFF が DRAM エリアに設定されています。

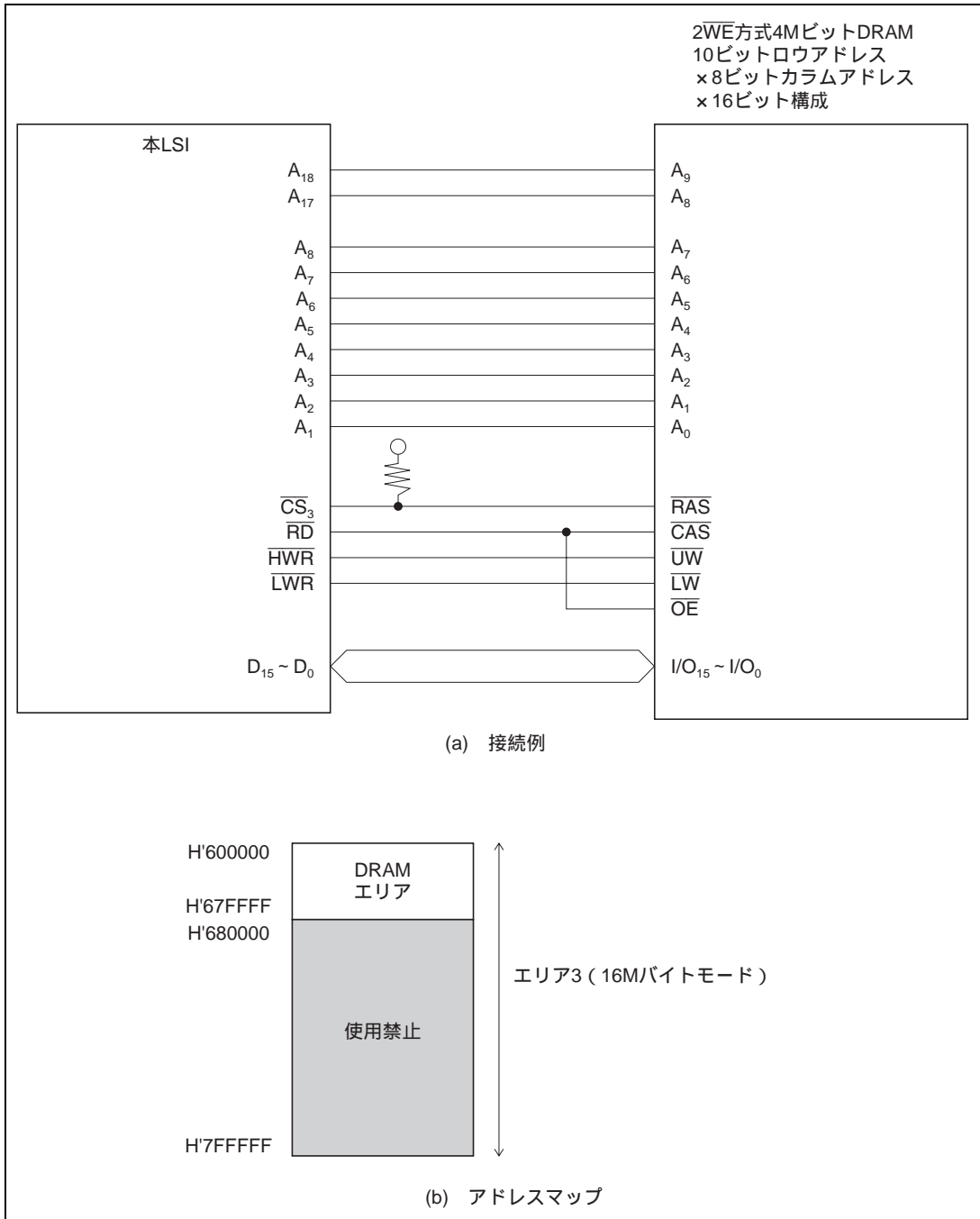


図 7.9 2WE 方式 4M ビット DRAM の接続例とアドレスマップ

7. リフレッシュコントローラ

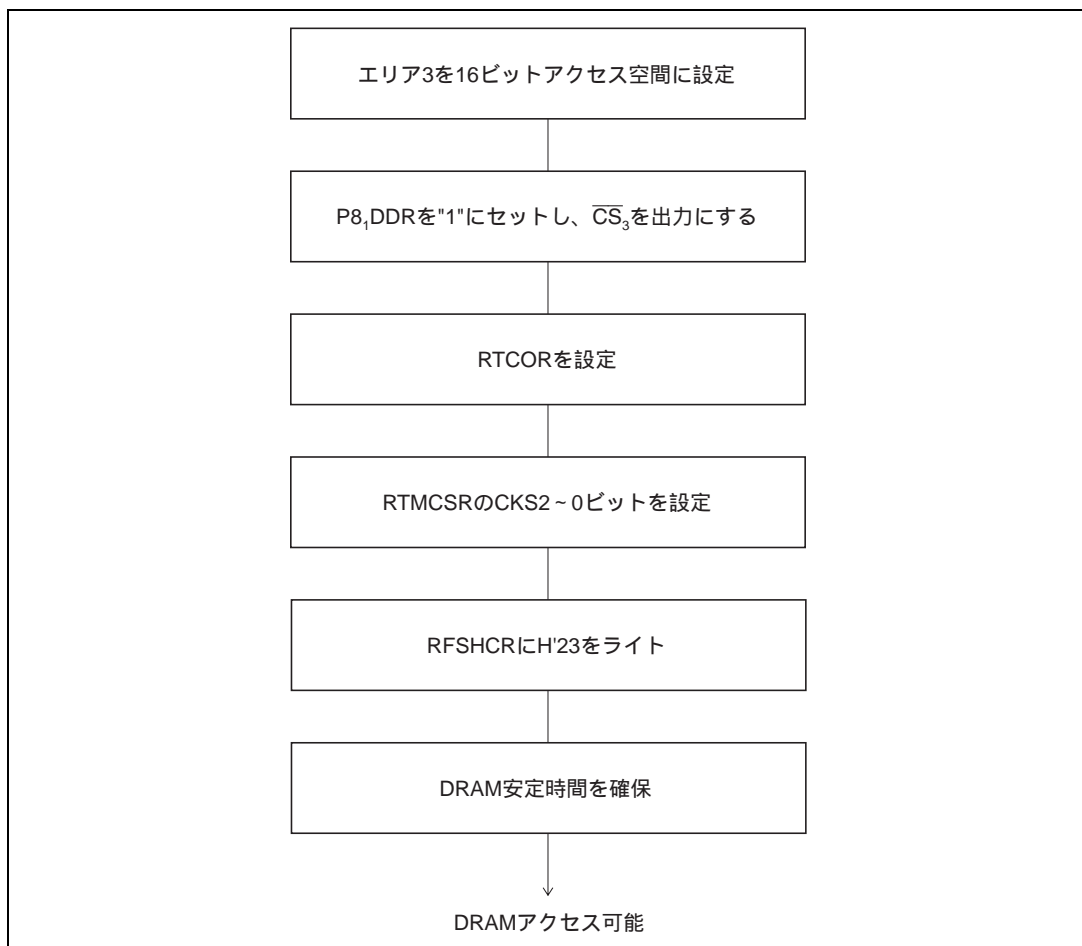


図 7.10 2 \overline{WE} 方式 4M ビット DRAM (10 ビットロウアドレス × 8 ビットカラムアドレスの場合) の設定順序 (16M バイトモード)

(c) 2 \overline{CAS} 方式 4M ビット DRAM の使用例 (16M バイトモード)

図 7.11 に 2 \overline{CAS} 方式の 4M ビット DRAM を 1 個使用する場合の接続例とそのアドレスマップを示します。また、図 7.12 にそのときのプログラム設定順序を示します。

本例では、9 ビットロウアドレス × 9 ビットカラムアドレスの DRAM を使用して、H'600000 ~ H'67FFFF が DRAM エリアに設定されています。

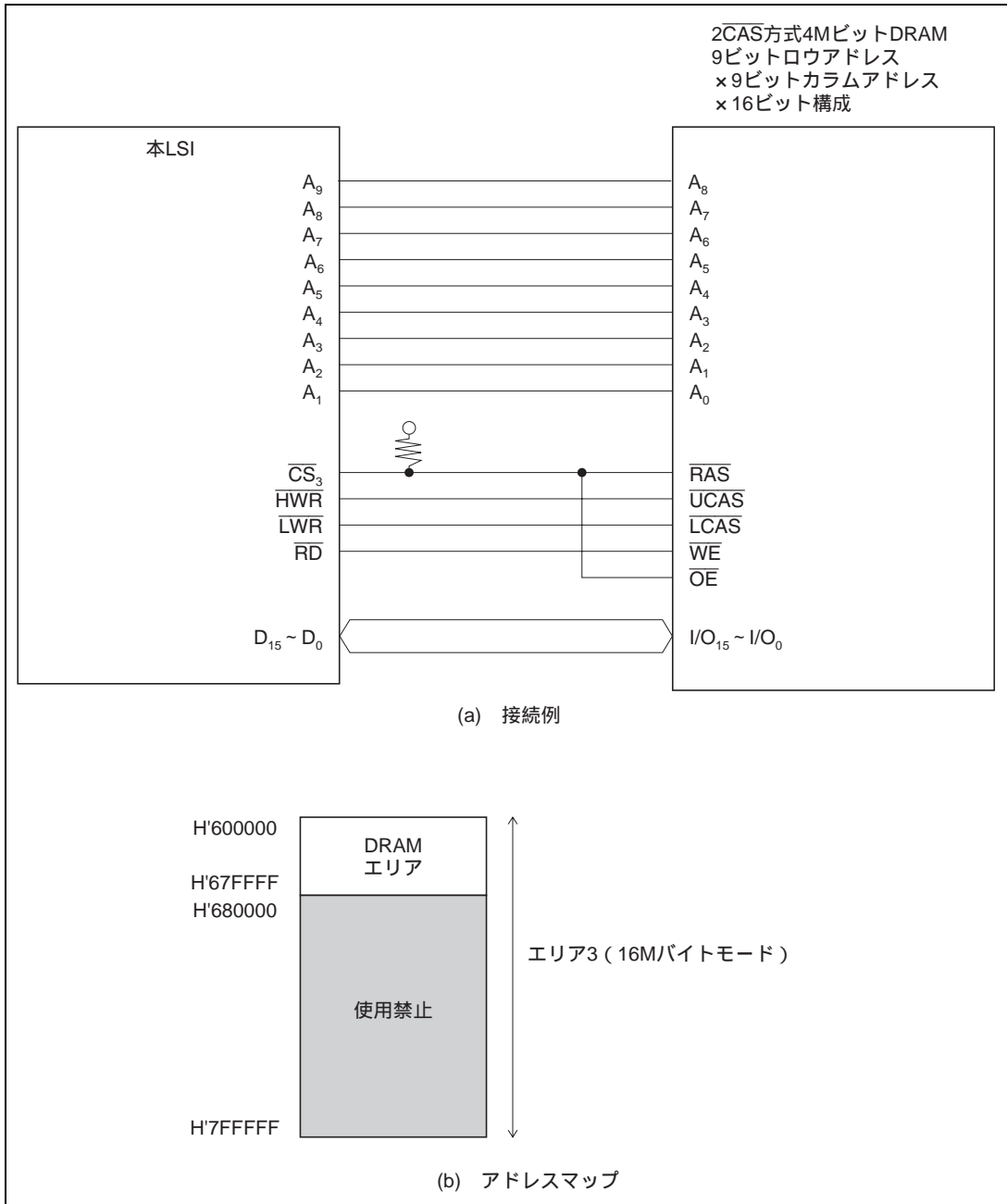


図 7.11 2CAS 方式 4M ビット DRAM の接続例とアドレスマップ

7. リフレッシュコントローラ

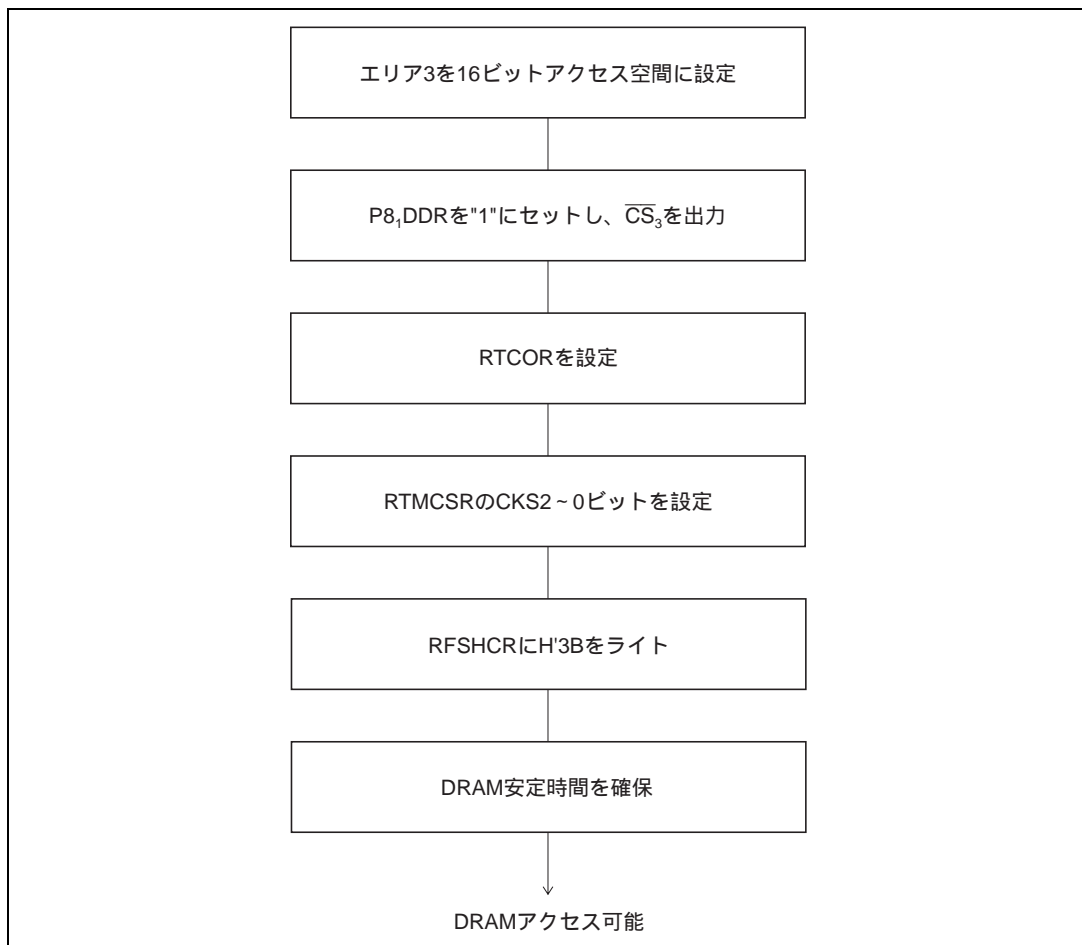


図 7.12 2CAS 方式 4M ビット DRAM (9 ビットロウアドレス×9 ビットコラムアドレスの場合) の設定順序 (16M バイトモード)

(d) 複数チップの 4M ビット DRAM の接続例 (16M バイトモード)

図 7.13 に 2CAS 方式 4M ビット DRAM を 2 個使用する場合の接続例とそのアドレスマップを示します。上位アドレス A_{19} 、 A_{20} をデコードすることにより、最大 4 個の DRAM をエリア 3 に接続できます。

また、図 7.14 にそのときのプログラム設定順序を示します。本例では、9 ビットロウアドレス×9 ビットコラムアドレスのタイプのものを使用しています。すべてのチップを同時にリフレッシュする必要があるため、RFSH 端子を使用しなければなりません。

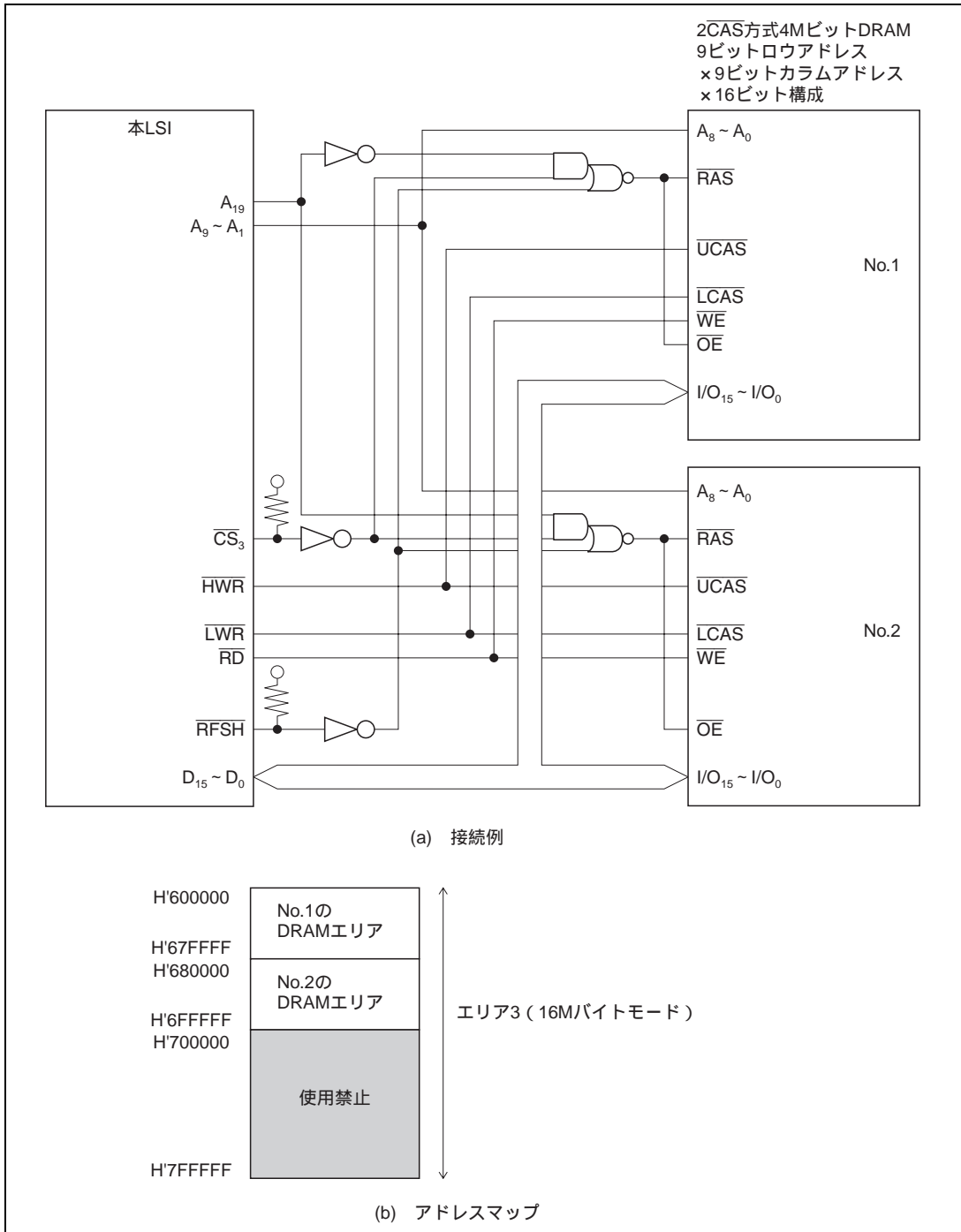


図 7.13 複数チップの2CAS方式4MビットDRAMの接続例とアドレスマップ

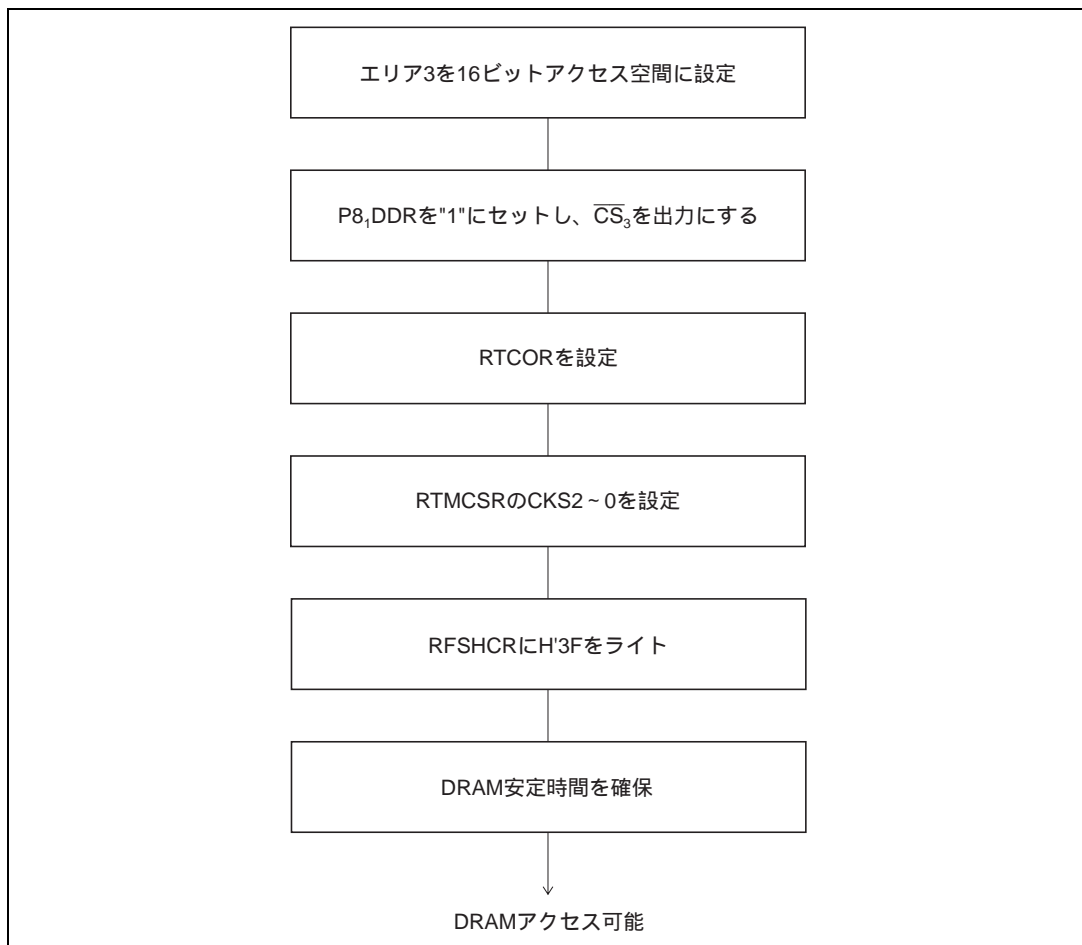


図 7.14 複数チップの2CAS方式4MビットDRAM
(9ビットロウアドレス×9ビットカラムアドレスの場合)の設定順序(16Mバイトモード)

7.3.3 PSRAM リフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

DRAM インタフェースと同様に、RTCOR と RTMCSR の CKS2 ~ CKS0 ビットで、リフレッシュ要求の周期を設定します。

PSRAM のリード/ライトサイクルおよびリフレッシュサイクルに要するステート数は、DRAM と同様です(表 7.4)。また、状態遷移も図 7.3 に示すとおりです。

(2) PSRAM 制御信号

PSRAM に対するリードサイクル、ライトサイクル、およびリフレッシュサイクルを図 7.15 に示します。

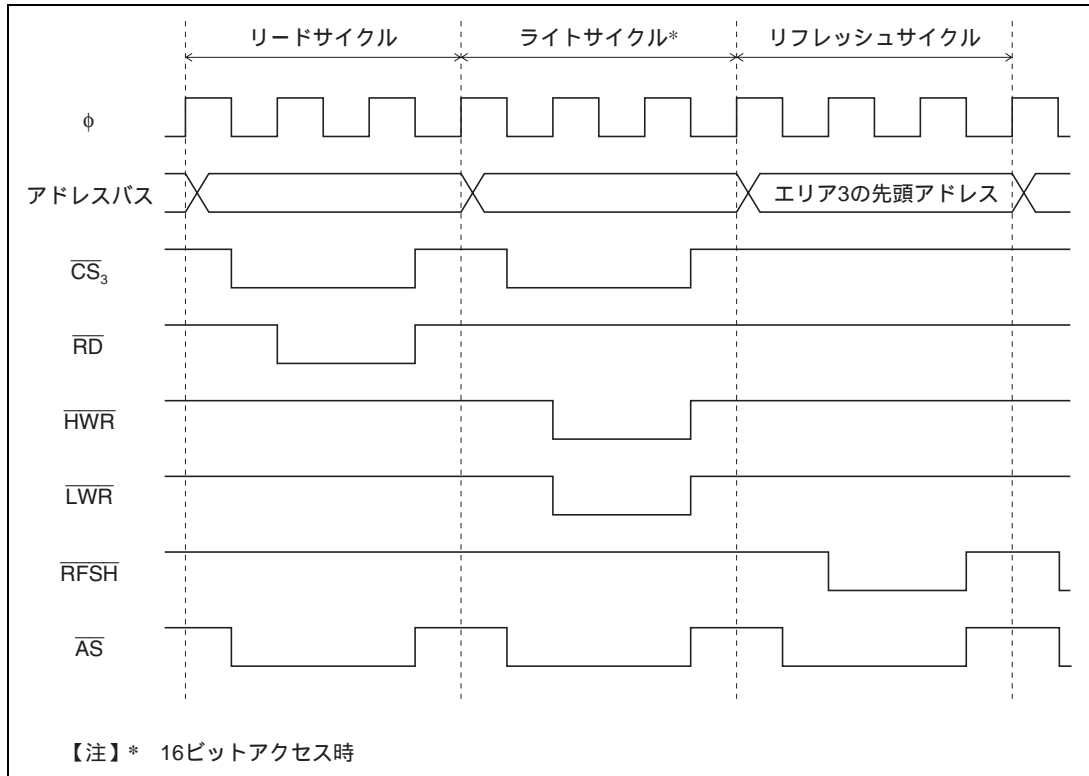


図 7.15 PSRAM 制御信号出力タイミング

(3) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMA コントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(4) ウェイトステートの挿入

ASTCR の AST3 を "1" にセットした場合、ウェイトステートコントローラ (WSC) によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

設定の詳細は、「6.3.5 ウェイトモード」を参照してください。

7. リフレッシュコントローラ

(5) セルフリフレッシュモード

PSRAM はセルフリフレッシュ機能を持つものがあります。

本 LSI では、RFSHCR の SRFMD ビットを "1" にセットした後、ソフトウェアスタンバイモードに遷移すると、 \overline{CS}_3 が "High" レベル出力、 \overline{RFSH} が "Low" レベル出力となり、PSRAM のセルフリフレッシュ機能を利用できます。ソフトウェアスタンバイモードが解除されると、 \overline{RFSH} は "High" レベル出力となります。

表 7.8 にソフトウェアスタンバイモード時の端子状態を、また図 7.16 に信号出力タイミングを示します。

表 7.8 ソフトウェアスタンバイモード時の端子状態 (2)
(PSRAME = "1"、DRAME = "0")

信号	ソフトウェアスタンバイモード時	
	SRFMD = "0"	SRFMD = "1" (セルフリフレッシュモード)
\overline{CS}_3	"High"	"High"
\overline{RD}	ハイインピーダンス	ハイインピーダンス
\overline{HWR}	ハイインピーダンス	ハイインピーダンス
\overline{LWR}	ハイインピーダンス	ハイインピーダンス
\overline{RFSH}	"High"	"Low"

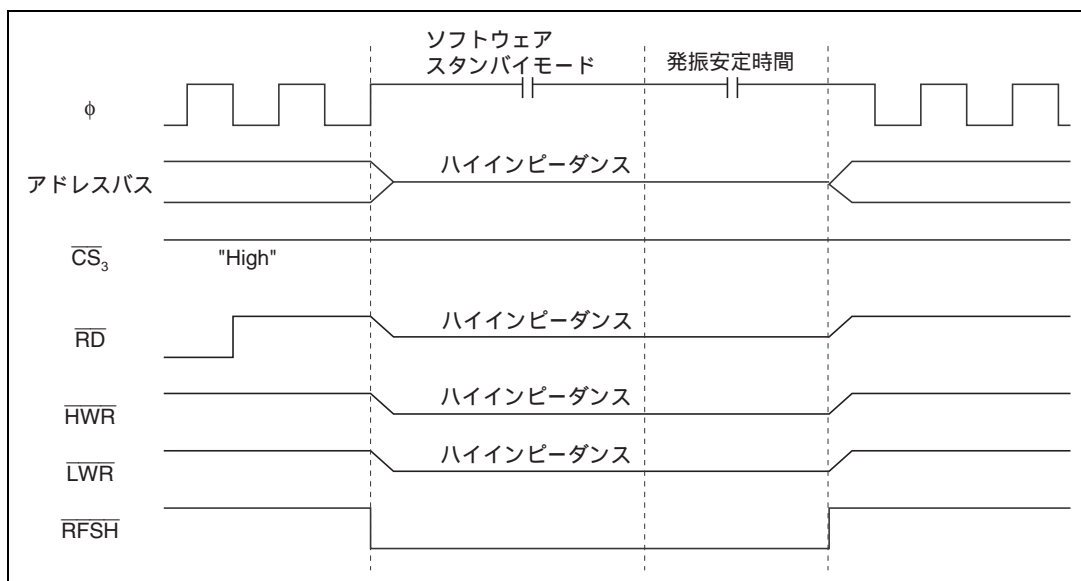


図 7.16 セルフリフレッシュモードの信号出力タイミング (PSRAME = "1"、DRAME = "0")

(6) 低消費電力状態の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNT は初期化されますが、RFSHCR、RTMCSR のビット 5~3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(7) 使用例

PSRAM には、 \overline{OE} 端子と \overline{RFSH} 端子が個別に設けられているものと、 $\overline{OE/RFSH}$ 端子として 1 つになっているものがあります。

図 7.17 に $\overline{OE/RFSH}$ 信号を発生する回路例を示します。デバイス特性をよくご確認の上、適合する回路を設計してください。

図 7.18 にプログラム設定順序を示します。

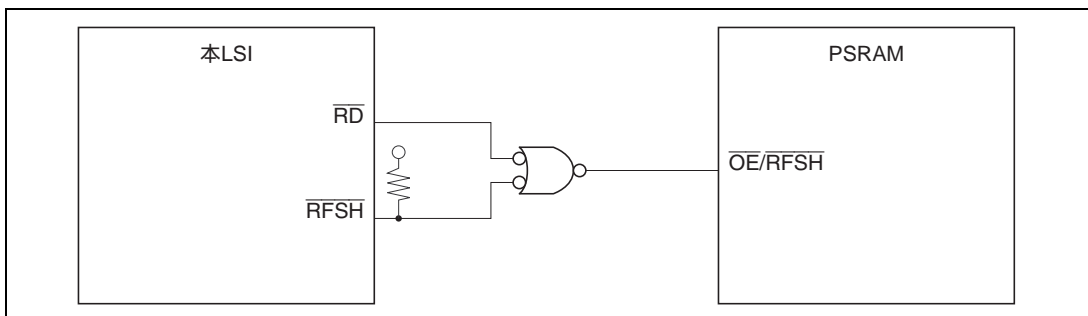


図 7.17 $\overline{OE/RFSH}$ 信号の例

7. リフレッシュコントローラ

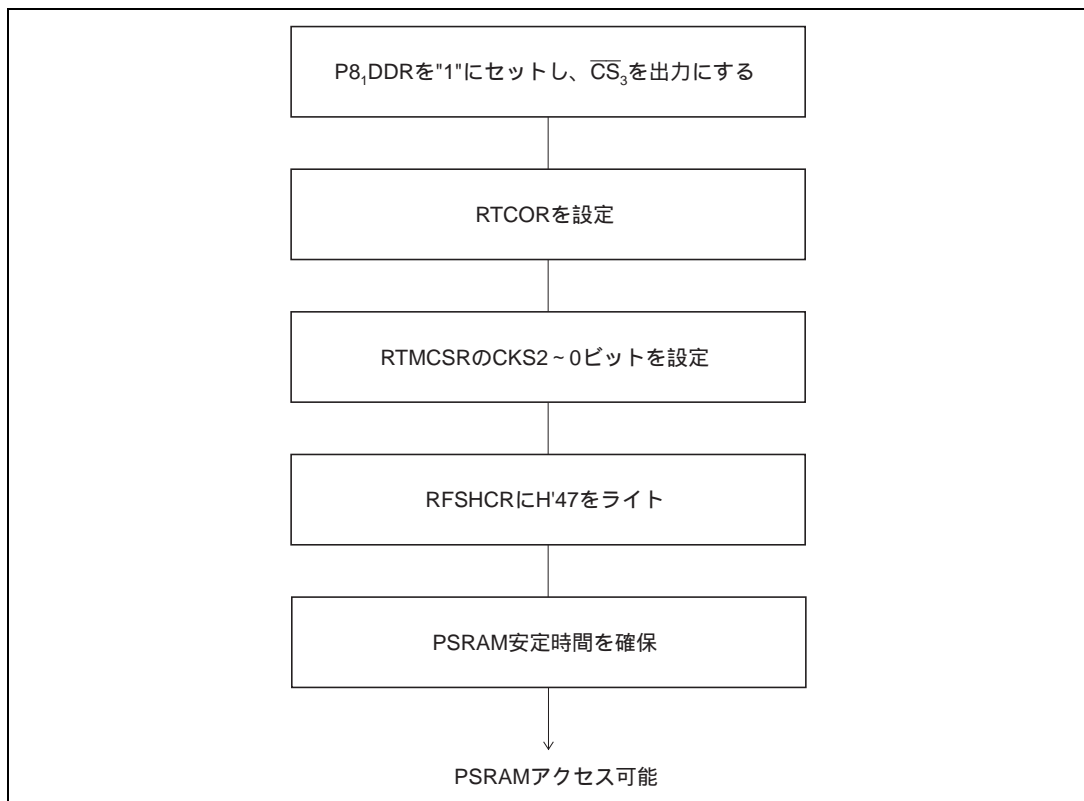


図 7.18 PSRAM のプログラム設定順序

7.3.4 インターバルタイマ

リフレッシュコントローラをインターバルタイマとして使用する場合、PSRAME を"0"、かつ DRAME を"0"にクリアします。RTCOR を設定後、RTMCSR の CKS2 ~ CKS0 ビットにより入力クロックを選択し、CMIE ビットを"1"にセットします。

(1) コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTCSCR の CMF フラグは、RTCOR と RTCNT の値が一致したときに出力されるコンペアマッチ信号により"1"にセットされます。コンペアマッチ信号は一致した最後のステート (RTCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、RTCNT と RTCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 7.19 に示します。

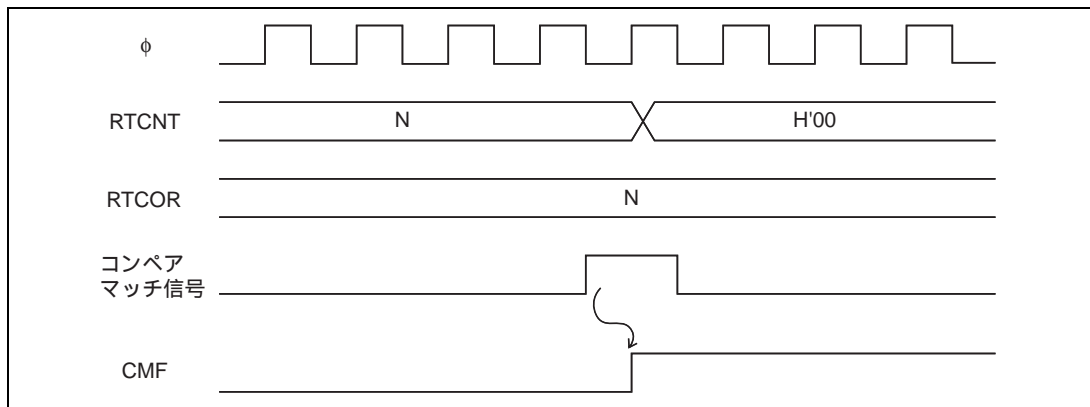


図 7.19 CMF フラグセットタイミング

(2) 低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNT と RTMCSR のビット 7、6 が初期化されますが、RTMCSR のビット 5 ~ 3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3) RTCNT のライトとカウンタクリアの競合

RTCNT のライトサイクル中の T_3 ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 7.20 にこのタイミングを示します。

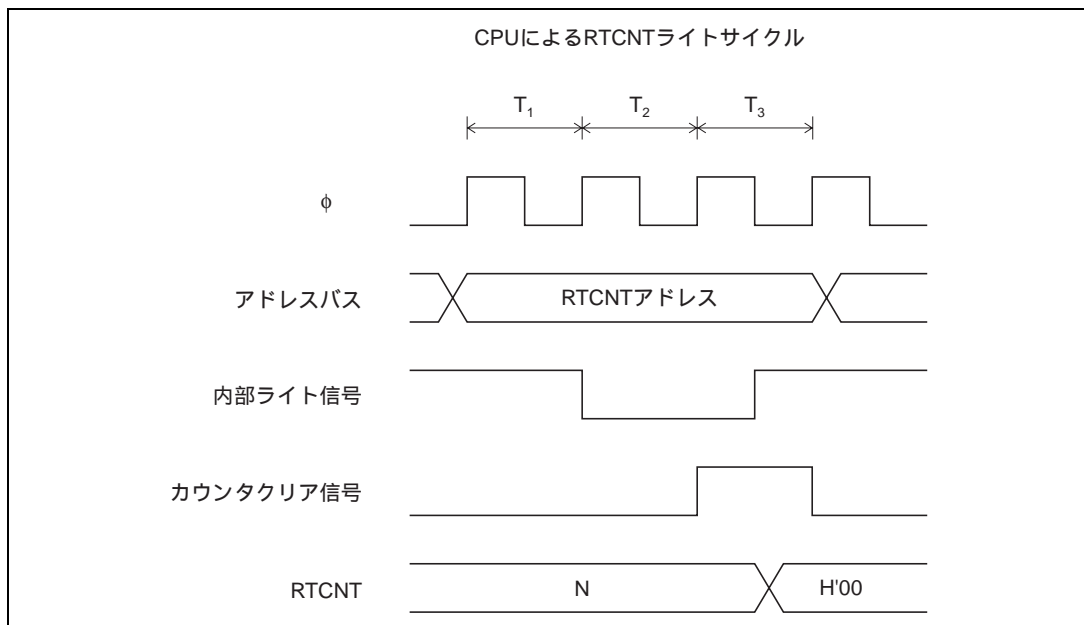


図 7.20 RTCNT のライトとクリアの競合

(4) RTCNT のライトとカウントアップの競合

RTCNT のライトサイクル中の T₃ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図 7.21 にこのタイミングを示します。

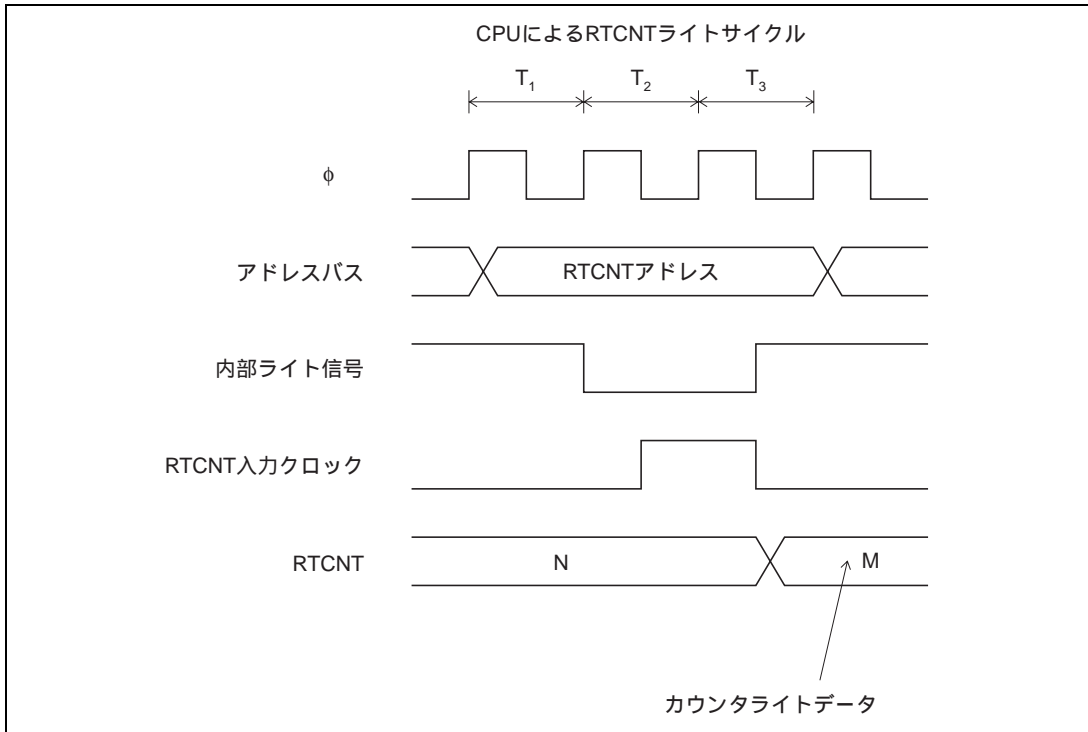


図 7.21 RTCNT のライトとカウントアップの競合

7. リフレッシュコントローラ

(5) RTCOR のライトとコンペアマッチの競合

RTCOR のライトサイクル中の T_3 ステートでコンペアマッチが発生しても、図 7.22 のように RTCOR のライトが優先され、コンペアマッチ信号は禁止されます。

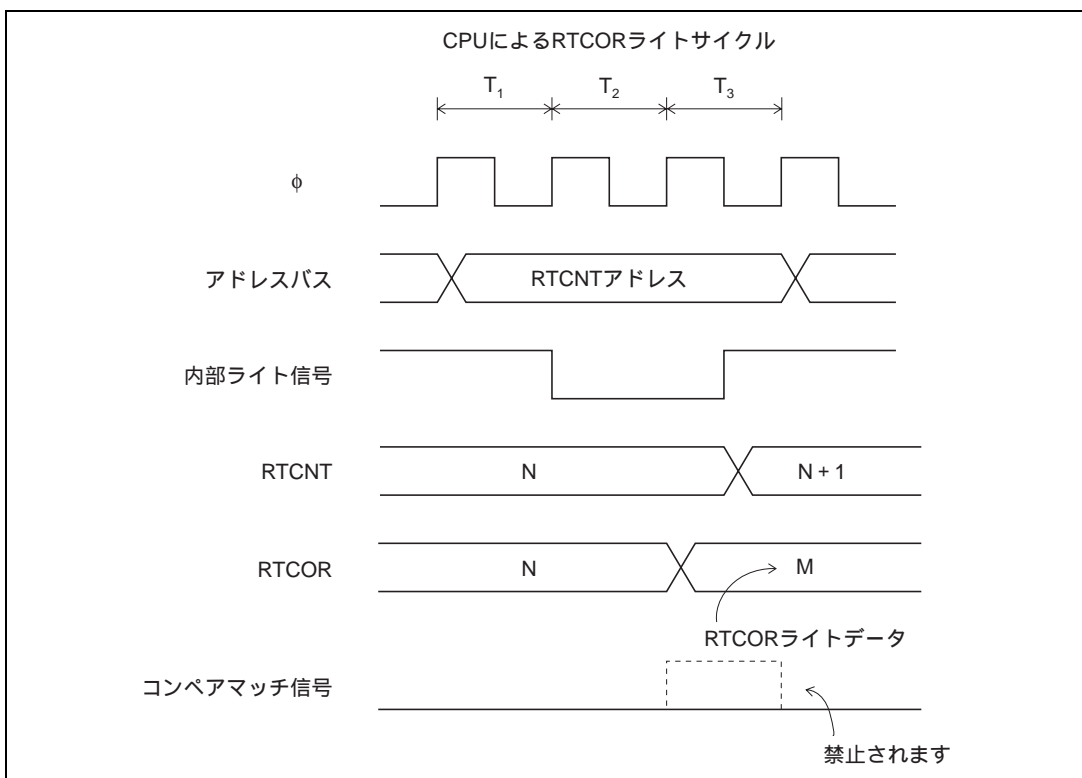


図 7.22 RTCOR のライトとコンペアマッチの競合

(6) 内部クロックの切り替えと RTCNT の動作

内部クロックを切り替えるタイミングによっては、RTCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS2 ~ CKS0 ビットの書き換え) と RTCNT 動作の関係を表 7.9 に示します。

内部クロックから RTCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため、表 7.9 の No.3 のように "High" → "Low" になるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして RTCNT クロックが発生し、RTCNT がカウントアップされてしまいます。

表 7.9 内部クロックの切り替えと RTCNT 動作

No.	CKS2 ~ CKS0 ビット書き換えタイミング	RTCNT 動作
1	"Low" → "Low" レベルの切り替え* ¹	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>CKSビット書き換え</p>
2	"Low" → "High" レベルの切り替え* ²	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>CKSビット書き換え</p>

7. リフレッシュコントローラ

No.	CKS2～CKS0 ビット書き換えタイミング	RTCNT 動作
3	"High"→"Low"レベルの切り替え ^{*3}	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>CKSビット書き換え</p>
4	"High"→"High"レベルの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>RTCNT クロック</p> <p>RTCNT</p> <p>CKSビット書き換え</p>

- 【注】
- *1 "Low"レベル→停止、および停止→"Low"レベルの場合を含みます。
 - *2 停止→"High"レベルの場合を含みます。
 - *3 "High"レベル→停止の場合を含みます。
 - *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、RTCNT はカウントアップしてしまいます。

7.4 割り込み要因

リフレッシュコントローラをインターバルタイマとして使用する場合、コンペアマッチ割り込み (CMI) 要求が発生します。コンペアマッチ割り込み要求は RTMCSCR の CMIE ビットで許可または禁止することができます。

7.5 使用上の注意

DRAM リフレッシュ機能、あるいは PSRAM リフレッシュ機能の使用に際して、以下の点に注意してください。

- (1) 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。
- (2) 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。図7.23にその場合のバスサイクルを示します。

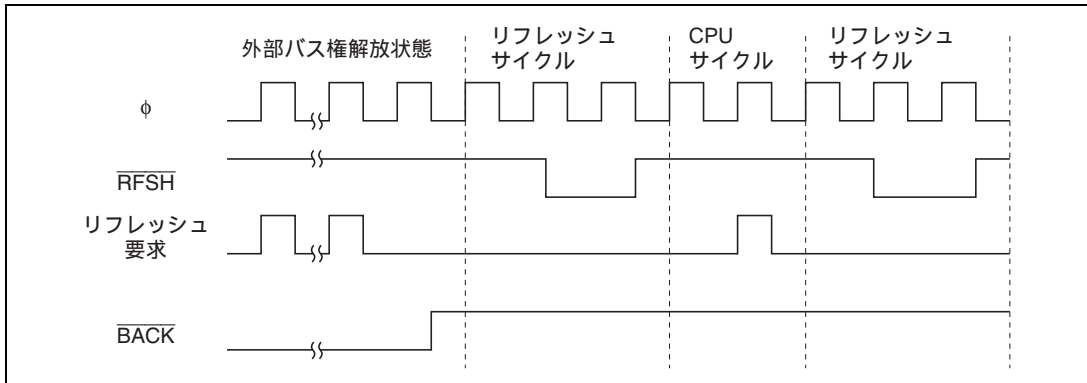


図 7.23 バス解放状態時のリフレッシュサイクル

- (3) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。
- (4) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に1ステートバス解放状態が発生することがあります(図7.24参照)。ソフトウェアスタンバイモードを使用するときは、SLEEP命令を実行する前に、BRCRのBRLEビットを"0"にクリアしてください。また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これもBRCRのBRLEビットを"0"にクリアすることにより防止できます。

7. リフレッシュコントローラ

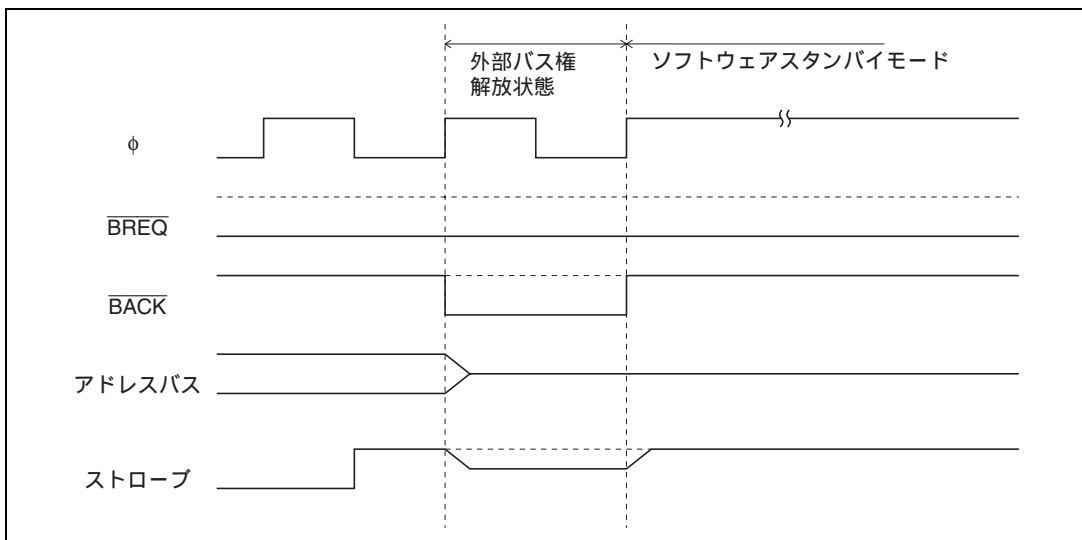


図 7.24 バス解放状態とソフトウェアスタンバイモードの競合

8. DMA コントローラ

8.1 概要

H8/3042 グループは、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

8.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

- 転送元、転送先アドレスの一方を 24 ビット、他方を 8 ビットで指定
- 最大 4 チャンネルを使用可能
- I/O モード / アイドルモード / リピートモードの選択が可能

(2) フルアドレスモード

- 転送元、転送先アドレスを 24 ビットで指定
- 最大 2 チャンネルを使用可能
- ノーマルモード / ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト / ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- 16 ビットインテグレートドタイマユニット (ITU) のコンペアマッチ / インพุットキャプチャ割り込み × 4
- シリアルコミュニケーションインタフェース (SCI) の送信データエンプティ割り込み、受信データフル割り込み
- 外部リクエスト
- オートリクエスト

8.1.2 ブロック図

DMAC のブロック図を図 8.1 に示します。

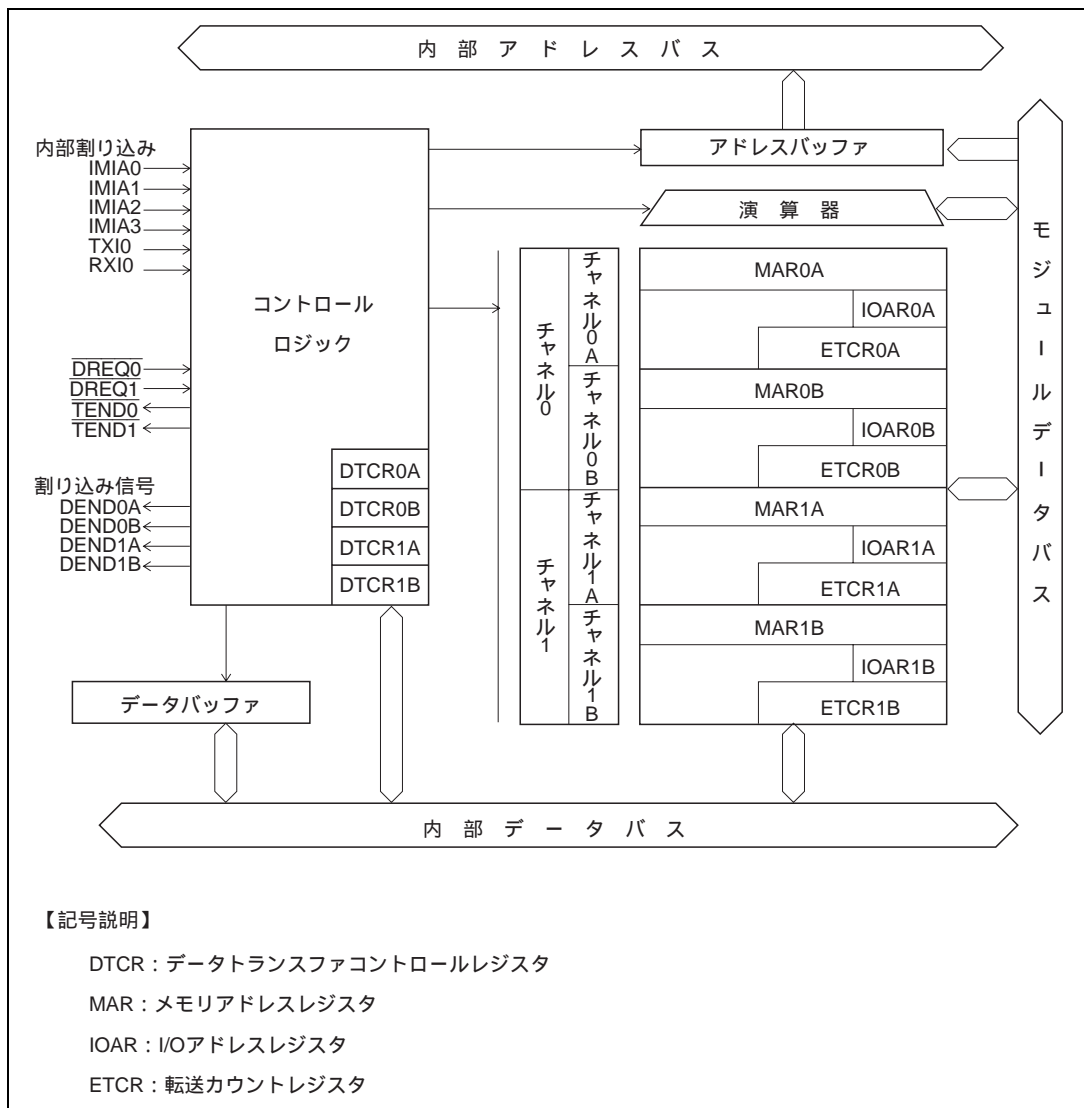


図 8.1 DMAC のブロック図

8.1.3 機能概要

DMAC の機能概要を表 8.1 に示します。

表 8.1 DMAC の機能概要

転送モード		転送要因	アドレスレジスタ ビット長	
			ソース	デスティネーション
ショートアドレスモード	(1) I/O モード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> ITU チャンネル 0~3 のコンペアマッチ / インプットキャプチャ A 割り込み SCI の送信データエンベティ割り込み 	24	8
	(2) アイドルモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスは固定 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> SCI の受信データフル割り込み 	8	24
	(3) リピートモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 メモリアドレスを 1 または 2 増減 指定回数 (1 ~ 255) 転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> 外部リクエスト 	24	8
フルアドレスモード	(1) ノーマルモード オートリクエスト <ul style="list-style-type: none"> 転送要求を内部保持 指定回数 (1 ~ 65536) 継続して転送 バーストモード / サイクルスチールモードを選択可能 外部リクエスト 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> オートリクエスト 外部リクエスト 	24	24
	(2) ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定したブロックサイズの転送 転送回数は 1 ~ 65536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズ 1 ~ 255 バイトまたはワード 	<ul style="list-style-type: none"> ITU チャンネル 0~3 のコンペアマッチ / インプットキャプチャ A 割り込み 外部リクエスト 	24	24

8. DMA コントローラ

8.1.4 端子構成

DMAC の端子構成を表 8.2 に示します。

表 8.2 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 要求 0	\overline{DREQ}_0	入力	DMAC チャンネル 0 の外部リクエスト
	DMA 終了 0	\overline{TEND}_0	出力	DMAC チャンネル 0 の転送終了
1	DMA 要求 1	\overline{DREQ}_1	入力	DMAC チャンネル 1 の外部リクエスト
	DMA 終了 1	\overline{TEND}_1	出力	DMAC チャンネル 1 の転送終了

【注】 ショートアドレスモードでは、チャンネル A に対する外部リクエストは行えません。

8.1.5 レジスタ構成

DMAC のレジスタ構成を表 8.3 に示します。

表 8.3 レジスタ構成

チャネル	アドレス*	名称	略称	R/W	初期値
0	H'FF20	メモリアドレスレジスタ 0AR	MAR0AR	R/W	不定
	H'FF21	メモリアドレスレジスタ 0AE	MAR0AE	R/W	不定
	H'FF22	メモリアドレスレジスタ 0AH	MAR0AH	R/W	不定
	H'FF23	メモリアドレスレジスタ 0AL	MAR0AL	R/W	不定
	H'FF26	I/O アドレスレジスタ 0A	IOAR0A	R/W	不定
	H'FF24	転送カウントレジスタ 0AH	ETCR0AH	R/W	不定
	H'FF25	転送カウントレジスタ 0AL	ETCR0AL	R/W	不定
	H'FF27	データ転送ファ コントロールレジスタ 0A	DTCR0A	R/W	H'00
	H'FF28	メモリアドレスレジスタ 0BR	MAR0BR	R/W	不定
	H'FF29	メモリアドレスレジスタ 0BE	MAR0BE	R/W	不定
	H'FF2A	メモリアドレスレジスタ 0BH	MAR0BH	R/W	不定
	H'FF2B	メモリアドレスレジスタ 0BL	MAR0BL	R/W	不定
	H'FF2E	I/O アドレスレジスタ 0B	IOAR0B	R/W	不定
	H'FF2C	転送カウントレジスタ 0BH	ETCR0BH	R/W	不定
	H'FF2D	転送カウントレジスタ 0BL	ETCR0BL	R/W	不定
H'FF2F	データ転送ファ コントロールレジスタ 0B	DTCR0B	R/W	H'00	
1	H'FF30	メモリアドレスレジスタ 1AR	MAR1AR	R/W	不定
	H'FF31	メモリアドレスレジスタ 1AE	MAR1AE	R/W	不定
	H'FF32	メモリアドレスレジスタ 1AH	MAR1AH	R/W	不定
	H'FF33	メモリアドレスレジスタ 1AL	MAR1AL	R/W	不定
	H'FF36	I/O アドレスレジスタ 1A	IOAR1A	R/W	不定
	H'FF34	転送カウントレジスタ 1AH	ETCR1AH	R/W	不定
	H'FF35	転送カウントレジスタ 1AL	ETCR1AL	R/W	不定
	H'FF37	データ転送ファ コントロールレジスタ 1A	DTCR1A	R/W	H'00
	H'FF38	メモリアドレスレジスタ 1BR	MAR1BR	R/W	不定
	H'FF39	メモリアドレスレジスタ 1BE	MAR1BE	R/W	不定
	H'FF3A	メモリアドレスレジスタ 1BH	MAR1BH	R/W	不定
	H'FF3B	メモリアドレスレジスタ 1BL	MAR1BL	R/W	不定
	H'FF3E	I/O アドレスレジスタ 1B	IOAR1B	R/W	不定
	H'FF3C	転送カウントレジスタ 1BH	ETCR1BH	R/W	不定
	H'FF3D	転送カウントレジスタ 1BL	ETCR1BL	R/W	不定
H'FF3F	データ転送ファ コントロールレジスタ 1B	DTCR1B	R/W	H'00	

【注】 * アドレスの低位 16 ビットを示しています。

8.2 各レジスタの説明(1) (ショートアドレスモード)

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 8.4 に示すように DTCRA の DTS2A、DTS1A ビットにより各チャンネルのショートアドレスモード転送を指定します。

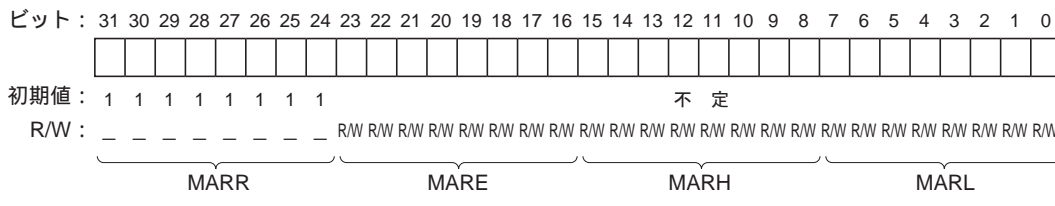
表 8.4 ショートアドレスモード、フルアドレスモードの設定

チャネル	ビット 2	ビット 1	説明
	DTS2A	DTS1A	
0	1	1	DMAC チャンネル 0 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 0A、チャンネル 0B は、おのこの独立動作で 2 チャンネルのショートアドレスモード転送
1	1	1	DMAC チャンネル 1 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 1A、チャンネル 1B は、おのこの独立動作で 2 チャンネルのショートアドレスモード転送

8.2.1 メモリアドレスレジスタ (MAR)

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。転送方向は起動要因により自動的に決定されます。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR は全ビットリザーブビットです。リードすると常に "1" が読み出されます。ライトは無効です。



ソースアドレスまたはデスティネーションアドレスを設定

MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI の受信完了割り込みの場合はデスティネーションアドレスレジスタとして、それ以外の場合にはソースアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新していきます。詳細は、「8.2.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

MAR は、リセット、またはスタンバイモード時に初期化されません。

8.2.2 I/O アドレスレジスタ (IOAR)

IOAR は 8 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOAR はアドレスの下位 8 ビットを指定し、上位 16 ビットはすべて "1" (H'FFFF) となります。



IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI の受信完了割り込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

IOAR は転送によってインクリメント/デクリメントされず、固定されます。

IOAR は、リセット、またはスタンバイモード時に初期化されません。

8.2.3 転送カウントレジスタ (ETCR)

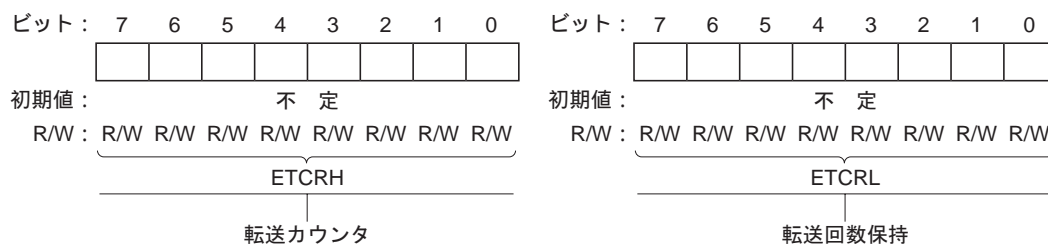
ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/O モードおよびアイドルモードと、リピートモードとでは機能が異なります。

(1) I/O モードまたはアイドルモード



I/O モードとアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに、1 だけデクリメントされカウンタ値が H'0000 になると転送を終了します。

(2) リピートモード

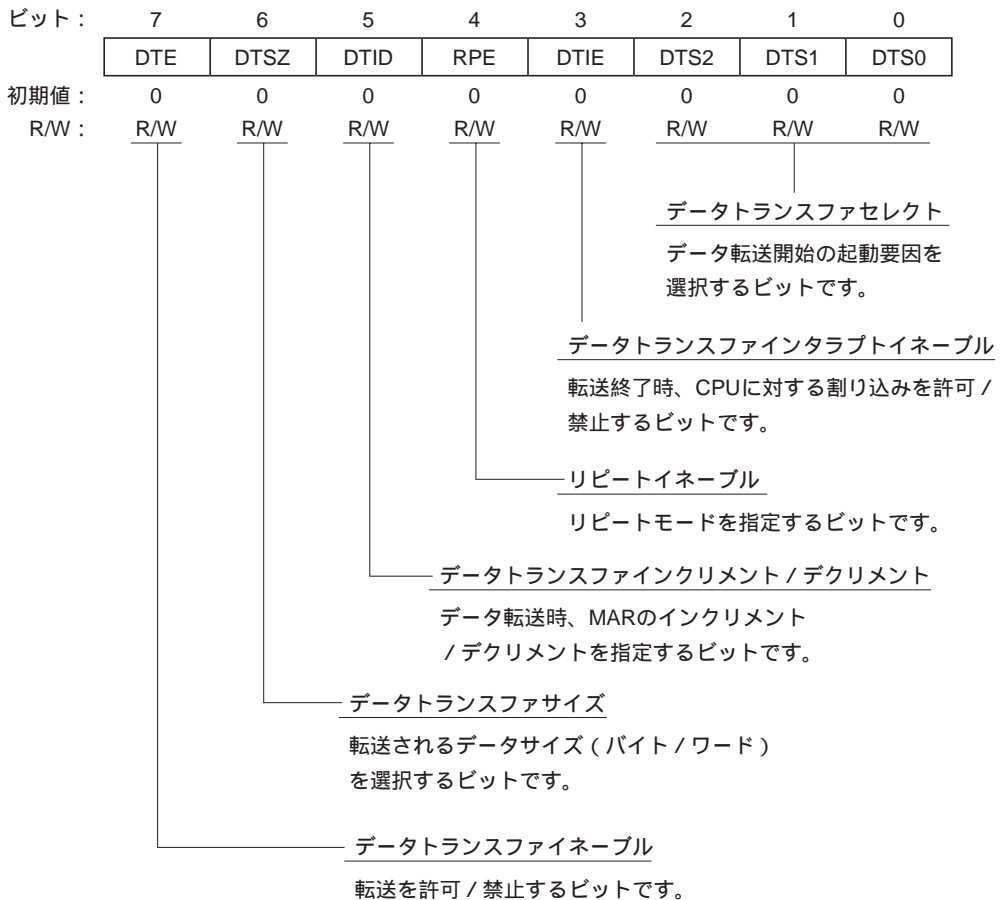


リピートモードでは、ETCRH は 8 ビットの転送カウンタとして機能し、ETCRL は転送回数を保持します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCR は、リセット、またはスタンバイモード時に初期化されません。

8.2.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。



DTCR はリセット、またはスタンバイモード時に H'00 に初期化されます。

8. DMA コントローラ

ビット7：データトランスファイネーブル (DTE)

当該チャンネルのデータ転送を許可/禁止します。DTE ビットを"1"にセットすると、そのチャンネルは転送要求待ち状態となり、DTS2～DTS0 ビットで指定された起動要因によりデータ転送が行われます。本ビットが"0"のとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは、DTE="0"の状態をリードした後、"1"をライトしたとき"1"にセットされます。

ビット7	説明
DTE	
0	データ転送禁止。I/O モードとアイドルモードでは、指定された回数の転送を終了したとき、"0"にクリア (初期値)
1	データ転送許可

DTIE="1"の状態、本ビットが"0"にクリアされると CPU に割り込みを要求します。

ビット6：データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット6	説明
DTSZ	
0	バイトサイズに転送 (初期値)
1	ワードサイズに転送

ビット5：データトランスファインクリメント/デクリメント (DTID)

I/O モードまたはリピートモードの場合、データ転送後の MAR のインクリメント/デクリメントを選択します。

ビット5	説明
DTID	
0	データ転送後 MAR をインクリメント (1) DTSZ="0"のとき、転送後 MAR を +1 (2) DTSZ="1"のとき、転送後 MAR を +2
1	データ転送後 MAR をデクリメント (1) DTSZ="0"のとき、転送後 MAR を -1 (2) DTSZ="1"のとき、転送後 MAR を -2

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

ビット4：リピートイネーブル（RPE）

データ転送を I/O モード、アイドルモード、またはリピートモードで行うかを選択します。

ビット4	ビット3	説明
RPE	DTIE	
0	0	I/O モードで転送 (初期値)
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

I/O モード、アイドルモード、およびリピートモードの動作については、「8.4.2 I/O モード」、「8.4.3 アイドルモード」、および「8.4.4 リピートモード」を参照してください。

ビット3：データトランスファインタラプトイネーブル（DTIE）

DTE ビットが"0"にクリアされたとき、DTE ビットによる割り込み（DEND）要求を許可 / 禁止します。

ビット3	説明
DTIE	
0	DTE による割り込み（DEND）要求を禁止 (初期値)
1	DTE による割り込み（DEND）要求を許可

ビット2～0：データトランスファセレクト（DTS2～DTS0）

データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部指定内容が異なります。

（チャンネル A）

ビット2	ビット1	ビット0	説明
DTS2A	DTS1A	DTS0A	
0	0	0	ITU チャンネル0のコンペアマッチ/インプットキャプチャA 割り込みで起動 (初期値)
		1	ITU チャンネル1のコンペアマッチ/インプットキャプチャA 割り込みで起動
	1	0	ITU チャンネル2のコンペアマッチ/インプットキャプチャA 割り込みで起動
		1	ITU チャンネル3のコンペアマッチ/インプットキャプチャA 割り込みで起動
1	0	0	SCI チャンネル0の送信データエンプティ割り込みで起動
		1	SCI チャンネル0の受信データフル割り込みで起動
	1	*	フルアドレスモード転送を指定

8. DMA コントローラ

(チャンネルB)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	ITUチャンネル0のコンペアマッチ/インプットキャプチャA割り込みで起動 (初期値)
		1	ITUチャンネル1のコンペアマッチ/インプットキャプチャA割り込みで起動
	1	0	ITUチャンネル2のコンペアマッチ/インプットキャプチャA割り込みで起動
		1	ITUチャンネル3のコンペアマッチ/インプットキャプチャA割り込みで起動
1	0	0	SCIチャンネル0の送信データエンプティ割り込みで起動
		1	SCIチャンネル0の受信データフル割り込みで起動
	1	0	DREQ端子の立ち下がりエッジ入力で起動
		1	DREQ端子の"Low"レベル入力で起動

【注】 * 「8.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

内部割り込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMAC 複数チャンネルの動作」を参照してください。

転送許可の状態 (DTE = "1") では、DMAC の起動要因に選択された割り込みは、CPU に対して割り込みを要求しません。

8.3.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

(1) ノーマルモード

(a) ETCRA



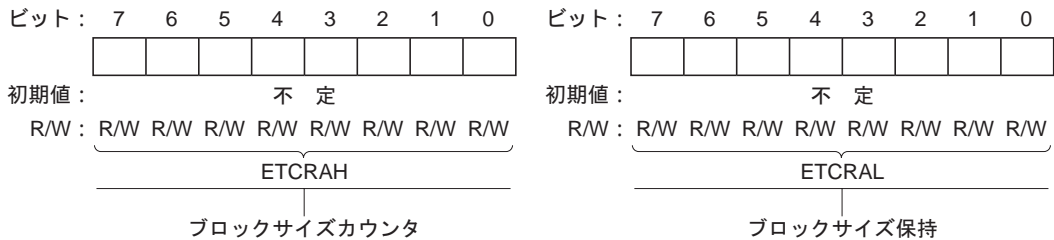
(b) ETCRB

ETCRB はノーマルモードでは使用しません。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

(2) ブロック転送モード

(a) ETCRA



(b) ETCRB



ブロック転送モードでは、ETCRAH は 8 ビットのブロックサイズカウンタとして機能し、ETCRAL はブロックサイズを保持します。ETCRAH は、1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAL の内容が転送されます。したがって、ETCRAH と ETCRAL にブロックサイズを初期設定することにより、任意のバイト数またはワード数のブロック転送を繰り返し行うことができます。

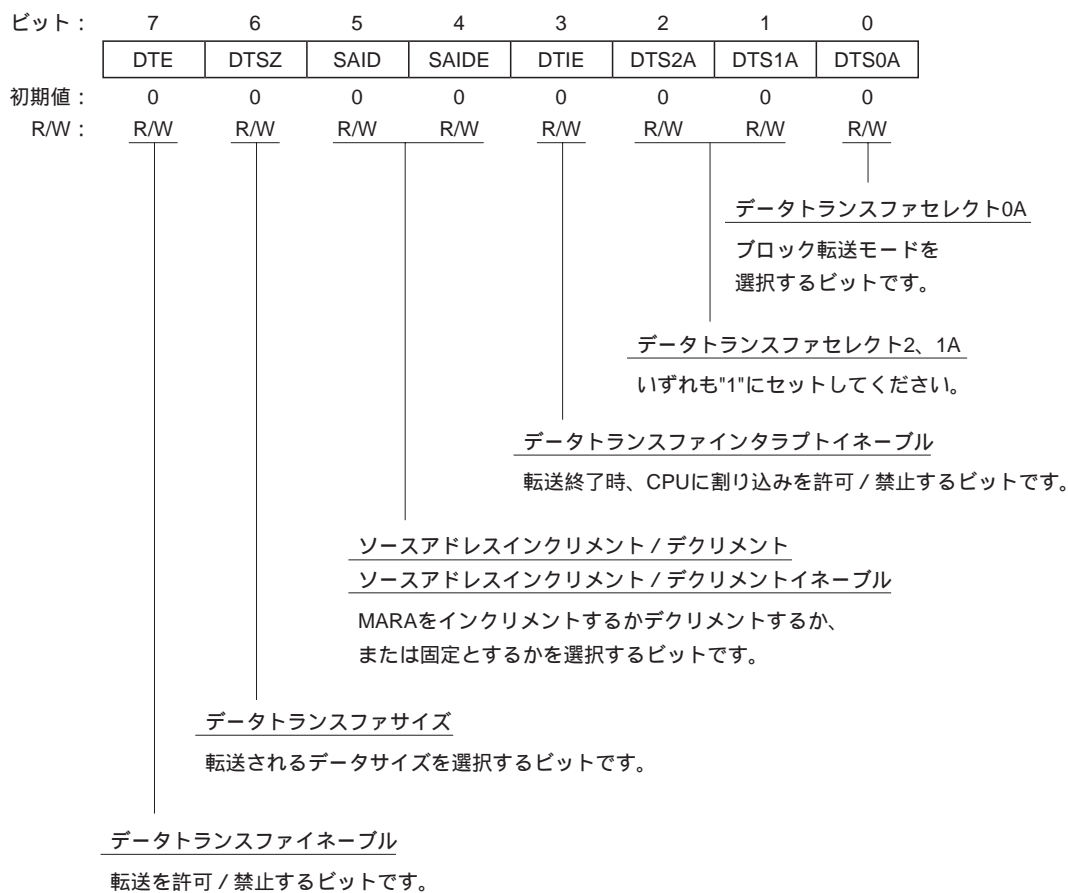
また、ブロック転送モードでは ETCRB は 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。

ETCR は、リセット、またはスタンバイモード時には初期化されません。

8.3.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。DTCRA の DTS2A、DTS1A ビットをいずれも"1"にセットすると当該チャネルはフルアドレスモードとなります。フルアドレスモードでは DTCRA と DTCRB では機能が異なります。

(1) DTCRA



DTCRA はリセット、またはスタンバイモード時に H'00 に初期化されます。

ビット7：データトランスファイネーブル（DTE）

DTCRB の DTME ビットとともに当該チャンネルのデータ転送の許可 / 禁止を制御します。DTME ビットと DTE ビットをいずれも"1"にセットすると、そのチャンネルは転送許可状態となります。オートリクエストを指定したときはただちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了すると DTE ビットは自動的に"0"にクリアされます。本ビットが"0"にクリアされているとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは"0"の状態をリードした後、"1"をライトしたとき"1"にセットされます。

ビット7	説明	
DTE		
0	データ転送禁止（指定された回数の転送を終了したとき"0"にクリア）	（初期値）
1	データ転送許可	

DTIE = "1"の状態、本ビットが"0"にクリアされるとCPUに割り込みを要求します。

ビット6：データトランスファサイズ（DTSZ）

1 回に転送されるデータサイズを選択します。

ビット6	説明	
DTSZ		
0	バイトサイズ転送	（初期値）
1	ワードサイズ転送	

ビット5：ソースアドレスインクリメント / デクリメント（SAID）

ビット4：ソースアドレスインクリメント / デクリメントイネーブル（SAIDE）

データ転送時、ソースアドレスレジスタ MARA をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
SAID	SAIDE	
0	0	MARA 固定 （初期値）
	1	データ転送後 MARA をインクリメント （1）DTSZ = "0"のとき、データ転送後 MARA を +1 （2）DTSZ = "1"のとき、データ転送後 MARA を +2
1	0	MARA 固定
	1	データ転送後 MARA をデクリメント （1）DTSZ = "0"のとき、データ転送後 MARA を -1 （2）DTSZ = "1"のとき、データ転送後 MARA を -2

8. DMA コントローラ

ビット3：データトランスファインタラプトイネーブル (DTIE)

DTE ビットが"0"にクリアされたとき、DTE による割り込み (DEND) 要求を許可 / 禁止します。

ビット3	説明
DTIE	
0	DTE による割り込み (DEND) 要求を禁止 (初期値)
1	DTE による割り込み (DEND) 要求を許可

ビット2、1：データトランスファセレクト 2、1A (DTS2A、DTS1A)

DTS2A、DTS1A ビットをいずれも"1"にセットしたとき、当該チャンネルはフルアドレスモードとなります。

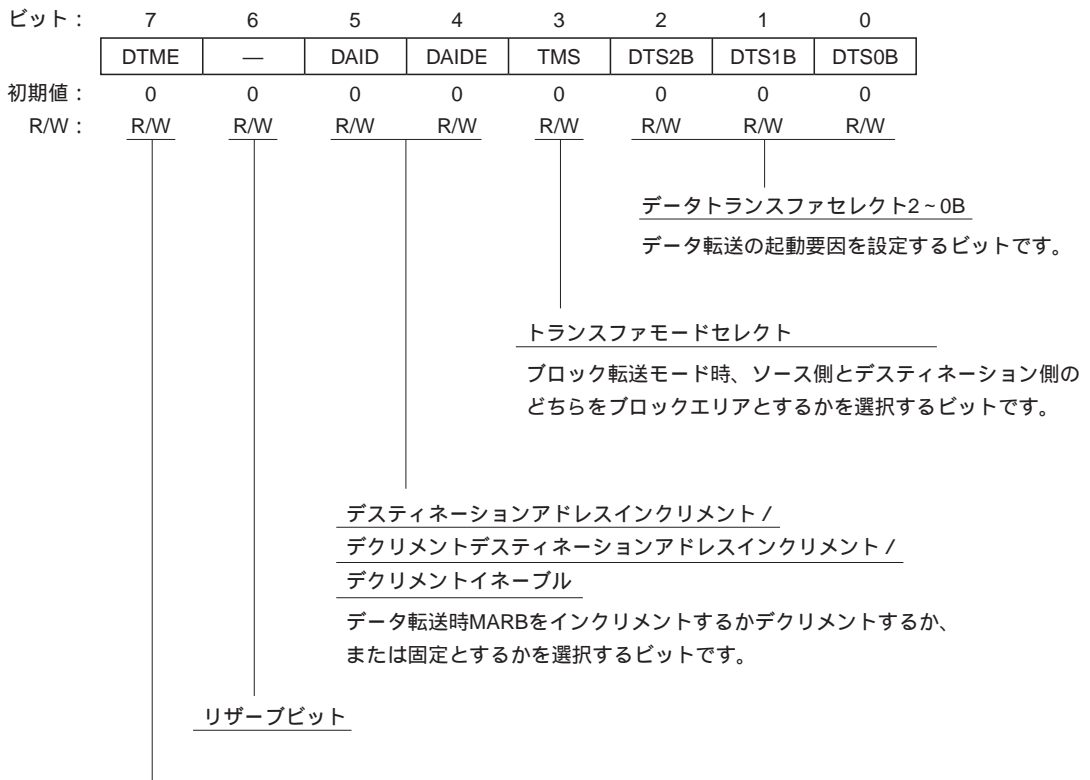
ビット0：データトランスファセレクト 0A (DTS0A)

DMAC をノーマルモードで動作させるか、ブロック転送モードで動作させるかを選択します。

ビット0	説明
DTS0A	
0	ノーマルモードで動作 (初期値)
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「8.4.5 ノーマルモード」、「8.4.6 ブロック転送モード」を参照してください。

(2) DTCRB

データトランスファマスタイネーブル

DTEビットとともに転送の許可/禁止を制御するビットです。
割り込みが発生すると"0"にクリアされます。

DTCRB は、リセット、またはスタンバイモード時に、H'00 に初期化されます。

ビット7: データトランスファマスタイネーブル (DTME)

DTCRA の DTE ビットとともに当該チャンネルのデータ転送の許可/禁止を制御します。DTME ビットと DTE ビットをいずれも"1"にセットすると、そのチャンネルは転送許可状態となります。NMI 割り込みが発生したとき DTME ビットは"0"にクリアされ、転送を中断して CPU にバス権を移します。その後、本ビットを"1"にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「8.6.6 NMI 割り込みとブロック転送モード」を参照してください。

DTME ビットは、DTME = "0"の状態をリードした後、"1"をライトすると"1"にセットされます。

ビット7	説明	
DTME		
0	データ転送禁止。NMI 割り込みが発生したとき"0"にクリア	(初期値)
1	データ転送許可	

8. DMA コントローラ

ビット6：リザーブビット

リザーブビットです。リード/ライト可能です。

ビット5：デスティネーションアドレスインクリメント/デクリメント (DAID)

ビット4：デスティネーションアドレスインクリメント/デクリメントイネーブル (DAIDE)

データ転送時、MARB をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後 MARB をインクリメント (1) DTSZ="0"のとき、データ転送後 MARB を +1 (2) DTSZ="1"のとき、データ転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント (1) DTSZ="0"のとき、データ転送後 MARB を -1 (2) DTSZ="1"のとき、データ転送後 MARB を -2

ビット3：トランスファモードセレクト (TMS)

ブロック転送モード時、ソース側とデスティネーション側のどちらをブロックエリアとして転送するかを選択します。

ビット3	説明
TMS	
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送 (初期値)
1	ブロック転送モード時、ソース側をブロックエリアとして転送

ビット2~0：データトランスファセレクト 2~0B (DTS2B~DTS0B)

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

(ノーマルモード)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	オートリクエスト (バーストモード) (初期値)
		1	使用できません。
	1	0	オートリクエスト (サイクルスチールモード)
		1	使用できません。
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立ち上がりエッジ入力で起動
		1	DREQ 端子の"Low"レベル入力で起動

(ブロック転送モード)

ビット 2	ビット 1	ビット 0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	ITU チャンネル 0 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動 (初期値)
		1	ITU チャンネル 1 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
	1	0	ITU チャンネル 2 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
		1	ITU チャンネル 3 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立ち下がりエッジ入力で起動
		1	使用できません。

内部割り込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMAC 複数チャンネルの動作」を参照してください。

8.4 動作説明

8.4.1 概要

DMAC のモード一覧を表 8.5 に示します。

表 8.5 モード一覧

転送モード		起動要因	備考
ショート アドレス モード	(1) I/O モード	ITU チャンネル 0~3 のコンペアマッチ / インพุットキャプチャ A 割り込み	<ul style="list-style-type: none"> 最大 4 チャンネルを独立に動作可能 外部リクエストはチャンネル B のみ可能
	(2) アイドルモード	SCI の送信データエンプティ / 受信 データフル割り込み	
	(3) リピートモード	外部リクエスト	
フル アドレス モード	(4) ノーマルモード	オートリクエスト	<ul style="list-style-type: none"> チャンネル A、B を組み合わせて最大 2 チャンネルを動作可能 オートリクエストではバーストモード転送 / サイクルステールモード転送の選択可能
		外部リクエスト	
	(5) ブロック転送モード	ITU チャンネル 0~3 のコンペアマッチ / インพุットキャプチャ A 割り込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

(1) I/O モード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(2) アイドルモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。アドレスは固定になっています。転送方向は起動要因により自動的に決定されます。

(3) リピートモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU に対して割り込みは要求しません。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(4) ノーマルモード

(a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を続けます。転送が完了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード 1 バイトまたは 1 ワード転送ごとにバスをいったん他のバスマスタに解放します。
- バーストモード 他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

(b) 外部リクエスト

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

(5) ブロック転送モード

1 回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。1 回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。




8.4.2 I/O モード

I/O モードは各チャネル独立に設定可能です。

I/O モードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は起動要因によって自動的に決定され、SCI の受信データフル割り込みで起動される場合は IOAR で指定されるアドレスから MAR で指定されるアドレスへ、それ以外の場合は MAR で指定されるアドレスから IOAR で指定されるアドレスへ転送されます。

I/O モード時のレジスタの機能を表 8.6 に示します。

表 8.6 I/O モード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	SCI 受信データフル割り込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされます。IOAR はアドレス下位 8 ビットを指定し、上位 16 ビットは"1"となります。IOAR はインクリメントもデクリメントもされません。

図 8.2 に I/O モードの動作を示します。

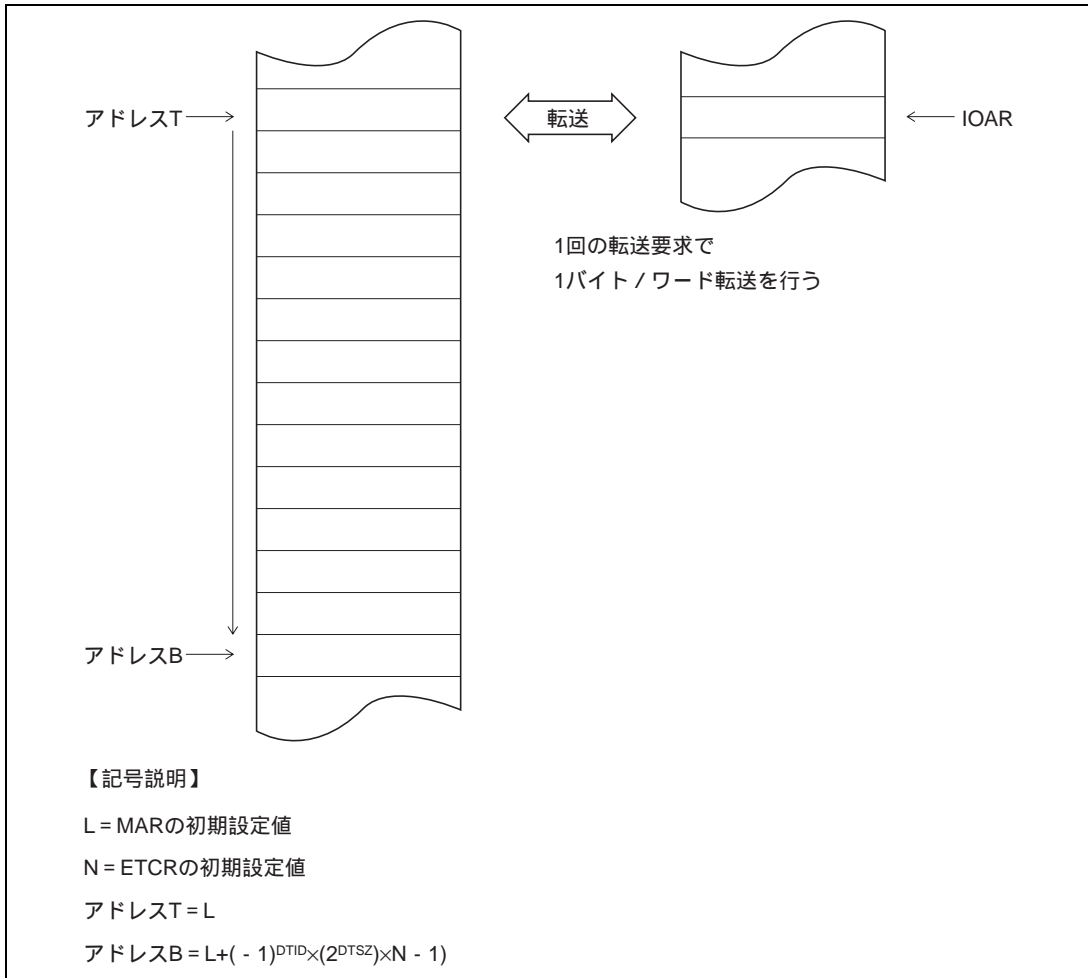


図 8.2 I/O モードの動作

転送回数はETCRによって16ビットで指定します。ETCRは1回の転送を行うたびに1だけデクリメントされ、H'0000となったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが"1"にセットされているとCPUに割り込みを要求します。

なお、転送回数の最大値はETCRにH'0000を設定したときで、65536となります。

転送要求(起動要因)には、ITUチャンネル0~3のコンペアマッチ/インプットキャプチャA割り込み、SCIの送信データエンプティ、受信データフル割り込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。

I/Oモードの設定手順例を図8.3に示します。

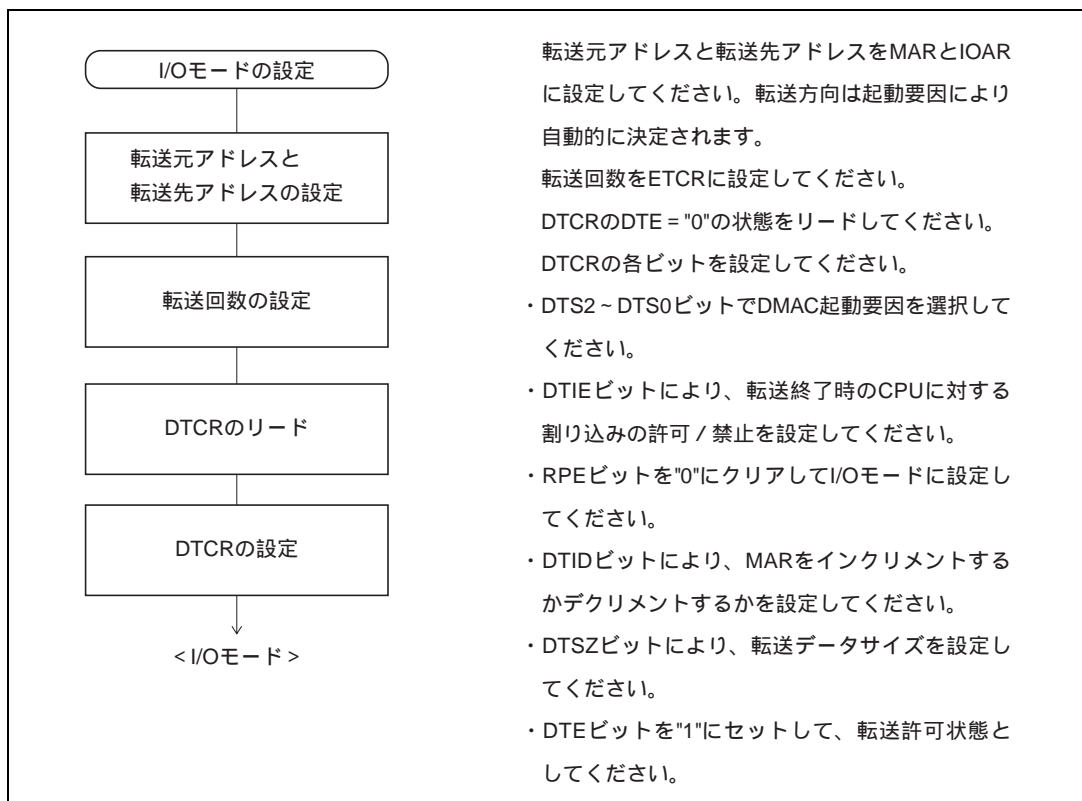


図 8.3 I/O モードの設定手順例

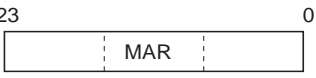
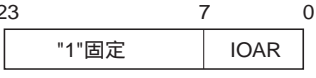
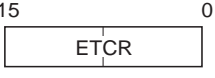
8.4.3 アイドルモード

アイドルモードは各チャネル独立に設定可能です。

アイドルモードでは、1回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIの受信データフル割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を表8.7に示します。

表 8.7 アイドルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	SCI 受信データフル割り込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元のアドレス	固定
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
	転送カウンタ		転送回数	1回の転送ごとにデクリメント H'0000になると転送終了

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先のアドレスを 24 ビットで指定します。IOAR はアドレス下位 8 ビットを指定し、上位 16 ビットは "1" となります。MAR、IOAR はインクリメントもデクリメントもされません。

図 8.4 にアイドルモードの動作を示します。

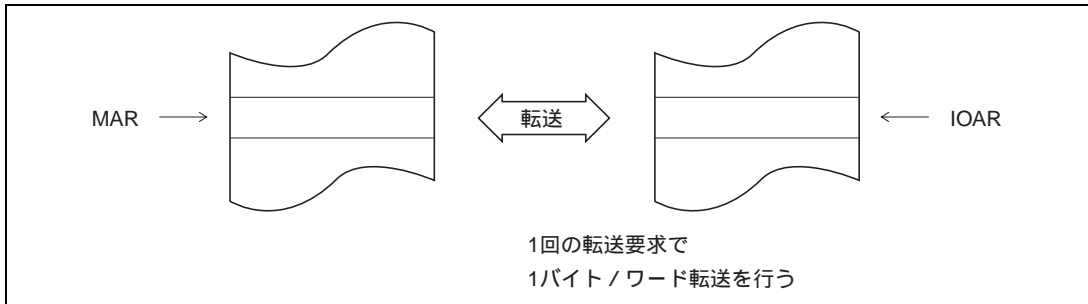


図 8.4 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、CPU に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、ITU チャネル 0~3 のコンペアマッチ / インพุットキャプチャ A 割り込み、SCI の送信データエンプティ、受信データフル割り込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データ転送コントロールレジスタ (DTCR)」を参照してください。

アイドルモードの設定手順例を図 8.5 に示します。

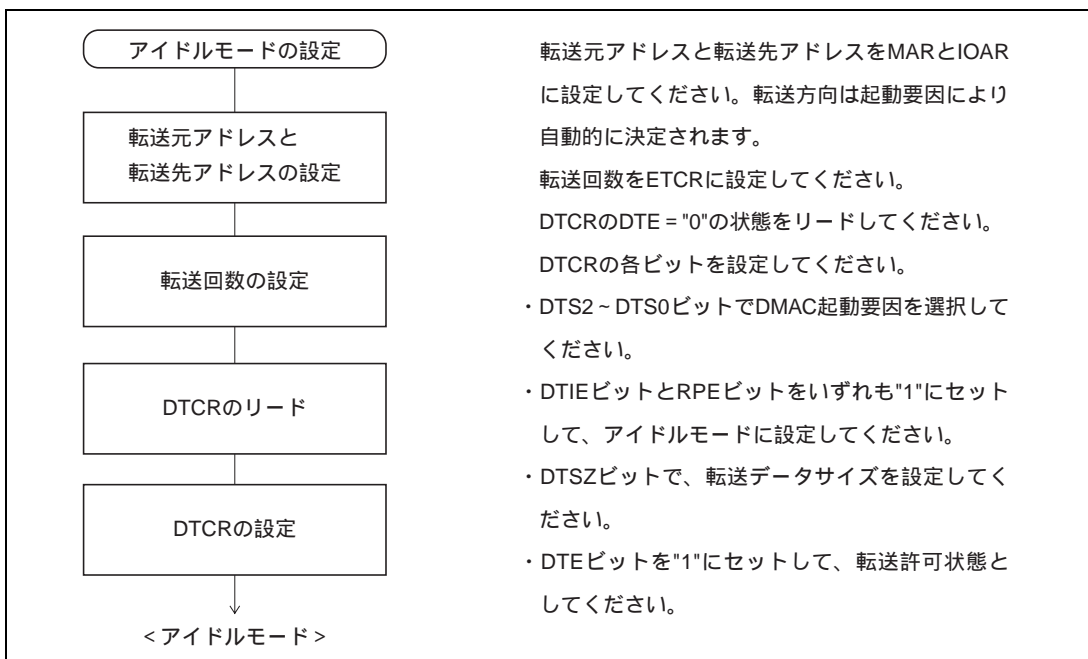


図 8.5 アイドルモードの設定手順例

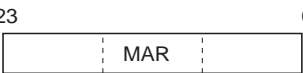



8.4.4 リピートモード

リピートモードは ITU のコンペアマッチなどに同期して、テーブル上のデータをプログラマブル タイミングパターンコントローラ (TPC) に対して繰り返し転送するのに便利なモードです。各チャネル独立に設定可能です。

リピートモードでは、I/O モードと同様に 1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。指定された回数の転送終了時、MAR、および ETCRH の内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCI の受信データフル割り込みで起動される場合は IOAR で指定されるアドレスから MAR で指定されるアドレスへ、それ以外の場合は MAR で指定されるアドレスから IOAR で指定されるアドレスへ転送されます。

リピートモード時のレジスタの機能を表 8.8 に示します。

表 8.8 リピートモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	SCI 受信データフル割り込みによる起動	その他の起動		
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント ETCRH が H'0000 になると初期設定値を回復
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると ETCRL の内容を格納
	転送回数保持		転送回数	固定

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

8. DMA コントローラ

リピートモードでは ETCRH を転送カウンタとし、ETCRL は転送回数保持に使用します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の値が格納されます。また、MAR は DTCSR の DTSZ ビットおよび DTID ビットの値に応じて初期設定値を回復します。このときの MAR の動作は次のようになります。

$$\text{MAR} \leftarrow \text{MAR} - (-1)^{\text{DTID}} \times 2^{\text{DTSZ}} \times \text{ETCRL}$$

ETCRH と ETCRL には同じ値を初期設定してください。

リピートモードでは CPU が DTE ビットを "0" にクリアするまで転送を繰り返します。DTE ビットを "0" にクリアした後、CPU が DTE ビットを "1" にセットすると、クリアした時点の状態から転送を再開します。CPU に対して割り込み要求は発生しません。

転送元および転送先アドレスは、I/O モードと同様、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR にはアドレス下位 8 ビットを指定し、上位 16 ビットは "1" となります。IOAR は転送によりインクリメントもデクリメントもされません。

図 8.6 にリピートモードの動作を示します。

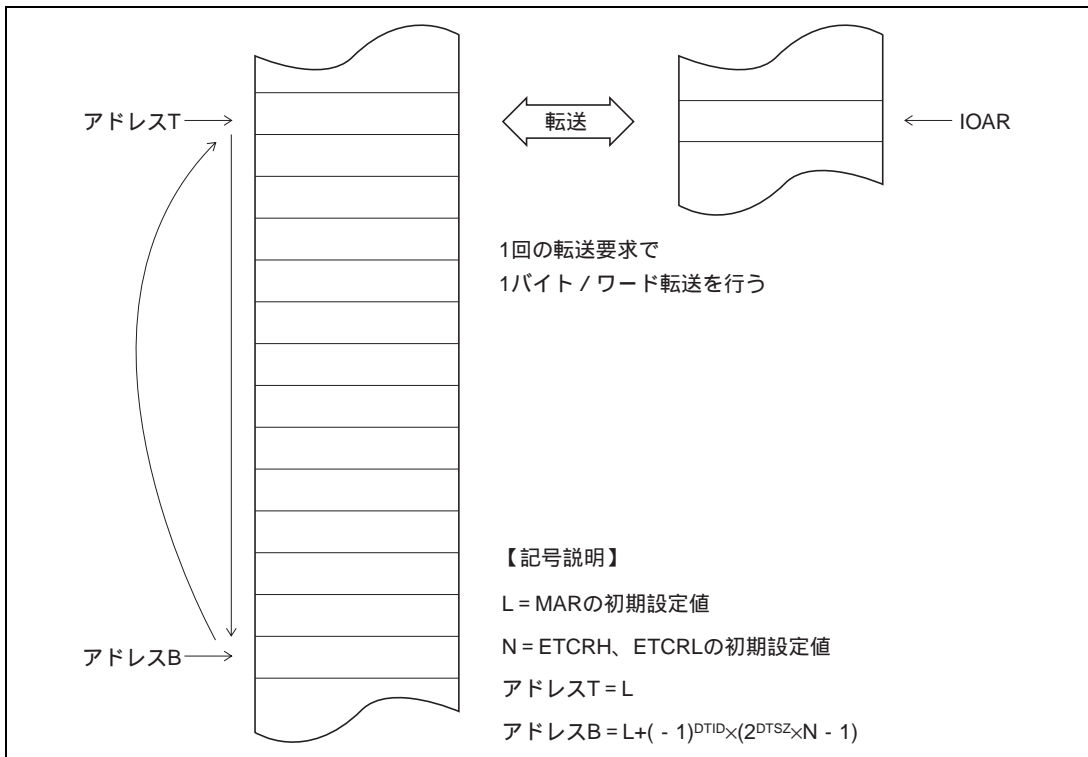


図 8.6 リピートモードの動作

転送回数は ETCRH、ETCRL に 8 ビットで指定します。転送回数の最大値は ETCRH、ETCRL にそれぞれ H'FF を設定したときで、255 となります。

転送要求（起動要因）には、ITU チャネル 0~3 のコンペアマッチ/インプットキャプチャ A 割り込み、SCI の送信データエンプティ、受信データフル割り込み、および外部リクエストがあります。設定の詳細は「8.2.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。

リピートモードの設定手順例を図 8.7 に示します。

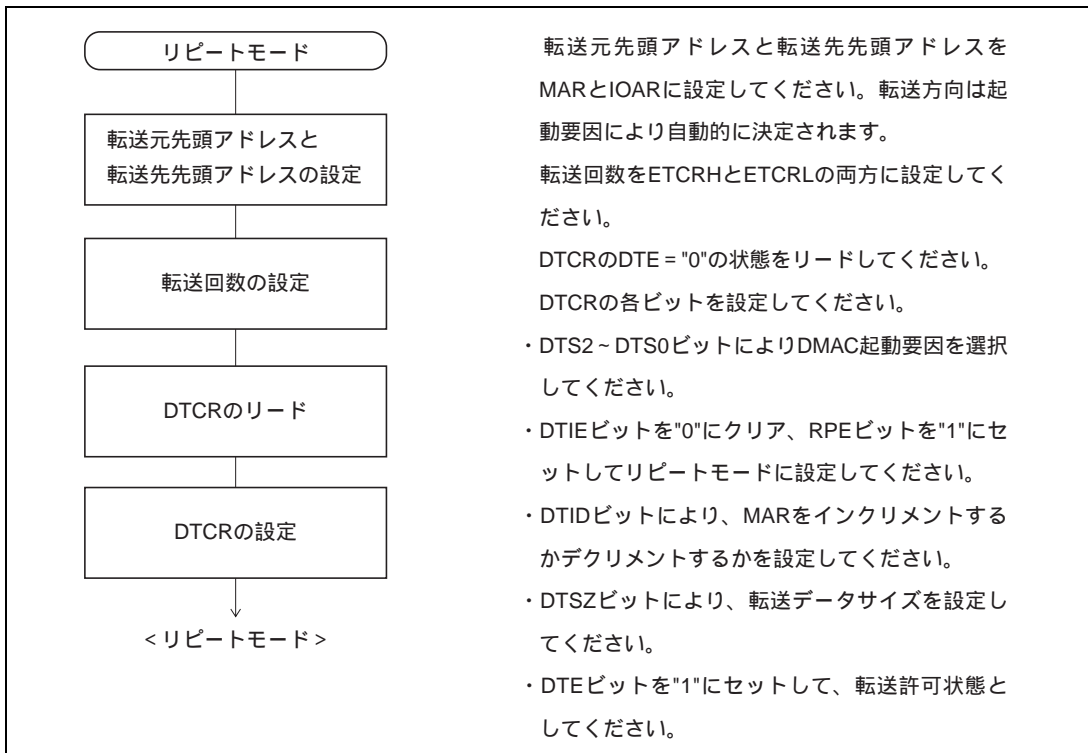


図 8.7 リピートモードの設定手順例




8.4.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。

ノーマルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。

ノーマルモード時のレジスタの機能を表 8.9 に示します。

表 8.9 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23 0 	ソースアドレスレジスタ	転送元 先頭アドレス	1 回の転送ごとに インクリメント/ デクリメントまたは固定
23 0 	デスティネーション アドレスレジスタ	転送先 先頭アドレス	1 回の転送ごとに インクリメント/ デクリメントまたは固定
15 0 	転送カウンタ	転送回数	1 回の転送ごとに デクリメント

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は MARA、MARB 独立に行うことができます。

転送回数は ETCRA によって 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが"1"にセットされていると CPU に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

図 8.8 にノーマルモードの動作を示します。

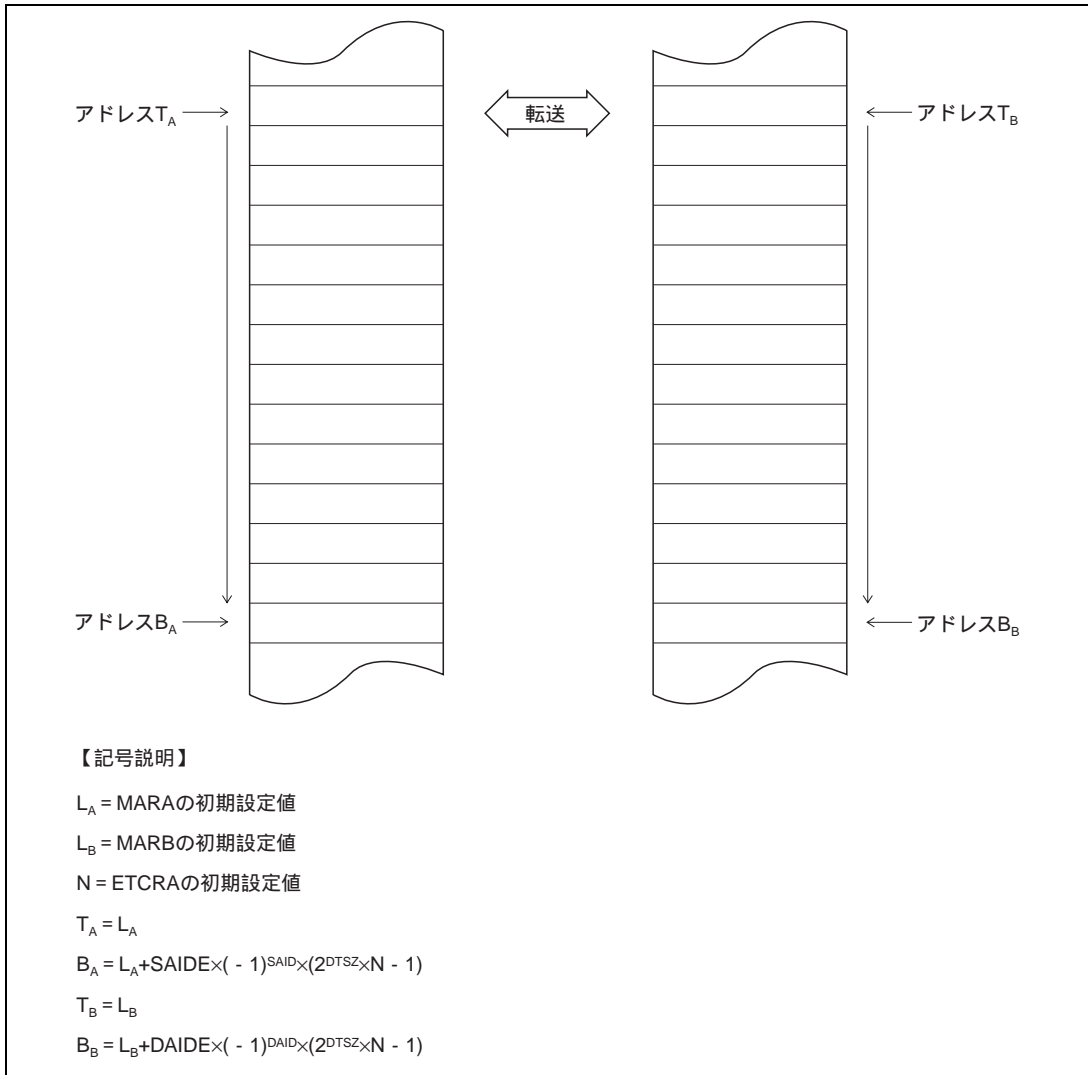


図 8.8 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードではDMACは1回の転送を行うたびにバスをいったん解放します。バーストモードでは、より優先順位の高いバスマスタからのバス権要求がないかぎり転送終了までバスを専有し続けます。設定の詳細は「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

8. DMA コントローラ

ノーマルモードの設定手順例を図 8.9 に示します。

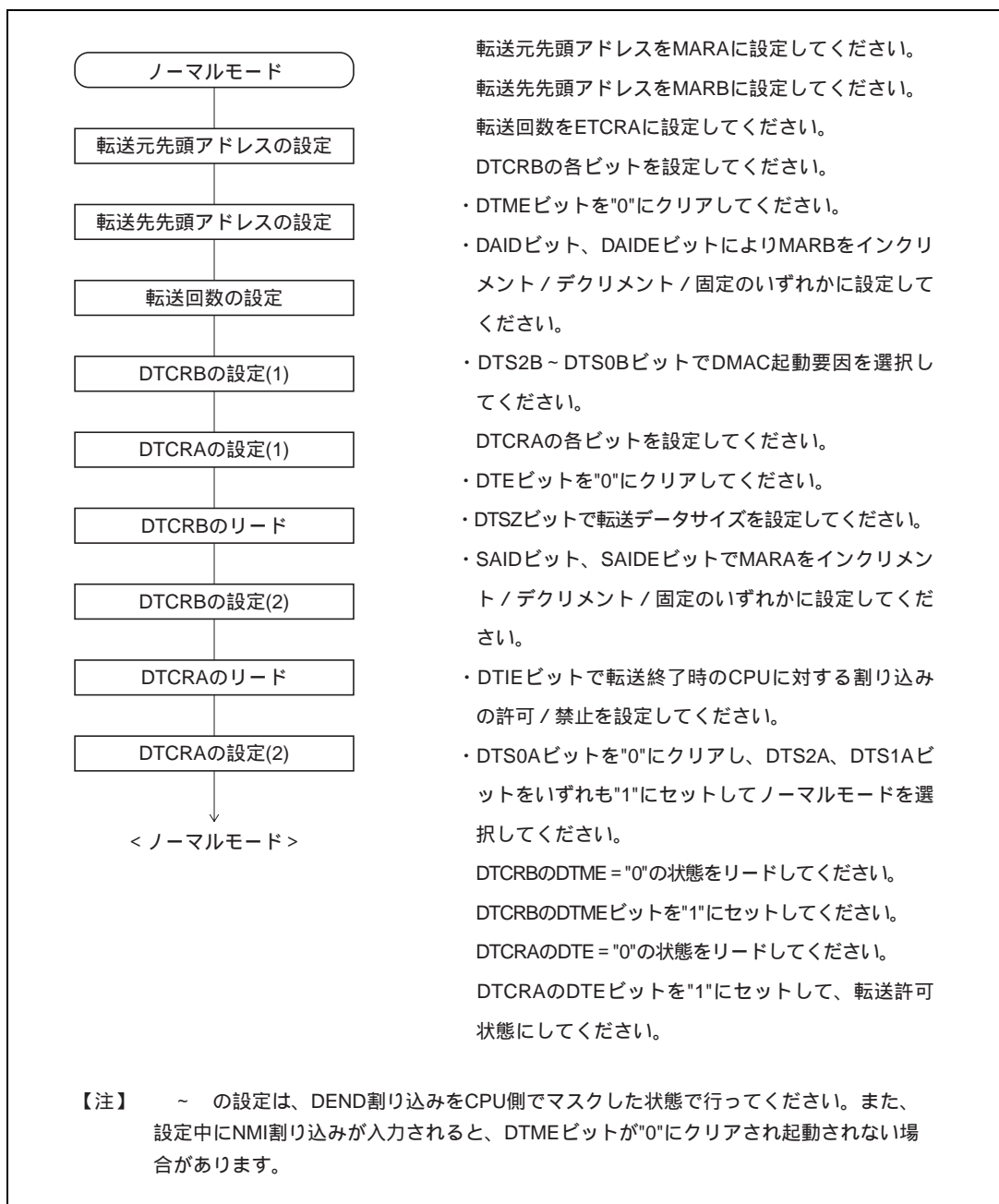


図 8.9 ノーマルモードの設定手順例




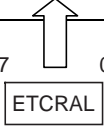

8.4.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。

ブロック転送モードでは、1 回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。ブロックエリア側のアドレスは固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を表 8.10 に示します。

表 8.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメントまたは固定
	デスティネーションアドレスレジスタ	転送先頭アドレス	1 回の転送ごとにインクリメント/デクリメントまたは固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント H'00 になると ETCRAL の値を格納
	ブロックサイズ保持	ブロックサイズ	固定
	ブロック転送カウンタ	ブロック転送回数	ブロック転送ごとにデクリメント H'0000 になると転送を終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウントレジスタ A

ETCRB : 転送カウントレジスタ B

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB 独立に行うことができます。ブロックエリアを指定する MAR は、インクリメント/デクリメントを指定した場合でも 1 回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかは DTCRB の TMS ビットにより指定します。

8. DMA コントローラ

1回の転送要求で転送するブロックサイズをM (M=1~255) とし、N回 (N=1~65,536) の転送を行うとき、ETCRAH と ETCRAL にそれぞれ M を、ETCRB に N を設定します。

図 8.10 にブロック転送モードの動作を示します。TMS ビットを"0"にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。

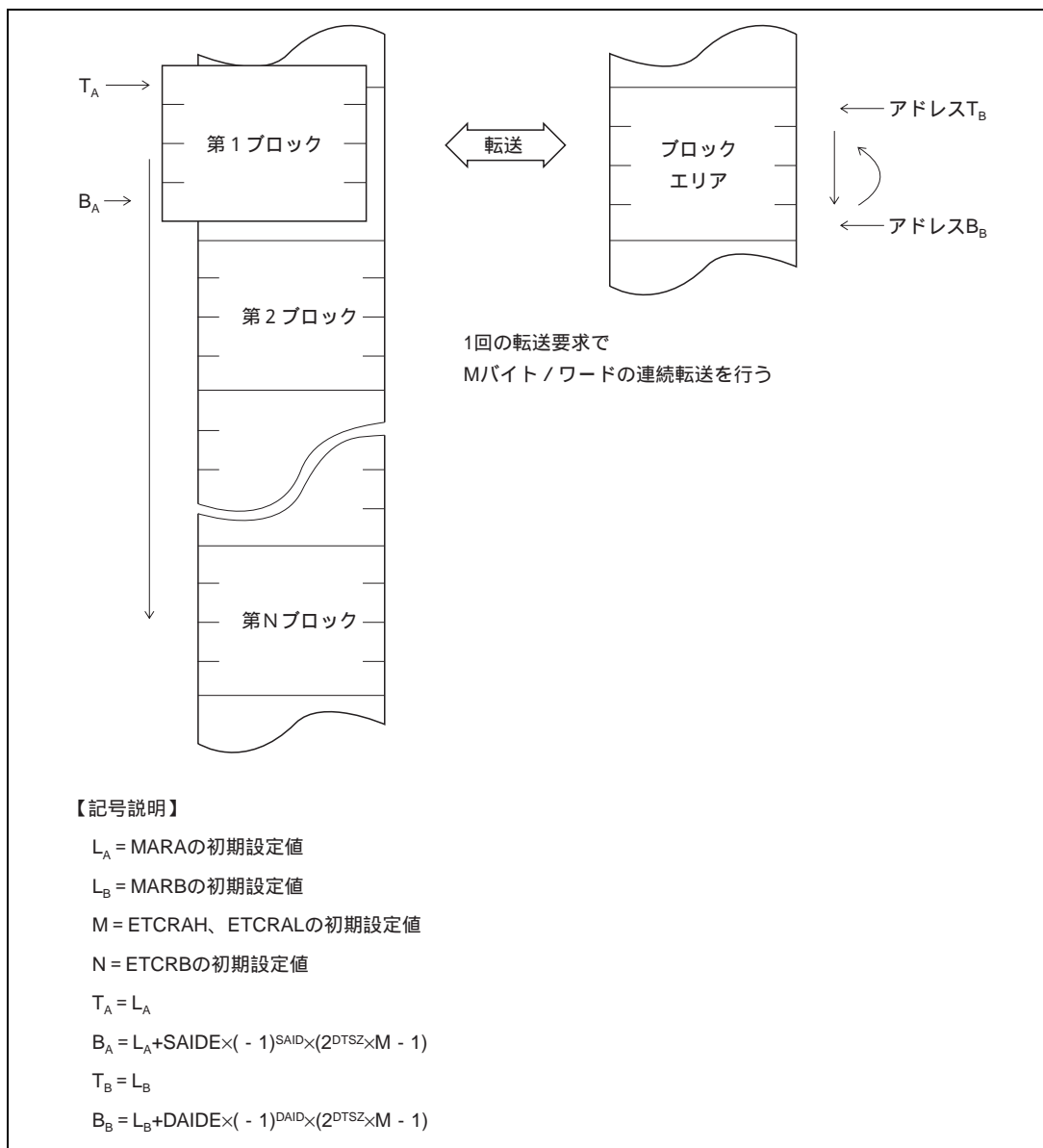


図 8.10 ブロック転送モードの動作

転送要求によって DMAC が起動されるとバースト転送を行います。この間、MARA、MARB とともに DTCR の設定に従い更新され、ETCRAH をデクリメントします。ETCRAH が H'00 になると、ETCRAH は ETCRAL の値が格納され初期設定値に戻ります。同時にブロックエリア側の MAR も初期設定値に戻り、ETCRB をデクリメントして H'0000 でなければ次の転送要求待ちとなります。ETCRAH と ETCRAL には同じ値を初期設定してください。

この動作を繰り返して ETCRB の値が H'0000 となったとき、DTE ビットを "0" にクリアして転送を終了します。このとき DTIE ビットが "1" にセットされていると CPU に対して割り込みを要求します。

デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合の DMAC の動作フロー例を図 8.11 に示します。(a)はブロックエリアのアドレスが連続する場合、(b)はブロックエリアのアドレス固定の場合を示します。

転送要求(起動要因)には、ITU チャネル 0~3 コンペアマッチ/インプットキャプチャ A 割り込みと外部リクエストがあります。

設定の詳細は「8.3.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。

8. DMA コントローラ

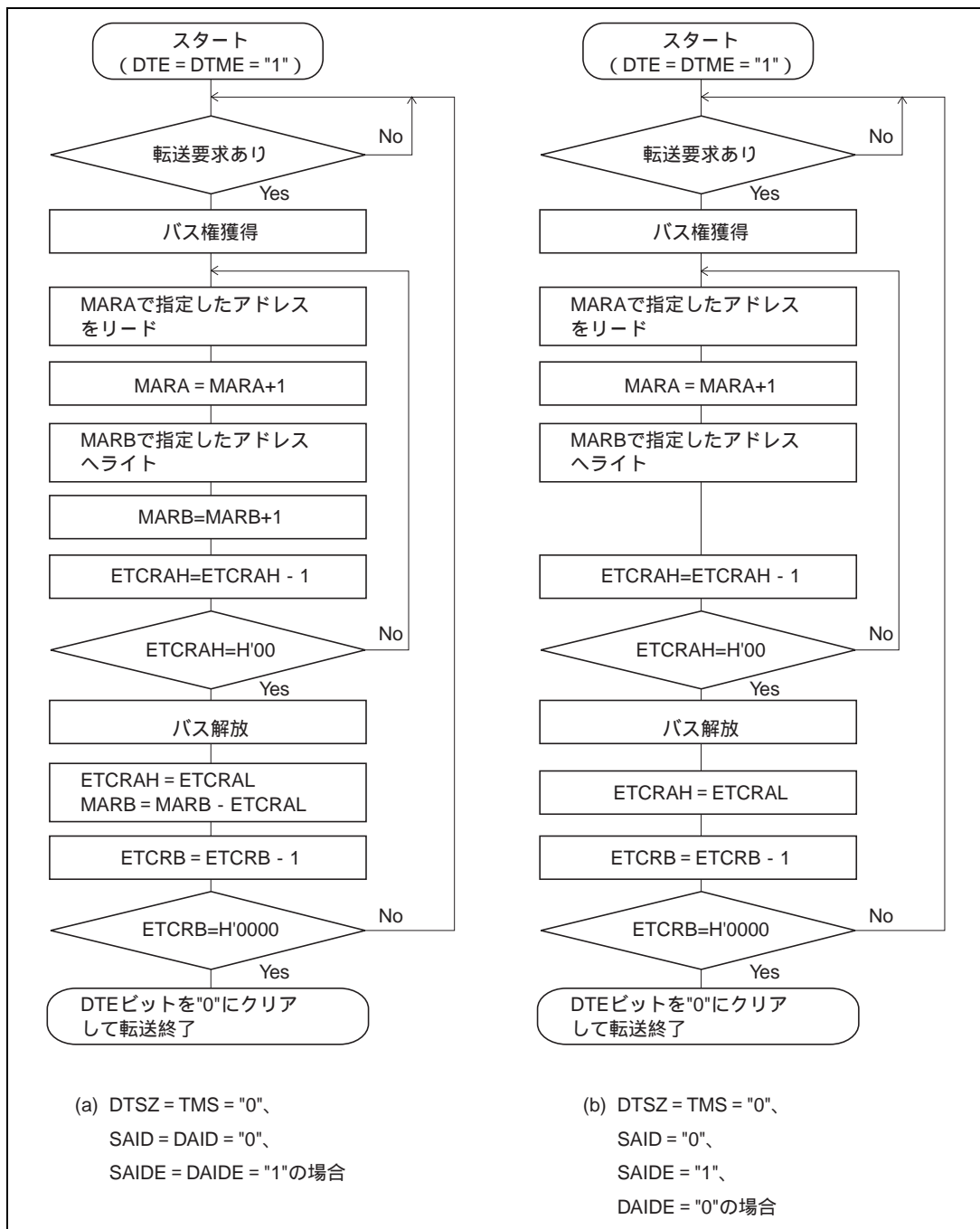


図 8.11 ブロック転送モードの動作フロー例

ブロック転送モードの設定手順例を図 8.12 に示します。

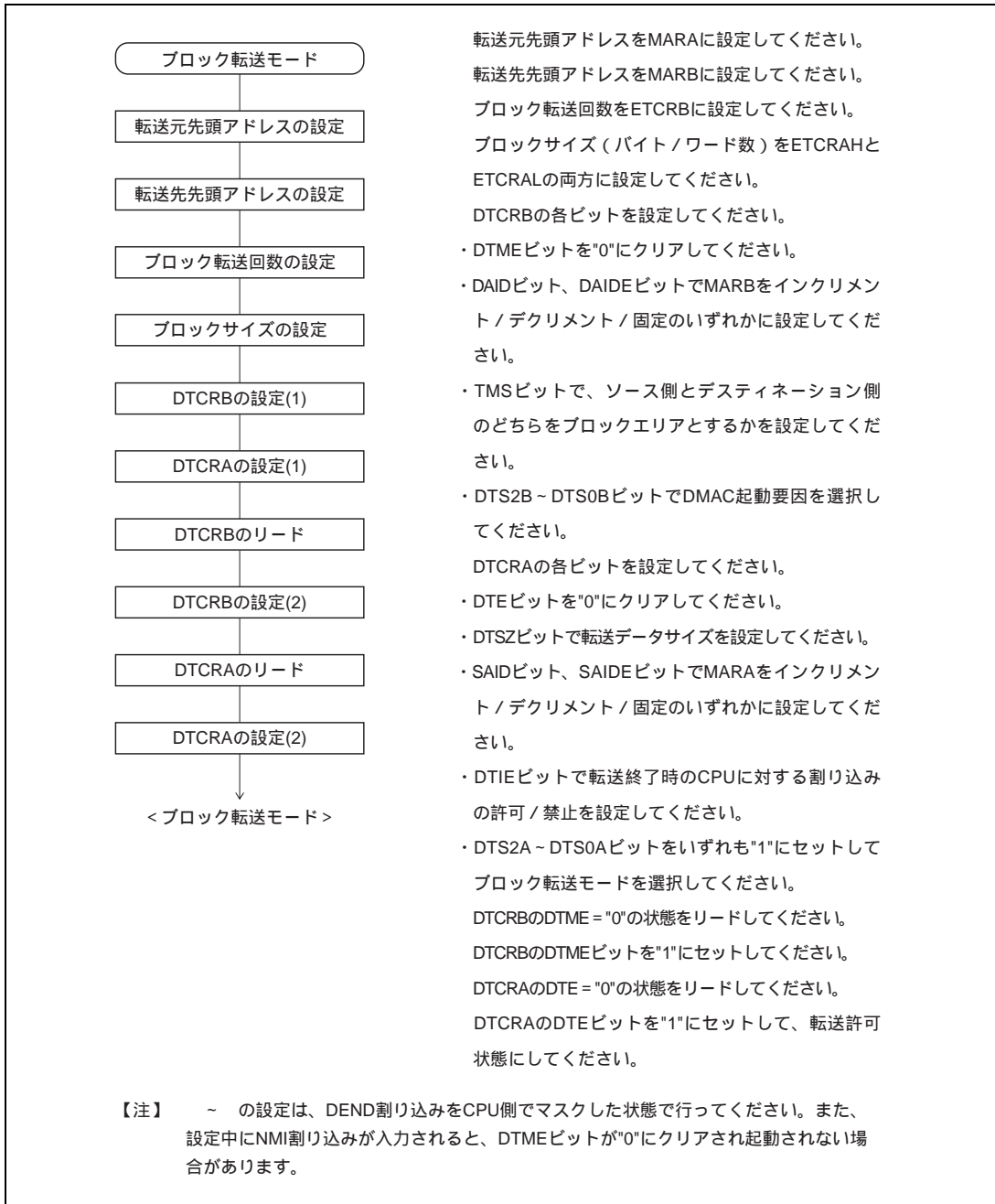


図 8.12 ブロック転送モードの設定手順例

8.4.7 DMAC の起動要因

DMAC の起動要因には、内部割り込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより指定できる要因が表 8.11 に示すように異なります。

表 8.11 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A, 1A	チャンネル 0B, 1B	ノーマル	ブロック
内部 割り込み	IMIA0			×	
	IMIA1			×	
	IMIA2			×	
	IMIA3			×	
	TXI0			×	×
	RXI0			×	×
外部 リクエスト	DREQ 端子の立ち下がり	×			
	DREQ 端子の"Low"レベル入力	×			×
オートリクエスト			×		×

(1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、DTE = "1"の状態では CPU に対しては要求されません。したがって、起動要因として使用している割り込みで同時に CPU に割り込みを発生させることはできません。

割り込み要求により DMAC が起動されると、割り込み要求フラグは自動的にクリアされます。複数のチャンネルで同一の割り込みを起動要因として指定した場合、最初に最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

(2) 外部リクエストによる起動

起動要因として外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定した場合は、該当する $\overline{\text{DREQ}}$ 端子と $\overline{\text{TEND}}$ 端子が対応するポートのデータディレクションレジスタ (DDR) の設定にかかわらず、それぞれ入力端子、出力端子になります。

$\overline{\text{DREQ}}$ 端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は $\overline{\text{DREQ}}$ 端子入力の "High" レベルから "Low" レベルへの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合は $\overline{\text{DREQ}}$ 端子が "Low" レベルに保持されている間は、転送終了まで転送を続けます。ただし、1 バイトまたは 1 ワードの転送を行うたびにいったんバスを解放します。転送の途中で $\overline{\text{DREQ}}$ 端子入力が "High" レベルとなった場合、転送中の 1 バイトまたは 1 ワードを転送した時点で転送を中断します。なお、 $\overline{\text{DREQ}}$ 端子を "Low" レベルにすると、起動要因は 1 バイトまたは 1 ワードの転送が行われるまで内部で保持されています。

$\overline{\text{TEND}}$ 端子は最後の転送のライトサイクル中 "Low" レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モードはエッジセンスの転送要求のみ可能です。 $\overline{\text{DREQ}}$ 端子入力の"High"レベルから"Low"レベルへの変化を検出するたびに、指定された 1 ブロックを転送します。

$\overline{\text{TEND}}$ 端子は 1 ブロック転送の最後のライトサイクル中"Low"レベルとなります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスをいったん解放しますので、通常、DMAC サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス権要求がないかぎり転送終了までバスを専有し続けます。優先順位の高いバス権要求があった場合は、転送中の 1 バイトまたは 1 ワードを転送した時点でバスを解放します。

8.4.8 DMAC のバスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 8.13 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、1 サイクルのデッドサイクル (T_d) の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

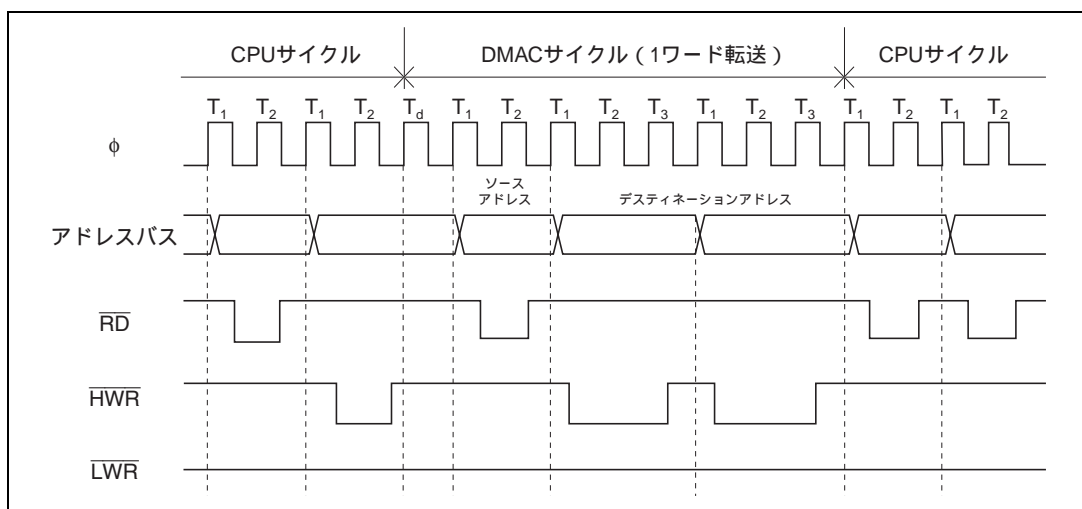
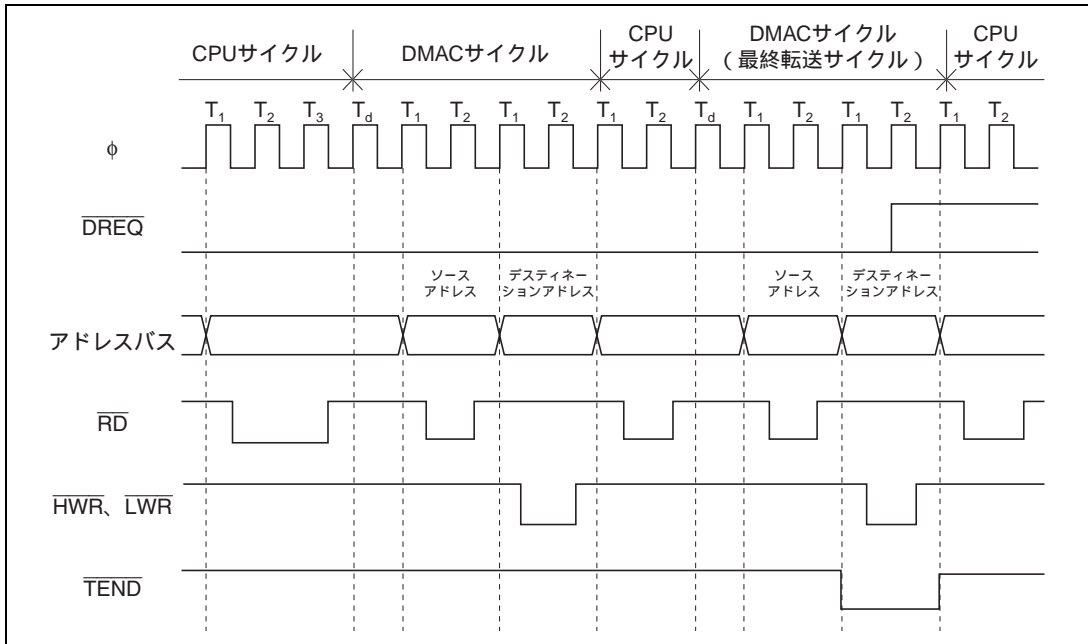


図 8.13 DMA 転送バスタイミング例

$\overline{\text{DREQ}}$ 端子 "Low" レベルで DMAC を起動した場合のタイミングを図 8.14 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ転送する場合の例です。 $\overline{\text{DREQ}}$ 端子が "Low" レベルに保持されている間、DMAC は転送を続けます。

図 8.14 $\overline{\text{DREQ}}$ 端子"Low"レベル入力選択時の DMA 転送バスタイミング

オートリクエストバーストモードの場合のタイミングを図 8.15 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ、3 ワード転送する場合の例です。

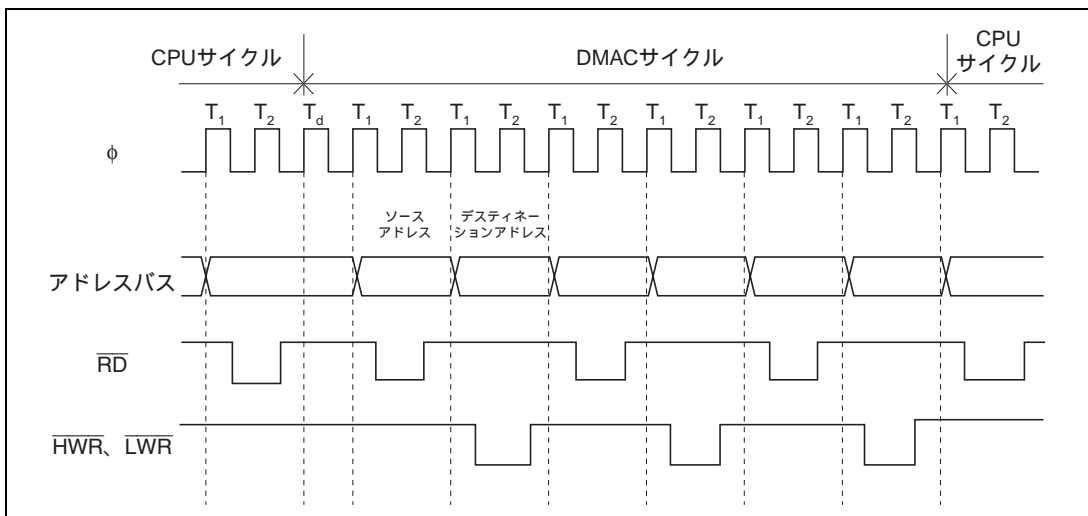


図 8.15 バーストモード DMA 転送バスタイミング

8. DMA コントローラ

$\overline{\text{DREQ}}$ 端子で DMAC を起動する場合、転送要求が発生してから DMAC が動作を開始するまでの期間は最短で 4 ステートです。

転送要求発生後、DMAC が動作を開始し転送を行うまで、 $\overline{\text{DREQ}}$ 端子のサンプリングは行いません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1 ブロックの転送終了後から行います。

ノーマルモード時、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジで DMAC を起動する場合のタイミングを図 8.16 に示します。

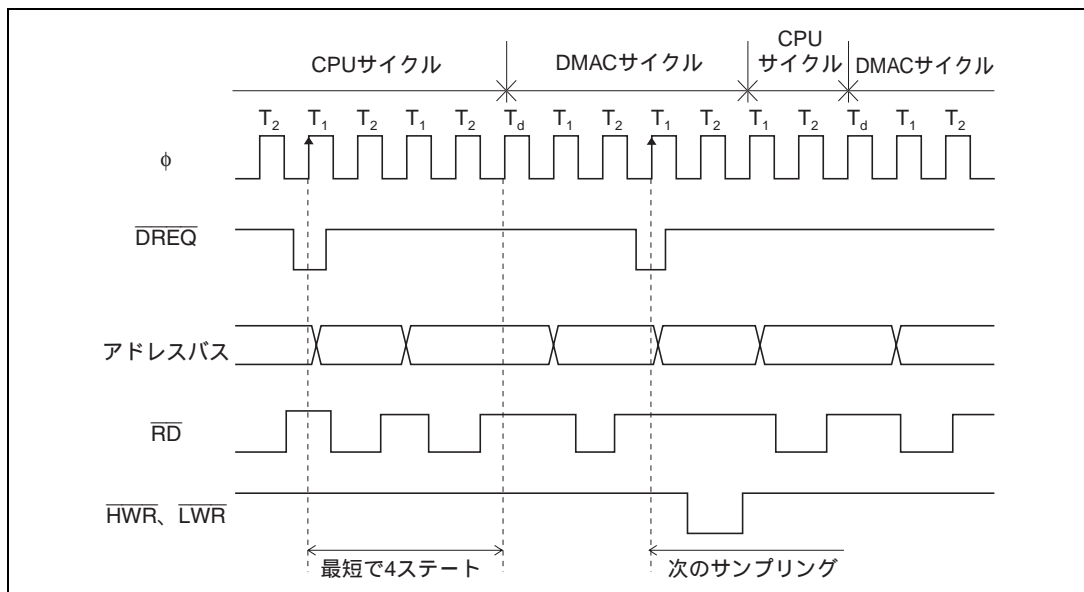


図 8.16 ノーマルモード時の $\overline{\text{DREQ}}$ 端子の立ち下がりエッジによる DMAC 起動タイミング

ノーマルモード時、 $\overline{\text{DREQ}}$ 端子の"Low"レベルで DMAC を起動する場合のタイミングを図 8.17 に示します。

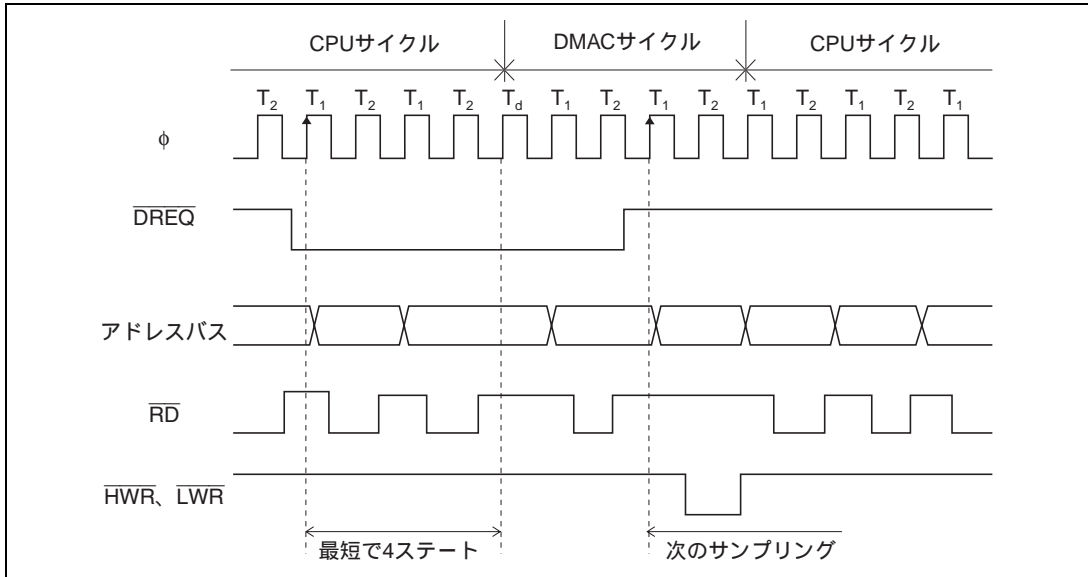


図 8.17 ノーマルモード時の $\overline{\text{DREQ}}$ 端子の"Low"レベルによる DMAC 起動タイミング

8. DMA コントローラ

ブロック転送モード時、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジで DMAC を起動する場合のタイミングを図 8.18 に示します。

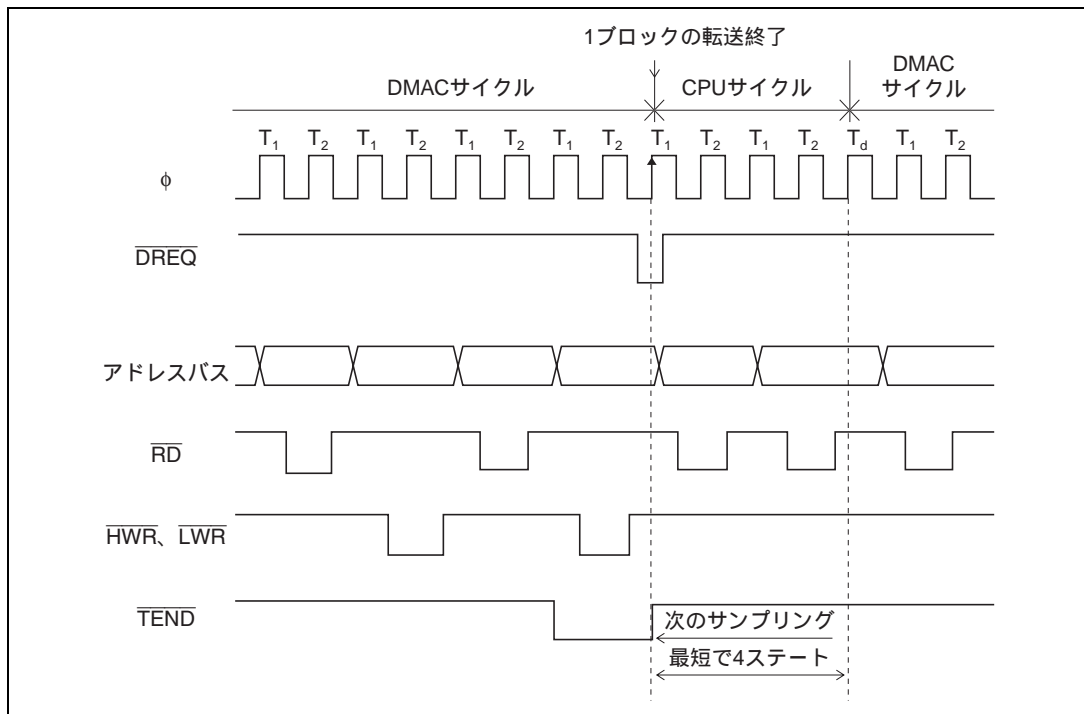


図 8.18 ブロック転送モード時の $\overline{\text{DREQ}}$ 端子の立ち下がりエッジによる DMAC 起動タイミング

8.4.9 DMAC 複数チャンネルの動作

DMAC のチャンネル間順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順に優先順位が高くなっています。表 8.12 に DMAC のチャンネル間優先順位を示します。

表 8.12 チャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先度
チャンネル 0A	チャンネル 0	高 ↑
チャンネル 0B		
チャンネル 1A	チャンネル 1	低
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合、DMAC は以下のように動作します。

- (1) 転送要求が発生するとバス権を要求し、DMAC がバス権を獲得する時点で最も優先順位の高いチャンネルの転送が起動されます。
- (2) 1つのチャンネルが起動されると、そのチャンネルがバス権を解放するまで他のチャンネルは保留となります。
- (3) ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して(1)に戻ります。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。
- (4) バーストモードの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して(1)に戻ります。ただし、優先順位の高いチャンネルの転送要求または優先順位の高いバスマスタのバス権要求が存在すると、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。

8. DMA コントローラ

チャンネル0AをI/Oモード、チャンネル1をバーストモードとし、チャンネル1が動作中、チャンネル0Aの転送要求が発生した場合のタイミングを図8.19に示します。

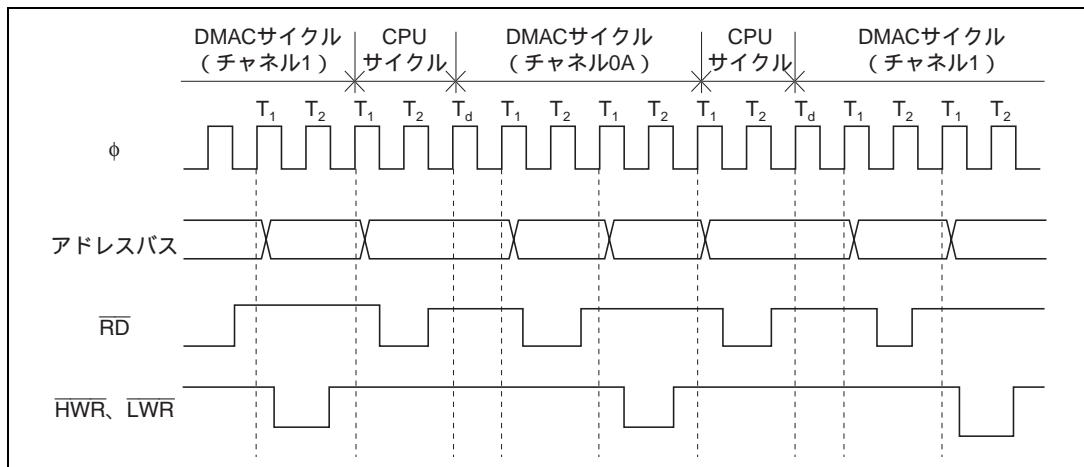


図 8.19 複数チャンネルの動作タイミング

8.4.10 外部バス権要求、リフレッシュコントローラとDMACの関係

DMAC 動作中に、 $\overline{\text{BREQ}}$ 端子による外部バス権要求、リフレッシュコントローラによるバス権要求があった場合、DMAC は転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMAC は再度バス権を要求します。

チャンネル 0 でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを図 8.20 に示します。

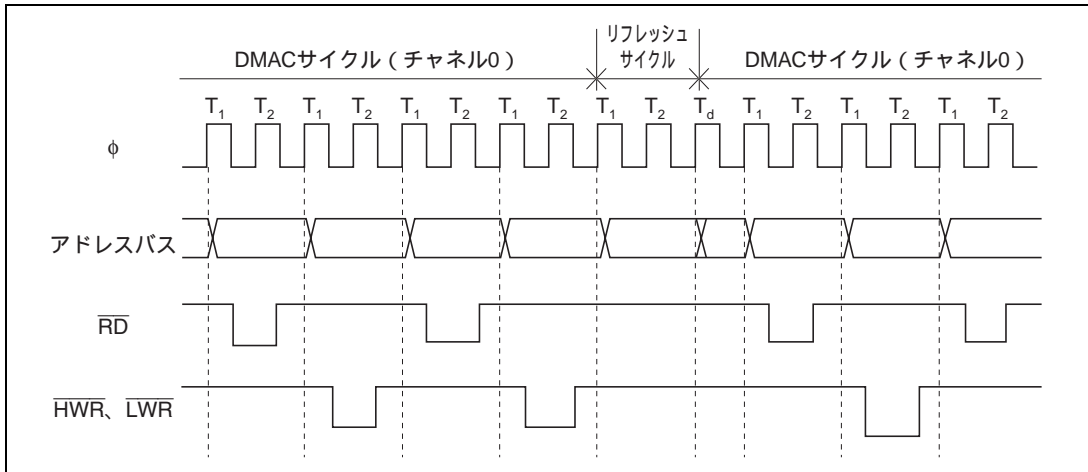


図 8.20 リフレッシュコントローラと DMAC の動作タイミング

8.4.11 NMI 割り込みと DMAC

ショートアドレスモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、転送中に NMI 割り込みが発生すると DMAC は動作を中断します。フルアドレスモードでは、DTE ビットと DTME ビットがいずれも "1" にセットされているとき、そのチャネルが転送許可状態となります。NMI 割り込みが発生すると DTME ビットが "0" にクリアされ、DMAC は転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放し、CPU にバス権が移ります。ノーマルモードのときは、その後 CPU が DTME ビットを "1" にセットすると中断した動作を再開します。この場合、事前に DTE ビットが "1" にセットされ、DTME ビットが "0" にクリアされていることを確認してください。

チャンネル 0 をノーマルモードとしたときに、NMI 割り込みにより DMAC 動作が停止したとき、動作を再開する手順を図 8.21 に示します。

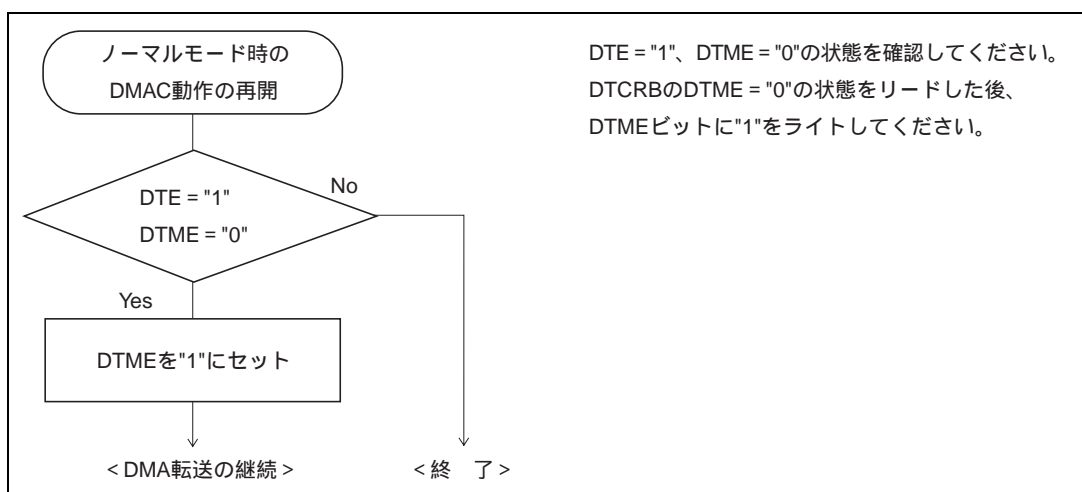


図 8.21 NMI 割り込みにより停止した DMAC 動作の再開手順例

ブロック転送モード時の NMI 割り込みについては「8.6.6 NMI 割り込みとブロック転送モード」を参照してください。

8.4.12 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを"0"にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを"1"にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットを使用しても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 8.22 に示します。

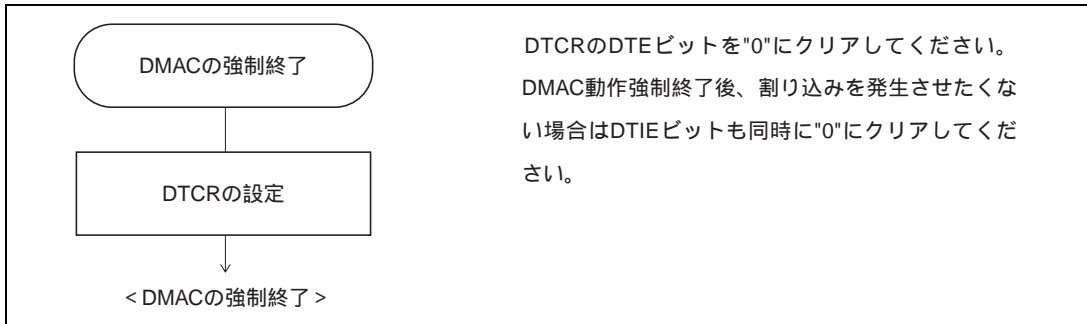


図 8.22 DMAC 動作の強制終了手順

8.4.13 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 8.23 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

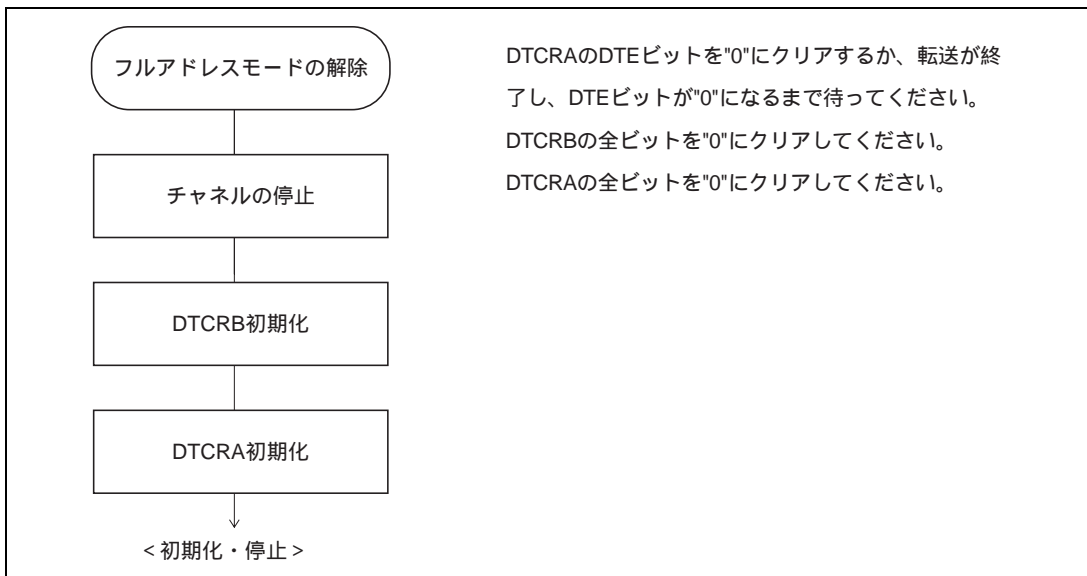


図 8.23 フルアドレスモードの解除手順例

8.4.14 リセット、スタンバイモード、スリープモード時の DMAC の状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMAC は初期化され、停止します。

スリープモード中は DMAC は動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを図 8.24 に示します。

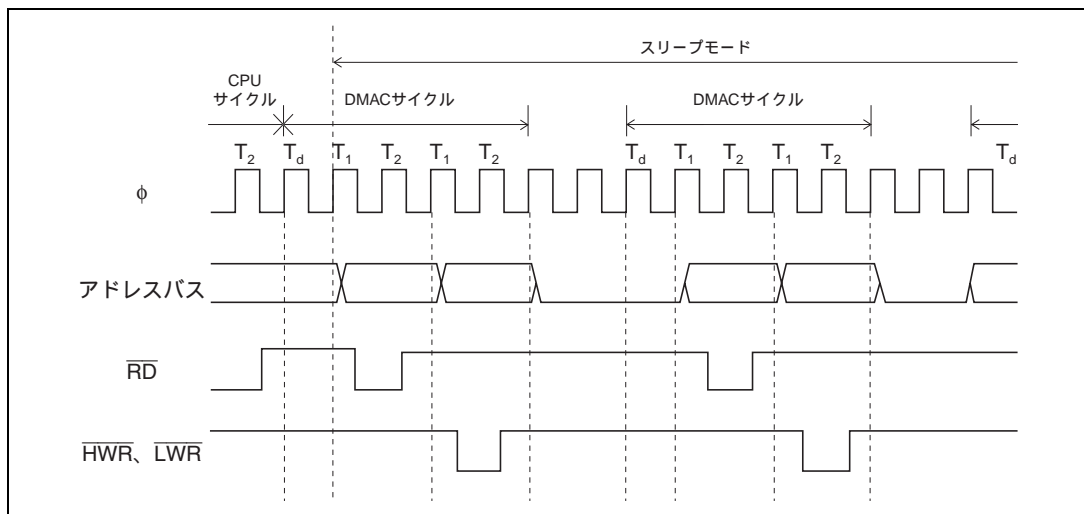


図 8.24 スリープモード中のサイクルスチールモードのタイミング

8.5 割り込み

DMAC の割り込み要因は転送終了のみです。表 8.13 に割り込み要因と優先度を示します。

表 8.13 DMAC の割り込み要因

割り込み要因	内容		割り込み優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み		
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み		

各割り込み要因は、対応する DTCSR の DTIE ビットにより許可 / 禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の割り込みの優先順位は、チャンネル 0 > チャンネル 1、またチャンネル A > チャンネル B のように優先順位が高くなっています。

転送終了の割り込みブロック図を図 8.25 に示します。

DTE = "0" の状態で DTIE ビットを "1" に設定すると、常に割り込みが発生します。

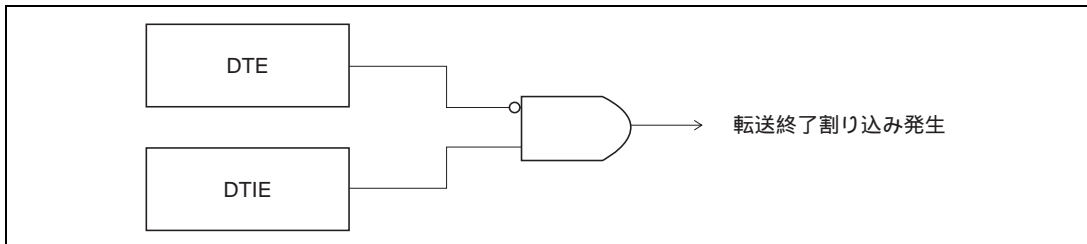


図 8.25 転送終了割り込みブロック図

フルアドレスモードでは、チャンネル B の転送終了割り込み (DENDB) は使用できません。また、DTME ビットは割り込み動作に影響を与えません。

8.6 使用上の注意

8.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データサイズをワードにした場合、MAR および IOAR は偶数値としてください。

8.6.2 DMAC による DMAC 自体のアクセス

DMAC サイクル中は DMAC 自体へのアクセスが禁止されています。したがって、DMAC のレジスタをソースまたはデスティネーションとして転送することはできません。

8.6.3 MAR のロングワードアクセス

MAR は MARR から始まるロングワードデータとしてアクセスすることができます。

(例)

```
MOV.L #LBL, ERO
MOV.L ERO, @MARR
```

このとき、バイトデータアクセスが4回行われます。第2バイト(MARE)と第3バイト(MARH)アクセスの間に、CPU がバスを解放する場合がありますので注意してください。

MAR のリード/ライトは DMAC 停止中に行ってください。

8.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2つのレジスタ DTCRA、DTCRB によって制御されます。これらレジスタの設定時には、チャンネル B がショートアドレスモードで動作しないように注意してください。許可ビット(DTE、DTME)は、最後に"1"にセットしてください。

8.6.5 内部割り込みで DMAC を起動する場合の注意

- (1) 内部割り込みでDMACを起動する場合、起動要因を選択してからDMACを転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMACを転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中にDMACを許可状態にする場合、図8.26の手順で行ってください。

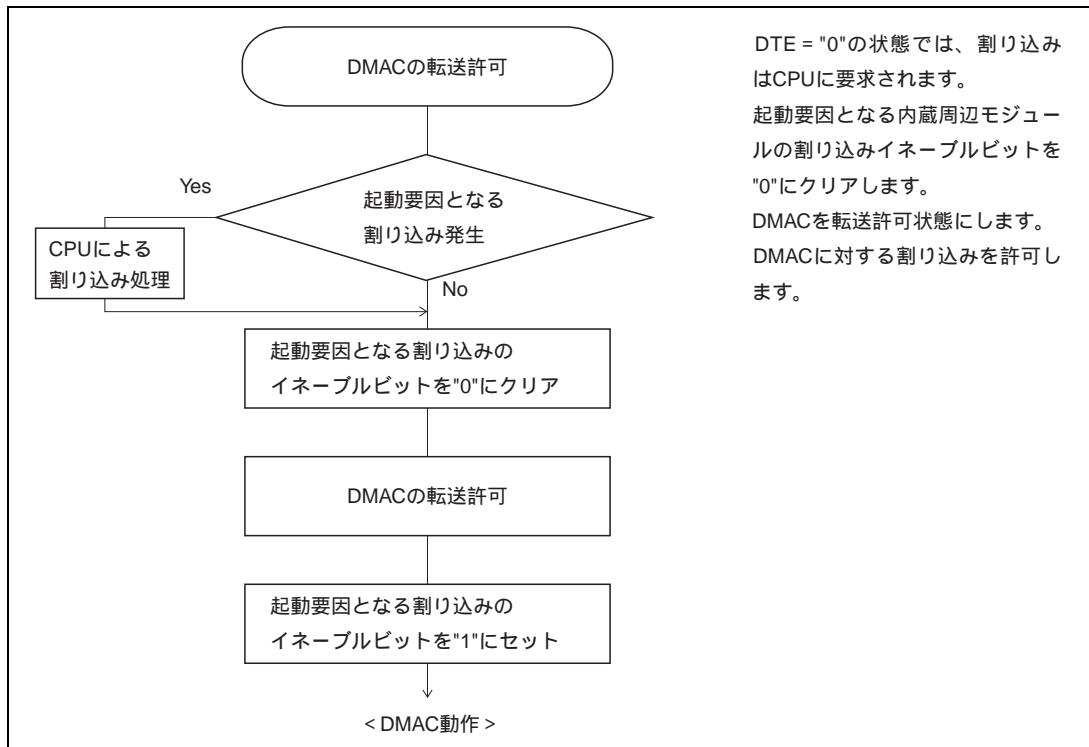


図 8.26 内蔵周辺モジュールが動作中に DMAC を転送許可状態にする場合の手順例

なお、DTE = "1"なおかつ DTME = "0"の状態では、DMAC は停止状態であり、また CPU にも起動要因となる割り込みは要求されません。たとえば、NMI 割り込みにより、DMAC を停止状態にした場合は、起動要因となる割り込みは CPU には要求されません。このとき、DMAC 動作を打ち切る場合には、DTE ビットを"0"にクリアし、CPU に割り込みを要求させてください。DMAC 動作を継続する場合には、DTME ビットを"1"にセットする前後で、図 8.26 の 、 の操作を行ってください。

- (2) ITUの割り込み要求でDMACを起動する場合、割り込みによって起動されるDMA転送が終了するまで、次の割り込みが発生しないようにしてください。1つのITUの割り込み要求で複数チャンネルを起動する場合には、起動されるすべてのDMA転送が終了するまで、次の割り込みが発生しないようにしてください。転送が終了するまでに次の割り込みが発生すると、その割り込みを選択しているチャンネルが以降の起動要求を受け付けなくなる場合があります。

8.6.6 NMI 割り込みとブロック転送モード

ブロック転送モード中に NMI 割り込みが発生すると DMAC は以下のように動作します。

- (1) NMI割り込みが発生するとDMACは転送中の1バイトまたは1ワードの転送終了後、DTMEビットを"0"にクリアして停止します。したがって、1つのブロックの転送途中で停止する場合があります。
ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになります。
- (2) ブロックの転送途中で停止した場合、起動要因となる割り込みフラグは"0"にクリアされています。起動要因の内部保持は行っていません。
- (3) DTEビットが"1"にセットされ、DTMEビットが"0"にクリアされた状態では、DMACは停止中であり、DMACは起動要因となる割り込み要求を受け付けません。この状態で起動要因となる割り込みが発生するとDMACは動作せず、転送要求の内部保持も行いません。また、CPUにも割り込みは要求されません。
このため、DTMEビットを"1"にセットする前に起動要因となる割り込みのイネーブルビットを"0"にクリアし、次にDTMEビットを"1"にセットし、その後、割り込みイネーブルビットを"1"にセットしてください。「8.6.5 内部割り込みでDMACを起動する場合の注意」を参照してください。
- (4) DTMEビットを"1"にセットすると、DMACは次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

8.6.7 MAR、IOAR のアドレス指定

MAR、IOAR で指定できるアドレスの範囲を表 8.14 に示します。

表 8.14 MAR、IOAR で指定できるアドレスの範囲

	1M バイトモード	16M バイトモード
MAR	H'00000 ~ H'FFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)
IOAR	H'FFF00 ~ H'FFFFF (1048320 ~ 1048575)	H'FFFF00 ~ H'FFFFFF (16776960 ~ 16777215)

【注】 1M バイトモードのとき、MAR のビット 23 ~ ビット 20 は無視されます。

8.6.8 転送中断時のバスサイクル

DTE ビットクリアによる強制終了や、NMI 割り込みによる DTME ビットクリアの転送停止により、DMAC 内部で、すでに要求を保持しているチャンネルを停止させるとデッドサイクルが発生することがあります。このデッドサイクルにより中断したチャンネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャンネル 0 でオートリクエストサイクルスチール転送中にチャンネル 0 の DTE ビットをクリアした場合のタイミングを図 8.27 に示します。

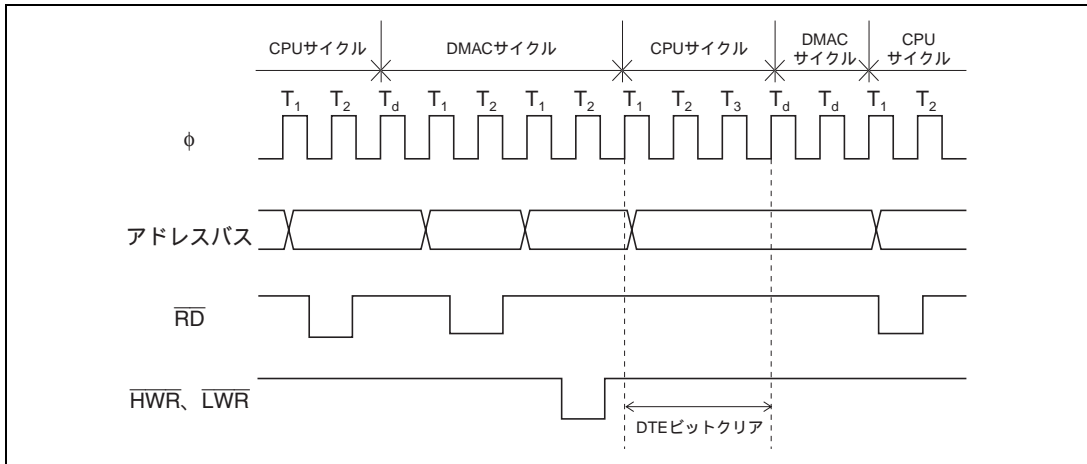


図 8.27 サイクルスチールモード DMA 転送の強制終了バスタイミング

9. I/O ポート

9.1 概要

H8/3042 グループは、10 本の入出力ポート（ポート 1、2、3、4、5、6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 9.1 に示します。表 9.1 に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDR と DR のほかに、ポート 2、4、5 には入力プルアップ MOS コントロールレジスタ（PCR）があり、プルアップ MOS のオン / オフを制御できます。

ポート 1～6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9～B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 1～6、8～B はダーリントントランジスタを駆動することができます。ポート 1、2、5、B は LED を駆動（シンク電流 10mA）することができます。また、ポート P8₂～P8₀、PA₇～PA₀、および PB₃～PB₀ はシュミット入力となっています。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

9. I/O ポート

表 9.1 ポートの機能一覧

ポート	概要	端子	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6、7
ポート 1	<ul style="list-style-type: none"> 8 ビットの入出力ポート LED 駆動可能 	P1 ₇ ~ P1 ₇ /A ₇ ~ A ₆	アドレス出力端子 (A ₇ ~ A ₆)				アドレス出力端子 (A ₇ ~ A ₆) と入力ポートの兼用 DDR = "0" のとき入力ポート DDR = "1" のときアドレス出力端子	入出力ポート
ポート 2	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 LED 駆動可能 	P2 ₇ ~ P2 ₇ /A ₁₅ ~ A ₈	アドレス出力端子 (A ₁₅ ~ A ₈)				アドレス出力端子 (A ₁₅ ~ A ₈) と入力ポートの兼用 DDR = "0" のとき入力ポート DDR = "1" のときアドレス出力端子	入出力ポート
ポート 3	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P3 ₇ ~ P3 ₇ /D ₁₅ ~ D ₈	データ入出力端子 (D ₁₅ ~ D ₈)					入出力ポート
ポート 4	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	P4 ₇ ~ P4 ₇ /D ₇ ~ D ₀	データ入出力端子 (D ₇ ~ D ₀) と 8 ビットの入出力ポートの兼用 8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータ入出力端子					入出力ポート
ポート 5	<ul style="list-style-type: none"> 4 ビットの入出力ポート 入力プルアップ MOS 内蔵 LED 駆動可能 	P5 ₃ ~ P5 ₃ /A ₁₉ ~ A ₁₆	アドレス出力端子 (A ₁₉ ~ A ₁₆)				アドレスバス出力端子 (A ₁₉ ~ A ₁₆) と 4 ビットの入出力ポートの兼用 DDR = "0" のとき入力ポート DDR = "1" のときアドレス出力端子	入出力ポート
ポート 6	<ul style="list-style-type: none"> 7 ビットの入出力ポート 	P6 ₀ /LWR P6 ₀ /HWR P6 ₀ /RD P6 ₀ /AS	バス制御信号入出力端子 (LWR、HWR、RD、AS)					入出力ポート
		P6 ₀ /BACK P6 ₀ /BREQ P6 ₀ /WAIT	バス制御信号入出力端子 (BACK、BREQ、WAIT) と 3 ビットの入出力ポートの兼用					
ポート 7	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P7 ₀ /AN ₇ /DA ₁ P7 ₀ /AN ₇ /DA ₀	A/D 変換器のアナログ入力端子 (AN ₇ 、AN ₆) および D/A 変換器のアナログ出力端子 (DA ₁ 、DA ₀) と入力ポートの兼用					
		P7 ₀ ~ P7 ₀ /AN ₅ ~ AN ₀	A/D 変換器のアナログ入力端子 (AN ₅ ~ AN ₀) と入力ポートの兼用					
ポート 8	<ul style="list-style-type: none"> 5 ビットの入出力ポート P8₂ ~ P8₀ はシュミット入力 	P8 ₀ /CS ₀	DDR = "0" のとき入力ポート DDR = "1" のとき (リセット後) CS ₀ 出力端子					入出力ポート IRQ ₀ ~ IRQ ₀ 入力端子と入出力ポートの兼用
		P8 ₀ /CS ₁ /IRQ ₃ P8 ₀ /CS ₂ /IRQ ₂ P8 ₀ /CS ₃ /IRQ ₁	IRQ ₃ ~ IRQ ₁ 入力端子、CS ₁ ~ CS ₃ 出力端子と入力ポートの兼用 DDR = "0" のとき (リセット後) 入力ポート DDR = "1" のとき CS ₁ ~ CS ₃ 出力端子					
		P8 ₀ /RFSH/IRQ ₀	IRQ ₀ 入力端子、RFSH 出力端子と入出力ポートの兼用					

ポート	概要	端子	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6、7
ポート 9	● 6 ビットの 入出力ポート	P9 ₀ /SCK ₁ /IRQ ₅ P9 ₁ /SCK ₀ /IRQ ₄ P9 ₂ /RxD ₁ P9 ₃ /RxD ₀ P9 ₄ /TxD ₁ P9 ₅ /TxD ₀	シリアルコミュニケーションインタフェースチャンネル 0、1 (SCI0、1) の入出力端子 (SCK ₀ 、SCK ₁ 、RxD ₀ 、RxD ₁ 、TxD ₀ 、TxD ₁) および IRQ ₄ 、IRQ ₅ 入力端子と 6 ビットの入出力ポートの兼用					
ポート A	● 8 ビットの 入出力ポート ● シュミット入力	P7 ₀ /TP ₇ /TIOCB ₇ /A ₂₀	プログラマブルタイミ ングパターンコントロー ラ (TPC) 出力端子 (TP ₇)、 16 ビットインテグレーテ ッドタイマユニット (ITU) の入出力端子 (TIOCB ₂) と出力ポート の兼用	アドレス出力端子 (A ₂₀)	TPC 出力端子 (TP ₇)、 ITU の入出力端子 (TIOCB ₂) と 入出力ポートの兼用			
		PA ₆ /TP ₆ /TIOCA ₆ /A ₂₁ PA ₅ /TP ₅ /TIOCB ₅ /A ₂₂ PA ₄ /TP ₄ /TIOCA ₄ /A ₂₃	TPC 出力端子 (TP ₆ ~ TP ₄)、 ITU の入出力端子 (TIOCA ₂ 、TIOCB ₁ 、 TIOCA ₁) と 入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₄)、 ITU の入出力端子 (TIOCA ₂ 、TIOCB ₁ 、 TIOCA ₁)、 アドレス出力端子 (A ₂₃ ~ A ₂₁) と 入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₄)、 ITU の入出力端子 (TIOCA ₂ 、TIOCB ₁ 、TIOCA ₁) と 入出力ポートの兼用			
		PA ₃ /TP ₃ /TIOCB ₃ /TCLKD PA ₂ /TP ₂ /TIOCA ₂ /TCLKC PA ₁ /TP ₁ /TEND ₁ /TCLKB PA ₀ /TP ₀ /TEND ₀ /TCLKA	TPC 出力端子 (TP ₃ ~ TP ₀)、DMA コントローラ (DMAC) の出力端子 (TEND ₁ 、TEND ₀)、 ITU の入出力端子 (TCLKD、TCLKC、TCLKB、TCLKA、TIOCB ₀ 、TIOCA ₀)					
ポート B	● 8 ビットの 入出力ポート ● LED 駆動可能 ● P8 ₂ ~ P8 ₅ は シュミット入力	PB ₁₅ /TP ₁₅ /DREQ ₁ /ADTRG PB ₁₄ /TP ₁₄ /DREQ ₀ PB ₁₃ /TP ₁₃ /TOCXB ₂ PB ₁₂ /TP ₁₂ /TOCXA ₂ PB ₁₁ /TP ₁₁ /TIOCB ₄ PB ₁₀ /TP ₁₀ /TIOCA ₄ PB ₉ /TP ₉ /TIOCB ₃ PB ₈ /TP ₈ /TIOCA ₃	TPC の出力端子 (TP ₁₅ ~ TP ₈)、DMAC の入力端子 (DREQ ₁ 、DREQ ₀) A/D 変換器の外部トリガ入力端子 (ADTRG)、 ITU の入出力端子 (TOCXB ₂ 、TOCXA ₂ 、TIOCB ₂ 、TIOCA ₂ 、TIOCB ₃ 、TIOCA ₃) と 8 ビットの入出力ポートの兼用					

9.2 ポート 1

9.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 9.1 に示す構成となっており、内蔵 ROM 無効拡張モード / 内蔵 ROM 有効拡張モード / シングルチップモードにより端子機能が異なります。モード 1 ~ 4 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_7 \sim A_0$) 出力端子となります。

モード 5 (内蔵 ROM 有効拡張モード) のときは、ポート 1 データディレクションレジスタ (P1DDR) の設定によりアドレスバス ($A_7 \sim A_0$) 出力端子、または入力ポートとなります。モード 6、7 (シングルチップモード) のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード / ライトサイクルで $A_7 \sim A_0$ がロウ / カラムアドレス出力となります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

また、ポート 1 は、1 個の TTL 負荷と 90pF の容量を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

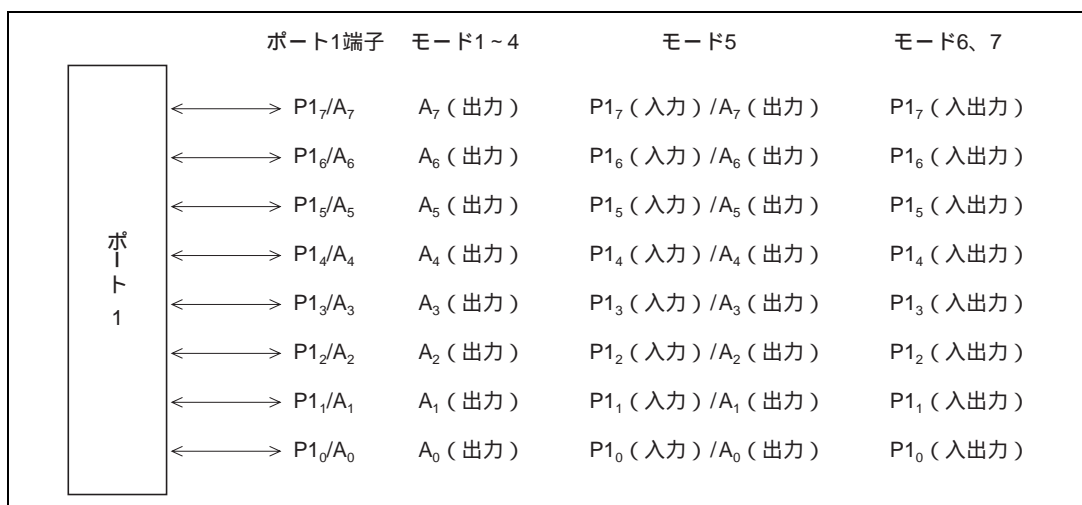


図 9.1 ポート 1 の端子構成

9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2 ポート 1 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFC0	ポート 1 データディレクションレジスタ	P1DDR	W	H'FF	H'00
H'FFC2	ポート 1 データレジスタ	P1DR	R/W	H'00	

【注】 * アドレスの低位 16 ビットを示しています。

9.2.3 各レジスタの説明

(1) ポート1 データディレクションレジスタ (P1DDR)

P1DDR は、8 ビットのライト専用のレジスタで、ポート1 各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W:								
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

└─ ポート1データディレクション7~0

ポート1の各端子の入出力を選択するビットです。

(a) モード1~4 (内蔵 ROM 無効拡張モード)

P1DDR は"1"に固定され、ポート1 はアドレスバスとして機能します。ライトは無効です。

(b) モード5 (内蔵 ROM 有効拡張モード)

P1DDR に"1"をセットすると対応するポート1 の端子はアドレス出力となり、"0"にクリアすると入力ポートになります。

(c) モード6、7 (シングルチップモード)

ポート1 は入出力ポートとして機能します。P1DDR に"1"をセットすると対応するポート1 の端子は出力端子となり、"0"にクリアすると入力端子になります。

モード5~7 では P1DDR は、ライト専用のレジスタで、リードは無効です。リードすると"1"が読み出されます。

P1DDR は、リセット、またはリードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P1DDR が"1"にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

9. I/O ポート

(2) ポート 1 データレジスタ (P1DR)

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 P1₇~P1₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1データ7~0

ポート1の各端子のデータを格納するビットです。

P1DDR が"1"のとき、ポート 1 のリードを行うと、P1DR の値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が"0"のとき、ポート 1 のリードを行うと、端子の状態が読み出されます。

P1DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.2.4 モード別端子機能

ポート 1 は、モード 1~4 (内蔵 ROM 無効拡張モード) とモード 5 (内蔵 ROM 有効拡張モード) およびモード 6、7 (シングルチップモード) では端子機能が異なります。

以下モード別に説明します。

(1) モード 1~4 (内蔵 ROM 無効拡張モード) の端子機能

ポート 1 の各端子は、自動的にアドレス出力端子になります。

モード 1~4 の端子機能を図 9.2 に示します。

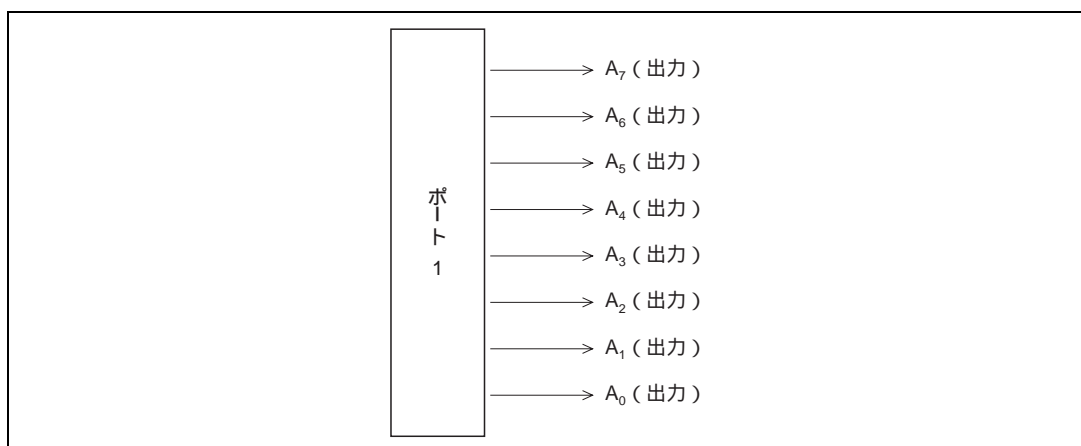


図 9.2 モード 1~4 時の端子機能 (ポート 1)

(2) モード 5 (内蔵 ROM 有効拡張モード) の端子機能

ポート 1 の各端子は、アドレス出力端子と入力ポートとの兼用になります。

P1DDR の各ビットを"1"にセットすると、対応するポート 1 の端子はアドレス出力となり、"0"にクリアすると、入力端子になります。リセット直後は入力ポートになっています。したがって、アドレスバスとして使用する場合は、P1DDR を"1"にセットしてください。

モード 5 時の端子機能を図 9.3 に示します。

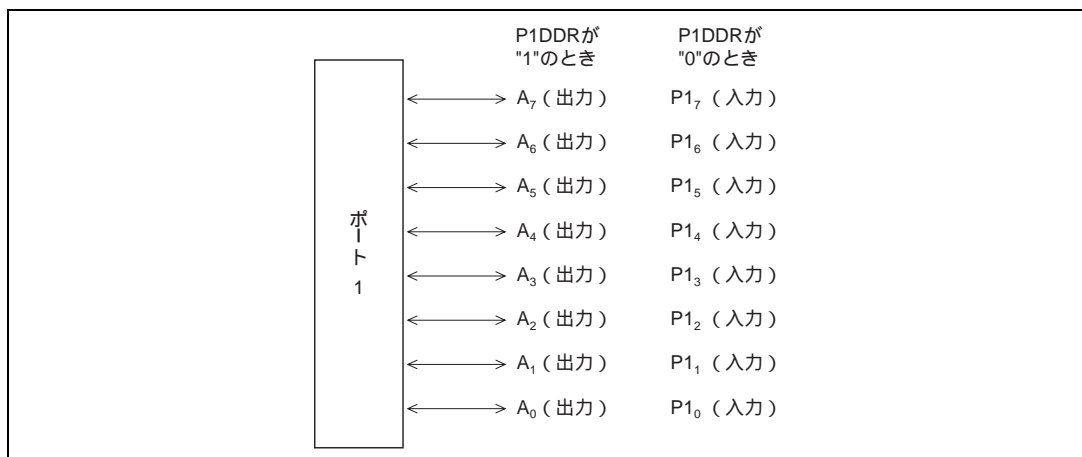


図 9.3 モード 5 時の端子機能 (ポート 1)

(3) モード 6、7 (シングルチップモード) の端子機能

ポート 1 の各端子はビット単位で入出力指定可能です。

P1DDR の各ビットを"1"にセットすると対応するポート 1 の端子は出力端子となり、"0"にクリアすると入力端子となります。

モード 6、7 の端子機能を図 9.4 に示します。

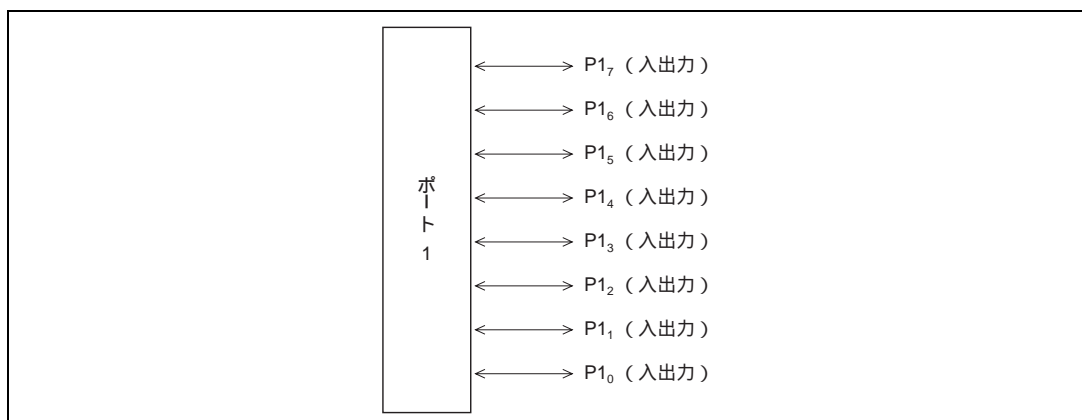


図 9.4 モード 6、7 時の端子機能 (ポート 1)

9.3 ポート 2

9.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 9.5 に示す構成となっています。

モード 1~4 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_{15} \sim A_8$) 出力端子となります。モード 5 (内蔵 ROM 有効拡張モード) のときは、ポート 2 データディレクションレジスタ (P2DDR) の設定によりアドレスバス ($A_{15} \sim A_8$) または入力ポートとなります。

モード 6、7 (シングルチップモード) のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード/ライトサイクルで A_9 、 A_8 がロウ/カラムアドレス出力となります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

ポート 2 は、プログラムで制御可能なプルアップ MOS が内蔵されています。また、1 個の TTL 負荷と 90pF の容量を駆動したり、ダーリントントランジスタを駆動することができます。

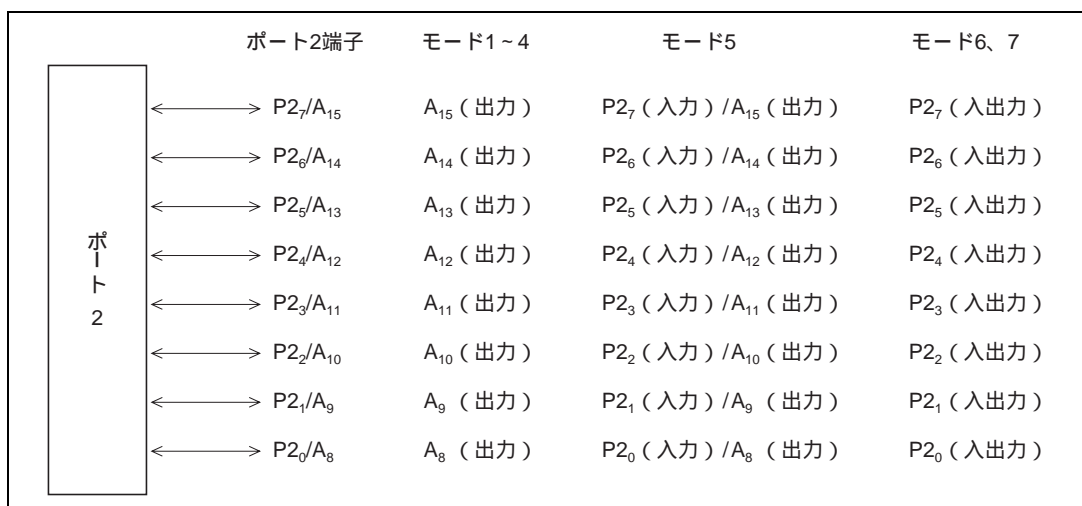


図 9.5 ポート 2 の端子構成

9.3.2 レジスタ構成

表 9.3 にポート 2 のレジスタ構成を示します。

表 9.3 ポート 2 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFC1	ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00
H'FFC3	ポート 2 データレジスタ	P2DR	R/W	H'00	
H'FFD8	ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	

【注】 * アドレスの下部 16 ビットを示しています。

9.3.3 各レジスタの説明

(1) ポート 2 データディレクションレジスタ (P2DDR)

P2DDR は、8 ビットのライト専用のレジスタで、ポート 2 の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W:								
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

ポート2データディレクション7~0

ポート2の各端子の入出力を選択するビットです。

(a) モード 1~4 (内蔵 ROM 無効拡張モード)

P2DDR は"1"に固定され、ポート 2 はアドレスバスとして機能します。ライトは無効です。

(b) モード 5 (内蔵 ROM 有効拡張モード)

P2DDR に"1"をセットすると対応するポート 2 の端子は出力端子となり、"0"にクリアすると入力ポートになります。

(c) モード 6、7 (シングルチップモード)

ポート 2 は入出力ポートとして機能します。P2DDR に"1"をセットすると対応するポート 2 の端子は出力端子となり、"0"にクリアすると入力端子となります。

モード 5~7 では P2DDR は、ライト専用のレジスタで、リードは無効です。リードすると"1"が読み出されます。

P2DDR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P2DDR が"1"にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

9. I/O ポート

(2) ポート 2 データレジスタ (P2DR)

P2DR は、8 ビットリード/ライト可能なレジスタで、ポート 2 の各端子 P2₇ ~ P2₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2データ7~0

ポート2の各端子のデータを格納するビットです。

P2DDR が"1"のとき、ポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が"0"のときポート 2 のリードを行うと、端子の状態が読み出されます。

P2DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 2 入力プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 2 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7~0

ポート2に内蔵した入力プルアップMOSを
制御するビットです。

モード 5~7 のとき、P2DDR を"0"にクリアした (入力ポートの) 状態で P2₇PCR ~ P2₀PCR ビットを"1"にセットすると入力プルアップ MOS は ON します。

P2PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.3.4 モード別端子機能

ポート 2 は、モード 1~4 (内蔵 ROM 無効拡張モード) とモード 5 (内蔵 ROM 有効拡張モード) およびモード 6、7 (シングルチップモード) とでは、端子機能が異なります。

以下モード別に説明します。

(1) モード 1~4 (内蔵 ROM 無効拡張モード) の端子機能

ポート 2 の各端子は、自動的にアドレス出力端子になります。

モード 1~4 の端子機能を図 9.6 に示します。

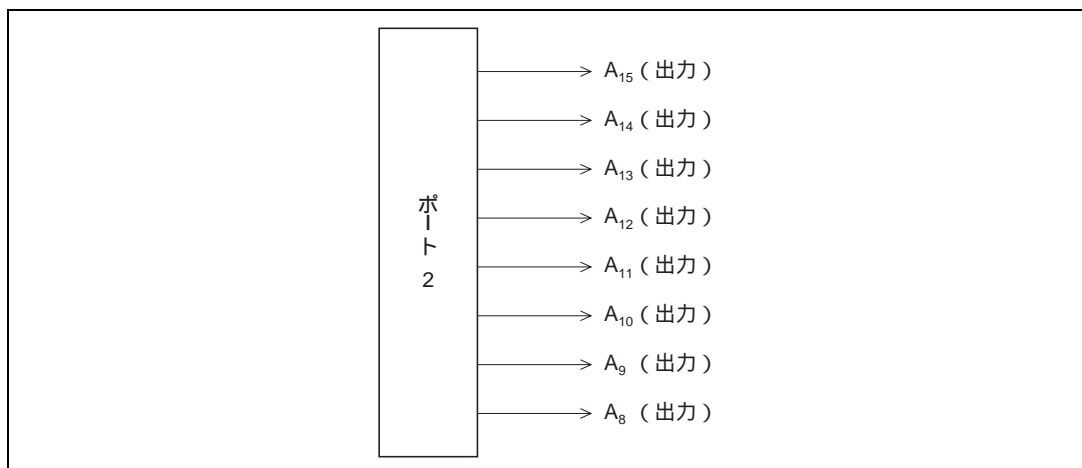


図 9.6 モード 1~4 時の端子機能 (ポート 2)

9. I/O ポート

(2) モード 5 (内蔵 ROM 有効拡張モード) の端子機能

ポート 2 の各端子は、アドレス出力端子と入力ポートとの兼用になります。ビット単位で入出力を指定可能です。

P2DDR の各ビットを"1"にセットすると対応するポート 2 の端子はアドレス出力端子となり、"0"にクリアすると入力端子となります。

リセット直後は入力ポートになっています。したがって、アドレスバスとして使用する場合は P2DDR を"1"にセットしてください。

モード 5 の端子機能を図 9.7 に示します。

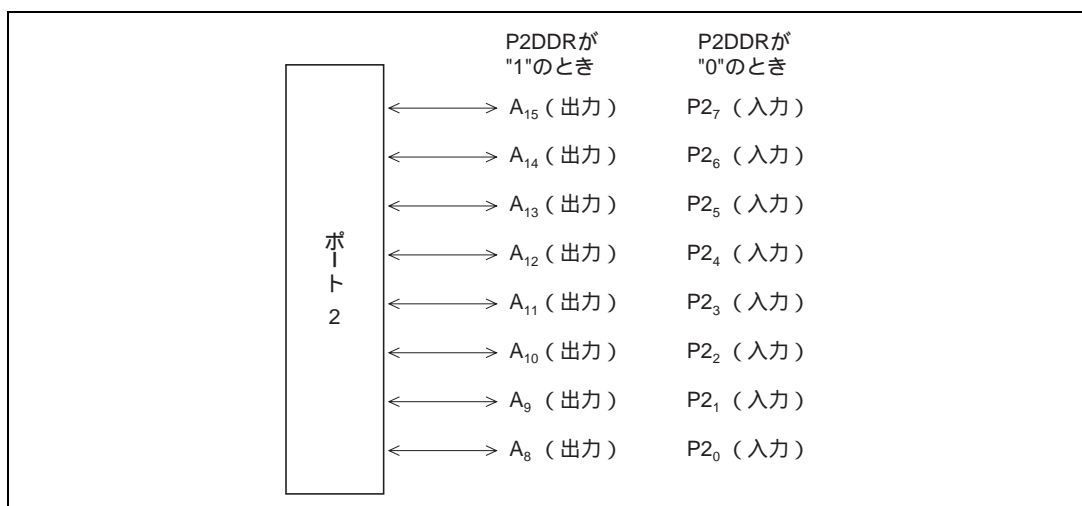


図 9.7 モード 5 時の端子機能 (ポート 2)

(3) モード 6、7 (シングルチップモード) の端子機能

ポート 2 の各端子は、ビット単位で入出力を指定可能です。

P2DDR の各ビットを"1"にセットすると対応するポート 2 の端子は出力端子となり、"0"にクリアすると入力端子となります。

モード 6、7 の端子機能を図 9.8 に示します。

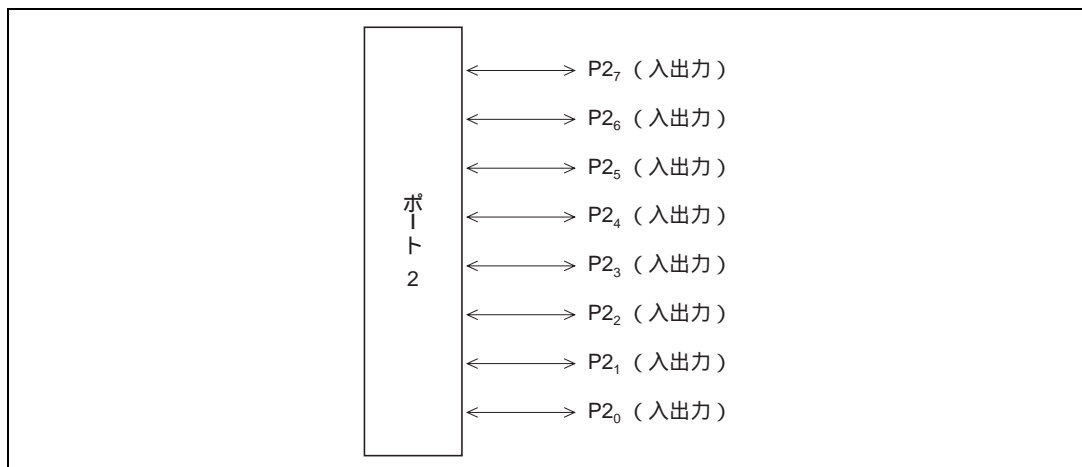


図 9.8 モード 6、7 時の端子機能 (ポート 2)

9.3.5 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 5~7 で使用でき、ビット単位で ON/OFF を指定できます。

モード 5~7 のとき、P2PCR を "1" にセットし、かつ P2DDR を "0" にクリアすると、入力プルアップ MOS は ON となります。

入力プルアップ MOS は、リセット、またはハードウェアスタンバイモード時には OFF します。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 9.4 に示します。

表 9.4 入力プルアップ MOS の状態 (ポート 2)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF		OFF	
2				
3				
4				
5			ON/OFF	
6				
7				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P2PCR = "1" かつ P2DDR = "0" のとき ON 状態、その他のときは OFF 状態です。

9.4 ポート 3

9.4.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、図 9.9 に示す構成となっており、モード 1~5 (拡張モード) のときはデータバスとなり、モード 6、7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 3 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

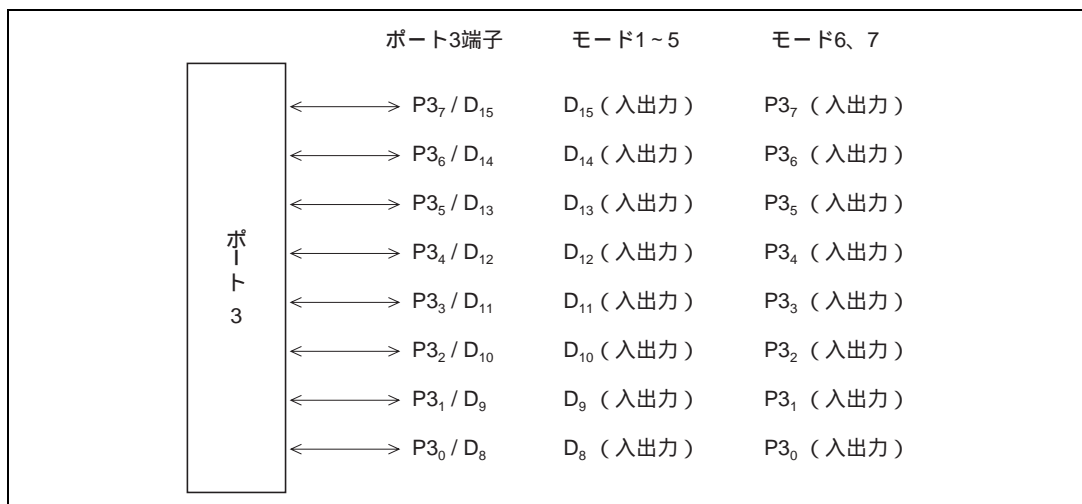


図 9.9 ポート 3 の端子構成

9.4.2 レジスタ構成

表 9.6 にポート 3 のレジスタ構成を示します。

表 9.6 ポート 3 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFC4	ポート 3 データディレクションレジスタ	P3DDR	W	H'00
H'FFC6	ポート 3 データレジスタ	P3DR	R/W	H'00

【注】 * アドレスの下位 16 ビットを示しています。

9.4.3 各レジスタの説明

(1) ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、8 ビットのライト専用のレジスタで、ポート 3 の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート3データディレクション7~0

ポート3の各端子の入出力を選択するビットです。

(a) モード 1~5 (拡張モード)

ポート 3 はデータバスとして機能します。P3DDR は無効です。

(b) モード 6、7 (シングルチップモード)

ポート 3 は入出力ポートとして機能します。

P3DDR に"1"をセットすると対応するポート 3 の端子は出力端子となり、"0"にクリアすると入力端子になります。

P3DDR は、ライト専用で、リードは無効です。リードすると、"1"が読み出されます。

P3DDR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P3DDR が"1"にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 3 データレジスタ (P3DR)

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 P3₇~P3₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3データ7~0

ポート3の各端子のデータを格納するビットです。

P3DDR が"1"のとき、ポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。

P3DDR が"0"のときポート 3 のリードを行うと、端子の状態が読み出されます。

P3DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.4.4 モード別端子機能

ポート 3 は、モード 1~5 (拡張モード) とモード 6、7 (シングルチップモード) では、端子機能が異なります。

以下にモード別に説明します。

(1) モード 1~5 (拡張モード) の端子機能

モード 1~5 (拡張モード) 時には、ポート 3 は自動的にデータ出力端子になります。P3DDR による入出力の方向は無視されます。モード 1~5 時の端子機能を図 9.10 に示します。

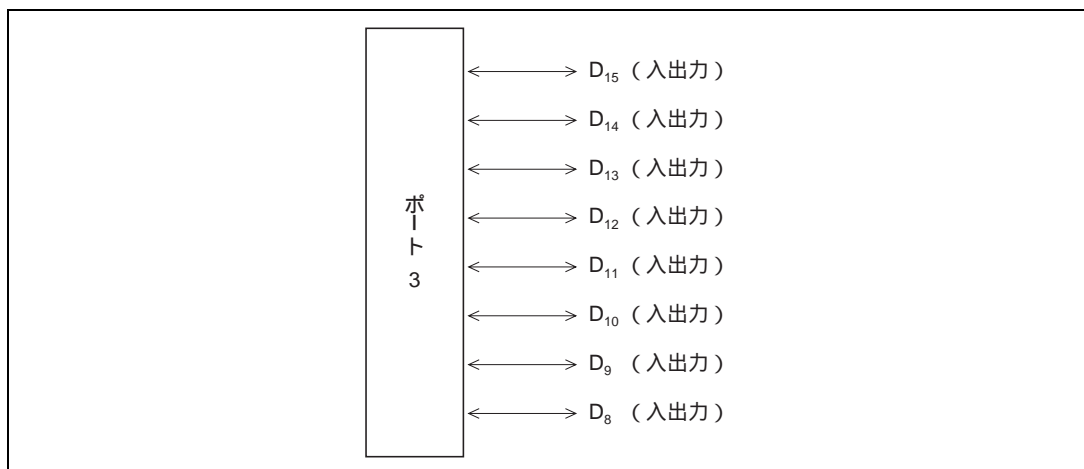


図 9.10 モード 1~5 時の端子機能 (ポート 3)

9. I/O ポート

(2) モード 6、7 (シングルチップモード) 時の端子機能

ポート 3 の各端子は、ビット単位で入出力を指定可能です。

P3DDR の各ビットを"1"にセットすると対応するポート 3 の端子は出力端子となり、"0"にクリアすると入力端子となります。

モード 6、7 の端子機能を図 9.11 に示します。

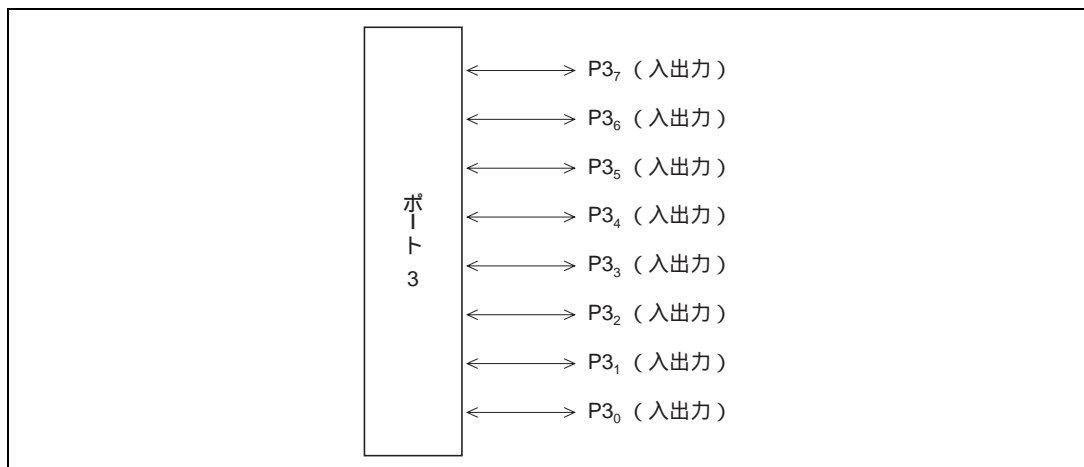


図 9.11 モード 6、7 時の端子機能 (ポート 3)

9.5 ポート 4

9.5.1 概要

ポート 4 は、8 ビットの入出力ポートです。ポート 4 の各端子は、図 9.12 に示す構成となっており、8 ビットバスモードおよびモード 6、7 (シングルチップモード) と 16 ビットバスモードにより、端子機能が異なります。

モード 1~5 (拡張モード) のときバス幅コントロールレジスタ (ABWCR) により、エリア 0~7 のすべてを 8 ビットアクセス空間に設定すると、8 ビットバスモードとなり、ポート 4 は入出力ポートとなります。また、エリア 0~7 のうち少なくとも 1 つのエリアを 16 ビットアクセス空間に設定すると、16 ビットバスモードとなり、ポート 4 はデータバスとなります。

モード 6、7 (シングルチップモード) のとき、ポート 4 は、入出力ポートとなります。

ポート 4 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 4 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

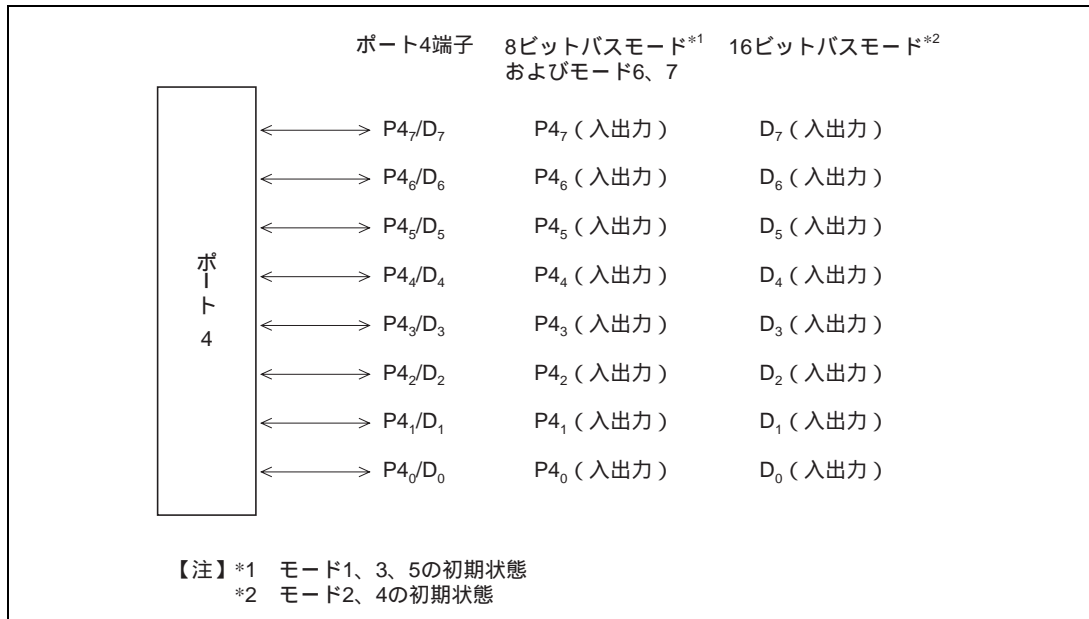


図 9.12 ポート 4 の端子構成

9.5.2 レジスタ構成

表 9.7 にポート 4 のレジスタ構成を示します。

表 9.7 ポート 4 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFC5	ポート 4 データディレクションレジスタ	P4DDR	W	H'00
H'FFC7	ポート 4 データレジスタ	P4DR	R/W	H'00
H'FFDA	ポート 4 入力プルアップ MOS コントロールレジスタ	P4PCR	R/W	H'00

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、8 ビットのライト専用のレジスタで、ポート 4 の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

— ポート4データディレクション7~0

ポート4の各端子の入出力を選択するビットです。

(a) モード 1~5 (拡張モード) の 8 ビットバスモード

全エリアを 8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート 4 は入出力ポートとして機能します。P4DDR に"1"をセットすると対応するポート 4 の端子は出力端子となり、"0"にクリアすると入力端子になります。

(b) モード 1~5 (拡張モード) の 16 ビットバスモード

少なくとも 1 つのエリアを 16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、ポート 4 はデータバスとして機能します。

(c) モード 6、7 (シングルチップモード)

ポート 4 は入出力として機能します。P4DDR に"1"をセットすると対応するポート 4 の端子は出力端子となり、"0"にクリアすると入力端子になります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、"1"が読み出されます。

P4DDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時には初期化されません。

したがって、ポート 4 が入出力ポートとして機能しているとき、P4DDR が"1"にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート4データレジスタ (P4DR)

P4DRは、8ビットのリード/ライト可能なレジスタで、ポート4の各端子P4₇~P4₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7~0

ポート4の各端子のデータを格納するビットです。

P4DDRが"1"のとき、ポート4のリードを行うと、P4DRの値を直接リードします。そのため端子の状態の影響を受けません。P4DDRが"0"のとき、ポート4のリードを行うと、端子の状態が読み出されます。8ビット/16ビットバスモードで共通です。

P4DRは、リセット、またはハードウェアスタンバイモード時に、H'00に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート4入力プルアップMOSコントロールレジスタ (P4PCR)

P4PCRは8ビットのリード/ライト可能なレジスタで、ポート4に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0

ポート4に内蔵した入力プルアップMOSを制御するビットです。

モード1~5(拡張モード)の8ビットバスモード時とモード6、7(シングルチップモード)時、P4DDRを"0"にクリアした(入力ポートの)状態で、P4PCRを"1"にセットすると入力プルアップMOSはONします。

P4PCRは、リセット、またはハードウェアスタンバイモード時に、H'00に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.5.3 モード別端子機能

ポート 4 は、ABWCR による 8 ビット / 16 ビットバスモードの設定により、端子機能が異なります。

以下モード別に説明します。

(1) モード 1~5 (拡張モード) の 8 ビットバスモード

ポート 4 の各端子は、ビット単位で入出力を指定可能です。P4DDR の各ビットを"1"にセットすると対応するポート 4 の端子は出力端子となり、"0"にクリアすると入力端子となります。

8 ビットバスモードの端子機能を図 9.13 に示します。

モード 1、3、5 の初期状態です。

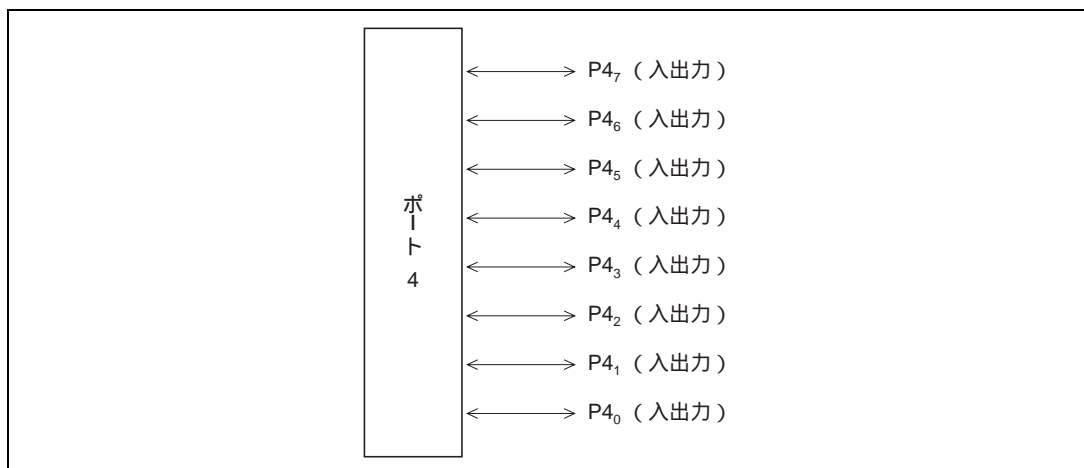


図 9.13 8 ビットバスモード時の端子機能 (ポート 4)

(2) モード 1~5 (拡張モード) の 16 ビットバスモード

ポート 4 の各端子は、自動的にデータ入出力端子になります。P4DDR による入出力の方向は無視されます。

16 ビットバスモードの端子機能を図 9.14 に示します。

モード 2、4 の初期状態です。

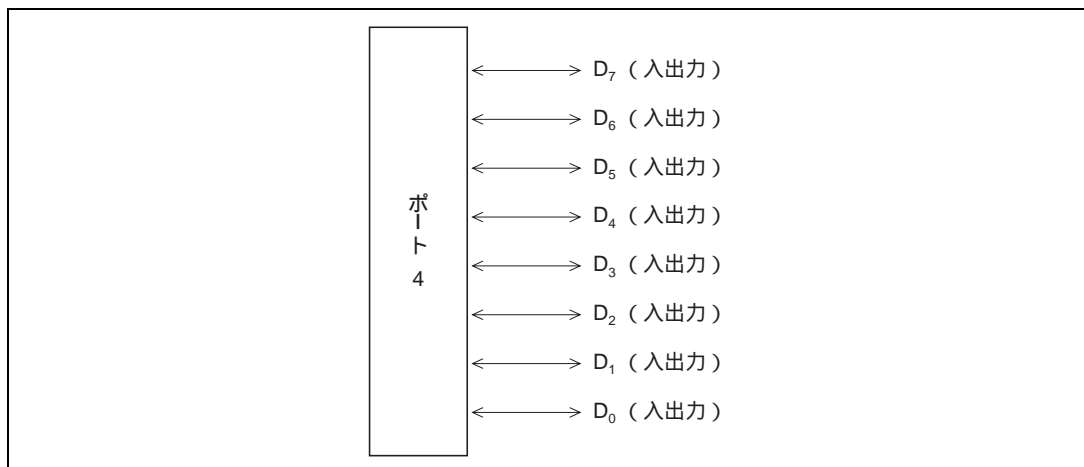


図 9.14 16 ビットバスモード時の端子機能 (ポート 4)

(3) モード 6、7 (シングルチップモード)

ポート 4 の各端子はビット単位で入出力を指定可能です。P4DDR の各ビットを"1"にセットすると対応するポート 4 の端子は出力端子となり、"0"にクリアすると入力端子となります。

モード 6、7 の端子機能を図 9.15 に示します。

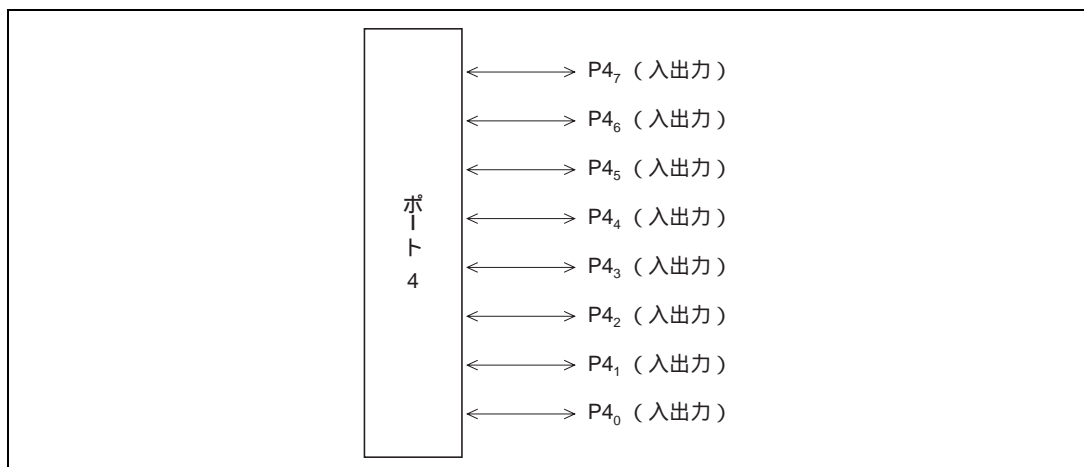


図 9.15 モード 6、7 時の端子機能 (ポート 4)

9.5.4 入力プルアップ MOS

ポート 4 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 1~5 (拡張モード) の 8 ビットバスモードとモード 6、7 (シングルチップモード) のときに使用でき、ビット単位で ON/OFF を指定できます。

モード 1~5 の 8 ビットバスモードまたはモード 6、7 のとき、P4PCR を "1" にセットし、かつ P4DDR を "0" にクリアすると、入力プルアップ MOS は ON となります。

入力プルアップ MOS は、リセット、またはハードウェアスタンバイモード時には OFF します。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 9.8 に示します。

表 9.8 入力プルアップ MOS の状態 (ポート 4)

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1~5	8 ビットバスモード	OFF		ON/OFF	
	16 ビットバスモード			OFF	
6、7				ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P4PCR = "1" かつ P4DDR = "0" のとき ON 状態、その他のときは OFF 状態です。

9.6 ポート 5

9.6.1 概要

ポート 5 は、4 ビットの入出力ポートです。ポート 5 の各端子は、図 9.16 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1~4 (内蔵 ROM 無効拡張モード) に設定したとき、ポート 5 の各端子はアドレス出力として機能します。モード 5 (内蔵 ROM 有効拡張モード) に設定したときは、ポート 5 データディレクションレジスタ (P5DDR) の設定によりアドレスバス (PA₁₉~PA₁₆) または入力ポートとなります。

モード 6、7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 5 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 5 は、1 個の TTL 負荷と 90pF の容量を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

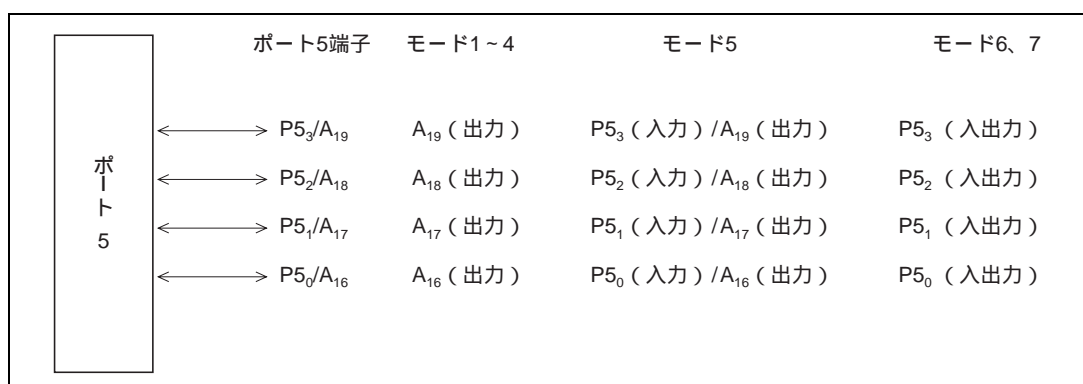


図 9.16 ポート 5 の端子構成

9.6.2 レジスタ構成

表 9.9 にポート 5 のレジスタ構成を示します。

表 9.9 ポート 5 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFC8	ポート 5 データディレクションレジスタ	P5DDR	W	H'FF	H'F0
H'FFCA	ポート 5 データレジスタ	P5DR	R/W	H'F0	
H'FFDB	ポート 5 入力プルアップ MOS コントロールレジスタ	P5PCR	R/W	H'F0	

【注】 * アドレスの下位 16 ビットを示しています。

9. I/O ポート

(1) ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、8 ビットのライト専用のレジスタで、ポート 5 の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
						P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W:								
モード5~7	初期値:	1	1	1	1	0	0	0	0
	R/W:					W	W	W	W

リザーブビット

ポート5データディレクション3~0
ポート5の各端子の入出力を選択するビットです。

(a) モード 1~4

P5DDR は"1"に固定され、ポート 5 はアドレス出力として機能します。P5₇DDR ~ P5₄DDR ビットはリザーブビットで、"1"に固定されています。ライトは無効です。

(b) モード 5~7

P5DDR は、ライト専用レジスタで、リードは無効です。リードすると"1"が読み出されます。

P5DDR は、リセット、またはハードウェアスタンバイモード時に、HF0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P5DDR が"1"にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート 5 データレジスタ (P5DR)

P5DR は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の各端子 P5₃ ~ P5₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
					P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	1	1	1	1	0	0	0	0
R/W:					R/W	R/W	R/W	R/W

リザーブビット

ポート5データ3~0

ポート5の各端子のデータを格納するビットです。

P5DDR が"1"のとき、ポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が"0"のときポート 5 のリードを行うと、端子の状態が読み出されます。

P5₇ ~ P5₄ ビットは、リザーブビットです。リード/ライト可能ですが、ポートとしては使用できません。

P5DR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 5 入力プルアップ MOS コントロールレジスタ (P5PCR)

P5PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 5 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
					P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR
初期値:	1	1	1	1	0	0	0	0
R/W:					R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール3~0

ポート5に内蔵した入力プルアップMOSを制御するビットです。

モード 5 ~ 7 のとき、P5DDR を"0"にクリアした(入力ポート)状態で P5₃PCR ~ P5₀PCR ビットを"1"にセットすると入力プルアップ MOS は ON します。

P5PCR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.6.3 モード別端子機能

ポート 5 は、モード 1~4 (内蔵 ROM 無効拡張モード) とモード 5 (内蔵 ROM 有効拡張モード) およびモード 6、7 (シングルチップモード) とでは、端子機能が異なります。

以下モード別に説明します。

(1) モード 1~4 (内蔵 ROM 無効拡張モード) の端子機能

ポート 5 の各端子は、自動的にアドレス出力端子になります。

モード 1~4 の端子機能を図 9.17 に示します。

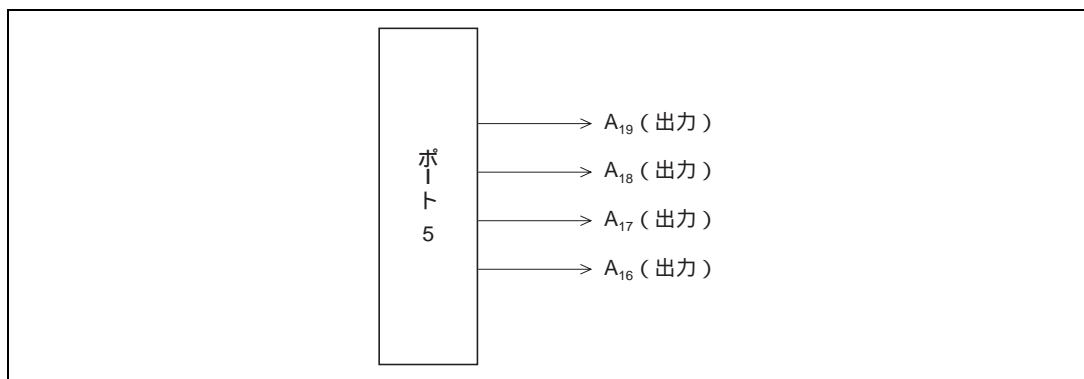


図 9.17 モード 1~4 の端子機能 (ポート 5)

(2) モード 5 (内蔵 ROM 有効拡張モード) の端子機能

ポート 5 の各端子は、アドレス出力端子と入力ポートとの兼用になります。P5DDR の各ビットを "1" にセットすると対応するポート 5 の端子はアドレス出力端子となり、"0" にクリアすると入力端子となります。

モード 5 の端子機能を図 9.18 に示します。

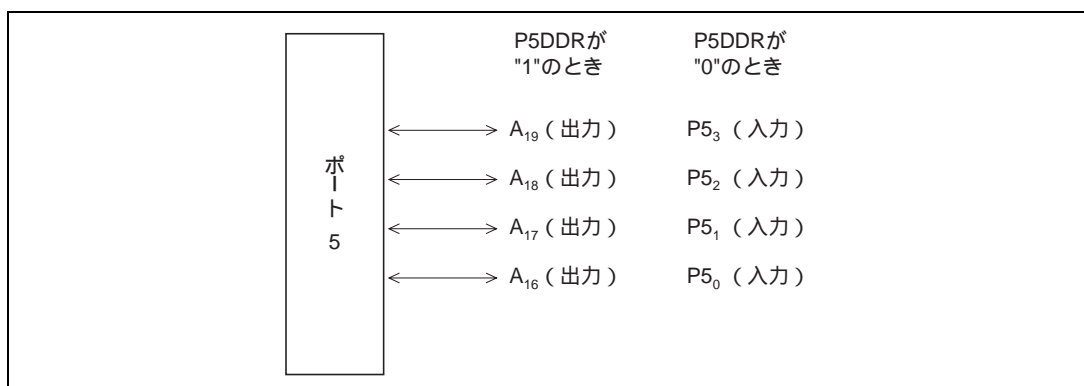


図 9.18 モード 5 時の端子機能 (ポート 5)

(3) モード 6、7 (シングルチップモード) の端子機能

ポート 5 の各端子は、ビット単位で入出力を指定可能です。P5DDR の各ビットを"1"にセットすると対応するポート 5 の端子は出力端子となり、"0"にクリアすると入力端子となります。

モード 6、7 の端子機能を図 9.19 に示します。

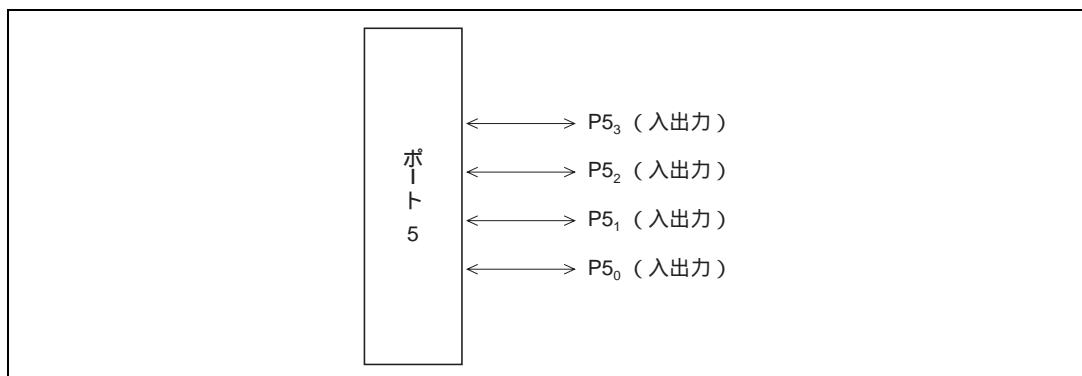


図 9.19 モード 6、7 時の端子機能 (ポート 5)

9.6.4 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 5~7 で使用でき、ビット単位で ON/OFF を指定できます。

モード 5~7 のとき、P5PCR を"1"にセットし、かつ P5DDR を"0"にクリアすると、入力プルアップ MOS は ON となります。

入力プルアップ MOS は、リセット、またはハードウェアスタンバイモード時には OFF します。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 9.10 に示します。

表 9.10 入力プルアップ MOS の状態 (ポート 5)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1	OFF		OFF	
2				
3				
4				
5	OFF		ON/OFF	
6				
7				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P5PCR = "1"かつ P5DDR = "0"のとき ON 状態、その他のときは OFF 状態です。

9.7 ポート 6

9.7.1 概要

ポート 6 は、7 ビットの入出力ポートです。ポート 6 はバス制御入出力端子 (\overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS} 、 \overline{BACK} 、 \overline{BREQ} 、 \overline{WAIT}) と兼用になっています。エリア 3 に DRAM を接続する場合には、 \overline{LWR} 、 \overline{HWR} 、 \overline{RD} がそれぞれ \overline{LW} 、 \overline{UW} 、 \overline{CAS} または \overline{LCAS} 、 \overline{UCAS} 、 \overline{WE} と兼用になります。詳細は「第 7 章 リフレッシュコントローラ」を参照してください。

ポート 6 の端子構成を図 9.20 に示します。

モード 1~5 (拡張モード) 時には、 \overline{LWR} 、 \overline{HWR} 、 \overline{RD} 、 \overline{AS} 、 $P6_2/\overline{BACK}$ 、 $P6_1/\overline{BREQ}$ 、 $P6_0/\overline{WAIT}$ として機能します。モード 6、7 (シングルチップモード) 時には、入出力ポートとなります。

ポート 6 は、1 個の TTL 負荷と 30pF の容量を負荷駆動することができます。また、ダーリントントランジスタを駆動することができます。

ポート6端子	モード1~5 (拡張モード)	モード6、7 (シングルチップモード)
↔ $P6_6/\overline{LWR}$	\overline{LWR} (出力)	$P6_6$ (入出力)
↔ $P6_5/\overline{HWR}$	\overline{HWR} (出力)	$P6_5$ (入出力)
↔ $P6_4/\overline{RD}$	\overline{RD} (出力)	$P6_4$ (入出力)
↔ $P6_3/\overline{AS}$	\overline{AS} (出力)	$P6_3$ (入出力)
↔ $P6_2/\overline{BACK}$	$P6_2$ (入出力) / \overline{BACK} (出力)	$P6_2$ (入出力)
↔ $P6_1/\overline{BREQ}$	$P6_1$ (入出力) / \overline{BREQ} (入力)	$P6_1$ (入出力)
↔ $P6_0/\overline{WAIT}$	$P6_0$ (入出力) / \overline{WAIT} (入力)	$P6_0$ (入出力)

図 9.20 ポート 6 の端子構成

9.7.2 レジスタ構成

表 9.11 にポート 6 のレジスタ構成を示します。

表 9.11 ポート 6 レジスタ構成

アドレス*	名称	略称	R/W	初期値
				モード 1~5
H'FFC9	ポート 6 データディレクションレジスタ	P6DDR	W	H'80
H'FFCB	ポート 6 データレジスタ	P6DR	R/W	H'80

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
		P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:		W	W	W	W	W	W	W

リザーブビット

ポート6データディレクション6~0

ポート6の各端子の入出力を選択するビットです。

(a) モード 1~5 (拡張モード)

ポート P6₆~P6₃ はバス制御出力端子 ($\overline{\text{LWR}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$) として機能します。P6₂~P6₀ は、入出力ポートとして機能します。P6DDR2~0 に"1"をセットすると対応するポート 6 の端子は出力端子となり、"0"にすると入力端子になります。

(b) モード 6、7 (シングルチップモード)

ポート 6 は入出力ポートとして機能します。

P6DDR に"1"をセットすると対応するポート 6 の端子は出力端子となり、"0"にクリアすると入力端子になります。

ビット 7 はリザーブビットです。

P6DDR は、ライト専用で、リードは無効です。リードすると"1"が読み出されます。

P6DDR は、リセット、またはハードウェアスタンバイモード時に、H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDR が"1"にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

9. I/O ポート

(2) ポート 6 データレジスタ (P6DR)

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子 P6₂ ~ P6₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
		P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート6データ6~0
ポート6の各端子のデータを格納するビットです。

P6DDR が"1"のときポート 6 のリードを行うと、P6DR の値を直接リードします。P6DDR が"0"のときポート 6 のリードを行うと端子の状態が読み出されます。このとき、ビット 7 は"1"となります。ビット 7 はリザーブビットです。また、ビット 7 はリードすると常に"1"が読み出されます。ライトは無効です。

P6DR は、リセット、またはハードウェアスタンバイモード時に H'80 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.7.3 モード別端子機能

(1) モード 1~5 (拡張モード) の端子機能

ポート P6₆~P6₃ はバス制御出力端子として機能します。

ポート P6₂~P6₀ は、バス制御入出力端子と入出力ポートとの兼用になります。P6DDR2~0 に"1"をセットすると対応するポート 6 の端子は出力端子となり、"0"にクリアすると入力端子になります。

図 9.21 と表 9.12 にモード 1~5 時の端子機能を示します。

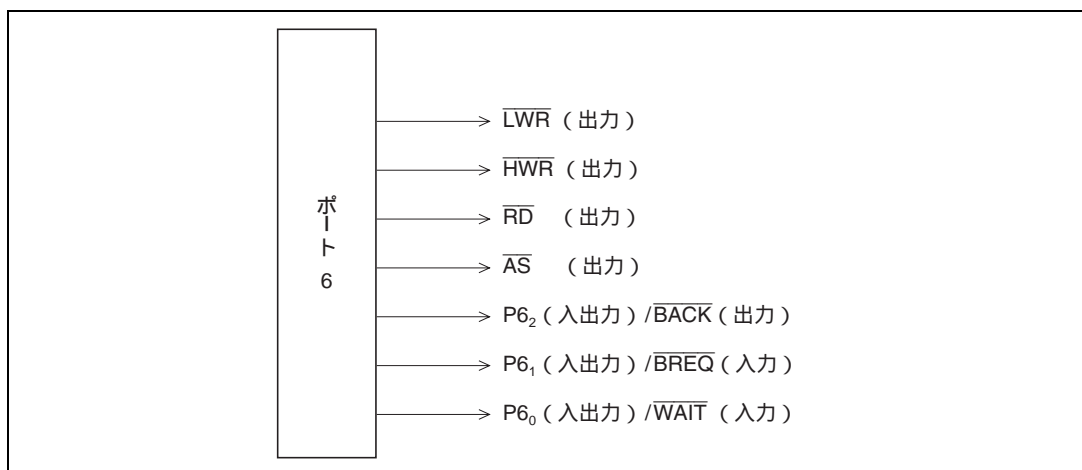


図 9.21 モード 1~5 の端子機能 (ポート 6)

9. I/O ポート

表 9.12 モード 1~5 の端子機能 (ポート 6)

端子	選択方法と端子機能			
P6 ₀ /LWR	P6 ₀ DDR とは無関係に、次のように切り替わります。			
	P6 ₀ DDR	0		1
	端子機能	LWR 出力端子		
P6 ₅ /HWR	P6 ₅ DDR とは無関係に、次のように切り替わります。			
	P6 ₅ DDR	0		1
	端子機能	HWR 出力端子		
P6 ₄ /RD	P6 ₄ DDR とは無関係に、次のように切り替わります。			
	P6 ₄ DDR	0		1
	端子機能	RD 出力端子		
P6 ₃ /AS	P6 ₃ DDR とは無関係に、次のように切り替わります。			
	P6 ₃ DDR	0		1
	端子機能	AS 出力端子		
P6 ₂ /BACK	BRCR の BRLE ビットと P6 ₂ DDR ビットの組み合わせにより、次のように切り替わります。			
	BRLE	0		1
	P6 ₂ DDR	0	1	
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子	BACK 出力端子
P6 ₁ /BREQ	BRCR の BRLE ビットと P6 ₁ DDR ビットの組み合わせにより、次のように切り替わります。			
	BRLE	0		1
	P6 ₁ DDR	0	1	
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子	BREQ 入力端子
P6 ₀ /WAIT	WCER の WCE7~WCE0、WCR の WMS1 ビットと P6 ₀ DDR ビットの組み合わせで、次のように切り替わります。			
	WCER	すべてが"1"		いずれかが"0"
	WMS1	0		1
	P6 ₀ DDR	0	1	0* 0*
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子	WAIT 入力端子
【注】 * P6 ₀ DDR は"1"にセットしないでください。				

(2) モード 6、7 の端子機能

ポート 6 の各端子はビット単位で入出力を指定可能です。

P6DDR の各ビットを"1"にセットすると対応するポート 6 の端子は出力端子となり、"0"にクリアすると入力端子になります。

モード 6、7 時の端子機能を図 9.22 に示します。

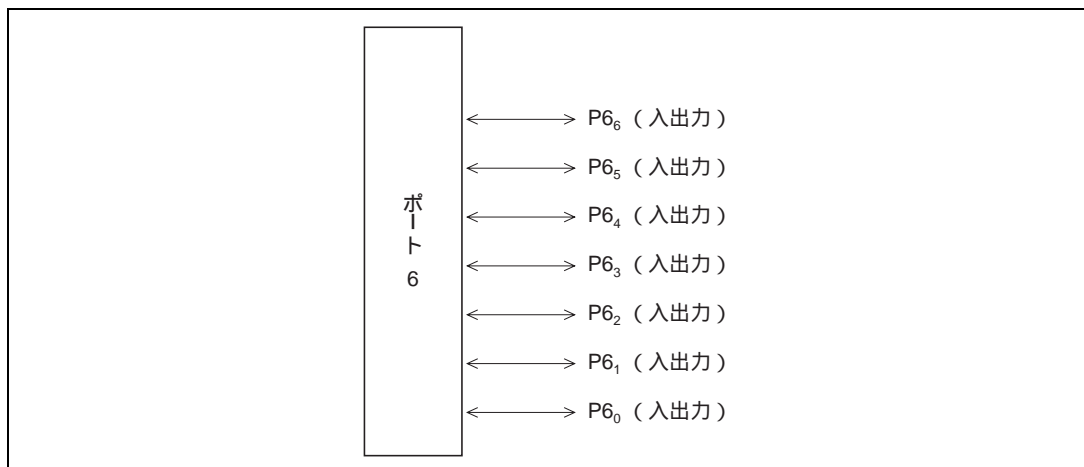


図 9.22 ポート 6、7 時の端子機能 (ポート 6)

9.8 ポート7

9.8.1 概要

ポート7は8ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子とD/A変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート7の端子構成を図9.23に示します。

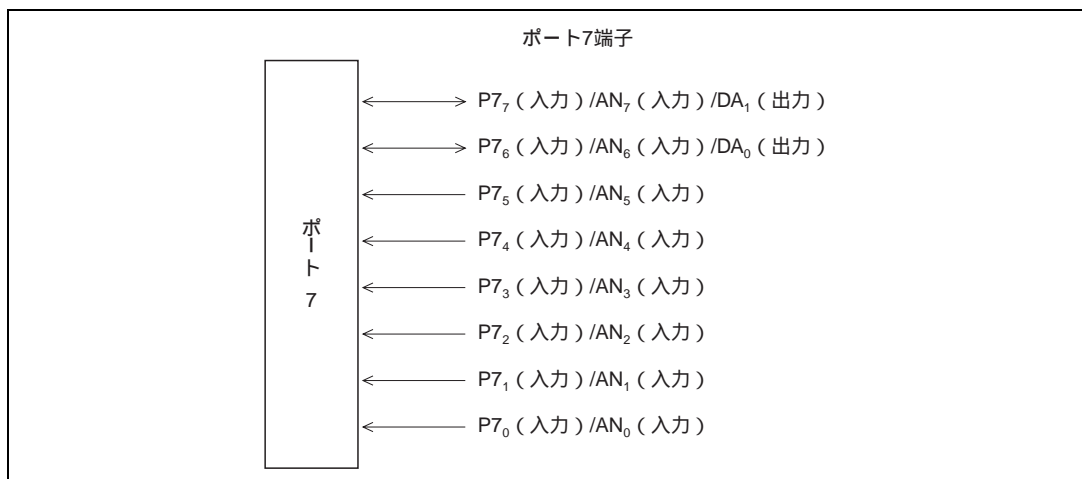


図 9.23 ポート7の端子構成

9.8.2 レジスタ構成

表9.13にポート7のレジスタ構成を示します。ポート7は入力専用ポートであり、データディレクションレジスタはありません。

表 9.13 ポート7レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFCE	ポート7データレジスタ	P7DR	R	不定

【注】* アドレスの下位16ビットを示しています。

(1) ポート7データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R

【注】* P7₇~P7₀端子により決定されます。

P7DRのリードを行うと、常に端子の状態が読み出されます。

9.9 ポート 8

9.9.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 \overline{RFSH} 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用になっています。ポート 8 の端子構成を図 9.24 に示します。

モード 1 ~ 5 (拡張モード) 時には、ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$ 出力端子、 \overline{RFSH} 出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用になります。

モード 6、7 (シングルチップモード) 時には、ポート 8 は、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用となります。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

$P8_2 \sim P8_0$ 端子はシュミットトリガ入力です。

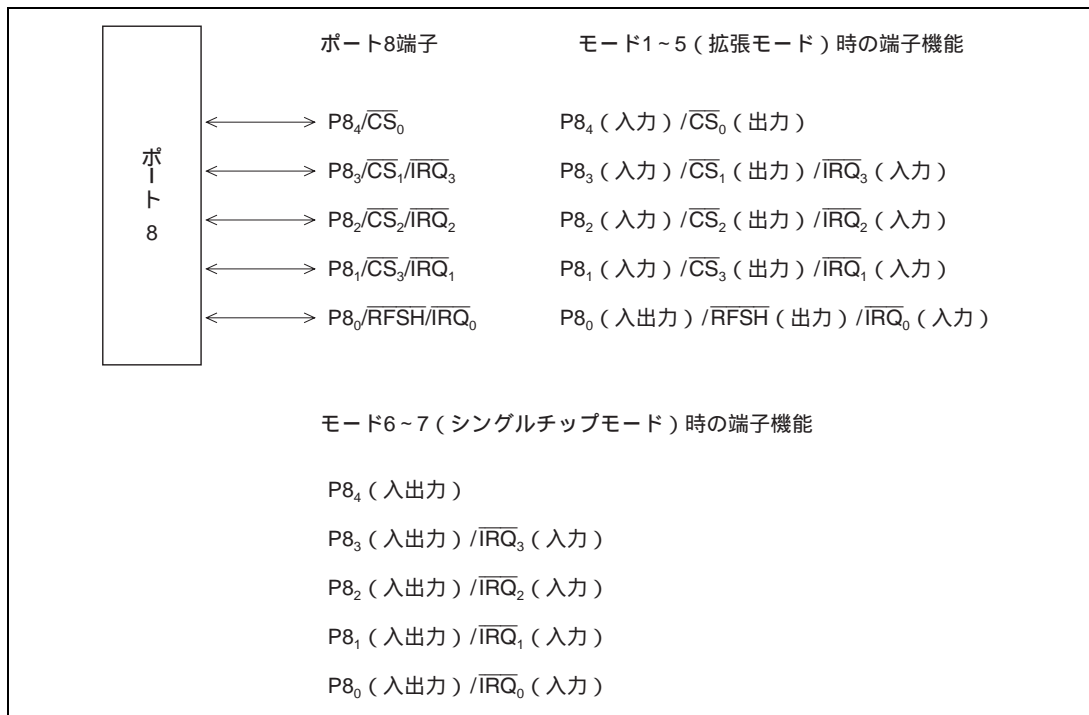


図 9.24 ポート 8 の端子構成

9.9.2 レジスタ構成

表 9.14 にポート 8 のレジスタ構成を示します。

表 9.14 ポート 8 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1~4	モード 5~7
H'FFCD	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0	H'E0
H'FFCF	ポート 8 データレジスタ	P8DR	R/W	H'E0	H'E0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、8 ビットのライト専用のレジスタで、ポート 8 の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
					P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
モード1~4	初期値:	1	1	1	1	0	0	0	0
	R/W:				W	W	W	W	W
モード5~7	初期値:	1	1	1	0	0	0	0	0
	R/W:				W	W	W	W	W

リザーブビット
ポート8データディレクション4~0
ポート8の各端子の入出力を選択するビットです。

(a) モード 1~5 (拡張モード)

P8DDR を"1"にセットすると、P8₄~P8₁は \overline{CS}_0 ~ \overline{CS}_3 出力端子となり、P8₀はポート出力端子となります。また、P8DDR を"0"にクリアすると入力端子になります。

(b) モード 6、7 (シングルチップモード)

ポート 8 は、入出力ポートとして機能します。P8DDR を"1"にセットすると対応するポート 8 の端子は出力端子となり、"0"にクリアすると入力端子になります。

P8DDR は、ライト専用レジスタで、リードは無効です。リードすると"1"が読み出されます。

P8DDR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。P8DDR は、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDR が"1"にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート 8 データレジスタ (P8DR)

P8DR は、8 ビットのリード/ライト可能なレジスタで、ポート 8 の各端子 P8₄ ~ P8₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
				P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	1	1	0	0	0	0	0
R/W:				R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート8データディレクション4~0
ポート8の各端子のデータを格納するビットです。

P8DDR が"1"のときポート 8 のリードを行うと、P8DR の値を直接リードします。P8DDR が"0"のときポート 8 のリードを行うと端子の状態が読み出されます。

ビット 7~5 はリザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。

9.9.3 モード別端子機能

ポート 8 はモード 1~5 (拡張モード) とモード 6、7 (シングルチップモード) とでは端子機能が異なります。

以下モード別に説明します。

(1) モード 1~5 (拡張モード) の端子構成

P8₂ は \overline{CS}_0 出力端子と兼用になっています。P8₃ ~ P8₁ は \overline{CS}_3 ~ \overline{CS}_1 出力端子および、 \overline{IRQ}_3 ~ \overline{IRQ}_1 入力端子と兼用となっています。P8₀ は、 \overline{RFSH} 出力端子および \overline{IRQ}_0 の入力端子と兼用となっています。

モード 1~5 の端子機能を図 9.25 と表 9.15 に示します。

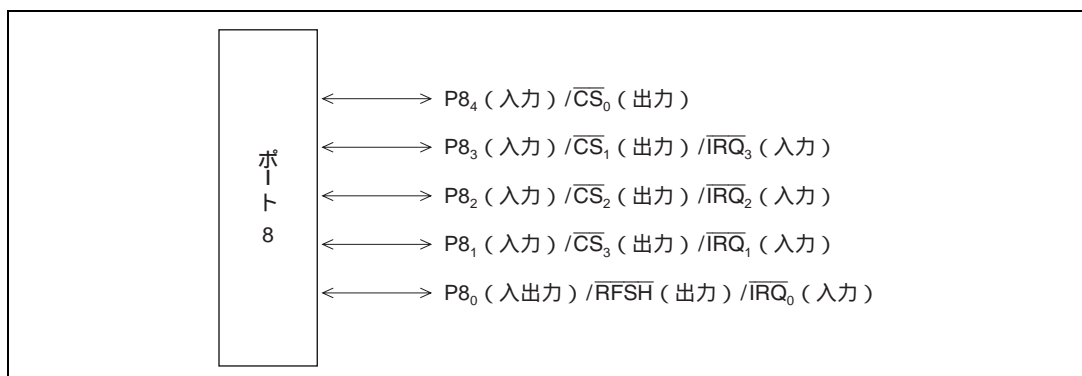


図 9.25 モード 1~5 時の端子機能 (ポート 8)

9. I/O ポート

表 9.15 モード 1~5 時の端子機能 (ポート 8)

端子	選択方法と端子機能		
P8 ₄ / \overline{CS}_0	P8 ₄ DDR ビットにより、次のように切り替わります。		
	P8 ₄ DDR	0	1
	端子機能	P8 ₄ 入力端子	\overline{CS}_0 出力端子
P8 ₃ / \overline{CS}_1 / \overline{IRQ}_3	P8 ₃ DDR ビットにより、次のように切り替わります。		
	P8 ₃ DDR	0	1
	端子機能	P8 ₃ 入力端子	\overline{CS}_1 出力端子
		\overline{IRQ}_3 入力端子	
P8 ₂ / \overline{CS}_2 / \overline{IRQ}_2	P8 ₂ DDR ビットにより、次のように切り替わります。		
	P8 ₂ DDR	0	1
	端子機能	P8 ₂ 入力端子	\overline{CS}_2 出力端子
		\overline{IRQ}_2 入力端子	
P8 ₁ / \overline{CS}_3 / \overline{IRQ}_1	P8 ₁ DDR ビットにより、次のように切り替わります。		
	P8 ₁ DDR	0	1
	端子機能	P8 ₁ 入力端子	\overline{CS}_3 出力端子
		\overline{IRQ}_1 入力端子	
P8 ₀ / \overline{RFSH} / \overline{IRQ}_0	RFSHCR の RFSHE ビット、および P8 ₀ DDR ビットの組み合わせにより、次のように切り替わります。		
	RFSHE	0	
	P8 ₀ DDR	0	1
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子
\overline{IRQ}_0 入力端子			

(2) モード 6、7 (シングルチップモード) 時の端子機能

ポート 6 の各端子はビット単位で入出力を指定可能です。ポート P8₃ ~ P8₀ は \overline{IRQ}_3 ~ \overline{IRQ}_0 入力端子と兼用です。モード 6、7 時の端子機能を図 9.26 と表 9.16 に示します。

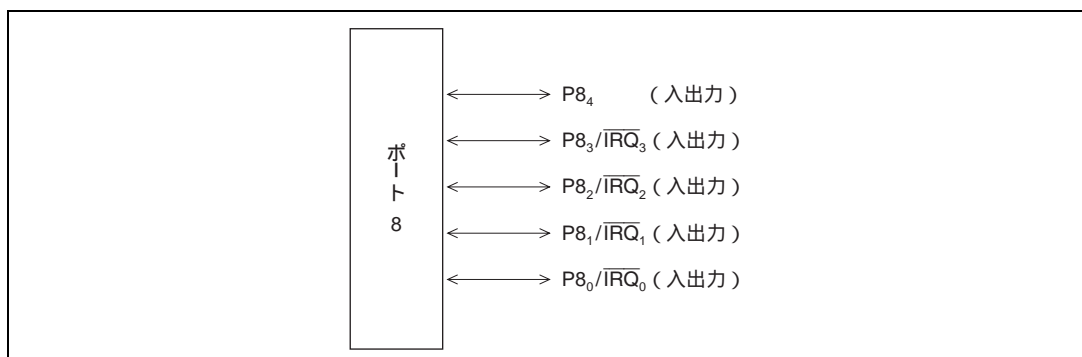


図 9.26 モード 6、7 時の端子構成 (ポート 8)

表 9.16 モード 6、7 時の端子機能 (ポート 8)

端子	選択方法と端子機能		
P8 ₄	P8 ₄ DDR ビットにより、次のように切り替わります。		
	P8 ₄ DDR	0	1
	端子機能	P8 ₄ 入力端子	P8 ₄ 出力端子
P8 ₃ / $\overline{\text{IRQ}}_3$	P8 ₃ DDR ビットにより、次のように切り替わります。		
	P8 ₃ DDR	0	1
	端子機能	P8 ₃ 入力端子	P8 ₃ 出力端子
		$\overline{\text{IRQ}}_3$ 入力端子	
P8 ₂ / $\overline{\text{IRQ}}_2$	P8 ₂ DDR ビットにより、次のように切り替わります。		
	P8 ₂ DDR	0	1
	端子機能	P8 ₂ 入力端子	P8 ₂ 出力端子
		$\overline{\text{IRQ}}_2$ 入力端子	
P8 ₁ / $\overline{\text{IRQ}}_1$	P8 ₁ DDR ビットにより、次のように切り替わります。		
	P8 ₁ DDR	0	1
	端子機能	P8 ₁ 入力端子	P8 ₁ 出力端子
		$\overline{\text{IRQ}}_1$ 入力端子	
P8 ₀ / $\overline{\text{IRQ}}_0$	P8 ₀ DDR ビットにより、次のように切り替わります。		
	P8 ₀ DDR	0	1
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子
		$\overline{\text{IRQ}}_0$ 入力端子	

9.10 ポート 9

9.10.1 概要

ポート 9 は、6 ビットの入出力ポートです。ポート 9 はシリアルコミュニケーションインタフェースチャンネル 0、1 (SCI0、1) の入出力端子 (TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。

ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の端子構成を図 9.27 に示します。

ポート 9 は、1 個の TTL 負荷と 30pF 容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

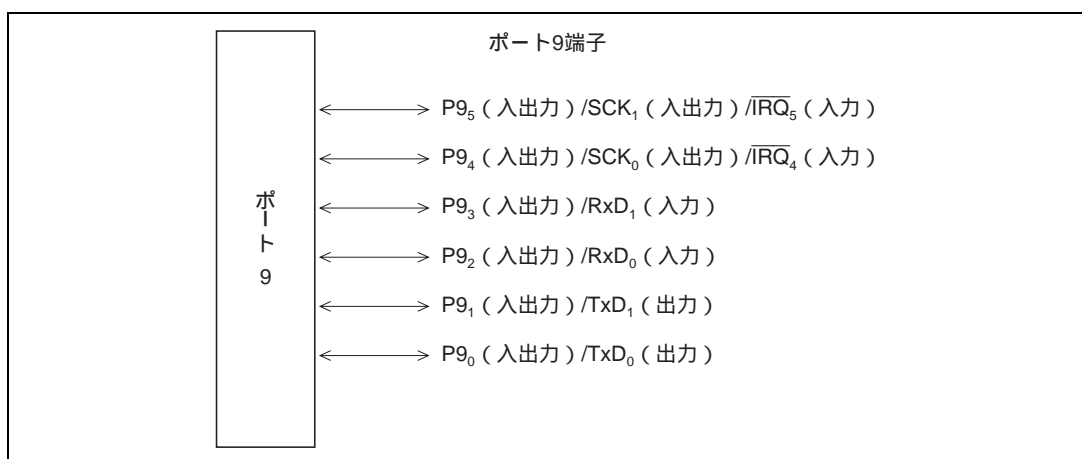


図 9.27 ポート 9 の端子構成

9.10.2 レジスタ構成

表 9.17 にポート 9 のレジスタ構成を示します。

表 9.17 ポート 9 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFD0	ポート 9 データディレクションレジスタ	P9DDR	W	H'C0
H'FFD2	ポート 9 データレジスタ	P9DR	R/W	H'C0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート9データディレクションレジスタ (P9DDR)

P9DDRは、8ビットのライト専用のレジスタで、ポート9各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
			P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W:			W	W	W	W	W	W

リザーブビット
ポート9データディレクション5~0
 ポート9の各端子の入出力を選択するビットです。

P9DDRを"1"にセットすると対応するポート9の各端子は出力となり、"0"にクリアすると入力になります。

P9DDRは、ライト専用レジスタで、リードは無効です。リードすると"1"が読み出されます。

P9DDRは、リセット、またはハードウェアスタンバイモード時に、H'COに初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDRが、"1"にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート9データレジスタ (P9DR)

P9DRは、8ビットのリード/ライト可能なレジスタで、ポート9の各端子P9₅~P9₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
			P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート9データ5~0
 ポート9の各端子のデータを格納するビットです。

P9DDRが"1"のとき、ポート9のリードを行うと、P9DRの値を直接リードします。

P9DDRが"0"のとき、ポート9のリードを行うと、端子の状態が読み出されます。

ビット7、6はリザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

P9DRは、リセット、またはハードウェアスタンバイモード時に、H'COに初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。

9.10.3 端子機能

ポート 9 の各端子は SCI0、1 の入出力端子 (TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、および $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。ポート 9 の端子機能について表 9.18 に示します。

表 9.18 ポート 9 の端子機能

端子	選択方法と端子機能				
P9 ₅ /SCK ₁ / $\overline{\text{IRQ}}_5$	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、1 ビットと P9 ₅ DDR ビットの組み合わせにより次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	
	CKE0	0	1		
	P9 ₅ DDR	0	1		
	端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子
$\overline{\text{IRQ}}_5$ 入力端子					
P9 ₄ /SCK ₀ / $\overline{\text{IRQ}}_4$	SCI0 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、1 ビットと P9 ₄ DDR ビットの組み合わせにより次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	
	CKE0	0	1		
	P9 ₄ DDR	0	1		
	端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK ₀ 出力端子	SCK ₀ 出力端子
$\overline{\text{IRQ}}_4$ 入力端子					
P9 ₃ /RxD ₁	SCI1 の SCR の RE ビットと P9 ₃ DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0			1
	P9 ₃ DDR	0	1		
	端子機能	P9 ₃ 入力端子	P9 ₃ 出力端子	RxD ₁ 入力端子	
P9 ₂ /RxD ₀	SCI0 の SCR の RE ビットと P9 ₂ DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0			1
	P9 ₂ DDR	0	1		
	端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	RxD ₀ 入力端子	

端子	選択方法と端子機能		
P9 _i /TxD _i	SCI1 の SCR の TE ビットと P9 _i DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	
	P9 _i DDR	0	1
	端子機能	P9 _i 入力端子	P9 _i 出力端子
P9 _o /TxD _o	SCI10 の SCR の TE ビットと P9 _o DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	
	P9 _o DDR	0	1
	端子機能	P9 _o 入力端子	P9 _o 出力端子

9.11 ポート A

9.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、プログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP₇ ~ TP₀)、16 ビットインテグレートドタイマユニット (ITU) の入出力端子 (TIOCB₂、TIOCA₂、TIOCB₁、TIOCA₁、TIOCB₀、TIOCA₀、TCLKD、TCLKC、TCLKB、TCLKA)、DMA コントローラ (DMAC) の出力端子 (\overline{TEND}_1 、 \overline{TEND}_0) およびアドレスバス (A₂₃ ~ A₂₀) と兼用になっています。ポート A の端子構成を図 9.28 に示します。

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポート A はシュミットトリガ入力です。

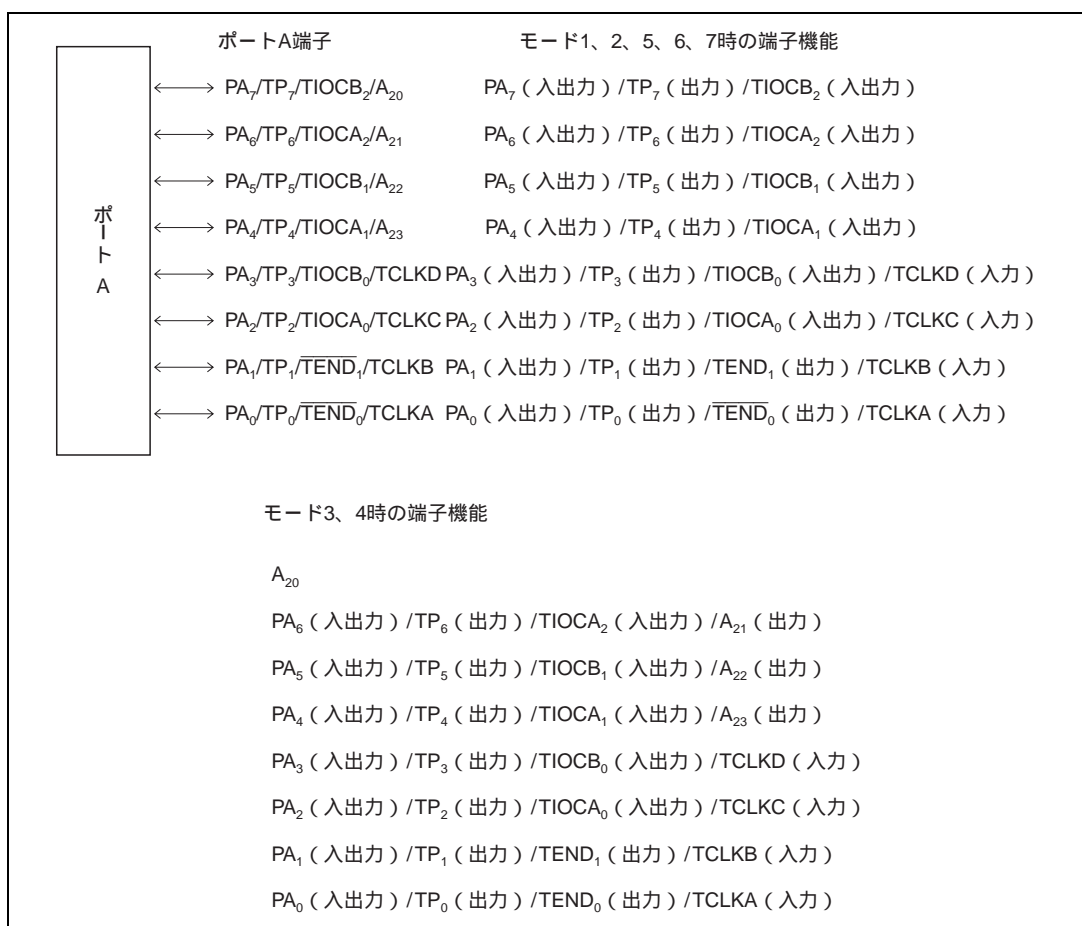


図 9.28 ポート A の端子構成

9.11.2 レジスタ構成

表 9.19 にポート A のレジスタ構成を示します。

表 9.19 ポート A レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、2、5~7	モード 3、4
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFD3	ポート A データレジスタ	PADR	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
モード 3~4	初期値:	1	0	0	0	0	0	0	0
	R/W:		W	W	W	W	W	W	W
モード 1、2、5~7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

— ポート A データディレクション 7~0

ポート A の各端子の入出力を選択するビットです。

PADDR を "1" にセットすると対応するポート A の各端子は出力となり、"0" にクリアすると入力になります。ただし、モード 3、4 では PA₇DDR は "1" に固定され、PA₇ はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると "1" が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2、5~7 では H'00 に、モード 3、4 では H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が "1" にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

9. I/O ポート

(2) ポート A データレジスタ (PADR)

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 PA₇ ~ PA₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

└──ポートAデータ7~0

ポートAの各端子のデータを格納するビットです。

PADDR が"1"のとき、ポート A のリードを行うと PADR の値を直接リードします。PADDR が"0"のとき、ポート A のリードを行うと端子の状態が読み出されます。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.11.3 端子機能

ポート A の各端子は TPC の出力端子 (TP₇ ~ TP₀)、ITU の入出力端子 (TIOCB₂ ~ TIOCB₀、TIOCA₂ ~ TIOCA₀) と入力端子 (TCLKD、TCLKC、TCLKB、TCLKA)、DMAC の入力端子 (TEND₁、TEND₀) およびアドレスバス (A₂₃ ~ A₂₀) と兼用になっています。ポート A の端子機能について表 9.20 に示します。

表 9.20 ポート A の端子機能

端子	選択方法と端子機能										
PA ₇ / TP ₇ / TIOCB ₂ / A ₂₀	モード設定と TMDR の PWM2 ビット、TIOB2 の IOB2 ~ IOB0 ビットによる ITU チャネル 2 の設定、NDERA の NDER7 ビット、および PADDR の PA ₇ DDR ビットの組み合わせにより、次のように切り替わります。										
	モード		1、2、5、6、7						3、4		
	ITU チャネル 2 の設定		下表		下表						
	PA ₇ DDR				0		1		1		
	NDER7						0		1		
	端子機能		TIOCB ₂ 出力		PA ₇ 入力		PA ₇ 出力		TP ₇ 出力		A ₂₀ 出力
					TIOCB ₂ 入力*						
	【注】 * IOB2 = "1"、かつ PWM2 = "0" の場合に TIOCB ₂ 入力となります。										
	ITU チャネル 2 の設定										1
	IOB2				0						
IOB1		0		0		1					
IOB0		0		1							
PA ₆ / TP ₆ / TIOCA ₂ / A ₂₁	モード設定と BRCA の A ₂₁ E ビット、TMDR の PWM2 ビット、TIOB2 の IOA2 ~ IOA0 ビットによる ITU チャネル 2 の設定、NDERA の NDER6 ビット、および PADDR の PA ₆ DDR ビットの組み合わせにより、次のように切り替わります。										
	モード		1、2、5、6、7						3、4		
	A ₂₁ E								1		0
	ITU チャネル 2 の設定		下表		下表				下表		
	PA ₆ DDR				0		1		1		
	NDER6						0		1		
	端子機能		TIOCA ₂ 出力		PA ₆ 入力		PA ₆ 出力		TP ₆ 出力		A ₂₁ 出力
					TIOCA ₂ 入力*						
	【注】 * IOA2 = "1" の場合に TIOCA ₂ 入力となります。										
	ITU チャネル 2 の設定										1
PWM2				0							
IOA2				0				1			
IOA1		0		0		1					
IOA0		0		1							

9. I/O ポート

端子	選択方法と端子機能										
PA ₅ / TP ₅ / TIOCB ₁ / A ₂₂	モード設定と BR CR の A ₂₂ E ビット、TMDR の PWM1 ビット、TIOR1 の IOB2~IOB0 ビットによる ITU チャネル 1 の設定、NDERA の NDER5 ビット、および PADDR の PA ₅ DDR ビットの組み合わせにより、次のように切り替わります。										
	モード	1、2、5、6、7					3、4				
	A ₂₂ E						1			0	
	ITU チャネル 1 の設定	下表	下表			下表	下表				
	PA ₅ DDR		0	1	1		0	1	1		
	NDER5			0	1			0	1		
	端子機能	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	A ₂₂ 出力	
			TIOCB ₁ 入力*				TIOCB ₁ 入力*				
	【注】 * IOB2 = "1"、かつ PWM1 = "0" の場合に TIOCB ₁ 入力となります。										
	ITU チャネル 1 の設定		0				1				
IOB2		0			1						
IOB1	0		0								
IOB0	0		1								
PA ₄ / TP ₄ / TIOCA ₁ / A ₂₃	モード設定と BR CR の A ₂₃ E ビット、TMDR の PWM1 ビット、TIOR1 の IOA2~IOA0 ビットによる ITU チャネル 1 の設定、NDERA の NDER4 ビット、および PADDR の PA ₄ DDR ビットの組み合わせにより、次のように切り替わります。										
	モード	1、2、5、6、7					3、4				
	A ₂₃ E						1			0	
	ITU チャネル 1 の設定	下表	下表			下表	下表				
	PA ₄ DDR		0	1	1		0	1	1		
	NDER4			0	1			0	1		
	端子機能	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	A ₂₃ 出力	
			TIOCA ₁ 入力*				TIOCA ₁ 入力*				
	【注】 * IOA2 = "1" の場合に TIOCA ₁ 入力となります。										
	ITU チャネル 1 の設定		0				1				
PWM1		0				1					
IOA2		0			1						
IOA1	0		0	1							
IOA0	0		1								

端子	選択方法と端子機能																																																																										
PA ₃ / TP ₃ / TIOCB ₀ / TCLKD	<p>TMDR の PWM0 ビット、TIOR0 の IOB2 ~ IOB0 ビットによる ITU チャンネル 0 の設定、TCR4 ~ TCR0 の TPSC2 ~ TPSC0 ビット、NDERA の NDER3 ビット、および PADDR の PA₃DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 1 の設定</th> <th colspan="3">下表</th> <th colspan="3">下表</th> </tr> </thead> <tbody> <tr> <td>PA₃DDR</td> <td colspan="3"></td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER3</td> <td colspan="3"></td> <td></td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td colspan="3" rowspan="2">TIOCB₀ 出力</td> <td>PA₃ 入力</td> <td>PA₃ 出力</td> <td>TP₃ 出力</td> </tr> <tr> <td colspan="3">TIOCB₀ 入力*¹</td> </tr> <tr> <td colspan="7">TCLKD 入力*²</td> </tr> </tbody> </table> <p>【注】 *1 IOB2 = "1"、かつ PWM0 = "0" の場合に TIOCB₀ 入力となります。 *2 TCR4 ~ TCR0 のいずれかの設定が TPSC2 = TPSC1 = TPSC0 = "1" の場合に TCLKD 入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 0 の設定</th> <th colspan="3"></th> <th colspan="3"></th> </tr> </thead> <tbody> <tr> <td>IOB2</td> <td colspan="3">0</td> <td colspan="3">1</td> </tr> <tr> <td>IOB1</td> <td>0</td> <td>0</td> <td>1</td> <td colspan="3"></td> </tr> <tr> <td>IOB0</td> <td>0</td> <td>1</td> <td></td> <td colspan="3"></td> </tr> </tbody> </table>	ITU チャンネル 1 の設定	下表			下表			PA ₃ DDR				0	1	1	NDER3					0	1	端子機能	TIOCB ₀ 出力			PA ₃ 入力	PA ₃ 出力	TP ₃ 出力	TIOCB ₀ 入力* ¹			TCLKD 入力* ²							ITU チャンネル 0 の設定							IOB2	0			1			IOB1	0	0	1				IOB0	0	1												
ITU チャンネル 1 の設定	下表			下表																																																																							
PA ₃ DDR				0	1	1																																																																					
NDER3					0	1																																																																					
端子機能	TIOCB ₀ 出力			PA ₃ 入力	PA ₃ 出力	TP ₃ 出力																																																																					
				TIOCB ₀ 入力* ¹																																																																							
TCLKD 入力* ²																																																																											
ITU チャンネル 0 の設定																																																																											
IOB2	0			1																																																																							
IOB1	0	0	1																																																																								
IOB0	0	1																																																																									
PA ₂ / TP ₂ / TIOCA ₀ / TCLKC	<p>TMDR の PWM0 ビット、TIOR0 の IOA2 ~ IOA0 ビットによる ITU チャンネル 0 の設定、TCR4 ~ TCR0 の TPSC2 ~ TPSC0 ビット、NDERA の NDER2 ビット、および PADDR の PA₂DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 0 の設定</th> <th colspan="3">下表</th> <th colspan="3">下表</th> </tr> </thead> <tbody> <tr> <td>PA₂DDR</td> <td colspan="3"></td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER2</td> <td colspan="3"></td> <td></td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td colspan="3" rowspan="2">TIOCA₀ 出力</td> <td>PA₂ 入力</td> <td>PA₂ 出力</td> <td>TP₂ 出力</td> </tr> <tr> <td colspan="3">TIOCA₀ 入力*¹</td> </tr> <tr> <td colspan="7">TCLKC 入力*²</td> </tr> </tbody> </table> <p>【注】 *1 IOA2 = "1" の場合に TIOCA₀ 入力となります。 *2 TCR4 ~ TCR0 のいずれかの設定が TPSC2 = TPSC1 = "1"、TPSC0 = "0" の場合に TCLKC 入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 1 の設定</th> <th colspan="3"></th> <th colspan="3"></th> </tr> </thead> <tbody> <tr> <td>PWM0</td> <td colspan="3">0</td> <td colspan="3">1</td> </tr> <tr> <td>IOA2</td> <td colspan="3">0</td> <td>1</td> <td colspan="3"></td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td colspan="3"></td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td></td> <td colspan="3"></td> </tr> </tbody> </table>	ITU チャンネル 0 の設定	下表			下表			PA ₂ DDR				0	1	1	NDER2					0	1	端子機能	TIOCA ₀ 出力			PA ₂ 入力	PA ₂ 出力	TP ₂ 出力	TIOCA ₀ 入力* ¹			TCLKC 入力* ²							ITU チャンネル 1 の設定							PWM0	0			1			IOA2	0			1				IOA1	0	0	1				IOA0	0	1				
ITU チャンネル 0 の設定	下表			下表																																																																							
PA ₂ DDR				0	1	1																																																																					
NDER2					0	1																																																																					
端子機能	TIOCA ₀ 出力			PA ₂ 入力	PA ₂ 出力	TP ₂ 出力																																																																					
				TIOCA ₀ 入力* ¹																																																																							
TCLKC 入力* ²																																																																											
ITU チャンネル 1 の設定																																																																											
PWM0	0			1																																																																							
IOA2	0			1																																																																							
IOA1	0	0	1																																																																								
IOA0	0	1																																																																									

9. I/O ポート

端子	選択方法と端子機能																																		
PA ₁ / TP ₁ / TCLKB/ TEND ₁	DTCR1A、B の DTS2 ~ 0A、DTS2 ~ 0B ビットによる DMAC チャンネル 1 の設定、NDERA の NDER1 ビット、および PADDR の PA ₁ DDR ビットの組み合わせにより、次のように切り替わります。																																		
	<table border="1"> <thead> <tr> <th>DMAC チャンネル 1 の設定</th> <th colspan="3">下表</th> <th colspan="3">下表</th> </tr> </thead> <tbody> <tr> <td>PA₁DDR</td> <td colspan="3"></td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER1</td> <td colspan="3"></td> <td></td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td colspan="3">TEND₁出力</td> <td>PA₁入力</td> <td>PA₁出力</td> <td>TP₁出力</td> </tr> <tr> <td colspan="6">TCLKB 入力*</td> </tr> </tbody> </table>	DMAC チャンネル 1 の設定	下表			下表			PA ₁ DDR				0	1	1	NDER1					0	1	端子機能	TEND ₁ 出力			PA ₁ 入力	PA ₁ 出力	TP ₁ 出力	TCLKB 入力*					
	DMAC チャンネル 1 の設定	下表			下表																														
	PA ₁ DDR				0	1	1																												
NDER1					0	1																													
端子機能	TEND ₁ 出力			PA ₁ 入力	PA ₁ 出力	TP ₁ 出力																													
	TCLKB 入力*																																		
<p>【注】 * TMDR の MDF = "1" の場合、または TCR4 ~ TCR0 のいずれかの設定が TPSC2 = "1"、TPSC1 = "0"、TPSC0 = "1" の場合に TCLKB 入力となります。</p>																																			
<table border="1"> <thead> <tr> <th>DMAC チャンネル 1 の設定</th> <th colspan="3">いずれかが"0"</th> <th colspan="3">いずれも"1"</th> </tr> </thead> <tbody> <tr> <td>DTS2、1A</td> <td colspan="3"></td> <td></td> <td></td> <td></td> </tr> <tr> <td>DTS0A</td> <td colspan="3"></td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>DTS1B</td> <td></td> <td>0</td> <td>1</td> <td></td> <td></td> <td>0</td> </tr> </tbody> </table>	DMAC チャンネル 1 の設定	いずれかが"0"			いずれも"1"			DTS2、1A							DTS0A				0	0	1	DTS2B	0	1	1	0	1	0	DTS1B		0	1			0
DMAC チャンネル 1 の設定	いずれかが"0"			いずれも"1"																															
DTS2、1A																																			
DTS0A				0	0	1																													
DTS2B	0	1	1	0	1	0																													
DTS1B		0	1			0																													
PA ₀ / TP ₀ / TCLKA/ TEND ₀	DTCR0A、B の DTS2 ~ 0A、DTS2 ~ 0B ビットによる DMAC チャンネル 0 の設定、NDERA の NDER0 ビット、および PADDR の PA ₀ DDR ビットの組み合わせにより、次のように切り替わります。																																		
	<table border="1"> <thead> <tr> <th>DMAC チャンネル 0 の設定</th> <th colspan="3">下表</th> <th colspan="3">下表</th> </tr> </thead> <tbody> <tr> <td>PA₀DDR</td> <td colspan="3"></td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER0</td> <td colspan="3"></td> <td></td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td colspan="3">TEND₀出力</td> <td>PA₀入力</td> <td>PA₀出力</td> <td>TP₀出力</td> </tr> <tr> <td colspan="6">TCLKA 入力*</td> </tr> </tbody> </table>	DMAC チャンネル 0 の設定	下表			下表			PA ₀ DDR				0	1	1	NDER0					0	1	端子機能	TEND ₀ 出力			PA ₀ 入力	PA ₀ 出力	TP ₀ 出力	TCLKA 入力*					
	DMAC チャンネル 0 の設定	下表			下表																														
	PA ₀ DDR				0	1	1																												
NDER0					0	1																													
端子機能	TEND ₀ 出力			PA ₀ 入力	PA ₀ 出力	TP ₀ 出力																													
	TCLKA 入力*																																		
<p>【注】 * TMDR の MDF = "1" の場合、または TCR4 ~ TCR0 のいずれかの設定が TPSC2 = "1"、TPSC1 = "0"、TPSC0 = "1" の場合に TCLKA 入力となります。</p>																																			
<table border="1"> <thead> <tr> <th>DMAC チャンネル 0 の設定</th> <th colspan="3">いずれかが"0"</th> <th colspan="3">いずれも"1"</th> </tr> </thead> <tbody> <tr> <td>DTS2、1A</td> <td colspan="3"></td> <td></td> <td></td> <td></td> </tr> <tr> <td>DTS0A</td> <td colspan="3"></td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>DTS1B</td> <td></td> <td>0</td> <td>1</td> <td></td> <td></td> <td>0</td> </tr> </tbody> </table>	DMAC チャンネル 0 の設定	いずれかが"0"			いずれも"1"			DTS2、1A							DTS0A				0	0	1	DTS2B	0	1	1	0	1	0	DTS1B		0	1			0
DMAC チャンネル 0 の設定	いずれかが"0"			いずれも"1"																															
DTS2、1A																																			
DTS0A				0	0	1																													
DTS2B	0	1	1	0	1	0																													
DTS1B		0	1			0																													

9.12 ポート B

9.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は TPC の出力端子 (TP₁₅ ~ TP₈)、ITU の入出力端子 (TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃) と出力端子 (TOCXB₄、TOCXA₄)、DMAC の入力端子 (DREQ₁、DREQ₀)、A/D 変換器の ADTRG 入力端子と兼用になっています。ポート B の端子機能はいずれの動作モードでも共通です。ポート B の端子構成を図 9.29 に示します。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動できます。また、LED、ダーリントントランジスタを駆動することもできます。PB₃ ~ PB₀ はシュミットトリガ入力です。



図 9.29 ポート B の端子構成

9.12.2 レジスタ構成

表 9.21 にポート B のレジスタ構成を示します。

表 9.21 ポート B レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/W	H'00

【注】 * アドレスの下位 16 ビットを示しています。

9. I/O ポート

(1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

PBDDR を"1"にセットすると対応するポート B の各端子は出力となり、"0"にクリアすると入力になります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると"1"が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDR が"1"にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B データレジスタ (PBDR)

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 PB₇ ~ PB₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBデータ7~0

ポートBの各端子のデータを格納するビットです。

PBDDR が"1"のとき、ポート B のリードを行うと PBDR の値を直接リードします。PBDDR が"0"のとき、ポート B のリードを行うと端子の状態が読み出されます。

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.12.3 端子機能

ポート B の各端子は TPC の出力端子 ($TP_{15} \sim TP_8$)、ITU の入出力端子 ($TIOCB_4$ 、 $TIOCB_3$ 、 $TIOCA_4$ 、 $TIOCA_3$) と出力端子 ($TOCXB_4$ 、 $TOCXA_4$)、DMAC の入力端子 (\overline{DREQ}_1 、 \overline{DREQ}_0)、および \overline{ADTRG} 入力端子と兼用になっています。ポート B の端子機能について表 9.22 に示します。

表 9.22 ポート B の端子機能

端子	選択方法と端子機能								
PB_7 / TP_{15} / \overline{DREQ}_1 / \overline{ADTRG}	DTCR1A、B の DTS2 ~ 0A、DTS2 ~ 0B ビットによる DMAC チャネル 1 の設定、ADCR の TRGE ビット、NDERB の NDER15 ビット、および PBDDR の PB_7 DDR ビットの組み合わせにより、次のように切り替わります。								
	PB_7 DDR		0		1		1		
	NDER15				0		1		
	端子機能		PB_7 入力		PB_7 出力		TP_{15} 出力		
					\overline{DREQ}_1 入力* ¹				
					\overline{ADTRG} 入力* ²				
	【注】 *1 DMAC チャネル 1 の設定が下表 のとき \overline{DREQ}_1 入力となります。								
	*2 TRGE = "1" のとき \overline{ADTRG} 入力となります。								
	DMAC チャネル 1 の設定								
	DTS2、1A		いずれかが"0"		いずれも"1"				
DTS0A				0	0	1	1	1	
DTS2B		0	1	1	0	1	0	1	
DTS1B			0	1			0	1	
PB_6 / TP_{14} / \overline{DREQ}_0	DTCR0A、B の DTS2 ~ 0A、DTS2 ~ 0B ビットによる DMAC チャネル 0 の設定、NDERB の NDER14 ビット、および PBDDR の PB_6 DDR ビットの組み合わせにより、次のように切り替わります。								
	PB_6 DDR		0		1		1		
	NDER14				0		1		
	端子機能		PB_6 入力		PB_6 出力		TP_{14} 出力		
					\overline{DREQ}_0 入力*				
	【注】 * DMAC チャネル 0 の設定が下表 のとき \overline{DREQ}_0 入力となります。								
	DMAC チャネル 0 の設定								
	DTS2、1A		いずれかが"0"		いずれも"1"				
	DTS0A				0	0	1	1	1
	DTS2B		0	1	1	0	1	0	1
DTS1B			0	1			0	1	

9. I/O ポート

端子	選択方法と端子機能						
PB ₅ / TP ₁₃ / TOCXB ₄	TFCRのCMD1ビット、TOERのEXB4ビットによるITUチャンネル4の設定、NDERBのNDER13ビット、およびPBDDRのPB ₅ DDRビットの組み合わせにより、次のように切り替わります。						
	EXB4、CMD1	いずれかが"0"			いずれも"1"		
	PB ₅ DDR	0	1	1			
	NDER13		0	1			
	端子機能	PB ₅ 入力	PB ₅ 出力	TP ₁₃ 出力	TOCXB ₄ 出力		
PB ₄ / TP ₁₂ / TOCXA ₄	TFCRのCMD1ビット、TOERのEXA4ビットによるITUチャンネル4の設定、NDERBのNDER12ビット、およびPBDDRのPB ₄ DDRビットの組み合わせにより、次のように切り替わります。						
	EXA4、CMD1	いずれかが"0"			いずれも"1"		
	PB ₄ DDR	0	1	1			
	NDER12		0	1			
	端子機能	PB ₄ 入力	PB ₄ 出力	TP ₁₂ 出力	TOCXA ₄ 出力		
PB ₃ / TP ₁₁ / TIOCB ₄	TMDRのPWM4ビット、TFCRのCMD1ビット、TOERのEB4ビット、およびTIOR4のIOB2~IOB0ビットによるITUチャンネル4の設定、NDERBのNDER11ビット、およびPBDDRのPB ₃ DDRビットの組み合わせにより、次のように切り替わります。						
	ITUチャンネル4の設定	下表			下表		
	PB ₃ DDR				0	1	1
	NDER11					0	1
	端子機能	TIOCB ₄ 出力			PB ₃ 入力	PB ₃ 出力	TP ₁₁ 出力
					TIOCB ₄ 入力*		
	【注】 * CMD1 = PWM4 = "0"、かつ IOB2 = "1"の場合に TIOCB ₄ 入力となります。						
	ITUチャンネル4の設定						
	EB4	0	1				
	CMD1		0				1
IOB2		0	0	0	1		
IOB1		0	0	1			
IOB0		0	1				

端子	選択方法と端子機能																																																																										
PB ₂ / TP ₁₀ / TIOCA ₄	<p>TFCR の CMD1 ビット、TOER の EXB4 ビット、TMDR の PWM4 ビット、および TIOR4 の IOA2 ~ IOA0 ビットによる ITU チャンネル 4 の設定、NDERB の NDER10 ビット、および PBDDR の PB₂DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 4 の設定</th> <th>下表</th> <th colspan="3">下表</th> </tr> </thead> <tbody> <tr> <td>PB₂DDR</td> <td></td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER10</td> <td></td> <td></td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>TIOCA₄ 出力</td> <td>PB₂ 入力</td> <td>PB₂ 出力</td> <td>TP₁₀ 出力</td> </tr> <tr> <td></td> <td></td> <td colspan="3">TIOCA₄ 入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM4 = "0"、IOA2 = "1" の場合に TIOCA₄ 入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 4 の設定</th> <th></th> <th></th> <th></th> <th></th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>EA4</td> <td>0</td> <td colspan="5">1</td> </tr> <tr> <td>CMD1</td> <td></td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>PWM4</td> <td></td> <td colspan="3">0</td> <td>1</td> <td></td> </tr> <tr> <td>IOA2</td> <td></td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td></td> </tr> <tr> <td>IOA1</td> <td></td> <td>0</td> <td>0</td> <td>1</td> <td></td> <td></td> </tr> <tr> <td>IOA0</td> <td></td> <td>0</td> <td>1</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ITU チャンネル 4 の設定	下表	下表			PB ₂ DDR		0	1	1	NDER10			0	1	端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力			TIOCA ₄ 入力*			ITU チャンネル 4 の設定							EA4	0	1					CMD1		0				1	PWM4		0			1		IOA2		0	0	0	1		IOA1		0	0	1			IOA0		0	1			
ITU チャンネル 4 の設定	下表	下表																																																																									
PB ₂ DDR		0	1	1																																																																							
NDER10			0	1																																																																							
端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力																																																																							
		TIOCA ₄ 入力*																																																																									
ITU チャンネル 4 の設定																																																																											
EA4	0	1																																																																									
CMD1		0				1																																																																					
PWM4		0			1																																																																						
IOA2		0	0	0	1																																																																						
IOA1		0	0	1																																																																							
IOA0		0	1																																																																								
PB ₁ / TP ₉ / TIOCB ₃	<p>TMDR の PWM3 ビット、TFCR の CMD1 ビット、TOER の EB3 ビット、および TIOR3 の IOB2 ~ IOB0 ビットによる ITU チャンネル 3 の設定、NDERB の NDER9 ビット、および PBDDR の PB₁DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 3 の設定</th> <th>下表</th> <th colspan="3">下表</th> </tr> </thead> <tbody> <tr> <td>PB₁DDR</td> <td></td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER9</td> <td></td> <td></td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>TIOCB₃ 出力</td> <td>PB₁ 入力</td> <td>PB₁ 出力</td> <td>TP₉ 出力</td> </tr> <tr> <td></td> <td></td> <td colspan="3">TIOCB₃ 入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM3 = "0"、IOB2 = "1" の場合に TIOCB₃ 入力となります。</p> <table border="1"> <thead> <tr> <th>ITU チャンネル 3 の設定</th> <th></th> <th></th> <th></th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>EB3</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td></td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>IOB2</td> <td></td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>IOB1</td> <td></td> <td>0</td> <td>0</td> <td>1</td> <td></td> </tr> <tr> <td>IOB0</td> <td></td> <td>0</td> <td>1</td> <td></td> <td></td> </tr> </tbody> </table>	ITU チャンネル 3 の設定	下表	下表			PB ₁ DDR		0	1	1	NDER9			0	1	端子機能	TIOCB ₃ 出力	PB ₁ 入力	PB ₁ 出力	TP ₉ 出力			TIOCB ₃ 入力*			ITU チャンネル 3 の設定						EB3	0	1				CMD1		0			1	IOB2		0	0	0	1	IOB1		0	0	1		IOB0		0	1															
ITU チャンネル 3 の設定	下表	下表																																																																									
PB ₁ DDR		0	1	1																																																																							
NDER9			0	1																																																																							
端子機能	TIOCB ₃ 出力	PB ₁ 入力	PB ₁ 出力	TP ₉ 出力																																																																							
		TIOCB ₃ 入力*																																																																									
ITU チャンネル 3 の設定																																																																											
EB3	0	1																																																																									
CMD1		0			1																																																																						
IOB2		0	0	0	1																																																																						
IOB1		0	0	1																																																																							
IOB0		0	1																																																																								

9. I/O ポート

端子	選択方法と端子機能																																																															
PB ₀ / TP ₀ / TIOCA ₃	TFCR の CMD1 ビット、TOER の EA3 ビット、TMDR の PWM3 ビット、および TIOA3 の IOA2 ~ IOA0 ビットによる ITU チャネル 3 の設定、NDERB の NDER8 ビット、および PBDDR の PB ₀ DDR ビットの組み合わせにより、次のように切り替わります。																																																															
	<table border="1"> <thead> <tr> <th data-bbox="333 382 558 411">ITU チャネル 3 の設定</th> <th colspan="2" data-bbox="558 382 879 411">下表</th> <th colspan="2" data-bbox="879 382 1203 411">下表</th> </tr> </thead> <tbody> <tr> <td data-bbox="333 411 558 440">PB₀DDR</td> <td colspan="2" data-bbox="558 411 879 440"></td> <td data-bbox="879 411 985 440">0</td> <td data-bbox="985 411 1090 440">1</td> <td data-bbox="1090 411 1203 440">1</td> </tr> <tr> <td data-bbox="333 440 558 469">NDER8</td> <td colspan="2" data-bbox="558 440 879 469"></td> <td colspan="2" data-bbox="879 440 985 469">0</td> <td data-bbox="985 440 1203 469">1</td> </tr> <tr> <td data-bbox="333 469 558 548">端子機能</td> <td colspan="2" data-bbox="558 469 879 548">TIOCA₃ 出力</td> <td data-bbox="879 469 985 517">PB₀ 入力</td> <td data-bbox="985 469 1090 517">PB₀ 出力</td> <td data-bbox="1090 469 1203 517">TP₀ 出力</td> </tr> <tr> <td></td> <td colspan="2"></td> <td colspan="3" data-bbox="879 517 1203 548">TIOCA₃ 入力*</td> </tr> </tbody> </table>	ITU チャネル 3 の設定	下表		下表		PB ₀ DDR			0	1	1	NDER8			0		1	端子機能	TIOCA ₃ 出力		PB ₀ 入力	PB ₀ 出力	TP ₀ 出力				TIOCA ₃ 入力*																																				
ITU チャネル 3 の設定	下表		下表																																																													
PB ₀ DDR			0	1	1																																																											
NDER8			0		1																																																											
端子機能	TIOCA ₃ 出力		PB ₀ 入力	PB ₀ 出力	TP ₀ 出力																																																											
			TIOCA ₃ 入力*																																																													
	【注】 * CMD1 = PWM3 = "0"、IOA2 = "1" の場合に TIOCA ₃ 入力となります。																																																															
	<table border="1"> <thead> <tr> <th data-bbox="333 614 558 643">ITU チャネル 3 の設定</th> <th colspan="2"></th> <th colspan="2"></th> <th colspan="2"></th> <th colspan="2"></th> </tr> </thead> <tbody> <tr> <td data-bbox="333 643 558 672">EA3</td> <td data-bbox="558 643 646 672">0</td> <td colspan="7" data-bbox="646 643 1203 672">1</td> </tr> <tr> <td data-bbox="333 672 558 701">CMD1</td> <td colspan="3" data-bbox="558 672 879 701">0</td> <td colspan="2" data-bbox="879 672 985 701"></td> <td colspan="3" data-bbox="985 672 1203 701">1</td> </tr> <tr> <td data-bbox="333 701 558 730">PWM3</td> <td colspan="4" data-bbox="558 701 879 730">0</td> <td colspan="2" data-bbox="879 701 985 730">1</td> <td colspan="2" data-bbox="985 701 1203 730"></td> </tr> <tr> <td data-bbox="333 730 558 759">IOA2</td> <td data-bbox="558 730 646 759">0</td> <td data-bbox="646 730 734 759">0</td> <td data-bbox="734 730 823 759">0</td> <td data-bbox="823 730 911 759">1</td> <td colspan="4" data-bbox="911 730 1203 759"></td> </tr> <tr> <td data-bbox="333 759 558 788">IOA1</td> <td data-bbox="558 759 646 788">0</td> <td data-bbox="646 759 734 788">0</td> <td data-bbox="734 759 823 788">1</td> <td colspan="5" data-bbox="823 759 1203 788"></td> </tr> <tr> <td data-bbox="333 788 558 817">IOA0</td> <td data-bbox="558 788 646 817">0</td> <td data-bbox="646 788 734 817">1</td> <td colspan="6" data-bbox="734 788 1203 817"></td> </tr> </tbody> </table>	ITU チャネル 3 の設定									EA3	0	1							CMD1	0					1			PWM3	0				1				IOA2	0	0	0	1					IOA1	0	0	1						IOA0	0	1						
ITU チャネル 3 の設定																																																																
EA3	0	1																																																														
CMD1	0					1																																																										
PWM3	0				1																																																											
IOA2	0	0	0	1																																																												
IOA1	0	0	1																																																													
IOA0	0	1																																																														

10. 16 ビットインテグレートドタイマユニット (ITU)

10.1 概要

H8/3042 グループは、5 チャンネルの 16 ビットタイマにより構成される 16 ビットインテグレートドタイマユニット (ITU) を内蔵しています。

10.1.1 特長

ITU の特長を以下に示します。

最大 12 種類のパルス出力、または最大 10 種類のパルス入力処理が可能

各チャンネル 2 本、合計 10 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立にアウトプットコンペア / インพุットキャプチャの機能設定が可能

各チャンネルとも 8 種類のカウント入力クロックを選択可能

内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$

外部クロック : TCLKA、TCLKB、TCLKC、TCLKD

各チャンネルとも次の動作モードを設定可能

- ・コンペアマッチによる波形出力 : 0 出力 / 1 出力 / トグル出力が選択可能 (チャンネル 2 は 0 出力 / 1 出力が可能)
- ・インพุットキャプチャ機能 : 立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が選択可能
- ・カウンタクリア機能 : コンペアマッチ / インพุットキャプチャによるカウンタクリアが可能
- ・同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ / インพุットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- ・PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 5 相の PWM 出力が可能

チャンネル 2 は位相計数モードを設定可能

2 相エンコーダのカウント数の自動計測が可能

10. 16ビットインテグレートドタイムユニット (ITU)

チャンネル3、4は次の動作モードを設定可能

- ・リセット同期PWMモード : チャンネル3、4を組み合わせることにより、正相・逆相のPWM波形を3相出力可能
- ・相補PWMモード : チャンネル3、4を組み合わせることにより、正相・逆相がノンオーバーラップの関係にあるPWM波形を3相出力可能
- ・バッファ動作 : インพุットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書き換えが可能

内部16ビットバスによる高速アクセス

TCNT、GR、およびバッファレジスタ(BR)の16ビットレジスタに対して、16ビットバスによる高速アクセスが可能

15種類の割り込み要因

各チャンネルともコンペアマッチ/インพุットキャプチャ兼用割り込み×2要因、オーバフロー割り込み×1要因があり、それぞれ独立に要求可能

DMAコントローラ(DMAC)の起動が可能

チャンネル0~3のコンペアマッチ/インพุットキャプチャ兼用割り込み(1本×4チャンネル)により、DMACの起動が可能

プログラマブルパターンコントローラ(TPC)の出力トリガを生成可能

チャンネル0~3のコンペアマッチ/インพุットキャプチャ信号をTPCの出力トリガとして使用可能

10. 16 ビットインテグレートドタイムユニット (ITU)

ITU の機能一覧を表 10.1 に示します。

表 10.1 ITU の機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントロック	内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック : TCLKA、TCLKB、TCLKC、TCLKD から独立に選択可能				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用 レジスタ)	GRA0、 GRB0	GRA1、 GRB1	GRA2、 GRB2	GRA3、 GRB3	GRA4、 GRB4
バッファレジスタ				BRA3、 BRB3	BRA4、 BRB4
入出力端子	TIOCA ₀ 、 TIOCB ₀	TIOCA ₁ 、 TIOCB ₁	TIOCA ₂ 、 TIOCB ₂	TIOCA ₃ 、 TIOCB ₃	TIOCA ₄ 、 TIOCB ₄
出力端子					TOCXA ₄ 、 TOCXB ₄
カウンタクリア機能	GRA0/GRB0 の コンペアマッチ または インプット キャプチャ	GRA1/GRB1 の コンペアマッチ または インプット キャプチャ	GRA2/GRB2 の コンペアマッチ または インプット キャプチャ	GRA3/GRB3 の コンペアマッチ または インプット キャプチャ	GRA4/GRB4 の コンペアマッチ または インプット キャプチャ
コンペアマッチ 出力	0 出力				
	1 出力				
	トグル 出力				
インプットキャプチャ 機能					
同期動作					
PWM モード					
リセット同期 PWM モード					
相補 PWM モード					
位相計数モード					
バッファ動作					
DMAC の起動	GRA0 の コンペアマッチ または インプット キャプチャ	GRA1 の コンペアマッチ または インプット キャプチャ	GRA2 の コンペアマッチ または インプット キャプチャ	GRA3 の コンペアマッチ または インプット キャプチャ	
割り込み要因	3 要因 • コンペアマッチ /インプット キャプチャ A0 • コンペアマッチ /インプット キャプチャ B0 • オーバフロー	3 要因 • コンペアマッチ /インプット キャプチャ A1 • コンペアマッチ /インプット キャプチャ B1 • オーバフロー	3 要因 • コンペアマッチ /インプット キャプチャ A2 • コンペアマッチ /インプット キャプチャ B2 • オーバフロー	3 要因 • コンペアマッチ /インプット キャプチャ A3 • コンペアマッチ /インプット キャプチャ B3 • オーバフロー	3 要因 • コンペアマッチ /インプット キャプチャ A4 • コンペアマッチ /インプット キャプチャ B4 • オーバフロー

【記号説明】

: 可能

- : 不可

10. 16ビットインテグレートドタイマユニット (ITU)

10.1.2 ブロック図

(1) ITUのブロック図(全体図)

ITUのブロック図(全体図)を図10.1に示します。

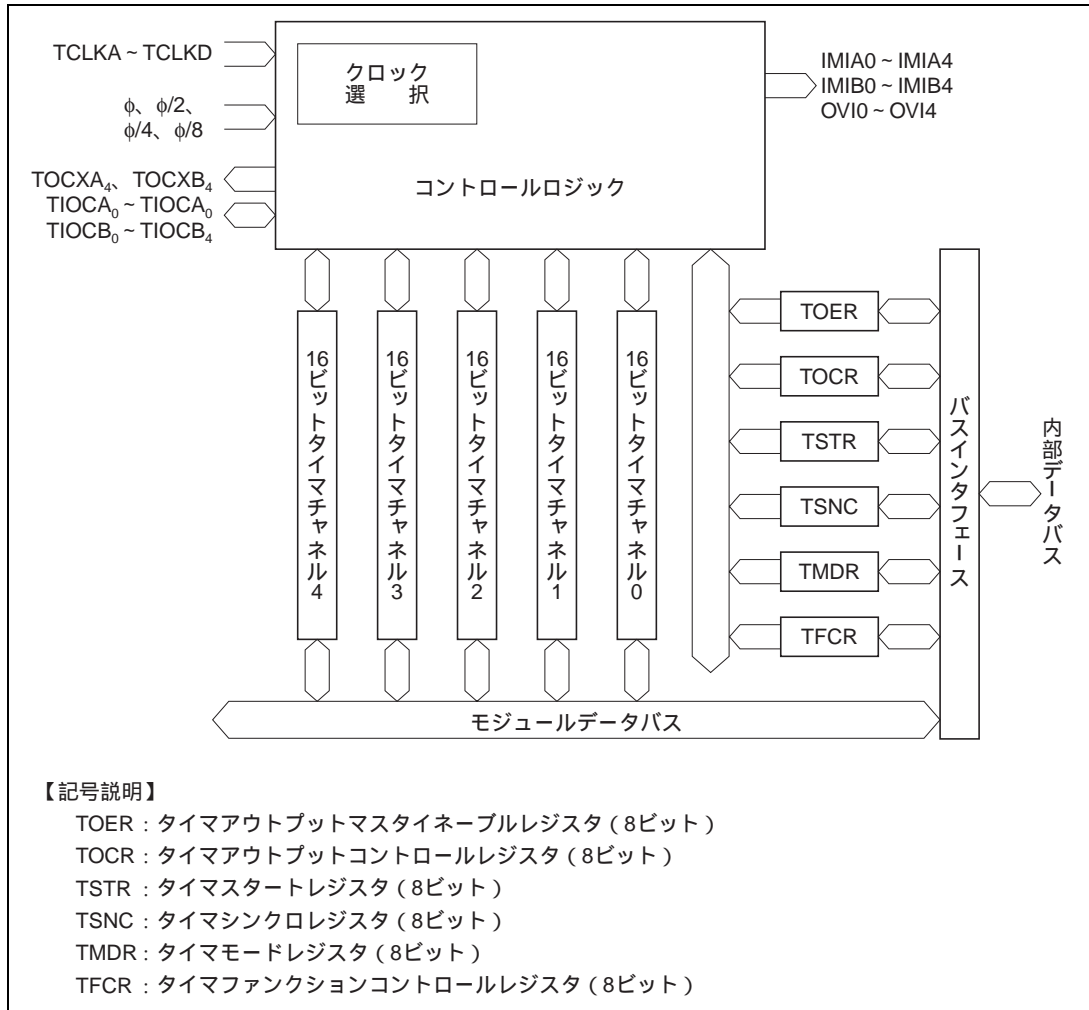


図 10.1 ITUのブロック図(全体図)

(2) チャンネル0、1のブロック図

ITUのチャンネル0、1は同一の機能を持っています。チャンネル0、1のブロック図を図10.2に示します。

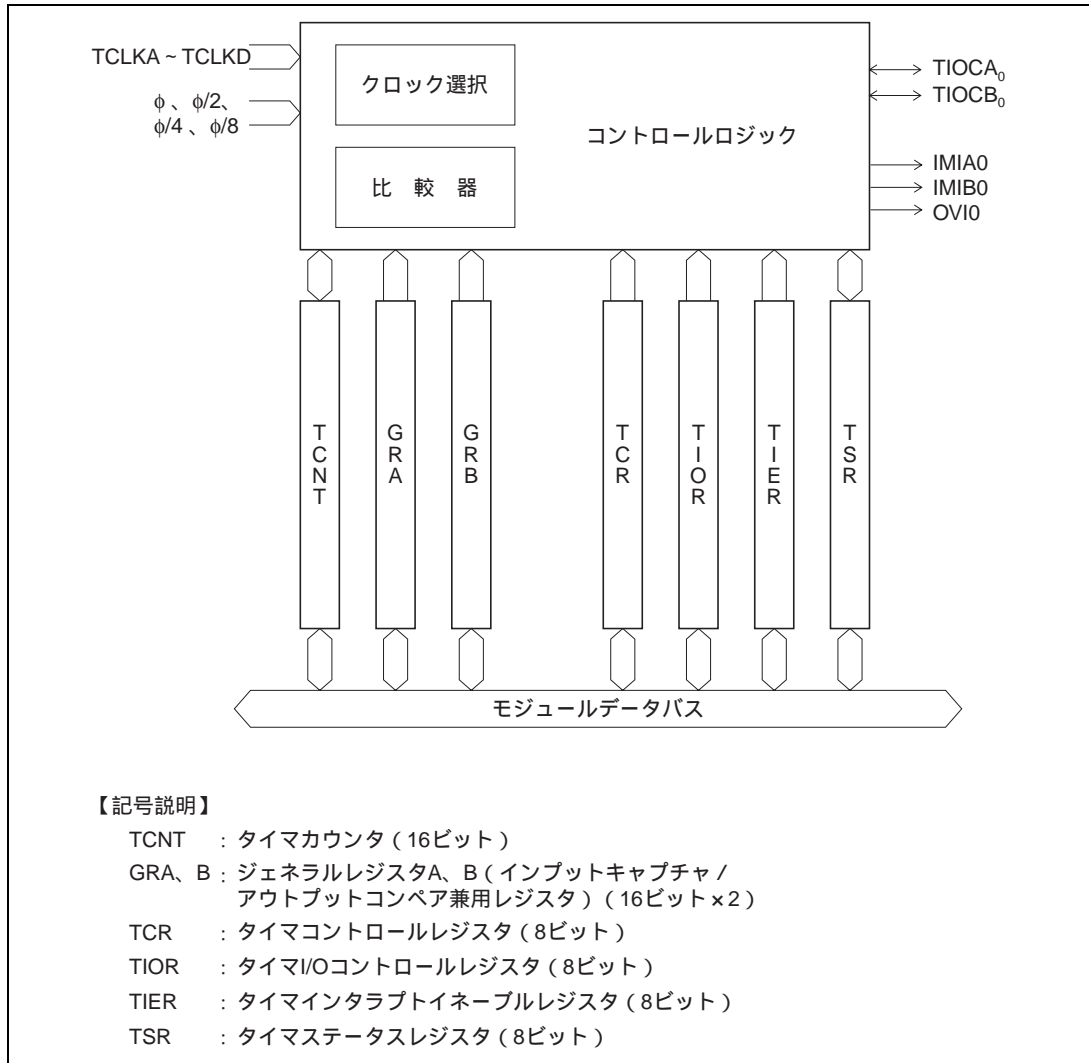


図 10.2 チャンネル0、1のブロック図 (チャンネル0の場合)

10. 16ビットインテグレートドタイマユニット (ITU)

(3) チャンネル2のブロック図

チャンネル2のブロック図を図10.3に示します。チャンネル2は0出力、1出力のみ可能です。

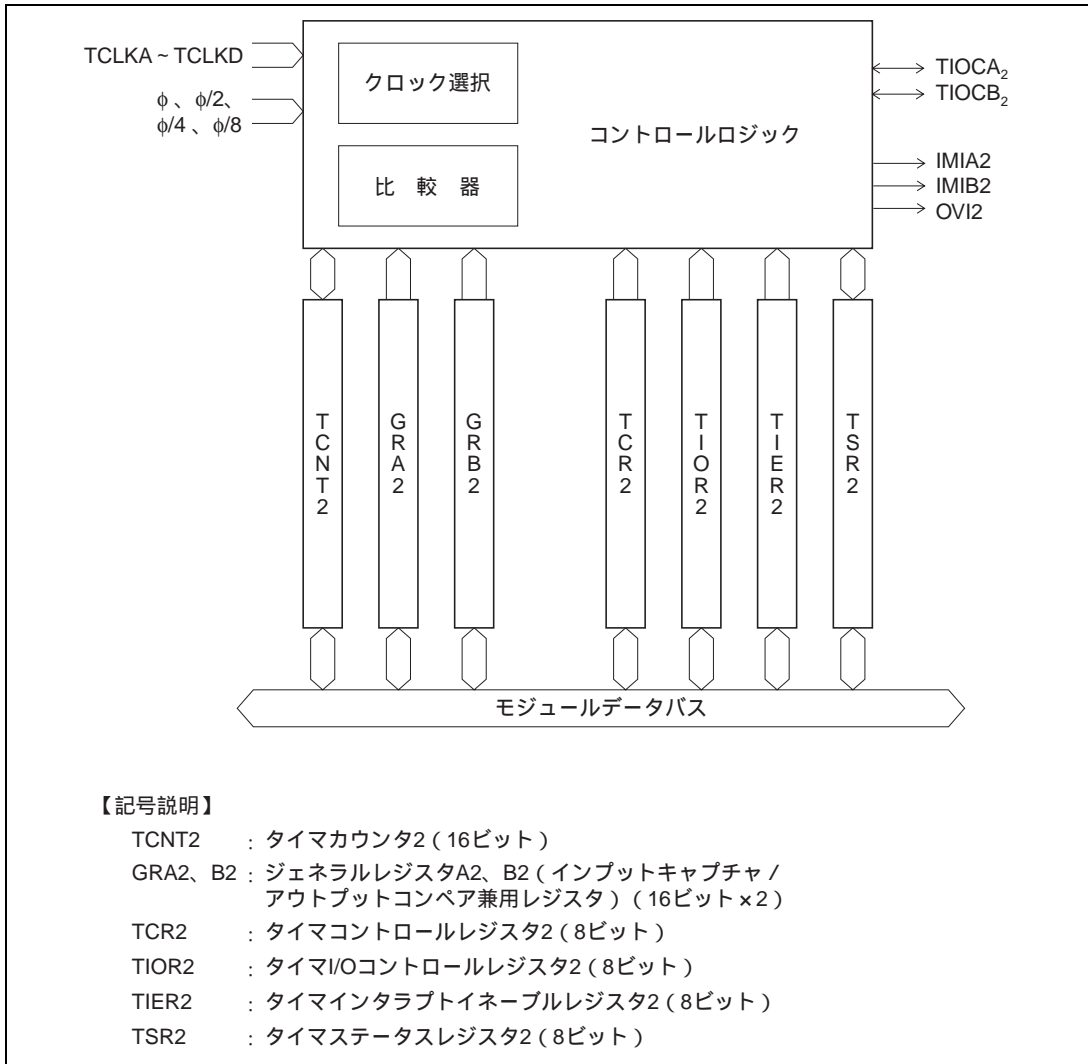


図 10.3 チャンネル2のブロック図

(4) チャンネル3、4のブロック図

チャンネル3のブロック図を図10.4、チャンネル4のブロック図を図10.5に示します。

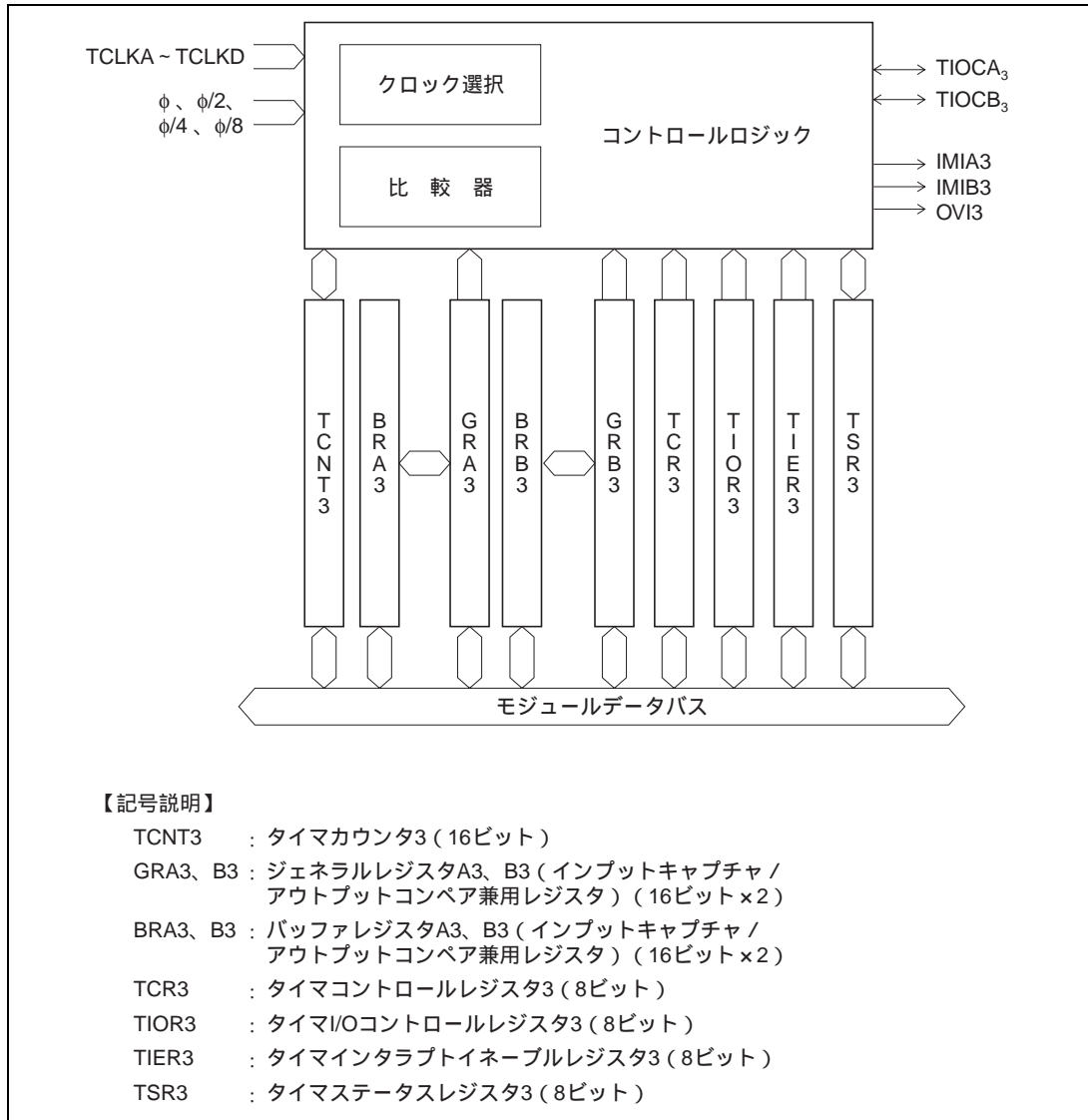


図 10.4 チャンネル3のブロック図

10. 16ビットインテグレートドタイムユニット (ITU)

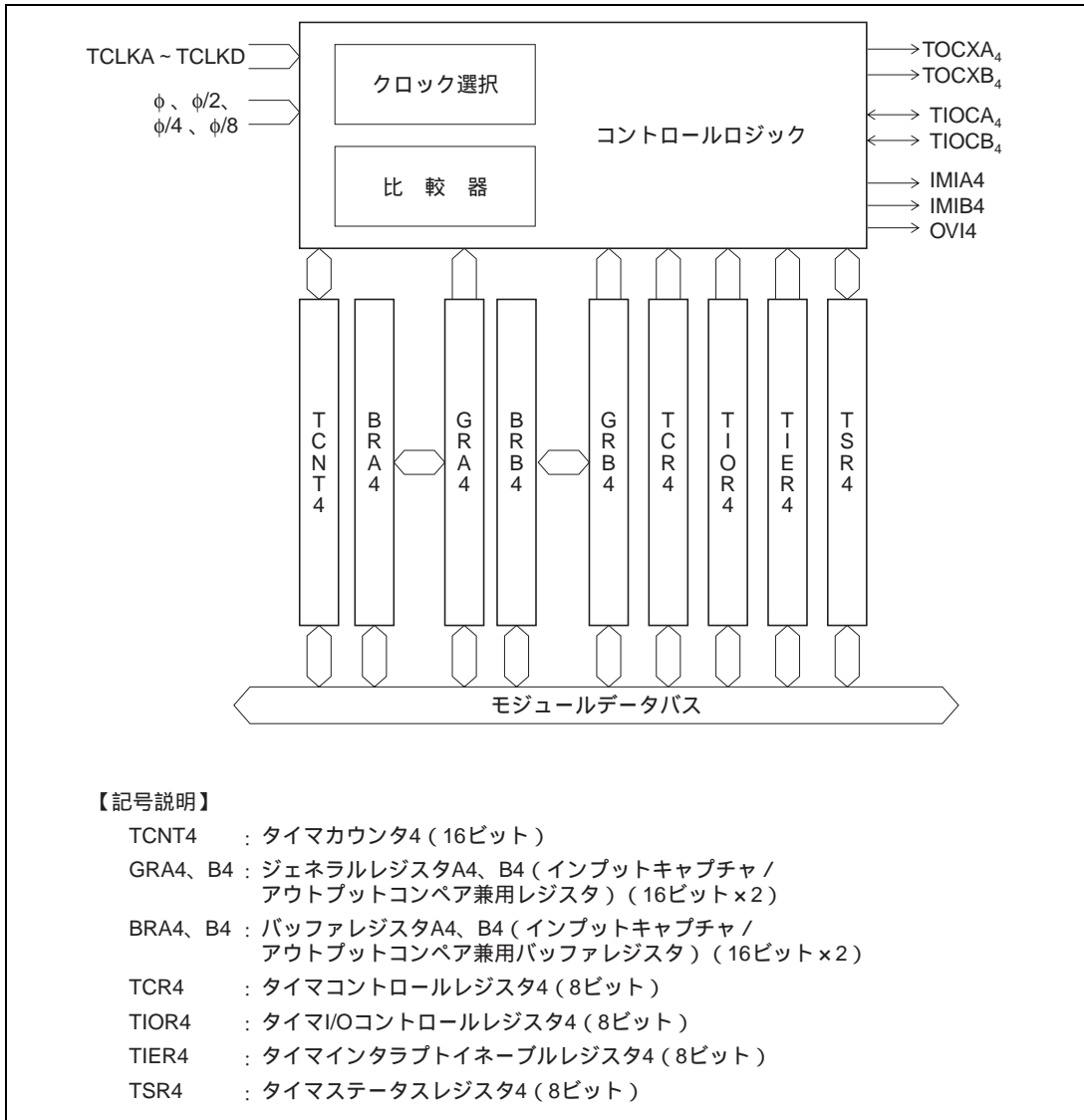


図 10.5 チャンネル4のブロック図

10.1.3 端子構成

ITU の端子構成を表 10.2 に示します。

表 10.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インプットキャプチャ/ アウトプットコンペア A0	TIOCA0	入出力	GRA0 アウトプットコンペア出力/ GRA0 インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
	インプットキャプチャ/ アウトプットコンペア B0	TIOCB0	入出力	GRB0 アウトプットコンペア出力/ GRB0 インプットキャプチャ入力端子
1	インプットキャプチャ/ アウトプットコンペア A1	TIOCA1	入出力	GRA1 アウトプットコンペア出力/ GRA1 インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
	インプットキャプチャ/ アウトプットコンペア B1	TIOCB1	入出力	GRB1 アウトプットコンペア出力/ GRB1 インプットキャプチャ入力端子
2	インプットキャプチャ/ アウトプットコンペア A2	TIOCA2	入出力	GRA2 アウトプットコンペア出力/ GRA2 インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
	インプットキャプチャ/ アウトプットコンペア B2	TIOCB2	入出力	GRB2 アウトプットコンペア出力/ GRB2 インプットキャプチャ入力端子
3	インプットキャプチャ/ アウトプットコンペア A3	TIOCA3	入出力	GRA3 アウトプットコンペア出力/ GRA3 インプットキャプチャ入力/ PWM 出力端子 (PWM モード/ 相補 PWM モード/リセット同期 PWM モード時)
	インプットキャプチャ/ アウトプットコンペア B3	TIOCB3	入出力	GRB3 アウトプットコンペア出力/ GRB3 インプットキャプチャ入力/ PWM 出力端子 (相補 PWM モード/ リセット同期 PWM モード時)
4	インプットキャプチャ/ アウトプットコンペア A4	TIOCA4	入出力	GRA4 アウトプットコンペア出力/ GRA4 インプットキャプチャ入力/ PWM 出力端子 (PWM モード/ 相補 PWM モード/リセット同期 PWM モード時)
	インプットキャプチャ/ アウトプットコンペア B4	TIOCB4	入出力	GRB4 アウトプットコンペア出力/ GRB4 インプットキャプチャ入力/ PWM 出力端子 (相補 PWM モード/ リセット同期 PWM モード時)
	アウトプットコンペア XA4	TOCXA4	出力	PWM 出力端子 (相補 PWM モード/ リセット同期 PWM モード時)
	アウトプットコンペア XB4	TOCXB4	出力	PWM 出力端子 (相補 PWM モード/ リセット同期 PWM モード時)

10. 16 ビットインテグレートドタイマユニット (ITU)

10.1.4 レジスタ構成

ITU のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
共通	H'FF60	タイマスタートレジスタ	TSTR	R/W	H'E0
	H'FF61	タイマシンクロレジスタ	TSNC	R/W	H'E0
	H'FF62	タイマモードレジスタ	TMDR	R/W	H'80
	H'FF63	タイマファンクションコントロールレジスタ	TFCR	R/W	H'C0
	H'FF90	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'FF
	H'FF91	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'FF
0	H'FF64	タイマコントロールレジスタ 0	TCR0	R/W	H'80
	H'FF65	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FF66	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'F8
	H'FF67	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'F8
	H'FF68	タイマカウンタ 0H	TCNT0H	R/W	H'00
	H'FF69	タイマカウンタ 0L	TCNT0L	R/W	H'00
	H'FF6A	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FF6B	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FF6C	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FF6D	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H'80
	H'FF6F	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FF70	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'F8
	H'FF71	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'F8
	H'FF72	タイマカウンタ 1H	TCNT1H	R/W	H'00
	H'FF73	タイマカウンタ 1L	TCNT1L	R/W	H'00
	H'FF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FF78	タイマコントロールレジスタ 2	TCR2	R/W	H'80
	H'FF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FF7A	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'F8
	H'FF7B	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'F8
	H'FF7C	タイマカウンタ 2H	TCNT2H	R/W	H'00
	H'FF7D	タイマカウンタ 2L	TCNT2L	R/W	H'00
	H'FF7E	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FF7F	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FF80	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FF81	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF

10. 16 ビットインテグレートドタイマユニット (ITU)

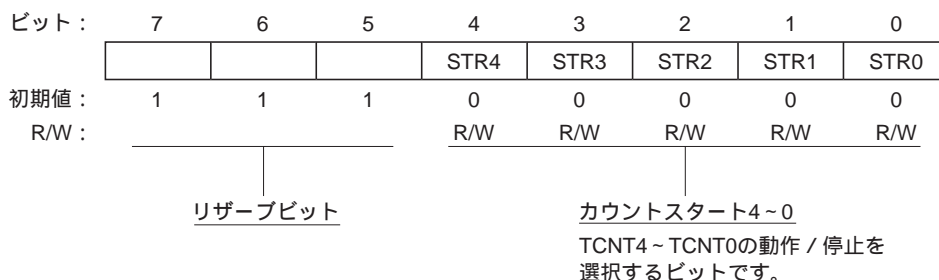
チャンネル	アドレス*1	名称	略称	R/W	初期値
3	H'FF82	タイマコントロールレジスタ 3	TCR3	R/W	H'80
	H'FF83	タイマ I/O コントロールレジスタ 3	TIOR3	R/W	H'88
	H'FF84	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'F8
	H'FF85	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'F8
	H'FF86	タイマカウンタ 3H	TCNT3H	R/W	H'00
	H'FF87	タイマカウンタ 3L	TCNT3L	R/W	H'00
	H'FF88	ジェネラルレジスタ A3H	GRA3H	R/W	H'FF
	H'FF89	ジェネラルレジスタ A3L	GRA3L	R/W	H'FF
	H'FF8A	ジェネラルレジスタ B3H	GRB3H	R/W	H'FF
	H'FF8B	ジェネラルレジスタ B3L	GRB3L	R/W	H'FF
	H'FF8C	バッファレジスタ A3H	BRA3H	R/W	H'FF
	H'FF8D	バッファレジスタ A3L	BRA3L	R/W	H'FF
	H'FF8E	バッファレジスタ B3H	BRB3H	R/W	H'FF
H'FF8F	バッファレジスタ B3L	BRB3L	R/W	H'FF	
4	H'FF92	タイマコントロールレジスタ 4	TCR4	R/W	H'80
	H'FF93	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'88
	H'FF94	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'F8
	H'FF95	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'F8
	H'FF96	タイマカウンタ 4H	TCNT4H	R/W	H'00
	H'FF97	タイマカウンタ 4L	TCNT4L	R/W	H'00
	H'FF98	ジェネラルレジスタ A4H	GRA4H	R/W	H'FF
	H'FF99	ジェネラルレジスタ A4L	GRA4L	R/W	H'FF
	H'FF9A	ジェネラルレジスタ B4H	GRB4H	R/W	H'FF
	H'FF9B	ジェネラルレジスタ B4L	GRB4L	R/W	H'FF
	H'FF9C	バッファレジスタ A4H	BRA4H	R/W	H'FF
	H'FF9D	バッファレジスタ A4L	BRA4L	R/W	H'FF
	H'FF9E	バッファレジスタ B4H	BRB4H	R/W	H'FF
H'FF9F	バッファレジスタ B4L	BRB4L	R/W	H'FF	

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 フラグをクリアするための"0"ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の動作/停止を選択します。



TSTR はリセット、またはスタンバイモード時に、H'E0 に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット4: カウンタスタート4 (STR4)

タイマカウンタ4 (TCNT4) の動作/停止を選択します。

ビット4	説明
STR4	
0	TCNT4 のカウント動作は停止 (初期値)
1	TCNT4 はカウント動作

ビット3: カウンタスタート3 (STR3)

タイマカウンタ3 (TCNT3) の動作/停止を選択します。

ビット3	説明
STR3	
0	TCNT3 のカウント動作は停止 (初期値)
1	TCNT3 はカウント動作

ビット2 : カウンタスタート2 (STR2)

タイマカウンタ2 (TCNT2) の動作 / 停止を選択します。

ビット2	説明
STR2	
0	TCNT2 のカウント動作は停止 (初期値)
1	TCNT2 はカウント動作

ビット1 : カウンタスタート1 (STR1)

タイマカウンタ1 (TCNT1) の動作 / 停止を選択します。

ビット1	説明
STR1	
0	TCNT1 のカウント動作は停止 (初期値)
1	TCNT1 はカウント動作

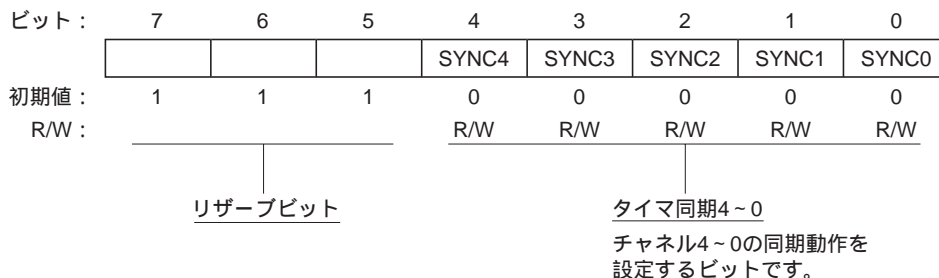
ビット0 : カウンタスタート0 (STR0)

タイマカウンタ0 (TCNT0) の動作 / 停止を選択します。

ビット0	説明
STR0	
0	TCNT0 のカウント動作は停止 (初期値)
1	TCNT0 はカウント動作

10.2.2 タイマシンクロレジスタ (TSNC)

TSNCは8ビットのリード/ライト可能なレジスタで、チャンネル0~4の独立動作/同期動作を選択します。対応するビットを"1"にセットしたチャンネルが同期動作を行います。



TSNCはリセット、またはスタンバイモード時に、H'E0に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット4: タイマ同期4 (SYNC4)

チャンネル4の独立動作/同期動作を選択します。

ビット4	説明
SYNC4	
0	チャンネル4のタイマカウンタ (TCNT4) は独立動作 (TCNT4のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル4は同期動作 TCNT4の同期プリセット/同期クリアが可能

ビット3: タイマ同期3 (SYNC3)

チャンネル3の独立動作/同期動作を選択します。

ビット3	説明
SYNC3	
0	チャンネル3のタイマカウンタ (TCNT3) は独立動作 (TCNT3のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル3は同期動作 TCNT3の同期プリセット/同期クリアが可能

10. 16 ビットインテグレートドタイムユニット (ITU)

ビット 2 : タイマ同期 2 (SYNC2)

チャンネル 2 の独立動作 / 同期動作を選択します。

ビット 2 SYNC2	説明
0	チャンネル 2 のタイマカウンタ (TCNT2) は独立動作 (TCNT2 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 2 は同期動作 TCNT2 の同期プリセット / 同期クリアが可能

ビット 1 : タイマ同期 1 (SYNC1)

チャンネル 1 の独立動作 / 同期動作を選択します。

ビット 1 SYNC1	説明
0	チャンネル 1 のタイマカウンタ (TCNT1) は独立動作 (TCNT1 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 1 は同期動作 TCNT1 の同期プリセット / 同期クリアが可能

ビット 0 : タイマ同期 0 (SYNC0)

チャンネル 0 の独立動作 / 同期動作を選択します。

ビット 0 SYNC0	説明
0	チャンネル 0 のタイマカウンタ (TCNT0) は独立動作 (TCNT0 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 0 は同期動作 TCNT0 の同期プリセット / 同期クリアが可能

10. 16 ビットインテグレートドタイムユニット (ITU)

10.2.3 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の PWM モードの設定、チャンネル 2 の位相計数モードの設定およびオーバフローフラグ(OVF)のセット条件の設定を行います。

ビット:	7	6	5	4	3	2	1	0
		MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

位相計数モード
チャンネル2を位相計数モードに設定するビットです。

フラグディレクション
TSR2のOVFフラグセット条件を設定するビットです。

PWMモード4~0
チャンネル4~0をPWMモードに設定するビットです。

TMDR はリセット、またはスタンバイモード時に、H'80 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット 6: 位相計数モード (MDF)

チャンネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット 6	説明
MDF	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は位相計数モード

MDF ビットを"1"にセットして位相計数モードにすると、TCNT2はアップ/ダウンカウンタ、TCLKA、TCLKB 端子がカウントクロック入力端子となります。TCNT2はTCLKA、TCLKB 端子の立ち上がり (↑) / 立ち下がり (↓) の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA 端子	↑	"High"	↓	"Low"	↓	"Low"	↑	"High"
TCLKB 端子	"Low"	↓	"High"	↑	"High"	↓	"Low"	↑

位相計数モードでは、TCR2 の CKEG1、CKEG0 ビットによる外部クロックエッジの選択、および TPSC2 ~ TPSC0 ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2 の CCLR1、CCLR0 ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2 のコンペアマッチ/インプットキャプチャ機能と割り込みの設定は位相計数モードでも有効です。

ビット 5 : フラグディレクション (FDIR)

TSR2 の OVF フラグのセット条件を設定します。本ビットの設定は、チャンネル 2 がいずれのモードで動作していても有効となります。

ビット 5	説明
FDIR	
0	TSR2 の OVF フラグは、TCNT2 がオーバフローまたはアンダフローしたときに"1"にセット (初期値)
1	TSR2 の OVF フラグは、TCNT2 がオーバフローしたときに"1"にセット

ビット 4 : PWM モード 4 (PWM4)

チャンネル 4 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 4	説明
PWM4	
0	チャンネル 4 は通常動作 (初期値)
1	チャンネル 4 は PWM モード

PWM4 を"1"にセットして PWM モードにすると、TIOCA4 端子は PWM 出力端子となり、GRA4 のコンペアマッチで 1 出力、GRB4 のコンペアマッチで 0 出力となります。

TFCR の CMD1、CMD0 ビットにより相補 PWM モードまたはリセット同期 PWM モードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0 ビットの設定が優先されます。

ビット 3 : PWM モード 3 (PWM3)

チャンネル 3 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 3	説明
PWM3	
0	チャンネル 3 は通常動作 (初期値)
1	チャンネル 3 は PWM モード

PWM3 を"1"にセットして PWM モードにすると、TIOCA3 端子は PWM 出力端子となり、GRA3 のコンペアマッチで 1 出力、GRB3 のコンペアマッチで 0 出力となります。

TFCR の CMD1、CMD0 ビットにより相補 PWM モードまたはリセット同期 PWM モードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0 ビットの設定が優先されます。

10. 16ビットインテグレートドタイマユニット (ITU)

ビット2：PWMモード2 (PWM2)

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	説明
PWM2	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2はPWMモード

PWM2を"1"にセットしてPWMモードにすると、TIOCA2端子はPWM出力端子となり、GRA2のコンペアマッチで1出力、GRB2のコンペアマッチで0出力となります。

ビット1：PWMモード1 (PWM1)

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を"1"にセットしてPWMモードにすると、TIOCA1端子はPWM出力端子となり、GRA1のコンペアマッチで1出力、GRB1のコンペアマッチで0出力となります。

ビット0：PWMモード0 (PWM0)

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を"1"にセットしてPWMモードにすると、TIOCA0端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

10.2.4 タイマファンクションコントロールレジスタ (TFCR)

TFCR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 3、4 の相補 PWM モード/リセット同期 PWM モードの設定、およびバッファ動作の設定を行います。

ビット:	7	6	5	4	3	2	1	0
			CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

バッファ動作B3、A3
チャンネル3のジェネラルレジスタ (GRB3、GRA3) とバッファレジスタ (BRB3、BRA3) をバッファ動作に設定するビットです。

バッファ動作B4、A4
チャンネル4のジェネラルレジスタ (GRB4、GRA4) とバッファレジスタ (BRB4、BRA4) をバッファ動作に設定するビットです。

コンビネーションモード1、0
チャンネル3、4を組み合わせ、相補PWMモード/リセット同期PWMモードに設定するビットです。

TFCR はリセット、またはスタンバイモード時に、H'CO に初期化されます。

ビット7、6: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット5、4: コンビネーションモード 1、0 (CMD1、CMD0)

チャンネル 3、4 を通常動作させるか、相補 PWM モードまたはリセット同期 PWM モードで動作させるかを選択します。

ビット5	ビット4	説明
CMD1	CMD0	
0	0	チャンネル 3、4 は通常動作 (初期値)
	1	
1	0	チャンネル 3、4 を組み合わせ、相補 PWM モードで動作
	1	チャンネル 3、4 を組み合わせ、リセット同期 PWM モードで動作

相補 PWM モード、およびリセット同期 PWM モードの設定は、使用する TCNT を停止させた状態で行ってください。

本ビットにより、相補 PWM モードまたはリセット同期 PWM モードに設定した場合、TMDR の

10. 16ビットインテグレートドタイムユニット (ITU)

PWM4、PWM3 ビットによる PWM モードの設定より優先されます。なお、相補 PWM モード、リセット同期 PWM モードの設定と TSNC の SYNC4、SYNC3 ビットによる同期動作の設定は同時に有効となりますが、相補 PWM モードを設定したときは、チャンネル3 とチャンネル4 を同期動作に設定 (TSNC の SYNC4 ビットと SYNC3 ビットをともに"1"にセット) しないでください。

ビット3 : バッファ動作 B4 (BFB4)

チャンネル4 の GRB4 を通常動作とするか、GRB4 と BRB4 を組み合わせてバッファ動作とするかを設定します。

ビット3	説明
BFB4	
0	GRB4 は通常動作 (初期値)
1	GRB4 と BRB4 はバッファ動作

ビット2 : バッファ動作 A4 (BFA4)

チャンネル4 の GRA4 を通常動作とするか、GRA4 と BRA4 を組み合わせてバッファ動作とするかを設定します。

ビット2	説明
BFA4	
0	GRA4 は通常動作 (初期値)
1	GRA4 と BRA4 はバッファ動作

ビット1 : バッファ動作 B3 (BFB3)

チャンネル3 の GRB3 を通常動作とするか、GRB3 と BRB3 を組み合わせてバッファ動作とするかを設定します。

ビット1	説明
BFB3	
0	GRB3 は通常動作 (初期値)
1	GRB3 と BRB3 はバッファ動作

ビット0 : バッファ動作 A3 (BFA3)

チャンネル3 の GRA3 を通常動作とするか、GRA3 と BRA3 を組み合わせてバッファ動作とするかを設定します。

ビット0	説明
BFA3	
0	GRA3 は通常動作 (初期値)
1	GRA3 と BRA3 はバッファ動作

10.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットのリード/ライト可能なレジスタで、チャンネル 3、4 の出力設定を許可/禁止します。



TOER はリセット、またはスタンバイモード時に H'FF に初期化されます。

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット 5: マスタイネーブル TOCXB₄ (EXB4)

TOCXB₄ 端子の ITU 出力を許可/禁止します。

ビット 5	説明
EXB4	
0	TFCR の設定にかかわらず TOCXB ₄ 端子の出力は禁止 (TOCXB ₄ 端子は入出力ポートとして動作) XTGD = "0" の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき "0" にクリア
1	TFCR の設定に従い TOCXB ₄ 端子の出力は許可 (初期値)

10. 16ビットインテグレートドタイムユニット (ITU)

ビット4 : マスタイネーブル TOCXA₄ (EXA4)

TOCXA₄端子の ITU 出力を許可 / 禁止します。

ビット4	説明
EXA4	
0	TFCR の設定にかかわらず TOCXA ₄ 端子の出力は禁止 (TOCXA ₄ 端子は入出力ポートとして動作) XTGD="0"の状態、チャンネル1のインプットキャプチャAが発生したとき"0"にクリア
1	TFCR の設定に従い TOCXA ₄ 端子の出力は許可 (初期値)

ビット3 : マスタイネーブル TIOCB₃ (EB3)

TIOCB₃端子の ITU 出力を許可 / 禁止します。

ビット3	説明
EB3	
0	TIOR3、TFCR の設定にかかわらず TIOCB ₃ 端子の出力は禁止 (TIOCB ₃ 端子は出力ポートとして動作) XTGD="0"の状態、チャンネル1のインプットキャプチャAが発生したとき"0"にクリア
1	TIOR3、TFCR の設定に従い TIOCB ₃ 端子の出力は許可 (初期値)

ビット2 : マスタイネーブル TIOCB₄ (EB4)

TIOCB₄端子の ITU 出力を許可 / 禁止します。

ビット2	説明
EB4	
0	TIOR4、TFCR の設定にかかわらず TIOCB ₄ 端子の出力は禁止 (TIOCB ₄ 端子は入出力ポートとして動作) XTGD="0"の状態、チャンネル1のインプットキャプチャAが発生したとき"0"にクリア
1	TIOR4、TFCR の設定に従い TIOCB ₄ 端子の出力は許可 (初期値)

10. 16 ビットインテグレートドタイムユニット (ITU)

ビット1：マスタイネーブル TIOCA₄ (EA4)

TIOCA₄端子の ITU 出力を許可 / 禁止します。

ビット1	説明
EA4	
0	TIOR4、TMDR、TFCR の設定にかかわらず TIOCA ₄ 端子の出力は禁止 (TIOCA ₄ 端子は入出力ポートとして動作) XTGD="0"の状態、チャンネル1のインプットキャプチャAが発生したとき"0"にクリア
1	TIOR4、TMDR、TFCR の設定に従い TIOCA ₄ 端子の出力は許可 (初期値)

ビット0：マスタイネーブル TIOCA₃ (EA3)

TIOCA₃端子の ITU 出力を許可 / 禁止します。

ビット0	説明
EA3	
0	TIOR3、TMDR、TFCR の設定にかかわらず TIOCA ₃ 端子の出力は禁止 (TIOCA ₃ 端子は入出力ポートとして動作) XTGD="0"の状態、チャンネル1のインプットキャプチャAが発生したとき"0"にクリア
1	TIOR3、TMDR、TFCR の設定に従い TIOCA ₃ 端子の出力は許可 (初期値)

10.2.6 タイマアウトプットコントロールレジスタ (TOCR)

TOCR は、8ビットのリード/ライト可能なレジスタで、相補 PWM モード/リセット同期 PWM モード出力の外部トリガによる禁止または出力レベル反転を行います。



XTGD、OLS4 および OLS3 ビットの設定は、リセット同期 PWM モードまたは相補 PWM モードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCR はリセット、またはスタンバイモード時に H'FF に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット4: 外部トリガディスエーブル (XTGD)

リセット同期 PWM モード/相補 PWM モード時の ITU 出力の外部トリガによる禁止を設定します。

ビット4	説明
XTGD	
0	リセット同期 PWM モード/相補 PWM モード時、チャンネル1のインプットキャプチャ A 信号を外部トリガとして使用 外部トリガの発生時、TOERのビット5~0が"0"にクリアされ、ITU出力は禁止
1	外部トリガを禁止 (初期値)

ビット 3、2 : リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット 1 : 出力レベルセレクト 4 (OLS4)

リセット同期 PWM モード / 相補 PWM モード出力のレベルを選択します。

ビット 1	説明
OLS4	
0	TIOCA3、TIOCA4、TIOCB4 は反転出力
1	TIOCA3、TIOCA4、TIOCB4 は直接出力 (初期値)

ビット 0 : 出力レベルセレクト 3 (OLS3)

リセット同期 PWM モード / 相補 PWM モード出力のレベルを選択します。

ビット 0	説明
OLS3	
0	TIOCB3、TOCXA4、TOCXB4 は反転出力
1	TIOCB3、TOCXA4、TOCXB4 は直接出力 (初期値)

10. 16ビットインテグレートドタイマユニット (ITU)

10.2.7 タイマカウンタ (TCNT)

TCNTは16ビットのカウンタです。ITUには、各チャンネル1本、計5本のTCNTがあります。

チャンネル	略称	機能
0	TCNT0	アップカウンタ
1	TCNT1	
2	TCNT2	位相計数モード：アップ/ダウンカウンタ 上記以外：アップカウンタ
3	TCNT3	相補PWMモード：アップ/ダウンカウンタ
4	TCNT4	上記以外：アップカウンタ

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNTは16ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCRのTPSC2～TPSC0ビットにより選択します。

TCNT0、TCNT1はアップカウント動作を行います。TCNT2は位相計数モード時、またTCNT3、TCNT4は相補PWMモード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNTは、対応するGRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます(カウンタクリア機能)。

TCNTがオーバフロー(H'FFFF→H'0000)すると、対応するチャンネルのTSRのOVFフラグが"1"にセットされます。

TCNTがアンダフロー(H'0000→H'FFFF)すると、対応するチャンネルのTSRのOVFフラグが"1"にセットされます。

TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

TCNTはリセット、またはスタンバイモード時にH'0000に初期化されます。

10.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GR は、16 ビットのレジスタです。ITU には、各チャンネル 2 本、計 10 本のジェネラルレジスタがあります。

チャンネル	略称	機能
0	GRA0、GRB0	アウトプットコンペア/インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア/インプットキャプチャ兼用レジスタ。バッファレジスタ (BRA、BRB) と組み合わせることにより、バッファ動作設定可能
4	GRA4、GRB4	

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能を持っています。機能の切り替えは、TIOR により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRB の値と TCNT の値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、TSR の IMFA/IMFB フラグが "1" にセットされます。TIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT の値を格納します。このとき対応する TSR の IMFA/IMFB フラグが "1" にセットされます。インプットキャプチャ信号の検出エッジは TIOR により行います。

PWM モード、相補 PWM モード、またはリセット同期 PWM モードに設定されている場合には、TIOR の設定は無視されます。

GR は CPU と内部 16 ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

GR はリセット、またはスタンバイモード時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFF に初期化されます。

10. 16 ビットインテグレートドタイムユニット (ITU)

10.2.9 バッファレジスタ A、B (BRA、BRB)

BR は、16 ビットのレジスタです。ITU には、チャンネル 3、4 に各 2 本、計 4 本のバッファレジスタがあります。

チャンネル	略称	機能
3	BRA3、BRB3	バッファ動作時に使用
4	BRA4、BRB4	<ul style="list-style-type: none">• 対応する GRA、GRB がアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチにより BRA、BRB の値を GRA、GRB に自動転送可能• 対応する GRA、GRB がインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていた GRA、GRB の値を BRA、BRB に自動転送可能。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BR は、16 ビットのリード/ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定は TFCR の BFB4、BFA4、BFB3、および BFA3 ビットにより独立に行うことができます。

BR は GR と対になって機能し、GR がアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、また GR がインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

BR は CPU と内部 16 ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

BR は、リセット、またはスタンバイモード時に H'FFFF に初期化されます。

10.2.10 タイマコントロールレジスタ (TCR)

TCR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TCR があります。

チャンネル	略称	機能
0	TCR0	TCR は TCNT の制御を行います。 各チャンネルの TCR は同一の機能を持っています。 チャンネル 2 を位相計数モードに設定したとき、TCR2 の CKEG1、CKEG0 ビットおよび TPSC2 ~ TPSC0 ビットの設定は無効となります。
1	TCR1	
2	TCR2	
3	TCR3	
4	TCR4	



TCR は 8 ビットのリード/ライト可能なレジスタで、TCNT のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCR はリセット、またはスタンバイモード時に、H'80 に初期化されます。

10. 16ビットインテグレートドタイムユニット (ITU)

ビット7: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット6、5: カウンタクリア 1、0 (CCLR1、CCLR0)

TCNTのカウンタクリア要因を選択します。

ビット6	ビット5	説明
CCLR1	CCLR0	
0	0	TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャ*1でTCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャ*1でTCNTをクリア
	1	同期クリア。同期動作*2をしている他のタイムのカウンタクリアに同期してTCNTをクリア

【注】 *1 GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定はTSNCにより行います。

ビット4、3: クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1		立ち上がり/立ち下がりの両エッジでカウント

チャンネル2が位相計数モードに設定されているとき、TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

10. 16 ビットインテグレートドタイムユニット (ITU)

ビット 2~0 : タイマプリスケアラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。

ビット 2	ビット 1	ビット 0	説明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : ϕ でカウント (初期値)
		1	内部クロック : $\phi/2$ でカウント
	1	0	内部クロック : $\phi/4$ でカウント
		1	内部クロック : $\phi/8$ でカウント
1	0	0	外部クロック A : TCLKA 端子入力でカウント
		1	外部クロック B : TCLKB 端子入力でカウント
	1	0	外部クロック C : TCLKC 端子入力でカウント
		1	外部クロック D : TCLKD 端子入力でカウント

TPSC2 ビットを"0"にクリアして内部クロックを選択した場合、クロックの立ち下がりエッジでカウントされます。また、TPSC2 ビットを"1"にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

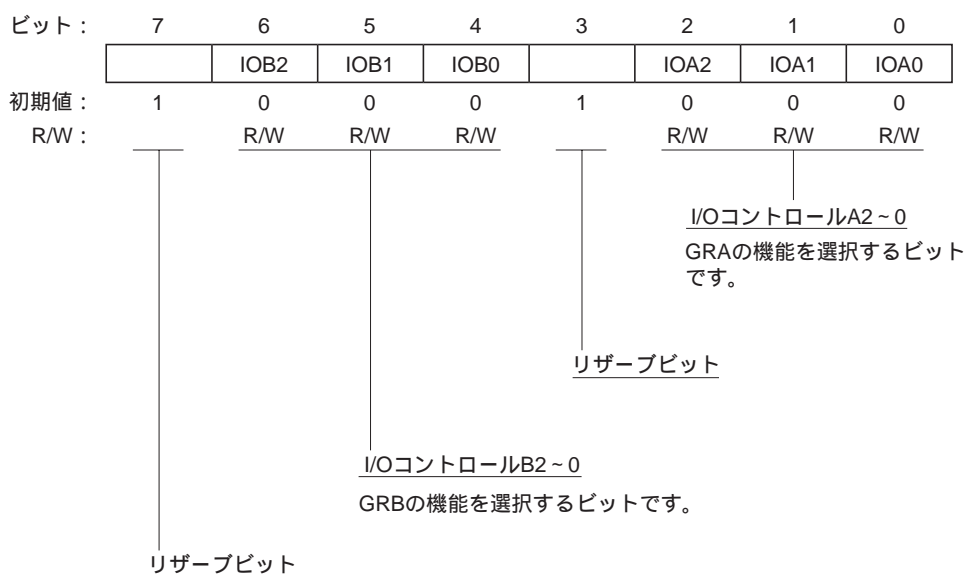
チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF ビット = "1")、TCR2 の TPSC2 ~ TPSC0 ビットの設定は無効となり、位相計数モードの動作が優先されます。

10. 16ビットインテグレートドタイムユニット (ITU)

10.2.11 タイマ I/O コントロールレジスタ (TIOR)

TIOR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIOR があります。

チャンネル	略称	機能
0	TIOR0	TIOR は GR の制御を行います。 PWM モード時、一部機能が異なります。 チャンネル 3、4 を相補 PWM モード / リセット同期 PWM モードに設定したとき、TIOR3、TIOR4 の設定は無効となります。
1	TIOR1	
2	TIOR2	
3	TIOR3	
4	TIOR4	



TIOR は 8 ビットのリード/ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIOCA、TIOCB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

10. 16 ビットインテグレートドタイムユニット (ITU)

ビット 6～4 : I/O コントロール B2～0 (IOB2～IOB0)

GRB の機能を選択します。

ビット 6	ビット 5	ビット 4	説明	
IOB2	IOB1	IOB0		
0	0	0	GRB は アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRB のコンペアマッチで 0 出力 ^{*1}
	1	0		GRB のコンペアマッチで 1 出力 ^{*1}
		1		GRB のコンペアマッチでトグル出力 (チャンネル 2 のみ 1 出力) ^{*1, *2}
1	0	0	GRB は インプット キャプチャ レジスタ	立ち上がりエッジで GRB へ インプットキャプチャ
		1		立ち下がりエッジで GRB へ インプットキャプチャ
	1	0		立ち上がり / 立ち下がり の両エッジで インプットキャプチャ
		1		

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

*2 チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定すると自動的に 1 出力が選択されます。

ビット 3 : リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット 2～0 : I/O コントロール A2～0 (IOA2～IOA0)

GRA の機能を選択します。

ビット 2	ビット 1	ビット 0	説明	
IOA2	IOA1	IOA0		
0	0	0	GRA は アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRA のコンペアマッチで 0 出力 ^{*1}
	1	0		GRA のコンペアマッチで 1 出力 ^{*1}
		1		GRA のコンペアマッチでトグル出力 (チャンネル 2 のみ 1 出力) ^{*1, *2}
1	0	0	GRA は インプット キャプチャ レジスタ	立ち上がりエッジで GRA へインプットキャプチャ
		1		立ち下がりエッジで GRA へインプットキャプチャ
	1	0		立ち上がり / 立ち下がり の両エッジでインプット キャプチャ
		1		

【注】 *1 リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

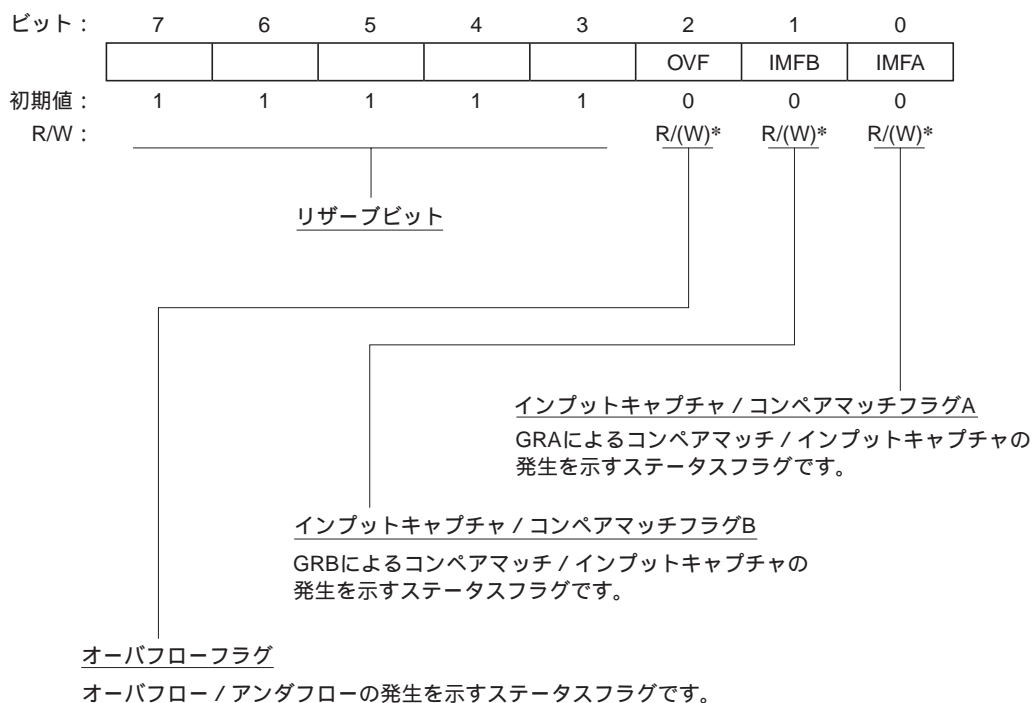
*2 チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

10. 16ビットインテグレートドタイムユニット (ITU)

10.2.12 タイマステータスレジスタ (TSR)

TSRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTSRがあります。

チャンネル	略称	機能
0	TSR0	インプットキャプチャ/コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	



【注】* フラグをクリアするための"0"ライトのみ可能です。

TSRは8ビットのリード/ライト可能なレジスタで、TCNTのオーバフロー/アンダフローの発生、およびGRA、GRBのコンペアマッチ/インプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、TIERの対応するビットにより割り込みが許可されていれば、CPUに割り込みを要求します。

TSRはリセット、またはスタンバイモード時に、H'F8に初期化されます。

ビット7~3: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット2：オーバフローフラグ (OVF)

TCNT のオーバフロー / アンダフローの発生を示すステータスフラグです。

ビット2	説明
OVF	
0	〔クリア条件〕 (初期値) OVF = "1" の状態で、OVF フラグをリードした後、OVF フラグに "0" をライトしたとき
1	〔セット条件〕 TCNT の値がオーバフロー (H'FFFF → H'0000) またはアンダフロー (H'0000 → H'FFFF) したとき*

【注】 * TCNT のアンダフローは、TCNT がアップ / ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。

- (1) チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF = "1")
- (2) チャンネル 3、4 が相補 PWM モードに設定されているとき (TFCR の CMD1 = "1"、CMD0 = "0")

ビット1：インプットキャプチャ / コンペアマッチフラグ B (IMFB)

GRB のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFB	
0	〔クリア条件〕 (初期値) IMFB = "1" の状態で、IMFB フラグをリードした後、IMFB フラグに "0" をライトしたとき
1	〔セット条件〕 (1) GRB がアウトプットコンペアレジスタとして機能している場合、TCNT = GRB になったとき (2) GRB がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRB に転送されたとき

ビット0：インプットキャプチャ / コンペアマッチフラグ A (IMFA)

GRA のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

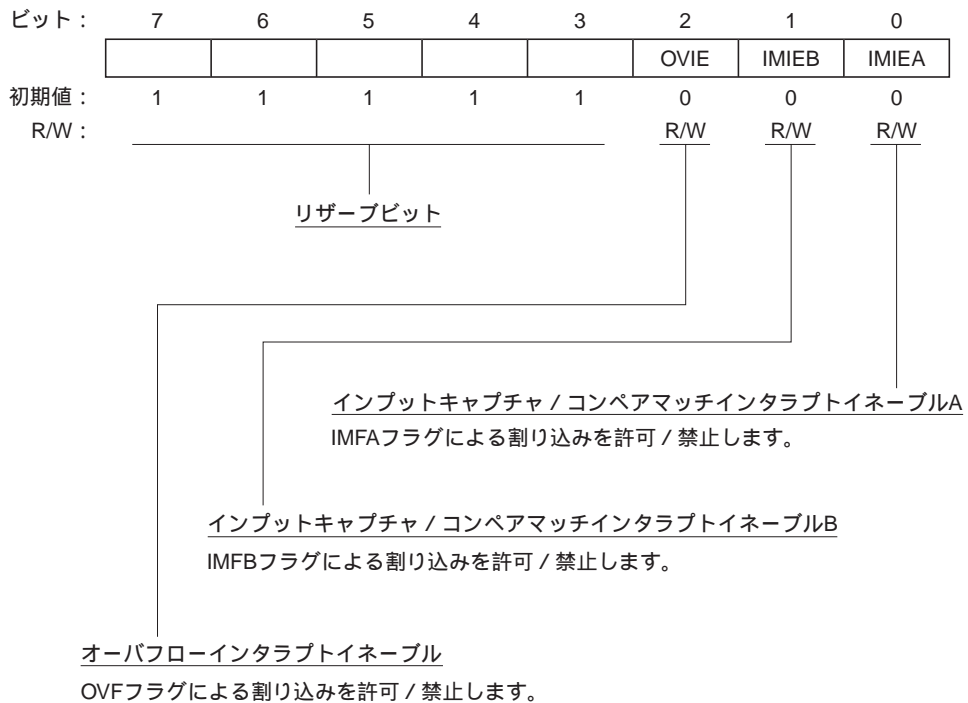
ビット0	説明
IMFA	
0	〔クリア条件〕 (初期値) (1) IMFA = "1" の状態で、IMFA フラグをリードした後、IMFA フラグに "0" をライトしたとき (2) IMIA 割り込みにより DMAC が起動されたとき (チャンネル 0~3 のみ)
1	〔セット条件〕 (1) GRA がアウトプットコンペアレジスタとして機能している場合、TCNT = GRA になったとき (2) GRA がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRA に転送されたとき

10. 16ビットインテグレートドタイムユニット (ITU)

10.2.13 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIER があります。

チャンネル	略称	機能
0	TIER0	割り込み要求の許可 / 禁止を制御します。
1	TIER1	
2	TIER2	
3	TIER3	
4	TIER4	



TIER は 8 ビットのリード / ライト可能なレジスタで、オーバーフロー割り込み要求、GR のコンペアマッチ / インプットキャプチャ割り込み要求の許可 / 禁止を制御します。

TIER はリセット、またはスタンバイモード時に、HF8 に初期化されます。

ビット 7~3 : リザーブビット

リザーブビットです。リードすると常に "1" が読み出されます。ライトは無効です。

ビット2：オーバフローインタラプトイネーブル (OVIE)

TSR の OVF フラグが"1"にセットされたとき、OVF フラグによる割り込み要求を許可 / 禁止します。

ビット2	説明
OVIE	
0	OVF フラグによる割り込み (OVI) 要求を禁止 (初期値)
1	OVF フラグによる割り込み (OVI) 要求を許可

ビット1：インプットキャプチャ / コンペアマッチインタラプトイネーブル B (IMIEB)

TSR の IMFB フラグが"1"にセットされたとき、IMFB による割り込み要求を許可 / 禁止します。

ビット1	説明
IMIEB	
0	IMFB フラグによる割り込み (IMIB) 要求を禁止 (初期値)
1	IMFB フラグによる割り込み (IMIB) 要求を許可

ビット0：インプットキャプチャ / コンペアマッチインタラプトイネーブル A (IMIEA)

TSR の IMFA フラグが"1"にセットされたとき、IMFA による割り込み要求を許可 / 禁止します。

ビット0	説明
IMIEA	
0	IMFA フラグによる割り込み (IMIA) 要求を禁止 (初期値)
1	IMFA フラグによる割り込み (IMIA) 要求を許可

10.3 CPU とのインタフェース

10.3.1 16 ビットアクセス可能なレジスタ

TCNT、GRA、GRB、およびBRA、BRB、BRは16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

TCNTに対してワード単位のリード/ライトを行った場合の動作を図10.6、図10.7に示します。

また、TCNTH、TCNTLに対してバイト単位のリード/ライトを行った場合の動作を図10.8~図10.11に示します。

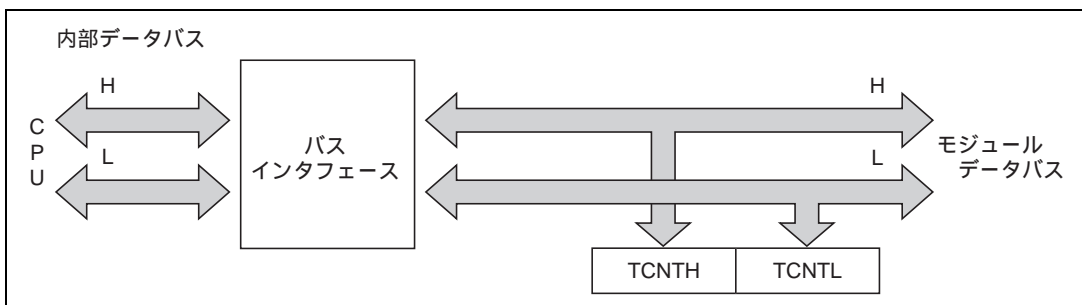


図 10.6 TCNT のアクセス動作 [CPU → TCNT (ワード)]

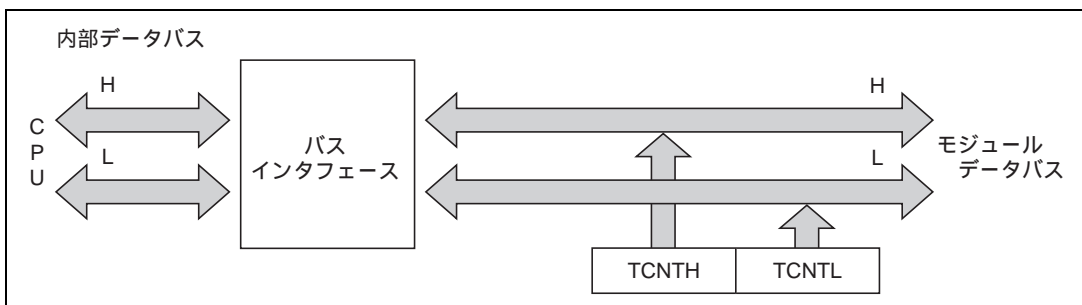


図 10.7 TCNT のアクセス動作 [TCNT → CPU (ワード)]

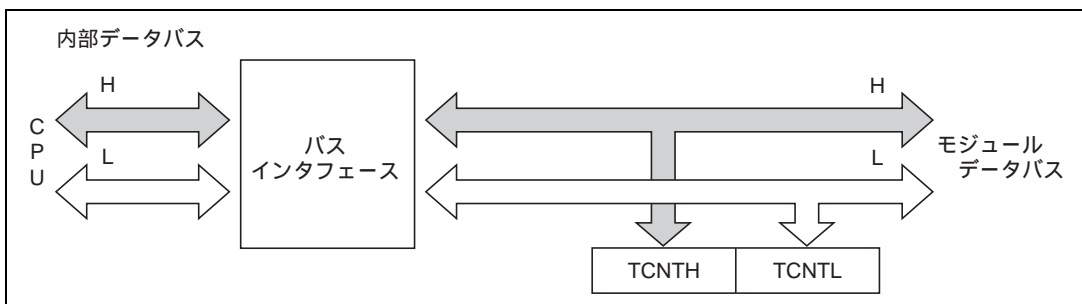


図 10.8 TCNT のアクセス動作 [CPU → TCNT (上位バイト)]

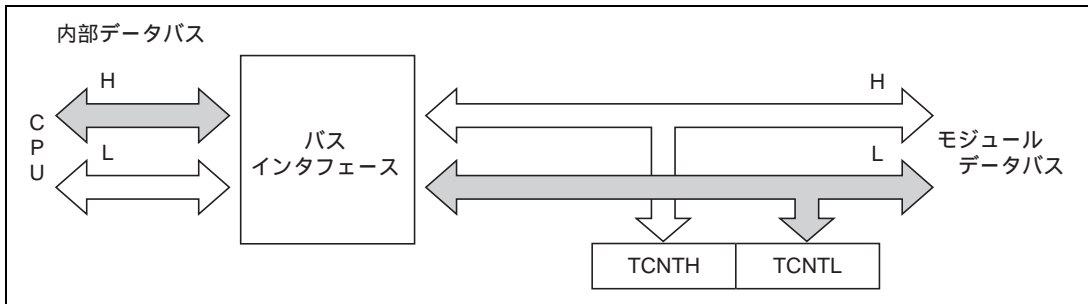


図 10.9 TCNT のアクセス動作 [CPU → TCNT (下位バイト)]

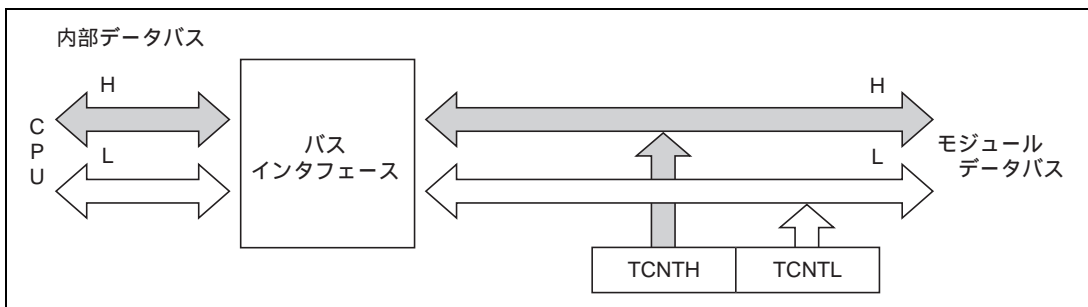


図 10.10 TCNT のアクセス動作 [TCNT → CPU (上位バイト)]

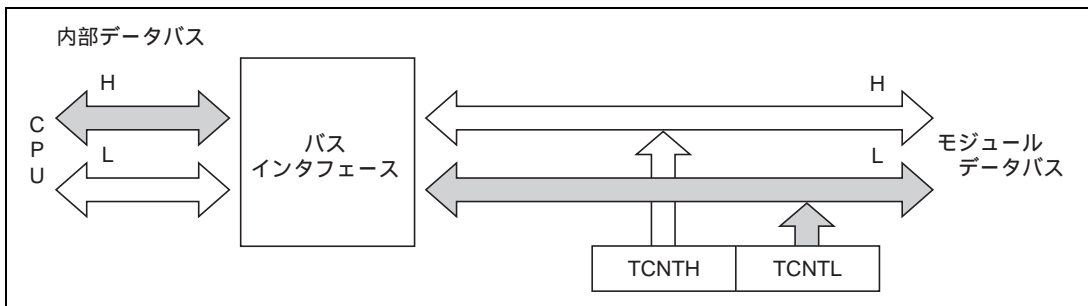


図 10.11 TCNT のアクセス動作 [TCNT → CPU (下位バイト)]

10.3.2 8ビットアクセスのレジスタ

TCNT、GR、BR 以外のレジスタは8ビットレジスタです。これらのレジスタはCPUと内部8ビットデータバスで接続されています。

TCR に対してバイト単位のリード/ライトを行った場合の動作を図 10.12、図 10.13 に示します。なお、ワードサイズの転送命令を実行するとバイト単位2回の転送が行われます。

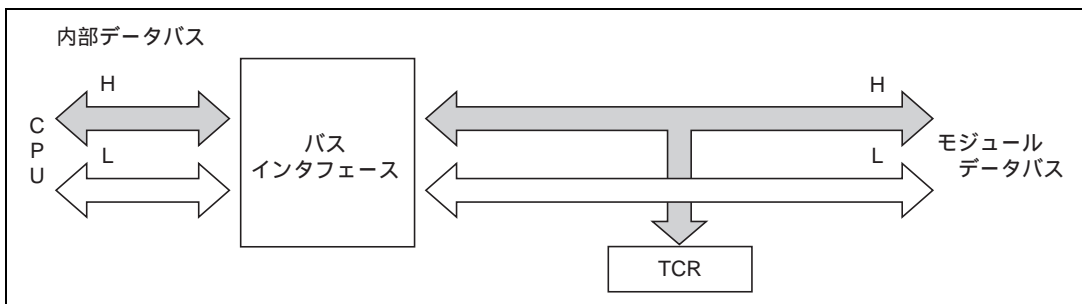


図 10.12 TCR のアクセス動作 [CPU → TCR]

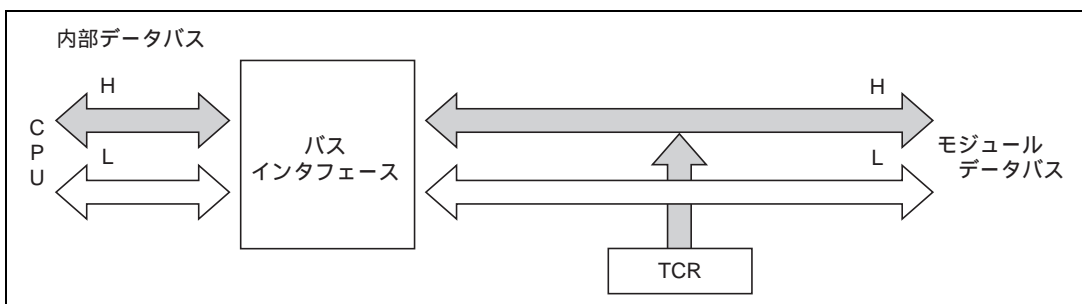


図 10.13 TCR のアクセス動作 [TCR → CPU]

10.4 動作説明

10.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNT と GR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRB は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TCR の CCLR1、CCLR0 ビットの設定により、TCNT の同期クリアが可能です。

(3) PWM モード

TIOCA 端子から PWM 波形を出力するモードです。コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となります。GRA、GRB の設定により、デューティ 0~100% の PWM 波形を出力できます。PWM モードに設定すると当該チャンネルの GRA、GRB は自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期 PWM モード

チャンネル 3、4 を組み合わせて、正相と逆相の PWM 波形を 3 相出力します。(3 相の PWM 波形は一方の変化点が共通となる関係になります) リセット同期 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウント動作を行います。TCNT4 は独立に動作します(ただし、GRA4、GRB4 は TCNT4 とは切り離されています)。

(5) 相補 PWM モード

チャンネル 3、4 を組み合わせて、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。相補 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3、TCNT4 はアップ/ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB 端子から入力される 2 つのクロックの位相差を検出して、TCNT2 をアップ/ダウンカウント動作させるモードです。位相計数モードに設定すると TCLKA、TCLDB 端子はクロック入力となり、また TCNT2 はアップ/ダウンカウント動作を行います。

(7) バッファ動作

- (1) GRがアウトプットコンペアレジスタの場合
コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。
- (2) GRがインプットキャプチャレジスタの場合
インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。
- (3) 相補PWMモードの場合
TCNT3、TCNT4のカウンタ方向が変化するとBRの値が、GRに転送されます。
- (4) リセット同期PWMモードの場合
GRA3のコンペアマッチによりBRの値が、GRに転送されます。

10.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) の STR0 ~ STR4 ビットを "1" にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.14 に示します。

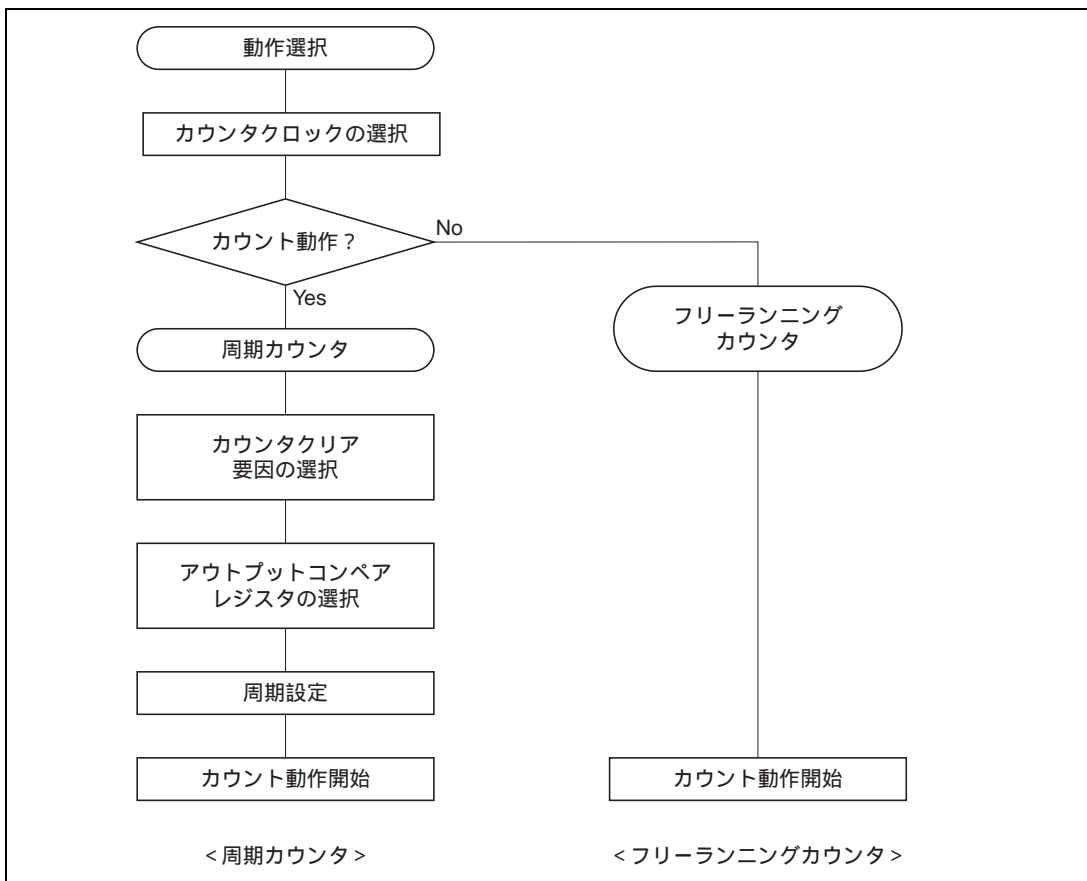


図 10.14 カウント動作設定手順例

10. 16ビットインテグレートドタイムユニット (ITU)

TCR の TPSC2 ~ TPSC0 ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCR の CKEG1、CKEG0 ビットで外部クロックのエッジを選択してください。

周期カウンタ動作の場合 TCR の CCLR1、CCLR0 ビットで TCNT を GRA のコンペアマッチでクリアするか、GRB のコンペアマッチでクリアするかを選択してください。

で選択した GRA または GRB を、TIOR によりアウトプットコンペアレジスタに設定してください。

で選択した GRA または GRB に周期カウンタの周期を設定してください。

TSTR の STR ビットを"1"にセットしてカウンタ動作を開始してください。

(b) フリーランニングカウンタ動作と周期カウンタ動作

ITU チャンネル 0 ~ 4 のカウンタ (TCNT) はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを"1"にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー (H'FFFF → H'0000) すると TSR の OVF フラグが"1"にセットされます。このとき、対応する TIER の OVIE ビットが"1"ならば、CPU に割り込みを要求します。TCNT はオーバーフロー後、H'0000 から再びアップカウンタ動作を続けます。

フリーランニングカウンタの動作を図 10.15 に示します。

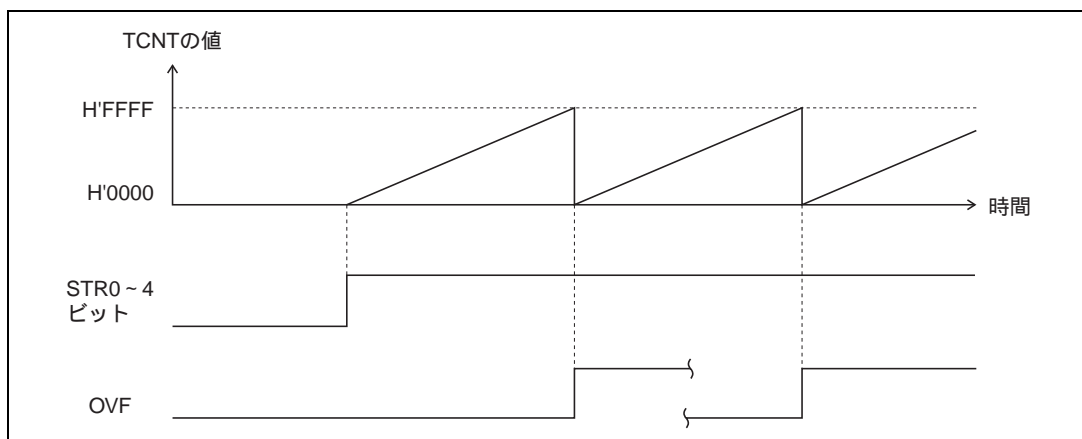


図 10.15 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、当該チャンネルの TCNT は周期カウント動作を行います (周期設定用の GRA または GRB をアウトプットコンペアレジスタに設定し、TCR の CCLR1、CCLR0 ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTR の対応するビットを "1" にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値が GRA/GRB の値と一致すると TSR の IMFA/IMFB フラグが "1" にセットされ、TCNT は H'0000 にクリアされます。

このとき、対応する TIER の IMIEA/IMIEB ビットが "1" ならば、CPU に割り込みを要求します。TCNT はコンペアマッチ後、H'0000 から再びアップカウント動作を継続します。

周期カウンタの動作を図 10.16 に示します。

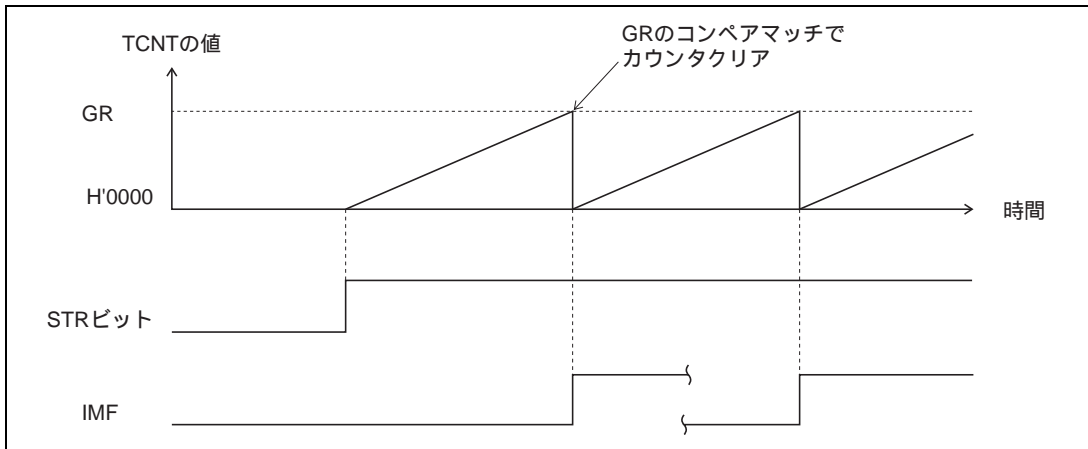


図 10.16 周期カウンタの動作

(c) TCNT のカウントタイミング

内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、システムクロック (ϕ) またはシステムクロックを分周した 3 種類のクロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$) が選択できます。

このときのタイミングを図 10.17 に示します。

10. 16ビットインテグレートドタイマユニット (ITU)

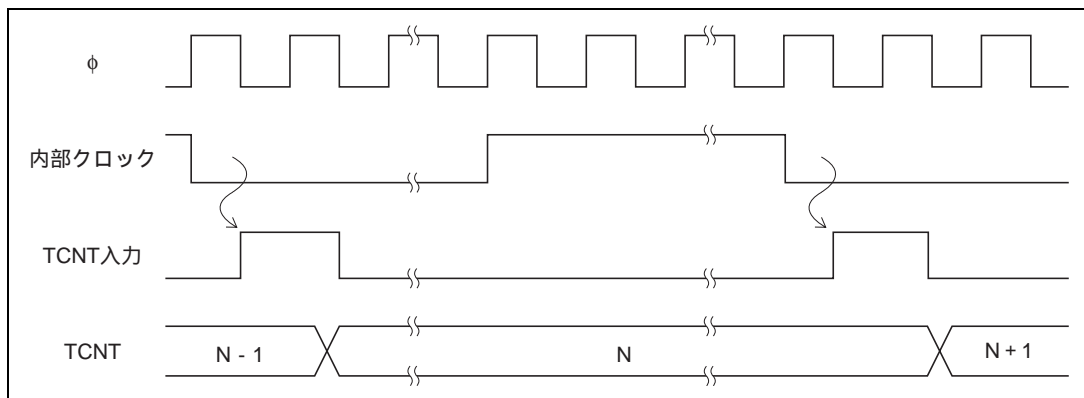


図 10.17 内部クロック動作時のカウントタイミング

外部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより外部クロック入力端子 (TCLKA ~ TCLKD) を、また CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立ち上がり / 立ち下がり両エッジ検出時のタイミングを図 10.18 に示します。

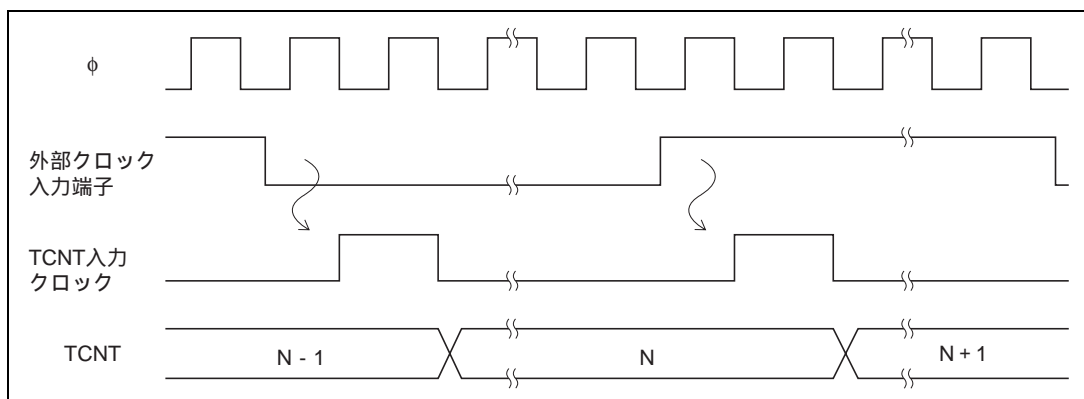


図 10.18 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

ITU チャンネル 0、1、3、4 は、コンペアマッチ A、B により対応する TIOCA、TIOCB 端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

チャンネル 2 は 0 出力 / 1 出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.19 に示します。

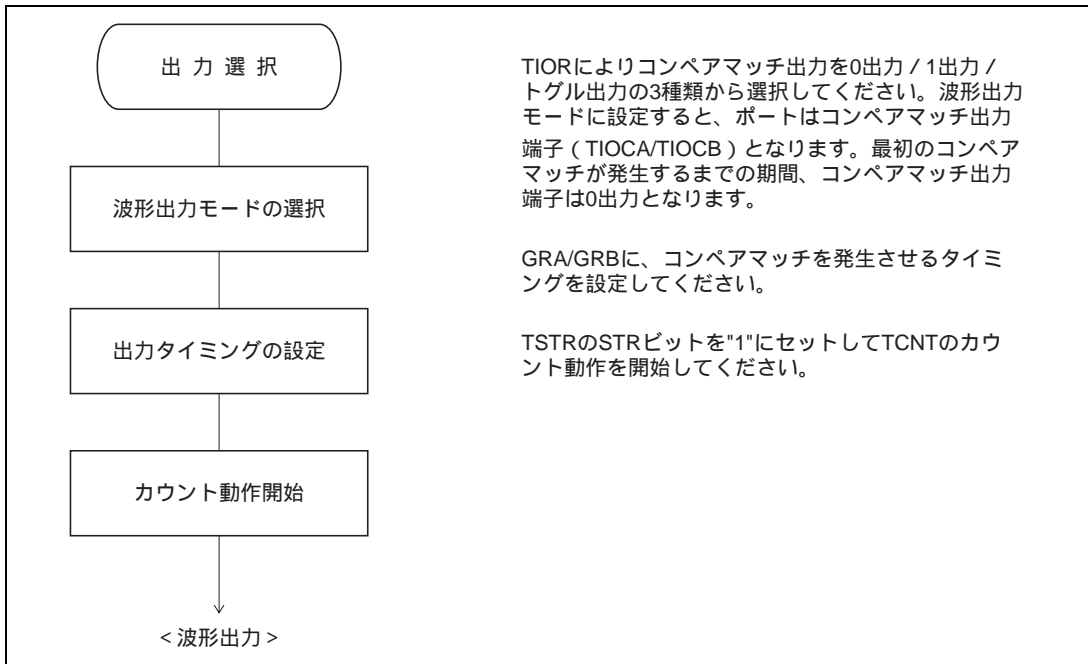


図 10.19 コンペアマッチによる波形出力動作例

10. 16ビットインテグレートドタイムユニット (ITU)

(b) 波形出力動作例

0出力/1出力の例を図 10.20 に示します。

TCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

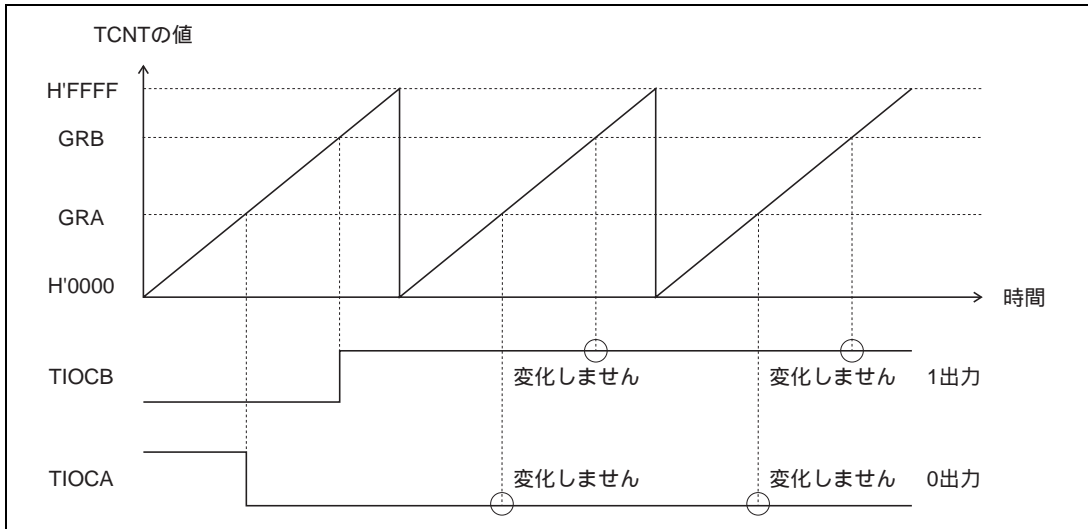


図 10.20 0出力、1出力の動作例

トグル出力の例を図 10.21 に示します。

TCNT を周期カウント動作 (コンペアマッチ B でカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

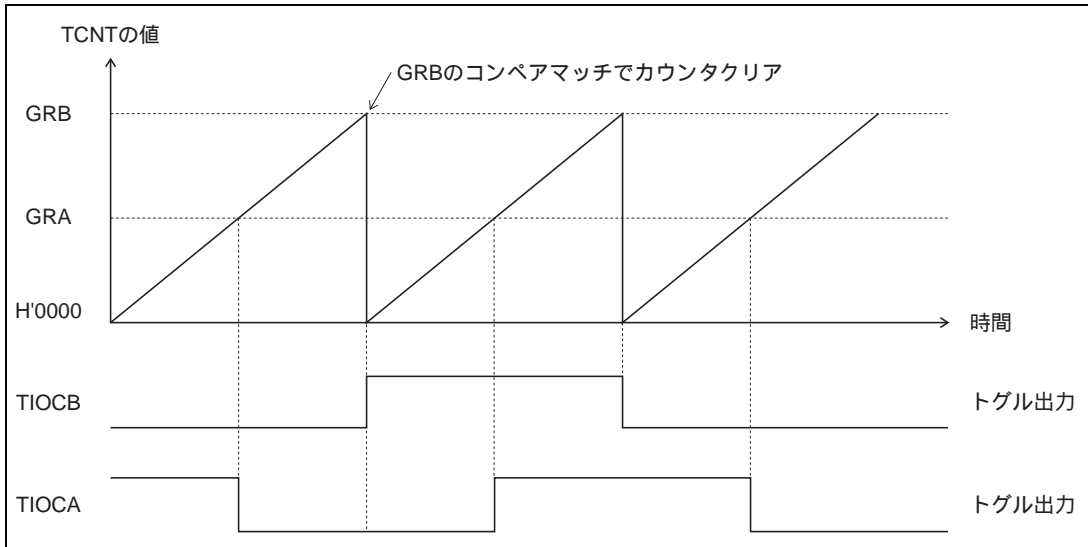


図 10.21 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定される出力値がアウトプットコンペア出力端子 (TIOCA、TIOCB) に出力されます。TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.22 に示します。

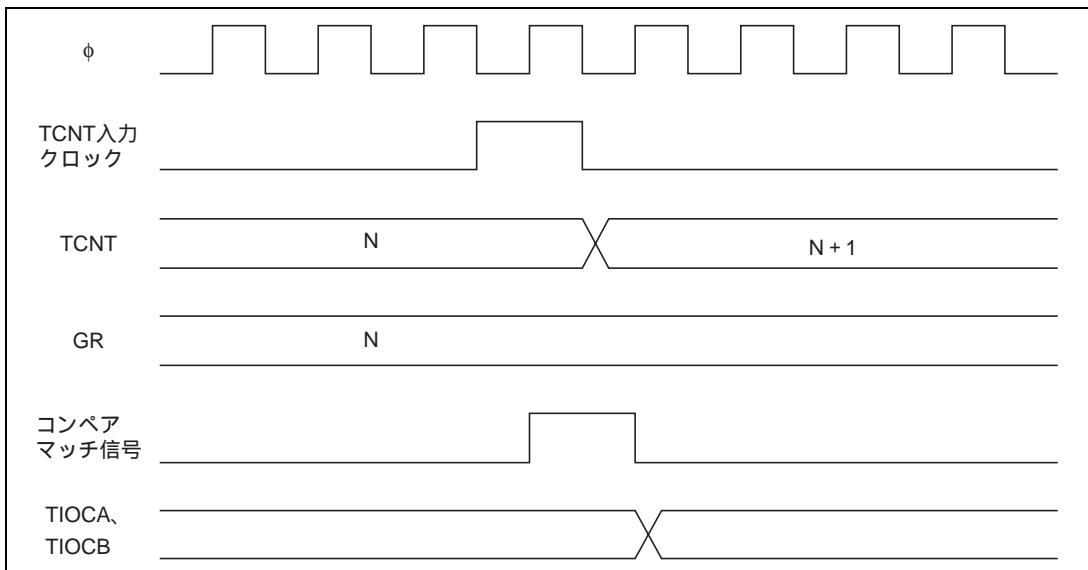


図 10.22 アウトプットコンペア出力タイミング

10. 16ビットインテグレートドタイムユニット (ITU)

(3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TIOCA、TIOCB) の入力エッジを検出して TCNT の値を GR に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.23 に示します。

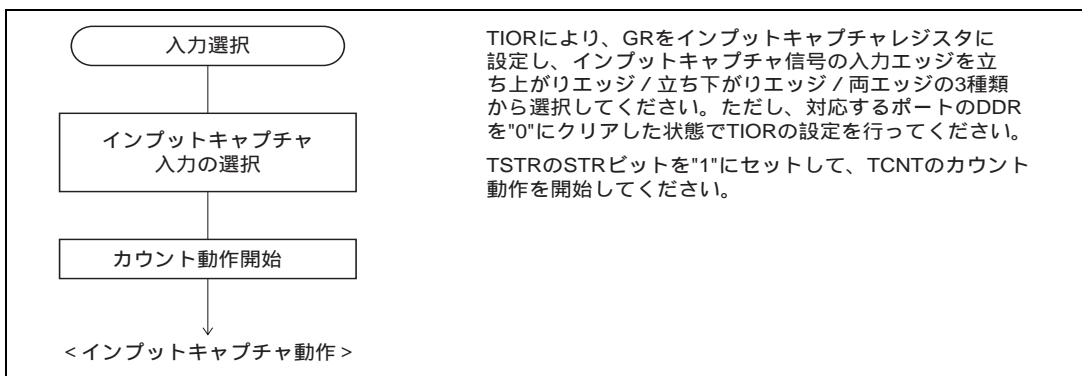


図 10.23 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.24 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

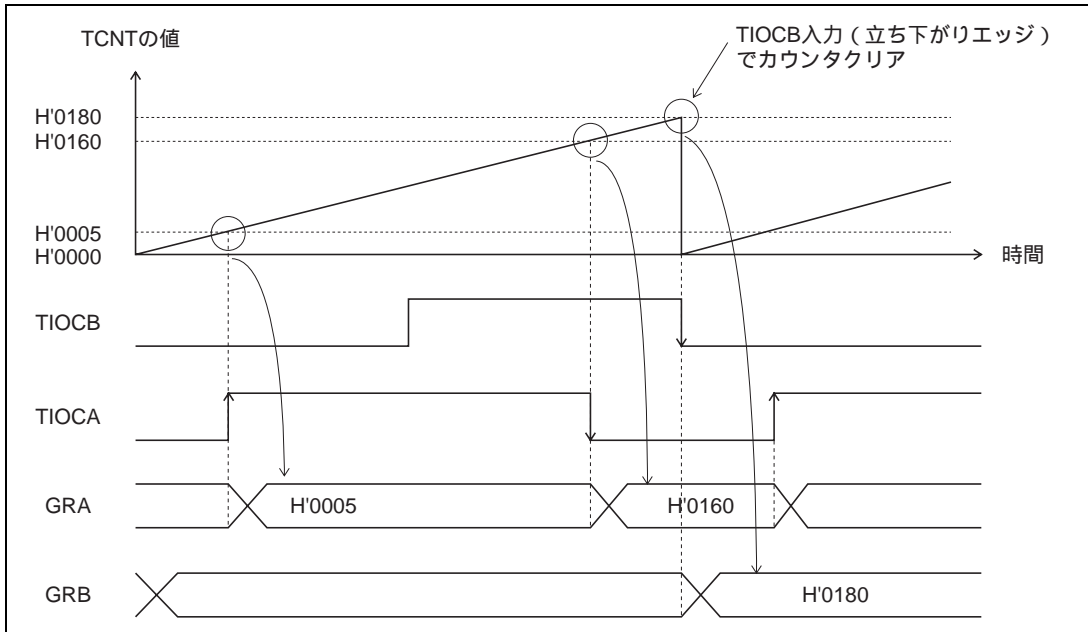


図 10.24 インพุットキャプチャ動作例

10. 16 ビットインテグレートドタイマユニット (ITU)

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 10.25 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

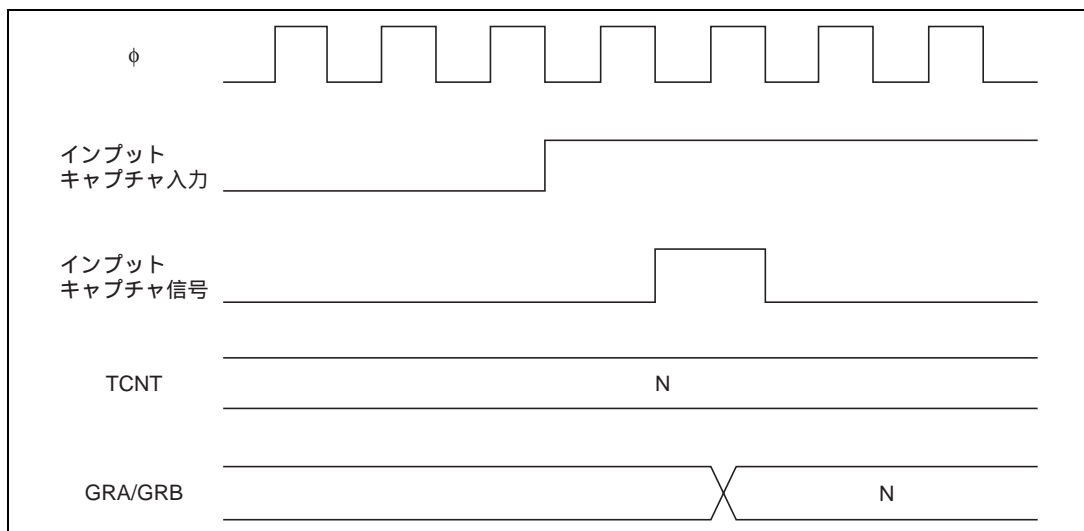


図 10.25 インพุットキャプチャ入力信号タイミング

10.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.26 に示します。

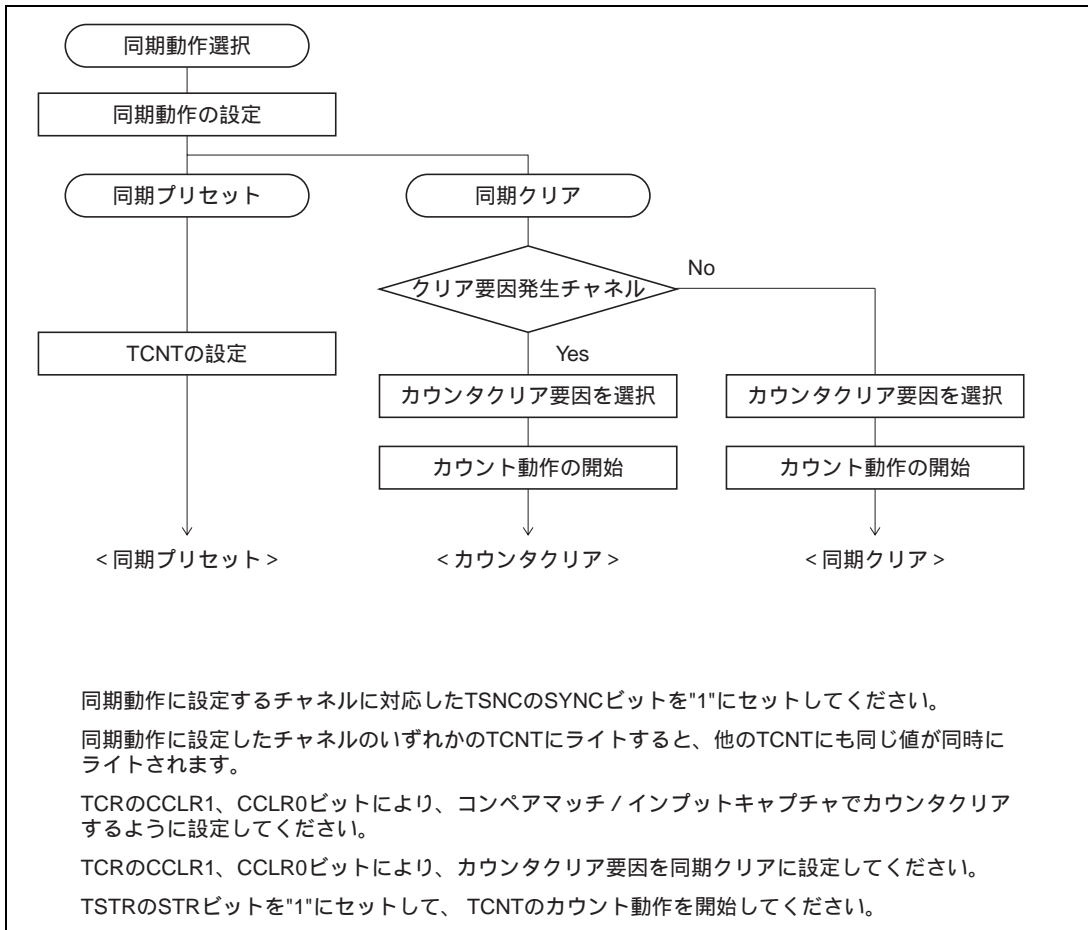


図 10.26 同期モードの設定手順例

10. 16ビットインテグレートドタイムユニット (ITU)

(2) 同期動作例

同期動作例を図 10.27 に示します。

チャンネル0~2を同期動作かつPWMモードに設定し、チャンネル0のカウンタクリア要因をGRB0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル0~2のTCNTは同期プリセット、GRB0のコンペアマッチによる同期クリア動作を行い、3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。

PWMモードについては「10.4.4 PWMモード」を参照してください。

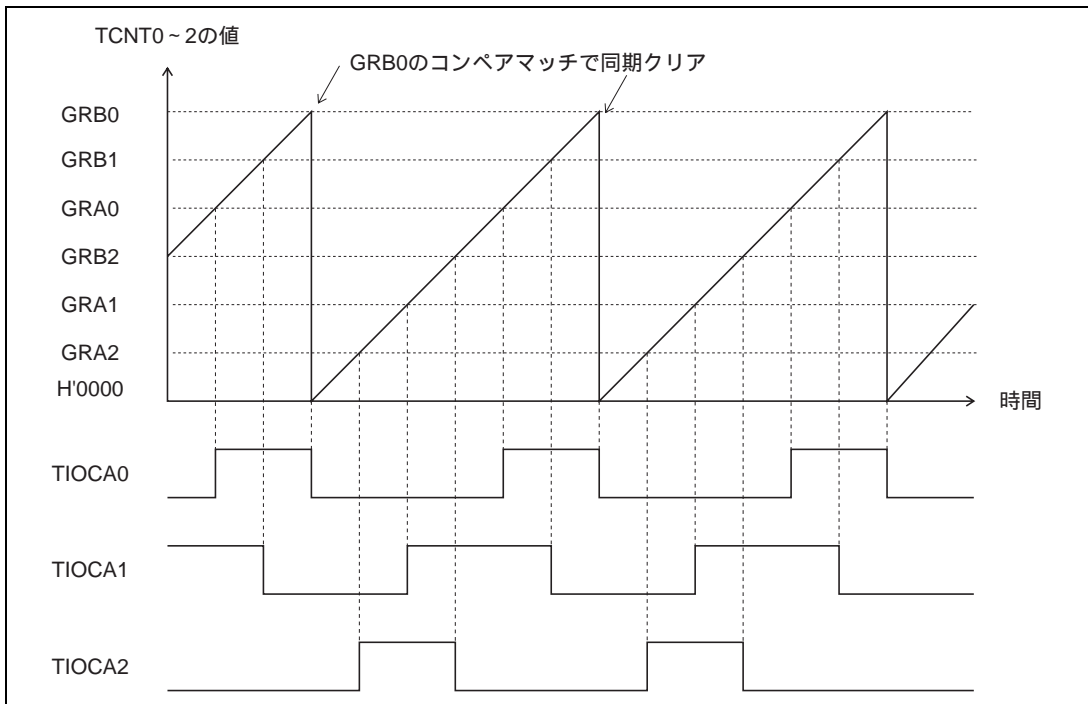


図 10.27 同期動作例

10.4.4 PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを TCNT のカウンタクリア要因とすることにより、デューティ 0~100% の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0~4 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 10.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 10.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA0	GRA0	GRB0
1	TIOCA1	GRA1	GRB1
2	TIOCA2	GRA2	GRB2
3	TIOCA3	GRA3	GRB3
4	TIOCA4	GRA4	GRB4

10. 16ビットインテグレートドタイマユニット (ITU)

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.28 に示します。

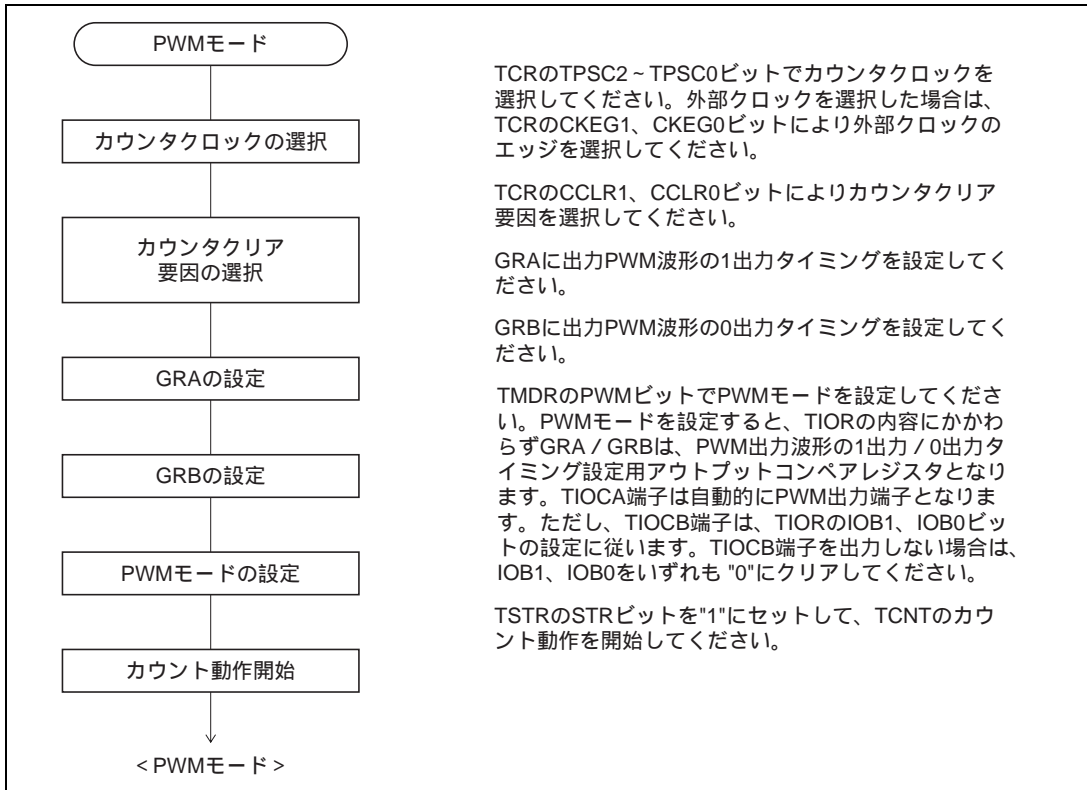


図 10.28 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モードの動作例を図 10.29 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

TCNT のカウンタクリア要因を GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウンタ動作も使用できます。

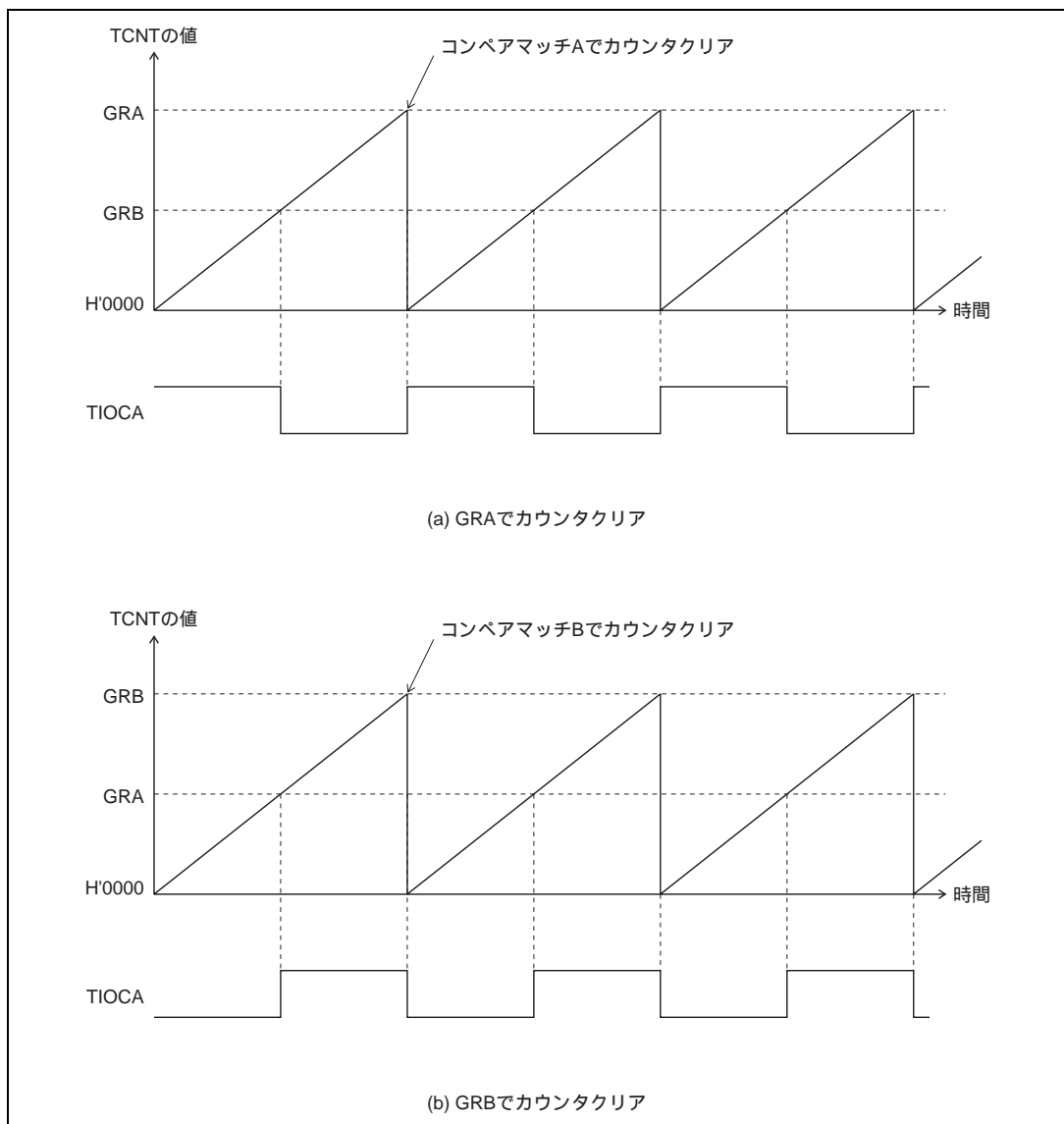


図 10.29 PWM モードの動作例(1)

10. 16 ビットインテグレートドタイムユニット (ITU)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 10.30 に示します。

カウンタクリア要因を GRB のコンペアマッチに設定し、GRA の設定値 > GRB の設定値としたとき、PWM 波形はデューティ 0%となります。また、カウンタクリア要因を GRA のコンペアマッチに設定し、GRB の設定値 > GRA の設定値としたとき PWM 波形はデューティ 100%となります。

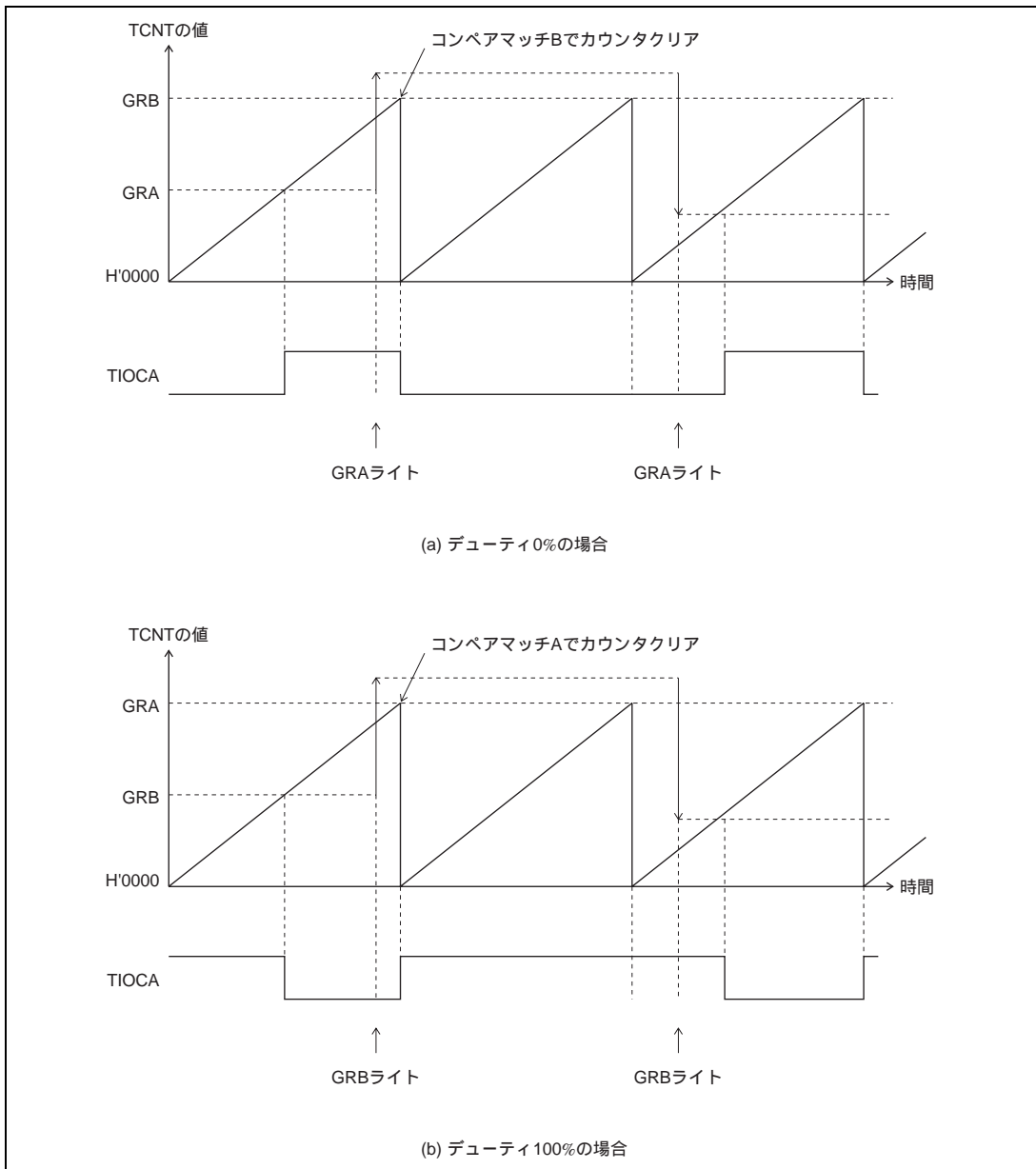


図 10.30 PWM モードの動作例(2)

10.4.5 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相と逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、および TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウンタとして機能します。使用される PWM 出力端子を表 10.5 に、使用するレジスタの設定を表 10.6 に示します。

表 10.5 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA3	PWM 出力 1
	TIOCB3	PWM 出力 1' (PWM 出力 1 の逆相波形)
4	TIOCA4	PWM 出力 2
	TOCXA4	PWM 出力 2' (PWM 出力 2 の逆相波形)
	TIOCB4	PWM 出力 3
	TOCXB4	PWM 出力 3' (PWM 出力 2 の逆相波形)

表 10.6 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	H'0000 を初期設定
TCNT4	使用しません (独立に動作)
GRA3	TCNT3 のカウント周期を設定
GRB3	TIOCA3、TIOCB3 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA4、TOCXA4 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB4、TOCXB4 端子より出力される PWM 波形の変化点を設定

10. 16ビットインテグレートドタイムユニット (ITU)

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順を図 10.31 に示します。

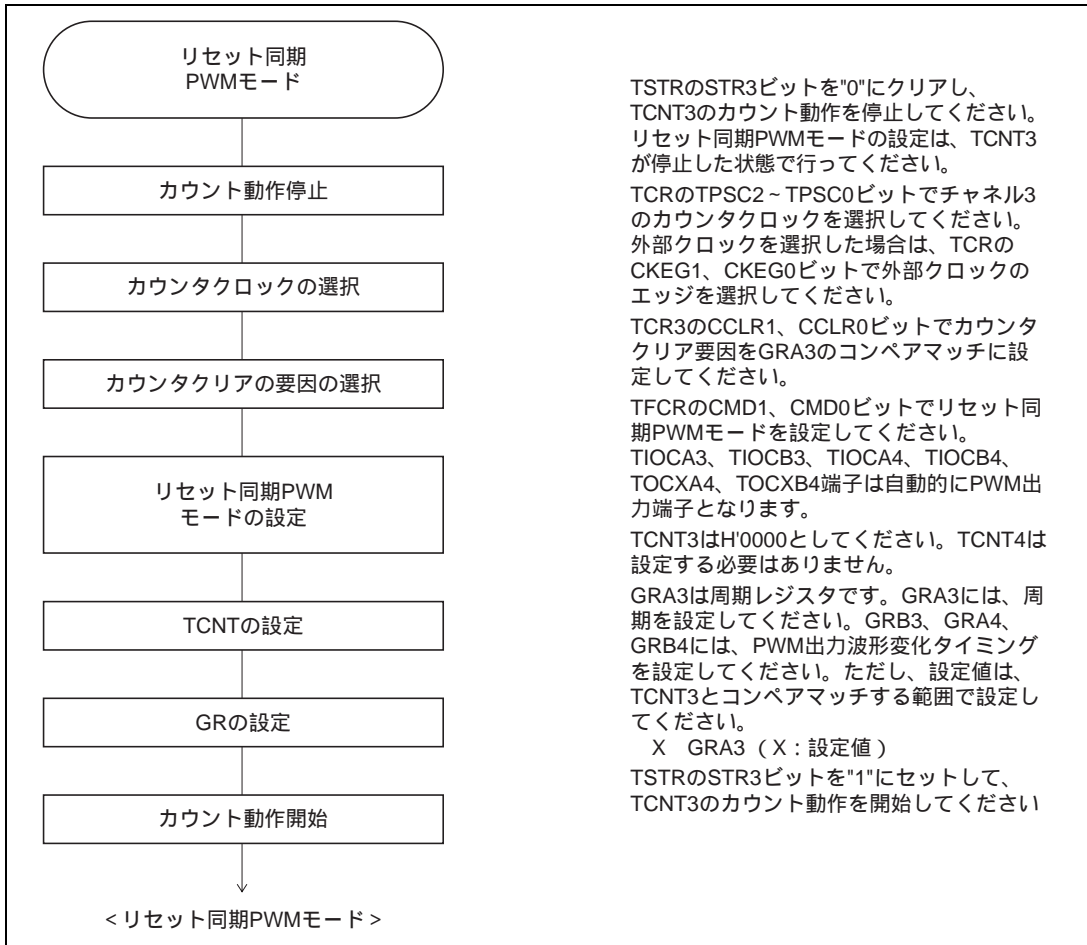


図 10.31 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.32 に示します。

リセット同期 PWM モードでは、TCNT3 はアップカウンタとして動作します。TCNT4 は独立動作します。ただし、GRA4、GRB4 は TCNT4 から切り離されます。TCNT3 が GRA3 とコンペアマッチするとカウンタはクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB3、GRA4、GRB4 と TCNT3 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

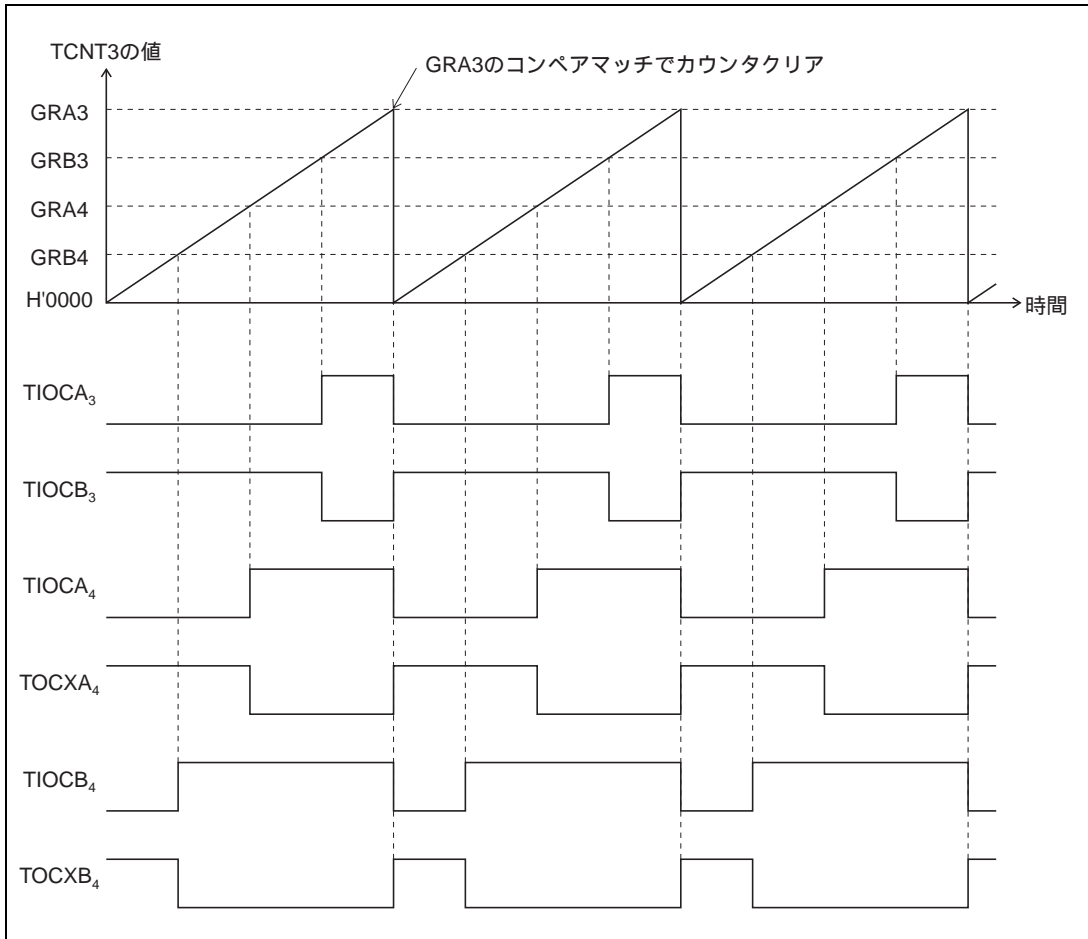


図 10.32 リセット同期 PWM モードの動作例 (OLS3 = OLS4 = 1 の場合)

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については、「10.4.8 バッファ動作」を参照してください。

10.4.6 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、および TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 と TCNT4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 10.7 に、使用するレジスタの設定を表 10.8 に示します。

表 10.7 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA ₃	PWM 出力 1
	TIOCB ₃	PWM 出力 1' (PWM 出力 1 とノンオーバーラップの関係にある逆相波形)
4	TIOCA ₄	PWM 出力 2
	TOCXA ₄	PWM 出力 2' (PWM 出力 2 とノンオーバーラップの関係にある逆相波形)
	TIOCB ₄	PWM 出力 3
	TOCXB ₄	PWM 出力 3' (PWM 出力 3 とノンオーバーラップの関係にある逆相波形)

表 10.8 相補 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	ノンオーバーラップ期間を初期設定(TCNT4 との差がノンオーバーラップ期間となります)
TCNT4	H'0000 を初期設定
GRA3	TCNT3 の上限値 - 1 を設定
GRB3	TIOCA ₃ 、TIOCB ₃ 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA ₄ 、TOCXA ₄ 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB ₄ 、TOCXB ₄ 端子より出力される PWM 波形の変化点を設定

(1) 相補 PWM モードの設定手順

相補 PWM モードの設定手順例を図 10.33 に示します。

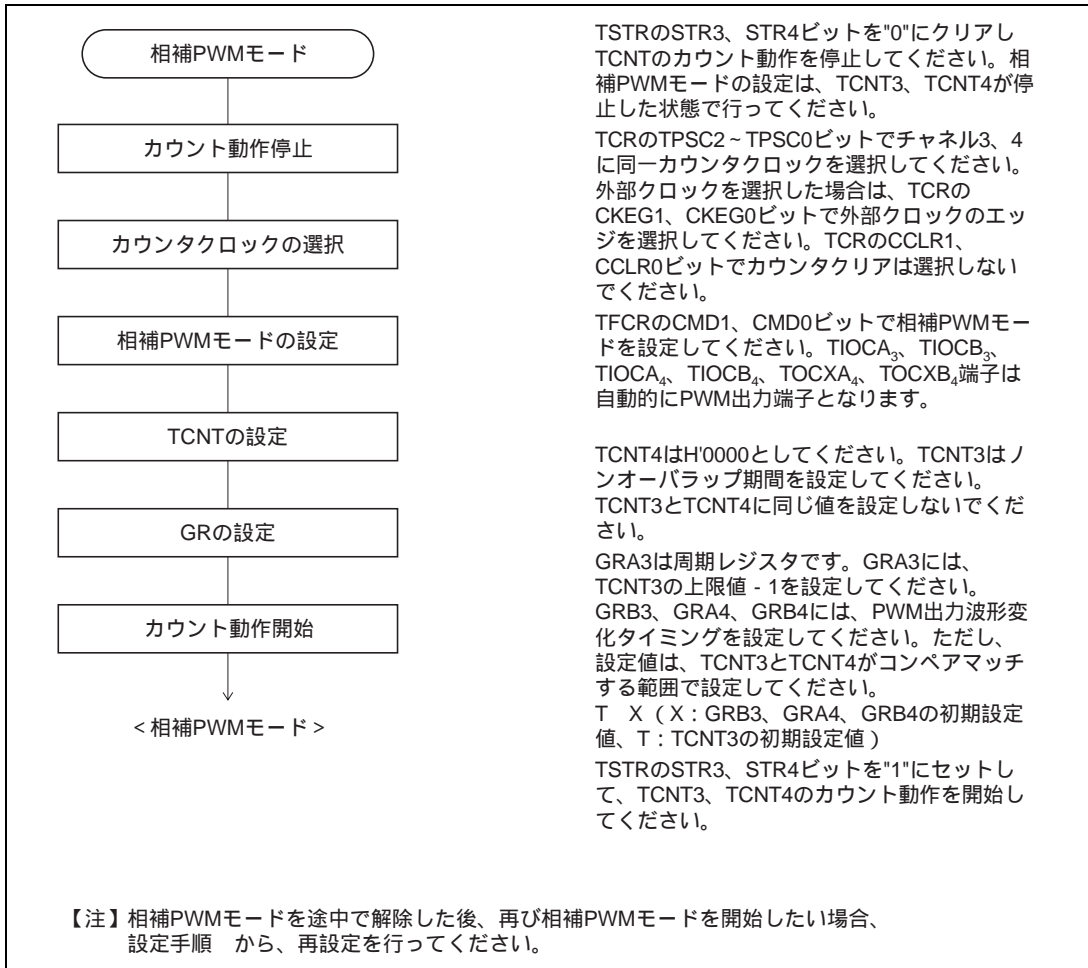


図 10.33 相補 PWM モードの設定手順例

10. 16ビットインテグレートドタイムユニット (ITU)

(2) 相補 PWM モードの解除手順

相補 PWM モードの解除手順を図 10.34 に示します。まず タイマファンクションコントロールレジスタ (TFCR) のコンビネーションモード (CMD) 1、0 ビットを"10"から"00"または"01"に再設定し、相補 PWM モードから通常動作モードにします。その後 チャンネル 3、4 で使用しているカウンタ入力クロックの 1 クロック以上待って、タイマスタートレジスタ (TSTR) のカウンタスタート (STR) 3、4 ビットをクリアしてチャンネル 3、4 のカウンタ TCNT3、TCNT4 のカウンタ動作を停止してください。本手順以外で相補 PWM モードを解除した場合、相補 PWM モード再設定時の出力波形が設定どおりに変化しない場合があります。

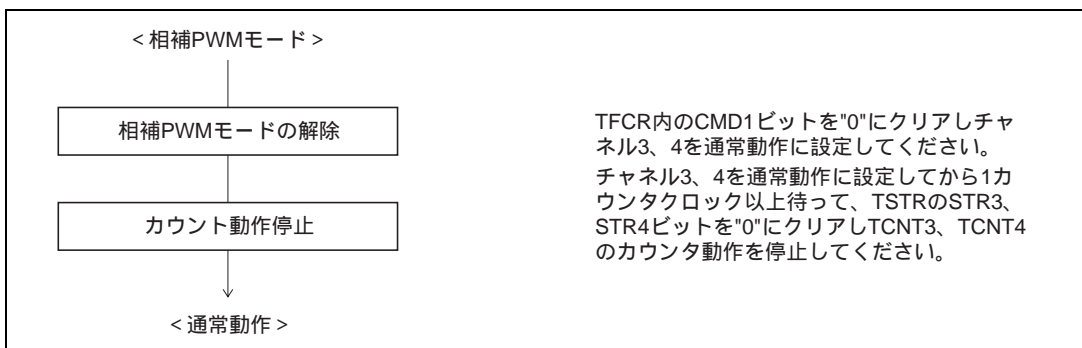


図 10.34 相補 PWM モードの解除手順

(3) 相補 PWM モードの動作例

相補 PWM モードの動作例を図 10.35 に示します。

相補 PWM モードでは、TCNT3、TCNT4 はアップ / ダウンカウンタとして動作します。TCNT3 が GRA3 とコンペアマッチするとダウンカウントし、TCNT4 がアンダフローするとアップカウントします。

GRB3、GRA4、GRB4 はカウンタのアップ / ダウン 1 周期中、それぞれ TCNT3 → TCNT4 → TCNT4 → TCNT3 の順にコンペアマッチを行い PWM 波形を生成します (本モードでは、TCNT3 > TCNT4 に初期設定します)。

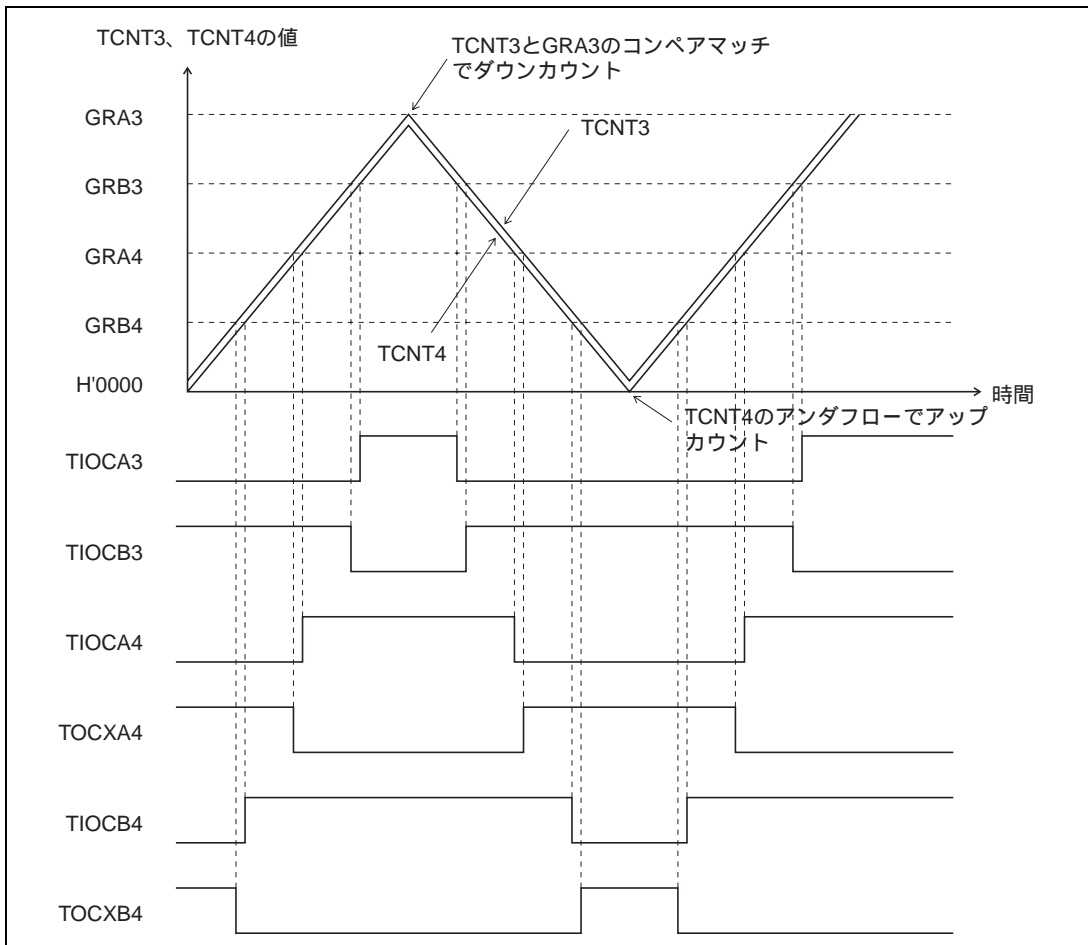


図 10.35 相補 PWM モードの動作例 (1) (OLS3 = OLS4 = 1 の場合)

10. 16 ビットインテグレートドタイムユニット (ITU)

相補 PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例 (1 相分) を図 10.36 に示します。

本例では GRB3 のコンペアマッチで端子出力が変化しますので、GRB3 の値を GRA3 の値よりも大きい値とすることでデューティ 0%、デューティ 100% の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については「10.4.8 バッファ動作」を参照してください。

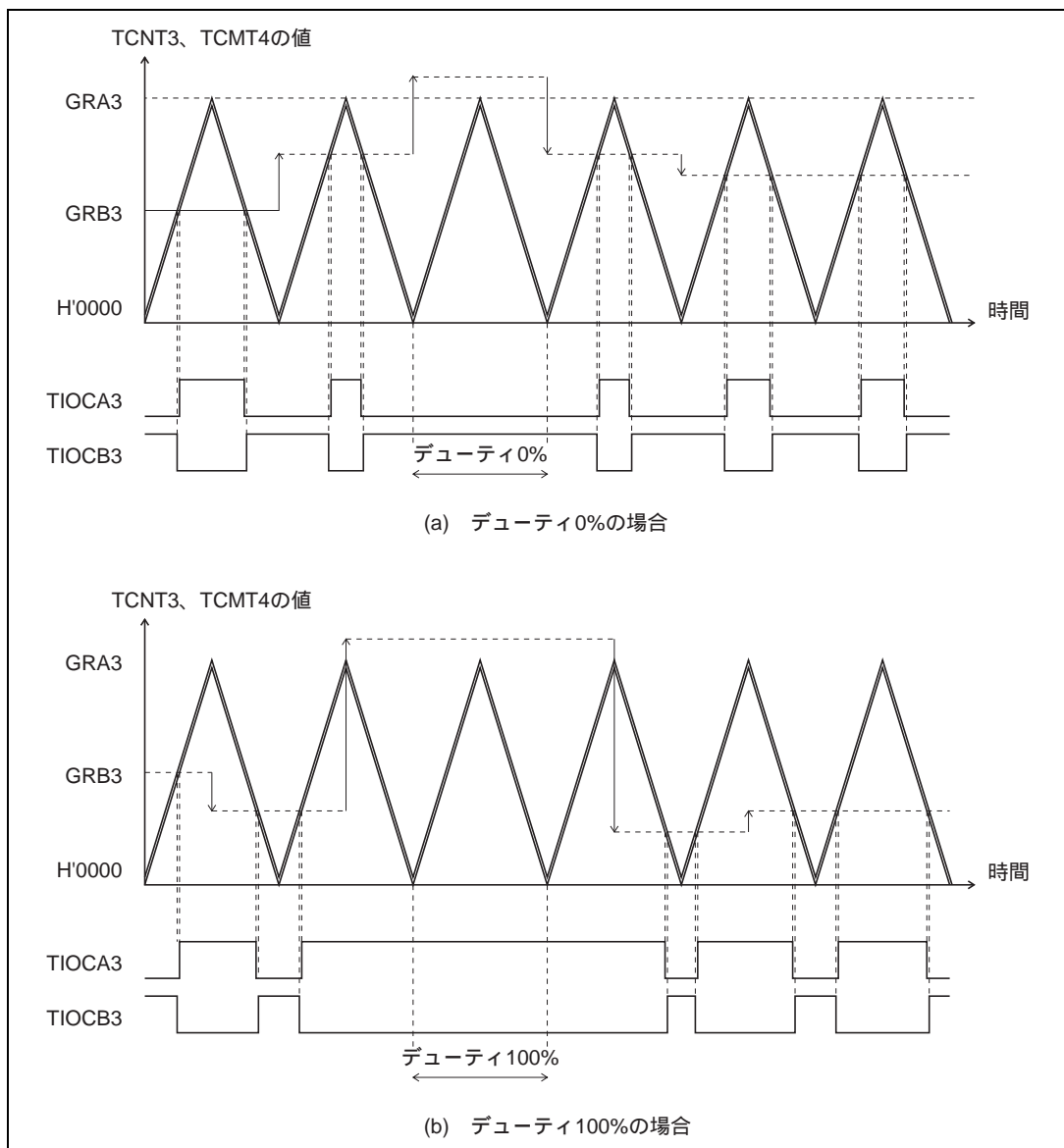
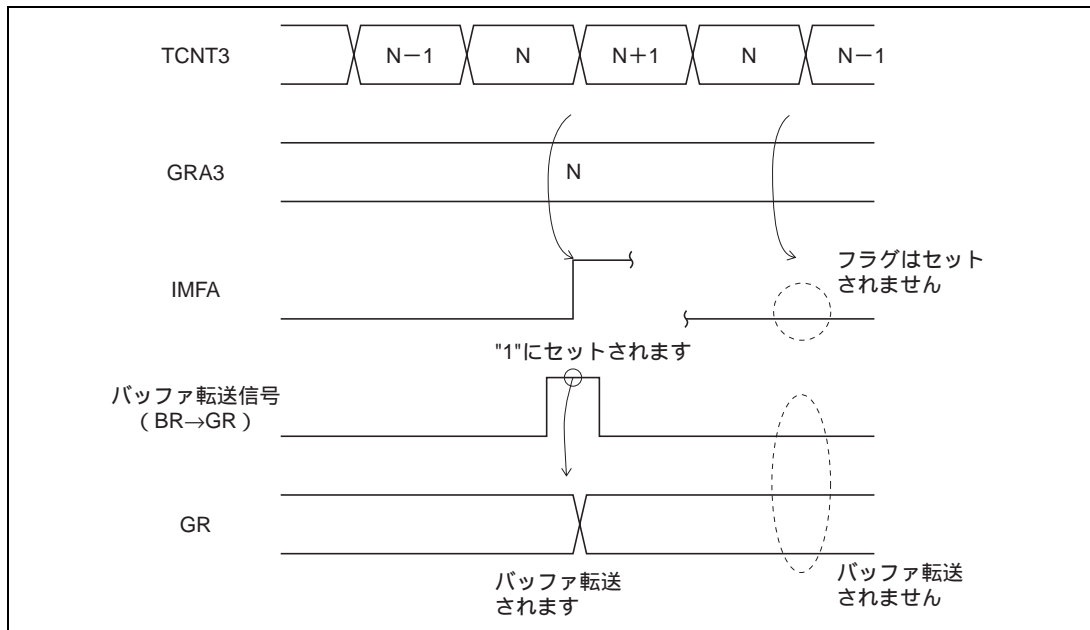


図 10.36 相補 PWM モードの動作例 (2) (OLS3 = OLS4 = 1 の場合)

相補 PWM モードを使用しているときのアップカウント/ダウンカウントの変化点で、TCNT3、TCNT4 はそれぞれオーバシュート/アンダシュートを発生します。

このとき、チャンネル 3 の IMFA フラグおよびチャンネル 4 の OVF フラグをセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを図 10.37、図 10.38 に示します。



10. 16ビットインテグレートドタイマユニット (ITU)

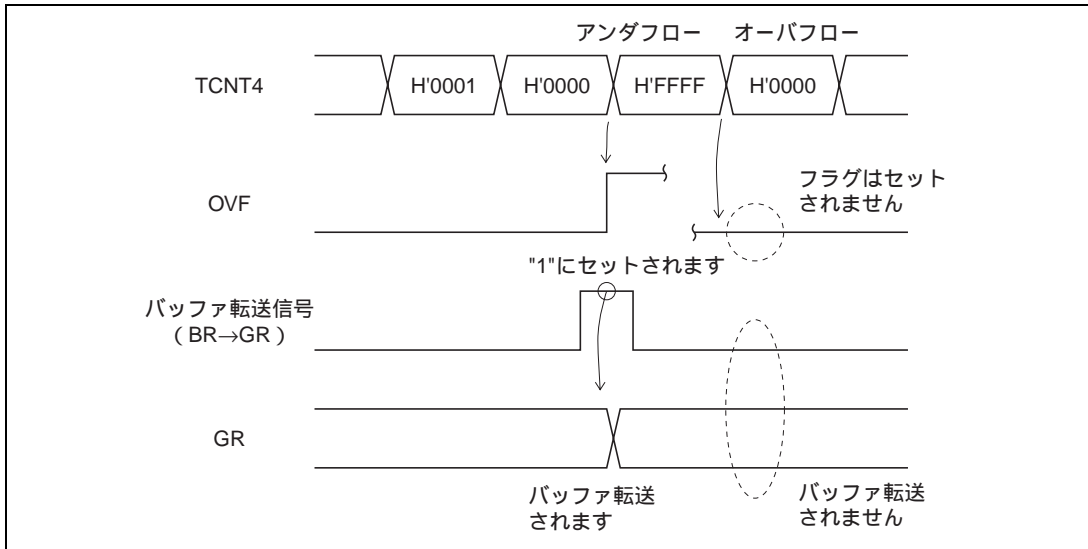


図 10.38 アンダシュート時のタイミング

チャンネル 3 の IMFA フラグはアップカウント時に、チャンネル 4 の OVF フラグはアンダフロー時のみ、それぞれ"1"にセットされます。

バッファ動作を設定された BR は、アップカウント動作時のコンペアマッチ A3 または TCNT4 のアンダフローによって GR に転送されます。

(4) 相補 PWM モードでの GR の設定値

相補 PWM モードでの GR の設定および動作中の変更については、以下の点に注意してください。

(1) 初期値

$H'0000 \sim T - 1$ (T : TCNT3の初期設定値) の設定は禁止です。

なお、カウントスタート後、最初に発生するコンペアマッチA3のタイミング以降では、この設定も可能です。

(2) 設定値の変更方法

バッファ動作を使用してください。直接GRにライトすると、正しく波形出力されない場合があります。

(3) 設定値変更時の注意

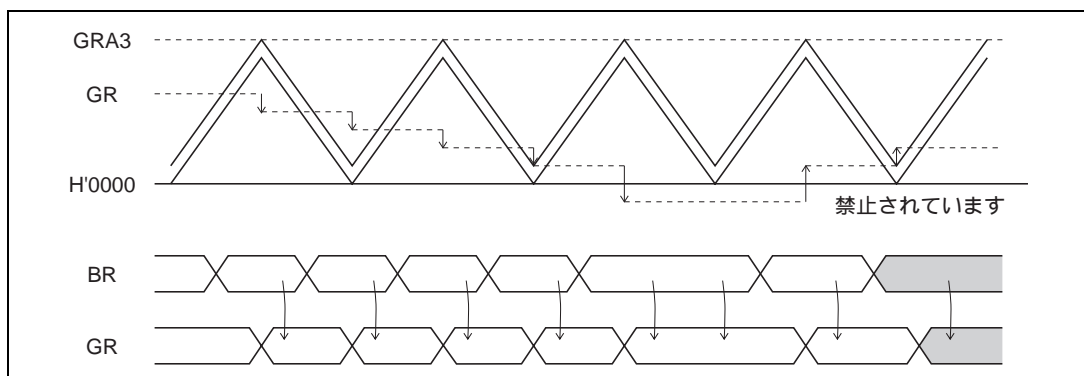


図 10.39 バッファ動作による GR の設定値変更例 (1)

(a) アップカウントからダウンカウントへの変化時のバッファ転送

GR の内容が $GRA3 - T + 1 \sim GRA3$ の範囲内であるとき、この範囲外の値は転送しないでください。また、GR の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作による GR の設定変更時の注意 (1) を図 10.40 に示します。

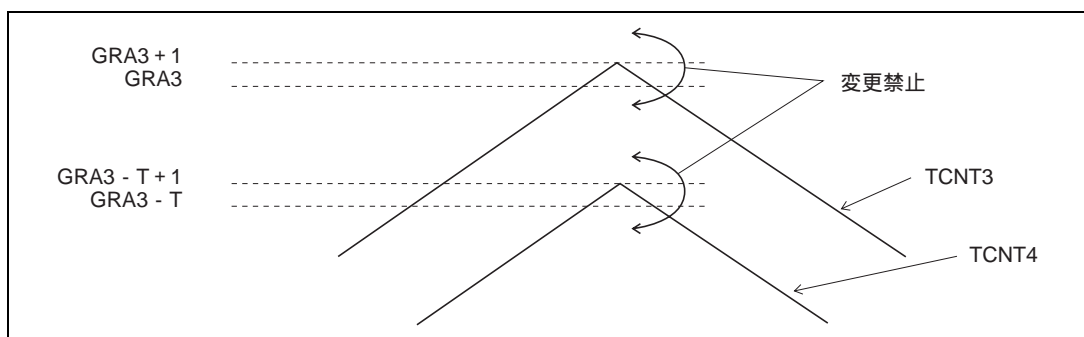


図 10.40 バッファ動作による GR の設定変更時の注意(1)

10. 16 ビットインテグレートドタイムユニット (ITU)

(b) ダウンカウントからアップカウントへの変化時のバッファ転送

GR の内容が H'0000 ~ T - 1 の範囲であるとき、この範囲外の値は転送しないでください。また、GR の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作による GR の設定変更時の注意(2)を図 10.41 に示します。

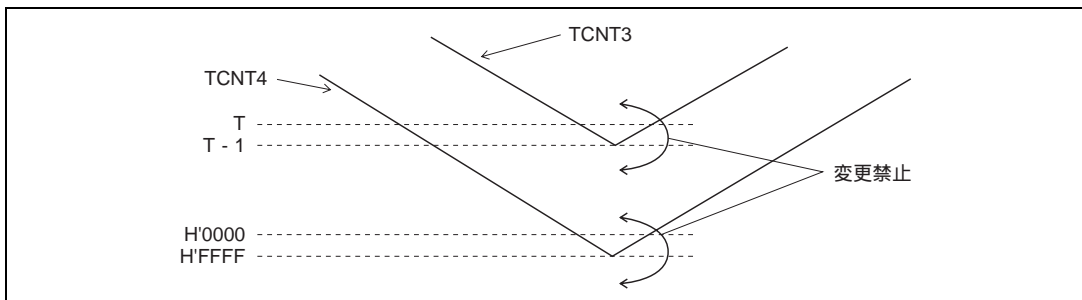


図 10.41 バッファ動作による GR の設定変更時の注意 (2)

(c) GR の設定をカウント領域 (H'0000 ~ GRA3) 外とするとき

デューティ 0%、100%の波形を出力する場合、GR の設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値を BR にライトしたときのカウント方向 (アップ/ダウンカウント) と、カウント領域内にもどる設定値を BR にライトするときのカウント方向が同一となるようにしてください。

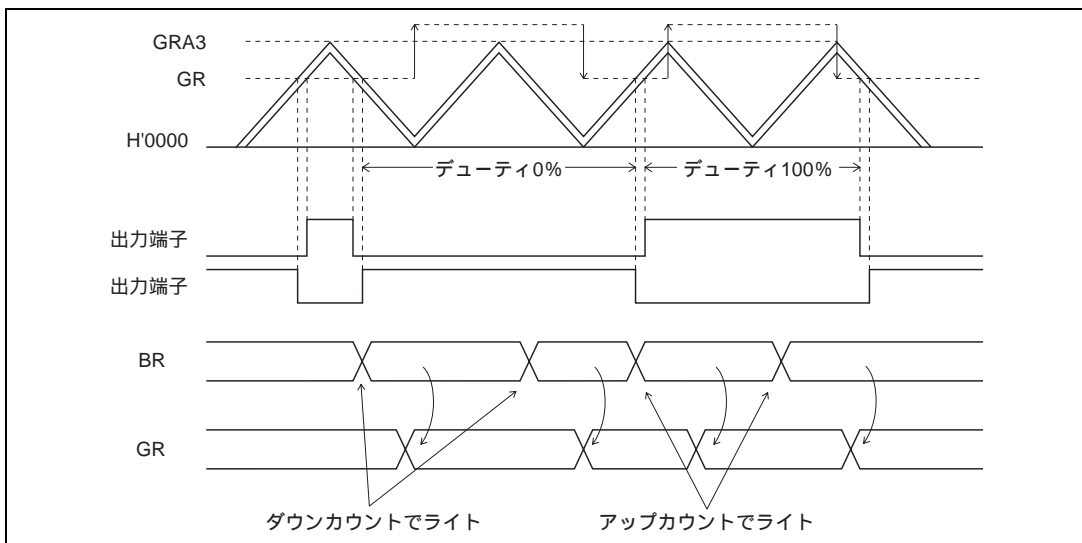


図 10.42 バッファ動作による GR の設定値変更例 (2)

上記設定は、GRA3 のコンペアマッチまたは TCNT4 のアンダフローが発生したことを検出して、BR ヘライトをすることによって実現可能です。また、GRA3 のコンペアマッチによって DMAC を起

動することによっても実現可能です。

10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力 (TCLKA、TCLKB 端子) の位相差を検出し、TCNT2 をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR2 の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらず TCLKA、TCLKB 端子は自動的に外部クロック入力端子として機能し、また TCNT2 はアップ/ダウンカウンタとなります。ただし、TCR2 の CCLR1、CCLR0 ビット、TIOR2、TIER2、TSR2、GRA2、GRB2 は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル 2 のみが持つ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.43 に示します。

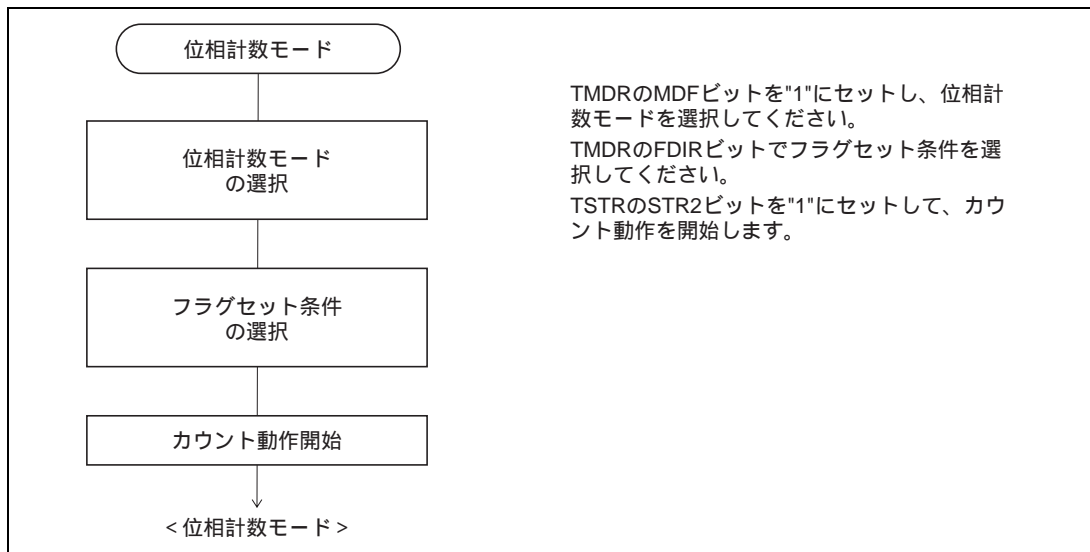


図 10.43 位相計数モードの設定手順例

10. 16ビットインテグレートドタイムユニット (ITU)

(2) 位相カウントモードの動作例

位相カウントモードの動作例を図 10.44 に、TCNT2 のアップ / ダウンカウント条件を表 10.9 にそれぞれ示します。

位相カウントモードでは、TCLKA、TCLKB 端子の立ち上がり (⤴) / 立ち下がり (⤵) の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。

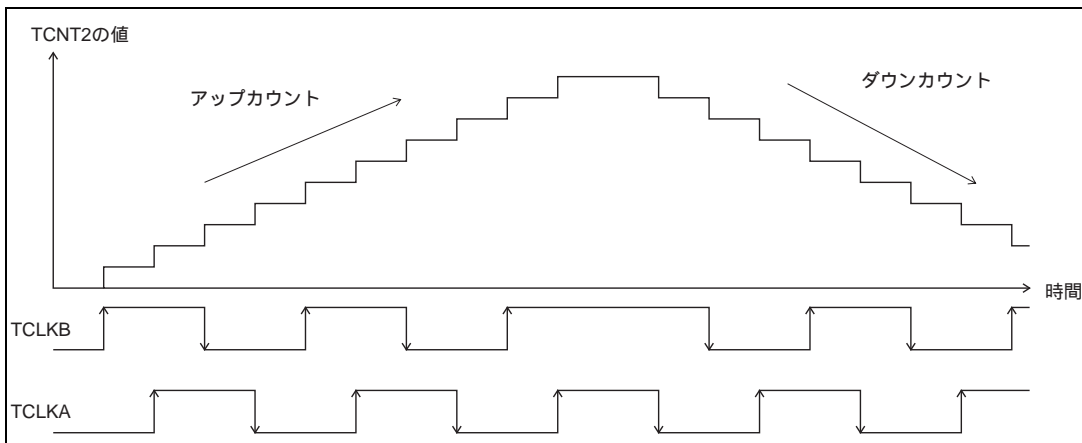


図 10.44 位相カウントモードの動作例

表 10.9 アップ / ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
	⤴	High	⤵	Low	High	⤵	Low	⤴
TCLKB	⤴	High	⤵	Low	High	⤵	Low	⤴
TCLKA	Low	⤴	High	⤵	⤵	Low	⤴	High

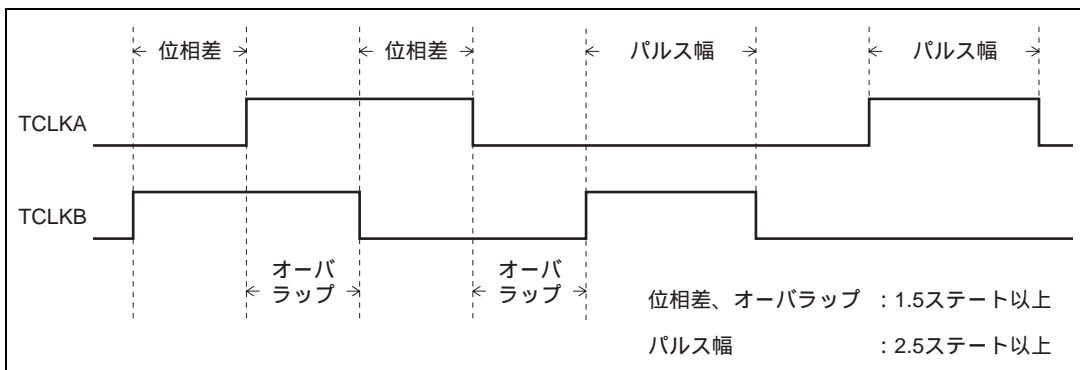


図 10.45 位相カウントモード時の位相差、オーバーラップおよびパルス幅

10.4.8 バッファ動作

バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合、GR をインプットキャプチャレジスタに設定した場合、リセット同期 PWM モード時、および相補 PWM モード時で機能が異なります。

バッファ動作はチャンネル 3、4 のみが持つ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

(1) GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

この動作を図10.46に示します。

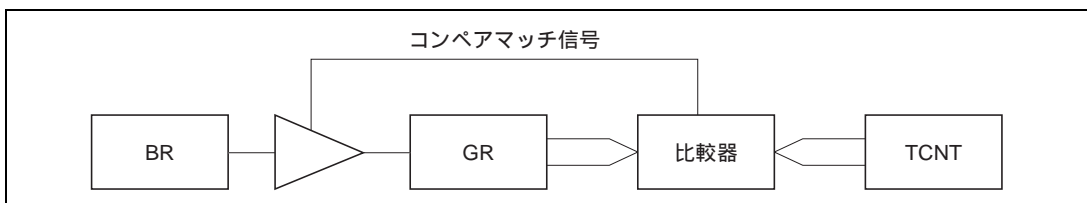


図 10.46 コンペアマッチバッファ動作

(2) GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

この動作を図10.47に示します。

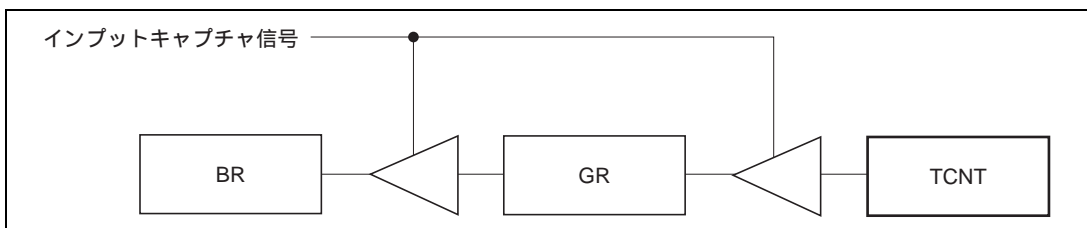


図 10.47 インプットキャプチャバッファ動作

(3) 相補PWMモードの場合

TCNT3、TCNT4のカウンタ方向が変化するとBRの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。

- ・ TCNT3とGRA3がコンペアマッチしたとき
- ・ TCNT4がアンダフローしたとき

(4) リセット同期PWMモードの場合

コンペアマッチA3によりBRの値が、GRに転送されます。

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.48 に示します。

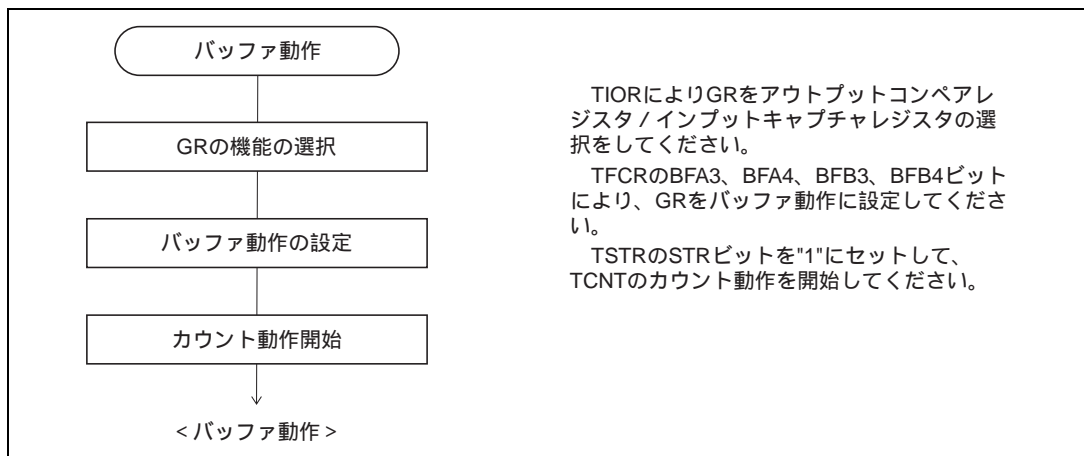


図 10.48 バッファ動作の設定手順例

(2) バッファ動作例

GRA をアウトプットコンペアレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 10.49 に示します。

TCNT がコンペアマッチ B によりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチ A で TIOCA 端子がトグル出力を行うと同時に、BRA の値が GRA に転送されます。この動作をコンペアマッチ A が発生するたびに繰り返します。この転送タイミングを図 10.50 に示します。

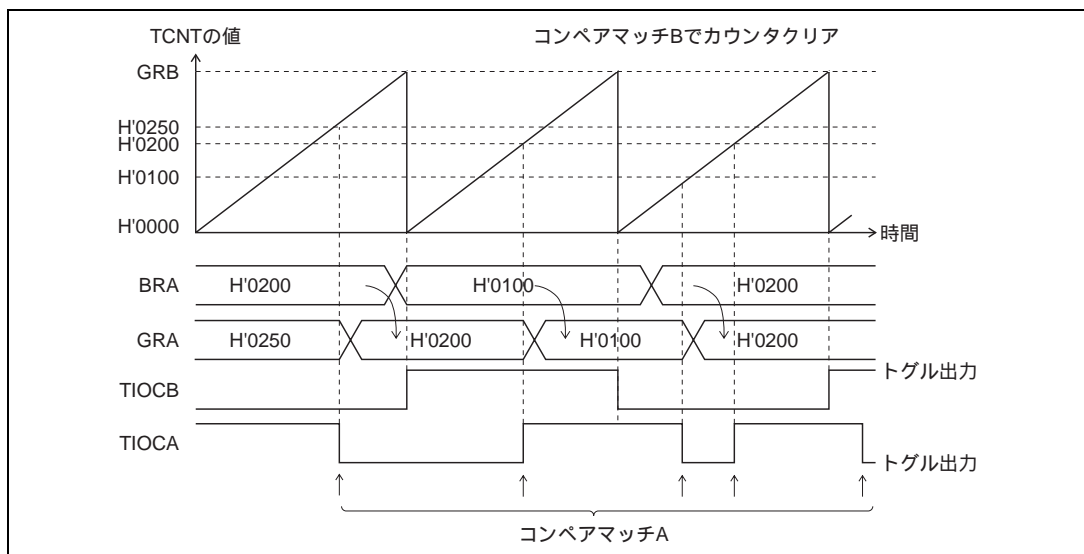


図 10.49 バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)

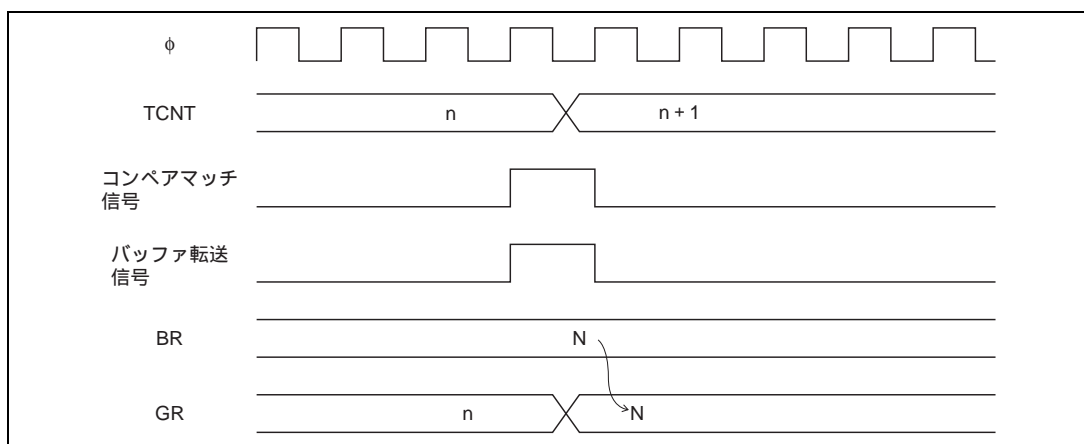


図 10.50 バッファ動作時のコンペアマッチタイミング例

10. 16 ビットインテグレートドタイムユニット (ITU)

GRA を入力キャプチャレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 10.51 に示します。

TCNT が入力キャプチャ B によりカウンタクリアされる場合の例です。TIOCB 端子の入力キャプチャ入力エッジは、立ち下がりエッジが選択され、また、TIOCA 端子の入力キャプチャ入力エッジは、立ち上がり / 立ち下がり両エッジが選択されているとします。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時に、それまで格納されていた GRA の値が BRA に転送されます。

この転送タイミングを図 10.52 に示します。

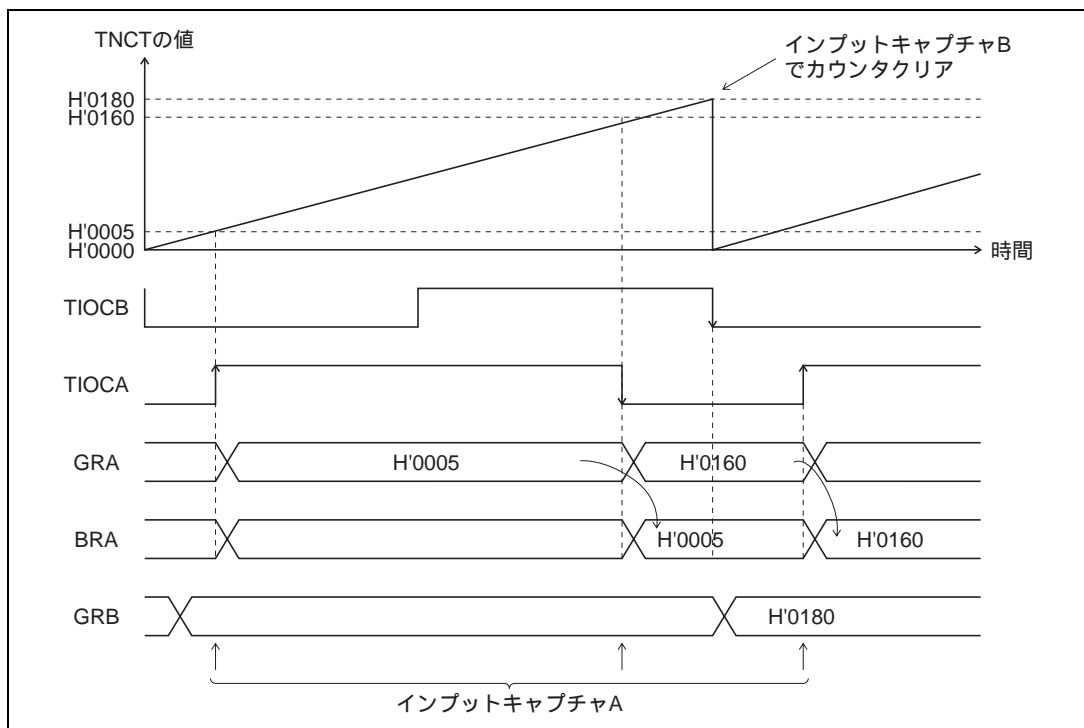


図 10.51 バッファ動作例 (2) (入力キャプチャレジスタに対するバッファ動作)

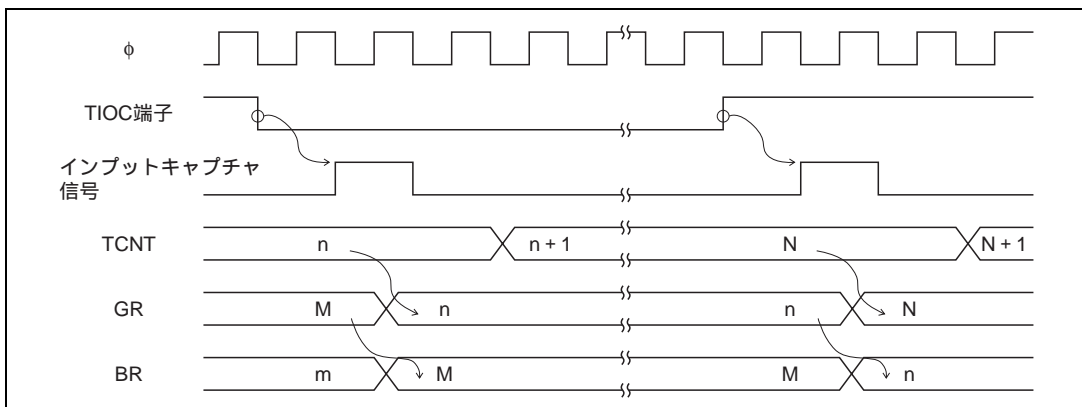


図 10.52 バッファ動作時のインプットキャプチャタイミング

相補 PWM モード時、GRB3 と BRB3 をバッファ動作に設定したときの動作例を図 10.53 に示します。

バッファ動作を使用して $GRB3 > BRA3$ とすることにより、デューティ 0% の PWM 波形を生成した場合の例です。

BRB から GRB への転送は、TCNT3 と GRA3 がコンペアマッチしたとき、および TCNT4 がアンダフローしたときに行われます。

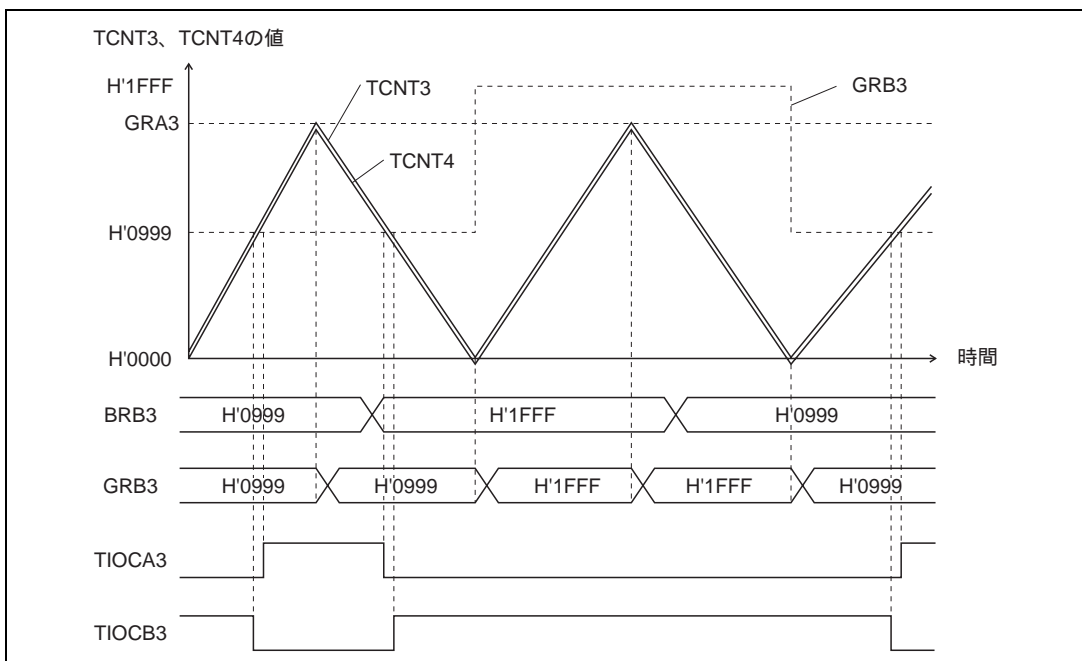


図 10.53 バッファ動作例 (4) (相補 PWM モード時のバッファ動作)

10.4.9 ITU 出力タイミング

チャンネル 3、4 の ITU 出力は、TOER、TOCR の設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1) TOER による ITU 出力の許可 / 禁止タイミング

TOER のマスタインープルビットを "0" にクリアして、ITU 出力を禁止する場合の例です。対応する入出力ポートの DR、DDR をあらかじめ設定しておくことにより、任意の値を出力することができます。

TOER による ITU 出力を許可 / 禁止するタイミングを図 10.54 に示します。

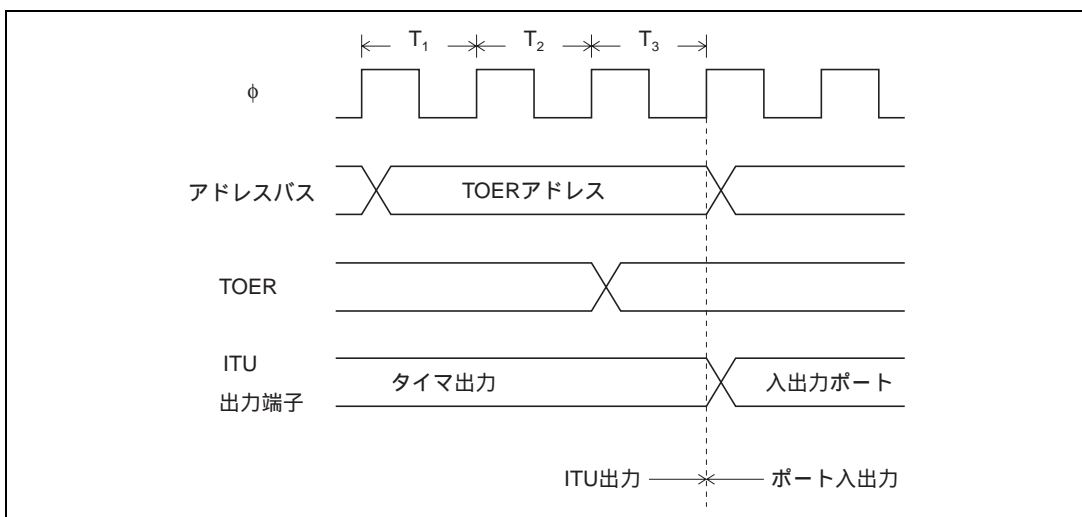


図 10.54 TOER へのライトによる ITU 出力禁止タイミングの例

(2) 外部トリガによる ITU 出力禁止タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR の XTGD ビットが"0"にクリアされている状態でチャンネル 1 の入力キャプチャ A 信号が発生すると、TOER のマスタインープルビットが"0"にクリアされ ITU 出力が禁止されます。

このタイミングを図 10.55 に示します。

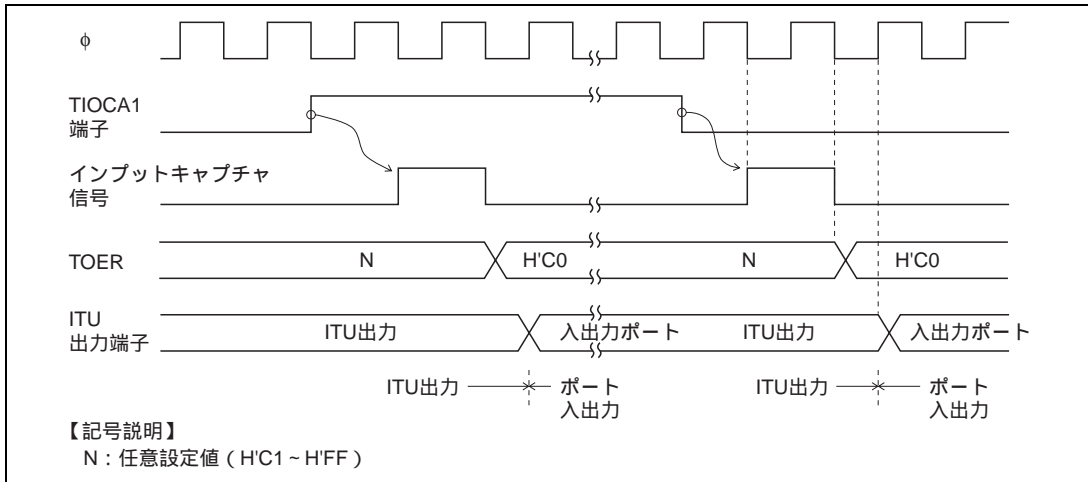


図 10.55 外部トリガによる ITU 出力禁止タイミングの例

(3) TOCR による出力反転タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR のアウトプットレベルセレクト (OLS4、OLS3) ビットを反転することにより、出力レベルを反転することができます。

このタイミングを図 10.56 に示します。

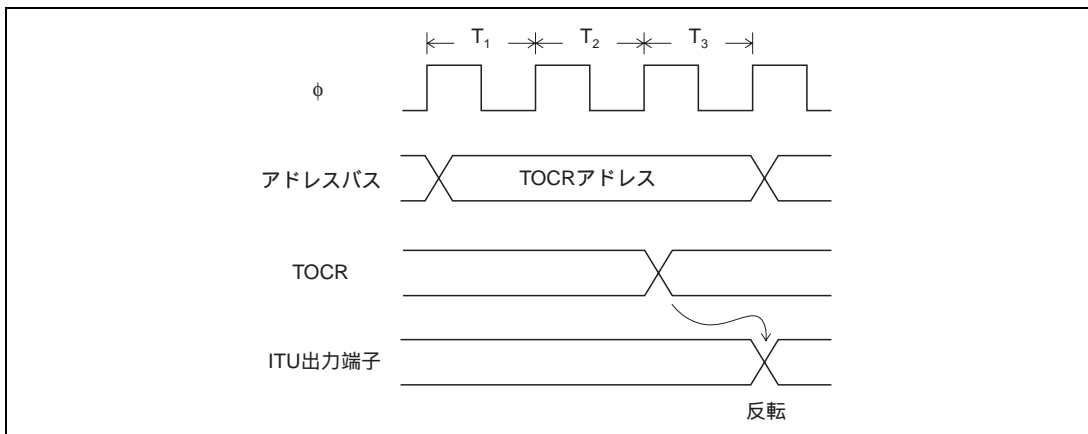


図 10.56 TOCR へのライトによる ITU 出力レベル反転タイミングの例

10.5 割り込み

ITUの割り込み要因には、インプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みの2種類があります。

10.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

IMFフラグは、GRとTCNTが一致したときに発生するコンペアマッチ信号により"1"にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図10.57にIMFフラグのセットタイミングを示します。

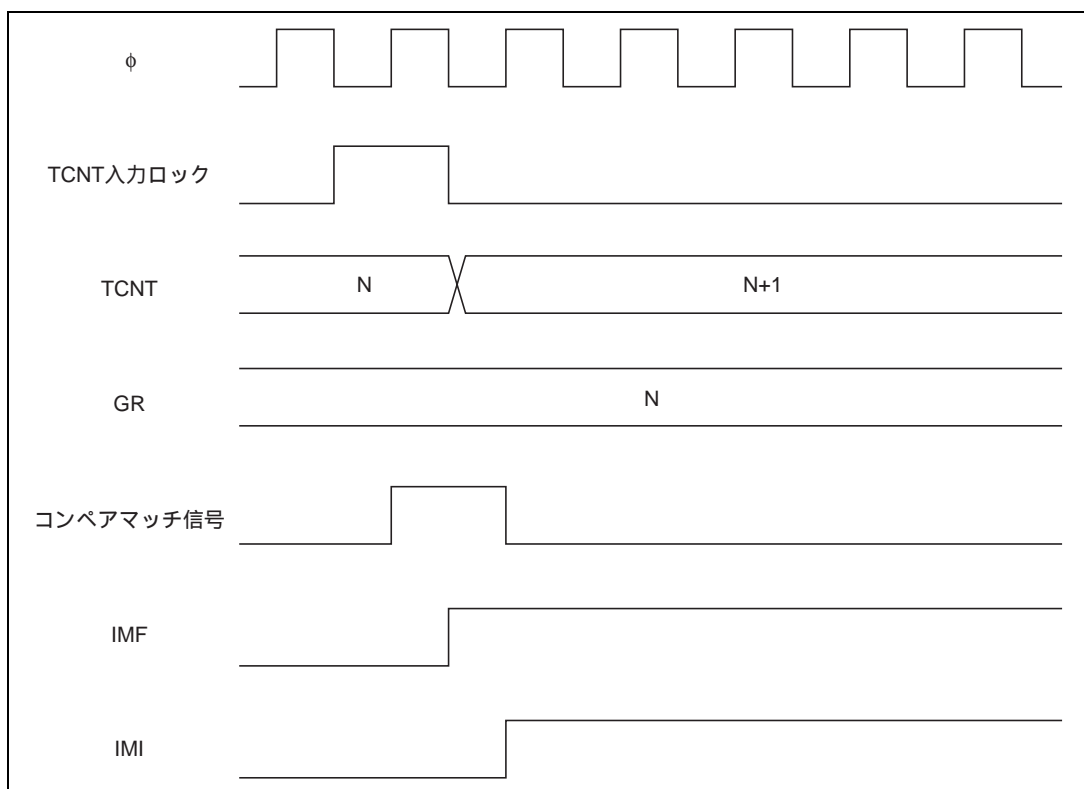


図10.57 コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

(2) インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により IMF フラグは"1"にセットされ、同時に TCNT の値が対応する GR に転送されます。

このタイミングを図 10.58 に示します。

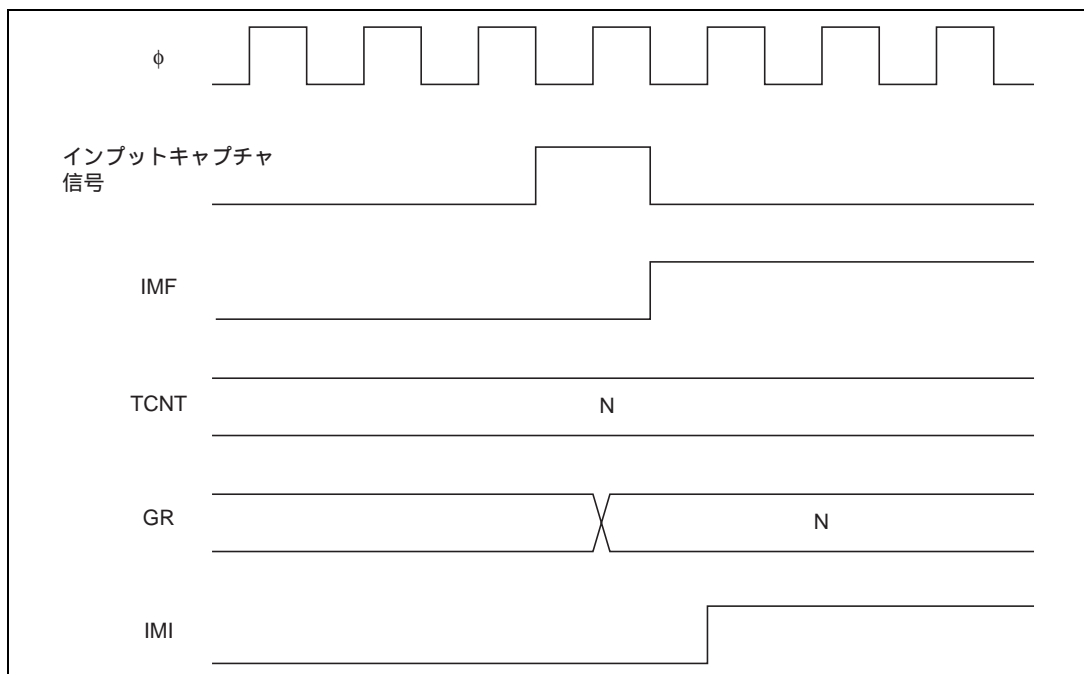


図 10.58 インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

10. 16ビットインテグレートドタイマユニット (ITU)

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、TCNT がオーバフロー (H'FFFF → H'0000) したとき、またはアンダフロー (H'0000 → H'FFFF) したときに"1"にセットされます。

このタイミングを図 10.59 に示します。

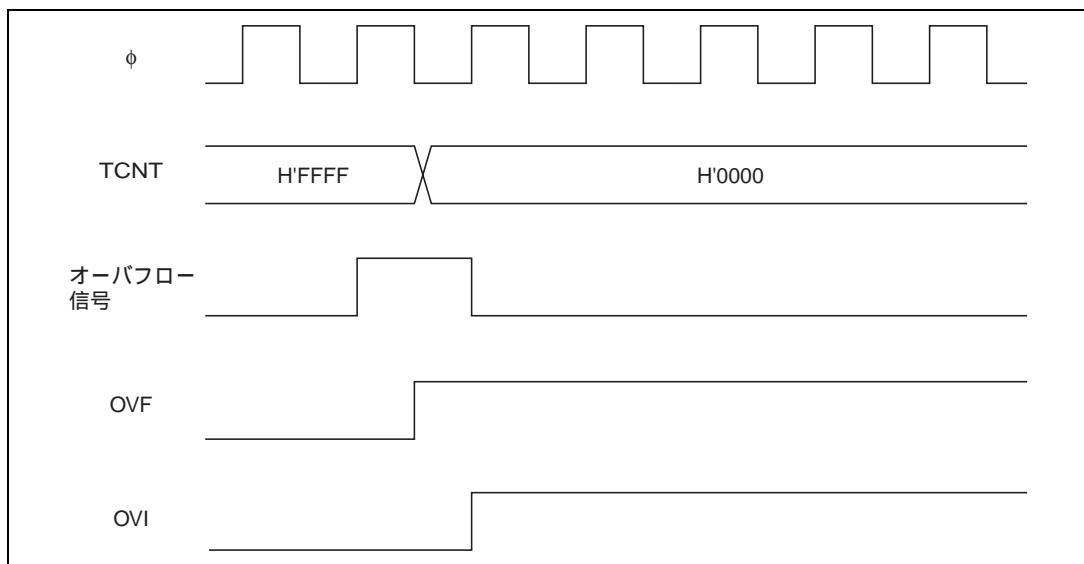


図 10.59 OVF フラグのセットタイミング

10.5.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU が "1" の状態をリードした後 "0" をライトするとクリアされます。
このタイミングを図 10.60 に示します。

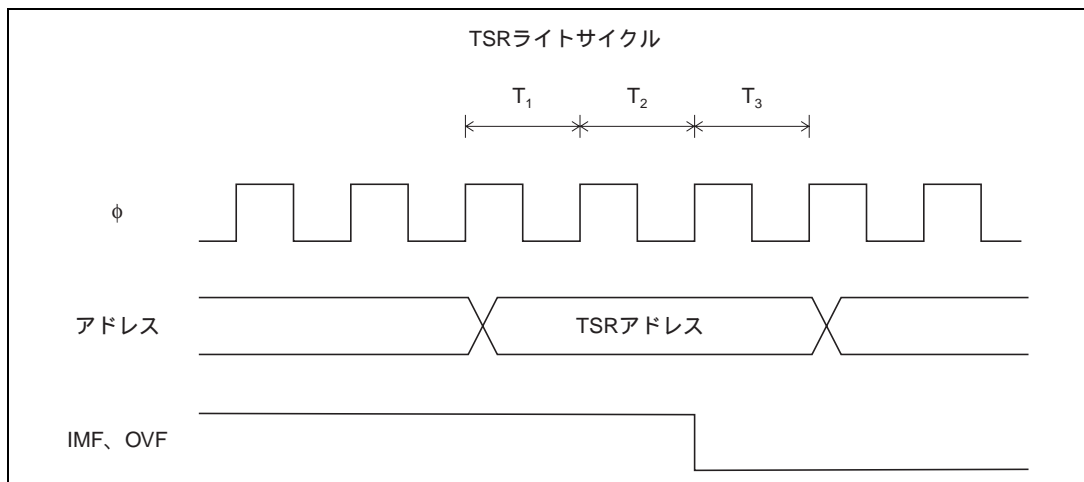


図 10.60 ステータスフラグのクリアタイミング

10.6 使用上の注意

ITU の動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNT のライトとクリアの競合

TCNT のライトサイクル中の T3 ステートで、カウントクリア信号が発生すると、TCNT への書き込みサイクルは行われず TCNT のクリアが優先されます。

このタイミングを図 10.61 に示します。

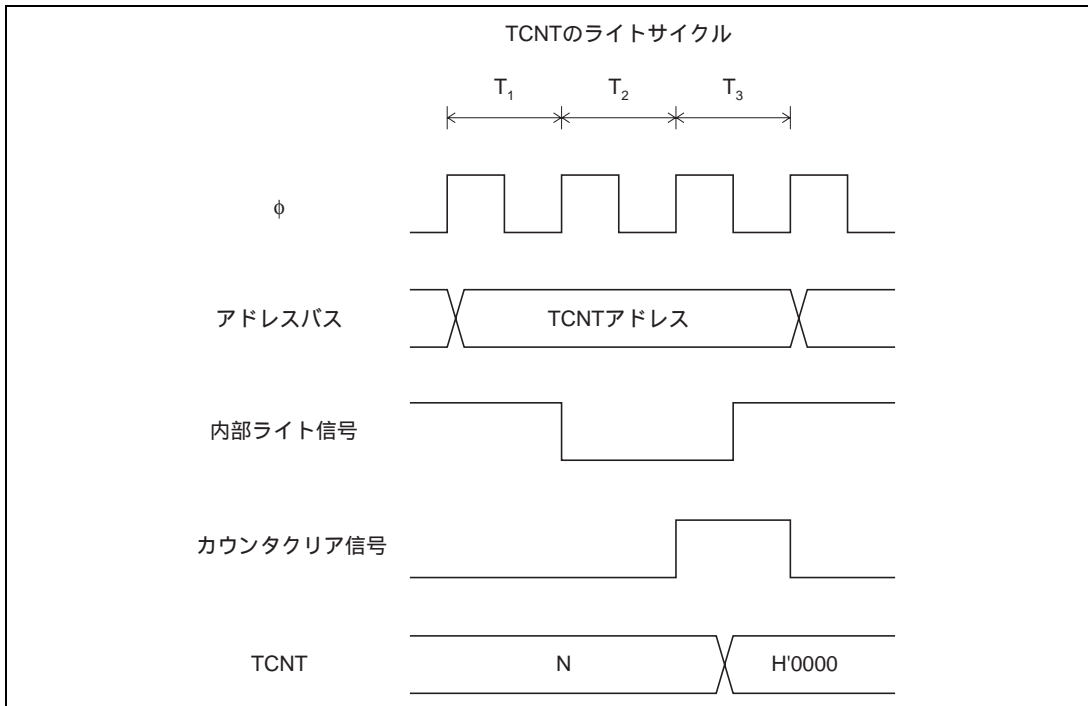


図 10.61 TCNT のライトとクリアの競合

10. 16ビットインテグレートドタイマユニット (ITU)

(2) TCNT のワードライトとカウントアップの競合

TCNT のワードライトサイクル中の T3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 10.62 に示します。

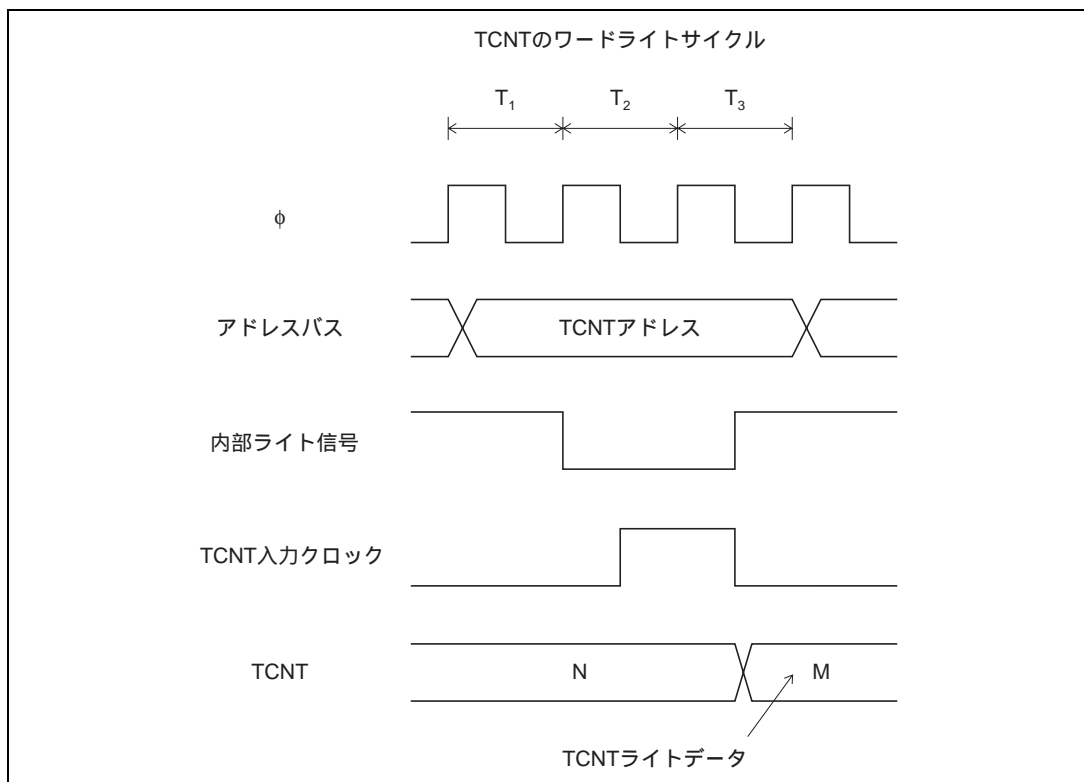


図 10.62 TCNT のワードライトとカウントアップの競合

(3) TCNT のバイトライトとカウントアップの競合

TCNTのバイトライトサイクル中のT2ステートまたはT3ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図 10.63 に示します。

TCNTH のバイトライトサイクル中の T2 ステートでカウントアップが発生した場合の例です。

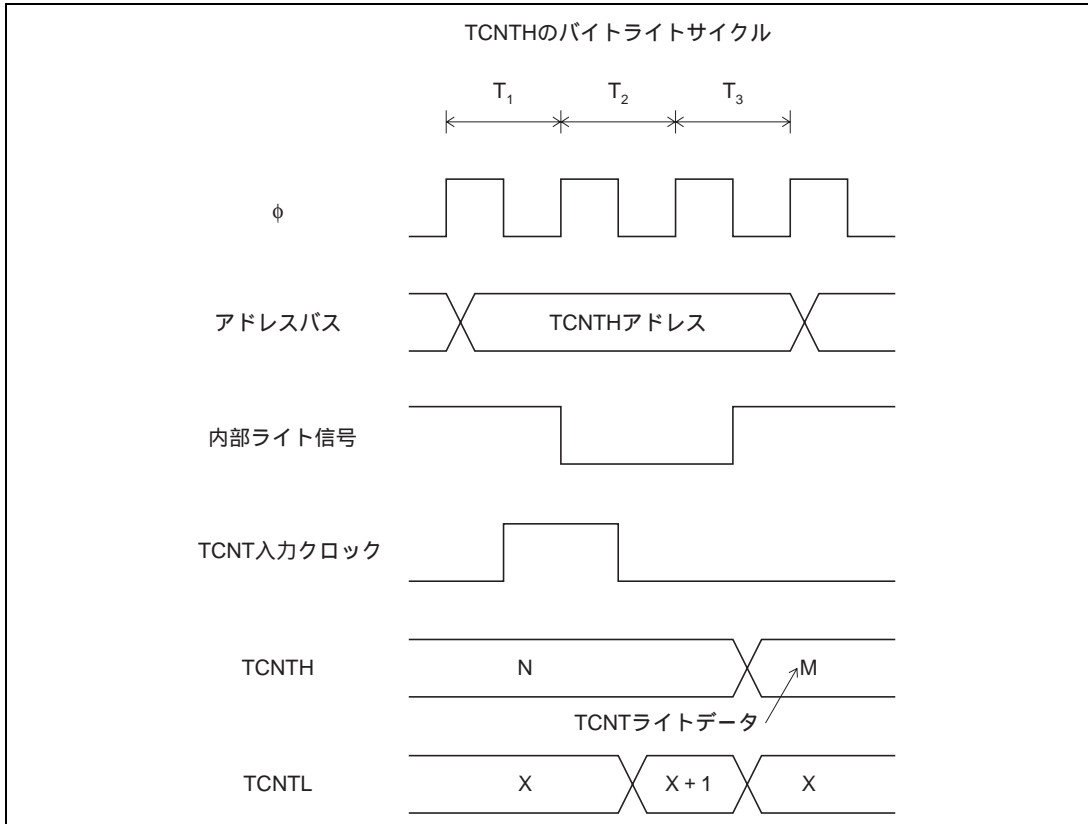


図 10.63 TCNT のバイトライトとカウントアップの競合

10. 16ビットインテグレートドタイマユニット (ITU)

(4) GR のライトとコンペアマッチの競合

GR のライトサイクル中の T3 ステートでコンペアマッチが発生しても、GR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 10.64 に示します。

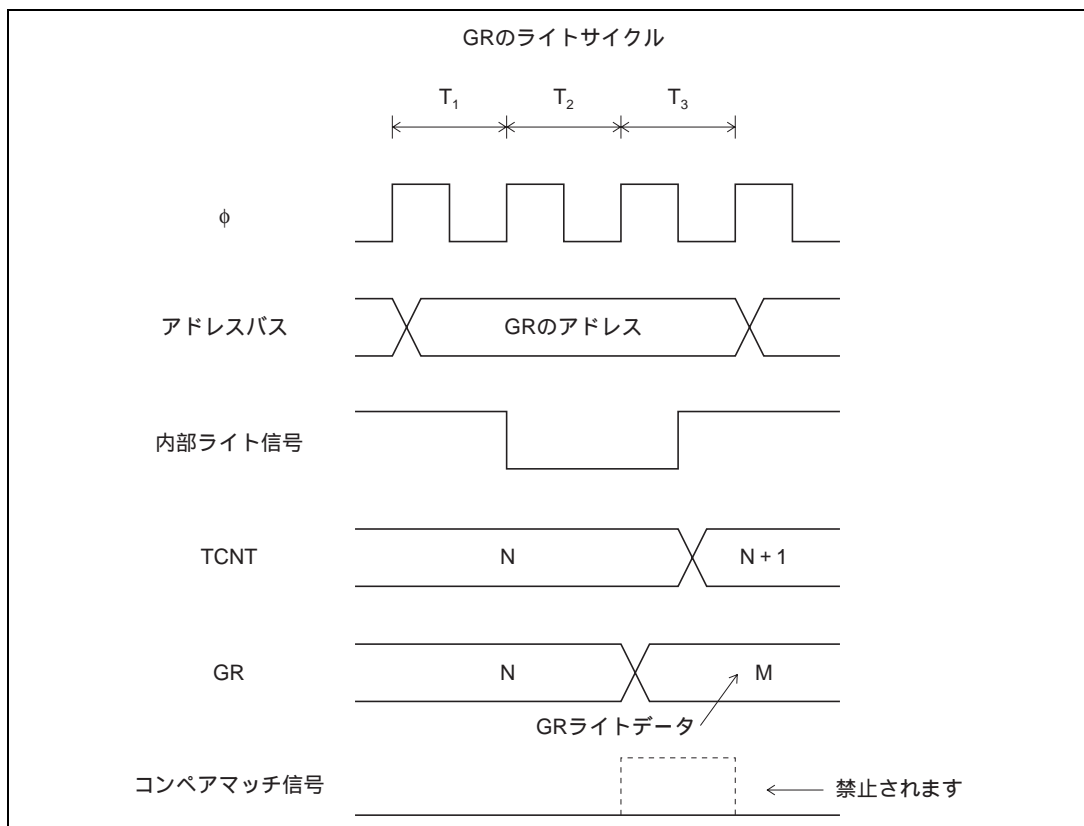


図 10.64 GR のライトとコンペアマッチの競合

(5) TCNT のライトとオーバーフロー / アンダフローとの競合

TCNT のライトサイクル中の T3 ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このとき OVF フラグは "1" にセットされます。アンダフローの場合も同様です。

このタイミングを図 10.65 に示します。

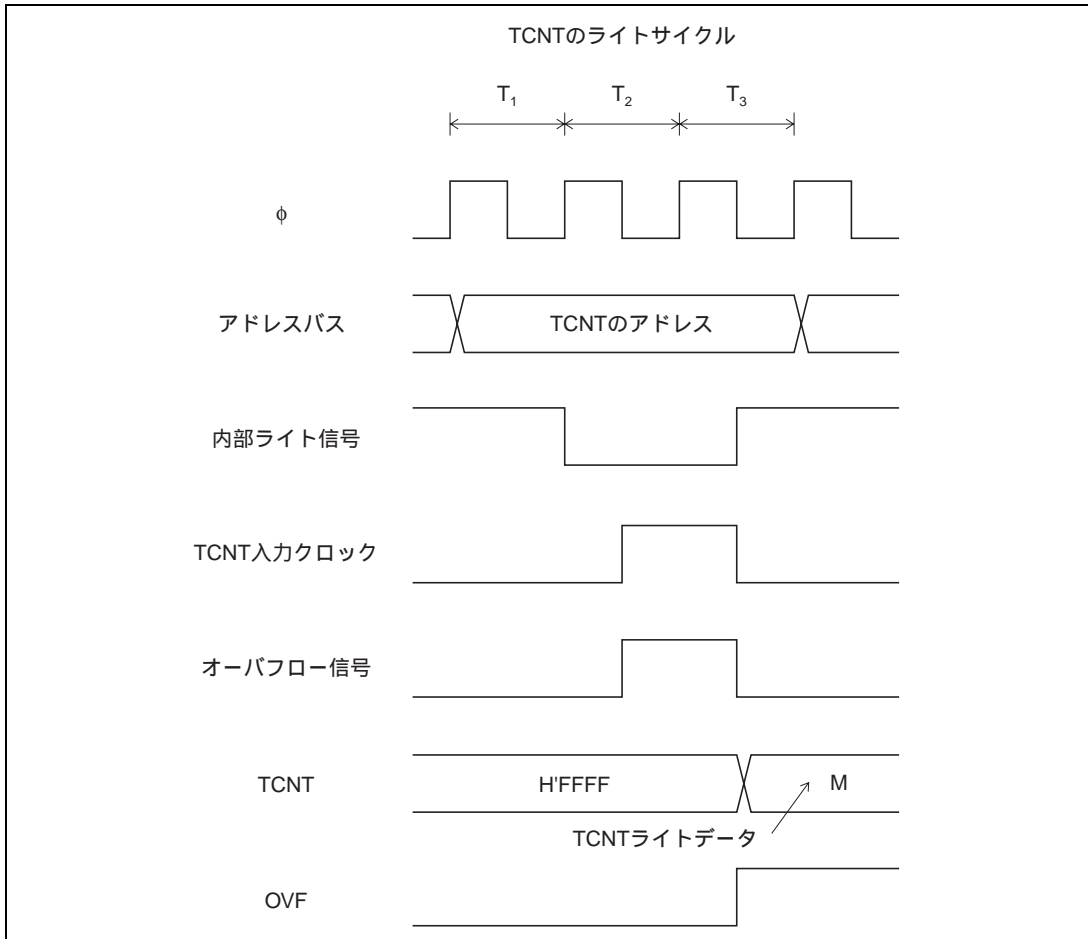


図 10.65 TCNT のライトとオーバーフローの競合

10. 16 ビットインテグレートドタイムユニット (ITU)

(6) GR のリードとインプットキャプチャの競合

GR のリードサイクル中の T3 ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図 10.66 に示します。

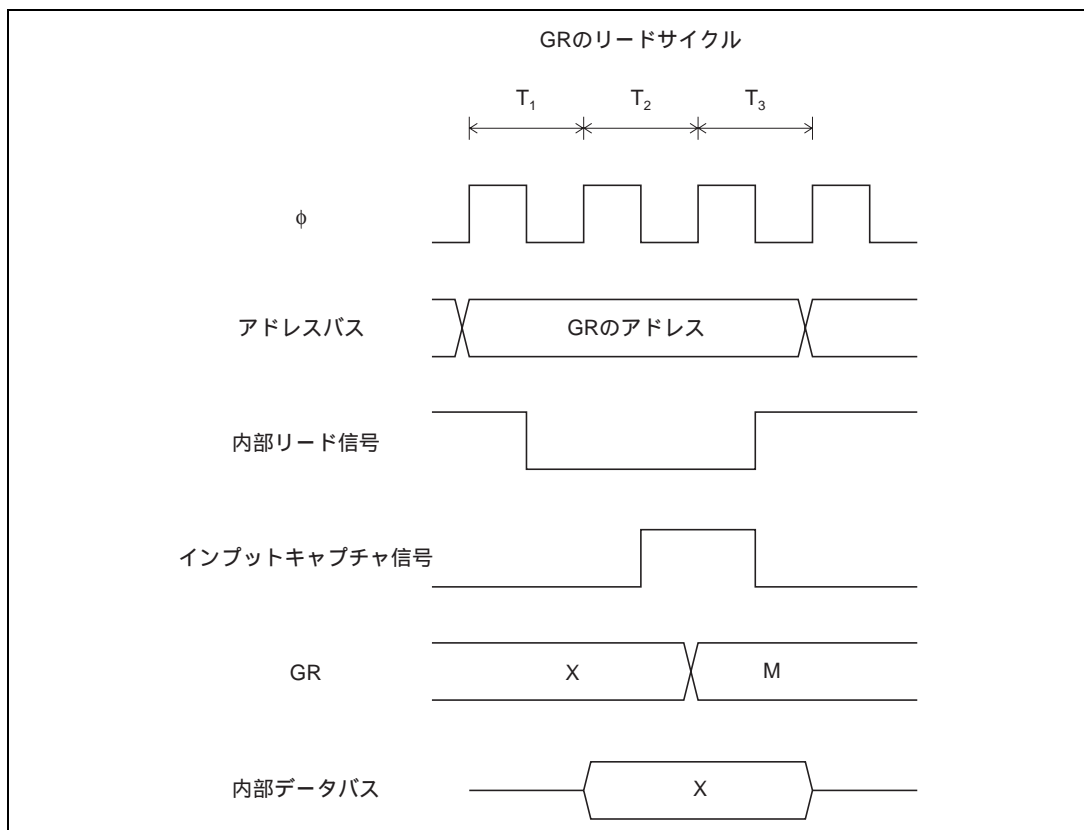


図 10.66 GR のリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GR にはカウンタクリア前の TCNT の内容が転送されます。

このタイミングを図 10.67 に示します。

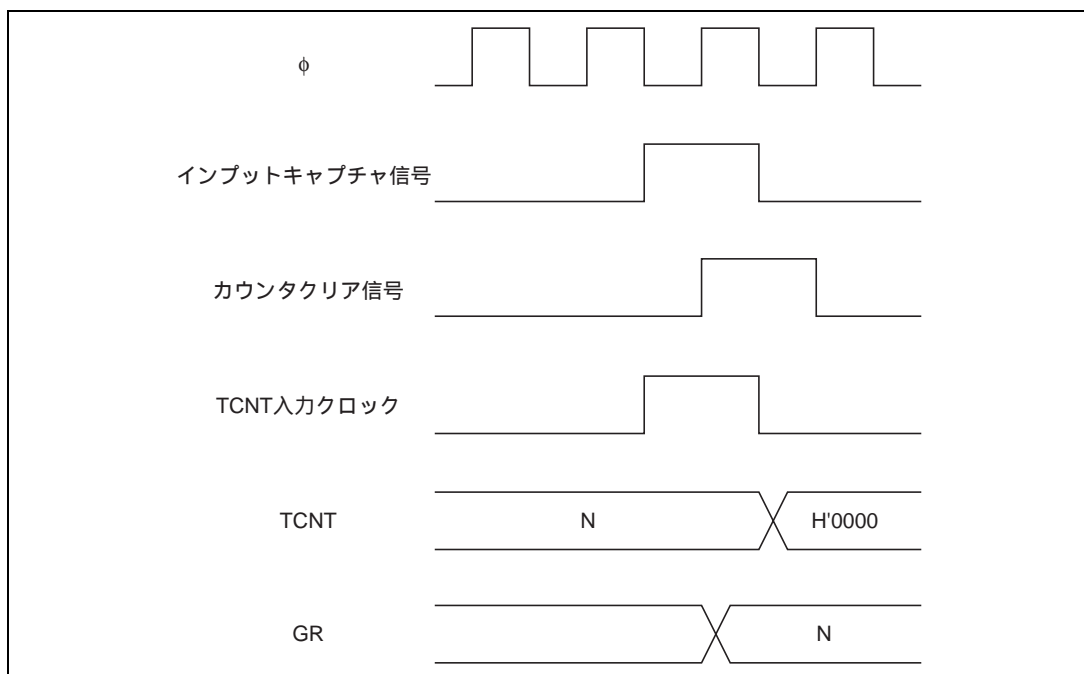


図 10.67 インพุットキャプチャによるカウンタクリアとカウントアップの競合

10. 16 ビットインテグレートドタイマユニット (ITU)

(8) GR のライトとインプットキャプチャの競合

GR のライトサイクル中の T3 ステートで、インプットキャプチャ信号が発生すると、GR への書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.68 に示します。

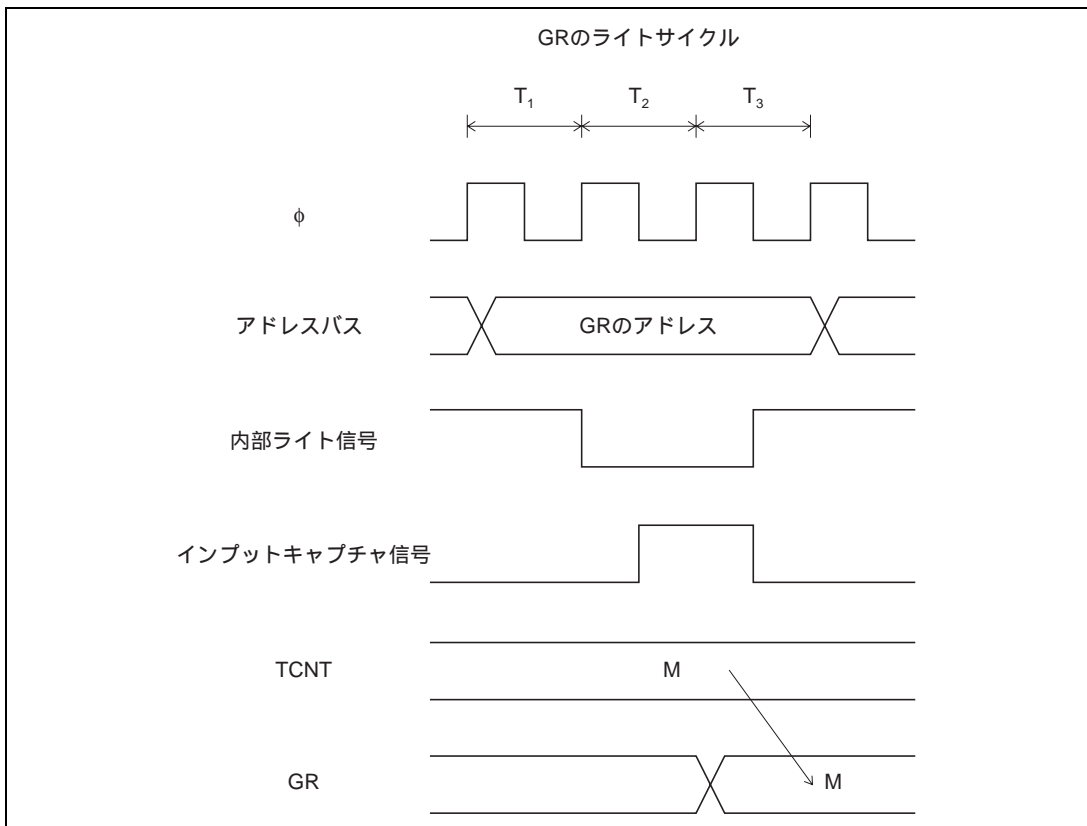


図 10.68 GR のライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は GR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタ周波数は次の式のようになります。

$$f = \frac{\phi}{(N+1)}$$

(f : カウンタ周波数、φ : 動作周波数、N : GR の設定値)

(10) BR のライトと入力キャプチャの競合

BR を入力キャプチャバッファレジスタとして使用しているとき、ライトサイクル中の T3 ステートで入力キャプチャ信号が発生すると、BR へのライトは行われずバッファ動作が優先されます。

このタイミングを図 10.69 に示します。

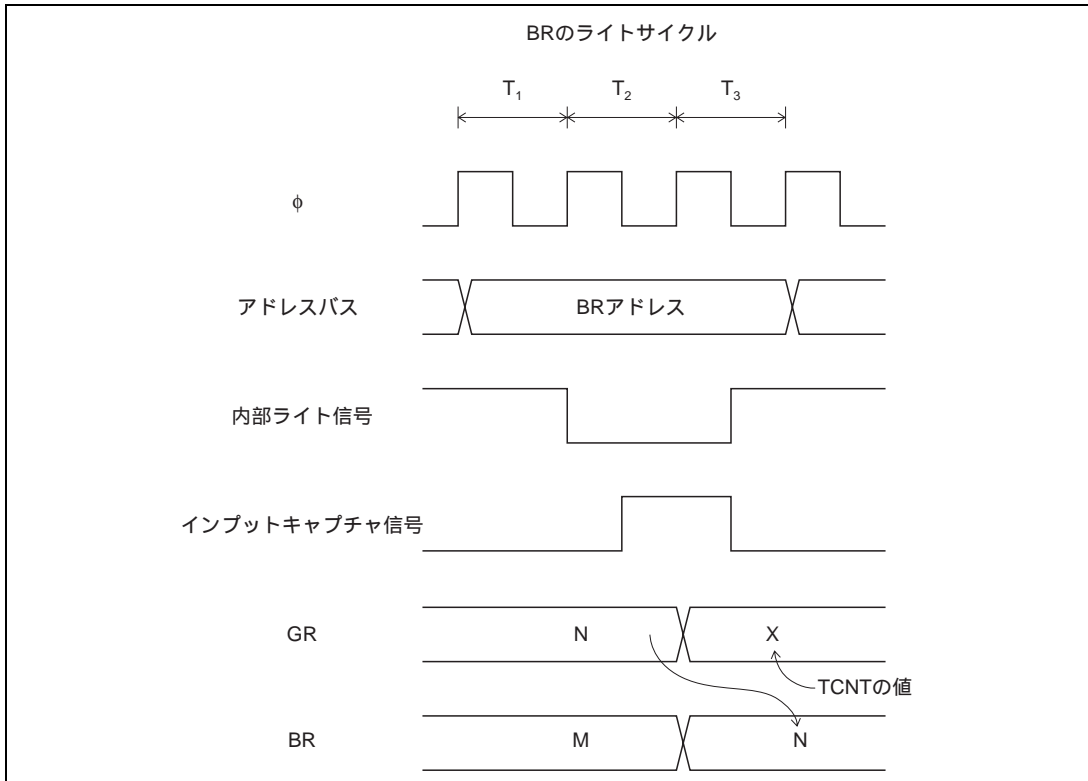


図 10.69 BR のライトと入力キャプチャの競合

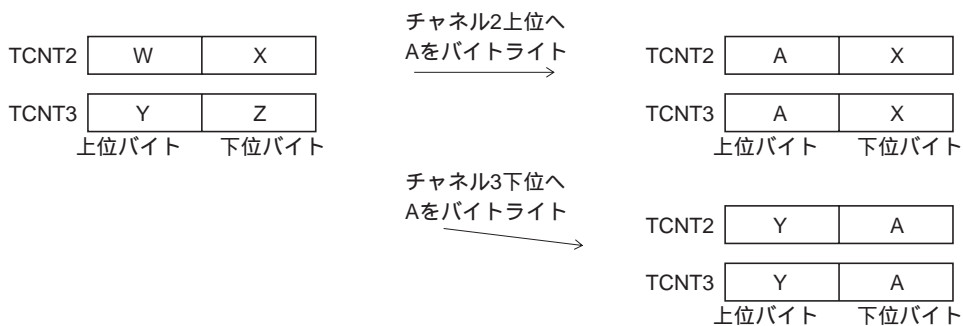
10. 16ビットインテグレートドタイムユニット (ITU)

(11) 同期動作時のライト動作に関する注意事項

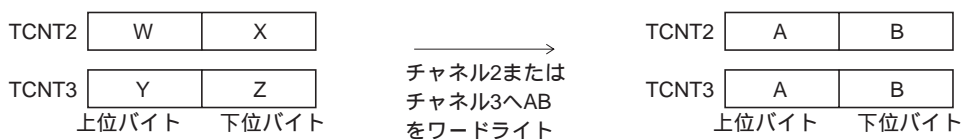
同期動作を設定した状態で、TCNT のバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した TCNT と、16ビットすべて同じ値となります。

(例) チャンネル2、3を同期モードで指定した場合

・チャンネル2 / チャンネル3へのバイトライト



・チャンネル2 / チャンネル3へのワードライト



(12) リセット同期 PWM モード / 相補 PWM モード設定時の注意事項

TFCR の CMD1、CMD0 ビットを設定するときは、次のことに注意してください。

CMD1、CMD0ビットへのライトは、TCNT3、TCNT4が停止中に行ってください。

リセット同期PWMモードと相補PWMモードの相互の設定変更は禁止されています。通常動作 (CMD1ビットを"0"にクリア) に設定した後に、リセット同期PWMモードまたは相補PWMモードに設定してください。

(13) ITU の動作モード一覧

表 10.11 (a) ITU の動作モード (チャンネル 0)

動作モード	レジスタ設定											
	TMSR			TFCR			TOCR			TIOR0		TCR0
	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	ハツアア動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	
同期動作												
同期リセット	SYNC0 = "1"											
PWMモード											*	
アウトプットコンペアA機能										IOA2 = "0" 他任意		
アウトプットコンペアB機能										IOA2 = "1" 他任意		
インプットキャプチャA機能												
インプットキャプチャB機能												
コンペアマッチ/インプットキャプチャAでクリア												CCLR1 = "0" CCLR0 = "1"
コンペアマッチ/インプットキャプチャBでクリア												CCLR1 = "1" CCLR0 = "0"
同期クリア	SYNC0 = "1"											CCLR1 = "1" CCLR0 = "1"

【記号説明】
 設定可能 (有効) であり、設定は当該動作モードに影響しません。
 【注】* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 10.11 (b) ITU の動作モード (チャンネル 1)

動作モード	レジスタ設定															
	TSNC		TMDR		PWM		TFCR		TOGR		TIOR1		TCR1			
	同期動作	MDF	FDIR	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	ロック選択	
同期プリセット	同期動作															
PWMモード	同期動作	SYNC1 = "1"											*1			
アウトプットコンペアA機能	同期動作															
アウトプットコンペアB機能	同期動作															
インプットキャプチャA機能	同期動作															
インプットキャプチャB機能	同期動作															
コンペアマッチ/インプットキャプチャAでクリア	同期動作															
コンペアマッチ/インプットキャプチャBでクリア	同期動作															
機能同期クリア	同期動作	SYNC1 = "1"														

【記号説明】
設定は当該動作モードに影響しません。

【注】 *1 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。
*2 チャネル3とチャネル4が相補PWMモードまたはリセット同期PWMモードで動作している時のみ有効となります。

表 10.11 (c) ITU の動作モード (チャンネル 2)

動作モード	レジスタ設定												TCR2				
	TSNC			TM2DR			TFCR			TOCR			TIOR2		クリア選択	クロック 選択	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バッファ 動作	XTGD	出力レベル セレクタ	TOER マスタ イネーブル	IOA	IOB					
同期プリセット	SYNC2 = "1"																
PWMモード				PWM2 = "1"								*					
アウトプット コンペアA機能				PWM2 = "0"								IOA2 = "0" 他任意					
アウトプット コンペアB機能												IOB2 = "0" 他任意					
インプット キャプチャA機能				PWM2 = "0"								IOA2 = "1" 他任意					
インプット キャプチャB機能				PWM2 = "0"								IOB2 = "1" 他任意					
コンペアマツチ/ インプットキャプ チャAでクリア															CCLR1 = "0" CCLR0 = "1"		
コンペアマツチ/ インプットキャプ チャBでクリア															CCLR1 = "1" CCLR0 = "0"		
同期クリア 機能	SYNC2 = "1"														CCLR1 = "1" CCLR0 = "1"		
位相係数モード		MDF = "1"															

【記号説明】
 設定は当該動作モードに影響しません。
 【注】* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマツチAとコンペアマツチBが同時に発生した場合、コンペアマツチA信号は禁止されます。

表 10.11 (d) ITU の動作モード (チャンネル 3)

動作モード	レジスタ設定												
	TSNC 同期動作	TMDR		TFCR		TOCR		TIOR3		TCR3			
	MDF	FDIR	PWM	相補 PWM	リセット 同期 PWM	バツファ 動作	XTGD	出力レベル セレレクト	マスタ イネーブル	IOA	IOB	クリア選択	クリア 選択
同期プリセット	SYNC3 = "1"				*3				*1				
PWMモード			PWM3 = "1"	CMD1 = "0"	CMD1 = "0"						*2		
アウトプット コンベアA機能			PWM3 = "0"	CMD1 = "0"	CMD1 = "0"					IOA2 = "0" 他任意			
アウトプット コンベアB機能				CMD1 = "0"	CMD1 = "0"					IOA2 = "1" 他任意	IOB2 = "0" 他任意		
インプット キャパチャA機能			PWM3 = "0"	CMD1 = "0"	CMD1 = "0"				EA3は無効 他任意				
インプット キャパチャB機能			PWM3 = "0"	CMD1 = "0"	CMD1 = "0"				EB3は無効 他任意		IOA2 = "1" 他任意		
コンベアマツチ/ インプットキャパ チャAでクリア				CMD1 = "1" CMD0 = "0" は禁止	*4				*1			CCLR1 = "0" CCLR0 = "1"	
コンベアマツチ/ インプットキャパ チャBでクリア				CMD1 = "0"	CMD1 = "0"				*1			CCLR1 = "1" CCLR0 = "0"	
同期クリア	SYNC3 = "1"			CMD1 = "1" CMD0 = "0" は禁止					*1			CCLR1 = "1" CCLR0 = "1"	
相補PWMモード	*3			CMD1 = "1" CMD0 = "0"	CMD1 = "1" CMD0 = "0"		*6					CCLR1 = "0" CCLR0 = "0"	*5
リセット同期 PWMモード				CMD1 = "1" CMD0 = "1"	CMD1 = "1" CMD0 = "1"		*6					CCLR1 = "0" CCLR0 = "1"	
バツファ動作 (BRA)									*1				
バツファ動作 (BRB)									*1				

【記号説明】
設定は当該動作モードに影響しません。

- 【注】 *1 マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。
*2 PWMモードでは、インプットキャパチャ機能は使用できません。また、コンベアマツチAとコンベアマツチBが同時に発生した場合、コンベアマツチ信号は禁止されます。
*3 相補PWMモード設定時には、チャネル3とチャネル4を同時に同期動作に設定しないでください。
*4 インプットキャパチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。
*5 相補PWMモード設定時のクロック選択は、チャネル3とチャネル4を同一としてください。
*6 チャネル1のインプットキャパチャA機能を使用してください。

表 10.11 (e) ITU の動作モード (チャンネル4)

動作モード	レジスタ設定											
	TSNC 同期動作	TMDR		TFCR		TOCR		TOER	TIOR4		TCR4	
	MDF	FDIR	PWM	リセット 同期 PWM	バツファ 動作	XTGD	出力レベル セレクタ	マスタ イネーブル	IOA	IOB	クリア選択	ロック 選択
同期プリセット	SYNC4 = "1"				^{#3}			^{#1}				
PWMモード			PWM4 = "1"	CMD1 = "0"	CMD1 = "0"					^{#2}		
アウトプット コンベアA機能			PWM4 = "0"	CMD1 = "0"	CMD1 = "0"				IOA2 = "0" 他任意			
アウトプット コンベアB機能				CMD1 = "0"	CMD1 = "0"				IOA2 = "1" 他任意	IOB2 = "0" 他任意		
インプット キャプチャA機能			PWM4 = "0"	CMD1 = "0"	CMD1 = "0"			EA4は無効 他任意				
インプット キャプチャB機能			PWM4 = "0"	CMD1 = "0"	CMD1 = "0"			EB4は無効 他任意		IOB2 = "1" 他任意		
コンベアマツチ/ インプットキャプ チャでクリア			CMD1 = "1" CMD0 = "0" は禁止	^{#4}				^{#1}			CCLR1 = "0" CCLR0 = "1"	
コンベアマツチ/ インプットキャプ チャBでクリア			CMD1 = "1" CMD0 = "0" は禁止	^{#4}				^{#1}			CCLR1 = "1" CCLR0 = "0"	
同期クリア	SYNC4 = "1"			CMD1 = "1" CMD0 = "0" は禁止	^{#4}			^{#1}			CCLR1 = "1" CCLR0 = "1"	
相補PWMモード	^{#3}			CMD1 = "1" CMD0 = "0"	CMD1 = "1" CMD0 = "0"						CCLR1 = "0" CCLR0 = "0"	^{#5}
リセット同期 PWMモード				CMD1 = "1" CMD0 = "1"	CMD1 = "1" CMD0 = "1"						CCLR1 = "0" CCLR0 = "0"	^{#6}
バツファ動作 (BRA)					BFA4 = "1" 他任意			^{#1}				
バツファ動作 (BRB)					BFB4 = "1" 他任意			^{#1}				

【記号説明】
設定は当該動作モードに影響しません。

- 【注】
^{#1} マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。
^{#2} PWMモードでは、インプットキャプチャ機能は使用できません。また、コンベアマツチAとコンベアマツチBが同時に発生した場合、コンベアマツチ信号は禁止されます。
^{#3} 相補PWMモード設定時には、チャンネル3とチャンネル4を同時に同期動作に設定しないでください。
^{#4} リセット同期PWMモード設定時は、カウンタクリア機能は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。
^{#5} 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。
^{#6} リセット同期PWMモード動作時は、TCR4の設定は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。

10. 16ビットインテグレートドタイマユニット (ITU)

11. プログラマブルタイミングパターンコントローラ (TPC)

11.1 概要

H8/3042 グループは、16 ビットインテグレートドタイマユニット (ITU) をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

TPC の特長を以下に示します。

出力データ 16 ビット

最大 16 ビットのデータ出力が可能で、TPC 出力をビット単位に許可することができます。

4 系統の出力可能

4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×4 系統の出力を行うことができます。

出力トリガ信号を選択可能

ITU の 4 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

DMA コントローラ (DMAC) との連携動作可能

出力トリガ信号に選択したコンペアマッチ信号で DMAC を起動することにより、CPU の介在なくデータを順次出力することができます。

11. プログラマブルタイミングパターンコントローラ (TPC)

11.1.2 ブロック図

TPCのブロック図を図11.1に示します。

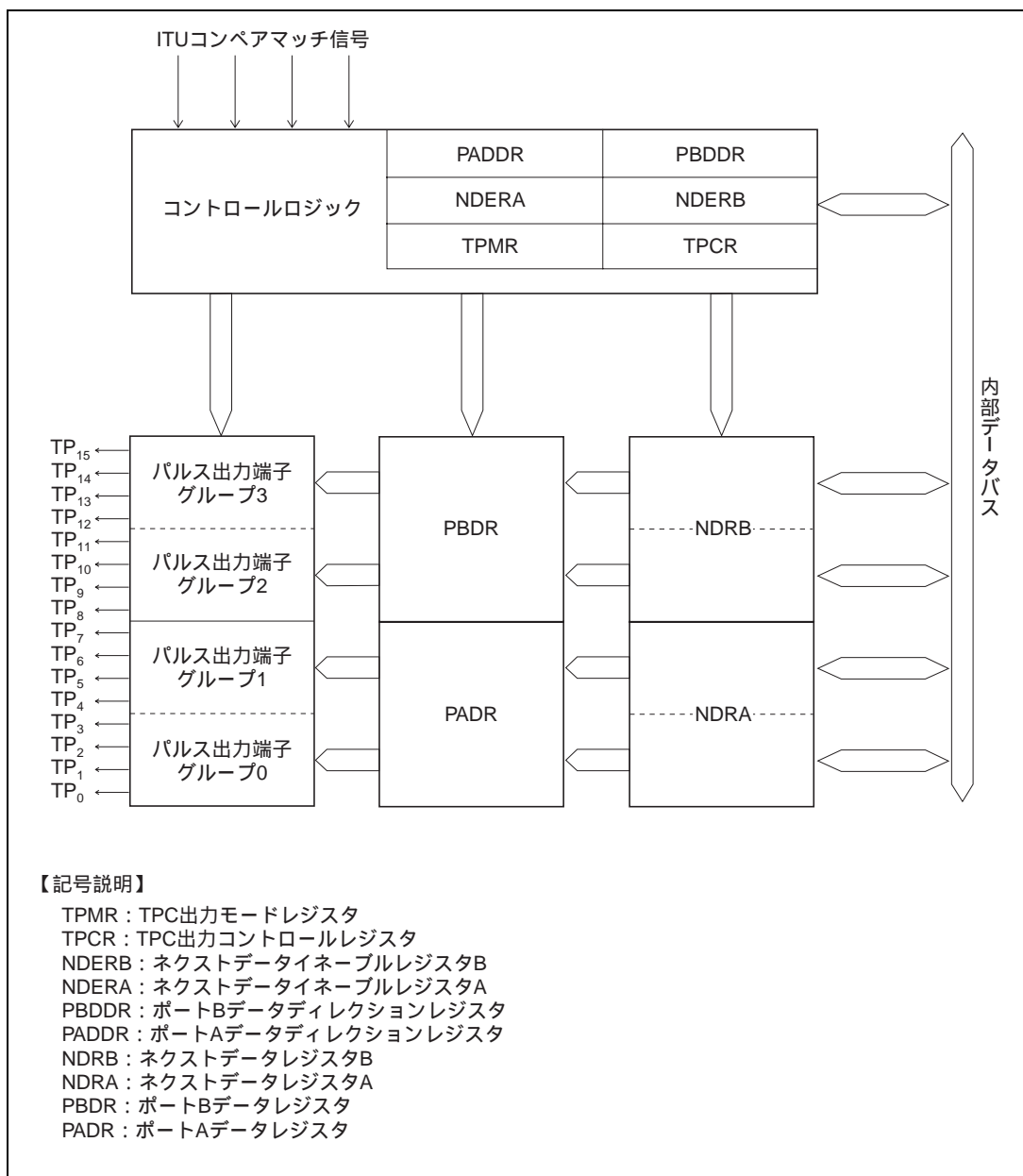


図 11.1 TPCのブロック図

11.1.3 端子構成

TPC の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
TPC 出力 0	TP ₀	出力	グループ 0 のパルス出力
TPC 出力 1	TP ₁	出力	
TPC 出力 2	TP ₂	出力	
TPC 出力 3	TP ₃	出力	
TPC 出力 4	TP ₄	出力	グループ 1 のパルス出力
TPC 出力 5	TP ₅	出力	
TPC 出力 6	TP ₆	出力	
TPC 出力 7	TP ₇	出力	
TPC 出力 8	TP ₈	出力	グループ 2 のパルス出力
TPC 出力 9	TP ₉	出力	
TPC 出力 10	TP ₁₀	出力	
TPC 出力 11	TP ₁₁	出力	
TPC 出力 12	TP ₁₂	出力	グループ 3 のパルス出力
TPC 出力 13	TP ₁₃	出力	
TPC 出力 14	TP ₁₄	出力	
TPC 出力 15	TP ₁₅	出力	

11. プログラマブルタイミングパターンコントローラ (TPC)

11.1.4 レジスタ構成

TPC のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

アドレス* ¹	名称	略称	R/W	初期値
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポート A データレジスタ	PADR	R/(W)* ²	H'00
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/(W)* ²	H'00
H'FFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFA5/ H'FFA7* ³	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFA4/ H'FFA6* ³	ネクストデータレジスタ B	NDRB	R/W	H'00

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 TPC 出力として使用しているビットは、ライトできません。
*3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFA7、グループ 1 に対応する NDRA のアドレスは H'FFA5 となります。
同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFA6、グループ 3 に対応する NDRB のアドレスは H'FFA4 となります。

11.2 各レジスタの説明

11.2.1 ポート A データディレクションレジスタ (PADDR)

PADDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポート A は TP₇ ~ TP₀ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは "1" にセットしてください。

PADDR の詳細は、「9.11 ポート A」を参照してください。

11.2.2 ポート A データレジスタ (PADR)

PADR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】* NDERAにより、TPC出力に設定されたビットはリード専用となります。

PADR の詳細は、「9.11 ポート A」を参照してください。

11. プログラマブルタイミングパターンコントローラ (TPC)

11.2.3 ポート B データディレクションレジスタ (PBDDR)

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

ポート B は TP₁₅ ~ TP₈ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは "1" にセットしてください。

PBDDR の詳細は、「9.12 ポート B」を参照してください。

11.2.4 ポート B データレジスタ (PBDR)

PBDR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートBデータ7~0

TPC出力グループ2、3の出力データを格納するビットです。

【注】* NDERBにより、TPC出力に設定されたビットはリード専用となります。

PBDR の詳細は、「9.12 ポート B」を参照してください。

11.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

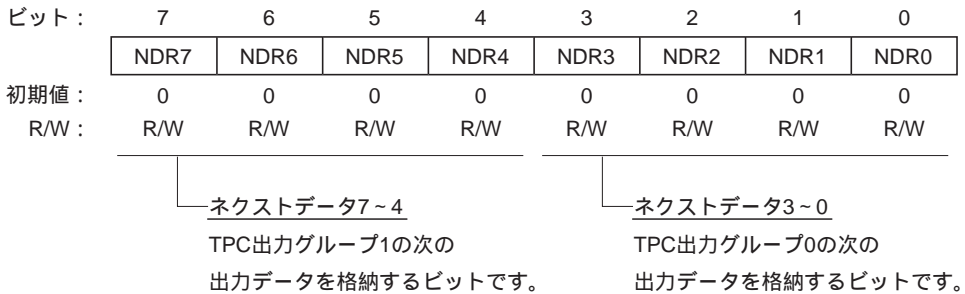
NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

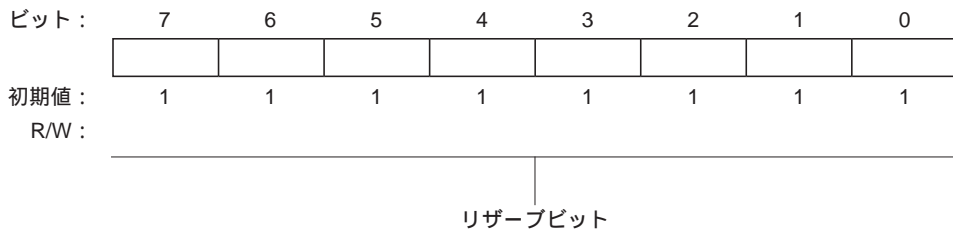
(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に "1" が読み出され、ライトは無効です。

(a) アドレス : H'FFA5



(b) アドレス : H'FFA7



11. プログラマブルタイミングパターンコントローラ (TPC)

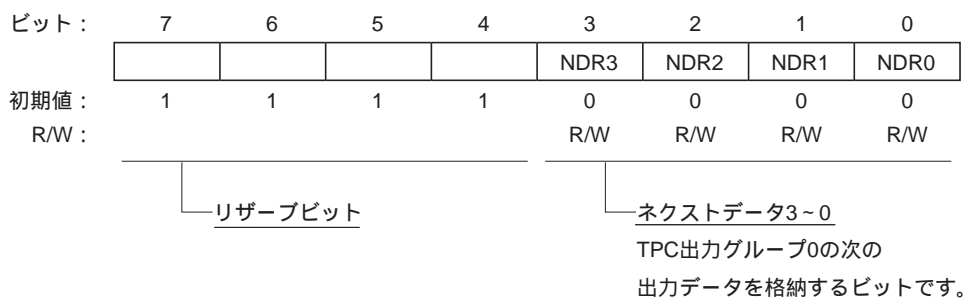
(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDRA の上位 4 ビット (グループ 1) のアドレスは H'FFA5、NDRA の下位 4 ビット (グループ 0) のアドレスは H'FFA7 となります。このとき、アドレス H'FFA5 のビット 3~0、アドレス H'FFA7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に "1" が読み出され、ライトは無効です。

(a) アドレス : H'FFA5



(b) アドレス : H'FFA7



11.2.6 ネクストデータレジスタ B (NDRB)

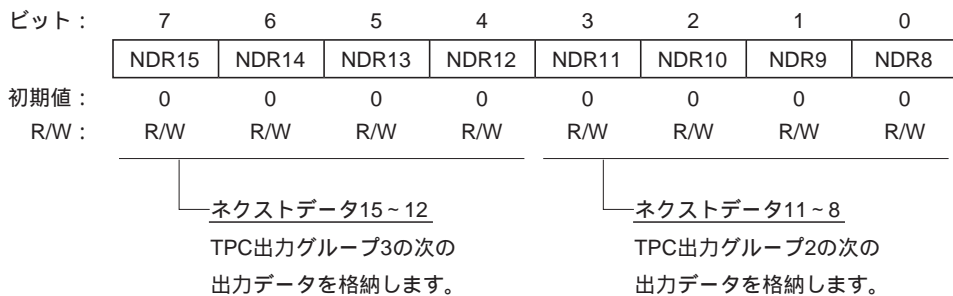
NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

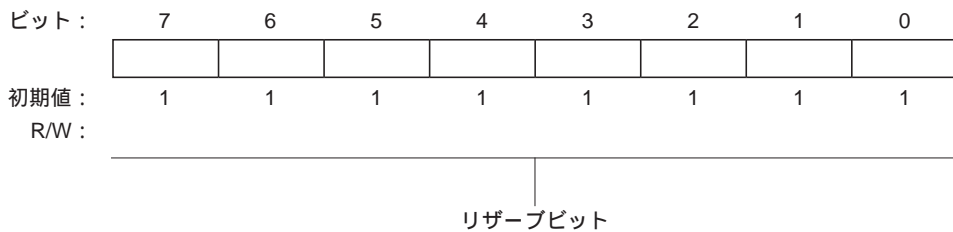
(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に "1" が読み出され、ライトは無効です。

(a) アドレス : H'FFA4



(b) アドレス : H'FFA6



11. プログラマブルタイミングパターンコントローラ (TPC)

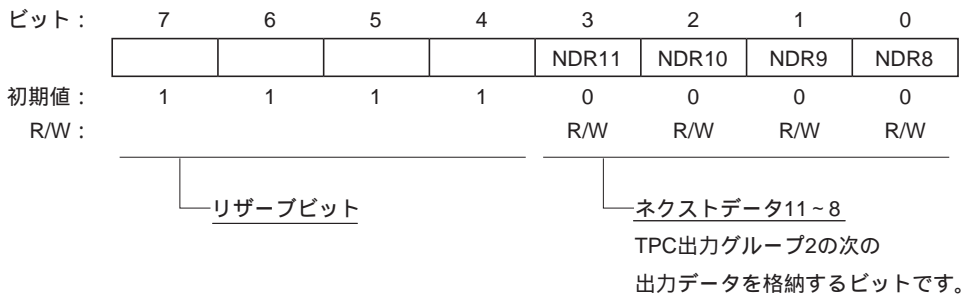
(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) のアドレスは H'FFA4、NDRB の下位 4 ビット (グループ 2) のアドレスは H'FFA6 となります。このとき、アドレス H'FFA4 のビット 3~0、アドレス H'FFA6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に"1"が読み出され、ライトは無効です。

(a) アドレス : H'FFA4



(b) アドレス : H'FFA6



11.2.7 ネクストデータイネーブルレジスタ A (NDERA)

NDERA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀ 端子) の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0

TPC出力グループ1、0を許可/禁止を選択するビットです。

NDERA により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~0: ネクストデータイネーブル7~0 (NDER7~NDER0)

TPC 出力グループ 1、0 (TP₇~TP₀ 端子) の許可/禁止をビット単位で選択します。

ビット7~0 NDER7~NDER0	説明
0	TPC 出力 TP ₇ ~TP ₀ を禁止 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₇ ~TP ₀ を許可 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送許可)

11. プログラマブルタイミングパターンコントローラ (TPC)

11.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8

TPC出力グループ3、2の許可/禁止を選択するビットです。

NDERB により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRB の値が PBDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7~0 : ネクストデータイネーブル 15~8 (NDER15~NDER8)

TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の許可/禁止をビット単位で選択します。

ビット 7~0 NDER15~NDER8	説明
0	TPC 出力 TP ₁₅ ~ TP ₈ を禁止 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₁₅ ~ TP ₈ を許可 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送許可)

11.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。



TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7、6: グループ3 コンペアマッチセレクト1、0 (G3CMS1、G3CMS0)

TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説明
G3CMS1	G3CMS0	
0	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャンネル0のコンペアマッチ
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャンネル1のコンペアマッチ
1	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャンネル2のコンペアマッチ
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、ITU チャンネル3のコンペアマッチ (初期値)

11. プログラマブルタイミングパターンコントローラ (TPC)

ビット5、4：グループ2 コンペアマッチセレクト1、0 (G2CMS1、G2CMS0)

TPC 出力グループ2 (TP₁₁ ~ TP₈ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット5 G2CMS1	ビット4 G2CMS0	説明
0	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル0のコンペアマッチ
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル1のコンペアマッチ
1	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル2のコンペアマッチ
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル3のコンペアマッチ (初期値)

ビット3、2：グループ1 コンペアマッチセレクト1、0 (G1CMS1、G1CMS0)

TPC 出力グループ1 (TP₇ ~ TP₄ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット3 G1CMS1	ビット2 G1CMS0	説明
0	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル0のコンペアマッチ
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル1のコンペアマッチ
1	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル2のコンペアマッチ
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル3のコンペアマッチ (初期値)

ビット1、0：グループ0 コンペアマッチセレクト1、0 (G0CMS1、G0CMS0)

TPC 出力グループ0 (TP₃ ~ TP₀ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット1 G0CMS1	ビット0 G0CMS0	説明
0	0	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル0のコンペアマッチ
	1	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル1のコンペアマッチ
1	0	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル2のコンペアマッチ
	1	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル3のコンペアマッチ (初期値)

11.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット:	7	6	5	4	3	2	1	0
					G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:					R/W	R/W	R/W	R/W

リザーブビット

グループ3ノンオーバーラップ

TPC出力グループ3 (TP₁₅ ~ TP₁₂) のノンオーバーラップ動作を設定するビットです。

グループ2ノンオーバーラップ

TPC出力グループ2 (TP₁₁ ~ TP₈) のノンオーバーラップ動作を設定するビットです。

グループ1ノンオーバーラップ

TPC出力グループ1 (TP₇ ~ TP₄) のノンオーバーラップ動作を設定するビットです。

グループ0ノンオーバーラップ

TPC出力グループ0 (TP₃ ~ TP₀) のノンオーバーラップ動作を設定するビットです。

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる ITU の GRB に出力波形の周期を、また GRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~4: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

11. プログラマブルタイミングパターンコントローラ (TPC)

ビット 3 : グループ 3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説明
G3NOV	
0	TPC 出力グループ 3 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 2 : グループ 2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説明
G2NOV	
0	TPC 出力グループ 2 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 1 : グループ 1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	説明
G1NOV	
0	TPC 出力グループ 1 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 0 : グループ 0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 0	説明
G0NOV	
0	TPC 出力グループ 0 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

11.3 動作説明

11.3.1 概要

TPC 出力は、PADDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ"1"にセットすることにより許可状態となります。この状態では、対応する PADR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を図 11.2 に示します。また、TPC 動作条件を表 11.3 に示します。

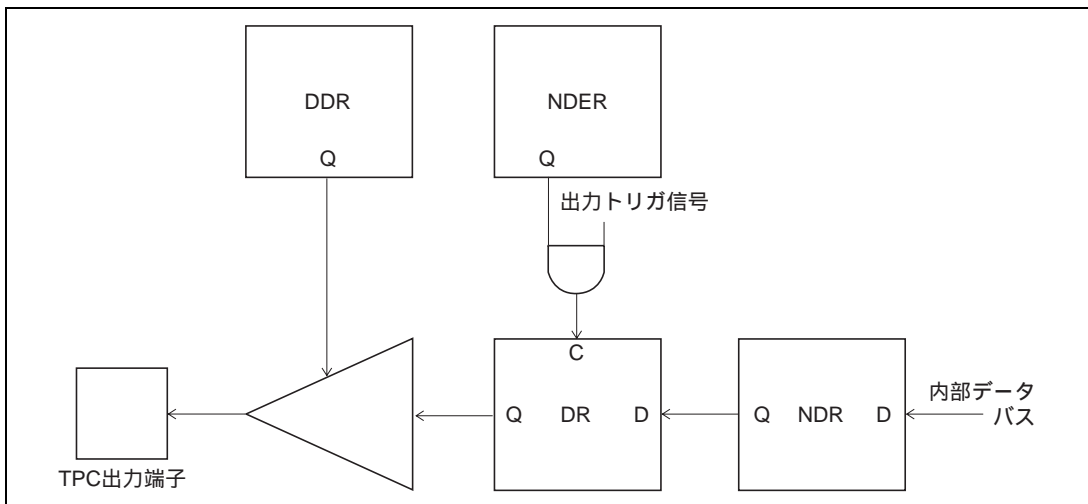


図 11.2 TPC 出力動作

表 11.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません)
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDR A/NDRB の内容が PADR/PBDR に転送され、出力されます。

このタイミングを図 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

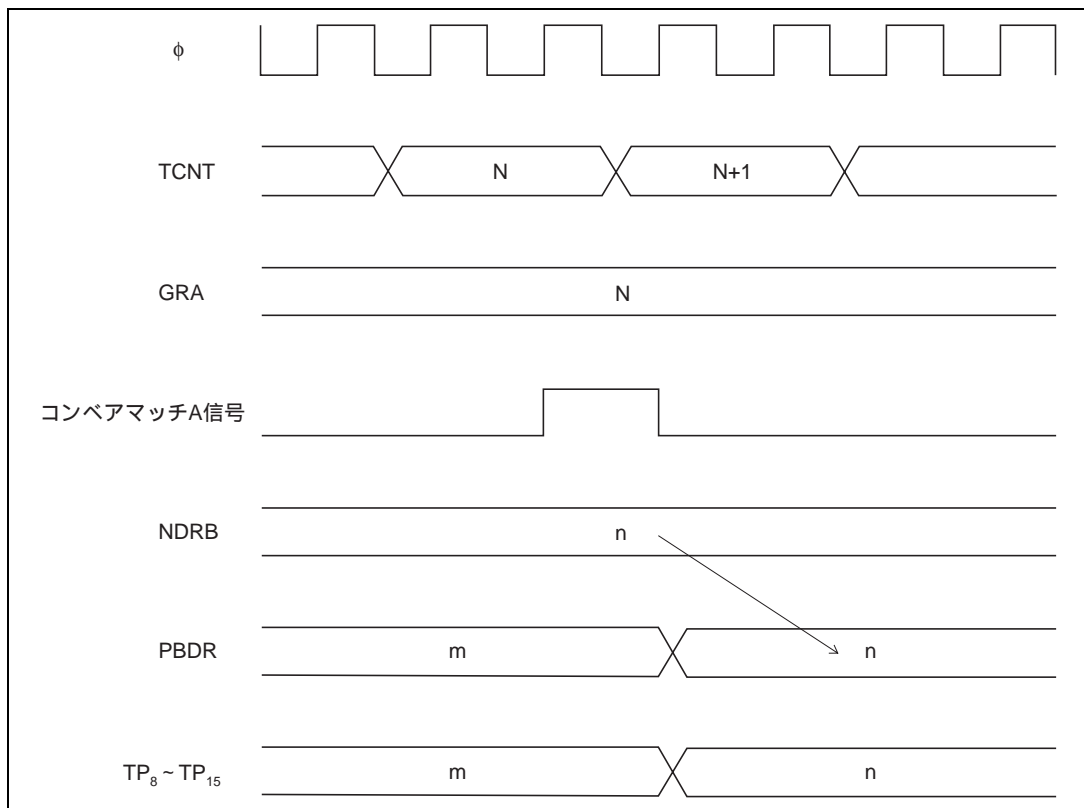


図 11.3 NDR の内容が転送・出力されるタイミング (例)

11.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 11.4 に示します。

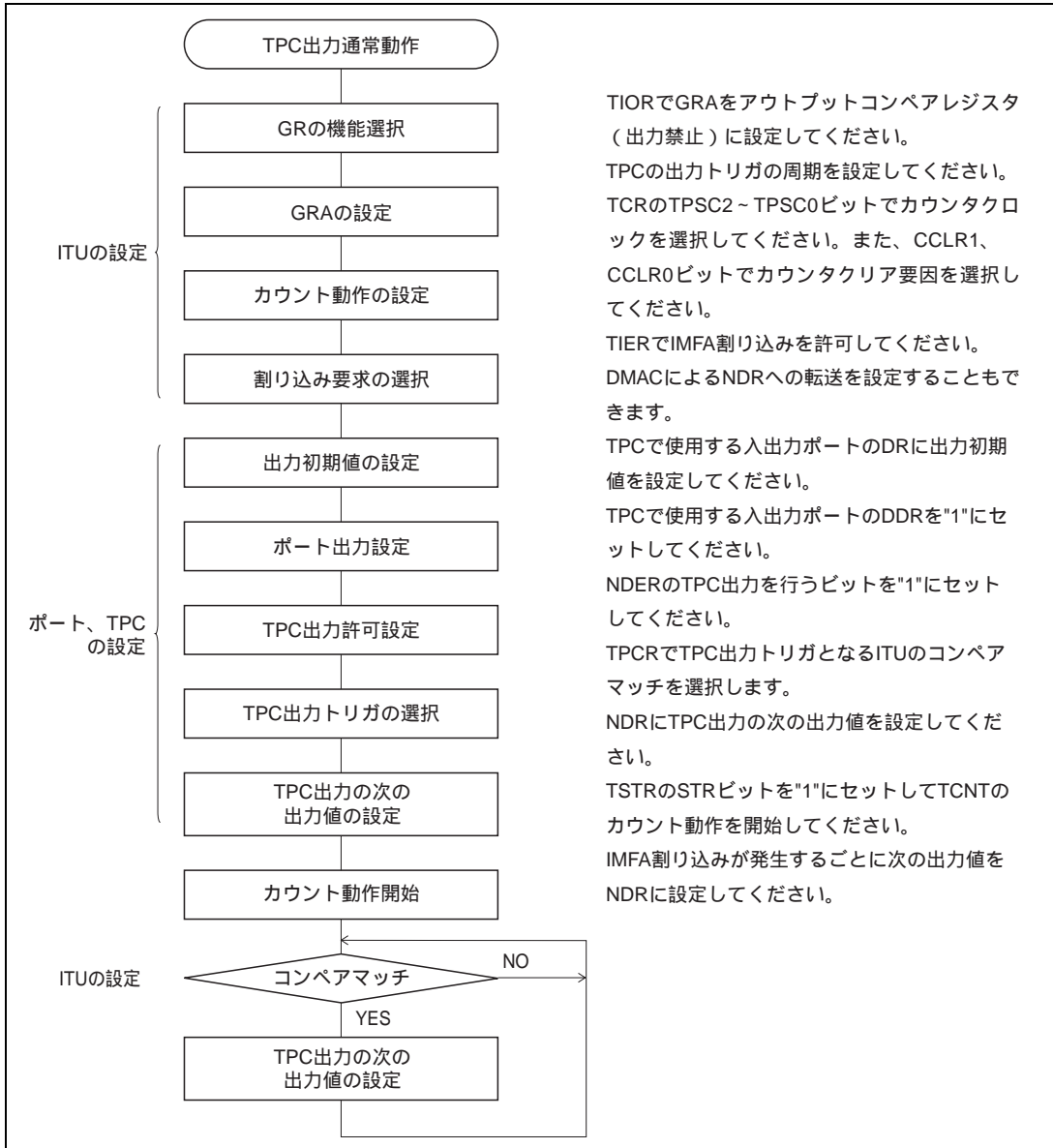


図 11.4 TPC 出力通常動作の設定手順例

11. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 11.5 に示します。

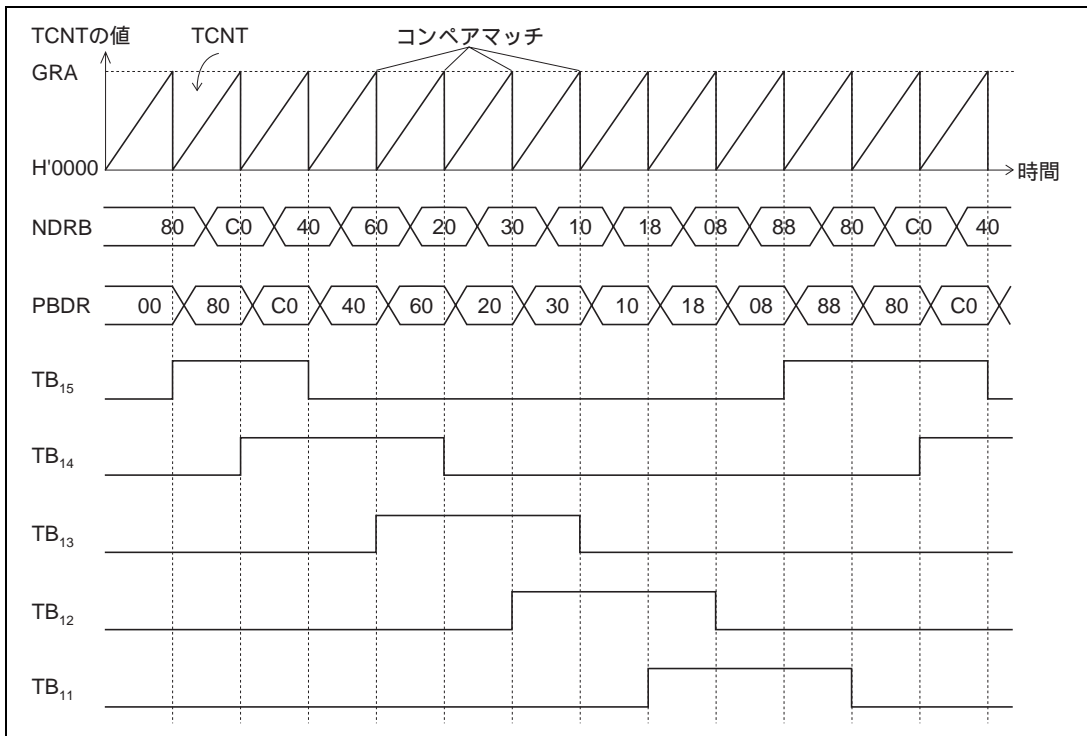


図 11.5 TPC 出力通常動作例 (5 相パルス出力例)

図 11.5 に示す動作例は以下の手順で行います。

- (1) 出力トリガとするITUのGRAをアウトプットコンペアレジスタに設定します。
GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのIMIEAビットを"1"にセットして、コンペアマッチA割り込みを許可します。
- (2) PBDDRとNDRBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを(1)で選択したITUのコンペアマッチに設定します。
NDRBに出力データH'80をライトします。
- (3) ITU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。
コンペアマッチ/インプットキャプチャA (IMFA) 割り込み処理でNDRBに次の出力データH'C0をライトします。
- (4) 以後、IMFA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1-2相パルス出力を行うことができます。
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

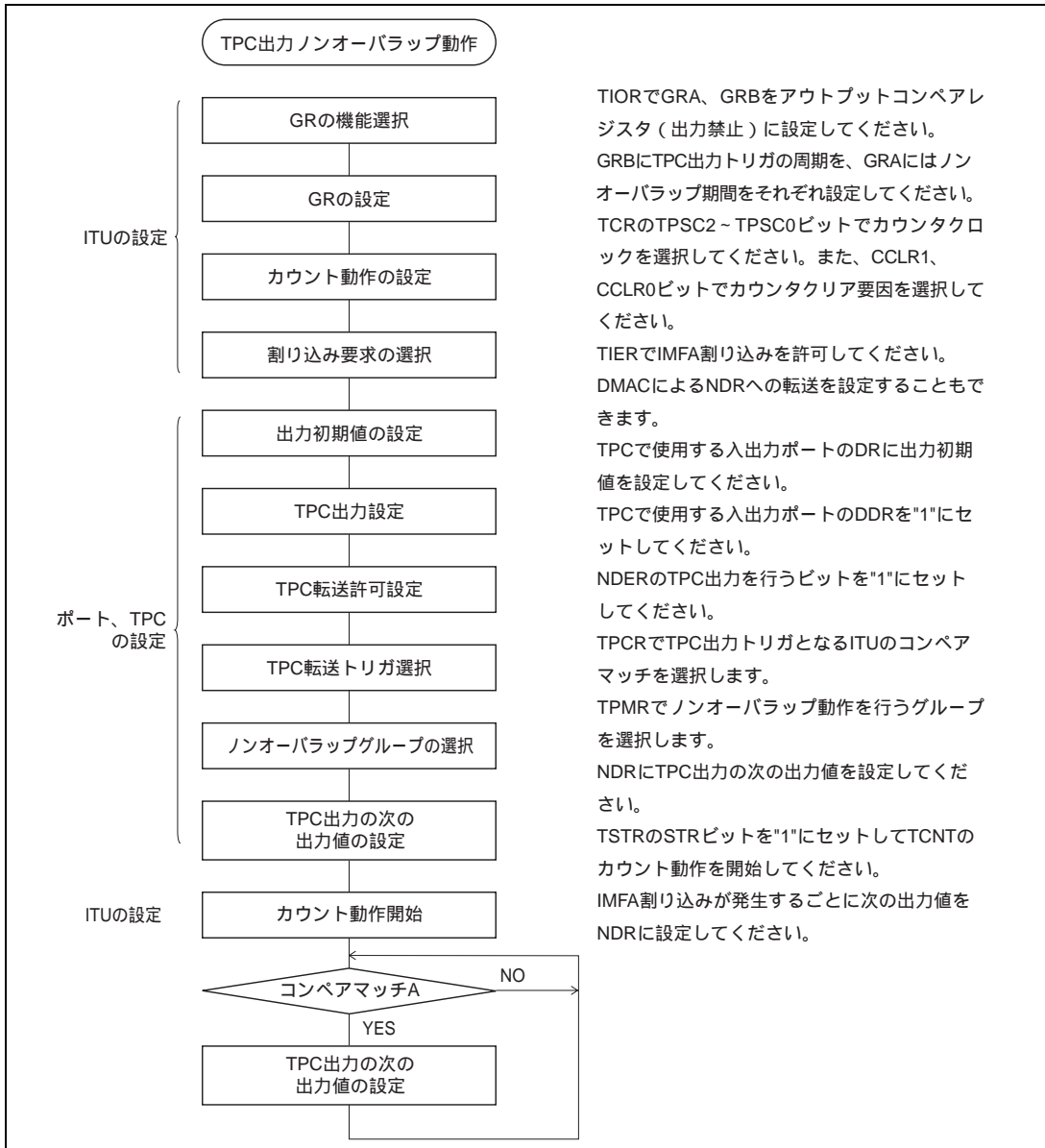


図 11.6 TPC 出力ノンオーバーラップ動作の設定手順例 (4 相の相補ノンオーバーラップ出力例)

11. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

TPC出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図11.7に示します。

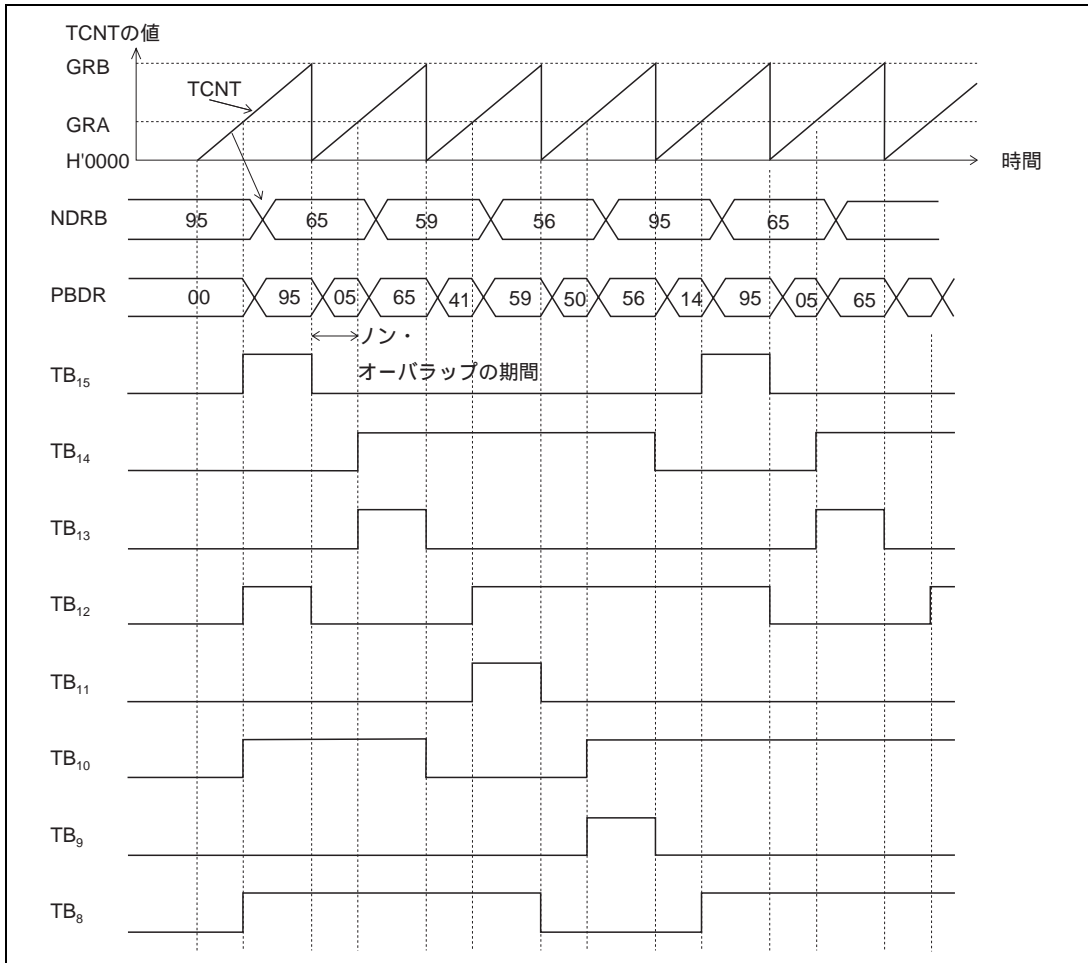


図 11.7 TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

図 11.7 に示す動作例は以下の手順で行います。

- (1) 出力トリガとするITUのGRA、GRBをアウトプットコンペアレジスタに設定します。GRBには周期、GRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのIMIEAビットを"1"にセットして、IMFA割り込みを許可します。
- (2) PBDDRとNDRBにH'FFをライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを(1)で選択したITUのコンペアマッチに設定します。TPMRのG3NOV、G2NOVビットをそれぞれ"1"にセットして、ノンオーバーラップ動作を設定します。
NDRBに出力データH'95をライトします。

- (3) ITU当該チャンネルの動作を開始すると、GRBのコンペアマッチで1出力→0出力の変化、GRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はGRAの設定値分遅延することになります）。
IMFA割り込み処理でNDRBに次回の出力データH'65をライトします。
- (4) 以後、IMFA割り込みで順次H'59、H'95...をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.3.5 インプットキャプチャによる TPC 出力

TPC 出力は、ITU のコンペアマッチだけではなく、インプットキャプチャによっても可能です。TPCRによって選択されたITUのGRAがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号により TPC 出力を行います。
このタイミングを図 11.8 に示します。

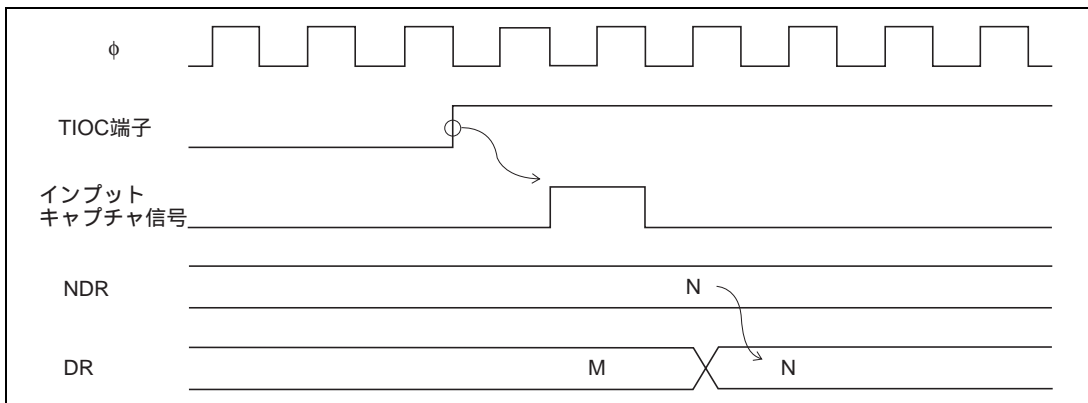


図 11.8 インプットキャプチャによる TPC 出力例

11.4 使用上の注意

11.4.1 TPC 出力端子の動作

TP₀ ~ TP₁₅ は ITU、DMAC、アドレスバスなどの端子と兼用になっています。これらの端子は、ITU、DMAC、アドレスバスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようになっています。

- (1) コンペアマッチAではNDRの内容を常にDRへ転送します。
- (2) コンペアマッチBではNDRの転送するビットの内容が"0"のときのみ転送を行います。"1"のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 11.9 に示します。

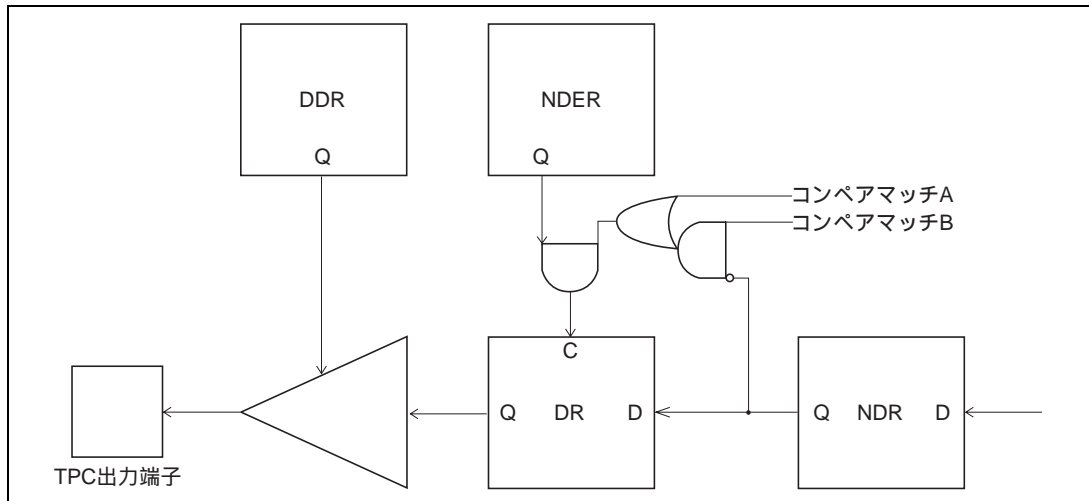


図 11.9 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、"0"データの転送を"1"データの転送に先だて行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは IMFA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、IMFA 割り込みで DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.10 に示します。

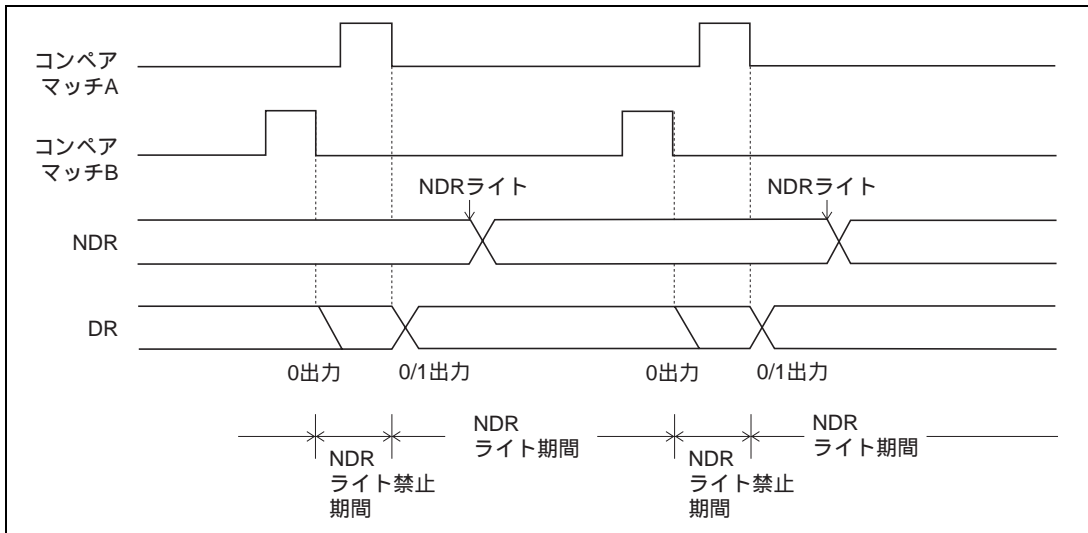


図 11.10 ノンオーバーラップ動作と NDR ライトタイミング

11. プログラマブルタイミングパターンコントローラ (TPC)

12. ウォッチドッグタイマ

12.1 概要

H8/3042 グループは、ウォッチドッグタイマ (WDT) を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ (TCNT) の値が書き換えられずオーバーフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバーフローするごとにインターバルタイマ割り込みを発生することができます。

12.1.1 特長

WDT の特長を以下に示します。

8 種類のカウンタ入力クロックを選択可能

φ/2、φ/32、φ/64、φ/128、φ/256、φ/512、φ/2048、φ/4096

インターバルタイマとして使用可能

TCNT がオーバーフローするとリセット信号または割り込みを発生

ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割り込みを発生します。

ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット、同時にリセット信号を外部に出力可能

ウォッチドッグタイマ時に TCNT のオーバーフローによってリセット信号を発生すると、本 LSI 全体は内部リセットされます。同時に、 $\overline{\text{RESO}}$ 端子からリセット信号を外部に出力し、システム全体をリセットすることができます。

12. ウォッチドッグタイマ

12.1.2 ブロック図

図 12.1 に WDT のブロック図を示します。

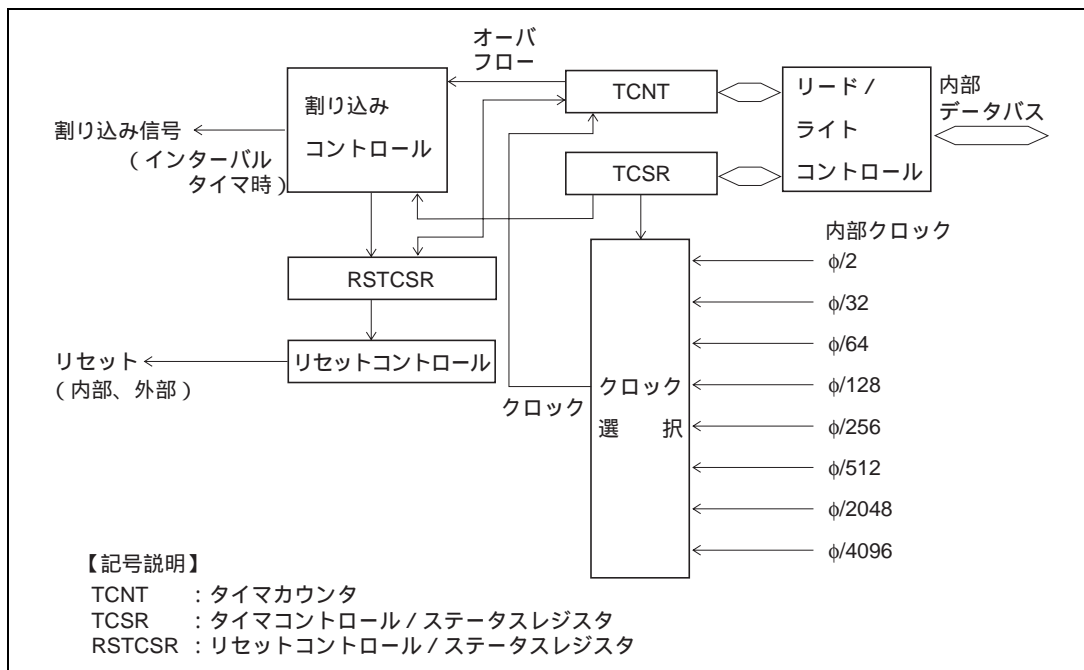


図 12.1 WDT のブロック図

12.1.3 端子構成

WDT で使用する出力端子を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
リセット出力	$\overline{RES0}$	出力	ウォッチドッグタイマのリセット信号の外部出力

12.1.4 レジスタ構成

表 12.2 に WDT のレジスタ構成を示します。

表 12.2 レジスタ構成

アドレス* ¹		名称	略称	R/W	初期値
ライト時* ²	リード時				
H'FFA8	H'FFA8	タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ³	H'18
	H'FFA9	タイマカウンタ	TCNT	R/W	H'00
H'FFAA	H'FFAB	リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)* ³	H'3F

- 【注】 *¹ アドレスの下位 16 ビットを示しています。
 *² このアドレスから始まるワードデータとしてライトしてください。
 *³ ビット 7 は、フラグをクリアするための"0"ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)

TCNT は、8 ビットのリード/ライト* 可能なアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

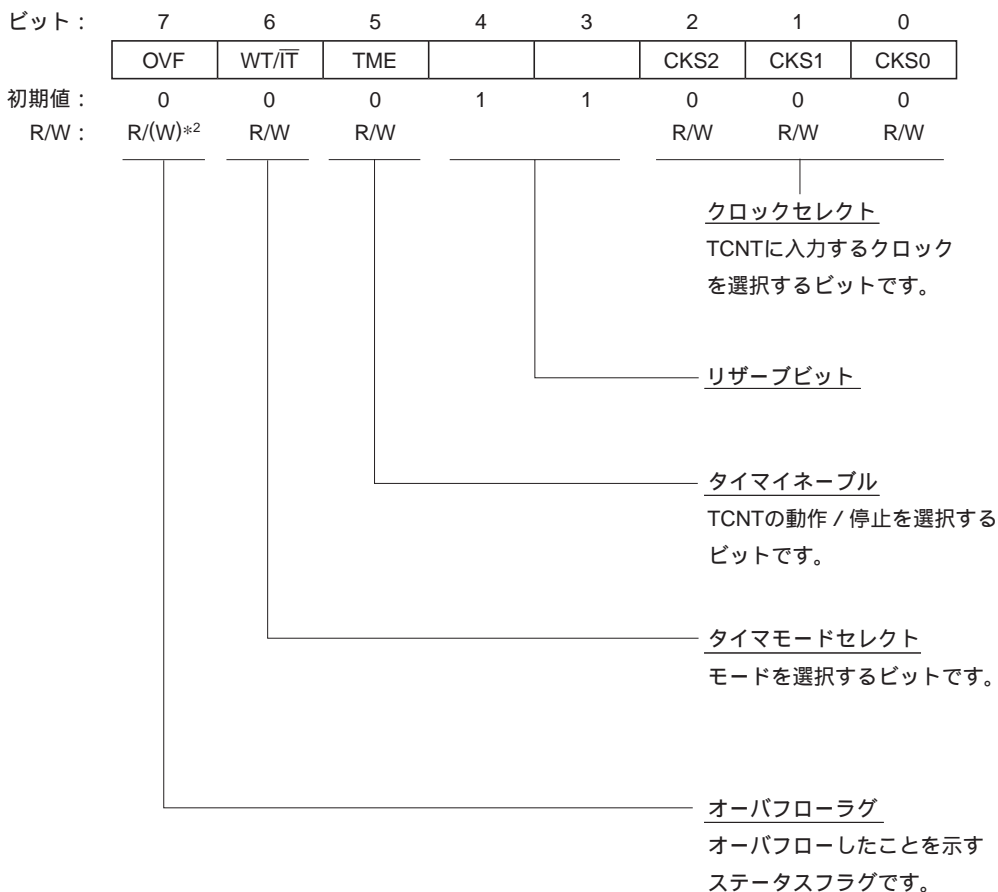
TCSR の TME ビットを"1"にセットすると、TCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー (H'FF → H'00) すると、TCSR の OVF フラグが"1"にセットされます。

また、TCNT はリセット、または TME = "0"のとき H'00 に初期化されます。

- 【注】 * TCNT は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、8 ビットのリード/ライト*¹可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。



ビット 7~5 はリセット、またはスタンバイモード時に各ビットとも"0"に初期化されます。ビット 2~0 は、リセット時に各ビットとも"0"に初期化されます。なお、ビット 2~0 はソフトウェアスタンバイモード時には、初期化されずにソフトウェアスタンバイモードに遷移する直前の値を保持します。

【注】*1 TCSR は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

*2 フラグをクリアするための"0"ライトのみ可能です。

ビット7：オーバフローフラグ (OVF)

TCNTがオーバフロー (H'FF → H'00) したことを示すステータスフラグです。

ビット7	説明
OVF	
0	〔クリア条件〕 OVF="1"の状態、OVFフラグをリード後、OVFフラグに"0"をライトしたとき (初期値)
1	〔セット条件〕 TCNTがH'FF → H'00に変化したとき

ビット6：タイマモードセレクト (WT/IT)

WDTをウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時はTCNTのオーバフローでインターバルタイマ割り込み要求を発生します。また、ウォッチドッグタイマ時はTCNTのオーバフローでリセット信号を発生します。

ビット6	説明
WT/IT	
0	インターバルタイマを選択：インターバルタイマ割り込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット5：タイマイネーブル (TME)

TCNTの動作/停止を選択します。

ビット5	説明
TME	
0	TCNTをH'00に初期化し、カウント動作は停止 (初期値)
1	TCNTはカウント動作

ビット4、3：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

12. ウォッチドッグタイマ

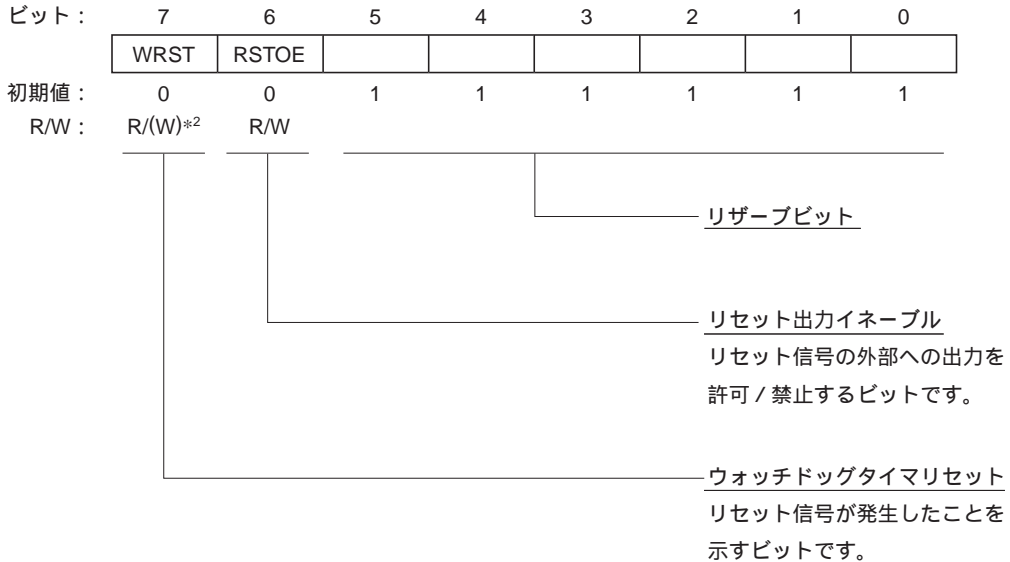
ビット2~0: クロックセレクト2~0 (CKS2~0)

システムクロック (ϕ) を分周して得られる8種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	$\phi/2$ (初期値)
0	0	1	$\phi/32$
0	1	0	$\phi/64$
0	1	1	$\phi/128$
1	0	0	$\phi/256$
1	0	1	$\phi/512$
1	1	0	$\phi/2048$
1	1	1	$\phi/4096$

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は 8 ビットのリード/ライト*¹可能なレジスタで、ウォッチドッグタイマのオーバーフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。



ビット 7、6 は、 $\overline{\text{RES}}$ 端子によるリセット信号で初期化されます。ウォッチドッグタイマのオーバーフローによるリセット信号では初期化されません。

【注】*1 RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

*2 ビット 7 は、フラグをクリアするための"0"ライトのみ可能です。

12. ウォッチドッグタイマ

ビット7：ウォッチドッグタイマリセット（WRST）

ウォッチドッグタイマ時に TCNT がオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。同時に、RSTOE ビットが"1"にセットされていると、このリセット信号を $\overline{\text{RESO}}$ 端子から"Low"レベルを外部に出力し、システム全体の初期化を行うことができます。

ビット7	説明
WRST	
0	〔クリア条件〕 RES 端子によるリセット信号または"0"をライトしたとき (初期値)
1	〔セット条件〕 ウォッチドッグタイマ時に、TCNT がオーバーフローし、リセット信号が発生したとき

ビット6：リセット出力イネーブル（RSTOE）

ウォッチドッグタイマ時に TCNT がオーバーフローして発生したリセット信号の $\overline{\text{RESO}}$ 端子からの出力の許可/禁止を選択します。

ビット6	説明
RSTOE	
0	リセット信号の外部出力を禁止 (初期値)
1	リセット信号の外部出力を許可

ビット5～0：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

12.2.4 レジスタ書き換え時の注意

WDTのTCNT、TCSR、RSTCSRは、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

(1) TCNT、TCSR へのライト

TCNT、TCSRへライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図12.2にTCNT、TCSRへのライトデータを示します。

ライト時のアドレスは、TCNT、TCSRとも同一アドレスになっています。そのため、TCNT、TCSRへライトするときは、下位バイトをライトデータに、上位バイトをH'5A(TCNTのとき)またはH'A5(TCSRのとき)にしてワード転送を行います。

これにより、下位バイトのデータがTCNT、またはTCSRへライトされます。

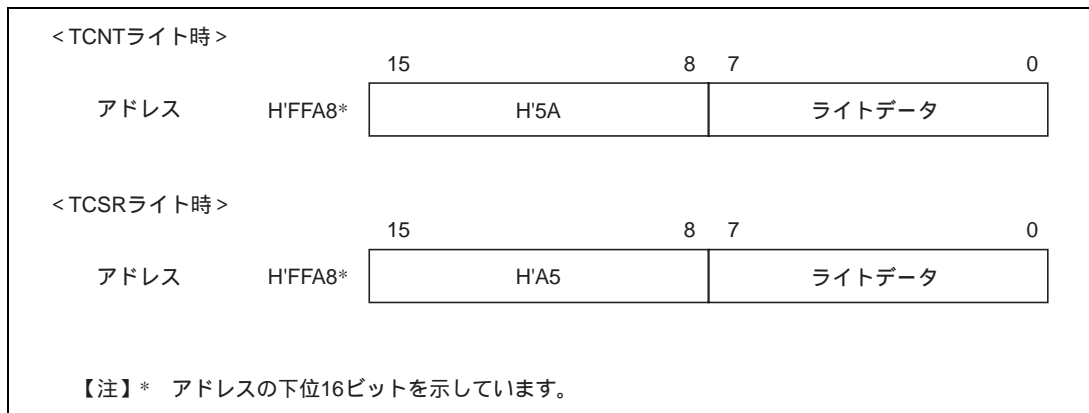


図 12.2 TCNT、TCSR へのライトデータ

(2) RSTCSR へのライト

RSTCSR ヘライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図 12.3 に RSTCSR のライトデータを示します。

WRST ビットへ"0"をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ(H'00)が RSTCSR の WRST ビットヘライトされ、WRST ビットが"0"にクリアされます。

RSTOE ビットヘライトする場合、上位バイトを H'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータが RSTOE ビットヘライトされます。

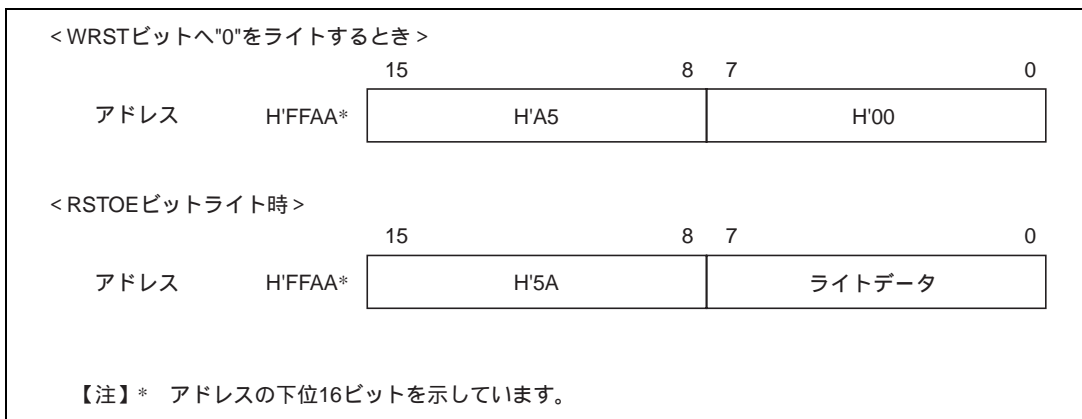


図 12.3 RSTCSR へのライトデータ

(3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFA8 に TCSR、H'FFA9 に TCNT、H'FFAB に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表 12.3 に TCNT、TCSR、RSTCSR のリードを示します。

表 12.3 TCNT、TCSR、RSTCSR のリード

アドレス*	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT
H'FFAB	RSTCSR

【注】* アドレスの下位 16 ビットを示しています。

12.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

12.3.1 ウォッチドッグタイマ時の動作

図 12.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の WT/IT ビット、TME ビットをそれぞれ"1"にセットします。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセット信号は、 $\overline{\text{RES0}}$ 端子から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132 ステート期間出力されます。外部への出力の許可/禁止は、RSTCSR の RSTOE ビットによって選択します。

WDT によるリセットと $\overline{\text{RES}}$ 端子によるリセットは、同一ベクタです。そのため、 $\overline{\text{RES}}$ 端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、 $\overline{\text{RES}}$ 端子によるリセットと WDT のオーバーフローによるリセットが同時に発生した場合は、 $\overline{\text{RES}}$ 端子によるリセットが優先されます。

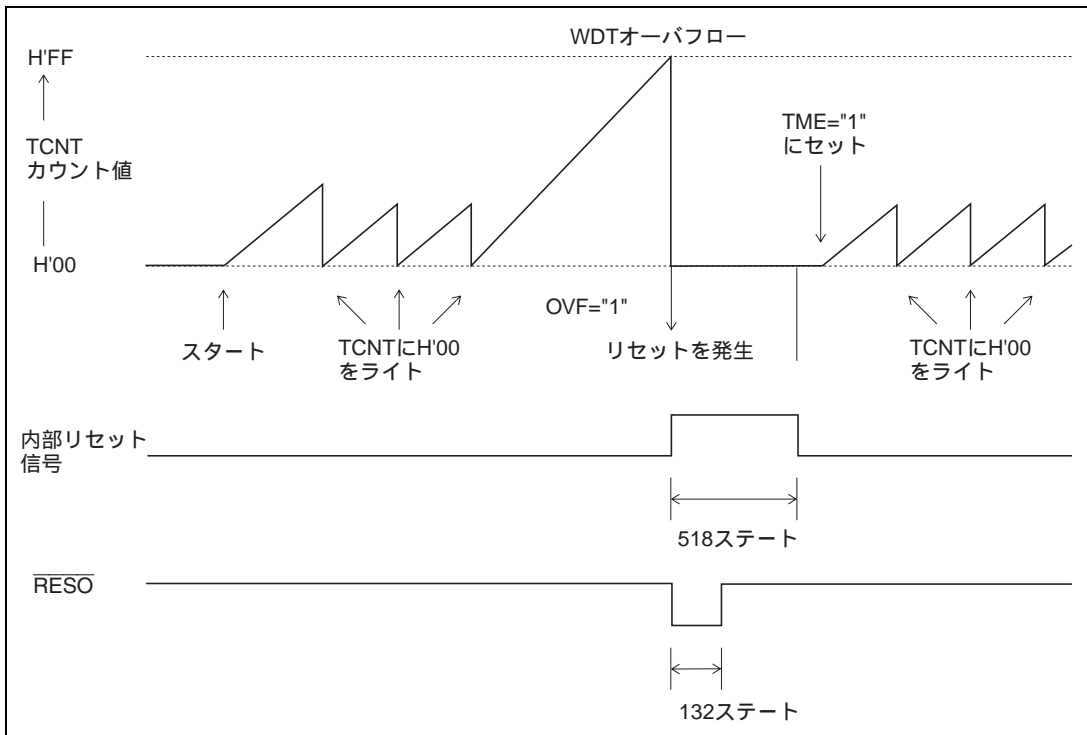


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマ時の動作

図 12.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT/IT ビットを "0" にクリアし、TME ビットを "1" にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとに、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

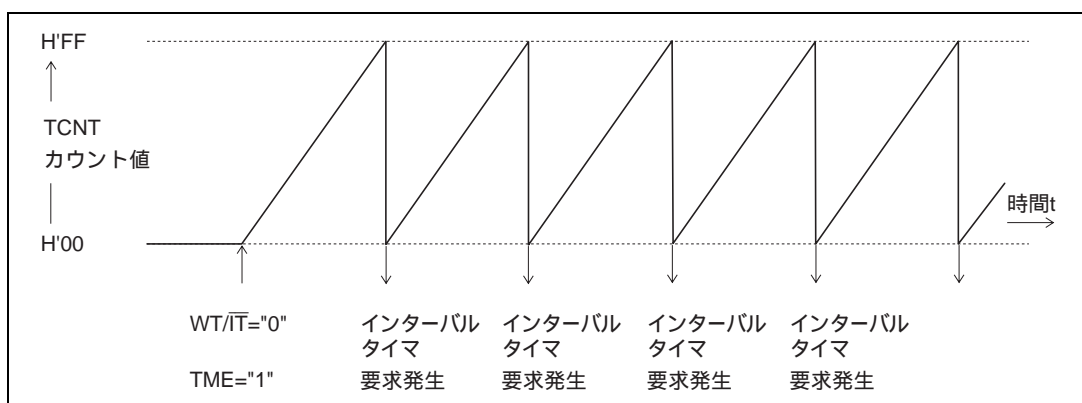


図 12.5 インターバルタイマ時の動作

12.3.3 オーバフローフラグ (OVF) セットタイミング

図 12.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバーフローすると "1" にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

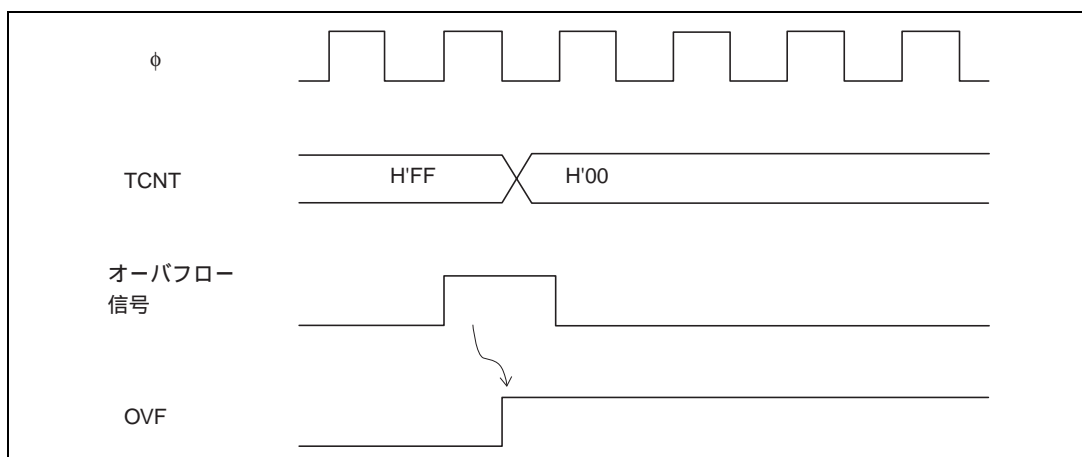


図 12.6 OVF フラグのセットタイミング

12.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSR の WRST ビットは、TCSR の WT/IT ビット、TME ビットをそれぞれ"1"にセットしたとき有効になります。

図 12.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバーフローして、OVF フラグが"1"にセットされたとき、WRST ビットは"1"にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは"0"にクリアされますが、WRST ビットは"1"にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

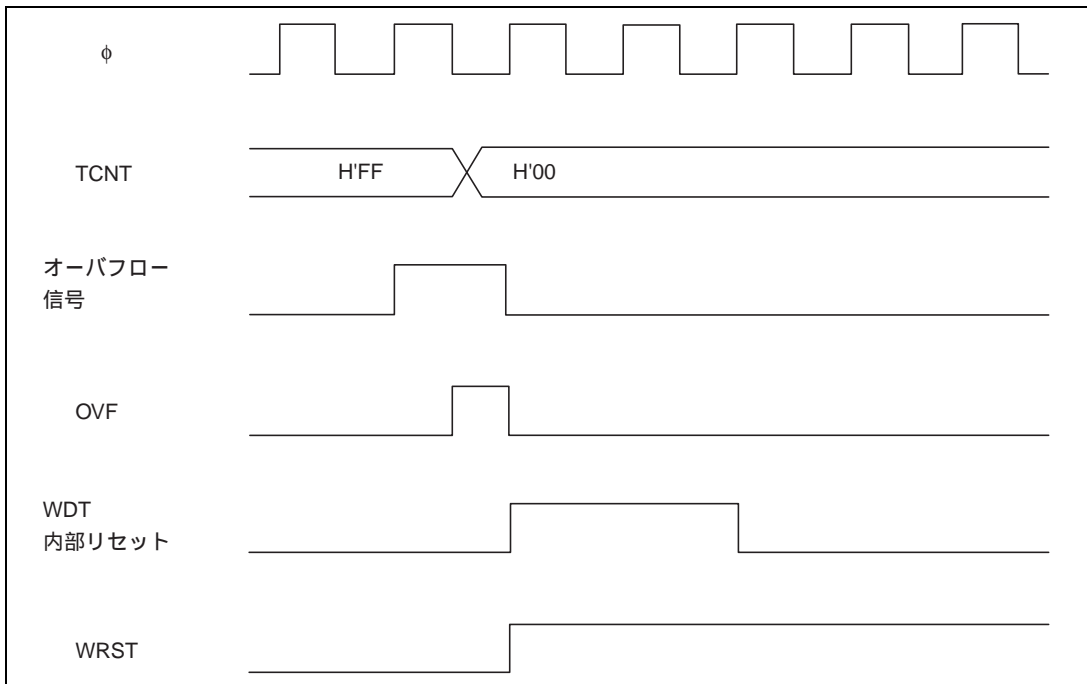


図 12.7 WRST ビットのセットおよび内部リセットタイミング

12.4 割り込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割り込み(WOVI)が発生します。インターバルタイマ割り込みは TCSR の OVF フラグが"1"にセットされると常に要求されます。

12.5 使用上の注意

(1) TCNT のライトとカウントアップの競合

図 12.8 に TCNT のライトとカウントアップの競合を示します。

TCNT のライトサイクル中の T3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

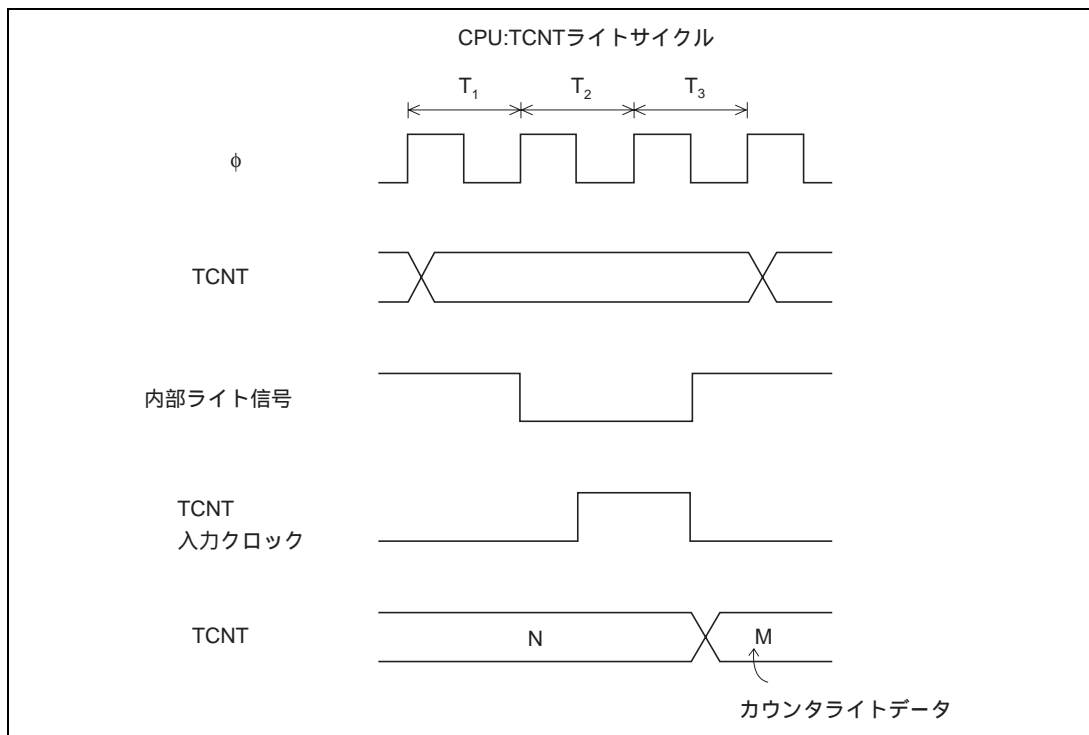


図 12.8 TCNT のライトとカウントアップの競合

(2) CKS2 ~ CKS0 ビットの切り替え

CKS2 ~ CKS0 ビットを切り替えるときは、TCSR の TME ビットを"0"にクリアし、TCNT を停止させてから行ってください。

13. シリアルコミュニケーションインタフェース

13.1 概要

H8/3042 グループは、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。2 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

13.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

- データ長 : 7 ビット / 8 ビット
- ストップビット長 : 1 ビット / 2 ビット
- パリティ : 偶数パリティ / 奇数パリティ / パリティなし
- マルチプロセッサビット : "1" / "0"
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。

(b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

13. シリアルコミュニケーションインタフェース

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みにより DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

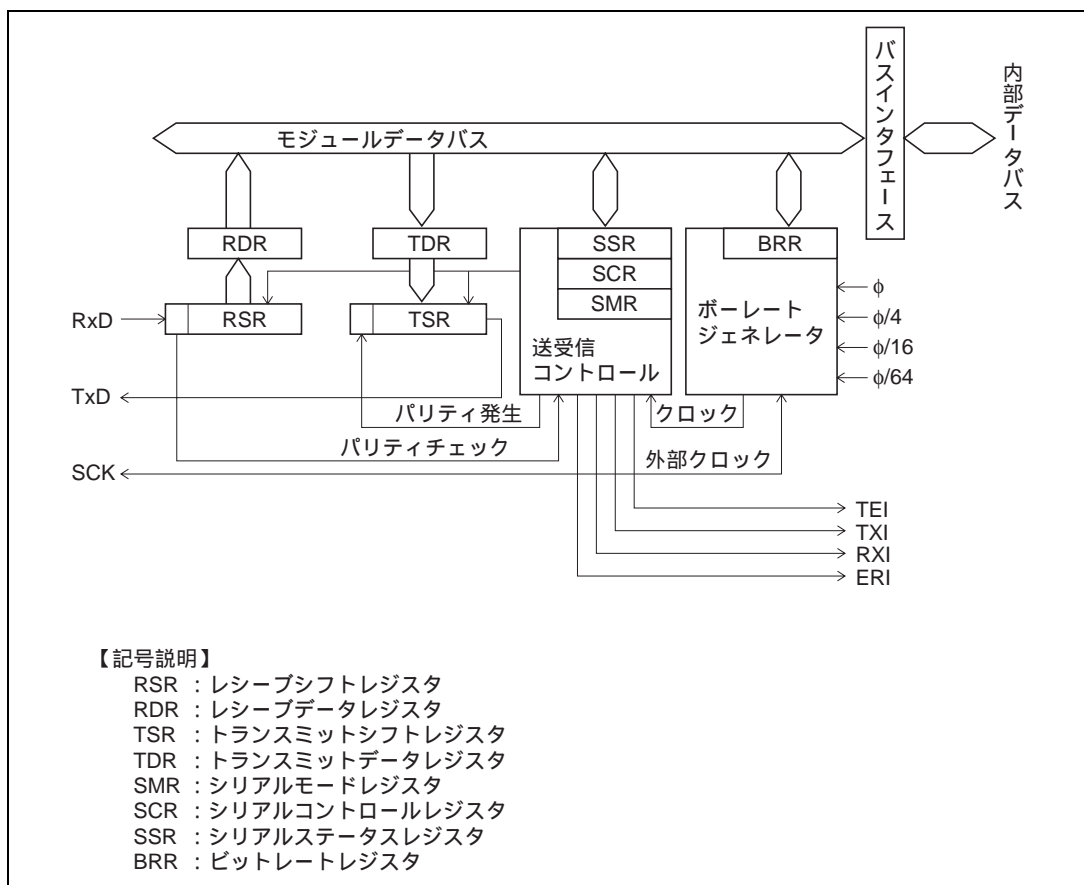


図 13.1 SCI のブロック図

13. シリアルコミュニケーションインタフェース

13.1.3 端子構成

SCIは、チャンネルごとに表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK ₀	入出力	SCI ₀ のクロック入出力
	レシーブデータ端子	RxD ₀	入力	SCI ₀ の受信データ入力
	トランスミットデータ端子	TxD ₀	出力	SCI ₀ の送信データ出力
1	シリアルクロック端子	SCK ₁	入出力	SCI ₁ のクロック入出力
	レシーブデータ端子	RxD ₁	入力	SCI ₁ の受信データ入力
	トランスミットデータ端子	TxD ₁	出力	SCI ₁ の送信データ出力

13.1.4 レジスタ構成

SCIには、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 13.2 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
0	H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFB5	レシーブデータレジスタ	RDR	R	H'00
1	H'FFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBC	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFBD	レシーブデータレジスタ	RDR	R	H'00

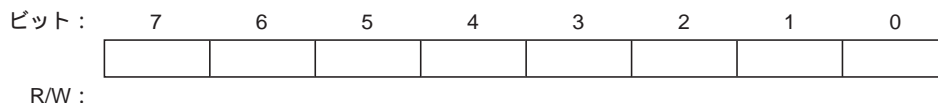
【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための"0"ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

RSR は、シリアルデータを受信するためのレジスタです。

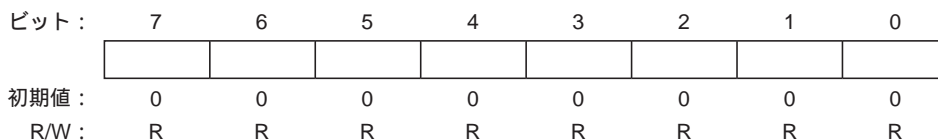


SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

RDR は、受信したシリアルデータを格納するレジスタです。



SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

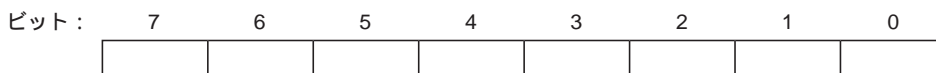
このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

13.2.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのレジスタです。



R/W :

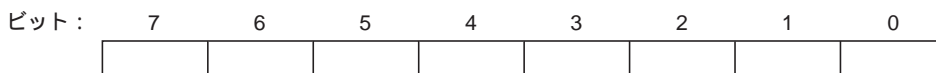
SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが"1"にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。



初期値： 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

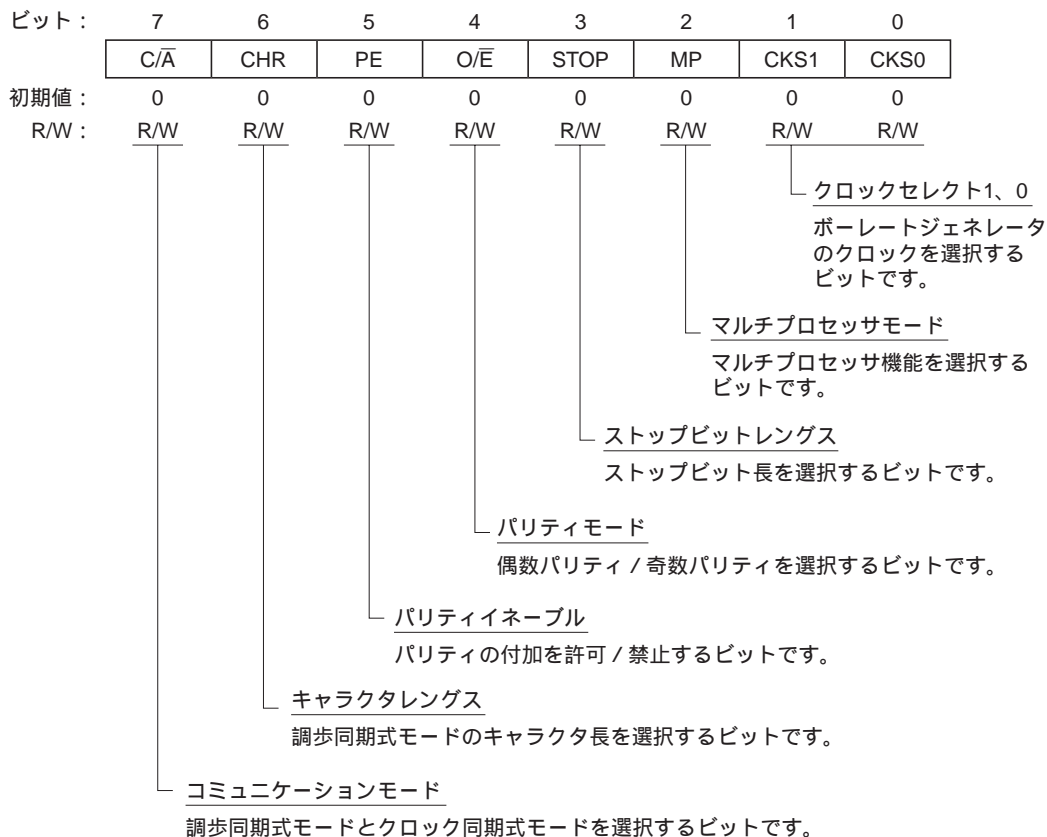
SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

13.2.5 シリアルモードレジスタ (SMR)

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。



SMR は、常に CPU によるリード / ライトが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード / クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

13. シリアルコミュニケーションインタフェース

ビット6：キャラクタレングス（CHR）

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。

ビット5：パリティイネーブル（PE）

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PEビットに"1"をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ/奇数パリティのいずれで行うかを選択します。O/Eビットの設定は、調歩同期式モードでPEビットに"1"を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の"1"の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の"1"の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の"1"の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の"1"の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明	
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が"1"の場合は、ストップビットとして扱いますが、"0"の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および0/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみに有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明	
MP		
0	マルチプロセッサ機能の禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット1、0：クロックセレクト1、0（CKS1、0）

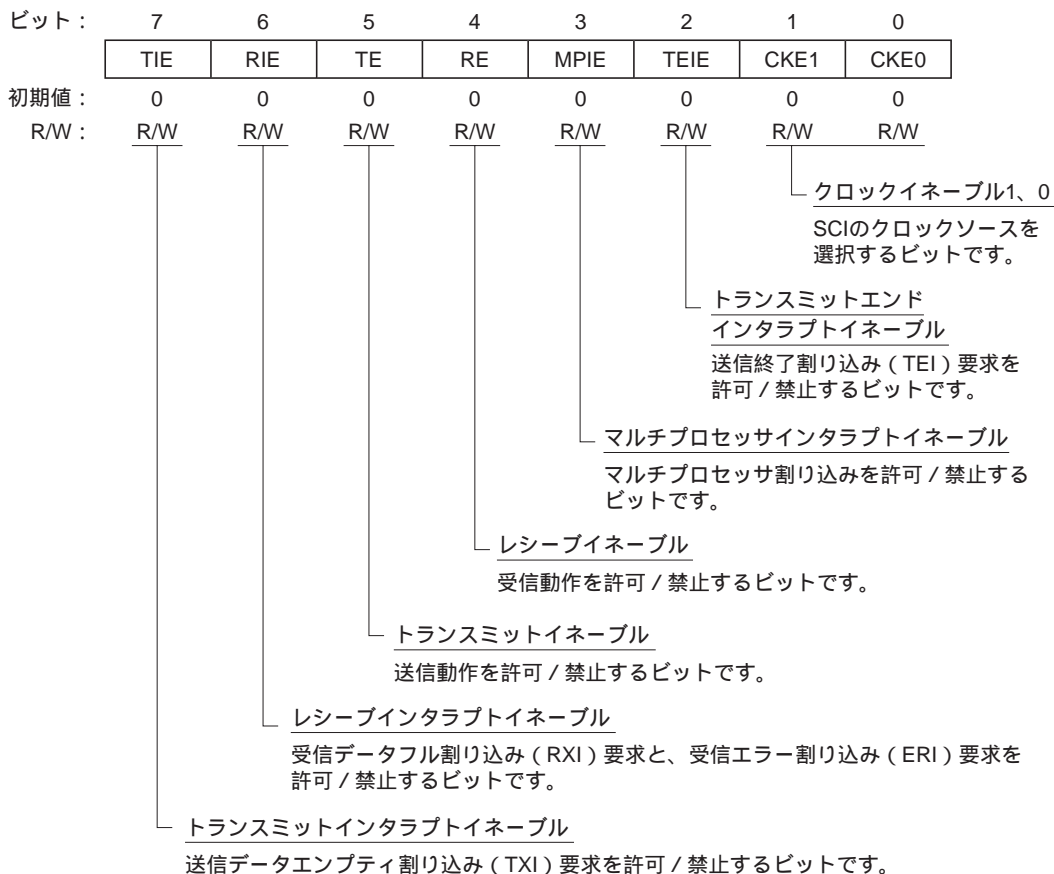
内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、0ビットの設定により ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「13.2.8 ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	ϕ クロック	(初期値)
0	1	$\phi/4$ クロック	
1	0	$\phi/16$ クロック	
1	1	$\phi/64$ クロック	

13.2.6 シリアルコントロールレジスタ (SCR)

SCRは、SCIの送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。



SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TDR から TSR へシリアル送信データが転送され SSR の TDRE フラグが"1"にセットされたときに、送信データエンpty 割り込み（TXI）要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンpty 割り込み（TXI）要求の禁止* (初期値)
1	送信データエンpty 割り込み（TXI）要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから"1"をリードした後、"0"にクリアするか、または TIE ビットを"0"にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが"1"にセットされたとき、受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を禁止* (初期値)
1	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから"1"をリードした後、"0"にクリアするか、RIE ビットを"0"にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *¹ SSR の TDRE フラグは"1"に固定されます。

*² この状態で、TDR に送信データをライトして、SSR の TDRE フラグを"0"にクリアするとシリアル送信を開始します。

なお、TE ビットを"1"にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

13. シリアルコミュニケーションインタフェース

ビット4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを"0"にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを"1"にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが"1"に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが"0"のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の実受信動作をします） (初期値) 〔クリア条件〕 (1) MPIE ビットを"0"にクリア (2) MPB = "1"のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが"1"のデータを受け取るまで受信割り込み（RXI）要求、受信エラー割り込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = "1"を含む受信データを受信すると、SSR の MPB ビットを"1"にセットし、MPIE ビットを自動的に"0"にクリアし、RXI、ERI 割り込み要求の発生（SCR の TIE、RIE ビットが"1"にセットされている場合）と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから "1" をリードした後、"0" にクリアして TEND フラグを "0" にクリアするか、TEIE ビットを "0" にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0 (CKE1、0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = "0") 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = "1") の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定したのち、CKE1、CKE0 ビットの設定を行ってください。

SCI のクロックソースの選択についての詳細は表 13.9 を参照してください。

ビット1	ビット0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* ¹
0	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	内部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	内部クロック / SCK 端子は同期クロック入力
1	1	調歩同期式モード	内部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	内部クロック / SCK 端子は同期クロック入力

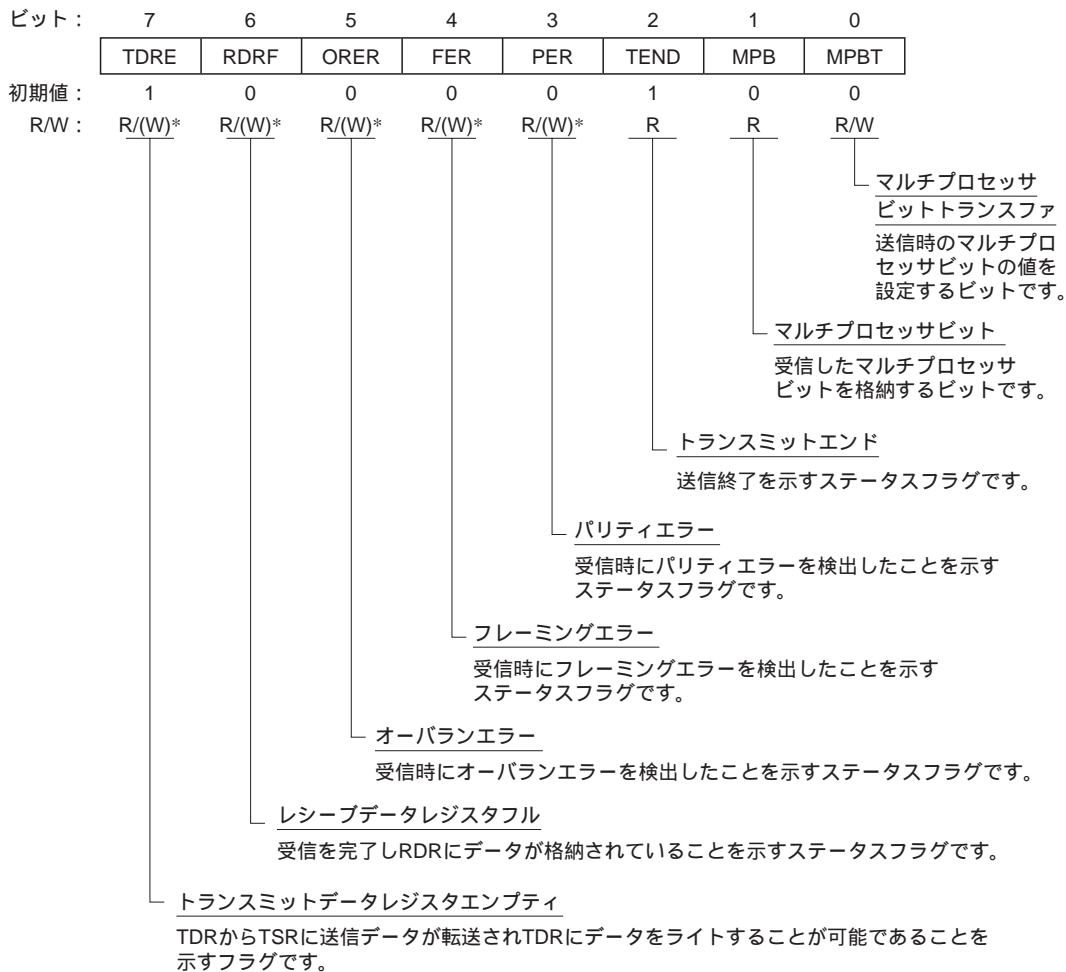
【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。



【注】 * フラグをクリアするための"0"ライトのみ可能です。

SSR は常に CPU からリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ"1"をライトすることはできません。また、これらを"0"にクリアするためには、あらかじめ"1"をリードしておく必要があります。また、TEND フラグ、および MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、またはスタンバイモード時に H'84 に初期化されます。

ビット 7：トランスミットデータレジスタエンpty (TDRE)

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データがライトされていることを表示 〔クリア条件〕 (1) TDRE = "1"の状態をリードした後、"0"をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	TDR に有効な送信データがないことを表示 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが"0"のとき (3) TDR から TSR にデータ転送が行われ TDR にデータライトが可能になったとき

ビット 6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット 6	説明
RDRF	
0	RDR に受信データが格納されていないことを表示 (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) RDRF = "1"の状態をリードした後、"0"をライトしたとき (3) DMAC で RDR ヘデータをライトしたとき
1	RDR に受信データが格納されていることを表示 〔セット条件〕 シリアル受信が正常終了し、RSR から RDR ヘ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを"0"にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが"1"にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

13. シリアルコミュニケーションインタフェース

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* ¹ （初期値） 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) ORER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にオーバランエラーが発生したことを表示* ² 〔セット条件〕 RDRF = "1"の状態での次のシリアル受信を完了したとき

【注】 *¹ SCRのREビットを"0"にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。

*² RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = "1"にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー（FER）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ （初期値） 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) FER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 〔セット条件〕 SCIが受信終了時に受信データの最後尾のストップビットが"1"であるかどうかをチェックし、ストップビットが"0"であったとき* ²

【注】 *¹ SCRのREビットを"0"にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*² 2ストップビットモードのときは、1ビット目のストップビットが"1"であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが"1"にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式では、シリアル送信も続けることができません。

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ （初期値） 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) PER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にパリティエラーが発生したことを表示* ² 〔セット条件〕 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *¹ SCRのREビットを"0"にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが"1"にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 〔クリア条件〕 (1) TDRE = "1"の状態をリードした後、TDREフラグに"0"をライトしたとき (2) DMACでTDRヘデータをライトしたとき
1	送信を終了したことを表示（初期値） 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが"0"のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = "1"であったとき

13. シリアルコミュニケーションインタフェース

ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが"0"のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが"1"のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで RE ビットを"0"にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信できないときには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが"0"のデータを送信 (初期値)
1	マルチプロセッサビットが"1"のデータを送信

13.2.8 ビットレートレジスタ (BRR)

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

13. シリアルコミュニケーションインタフェース

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

ビットレート (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00	0	1	22.07

ビットレート (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	0	3	- 7.84	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

13. シリアルコミュニケーションインタフェース

ビットレート (bit/s)	φ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ビットレート (bit/s)	φ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

13. シリアルコミュニケーションインタフェース

ビットレート (bit/s)	ϕ (MHz)								
	14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03
150	2	181	0.16	2	191	0.00	2	207	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	45	- 0.93	0	47	0.00	0	51	0.16
19200	0	22	- 0.93	0	23	0.00	0	25	0.16
31250	0	13	0.00	0	14	- 1.70	0	15	0.00
38400	0	10	3.57	0	11	0.00	0	12	0.16

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	φ (MHz)									
	2		4		8		10		16	
	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	249
500	1	249	2	124	2	249	-	-	3	124
1k	1	124	1	249	2	124	-	-	2	249
2.5k	0	199	1	99	1	199	1	249	2	99
5k	0	99	0	199	1	99	1	124	1	199
10k	0	49	0	99	0	199	0	249	1	99
25k	0	19	0	39	0	79	0	99	0	159
50k	0	9	0	19	0	39	0	49	0	79
100k	0	4	0	9	0	19	0	24	0	39
250k	0	1	0	3	0	7	0	9	0	15
500k	0	0*	0	1	0	3	0	4	0	7
1M			0	0*	0	1	-	-	0	3
2M					0	0*	-	-	0	1
2.5M							0	0*	-	-
4M									0	0*

【記号説明】

空欄：設定できません。

-：設定可能ですが誤差がでます。

*：連続送信 / 受信はできません。

【注】誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ：動作周波数 (MHz)

13. シリアルコミュニケーションインタフェース

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
 (n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 13.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6、表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 各周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0

表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよび SCR の CKE1、CKE0 ビットの組み合わせでできまります。これを表 13.9 に示します。

(1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合：ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット		
				1					2ビット		
			1	0					1ビット		
				1					2ビット		
			1	0					1ビット		
				1					2ビット		
	1	0	1	-		0	調歩同期式 モード (マルチ プロセッサ フォーマット)	8ビット データ	あり	なし	1ビット
				-		1					2ビット
				-		0					1ビット
		1	-	0		7ビット データ		2ビット			
			-	1		1ビット					
			-	1		2ビット					
1	-	-	-	-	クロック 同期式 モード	8ビット データ	なし	なし			

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
	ビット7	ビット1		クロック ソース	SCK 端子の機能
	C/ \bar{A}	CKE1			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを出力
		1			
1	0	0	クロック 同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 ("High" レベル) に保たれています。SCI は通信回線を監視し、スペース ("Low" レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット ("Low" レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット ("High" / "Low" レベル)、最後にストップビット ("High" レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

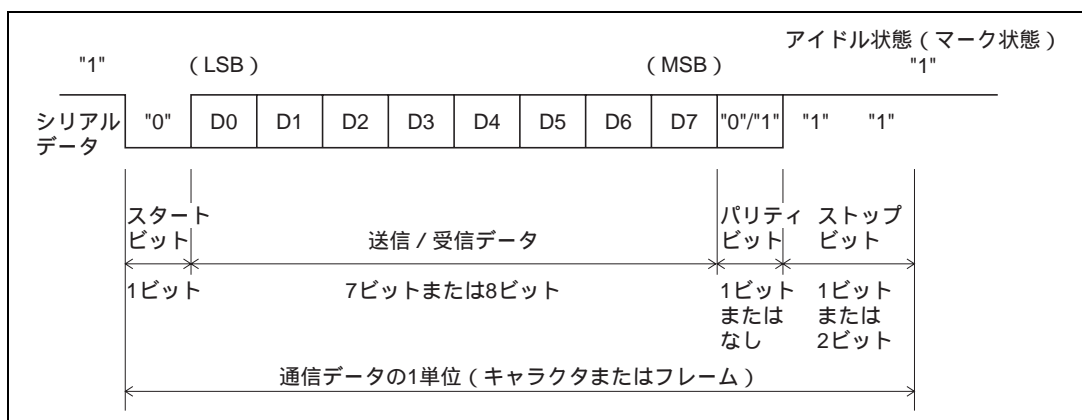


図 13.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の選定により選択できます。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0		1	0	S	8ビットデータ								MPB	STOP			
0		1	1	S	8ビットデータ								MPB	STOP	STOP		
1		1	0	S	7ビットデータ							MPB	STOP				
1		1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表13.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

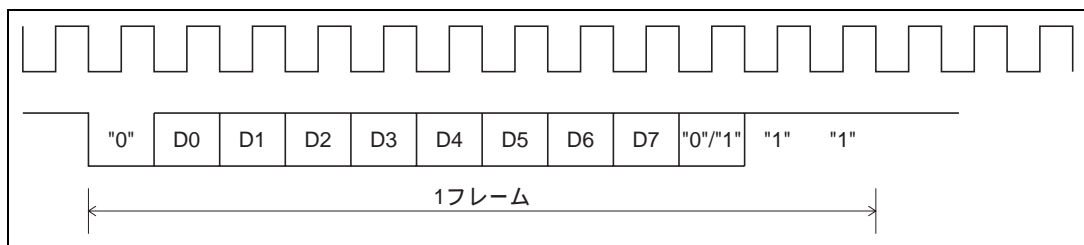


図 13.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信 / 受信動作

(a) SCIのイニシャライズ（調歩同期式）

データの送信 / 受信前には、まずSCRのTE、REビットを"0"にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを"0"にクリアしてから次の手順で変更を行ってください。TEビットを"0"にクリアするとTDREフラグ"1"にセットされ、TSRが初期化されます。REビットを"0"にクリアしても、RDRF、PER、FER、ORERの各フラグおよび、RDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図13.4にSCIの初期化フローチャートの例を示します。

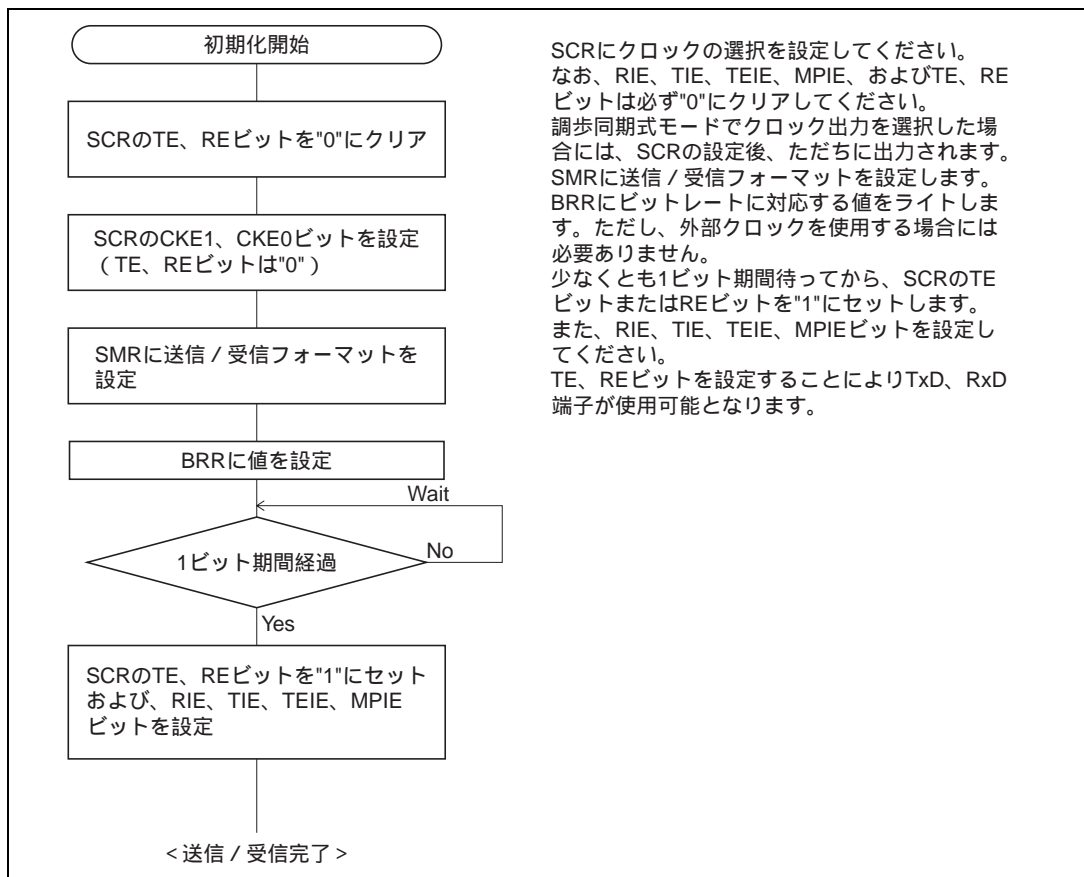


図 13.4 SCI の初期化フローチャートの例

13. シリアルコミュニケーションインタフェース

(b) シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

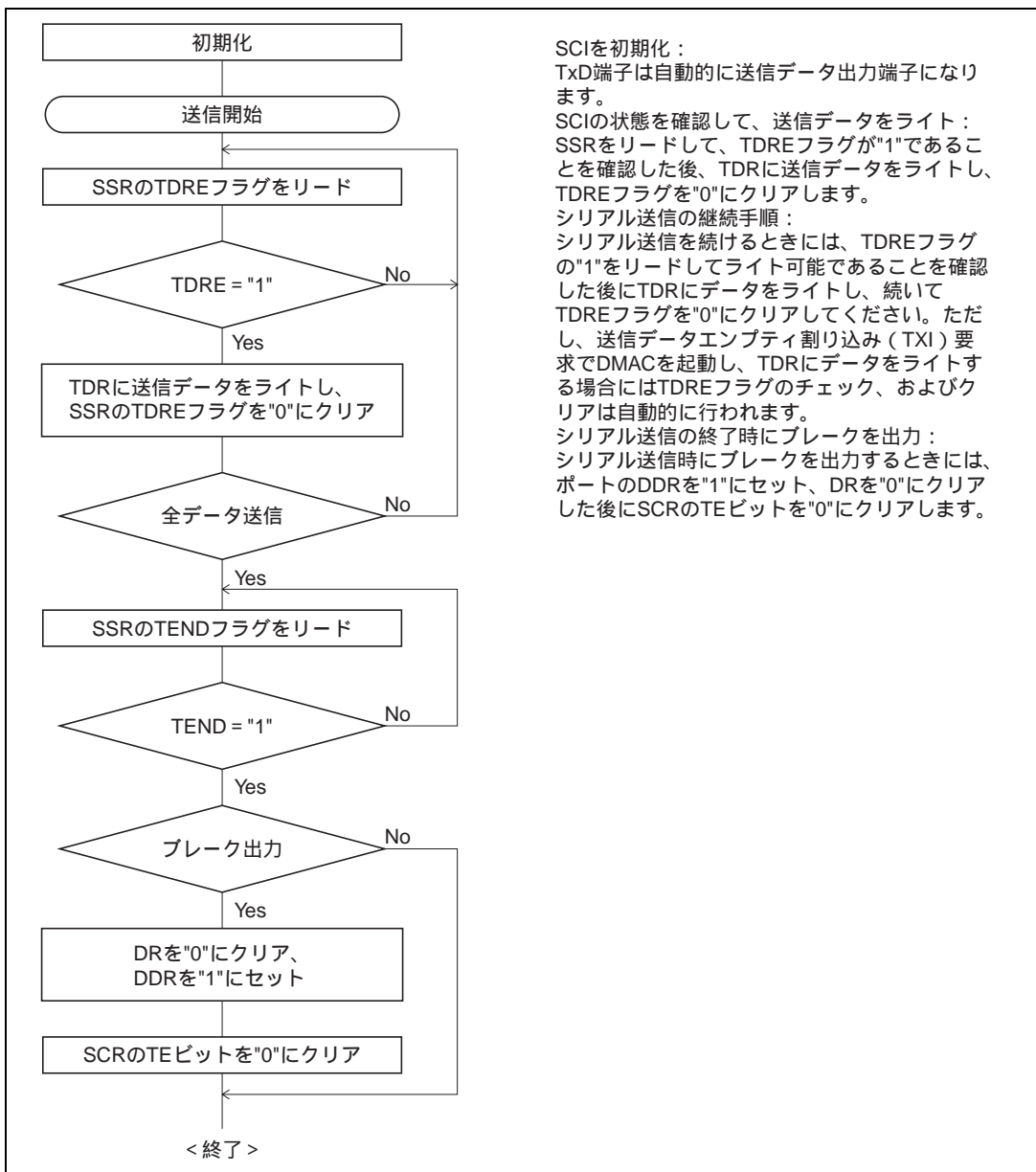


図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、"0"であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを"1"にセットし、送信を開始します。このとき、SCRのTIEビットが"1"にセットされていると送信データエンプティ割り込み(TXI)要求が発生します。シリアル送信データは、以下の順にTx/D端子から送り出されます。
 - (a) スタートビット：1ビットの"0"が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット(偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビット/2ビットの"1" (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで"1"を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。TDREフラグが"0"であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDREフラグが"1"であるとSSRのTENDフラグに"1"をセットし、ストップビットを送り出した後、"1"を出力する"マーク状態"になります。このときSCRのTEIEビットが"1"にセットされているとTEI割り込み要求が発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

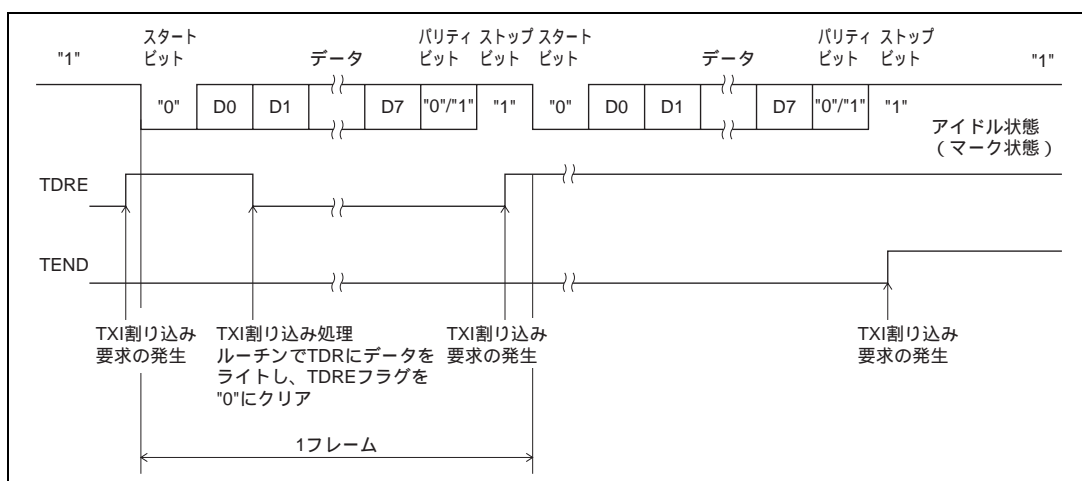


図 13.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

13. シリアルコミュニケーションインタフェース

(c) シリアルデータ受信（調歩同期式）

図 13.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

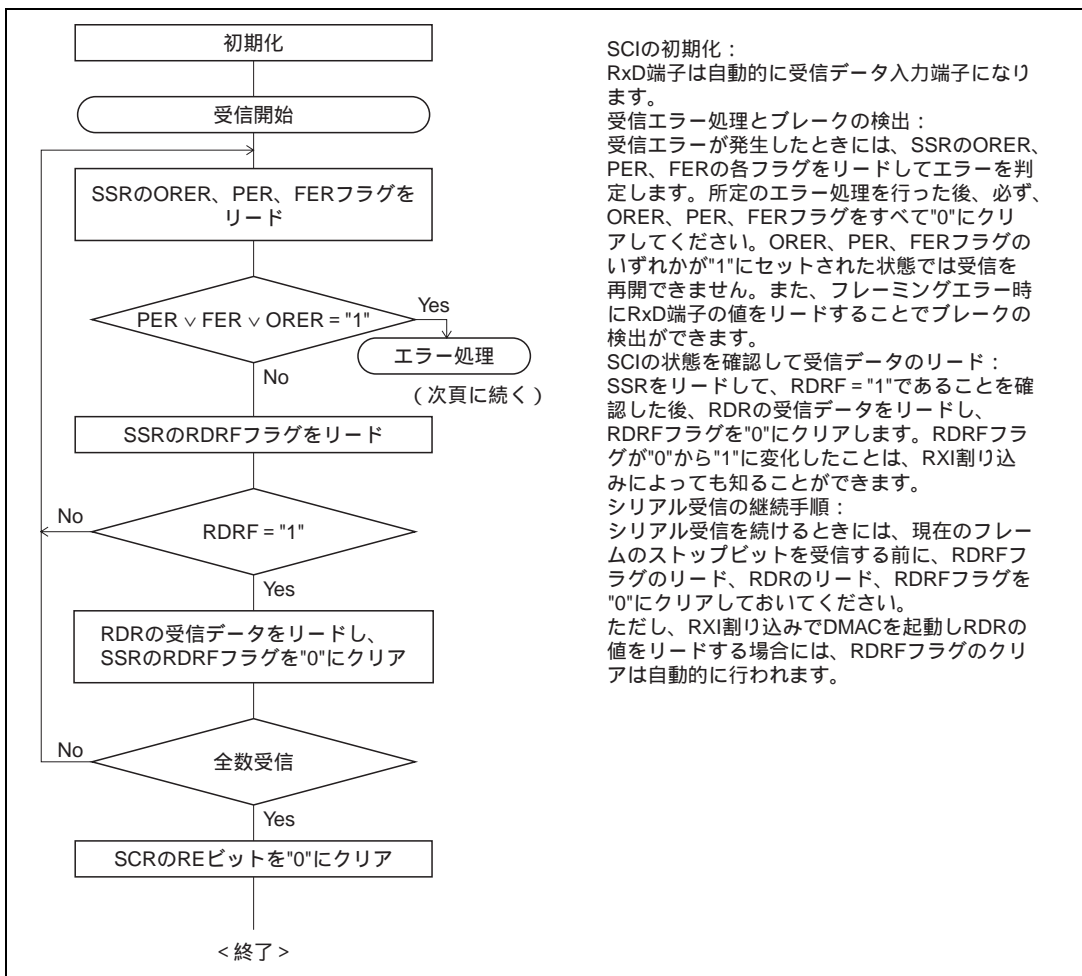


図 13.7 シリアル受信データフローチャートの例（1）

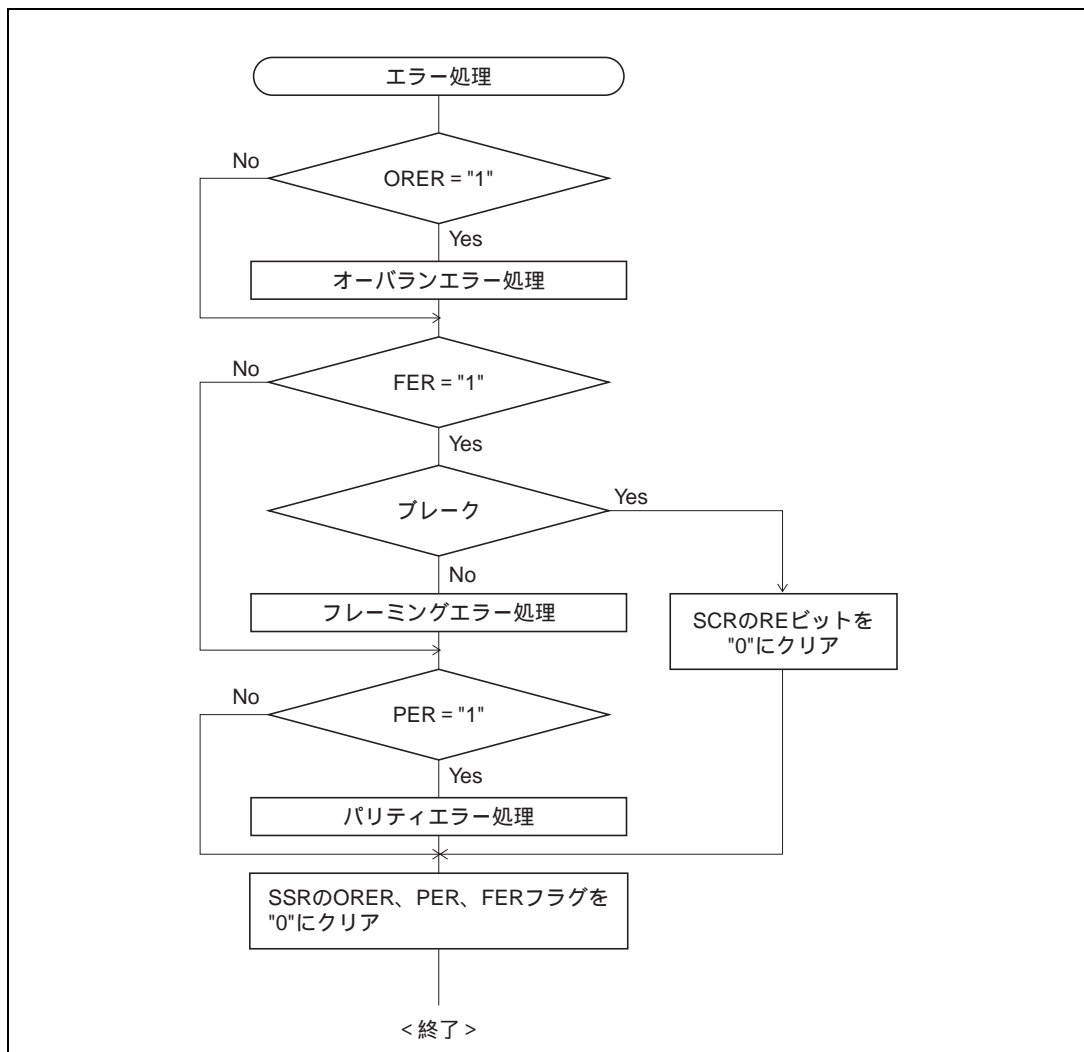


図 13.7 シリアル受信データフローチャートの例 (2)

13. シリアルコミュニケーションインタフェース

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの"0"を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの"1"の数をチェックし、これがSMRのO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが"1"であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが"0"であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが"1"にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー* を発生すると表 13.11 のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDF フラグが"1"にセットされませんので、必ずエラーフラグを"0"にクリアしてください。

- (4) RDRFフラグが"1"になったとき、SCRのRIEビットが"1"にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが"1"になったとき、SCRのRIEビットが"1"にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 13.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが"1"にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが"0"のとき	RSR から RDR に受信データは転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 13.8 に示します。

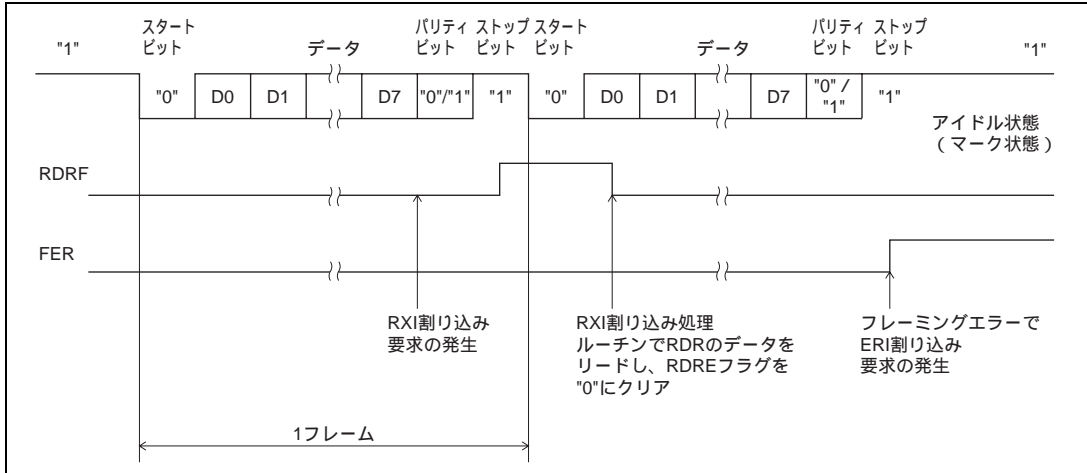


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット "1" を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット "0" を付加したデータにして送信します。

受信局は、マルチプロセッサビット "1" のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット "1" のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット "1" のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 13.10 を参照してください。

13. シリアルコミュニケーションインタフェース

(2) クロック

調歩同期式モードの項を参照してください。

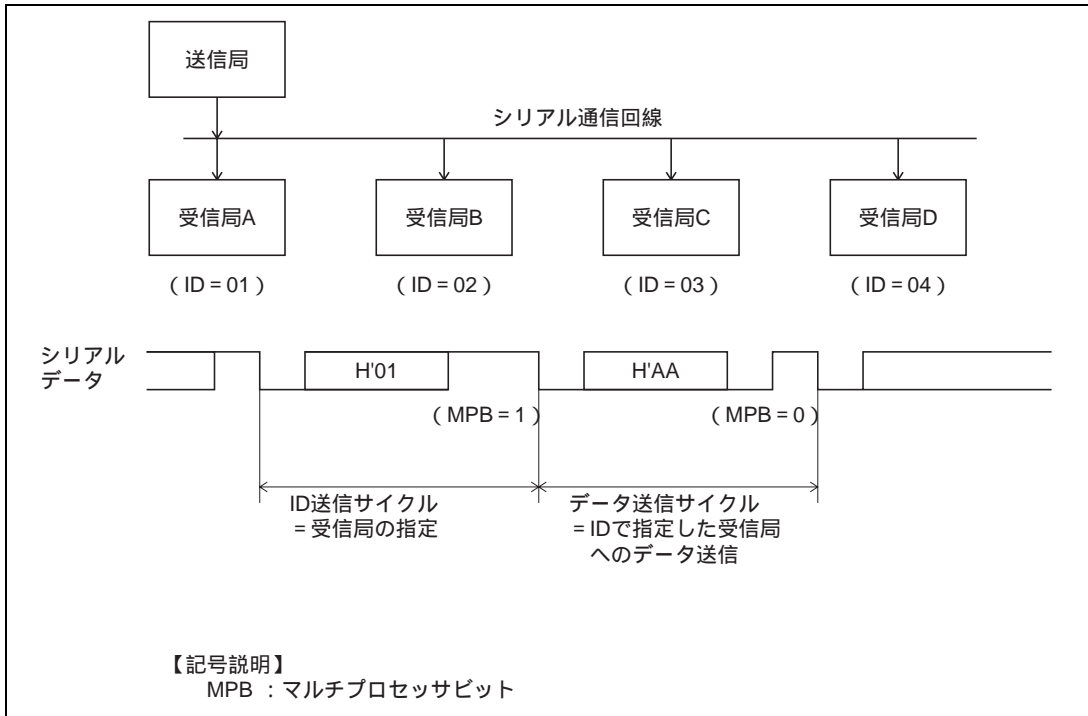


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

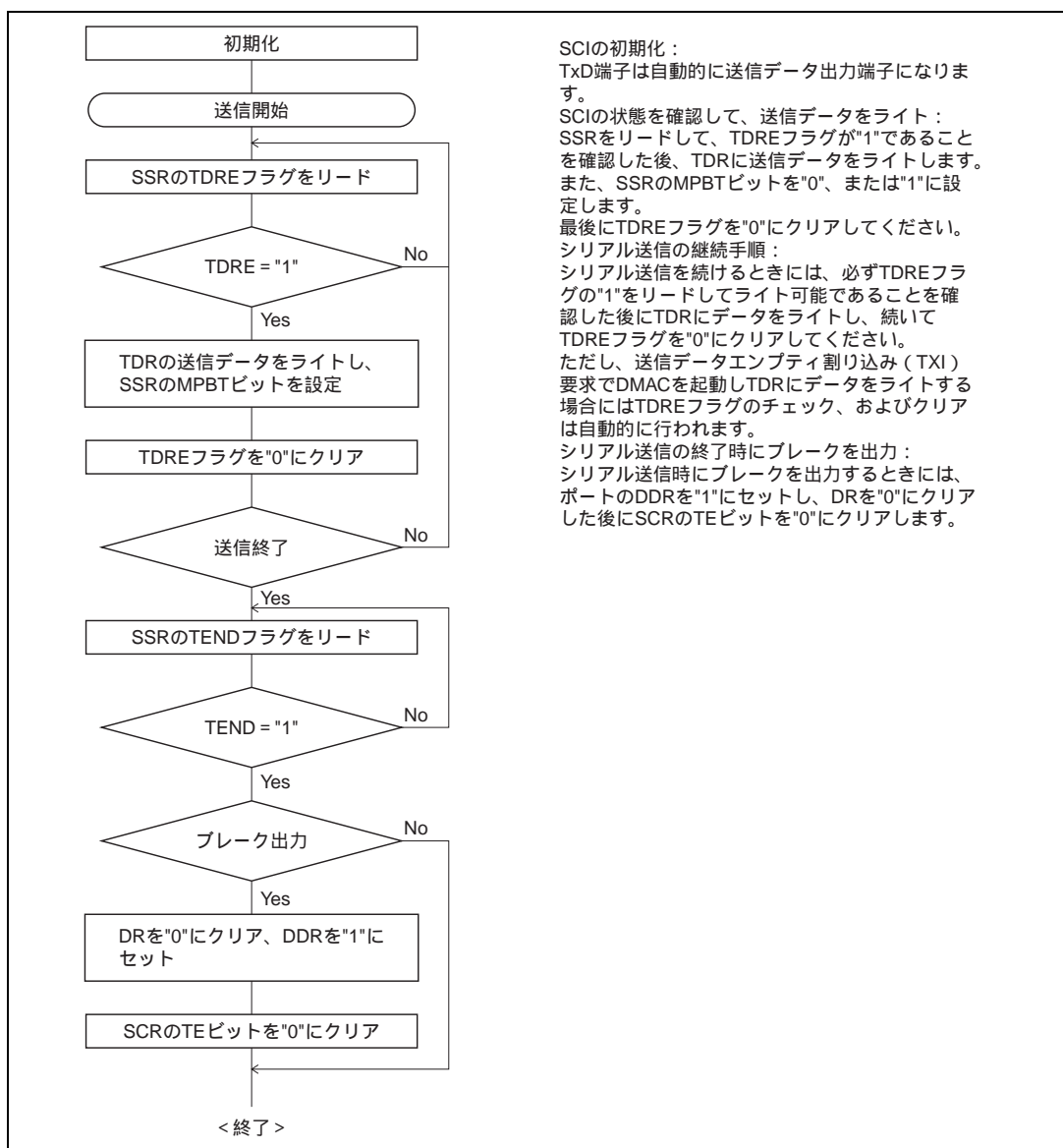


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

13. シリアルコミュニケーションインタフェース

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、"0"であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを"1"にセットし、送信を開始します。このとき、SCRのTIEビットが"1"にセットされていると送信データエンプティ割り込み(TXI)要求を発生します。

シリアル送信データは、以下の順にTx/D端子から送り出されます。

- (a) スタートビット：1ビットの"0"が出力されます。
 - (b) 送信データ：8ビット/7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット（MPBTの値）が出力されます。
 - (d) ストップビット：1ビット/2ビットの"1"（ストップビット）が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで"1"を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。TDREフラグが"0"であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREフラグが"1"であるとSSRのTENDフラグを"1"にセットし、ストップビットを送り出した後、"1"を出力するマーク状態になります。このときSCRのTEIEビットが"1"にセットされていると送信終了割り込み（TEI）要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

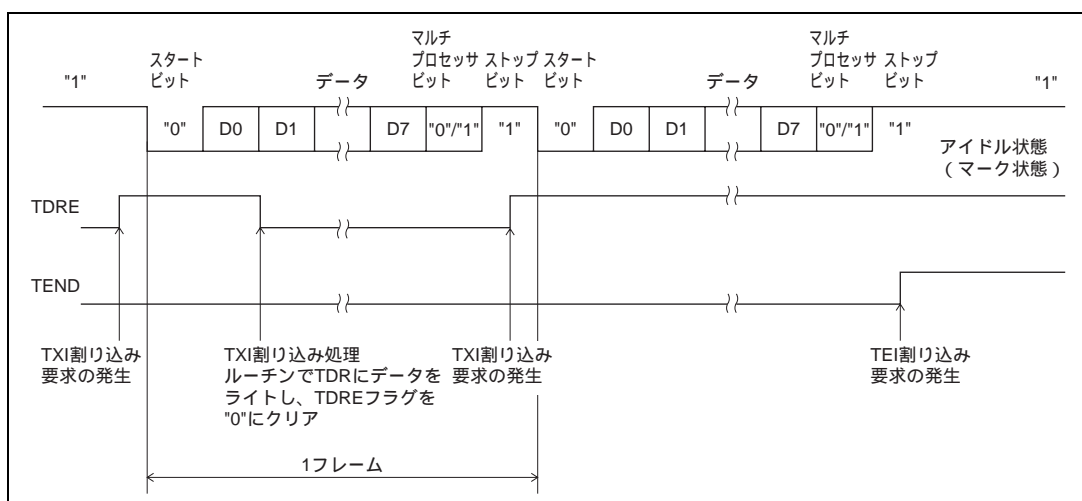
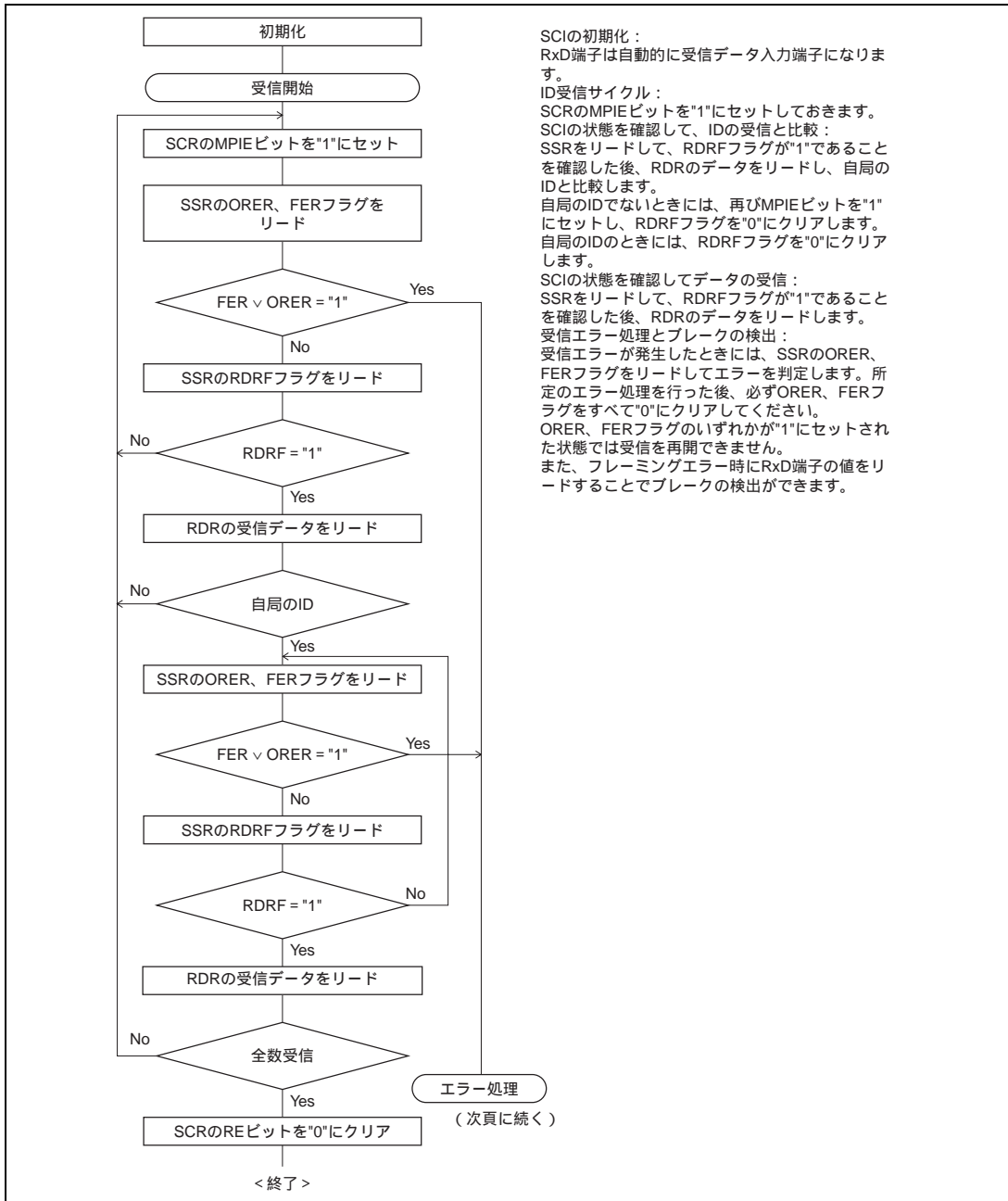


図 13.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
 マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。



SCIの初期化：
 RxD端子は自動的に受信データ入力端子になります。

ID受信サイクル：
 SCRのMPIEビットを"1"にセットしておきます。
 SCIの状態を確認して、IDの受信と比較：
 SSRをリードして、RDRFフラグが"1"であることを確認した後、RDRのデータをリードし、自局のIDと比較します。
 自局のIDでないときには、再びMPIEビットを"1"にセットし、RDRFフラグを"0"にクリアします。
 自局のIDのときには、RDRFフラグを"0"にクリアします。

SCIの状態を確認してデータの受信：
 SSRをリードして、RDRFフラグが"1"であることを確認した後、RDRのデータをリードします。

受信エラー処理とブレークの検出：
 受信エラーが発生したときには、SSRのORER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ずORER、FERフラグをすべて"0"にクリアしてください。
 ORER、FERフラグのいずれかが"1"にセットされた状態では受信を再開できません。
 また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。

図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

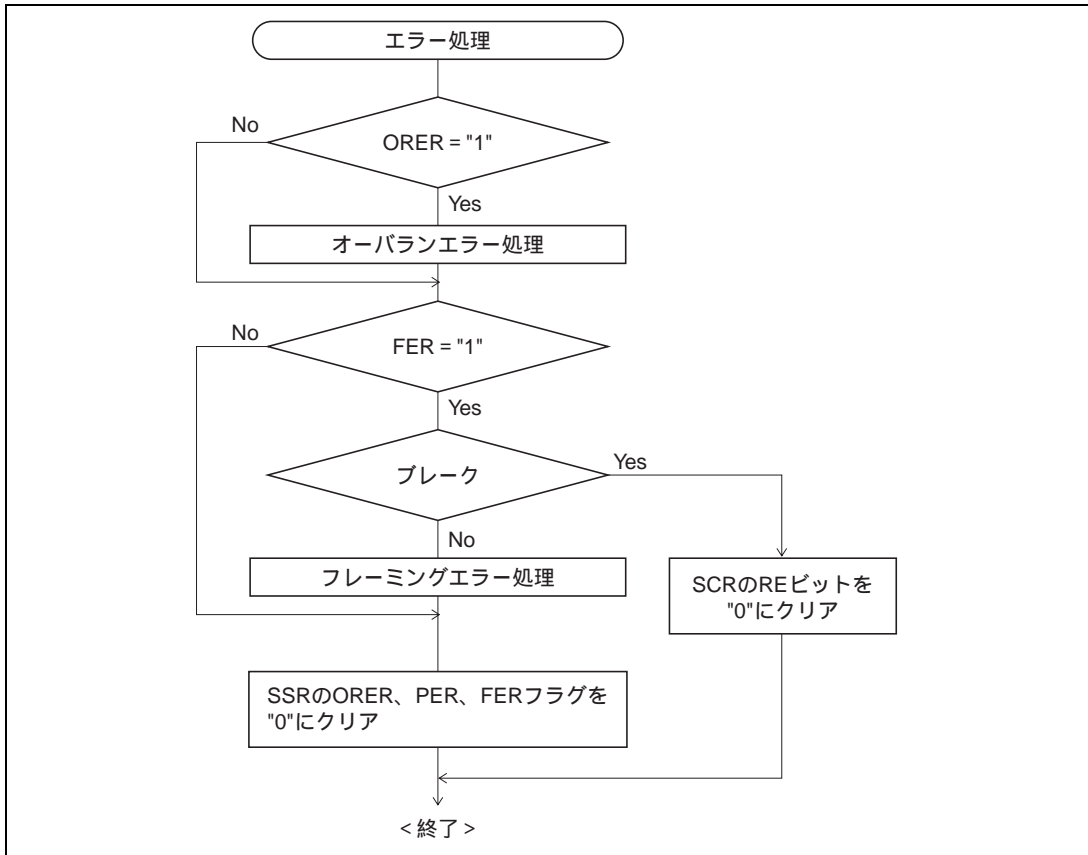


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

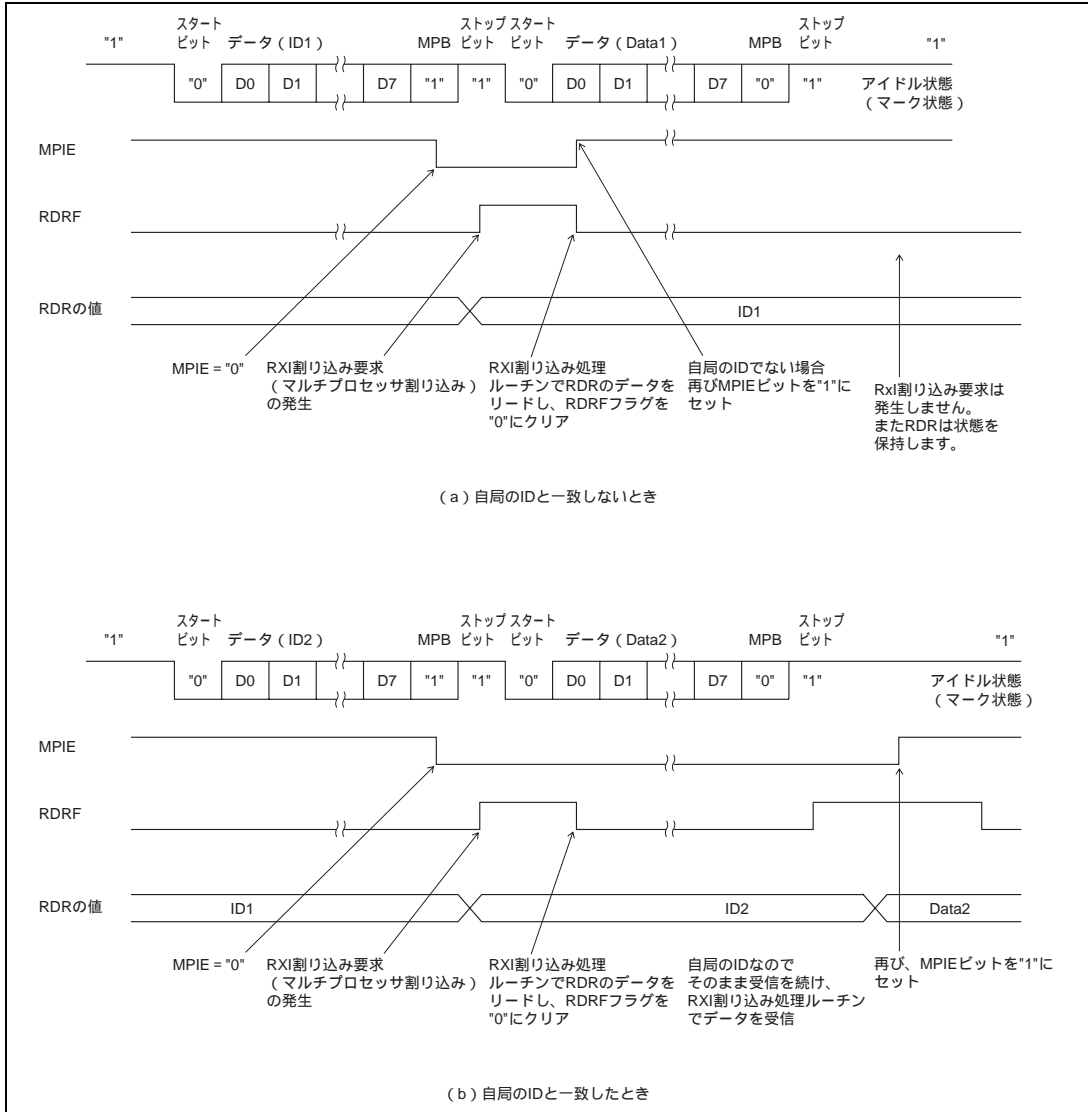


図 13.13 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

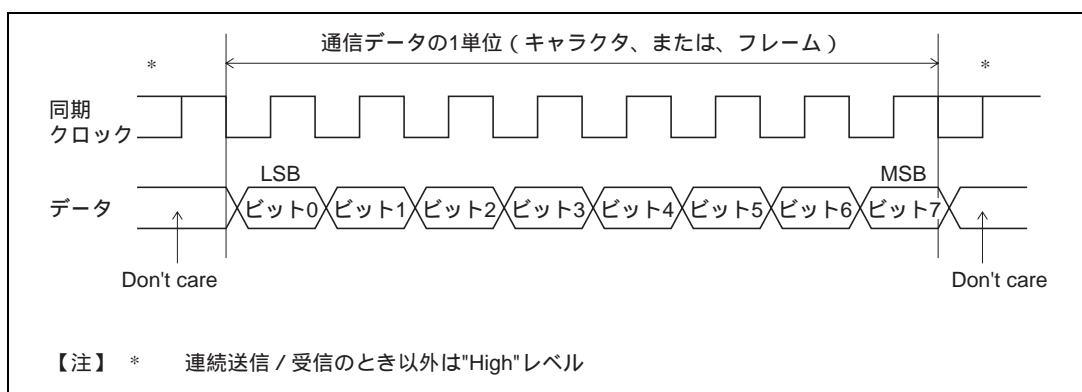


図 13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 13.6を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときには"High"レベルに固定されます。ただし、受信のみの動作のときは、SCIは2キャラクタを1単位として受信動作を行いますので、16パルスの同期クロックが出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを"0"にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを"0"にクリアしてから下記手順で変更してください。TE ビットを"0"にクリアすると TDRE フラグは"1"にセットされ、TSR が初期化されます。

RE ビットを"0"にクリアしても RDRF、PER、FER、ORE の各フラグ、および RDR の内容は保持されますので注意してください。

図 13.15 に SCI の初期化フローチャートの例を示します。

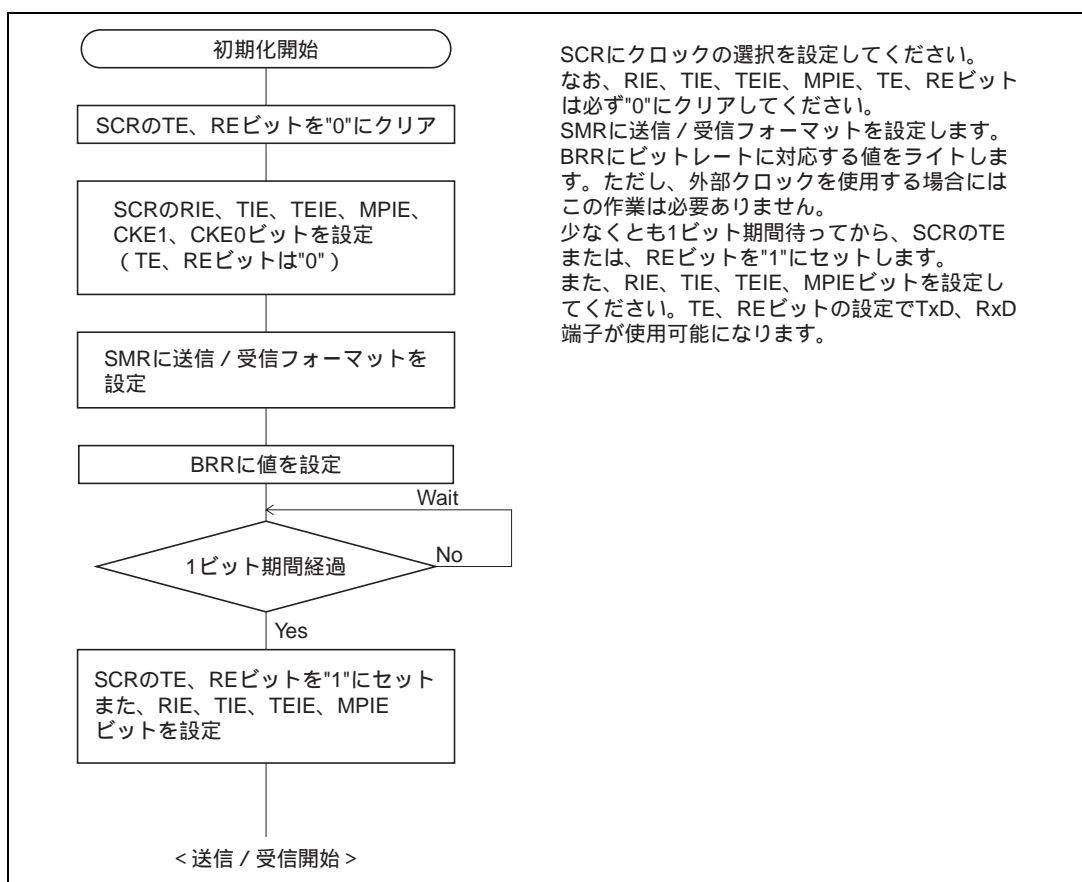


図 13.15 SCI の初期化フローチャートの例

13. シリアルコミュニケーションインタフェース

(b) シリアルデータ送信 (クロック同期式)

図 13.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

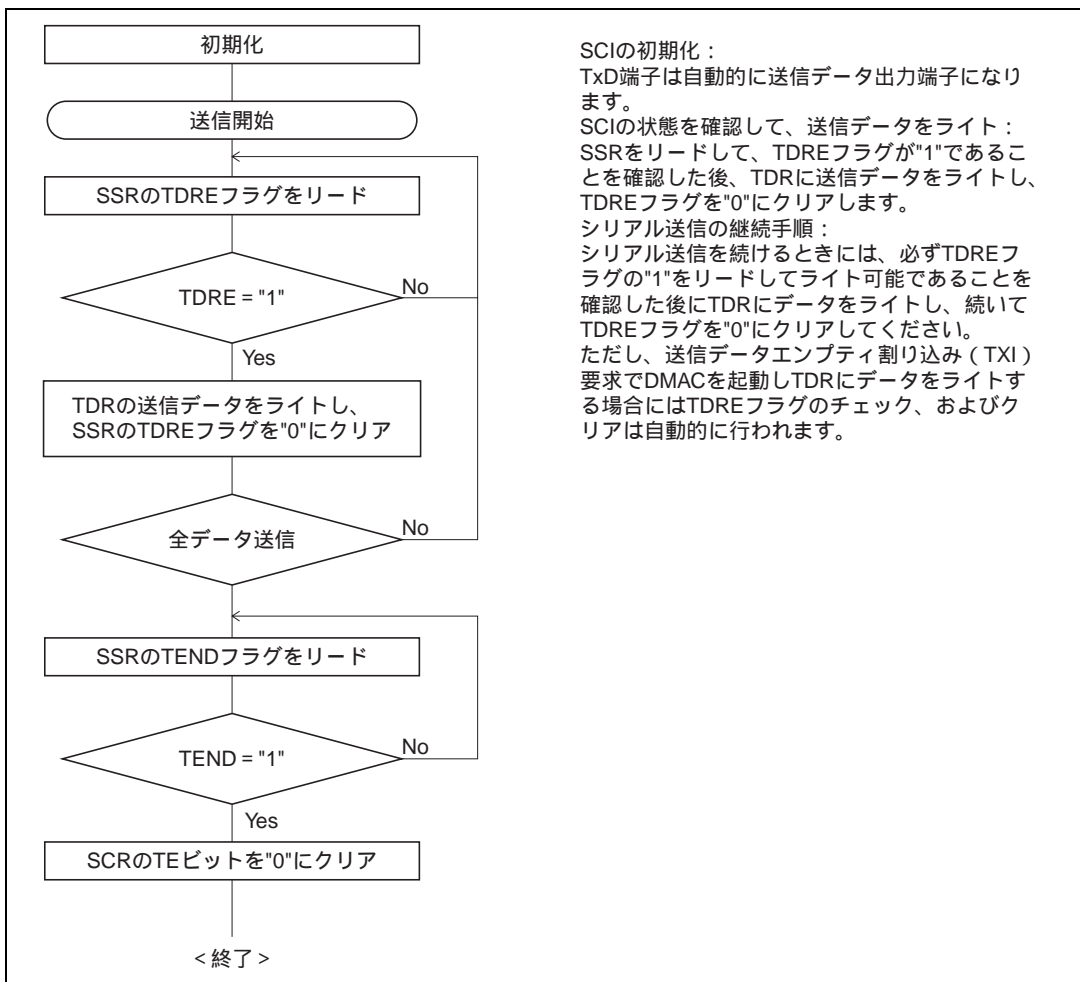


図 13.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、"0"であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを"1"にセットし、送信を開始します。
このとき、SCRのTIEビットが"1"にセットされていると送信データエンプティ割り込み(TXI)要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB(ビット0)~MSB(ビット7)の順にTxD端子から送り出されます。
- (3) SCIは、MSB(ビット7)を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが"0"であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが"1"であるとSSRのTENDフラグを"1"にセットし、MSB(ビット7)を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが"1"にセットされていると送信終了割り込み(TEI)要求を発生します。
- (4) シリアル送信終了後は、SCK端子は固定になります。

図 13.17 に SCI の送信時の動作例を示します。

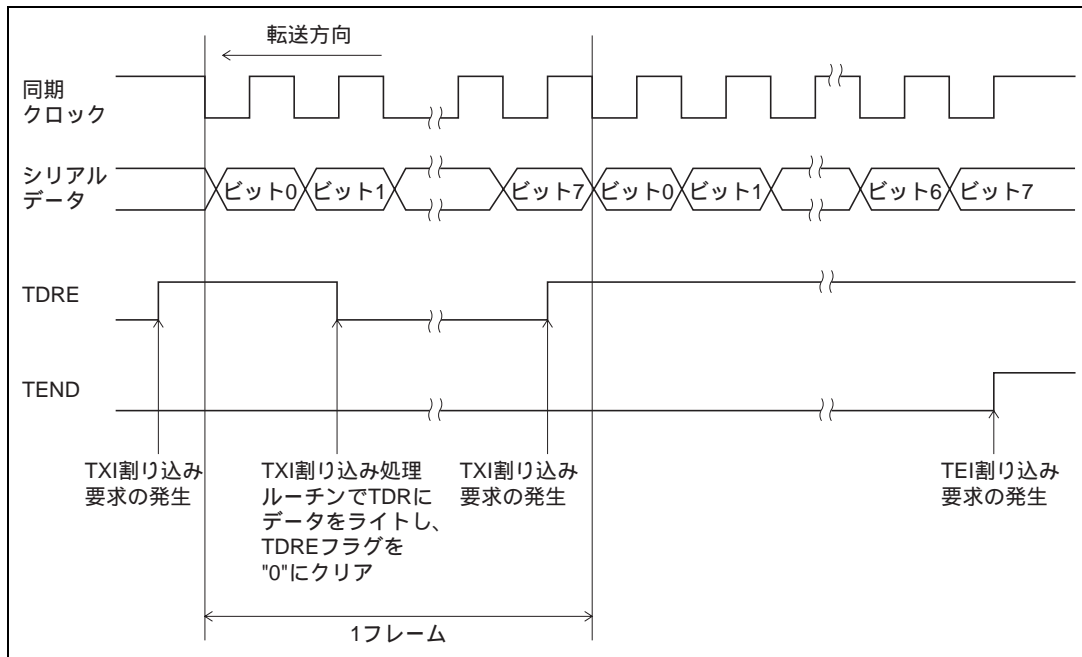


図 13.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 13.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが"0"にクリアされていることを確認してください。

FER、PER フラグが"1"にセットされていると RDRF フラグがセットされません。また、送信 / 受信動作が行えません。

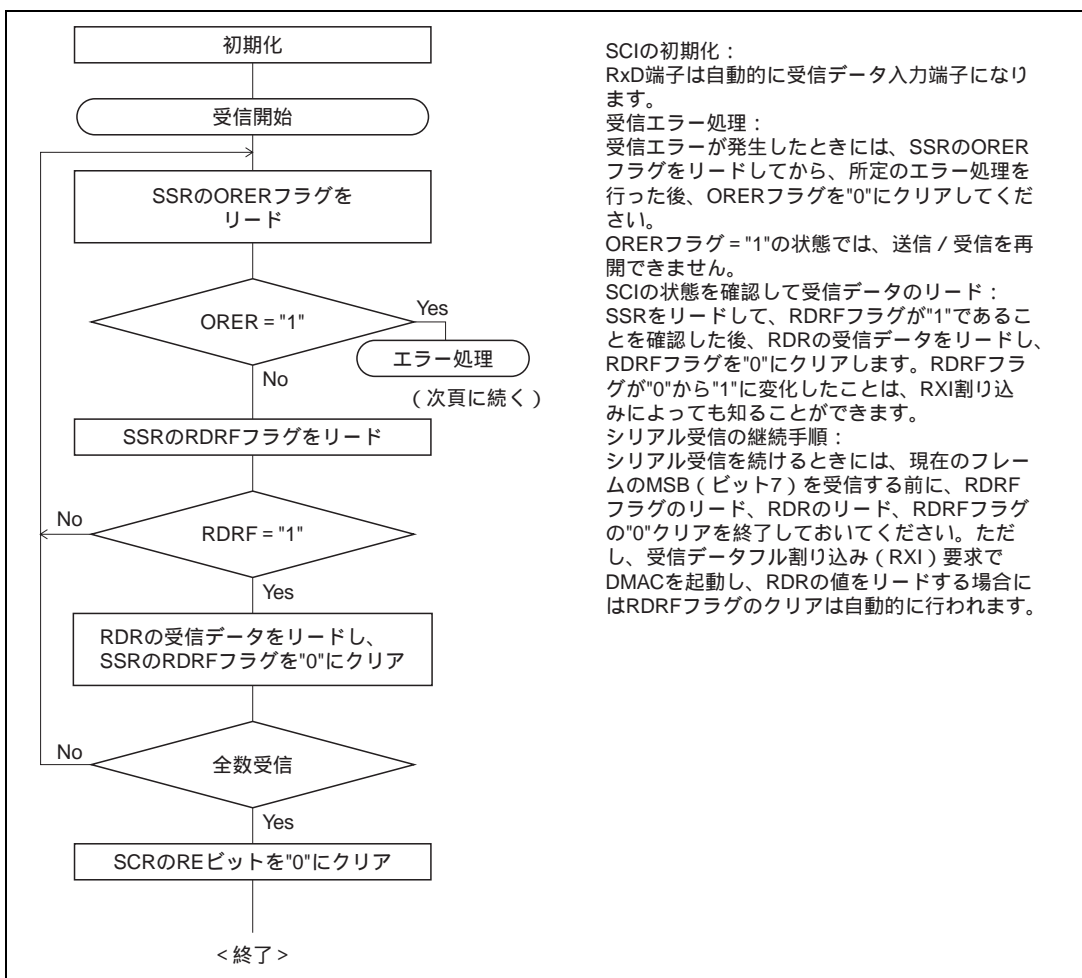


図 13.18 シリアルデータ受信フローチャートの例 (1)

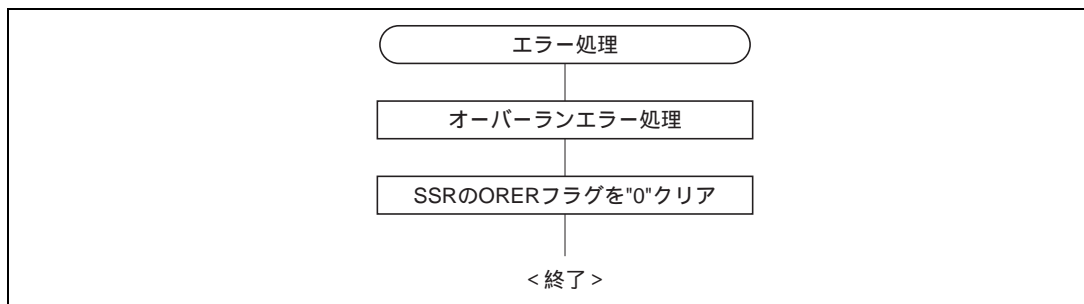


図 13.18 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが"0"であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが"1"にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると、表13.11のように動作します。
エラーチェックで受信エラーが発生した状態では以後の送信、受信動作ができません。
- (3) RDRFフラグが"1"になったとき、SCRのRIEビットが"1"にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが"1"になったとき、SCRのRIEビットが"1"にセットされていると受信エラー割り込み (ERI) 要求が発生します。

13. シリアルコミュニケーションインタフェース

図 13.19 に SCI の受信時の動作例を示します。

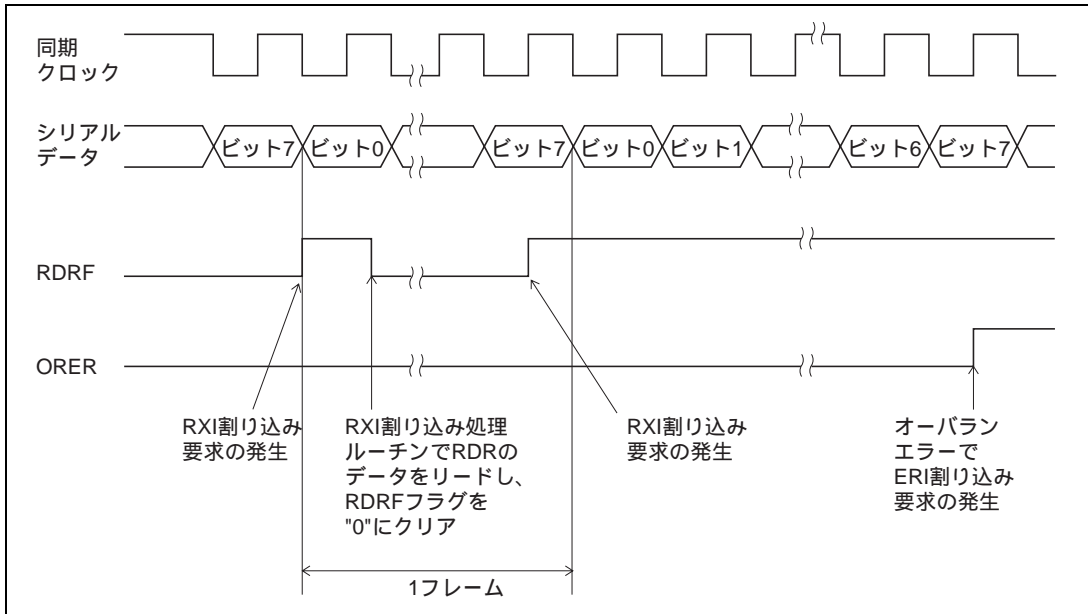


図 13.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作（クロック同期式）

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください

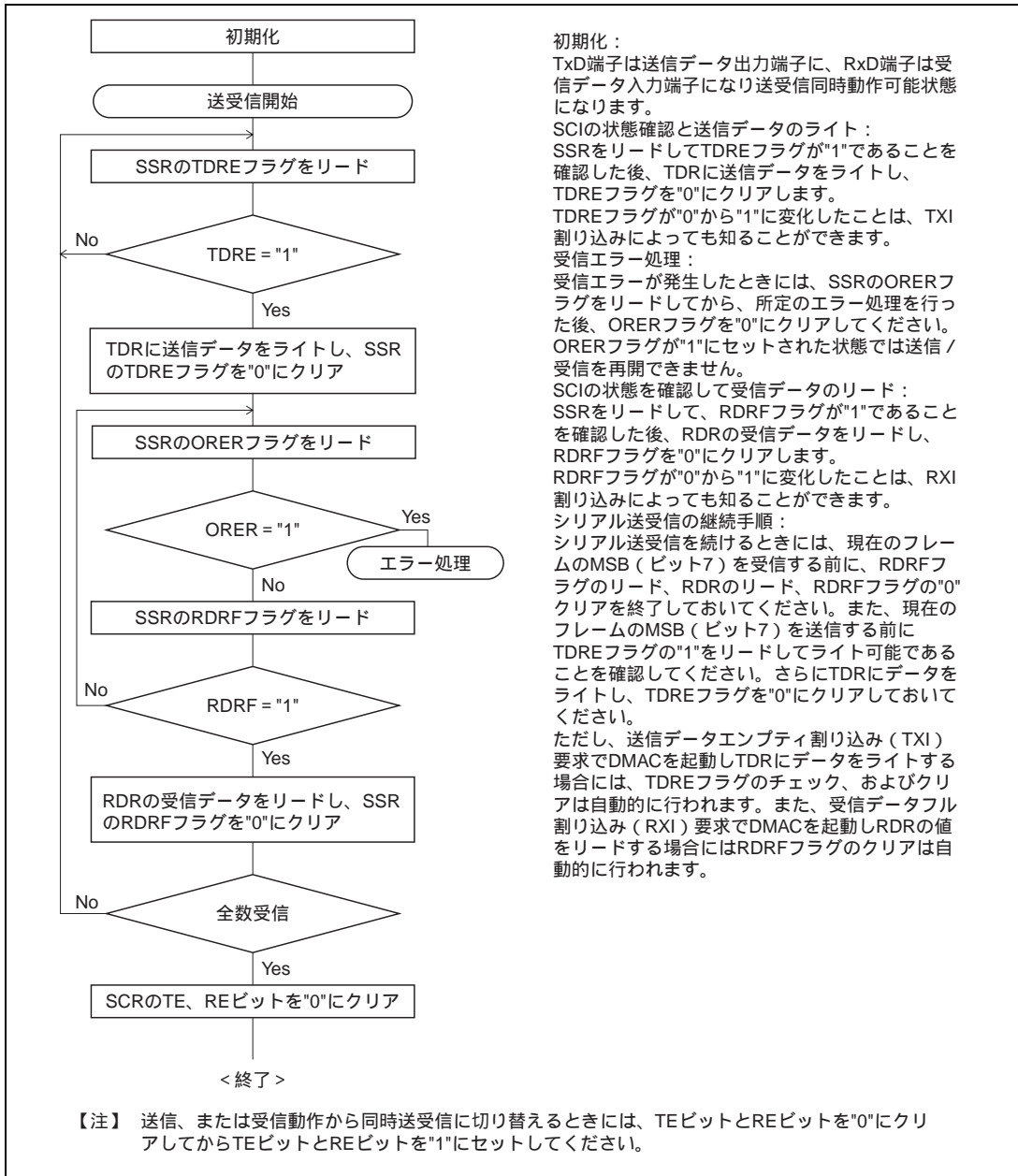


図 13.20 シリアル送受信同時動作のフローチャートの例

13.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンpty割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可/禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが "1" にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが "1" にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に "0" にクリアされます。なお、TEI 割り込み要求で DMAC の起動はできません。

SSR の RDRF フラグが "1" にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが "1" にセットされると ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に "0" にクリアされます。なお、ERI 割り込み要求で DMAC の起動はできません。

SCI チャネル 0 の割り込みにより DMAC グループ 0 の起動が可能です。

表 13.12 SCI 割り込み要因

割り込み要因	内容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高
RXI	受信データフル (RDRF) による割り込み	↑
TXI	送信データエンpty (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	低

13.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが"1"にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが"0"の状態で新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが"1"にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表13.13のようになります。また、オーバランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表 13.13 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR → RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	×	オーバランエラー+フレーミングエラー
1	1	0	1	×	オーバランエラー+パリティエラー
0	0	1	1		フレーミングエラー+パリティエラー
1	1	1	1	×	オーバランエラー+フレーミングエラー+パリティエラー

【注】 : RSR → RDR に受信データを転送します。

× : RSR → RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー（FER）検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて"0"になりますので FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを"0"にクリアしても再び"1"にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを"1"にセットするまでは、マーク状態を DR の値で代替します（TE ビットを 1 にセットするまで、TxD 端子として機能しません）。このため、最初は DDR と DR を"1"に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を"0"にクリアした後、TE ビットを"0"にクリアします。

TE ビットを"0"にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から"0"が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（ORER、PER、FER）が"1"にセットされた状態では、TDRE フラグを"0"にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを"0"にクリアしておいてください。

また、RE ビットを"0"にクリアしても受信エラーフラグは"0"にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 13.21 に示します。

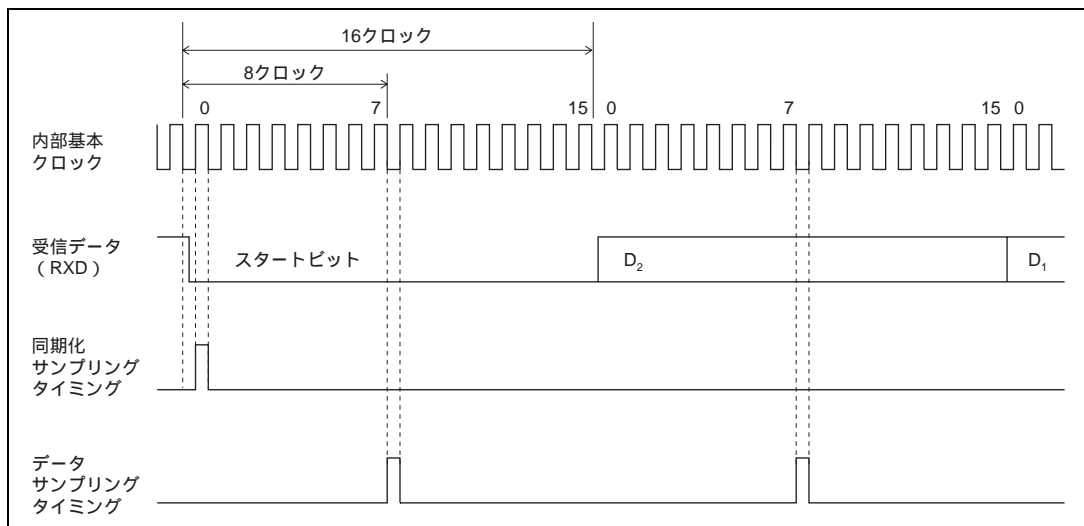


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots\text{式(1)}$$

M : 受信マージン (%)
 N : クロックに対するビットレートの比 (N = 16)
 D : クロックデューティ (D = 0 ~ 1.0)
 L : フレーム長 (L = 9 ~ 12)
 F : クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ = 46.875\%$$

.....式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

13. シリアルコミュニケーションインタフェース

(7) DMAC 使用上の制約事項

同期クロックに外部クロックソースを使用する場合、DMAC による TDR の更新後、 ϕ クロックで 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 ステート以内に送信クロックを入力すると、誤動作することがあります。(図 13.22)

DMAC により、RDR のリードを行うときは必ず DTCR の DTS2~0 ビットで起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

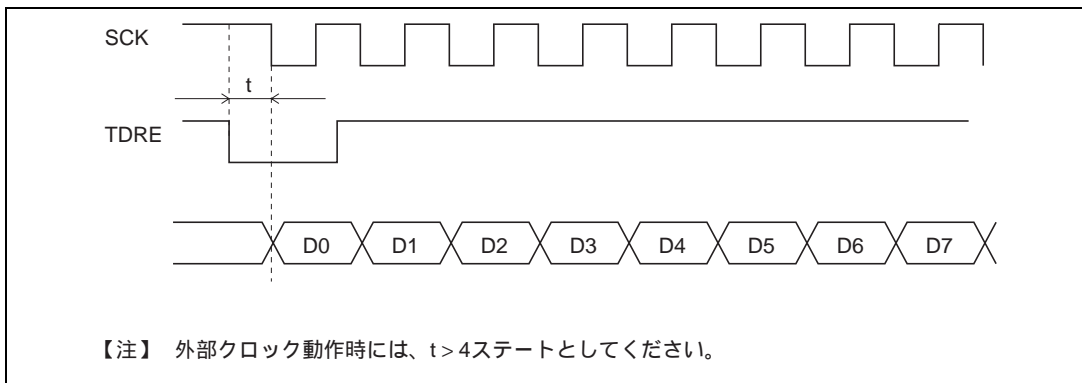


図 13.22 DMAC によるクロック同期式送信時の例

14. A/D 変換器

14.1 概要

H8/3042 グループには、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

14.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定が可能

リファレンス電圧端子 (V_{REF}) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当たり最小 8.4 μ s (16MHz 動作時)

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル&ホールド機能

外部トリガ信号による、A/D 変換の開始が可能

A/D 変換終了割り込み要求を発生

A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

14.1.2 ブロック図

A/D 変換器のブロック図を図 14.1 に示します。

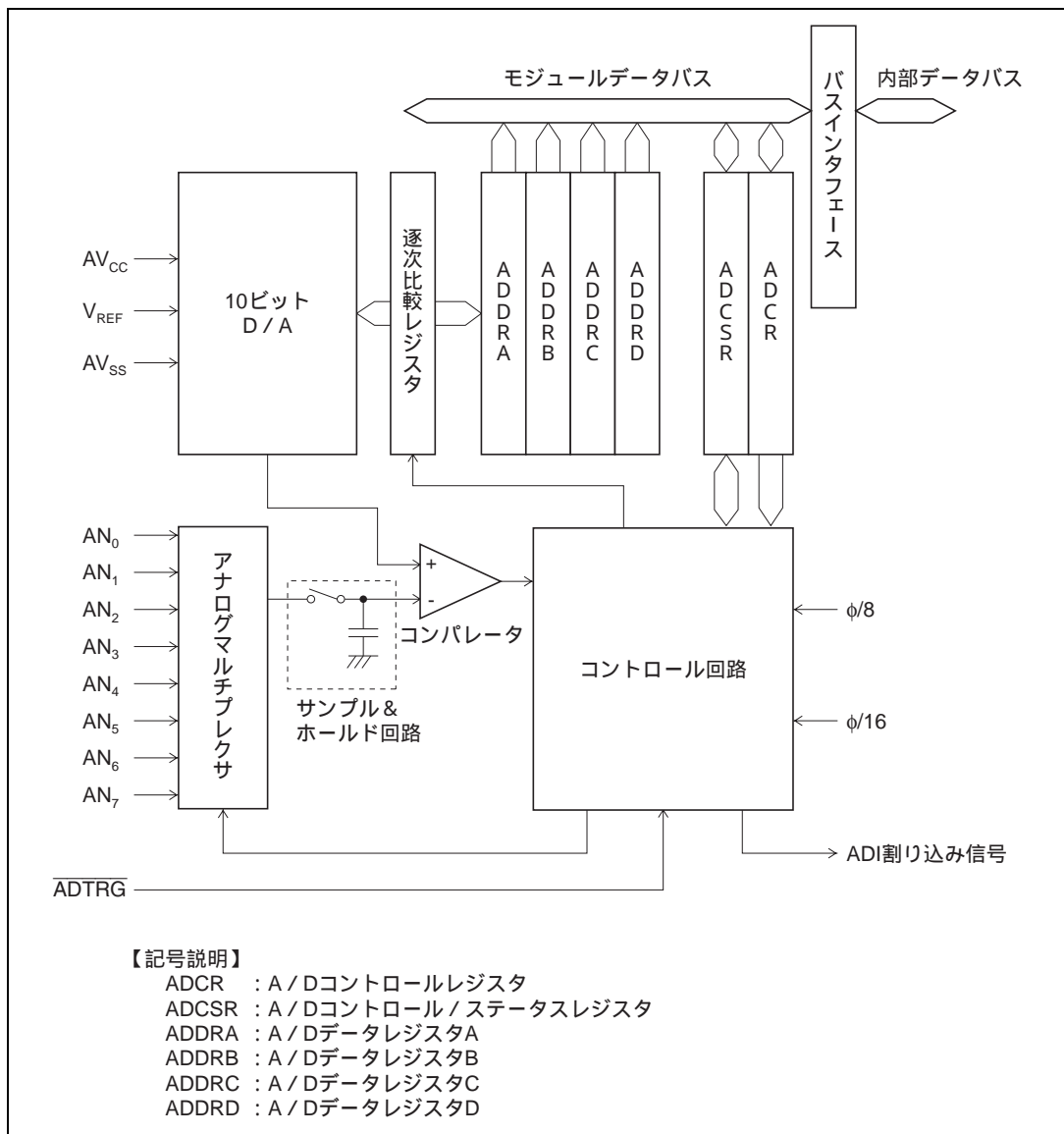


図 14.1 A/D 変換器のブロック図

14.1.3 端子構成

A/D 変換器で使用する入力端子を表 14.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 ($AN_0 \sim AN_3$) がグループ 0、アナログ入力端子 4~7 ($AN_4 \sim AN_7$) がグループ 1 になっています。

AV_{CC} 、 AV_{SS} は、A/D 変換器内のアナログ部の電源です。 V_{REF} 端子は、A/D 変換基準電圧端子です。

表 14.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	V_{REF}	入力	アナログ部の基準電圧
アナログ入力端子 0	AN_0	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN_1	入力	
アナログ入力端子 2	AN_2	入力	
アナログ入力端子 3	AN_3	入力	
アナログ入力端子 4	AN_4	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN_5	入力	
アナログ入力端子 6	AN_6	入力	
アナログ入力端子 7	AN_7	入力	
A/D 外部トリガ入力端子	$ADTRG$	入力	A/D 変換時間のための外部トリガ入力

14.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFE0	A/D データレジスタ AH	ADDRAH	R	H'00
H'FFE1	A/D データレジスタ AL	ADDRAL	R	H'00
H'FFE2	A/D データレジスタ BH	ADDRBH	R	H'00
H'FFE3	A/D データレジスタ BL	ADDRBL	R	H'00
H'FFE4	A/D データレジスタ CH	ADDRCH	R	H'00
H'FFE5	A/D データレジスタ CL	ADDRCL	R	H'00
H'FFE6	A/D データレジスタ DH	ADDRDH	R	H'00
H'FFE7	A/D データレジスタ DL	ADDRDL	R	H'00
H'FFE8	A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*2	H'00
H'FFE9	A/D コントロールレジスタ	ADCR	R/W	H'7E

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための"0"ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 A/D データレジスタ A ~ D (ADDR_A ~ ADDR_D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR _n :	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

A/D変換データ

リザーブビット

A/D変換結果の10ビットデータを格納するビットです。

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDR_A ~ ADDR_D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 はリザーブビットで、リードすると常に"0"が読み出されます。アナログ入力チャンネルと ADDR の対応を表 14.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「14.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 に初期化されます。

表 14.3 アナログ入力チャンネルと ADDR_A ~ ADDR_D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDR _A
AN ₁	AN ₅	ADDR _B
AN ₂	AN ₆	ADDR _C
AN ₃	AN ₇	ADDR _D

14.2.2 A/D コントロール / ステータスレジスタ (ADCSR)



【注】 * フラグをクリアするための"0"ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

14. A/D 変換器

ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	〔クリア条件〕 (初期値) ADF="1"の状態、ADF フラグをリードした後、ADF フラグに"0"をライトしたとき
1	〔セット条件〕 (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可 / 禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

ビット5: A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は"1"を保持します。また、ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) により"1"にセットすることもできます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード: A/D 変換を開始し、変換が終了すると自動的に"0"にクリア (2) スキャンモード: A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって"0"にクリアされるまで選択されたチャンネルを順次連続変換

ビット4: スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「14.4 動作説明」を参照してください。モードの切り替えは、ADST="0"の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST = "0"の状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 266 ステート (max) (初期値)
1	変換時間 = 134 ステート (max)

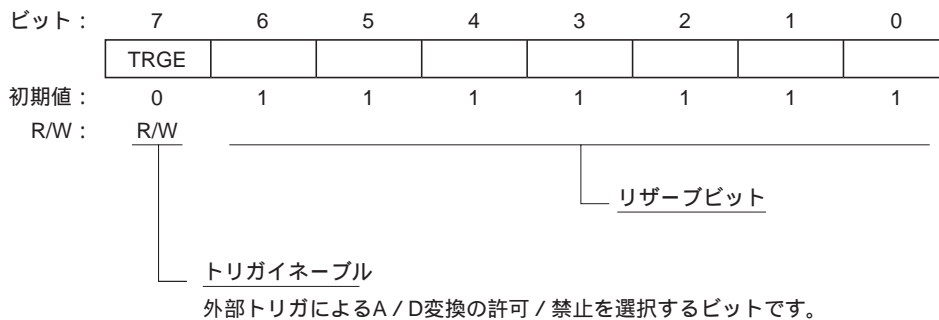
ビット2~0：チャンネルセレクト2~0（CH2~0）

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST = "0"の状態で行ってください。

ビット CH2	ビット		説明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
	0	1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ~ AN ₂
	1	1	AN ₃	AN ₀ ~ AN ₃
1	0	0	AN ₄	AN ₄
	0	1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ~ AN ₆
	1	1	AN ₇	AN ₄ ~ AN ₇

14.2.3 A/D コントロールレジスタ (ADCR)



ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセットまたはスタンバイモード時に H'7F に初期化されます。

ビット 7: トリガイネーブル (TRGE)

外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ビット 7	説明
TRGE	
0	外部トリガ入力による A/D 変換の開始を禁止 (初期値)
1	外部トリガ端子 (ADTRG) の立ち下がりエッジで A/D 変換を開始

ビット 6~0: リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

14.3 CPU とのインタフェース

ADDRA ~ ADDR4D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 14.2 に、ADDR のアクセス時のデータの流れを示します。

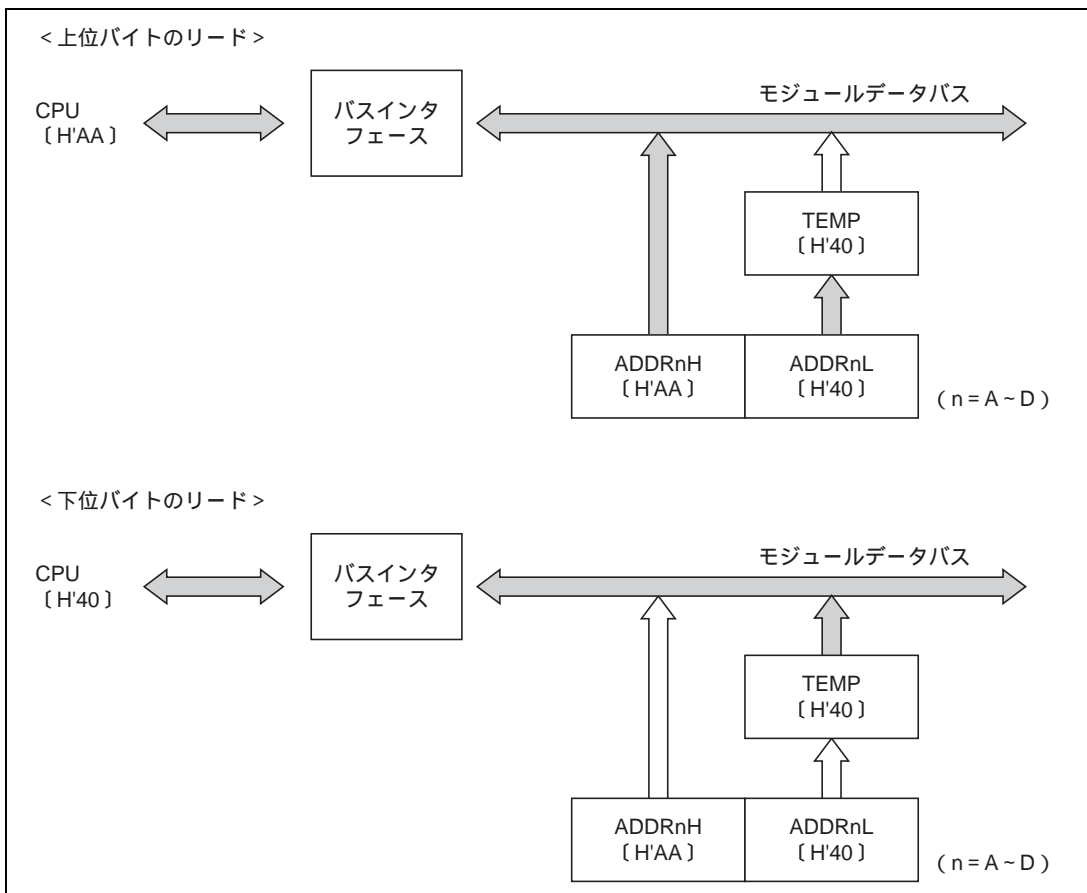


図 14.2 ADDR のアクセス動作 ([H'AA40] リード時)

14.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。単一モードとスキャンモードの各モードの動作についての説明をします。

14.4.1 単一モード (SCAN = "0")

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが "1" にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は "1" を保持しており、変換が終了すると自動的に "0" にクリアされます。

また、変換が終了すると、ADF フラグが "1" にセットされます。このとき、ADIE ビットが "1" にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードした後、"0" をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを "0" にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを "1" にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN₁) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 14.3 に示します。

- (1) 動作モードを単一モードに (SCAN = "0")、入力チャンネルを AN₁ に (CH2 = CH1 = "0"、CH0 = "1")、A/D 割り込み要求許可 (ADIE = "1") に設定して、A/D 変換を開始 (ADST = "1") します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR_B に転送されます。同時に、ADF = "1"、ADST = "0" となり、A/D 変換器は変換待機となります。
- (3) ADF = "1"、ADIE = "1" となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADCSR をリードした後、ADF に "0" をライトします。
- (6) A/D 変換結果 (ADDR_B) をリードして、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。
この後、ADST ビットを "1" にセットすると A/D 変換が開始され (2) ~ (7) を行います。

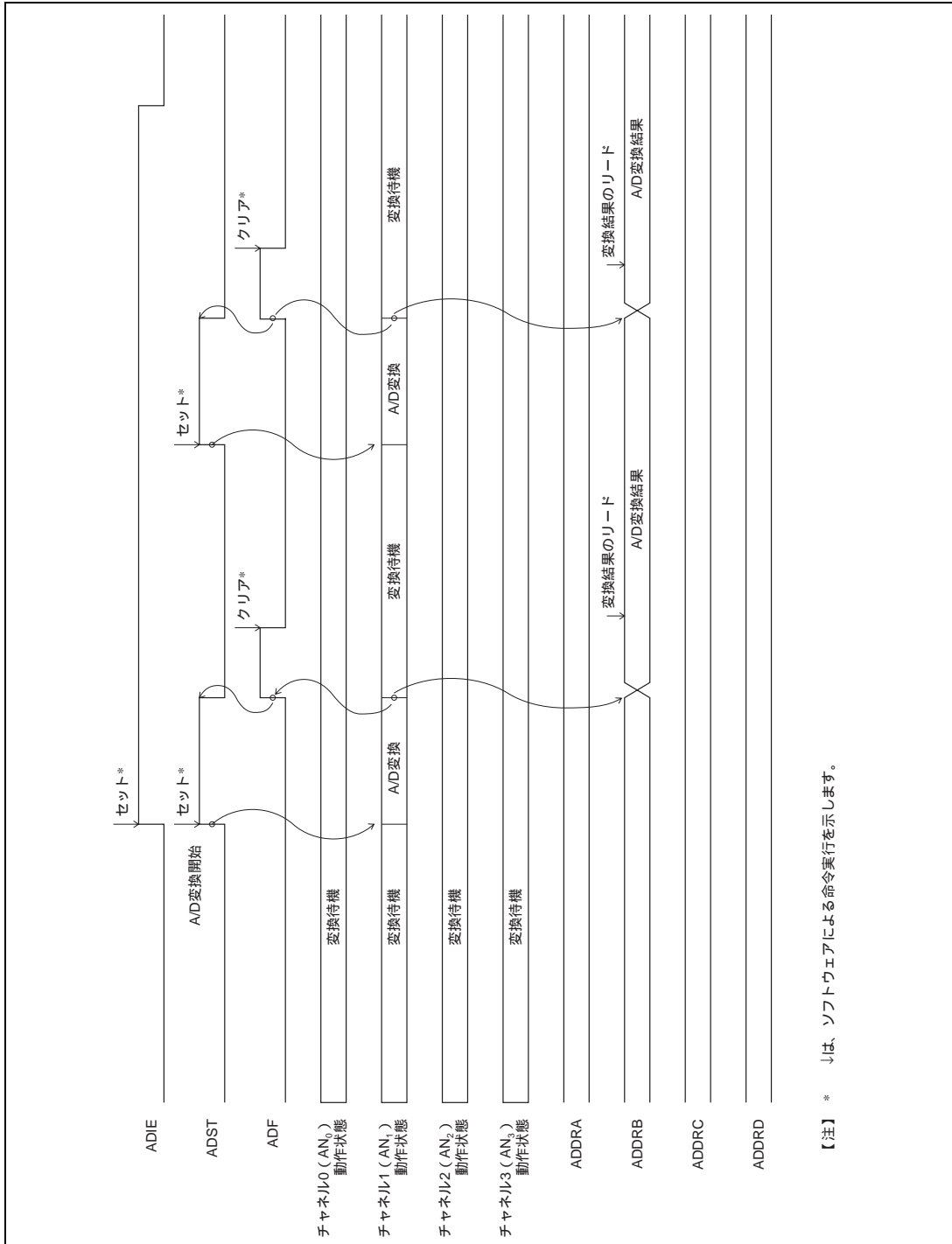


図 14.3 A/D 変換器の動作例 (単一モード、チャンネル 1 選択時)

14.4.2 スキャンモード (SCAN = "1")

スキャンモードは、複数チャンネル (1チャンネル含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが "1" にセットされると、グループの第 1 チャンネル (CH2 = "0" のとき AN₀、CH2 = "1" のとき AN₄) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが "0" にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを "0" にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに "1" にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 14.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = "1")、スキャングループをグループ 0 に (CH2 = "0")、アナログ入力チャンネルを AN₀ ~ AN₂ (CH1 = "1"、CH0 = "0") に設定して A/D 変換を開始 (ADST = "1") します。
- (2) 第 1 チャンネル (AN₀) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。
次に第 2 チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀ ~ AN₂) の変換が終了すると、ADF = "1" となり、再び第 1 チャンネル (AN₀) を選択し、変換が行われます。
このとき ADIE ビットが "1" にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (5) ADST ビットが "1" にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを "0" にクリアすると A/D 変換が停止します。この後、ADST ビットを "1" にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN₀) から変換が行われます。

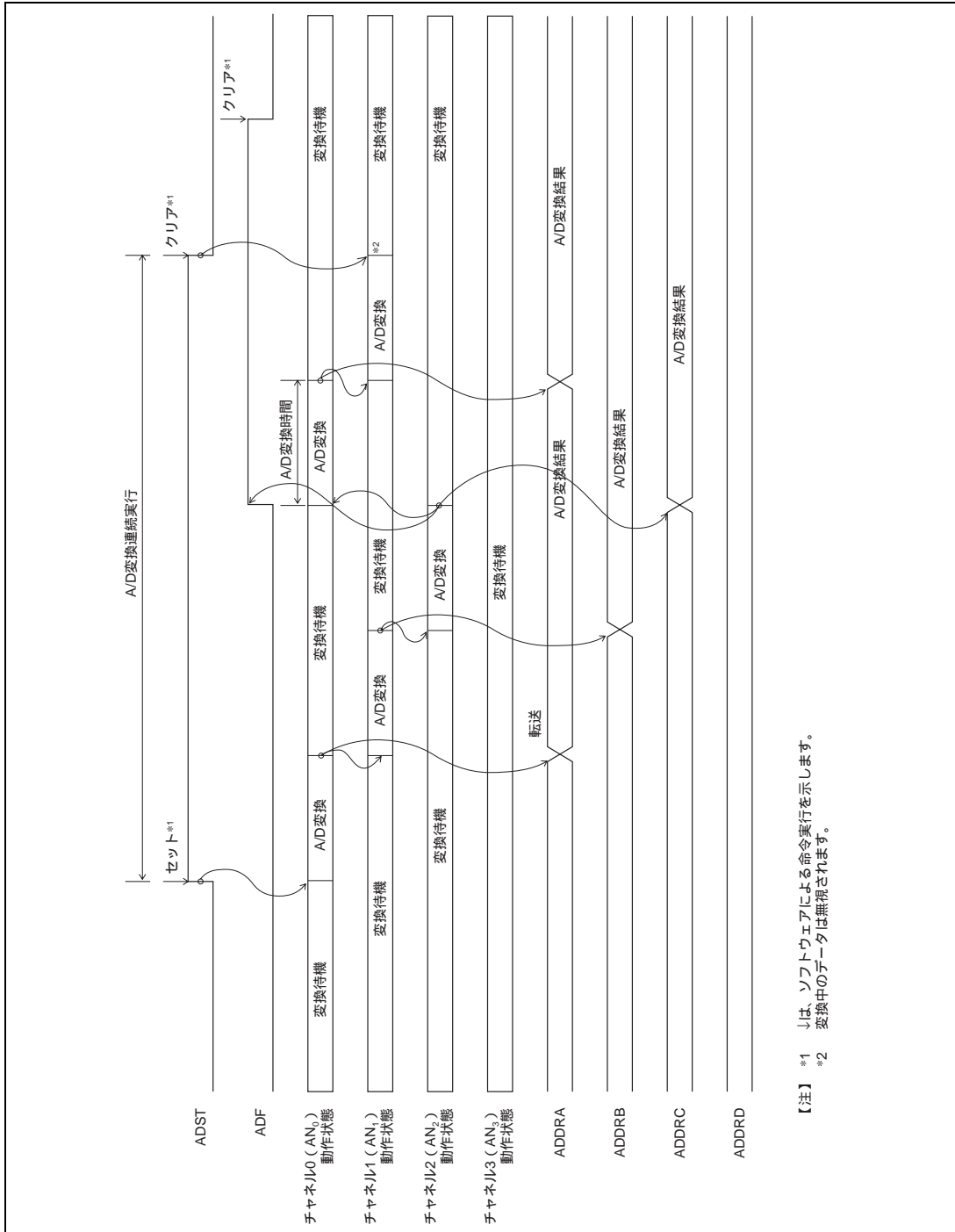


図 14.4 A/D 変換器の動作例 (スキャンモード AN₀ ~ AN₂ の 3 チャンネル選択時)

14.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが"1" にセットされてから t_D 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 14.5 に示します。また、A/D 変換時間を表 14.4 に示します。

A/D 変換時間は、図 14.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADSCR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 14.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 14.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = "0" の場合は 256 ステート（固定）、CKS = "1" の場合は 128 ステート（固定）となります。

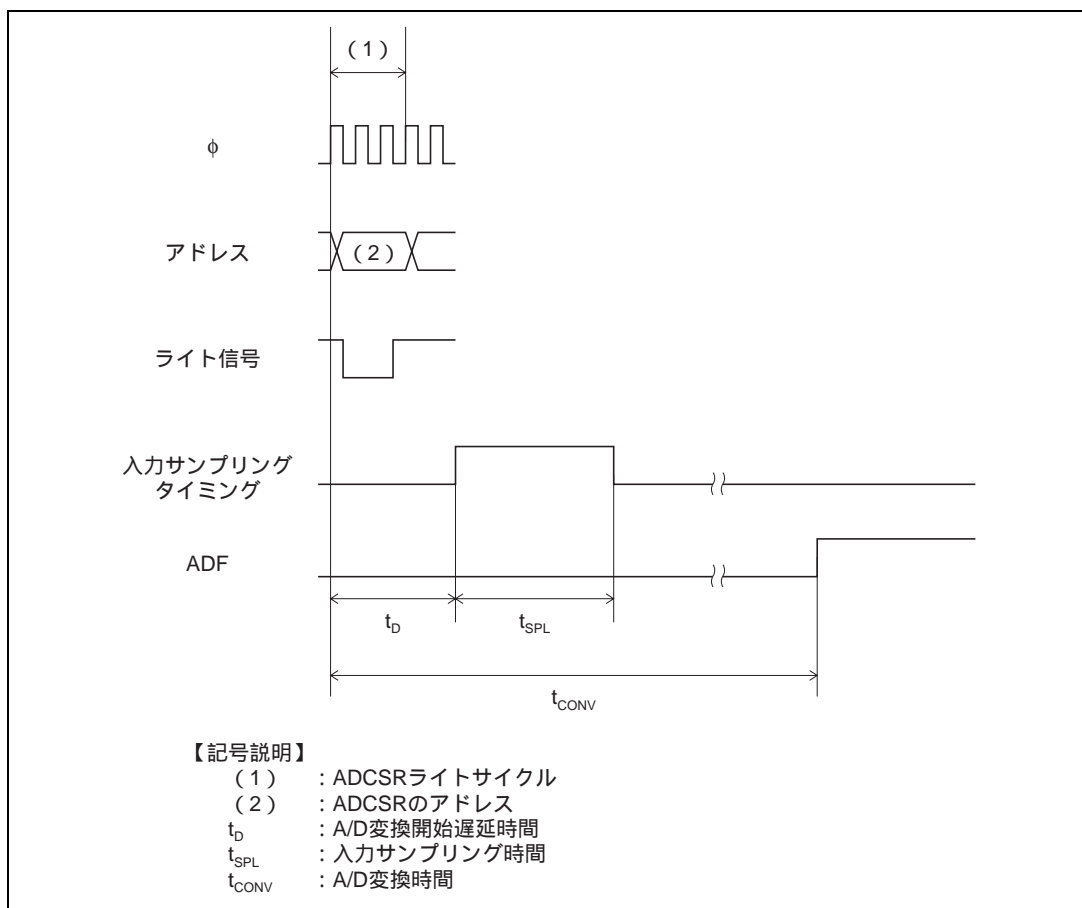


図 14.5 A/D 変換タイミング

表 14.4 A/D 変換時間 (単一モード)

	記号	CKS = "0"			CKS = "1"		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10		17	6		9
入力サンプリング時間	t_{SPL}		80		40		
A/D 変換時間	t_{CONV}	259		266	131		134

【注】 表中の数値の単位はステートです。

14.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが "1" にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりがエッジで、ADCSR の ADST ビットが "1" にセットされ、A/D 変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを "1" にセットした場合と同じです。

このタイミングを図 14.6 に示します。

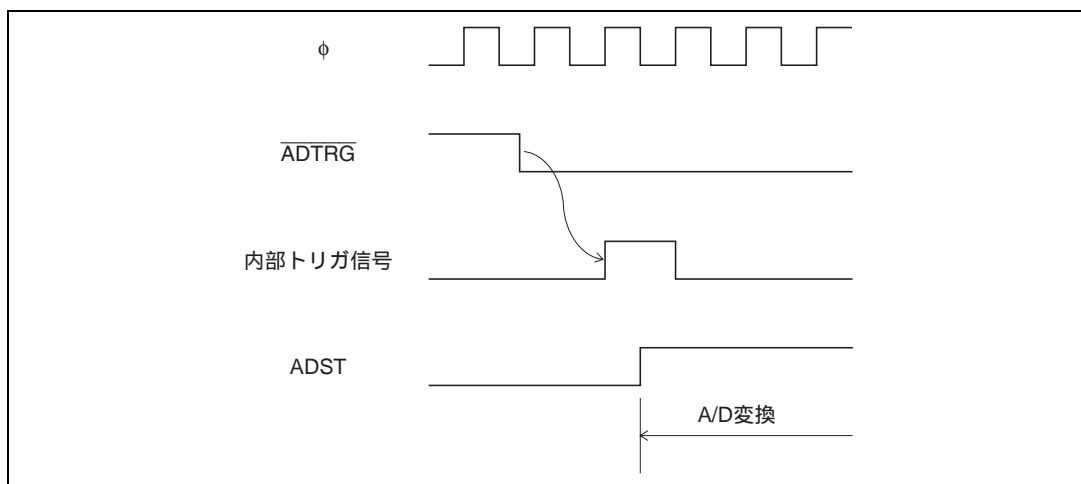


図 14.6 外部トリガ入力タイミング

14.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。
ADI 割り込み要求は、ADCSR の ADIE ビットで許可 / 禁止することができます。

14.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} AN_n V_{REF} の範囲としてください。(n = 0 ~ 7)

(2) AV_{CC} 、 AV_{SS} 入力電圧

AV_{SS} 入力電圧は、 $AV_{SS} = V_{SS}$ としてください。A/D 変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

(3) V_{REF} 入力電圧

V_{REF} 端子入力電圧のアナログ基準は V_{REF} AV_{CC} としてください。A/D 変換器を使用しない場合、 $V_{REF} = V_{CC}$ としてください。

15. D/A 変換器

15.1 概要

H8/3042 グループには 2 チャンネルの D/A 変換器が内蔵されています。

15.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ V_{REF}

15.1.2 ブロック図

D/A 変換器のブロック図を図 15.1 に示します。

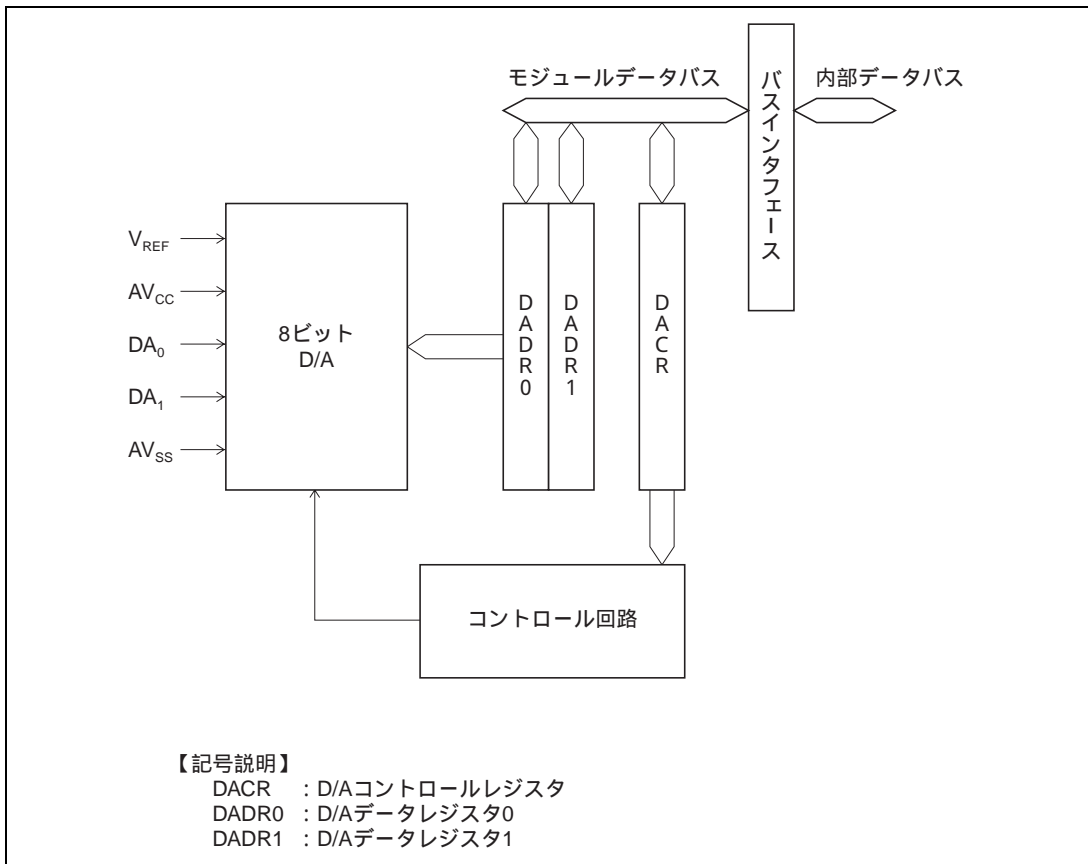


図 15.1 D/A 変換器のブロック図

15.1.3 端子構成

D/A 変換器で使用する入出力端子を表 15.1 に示します。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA ₀	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA ₁	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V _{REF}	入力	アナログ部の基準電圧

15.1.4 レジスタ構成

D/A 変換器でレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFDC	D/A データレジスタ 0	DADR0	R/W	H'00
H'FFDD	D/A データレジスタ 1	DADR1	R/W	H'00
H'FFDE	D/A コントロールレジスタ	DACR	R/W	H'1F

【注】 * アドレスの下位 16 ビットを示しています。

15.2 各レジスタの説明

15.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1 (DADR0、DADR1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

15.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE					
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W					

D/Aイネーブル

D/A変換を制御するビットです。

D/Aアウトプットイネーブル0

D/A変換とアナログ出力を制御するビットです。

D/Aアウトプットイネーブル1 (DAOE1)

D/A変換とアナログ出力を制御するビットです。

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、リセットまたはスタンバイモード時に、H'1F に初期化されます。

ビット 7: D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA ₁ を禁止
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA ₁ を許可

ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説明
DAOE0	
0	アナログ出力 DA ₀ を禁止
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA ₀ を許可

ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 とともに、D/A 変換を制御します。DAE ビットが"0"にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが"1"にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1 により、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説明
DAOE1	DAOE0	DAE	
0	0		チャンネル 0、1 の D/A 変換を禁止
0	1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
0	1	1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可
1	0	1	チャンネル 0、1 の D/A 変換を許可
1	1		チャンネル 0、1 の D/A 変換を許可

DAE ビットを"1"にセットすると、DACR の DAOE0、1 ビット、ADCSR の ADST ビットが"0"にクリアされていても、アナログ電源電流は A/D、D/A 変換中と同等になります。

ビット 4~0 : リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

15.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、1 を書き換えるとただちに、新しいデータが変換されます。DAOE0、1 ビットを"1"にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを図 15.2 に示します。

- (1) DADR0に変換データをライトします。
- (2) DACRのDAOE0ビットを"1"にセットします。D/A変換が開始され、DA0端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は

$$\frac{\text{DADRの内容}}{256} \times V_{\text{REF}}$$

です。

次にDADR0を書き換えるか、DAOE0ビットを"0"にクリアするまでこの変換結果が出力され続けます。

- (3) DADR0を書き換えるとただちにに変換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0ビットを"0"にクリアすると、DA0端子は入力端子になります。

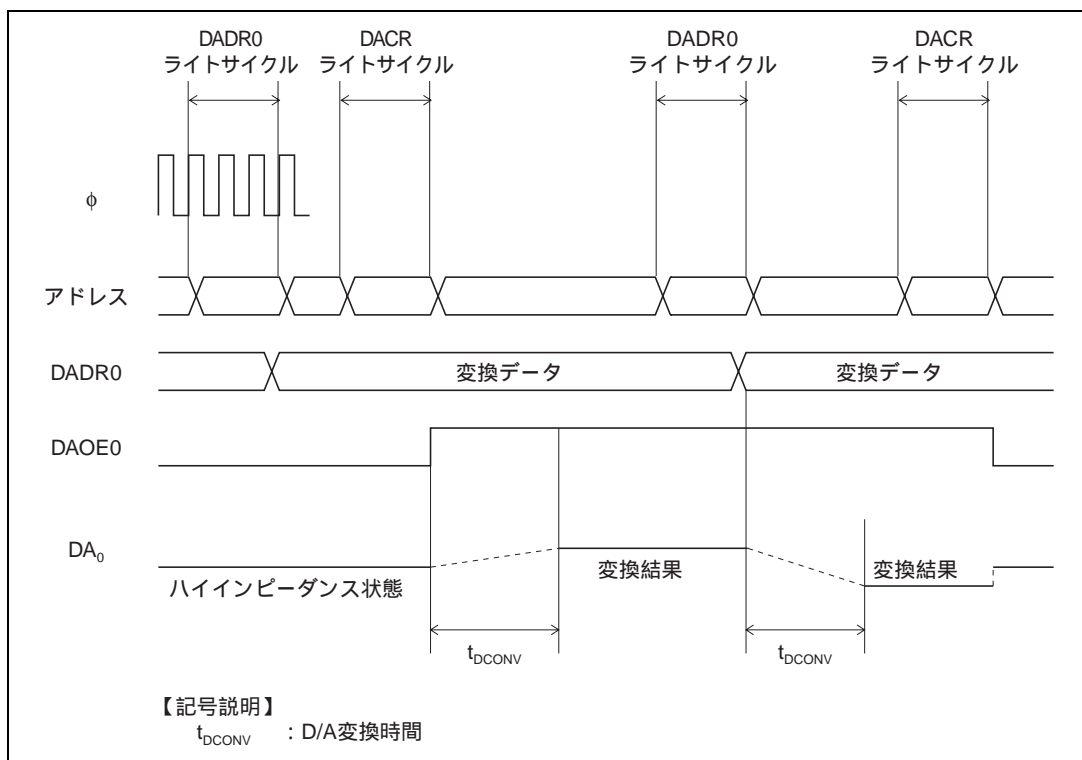


図 15.2 D/A 変換器の動作例

16. RAM

16.1 概要

H8/3042 グループは、2K バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

内蔵 RAM は、モード 1、2、5、7 のとき H'FF710 ~ H'FFF0F に、モード 3、4 のとき H'FFF710 ~ H'FFFF0F、モード 6 のとき H'F710 ~ H'FF0F に割り当てられており、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより内蔵 RAM 有効 / 無効の制御を行います。

16.1.1 ブロック図

RAM のブロック図を図 16.1 に示します。

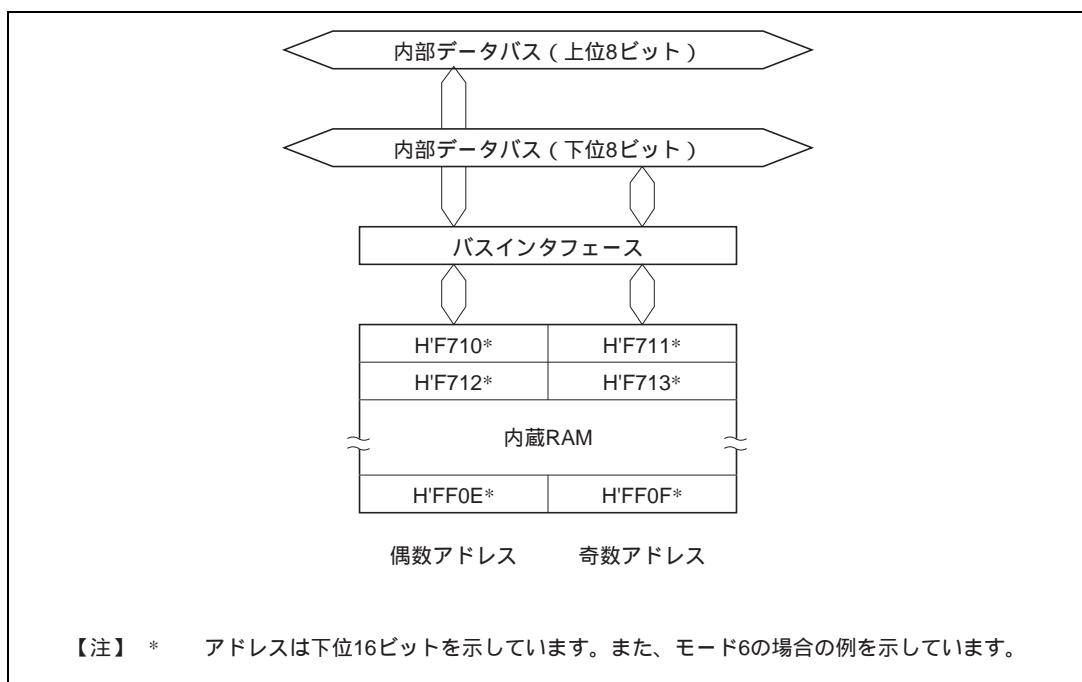


図 16.1 RAM のブロック図

16.1.2 レジスタ構成

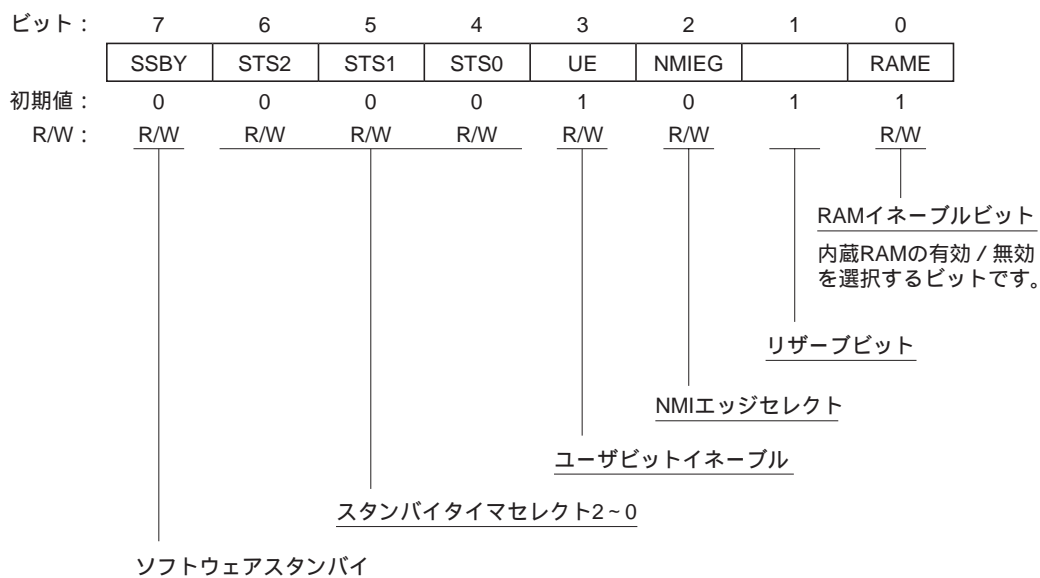
内蔵 RAM は、SYSCR で制御されます。
SYSCR のアドレスと初期値を表 16.1 に示します。

表 16.1 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】 * アドレスは下位 16 ビットを示しています。

16.2 システムコントロールレジスタ (SYSCR)



SYSCR は、内蔵 RAM へのアクセスを許可 / 禁止するレジスタです。内蔵 RAM は SYSCR の RAME ビットにより有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット0: RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットは $\overline{\text{RES}}$ 端子の立ち上がりエッジで初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

16.3 動作説明

RAME ビットが"1"にセットされているとき、モード 1、2、5、7 では H'FF710 ~ H'FFF0F を、モード 3、4 では H'FFF710 ~ H'FFFF0F を、モード 6 では H'F710 ~ H'FF0F をアクセスすると内蔵 RAM がアクセスされます。また、モード 1 ~ 5 (拡張モード) では RAME ビットが"0"にクリアされているときは、外部アドレス空間がアクセスされます。モード 6、7 (シングルチップモード) では、RAME ビットが"0"にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

RAM は CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトも可能です。

バイトデータは、データバス上位 8 ビットを使い 2 ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス 16 ビットを使い 2 ステートでアクセスできます。

17. ROM

17.1 概要

H8/3042 は 64K バイト、H8/3041 は 48K バイト、H8/3040 は 32K バイトの ROM を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、リードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

内蔵 ROM の有効または無効の設定は表 17.1 に示すように、モード端子 (MD₂ ~ MD₀) により設定します。

表 17.1 動作モードと ROM

モード名	モード端子			内蔵 ROM
	MD2	MD1	MD0	
モード 1 (内蔵 ROM 無効拡張 1M バイトモード)	0	0	1	無効 (外部アドレス)
モード 2 (内蔵 ROM 無効拡張 1M バイトモード)	0	1	0	
モード 3 (内蔵 ROM 無効拡張 16M バイトモード)	0	1	1	
モード 4 (内蔵 ROM 無効拡張 16M バイトモード)	1	0	0	
モード 5 (内蔵 ROM 有効拡張 1M バイトモード)	1	0	1	有効
モード 6 (シングルチップノーマルモード)	1	1	0	
モード 7 (シングルチップアドバンスモード)	1	1	1	

なお、H8/3042 の PROM 版は、PROM モードに設定することにより汎用 PROM ライタを用いて、自由にプログラムの書き込みができます。

17.1.1 ブロック図

ROMのブロック図を図17.1に示します。

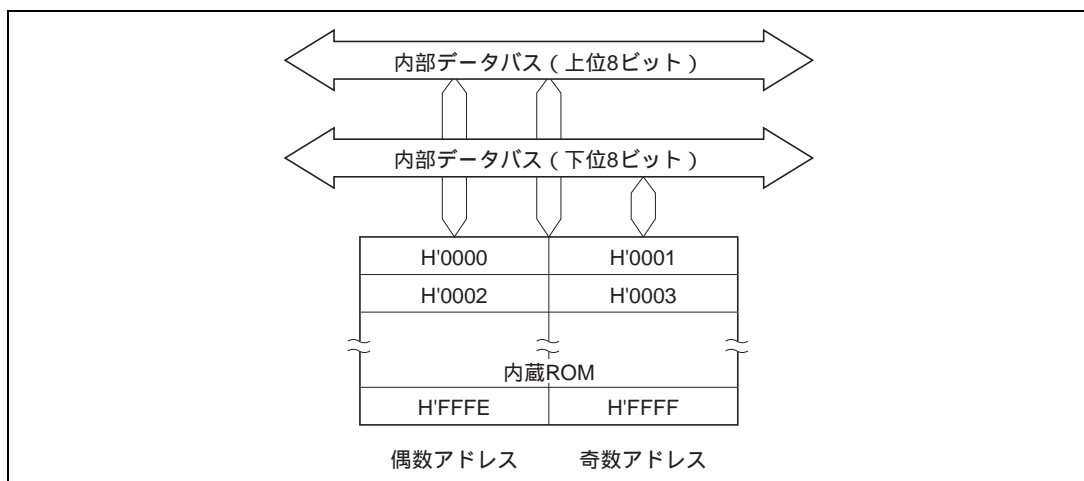


図 17.1 ROMのブロック図 (H8/3042の場合)

17.2 PROM モード

17.2.1 PROM モードの設定

H8/3042 の PROM 版の場合、PROM モードに設定するとマイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。PROM モードの設定方法を表 17.2 に示します。

表 17.2 PROM モード設定

端子名	設定
モード端子 (MD ₂ 、MD ₁ 、MD ₀) の 3 端子	"Low"レベル
STBY 端子	
P5 ₁ 、P5 ₀ 端子	"High"レベル

17.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 17.3 で示すように各パッケージに対応した、ソケットアダプタを付けて 32 ピンに変換し、汎用 PROM ライタで行います。ソケットアダプタの端子対応図を図 17.2 に示します。また、メモリマップを図 17.3 に示します。

表 17.3 ソケットアダプタ

製品名	パッケージ名	ソケットアダプタの型名
H8/3042	100 ピン QFP (FP-100B)	HS3042ESH01H
	100 ピン TQFP (TFP-100B)	HS3042ESN01H
	100 ピン QFP (FP-100A)	HS3042ESF01H

H8/3042 の PROM の容量は、64K バイトです。PROM モードのときのメモリマップを図 17.3 に示します。内蔵 PROM 内の未使用のアドレス領域のデータは、H'FF としてください。

H8/3042 を PROM ライタでプログラムする際に、アドレスは H'0000 ~ H'FFFF に設定し、H'10000 以降のデータは H'FF としてください。誤って H'10000 以降にプログラムすると、PROM の書き込みや確認ができなくなることがあります。また、ページプログラミング方式で、プログラムしようとした場合も同様です。

17. ROM

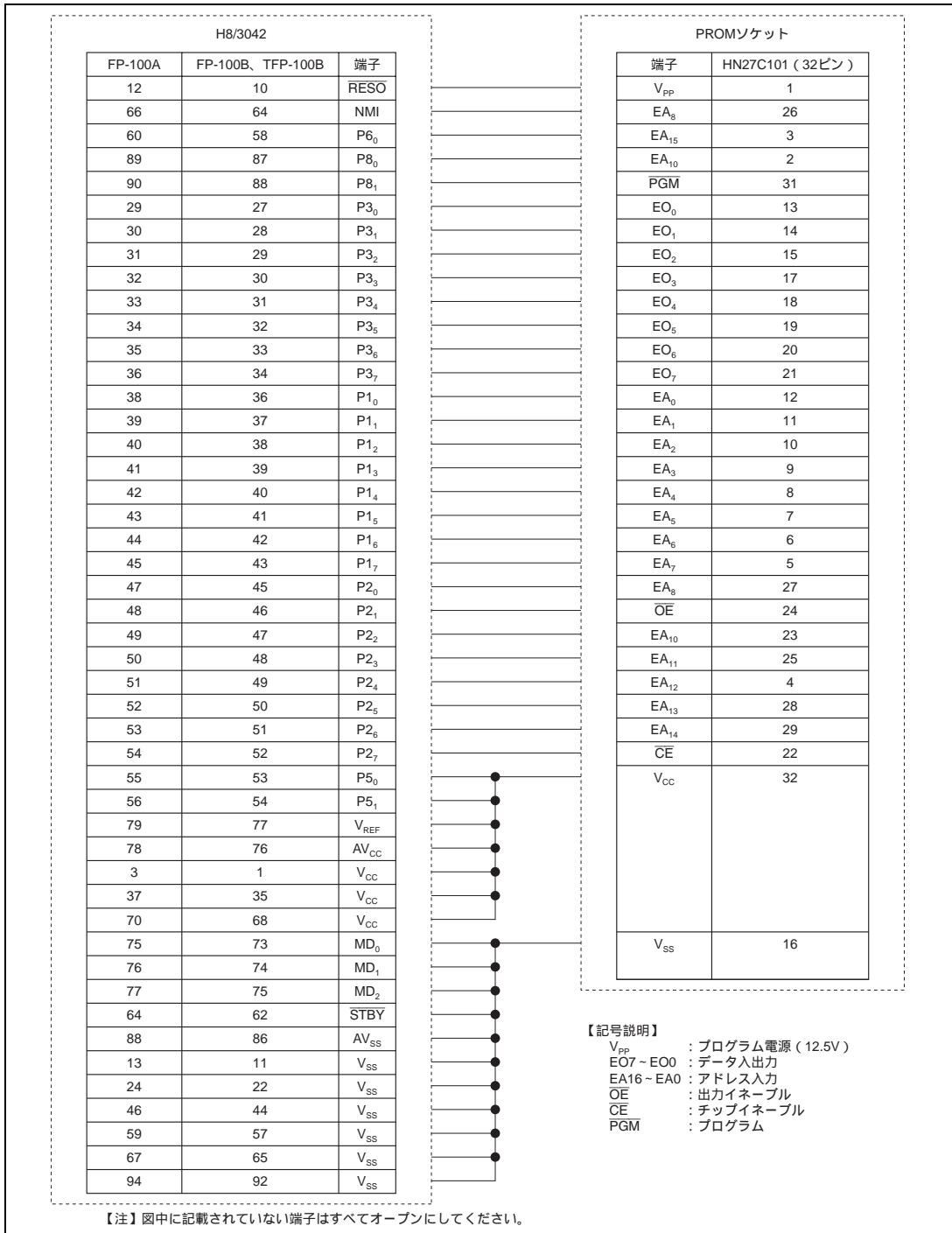


図 17.2 ソケットアダプタの端子対応図

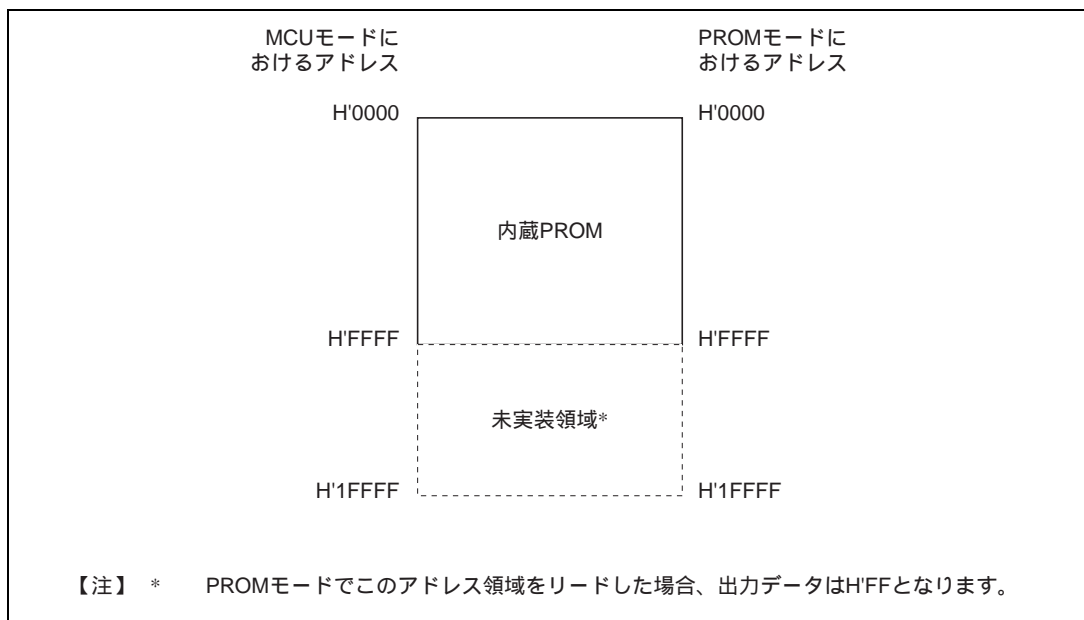


図 17.3 H8/3042 の PROM モード時のメモリマップ

17.3 プログラミング

PROM モード時の書き込み、ベリファイなどのモード選択は、表 17.4 に示すような設定によって行います。

表 17.4 PROM モード時のモード選択

モード \ ピン	\overline{OE}	\overline{OE}	\overline{PGM}	V_{PP}	V_{CC}	$EO_7 \sim EO_0$	$EA_{14} \sim EA_0$
書き込み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイ インピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

【記号説明】

L : "Low"レベル
 H : "High"レベル
 V_{PP} : " V_{PP} "レベル
 V_{CC} : " V_{CC} "レベル

なお、書き込み・読み出しは標準の EPROM HN27C101 と同じ仕様になっています。

ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H'0000 ~ H'FFFF に設定してください。

17.3.1 書き込み / ベリファイ

書き込み / ベリファイは効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損なうことなく高速な書き込みを行うことができます。未使用のアドレス領域のデータは H'FF です。

高速プログラミングの基本的なフローを図 17.4 に示します。

また、プログラミング時の電気的特性を表 17.5、表 17.6 に、タイミングを図 17.5 に示します。

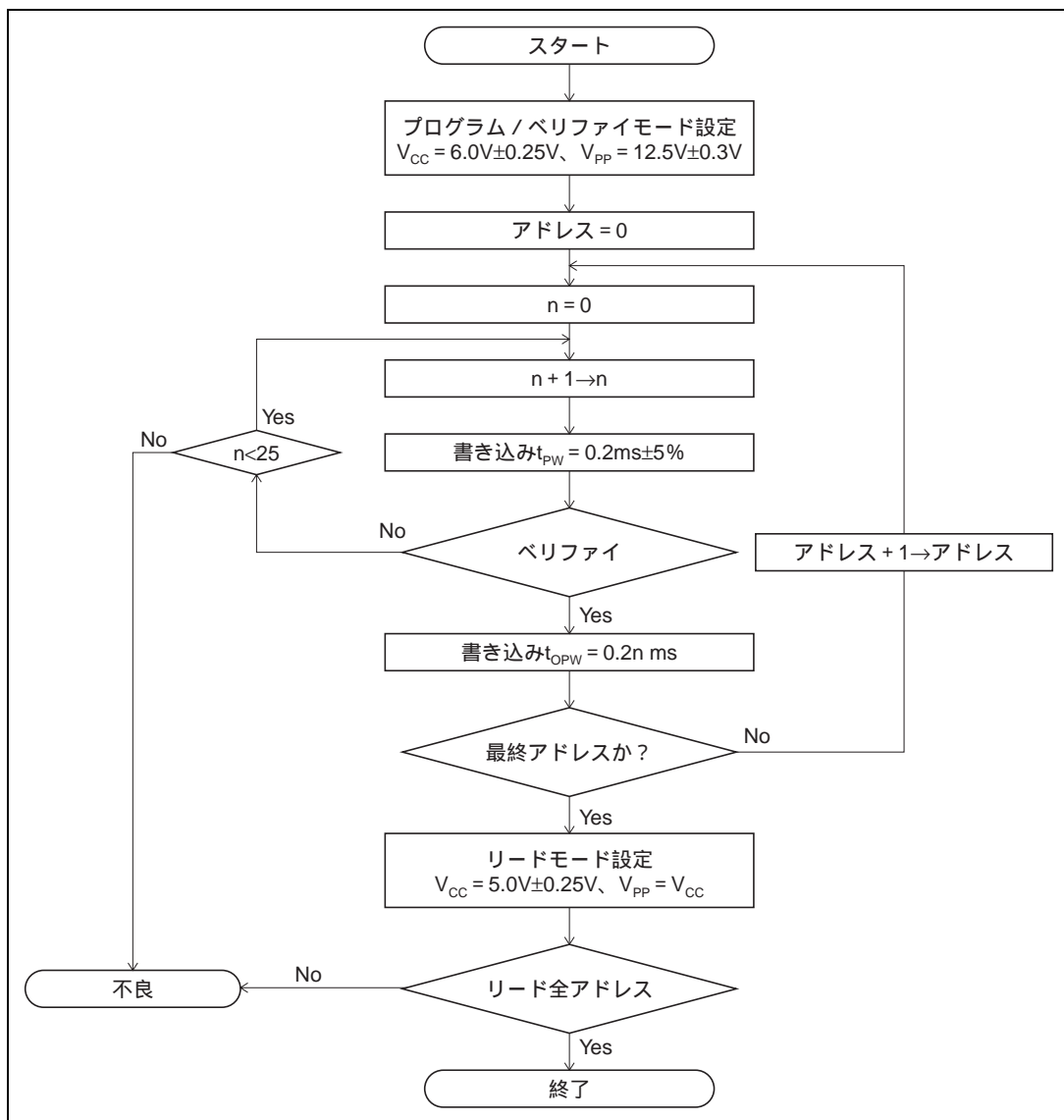


図 17.4 高速プログラミングフローチャート

17. ROM

表 17.5 DC 特性

〔暫定仕様〕

条件 : $V_{CC} = 6.0 \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^\circ C \pm 5^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力"High"レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 OE 、 CE 、 \overline{PGM}	V_{IH}	2.4		$V_{CC}+0.3$	V
入力"Low"レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 OE 、 CE 、 \overline{PGM}	V_{IL}	- 0.3		0.8	V
出力"High"レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4			V $I_{OH} = -200\mu A$
出力"Low"レベル電圧	$EO_7 \sim EO_0$	V_{OL}			0.45	V $I_{OL} = 1.6mA$
入力リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 OE 、 CE 、 \overline{PGM}	$ I_{L1} $			2	μA $V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}			40	mA
V_{PP} 電流		I_{PP}			40	mA

表 17.6 AC 特性

条件 : $V_{CC} = 6.0 \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25^\circ C \pm 5^\circ C$

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 17.5*1
OE セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の \overline{PGM} パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
CE セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		150	ns	

【注】 *1 入力パルス・レベル : 0.8 ~ 2.2V

入力立ち上がり / 立ち下がり時間 20ns

タイミング参照レベル 入力 : 1.0V、2.0V

出力 : 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。*3 t_{OPW} はフローチャートに記載した値で定義されます。

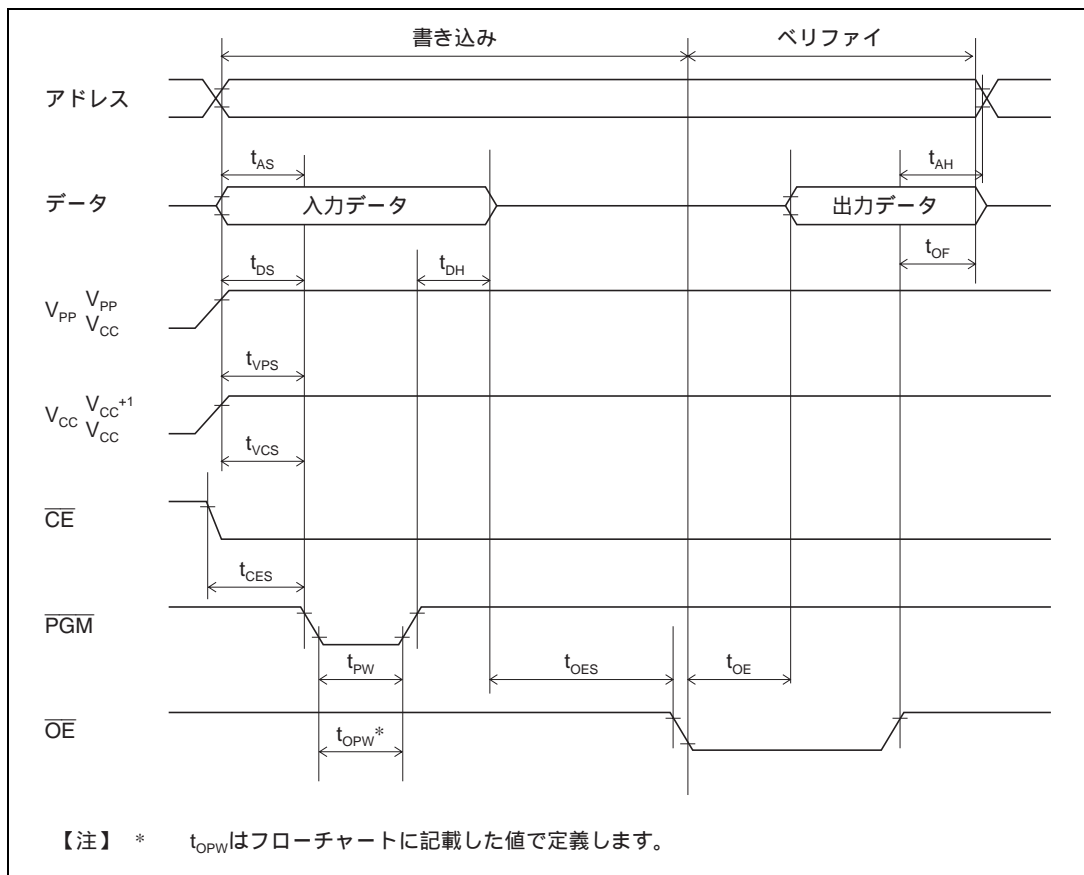


図 17.5 PROM 書き込み / ベリファイ・タイミング

17.3.2 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{pp}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C101のルネサス仕様にセットすると、 V_{pp} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しくPROMライタの装着されていることを必ず確認してください。
- (3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) H8/3042のPROMの容量は64Kバイトです。アドレスは必ずH'0000 ~ H'FFFFに設定してください。プログラムする際には、未使用のアドレス領域 (H'10000 ~ H'1FFFF) のデータはH'FFとしてください。

17.4 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 17.6 に推奨するスクリーニングフローを示します。

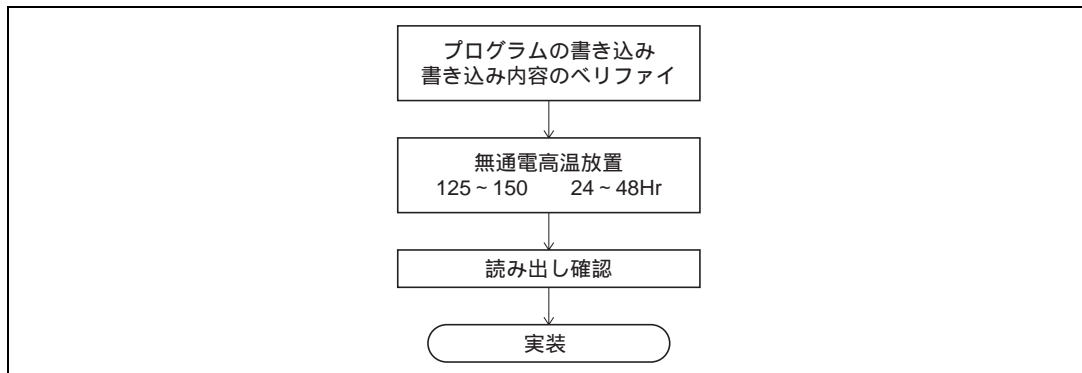


図 17.6 推奨スクリーニングフロー

同じ、PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

18. クロック発振器

18.1 概要

H8/3042 グループは、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、クロック発振器はシステムクロック（ ϕ ）、及び内部クロック（ $\phi/2 \sim \phi/4096$ ）を生成します。

クロック発振器は、発振器、デューティ補正回路、およびプリスケアラから構成されます。

18.1.1 ブロック図

図 18.1 にクロック発振器のブロック図を示します。

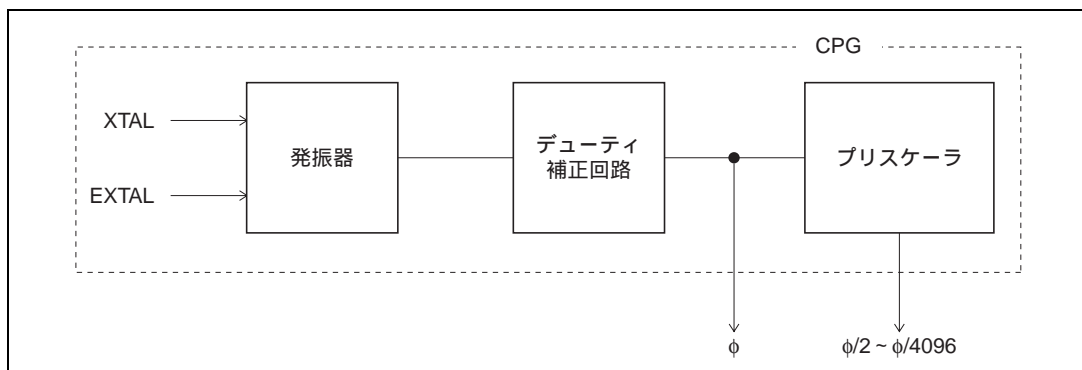


図 18.1 クロック発振器のブロック図

18.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

18.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗 R_d は、表 18.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

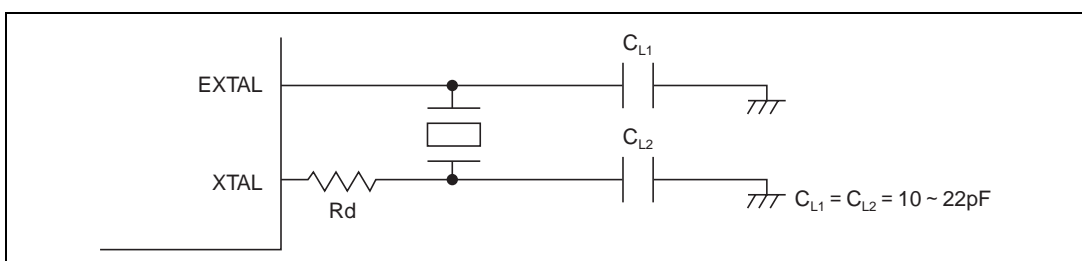


図 18.2 水晶発振子を接続する場合の接続例

表 18.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16
R_d (Ω)	1k	500	200	0	0	0

(2) 水晶発振子

図 18.3 に水晶発振子の等価回路を示します。水晶発振子は表 18.2 に示す特性のものを使用してください。

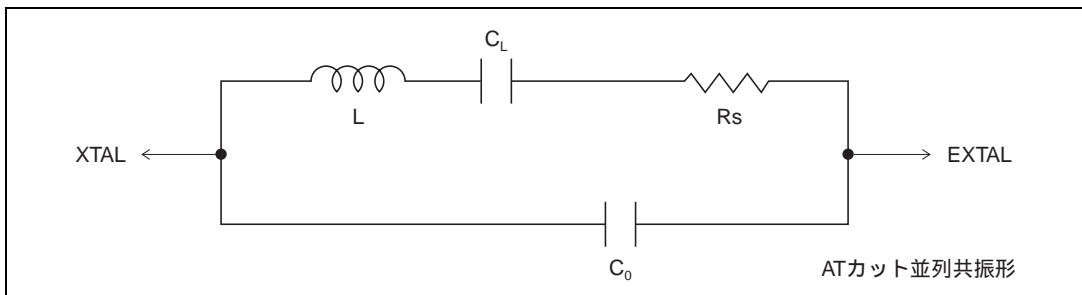


図 18.3 水晶発振子の等価回路

表 18.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16
Rs max (Ω)	500	120	80	70	60	50
C ₀ (pF)	7 pF max					

水晶発振子は、 ϕ と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通させないでください。誘導により正しい発振ができなくなる場合があります(図 18.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

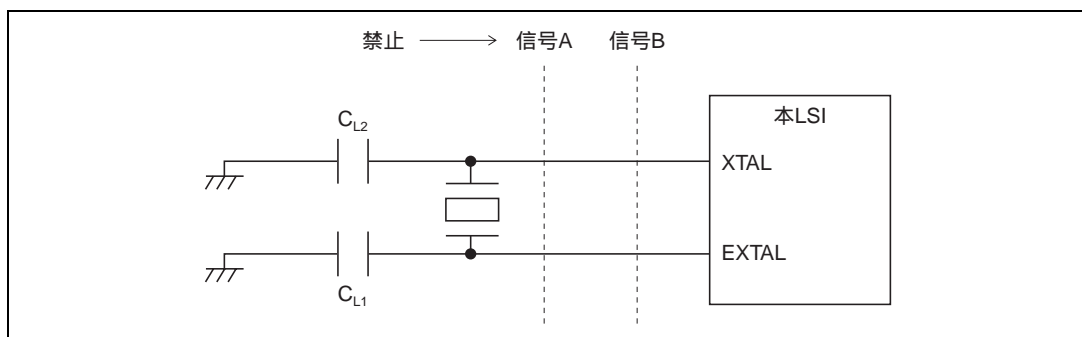


図 18.4 発振回路部のボード設計に関する注意事項

18.2.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 18.5 に示します。図 18.5 (b) の場合、スタンバイモード時には外部クロックが"High"レベルとなるようにしてください。

XTAL 端子をオープン状態にする場合は、寄生容量が 10pF 以下としてください。

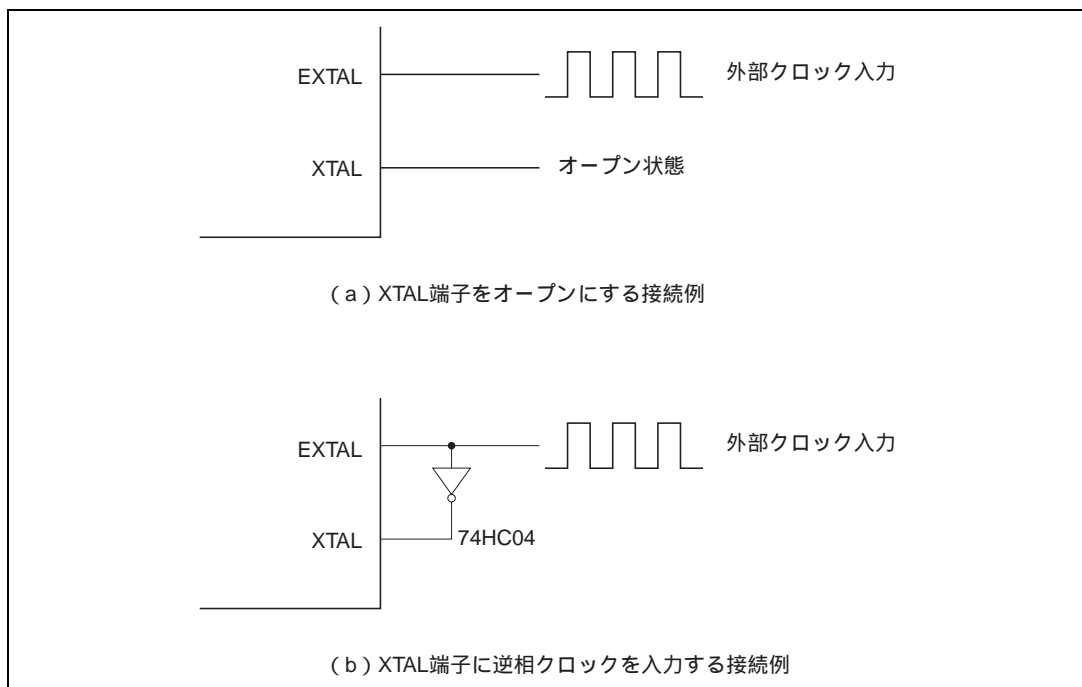


図 18.5 外部クロックを入力する場合の接続例

(2) 外部クロック

外部クロックは ϕ と同一の周波数にしてください。表 18.3 と図 18.6 にクロックタイミングを示します。

表 18.3 クロックタイミング

項目	記号	$V_{CC} = 2.7\sim 5.5V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック 立ち上がり時間	t_{EXr}		10		5	ns	図 18.6	
外部クロック 立ち下がり時間	t_{EXf}		10		5	ns		
外部クロック入力 デューティ (a/t_{cyc})		30	70	30	70	%	ϕ 5MHz	図 18.6
		40	60	40	60	%	$\phi < 5MHz$	
ϕ クロック幅 デューティ (b/t_{cyc})		40	60	40	60	%		

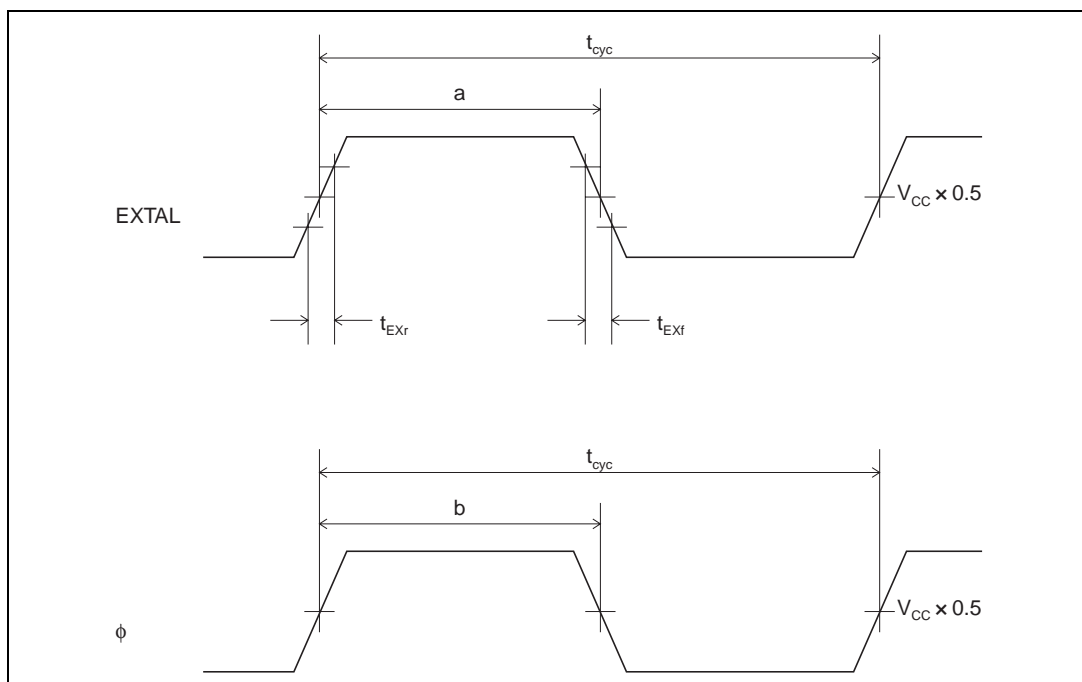


図 18.6 外部クロック入力タイミング

18.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 ϕ を生成します。

18.4 プリスケーラ

プリスケーラは、 ϕ を分周し内部クロック ($\phi/2 \sim \phi/4096$) を生成します。

19. 低消費電力状態

19.1 概要

H8/3042 グループには、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードからの解除方法を表 19.1 に示します。

表 19.1 低消費電力状態

モード	遷移条件	状態								解除方法
		クロック	CPU		DMAC	リフレッシュ コントローラ	周辺 機能	RAM	I/O ポート	
				レジスタ						
スリープ モード	SYSCR の SSBY = "0" の状態で SLEEP 命令 を実行	動作	停止	保持	動作	動作	動作	保持	保持	<ul style="list-style-type: none"> • 割り込み • RES 端子 • STBY 端子
ソフトウェア スタンバイ モード	SYSCR の SSBY = "1" の状態で SLEEP 命令 を実行	停止	停止	保持	停止 リセット	停止 保持*1	停止 リセット	保持	保持	<ul style="list-style-type: none"> • NMI 端子 • $\overline{IRQ}_0 \sim$ \overline{IRQ}_2 端子 • RES 端子 • STBY 端子
ハードウェア スタンバイ モード	STBY 端子を "Low" レベル	停止	停止	不定	停止 リセット	停止 リセット	停止 リセット	保持*2	ハイ インピー ダンス	<ul style="list-style-type: none"> • \overline{STBY} 端子 • RES 端子

【記号説明】

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

【注】 *1 RTCNT、RTNCSR のビット 7、6 は初期化され、その他は保持となります。

*2 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前に SYSCR の RAME ビットを "0" にクリアする必要があります。

19.2 レジスタ構成

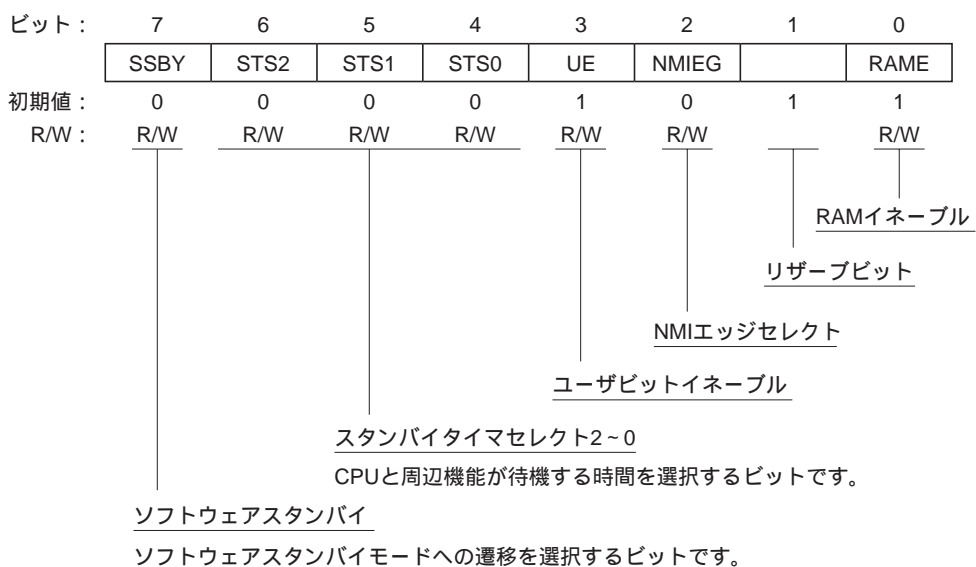
本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ (SYSCR) があります。レジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】 * アドレスの下位 16 ビットを示しています。

19.2.1 システムコントロールレジスタ (SYSCR)



SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6~4 の STS2~STS0 ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは"1"にセットされたままです。クリアする場合は、"0"をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6~4: スタンバイタイムセレクト2~0 (STS2~0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表 17.3 を参照し動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0		待機時間 = 131072 ステート
1	1		使用禁止

19.3 スリープモード

19.3.1 スリープモードへの遷移

SYSCR の SSBY ビットを"0"にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは DMA コントローラ (DMAC)、リフレッシュコントローラ、および内蔵周辺モジュールの機能は停止しません。

19.3.2 スリープモードの解除

スリープモードの解除は、割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、割り込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合、また、NMI 以外の割り込みで CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を"Low"レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を"Low"レベルにすると、ハードウェアスタンバイモードに遷移します。

19.4 ソフトウェアスタンバイモード

19.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを "1" にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。DMAC、内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートおよびリフレッシュコントローラ*の状態も保持されています。

【注】* RTCNT、RTMCSR のビット 7、6 はイニシャライズされ、その他は保持となります。

19.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{IRQ_0}$ ~ $\overline{IRQ_2}$ 端子)、 \overline{RES} 端子、または \overline{STBY} 端子によって行われます。

(1) 割り込みによる解除

NMI、 IRQ_0 ~ IRQ_2 割り込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。なお、 IRQ_0 ~ IRQ_2 割り込みは、対応するイネーブルビットが "0" にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を "Low" レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで "Low" レベルに保持してください。 \overline{RES} 端子を "High" レベルにすると、CPU はリセット例外処理を開始します。

(3) \overline{STBY} 端子による解除

\overline{STBY} 端子を "Low" レベルにすると、ハードウェアスタンバイモードに遷移します。

19.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 を設定してください。

表 19.3 に動作周波数と STS2 ~ STS0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

任意の値を選択可能です。

表 19.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.51	0.65	0.8	1.0	1.3	2.0	4.1	ms
0	0	1	16384 ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
0	1	0	32768 ステート	2.0	2.7	3.3	4.1	5.5	8.2	16.4	
0	1	1	65536 ステート	4.1	5.5	6.6	8.2	10.9	16.4	32.8	
1	0		131072 ステート	8.2	10.9	13.1	16.4	21.8	32.8	65.5	
1	1		使用禁止								

 : 推奨設定時間

19.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジで解除を行う例を、図 19.1 に示します。

SYSCR の NMI エッジ (NMIEG) ビットが"0"にクリアされている (立ち下がりエッジ指定) 状態で NMI 割り込みを受け付けた後、NMIEG ビットを"1"にセットします (立ち上がりエッジ指定)。SSBY ビットを"1"にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。

その後、NMI 端子の立ち上がりエッジで、ソフトウェアスタンバイモードが解除されます。

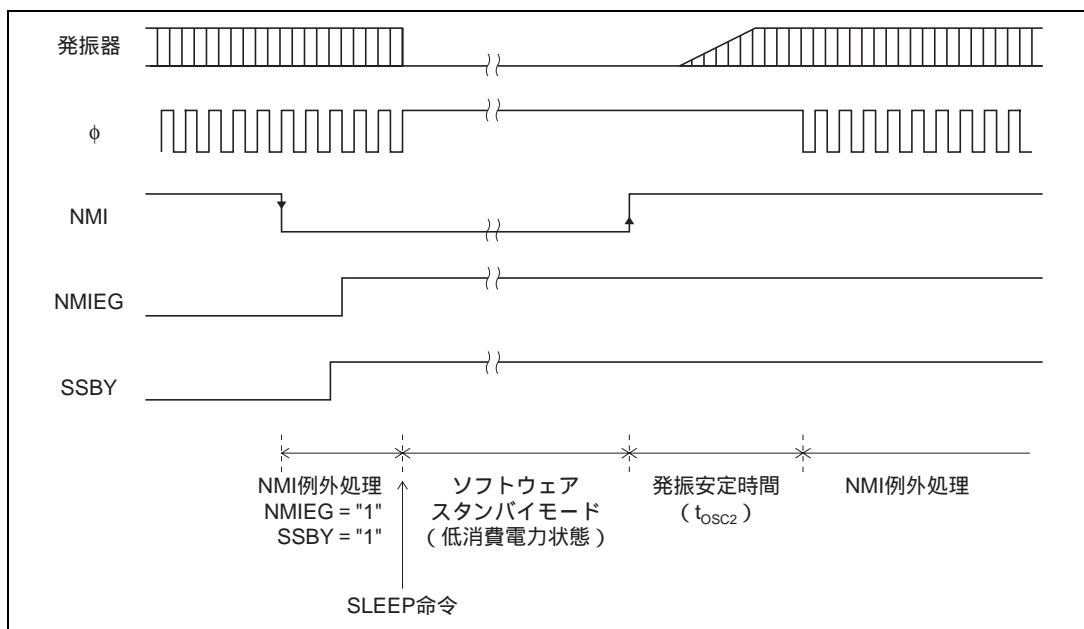


図 19.1 ソフトウェアスタンバイモード時の NMI タイミング (例)

19.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、"High"レベルを出力している場合、出力電流分の消費電流は低減されません。

19.5 ハードウェアスタンバイモード

19.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を"Low"レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、DMAC、リフレッシュコントローラ、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を"Low"レベルにする前に、SYSCR の RAME ビットを"0"にクリアしてください。

ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

19.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を"Low"レベルにした状態で、 $\overline{\text{STBY}}$ 端子を"High"レベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで"Low"レベルに保持してください。 $\overline{\text{RES}}$ 端子を"High"レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

19.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 19.2 に示します。

$\overline{\text{RES}}$ 端子を"Low"レベルにした後、 $\overline{\text{STBY}}$ 端子を"Low"レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を"High"レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を"Low"レベルから"High"レベルにすることにより行われます。

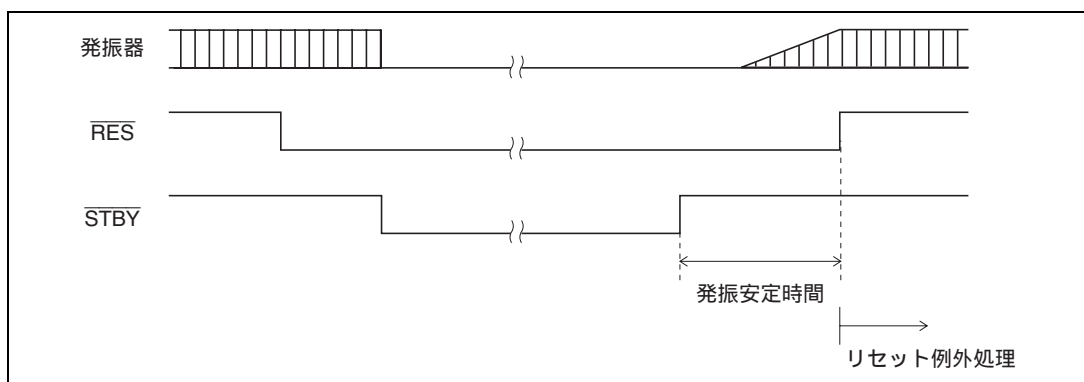


図 19.2 ハードウェアスタンバイモードのタイミング

20. 電気的特性

20.1 絶対最大定格

絶対最大定格を表 20.1 に示します。

表 20.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V
プログラム電圧	V_{PP}	- 0.3 ~ + 13.5	V
入力電圧 (ポート 7 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	V_{REF}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : - 20 ~ + 75	°C
		広温度範囲仕様品 : - 40 ~ + 85	°C
保存温度	T_{SLg}	- 55 ~ + 125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

20.2 電気的特性

20.2.1 DC 特性

DC 特性を表 20.2 に示します。また、出力許容電流値を表 20.3 に示します。

20. 電気的特性

表 20.2 DC 特性 (1)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ 入力電圧	ポート A、 P8 ₃ ~ P8 ₂	V_T^-	1.0		V		
	PB ₀ ~ PB ₃	V_T^+		$V_{CC} \times 0.7$	V		
		$V_T^+ - V_T^-$	0.4				V
入力"High" レベル電圧	RES、STBY、NMI、 MD ₂ ~ MD ₀	V_{in}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 7		2.0		$AV_{CC} + 0.3$	V	
	ポート 1、2、3、4、5、6、9 P8 ₃ 、P8 ₄ 、 PB ₄ ~ PB ₇		2.0		$V_{CC} + 0.3$	V	
入力"Low" レベル電圧	RES、STBY、 MD ₂ ~ MD ₀	V_{IL}	- 0.3		0.5	V	
	NMI、EXTAL、 ポート 1、2、3、4、5、6、7、9 P8 ₃ 、P8 ₄ 、 PB ₄ ~ PB ₇		- 0.3		0.8	V	
出力"High" レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$	
			3.5		V	$I_{OH} = -1mA$	
出力"Low" レベル電圧	全出力端子 (RESO を除く)	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、5、B				1.0	V	$I_{OL} = 10mA$
	RESO				0.4	V	$I_{OL} = 2.6mA$
入力リーク 電流	STBY、NMI、RES、 MD ₂ ~ MD ₀	$ I_{in} $			1.0	μA	$V_{in} =$ $0.5 \sim V_{CC} - 0.5V$
	ポート 7				1.0	μA	$V_{in} =$ $0.5 \sim AV_{CC} - 0.5V$

項目		記号	min	typ	max	単位	測定条件
スリー ステート リーク電流 (オフ状態)	ポート 1、2、3、4、5、6、8 ~ B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	RESO				10.0	μA	
入力 プルアップ MOS 電流	ポート 2、4、5	$-I_p$	50		300	μA	$V_{in} = 0V$
入力容量	NMI	C_{in}			50	pF	$V_{in} = 0V$ $f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$
	NMI 以外の 全入力端子				15	pF	
消費電流*2	通常動作時	I_{CC}		35	55	mA	$f = 10\text{MHz}$
				40	65		$f = 12\text{MHz}$
				50	80		$f = 16\text{MHz}$
	スリープ時			25	40	$f = 10\text{MHz}$	
				30	45	$f = 12\text{MHz}$	
				35	60	$f = 16\text{MHz}$	
スタンバイ時*3		0.01	5.0	μA	$T_a = 50^\circ\text{C}$		
			20.0		$50^\circ\text{C} < T_a$		
アナログ 電源電流	A/D 変換中	AI_{CC}		1.2	2.0	mA	$V_{REF} = 5.0V$
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{CC}		0.3	0.6	mA	
	A/D、D/A 変換中			1.3	3.0		
	A/D、D/A 変換待機時			0.01	5.0		
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に、 AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \text{ min} = V_{CC} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} \ V_{CC} < 4.5V$ のとき、 $V_{IH \text{ MIN}} = V_{CC} \times 0.9$ 、 $V_{IL \text{ MAX}} = 0.3V$ とした場合の値です。

20. 電気的特性

表 20.2 DC 特性 (2)

条件: $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$
 $T_a = -20 \sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40 \sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	ポート A、 P8 ₀ ~ P8 ₂	V_T^-	$V_{CC} \times 0.2$		V		
	PB ₀ ~ PB ₃	V_T^+		$V_{CC} \times 0.7$	V		
		$V_T^+ - V_T^-$	$V_{CC} \times 0.07$				V
入力 "High" レベル電圧	RES、STBY、NMI、 MD ₂ ~ MD ₀	V_{in}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 7		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V	
	ポート 1、2、3、4、5、6、9 P8 ₃ 、P8 ₄ 、 PB ₄ ~ PB ₇		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
入力 "Low" レベル電圧	RES、STBY、 MD ₂ ~ MD ₀	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、 ポート 1、2、3、4、5、6、7、9 P8 ₃ 、P8 ₄ 、 PB ₄ ~ PB ₇		- 0.3		$V_{CC} \times 0.2$ 0.8	V	
出力 "High" レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$			V	$V_{CC} = 4.5V$ $I_{OH} = -1mA$
			3.5			V	$4.5 < V_{CC} \leq 5.5V$ $I_{OH} = -1mA$
出力 "Low" レベル電圧	全出力端子 (RES0 を除く)	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
			ポート 1、2、5、B			1.0	V
	RES0				0.4	V	$I_{OL} = 2.6mA$
入力リーク 電流	STBY、NMI、RES、 MD ₂ ~ MD ₀	$ I_{in} $			1.0	μA	$V_{in} =$ $0.5 \sim V_{CC} - 0.5V$
	ポート 7				1.0	μA	$V_{in} =$ $0.5 \sim AV_{CC} - 0.5V$

項目		記号	min	typ	max	単位	測定条件
スリー ステート リーク電流 (オフ状態)	ポート 1、2、3、4、5、6、8～B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5\text{V}$
	RESO				10.0	μA	
入力 プルアップ MOS 電流	ポート 2、4、5	$-I_p$	10		300	μA	$V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ $V_{in} = 0\text{V}$
入力容量	NMI	C_{in}			50	pF	$V_{in} = 0\text{V}$ $f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$
	NMI 以外の全入力端子				15	pF	
消費電流*2	通常動作時	I_{CC}^{*4}		30 (5.0V)	36.2 (5.5V)	mA	$f = 8\text{MHz}$
	スリープ時			20 (5.0V)	27.4 (5.5V)	mA	$f = 8\text{MHz}$
	スタンバイ時*3			0.01	5.0	μA	$T_a = 50^\circ\text{C}$ $50^\circ\text{C} < T_a$
アナログ 電源電流	A/D 変換中	AI_{CC}		1.0	2.0	mA	$AV_{CC} = 3.0\text{V}$
				1.2			$AV_{CC} = 5.0\text{V}$
	A/D、D/A 変換中			1.8	4.0	$AV_{CC} = 3.0\text{V}$	
				2.0		$AV_{CC} = 5.0\text{V}$	
A/D、D/A 変換待機時		0.01	5.0	μA			
リファレンス 電源電流	A/D 変換中	AI_{CC}		0.2	0.4	mA	$V_{REF} = 3.0\text{V}$
				0.3			$V_{REF} = 5.0\text{V}$
	A/D、D/A 変換中			1.0	2.0	$V_{REF} = 3.0\text{V}$	
				1.3		$V_{REF} = 5.0\text{V}$	
A/D、D/A 変換待機時		0.01	5.0	μA			
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH\ min} = V_{CC} - 0.5\text{V}$ 、 $V_{IL\ max} = 0.5\text{V}$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 2.7\text{V}$ のとき、 $V_{IH\ MIN} = V_{CC} \times 0.9$ 、 $V_{IL\ MAX} = 0.3\text{V}$ とした場合の値です。

*4 I_{CC} は下記の式にしたがって V_{CC} と f に依存します。

$$I_{CC\ max.} = 1.0(\text{mA}) + 0.8(\text{mA/MHz} \cdot \text{V}) \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC\ max.} = 1.0(\text{mA}) + 0.6(\text{mA/MHz} \cdot \text{V}) \times V_{CC} \times f \text{ (スリープ時)}$$

20. 電気的特性

表 20.2 DC 特性 (3)

条件: $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$
 $T_a = -20 \sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40 \sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	ポート A、 P8 ₀ ~ P8 ₂	V_{T-}	$V_{CC} \times 0.2$		V	
	PB ₀ ~ PB ₃	V_{T+}		$V_{CC} \times 0.7$	V	
		$V_{T+} - V_{T-}$	$V_{CC} \times 0.07$			
入力"High"レベル電圧	RES、STBY、NMI、 MD ₂ ~ MD ₀	V_{in}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V
	ポート 7		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V
	ポート 1、2、3、4、5、6、9 P8 ₃ 、P8 ₄ 、 PB ₄ ~ PB ₇		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V
入力"Low"レベル電圧	RES、STBY、 MD ₂ ~ MD ₀	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V
	NMI、EXTAL、 ポート 1、2、3、4、5、6、7、9 P8 ₃ 、P8 ₄ 、 PB ₄ ~ PB ₇		- 0.3		$V_{CC} \times 0.2$ 0.8	V $V_{CC} < 4.0V$ $V_{CC} = 4.0 \sim 5.5V$
出力"High"レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$			V $I_{OH} = -200\mu A$
			$V_{CC} - 1.0$			V $V_{CC} = 4.5V$ $I_{OH} = -1mA$
			3.5			V $4.5 < V_{CC} \leq 5.5V$ $I_{OH} = -1mA$
出力"Low"レベル電圧	全出力端子 (RES0 を除く)	V_{OL}			0.4	V $I_{OL} = 1.6mA$
	ポート 1、2、5、B				1.0	V $V_{CC} = 4V$ $I_{OL} = 8mA$ $4V < V_{CC} \leq 5.5V$ $I_{OL} = 10mA$
	RES0				0.4	V $I_{OL} = 2.6mA$
入力リーク電流	STBY、NMI、RES、 MD ₂ ~ MD ₀	I_{in}			1.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 7				1.0	μA $V_{in} = 0.5 \sim AV_{CC} - 0.5V$

項目		記号	min	typ	max	単位	測定条件
スリープ ステート リーク電流 (オフ状態)	ポート 1、2、3、4、5、6、8 ~ B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5\text{V}$
	$\overline{\text{RESO}}$				10.0	μA	
入力 プルアップ MOS 電流	ポート 2、4、5	$-I_p$	10		300	μA	$V_{CC} = 3.0\text{V} \sim 5.5\text{V}$ $V_{in} = 0\text{V}$
入力容量	NMI	C_{in}			50	pF	$V_{in} = 0\text{V}$ $f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$
	NMI 以外の 全入力端子				15	pF	
消費電流*2	通常動作時	I_{CC}^{*4}		38 (5.0V)	45 (5.5V)	mA	$f = 10\text{MHz}$
	スリープ時			27 (5.0V)	34 (5.5V)	mA	$f = 10\text{MHz}$
	スタンバイ時*3			0.01	5.0	μA	$T_a = 50^\circ\text{C}$ $50^\circ\text{C} < T_a$
アナログ 電源電流	A/D 変換中	AI_{CC}		1.0	2.0	mA	$AV_{CC} = 3.0\text{V}$
				1.2			$AV_{CC} = 5.0\text{V}$
	A/D、D/A 変換中			1.8	4.0		$AV_{CC} = 3.0\text{V}$
				2.0		$AV_{CC} = 5.0\text{V}$	
	A/D、D/A 変換待機時		0.01	5.0	μA		
リファレンス 電源電流	A/D 変換中	AI_{CC}		0.2	0.4	mA	$V_{REF} = 3.0\text{V}$
				0.3			$V_{REF} = 5.0\text{V}$
	A/D、D/A 変換中			1.0	2.0		$V_{REF} = 3.0\text{V}$
				1.3			$V_{REF} = 5.0\text{V}$
	A/D、D/A 変換待機時		0.01	5.0	μA		
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH\ min} = V_{CC} - 0.5\text{V}$ 、 $V_{IL\ max} = 0.5\text{V}$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} = V_{CC} < 3.0\text{V}$ のとき、 $V_{IH\ MIN} = V_{CC} \times 0.9$ 、 $V_{IL\ MAX} = 0.3\text{V}$ とした場合の値です。

*4 I_{CC} は下記の式にしたがって V_{CC} と f に依存します。

$I_{CC\ max.} = 1.0(\text{mA}) + 0.8(\text{mA/MHz} \cdot \text{V}) \times V_{CC} \times f$ (通常動作時)

$I_{CC\ max.} = 1.0(\text{mA}) + 0.6(\text{mA/MHz} \cdot \text{V}) \times V_{CC} \times f$ (スリープ時)

20. 電気的特性

表 20.3 出力許容電流値

条件： $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力"Low"レベル許容電流 (1端子あたり)	ポート 1、2、5、B	I_{OL}			10	mA
	上記以外の出力端子				2.0	mA
出力"Low"レベル許容電流 (総和)	ポート 1、2、5、B、 28 端子の総和	ΣI_{OL}			80	mA
	上記を含む、 全出力端子の総和				120	mA
出力"High"レベル許容電流 (1端子あたり)	全出力端子	I_{OH}			2.0	mA
出力"High"レベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}			40	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 20.3 の値を超えないようにしてください。
 2. ダーリントトランジスタや、LED を直接駆動する場合には、図 20.1、図 20.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

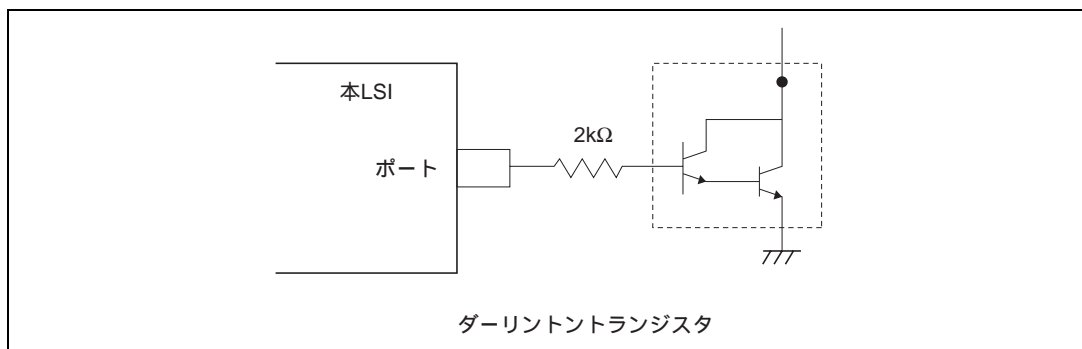


図 20.1 ダーリントトランジスタ駆動回路例

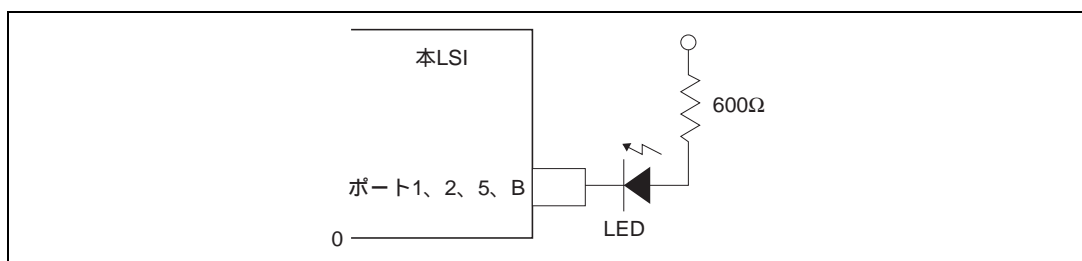


図 20.2 LED 駆動回路例

20.2.2 AC 特性

表 20.4 にバスタイミング、表 20.5 にリフレッシュバスタイミング、表 20.6 に制御信号タイミングを示します。また、表 20.7 に内蔵周辺モジュールタイミングを示します。

表 20.4 バスタイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 B : $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		測定条件
		8MHz		10MHz		16MHz		
		min	max	min	max	min	max	
クロックサイクル時間	t_{SYC}	125	500	100	500	62.5	500	図 20.4、 図 20.5
クロックパルス幅"Low"レベル時間	t_{CL}	40	-	30	-	20	-	
クロックパルス幅"High"レベル時間	t_{CH}	40	-	30	-	20	-	
クロック立ち上がり時間	t_{CR}	-	20	-	15	-	10	
クロック立ち下がり時間	t_{CF}	-	20	-	15	-	10	
アドレス遅延時間	t_{AD}	-	60	-	50	-	30	
アドレスホールド時間	t_{AH}	25	-	20	-	10	-	
アドレスストロブ遅延時間	t_{ASD}	-	60	-	40	-	30	
ライトストロブ遅延時間	t_{WSD}	-	60	-	50	-	30	
ストロブ遅延時間	t_{SD}	-	60	-	50	-	30	
ライトデータストロブパルス幅 1	t_{WSW1}^*	85	-	60	-	35	-	
ライトデータストロブパルス幅 2	t_{WSW2}^*	150	-	110	-	65	-	
アドレスセットアップ時間 1	t_{AS1}	20	-	15	-	10	-	
アドレスセットアップ時間 2	t_{AS2}	80	-	65	-	40	-	
リードデータセットアップ時間	t_{RDS}	50	-	35	-	20	-	
リードデータホールド時間	t_{RDH}	0	-	0	-	0	-	
ライトデータ遅延時間	t_{WDD}	-	75	-	75	-	60	
ライトデータセットアップ時間 1	t_{WDS1}	60	-	65	-	35	-	
ライトデータセットアップ時間 2	t_{WDS2}	15	-	10	-	5	-	
ライトデータホールド時間	t_{WDH}	25	-	20	-	20	-	
リードデータアクセス時間 1	t_{ACC1}^*	-	110	-	100	-	55	
リードデータアクセス時間 2	t_{ACC2}^*	-	230	-	200	-	115	

20. 電気的特性

項目	記号	条件 A		条件 B		条件 C		測定条件
		8MHz		10MHz		16MHz		
		min	max	min	max	min	max	
リードデータアクセス時間 3	t_{ACC3}^*	-	55	-	50	-	25	図 20.4、 図 20.5
リードデータアクセス時間 4	t_{ACC4}^*	-	160	-	150	-	85	
プリチャージ時間	t_{PCH}^*	85	-	60	-	40	-	
ウェイトセットアップ時間	t_{WTS}	40	-	40	-	25	-	図 20.6
ウェイトセットホールド時間	t_{WTH}	10	-	10	-	5	-	
バスリクエストセットアップ時間	t_{BRQS}	40	-	40	-	40	-	図 20.18
バスアクノリッジ遅延時間 1	t_{BACD1}	-	60	-	50	-	30	
バスアクノリッジ遅延時間 2	t_{BACD2}	-	60	-	50	-	30	
バスフローティング時間	t_{BZD}	-	70	-	70	-	40	

単位：ns

【注】 * 8MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{ACC1} = 1.5 \times t_{cyc} - 78 \text{ (ns)} \quad t_{WSW1} = 1.0 \times t_{cyc} - 40 \text{ (ns)}$$

$$t_{ACC2} = 2.5 \times t_{cyc} - 83 \text{ (ns)} \quad t_{WSW2} = 1.5 \times t_{cyc} - 38 \text{ (ns)}$$

$$t_{ACC3} = 1.0 \times t_{cyc} - 70 \text{ (ns)} \quad t_{PCH} = 1.0 \times t_{cyc} - 40 \text{ (ns)}$$

$$t_{ACC4} = 2.0 \times t_{cyc} - 90 \text{ (ns)}$$

10MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{ACC1} = 1.5 \times t_{cyc} - 50 \text{ (ns)} \quad t_{WSW1} = 1.0 \times t_{cyc} - 40 \text{ (ns)}$$

$$t_{ACC2} = 2.5 \times t_{cyc} - 50 \text{ (ns)} \quad t_{WSW2} = 1.5 \times t_{cyc} - 40 \text{ (ns)}$$

$$t_{ACC3} = 1.0 \times t_{cyc} - 50 \text{ (ns)} \quad t_{PCH} = 1.0 \times t_{cyc} - 40 \text{ (ns)}$$

$$t_{ACC4} = 2.0 \times t_{cyc} - 50 \text{ (ns)}$$

16MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{ACC1} = 1.5 \times t_{cyc} - 39 \text{ (ns)} \quad t_{WSW1} = 1.0 \times t_{cyc} - 28 \text{ (ns)}$$

$$t_{ACC2} = 2.5 \times t_{cyc} - 41 \text{ (ns)} \quad t_{WSW2} = 1.5 \times t_{cyc} - 28 \text{ (ns)}$$

$$t_{ACC3} = 1.0 \times t_{cyc} - 38 \text{ (ns)} \quad t_{PCH} = 1.0 \times t_{cyc} - 23 \text{ (ns)}$$

$$t_{ACC4} = 2.0 \times t_{cyc} - 40 \text{ (ns)}$$

表 20.5 リフレッシュコントローラバスタイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 B : $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		測定条件
		8MHz		10MHz		16MHz		
		min	max	min	max	min	max	
RAS 遅延時間 1	t_{RAD1}	-	60	-	50	-	30	図 20.7 ~ 図 20.14
RAS 遅延時間 2	t_{RAD2}	-	60	-	50	-	30	
RAS 遅延時間 3	t_{RAD3}	-	60	-	50	-	30	
ロウアドレスホールド時間*	t_{RAH}	25	-	20	-	15	-	
RAS プリチャージ時間*	t_{RP}	85	-	70	-	40	-	
CAS to RAS プリチャージ時間*	t_{CRP}	85	-	70	-	40	-	
CAS パルス幅	t_{CAS}	110	-	85	-	40	-	
RAS アクセス時間*	t_{RAC}	-	160	-	150	-	85	
アドレスアクセス時間	t_{AA}	-	105	-	75	-	55	
CAS アクセス時間*	t_{CAC}	-	50	-	50	-	25	
ライトデータセットアップ時間 3	t_{WDS3}	75	-	50	-	40	-	
CAS セットアップ時間*	t_{CSR}	20	-	15	-	15	-	
リードストロープ遅延時間	t_{RSD}	-	60	-	50	-	30	

単位 : ns

【注】 * 8MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{RAH} = 0.5 \times t_{cyc} - 38 \text{ (ns)} \quad t_{CAC} = 1.0 \times t_{cyc} - 75 \text{ (ns)}$$

$$t_{RAC} = 2.0 \times t_{cyc} - 90 \text{ (ns)} \quad t_{CSR} = 0.5 \times t_{cyc} - 43 \text{ (ns)}$$

$$t_{RP} = t_{CRP} = 1.0 \times t_{cyc} - 40 \text{ (ns)}$$

10MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{RAH} = 0.5 \times t_{cyc} - 30 \text{ (ns)} \quad t_{CAC} = 1.0 \times t_{cyc} - 50 \text{ (ns)}$$

$$t_{RAC} = 2.0 \times t_{cyc} - 50 \text{ (ns)} \quad t_{CSR} = 0.5 \times t_{cyc} - 35 \text{ (ns)}$$

$$t_{RP} = t_{CRP} = 1.0 \times t_{cyc} - 30 \text{ (ns)}$$

16MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{RAH} = 0.5 \times t_{cyc} - 16 \text{ (ns)} \quad t_{CAC} = 1.0 \times t_{cyc} - 38 \text{ (ns)}$$

$$t_{RAC} = 2.0 \times t_{cyc} - 40 \text{ (ns)} \quad t_{CSR} = 0.5 \times t_{cyc} - 16 \text{ (ns)}$$

$$t_{RP} = t_{CRP} = 1.0 \times t_{cyc} - 23 \text{ (ns)}$$

20. 電気的特性

表 20.6 制御信号タイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 B : $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		8MHz		10MHz		16MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	200	-	200	-	200	-	ns	図 20.15
RES パルス幅	t_{RESW}	10	-	10	-	10	-	t_{cyc}	
RESO 出力遅延時間	t_{RESO}	-	100	-	100	-	100	ns	図 20.16
RESO 出力パルス幅	t_{RESOW}	132	-	132	-	132	-	t_{cyc}	
NMI セットアップ時間 (NMI、 $IRQ_5 \sim IRQ_0$)	t_{NMIS}	150	-	150	-	150	-	ns	図 20.17
NMI ホールド時間 (NMI、 $IRQ_5 \sim IRQ_0$)	t_{NMIH}	10	-	10	-	10	-	ns	
割り込みパルス幅 (NMI、 $IRQ_2 \sim IRQ_0$) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	-	200	-	200	-	ns	
リセット発振安定時間 (水晶発振子)	t_{OSC1}	20	-	20	-	20	-	ms	図 20.19
ソフトウェアスタンバイ発振安定時間 (水晶発振子)	t_{OSC2}	8	-	8	-	8	-	ms	図 19.1

表 20.7 内蔵周辺モジュールタイミング

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 B : $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

モジュール	項目		記号	条件 A		条件 B		条件 C		単位	測定条件		
				8MHz		10MHz		16MHz					
				min	max	min	max	min	max				
DMAC	DREQ セットアップ時間		t_{DRQS}	40	-	30	-	30	-	ns	図 20.27		
	DREQ ホールド時間		t_{DRQH}	10	-	10	-	10	-				
	TEND 遅延時間 1		t_{TED1}	-	100	-	50	-	50			図20.25、 図 20.26	
	TEND 遅延時間 2		t_{TED2}	-	100	-	50	-	50				
ITU	タイマ出力遅延時間		t_{TOCD}	-	100	-	100	-	100	ns	図 20.21		
	タイマ入力セットアップ時間		t_{TICS}	50	-	50	-	50	-				
	タイマクロック入力 セットアップ時間		t_{TCKS}	50	-	50	-	50	-				
	タイマクロック パルス幅	単エッジ指定	t_{TCKWH}	1.5	-	1.5	-	1.5	-			t_{CYC}	図 20.22
両エッジ指定		t_{TCKWL}	2.5	-	2.5	-	2.5	-					
SCI	入力クロック サイクル	調歩同期	t_{SCYC}	4	-	4	-	4	-	t_{SCYC}	図 20.23		
		クロック同期		6	-	6	-	6	-				
	入力クロック立ち上がり時間		t_{SCKr}	-	1.5	-	1.5	-	1.5				
	入力クロック立ち下がり時間		t_{SCKl}	-	1.5	-	1.5	-	1.5				
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6				
	送信データ遅延時間		t_{TXD}	-	100	-	100	-	100			ns	図 20.24
	受信データセットアップ時間 (クロック同期)		t_{RXS}	100	-	100	-	100	-				
	受信データ ホールド時間 (クロック同期)	クロック入力	t_{RXH}	100	-	100	-	100	-				
クロック出力			0	-	0	-	0	-					
ポート TPC	出力データ遅延時間		t_{PWD}	-	100	-	100	-	100	ns	図 20.20		
	入力データセットアップ時間		t_{PRS}	50	-	50	-	50	-				
	入力データホールド時間		t_{PRH}	50	-	50	-	50	-				

20. 電気的特性

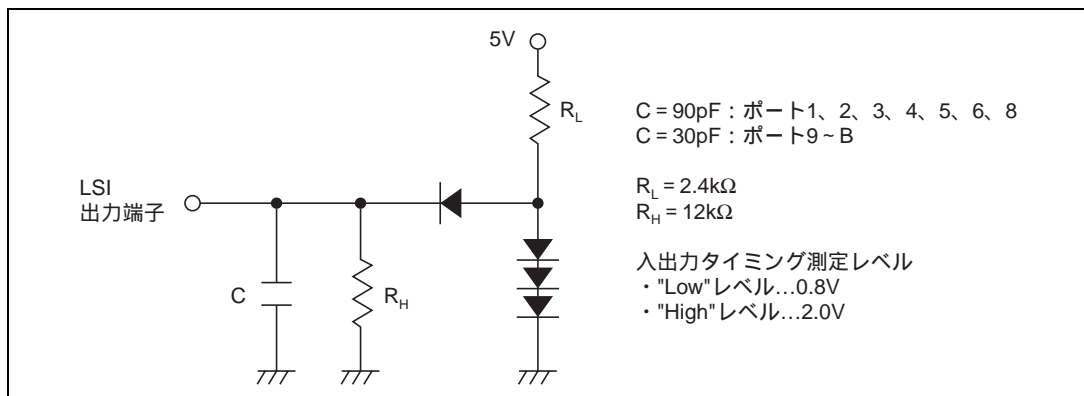


図 20.3 出力負荷回路

20.2.3 A/D 変換特性

A/D 変換特性を表 20.8 に示します。

表 20.8 A/D 変換特性

- 条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)
- 条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	条件 A			条件 B			条件 C			単位
	8MHz			10MHz			16MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間	-	-	16.8	-	-	13.4	-	-	8.4	μS
アナログ入力容量	-	-	20	-	-	20	-	-	20	pF
許容信号源インピーダンス	-	-	10 ^{*1}	-	-	10 ^{*1}	-	-	10 ^{*3}	k Ω
	-	-	5 ^{*2}	-	-	5 ^{*5}	-	-	5 ^{*4}	
非直線性誤差	-	-	± 6.0	-	-	± 6.0	-	-	± 3.0	LSB
オフセット誤差	-	-	± 4.0	-	-	± 4.0	-	-	± 2.0	LSB
フルスケール誤差	-	-	± 4.0	-	-	± 4.0	-	-	± 2.0	LSB
量子化誤差	-	-	± 0.5	-	-	± 0.5	-	-	± 0.5	LSB
絶対精度	-	-	± 8.0	-	-	± 8.0	-	-	± 4.0	LSB

【注】 *1 4.0 $AV_{CC} = 5.5$ の場合です。

*2 2.7 $AV_{CC} < 4.0$ の場合です。

*3 $\phi = 12MHz$ の場合です。

*4 $\phi > 12MHz$ の場合です。

*5 3.0 $AV_{CC} < 4.0$ の場合です。

20.2.4 D/A 変換特性

D/A 変換特性を表 20.9 に示します。

表 20.9 D/A 変換特性

条件 A : $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 8MHz$

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 C : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16MHz$

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	条件 A			条件 B			条件 C			単位	測定条件
	8MHz			10MHz			16MHz				
	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	ビット	
変換時間	-	-	10	-	-	10	-	-	10	μS	負荷容量 20pF
絶対精度	-	± 2.0	± 3.0	-	± 2.0	± 3.0	-	± 1.0	± 1.5	LSB	負荷抵抗 2M Ω
	-	-	± 2.0	-	-	± 2.0	-	-	± 1.0	LSB	負荷抵抗 4M Ω

20.3 動作タイミング

動作タイミングを以下に示します。

20.3.1 バスタイミング

バスタイミングを以下に示します。

(1) 基本バスタイミング / 2 ステートアクセス

図 20.4 に外部 2 ステートアクセス時の動作タイミングを示します。

(2) 基本バスタイミング / 3 ステートアクセス

図 20.5 に外部 3 ステートアクセス時の動作タイミングを示します。

(3) 基本バスタイミング / 3 ステートアクセス 1 ウェイト

図 20.6 に外部 3 ステートアクセスで 1 ウェイトを挿入したときの動作タイミングを示します。

20. 電気的特性

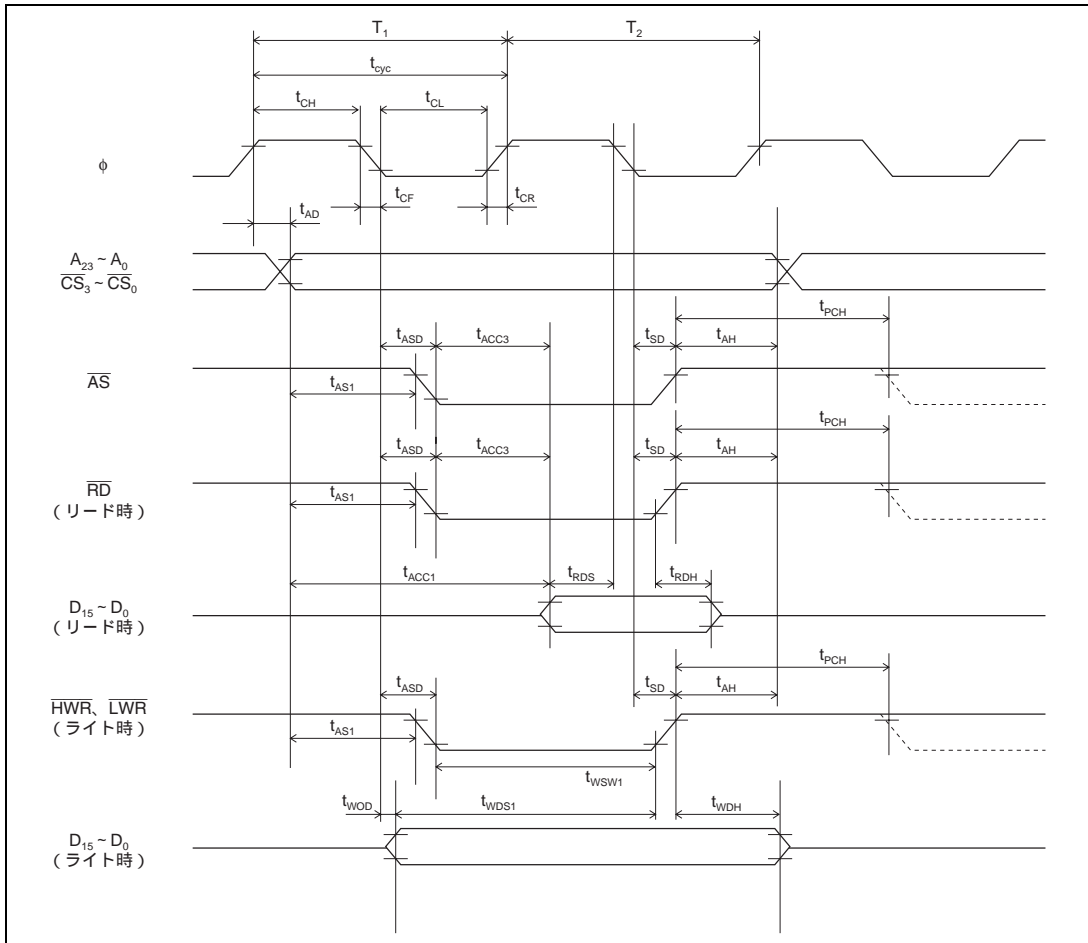


図 20.4 基本バスタイミング / 2 ステートアクセス

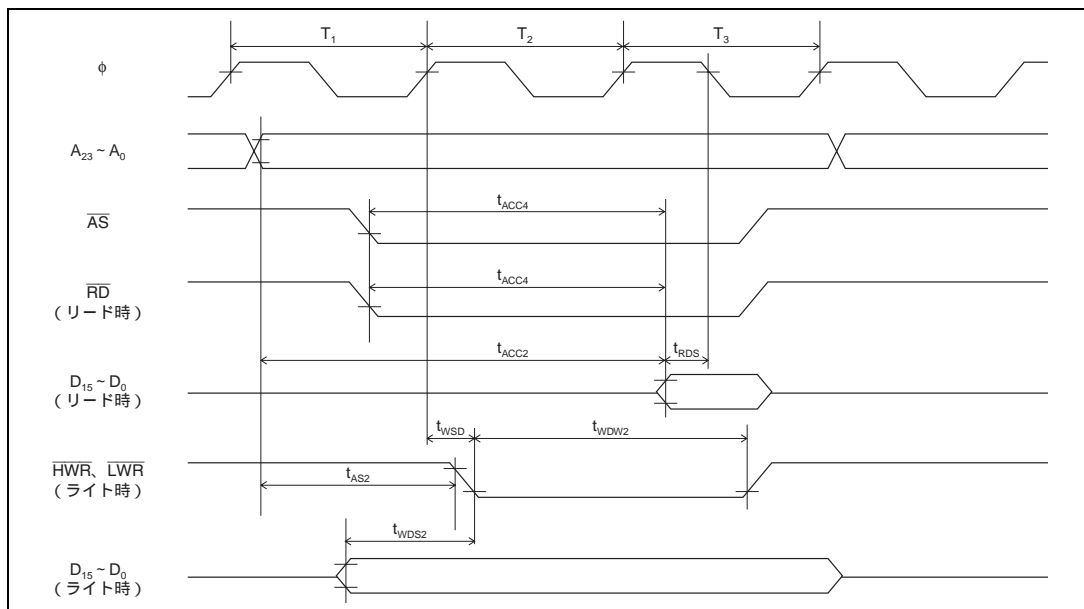


図 20.5 基本バスタイミング / 3 ステートアクセス

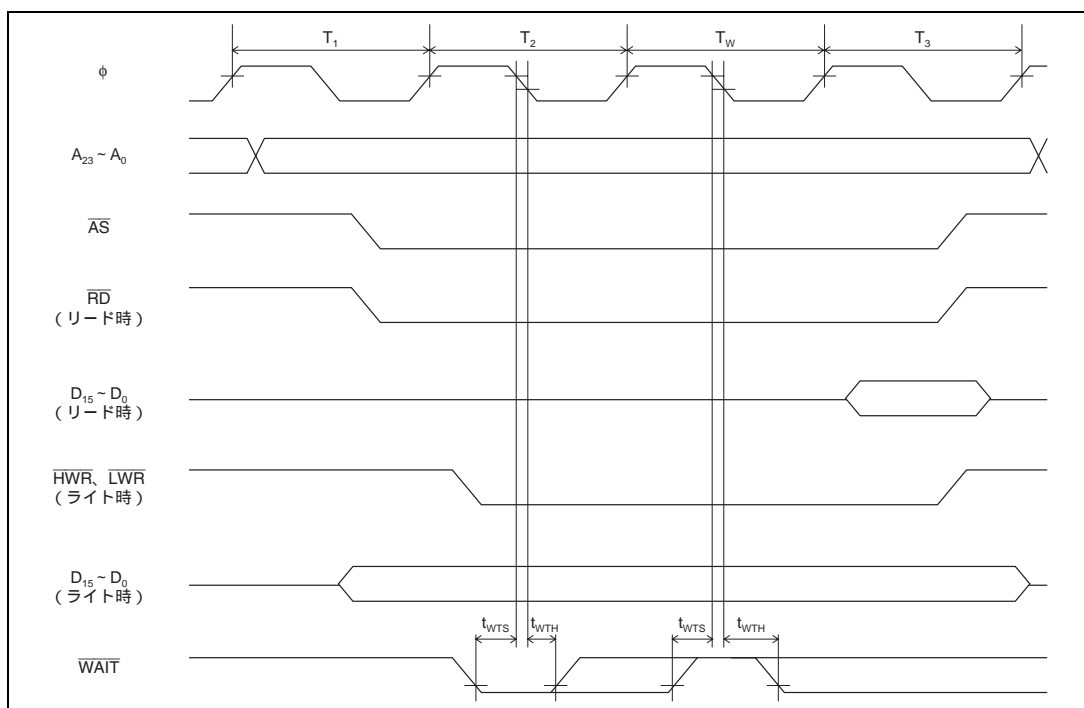


図 20.6 基本バスタイミング / 3 ステートアクセス 1 ウェイト

20.3.2 リフレッシュコントローラバスタイミング

リフレッシュコントローラのバスタイミングを以下に示します。

(1) DRAM バスタイミング

図 20.7 ~ 図 20.12 に DRAM バスタイミングを動作モード別に示します。

(2) PSRAM バスタイミング

図 20.13、図 20.14 に PSRAM バスタイミングを動作モード別に示します。

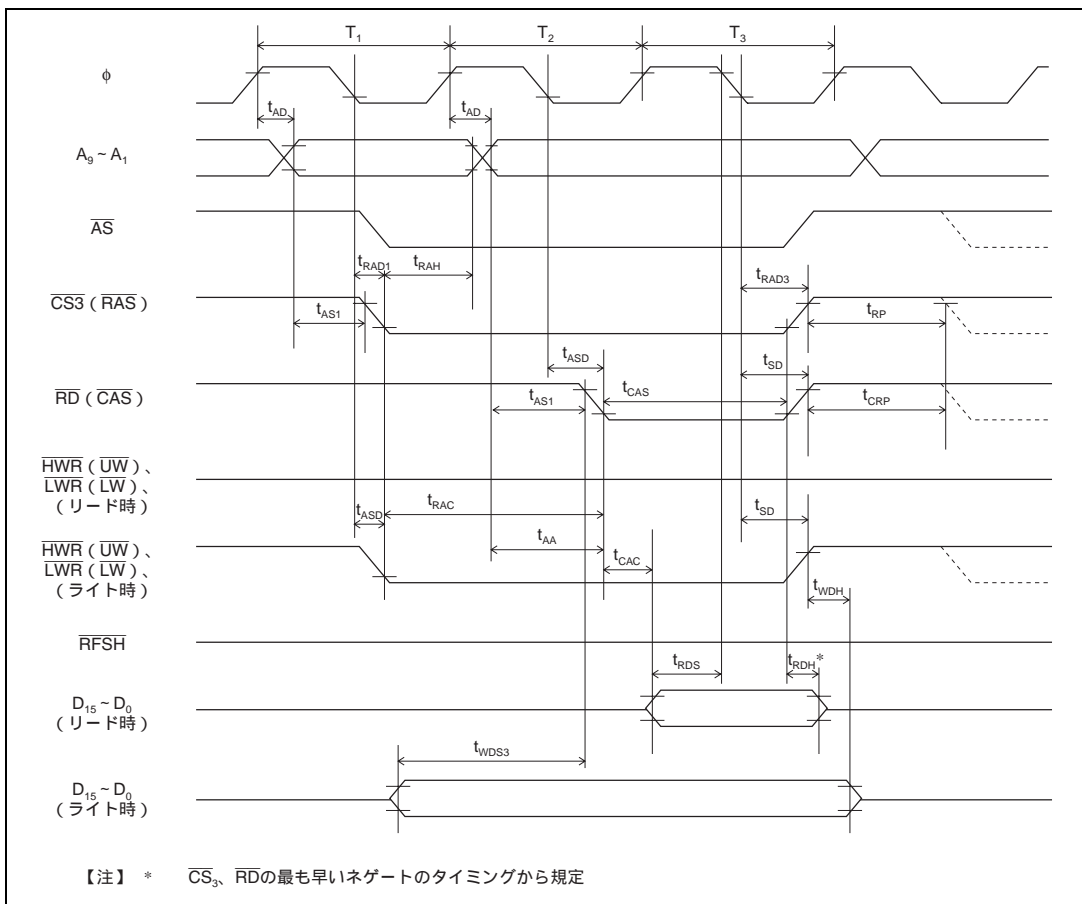


図 20.7 DRAM バスタイミング (リード/ライト時) / 3 ステートアクセス 2WE 方式

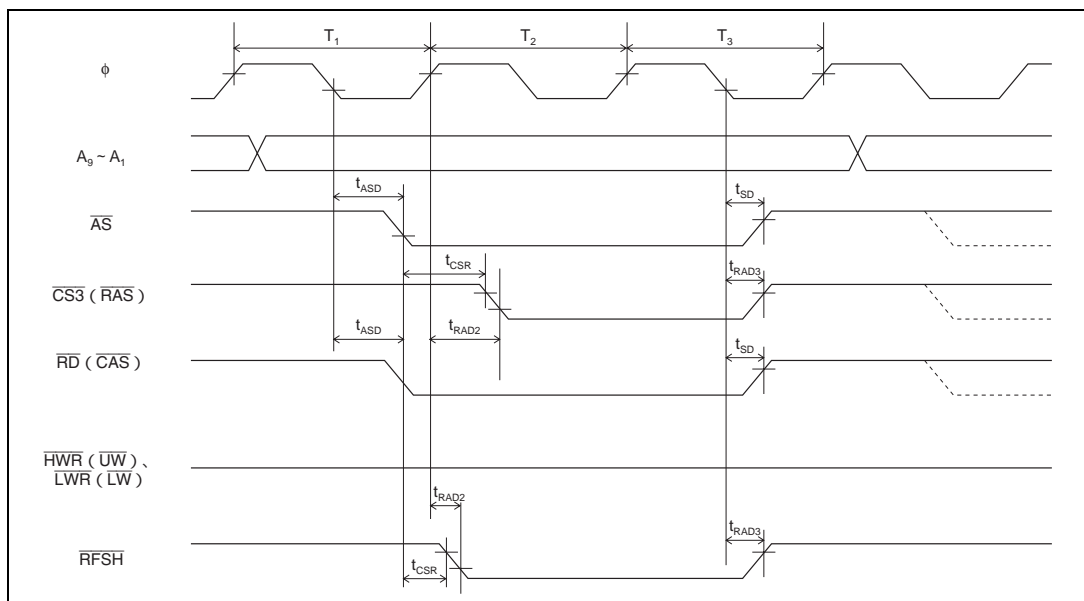


図 20.8 DRAM バスタイミング (リフレッシュサイクル時) / 3 ステートアクセス
2WE 方式

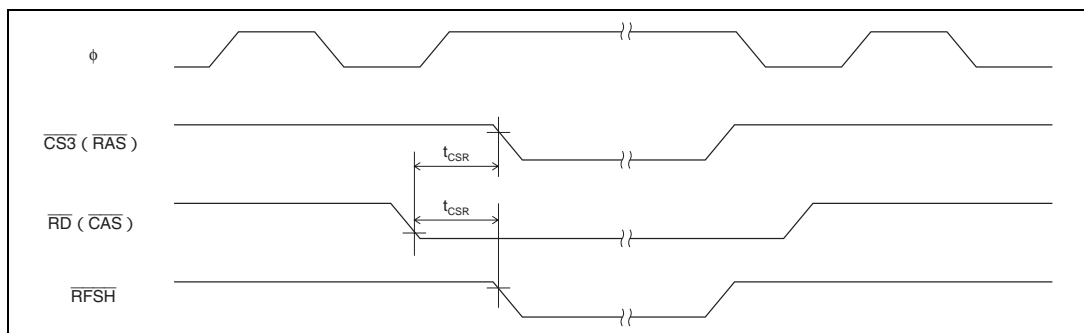


図 20.9 DRAM バスタイミング (セルフリフレッシュモード)
2WE 方式

20. 電気的特性

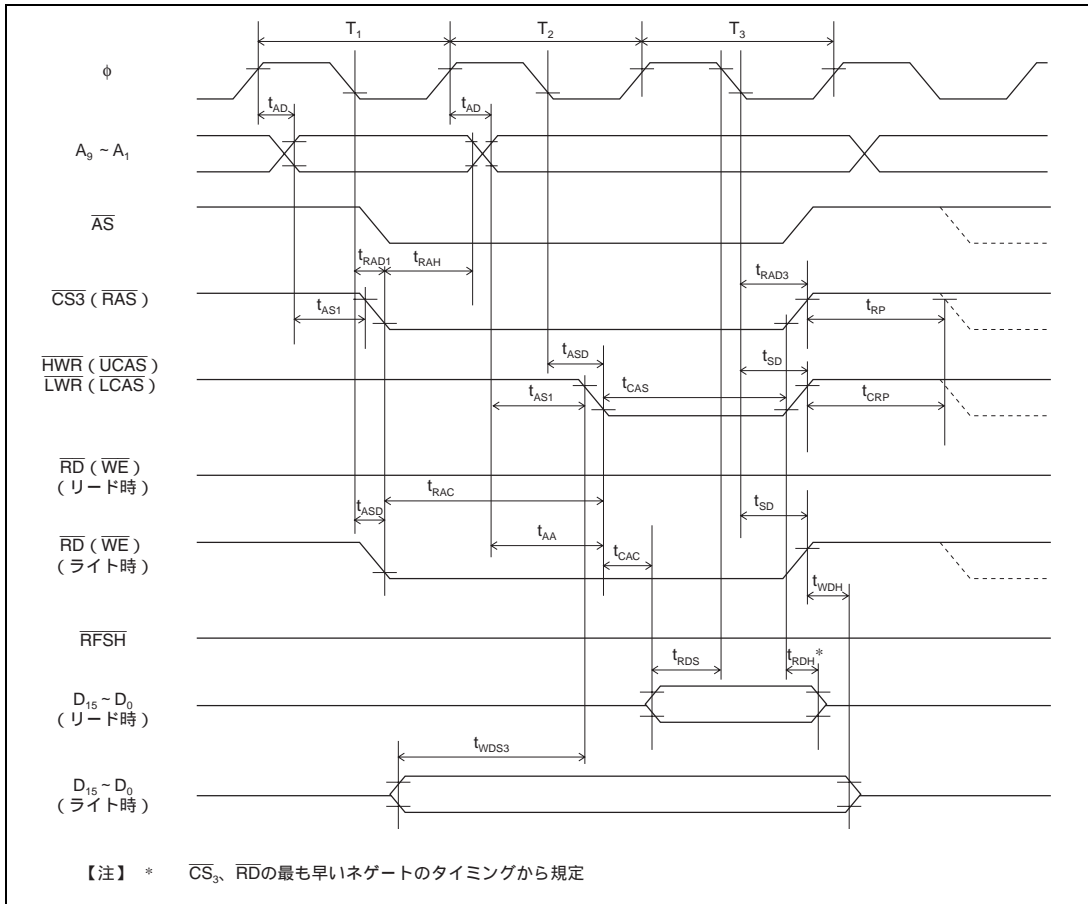


図 20.10 DRAM バスタイミング (リード/ライト時) / 3 ステートアクセス 2CAS 方式

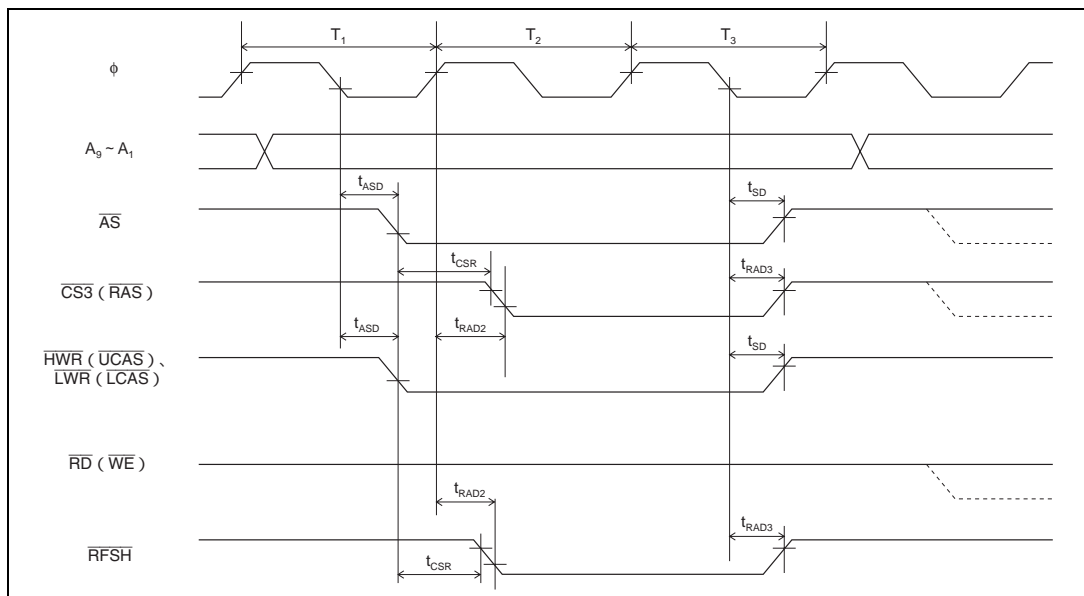


図 20.11 DRAM バスタイミング (リフレッシュサイクル時) / 3 ステートアクセス
2CAS 方式

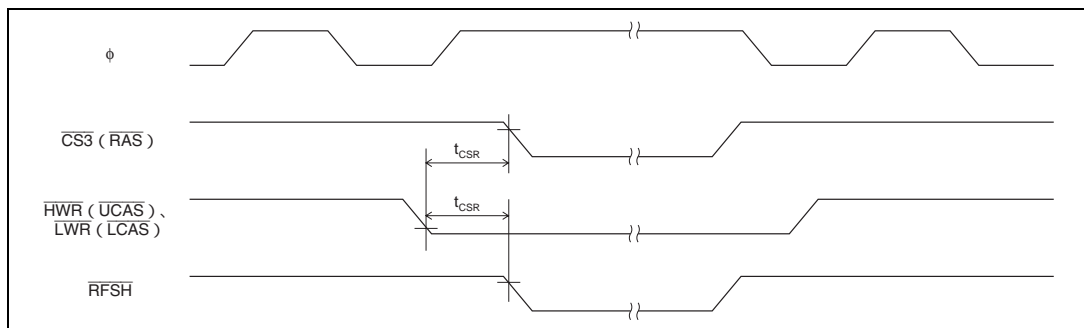


図 20.12 DRAM バスタイミング (セルフリフレッシュモード)
2CAS 方式

20. 電気的特性

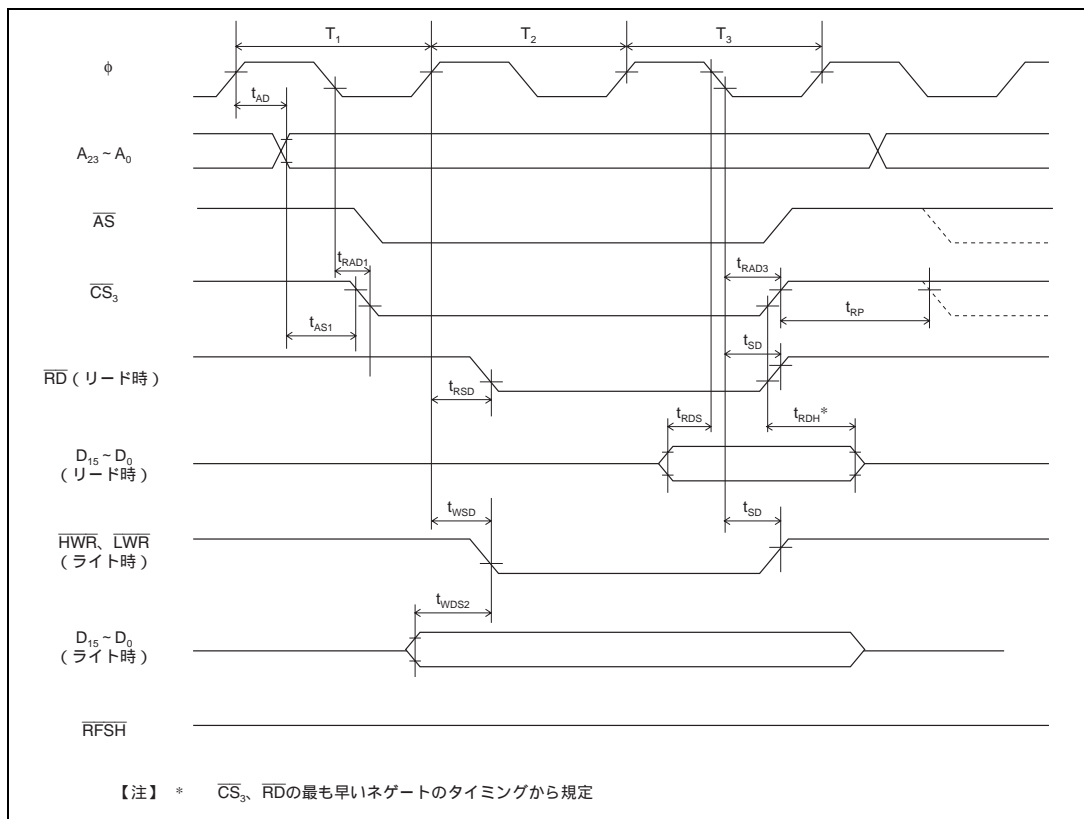


図 20.13 PSRAM バスタイミング (リード/ライト時) / 3 ステートアクセス

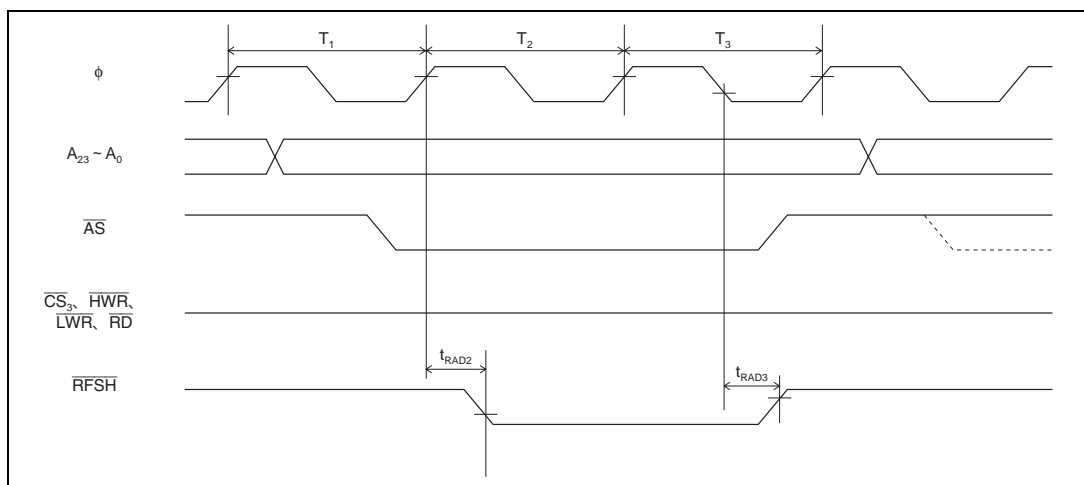


図 20.14 PSRAM バスタイミング (リフレッシュサイクル時) / 3 ステートアクセス

20.3.3 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図 20.15 にリセット入力タイミングを示します。

(2) リセット出力タイミング

図 20.16 にリセット出力タイミングを示します。

(3) 割り込み入力タイミング

図 20.17 に NMI、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 割り込みタイミングを示します。

(4) バスリリースモードタイミング

図 20.18 にバスリリースモードタイミングを示します。

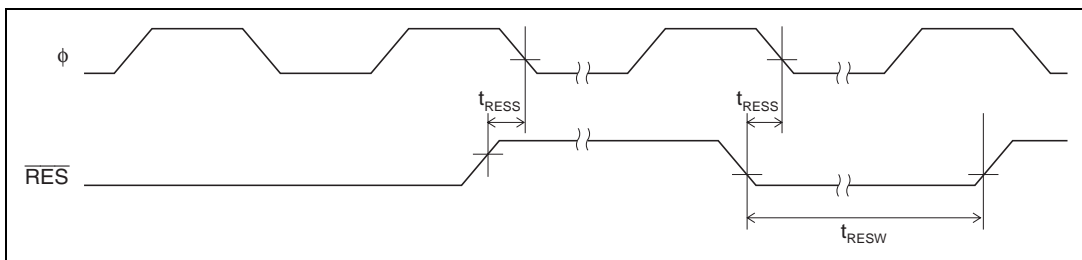


図 20.15 リセット入力タイミング

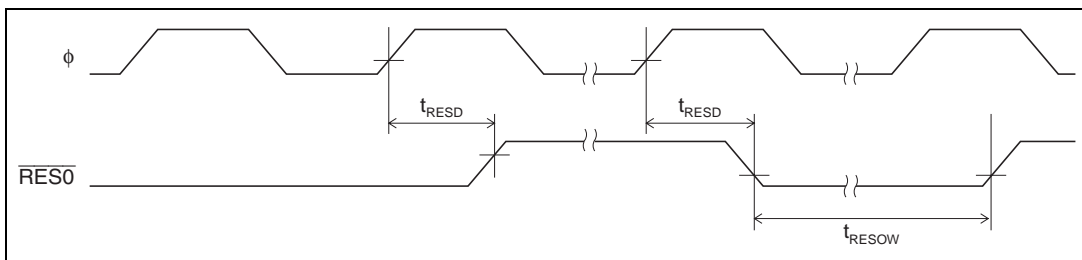


図 20.16 リセット出力タイミング

20. 電気的特性

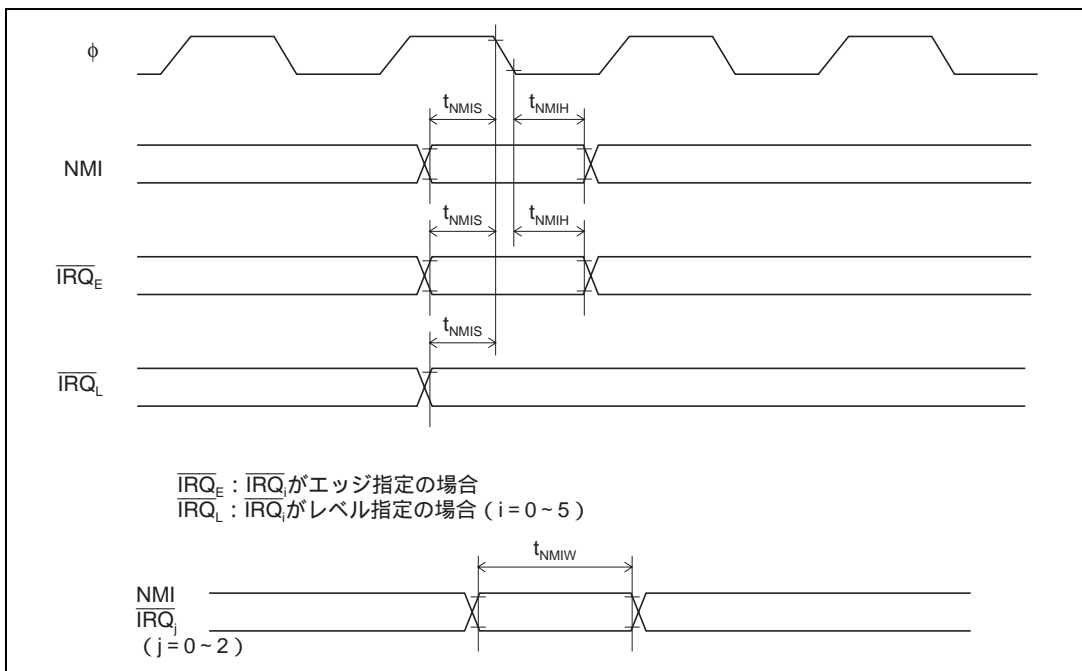


図 20.17 割り込み入力タイミング

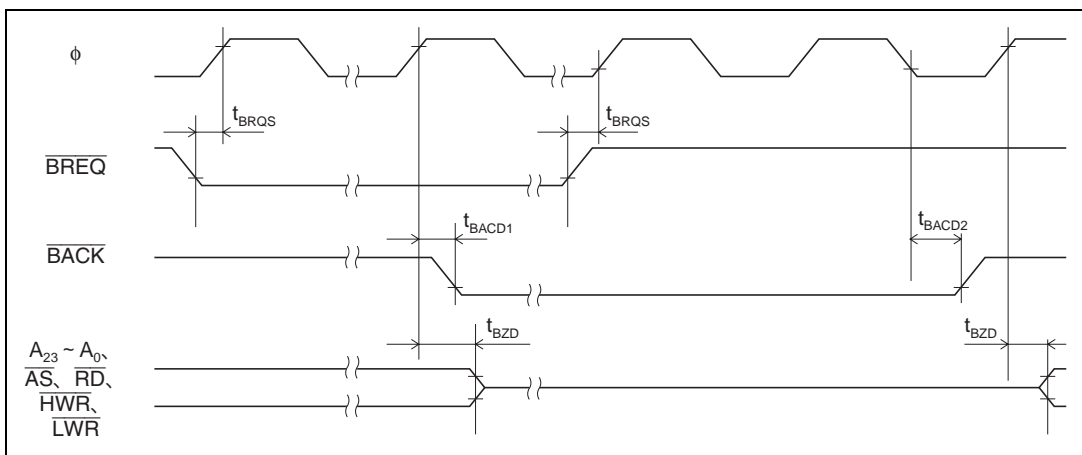


図 20.18 バスリリースモードタイミング

20.3.4 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図 20.19 に発振安定時間タイミングを示します。

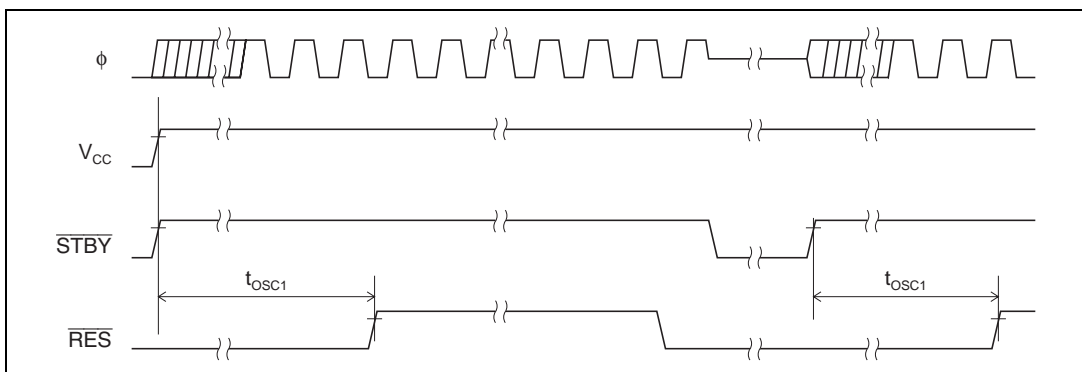


図 20.19 発振安定時間タイミング

20.3.5 TPC、I/O ポートタイミング

図 20.20 に TPC、I/O ポートの入出力タイミングを示します。

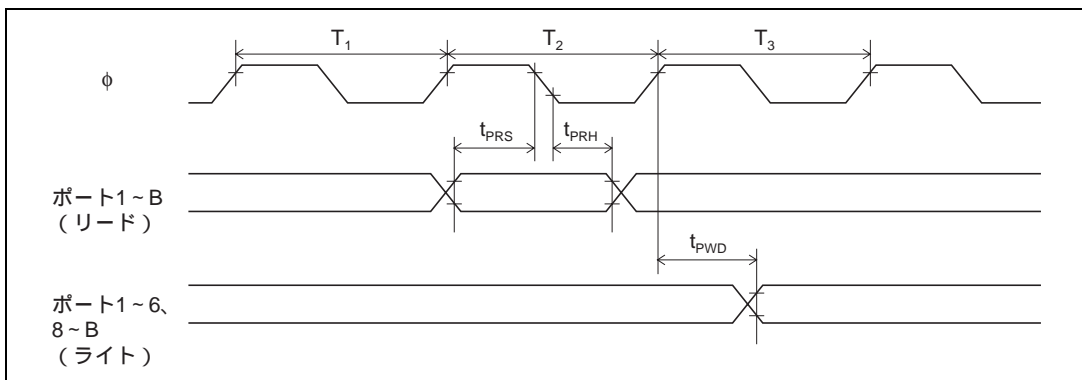


図 20.20 TPC、I/O ポート入出力タイミング

20.3.6 ITU タイミング

ITU の各タイミングを以下に示します。

(1) ITU 入出力タイミング

図 20.21 に ITU 入出力タイミングを示します。

(2) ITU 外部クロック入力タイミング

図 20.22 に ITU 外部クロック入力タイミングを示します。

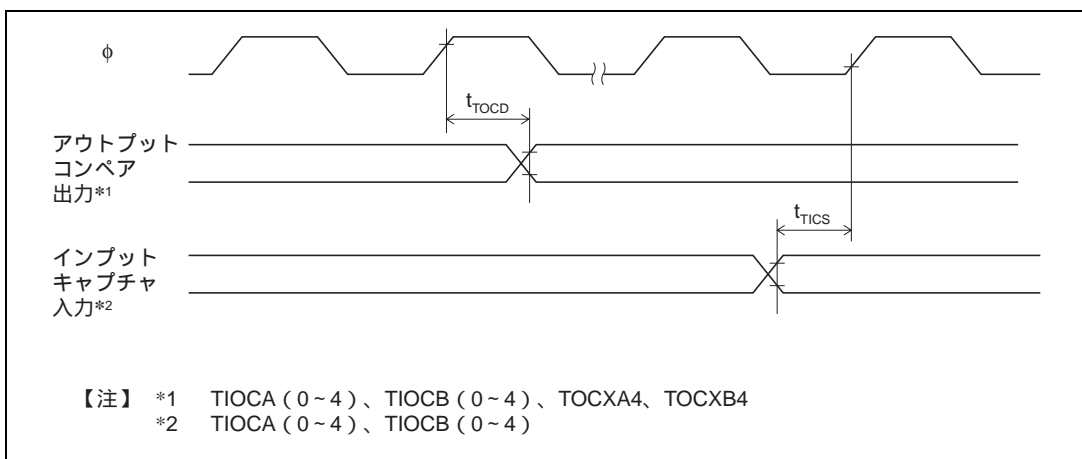


図 20.21 ITU 入出力タイミング

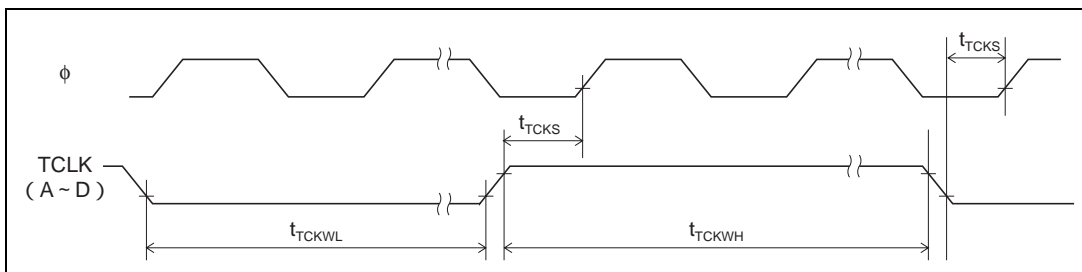


図 20.22 ITU クロック入力タイミング

20.3.7 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図 20.23 に SCI 入力クロックタイミングを示します。

(2) SCI 入出力タイミング (クロック同期式モード)

図 20.24 にクロック同期式モード時の SCI 入出力タイミングを示します。

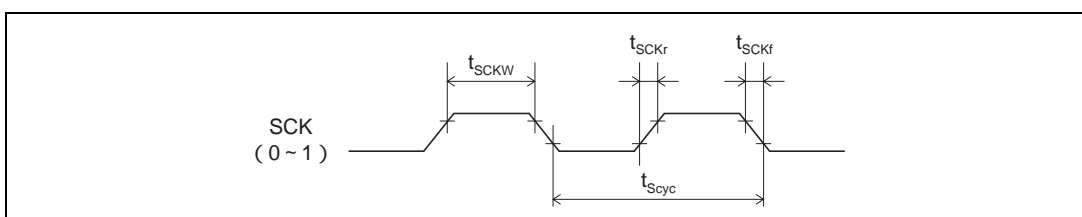


図 20.23 SCK 入力クロックタイミング

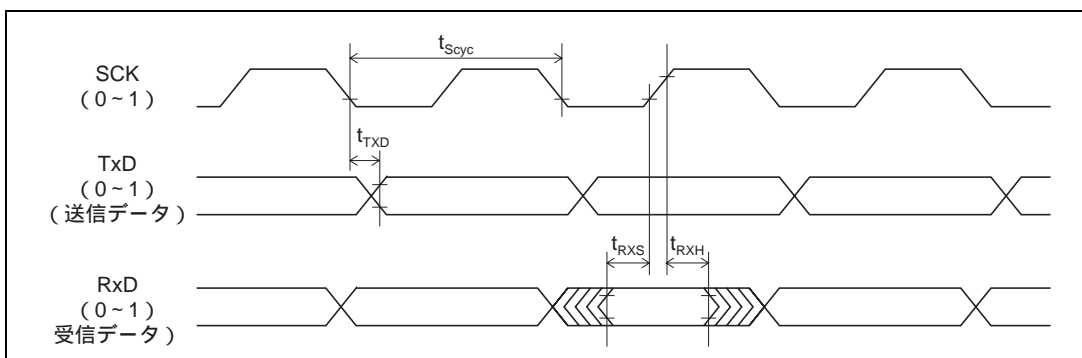


図 20.24 クロック同期式モード時の SCI 入出力タイミング

20.3.8 DMAC タイミング

DMAC の各タイミングを以下に示します。

(1) DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセスを図 20.25 に示します。

(2) DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセスを図 20.26 に示します。

(3) DMAC $\overline{\text{DREQ}}$ 入力タイミング

DMAC $\overline{\text{DREQ}}$ 入力タイミングを図 20.27 に示します。

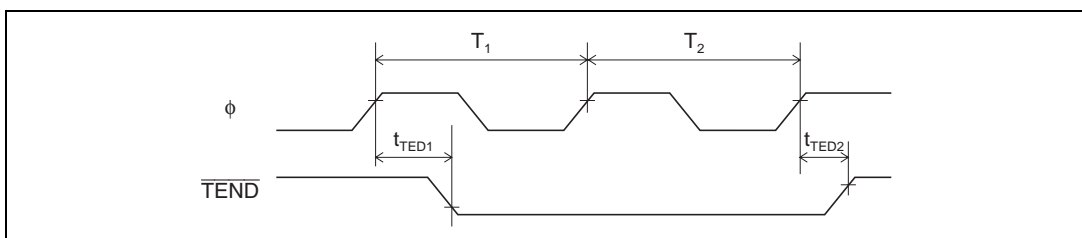


図 20.25 DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

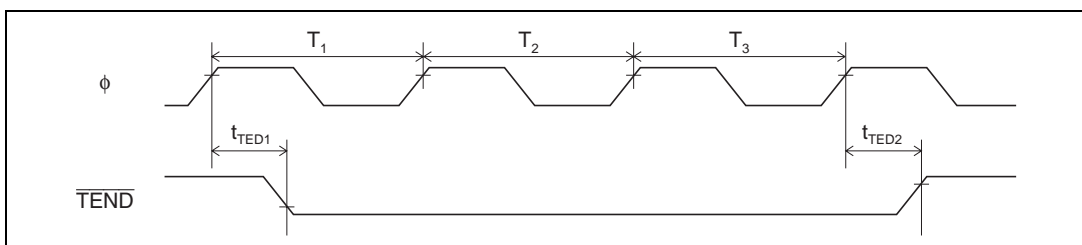


図 20.26 DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

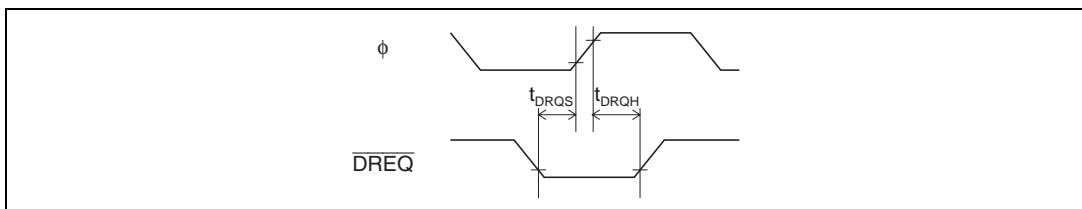


図 20.27 DMAC $\overline{\text{DREQ}}$ 入力タイミング

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレースメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
^	両辺のオペランドの論理積
∨	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() < >	オペランドの内容

【注】 * 汎用レジスタは、8 ビット (R0H~R7H, R0L~R7L) または 16 ビット (R0~R7, E0~E7) です。

《コンディションコードの記号》

記号	内容
↓	実行結果に従って変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に"0"にクリアされることを表します。
1	常に"1"にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)			オペレーション	コンディションコード							実行ステート数 ^{※1}		
		#xx Rn	@ERn	@ERn+@aa @(d, ERn) @-ERn/@ERn+@aa @(d, PC) @-aa		I	H	N	Z	V	C	ノーマル	アドバンスト		
MOV	B	2			#xx8→Rd8	-	-	↓	↓	0	-	-	-	2	
	B	2			R8→Rd8	-	-	↓	↓	0	-	-	-	2	
	B		2		@ERs→Rd8	-	-	↓	↓	0	-	-	-	4	
	B			4	@(d+16, ERs)→Rd8	-	-	↓	↓	0	-	-	-	6	
	B			8	@(d+24, ERs)→Rd8	-	-	↓	↓	0	-	-	-	10	
	B		2		@ERs→Rd8, ERs32+1→ERs32	-	-	↓	↓	0	-	-	-	6	
	B			2	@aa8→Rd8	-	-	↓	↓	0	-	-	-	4	
	B			4	@aa:16→Rd8	-	-	↓	↓	0	-	-	-	6	
	B			6	@aa:24→Rd8	-	-	↓	↓	0	-	-	-	8	
	B		2		R8→@ERd	-	-	↓	↓	0	-	-	-	4	
	B		4		R8→@(d+16, ERd)	-	-	↓	↓	0	-	-	-	6	
	B		8		R8→@(d+24, ERd)	-	-	↓	↓	0	-	-	-	10	
	B			2	ERd32-1→ERd32, R8→@ERd	-	-	↓	↓	0	-	-	-	6	
	B			2	R8→@aa8	-	-	↓	↓	0	-	-	-	4	
	B			4	R8→@aa:16	-	-	↓	↓	0	-	-	-	6	
	B			6	R8→@aa:24	-	-	↓	↓	0	-	-	-	8	
	W	4			#xx:16→Rd16	-	-	↓	↓	0	-	-	-	4	
	W	2			Rs16→Rd16	-	-	↓	↓	0	-	-	-	2	
	W		2		@ERs→Rd16	-	-	↓	↓	0	-	-	-	4	
	W		4		@(d+16, ERs)→Rd16	-	-	↓	↓	0	-	-	-	6	
	W		8		@(d+24, ERs)→Rd16	-	-	↓	↓	0	-	-	-	10	
	W			2	@ERs→Rd16, ERs32+2→@ERd	-	-	↓	↓	0	-	-	-	6	
	W			4	@aa:16→Rd16	-	-	↓	↓	0	-	-	-	6	
	W			6	@aa:24→Rd16	-	-	↓	↓	0	-	-	-	8	

二 ー モ ニ ッ ク	サイ ズ	アドレッシングモード / 命令長 (バイト)			オペレーション	コンディションコード						実行ステート数 ^{#1}			
		#xx Rn	@(d, ERn) @-ERn/@ERn+	@aa @(d, PC) @@aa-		I	H	N	Z	V	C	ノーマル	アドバンスト		
MOV			2		Rs16→@ERd	-	-	↓	↓	0	-	-	-	4	
	MOVW Rs, @(dt:16, ERd)	W			Rs16→@(dt:16, ERd)	-	-	↓	↓	0	-	-	-	6	
	MOVW Rs, @(dt:24, ERd)	W	4		Rs16→@(dt:24, ERd)	-	-	↓	↓	0	-	-	-	10	
	MOVW Rs, @-ERd	W		2	ERd32→ERd32, Rs16→@ERd	-	-	↓	↓	0	-	-	-	6	
	MOVW Rs, @aa:16	W		4	Rs16→@aa:16	-	-	↓	↓	0	-	-	-	6	
	MOVW Rs, @aa:24	W		6	Rs16→@aa:24	-	-	↓	↓	0	-	-	-	8	
	MOVL #xx:32, ERd	L	6		#xx:32→ERd32	-	-	↓	↓	0	-	-	-	6	
	MOVL ERs, ERd	L	2		ERs32→ERd32	-	-	↓	↓	0	-	-	-	2	
	MOVL @ERs, ERd	L	4		@ERs→ERd32	-	-	↓	↓	0	-	-	-	8	
	MOVL @(dt:16, ERs), ERd	L	6		@(dt:16, ERs)→ERd32	-	-	↓	↓	0	-	-	-	10	
	MOVL @(dt:24, ERs), ERd	L	10		@(dt:24, ERs)→ERd32	-	-	↓	↓	0	-	-	-	14	
	MOVL @ERs+, ERd	L	4		ERs→ERd32, ERs32+4→@ERs32	-	-	↓	↓	0	-	-	-	10	
	MOVL @aa:16, ERd	L	6		@aa:16→ERd32	-	-	↓	↓	0	-	-	-	10	
	MOVL @aa:24, ERd	L	8		@aa:24→ERd32	-	-	↓	↓	0	-	-	-	12	
	MOVL ERs, @ERd	L	4		ERs32→@ERd	-	-	↓	↓	0	-	-	-	8	
	MOVL ERs, @(dt:16, ERd)	L	6		ERs32→@(dt:16, ERd)	-	-	↓	↓	0	-	-	-	10	
	MOVL ERs, @(dt:24, ERd)	L	10		ERs32→@(dt:24, ERd)	-	-	↓	↓	0	-	-	-	14	
	MOVL ERs, @-ERd	L	4		ERd32+4→ERd32, ERs32→@ERd	-	-	↓	↓	0	-	-	-	10	
	MOVL ERs, @aa:16	L	6		ERs32→@aa:16	-	-	↓	↓	0	-	-	-	10	
	MOVL ERs, @aa:24	L	8		ERs32→@aa:24	-	-	↓	↓	0	-	-	-	12	
POP	POPW Rn	W			2 @SP→Rn16, SP+2→SP	-	-	↓	↓	0	-	-	-	6	
	POPL ERn	L			4 @SP→ERn32, SP+4→SP	-	-	↓	↓	0	-	-	-	10	
PUSH	PUSH.W Rn	W			2 SP-2→SP, Rn16→@SP	-	-	↓	↓	0	-	-	-	6	
	PUSH.L ERn	L			4 SP-4→SP, ERn32→@SP	-	-	↓	↓	0	-	-	-	10	
MOVFP	MOVFP @aa:16, Rd	B		4	本LSIでは使用できません	-	-	↓	↓	0	-	-	-		
MOVTP	MOVTP Rs, @aa:16	B		4	本LSIでは使用できません	-	-	↓	↓	0	-	-	-		

(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディショニングコード								実行ステータス数 ^{※1}			
		#xx	Rn	@(ERn)	@(ERn)@(ERn+@aa)@(dt,PC) @aa		I	H	N	Z	V	C	ノーマル	アドバンスト				
ADD	B	2				Rd8+#xx:8→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	B	2				Rd8+Rs8→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	W	4				Rd16+#xx:16→Rd16	-	↑	↓	↑	↓	↑	↓	↑	↓	4		
	W	2				Rd16+Rs16→Rd16	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	L	6				ERd32+#xx:32→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	6		
	L	2				ERd32+ERs32→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
ADDX	B	2				Rd8+#xx:8+C→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	B	2				Rd8+Rs8+C→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
ADDSL	L	2				ERd32+1→ERd32	-	-	-	-	-	-	-	-	-	2		
	L	2				ERd32+2→ERd32	-	-	-	-	-	-	-	-	-	2		
	L	2				ERd32+4→ERd32	-	-	-	-	-	-	-	-	-	2		
	L	2				ERd32+8→ERd32	-	-	-	-	-	-	-	-	-	2		
INC	B	2				Rd8+1→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	W	2				Rd16+1→Rd16	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	W	2				Rd16+2→Rd16	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	L	2				ERd32+1→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	L	2				ERd32+2→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	L	2				ERd32+4→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
DAA	B	2				Rd8 10進補正→Rd8	-	*	↑	↓	*	↑	↓	*	↑	2		
	B	2				Rd8-Rs8→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	W	4				Rd16+#xx:32→Rd16	-	↑	↓	↑	↓	↑	↓	↑	↓	4		
	W	2				Rd16-Rs16→Rd16	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	L	6				ERd32+#xx:32→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	6		
	L	2				ERd32-ERs32→ERd32	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	B	2				Rd8+#xx:8-C→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		
	B	2				Rd8-Rs8-C→Rd8	-	↑	↓	↑	↓	↑	↓	↑	↓	2		

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行ステータス		
		#xx	Rn	@ER	@(d, ERn) @-ERn @ERn+ @aa @ (d, PC) @aa -		I	H	N	Z	V	C	ノーマル	アドバンスト		
SUBS	SUBS.L #1, ERd	L	2			ERd32-1→ERd32	-	-	-	-	-	-	-	-	2	
	SUBS.L #2, ERd	L	2			ERd32-2→ERd32	-	-	-	-	-	-	-	-	2	
	SUBS.L #4, ERd	L	2			ERd32-4→ERd32	-	-	-	-	-	-	-	-	2	
DEC	DEC.B Rd	B	2			Rd8-1→Rd8	-	-	↓	↓	↓	-	-	-	2	
	DEC.W #1, Rd	W	2			Rd16-1→Rd16	-	-	↓	↓	↓	-	-	-	2	
	DEC.W #2, Rd	W	2			Rd16-2→Rd16	-	-	↓	↓	↓	-	-	-	2	
	DEC.L #1, ERd	L	2			ERd32-1→ERd32	-	-	↓	↓	↓	-	-	-	2	
DAS	DEC.L #2, ERd	L	2			ERd32-2→ERd32	-	-	↓	↓	↓	-	-	-	2	
	DAS Rd	B	2			Rd8 10進補正→Rd8	-	*	↓	↓	*	-	-	-	2	
MULXU	MULXU.B Rs, Rd	B	2			Rd8×Rs8→Rd16 (符号なし乗算)	-	-	-	-	-	-	-	-	14	
	MULXU.W Rs, ERd	W	2			Rd16×Rs16→ERd32 (符号なし乗算)	-	-	-	-	-	-	-	-	22	
MULXS	MULXS.B Rs, Rd	B	4			Rd8×Rs8→Rd16 (符号付乗算)	-	-	↓	↓	-	-	-	-	16	
	MULXS.W Rs, ERd	W	4			Rd16×Rs16→ERd32 (符号付乗算)	-	-	↓	↓	-	-	-	-	24	
DIVXU	DIVXU.B Rs, Rd	B	2			Rd16÷Rs8→ Rd16(RdH:余り, RdL:商) (符号なし除算)	-	-	-	-	-	-	-	-	14	
	DIVXU.W Rs, ERd	W	2			ERd32÷Rs16→ ERd32(Ed:余り, Rd:商) (符号なし除算)	-	-	-	-	-	-	-	-	22	
DIVXS	DIVXS.B Rs, Rd	B	4			Rd16÷Rs8→ Rd16(RdH:余り, RdL:商) (符号付除算)	-	-	-	-	-	-	-	-	16	
	DIVXS.W Rs, ERd	W	4			ERd32÷Rs16→ ERd32 (Ed:余り, Rd:商) (符号付除算)	-	-	-	-	-	-	-	-	24	

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディショニングコード							実行ステート数 ^{#1}		
		#xx	Rn	@ERn	@ERn @-ERn @ERn+@aa @ (d, PC) @aa @-aa -		I	H	N	Z	V	C	ノーマル	アドバンスト		
															B	2
CMP	CMPB #xx:8, Rd	B	2												2	
	CMPB Rs, Rd	B	2												2	
	CMPW #xx:16, Rd	W	4												4	
	CMPW Rs, Rd	W	2												2	
	CMPL #xx:32, ERd	L	6												6	
	CMPL ERs, ERd	L	2												2	
NEG	NEGB Rd	B	2												2	
	NEG.W Rd	W	2												2	
	NEGL ERd	L	2												2	
XTU	XTU.W Rd	W	2												2	
	XTUL ERd	L	2												2	
	EXTS.W Rd	W	2												2	
EXTS	EXTS.L ERd	L	2												2	

(3) 論理演算命令

二 ー モ ニ ッ ク	サ ー ス	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行ステップ数 ^(*)			
		#xx	Rn	@ERn	@(d, ERn)		@ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル
AND	B	2															2
	B	2															2
	W	4															4
	W	2															2
	L	6															6
	L	4															4
OR	B	2															2
	B	2															2
	W	4															4
	W	2															2
	L	6															6
	L	4															4
XOR	B	2															2
	B	2															2
	W	4															4
	W	2															2
	L	6															6
	L	4															4
NOT	B	2															2
	W	2															2
	L	2															2
	L	2															2
	L	2															2
	L	2															2

(4) シフト命令

二 ー モ ニ ッ ク	サイ ズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード								実行ステータス数 ^{*)1}			
		#xx	Rn	@ERn	@(d, ERn)		@-ERn	@ERn+	@aa	@(d, PC)	@aa-	I	H	N	Z	V	C	ノーマル
SHAL	B	2															2	
	W	2															2	
	L	2															2	
SHAR	B	2															2	
	W	2															2	
	L	2															2	
SHLL	B	2															2	
	W	2															2	
	L	2															2	
SHLR	B	2															2	
	W	2															2	
	L	2															2	
ROTXL	B	2															2	
	W	2															2	
	L	2															2	
ROTXR	B	2															2	
	W	2															2	
	L	2															2	
ROTL	B	2															2	
	W	2															2	
	L	2															2	
ROTR	B	2															2	
	W	2															2	
	L	2															2	

(5) ビット操作命令

ビット	ニーモニック	アドレス		アドレッシングモード / 命令長 (バイト)		オペレーション		コンディションコード							実行ステータス	
		#xx	Rn	@(d, ERn)	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @aa			I	H	N	Z	V	C	ノーマル	アドバンス	
BSET	BSET #xx:3, Rd	B	2				(#xx:3 of Rd8)←1	-	-	-	-	-	-	-	2	
	BSET #xx:3, @ERd	B	4				(#xx:3 of @ERd)←1	-	-	-	-	-	-	-	8	
	BSET #xx:3, @aa:8	B		4			(#xx:3 of @aa:8)←1	-	-	-	-	-	-	-	8	
	BSET Rn, Rd	B	2				(Rn8 of Rd8)←1	-	-	-	-	-	-	-	2	
	BSET Rn, @ERd	B	4				(Rn8 of @ERd)←1	-	-	-	-	-	-	-	8	
	BSET Rn, @aa:8	B		4			(Rn8 of @aa:8)←1	-	-	-	-	-	-	-	8	
BCLR	BCLR #xx:3, Rd	B	2				(#xx:3 of Rd8)←0	-	-	-	-	-	-	-	2	
	BCLR #xx:3, @ERd	B	4				(#xx:3 of @ERd)←0	-	-	-	-	-	-	-	8	
	BCLR #xx:3, @aa:8	B		4			(#xx:3 of @aa:8)←0	-	-	-	-	-	-	-	8	
	BCLR Rn, Rd	B	2				(Rn8 of Rd8)←0	-	-	-	-	-	-	-	2	
	BCLR Rn, @ERd	B	4				(Rn8 of @ERd)←0	-	-	-	-	-	-	-	8	
	BCLR Rn, @aa:8	B		4			(Rn8 of @aa:8)←0	-	-	-	-	-	-	-	8	
BNOT	BNOT #xx:3, Rd	B	2				(#xx:3 of Rd8)←~ (#xx:3 of Rd8)	-	-	-	-	-	-	-	2	
	BNOT #xx:3, @ERd	B	4				(#xx:3 of @ERd)←~ (#xx:3 of @ERd)	-	-	-	-	-	-	-	8	
	BNOT #xx:3, @aa:8	B		4			(#xx:3 of @aa:8)←~ (#xx:3 of @aa:8)	-	-	-	-	-	-	-	8	
	BNOT Rn, Rd	B	2				(Rn8 of Rd8)←~ (Rn8 of Rd8)	-	-	-	-	-	-	-	2	
	BNOT Rn, @ERd	B	4				(Rn8 of @ERd)←~ (Rn8 of @ERd)	-	-	-	-	-	-	-	8	
	BNOT Rn, @aa:8	B		4			(Rn8 of @aa:8)←~ (Rn8 of @aa:8)	-	-	-	-	-	-	-	8	
BTST	BTST #xx:3, Rd	B	2				~ (#xx:3 of Rd8)→Z	-	-	-	↑	-	-	-	2	
	BTST #xx:3, @ERd	B	4				~ (#xx:3 of @ERd)→Z	-	-	-	↑	-	-	-	6	
	BTST #xx:3, @aa:8	B		4			~ (#xx:3 of @aa:8)→Z	-	-	-	↑	-	-	-	6	
	BTST Rn, Rd	B	2				~ (Rn8 of Rd8)→Z	-	-	-	↑	-	-	-	2	
	BTST Rn, @ERd	B	4				~ (Rn8 of @ERd)→Z	-	-	-	↑	-	-	-	6	
	BTST Rn, @aa:8	B		4			~ (Rn8 of @aa:8)→Z	-	-	-	↑	-	-	-	6	
BLD	BLD #xx:3, Rd	B	2				(#xx:3 of Rd8)→C	-	-	-	-	-	↑	-	2	
	BLD #xx:3, @ERd	B	4				(#xx:3 of @ERd)→C	-	-	-	-	-	↑	-	6	
	BLD #xx:3, @aa:8	B		4			(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	-	6	

二一ニニツク	サイ ズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行ステータス数 ⁸¹	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル
BILD	BILD #xx:3, Rd	B	2														2
	BILD #xx:3, @ERd	B		4													6
	BILD #xx:3, @aa:8	B					4										6
BST	BST #xx:3, Rd	B	2														2
	BST #xx:3, @ERd	B		4													8
	BST #xx:3, @aa:8	B					4										8
BIST	BIST #xx:3, Rd	B	2														2
	BIST #xx:3, @ERd	B		4													8
	BIST #xx:3, @aa:8	B					4										8
BAND	BAND #xx:3, Rd	B	2														2
	BAND #xx:3, @ERd	B		4													6
	BAND #xx:3, @aa:8	B					4										6
BIAND	BIAND #xx:3, Rd	B	2														2
	BIAND #xx:3, @ERd	B		4													6
	BIAND #xx:3, @aa:8	B					4										6
BOR	BOR #xx:3, Rd	B	2														2
	BOR #xx:3, @ERd	B		4													6
	BOR #xx:3, @aa:8	B					4										6
BIOR	BIOR #xx:3, Rd	B	2														2
	BIOR #xx:3, @ERd	B		4													6
	BIOR #xx:3, @aa:8	B					4										6
BXOR	BXOR #xx:3, Rd	B	2														2
	BXOR #xx:3, @ERd	B		4													6
	BXOR #xx:3, @aa:8	B					4										6
BIXOR	BIXOR #xx:3, Rd	B	2														2
	BIXOR #xx:3, @ERd	B		4													6
	BIXOR #xx:3, @aa:8	B					4										6

(6) 分岐命令

二一三	二一三	アドレッシングモード / 命令長 (バイト)				オペレーション	分岐条件	コンディションコード							実行ステータス	
		#xx	Rn	@ERn	@(d, ERn) @-ERn/@ERN+ @aa @(d, PC) @@aa -			I	H	N	Z	V	C	ノーマル	アドバンス	
Bcc	BRA d:8(BT d:8)	-	-	-	2		Always	-	-	-	-	-	-	-	4	
	BRA d:16(BT d:16)	-	-	-	4		if condition is true then PC←PC+d else next;	-	-	-	-	-	-	-	6	
	BRN d:8(BF d:8)	-	-	-	2			Never	-	-	-	-	-	-	-	4
	BRN d:16(BF d:16)	-	-	-	4		C _v Z=0	-	-	-	-	-	-	-	6	
	BHI d:8	-	-	-	2			C _v Z=1	-	-	-	-	-	-	-	4
	BHI d:16	-	-	-	4		C=0	-	-	-	-	-	-	-	6	
	BLS d:8	-	-	-	2			C=1	-	-	-	-	-	-	-	4
	BLS d:16	-	-	-	4		C=0	-	-	-	-	-	-	-	6	
	BCC d:8(BHS d:8)	-	-	-	2			C=1	-	-	-	-	-	-	-	4
	BCC d:16(BHS d:16)	-	-	-	4		Z=0	-	-	-	-	-	-	-	6	
	BCS d:8(BLO d:8)	-	-	-	2			Z=1	-	-	-	-	-	-	-	4
	BCS d:16(BLO d:16)	-	-	-	4		Z=1	-	-	-	-	-	-	-	6	
	BNE d:8	-	-	-	2			V=0	-	-	-	-	-	-	-	4
	BNE d:16	-	-	-	4		V=1	-	-	-	-	-	-	-	6	
	BEQ d:8	-	-	-	2			N=0	-	-	-	-	-	-	-	4
	BEQ d:16	-	-	-	4		N=1	-	-	-	-	-	-	-	6	
	BVC d:8	-	-	-	2				-	-	-	-	-	-	-	4
	BVC d:16	-	-	-	4			-	-	-	-	-	-	-	6	
	BVS d:8	-	-	-	2			-	-	-	-	-	-	-	4	
	BVS d:16	-	-	-	4			-	-	-	-	-	-	-	6	
	BPL d:8	-	-	-	2			-	-	-	-	-	-	-	4	
	BPL d:16	-	-	-	4			-	-	-	-	-	-	-	6	
	BMI d:8	-	-	-	2			-	-	-	-	-	-	-	4	
	BMI d:16	-	-	-	4			-	-	-	-	-	-	-	6	

二一モニツク	サイ ズ	アドレッシングモード/命令量 (バイト)				オペレーション	分枝条件	コンディションコード							実行ステート数 ^{*)}	
		#xx Rn	@ERn (d, ERn)	@-ERn/ @ERn+	@aa (d, PC) /@aa-			I	H	N	Z	V	C	ノーマル	アドバンスト	
Bcc	-				2		N@V=0	-	-	-	-	-	-	-	4	
BGE d:16	-				4		N@V=1	-	-	-	-	-	-	-	6	
BLT d:8	-				2		Z\N@V=1	-	-	-	-	-	-	-	4	
BLT d:16	-				4		Z\N@V=0	-	-	-	-	-	-	-	6	
BGT d:8	-				2		Z\N@V=1	-	-	-	-	-	-	-	4	
BGT d:16	-				4			-	-	-	-	-	-	-	6	
BLE d:8	-				2			-	-	-	-	-	-	-	4	
BLE d:16	-				4			-	-	-	-	-	-	-	6	
JMP	-	2					PC←-ERn	-	-	-	-	-	-	-	4	
JMP @aa:24	-		4				PC←-aa:24	-	-	-	-	-	-	-	6	
JMP @aa:8	-				2		PC←-@aa:8	-	-	-	-	-	-	-	8	10
BSR d:8	-				2		PC←-@-SP, PC←-PC+d:8	-	-	-	-	-	-	-	6	8
BSR d:16	-				4		PC←-@-SP, PC←-PC+d:16	-	-	-	-	-	-	-	8	10
JSR @ERn	-	2					PC←-@-SP, PC←-@ERn	-	-	-	-	-	-	-	6	8
JSR @aa:24	-		4				PC←-@-SP, PC←-@aa:24	-	-	-	-	-	-	-	8	10
JSR @aa:8	-				2		PC←-@-SP, PC←-@aa:8	-	-	-	-	-	-	-	8	12
RTS	-				2		PC←-@SP+	-	-	-	-	-	-	-	8	10

(7) システム制御命令

二モードック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード								実行ステート数 ^{#1}			
		#xx	Rn	@ERn	@(d, ERn)		@-ERn	@ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル
TRAPA	TRAPA #x:2	-															14	16
RTE	RTE	-																10
SLEEP	SLEEP	-																2
LDC	LDC #xx:8, CCR	B	2															2
	LDC Rs, CCR	B	2															2
	LDC @ERs, CCR	W		4														6
	LDC @(d:16, ERs), CCR	W		6														8
	LDC @(d:24, ERs), CCR	W		10														12
	LDC @ER+, CCR	W			4													8
	LDC @aa:16, CCR	W				6												8
	LDC @aa:24, CCR	W				8												10
STC	STC CCR, Rd	B	2															2
	STC CCR, @ERd	W		4														6
	STC CCR, @(d:16, ERd)	W		6														8
	STC CCR, @(d:24, ERd)	W		10														12
	STC CCR, @-ERd	W			4													8
	STC CCR, @aa:16	W				6												8
	STC CCR, @aa:24	W				8												10
ANDC	ANDC #xx:8, CCR	B	2															2
ORC	ORC #xx:8, CCR	B	2															2
XORC	XORC #xx:8, CCR	B	2															2
NOP	NOP	-																2

(8) ブロック転送命令

二 ー モ ー ッ ク	サ イ ズ	ア ド レ ッ シ ャ ン グ モ ー ド / 命 令 長 (バ イ ト)				オ ペ レ ー シ ャ ン	コ ン デ ィ シ ャ ン コ ー ド								実 行 ス テ ー ト 数 *1						
		#xx	Rn	@ERn	@(d, ERn)		@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル	アド/バンス				
EEMOVB	-																		8+4n*2		
EEMOVW	-																				8+4n*2

【注】 *1 実行ステート数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステート数」を参照してください。

*2 nはR4LまたはR4の固定値です。

ビット11から桁上がりまたはビット11へ桁下がりが発生したとき"1"にセットされ、それ以外るとき"0"にクリアされます。

ビット27から桁上がりまたはビット27へ桁下がりが発生したとき"1"にセットされ、それ以外るとき"0"にクリアされます。

演算結果がゼロのとき、演算前の値を保持し、それ以外るとき"0"にクリアされます。

補正結果に桁上がりが発生したとき"1"にセットされ、それ以外るとき演算前の値を保持します。

Eクログ同期転送命令の実行ステート数は一定ではありません。

除数が負のとき"1"にセットされ、それ以外るとき"0"にクリアされます。

除数がゼロのとき"1"にセットされ、それ以外るとき"0"にクリアされます。

商が負のとき"1"にセットされ、それ以外るとき"0"にクリアされます。

A.2 オペレーションコードマップ

命令コード:

第1バイト	第2バイト
AH AL	BH BL



BHの最上位ビットが0の場合を示します。
BHの最上位ビットが1の場合を示します。

AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2 (2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2 (2)	表A.2 (2)	MOV	ADDX		表A.2 (2)
1	表A.2 (2)	表A.2 (2)	表A.2 (2)	表A.2 (2)	OR.B	XOR.B	AND.B	表A.2 (2)	SUB		表A.2 (2)	表A.2 (2)	CMP	SUBX		表A.2 (2)
2	MOV.B															
3	MOV.B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2 (2)		JMP		BSR		JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	BIST	MOV						
7	BOB		BIOB		BAND		BAND		MOV	表A.2 (2)	表A.2 (2)	EPMOV	表A.2 (3)			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

命令コード: 第1バイト 第2バイト

AH	AL	BH	BL
----	----	----	----

BH AH/AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP				表A.2 (3)	表A.2 (3)		表A.2 (3)
0A	INC												ADD			
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA															
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT				EXTU	NEG			NEG		EXTS		EXTS
1A	DEC															
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS															
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

命令コード: 第1バイト 第2バイト 第3バイト 第4バイト

AH	AL	BH	BL	CH	CL	DH	DL
----	----	----	----	----	----	----	----

← DHの最上位ビットが0の場合を示します。
 ← DHの最上位ビットが1の場合を示します。

命令コード	AH	AL	BH	BL	CH	CL	DH	DL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
01406	CL	CL	CL	CL	CL	CL	CL	CL										LDC	STC		LDC	STC		LDC	STC
01C05	MULXS	MULXS	MULXS	MULXS	MULXS	MULXS	MULXS	MULXS																	
01D05										DIVXS		DIVXS													
01F06													OR	XOR	AND										
7Cr06 ^{*1}																									
7Cr07 ^{*1}																									
7Dr06 ^{*1}																									
7Dr07 ^{*1}																									
7Eaa6 ^{*2}																									
7Eaa7 ^{*2}																									
7Faa6 ^{*2}																									
7Faa7 ^{*2}																									

【注】 *1 rはレジスタ指定部

*2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.3 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.2 におおののサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合

- BSET #0、@FFFFC7:8
表A.3より
I=L=2、J=K=M=N=0
表A.2より
S_I=4、S_L=3
実行ステート数=2×4+2×3=14
- JSR @@30
表A.3より
I=J=K=2、L=M=N=0
表A.2より
S_I=S_J=S_K=4
実行ステート数=2×4+2×4+2×4=24

表 A.2 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	アクセス対象									
	内蔵 メモリ	内蔵周辺 モジュール		外部デバイス						
		8ビット バス	16ビット バス	8ビットバス		16ビットバス				
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス			
命令フェッチ S _I	2	6	3	4	6+2m	2	3+m			
分岐アドレスリード S _J										
スタック操作 S _K										
バイトデータアクセス S _L								3	2	3+m
ワードデータアクセス S _M								6	4	6+2m
内部動作 S _N	1									

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

表 A.3 命令実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx;16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx;16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
B _{cc}	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
BCC d:16 (BHS d:16)	2					2	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作
		I	J	K	L	M	N
B _{cc}	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
	BLE d:16	2					2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		

付 録

命令	ニーモニック		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作
			I	J	K	L	M	N
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル	2		1			2
		アドバンスト	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		
BXOR	BXOR #xx:3, Rd		1					
	BXOR #xx:3, @ERd		2			1		
	BXOR #xx:3, @aa:8		2			1		
CMP	CMP.B #xx:8, Rd		1					
	CMP.B Rs, Rd		1					
	CMP.W #xx:16, Rd		2					
	CMP.W Rs, Rd		1					
	CMP.L #xx:32, ERd		3					
	CMP.L ERs, ERd		1					
DAA	DAA Rd		1					
DAS	DAS Rd		1					
DEC	DEC.B Rd		1					
	DEC.W #1/2, Rd		1					
	DEC.L #1/2, ERd		1					
DIVXS	DIVXS.B Rs, Rd		2					12
	DIVXS.W Rs, ERd		2					20
DIVXU	DIVXU.B Rs, Rd		1					12
	DIVXU.W Rs, ERd		1					20

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作	
		I	J	K	L	M	N	
EEPMOV	EEPMOV.B	2			$2n + 2^{*1}$			
	EEPMOV.W	2			$2n + 2^{*1}$			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2, Rd	1						
	INC.L #1/2, ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					2	
	JMP @aa:8	ノーマル	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル	2		1		2	
		アドバンスト	2		2		2	
	JSR @@aa:8	ノーマル	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR	1						
	LDC Rs, CCR	1						
	LDC @ERs, CCR	2				1		
	LDC @(d:16, ERs), CCR	3				1		
	LDC @(d:24, ERs), CCR	5				1		
	LDC @ERs+, CCR	2				1	2	
	LDC @aa:16, CCR	3				1		
	LDC @aa:24, CCR	4				1		
MOV	MOV.B #xx:8, Rd	1						
	MOV.B Rs, Rd	1						
	MOV.B @ERs, Rd	1				1		
	MOV.B @(d:16, ERs), Rd	2				1		
	MOV.B @(d:24, ERs), Rd	4				1		
	MOV.B @ERs+, Rd	1				1	2	
	MOV.B @aa:8, Rd	1				1		
	MOV.B @aa:16, Rd	2				1		
	MOV.B @aa:24, Rd	3				1		
	MOV.B Rs, @ERd	1				1		
	MOV.B Rs, @(d:16, ERd)	2				1		
	MOV.B Rs, @(d:24, ERd)	4				1		
	MOV.B Rs, @-ERd	1				1	2	
	MOV.B Rs, @aa:8	1				1		

付 録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作
		I	J	K	L	M	N
MOV	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2					2
	MOV.L @(d:16, ERs), ERd	3					2
	MOV.L @(d:24, ERs), ERd	5					2
	MOV.L @ERs+, ERd	2					2
	MOV.L @aa:16, ERd	3					2
	MOV.L @aa:24, ERd	4					2
	MOV.L ERs, @ERd	2					2
	MOV.L ERs, @(d:16, ERd)	3					2
	MOV.L ERs, @(d:24, ERd)	5					2
	MOV.L ERs, @-ERd	2					2
	MOV.L ERs, @aa:16	3					2
	MOV.L ERs, @aa:24	4					2
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPPE	MOVTPPE Rs, @aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU Rs, Rd	1					12
	MULXU Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					

命令	二ーモニク		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作
			I	J	K	L	M	N
NOT	NOT.B Rd		1					
	NOT.W Rd		1					
	NOT.L ERd		1					
OR	OR.B #xx:8, Rd		1					
	OR.B Rs, Rd		1					
	OR.W #xx:16, Rd		2					
	OR.W Rs, Rd		1					
	OR.L #xx:32, ERd		3					
	OR.L ERs, ERd		2					
ORC	ORC #xx8, CCR		1					
POP	POP.W Rn		1				1	2
	POP.L ERn		2				2	2
PUSH	PUSH.W Rn		1				1	2
	PUSH.L ERn		2				2	2
ROTL	ROTL.B Rd		1					
	ROTL.W Rd		1					
	ROTL.L ERd		1					
ROTR	ROTR.B Rd		1					
	ROTR.W Rd		1					
	ROTR.L ERd		1					
ROTXL	ROTXL.B Rd		1					
	ROTXL.W Rd		1					
	ROTXL.L ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.W Rd		1					
	ROTXR.L ERd		1					
RTE	RTE		2		2		2	
RTS	RTS	ノーマル	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					
	SHLL.L ERd		1					
SHLR	SHLR.B Rd		1					
	SHLR.W Rd		1					
	SHLR.L ERd		1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部 動作
		I	J	K	L	M	N
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16, ERd)	3				1	
	STC CCR, @(d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル	2	1	2		4
		アドバンスト	2	2	2		4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 本 LSI では使用できません。

B. レジスタ一覧

B.1 I/O レジスタ一覧 (1)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'1C											
H'1D											
H'1E											
H'1F											
H'20	MAR0AR	8									DMAC チャンネル 0A
H'21	MAR0AE	8									
H'22	MAR0AH	8									
H'23	MAR0AL	8									
H'24	ETCR0AH	8									
H'25	ETCR0AL	8									
H'26	IOAR0A	8									
H'27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フル アドレス モード
H'28	MAR0BR	8									DMAC チャンネル 0B
H'29	MAR0BE	8									
H'2A	MAR0BH	8									
H'2B	MAR0BL	8									
H'2C	ETCR0BH	8									
H'2D	ETCR0BL	8									
H'2E	IOAR0B	8									
H'2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フル アドレス モード
H'30	MAR1AR	8									DMAC チャンネル 1A
H'31	MAR1AE	8									
H'32	MAR1AH	8									
H'33	MAR1AL	8									
H'34	ETCR1AH	8									
H'35	ETCR1AL	8									
H'36	IOAR1A	8									

付 録

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フル アドレス モード
H'38	MAR1BR	8									DMAC チャンネル 1B
H'39	MAR1BE	8									
H'3A	MAR1BH	8									
H'3B	MAR1BL	8									
H'3C	ETCR1BH	8									
H'3D	ETCR1BL	8									
H'3E	IOAR1B	8									
H'3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フル アドレス モード
H'40											
H'41											
H'42											
H'43											
H'44											
H'45											
H'46											
H'47											
H'48											
H'49											
H'4A											
H'4B											
H'4C											
H'4D											
H'4E											
H'4F											
H'50											
H'51											
H'52											
H'53											
H'54											
H'55											
H'56											
H'57											

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'58											
H'59											
H'5A											
H'5B											
H'5C											
H'5D											
H'5E											
H'5F											
H'60	TSTR	8				STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8				SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8		MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8			CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	ITU チャンネル0
H'64	TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'65	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'66	TIER0	8						OVIE	IMIEB	IMIEA	
H'67	TSR0	8						OVF	IMFB	IMFA	
H'68	TCNT0H	16									
H'69	TCNT0L										
H'6A	GRA0H	16									
H'6B	GRA0L										
H'6C	GRB0H	16									
H'6D	GRB0L										
H'6E	TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル1
H'6F	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'70	TIER1	8						OVIE	IMIEB	IMIEA	
H'71	TSR1	8						OVF	IMFB	IMFA	
H'72	TCNT1H	16									
H'73	TCNT1L										
H'74	GRA1H	16									
H'75	GRA1L										
H'76	GRB1H	16									
H'77	GRB1L										
H'78	TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'79	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'7A	TIER2	8						OVIE	IMIEB	IMIEA	
H'7B	TSR2	8						OVF	IMFB	IMFA	
H'7C	TCNT2H	16									
H'7D	TCNT2L										
H'7E	GRA2H	16									
H'7F	GRA2L										

付 録

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'80	GRB2H	16										ITU チャンネル 3
H'81	GRB2L											
H'82	TCR3	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		
H'83	TIOR3	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'84	TIER3	8						OVIE	IMIEB	IMIEA		
H'85	TSR3	8						OVF	IMFB	IMFA		
H'86	TCNT3H	16										
H'87	TCNT3L											
H'88	GRA3H	16										
H'89	GRA3L											
H'8A	GRB3H	16										
H'8B	GRB3L											
H'8C	BRA3H	16										
H'8D	BRA3L											
H'8E	BRB3H	16										
H'8F	BRB3L											
H'90	TOER	8			EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共通	
H'91	TOCR	8				XTGD			OLS4	OLS3		
H'92	TCR4	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル 4	
H'93	TIOR4	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'94	TIER4	8						OVIE	IMIEB	IMIEA		
H'95	TSR4	8						OVF	IMFB	IMFA		
H'96	TCNT4H	16										
H'97	TCNT4L											
H'98	GRA4H	16										
H'99	GRA4L											
H'9A	GRB4H	16										
H'9B	GRB4L											
H'9C	BRA4H	16										
H'9D	BRA4L											
H'9E	BRB4H	16										
H'9F	BRB4L											
H'A0	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV		TPC
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'A4	NDRB* ¹	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8		
		8	NDR15	NDR14	NDR13	NDR12						
H'A5	NDRA* ¹	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
		8	NDR7	NDR6	NDR5	NDR4						
H'A6	NDRB* ¹	8										
		8					NDR11	NDR10	NDR9	NDR8		

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'A7	NDRA* ¹	8									TPC
		8					NDR3	NDR2	NDR1	NDR0	
H'A8	TSCR* ²	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT
H'A9	TCNT* ²	8									
H'AA											
H'AB	RSTCSR* ³	8	WRST	RSTOE							
H'AC	RFSHCR	8	SRFMD	PSRAM	DRAME	CAS/WE	M9/M8	PFSHE		RCYCE	リフレッシュ コントローラ
H'AD	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0				
H'AE	RTCNT	8									
H'AF	RTCOR	8									
H'B0	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	
H'B1	BRR	8									
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'B3	TDR	8									
H'B4	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'B5	RDR	8									
H'B6											
H'B7											
H'B8	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャンネル 1
H'B9	BRR	8									
H'BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'BB	TDR	8									
H'BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'BD	RDR	8									
H'BE											
H'BF											
H'C0	P1DDR	8	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート 1
H'C1	P2DDR	8	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート 2
H'C2	P1DR	8	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート 1
H'C3	P2DR	8	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート 2
H'C4	P3DDR	8	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート 3
H'C5	P4DDR	8	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート 4
H'C6	P3DR	8	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート 3
H'C7	P4DR	8	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート 4
H'C8	P5DDR	8					P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR	ポート 5
H'C9	P6DDR	8		P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート 6
H'CA	P5DR	8					P5 ₃	P5 ₂	P5 ₁	P5 ₀	ポート 5
H'CB	P6DR	8		P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート 6
H'CC											
H'CD	P8DDR	8					P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR	ポート 8
H'CE	P7DR	8	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート 7
H'CF	P8DR	8					P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート 8

付 録

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'D0	P9DDR	8			P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート 9
H'D1	PADDR	8	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR	ポート A
H'D2	P9DR	8			P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	ポート 9
H'D3	PADR	8	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポート A
H'D4	PBDDR	8	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR	ポート B
H'D5											
H'D6	PBDR	8	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	ポート B
H'D7											
H'D8	P2PCR		P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート 2
H'D9											
H'DA	P4PCR	8	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR	ポート 4
H'DB	P5PCR	8					P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR	ポート 5
H'DC	DADR0	8									D/A 変換器
H'DD	DADR1	8									
H'DE	DACR	8	DAOE1	DAOE0	DAE						
H'DF											
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'E1	ADDRAL	8	AD1	AD0							
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0							
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0							
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0							
H'E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	8	TRGE								
H'EA											
H'EB											
H'EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ
H'ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE	WCR	8					WMS1	WMS0	WC1	WC0	
H'EF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	
H'F0											
H'F1	MDCR	8						MDS2	MDS1	MDS0	システム 制御
H'F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME	
H'F3	BRCR	8	A23E	A22E	A21E					BRLE	バス コントローラ
H'F4	ISCR	8			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割り込み コントローラ
H'F5	IER	8			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'F6	ISR	8			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'F7											
H'F7											

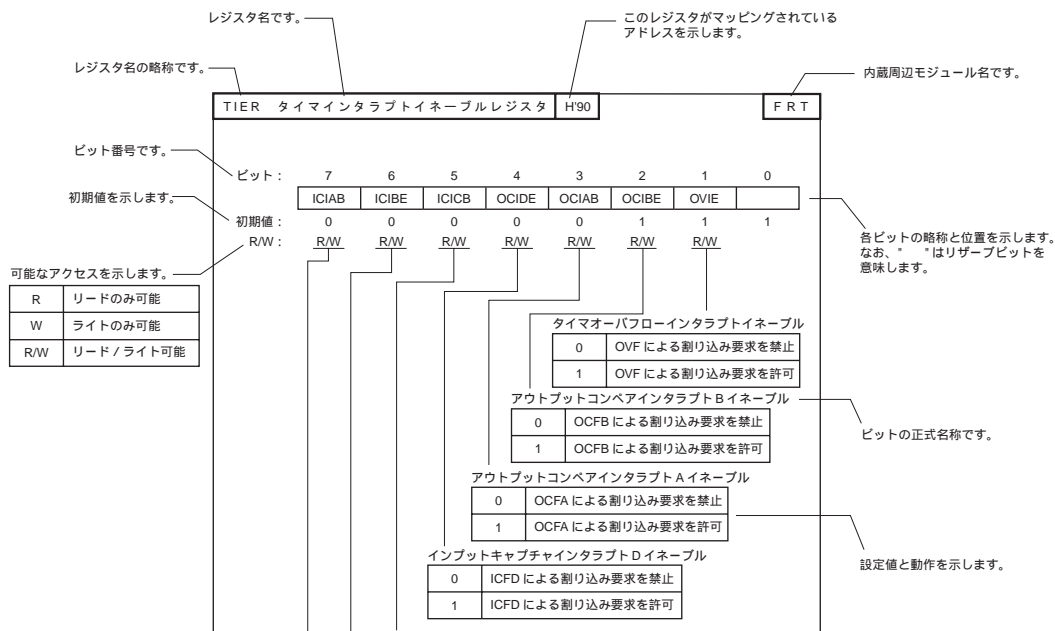
下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'F8	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	割り込み コントローラ
H'F9	IPRB	8	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1		
H'FA											
H'FB											
H'FC											
H'FD											
H'FE											
H'FF											

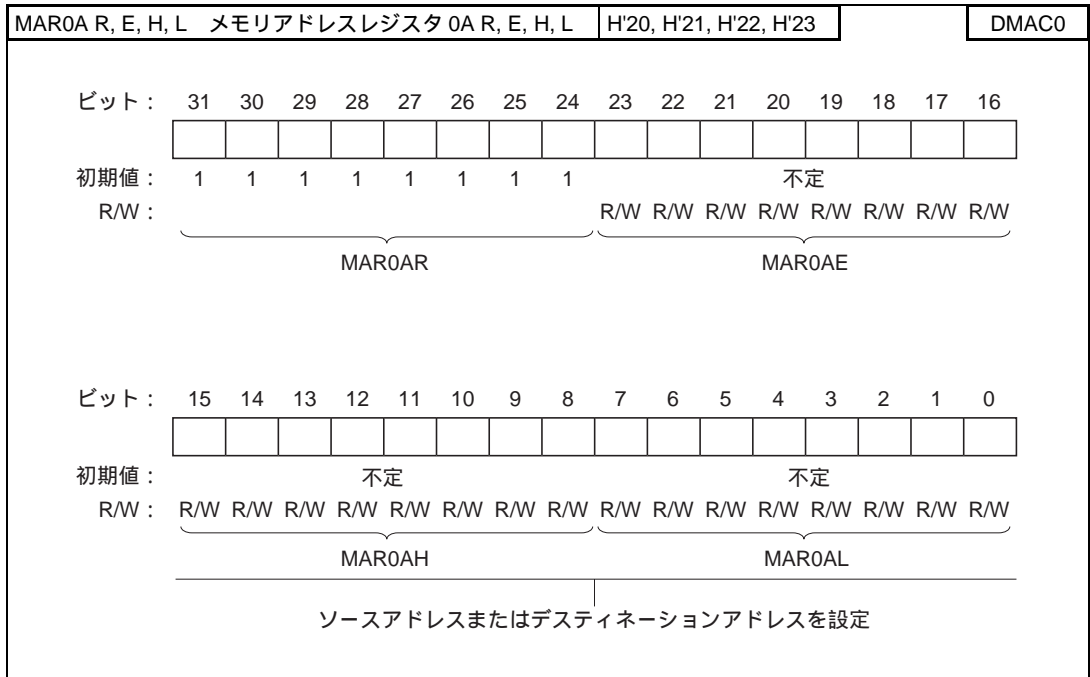
【記号説明】

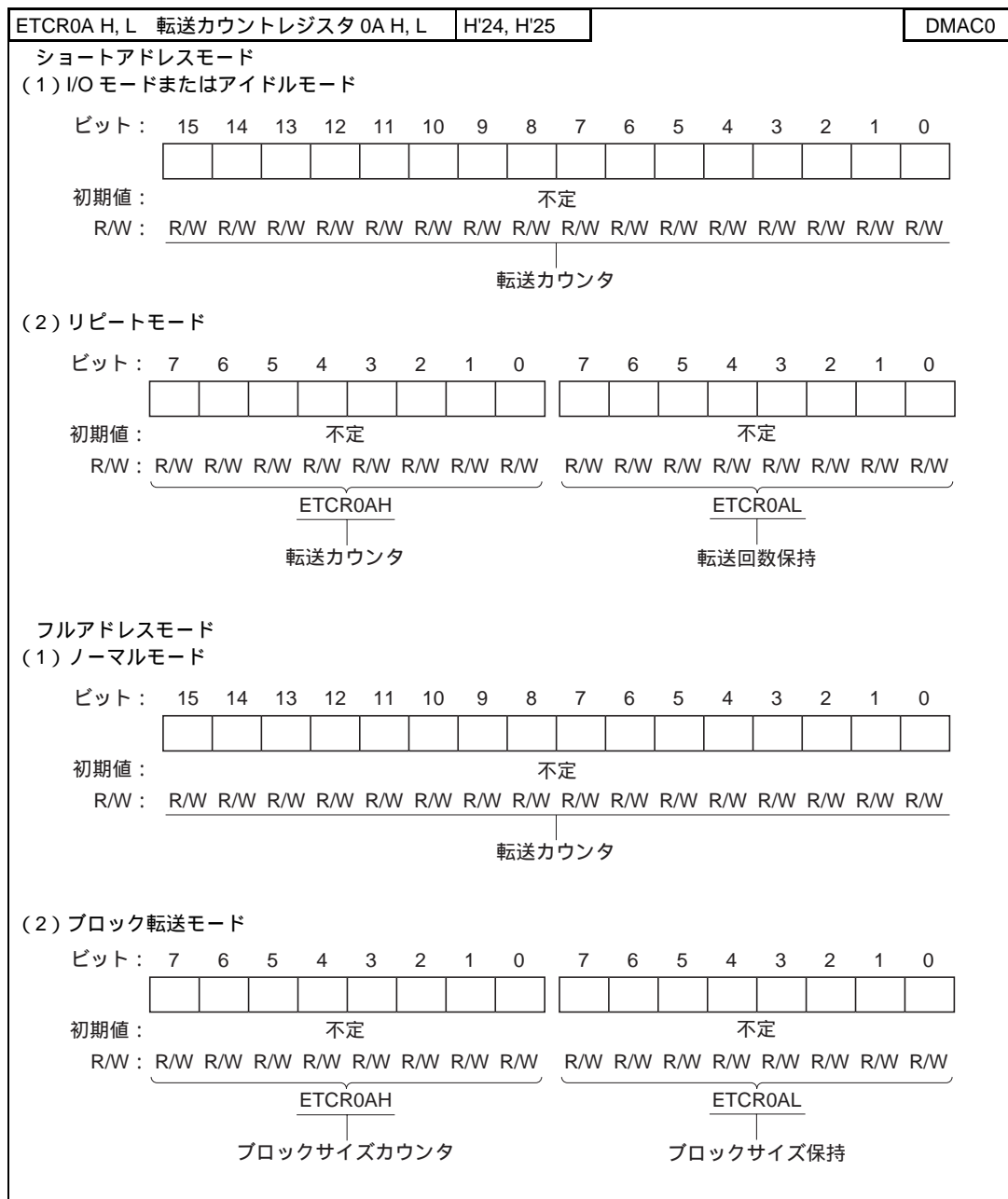
DMAC : DMA コントローラ
 ITU : 16 ビットインテグレートドタイムユニット
 TPC : プログラマブルタイミングパターンコントローラ
 WDT : ウォッチドッグタイマ
 SCI : シリアルコミュニケーションインタフェース

- 【注】 *1 出力トリガの設定によりアドレスが変化します。
 *2 TCSR、TCNT のライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。
 *3 RSTCSR のライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。

B.2 I/O レジスタ一覧 (2)



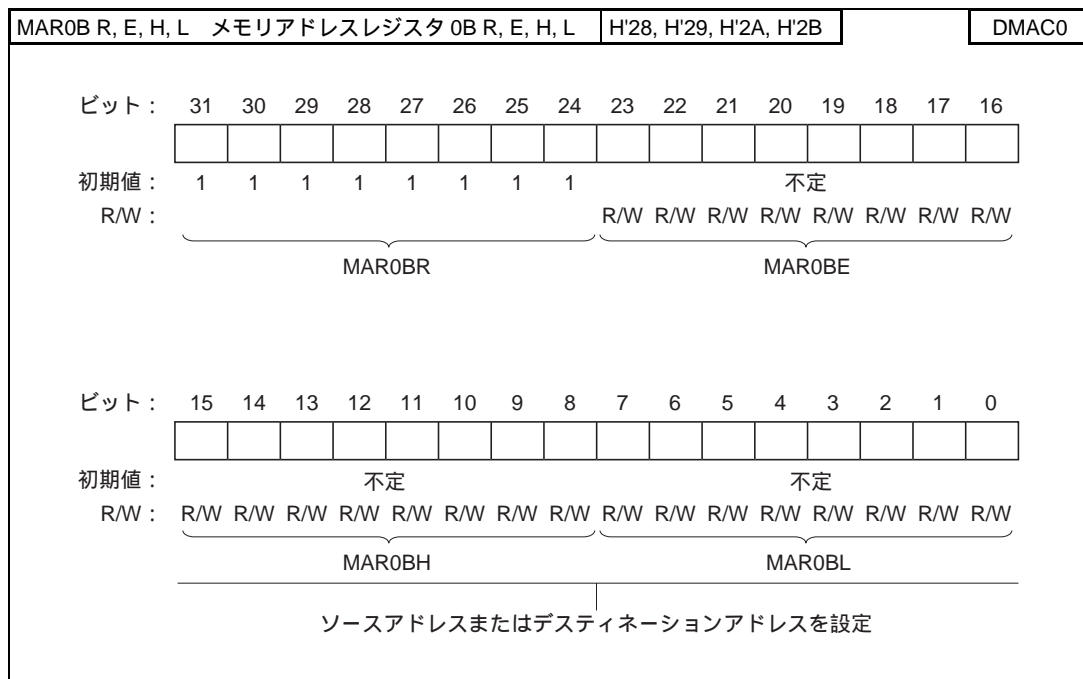




IOAR0A	I/O アドレスレジスタ 0A	H'26						DMAC0
ビット:	7	6	5	4	3	2	1	0
初期値:				不定				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ショートアドレスモード: ソースアドレスまたはデスティネーションアドレスを設定								
フルアドレスモード : 未使用								

DTCR0A データトランスファコントロールレジスタ 0A	H'27	DMAC0	
ショートアドレスモード			
ビット :	7 6 5 4 3 2 1 0		
	DTE DTSZ DTID RPE DTIE DTS2 DTS1 DTS0		
初期値 :	0 0 0 0 0 0 0 0		
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W		
データトランスファセレクト			
ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITU チャンネル0のコンペア/インプットキャプチャA 割り込みで起動
		1	ITU チャンネル1のコンペア/インプットキャプチャA 割り込みで起動
	1	0	ITU チャンネル2のコンペア/インプットキャプチャA 割り込みで起動
		1	ITU チャンネル3のコンペア/インプットキャプチャA 割り込みで起動
1	0	0	SCI0 の送信データエンプティ割り込みで起動
		1	SCI0 の受信データフル割り込みで起動
	1	*	フルアドレスモード転送を指定
データトランスファインタラプトイネーブル			
0	DTE ビットによる割り込み要求を禁止		
1	DTE ビットによる割り込み要求を許可		
リピートイネーブル			
RPE	DTIE	説明	
0	0	I/O モードで転送	
	1		
1	0	リピートモードで転送	
	1	アイドルモードで転送	
データトランスファインクリメント/デクリメント			
0	インクリメント : DTSZ="0" のとき、転送後 MAR を +1 DTSZ="1" のとき、転送後 MAR を +2		
1	デクリメント : DTSZ="0" のとき、転送後 MAR を -1 DTSZ="1" のとき、転送後 MAR を -2		
データトランスファサイズ			
0	バイトサイズ転送		
1	ワードサイズ転送		
データトランスファイネーブル			
0	データ転送を禁止		
1	データ転送を許可		

DTCR0A データトランスファコントロールレジスタ 0A					H'27			DMAC0																								
フルアドレスモード																																
ビット:	7	6	5	4	3	2	1	0																								
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A																								
初期値:	0	0	0	0	0	0	0	0																								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>データトランスファセレクト A0</p> <table border="1"> <tr><td>0</td><td>ノーマルモードで転送</td></tr> <tr><td>1</td><td>ブロック転送モードで転送</td></tr> </table> <p>データトランスファセレクト A2、1 いずれも "1" にセットしてください</p> <p>データトランスファインタラプトイネーブル</p> <table border="1"> <tr><td>0</td><td>DTE ビットによる割り込み要求を禁止</td></tr> <tr><td>1</td><td>DTE ビットによる割り込み要求を許可</td></tr> </table> </div> <div style="width: 45%;"> <p>ソースアドレスインクリメント / デクリメント</p> <table border="1"> <thead> <tr> <th>ビット5</th> <th>ビット4</th> <th>インクリメント / デクリメントイネーブル</th> </tr> <tr> <th>SAID</th> <th>SAIDE</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>MARA固定</td> </tr> <tr> <td>1</td> <td>インクリメント : DTSZ="0" のとき、転送後 MARA を +1 DTSZ="1" のとき、転送後 MARA を +2</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>MARA固定</td> </tr> <tr> <td>1</td> <td>デクリメント : DTSZ="0" のとき、転送後 MARA を -1 DTSZ="1" のとき、転送後 MARA を -2</td> </tr> </tbody> </table> </div> </div>									0	ノーマルモードで転送	1	ブロック転送モードで転送	0	DTE ビットによる割り込み要求を禁止	1	DTE ビットによる割り込み要求を許可	ビット5	ビット4	インクリメント / デクリメントイネーブル	SAID	SAIDE		0	0	MARA固定	1	インクリメント : DTSZ="0" のとき、転送後 MARA を +1 DTSZ="1" のとき、転送後 MARA を +2	1	0	MARA固定	1	デクリメント : DTSZ="0" のとき、転送後 MARA を -1 DTSZ="1" のとき、転送後 MARA を -2
0	ノーマルモードで転送																															
1	ブロック転送モードで転送																															
0	DTE ビットによる割り込み要求を禁止																															
1	DTE ビットによる割り込み要求を許可																															
ビット5	ビット4	インクリメント / デクリメントイネーブル																														
SAID	SAIDE																															
0	0	MARA固定																														
	1	インクリメント : DTSZ="0" のとき、転送後 MARA を +1 DTSZ="1" のとき、転送後 MARA を +2																														
1	0	MARA固定																														
	1	デクリメント : DTSZ="0" のとき、転送後 MARA を -1 DTSZ="1" のとき、転送後 MARA を -2																														
データトランスファサイズ																																
	0	バイトサイズ転送																														
	1	ワードサイズ転送																														
データトランスファイネーブル																																
	0	データ転送を禁止																														
	1	データ転送を許可																														



ETCROB H, L 転送カウンレジスタ 0B H, L	H'2C, H'2D	DMAC0																
ショートアドレスモード																		
(1) I/O モードまたはアイドルモード																		
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>			
初期値:	不定																	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
	転送カウンタ																	
(2) リpeatモード																		
ビット:	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0																
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>			
初期値:	不定								不定									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ETCROBH								ETCROBL									
	転送カウンタ								転送回数保持									
フルアドレスモード																		
(1) ノーマルモード																		
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>			
初期値:	不定																	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	未使用																	
(2) ブロック転送モード																		
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>			
初期値:	不定																	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	ブロック転送カウンタ																	

IOAR0B I/O アドレスレジスタ 0B	H'2E		DMAC0					
ビット:	7	6	5	4	3	2	1	0
初期値:				不定				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<div style="display: flex; justify-content: center; align-items: center; gap: 20px;"> <div style="text-align: center;"> <p>ショートアドレスモード：ソースアドレスまたはデスティネーションアドレスを設定</p> <p>フルアドレスモード : 未使用</p> </div> <div style="text-align: center;"> <p>↓</p> </div> </div>								

DTCR0B データトランスファコントロールレジスタ 0B						H'2F		DMAC0	
ショートアドレスモード									
ビット :		7	6	5	4	3	2	1	0
		DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値 :		0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
データトランスファセレクト									
ビット2		ビット1		ビット0		データ転送の起動要因			
DTS2		DTS1		DTS0					
0		0		0		ITU チャンネル0のコンペア / インพุットキャプチャA 割り込みで起動			
				1		ITU チャンネル1のコンペア / インพุットキャプチャA 割り込みで起動			
		1		0		ITU チャンネル2のコンペア / インพุットキャプチャA 割り込みで起動			
				1		ITU チャンネル3のコンペア / インพุットキャプチャA 割り込みで起動			
1		0		0		SCI0 の送信データエンプティ割り込みで起動			
				1		SCI0 の受信データフル割り込みで起動			
		1		0		DREQ 端子の立ち下がりエッジ入力で起動			
				1		DREQ 端子の "LOW" レベル入力で起動			
データトランスファインタラプトイネーブル									
0		DTE ビットによる割り込み要求を禁止							
1		DTE ビットによる割り込み要求を許可 DTE ビット="0" のとき、CPU に割り込みを要求							
リピートイネーブル									
RPE		DTIE		説明					
0		0		I/O モードで転送					
		1							
1		0		リピートモードで転送					
		1		アイドルモードで転送					
データトランスファインクリメント / デクリメント									
0		インクリメント : DTSZ="0" のとき、転送後 MAR を +1 DTSZ="1" のとき、転送後 MAR を +2							
1		デクリメント : DTSZ="0" のとき、転送後 MAR を -1 DTSZ="1" のとき、転送後 MAR を -2							
データトランスファサイズ									
0		バイトサイズ転送							
1		ワードサイズ転送							
データトランスファイネーブル									
0		データ転送を禁止							
1		データ転送を許可							

DTCR0B データトランスファコントロールレジスタ 0B	H'2F	DMAC0															
フルアドレスモード																	
ビット:	7	6	5	4	3	2	1	0									
	DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B									
初期値:	0	0	0	0	0	0	0	0									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									
データトランスファセレクト 2B ~ 0B																	
ビット2			ビット1			ビット0			データ転送の起動要因								
DTS2B			DTS1B			DTS0B			ノーマルモード			ブロック転送モード					
0			0			0			オートリクエスト (バーストモード)			ITUチャンネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動					
						1			使用できません			ITUチャンネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動					
			1			0			0			オートリクエスト (サイクルスチールモード)			ITUチャンネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動		
									1			使用できません			ITUチャンネル3のコンペアマッチ / インพุットキャプチャA割り込みで起動		
1			0			0			使用できません			使用できません					
						1			使用できません			使用できません					
			1			0			0			DREQ 端子の立ち下がりで起動			DREQ 端子の立ち下がりで起動		
									1			DREQ 端子の"LOW" レベルで起動			使用できません		
トランスファモードセレクト																	
0		ブロック転送モード時、デスティネーション側をブロックエリアとして転送															
1		ブロック転送モード時、ソース側をブロックエリアとして転送															
デスティネーションアドレスインクリメント/デクリメント																	
ビット5		ビット4		インクリメント/デクリメントイネーブル													
DAID		DAIDE															
0		0		MARB固定													
		1		インクリメント : DTSZ="0" のとき、転送後 MAR を +1 DTSZ="1" のとき、転送後 MAR を +2													
1		0		MARB固定													
		1		デクリメント : DTSZ="0" のとき、転送後 MAR を -1 DTSZ="1" のとき、転送後 MAR を -2													
データトランスファマスタイネーブル																	
0		データ転送を禁止															
1		データ転送を許可															

MAR1A R, E, H, L	メモリアドレスレジスタ 1A R, E, H, L	H'30, H'31, H'32, H'33	DMAC1													
ビット:	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16															
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	1	1	1	1	1	1	1	1	不定							
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W							
	MAR1AR								MAR1AE							
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	不定								不定							
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W							
	MAR1AH								MAR1AL							
【注】機能はDMAC0と同じです。																
ETCR1A H, L	転送カウントレジスタ 1A H, L	H'34, H'35	DMAC1													
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	不定															
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W															
ビット:	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0														
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	不定								不定							
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W							
	ETCR1AH								ETCR1AL							
【注】機能はDMAC0と同じです。																

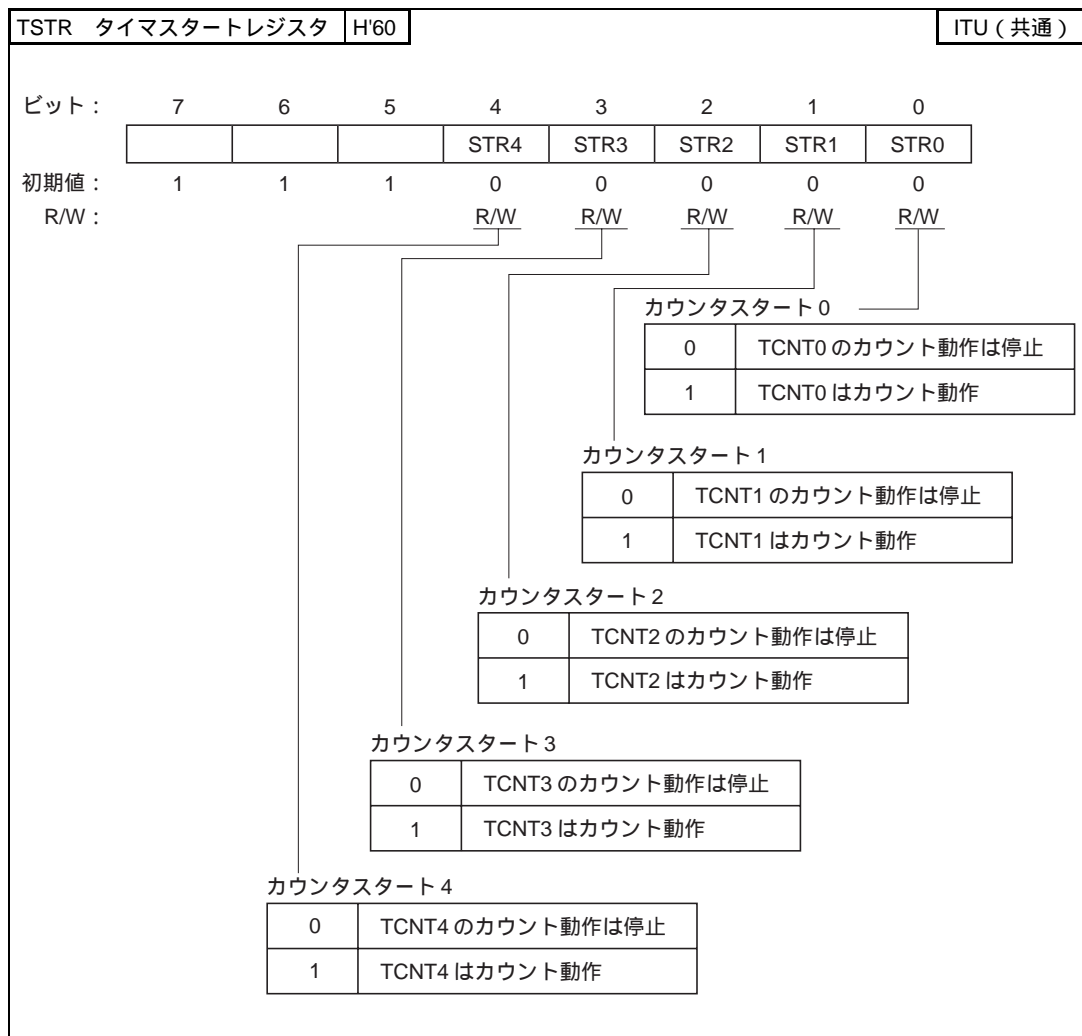
IOAR1A	I/O アドレスレジスタ 1A	H'36	DMAC1					
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:					不定			
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はDMAC0と同じです。								

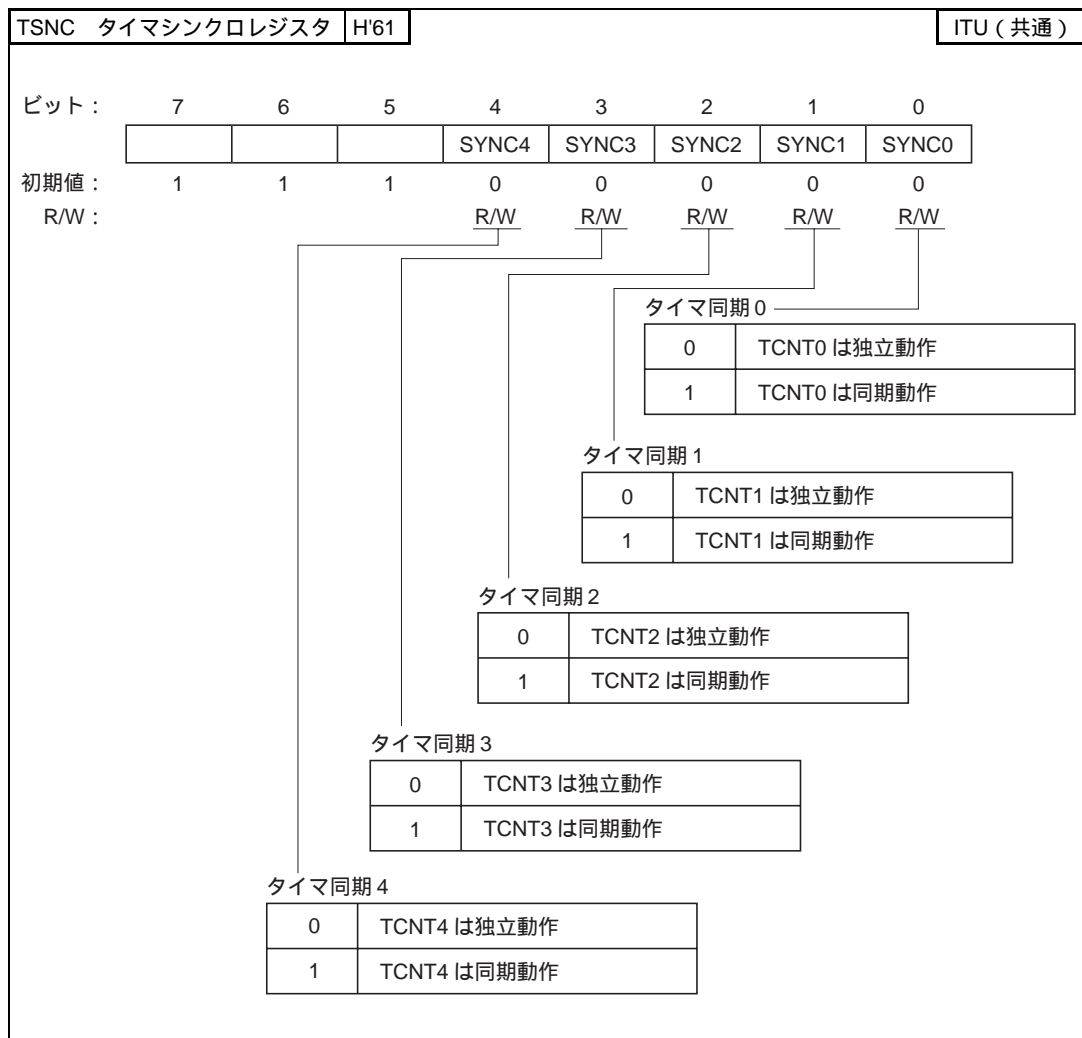
DTCR1A	データトランスファコントロールレジスタ 1A	H'37	DMAC1					
ショートアドレスモード								
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
フルアドレスモード								
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はDMAC0と同じです。								

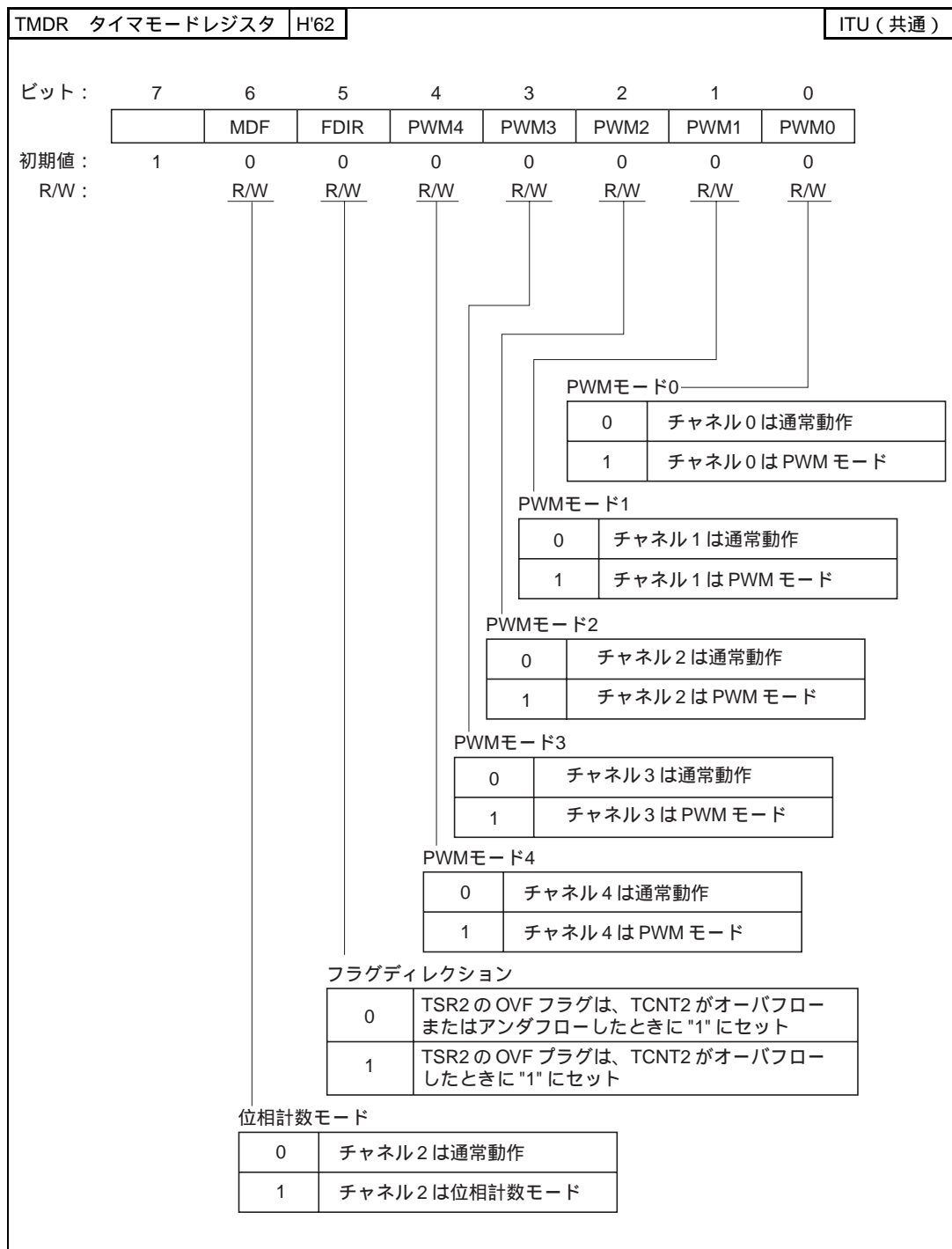
MAR1B R, E, H, L	メモリアドレスレジスタ 1B R, E, H, L	H'38, H'39, H'3A, H'3B	DMAC1													
ビット:	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16															
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	1	1	1	1	1	1	1	1	不定							
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W							
	MAR1BR								MAR1BE							
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	不定								不定							
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W							
	MAR1BH								MAR1BL							
【注】機能はDMAC0と同じです。																
ETCR1B H, L	転送カウントレジスタ 1B H, L	H'3C, H'3D	DMAC1													
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	不定															
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W															
ビット:	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0														
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	不定								不定							
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W							
	ETCR1BH								ETCR1BL							
【注】機能はDMAC0と同じです。																

IOAR1B	I/O アドレスレジスタ 1B	H'3E						DMAC1
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:					不定			
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はDMAC0と同じです。								

DTCR1B	データトランスファコントロールレジスタ 1B	H'3F						DMAC1
ショートアドレスモード								
ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
フルアドレスモード								
ビット:	7	6	5	4	3	2	1	0
	DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はDMAC0と同じです。								







TFCR タイマファンクションコントロールレジスタ H'63					ITU (共通)			
ビット:	7	6	5	4	3	2	1	0
			CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作A3	
0	GRA3 は通常動作
1	GRA3 と BRA3 はバッファ動作

バッファ動作B3	
0	GRB3 は通常動作
1	GRB3 と BRB3 はバッファ動作

バッファ動作A4	
0	GRA4 は通常動作
1	GRA4 と BRA4 はバッファ動作

バッファ動作B4	
0	GRB4 は通常動作
1	GRB4 と BRB4 はバッファ動作

コンビネーションモード 1、0

ビット5	ビット4	
CMD1	CMD0	チャンネル3、4の動作モードの指定
0	0	チャンネル3、4は通常動作
	1	
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作

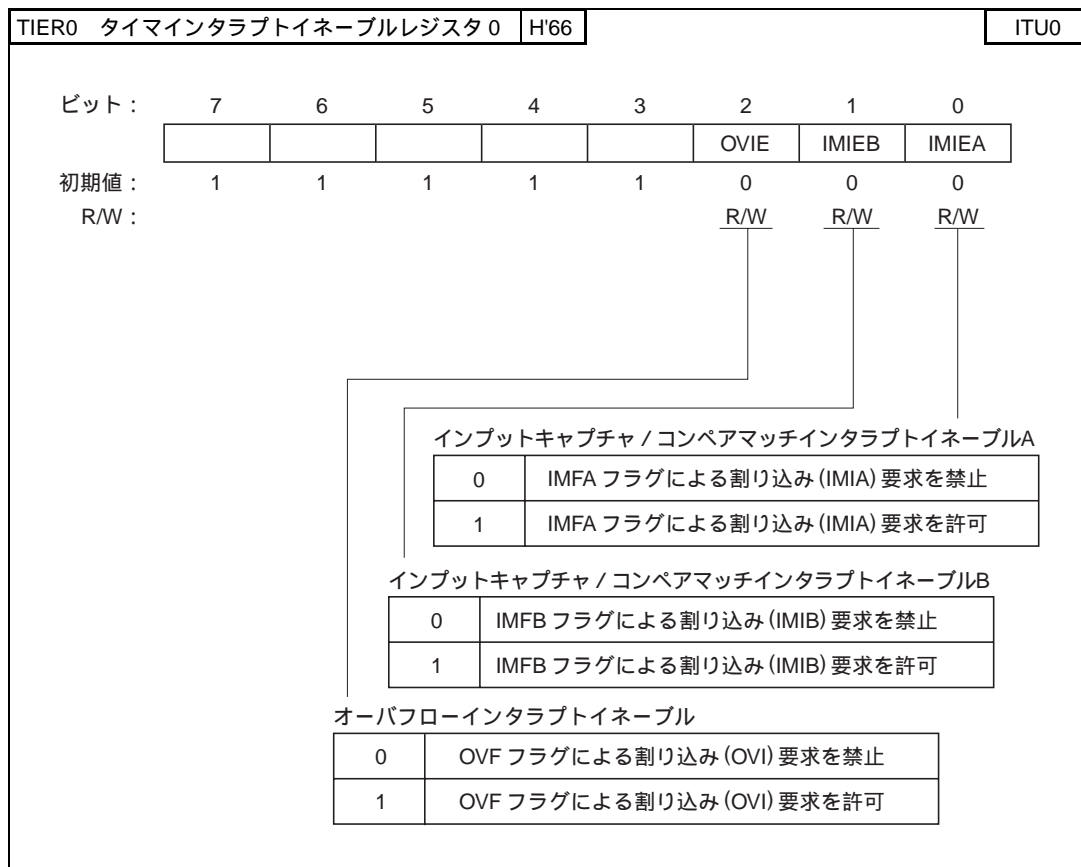
TCR0 タイマコントロールレジスタ 0								H'64	ITU0
ビット:	7	6	5	4	3	2	1	0	
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
初期値:	1	0	0	0	0	0	0	0	
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

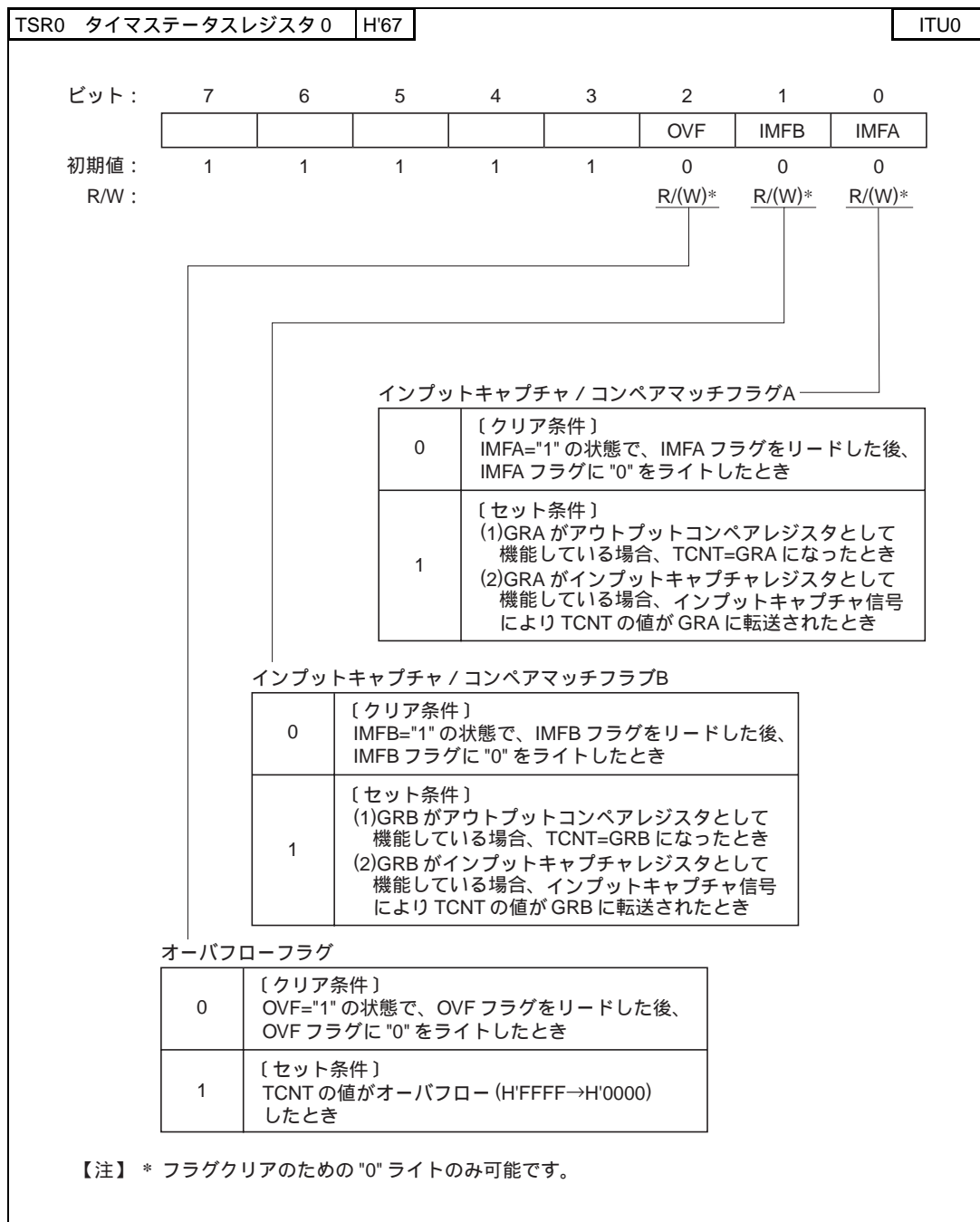
タイマプリスケアラ 2 ~ 0			
ビット2	ビット1	ビット0	TCNTのカウンタロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : ϕ
		1	内部クロック : $\phi/2$
	1	0	内部クロック : $\phi/4$
		1	内部クロック : $\phi/8$
1	0	0	外部クロック A : TCLKA 端子入力でカウント
		1	外部クロック B : TCLKB 端子入力でカウント
	1	0	外部クロック C : TCLKC 端子入力でカウント
		1	外部クロック D : TCLKD 端子入力でカウント

クロックエッジ 1、0		
ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	立ち上がり / 立ち下がり の両エッジでカウント

カウンタクリア 1、0		
ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRA のコンペアマッチ / インพุットキャプチャで TCNT をクリア
1	0	GRB のコンペアマッチ / インพุットキャプチャで TCNT をクリア
	1	同期クリア。同期作動中の他のタイマのカウンタクリアに同期して TCNT をクリア

TIOR0 タイマ I/O コントロールレジスタ 0	H'65		ITU0																																							
ビット:	7	6	5	4	3	2	1	0																																		
	—	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0																																		
初期値:	1	0	0	0	0	0	0	0																																		
R/W:	—	R/W	R/W	R/W		R/W	R/W	R/W																																		
<p>I/O コントロール A2 ~ 0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th colspan="2" style="text-align: center;">GRAの機能の選択</th> </tr> <tr> <th style="text-align: center;">IOA2</th> <th style="text-align: center;">IOA1</th> <th style="text-align: center;">IOA0</th> <th style="width: 20%;"></th> <th style="width: 50%;"></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">GRAは アウトプット コンペア レジスタ</td> <td>コンペアマッチによる端子出力禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRAのコンペアマッチで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>GRAのコンペアマッチで1出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRAのコンペアマッチでトグル出力</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">GRAは インプット キャプチャ レジスタ</td> <td>立ち上がりエッジでGRAへインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>立ち下がりエッジでGRAへインプットキャプチャ</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td rowspan="2"></td> <td rowspan="2">立ち上がり / 立ち下がり両エッジでGRAへ インプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> </tbody> </table>									ビット2	ビット1	ビット0	GRAの機能の選択		IOA2	IOA1	IOA0			0	0	0	GRAは アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止	1	GRAのコンペアマッチで0出力	1	0	GRAのコンペアマッチで1出力	1	GRAのコンペアマッチでトグル出力	1	0	0	GRAは インプット キャプチャ レジスタ	立ち上がりエッジでGRAへインプットキャプチャ	1	立ち下がりエッジでGRAへインプットキャプチャ	1	0		立ち上がり / 立ち下がり両エッジでGRAへ インプットキャプチャ	1
ビット2	ビット1	ビット0	GRAの機能の選択																																							
IOA2	IOA1	IOA0																																								
0	0	0	GRAは アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止																																						
		1		GRAのコンペアマッチで0出力																																						
	1	0		GRAのコンペアマッチで1出力																																						
		1		GRAのコンペアマッチでトグル出力																																						
1	0	0	GRAは インプット キャプチャ レジスタ	立ち上がりエッジでGRAへインプットキャプチャ																																						
		1		立ち下がりエッジでGRAへインプットキャプチャ																																						
	1	0			立ち上がり / 立ち下がり両エッジでGRAへ インプットキャプチャ																																					
		1																																								
<p>I/O コントロール B2 ~ 0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット6</th> <th style="width: 10%;">ビット5</th> <th style="width: 10%;">ビット4</th> <th colspan="2" style="text-align: center;">GRBの機能の選択</th> </tr> <tr> <th style="text-align: center;">IOB2</th> <th style="text-align: center;">IOB1</th> <th style="text-align: center;">IOB0</th> <th style="width: 20%;"></th> <th style="width: 50%;"></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">GRBは アウトプット コンペア レジスタ</td> <td>コンペアマッチによる端子出力禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRBのコンペアマッチで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>GRBのコンペアマッチで1出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRBのコンペアマッチでトグル出力</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">GRBは インプット キャプチャ レジスタ</td> <td>立ち上がりエッジでGRBへインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>立ち下がりエッジでGRBへインプットキャプチャ</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td rowspan="2"></td> <td rowspan="2">立ち上がり / 立ち下がり両エッジでGRBへ インプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> </tbody> </table>									ビット6	ビット5	ビット4	GRBの機能の選択		IOB2	IOB1	IOB0			0	0	0	GRBは アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止	1	GRBのコンペアマッチで0出力	1	0	GRBのコンペアマッチで1出力	1	GRBのコンペアマッチでトグル出力	1	0	0	GRBは インプット キャプチャ レジスタ	立ち上がりエッジでGRBへインプットキャプチャ	1	立ち下がりエッジでGRBへインプットキャプチャ	1	0		立ち上がり / 立ち下がり両エッジでGRBへ インプットキャプチャ	1
ビット6	ビット5	ビット4	GRBの機能の選択																																							
IOB2	IOB1	IOB0																																								
0	0	0	GRBは アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止																																						
		1		GRBのコンペアマッチで0出力																																						
	1	0		GRBのコンペアマッチで1出力																																						
		1		GRBのコンペアマッチでトグル出力																																						
1	0	0	GRBは インプット キャプチャ レジスタ	立ち上がりエッジでGRBへインプットキャプチャ																																						
		1		立ち下がりエッジでGRBへインプットキャプチャ																																						
	1	0			立ち上がり / 立ち下がり両エッジでGRBへ インプットキャプチャ																																					
		1																																								





TCNT0 H, L	タイマカウンタ 0 H, L	H'68, H'69	ITU0																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↑</p> <p style="text-align: center;">アップカウンタ</p>																			
GRA0 H, L	ジェネラルレジスタ A0 H, L	H'6A, H'6B	ITU0																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↑</p> <p style="text-align: center;">アウトプットコンペア/インプットキャプチャ兼用レジスタ</p>																			
GRB0 H, L	ジェネラルレジスタ B0 H, L	H'6C, H'6D	ITU0																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↑</p> <p style="text-align: center;">アウトプットコンペア/インプットキャプチャ兼用レジスタ</p>																			
TCR1	タイマコントロールレジスタ 1	H'6E	ITU1																
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;">CCLR1</td><td style="width: 20px;">CCLR0</td><td style="width: 20px;">CKEG1</td><td style="width: 20px;">CKEG0</td><td style="width: 20px;">TPSC2</td><td style="width: 20px;">TPSC1</td><td style="width: 20px;">TPSC0</td> </tr> </table> <p>初期値： 1 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>					CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0								
	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0												

TIOR1 タイマ I/O コントロールレジスタ 1	H'6F		ITU1					
ビット:	7	6	5	4	3	2	1	0
	[]	IOB2	IOB1	IOB0	[]	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:		R/W	R/W	R/W		R/W	R/W	R/W
【注】機能はITU0と同じです。								
TIER1 タイマインタラプトイネーブルレジスタ 1	H'70		ITU1					
ビット:	7	6	5	4	3	2	1	0
	[]	[]	[]	[]	[]	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:						R/W	R/W	R/W
【注】機能はITU0と同じです。								
TSR1 タイマステータスレジスタ 1	H'71		ITU1					
ビット:	7	6	5	4	3	2	1	0
	[]	[]	[]	[]	[]	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:						R/(W)*	R/(W)*	R/(W)*
【注】機能はITU0と同じです。								
* フラグクリアのための"0"ライトのみ可能です。								

TCNT1 H, L タイマカウンタ 1 H, L	H'72, H'73	ITU1
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>		
GRA1 H,L ジェネラルレジスタ A1 H,L	H'74, H'75	ITU1
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>		
GRB1 H, L ジェネラルレジスタ B1 H, L	H'76, H'77	ITU1
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>		

TCR2 タイマコントロールレジスタ 2		H'78						ITU2
ビット:	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	1	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W
<p>【注】 1. 機能はITU0と同じです。</p> <p>2. チャンネル2を位相計数モードに設定したとき、TPSC2～TPSC0ビットによるカウントクロックの選択は無効となります。</p>								
TIO2 タイマ I/O コントロールレジスタ 2		H'79						ITU2
ビット:	7	6	5	4	3	2	1	0
		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:		R/W	R/W	R/W		R/W	R/W	R/W
<p>【注】機能はITU0と同じです。</p>								
TIER2 タイマインタラプトイネーブルレジスタ 2		H'7A						ITU2
ビット:	7	6	5	4	3	2	1	0
						OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:						R/W	R/W	R/W
<p>【注】機能はITU0と同じです。</p>								

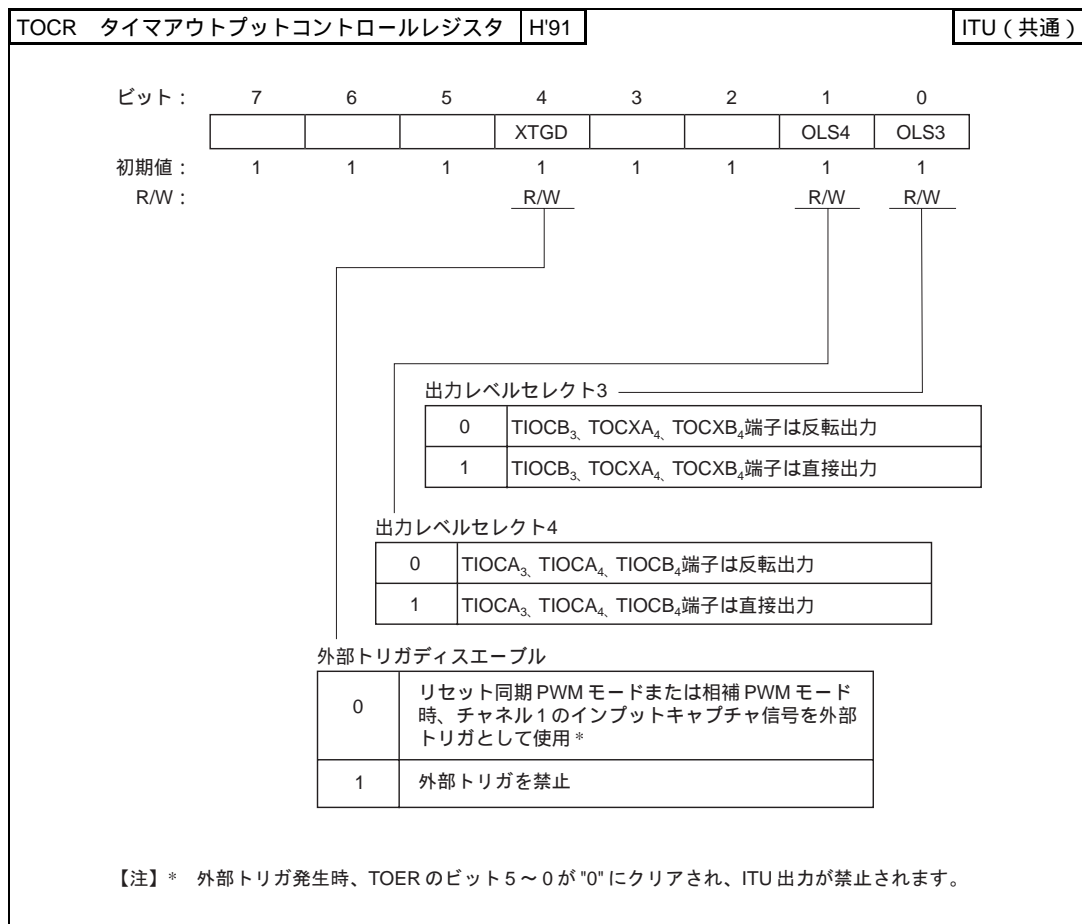
TSR2 タイマステータスレジスタ 2		H'7B	ITU2													
ビット:	7	6	5	4	3	2	1	0								
						OVF	IMFB	IMFA								
初期値:	1	1	1	1	1	0	0	0								
R/W:						R/(W)*	R/(W)*	R/(W)*								
						※機能はITU0と同じです。										
オーバーフローフラグ																
0		〔クリア条件〕 OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき														
1		〔セット条件〕 TCNTの値がオーバーフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき														
【注】* フラグクリアのための"0"ライトのみ可能です。																
TCNT2 H, L タイマカウンタ 2 H, L		H'7C, H'7D	ITU2													
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位相計数モード時: アップ/ダウンカウンタ その他のモード時: アップカウンタ																
GRA2 H, L ジェネラルレジスタ A2 H, L		H'7E, H'7F	ITU2													
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はITU0と同じです。																

GRB2 H, L ジェネラルレジスタ B2 H, L	H'80, H'81	ITU2																																		
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> </tr> <tr> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;"></td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>																																				
TCR3 タイマコントロールレジスタ 3	H'82	ITU3																																		
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> </tr> <tr> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;">CCLR1</td> <td style="border: 1px solid black;">CCLR0</td> <td style="border: 1px solid black;">CKEG1</td> <td style="border: 1px solid black;">CKEG0</td> <td style="border: 1px solid black;">TPSC2</td> <td style="border: 1px solid black;">TPSC1</td> <td style="border: 1px solid black;">TPSC0</td> <td style="border: 1px solid black;"></td> </tr> </table> <p>初期値： 1 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>													CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0																	
	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0																													
TIO3 タイマ I/O コントロールレジスタ 3	H'83	ITU3																																		
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: none;"></td> </tr> <tr> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;">IOB2</td> <td style="border: 1px solid black;">IOB1</td> <td style="border: 1px solid black;">IOB0</td> <td style="border: 1px solid black;"></td> <td style="border: 1px solid black;">IOA2</td> <td style="border: 1px solid black;">IOA1</td> <td style="border: 1px solid black;">IOA0</td> <td style="border: 1px solid black;"></td> </tr> </table> <p>初期値： 1 0 0 0 1 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU0と同じです。</p>													IOB2	IOB1	IOB0		IOA2	IOA1	IOA0																	
	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0																													

TIER3 タイミントラプトイネーブルレジスタ 3					H'84		ITU3									
ビット:	7	6	5	4	3	2	1	0								
						OVIE	IMIEB	IMIEA								
初期値:	1	1	1	1	1	0	0	0								
R/W:						R/W	R/W	R/W								
【注】機能はITU0と同じです。																
TSR3 タイムステータスレジスタ 3					H'85		ITU3									
ビット:	7	6	5	4	3	2	1	0								
						OVF	IMFB	IMFA								
初期値:	1	1	1	1	1	0	0	0								
R/W:						R/(W)*	R/(W)*	R/(W)*								
<p>オーバーフローフラグ</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 OVF="1"の状態、OVFをリードした後、OVFに"1"をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 TCNTの値がオーバーフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき</td> </tr> </table> <p>機能はITU0と同じです。</p>									0	〔クリア条件〕 OVF="1"の状態、OVFをリードした後、OVFに"1"をライトしたとき	1	〔セット条件〕 TCNTの値がオーバーフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき				
0	〔クリア条件〕 OVF="1"の状態、OVFをリードした後、OVFに"1"をライトしたとき															
1	〔セット条件〕 TCNTの値がオーバーフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき															
【注】* フラグクリアのための"0"ライトのみ可能です。																
TCNT3 H, L タイムカウンタ 3 H, L					H'86, H'87		ITU3									
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<p>相補PWMモード時 : アップ/ダウンカウンタ その他のモード時 : アップカウンタ</p>																

GRA3 H, L ジェネラルレジスタ A3 H, L	H'88, H'89	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 15px; margin-bottom: 5px;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)</p>		
GRB3 H, L ジェネラルレジスタ B3 H, L	H'8A, H'8B	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 15px; margin-bottom: 5px;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)</p>		
BRA3 H, L バッファレジスタ A3 H, L	H'8C, H'8D	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 15px; margin-bottom: 5px;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">バッファ動作時にGRAと組み合わせて使用</p>		
BRB3 H, L バッファレジスタ B3 H, L	H'8E, H'8F	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 15px; margin-bottom: 5px;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">↓</p> <p style="text-align: center;">バッファ動作時にGRBと組み合わせて使用</p>		


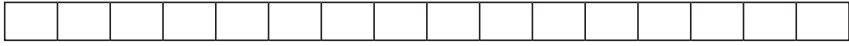
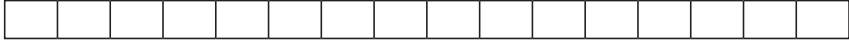
TOER タイマアウトプットマスタイネーブルレジスタ						H'90		ITU (共通)					
ビット:	7	6	5	4	3	2	1	0					
			EXB4	EXA4	EB3	EB4	EA4	EA3					
初期値:	1	1	1	1	1	1	1	1					
R/W:			R/W	R/W	R/W	R/W	R/W	R/W					
<p>マスタイネーブルTIOCA3</p> <table border="1"> <tr> <td>0</td> <td>TIOR3、TMDR、TFCR の設定にかかわらず、TIOCA₃ 端子は出力禁止</td> </tr> <tr> <td>1</td> <td>TIOR3、TMDR、TFCR の設定に従い、TIOCA₃ 端子は出力許可</td> </tr> </table>										0	TIOR3、TMDR、TFCR の設定にかかわらず、TIOCA ₃ 端子は出力禁止	1	TIOR3、TMDR、TFCR の設定に従い、TIOCA ₃ 端子は出力許可
0	TIOR3、TMDR、TFCR の設定にかかわらず、TIOCA ₃ 端子は出力禁止												
1	TIOR3、TMDR、TFCR の設定に従い、TIOCA ₃ 端子は出力許可												
<p>マスタイネーブルTIOCA4</p> <table border="1"> <tr> <td>0</td> <td>TIOR4、TMDR、TFCR の設定にかかわらず、TIOCA₄ 端子は出力禁止</td> </tr> <tr> <td>1</td> <td>TIOR4、TMDR、TFCR の設定に従い、TIOCA₄ 端子は出力許可</td> </tr> </table>										0	TIOR4、TMDR、TFCR の設定にかかわらず、TIOCA ₄ 端子は出力禁止	1	TIOR4、TMDR、TFCR の設定に従い、TIOCA ₄ 端子は出力許可
0	TIOR4、TMDR、TFCR の設定にかかわらず、TIOCA ₄ 端子は出力禁止												
1	TIOR4、TMDR、TFCR の設定に従い、TIOCA ₄ 端子は出力許可												
<p>マスタイネーブルTIOCB4</p> <table border="1"> <tr> <td>0</td> <td>TIOR4、TFCR の設定にかかわらず、TIOCB₄ 端子は出力禁止</td> </tr> <tr> <td>1</td> <td>TIOR4、TFCR の設定に従い、TIOCB₄ 端子は出力許可</td> </tr> </table>										0	TIOR4、TFCR の設定にかかわらず、TIOCB ₄ 端子は出力禁止	1	TIOR4、TFCR の設定に従い、TIOCB ₄ 端子は出力許可
0	TIOR4、TFCR の設定にかかわらず、TIOCB ₄ 端子は出力禁止												
1	TIOR4、TFCR の設定に従い、TIOCB ₄ 端子は出力許可												
<p>マスタイネーブルTIOCB3</p> <table border="1"> <tr> <td>0</td> <td>TIOR3、TFCR の設定にかかわらず、TIOCB₃ 端子は出力禁止</td> </tr> <tr> <td>1</td> <td>TIOR3、TFCR の設定に従い、TIOCB₃ 端子は出力許可</td> </tr> </table>										0	TIOR3、TFCR の設定にかかわらず、TIOCB ₃ 端子は出力禁止	1	TIOR3、TFCR の設定に従い、TIOCB ₃ 端子は出力許可
0	TIOR3、TFCR の設定にかかわらず、TIOCB ₃ 端子は出力禁止												
1	TIOR3、TFCR の設定に従い、TIOCB ₃ 端子は出力許可												
<p>マスタイネーブルTOCXA4</p> <table border="1"> <tr> <td>0</td> <td>TFCR の設定にかかわらず、TOCXA₄ 端子は出力禁止</td> </tr> <tr> <td>1</td> <td>TFCR の設定に従い、TOCXA₄ 端子は出力許可</td> </tr> </table>										0	TFCR の設定にかかわらず、TOCXA ₄ 端子は出力禁止	1	TFCR の設定に従い、TOCXA ₄ 端子は出力許可
0	TFCR の設定にかかわらず、TOCXA ₄ 端子は出力禁止												
1	TFCR の設定に従い、TOCXA ₄ 端子は出力許可												
<p>マスタイネーブルTOCXB4</p> <table border="1"> <tr> <td>0</td> <td>TFCR の設定にかかわらず、TOCXB₄ 端子は出力禁止</td> </tr> <tr> <td>1</td> <td>TFCR の設定に従い、TOCXB₄ 端子は出力許可</td> </tr> </table>										0	TFCR の設定にかかわらず、TOCXB ₄ 端子は出力禁止	1	TFCR の設定に従い、TOCXB ₄ 端子は出力許可
0	TFCR の設定にかかわらず、TOCXB ₄ 端子は出力禁止												
1	TFCR の設定に従い、TOCXB ₄ 端子は出力許可												

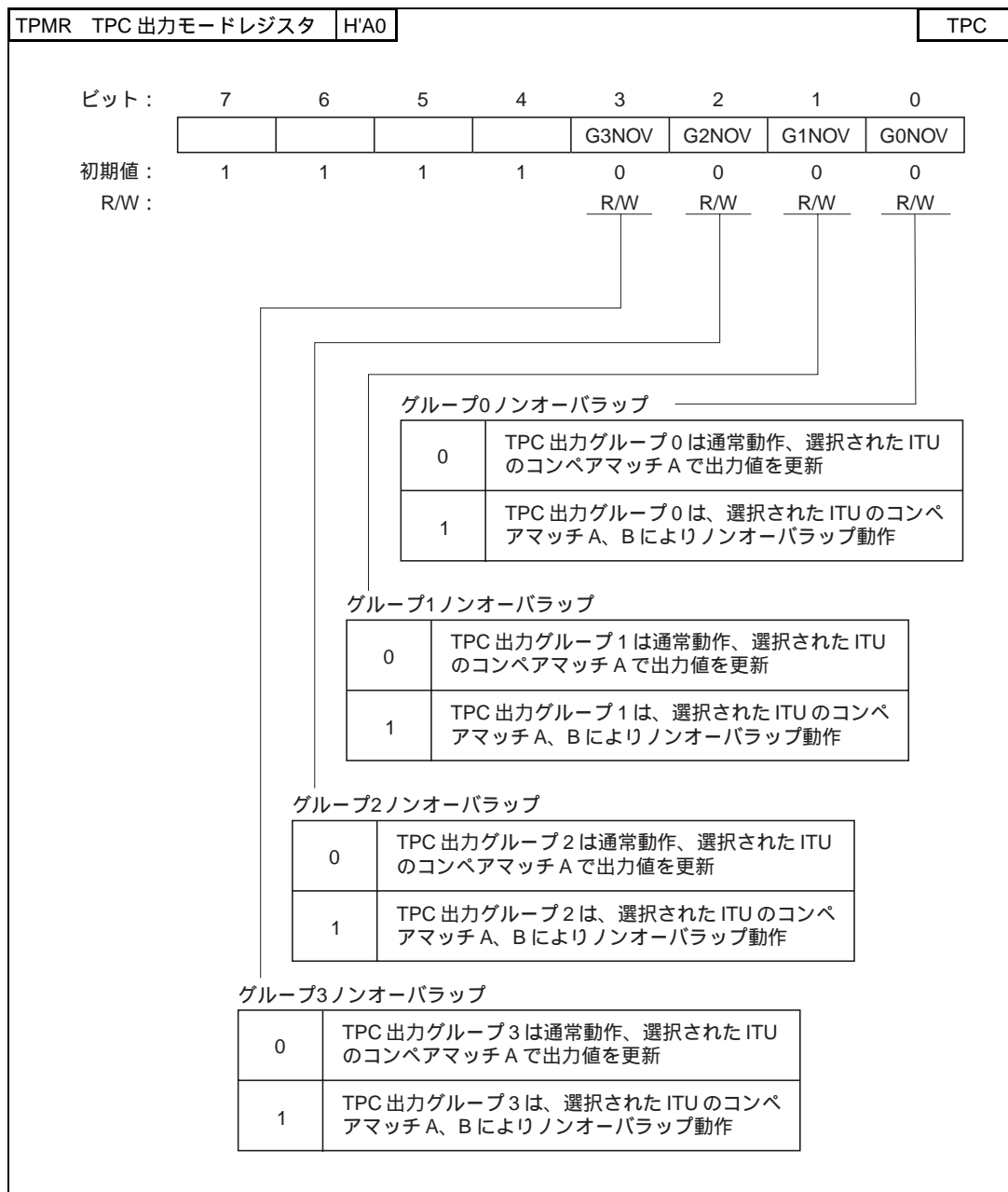


TCR4 タイマコントロールレジスタ 4		H'92						ITU4
ビット:	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はITU0と同じです。								

TIO4 タイマ I/O コントロールレジスタ 4		H'93						ITU4
ビット:	7	6	5	4	3	2	1	0
		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:		R/W	R/W	R/W		R/W	R/W	R/W
【注】機能はITU0と同じです。								

TIER4 タイマインタラプトイネーブルレジスタ 4		H'94						ITU4
ビット:	7	6	5	4	3	2	1	0
						OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:						R/W	R/W	R/W
【注】機能はITU0と同じです。								

GRB4 H, L ジェネラルレジスタ B4 H, L	H'9A, H'9B	ITU4
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU3と同じです。</p>		
BRA4 H, L バッファレジスタ A4 H, L	H'9C, H'9D	ITU4
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU3と同じです。</p>		
BRB4 H, L バッファレジスタ B4 H, L	H'9E, H'9F	ITU4
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】機能はITU3と同じです。</p>		



TPCR TPC 出力コントロールレジスタ		H'A1						TPC																																																																	
ビット:	7	6	5	4	3	2	1	0																																																																	
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0																																																																	
初期値:	1	1	1	1	1	1	1	1																																																																	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																	
<p>グループ0 コンペアマッチセレクト 1, 0</p> <table border="1"> <thead> <tr> <th>ビット1</th> <th>ビット0</th> <th>出力トリガとなるITUのチャンネル選択</th> </tr> <tr> <th>G0CMS1</th> <th>G0CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC 出力グループ0 (TP₃ ~ TP₀ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ0 (TP₃ ~ TP₀ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC 出力グループ0 (TP₃ ~ TP₀ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ0 (TP₃ ~ TP₀ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p>グループ1 コンペアマッチセレクト 1, 0</p> <table border="1"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>出力トリガとなるITUのチャンネル選択</th> </tr> <tr> <th>G1CMS1</th> <th>G1CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC 出力グループ1 (TP₇ ~ TP₄ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ1 (TP₇ ~ TP₄ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC 出力グループ1 (TP₇ ~ TP₄ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ1 (TP₇ ~ TP₄ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p>グループ2 コンペアマッチセレクト 1, 0</p> <table border="1"> <thead> <tr> <th>ビット5</th> <th>ビット4</th> <th>出力トリガとなるITUのチャンネル選択</th> </tr> <tr> <th>G2CMS1</th> <th>G2CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC 出力グループ2 (TP₁₁ ~ TP₈ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ2 (TP₁₁ ~ TP₈ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC 出力グループ2 (TP₁₁ ~ TP₈ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ2 (TP₁₁ ~ TP₈ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p>グループ3 コンペアマッチセレクト 1, 0</p> <table border="1"> <thead> <tr> <th>ビット7</th> <th>ビット6</th> <th>出力トリガとなるITUのチャンネル選択</th> </tr> <tr> <th>G3CMS1</th> <th>G3CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ</td> </tr> <tr> <td>1</td> <td>TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ</td> </tr> </tbody> </table>										ビット1	ビット0	出力トリガとなるITUのチャンネル選択	G0CMS1	G0CMS0		0	0	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ	1	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ	1	0	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ	1	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ	ビット3	ビット2	出力トリガとなるITUのチャンネル選択	G1CMS1	G1CMS0		0	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ	1	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ	ビット5	ビット4	出力トリガとなるITUのチャンネル選択	G2CMS1	G2CMS0		0	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ	1	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ	ビット7	ビット6	出力トリガとなるITUのチャンネル選択	G3CMS1	G3CMS0		0	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ	1	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ
ビット1	ビット0	出力トリガとなるITUのチャンネル選択																																																																							
G0CMS1	G0CMS0																																																																								
0	0	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ																																																																							
	1	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ																																																																							
1	0	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ																																																																							
	1	TPC 出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ																																																																							
ビット3	ビット2	出力トリガとなるITUのチャンネル選択																																																																							
G1CMS1	G1CMS0																																																																								
0	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ																																																																							
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ																																																																							
1	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ																																																																							
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ																																																																							
ビット5	ビット4	出力トリガとなるITUのチャンネル選択																																																																							
G2CMS1	G2CMS0																																																																								
0	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ																																																																							
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ																																																																							
1	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ																																																																							
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ																																																																							
ビット7	ビット6	出力トリガとなるITUのチャンネル選択																																																																							
G3CMS1	G3CMS0																																																																								
0	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル0のコンペアマッチ																																																																							
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル1のコンペアマッチ																																																																							
1	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル2のコンペアマッチ																																																																							
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは ITU チャンネル3のコンペアマッチ																																																																							

NDERB ネクストデータイネーブルレジスタ B							H'A2	TPC
ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ネクストデータイネーブル15~8								
ビット7~0	説 明							
NDER15 ~ NDER8								
0	TPC 出力 TP ₁₅ ~ TP ₈ を禁止 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送禁止)							
1	TPC 出力 TP ₁₅ ~ TP ₈ を許可 (NDR15 ~ NDR8 から PB ₇ ~ PB ₀ への転送許可)							

NDERA ネクストデータイネーブルレジスタ A							H'A3	TPC
ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ネクストデータイネーブル7~0								
ビット7~0	説 明							
NDER7 ~ NDER0								
0	TPC 出力 TP ₇ ~ TP ₀ を禁止 (NDR7 ~ NDR0 から PA ₇ ~ PA ₀ への転送禁止)							
1	TPC 出力 TP ₇ ~ TP ₀ を許可 (NDR7 ~ NDR0 から PA ₇ ~ PA ₀ への転送許可)							

NDRB ネクストデータレジスタ B		H'A4/H'A6						TPC
TPC 出力グループ 2、3 の出力トリガが同一の場合								
(1) アドレス : H'FFA4								
ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	TPC出力グループ3の 出力データを格納				TPC出力グループ2の 出力データを格納			
(2) アドレス : H'FFA6								
ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :								
TPC 出力グループ 2、3 の出力トリガが異なる場合								
(1) アドレス : H'FFA4								
ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12				
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W				
	TPC出力グループ3の 出力データを格納							
(2) アドレス : H'FFA6								
ビット :	7	6	5	4	3	2	1	0
					NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W
					TPC出力グループ2の 出力データを格納			

NDR A ネクストデータレジスタ A	H'A5/H'A7	TPC								
TPC 出力グループ 0、1 の出力トリガが同一の場合										
(1) アドレス : H'FFA5										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">NDR7</td> <td style="width: 12.5%;">NDR6</td> <td style="width: 12.5%;">NDR5</td> <td style="width: 12.5%;">NDR4</td> <td style="width: 12.5%;">NDR3</td> <td style="width: 12.5%;">NDR2</td> <td style="width: 12.5%;">NDR1</td> <td style="width: 12.5%;">NDR0</td> </tr> </table>	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0			
初期値 :	0 0 0 0 0 0 0 0									
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W									
	<div style="display: flex; justify-content: space-around; margin-top: 10px;"> <div style="text-align: center;"> TPC出力グループ1の 出力データを格納 </div> <div style="text-align: center;"> TPC出力グループ0の 出力データを格納 </div> </div>									
(2) アドレス : H'FFA7										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; height: 20px;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>									
初期値 :	1 1 1 1 1 1 1 1									
R/W :										
TPC 出力グループ 0、1 の出力トリガが異なる場合										
(1) アドレス : H'FFA5										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">NDR7</td> <td style="width: 12.5%;">NDR6</td> <td style="width: 12.5%;">NDR5</td> <td style="width: 12.5%;">NDR4</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>	NDR7	NDR6	NDR5	NDR4					
NDR7	NDR6	NDR5	NDR4							
初期値 :	0 0 0 0 1 1 1 1									
R/W :	R/W R/W R/W R/W									
	<div style="text-align: center; margin-top: 10px;"> TPC出力グループ1の 出力データを格納 </div>									
(2) アドレス : H'FFA7										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; height: 20px;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">NDR3</td> <td style="width: 12.5%;">NDR2</td> <td style="width: 12.5%;">NDR1</td> <td style="width: 12.5%;">NDR0</td> </tr> </table>					NDR3	NDR2	NDR1	NDR0	
				NDR3	NDR2	NDR1	NDR0			
初期値 :	1 1 1 1 0 0 0 0									
R/W :	R/W R/W R/W R/W									
	<div style="text-align: center; margin-top: 10px;"> TPC出力グループ0の 出力データを格納 </div>									

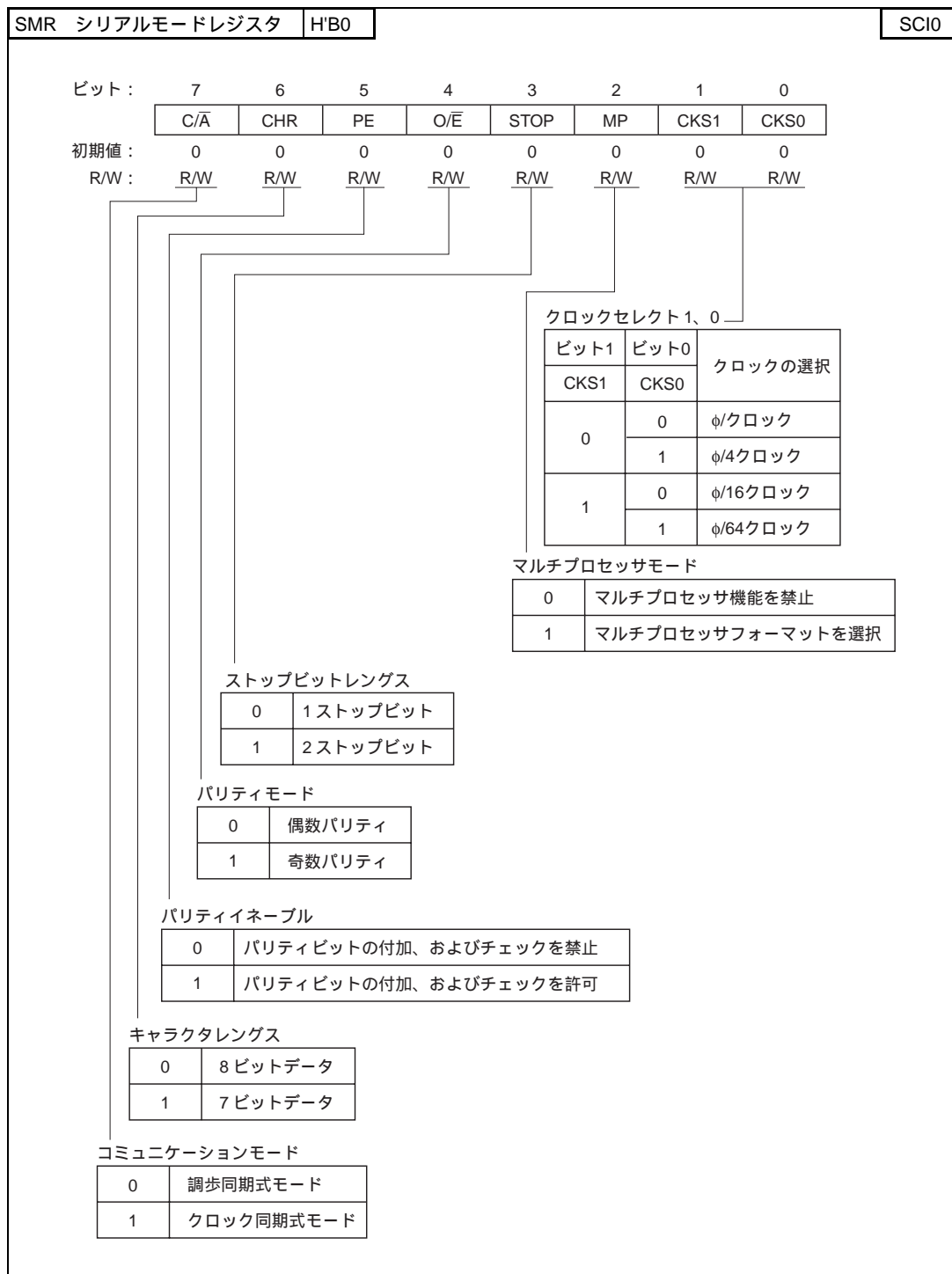
TCSR タイマコントロール/ステータスレジスタ							H'A8		WDT																							
ビット:	7	6	5	4	3	2	1	0																								
	OVF	WT/IT	TME			CKS2	CKS1	CKS0																								
初期値:	0	0	0	1	1	0	0	0																								
R/W:	R/(W)*	R/W	R/W			R/W	R/W	R/W																								
						クロックセレクト2~0																										
						<table border="1"> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>$\phi/2$</td> </tr> <tr> <td>1</td> <td>$\phi/32$</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>$\phi/64$</td> </tr> <tr> <td>1</td> <td>$\phi/128$</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>$\phi/256$</td> </tr> <tr> <td>1</td> <td>$\phi/512$</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>$\phi/2048$</td> </tr> <tr> <td>1</td> <td>$\phi/4096$</td> </tr> </table>					0	0	0	$\phi/2$	1	$\phi/32$	1	0	$\phi/64$	1	$\phi/128$	1	0	0	$\phi/256$	1	$\phi/512$	1	0	$\phi/2048$	1	$\phi/4096$
0	0	0	$\phi/2$																													
		1	$\phi/32$																													
	1	0	$\phi/64$																													
		1	$\phi/128$																													
1	0	0	$\phi/256$																													
		1	$\phi/512$																													
	1	0	$\phi/2048$																													
		1	$\phi/4096$																													
						<p>タイマイネーブル</p> <table border="1"> <tr> <td>0</td> <td>タイマディスエーブル ・TCNTをH'00に初期化し、 カウントアップを停止</td> </tr> <tr> <td>1</td> <td>タイマイネーブル ・TCNTはカウントアップ許可 ・CPUへの割り込み要求を許可</td> </tr> </table>					0	タイマディスエーブル ・TCNTをH'00に初期化し、 カウントアップを停止	1	タイマイネーブル ・TCNTはカウントアップ許可 ・CPUへの割り込み要求を許可																		
0	タイマディスエーブル ・TCNTをH'00に初期化し、 カウントアップを停止																															
1	タイマイネーブル ・TCNTはカウントアップ許可 ・CPUへの割り込み要求を許可																															
						<p>タイマモードセレクト</p> <table border="1"> <tr> <td>0</td> <td>インターバルタイマモード (インターバルタイマ割り込み要求)</td> </tr> <tr> <td>1</td> <td>ウォッチドッグタイマモード (リセット信号を発生)</td> </tr> </table>					0	インターバルタイマモード (インターバルタイマ割り込み要求)	1	ウォッチドッグタイマモード (リセット信号を発生)																		
0	インターバルタイマモード (インターバルタイマ割り込み要求)																															
1	ウォッチドッグタイマモード (リセット信号を発生)																															
						<p>オーバーフローフラグ</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 OVF="1"の状態でのOVFフラグをリードした後、 OVFフラグに"0"をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 TCNTがH'FF H'00に変化したとき</td> </tr> </table>					0	〔クリア条件〕 OVF="1"の状態でのOVFフラグをリードした後、 OVFフラグに"0"をライトしたとき	1	〔セット条件〕 TCNTがH'FF H'00に変化したとき																		
0	〔クリア条件〕 OVF="1"の状態でのOVFフラグをリードした後、 OVFフラグに"0"をライトしたとき																															
1	〔セット条件〕 TCNTがH'FF H'00に変化したとき																															
<p>【注】* フラグをクリアするための"0"ライトのみ可能です。</p>																																

TCNT タイマカウンタ	H'A9 リード時、H'A8 ライト時	WDT								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>									
初期値:	0 0 0 0 0 0 0 0									
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W									
	<div style="border: 1px solid black; width: 100%; height: 10px; margin: 5px auto;"></div> カウント値									
<hr/>										
RSTCSR リセットコントロール/ステータスレジスタ	H'AB リード時、H'AA ライト時	WDT								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">WRST</td> <td style="width: 12.5%; text-align: center;">RSTOE</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>	WRST	RSTOE							
WRST	RSTOE									
初期値:	0 0 1 1 1 1 1 1									
R/W:	R/(W)* R/W									
	<div style="border: 1px solid black; width: 100%; height: 10px; margin: 5px auto;"></div> リセット出カインエプル									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>リセット信号を外部に出力しない</td> </tr> <tr> <td style="text-align: center;">1</td> <td>リセット信号を外部に出力する</td> </tr> </table>	0	リセット信号を外部に出力しない	1	リセット信号を外部に出力する					
0	リセット信号を外部に出力しない									
1	リセット信号を外部に出力する									
	<div style="border: 1px solid black; width: 100%; height: 10px; margin: 5px auto;"></div> ウォッチドッグタイマリセット									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>[クリア条件] RES 端子によるリセット信号またはソフトウェアによる "0" クリア</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] TCNT がオーバーフローし、リセット信号が発生したとき</td> </tr> </table>	0	[クリア条件] RES 端子によるリセット信号またはソフトウェアによる "0" クリア	1	[セット条件] TCNT がオーバーフローし、リセット信号が発生したとき					
0	[クリア条件] RES 端子によるリセット信号またはソフトウェアによる "0" クリア									
1	[セット条件] TCNT がオーバーフローし、リセット信号が発生したとき									
【注】* ビット7は、フラグをクリアするための"0"ライトのみ可能です。										

RFSHCR リフレッシュコントロールレジスタ				H'AC				リフレッシュコントローラ																																								
ビット:	7	6	5	4	3	2	1	0																																								
	SRFMD	PSRAM	DRAME	CAS/WE	M9/M8	RFSHE						RCYCE																																				
初期値:	0	0	0	0	0	0	1	0																																								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W						R/W																																				
<div style="text-align: center;">リフレッシュサイクルイネーブル</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>リフレッシュサイクルを禁止</td> </tr> <tr> <td>1</td> <td>エリア3に対するリフレッシュサイクルを許可</td> </tr> </table> <div style="text-align: center;">リフレッシュ端子イネーブル</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>RFSH 端子のリフレッシュ信号出力を禁止</td> </tr> <tr> <td>1</td> <td>RFSH 端子のリフレッシュ信号出力を許可</td> </tr> </table> <div style="text-align: center;">アドレスマルチプレクスモードセレクト</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>8ビットカラムモード</td> </tr> <tr> <td>1</td> <td>9ビットカラムモード</td> </tr> </table> <div style="text-align: center;">ストローブモードセレクト</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>2WE 方式</td> </tr> <tr> <td>1</td> <td>2CAS 方式</td> </tr> </table> <div style="text-align: center;">PSRAM イネーブル、DRAM イネーブル</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット6</th> <th>ビット5</th> <th>RAMの接続</th> </tr> <tr> <th>PSRAM</th> <th>DRAME</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>インターバルタイムとして使用可能</td> </tr> <tr> <td>1</td> <td>DRAM の接続が可能</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>PSRAMの接続が可能</td> </tr> <tr> <td>1</td> <td>使用禁止</td> </tr> </tbody> </table> <div style="text-align: center;">セルフリフレッシュモード</div> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止</td> </tr> <tr> <td>1</td> <td>ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能</td> </tr> </table>													0	リフレッシュサイクルを禁止	1	エリア3に対するリフレッシュサイクルを許可	0	RFSH 端子のリフレッシュ信号出力を禁止	1	RFSH 端子のリフレッシュ信号出力を許可	0	8ビットカラムモード	1	9ビットカラムモード	0	2WE 方式	1	2CAS 方式	ビット6	ビット5	RAMの接続	PSRAM	DRAME		0	0	インターバルタイムとして使用可能	1	DRAM の接続が可能	1	0	PSRAMの接続が可能	1	使用禁止	0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止	1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能
0	リフレッシュサイクルを禁止																																															
1	エリア3に対するリフレッシュサイクルを許可																																															
0	RFSH 端子のリフレッシュ信号出力を禁止																																															
1	RFSH 端子のリフレッシュ信号出力を許可																																															
0	8ビットカラムモード																																															
1	9ビットカラムモード																																															
0	2WE 方式																																															
1	2CAS 方式																																															
ビット6	ビット5	RAMの接続																																														
PSRAM	DRAME																																															
0	0	インターバルタイムとして使用可能																																														
	1	DRAM の接続が可能																																														
1	0	PSRAMの接続が可能																																														
	1	使用禁止																																														
0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止																																															
1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能																																															

RTMCSR	リフレッシュタイムコントロール/ステータスレジスタ	H'AD	リフレッシュコントローラ																														
ビット:	7 6 5 4 3 2 1 0																																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">CMF</td> <td style="width: 12.5%;">CMIE</td> <td style="width: 12.5%;">CKS2</td> <td style="width: 12.5%;">CKS1</td> <td style="width: 12.5%;">CKS0</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>	CMF	CMIE	CKS2	CKS1	CKS0																											
CMF	CMIE	CKS2	CKS1	CKS0																													
初期値:	0 0 0 0 0 1 1 1																																
R/W:	R/(W)* R/W R/W R/W R/W																																
		クロックセレクト 2 ~ 0 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 12.5%;">ビット5</th> <th style="width: 12.5%;">ビット4</th> <th style="width: 12.5%;">ビット3</th> <th style="width: 62.5%;">カウントクロック</th> </tr> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>クロック入力禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/2$</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>$\phi/8$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/32$</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>$\phi/128$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/512$</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>$\phi/2048$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/4096$</td> </tr> </tbody> </table>		ビット5	ビット4	ビット3	カウントクロック	CKS2	CKS1	CKS0		0	0	0	クロック入力禁止	1	$\phi/2$	1	0	$\phi/8$	1	$\phi/32$	1	0	0	$\phi/128$	1	$\phi/512$	1	0	$\phi/2048$	1	$\phi/4096$
ビット5	ビット4	ビット3	カウントクロック																														
CKS2	CKS1	CKS0																															
0	0	0	クロック入力禁止																														
		1	$\phi/2$																														
	1	0	$\phi/8$																														
		1	$\phi/32$																														
1	0	0	$\phi/128$																														
		1	$\phi/512$																														
	1	0	$\phi/2048$																														
		1	$\phi/4096$																														
		コンペアマッチインタラプトイネーブル <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>CMF フラグによる割り込み (CMI) 要求を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>CMF フラグによる割り込み (CMI) 要求を許可</td> </tr> </table>		0	CMF フラグによる割り込み (CMI) 要求を禁止	1	CMF フラグによる割り込み (CMI) 要求を許可																										
0	CMF フラグによる割り込み (CMI) 要求を禁止																																
1	CMF フラグによる割り込み (CMI) 要求を許可																																
		コンペアマッチフラグ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>[クリア条件] CMF="1" の状態で、CMF フラグをリードした後、CMF フラグに "0" をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] RTCNT=RTCOR に変化したとき</td> </tr> </table>		0	[クリア条件] CMF="1" の状態で、CMF フラグをリードした後、CMF フラグに "0" をライトしたとき	1	[セット条件] RTCNT=RTCOR に変化したとき																										
0	[クリア条件] CMF="1" の状態で、CMF フラグをリードした後、CMF フラグに "0" をライトしたとき																																
1	[セット条件] RTCNT=RTCOR に変化したとき																																
		【注】* フラグをクリアするための"0"ライトのみ可能です。																															

RTCNT リフレッシュタイムカウンタ				H'AE		リフレッシュコントローラ			
ビット:	7	6	5	4	3	2	1	0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
カウント値									
RTCOR リフレッシュタイムコンスタントレジスタ				H'AF		リフレッシュコントローラ			
ビット:	7	6	5	4	3	2	1	0	
初期値:	1	1	1	1	1	1	1	1	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
RTCNTのクリア周期を設定									



BRR ビットレートレジスタ		HB1						SCI0
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シリアル送信 / 受信のビットレートを設定								

SCR シリアルコントロールレジスタ	H'B2	SCI0																														
ビット: 7 6 5 4 3 2 1 0																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">TIE</td> <td style="width: 12.5%;">RIE</td> <td style="width: 12.5%;">TE</td> <td style="width: 12.5%;">RE</td> <td style="width: 12.5%;">MPIE</td> <td style="width: 12.5%;">TEIE</td> <td style="width: 12.5%;">CKE1</td> <td style="width: 12.5%;">CKE0</td> </tr> </table>			TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0																						
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0																									
初期値: 0 0 0 0 0 0 0																																
R/W: R/W R/W R/W R/W R/W R/W R/W																																
クロックイネーブル1、0																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th colspan="2" style="text-align: center;">クロックの選択、出力の許可</th> </tr> <tr> <th>CKE1</th> <th>CKE0</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td>調歩同期式モード</td> <td>内部クロック / SCK 端子は入出力ポート</td> </tr> <tr> <td>クロック同期式モード</td> <td>内部クロック / SCK 端子は同期クロック出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td>調歩同期式モード</td> <td>内部クロック / SCK 端子はクロック出力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK 端子は同期クロック出力</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td>調歩同期式モード</td> <td>外部クロック / SCK 端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK 端子は同期クロック入力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td>調歩同期式モード</td> <td>外部クロック / SCK 端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK 端子は同期クロック入力</td> </tr> </tbody> </table>			ビット1	ビット0	クロックの選択、出力の許可		CKE1	CKE0			0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート	クロック同期式モード	内部クロック / SCK 端子は同期クロック出力	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力	クロック同期式モード	外部クロック / SCK 端子は同期クロック出力	1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力	クロック同期式モード	外部クロック / SCK 端子は同期クロック入力	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力	クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
ビット1	ビット0	クロックの選択、出力の許可																														
CKE1	CKE0																															
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート																													
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力																													
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力																													
		クロック同期式モード	外部クロック / SCK 端子は同期クロック出力																													
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力																													
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力																													
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力																													
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力																													
トランスミットエンドインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>送信終了割り込み (TEI) 禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>送信終了割り込み (TEI) 許可</td> </tr> </table>			0	送信終了割り込み (TEI) 禁止	1	送信終了割り込み (TEI) 許可																										
0	送信終了割り込み (TEI) 禁止																															
1	送信終了割り込み (TEI) 許可																															
マルチプロセッサインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサ割り込みを許可</td> </tr> </table>			0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)	1	マルチプロセッサ割り込みを許可																										
0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)																															
1	マルチプロセッサ割り込みを許可																															
レシーブイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>受信動作を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>受信動作を許可</td> </tr> </table>			0	受信動作を禁止	1	受信動作を許可																										
0	受信動作を禁止																															
1	受信動作を許可																															
トランスミットイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>送信動作を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>送信動作を許可</td> </tr> </table>			0	送信動作を禁止	1	送信動作を許可																										
0	送信動作を禁止																															
1	送信動作を許可																															
レシーブインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可</td> </tr> </table>			0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止	1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																										
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止																															
1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																															
トランスミットインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>送信データエンpty割り込み (TXI) 要求を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>送信データエンpty割り込み (TXI) 要求を許可</td> </tr> </table>			0	送信データエンpty割り込み (TXI) 要求を禁止	1	送信データエンpty割り込み (TXI) 要求を許可																										
0	送信データエンpty割り込み (TXI) 要求を禁止																															
1	送信データエンpty割り込み (TXI) 要求を許可																															

TDR トランスミットデータレジスタ		HB3						SCI0
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シリアル送信データを格納								

SSR シリアルステータスレジスタ	H'B4	SCIO								
ビット： 7 6 5 4 3 2 1 0										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">TDRE</td> <td style="width: 12.5%; text-align: center;">RDRF</td> <td style="width: 12.5%; text-align: center;">ORER</td> <td style="width: 12.5%; text-align: center;">FER</td> <td style="width: 12.5%; text-align: center;">PER</td> <td style="width: 12.5%; text-align: center;">TEND</td> <td style="width: 12.5%; text-align: center;">MPB</td> <td style="width: 12.5%; text-align: center;">MPBT</td> </tr> </table>			TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT			
初期値： 1 0 0 0 0 1 0 0										
R/W： R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットトランスファ</td> </tr> <tr> <td style="width: 10%; text-align: center;">0</td> <td>マルチプロセッサビットが"0"のデータを送信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが"1"のデータを送信</td> </tr> </table>			マルチプロセッサビットトランスファ		0	マルチプロセッサビットが"0"のデータを送信	1	マルチプロセッサビットが"1"のデータを送信		
マルチプロセッサビットトランスファ										
0	マルチプロセッサビットが"0"のデータを送信									
1	マルチプロセッサビットが"1"のデータを送信									
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビット</td> </tr> <tr> <td style="width: 10%; text-align: center;">0</td> <td>マルチプロセッサビットが"0"のデータを受信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが"1"のデータを受信</td> </tr> </table>			マルチプロセッサビット		0	マルチプロセッサビットが"0"のデータを受信	1	マルチプロセッサビットが"1"のデータを受信		
マルチプロセッサビット										
0	マルチプロセッサビットが"0"のデータを受信									
1	マルチプロセッサビットが"1"のデータを受信									
トランスミットエンド										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> 【クリア条件】 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRヘデータをライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> 【セット条件】 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE="1"のとき </td> </tr> </table>			0	【クリア条件】 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRヘデータをライトしたとき	1	【セット条件】 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE="1"のとき				
0	【クリア条件】 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRヘデータをライトしたとき									
1	【セット条件】 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE="1"のとき									
パリティエラー										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> 【クリア条件】 1. リセット、またはスタンバイモード時 2. PER="1"の状態をリードした後、"0"をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> 【セット条件】 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき） </td> </tr> </table>			0	【クリア条件】 1. リセット、またはスタンバイモード時 2. PER="1"の状態をリードした後、"0"をライトしたとき	1	【セット条件】 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）				
0	【クリア条件】 1. リセット、またはスタンバイモード時 2. PER="1"の状態をリードした後、"0"をライトしたとき									
1	【セット条件】 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）									
フレーミングエラー										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> 【クリア条件】 1. リセット、またはスタンバイモード時 2. FER="1"の状態をリードした後、"0"をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> 【セット条件】 フレーミングエラーが発生したとき（ストップビットが"0"の場合） </td> </tr> </table>			0	【クリア条件】 1. リセット、またはスタンバイモード時 2. FER="1"の状態をリードした後、"0"をライトしたとき	1	【セット条件】 フレーミングエラーが発生したとき（ストップビットが"0"の場合）				
0	【クリア条件】 1. リセット、またはスタンバイモード時 2. FER="1"の状態をリードした後、"0"をライトしたとき									
1	【セット条件】 フレーミングエラーが発生したとき（ストップビットが"0"の場合）									
オーバランエラー										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> 【クリア条件】 1. リセット、またはスタンバイモード時 2. ORER="1"の状態をリードした後、"0"をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> 【セット条件】 オーバランエラーが発生したとき（RDRF="1"の状態でのデータが受信完了したとき） </td> </tr> </table>			0	【クリア条件】 1. リセット、またはスタンバイモード時 2. ORER="1"の状態をリードした後、"0"をライトしたとき	1	【セット条件】 オーバランエラーが発生したとき（RDRF="1"の状態でのデータが受信完了したとき）				
0	【クリア条件】 1. リセット、またはスタンバイモード時 2. ORER="1"の状態をリードした後、"0"をライトしたとき									
1	【セット条件】 オーバランエラーが発生したとき（RDRF="1"の状態でのデータが受信完了したとき）									
レシーブデータレジスタフル										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> 【クリア条件】 1. リセット、またはスタンバイモード時 2. RDRF="1"の状態をリードした後、"0"をライトしたとき 3. DMACがRDRのデータをリードしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> 【セット条件】 データが正常に受信され、RSRからRDRヘデータが転送されたとき </td> </tr> </table>			0	【クリア条件】 1. リセット、またはスタンバイモード時 2. RDRF="1"の状態をリードした後、"0"をライトしたとき 3. DMACがRDRのデータをリードしたとき	1	【セット条件】 データが正常に受信され、RSRからRDRヘデータが転送されたとき				
0	【クリア条件】 1. リセット、またはスタンバイモード時 2. RDRF="1"の状態をリードした後、"0"をライトしたとき 3. DMACがRDRのデータをリードしたとき									
1	【セット条件】 データが正常に受信され、RSRからRDRヘデータが転送されたとき									
トランスミットデータレジスタエンプティ										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td> 【クリア条件】 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRヘデータをライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> 【セット条件】 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき </td> </tr> </table>			0	【クリア条件】 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRヘデータをライトしたとき	1	【セット条件】 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき				
0	【クリア条件】 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRヘデータをライトしたとき									
1	【セット条件】 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき									
【注】* フラグをクリアするための"0"ライトのみ可能です。										

RDR レシーブデータレジスタ	H'B5	SCI0						
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
シリアル受信データを格納								
SMR シリアルモードレジスタ	H'B8	SCI1						
ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はSCI0と同じです。								
BRR ビットレートレジスタ	H'B9	SCI1						
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はSCI0と同じです。								
SCR シリアルコントロールレジスタ	H'BA	SCI1						
ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はSCI0と同じです。								

TDR トランスミットデータレジスタ	H'BB		SCI1					
ビット:	7	6	5	4	3	2	1	0
	□	□	□	□	□	□	□	□
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
【注】機能はSCI0と同じです。								
SSR シリアルステータスレジスタ	H'BC							SCI1
ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W
【注】 機能はSCI0と同じです。 * フラグをクリアするための"0"ライトのみ可能です。								
RDR レシーブデータレジスタ	H'BD							SCI1
ビット:	7	6	5	4	3	2	1	0
	□	□	□	□	□	□	□	□
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
【注】機能はSCI0と同じです。								

P1DDR ポート1 データディレクションレジスタ		H'C0							ポート1
ビット:		7	6	5	4	3	2	1	0
		P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W:								
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W
↓ ポート1 入出力選択									
		0	入力ポート						
		1	出力ポート						

P2DDR ポート2 データディレクションレジスタ		H'C1							ポート2
ビット:		7	6	5	4	3	2	1	0
		P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード1~4	初期値:	1	1	1	1	1	1	1	1
	R/W:								
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W
↓ ポート2 入出力選択									
		0	入力ポート						
		1	出力ポート						

P1DR ポート1 データレジスタ		H'C2							ポート1
ビット:		7	6	5	4	3	2	1	0
		P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:		0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ポート1の各端子のデータを格納									

P2DR ポート2 データレジスタ	H'C3	ポート2												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="width: 20px;">P2₇</td> <td style="width: 20px;">P2₆</td> <td style="width: 20px;">P2₅</td> <td style="width: 20px;">P2₄</td> <td style="width: 20px;">P2₃</td> <td style="width: 20px;">P2₂</td> <td style="width: 20px;">P2₁</td> <td style="width: 20px;">P2₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W</p> <hr style="width: 60%; margin: 10px auto;"/> <p style="text-align: center;">ポート2の各端子のデータを格納</p>			P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀				
P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀							
P3DDR ポート3 データディレクションレジスタ	H'C4	ポート3												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="width: 20px;">P3₇DDR</td> <td style="width: 20px;">P3₆DDR</td> <td style="width: 20px;">P3₅DDR</td> <td style="width: 20px;">P3₄DDR</td> <td style="width: 20px;">P3₃DDR</td> <td style="width: 20px;">P3₂DDR</td> <td style="width: 20px;">P3₁DDR</td> <td style="width: 20px;">P3₀DDR</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W</p> <hr style="width: 60%; margin: 10px auto;"/> <p style="text-align: center;">ポート3 入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 30px;">0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>			P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	0	入力ポート	1	出力ポート
P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR							
0	入力ポート													
1	出力ポート													
P4DDR ポート4 データディレクションレジスタ	H'C5	ポート4												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="width: 20px;">P4₇DDR</td> <td style="width: 20px;">P4₆DDR</td> <td style="width: 20px;">P4₅DDR</td> <td style="width: 20px;">P4₄DDR</td> <td style="width: 20px;">P4₃DDR</td> <td style="width: 20px;">P4₂DDR</td> <td style="width: 20px;">P4₁DDR</td> <td style="width: 20px;">P4₀DDR</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W</p> <hr style="width: 60%; margin: 10px auto;"/> <p style="text-align: center;">ポート4 入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; text-align: center;"> <tr> <td style="width: 30px;">0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>			P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	0	入力ポート	1	出力ポート
P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR							
0	入力ポート													
1	出力ポート													

P3DR ポート3データレジスタ		H'C6						ポート3
ビット:	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ポート3の各端子のデータを格納								
P4DR ポート4データレジスタ		H'C7						ポート4
ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ポート4の各端子のデータを格納								
P5DDR ポート5データディレクションレジスタ		H'C8						ポート5
ビット:	7	6	5	4	3	2	1	0
					P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
モード1~4	初期値:	1	1	1	1	1	1	1
	R/W:							
モード5~7	初期値:	1	1	1	0	0	0	0
	R/W:				W	W	W	W
↓ ポート5入出力選択								
	0	入力ポート						
	1	出力ポート						

P6DDR ポート6 データディレクションレジスタ	H'C9	ポート6								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px;">P6₆DDR</td> <td style="width: 40px;">P6₅DDR</td> <td style="width: 40px;">P6₄DDR</td> <td style="width: 40px;">P6₃DDR</td> <td style="width: 40px;">P6₂DDR</td> <td style="width: 40px;">P6₁DDR</td> <td style="width: 40px;">P6₀DDR</td> </tr> </table>		P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	
	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR			
初期値:	1 0 0 0 0 0 0 0									
R/W:	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px;">W</td> <td style="width: 40px;">W</td> <td style="width: 40px;">W</td> <td style="width: 40px;">W</td> <td style="width: 40px;">W</td> <td style="width: 40px;">W</td> <td style="width: 40px;">W</td> </tr> </table>		W	W	W	W	W	W	W	
	W	W	W	W	W	W	W			
<p>ポート6 入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									
P5DR ポート5 データレジスタ	H'CA	ポート5								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px;"></td> <td style="width: 40px;"></td> <td style="width: 40px;"></td> <td style="width: 40px;">P5₃</td> <td style="width: 40px;">P5₂</td> <td style="width: 40px;">P5₁</td> <td style="width: 40px;">P5₀</td> </tr> </table>					P5 ₃	P5 ₂	P5 ₁	P5 ₀	
				P5 ₃	P5 ₂	P5 ₁	P5 ₀			
初期値:	1 1 1 1 0 0 0 0									
R/W:	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px;"></td> <td style="width: 40px;"></td> <td style="width: 40px;"></td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> </tr> </table>					R/W	R/W	R/W	R/W	
				R/W	R/W	R/W	R/W			
<p>ポート5の各端子のデータを格納</p>										
P6DR ポート6 データレジスタ	H'CB	ポート6								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px;">P6₆</td> <td style="width: 40px;">P6₅</td> <td style="width: 40px;">P6₄</td> <td style="width: 40px;">P6₃</td> <td style="width: 40px;">P6₂</td> <td style="width: 40px;">P6₁</td> <td style="width: 40px;">P6₀</td> </tr> </table>		P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	
	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀			
初期値:	1 0 0 0 0 0 0 0									
R/W:	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> <td style="width: 40px;">R/W</td> </tr> </table>		R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
<p>ポート6の各端子のデータを格納</p>										

P8DDR		ポート8 データディレクションレジスタ								H'CD	ポート8					
ビット:		7	6	5	4	3	2	1	0							
					P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR							
モード1~4	初期値:	1	1	1	1	0	0	0	0							
	R/W:				W	W	W	W	W							
モード5~7	初期値:	1	1	1	0	0	0	0	0							
	R/W:				W	W	W	W	W							
ポート8入出力選択 <table border="1" style="margin-left: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>										0	入力ポート	1	出力ポート			
0	入力ポート															
1	出力ポート															
ポート8入出力選択 <table border="1" style="margin-left: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>\overline{CS} 出力端子</td> </tr> </table>										0	入力ポート	1	\overline{CS} 出力端子			
0	入力ポート															
1	\overline{CS} 出力端子															

P7DR		ポート7 データレジスタ								H'CE	ポート7	
ビット:		7	6	5	4	3	2	1	0			
		P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀			
初期値:		*	*	*	*	*	*	*	*			
R/W:		R	R	R	R	R	R	R	R			
ポート7の各端子の状態を読み出す												
【注】* P7 ₇ ~P7 ₀ 端子により決定されます。												

P8DR ポート8データレジスタ	H'CF	ポート8																																																										
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> </tr> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> </tr> <tr> <td style="border: none;">初期値:</td> <td style="border: none;">1</td> <td style="border: none;">1</td> <td style="border: none;">1</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> </tr> <tr> <td style="border: none;">R/W:</td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> </tr> </table> <p style="text-align: center; margin-top: 10px;"> ポート8の各端子のデータを格納 </p>																					初期値:	1	1	1	0	0	0	0	0	R/W:				R/W	R/W	R/W	R/W	R/W																						
初期値:	1	1	1	0	0	0	0	0																																																				
R/W:				R/W	R/W	R/W	R/W	R/W																																																				
P9DDR ポート9データディレクションレジスタ	H'D0	ポート9																																																										
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> </tr> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> </tr> <tr> <td style="border: none;">初期値:</td> <td style="border: none;">1</td> <td style="border: none;">1</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> </tr> <tr> <td style="border: none;">R/W:</td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> <td style="border: none;">R/W</td> </tr> </table> <p style="text-align: center; margin-top: 10px;"> ポート9入出力選択 </p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 10px;">0</td> <td style="border: 1px solid black; padding: 2px 10px;">入力ポート</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 10px;">1</td> <td style="border: 1px solid black; padding: 2px 10px;">出力ポート</td> </tr> </table>																					初期値:	1	1	0	0	0	0	0	0	R/W:			R/W	R/W	R/W	R/W	R/W	R/W	0	入力ポート	1	出力ポート																		
初期値:	1	1	0	0	0	0	0	0																																																				
R/W:			R/W	R/W	R/W	R/W	R/W	R/W																																																				
0	入力ポート																																																											
1	出力ポート																																																											
PADDR ポートAデータディレクションレジスタ	H'D1	ポートA																																																										
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> </tr> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> </tr> <tr> <td style="border: none;">モード3、4 {</td> <td style="border: none;">初期値:</td> <td style="border: none;">1</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> </tr> <tr> <td style="border: none;"></td> <td style="border: none;">R/W:</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> </tr> <tr> <td style="border: none;">モード {</td> <td style="border: none;">初期値:</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> <td style="border: none;">0</td> </tr> <tr> <td style="border: none;">1、2、5~7 {</td> <td style="border: none;">R/W:</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> <td style="border: none;">W</td> </tr> </table> <p style="text-align: center; margin-top: 10px;"> ポートA入出力選択 </p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 10px;">0</td> <td style="border: 1px solid black; padding: 2px 10px;">入力ポート</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 10px;">1</td> <td style="border: 1px solid black; padding: 2px 10px;">出力ポート</td> </tr> </table>																					モード3、4 {	初期値:	1	0	0	0	0	0	0		R/W:	W	W	W	W	W	W	W	モード {	初期値:	0	0	0	0	0	0	0	1、2、5~7 {	R/W:	W	W	W	W	W	W	W	0	入力ポート	1	出力ポート
モード3、4 {	初期値:	1	0	0	0	0	0	0																																																				
	R/W:	W	W	W	W	W	W	W																																																				
モード {	初期値:	0	0	0	0	0	0	0																																																				
1、2、5~7 {	R/W:	W	W	W	W	W	W	W																																																				
0	入力ポート																																																											
1	出力ポート																																																											

P9DR ポート9データレジスタ		H'D2						ポート9
ビット:	7	6	5	4	3	2	1	0
			P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W
↓ ポート9の各端子のデータを格納								
PADR ポートAデータレジスタ		H'D3						ポートA
ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ポートAの各端子のデータを格納								
PBDDR ポートBデータディレクションレジスタ		H'D4						ポートB
ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
↓ ポートB入出力選択								
0		入力ポート						
1		出力ポート						

PBDR ポートB データレジスタ		H'D6		ポートB				
ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポートBの各端子のデータを格納								

P2PCR ポート2 入力プルアップ MOS コントロールレジスタ		H'D8		ポート2				
ビット:	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポート2 入力プルアップ MOS コントロール 7 ~ 0								
0		入力プルアップ MOS は OFF						
1		入力プルアップ MOS は ON						
【注】 P ₂ DDR を "0" に指定したとき (入力ポートに指定)								

P4PCR ポート4 入力プルアップ MOS コントロールレジスタ		H'DA		ポート4				
ビット:	7	6	5	4	3	2	1	0
	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポート4 入力プルアップ MOS コントロール 7 ~ 0								
0		入力プルアップ MOS は OFF						
1		入力プルアップ MOS は ON						
【注】 P4DDR を "0" に指定したとき (入力ポートに指定)								

P5PCR ポート5入力プルアップ MOS コントロールレジスタ				H'DB				ポート5								
ビット:	7	6	5	4	3	2	1	0								
					P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR								
初期値:	1	1	1	1	0	0	0	0								
R/W:					R/W	R/W	R/W	R/W								
ポート5入力プルアップ MOS コントロール3 ~ 0 <table border="1" style="margin: auto;"> <tr> <td>0</td> <td>入力プルアップ MOS は OFF</td> </tr> <tr> <td>1</td> <td>入力プルアップ MOS は ON</td> </tr> </table>													0	入力プルアップ MOS は OFF	1	入力プルアップ MOS は ON
0	入力プルアップ MOS は OFF															
1	入力プルアップ MOS は ON															
【注】 P5DDR を "0" に指定したとき（入力ポートに指定）																
DADR0 D/A データレジスタ 0				H'DC				D/A								
ビット:	7	6	5	4	3	2	1	0								
初期値:	0	0	0	0	0	0	0	0								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
D/A変換データを格納																
DADR1 D/A データレジスタ 1				H'DD				D/A								
ビット:	7	6	5	4	3	2	1	0								
初期値:	0	0	0	0	0	0	0	0								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
D/A変換データを格納																

DACR	D/A コントロールレジスタ	H'DE	D/A																																
ビット:	7 6 5 4 3 2 1 0																																		
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">DAOE1</td> <td style="width: 12.5%;">DAOE0</td> <td style="width: 12.5%;">DAE</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>	DAOE1	DAOE0	DAE																															
DAOE1	DAOE0	DAE																																	
初期値:	0 0 0 1 1 1 1 1																																		
R/W:	R/W R/W R/W																																		
		D/Aイネーブル (DAE)																																	
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 12.5%;">ビット7</th> <th style="width: 12.5%;">ビット6</th> <th style="width: 12.5%;">ビット5</th> <th style="width: 75%;">説 明</th> </tr> <tr> <th>DAOE1</th> <th>DAOE0</th> <th>DAE</th> <th></th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td></td> <td>チャンネル0、1のD/A変換を禁止</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>チャンネル0、1のD/A変換を許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>チャンネル0、1のD/A変換を許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td></td> <td>チャンネル0、1のD/A変換を許可</td> </tr> </tbody> </table>	ビット7	ビット6	ビット5	説 明	DAOE1	DAOE0	DAE		0	0		チャンネル0、1のD/A変換を禁止	0	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止	0	1	1	チャンネル0、1のD/A変換を許可	1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可	1	0	1	チャンネル0、1のD/A変換を許可	1	1		チャンネル0、1のD/A変換を許可	
ビット7	ビット6	ビット5	説 明																																
DAOE1	DAOE0	DAE																																	
0	0		チャンネル0、1のD/A変換を禁止																																
0	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止																																
0	1	1	チャンネル0、1のD/A変換を許可																																
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可																																
1	0	1	チャンネル0、1のD/A変換を許可																																
1	1		チャンネル0、1のD/A変換を許可																																
		D/Aアウトプットイネーブル0																																	
		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>アナログ出力 DA₀ を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>チャンネル0のD/A変換を許可 アナログ出力 DA₀ を許可</td> </tr> </table>	0	アナログ出力 DA ₀ を禁止	1	チャンネル0のD/A変換を許可 アナログ出力 DA ₀ を許可																													
0	アナログ出力 DA ₀ を禁止																																		
1	チャンネル0のD/A変換を許可 アナログ出力 DA ₀ を許可																																		
		D/Aアウトプットイネーブル1																																	
		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>アナログ出力 DA₁ を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>チャンネル1のD/A変換を許可 アナログ出力 DA₁ を許可</td> </tr> </table>	0	アナログ出力 DA ₁ を禁止	1	チャンネル1のD/A変換を許可 アナログ出力 DA ₁ を許可																													
0	アナログ出力 DA ₁ を禁止																																		
1	チャンネル1のD/A変換を許可 アナログ出力 DA ₁ を許可																																		

ADDR A H, L	A/D データレジスタ A H, L	H'E0, H'E1	A/D																
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W : R R R R R R R R R R R R R R R R				AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0										
ADDRAH										ADDRAL									
A/D変換データ A/D変換結果の10ビット データを格納																			
ADDR B H, L	A/D データレジスタ B H, L	H'E2, H'E3	A/D																
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W : R R R R R R R R R R R R R R R R				AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0										
ADDRBH										ADDRBL									
A/D変換データ A/D変換結果の10ビット データを格納																			
ADDR C H, L	A/D データレジスタ C H, L	H'E4, H'E5	A/D																
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W : R R R R R R R R R R R R R R R R				AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0										
ADDRCH										ADDRCL									
A/D変換データ A/D変換結果の10ビット データを格納																			

ADDRD H, L A/D データレジスタ D H, L	H'E6, H'E7	A/D																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 20px;">AD9</td> <td style="border: 1px solid black; width: 20px;">AD8</td> <td style="border: 1px solid black; width: 20px;">AD7</td> <td style="border: 1px solid black; width: 20px;">AD6</td> <td style="border: 1px solid black; width: 20px;">AD5</td> <td style="border: 1px solid black; width: 20px;">AD4</td> <td style="border: 1px solid black; width: 20px;">AD3</td> <td style="border: 1px solid black; width: 20px;">AD2</td> <td style="border: 1px solid black; width: 20px;">AD1</td> <td style="border: 1px solid black; width: 20px;">AD0</td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W： R R R R R R R R R R R R R R R R</p> <div style="display: flex; justify-content: space-around; margin-top: 10px;"> ADDRDH ADDRDL </div> <div style="margin-top: 20px;"> <p style="text-align: center;">└── A/D変換データ A/D変換結果の10ビット データを格納</p> </div>			AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0									
ADCR A/D コントロールレジスタ	H'E9	A/D																
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 20px;">TRGE</td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> </tr> </table> <p>初期値： 0 1 1 1 1 1 1 1</p> <p>R/W： R/W</p> <div style="margin-top: 10px;"> <p style="text-align: center;">└── トリガイネーブル</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>外部トリガ入力による A/D 変換の開始を禁止</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち下がりで A/D 変換を開始</td> </tr> </table> </div>			TRGE								0	外部トリガ入力による A/D 変換の開始を禁止	1	外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち下がりで A/D 変換を開始				
TRGE																		
0	外部トリガ入力による A/D 変換の開始を禁止																	
1	外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち下がりで A/D 変換を開始																	

ADCSR A/D コントロール/ステータスレジスタ								H'E8	A/D																																																																		
ビット:	7	6	5	4	3	2	1	0																																																																			
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0																																																																			
初期値:	0	0	0	0	0	0	0	0																																																																			
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																			
<p>チャンネルセレクト</p> <table border="1"> <thead> <tr> <th>グループ 選択</th> <th colspan="3">チャンネル選択</th> <th colspan="2">説 明</th> </tr> <tr> <th></th> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th>単一モード</th> <th>スキャンモード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td rowspan="2">0</td> <td>0</td> <td>AN₀</td> <td>AN₀</td> </tr> <tr> <td>1</td> <td>AN₁</td> <td>AN₀、AN₁</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">0</td> <td>0</td> <td>AN₂</td> <td>AN₀ ~ AN₂</td> </tr> <tr> <td>1</td> <td>AN₃</td> <td>AN₀ ~ AN₃</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td rowspan="2">0</td> <td>0</td> <td>AN₄</td> <td>AN₄</td> </tr> <tr> <td>1</td> <td>AN₅</td> <td>AN₄、AN₅</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">0</td> <td>0</td> <td>AN₆</td> <td>AN₄ ~ AN₆</td> </tr> <tr> <td>1</td> <td>AN₇</td> <td>AN₄ ~ AN₇</td> </tr> </tbody> </table> <p>クロックセレクト</p> <table border="1"> <tbody> <tr> <td>0</td> <td>変換時間=266 ステート (max)</td> </tr> <tr> <td>1</td> <td>変換時間=134 ステート (max)</td> </tr> </tbody> </table> <p>スキャンモード</p> <table border="1"> <tbody> <tr> <td>0</td> <td>単一モード</td> </tr> <tr> <td>1</td> <td>スキャンモード</td> </tr> </tbody> </table> <p>A/D スタート</p> <table border="1"> <tbody> <tr> <td>0</td> <td>A/D 変換停止</td> </tr> <tr> <td>1</td> <td>(1) 単一モード: A/D 変換を開始し変換が終了すると、自動的に "0" にクリア (2) スキャンモード: A/D 変換を開始し、ソフトウェア、リセットまたはスタンバイモードによって "0" にクリアされるまで、選択されたチャンネルを順次連続変換</td> </tr> </tbody> </table> <p>A/D インタラプトイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>A/D 変換終了による割り込み要求を禁止</td> </tr> <tr> <td>1</td> <td>A/D 変換終了による割り込み要求を許可</td> </tr> </tbody> </table> <p>A/D エンドフラグ</p> <table border="1"> <tbody> <tr> <td>0</td> <td>[クリア条件] ADF="1" の状態で ADF フラグをリードした後、ADF フラグに "0" をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき</td> </tr> </tbody> </table>										グループ 選択	チャンネル選択			説 明			CH2	CH1	CH0	単一モード	スキャンモード	0	0	0	0	AN ₀	AN ₀	1	AN ₁	AN ₀ 、AN ₁	1	0	0	AN ₂	AN ₀ ~ AN ₂	1	AN ₃	AN ₀ ~ AN ₃	1	0	0	0	AN ₄	AN ₄	1	AN ₅	AN ₄ 、AN ₅	1	0	0	AN ₆	AN ₄ ~ AN ₆	1	AN ₇	AN ₄ ~ AN ₇	0	変換時間=266 ステート (max)	1	変換時間=134 ステート (max)	0	単一モード	1	スキャンモード	0	A/D 変換停止	1	(1) 単一モード: A/D 変換を開始し変換が終了すると、自動的に "0" にクリア (2) スキャンモード: A/D 変換を開始し、ソフトウェア、リセットまたはスタンバイモードによって "0" にクリアされるまで、選択されたチャンネルを順次連続変換	0	A/D 変換終了による割り込み要求を禁止	1	A/D 変換終了による割り込み要求を許可	0	[クリア条件] ADF="1" の状態で ADF フラグをリードした後、ADF フラグに "0" をライトしたとき	1	[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき
グループ 選択	チャンネル選択			説 明																																																																							
	CH2	CH1	CH0	単一モード	スキャンモード																																																																						
0	0	0	0	AN ₀	AN ₀																																																																						
			1	AN ₁	AN ₀ 、AN ₁																																																																						
	1	0	0	AN ₂	AN ₀ ~ AN ₂																																																																						
			1	AN ₃	AN ₀ ~ AN ₃																																																																						
1	0	0	0	AN ₄	AN ₄																																																																						
			1	AN ₅	AN ₄ 、AN ₅																																																																						
	1	0	0	AN ₆	AN ₄ ~ AN ₆																																																																						
			1	AN ₇	AN ₄ ~ AN ₇																																																																						
0	変換時間=266 ステート (max)																																																																										
1	変換時間=134 ステート (max)																																																																										
0	単一モード																																																																										
1	スキャンモード																																																																										
0	A/D 変換停止																																																																										
1	(1) 単一モード: A/D 変換を開始し変換が終了すると、自動的に "0" にクリア (2) スキャンモード: A/D 変換を開始し、ソフトウェア、リセットまたはスタンバイモードによって "0" にクリアされるまで、選択されたチャンネルを順次連続変換																																																																										
0	A/D 変換終了による割り込み要求を禁止																																																																										
1	A/D 変換終了による割り込み要求を許可																																																																										
0	[クリア条件] ADF="1" の状態で ADF フラグをリードした後、ADF フラグに "0" をライトしたとき																																																																										
1	[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき																																																																										
【注】* フラグをクリアするための "0" ライトのみ可能です。																																																																											

ABWCR バス幅コントロールレジスタ	H'EC	バスコントローラ								
ビット： 7 6 5 4 3 2 1 0										
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 12.5%;">ABW7</th> <th style="width: 12.5%;">ABW6</th> <th style="width: 12.5%;">ABW5</th> <th style="width: 12.5%;">ABW4</th> <th style="width: 12.5%;">ABW3</th> <th style="width: 12.5%;">ABW2</th> <th style="width: 12.5%;">ABW1</th> <th style="width: 12.5%;">ABW0</th> </tr> </table>	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	
ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0			
モード1、3 初期値：	1	1	1	1	1	1	1			
モード2、4 初期値：	0	0	0	0	0	0	0			
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
エリア7～0バス幅コントロール										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 20%;">ビット7～0</th> <th rowspan="2" style="width: 80%;">アクセス空間の指定</th> </tr> <tr> <td style="text-align: center;"> AWB7 ～ AWB0 </td> </tr> <tr> <td style="text-align: center;">0</td> <td>エリア7～0を16ビットアクセス空間に設定</td> </tr> <tr> <td style="text-align: center;">1</td> <td>エリア7～0を8ビットアクセス空間に設定</td> </tr> </table>			ビット7～0	アクセス空間の指定	AWB7 ～ AWB0	0	エリア7～0を16ビットアクセス空間に設定	1	エリア7～0を8ビットアクセス空間に設定	
ビット7～0	アクセス空間の指定									
AWB7 ～ AWB0										
0	エリア7～0を16ビットアクセス空間に設定									
1	エリア7～0を8ビットアクセス空間に設定									

ASTCR アクセスステートコントロールレジスタ	H'ED	バスコントローラ								
ビット： 7 6 5 4 3 2 1 0										
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 12.5%;">AST7</th> <th style="width: 12.5%;">AST6</th> <th style="width: 12.5%;">AST5</th> <th style="width: 12.5%;">AST4</th> <th style="width: 12.5%;">AST3</th> <th style="width: 12.5%;">AST2</th> <th style="width: 12.5%;">AST1</th> <th style="width: 12.5%;">AST0</th> </tr> </table>	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0			
初期値：	1	1	1	1	1	1	1			
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
エリア7～0アクセラステートコントロール										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 20%;">ビット7～0</th> <th rowspan="2" style="width: 80%;">アクセスステート数の指定</th> </tr> <tr> <td style="text-align: center;"> AST7 ～ AST0 </td> </tr> <tr> <td style="text-align: center;">0</td> <td>エリア7～0を2ステートアクセス空間に設定</td> </tr> <tr> <td style="text-align: center;">1</td> <td>エリア7～0を3ステートアクセス空間に設定</td> </tr> </table>			ビット7～0	アクセスステート数の指定	AST7 ～ AST0	0	エリア7～0を2ステートアクセス空間に設定	1	エリア7～0を3ステートアクセス空間に設定	
ビット7～0	アクセスステート数の指定									
AST7 ～ AST0										
0	エリア7～0を2ステートアクセス空間に設定									
1	エリア7～0を3ステートアクセス空間に設定									

WCR ウェイトコントロールレジスタ				H'EE		バスコントローラ																		
ビット:	7	6	5	4	3	2	1	0																
					WMS1	WMS0	WC1	WC0																
初期値:	1	1	1	1	0	0	1	1																
R/W:					R/W	R/W	R/W	R/W																
ウェイトカウント1、0 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット1</th> <th>ビット0</th> <th>ウェイトステート数の指定</th> </tr> </thead> <tbody> <tr> <td>WC1</td> <td>WC0</td> <td></td> </tr> <tr> <td rowspan="2">0</td> <td>0</td> <td>WSCによるウェイトを禁止</td> </tr> <tr> <td>1</td> <td>1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>2ステート挿入</td> </tr> <tr> <td>1</td> <td>3ステート挿入</td> </tr> </tbody> </table>									ビット1	ビット0	ウェイトステート数の指定	WC1	WC0		0	0	WSCによるウェイトを禁止	1	1ステート挿入	1	0	2ステート挿入	1	3ステート挿入
ビット1	ビット0	ウェイトステート数の指定																						
WC1	WC0																							
0	0	WSCによるウェイトを禁止																						
	1	1ステート挿入																						
1	0	2ステート挿入																						
	1	3ステート挿入																						
ウェイトモードセレクト1、0 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>ウェイトモードの指定</th> </tr> </thead> <tbody> <tr> <td>WMS1</td> <td>WMS0</td> <td></td> </tr> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラマブルウェイトモード</td> </tr> <tr> <td>1</td> <td>WSCによるウェイトを禁止</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>端子ウェイトモード</td> </tr> <tr> <td>1</td> <td>端子オートウェイトモード</td> </tr> </tbody> </table>									ビット3	ビット2	ウェイトモードの指定	WMS1	WMS0		0	0	プログラマブルウェイトモード	1	WSCによるウェイトを禁止	1	0	端子ウェイトモード	1	端子オートウェイトモード
ビット3	ビット2	ウェイトモードの指定																						
WMS1	WMS0																							
0	0	プログラマブルウェイトモード																						
	1	WSCによるウェイトを禁止																						
1	0	端子ウェイトモード																						
	1	端子オートウェイトモード																						
WCER ウェイトステートコントロールラインエーブルレジスタ				H'EF		バスコントローラ																		
ビット:	7	6	5	4	3	2	1	0																
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0																
初期値:	1	1	1	1	1	1	1	1																
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
ウェイトステートコントロールラインエーブル7～0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tbody> <tr> <td>0</td> <td>WSCの動作を禁止(端子ウェイトモード0)</td> </tr> <tr> <td>1</td> <td>WSCの動作を許可</td> </tr> </tbody> </table>									0	WSCの動作を禁止(端子ウェイトモード0)	1	WSCの動作を許可												
0	WSCの動作を禁止(端子ウェイトモード0)																							
1	WSCの動作を許可																							

MDCR モードコントロールレジスタ	H'F1	システム制御																														
ビット： 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; border: 1px solid black; margin: 5px 0;"> MDS2 MDS1 MDS0 </div> 初期値： 1 1 0 0 0 * * * R/W： R R R																																
モードセレクト 2 ~ 0 <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th style="width: 70%;">動作モード</th> </tr> <tr> <th style="border: none;">MD₂</th> <th style="border: none;">MD₁</th> <th style="border: none;">MD₀</th> <th style="border: none;"></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">——</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード 1</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">モード 2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード 3</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">モード 4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード 5</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">モード 6</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">モード 7</td> </tr> </tbody> </table>			ビット2	ビット1	ビット0	動作モード	MD ₂	MD ₁	MD ₀		0	0	0	——	1	モード 1	1	0	モード 2	1	モード 3	1	0	0	モード 4	1	モード 5	1	0	モード 6	1	モード 7
ビット2	ビット1	ビット0	動作モード																													
MD ₂	MD ₁	MD ₀																														
0	0	0	——																													
		1	モード 1																													
	1	0	モード 2																													
		1	モード 3																													
1	0	0	モード 4																													
		1	モード 5																													
	1	0	モード 6																													
		1	モード 7																													
【注】* モード端子 (MD ₂ ~ MD ₀) の状態により決定されます。																																

SYSCLR システムコントロールレジスタ H'F2						システム制御			
ビット:	7	6	5	4	3	2	1	0	
	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME	
初期値:	0	0	0	0	1	0	1	1	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W		R/W	
								RAMイネーブル	
								0	内蔵 RAM 無効
								1	内蔵 RAM 有効
								NMIエッジセレクト	
								0	NMI 入力の立ち下がり、割り込み要求を発生
								1	NMI 入力の立ち上がり、割り込み要求を発生
								ユーザイネーブル	
								0	CCR のビット 6(UI) を割り込みマスクビットとして使用
								1	CCR のビット 6(UI) をユーザビットとして使用
								スタンバイタイムセレクト 2 ~ 0	
		ビット6	ビット5	ビット4	スタンバイタイムの指定				
		STS2	STS1	STS0					
0		0	0	0	待機時間 = 8192ステート				
			1	1	待機時間 = 16384ステート				
1		1	0	0	待機時間 = 32768ステート				
			1	1	待機時間 = 65536ステート				
1		0			待機時間 = 131072ステート				
			1			使用禁止			
								ソフトウェアスタンバイ	
0		SLEEP 命令実行後、スリープモードに遷移							
1		SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移							

BRCR バスリリースコントロールレジスタ				H'F3		バスコントローラ				
		ビット:	7	6	5	4	3	2	1	0
			A23E	A22E	A21E					BRLE
モード 1、2、5~7	初期値:	1	1	1	1	1	1	1	1	0
	R/W:									R/W
モード 3、4	初期値:	1	1	1	1	1	1	1	1	0
	R/W:	R/W	R/W	R/W						R/W
		PA6 ~ PA4(A23 ~ A21) アドレス出力選択								
		0	アドレス出力							
		1	上記以外の入出力端子							
		バスリリースイネーブル								
		0	バス権の外部に対する解放を禁止							
		1	バス権の外部に対する解放を許可							

ISCR IRQ センスコントロールレジスタ				H'F4		割り込みコントローラ				
		ビット:	7	6	5	4	3	2	1	0
					IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:		0	0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		IRQ ₅ ~ IRQ ₀ センスコントロール								
		0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の "Low" レベルで割り込み要求を発生							
		1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がりエッジで割り込み要求を発生							

IER IRQ イネーブルレジスタ			H'F5		割り込みコントローラ			
ビット:	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ IRQ ₅ ~ IRQ ₀ イネーブル								
		0	IRQ ₅ ~ IRQ ₀ 割り込みを禁止					
		1	IRQ ₅ ~ IRQ ₀ 割り込みを許可					

ISR IRQ ステータスレジスタ			H'F6		割り込みコントローラ			
ビット:	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
↓ IRQ ₅ ~ IRQ ₀ フラグ								
ビット5~0		セット/クリア条件						
IRQ5F ~ IRQ0F								
0		[クリア条件] (1) IRQnF="1" の状態で IRQnF をリードした後、IRQnF に "0" をライトしたとき (2) IRQnSC="0"、 $\overline{\text{IRQn}}$ 入力が "High" レベルの状態での割り込み例外処理を実行したとき (3) IRQnSC="1" の状態で IRQn 割り込み例外処理を実行したとき						
1		[セット条件] (1) IRQnSC="0" の状態で $\overline{\text{IRQn}}$ 入力が "Low" レベルになったとき (2) IRQnSC="1" の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき						
(n=5 ~ 0)								
【注】* フラグをクリアするための"0"ライトのみ可能です。								

IPRA インタラプトプライオリティレジスタ A				H'F8		割り込みコントローラ							
ビット :	7	6	5	4	3	2	1	0					
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0					
初期値 :	0	0	0	0	0	0	0	0					
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W					
<div style="margin-left: 200px;">↓</div> プライオリティレベル A7 ~ 0													
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">0</td> <td style="text-align: left;">プライオリティレベル0 (非優先)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: left;">プライオリティレベル1 (優先)</td> </tr> </table>										0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)
0	プライオリティレベル0 (非優先)												
1	プライオリティレベル1 (優先)												
割り込み要因と各ビットの対応													
IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0				
	割り込み要因	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0				
		IRQ ₀	IRQ ₁	IRQ ₂ , IRQ ₃	IRQ ₄ , IRQ ₅	WDT, リフレッシュ コントローラ	ITU チャンネル0	ITU チャンネル1	ITU チャンネル2				

IPRB インタラプトプライオリティレジスタ B				H'F9		割り込みコントローラ							
ビット :	7	6	5	4	3	2	1	0					
	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1						
初期値 :	0	0	0	0	0	0	0	0					
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W					
<div style="margin-left: 200px;">↓</div> プライオリティレベル B7 ~ 0													
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">0</td> <td style="text-align: left;">プライオリティレベル0 (非優先)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: left;">プライオリティレベル1 (優先)</td> </tr> </table>										0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)
0	プライオリティレベル0 (非優先)												
1	プライオリティレベル1 (優先)												
割り込み要因と各ビットの対応													
IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0				
	割り込み要因	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1					
		ITU チャンネル3	ITU チャンネル4	DMAC		SCI チャンネル0	SCI チャンネル1	A/D 変換器					

C. I/Oポートブロック図

C.1 ポート1ブロック図

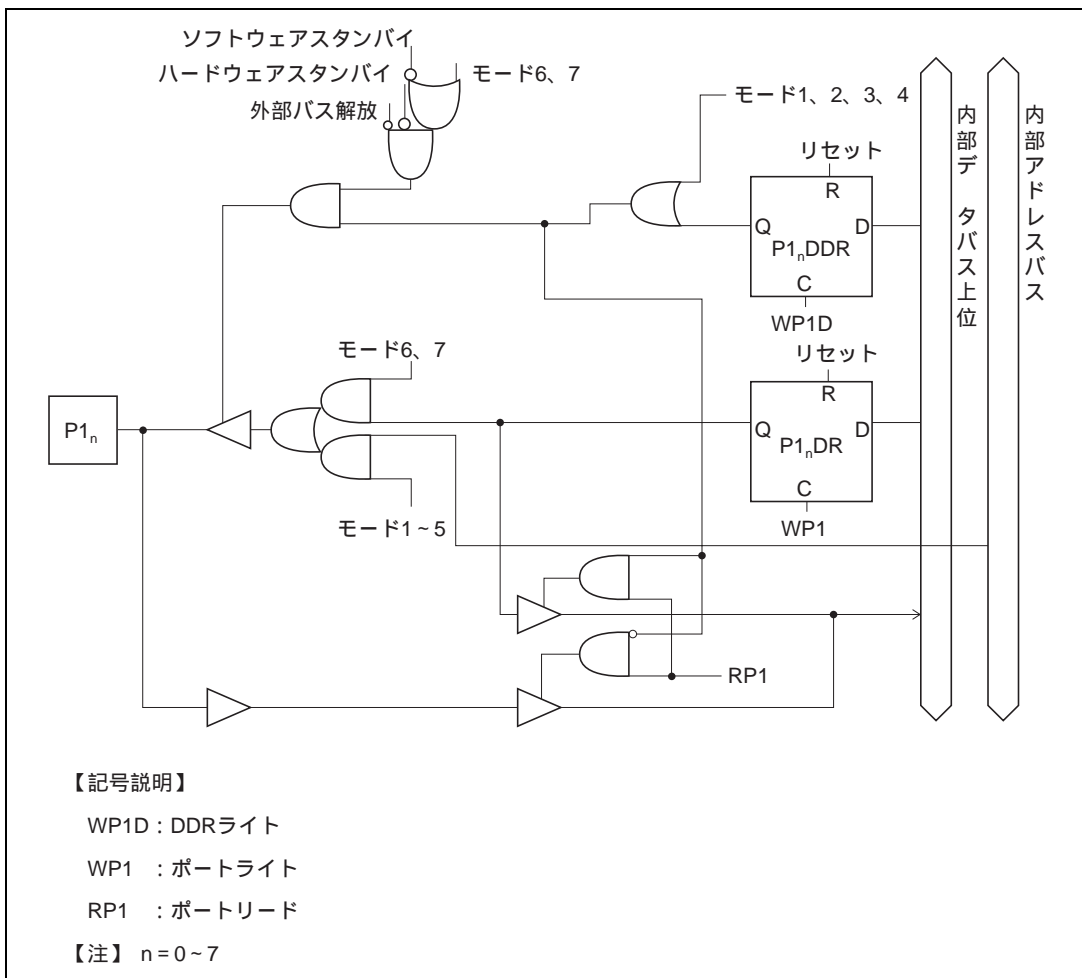


図 C.1 ポート1ブロック図

C.2 ポート 2 ブロック図

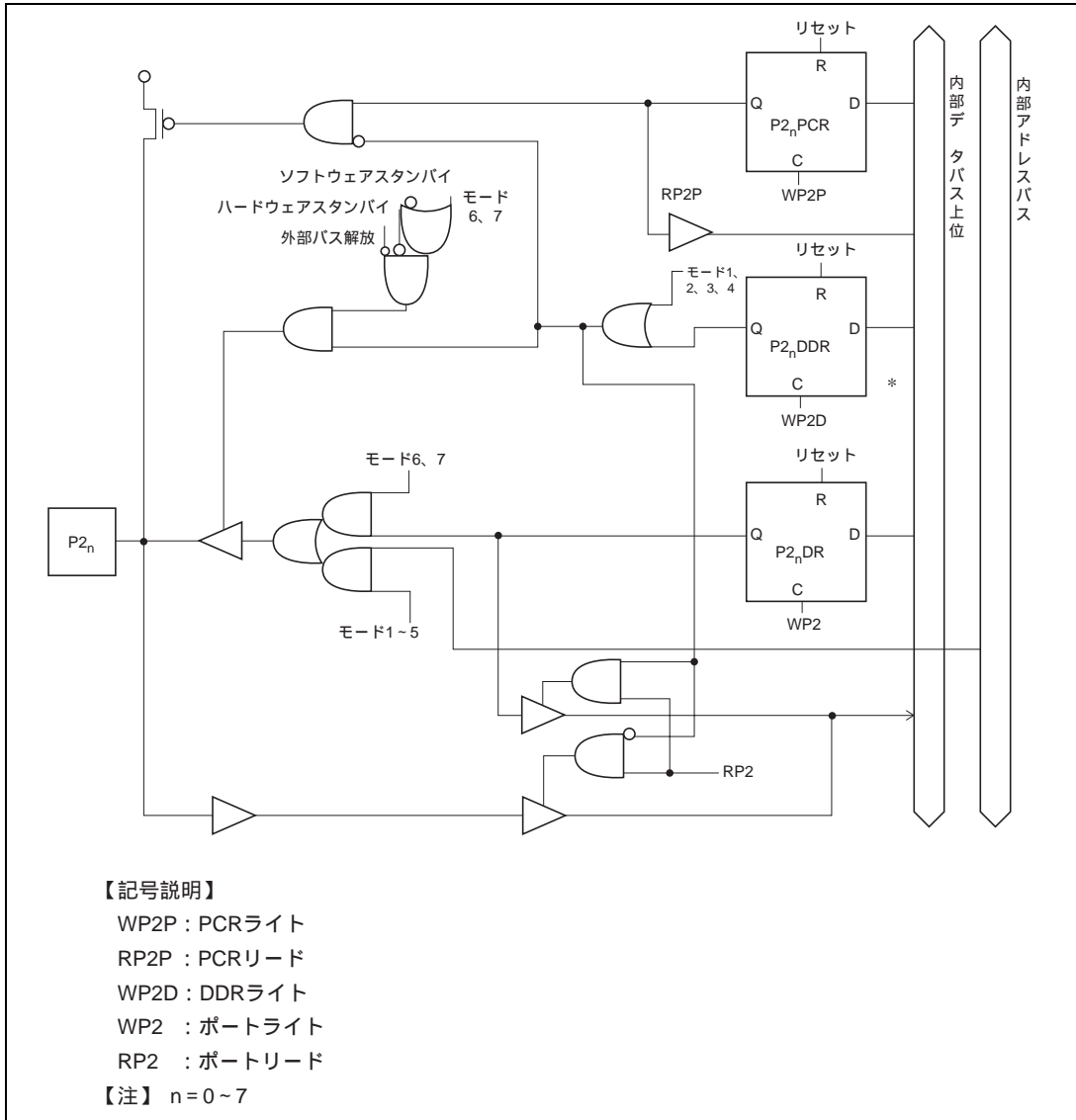


図 C.2 ポート 2 ブロック図

C.3 ポート 3 ブロック図

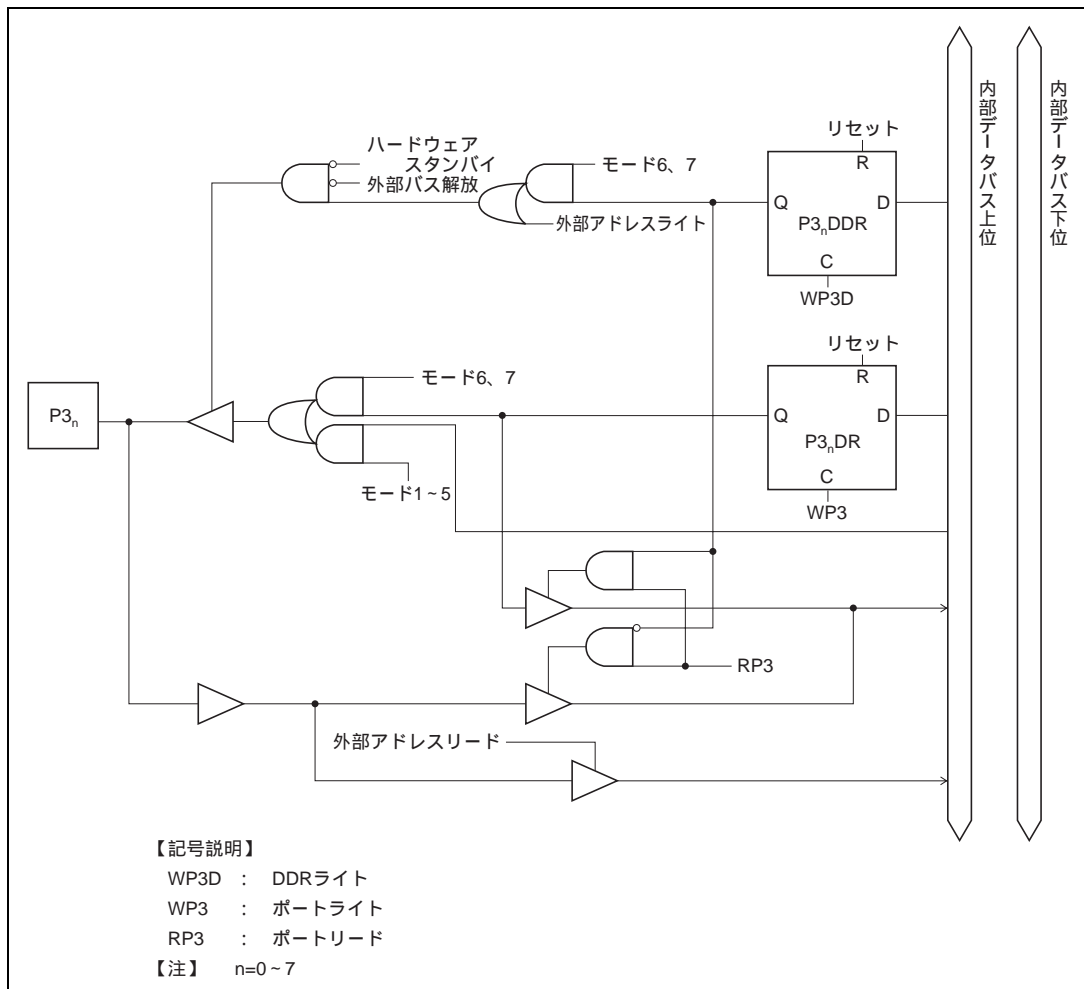


図 C.3 ポート 3 ブロック図

C.4 ポート 4 ブロック図

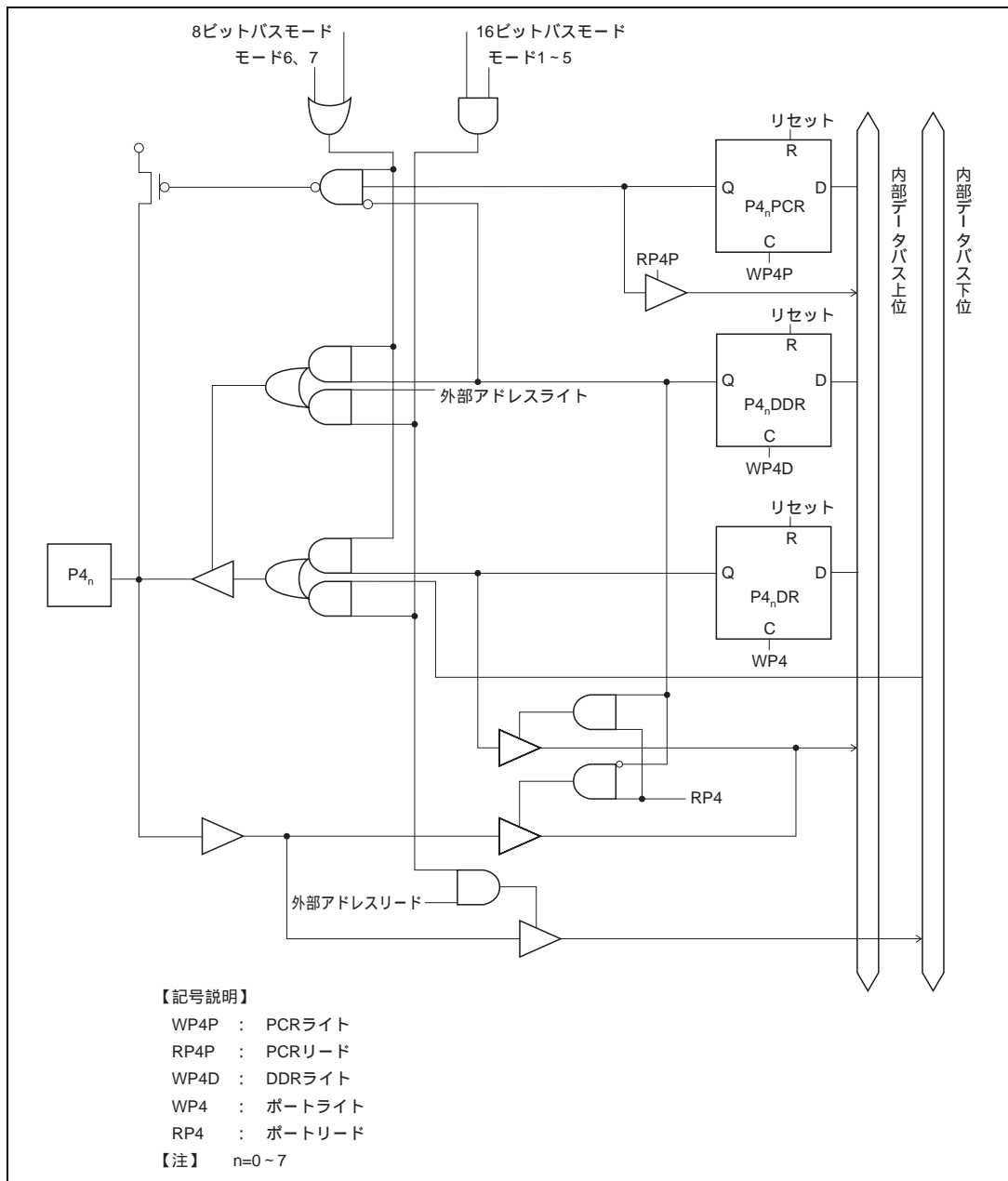


図 C.4 ポート 4 ブロック図

C.5 ポート 5 ブロック図

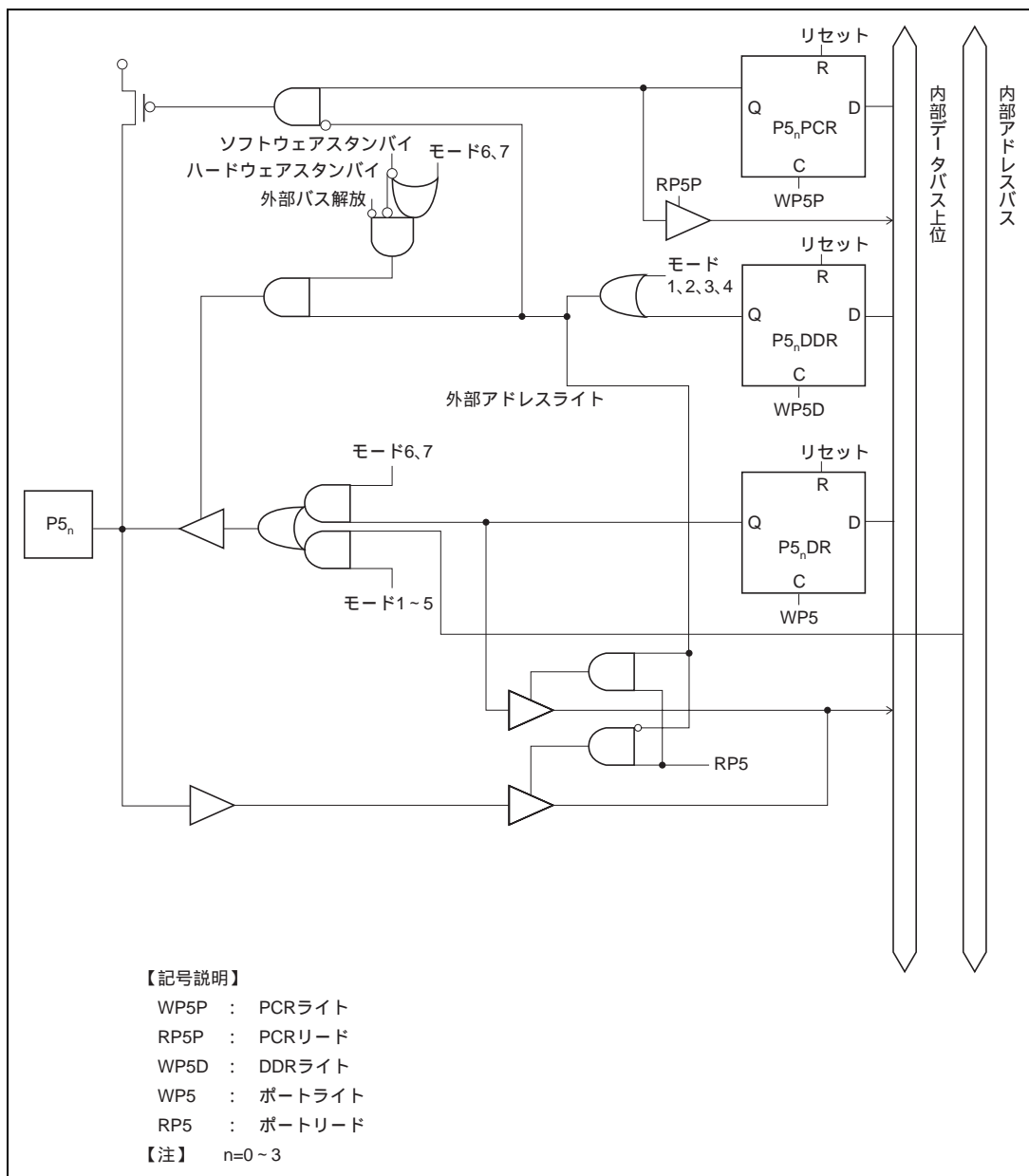


図 C.5 ポート 5 ブロック図

C.6 ポート 6 ブロック図

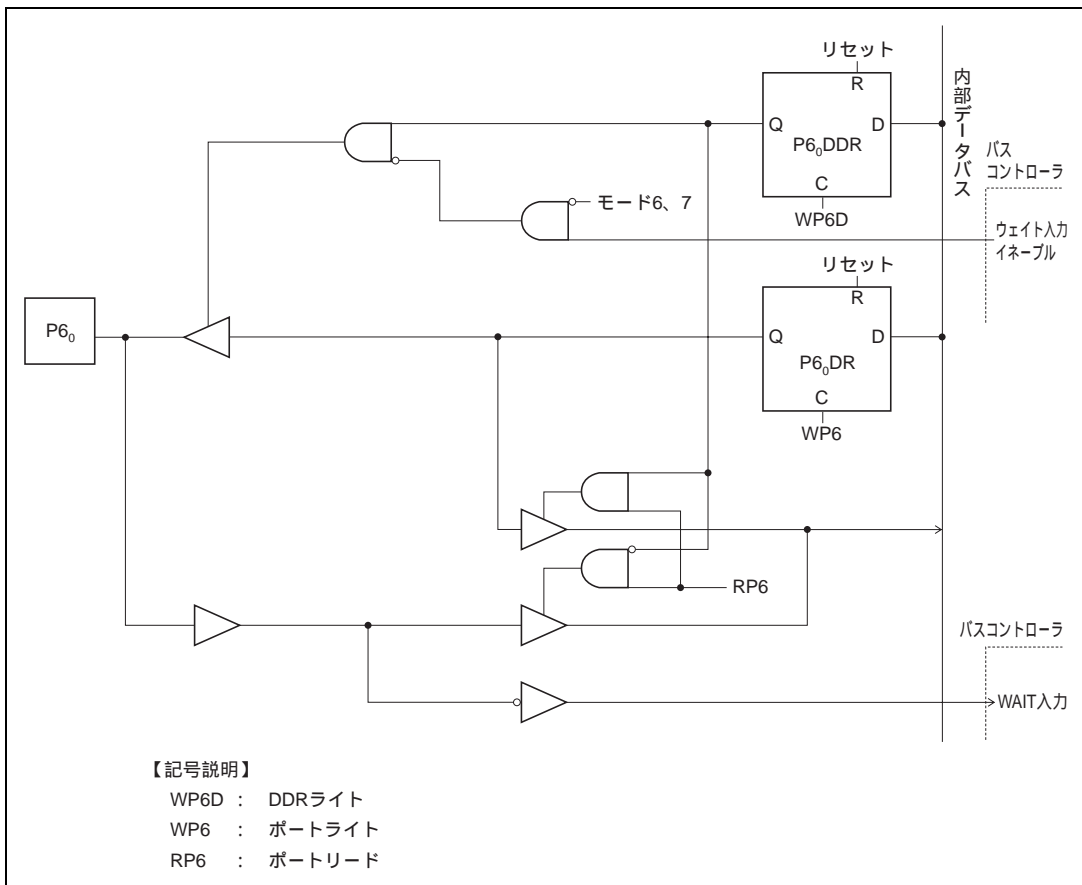


図 C.6 (a) ポート 6 ブロック図 (P6₀端子)

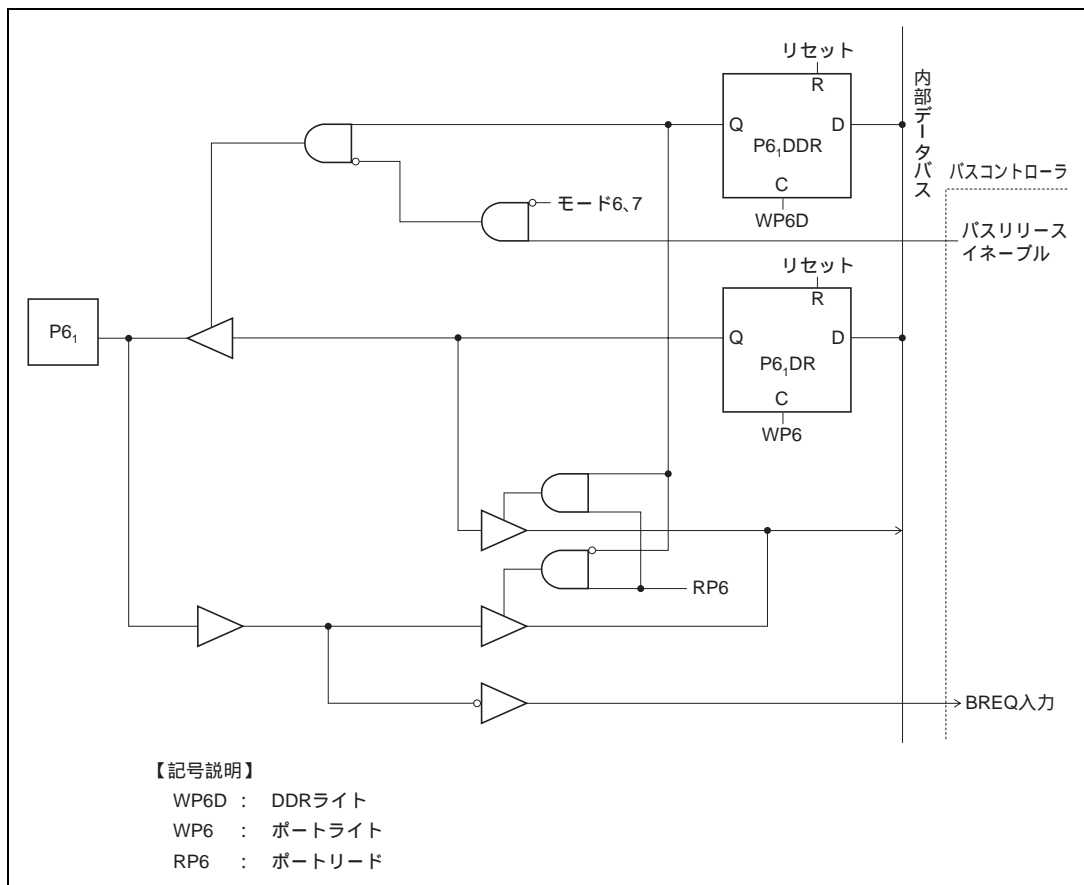


図 C.6 (b) ポート6ブロック図 (P6₁端子)

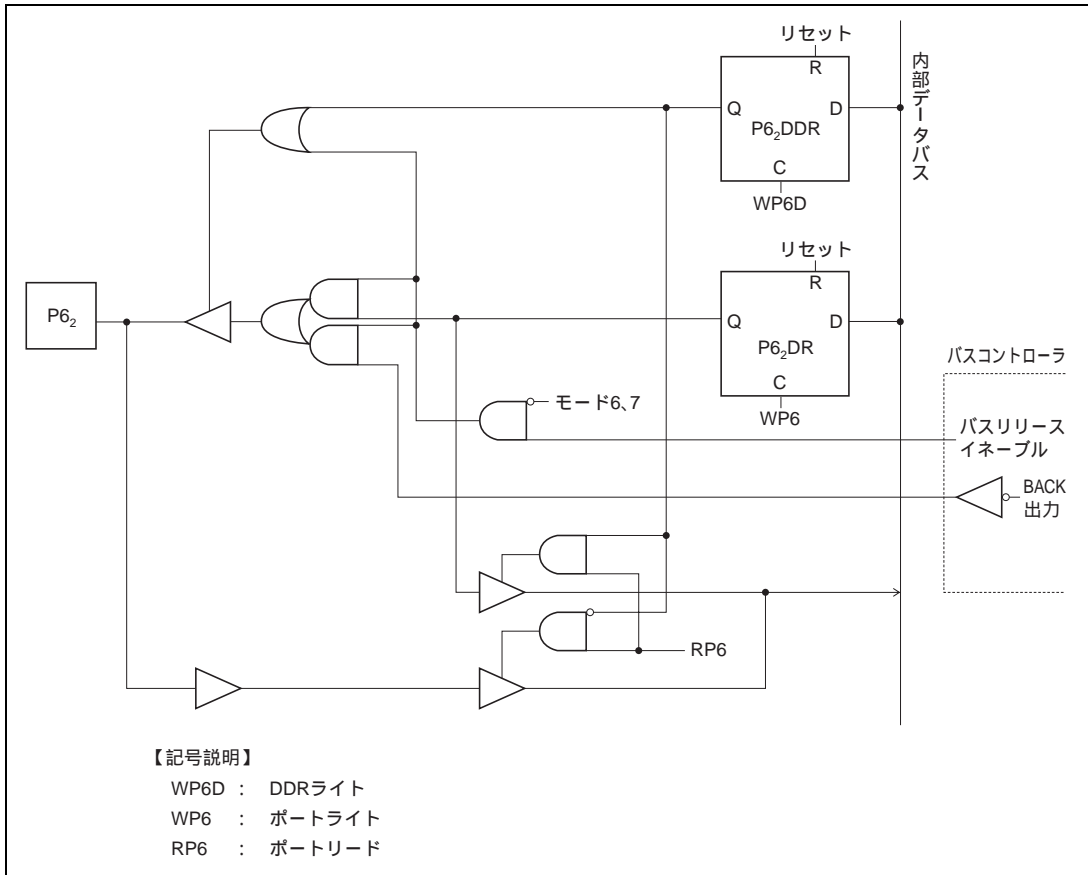


図 C.6 (c) ポート 6 ブロック図 (P6₂端子)

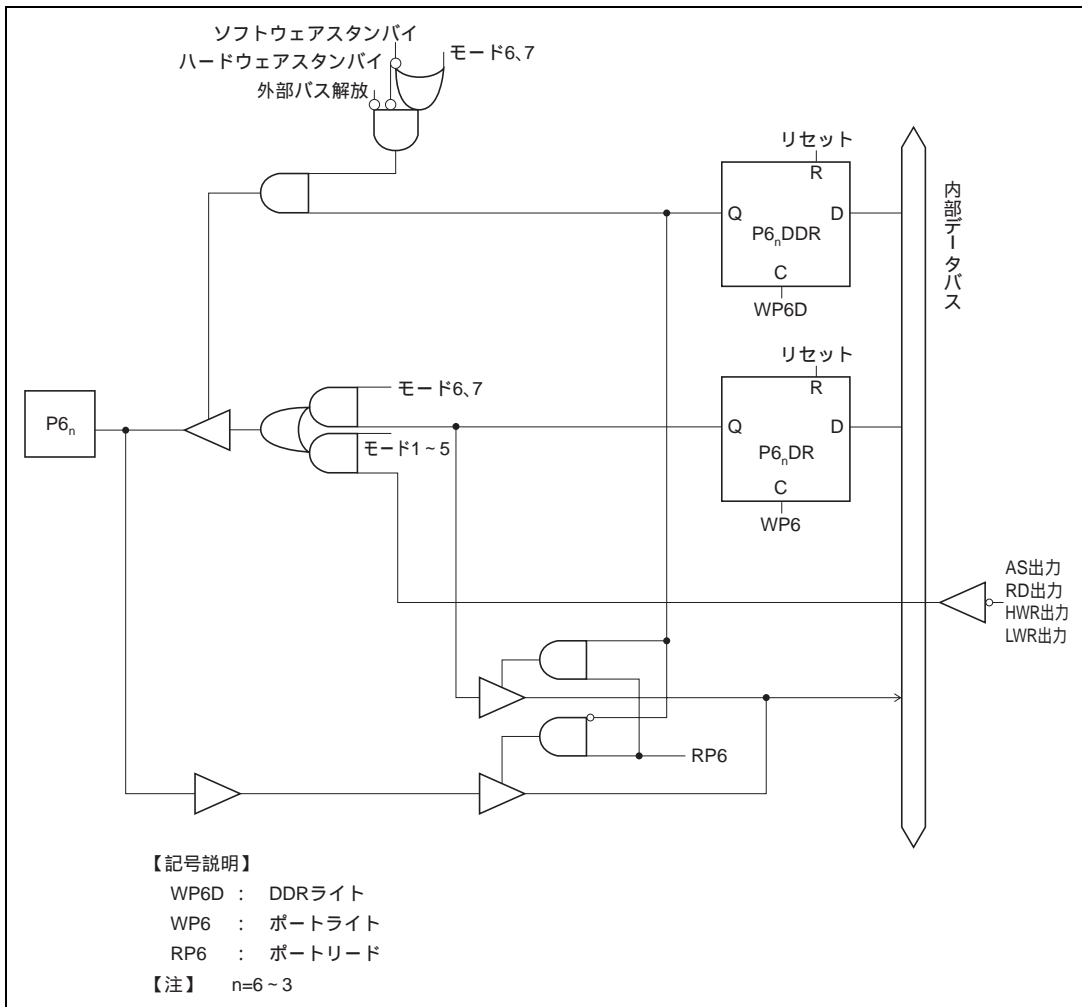


図 C.6 (d) ポート 6 ブロック図 (P6₆ ~ P6₃ 端子)

C.7 ポート7ブロック図

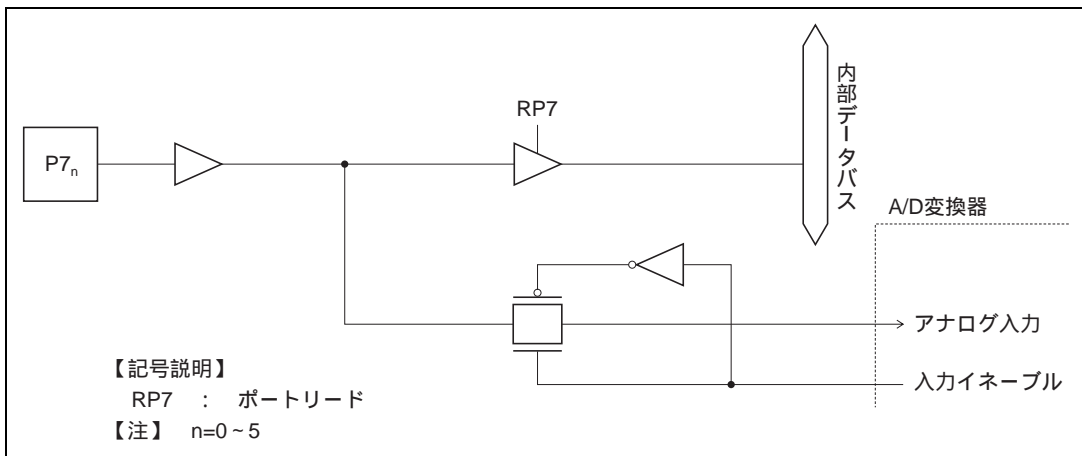


図 C.7 (a) ポート7ブロック図 (P7₀~P7₅端子)

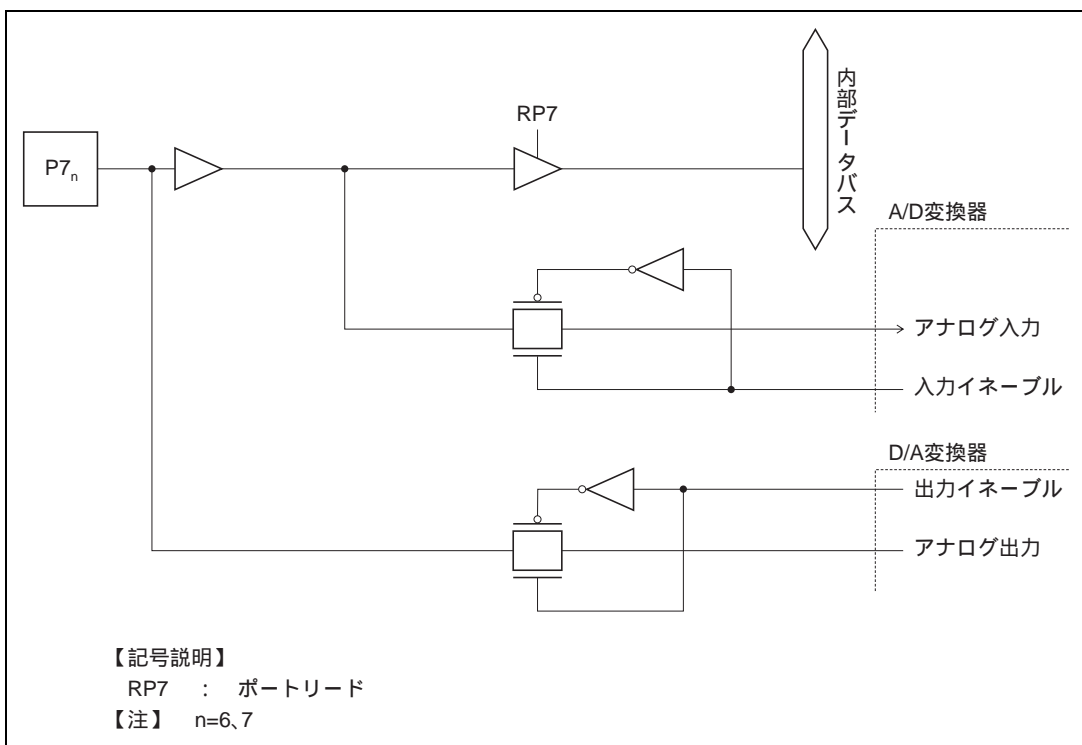
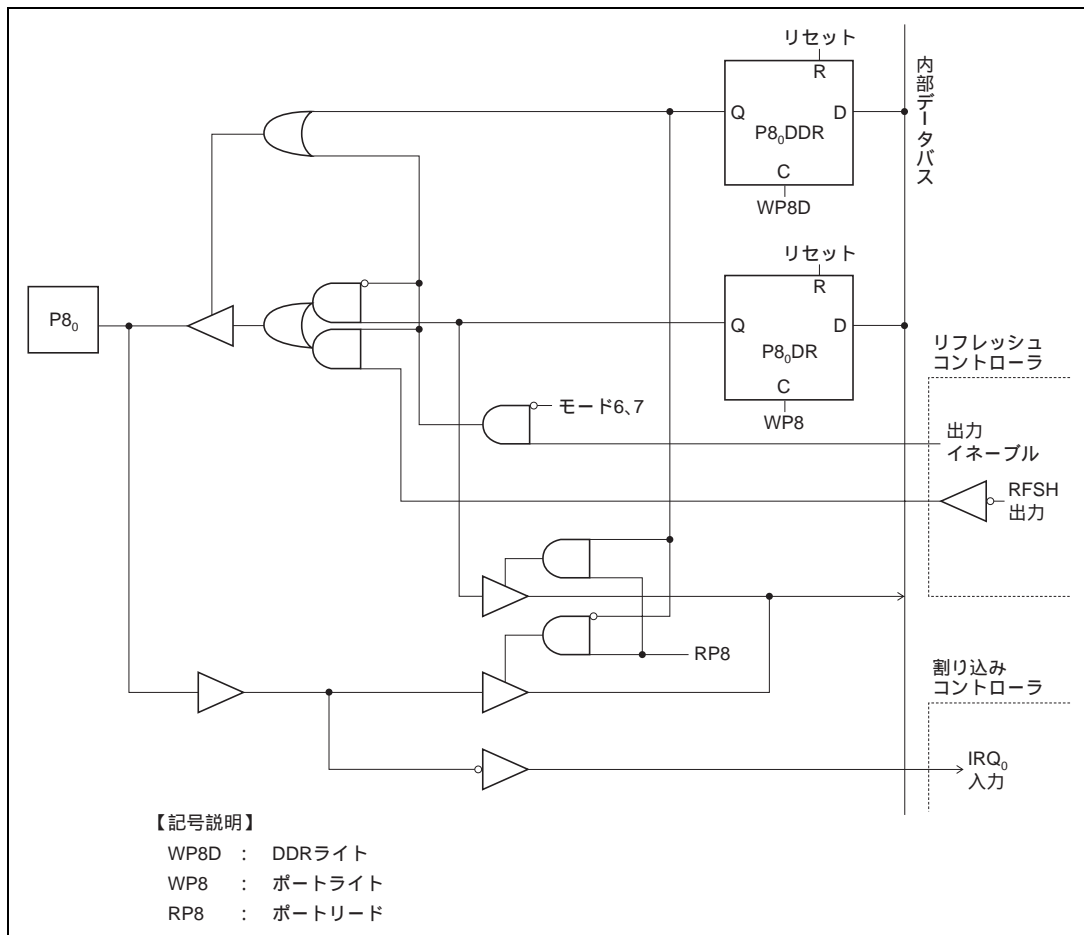


図 C.7 (b) ポート7ブロック図 (P7₆~P7₇端子)

C.8 ポート8ブロック図

図 C.8 (a) ポート8ブロック図 (P8₀端子)

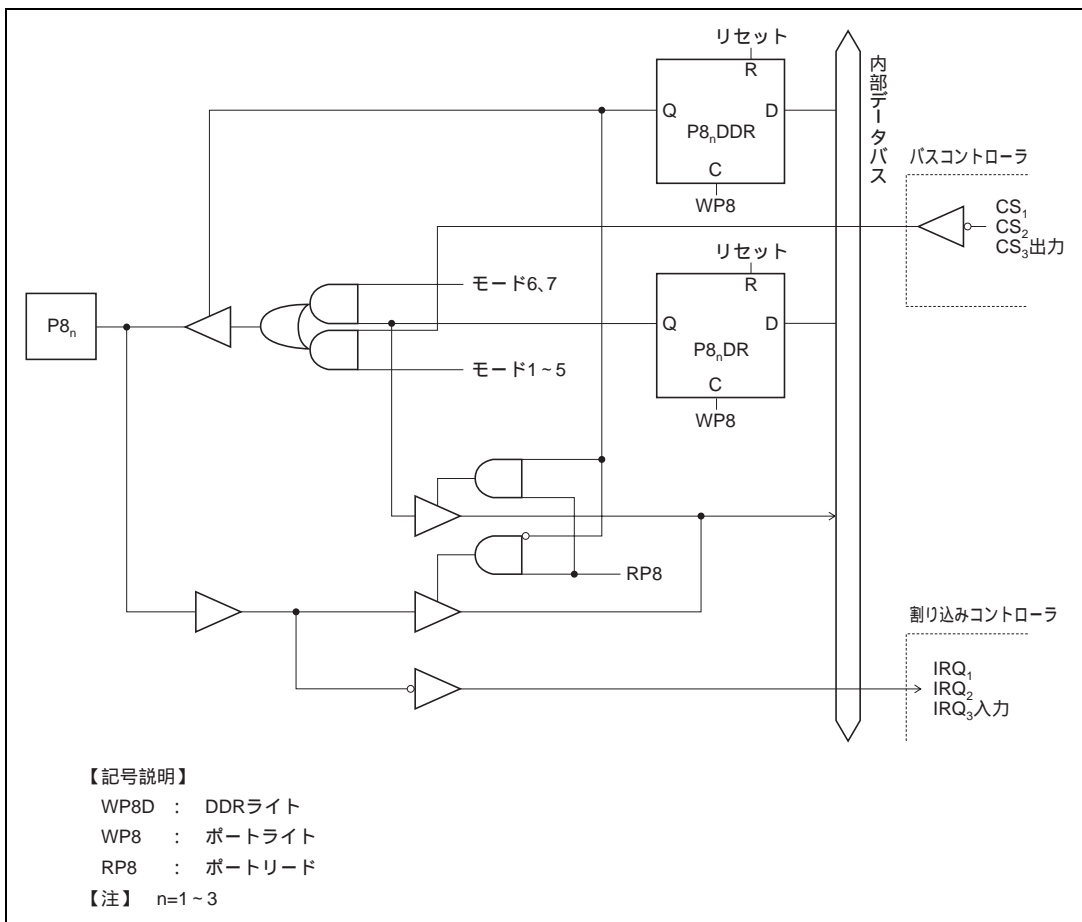


図 C.8 (b) ポート 8 ブロック図 (P8₁、P8₂、P8₃端子)

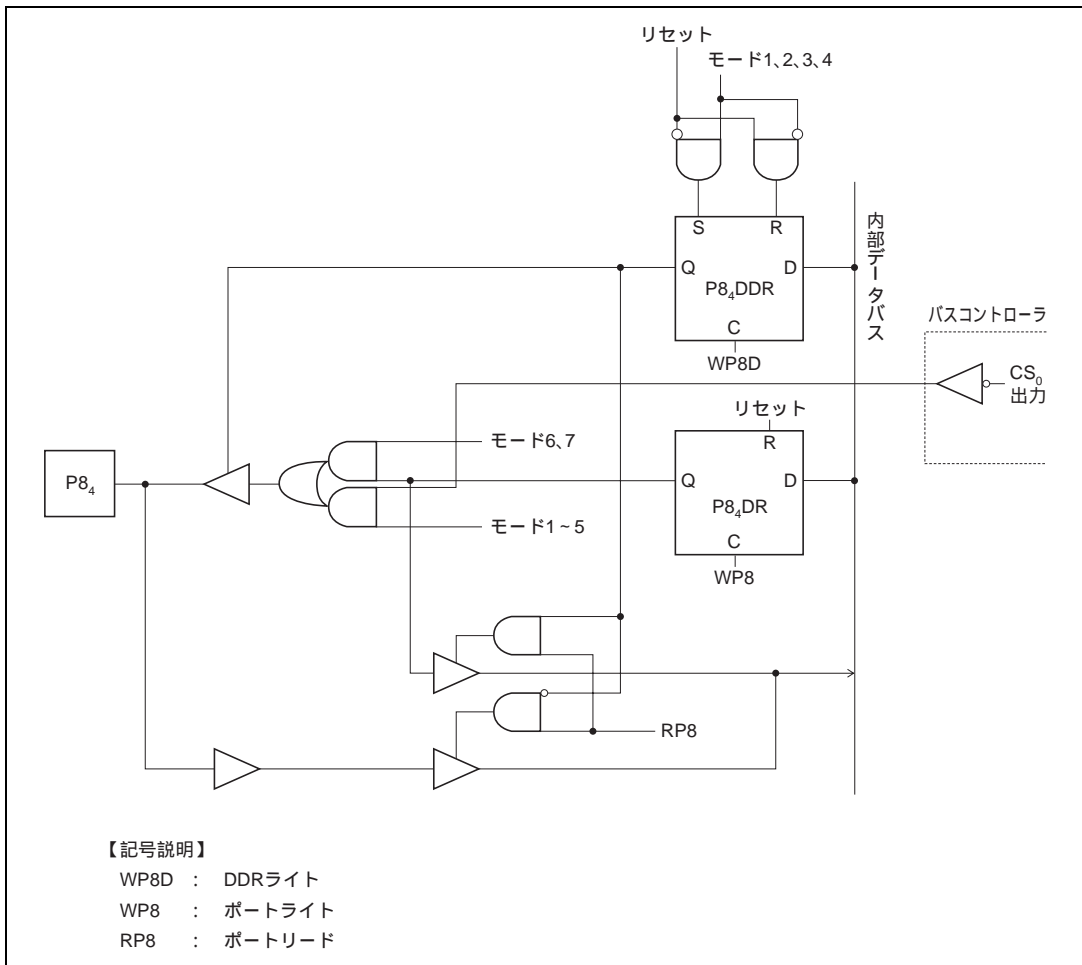


図 C.8 (c) ポート 8 ブロック図 (P8₄端子)

C.9 ポート9ブロック図

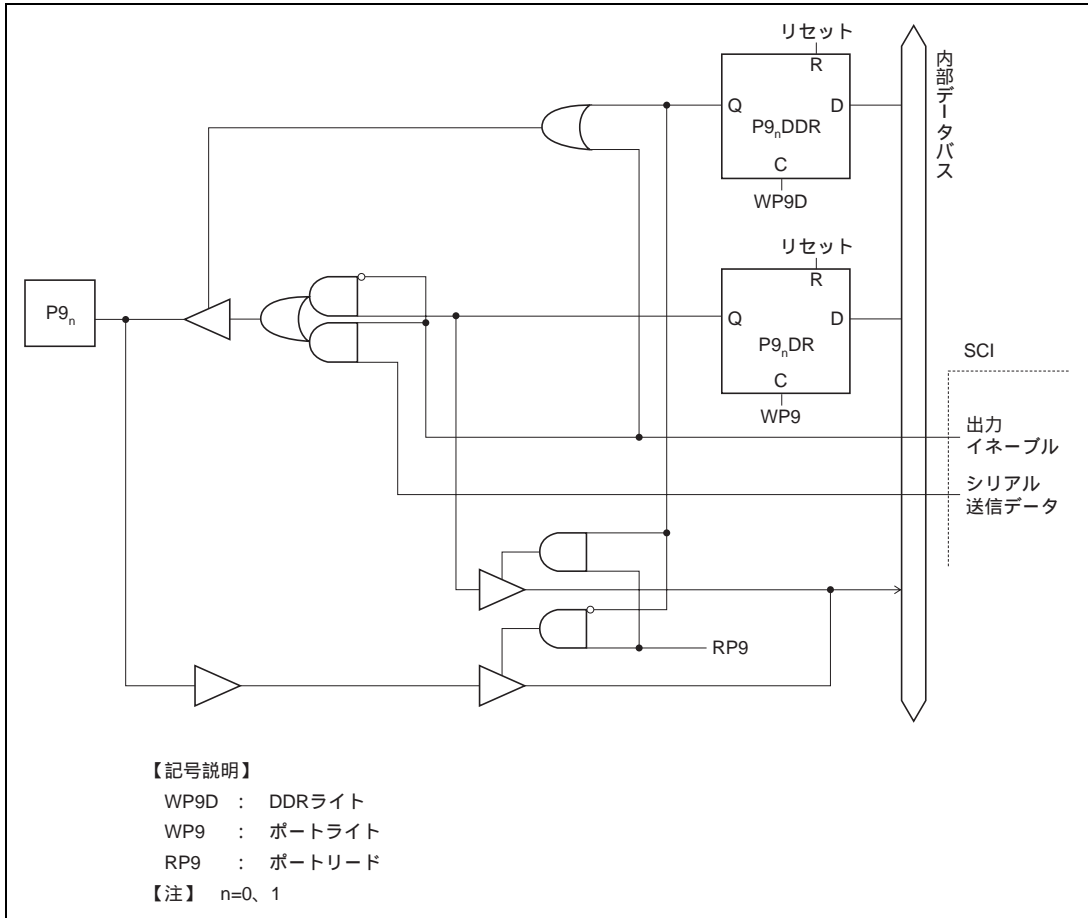


図 C.9 (a) ポート9ブロック図 ($P9_0$ 、 $P9_1$ 端子)

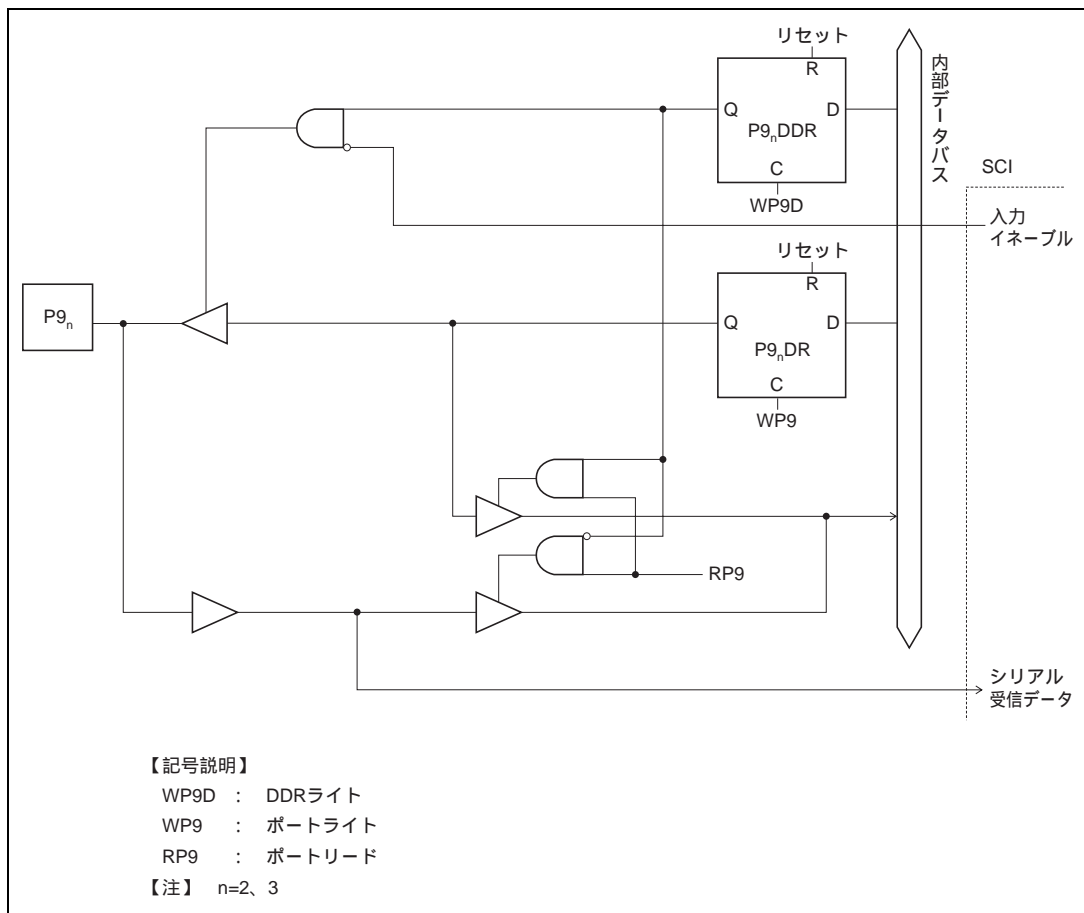


図 C.9 (b) ポート 9 ブロック図 (P9₂、P9₃ 端子)

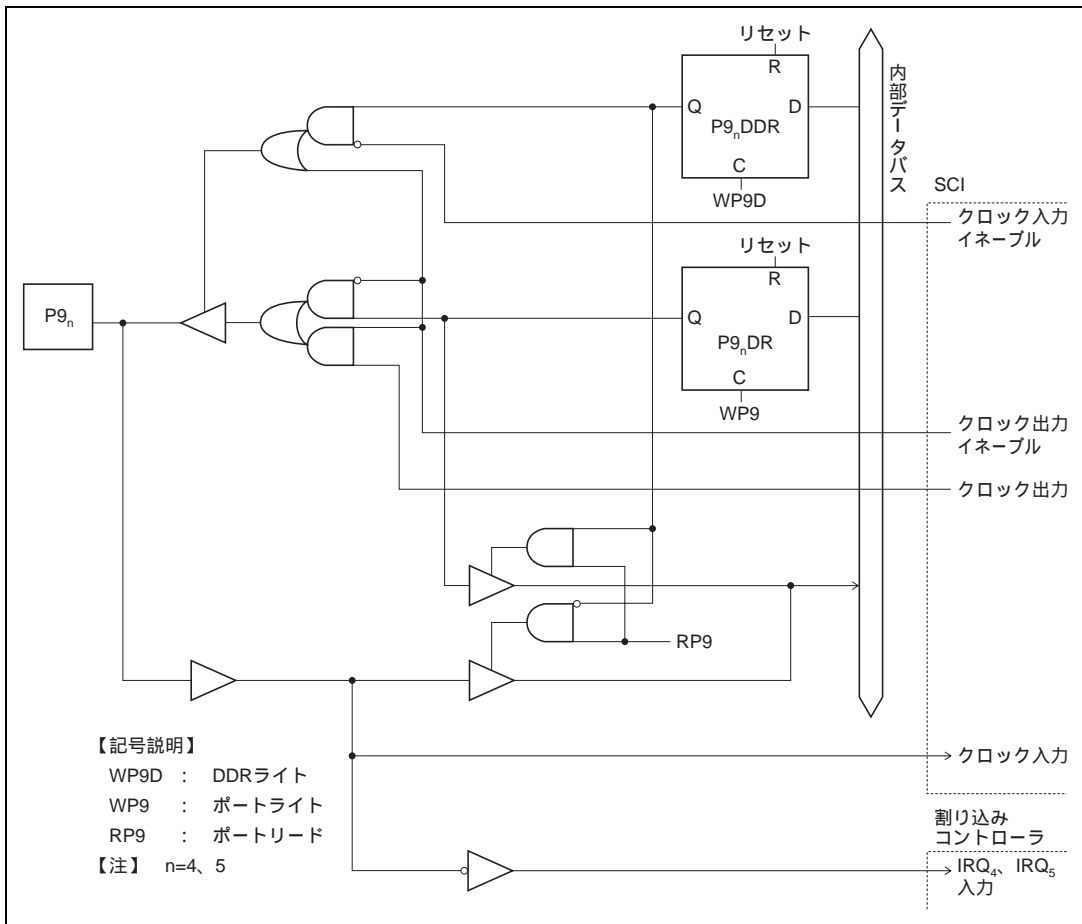


図 C.9 (c) ポート 9 ブロック図 (P9₄、P9₅端子)

C.10 ポート A ブロック図

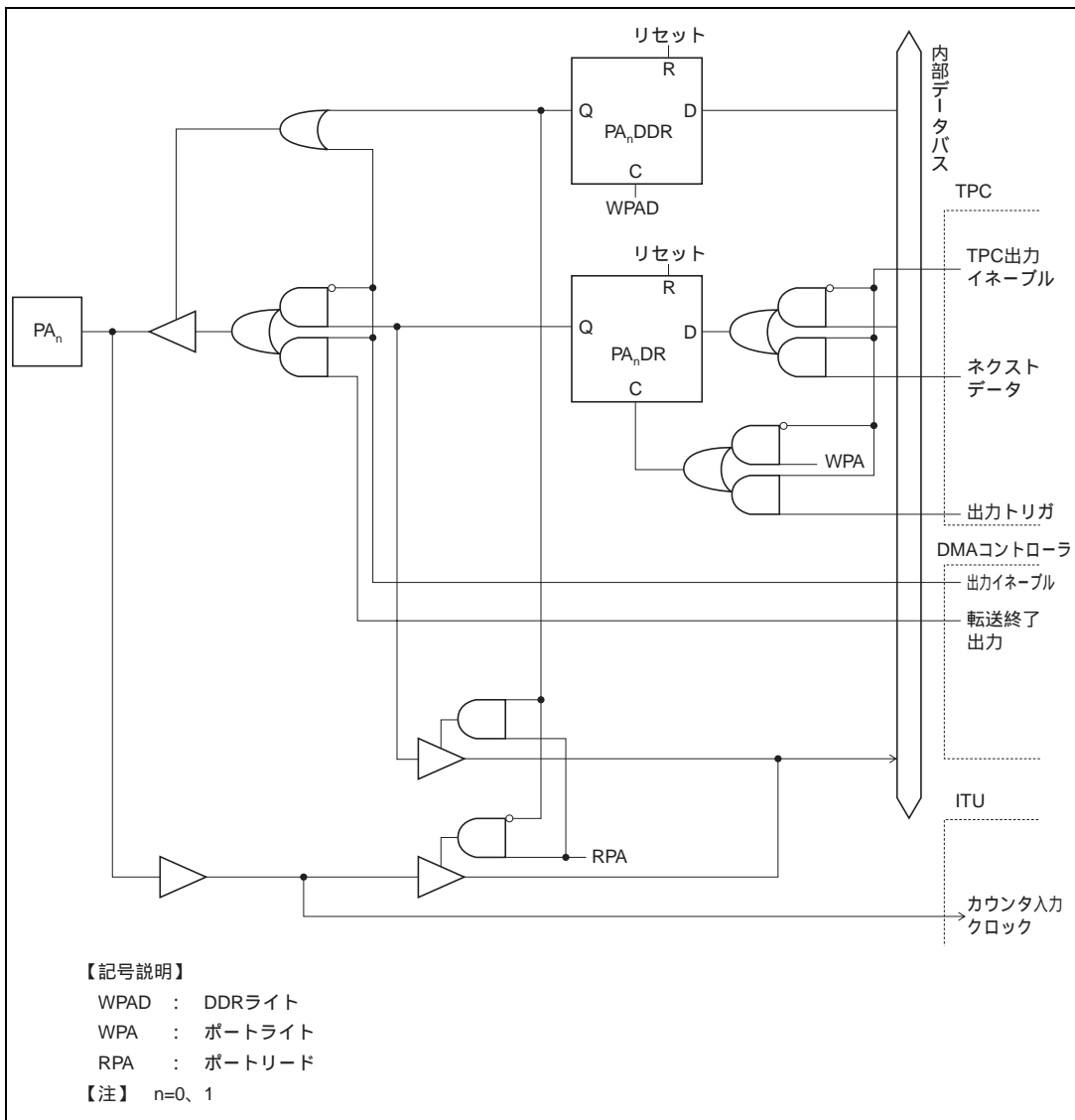


図 C.10 (a) ポート A ブロック図 (PA₀、PA₁端子)

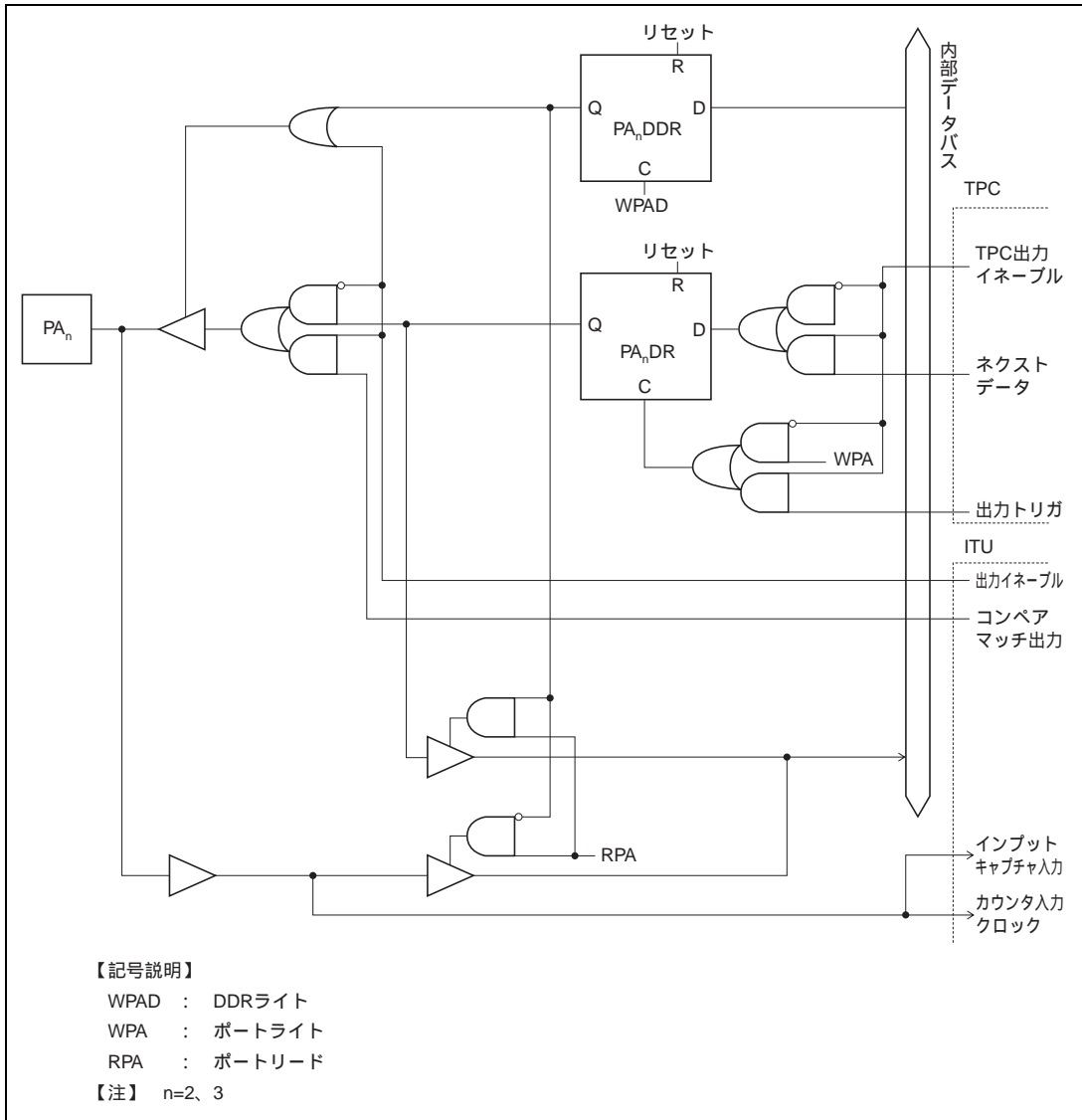


図 C.10 (b) ポート A ブロック図 (PA₂、PA₃ 端子)

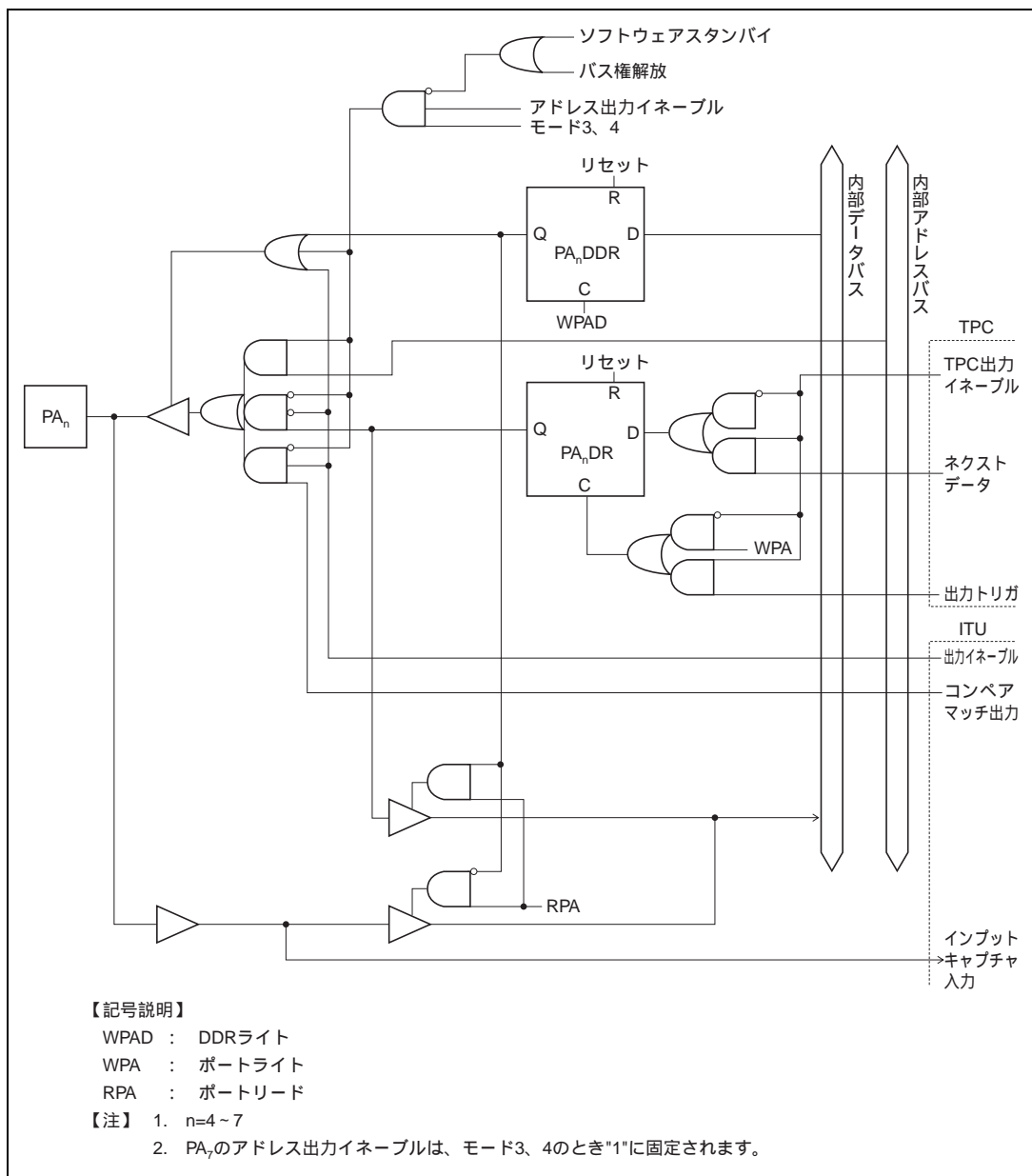


図 C.10 (c) ポート A ブロック図 (PA₄~PA₇端子)

C.11 ポート B ブロック図

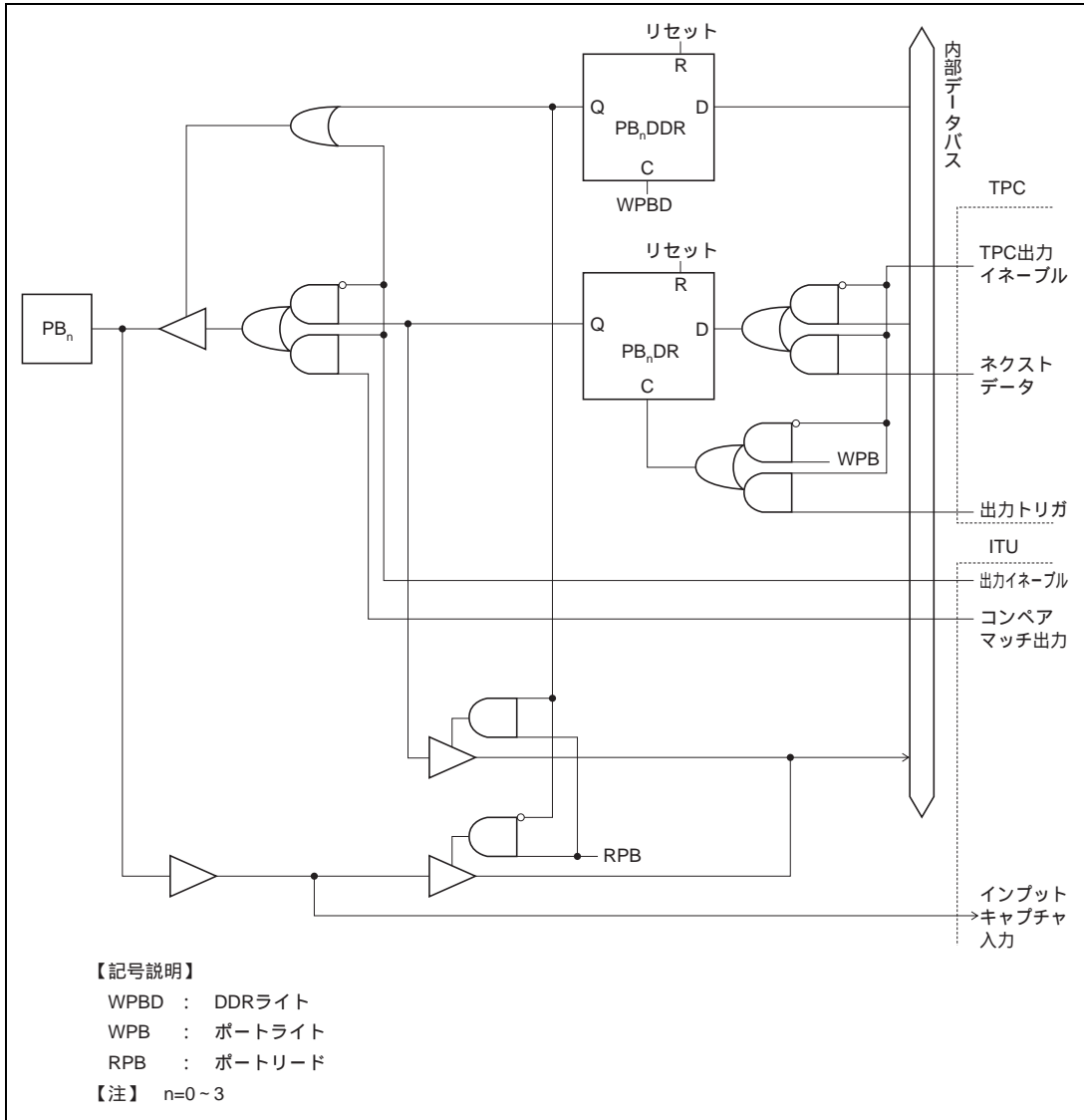


図 C.11 (a) ポート B ブロック図 (PB₀~PB₃ 端子)

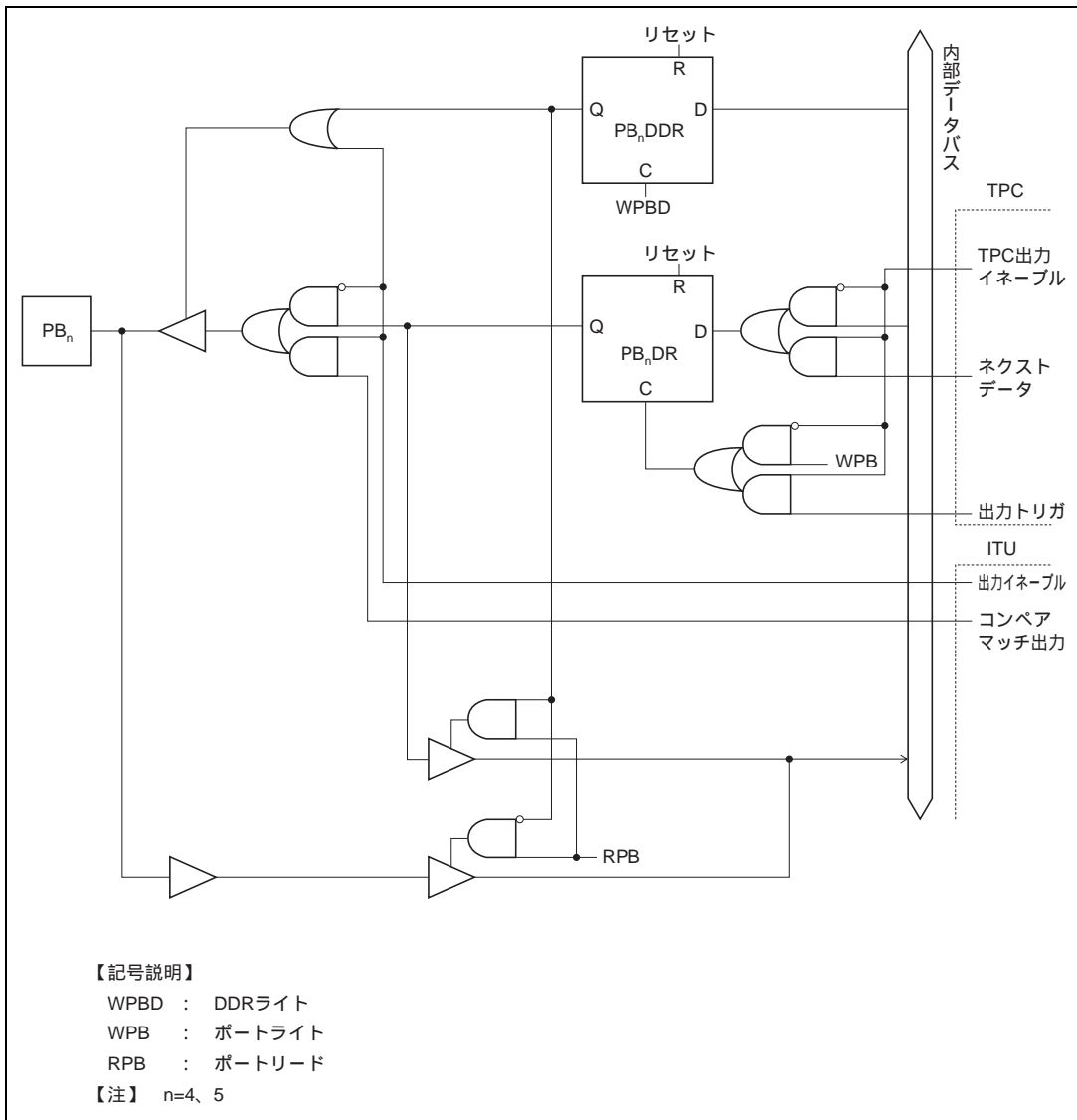


図 C.11 (b) ポート B ブロック図 (PB₄、PB₅ 端子)

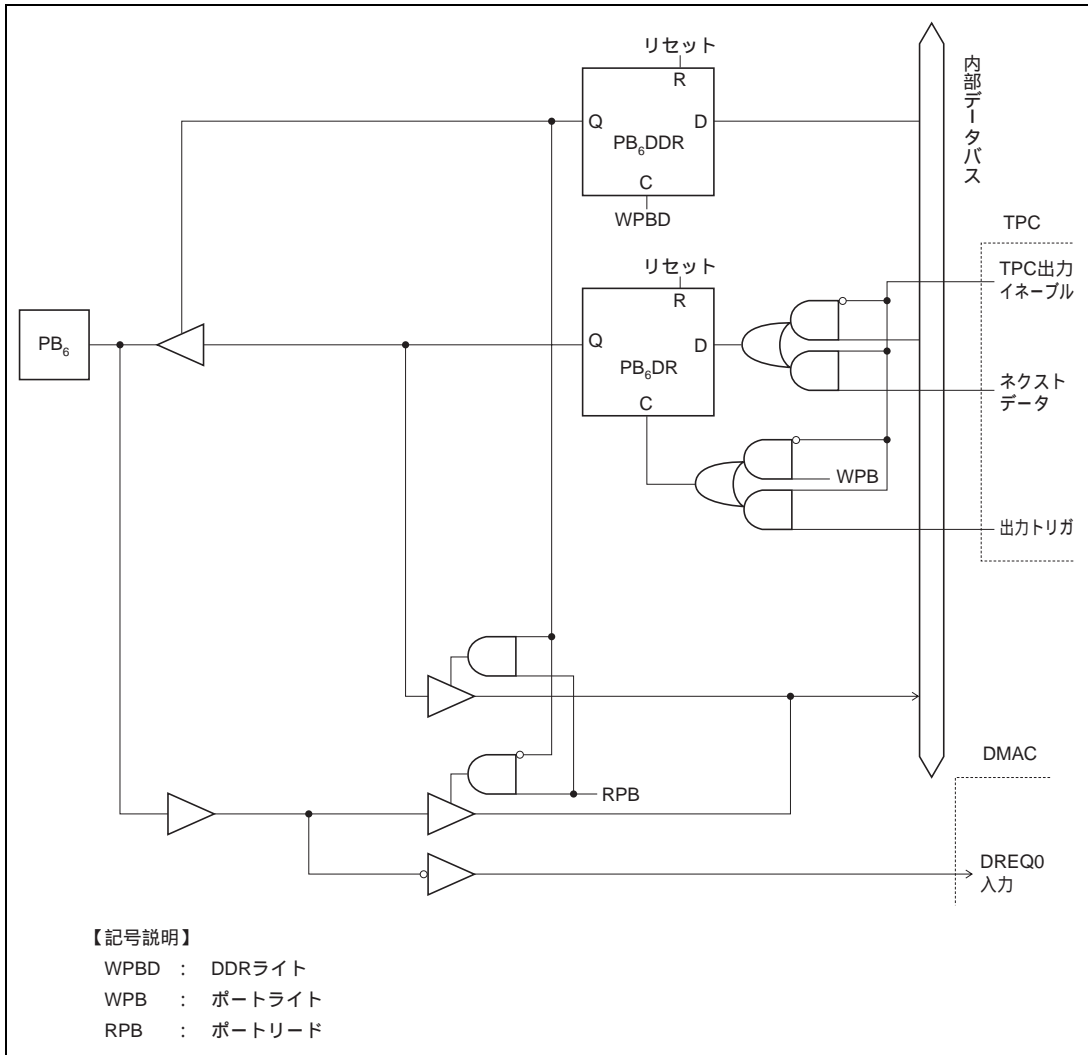


図 C.11 (c) ポート B ブロック図 (PB₆端子)

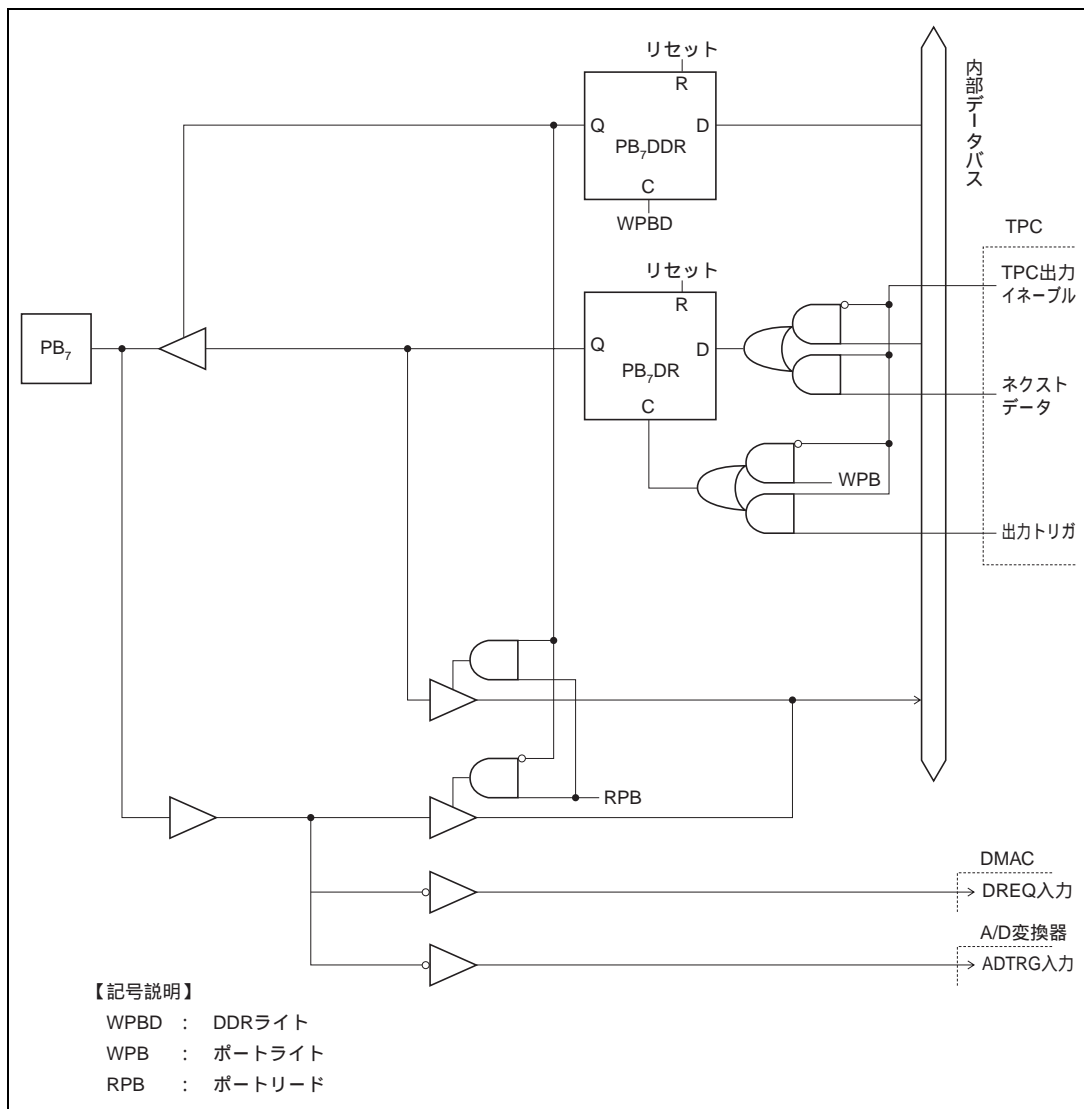


図 C.11 (d) ポート B ブロック図 (PB₇端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ϕ		クロック 出力	T	H	クロック出力	クロック出力	
RES \bar{O}		T ^{*3}	T	T	T	RES \bar{O}	
P1 $_7$ ~P1 $_0$	1~4	L	T	T	T	A $_7$ ~A $_0$	
	5	T	T	keep	T	[DDR=0] 入力ポート	
				T	T	[DDR=1] A $_7$ ~A $_0$	
6、7	T	T	keep		入出力ポート		
P2 $_7$ ~P2 $_0$	1~4	L	T	T	T	A $_{15}$ ~A $_8$	
	5	T	T	keep	T	[DDR=0] 入力ポート	
				T	T	[DDR=1] A $_{15}$ ~A $_8$	
6、7	T	T	keep		入出力ポート		
P3 $_7$ ~P3 $_0$	1~5	T	T	T	T	D $_{15}$ ~D $_8$	
	6、7	T	T	keep		入出力ポート	
P4 $_7$ ~P4 $_0$	1~5	8ビット バス	T	T	keep	keep	入出力ポート
		16ビット バス	T	T	T	T	D $_7$ ~D $_0$
	6、7	T	T	keep		入出力ポート	
P5 $_3$ ~P5 $_0$	1~4	L	T	T	T	A $_{19}$ ~A $_{16}$	
	5	T	T	keep	T	[DDR=0] 入力ポート	
				T	T	[DDR=1] A $_{19}$ ~A $_{16}$	
6、7	T	T	keep		入出力ポート		
P6 $_0$	1~5	T	T	keep	keep	入出力ポート WAIT	
	6、7	T	T	keep		入出力ポート	

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
P6 ₁	1~5	T	T	[BRLE = 0] keep [BRLE = 1] T	T	入出力ポート BREQ
	6、7	T	T	keep		入出力ポート
P6 ₂	1~5	T	T	[BRLE = 0] keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] BACK
	6、7	T	T	keep		入出力ポート
P6 ₆ ~ P6 ₃	1~5	H	T	T	T	\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}
	6、7	T	T	keep		入出力ポート
P7 ₅ ~ P7 ₀	1~7	T	T	T	T* ⁴	入力ポート
P7 ₇ ~ P7 ₆	1~7	T	T	T	keep* ⁴	入出力ポート
P8 ₀	1~5	T	T	[RFSHE = 0] keep [RFSHE = 1] \overline{RFSH}	[RFSHE = 0] keep [RFSHE = 1] H	[RFSHE = 0] 入出力ポート [RFSHE = 1] \overline{RFSH}
	6、7	T	T	keep		入出力ポート
P8 ₃ ~ P8 ₁	1~5	T	T	[DDR = 0] T [DDR = 1] H	keep	[DDR = 0] 入力ポート [DDR = 1] \overline{CS}_3 ~ \overline{CS}_1
	6、7	T	T	keep		入出力ポート
P8 ₄	1~4	L	T	[DDR = 0] T [DDR = 1] L	keep	[DDR = 0] 入力ポート [DDR = 1] \overline{CS}_0
	5	T	T	[DDR = 0] T [DDR = 1] L	keep	[DDR = 0] 入力ポート [DDR = 1] \overline{CS}_0
	6、7	T	T	keep		入出力ポート
P9 ₅ ~ P9 ₀	1~7	T	T	keep	keep* ⁴	入出力ポート
PA ₃ ~ PA ₀	1~7	T	T	keep	keep* ⁴	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PA ₆ ~ PA ₄	3、4	T	T	入出力 ポート* ¹	入出力 ポート* ²	[A23E/A22E/ A21E = 0] A23、A22、A21 [A23E/A22E/ A21E = 1] 入出力ポート
	1、2、5、6、7	T	T	keep	keep* ⁴	入出力ポート
PA ₇	3、4	T	T	入出力 ポート* ¹	入出力 ポート* ²	A ₂₀
	1、2、5、6、7	T	T	keep	keep* ⁴	入出力ポート
PB ₇ ~ PB ₀	1 ~ 7	T	T	keep	keep* ⁴	入出力ポート

【記号説明】

H : "High"レベル

L : "Low"レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

- 【注】 *1 このとき端子の状態は DDR に依存します。
*2 このとき端子の状態は ITU 出力イネーブルと DDR に依存します。
*3 WDT のオーバフローによるリセット時にのみ "Low" レベルを出力します。
*4 モード 6、7 では、バス権解放状態は存在しません。

D.2 リセット時の端子状態

(1) T1 ステートでのリセット

外部メモリアクセス中の T1 ステートで、 $\overline{\text{RES}}$ 端子が"Low"レベルになったときのタイミングを図 D.1 に示します。

$\overline{\text{RES}}$ 端子が"Low"レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が"High"レベル、データバスはハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が"Low"レベルをサンプリング (ϕ の立ち下がりでサンプリング) してから、0.5 ステート後に初期化されアドレスバスは"Low"レベル出力となります。

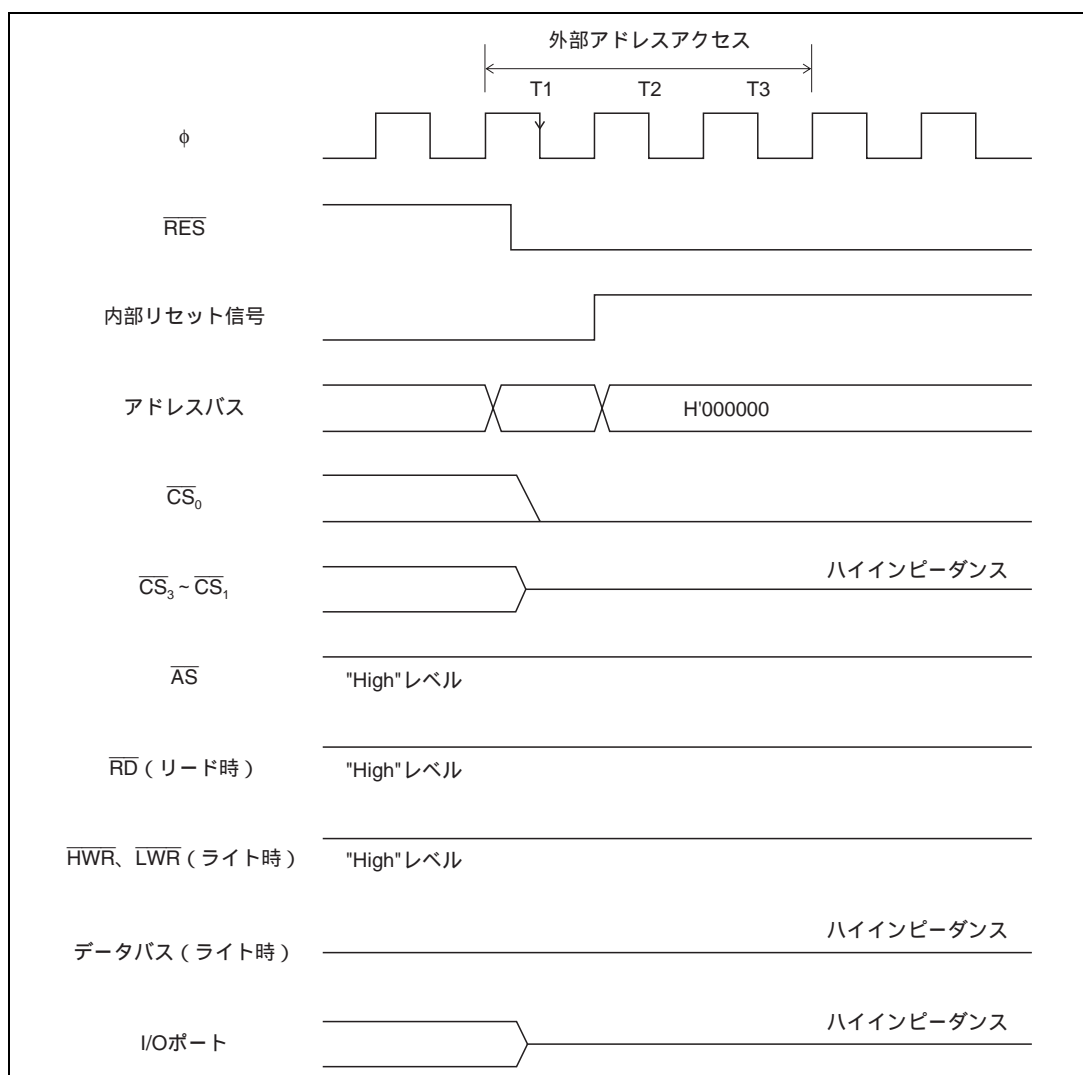


図 D.1 メモリアクセス中のリセット (T1 ステートでのリセット)

(2) T2 ステートでのリセット

外部メモリアクセス中の T2 ステートで、 $\overline{\text{RES}}$ 端子が"Low"レベルになったときのタイミングを図 D.2 に示します。

$\overline{\text{RES}}$ 端子が"Low"レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が"High"レベル、データバスはハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が"Low"レベルをサンプリングしてから、0.5 ステート後に初期化されアドレスバスは"Low"レベルとなります。

T_w サイクルでのリセットについても同様です。

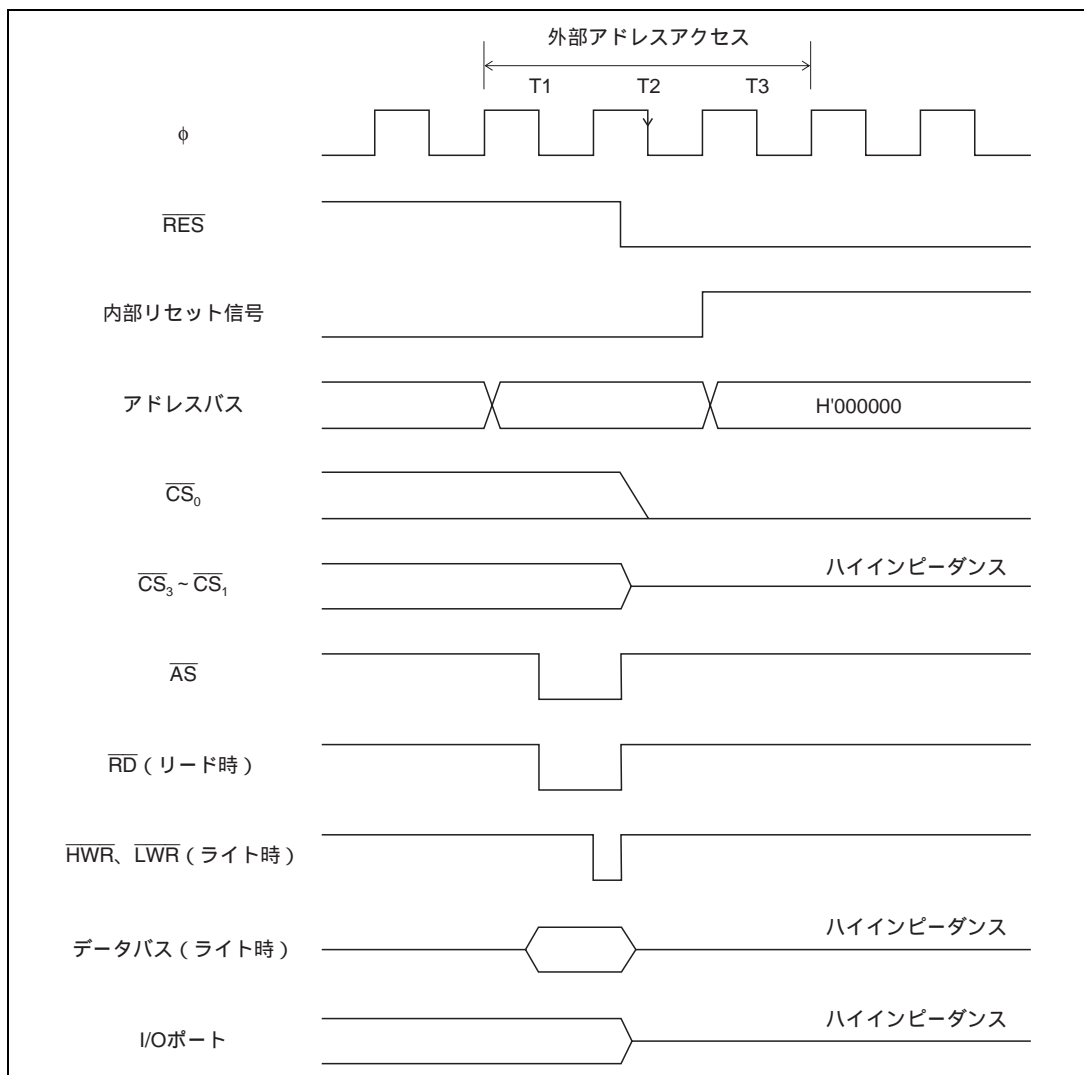


図 D.2 メモリアクセス中のリセット (T2 ステートでのリセット)

(3) T3 ステートでのリセット

外部 3 ステート空間アクセス中の T3 ステートで、 $\overline{\text{RES}}$ 端子が"Low"レベルになったときのタイミングを図 D.3 に示します。

$\overline{\text{RES}}$ 端子が"Low"レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ が"High"レベル、データバスはハイインピーダンスになります。

アドレスバスは T3 ステート中保持されます。

2 ステートアクセス空間の T2 ステートでのリセットについても同様です。

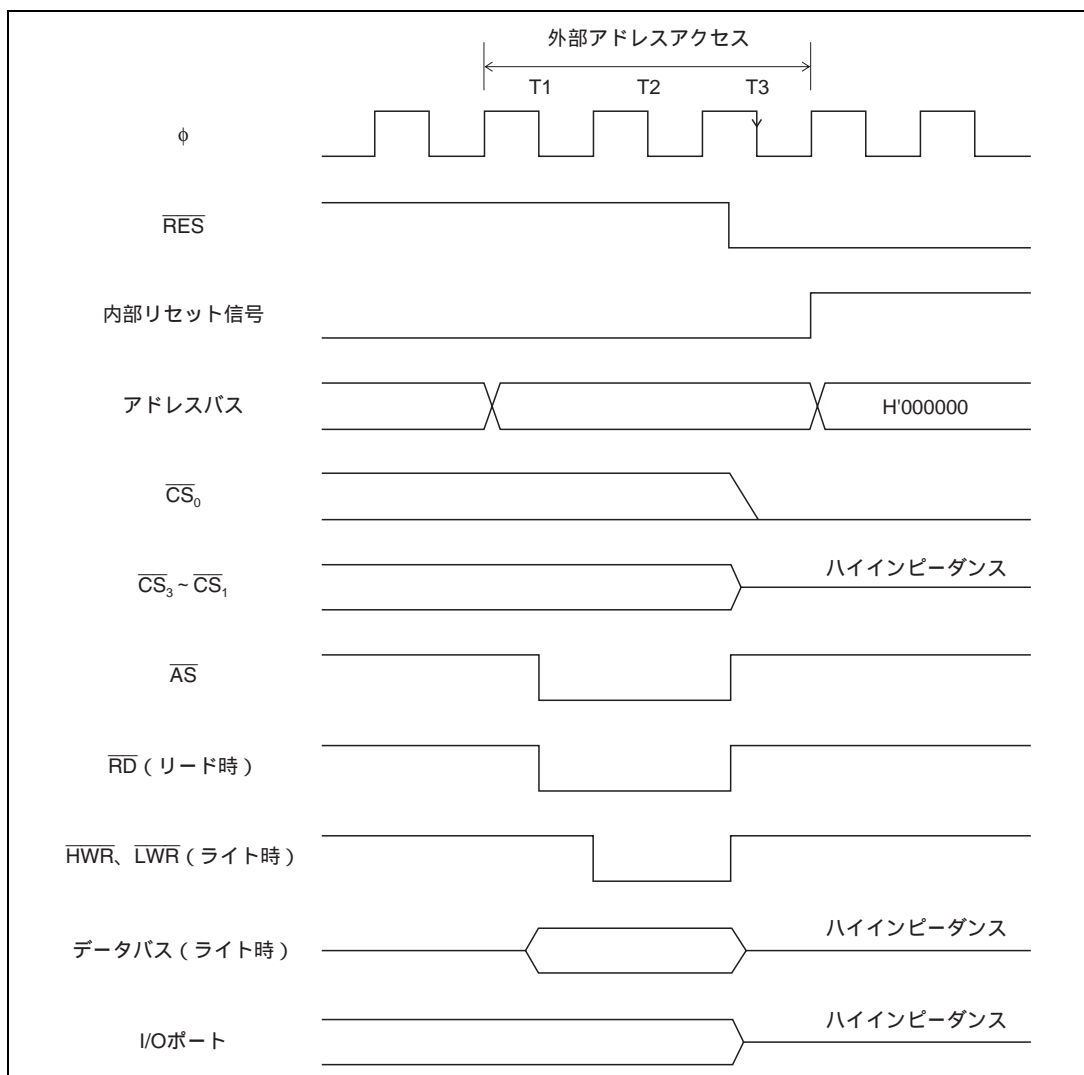


図 D.3 メモリアクセス中のリセット (T3 ステートでのリセット)

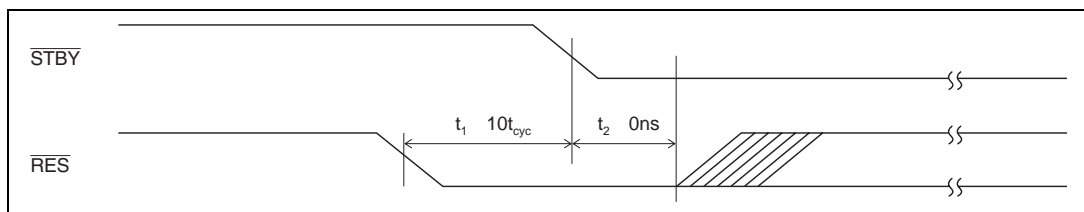
E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

- (1) SYSCR の RAME ビットを"1"にセットした状態で RAM の内容を保持する場合

下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を"Low"としてください。

また、 $\overline{\text{RES}}$ 信号の立ち下がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、min 0ns です。

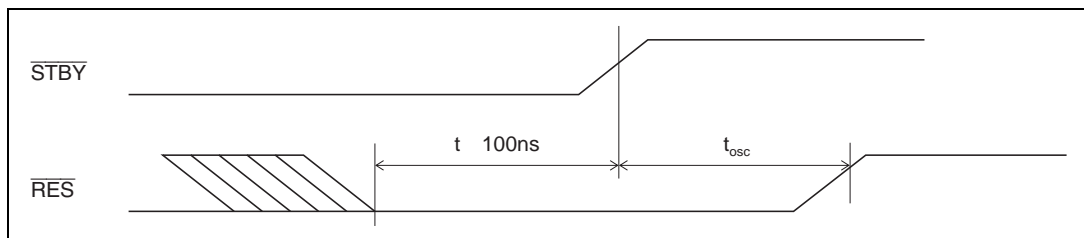


- (2) SYSCR の RAME ビットを"0"にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を"Low"にする必要はありません。

【ハードウェアスタンバイモードからの復帰タイミング】

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を"Low"としてください。



F. 外形寸法図

本 LSI の外形寸法図 FP-100B を図 F.1、TFP-100B を図 F.2、FP-100A を図 F.3 に示します。

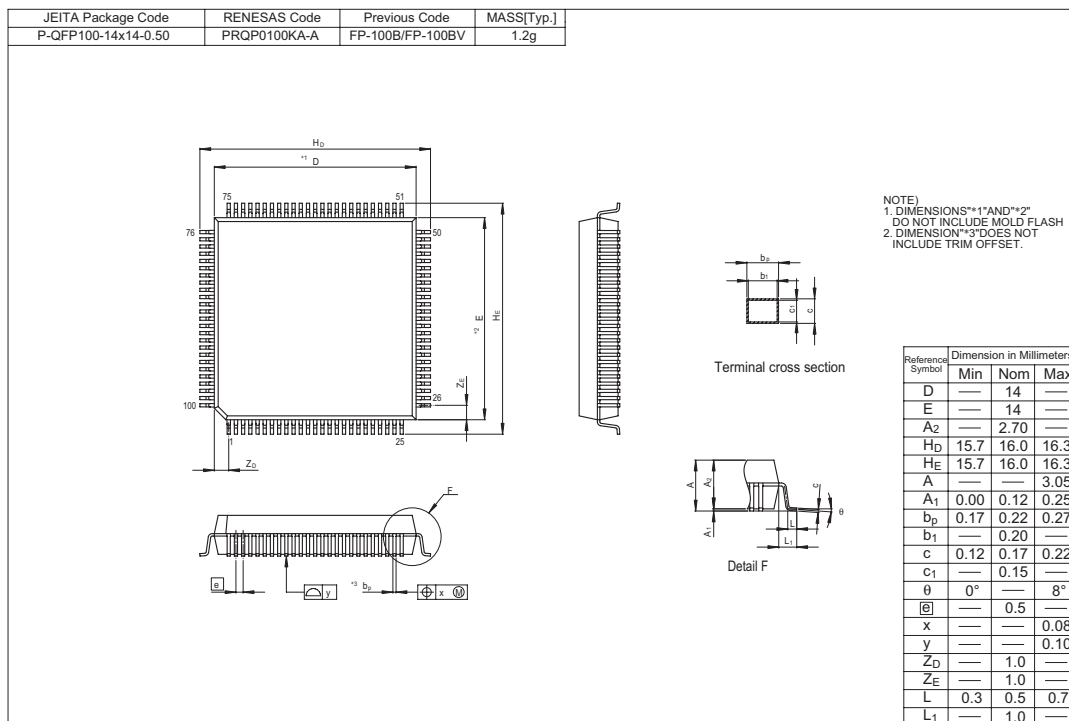


図 F.1 外形寸法図 (FP-100B) 単位 : mm

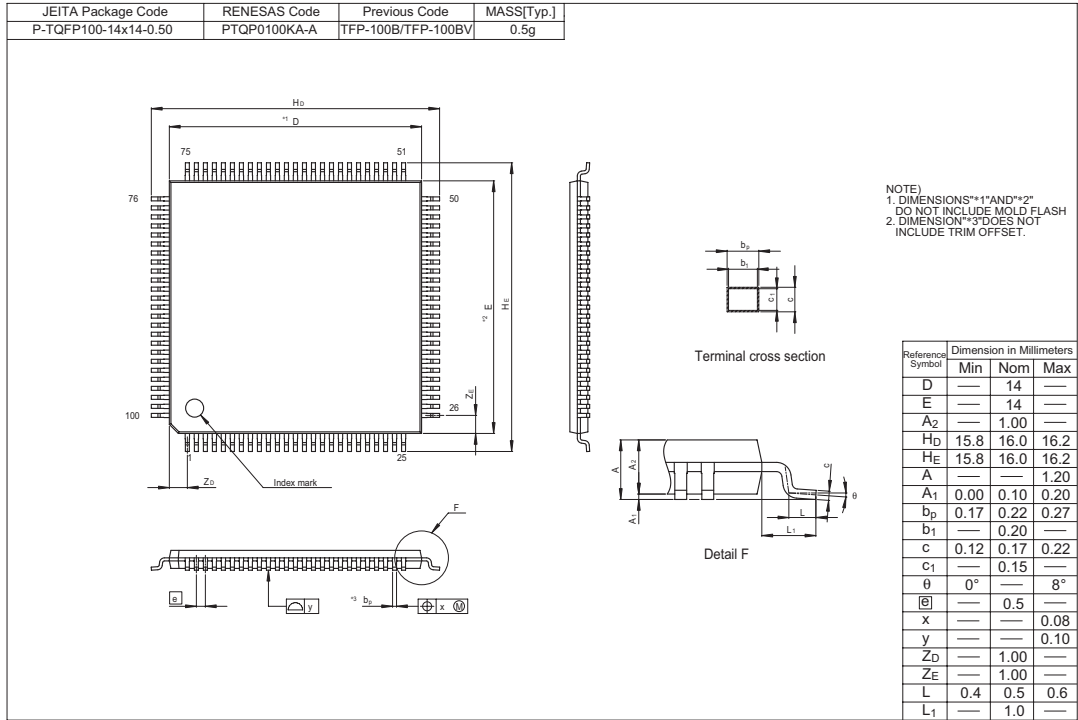


図 F.2 外形寸法図 (TFP-100B) 単位 : mm

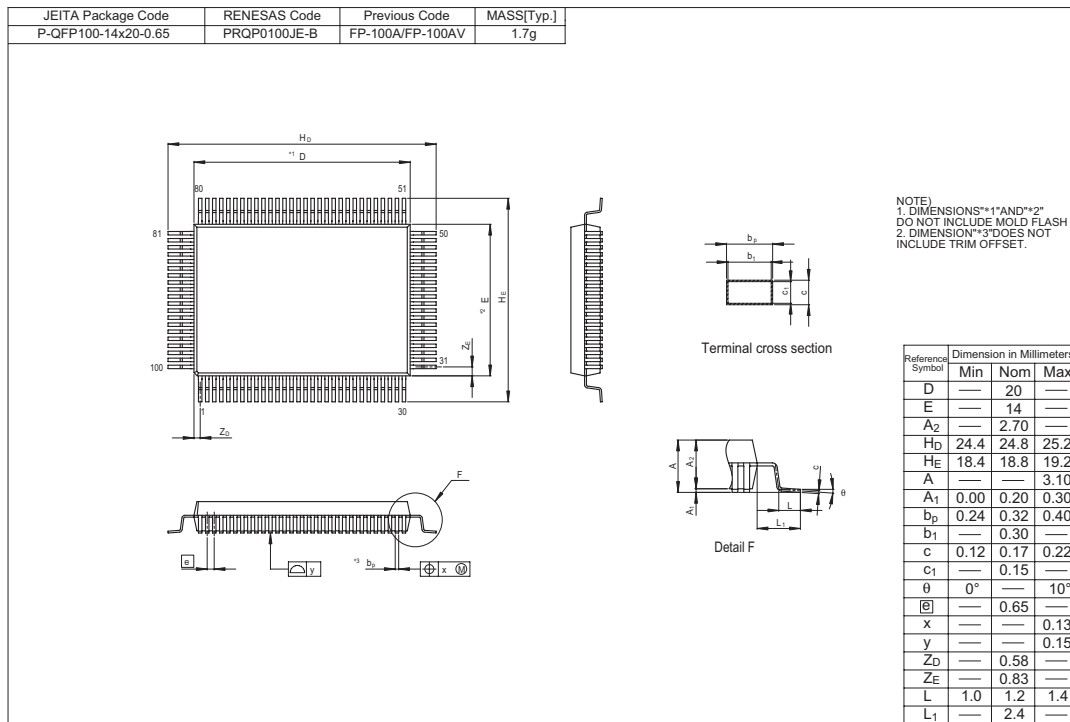


図 F.3 外形寸法図 (FP-100A) 単位 : mm

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/3042グループ

発行年月日 1993年10月 第1版
2006年9月8日 Rev.3.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京			社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	浜	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	北	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	わ	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	城	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	潟	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	本	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	部	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	西	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	陸	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	島	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	取	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/3042 グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0353-0300