

初级用户手册

78K0R/KG3

16 位单片机微控制器

μ PD78F1162

μ PD78F1163

μ PD78F1164

μ PD78F1165

μ PD78F1166

μ PD78F1167

μ PD78F1168

78K0R/KG3 具有片上调试功能。

大规模生产时不要使用本产品，因为在使用片上调试功能后，从 **flash** 存储器可重写的次数受到限制这一点来看，它的可靠性不能保证。NEC Electronics 不接受对于本产品的任何投诉。

[备忘录]

① 输入引脚处的电压波形

输入噪音或一个反射波引起的波形失真可能导致错误发生。如果由于噪音等的影响使CMOS设备的输入电压范围保持在 V_{IL} （最大值）和 V_{IH} （最小值）之间，设备可能发生错误。在输入电平固定时以及输入电平从 V_{IL} （最大值）过渡到 V_{IH} （最小值）时的传输期间，要防止散射噪声影响设备。

② 未使用的输入引脚的处理

CMOS设备的输入端保持开路可能导致误操作。如果一个输入引脚未被连接，则由于噪音等原因可能会产生内部输入电平，从而导致误操作。CMOS设备的操作特性与Bipolar或NMOS设备不同。CMOS设备的输入电平必须借助上拉或下拉电路固定在高电平或低电平。每一个未使用引脚都应该通过附加电阻连接到 V_{DD} 或GND。如果有可能尽量定义为输出引脚。对未使用引脚的处理因设备而异，必须遵循与设备相关的规定和说明。

③ ESD防护措施

如果MOS设备周围有强电场，将会击穿氧化栅极，从而影响设备的运行。因此必须采取措施，尽可能防止静电产生。一旦有静电，必须立即释放。对于环境必须有适当的控制。如果空气干燥，应当使用增湿器。建议避免使用容易产生静电的绝缘体。半导体设备的存放和运输必须使用抗静电容器、抗静电屏蔽袋或导电材料容器。所有的测试和测量工具包括工作台和工作面必须良好接地。操作员应当佩戴静电消除手带以保证良好接地。不能用手直接接触半导体设备。对于装配有半导体设备的PW板也应采取类似的静电防范措施。

④ 初始化之前的状态

在上电时MOS设备的初始状态是不确定的。在刚刚上电之后，具有复位功能的MOS设备并没有被初始化。因此上电不能保证输出引脚的电平，I/O设置和寄存器的内容。设备在收到复位信号后才进行初始化。具有复位功能的设备在上电后必须立即进行复位操作。

⑤ 电源开关顺序

在一个设备的内部操作和外部接口使用不同的电源的情况下，按照规定，应先在接通内部电源之后再接通外部电源。当关闭电源时，按照规定，先关闭外部电源再关闭内部电源。如果电源开关顺序颠倒，可能会导致设备的内部组件过电压，产生异常电流，从而引起内部组件的误操作和性能的退化。

对于每个设备电源的正确开关顺序必须依据设备的规范说明分别进行判断。

⑥ 电源关闭状态下的输入信号

不要向没有加电的设备输入信号或提供I/O上拉电源。因为输入信号或提供I/O上拉电源将引起电流注入，从而引起设备的误操作，并产生异常电流，从而使内部组件退化。

每个设备电源关闭时的信号输入必须依据设备的规范说明分别进行判断。

Windows 和 Windows NT 是 Microsoft Corporation 在美国/或其他国家的注册商标或商标。

PC/AT 是 International Business Machines Corporation 的商标。

EEPROM 是 NEC 电子公司的注册商标。

SuperFlash 是 Silicon Storage Technology, Inc 公司的注册商标。包括美国和日本在内的几个国家。

注意事项：该产品使用的 SuperFlash[®] 技术获得了 Silicon Storage Technology, Inc. 公司的授权。

- 本文档信息将来可能未经预先通知而更改。在实际进行生产设计时，请参阅各产品最新的数据表或数据手册等相关资料以获取本公司产品的最新规格。
- 并非所有的产品和/或型号都向每个国家供应。请向本公司销售代表查询产品供应及其他信息。
- 未经本公司事先书面许可，禁止复制或转载本文件中的内容。本文件所登载内容的错误，本公司概不负责。
- 本公司对于因使用本文件中列明的本公司产品而引起的，对第三者的专利、版权以及其它知识产权的侵权行为概不负责。本文件登载的内容不应视为本公司对本公司或其他人所有的专利、版权以及其它知识产权作出任何明示或默示的许可及授权。
- 本文件中的电路、软件以及相关信息仅用以说明半导体产品的运作和应用实例。用户如在设备设计中应用本文件中的电路、软件以及相关信息，应自行负责。对于用户或其他人因使用了上述电路、软件以及相关信息而引起的任何损失，本公司概不负责。
- 虽然本公司致力于提高半导体产品的质量及可靠性，但用户应同意并知晓，我们仍然无法完全消除出现产品缺陷的可能。为了最大限度地减少因本公司半导体产品故障而引起的对人身、财产造成损害（包括死亡）的危险，用户务必在其设计中采用必要的安全措施，如冗余度、防火和防故障等安全设计。
- 本公司产品质量分为：

“标准等级”、“专业等级”以及“特殊等级”三种质量等级。

“特殊等级”仅适用于为特定用途而根据用户指定的质量保证程序所开发的日电电子产品。另外，各种日电电子产品的推荐用途取决于其质量等级，详见如下。用户在选用本公司的产品时，请事先确认产品的质量等级。

“标准等级”：计算机，办公自动化设备，通信设备，测试和测量设备，音频·视频设备，家电，加工机械以及产业用机器人。

“专业等级”：运输设备（汽车、火车、船舶等），交通用信号控制设备，防灾装置，防止犯罪装置，各种安全装置以及医疗设备（不包括专门为维持生命而设计的设备）。

“特殊等级”：航空器械，宇航设备，海底中继设备，原子能控制系统，为了维持生命的医疗设备、用于维持生命的装置或系统等。

除在本公司半导体产品的数据表或数据手册等资料中另有特别规定以外，本公司半导体产品的质量等级均为“标准等级”。如果用户希望在本公司设计意图以外使用本公司半导体产品，务必事先与本公司销售代表联系以确认本公司是否同意为该项应用提供支持。

（注）

- （1）本声明中的“本公司”是指日本电气电子株式会社（NEC Electronics Corporation）及其控股公司。
- （2）本声明中的“本公司产品”是指所有由日本电气电子株式会社或为日本电气电子株式会社（定义如上）开发或制造的产品。

引言

读者对象

本手册适用于那些希望了解 **78K0R/KG3** 功能，并设计开发应用系统和程序的工程师。
目标产品如下。

78K0R/KG3: μ PD78F1162, 78F1163, 78F1164, 78F1165, 78F1166, 78F1167,
78F1168

目的

本手册用于帮助用户了解下面**组件**中描述的功能。

组件

78K0R/KG3 手册主要分为两个部分：手册和指令（与 **78K0R** 系列通用）。

78K0R/KG3 用户手册 (本手册)	78K0R 微控制器 用户手册 指令
-----------------------------------	---------------------------------

- 引脚功能
- 内部模块功能
- 中断
- 其它内置外设功能
- 电气特性（目标值）

- CPU 功能
- 指令集
- 指令扩展

手册使用方法

在阅读本手册前，读者应掌握电子工程、逻辑电路和微控制器等方面的一般知识。.

- 如果读者要了解产品功能：
→ 请按**目录**顺序阅读本手册。标记“<R>”为主要修订处。在 PDF 文件中只要将“<R>”复制到查找中，就可以很容易找到修订处。
- 如何解释寄存器格式：
→ 括号中的位名在 **RA78K0R** 中被定义为保留字，并且在 **CC78K0R** 中直接通过 **#pragma sfr** 定义为一个 **sfr** 变量。
- 如果读者希望了解 **78K0R** 系列指令的详细信息：
→ 可参阅 **78K0R 系列指令用户手册（U17792E）**。

规定	数据规则:	数据的高位部分在左边，低位部分在右边
	有效低电平表示法:	xxx (在引脚和信号名称上划一条线)
	注:	文中用 注 标注的相关术语的脚注
	注意事项:	需要特别关注的信息
	备注:	补充信息
	数的表示法:	二进制 ...xxxx 或 xxxxB
		十进制 ...xxxx
		十六进制 ...xxxxH

相关文档 本手册中指出的相关文档可能包括了初级的版本，但未注明。

设备文档

文档名称	文档编号
78K0R/KG3 用户手册	本手册
78K0R 微控制器指令用户手册	U17792E

开发工具的相关文档 (软件) (用户手册)

文档名称	文档编号
CC78K0R Ver. 1.00 C 编译器	操作
	语言
RA78K0R Ver. 1.00 汇编包	操作
	语言
SM+ 系统模拟器	操作
PM+ Ver. 6.20	U17990E
ID78K0R-QB Ver. 3.20 集成调试器	操作
	U17839E

开发工具的相关文档 (硬件) (用户手册)

文档名称	文档编号
QB-MINI2 具有编程功能的片上调试仿真器	U18371E
QB-78K0RKX3 在线仿真器	U17866E

与 Flash 存储器编程相关文档

文档名称	文档编号
PG-FP4 Flash 存储器编程器用户手册	U15260E

注意事项 对以上列出的相关文档所做修改恕不另行通知，在设计时请使用每个文档的最新版本。

其他文档

文档名称	文档编号
半导体选择指南—产品和封装—	X13769X
半导体设备安装手册	注
NEC 半导体设备质量等级	C11531E
NEC 半导体设备可靠性/质量控制系统	C10983E
半导体设备防静电 ESD 保护指南	C11892E

注 浏览“半导体设备安装手册”网站(<http://www.necel.com/pkg/en/mount/index.html>)。

注意事项 对以上列出的相关文档所做修改恕不另行通知，在设计时请使用每个文档的最新版本。

目录

第一章 概述	17
1.1 特性	17
1.2 应用	18
1.3 订购信息	18
1.4 引脚配置 (俯视图).....	19
1.5 78K0R 系列单片机列表	22
1.6 框图	23
1.7 功能概述	24
第二章 引脚功能.....	26
2.1 引脚功能列表	26
2.2 引脚功能描述	32
2.2.1 P00~P06 (端口 0)	32
2.2.2 P10~P17 (端口 1)	33
2.2.3 P20~P27 (端口 2)	34
2.2.4 P30, P31 (端口 3).....	34
2.2.5 P40~P47 (端口 4)	35
2.2.6 P50~P57 (端口 5)	36
2.2.7 P60~P67 (端口 6)	37
2.2.8 P70~P77 (端口 7)	37
2.2.9 P80~P87 (端口 8)	38
2.2.10 P110, P111 (端口 11).....	38
2.2.11 P120~P124 (端口 12)	38
2.2.12 P130, P131 (端口 13).....	39
2.2.13 P140~P145 (端口 14)	40
2.2.14 P150~P157 (端口 15)	41
2.2.15 AVREF0	41
2.2.16 AVREF1	41
2.2.17 AVSS	41
2.2.18 RESET	41
2.2.19 REGC.....	42
2.2.20 VDD, EVDD0, EVDD1	42
2.2.21 VSS, EVSS0, EVSS1	42
2.2.22 FLMD0	42
2.3 引脚 I/O 电路和未使用引脚的推荐连接方式	43
第三章 CPU 结构	48
3.1 存储器空间.....	48
3.1.1 内部程序存储器空间	58
3.1.2 镜像区域.....	60
3.1.3 内部数据存储器空间	61
3.1.4 特殊功能寄存器 (SFR) 区域	62
3.1.5 扩展特殊功能寄存器 (第二 SFR: 第二特殊功能寄存器) 区域	62

3.1.6 数据存储器寻址	63
3.2 处理器寄存器	70
3.2.1 控制寄存器	70
3.2.2 通用寄存器	72
3.2.3 ES 和 CS 寄存器	74
3.2.4 特殊功能寄存器 (SFRs)	75
3.2.5 扩展特殊功能寄存器 (第二 SFR: 第二特殊功能寄存器)	81
3.3 指令地址 寻址	87
3.3.1 相对寻址	87
3.3.2 立即寻址	87
3.3.3 表间接寻址	88
3.3.4 寄存器 直接 寻址	89
3.4 处理数据地址寻址	90
3.4.1 隐含寻址	90
3.4.2 寄存器 寻址	90
3.4.3 直接寻址	91
3.4.4 短直接寻址	92
3.4.5 SFR 寻址	93
3.4.6 寄存器间接寻址	94
3.4.7 基址 寻址	95
3.4.8 基址变址 寻址	98
3.4.9 堆栈寻址	99
第四章 端口功能	100
4.1 端口 功能	100
4.2 端口 配置	103
4.2.1 端口 0	104
4.2.2 端口 1	110
4.2.3 端口 2	116
4.2.4 端口 3	117
4.2.5 端口 4	119
4.2.6 端口 5	127
4.2.7 端口 6	129
4.2.8 端口 7	132
4.2.9 端口 8	133
4.2.10 端口 11	134
4.2.11 端口 12	135
4.2.12 端口 13	138
4.2.13 端口 14	140
4.2.14 端口 15	144
4.3 控制端口功能的寄存器	145
4.4 端口 功能 操作	152
4.4.1 写入 I/O 端口	152
4.4.2 从 I/O 端口读	152
4.4.3 I/O 端口操作	152
4.4.4 以不同的供电电压 (3 V) 连接到外部设备	153
4.5 使用复用 功能时端口模式寄存器和 输出锁存的设置	155
4.6 端口寄存器 n (Pn) 的 1 位操作指令的注意事项	158

第五章 外部总线接口	159
5.1 外部总线接口的功能.....	159
5.2 控制外部总线接口功能的寄存器.....	165
5.3 设置端口模式寄存器和输出锁存器	168
5.4 指令等待时钟或数据访问的数目	169
5.5 获取访问的指令等待时钟的数目	169
5.6 外部总线接口功能的时序	170
5.6.1 复用总线模式.....	171
5.6.2 独立总线模式.....	175
5.7 连接到存储器的示例.....	179
5.7.1 外部逻辑的连接 (ASIC, 等).....	179
5.7.2 同步存储器的连接	179
5.7.3 异步存储器的连接	180
第六章 时钟发生器.....	181
6.1 时钟发生器的功能.....	181
6.2 时钟发生器的配置.....	182
6.3 控制时钟发生器的寄存器.....	184
6.4 系统时钟振荡器	197
6.4.1 X1 振荡器	197
6.4.2 XT1 振荡器	197
6.4.3 内部高速振荡器	200
6.4.4 内部低速振荡器	200
6.4.5 预分频器.....	200
6.5 时钟发生器操作	201
6.6 控制时钟	205
6.6.1 控制高速系统时钟的示例.....	205
6.6.2 控制内部高速振荡时钟示例	208
6.6.3 控制副系统时钟示例	210
6.6.4 控制内部低速振荡时钟示例	212
6.6.5 CPU 时钟状态转换图.....	213
6.6.6 CPU 时钟切换之前的状况与切换之后的处理	218
6.6.7 CPU 时钟和主系统时钟切换所需的时间	219
6.6.8 时钟振荡停止前的状况	220
第七章 定时器阵列单元.....	221
7.1 定时器阵列单元的功能	221
7.1.1 独立操作时每通道的功能.....	221
7.1.2 和其他通道操作时每个通道的功能	222
7.1.3 LIN 总线支持功能(仅限于通道 7)	222
7.2 定时器阵列单元的配置	223
7.3 控制定时器阵列单元的寄存器.....	228
7.4 通道输出 (TO0n 引脚) 控制	249
7.4.1 TO0n 引脚输出电路配置.....	249
7.4.2 TO0n 引脚输出设置	250
7.4.3 通道输出操作的注意事项.....	250
7.4.4 TO0n 位的集中操作	254

7.4.5 定时器中断和操作开始时 TO0n 引脚输出	255
7.5 通道输入 (TI0n 引脚)控制.....	256
7.5.1 TI0n 沿检测电路.....	256
7.6 定时器阵列单元的基本功能.....	257
7.6.1 独立操作功能和组合操作功能的概述.....	257
7.6.2 组合操作功能的基本规则.....	257
7.6.3 组合操作功能的基本规则应用范围	258
7.7 定时器阵列单元作为通道的操作.....	259
7.7.1 作为间隔定时器/方波输出操作	259
7.7.2 作为外部事件计数器操作.....	263
7.7.3 用作分频操作	266
7.7.4 作为输入脉冲间隔测量操作	270
7.7.5 用作输入信号高/低电平宽度测量操作.....	274
7.8 定时器阵列单元的多通道操作	278
7.8.1 作为 PWM 功能操作.....	278
7.8.2 作为单脉冲输出功能操作.....	285
7.8.3 作为多路 PWM 输出功能操作	292
第八章 实时计数器.....	299
8.1 实时计数器的功能	299
8.2 实时计数器的配置	299
8.3 控制实时计数器的寄存器.....	301
8.4 实时计数器操作	313
8.4.1 启动实时计数器的操作.....	313
8.4.2 读/写实时计数器.....	314
8.4.3 设置实时计数器报警.....	316
第九章 看门狗定时器.....	317
9.1 看门狗定时器的功能.....	317
9.2 看门狗定时器的配置.....	318
9.3 控制看门狗定时器的寄存器.....	319
9.4 看门狗定时器的操作.....	320
9.4.1 看门狗定时器的控制操作.....	320
9.4.2 看门狗定时器溢出时间的设置	321
9.4.3 看门狗定时器窗口打开周期的设置	322
9.4.4 设置看门狗定时器间隔中断	323
第十章 时钟输出/蜂鸣器输出控制器	324
10.1 时钟输出/蜂鸣器输出控制器的功能.....	324
10.2 时钟输出/蜂鸣器输出控制器的配置	325
10.3 控制时钟输出/蜂鸣器输出控制器的寄存器.....	325
10.4 时钟输出/蜂鸣器输出控制器的操作	327
10.4.1 作为输出引脚操作	327
第十一章 A/D 转换器.....	328
11.1 A/D 转换器的功能.....	328
11.2 A/D 转换器的配置.....	329

11.3 A/D 转换器使用的寄存器	331
11.4 A/D 转换器操作	339
11.4.1 A/D 转换器的基本操作	339
11.4.2 输入电压和转换结果	341
11.4.3 A/D 转换器 操作模式	342
11.5 A/D 转换器特征表的阅读方法	344
11.6 A/D 转换器的注意事项	346
 第十二章 D/A 转换器	 350
12.1 D/A 转换器的功能	350
12.2 D/A 转换器的配置	350
12.3 D/A 转换器中使用的寄存器	351
12.4 D/A 转换器的操作	353
12.4.1 在普通模式下操作	353
12.4.2 在实时输出模式下操作	353
12.4.3 注意事项	354
 第十三章 串行阵列单元	 355
13.1 串行阵列单元的功能	355
13.1.1 3 线串行 I/O (CSI00, CSI01, CSI10, CSI20)	355
13.1.2 UART (UART0, UART1, UART2, UART3)	356
13.1.3 简易 I ² C (IIC10, IIC20)	356
13.2 串行阵列单元的配置	357
13.3 控制串行阵列单元的寄存器	362
13.4 3 线串行 I/O(CSI00, CSI01, CSI10, CSI20)通信操作	384
13.4.1 主发送	385
13.4.2 主接收	394
13.4.3 主发送/接收	400
13.4.4 从发送	408
13.4.5 从接收	417
13.4.6 从发送/接收	423
13.4.7 计算发送时钟频率	432
13.5 UART (UART0, UART1, UART2, UART3) 通信操作	434
13.5.1 UART 发送	435
13.5.2 UART 接收	445
13.5.3 LIN 发送	452
13.5.4 LIN 接收	455
13.5.5 计算波特率	460
13.6 简易 I ² C (IIC10, IIC20) 通信操作	464
13.6.1 发送地址区域	465
13.6.2 数据发送	470
13.6.3 数据接收	473
13.6.4 停止条件的产生	476
13.6.5 计算发送率	477
13.7 错误的处理程序	480

第十四章 串行接口 IIC0	482
14.1 串行接口 IIC0 的功能	482
14.2 串行接口 IIC0 的配置	485
14.3 控制串行接口 IIC0 的寄存器	488
14.4 I²C 总线模式功能	500
14.4.1 引脚配置	500
14.5 I²C 总线定义和控制方法	501
14.5.1 起始条件	501
14.5.2 地址	502
14.5.3 传送方向指示	502
14.5.4 发送时钟设置方法	503
14.5.5 应答信号 (ACK)	504
14.5.6 停止条件	506
14.5.7 等待	507
14.5.8 取消等待	509
14.5.9 中断请求 (INTIIC0)产生时序和等待控制	510
14.5.10 地址相等的检测方法	511
14.5.11 错误检测	511
14.5.12 扩展码	511
14.5.13 仲裁	512
14.5.14 唤醒功能	513
14.5.15 通信预约	514
14.5.16 注意事项	518
14.5.17 通信操作	519
14.5.18 产生 I ² C 中断请求(INTIIC0)的时序	527
14.6 时序图	548
第十五章 乘法器	555
15.1 乘法器的功能	555
15.2 乘法器的配置	556
15.3 乘法器的操作	557
第十六章 DMA 控制器	558
16.1 DMA 控制器功能	558
16.2 DMA 控制器的配置	559
16.3 控制 DMA 控制器的寄存器	562
16.4 DMA 控制器的操作	565
16.4.1 操作顺序	565
16.4.2 传输模式	566
16.4.3 DMA 传输中止	566
16.5 DMA 控制器设置的实例	567
16.5.1 CSI 连续发送	567
16.5.2 A/D 转换结果的连续捕捉	569
16.5.3 UART 连续接收 + ACK 发送	571
16.5.4 通过 DWAITn 保持 DMA 传输挂起	573
16.5.5 软件强行中止	574

16.6 使用 DMA 控制器的注意事项	575
第十七章 中断功能	577
17.1 中断功能的类型	577
17.2 中断源及配置	578
17.3 控制中断功能的寄存器	581
17.4 中断服务操作	591
17.4.1 可屏蔽的中断响应	591
17.4.2 软件中断请求响应	593
17.4.3 中断嵌套	594
17.4.4 保持中断请求	597
第十八章 按键中断功能	598
18.1 按键中断的功能	598
18.2 按键中断的配置	598
18.3 控制按键中断的寄存器	599
第十九章 待机功能	600
19.1 待机功能及配置	600
19.1.1 待机功能	600
19.1.2 控制待机功能的寄存器	600
19.2 待机功能的操作	603
19.2.1 HALT 模式	603
19.2.2 STOP 模式	608
第二十章 复位功能	614
20.1 确认复位源的寄存器	622
第二十一章 上电清零电路	623
21.1 上电清零电路的功能	623
21.2 上电清零电路的配置	624
21.3 上电清零电路的操作	624
21.4 上电清零电路使用注意事项	627
第二十二章 低电压检测电路	629
22.1 低电压检测电路的功能	629
22.2 低电压检测电路的配置	630
22.3 控制低电压检测电路的寄存器	630
22.4 低电压检测电路的操作	635
22.4.1 用于复位	636
22.4.2 用于中断	642
22.5 低电压检测电路的注意事项	648
第二十三章 校准器	652
23.1 校准器概述	652

23.2 控制校准器的寄存器	652
第二十四章 选项字节	654
24.1 选项字节的功能	654
24.1.1 用户选项字节 (000C0H~ 000C2H/010C0H ~010C2H).....	654
24.1.2 片上调试选项字节 (000C3H/ 010C3H).....	655
24.2 用户选项字节的格式	655
24.3 片上调试选项字节的格式.....	657
24.4 选项字节的设置	657
第二十五章 FLASH 存储器.....	658
25.1 用 Flash 存储器编程器写入.....	658
25.2 编程环境	661
25.3 通信模式	661
25.4 On Board 方式的引脚连接	662
25.4.1 FLMD0 引脚	662
25.4.2 TOOL0 引脚	663
25.4.3 RESET 引脚.....	663
25.4.4 端口引脚.....	663
25.4.5 REGC 引脚	664
25.4.6 X1 和 X2 引脚.....	664
25.4.7 供电电压.....	664
25.5 控制 Flash 存储器的寄存器	664
25.6 编程方法	665
25.6.1 控制 flash 存储器.....	665
25.6.2 Flash 存储器编程模式	665
25.6.3 选择通信模式	666
25.6.4 通信命令.....	666
25.7 安全设置	668
25.8 通过自编程进行 Flash 存储器编程.....	670
25.8.1 引导交换功能	672
25.8.2 Flash 封闭窗口功能	674
第二十六章 片上调试功能	675
26.1 连接 QB-MINI2 到 78K0R/KG3.....	675
26.2 片上调试安全 ID.....	676
26.3 用户源的安全.....	676
第二十七章 BCD 修正电路	678
27.1 BCD 修正电路功能	678
27.2 BCD 修正电路使用的寄存器	678
27.3 BCD 修正电路操作	679
第二十八章 指令集.....	681
28.1 操作列表使用规则	681
28.1.1 操作数标识符和标识方法.....	681

28.1.2 操作栏描述.....	682
28.1.3 标志操作栏的描述.....	683
28.1.4 PREFIX 指令.....	683
28.2 操作列表	684
第二十九章 电气特性 (目标).....	701
第三十章 封装图.....	725
附录 A 开发工具.....	727
A.1 软件包	730
A.2 语言处理软件	730
A.3 控制软件.....	731
A.4 Flash 存储器编程工具	731
A.4.1 当使用 flash 存储器编程器 FG-FP4 和 FL-PR4.....	731
A.4.2 当使用具有编程功能的片上调试仿真器 QB-MINI2	731
A.5 调试工具 (硬件).....	732
A.5.1 当使用在线仿真器 QB-78K0RKX3	732
A.5.2 当使用具有编程功能的片上调试仿真器 QB-MINI2 时	733
A.6 调试工具 (软件).....	733
附录 B 修订历史.....	734
B.1 本版中的主要修订之处.....	734
B.2 以前版本的修订历史	737

第一章 概述

1.1 特性

- 指令最短执行时间可以在高速(0.05 μ s: @高速系统时钟的操作频率为 20 MHz) 和超低速(61 μ s: @子系统时钟的操作频率为 32.768 kHz)之间改变
- 通用寄存器: 8 位× 32 寄存器(8 位× 8 寄存器 × 4 bank)
- ROM, RAM 容量

产品型号 \ 项目	程序存储器 (ROM)		数据存储器 (RAM)
μ PD78F1162 ^注	Flash 存储器	64 KB	4 KB
μ PD78F1163 ^注		96 KB	6 KB
μ PD78F1164 ^注		128 KB	8 KB
μ PD78F1165 ^注		192 KB	10 KB
μ PD78F1166 ^注		256 KB	12 KB
μ PD78F1167 ^注		384 KB	24 KB
μ PD78F1168 ^注		512 KB	30 KB

注 开发中

- 内置单电源 flash 存储器(芯片擦除/ block 擦除/写入功能禁止)
- 自编程 (具有引导交换功能/flash 简易窗口功能)
- 片上调试功能
- 内置上电清零电路 (POC) 和低电压检测电路 (LVI)
- 内置看门狗定时器 (工作在片上内部低速振荡时钟)
- 内置乘法器 (16 位 × 16 位)
- 内置按键中断功能
- 内置时钟 输出/蜂鸣器 输出控制器
- 片上 BCD 调整
- I/O 端口: 88 (N 沟道开漏: 4)
- 定时器: 10 通道
 - 16 位定时器: 8 通道
 - 看门狗定时器: 1 通道
 - 实时计数器: 1 通道
- 串行接口
 - CSI: 2 通道/UART: 1 通道
 - CSI: 1 通道/UART: 1 通道/简易 I²C: 1 通道
 - CSI: 1 通道/UART: 1 通道/简易 I²C: 1 通道
 - UART (支持 LIN 总线): 1 通道
 - I²C: 1 通道
- 10 位分辨率 A/D 转换器(AV_{REF0} = 2.3~5.5 V): 16 通道
- 8 位分辨率 D/A 转换器(AV_{REF1} = 1.8~5.5 V): 2 通道
- 供电电压: V_{DD} = 1.8~5.5 V
- 工作环境温度: T_A = -40~+85°C

1.2 应用

- 家用电器
 - 激光打印机马达
 - 洗衣机
 - 空调设备
 - 冰箱
- 家庭音响系统
- 数码相机，数码摄像机

1.3 订购信息

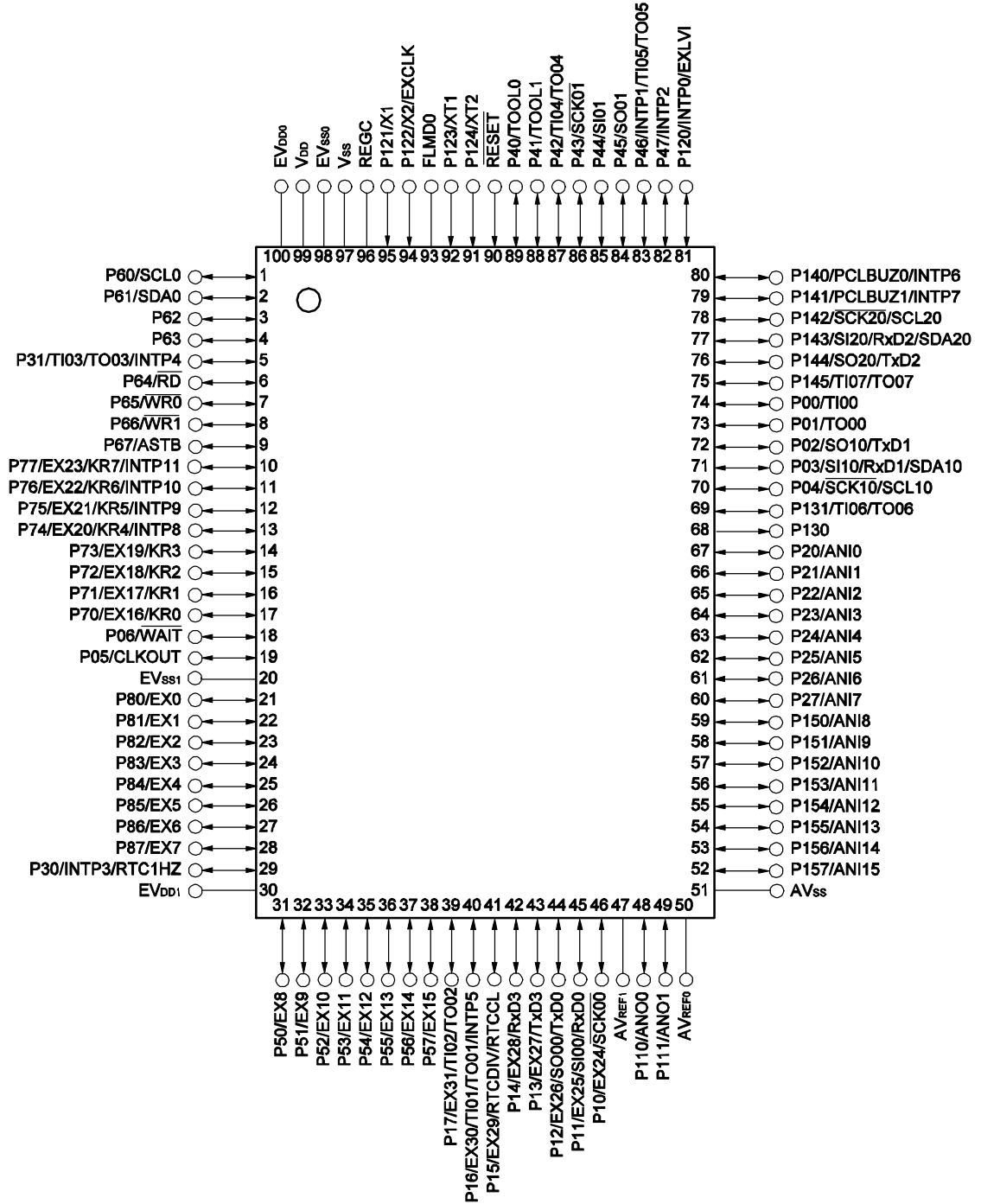
• Flash 存储器版本

产品型号	封装
μ PD78F1162GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1163GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1164GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1165GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1166GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1167GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1168GC-UEU-AX	100 引脚塑封 LQFP (14 × 14)
μ PD78F1162GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)
μ PD78F1163GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)
μ PD78F1164GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)
μ PD78F1165GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)
μ PD78F1166GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)
μ PD78F1167GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)
μ PD78F1168GF-GAS-AX	100 引脚塑封 LQFP (14 × 20)

注意事项 78K0R/KG3 具有片上调试功能。大规模生产时不要使用本产品，因为在使用片上调试功能后，从 flash 存储器可重写的次数受到限制这一点来看，它的可靠性不能保证。**NEC Electronics** 不接受对于本产品的任何投诉。

1.4 引脚配置 (俯视图)

- 100 引脚塑封 LQFP (14 × 20)



注意事项 1. 使 AVSS 的电压与 EVSS0, EVSS1, 和 VSS 相同。

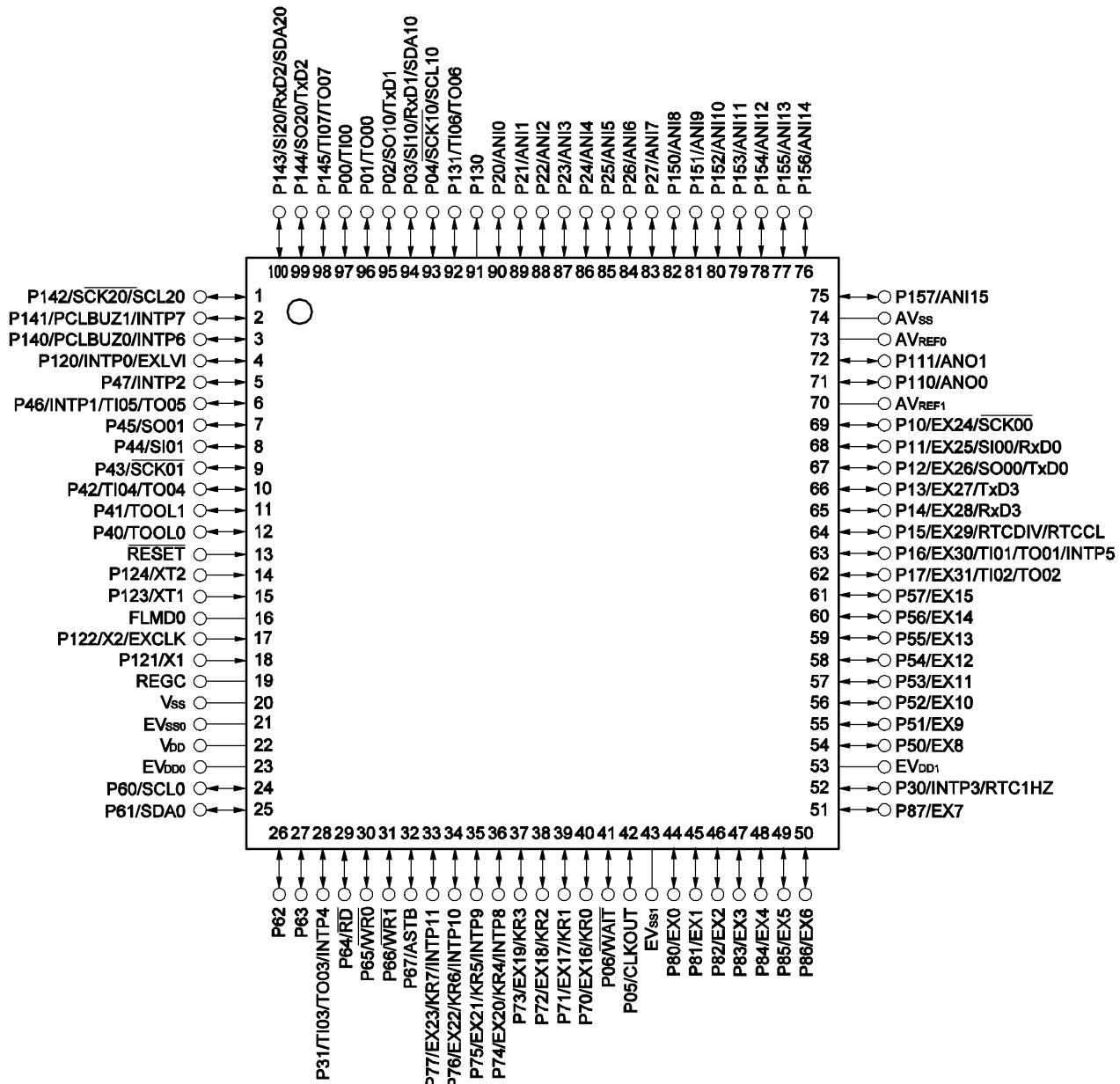
2. 使 EVDD0 和 EVDD1 的电压与 VDD 相同。

3. 通过一个电容(0.47~1 μ F)将 REGC 引脚连接到 VSS。

<R>

备注 应用单片机时，必须减少其内部产生的噪声，推荐提供独立的电源给两个 EVDD 引脚，并分别连接两个 EVSS 引脚到地线。

- 100 引脚塑封 LQFP (14 × 14)



- 注意事项
1. 使 AV_{SS} 的电压与 EV_{SS0} , EV_{SS1} , 和 V_{SS} 相同。
 2. 使 EV_{DD0} 和 EV_{DD1} 的电压与 V_{DD} 相同。
 3. 通过一个电容(0.47~1 μF)将 $REGC$ 引脚连接到 V_{SS} 。

<R>

备注 应用单片机时，必须减少其内部产生的噪声，推荐提供独立的电源给两个 EV_{DD} 引脚，并分别连接两个 EV_{SS} 引脚到地线。

引脚标识

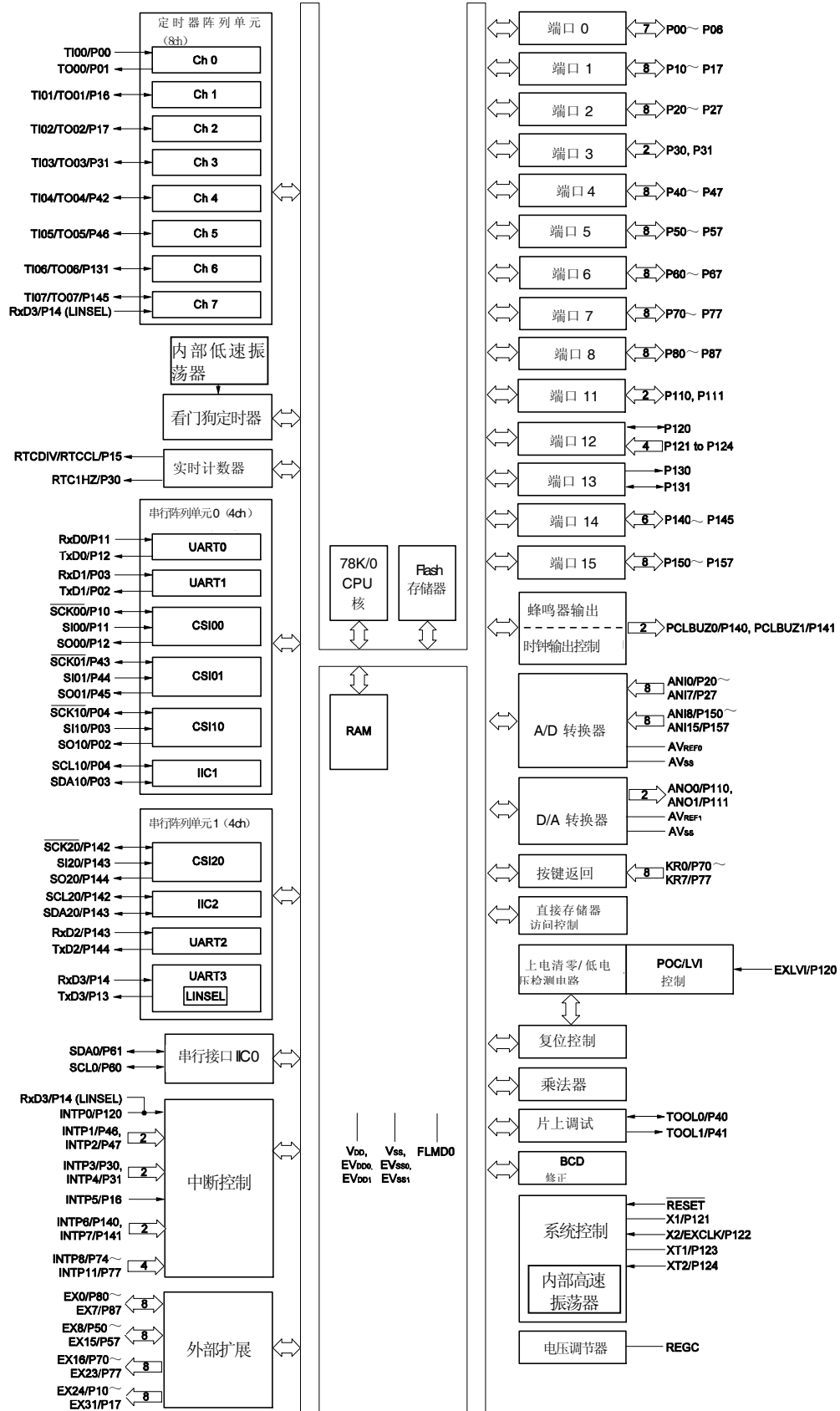
ANI0~ANI15:	模拟 输入	$\overline{RD}$:	复位选通
ANO0, ANO1:	模拟 输出	REGC:	校准器电容
ASTB:	地址选通	$\overline{RESET}$:	复位
AVREF0, AVREF1:	模拟参考电压	RTC1HZ:	实时计数器修正 时钟 (1 Hz) 输出
AVSS:	模拟 地	RTCCL:	实时计数器时钟 (32 kHz 原始振荡) 输出
CLKOUT:	时钟 输出	RTCDIV:	实时计数器时钟 (32 kHz 分频) 输出
EVDD0, EVDD1:	端口的供电电源	RxD0~RxD3:	接收数据
EVSS0, EVSS1:	端口的地	$\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCK10}$, $\overline{SCK20}$:	串行时钟输入/输出
EX0~EX31:	外部扩展总线	SCL0, SCL10, SCL20:	串行时钟输入/输出
EXCLK:	外部时钟 输入 (主系统时钟)	SDA0, SDA10, SDA20:	串行数据输入/输出
EXLVI:	为低电压检测电路提供的 外部电压输入	SI00, SI01, SI10, SI20:	串行数据输入
FLMD0:	Flash 编程模式	SO00, SO01, SO10, SO20:	串行数据输出
INTP0~INTP11:	外部中断输入	TI00~TI07:	定时器 输入
KR0~KR7:	按键返回	TO00~TO07:	定时器 输出
P00~P06:	端口 0	TOOL0:	对工具的数据输入/输出
P10~P17:	端口 1	TOOL1:	对工具的时钟 输出
P20~P27:	端口 2	TxD0~TxD3:	发送数据
P30, P31:	端口 3	VDD:	电源电压
P40~P47:	端口 4	VSS:	地
P50~P57:	端口 5	$\overline{WAIT}$:	等待
P60~P67:	端口 6	$\overline{WR0}$:	低字节写入选通
P70~P77:	端口 7	$\overline{WR1}$:	高字节写入选通
P80~P87:	端口 8	X1, X2:	晶体振荡器 (主系统时钟)
P110, P111:	端口 11	XT1, XT2:	晶体振荡器 (副系统时钟)
P120~P124:	端口 12		
P130, P131:	端口 13		
P140~P145:	端口 14		
P150~P157:	端口 15		
PCLBUZ0, PCLBUZ1:	可编程时钟 输出/ 蜂鸣器输出		

1.5 78K0R 系列单片机列表

ROM	RAM	78K0R/KE3	78K0R/KF3	78K0R/KG3	78K0R/KH3	78K0R/KJ3
		64 引脚	80 引脚	100 引脚	128 引脚	144 引脚
512 KB	30 KB	—	—	μ PD78F1168 ^注	μ PD78F1178 ^注	μ PD78F1188 ^注
384 KB	24 KB	—	—	μ PD78F1167 ^注	μ PD78F1177 ^注	μ PD78F1187 ^注
256 KB	12 KB	μ PD78F1146 ^注	μ PD78F1156 ^注	μ PD78F1166 ^注	μ PD78F1176 ^注	μ PD78F1186 ^注
192 KB	10 KB	μ PD78F1145 ^注	μ PD78F1155 ^注	μ PD78F1165 ^注	μ PD78F1175 ^注	μ PD78F1185 ^注
128 KB	8 KB	μ PD78F1144 ^注	μ PD78F1154 ^注	μ PD78F1164 ^注	μ PD78F1174 ^注	μ PD78F1184 ^注
96 KB	6 KB	μ PD78F1143 ^注	μ PD78F1153 ^注	μ PD78F1163 ^注	—	—
64 KB	4 KB	μ PD78F1142 ^注	μ PD78F1152 ^注	μ PD78F1162 ^注	—	—

注 开发中

1.6 框图



1.7 功能概述

(1/2)

项目		μ PD78F1162 注	μ PD78F1163 注	μ PD78F1164 注	μ PD78F1165 注	μ PD78F1166 注	μ PD78F1167 注	μ PD78F1168 注
内部存储器	Flash 存储器 (支持自编程)	64 KB	96 KB	128 KB	192 KB	256 KB	384 KB	512 KB
	RAM	4 KB	6 KB	8 KB	10 KB	12 KB	24 KB	30 KB
存储器空间		1 MB						
外部存储器扩展空间		888 KB max.	824 KB max.		760 KB max.	696 KB max.	568 KB max.	440 KB max.
主系统时钟 (振荡频率)	高速系统时钟	X1 (晶体/陶瓷) 振荡, 外部主系统时钟 输入 (EXCLK) 2~20 MHz: $V_{DD} = 2.7\sim 5.5$ V, 2~5 MHz: $V_{DD} = 1.8\sim 5.5$ V						
	内部高速振荡时钟	内部振荡 8 MHz (TYP.): $V_{DD} = 1.8\sim 5.5$ V						
副系统时钟 (振荡频率)		XT1 (晶体) 振荡 32.768 kHz (TYP.): $V_{DD} = 1.8\sim 5.5$ V						
内部低速振荡 时钟 (WDT)		内部振荡 240 kHz (TYP.): $V_{DD} = 1.8\sim 5.5$ V						
通用寄存器		8 位 $\times$ 32 寄存器 (8 位 $\times$ 8 寄存器 $\times$ 4 bank)						
最小指令执行时间		0.05 μ s (高速系统时钟: $f_{MX} = 20$ MHz 操作)						
		0.125 μ s (内部高速振荡时钟: $f_{IH} = 8$ MHz (TYP.) 操作)						
		61 μ s (副系统 时钟: $f_{SUB} = 32.768$ kHz 操作)						
指令集		• 8 位操作, 16 位操作 • 乘法 (16 位 $\times$ 16 位) • 位操作 (Set, reset, test, 和 Boolean 操作)等						
I/O 端口		<u>总计:</u> 88 CMOS I/O: 79 CMOS 输入: 4 CMOS 输出: 1 N沟道开掣 I/O (6 V 耐压): 4						
定时器		• 16 位定时器: 8 通道 • 看门狗定时器: 1 通道 • 实时计数器: 1 通道						
		定时器 输出	8 (PWM 输出: 7)					
		RTC 输出	2 • 1 Hz (副系统 时钟: $f_{SUB} = 32.768$ kHz) • 512 Hz 或 16.384 kHz or 32.768 kHz (副系统 时钟: $f_{SUB} = 32.768$ kHz)					
时钟 输出/蜂鸣器输出		2 • 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (外围硬件时钟: $f_{MAIN} = 20$ MHz 操作) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (副系统 时钟: $f_{SUB} = 32.768$ kHz 操作)						
A/D 转换器		10 位分辨率 $\times$ 16 通道 ($AV_{REF0} = 2.3\sim 5.5$ V)						
D/A 转换器		8 位分辨率 $\times$ 2 通道 ($AV_{REF1} = 1.8\sim 5.5$ V)						

注 开发中

(2/2)

项目		μPD78F1162 注 1	μPD78F1163 注 1	μPD78F1164 注 1	μPD78F1165 注 1	μPD78F1166 注 1	μPD78F1167 注 1	μPD78F1168 注 1
串行接口		• UART 支持 LIN 总线: 1 通道 • CSI: 2 通道/UART: 1 通道 • CSI: 1 通道/UART: 1 通道/简易 I²C: 1 通道 • CSI: 1 通道/UART: 1 通道/简易 I²C: 1 通道 • I²C 总线: 1 通道						
乘法器		16 位 × 16 位 = 32 位						
DMA 控制器		2 通道						
向量中断源	内部	28						
	外部	13						
按键中断		通过按键输入引脚 (KR0~KR7)的下降沿检测发生的按键中断(INTKR)。						
复位		• 由 RESET 引脚 引起的复位 • 由看门狗 定时器 引起的内部复位 • 由上电清零引起的内部复位 • 由低电压检测电路引起的内部复位 • 由非法指令执行引起的内部复位^{注 2}						
片上调试功能		提供						
供电电压		V _{DD} = 1.8~5.5 V						
工作环境温度		T _A = -40~+85°C						
封装		100 引脚塑封 LQFP (14 × 20) (0.65 mm 密脚距) 100 引脚塑封 LQFP (14 × 14) (0.5 mm 密脚距)						

- 注
1. 开发中
 2. 当指令码 FFH 执行时。
由执行非法指令引起的复位不能通过在线仿真器或片上调试仿真器终止。

第二章 引脚功能

2.1 引脚功能列表

有五种类型的引脚 I/O 缓冲式供电电源: AV_{REF0} , AV_{REF1} , EV_{DD0} , EV_{DD1} , 和 V_{DD} 。下表显示了这些供电电源与引脚之间的关系。

表 2-1. 引脚 I/O 缓冲式供电电源

供电电源	对应的引脚
AV_{REF0}	P20~P27, P150~P157
AV_{REF1}	P110, P111
EV_{DD0} , EV_{DD1}	除 P20~P27, P110, P111, P121~P124, 和 P150~P157 以外的端口引脚
V_{DD}	• P121~P124 • 端口引脚以外的引脚

(1) 端口功能 (1/2)

功能名称	I/O	功能	复位后	复用功能
P00	I/O	端口 0。 7 位 I/O 端口。 P03 和 P04 的输入可被设置到 TTL 缓冲器。 P02~P04 的输出可设置到 N-ch 漏极开路输出 (V_{DD} 耐压)。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	TI00
P01				TO00
P02				SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				CLKOUT
P06				WAIT
P10	I/O	端口 1。 8 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	SCK00/EX24
P11				SI00/RxD0/EX25
P12				SO00/TxD0/EX26
P13				TxD3/EX27
P14				RxD3/EX28
P15				RTCDIV/RTCCL/EX29
P16				TI01/TO01/INTP5/EX30
P17				TI02/TO02/EX31
P20~P27	I/O	端口 2。 8 位 I/O 端口。 可以位选输入/输出模式。	数字输入端口	ANI0~ANI7
P30	I/O	端口 3。 2 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	RTC1HZ/INTP3
P31				TI03/TO03/INTP4
P40 ^注	I/O	端口 4。 8 位 I/O 端口。 P43 和 P44 的输入可被设置到 TTL 缓冲器。 P43 和 P45 的输出可设置到 N-ch 漏极开路输出 (V_{DD} 耐压) 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				SCK01
P44				SI01
P45				SO01
P46				INTP1/TI05/TO05
P47				INTP2
P50~P57	I/O	端口 5。 8 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	EX8~EX15

注 如果通过选项字节允许片上调试, 确保外部上拉 P40/TOOL0 引脚(参见 2.2.5 P40~P47 (端口 4) 中的注意事项)。

(1) 端口 功能 (2/2)

功能名称	I/O	功能	复位后	复用功能
P60	I/O	端口 6。 8 位 I/O 端口。 P60~P63 的输出可设置为 N-ch 漏极开路输出 (6 V 耐压)。 可以位选输入/输出模式。 P64~P67, 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	SCL0
P61				SDA0
P62				—
P63				—
P64				$\overline{RD}$
P65				$\overline{WR0}$
P66				$\overline{WR1}$
P67				ASTB
P70~P73	I/O	端口 7。 8 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	KR0/EX16~KR3/EX19
P74~P77				KR4/EX20/INTP8 ~ KR7/EX23/INTP11
P80~P87	I/O	端口 8。 8 位 I/O 端口。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	EX0~EX7
P110	I/O	端口 11。 2 位 I/O 端口。 可以位选输入/输出模式。	输入端口	ANO0
P111				ANO1
P120	I/O	端口 12。 1 位 I/O 端口 和 4 位输入端口。 仅限于 P120, 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	INTP0/EXLVI
P121	输入			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	输出	端口 13。 1 位输出端口 和 1 位 I/O 端口。 仅限于 P131, 通过软件设置, 可以定义内置上拉电阻的使用。	输出端口	—
P131	I/O		输入端口	TI06/TO06
P140	I/O	端口 14。 6 位 I/O 端口。 P142 和 P143 的输入可被设置到 TTL 缓冲器。 P142~P144 的输出可设置为 N-ch 漏极开路输出 (V _{DD} 耐压)。 可以位选输入/输出模式。 通过软件设置, 可以定义内置上拉电阻的使用。	输入端口	PCLBUZ0/INTP6
P141				PCLBUZ1/INTP7
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P145				TI07/TO07
P150~P157	I/O	端口 15。 8 位 I/O 端口。 可以位选输入/输出模式。	数字输入端口	ANI8~ANI15

(2) 非端口功能 (1/3)

功能名称	I/O	功能	复位后	复用功能			
ANI0~ANI7	输入	A/D 转换器模拟输入	数字输入端口	P20~P27			
ANI8~ANI15	输入	A/D 转换器模拟输入	数字输入端口	P150~P157			
ANO0	输出	D/A 转换器模拟输出	输入端口	P110			
ANO1	输出	D/A 转换器模拟输出	输入端口	P111			
CLKOUT	输出	外部扩展时钟输出	输入端口	P05			
WAIT	输入	外部等待输入	输入端口	P06			
RD	输出	读选通信号输出到外部存储器	输入端口	P64			
WR0	输出	写选通到外部存储器 (低 8 位)	输入端口	P65			
WR1	输出	写选通到外部存储器 (高 8 位)	输入端口	P66			
ASTB	输出	地址选通信号输出到外部存储器	输入端口	P67			
EX0~EX7	I/O	外部扩展 I/O	输入端口	P80~P87			
EX8~EX15				P50~P57			
EX16~EX19	输出	外部扩展 输出		P70/KR0~P73/KR3			
EX20~EX23				P74/KR4/INTP8~P77/KR7/INTP11			
EX24				P10/SCK00			
EX25				P11/RxD0/SI00			
EX26				P12/TxD0/SO00			
EX27				P13/TxD3			
EX28				P14/RxD3			
EX29				P15/RTCDIV/RTCCL			
EX30				P16/TI01/TO01/INTP5			
EX31				P17/TI02/TO02			
EXLVI				输入	为外部低电压检测提供的电压输入	输入端口	P120/INTP0
INTP0				输入	定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入	输入端口	P120/EXLVI
INTP1	P46/TI05/TO05						
INTP2	P47						
INTP3	P30/RTC1HZ						
INTP4	P31/TI03/TO03						
INTP5	P16/TI01/TO01/EX30						
INTP6	P140/PCLBUZ0						
INTP7	P141/PCLBUZ1						
INTP8	P74/KR4/EX20~P77/KR7/EX23						
INTP9							
INTP10							
INTP11							
KR0~KR3	输入	按键中断输入	输入端口	P70/EX16~P73/EX19			
KR4~KR7				P74/EX20/INTP8~P77/EX23/INTP11			

(2) 非端口功能 (2/3)

<R>

功能名称	I/O	功能	复位后	复用功能
PCLBUZ0	输出	时钟输出/蜂鸣器 输出	输入端口	P140/INTP6
PCLBUZ1				P141/INTP7
REGC	—	连接校准器输出 (2.5 V) 稳定电容用于内部操作 通过一个电容(0.47~1 μ F)连接到 V _{SS} 。	—	—
RTCDIV	输出	实时计数器时钟 (32 kHz 分频) 输出	输入端口	P15/RTCCL/EX29
RTCCL	输出	实时计数器时钟(32 kHz 原始振荡) 输出	输入端口	P15/RTCDIV/EX29
RTC1HZ	输出	实时计数器修正时钟 (1 Hz) 输出	输入端口	P30/INTP3
RESET	输入	系统复位输入	—	—
RxD0	输入	串行数据输入到 UART0	输入端口	P11/SI00/EX25
RxD1	输入	串行数据输入到 UART1	输入端口	P03/SI10/SDA10
RxD2	输入	串行数据输入到 UART2	输入端口	P143/SI20/SDA20
RxD3	输入	串行数据输入到 UART3	输入端口	P14/EX28
SCK00	I/O	CSI00, CSI01, CSI10, 和 CSI20 的时钟输入/输出	输入端口	P10/EX24
SCK01				P43
SCK10				P04/SCL10
SCK20				P142/SCL20
SCL0	I/O	I ² C 的时钟输入/输出	输入端口	P60
SCL10	I/O	简易 I ² C 的时钟输入/输出	输入端口	P04/SCK10
SCL20	I/O	I ² C 的时钟输入/输出	输入端口	P142/SCK20
SDA0	I/O	I ² C 的串行数据 I/O	输入端口	P61
SDA10		简易 I ² C 的串行数据 I/O	输入端口	P03/SI10/RxD1
SDA20		简易 I ² C 的串行数据 I/O	输入端口	P143/SI20/RxD2
SI00	输入	串行数据输入 到 CSI00, CSI01, CSI10, 和 CSI20	输入端口	P11/RxD0/EX25
SI01				P44
SI10				P03/RxD1/SDA10
SI20				P143/RxD2/SDA20
SO00	输出	CSI00, CSI01, CSI10, 和 CSI20 的串行数据输出	输入端口	P12/TxD0/EX26
SO01				P45
SO10				P02/TxD1
SO20				P144/TxD2
TI00	输入	外部计数时钟输入到 16 位定时器 00	输入端口	P00
TI01		外部计数时钟输入到 16 位定时器 01		P16/TO01/INTP5/EX30
TI02		外部计数时钟输入到 16 位定时器 02		P17/TO02/EX31
TI03		外部计数时钟输入到 16 位定时器 03		P31/TO03/INTP4
TI04		外部计数时钟输入到 16 位定时器 04		P42/TO04
TI05		外部计数时钟输入到 16 位定时器 05		P46/INTP1/TO05
TI06		外部计数时钟输入到 16 位定时器 06		P131/TO06
TI07		外部计数时钟输入到 16 位定时器 07		P145/TO07

(2) 非端口功能 s (3/3)

功能名称	I/O	功能	复位后	复用功能
TO00	输出	16 位定时器 00 输出	输入端口	P01
TO01		16 位定时器 01 输出		P16/TI01/INTP5/EX30
TO02		16 位定时器 02 输出		P17/TI02/EX31
TO03		16 位定时器 03 输出		P31/TI03/INTP4
TO04		16 位定时器 04 输出		P42/TI04
TO05		16 位定时器 05 输出		P46/INTP1/TI05
TO06		16 位定时器 06 输出		P131/TI06
TO07		16 位定时器 07 输出		P145/TI07
TxD0	输出	UART0 的串行数据输出	输入端口	P12/SO00/EX26
TxD1	输出	UART1 的串行数据输出	输入端口	P02/SO10
TxD2	输出	UART2 的串行数据输出	输入端口	P144/SO20
TxD3	输出	UART3 的串行数据输出	输入端口	P13/EX27
X1	—	连接主系统时钟振荡器	输入端口	P121
X2	—		输入端口	P122/EXCLK
EXCLK	输入	主系统时钟的外部时钟输入	输入端口	P122/X2
XT1	—	连接副系统时钟振荡器	输入端口	P123
XT2	—		输入端口	P124
V _{DD}	—	正向供电电源 (P121 ~ P124 和端口除外)	—	—
EV _{DD0} , EV _{DD1}	—	端口的正向供电电源(P20~P27, P110, P111, P121~P124, P150~P157 除外)	—	—
AV _{REF0}	—	- A/D 转换器参考电压输入 - P20~P27, P150~P157, 和 A/D 转换器的正向供电电源	—	—
AV _{REF1}	—	- D/A 转换器参考电压输入 - P110, P111, D/A 转换器的正向供电电源	—	—
V _{SS}	—	地电位(P121~P124 和其他端口除外)	—	—
EV _{SS0} , EV _{SS1}	—	端口地电位(P20~P27, P110, P111, P121~P124, 和 P150~P157 除外)	—	—
AV _{SS}	—	A/D 转换器, D/A 转换器, P20~P27, P110, P111, 和 P150~P157 的地电位	—	—
FLMD0	—	Flash 存储器编程模式设置	—	—
TOOL0	I/O	Flash 存储器编程器/调试器的数据 I/O	输入端口	P40
TOOL1	输出	调试器的时钟输出	输入端口	P41

2.2 引脚功能描述

2.2.1 P00~P06 (端口 0)

P00~P06 功能作为 7 位 I/O 端口。这些引脚也可用于定时器 I/O、串行接口数据 I/O、时钟 I/O，内部系统时钟输出，和外部等待信号输入。

使用端口 输入模式寄存器 0 (PIM0)，通过普通缓冲器或 TTL 缓冲器可按位指定 P03 和 P04 引脚输入。

使用端口 输出模式寄存器 0 (POM0)，P02~P04 引脚输出可按位指定为普通 CMOS 输出 或 N-ch 漏极开路输出 (V_{DD} 耐压)。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P00~P06 功能作为 7 位 I/O 端口。通过端口模式寄存器 0 (PM0)，P00~P06 可按位设置为输入或输出端口。由上拉电阻选择寄存器 0 (PU0)规定内置上拉电阻的使用。

(2) 控制模式

P00~P06 可用于定时器 I/O、串行接口数据 I/O、时钟 I/O、内部系统时钟输出，和外部等待信号输入。

(a) TI00

此引脚用于 输入外部计数时钟/捕捉触发到 16 位定时器 00。

(b) TO00

这是 16 位定时器 00 的输出引脚。

(c) SI10

这是串行接口 CSI10 的串行数据输入引脚。

(d) SO10

这是串行接口 CSI10 的串行数据输出引脚。

(e) $\overline{\text{SCK10}}$

这是 串行接口 CSI10 的串行时钟 I/O 引脚。

(f) TxD1

这是串行接口 UART1 的串行数据输出引脚。

(g) RxD1

这是串行接口 UART1 的串行数据输入引脚。

(h) SDA10

这是简易 I^2C 串行接口的串行数据 I/O 引脚。

(i) SCL10

这是简易 I^2C 串行接口的串行时钟 I/O 引脚。

(j) CLKOUT

这是内部系统时钟输出引脚。

(e) $\overline{\text{WAIT}}$

这是外部等待信号输入引脚。

注意事项 要使用 P02/SO10/TxD1 和 P04/ $\overline{\text{SCK10}}$ /SCL10 作为通用端口，设置串行通信操作设置寄存器 02 (SCR02)为默认状态 (0087H)。另外，清零端口输出模式寄存器 0 (POM0)为 00H。

2.2.2 P10~P17 (端口 1)

P10~P17 功能作为 8 位 I/O 端口。这些引脚也可作为外部中断请求输入, 串行接口数据 I/O, 时钟 I/O, 定时器 I/O, 实时计数器时钟输出,和外部扩展 输出功能使用。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P10~P17 功能作为 8 位 I/O 端口。通过端口模式寄存器 1 (PM1), P10~P17 可按位设置为输入或输出端口。由上拉电阻选择寄存器 1(PU1)规定内置上拉电阻的使用。

(2) 控制模式

P10~P17 可作为外部中断请求输入, 串行接口数据 I/O, 时钟 I/O, 定时器 I/O, 实时计数器时钟输出, 和外部扩展 输出功能操作。

(a) SI00

这是串行接口 CSI10 的串行数据输入引脚。

(b) SO00

这是串行接口 CSI10 的串行数据输出引脚。

(c) $\overline{\text{SCK00}}$

这是 串行接口 CSI10 的串行时钟 I/O 引脚。

(d) RxD0

这是串行接口 UART0 的串行数据输入引脚。

(e) RxD3

这是串行接口 UART3 的串行数据输入引脚。

(f) TxD0

这是串行接口 UART0 的串行数据输出引脚。

(g) TxD3

这是串行接口 UART3 的串行数据输出引脚。

(h) TI01, TI02

此引脚用于 输入外部计数时钟/捕捉触发到 16 位定时器 01 和 02。

(i) TO01, TO02

这些是 16 位定时器 01 和 02 的输出引脚。

(j) INTP5

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

(k) RTCDIV

这是实时计数器时钟(32 kHz, 分频) 输出引脚。

(l) RTCCL

这是实时计数器时钟(32 kHz, 原始振荡) 输出引脚。

(m) EX24~EX31

这些是外部扩展 输出 (地址总线) 引脚。

注意事项 1. 要将 P10/SCK00/EX24 和 P12/SO00/TxD0/EX26 作为通用 端口使用，设置串行通信操作设置寄存器 00 (SCR00)到默认状态(0087H)。

2. 不要同时允许 RTCCL 和 RTCDIV 输出。

2.2.3 P20~P27 (端口 2)

P20~P27 功能作为 8 位 I/O 端口。这些引脚也可作为 A/D 转换器模拟输入功能使用。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P20~P27 功能作为 8 位 I/O 端口。通过端口模式寄存器 2 (PM2)，P20~P27 可按位设置为输入或输出端口。

(2) 控制模式

P20~P27 作为 A/D 转换器模拟输入引脚(ANI0~ANI7)。当使用这些引脚作为模拟输入引脚时，参见 11.6 (5) ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157。

注意事项 ANI0/P20~ANI7/P27 在复位释放后被设置为数字输入 (通用端口)。

2.2.4 P30, P31 (端口 3)

P30 和 P31 是 2 位 I/O 端口。这些引脚也可作为外部中断请求输入, 定时器 I/O, 和实时计数器修正时钟输出操作。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P30 和 P31 是 2 位 I/O 端口。通过端口模式寄存器 3 (PM3)，P30 和 P31 可按位设置为输入或输出端口。由上拉电阻选择寄存器 3(PU3)规定内置上拉电阻的使用。

(2) 控制模式

P30 和 P31 功能是外部中断请求输入, 定时器 I/O, 和实时计数器修正时钟输出操作。

(a) INTP3, INTP4

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

(b) TI03

此引脚用于 输入外部计数时钟/捕捉触发到 16 位定时器 03。

(c) TO03

这是 16 位定时器 03 的输出引脚。

(d) RTC1HZ

这是实时计数器修正 时钟(1 Hz) 输出引脚。

2.2.5 P40~P47 (端口 4)

P40~P47 是 8 位 I/O 端口。这些引脚可作为外部中断请求输入, 串行接口数据 I/O, 时钟 I/O, flash 存储器编程器/调试器的数据 I/O, 时钟输出, 和定时器 I/O 操作。

使用端口 输入模式寄存器 4 (PIM4)，通过普通缓冲器或 TTL 缓冲器可按位指定 P43 和 P44 引脚输入。

使用端口 输出模式寄存器 4 (POM4)，P43 和 P45 引脚输出可按位指定为普通 CMOS 输出 或 N-ch 漏极开路输出 (V_{DD} 耐压)。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P40~P47 是 8 位 I/O 端口。通过端口模式寄存器 4(PM4)，P40~P47 可按位设置为输入或输出端口。由上拉电阻选择寄存器 4 (PU4)规定内置上拉电阻的使用。

当允许片上调试(通过选项字节)时确保连接一个外部上拉电阻到 P40。

(2) 控制模式

P40~P47 可作为串行接口数据 I/O, 时钟 I/O, 外部中断请求输入, flash 存储器编程器/调试器的数据 I/O, 时钟输出, 和定时器 I/O 操作。

(a) INTP1, INTP2

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

(b) TOOL0

这是 flash 存储器编程器/调试器的数据 I/O。

当允许片上调试(下拉禁止)时确保连接一个外部上拉电阻到此引脚。

(c) TOOL1

这是调试器的时钟输出引脚。

当使用片上调试功能时，通过调试器模式设置 P41/TOOL1 引脚可用作如下操作。

1 线模式: 可用作端口 (P41)。

2 线模式: 可用作 TOOL1 引脚，并且不能作为端口 (P41)使用。

(d) TI04, TI05

此引脚用于 输入外部计数时钟/捕捉触发到 16 位定时器 04 和 05。

(e) TO04, TO05

这些是 16 位定时器 04 和 05 的输出引脚。

(f) SCK01

这是串行接口 CSI01 的串行时钟 I/O 引脚。

(g) SI01

这是串行接口 CSI01 的串行数据输入引脚。

(h) SO01

这是串行接口 CSI01 的串行数据输出引脚。

注意事项 下面(a)到 (c)中描述的 P40/TOOL0 引脚功能不同。

在(b)或(c)的情况中，确保指定的条件。

(a) 在普通操作模式下和通过选项字节(000C3H)禁止片上调试(OCDENSET = 0)时

=> 此引脚用作端口引脚(P40)。

(b) 在普通操作模式下和通过选项字节(000C3H)允许片上调试(OCDENSET = 1)时

=> 通过一个外接电阻将此引脚连接到 EV_{DD0} 或 EV_{DD1}，并且在复位释放前此引脚一直输入高电平。

(c) 当使用片上调试功能时，或在 flash 存储器编程器写入模式下时

=> 此引脚作为 TOOL0 使用。

直接将此引脚连接到片上调试仿真器或 flash 存储器编程器，或通过一个外接电阻连接到 EV_{DD0} 或 EV_{DD1} 上拉。

2.2.6 P50~P57 (端口 5)

P50~P57 是 8 位 I/O 端口。这些引脚也可作为外部扩展 I/O 使用。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P50~P57 是 8 位 I/O 端口。通过端口模式寄存器 5(PM5)，P50~P57 可按位设置为输入或输出端口。由上拉电阻选择寄存器 5 (PU5)规定内置上拉电阻的使用。

(2) 控制模式

P50~P57 作为外部扩展 I/O 使用。

(a) EX8~EX15

这些是外部扩展 I/O (复用地址/数据总线, 地址总线, 数据总线) 引脚。

2.2.7 P60~P67 (端口 6)

P60~P67 是 8 位 I/O 端口。这些引脚可作为串行接口数据 I/O, 时钟 I/O, 读选通信号输出, 写选通信号输出, 和地址选通信号输出使用。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P60~P67 是 8 位 I/O 端口。通过端口模式寄存器 6(PM6), P60~P67 可按位设置为输入或输出端口。仅限于 P64~P67, 由上拉电阻选择寄存器 6 (PU6)规定内置上拉电阻的使用。

P60~P63 的输出是 N-ch 漏极开路输出 (6 V 耐压)。

(2) 控制模式

P60~P67 可作为串行接口数据 I/O, 时钟 I/O, 读选通信号输出, 写选通信号输出, 和地址选通信号输出操作。

(a) SDA0

这是串行接口 IIC0 的串行数据 I/O 引脚。

(b) SCL0

这是串行接口 IIC0 的串行时钟 I/O 引脚。

(c) $\overline{RD}$

这是读选通信号输出引脚。

(d) $\overline{WR0}$

这是写选通信号输出 (8 位总线模式, 16 位总线模式 (低字节))引脚。

(e) $\overline{WR1}$

这是写选通信号输出 (16 位总线模式 (高字节))引脚。

(f) ASTB

这是地址选通信号输出引脚。

2.2.8 P70~P77 (端口 7)

P70~P77 是 8 位 I/O 端口。这些引脚也可作为按键中断输入, 外部中断请求输入, 和外部扩展 输出操作。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P70~P77 是 8 位 I/O 端口。通过端口模式寄存器 7(PM7), P70~P77 可按位设置为输入或输出端口。由上拉电阻选择寄存器 7 (PU7)规定内置上拉电阻的使用。

(2) 控制模式

P70~P77 的功能是按键中断输入, 外部中断请求输入, 和外部扩展 输出。

(a) KR0~KR7

这些是按键中断输入引脚

(b) INTP8~INTP11

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

(c) EX16~EX23

这些是外部扩展 输出 (地址总线)引脚。

2.2.9 P80~P87 (端口 8)

P80~P87 是 8 位 I/O 端口。这些引脚作为外部扩展 I/O。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P80~P87 是 8 位 I/O 端口。通过端口模式寄存器 8(PM8)，P80~P87 可按位设置为输入或输出端口。由上拉电阻选择寄存器 8 (PU8)规定内置上拉电阻的使用。

(2) 控制模式

P80~P87 是外部扩展 I/O。

(a) EX0~EX7

这些是外部扩展 I/O (复用地址/数据总线, 数据总线)引脚。

2.2.10 P110, P111 (端口 11)

P110 和 P111 是 2 位 I/O 端口。这些引脚作为 D/A 转换器模拟输出。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P110 和 P111 是 2 位 I/O 端口。通过端口模式寄存器 11(PM11)，P110 和 P111 可按位设置为输入或输出端口。

(2) 控制模式

P110 和 P111 作为 D/A 转换器模拟输出引脚(ANO0, ANO1)。当使用这些引脚作为模拟输入 引脚时，参见 12.4.3 注意事项。

2.2.11 P120~P124 (端口 12)

P120 是 1 位 I/O 端口。P121~P124 是 4 位输入端口。这些引脚也可作为外部中断请求输入, 外部低电压检测的电压输入, 为主系统时钟连接电阻, 为副系统时钟连接电阻, 和主系统时钟的外部时钟输入使用。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P120 是 1 位 I/O 端口。通过端口模式寄存器 12(PM12)，P120 可按位设置为输入或输出端口。由上拉电阻选择寄存器 12 (PU12)规定内置上拉电阻的使用。

P121~P124 是 4 位输入端口。

(2) 控制模式

P120~P124 作为外部中断请求输入，外部低电压检测的电压输入，为主系统时钟连接电阻，为副系统时钟连接电阻，和主系统时钟的外部时钟输入使用。

(a) INTP0

可定义有效沿（上升沿、下降沿，或兼有上升沿和下降沿），用于外部中断请求输入。

(b) EXLVI

这是外部低电压检测的电压输入引脚。

(c) X1, X2

这些引脚为主系统时钟连接电阻。

(d) EXCLK

为主系统时钟连接外部时钟输入。

(e) XT1, XT2

为副系统时钟连接电阻。

2.2.12 P130, P131 (端口 13)

P130 是 1 位输出端口。P131 是 1 位 I/O 端口。这些引脚也可作为定时器 I/O。

备注 当设备复位时，P130 输出低电平。因此，在设备复位前 P130 输出高电平，P130 的输出信号可用作 CPU 的伪复位信号 (参见 4.2.12 端口 13 图中的备注)

(1) 端口模式

P130 是 1 位输出端口。

P131 是 1 位 I/O 端口。通过端口模式寄存器 13(PM13)，P131 可按位设置为输入或输出端口。由上拉电阻选择寄存器 13 (PU13)规定内置上拉电阻的使用。

(2) 控制模式

P131 作为定时器 I/O。

(a) TI06

此引脚用于 输入外部计数时钟/捕捉触发到 16 位定时器 06。

(b) TO06

这是 16 位定时器 06 的输出引脚。

2.2.13 P140~P145 (端口 14)

P140~P145 是 6 位 I/O 端口。这些引脚可作为定时器 I/O, 外部中断请求输入, 时钟/蜂鸣器输出, 串行接口数据 I/O, 和时钟 I/O 使用。

使用端口 输入模式寄存器 14 (PIM14), 通过普通缓冲器或 TTL 缓冲器可按位指定 P142 和 P143 引脚输入。

使用端口 输出模式寄存器 14 (POM14), P142~P144 引脚输出可按位指定为普通 CMOS 输出 或 N-ch 漏极开路输出 (V_{DD} 耐压)。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P140~P145 是 6 位 I/O 端口。通过端口模式寄存器 14(PM14), P140~P145 可按位设置为输入或输出端口。由上拉电阻选择寄存器 14 (PU14)规定内置上拉电阻的使用。

(2) 控制模式

P140~P145 是定时器 I/O, 外部中断请求输入, 时钟/蜂鸣器输出, 串行接口数据 I/O, 和时钟 I/O。

(a) INTP6, INTP7

可定义有效沿 (上升沿、下降沿, 或兼有上升沿和下降沿), 用于外部中断请求输入。

(b) PCLBUZ0, PCLBUZ1

这些是时钟/蜂鸣器输出引脚。

(c) TI07

此引脚用于 输入外部计数时钟/捕捉触发到 16 位定时器 07。

(d) TO07

这是 16 位定时器 07 的输出引脚。

(e) SI20

这是串行接口 CSI20 的串行数据输入引脚。

(f) SO20

这是串行接口 CSI20 的串行数据输出引脚。

(g) $\overline{SCK20}$

这是串行接口 CSI20 的串行时钟 I/O 引脚。

(h) TxD2

这是串行接口 UART2 的串行数据输出引脚。

(i) RxD2

这是串行接口 UART2 的串行数据输入引脚。

(j) SDA20

这是简易 I^2C 串行接口的串行数据 I/O 引脚。

(k) SCL20

这是简易 I²C 串行接口的串行时钟 I/O 引脚。

2.2.14 P150~P157 (端口 15)

P150~P157 是 8 位 I/O 端口。这些引脚也可作为 A/D 转换器模拟输入。

以下操作模式可以用 1 位单元指定。

(1) 端口模式

P150~P157 是 8 位 I/O 端口。通过端口模式寄存器 15(PM15)，P150~P157 可按位设置为输入或输出端口。

(2) 控制模式

P150~P157 作为 A/D 转换器模拟输入引脚 (ANI8~ANI15)。当作为模拟输入引脚使用时，参见 11.6 (5) ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157。

注意事项 复位释放后，ANI8/P150~ANI15/P157 设置到 数字输入(通用 端口) 模式。

2.2.15 AV_{REF0}

用于 A/D 转换器参考电压输入和 P20~P27, P150~P157 及 A/D 转换器的正向电源供电。

当端口 2 和 15 的所有引脚用作模拟端口引脚时，确保 $2.3\text{ V} \leq \text{AV}_{\text{REF0}} \leq \text{V}_{\text{DD}}$ 。当端口 2 和 15 中一个或更多引脚用作数字端口引脚或当 A/D 转换器不使用时，确保 AV_{REF0} 的电压与 EV_{DD0}, EV_{DD1}, 或 V_{DD} 相同。

2.2.16 AV_{REF1}

用于 D/A 转换器参考电压输入和 P110, P111, 及 D/A 转换器的正向电源供电。

当端口 11 的所有引脚用作模拟端口引脚时，确保 $1.8\text{ V} \leq \text{AV}_{\text{REF1}} \leq \text{V}_{\text{DD}}$ 。当端口 11 中一个或更多引脚用作数字端口引脚或当 D/A 转换器不使用时，确保 AV_{REF1} 的电压与 EV_{DD0}, EV_{DD1}, 或 V_{DD} 相同。

2.2.17 AV_{SS}

作为 A/D 转换器，D/A 转换器，P20~P27, P110, P111, 和 P150~P157 的地引脚。即使在不使用 A/D 转换器和 D/A 转换器时，该引脚电平也始终应与 EV_{SS0}, EV_{SS1}, 和 V_{SS} 相同。

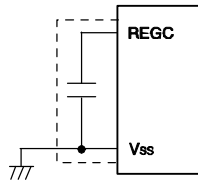
2.2.18 RESET

这是低有效系统复位输入引脚。

当外部复位引脚不使用时，直接连接此引脚或经过一个电阻连接到 V_{DD}。

2.2.19 REGC

<R> 用于内部操作的稳压器输出(2.5 V)稳定电容的连接。通过一个电容器（0.47 μF : 目标）将此引脚连接到 V_{SS} 。但是，当进入 STOP 模式，因为内部高速振荡时钟和外部主系统时钟操作，推荐 0.47 F 使用性能好的电容器，因为它用于稳定内部电压。



注意事项 在上图虚线部分，用尽可能短的配线连接。

2.2.20 V_{DD} , $EV_{\text{DD}0}$, $EV_{\text{DD}1}$

V_{DD} 为正向供电电源引脚（P121 至 P124 与端口除外）。

$EV_{\text{DD}0}$ 和 $EV_{\text{DD}1}$ 为端口的正向供电电源引脚（P20~P27, P110, P111, P121~P124, 和 P150~P157 除外）。

2.2.21 V_{SS} , $EV_{\text{SS}0}$, $EV_{\text{SS}1}$

V_{SS} 为地引脚（端口和 P121 至 P124 除外）。

$EV_{\text{SS}0}$ 和 $EV_{\text{SS}1}$ 为端口的地引脚（P20~P27, P110, P111, P121~P124, 和 P150~P157 除外）。

2.2.22 FLMD0

此引脚用于设置 flash 存储器编程模式。

按下列过程执行操作。

(a) 在普通操作模式下

普通操作期间此引脚悬空。

复位释放前 FLMD0 引脚必须保持 V_{SS} 电平，但是不要外部下拉，因为通过复位内部下拉。通过背景事件控制寄存器 (BECTL) 的第 7 位 (FLMDPUP) 选择下拉 (也就是，FLMDPUP = "0", 默认值) (参见 25.5 (1) 背景事件控制寄存器)。当使用自编程功能时建议此引脚悬空。通过大于 100 k Ω 的电阻将其下拉。

(b) Flash 存储器编程器写入期间

当通过 flash 存储器编程器写入数据时将此引脚直接连接到 flash 存储器编程器。

因为通过复位内部下拉，FLMD0 引脚不能外部下拉。要外部下拉，使用 1 k Ω 到 200 k Ω 的电阻。

2.3 引脚 I/O 电路和未使用引脚的推荐连接方式

表 2-2 为引脚 I/O 电路类型和未使用引脚的建议连接方式。

表 2-2. 未使用引脚的连接 (1/3)

引脚名称	I/O 电路类型	I/O	未使用引脚的推荐连接方式
P00/TI00	8-R	I/O	输入： 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} , 或 EV _{SS1} 。 输出： 悬空。
P01/TO00	5-AG		
P02/SO10/TxD1			
P03/SI10/RxD1/SDA10	5-AN		
P04/SCK10/SCL10			
P05/CLKOUT	8-R		
P06/WAIT			
P10/SCK00/EX24			
P11/SI00/RxD0/EX25			
P12/SO00/TxD0/EX26	5-AG		
P13/TxD3/EX27			
P14/RxD3/EX28	8-R		
P15/RTCDIV/RTCCL/EX29	5-AG		
P16/TI01/TO01/INTP5/EX30	8-R		
P17/TI02/TO02/EX31			
P20/ANI0 ~P27/ANI7 ^注	11-G		输入： 通过电阻分别连接到 AV _{REF0} 或 AV _{SS} 。 输出： 悬空。
P30/RTC1HZ/INTP3	8-R		输入： 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} , 或 EV _{SS1} 。 输出： 悬空。
P31/TI03/TO03/INTP4			
P40/TOOL0			<当片上调试允许时> 上拉此引脚(禁止下拉)。 <当片上调试禁止时> 输入： 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} ,或 EV _{SS1} 。 输出： 悬空。
P41/TOOL1	5-AG		输入： 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} ,或 EV _{SS1} 。 输出： 悬空。
P42/TI04/TO04	8-R		
P43/SCK01	5-AN		
P44/SI01			
P45/SO01	5-AG		
P46/TI05/TO05/INTP1	8-R		
P47/INTP2			

注 P20/ANI0~P27/ANI7 复位释放后设置为数字输入端口。

表 2-2. 未使用引脚的连接(2/3)

	引脚名称	I/O 电路类型	I/O	未使用引脚的推荐连接方式
<R>	P50/EX8, P51/EX9	8-R	I/O	输入: 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} , 或 EV _{SS1} 。 输出: 悬空。
	P52/EX10~P57/EX15	5-AG		
	P60/SCL0	13-R		输入: 连接到 EV _{SS0} , 或 EV _{SS1} 。 输出: 设置端口 输出锁存为 0, 通过低电压输出使这些引脚悬空。
	P61/SDA0			
<R>	P62, P63	13-P		
<R>	P64/RD	5-AG		输入: 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} ,或 EV _{SS1} 。 输出: 悬空。
	P65/WR0			
	P66/WR1			
	P67/ASTB			
	P70/KR0~P73/KR3	8-R		
	P74/KR4/INTP8~ P77/KR7/INTP11			
	P80/EX0~P87/EX7	5-AG		
<R>	P110/ANO0, P111/ANO1	12-G		输入: 通过电阻分别连接到 AV _{REF1} 或 AV _{SS} 。 输出: 悬空。
	P120/INTP0/EXLVI	8-R		输入: 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} , or EV _{SS1} 。 输出: 悬空。
	P121/X1 ^{註 1}	37-A	输入	通过电阻分别连接到 V _{DD} 或 V _{SS} 。
	P122/X2/EXCLK ^{註 1}			
	P123/XT1 ^{註 1}			
	P124/XT2 ^{註 1}			
	P130	3-C	输出	悬空。
	P131/TI06/TO06	8-R	I/O	输入: 通过电阻分别连接到 EV _{DD0} , EV _{DD1} , EV _{SS0} , 或 EV _{SS1} 。 输出: 悬空。
	P140/PCLBUZ0/INTP6			
	P141/PCLBUZ1/INTP7			
	P142/SCK20/SCL20	5-AN		
	P143/SI20/RxD2/SDA20			
	P144/SO20/TxD2	5-AG		
	P145/TI07/TO07	8-R		
	P150/ANI8~P157/ANI15 ^{註 2}	11-G		输入: 通过电阻分别连接到 AV _{REF0} 或 AV _{SS} 。 输出: 悬空。
	AV _{REF0}	—	—	<当 P20~P27 和 P150~P157 中一个以上设置为数字端口时> 使此引脚电压与 EV _{DD0} , EV _{DD1} , 或 V _{DD} 相同。 <当 P20~P27 和 P150~P157 都设置为端口时> 确保 2.3 V ≤ AV _{REF0} ≤ V _{DD} 。

- 注
1. 当这些引脚不使用时, 在输入端口模式下, 使用上面推荐的连接 (参见 图 6-2 时钟操作模式控制寄存器 (CMC) 的格式)。
 2. P150/ANI8~P157/ANI15 复位释放后设置为数字输入端口。

表 2-2. 未使用引脚的连接(3/3)

引脚名称	I/O 电路类型	I/O	未使用引脚的推荐连接方式
AV _{REF1}	—	—	<当 P110 或 P111 设置为数字端口时> 保证此引脚电压与 EV _{DD0} , EV _{DD1} , 或 V _{DD} 。 <当 P110 和 P111 均被设置为模拟端口时> 确保 1.8 V ≤ AV _{REF1} ≤ V _{DD} 。
AV _{SS}	—	—	保证此引脚电压与 EV _{SS0} , EV _{SS1} , 或 V _{SS} 相同。
FLMD0	39	—	悬空或经过一个大于 100 kΩ 的电阻连接到 V _{SS} 。
RESET	2	输入	直接或经过一个电阻连接到 V _{DD} 。
REGC	—	—	通过一个电容(0.47~1 μF)连接到 V _{SS} 。

<R>

图 2-1. 引脚 I/O 电路列表 (1/2)

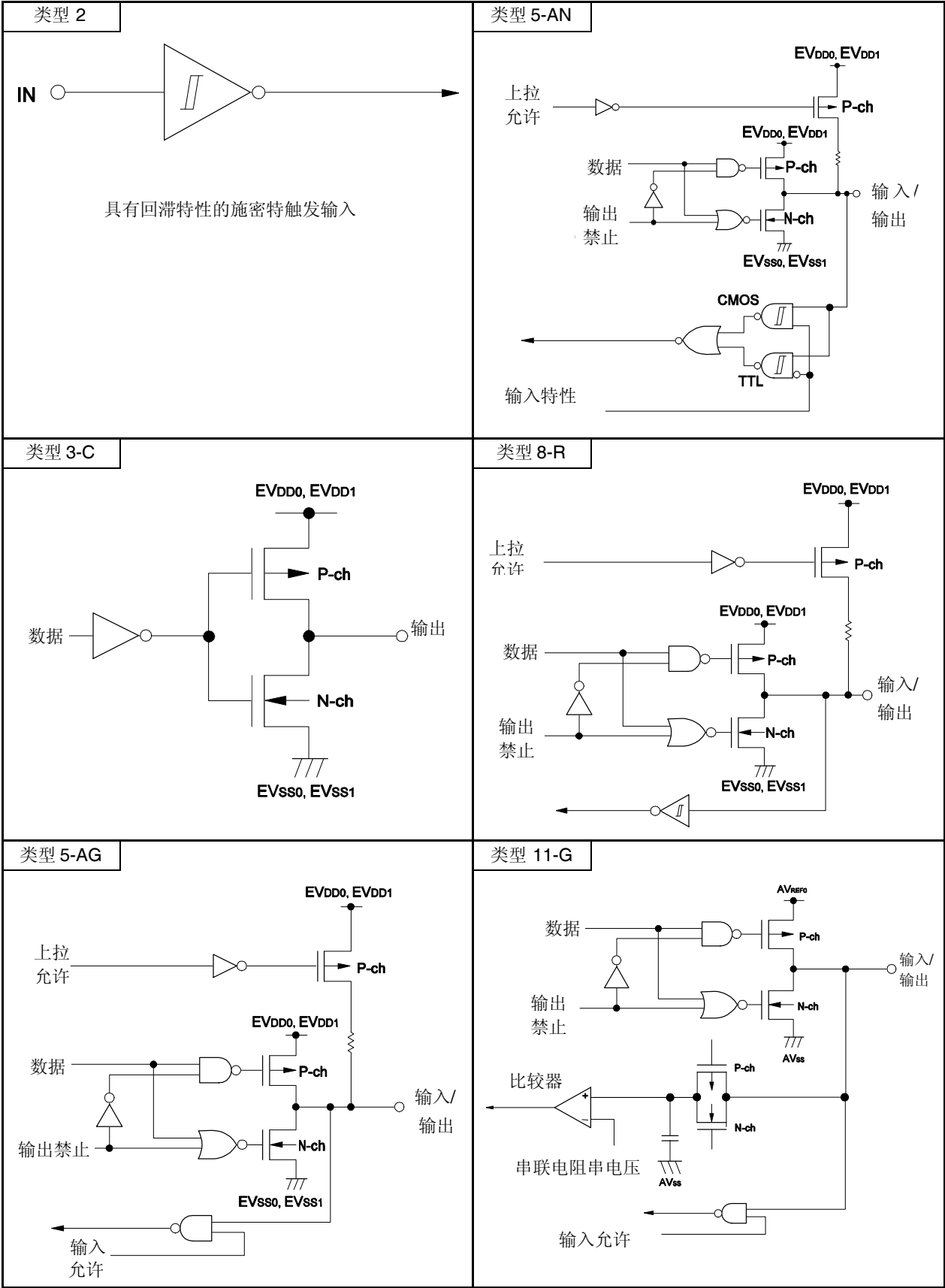
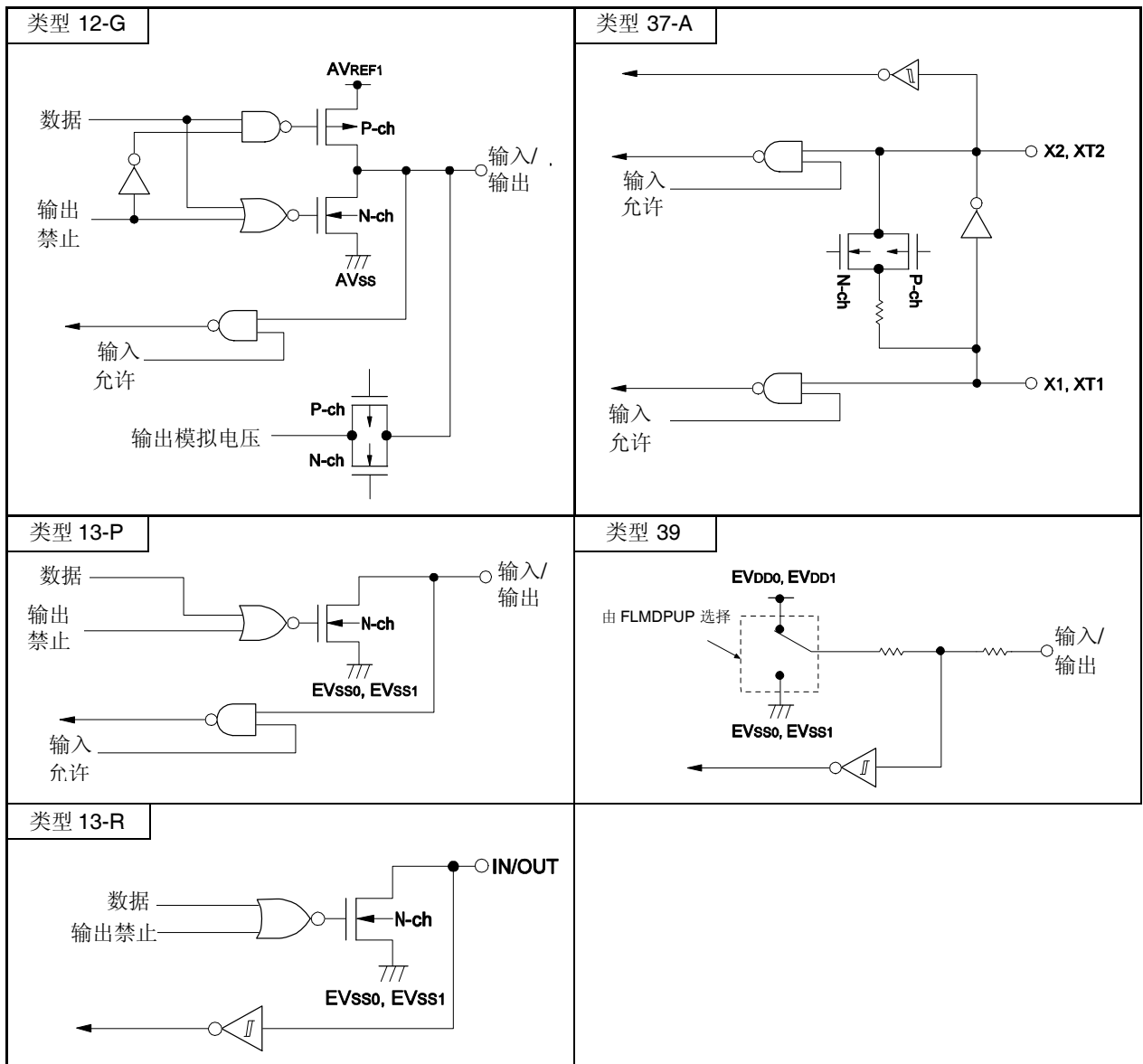


图 2-1. 引脚 I/O 电路列表(2/2)

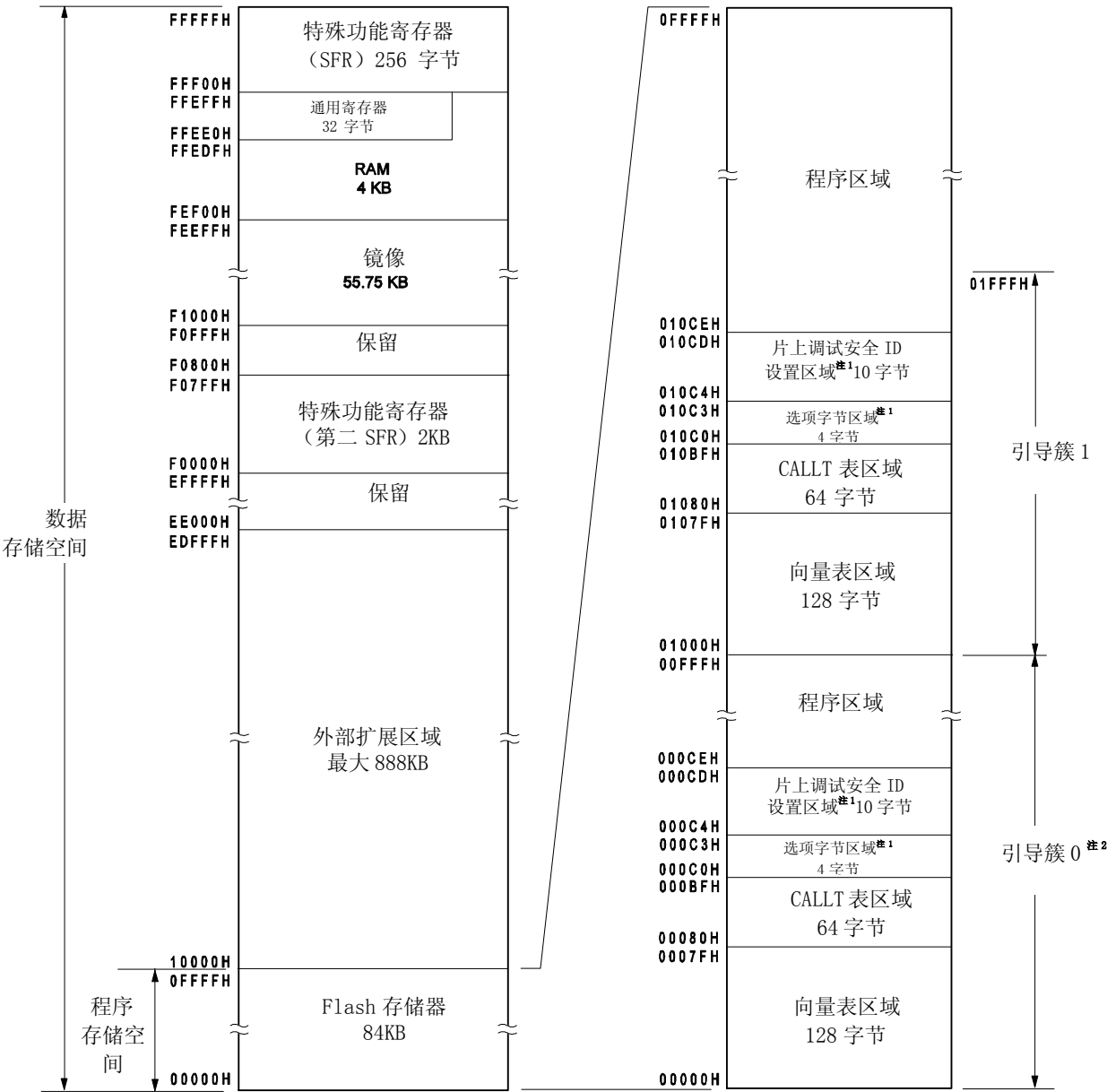
<R>



3.1 存储器空间

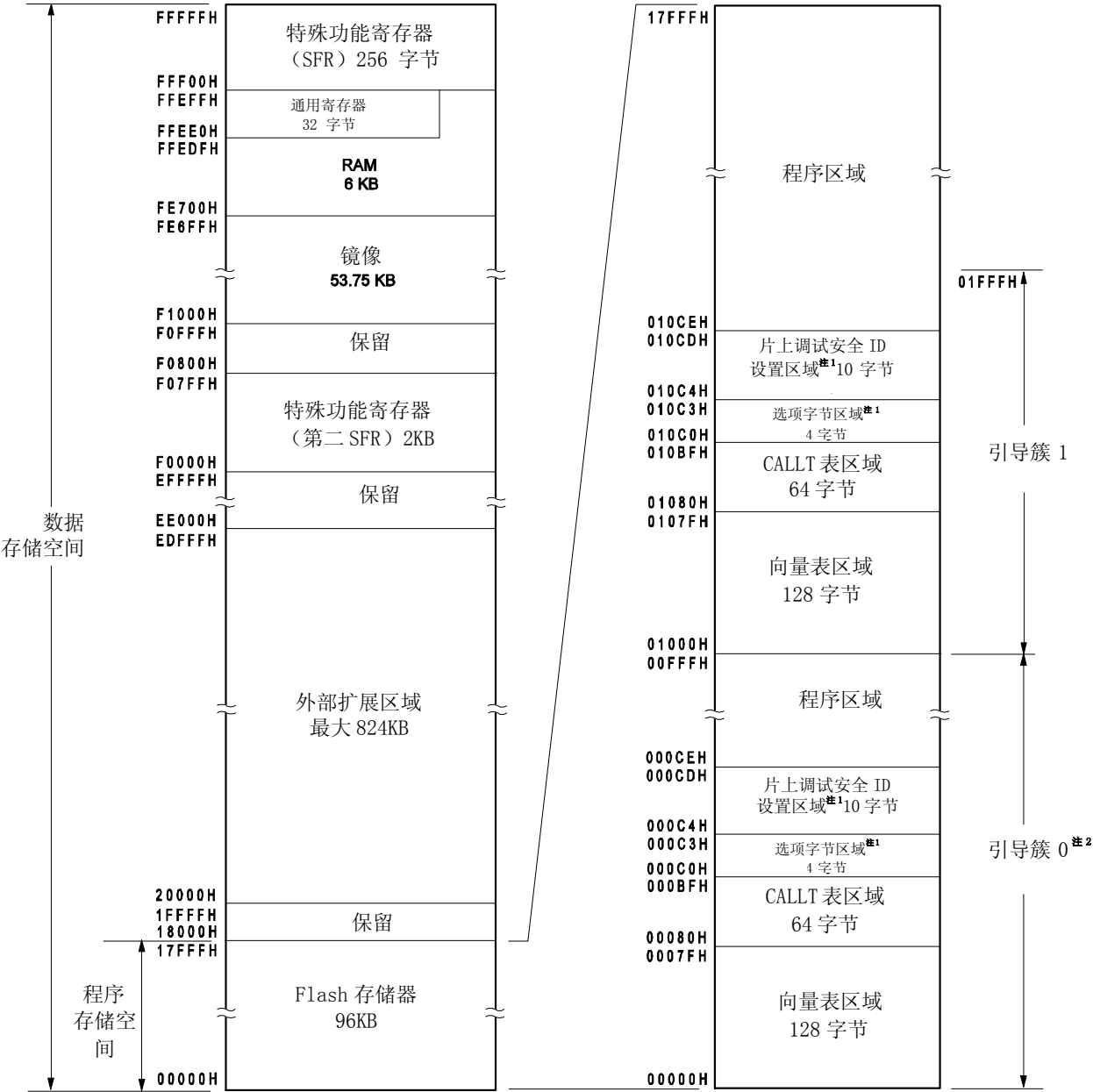
78K0R/KG3 产品可以访问大小为 1 MB 的存储空间。图 3-1 到 3-7 显示了存储空间映射图。

图 3-1. 存储器映射图 (μPD78F1162)



- 注 1. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。
- 当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。
2. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

图 3-2. 存储器映射图 (μPD78F1163)

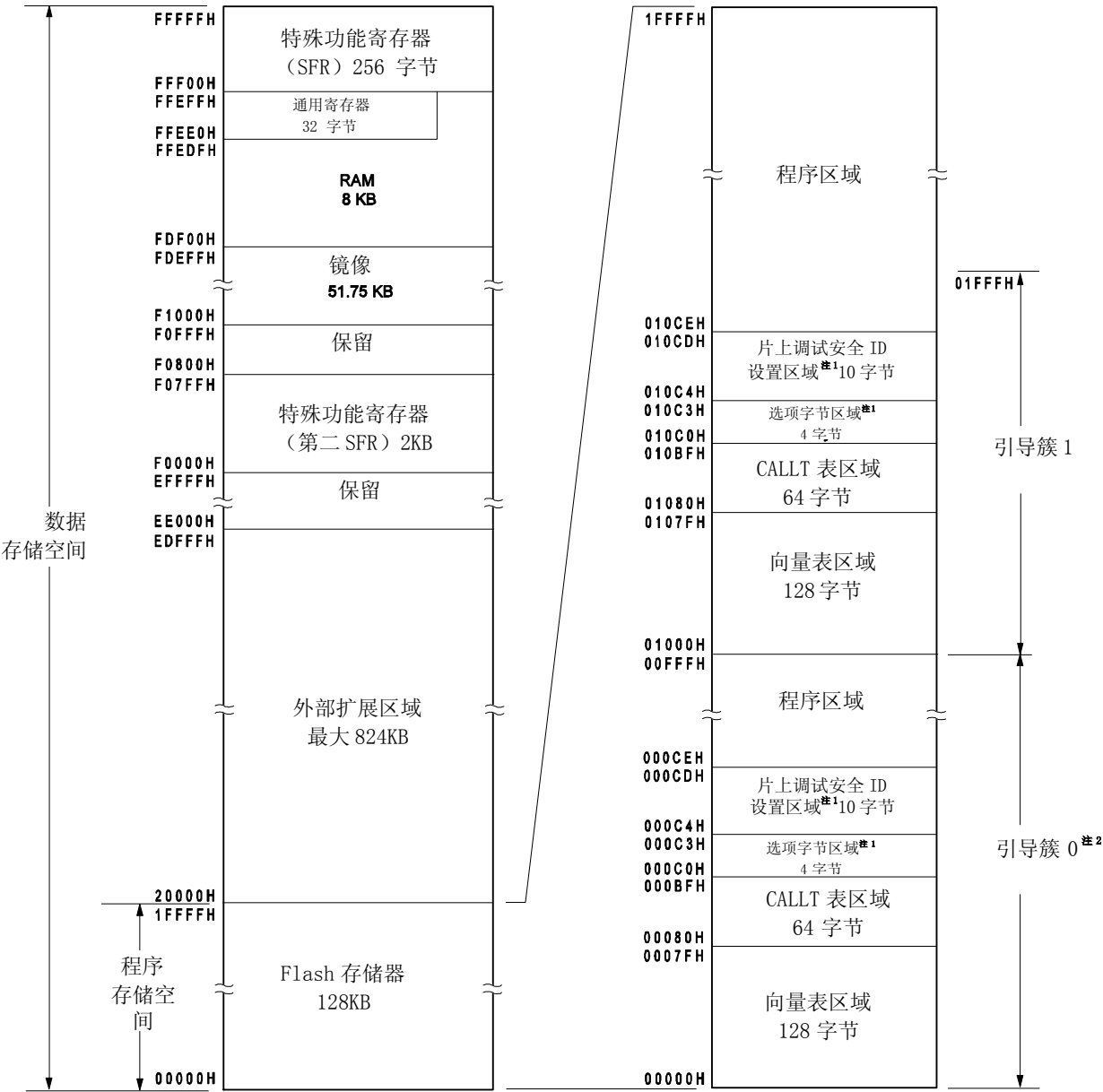


注 1. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。

当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。

2. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

图 3-3. 存储器映射图 (μPD78F1164)

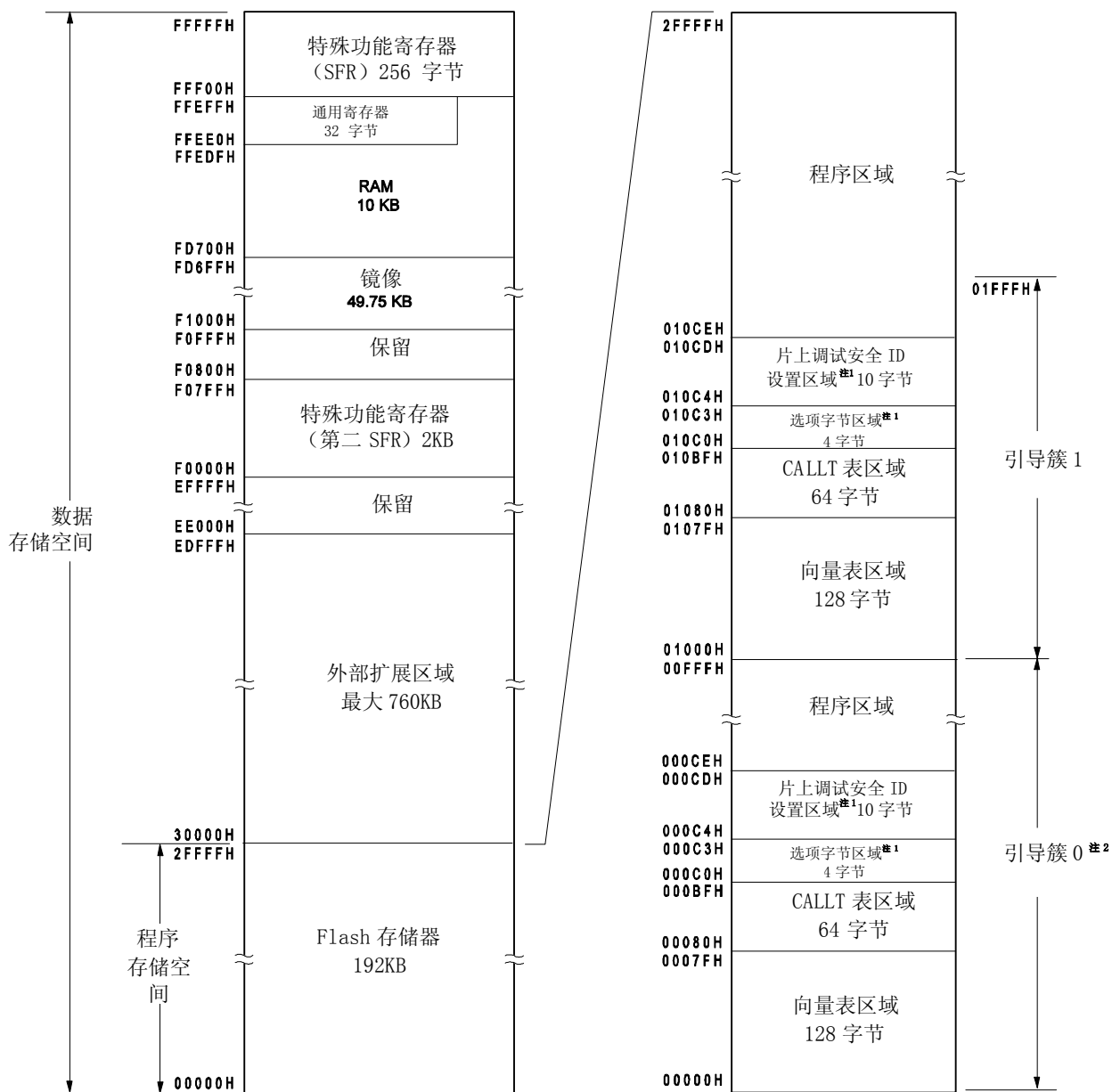


注 1. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。

当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。

2. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

图 3-4. 存储器映射图 (μPD78F1165)

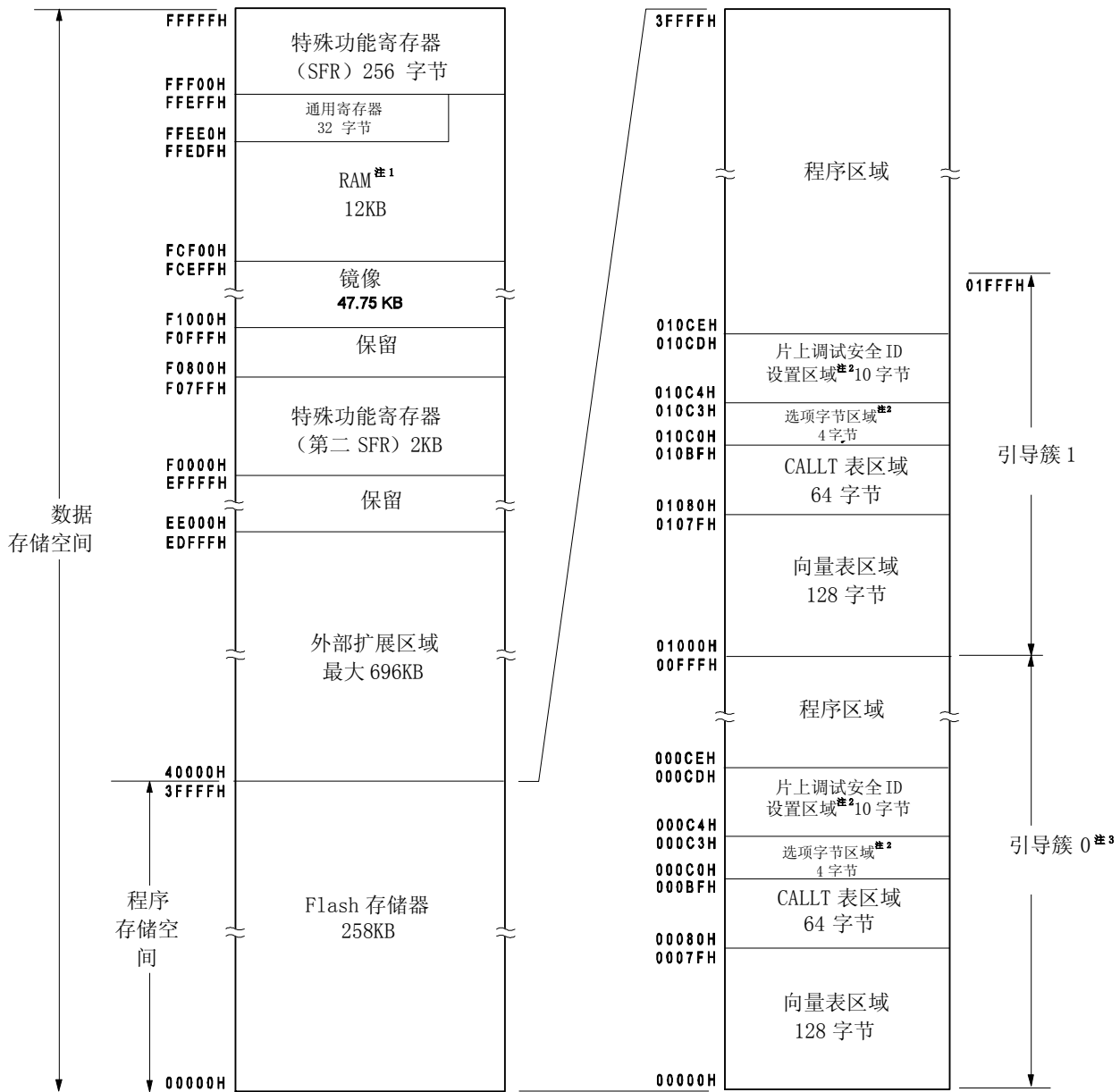


注 1. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。

当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。

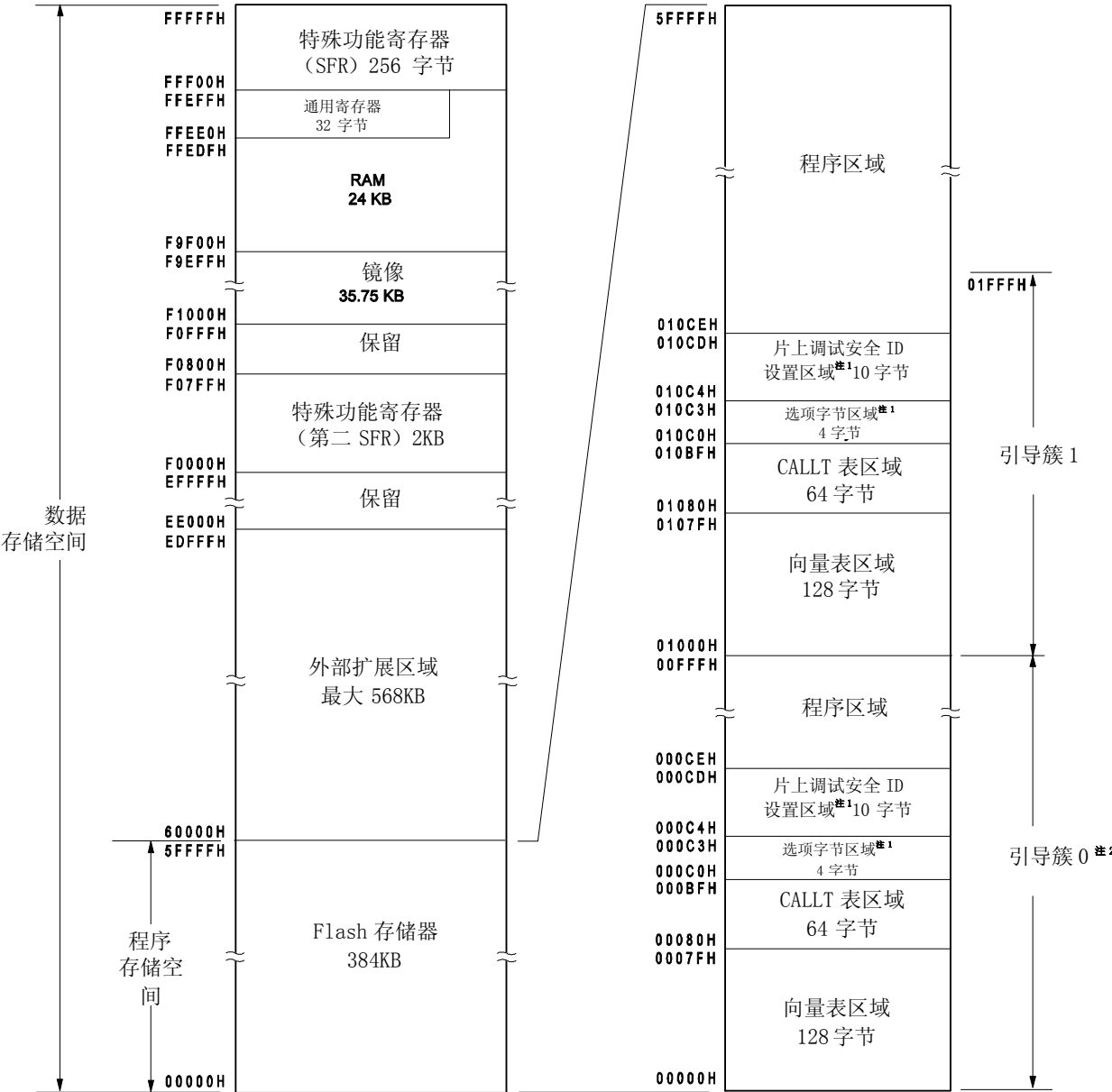
2. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

图 3-5. 存储器映射图 (μPD78F1166)



- 注
1. 使用自编程功能时区域 FCF00H~FD6FFH 禁止使用。因为此区域用于自编程库。
 2. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。
当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。
 3. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

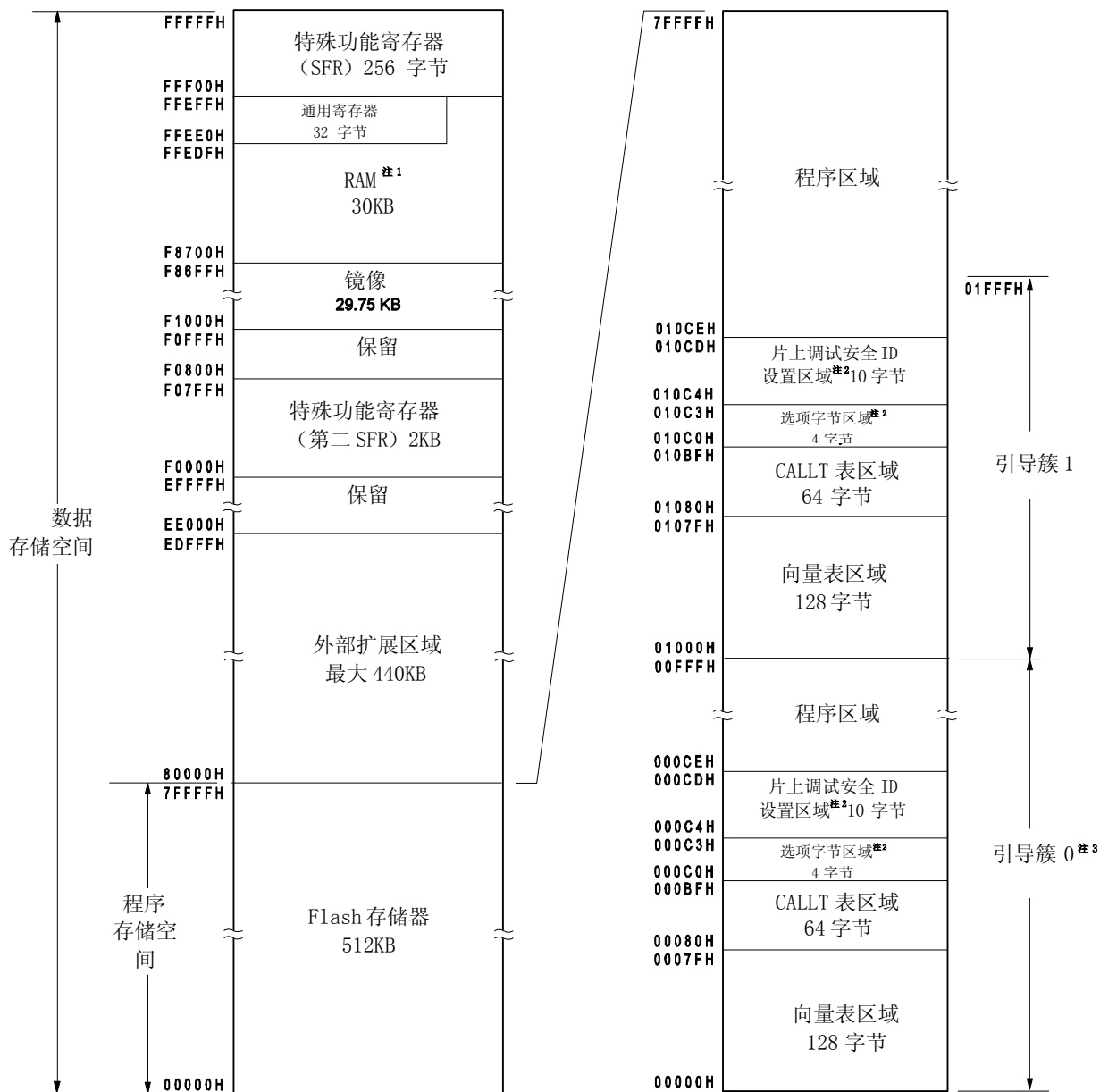
图 3-6. 存储器映射图 (μPD78F1167)



注 1. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。
当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。

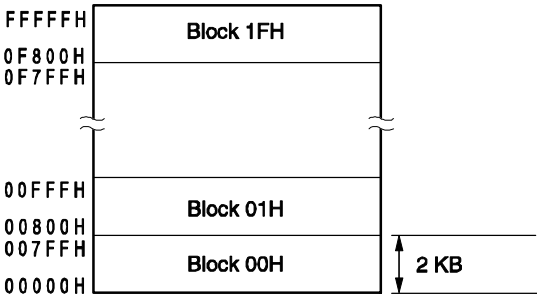
2. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

图 3-7. 存储器映射图 (μPD78F1168)



- 注
1. 使用自编程功能时区域 F8700H~F8E FFH 禁止使用。因为此区域用于自编程库。
 2. 当不使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H，片上调试安全 ID 为 000C4H ~ 000CDH。
当使用引导交换功能的时候：设置选项字节区域：000C0H ~ 000C3H 和 010C0H ~ 010C3H，片上调试安全 ID 为 000C4H ~ 000CDH 和 010C4H ~ 010CDH。
 3. 根据安全设置可以禁止写入引导簇 0 (参见 25.7 安全设置)。

备注 Flash 存储器分为 block(1 block = 2 KB)。如需了解地址值和 block 号，参见表 3-1 Flash 存储器的地址值和 block 号之间的关系。



Flash 存储器的地址值和 block 号之间的关系如下所示。

表 3-1. Flash 存储器的地址值和 block 号之间的关系(1/2)

地址值	Block 号	地址值	Block 号	地址值	Block 号	地址值	Block 号
00000H~007FFH	00H	10000H~107FFH	20H	20000H~207FFH	40H	30000H~307FFH	60H
00800H~00FFFH	01H	10800H~10FFFH	21H	20800H~20FFFH	41H	30800H~30FFFH	61H
01000H~017FFH	02H	11000H~117FFH	22H	21000H~217FFH	42H	31000H~317FFH	62H
01800H~01FFFH	03H	11800H~11FFFH	23H	21800H~21FFFH	43H	31800H~31FFFH	63H
02000H~027FFH	04H	12000H~127FFH	24H	22000H~227FFH	44H	32000H~327FFH	64H
02800H~02FFFH	05H	12800H~12FFFH	25H	22800H~22FFFH	45H	32800H~32FFFH	65H
03000H~037FFH	06H	13000H~137FFH	26H	23000H~237FFH	46H	33000H~337FFH	66H
03800H~03FFFH	07H	13800H~13FFFH	27H	23800H~23FFFH	47H	33800H~33FFFH	67H
04000H~047FFH	08H	14000H~147FFH	28H	24000H~247FFH	48H	34000H~347FFH	68H
04800H~04FFFH	09H	14800H~14FFFH	29H	24800H~24FFFH	49H	34800H~34FFFH	69H
05000H~057FFH	0AH	15000H~157FFH	2AH	25000H~257FFH	4AH	35000H~357FFH	6AH
05800H~05FFFH	0BH	15800H~15FFFH	2BH	25800H~25FFFH	4BH	35800H~35FFFH	6BH
06000H~067FFH	0CH	16000H~167FFH	2CH	26000H~267FFH	4CH	36000H~367FFH	6CH
06800H~06FFFH	0DH	16800H~16FFFH	2DH	26800H~26FFFH	4DH	36800H~36FFFH	6DH
07000H~077FFH	0EH	17000H~177FFH	2EH	27000H~277FFH	4EH	37000H~377FFH	6EH
07800H~07FFFH	0FH	17800H~17FFFH	2FH	27800H~27FFFH	4FH	37800H~37FFFH	6FH
08000H~087FFH	10H	18000H~187FFH	30H	28000H~287FFH	50H	38000H~387FFH	70H
08800H~08FFFH	11H	18800H~18FFFH	31H	28800H~28FFFH	51H	38800H~38FFFH	71H
09000H~097FFH	12H	19000H~197FFH	32H	29000H~297FFH	52H	39000H~397FFH	72H
09800H~09FFFH	13H	19800H~19FFFH	33H	29800H~29FFFH	53H	39800H~39FFFH	73H
0A000H~0A7FFH	14H	1A000H~1A7FFH	34H	2A000H~2A7FFH	54H	3A000H~3A7FFH	74H
0A800H~0AFFFH	15H	1A800H~1AFFFH	35H	2A800H~2AFFFH	55H	3A800H~3AFFFH	75H
0B000H~0B7FFH	16H	1B000H~1B7FFH	36H	2B000H~2B7FFH	56H	3B000H~3B7FFH	76H
0B800H~0BFFFH	17H	1B800H~1BFFFH	37H	2B800H~2BFFFH	57H	3B800H~3BFFFH	77H
0C000H~0C7FFH	18H	1C000H~1C7FFH	38H	2C000H~2C7FFH	58H	3C000H~3C7FFH	78H
0C800H~0CFFFH	19H	1C800H~1CFFFH	39H	2C800H~2CFFFH	59H	3C800H~3CFFFH	79H
0D000H~0D7FFH	1AH	1D000H~1D7FFH	3AH	2D000H~2D7FFH	5AH	3D000H~3D7FFH	7AH
0D800H~0DFFFH	1BH	1D800H~1DFFFH	3BH	2D800H~2DFFFH	5BH	3D800H~3DFFFH	7BH
0E000H~0E7FFH	1CH	1E000H~1E7FFH	3CH	2E000H~2E7FFH	5CH	3E000H~3E7FFH	7CH
0E800H~0EFFFH	1DH	1E800H~1EFFFH	3DH	2E800H~2EFFFH	5DH	3E800H~3EFFFH	7DH
0F000H~0F7FFH	1EH	1F000H~1F7FFH	3EH	2F000H~2F7FFH	5EH	3F000H~3F7FFH	7EH

备注 μ PD78F1162: Block 号 00H~ 1FH
 μ PD78F1163: Block 号 00H~ 2FH
 μ PD78F1164: Block 号 00H~ 3FH
 μ PD78F1165: Block 号 00H~ 5FH
 μ PD78F1166: Block 号 00H~ 7FH
 μ PD78F1167: Block 号 00H~ BFH
 μ PD78F1168: Block 号 00H~ FFH

表 3-1. Flash 存储器的地址值和 block 号之间的关系(2/2)

地址值	Block 号	地址值	Block 号	地址值	Block 号	地址值	Block 号
0F800H~0FFFFH	1FH	1F800H~1FFFFH	3FH	2F800H~2FFFFH	5FH	3F800H~3FFFFH	7FH
40000H~407FFH	80H	50000H~507FFH	A0H	60000H~607FFH	C0H	70000H~707FFH	E0H
40800H~40FFFH	81H	50800H~50FFFH	A1H	60800H~60FFFH	C1H	70800H~70FFFH	E1H
41000H~417FFH	82H	51000H~517FFH	A2H	61000H~617FFH	C2H	71000H~717FFH	E2H
41800H~41FFFH	83H	51800H~51FFFH	A3H	61800H~61FFFH	C3H	71800H~71FFFH	E3H
42000H~427FFH	84H	52000H~527FFH	A4H	62000H~627FFH	C4H	72000H~727FFH	E4H
42800H~42FFFH	85H	52800H~52FFFH	A5H	62800H~62FFFH	C5H	72800H~72FFFH	E5H
43000H~437FFH	86H	53000H~537FFH	A6H	63000H~637FFH	C6H	73000H~737FFH	E6H
43800H~43FFFH	87H	53800H~53FFFH	A7H	63800H~63FFFH	C7H	73800H~73FFFH	E7H
44000H~447FFH	88H	54000H~547FFH	A8H	64000H~647FFH	C8H	74000H~747FFH	E8H
44800H~44FFFH	89H	54800H~54FFFH	A9H	64800H~64FFFH	C9H	74800H~74FFFH	E9H
45000H~457FFH	8AH	55000H~557FFH	AAH	65000H~657FFH	CAH	75000H~757FFH	EAH
45800H~45FFFH	8BH	55800H~55FFFH	ABH	65800H~65FFFH	CBH	75800H~75FFFH	EBH
46000H~467FFH	8CH	56000H~567FFH	ACH	66000H~667FFH	CCH	76000H~767FFH	ECH
46800H~46FFFH	8DH	56800H~56FFFH	ADH	66800H~66FFFH	CDH	76800H~76FFFH	EDH
47000H~477FFH	8EH	57000H~577FFH	AEH	67000H~677FFH	CEH	77000H~777FFH	EEH
47800H~47FFFH	8FH	57800H~57FFFH	AFH	67800H~67FFFH	CFH	77800H~77FFFH	EFH
48000H~487FFH	90H	58000H~587FFH	B0H	68000H~687FFH	D0H	78000H~787FFH	F0H
48800H~48FFFH	91H	58800H~58FFFH	B1H	68800H~68FFFH	D1H	78800H~78FFFH	F1H
49000H~497FFH	92H	59000H~597FFH	B2H	69000H~697FFH	D2H	79000H~797FFH	F2H
49800H~49FFFH	93H	59800H~59FFFH	B3H	69800H~69FFFH	D3H	79800H~79FFFH	F3H
4A000H~4A7FFH	94H	5A000H~5A7FFH	B4H	6A000H~6A7FFH	D4H	7A000H~7A7FFH	F4H
4A800H~4AFFFH	95H	5A800H~5AFFFH	B5H	6A800H~6AFFFH	D5H	7A800H~7AFFFH	F5H
4B000H~4B7FFH	96H	5B000H~5B7FFH	B6H	6B000H~6B7FFH	D6H	7B000H~7B7FFH	F6H
4B800H~4BFFFH	97H	5B800H~5BFFFH	B7H	6B800H~6BFFFH	D7H	7B800H~7BFFFH	F7H
4C000H~4C7FFH	98H	5C000H~5C7FFH	B8H	6C000H~6C7FFH	D8H	7C000H~7C7FFH	F8H
4C800H~4CFFFH	99H	5C800H~5CFFFH	B9H	6C800H~6CFFFH	D9H	7C800H~7CFFFH	F9H
4D000H~4D7FFH	9AH	5D000H~5D7FFH	BAH	6D000H~6D7FFH	DAH	7D000H~7D7FFH	FAH
4D800H~4DFFFH	9BH	5D800H~5DFFFH	BBH	6D800H~6DFFFH	DBH	7D800H~7DFFFH	FBH
4E000H~4E7FFH	9CH	5E000H~5E7FFH	BCH	6E000H~6E7FFH	DCH	7E000H~7E7FFH	FCH
4E800H~4EFFFH	9DH	5E800H~5EFFFH	BDH	6E800H~6EFFFH	DDH	7E800H~7EFFFH	FDH
4F000H~4F7FFH	9EH	5F000H~5F7FFH	BEH	6F000H~6F7FFH	DEH	7F000H~7F7FFH	FEH
4F800H~4FFFFH	9FH	5F800H~5FFFFH	BFH	6F800H~6FFFFH	DFH	7F800H~7FFFFH	FFH

备注 μ PD78F1162: Block 号 00H~1FH
 μ PD78F1163: Block 号 00H~2FH
 μ PD78F1164: Block 号 00H~3FH
 μ PD78F1165: Block 号 00H~5FH
 μ PD78F1166: Block 号 00H~7FH
 μ PD78F1167: Block 号 00H~BFH
 μ PD78F1168: Block 号 00H~FFH

3.1.1 内部程序存储器空间

内部程序存储空间用于存储程序和表数据，一般通过程序计数器(PC)来寻址。
78K0R/KG3 产品内部 ROM(Flash 存储器)的情况如下表所示。

表 3-2. 内部 ROM 容量

产品型号	内部 ROM	
	结构	容量
μPD78F1162	Flash 存储器	65536 × 8 位 (00000H~0FFFFH)
μPD78F1163		98303 × 8 位 (00000H~17FFFH)
μPD78F1164		131071 × 8 位 (00000H~1FFFFH)
μPD78F1165		196607 × 8 位 (00000H~2FFFFH)
μPD78F1166		262143 × 8 位 (00000H~3FFFFH)
μPD78F1167		393215 × 8 位 (00000H~5FFFFH)
μPD78F1168		524287 × 8 位 (00000H~7FFFFH)

内部程序存储空间主要分为以下几个区域。

(1) 向量表区域

00000H~0007FH 共 128 字节作为向量表区域。在向量表中存放的是根据复位信号输入或每个中断请求的产生进行转移的程序的起始地址。
在 16 位地址中，低 8 位是偶地址，高 8 位是奇地址。

表 3-3. 向量表

向量表地址	中断源	向量表地址	中断源
00000H	RESET 输入, POC, LVI, WDT, TRAP	0002CH	INTTM00
		0002EH	INTTM01
00004H	INTWDTI	00030H	INTTM02
00006H	INTLVI	00032H	INTTM03
00008H	INTP0	00034H	INTAD
0000AH	INTP1	00036H	INTRTC
0000CH	INTP2	00038H	INTRTCI
0000EH	INTP3	0003AH	INTKR
00010H	INTP4	0003CH	INTST2/INTCSI20/INTIIC20
00012H	INTP5	0003EH	INTSR2
00014H	INTST3	00040H	INTSRE2
00016H	INTSR3	00042H	INTTM04
00018H	INTSRE3	00044H	INTTM05
0001AH	INTDMA0	00046H	INTTM06
0001CH	INTDMA1	00048H	INTTM07
0001EH	INTST0/INTCSI00	0004AH	INTP6
00020H	INTSR0/INTCSI01	0004CH	INTP7
00022H	INTSRE0	0004EH	INTP8
00024H	INTST1/INTCSI10/INTIIC10	00050H	INTP9
00026H	INTSR1	00052H	INTP10
00028H	INTSRE1	00054H	INTP11
0002AH	INTIIC0	0007EH	BRK

(2) CALLT 指令表区域

00080H~000BFH 共 64 字节的区域，可存放 2 字节调用指令(CALLT)的子程序入口地址。设置子程序入口地址的值在 00000H~0FFFFH 范围内（因为地址码为 2 字节）。

要使用引导交换功能，设置 CALLT 指令表也在 01080H~010BFH。

(3) 选项字节区域

000C0H~000C3H 的 4 字节的区域可以用作选项字节区域。当使用引导交换功能时，在 010C0H~010C3H 设置选项字节。详细信息参见第二十四章选项字节。

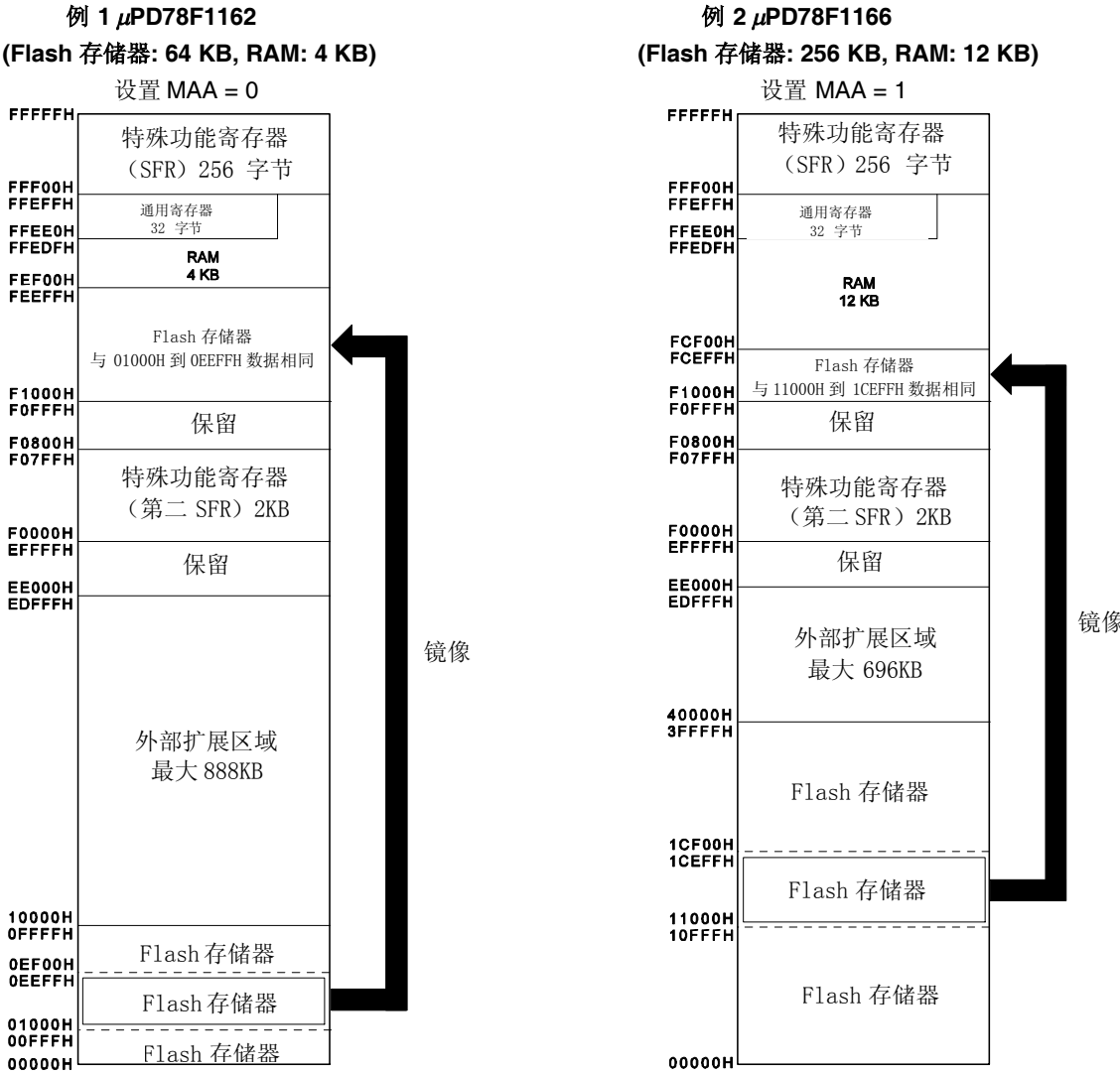
(4) 片上调试安全 ID 设置区域

000C4H~000CDH 和 010C4H~010CDH 各 10 字节区域可用作片上调试安全 ID 设置区域。不使用引导交换功能时，在 000C4H~000CDH 区域设置片上调试安全 ID；而当使用引导交换功能时，在 000C4H~000CDH 和 010C4H~010CDH 区域设置。详细情况请参见第二十六章 片上调试功能。

3.1.2 镜像区域

μPD78F1162 镜像数据 flash 区域 00000H~0FFFFH 到 F0000H~FFFFFH。
μPD78F1163, 78F1164, 78F1165, 78F1166, 78F1167, 和 78F1168 镜像 00000H~0FFFFH 或 10000H~1FFFFH 到 F0000H~FFFFFH 的数据 flash 区域 (数据 flash 区域 通过处理器模式控制寄存器 (PMC)镜像)。
通过从 F0000H~FFFFFH 读数据, 数据 flash 的内容可以用更短的代码读取。但是, 数据 flash 区域不能镜像到 SFR,扩展 SFR, RAM, 和禁止使用的区域。
镜像区域只能读取, 并且没有指令能从此区域中获取。

如下为例。



备注 MAA:处理器模式控制寄存器(PMC)的第 0 位。

PMC 寄存器描述如下。

● 处理器模式控制寄存器 (PMC)

此寄存器在区域 F0000H~FFFFFH 为镜像 选择 Flash 存储器空间。

PMC 只能由 1 位 或 8 位存储器操作指令设置。

复位信号发生设置此寄存器为 00H。

图 3-8.处理器模式控制寄存器 (PMC)的配置格式

地址: FFFFEH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA

MAA	从区域 F0000H~FFFFFH中选择镜像的Flash存储器空间
0	00000H~0FFFFH 镜像到 F0000H~FFFFFH
1	10000H~1FFFFH 镜像到 F0000H~FFFFFH

- 注意事项
1. 在初始化设置期间设置 **PMC** 优先于操作 **DMA** 控制器。除了在初始化设置期间外禁止重写 **PMC**。
 2. 设置 **PMC** 后, 等待至少一个指令周期访问镜像区域。
 3. 当使用 μ PD78F1162 时, 确保此寄存器的第 0 位(MAA)为 0。

3.1.3 内部数据存储器空间

78K0R/KG3 产品包括如下大小 RAM。

表 3-4. 内部 RAM 容量

产品型号	内部 RAM
μ PD78F1162	4096 $\times$ 8 位 (FEF00H~FEEFFH)
μ PD78F1163	6144 $\times$ 8 位 (FE700H~FEEFFH)
μ PD78F1164	8192 $\times$ 8 位 (FDF00H~FEEFFH)
μ PD78F1165	10240 $\times$ 8 位 (FD700H~FEEFFH)
μ PD78F1166	12288 $\times$ 8 位 (FCF00H~FEEFFH)
μ PD78F1167	24576 $\times$ 8 位 (F9F00H~FEEFFH)
μ PD78F1168	30720 $\times$ 8 位 (F8700H~FEEFFH)

32 字节的区域 FFEE0H~FEEFFH 分配了四组通用寄存器组, 每个寄存器组包括 8 个 8 位寄存器。

该区域可用作写入和执行指令的程序区域。但是, 在通用寄存器中禁止执行指令。

内部高速 RAM 可用作堆栈存储器。

注意事项 当使用自编程功能时, 区域 FFE20H~FFEDFH, FCF00H~FD6FFH (μ PD78F1166), 和 F8700H~F8EFFH (μ PD78F1168) 不能用作堆栈存储器。

3.1.4 特殊功能寄存器 (SFR) 区域

片上外围硬件特殊功能寄存器(SFRs) 位于 FFF00H~FFFFFH (参见 3.2.4 特殊功能寄存器 (SFRs)的表 3-5 特殊功能寄存器列表)的空间。

注意事项 不要访问那些未分配特殊功能寄存器的地址区域。

3.1.5 扩展特殊功能寄存器 (第二 SFR: 第二特殊功能寄存器) 区域

片上外围硬件特殊功能寄存器 (第二 SFRs) 被分配在 F0000H~F07FFH 区域(参见 3.2.5 扩展特殊功能寄存器 (第二 SFR: 第二特殊功能寄存器) 中的表 3-6)内。

SFR 区域之外的 SFR(从 FFF00H 到 FFFFFH)分配到此扩展 SFR 空间。但是, 扩展 SFR 区域访问长度比 SFR 区域多 1 个字节。

注意事项 不要访问那些未分配特殊功能寄存器的地址区域。

3.1.6 数据存储寻址

寻址是定位地址的方式，需要定位的地址包括下一条指令地址或者与指令执行相关的存储器地址或寄存器地址。

基于可操作性和其他考虑，在 78K0R/KG3 中提供了几种用于与指令执行相关的存储器寻址方式。因为有专门的数据存储区域，故可使用一些特殊的寻址方式，具有特殊功能寄存器(SFR)和通用寄存器的功能。图 3-9 到 3-15 显示了数据存储空间与寻址方式的对应关系。

图 3-9. 数据存储空间与寻址方式的对应关系(μPD78F1162)

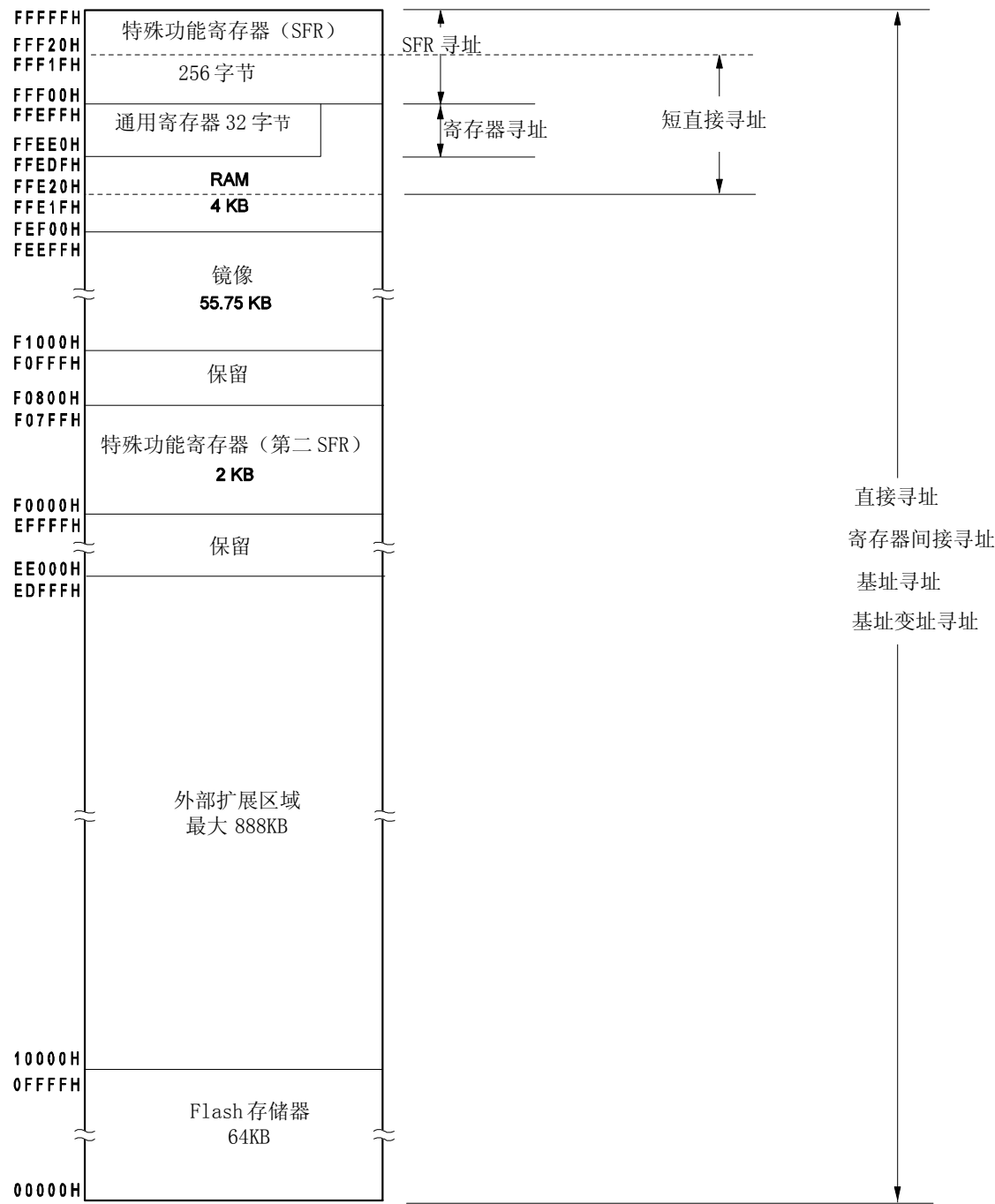


图 3-10. 数据存储空间与寻址方式的对应关系(μPD78F1163)

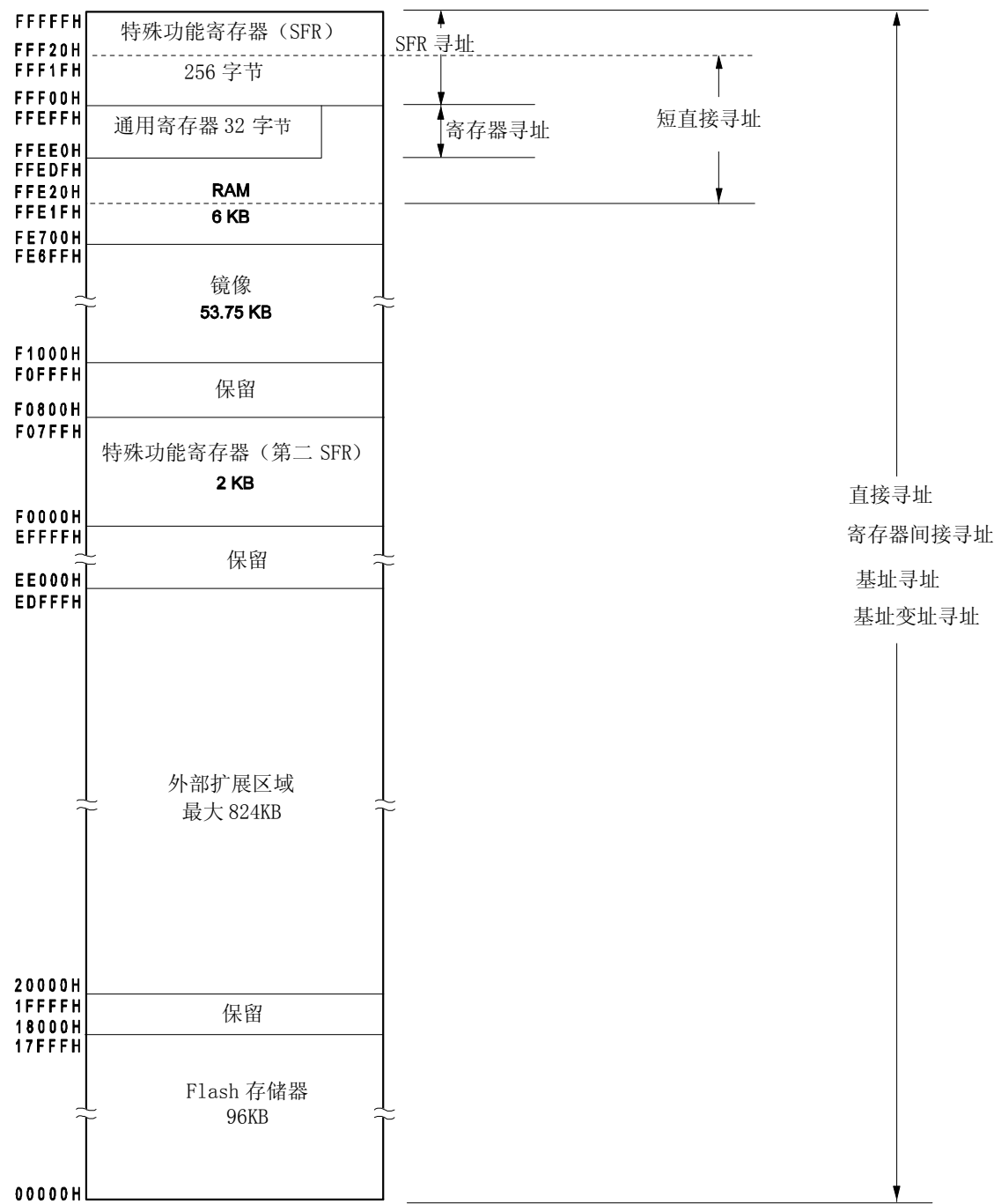


图 3-11. 数据存储空间与寻址方式的对应关系(μPD78F1164)

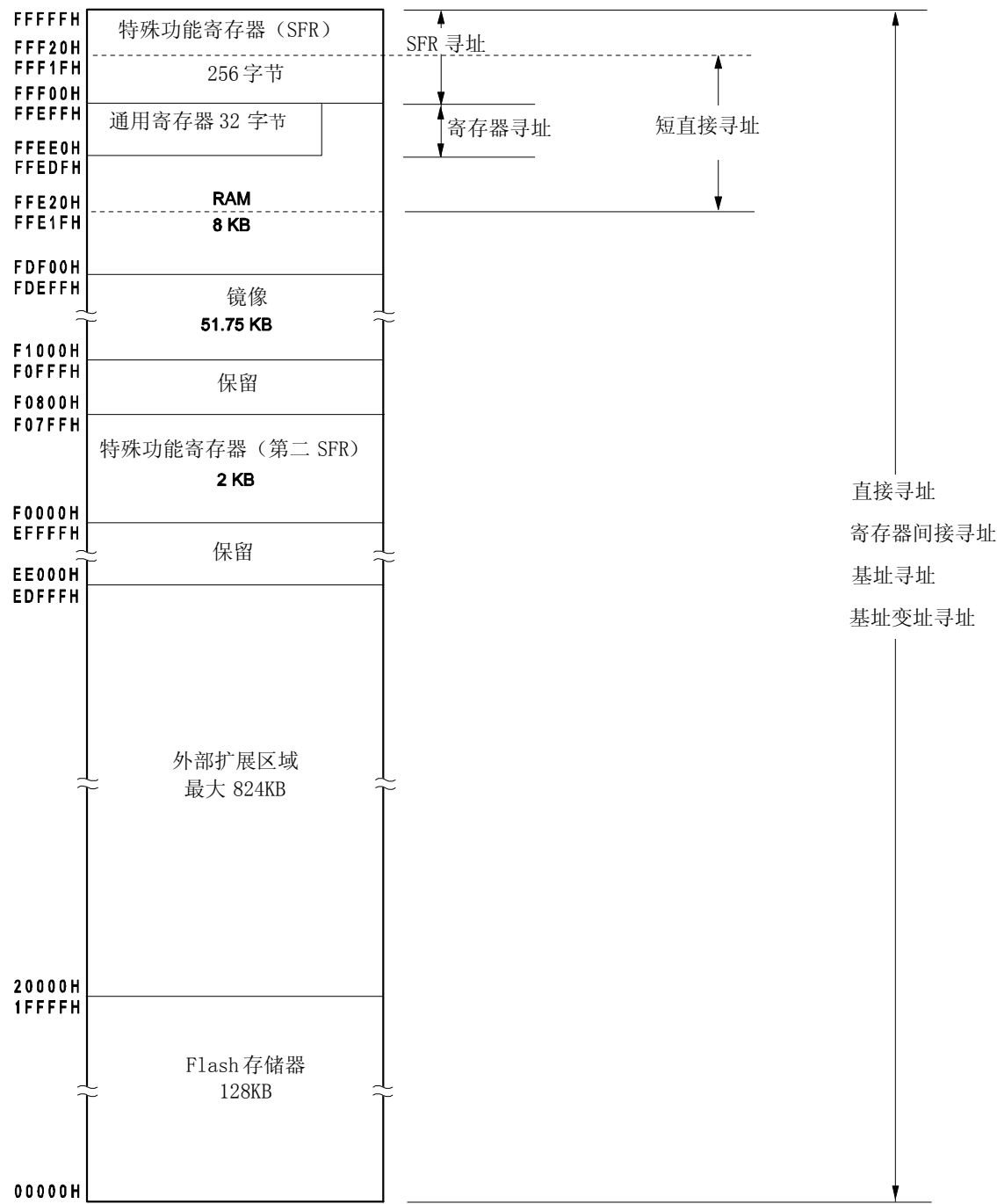


图 3-12. 数据存储空间与寻址方式的对应关系(μ PD78F1165)

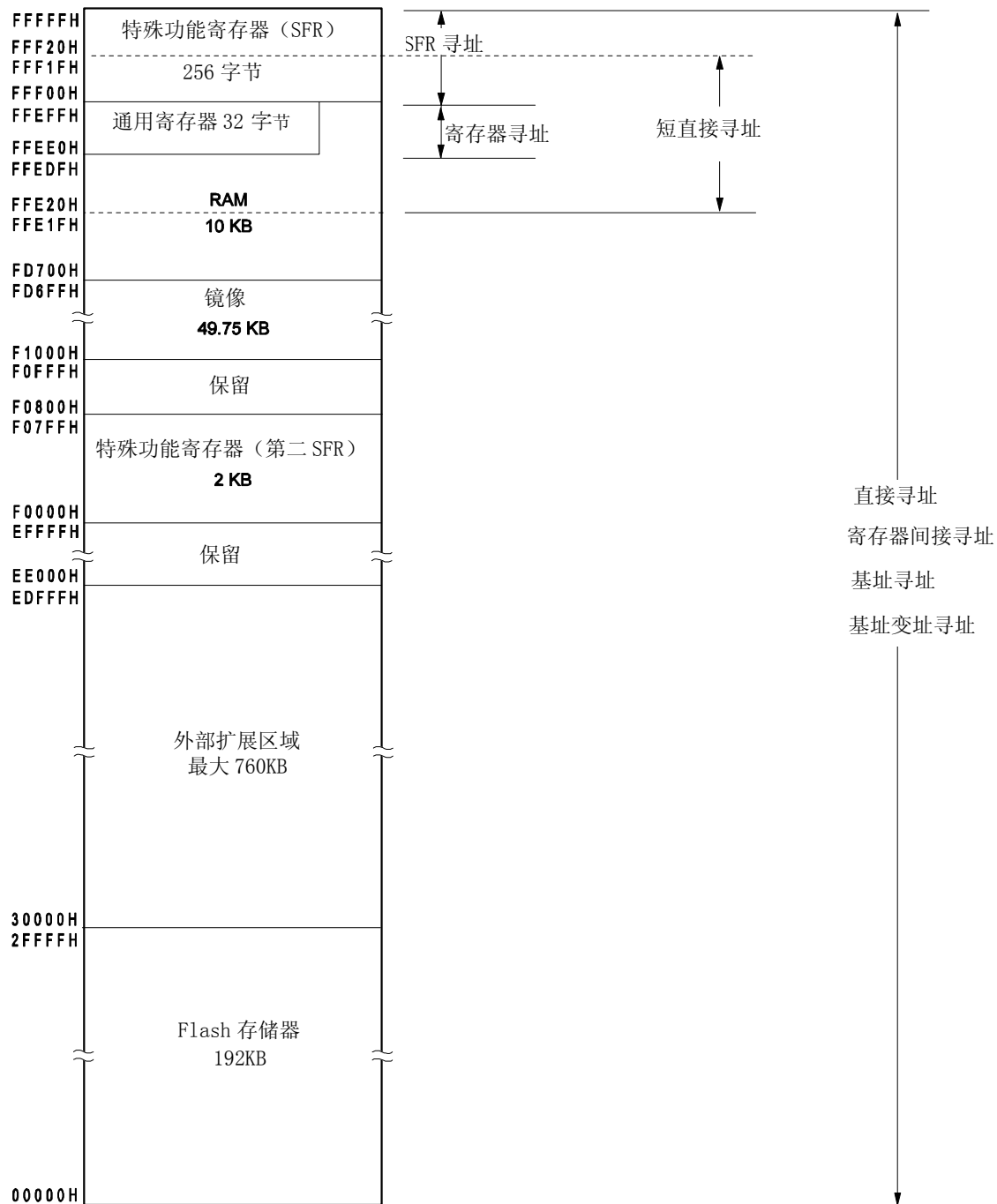
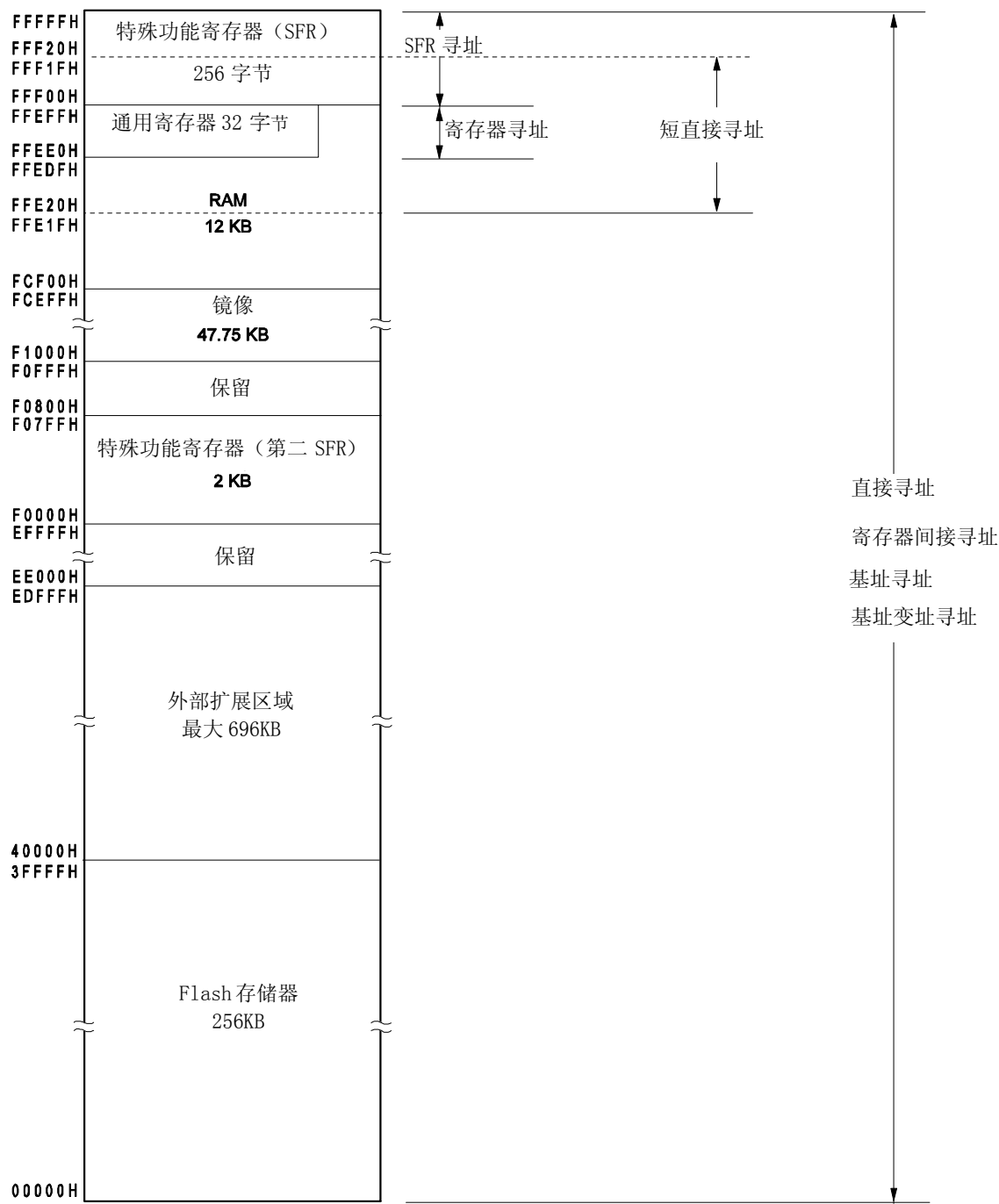


图 3-13. 数据存储空间与寻址方式的对应关系(μPD78F1166)



注 当是使用自编程功能时区域 FCF00H ~ FD6FFH 禁止使用。因为此区域用于自编程库。

图 3-14. 数据存储空间与寻址方式的对应关系(μPD78F1167)

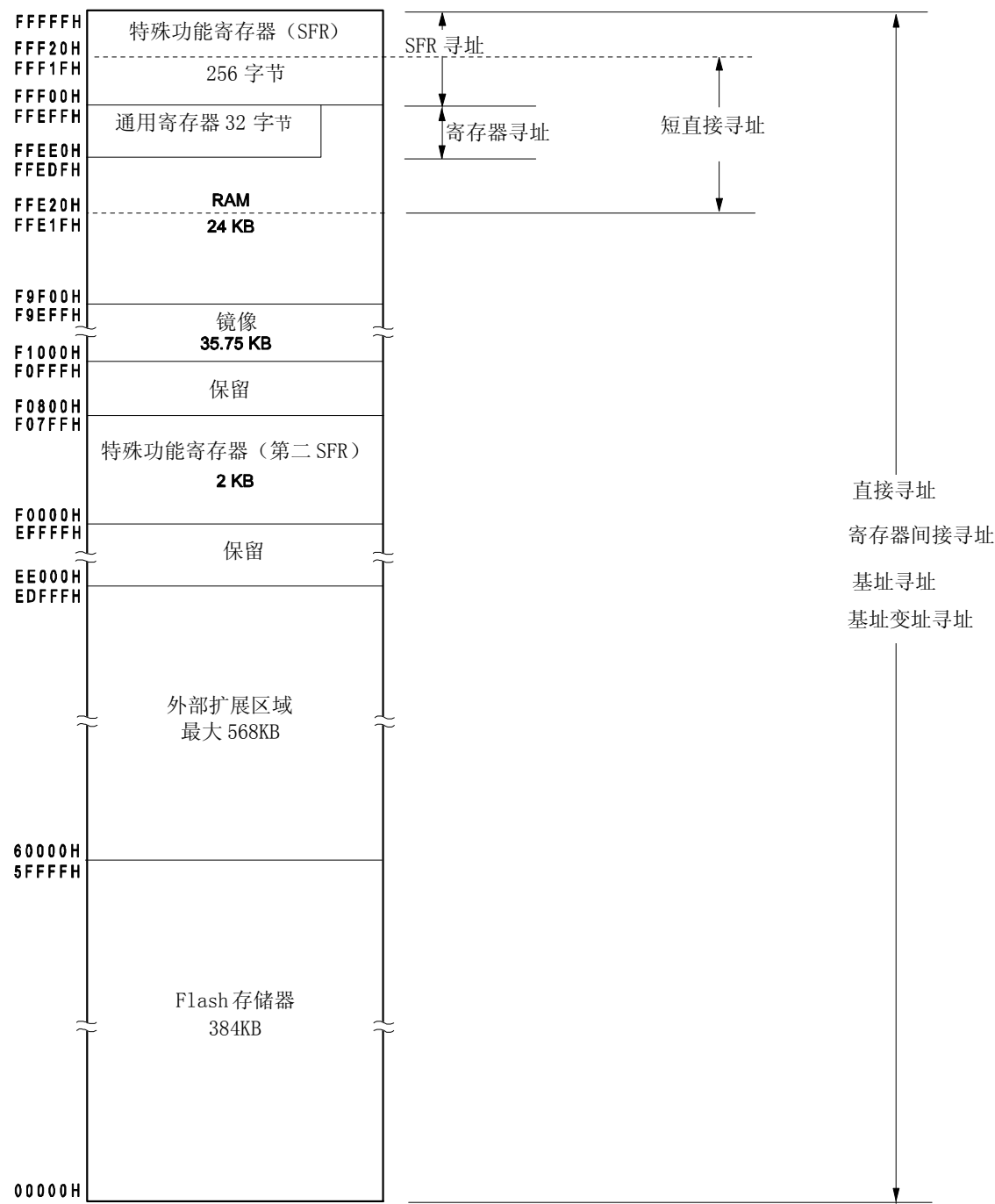
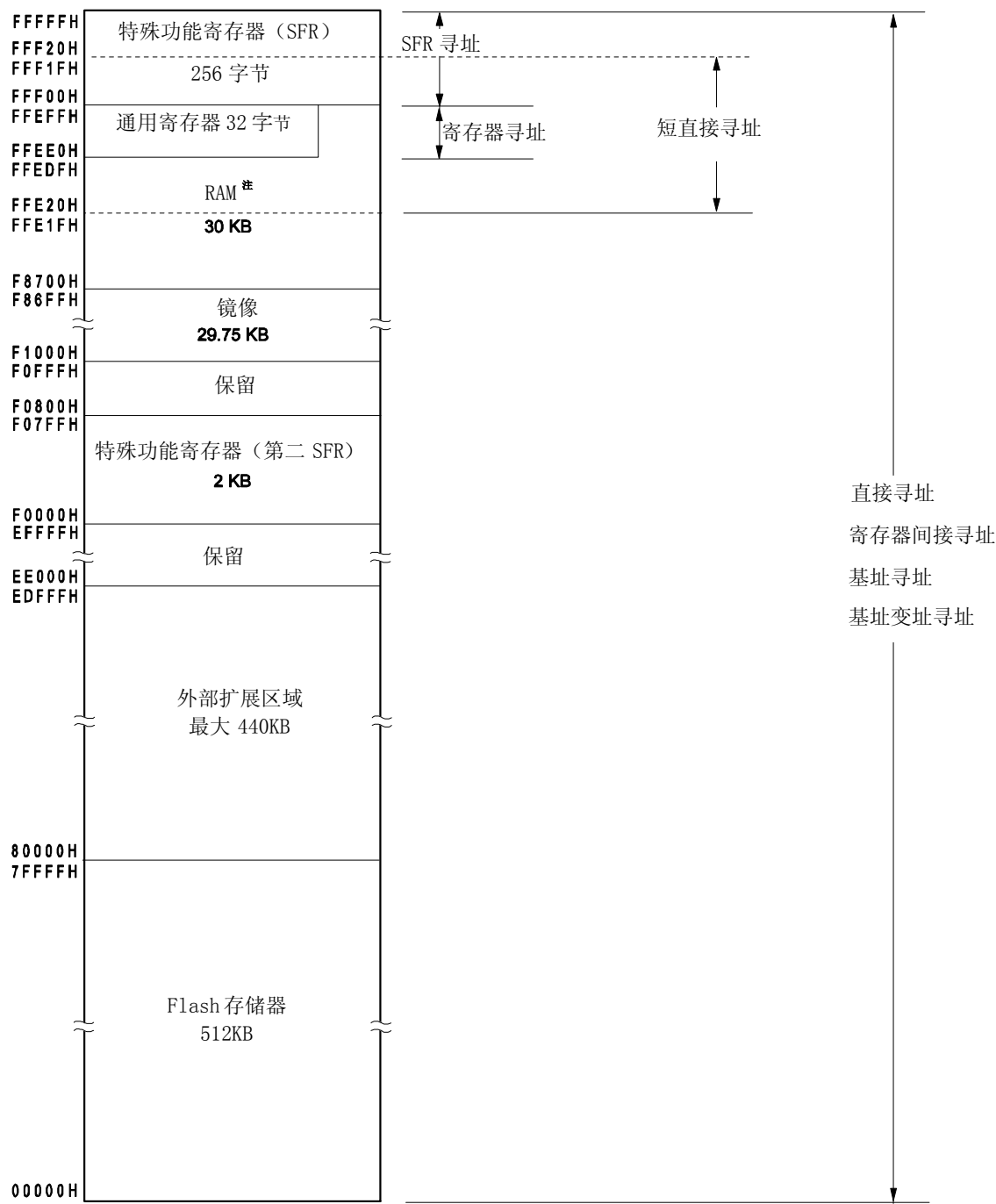


图 3-15. 数据存储空间与寻址方式的对应关系(μPD78F1168)



注 当是使用自编程功能时区域 F8700H~F8EFFH 禁止使用。因为此区域用于自编程库。

3.2 处理器寄存器

78K0R/KG3 产品包含以下几种处理器寄存器。

3.2.1 控制寄存器

控制寄存器用于控制程序执行的顺序、状态和堆栈空间。程序计数器(PC)、程序状态字(PSW)和堆栈指针寄存器(SP)都属于控制寄存器。

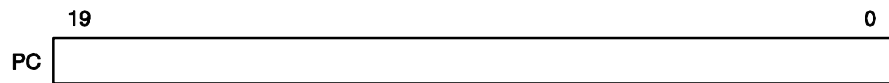
(1) 程序计数器 (PC)

程序计数器是一个 20 位寄存器，用于存放下一条即将要执行的指令的地址。

在正常情况下，根据获取的指令字节数，程序计数器(PC)的值会自动累加。当执行分支指令时，则设置立即数和寄存器内容。

复位信号的产生将复位向量表中地址为 0000H 和 0001H 中的值赋给程序计数器。

图 3-16. 程序计数器的格式



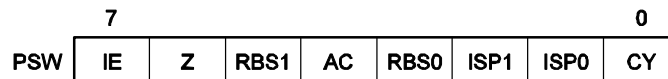
(2) 程序状态字 (PSW)

程序状态字(PSW)是一个 8 位寄存器，由各种标志位组成，通过指令执行对其进行设置或复位。

根据中断请求的产生或 PUSH PSW 指令执行，程序状态字的内容自动入栈；通过执行 RETB, RETI 和 POP PSW 指令，程序状态字的值自动恢复。

复位信号的产生将程序状态字的内容设置为 06H。

图 3-17. 程序状态字的格式



(a) 中断允许标志 (IE)

该标志用于控制 CPU 响应中断请求操作。

当 IE 为 0 时，表示不允许中断(DI)，即禁止所有可屏蔽中断请求。

当 IE 为 1 时，表示允许中断(EI)，通过优先服务标志(ISP1, ISP0)、用于各种中断源的中断屏蔽标志以及优先级规定标志来完成响应中断请求的控制。

当执行 DI 指令或中断请求得到响应时，该标志复位(0)；当执行 EI 指令时，该标志设置为 1。

(b) 零标志 (Z)

当操作结果为 0 时，该标志置 1，其他情况置 0。

(c) 寄存器 bank 选择标志 (RBS0, RBS1)

寄存器组选择标志有两位，用于选择四组寄存器中的一组。

标志位中存储的信息用来指明执行 SEL RBn 指令时所选择的寄存器组。

(d) 辅助进位标志 (AC)

如果操作结果中第 3 位有进位或第 3 位上有借位，则该标志置 1。其他情况该标志置 0。

(e) 优先服务标志(ISP1, ISP0)

该标志用来管理可屏蔽向量中断响应的优先级。通过优先级指定标志寄存器 (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) 向量中断请求指定低于 ISP0 和 ISP1 的值 (参见 17.3 (3)) 不能响应。实际的请求响应由中断允许标志 (IE) 控制。当 ISP 为 0 时，由优先级指定标志寄存器 (PR0L, PR0H, PR1L, PR1H) (参见 19.3 (3) 优先级指定标志寄存器 (PR0L, PR0H, PR1L, PR1H)) 指定为低优先级的向量中断请求被禁止响应。对请求的实际响应是由中断允许标志 (IE) 的状态控制的。

备注 n = 0, 1

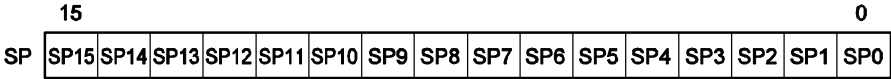
(f) 进位标志 (CY)

该标志存储的是在执行加减指令时出现的进位或借位。它也存储循环指令执行中的转移值，还可以在位操作指令执行中作为位累加器使用。

(3) 堆栈指针 (SP)

这是一个 16 位的寄存器，用来存放存储器堆栈区的起始地址。只有内部高速 RAM 区域才能被设置为堆栈区。

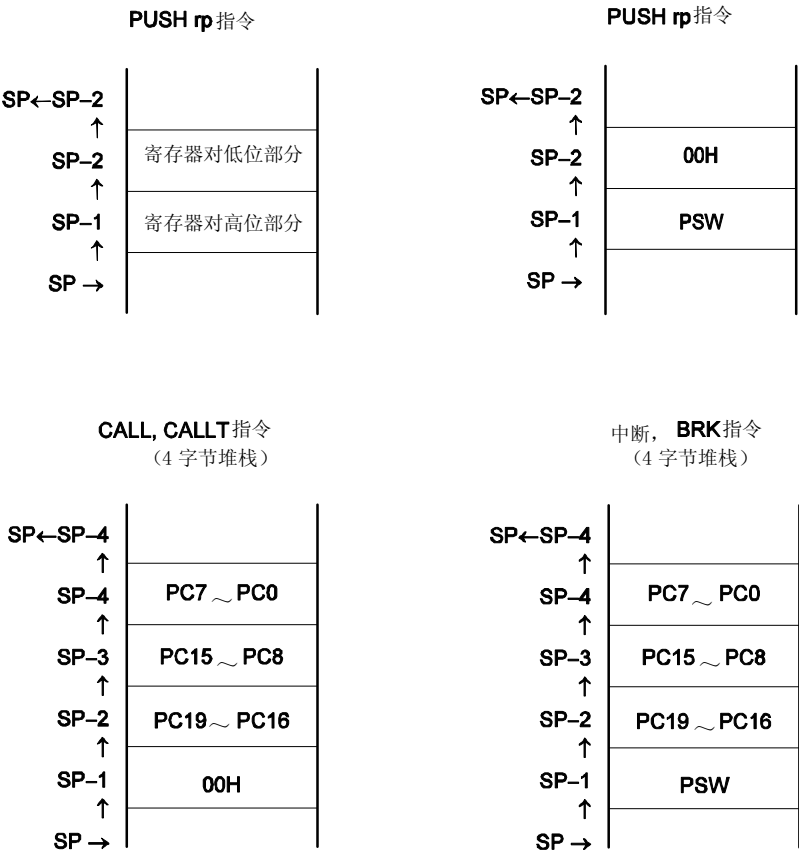
图 3-18. 堆栈指针的格式



在向堆栈写(存)数据时，堆栈指针 SP 递减，而从堆栈中读出(恢复)数据时，堆栈指针累加。
堆栈的数据存储/恢复操作过程如图 3-19 所示。

注意事项 由于复位信号产生时，SP 的内容不确定，所以在使用堆栈前必须先对 SP 初始化。

图 3-19. 将数据存入堆栈



3.2.2 通用寄存器

通用寄存器映射到数据存储器特定的地址空间为 FFEE0H ~ FFEFFH。通用寄存器共有四组，每一组由 8 个 8 位寄存器(X, A, C, B, E, D, L 和 H)组成。

此外每个寄存器可作为一个 8 位寄存器使用，两个成对的 8 位寄存器可作为一个 16 位寄存器(AX, BC, DE 和 HL)使用。

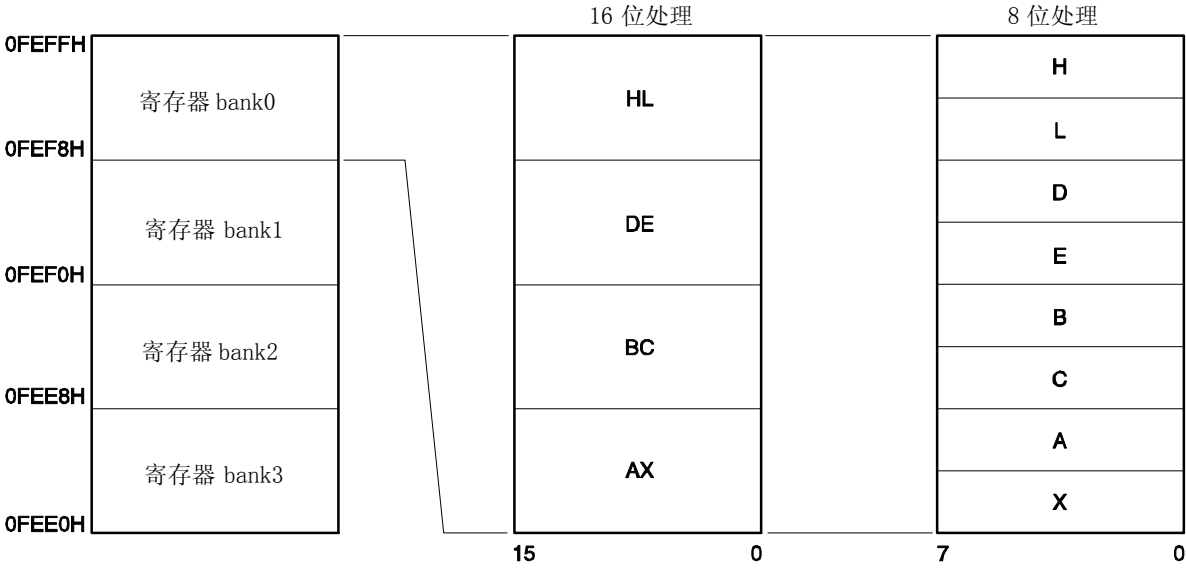
描述通用寄存器时，可以使用功能名称(X, A, C, B, E, D, L, H, AX, BC, DE 和 HL)或绝对名称(R0 ~ R7, RP0 ~ RP3)。

用于指令执行的寄存器组由 CPU 控制指令(SEL RBn)来设置。由于 4 个寄存器组的结构，通过一个用于正常处理的寄存器和另一个用于中断处理的寄存器之间的切换，可以创建一个高效率的程序。

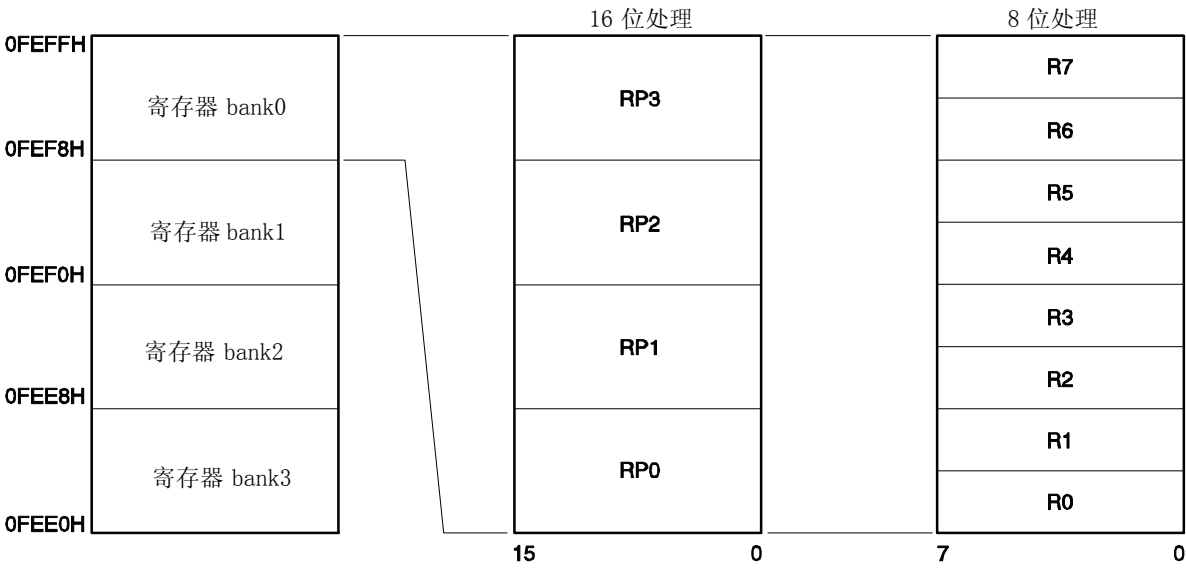
注意事项 禁止使用通用寄存器 (FFEE0H~FFEFFH)空间获取指令或作为堆栈区域。

图 3-20. 通用寄存器的配置

(a) 功能名称



(b) 绝对名称



3.2.3 ES 和 CS 寄存器

ES 寄存器用于数据访问，CS 寄存器用于执行转移指令时指定高位地址。

ES 寄存器复位后的默认值为 0FH，CS 寄存器为 00H。

图 3-21. ES 和 CS 寄存器的配置

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊功能寄存器 (SFRs)

与通用寄存器不同，每个特殊功能寄存器都有特定的功能。

特殊寄存器指定在 FFF00H 到 FFFFFH 区域。

特殊功能寄存器可像通用寄存器那样用运算指令、传送指令以及位操作指令进行操作。根据特殊功能寄存器的类型不同，可操作的位单元也不同，可以是1位、8位和16位。

每种位单元操作的描述如下。

- 1 位操作
1 位操作指令的操作数(sfr.bit)被描述为汇编程序的保留符号。该操作也可由一个地址来定义。
- 8 位操作
8 位操作指令的操作数(sfr)被描述为汇编程序的保留符号。该操作也可由一个地址来定义。
- 16 位操作
16 位操作指令的操作数(sfrp) 被描述为汇编程序的保留符号。寻址时表示为一个偶地址。

表 3-5 为特殊功能寄存器列表。表中术语的含义如下。

- 符号
表示特殊功能寄存器地址的符号，在 RA78K0R 中是保留字，并使用 CC78K0R 中的#pragma sfr 指令定义为一个 sfr 变量。在使用 RA78K0R，ID78K0R-QB 和 78K0R 的 SM+时，可以将符号作为指令操作数执行写操作。
- R/W
表示特殊功能寄存器可读或可写。
R/W: 可读/写
R: 只读
W: 只写
- 可操作的位单元
“√”表示可操作的位单元 (1, 8, 或 16)。“-”表示不可操作的位单元。
- 复位后
表示复位信号产生后每个寄存器的状态

注意事项 不要访问没有分配扩展 SFRs 的地址。

备注 要扩展 SFRs (第二 SFRs)，参见 3.2.5 扩展特殊功能寄存器 (第二 SFRs: 第二特殊功能寄存器)。

表 3-5. SFR 列表 (1/5)

地址	特殊功能寄存器 (SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
FFF00H	端口寄存器 0	P0	R/W	√	√	—	00H
FFF01H	端口寄存器 1	P1	R/W	√	√	—	00H
FFF02H	端口寄存器 2	P2	R/W	√	√	—	00H
FFF03H	端口寄存器 3	P3	R/W	√	√	—	00H
FFF04H	端口寄存器 4	P4	R/W	√	√	—	00H
FFF05H	端口寄存器 5	P5	R/W	√	√	—	00H
FFF06H	端口寄存器 6	P6	R/W	√	√	—	00H
FFF07H	端口寄存器 7	P7	R/W	√	√	—	00H
FFF08H	端口寄存器 8	P8	R/W	√	√	—	00H
FFF0BH	端口寄存器 11	P11	R/W	√	√	—	00H
FFF0CH	端口寄存器 12	P12	R/W	√	√	—	00H
FFF0DH	端口寄存器 13	P13	R/W	√	√	—	00H
FFF0EH	端口寄存器 14	P14	R/W	√	√	—	00H
FFF0FH	端口寄存器 15	P15	R/W	√	√	—	00H
FFF10H	串行数据寄存器 00	TxD0/ SIO00	SDR00	R/W	—	√	0000H
FFF11H		—			—	—	
FFF12H	串行数据寄存器 01	RxD0	SDR01	R/W	—	√	0000H
FFF13H		—			—	—	
FFF14H	串行数据寄存器 12	TxD3	SDR12	R/W	—	√	0000H
FFF15H		—			—	—	
FFF16H	串行数据寄存器 13	RxD3	SDR13	R/W	—	√	0000H
FFF17H		—			—	—	
FFF18H	定时器数据寄存器 00	TDR00	R/W	—	—	√	0000H
FFF19H							
FFF1AH	定时器数据寄存器 01	TDR01	R/W	—	—	√	0000H
FFF1BH							
FFF1CH	8 位 D/A 转换值设置寄存器 0	DACS0	R/W	√	√	—	00H
FFF1DH	8 位 D/A 转换值设置寄存器 1	DACS1	R/W	√	√	—	00H
FFF1EH	10 位 A/D 转换结果寄存器		ADCR	R	—	—	0000H
FFF1FH	8 位 A/D 转换结果寄存器	ADCRH	R	—	√	—	00H
FFF20H	端口模式寄存器 0	PM0	R/W	√	√	—	FFH
FFF21H	端口模式寄存器 1	PM1	R/W	√	√	—	FFH
FFF22H	端口模式寄存器 2	PM2	R/W	√	√	—	FFH
FFF23H	端口模式寄存器 3	PM3	R/W	√	√	—	FFH
FFF24H	端口模式寄存器 4	PM4	R/W	√	√	—	FFH
FFF25H	端口模式寄存器 5	PM5	R/W	√	√	—	FFH
FFF26H	端口模式寄存器 6	PM6	R/W	√	√	—	FFH
FFF27H	端口模式寄存器 7	PM7	R/W	√	√	—	FFH
FFF28H	端口模式寄存器 8	PM8	R/W	√	√	—	FFH
FFF2BH	端口模式寄存器 11	PM11	R/W	√	√	—	FFH
FFF2CH	端口模式寄存器 12	PM12	R/W	√	√	—	FFH
FFF2DH	端口模式寄存器 13	PM13	R/W	√	√	—	FEH
FFF2EH	端口模式寄存器 14	PM14	R/W	√	√	—	FFH
FFF2FH	端口模式寄存器 15	PM15	R/W	√	√	—	FFH

表 3-5. SFR 列表 (2/5)

地址	特殊功能寄存器 (SFR) 名称	符号		R/W	可操作位单元			复位后
					1 位	8 位	16 位	
FFF30H	A/D 转换器模式寄存器	ADM		R/W	√	√	—	00H
FFF31H	模拟输入通道指定寄存器	ADS		R/W	√	√	—	00H
FFF32H	D/A 转换器模式寄存器	DAM		R/W	√	√	—	00H
FFF37H	按键返回模式寄存器	KRM		R/W	√	√	—	00H
FFF38H	外部中断上升沿允许寄存器 0	EGP0		R/W	√	√	—	00H
FFF39H	外部中断下降沿允许寄存器 0	EGN0		R/W	√	√	—	00H
FFF3AH	外部中断上升沿允许寄存器 1	EGP1		R/W	√	√	—	00H
FFF3BH	外部中断下降沿允许寄存器 1	EGN1		R/W	√	√	—	00H
FFF3CH	输入切换控制 寄存器	ISC		R/W	√	√	—	00H
FFF3EH	定时器输入选择寄存器 0	TIS0		R/W	√	√	—	00H
FFF44H	串行数据寄存器 02	TxD1/ SIO10	SDR02	R/W	—	√	√	0000H
FFF45H		—			—	—		
FFF46H	串行数据寄存器 03	RxD1	SDR03	R/W	—	√	√	0000H
FFF47H		—			—	—		
FFF48H	串行数据寄存器 10	TxD2/ SIO20	SDR10	R/W	—	√	√	0000H
FFF49H		—			—	—		
FFF4AH	串行数据寄存器 11	RxD2	SDR11	R/W	—	√	√	0000H
FFF4BH		—			—	—		
FFF50H	IIC 移位 寄存器 0	IIC0		R/W	—	√	—	00H
FFF51H	IIC 标志 寄存器 0	IICF0		R/W	√	√	—	00H
FFF52H	IIC 控制 寄存器 0	IICC0		R/W	√	√	—	00H
FFF53H	IIC slave 地址寄存器 0	SVA0		R/W	—	√	—	00H
FFF54H	IIC 时钟选择寄存器 0	IICCL0		R/W	√	√	—	00H
FFF55H	IIC 功能扩展寄存器 0	IICX0		R/W	√	√	—	00H
FFF56H	IIC 状态 寄存器 0	IICS0		R	√	√	—	00H
FFF64H	定时器数据寄存器 02	TDR02		R/W	—	—	√	0000H
FFF65H								
FFF66H	定时器数据寄存器 03	TDR03		R/W	—	—	√	0000H
FFF67H								
FFF68H	定时器数据寄存器 04	TDR04		R/W	—	—	√	0000H
FFF69H								
FFF6AH	定时器数据寄存器 05	TDR05		R/W	—	—	√	0000H
FFF6BH								
FFF6CH	定时器数据寄存器 06	TDR06		R/W	—	—	√	0000H
FFF6DH								
FFF6EH	定时器数据寄存器 07	TDR07		R/W	—	—	√	0000H
FFF6FH								

表 3-5. SFR 列表 (3/5)

地址	特殊功能寄存器 (SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
FFF90H	副计数 寄存器	RSUBC	R	—	—	√	0000H
FFF91H							
FFF92H	秒计数 寄存器	SEC	R/W	—	√	—	00H
FFF93H	分钟计数 寄存器	MIN	R/W	—	√	—	00H
FFF94H	小时计数 寄存器	HOURL	R/W	—	√	—	12H ^{※1}
FFF95H	星期 计数 寄存器	星期	R/W	—	√	—	00H
FFF96H	日期计数 寄存器	DAY	R/W	—	√	—	01H
FFF97H	月计数 寄存器	MONTH	R/W	—	√	—	01H
FFF98H	年计数 寄存器	YEAR	R/W	—	√	—	00H
FFF99H	钟表错误修正寄存器	SUBCUD	R/W	—	√	—	00H
FFF9AH	分钟报警寄存器	报警 WM	R/W	—	√	—	00H
FFF9BH	小时报警寄存器	报警 WH	R/W	—	√	—	12H
FFF9CH	星期报警寄存器	报警 WW	R/W	—	√	—	00H
FFF9DH	实时计数器控制 寄存器 0	RTCC0	R/W	√	√	—	00H
FFF9EH	实时计数器控制 寄存器 1	RTCC1	R/W	√	√	—	00H
FFF9FH	实时计数器控制 寄存器 2	RTCC2	R/W	√	√	—	00H
FFFA0H	时钟操作模式控制寄存器	CMC	R/W	—	√	—	00H
FFFA1H	时钟操作状态 控制 寄存器	CSC	R/W	√	√	—	C0H
FFFA2H	振荡稳定时间计数器状态 寄存器	OSTC	R	√	√	—	00H
FFFA3H	振荡稳定时间 选择 寄存器	OSTS	R/W	—	√	—	07H
FFFA4H	系统时钟 控制 寄存器	CKC	R/W	√	√	—	09H
FFFA5H	时钟输出选择 寄存器 0	CKS0	R/W	√	√	—	00H
FFFA6H	时钟输出选择 寄存器 1	CKS1	R/W	√	√	—	00H
FFFA8H	复位 控制 标志 寄存器	RESF	R	—	√	—	00H ^{※2}
FFFA9H	低电压检测寄存器	LVIM	R/W	√	√	—	00H ^{※3}
FFFAAH	低电压检测电平选择 寄存器	LVIS	R/W	√	√	—	0EH ^{※4}
FFFABH	看门狗定时器 允许寄存器	WDTE	R/W	—	√	—	1A/9A ^{※5}

- 注
1. 如果 AMPM 位(RTCC0 寄存器的第 3 位) 复位后设置为 1 此寄存器的值为 00H。
 2. RESF 的复位值根据复位源不同而不同。
 3. LVIM 的复位值根据复位源和选项字节的设置的不同而不同。
 4. LVIS 的复位值根据复位源不同而不同。
 5. WDTE 的复位值由选项字节的设置决定。

表 3-5. SFR 列表 (4/5)

地址	特殊功能寄存器 (SFR)名称	符号		R/W	可操作位单元			复位后
					1 位	8 位	16 位	
FFFB0H	DMA SFR 地址寄存器 0	DSA0		R/W	—	√	—	00H
FFFB1H	DMA SFR 地址寄存器 1	DSA1		R/W	—	√	—	00H
FFFB2H	DMA RAM 地址寄存器 0L	DRA0L	DRA0	R/W	—	√	√	00H
FFFB3H	DMA RAM 地址寄存器 0H	DRA0H		R/W	—	√		00H
FFFB4H	DMA RAM 地址寄存器 1L	DRA1L	DRA1	R/W	—	√	√	00H
FFFB5H	DMA RAM 地址寄存器 1H	DRA1H		R/W	—	√		00H
FFFB6H	DMA 字节计数寄存器 0L	DBC0L	DBC0	R/W	—	√	√	00H
FFFB7H	DMA 字节计数寄存器 0H	DBC0H		R/W	—	√		00H
FFFB8H	DMA 字节计数寄存器 1L	DBC1L	DBC1	R/W	—	√	√	00H
FFFB9H	DMA 字节计数寄存器 1H	DBC1H		R/W	—	√		00H
FFFBAH	DMA 模式控制寄存器 0	DMC0		R/W	√	√	—	00H
FFFBBH	DMA 模式控制寄存器 1	DMC1		R/W	√	√	—	00H
FFFBCH	DMA 操作控制寄存器 0	DRC0		R/W	√	√	—	00H
FFFBDH	DMA 操作控制寄存器 1	DRC1		R/W	√	√	—	00H
FFFBEH	背景事件控制 寄存器	BECTL		R/W	√	√	—	00H
FFFD0H	中断请求标志寄存器 2L	IF2L	IF2	R/W	√	√	√	00H
FFFD1H	中断请求标志寄存器 2H	IF2H		R/W	√	√		00H
FFFD4H	中断屏蔽标志寄存器 2L	MK2L	MK2	R/W	√	√	√	FFH
FFFD5H	中断屏蔽标志寄存器 2H	MK2H		R/W	√	√		FFH
FFFD8H	优先级指定标志寄存器 02L	PR02L	PR02	R/W	√	√	√	FFH
FFFD9H	优先级指定标志寄存器 02H	PR02H		R/W	√	√		FFH
FFFDCH	优先级指定标志寄存器 12L	PR12L	PR12	R/W	√	√	√	FFH
FFFDH	优先级指定标志寄存器 12H	PR12H		R/W	√	√		FFH
FFFE0H	中断请求标志寄存器 0L	IF0L	IF0	R/W	√	√	√	00H
FFFE1H	中断请求标志寄存器 0H	IF0H		R/W	√	√		00H
FFFE2H	中断请求标志寄存器 1L	IF1L	IF1	R/W	√	√	√	00H
FFFE3H	中断请求标志寄存器 1H	IF1H		R/W	√	√		00H
FFFE4H	中断屏蔽标志寄存器 0L	MK0L	MK0	R/W	√	√	√	FFH
FFFE5H	中断屏蔽标志寄存器 0H	MK0H		R/W	√	√		FFH
FFFE6H	中断屏蔽标志寄存器 1L	MK1L	MK1	R/W	√	√	√	FFH
FFFE7H	中断屏蔽标志寄存器 1H	MK1H		R/W	√	√		FFH
FFFE8H	优先级指定标志寄存器 00L	PR00L	PR00	R/W	√	√	√	FFH
FFFE9H	优先级指定标志寄存器 00H	PR00H		R/W	√	√		FFH
FFFEAH	优先级指定标志寄存器 01L	PR01L	PR01	R/W	√	√	√	FFH
FFFEBH	优先级指定标志寄存器 01H	PR01H		R/W	√	√		FFH
FFFECH	优先级指定标志寄存器 10L	PR10L	PR10	R/W	√	√	√	FFH
FFFEDH	优先级指定标志寄存器 10H	PR10H		R/W	√	√		FFH
FFFEEH	优先级指定标志寄存器 11L	PR11L	PR11	R/W	√	√	√	FFH
FFFEFH	优先级指定标志寄存器 11H	PR11H		R/W	√	√		FFH

表 3-5. SFR 列表 (5/5)

地址	特殊功能寄存器 (SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
FFFF0H	乘法输入数据寄存器 A	MULA	R/W	–	–	√	0000H
FFFF1H							
FFFF2H	乘法输入数据寄存器 B	MULB	R/W	–	–	√	0000H
FFFF3H							
FFFF4H	高位乘法结果存储寄存器	MULOH	R	–	–	√	0000H
FFFF5H							
FFFF6H	低位乘法结果存储寄存器	MULOL	R	–	–	√	0000H
FFFF7H							
FFFFEH	处理器模式控制寄存器	PMC	R/W	√	√	–	00H
FFFFFH	存储器扩展模式控制寄存器	MEM	R/W	√	√	–	00H

备注 扩展 SFR (第二 SFR), 参见表 3-6 扩展 SFR (第二 SFR)列表。

3.2.5 扩展特殊功能寄存器 (第二 SFR: 第二特殊功能寄存器)

与通用寄存器不同，每个扩展 SFR (第二 SFR) 都有特殊的功能。

扩展 SFR 分配在 F0000H 到 F07FFH 区域内。分配在 SFR 区域(FFF00H~FFFFFH) 以外的 SFR 指定在此区域。访问扩展 SFR 区域的指令，比访问 SFR 区域的指令长 1 字节。

扩展 SFR 可像通用寄存器那样用运算指令、传送指令以及位操作指令进行操作。根据特殊功能寄存器的类型不同，可操作的位单元也不同，可以是 1 位、8 位和 16 位。

每种位单元操作的描述如下。

- 1 位操作
1 位操作指令的操作数(laddr16.bit)被描述为汇编程序的保留符号。该操作也可由一个地址来定义。
- 8 位操作
8 位操作指令的操作数(laddr16)被描述为汇编程序的保留符号。该操作也可由一个地址来定义。
- 16 位操作
16 位操作指令的操作数(laddr16) 被描述为汇编程序的保留符号。寻址时表示为一个偶地址。

表 3-6 为扩展 SFR 列表。表中术语的含义如下。

- 符号
表示扩展 SFR 地址的符号，在 RA78K0R 中是保留字，并使用 CC78K0R 中的 #pragma sfr 指令定义为一个 sfr 变量。在使用 RA78K0R，ID78K0R-QB 和 78K0R 的 SM+ 时，可以将符号作为指令操作数执行写操作。
- R/W
表示扩展 SFR 可读或可写。
R/W: 可读/写
R: 只读
W: 只写
- 可操作的位单元
“√”表示可操作的位单元 (1, 8, 或 16)。“—”表示不可操作的位单元。
- 复位后
表示复位信号产生后每个寄存器的状态。

注意事项 不要访问没有标记扩展 SFR 的地址。

备注 贼 SFR 区域的 SFR，参见 3.2.4 特殊功能寄存器 (SFRs)。

表 3-6. 扩展 SFR (第二 SFR)列表 (1/5)

	地址	特殊功能寄存器 (SFR)名称	符号		R/W	可操作位单元			复位后
						1 位	8 位	16 位	
	F0017H	A/D 端口配置寄存器	ADPC		R/W	—	√	—	10H
	F0030H	上拉电阻选项寄存器 0	PU0		R/W	√	√	—	00H
	F0031H	上拉电阻选项寄存器 1	PU1		R/W	√	√	—	00H
	F0033H	上拉电阻选项寄存器 3	PU3		R/W	√	√	—	00H
	F0034H	上拉电阻选项寄存器 4	PU4		R/W	√	√	—	00H
	F0035H	上拉电阻选项寄存器 5	PU5		R/W	√	√	—	00H
	F0036H	上拉电阻选项寄存器 6	PU6		R/W	√	√	—	00H
	F0037H	上拉电阻选项寄存器 7	PU7		R/W	√	√	—	00H
	F0038H	上拉电阻选项寄存器 8	PU8		R/W	√	√	—	00H
	F003CH	上拉电阻选项寄存器 12	PU12		R/W	√	√	—	00H
	F003DH	上拉电阻选项寄存器 13	PU13		R/W	√	√	—	00H
	F003EH	上拉电阻选项寄存器 14	PU14		R/W	√	√	—	00H
	F0040H	端口输入模式寄存器 0	PIM0		R/W	√	√	—	00H
	F0044H	端口输入模式寄存器 4	PIM4		R/W	√	√	—	00H
	F004EH	端口输入模式寄存器 14	PIM14		R/W	√	√	—	00H
	F0050H	端口输出模式寄存器 0	POM0		R/W	√	√	—	00H
	F0054H	端口输出模式寄存器 4	POM4		R/W	√	√	—	00H
	F005EH	端口输出模式寄存器 14	POM14		R/W	√	√	—	00H
	F0060H	噪声滤波器允许寄存器 0	NFEN0		R/W	√	√	—	00H
	F0061H	噪声滤波器允许寄存器 1	NFEN1		R/W	√	√	—	00H
	F00F0H	外围设备 允许寄存器 0	PER0		R/W	√	√	—	00H
	F00F1H	外围设备 允许寄存器 1	PER1		R/W	√	√	—	00H
	F00F2H	内部高速振荡器调整寄存器	HIOTRM		R/W	—	√	—	10H
	F00F3H	操作速度模式控制寄存器	OSMC		R/W	—	√	—	00H
	F00F4H	校准器模式控制寄存器	RMC		R/W	—	√	—	00H
<R>	F00FEH	BCD 调整结果寄存器	BCDADJ		R	—	√	—	Undefined
	F0100H	串行 状态 寄存器 00	SSR00L	SSR00	R	—	√	√	0000H
	F0101H		—			—	—		
	F0102H	串行 状态 寄存器 01	SSR01L	SSR01	R	—	√	√	0000H
	F0103H		—			—	—		
	F0104H	串行 状态 寄存器 02	SSR02L	SSR02	R	—	√	√	0000H
	F0105H		—			—	—		
	F0106H	串行 状态 寄存器 03	SSR03L	SSR03	R	—	√	√	0000H
	F0107H		—			—	—		
	F0108H	串行 标志 清零触发寄存器 00	SIR00L	SIR00	R/W	—	√	√	0000H
	F0109H		—			—	—		
	F010AH	串行 标志 清零触发寄存器 01	SIR01L	SIR01	R/W	—	√	√	0000H
	F010BH		—			—	—		
	F010CH	串行 标志 清零触发寄存器 02	SIR02L	SIR02	R/W	—	√	√	0000H
	F010DH		—			—	—		
	F010EH	串行 标志 清零触发寄存器 03	SIR03L	SIR03	R/W	—	√	√	0000H
	F010FH		—			—	—		

表 3-6. 扩展 SFR (第二 SFR)列表 (2/5)

地址	特殊功能寄存器 (SFR)名称	符号		R/W	可操作位单元			复位后
					1 位	8 位	16 位	
F0110H	串行模式寄存器 00	SMR00		R/W	—	—	√	0020H
F0111H								
F0112H	串行模式寄存器 01	SMR01		R/W	—	—	√	0020H
F0113H								
F0114H	串行模式寄存器 02	SMR02		R/W	—	—	√	0020H
F0115H								
F0116H	串行模式寄存器 03	SMR03		R/W	—	—	√	0020H
F0117H								
F0118H	串行通信操作设置寄存器 00	SCR00		R/W	—	—	√	0087H
F0119H								
F011AH	串行通信操作设置寄存器 01	SCR01		R/W	—	—	√	0087H
F011BH								
F011CH	串行通信操作设置寄存器 02	SCR02		R/W	—	—	√	0087H
F011DH								
F011EH	串行通信操作设置寄存器 03	SCR03		R/W	—	—	√	0087H
F011FH								
F0120H	串行通道允许状态 寄存器 0	SE0L	SE0	R	√	√	√	0000H
F0121H		—			—	—		
F0122H	串行通道开始触发寄存器 0	SS0L	SS0	R/W	√	√	√	0000H
F0123H		—			—	—		
F0124H	串行通道停止触发寄存器 0	ST0L	ST0	R/W	√	√	√	0000H
F0125H		—			—	—		
F0126H	串行 时钟选择寄存器 0	SPS0L	SPS0	R/W	—	√	√	0000H
F0127H		—			—	—		
F0128H	串行输出寄存器 0	SO0		R/W	—	—	√	0F0FH
F0129H								
F012AH	串行输出允许寄存器 0	SOE0L	SOE0	R/W	√	√	√	0000H
F012BH		—			—	—		
F0134H	串行输出电平 寄存器 0	SOL0L	SOL0	R/W	—	√	√	0000H
F0135H		—			—	—		
F0140H	串行 状态 寄存器 10	SSR10L	SSR10	R	—	√	√	0000H
F0141H		—			—	—		
F0142H	串行 状态 寄存器 11	SSR11L	SSR11	R	—	√	√	0000H
F0143H		—			—	—		
F0144H	串行 状态 寄存器 12	SSR12L	SSR12	R	—	√	√	0000H
F0145H		—			—	—		
F0146H	串行 状态 寄存器 13	SSR13L	SSR13	R	—	√	√	0000H
F0147H		—			—	—		
F0148H	串行 标志 清零触发寄存器 10	SIR10L	SIR10	R/W	—	√	√	0000H
F0149H		—			—	—		
F014AH	串行 标志 清零触发寄存器 11	SIR11L	SIR11	R/W	—	√	√	0000H
F014BH		—			—	—		

表 3-6. 扩展 SFR (第二 SFR)列表 (3/5)

地址	特殊功能寄存器 (SFR)名称	符号		R/W	可操作位单元			复位后
					1 位	8 位	16 位	
F014CH	串行 标志 清零触发寄存器 12	SIR12L	SIR12	R/W	—	√	√	0000H
F014DH		—			—			
F014EH	串行 标志 清零触发寄存器 13	SIR13L	SIR13	R/W	—	√	√	0000H
F014FH		—			—			
F0150H	串行模式寄存器 10	SMR10		R/W	—	—	√	0020H
F0151H								
F0152H	串行模式寄存器 11	SMR11		R/W	—	—	√	0020H
F0153H								
F0154H	串行模式寄存器 12	SMR12		R/W	—	—	√	0020H
F0155H								
F0156H	串行模式寄存器 13	SMR13		R/W	—	—	√	0020H
F0157H								
F0158H	串行通信操作设置寄存器 10	SCR10		R/W	—	—	√	0087H
F0159H								
F015AH	串行通信操作设置寄存器 11	SCR11		R/W	—	—	√	0087H
F015BH								
F015CH	串行通信操作设置寄存器 12	SCR12		R/W	—	—	√	0087H
F015DH								
F015EH	串行通信操作设置寄存器 13	SCR13		R/W	—	—	√	0087H
F015FH								
F0160H	串行通道允许状态 寄存器 1	SE1L	SE1	R	√	√	√	0000H
F0161H		—			—			
F0162H	串行通道开始触发寄存器 1	SS1L	SS1	R/W	√	√	√	0000H
F0163H		—			—			
F0164H	串行通道停止触发寄存器 1	ST1L	ST1	R/W	√	√	√	0000H
F0165H		—			—			
F0166H	串行 时钟选择寄存器 1	SPS1L	SPS1	R/W	—	√	√	0000H
F0167H		—			—			
F0168H	串行输出寄存器 1	SO1		R/W	—	—	√	0F0FH
F0169H								
F016AH	串行输出允许寄存器 1	SOE1L	SOE1L	R/W	√	√	√	0000H
F016BH		—			—			
F0174H	串行输出电平 寄存器 1	SOL1L	SOL1L	R/W	—	√	√	0000H
F0175H		—			—			
F0180H	定时器计数器寄存器 00	TCR00		R	—	—	√	FFFFH
F0181H								
F0182H	定时器计数器寄存器 01	TCR01		R	—	—	√	FFFFH
F0183H								
F0184H	定时器计数器寄存器 02	TCR02		R	—	—	√	FFFFH
F0185H								
F0186H	定时器计数器寄存器 03	TCR03		R	—	—	√	FFFFH
F0187H								

表 3-6. 扩展 SFR (第二 SFR)列表 (4/5)

地址	特殊功能寄存器 (SFR)名称	符号	R/W	可操作位单元			复位后
				1 位	8 位	16 位	
F0188H	定时器计数器寄存器 04	TCR04	R	—	—	√	FFFFH
F0189H							
F018AH	定时器计数器寄存器 05	TCR05	R	—	—	√	FFFFH
F018BH							
F018CH	定时器计数器寄存器 06	TCR06	R	—	—	√	FFFFH
F018DH							
F018EH	定时器计数器寄存器 07	TCR07	R	—	—	√	FFFFH
F018FH							
F0190H	定时器模式寄存器 00	TMR00	R/W	—	—	√	0000H
F0191H							
F0192H	定时器模式寄存器 01	TMR01	R/W	—	—	√	0000H
F0193H							
F0194H	定时器模式寄存器 02	TMR02	R/W	—	—	√	0000H
F0195H							
F0196H	定时器模式寄存器 03	TMR03	R/W	—	—	√	0000H
F0197H							
F0198H	定时器模式寄存器 04	TMR04	R/W	—	—	√	0000H
F0199H							
F019AH	定时器模式寄存器 05	TMR05	R/W	—	—	√	0000H
F019BH							
F019CH	定时器模式寄存器 06	TMR06	R/W	—	—	√	0000H
F019DH							
F019EH	定时器模式寄存器 07	TMR07	R/W	—	—	√	0000H
F019FH							
F01A0H	定时器 状态 寄存器 00	TSR00L	R	—	√	√	0000H
F01A1H		—		—	—		
F01A2H	定时器 状态 寄存器 01	TSR01L	R	—	√	√	0000H
F01A3H		—		—	—		
F01A4H	定时器 状态 寄存器 02	TSR02L	R	—	√	√	0000H
F01A5H		—		—	—		
F01A6H	定时器 状态 寄存器 03	TSR03L	R	—	√	√	0000H
F01A7H		—		—	—		
F01A8H	定时器 状态 寄存器 04	TSR04L	R	—	√	√	0000H
F01A9H		—		—	—		
F01AAH	定时器 状态 寄存器 05	TSR05L	R	—	√	√	0000H
F01ABH		—		—	—		
F01ACH	定时器 状态 寄存器 06	TSR06L	R	—	√	√	0000H
F01ADH		—		—	—		
F01AEH	定时器 状态 寄存器 07	TSR07L	R	—	√	√	0000H
F01AFH		—		—	—		

表 3-6. 扩展 SFR (第二 SFR)列表 (5/5)

地址	特殊功能寄存器 (SFR)名称	符号		R/W	可操作位单元			复位后
					1 位	8 位	16 位	
F01B0H	定时器通道允许状态 寄存器 0	TE0L	TE0	R	√	√	√	0000H
F01B1H		—			—	—		
F01B2H	定时器通道开始触发寄存器 0	TS0L	TS0	R/W	√	√	√	0000H
F01B3H		—			—	—		
F01B4H	定时器通道停止触发寄存器 0	TT0L	TT0	R/W	√	√	√	0000H
F01B5H		—			—	—		
F01B6H	定时器 时钟选择寄存器 0	TPS0L	TPS0	R/W	—	√	√	0000H
F01B7H		—			—	—		
F01B8H	定时器输出寄存器 0	TO0L	TO0	R/W	—	√	√	0000H
F01B9H		—			—	—		
F01BAH	定时器输出允许寄存器 0	TOE0L	TOE0	R/W	√	√	√	0000H
F01BBH		—			—	—		
F01BCH	定时器输出电平 寄存器 0	TOL0L	TOL0	R/W	—	√	√	0000H
F01BDH		—			—	—		
F01BEH	定时器 输出模式寄存器 0	TOM0L	TOM0	R/W	—	√	√	0000H
F01BFH		—			—	—		

备注 对于 SFR 区域中的 SFR，参见表 3-5 SFR 列表。

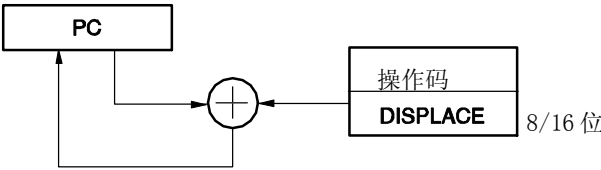
3.3 指令地址 寻址

3.3.1 相对寻址

[功能]

相对寻址 存储在程序计数器 (PC) ， 加上包括在指令字(带符号的反码数据: -128~ +127 或-32768~+32767)的偏移量的值的结果到程序计数器 (PC)的值 (下一条指令的开始地址), 并指定用作分支目标的程序地址。相对寻址只应用于分支指令。

图 3-22. 相对寻址的概述



3.3.2 立即寻址

[功能]

将指令中的立即数赋给程序计数器(PC)， 然后转向该地址。
对于立即寻址, CALL !!addr20 或 BR !!addr20 用作指定 20 位 地址， CALL !addr16 或 BR !addr16 用作指定 16 位 地址。当指定 16 位地址时 0000 设置到 4 位 。

图 3-23. CALL !!addr20/BR !!addr20 的例子

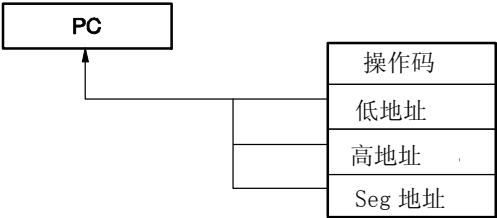
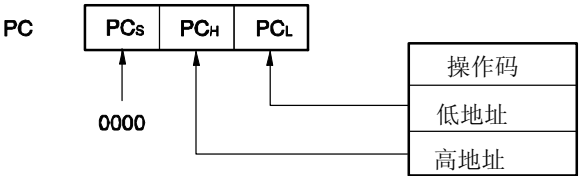


图 3-24. CALL !addr16/BR !addr16 的例子



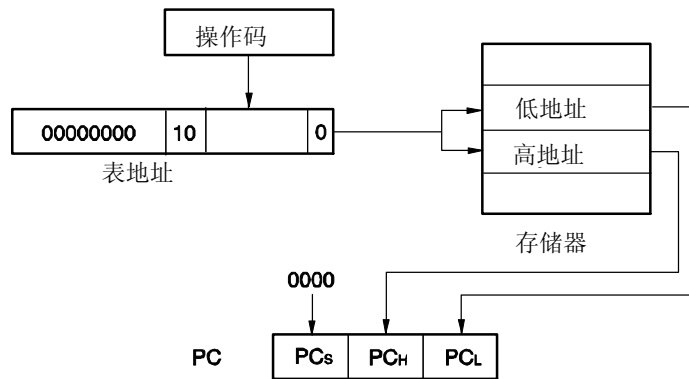
3.3.3 表间接寻址

[功能]

通过指令字中的指令码低 5 位的立即数在 CALLT 表区域(0080H~ 00BFH)指定表地址，将表地址和下一个地址作为 16 位数存储在程序计数器 (PC)中，并指定程序地址。表间接寻址仅适用于 CALLT 指令。

在 78K0R 微控制器种，分支仅允许在从 00000H 到 0FFFFH 的 64 KB 空间中。

图 3-25. 表间接寻址的概述

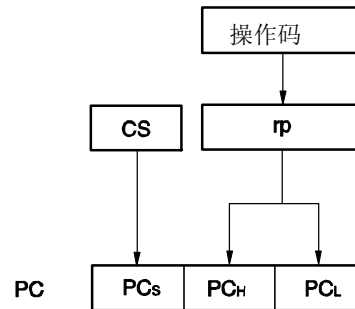


3.3.4 寄存器直接寻址

[功能]

通过指令字的 20 位数据将当前寄存器 bank 的通用寄存器对 (AX/BC/DE/HL) 和 CS 寄存器的内容赋给程序计数器 (PC)，指定为程序地址。寄存器直接寻址仅适用于 CALL AX, BC, DE, HL 和 BR AX 指令。

图 3-26. 寄存器直接寻址图示

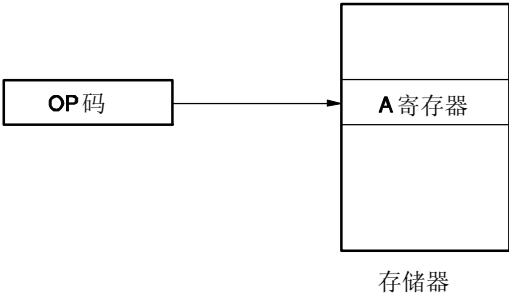


3.4 处理数据地址寻址

3.4.1 隐含寻址

- [功能]
这种寻址方式自动寻址通用寄存器中作为累加器使用的寄存器。
- [操作数格式]
由于指令自动采用隐含寻址方式，所以没有特定的操作数格式。
隐含寻址仅适用于 MULU X。

图 3-27. 隐含寻址图示

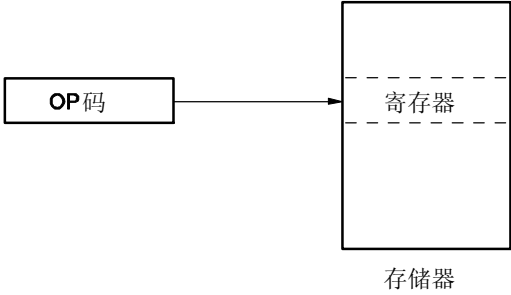


3.4.2 寄存器寻址

- [功能]
寄存器寻址方式将通用寄存器作为操作数进行访问。3 位的指令字用于选择 8 位寄存器，2 位的指令字用于选择 16 位寄存器。
- [操作数格式]

标识符	描述
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

图 3-28. 寄存器寻址图示



3.4.3 直接寻址

[功能]
将指令字中的立即数作为操作数地址进行直接寻址操作。

[操作数格式]

标识符	描述
ADDR16	标号或16位立即数(仅为从F0000H 到 FFFFFH的空间)
ES: ADDR16	标号或16位立即数(通过ES寄存器指定高4位地址)

图 3-29. ADDR16 的示例

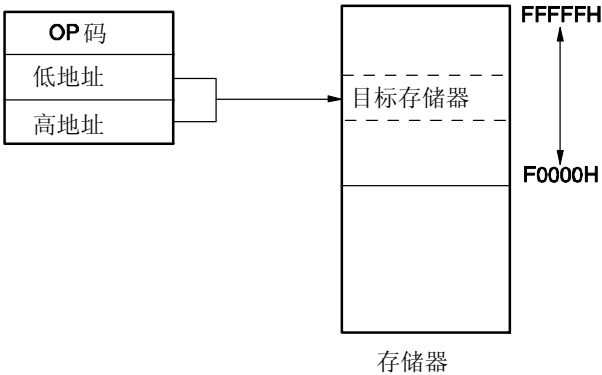
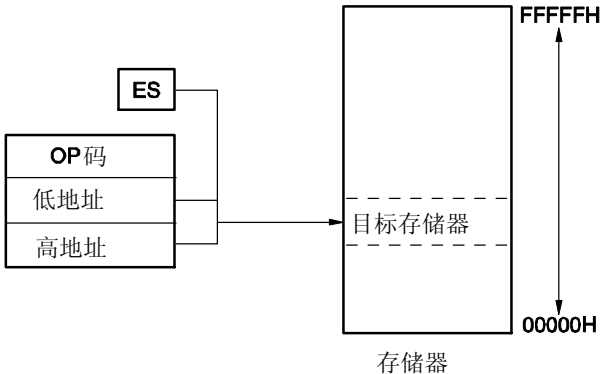


图 3-30. ES:ADDR16 的示例



3.4.4 短直接寻址

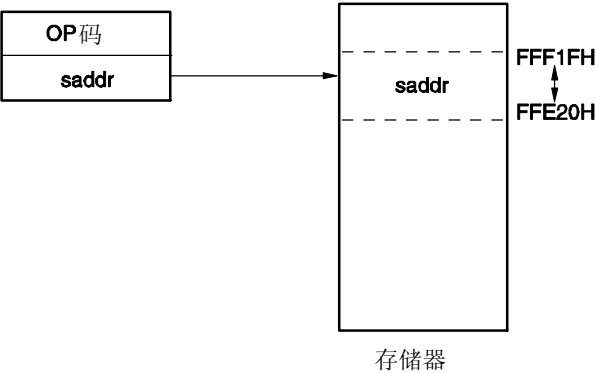
[功能]

用指令字中的 8 位数据直接指定目标地址。这种寻址仅适用于从 FFE20H 到 FFF1FH 的空间。

[操作数格式]

标识符	描述
SADDR	标号， FFE20H 到 FFF1FH 的立即数或 0FE20H 到 0FF1FH 的立即数 (仅从FFE20H 到FFF1FH的空间)
SADDRP	标号， FFE20H 到 FFF1FH的立即数或 0FE20H 到 0FF1FH的立即数(仅偶地址) (仅从FFE20H 到FFF1FH 的空间)

图 3-31. 短直接寻址图示



备注 SADDR 和 SADDRP 以 16 位立即数(实际地址的高 4 位忽略)表示地址 FE20H 到 FF1FH 的值，以 20 位立即数表示地址 FFE20H 到 FFF1FH 的值。
不管是否使用 SADDR 或 SADDRP，从 FFE20H 到 FFF1FH 空间中的地址指定为存储器。

3.4.5 SFR 寻址

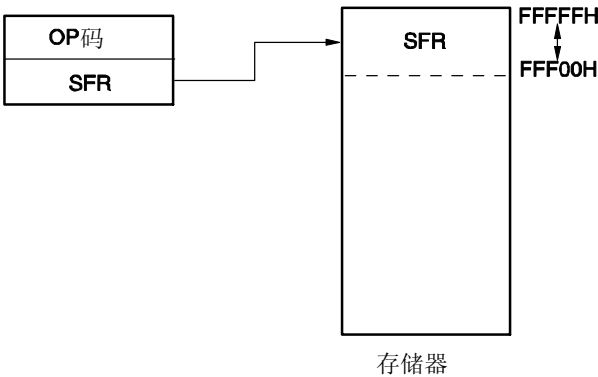
[功能]

用指令字中的 8 位数据直接指定目标 SFR 地址。这种寻址仅适用于从 FFF00H 到 FFFFFH 的空间。

[操作数格式]

标识符	描述
SFR	SFR 名称
SFRP	16位操作 SFR 名称(仅偶地址)

图 3-32. SFR 寻址图示



3.4.6 寄存器间接寻址

[功能]

根据寄存器对的内容进行寻址。该寄存器对由指令字中的操作数地址指定。

[操作数格式]

标识符	描述
–	[DE], [HL] (仅为从F0000H 到 FFFFFH 的空间)
–	ES:[DE], ES:[HL] (通过ES寄存器指定高4位地址)

图 3-33. [DE], [HL]的示例

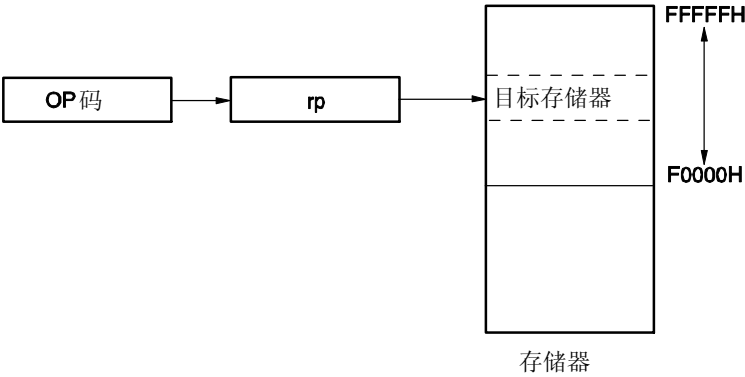
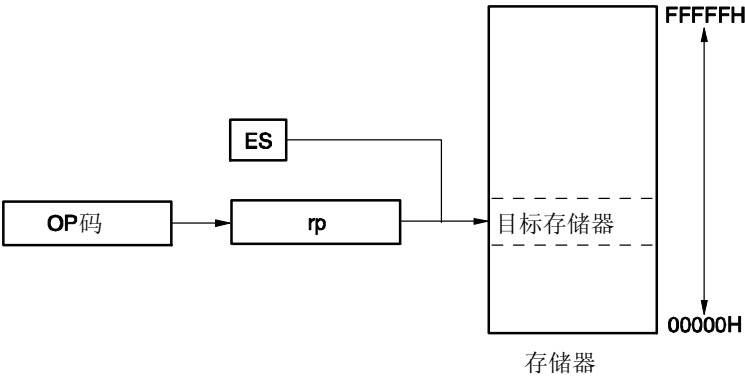


图 3-34. ES:[DE], ES:[HL]的示例



3.4.7 基址寻址

[功能]

由指令字指定寄存器对的值作为基址，8 位立即数或 16 位立即数作为偏移量。相加结果用于指定目标地址。

[操作数格式]

标识符	描述
—	[HL + byte], [DE + byte], [SP + byte] (仅为从F0000H 到 FFFFFH 的空间)
—	word[B], word[C] (仅为从F0000H 到 FFFFFH 的空间)
—	word[BC] (仅为从F0000H 到 FFFFFH 的空间)
—	ES:[HL + byte], ES:[DE + byte] (通过ES寄存器指定高4位地址)
—	ES:word[B], ES:word[C] (通过ES寄存器指定高4位地址)
—	ES:word[BC] (通过ES寄存器指定高4位地址)

图 3-35. [SP+byte]的示例

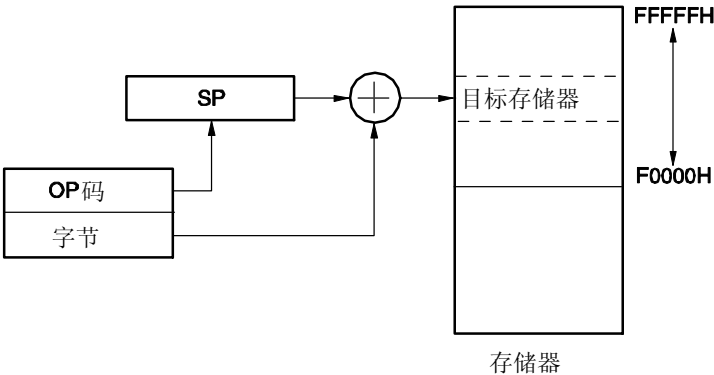


图 3-36. [HL + byte], [DE + byte]的示例

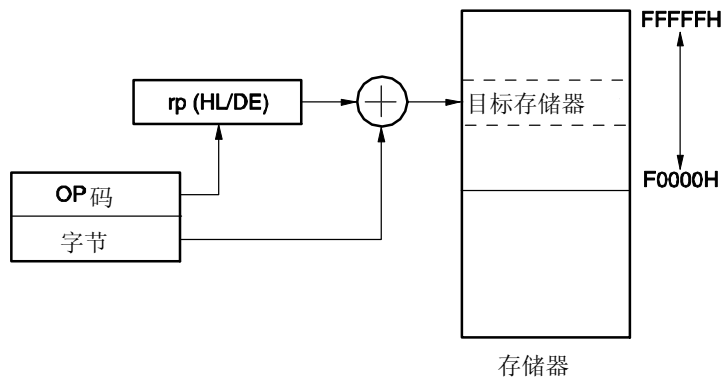


图 3-47. word[B], word[C]的示例

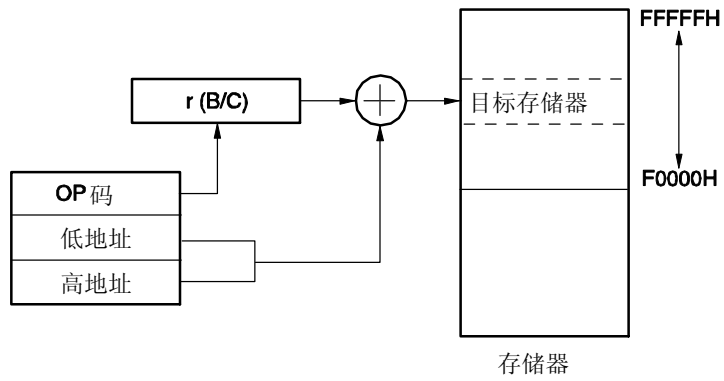


图 3-38. word[BC]的示例

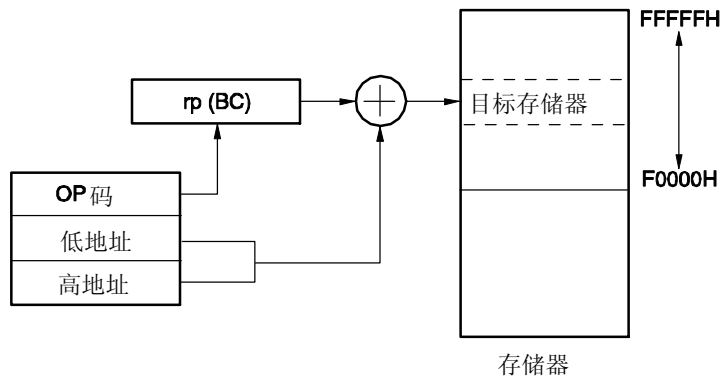


图 3-39. ES:[HL + byte], ES:[DE + byte]的示例

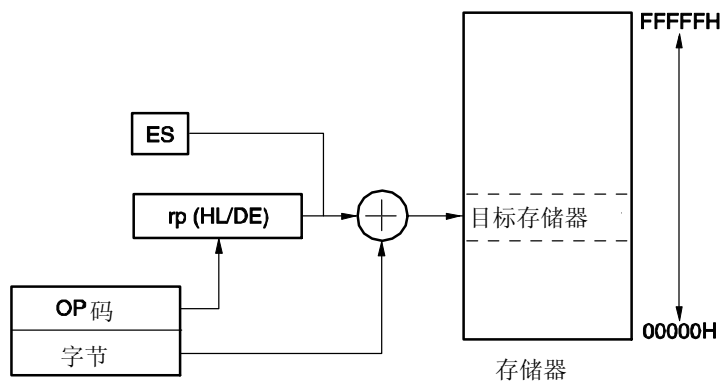


图 3-40. ES:word[B], ES:word[C] 的示例

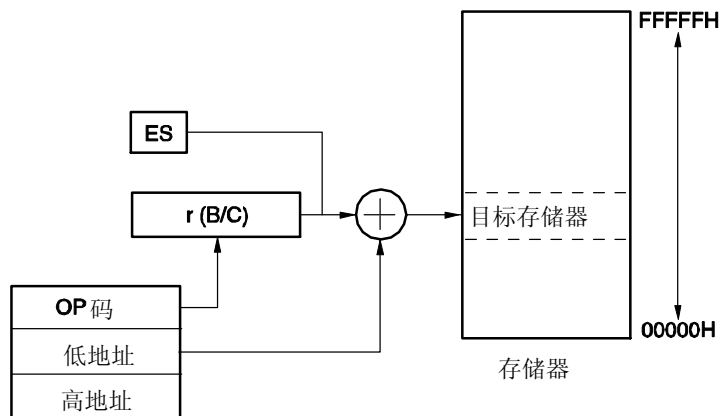
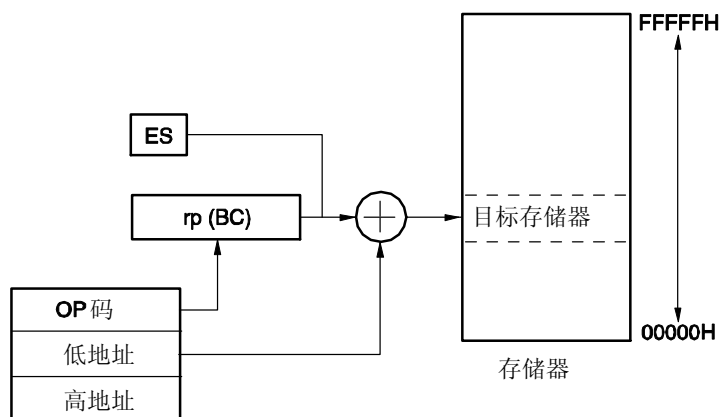


图 3-41. ES:word[BC] 的示例



3.4.8 基址变址寻址

[功能]

由指令字指定寄存器对的值作为基址，将作为偏移量的 B 或 C 寄存器的内容加到 HL 寄存器中，相加结果用于指定目标地址。

[操作数格式]

标识符	描述
–	[HL+B], [HL+C] (仅为从F0000H 到FFFFFH 的空间)
–	ES:[HL+B], ES:[HL+C] (通过ES 寄存器指定高4位地址)

图 3-42. [HL+B], [HL+C] 的示例

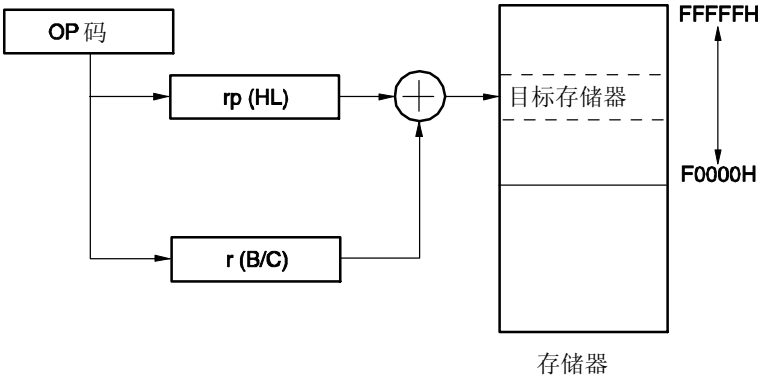
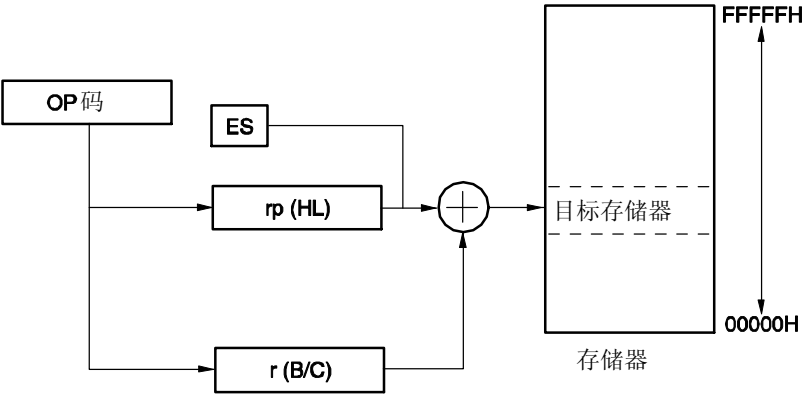


图 3-43. ES:[HL+B], ES:[HL+C] 的示例



3.4.9 堆栈寻址

[功能]

根据堆栈指针 (SP) 的内容对堆栈区域进行间接寻址。当执行 PUSH, POP, 子程序调用和返回指令时, 或者产生中断请求时保存或恢复寄存器操作时, 将自动采用这种寻址方式。

该方式仅对内部 RAM 区域进行寻址。

[操作数格式]

标识符	描述
—	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (产生中断请求) RETI

第四章 端口功能

4.1 端口功能

有五种类型的引脚 I/O 缓冲电源: AVREF0, AVREF1, EVDD0, EVDD1, 和 VDD。这些电源和引脚之间的关系显示如下。

表 4-1. 引脚 I/O 缓冲电源

电源	相关引脚
AVREF0	P20~P27, P150~P157
AVREF1	P110, P111
EVDD0, EVDD1	除 P20~P27, P110, P111, P121~P124, 和 P150~P157 以外的端口引脚
VDD	• P121~P124 • 非端口引脚

78K0R/KG3 产品中提供的端口如图 4-1 所示，这些端口可以支持多种控制操作。每个端口的功能如表 4-2 所示。

除了作为数字 I/O 端口功能，这些端口还有几个复用功能。如需了解这些端口复用功能的详细信息，请参见第二章引脚功能。

图 4-1. 端口类型

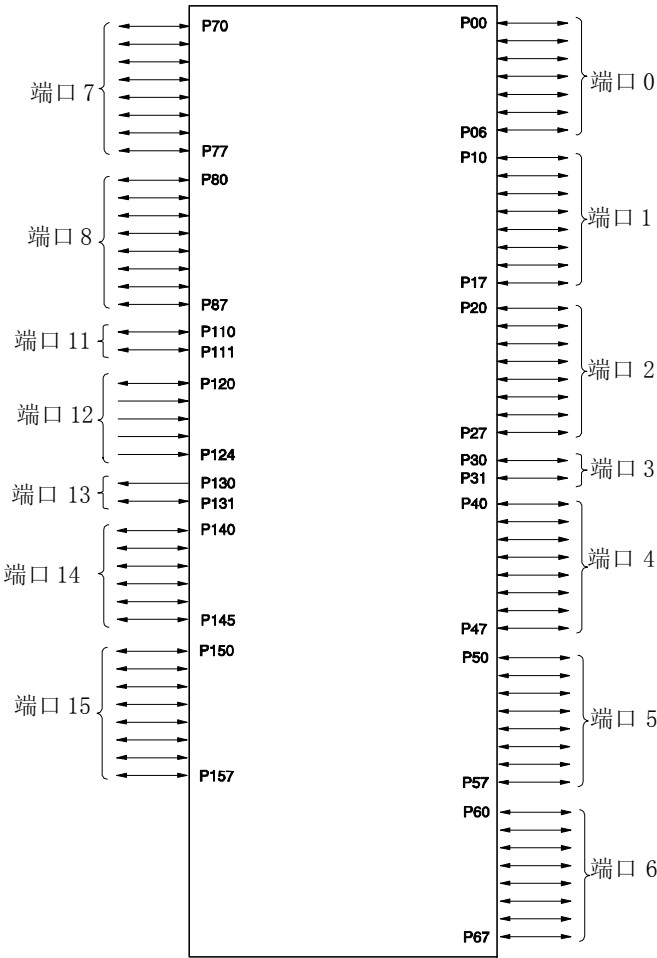


表 4-2. 端口功能 (1/2)

功能名称	I/O	功能	复位后	复用 功能
P00	I/O	端口 0. 7 位 I/O 端口。 P03 和 P04 的输入可设置为 TTL 缓冲器。 P02~P04 的输出是 N-ch 漏极开路输出 (V_{DD} 耐压)。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	TI00
P01				TO00
P02				SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				CLKOUT
P06				WAIT
P10	I/O	端口 1。 8 位 I/O 端口。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	SCK00/EX24
P11				SI00/RxD0/EX25
P12				SO00/TxD0/EX26
P13				TxD3/EX27
P14				RxD3/EX28
P15				RTCDIV/RTCCL/EX29
P16				TI01/TO01/INTP5/EX30
P17				TI02/TO02/EX31
P20~P27	I/O	端口 2。 8 位 I/O 端口。 可按位指定输入/输出。	数字输入端口	ANI0~ANI7
P30	I/O	端口 3。 2 位 I/O 端口。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	RTC1HZ/INTP3
P31				TI03/TO03/INTP4
P40 ^注	I/O	端口 4。 8 位 I/O 端口。 P43 和 P44 的输入可设置 TTL 缓冲器。 P43 和 P45 的输出可设置为 N-ch 漏极开路输出 (V_{DD} 耐压)。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				SCK01
P44				SI01
P45				SO01
P46				INTP1/TI05/TO05
P47				INTP2
P50~P57	I/O	端口 5。 8 位 I/O 端口。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	EX8~EX15

注 如果通过选项字节允许片内调试，必须上拉 P40/TOOL0 引脚 (参见 2.2.5 P40~P47 (端口 4) 中的注意事项)。

表 4-2. 端口功能 (2/2)

功能名称	I/O	功能	复位后	复用 功能
P60	I/O	端口 6. 8 位 I/O 端口。 P60~P63 的输出是 N-ch 漏极开路输出 (6 V 耐压)。 可按位指定输入/输出。 仅对 P64~P67, 可通过软件设置片内上拉电阻的使用。	输入端口	SCL0
P61				SDA0
P62				—
P63				—
P64				$\overline{\text{RD}}$
P65				$\overline{\text{WR0}}$
P66				$\overline{\text{WR1}}$
P67				ASTB
P70~P73	I/O	端口 7. 8 位 I/O 端口。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	KR0/EX16~KR3/ EX19
P74~P77				KR4/EX20/INTP8 to KR7/EX23/INTP11
P80~P87	I/O	端口 8. 8 位 I/O 端口。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	EX0~EX7
P110	I/O	端口 11. 2 位 I/O 端口。 可按位指定输入/输出。	输入端口	ANO0
P111				ANO1
P120	I/O	端口 12. 1 位 I/O 端口和 4 位输入端口。 仅对 P120, 可通过软件设置片内上拉电阻的使用。	输入端口	INTP0/EXLVI
P121	输入			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	输出	端口 13. 1 位输出端口和 1 位 I/O 端口。 仅对 P131, 可通过软件设置片内上拉电阻的使用。	输出端口	—
P131	I/O		输入端口	TI06/TO06
P140	I/O	端口 14. 6 位 I/O 端口。 P142 和 P143 的输入可设置 TTL 缓冲器。 P142~P144 的输出是 N-ch 漏极开路输出 (V _{DD} 耐压)。 可按位指定输入/输出。 可通过软件设置片内上拉电阻的使用。	输入端口	PCLBUZ0/INTP6
P141				PCLBUZ1/INTP7
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P145				TI07/TO07
P150~P157	I/O	端口 15. 8 位 I/O 端口。 可按位指定输入/输出。	数字输入端 口	ANI8~ANI15

4.2 端口配置

端口包括如下硬件。

表 4-3. 端口配置

项目	配置
控制寄存器	端口模式寄存器 (PM0~PM8, PM11~PM15) 端口寄存器 (P0~P8, P11~P15) 上拉电阻选项寄存器 (PU0, PU1, PU3~PU8, PU12~PU14) 端口输入模式寄存器 (PIM0, PIM4, PIM14) 端口输出模式寄存器 (POM0, POM4, POM14) A/D 端口配置 寄存器 (ADPC)
端口	总计: 88 (CMOS I/O: 79, CMOS 输入: 4, CMOS 输出: 1, N-ch 漏极开路 I/O: 4)
上拉电阻	总计: 61

4.2.1 端口 0

端口 0 是具有输出锁存的 7 位 I/O 端口。通过使用端口模式寄存器 0(PM0)，可以按位设置端口 0 为输入或输出模式。如果 P00 ~ P06 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 0(PU0)以 1 位单元的方式指定。

通过使用端口输入模式寄存器 0 (PIM0)以 1 位单元的方式可指定 P03 和 P04 引脚通过普通缓冲器或 TTL 缓冲器输入。

通过端口输出模式寄存器 0 (POM0)以 1 位为单元的方式可指定 P02~P04 引脚的输出为 N-ch 漏极开路输出 (V_{DD} 耐压)。

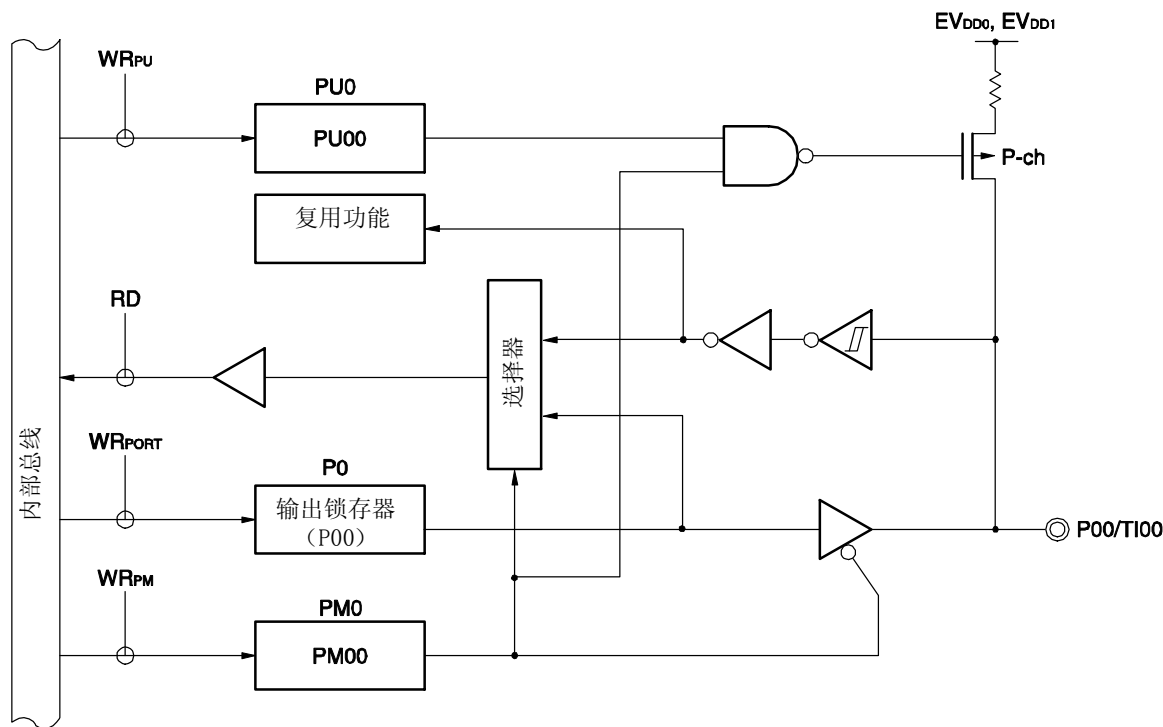
此端口也可用于定时器 I/O,串行接口数据 I/O, 时钟 I/O, 内部系统时钟输出,和外部等待信号输入。

复位信号发生设置端口 0 to 输入模式。

图 4-2~4-7 所示为端口 0 的框图。

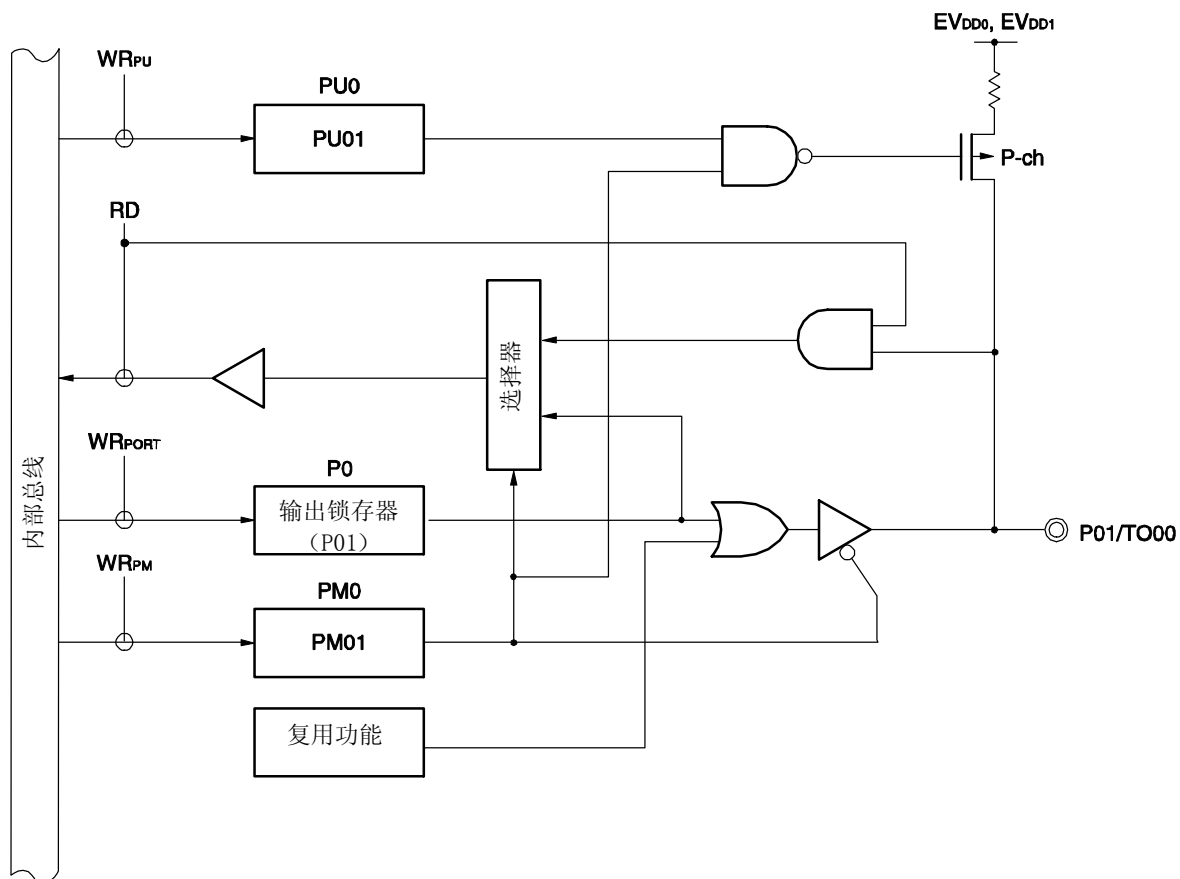
- 注意事项**
1. 要将 P01/TO00 作为通用端口使用，设置定时器 输出 寄存器 0 (TO0) 和定时器 输出允许寄存器 0 (TOE0)为默认值。端口输出模式寄存器 0 (POM0)清零为 00H。
 2. 要将 P02/SO10/TxD1 或 P04/SCK10/SCL10 作为通用端口使用，设置串行通道允许状态寄存器 0 (SE0), 串行输出 寄存器 0 (SO0) 和串行输出允许寄存器 0 (SOE0) 为默认状态。端口输出模式寄存器 0 (POM0) 清零为 00H。

图 4-2. P00 的框图



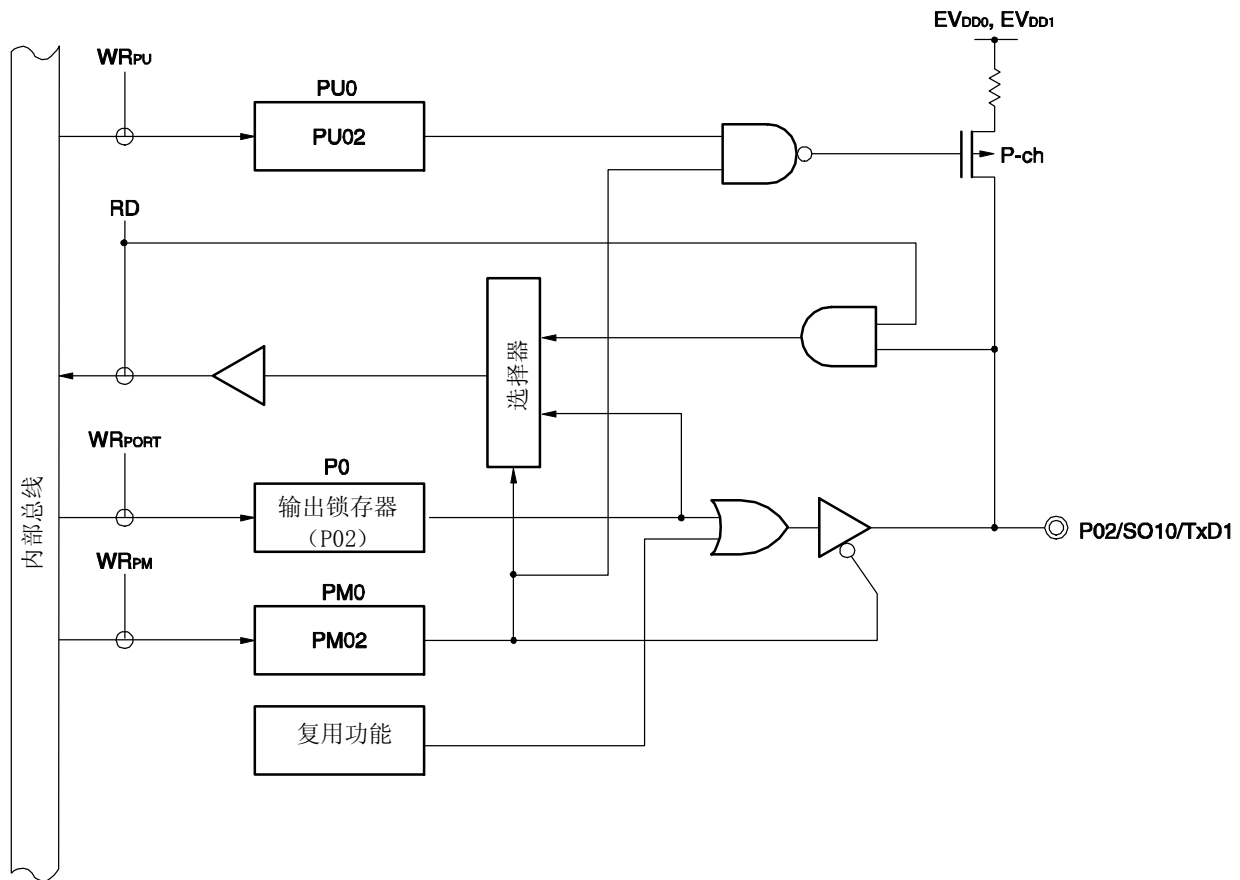
P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 RD: 读信号
 WR_{xx}: 写信号

图 4-3. P01 的框图



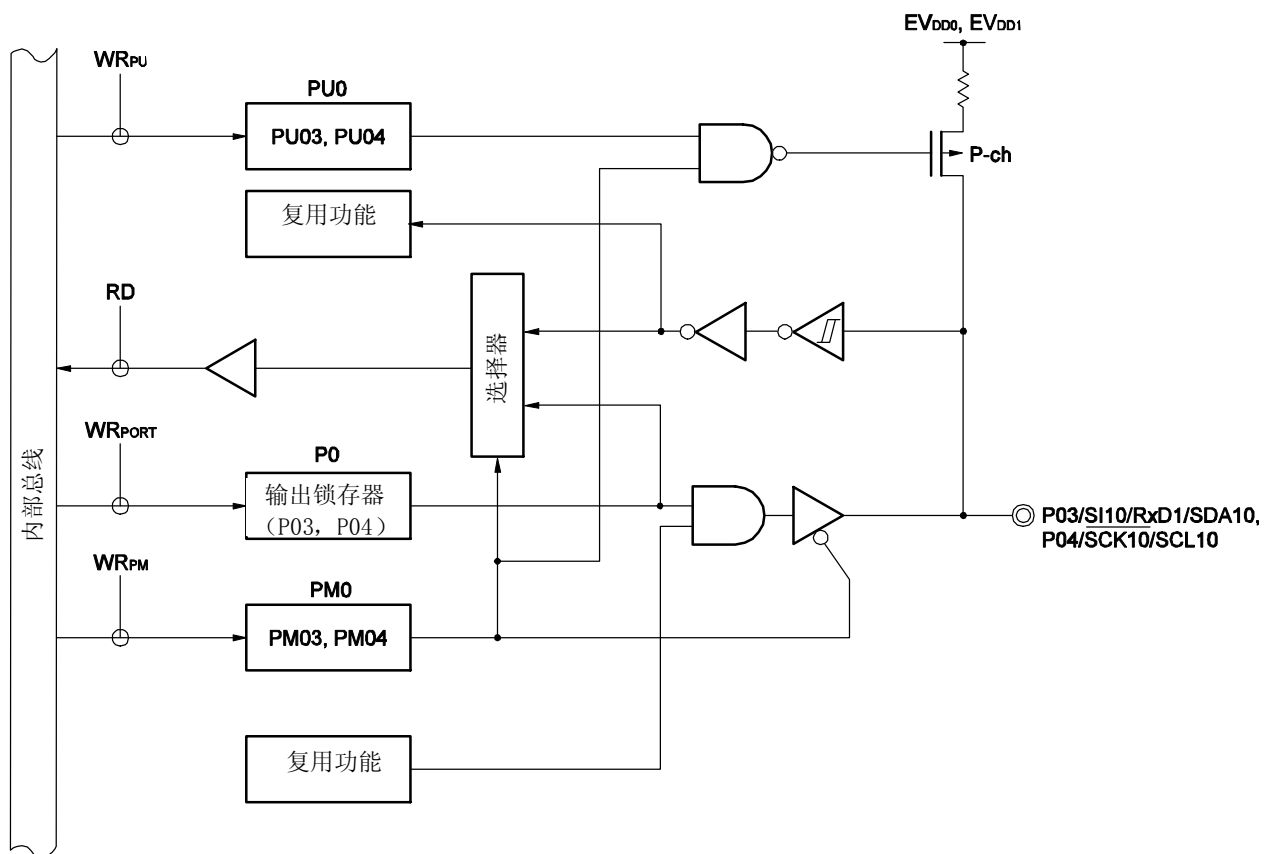
P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 RD: 读信号
 WR_{xx}: 写信号

图 4-4. P02 的框图



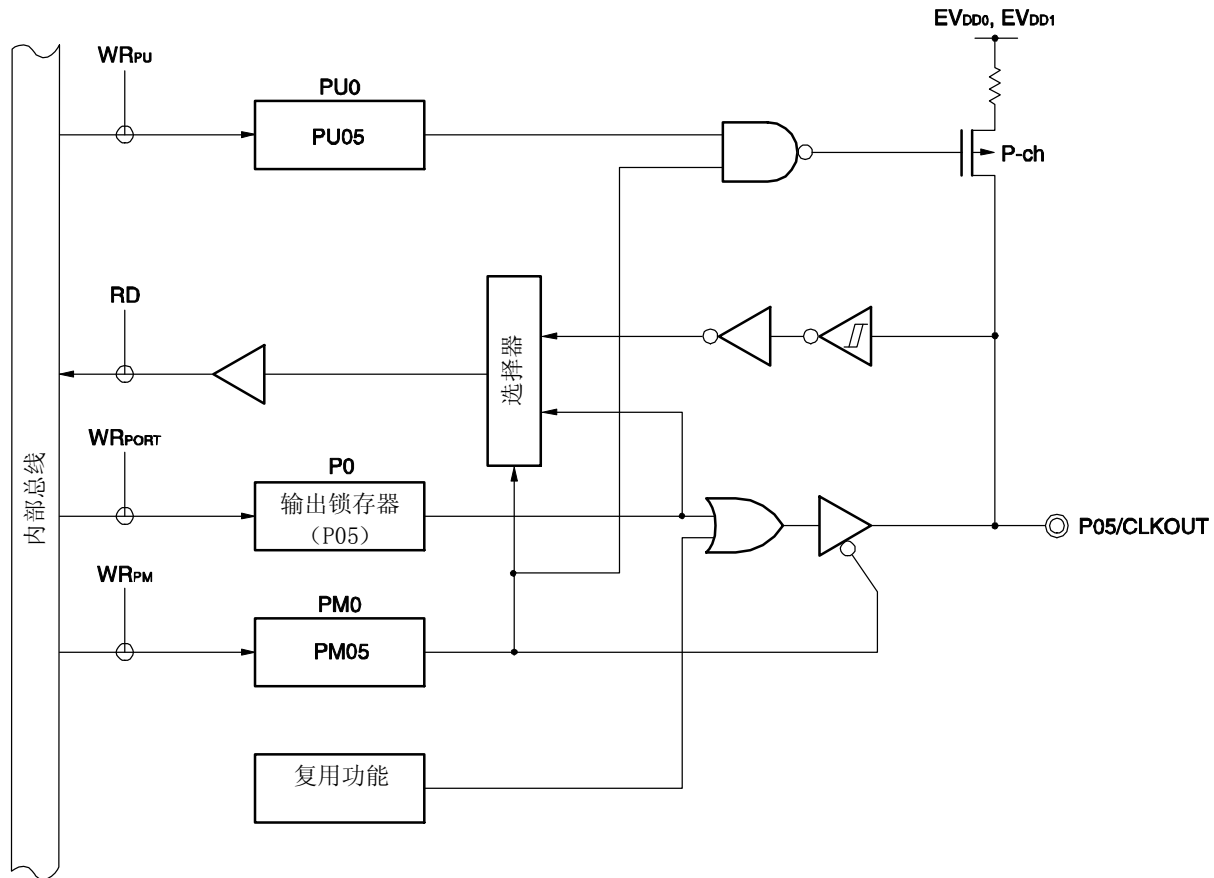
P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 RD: 读信号
 WR_{xx}: 写信号

图 4-5. P03 和 P04 的框图



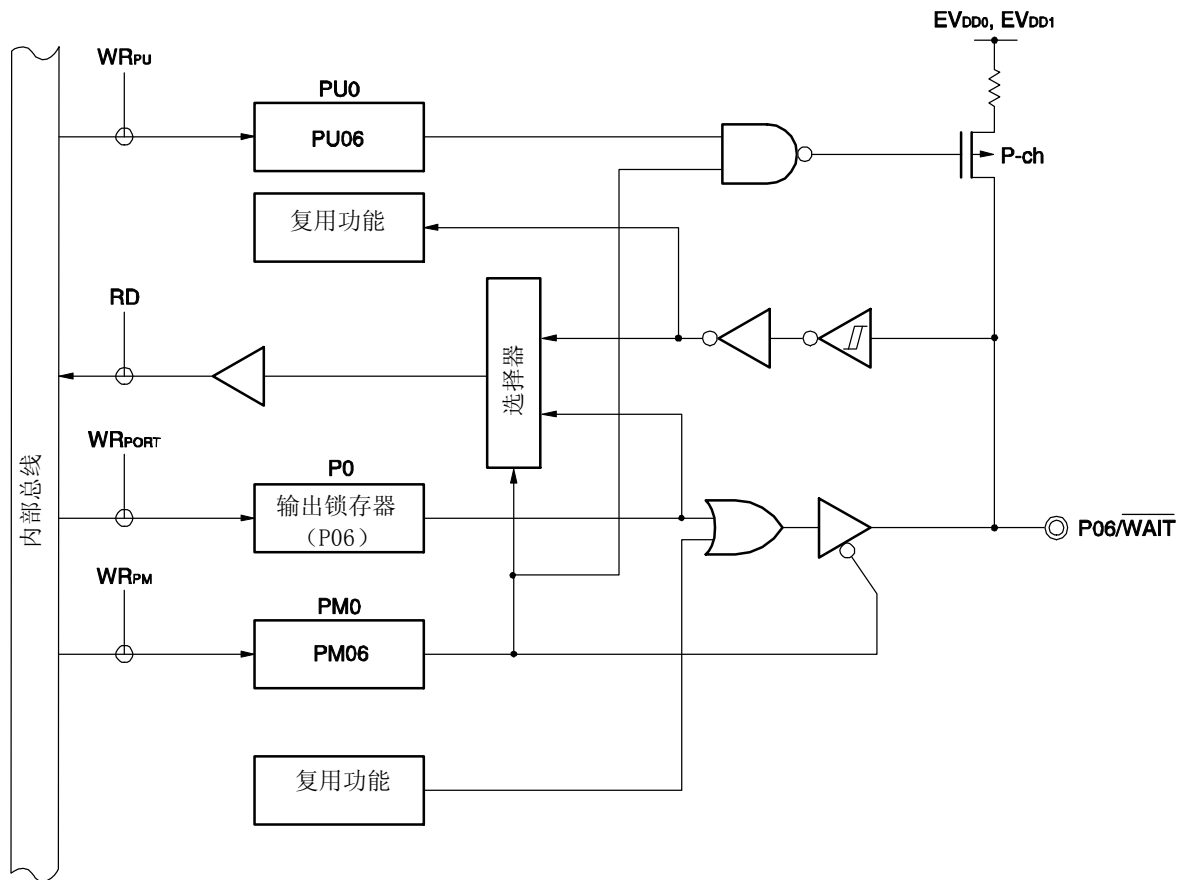
P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 RD: 读信号
 WR_{xx}: 写信号

图 4-6. P05 的框图



P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 RD: 读信号
 WR $\times\times$: 写信号

图 4-7. P06 的框图



P0: 端口寄存器 0
 PU0: 上拉电阻选项寄存器 0
 PM0: 端口模式寄存器 0
 RD: 读信号
 WR_{xx}: 写信号

4.2.2 端口 1

端口 1 是具有输出锁存的 8 位 I/O 端口。通过使用端口模式寄存器 1(PM1)，可以按位设置端口 1 为输入或输出模式。如果 P10 ~ P17 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 1(PU1)以 1 位单元的方式指定。

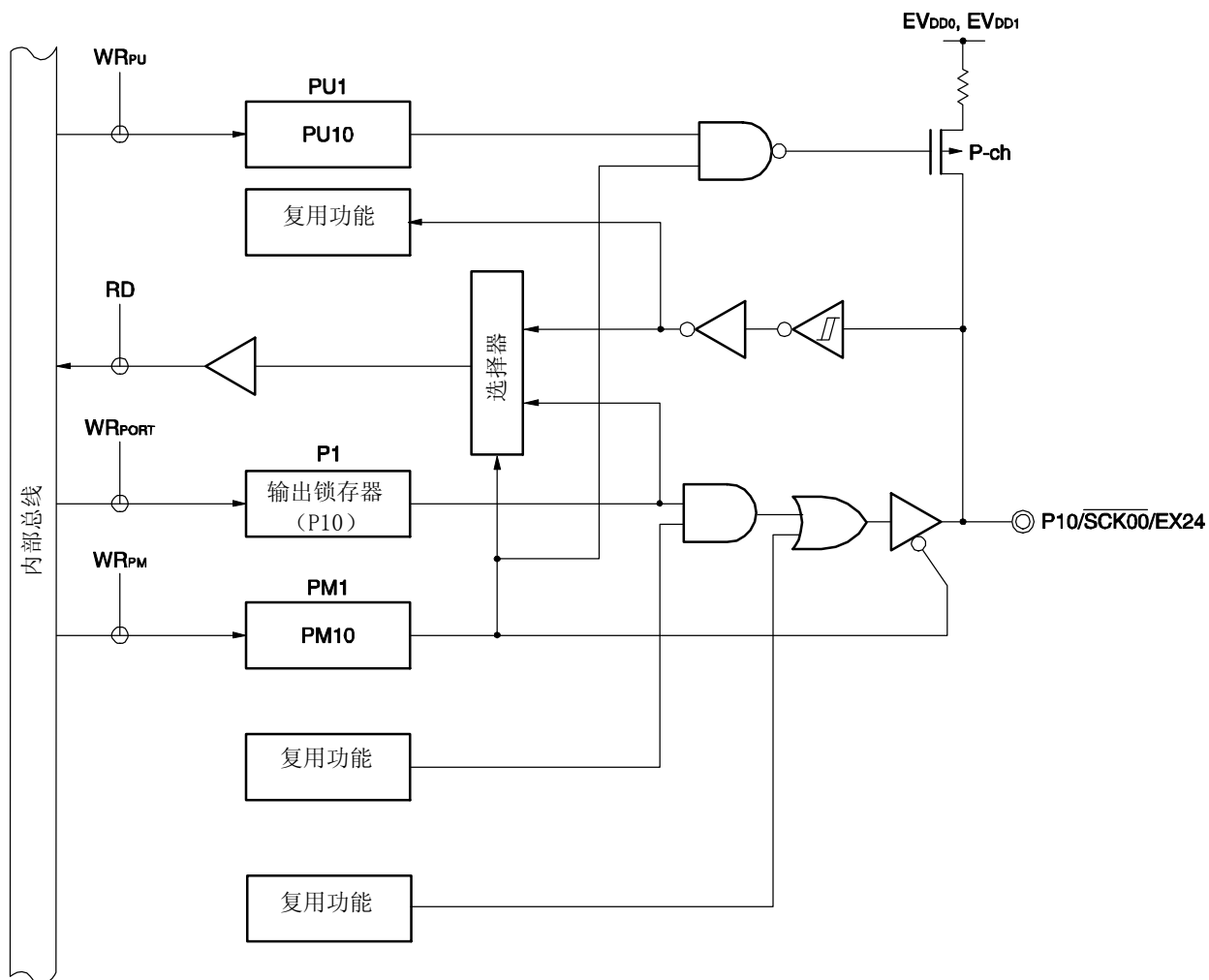
此端口也可用于外部中断请求输入，串行接口数据 I/O，时钟 I/O，定时器 I/O，实时计数器时钟输出，和外部扩展输出（地址总线）。

复位信号发生设置端口 1 为输入模式。

图 4-8~4-12 所示为端口 1 的框图。

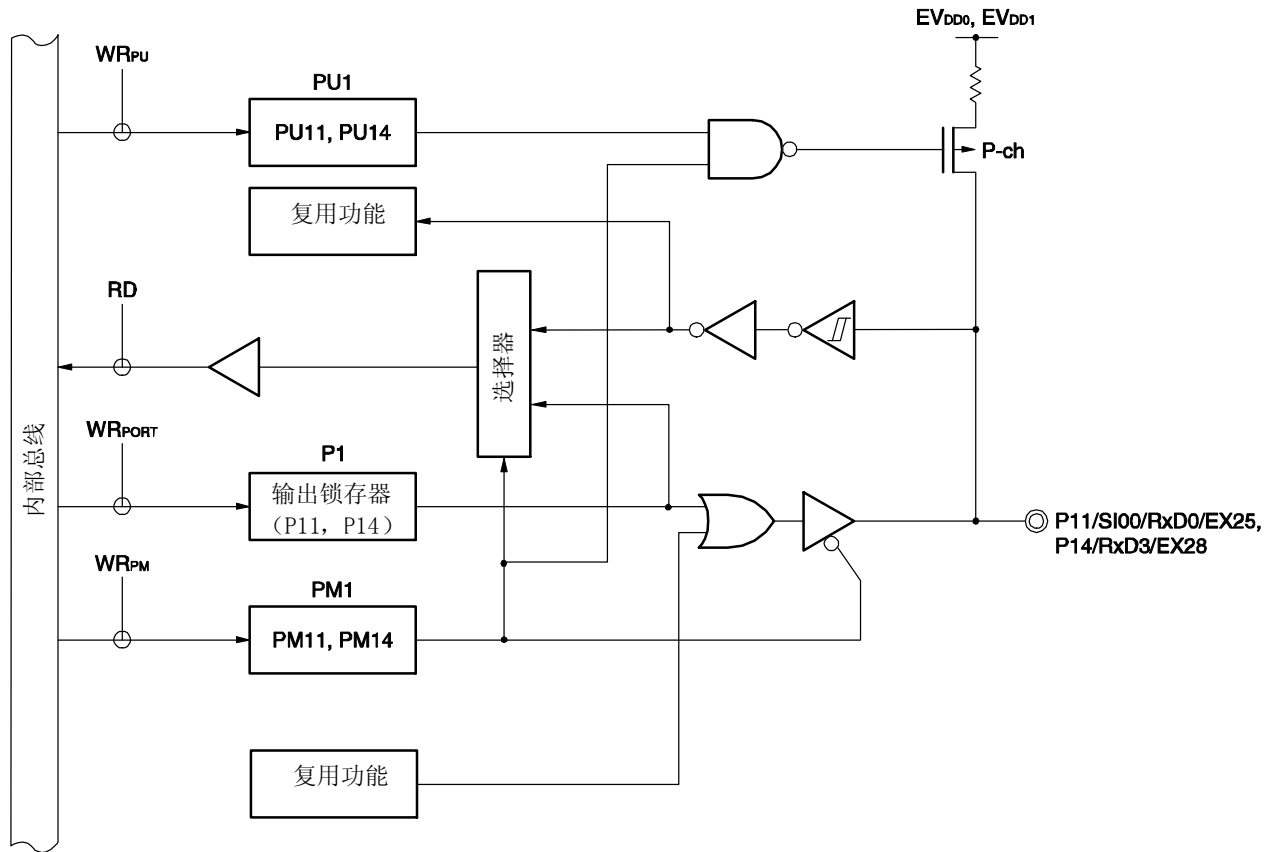
- 注意事项**
1. 要将 P10/SCK00/EX24, P12/SO00/TxD0/EX26, 或 P13/TxD3/EX27 作为通用端口使用，设置串行通道允许状态寄存器 m (SEm), 串行输出寄存器 m (SOM)和串行输出允许寄存器 m (SOEm) 为默认状态(m = 0, 1)。
 2. 要将 P16/TI01/TO01/INTP5/EX30 或 P17/TI02/TO02/EX31 作为通用端口使用，设置定时器输出寄存器 0 (TO0) 和定时器输出允许寄存器 0 (TOE0) 为默认状态。
 3. 不要同时允许输出 RTCCL 和 RTCDIV。
 4. 当使用外部扩展输入（地址总线）时不要输出其他复用功能。

图 4-8. P10 的框图



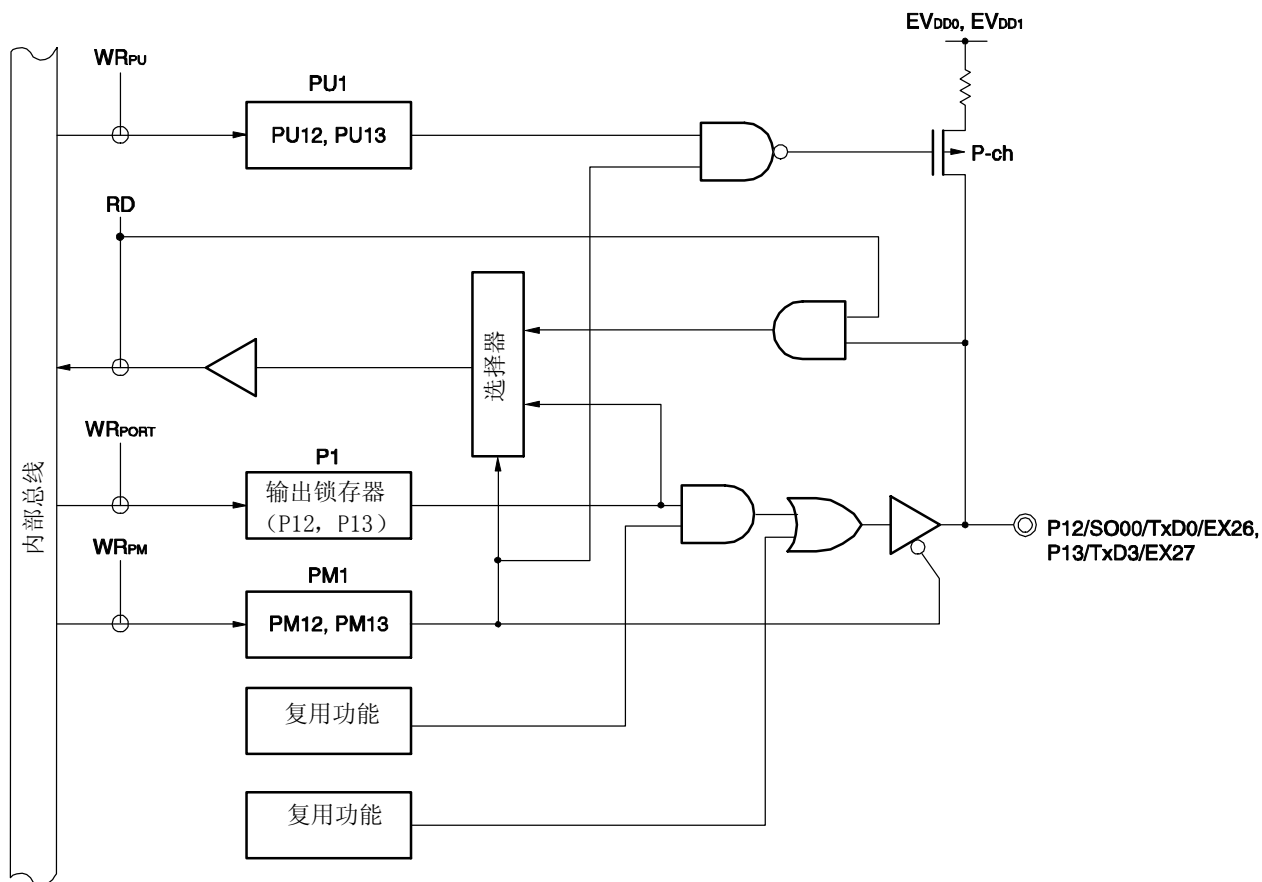
P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 RD: 读信号
 WR_{xx}: 写信号

图 4-9. P11 和 P14 的框图



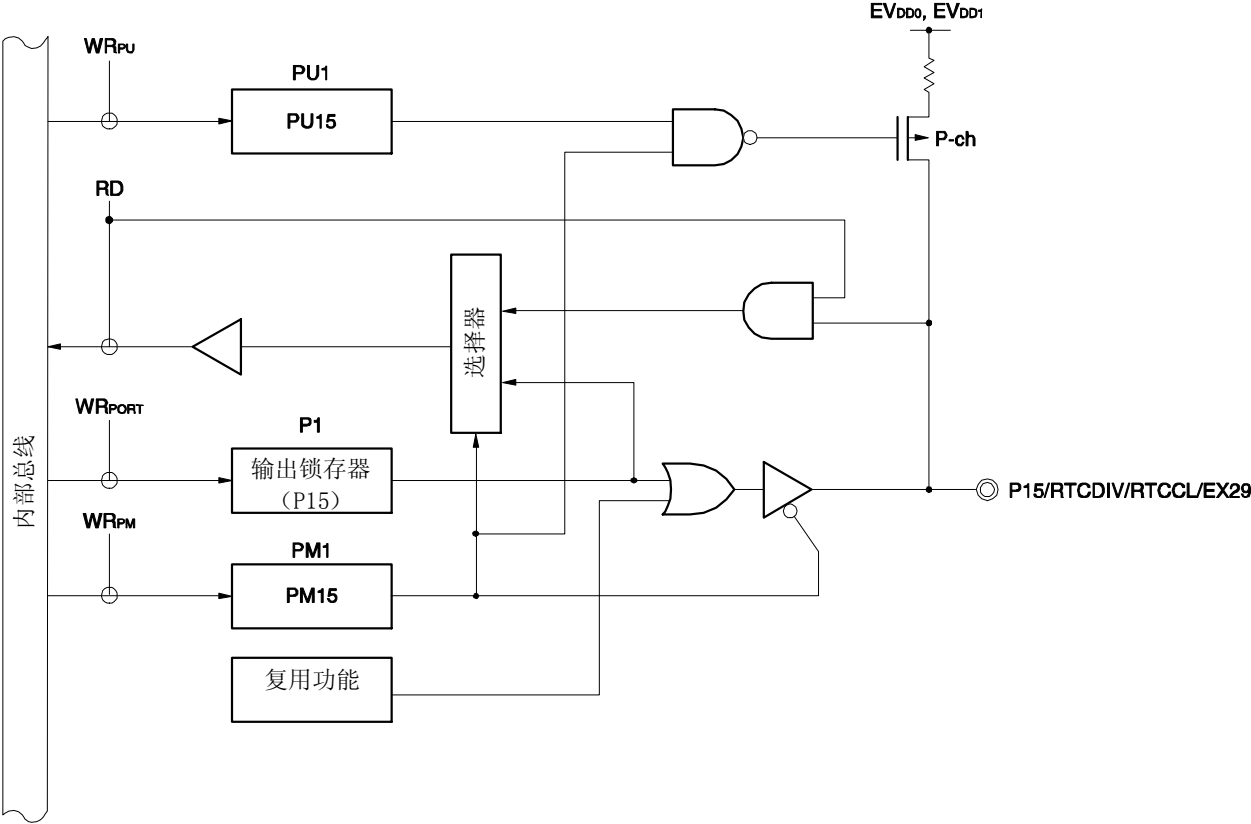
P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 RD: 读信号
 WR_{xx}: 写信号

图 4-10. P12 和 P13 的框图



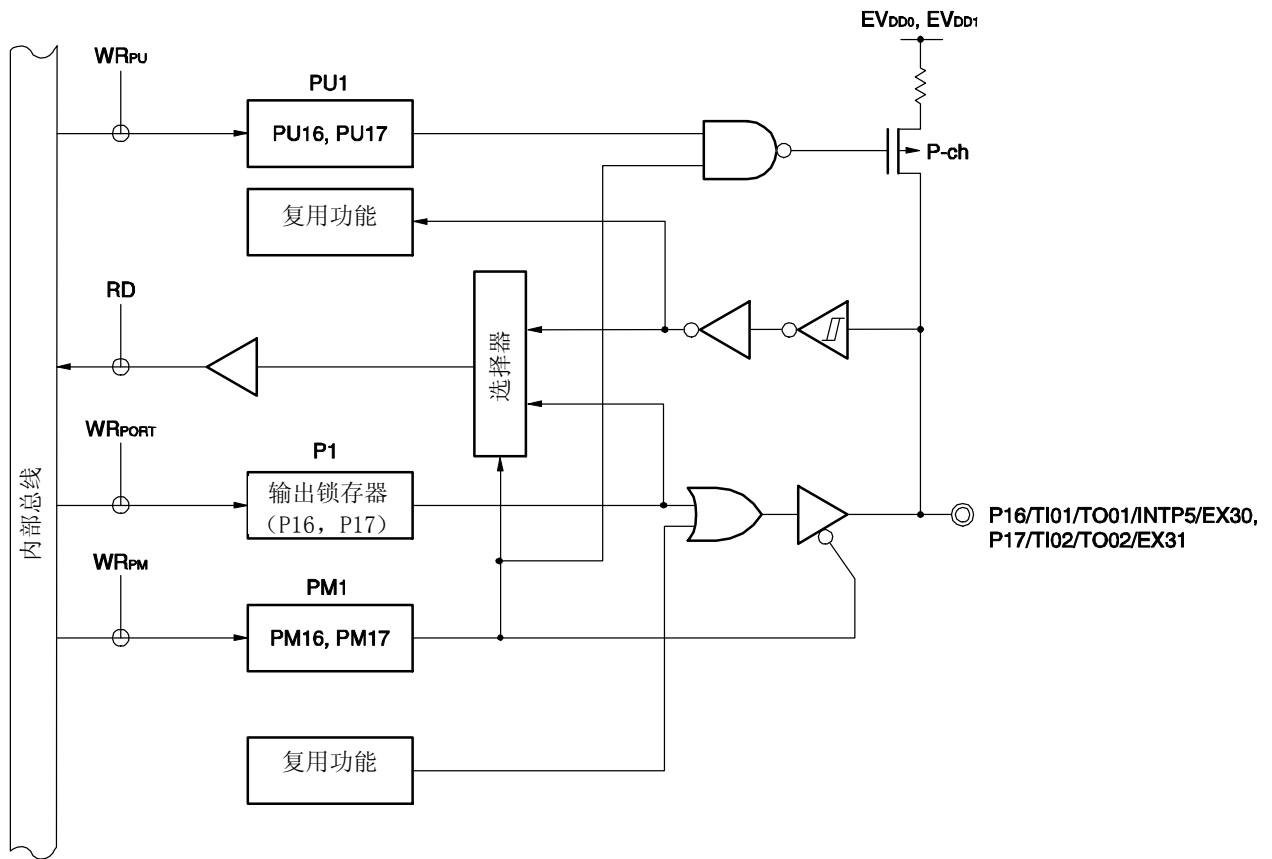
P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 RD: 读信号
 WR_{xx} : 写信号

图 4-11. P15 的框图



- P1: 端口寄存器 1
- PU1: 上拉电阻选项寄存器 1
- PM1: 端口模式寄存器 1
- RD: 读信号
- WR_{xx}: 写信号

图 4-12. P16 和 P17 的框图



P1: 端口寄存器 1
 PU1: 上拉电阻选项寄存器 1
 PM1: 端口模式寄存器 1
 RD: 读信号
 WR_{xx}: 写信号

4.2.3 端口 2

端口 2 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 2(PM2)，可以按位设置端口 2 为输入或输出模式。

此端口也可用于 A/D 转换器 模拟输入。

如果要将 P20/ANI0 ~ P27/ANI7 作为数字输入引脚，应通过使用 A/D 端口配置寄存器 (ADPC) 将这些引脚设置为数字 I/O 模式，并通过使用 PM2 设置为输入模式。从低位开始使用这些引脚。

如果要将 P20/ANI0 ~ P27/ANI7 作为数字输出引脚，应通过使用 A/D 端口配置寄存器 (ADPC) 将这些引脚设置为数字 I/O 模式，并通过使用 PM2 设置为输出模式。

如果要将 P20/ANI0~P27/ANI7 作为模拟输入引脚，通过 A/D 端口配置 寄存器 (ADPC) 和使用 PM2 在输入模式下设置为模拟输入模式。从高位开始使用这些引脚。

表 4-4. P20/ANI0~P27/ANI7 引脚的设置功能

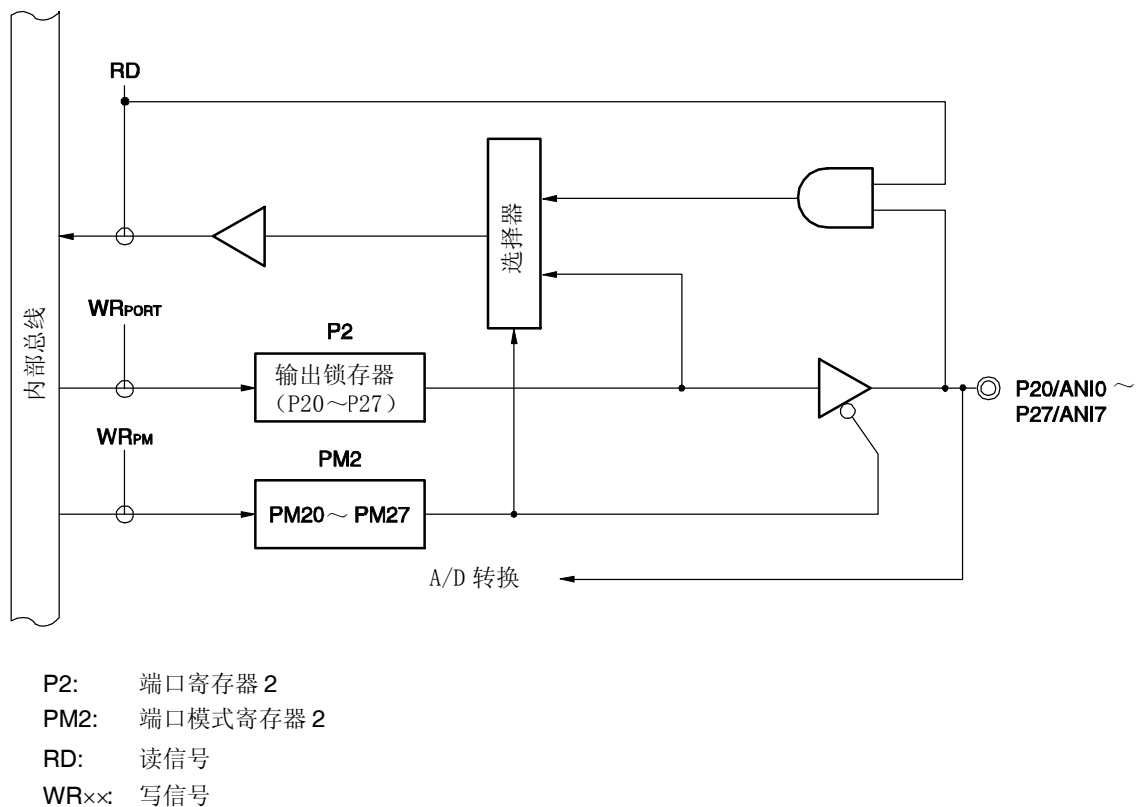
ADPC	PM2	ADS	P20/ANI0~P27/ANI7 引脚
数字 I/O 选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入 选择	输入模式	选择 ANI.	模拟输入 (转换)
		不要选择 ANI.	模拟输入 (不转换)
	输出模式	选择 ANI.	设置禁止
		不要选择 ANI.	

当复位信号发生时，所有 P20/ANI0~P27/ANI7 均设置为数字输入模式。

图 4-13 所示为端口 2 的框图。

注意事项 当 端口 2 作为数字端口时，AVREF0 引脚的电压要与 VDD 引脚相同。

图 4-13. P20~P27 的框图



4.2.4 端口 3

端口 3 是具有输出锁存功能的 2 位 I/O 端口。通过使用端口模式寄存器 3(PM3)，可以按位设置端口 3 为输入或输出模式。如果 P30 和 P31 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 3(PU3)以 1 位单元的方式指定。

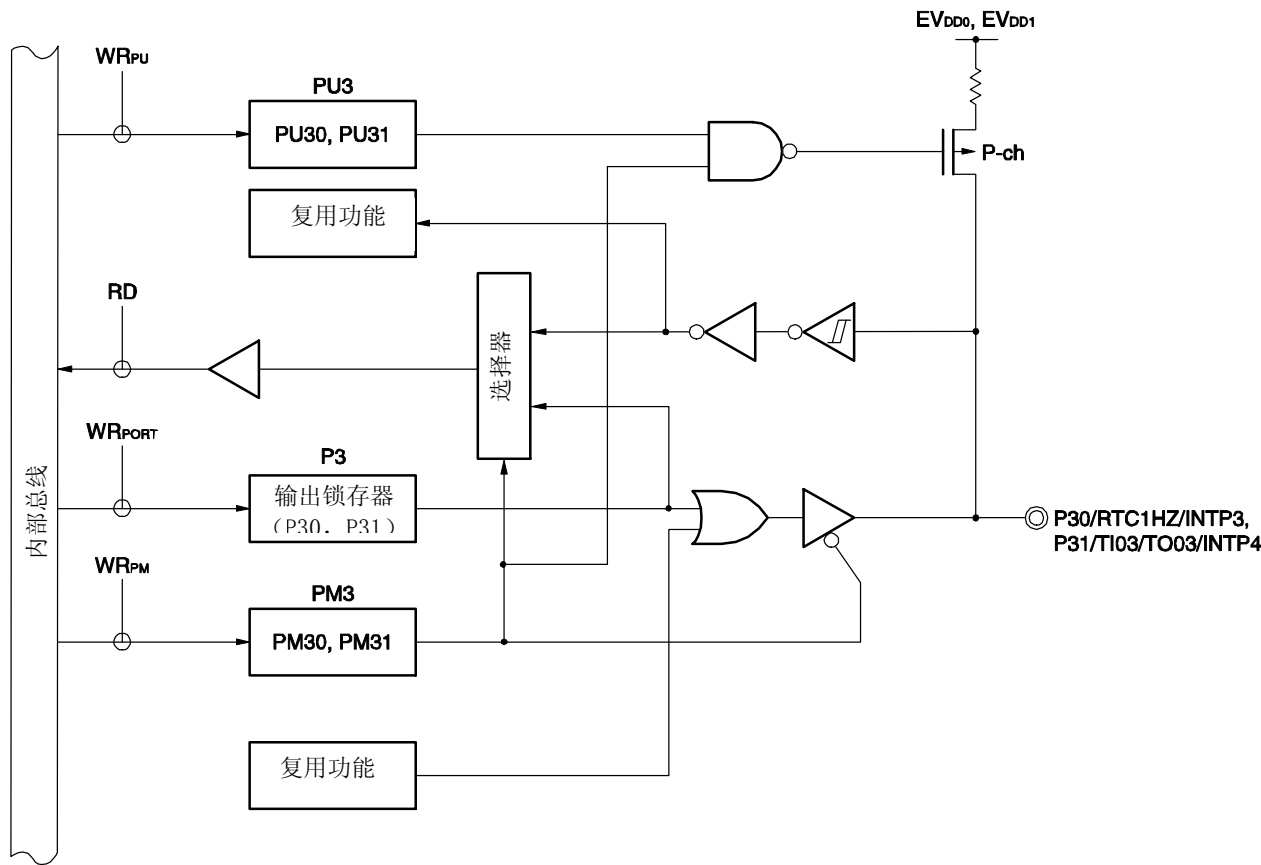
此端口也可用于外部中断请求输入, 定时器 I/O, 和实时计数器修正时钟输出。

复位信号产生设置端口 3 为输入模式。

图 4-14 所示为端口 3 的框图。

注意事项 要将 P31/TI03/TO03/INTP4 作为通用端口使用，设置定时器 输出 寄存器 0 (TO0) 和 定时器 输出 允许 寄存器 0 (TOE0)为默认状态。

图 4-14. P30 和 P31 的框图



P3: 端口寄存器 3
PU3: 上拉电阻选项寄存器 3
PM3: 端口模式寄存器 3
RD: 读信号
WR_{xx}: 写信号

4.2.5 端口 4

端口 4 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 4(PM4)，可以按位设置端口 4 为输入或输出模式。如果 P40 ~ P47 作为输入端口，则内部上拉电阻的使用可以通过上拉电阻选择寄存器 4(PU4) 以 1 位单元的方式指定。

通过使用端口输入模式寄存器 4 (PIM4)以 1 位单元的方式可指定 P43 和 P44 引脚通过普通缓冲器或 TTL 缓冲器输入。

通过端口输出模式寄存器 4 (POM4)以 1 位为单元的方式可指定 P43~P45 引脚的输出为 N-ch 漏极开路输出 (V_{DD} 耐压)。

此端口也可用于外部中断请求输入, 串行接口数据 I/O, 时钟 I/O, flash 存储器编程器/调试器数据 I/O, 时钟输出, 和 定时器 I/O。

复位信号发生设置端口 4 为输入模式。

图 4-15~4-21 所示为端口 4 的框图。

注 连接工具时，P40 和 P41 引脚不能连接上拉电阻。

注意事项 1. 连接工具时，P40 引脚不能作为端口引脚使用。

使用片内调试功能时，P41 引脚通过模式设置可用于如下调试。

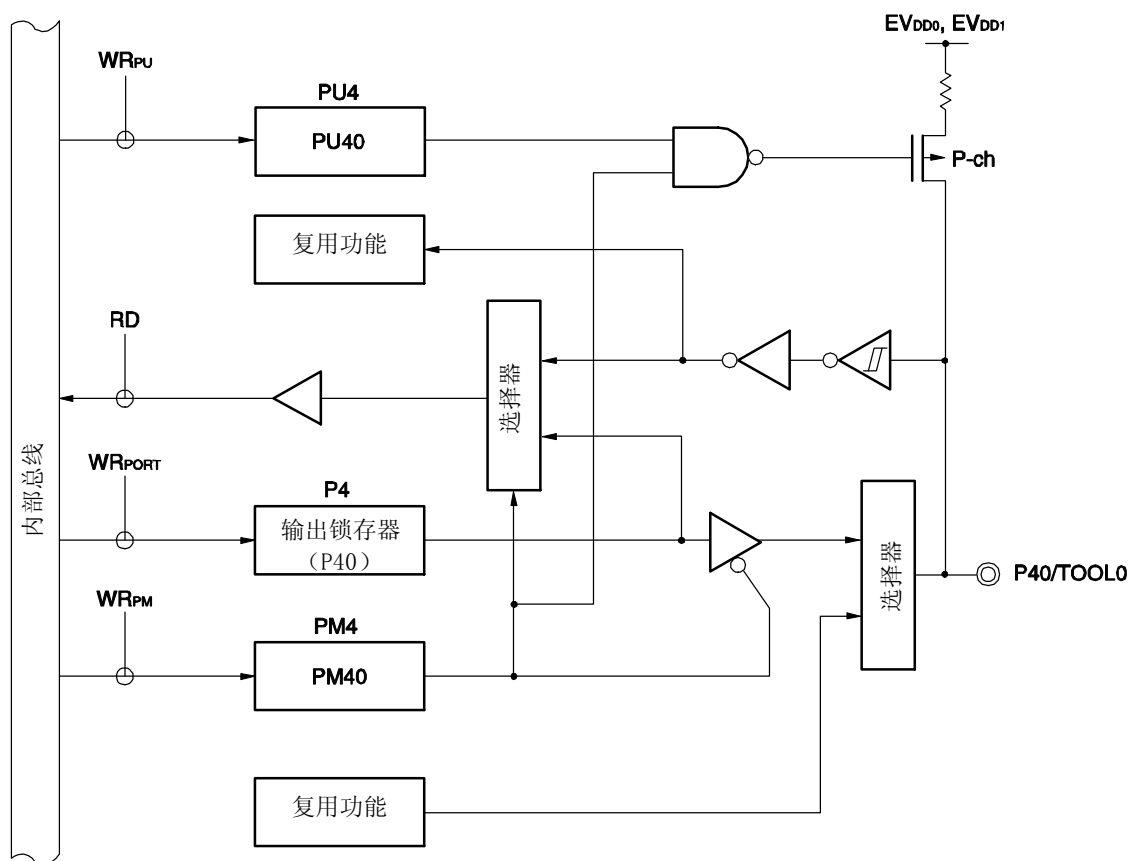
1 线模式: 可用作端口(P41)。

2 线模式: 用作 TOOL1 引脚并且不能用作端口(P41)。

2. 要将 P43/SCK01 或 P45/SO01 用作通用端口，设置串行通道允许状态寄存器 0 (SE0), 串行输出寄存器 0 (SO0) 和串行输出允许寄存器 0 (SOE0)为默认状态。清零端口输出模式寄存器 4 (POM4)为 00H。

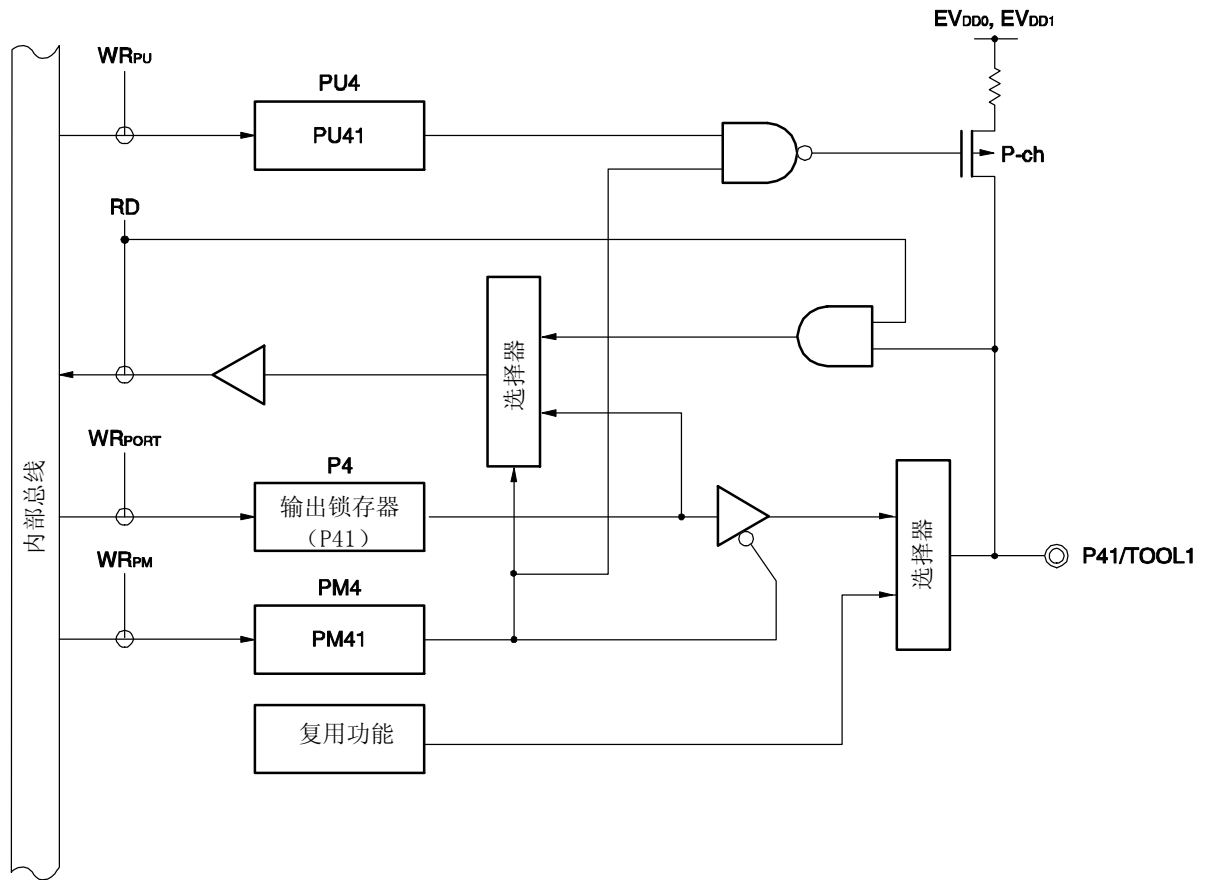
3. 要将 P42/TI04/TO04 或 P46/INTP1/TI05/TO05 作为通用端口，设置定时器 输出寄存器 0 (TO0) 和定时器 输出允许寄存器 0 (TOE0) 为默认状态。清零端口输出模式寄存器 4 (POM4)为 00H。

图 4-15. P40 的框图



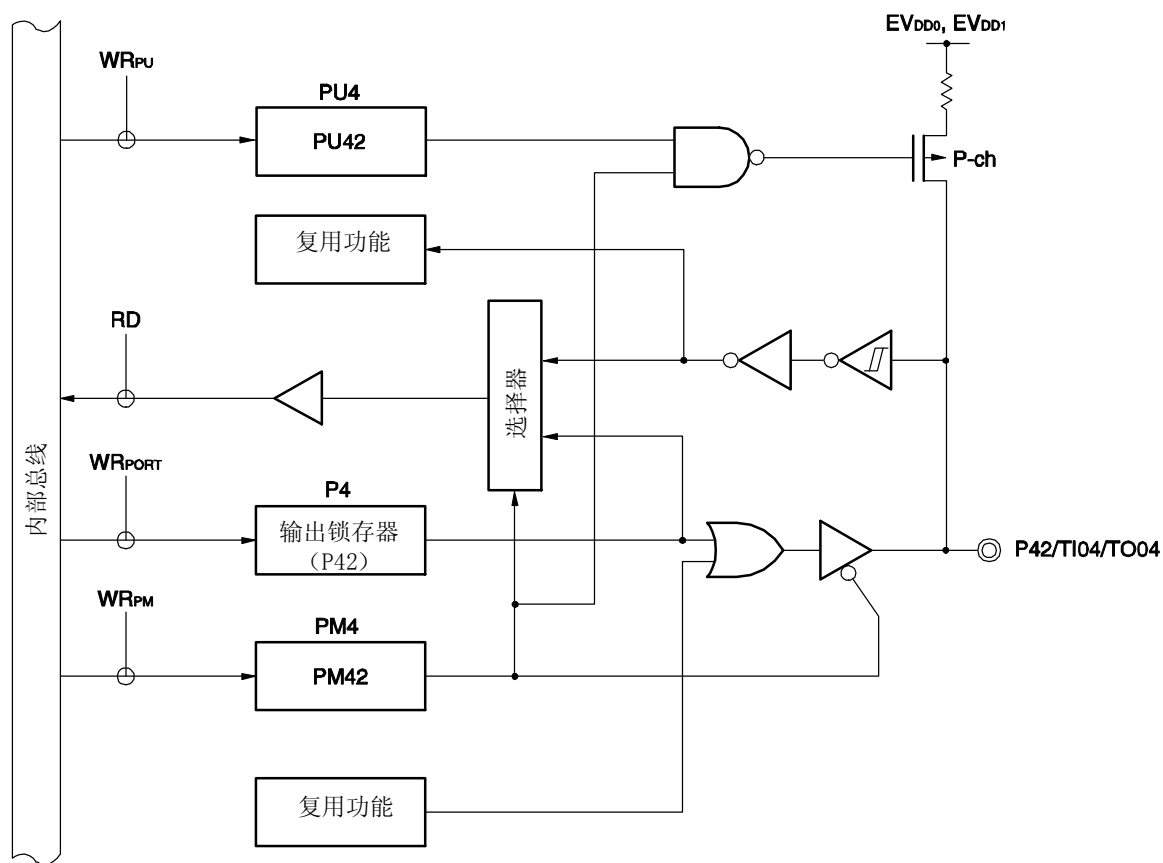
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR_{xx}: 写信号

图 4-16. P41 的框图



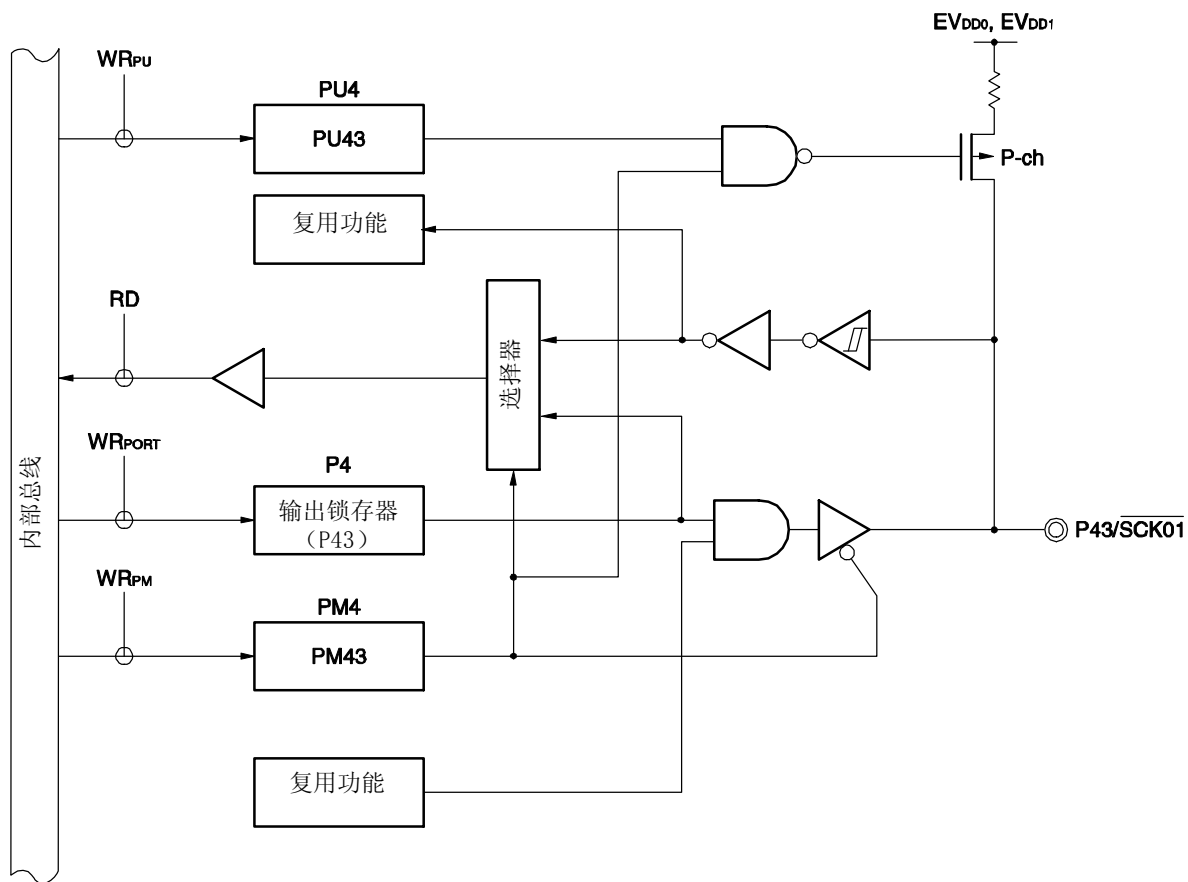
P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR_{xx}: 写信号

图 4-17. P42 的框图



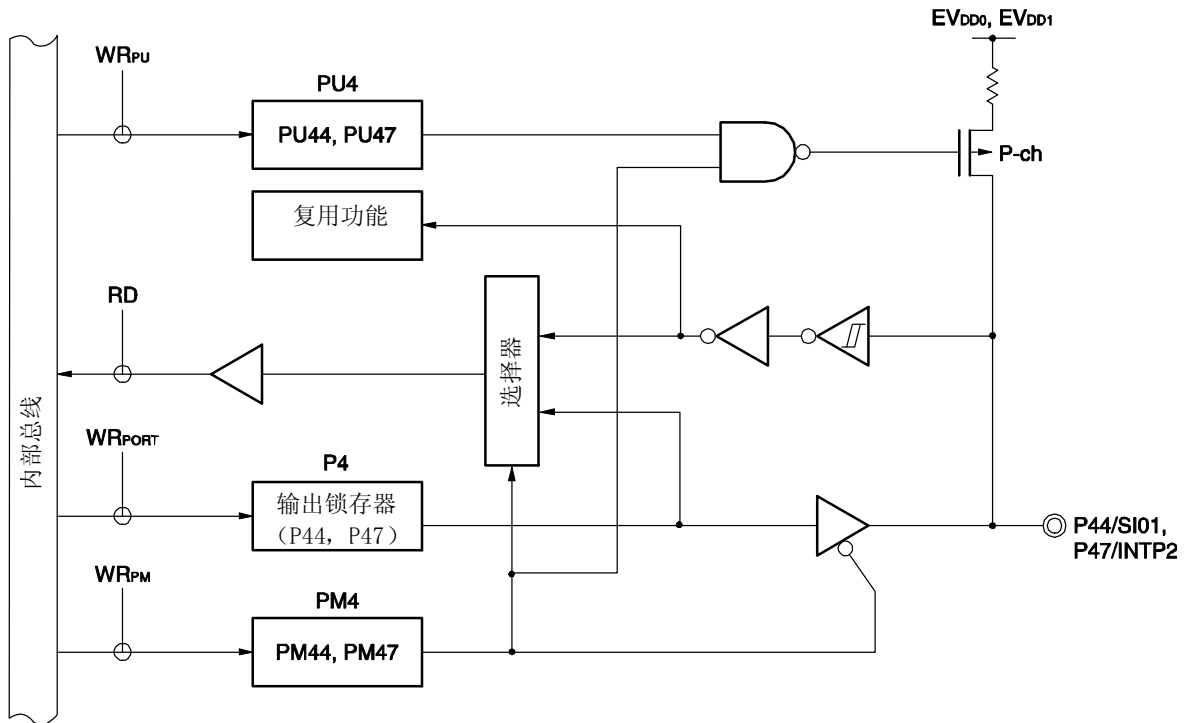
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR_{xx}: 写信号

图 4-18. P43 的框图



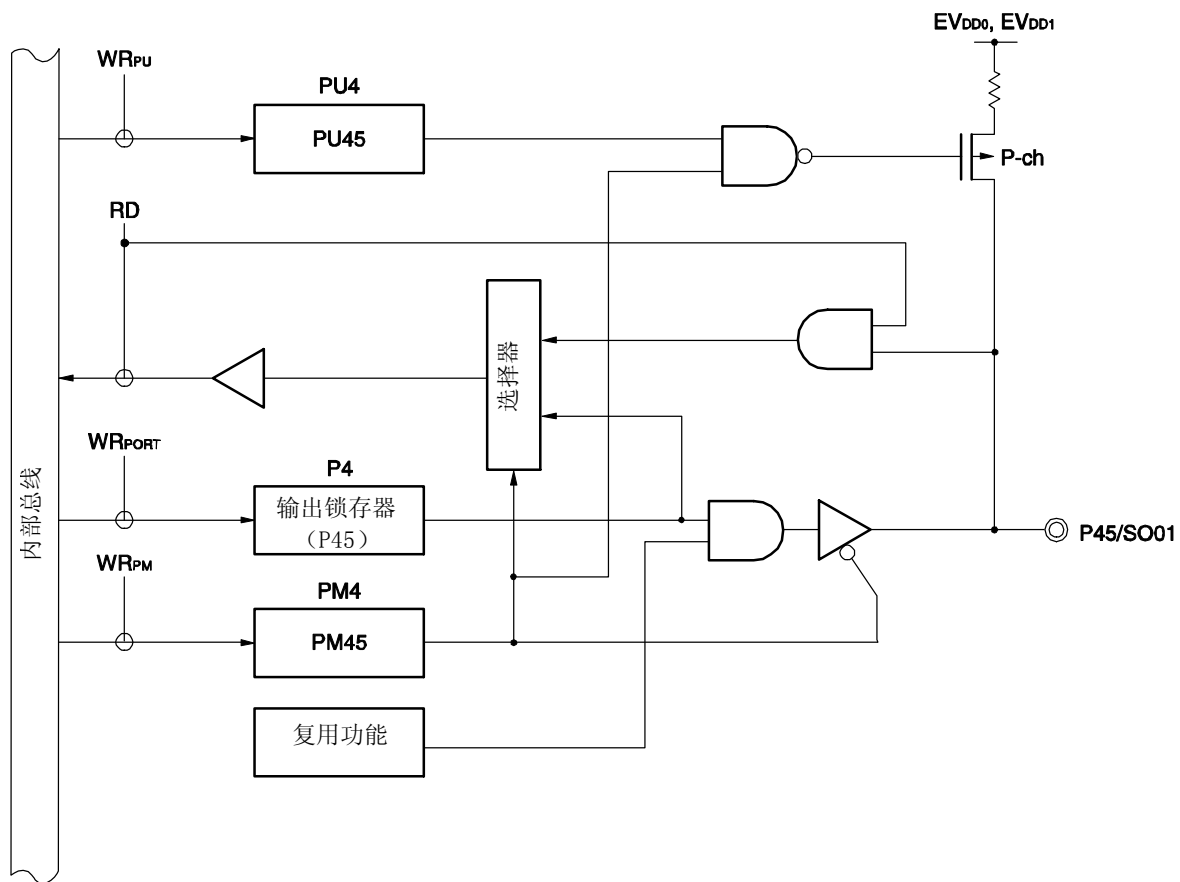
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR_{xx}: 写信号

图 4-19. P44 和 P47 的框图



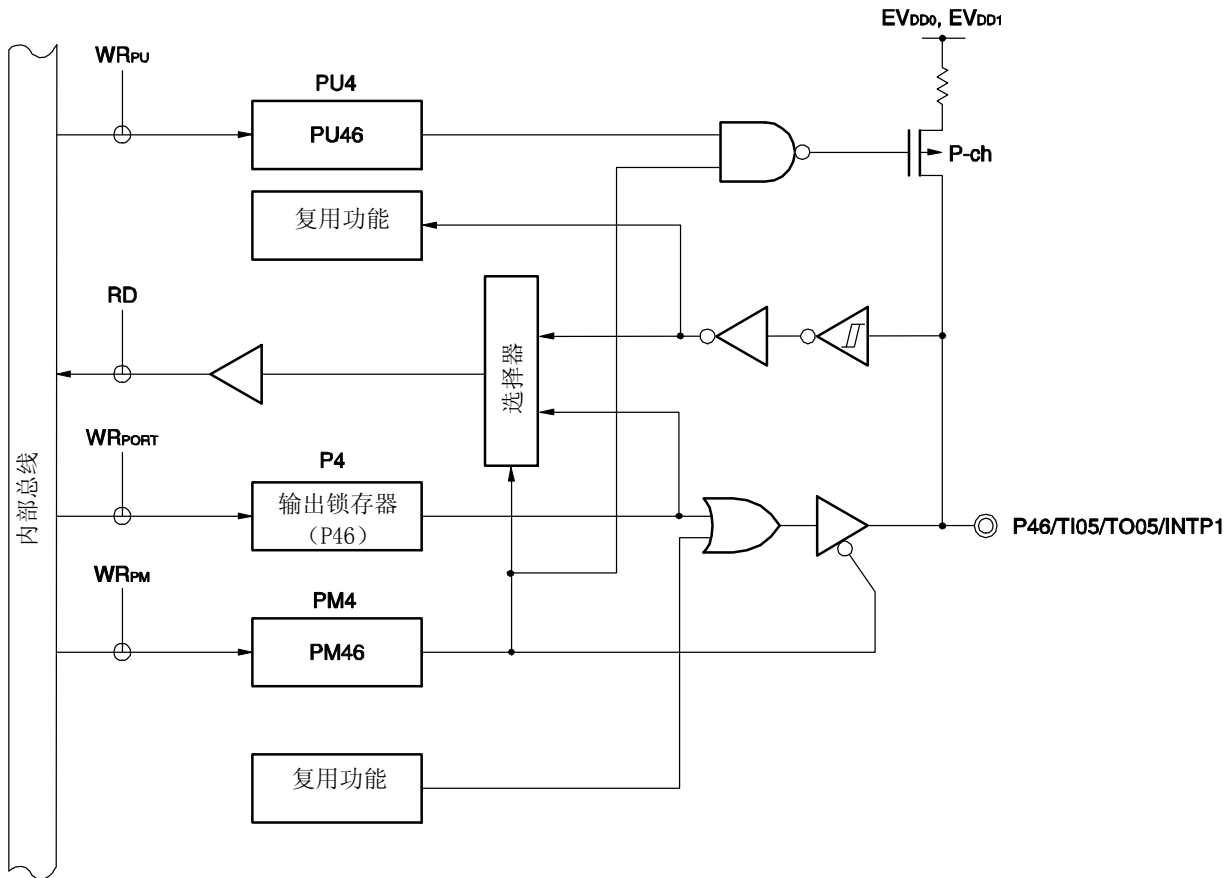
- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR_{xx}: 写信号

图 4-20. P45 的框图



P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR_{xx}: 写信号

图 4-21. P46 的框图



- P4: 端口寄存器 4
 PU4: 上拉电阻选项寄存器 4
 PM4: 端口模式寄存器 4
 RD: 读信号
 WR $\times\times$: 写信号

4.2.6 端口 5

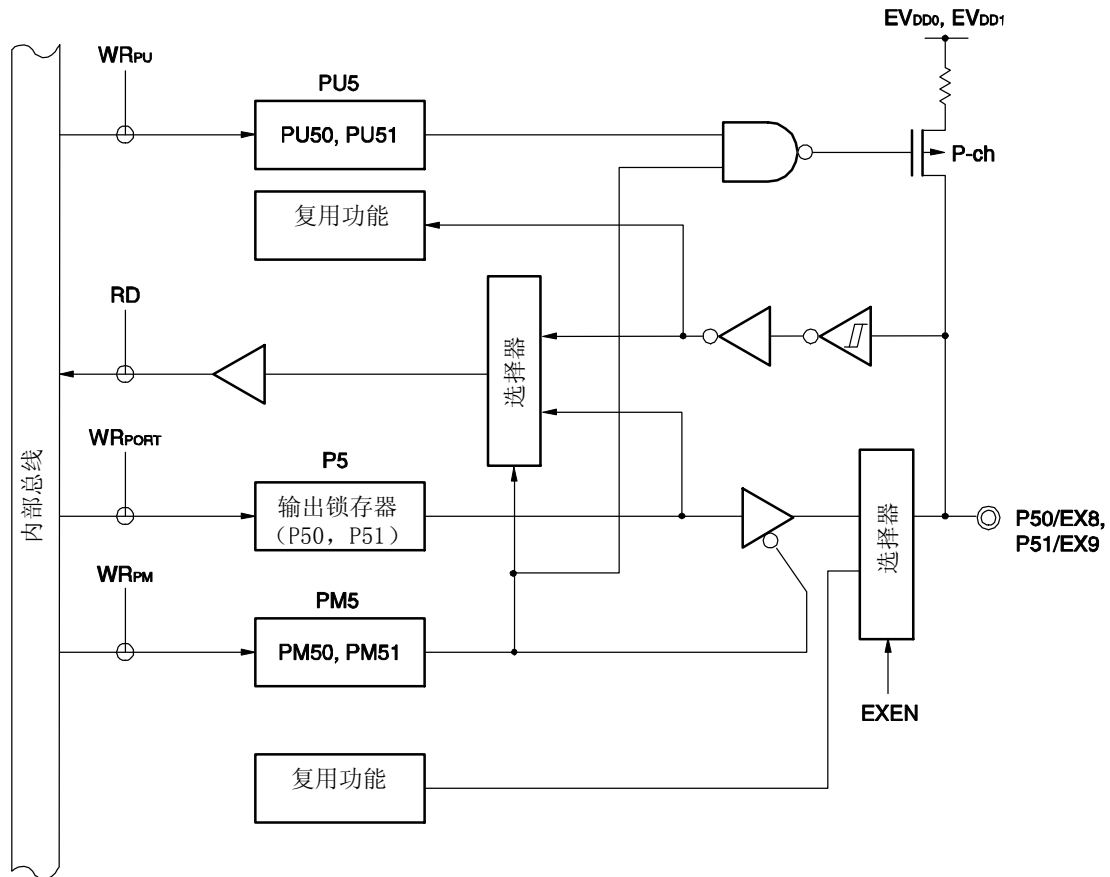
端口 5 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 5(PM5)，可以按位设置端口 5 为输入或输出模式。当 P50 ~ P57 作为输入端口时，内部上拉电阻的使用可以通过上拉电阻选择寄存器 5(PU5)以 1 位单元的方式指定。

此端口也可用于外部扩展 I/O (复用地址/数据总线, 地址总线, 数据总线)。使用外部扩展 I/O 功能时, 它控制 I/O 忽略端口模式寄存器 5 (PM5), 端口寄存器 5 (P5), 和上拉电阻选项寄存器 5 (PU5) 的设置。

复位信号发生设置端口 5 为输入模式。

图 4-22 和 4-23 所示为端口 5 的框图。

图 4-22. P50 和 P51 的框图



P5:	端口寄存器 5
PU5:	上拉电阻选项寄存器 5
PM5:	端口模式寄存器 5
RD:	读信号
WR _x :	写信号
EXEN:	存储器扩展模式寄存器 (MEM) 的第 7 位

The diagram illustrates the internal circuitry of the P52/P57 output port. On the left, the '内部总线' (Internal Bus) is connected to four control signals: WR_{PU} , RD , WR_{PORT} , and WR_{PM} . WR_{PU} and WR_{PORT} are connected to the $PU5$ block, which contains $PU52 \sim PU57$ and a '复用功能' (Multiplexing Function) block. WR_{PM} is connected to the $PM5$ block, which contains $PM52 \sim PM57$ and another '复用功能' block. The RD signal is connected to a buffer. The output of the $PU52 \sim PU57$ block is connected to an AND gate. The output of the $PM52 \sim PM57$ block is connected to an OR gate. The output of the AND gate is connected to the P -ch MOSFET. The output of the OR gate is connected to the output lock register (P52~P57). The output of the output lock register is connected to the output driver (P-ch). The output of the P -ch MOSFET is connected to EV_{DD1} and EV_{DD0} . The output of the output lock register is also connected to EV_{DD1} and EV_{DD0} . The output of the output lock register is labeled $P52/EX10 \sim P57/EX15$. The output of the output lock register is also connected to the $EXEN$ signal.

EXEN: 存储器扩展模式寄存器 (MEM) 的第 7 位

4.2.7 端口 6

端口 6 是具有输出锁存功能的 88 位 I/O 端口。通过使用端口模式寄存器 6(PM6)，可以按位设置端口 6 为输入或输出模式。当 P64~P67 引脚作为输入端口使用时，可由上拉电阻选项寄存器 6 (PU6)按位设定片内上拉电阻的使用。

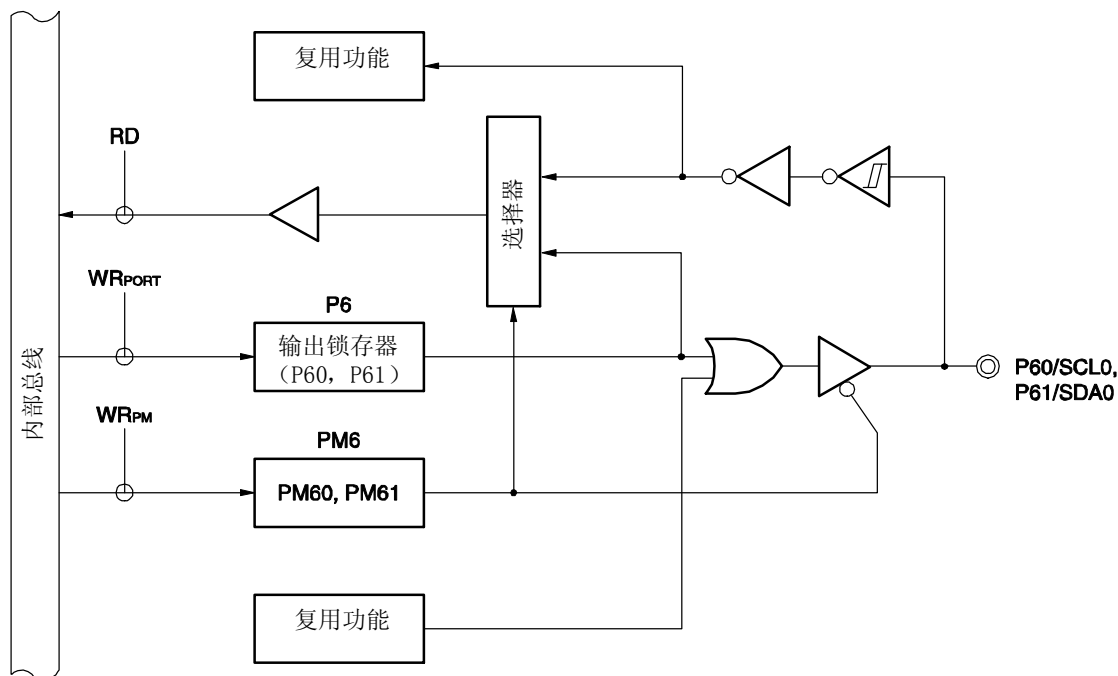
P60~P63 引脚的输出是 N-ch 漏极开路输出 (6 V 耐压)。

此端口也可用于串行接口数据 I/O, 时钟 I/O, 读选通信号输出, 写选通信号输出 (8 位总线模式, 16 位总线模式 (低位)), 写选通信号输出 (16 位总线模式 (高位)), 和地址选通信号输出。

复位信号发生设置端口 6 为输入模式。

图 4-24~4-26 所示为端口 6 的框图。

图 4-24. P60 和 P61 的框图



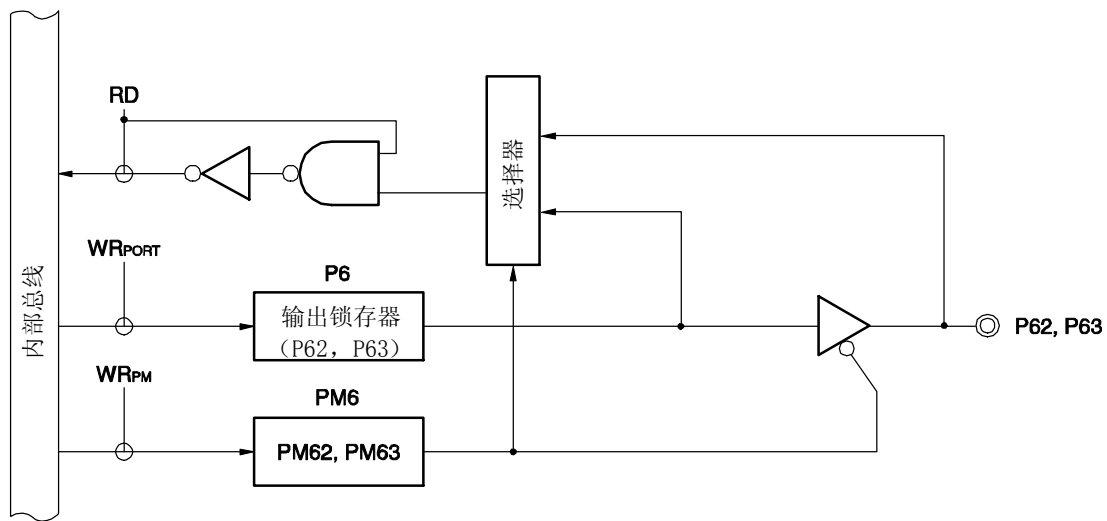
P6: 端口寄存器 6

PM6: 端口模式寄存器 6

RD: 读信号

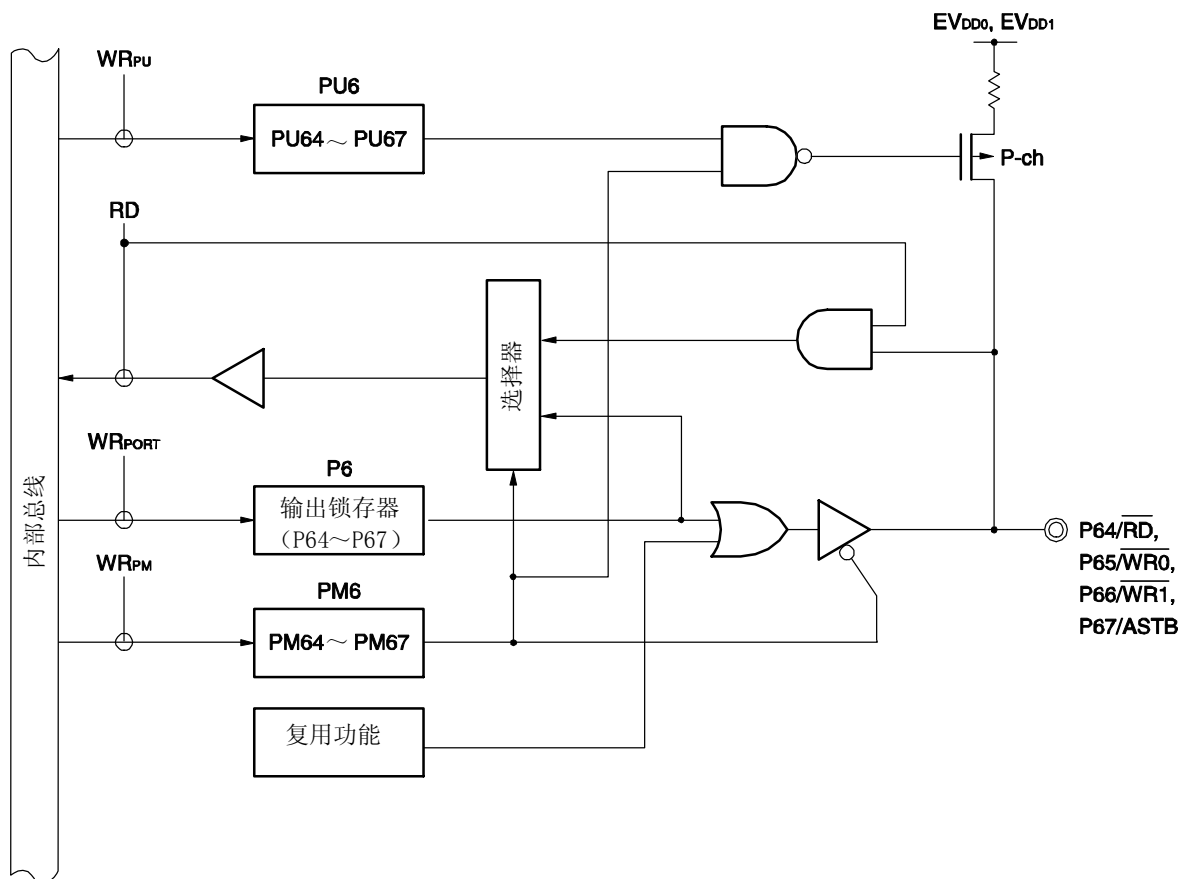
WR_{xx}: 写信号

图 4-25. P62 和 P63 的框图



P6: 端口寄存器 6
 PM6: 端口模式寄存器 6
 RD: 读信号
 WR_{xx}: 写信号

图 4-26. P64~P67 的框图



P6: 端口寄存器 6
 PM6: 端口模式寄存器 6
 RD: 读信号
 WR_{xx} : 写信号

4.2.8 端口 7

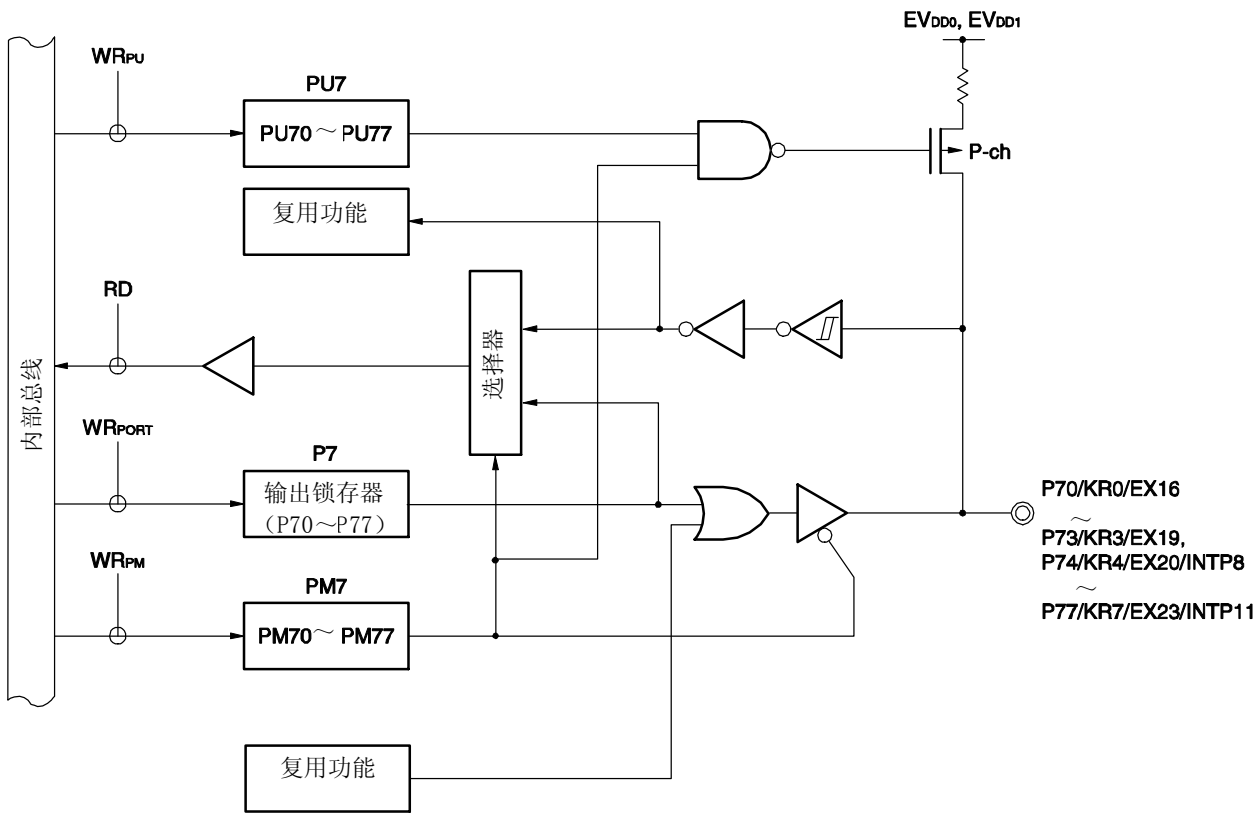
端口 7 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 7(PM7)，可以按位设置端口 7 为输入或输出模式。作为输入端口时，内部上拉电阻的使用可以通过上拉电阻选择寄存器 7(PU7)以 1 位单元的方式指定。

此端口也可用作按键返回输入, 外部扩展输出 (地址总线), 和中断请求输入。

复位信号发生设置端口 7 为输入模式。

图 4-27 所示为端口 7 的框图。

图 4-27. P70~P77 的框图



- P7: 端口寄存器 7
- PU7: 上拉电阻选项寄存器 7
- PM7: 端口模式寄存器 7
- RD: 读信号
- WR××: 写信号

4.2.9 端口 8

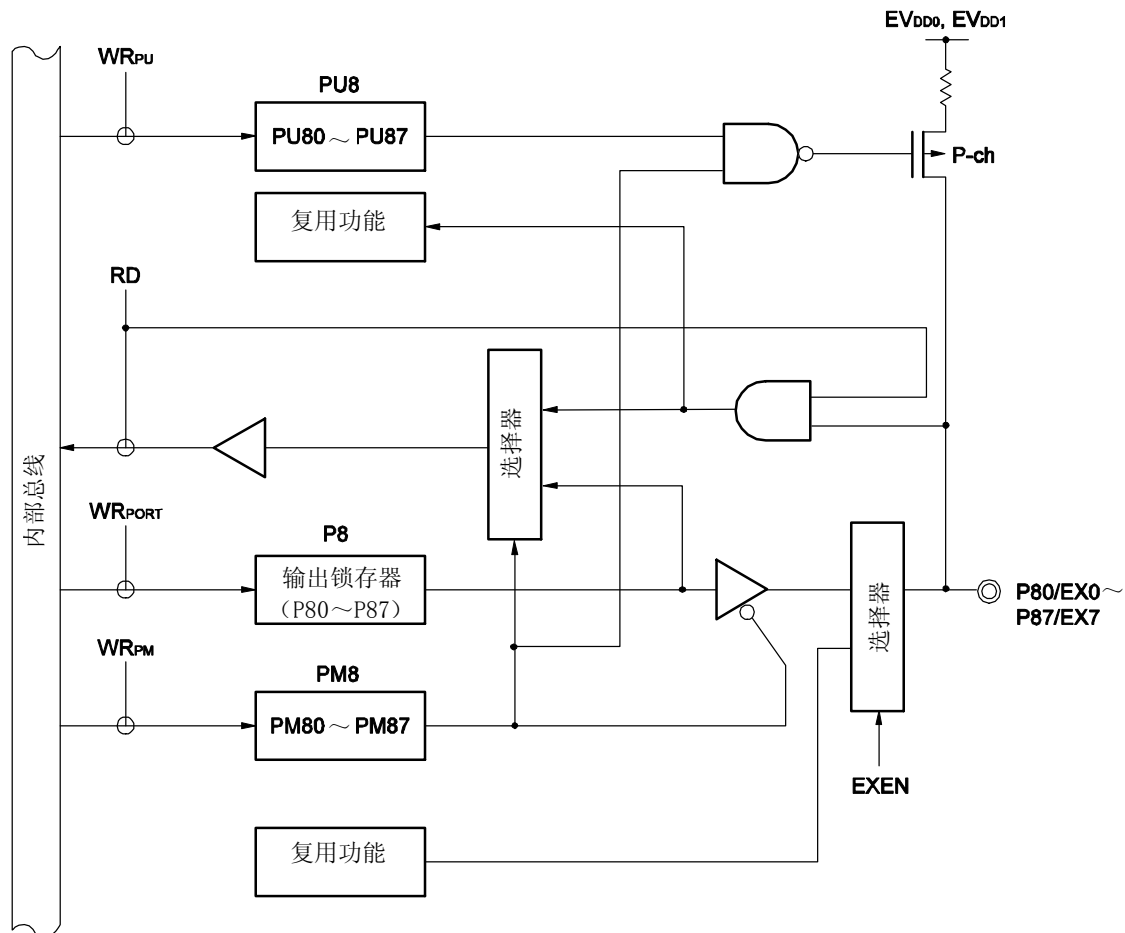
端口 8 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 8(PM8)，可以按位设置端口 8 为输入或输出模式。P80~P87 作为输入端口时，内部上拉电阻的使用可以通过上拉电阻选择寄存器 8(PU8)以 1 位单元的方式指定。

此端口也可用作外部扩展 I/O (复用地址/数据总线, 数据总线)。当使用外部扩展 I/O 功能时，它控制 I/O 忽略端口模式寄存器 8 (PM8), 端口寄存器 8 (P8), 和上拉电阻选项寄存器 8 (PU8)的设置。

复位信号发生设置端口 8 为 输入模式。

图 4-28 所示为端口 8 的框图。

图 4-28. P80~P87 的框图



- P8: 端口寄存器 8
- PU8: 上拉电阻选项寄存器 8
- PM8: 端口模式寄存器 8
- RD: 读信号
- WR_{xx} : 写信号
- EXEN: 存储器扩展模式寄存器 (MEM) 的第 7 位

4.2.10 端口 11

端口 11 是具有输出锁存功能的 2 位 I/O 端口。通过使用端口模式寄存器 11(PM11)，可以按位设置端口 11 为输入或输出模式。

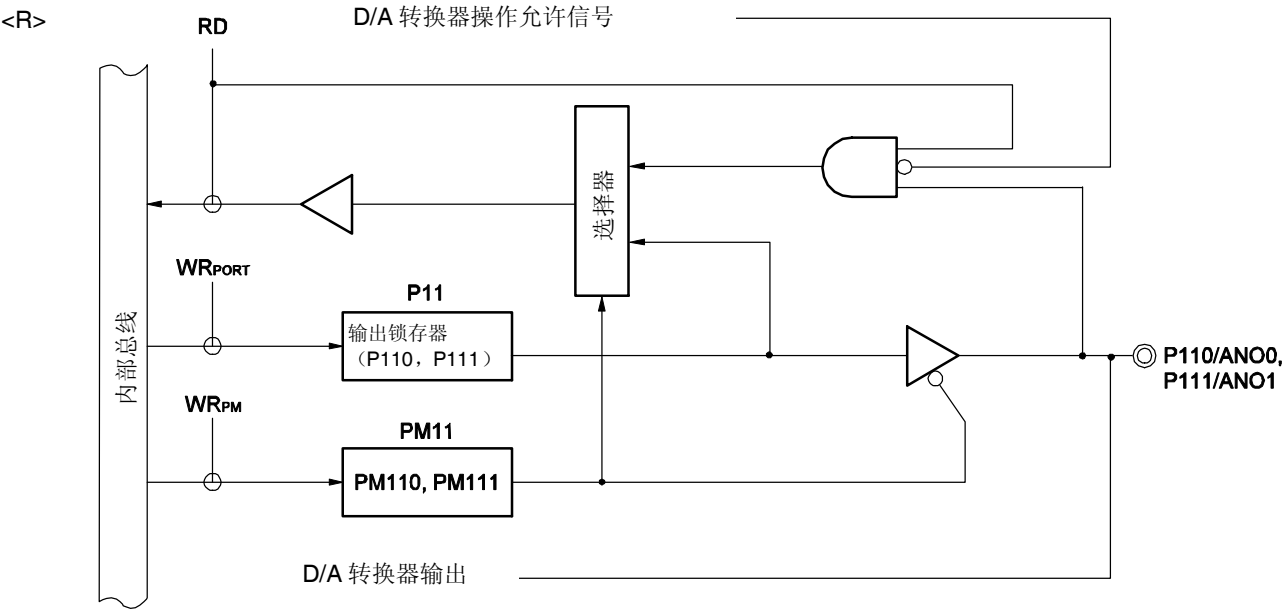
此端口也可用作 D/A 转换器模拟输出。

复位信号发生设置端口 11 为输入模式。

图 4-29 所示为端口 11 的框图。

注意事项 当端口 11 用作数字端口时确保 AV_{REF1} 引脚与 V_{DD} 引脚相同。

图 4-29. P110 和 P111 的框图



- P11: 端口寄存器 11
- PM11: 端口模式寄存器 11
- RD: 读信号
- WR_{xx}: 写信号

4.2.11 端口 12

P120 是具有输出锁存功能的 1 位 I/O 端口。通过使用端口模式寄存器 12(PM12)，可以按位设置端口 12 为输入或输出模式。当用作输入端口时，内部上拉电阻的使用可以通过上拉电阻选择寄存器 12(PU12)指定。

P121~P124 是 4 位输入端口。

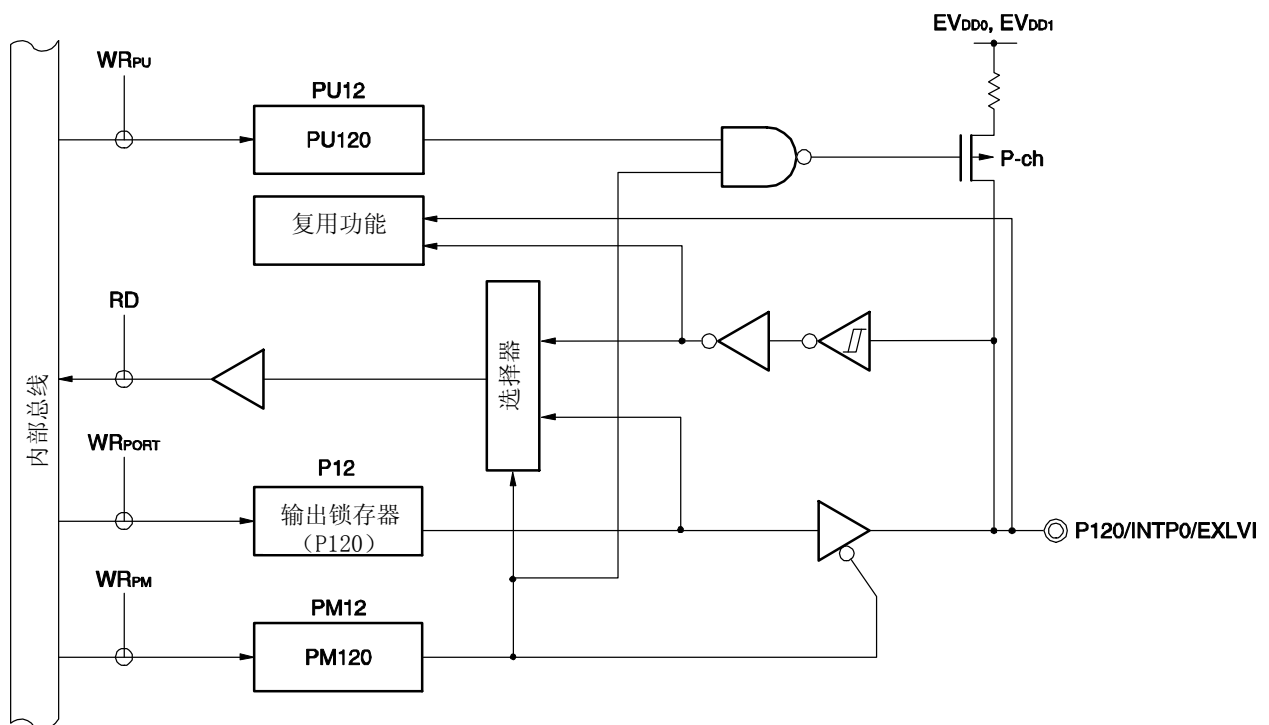
此端口也可用作外部中断请求输入,外部低电压检测的电压输入，为主系统时钟连接振荡器，为副系统时钟连接振荡器，和主系统时钟的外部时钟输入。

复位信号发生设置端口 12 为输入模式。

图 4-30~4-32 所示为端口 12 的框图。

注意事项 P121~P124 的功能设置只有在复位释放后可用。端口一旦设置为连接振荡器，除非执行复位否则不能用作输入端口。

图 4-30. P120 的框图



P12: 端口寄存器 12

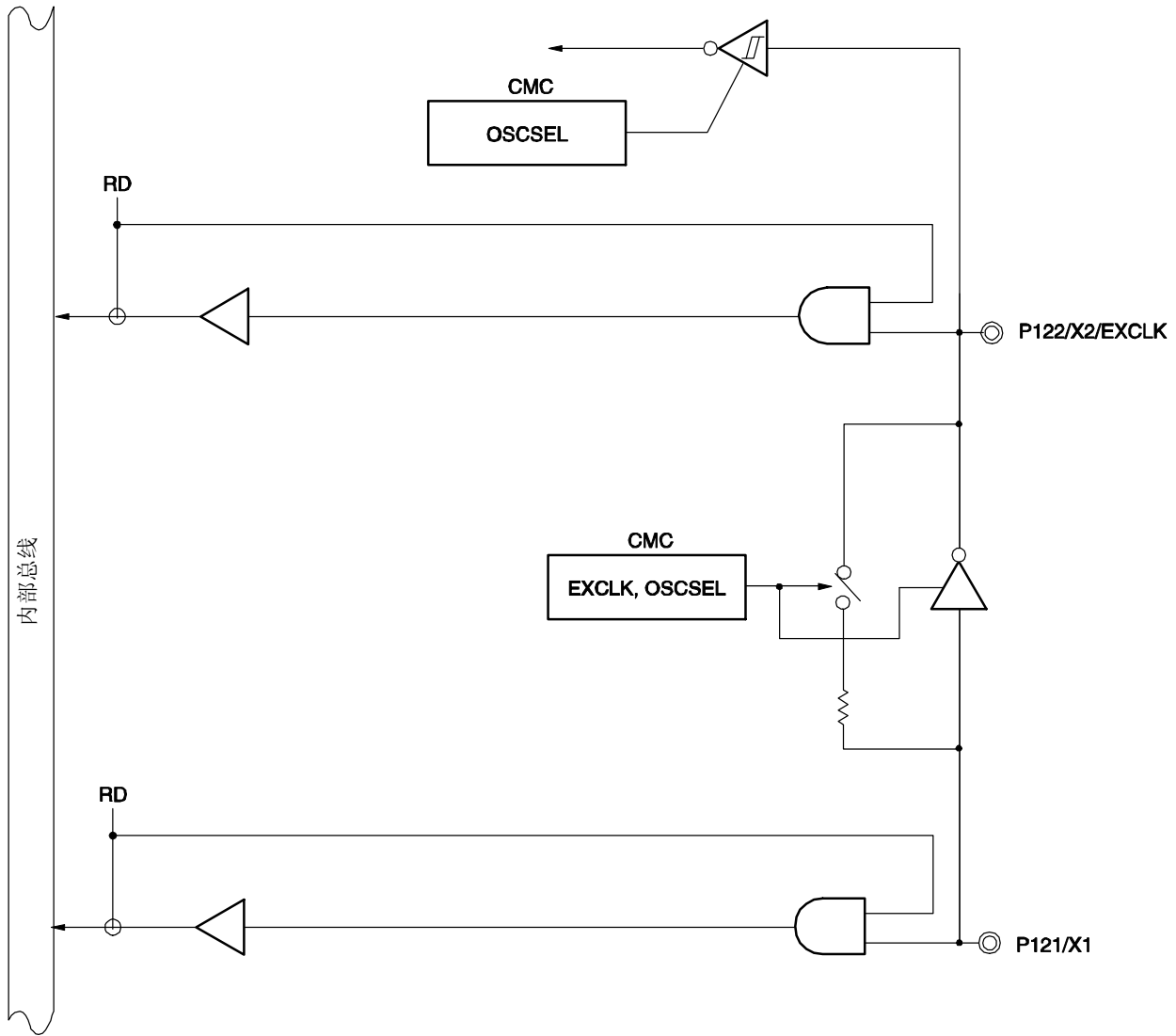
PU12: 上拉电阻选项寄存器 12

PM12: 端口模式寄存器 12

RD: 读信号

WR_{xx}: 写信号

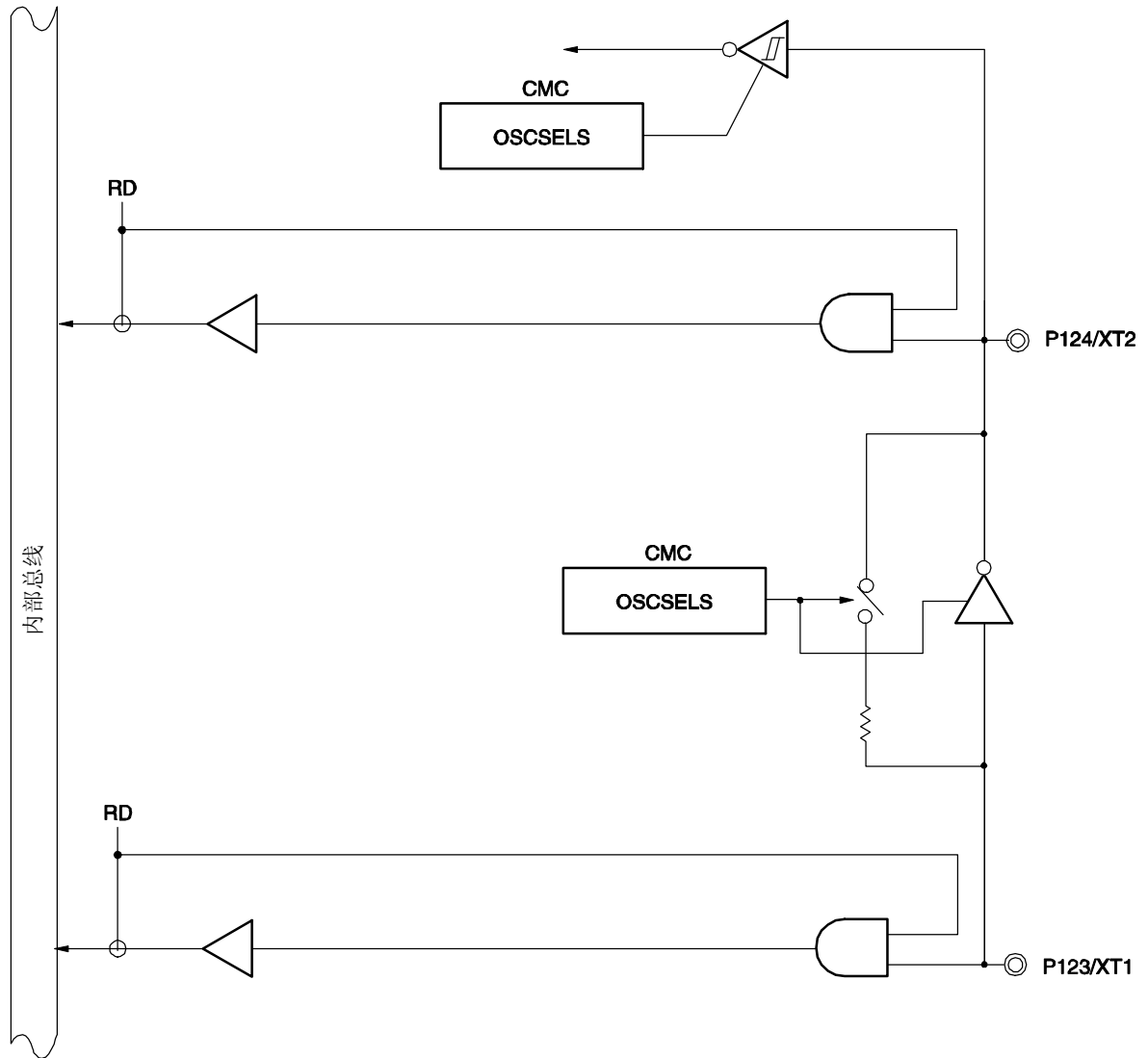
图 4-31. P121 和 P122 的框图



CMC: 时钟操作模式控制寄存器

RD: 读信号

图 4-32. P123 和 P124 的框图



CMC: 时钟操作模式控制寄存器

RD: 读信号

4.2.12 端口 13

P130 是具有输出锁存功能的 1 位输出端口。

P131 是具有输出锁存功能的 1 位 I/O 端口。当用作输入端口时，内部上拉电阻的使用可以通过上拉电阻选择寄存器 13(PU13)指定。

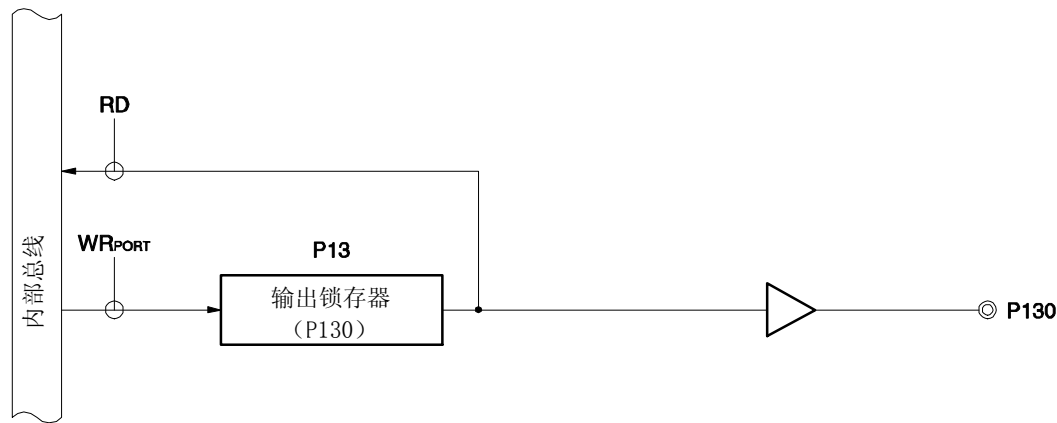
复位信号发生设置端口 13 为输入模式。

此端口也可用于定时器 I/O。

图 4-33 和 4-34 所示为端口 13 的框图。

注意事项 要将 P131/TI06/TO06 用作通用端口时，设置定时器输出寄存器 0 (TO0) 和定时器输出允许寄存器 0 (TOE0) 为默认状态。

图 4-33. P130 的框图



P13: 端口寄存器 13
RD: 读信号
WR_{xx}: 写信号

备注 复位有效时，P130 输出低电平。如果 P130 在复位有效前设置为输出高电平，P130 的输出信号可作为 dummy-output 的 CPU 复位信号。

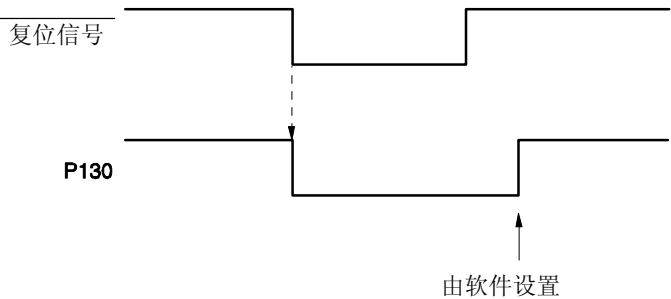
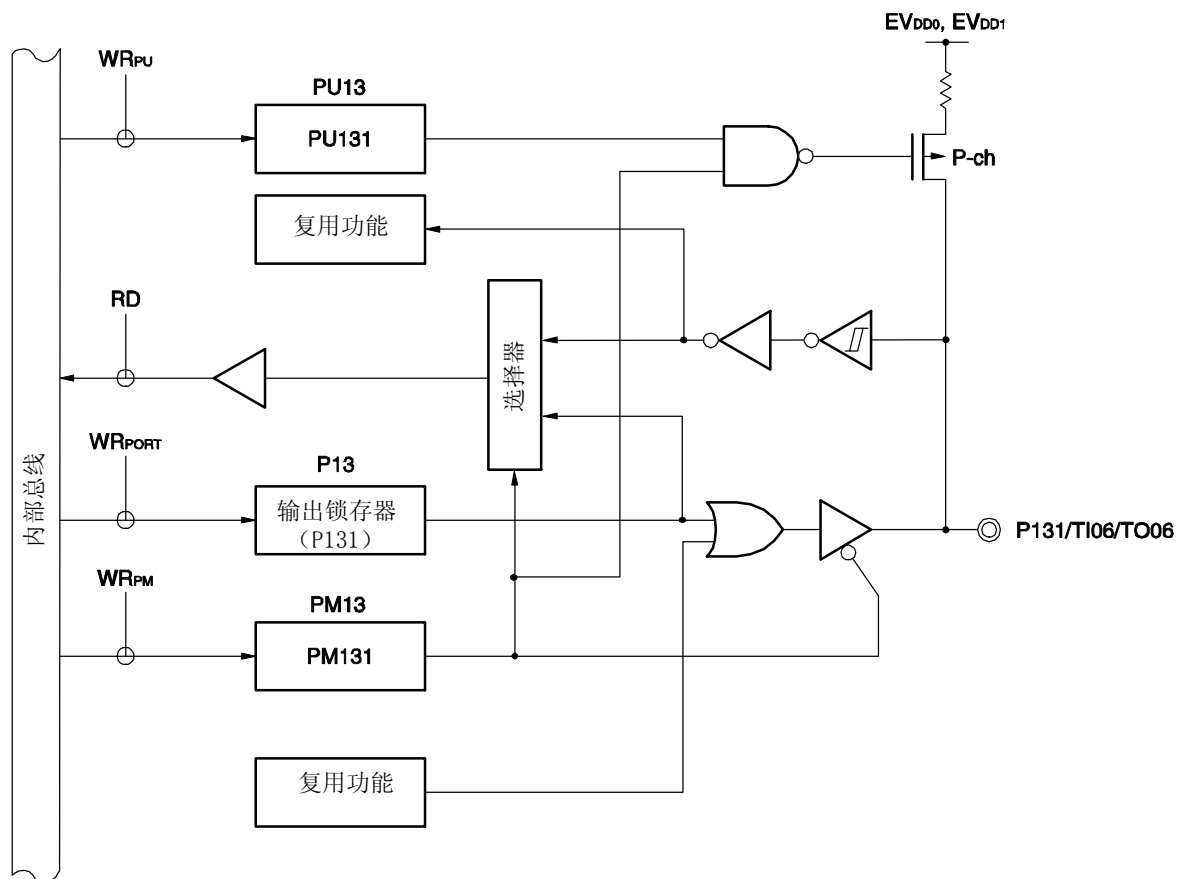


图 4-34. P131 的框图



P13: 端口寄存器 13
PU13: 上拉电阻选项寄存器 13
PM13: 端口模式寄存器 13
RD: 读信号
WR_{xx}: 写信号

4.2.13 端口 14

端口 14 是具有输出锁存功能的 6 位 I/O 端口。通过使用端口模式寄存器 14(PM14)，可以按位设置端口 14 为输入或输出模式。当 P140~P145 作为输入端口时，内部上拉电阻的使用可以通过上拉电阻选择寄存器 14(PU14)以 1 位单元的方式指定。

通过使用端口输入模式寄存器 14 (PIM14)以 1 位单元的方式可指定 P142 和 P143 引脚通过普通缓冲器或 TTL 缓冲器输入。

通过端口输出模式寄存器 14 (POM14)以 1 位为单元的方式可指定 P142~P144 引脚的输出为 N-ch 漏极开路输出 (V_{DD} 耐压)。

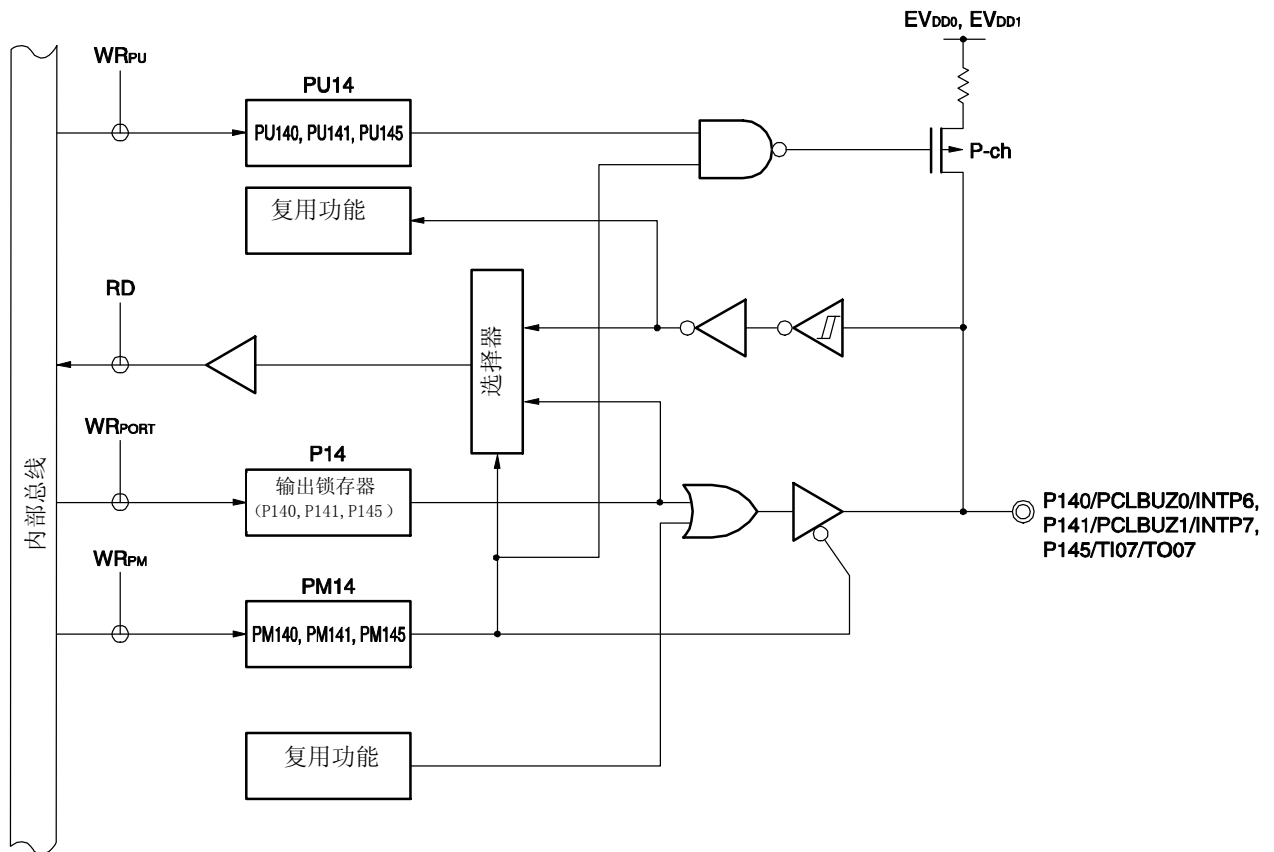
此端口也可用作定时器 I/O,外部中断请求输入,时钟/蜂鸣器输出,串行接口数据 I/O,和时钟 I/O。

复位信号发生设置端口 14 为输入模式。

图 4-35~4-37 所示为端口 14 的框图。

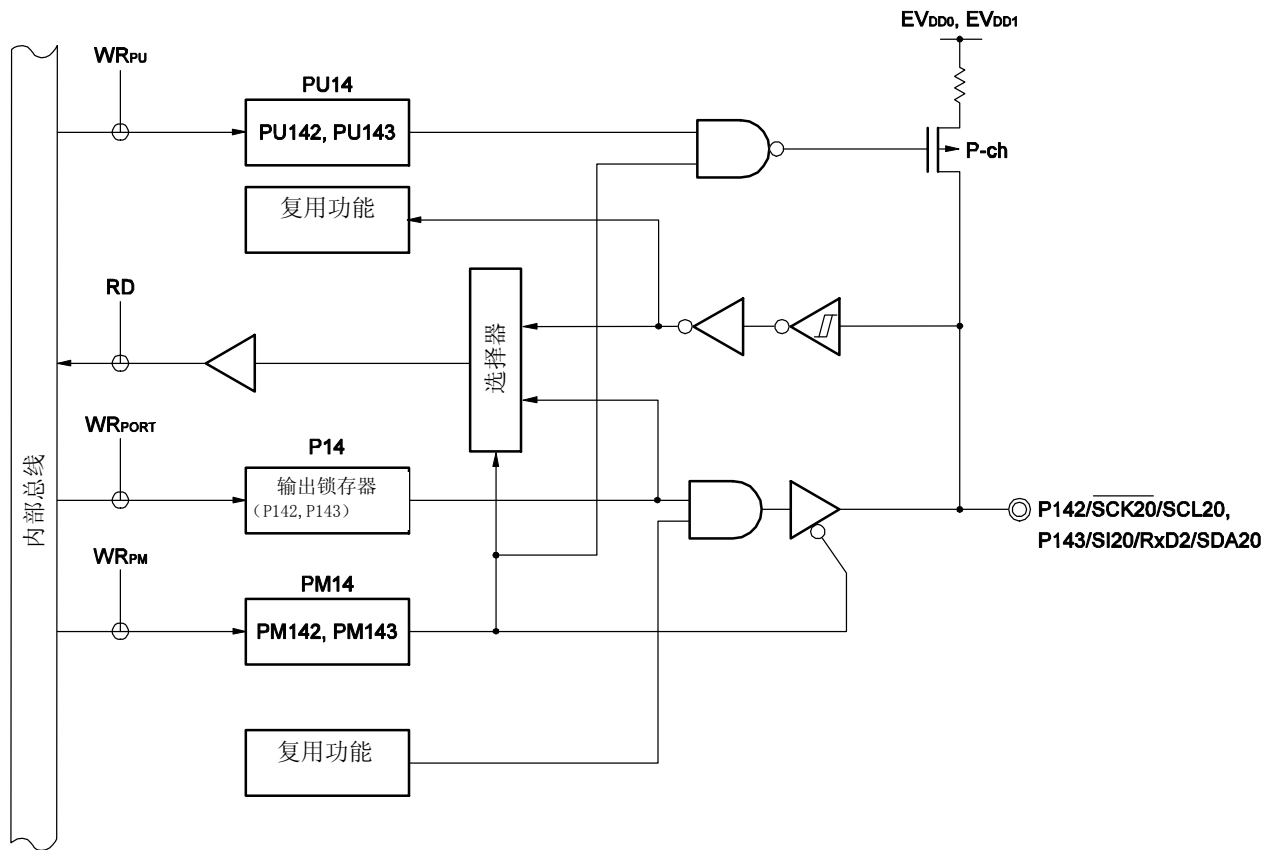
- 注意事项**
1. 要将 P142/SCK20/SCL20 或 P144/SO20/TxD2 用作通用端口，设置串行通道允许状态寄存器 1 (SE1), 串行输出 寄存器 1 (SO1) 和串行输出允许寄存器 1 (SOE1)为默认状态。清零端口输出模式寄存器 14 (POM14)为 00H。
 2. 要将 P145/TI07/TO07 用作通用端口，设置定时器 输出 寄存器 0 (TO0) 和定时器 输出允许 寄存器 0 (TOE0) 为默认状态。清零端口输出模式寄存器 14 (POM14) 为 00H。

图 4-35. P140, P141, 和 P145 的框图



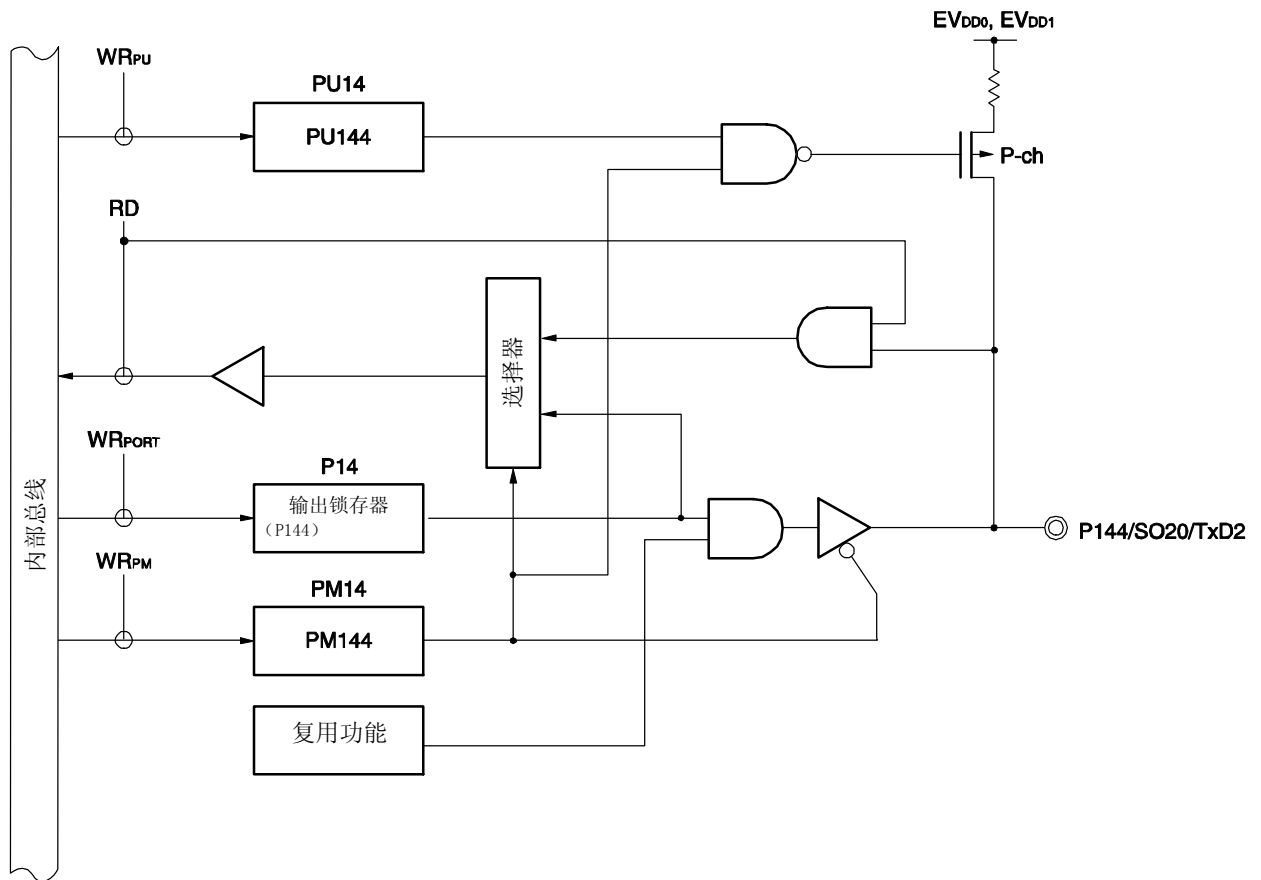
- P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 RD: 读信号
 WR_{xx} : 写信号

图 4-36. P142 和 P143 的框图



- P14: 端口寄存器 14
PU14: 上拉电阻选项寄存器 14
PM14: 端口模式寄存器 14
RD: 读信号
WR_{xx}: 写信号

图 4-37. P144 的框图



P14: 端口寄存器 14
 PU14: 上拉电阻选项寄存器 14
 PM14: 端口模式寄存器 14
 RD: 读信号
 WR_{xx}: 写信号

4.2.14 端口 15

端口 15 是具有输出锁存功能的 8 位 I/O 端口。通过使用端口模式寄存器 15(PM15)，可以按位设置端口 15 为输入或输出模式。

此端口也可用作 A/D 转换器模拟输入。

要将 P150/ANI8~P157/ANI15 用作数字输入引脚，通过 A/D 端口配置 寄存器 (ADPC) 设置为数字 I/O 模式，并且通过 PM15 设置为输入模式。这些引脚从低位开始使用。

要将 P150/ANI8~P157/ANI15 用作数字输出引脚，通过 A/D 端口配置 寄存器 (ADPC) 设置为数字 I/O 模式，并且通过 PM15 设置为输出模式。

表 4-5. P150/ANI8~P157/ANI15 引脚的设置功能

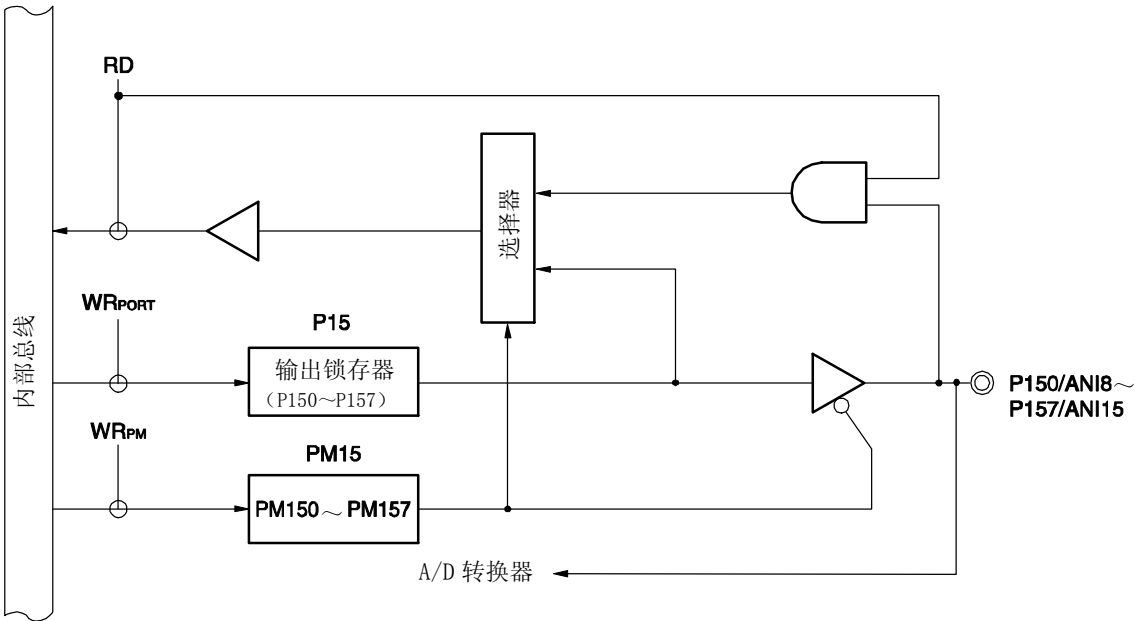
ADPC	PM15	ADS	P150/ANI8~P157/ANI15 引脚
数字 I/O 选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入 选择	输入模式	选择 ANI.	模拟输入 (转换)
		不要选择 ANI.	模拟输入 (不转换)
	输出模式	选择 ANI.	设置禁止
		不要选择 ANI.	

复位信号发生时，P150/ANI8~P157/ANI15 所有引脚设置为数字输入模式。

图 4-38 所示为端口 15 的框图。

注意事项 端口 15 用作数字端口时，设置 AVREF0 引脚的电压与 VDD 引脚相同。

图 4-38. P150~P157 的框图



P15: 端口寄存器 15
PM15: 端口模式寄存器 15
RD: 读信号
WR_{xx}: 写信号

4.3 控制端口功能的寄存器

端口功能由如下六种类型寄存器控制。

- 端口模式寄存器(PM0~PM8, PM11~PM15)
- 端口寄存器(P0~P8, P11~P15)
- 上拉电阻选项寄存器(PU0, PU1, PU3~PU8, PU12~PU14)
- 端口输入模式寄存器(PIM0, PIM4, PIM14)
- 端口输出模式寄存器(POM0, POM4, POM14)
- A/D 端口配置 寄存器 (ADPC)

(1) 端口模式寄存器(PM0~PM8, PM11~PM15)

这类寄存器以 1 位单元的方式定义端口的输入或输出模式。

可以由 1 位或 8 位存储器操作指令设置这些寄存器。

复位信号的产生可将这些寄存器的内容设置为 FFH。

当端口引脚使用复用功能时，需要参考 **4.5 使用复用功能时端口模式寄存器和输出锁存器的设置**，对端口模式寄存器进行设置。

图 4-39. 端口模式寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM13	1	1	1	1	1	1	PM131	0	FFF2DH	FEH	R/W
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W
PMmn	Pmn 引脚 I/O 模式选择 (m = 0~8, 11~15; n = 0~7)										
0	输出模式 (输出缓冲器开)										
1	输入模式 (输出缓冲器关)										

注意事项 确保设置PM0的第7位，PM3的第2~7位，PM11的第2~7位，PM12的第1~7位，PM13的第2~7位，和PM14的第6和7位为“1”。并且确保PM13的第0位为“0”。

(2) 端口寄存器 (P0~P8, P11~P15)

这类寄存器用于设置芯片端口要输出的数据。

如果在输入模式下读端口，则读取的是引脚电平。如果在输出模式下读端口，则读取的是输出锁存器的值^注。

可以由 1 位或 8 位存储器操作指令设置这些寄存器。

复位信号的产生可将寄存器清零(00H)。

注 P2 和 P15 设置为 A/D 转换器的模拟输入时或 P11 设置为 D/A 转换器的模拟输出时，如果端口在输入模式期间读取，它一直为 0，并且无引脚电平读出。

图 4-40. 端口寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (输出锁存)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (输出锁存)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (输出锁存)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (输出锁存)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (输出锁存)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (输出锁存)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H (输出锁存)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (输出锁存)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H (输出锁存)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H (输出锁存)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	Undefined	R/W ^注
P13	0	0	0	0	0	0	P131	P130	FFF0DH	00H (输出锁存)	R/W
P14	0	0	P145	P144	P143	P142	P141	P140	FFF0EH	00H (输出锁存)	R/W
P15	P157	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H (输出锁存)	R/W
Pmn		m = 0~8, 11~15; n = 0~7									
		输出数据控制 (输出模式)					输入数据读(输入模式)				
0		输出 0					输入低电平				
1		输出 1					输入高电平				

注 P121~P124 只读。

(3) 上拉电阻选项寄存器 (PU0, PU1, PU3~PU8, PU12~PU14)

这类寄存器指定是否使用 P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P131, 或 P140~P145 的片内上拉电阻。内部上拉电阻可以以 1 位单元的方式用于那些已设置为输入模式的引脚, 并且这些引脚已通过 PU0, PU1, PU3~PU8, 和 PU12~PU14 指定为使用内部上拉电阻。不论是否设置了 PU0, PU1, PU3~PU8, 和 PU12~PU14, 设置为输出模式的引脚和用作复用功能的输出引脚都不连接内部上拉电阻。

可以由 1 位或 8 位存储器操作指令设置这些寄存器。

复位信号的产生可将这些寄存器清零(00H)。

图 4-41. 上拉电阻选项寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	00H	R/W
PU5 ^注	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8 ^注	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU13	0	0	0	0	0	0	PU131	0	F003DH	00H	R/W
PU14	0	0	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W
PUmn	Pmn 引脚 片内上拉电阻 选择 (m = 0, 1, 3~8, 12~14; n = 0~7)										
0	片内上拉电阻不连接										
1	片内上拉电阻 连接										

注 当使用外部扩展功能时, 不能连接片内上拉电阻, 无论 PU5 和 PU8 寄存器的设置。

(4) 端口输入模式寄存器(PIM0, PIM4, PIM14)

这些寄存器按位设置 P03, P04, P43, P44, P142, 或 P143 的输入 缓冲器。
可以由 1 位或 8 位存储器操作指令设置这些寄存器。
复位信号的产生可将这些寄存器清零(00H)。

图 4-42. 端口输入模式寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PIM0	0	0	0	PIM04	PIM03	0	0	0	F0040H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	0	0	F0044H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W
PIMmn	Pmn 引脚输入 缓冲器 选择 (m = 0, 4, 14; n = 2~4)										
0	普通缓冲器										
1	TTL 缓冲器										

(5) 端口输出模式寄存器(POM0, POM4, POM14)

这些寄存器按位设置 P02~P04, P43, P45, 或 P142~P144 的输出模式。
可以由 1 位或 8 位存储器操作指令设置这些寄存器。
复位信号的产生可将这些寄存器清零(00H)。

图 4-43. 端口输入模式寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
POM0	0	0	0	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM4	0	0	POM45	0	POM43	0	0	0	F0054H	00H	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W
POMmn	Pmn 引脚输出模式 选择 (m = 0, 4, 14; n = 2~5)										
0	普通模式										
1	N-ch 漏极开路 (V _{DD} 耐压)模式										

(6) A/D 端口配置 寄存器 (ADPC)

此寄存器切换 P20/ANI0~P27/ANI7 和 P150/ANI8~P157/ANI15 引脚到数字 I/O 端口或 A/D 转换器的模拟输入。

ADPC 可以由 1 位或 8 位存储器操作指令设置。

复位信号发生设置此寄存器为 10H。

图 4-44. A/D 端口配置 寄存器 (ADPC)的格式

地址: F0017H 复位后: 10H R/W

符号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	模拟输入 (A)/数字 I/O (D) 切换															
					端口 15								端口 2							
					ANI15/ P157	ANI14/ P156	ANI13/ P155	ANI12/ P154	ANI11/ P153	ANI10/ P152	ANI9/ P151	ANI8/ P150	ANI7/ P27	ANI6/ P26	ANI5/ P25	ANI4/ P24	ANI3/ P23	ANI2/ P22	ANI1/ P21	ANI0/ P20
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	1	1	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
其他值					设置禁止															

- 注意事项**
1. 模式通过使用端口模式寄存器 2 和 15 (PM2, PM15)设置用于 A/D 转换的通道为输入模式。
 2. 不要通过模拟输入通道选择寄存器 (ADS)由 ADPC 设置引脚为数字 I/O。

4.4 端口功能操作

对输入模式和输出模式的端口操作是不同的，具体如下所示。

4.4.1 写入 I/O 端口

(1) 输出模式

使用传送指令对输出锁存器进行写操作，输出锁存器的内容从引脚输出。

一旦数据写入输出锁存器，它将一直保存到新数据被写入。

当复位信号产生时输出锁存器的内容被清零。

(2) 输入模式

使用传送指令对输出锁存器进行写操作，因为输出缓冲器处于关闭状态，所以引脚状态不会改变。

一旦数据写入输出锁存器，它将一直保存到新数据被写入。

当复位信号产生时输出锁存器的内容被清零。

4.4.2 从 I/O 端口读取

(1) 输出模式

使用传送指令读取的是输出锁存器的内容。输出锁存器的内容不会改变。

(2) 输入模式

使用传送指令读取的是引脚状态。输出锁存器的内容不会改变。

4.4.3 I/O 端口的操作

(1) 输出模式

对输出锁存器执行一个操作时，操作结果写入输出锁存器。而输出锁存器的内容则从引脚输出。

一旦数据写入输出锁存器，它将一直保存到新数据被写入。

当复位信号的产生时输出锁存器的内容被清零。

(2) 输入模式

读取引脚电平，对它的内容执行操作，操作的结果写入输出锁存器，因为输出缓冲器处于关闭状态，所以引脚状态不会改变。

当复位信号的产生时输出锁存器的内容被清零。

4.4.4 以不同的供电电压 (3 V) 连接到外部设备

当端口 0, 4, 和 14 部分工作在 $V_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$, 与外部设备连接的 I/O 可以工作在 3 V 供电电压。

关于输入, CMOS/TTL 可通过端口输入模式寄存器(PIM0, PIM4, PIM14)按位切换。

此外, 关于输出, 通过端口输出模式寄存器(POM0, POM4, POM14)切换输出 缓冲器为 N-ch 漏极开路 (V_{DD} 耐压)可支持不同的供电电压。

(1) 使用 UART1, UART2, CSI01, 和 CSI20 功能的 I/O 引脚时的设置过程

(a) 用作 3 V 输入端口

- <1> 复位后释放, 端口模式为输入模式 (Hi-Z)。
- <2> 如果需要上拉, 使用外部上拉引脚 (片内上拉电阻不能使用)。

UART1:	P03
UART2:	P143
CSI01:	P43, P44
CSI10:	P03, P04
CSI20:	P142, P143

- <3> 设置 PIMn 寄存器的相关位为 1, 以切换到 TTL 输入缓冲器。
- <4> V_{IH}/V_{IL} 操作在 3 V 工作电压。

(b) 用作 3 V 输出端口

- <1> 复位后释放, 端口模式为输入模式(Hi-Z)。
- <2> 需要使用外部上拉引脚 (片内上拉电阻不能使用)。

UART1:	P02
UART2:	P144
CSI01:	P43, P45
CSI10:	P02, P04
CSI20:	P142, P144

- <3> 设置相关端口的输出锁存为 1。
- <4> 设置 POMn 寄存器的相关位为 1 以设置为 N-ch 漏极开路 输出 (V_{DD} 耐压)模式。
- <5> 通过操作 PMn 寄存器设置输出模式。
同时, 输出 数据为高电平, 因此引脚为 Hi-Z 状态。
- <6> 根据串行阵列单元的工作状态, 只在低电平时操作。

备注 n = 0, 4, 14

(2) 当使用 I/O 引脚时 IIC10 和 IIC20 功能的简单设置过程

- <1> 复位后释放，端口模式为输入模式(Hi-Z)。
- <2> 需要使用外部上拉引脚 (片内上拉电阻不能使用)。

IIC10:	P03, P04
IIC20:	P142, P143

- <3> 设置相关端口的输出锁存为 1。
- <4> 设置 POMn 寄存器的相关位为 1 以设置为 N-ch 漏极开路 输出 (VDD 耐压)模式。
- <5> 通过操作 PMn 寄存器相关位设置输出模式 (输出模式下数据 I/O 允许)。
同时, 输出 数据为高电平, 因此引脚为 Hi-Z 状态。
- <6> 允许 串行阵列单元的操作, 并且设置到简易 IIC 模式。

备注 n = 0, 14

4.5 使用复用 功能时端口模式寄存器和 输出锁存的设置

要使用端口的复用 功能，按下表 4-6 设置端口模式寄存器和输出锁存器。

表 4-6. 使用复用 功能时端口模式寄存器和输出锁存的设置(1/3)

引脚名称	复用 功能		PM _{xx}	P _{xx}
	功能名称	I/O		
P00	TI00	输入	1	×
P01	TO00	输出	0	0
P02	SO10	输出	0	1
	TxD1	输出	0	1
P03	SI10	输入	1	×
	RxD1	输入	1	×
	SDA10	I/O	0	1
P04	SCK10	输入	1	×
		输出	0	1
	SCL10	I/O	0	1
P05	CLKOUT	输出	0	0
P06	WAIT	输入	1	×
P10	SCK00	输入	1	×
		输出	0	1
	EX24	输出	0	0
P11	SI00	输入	1	×
	RxD0	输入	1	×
	EX25	输出	0	0
P12	SO00	输出	0	1
	TxD0	输出	0	1
	EX26	输出	0	0
P13	TxD3	输出	0	1
	EX27	输出	0	0
P14	RxD3	输入	1	×
	EX28	输出	0	0
P15	RTCDIV	输出	0	0
	RTCCL	输出	0	0
	EX29	输出	0	0
P16	TI01	输入	1	×
	TO01	输出	0	0
	INTP5	输入	1	×
	EX30	输出	0	0

备注 ×: 不必考虑

PM_{xx}: 端口模式寄存器

P_{xx}: 端口输出锁存

表 4-6. 使用复用 功能时端口模式寄存器和输出锁存的设置(2/3)

引脚名称	复用 功能		PM _{xx}	P _{xx}
	功能名称	I/O		
P17	TI02	输入	1	×
	TO02	输出	0	0
	EX31	输出	0	0
P20~P27 ^{注 1}	ANI0~ANI7 ^{注 1}	输入	1	×
P30	RTC1HZ	输出	0	0
	INTP3	输入	1	×
P31	TI03	输入	1	×
	TO03	输出	0	0
	INTP4	输入	1	×
P40	TOOL0	I/O	×	×
P41	TOOL1	输出	×	×
P42	TI04	输入	1	×
	TO04	输出	0	0
P43	SCK01	输入	1	×
		输出	0	1
P44	SI01	输入	1	×
P45	SO01	输出	0	1
P46	TI05	输入	1	×
	TO05	输出	0	0
	INTP5	输入	1	×
P47	INTP2	输入	1	×
P50~P57	EX8~EX15 ^{注 2}	I/O	× ^{注 3}	
P60	SCL0	I/O	0	0
P61	SDA0	I/O	0	0
P64	RD	输出	0	0
P65	WR0	输出	0	0
P66	WR1	输出	0	0
P67	ASTB	输出	0	0
P70~P73	KR0~KR3	输入	1	×
	EX16~EX19	输出	0	0
P74~P77	INTP8~INTP11	输入	1	×
	KR4~KR7	输入	1	×
	EX20~EX23	输出	0	0
P80~P87	EX0~EX7 ^{注 2}	I/O	× ^{注 3}	
P110, P111	ANO0, ANO1 ^{注 4}	输出	1	×

备注 ×: 不必考虑

PM_{xx}: 端口模式寄存器

P_{xx}: 端口输出锁存

(注 1, 2, 3,和 4 列在下页。)

表 4-6. 使用复用 功能时端口模式寄存器和输出锁存的设置(3/3)

引脚名称	复用 功能		PM _{xx}	P _{xx}
	功能名称	I/O		
P120	INTP0	输入	1	×
	EXLVI	输入	1	×
P131	TI06	输入	1	×
	TO06	输出	0	0
P140	PCLBUZ0	输出	0	0
	INTP6	输入	1	×
P141	PCLBUZ1	输出	0	0
	INTP7	输入	1	×
P142	SCK20	输入	1	×
		输出	0	1
	SCL20	I/O	0	1
P143	SI20	输入	1	×
	RxD2	输入	1	×
	SDA20	I/O	0	1
P144	SO20	输出	0	1
	TxD2	输出	0	1
P145	TI07	输入	1	×
	TO07	输出	0	0
P150~P157 ^{注 1}	ANI8~ANI15 ^{注 1}	输入	1	×

备注 ×: 不必考虑
 PM_{xx}: 端口模式寄存器
 P_{xx}: 端口输出锁存

- 注** 1. ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157 引脚的功能可通过 A/D 端口配置 寄存器 (ADPC), 模拟输入通道选择 寄存器 (ADS), PM2, 和 PM15 选择。
2. 当允许外部总线接口操作 (EXEN = 1)时, EX0~EX15 的功能自动选择。
3. 使用这些引脚的复用功能时, 通过存储器扩展模式控制寄存器 (MEM)来选择功能。
4. D/A 转换器操作允许时 (DACEn = 1), ANOn 的功能自动选择。而且, 设置端口模式寄存器 11 在输入模式 (PM11n = 1)。

表 4-7. ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157 引脚的设置功能

ADPC	PM2, PM15	ADS	ANI0/P20~ANI7/P27, ANI8/P150~ANI15/P157 引脚
数字 I/O 选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入 选择	输入模式	选择 ANI.	模拟输入 (转换)
		不要选择 ANI.	模拟输入 (不 转换)
	输出模式	选择 ANI.	设置禁止
		不要选择 ANI.	

4.6 端口寄存器 n (Pn)的 1 位操作指令的注意事项

当对一个端口执行 1 位操作指令，该端口既有输入功能又有输出功能，除了写入目标位，没被操作的输入端口的输出锁存值可能会被改变。

所以，建议在切换一个端口从输入模式到输出模式时，要重写输出锁存。

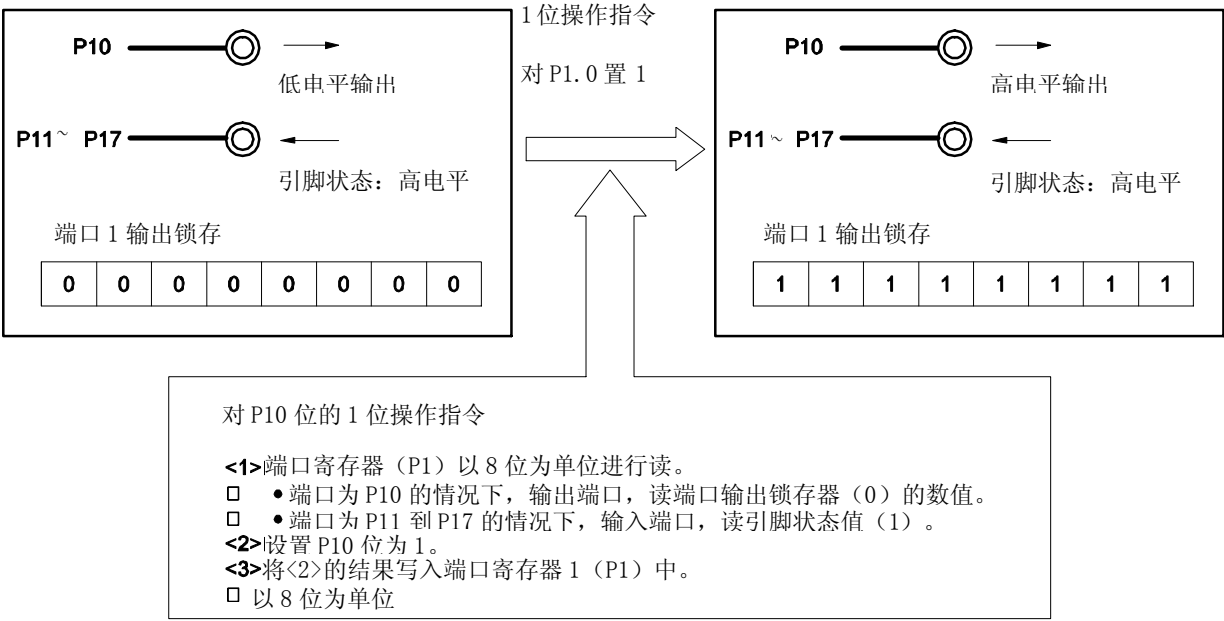
<举例> 当 P10 是输出端口时，P11 ~ P17 是输入端口(所有引脚状态是高电平)，端口 1 的端口锁存值是 00H，如果通过 1 位操作指令把输出端口 P10 的输出从低电平变化到高电平，输出端口 1 的输出锁存值变为 FFH。

解释: 写操作的目标是输出锁存，从 PMnm 位是 1 的 Pn 寄存器读出的是引脚状态。
在 78K0R/KG3 中按照如下顺序执行 1 位操作指令。

- <1> 以 8 位单元读出 Pn 寄存器。
- <2> 目标的一位被操作。
- <3> 以 8 位单元写 Pn 寄存器。

在步骤<1>中，输出端口 P10 的输出缓存值(0) 被读出，然而输入端口 P11 ~ P17 的引脚状态也被读出。如果 P11 ~ P17 的引脚状态在此时是高电平，读出的值为 FEH。
通过<2>中的操作把值改变为 FFH。
FFH 通过<3>中的操作写入输出缓存。

图 4-45. 位操作指令 (P10)



第五章 外部总线接口

5.1 外部总线接口的功能

外部总线接口功能是用于连接外部设备到内部 ROM, RAM, 和 SFR 区域以外的区域。外部设备通过端口 0, 1, 和 5~8 连接。端口 0, 1, 和 5~8 控制信号, 如地址/数据, 读/写选通, 等待和地址选通。

外部总线接口有如下特性。

- 地址位的数据可从 8, 12, 16, 和 20 中选择。
- 数据总线支持 8 位和 16 位。
- 支持复用总线和独立总线。

下表所示外部存储器扩展模式下的引脚功能。

当连接外部设备时的引脚功能		复用功能引脚
名称	功能	
EX0~EX7	外部扩展 I/O (复用地址/数据总线, 数据总线)	P80~P87
EX8~EX15	外部扩展 I/O (复用地址/数据总线, 地址总线, 数据总线)	P50~P57
EX16~EX23	外部扩展输出(地址总线)	P70/KR0~P77/KR7/INTP11
EX24~EX31	外部扩展输出(地址总线)	P10/ $\overline{\text{SCK00}}$ ~P17/TI02/TO02
$\overline{\text{RD}}$	读选通信号	P64
$\overline{\text{WR0}}$	写选通信号 (8 位总线模式, 16 位总线模式 (低字节))	P65
$\overline{\text{WR1}}$	写选通信号 (16 位总线模式 (高字节))	P66
CLKOUT	内部系统时钟输出	P05
$\overline{\text{WAIT}}$	等待信号	P06
ASTB	地址 选通信号	P67

外部总线接口 引脚的功能根据设置模式的不同而不同。

外部扩展模式		引脚	EX31～EX28	EX27～EX24	EX23～EX20	EX19～EX16	EX15～EX12	EX11～EX8	EX7～EX0
复用总线模式	8 位总线模式	256 字节扩展模式	—	—	—	—	—	—	AD7～AD0
		4 KB 扩展模式	—	—	—	—	—	A11～A8	AD7～AD0
		64 KB 扩展模式	—	—	—	—	A15～A12	A11～A8	AD7～AD0
		完整地址模式	—	—	—	A19～A16	A15～A12	A11～A8	AD7～AD0
	16 位总线模式	256 字节扩展模式	—	—	—	—	D15～D12	D11～D8	AD7～AD0
		4 KB 扩展模式	—	—	—	—	D15～D12	AD11～AD8	AD7～AD0
		64 KB 扩展模式	—	—	—	—	AD15～AD12	AD11～AD8	AD7～AD0
		完整地址模式	—	—	—	A19～A16	AD15～AD12	AD11～AD8	AD7～AD0
独立总线模式	8 位总线模式	256 字节扩展模式	—	—	—	—	A7～A4	A3～A0	D7～D0
		4 KB 扩展模式	—	—	—	A11～A8	A7～A4	A3～A0	D7～D0
		64 KB 扩展模式	—	—	A15～A12	A11～A8	A7～A4	A3～A0	D7～D0
		完整地址模式	—	A19～A16	A15～A12	A11～A8	A7～A4	A3～A0	D7～D0
	16 位总线模式	256 字节扩展模式	—	—	A7～A4	A3～A0	D15～D12	D11～D8	D7～D0
		4 KB 扩展模式	—	A11～A8	A7～A4	A3～A0	D15～D12	D11～D8	D7～D0
		64 KB 扩展模式	A15～A12	A11～A8	A7～A4	A3～A0	D15～D12	D11～D8	D7～D0
		完整地址模式	设置禁止						

备注

EXxx: 引脚名称

Axx: 地址总线

Dxx: 数据总线

ADxx: 复用地址/数据总线

—: 外部总线接口不使用。这些引脚可用作端口引脚。

使用外部总线接口功能是的存储器映射图如下

图 5-1. 外部总线接口功能是的存储器映射图 (1/4)

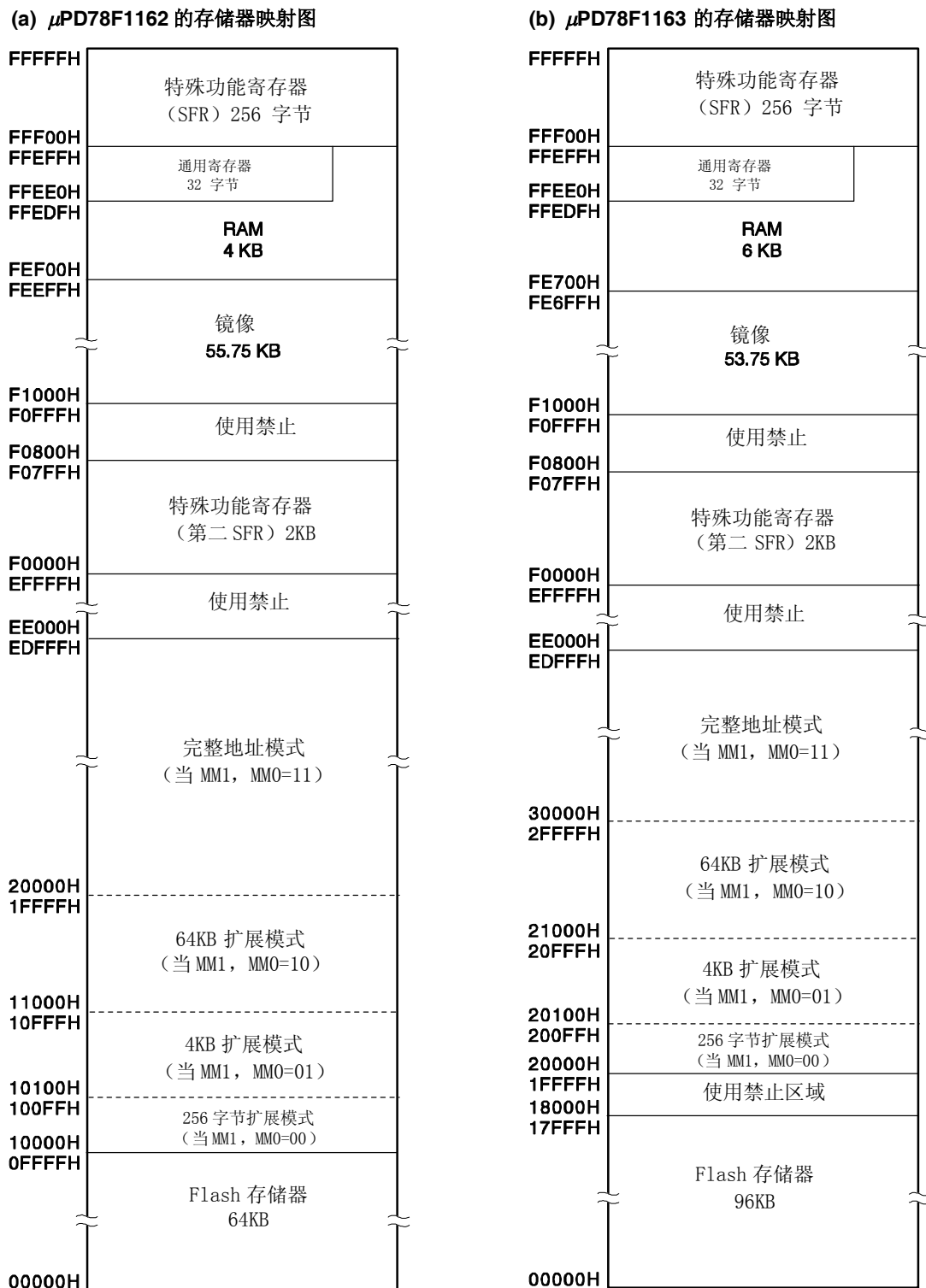


图 5-1. 外部总线接口功能是的存储器映射图(2/4)

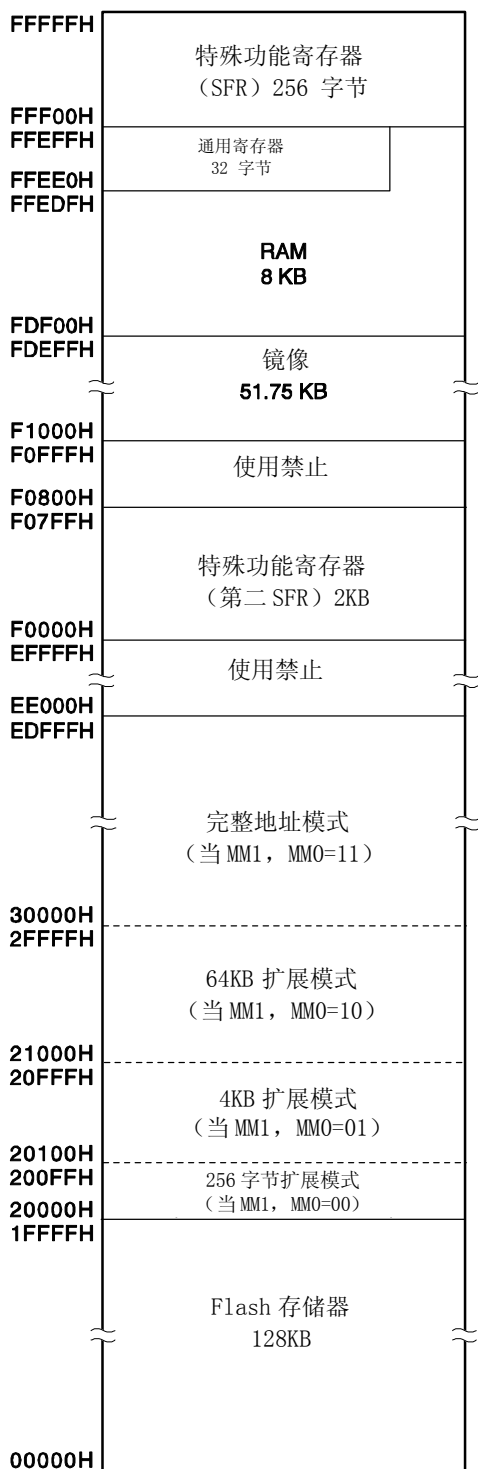
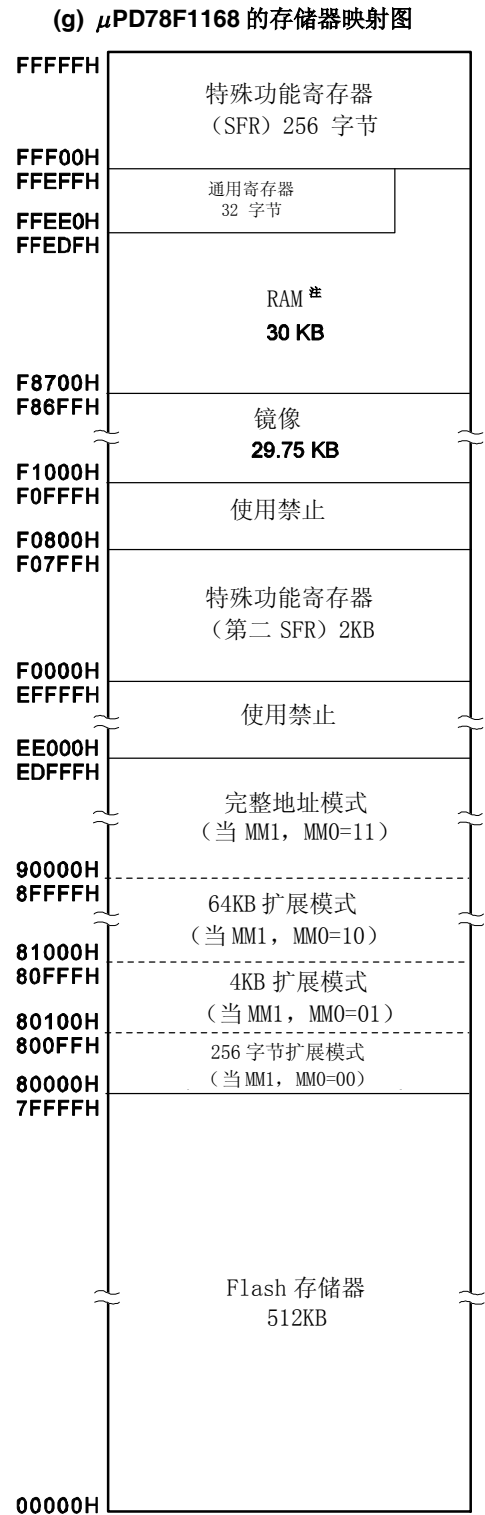
(c) μ PD78F1164 的存储器映射图(d) μ PD78F1165 的存储器映射图

图 5-1. 外部总线接口功能是的存储器映射图 (3/4)



注 当使用自编程功能时区域 FCF00H~FD6FFH 禁止使用。因此此区域用于自编程库。

图 5-1. 外部总线接口功能是的存储器映射图(4/4)



注 当使用自编程功能时区域 F8700H~F8EFFH 禁止使用。因为此区域用于自编程库。

5.2 控制外部总线接口功能的寄存器

外部总线接口功能由下面两个寄存器控制。

- 外围设备允许寄存器 1 (PER1)
- 存储器扩展模式控制寄存器(MEM)

(1) 外围设备允许寄存器 1 (PER1)

PER1 用于允许或禁止每个外围硬件宏指令的使用。为缩减功率和噪声硬件宏指令不使用时停止供给其时钟。
使用外部总线接口时，确保设置此寄存器的第 0 位 (EXBEN) 为 1。

PER1 可由 1 位或 8 位 存储器操作指令设置。
复位信号发生将此寄存器 清为 00H。

注意事项 设置外部总线接口时，首先确保设置 EXBEN 为 1。如果 EXBEN = 0，外部总线接口 的控制寄存器的写入被忽略，即使读寄存器，只能读到默认值。

图 5-2. 外围设备允许寄存器 1 (PER1)的格式

地址: F00F1H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	<0>
PER1	0	0	0	0	0	0	0	EXBEN

EXBEN	外部总线接口输入时钟的控制
0	停止供给输入时钟 • 不能写入由外部总线接口 使用的 SFR。 • 外部总线接口为复位状态。
1	供给输入时钟 • 可读/写由外部总线接口 使用的 SFR。

(2) 存储器扩展模式控制寄存器(MEM)

MEM 是设置外部扩展区域的寄存器。

MEM 可由 1 位或 8 位 存储器操作指令设置。

复位信号发生将此寄存器 清为 00H。

图 5-3. 存储器扩展模式控制寄存器(MEM)的格式

地址: FFFFFH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
MEM	EXEN	EXWEN	EW1	EW0	MM3	MM2	MM1	MM0

EXEN	外部总线接口允许标志	
0	单片模式 (端口功能有效)	
1	外部总线接口使用	

EXWEN	外部等待引脚允许信号	
0	外部等待引脚不使用并且可用作端口。	
1	外部等待引脚使用	

EW1	EW0	CLKOUT 引脚输出时钟选择
0	0	f_{CLK}
0	1	$f_{CLK}/2$
1	0	$f_{CLK}/3$
1	1	$f_{CLK}/4$

MM3	外部总线接口的总线模式切换	
0	复用总线模式 (只能选择访问存储器, 不能选为获取。)	
1	独立总线模式	

MM2	外部总线接口的总线宽度选择	
0	8 位总线模式 ^注 (只能选择访问存储器, 不能选为获取。)	
1	16 位总线模式	

MM1	MM0	模式选择
0	0	256 字节扩展模式. 8 地址总线 引脚使用。
0	1	4 KB 扩展模式. 12 地址总线 引脚使用。
1	0	64 KB 扩展模式. 16 地址总线 引脚使用。
1	1	完整地址模式. 20 地址总线 引脚使用。

注 在 8 位总线模式中, 不能使用 16 位访问指令。

外部总线接口 引脚的功能根据存储器扩展模式控制寄存器(MEM)设置的不同而不同。

MM3	MM2	MM1	MM0	EX31~EX28	EX27~EX24	EX23~EX20	EX19~EX16	EX15~EX12	EX11~EX8	EX7~EX0
0	0	0	0	—	—	—	—	—	—	AD7~AD0
0	0	0	1	—	—	—	—	—	A11~A8	AD7~AD0
0	0	1	0	—	—	—	—	A15~A12	A11~A8	AD7~AD0
0	0	1	1	—	—	—	A19~A16	A15~A12	A11~A8	AD7~AD0
0	1	0	0	—	—	—	—	D15~D12	D11~D8	AD7~AD0
0	1	0	1	—	—	—	—	D15~D12	AD11~AD8	AD7~AD0
0	1	1	0	—	—	—	—	AD15~AD12	AD11~AD8	AD7~AD0
0	1	1	1	—	—	—	A19~A16	AD15~AD12	AD11~AD8	AD7~AD0
1	0	0	0	—	—	—	—	A7~A4	A3~A0	D7~D0
1	0	0	1	—	—	—	A11~A8	A7~A4	A3~A0	D7~D0
1	0	1	0	—	—	A15~A12	A11~A8	A7~A4	A3~A0	D7~D0
1	0	1	1	—	A19~A16	A15~A12	A11~A8	A7~A4	A3~A0	D7~D0
1	1	0	0	—	—	A7~A4	A3~A0	D15~D12	D11~D8	D7~D0
1	1	0	1	—	A11~A8	A7~A4	A3~A0	D15~D12	D11~D8	D7~D0
1	1	1	0	A15~A12	A11~A8	A7~A4	A3~A0	D15~D12	D11~D8	D7~D0
1	1	1	1	设置禁止						

EXEN	EXWEN	MM3	MM2	CLKOUT	ASTB	RD	WR0	WR1	WAIT
0	X	X	X	—	—	—	—	—	—
1	0	0	0	CLKOUT	ASTB	RD	写选通	—	—
1	0	0	1	CLKOUT	ASTB	RD	低字节写选通	高字节写选通	—
1	0	1	0	CLKOUT	—	RD	写选通	—	—
1	0	1	1	CLKOUT	—	RD	低字节写选通	高字节写选通	—
1	1	0	0	CLKOUT	ASTB	RD	写选通	—	WAIT
1	1	0	1	CLKOUT	ASTB	RD	低字节写选通	高字节写选通	WAIT
1	1	1	0	CLKOUT	—	RD	写选通	—	WAIT
1	1	1	1	CLKOUT	—	RD	低字节写选通	高字节写选通	WAIT

备注 EXxx: 引脚名称
 Axx: 地址总线
 Dxx: 数据总线
 ADxx: 复用地址/数据总线
 —: 外部总线接口不使用。这些引脚可用作端口 引脚。

5.3 设置端口模式寄存器和输出锁存器

使用外部总线接口时按如下所示设置端口模式寄存器和输出锁存。

EXEN	MM3	MM2	MM1	MM0	P17/EX31~ P14/EX28		P13/EX27~ P10/EX24		P77/EX23~ P74/EX20		P73/EX19~ P70/EX16		P57/EX15~ P54/EX12		P53/EX11~ P50/EX8		P87/EX7~ P80/EX0	
					PM1x	P1x	PM1x	P1x	PM7x	P7x	PM7x	P7x	PM5x	P5x	PM5x	P5x	PM8x	P8x
0	X	X	X	X	-	-	-	-	-	-	-	-	-	-	-	-	-	-
1	0	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	X	X
1	0	0	0	1	-	-	-	-	-	-	-	-	-	-	X	X	X	X
1	0	0	1	0	-	-	-	-	-	-	-	-	X	X	X	X	X	X
1	0	0	1	1	-	-	-	-	-	-	0	0	X	X	X	X	X	X
1	0	1	0	0	-	-	-	-	-	-	-	-	X	X	X	X	X	X
1	0	1	0	1	-	-	-	-	-	-	-	-	X	X	X	X	X	X
1	0	1	1	0	-	-	-	-	-	-	-	-	X	X	X	X	X	X
1	0	1	1	1	-	-	-	-	-	-	0	0	X	X	X	X	X	X
1	1	0	0	0	-	-	-	-	-	-	-	-	X	X	X	X	X	X
1	1	0	0	1	-	-	-	-	-	-	0	0	X	X	X	X	X	X
1	1	0	1	0	-	-	-	-	0	0	0	0	X	X	X	X	X	X
1	1	0	1	1	-	-	0	0	0	0	0	0	X	X	X	X	X	X
1	1	1	0	0	-	-	-	-	0	0	0	0	X	X	X	X	X	X
1	1	1	0	1	-	-	0	0	0	0	0	0	X	X	X	X	X	X
1	1	1	1	0	-	-	0	0	0	0	0	0	X	X	X	X	X	X
1	1	1	1	1	0	0	0	0	0	0	0	0	X	X	X	X	X	X
1	1	1	1	1	设置禁止													

EXEN	EXWEN	MM3	P05/CLKOUT		P67/ASTB		P64/ $\overline{\text{RD}}$		P65/ $\overline{\text{WR0}}$		P66/ $\overline{\text{WR1}}$		P06/ $\overline{\text{WAIT}}$	
			PM05	P05	PM67	P67	PM64	P64	PM65	P65	PM66	P66	PM06	P06
0	X	X	-	-	-	-	-	-	-	-	-	-	-	-
1	0	0	0	0	0	0	0	0	0	0	0	0	-	-
1	0	1	0	0	-	-	0	0	0	0	0	0	-	-
1	1	0	0	0	0	0	0	0	0	0	0	0	1	X
1	1	1	0	0	-	-	0	0	0	0	0	0	1	X

备注 X: 没有被设置。这些引脚用作外部总线接口 引脚。

-: 外部总线接口不使用。这些引脚可用作端口引脚。

5.4 指令等待时钟或数据访问的数目

当外部总线接口被访问时，等待时钟加到指令的时钟数。
操作时钟的实际个数，是每个指令的操作时钟数与等待状态的个数之和。

CLKOUT 引脚选择时钟	等待状态的数目(读/写)
f _{CLK}	3 个时钟
f _{CLK} /2	5 或 6 个时钟
f _{CLK} /3	7~9 个时钟
f _{CLK} /4	9~12 个时钟

5.5 获取访问的指令等待时钟的数目

内部 flash 捕捉 32 位的操作码。但是，在外部总线接口操作码每 16 位被捕捉。因此，它捕捉一条指令所需要的时间是内部 flash 捕捉的两倍。
另外，下面的等待时钟个数要加到访问外部存储器的时间中。

CLKOUT 引脚选择时钟	等待状态的数目(获取)
f _{CLK}	3 个时钟
f _{CLK} /2	5 或 6 个时钟
f _{CLK} /3	7~9 个时钟
f _{CLK} /4	9~12 个时钟

5.6 外部总线接口功能的时序

在外部存储器扩展模式下控制信号输出引脚时序的功能如下所述。

(1) $\overline{RD}$ 引脚 (复用功能: P64)

当获取指令或从外部存储器读取时此引脚输出一个读选通信号。

当读取内部存储器时不输出读选通信号 (保持高电平)。

(2) $\overline{WR0}$ 引脚 (复用功能: P65)

当数据写入到外部存储器时此引脚 输出一个写选通信号 (8 位总线模式 或 16 位总线模式 (低字节))。

当写入内部存储器时不输出写选通信号 (保持高电平)。

(3) $\overline{WR1}$ 引脚 (复用功能: P66)

当数据写入到外部存储器时此引脚 输出一个 写选通信号 (16 位总线模式 (高字节))。

当写入内部存储器时不输出写选通信号 (保持高电平)。

(4) $\overline{WAIT}$ 引脚 (复用功能: P06)

此引脚输入外部等待信号。

当外部等待信号不使用时可用作 I/O 端口 引脚。

当内部存储器被访问时忽略外部等待信号。

(5) $\overline{ASTB}$ 引脚 (复用功能: P67)

此 引脚输出 地址 选通信号。

引脚在复用总线模式下输出地址选通信号。

在内部存储器访问期间, 地址选通信号不输出(保持低电平)。

(6) EX0~EX7, EX8~EX15, EX16~EX23,和 EX24~EX31 引脚(复用功能: P80~P87, P50~P57, P70~P77, 和 P10~P17)

这些引脚输出地址信号和输入/输出数据信号。当从外部存储器获取指令或访问数据时一个有效信号被输出或输入。

在内部存储器访问期间, 地址输出引脚保存最后访问的地址。数据输出引脚变为 Hi-Z 状态。

图 5-4~5-7 所示为时序图。

5.6.1 复用总线模式

图 5-4. 读外部存储器的时序(1/2)

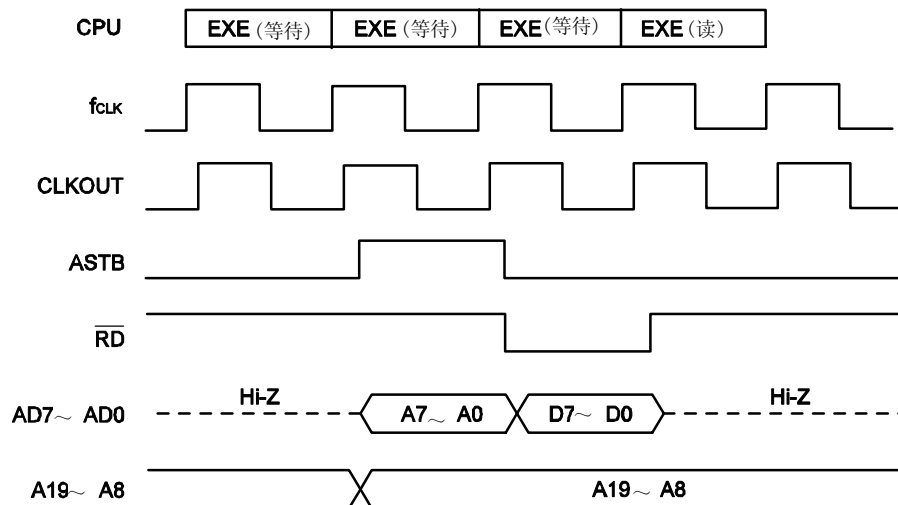
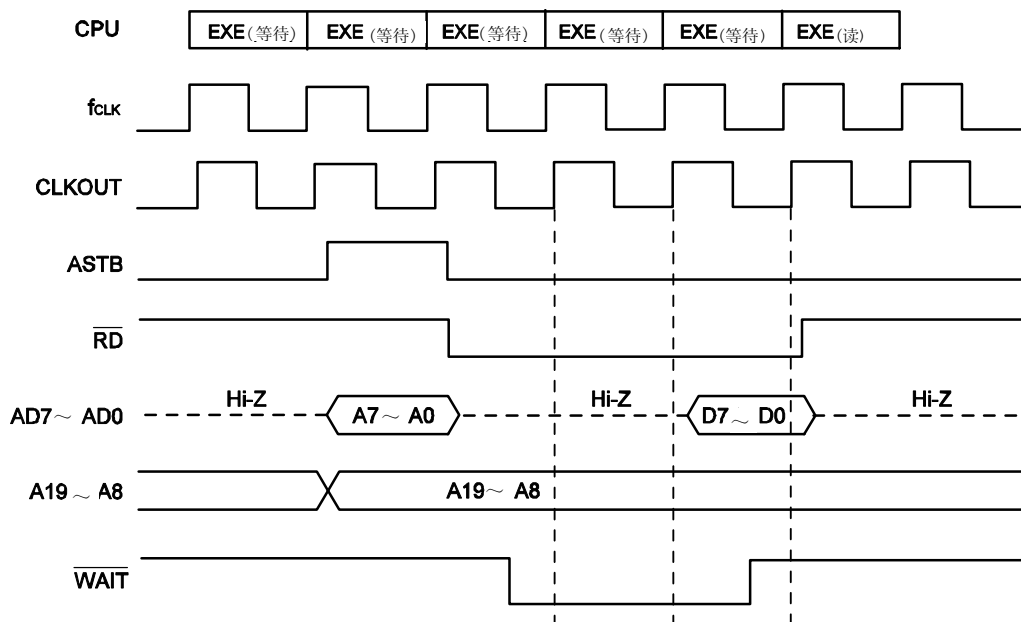
(a) 无等待, 8 位总线 $\text{CLKOUT} = f_{\text{CLK}}$ ($\text{EXWEN} = 0$, $\text{MM3} = 0$, $\text{MM2} = 0$)(b) 有等待, 8 位总线 $\text{CLKOUT} = f_{\text{CLK}}$ ($\text{EXWEN} = 1$, $\text{MM3} = 0$, $\text{MM2} = 0$)

图 5-4. 读外部存储器的时序(2/2)

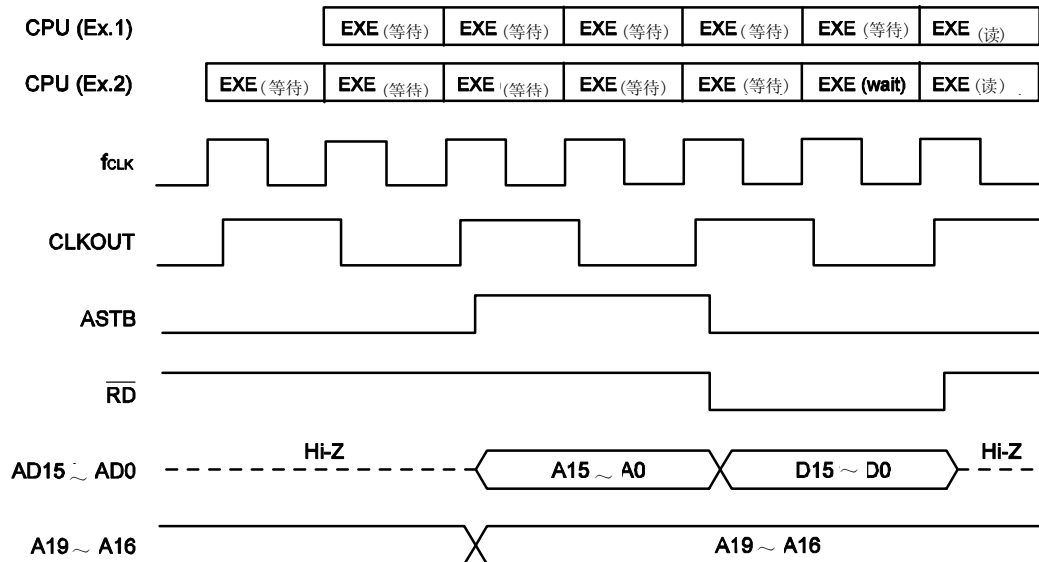
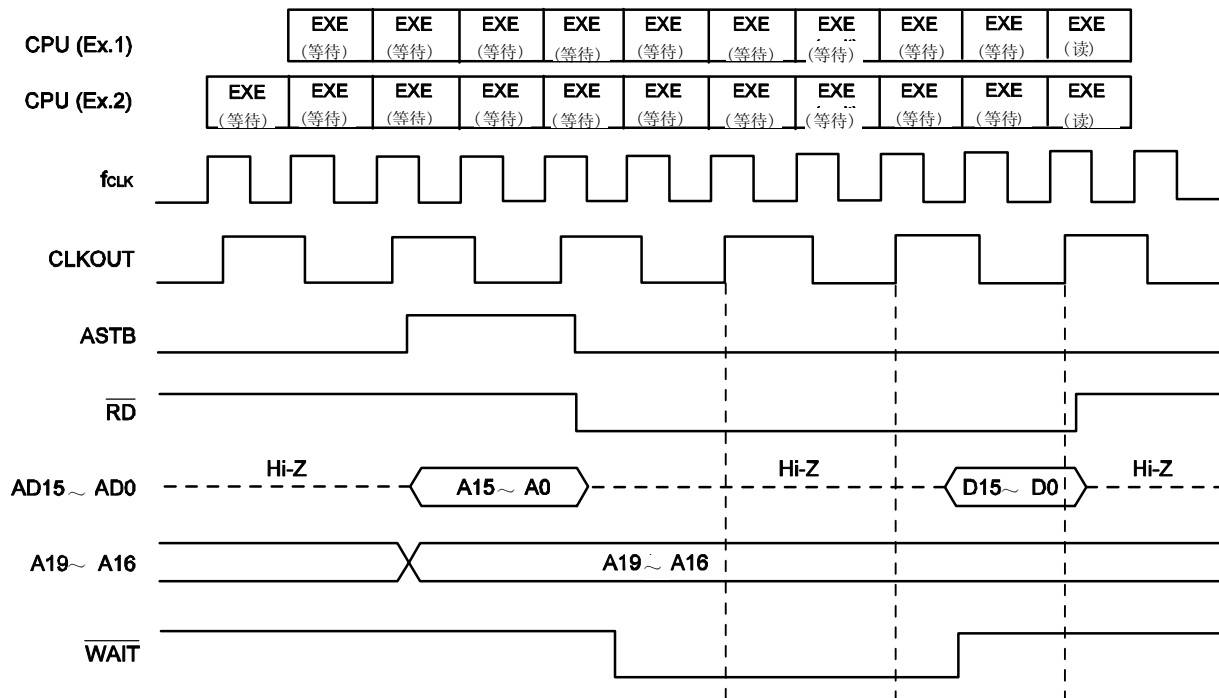
(c) 无等待, 16 位总线 $CLKOUT = f_{CLK}/2$ ($EXWEN = 0$, $MM3 = 0$, $MM2 = 1$)(d) 有等待, 16 位总线 $CLKOUT = f_{CLK}/2$ ($EXWEN = 1$, $MM3 = 0$, $MM2 = 1$)

图 5-5. 写入外部存储器的时序(1/2)

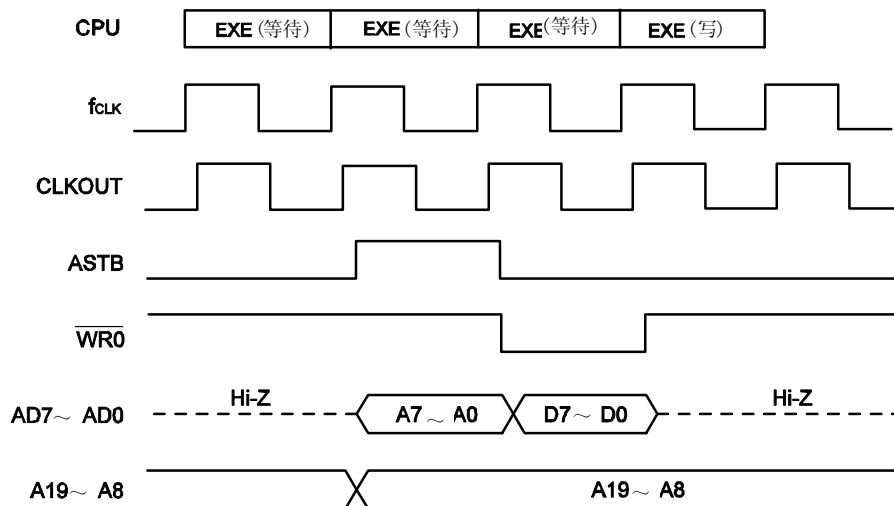
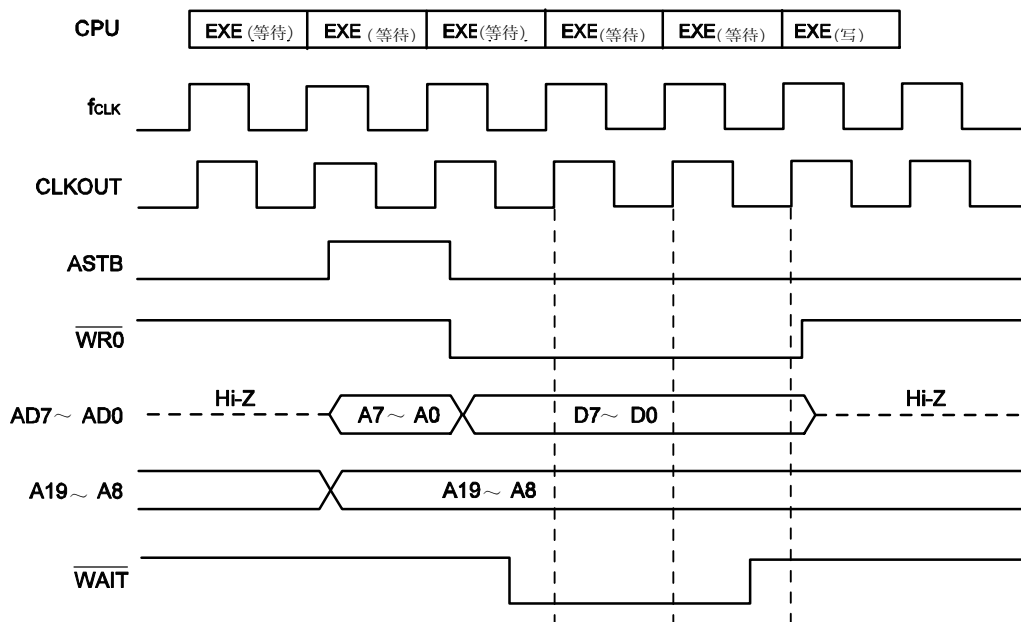
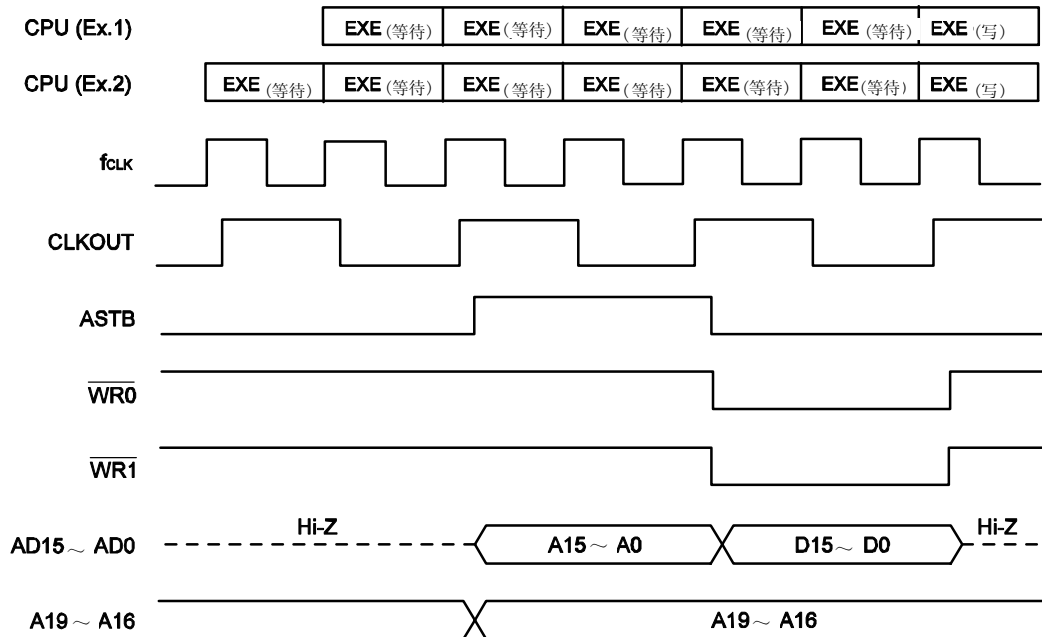
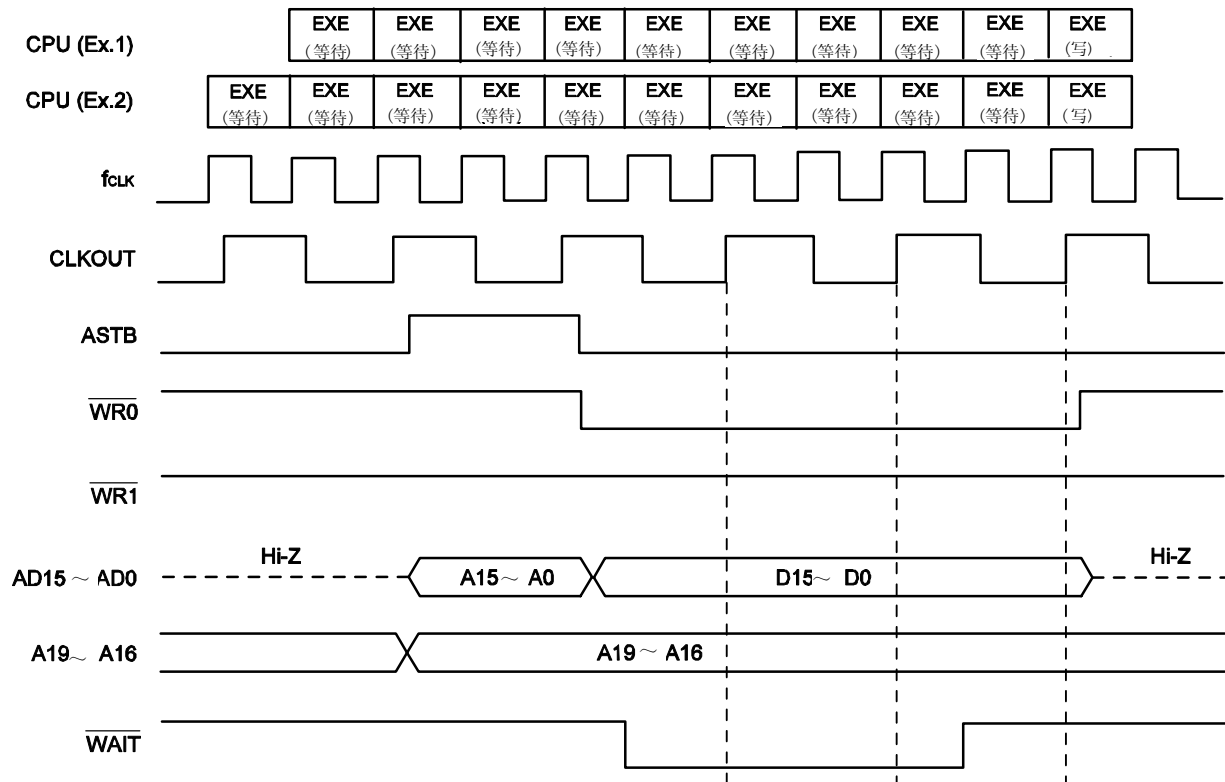
(a) 无等待, 8 位总线 $\text{CLKOUT} = f_{\text{CLK}}$ ($\text{EXWEN} = 0$, $\text{MM3} = 0$, $\text{MM2} = 0$)(b) 有等待, 8 位总线 $\text{CLKOUT} = f_{\text{CLK}}$ ($\text{EXWEN} = 1$, $\text{MM3} = 0$, $\text{MM2} = 0$)

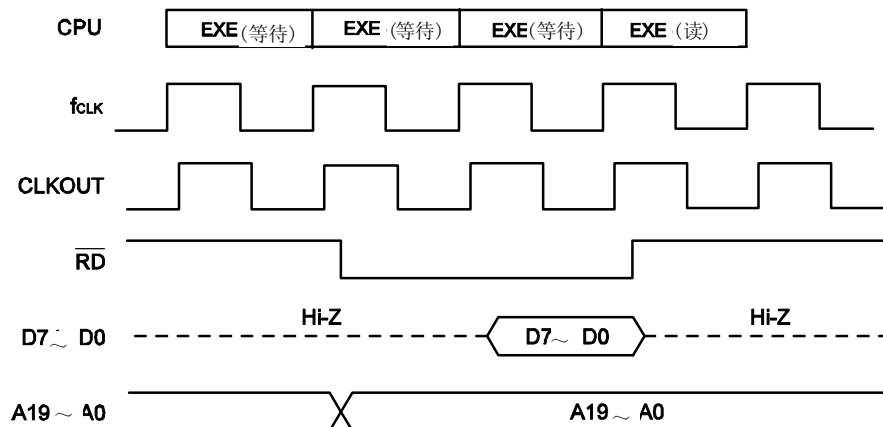
图 5-5. 写入外部存储器的时序(2/2)

(c) 无等待, 16 位总线 $CLKOUT = f_{CLK}/2$ ($EXWEN = 0$, $MM3 = 0$, $MM2 = 1$)(d) 有等待, 16 位总线 $CLKOUT = f_{CLK}/2$ ($EXWEN = 1$, $MM3 = 0$, $MM2 = 1$)

5.6.2 独立总线模式

图 5-6. 读外部存储器的时序(1/2)

(a) 无等待 s, 8 位总线 $CLKOUT = f_{CLK}$ ($EXWEN = 0$, $MM3 = 1$, $MM2 = 0$)



(b) 有等待, 8 位总线 $CLKOUT = f_{CLK}$ ($EXWEN = 1$, $MM3 = 1$, $MM2 = 0$)

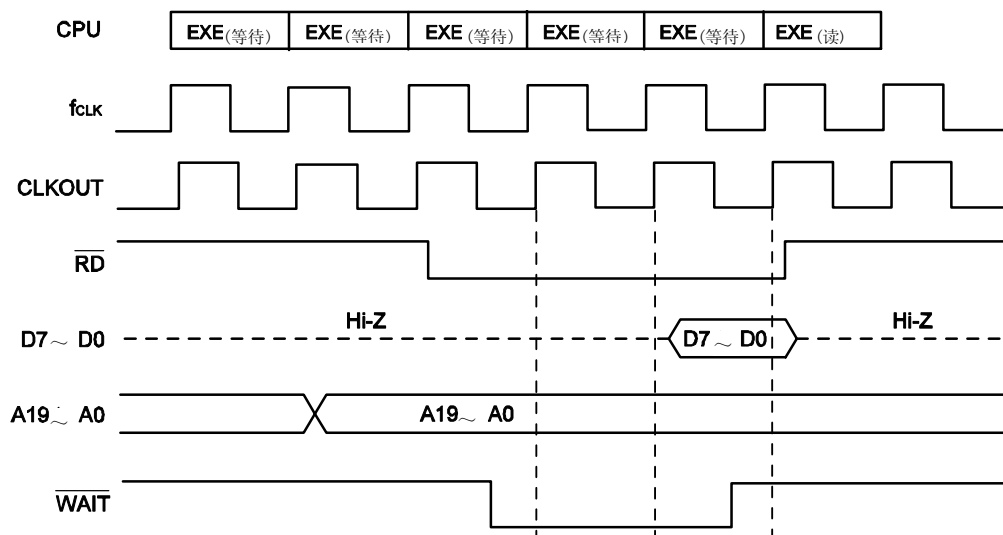


图 5-6. 读外部存储器的时序(2/2)

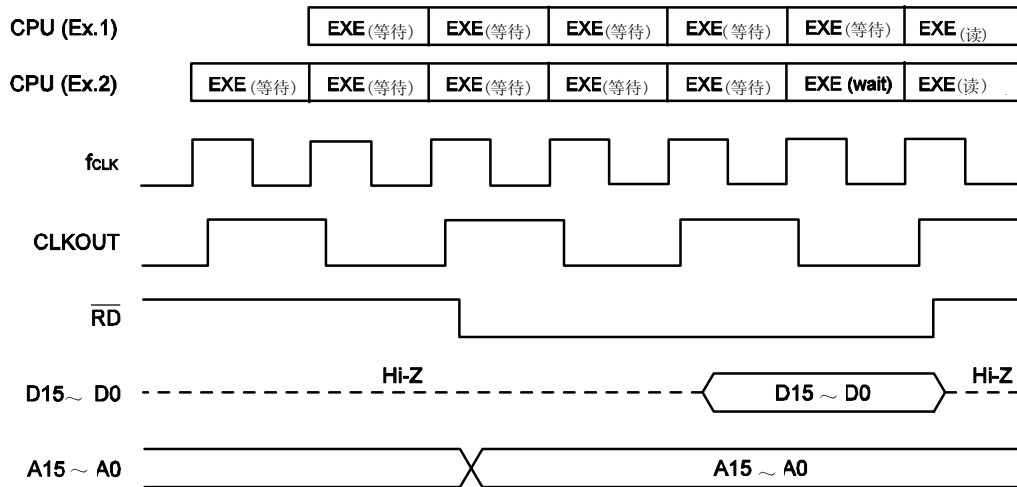
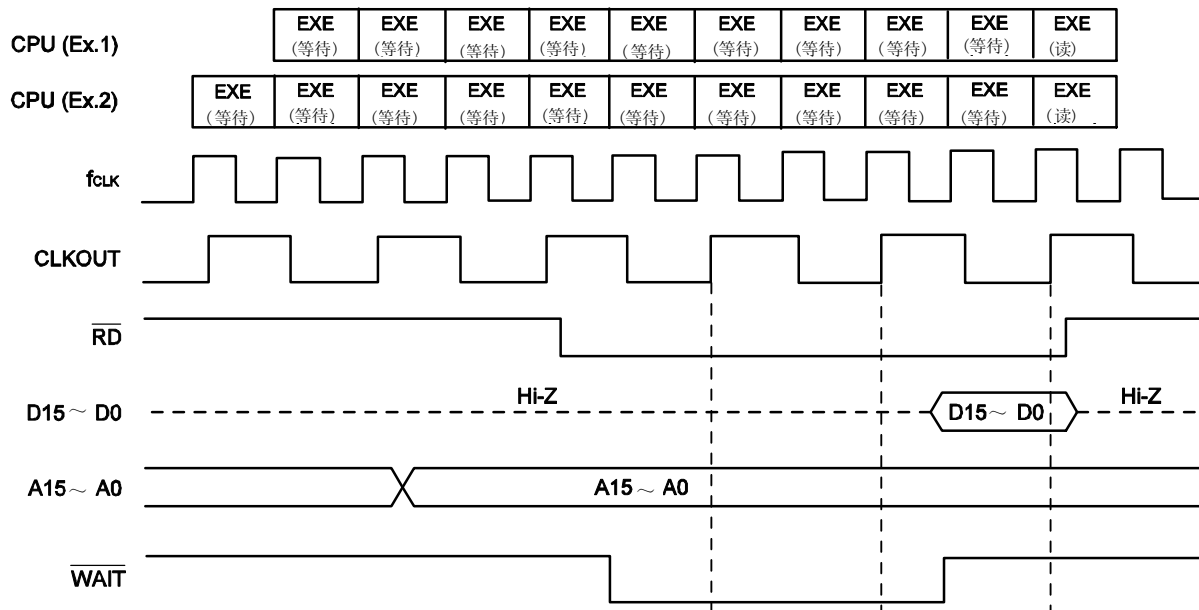
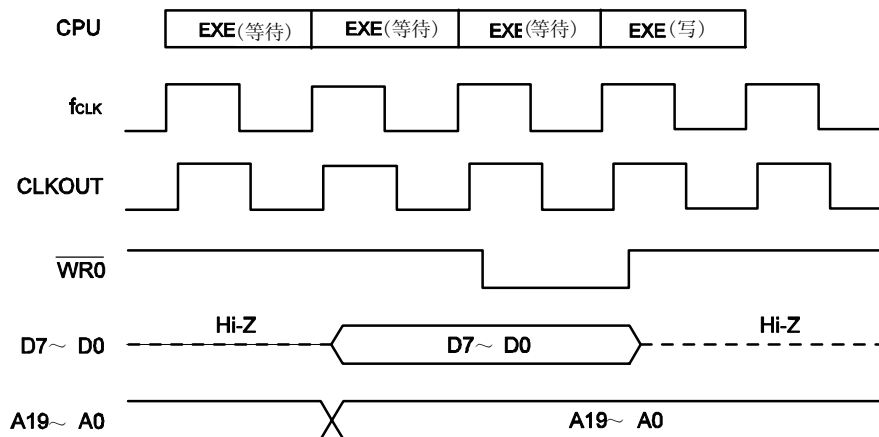
(c) 无等待, 16 位总线 $\text{CLKOUT} = f_{\text{CLK}}/2$ ($\text{EXWEN} = 0$, $\text{MM3} = 1$, $\text{MM2} = 1$)(d) 有等待, 16 位总线 $\text{CLKOUT} = f_{\text{CLK}}/2$ ($\text{EXWEN} = 1$, $\text{MM3} = 1$, $\text{MM2} = 1$)

图 5-7. 写入到外部存储器的存储器(1/2)

(a) 无等待, 8 位总线 $\text{CLKOUT} = f_{\text{CLK}}$ ($\text{EXWEN} = 0$, $\text{MM3} = 1$, $\text{MM2} = 0$)



(b) 有等待, 8 位总线 $\text{CLKOUT} = f_{\text{CLK}}$ ($\text{EXWEN} = 1$, $\text{MM3} = 1$, $\text{MM2} = 0$)

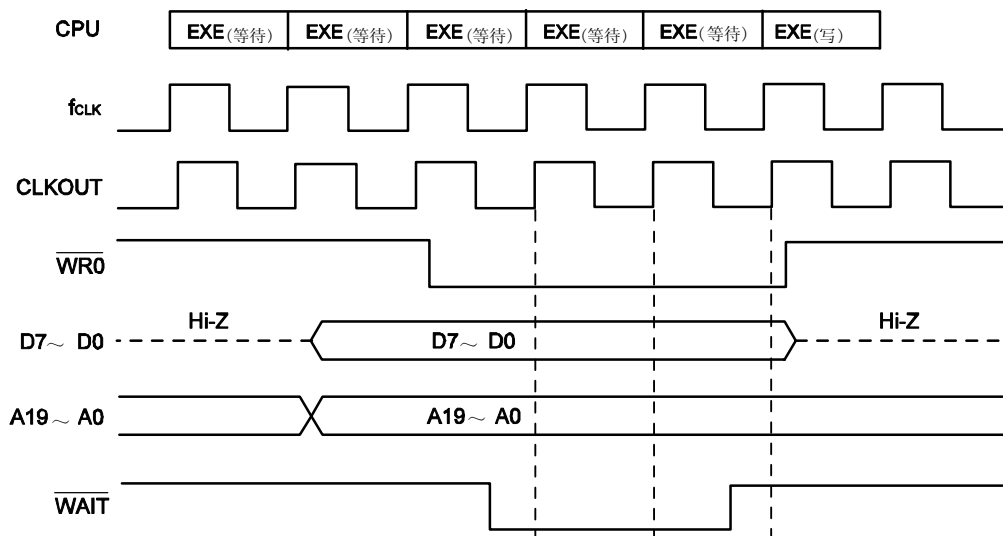
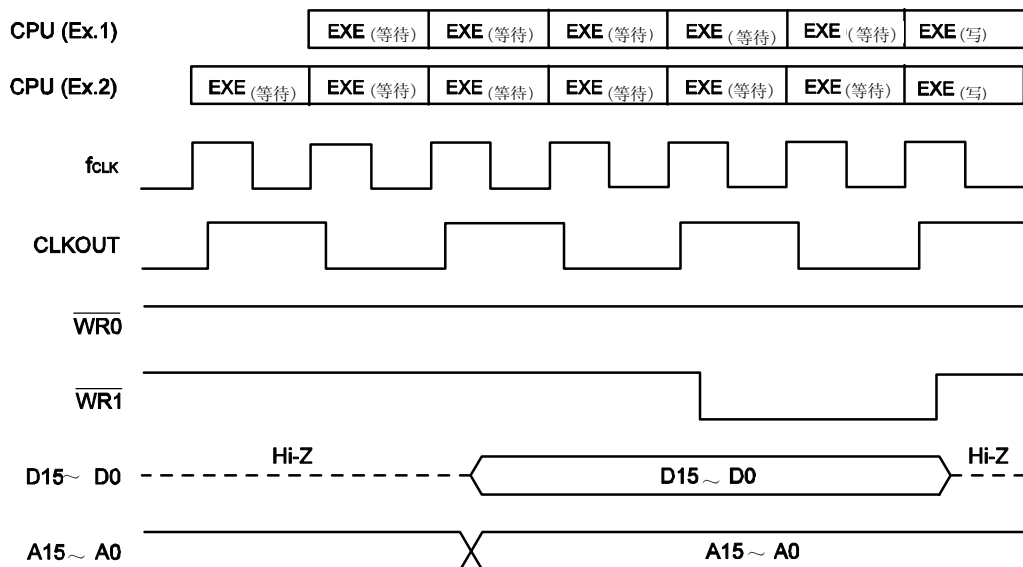
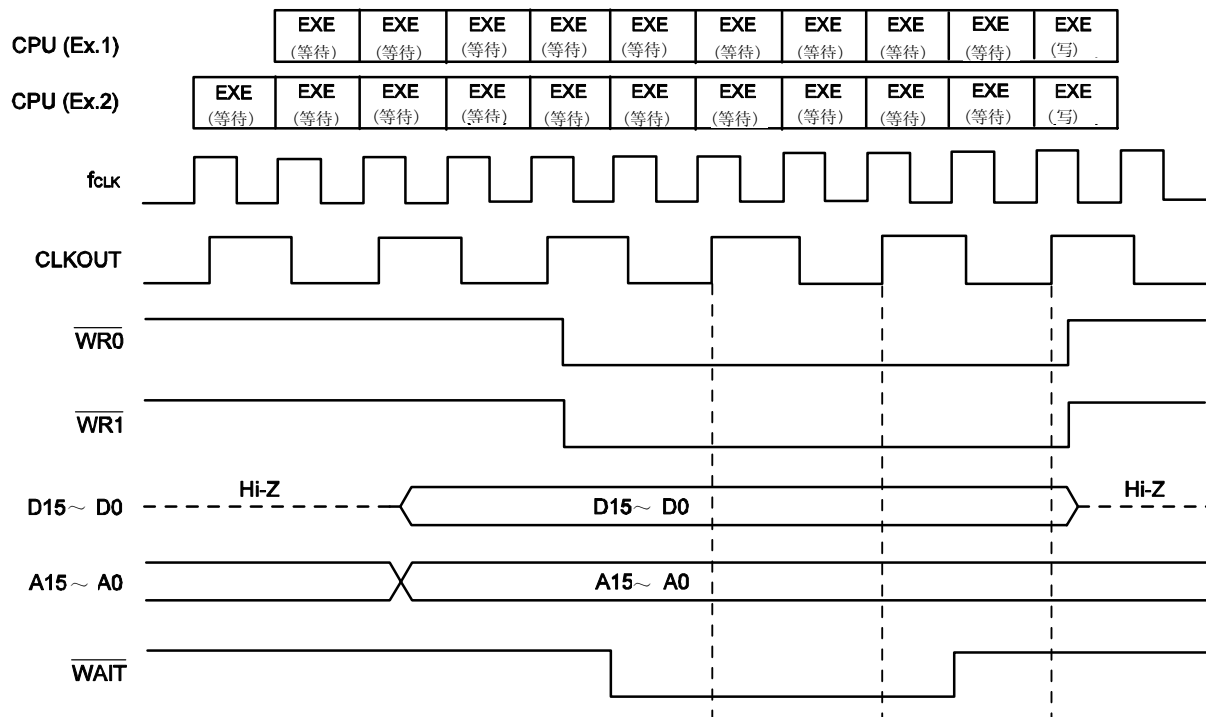


图 5-7. 写入到外部存储器的存储器(2/2)

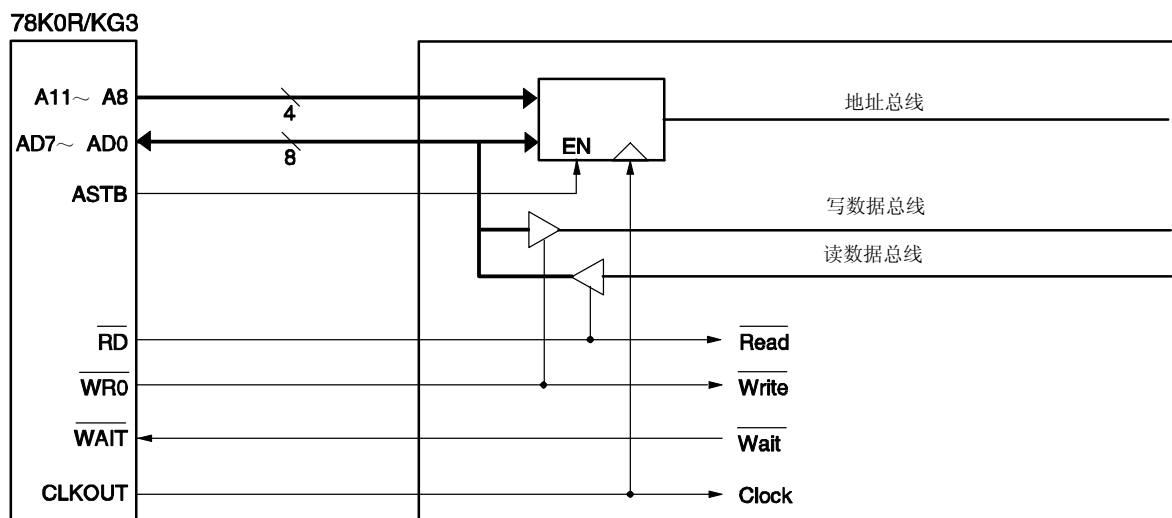
(c) 无等待, 16 位总线 $CLKOUT = f_{CLK}/2$ ($EXWEN = 0$, $MM3 = 1$, $MM2 = 1$)(d) 有等待, 16 位总线 $CLKOUT = f_{CLK}/2$ ($EXWEN = 1$, $MM3 = 1$, $MM2 = 1$)

5.7 连接到存储器的示例

5.7.1 外部逻辑的连接 (ASIC,等)

连接外部逻辑时，选择复用总线模式或独立总线模式。连接总线时，使用 CLKOUT 作为参考时钟。其他信号延迟 CLKOUT，因此，注意 CLKOUT 不在线延迟或当设计外部逻辑时的注意事项。

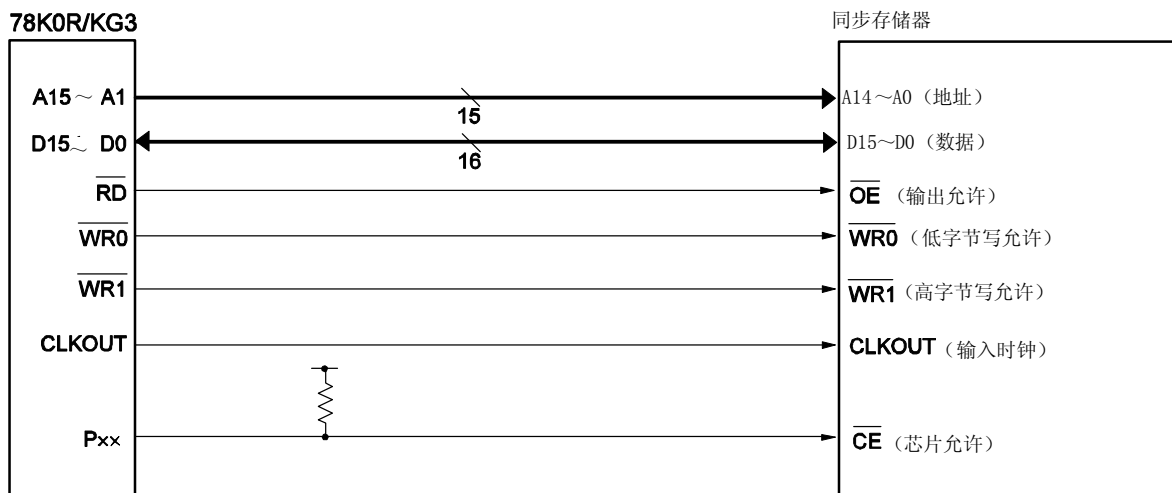
图 5-8. 外部逻辑连接的示例



5.7.2 同步存储器的连接

使用 独立总线模式连接同步存储器。

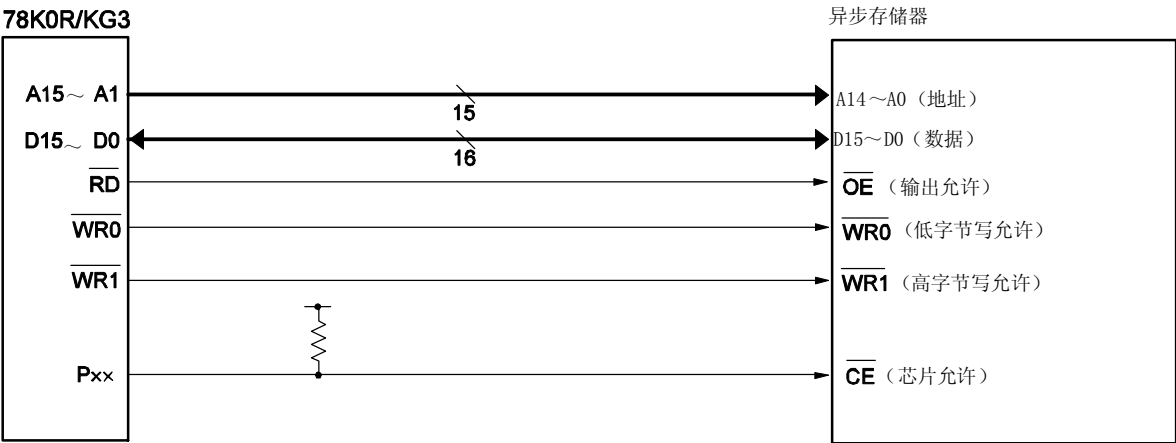
图 5-9. 同步存储器连接的示例



5.7.3 异步存储器的连接

使用独立总线模式连接异步存储器。

图 5-10. 异步存储器连接的示例



6.1 时钟发生器的功能

时钟发生器用于产生时钟，并提供给 CPU 和外部硬件设备。

可以使用以下三种系统时钟和时钟振荡器。

(1) 主系统时钟

<1> X1 振荡器

通过连接一个振荡器到 X1 和 X2，该振荡电路产生 $f_x = 2 \sim 20\text{MHz}$ 的时钟。

通过执行 STOP 指令或设置 MSTOP (时钟操作状态控制寄存器(CSC)的第 7 位)，可以停止振荡。

<2> 内部高速振荡器

这个振荡电路产生一个 $f_{RH} = 8\text{ MHz}$ (TYP.)的时钟。复位释放后，CPU 总是使用这个内部高速振荡时钟进行操作。可以通过执行 STOP 指令或者设置 HIOSTOP(CSC 的第 0 位)停止其振荡。

外部主系统时钟($f_{EXCLK} = 2 \sim 20\text{ MHz}$)也可以通过 EXCLK/X2/P122 引脚提供。可以通过执行 STOP 指令或者设置 MSTOP 禁止外部主系统时钟输入。

可以通过设置 MCM0 (系统时钟控制寄存器(CKC)的第 4 位)选择内部高速系统时钟(X1 时钟或者外部主系统时钟)或内部高速振荡时钟，作为主系统时钟。

(2) 副系统时钟

• XT1 时钟振荡器

通过在 XT1 和 XT2 之间连接一个 32.768kHz 的振荡器，该电路以 $f_{XT} = 32.768\text{ kHz}$ 的频率进行振荡。通过设置 XTSTOP (CSC 的第 6 位)，可以停止振荡。

备注

f_x :	X1 时钟振荡频率
f_{RH} :	内部高速振荡时钟频率
f_{EX} :	外部主系统时钟频率
f_{SUB} :	副系统时钟频率

(3) 内部低速振荡时钟 (看门狗定时器的时钟)

• 内部低速振荡器

此电路振荡时钟 $f_{IL} = 240\text{ kHz}$ (TYP.)。

内部低速振荡时钟不能用作 CPU 时钟。只有看门狗定时器工作在内部低速振荡时钟。

当看门狗定时器停止时振荡停止。

备注

- f_{IL} : 内部低速振荡时钟频率
- 如下情况看门狗定时器停止。
 - 当选项字节(000C0H)的第 4 位 (WDTON) = 0
 - 当选项字节 (000C0H) 的第 4 位(WDTON) = 1 和第 0 位(WDSTBYON) = 0 时，如果执行 HALT 或 STOP 指令

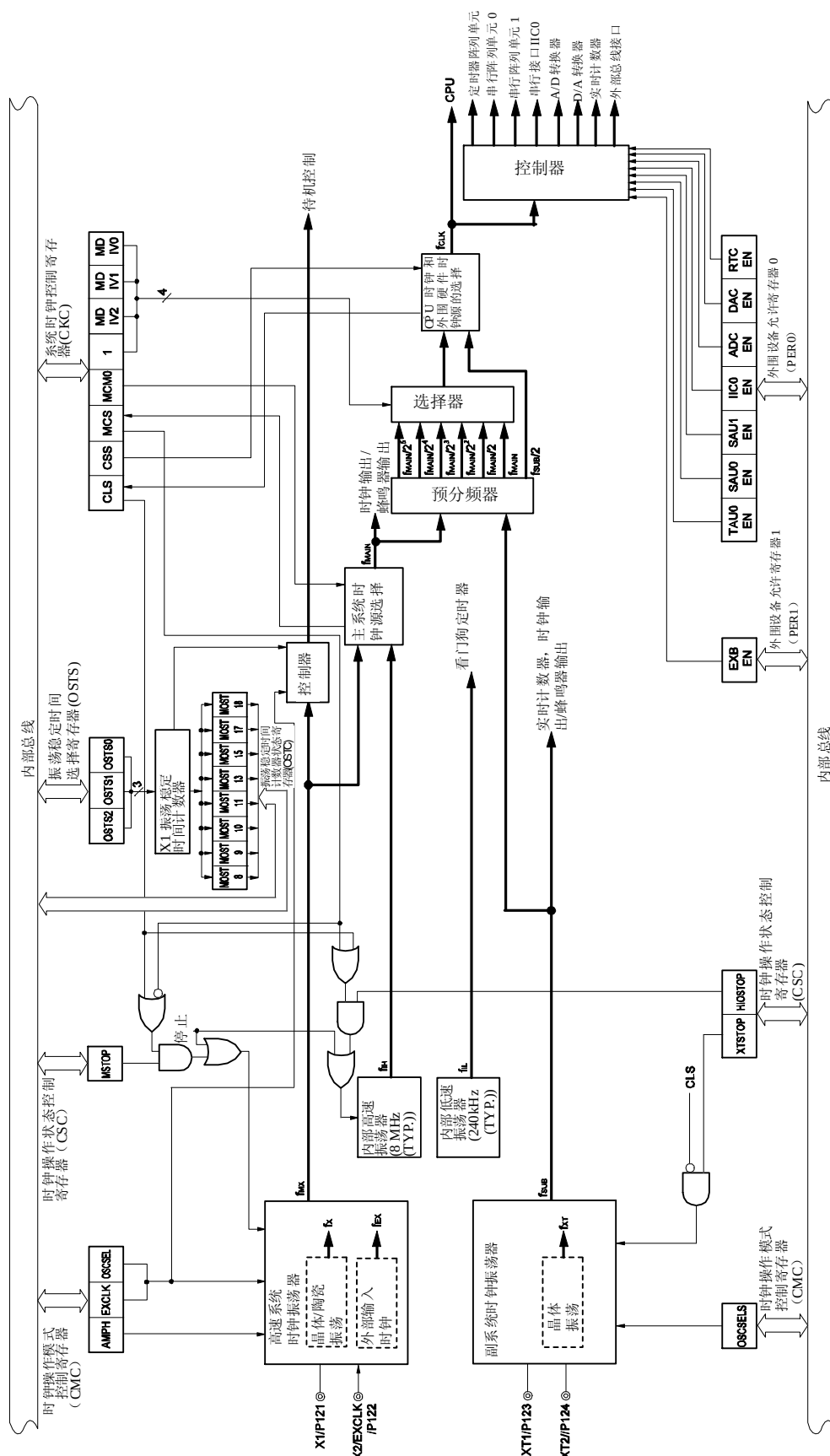
6.2 时钟发生器的配置

时钟发生器包括如下硬件。

表 6-1. 时钟发生器的配置

项目	配置
控制寄存器	时钟操作模式控制寄存器(CMC) 时钟操作状态控制寄存器(CSC) 振荡稳定时间计数器状态寄存器(OSTC) 振荡稳定时间选择寄存器(OSTS) 系统时钟控制寄存器(CKC) 外围设备允许寄存器 0, 1 (PER0, PER1) 操作速度模式控制寄存器(OSMC) 内部高速振荡器调整寄存器(HIOTRM)
振荡器	X1 振荡器 XT1 振荡器 内部高速振荡器 内部低速振荡器

图 6-1. 时钟发生器的框图



备注	fx:	X1 时钟振荡频率
	f _{IH} :	内部高速振荡时钟频率
	f _{EX} :	外部主系统时钟频率
	f _{MX} :	高速系统时钟频率
	f _{MAIN} :	主系统时钟频率
	f _{XT} :	XT1 时钟振荡频率
	f _{SUB} :	副系统时钟频率
	f _{CLK} :	CPU/外围硬件时钟频率
	f _{IL} :	内部低速振荡时钟频率

6.3 控制时钟发生器的寄存器

如下九个寄存器用于控制时钟发生器。

- 时钟操作模式控制寄存器(CMC)
- 时钟操作状态控制寄存器(CSC)
- 振荡稳定时间计数器状态寄存器(OSTC)
- 振荡稳定时间选择寄存器(OSTS)
- 系统时钟控制寄存器(CKC)
- 外围设备允许寄存器 0, 1 (PER0, PER1)
- 操作速度模式控制寄存器(OSMC)
- 内部高速振荡器 调整寄存器(HIOTRM)

(1) 时钟操作模式控制寄存器(CMC)

此寄存器用于设置 X1/P121, X2/EXCLK/P122, XT1/P123, 和 XT2/P124 引脚的操作模式，并选择振荡器。
复位后释放后 CMC 只能由 8 位存储器操作指令写入。此寄存器可由 1 位或 8 位存储器操作指令读取。
复位信号产生将此寄存器清为 00H。

图 6-2. 时钟操作模式控制寄存器(CMC)的格式

地址: FFFA0H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	OSCELS	0	0	0	AMPH

EXCLK	OSCSEL	高速系统时钟引脚操作模式	X1/P121 引脚	X2/EXCLK/P122 引脚
0	0	输入端口模式	输入端口	
0	1	X1 振荡模式	晶体/陶瓷振荡器的连接	
1	0	输入端口模式	输入端口	
1	1	外部时钟输入模式	输入端口	外部时钟输入

OSCELS	副系统时钟引脚操作模式	XT1/P123 引脚	XT2/P124 引脚
0	输入端口模式	输入端口	
0	XT1 振荡模式	晶体振荡器连接	

AMPH	高速系统 时钟振荡频率的控制
0	2 MHz ≤ f _{MX} ≤ 10 MHz
1	10 MHz < f _{MX} ≤ 20 MHz

- 注意事项
1. CMC 只能在复位后释放后通过 8 位存储器操作指令写入。

2. 复位后释放，X1 或 XT1 振荡开始前通过设置 时钟操作状态控制寄存器(CSC)设置 CMC。

3. 如果 X1 时钟振荡频率超过 10 MHz 确保设置 AMPH 为 1。

4. 即使寄存器曾为默认值，为防止程序循环的错误，建议复位释放后将 CMC 置为默认值 (00H)。

备注

f_{MX}: 高速系统时钟频率

(2) 时钟操作状态控制寄存器(CSC)

此寄存器用于控制高速系统时钟, 内部高速振荡时钟, 和副系统时钟 (除内部低速振荡时钟)的操作。
CSC 可由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器清为 C0H。

图 6-3. 时钟操作状态控制寄存器(CSC) 的格式

地址: FFFA1H 复位后: C0H R/W

符号	<7>	<6>	5	4	3	2	1	<0>
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速系统时钟操作的控制		
	X1 振荡模式	外部时钟输入模式	输入端口模式
	0	X1 振荡器工作	EXCLK 引脚的外部时钟有效
1	X1 振荡器停止	EXCLK 引脚的外部时钟无效	

XTSTOP	副系统时钟操作控制	
	XT1 振荡模式	输入端口模式
	0	XT1 振荡器工作
1	XT1 振荡器停止	

HIOSTOP	
0	内部高速振荡器工作
1	内部高速振荡器停止

- 注意事项
- 1. 复位释放后, 在启动由 MSTOP 设置的 X1 振荡或由 XTSTOP 设置的 XT1 振荡前设置时钟操作模式控制寄存器(CMC)。
 - 2. 开始由 MSTOP 设置的 X1 振荡, 通过使用振荡稳定时间计数状态寄存器(OSTC)检查 X1 时钟的振荡稳定时间。
 - 3. 不要停止通过 OSC 寄存器为 CPU 外围硬件时钟 (fCLK) 选择的时钟。

注意事项 4. 寄存器标志的设置以停止时钟振荡 (外部时钟输入无效)与时钟振荡停止前的条件如下所示。

表 6-2. 停止时钟振荡前的条件和标志设置

时钟	停止时钟前的条件 (外部时钟输入无效)	CSC 寄存器标志 的设置
X1 时钟	• CLS = 0 和 MCS = 0 • CLS = 1 (CPU 和外围硬件时钟工作在除高速系统时钟以外的时钟。)	MSTOP = 1
外部主系统时钟		
副系统时钟	• CLS = 0 (CPU 和 外围硬件时钟工作在除副系统时钟以外的时钟。)	XTSTOP = 1
内部高速振荡时钟	• CLS = 0 和 MCS = 1 • CLS = 1 (CPU 和外围硬件时钟工作在除内部高速振荡器时钟以外的时钟。)	HIOSTOP = 1

(3) 振荡稳定时间计数器状态寄存器(OSTC)

此寄存器用来表示 X1 时钟振荡稳定时间计数器的计数状态。

X1 时钟振荡稳定时间在如下情况可以被检测，

- 内部高速振荡时钟或副系统时钟正用作 CPU 时钟时，如果 X1 时钟开始振荡。
- 当 X1 时钟振荡的内部高速振荡时钟 作为 CPU 时钟 时如果进入 STOP 模式然后释放。

OSTC 可由 1 位或 8 位存储器操作指令读取。

复位信号产生时，STOP 指令并且 MSTOP (CSC 寄存器的第 7 位) = 1 清零 OSTC 为 00H。

备注 振荡稳定时间计数器在如下情况开始计数。

- 当 X1 时钟开始振荡时 (EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- 当 STOP 模式释放时

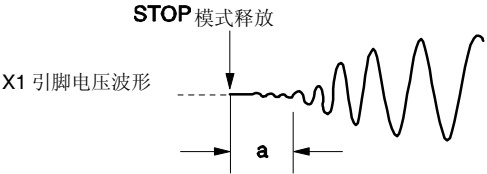
图 6-4. 振荡稳定时间计数器状态寄存器(OSTC) 的格式

地址: FFFA2H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	振荡稳定时间状态		
									fx = 10 MHz	fx = 20 MHz
0	0	0	0	0	0	0	0	2 ⁸ /fx max.	25.6 μs max.	12.8 μs max.
1	0	0	0	0	0	0	0	2 ⁸ /fx min.	25.6 μs min.	12.8 μs min.
1	1	0	0	0	0	0	0	2 ⁹ /fx min.	51.2 μs min.	25.6 μs min.
1	1	1	0	0	0	0	0	2 ¹⁰ /fx min.	102.4 μs min.	51.2 μs min.
1	1	1	1	0	0	0	0	2 ¹¹ /fx min.	204.8 μs min.	102.4 μs min.
1	1	1	1	1	0	0	0	2 ¹³ /fx min.	819.2 μs min.	409.6 μs min.
1	1	1	1	1	1	0	0	2 ¹⁵ /fx min.	3.27 ms min.	1.64 ms min.
1	1	1	1	1	1	1	0	2 ¹⁷ /fx min.	13.11 ms min.	6.55 ms min.
1	1	1	1	1	1	1	1	2 ¹⁸ /fx min.	26.21 ms min.	13.11 ms min.

- 注意事项
1. 经过上面的时间后，这些位从 **MOST8** 按顺序设为 **1** 并且保持为 **1**。
 2. 由 **OSTS** 设置的振荡稳定时间计数器计算振荡稳定时间。
在如下情况中，振荡开始后设置 **OSTS** 的振荡稳定时间的值大于要由 **OSTC** 寄存器检查的计数值。
 - 内部高速振荡时钟或副系统时钟作为 **CPU** 时钟时如果 **X1** 时钟开始振荡。
 - 如果进入 **STOP** 模式，并且在内部高速振荡时钟用作 **CPU** 时钟后通过 **X1** 时钟震荡释放。
(注，而且，由 **OSTS** 设置的振荡稳定时间在 **STOP** 模式释放后设置到 **OSTC**)
 3. **X1** 时钟振荡稳定等待时间不包括直到时钟振荡开始的时间。(“a”如下)



备注 fx: X1 时钟振荡频率

(4) 振荡稳定时间选择寄存器(OSTS)

此寄存器用于当 STOP 模式释放时选择 X1 时钟振荡稳定等待时钟。

当选择 X1 时钟作为 CPU 时钟时，STOP 模式释放后操作自动等待由 OSTS 设置的时间。

当选择内部高速振荡时钟作为 CPU 时钟时，通过 OSTC 确定在 STOP 模式释放后需要的振荡稳定时间。通过 OSTC 可检查振荡稳定时间。

OSTS 可由 8 位存储器操作指令设置。

复位信号产生将 OSTS 置为 07H。

图 6-5. 振荡稳定时间选择寄存器(OSTS)的格式

地址: FFFA3H 复位后: 07H R/W

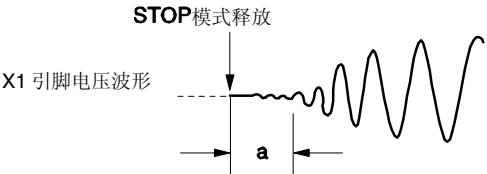
符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		振荡稳定时间选择	
				fx = 10 MHz	fx = 20 MHz
0	0	0	$2^8/f_x$	25.6 μs	设置禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

- 注意事项
1. 当 CPU 使用 X1 时钟时，若要设置 STOP 模式，则必须在执行 STOP 指令之前设置 OSTS。
 2. 禁止设置 振荡稳定时间 小于 20 μs 。
 3. 要改变 OSTS 寄存器的设置，必须确保 OSTC 寄存器的计数操作已经完成。
 4. 在 X1 时钟振荡 稳定时间期间不要改变 OSTS 寄存器的值。
 5. 振荡稳定时间计数器计数到振荡稳定时间由 OSTS 设置。
在如下情况，设置 OSTS 的振荡稳定时间的只大于振荡开始后 OSTC 寄存器检测到的计数值。

- 当内部高速振荡时钟或副系统时钟用作 CPU 时钟时，如果 X1 时钟开始振荡。
- 如果进入 STOP 模式，然后当内部高速振荡时钟用作 CPU 时钟 X1 时钟振荡时释放 (注，而且，由 OSTS 设置的振荡稳定时间在 STOP 模式释放后设置到 OSTC)

6. X1 时钟振荡稳定等待时间不包括时钟振荡开始之前的时间(下图“a”表示的部分)。



备注 fx: X1 时钟振荡频率

(5) 系统时钟控制寄存器(CKC)

此寄存器用于选择 CPU/外围硬件时钟和分频率。
CKC 可由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器置为 09H。

图 6-6. 系统时钟控制寄存器(CKC)的格式

地址: FFFA4H 复位后: 09H R/W ^{※1}

符号	<7>	<6>	<5>	<4>	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	1	MDIV2	MDIV1	MDIV0

CLS	CPU/外围硬件时钟 (f _{CLK})的状态
0	主系统时钟 (f _{MAIN})
1	副系统时钟 (f _{SUB})

MCS	主系统时钟 (f _{MAIN})的状态
0	内部高速振荡时钟 (f _{IH})
1	高速系统时钟 (f _{MX})

CSS	MCM0	MDIV2	MDIV1	MDIV0	CPU/外围硬件时钟 (f _{CLK})的选择
0	0	0	0	0	f _{IH}
		0	0	1	f _{IH} /2 (默认)
		0	1	0	f _{IH} /2 ²
		0	1	1	f _{IH} /2 ³
		1	0	0	f _{IH} /2 ⁴
		1	0	1	f _{IH} /2 ⁵
0	1	0	0	0	f _{MX}
		0	0	1	f _{MX} /2
		0	1	0	f _{MX} /2 ²
		0	1	1	f _{MX} /2 ³
		1	0	0	f _{MX} /2 ⁴
		1	0	1	f _{MX} /2 ⁵ ^{※2}
1	×	×	×	×	f _{SUB} /2
其他值					设置禁止

注 1. 第 7 和 5 位只读。
 2. f_{MX} < 4 MHz 时设置禁止。

备注 1. f_{IH}: 内部高速振荡时钟频率
 f_{MX}: 高速系统时钟频率
 f_{SUB}: 副系统时钟频率
 2. ×: 不必考虑

(注意事项 1 ~ 3 列在下页中)

<R>

- 注意事项
1. 第 3 位必须设置为 1。
 2. 由 CSS, MCM0, 和 MDIV2 ~ MDIV0 设置的时钟供给 CPU 和外围硬件。如果 CPU 时钟改变, 因此供给外围硬件(除实时计数器, 时钟输出/蜂鸣器输出, 和看门狗定时器外)的时钟也同时改变。因此, 当 CPU/外围工作硬件时钟改变时, 停止每个外围设备的功能。
 3. 如果外围硬件时钟用作副系统时钟, A/D 转换器和 IIC0 的操作不保证。外围硬件的操作特性, 参考说明外围硬件的章节, 如第二十九章 电气特性 (目标值)。

在 78K0R/KG3 中执行速度最快的指令执行时间在 1 个 CPU 时钟以内。CPU 时钟(f_{CPU})与指令最短执行时间的关系如表 6-3 所示。

表 6-3. CPU 时钟和最小指令执行时间之间的关系

CPU 时钟 (由 MDIV2 ~ MDIV0 位设置的 值)	最小指令执行时间: $1/f_{CLK}$			
	主系统时钟 (CSS = 0)			副系统时钟 (CSS = 1)
	高速系统时钟 (MCM0 = 1)		内部高速振荡时钟 (MCM0 = 0)	
	操作在 10 MHz	操作在 20 MHz	操作在 8 MHz (TYP.)	
f_{MAIN}	0.1 μs	0.05 μs	0.125 μs (TYP.)	—
$f_{MAIN}/2$	0.2 μs	0.1 μs	0.25 μs (TYP.) (默认)	—
$f_{MAIN}/2^2$	0.4 μs	0.2 μs	0.5 μs (TYP.)	—
$f_{MAIN}/2^3$	0.8 μs	0.4 μs	1.0 μs (TYP.)	—
$f_{MAIN}/2^4$	1.6 μs	0.8 μs	2.0 μs (TYP.)	—
$f_{MAIN}/2^5$	3.2 μs	1.6 μs	4.0 μs (TYP.)	—
$f_{SUB}/2$	—		—	61 μs

备注 f_{MAIN} : 主系统时钟频率 (f_{IH} 或 f_{MX})

f_{SUB} : 副系统时钟频率

(6) 外围设备允许寄存器 0, 1 (PER0, PER1)

这些寄存器用于外围硬件宏指令的允许和禁止。为了降低功耗和噪声，供给不使用的硬件的时钟也停止。
PER0 和 PER1 可由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器置为 00H。

图 6-7. 外围设备允许寄存器的格式(1/2)

地址: F00F0H 复位后: 00H R/W								
符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN
地址: F00F1H 复位后: 00H R/W								
符号	7	6	5	4	3	2	1	<0>
PER1	0	0	0	0	0	0	0	EXBEN
RTCEN	实时计数器 (RTC)输入时钟 [*] 的控制							
0	停止供给输入时钟。 • 用于实时计数器 (RTC)的 SFR 不能被写入(可读)。 • 实时计数器 (RTC) 的操作继续。							
1	供给输入时钟。 • 用于实时计数器 (RTC)的 SFR 可读写。							
DACEN	D/A 转换器输入时钟的控制							
0	停止供给输入时钟。 • 用于 D/A 转换器的 SFR 不能写入。 • D/A 转换器 在复位状态。							
1	供给输入时钟。 • 用于 D/A 转换器的 SFR 可读写。							
ADCEN	A/D 转换器输入时钟的控制							
0	停止供给输入时钟。 • 用于 A/D 转换器的 SFR 不能写入。 • A/D 转换器 在复位状态。							
1	供给输入时钟。 • 用于 A/D 转换器的 SFR 可读写。							
IIC0EN	串行接口 IIC0 输入时钟的控制							
0	停止供给输入时钟。 • 用于串行接口 IIC0 的 SFR 不能写入。 • 串行接口 IIC0 在复位状态。							
1	供给输入时钟。 • 用于串行接口 IIC0 的 SFR 可读写。							

注 当通过使用寄存器从 CPU 访问实时计数器（RTC）时，可通过 RTCEN 控制输入时钟。RTCEN 不能控制供给 RTC 的操作时钟 (f_{SUB})。

注意事项 确保清零 PER0 寄存器的第 1 位并且 PER1 的第 1～7 位为 0。

图 6-7. 外围设备允许寄存器的格式(2/2)

SAU1EN	串行阵列单元 1 输入时钟的控制
0	停止供给输入时钟。 • 由串行阵列单元 1 使用的 SFR 不能写入。 • 串行阵列单元 1 在复位状态。
1	供给输入时钟。 • 由串行阵列单元 1 使用的 SFR 可读写。

SAU0EN	串行阵列单元 0 输入时钟的控制
0	停止供给输入时钟。 • 由串行阵列单元 0 使用的 SFR 不能写入。 • 串行阵列单元 0 在复位状态。
1	供给输入时钟。 • 由串行阵列单元 0 使用的 SFR 可读写。

TAU0EN	定时器阵列单元输入时钟的控制
0	停止供给输入时钟。 • 由定时器阵列单元使用的 SFR 不能写入。 • 定时器阵列单元在复位状态。
1	供给输入时钟。 • 由定时器阵列单元使用的 SFR 可读写。

EXBEN	外部总线接口输入时钟的控制
0	停止供给输入时钟。 • 由外部总线接口使用的 SFR 不能写入。 • 外部总线接口在复位状态。
1	供给输入时钟。 • 由外部总线接口使用的 SFR 可读写。

注意事项 确保清零 PER0 寄存器的第 1 位并且 PER1 的第 1~7 位为 0。

(7) 操作速度模式控制寄存器(OSMC)

此寄存器用于控制 flash 存储器高速操作的递升电路。
如果微控制器操作在小于 10 MHz 的低速系统时钟，通过设置此寄存器到默认值（00H）可以降低功耗。
OSMC 可由 8 位存储器操作指令设置。
复位信号产生将此寄存器置为 00H。

图 6-8. 操作速度模式控制寄存器(OSMC)的格式

地址: F00F3H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
OSMC	0	0	0	0	0	0	0	FSEL
FSEL		fCLK 频率选择						
0		操作频率小于 10 MHz (默认)。						
1		操作频率大于 10 MHz。						

- 注意事项
1. 只有当复位释放后 OSMC 才能写入，通过 8 位存储器操作指令。
 2. 在下面两个操作前写入“1”到 FSEL。
 - 修改时钟优先于 fCLK 时钟（fIH 除外）。
 - 操作 DMA 控制器。
 3. 当“1”写入到 FSEL 标志 CPU 等待。
当 fCLK = fIH 时等待时间为 15 μ s ~ 20 μ s (目标值)，当 fCLK = fIH/2 时 30 μ s ~ 40 μ s (目标值)。
但是，即使当 CPU 等待时 fx 的振荡稳定时间计数继续。
 4. 要使 fCLK 增加到 10 MHz 以上，设置 FSEL 为 “1”，然后在两个以上时钟后改变 fCLK。

(8) 内部高速振荡器调整寄存器(HIOTRM)

此寄存器用于调整内部高速振荡器的精确度。
<R> 通过使用晶体振荡器的副系统时钟的内部高速振荡器频率的自测量，使用高精度外部时钟输入 (实时计数器或定时器阵列单元)的定时器，等等 寄存器可判断精度。
HIOTRM 可由 8 位存储器操作指令设置。
复位信号产生将此寄存器置为 10H。

- <R> 注意事项 在精度调整后，如果温度和 VDD 引脚 电压改变频率可能不同。
此外，如果 HIOTRM 寄存器设置为初始值 (10H)以外的其他任何值，根据后来的温度和 VDD 电压变化，或 HIOTRM 寄存器设置，内部高速振荡时钟的振荡精度可能超出 8 MHz $\pm$ 5%。当温度和 VDD 电压改变，精度调整必须执行，或在需要的频率精度前。

<R>

图 6-9. 内部高速振荡器调整寄存器(HIOTRM)的格式

地址: F00F2H 复位后: 10H R/W

符号	7	6	5	4	3	2	1	0
HIOTRM	0	0	0	TTRM4	TTRM3	TTRM2	TTRM1	TTRM0

TTRM4	TTRM3	TTRM2	TTRM1	TTRM0	时钟修正值(目标) (2.7 V≤V _{DD} ≤5.5 V)		
					MIN.	TYP.	MAX.
0	0	0	0	0	-5.54%	-4.88%	-4.02%
0	0	0	0	1	-5.28%	-4.62%	-3.76%
0	0	0	1	0	-4.99%	-4.33%	-3.47%
0	0	0	1	1	-4.69%	-4.03%	-3.17%
0	0	1	0	0	-4.39%	-3.73%	-2.87%
0	0	1	0	1	-4.09%	-3.43%	-2.57%
0	0	1	1	0	-3.79%	-3.13%	-2.27%
0	0	1	1	1	-3.49%	-2.83%	-1.97%
0	1	0	0	0	-3.19%	-2.53%	-1.67%
0	1	0	0	1	-2.88%	-2.22%	-1.36%
0	1	0	1	0	-2.23%	-1.91%	-1.31%
0	1	0	1	1	-1.92%	-1.60%	-1.28%
0	1	1	0	0	-1.60%	-1.28%	-0.96%
0	1	1	0	1	-1.28%	-0.96%	-0.64%
0	1	1	1	0	-0.96%	-0.64%	-0.32%
0	1	1	1	1	-0.64%	-0.32%	±0%
1	0	0	0	0	±0% (默认)		
1	0	0	0	1	±0%	+0.32%	+0.64%
1	0	0	1	0	+0.33%	+0.65%	+0.97%
1	0	0	1	1	+0.66%	+0.98%	+1.30%
1	0	1	0	0	+0.99%	+1.31%	+1.63%
1	0	1	0	1	+1.32%	+1.64%	+1.96%
1	0	1	1	0	+1.38%	+1.98%	+2.30%
1	0	1	1	1	+1.46%	+2.32%	+2.98%
1	1	0	0	0	+1.80%	+2.66%	+3.32%
1	1	0	0	1	+2.14%	+3.00%	+3.66%
1	1	0	1	0	+2.48%	+3.34%	+4.00%
1	1	0	1	1	+2.83%	+3.69%	+4.35%
1	1	1	0	0	+3.18%	+4.04%	+4.70%
1	1	1	0	1	+3.53%	+4.39%	+5.05%
1	1	1	1	0	+3.88%	+4.74%	+5.40%
1	1	1	1	1	+4.24%	+5.10%	+5.76%

<R> 注意事项 HIOTRM 寄存器指定值增加, 内部高速振荡频率速度增快, 指定值减小速度降低。不会发生值增加频率速度降低, 或值减小速度增加。

6.4 系统时钟振荡器

6.4.1 X1 振荡器

X1 振荡器采用晶体振荡器或陶瓷振荡器(2 ~ 20MHz)，连接到 X1 和 X2 引脚。

同样可以输入外部时钟。EXCLK 引脚输入时钟信号。

要使用 X1 振荡器，按如下方式设置时钟操作模式控制寄存器(CMC)的第 7 和 6 位 (EXCLK, OSCSEL)。

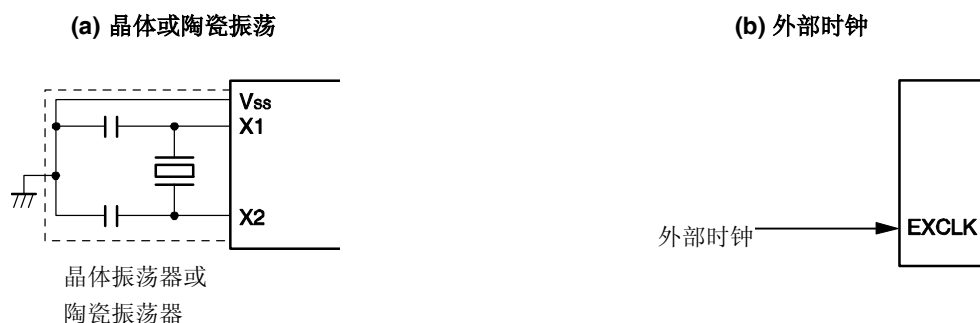
- 晶体或陶瓷振荡：EXCLK, OSCSEL = 0, 1
- 外部时钟输入：EXCLK, OSCSEL = 1, 1

当 X1 振荡器不使用是，设置输入端口模式(EXCLK, OSCSEL = 0, 0)。

当引脚不用作输入端口引脚时，参见表 2-2 未使用引脚的连接。

图 6-10 为 X1 振荡器的外部电路示例。

图 6-10. X1 振荡器的外部电路的示例



注意事项在下页中列出。

6.4.2 XT1 振荡器

XT1 振荡器采用晶体振荡器(标准值为：32.768 kHz)，连接到 XT1 和 XT2 引脚。

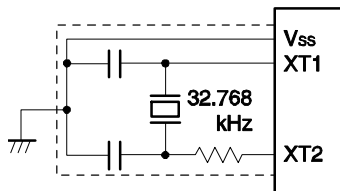
要使用 XT1 振荡器，设置时钟操作模式控制寄存器(CMC)的第 4 位 (OSCSELS) 为 1。

当 XT1 振荡器不使用时，设置输入端口模式(OSCSELS = 0)。

当引脚也不用作输入端口引脚时，参见表 2-2 未使用引脚的连接。

图 6-11 为 XT1 振荡器的外部电路示例。

图 6-11. XT1 振荡器 (晶体振荡) 的外部电路示例



注意事项在下页中列出。

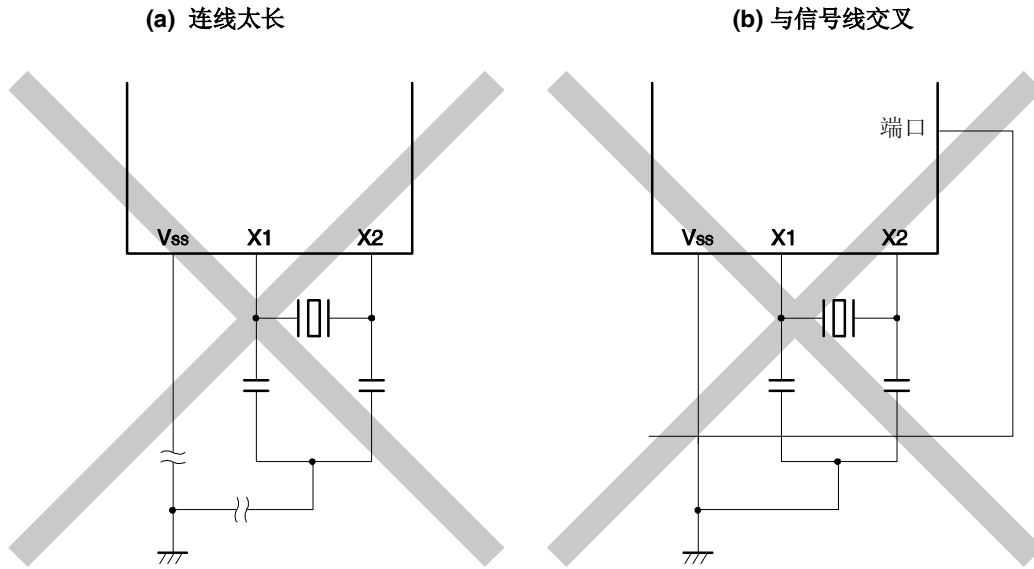
注意事项 1. 在使用 X1 振荡器和 XT1 振荡器时，图 6-10 和图 6-11 中被虚线包围的部分的配线应按照如下配线方法配线，以防止连接线电容产生不利影响。

- 连接线越短越好。
- 连接线不应与其他信号线交叉。流经的电流变化较大的信号线不要在振荡器周围布线。
- 要保持振荡器电容器的接地点电压与 V_{SS} 相同。不要将电容的地信号接入大电流地。
- 不要从振荡器获取信号。

注意 XT1 振荡器被设计成低振幅电路，以降低功耗。

图 6-12 为不正确的振荡器连接示例。

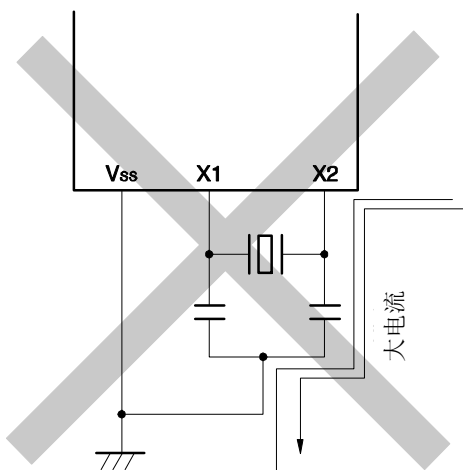
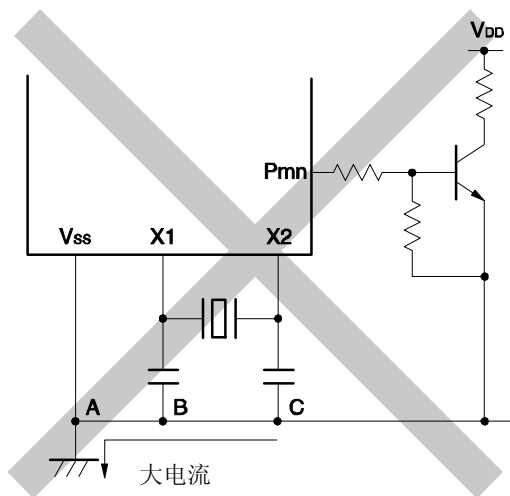
图 6-12. 不正确的振荡器连接示例(1/2)



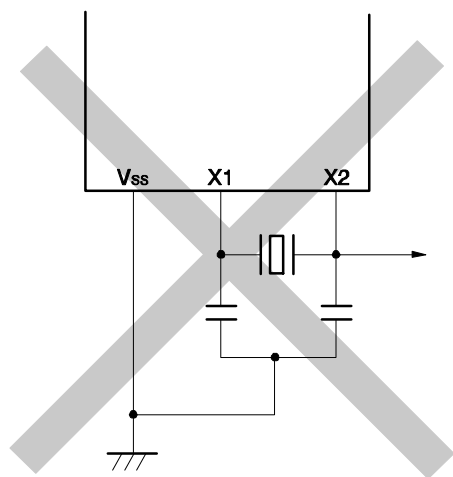
备注 在使用副系统时钟时，分别用 XT1 和 XT2 代替 X1 和 X2。串联电阻也插在 XT2 这边。

图 6-12. 不正确的振荡器连接示例(2/2)

(c) 连接线周围有变化大的电流

(d) 大电流经过振荡器的地线
(A、B、C三点电势波动)

(e) 获取信号



备注 在使用副系统时钟时，分别用 XT1 和 XT2 代替 X1 和 X2。串联电阻也接在 XT2 这边。

注意事项 2. 当 X2 和 XT1 并行连接时，X2 的串扰噪音会叠加到 XT1，从而产生错误。

6.4.3 内部高速振荡器

78K0R/KG3 产品中包含内部高速振荡器(8 MHz (TYP.))。可以通过时钟操作状态控制寄存器(CSC)的第 0 位(HIOSTOP)控制振荡。

复位释放后，内部高速振荡器自动开始振荡。

6.4.4 内部低速振荡器

78K0R/KG3 产品中包含内部低速振荡器。

内部低速振荡时钟只作为看门狗定时器的时钟使用。内部低速振荡时钟不能用作 CPU 时钟。

复位释放后，内部低速振荡器自动产生振荡，同时如果使用选项字节允许看门狗定时器操作，则可以驱动看门狗定时器 (240 kHz (TYP.))。

除了当看门狗定时器停止时内部低速振荡器 继续振荡。当看门狗定时器工作时，即使程序循环，内部低速振荡时钟不停止。

6.4.5 预分频器

当 CPU 使用主系统时钟和副系统时钟时，通过分频，预分频器可以产生多种 CPU/外围硬件时钟。

6.5 时钟发生器操作

时钟发生器用于产生以下几种时钟，并控制 CPU 的操作模式，如待机模式(参见图 6-1)。

- 主系统时钟 f_{MAIN}
 - 高速系统时钟 f_{MX}
 - X1 时钟 f_x
 - 外部主系统时钟 f_{EX}
 - 内部高速振荡时钟 f_{IH}
- 副系统时钟 f_{SUB}
- 内部低速振荡时钟 f_{IL}
- CPU/外围硬件时钟 f_{CLK}

在 78K0R/KG3 中，当复位释放后内部高速振荡器输出时，CPU 开始操作，因此具有以下特点。

(1) 增强安全功能

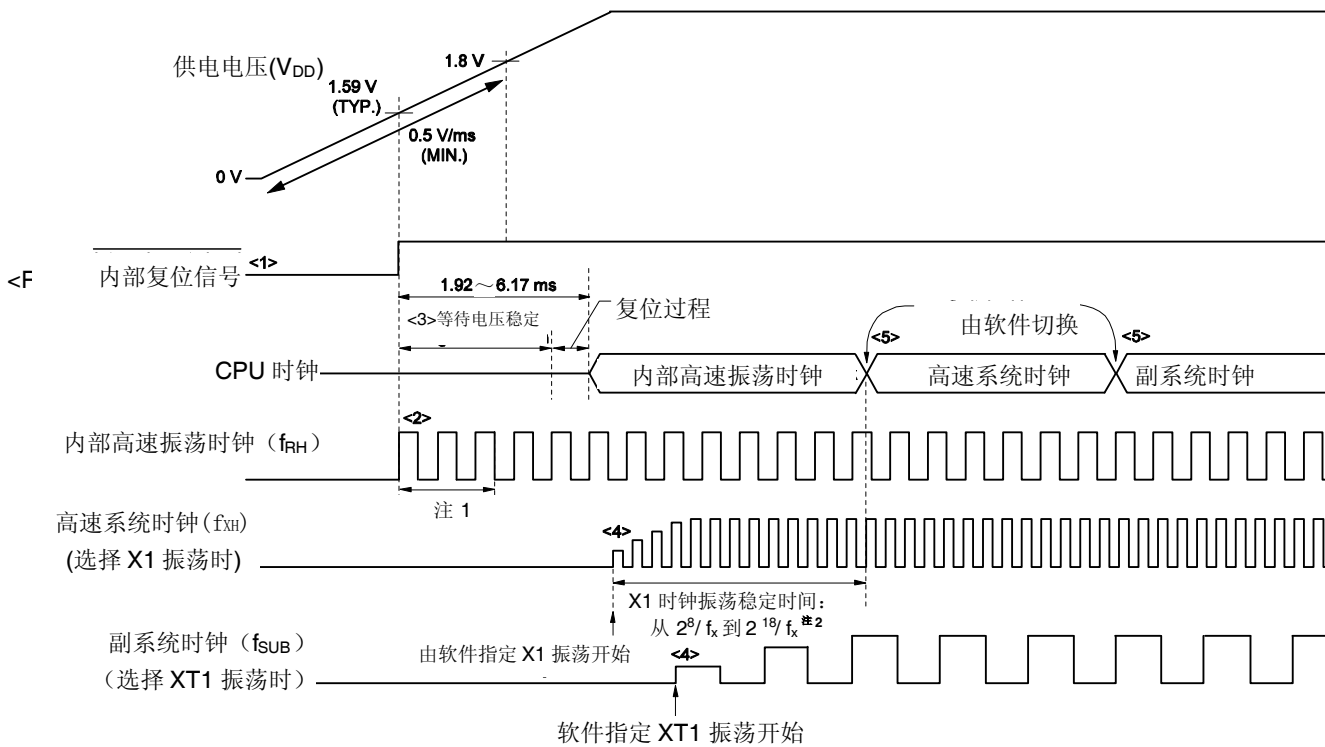
如果 X1 时钟被默认设置为 CPU 时钟，在 X1 时钟遭到损坏或连接错误时设备不能操作，因此复位释放后也不能操作。但是，如果 CPU 的初始时钟是内部高速振荡时钟，则在复位释放后，由内部高速振荡时钟启动设备。这样，系统只需执行最少操作(如由软件确认复位源或在出现故障时执行安全处理)，便可以安全关闭。

(2) 改善性能

由于 CPU 可以在不必等待 X1 时钟振荡稳定时间情况下就启动，所以总的性能得到了改善。

图 6-13 和图 6-14 为上电时，时钟发生器的操作图。

图 6-13. 供电电源打开时时钟发生器的操作 (当设置 LVI 默认开始功能停止 (选项字节: LVIOFF = 1)时)



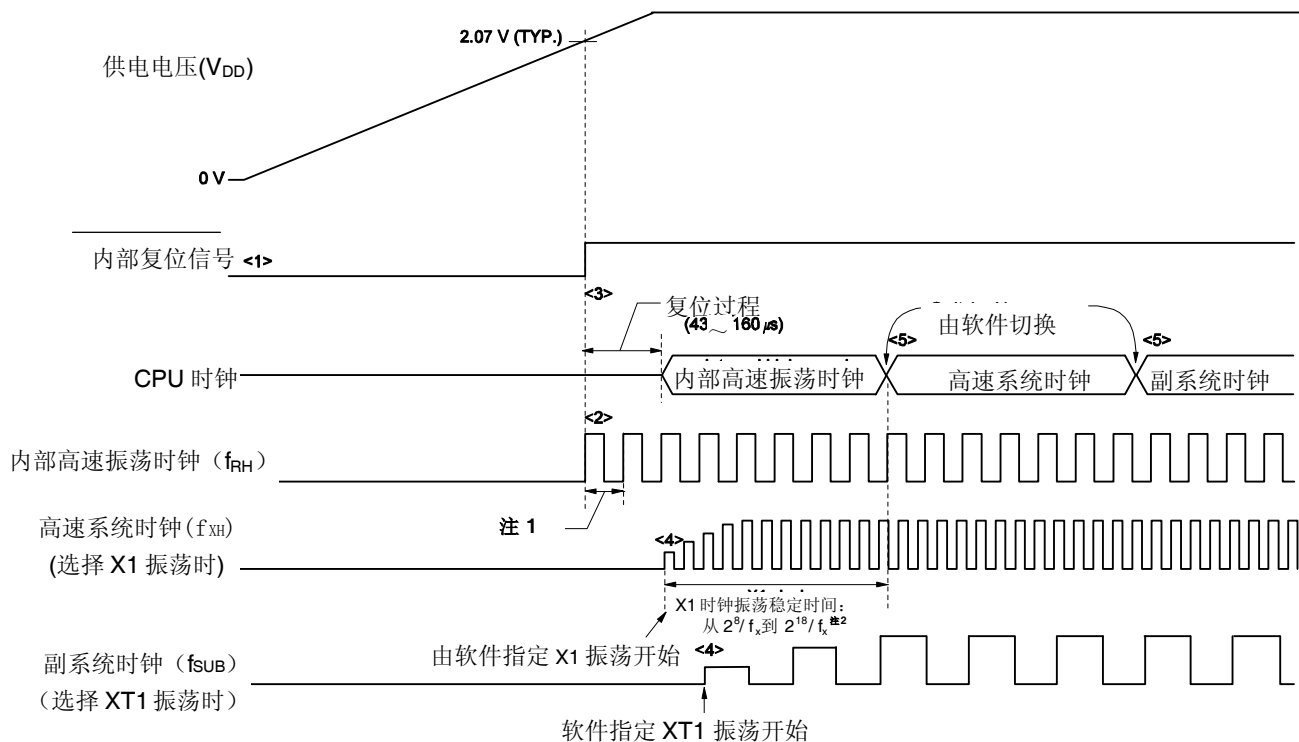
- <1> 当电源开启时, 通过上电清零 (POC) 电路产生一个内部复位信号。
- <2> 当供电电压超过 1.59 V (TYP.), 复位释放并且内部高速振荡器自动开始振荡。
- <3> 当供电电压上升斜率为 0.5 V/ms (MAX.)时, 复位释放并且在经历了供电电压和稳压器的稳定时间后, CPU 开始使用内部高速振荡时钟, 然后进行复位处理。
- <4> 通过软件设置 X1 或 XT1 时钟的振荡开始(参见 6.6.1 高速系统时钟控制示例中的(1)和 6.6.3 副系统时钟控制示例中的(1))。
- <5> 当 CPU 时钟切换到 X1 或 XT1 时钟时, 等待时钟振荡稳定, 然后通过软件设置切换(参见 6.6.1 高速系统时钟控制示例中的(3)和 6.6.3 副系统时钟控制示例中的(3))。

- 注
1. 内部电压稳定时间包括内部高速振荡时钟的振荡精确稳定时间。
 2. 释放复位后(如上图所示)或在 CPU 使用内部高速振荡时钟时释放 STOP 模式后, 使用振荡稳定时间计数器的状态寄存器(OSTC)来确认 X1 时钟的振荡稳定时间。如果 CPU 使用高速系统时钟(X1 振荡), 则可使用振荡稳定时间选择寄存器(OSTS)设置释放 STOP 模式时的振荡稳定时间。

- 注意事项**
1. 在供电电压达到 1.8V 之前, 如果电压上升斜率小于 0.5 V/ms (MAX.), 则输入一个低电平到电源的 RESET 引脚直至电压达到 1.8V, 或者通过使用选项字节(POCMODE = 1)设置 2.7 V/1.59 V POC 模式(见图 6-14)。通过这种方式, CPU 的操作时序与 <2> 及由 RESET 引脚释放复位后的时序相同, 如图 6-13 所示。
 2. 当使用 EXCLK 引脚的外部时钟输入时, 不需要等待振荡稳定时间。

备注 当微控制器正在操作时, 不作为 CPU 时钟使用的时钟可以通过软件设置来停止。内部高速振荡时钟和高速系统时钟可以通过执行 STOP 指令来停止(参见 6.6.1 高速系统时钟控制示例中的(4)和 6.6.3 副系统时钟控制示例中的(4))。

图 6-14. 供电电源打开时时钟发生器的操作 (当设置 LVI 默认开始功能允许 (选项字节: LVIOFF = 0)时)



- <1> 当电源开启时, 通过上电清零 (POC) 电路产生一个内部复位信号。
- <2> 当供电电压超过 2.07 V (TYP.), 复位释放并且内部高速振荡器自动开始振荡。
- <3> 复位释放并进行了复位处理后, CPU 开始使用内部高速振荡时钟操作。
- <4> 通过软件设置 X1 或 XT1 时钟的振荡开始(参见 6.6.1 高速系统时钟控制示例中的(1)和 6.6.3 副系统时钟控制示例中的(1))。
- <5> 当 CPU 时钟切换到 X1 或 XT1 时钟时, 等待时钟振荡稳定, 然后通过软件设置切换(参见 6.6.1 高速系统时钟控制示例中的(3)和 6.6.3 副系统时钟控制示例中的(3))。

- 注**
1. 内部复位处理时间包括内部高速振荡时钟的震荡精确稳定时间。
 2. 释放复位后(如上图所示)或在 CPU 使用内部高速振荡时钟时释放 STOP 模式后, 使用振荡稳定时间计数器的状态寄存器(OSTC)来确认 X1 时钟的振荡稳定时间。如果 CPU 使用高速系统时钟(X1 振荡), 则可使用振荡稳定时间选择寄存器(OSTS)设置释放 STOP 模式时的振荡稳定时间。
- 注意事项**
1. 在供电电压达到 1.59V(TYP.)后, 必需有电压振荡稳定时间。如果在供电电源振荡稳定时间内电源电压从 1.59 V (TYP.)上升到 2.07 V (TYP.), 在复位处理前自动产生供电电源振荡稳定时间。
 2. 当使用 EXCLK 引脚的外部时钟输入时, 不需要等待振荡稳定时间。
- 备注**
- 当微控制器正在操作时, 不作为 CPU 时钟使用的时钟可以通过软件设置来停止。内部高速振荡时钟和高速系统时钟可以通过执行 STOP 指令来停止(参见 6.6.1 高速系统时钟控制示例中的(4), 6.6.2 内部高速振荡时钟控制示例中的(3)和 6.6.3 副系统时钟控制示例中的(4))。

6.6 控制时钟

6.6.1 控制高速系统时钟的示例

如下两种高速系统时钟可用。

- X1 时钟: 晶体/陶瓷振荡器连接到 X1 和 X2 引脚。
- 外部主系统时钟: 外部时钟输入到 EXCLK 引脚。

不使用高速系统时钟时，X1/P121 和 X2/EXCLK/P122 引脚可用作 I/O 端口引脚。

注意事项 X1/P121 和 X2/EXCLK/P122 引脚复位释放后为输入端口模式。

下面描述的示例是以下情况时的设置过程示例。

- (1) 振荡 X1 时钟时
- (2) 当使用外部主系统时钟
- (3) 当使用高速系统时钟作为 CPU/外围硬件时钟
- (4) 停止高速系统时钟时

(1) X1 时钟振荡时设置过程示例

<1> 设置 P121/X1 和 P122/X2/EXCLK 引脚并 设置振荡频率 (CMC 寄存器)

- $2\text{ MHz} \leq f_x \leq 10\text{ MHz}$

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
0	1	0	0/1	0	0	0	0

- $10\text{ MHz} < f_x \leq 20\text{ MHz}$

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
0	1	0	0/1	0	0	0	1

- 备注**
- 1. f_x : X1 时钟振荡频率
 - 2. P123/XT1 和 P124/XT2 引脚的设置，参见 6.6.3 控制副系统时钟的示例。

<2> 控制 X1 时钟振荡 (MOC 寄存器)
若 MSTOP 被清零，则 X1 振荡器开始振荡。

<3> 等待 X1 时钟振荡稳定
检测 OSTC 寄存器并等待所需的时间。
在等待时间内，其它软件处理过程的执行可以使用内部高速振荡时钟。

- 注意事项**
- 1. 只有当复位释放后才能写入 CMC 寄存器，通过 8 位存储器操作指令。
因此，需要同时设置 OSCSELS 位的值。关于 OSCSELS 位，参见 6.6.3 副系统时钟控制的示例。
 - 2. 在供电电压达到时钟需要的工作电压后设置 X1 时钟 (参见 第二十九章 电气特性 (目标值))。

(2) 使用外部主系统时钟时设置过程示例

<1> 设置 P121/X1 和 P122/X2/EXCLK 引脚(CMC 寄存器)

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
1	1	0	0/1	0	0	0	×

备注 1. ×: 不必考虑

2. P123/XT1 和 P124/XT2 引脚的设置, 参见 6.6.3 (1) 当副系统时钟振荡时的设置过程的示例。

<2> 控制外部主系统时钟输入(CSC 寄存器)

MSTOP 清为 0 时, 外部主系统时钟 的输入允许。

注意事项 1. 只有当复位释放后才能写入 CMC 寄存器, 通过 8 位存储器操作指令。

因此, 需要同时设置 OSCSELS 位的值。关于 OSCSELS 位, 参见 6.6.3 副系统时钟控制的示例。

2. 在供电电压达到时钟需要的工作电压后设置外部主系统时钟 (参见 第二十九章 电气特性 (目标值))。

(3) 使用高速系统时钟作为 CPU/外部硬件时钟时设置过程示例

<1> 设置高速系统 时钟振荡^註

(参见 6.6.1 (1) X1 时钟振荡时设置过程示例和 (2) 使用外部主系统时钟时设置过程示例。)

注 当高速系统时钟已经运行时, 不需要设置<1>。

<2> 设置高速系统时钟作为 CPU/外围硬件时钟的源时钟, 并设置时钟的分频 (CKC 寄存器)

MCM0	MDIV2	MDIV1	MDIV0	CPU/外围硬件时钟 (f _{CLK}) 的选择
1	0	0	0	f _{MX}
	0	0	1	f _{MX} /2
	0	1	0	f _{MX} /2 ²
	0	1	1	f _{MX} /2 ³
	1	0	0	f _{MX} /2 ⁴
	1	0	1	f _{MX} /2 ⁵ ^註

注 f_{MX} < 4 MHz 时设置禁止。

<3> 如果外围硬件宏不使用，可以停止供给硬件宏指令的输入时钟。

(PER0 寄存器)

RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN
-------	-------	-------	--------	--------	--------	---	--------

(PER1 寄存器)

0	0	0	0	0	0	0	EXBEN
---	---	---	---	---	---	---	-------

xxxEN	输入时钟控制
0	停止供给输入时钟。
1	供给输入时钟。

注意事项 确保 PER0 寄存器的第 1 位和 PER1 的第 1~7 位为 0。

- 备注
- RTCEN: 实时计数器输入时钟的控制
 - DACEN: D/A 转换器输入时钟的控制
 - ADCEN: A/D 转换器输入时钟的控制
 - IIC0EN: 串行接口 IIC0 输入时钟的控制
 - SAU1EN: 串行阵列单元 1 输入时钟的控制
 - SAU0EN: 串行阵列单元 0 输入时钟的控制
 - TAU0EN: 定时器阵列单元输入时钟的控制
 - EXBEN: 外部总线接口输入时钟的控制

(4) 停止高速系统时钟时设置过程示例

在如下两种情况下，高速系统时钟停止 (如果使用外部时钟，禁止时钟输入)。

- 执行 STOP 指令
- 设置 MSTOP 为 1

(a) 执行 STOP 指令

- <1> 设置 停止外围硬件
- 停止那些不能在 STOP 模式下使用的外部硬件(需要了解不能在 STOP 模式下使用的外部硬件，可参见第十九章 待机功能)
- <2> STOP 模式释放后设置 X1 时钟振荡稳定时间
- 当 CPU 使用 X1 时钟时，在 STOP 指令执行前设置 OSTS。
- <3> 执行 STOP 指令
- 执行 STOP 指令时，系统处于 STOP 模式下并且 X1 振荡停止 (禁止外部时钟输入)。

(b) 通过将 MSTOP 设置为 1 来停止 X1 振荡(禁止外部时钟输入)**<1> 确认 CPU 时钟状态(CKC 寄存器)**

根据 CLS 和 MCS 确认 CPU 没有使用高速系统时钟。

当 $CLS = 0$ 且 $MCS = 1$ 时, CPU 采用高速系统时钟, 因此将 CPU 时钟切换为副系统时钟或者内部高速振荡时钟。

CLS	MCS	CPU 时钟状态
0	0	内部高速振荡时钟
0	1	高速系统时钟
1	×	副系统时钟

<2> X1 时钟振荡重启后设置 X1 时钟振荡的稳定时间[※]

优先设置 MSTOP 为"1", 在 X1 时钟振荡重启后, 设置 OSTS 寄存器的值大于由 OSTS 寄存器确定的计数值。

<3> 停止高速系统时钟 (CSC 寄存器)

MSTOP 设置为 1 时, X1 振荡停止 (外部时钟的输入禁止)。

注 当高速系统时钟在 X1 振荡模式下, 此设置需要恢复 X1 时钟振荡。

外部时钟输入模式中此设置不需要。

注意事项 设置 MSTOP 为 1 时一定要确保 $MCS = 0$ 或 $CLS = 1$ 。另外, 停止工作在高速系统时钟的外围硬件。

6.6.2 控制内部高速振荡时钟的示例

下面描述的示例是以下情况时的设置过程示例。

- (1) 当重启 内部高速振荡时钟的震荡时
- (2) 当使用内部高速振荡时钟作为 CPU/外围硬件时钟时
- (3) 当停止内部高速振荡时钟时

(1) 内部高速振荡时钟重新振荡时设置过程示例[※]**<1> 内部高速振荡时钟重新振荡的设置(RCM 寄存器)**

当 HIOSTOP 清为 0 时, 内部高速振荡时钟重新振荡。

注 复位释放后, 内部高速振荡器自动开始振荡并且内部高速振荡时钟作为 CPU/外围硬件时钟使用。

(2) 当 内部高速振荡时钟作为 CPU/外围硬件时钟是设置过程示例**<1> 内部高速振荡时钟重新振荡[※]**

(参见 6.6.2 (1) 当重启内部高速振荡时钟时设置过程示例)。

注 当内部高速振荡时钟或高速系统时钟已经运行时, 不需要设置<1>。

<2> 设置内部高速振荡时钟 作为 CPU/外围硬件时钟的源时钟，并设置时钟 (CKC 寄存器)的分频比

MCM0	MDIV2	MDIV1	MDIV0	CPU/外围硬件时钟 (f _{clk})的选择
0	0	0	0	f _{ih}
	0	0	1	f _{ih} /2
	0	1	0	f _{ih} /2 ²
	0	1	1	f _{ih} /2 ³
	1	0	0	f _{ih} /2 ⁴
	1	0	1	f _{ih} /2 ⁵

注意事项 如果在重启内部高速振荡时钟后将 CPU/外围硬件时钟从高速系统时钟切换到内部高速振荡时钟，要经过至少 10 μs。

如果在内部高速振荡时钟重启后立即切换，则内部高速振荡的精度不能保证到 10 μs。

(3) 停止内部高速振荡时钟时设置过程示例

可以用如下两种方式停止内部高速振荡时钟。

- 执行 STOP 指令
- 设置 HIOSTOP 为 1

(a) 执行 STOP 指令

<1> 外围硬件的设置

停止那些不能在 STOP 模式下使用的外部硬件(如需了解不能在 STOP 模式下使用的外部硬件，可参见第十九章 待机功能)。

<2> 释放待机模式后 X1 时钟振荡稳定时间的设置

CPU 使用 X1 时钟时，在 STOP 指令执行前设置 OSTs。

<3> 执行 STOP 指令

执行 STOP 指令时，系统处于 STOP 模式下并且停止内部高速振荡时钟。

(b) 通过设置 HIOSTOP 为 1 停止内部高速振荡时钟

<1> 确定 CPU 时钟状态(CKC 寄存器)

根据 CLS 和 MCS 确认 CPU 没有使用内部高速振荡时钟。

CLS = 0 和 MCS = 0 时，CPU 采用内部高速振荡时钟，因此将 CPU 时钟切换为高速系统时钟或副系统时钟。

CLS	MCS	CPU 时钟状态
0	0	内部高速振荡时钟
0	1	高速系统时钟
1	×	副系统时钟

<2> 停止内部高速振荡时钟 (CSC 寄存器)
当 HIOSTOP 设置为 1 时，内部高速振荡时钟停止。

注意事项 当 HIOSTOP = 1 时，必须确认 MCS = 1 或 CLS = 1。此外，必须停止正在使用内部高速振荡时钟的外部硬件。

6.6.3 控制副系统时钟示例

通过连接晶体振荡器到 XT1 和 XT2 引脚，副系统时钟可振荡。
当不使用副系统时钟时， XT1/P123 和 XT2/P124 引脚可用作输入端口引脚。

注意事项 XT1/P123 和 XT2/P124 引脚在复位释放后为输入端口模式。

- 下面描述的示例是以下情况时的设置过程示例。
- (1) XT1 时钟振荡
 - (2) 使用副系统时钟作为 CPU 时钟
 - (3) 停止副系统时钟

注意事项 当副系统时钟作为 CPU 时钟时，副系统时钟也提供给外围硬件(除实时计数器，时钟输出/蜂鸣器输出，和看门狗定时器外)。此时，不保证 A/D 转换器 和 IIC0 的操作。外围硬件的操作特性，参见第二十九章 电气特性（目标值）中的各种硬件的说明。

(1) 副系统时钟振荡的设置示例

<1> 设置 P123/XT1 和 P124/XT2 引脚(CMC 寄存器)

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
0/1	0/1	0	1	0	0	0	×

备注 1. ×: 不必考虑
 2. P121/X1 和 P122/X2 引脚的设置，参见 6.6.1 高速系统时钟控制示例。

- <2> 副系统时钟 (CSC 寄存器)振荡控制
如果 XTSTOP 清为 0， XT1 振荡器开始振荡。
- <3> 等待副系统时钟振荡稳定
通过软件等待副系统时钟 的振荡稳定时间，使用定时器功能。

注意事项 只有当复位释放后才能写入 CMC 寄存器，通过 8 位存储器操作指令。
因此，需要同时设置 EXCLK 和 OSCSEL 位的值。关于 EXCLK 和 OSCSEL 位，参见 6.6.1 (1) X1 时钟振荡设置过程示例或 6.6.1 (2)当使用外部主系统时钟时设置过程示例。

(2) 使用副系统时钟作为 CPU 时钟时设置过程示例

<1> 设置 副系统时钟 振荡^註
(参见 6.6.3 (1) 副系统时钟振荡设置过程示例。)

注 当副系统时钟已经运行时，不需要设置<1>。

<2> 设置副系统时钟作为 CPU 时钟 (CKC 寄存器)的源时钟

CSS	CPU/外围硬件时钟 (fCLK)的选择
1	fSUB/2

注意事项 当副系统时钟作为 CPU 时钟时，副系统时钟也提供给外围硬件(除实时计数器，时钟输出/蜂鸣器输出，和看门狗定时器外)。此时，不保证 A/D 转换器 和 IIC0 的操作。外围硬件的操作特性，参见第二十九章 电气特性（目标值）中的各种硬件的说明。

(3) 停止副系统时钟时设置过程示例

<1> 确定 CPU 时钟状态(CKC 寄存器)
根据 CLS 和 MCS 确认 CPU 没有使用副系统时钟。
当 CLS = 1 时，CPU 采用副系统时钟，因此将 CPU 时钟切换为内部高速振荡时钟或高速系统时钟。

CLS	MCS	CPU 时钟状态
0	0	内部高速振荡时钟
0	1	高速系统时钟
1	×	副系统时钟

<2> 停止副系统时钟 (CSC 寄存器)
XTSTOP 设置为 1 时，停止 XT1 振荡。

注意事项 1. 当设置 XTSTOP 为 1 时确保 CLS = 0。另外，如果副系统时钟工作停止外围硬件。
2. 副系统时钟振荡不能通过使用 STOP 指令来停止。

6.6.4 控制内部低速振荡时钟示例

内部低速振荡时钟不能用作 CPU 时钟。只能用作看门狗定时器时钟。

复位释放后内部低速振荡器自动开始振荡，并且如果通过选项字节允许看门狗定时器操作，则驱动看门狗定时器(240 kHz (TYP.))。

除非看门狗定时器停止，否则内部低速振荡器继续振荡。当看门狗定时器操作时，即使程序循环的情况下，内部低速振荡时钟也不停止。

(1) 停止内部低速振荡时钟时设置过程示例

内部低速振荡时钟在下面两种情况下可被停止。

- 通过选项字节(000C0H 的第 0 位(WDSTBYON) = 0)在 HALT/STOP 模式下停止看门狗定时器，并且执行 HALT 或 STOP 指令。
- 通过选项字节 (000C0H 的第 4 位(WDTON) = 0)停止看门狗定时器。

(2) 内部低速振荡时钟重新振荡时设置过程示例

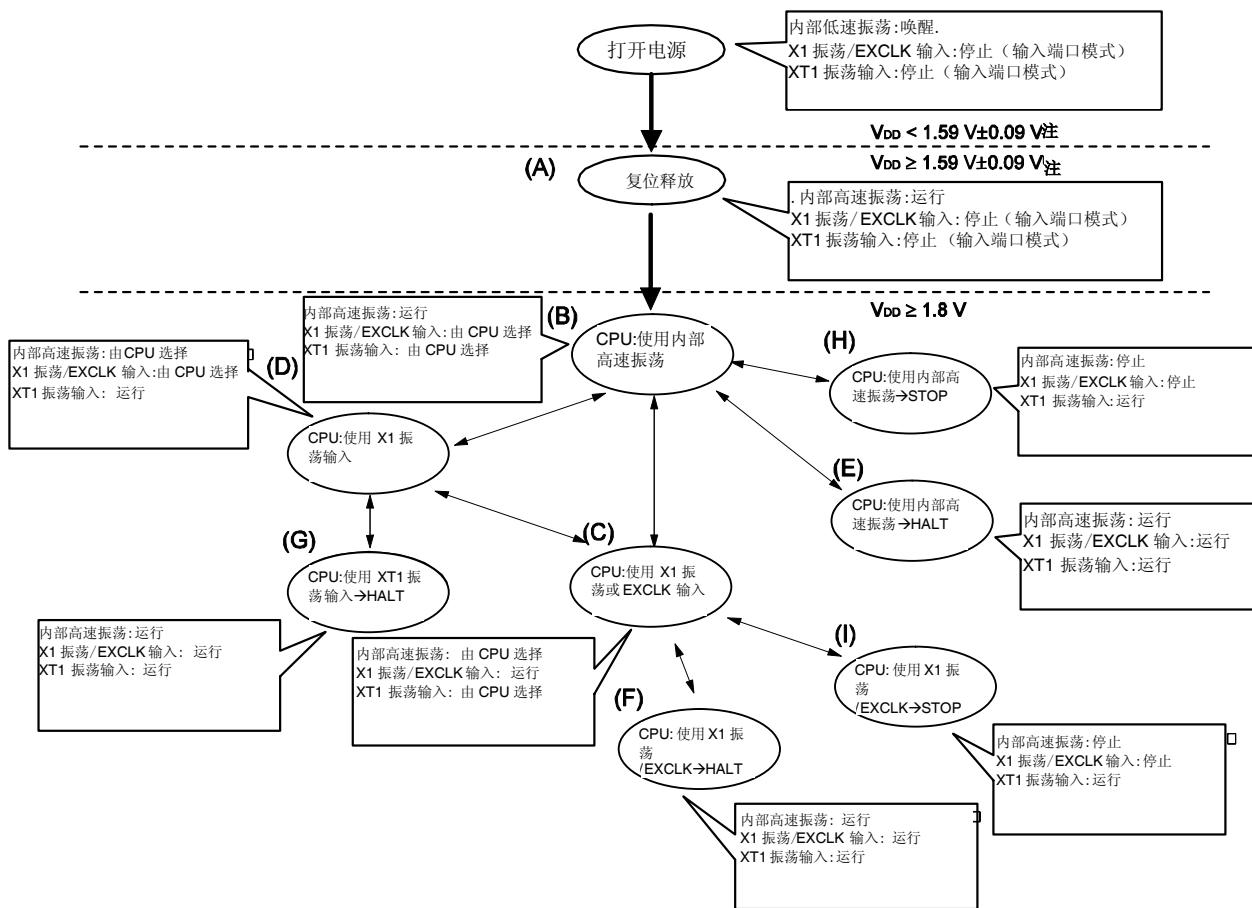
如下内部低速振荡时钟可被重启。

- 释放 HALT 或 STOP 模式
(只有当通过选项字节(000C0H 的第 0 位(WDSTBYON) = 0)在 HALT/STOP 模式下停止看门狗定时器和当执行 HALT 或 STOP 指令使看门狗定时器停止时)。

6.6.5 CPU 时钟状态转换图

图 6-15 显示了该产品 CPU 时钟状态转换图。

图 6-15. CPU 时钟状态转换图



注 初步值可能改变。

备注 如果低电压检测电路 (LVI)通过默认选项字节设置到开, 直到电源电压 (V_{DD}) 超过 $2.07\text{ V} \pm 0.2\text{ V}$ 复位才被释放^注。
在复位处理后状态变到上图(B)。

表 6-4 显示了 CPU 时钟的切换过程与 SFR 寄存器设置示例。

表 6-4. CPU 时钟切换与 SFR 寄存器设置示例(1/4)

(1) 复位释放后(A)CPU 使用内部高速振荡时钟(B)

状态发送	SFR 寄存器设置
(A) → (B)	SFR 寄存器不必设置 (复位释放后默认状态)。

(2) 复位释放后(A)CPU 使用高速系统时钟(C)

(复位释放后 CPU 立即使用内部高速振荡时钟(B)。)

(SFR 寄存器设置序列)

设置 SFR 寄存器的标志 状态发送	CMC 寄存器 ^{※1}			CSC 寄存器	OSMC 寄存器	OSTC 寄存器	CKC 寄存器
	EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0
(A) → (B) → (C) (X1 时钟: $2\text{ MHz} \leq f_x \leq 10\text{ MHz}$)	0	1	0	0	0	必须检查	1
(A) → (B) → (C) (X1 时钟: $10\text{ MHz} < f_x \leq 20\text{ MHz}$)	0	1	1	0	1 ^{※2}	必须检查	1
(A) → (B) → (C) (外部 main 时钟)	1	1	0/1	0	0/1	不能检查	1

注 1. CMC 和 OSMC 寄存器只有在复位后通过 8 位存储器操作指令写入。

2. 仅当 $f_{CLK} > 10\text{ MHz}$ 时 $FSEL = 1$

如果选择分频时钟并且 $f_{CLK} \leq 10\text{ MHz}$, 即使 $f_x > 10\text{ MHz}$ 也可使用 $FSEL = 0$ 。

注意事项 供电电压达到所用时钟的操作电压后, 设置时钟(参见 第二十九章 电气特性(标准产品))。

(3) 复位释放后(A)CPU 使用副系统时钟(D)

(复位释放后 CPU 立即使用内部高速振荡时钟(B)。)

(SFR 寄存器设置序列)

设置 SFR 寄存器的标志 状态发送	CMC 寄存器 [※]	CSC 寄存器	等待振荡稳定	CKC 寄存器
	OSCSELS	XTSTOP		CSS
(A) → (B) → (D)	1	0	需要	1

注 只有在复位后通过 8 位存储器操作指令写入。

备注 表 6-4 中的(A) ~ (I)对应图 6-15 中的(A) ~ (I)。

表 6-4. CPU 时钟切换与 SFR 寄存器设置示例(2/4)

(4) CPU 时钟从内部高速振荡时钟(B)切换到高速系统时钟(C)

(SFR 寄存器设置序列) ▶

状态发送 SFR 寄存器的设置标志	CMC 寄存器 ^{注1}			OSTS 寄存器	CSC 寄存器	OSMC 寄存器	OSTC 寄存器	CKC 寄存器
	EXCLK	OSCSEL	AMPH		MSTOP	FSEL		MCM0
(B) → (C) (X1 时钟: 2 MHz ≤ f _X ≤ 10 MHz)	0	1	0	注 2	0	0	必须检查	1
(B) → (C) (X1 时钟: 10 MHz < f _X ≤ 20 MHz)	0	1	1	注 2	0	1 ^{注3}	必须检查	1
(B) → (C) (外部 main 时钟)	1	1	0/1	注 2	0	0/1	不能检查	1

如果这些寄存器已经设置则不需要 如果 CPU 使用高速系统时钟则不必要

- 注 1. CMC 和 OSMC 寄存器只有在复位后才能改变。如果已经设置了该项，则无需再设置。
2. 设置振荡稳定时间如下。
- OSTC 振荡稳定时间 ≤ 由OSTS设置的振荡稳定时间
3. 仅当 f_{CLK} > 10 MHz， FSEL = 1
- 如果选择分频时钟并且 f_{CLK} ≤ 10 MHz，即使 f_X > 10 MHz 也可使用 FSEL = 0 。

注意事项 供电电压达到所用时钟的操作电压后，设置时钟(参见 第二十九章 电气特性(标准产品))。

(5) CPU 时钟从内部高速振荡时钟(B)切换到副系统时钟(D)

(SFR 寄存器设置序列) ▶

状态发送 设置 SFR 寄存器标志	CMC 寄存器 ^注	CSC 寄存器	等待振荡稳定	CKC 寄存器
	OSCSELS	XTSTOP		CSS
(B) → (D)	1	0	需要	1

如果 CPU 工作在 副系统时钟则不需要

- 注 CMC 寄存器只有在复位后通过 8 位存储器操作指令写入。
- 备注 表 6-4 中的(A) ~ (I)对应图 6-15 中的(A) ~ (I)。

表 6-4. CPU 时钟切换与 SFR 寄存器设置示例(3/4)

(6) CPU 时钟从高速系统时钟(C)切换到内部高速振荡时钟(B)

(SFR 寄存器设置序列) ▶

SFR 寄存器的设置标志	CSC 寄存器	振荡精确稳定时间	CKC 寄存器
	HIOSTOP		MCM0
状态发送			
(C) → (B)	0	10 μs	0

如果这些寄存器已经设置则不需要

(7) CPU 时钟从高速系统时钟(C)切换到副系统时钟(D)

(SFR 寄存器设置序列) ▶

SFR 寄存器的设置标志	CMC 寄存器*	CSC 寄存器	等待振荡稳定	CKC 寄存器
	OSCELS	XTSTOP		CSS
状态发送				
(C) → (D)	1	0	需要	1

如果 CPU 使用副系统时钟则不必要

注 CMC 寄存器只有在复位后通过 8 位存储器操作指令写入。

(8) CPU 时钟从副系统时钟(D)切换到内部高速振荡时钟(B)

(SFR 寄存器设置序列) ▶

SFR 寄存器的设置标志	CSC 寄存器	CKC 寄存器	
	HIOSTOP	MCM0	CSS
状态发送			
(D) → (B)	0	0	0

如果 CPU 使用内部高速振荡时钟则不必要

如果这些寄存器已经设置则不需要

表 6-4. CPU 时钟切换与 SFR 寄存器设置示例(4/4)

(9) CPU 时钟从副系统时钟(D)切换到高速系统时钟(C)

(SFR 寄存器设置序列) ▶

SFR 寄存器的设置标志 状态发送	CMC 寄存器 ^{※1}			OSTS 寄存器	CSC 寄 存器	OSMC 寄存器	OSTC 寄存器	CKC 寄存器	
	EXCLK	OSCSEL	AMPH		MSTOP	FSEL		MCM0	CSS
(D) → (C) (X1 时钟: $2\text{ MHz} \leq f_x \leq 10\text{ MHz}$)	0	1	0	注 2	0	0	必须检查	1	0
(D) → (C) (X1 时钟: $10\text{ MHz} < f_x \leq 20\text{ MHz}$)	0	1	1	注 2	0	1 ^{※3}	必须检查	1	0
(D) → (C) (外部主时钟)	1	1	0/1	注 2	0	0/1	不能检查	1	0

如果这些寄存器已经设置则不需要
如果 CPU 使用高速系统时钟则不必要
如果这些寄存器已经设置则不需要

- 注 1. CMC 和 OSMC 寄存器只有在复位后才能改变。如果已经设置了该项，则无需再设置。
2. 设置振荡稳定时间如下。
- OSTC 振荡稳定时间 $\leq$ 由 OSTS 设置的振荡稳定时间
3. 仅当 $f_{\text{CLK}} > 10\text{ MHz}$ ，FSEL = 1
 如果选择分频时钟并且 $f_{\text{CLK}} \leq 10\text{ MHz}$ ，即使 $f_x > 10\text{ MHz}$ 也可使用 FSEL = 0。

注意事项 供电电压达到所用时钟的操作电压后，设置时钟(参见 第二十九章 电气特性(标准产品))。

备注 表 6-4 中的(A) ~ (I)对应图 6-15 中的(A) ~ (I)。

(10) • CPU 使用内部高速振荡时钟(B)时 HALT 模式(E)的设置。

- CPU 使用高速系统时钟(C)时 HALT 模式(F)的设置。
- CPU 使用副系统时钟(D)时 HALT 模式(G)的设置。

状态发送	设置
(B) → (E) (C) → (F) (D) → (G)	执行 HALT 指令

(11) • CPU 使用内部高速振荡时钟(B)时 STOP 模式(H) 的设置。

- CPU 使用高速系统时钟(C)时 STOP 模式(I) 的设置。

(设置顺序) ▶

状态发送		设置		
(B) → (H)	X1 停止	停止那些不能在 STOP 模式下使用的外部功能	—	执行 STOP 指令
	X1 振荡		设置 OSTS 寄存器	
(C) → (I)				

备注 表 6-4 中的(A) ~ (I)对应图 6-15 中的(A) ~ (I)。

6.6.6 CPU 时钟切换之前的状况与切换之后的处理

CPU 时钟切换之前的状况与切换之后的处理显示如下。

表 6-5. 切换 CPU 时钟

CPU 时钟		切换前的状况	切换后的处理
切换前	切换后		
内部高速振荡时钟	X1 时钟	X1 振荡稳定 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 经历了振荡稳定时间	可以停止内部高速振荡器(HIOSTOP = 1).
	外部主系统时钟	允许来自 EXCLK 引脚的外部时钟输入 • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	副系统时钟	X1 振荡稳定 • OSCSELS = 1, XTSTOP = 0 • 经历了振荡稳定时间	
X1 时钟	内部高速振荡时钟	内部高速振荡器振荡 • RSTOP = 0	X1 振荡停止 (MSTOP = 1).
	外部主系统时钟	切换不允许 (要切换时钟, 执行复位后再设置它)	—
	副系统时钟	XT1 振荡稳定 • OSCSELS = 1, XTSTOP = 0 • 经历了振荡稳定时间	X1 振荡停止 (MSTOP = 1).
外部主系统时钟	内部高速振荡时钟	内部高速振荡器振荡 • RSTOP = 0	外部主系统时钟输入禁止 (MSTOP = 1).
	X1 时钟	切换不允许 (要切换时钟, 执行复位后再设置它)	—
	副系统时钟	XT1 振荡稳定 • OSCSELS = 1, XTSTOP = 0 • 经历了振荡稳定时间	外部主系统时钟输入禁止(MSTOP = 1).
副系统时钟	内部高速振荡时钟	内部高速振荡器振荡且选择内部高速振荡时钟作为主系统时钟 • HIOSTOP = 0, MCS = 0	XT1 振荡停止 (XTSTOP = 1)
	X1 时钟	X1 振荡稳定且选择高速系统时钟作为主系统时钟 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 经历了振荡稳定时间 • MCS = 1	
	外部主系统时钟	允许来自 EXCLK 引脚的外部时钟输入 并选择高速系统时钟作为主系统时钟 • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	

6.6.7 CPU 时钟和主系统时钟切换所需的时间

通过设置系统时钟控制寄存器(CKC)的第 0 位到第 2 位以及第 4 位(MDIV0~ MDIV2, MCM0, CSS)，可以切换 CPU 时钟(在主系统时钟和副系统时钟之间)，主系统时钟(在内部高速振荡时钟和高速系统时钟之间)，同时可以改变主系统时钟的分频比。

修改 CKC 后，实际的切换操作不会立即执行；使用切换前的时钟继续操作几个时钟(见表 6-6 ~ 表 6-9)。

可以通过 CKC 寄存器的第 7 位(CLS)来确定 CPU 使用主系统时钟还是副系统时钟。可以通过 CKC 寄存器的第 5 位(MCS)来确定主系统时钟是高速系统时钟 还是内部高速振荡时钟。

当切换 CPU 时钟时，外围硬件时钟 也被切换。

内部高速振荡时钟

表 6-6. 主系统时钟切换需要的最长时间

时钟 A	切换方法	时钟 B	类型
f _{IH}	↔	f _{MX}	类型 2 (参见表 6-8)
f _{MAIN}	↔	f _{SUB}	类型 3 (参见表 6-9)
f _{MAIN}	↔ (改变分频比)	f _{MAIN}	类型 1 (参见表 6-7)
f _{SUB}	↔ (改变分频比)	f _{SUB}	类型 1 (参见表 6-7)

表 6-7. 类型 1 中需要的最大时钟数

切换前的设置值	切换后的设置值	
	时钟 A	时钟 B
时钟 A		1 + f _A /f _B 时钟
时钟 B	1 + f _B /f _A 时钟	

表 6-8. 类型 2 中需要的最大时钟数

切换前的设置值		切换后的设置值	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} > f _{IH}		1 + f _{MX} /f _{IH} 时钟
	f _{MX} < f _{IH}		2 f _{IH} /f _{MX} 时钟
1 (f _{MAIN} = f _{MX})	f _{MX} > f _{IH}	2 f _{MX} /f _{IH} 时钟	
	f _{MX} < f _{IH}	1 + f _{MX} /f _{IH} 时钟	

(备注列在下页中)

表 6-9. 类型 3 需要的最大时钟数

切换前的设置值		切换后的设置值	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})	f _{MAIN} < f _{SUB}		2 + f _{MAIN} /f _{SUB} 时钟
	f _{MAIN} > f _{SUB}		1 + 2 f _{MAIN} /f _{SUB} 时钟
1 (f _{CLK} = f _{SUB})	f _{MAIN} < f _{SUB}	1 + 2 f _{SUB} /f _{MAIN} 时钟	
	f _{MAIN} > f _{SUB}	2 + f _{SUB} /f _{MAIN} 时钟	

- 备注**
1. 表 6-7 ~ 表 6-9 中列出的时钟数是切换前的 CPU 时钟数。
 2. 通过舍去小数部分，计算表 6-7 ~ 表 6-9 的时钟数。

示例： 将主系统时钟从内部高速振荡时钟切换到高速系统时钟(@ 振荡频率 f_{RH} = 8 MHz, f_{XH} = 10 MHz)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2 \text{ 时钟}$$

6.6.8 时钟振荡停止前的状况

下表列出了停止时钟振荡的寄存器标志位设置(禁止外部时钟输入)和时钟振荡停止前的状况。

表 6-10. 时钟振荡停止前的状况及标志位设置

时钟	时钟振荡停止前的状况 (禁止外部时钟输入)	SFR 寄存器的标志位 设置
内部高速振荡时钟	MCS = 1 或 CLS = 1 (CPU 不使用内部高速振荡时钟)	HIOSTOP = 1
X1 时钟	MCS = 0 或 CLS = 1 (CPU 不使用高速系统时钟)	MSTOP = 1
外部主系统时钟		
副系统时钟	CLS = 0 (CPU 不使用副系统时钟)	XTSTOP = 1

第七章 定时器阵列单元

每个定时器阵列单元有 8 个 16 位定时器。每个 16 位定时器叫一通道，并且可以作为一个独立定时器。另外，2 个或更多“通道”可用于创建高精度定时器。

独立操作功能	组合操作功能
• 间隔定时器 • 方波输出 • 外部事件计数器 • 分频功能 • 输入脉冲间隔测量 • 输入信号的高/低电平宽度测量	• PWM 输出 • 单脉冲输出 • 多路 PWM 输出

通道 7 与串行阵列单元 1 组合可用作实现 LIN 总线接收处理。

7.1 定时器阵列单元的功能

定时器阵列单元有如下功能。

7.1.1 独立操作时每通道的功能

无论其他通道的操作模式任何通道可使用独立操作功能(详细情况，参考 7.6.1 独立操作功能和组合操作功能的概述)。

- (1) 间隔定时器

一个单元的每个定时器可用作产生固定间隔的中断(INTTM0n) 的参考定时器。
- (2) 方波输出

每次执行触发操作，产生 INTTM0n，并且占空比为 50%的方波从定时器输出引脚 (TO0n)输出。
- (3) 外部事件计数器

当输入到定时器输入引脚(TI0n)的信号的有效沿的数量达到指定值时，一个单元的每个定时器可用作产生中断的事件计数器。
- (4) 分频功能

从定时器输入引脚(TI0n)输入的时钟被分频，并且从输出引脚 (TO0n)输出。
- (5) 输入脉冲间隔测量

由输入到定时器输入引脚(TI0n)的脉冲信号的有效沿开始计数。定时器的计数值在下个脉冲有效沿被捕捉。这样，可以测量输入脉冲的间隔。
- (6) 输入信号高/低电平宽度测量

由输入到定时器输入引脚(TI0n)的信号的单沿计数开始，并且在其他沿捕捉计数值。这样，可以测量输入信号的高电平或低电平宽度。

备注 n: 通道数 (n = 0 ~7)

7.1.2 和其他通道操作时每个通道的功能

组合操作功能是同通过主通道 (控制周期的主要参考定时器)和从通道 (随主通道操作的定时器)组合一起操作 (详细起, 参考 7.6.1 独立操作功能和组合操作功能的概述)。

(1) PWM (脉冲宽度调制器)输出

两个通道用作设置产生指定周期和指定占空系数的脉冲。

(2) 单脉冲输出

两个通道用作设置产生指定延迟时间和指定脉冲宽度的单脉冲。

(3) 多路 PWM (脉冲宽度调制器) 输出

通过扩展 PWM 功能, 使用一个主通道和两个以上从通道, 可以产生七种类型指定周期和额指定占空系数的 PWM 信号。

7.1.3 LIN 总线支持功能(仅限于通道 7)

(1) 唤醒信号的检测

定时器在输入到 UART3 的串行数据输入引脚 (RxD3) 的信号的下沿开始计数。这样, 低电平宽度可以测量。如果低电平宽度大于指定值, 则认为是一个唤醒信号。

(2) 同步中断域检测

在检测到唤醒信号后, 定时器在输入到 UART3 的串行数据输入引脚 (RxD3) 的信号的下沿开始计数, 并且定时器的计数值在上升沿被捕捉。这样, 低电平宽度可测量到。如果低电平宽度大于指定值, 则认为是同步中断域。

(3) 同步域的脉冲宽度测量

检测到同步中断域后, 在输入到 UART3 的串行数据输入引脚 (RxD3) 的信号的低电平宽度和高电平宽度可测量到。这样通过测量到的同步域的位间隔, 可计算出波特率。

7.2 定时器阵列单元的配置

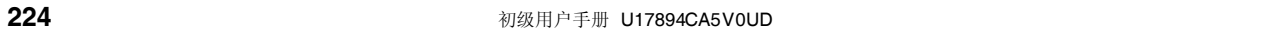
定时器阵列单元包括如下硬件。

表 7-1. 定时器阵列单元的配置

项目	配置
定时器/计数器	定时器 计数器 寄存器 0n (TCR0n)
寄存器	定时器数据寄存器 0n (TDR0n)
定时器输入	TI00~TI07 引脚, RxD3 引脚(对于 LIN 总线)
定时器输出	TO00~TO07 引脚, 输出控制器
控制寄存器	<单位设置 block 的寄存器> • 外围设备允许寄存器 0 (PER0) • 定时器时钟选择寄存器 0 (TPS0) • 定时器通道允许状态寄存器 0 (TE0) • 定时器通道启动寄存器 0 (TS0) • 定时器通道停止寄存器 0 (TT0) • 定时器输入选择寄存器 0 (TIS0) • 定时器输出允许寄存器 0 (TOE0) • 定时器输出寄存器 0 (TO0) • 定时器输出电平寄存器 0 (TOL0) • 定时器输出模式寄存器 0 (TOM0) <每个通道的寄存器> • 定时器模式寄存器 0n (TMR0n) • 定时器状态寄存器 0n (TSR0n) • 输入切换控制寄存器 (ISC) (通道 7 only) • 噪声滤波允许寄存器 1 (NFEN1) • 端口模式寄存器 0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14) • 端口寄存器 0, 1, 3, 4, 13, 14 (P0, P1, P3, P4, P13, P14)

备注 n: 通道数 (n = 0~7)

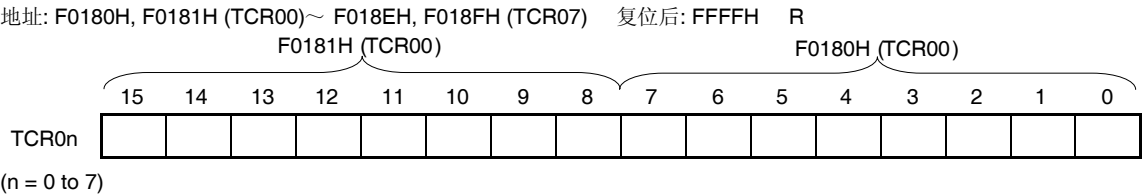
图 7-1 所示为框图。



(1) 定时器/计数器 寄存器 0n (TCR0n)

TCR0n 是 16 位只读寄存器，用于计数时钟。
此计数器的值与计数时钟上升沿同步递增或递减。
计数器的递增或递减根据由 TMR0n 的 MD0n3 ~ MD0n0 位选择的操作模式决定。

图 7-2. 定时器/计数器 寄存器 0n (TCR0n)的格式



- 可通过读 TCR0n 读取计数值。
如下情况下计数值设置为 FFFFH。
- 复位信号发生时
 - 外围设备允许寄存器 0 (PER0)的 TAU0EN 位清零时
- 计数值在如下情况中清为 0000H。
- 在捕捉模式下开始触发输入时
 - 在捕捉模式下捕捉操作已完成
 - 在 PWM 输出模式下当从通道计数已经完成时
 - 在单脉冲输出模式下主/从通道的计数已经完成时
 - 在多路 PWM 输出模式下从通道的计数已经完成时

注意事项 即使读取 TCR0n 时计数值不被捕捉到 TDR0n。

TCR0n 寄存器 读取值根据如下操作模式改变和操作状态的不同而不同。

表 7-2. TCR0n 寄存器在不同操作模式下的读取值

操作模式	计数模式	TCR0n 寄存器读取值 ^注			
		复位后操作模式改变	计数操作终止后操作模式改变 (TT0n = 1)	计数操作终止后重启 (TT0n = 1)	单计数后启动触发期间等待状态
间隔定时器 模式	计数减	FFFFH	不确定	操作终止时的值	–
捕捉模式	计数加	0000H	不确定	操作终止时的值	–
事件计数器 模式	计数减	FFFFH	不确定	操作终止时的值	–
单计数模式	计数减	FFFFH	不确定	操作终止时的值	FFFFH
捕捉 & 单计数模式	计数加	0000H	不确定	操作终止时的值	TDR0n 寄存器的捕捉值 + 1

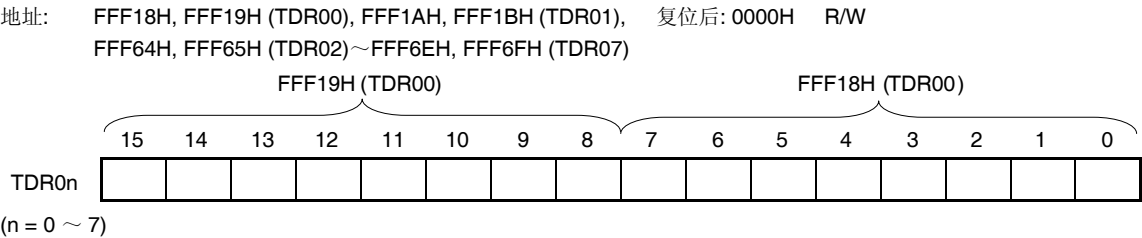
注 当 TE0n = 0 时 TS0n 被设置为"1"后 TCR0n 寄存器的读取值为所示。读取值保存在 TCR0n 寄存器知道计数操作开始。

备注 n = 0~7

(2) 定时器数据寄存器 0n (TDR0n)

此寄存器为 16 位寄存器，可选择捕捉功能和比较功能。
通过使用 TMR0n 的 MD0n3~MD0n0 位选择操作模式可切换捕捉或比较功能。
TDR0n 的值任何时间都可改变。
此寄存器可以 16 位为单位读或写。
复位信号产生将寄存器清为 0000H。

图 7-3. 定时器数据寄存器 0n (TDR0n)的格式



(i) TDR0n 用作比较寄存器时

从设置到 TDR0n 的值开始向下计数。当计数值达到 0000H 时，产生一个中断信号(INTTM0n)。TDR0n 的值保持到重写。

注意事项 当设置为比较功能时，即使捕捉出发输入 TDR0n 也不能执行捕捉操作。

(ii) TDR0n 用作捕捉寄存器时

当捕捉出发输入时 TCR0n 的计数值被捕捉到 TDR0n。
TI0n 引脚的有效沿可选择作为捕捉触发。此选择由 TMR0n 进行。

备注 n = 0 ~ 7

7.3 控制定时器阵列单元的寄存器

定时器阵列单元由如下寄存器控制。

- 外围设备允许寄存器 0 (PER0)
- 定时器时钟选择寄存器 0 (TPS0)
- 定时器模式寄存器 0n (TMR0n)
- 定时器状态寄存器 0n (TSR0n)
- 定时器通道允许状态寄存器 0 (TE0)
- 定时器通道启动寄存器 0 (TS0)
- 定时器通道停止寄存器 0 (TT0)
- 定时器输入选择寄存器 0 (TIS0)
- 定时器输出 允许寄存器 0 (TOE0)
- 定时器输出 寄存器 0 (TO0)
- 定时器输出电平寄存器 0 (TOL0)
- 定时器输出模式寄存器 0 (TOM0)
- 输入切换控制寄存器 (ISC)
- 噪声滤波允许寄存器 1 (NFEN1)
- 端口模式寄存器 0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14)
- 端口寄存器 0, 1, 3, 4, 13, 14 (P0, P1, P3, P4, P13, P14)

备注 n = 0 ~ 7

(1) 外围设备允许寄存器 0 (PER0)

PER0 用于每个外围硬件宏指令的允许或禁止使用。为了降低功耗和噪声对于不使用的硬件宏指令停止供给时钟。

使用 定时器阵列单元时，确保设置此寄存器的第 0 位 (TAU0EN) 为 1。

PER0 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将此寄存器清为 00H。

- 注意事项 1. 设置定时器阵列单元时，首先确保设置 TAU0EN 为 1。如果 TAU0EN = 0，定时器阵列单元的控制寄存器的写入被忽略，并且所有读取的值都是默认值。
2. 确保将 PER0 寄存器的第 1 位清为 0。

图 7-4. 外围设备允许寄存器 0 (PER0)的格式

地址: F00F0H	复位后: 00H	R/W						
符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN
TAU0EN		定时器阵列单元输入时钟的控制						
0		停止供给输入时钟。 - 由定时器阵列单元使用的 SFR 不能写入。 - 定时器阵列单元在复位状态。						
1		供给输入时钟。 由定时器阵列单元使用的 SFR 可读/写。						

(2) 定时器时钟选择寄存器 0 (TPS0)

TPS0 是 16 位寄存器，用于通常供给每个通道的操作时钟(CK00, CK01)的两种类型的选择。CK01 由 TPS0 的第 7~4 位选择，CK00 通过将第 3 位设置为 0 选择。

定时器操作期间只有在如下情况下可以重写 TPS0。

PRS000 ~ PRS003 位重写: 只有在操作停止状态(TE0n = 0)下所有通道设置为 CKS0n = 0 时可能
PRS010 ~ PRS013 位重写: 只有在操作停止状态(TE0n = 0)下所有通道设置为 CKS0n = 1 时可能

TPS0 可由 16 位存储器操作指令设置。

TPS0 的低 8 位和 TPS0L 可以由 8 位存储器操作指令设置。

复位信号产生将此寄存器清为 0000H。

图 7-5. 定时器时钟选择寄存器 0 (TPS0)的格式

地址: F01B6H, F01B7H 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	0	0	0	0	0	0	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0m3	PRS 0m2	PRS 0m1	PRS 0m0	操作时钟(CK0m) [※] 的选择				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz

<R> 注 改变为 f_{CLK} (由系统时钟控制寄存器 (CKC) 的值改变) 选择的时钟时，停止定时器阵列单元 (TT0 = 00FFH)。

注意事项 确保将第 15~8 位清为“0”。

备注 1. f_{CLK}: CPU/外围硬件时钟频率
2. m = 0, 1 n = 0~7

(3) 定时器模式寄存器 0n (TMR0n)

TMR0n 设置通道 n 的操作模式。它用于选择操作时钟(MCK)，计数时钟，定时器作为主或从操作，开始触发和捕捉出发，定时器输入的有效沿，和操作模式(间隔，捕捉，事件计数器，单计数，或捕捉&单计数)。

当寄存器在操作时(when TE0 = 1)禁止重写 TMR0n。但是，第 7 和 6 位(CIS0n1, CIS0n0) 即使当寄存器一些功能操作时也可以被重写 (TE0 = 1) (详细情况，参考 7.7 作为独立通道的定时器阵列单元的操作和 7.8 定时器阵列单元的复用通道的操作)。

TMR0n 可由 16 位存储器操作指令设置。

复位信号产生将此寄存器清为 0000H。

图 7-6. 定时器模式寄存器 0n (TMR0n) 的格式(1/3)

地址: F0190H, F0191H (TMR00) ~ F019EH, F019FH (TMR07) 复位后: 0000H R/W

符号

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAST ER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS 0n	通道 n 的操作时钟(MCK)的选择															
0	由 PRS 寄存器设置时钟 CK00 操作															
1	由 PRS 寄存器设置时钟 CK01 操作															
操作时钟 MCK 用于沿检测器。根据 CCS0n 位的设置，一个计数时钟(TCLK) 产生根据 CCS0n 位的设置。																

CCS 0n	通道 n 的计数时钟(TCLK) 选择															
0	操作时钟 MCK 由 CKS0n 位指定															
1	从 TI0n 引脚输入的输入信号的有效沿															
计数时钟 TCLK 用于定时器/计数器，输出控制器，和中断控制器。																

MAS TER 0n	通道 n 的主/从选择															
0	组合操作功能中作为从通道操作。															
1	组合操作功能中作为主通道操作。															
只有偶数通道可以被设置为主通道 (MASTER0n = 1)。 奇数通道一定要设置为从通道使用(MASTER0n = 0)。 对于作为独立操作功能使用的通道， MASTER0n 清为 0。																

注意事项 确保设置第 14, 13, 5,和 4 位为 “0”。

备注 n = 0~7

图 7-6. 定时器模式寄存器 0n (TMR0n) 的格式(2/3)

地址: F0190H, F0191H (TMR00) ~ F019EH, F019FH (TMR07) 复位后: 0000H R/W

符号

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAST ER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

STS 0n2	STS 0n1	STS 0n0	通道 n 的开始触发或捕捉触发
0	0	0	只有软件触发开始有效(其他触发源不选择)。
0	0	1	TI0n 引脚输入 的有效沿用作开始触发和捕捉触发。
0	1	0	TI0n 引脚输入的双沿用作开始触发和捕捉触发。
1	0	0	使用主通道的中断信号 (组合操作功能中当通道用作从通道时)。
其他值			禁止设置

CIS 0n1	CIS 0n0	TI0n 引脚输入有效沿的选择
0	0	下降沿
0	1	上升沿
1	0	双沿 (当低电平宽度被测量时) 开始触发:下降沿, 捕捉触发: 上升沿
1	1	双沿 (当高电平宽度被测量时) 开始触发: 上升沿, 捕捉触发:下降沿

当 STS0n2 ~ STS0n0 位的值不是 010B 时如果指定双沿, 设置 CIS0n1~ CIS0n0 位为 10B。

备注 n = 0~7

图 7-6. 定时器模式寄存器 0n (TMR0n) 的格式(3/3)

地址: F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAST ER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	MD 0n0	通道 n 的操作模式	TCR 的计数操作	独立操作
0	0	0	1/0	间隔定时器模式	向下计数	可能
0	1	0	1/0	捕捉模式	向上计数	可能
0	1	1	0	事件计数器模式	向下计数	可能
1	0	0	1/0	单计数模式	向下计数	不可能
1	1	0	0	捕捉 & 单计数模式	向上计数	可能
其他值				设置禁止		
MD0n0 位的操作根据每种操作模式的不同而不同(参见下表)。						

操作模式 (由 MD0n3~MD0n1 位设置的值 (参见上表))	MD 0n0	开始计数和中断的设置
- 间隔定时器模式 (0, 0, 0) - 捕捉模式 (0, 1, 0)	0	当计数开始时定时器 中断不产生 (定时器输出也不改变)。
	1	当计数开始时定时器 中断产生 (定时器输出也改变)。
Event 计数器模式 (0, 1, 1)	0	当计数开始时定时器 中断不产生 (定时器输出也不改变)。
单计数模式 (1, 0, 0)	0	在计数操作期间开始触发无效。 在那时, 中断也不产生。
	1	在计数操作期间开始触发有效 [※] 。 在那时, 中断也产生。
捕捉 & 单计数模式 (1, 1, 0)	0	当计数开始时定时器 中断不产生 (定时器输出也不改变)。 在计数操作期间开始触发无效。 在那时, 中断也不产生。
其他值		设置禁止

注 如果操作期间开始触发 (TS0n = 1)被发出, 计数器被清零, 中断产生, 开始重新计数。

备注 n = 0~7

(4) 定时器状态寄存器 0n (TSR0n)

TSR0n 指示通道 n 的计数器 的溢出状态。

TSR0n 只有在捕捉模式(MD0n3~MD0n1 = 010B)和捕捉& 单计数模式(MD0n3~ MD0n1 = 110B)模式下有效。在其他模式下不进行设置。对于 OVF 位在每种操作模式下的操作和设置/清零条件参见表 7-3。

TSR0n 可由 16 位存储器操作指令读取。

TSR0n 的低 8 位和 TSR0nL 可以由 8 位存储器操作指令设置。

复位信号产生将此寄存器清为 0000H。

图 7-7. 定时器状态 寄存器 0n (TSR0n)的格式

地址: F01A0H, F01A1H (TSR00)~F01AEH, F01AFH (TSR07) 复位后: 0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	通道 n 的计数器溢出状态
0	溢出不发生。
1	溢出发生。
OVF = 1 时，如果当下一个被捕捉到的值没有溢出，此标志被清零 (OVF = 0) 。	

<R>

表 7-3. 在每种操作模式下 OVF 位操作和设置/清零条件

定时器操作模式	OVF	设置/清零条件
• 捕捉模式 • 捕捉& 单计数 模式	清零	当捕捉时没有溢出发生
	设置	当捕捉时溢出已经发生
• 间隔定时器 模式 • 事件计数器 模式 • 单计数模式	清零	— (使用禁止，不设置/清零)
	设置	

<R>

备注 OVF 位在计数器 溢出以后不立即改变，但是后面捕捉时改变。

(5) 定时器通道允许状态寄存器 0 (TE0)

TE0 用于允许或停止每个通道的定时器操作。

定时器通道启动寄存器 0 (TS0) 的一个位被设置为 1 时，此寄存器的相应位被设置为 1。时器通道停止寄存器 0 (TT0) 的位设置为 1 时，此寄存器的相应位被清为 0。

TE0 可由 16 位存储器操作指令读取。

TE0 的低 8 位和 TE0L 可以由 1 位或 8 位存储器操作指令设置。

复位信号产生将此寄存器清为 0000H。

图 7-8. 定时器通道允许状态寄存器 0 (TE0)的格式

地址: F01B0H, F01B1H 复位后: 0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	0	0	0	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

TE0n	通道 n 的操作允许/停止状态的指示
0	操作停止
1	操作允许

备注 n = 0 ~7

(6) 定时器通道启动寄存器 0 (TS0)

TS0 是用于清零定时器计数器 (TCR0n)和启动每个通道的计数操作的触发寄存器。
此寄存器的一个位(TS0n)设置为 1 时，定时器通道允许状态寄存器 0 (TE0) 的相应位(TE0n)设置为 1。TE0n = 1 时 TS0n 是触发位并且立即清零。
TS0 可由 16 位存储器操作指令设置。
TS0 的低 8 位和 TS0L 可以由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器清为 0000H。

图 7-9. 定时器通道启动寄存器 0 (TS0)的格式

地址: F01B2H, F01B3H 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	0	0	0	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

TS0n	通道 n 的操作允许（开始）触发
0	无触发操作
1	TE0n 设置为 1 并且计数操作允许。 TCR0n 在计数操作允许状态的计数操作根据每个操作模式的不同而不同(参见 表 7-4)。

- 注意事项** 确保将第 15~8 位为“0”。
- 备注**
1. 读 TS0 寄存器时，一直读取 0。
 2. n = 0 ~ 7

表 7-4. 从计数操作允许状态到 TCR0n 计数开始的操作 (1/2)

定时器操作模式	当 TS0n = 1 时的操作
• 间隔定时器 模式	从开始触发检测 (TS0n=1)直到计数时钟发生没有操作执行。 第一个计数时钟将 TDR0n 的值加载到 TCR0n，后面的计数时钟执行向下计数操作(参见 7.3 (6) (a) 间隔定时器 模式下的开始时序)。
• 事件计数器 模式	TS0n 位写入 1，加载 TDR0n 的值到 TCR0n。 后面的计数时钟执行向下计数操作。 外部触发检测由 STS0n2 ~ STS0n0 位检测在 TMR0n 寄存器中不开始计数操作 (参见 7.3 (6) (b) 事件 计数器 模式下的开始时序)。
• 捕捉模式	从开始触发检测直到计数时钟发生没有操作执行。 第一个计数时钟加载 0000H 到 TCR0n，后面的计数时钟执行向上计数操作(参见 7.3 (6) (c) 捕捉模式下的开始时序)。

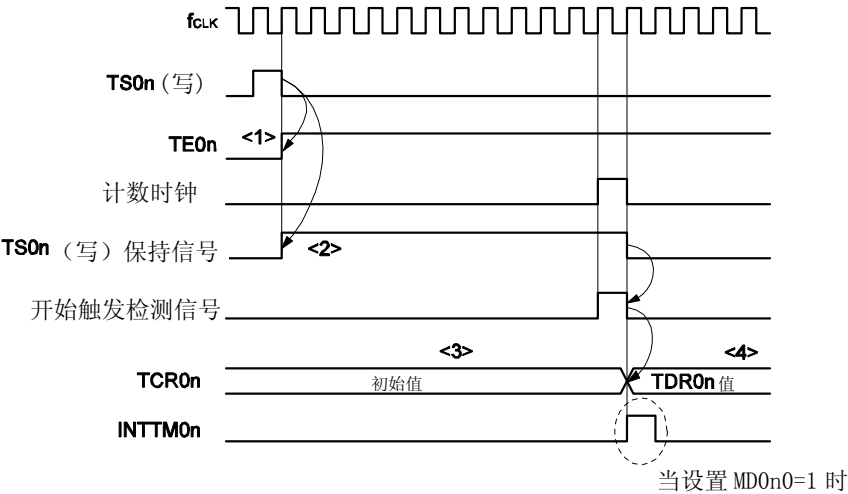
表 7-4. 从计数操作允许状态到 TCR0n 计数开始的操作(2/2)

定时器操作模式	设置 TS0n = 1 时的操作
• 单计数 模式	TS0n = 0 时，写入 1 到 TS0n 位设置开始触发等待状态。 从开始触发检测直到计数时钟发生没有操作执行。 第一个计数时钟加载 TDR0n 的值到 TCR0n，后面的计数时钟执行向下计数操作 (参见 7.3 (6) (d)单计数 模式下的开始时序)。
• 捕捉& 单计数 模式	TS0n = 0 时，写入 1 到 TS0n 位设置开始触发等待状态。 从开始触发检测直到计数时钟发生没有操作执行。 第一个计数时钟加载 0000H 到 TCR0n，后面的计数时钟执行向上计数操作(参见 7.3 (6) (e)捕捉 & 单计数 模式下的开始时序)。

(a) 间隔定时器模式下的开始时序

- <1> 写入 1 到 TS0n 设置 TE0n = 1
- <2> TS0n 的写入数据一直保持到计数时钟产生。
- <3> TCR0n 的初始值一直保持到计数时钟产生。
- <4> 计数时钟产生，“TDR0n 值”被加载到 TCR0n 并且计数开始。

图 7-10. 开始时序(在间隔定时器模式下)

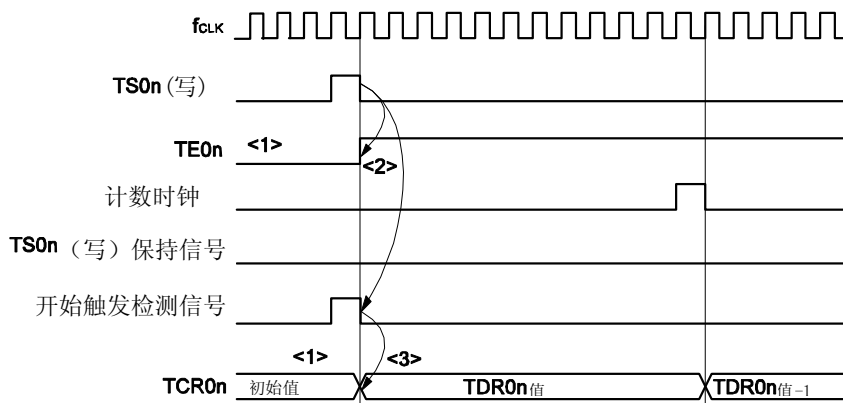


注意事项 TS0n 写入后在计数时钟的第一个周期操作中，由于直到产生计数时钟开始计数，产生最大一个时钟的错误。当在计数开始时序的信息需要时，通过设置 MD0n0 = 1 可在计数开始产生中断。

(b) 事件计数器模式下的开始时序

- <1> TE0n 设置为 0 时，TCR0n 保持初始值。
- <2> 写入 1 到 TS0n 设置 TE0n 为 1。
- <3> 一旦 TS0n 写入 1 并且设置 TE0n 为 1, "TDR0n 值"就被加载到 TCR0n 开始计数。
- <4> 然后，TCR0n 的值根据计数时钟向下计数。

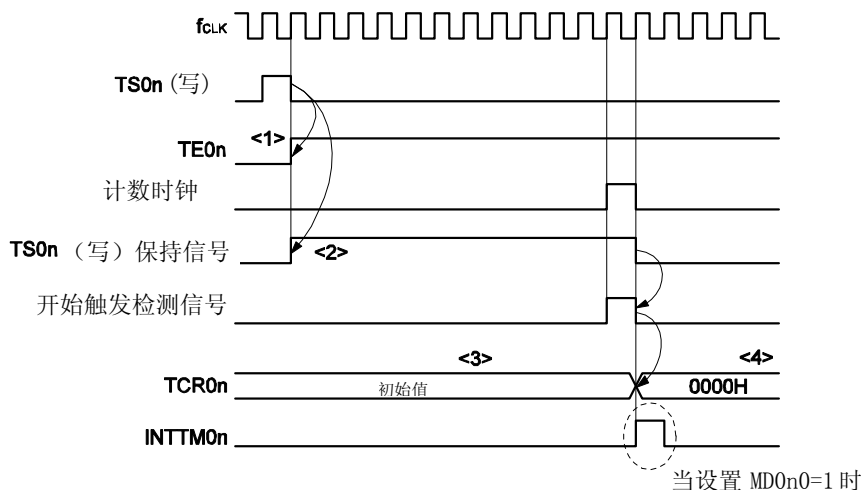
图 7-11. 开始时序(事件计数器模式下)



(c) 捕捉模式下的开始时序

- <1> 写入 1 到 TS0n 设置 TE0n = 1
- <2> TS0n 的写入数据保持到计数时钟发生。
- <3> TCR0n 初始值保持到计数时钟发生。
- <4> 计数时钟产生时，0000H 加载到 TCR0n 并且计数开始。

图 7-12. 开始时序 (捕捉模式下)

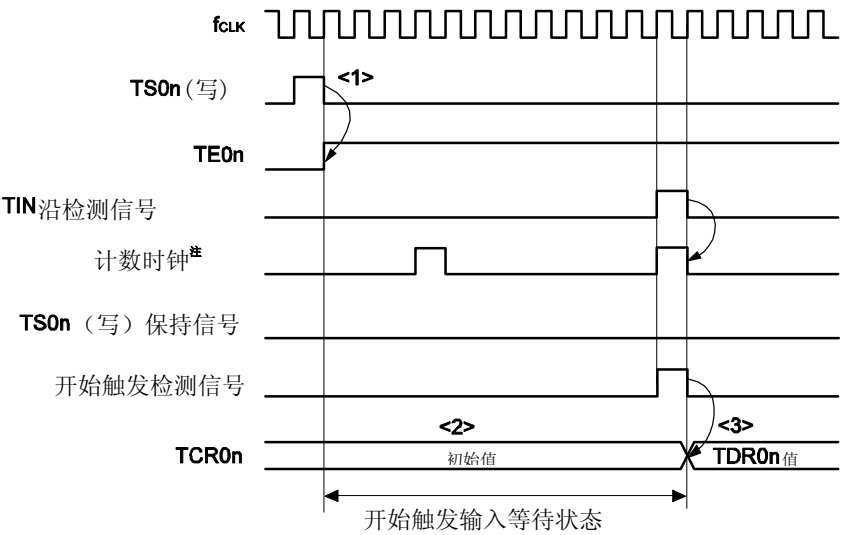


注意事项 TS0n 写入后在计数时钟的第一个周期操作中，由于直到产生计数时钟开始计数，产生最大一个时钟的错误。当在计数开始时序的信息需要时，通过设置 MD0n0 = 1 可在计数开始产生中断。

(d) 单计数模式下的开始时序

- <1> 写入 1 到 TS0n 设置 TE0n = 1
- <2> 进入开始触发输入等待状态，TCR0n 保持初始值。
- <3> 开始触发检测，“TDR0n 值”被加载到 TCR0n 并且计数开始。

图 7-13. 开始时序 (单计数模式下)



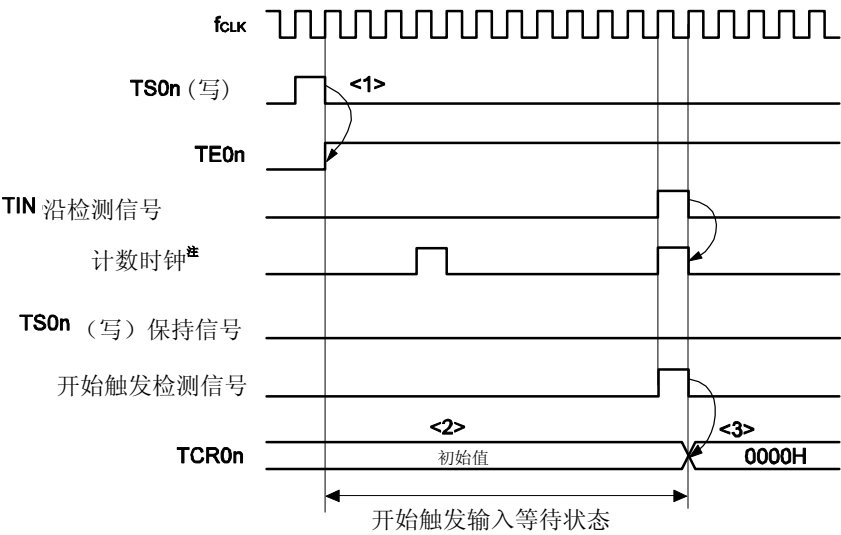
注 当设置单计数模式时，操作时钟(MCK)被选择作为计数时钟(CCS0n = 0)。

注意事项 因为操作在开始触发检测时开始，产生一个输入信号采样错误 (使用 TI0n 时错误为一个计数时钟)。

(e) 捕捉& 单计数 模式下的开始时序

- <1> 写入 1 到 TS0n 设置 TE0n = 1
- <2> 进入开始触发输入等待状态，TCR0n 保持初始值。
- <3> 开始触发检测，0000H 被加载到 TCR0n 并且计数开始。

图 7-14. 开始时序 (在 捕捉& 单计数 模式下)



注 当设置捕捉& 单计数模式时，操作时钟(MCK)被选择作为计数时钟(CCS0n = 0)。

注意事项 因为操作在开始触发检测时开始，产生一个输入信号采样错误 (使用 TI0n 时错误为一个计数时钟)。

(7) 定时器通道停止寄存器 0 (TT0)

TT0 是触发寄存器，用于每个通道清零定时器计数器 (TCR0n)可启动计数操作。
当此寄存器的一个位(TT0n)设置为 1 时，定时器通道允许状态寄存器 0 (TE0) 的相应位(TE0n)清为 0。TT0n 是触发位，并且当 TE0n = 0 时立即清零。
TT0 可由 16 位存储器操作指令设置。
TT0 的低 8 位和 TT0L 可以由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器清为 0000H。

图 7-15. 定时器通道停止寄存器 0 (TT0)的格式

地址: F01B4H, F01B5H 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	0	0	0	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TT0n	通道 n 的操作停止触发
0	无触发操作
1	操作停止 (停止触发产生)。

注意事项 务必将第 15～ 8 位清为“0”。

- 备注 1. 当读取 TT0 寄存器 时，只读取 0 。
 2. n = 0～7

(8) 定时器输入选择寄存器 0 (TIS0)

TIS0 用于选择每个通道的信号输入到定时器输入引脚 (TI0n)或副系统时钟由 4 分频 ($f_{XT}/4$)有效。

复位信号产生将此寄存器清为 00H。

TIS0 由 1 位或 8 位存储器操作指令设置。

图 7-16. 定时器输入选择寄存器 0 (TIS0)的格式

地址: FFF3EH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS0n	通道 n 定时器输入/使用的副系统时钟的选择
0	定时器输入引脚(TI0n)的输入信号
1	副系统时钟由 4 分频 ($f_{XT}/4$)

(9) 定时器输出允许寄存器 0 (TOE0)

TOE0 用于允许或禁止每个通道的定时器输出。

允许定时器输出的通道 n 不能用软件重写定时器输出寄存器(TO0)的 TO0n 位的值, 通过从定时器输出引脚 (TO0n)输出的计数值设置定时器输出功能。

TOE0 可由 16 位存储器操作指令设置。

TOE0 的低 8 位和 TOE0L 可以由 1 位或 8 位存储器操作指令设置。

复位信号产生将此寄存器清为 0000H。

图 7-17. 定时器输出允许寄存器 0 (TOE0)的格式

地址: F01BAH, F01BBH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00

TOE0n	通道 n 的定时器输出允许/禁止
0	TO0n 由计数操作停止操作 (定时器通道输出位)。 允许写入到 TO0n 位。 TO0n 引脚作为数据输出, 并且输出的电平设置到 TO0n 位。 TO0n 引脚的输出电平可由软件修改。
1	TO0n 由计数操作允许操作 (定时器通道输出位)。 禁止写入到 TO0n 位(写入忽略)。 TO0n 引脚作为定时器输出, 根据定时器操作设置或复位 TOE0n。 TO0n 引脚根据定时器操作输出方波或 PWM。

注意事项 务必将第 15~8 位清为“0”。

备注 n = 0~7

(10) 定时器输出 寄存器 0 (TO0)

TO0 是每个通道的定时器输出的缓冲寄存器。
此寄存器中每个位的值从通道的定时器输出引脚(TO0n)输出。
只有当定时器输出禁止 (TOE0n = 0) 时此寄存器可以通过软件重写。当定时器输出允许时(TOE0n = 1), 通过软件重写此 寄存器被忽略，只有当定时器操作时值改变。
TO0 可由 16 位存储器操作指令设置。
TO0 的低 8 位和 TO0L 可以由 8 位存储器操作指令设置。
复位信号产生将此寄存器清为 0000H。

图 7-18. 定时器输出 寄存器 0 (TO0)的格式

地址: F01B8H, F01B9H 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO0 7	TO0 6	TO0 5	TO0 4	TO0 3	TO0 2	TO0 1	TO0 0

TO0 n	通道 n 的定时器输出
0	定时器输出值为“0”。
1	定时器输出值为“1”。

注意事项 务必将第 15～ 8 位清为“0”。

备注 n = 0～7

(11) 定时器输出 电平寄存器 0 (TOL0)

TOL0 是用于控制每个通道定时器输出电平的寄存器。
当在组合操作模式(TOM0n = 1)中允许定时器输出(TOE0n = 1)时，通过此寄存器设置通道 n 反向输出。在触发模式(TOM0n = 0)下，此寄存器 设置无效。
TOL0 可由 16 位存储器操作指令设置。
TOL0 的低 8 位和 TOL0L 可以由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器清为 0000H。

图 7-19. 定时器输出电平寄存器 0 (TOL0)的格式

地址: F01BCH, F01BDH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL 07	TOL 06	TOL 05	TOL 04	TOL 03	TOL 02	TOL 01	TOL 00

TOL 0n	通道 n 的定时器输出电平控制														
0	正向逻辑输出 (高有效)														
1	反向输出 (低有效)														

注意事项 务必将第 15～8 位清为“0”。

- 备注
- 1. 如果此寄存器的值在定时器操作期间被重写，当定时器输出信号变为下一个，反转定时器输出，在寄存器值重写后立即代替。
 - 2. n = 0～7

(12) 定时器输出模式寄存器 0 (TOM0)

TOM0 用于每个通道的定时器输出模式控制。

当通道用于组合功能时(PWM 输出，单脉冲输出，或多路 PWM 输出)，设置从通道的相应位为 1。

通过此寄存器进行的通道 n 的设置反射到当定时器输出 信号设置或定时器输出允许复位时的时序上。

TOM0 可由 16 位存储器操作指令设置。

TOM0 的低 8 位和 TOM0L 可以由 1 位或 8 位存储器操作指令设置。

复位信号产生将此寄存器清为 0000H。

图 7-20. 定时器输出模式寄存器 0 (TOM0)的格式

地址: F01BEH, F01BFH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM07	TOM06	TOM05	TOM04	TOM03	TOM02	TOM01	TOM00

TOM0n	通道 n 的定时器输出模式控制
0	触发操作模式 (由定时器中断请求信号 (INTTM0n)产生触发输出)
1	组合操作模式 (由主通道的定时器中断请求信号 (INITTM0n)设置，由从通道的定时器中断请求信号 (INITTM0m)复位)

注意事项 务必将第 15～8 位清为“0”。

备注 n = 0, 2, 4
 n < m ≤ 7
 (m 是大于 n 的连续整数)

(13) 输入切换控制寄存器 (ISC)

ISC 用于使用通道 7 和串行阵列单元 1 联合实现 LIN 总线通讯操作。
当此寄存器的第 1 位设置为 1 时，串行数据输入引脚 (RxD3)的输入信号被选择作为定时器输入信号。
ISC 可以由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器 设为 00H。

图 7-21. 输入切换控制寄存器 (ISC)的格式

地址: FFF3CH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	切换定时器阵列单元的通道 7 输入
0	TI07 引脚的输入信号作为定时器输入 (普通操作)。
1	RxD3 引脚的输入信号用作定时器输入 (唤醒信号检测)。

ISC0	切换外部中断 (INTP0)输入
0	INTP0 引脚的输入信号作为外部中断(普通操作)。
1	RxD3 引脚的输入信号作为外部中断 (测量同步中断域和同步域的脉冲宽度)。

注意事项 务必将第 7~2 位清为“0”。

备注 使用 LIN 总线通信功能时，通过设置 ISC1 为 1 选择 RxD3 引脚的输入信号。

(14) 噪声滤波器允许寄存器 1 (NFEN1)

NFEN1 用来设置噪声滤波器是否可用于每通道的定时器输入信号。
引脚需要消除噪声时通过设置相应位到 1 允许噪声滤波器。
When the 噪声滤波器 开时，执行相等检测和与 CPU/外围硬件时钟 (fCLK)的 2 个时钟同步。当噪声滤波器关闭时，只执行与 CPU/外围硬件时钟(fCLK)同步。
NFEN1 可以由 1 位或 8 位存储器操作指令设置。
复位信号产生将此寄存器 设为 00H。

<R>

图 7-22. 噪声滤波器允许寄存器 1 (NFEN1)的格式

地址: F0061H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	允许/禁止使用 TI07/TO07/P145 引脚或 RxD3/P14/EX26 引脚输入信号 ^注 的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN06	允许/禁止 使用 TI06/TO06/P131 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN05	允许/禁止 使用 TI05/TO05/P46 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN04	允许/禁止 使用 TI04/TO04/P42 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN03	允许/禁止 使用 TI03/TO03/INTP4/P31 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN02	允许/禁止 使用 TI02/TO02/P17 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN01	允许/禁止 使用 TI01/TO01/INTP5/P16 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

TNFEN00	允许/禁止 使用 TI00/P00 引脚输入信号的噪声滤波器
0	噪声滤波器关
1	噪声滤波器开

注 可通过设置 ISC 寄存器的 ISC1 切换可应用的引脚。

ISC1 = 0: 可选择是否使用 TI07 引脚的噪声滤波器。
ISC1 = 1: 可选择是否使用 RxD3 引脚的噪声滤波器。

(15) 端口模式寄存器 0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14)

这些寄存器按位设置端口 0, 1, 3, 4, 13, 和 14 的输入/输出。

使用 P01/TO00, P16/TO01/TI01/INTP5/EX30, P17/TO02/TI02/EX31, P31/TO03/TI03/INTP4, P42/TO04/TI04, P46/TO05/TI05/INTP1, P131/TO06/TI06, 和 P145/TO07/TI07 引脚作为定时器输出时, 设置 PM01, PM16, PM17, PM31, PM42, PM46, PM131, 和 PM145 和输出 P01, P16, P17, P31, P42, P46, P131, 和 P145 的输出锁存为 0。

使用 P00/TI00, P16/TO01/TI01/INTP5/EX30, P17/TO02/TI02/EX31, P31/TO03/TI03/INTP4, P42/TO04/TI04, P46/TO05/TI05/INTP1, P131/TO06/TI06, 和 P145/TO07/TI07 引脚作为定时器输入时, 设置 PM00, PM16, PM17, PM31, PM42, PM46, PM131, 和 PM145 为 1。此时 P00, P16, P17, P31, P42, P46, P131, 和 P145 的输出锁存可以为 0 或 1。

PM0, PM1, PM3, PM4, PM13, 和 PM14 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将这些寄存器设置为 FFH。

图 7-23. 端口模式寄存器 0, 1, 3, 4, 13, 和 14 (PM0, PM1, PM3, PM4, PM13, PM14)的格式

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

地址: FFF23H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

地址: FFF24H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

地址: FFF2DH 复位后: FEH R/W

符号	7	6	5	4	3	2	1	0
PM13	1	1	1	1	1	1	PM131	0

地址: FFF2EH 复位后: FFH R/W

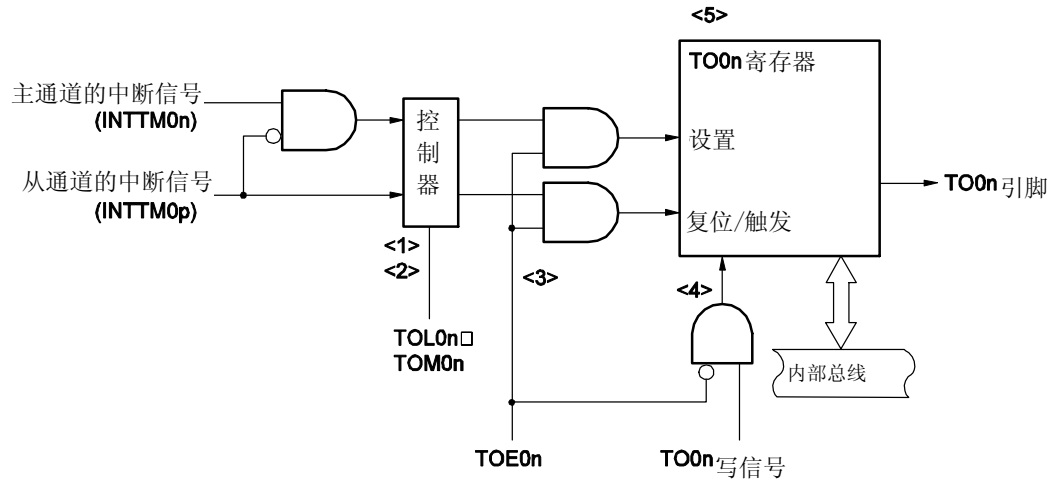
符号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn 引脚 I/O 模式选择 (m = 0, 1, 3, 4, 13, 14; n = 0~7)
0	输出模式(输出 缓冲器开)
1	输入模式(输出缓冲器关)

7.4 通道输出 (TO0n 引脚) 控制

7.4.1 TO0n 引脚输出电路配置

图 7-24. 输出电路配置



TO0n 引脚输出电路描述如下。

- <1> TOM0n = 0 (触发模式)时, 忽略 TOL0n 寄存器的设置值并且只有 INTTM0p (从通道定时器中断) 被发送到 TO0n 寄存器。
- <2> TOM0n = 1 (组合操作模式)时, INTTM0n (主通道定时器中断)和 INTTM0p (从通道定时器中断) 均被发送到 TO0n 寄存器。

这时，TOL0n 寄存器有效，并且下面为信号的控制：

TOL0n = 0 时: 正向操作 (INTTM0 → 设置, INTTM0p → 复位)

TOL0n = 1 时: 反向操作(INTTM0 → 复位, INTTM0p → 设置)

INTTM0n 和 INTTM0p 同时产生时, (0%输出 PWM), INTTM0p (复位信号) 优先, 并且 INTTM0n (设置信号) 被屏蔽。

- <3> TOE0n = 1 时, INTTM0n (主通道定时器中断) 和 INTTM0p (从通道定时器中断)被发送到 TO0n 寄存器。
写入到 TO0n 寄存器 (TO0n 写入信号) 无效。
TOE0n = 1 时, TO0n 引脚输出出中断信号外不改变。
要初始化 TO0n 引脚输出电平, 需要设置 TOE0n = 0 并且给 TO0n 写入一个值。
- <4> TOE0n = 0 时, 写入 TO0n 位到触发通道(TO0n 信号)有效。TOE0n = 0 时, INTTM0n (主通道定时器中断) 和 INTTM0p (从通道定时器中断)都不发送到 TO0n 寄存器。
- <5> TO0n 寄存器 一直可读, TO0n 引脚输出电平可检测。

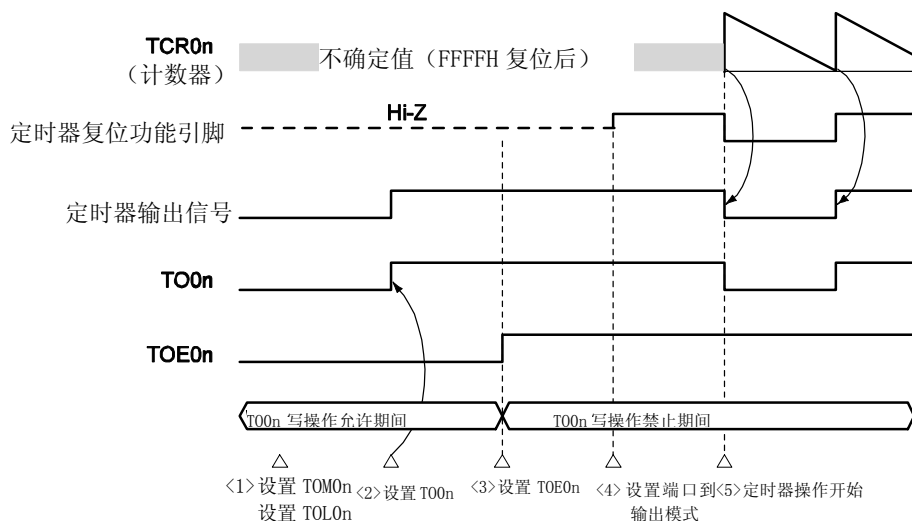
备注

1. $n = 0 \sim 7$ (主通道 $n = 0, 2, 4$, 或 6)
2. $p = n + 1, n + 2, n + 3 \dots (p \leq 7)$

7.4.2 TO0n 引脚输出设置

下图所示为 TO0n 输出引脚从初始设置到定时器操作开始的发送过程和状态。

图 7-25. 从定时器输出设置到操作开始的状态发送



<1> 定时器输出的操作模式设置。

- TOM0 寄存器 (0: 触发模式, 1: 组合操作模式)
- TOL0n 寄存器 (0: 正向输出, 1: 反向输出)

<2> 定时器输出信号通过设置 TO0n 设置到初始状态。

<3> 定时器输出操作通过写入 1 到 TOE0n 允许 (写入 TO0n 禁止)。

<4> 端口 I/O 设置为输出 (参见 7.3 (15) 端口模式寄存器 0, 1, 3, 4, 13, 14)。

<5> 定时器操作允许 (TS0n = 1)。

备注 n = 0~7

7.4.3 通道输出操作的注意事项

(1) 定时器操作期间改变寄存器 TO0, TOE0, TOL0, 和 TOM0 中设置的值

因为定时器操作 (TCR0n 和 TDR0n 的操作) 与 TO0n 输出电路独立并且改变设置在 TO0, TOE0, TOL0, 和 TOM0 的值不影响定时器操作, 所以在定时器操作期间这些值可以被改变。

当 TOE0, TOL0, 和 TOM0 (除 TO0 外) 中设置的值改变为关闭定时器中断 (INTTM0n), 根据产生定时器中断 (INTTM0n) 信号之前或之后值是否改变, 输出到 TO0 引脚的波形可能会不同。

备注 n = 0~7

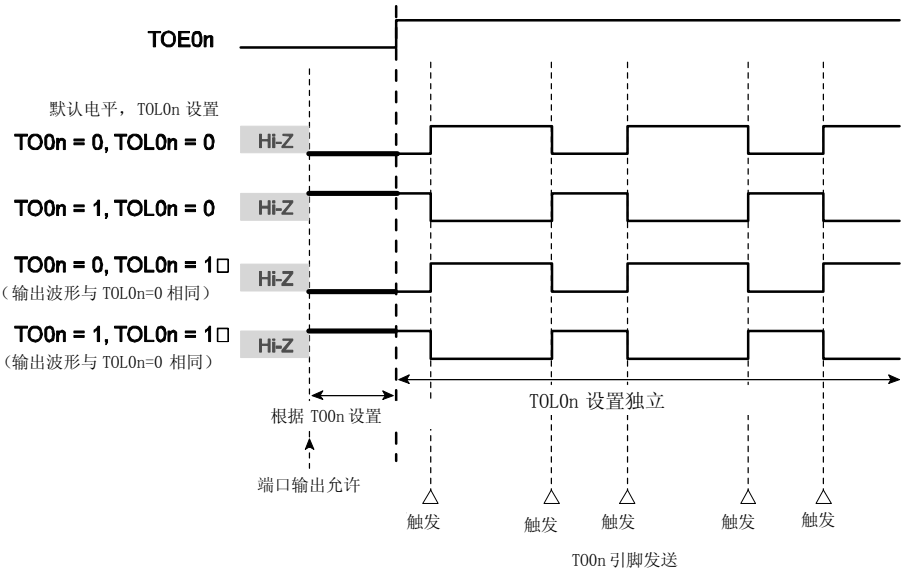
(2) TO0n 引脚的默认电平和定时器操作开始后输出电平

在改变默认电平之后，在允许端口输出和设置 TOE0n = 1 之前，当在 TOE0n = 0 的状态写入完成时 TO0n 引脚输出电平的转换如下图所示。

(a) 设置 TOM0n = 0 当操作开始时(触发输出)

TOM0n = 0 时 TOL0n 设置无效。当定时器操作在设置默认电平后开始，当发信号产生并且 O0n 引脚的输出电平被反转。

图 7-26. 触发输出时 TO0n 输出 状态(TOM0n = 0)

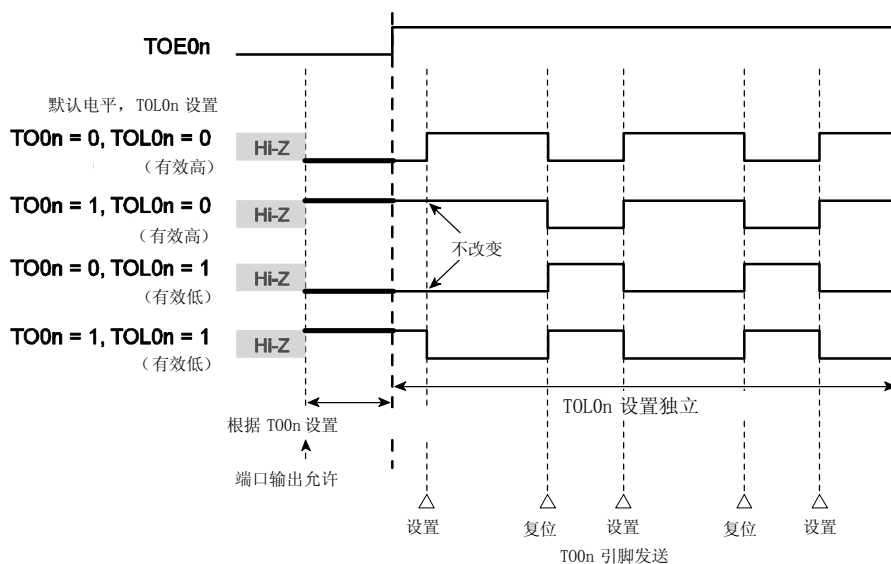


- 备注
- 1. 触发: 反向 TO0n 引脚输出状态
 - 2. n = 0~7

(b) 设置 $TOM0n = 1$ 当操作开始时(组合操作模式(PWM 输出))

$TOM0n = 1$ 时，有效电平由 $TOL0n$ 设置。

图 7-27. PWM 输出时 $TO0n$ 引脚输出状态 ($TOM0n = 1$)



- 备注
1. 设置: $TO0n$ 引脚的输出信号从无效电平变为有效电平。
复位: $TO0n$ 引脚的输出信号从有效电平变为无效电平。
 2. $n = 0 \sim 7$

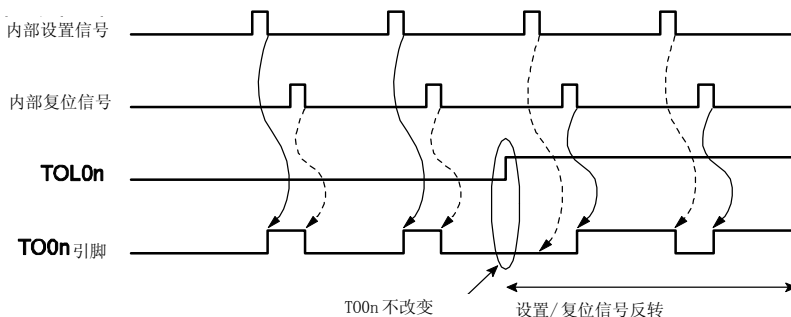
(3) $TO0n$ 引脚在组合操作模式($TOM0n = 1$)下的操作

(a) 当 $TOL0n$ 设置在定时器操作期间已经被改变

当 $TOL0n$ 设置在定时器操作期间已经被改变时，当 $TO0n$ 改变条件的时序发生时设置变为有效。重写 $TOL0n$ 不改变 $TO0n$ 的输出电平。

下图所示为 $TOL0n$ 的值在定时器操作期间 ($TOM0n = 1$)被改变时的操作。

图 7-28. 当 $TOL0n$ 在定时器操作期间被改变时的操作



- 备注
1. 设置: $TO0n$ 引脚的输出信号从无效电平变为有效电平。
复位: $TO0n$ 引脚的输出信号从有效电平变为无效电平。
 2. $n = 0 \sim 7$

(b) 设置/复位时序

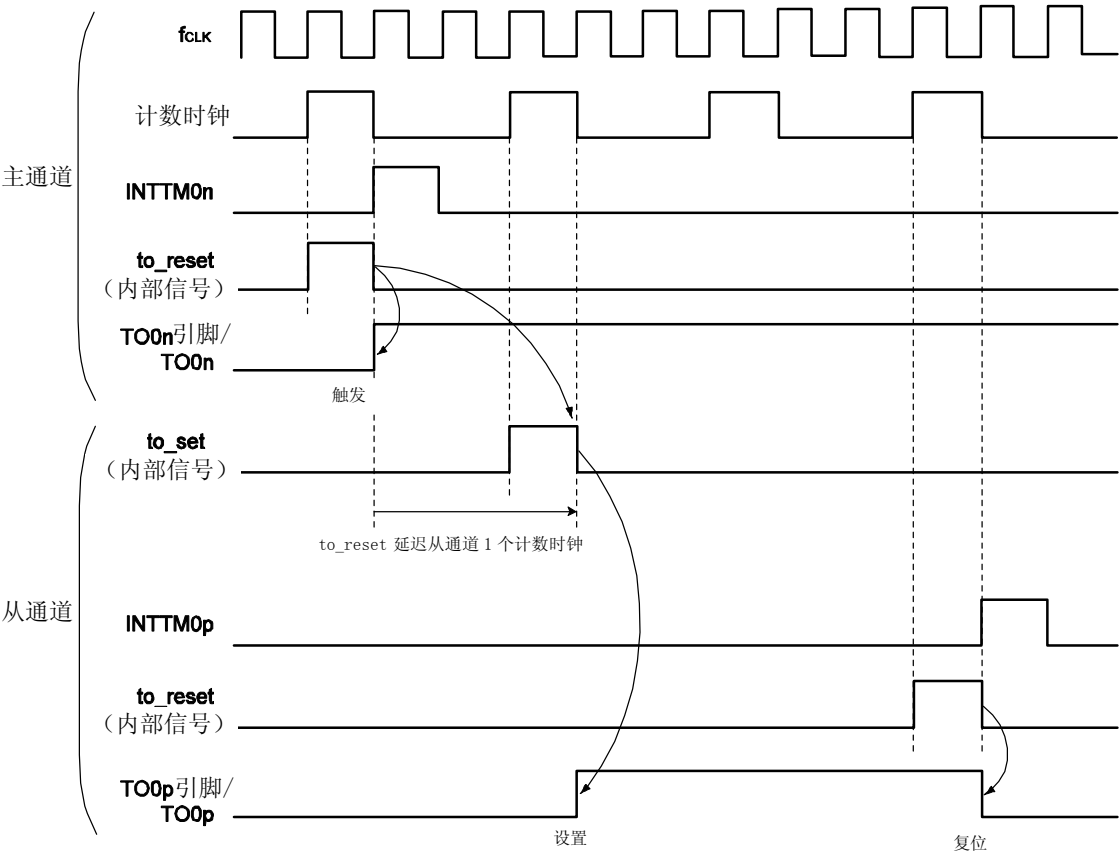
在 PWM 输出时要实现 0%/100%输出，主通道定时器中断(INTTM0n) 发生时 TO0n 引脚/TO0n 设置时序由从通道定时器中断 (INTTM0p)延迟一个计数时钟。

如果设置条件和复位条件同时发生，后者具有较高的优先级。

图 7-29 所示为主/从通道设置如下时设置/复位操作状态。

主通道: TOE0n = 1, TOM0n = 0, TOL0n = 0
从通道: TOE0p = 1, TOM0p = 1, TOL0p = 0

图 7-29. 设置/复位时序操作状态

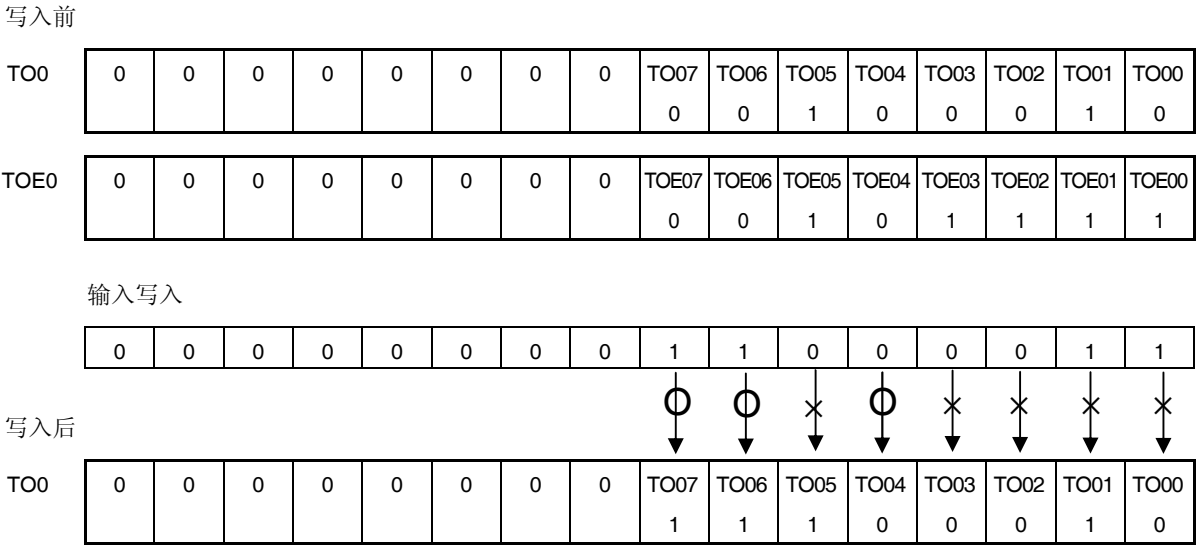


- 备注
- 1. to_reset: TO0n 引脚复位/触发信号
to_set: TO0n 引脚设置信号
 - 2. n = 0~7 (当 n = 0, 2, 4, 或 6 对于主通道)
 - 3. p = n+1, n+2, n+3 ... (p ≤ 7)

7.4.4 TO0n 位的集中操作

在 TO0 寄存器中，所有通道的设置位可在一个寄存器中定位，与 TS0 寄存器 (通道开始触发器) 相同。因此所有通道的 TO0n 可集中操作。只有指定位可通过设置相应 TOE0n = 0 操作到目标 TO0n (通道输出)。

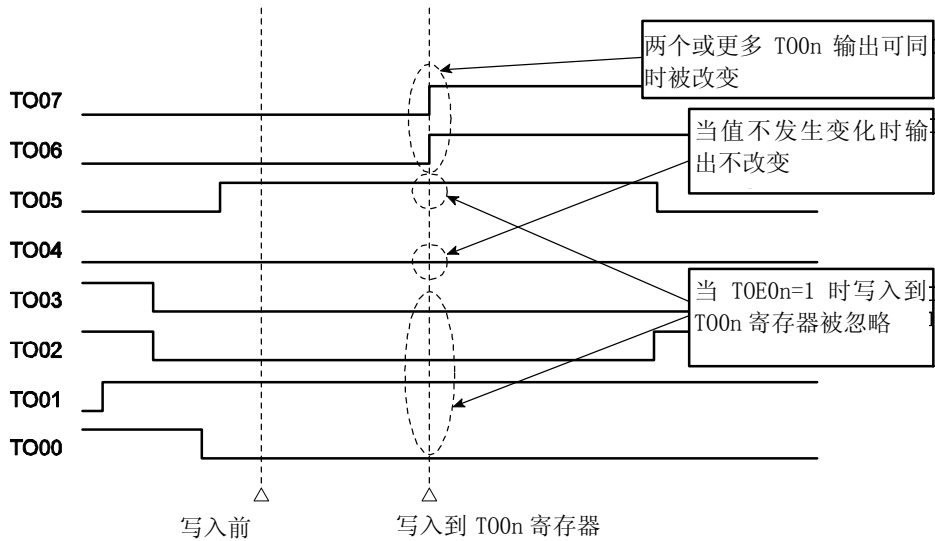
图 7-30. TO0n 位集中操作的示例



TOE0n = 0 只写入 TO0n 位，TOE0n = 1 写入 TO0n 被忽略。

TO0n (通道输出)，设置为 TOE0n = 1，不被写操作影响。即使对 TO0n 进行写操作，将其忽略并且又定时器操作改变的输出正常执行。

图 7-31. 通过集中操作 Toon 位 TO0n 引脚状态



(注意事项和 备注在下页中给出。)

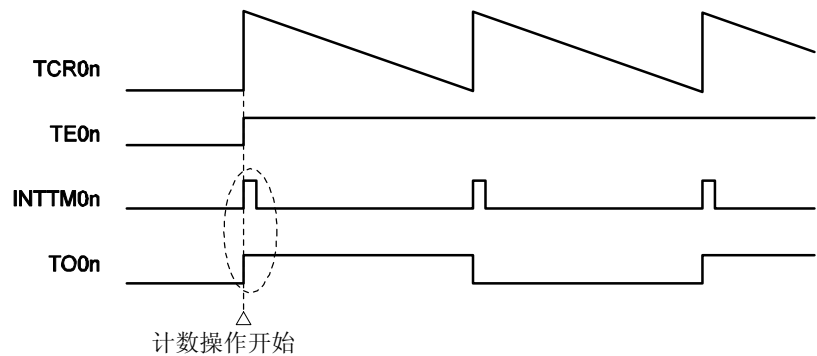
注意事项 当 $TOE0n = 1$ 时，即使各定时器内容写入 $TO0n$ 的定时器中断($INTTM0n$)， $TO0n$ 引脚输出正常。

备注 $n = 0 \sim 7$

7.4.5 定时器中断和操作开始时 $TO0n$ 引脚输出

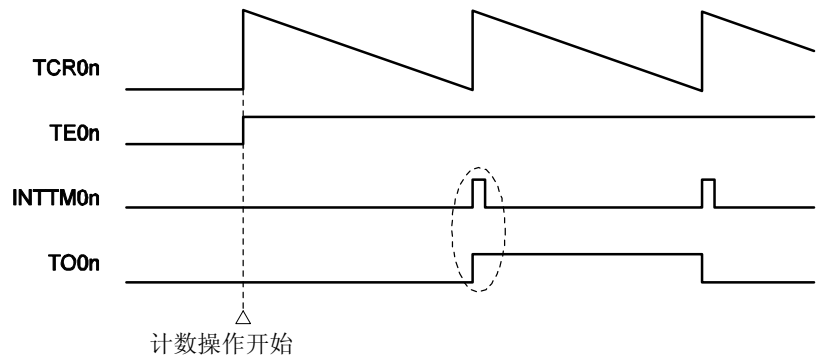
在间隔定时器模式或捕捉模式， $TMR0n$ 寄存器中的 $MD0n0$ 位设置是否在计数开始时产生定时器中断。
当 $MD0n0$ 设置为 1 时，计数操作开始时序可通过定时器中断($INTTM0n$)产生被识别。
在其他模式下，在计数操作开始的定时器中断和 $TO0n$ 输出都不被控制。
图 7-32 和 7-33 所示为设置为 间隔定时器模式($TOE0n = 1, TOM0n = 0$) 时的操作示例。

图 7-32. 当 $MD0n0$ 设置为 1



$MD0n0$ 设置为 1 时，定时器中断 ($INTTM0n$)在计数操作开始时输出，并且 $TO0n$ 执行触发操作。

图 7-33. 当 $MD0n0$ 设置为 0



$MD0n0$ 设置为 0 时，定时器中断 ($INTTM0n$)在计数操作开始时不输出，并且 $TO0n$ 也不改变。计数一个周期后， $INTTM0n$ 输出 并且 $TO0n$ 执行触发操作。

备注 $n = 0 \sim 7$

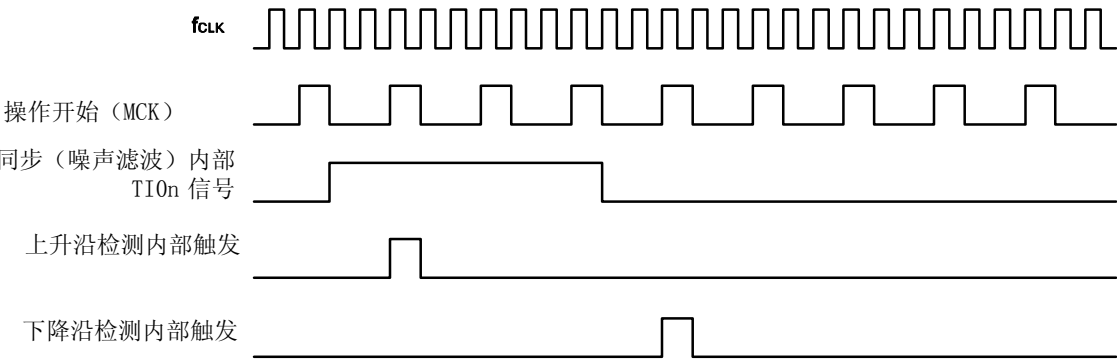
7.5 通道输入 (TI0n 引脚)控制

<R> 7.5.1 TI0n 沿检测电路

(1) 沿检测基本操作时序

沿检测电路采样执行与操作时钟(MCK)一致。

图 7-34. 沿检测基本操作时序



备注 n = 0~7

7.6 定时器阵列单元的基本功能

7.6.1 独立操作功能和组合操作功能的概述

定时器阵列单元由几个通道组成，具有独立操作功能允许每个通道独立操作，和使用两个或更多通道组合在一起的组合操作功能。

任意通道可使用独立操作功能，不论其他通道的操作模式。

组合操作功能通过将主通道（主要计数周期的参考定时器）和一个从通道（与主通道操作一致的定时器）组合在一起实现，使用此功能时必须遵守下面几条规则。

7.6.2 组合操作功能的基本规则

使用组合操作功能的基本规则如下所示。

- (1) 只有偶数通道（通道 0, 2, 4, 等）可设置为主通道。
- (2) 除通道 0 以外的任一通道都可设置为从通道。
- (3) 从通道必须低于主通道。
例：如果通道 2 设置为主通道，通道 3 以后的通道（通道 3, 4, 5, 等）可设置为从通道。
- (4) 一个主通道可以设置两个或更多从通道。
- (5) 当使用两个以上主通道时，与从通道之间有主通道的从通道不能被设置。
例：如果通道 0 和 4 设置为主通道，通道 1 到 3 可被设置为主通道 0 的从通道。通道 5~7 不能设置作为主通道 0 的从通道。
- (6) 从通道与主通道组合时，从通道的操作时钟必须与主通道相同。与主通道一起操作的从通道的 CKS 位（TMR0n 寄存器的第 15 位）必须与主通道的相应位的值相同。
- (7) 主通道可发送 INTTM0n（中断），启动软件触发和低通道计数时钟。
- (8) 从通道可使用 INTTM0n（中断），启动软件触发，和主通道的计数时钟，但是不能发送自己的 INTTM0n（中断），启动软件触发，和计数时钟到低通道。
- (9) 主通道不能使用来自高位主通道 INTTM0n（中断），启动软件触发，和计数时钟。
- (10) 要同时启动组合操作的通道，组合通道的 TS0n 位必须同时设置。
- (11) 在计数操作期间，所有通道的 TS0n 位组合操作或只有主通道可设置。只有从通道的 TS0n 则不能设置。
- (12) 要同时停止组合的通道，组合通道的 TT0n 位必须同时设置。

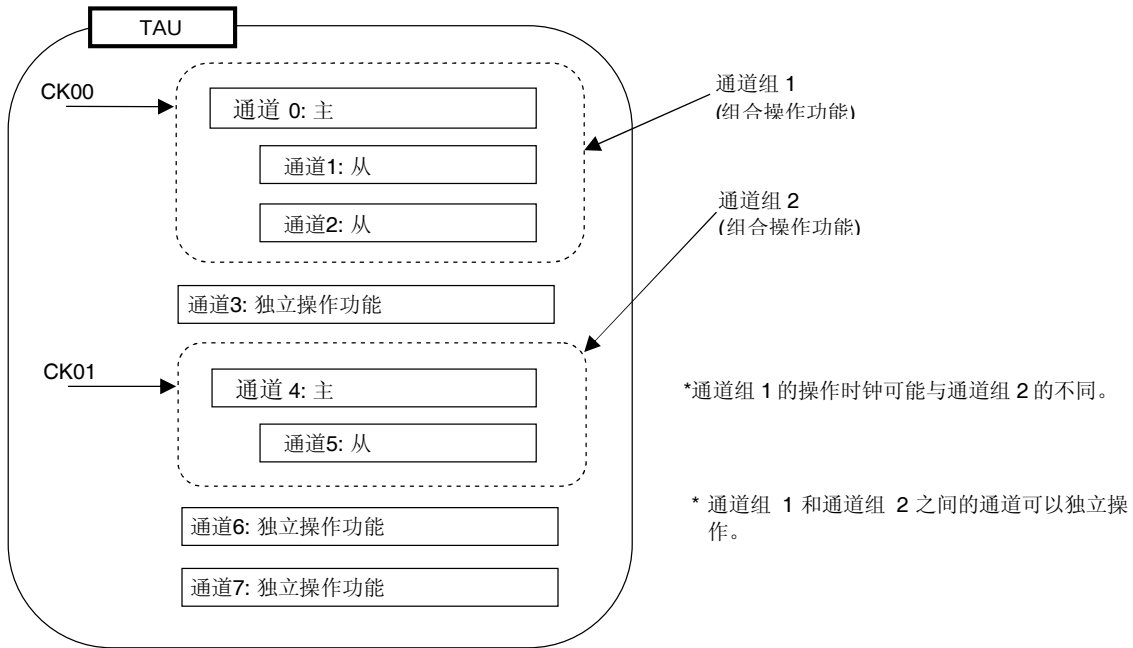
备注 n = 0~7

7.6.3 组合操作功能的基本规则应用范围

组合操作功能的规则应用于一个通道组 (一个主通道和从通道组成一个组合操作功能)。

如果不组合操作的两个或更多通道 组被指定, 则 **7.6.2 组合操作功能的基本规则** 中的组合操作功能的基本规则不应用到通道组。

例



7.7 定时器阵列单元作为通道的操作

7.7.1 作为间隔定时器/方波输出操作

(1) 间隔定时器

定时器阵列单元可用作产生固定间隔的 INTTM0n (定时器中断) 的参考定时器。
可通过下面的表达式计算出中断产生周期。

$$\text{INTTM0n (定时器中断)的产生周期} = \text{计数时钟周期} \times (\text{TDR0n 的设置值} + 1)$$

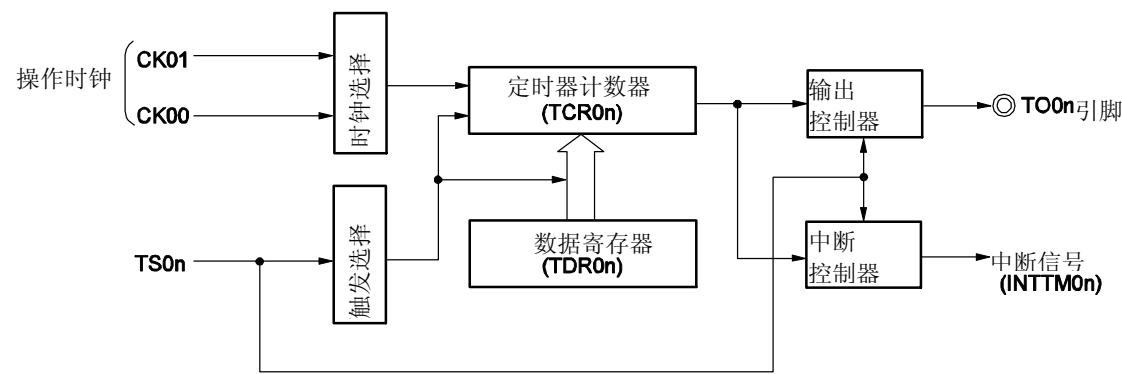
(2) 作为方波输出操作

一旦 INTTM0n 发生，TO0n 就执行触发操作，并且输出一个占空比为 50%的方波。
TO0n 输出方波频率和周期可以通过下面的表达式计算出。

- 从 TO0n 方波输出的周期 = 计数时钟周期 × (TDR0n 的设置值 + 1) × 2
 - 从 TO0n 方波输出的频率 = 计数时钟频率 / ((TDR0n 的设置值 + 1) × 2)

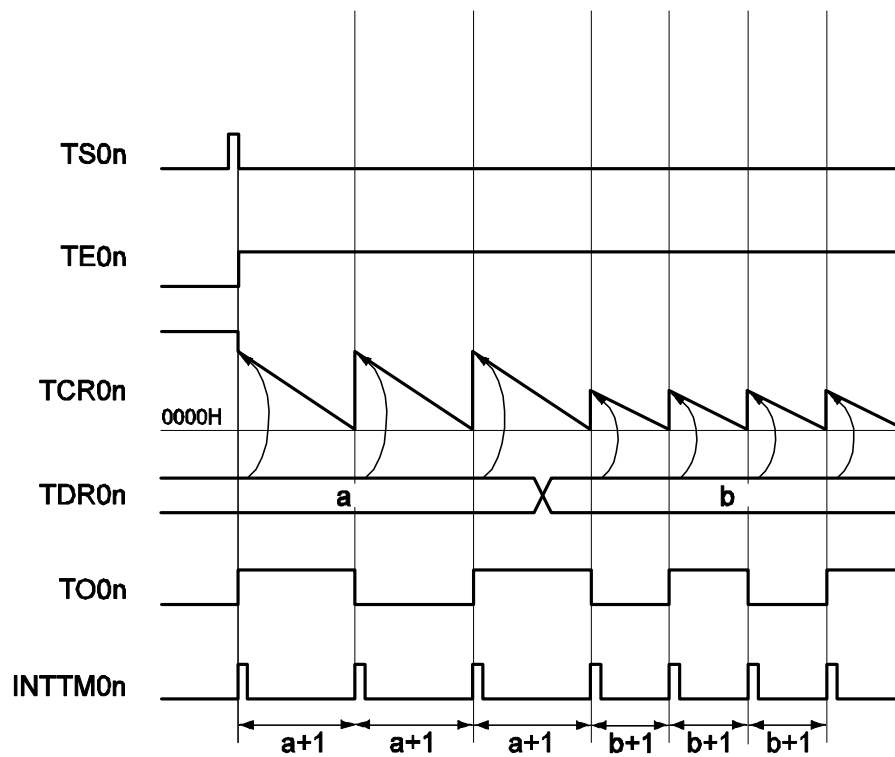
TCR0n 计数器在间隔定时器模式作为向下计数器操作。
通道启动触发位(TS0n)设置为 1 后，TCR0n 在第一个计数时钟加载 TDR0n 的值。如果 TMR0n = 0 的 MD0n0 这时，INTTM0n 不输出并且 TO0n 不触发。如 TMR0n = 1 的 MD0n0，INTTM0n 输出并且 TO0n 触发。
之后，TCR0n 与计数时钟同步向下计数。
当 TCR0n = 0000H 时，INTTM0n 输出 并且 TO0n 在下一个计数时钟触发。同时，TCR0n 再次加载 TDR0n 的值。之后，重复相同的操作。
TDR0n 任何时候都可重写。TDR0n 的新值从下个周期开始有效。

图 7-35. 作为间隔定时器/方波输出操作的框图



备注 n = 0~7

图 7-36. 作为间隔定时器/方波输出 (MD0n0 = 1)操作的基本时序示例



备注 n = 0~7

图 7-37. 间隔定时器/方波输出 操作期间寄存器设置内容的示例

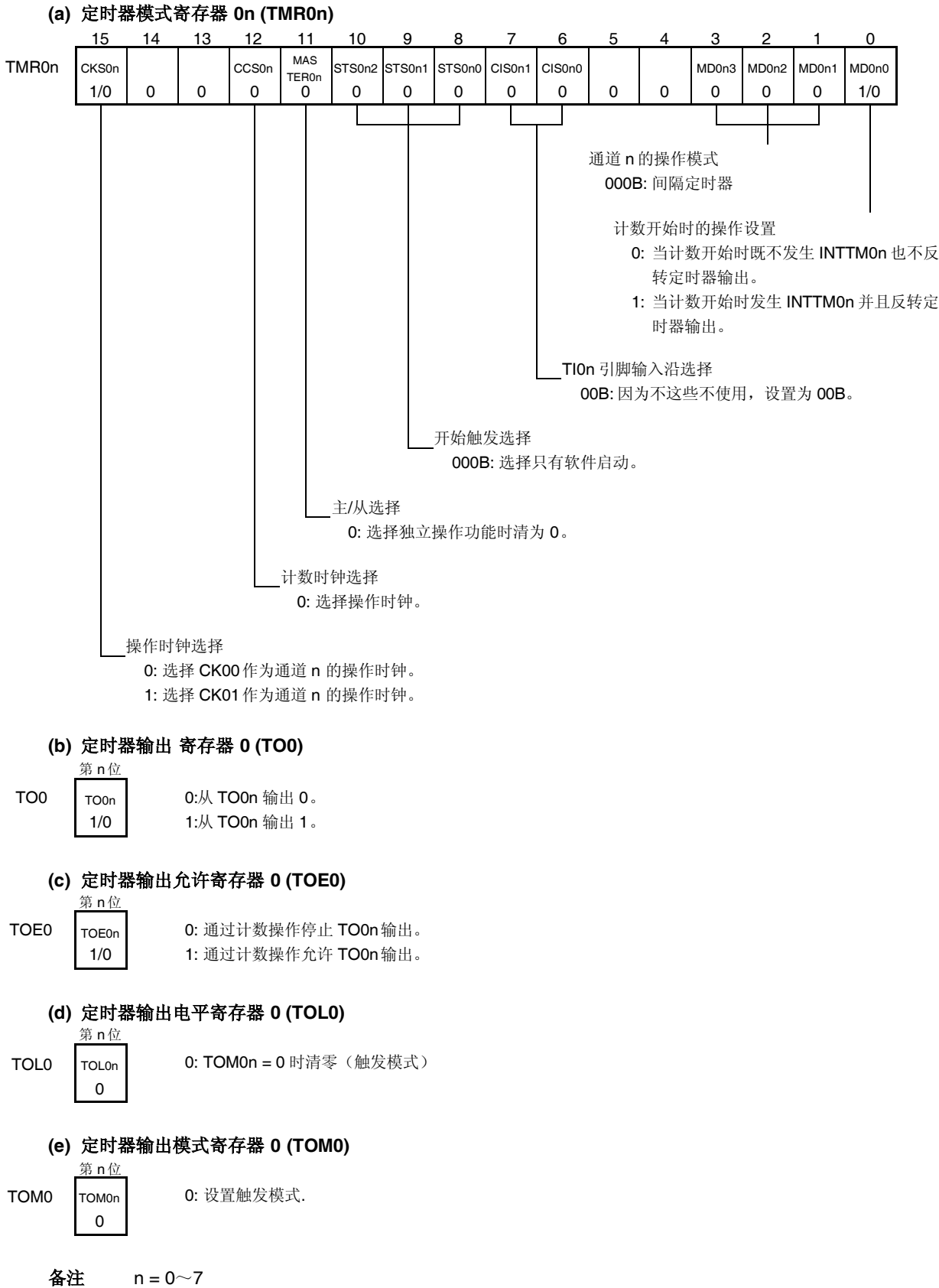


图 7-38. 间隔定时器/方波输出功能的操作过程

	软件操作	硬件状态
TAU 默认设置		掉电状态 (停止供给时钟并且所有寄存器禁止写入。)
	设置 PER0 寄存器的 TAU0EN 位为 1。	上电状态。每个通道停止操作。 (开始供给时钟并且每个寄存器允许写入。)
	设置 TPS0 寄存器。 决定 CK00 和 CK01 的时钟频率。	
通道 默认设置	设置 TMR0n 寄存器 (决定通道的操作模式)。 设置间隔(周期)值到 TDR0n 寄存器。	通道停止操作。 (供给时钟并且产生一些功耗。)
	要使用 TO0n 输出 将 TOM0 寄存器的 TOM0n 位清为 0 (触发模式)。 将 TOL0n 位清为 0。 设置 TO0n 位并且决定 TO0n 输出的默认值。	TO0n 引脚为 Hi-Z 输出状态。
	设置 TOE0n 为 1 并且允许 TO0n 的操作。 将端口寄存器和端口模式寄存器清为 0。	当端口模式寄存器在输出模式下并且端口寄存器为 0 时, 输出 TO0n 默认设置电平。 因为通道停止操作 TO0n 不改变。 TO0n 引脚输出 TO0n 设置电平。
操作开始	设置 TOE0n 为 1 (只当操作恢复时)。 设置 TS0n 位为 1。 由于是触发位, TS0n 位自动恢复为 0。	TE0n = 1, 并且计数操作开始。 在计数时钟输入时 TDR0n 的值被加载到 TCR0n。INTTM0n 产生, 并且如果 TMR0n 寄存器的 MD0n0 位为 1 时 TO0n 执行触发操作。
操作期间	TMR0n, TOM0, 和 TOL0 寄存器的设置值不能改变。 TDR0n 寄存器的设置值不能改变。 TCR0n 寄存器可一直读。 TSR0n 寄存器不使用。 TO0 和 TOE0 寄存器的设置值可以改变。	计数器 (TCR0n) 向下计数。当计数值达到 0000H 时, TDR0n 的值被再次加载到 TCR0n, 并且计数操作继续。通过检测 TCR0n=0000H, INTTM0n 发生, 并且执行触发操作。之后, 重复上面的操作。
操作停止	TT0n 位设置为 1。 由于是触发位, TT0n 位自动恢复为 0。	TE0n = 0, 并且计数操作停止。 TCR0n 保持计数值并停止。 TO0n 输出没有被初始化但保持当前状态。
	TOE0n 清为 0 并且值设置到 TO0 寄存器。	TO0n 引脚输出 TO0n 设置电平。
TAU 停止	要保持 TO0n 引脚输出电平 在要保存的值设置到端口寄存器后将 TO0n 位置 0。	TO0n 引脚输出电平由端口功能保持。
	不需要保持 TO0n 引脚输出电平时, 将 端口模式寄存器切换到输入 模式。	TO0n 引脚输出电平变为 Hi-Z 输出状态。
	PER0 寄存器的 TAU0EN 位被清为 0。	掉电状态 所有电路被初始化, 并且每个通道的 SFR 也被初始化。 (TO0n 位被清零, TO0n 引脚设置为端口模式。)

操作恢复。

备注 n = 0~7

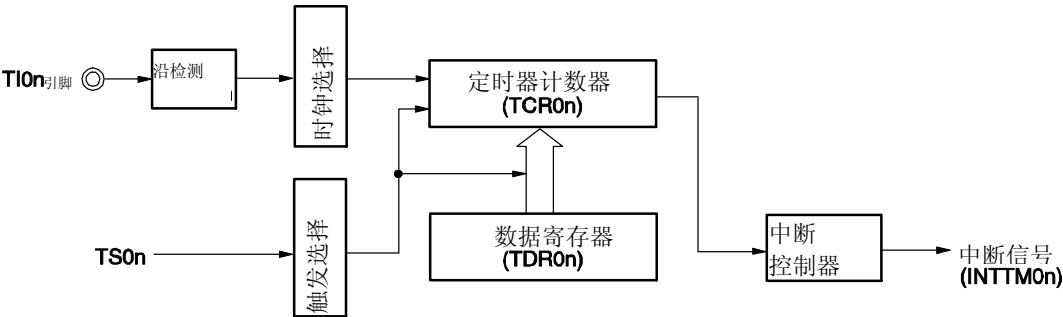
7.7.2 作为外部事件计数器操作

定时器阵列单元可用作外部事件计数器，对有效输入沿（外部事件）的数目进行计数，在 TI0n 引脚检测。当达到指定计数值时，事件计数器产生一个中断。指定的计数号可通过下面的表达式计算得出。

指定的计数序号 = TDR0n 的设置值 + 1

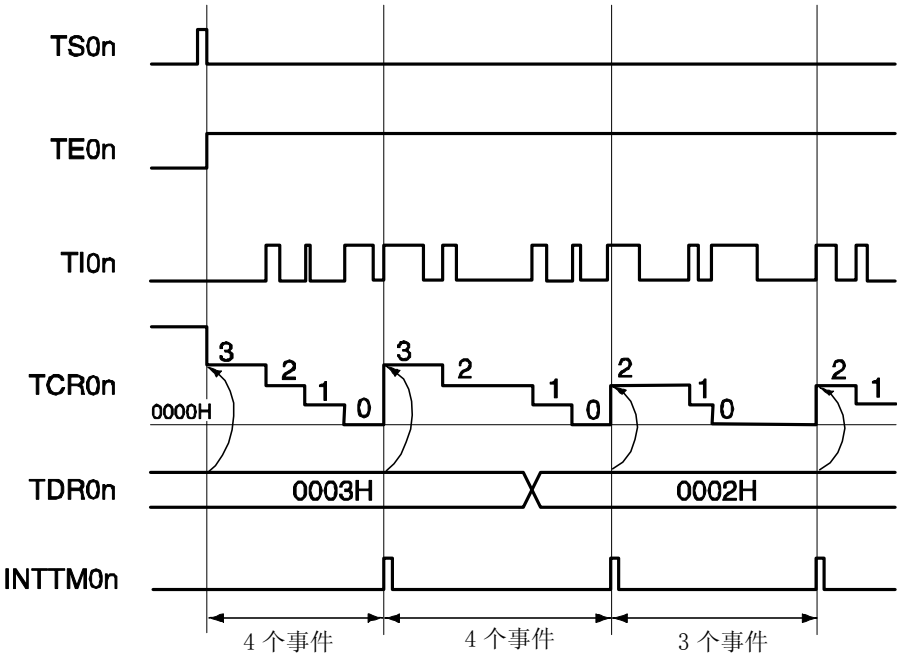
在事件计数器 模式下 TCR0n 作为向下计数器操作。
通道启动触发位 (TS0n) 设置为 1 时，TCR0n 加载 TDR0n 的值。
每次 TI0n 引脚的有效输入沿被检测到时 TCR0n 向下计数。当 TCR0n = 0000H 时，TDR0n 的值再次加载到 TCR0n，并且输出 INTTM0n。
之后，重复上面的操作。
TO0n 不能使用，因为它的波形根据外部事件决定，并且不规则。
TDR0n 可在任何时间重写。在下一个计数周期 TDR0n 的新值有效。

图 7-39. 作为外部事件计数器操作的框图



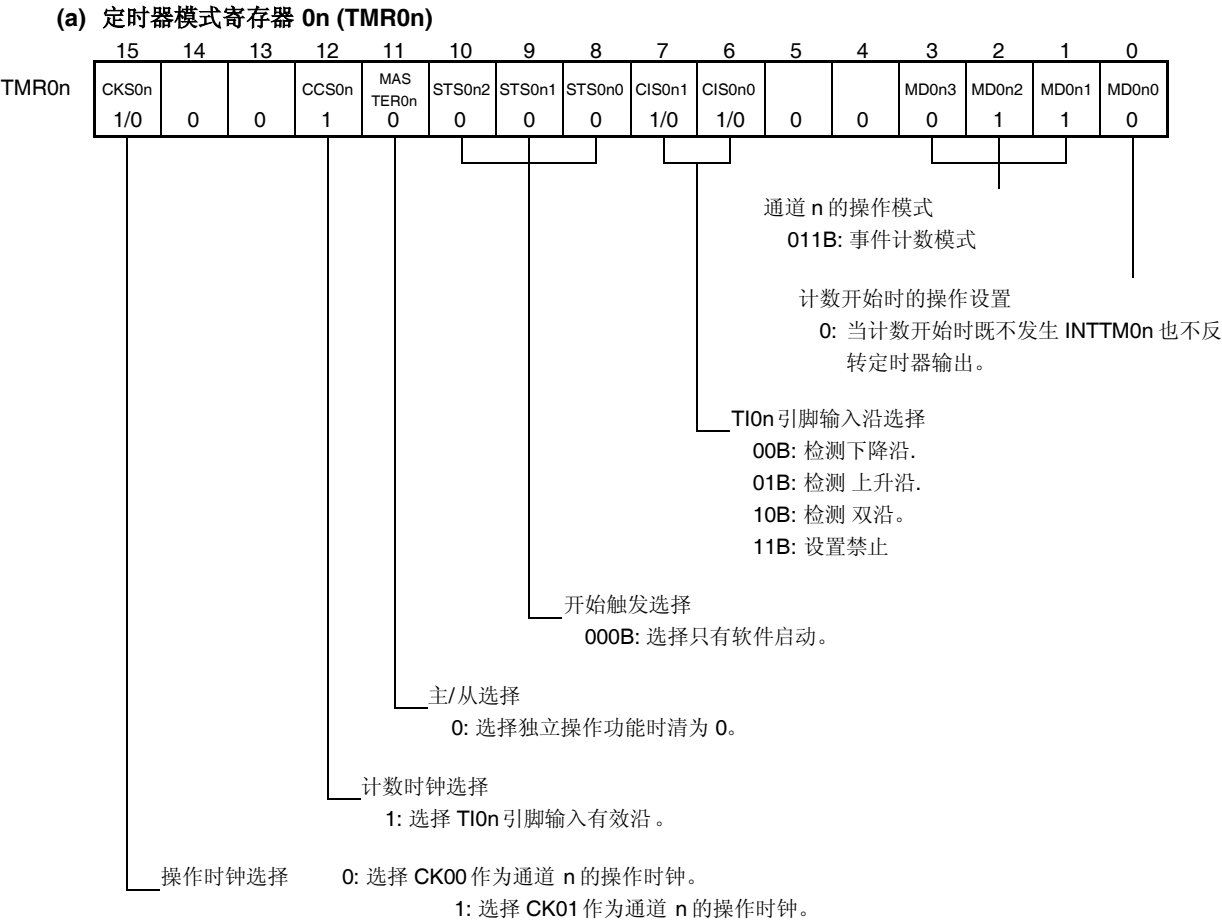
备注 n = 0~7

图 7-40. 作为外部事件计数器操作的基本时序示例



备注 n = 0~7

图 7-41. 在 外部事件计数器 模式下寄存器设置的示例



备注 n = 0~7

图 7-42. 使用外部事件计数器功能时的操作过程



备注 n = 0 ~ 7

7.7.3 用作分频操作

The 定时器阵列单元可用作分频器，分频输入到 TI0n 引脚和从 TO0n 输出的时钟。
从 TO0n 输出的时钟分频可由下面的表达式计算出。

- 当选择上升沿/下降沿时：
分频时钟频率=输入时钟频率/[(TDR0n 的设置值 + 1) × 2]
 - 当选择双沿时：
分频时钟频率≐输入时钟频率/(TDR0n 的设置值 + 1)

在间隔定时器 模式下 TCR0n 作为向下计数器操作。

通道启动触发位 (TS0n)设置为 1 后，当 TI0n 有效沿检测到时 TCR0n 加载 TDR0n 的值。如果此时 TMR0n 的 MD0n0 = 0，INTTM0n 不输出并且 TO0n 不触发。如果 TMR0n 的 MD0n0 = 1，INTTM0n 输出 并且 TO0n 触发。

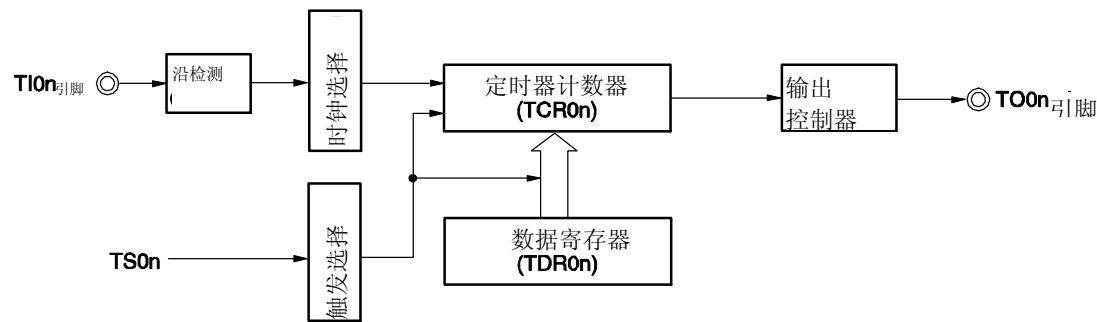
之后，TCR0n 在 TI0n 有效沿向下计数。当 TCR0n = 0000H 时，触发 TO0n。同时，TCR0n 再次加载 TDR0n 的值，继续 计数。

如果选择 TI0n 的双沿检测，输入时钟的占空比误差影响 TO0n 输出的分频时钟周期。
TO0n 输出时钟周期包括操作时钟一个周期的采样误差。

TO0n 输出 时钟周期= 理想 TO0n 输出时钟周期 ± 操作时钟周期(误差)

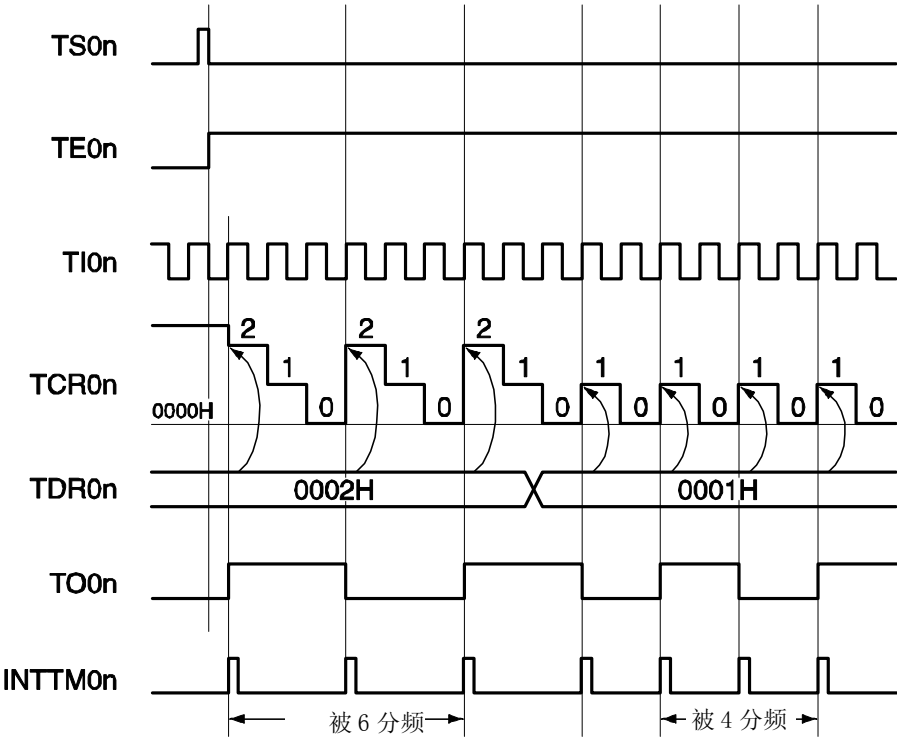
TDR0n 在任何时间可以重写。在下一个计数周期 TDR0n 的新值有效。

图 7-43. 用作分频操作的框图



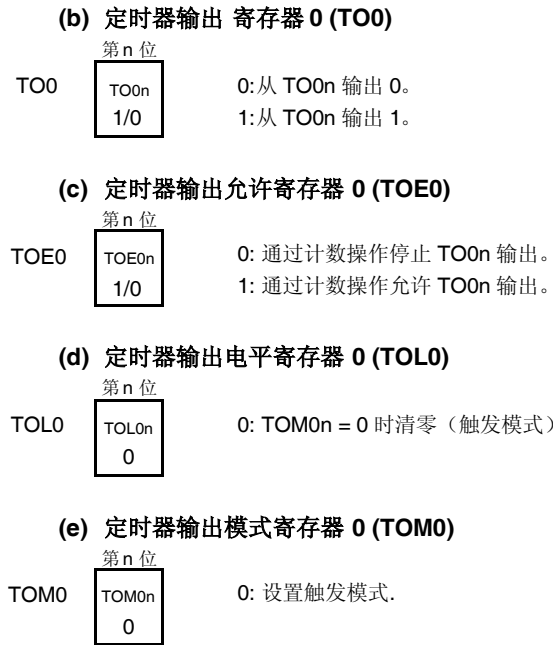
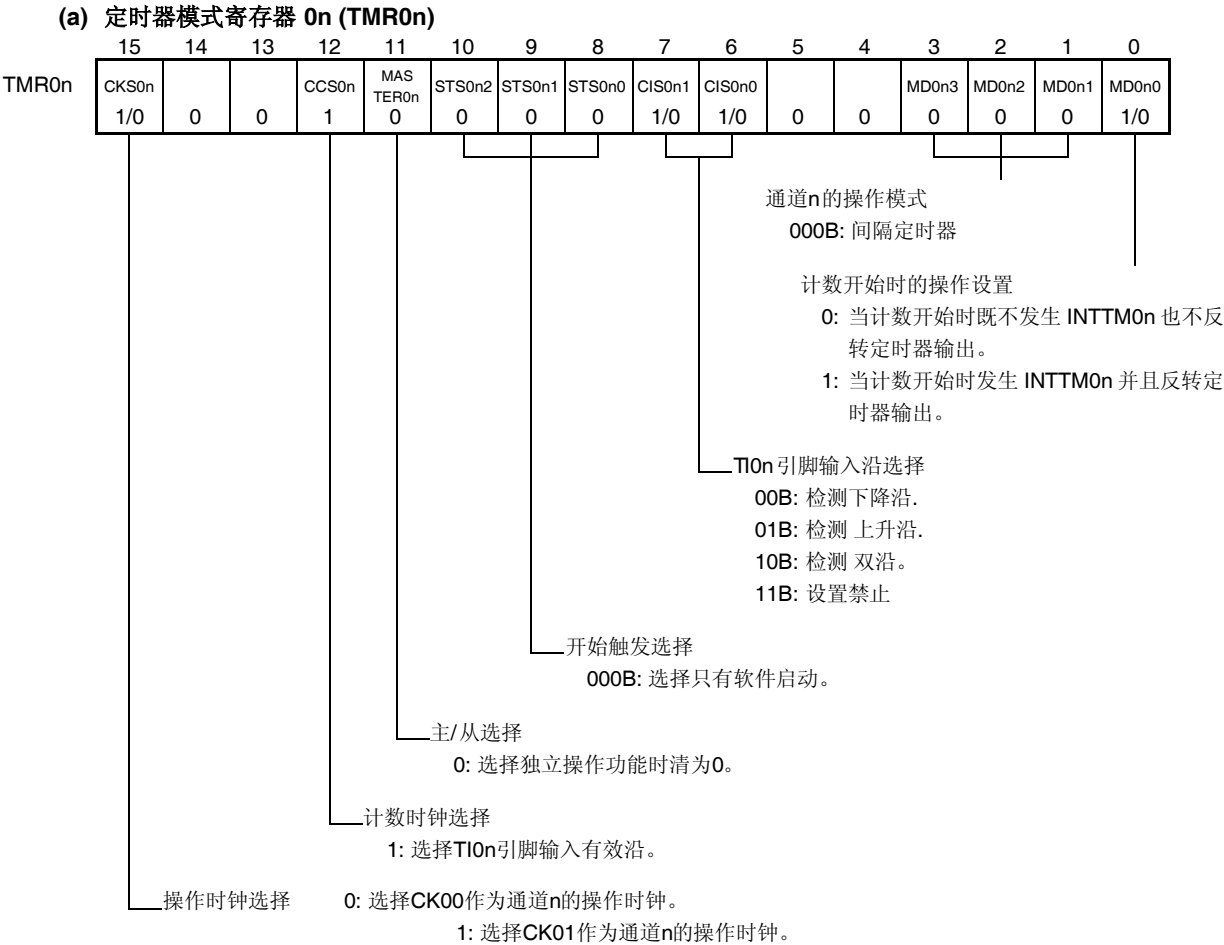
备注 n = 0~7

图 7-44. 作为分频器(MD0n0 = 1) 操作的基本时序示例



备注 n = 0~7

图 7-45.作为分频器使用时寄存器设置的示例



备注 n = 0~7

图 7-46. 当使用分频功能时的操作过程

	软件操作	硬件状态
TAU 默认设置		掉电状态 (停止供给时钟并且所有寄存器禁止写入。)
	设置 PER0 寄存器的 TAU0EN 位为 1。	上电状态。每个通道停止操作。 (开始供给时钟并且每个寄存器允许写入。)
	设置 TPS0 寄存器。 决定 CK00 和 CK01 的时钟频率。	
通道 默认设置	设置 TMR0n 寄存器 (决定通道的操作模式)。 设置间隔(周期)值到 TDR0n 寄存器。	通道停止操作。 (供给时钟并且产生一些功耗。)
	将 TOM0 寄存器的 TOM0n 位清为 0 (触发模式)。 将 TOL0n 位清为 0。 设置 TO0n 位并且决定 TO0n 输出的默认值。	TO0n 引脚为 Hi-Z 输出状态。
	设置 TOE0n 为 1 并且允许 TO0n 的操作。 将端口寄存器和端口模式寄存器清为 0。	当端口模式寄存器在输出模式下并且端口寄存器为 0 时, TO0n 默认设置电平输出。 因为通道停止操作 TO0n 不改变。 TO0n 引脚输出 TO0n 设置电平。
操作开始	设置 TOE0n 为 1 (仅当操作恢复时)。 设置 TS0n 位为 1。 由于是触发位, TS0n 位自动恢复为 0。	TE0n = 1, 并且计数操作开始。 在计数时钟输入时 TDR0n 的值被加载到 TCR0n。INTTM0n 产生, 并且如果 TMR0n 寄存器的 MD0n0 位为 1 时 TO0n 执行触发操作。
操作期间	TDR0n 寄存器的设置值不能改变。 TCR0n 寄存器可一直读。 TSR0n 寄存器不使用。 TO0 和 TOE0 寄存器设置值能改变。 TMR0n, TOM0, 和 TOL0 寄存器的设置值不能改变。	计数器 (TCR0n) 向下计数。当计数值达到 0000H 时, TDR0n 的值被再次加载到 TCR0n, 并且计数操作继续。通过检测 TCR0n = 0000H, INTTM0n 产生并且 TO0n 执行触发操作。之后, 重复上面的操作。
操作停止	TT0n 位设置为 1。 由于是触发位, TT0n 位自动恢复为 0。	TE0n = 0, 并且计数操作停止。 TCR0n 保持计数值并停止。 TO0n 输出没有被初始化但保持当前状态。
	TOE0n 被清零 (0) 并且值被设置到 TO0 寄存器。	TO0n 引脚输出 TO0n 设置电平。
TAU 停止	要保持 TO0n 引脚输出电平 在值被保存到端口寄存器后清零 TO0n 位为 0。 当不需要保存 TO0n 引脚输出电平时 切换模式寄存器到输入模式。	TO0n 引脚输出电平由端口功能保持。 TO0n 引脚输出电平变为 Hi-Z 输出状态。
	PER0 寄存器的 TAU0EN 位被清为 0。	掉电状态 所有电路被初始化并且每个通道的 SFR 也被初始化。 (TO0n 位清为 0, 并且 TO0n 引脚设置为模式)。

操作恢复。

备注 n = 0~7

7.7.4 作为输入脉冲间隔测量操作

在 $TI0n$ 有效沿计数值可被捕捉，输入到 $TI0n$ 的脉冲间隔可被测量。
脉冲间隔可通过下面的公式计算。

$$TI0n \text{ 输入脉冲间隔} = \text{计数时钟周期} \times ((10000H \times TSR0n: OVF) + (TDR0n \text{ 的捕捉值} + 1))$$

注意事项 通过 $TMR0n$ 寄存器的 $CKS0n$ 位选择的操作时钟 $TI0n$ 引脚输入被采样，因此错误与发生的操作时钟数相等。

$TCR0n$ 在捕捉模式下作为向上计数器操作。

当通道启动触发器 ($TS0n$)设置为 1 时， $TCR0n$ 从 $0000H$ 开始与计数时钟同步向上计数。

当 $TI0n$ 引脚输入的有效沿被检测到时，计数值被发送(捕捉)到 $TDR0n$ ，同时计数器 ($TCR0n$)被清为 $0000H$ ，并且 $INTTM0n$ 输出。如果此时计数器溢出， $TSR0n$ 寄存器的 OVF 位设置为 1。如果计数器不溢出， OVF 位被清零。之后，重复上面的操作。

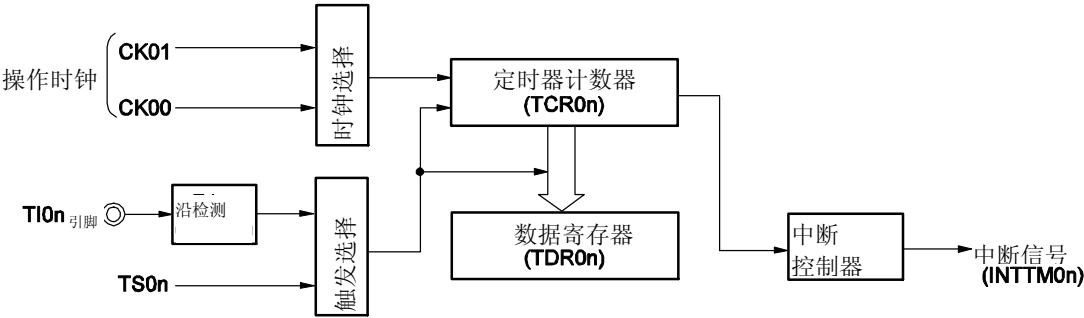
计数值一旦被捕捉到 $TDR0n$ 寄存器， $TSR0n$ 寄存器的 OVF 位就根据测量期间计数器是否溢出更新。因此，可以检测到捕捉值的溢出状态。

如果计数器在两个以上周期达到满计数，判断为一个溢出发生， $TSR0n$ 寄存器的 OVF 位设置为 1。因此 OVF 位作为累计标志，如果一个溢出发生一次以上，不能测量到正确的间隔值。

通过作为开始触发和捕捉触发的 $TI0n$ 的有效沿设置 $TMR0n$ 寄存器的 $STS0n2 \sim STS0n0$ 位为 $001B$ 。

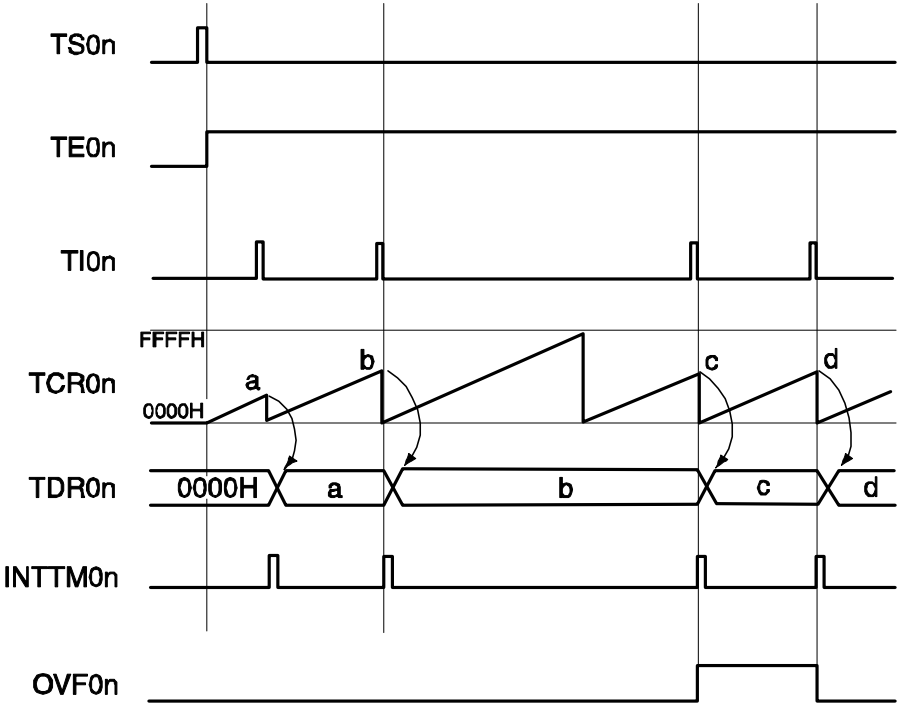
当 $TE0n = 1$ ，代替 $TI0n$ 引脚输入，软件操作 ($TS0n = 1$) 可作为捕捉触发。

图 7-47. 作为输入脉冲间隔测量操作的框图



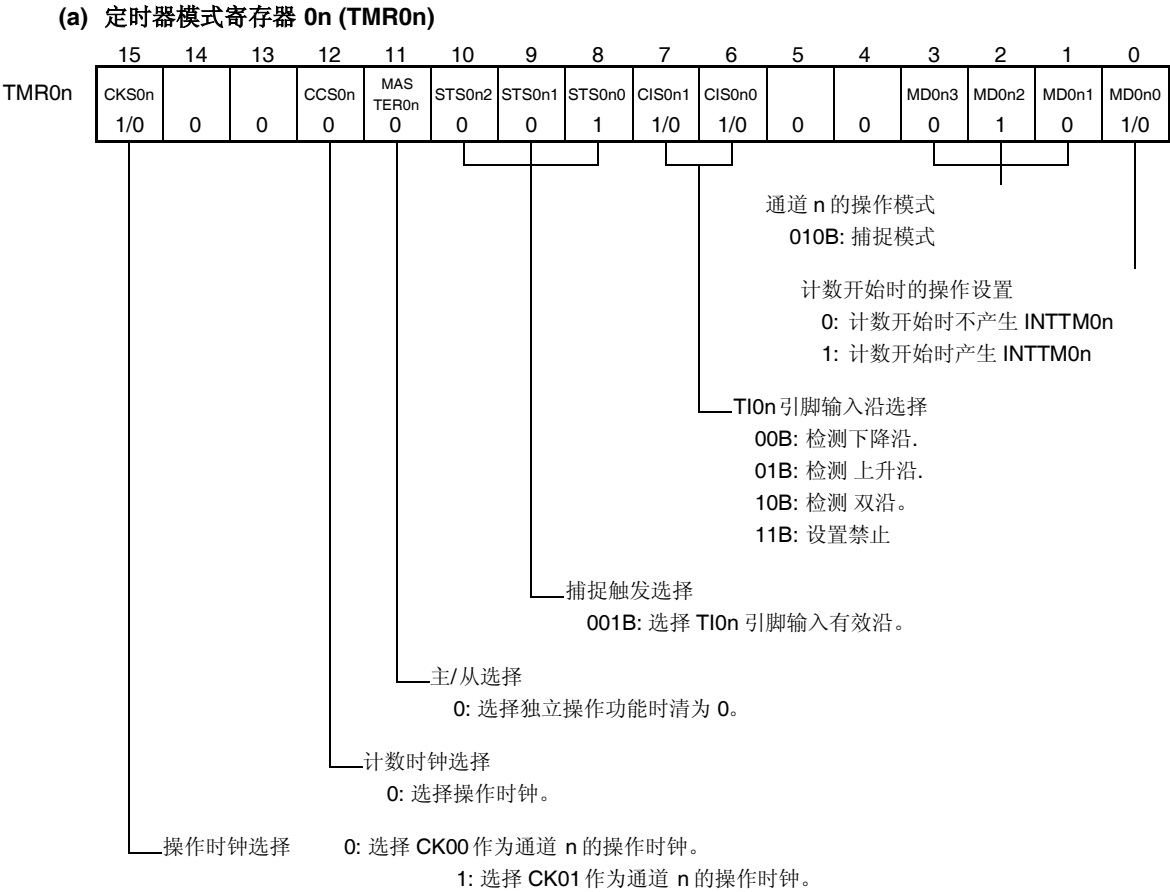
备注 $n = 0 \sim 7$

图 7-48. 作为输入脉冲间隔测量 (MD0n0 = 0) 操作的基本时序示例



备注 n = 0~7

图 7-49. 测量输入 脉冲间隔的寄存器设置的示例



备注 n = 0~7

图 7-50. 当使用 输入脉冲间隔测量功能时的操作过程



备注 n = 0 ~ 7

7.7.5 用作输入信号高/低电平宽度测量操作

通过在 $TI0n$ 的一个沿开始计数并且在另一个沿捕捉计数的序号，可以测量 $TI0n$ 的信号宽度(高电平宽度/低电平宽度)。 $TI0n$ 的信号宽度可以由下面的公式计算出。

$$TI0n \text{ 输入的信号宽度} = \text{计数时钟周期} \times ((10000H \times \text{TSRn: OVF}) + (\text{TDR0n 的捕捉值} + 1))$$

注意事项 通过 $TMR0n$ 寄存器的 $CKS0n$ 位选择的操作时钟 $TI0n$ 引脚输入被采样，因此错误与发生的操作时钟数相等。

$TCR0n$ 在捕捉& 单计数 模式下作为向上计数器。

当通道启动触发器 ($TS0n$)设置为 1， $TE0n$ 设置为 1 并且 $TI0n$ 引脚开始沿检测等待状态被设置。

当检测到 $TI0n$ 开始有效沿 (当测量高电平宽度时 $TI0n$ 的上升沿)，计数器与计数时钟同步向上计数。之后当检测到有效捕捉沿 (当测量高电平宽度时 $TI0n$ 的下降沿)，计数值发送到 $TDR0n$ ，同时， $INTTM0n$ 输出。如果计数器在此时溢出， $TSR0n$ 寄存器的 OVF 位设置为 1。如果计数器没有溢出， OVF 位清零。当值为“发送到 $TDR0n$ 的值+1”时 $TCR0n$ 停止，设置 $TI0n$ 引脚开始沿检测等待状态。之后，重复上面的操作。

计数值一旦被捕捉到 $TDR0n$ 寄存器， $TSR0n$ 寄存器的 OVF 位就根据测量期间计数器是否溢出更新。因此，可以检测到捕捉值的溢出状态。

如果计数器在两个以上周期达到满计数，判断为一个溢出发生， $TSR0n$ 寄存器的 OVF 位设置为 1。因此 OVF 位作为累计标志，如果一个溢出发生一次以上，不能测量到正确的间隔值。

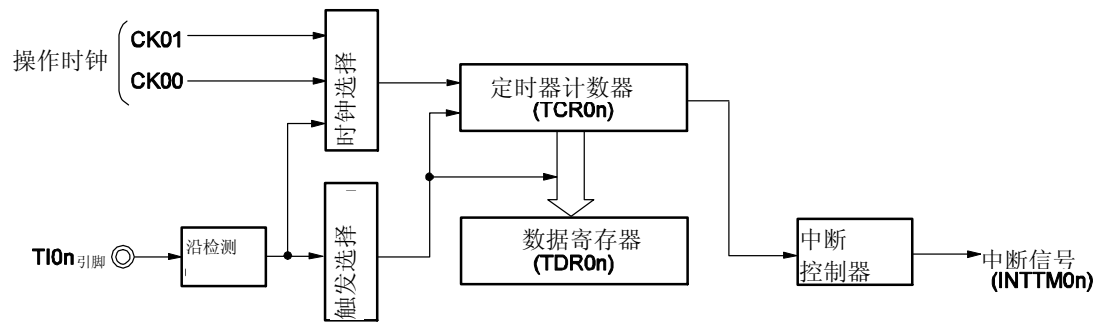
通过 $TMR0n$ 寄存器的 $CIS0n1$ 和 $CIS0n0$ 位可以选择测量 $TI0n$ 引脚的高电平宽度或低电平宽度。

因为用于测量 $TI0n$ 引脚输入的信号宽度的功能，当 $TE0n$ 为 1 时 $TS0n$ 不能设置为 1。

$TMR0n$ 的 $CIS0n1, CIS0n0 = 10B$: 测量低电平宽度。

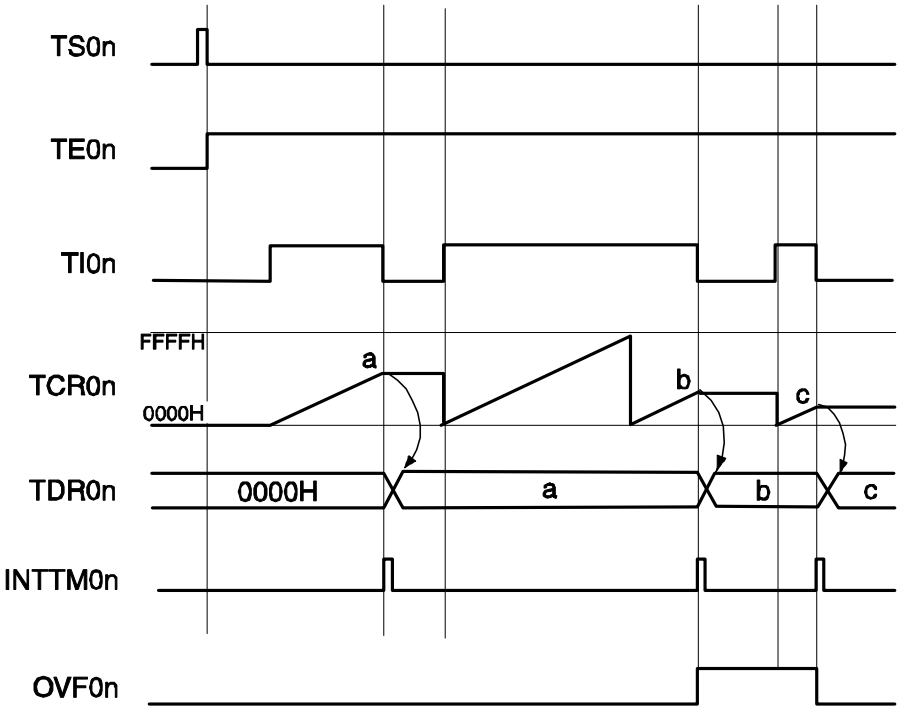
$TMR0n$ 的 $CIS0n1, CIS0n0 = 11B$: 测量高电平宽度。

图 7-51.作为输入信号高/低电平宽度测量操作的框图



备注 $n = 0 \sim 7$

图 7-52. 作为输入信号高/低电平宽度测量操作的基本时序示例



备注 n = 0~7

图 7-53. 测量输入信号高/低电平宽度的寄存器设置的示例

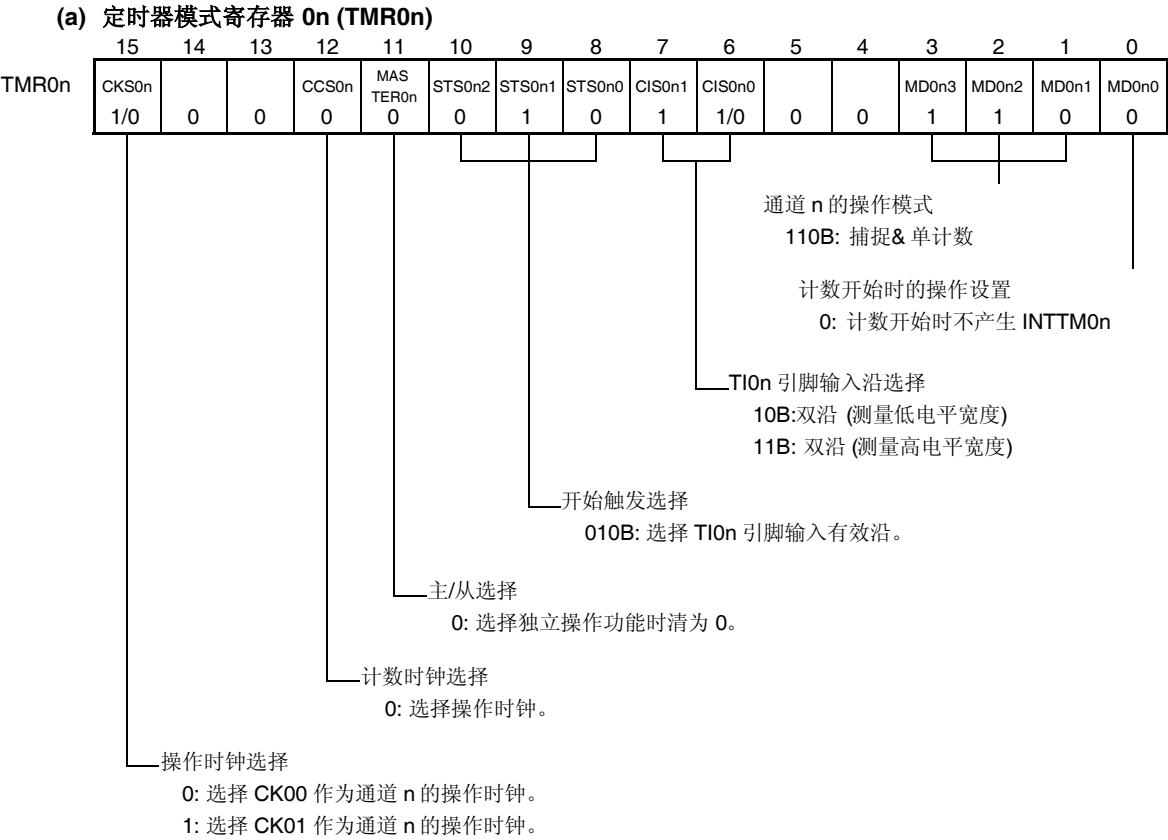


图 7-54. 使用输入信号高/低电平宽度测量功能的操作过程

	软件操作	硬件状态
TAU 默认设置		掉电状态 (停止供给时钟并且所有寄存器禁止写入。)
	设置 PER0 寄存器的 TAU0EN 位为 1。	上电状态。每个通道停止操作。 (开始供给时钟并且每个寄存器允许写入。)
	设置 TPS0 寄存器。 决定 CK00 和 CK01 的时钟频率。	
通道 默认设置	设置 TMR0n 寄存器 (决定通道的操作模式)。 TOE0n 清为 0 并且停止 TO0n 的操作。	通道停止操作。 (供给时钟并且产生一些功耗。)
操作开始	设置 TS0n 位为 1。 由于是触发位, TS0n 位自动恢复为 0。	TE0n = 1, 设置 TI0n 引脚开始沿检测等待状态。
	检测 TI0n 引脚输入计数开始有效沿。.	TCR0n 清为 0000H 并且开始向上计数。
操作期间	TDR0n 寄存器的设置值不能改变。 TCR0n 寄存器可一直读。 TSR0n 寄存器不使用。 TMR0n, TOM0, TOL0, TO0, 和 TOE0 寄存器的设置值不能改变。	当 TI0n 引脚开始沿被检测到时, 计数器 (TCRn) 从 0000H 开始向上计数。如果检测到 TI0n 引脚的一个捕捉沿, 计数值发送到 TDR0n, 产生 INTTM0n。 如果此时发生溢出, 设置寄存器的 OVF 位; 如果没有溢出, OVF 位清零。直到下一个 TI0n 引脚开始沿被检测到 TCR0n 停止计数操作。
操作停止	TT0n 位设置为 1。 因为是触发位 TT0n 位自动返回 0。	TE0n = 0, 并且计数操作停止。 TCR0n 保持计数值并停止。 TSR0n 寄存器的 OVF 位也保持。
TAU 停止	PER0 寄存器的 TAU0EN 位清为 0。	掉电状态 所有电路被初始化, 并且每个通道的 SFR 也被初始化。

操作恢复。

备注 n = 0 ~ 7

7.8 定时器阵列单元的多通道操作

7.8.1 作为 PWM 功能操作

两个通道可用做设置产生任意周期和占空比的脉冲。
输出 脉冲的周期和占空比可通过下面的公式计算出。

脉冲周期= { TDR0n (主设备)的设置值 + 1} ×计数时钟周期

占空比 [%] = { DR0m (从设备)的设置值}/{ TDR0n (主设备) 的设置值+ 1} × 100

0%输出: TDR0m (从设备) 的设置值= 0000H

100%输出: TDR0m (从设备) 的设置值≥ { TDR0n (主设备) 的设置值+ 1}

备注 如果 TDR0m (从设备) 的设置值> (TDR0n 的设置值(主设备) + 1)占空比超出 100%。作为 100%输出。

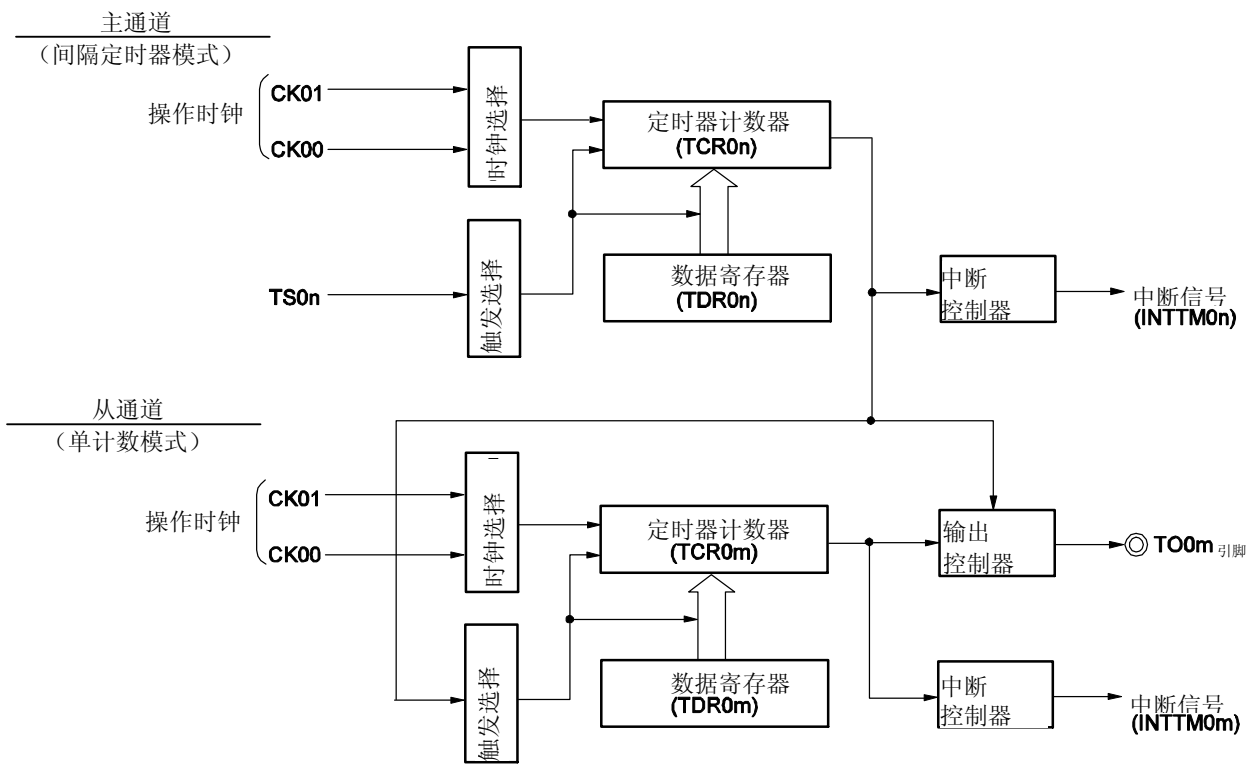
主通道操作在间隔定时器模式和计数周期。当通道启动触发器(TS0n)设置为 1 时， INTTM0n 输出。TCR0n 从 TDR0n 的加载值开始向下计数，与计数时钟同步。当 TCR0n = 0000H 时，INTTM0n 输出。TCR0n 再次加载 TDR0n 的值。之后，重复上面的操作。

从通道的 TCR0m 操作在单计数模式下，计数占空比，和从 TO0m 引脚输出的 PWM 波形。从通道的 TCR0m 加载 TDR0m 的值，通过主通道的 INTTM0n 作为开始触发，并且停止计数知道下一个开始触发(主通道的 INTTM0n) 输入。
TO0m 的输出电平在 INTTM0n 从主通道发生或变为有效的一个计数时钟，当 TCR0m = 0000H 时无效。

注意事项 要重写主通道的 TDR0n 和从通道的 TDR0m，需要两次写入访问。TDR0n 和 TDR0m 的值加载到 TCR0n 和 TRC0m 的时序在主通道的 INTTM0n 发生时。因此，当修改分别在主通道的 INTTM0n 发生之前和之后执行时， TO0m 引脚不能输出预期的波形。要修改主通道的 TDR0n 和从通道的 TDR0m，必须在 INTTM0n 从主通道产生后立即修改寄存器。

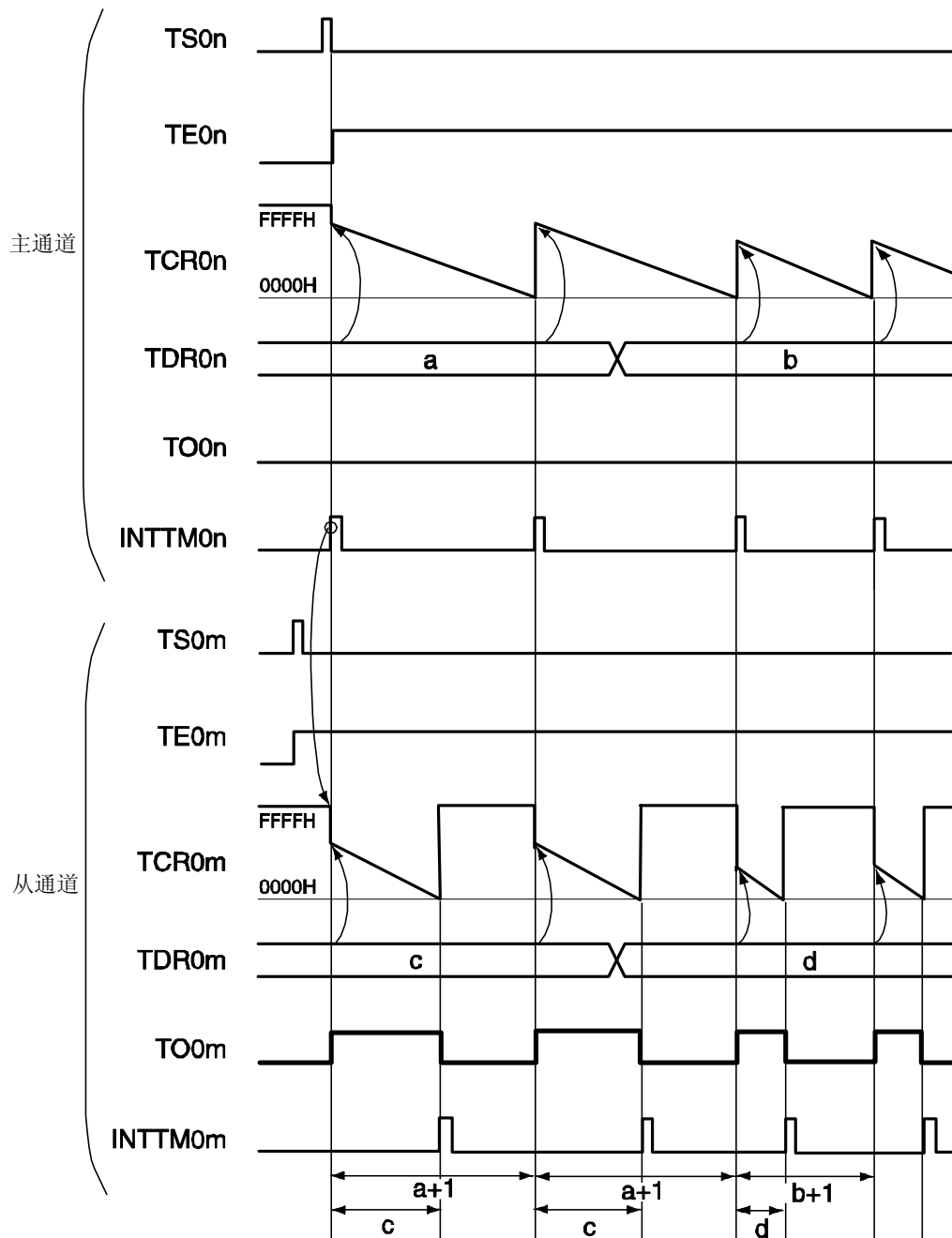
备注 n = 0, 2, 4, 6
 m = n + 1

图 7-55. 作为 PWM 功能操作的框图



备注 $n = 0, 2, 4, 6$
 $m = n + 1$

图 7-56. 作为 PWM 功能操作的基本时序示例



备注 $n = 0, 2, 4, 6$
 $m = n + 1$

图 7-57. 当作为 PWM 功能(主通道)使用时寄存器设置的示例

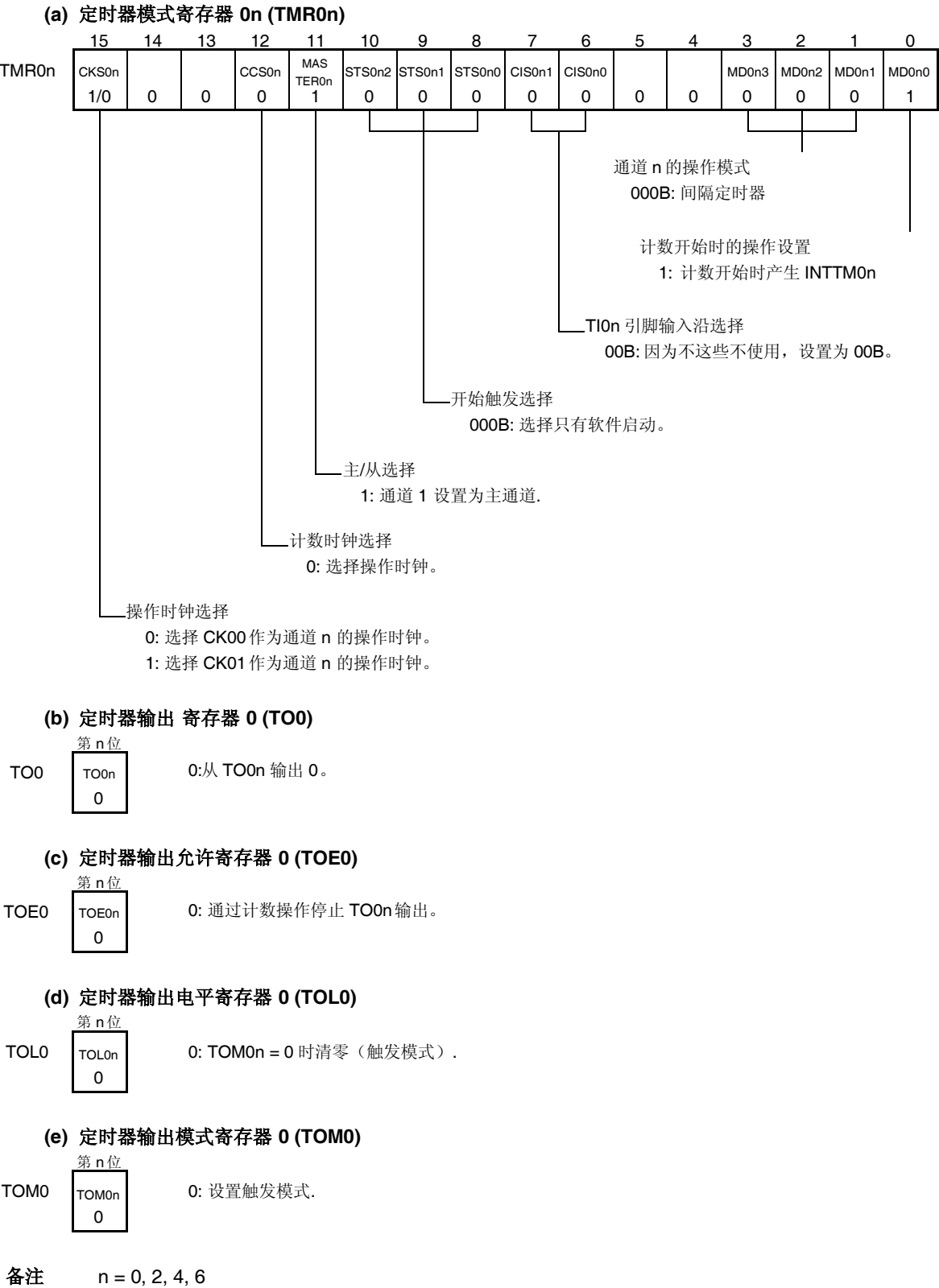
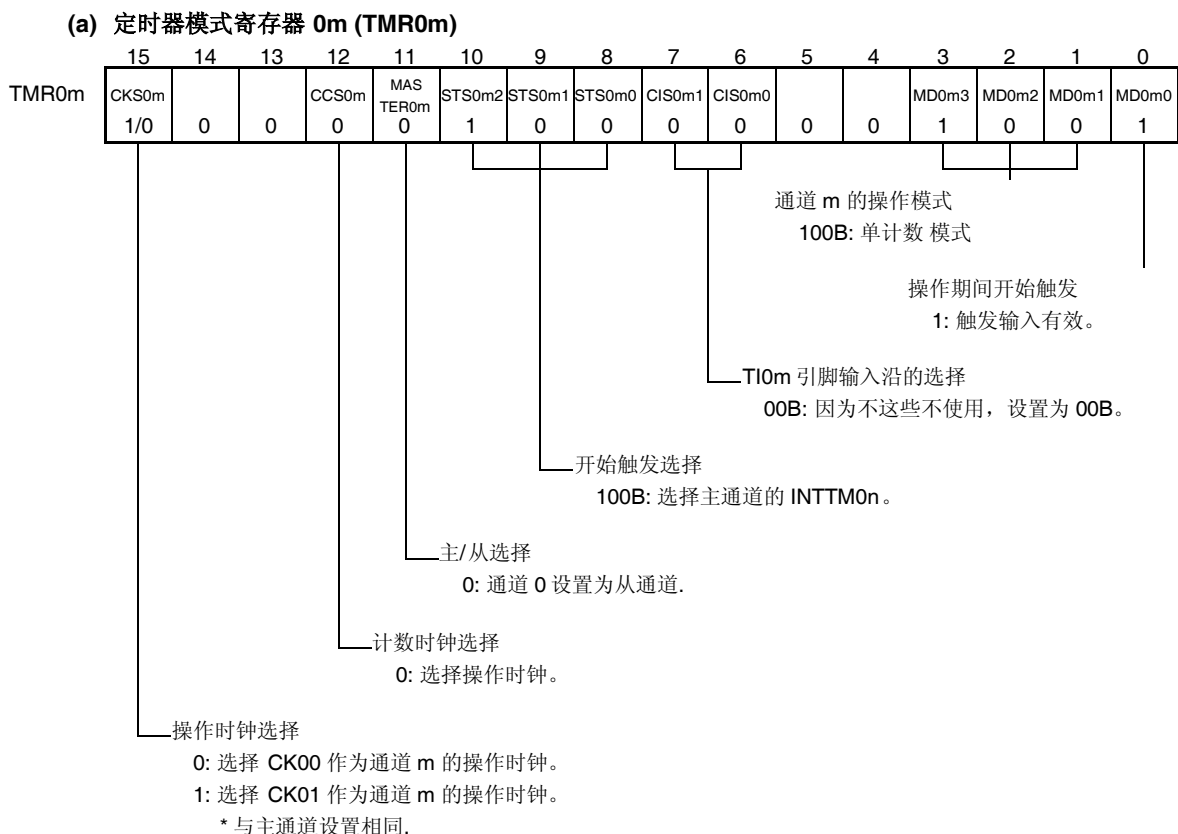


图 7-58. 当作为 PWM 功能(从通道)使用时寄存器设置的示例



(b) 定时器输出 寄存器 0 (TO0)

TO0	第 m 位	
	TO0m	0: 同 TO0m 输出 0。 1: 同 TO0m 输出 1。
	1/0	

(c) 定时器输出允许寄存器 0 (TOE0)

TOE0	第 m 位	
	TOE0m	0: 通过计数操作停止 TO0m 输出。 1: 通过计数操作允许 TO0m 输出。
	1/0	

(d) 定时器输出电平寄存器 0 (TOL0)

TOL0	第 m 位	
	TOL0m	0: 正向逻辑输出 (高有效) 1: 反向输出 (低有效)
	1/0	

(e) 定时器输出模式寄存器 0 (TOM0)

TOM0	第 m 位	
	TOM0m	1: 设置组合操作模式。
	1	

备注 n = 0, 2, 4, 6
 m = n + 1

图 7-59. 当用作 PWM 功能时的操作过程(1/2)

	软件操作	硬件状态
TAU 默认设置		掉电状态 (停止供给时钟并且所有寄存器禁止写入。)
	设置 PER0 寄存器的 TAU0EN 位为 1。	上电状态。每个通道停止操作。 (开始供给时钟并且每个寄存器允许写入。)
	设置 TPS0 寄存器。 决定 CK00 和 CK01 的时钟频率。	
通道 默认设置	设置两个通道的 TMR0n 和 TMR0m 寄存器要被使用 (决定通道的操作模式)。 一个间隔(周期)值设置到主通道的 TDR0n 寄存器, 占空比设置到从通道的 TDR0m 寄存器。	通道停止操作。 (供给时钟并且产生一些功耗。)
	设置从通道。 TOM0 寄存器的 TOM0m 位设置为 1 (组合操作模式)。 设置 TOL0m 位 设置 TO0m 位并决定 TO0m 输出的默认电平。 设置 TOE0m 为 1 并允许 TO0m 操作。 将端口寄存器和端口模式寄存器清为 0。	TO0n 引脚为 Hi-Z 输出状态。 当模式寄存器在输出模式下并且端口寄存器为 0 时, 输出 TO0n 默认设置电平。 因为通道停止操作 TO0m 不能修改。 TO0m 引脚输出 TO0m 的设置电平。

备注 n = 0, 2, 4, 6
 m = n + 1

图 7-59. 当用作 PWM 功能时的操作过程(2/2)

	软件操作	硬件状态
操作开始	设置 TOE0m (从通道)为 1 (仅当恢复操作时). TS0 寄存器的 TS0n (主通道)和 TS0m (从通道)位同时设置为 1。 因为触发位 TS0n 和 TS0m 位自动返回为 0。	TE0n = 1, TE0m = 1 当主通道开始计数, 产生 INTTM0n。由此中断触发的, 从通道也开始计数。
操作期间	TMR0n 和 TMR0m 寄存器的设置值不能修改。 TDR0n 和 TDR0m 寄存器的设置值在主通道的 INTTM0n 产生后可被修改。 TCR0n 和 TCR0m 寄存器一直可度。 TSR0n 和 TSR0m 寄存器不可用。 TOL0, TO0, 和 TOE0 寄存器的设置值不能修改。	主通道的计数器加载 TDR0n 的值到 TCR0n, 并向下载数。当计数值达到 TCR0n = 0000H, 产生 INTTM0n 输出。同时, TDR0n 寄存器的值加载到 TCR0n, 计数器开始再次向下计数。 在从通道, TDR0m 的值加载到 TCR0m, 由主通道的 INTTM0n 触发, 计数器开始向下计数。The 输出 level of TO0m 的输出电平 在 INTTM0n 从主通道输出后的一个计数时钟有效。当 TCR0m = 0000H 时无效, 并且计数操作停止。 之后, 重复上面的操作。
操作停止	TT0n (主通道) TT0m (从通道)同时设置为 1。 因为触发位 TT0n 和 TT0m 位自动返回为 0。	TE0n, TE0m = 0, 并且计数操作停止。 TCR0n 和 TCR0m 保持计数值并停止。 TO0m 输出 不被初始化而保持当前状态。
TAU 停止	从通道的 TOE0m 清为 0, 值设置到 TO0m 寄存器。	TO0m 引脚输出 TO0n 的设置电平。
	要保持 TO0m 引脚输出电平 TO0m 位在值保存到的端口寄存器后清为 0。 当不需要保持 TO0m 引脚输出电平时 切换端口模式寄存器到输入 模式。	TO0m 引脚输出电平通过端口功能保持。 TO0m 引脚输出电平变为 Hi-Z 输出状态。
	PER0 寄存器的 TAU0EN 位被清为 0。	掉电状态 所有电路被初始化, 并且每个通道的 SFR 也被初始化。 (TO0m 位清为 0, TO0m 引脚设置为端口模式.)

操作恢复。

备注 n = 0, 2, 4, 6
 m = n + 1

7.8.2 作为单脉冲输出功能操作

通过设置的两个通道，从输入到 **TIO_n** 引脚信号可产生任意延迟脉冲宽度的单脉冲。
延迟时间和脉冲宽度可通过下面的公式计算出。

延迟时间 = { **TDR0_n** (主通道)的设置值 + 2} × 计数时钟周期

脉冲宽度 = { **TDR0_m** (从通道) 的设置值} × 计数时钟周期

主通道操作在单计数模式下，对延迟计数。主通道的 **TCR0_n** 在检测到开始触发时开始操作，**TDR0_n** 的值赋给 **TCR0_n**。**TCR0_n** 从赋给的 **TDR0_n** 的值开始向下计数，与计数时钟同步。当 **TCR0_n** = 0000H 时，输出 **INTTM0_n** 并且停止计数直到下一个开始触发被检测。

从通道操作在单计数模式下，对脉冲宽度计数。通过主通道的 **INTTM0_n** 作为开始触发，从通道的 **TCR0_m** 开始计数，并加载 **TDR0_m** 值。**TCR0_m** 从加载的 **TDR0_m** 的值开始向下计数，与计数时钟同步。当 **TCR0_m** = 0000H 时，输出 **INTTM0_m** 并停止计数直到下一个开始触发(主通道的 **INTTM0_n**)被检测到。**TO0p** 的输出电平在 **INTTM0_n** 从主通道产生后的一个计数时钟后变为有效，**TCR0_m** = 0000H 时无效。

代替 **TIO_n** 引脚输入，单脉冲输出也可通过软件操作 (**TS0_n** = 1)作为触发。

注意事项 主通道的 **TDR0_n** 的时序与从通道的 **TDR0_m** 不同。如果 **TDR0_n** 和 **TDR0_m** 在修改操作期间，则输出一个非法波形。必须在修改通道的 **INTTM0_n** 发生后修改 **TDR0_n** 和 **TDR0_m**。

备注 **n** = 0, 2, 4, 6
 m = **n** + 1

图 7-60. 作为单脉冲输出功能操作的框图

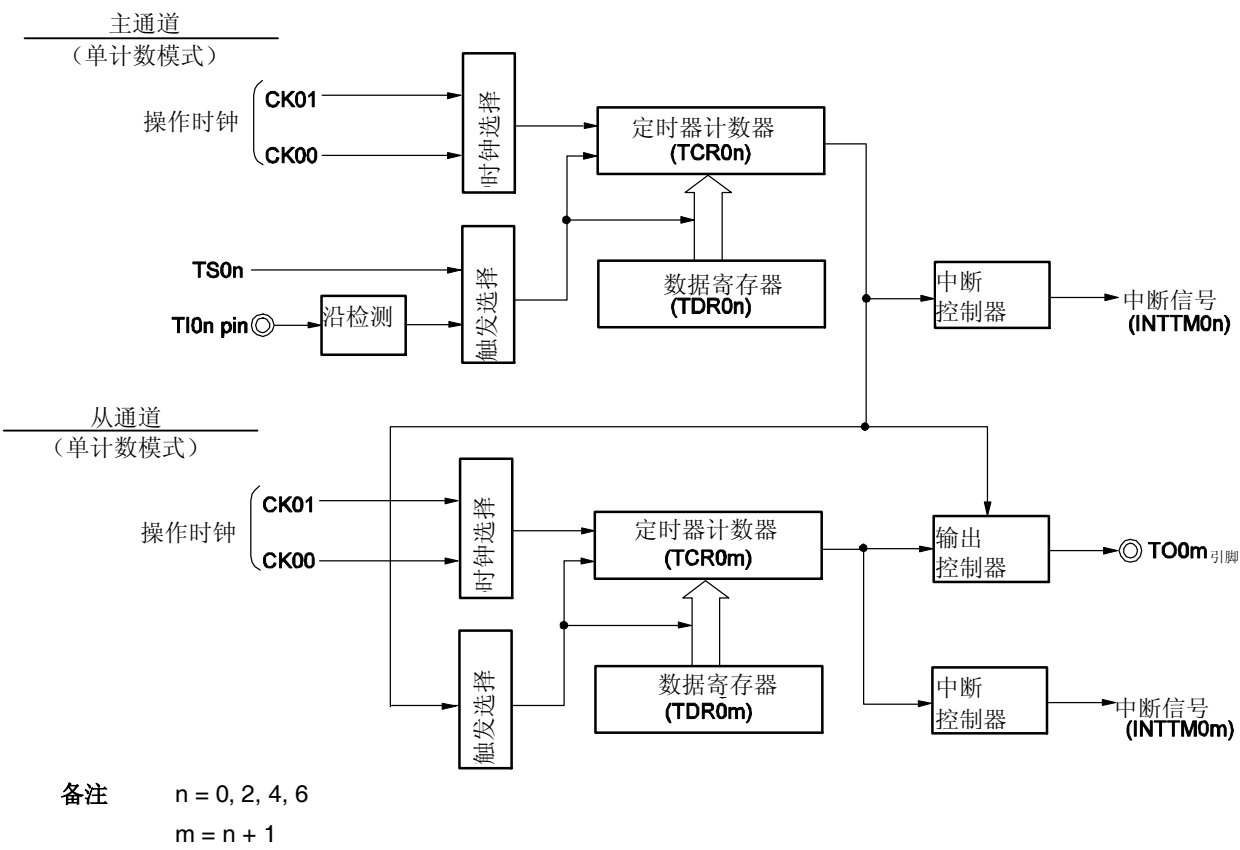
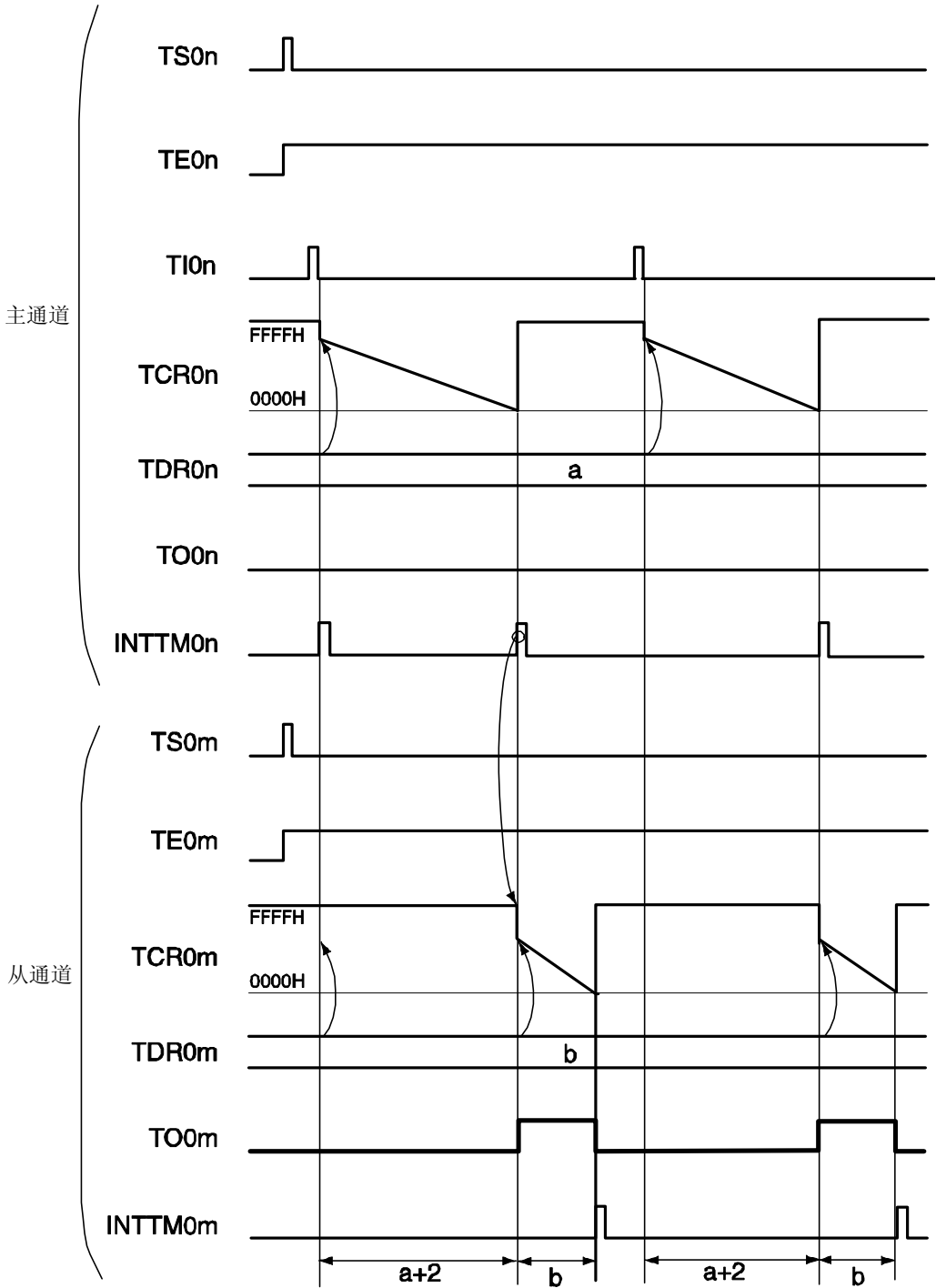
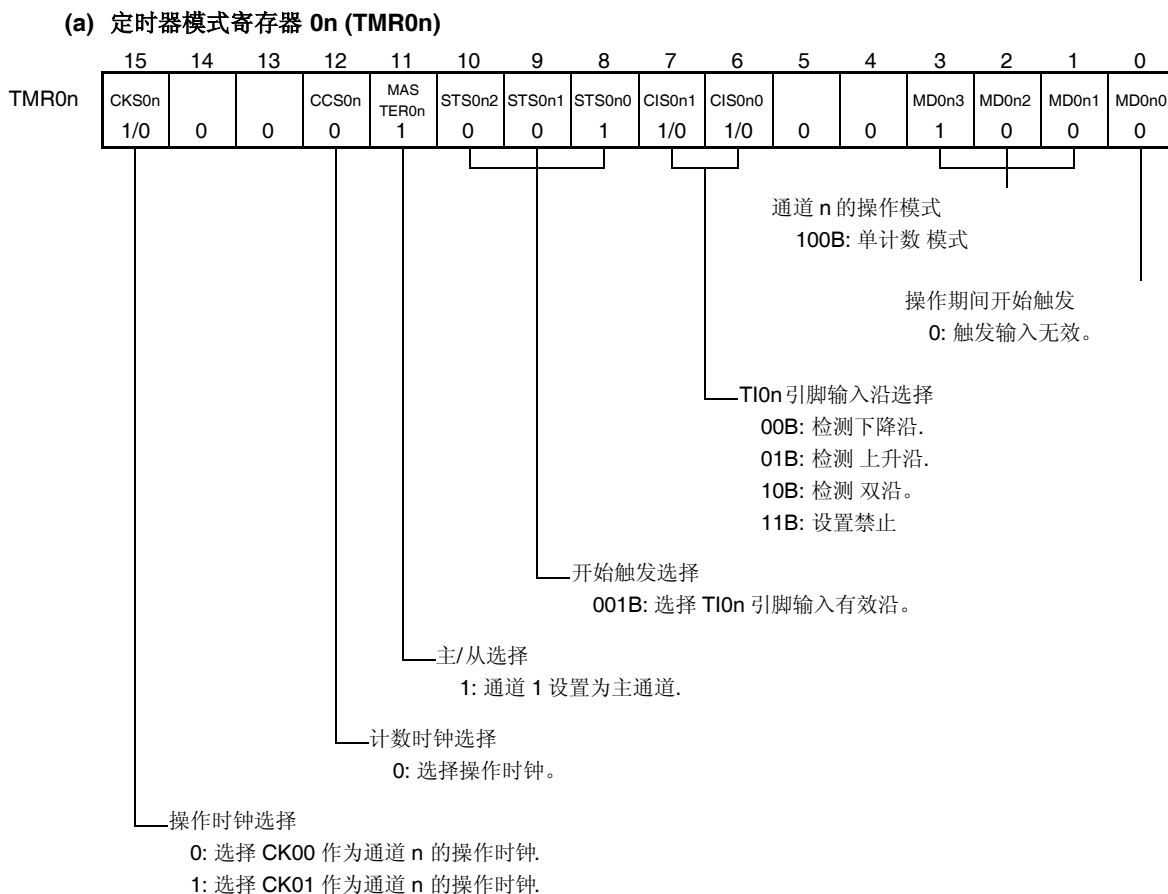


图 7-61. 作为单脉冲输出功能操作的基本时序示例



备注 $n = 0, 2, 4, 6$
 $m = n + 1$

图 7-62. 作为单脉冲输出功能操作的寄存器设置示例(主通道)



(b) 定时器输出 寄存器 0 (TO0)

第 n 位

TO0 TO0n
0 0: 从 TO0n 输出 0。

(c) 定时器输出允许寄存器 0 (TOE0)

第 n 位

TOE0 TOE0n
0 0: 通过计数操作停止 TO0n 输出。

(d) 定时器输出电平寄存器 0 (TOL0)

第 n 位

TOL0 TOL0n
0 0: TOM0n = 0 时清零（触发模式）。

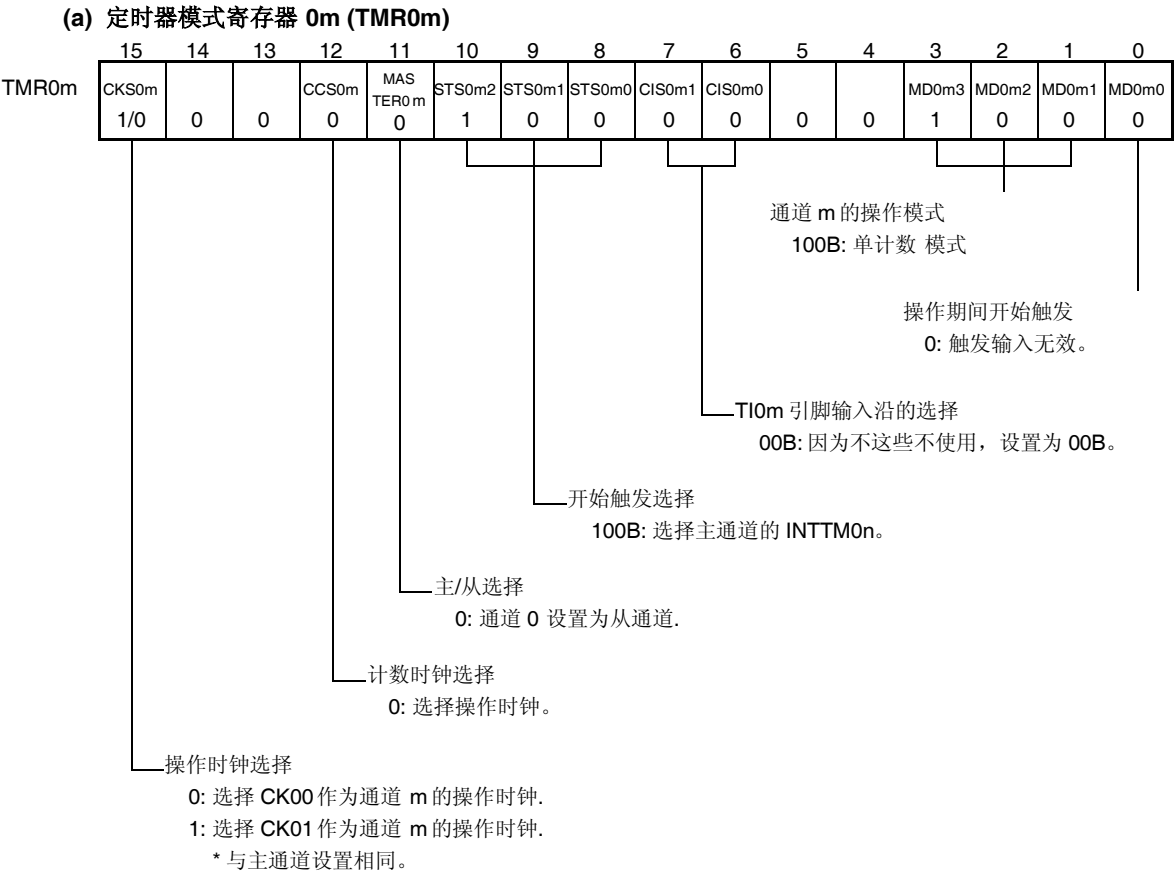
(e) 定时器输出模式寄存器 0 (TOM0)

第 n 位

TOM0 TOM0n
0 0: 设置触发模式。

备注 n = 0, 2, 4, 6

图 7-63. 作为单脉冲输出功能操作的寄存器设置示例(从通道)



(b) 定时器输出 寄存器 0 (TO0)

第 m 位	
TO0	TO0m
	1/0
	0:从 TO0m 输出 0.
	1:从 TO0m 输出 1.

(c) 定时器输出允许寄存器 0 (TOE0)

第 m 位	
TOE0	TOE0m
	1/0
	0: 通过计数操作停止 TO0m 输出。
	1: 通过计数操作允许 TO0m 输出。

(d) 定时器输出电平寄存器 0 (TOL0)

第 m 位	
TOL0	TOL0m
	1/0
	0: 正向逻辑输出 (高有效)
	1: 反向输出 (低有效)

(e) 定时器输出模式寄存器 0 (TOM0)

第 m 位	
TOM0	TOM0m
	1
	1: 设置组合操作模式。

备注 n = 0, 2, 4, 6
 m = n + 1

图 7-64. 单脉冲输出功能的操作过程 (1/2)

	软件操作	硬件状态
TAU 默认设置		掉电状态 (停止供给时钟并且所有寄存器禁止写入。)
	设置 PER0 寄存器的 TAU0EN 位为 1。 —————▶	上电状态。每个通道停止操作。 (开始供给时钟并且每个寄存器允许写入。)
	设置 TPS0 寄存器。 决定 CK00 和 CK01 的时钟频率。	
通道 默认设置	设置要使用的两个通道的 TMR0n 和 TMR0m 寄存器 (决定通道的操作模式)。 输出延迟设置到主通道的 TDR0n 寄存器, 脉冲宽度设置到从通道的 TDR0m 寄存器。	通道停止操作。 (供给时钟并且产生一些功耗。)
	设置从通道。 TOM0 寄存器的 TOM0m 位设置为 1 (组合操作模式)。 设置 TOL0m 位。 设置 TO0m 位并决定 TO0m 输出的默认电平。 设置 TOE0m 为 1, 允许 TO0m 操作。 将端口寄存器和端口模式寄存器清为 0。	TO0n 引脚为 Hi-Z 输出状态。 当模式寄存器在输出模式下并且端口寄存器为 0 时, 输出 TO0n 默认设置电平。 因为通道停止操作 TO0m 不能修改。 TO0m 引脚输出 TO0m 的设置电平。

备注 n = 0, 2, 4, 6
 m = n + 1

图 7-64. 单脉冲输出功能的操作过程(2/2)

操作恢复。

	软件操作	硬件状态
操作开始	设置 TOE0m (从通道) 为 1 (仅当操作恢复时). TS0 寄存器的 TS0n (主通道)和 TS0m (从通道)位同时设置为 1。 因为触发位 TS0n 和 TS0m 位自动返回为 0。	TE0n 和 TE0m 设置为 1，主通道进入 TI0n 输入沿检测等待状态。 计数器停止操作。
	检测 TI0n 引脚输入的主通道有效沿。	主通道开始计数。
	操作期间	TMR0n 寄存器的 CISn1 和 CISn0 位设置值能修改。 TMR0m, TDR0n, TDR0m, 和 TOM0 寄存器的设置值不能修改。 TCR0n 和 TCR0m 寄存器一直可读。 TSR0n 和 TSR0m 寄存器不可用。 TOL0, TO0, 和 TOE0 寄存器的设置值能修改。
操作停止	TT0n (主通道) 和 TT0m (从通道) 位同时设置为 1。 因为触发位 TT0n 和 TT0m 位自动返回为 0。	TE0n, TE0m = 0, 并且计数操作停止。 TCR0n 和 TCR0m 保持计数值并停止。 TO0m 输出不被初始化而保持当前状态。
	从通道的 TOE0m 清为 0, 值设置到 TO0 寄存器。	TO0m 引脚输出 TO0n 的设置电平。
TAU 停止	要保持 TO0m 引脚输出电平 TO0m 位在值保存到设置的端口寄存器后清为 0。 当不需要保持 TO0m 引脚输出电平时 切换端口模式寄存器到输入模式。	TO0m 引脚输出电平通过端口功能保持。 TO0m 引脚输出电平变为 Hi-Z 输出状态。
	PER0 寄存器的 TAU0EN 位被清为 0。	掉电状态 所有电路被初始化, 并且每个通道的 SFR 也被初始化。 (TO0m 位清为 0, TO0m 引脚设置为端口模式.)

备注 n = 0, 2, 4, 6
 m = n + 1

7.8.3 作为多路 PWM 输出功能操作

通过执行 PWM 功能和两个以上通道，可产生一些 PWM 输出信号。

例如，当使用两个从通道时，输出 脉冲的周期和占空比可通过下面的公式计算出。

$$\begin{aligned} \text{脉冲周期} &= \{ \text{TDR0n (主通道)的设置值} + 1 \} \times \text{计数时钟周期} \\ \text{占空比 1 [\%]} &= \{ \text{TDR0m (从通道 1) 的设置值} \} / \{ \text{TDR0n (主通道) 的设置值} + 1 \} \times 100 \\ \text{占空比 2 [\%]} &= \{ \text{TDR0m (从通道 2) 的设置值} \} / \{ \text{TDR0n (主通道) 的设置值} + 1 \} \times 100 \end{aligned}$$

备注 如果 TDR0p (从通道 1)的设置值 > (TDR0n 的设置值(主通道) + 1)或如果 TDR0q (从通道 2)的设置值 > (TDR0n 的设置值(主通道) + 1)占空比超出 100%。作为 100%输出。

主通道的 TCR0n 操作在间隔定时器模式下，对周期计数。

从通道 1 的 TCR0p 操作在单计数模式下，对占空比计数，从 TO0p 引脚输出输出 PWM 波形。TDR0p 的值赋给 TCR0p，主通道的 INTTM0n 作为开始触发，向下计数开始。当 TCR0p = 0000H 时，TCR0p 输出 INTTM0p，并且停止计数直到下一个开始触发(主通道的 INTTM0n)被输入。TO0p 的输出电平在 INTTM0n 从主通道产生后的一个计数时钟后变为有效，TCR0p = 0000H 时无效。

与从通道 1 的 TCR0p 相同，从通道 2 的 TCR0q 操作在单计数模式下，对占空比计数，从 TO0q 引脚输出输出 PWM 波形。TDR0q 的值赋给 TCR0q，主通道的 INTTM0n 作为开始触发，向下计数开始。当 TCR0q = 0000H 时，TCR0q 输出 INTTM0q，并且停止计数直到下一个开始触发(主通道的 INTTM0n)被输入。TO0q 的输出电平在 INTTM0n 从主通道产生后的一个计数时钟后变为有效，TCR0q = 0000H 时无效。

当通道 0 用作上面的主通道，最多可同时输出七种类型 PWM 信号。

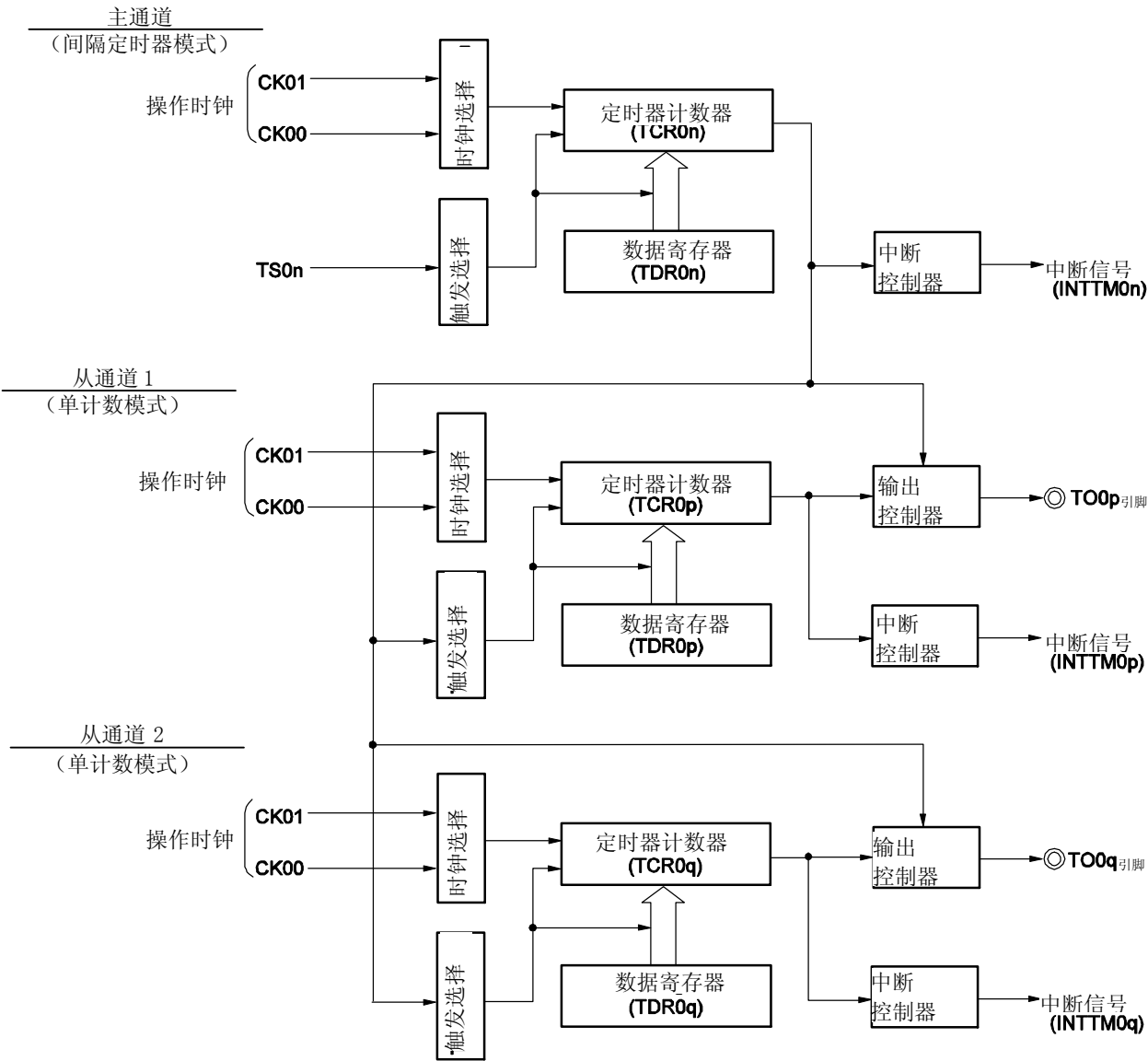
注意事项 要修改主通道的 TDR0n 和从通道 1 的 TDR0p，写访问必须至少执行两次。因为在主通道的 INTTM0n 产生后 TDR0n 和 TDR0p 的值赋给 TCR0n 和 TCR0p，如果修改分别在主通道的 INTTM0n 发生之前和之后执行，TO0p 引脚可能不能输出预期的波形。要重写主通道的 TDR0n 和从通道的 TDR0p，必须在主通道的 INTTM0n 发生之后立即修改寄存器(这也适用于从通道 2 的 TDR0q)。

备注 1. $n = 0, 2, 4$

$$n < p < q \leq 7$$

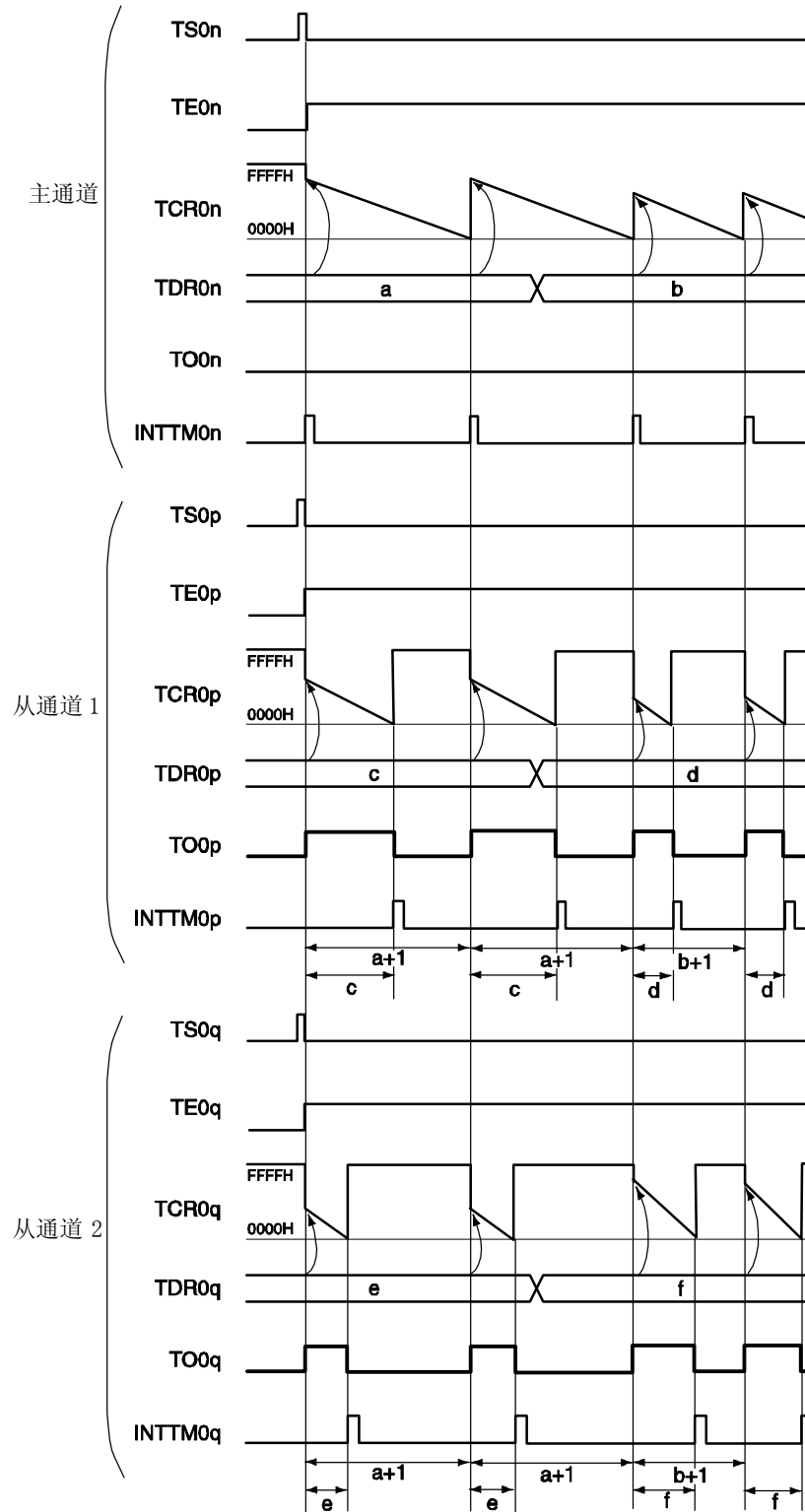
p 和 q 是 n 后面的连续整数 ($p = n + 1, q = n + 2$)

图 7-65. 作为多路 PWM 输出功能操作的框图(输出两种类型 PWM)



备注 1. $n = 0, 2, 4$
 2. $p = n + 1$
 $q = n + 2$

图 7-66. 作为多路 PWM 输出功能 (输出 两种类型 PWM) 操作的基本时序示例



备注

1. $n = 0, 2, 4$
2. $p = n + 1$
 $q = n + 2$

图 7-67. 当使用多路 PWM 输出 功能 (主通道) 时寄存器设置的示例

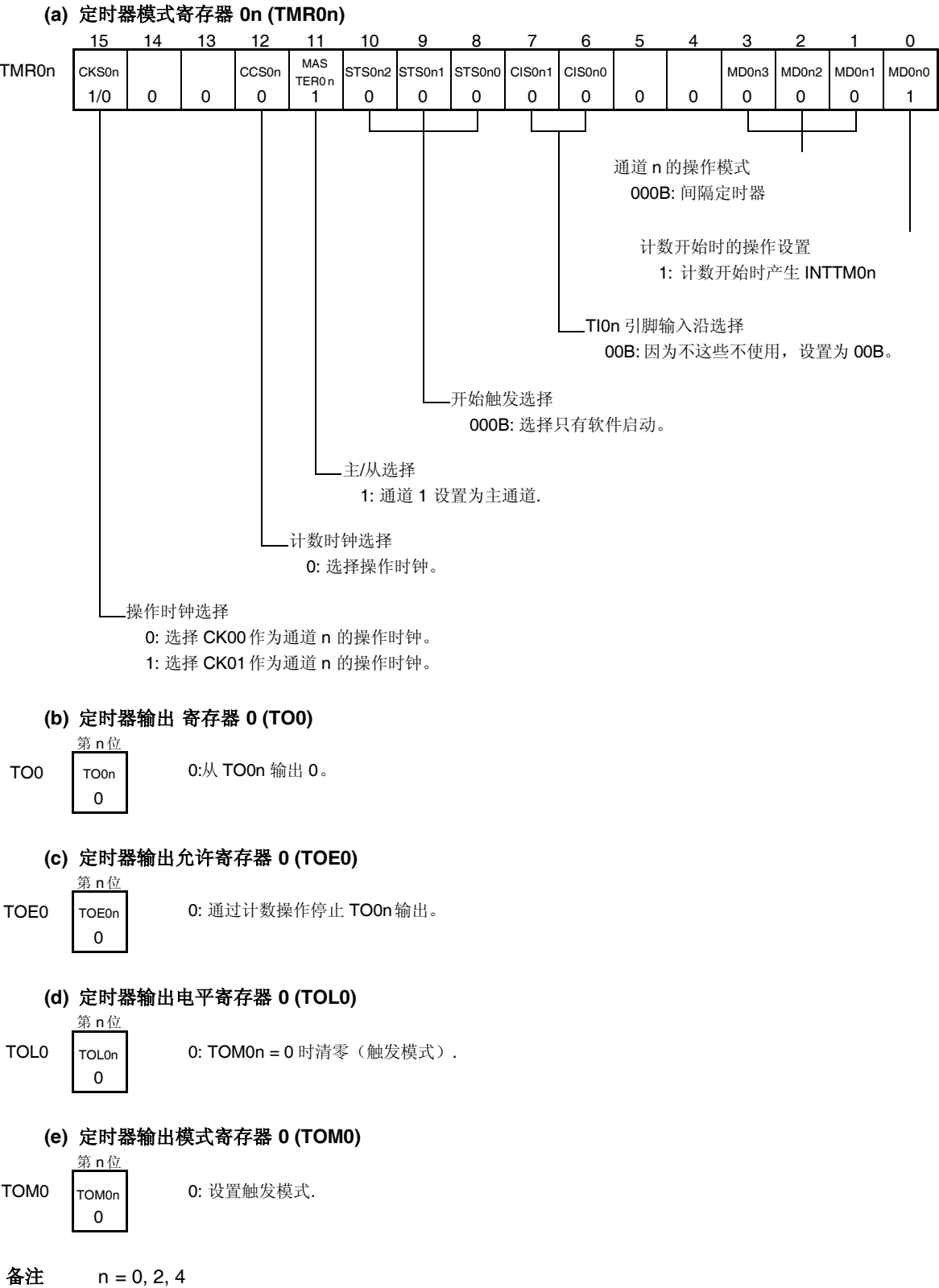
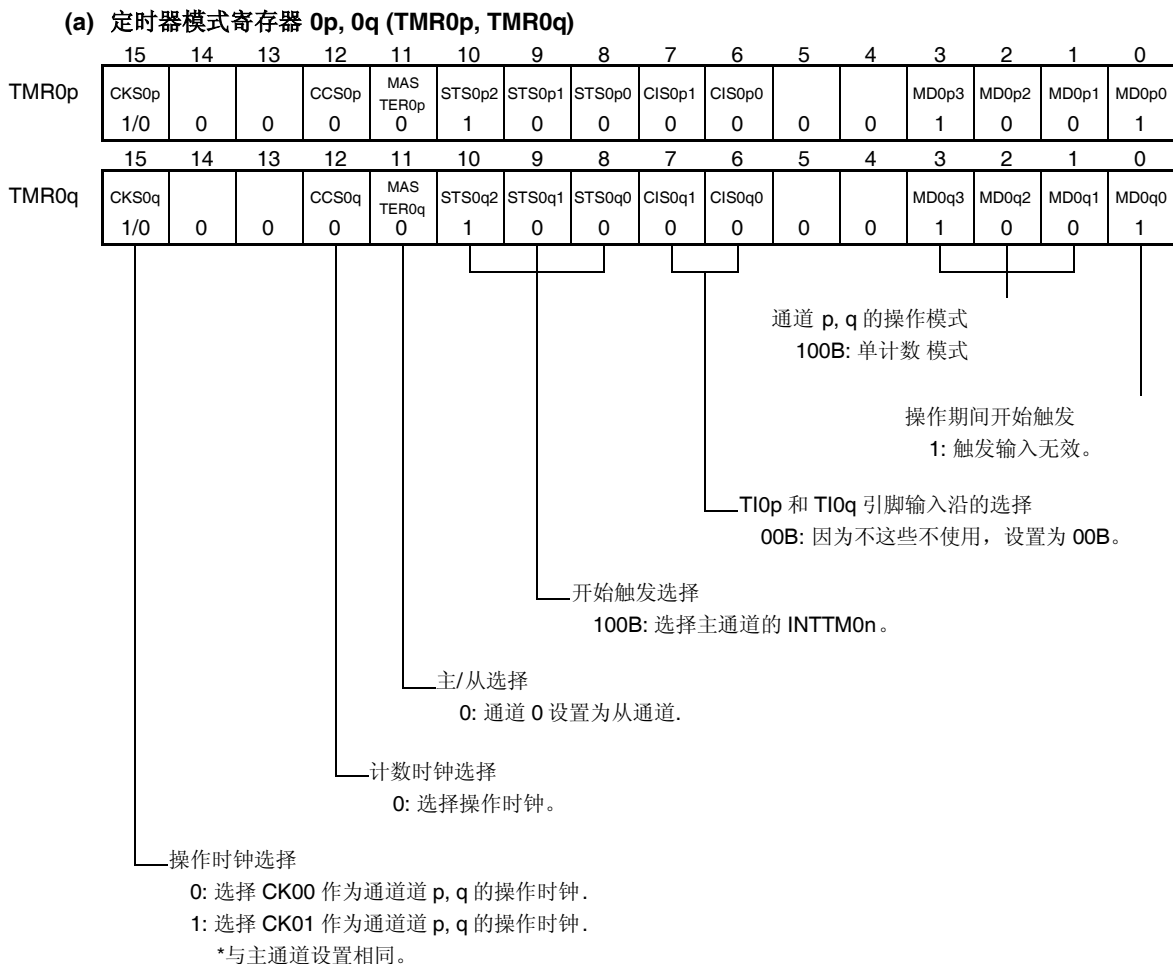


图 7-68. 当使用多路 PWM 输出 功能 (从通道) 时寄存器设置的示例 (输出两种类型 PWM)



(b) 定时器输出 寄存器 0 (TO0)

第 q 位 第 p 位		
TO0q	TO0p	
1/0	1/0	0: 从 TO0p 或 TO0q 输出 0. 1: 从 TO0p 或 TO0q 输出 1.

(c) 定时器输出允许寄存器 0 (TOE0)

第 q 位 第 p 位		
TOE0q	TOE0p	
1/0	1/0	0: 通过计数操作停止 TO0p 或 TO0q 输出。 1: 通过计数操作允许 TO0p 或 TO0q 输出。

(d) 定时器输出电平寄存器 0 (TOL0)

第 q 位 第 p 位		
TOL0q	TOL0p	
1/0	1/0	0: 正向逻辑输出 (高有效) 1: 反向输出 (低有效)

(e) 定时器输出模式寄存器 0 (TOM0)

第 q 位 第 p 位		
TOM0q	TOM0p	
1	1	1: 设置组合操作模式。

备注 n = 0, 2, 4; p = n+1; q = n+2

图 7-69. 当用作多路 PWM 输出功能时的操作过程(1/2)

	软件操作	硬件状态
TAU 默认设置		掉电状态 (停止供给时钟并且所有寄存器禁止写入。)
	设置 PER0 寄存器的 TAU0EN 位为 1。	上电状态。每个通道停止操作。 (开始供给时钟并且每个寄存器允许写入。)
	设置 TPS0 寄存器。 决定 CK00 和 CK01 的时钟频率。	
通道 默认设置	设置每个通道要使用的 TMR0n, TMR0p, 和 TMR0q 寄存器通道(决定通道的操作模式)。 间隔(周期)值设置到主通道的 TDR0n 寄存器, 占空比设置到从通道的 TDR0m 寄存器。	通道停止操作。 (供给时钟并且产生一些功耗。)
	设置从通道。 TOM0 寄存器的 TOM0m 位设置为 1 (组合操作模式)。 将 TOL0p 和 TOL0q 位清为 0。 设置 TO0p 和 TO0q 位并决定 TO0p 和 TO0q 输出的默认电平。	TO0n 引脚为 Hi-Z 输出状态。
	设置 TOE0p 或 TOE0q 为 1, 并且允许 TO0m 的操作。	当模式寄存器在输出模式下并且端口寄存器为 0 时, 输出 TO0p 和 TO0q 默认设置电平。
	将端口寄存器和端口模式寄存器清为 0。	因为通道停止操作, TO0p 或 TO0q 不改变。 TO0p 和 TO0q 引脚输出 TO0p 和 TO0q 设置电平。

- 备注
1. $n = 0, 2, 4$
 2. $p = n + 1; q = n + 2$

图 7-69. 当用作多路 PWM 输出功能时的操作过程 (2/2)

操作恢复。

	软件操作	硬件状态
操作开始	设置 TOE0p 和 TOE0q (从通道) 为 1 (仅当恢复操作时) TS0 寄存器的 TS0n 位 (主通道), 和 TS0p 和 TS0q (从通道) 位 同时设置为 1。 因为是触发位 TS0n, TS0p, 和 TS0q 位自动返回为 0。	TE0n = 1, TE0p, TE0q = 1 当主通道开始计数, 产生 INTTM0n。由此中断触发的, 从通道也开始计数。
操作期间	TMR0n, TMR0p, TMR0q, TOM0, 和 TOE0 寄存器的设置值不能修改。 TDR0n, TDR0p, 和 TDR0q 寄存器的设置值在主通道的 INTTM0n 产生后可被修改。 TCR0n, TCR0p, 和 TCR0q 寄存器一直可读。 TSR0n, TSR0p, 和 TSR0q 寄存器不可用。 TOM0, TOL0, TO0, 和 TOE0 寄存器的设置值不能修改。	主通道的计数器加载 TDR0n 的值到 TCR0n, 并向下载数。当计数值达到 TCR0n = 0000H, 产生 INTTM0n 输出。同时, TDR0n 寄存器的值加载到 TCR0n, 计数器开始再次向下计数。 在从通道 1, TDR0p 的值发送到 TCR0p, 由主通道的 INTTM0n 触发, 计数器开始向下计数。TO0p 的输出电平在 INTTM0n 从主通道输出后的一个计数时钟有效。当 TCR0p = 0000H 时无效, 并且计数操作停止。 在从通道 2, TDR0q 的值发送到 TCR0q, 由主通道的 INTTM0n 触发, 计数器开始向下计数。TO0q 的输出电平在 INTTM0n 从主通道输出后的一个计数时钟有效。当 TCR0q = 0000H 时无效, 并且计数操作停止。 之后, 重复上面的操作。
操作停止	TT0n 位 (主通道), TT0p, 和 TT0q (从通道) 位同时设置为 1。 因为是触发位 TT0n, TT0p, 和 TT0q 位自动返回为 0。 从通道的 TOE0p 或 TOE0q 清为 0, 值设置到 TO0p 和 TO0q 寄存器。	TE0n, TE0m = 0, 并且计数操作停止。 TCR0n 和 TCR0m 保持计数值并停止。 TO0m 输出 不被初始化而保持当前状态。 TO0m 引脚输出 TO0n 的设置电平。
TAU 停止	要保持 TO0m 引脚输出电平 TO0m 位在值保存到设置的端口寄存器后清为 0。 当不需要保持 TO0m 引脚输出电平时 切换端口模式寄存器到输入 模式。 PER0 寄存器的 TAU0EN 位被清为 0。	TO0m 引脚输出电平通过端口功能保持。 TO0m 引脚输出电平变为 Hi-Z 输出状态。 掉电状态 所有电路被初始化, 并且每个通道的 SFR 也被初始化。 (TO0m 位清为 0, TO0m 引脚设置为端口模式。)

备注

1. n = 0, 2, 4
2. p = n + 1; q = n + 2

8.1 实时计数器的功能

实时计数器有如下特点。

- 具有年、月、星期、天、小时、分钟和秒的计数器，可以共计 99 年。
- 固定周期中断功能(周期: 1 月到 0.5 秒)
- 报警中断功能 (报警: 星期、小时、分钟)
- 间隔中断功能
- 1 Hz 的引脚输出功能
- 512 Hz 或 16.384 kHz 或 32.768 kHz 的引脚输出功能

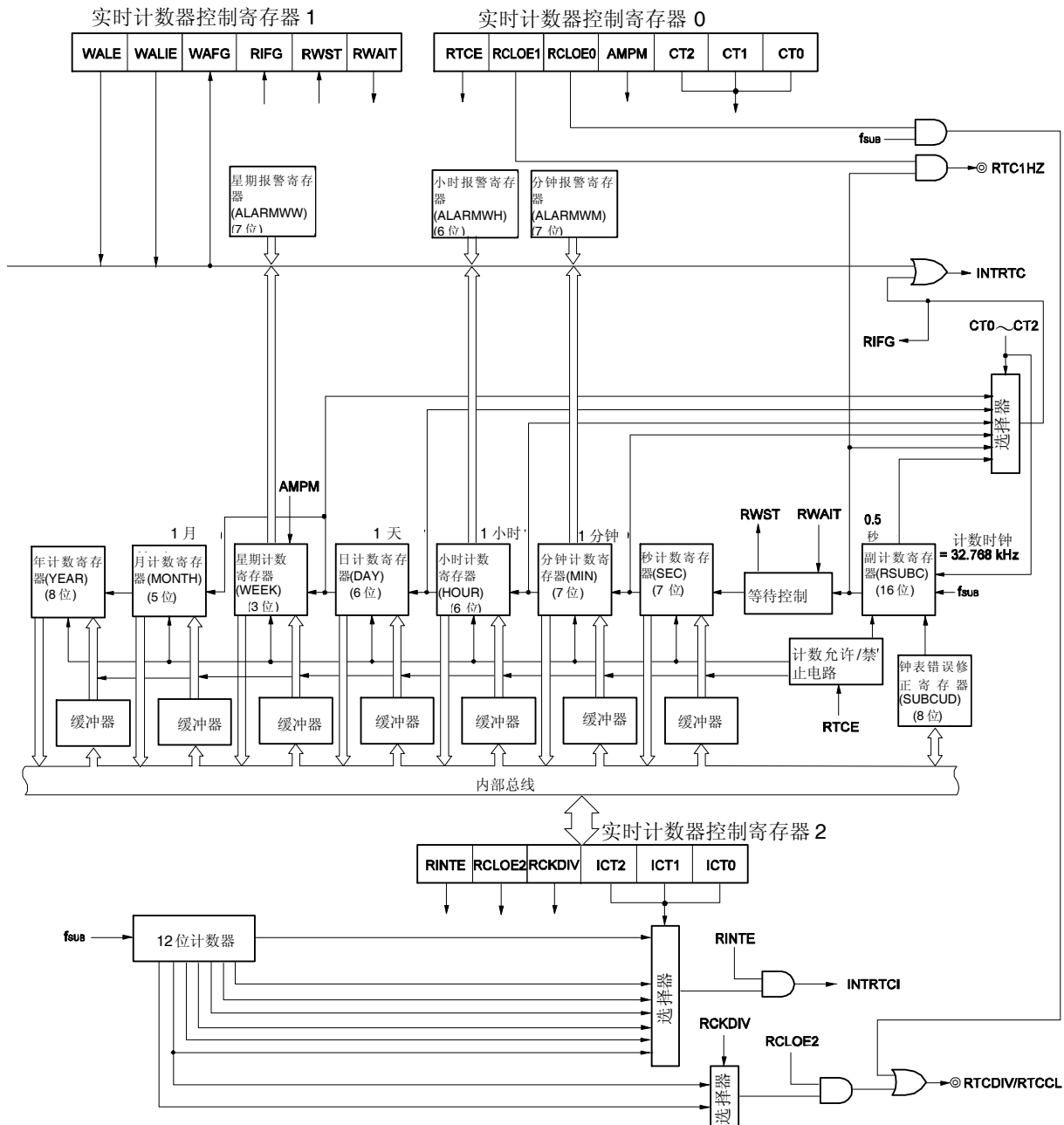
8.2 实时计数器的配置

实时计数器包括如下硬件。

表 8-1. 实时计数器的配置

项目	配置
控制寄存器	外围设备允许寄存器 0 (PER0)
	实时计数器控制寄存器 0 (RTCC0)
	实时计数器控制寄存器 1 (RTCC1)
	实时计数器控制寄存器 2 (RTCC2)
	副计数寄存器(RSUBC)
	秒计数寄存器(SEC)
	分计数寄存器(MIN)
	小时计数寄存器(HOUR)
	日期计数寄存器(DAY)
	星期计数寄存器(WEEK)
	月计数寄存器(MONTH)
	年计数寄存器(YEAR)
	钟表错误修正寄存器(SUBCUD)
	分钟报警寄存器(ALARMWM)
	小时报警寄存器(ALARMWH)
	星期报警寄存器(ALARMWW)

图 8-1. 实时计数器的框图



8.3 控制实时计数器的寄存器

以下 16 个寄存器用于控制实时计数器。

(1) 外围设备允许寄存器 0 (PER0)

PER0 用于允许或禁止每个外围硬件宏指令的使用。为了降低功耗和噪声，对于不使用的硬件宏指令停止提供时钟。

使用实时计数器时，务必此寄存器的第 7 位 (RTCEN)位 1。

PER0 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将寄存器清为 00H。

图 8-2. 外围设备允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	实时计数器 (RTC)输入时钟的控制 ^注
0	停止提供输入时钟。 - 由实时计数器(RTC)使用的 SFR 不能写入。 - 实时计数器(RTC) 在复位状态。
1	提供输入时钟。 由实时计数器(RTC)使用的 SFR 可读/写。

注 当通过使用寄存器从 CPU 访问实时计数器（RTC）时，可通过 RTCEN 控制输入时钟。
RTCEN 不能控制供给 RTC 的操作时钟 (fSUB)。

- 注意事项 1. 使用实时计数器时，首先确保设置 RTCEN 为 1。如果 RTCEN = 0, 写入到实时计数器的控制寄存器被忽略，并且，即使读取寄存器，只能读到默认值。
2. 确保 PER0 寄存器的第 1 位为 0。

(2) 实时计数器控制寄存器 0 (RTCC0)

RTCC0 寄存器是 8 位寄存器，它用于启动或停止实时计数器操作、控制 RTCCL 和 RTC1HZ 引脚、设置 12 或 24 小时系统和固定周期中断功能。

可以由 1 位或 8 位存储器操作指令设置 RTCC0。

复位信号的产生对寄存器清零（00H）。

图 8-3. 实时计数器控制寄存器 0 (RTCC0) 的格式

地址: FFF9DH 复位后: 00H R/W

符号	<7>	6	<5>	<4>	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	实时计数器操作控制
0	停止计数器操作。
1	启动计数器操作。

RCLOE1	RTC1HZ 引脚输出控制
0	禁止 RTC1HZ 引脚输出(1 Hz)。
1	允许 RTC1HZ 引脚输出 (1 Hz)。

RCLOE0*	RTCCL 引脚输出控制
0	禁止 RTCCL 引脚的输出 (32 kHz)。
1	允许 RTCCL 引脚的输出 (32 kHz)。

AMPM	选择12/24小时系统
0	12 小时系统(a.m. 和 p.m. 显示)
1	24 小时系统
- 改变 AMPM 的值, 要将 RWAIT (RTCC1 的第 0 位)置为 1, 并重置小时计数寄存器(HOUR)。 - 表 8-2 表示显示的时间数字显示。	

CT2	CT1	CT0	选择固定周期中断(INTRTC)
0	0	0	不用作固定周期中断功能
0	0	1	每 0.5 s 一次(与秒累加同步)
0	1	0	每 1 s 一次(与秒累加相同)
0	1	1	每 1 m 一次(每分钟的 00 秒)
1	0	0	每 1 小时一次 (每小时的 00 分钟 00 秒)
1	0	1	每 1 天一次 (每天的 00 小时 00 分钟 00 秒)
1	1	×	每 1 月一次 (每月的第 1 天 a.m 00 小时 00 分 00 秒)
CT2 ~ CT0 值改变后, 将中断请求清零。			

注 不能同时允许 RCLOE0 和 RCLOE2。

注意事项 当 RTCE = 1 时, 如果改变 RCLOE0 和 RCLOE1, 32 kHz 和 1 Hz 输出信号将产生一个窄脉冲。

备注 ×: 不必考虑

表 8-2. 时间数字显示

24 小时系统	12 小时系统	24 小时系统	12 小时系统
00	12 (AM12)	12	32 (PM12)
01	01 (AM1)	13	21 (PM1)
02	02 (AM2)	14	22 (PM2)
03	03 (AM3)	15	23 (PM3)
04	04 (AM4)	16	24 (PM4)
05	05 (AM5)	17	25 (PM5)
06	06 (AM6)	18	26 (PM6)
07	07 (AM7)	19	27 (PM7)
08	08 (AM8)	20	28 (PM8)
09	09 (AM9)	21	29 (PM9)
10	10 (AM10)	22	30 (PM10)
11	11 (AM11)	23	31 (PM11)

(3) 实时计数器控制寄存器 1 (RTCC1)

RTCC1 寄存器是 8 位寄存器，它用于控制报警中断功能和计数器等待时间。

可以由 1 位或 8 位存储器操作指令设置 RTCC1。

复位信号的产生对寄存器清零（00H）。

图 8-4. 实时计数器控制寄存器 1 (RTCC1) 的格式(1/2)

地址: FFF9EH 复位后: 00H R/W

符号

	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	报警操作控制
0	相等操作无效
1	相等操作有效
设置报警寄存器 (WALIE 的 RTCC1 位, ALARMWM 寄存器, ALARMWH 寄存器和 ALARMWW 寄存器), 禁止 WALE (将其清零)。	

WALIE	控制报警中断(INTRTC)功能操作
0	报警相等时不产生中断。
1	报警相等时产生中断。

WAFG	报警检测状态标志
0	报警不相等
1	检测报警相等
此状态标志显示报警相等检测。仅当 WALE = 1 和检测到报警相等后置一时钟(32 kHz)为 1 时有效。此标志在写入“0”后清零，写入“1”无效。	

图 8-4. 实时计数器控制寄存器 1 (RTCC1)的格式 (2/2)

RIFG	固定周期中断状态标志
0	不产生固定周期中断。
1	产生固定周期中断。
此标志显示固定周期中断产生状态。当固定周期中断产生，其置“1”。 此标志在写入“0”后清零，写入“1”无效。	

RWST	实时计数器等待状态标志
0	计数器操作。
1	读或写计数器值模式。
此状态标志显示 RWAIT 无论是否设置有效。 读或写计数器值前，确认此标志值为 1。	

RWAIT	等待控制实时计数器
0	设置计数器操作。
1	停止 SEC ~ YEAR 计数器。读或写计数器值模式。
此位控制计数器操作。 确保写入“1”，读或写计数器值。 因为 RSUBC 操作继续，在 1 秒内完成读或写，并将此位清零。 当 RWAIT = 1 时，它占用 1 个时钟 (32kHz) 直到计数器值被读出或写入。 当 RWAIT = 1 时，如果 RSUBC 溢出，在 RWAIT = 0 后它累加。如果秒计数寄存器写入，因为 RSUBC 清零，它将不能累加。	

注意事项 如果写入 WAFG 标志执行 1 位操作指令，RIFG 标志将清零。因此，执行 WAFG 标志写入，必须使用 8 位操作指令，和此时将 RIFG 标志置为 1。同样，执行 RIFG 标志写入，使用 8 位操作指令和 WAFG 标志置 1。

备注 固定周期中断和报警相等中断使用相同的中断源 (INTRTC)。当同时使用这两种类型中断时，通过检查固定周期中断状态标志(RIFG)和报警检测状态标志(WAFG)，来判断 INTRTC 产生。

(4) 实时计数器控制寄存器 2 (RTCC2)

RTCC2 寄存器是 8 位寄存器，它用于控制间隔中断功能和 RTCDIV 引脚。
可以由 1 位或 8 位存储器操作指令设置 RTCC2。
复位信号的产生对寄存器清零（00H）。

图 8-5. 实时计数器控制寄存器 2 (RTCC2)的格式

地址: FFF9FH 复位后: 00H R/W

符号	<7>	<6>	<5>	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	选择间隔中断(INTRTCI)
0	×	×	×	不产生间隔中断
1	0	0	0	$2^9/f_{XT}$ (1.953125 ms)
1	0	0	1	$2^7/f_{XT}$ (3.90625 ms)
1	0	1	0	$2^8/f_{XT}$ (7.8125 ms)
1	0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	1	×	$2^{12}/f_{XT}$ (125 ms)
当 RINTE = 0 时，更改 ICT2, ICT1 和 ICT0。				

RCLOE2 ^注	RTCDIV 引脚输出控制
0	禁止 RTCDIV 引脚输出。
1	允许 RTCDIV 引脚输出。

RCKDIV	选择RTCDIV 引脚输出频率
0	RTCDIV 引脚输出 512 Hz.
1	RTCDIV 引脚输出 16.384 kHz.

注 不能同时允许 RCLOE0 和 RCLOE2 。

注意事项 当 RTCDIV 引脚输出停止，在最多 2 个 f_{RTC} 时钟和进入低电平后输出继续。当进入高电平后，输出 512 Hz 和输出立刻停止时，产生至少 1 个 f_{XT} 时钟宽度的脉冲。

(5) 副计数寄存器(RSUBC)

RSUB 寄存器是 16 位寄存器，是实时计数器 1 秒的计数标准时间。它可置 0000H ~ 7FFFH 的值和计数 32.768 kHz 时钟的 1 秒钟。

可以 16 位存储器操作指令设置 RSUBC。

复位信号的产生对寄存器清零（0000H）。

- 注意事项
- 1. 当使用 SUBCU 寄存器纠正，值将变为 8000H 或更多。
 - 2. 可由写入秒计数寄存器产生复位将该寄存器清零。
 - 3. 在操作期间读取该寄存器，因为读出值改变，不能保证读出值。

图 8-6. 副计数寄存器(RSUBC)的格式

地址: FFF90H 复位后: 0000H R

符号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

地址: FFF91H 复位后: 0000H R

符号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒计数 寄存器(SEC)

SEC 寄存器是 8 位寄存器，为 0~59（十进制）值和显示计数的秒值。

当副计数器溢出它将开始计数。

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 0~59 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。

可以 8 位存储器操作指令设置 SEC。

复位信号的产生对寄存器清零（00H）。

图 8-7. 秒计数 寄存器(SEC)的格式

地址: FFF92H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分钟计数寄存器(MIN)

MIN 寄存器是 8 位寄存器，为 0~59（十进制）值和显示计数的分钟值。
当秒计数器溢出它将开始计数。
当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 0~59 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。
可以 8 位存储器操作指令设置 MIN。
复位信号的产生对寄存器清零（00H）。

图 8-8. Format of 分钟计数寄存器(MIN)

地址: FFF93H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 小时计数寄存器(HOUR)

HOUR 寄存器是 8 位寄存器，为 0~23 或 1~12（十进制）值和显示计数的小时值。
当分钟计数器溢出它将开始计数。
当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~23、01~12 或 21~23 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。
可以 8 位存储器操作指令设置 HOUR。
复位信号的产生将寄存器置为 12H。
如果当 AMPM 位(RTCC0 寄存器的第 3 位)置为 1，复位后该寄存器的值清零(00H)。

图 8-9. 小时计数寄存器(HOUR)的格式

地址: FFF94H	复位后: 12H	R/W						
符号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意事项 当 AMPM = 0 (如果选择 12 小时系统)，HOUR 的第 5 位 (HOUR20) 显示 AM(0)/PM(1) 。

(9) 日期计数寄存器(DAY)

HOUR 寄存器是 8 位寄存器，为 31（十进制）值和显示计数的天数值。
 当小时计数器溢出它将开始计数。
 计数器计数如下。

- 01 ~ 31 (一月、三月、五月、七月、八月、十月、十二月)
- 01 ~ 30 (四月、六月、九月、十一月)
- 01 ~ 29 (二月、闰年)
- 01 ~ 28 (二月、正常年)

当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~31 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。
 可以 8 位存储器操作指令设置 DAY。
 复位信号的产生将寄存器置为 01H。

图 8-10. 日期计数寄存器(DAY)的格式

地址: FFF96H	复位后: 01H	R/W						
符号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 星期计数寄存器(WEEK)

WEEK 寄存器是 8 位寄存器，为 0~6（十进制）值和显示计数的星期值。
 当日计数器溢出它将开始计数。
 当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~06 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。
 可以 8 位存储器操作指令设置 WEEK。
 复位信号的产生将寄存器置为 00H。

图 8-11. 星期计数寄存器(WEEK)的格式

地址: FFF95H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

(11) 月计数寄存器(MONTH)

MONTH 寄存器是 8 位寄存器，为 0~12（十进制）值和显示计数的月值。
当日计数器溢出它将开始计数。
当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 01~12 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。
可以 8 位存储器操作指令设置 MONTH。
复位信号的产生将寄存器置为 01H。

图 8-12. 月计数 寄存器(MONTH)的格式

地址: FFF97H	复位后: 01H	R/W						
符号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年计数寄存器(YEAR)

YEA 寄存器是 8 位寄存器，为 0~99（十进制）值和显示计数的月值。
当月计数器溢出它将开始计数。
计数器计数如下。
00, 04, 08, ..., 92 和 96 显示闰年
当数据写入该寄存器时，将写入缓冲器并有 2 个时钟(32.768 kHz)的延迟。以 BCD 码设置 00~99 的十进制数到该寄存器。如果值超出范围，寄存器值在 1 个周期后将返回到正常值。
可以 8 位存储器操作指令设置 YEAR。
复位信号的产生将寄存器置为 00H。

图 8-13. 年计数寄存器(YEAR)的格式

地址: FFF98H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 钟表错误修正寄存器(SUBCUD)

该寄存器用作纠正副计数器(RSUBC)的计数值。
可以 8 位存储器操作指令设置 SUBCUD。
复位信号的产生将寄存器置为 00H。

图 8-14. 钟表错误修正寄存器(SUBCUD)的格式

地址: FFF99H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	设置钟表纠错时间
0	当秒数字为 00, 20 或 40 时纠正钟表错误。
1	仅当秒数字为 00 时纠正钟表错误。

F6	设置钟表纠错方法
0	由 $\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ 增大
1	由 $\{(/F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2$ 减小
当 $(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)$ 时, 钟表错误不能修正。 /F5 ~ /F0 相应的位反向值(000011 当 111100)。	

(14) 分钟报警寄存器(ALARMWM)

该寄存器用作设置报警分钟。
可以 8 位存储器操作指令设置 ALARMWM。
复位信号的产生将寄存器置为 00H。

注意事项 以 BCD 码设置 00 ~ 59 十进制数到该寄存器。如果设置的值超出范围, 报警将不检测。

图 8-15. 分钟报警寄存器(ALARMWM)的格式

地址: FFF9AH 复位后: 00H R/W								
符号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) 小时报警寄存器(ALARMWH)

该寄存器用作设置报警小时。
可以 8 位存储器操作指令设置 ALARMWH。
复位信号的产生将寄存器置为 12H。

注意事项 以 BCD 码设置 00 ~ 23、01 ~ 12 或 21 ~ 32 十进制数到该寄存器。如果设置的值超出范围，报警将不检测。

图 8-16. 小时报警寄存器(ALARMWH)的格式

地址: FFF9BH	复位后: 12H	R/W						
符号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意事项 如果 AMPM = 0 (选择 12 小时系统)，ALARMWH 的第 5 位 (WH20) 显示 AM(0)/PM(1) 。

(16) 星期报警寄存器(ALARMWW)

该寄存器用作设置报警数据。
可以 8 位存储器操作指令设置 ALARMWW。
复位信号的产生将寄存器置为 00H。

注意事项 以 BCD 码设置 00 ~ 23、01 ~ 12 或 21 ~ 32 十进制数到该寄存器。如果设置的值超出范围，报警将不检测。

图 8-17. 星期报警寄存器(ALARMWW)的格式

地址: FFF9CH	复位后: 00H	R/W								
符号	7	6	5	4	3	2	1	0		
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0		

以下是设置报警的示例。

报警的时间	Day							12 小时显示				24 小时显示			
	星期日	星期一	星期二	星期三	星期四	星期五	星期六	小时 10	小时 1	分钟 10	分钟 1	小时 10	小时 1	分钟 10	分钟 1
	W W 0	W W 1	W W 2	W W 3	W W 4	W W 5	W W 6								
每天 0:00 a.m.	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
每天 1:30 a.m.	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
每天 11:59 a.m.	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
星期一到星期五 0:00 p.m.	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
星期日 1:30 p.m.	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
星期一、星期三、星期五 11:59 p.m.	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

8.4 实时计数器操作

8.4.1 启动实时计数器的操作

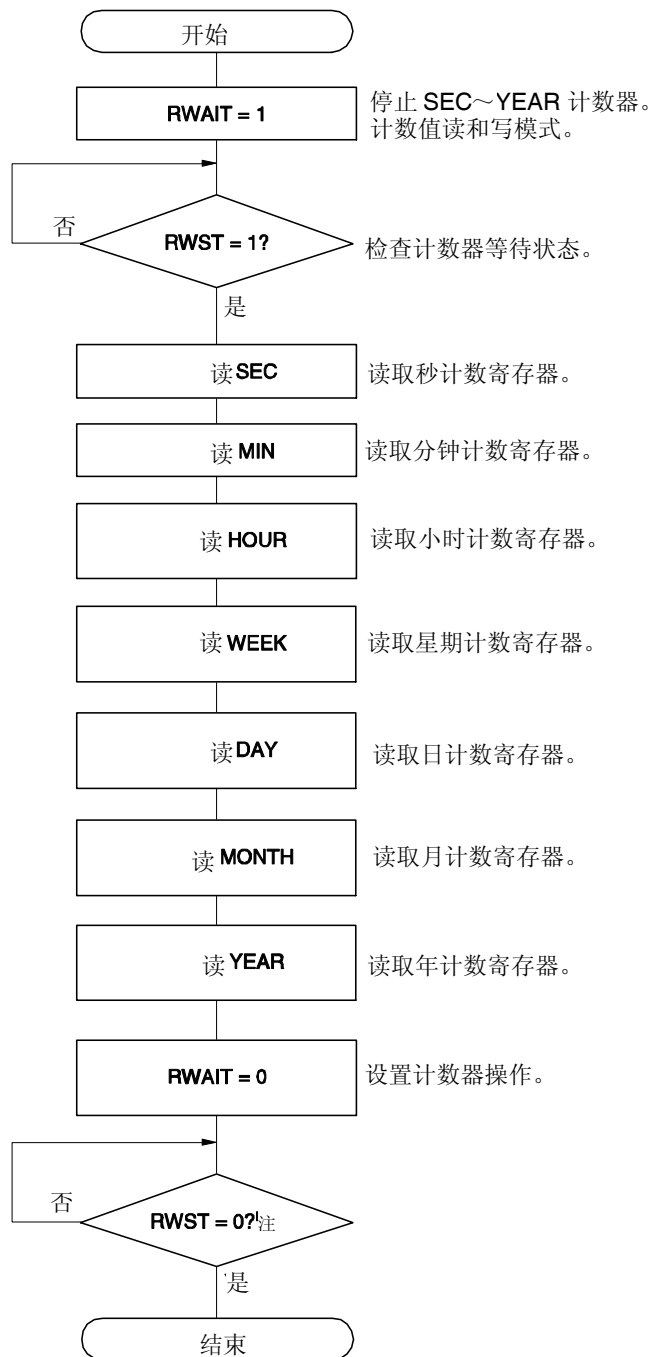
图 8-18. 启动实时计数器的操作流程



8.4.2 读/写实时计数器

当 $RWAIT = 1$ 时，读出或写入计数器。

图 8-19. 读出实时计数器的操作流程

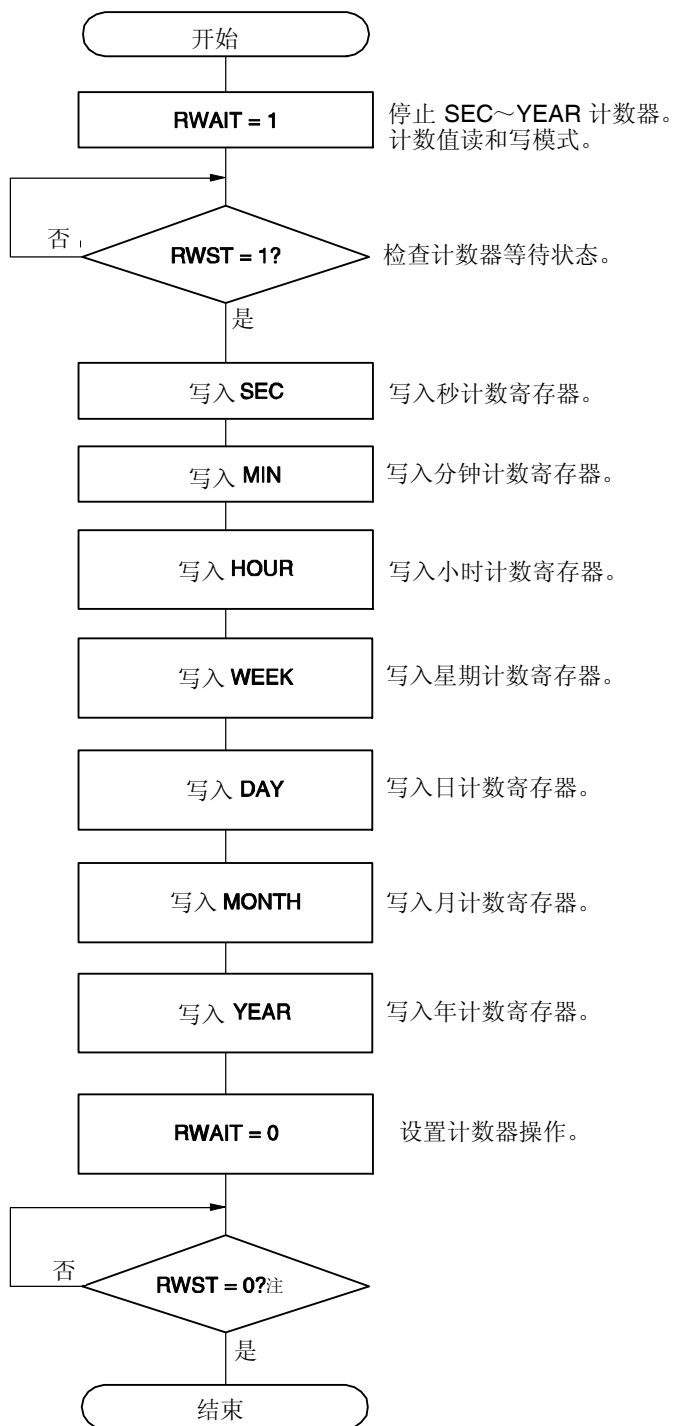


注 设置 STOP 模式前必须置 $RWST = 0$ 。

注意事项 在 1 秒内完成置 $RWAIT$ 为 1 到清 $RWAIT$ 为 0 的连续操作。

备注 SEC, MIN, HOUR, WEEK, DAY, MONTH 和 YEAR 将顺次读出。
不用设置所有的寄存器，仅部分寄存器可被读出。

图 8-20. 写入实时计数器的操作流程



注 设置 STOP 模式前必须置 RWST = 0。

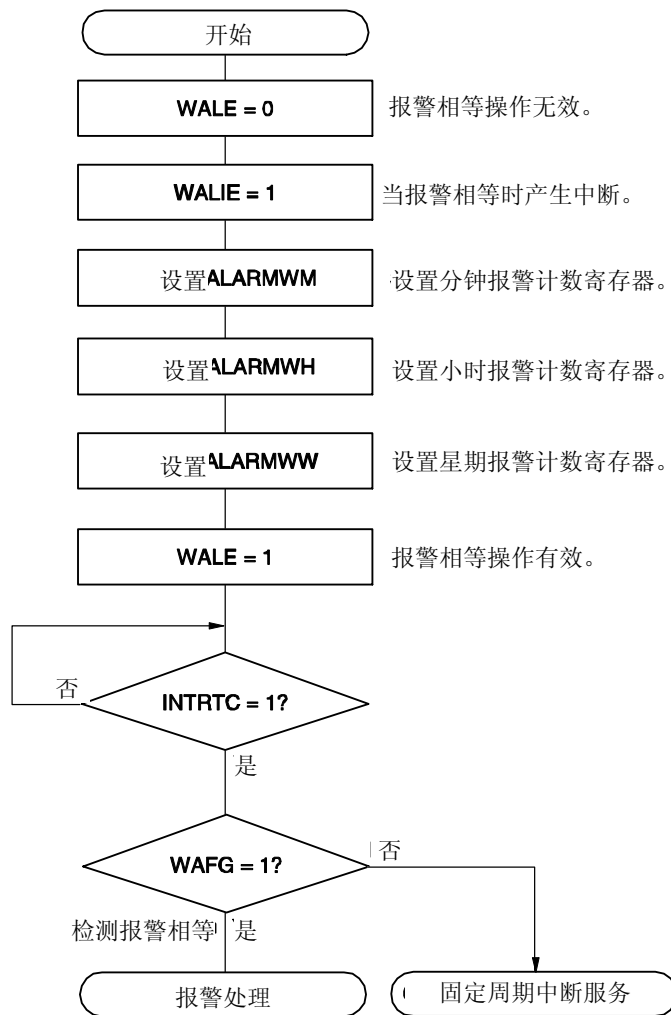
注意事项 在 1 秒内完成置 RWAIT 为 1 到清 RWAIT 为 0 的连续操作。

备注 SEC, MIN, HOUR, WEEK, DAY, MONTH 和 YEAR 将顺次写入。
不用设置所有的寄存器，仅部分寄存器可被写入。

8.4.3 设置实时计数器报警

当 $WALE = 0$ 时，设置报警时间。

图 8-21. 报警设置流程图



备注

1. 可以以任意顺序写入 **ALARMWM**, **ALARMWH** 和 **ALARMWW**。
2. 固定周期中断和报警相等中断使用相同的中断源 (**INTRTC**)。当同时使用这两种类型中断时，通过检查固定周期中断状态标志(**RIFG**)和报警检测状态标志(**WAFG**)，来判断 **INTRTC** 产生。

第九章 看门狗定时器

9.1 看门狗定时器的功能

看门狗定时器使用内部低速振荡时钟。

看门狗定时器用于检测不希望出现的程序循环。如果检测到一个程序循环，将产生一个内部复位信号。

出现以下情况时检测程序循环。

- 如果看门狗定时器计数器溢出
- 如果对看门狗定时器允许寄存器(WDTE)执行 1 位操作指令。
- 如果将“ACH”以外的数据写入 WDTE
- 如果在窗口关闭期间将数据写入 WDTE

当由看门狗定时器产生复位时，复位控制标志寄存器（RESF）的第 4 位（WDTRF）置 1。需要了解 RESF 的详细信息，可以参阅 **第二十章 复位功能**。

当达到溢出时间的 75%时，可产生一个间隔中断。

9.2 看门狗定时器的配置

看门狗定时器包括如下硬件。

表 9-1. 看门狗定时器的配置

项目	配置
控制寄存器	看门狗定时器允许寄存器(WDTE)

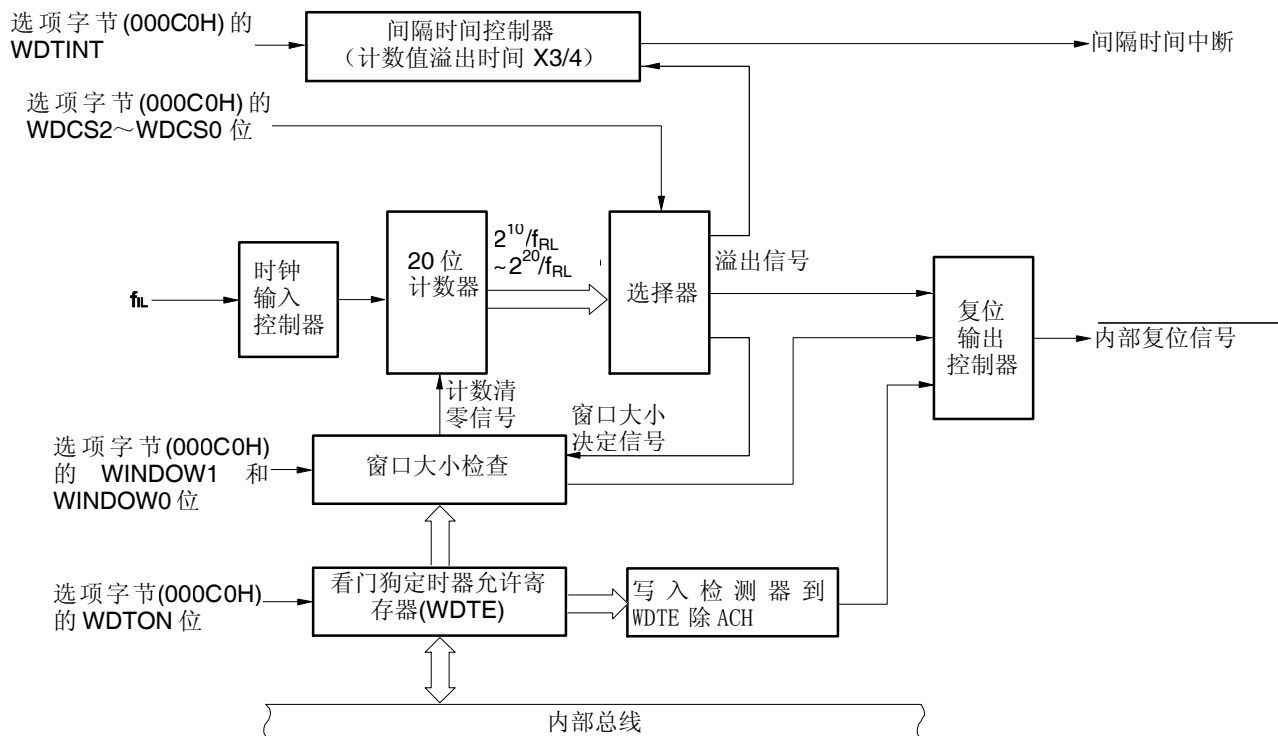
由选项字节设置如何控制计数器的操作、溢出时间和窗口打开周期。

表 9-2. 选项字节和看门狗定时器的设置

看门狗定时器的设置	选项字节 (000C0H)
看门狗定时器 间隔中断	第 7 位 (WDTINT)
窗口打开周期	第 6 和 5 位 (WINDOW1, WINDOW0)
控制看门狗定时器的计数器操作	第 4 位 (WDTON)
看门狗定时器的溢出时间	第 3 ~ 1 位 (WDCS2 ~ WDCS0)
控制看门狗定时器 的计数操作 (在 HALT/STOP 模式)	第 0 位 (WDSTBYON)

备注 需要了解选项字节的内容，可参见 第二十四章 选项字节。

图 9-1. 看门狗定时器的框图



9.3 控制看门狗定时器的寄存器

看门狗定时器由看门狗定时器允许寄存器(WDTE)控制。

(1) 看门狗定时器允许寄存器(WDTE)

将 ACH 写入 WDTE 可以对看门狗定时器计数器清零并再次开始计数操作。

可以由 8 位存储器操作指令设置该寄存器。

复位信号的产生将该寄存器设置为 9AH 或 1AH^注。

图 9-2. 看门狗定时器允许寄存器 (WDTE)的格式

地址: FFFABH 复位后: 9AH/1AH^注 R/W

符号	7	6	5	4	3	2	1	0
WDTE								

注 WDTE 的复位后的值随选项字节(000C0H)的 WDTON 位的设置值而变化。 如果要对看门狗定时器进行操作, 设置 WDTON = 1。

WDTON 设置值	WDTE 复位值
0 (禁止看门狗定时器计数的操作)	1AH
1 (允许看门狗定时器计数的操作)	9AH

- 注意事项**
1. 如果写入 WDTE 的值不是 ACH, 将产生一个内部复位信号。如果看门狗定时器的时钟源被停止, 则当看门狗定时器的时钟源恢复操作时, 将产生内部复位信号。
 2. 如果使用 1 位存储器操作指令对 WDTE 进行操作, 将产生一个内部复位信号。如果看门狗定时器的时钟源被停止, 当提供给看门狗定时器的时钟源恢复操作时, 将产生内部复位信号。
 3. 从 WDTE 读取的值为 9AH/1AH (与写入值 (ACH) 不同)。

9.4 看门狗定时器的操作

9.4.1 看门狗定时器的控制操作

- 当使用看门狗定时器时，由选项字节(000C0H)指定其操作。
 - 通过设置选项字节(000C0H)的第 4 位(WDTON)=1，允许看门狗定时器的计数操作(复位释放后计数器开始计数)(如需了解详细信息，可参见 第二十四章)。

WDTON	看门狗定时器计数器
0	禁止计数器操作 (复位后停止计数)
1	允许计数器操作 (复位后开始计数)

- 通过使用选项字节(000C0H)的第 3 位~第 1 位(WDCS2 ~ WDCS0)设置溢出时间（如需了解详细信息，参见 9.4.2 和 第二十四章）。
 - 通过使用选项字节(000C0H)的第 6 位和第 5 位(WINDOW1 和 WINDOW0)设置窗口打开周期（如需了解详细信息，参见 9.4.3 和 第二十四章）。
- 复位释放后，看门狗定时器开始计数。
 - 在看门狗定时器开始计数后且在达到选项字节设置的溢出时间之前，将“ACH”写入 WDTE，看门狗定时器将被清零并再次开始计数。
 - 在这之后，在复位释放后的第二次或其后的窗口打开周期期间写 WDTE。如果在窗口关闭期间写 WDTE，则会产生内部复位信号。
 - 如果已经历了溢出时间还没有将“ACH”写入 WDTE，则会产生内部复位信号。
出现以下情况时会产生内部复位信号。
 - 如果对看门狗定时器允许寄存器(WDTE)执行位操作指令时。
 - 如果将“ACH”以外的数据写入 WDTE。

- 注意事项**
- 复位释放后对 WDTE 进行第一次写操作，将清零看门狗定时器，如果这一操作是在到达溢出时间之前进行的而不管写操作时序，看门狗定时器再次开始计数。
 - 如果通过将“ACH”写入 WDTE 来对看门狗定时器清零，则实际的溢出时间可能与由选项字节设置的溢出时间不同，最高可达 $2/f_{RL}$ 秒。
 - 在计数值溢出之前，可将看门狗定时器立即清零。

<例如> 当溢出时间设置为 $2^{10}/f_{IL}$ ，写“ACH”有效到计数值 3FH。

注意事项 4. 在 **HALT** 和 **STOP** 模式下看门狗定时器的操作依据选项字节(000C0H)第 0 位(WDSTBYON)的设置值的不同而不同，如下所示。

	WDSTBYON = 0	WDSTBYON = 1
HALT 模式	看门狗定时器操作停止	看门狗定时器操作继续
STOP 模式		

如果 **WDSTBYON** = 0，则在 **HALT** 或 **STOP** 模式释放后看门狗定时器恢复计数。此时，不对计数器清零，而从计数器停止时的值开始计数。

释放 **STOP** 模式后操作在 **X1** 振荡时钟，经过振荡稳定时间后 **CPU** 开始操作。

因此，如果 **STOP** 模式释放到看门狗定时器溢出之间的周期短，在振荡稳定期间发生一个溢出，引起复位。

从而，当工作在 **X1** 振荡时钟和当看门狗定时器在由间隔中断释放 **STOP** 后设置溢出时间要考虑到振荡稳定时间。

5. 在 **flash** 存储器自编程和 **EEPROM**TM 仿真期间看门狗定时器不停止操作。在处理期间中断响应被延迟。设置溢出时间和窗口大小时，应考虑延迟。

9.4.2 看门狗定时器溢出时间的设置

通过使用选项字节(000C0H)的第 3 位～第 1 位(WDCS2 ~ WDCS0)，设置看门狗定时器的溢出时间。

如果出现溢出，则将产生内部复位信号。在到达溢出时间之前且在窗口打开周期内通过将“ACH”写入 **WDTE**，可对当前计数值清零，且看门狗定时器再次开始计数。

溢出时间设置如下所示。

表 9-3. 看门狗定时器溢出时间的设置

WDCS2	WDCS1	WDCS0	看门狗定时器的溢出时间
0	0	0	$2^{10}/f_{IL}$ (3.88 ms)
0	0	1	$2^{11}/f_{IL}$ (7.76 ms)
0	1	0	$2^{12}/f_{IL}$ (15.52 ms)
0	1	1	$2^{13}/f_{IL}$ (31.03 ms)
1	0	0	$2^{15}/f_{IL}$ (124.12 ms)
1	0	1	$2^{17}/f_{IL}$ (496.48 ms)
1	1	0	$2^{18}/f_{IL}$ (992.97 ms)
1	1	1	$2^{20}/f_{IL}$ (3971.88 ms)

注意事项 在 **flash** 存储器自编程和 **EEPROM** 仿真期间看门狗定时器不停止操作。在处理期间中断响应被延迟。设置溢出时间和窗口大小时，应考虑延迟。

备注

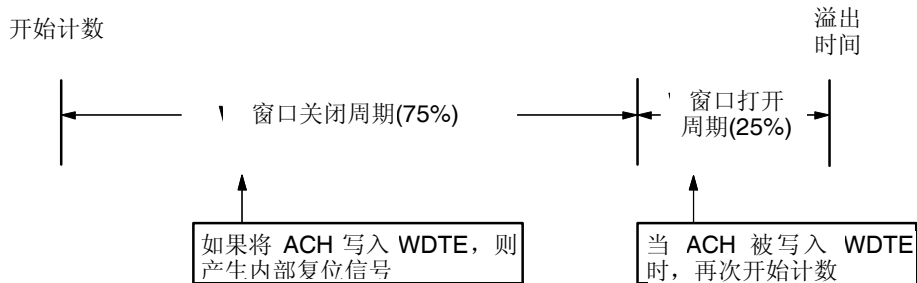
1. f_{IL} : 内部低速振荡时钟频率
2. (): $f_{IL} = 264 \text{ kHz (MAX.)}$

9.4.3 看门狗定时器窗口打开周期的设置

通过使用选项字节(000C0H)的第 6 位和第 5 位(WINDOW1, WINDOW0)，设置看门狗定时器的窗口打开周期。窗口使用情况描述如下。

- 如果在窗口打开期间将“ACH”写入 WDTE，则对看门狗定时器清零并再次开始计数。
- 在窗口关闭期间即使将“ACH”写入 WDTE，也会检测到异常情况，并产生内部复位信号。

举例: 如果窗口打开周期为 25%



注意事项 复位释放后对 WDTE 进行第一次写操作，将清零看门狗定时器，如果这一操作是在到达溢出时间之前进行的而不管写操作时序，看门狗定时器再次开始计数。

窗口打开周期设置如下所示。

表 9-4. 看门狗定时器窗口打开周期的设置

WINDOW1	WINDOW0	看门狗定时器的窗口打开周期
0	0	25%
0	1	50%
1	0	75%
1	1	100%

注意事项 1. 看门狗定时器在 flash 存储器自编程和 EEPROM 仿真期间继续操作。在处理期间，中断响应时间延迟。设置溢出时间和窗口大小要考虑到这个延迟。

2. 当选项字节(000C0H)的第 0 位 WDSTBYON) = 0 时，无论 WINDOW1 和 WINDOW0 为何值，窗口打开周期为 100%。

3. 如果看门狗定时器符合下面任一条件，不要设置窗口打开周期为 25%。

- 当使用的供电电压 (V_{DD}) 低于 2.7 V 时。
- 当通过 STOP 模式或软件停止所有主系统时钟(内部高速振荡时钟，X1 时钟，和外部主系统时钟) 时。

<R>

备注 如果将溢出时间设置为 $2^{10}/f_{RL}$ ，则窗口关闭时间和打开时间如下所示。

	窗口打开周期的设置			
	25%	50%	75%	100%
窗口关闭时间	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ 0.119 ms	无
窗口打开时间	3.56 ~ 3.88 ms	2.37 ~ 3.88 ms	0.119 ~ 3.88 ms	0 ~ 3.88 ms

<当窗口打开周期为 25%>

- 溢出时间:
 $2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/264 \text{ kHz} (\text{MAX.}) = 3.88 \text{ ms}$
- 窗口关闭时间:
 $0 \text{ to } 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 3.56 \text{ ms}$
- 窗口打开时间:
 $2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/264 \text{ kHz} (\text{MAX.})$
 $= 3.56 \sim 3.88 \text{ ms}$

9.4.4 设置看门狗定时器间隔中断

根据选项字节 (000C0H) 的第 7 位 (WDTINT) 的设置，当达到溢出时间的 75% 时可产生一个间隔中断 (INTWDTI)。

表 9-5. 看门狗定时器间隔中断的设置

WDTINT	看门狗定时器间隔中断的使用
0	使用间隔中断。
1	达到溢出时间的 75% 时产生间隔中断。

注意事项 在 STOP 模式释放后当工作在 X1 振荡时钟时，经过振荡稳定时间后 CPU 开始工作。

因此，如果 STOP 模式释放到看门狗定时器溢出之间的周期短，在振荡稳定期间发生一个溢出，引起复位。

从而，当工作在 X1 振荡时钟和当看门狗定时器在由间隔中断释放 STOP 后设置溢出时间要考虑到振荡稳定时间。

备注 即使 INTWDTI 产生后看门狗定时器继续计数(直到 ACH 写入到 WDT 寄存器)。如果在溢出时间前 ACH 不写入到 WDT 寄存器，产生一个内部复位信号。

10.1 时钟输出/蜂鸣器输出控制器的功能

时钟输出控制器用于供给遥控发送期间的载波输出和时钟输出外围 Ics。

蜂鸣器输出用于蜂鸣器频率的方波输出。

引脚可输出时钟或蜂鸣器声音。

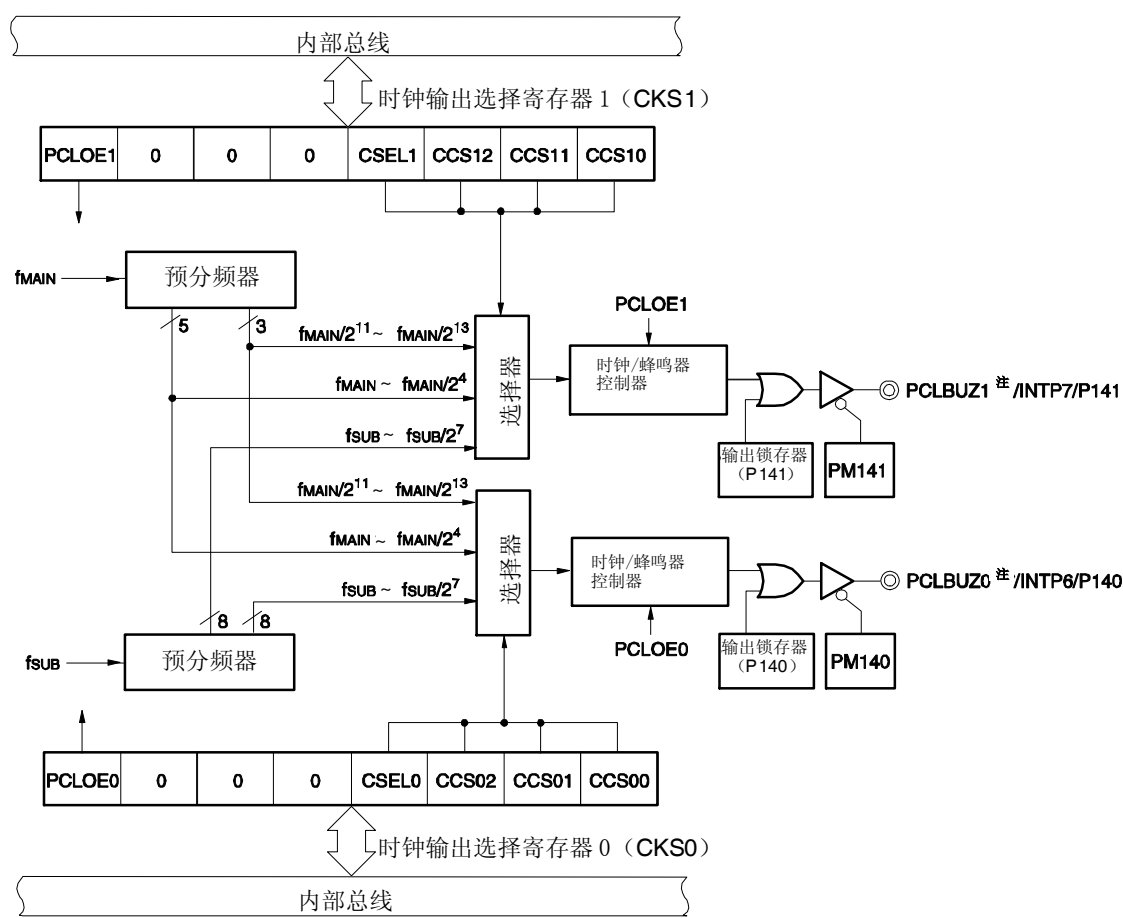
两个输出引脚，PCLBUZ0 和 PCLBUZ1，可使用。

PCLBUZ0 输出由时钟输出选择寄存器 0 (CKS0)选择的时钟。

PCLBUZ1 输出由时钟输出选择寄存器 1 (CKS1)选择的时钟。

图 10-1 所示为时钟输出/蜂鸣器输出控制器的框图。

图 10-1. 时钟输出/蜂鸣器输出控制器的框图



注 在 $2.7\text{ V} \leq V_{DD}$ PCLBUZ0 和 PCLBUZ1 引脚可输出最大为 10 MHz 的时钟。当 $V_{DD} < 2.7\text{ V}$ 时禁止设置时钟超过 5 MHz。

10.2 时钟输出/蜂鸣器输出控制器的配置

时钟输出/蜂鸣器输出控制器包括如下硬件。

表 10-1. 时钟输出/蜂鸣器输出控制器的配置

项目	配置
控制寄存器	时钟输出选择寄存器 0, 1 (CKS0, CKS1) 端口模式寄存器 14 (PM14) 端口寄存器 14 (P14)

10.3 控制时钟输出/蜂鸣器输出控制器的寄存器

如下两个时钟输出/蜂鸣器输出控制器。

- 时钟输出选择寄存器 0, 1 (CKS0, CSK1)
- 端口模式寄存器 14 (PM14)

(1) 时钟输出选择寄存器 0, 1 (CKS0, CKS1)

这些寄存器用于设置时钟输出或蜂鸣器频率输出引脚(PCLBUZ0/PCLBUZ1)的输出允许/禁止，并设置输出时钟。

通过 CKS0 选择要从 PCLBUZ0 输出的时钟。

通过 CKS1 选择要从 PCLBUZ1 输出的时钟。

CKS0 和 CKS1 可以由 1 位或 8 位存储器操作指令设置。

复位信号的产生将这些寄存器清零（00H）。

图 10-2. 时钟输出选择寄存器 n (CKSn) 的格式

地址: FFFA5H 复位后: 00H R/W

符号

<7> 6 5 4 3 2 1 0

CKSn

PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0
--------	---	---	---	-------	-------	-------	-------

PCLOEn	PCLBUZn 输出允许/禁止选择
0	输出禁止 (默认)
1	输出允许

CSELn	CCSn2	CCSn1	CCSn0		PCLBUZ0 输出时钟选择		
					f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz
0	0	0	0	f _{MAIN}	5 MHz	10 MHz ^注	禁止设置 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.76 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz
1	0	0	0	f _{SUB}	32.768 kHz		
1	0	0	1	f _{SUB} /2	16.384 kHz		
1	0	1	0	f _{SUB} /2 ²	8.192 kHz		
1	0	1	1	f _{SUB} /2 ³	4.096 kHz		
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz		
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz		
1	1	1	0	f _{SUB} /2 ⁶	512 Hz		
1	1	1	1	f _{SUB} /2 ⁷	256 Hz		

注 当 $2.7\text{ V} \leq V_{DD}$ 时, 设置的输出时钟不能超过 10 MHz。当 $V_{DD} < 2.7\text{ V}$ 时时钟设置超过 5 MHz 也禁止。

- 注意事项
1. 禁止时钟输出(PCLOEn = 0)后改变输出时钟。
 2. 如果在时钟输出(PCLOEn = 1)期间选择的时钟(f_{MAIN} 或 f_{SUB})停止, 则输出不确定。

- 备注
1. n = 0, 1
 2. f_{MAIN}: 主系统时钟频率
 3. f_{SUB}: 副系统时钟频率

(2) 端口模式寄存器 14 (PM14)

该寄存器用于设置端口 14 的位选输入/输出操作模式。
当使用 P140/INTP6/PCLBUZ0 和 P141/INTP7/PCLBUZ1 引脚作为时钟输出/蜂鸣器输出时，清零 PM140 和 PM141 并且 P140 和 P141 的输出锁存器也为 0。
可以由 1 位或 8 位存储器操作指令设置 PM14。
复位信号产生将此寄存器设置为 FFH。

图 10-3. 端口模式寄存器 14 (PM14) 的格式

地址: FFF2EH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	P14n 引脚 I/O 模式选择 (n = 0 ~ 5)
0	输出模式 (输出缓冲器开)
1	输入模式(输出缓冲器关)

10.4 时钟输出/蜂鸣器输出控制器的操作

一个引脚可用于输出时钟或蜂鸣器声音。
两个输出引脚， PCLBUZ0 和 PCLBUZ1，可使用。
通过时钟输出选择寄存器 0（CKS0）选择要从 PCLBUZ0 输出的时钟/蜂鸣器。
通过时钟输出选择寄存器 1（CKS1）选择要从 PCLBUZ1 输出的时钟/蜂鸣器。

10.4.1 作为输出引脚操作

PCLBUZn 输出包含以下过程。

- <1> 通过 PCLBUZn 引脚的时钟输出选择寄存器 (CKSn) 的第 0~3 位(CCSn0 ~ CCSn2, CSELn)选择输出频率 (输出在禁止状态)。
- <2> 设置 CKSn 的第 7 位 (PCLOEn) 为 1 以允许时钟/蜂鸣器输出。

备注 当用于输出时钟和当时钟输出允许或禁止时控制器不能设置输出窄宽脉冲。如图 10-4 中所示，确保从时钟的低周期 (图中* 所标记)开始输出。当停止输出时，在时钟高电平周期后执行。

图 10-4. 遥控输出应用示例



备注 n = 0, 1

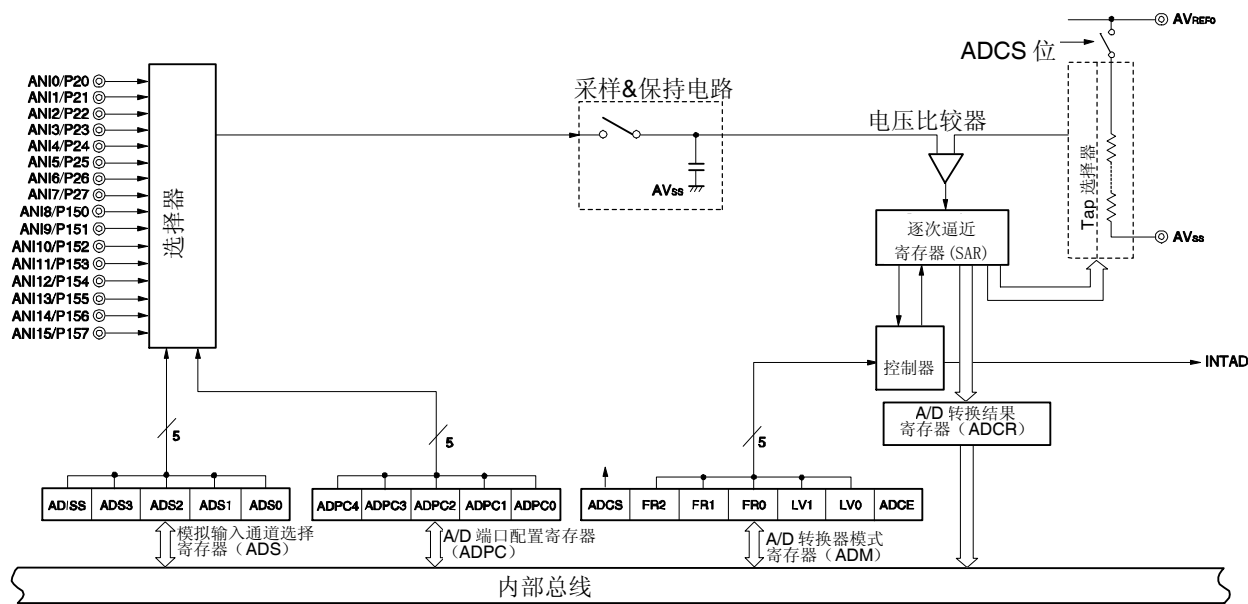
11.1 A/D 转换器的功能

A/D 转换器用于将模拟输入信号转换为数字值，最多可由 16 个通道(ANIO ~ ANI15)组成，具有 10 位分辨率。
A/D 转换器有如下功能。

• 10 位分辨率 A/D 转换

从模拟输入 ANIO~ANI15 中选择一个通道，重复执行 10 位分辨率 A/D 转换。每次 A/D 转换结束，都可以产生一个中断请求(INTAD)。

图 11-1. A/D 转换器的框图



11.2 A/D 转换器的配置

A/D 转换器包括以下硬件。

(1) ANI0～ANI15 引脚

这些是 16 通道 A/D 转换器的模拟输入引脚。用于输入模拟信号，以便转换成数字信号。除了那些被选为模拟输入的引脚外，其它引脚均可用作 I/O 端口引脚。

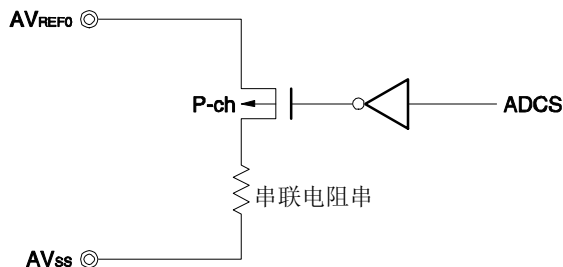
(2) 采样&保持电路

采样&保持电路在 A/D 转换器启动时用于采样由选择器选择的模拟输入引脚的输入电压，并在 A/D 转换期间保持采样到的电压值。

(3) 串联电阻串

串联电阻串用于连接 AV_{REF0} 和 AV_{SS} ，并产生一个电压，与采样到的电压值进行比较。

图 11-2. 串联电阻串的电路配置



(4) 电压比较器

电压比较器用于比较采样到的电压值与串联电阻串的输出电压。

(5) 逐次逼近寄存器(SAR)

★

该寄存器用于转换电压比较器所比较的结果，并从最高有效位(MSB)开始转换结果。

当电压被转换成数字值，并写入最低有效位(LSB)时(A/D 转换结束)，将 SAR 的内容传送到 A/D 转换结果寄存器(ADCR)中。

(6) 10 位 A/D 转换结果寄存器 (ADCR)

每次 A/D 转换结束时，将 A/D 转换结果从逐次逼近寄存器(SAR)传送至该寄存器中。并由该寄存器将转换结果保存在它的高 10 位中(低 6 位恒为 0)。

(7) 8 位 A/D 转换结果寄存器(ADCRH)

每次 A/D 转换结束时，将 A/D 转换结果从逐次逼近寄存器传送至该寄存器中。并将转换结果的高 8 位保存在 ADCRH 中。

(8) 控制器

该电路用于控制模拟输入信号被转换成数字信号的转换时间，并启动和停止转换操作。当 A/D 转换结束时，该控制器产生中断 INTAD。

(9) AV_{REF0} 引脚

该引脚为 A/D 转换器输入一个模拟供电/参考电压。当端口 2 和 15 的所有引脚被用作模拟端口引脚时，要使 AV_{REF0} 电压在 $2.3\text{ V} \leq \text{AV}_{\text{REF0}} \leq \text{V}_{\text{DD}}$ 。当端口 2 和 15 的一个或更多引脚用作数字端口引脚或当 A/D 转换器不使用时，保证 AV_{REF0} 电压与 EV_{DD0}, EV_{DD1}, 或 V_{DD} 一致。

根据通过 AV_{REF0} 和 AV_{SS} 的电压，将输入到 ANI0 ~ ANI15 的信号转换成数字信号。

(10) AV_{SS} 引脚

这是 A/D 转换器的信号地引脚。即使 A/D 转换器不使用时此引脚的电压与 EV_{SS0}, EV_{SS1}, 和 V_{SS} 引脚保持一致。

(11) A/D 转换器模式寄存器(ADM)

该寄存器用于设置被转换的模拟输入信号的转换时间，并启动或停止转换操作。

(12) A/D 端口配置寄存器(ADPC)

该寄存器用于将 ANI0/P20 ~ ANI7/P27 和 ANI8/P150 ~ ANI15/P157 引脚切换成 A/D 转换器的模拟输入或端口的数字 I/O 输入。

(13) 模拟输入通道指定寄存器 (ADS)

该寄存器用来选择输入模拟电压(将被转换成数字信号)的端口。

(14) 端口模式寄存器 2 和 15 (PM2, PM15)

此寄存器用于将 ANI0/P20 ~ ANI7/P27 和 ANI8/P150 ~ ANI15/P157 引脚切换为输入或输出。

11.3 A/D 转换器使用的寄存器

A/D 转换器 使用下面七个寄存器。

- 外围设备允许寄存器 0 (PER0)
- A/D 转换器模式寄存器 (ADM)
- A/D 端口配置寄存器 (ADPC)
- 模拟输入通道指定寄存器 (ADS)
- 端口模式寄存器 2 和 15 (PM2, PM15)
- 10 位 A/D 转换结果寄存器 (ADCR)
- 8 位 A/D 转换结果寄存器(ADCRH)

(1) 外围设备允许寄存器 0 (PER0)

PER0 用于允许或禁止每个外围硬件宏指令操作。为了降低功耗和噪声对于不使用的硬件宏指令停止提供时钟。

使用 A/D 转换器时，确保设置此寄存器的第 5 位 (ADCEN)为 1。

PER0 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将该寄存器清零(00H)。

- 注意事项 1.** 设置 A/D 转换器时，首先务必设置 **ADCEN** 为 1。如果 **ADCEN = 0**，写入到 A/D 转换器的控制寄存器被忽略，即使读取寄存器，只能读到默认值。
- 2.** 确保 PER0 寄存器的第 1 位为 0。

图 11-3. 外围设备允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/D 转换器 输入时钟的控制
0	停止供给输入时钟。 • 不能写入被 A/D 转换器使用的 SFR。 • A/D 转换器在复位状态。
1	供给输入时钟。 • 可读/写被 A/D 转换器使用的 SFR。

(2) A/D 转换器模式寄存器 (ADM)

该寄存器设置模拟输入的 A/D 转换时间，并启动/停止转换。

ADM 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将该寄存器清零(00H)。

图 11-4. A/D 转换器模式寄存器 (ADM) 的格式

地址: FFF30H 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	<0>
ADM	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D 转换操作控制
0	停止转换操作
1	允许转换操作

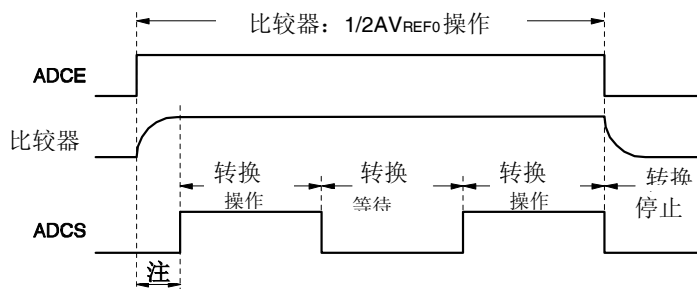
ADCE	比较器操作控制 ^{注2}
0	停止比较器的操作
1	允许比较器的操作（比较器：1/2AV _{REF0} ）

- 注
1. FR2 ~ FR0, LV1, LV0, 和 A/D 转换的详细情况，参见表 11-2 A/D 转换时间选择。
 2. 比较器的的操作是由 ADCS 和 ADCE 控制的，从操作开始到操作稳定需要 1 μ s。因此，当 ADCE 被设置为 1 后，至少经过 1 μ s 的时间，再将 ADCS 置 1 时，此时的转换结果优先与第一次的转换结果。否则，忽略第一次转换的数据。

表 11-1. ADCS 和 ADCE 的设置

ADCS	ADCE	A/D 转换操作
0	0	停止状态 (不存在直流功耗)
0	1	转换等待模式 (比较器: 1/2AV _{REF0} 操作，只有比较器产生功耗)
1	0	禁止设置
1	1	转换模式 (比较器: 1/2AV _{REF0} 操作)

图 11-5. 使用比较器时的时序图



注 从 ADCE 位上升到 ADCS 位下降所需时间必须至少为 1 μ s，以便稳定内部电路。

注意事项 在以不同的数据修改 FR0 ~ FR2 位, LV1 和 LV0 位之前, A/D 转换必须停止。

表 11-2. A/D 转换时间选择

(1) $2.7\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$

A/D 转换器模式寄存器 (ADM)					转换时间选择				转换时钟(f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	264/f _{CLK}	禁止设置	26.4 μs	13.2 μs	f _{CLK} /12
0	0	1	0	0	176/f _{CLK}		17.6 μs	8.8 μs [※]	f _{CLK} /8
0	1	0	0	0	132/f _{CLK}		13.2 μs	6.6 μs [※]	f _{CLK} /6
0	1	1	0	0	88/f _{CLK}		8.8 μs [※]	禁止设置	f _{CLK} /4
1	0	0	0	0	66/f _{CLK}	33.0 μs	6.6 μs [※]		f _{CLK} /3
1	0	1	0	0	44/f _{CLK}	22.0 μs	禁止设置		f _{CLK} /2
1	1	1	0	0	22/f _{CLK}	11.0 μs [※]			f _{CLK}
其他值					禁止设置				

注 只有当 $4.0\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$ 时可设置。

注意事项 根据以下条件设置转换时间。

- $4.0\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$: $f_{\text{AD}} = 0.6 \sim 3.6\text{ MHz}$
- $2.7\text{ V} \leq \text{AV}_{\text{REF0}} < 4.0\text{ V}$: $f_{\text{AD}} = 0.6 \sim 1.8\text{ MHz}$

(2) $2.3\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$

A/D 转换器模式寄存器 (ADM)					转换时间选择			转换时钟(f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	
0	0	0	0	1	480/f _{CLK}	禁止设置	禁止设置	f _{CLK} /12
0	0	1	0	1	320/f _{CLK}		64.0 μs ^{註1}	f _{CLK} /8
0	1	0	0	1	240/f _{CLK}		48.0 μs ^{註1}	f _{CLK} /6
0	1	1	0	1	160/f _{CLK}		32.0 μs	f _{CLK} /4
1	0	0	0	1	120/f _{CLK}	60.0 μs	24.0 μs ^{註2}	f _{CLK} /3
1	0	1	0	1	80/f _{CLK}	40.0 μs	16.0 μs ^{註3}	f _{CLK} /2
1	1	1	0	1	40/f _{CLK}	20.0 μs ^{註3}	禁止设置	f _{CLK}
其他值					禁止设置			

注 1. 只有当 $2.3\text{ V} \leq \text{AV}_{\text{REF0}} < 2.7\text{ V}$ 时可设置。

2. 只有当 $2.7\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$ 时可设置。

3. 只有当 $4.0\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$ 时可设置。

注意事项 1. 根据以下条件设置转换时间。

- $4.0\text{ V} \leq \text{AV}_{\text{REF0}} \leq 5.5\text{ V}$: $f_{\text{AD}} = 1.2 \sim 3.6\text{ MHz}$
- $2.7\text{ V} \leq \text{AV}_{\text{REF0}} < 4.0\text{ V}$: $f_{\text{AD}} = 1.2 \sim 1.8\text{ MHz}$
- $2.3\text{ V} \leq \text{AV}_{\text{REF0}} < 2.7\text{ V}$: $f_{\text{AD}} = 0.6 \sim 1.44\text{ MHz}$

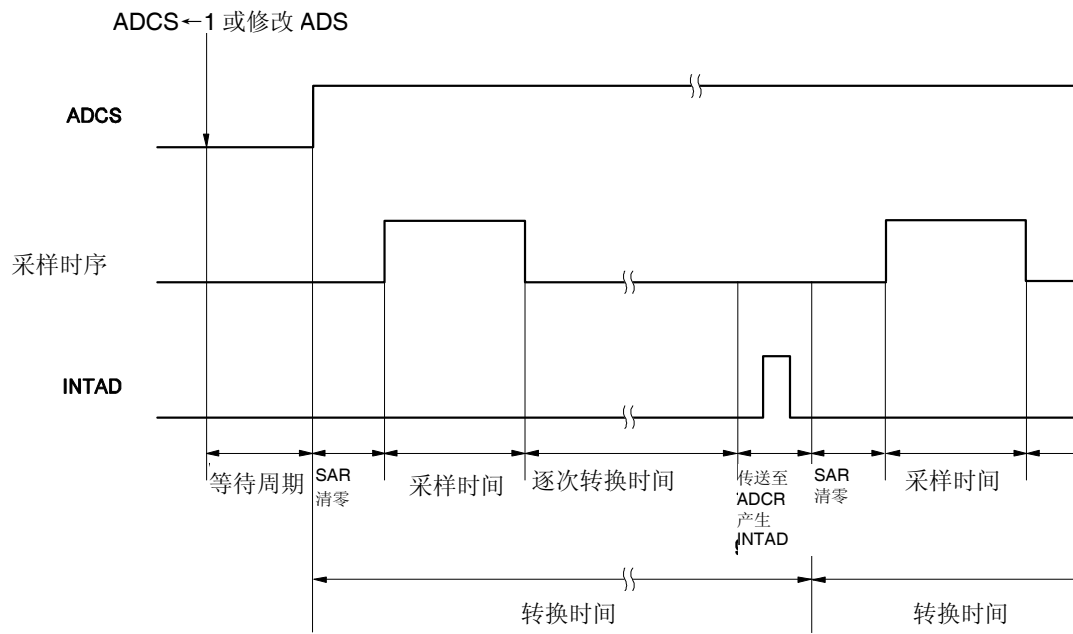
2. 在以不同的数据修改 FR0 ~ FR2 位, LV1 和 LV0 位之前, A/D 转换必须停止($\text{ADCS} = 0$)。

3. 当 $2.3\text{ V} \leq \text{AV}_{\text{REF}} < 2.7\text{ V}$ 时, 修改 LV1 和 LV0 的默认值。

4. 上述的转换时间不包括时钟频率误差。在选择转换时间的时候, 要将时钟频率误差考虑进去。

备注 f_{CLK} : CPU/外围硬件时钟频率

图 11-6. A/D 转换器采样和 A/D 转换时序



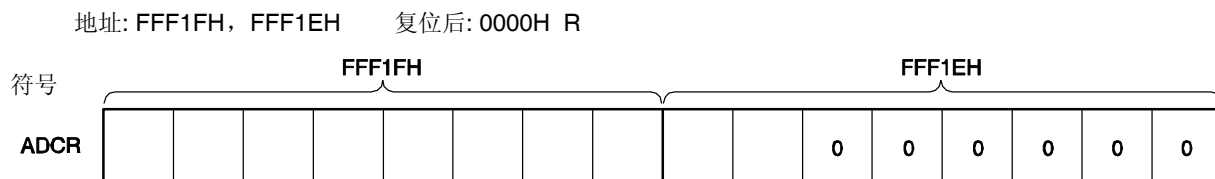
(3) 10 位 A/D 转换结果寄存器 (ADCR)

这是一个 16 位寄存器，用来存储 A/D 转换结果。寄存器的低 6 位恒为 0。每次 A/D 转换结束时，将转换结果从逐次逼近寄存器传送到 ADCR 中。转换结果的高 8 位存储在 FFF1FH 中，而转换结果的低 2 位存储在 FFF1EH 的高 2 位中。

ADCR 可由 16 位存储器操作指令读取。

复位信号产生将该寄存器清零 (0000H)。

图 11-7. 10 位 A/D 转换结果寄存器 (ADCR) 的格式



注意事项 在对 A/D 转换器模式寄存器(ADM)和模拟输入通道选择寄存器(ADS)和 A/D 端口配置寄存器(ADPC)赋值时，ADCR 的内容可能是不确定的。转换结束后先读取转换结果，再对 ADM，ADS 和 ADPC 赋值。如果没有使用上述时序，可能会读取到不正确的转换结果。

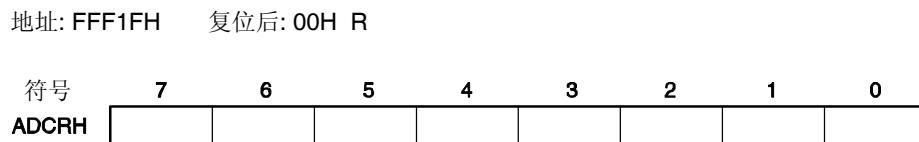
(4) 8 位 A/D 转换结果寄存器(ADCRH)

这是一个 8 位寄存器，用来存储 A/D 转换结果。可以存储 10 位分辨率的高 8 位。

ADCRH 可由 8 位存储器操作指令读取。

复位信号产生将该寄存器清零(00H)。

图 11-8. 8 位 A/D 转换结果寄存器(ADCRH)的格式



注意事项 在对 A/D 转换器模式寄存器(ADM)和模拟输入通道选择寄存器(ADS)和 A/D 端口配置寄存器(ADPC)赋值时，ADCR 的内容可能是不确定的。转换结束后先读取转换结果，再对 ADM，ADS 和 ADPC 赋值。如果没有使用上述时序，可能会读取到不正确的转换结果。

(5) 模拟输入通道指定寄存器 (ADS)

该寄存器用来选择被 A/D 转换的模拟电压的输入通道。

ADS 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将该寄存器清零(00H)。

图 11-9. 模拟输入通道指定寄存器 (ADS)的格式

地址: FFF31H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	0	ADS3	ADS2	ADS1	ADS0

ADISS	ADS3	ADS2	ADS1	ADS0	模拟输入通道	输入源
0	0	0	0	0	ANI0	P20/ANI0 引脚
0	0	0	0	1	ANI1	P21/ANI1 引脚
×	0	0	1	0	ANI2	P22/ANI2 引脚
×	0	0	1	1	ANI3	P23/ANI3 引脚
×	0	1	0	0	ANI4	P24/ANI4 引脚
×	0	1	0	1	ANI5	P25/ANI5 引脚
×	0	1	1	0	ANI6	P26/ANI6 引脚
×	0	1	1	1	ANI7	P27/ANI7 引脚
×	1	0	0	0	ANI8	P150/ANI8 引脚
×	1	0	0	1	ANI9	P151/ANI9 引脚
×	1	0	1	0	ANI10	P152/ANI10 引脚
×	1	0	1	1	ANI11	P153/ANI11 引脚
×	1	1	0	0	ANI12	P154/ANI12 引脚
×	1	1	0	1	ANI13	P155/ANI13 引脚
×	1	1	1	0	ANI14	P156/ANI14 引脚
×	1	1	1	1	ANI15	P157/ANI15 引脚

注意事项 1. 第 4~6 位必须清零。

2 使用端口模式寄存器 2 和 15 (PM2, PM15)设置一个用于 A/D 转换通道的端口为输入模式。

3. 不要通过 ADPC 和 ADS 设置数字 I/O 引脚。

备注 ×: 不必考虑

(6) A/D 端口配置寄存器 (ADPC)

这个寄存器用于将 ANI0/P20 ~ ANI7/P27 和 ANI8/P150 ~ ANI15/P157 引脚切换为 A/D 转换器的模拟输入或是数字 I/O 端口。

ADPC 可由 8 位存储器操作指令设置。

复位信号产生将该寄存器清为 10H。

图 11-10. A/D 端口配置寄存器 (ADPC)的格式

地址: F0017H 复位后: 10H R/W

符号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	模拟输入(A)/数字 I/O (D) 切换															
					端口 15								端口 2							
					ANI15 /P157	ANI14 /P156	ANI13 /P155	ANI12 /P154	ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	1	1	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
其他值					禁止设置															

- 注意事项
1. 用端口模式寄存器 2 和 15 (PM2, PM15)设置一个用于 A/D 转换通道的端口为输入模式。
 2. 不要通过 ADPC 以及 ADS 设置数字 I/O 。

(7) 端口模式寄存器 2 和 15 (PM2, PM15)

当使用 ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157 引脚用于模拟输入端口时, 设置 PM20~PM27 和 PM150~PM157 为 1。P20~P27 和 P150~P157 的输出锁存此时可为 0 或 1。

如果 PM20~PM27 和 PM150~PM157 设置为 0, 则他们不能用作模拟输入端口引脚。

PM2 和 PM15 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将这些寄存器设置为 FFH。

注意事项 如果引脚设置为模拟输入端口, 引脚只能读到“0”。

图 11-11. 端口模式寄存器 2 和 15 (PM2, PM15)的格式

地址: FFF22H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

地址: FFF2FH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150

PMmn	Pmn 引脚 I/O 模式选择 (m = 2, 15; n = 0~7)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器打关)

根据 ADPC, ADS, PM2, 和 PM15 的设置, ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157 引脚功能如下所示。

表 11-3. ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157 引脚的设置功能

ADPC	PM2 和 PM15	ADS	ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157 引脚
数字 I/O 选择	输入模式	—	数字输入
	输出模式	—	数字输出
模拟输入选择	输入模式	选择 ANI.	模拟输入 (被转换)
		不要选择 ANI.	模拟输入 (不被转换)
	输出模式	选择 ANI.	禁止设置
		不要选择 ANI.	

11.4 A/D 转换器操作

11.4.1 A/D 转换器的基本操作

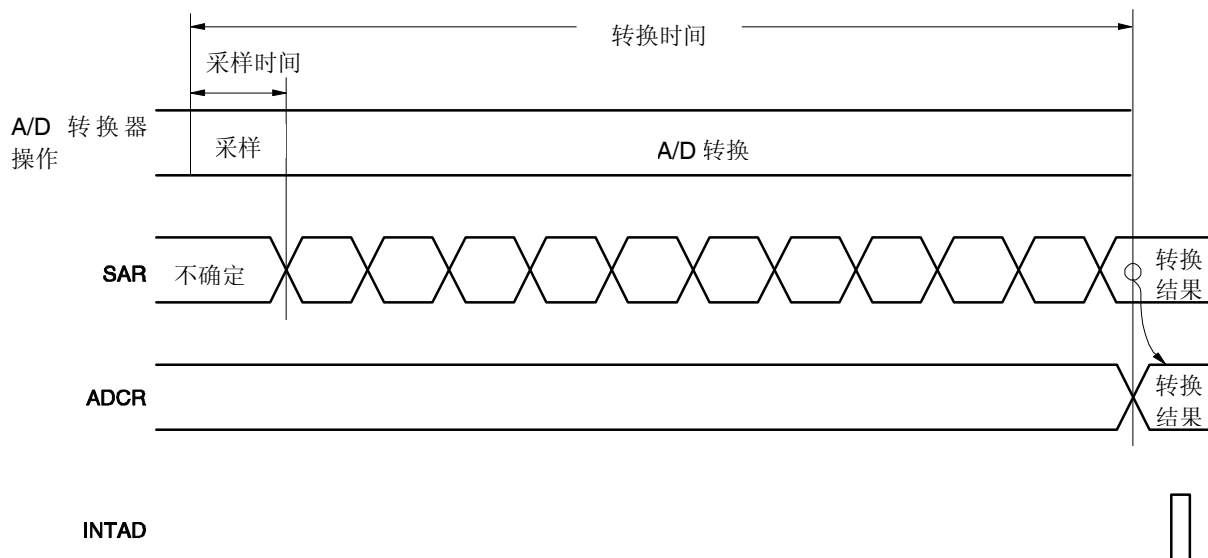
- <1> 把外围设备允许寄存器 0 (PER0) 的第 5 位 (ADCEN) 置 1 启动输入时钟的供给到 A/D 转换器。
- <2> 把 A/D 转换器模式寄存器 (ADM) 的第 0 位 (ADCE) 置 1 启动比较器的操作。
- <3> 通过 A/D 端口配置寄存器 (ADPC) 设置 A/D 转换到模拟输入的通道, 并且通过端口模式寄存器 2 和 15 (PM2, PM15) 设置到输入模式。
- <4> 通过 ADM 的第 5~1 位 (FR2~FR0, LV1, 和 LV0) 设置 A/D 转换时间。
- <5> 使用模拟输入通道指定寄存器 (ADS) 为 A/D 转换选择一个通道。
- <6> 通过设置 ADM 的第 7 位 (ADCS) 为 1 开始转换操作。
(<7>~<13> 操作由硬件执行。)
- <7> 输入到选择的模拟输入通道的电压由采样&保持电路采样。
- <8> 在经过一段时间的采样后, 采样&保持电路处于保持状态, 且在 A/D 转换操作结束前一直保持采样电压。
- <9> 设置逐次逼近寄存器 (SAR) 的第 9 位。通过分接选择器将串联电阻串的分接电压置为 $(1/2) AV_{REF0}$ 。
- <10> 由电压比较器比较串联电阻串的分接电压与采样电压。如果模拟输入电压高于 $(1/2) AV_{REF}$, 则 SAR 的 MSB = 1; 如果模拟输入电压低于 $(1/2) AV_{REF}$, 则 SAR 的 MSB = 0。
- <11> 接下来, SAR 的第 8 位自动置 1, 并进入下一个比较过程。根据第 9 位的预置值选择串联电阻串的分接电压, 具体描述如下
 - 第 9 位 = 1: $(3/4) AV_{REF0}$
 - 第 9 位 = 0: $(1/4) AV_{REF0}$
 比较分接电压与采样电压, 并设置 SAR 的第 8 位, 如下所示。
 - 模拟输入电压 $\geq$ 分接电压: 第 8 位 = 1
 - 模拟输入电压 $<$ 分接电压: 第 8 位 = 0
- <12> 按此方式继续进行比较, 直至 SAR 的第 0 位。
- <13> 全部 10 位比较完成后, 在 SAR 中保留一个有效的数值结果, 然后将结果传送至 A/D 转换结果寄存器 (ADCR, ADCRH) 中, 并锁存。
同时也会产生 A/D 转换结束中断请求 (INTAD)。
- <14> 重复步骤<7>~<13>, 直到 ADCS 被清为 0。
将 ADCS 清零, 以停止 A/D 转换器操作。
当 ADCE = 1 时, 若要重新启动 A/D 转换操作, 应从步骤<6>开始。当 ADCE = 0 时, 若要再次启动 A/D 转换操作, 设置 ADCE=1, 等待至少 1 μs , 然后从步骤<6>开始操作。如要改变 A/D 转换的通道, 则从步骤<5>开始。

注意事项 必须确保 <2> ~ <6> 的操作时间至少为 1 μs 。

备注 有两种类型的 A/D 转换结果寄存器可以使用。

- ADCR (16 位): 存储 10 位 A/D 转换值
- ADCRH (8 位): 存储 8 位 A/D 转换值

图 11-12. A/D 转换器的基本操作



连续执行 A/D 转换操作，直到用软件将 A/D 转换器模式寄存器(ADM)的第 7 位(ADCS)复位(0)。

在 A/D 转换期间，如果对模拟输入通道选择寄存器(ADS)进行写操作，则转换操作被初始化，并且若 ADCS 被设置为 1，则转换操作重新开始。

复位信号产生将 A/D 转换结果寄存器(ADCR, ADCRH)的内容设置为 0000H 或 00H。

11.4.2 输入电压和转换结果

输入到模拟输入引脚(AN10~AN15)的模拟输入电压与理论上的 A/D 转换结果(存储在 10 位 A/D 转换结果寄存器(ADCR)中)之间的关系表示如下。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

或

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF0}}{1024} \leq V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF0}}{1024}$$

其中，INT(): 该函数返回括号中值的整数部分。

V_{AIN} : 模拟输入电压

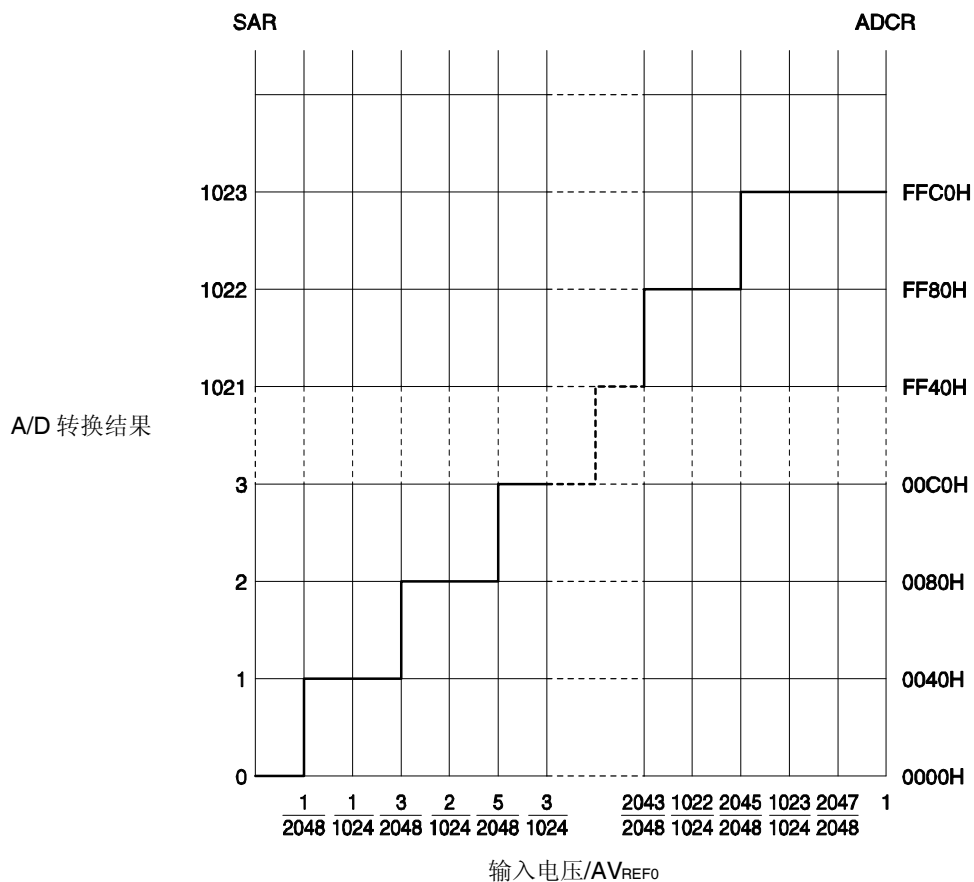
AV_{REF0} : AV_{REF0} 引脚电压

ADCR: A/D 转换结果寄存器(ADCR)的值

SAR: 逐次逼近寄存器

图 11-13 显示模拟输入电压与 A/D 转换结果之间的关系。

图 11-13. 模拟输入电压与 A/D 转换结果之间的关系



11.4.3 A/D 转换器 操作模式

A/D 转换器的操作模式为选择模式。由模拟输入通道选择寄存器(ADS)从 ANI0~ANI15 中选择一个模拟输入通道，并执行 A/D 转换。

(1) A/D 转换操作

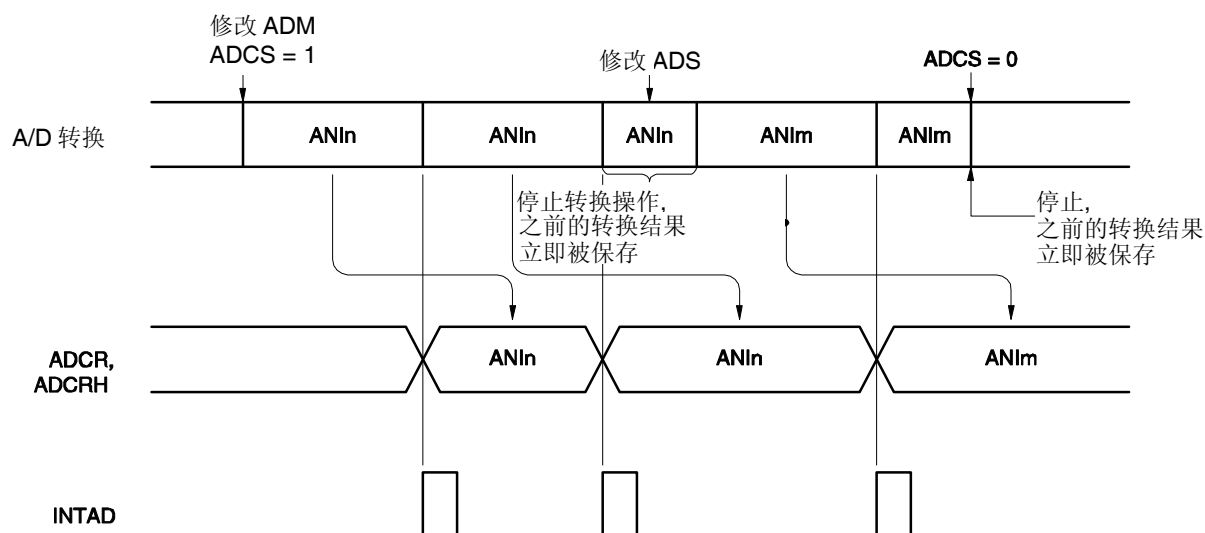
通过将 A/D 转换器模式寄存器(ADM)的第 7 位(ADCS)置 1，可启动电压的 A/D 转换操作，该电压由模拟输入通道选择寄存器(ADS)选择的模拟输入引脚输入。

当 A/D 转换完成时，将 A/D 转换结果存于 A/D 转换结果寄存器(ADCR)中，并产生一个中断请求信号(INTAD)。当一个 A/D 转换结束时，下一个 A/D 转换操作将立即开始。

如果在 A/D 转换期间 ADS 的值被重写，则停止当前正在执行的 A/D 转换操作，重新开始。

如果在 A/D 转换期间 ADCS 被置 0，则 A/D 转换立即停止。此时，之前的转换结果立即被保存。

图 11-14. A/D 转换操作



- 备注
1. $n = 0 \sim 15$
 2. $m = 0 \sim 15$

设置方法如下。

- <1> 设置外围设备允许寄存器 0 (PER0)的第 5 位(ADCEN)为 1。
- <2> 设置 A/D 转换器模式寄存器 (ADM)的第 0 位(ADCE)为 1。
- <3> 通过 A/D 端口配置寄存器 (ADPC) 的第 4~0 位(ADPC4~ADPC0)和端口模式寄存器 2 (PM2)的第 7~0 位(PM27~PM20) 和端口模式寄存器 15 (PM15)的第 7~0 位(PM157~PM150)设置用于模拟输入模式的通道。
- <4> 通过 ADM 的第 5~1 位 (FR2~FR0, LV1, 和 LV0) 选择转换时间。
- <5> 使用模拟输入通道选择寄存器(ADS)的第 7 和 3~0 位(ADISS, ADS3~ADS0)选择通道。
- <6> 将 ADM 的第 7 位 (ADCS)置 1, 启动 A/D 转换。
- <7> 当 A/D 转换结束, 产生一个中断请求信号(INTAD)。
- <8> 将 A/D 转换数据传送至 A/D 转换结果寄存器(ADCR, ADCRH)中。

<改变通道>

- <9> 根据 ADS 的第 7 和 3~0 位(ADISS, ADS3~ADS0)改变通道, 启动 A/D 转换。
- <10> 当 A/D 转换结束, 产生一个中断请求信号(INTAD)。
- <11> 将 A/D 转换数据传送至 A/D 转换结果寄存器(ADCR, ADCRH)中。

<完成 A/D 转换>

- <12> ADCS 清为 0。
- <13> ADCE 清为 0。
- <14> 外围设备允许寄存器 0 (PER0)的第 5 位(ADCEN)清为 0。

注意事项 1. 必须确保步骤 <2> ~ <6>的操作时间至少为 1 μ s。

- 2. <2> 可以在<3>和<5>之间进行。
- 3. <2>可以被省略。但在这种情况下 (<6>之后) 忽略第一个转换结果。
- 4. 步骤<7> ~ <10>所经历的时间不同于使用 ADM 的第 5~1 位(FR2 ~ FR0, LV1, LV0)设置的转换时间。步骤<9> ~ <10>所经历的时间为 FR2 ~ FR0, LV1, LV0 设置的转换时间。

11.5 A/D 转换器特征表的阅读方法

以下介绍 A/D 转换器中的专用术语。

(1) 分辨率

这是可识别的最小的模拟输入电压，即每位数字输出的模拟输入电压的百分比，称为 **1LSB**(最低有效位)。对于满度的 **1LSB** 的百分比用 **%FSR**(满度范围)表示。

当分辨率为 10 位时 **1LSB** 表示如下。

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%\text{FSR} \end{aligned}$$

精确度与分辨率无关，而由总误差决定。

(2) 总误差

总误差是指实际测量值与理论值之间的最大误差。

零度误差、满度误差、积分线性误差和微分线性误差等组合起来表示总误差。

注意量化误差不属于特征表中总误差的范围。

(3) 量化误差

当模拟值转换成数字值时，通常会产生 $\pm 1/2\text{LSB}$ 的误差。在一个 A/D 转换器中，相差 $\pm 1/2\text{LSB}$ 的模拟输入电压被转换成相同的数字代码，因此量化误差不可避免。

注意量化误差不属于特征表中总误差、零度误差、满度误差、积分线性误差和微分线性误差的范围。

图 11-15. 总误差

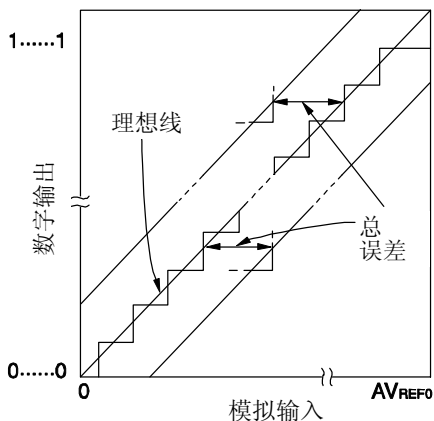
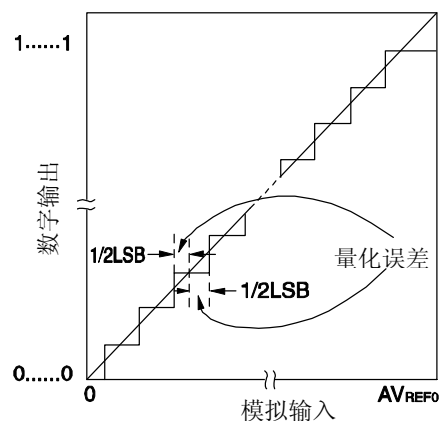


图 11-16. 量化误差



(4) 零度误差

零度误差表示当数字输出范围在 $0.....000 \sim 0.....001$ 之间时模拟输入电压的实际测量值与理论值($1/2\text{LSB}$)之间的误差。

如果实际测量值大于理论值，零度误差表示当数字输出范围在 $0.....001 \sim 0.....010$ 之间时模拟输入电压的实际测量值与理论值($3/2\text{LSB}$)之间的误差。

(5) 满度误差

满度误差表示当数字输出范围在 $1\dots\dots110 \sim 1\dots\dots111$ 之间时模拟输入电压的实际测量值与理论值(满度 - $3/2\text{LSB}$)之间的误差。

(6) 积分线性误差

积分线性误差说明了转换特征偏离理想线性关系的程度。它表示当零度误差和满度误差均为 0 时实际测量值与理想直线之间误差的最大值。

(7) 微分线性误差

当代码输出的理想宽度为 1LSB 时，微分线性误差表示实际测量值与理想值之间的差距。

图 11-17. 零度误差

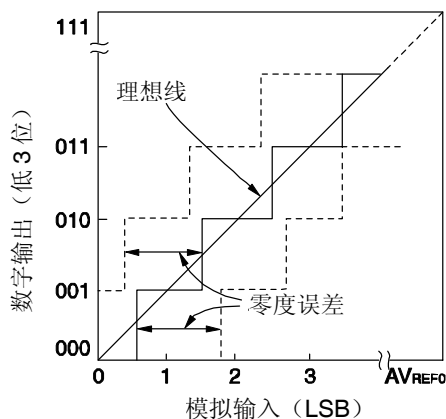


图 11-18. 满度误差

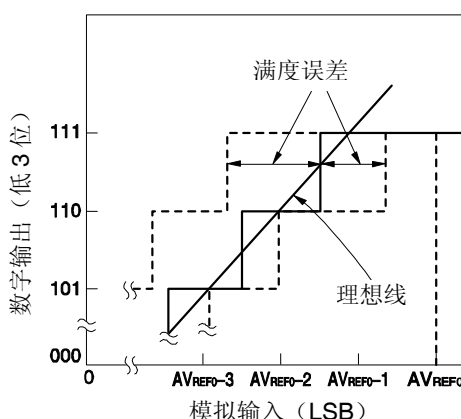


图 11-19. 积分线性误差

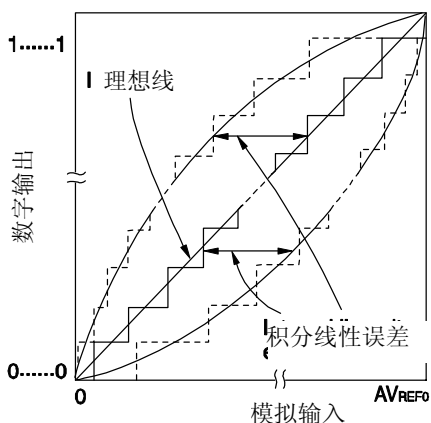
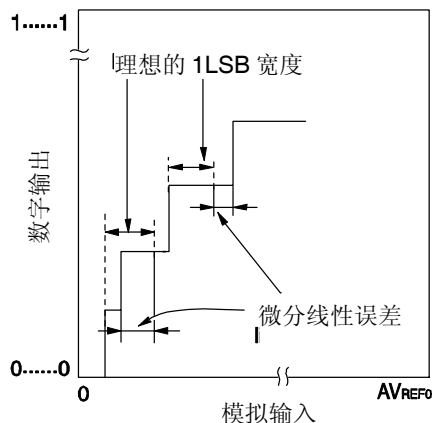


图 11-20. 微分线性误差

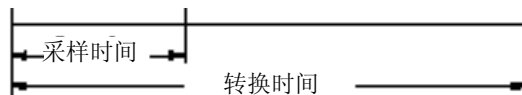


(8) 转换时间

转换时间表示从开始采样到获取数字输出所经历的时间。
采样时间包含在特征表中的转换时间中。

(9) 采样时间

采样时间表示模拟电压的模拟开关被打开到模拟电压被采样&保持电路采样所需的时间。



11.6 A/D 转换器的注意事项

(1) STOP 模式中的操作电流

在 STOP 模式中 A/D 转换器停止操作。此时，将 A/D 转换器模式寄存器(ADM)的第 7 位(ADCS)和第 0 位(ADCE)清零，可以降低操作电流。

若要从待机状态重新启动，将中断请求标志寄存器 1L (IF1L)的第 0 位(ADIF)清零(0)，然后开始操作。

(2) ANI0~ANI15 的输入范围

观察 ANI0~ANI15 输入电压的额定范围。如果输入到模拟输入通道的电压大于等于 AV_{REF} ，或者小于等于 AV_{SS} (即使在绝对最大额定范围之内)，则该通道的转换值不确定。此外，其它通道的转换值也可能会受影响。

(3) 冲突操作

<1> 转换结束后，通过指令对 A/D 转换结果寄存器(ADCR, ADCRH)的写操作和 ADCR 或 ADCRH 的读操作之间的冲突。

ADCR 或 ADCRH 读操作的优先级高。在执行读操作后，才将新的转换结果写入 ADCR 或 ADCRH。

<2> 转换结束后，ADCR 或 ADCRH 的写操作、A/D 转换器模式寄存器(ADM)的写操作以及模拟输入通道选择寄存器(ADS)或 A/D 端口配置寄存器(ADPC)的写操作之间的冲突。

ADM、ADS 或 ADPC 的写操作的优先级高。不执行 ADCR 或 ADCRH 的写操作，也不会产生转换结束中断信号(INTAD)。

(4) 解决噪音问题的方法

为了保持 10 位分辨率，必须注意输入到 AV_{REF0} 引脚和 ANI0~ANI15 引脚的噪音。

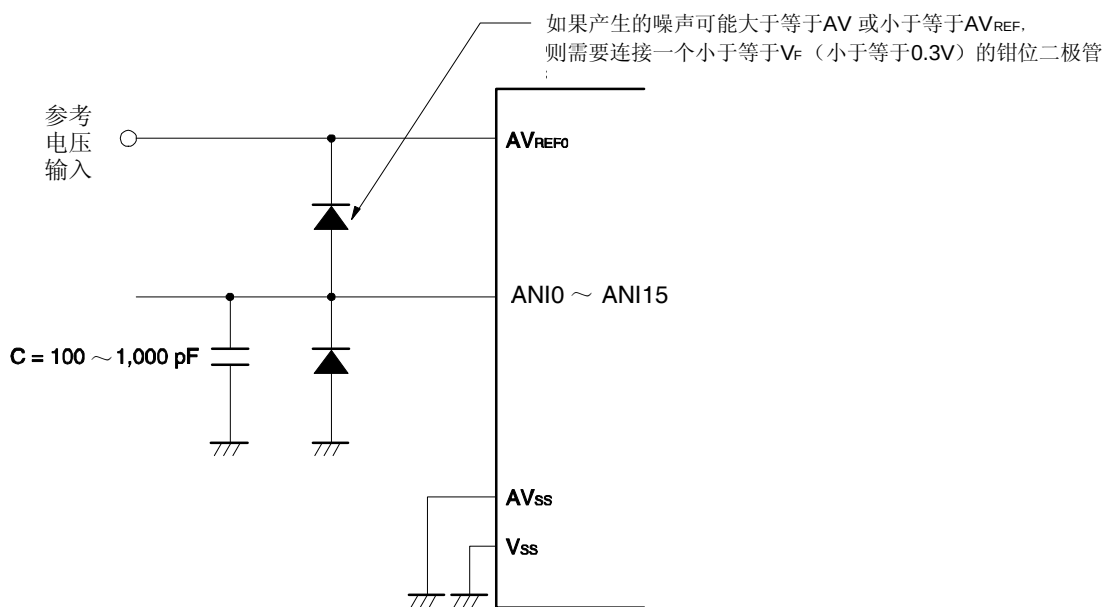
<1> 连接一个低等效电阻和优质频率响应的电容到电源上。

<2> 模拟输入源的输出阻抗越大，干扰就越大。为了降低噪音，建议按图 11-21 所示连接外部 C。

<3> 在转换过程中不要切换引脚。

<4> 如果在转换开始后立即设置 HALT 模式，则可以改善精度。

图 11-21. 模拟输入引脚连接



(5) ANI0/P20~ANI7/P27 和 ANI8/P150~ANI15/P157

<1> 模拟输入引脚 (ANI0~ANI7)也可用作输入端口引脚 (P20~P27)。

模拟输入引脚 (ANI8~ANI15)也可用作输入端口引脚 (P150~P157)。

当选择 ANI0 ~ ANI15 中的任意一个通道执行 A/D 转换时，转换过程中不要访问 P20~P27 和 P150~P157；否则转换分辨率可能会降低。建议从 ANI0/P20(离 AV_{REF0} 最远)开始，选择引脚用作 P20~P27 和 P150~P157。

<2> 如果正在进行 A/D 转换的引脚的相邻引脚有数字脉冲，则由于噪音耦合，有可能得不到预期的 A/D 转换值。因此在进行 A/D 转换时不要在相邻引脚引用脉冲。

(6) ANI0~ANI15 引脚的输入阻抗

采样期间 A/D 转换器对采样电容充电，以便进行采样。

因此当不进行采样时仅有漏电流经过，而在采样期间则有为电容充电的电流，因此根据是否进行采样，输入阻抗会波动，且无法解决。

为了使采样有效，建议模拟输入源的输出阻抗小于等于 $10\text{ k}\Omega$ ，并将一个 100 pF 左右的电容连接到 ANI0 ~ ANI15 引脚上(参见图 11-21)。

(7) AV_{REF0} 引脚输入阻抗

在 AV_{REF0} 与 AV_{SS} 引脚之间连接几十千欧的串联电阻串。

因此，如果参考电压源的输出阻抗很高，相当于使一串电阻串联连接到 AV_{REF0} 与 AV_{SS} 引脚之间的串联电阻串时，会导致较大的参考电压误差。

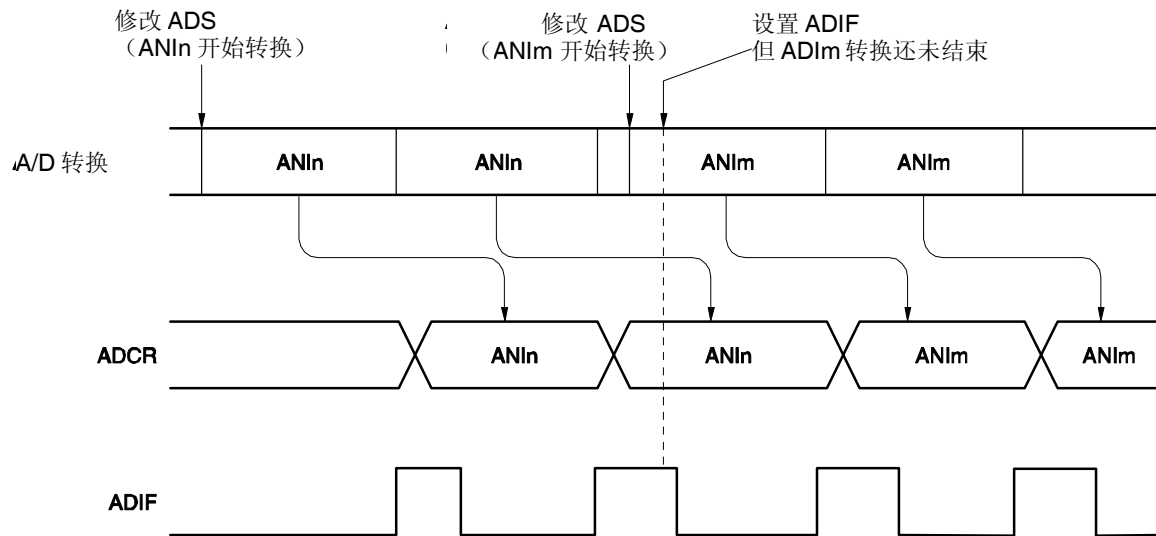
(8) 中断请求标志 (ADIF)

即使模拟输入通道选择寄存器(ADS)的值被修改, 中断请求标志(ADIF)也不会被清零。

因此, 如果在 A/D 转换期间有一个模拟输入引脚发生变化, 则在 ADS 被修改之前, 模拟输入通道的 A/D 转换结果和改变前的模拟通道的 ADIF 可能被设置。此时需要注意的是, 当 ADS 修改后立即读取 ADIF 时, 即使修改后的模拟输入的 A/D 转换尚未结束, 也会设置 ADIF。

当 A/D 转换停止后又重新开始时, 在启动前先对 ADIF 清零。

图 11-22. A/D 转换结束中断请求产生的时序



- 备注
1. $n = 0 \sim 15$
 2. $m = 0 \sim 15$

(9) A/D 转换刚开始时的转换结果

在 A/D 转换开始后, 若在 ADCE 置 1 后的 $1 \mu s$ 内对 ADCS 置 1, 或者 ADCE=0 时 ADCS 置 1, 那么第一次的 A/D 转换值可能不在额定范围内。可采取措施, 如挂起 A/D 转换结束中断请求(INTAD), 并删除第 1 次转换结果。

(10) A/D 转换结果寄存器(ADCR, ADCRH) 读操作

当对 A/D 转换器模式寄存器(ADM)、模拟输入通道选择寄存器(ADS)和 A/D 端口配置寄存器(ADPC)进行写操作时, ADCR 和 ADCRH 的内容可能不确定。在对 ADM、ADS 和 ADPC 进行写操作前且转换结束后读取转换结果。如果采用与上述不同的时序操作可能会读取到不正确的转换结果。

(11) 内部等效电路

模拟输入模块的等效电路如下所示。

图 11-23. ANIn 引脚的内部等效电路

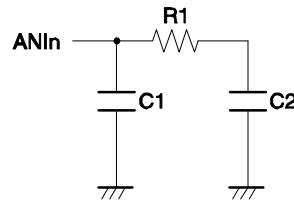


表 11-4. 等效电路的电阻和电容 (参考值)

AV_{REF0}	R1	C1	C2
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	8.1 k Ω	8 pF	5 pF
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	31 k Ω	8 pF	5 pF
$2.3\text{ V} \leq V_{DD} < 2.7\text{ V}$	381 k Ω	8 pF	5 pF

- 备注
1. 表 11-4 所显示的电阻和电容值不是保证值。
 2. $n = 0 \sim 15$

第十二章 D/A 转换器

12.1 D/A 转换器的功能

The D/A 转换器用于将输入的数字信号转换成模拟信号，有 8 位分辨率。它可以控制两个通道 (ANO0 和 ANO1) 的输出模拟信号。D/A 转换器 具有如下特性。

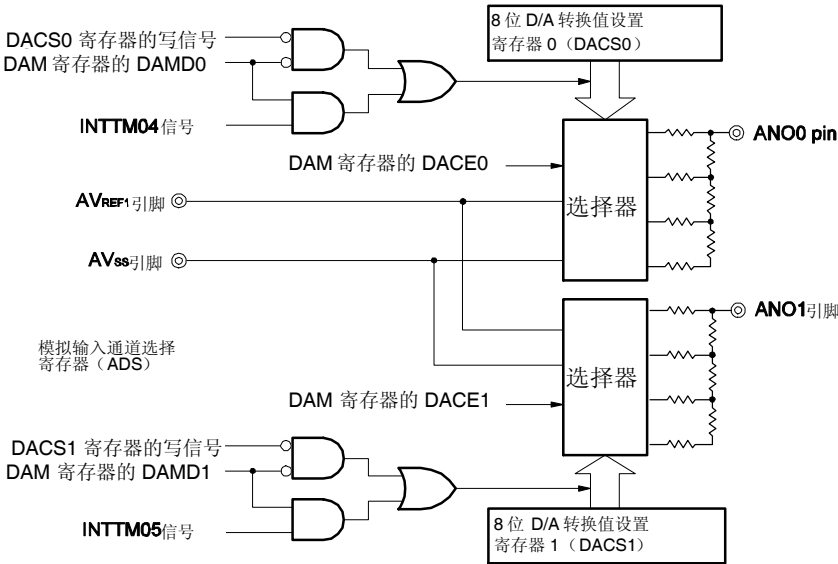
- 8 位分辨率 × 2 通道
- R-2R 方法
- 输出模拟电压: $AV_{REF1} \times m/256$ (AV_{REF1} : D/A 转换器的参考电压, m : 设置到 $DACS_n$ 寄存器的值)
- 操作模式: 普通模式/实时输出模式

备注 $n = 0, 1$

12.2 D/A 转换器的配置

D/A 转换器的配置如下所示。

图 12-1. D/A 转换器的框图



- 备注
1. INTTM04 和 INTTM05 是定时器触发信号 (从定时器通道 4 和 5 产生的中断信号)，在实时输出模式下使用。
 2. D/A 转换器的通道 0 和通道 1 共用 AV_{REF1} 引脚。
 3. D/A 转换器的通道 0 和通道 1 共用 AV_{ss} 引脚。 AV_{ss} 也由 D/A 转换器共享。

D/A 转换器包括以下硬件

表 12-1. D/A 转换器的配置

项目	配置
控制寄存器	外围设备允许寄存器 0 (PER0) D/A 转换器模式寄存器(DAM) 8 位 D/A 转换值设置寄存器 0, 1 (DACS0, DACS1)

12.3 D/A 转换器中使用的寄存器

D/A 转换器使用下面三个寄存器。

- 外围设备允许寄存器 0 (PER0)
- D/A 转换器模式寄存器(DAM)
- 8 位 D/A 转换值设置寄存器 0, 1 (DACS0, DACS1)

(1) 外围设备允许寄存器 0 (PER0)

PER0 用于允许或禁止每个外围硬件宏指令操作。为了降低功耗和噪声对于不使用的硬件宏指令停止提供时钟。

使用 D/A 转换器时，确保设置此寄存器的第 6 位 (DACEN)为 1。

PER0 可由 1 位或 8 位存储器操作指令设置。

复位信号产生将该寄存器清零(00H)。

- 注意事项 1.** 设置 D/A 转换器时，首先务必设置 DACEN 为 1。如果 DACEN = 0，写入到 D/A 转换器的控制寄存器被忽略，即使读取寄存器，只能读到默认值。
- 2.** 确保 PER0 寄存器的第 1 位为 0。

图 12-2. 外围设备允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

DACEN	D/A 转换器 输入时钟的控制
0	停止供给输入时钟。 • 不能写入被 D/A 转换器使用的 SFR。 • D/A 转换器在复位状态。
1	供给输入时钟。 • 可读/写被 D/A 转换器使用的 SFR。

(2) D/A 转换器模式寄存器(DAM)

此寄存器控制 D/A 转换器的操作。
DAM 可由 1 位或 8 位存储器操作指令设置。
复位信号产生将该寄存器清零(00H)。

图 12-3. D/A 转换器模式寄存器(DAM)的格式

地址: FFF32H 复位后: 00H R/W

符号	7	6	<5>	<4>	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0

DACE _n	D/A 转换操作的控制 (n = 0, 1)
0	停止转换操作
1	允许转换操作

DAMD _n	D/A 转换器操作模式的选择 (n = 0, 1)
0	普通模式
1	实时输出模式

(3) 8 位 D/A 转换值设置寄存器 0 和 1 (DACS0, DACS1)

这些寄存器用于设置要输出到 ANO0 和 ANO1 引脚的模拟电压值。
DACS0 和 DACS1 可由 8 位存储器操作指令读取。
复位信号产生将该寄存器清零(00H)。

图 12-4. 8 位 D/A 转换值设置寄存器 0 和 1 (DACS0, DACS1)的格式

地址: FFF1CH, FFF1DH	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
DACS _n	DACS _n 7	DACS _n 6	DACS _n 5	DACS _n 4	DACS _n 3	DACS _n 2	DACS _n 1	DACS _n 0
备注	n = 0, 1							

12.4 D/A 转换器的操作

12.4.1 在普通模式下操作

通过对 DACSn 寄存器进行写操作作为触发执行 D/A 转换。设置方法描述如下。

- <1> 设置 DAM 寄存器的 DAMDn 位为 0 (普通模式)。
- <2> 设置要输出的模拟电压值到 ANOn 引脚到 DACSn 寄存器。
上面的步骤 <1>和<2> 构成初始化设置。
- <3> 设置 DAM 寄存器的 DACEn 位为 1 (D/A 转换允许)。
当此设置执行时 D/A 转换开始，建立稳定时间后，模拟电压被输出到 ANOn 引脚。
- <4> 要执行后面的 D/A 转换，写入到 DACSn 寄存器。
保存前一个 D/A 转换结果直到执行下一个 D/A 转换。
当 DAM 寄存器的 DACEn 位设置为 0 (D/A 转换操作停止)时，D/A 转换停止，当 PM11 寄存器的 PM11n 位= 1 (输入模式)时 ANOn 引脚为高阻抗状态，当 PM11n 位 = 0 (输出模式)时 ANOn 引脚输出 P11 寄存器的设置值。

备注 1. 复用功能引脚设置的详细情况，参见表 4-6 使用端口引脚作为复用功能引脚。
 2. n = 0, 1

12.4.2 在实时输出模式下操作

使用定时器通道 4 和定时器通道 5 的中断请求信号(INTTM04 和 INTTM05)作为触发执行 D/A 转换。
设置方法描述如下。

- <1> 设置 DAM 寄存器的 DAMDn 位为 1 (实时输出模式)。
- <2> 设置要输出的模拟电压值到 ANOn 引脚到 DACSn 寄存器。
- <3> 设置 DAM 寄存器的 DACEn 位为 1 (D/A 转换允许)。
上面的步骤 <1>到<3> 构成初始化设置。
- <4> 操作定时器通道 4 和定时器通道 5.
- <5> 当 INTTM04 和 INTTM05 信号发生时 D/A 转换开始，建立稳定时间后，模拟电压被输出到 ANOn 引脚。
- <6> 之后，每次 INTTM04 和 INTTM05 产生，设置在 DACSn 寄存器中的值被输出。
在下一个 D/A 转换开始 (INTTM04 和 INTTM05 信号产生)前，设置要输出的模拟电压值到 ANOn 引脚到 DACSn 寄存器。
当 DAM 寄存器的 DACEn 位设置为 0 (D/A 转换操作停止)时，D/A 转换停止，当 PM11 寄存器的 PM11n 位= 1 (输入模式)时 ANOn 引脚为高阻抗状态，当 PM11n 位 = 0 (输出模式)时 ANOn 引脚输出 P11 寄存器的设置值。

备注 1. ANO0 和 ANO1 引脚的输出值直到上面的<5> 不确定。
 2. 对于 ANO0 和 ANO1 引脚在 HALT 和 STOP 模式下的输出值，参见第十九章 待机功能。
 3. 复用功能引脚设置的详细情况，参见表 4-6 使用端口引脚作为复用功能引脚。
 4. n = 0, 1

12.4.3 注意事项

当使用 78K0R/KG3 的 D/A 转换器时注意下面的注意事项。

- (1) 数字端口 I/O 功能, ANO0 和 ANO1 引脚的复用功能, 不能在 D/A 转换期间操作。
在 D/A 转换期间读取 P11 寄存器时, 在输入模式下读取到 0, 在输出模式下读取为 P11 寄存器的设置值。如果设置为数字输出模式, 则没有输出数据输出到引脚。
- (2) 在 D/A 转换期间不要读/写 P11 寄存器, 也不要改变 PM11 寄存器的设置 (否则转换精度可能降低)。
- (3) 建议 ANO0 和 ANO1 两个引脚都用作模拟输出引脚或数字 I/O 引脚, 也就是说, 这两个通道作为相同功能使用 (如果这些引脚用于不同的应用, 转换精度可能降低)。
- (4) 在实时输出模式下, 在定时器触发产生前设置 DACSn 寄存器值。另外, 当触发信号输出时不要改变 DACSn 寄存器的值。
- (5) 在改变操作模式前, 务必要把 DAM 寄存器的 DACEn 位置为 0 (D/A 转换停止)。
- (6) 当使用端口复用功能 ANO0 或 ANO1 引脚时, 用作不改变电平的端口输入。
- (7) 提供给 AVREF1 的电压时序与 AVREF0 (A/D 转换器参考电压) 相同。
- (8) 因为 D/A 转换器在 STOP 模式下停止操作, ANO0 和 ANO1 引脚变为高阻抗状态, 可以降低功耗。
在除 STOP 模式以外的待机模式, 操作继续。要降低功耗, 清零 DAM 寄存器的 DACEn 位为 0 (D/A 转换器停止)。
- (9) 因为 D/A 转换器的输出阻抗为高, 不能从 ANOn 引脚 ($n = 0, 1$) 获得电流。当负载的输入阻抗为低时, 在负载和 ANOn 引脚之间放置一个跟随放大器, 线的长度尽可能短 (高阻抗)。如果线太长, 可以采取必要的措施如地平面环绕等。

第十三章 串行阵列单元

每个串行阵列单元有 4 个串行通道并且可以整合使用两个或者更多变量串行接口(3线串行(CSI),UART,和简易 IIC)。下面列出通过 78K0R/KG3 支持分配给每个通道的任务(单元 1 的通道 2 和 3 用于 UART3(支持 LIN 总线))。

单元	通道	用作 CSI	用作 UART	用作简易 IIC
0	0	CSI00	UART0	—
	1	CSI01		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	—	UART3 (支持 LIN 总线)	—
	3	—		—

(整合例子) 当“UART0”用于单元 0 的通道 0 和 1, 不能使用 CSI00 和 CSI01, 但是可以使用 CSI10, UART1, 或者 IIC10。

13.1 串行阵列单元的功能

通过 78K0R/KG3 每个串行接口支持下面内容。

13.1.1 3 线串行 I/O (CSI00, CSI01, CSI10, CSI20)

这是一个使用 3 线：串行时钟(SCK)和串行数据(SI 和 SO)线的时钟通信功能。

[数据发送/接受]

- 7 或者 8 位的数据长度
- 发送/接收数据的相位控制
- MSB/LSB 选择
- 发送/接收数据的电平选择

[时钟控制]

- 主/从选择
- I/O 时钟的相位控制
- 通过预分频器和每个通道的内部计数器来设定发送周期

[中断功能]

- 发送结束中断/缓冲空中断

[错误检测标志]

- ### ● 溢出错误

13.1.2 UART (UART0, UART1, UART2, UART3)

这是一个使用 2 线：串行数据发送(TxD)和串行数据接收(RxD)线的起始停止同步功能。它在部分通信中异步发送或者接受数据。可以通过使用 2 个通道被当作全双工 UART 通信, 一个检测发送(偶通道), 另外一个检测接受(奇通道)。

[数据发送/接收]

- 5, 7, 或者 8 位的数据长度
- 选择 MSB/LSB
- 发送/接收数据的电平设定和反向选择
- 附加校验位和校验检测功能
- 附加停止位

[中断功能]

- 发送结束中断/缓冲空中断
- 如果帧错误, 校验错误, 或者溢出错误产生错误中断

[错误检测标志]

- 帧错误, 校验错误, 或者溢出错误

在 UART3 中接受 LIN 总线 (单元 1 的 2 和 3 通道)

[LIN 总线功能]

- 唤醒信号检测
- 同步中断域 (SBF)检测
- 同步域测量, 波特率计算

} 使用外部中断(INTP0) 或者定时器阵列单元 (TAU)

13.1.3 简易 I²C (IIC10, IIC20)

这是一个用于通信的具有两个或更多设备通过使用 2 线：串行时钟(SCL)和串行数据(SDA)时钟通信功能。这个简易 I²C 为具有例如 EEPROM, flash 存储器, 或者 A/D 转换器的设备的信号通信设计, 因此, 它的功能只能作为主并且不具有检测等待状态功能。

确保按照起始和停止条件的 AC 说明通过软件操作寄存器。

[数据发送/接收]

- 主发送, 主接受(只具有信号主功能)
- ACK 输出和 ACK 检测功能
- 8 位数据长度 (当发送一个地址, 通过高 7 位指定地址, 剩下的 1 位用于 R/W 控制)
- 起始条件和停止条件的手册说明

[中断功能]

- 发送结束中断

[错误检测标志]

- 校验错误 (ACK 错误)

* [简易 I²C 不支持的功能]

- 从发送, 从接收
- 仲裁丢失检测功能
- 等待检测功能

备注 要使用 I²C 总线的全部功能, 参见第十四章 串行接口 IIC0。

13.2 串行阵列单元的配置

串行阵列单元包括下面硬件。

表 13-1. 串行阵列单元的配置

项目	配置
切换寄存器	8 位
缓冲寄存器	串行数据寄存器 mn(SDRmn) [※] 的低 8 位
串行时钟 I/O	SCK00, SCK01, SCK10, SCK20 引脚 (用于 3 线串行 I/O), SCL10, SCL20 引脚(用于简易 I ² C)
串行数据输入	SI00, SI01, SI10, SI20 引脚 (用于 3 线串行 I/O), RxD0, RxD1, RxD2 引脚 (用于 UART), RxD3 引脚 (用于支持 LIN 总线的 UART)
串行数据输出	SO00, SO01, SO10, SO20 引脚 (用于 3 线串行 I/O), TxD0, TxD1, TxD2 引脚 (用于 UART), TxD3 引脚 (用于支持 LIN 总线的 UART), 输出控制器
串行数据 I/O	SDA10, SDA20 引脚(用于简易 I ² C)
控制寄存器	<单元设定 block 的寄存器> • 外围允许寄存器 0 (PER0) • 串行时钟选择寄存器 m (SPSm) • 串行通道允许状态寄存器 m (SEm) • 串行通道起始寄存器 m (SSm) • 串行通道停止寄存器 m (STm) • 串行输出允许寄存器 m (SOEm) • 串行输出寄存器 m (SOM) • 串行输出电平寄存器 m (SOLm) • 输入切换控制寄存器 (ISC) • 噪声过滤允许寄存器 0 (NFEN0)
	<每个通道的寄存器> • 串行数据寄存器 mn (SDRmn) • 串行模式寄存器 mn (SMRmn) • 串行通信操作设定寄存器 mn (SCRmn) • 串行状态寄存器 mn (SSRmn) • 串行标志清除触发寄存器 mn (SIRmn) • 端口输入模式寄存器 0, 4, 14 (PIM0, PIM4, PIM14) • 端口输出模式寄存器 0, 4, 14 (POM0, POM4, POM14) • 端口模式寄存器 0, 1, 4, 14 (PM0, PM1, PM4, PM14) • 端口寄存器 0, 1, 4, 14 (P0, P1, P4, P14)

注 串行数据寄存器 mn(SDRmn)的低 8 位像下面 SFR 可以读或写, 取决于通信模式。

- CSIp 通信和 IICp 通信 ... SIOp (CSIp 数据寄存器)
- UARTq 接收 ... RxDq (UARTq 接收数据寄存器)
- UARTq 发送 ... TxDq (UARTq 发送数据寄存器)
- IICr 通信... SIOr (IICr 数据寄存器)

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3),
p: CSI 书 (p = 00, 01, 10, 20), q: UART 数 (q = 0 ~ 3), r: IIC 数 (r = 10, 20)

图 13-1 展示了串行阵列单元 0 的框图。

<R>

图 13-1. 串行阵列单元 0 的框图

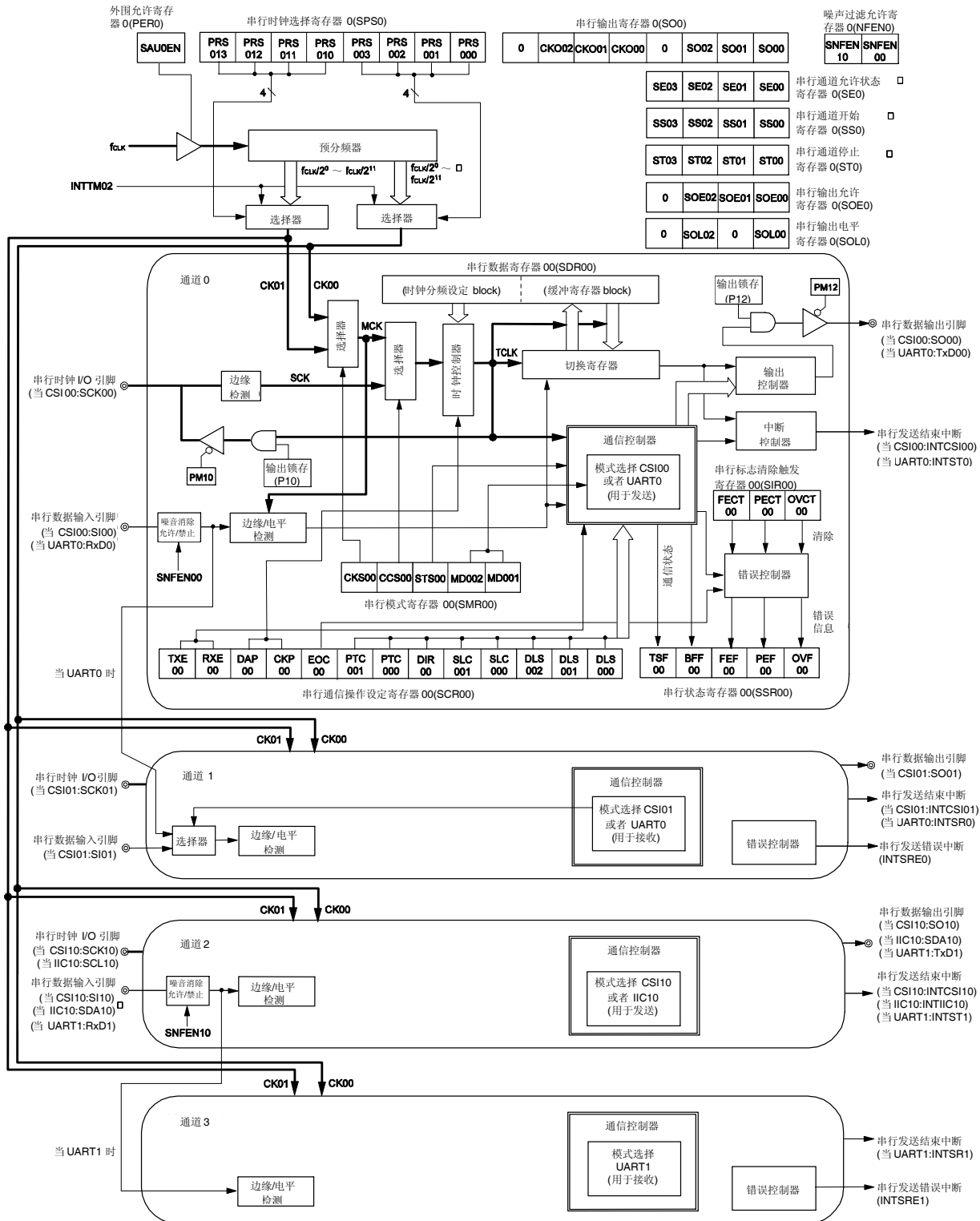
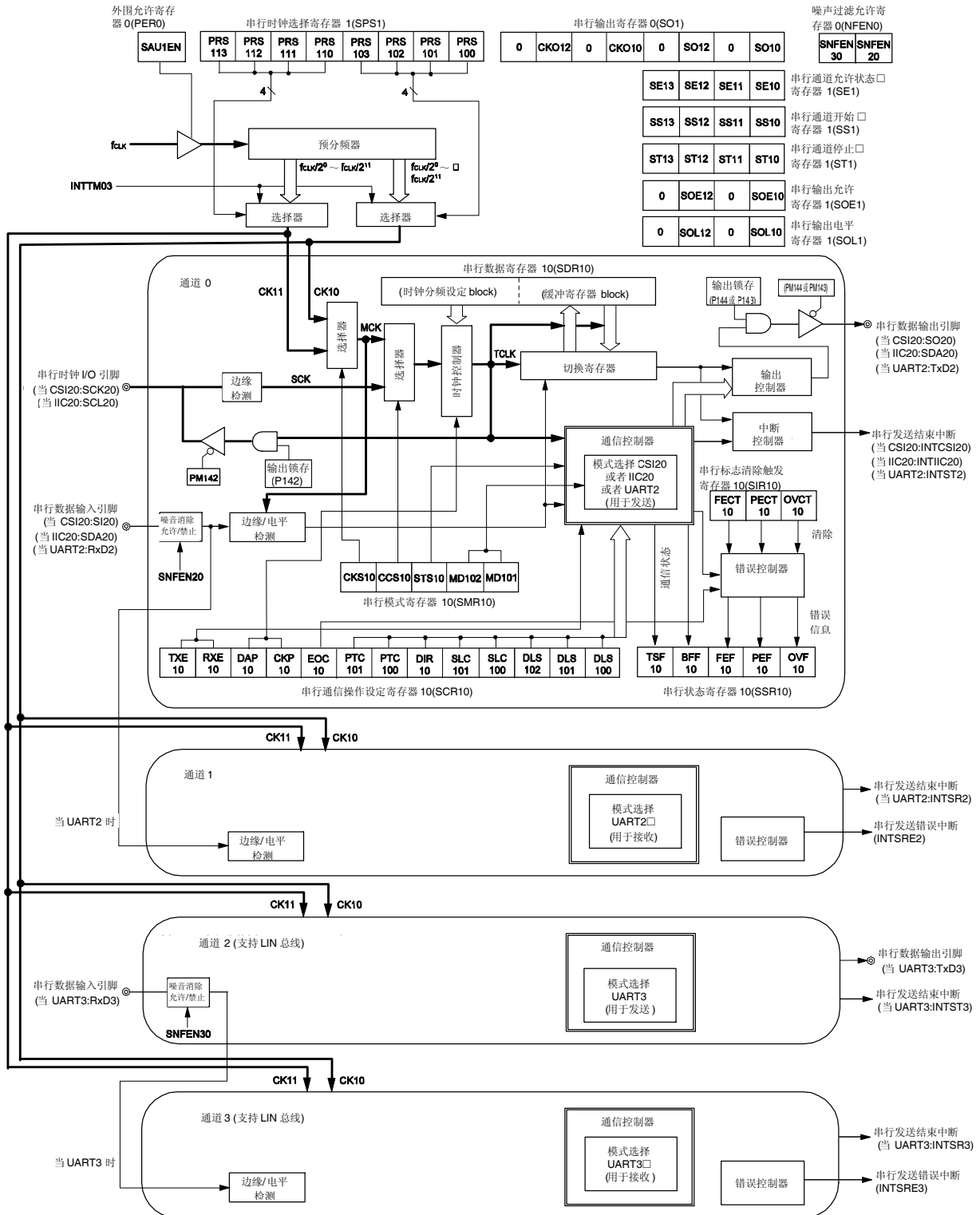


图 13-2 展示了串行阵列单元 1 的框图。

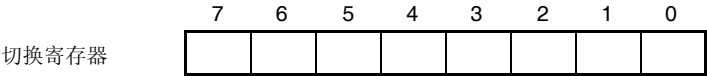
<R>

图 13-2. 串行阵列单元 1 的框图



(1) 切换寄存器

这是一个转换相应数据到串行数据或者反之亦然 8 位寄存器。
接收期间, 转换数据输入到串行引脚到相应数据。
当数据发送时, 设定到这个寄存器的值像从串行输出引脚的窗型数据一样输出。
切换寄存器不能直接通过程序操作。
要读和写切换寄存器, 使用串行数据寄存其 mn(SDRmn)的低 8 位。



(2) 串行数据寄存器 mn(SDRmn)的低 8 位

SDRmn 是通道 n 的发送/接受数据寄存器(16 为)。位 7~0 功能是用来作发送/接受缓冲寄存器, 并且位 15~9 用作设定工作时钟(MCK)的分频率的寄存器。
当接受时, 通过保存在低 8 位的切换寄存器来转换相应数据。当发送数据, 设定要发送的切换寄存器发送到低 8 位。
保存在这个寄存器低 8 位的数据如下, 取决于 SCRmn 寄存器的位 0~2(DLSmn0~DLSmn2)的设定, 不管输出数据的顺序。

- 5 位数据长度 (保存在 SDRmn 寄存器的位 0~4) (仅在 URAT 模式下可定位)
- 7 位数据长度 (保存在 SDRmn 寄存器的位 0~6)
- 8 位数据长度 (保存在 SDRmn 寄存器的位 0~7)

SDRmn 在 16 位单元中读或者写。
SDRmn 的低 8 位可以像下面寄存器读或者写^注, 取决于通信模式。

- CSIp 通信 ... SIOp (CSIp 数据寄存器)
- UARTq 接受 ... RxDq (UARTq 接收数据寄存器)
- UARTq 发送 ... TxDq (UARTq 发送数据寄存器)
- IICr 通信 ... SIOr (IICr 数据寄存器)

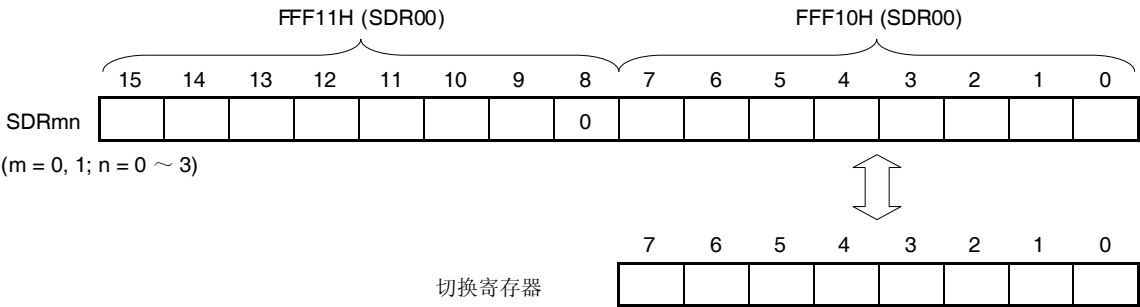
注 当操作停止时(SEmn = 0)禁止在 8 位单元中写入。

产生复位信号清除这个寄存器为 0000H。

备注 1. 数据接收后, “0”保存在超过位 0~7 的位。
2. m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3),
p: CSI 数 (p = 00, 01, 10, 20), q: UART 数 (q = 0 ~ 3), r: IIC 数 (r = 10, 20)

图 13-3. 串行数据寄存器 (SDRmn)的格式

地址: FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), 复位后: 0000H R/W
 FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11),
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



注意事项 确保清除位 8 为 “0”。

- 备注
- 1. SDRmn 的高 7 位的功能, 参见 13.3 控制串行阵列单元的寄存器。
 - 2. m: 单元数(m = 0, 1), n: 通道数(n = 0 ~ 3),
 p: CSI 数 (p = 00, 01, 10, 20), q: UART 数 (q = 0 ~ 3), r: IIC 数 (r = 10, 20)

13.3 控制串行阵列单元的寄存器

通过下列寄存器控制串行阵列单元

- 外围允许寄存器 0 (PER0)
- 串行时钟选择寄存器 m (SPSm)
- 串行模式寄存器 mn (SMRmn)
- 串行通信操作设定寄存器 mn (SCRmn)
- 串行数据寄存器 mn (SDRmn)
- 串行状态寄存器 mn (SSRmn)
- 串行标志清除触发寄存器 mn (SIRmn)
- 串行通道允许状态寄存器 m (SEm)
- 串行通道起始寄存器 m (SSm)
- 串行通道停止寄存器 m (STm)
- 串行输出允许寄存器 m (SOEm)
- 串行输出电平寄存器 m (SOLm)
- 串行输出寄存器 m (SOM)
- 输入切换控制寄存器 (ISC)
- 噪音过滤允许寄存器 0 (NFEN0)
- 端口输入模式寄存器 0, 4, 14 (PIM0, PIM4, PIM14)
- 端口输出模式寄存器 0, 4, 14 (POM0, POM4, POM14)
- 端口模式寄存器 0, 1, 4, 14 (PM0, PM1, PM4, PM14)
- 端口寄存器 0, 1, 4, 14 (P0, P1, P4, P14)

备注 m: 单元数 (m = 0, 1)
 n: 通道数 (n = 0 ~ 3)

(1) 外围允许寄存器 0 (PER0)

PER0 用于允许或者禁止使用每个外围硬件宏。不能通过停止供应到硬件宏的时钟来减少消耗和噪音。

当使用串行阵列单元 0, 确保设定这个寄存器的位 2(SAU0EN)为 1。

当使用串行阵列单元 1, 确保设定这个寄存器的位 3(SAU1EN)为 1。

可以通过 1 位或者 8 位存储器操作指令来设定 PER0。

复位后这个寄存器的值为 00H。

图 13-4. 外围允许寄存器 0 (PER0)的格式

地址: F00F0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	控制串行阵列单元m的输入时钟
0	停止输入时钟的供应 - 通过串行阵列单元m使用SFR不能被写入 - 串行阵列单元m在复位状态
1	供应输入时钟 通过串行阵列单元m使用SFR可以读/写

- 注意事项 1. 当设定串行阵列单元 m, 确保首先设定为 SAUmEN 1。如果 SAUmEN = 0, 忽略写入到串行阵列单元 m 的控制寄存器, 并且, 即使读取这个寄存器, 只能读到缺省值(输入切换控制寄存器(ISC), 噪音过滤允许寄存器(NFEN0), 端口输入模式寄存器(PIM0), 端口输出模式寄存器(POM0), 端口模式寄存器(PM0, PM1), 和端口寄存器(P0, P1)除外)。
2. PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。
3. 确保清除 PER0 寄存器的位 1 为 0。

备注 m: 单位数 (m = 0, 1)

(2) 串行时钟选择寄存器 m (SPSm)

SPSm 是一个用于选择每个通道的正常供应的两种工作时钟(CKm0, CKm1)的模式 的 16 位寄存器。通过 SPSm 的位 7~4 选择 CKm1, 位 3~0 选择 CKm0。

当寄存器 SPSm 工作时禁止重写它 (当 SEMn = 1)。

SPSm 可以通过 16 位存储器操作指令来设定。

可以使用 8 位存储器操作指令操作 SPSmL 来设定 SPSm 的低 8 位。

复位后这个寄存器的值为 0000H。

图 13-5. 串行时钟选择寄存器 m (SPSm)的格式

地址: F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0	工作时钟的选择(CKmp) ^{※1}				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	1	1	INTTM02 如果 m = 0, INTTM03 如果 m = 1 ^{※2}				
其余设定				禁止设定				

<R>

<R> 注 1. 当改变 f_{CLK} 的时钟选择(通过改变系统时钟控制寄存器(CKC)的值), 一定要在串行阵列单元(SAU)停止操作后(STm = 000FH)进行, 也要停止定时器阵列单元(TAU)(TT0 = 00FFH)。

<R> 2. 可以在修改副系统时钟频率时操作 SAU, 不管 f_{CLK} 的频率(主系统时钟, 副系统时钟), 通过设定 TAU 的 TIS0 寄存器的 TIS02(如果 m = 0)和 TIS03(如果 m = 1)位为 1, 选择 f_{SUB}/4 作为输入时钟, 并且选择 INTTM02 和 INTTM03 使用 SPSm 寄存器。当改变 f_{CLK}, 无论如何 SAU 和 TAU 必须按照上面注 1 停止。

注意事项 1. 确保清除位 15~8 为“0”。

2. PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

备注 1. f_{CLK}: CPU/外围硬件时钟频率

f_{SUB}: 副系统时钟频率

2. m: 单位数 (m = 0, 1), p = 0, 1

(3) 串行模式寄存器 mn (SMRmn)

SMRmn 是一个设定一个通道 n 的操作模式寄存器。它也同样用作选择一个工作时钟(MCK), 制定串行时钟(SCK) 是否能够输入, 设定一个开始触发, 一个操作模式(CSI, UART, 或者 I²C), 和一个中断源。这个寄存器同样仅在 UART 模式中用于反向接收数据的电平。

当寄存器 SMRmn 工作时禁止重写它 (当 SEMn = 1)。然而, MDmn0 位可以在工作期间重写。

可以通过 16 位存储器操作指令来设定 SMRmn。

复位后这个寄存器的值为 0020H。

图 13-6. 串行模式寄存器 mn (SMRmn) 的格式(1/2)

地址: F0110H, F0111H (SMR00) ~ F0116H, F0117H (SMR03), 复位后: 0020H R/W
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
F0154H, F0155H (SMR12), F0156H, F0157H (SMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	通道 n 的工作时钟(MCK)的选择
0	通过 PRS 寄存器设定预分频器输出时钟 CKm0
1	通过 PRS 寄存器设定预分频器输出时钟 CKm1
通过边缘检测器来使用工作时钟 MCK。另外根据 CCSmn 位的设定和 SDRmn 寄存器的高 7 位设定, 产生一个发送时钟 (TCLK)。	

CCS mn	通道 n 的发送时钟(MCK)的选择
0	通过 CKSmn 位分频专用工作时钟 MCK
1	从 SCK 引脚输入时钟 (在 CSI 模式下从发送)
发送时钟 TCLK 用于切换寄存器, 通信控制器, 输出控制器, 中断控制器, 和错误控制器。当 CCSmn = 0, MCK 的分频率通过 SDRmn 寄存其的高 7 位来设定。	

STS mn	选择一个开始触发源
0	仅软件触发有效 (为 CSI, UART 发送, 和简易 I ² C 选择)。
1	RxD 引脚有效沿 (为 UART 接收选择)
当上面源在 SSm 寄存器设定为 1 后开始发送。	

注意事项 确保清除位 13~9, 7, 4, 和 3 为“0”。确保设定位 5 为“1”。

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)

图 13-6. 串行模式寄存器 mn (SMRmn) 的格式(2/2)

地址: F0110H, F0111H (SMR00) ~ F0116H, F0117H (SMR03), 复位后: 0020H R/W
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
F0154H, F0155H (SMR12), F0156H, F0157H (SMR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	控制在UART模式下通道n接收数据的电平的反向														
0	下降沿检测作为起始位。 捕捉输入通信数据。														
1	上升沿检测作为起始位。 捕捉反向输入通信数据。														

MD mn2	MD mn1	通道n的操作模式设定													
0	0	CSI 模式													
0	1	UART 模式													
1	0	简易 I ² C 模式													
1	1	禁止设定													

MD mn0	通道n的中断源的选择														
0	发送结束中断														
1	缓冲空中断														
成功发送后, 当SDRmn数据完成时通过设定MDmn0 为1写入下一个发送数据。															

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)

(4) 串行通信操作设定寄存器 mn (SCRmn)

SCRmn 是一个通道 n 的通信操作设定寄存器。它用于设定一个数据发送/接收模式，数据和时钟的相位，一个错误信号是否被屏蔽，校验位，起始位，停止位，和数据长度。

当寄存器 SCRmn 工作时禁止重写它 (当 SEmn = 1)。

可以通过 16 位存储器操作指令来设定 SCRmn。

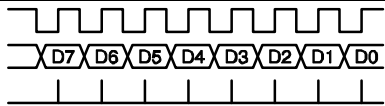
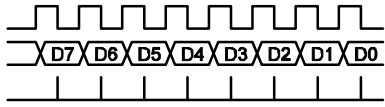
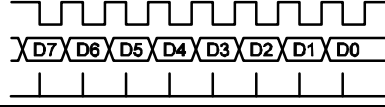
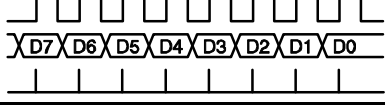
复位后这个寄存器的值为 0087H。

图 13-7. 串行通信操作设定寄存器 mn (SCRmn)的格式 (1/3)

地址: F0118H, F0119H (SCR00) ~ F011EH, F011FH (SCR03), 复位后: 0087H R/W
F0158H, F0159H (SCR10), F015AH, F015BH (SCR11),
F015CH, F015DH (SCR12), F015EH, F015FH (SCR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	通道n的操作模式设定
0	0	不开始通信
0	1	仅接收
1	0	仅发送
1	1	发送/接收

DAP mn	CKP mn	在CSI模式中数据和时钟相位的选择
0	0	
0	1	
1	0	
1	1	
确保在UART模式和简易I ² C模式中设定 DAPmn, CKPmn = 0, 0。		

注意事项 确保清除位 3, 6, 和 11 为“0”。确保设定位 2 为“1”。

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3), p: CSI 数 (p = 00, 01, 10, 20)

图 13-7. 串行通信操作设定寄存器 mn (SCRmn)的格式 (2/3)

地址: F0118H, F0119H (SCR00) ~ F011EH, F011FH (SCR03), 复位后: 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11),
 F015CH, F015DH (SCR12), F015EH, F015FH (SCR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

EOC mn	错误中断信号的屏蔽选择 (INTSREx (x = 0 ~ 3))
0	屏蔽错误中断 INTSREx (INTSRx 没有被屏蔽)。
1	允许产生错误中断INTSREx (如果发生错误则屏蔽INTSRx)。
在CSI模式, 简易I ² C模式, 和UART发送中设定 EOCmn = 0。 在UART接收中设定EOCmn = 1。	

PTC mn1	PTC mn0	在UART模式中设定校验位	
		发送	接收
0	0	不输出校验位	不接受校验
0	1	输出 0 校验	无校验判断
1	0	输出偶校验	判断偶校验
1	1	输出奇校验	判断奇校验
在CSI模式和简易I ² C模式中确保设定PTCmn1, PTCmn0 = 0, 0。			

DIR mn	在CSI和UART模式中选择数据发送顺序
0	输入/输出数据MSB
1	输入/输出数据LSB
在简易I ² C模式中确保清除DIRmn = 0。	

SLC mn1	SLC mn0	在UART模式中设定停止位
0	0	无停止位
0	1	停止位长度 = 1 位
1	0	停止位长度 = 2 位
1	1	禁止设定
当选择发送结束中断, 在全部停止位完成发送后后产生中断。 在UART接收和简易I ² C模式中设定1位 (SLCmn1, SLCmn0 = 0, 1)。 在CSI模式中设定无停止位 (SLCmn1, SLCmn0 = 0, 0)		

注意事项 确保清除位 3, 6, 和 11 为“0”。确保设定位 2 为“1”。

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

(5) 串行数据寄存器 mn (SDRmn)的高 7 位

SDRmn 是通道 n 的发送/接收数据寄存器(16 位)。位 7~0 功能是发送/接收缓冲寄存器, 位 15~9 用作工作时钟 (MCK) 设置分频率的寄存器。

如果串行模式寄存器 mn (SMRmn) 的 CCSmn 位清为 0, 通过 SDRmn 的高 7 位设定工作时钟的分频率作为发送时钟。

SDRmn 的低 8 位的功能, 参见 **13.2 串行矩阵单元的配置**

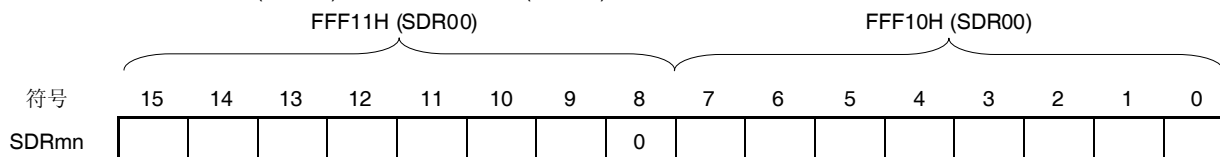
SDRmn 可以再 16 位单元中读或写。

然而,高 7 位仅当工作停止时($SEmn = 0$)可以被写入和读取。工作期间($SEmn = 1$),只能写入值到 $SDRmn$ 的低 8 位。当在工作时读取 $SMRmn$,总是 0。

复位后这个寄存器的值为 0000H。

图 13-8. 串行数据寄存器 mn (SDRmn)的格式

地址: FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), 复位后: 0000H R/W
FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11),
FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDRmn[15:9]							工作时钟(MCK)的分频率的设定
0	0	0	0	0	0	0	MCK/2
0	0	0	0	0	0	1	MCK/4
0	0	0	0	0	1	0	MCK/6
0	0	0	0	0	1	1	MCK/8
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
1	1	1	1	1	1	0	MCK/254
1	1	1	1	1	1	1	MCK/256

注意事项

1. 确保清除位 8 为“0”。
2. 当使用 UART 时禁止设定 SDRmn[15:9] = 0, 1。

备注

1. SDRmn的低8位的功能, 参见 13.2 串行阵列单元的配置
2. m: 单元数 ($m = 0, 1$)
n: 通道数 ($n = 0 \sim 3$)

(6) 串行状态寄存器 mn (SSRmn)

SSRmn 是一个指示通道 n 的通信状态和发生状态的寄存器。通过这个寄存器指出帧错误, 校验错误, 和溢出错误。

SSRmn 可以通过一个 16 位存储器操作指令来读取。

SSRmn 的低 8 位可以通过一个 8 位存储器操作指令设定 SSRmnL 来设定。

复位后这个寄存器的值为 0000H。

图 13-9. 串行状态寄存器 mn (SSRmn)的格式 (1/2)

地址: F0100H, F0101H (SSR00) ~ F0106H, F0107H (SSR03), 复位后: 0000H R
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11),
F0144H, F0145H (SSR12), F0146H, F0147H (SSR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSF mn	通道n的通信状态指示标志
0	通信没有执行。
1	通信执行中。
因为这个标志是一个更新标志, 当通信操作完成后它自动清除。当STm/SSm位设为1时这个标志同样清除。	

BFF mn	通道n的缓冲寄存器状态指示标志
0	有效数据没有保存在SDRmn寄存器中。
1	有效数据保存在SDRmn寄存器中。
这是一个更新标志。当完成从SDRmn寄存器发送到切换寄存器是它自动清除。当STm/SSm位设为1时这个标志同样清除。 当SCRmn寄存器的TXEmn位 = 1(在每个通信模式下的发送或者接收模式)时如果发送数据写入到SDRmn寄存器这个标志自动设置。当SCRmn寄存器的RXEmn位 = 1(在每个通信模式下的发送或者接收模式)时如果接收数据保存在SDRmn寄存器它自动设置。接收错误时它也设置。 当BFFmn = 1时如果数据写入到SDRmn寄存器, 保存在寄存器的发送/接收数据废弃并且检测到一个溢出错误(OVFmn = 1)。	

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)

图 13-9. 串行状态寄存器 mn (SSRmn)的格式 (2/2)

地址: F0100H, F0101H (SSR00) ~ F0106H, F0107H (SSR03), 复位后: 0000H R
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11),
F0144H, F0145H (SSR12), F0146H, F0147H (SSR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEF mn	通道n的帧错误检测标志
0	没有错误产生
1	在UART接收时产生一个帧错误。 <帧错误原因> 如果UART接收完成后没有检测到停止位则产生一个帧错误。
这是一个累计标志并且直到SIRmn寄存器的FECTmn位写入1才能清除。	

PEF mn	通道n的校验错误检测标志
0	没有错误产生
1	在UART接收时产生一个校验错误或者在I ² C发送中没有检测到ACK <校验错误原因> - 在UART接收中如果发送数据的校验和校验位不相等则产生一个校验错误。 - 在I²C发送中如果ACK信号没有在ACK接收时序中从从设备返回则没有检测到ACK。
这是一个累计错误标志并且直到SIRmn寄存器的PECTmn位写入1才能清除。	

OVF mn	通道n的溢出错误检测标志
0	没有错误产生
1	产生一个溢出错误 <溢出错误的原因> - 保存在SDRmn寄存器中的接收数据没有被读取并且发送数据写入或者下个接收数据写入。 - 在CSI模式中发送数据还没有准备好从设备的发送或者接收。
这是一个累计错误标志并且直到SIRmn寄存器的OVCTmn位写入1才能清除。	

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)

(7) 串行标志清除触发寄存器 mn (SIRmn)

SIRmn 是通道 n 用于清除每个错误标志的一个触发寄存器。

当这个寄存器的每一位 (FECTmn, PECTmn, OVCTmn) 设为 1, 串行状态寄存器的相应位 (FEFmn, PEFmn, OVFmn) 清为 0。因为 SIRmn 是一个触发寄存器, 当 SSRmn 的相应位清除时它立即清除。

SIRmn 可以通过一个 16 位存储器操作指令来设置。

SIRmn 的低 8 位可以通过一个 8 位存储器操作指令设定 SIRmnL 来设定。

复位后这个寄存器的值为 0000H。

图 13-10. 串行标志触发寄存器 mn (SIRmn)的格式

地址: F0108H, F0109H (SIR00) ~ F010EH, F010FH (SIR03), 复位后: 0000H R/W
F0148H, F0149H (SIR10), F014AH, F014BH (SIR11),
F014CH, F014DH (SIR12), F014EH, F014FH (SIR13)

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn	PEC Tmn	OVC Tmn
FEC Tmn	清除通道n的帧错误的触发															
0	没有触发操作															
1	清除 SSRmn寄存器的FEFmn 位为0。															
PEC Tmn	清除通道n的校验错误的触发															
0	没有触发操作															
1	清除 SSRmn寄存器的PEFmn 位为0。															
OVC Tmn	清除通道n的溢出错误的触发															
0	没有触发操作															
1	清除 SSRmn寄存器的OVFmn 位为0。															

注意事项 确保清除位 15 ~ 3 为“0”。

备注 1. m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)
2. 当读取 SIRmn 寄存器, 总是读到 0000H。

(8) 串行通道允许状态寄存器 m (SEm)

SEm 指示每个通道的发送/接收操作是允许还是停止。

当 1 写入串行通道起始寄存器 0(SSm)的一个位, 这个寄存器的相应位设为 1。当 1 写入串行通道停止寄存器 0(STm)的一个位, 这个寄存器的相应位设为 0。

允许操作的通道 n 不能通过软件重写下面描述的串行输出寄存器 m(SOm)的 CKOmn 的值, 并且通过通信操作一个映射值从串行时钟引脚输出。

停止操作的通道 n 可以通过软件设定 SOm 寄存器的 CKOmn 的值并且从串行时钟引脚输出它的值。这样, 任何波形, , 例如起始条件/停止条件, 可以通过软件产生。

SEm 可以通过一个 16 位存储器操作指令来读取。

SEmn 的低 8 位可以通过一个 1 位或者 8 位存储器操作指令设定 SEmnL 来设定。

复位后这个寄存器的值为 0000H。

图 13-11. 串行通道允许状态寄存器 m (SEm)的格式

地址: F0120H, F0121H (SE0), F0160H, F0161H (SE1) 复位后: 0000H R

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm 3	SEm 2	SEm 1	SEm 0

SEm n	指示通道n的操作允许/停止状态
0	操作停止(停止控制寄存器和切换寄存器的值, 和串行时钟I/O引脚状态状态, 串行数据输出引脚, 和FEF, PEF, 和OVF错误标志保留 [※])。
1	操作允许

注 清除 SSRmn 寄存器的位 6 和 5 (TSFmn, BFFmn)。

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)

(9) 串行通道起始寄存器 m (SSm)

SSm 是一个通过每个通道用于允许开始通信/计数的触发寄存器。
当 1 写入到这个寄存器(SSm)的一个位, 串行通道允许状态寄存器 m(SEm)的相应位设为 1。因为 SSmn 是一个触发位, 当 SEmn = 1 时立即清除。
SSm 可以通过一个 16 位存储器操作指令来设置。
SSm 的低 8 位可以通过一个 1 位或者 8 位存储器操作指令设定 SSmL 来设定。
复位后这个寄存器的值为 0000H。

图 13-12. 串行通道起始寄存器 m (SSm)的格式

地址: F0122H, F0123H (SS0), F0162H, F0163H (SS1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm 3	SSm 2	SSm 1	SSm 0

SSmn	通道n的操作起始触发
0	没有触发操作
1	设置 SEmn 为 1 并且进入通信等待状态(如果一个通信操作已经在执行, 操作停止并且等待开始条件)

- 注意事项 确保清除位 15 ~ 4 为“0”。
- 备注 1. m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)
 2. 当读取 SSm 寄存器时, 总是读到 0000H。

(10) 串行通道停止寄存器 m (STm)

STm 是一个通过每个通道用于允许停止通信/计数的触发寄存器。

当 1 写入到这个寄存器(STm)的一个位, 串行通道允许状态寄存器 m(SEm)的相应位设为 0。因为 STmn 是一个触发位, 当 SEmn = 0 时立即清除。

STm 可以通过一个 16 位存储器操作指令来设置。

STm 的低 8 位可以通过一个 1 位或者 8 位存储器操作指令设定 STmL 来设定。

复位后这个寄存器的值为 0000H。

图 13-13. 串行通道停止寄存器 m (STm)的格式

地址: F0124H, F0125H (ST0), F0164H, F0165H (ST1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm 3	STm 2	STm 1	STm 0

STm n	通道n的操作停止触发
0	没有触发操作
1	清除SEmn为0并且停止通信操作。 (停止控制寄存器和切换寄存器的值, 和串行时钟I/O引脚状态状态, 串行数据输出引脚, 和FEF, PEF, 和OVF错误标志保留 ^{*)} 。

注 清除 SSRmn 寄存器的位 6 和 5 (TSFmn, BFFmn)。

注意事项 确保清除位 15 ~ 4 为“0”。

备注 1. m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 3)
 2. 当读取 STm 寄存器时, 总是读到 0000H。

(11) 串行输出允许寄存器 m (SOEm)

SOEm 是一个用于允许或者停止每个通道串行通信操作的输出的寄存器。

允许串行输出的通道 n 不能通过软件被重写下面描述的串行输出寄存器 m(SOm)的 SOmn 的值, 和通过通信操作从串行数据输出引脚输出的一个映射值。

关于通道 n, 串行输出停止, SOm 寄存器的 SOmn 值可以通过软件设置, 并且这个值可以从串行数据输出引脚输出。这样, 起始条件和停止条件的任何波形可以通过软件产生。

SOEm 可以通过一个 16 位存储器操作指令来设置。

SOEm 的低 8 位可以通过一个 1 位或者 8 位存储器操作指令设定 SOEmL 来设定。

复位后这个寄存器的值为 0000H。

<R>

图 13-14. 串行输出允许寄存器 m (SOEm)的格式

地址: F012AH, F012BH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE02	SOE01	SOE00

地址: F016AH, F016BH 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE12	0	SOE10

SOE mn	通道n的串行输出允许/禁止														
0	通过串行通信操作停止输出														
1	通过串行通信操作允许输出														

注意事项 确保清除 SOE0 的位 15 ~ 3, 和 SOE1 的位 1 和 15 ~ 3 为“0”。

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 2),
 mn = 00-02, 10, 12

(12) 串行输出寄存器 m (S0m)

S0m 是一个用于每个通道的串行输出的缓冲寄存器。
这个寄存器每位的值从通道 n 的串行数据输出引脚来输出。
这个寄存器每位(n + 8)的值从通道 n 的串行时钟输出引脚来输出。
仅当禁止串行输出时(SOE_{mn} = 0)这个寄存器的 SO_{mn} 可以通过软件重写。当允许串行输出时(SOE_{mn} = 1), 忽略通过软件重写, 并且这个寄存器的值可以通过串行通信操作来改变。
仅当停止通道操作时(SE_{mn} = 0)这个寄存器的 CKO_{mn} 可以通过软件重写。当允许通道操作时(SE_{mn} = 1), 忽略通过软件重写, 并且 CKO_{mn} 这个值仅通过串行通信操作可以改变。
<R> 当使用复用功能引脚作为普通端口, 设置 CKO_{mn} 和 SO_{mn} 位为 1。
S0m 可以通过一个 16 位存储器操作指令来设置。
复位后这个寄存器的值为 0F0FH。

图 13-15. 串行输出寄存器 m (S0m)的格式

地址: F0128H, F0129H 复位后: 0F0FH R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	CKO 02	CKO 01	CKO 00	0	0	0	0	0	SO 02	SO 01	SO 00

地址: F0168H, F0169H 复位后: 0F0FH R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	CKO 12	0	CKO 10	0	0	0	0	0	SO 12	0	SO 10

CKO mn	通道n的串行时钟输出														
0	串行时钟输出值为“0”。														
1	串行时钟输出值为“1”。														

SO mn	通道n的串行数据输出														
0	串行数据输出值为“0”。														
1	串行数据输出值为“1”。														

注意事项 确保清除 S00 的位 15 ~ 11 和 7 ~ 3, 和 S01 的位 15 ~11, 9, 7 ~ 3 和 1 为“0”。

备注 m: 单元数(m = 0, 1), n: 通道数(n = 0 ~ 2),
mn = 00-02, 10, 12

(13) 串行输出电平寄存器 m (SOLm)

SOLm 是一个用于设置每个通道的输出数据电平反向的寄存器。

仅在 UART 模式下可以来设置这个寄存器。确保在 CSI 模式和建议 I²C 模式中设定为 0000H。

仅当允许串行输出(SOEmn = 1)时通过使用这个寄存器反向通道 n 映射引脚输出。当禁止串行输出(SOEmn = 0)时, SOmn 位输出它的值。

当寄存器 SOLmn 工作时禁止重写它 (当 SEmn = 1)。

SOLm 可以通过一个 16 位存储器操作指令来设置。

SOLm 的低 8 位可以通过一个 1 位或者 8 位存储器操作指令设定 SOLmL 来设定。

复位后这个寄存器的值为 0000H。

图 13-16. 串行输出电平寄存器 m (SOLm)的格式

地址: F0134H, F0135H (SOL0), F0174H, F0175H (SOL1) 复位后: 0000H R/W

符号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL m2	0	SOL m0

SOL mn	在UART模式中选择通道n的发送数据反向电平
0	通信数据输出它的值
1	通信数据反向并输出

注意事项 确保清除位 15 ~ 4, 3, 1 为“0”。

备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0, 2)

(14) 输入切换控制寄存器 (ISC)

ISC 在协同外部中断和定时器阵列单元中通过 UART3 用于了解 LIN 总线通信操作。

当位 0 设为 1, 选择串行数据输入引脚(RxD3)的输入信号做为用于检测唤醒信号的外部中断(INTP0)。

当位 1 设为 1, 选择串行数据输入(RxD3)的输入信号作为定时器输入, 所以一个同步中断域和一个中断域的脉冲宽度可以通过定时器来测量。

ISC 可以通过一个 1 位或者 8 位存储器操作指令来设定。

复位后这个寄存器的值为 00H。

图 13-17. 输入切换控制寄存器(ISC)的格式

地址: FFF3CH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	切换定时器矩阵单元通道7输入
0	使用TI07引脚的输入信号作为定时器输入 (正常模式)。
1	使用RxD3引脚的输入信号作为定时器输入 (唤醒信号检测)。

ISC0	切换外部中断 (INTP0)输入
0	使用INTP0引脚的输入信号作为外部中断 (正常模式)。
1	使用RxD3引脚的输入信号作为外部中断(来测量同步中断域和同步域的脉冲宽度)。

注意事项 确保清除位 7 ~ 2 为“0”。

(15) 噪音过滤允许寄存器 0 (NFEN0)

NFEN0 用于设定是否为每个通道从串行数据输入引脚的输入信号使用噪音过滤。

通过清除这个寄存器的相应位为 0, 禁止用于 CSI 或者简易 IIC 通信引脚的噪音过滤。

通过设定这个寄存器的相应位为 1, 允许用于 UART 通信引脚的噪音过滤。

当允许噪音过滤, CPU/外围操作时钟(f_{CLK})是和 2 时钟响等检测同步的。

NFEN0 可以通过一个 1 位或者 8 位存储器操作指令来设定。

复位后这个寄存器的值为 00H。

图 13-18. 噪音过滤允许寄存器 0 (NFEN0)

地址: F0060H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3/P14 引脚噪音过滤用法
0	噪音过滤关闭
1	噪音过滤开启
设定SNFEN30为1来使用RxD3引脚。 清除SNFEN30为0来使用P14引脚。	

SNFEN20	RxD2/SDA20/SI20/P143引脚噪音过滤用法
0	噪音过滤关闭
1	噪音过滤开启
设定SNFEN20为1来使用RxD2引脚。 清除SNFEN20为0来使用SDA20, SI20, 和 P143引脚。	

SNFEN10	RxD1/SDA10/SI10/P03引脚噪音过滤用法
0	噪音过滤关闭
1	噪音过滤开启
设定SNFEN10为1来使用RxD1引脚。 清除SNFEN10为0来使用SDA10, SI10, 和 P03引脚。	

SNFEN00	RxD0/SI00/P11引脚噪音过滤用法
0	噪音过滤关闭
1	噪音过滤开启
设定SNFEN00为1来使用RxD0引脚。 清除SNFEN00为0来使用SI00 和 P11引脚。	

注意事项 确保清除位 7, 5, 3, and 1 为“0”。

(16) 端口输入模式寄存器 0, 4, 14 (PIM0, PIM4, PIM14)

这些寄存器以 1 位为单元设定输入端口 0, 4, 和 14 的缓冲。
PIM0, PIM4, 和 PIM14 可以通过一个 1 位或者 8 位存储器操作指令来设定。
复位后这个寄存器的值为 00H。

图 13-19. 端口输入模式寄存器 0, 4, 和 14 (PIM0, PIM4, PIM14)的格式

地址 F0040H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
PIM0	0	0	0	PIM04	PIM03	0	0	0

地址 F0041H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
PIM1	0	0	0	PIM44	PIM43	0	0	0

地址 F004EH	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
PIM14	0	0	0	0	PIM143	PIM142	0	0

PIMmn	Pmn 引脚输入缓冲选择 (m = 0, 4, 14; n = 2 ~ 4)							
0	没有缓冲							
1	TTL 缓冲							

(17) 端口输出模式寄存器 0, 4, 14 (POM0, POM4, POM14)

这些寄存器以 1 位为单元设定端口 0, 4, 和 14 的输出模式。
POM0, POM4, 和 POM14 可以通过一个 1 位或者 8 位存储器操作指令来设定。
复位后这个寄存器的值为 00H。

图 13-20. 端口输出模式寄存器 0, 4, 和 14 (POM0, POM4, POM14)的格式

地址 F0050H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM0	0	0	0	POM04	POM03	POM02	0	0

地址 F0054H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM4	0	0	POM45	0	POM43	0	0	0

地址 F005EH	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	0
POM14	0	0	0	POM144	POM143	POM142	0	0

POMmn	Pmn 引脚输出缓冲选择(m = 0, 4, 14; n = 2 ~ 5)							
0	正常模式							
1	N沟道开漏输出 (V _{DD} 容量)模式							

(18) 端口模式寄存器 0, 1, 4, 14 (PM0, PM1, PM4, PM14)

这些寄存器以 1 位为单元设定输入/输出端口。

当使用 P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/ $\overline{\text{SCK10}}$ /SCL10, P10/ $\overline{\text{SCK00}}$ /EX24, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P43/ $\overline{\text{SCK01}}$, P45/SO01, P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/RxD2/SDA20, 和 P144/SO20/TxD2 引脚作为串行数据输出或者串行时钟输出, 清除 PM02, PM03, PM04, PM10, PM12, PM13, PM43, PM45, PM142, PM143, 和 PM144 位为 0, 并且设置 P02, P03, P04, P10, P12, P13, P43, P45, P142, P143, 和 P144 的输出锁存为 1。

当使用 P03/SI10/RxD1/SDA10, P04/ $\overline{\text{SCK10}}$ /SCL10, P10/ $\overline{\text{SCK00}}$, P11/SI00/RxD0, P14/RxD3, P43/ $\overline{\text{SCK01}}$, P44/SI01, P142/ $\overline{\text{SCK20}}$ /SCL20, 和 P143/SI20/RxD2/SDA20 引脚作为串行数据输入或者串行时钟输入, 设定 PM03, PM04, PM10, PM11, PM14, PM43, PM44, PM142, 和 PM143 位为 1。此时, P03, P04, P10, P11, P14, P43, P44, P142, 和 P143 的输出可能是 0 或 1。

PM0, PM1, PM4, 和 PM14 可以通过一个 1 位或者 8 位存储器操作指令来设定。

复位后这个寄存器的值为 FFH。

图 13-21. 端口模式寄存器 0, 1, 4, 和 14 (PM0, PM1, PM4, PM14)

地址: FFF20H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

地址: FFF21H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

地址: FFF24H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

地址: FFF2EH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn引脚I/O模式选择 (m = 0, 1, 4, 14; n = 0 ~ 7)
0	输出模式 (输出缓冲开)
1	输入模式 (输出缓冲关)

13.4 3 线串行 I/O(CSI00, CSI01, CSI10, CSI20)通信操作

这是使用 3 线：串行时钟(SCK)和串行数据(SI 和 SO)线的一个时钟通信功能。

[数据发送/接收]

- 数据长度 7 或 8 位
- 发送/接收数据的相位控制
- MSB/LSB 可选
- 发送/接收数据的电平设定

[时钟控制]

- 主/从选择
- I/O 时钟的相位控制
- 通过每个通道的预分频器和内部计数器设定发送周期

[中断功能]

- 发送结束中断/缓冲空中断

[错误检测标志]

- 溢出标志

支持 3 线串行 I/O(CSI00, CSI01, CSI10, CSI20)的通道是 SAU0 的通道 0~2 和 SAU1 的通道 0。

单元	通道	用作 CSI	用作UART	用作简易IIC
0	0	CSI00	UART0	—
	1	CSI01		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	—	UART3 (支持LIN总线)	—
	3	—		—

3 线串行 I/O(CSI00, CSI01, CIS10, CSI20)执行下列 6 种通信操作类型。

- 主发送 (参见 13.4.1.)
- 主接收 (参见 13.4.2.)
- 主发送/接收 (参见 13.4.3.)
- 从发送 (参见 13.4.4.)
- 从接收 (参见 13.4.5.)
- 从发送/接收 (参见 13.4.6.)

13.4.1 主发送

主发送是 78K0R/KG3 输出一个发送时钟和发送数据到另外一个设备。

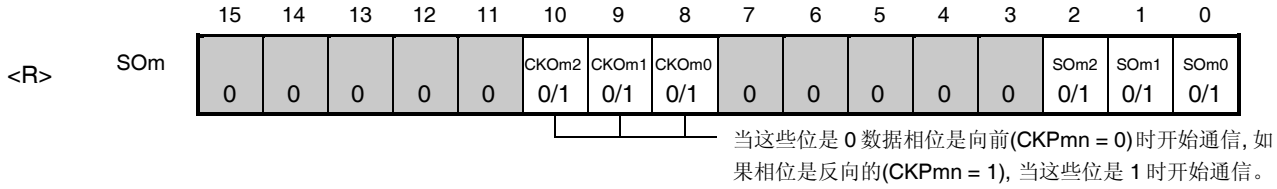
3线串行I/O	CSI00	CSI01	CSI10	CSI20
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU1的通道0
使用引脚	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK20, SO20
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	发送结束中断(在单发送模式下)或者缓冲空中断(在连续发送模式下)			
错误检测标志	没有			
发送数据长度	7 或 8 位			
发送率	最大 f _{CLK} /4 [MHz], 最小 f _{CLK} /(2 × 2 ¹¹ × 128) [MHz] ^註 f _{CLK} : 系统时钟频率			
数据相位	通过DAPmn 位选择 • DAPmn = 0: 数据从串行时钟开始操作时开始输出 • DAPmn = 1: 数据在串行时钟开始操作之前半个时钟输出			
时钟相位	通过CKPmn 位选择 • CKPmn = 0: 向前 • CKPmn = 1: 反向			
数据方式	MSB 或者 LSB			

注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

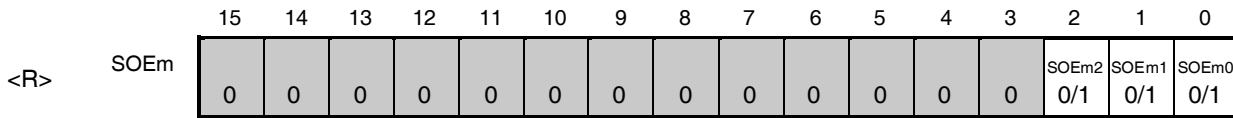
(1) 寄存器设定

图 13-22. 用于 3 线串行 I/O 的主发送的寄存器内容的例子
(CSI00, CSI01, CSI10, CSI20)

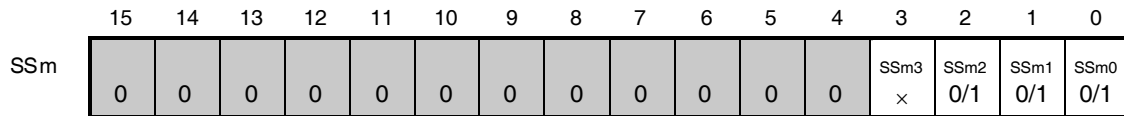
(a) 串行输出寄存器 m (SOm) ... 仅设定目标通道的位。



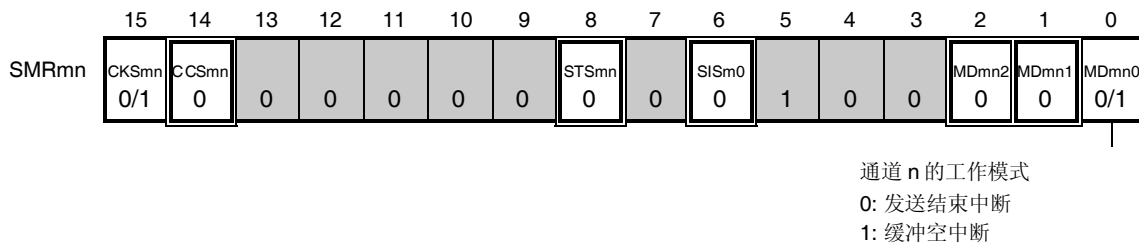
(b) 串行输出允许寄存器 m (SOEm) ... 仅设定目标通道的位为 1。



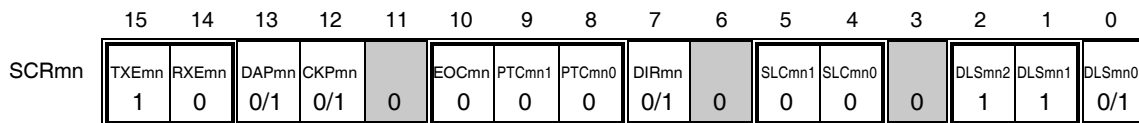
(c) 串行通道开始寄存器 m (SSm) ... 仅设定目标通道的位为 1。



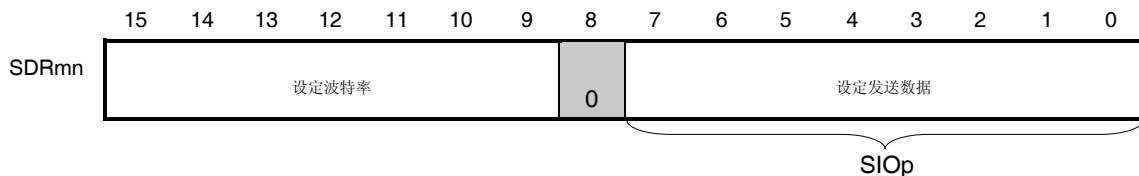
(d) 串行模式寄存器 mn (SMRmn)



(e) 串行通信操作设定寄存器 mn (SCRmn)



(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



备注 m: 单元数 (m = 0, 1), n: 通道数 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

□: 在 CSI 主发送模式下固定设置,

■: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

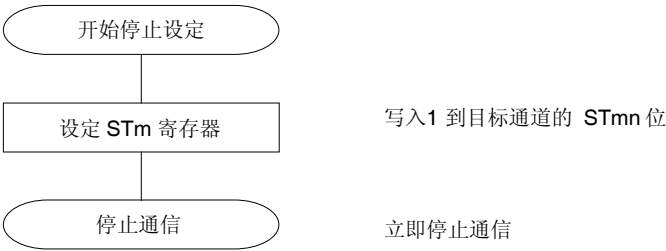
(2) 操作程序

图 13-23. 主发送的初始化程序



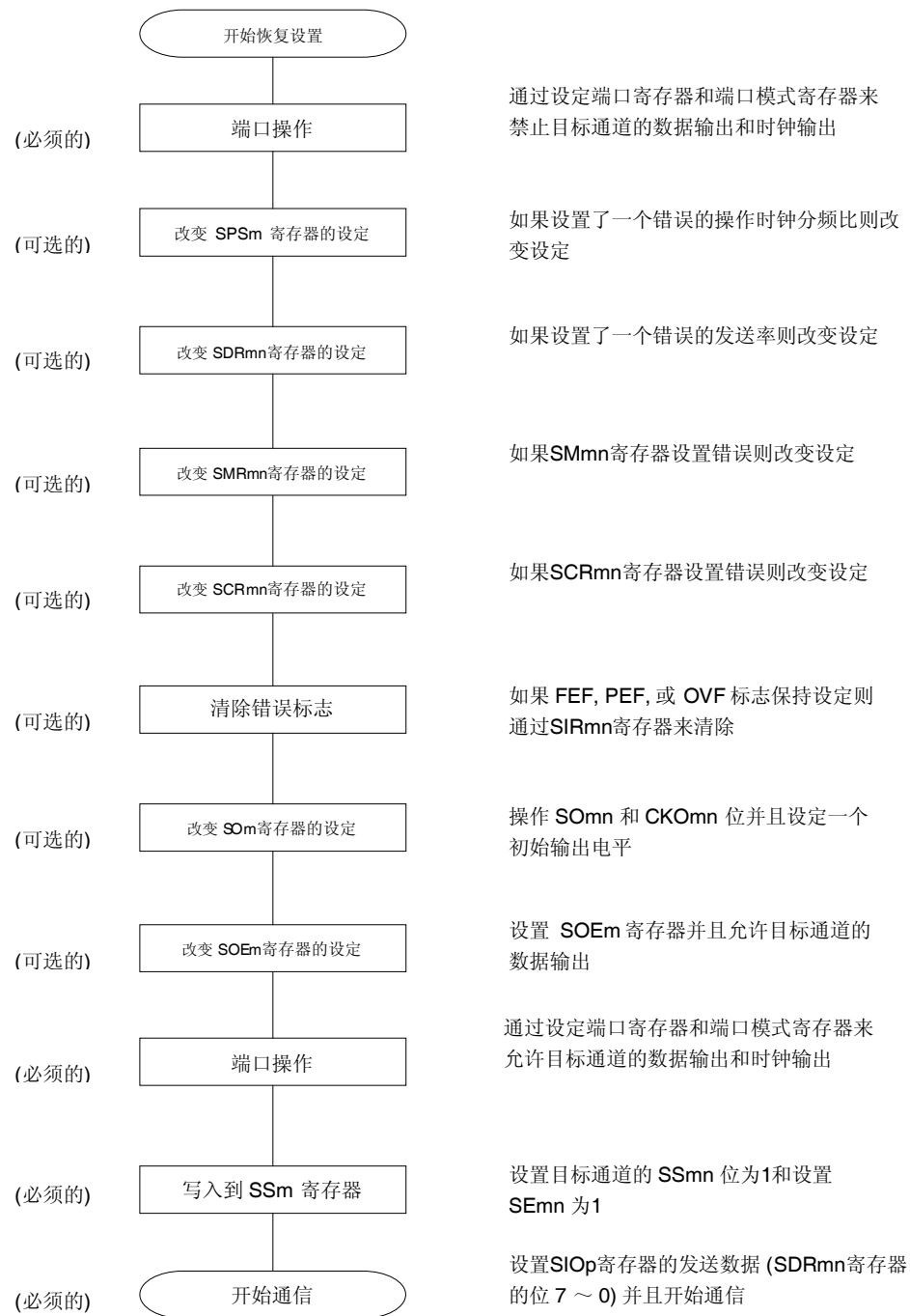
注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-24. 主发送的停止程序



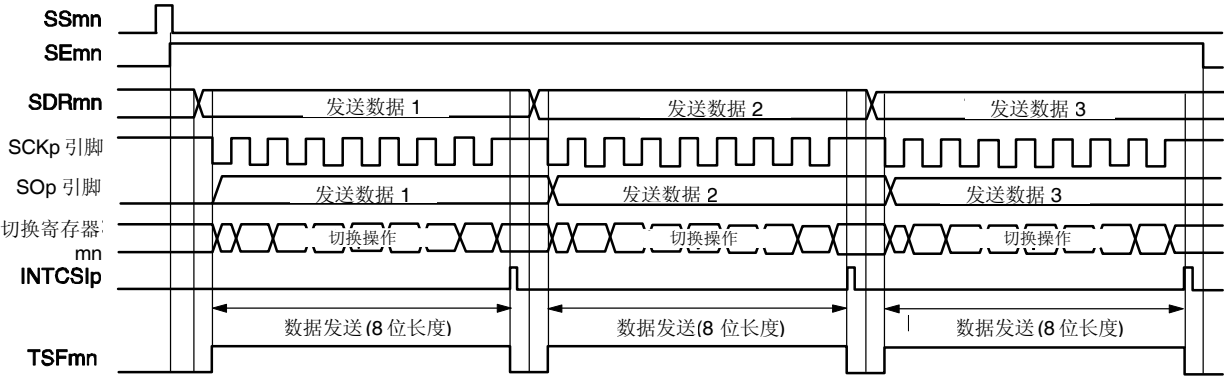
- 备注
- 1. 即使通信停止后, 引脚电平依然保持。要重新开始操作, 重新设定 SOm 寄存器 (参见 图 13-25 重新主发送的程序)。
 - 2. p: CSI 数 (p = 00, 01, 10, 20)

图 13-25. 重新主发送的程序



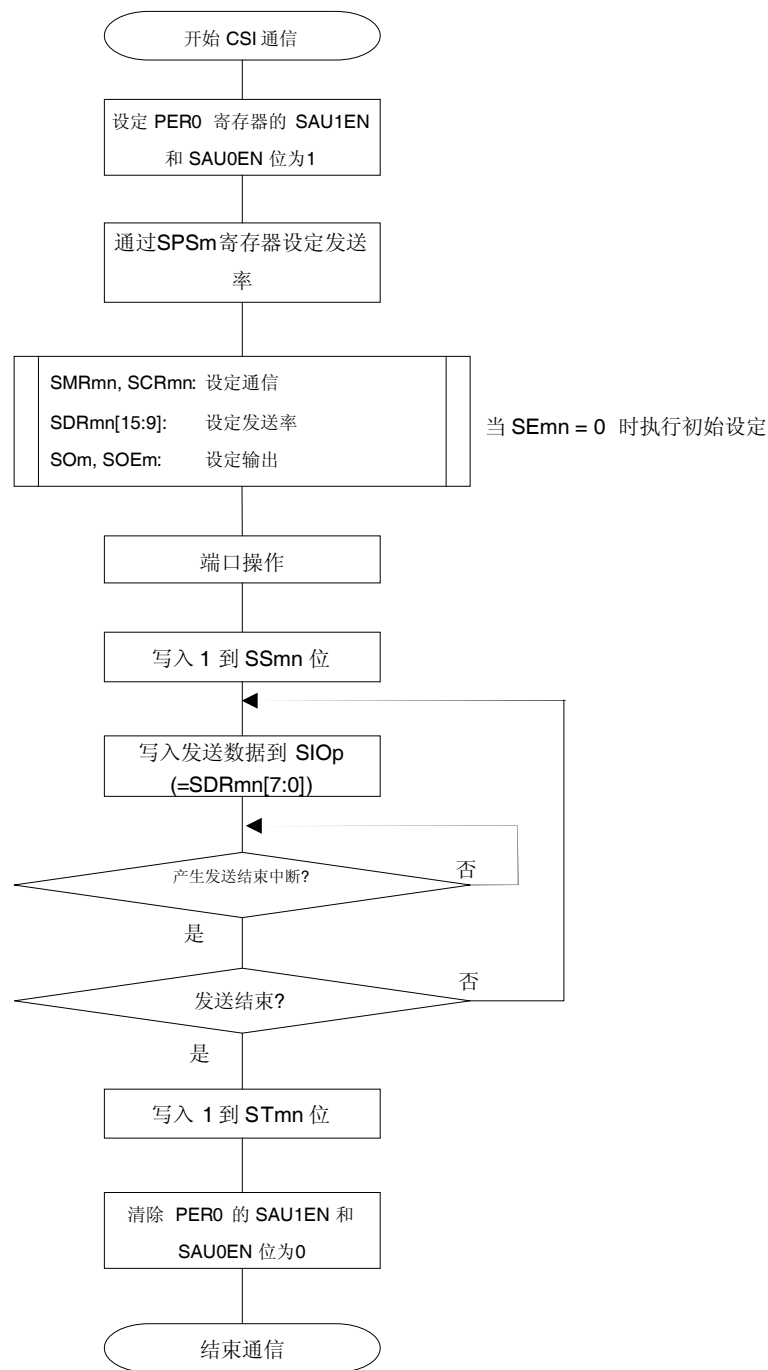
(3) 处理流程 (在单发送模式下)

图 13-26. 主发送的时序图 (在单发送模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

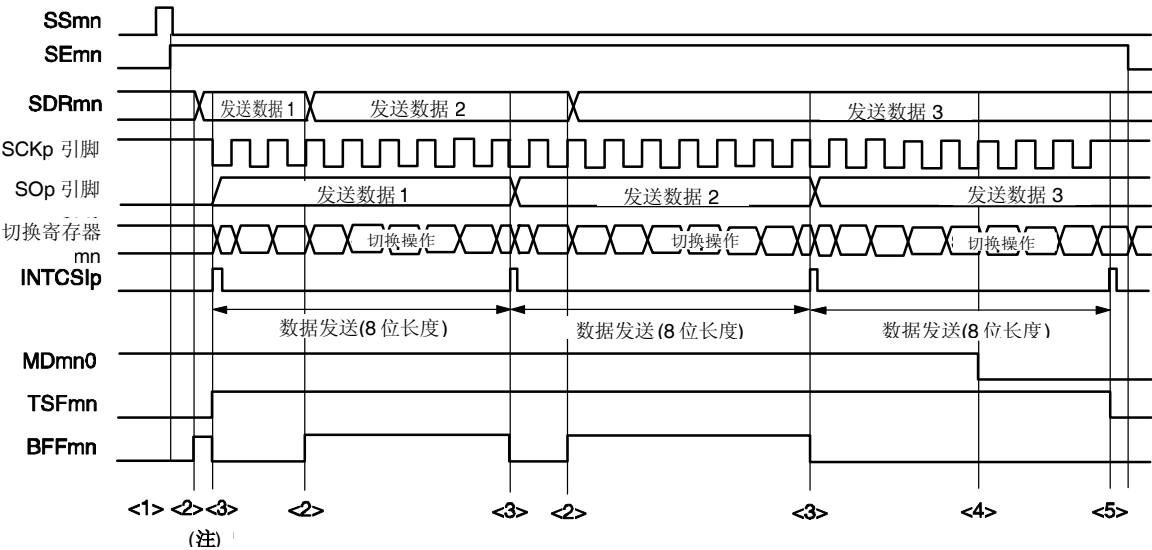
图 13-27. 主发送的流程图 (在单发送模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

(4) 处理流程(在连续发送模式下)

图 13-28. 主发送的时序图 (在连续发送模式下)

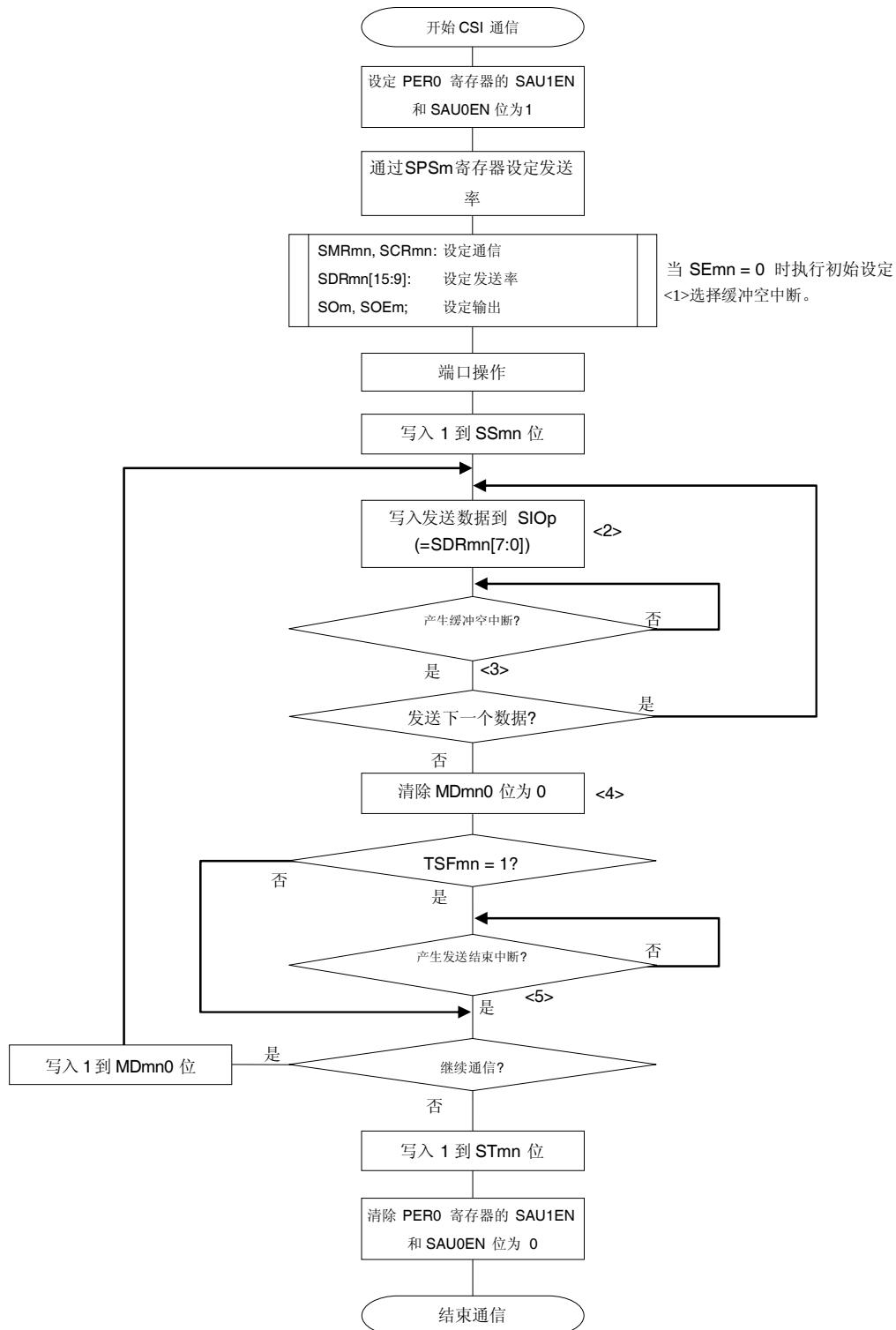


注 当 BFFmn = 1 时发送数据写入到 SDRmn 寄存器, 发送数据被改写。

注意事项 即使在操作期间 MDmn0 位也可以被重写。
然而在最后一位开始发送之前重写它, 因此它可以在最后一个发送数据的发送结束中断之前被重写。

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

图 13-29. 主发送的流程图 (在连续发送模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

备注 图中的<1> ~ <5> 对应图 13-28 主发送的时序图 (在连续发送模式下)中的<1> ~ <5>。

13.4.2 主接收

主接收是 78K0R/KG3 输出一个发送书中和接收其它设备的数据。

3线串行I/O	CSI00	CSI01	CSI10	CSI20
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU1的通道0
使用引脚	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK20, SI20
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	仅发送结束中断(禁止设定缓冲空中断)			
错误检测标志	仅溢出错误检测标志 (OVFmn)			
发送数据长度	7 或 8 位			
发送率	最大 $f_{CLK}/4$ [MHz], 最小 $f_{CLK}/(2 \times 2^{11} \times 128)$ [MHz] ^註 f_{CLK} : 系统时钟频率			
数据相位	通过DAPmn 位选择 • DAPmn = 0: 数据从串行时钟开始操作时开始输入 • DAPmn = 1: 数据在串行时钟开始操作之前半个时钟输入			
时钟相位	通过CKPmn 位选择 • CKPmn = 0: 向前 • CKPmn = 1: 反向			
数据方式	MSB 或者LSB			

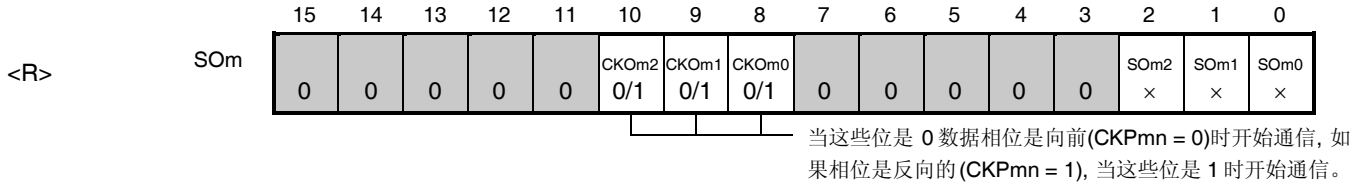
<R>

<R> 注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

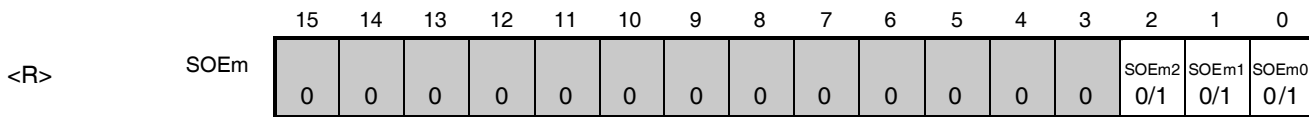
(1) 寄存器设定

图 13-30. 用于 3 线串行 I/O 的主接收的寄存器内容的例子
(CSI00, CSI01, CSI10, CSI20)

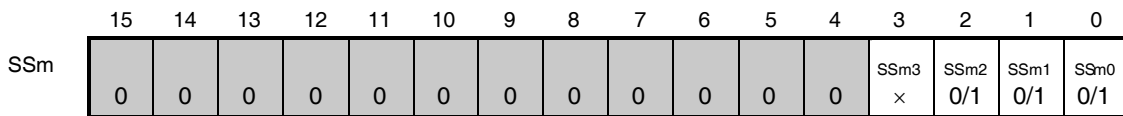
(a) 串行输出寄存器 m (SOM) ...仅设定目标通道的位。



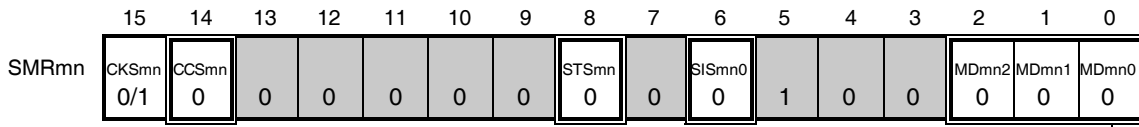
(b) 串行输出允许寄存器 m (SOEm) ...仅清除目标通道的位为 0。



(c) 串行通道开始寄存器 m (SSm) ...仅设定目标通道的位为 1。

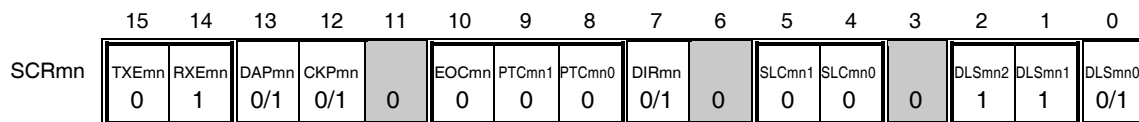


(d) 串行模式寄存器 mn (SMRmn)

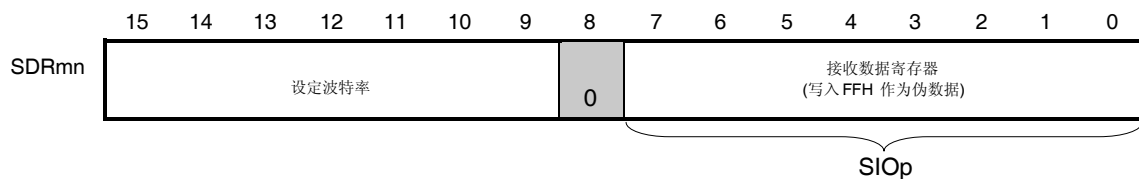


通道 n 的工作模式
0: 发送结束中断

(e) 串行通信操作设定寄存器 mn (SCRmn)



(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

□: 在 CSI 主发送模式下固定设置,

■: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

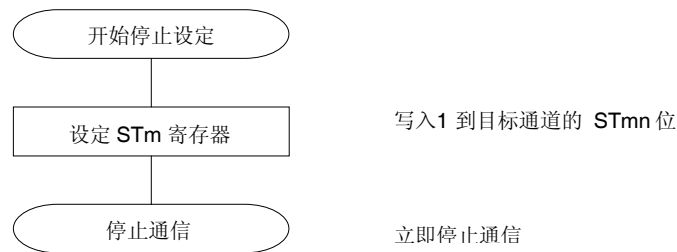
(2) 操作程序

图 13-31. 主接收的初始化程序



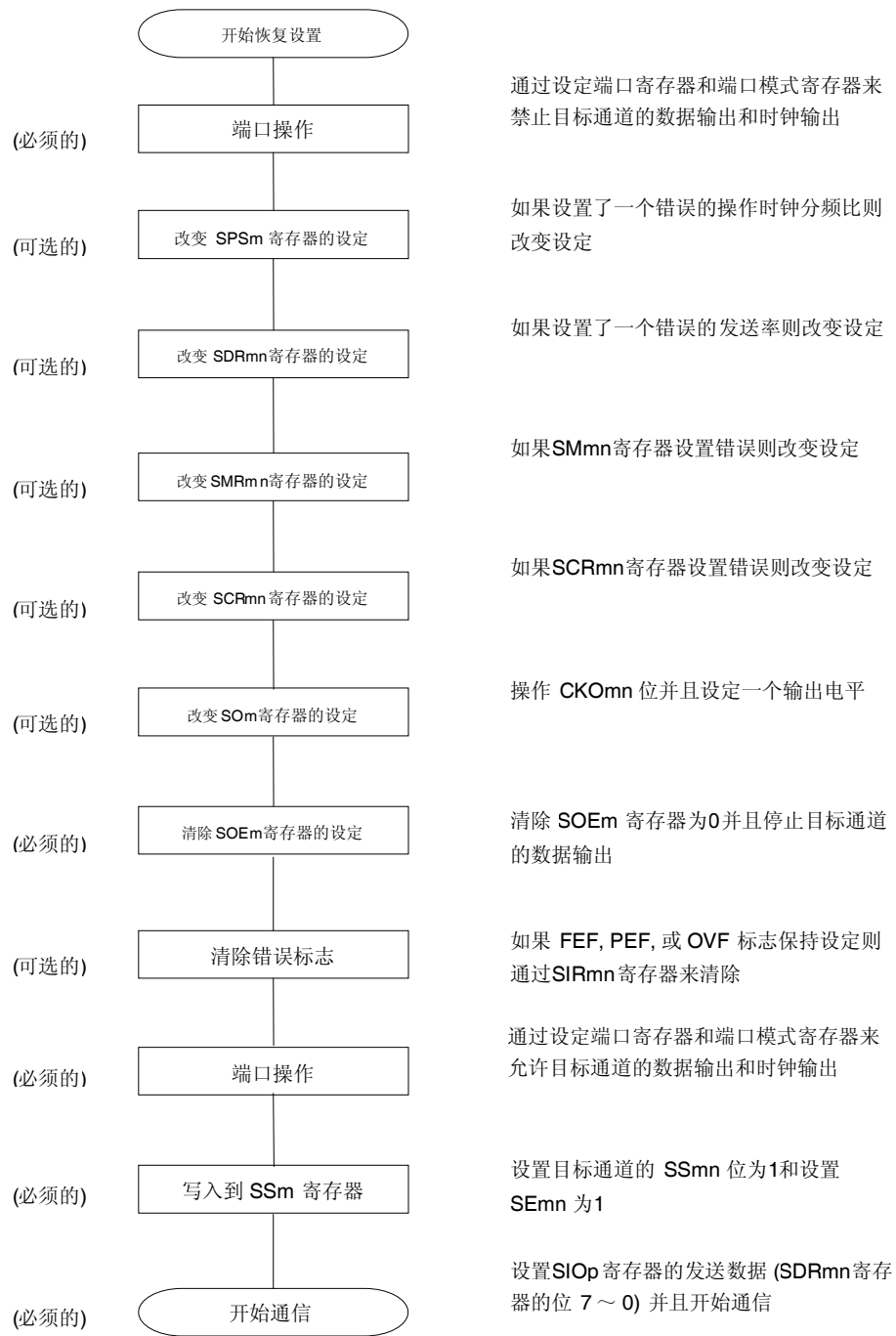
注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-32. 主接收的停止程序



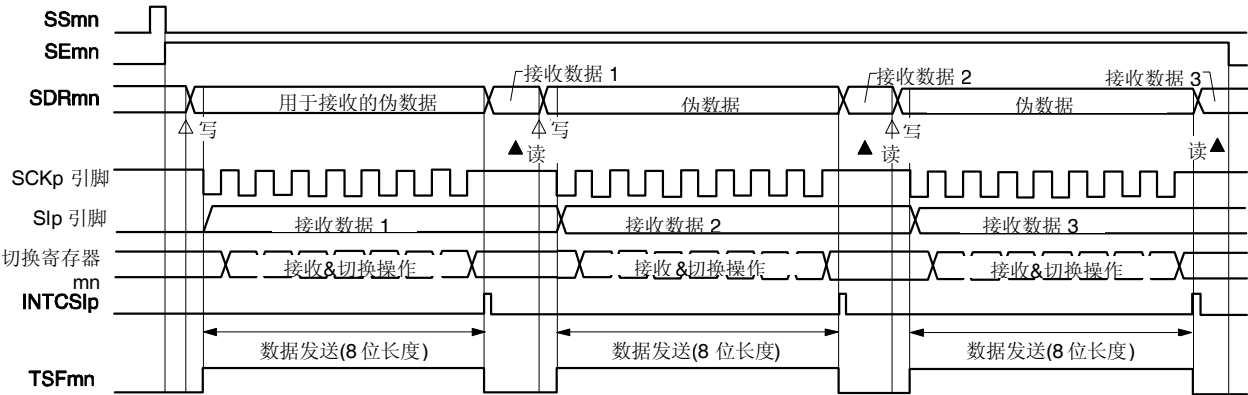
备注 即使通信停止后, 引脚电平依然保持。要重新开始操作, 重新设定 SOmn 寄存器 (参见 图 13-33 重新主接收的程序)。

图 13-33. 重新主接收的程序



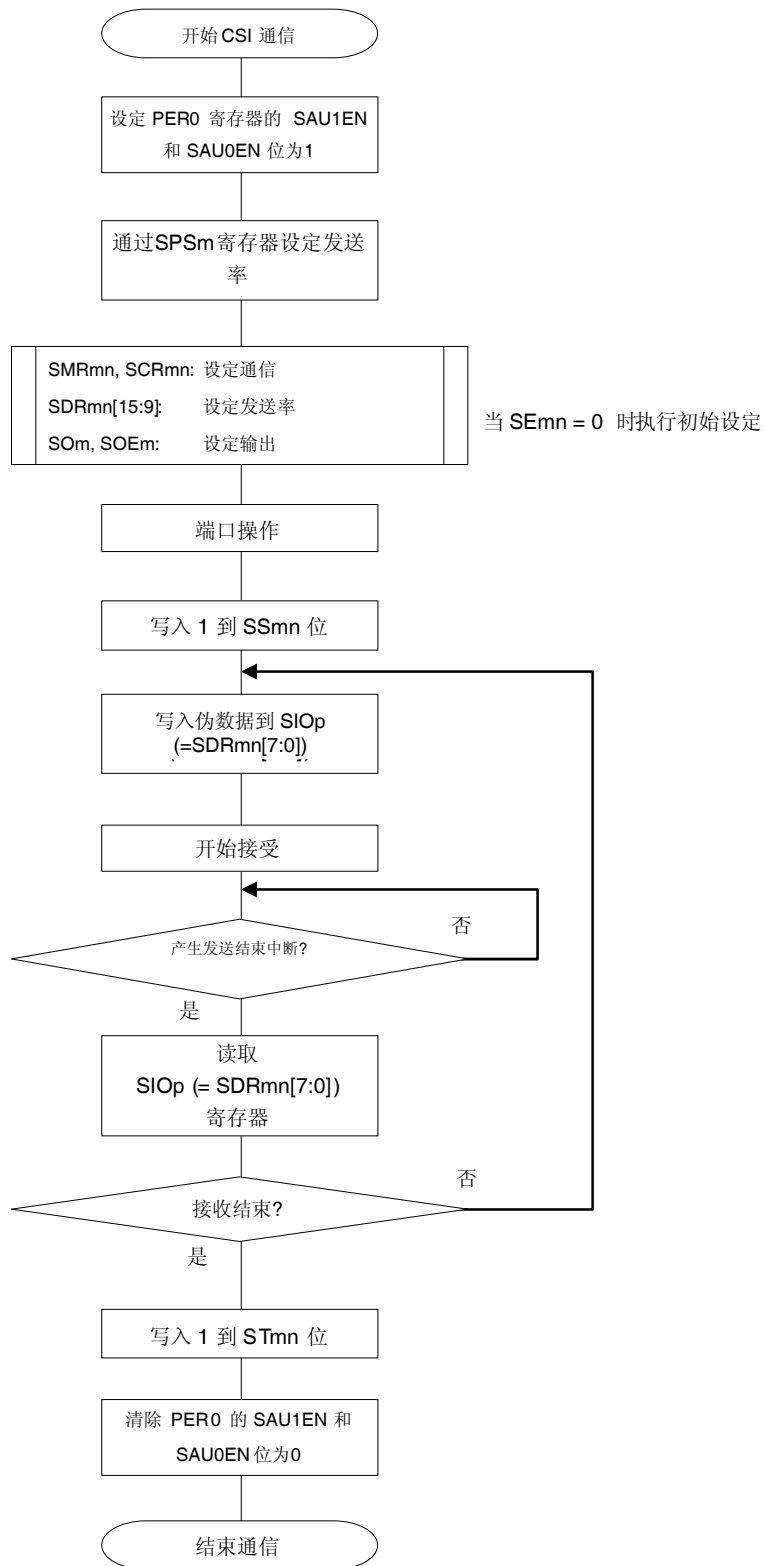
(3) 处理流程 (在单接收模式下)

图 13-34. 主接收的时序图 (在单接收模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

图 13-35. 主接收的流程图 (在单接收模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

13.4.3 主发送/接收

主发送/接收是 78K0R/KG3 输出一个发送时钟和发送数据到另外一个设备/从另外一个设备接收数据。

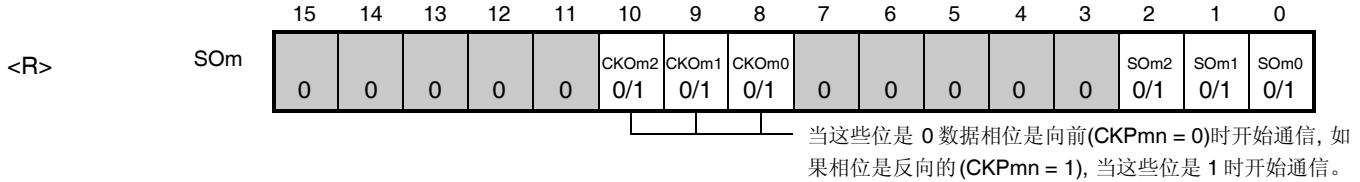
3线串行 I/O	CSI00	CSI01	CSI10	CSI20
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU1的通道0
使用引脚	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK20, SI20, SO20
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	可以选择发送结束中断(在单发送模式下)或者缓冲空中断 (在连续发送模式下)			
错误检测标志	仅溢出错误检测标志(OVFmn)			
发送数据长度	7 或 8 位			
<R> 发送率	最大 $f_{CLK}/4$ [MHz], 最小 $f_{CLK}/(2 \times 2^{11} \times 128)$ [MHz] ^註 f_{CLK} : 系统时钟频率			
数据相位	通过DAPmn 位选择 • DAPmn = 0: 数据从串行时钟开始操作时开始输出 • DAPmn = 1: 数据在串行时钟开始操作之前半个时钟输出			
时钟相位	通过CKPmn 位选择 • CKPmn = 0: 向前 • CKPmn = 1: 反向			
数据方式	MSB 或者 LSB			

<R> 注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

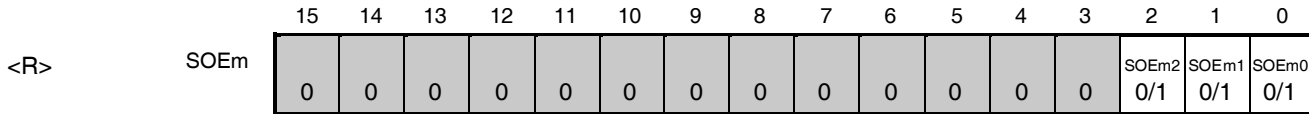
(1) 寄存器设定

图 13-36. 用于 3 线串行 I/O 的主发送/接收的寄存器内容的例子
(CSI00, CSI01, CSI10, CSI20)

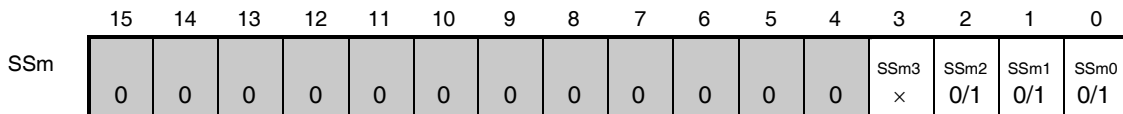
(a) 串行输出寄存器 m (SOM) ...仅设定目标通道的位。



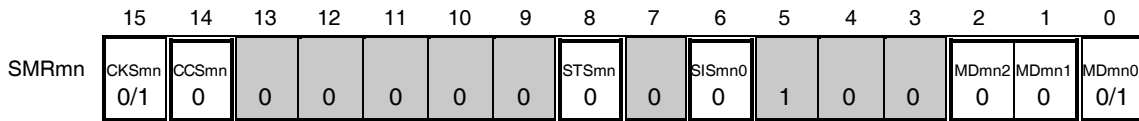
(b) 串行输出允许寄存器 m (SOEm) ...仅设定目标通道的位为 1。



(c) 串行通道开始寄存器 m (SSm) ...仅设定目标通道的位为 1。



(d) 串行模式寄存器 mn (SMRmn)

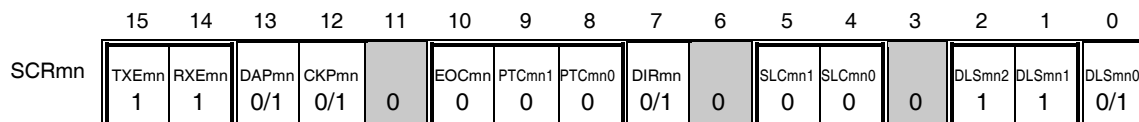


Operation mode of channel n

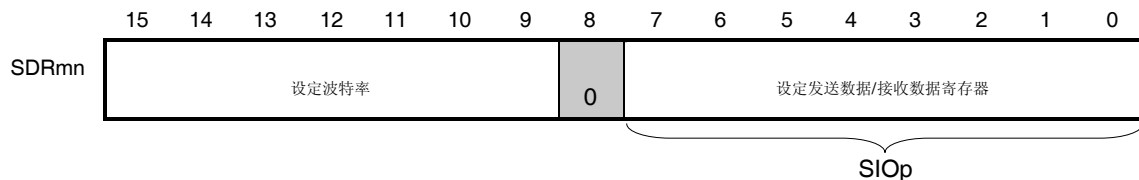
0: Transfer end interrupt

1: Buffer empty interrupt

(e) 串行通信操作设定寄存器 mn (SCRmn)



(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

□: 在 CSI 主发送模式下固定设置,

■: 禁止设定 (通过硬件固定)

x: 禁止设定 (通过硬件固定)

0/1: 根据用户使用设定为 0 或 1

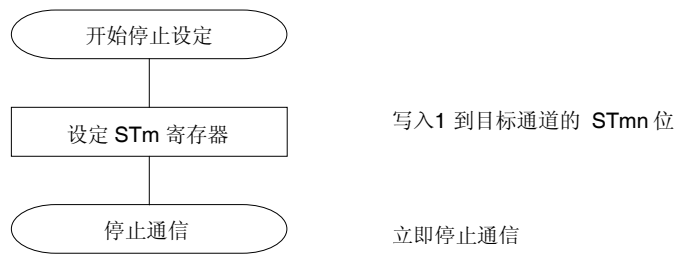
(2) 操作程序

图 13-37. 主发送/接收的初始化程序



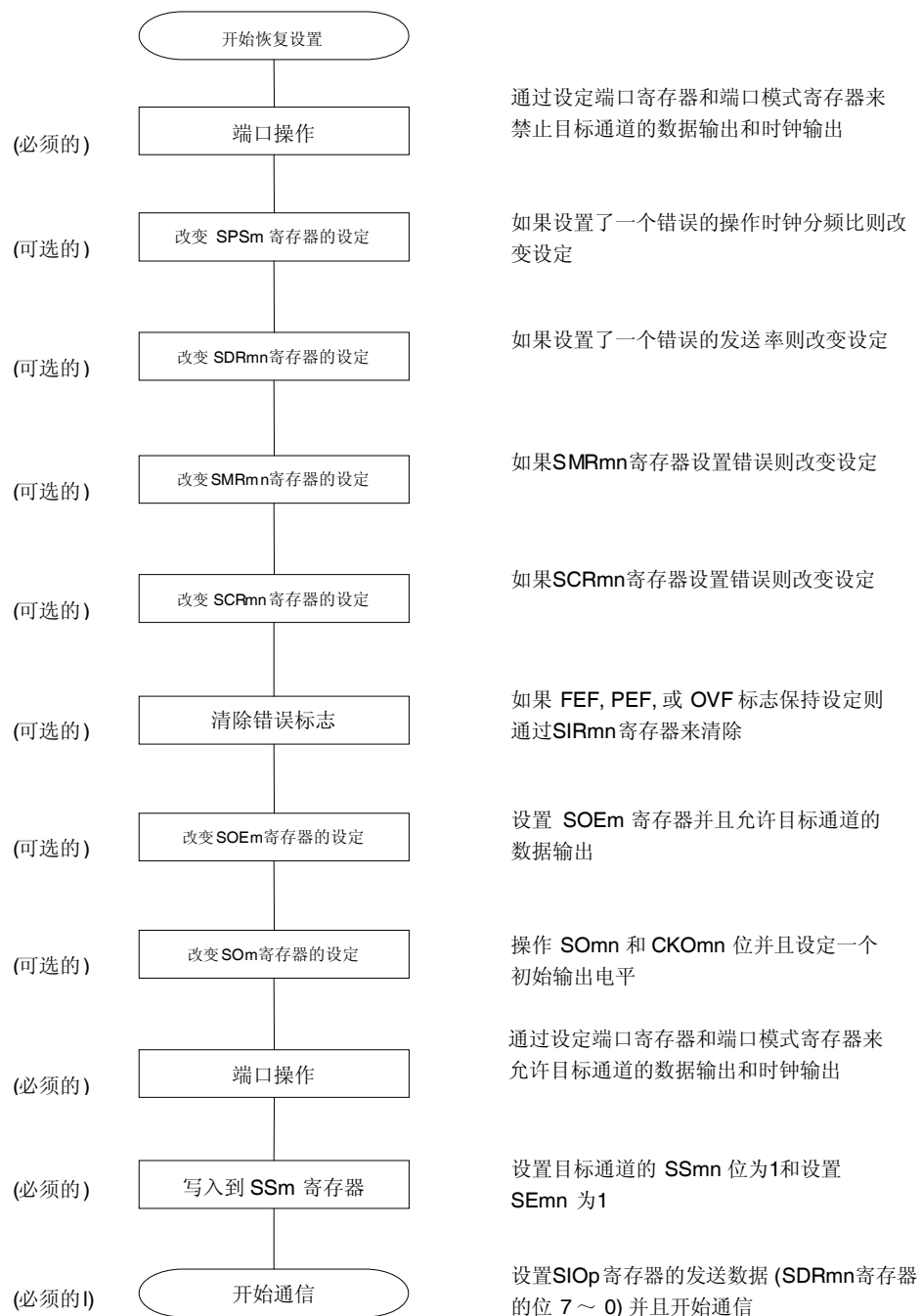
注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-38. 主发送/接收的停止程序



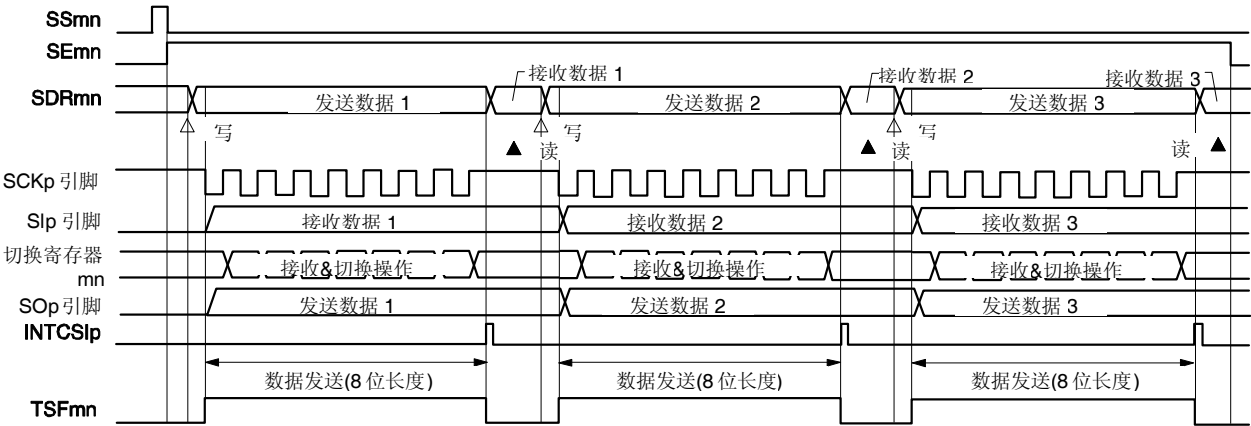
备注 即使通信停止后, 引脚电平依然保持。要重新开始操作, 重新设定 SOM 寄存器 (参见 图 13-39 重新主发送/接收的程序)。

图 13-39. 重新主发送/接收的程序



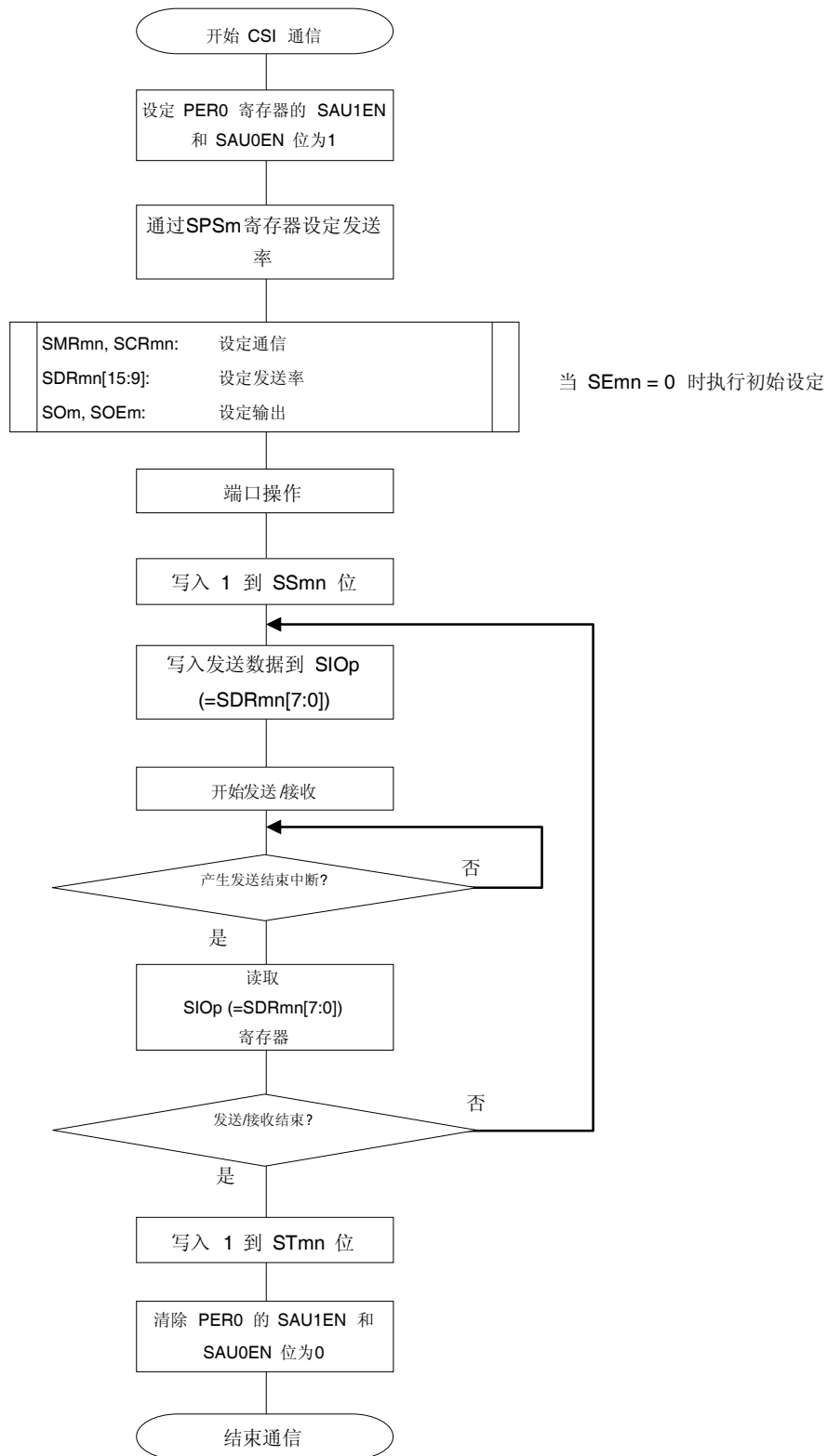
(3) 处理流程 (在单发送/接收模式下)

图 13-40. 主发送/接收的时序图 (在单发送/接收模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

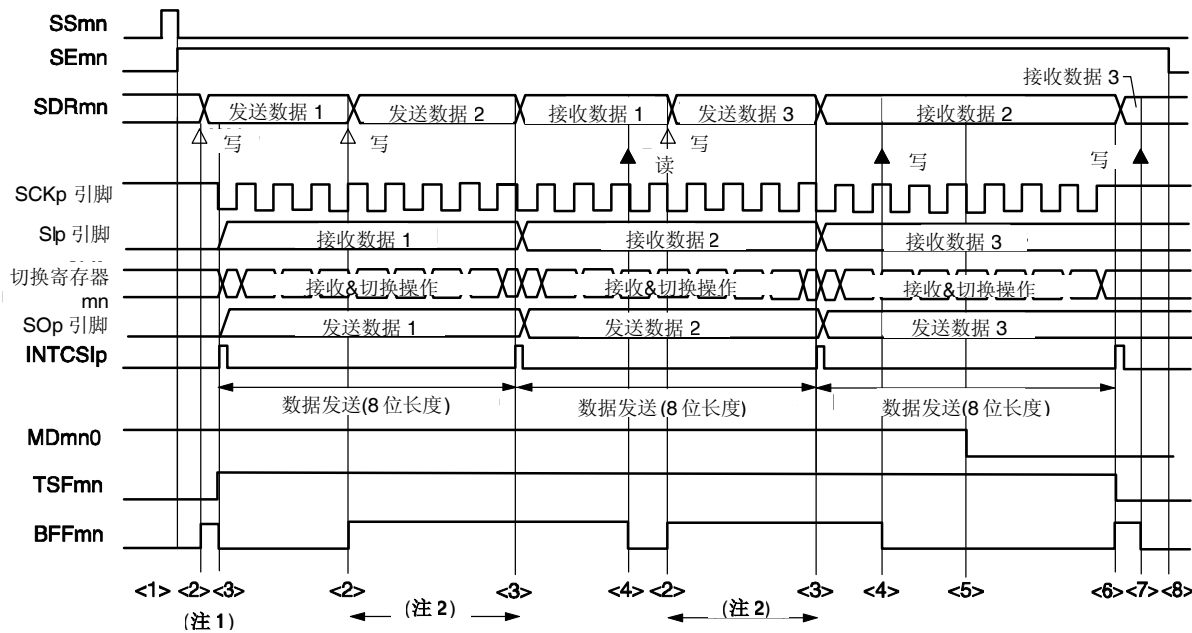
图 13-41. 主发送/接收的流程图 (在单发送/接收模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

(4) 处理流程(在连续发送/发送模式下)

图 13-42. 主发送/发送的时序图 (在连续发送/发送模式下)

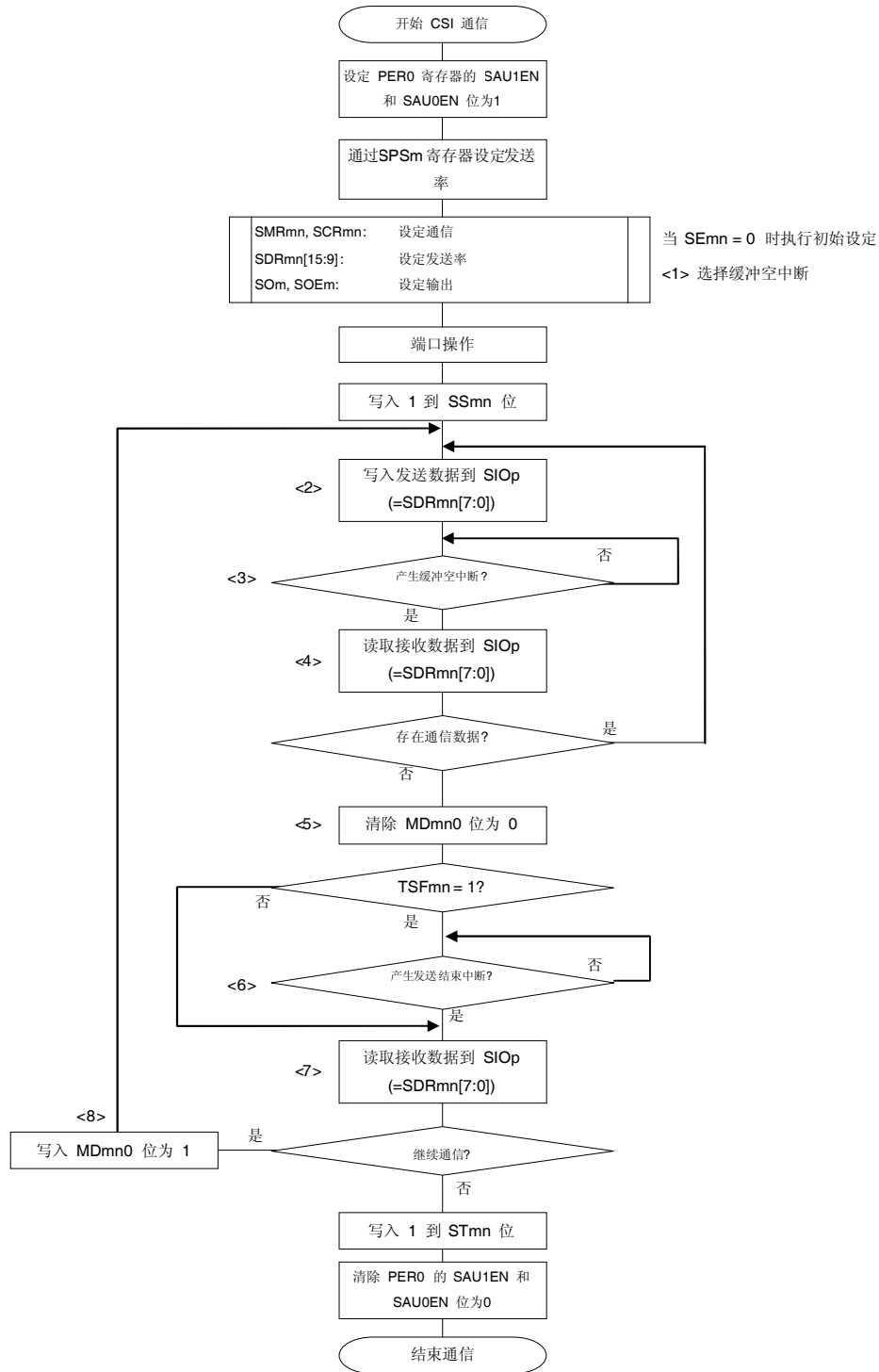


- 注
1. 当 BFFmn = 1 时发送数据写入到 SDRmn 寄存器, 发送数据被改写。
 2. 发送数据可以在这段期间通过读取 SDRmn 寄存器来读取。此时发送操作不受影响。

注意事项 即使在操作期间 MDmn0 位也可以被重写。
然而在最后一位开始发送之前重写它, 因此它可以在最后一个发送数据的发送结束中断之前被重写。

- 备注
1. 图中的<1> ~ <8> 对应图 13-43 主发送/接收的流程图 (在连续发送/接收模式下)中的<1> ~ <8>。
 2. m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

图 13-43. 主发送/接收的流程图 (在连续发送/接收模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

备注 图中的<1> ~ <8> 对应图 13-42 主发送/接收的时序图 (在连续发送/接收模式下)中的<1> ~ <8>。

13.4.4 从发送

从发送是 78K0R/KG3 在从另外一个设备输入一个发送时钟状态下发送数据到另一个设备。

3线串行 I/O	CSI00	CSI01	CSI10	CSI20
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU1的通道0
使用引脚	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK20, SO20
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	可以选择发送结束中断(在单发送模式下)或者缓冲空中断(在连续发送模式下)			
错误检测标志	仅溢出错误检测标志 (OVFmn)			
发送数据长度	7 或 8 位			
发送率	$f_{CLK}/6$ [MHz] 和 $f_{MCK}/2$ [MHz] 的低者作为最大发送率 ^{注1, 2}			
数据相位	通过DAPmn 位选择 - DAPmn = 0: 数据从串行时钟开始操作时开始输出 - DAPmn = 1: 数据在串行时钟开始操作之前半个时钟输出			
时钟相位	通过CKPmn 位选择 - CKPmn = 0: 向前 - CKPmn = 1: 反向			
数据方式	MSB 或者LSB			

- 注

1. 因为外部串行时钟输入到引脚 SCK00, SCK01, SCK10, 和 SCK20 是内部采样并使用, 最快的波特率是的是 $f_{CLK}/6$ [MHz] 和 $f_{MCK}/2$ [MHz]低者。
- <R>

2. 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注 f_{MCK} : 目标通道的操作时钟(MCK)频率
 f_{CLK} : 系统时钟频率

(1) 寄存器设定

图 13-44. 用于 3 线串行 I/O 的从发送的寄存器内容的例子
(CSI00, CSI01, CSI10, CSI20)

(a) 串行输出寄存器 m (SOM) ...仅设定目标通道的位。

<R>

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOM2 0/1	SOM1 0/1	SOM0 0/1

(b) 串行输出允许寄存器 m (SOEm) ...仅清除目标通道的位为 0。

<R>

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(c) 串行通道开始寄存器 m (SSm) ...仅设定目标通道的位为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 0/1	SSm0 0/1

(d) 串行模式寄存器 mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

通道 n 的工作模式

0: 发送结束中断

1: 缓冲空中断

(e) 串行通信操作设定寄存器 mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	DLsmn2 1	DLsmn1 1	DLsmn0 0/1

(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	设定波特率							0	设定发送数据							

SIOp

备注

m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

□: 在 CSI 主发送模式下固定设置,

■: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

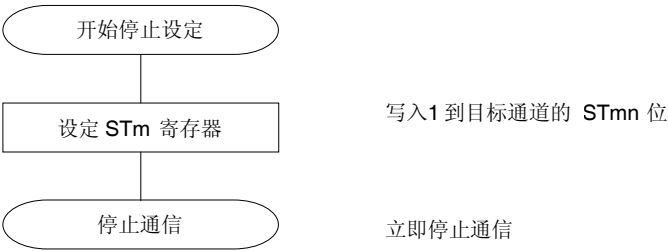
(2) 操作程序

图 13-45. 从发送的初始化程序



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-46. 从发送的停止程序



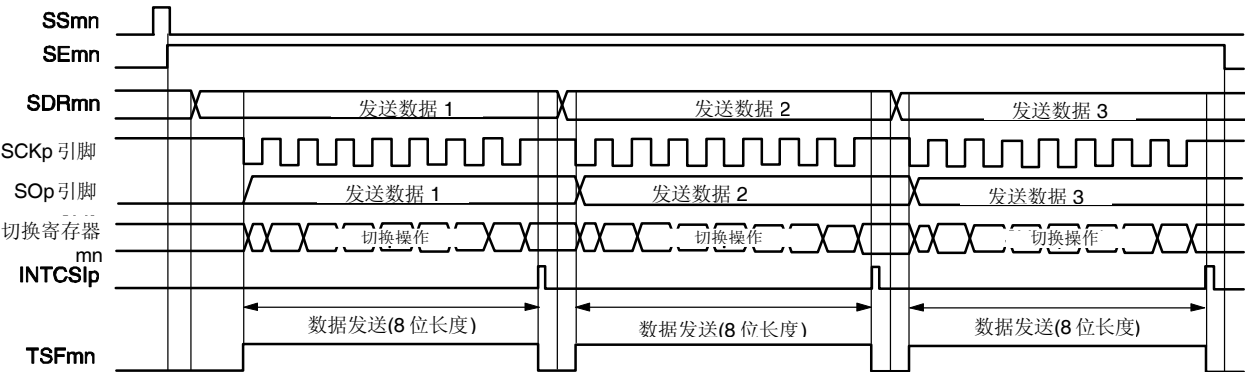
备注 即使通信停止后, 引脚电平依然保持。要重新开始操作, 重新设定 SOm 寄存器 (参见 图 13-47 重新从接收的程序)。

图 13-47. 重新从发送的程序



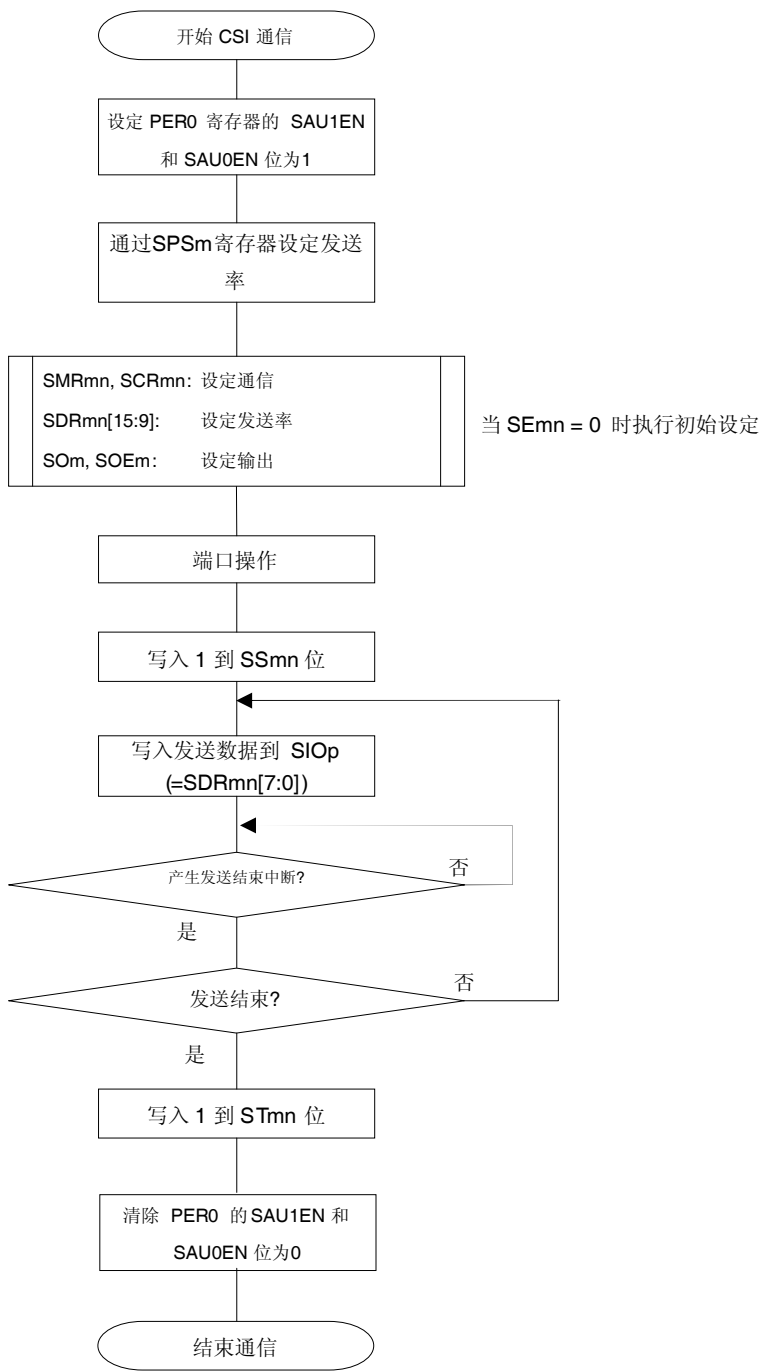
(3) 处理流程 (在单发送模式下)

图 13-48. 从发送的时序图 (在单发送模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

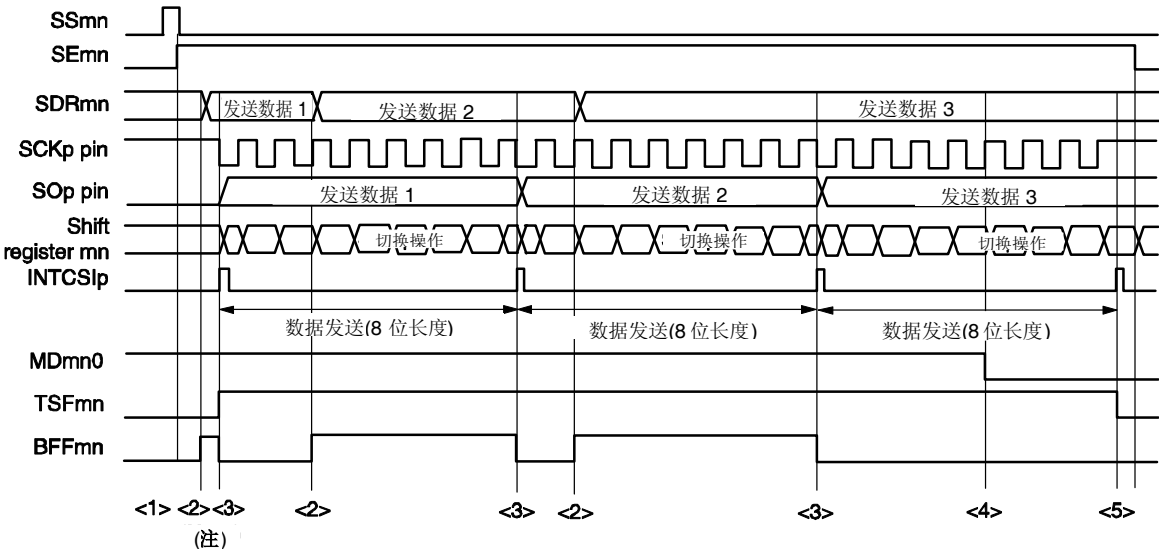
图 13-49. 从发送的流程图 (在单发送模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

(4) 处理流程(在连续发送模式下)

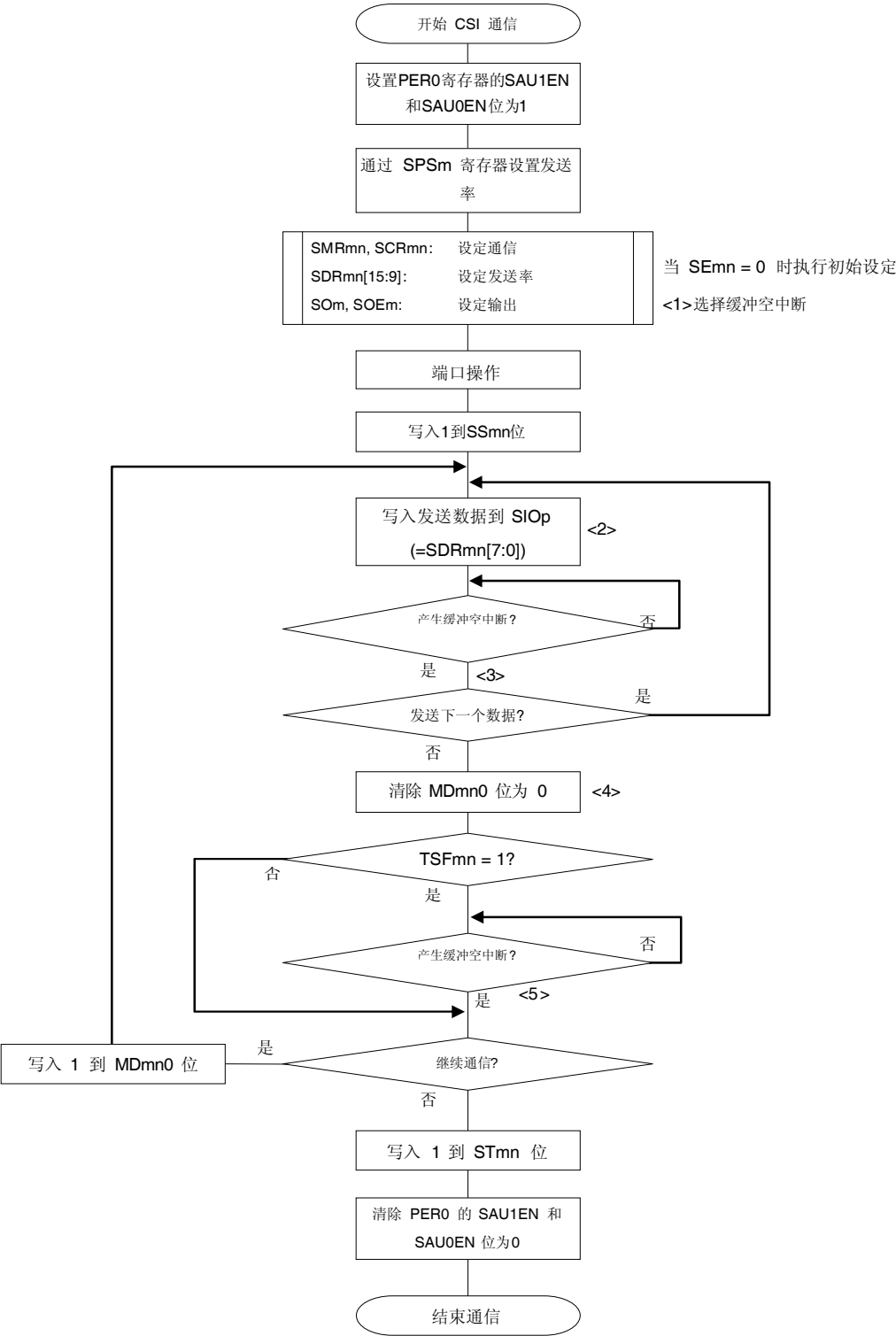
图 13-50. 从发送的时序图 (在连续发送模式下)



注 当 BFFmn = 1 时发送数据写入到 SDRmn 寄存器, 发送数据被改写。

注意事项 即使在操作期间 MDmn0 位也可以被重写。然而在最后一位开始发送之前重写它。

图 13-51. 从发送的流程图 (在连续发送模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

备注 图中的<1> ~ <5> 对应图 13-50 从发送的时序图 (在连续发送模式下)中的<1> ~ <5>。

13.4.5 从接收

从接收是 78K0R/KG3 在从另外一个设备输入一个发送时钟状态下从另外一个数据接收数据。

3线串行 I/O	CSI00	CSI01	CSI10	CSI20
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU1的通道0
使用引脚	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK20, SI20
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	仅发送结束中断(禁止设定缓冲空中断)			
错误检测标志	仅溢出错误检测标志 (OVFmn)			
发送数据长度	7 或 8 位			
发送率	$f_{CLK}/6$ [MHz] 和 $f_{MCK}/2$ [MHz] 的低者作为最大发送率 ^{注1, 2} 。			
数据相位	通过DAPmn 位选择 • DAPmn = 0: 数据从串行时钟开始操作时开始输入 • DAPmn = 1: 数据在串行时钟开始操作之前半个时钟输入			
时钟相位	通过CKPmn 位选择 • CKPmn = 0: 向前 • CKPmn = 1: 反向			
数据方式	MSB 或者LSB			

注 1. 因为外部串行时钟输入到引脚 SCK00, SCK01, SCK10, 和 SCK20 是内部采样并使用, 最快的波特率是的 $f_{CLK}/6$ [MHz] 和 $f_{MCK}/2$ [MHz] 低者。

2. 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注 f_{MCK} : 目标通道的操作时钟(MCK)频率
 f_{CLK} : 系统时钟频率

(1) 寄存器设定

图 13-52. 用于 3 线串行 I/O 的从接收的寄存器内容的例子
(CSI00, CSI01, CSI10, CSI20)

(a) 串行输出寄存器 m (SOM)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOM2 ×	SOM1 ×	SOM0 ×

(b) 串行输出允许寄存器 m (SOEm) ...仅清除目标通道的位为 0。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(c) 串行通道开始寄存器 m (SSm) ...仅设定目标通道的位为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 0/1	SSm0 0/1

(d) 串行模式寄存器 mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0

通道 n 的工作模式
0: 发送结束中断

(e) 串行通信操作设定寄存器 mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	DLsmn2 1	DLsmn1 1	DLsmn0 0/1

(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 (设定波特率)								0	接收数据寄存器						

SIOp

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

□: 在 CSI 主发送模式下固定设置,

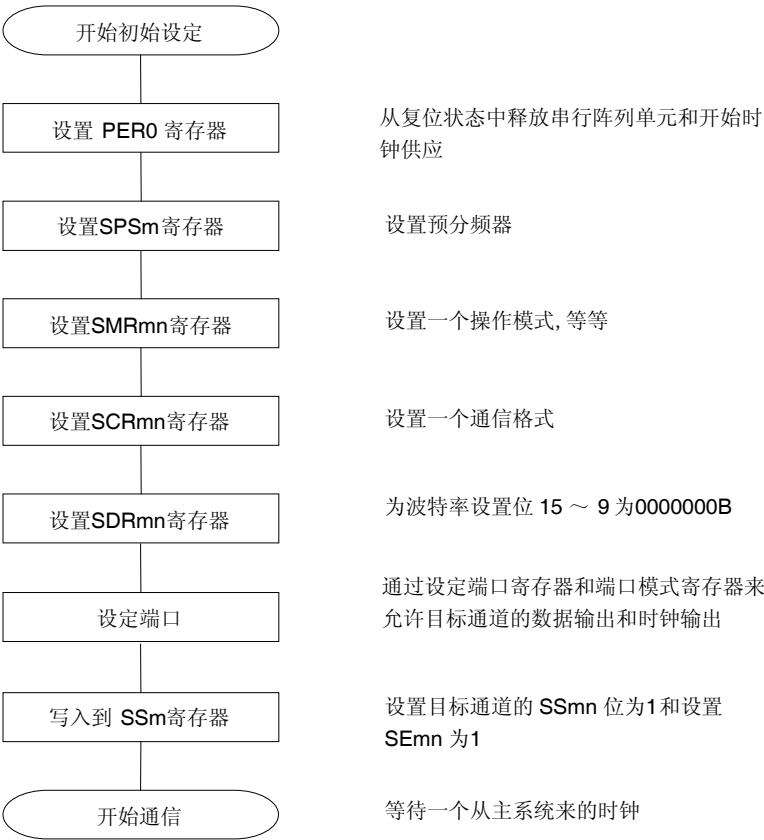
■: 禁止设定 (通过硬件固定)

×: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

(2) 操作程序

图 13-53. 从接收的初始化程序



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-54. 从接收的停止程序

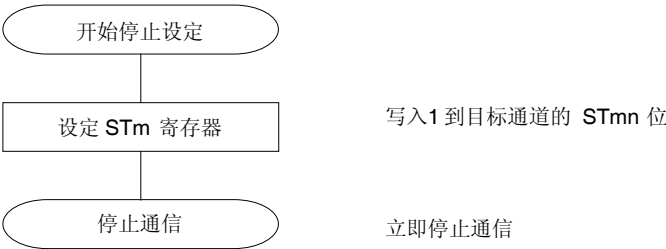
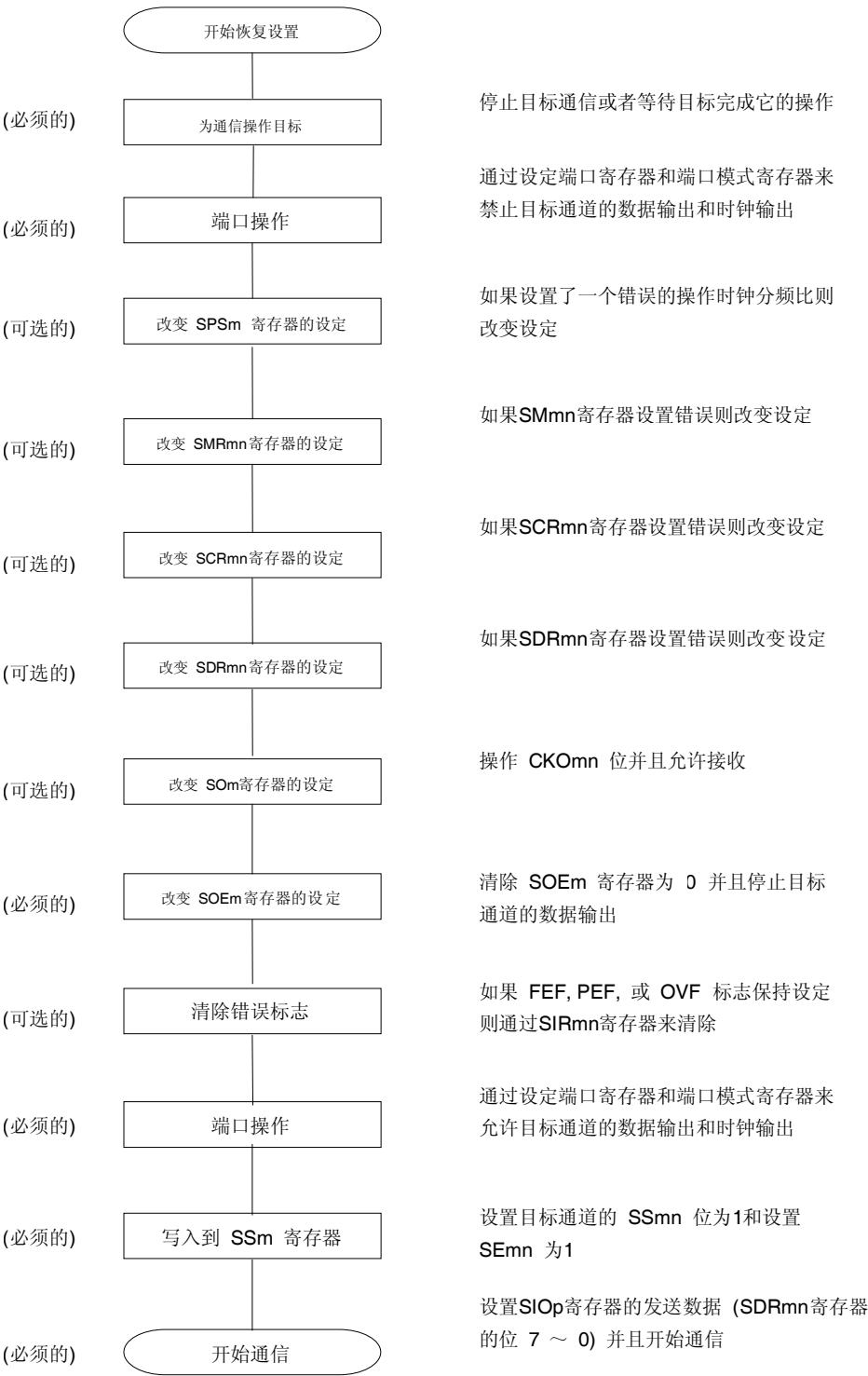
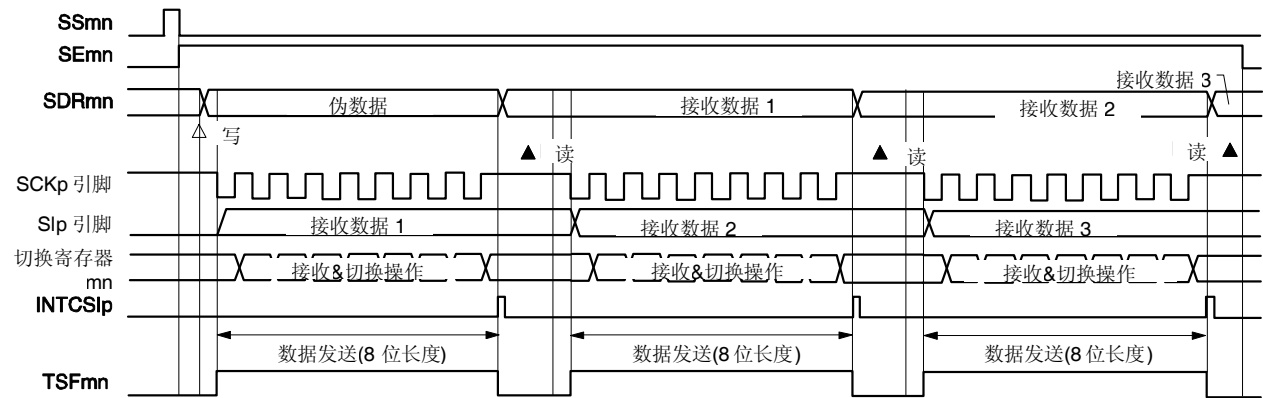


图 13-55. 重新从接收的程序



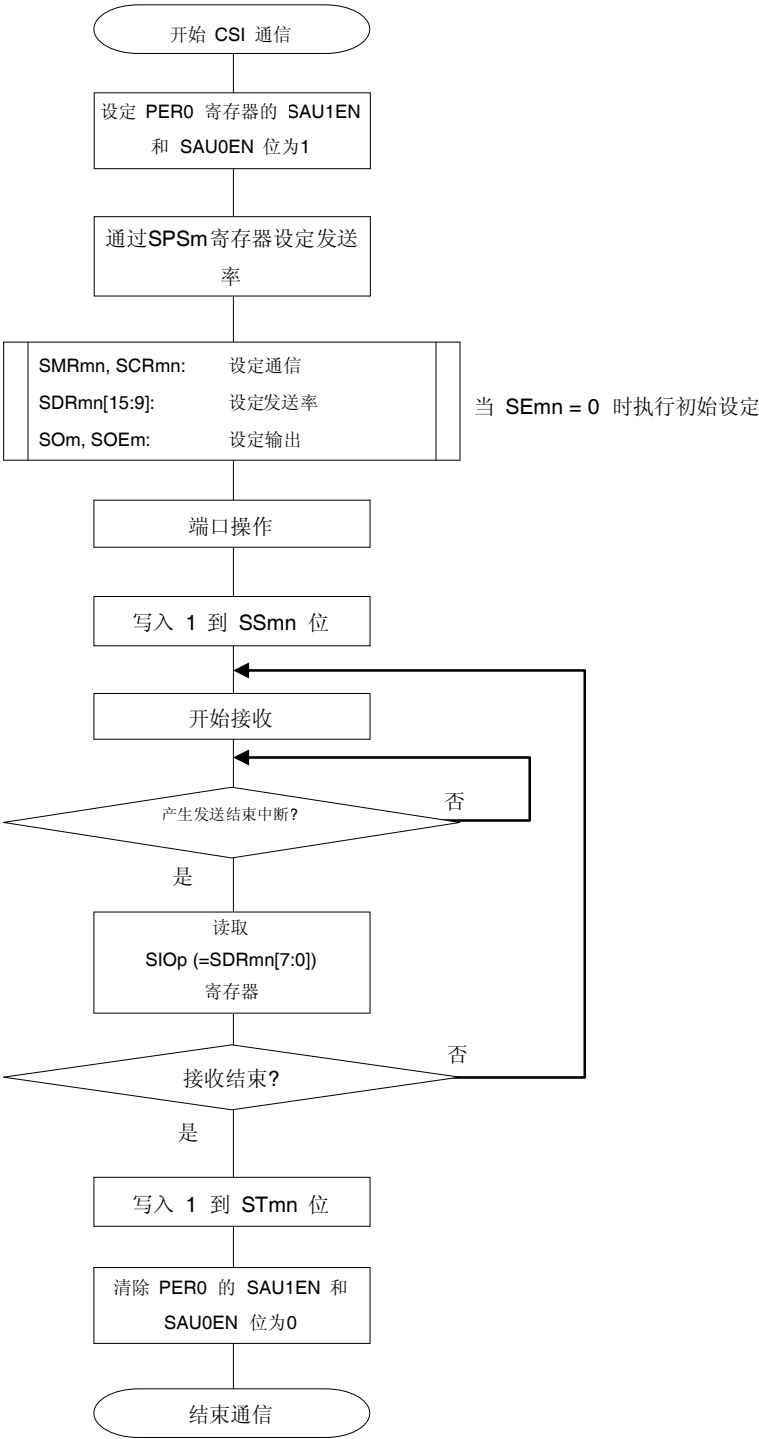
(3) 处理流程 (在单接收模式下)

图 13-56. 从接收的时序图 (在单接收模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

图 13-57. 从接收的流程图 (在单接收模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

13.4.6 从发送/接收

从发送/接收是 78K0R/KG3 在从另外一个设备输入一个发送时钟状态下发送数据到另一个设备/从另一个设备接收数据。

3线串行I/O	CSI00	CSI01	CSI10	CSI20
目标通道	SAU0的通道0	SAU0的通道1	SAU0的通道2	SAU1的通道0
使用引脚	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK20, SI20, SO20
中断	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	可以选择发送结束中断(在单发送模式下)或者缓冲空中断(在连续发送模式下)			
错误检测标志	仅溢出错误检测标志 (OVFmn)			
发送数据长度	7 或 8 位			
发送率	$f_{CLK}/6$ [MHz] 和 $f_{MCK}/2$ [MHz] 的低者作为最大发送率 ^{注1, 2} 。			
数据相位	通过DAPmn 位选择 - DAPmn = 0: 数据从串行时钟开始操作时开始输出 - DAPmn = 1: 数据在串行时钟开始操作之前半个时钟输出			
时钟相位	通过CKPmn 位选择 - CKPmn = 0: 向前 - CKPmn = 1: 反向			
数据方式	MSB 或者LSB			

- 注
1. 因为外部串行时钟输入到引脚 SCK00, SCK01, SCK10, 和 SCK20 是内部采样并使用, 最快的波特率是的 $f_{CLK}/6$ [MHz] 和 $f_{MCK}/2$ [MHz]低者。
 2. 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注

f_{MCK} : 目标通道的操作时钟(MCK)频率

f_{CLK} : 系统时钟频率

(1) 寄存器设定

图 13-58. 用于 3 线串行 I/O 的从发送/接收的寄存器内容的例子
(CSI00, CSI01, CSI10, CSI20)

(a) 串行输出寄存器 m (SOM) ...仅设定目标通道的位。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOM	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOM2 0/1	SOM1 0/1	SOM0 0/1

(b) 串行输出允许寄存器 m (SOEm) ...仅清除目标通道的位为 0。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(c) 串行通道开始寄存器 m (SSm) ...仅设定目标通道的位为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 0/1	SSm0 0/1

(d) 串行模式寄存器 mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

通道 n 的工作模式

0: 发送结束中断

1: 缓冲空中断

(e) 串行通信操作设定寄存器 mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	DLsmn2 1	DLsmn1 1	DLsmn0 0/1

(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	00000000 (设定波特率)								0	设定发送数据/接收数据寄存器						

SIOp

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

□: 在 CSI 主发送模式下固定设置,

■: 禁止设定 (通过硬件固定)

×: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

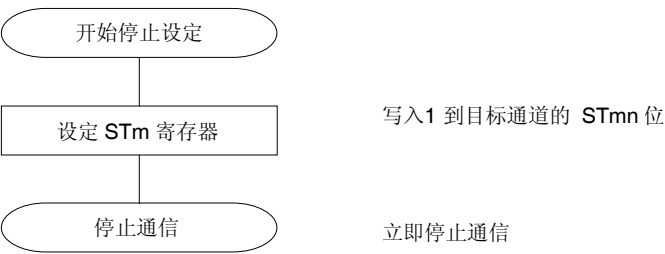
(2) 操作程序

图 13-59. 从发送/接收的初始化程序



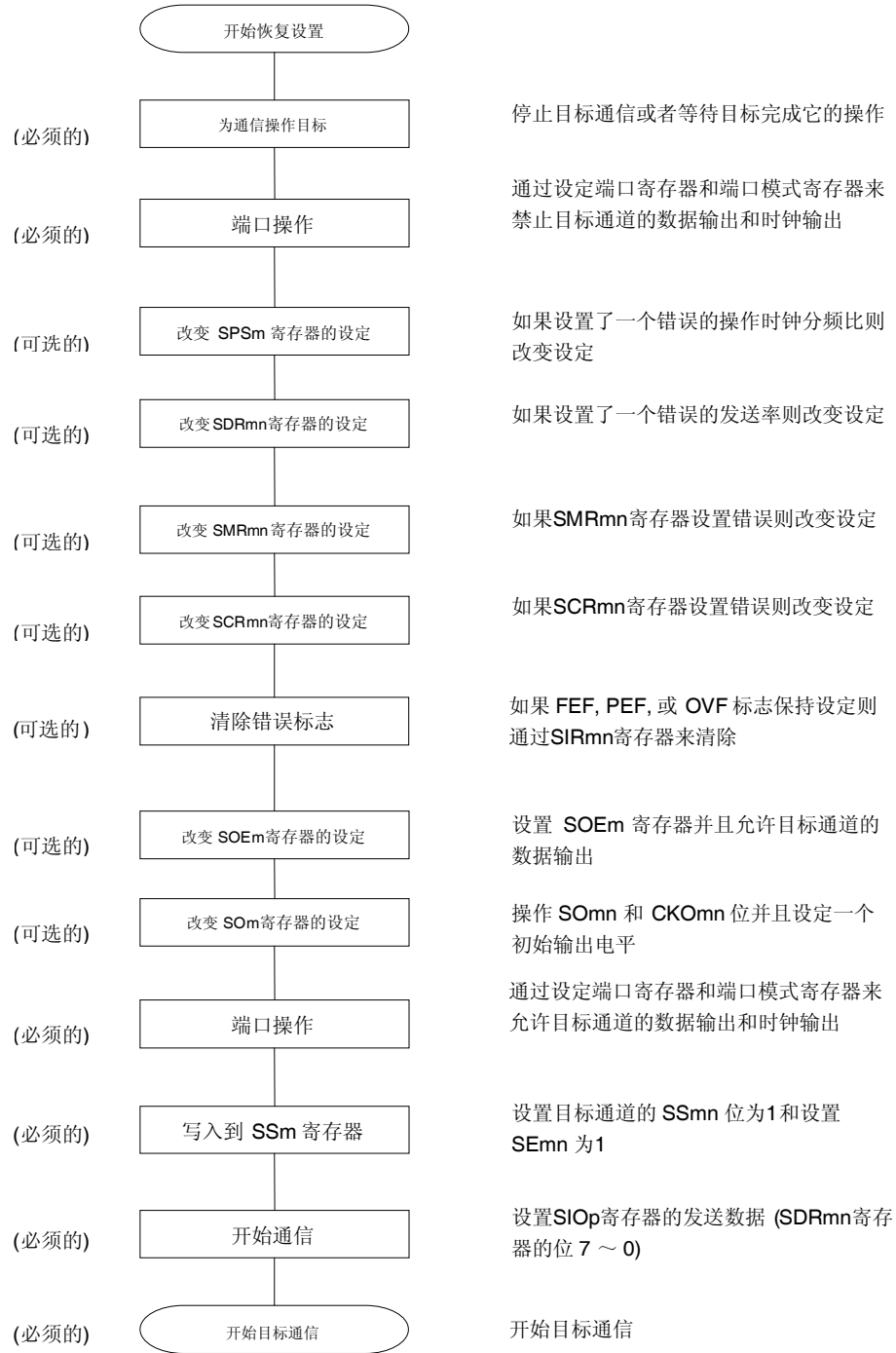
注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-60. 从发送/接收的停止程序



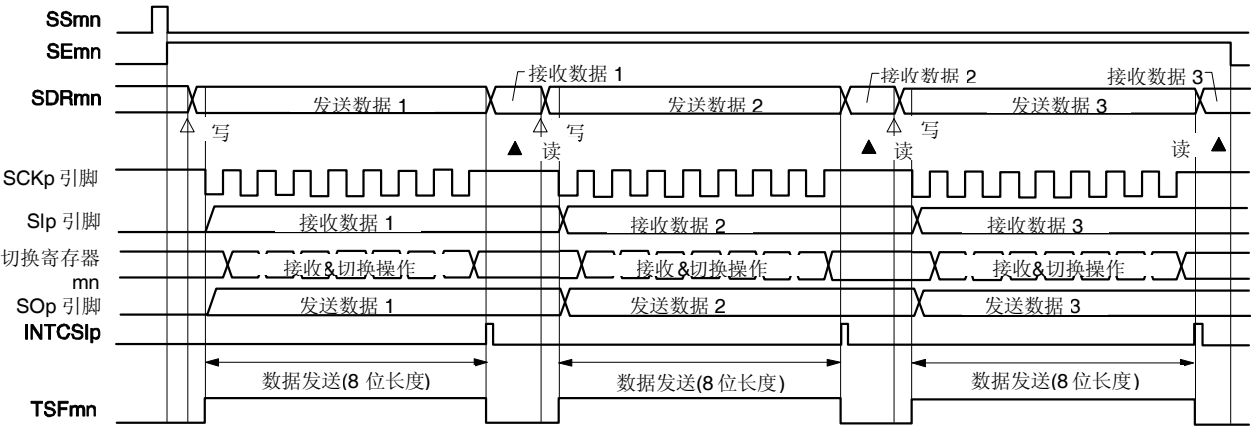
备注 即使通信停止后, 引脚电平依然保持。要重新开始操作, 重新设定 SOm 寄存器 (参见 图 13-61 重新从发送/接收的程序)。

图 13-61. 重新从发送/接收的程序



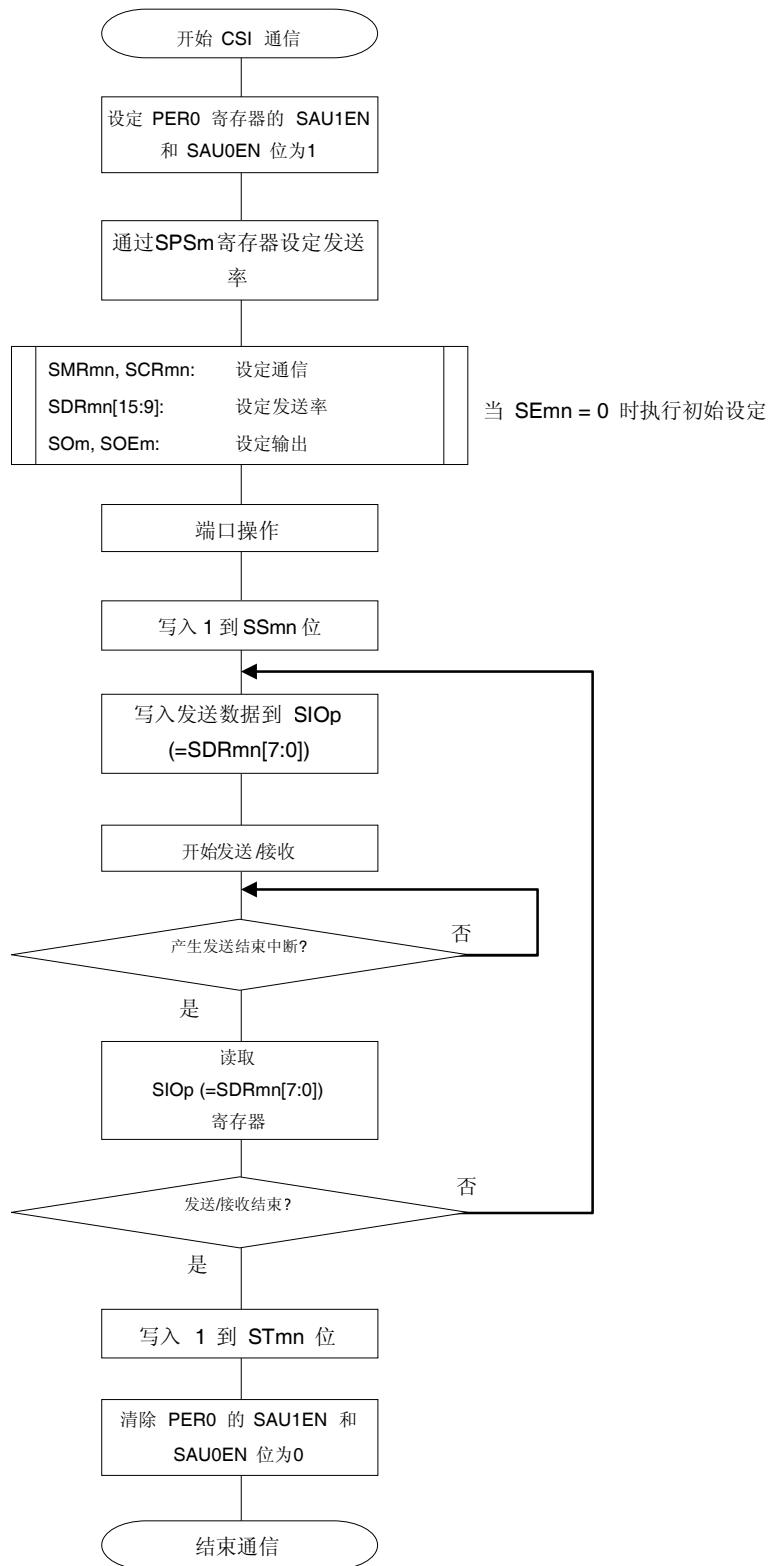
(3) 处理流程 (在单发送/接收模式下)

图 13-62. 从发送/接收的时序图 (在单发送/接收模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

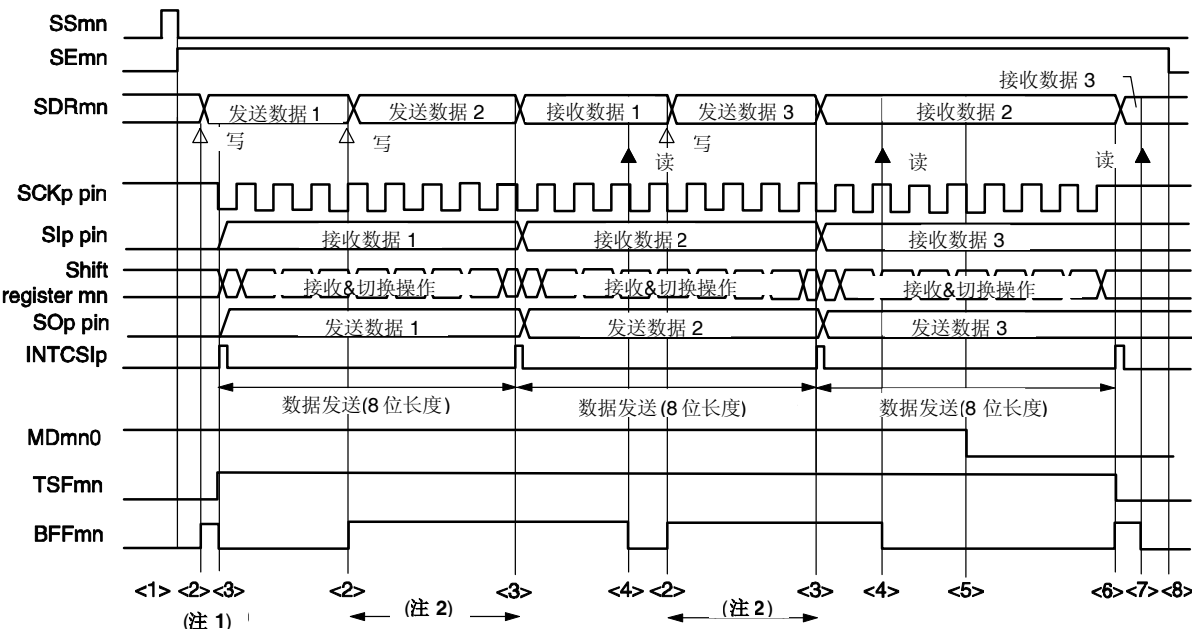
图 13-63. 从发送/接收的流程图 (在单发送/接收模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

(4) 处理流程(在连续发送/发送模式下)

图 13-64. 从发送/发送的时序图 (在连续发送/发送模式下)

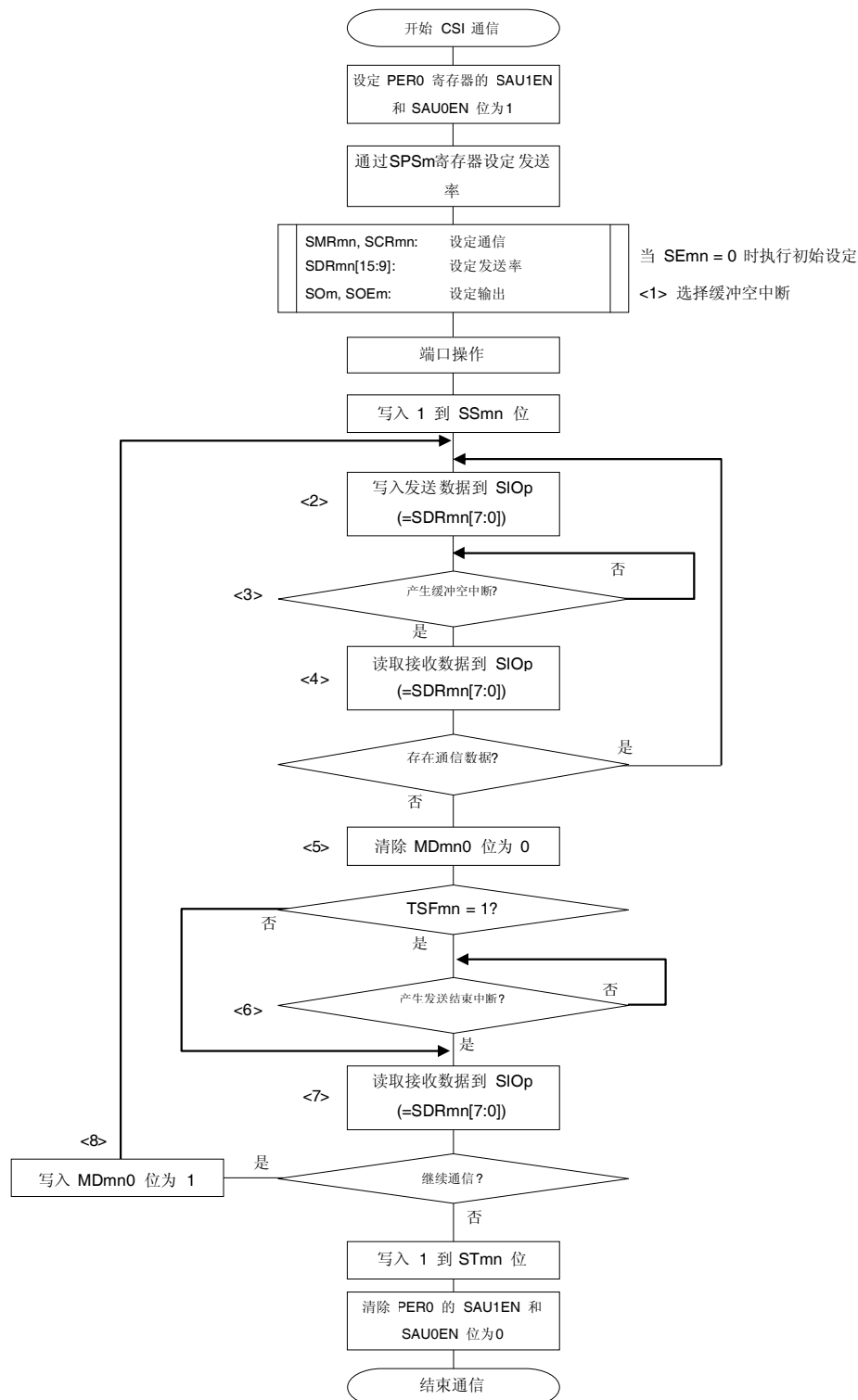


- 注 1. 当 BFFmn = 1 时发送数据写入到 SDRmn 寄存器, 发送数据被改写。
2. 发送数据可以在这段期间通过读取 SDRmn 寄存器来读取。此时发送操作不受影响。

注意事项 即使在操作期间 MDmn0 位也可以被重写。
然而在最后一位开始发送之前重写它, 因此它可以在最后一个发送数据的发送结束中断之前被重写。

- 备注 1. 图中的<1> ~ <8> 对应图 13-65 从发送/接收的流程图 (在连续发送/接收模式下)中的<1> ~ <8>。
2. m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2), p: CSI 数 (p = 00, 01, 10, 20)

图 13-65. 从发送/接收的流程图 (在连续发送/接收模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

备注 图中的<1> ~ <8> 对应图 13-64 从发送/接收的时序图 (在连续发送/接收模式下)中的<1> ~ <8>。

13.4.7 计算发送时钟频率

可以通过下面公式计算用于 3 线串行 I/O(CSI00, CSI01, CSI10, CSI20)通信的发送时钟频率。

(1) 主

(发送时钟频率) = {目标通道的操作时钟 (MCK) 频率} ÷ (SDRmn[15:9] + 1) ÷ 2 [Hz]

(2) 从

(发送时钟频率) = {从主提供的串行时钟 (SCK) 频率} [#] [Hz]

<R> 注 允许的最大频率是 f_{CLK}/6 [MHz] 和 f_{MCK}/2 [MHz] 中的低者。

- 备注
1. SDRmn[15:9]的值是 SDRm 寄存器的位 15 ~ 9 的值 (0000000B ~ 1111111B)并且是 0 ~ 127。

2. m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2)

操作时钟 (MCK)取决于串行时钟选择寄存器 m (SPSm)和串行模式寄存器 mn (SMRmn)的位 15 (CKSmn)。

表 13-2. 操作时钟的选择

SMRmn 寄存器	SPSm 寄存器								操作时钟(MCK) ^{※1}	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 20 MHz
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
										INTTM02 if m = 0, INTTM03 if m = 1 ^{※2}
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
										INTTM02 if m = 0, INTTM03 if m = 1 ^{※2}
其余设定									禁止设定	

- 注
1. 在停止(STm = 000FH)串行阵列单元(SAU)的操作之后改变用于 f_{CLK} 的时钟选择 (通过改变系统时钟控制寄存器 (CKC) 的值)。当选择 INTTM02 和 INTTM03 用于操作时钟, 同样停止定时器阵列单元 (TAU) (TT0 = 00FFH)。
 2. 可以在固定副系统时钟的分频率时操作 SAU, 无论 f_{CLK} 频率(主系统时钟, 副系统时钟), 通过设定 TAU 的 TIS0 寄存器的 TIS02 (如果 m = 0) 和 TIS03 (如果 m = 1) 位为 1, 选择 f_{SUB}/4 为输入时钟, 并且使用 SPSm 寄存器选择 INTTM02 和 INTTM03。当改变 f_{CLK}, SAU 和 TAU 必须按照上面注 1 的描述停止。

- 备注
1. X: 不用考虑
 2. m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 2)

13.5 UART(UART0, UART1, UART2, UART3) 通信操作

这是一个使用 2 线：串行数据发送(TxD)和串行数据接收(RxD)线的起始停止同步功能。它和通信部分(通过使用内部波特率)同步发送或者接收数据。全双工 UART 通信可以被看作是使用两个通道，一个专门发送(偶通道)，一个专门接收(奇通道)。

[数据发送/接收]

- 5, 7, 或者 8 位的数据长度
- 选择 MSB/LSB
- 发送/接收数据的电平设定和反向选择
- 附加校验位和校验检测功能
- 附加停止位

[中断功能]

- 发送结束中断/缓冲空中断
- 帧错误, 校验错误, 或者溢出错误时产生错误中断

[错误检测标志]

- 帧错误, 校验错误, 或者溢出错误

UART3 (单位 1 的通道 2, 3)中支持 LIN 总线

[LIN 总线功能]

- 唤醒信号检测
 - 同步中断域 (SBF)检测
 - 同步域测量, 波特率测量
- }
- 使用外部中断(INTP0)或者定时器阵列单元 (TAU)

UART0 使用 SAU0 的通道 0 和 1。

UART1 使用 SAU0 的通道 2 和 3。

UART2 使用 SAU1 的通道 0 和 1。

UART3 使用 SAU1 的通道 2 和 3。

单元	通道	用作CSI	用作UART	用作简易IIC
0	0	CSI00	UART0	—
	1	CSI01		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	—	UART3 (支持LIN总线)	—
	3	—		—

UART 执行下面 4 种通信操作。

- UART 发送 (参见 13.5.1.)
- UART 接收 (参见 13.5.2.)
- LIN 发送(仅 UART3) (参见 13.5.3.)
- LIN 接收(仅 UART3) (参见 13.5.4.)

13.5.1 UART 发送

UART 发送是 78K0R/KG3 从发送数据到另外一个设备的同步操作(同步起始停止)。
UART 使用的两个通道, 偶通道用于 UART 发送。

<R>

UART	UART0	UART1	UART2	UART3
目标通道	SAU0的通道0	SAU0的通道2	SAU1的通道0	SAU1的通道2
使用引脚	TxD0	TxD1	TxD2	TxD3
中断	INTST0	INTST1	INTST2	INTST3
	可以选择发送结束中断(在单发送模式下)或者缓冲空中断(在连续发送模式下)			
错误检测标志	无			
发送数据长度	5, 7, 或 8 位			
发送率	最大 $f_{MCK}/6$ [bps] (SDRmn [15:9] = 2 或者更多), 最小 $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] [#]			
数据相位	向前输出(缺省高电平) 反向输出(缺省低电平)			
校验位	下面可选 • 无校验位 • 附加0校验 • 附加偶校验 • 附加奇校验			
停止位	下面可算 • 附加1位 • 附加2位			
数据方式	MSB 或者 LSB			

<R>

注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注 f_{MCK} : 目标通道的操作时钟(MCK)频率
 f_{CLK} : 系统时钟频率

(1) 寄存器设定

图 13-66. 用于 UART 发送的寄存器内容的例子
(UART0, UART1, UART2, UART3) (1/2)

(a) 串行输出寄存器 m (SOM) ...仅设定目标通道的位。

<R>

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOM2 0/1 ^注	SOM1 ×	SOM0 0/1 ^注

(b) 串行输出允许寄存器 m (SOEm) ...仅清除目标通道的位为 0, 1。

<R>

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

(c) 串行通道开始寄存器 m (SSm) ...仅设定目标通道的位为 1。

SSm

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

(d) 串行输出电平寄存器 m (SOLm) ... 仅设定目标通道的位。

SOLm

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLm2 0/1	0	SOLm0 0/1

0: 向前 (正常) 发送
1: 反向发送

(e) 串行模式寄存器 mn (SMRmn)

SMRmn

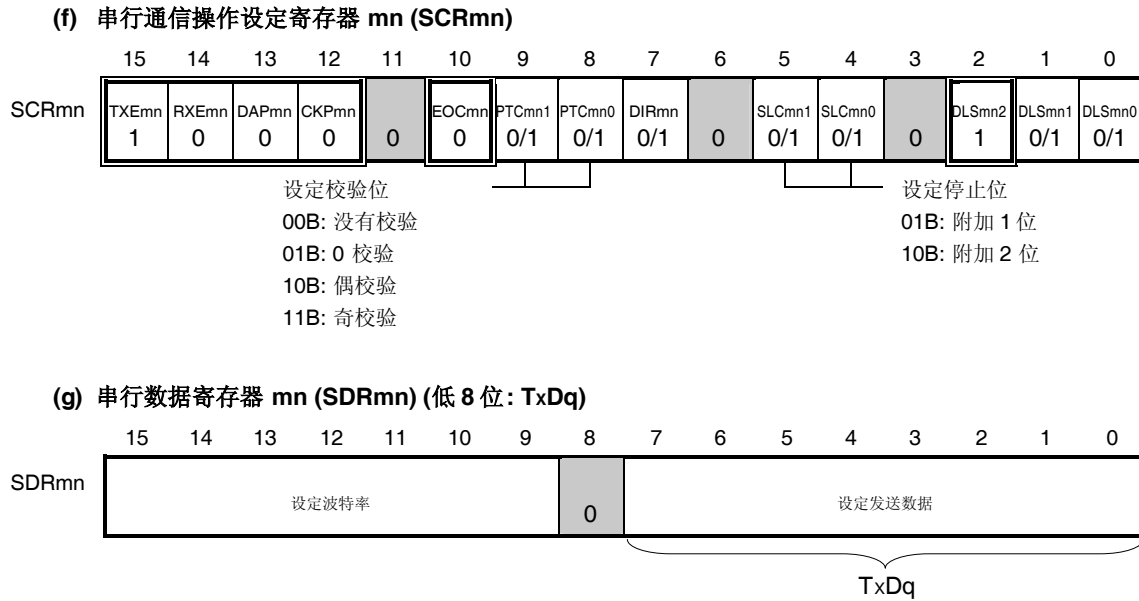
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SlSmn0 0	1	0	0	MDmn2 0	MDmn1 1	MDmn0 0/1

通道 n 的工作模式
0: 发送结束中断
1: 缓冲空中断

注 发送开始前, 确保当目标通道的 SOLmn 位设为 0 时设定为 1, 并且当目标通道的 SOLmn 位设为 1 时设定为 0。这个值根据在通信操作期间的通信数据来变化。

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), q: UART 数 (q = 0 ~ 3)
□: 在 UART 发送模式下固定设置, ■: 禁止设定 (通过硬件固定)
×: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)
0/1: 根据用户使用设定为 0 或 1

图 13-66. 用于 UART 发送的寄存器内容的例子
(UART0, UART1, UART2, UART3) (2/2)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), q: UART 数 (q = 0 ~ 3)

□: 在 UART 发送模式下固定设置, ■: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

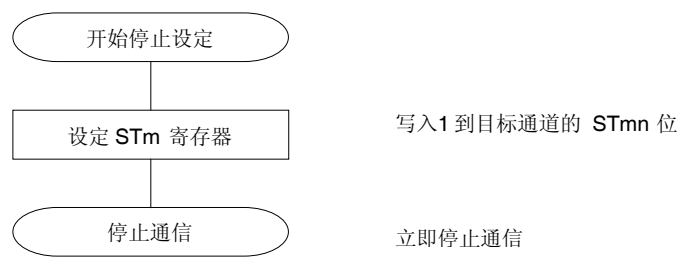
(2) 操作程序

图 13-67. UART 发送的初始化程序



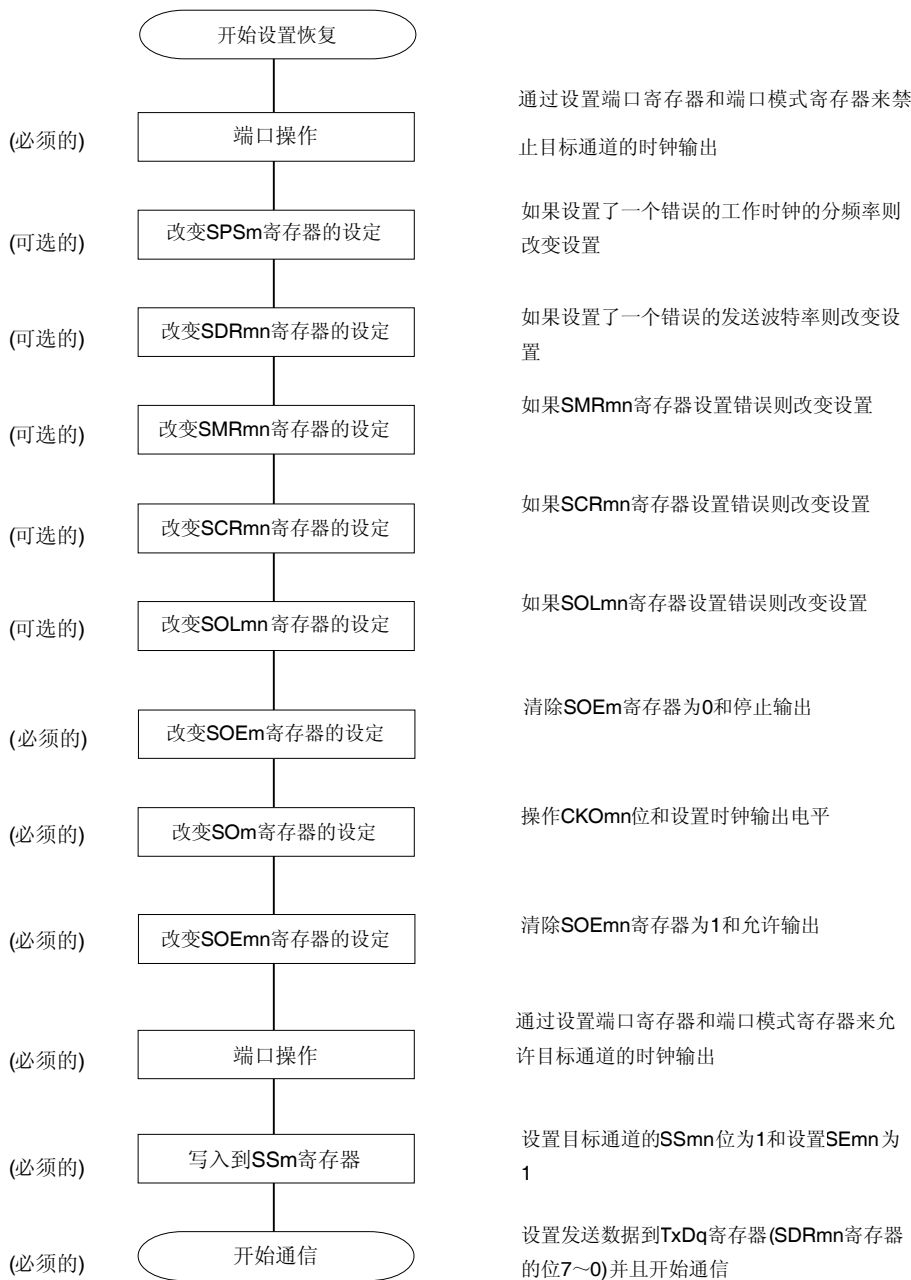
注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-68. UART 发送的停止程序



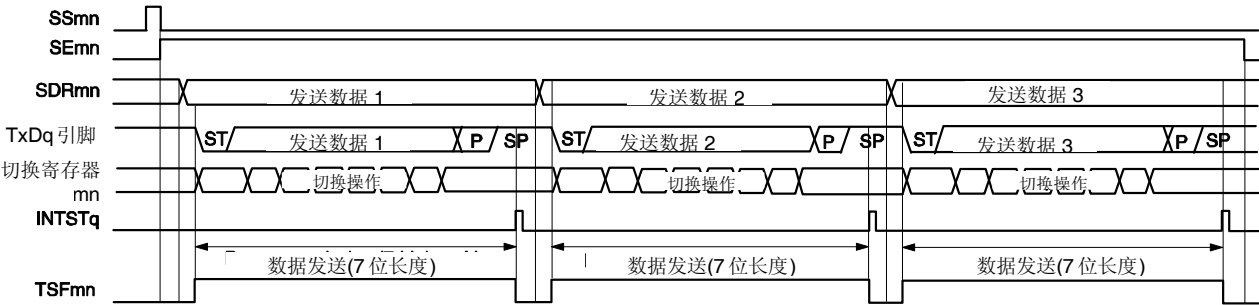
备注 即使通信停止后, 引脚电平依然保持。要重新开始操作, 重新设定 SOm 寄存器 (参见 图 13-69 重新 UART 发送的程序)。

图 13-69. 重新 UART 发送的程序



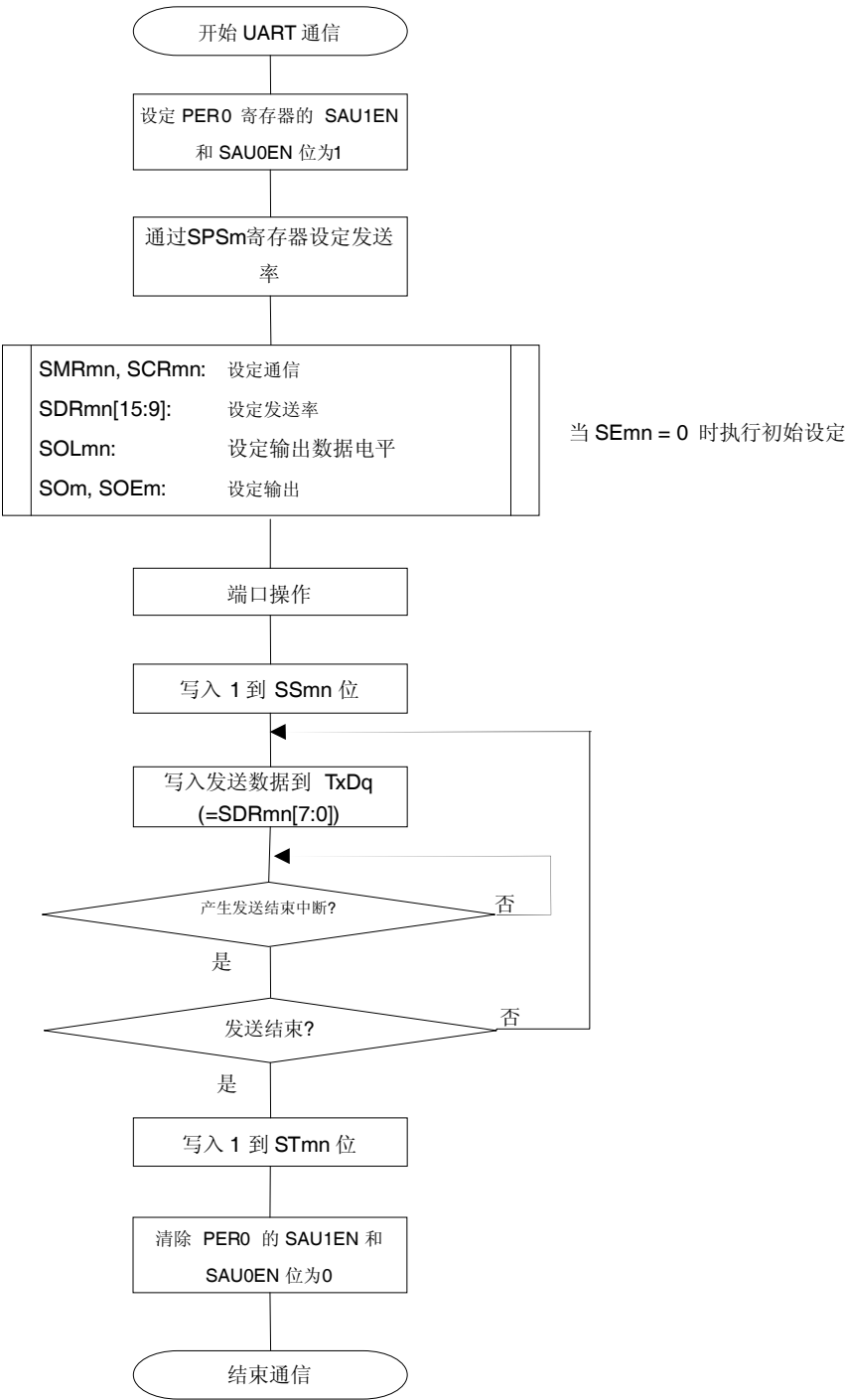
(3) 处理流程 (在单发送模式下)

图 13-70. UART 发送的时序图 (在单发送模式下)



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), q: UART 数 (q = 0 ~ 3)

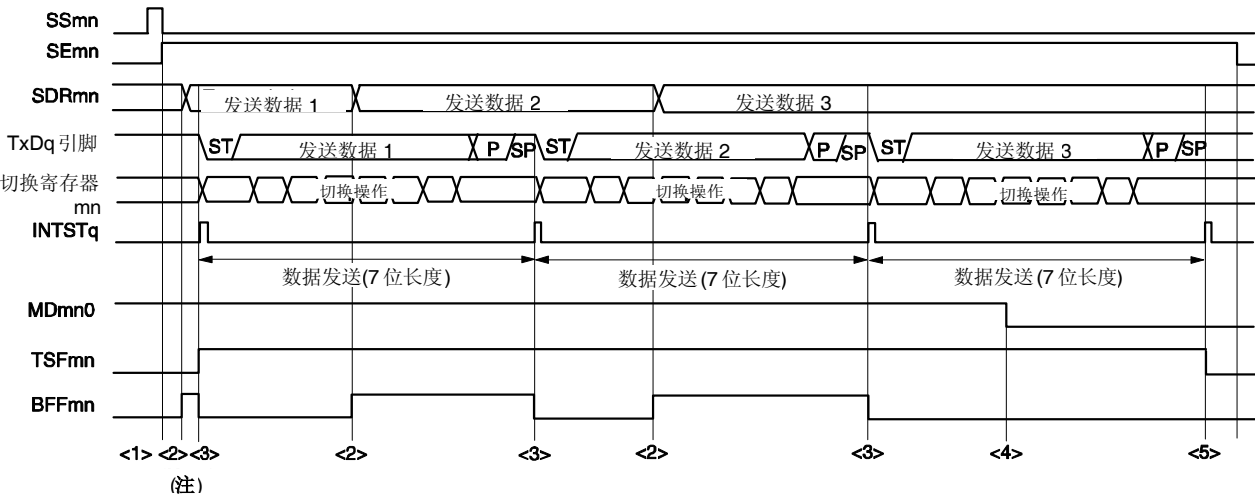
图 13-71. UART 发送的流程图 (在单发送模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

(4) 处理流程(在连续发送模式下)

图 13-72. UART 发送的时序图 (在连续发送模式下)

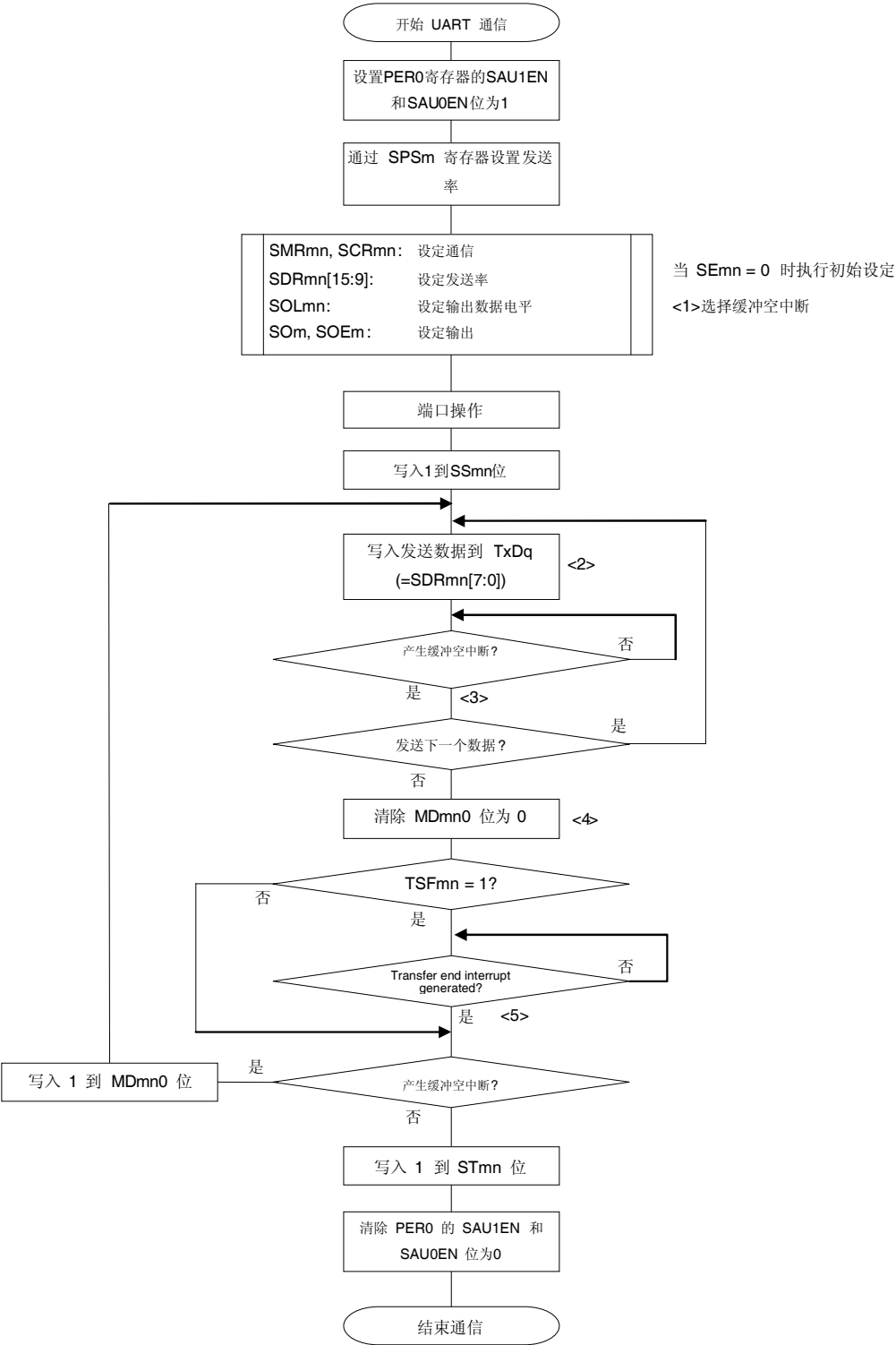


注 当 BFFmn = 1 时发送数据写入到 SDRmn 寄存器, 发送数据被改写。

注意事项 即使在操作期间 MDmn0 位也可以被重写。
然而在最后一位开始发送之前重写它, 因此它可以在最后一个发送数据的发送结束中断之前被重写。

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), q: UART 数 (q = 0 ~ 3)

图 13-73. UART 发送的流程图 (在连续发送模式下)



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

备注 图中的<1> ~ <5> 对应图 13-72 UART 发送的时序图 (在连续发送模式下)中的<1> ~ <5>。

13.5.2 UART 接收

UART 接收是 78K0R/KG3 从另外一个设备同步接收数据的一个操作(同步起始停止)。
对于 UART 接收, 使用用于 UART 两个通道中的奇通道。

UART	UART0	UART1	UART2	UART3
目标通道	SAU0的通道1	SAU0的通道3	SAU1的通道1	SAU1的通道3
使用引脚	RxD0	RxD1	RxD2	RxD3
中断	INTSR0	INTSR1	INTSR2	INTSR3
	仅发送结束中断(禁止设定缓冲空中断)			
错误中断	INTSRE0	INTSRE1	INTSRE2	INTSRE3
错误检测标志	- 帧错误检测标志(FEFmn) - 校验错误检测标志(PEFmn) - 溢出错误检测标志(OVFmn)			
发送数据长度	7 或 8 位			
发送率	最大 $f_{MCK}/6$ [bps] (SDRmn [15:9] = 2 或者更多), 最小 $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] [※]			
数据相位	向前输出(缺省高电平) 反向输出(缺省低电平)			
校验位	下面可选 - 无校验位 - 附加0校验 - 附加偶校验 - 附加奇校验			
停止位	附加 1 位			
数据方式	MSB 或者 LSB			

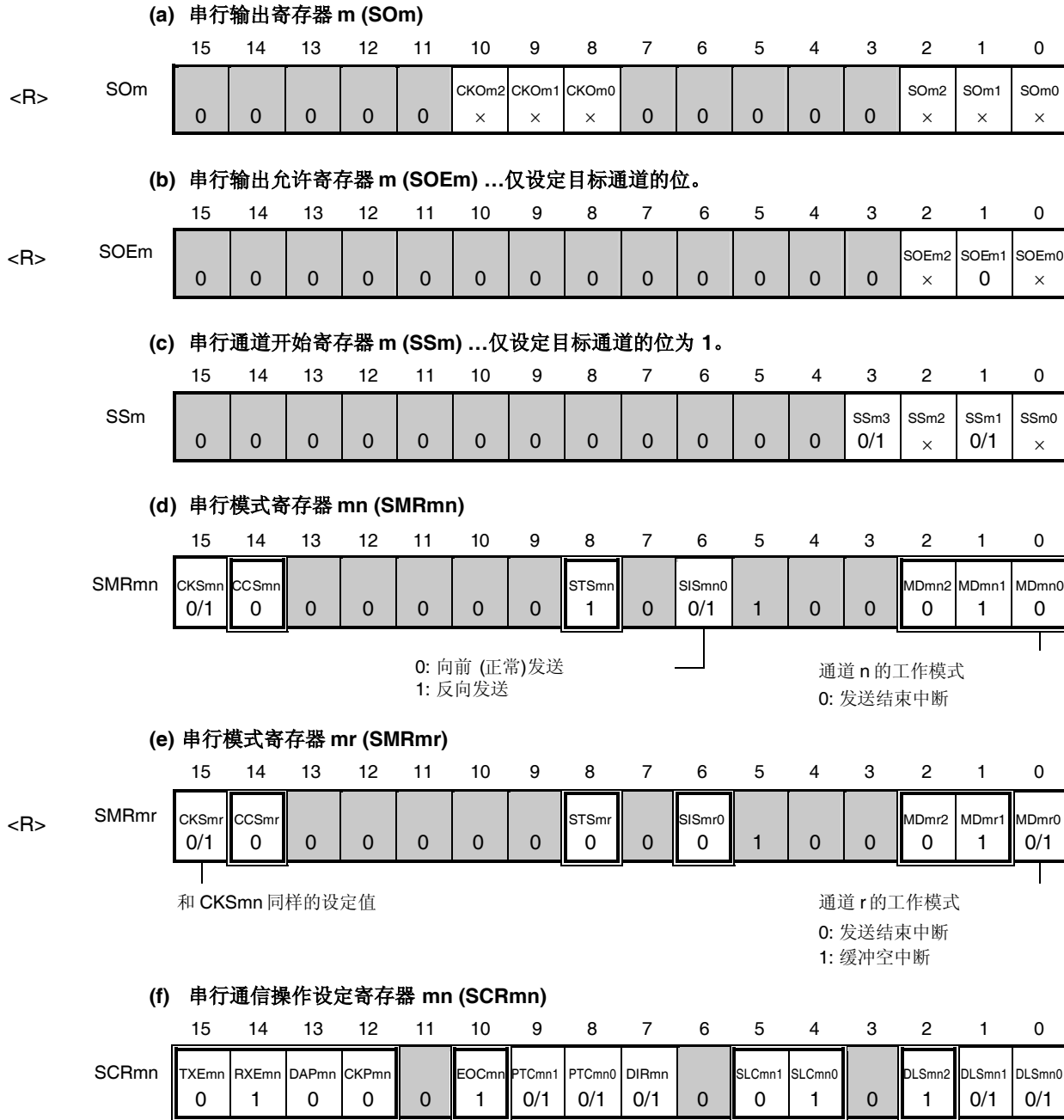
<R>

<R>

注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注 f_{MCK} : 目标通道的操作时钟(MCK)频率
 f_{CLK} : 系统时钟频率

(1) 寄存器设定

图 13-74 用于 UART 接收的寄存器内容的例子
(UART0, UART1, UART2, UART3) (1/2)

注意事项 对于 UART 接收, 确保设定和通道 n 的 SMRmn 相应的通道 r 的 SMRmr。

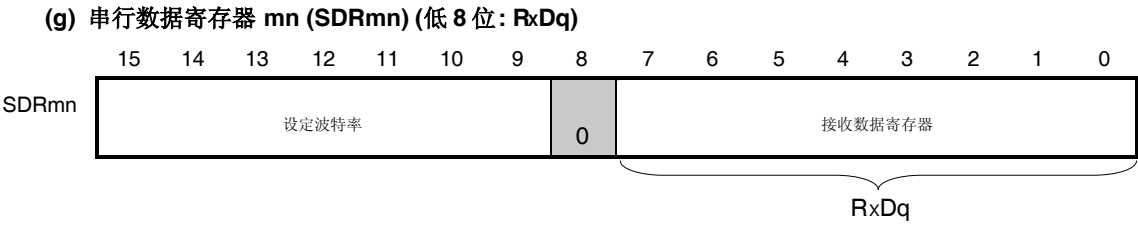
备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), q: UART 数 (q = 0 ~ 3)

□: 在 UART 发送模式下固定设置, ■: 禁止设定 (通过硬件固定)

×: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

图 13-74 用于 UART 接收的寄存器内容的例子
(UART0, UART1, UART2, UART3) (2/2)



注意事项 对于 UART 接收, 确保设定和通道 n 的 SMRmn 相应的通道 r 的 SMRmr。

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), q: UART 数 (q = 0 ~ 3)

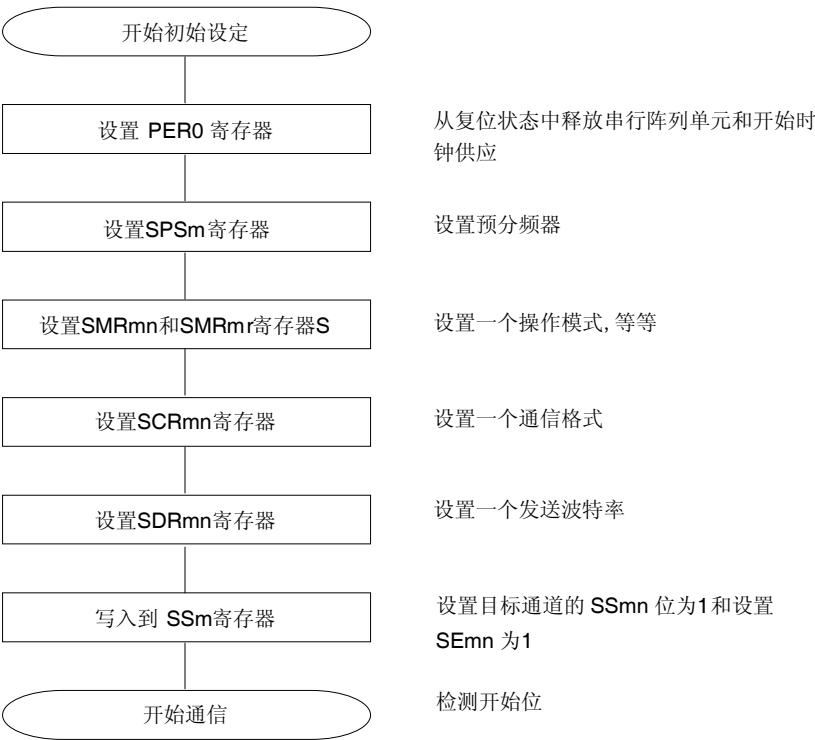
☐: 在 UART 发送模式下固定设置, ☐: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

(2) 操作程序

图 13-75. UART 接收的初始化程序



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

图 13-76. UART 接收的停止程序

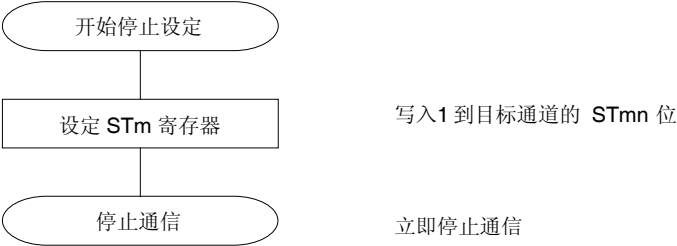
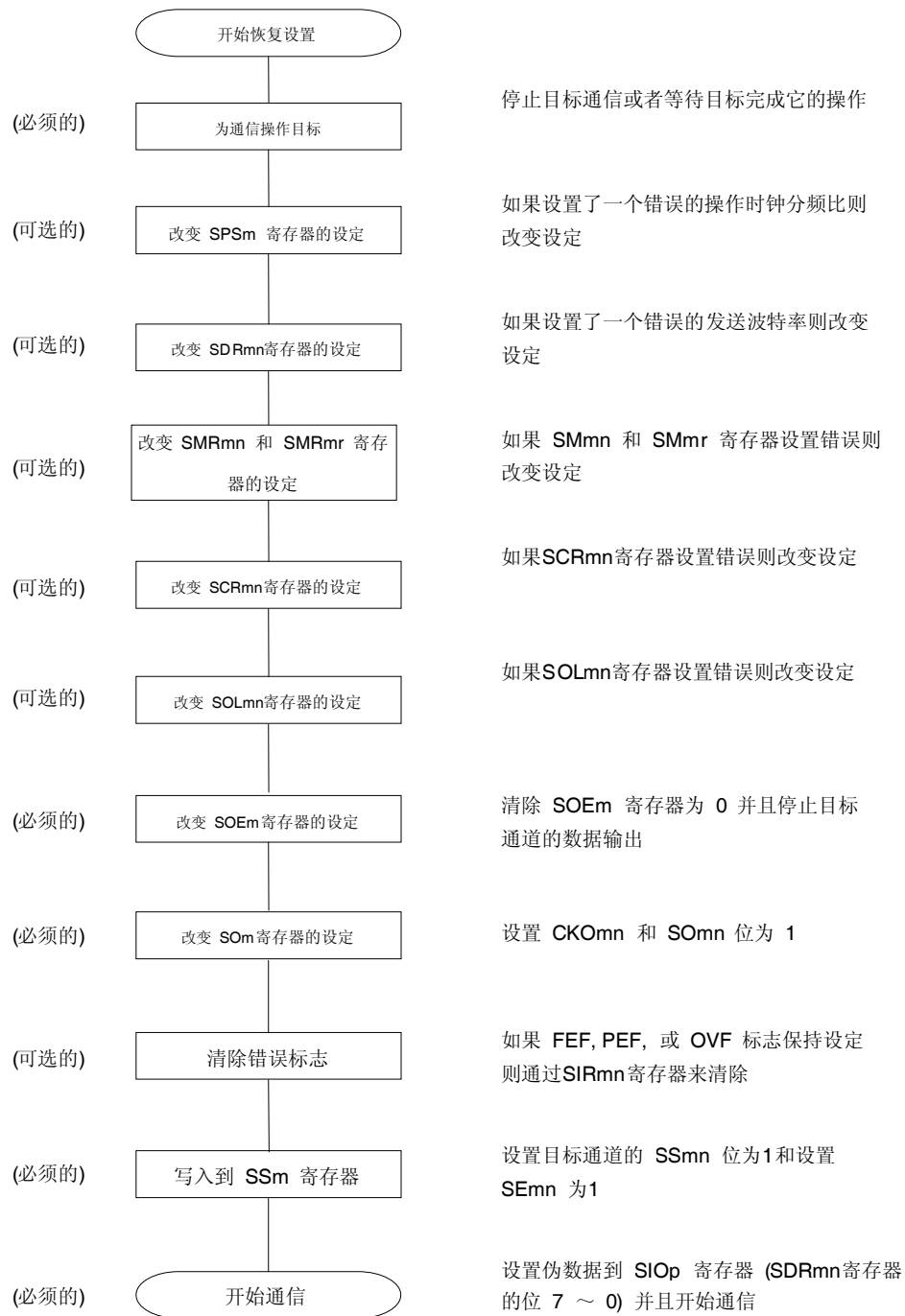
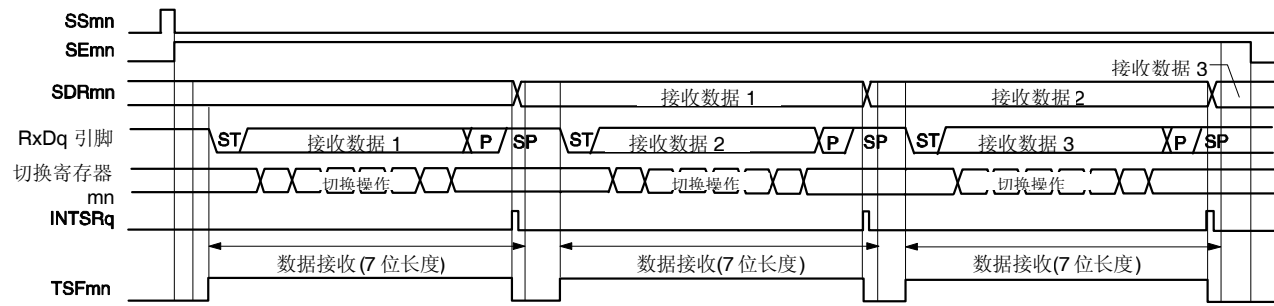


图 13-77. 重新 UART 接收的程序



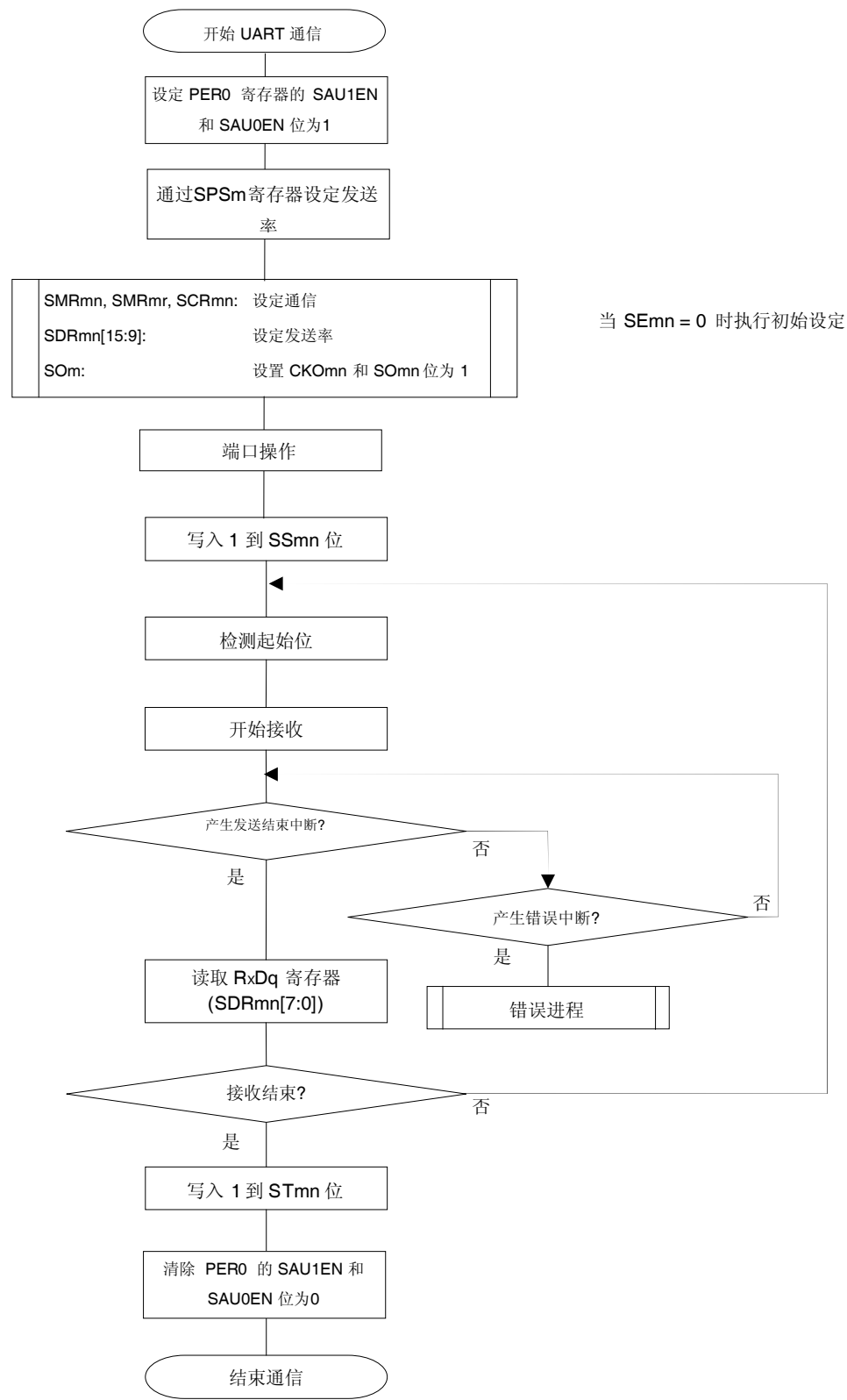
(3) 处理流程

图 13-78. UART 接收的时序图



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 1, 3), q: UART 数 (q = 0 ~ 3)

图 13-79. UART 接收的流程图



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

13.5.3 LIN 发送

关于 UART 发送, UART3 支持 LIN 通信。
关于 LIN 发送, 使用单元 1(SAU1)的通道 2。

<R>

UART	UART0	UART1	UART2	UART3
支持LIN的通信	不支持	不支持	不支持	支持
目标通道	—	—	—	SAU 1的通道2
使用引脚	—	—	—	TxD3
中断	—	—	—	INTST3
	可以选择发送结束中断(在单发送模式下)或者缓冲空中断(在连续发送模式下)			
错误检测标志	无			
发送数据长度	7 或 8 位			
发送率	最大 f _{MCK} /6 [bps] (SDRmn [15:9] = 2 或者更多), 最小 f _{CLK} /(2 × 2 ¹¹ × 128) [bps] [※]			
数据相位	向前输出(缺省高电平) 反向输出(缺省低电平)			
校验位	下面可选 • 无校验位 • 附加0校验 • 附加偶校验 • 附加奇校验			
停止位	下面可算 • 附加1位 • 附加2位			
数据方式	MSB 或者LSB			

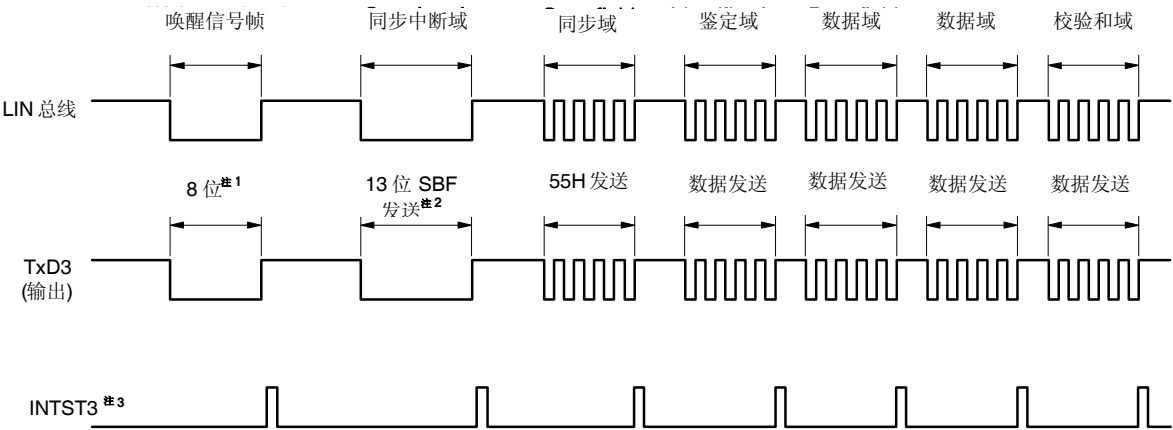
<R> 注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注 f_{MCK}: 目标通道的操作时钟(MCK)频率
f_{CLK}: 系统时钟频率

LIN 代表本地互连网络并且是一个计划用于降低汽车网络费用的低速((1 ~ 20 kbps))串行通信协议。
LIN 的通信是单主通信, 可以连接 15 个从设备到一个主设备。
这些从设备用于控制通过 LIN 连接到主设备的切换器, 制动器, 和传感器。
通常, 主设备连接到例如 CAN(控制区域网络)的一个网络。
LIN 总线是一个单线总线, 它的网络节点通过收发器连接到 ISO9141。
通过 LIN 协议, 主设备通过波特率信息发送一个帧。从设备从主设备接收这个帧纠正这个波特率误差。如果从设备的这个波特率误差在±15%, 可以确定这个通信。

图 13-80 描述了一个发送 LIN 的操作。

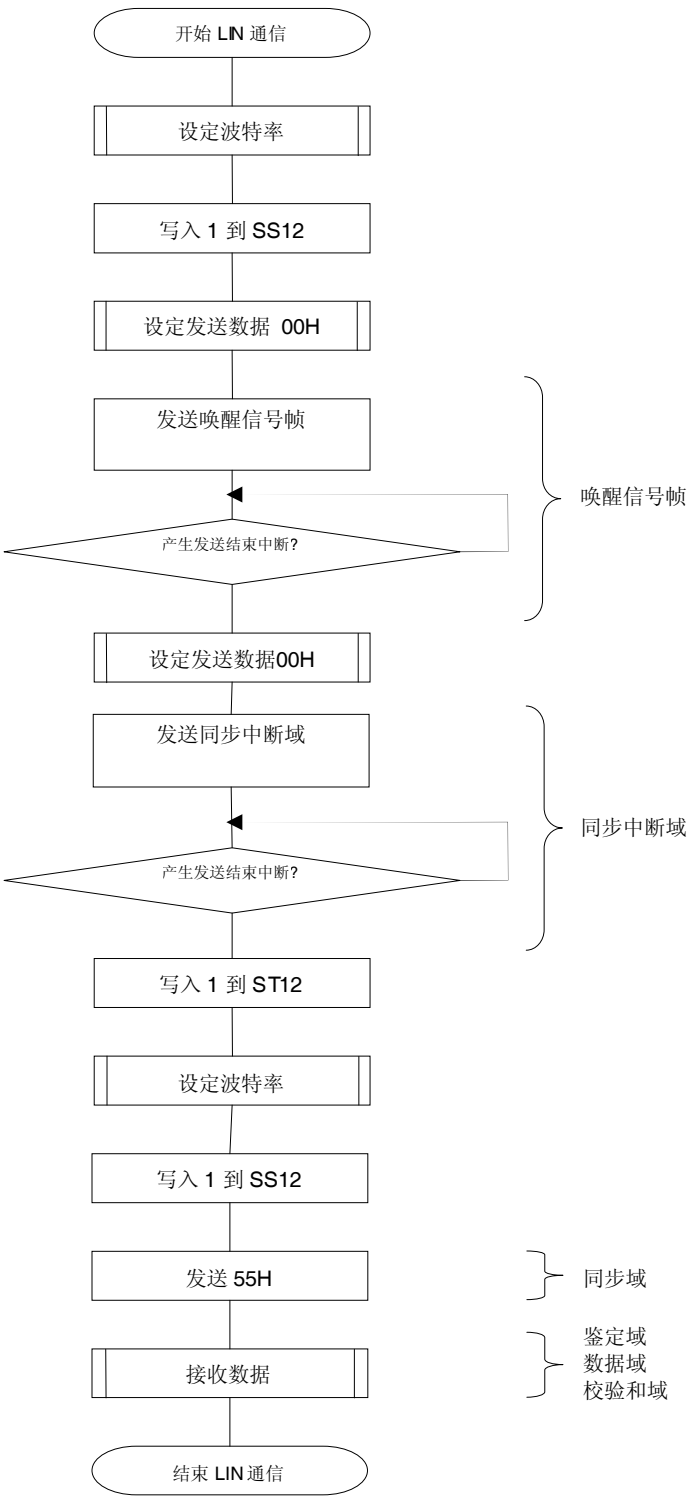
图 13-80. LIN 的操作的发送



- 注
1. 设定波特率满足唤醒信号的标准并且发送数据 00H。
 2. 同步中断域定义为长度为 13 位并且输出一个低电平。从主发送的波特率为 N[bps], 因此, 同步中断域的波特率计算如下。
$$(\text{同步中断域的波特率}) = 8/13 \times N$$
通过在这个波特率下发送数据 00H, 产生一个同步中断域
 3. INTST3 发送完成后的是一个输出。当执行 SBF 发送时同样也输出。

备注 通过软件控制域的间隔。

图 13-81. LIN 发送的流程图



13.5.4 LIN 接收

关于 UART 接收, UART3 支持 LIN 通信。
关于 LIN 接收, 使用单元 1(SAU1)的通道 3。

<R>

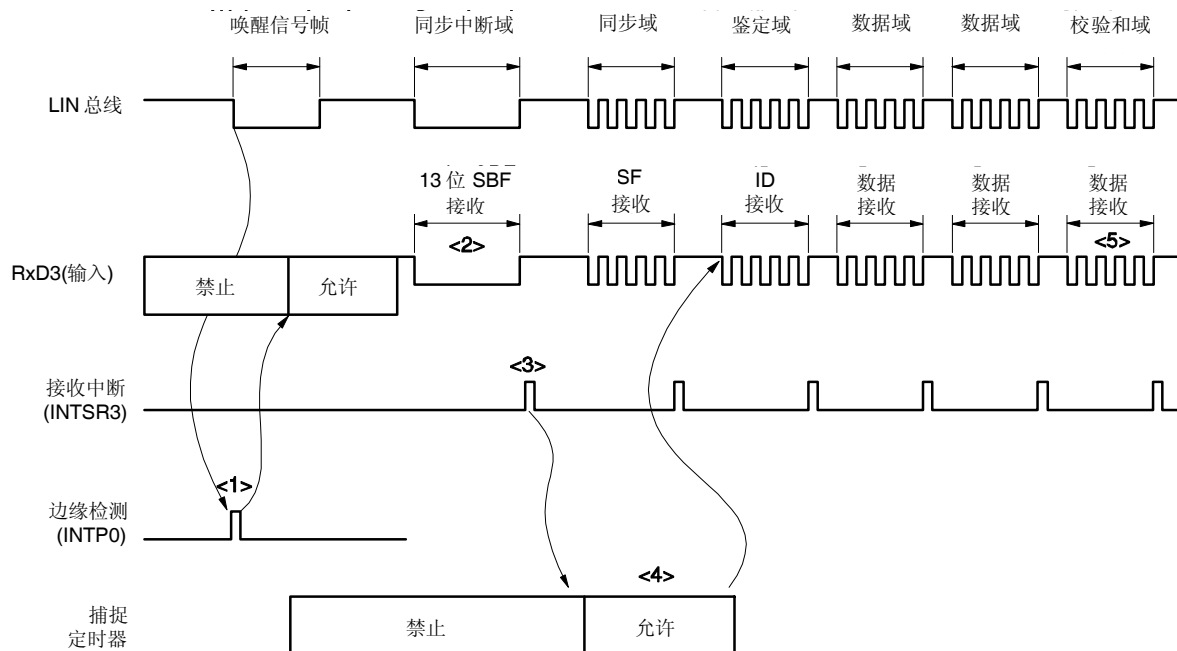
UART	UART0	UART1	UART2	UART3
支持LIN的通信	不支持	不支持	不支持	支持
目标通道	—	—	—	SAU1 的通道3
使用引脚	—	—	—	RxD3
中断	—	—	—	INTSR3
	仅发送结束中断(禁止设定缓冲空中断)			
错误中断	—	—	—	INTSRE3
错误检测标志	- 帧错误检测标志 (FEFmn) - 校验错误检测标志 (PEFmn) - 溢出错误检测标志 (OVFmn)			
发送数据长度	7 或 8 位			
发送率	最大 $f_{MCK}/6$ [bps] (SDRmn [15:9] = 2 或者更多), 最小 $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] [※]			
数据相位	向前输出(缺省高电平) 反向输出(缺省低电平)			
校验位	下面可选 - 无校验位 - 附加0校验 - 附加偶校验 - 附加奇校验			
停止位	下面可算 - 附加1位 - 附加2位			
数据方式	MSB 或者LSB			

<R> 注 在满足上面条件的范围内和电气特性(参见 第二十九章 电气特性(目标))中的 AC 特性中使用这个操作。

备注 f_{MCK} : 目标通道的操作时钟(MCK)频率
 f_{CLK} : 系统时钟频率

图 13-82 描述了 LIN 的接收操作。

图 13-82. LIN 的接收操作



这是下面信号处理。

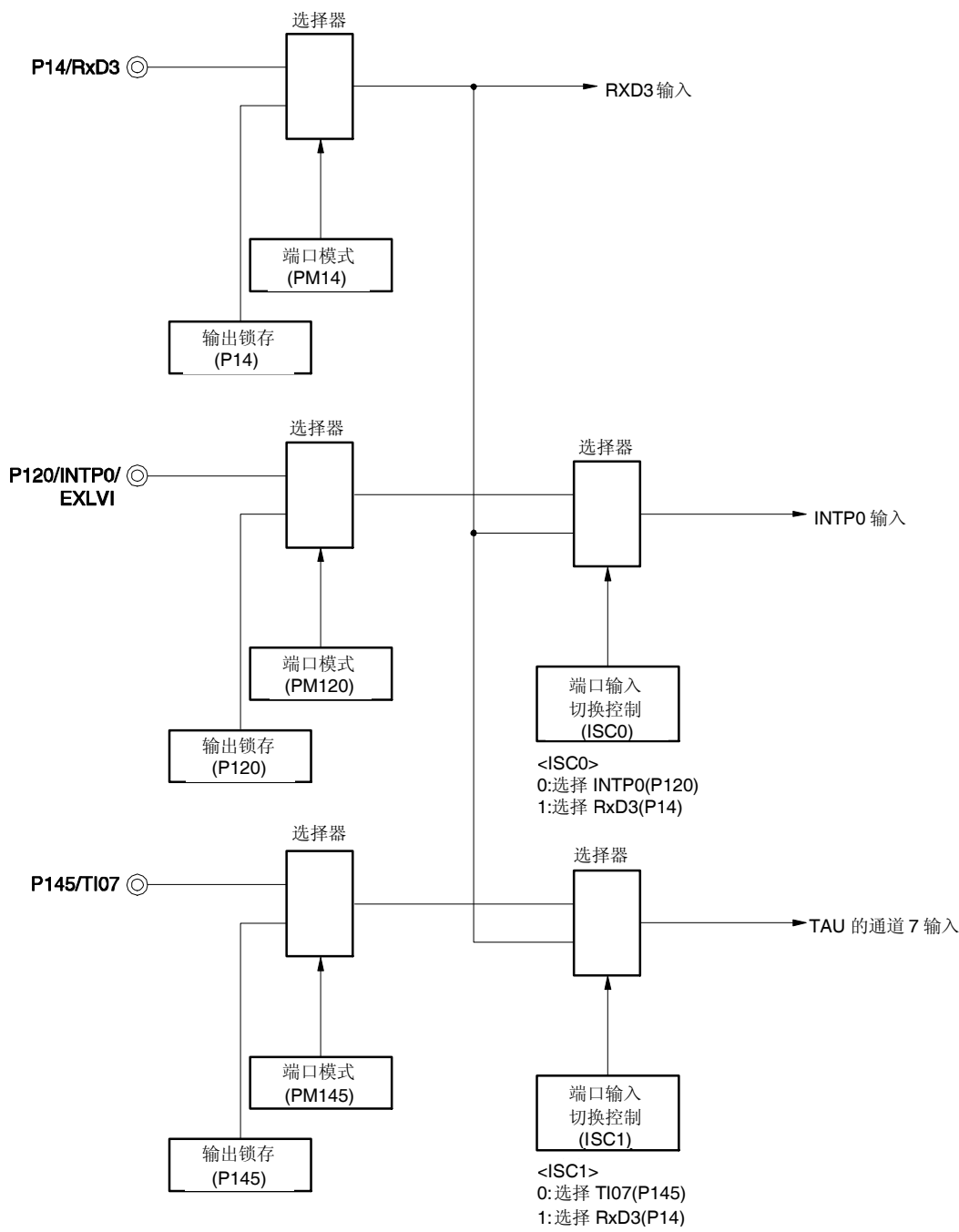
- <1> 通过检测一个引脚的中断沿(INTP0)来检测唤醒信号。当检测到唤醒信号，允许 UART3 的接收(RXE13 = 1)和等待 SBF 接收。
- <2> 当检测到 SBF 的起始位，在设置波特率时开始接收并且串行数据从而保存在 RxD3 寄存器中(= 串行数据寄存器 13 (SDR13)的位 7 ~ 0)。当检测到停止位，产生接收结束中断请求 (INTSR3)。当 11 位或者更多的低电平的数据被检测为 SBF，则判断 SBF 接收正确结束。如果少于 11 位的低电平的数据被检测为 SBF，则产生接收错误，并且系统返回到 SBF 接收等待状态。
- <3> 当 SBF 接收正确技术，开始定时器阵列单元的通道 7 和测量同步域(参见 7.7.5 输入信号高/低电平宽度测量作为操作)的位间隔(脉冲宽度)。
- <4> 从同步域(SF)的位间隔计算波特率误差。停止 UART3 一次并且调节(重新设定)波特率。
- <5> 校验和区域可以通过软件来辨别。另外在接收到校验和区域之后执行初始化 UART3 并且可以通过软来执行等待 SBF 接收。

图 13-83 展示了一个执行 LIN 接收的端口的配置。

从 LIN 的主设备发送的唤醒信号通过检测外部中断(INTP0)的有效沿来接收。从主设备发送的同步域可以通过使用外部时间捕捉操作来测量定时器阵列单元(TAU)操作的波特率误差。

通过控制端口输入(ISC0/ISC1)的切换,用于接收的端口输入(RxD3)的输入源可以输入到外部中断引脚(INTP0)和定时器阵列单元(TAU)。

图 13-83. LIN 操作接收的端口配置



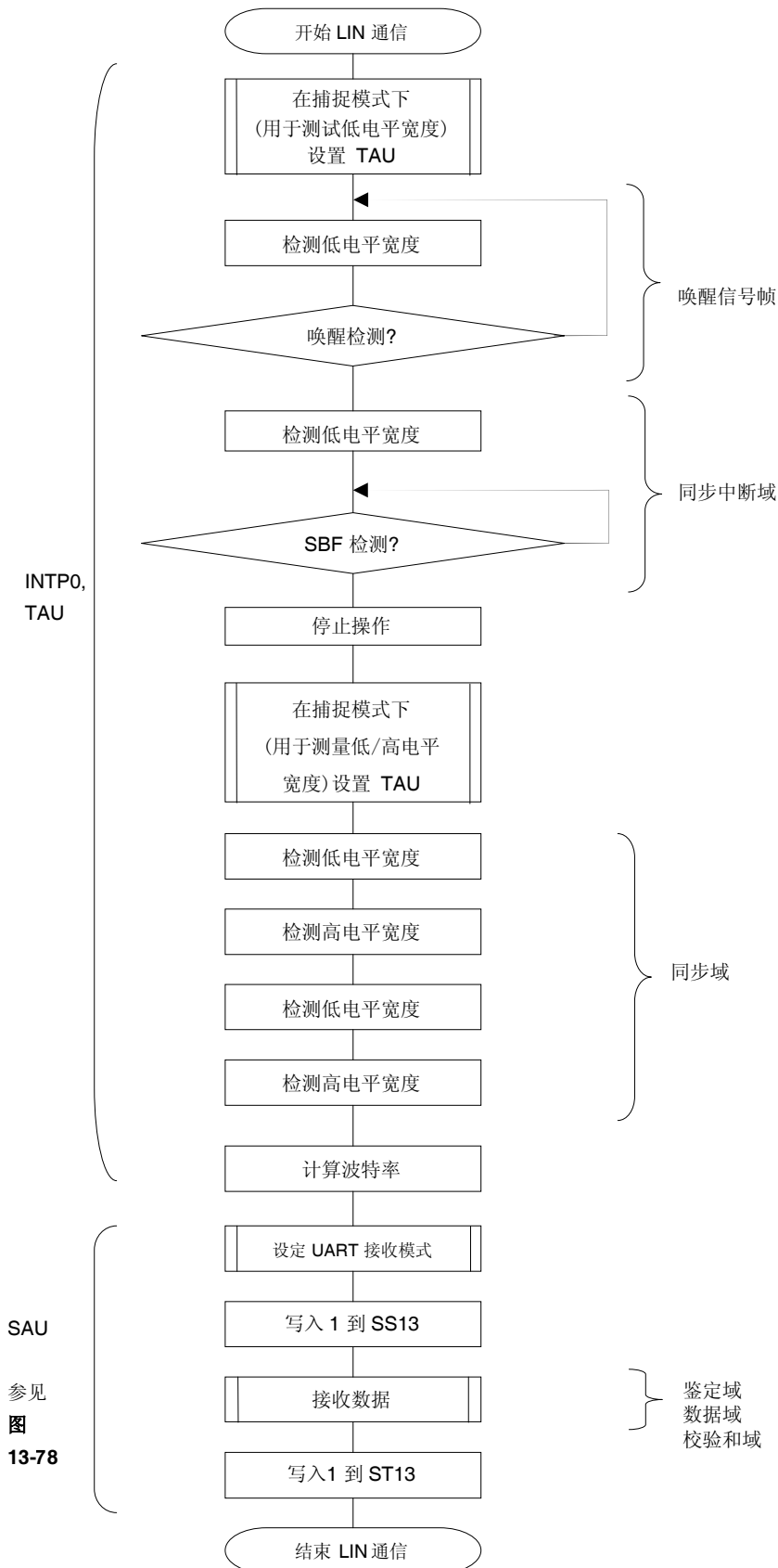
备注 ISC0, ISC1: 输入切换控制寄存器(ISC)的位 0 和 1 (参见 图 13-16.)。

用于 LIN 通信的外围功能如下。

<使用的外围功能>

- 外部中断 (INTP0); 唤醒信号检测
用途: 检测唤醒信号的有效沿并且开始通信。
- 定时器阵列单元(TAU)的通道 7; 波特率错误检测。
用途: 检测同步域(SF)的长度并且通过为了检测错误位的数来分割 (RxD3 的输入有效沿的间隔可以在捕捉模式下测量)。
- 串行阵列单位 1(SAU1)的通道 2 和 3(UART3)。

图 13-84. LIN 接收的流程图



13.5.5 计算波特率

(1) 波特率计算公式

用于 UART (UART0, UART1, UART2, UART3)通信的波特率可以通过下面公式计算。

$$(\text{波特率}) = \{\text{目标通道的操作时钟 (MCK)频率}\} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意事项 禁止设定 $\text{SDRmn}[15:9] = 0$ 或 1

- 备注**
- 1. 当使用 UART, $\text{SDRmn}[15:9]$ 的值是 SDRmm 寄存器的位 15 ~ 9 的值 (0000010B ~ 1111111B)因此是 2 ~ 127。
 - 2. m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 3)

操作时钟(MCK)取决于串行时钟选择寄存器 m(SPSm)和串行模式寄存器 mn(SMRmn)的位 15(CKSmn)。

表 13-3. 操作时钟的选择

SMRmn 寄存器	SPS _m 寄存器								操作时钟(MCK) ^{※1}	
CKS _m n	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 20 MHz
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	INTTM02 if m = 0, INTTM03 if m = 1 ^{※2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	INTTM02 if m = 0, INTTM03 if m = 1 ^{※2}	
其余设定									禁止设定	

- 注 1. 在停止(STm = 000FH)串行阵列单元(SAU)的操作之后, 改变 f_{CLK} 的时钟选择(通过改变系统时钟控制寄存器(CKC)的值)。当为操作时钟选择 INTTM02 和 INTTM03, 同样停止定时器阵列单元 (TAU) (TT0 = 00FFH)。
2. 可以在固定副系统时钟的分频率时操作 SAU, 无论 f_{CLK} 频率(主系统时钟, 副系统时钟), 通过设定 TIS0 寄存器的 TIS02(如果 m = 0)和 TIS03(如果 m = 0)为 1, 为输入时钟选择 f_{SUB}/4, 并且选择 INTTM02 和 INTTM03 使用 SPSm 寄存器。当改变 f_{CLK}, SAU 和 TAU 必须按照上面注 1 描述停止。

- 备注 1. X: 不必考虑
2. m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 3)

(2) 发送期间的波特率误差

在发送期间 UART (UART0, UART1, UART2, UART3)通信的波特率误差可以通过下面公式计算。确保在发送方的波特率是在允许的接收方波特率范围内。

$$(\text{波特率误差}) = (\text{计算波特率的值}) \div (\text{目标波特率}) \times 100 - 100 [\%]$$

这在 $f_{\text{CLK}} = 20 \text{ MHz}$ 下设定 UART 波特率的例子。

UART 波特率 (目标波特率)	$f_{\text{CLK}} = 20 \text{ MHz}$			
	操作时钟 (MCK)	SDRmn[15:9]	计算的波特率	目标波特率的误差
300 bps	$f_{\text{CLK}}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	39	31250.0 bps	$\pm 0.0 \%$
38400 bps	$f_{\text{CLK}}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	312500 bps	$\pm 0.0 \%$

(3) 接收允许的波特率范围

在 UART (UART0, UART1, UART2, UART3)通信期间接收允许的波特率范围可以通过下面公式计算。确保发送方的波特率在接收方的允许波特率范围之内。

(最大接收波特率) =

$$\frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

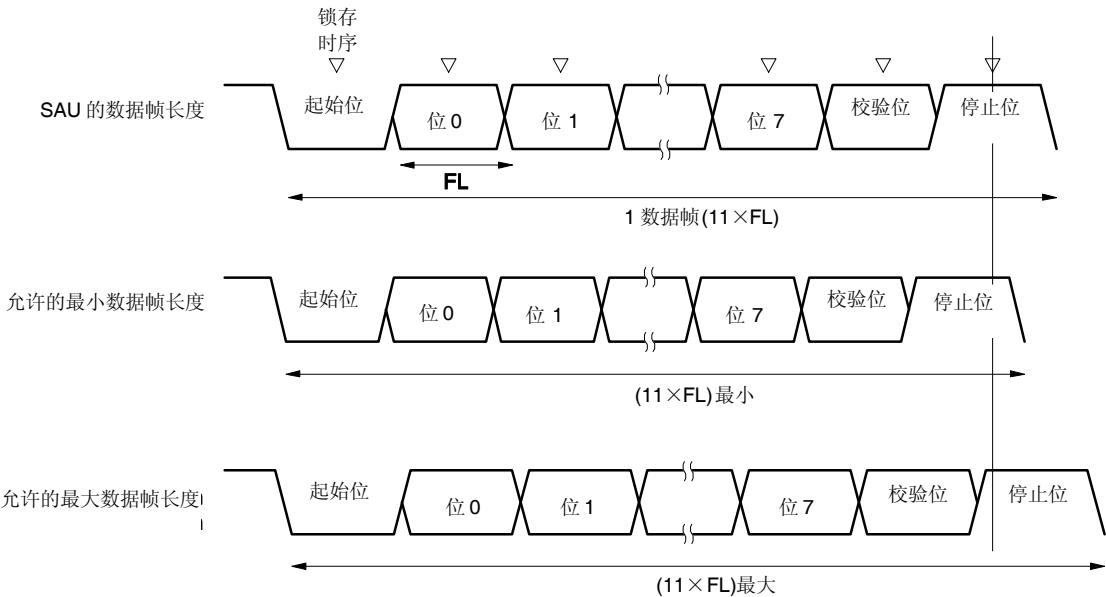
(最小接收波特率) =

$$\frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate: 在接收方计算的波特率 (参见 13.5.5 (1) 波特率计算公式)
k: SDRmn[15:9] + 1
Nfr: 1 数据帧长度[位]
= (起始位) + (数据长度) + (校验位) + (停止位)

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 1, 3)

图 13-85. 接收允许的波特率范围 (1 数据帧长度 = 11 位)



如图 13-85 所示，在检测到起始为之后通过设置串行数据寄存器 mn(SDRmn)的位 15 ~ 9 的分频率获得接收数据的时序。如果在获得这个时序之前接收到最后一个数据(停止位), 可以正确接收这个数据。

13.6 简易 I²C(IIC10, IIC20)通信操作

这是一个通过使用 2 线：串行时钟(SCL)和串行数据(SDA)用于和两个或者更多设备通信的时钟通信功能。这个通信功能计算执行具有例如 EEPROM, flash 存储器, 和 A/D 转换器设备的单通信, 因此, 仅可以通过主使用并且不具有等待检测功能。确保通过使用软件, 也操作控制相应的 AC 特性和起始停止条件的寄存器。

[数据发送/接收]

- 主发送, 主接收(仅具有单株功能的主设备)
- ACK 输出和 ACK 检测功能
- 8 位数据长度
(当发送一个地址, 高 7 位描述地址, 最后一位用于 R/W 控制)
- 起始条件和停止条件手动产生

[中断功能]

- 发送结束中断

[错误检测功能]

- 校验错误 (ACK 错误)

* [简易 I²C 不支持的功能]

- 从发送, 从接收
- 仲裁丢失检测功能
- 等待检测功能

备注 要使用 I²C 总线功能, 参见 第十四章 串行接口 IIC0。

支持简易 I²C(IIC10, IIC20)的通道是 SAU0 的通道 2 和 SAU1 的通道 0。

单元	通道	用作CSI	用作UART	用作简易IIC
0	0	CSI00	UART0	—
	1	CSI01		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	—	UART3 (支持LIN总线)	—
	3	—		—

简易 I²C (IIC10, IIC20)执行下列 4 种通信操作类型。

- 发送地址区域 (参见 13.6.1.)
- 发送数据 (参见 13.6.2.)
- 接收数据 (参见 13.6.3.)
- 产生停止条件 (参见 13.6.4.)

13.6.1 发送地址区域

发送地址区域是一个第一次执行 I²C 通信来定义主(从)目标的发送操作。产生起始条件后,在一帧里发送一个地址(7位)和发送方式(1位)。

简易 I ² C	IIC10	IIC20
目标通道	SAU0的通道2	SAU1的通道0
使用引脚	SCL10, SDA10	SCL20, SDA20
中断	INTIIC10	INTIIC20
	仅发送结束中断(禁止设定缓冲空中断)	
错误检测标志	校验错误检测标志(PEFmn)	
发送数据长度	8位(高7位作为地址,最后一位用于R/W控制)	
发送率	最大 f _{CLK} /4 MHz f _{CLK} : 系统时钟频率 然而, I ² C的每个模式必须满足下面条件 • 最大. 400 kHz (第一次模式) • 最大 100 kHz (标准模式)	
数据电平	向前输出 (缺省高电平)	
校验位	无校验位	
停止位	附加1位(用于ACK接收时序)	
数据方式	MSB	

(1) 寄存器设定

图 13-86. 用于简易 I²C(IIC10, IIC20)地址域发送的寄存器内容的例子

(a) 串行输出寄存器 m (SOm) ... 仅设定目标通道的位。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOm	0	0	0	0	0	CKOm2 0/1	CKOm1 ×	CKOm0 0/1	0	0	0	0	0	SOM2 0/1	SOM1 ×	SOM0 0/1

通过操作 SOmn 位产生起始条件

(b) 串行输出允许寄存器 m (SOEm) ... 仅设定目标通道的位。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

直到产生起始条件 SOEmn = 0, 产生后 SOEmn = 1

(c) 串行通道开始寄存器 m (SSm) ... 仅设定目标通道的位为 1。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

(d) 串行模式寄存器 mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

通道 n 的工作模式

0: 发送结束中断

(e) 串行通信操作设定寄存器 mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0		EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0		SLCmn1 0	SLCmn0 1			DLSmn2 1	DLSmn1 1	DLSmn0 1

设定校验位

00B: 无校验

设定停止位

01B: 附加 1 位

(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOr)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	设定波特率							0	设定发送数据 (地址 + R/W)							

SIOr

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

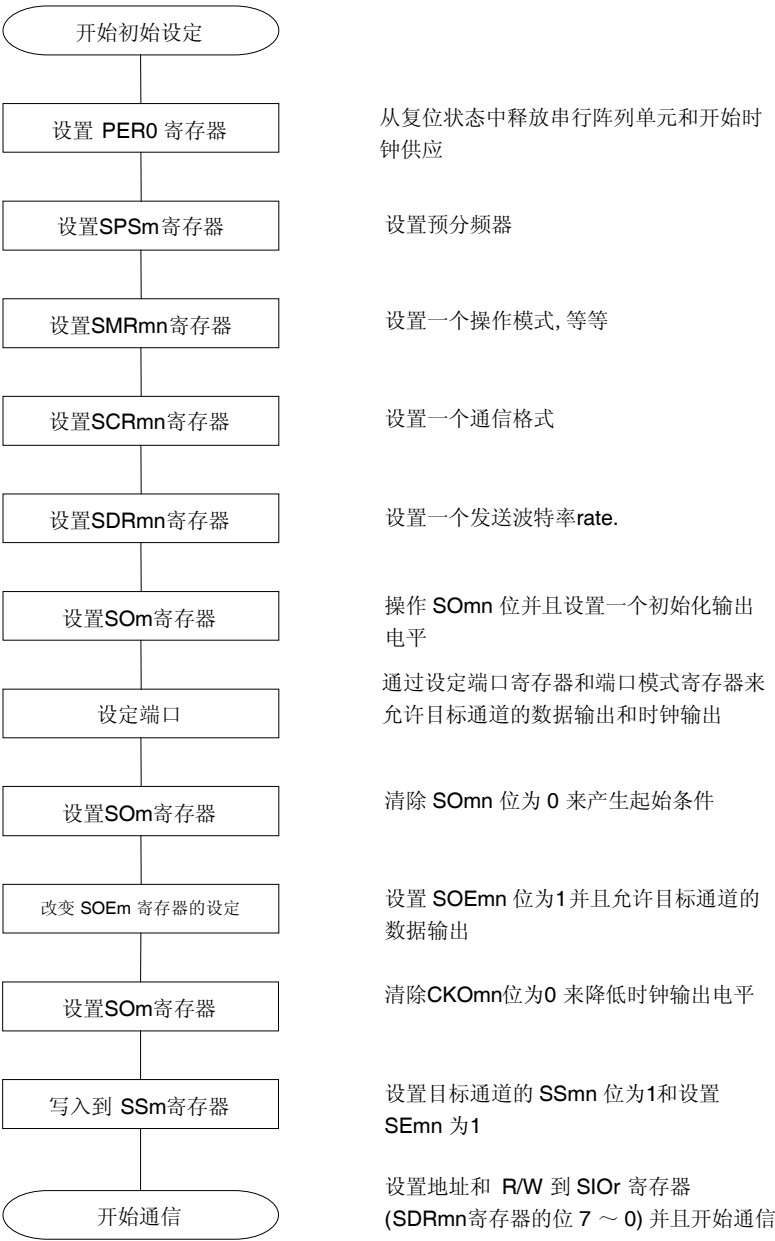
□: 在 IIC 模式下固定设置, ■: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

(2) 操作程序

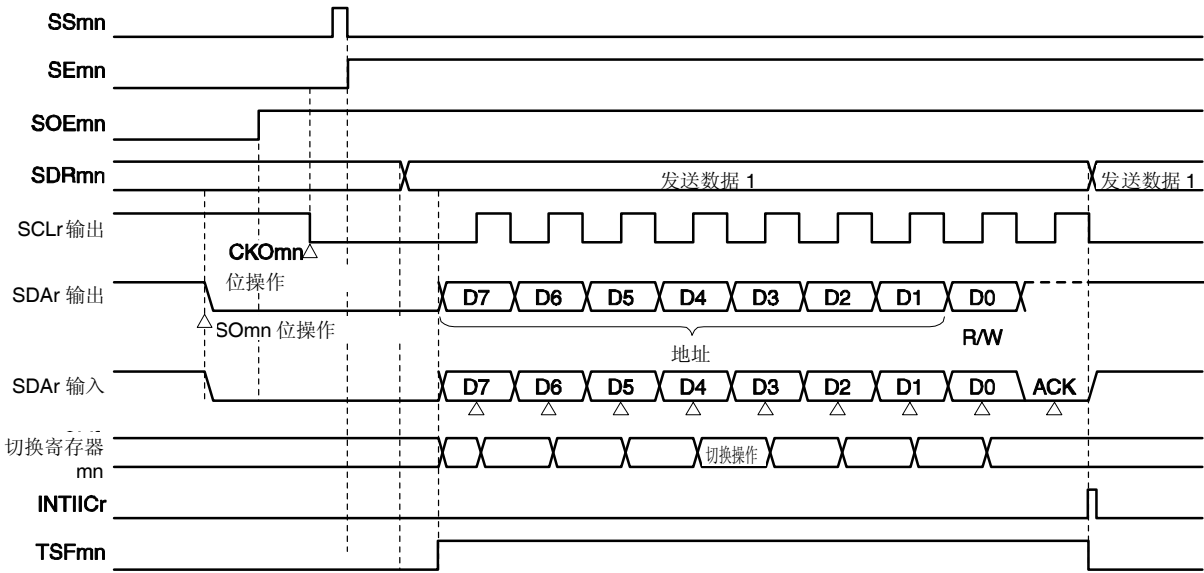
图 13-87. 地址域发送的初始化程序



注意事项 PER0 寄存器设定为 1 后, 确保在经过 4 或者更多时钟后设定 SPSm 寄存器。

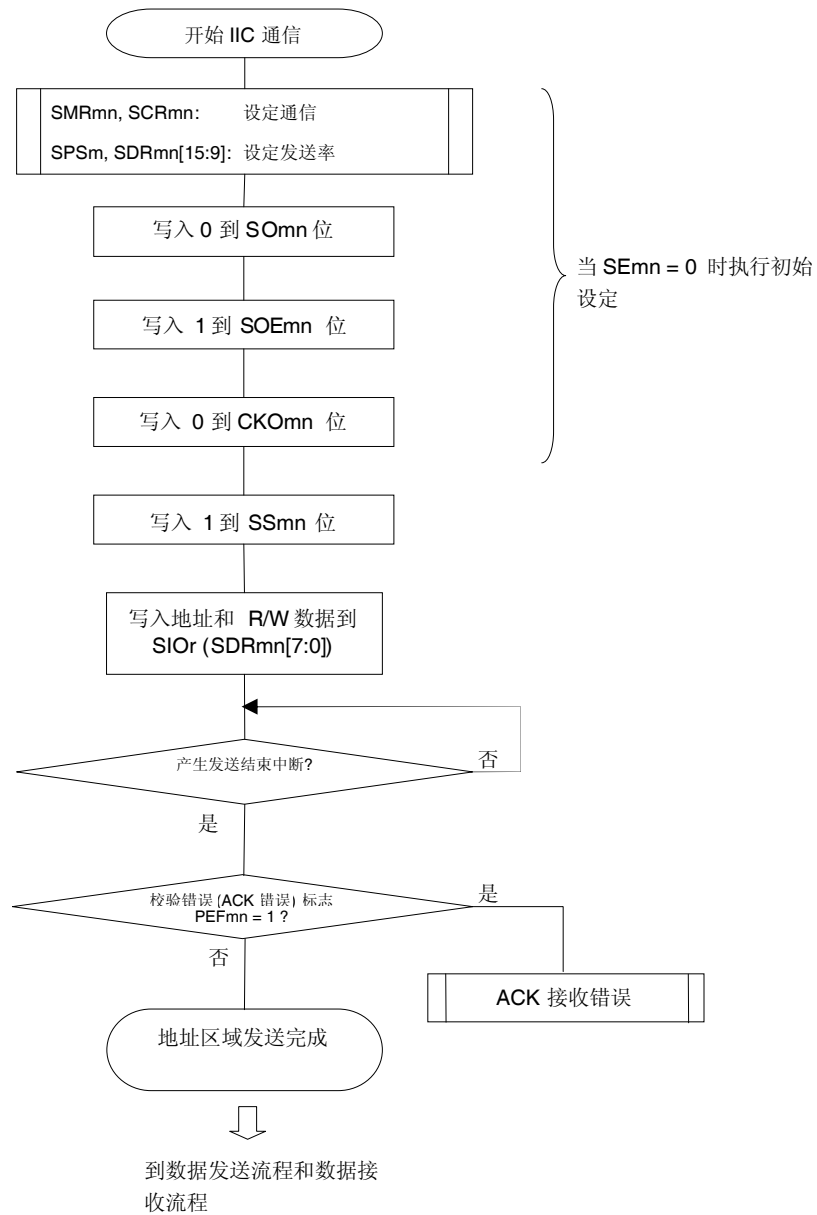
(3) 处理流程

图 13-88. 地址域发送的时序图



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

图 13-89. 地址域发送的流程图



13.6.2 数据发送

数据发送是一个在接收到地址域后发送 (从)目标数据的操作。全部数据发送到从设备后, 产生一个停止条件并且总线释放。

简易I ² C	IIC10	IIC20
目标通道	SAU0的通道2	SAU1的通道0
使用引脚	SCL10, SDA10	SCL20, SDA20
中断	INTIIC10	INTIIC20
	仅发送结束中断(禁止设定缓冲空中断)	
错误检测标志	校验错误检测标志(PEFmn)	
发送数据长度	8 位	
发送率	最大 f _{CLK} /4 MHz f _{CLK} : 系统时钟频率 然而, I ² C的每个模式必须满足下面条件 • 最大. 400 kHz (第一次模式) • 最大 100 kHz (标准模式)	
数据电平	向前输出 (缺省高电平)	
校验位	无检验位	
停止位	附加1位(用于ACK接收时序)	
数据方式	MSB	

(1) 寄存器设定

图 13-90. 用于简易 I²C(IIC10, IIC20)数据发送的寄存器内容的例子

(a) 串行输出寄存器 m (SOm) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOm	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOm2 ×	SOm1 ×	SOm0 ×

(b) 串行输出允许寄存器 m (SOEm) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

(c) 串行通道开始寄存器 m (SSm) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

(d) 串行模式寄存器 mn (SMRmn) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(e) 串行通信操作设定寄存器 mn (SCRmn) ...数据发送/接收期间不要操作这个寄存器的位,
TXEmn 和 RXEmn 位除外。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0	SLCmn0 1	0	DLSmn2 1	DLSmn1 1	DLSmn0 1

(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOr)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	设定波特率								0	设定发送数据						
										SIOr						

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

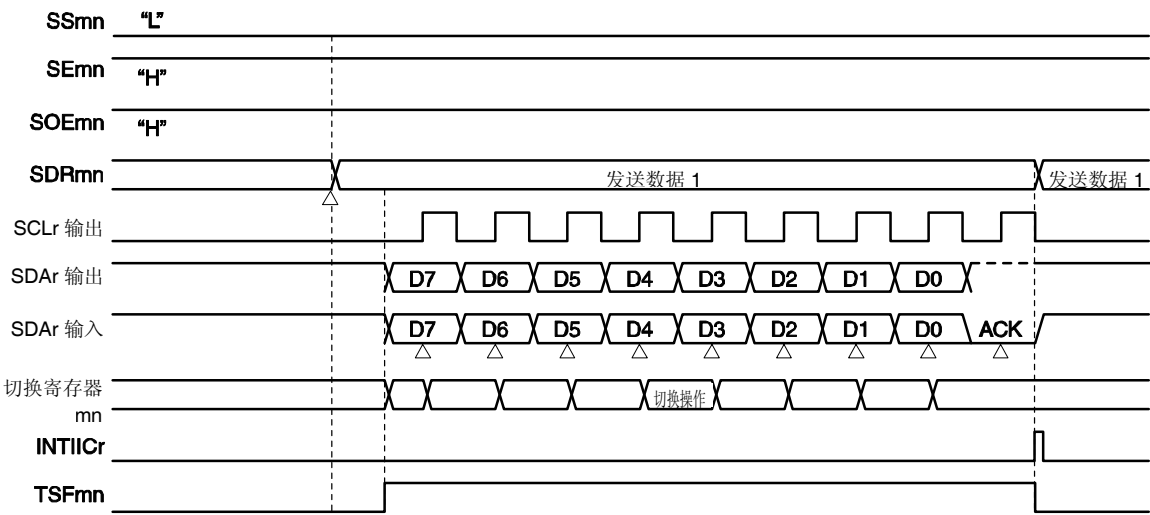
□: 在 IIC 模式下固定设置, □: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

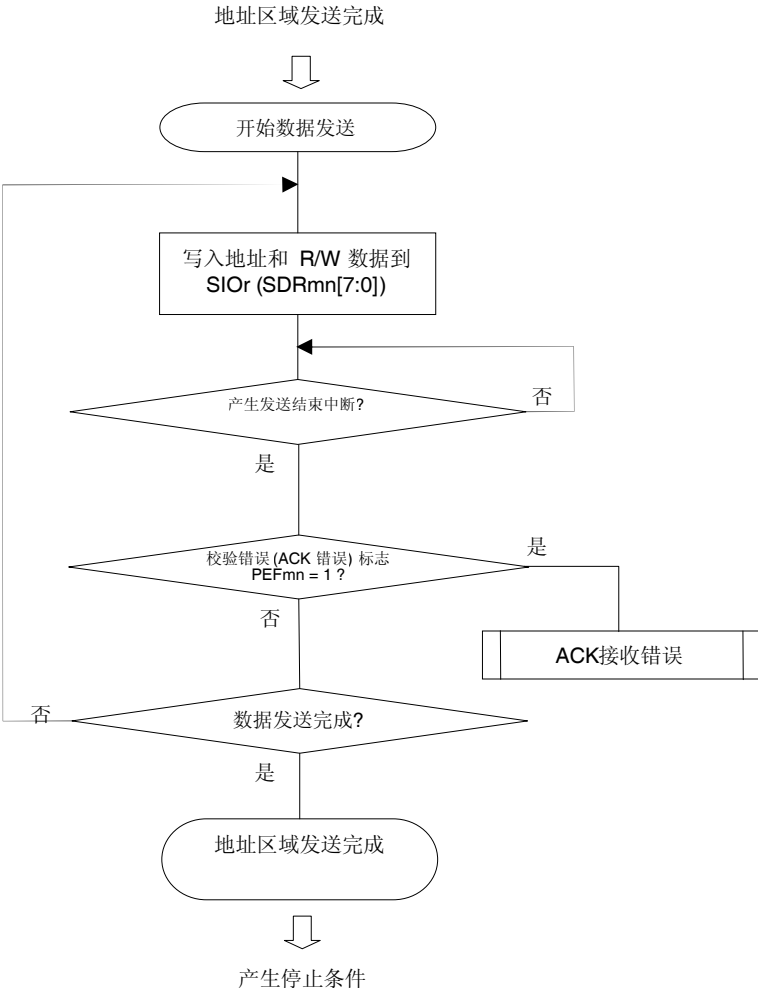
(2) 处理流程

图 13-91. 数据发送的时序图



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

图 13-92. 数据发送的流程图



13.6.3 数据接收

数据接收是一个在接收到地址域后接收 (从)目标数据的操作。从设备的数据全部接收后, 产生一个停止条件并且总线释放。

简易I ² C	IIC10	IIC20
目标通道	Channel 2 of SAU0	Channel 0 of SAU1
使用引脚	SCL10, SDA10	SCL20, SDA20
中断	INTIIC10	INTIIC20
	仅发送结束中断(禁止设定缓冲空中断)	
错误检测标志	没有	
发送数据长度	8 位	
发送率	最大 $f_{CLK}/4$ MHz f_{CLK} : 系统时钟频率 然而, I ² C的每个模式必须满足下面条件 • 最大. 400 kHz (第一次模式) • 最大 100 kHz (标准模式)	
数据电平	向前输出 (缺省高电平)	
校验位	无检验位	
停止位	附加1位(用于ACK接收时序)	
数据方式	MSB	

(1) 寄存器设定

图 13-93. 用于简易 I²C(IIC10, IIC20)数据接收的寄存器内容的例子

(a) 串行输出寄存器 m (SOm) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOm	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOM2 ×	SOM1 ×	SOM0 ×

(b) 串行输出允许寄存器 m (SOEm) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
<R> SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

(c) 串行输出允许寄存器 m (SSm) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

(d) 串行模式寄存器 mn (SMRmn) ...数据发送/接收期间不要操作这个寄存器。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0						STSmn 0		SlSmn0 0	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(e) 串行通信操作设定寄存器 mn (SCRmn) ...数据发送/接收期间不要操作这个寄存器的位,
TXEmn 和 RXEmn 位除外。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0		EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0		SLCmn1 0	SLCmn0 1		DLSmn2 1	DLSmn1 1	DLSmn0 1

(f) 串行数据寄存器 mn (SDRmn) (低 8 位: SIOr)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	设定波特率								0	设定伪发送数据 (FFH)						
										SIOr						

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

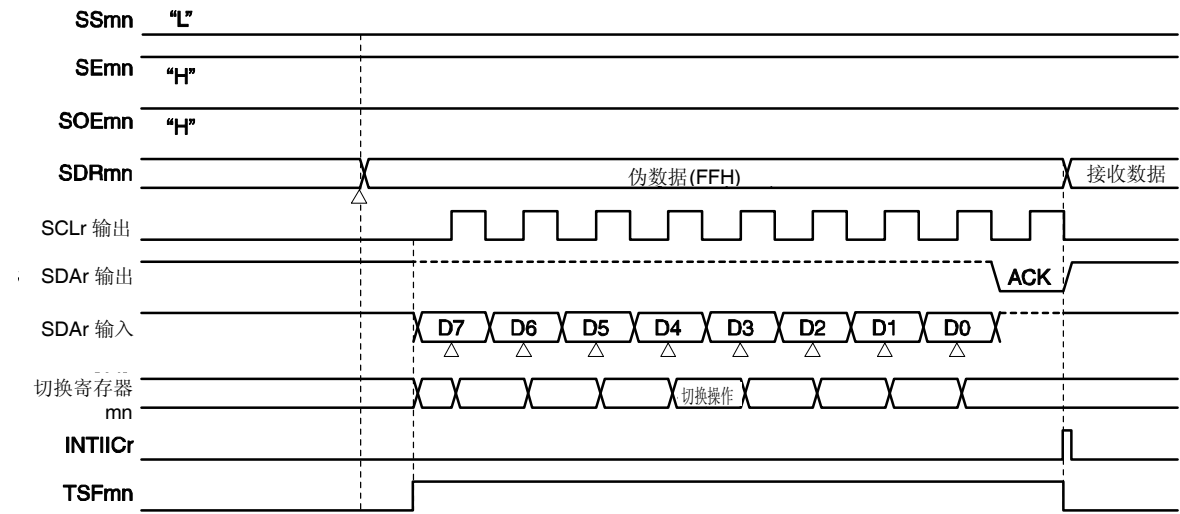
□: 在 IIC 模式下固定设置, ■: 禁止设定 (通过硬件固定)

x: 这个模式下不能使用的位 (当没有使用任何模式时设定为初始值)

0/1: 根据用户使用设定为 0 或 1

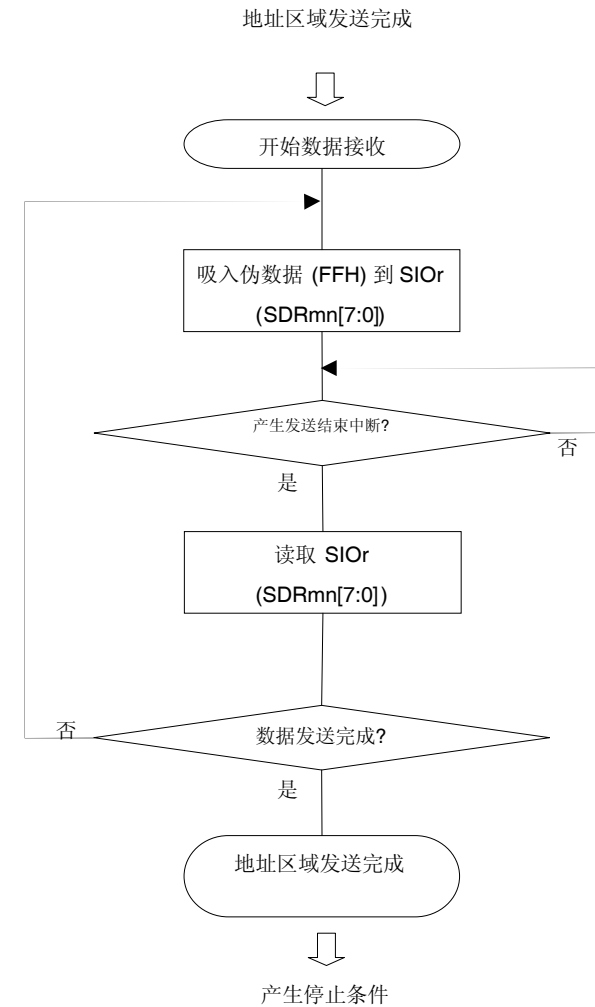
(2) 处理流程

图 13-94. 数据接收的时序图



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

图 13-95. 数据接收的流程图

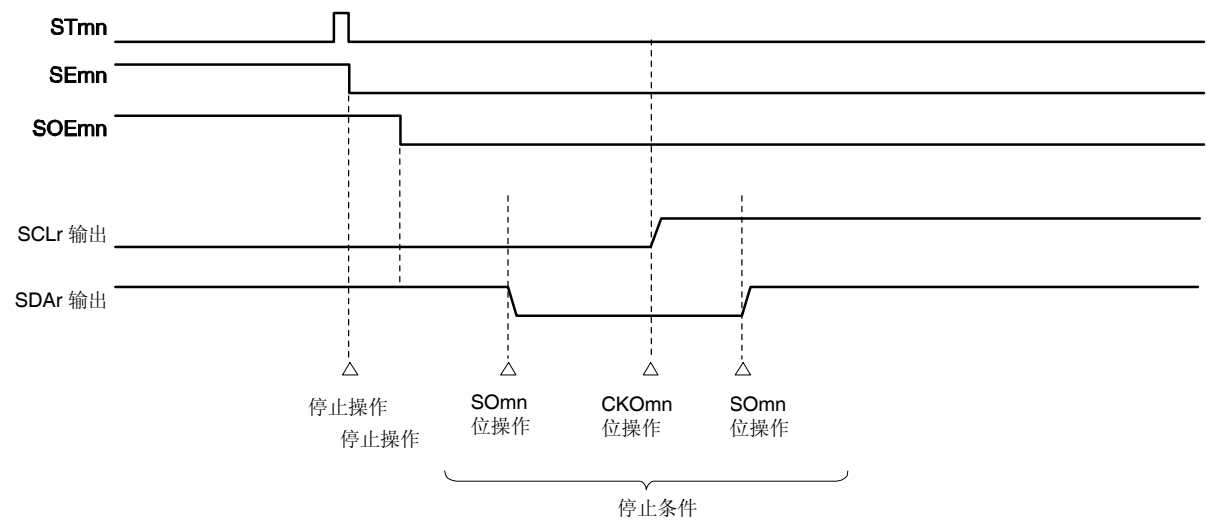


13.6.4 停止条件的产生

全部数据发送到从设备或者从从设备读取到全部数据后,产生一个停止条件并且总线释放。

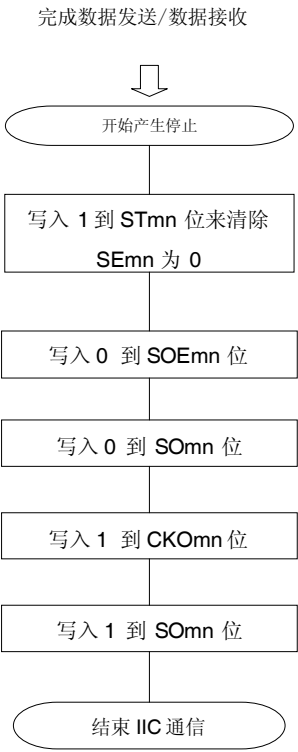
(1) 处理流程

图 13-96. 停止条件的产生的时序图



备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2), r: IIC 数 (r = 10, 20)

图 13-97. 停止条件的产生的流程图



13.6.5 计算发送率

简易 I²C (IIC10, IIC20)通信的发送率可以通过以下公式来计算。

$$(\text{发送率}) = \{\text{目标通道的操作时钟(MCK)频率}\} \div (\text{SDRmn}[15:9] + 1) \div 2$$

- 备注**
1. SDRmn[15:9]的值是 SDRmm 寄存器的位 15 ~ 9 的值 (0000000B ~ 1111111B)因此是 0 ~ 127。
 2. m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2)

操作时钟(MCK)取决于串行时钟选择寄存器 m(SPSm)和串行模式寄存器 mn(SMRmn)的位 15(CKSmn)。

表 13-4. 操作时钟的选择

SMRmn 寄存器	SPSm 寄存器								Operation Clock (MCK) ^{※1}	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 20 MHz
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	INTTM02 if m = 0, INTTM03 if m = 1 ^{※2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	INTTM02 if m = 0, INTTM03 if m = 1 ^{※2}	
其余设定									禁止设定	

注 1. 在停止(STm = 000FH)串行阵列单元(SAU)的操作之后, 改变 f_{CLK} 的时钟选择(通过改变系统时钟控制寄存器(CKC)的值)。当为操作时钟选择 INTTM02 和 INTTM03, 同样停止定时器阵列单元 (TAU) (TT0 = 00FFH)。

2. 可以在固定副系统时钟的分频率时操作 SAU, 无论 f_{CLK} 频率(主系统时钟, 副系统时钟), 通过设定 TIS0 寄存器的 TIS02(如果 m = 0)和 TIS03(如果 m = 0)为 1, 为输入时钟选择 f_{SUB}/4, 并且选择 INTTM02 和 INTTM03 使用 SPSm 寄存器。当改变 f_{CLK}, SAU 和 TAU 必须按照上面注 1 描述停止。

备注 1. X: 不必考虑

2. m: 单元数 (m = 0, 1), n: 通道 (n = 0, 2)

这是一个在 $MCK = f_{CLK} = 20\text{ MHz}$ 时设定 IIC 发送率的例子。

IIC 发送模式 (预期发送率)	$f_{CLK} = 20\text{ MHz}$			
	操作时钟(MCK)	SDRmn[15:9]	计算出来的发送率	预期发送率的误差
100 kHz	f_{CLK}	99	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

13.7 错误的处理程序

下面图 13-98 ~ 13-100 是如果发生错误的处理程序。

图 13-98. 校验错误或者溢出错误的处理程序

软件操作	硬件状态	备注
读取SDRmn寄存器	→ BFF = 0, 并且通道n能够接收数据	在错误处理中如果完成下一次接收防止溢出错误
读取SSRmn 寄存器		定义错误类型并且读取用于清除错误标志的值
写入SIRmn 寄存器	→ 清除错误标志	通过直接写入从SSRmn寄存器读取的值到SIRmn寄存器, 读取是错误可以被清除

图 13-99. 帧错误的处理程序

软件操作	硬件状态	备注
读取SDRmn 寄存器	BFF = 0, 并且通道n能够接收数据	在错误处理中如果完成下一次接收防止溢出错误
读取SSRmn 寄存器		定义错误类型并且读取用于清除错误标志的值
写入SIRmn 寄存器	清除错误标志	通过直接写入从SSRmn寄存器读取的值到SIRmn寄存器, 读取是错误可以被清除
设定 STmn 位为1	→ SEMn = 0, 并且通道n停止操作	
和其他部分通信同步		和其他部分通信同步是在切换起始位发时生一个帧错误, 重建并且恢复通信
设定 SSmn 位为1	→ SEMn = 1, 并且通道n能够操作	

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 3)

图 13-100. 简易 I²C 模式中校验错误(ACK 错误)的处理程序

软件操作	硬件状态	备注
读取SDRmn 寄存器	BFF = 0, 并且通道n能够接收数据	在错误处理中如果完成下一次接收防止溢出错误
读取SSRmn 寄存器		定义错误类型并且读取用于清除错误标志的值
写入SIRmn 寄存器	清除错误标志	通过直接写入从SSRmn寄存器读取的值到SIRmn寄存器, 读取是错误可以被清除
设定 STmn 位为1	▶ SEmn = 0, 并且通道n停止操作	因为没有返回ACK从设备没有准备好接收。因此, 产生一个停止条件, 总线释放, 通信从起始条件重新开始。或者产生一个复位条件并且可以重新从地址发送开始。
产生停止条件		
产生起始条件		
设定 SSmn 位为1	▶ SEmn = 1, 并且通道n能够操作	

备注 m: 单元数 (m = 0, 1), n: 通道 (n = 0 ~ 3)

14.1 串行接口 IIC0 的功能

串行接口 IIC0 有如下两种模式。

(1) 操作停止模式

在不进行串行传送时可采用此模式，以降低功耗。

(2) I²C 总线模式(支持多个主设备)

该模式采用两条线(一条串行时钟(SCL0)线和一条串行数据总线(SDA0))进行多设备的 8 位数据传送。

该模式遵循 I²C 总线格式并且主设备能够通过串行数据总线，产生“起始条件”，“地址”，“传送方向指示”，“数据”和“停止条件”等信号传送至从设备。从设备能够通过硬件自动地检测这些接收到的状态和数据。这个功能可以简化控制 I²C 总线的应用程序部分。

由于 SCL0 和 SDA0 引脚用于漏极开路输出，IIC0 总线的串行时钟线和串行数据总线需要连接上拉电阻。

图 14-1 所示为串行接口 IIC0 的框图。

图 14-1. 串行接口 IIC0 的框图

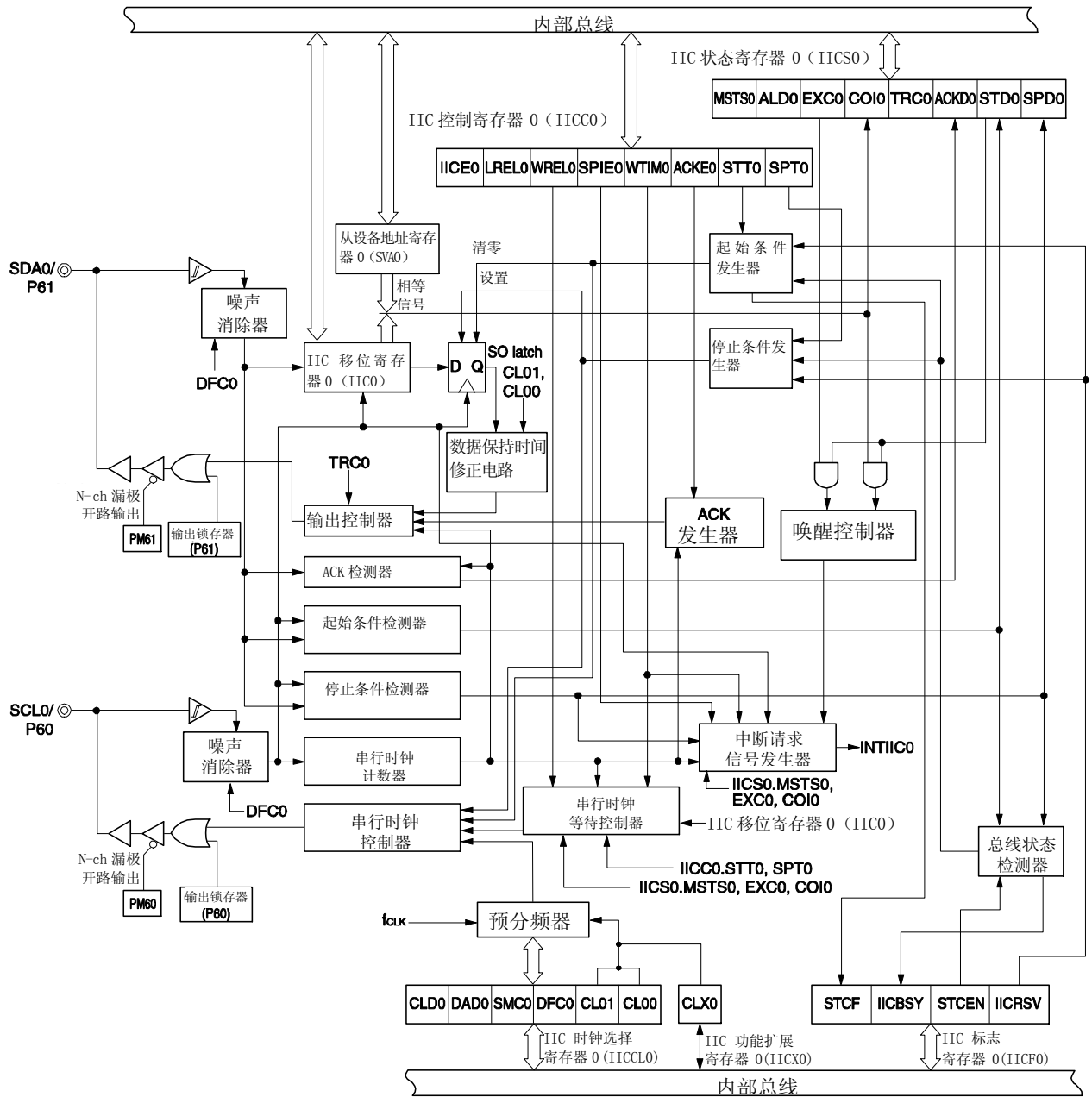
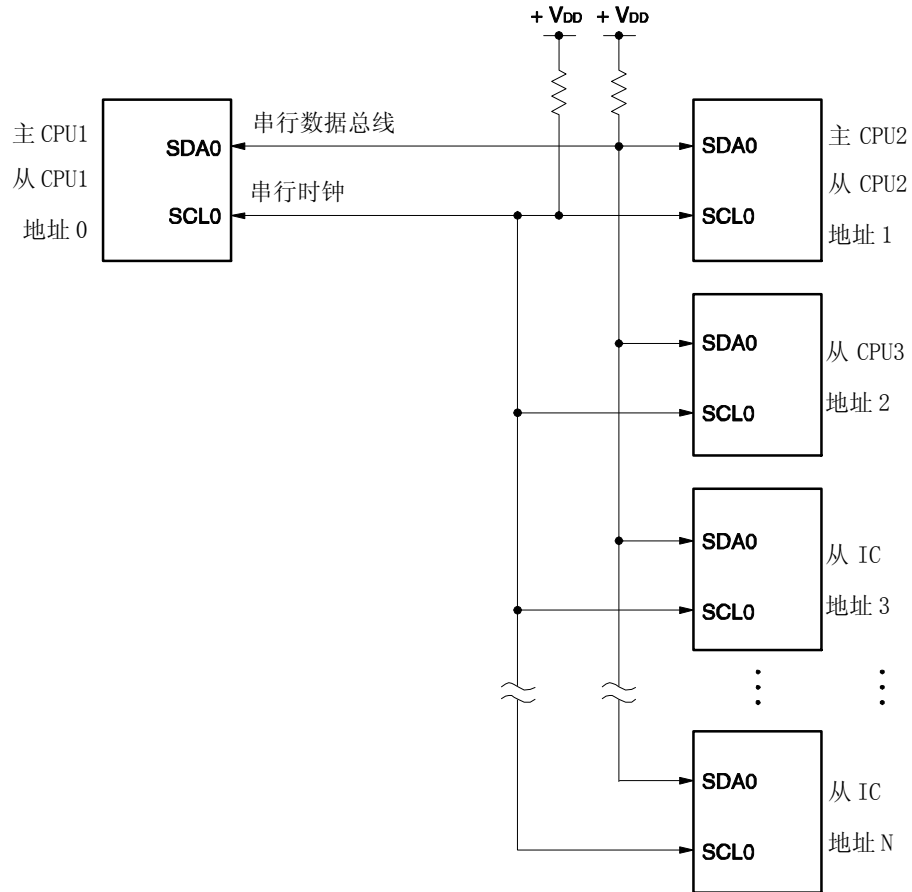


图 14-2 显示了串行总线配置举例。

图 14-2. 使用 I²C 总线的串行总线配置举例



14.2 串行接口 IIC0 的配置

串行接口 IIC0 包括如下硬件

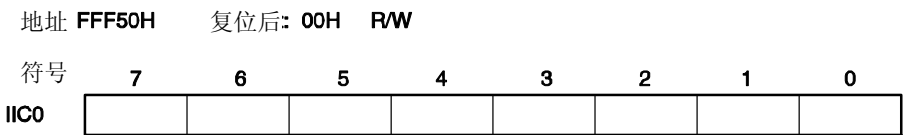
表 14-1. 串行接口 IIC0 的配置

项目	配置
寄存器	IIC 移位寄存器 0 (IIC0) 从设备地址寄存器 0 (SVA0)
控制寄存器	外围设备允许寄存器 0 (PER0) IIC 控制寄存器 0 (IICC0) IIC 状态寄存器 0 (IICS0) IIC 标志寄存器 0 (IICF0) IIC 时钟选择寄存器 0 (IICCL0) IIC 功能扩展寄存器 0 (IICX0) 端口模式寄存器 6 (PM6) 端口寄存器 6 (P6)

(1) IIC 移位寄存器 0 (IIC0)

IIC0 用于 8 位串行数据和 8 位并行数据的相互转换，并且和串行时钟同步。IIC0 可以用来发送和接收数据。对 IIC0 的读写操作可以控制实际的发送和接收操作。
在等待期间通过对 IIC0 写入数据，可以取消等待状态并启动数据传送操作。
可由 8 位存储器操作指令设置 IIC0。
复位信号的产生将 IIC0 清零（00H）。

图 14-3. IIC 移位寄存器 0 的格式（IIC0）

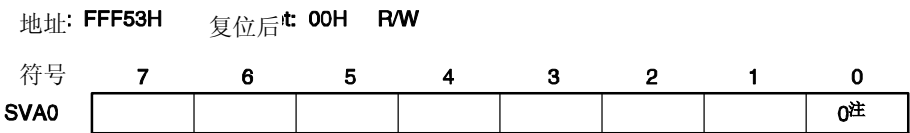


- 注意事项
- 1. 在数据传送期间不要对 IIC0 进行写操作。
 - 2. 仅在等待期间时才能对 IIC0 进行读写操作。除等待期间外，禁止在其他的通信状态下访问 IIC0。然而，作为主设备时，在通信触发位 (STT0) 被设为 1 之后 IIC0 只能被写入一次。

(2) 从设备地址寄存器 0 (SVA0)

该寄存器用于在从设备模式下存储本地地址。
可由 8 位存储器操作指令设置 SVA0。
但是当 STD0=1 时，禁止重写该寄存器 (当检测到起始条件时)。
复位信号的产生将 SVA0 清零（00H）。

图 14-4. 从地址寄存器 0 的格式（SVA0）



注 第 0 位恒为 0。

(3) S0 锁存器

S0 锁存器用来保持 SDA0 引脚的输出电平。

(4) 唤醒控制器

当该寄存器接收的地址与从设备地址寄存器 0 (SVA0) 设置的地址相等，或者当接收到一个扩展代码时，这个电路将产生一个中断请求信号 (INTIIC0)。

(5) 预分频器

用于选择采样时钟。

(6) 串行时钟计数器

该计数器对发送/接收操作期间输出或输入的串行时钟进行计数，同时用于验证 8 位数据是否已发送或接收。

(7) 中断请求信号发生器

此电路用于控制中断请求信号 (INTIIC0) 的产生。

一个 IIC 中断请求由下列两个触发条件产生：

- 串行时钟的第 8 或第 9 个下降沿 (通过 WTIM0 位设置)
- 当检测到停止条件 (通过 SPIE0 位设置) 时产生中断请求

备注 WTIM0 位： IIC 控制寄存器 0 (IICC0) 的第 3 位
SPIE0 位： IIC 控制寄存器 0 (IICC0) 的第 4 位

(8) 串行时钟控制器

在主设备模式下，此电路通过 SCL0 引脚，从采样时钟产生时钟输出。

(9) 串行时钟等待控制器

用于控制等待时序。

(10) ACK 信号发生器，停止条件检测器，起始条件检测器和 ACK 信号检测器

这些电路用于产生和检测每种状态。

(11) 数据保持时间修正电路

此电路根据串行时钟的下降沿产生数据保持时间。

(12) 起始条件发生器

当 STT0 位为 1 时，该电路产生一个起始条件信号。

但是，在禁止通信预约的状态下 (IICRSV 位 = 1)，只要总线尚未被释放 (IICBSY 位 = 1)，起始条件请求将被忽略并且 STCF 被置为 1。

(13) 停止条件发生器

当 SPT0 位为 1 时，此电路产生一个停止条件信号。

(14) 总线状态检测器

此电路通过检测起始条件和停止条件来确定总线是否被释放。

然而，如果操作后总线状态无法被立即检测到，则初始状态由 STCEN 位来设置。

备注	STT0 位:	IIC 控制寄存器 0 (IICC0) 的第 1 位
	SPT0 位:	IIC 控制寄存器 0 (IICC0) 的第 0 位
	IICRSV 位:	IIC 标志寄存器 0 (IICF0) 的第 0 位
	IICBSY 位:	IIC 标志寄存器 0 (IICF0) 的第 6 位
	STCF 位:	IIC 标志寄存器 0 (IICF0) 的第 7 位
	STCEN 位:	IIC 标志寄存器 0 (IICF0) 的第 1 位

14.3 控制串行接口 IIC0 的寄存器

串行接口 IIC0 由下列 8 个寄存器控制。

- 外围设备允许寄存器 0 (PER0)
- IIC 控制寄存器 0 (IICC0)
- IIC 标志寄存器 0 (IICF0)
- IIC 状态寄存器 0 (IICS0)
- IIC 时钟选择寄存器 0 (IICCL0)
- IIC 功能扩展寄存器 0 (IICX0)
- 端口模式寄存器 6 (PM6)
- 端口寄存器 6 (P6)

(1) 外围设备允许寄存器 0 (PER0)

PER0 用于允许或禁止每个外围硬件宏指令。当外围硬件不使用时，停止提供时钟，以降低功耗和噪声。
当使用串行接口 IIC0 时，此寄存器的第 4 位 (IIC0EN)必须置为 1。
PER0 可由 1 位或 8 位存储器操作指令设置。
复位信号发生将此寄存器清为 00H。

- 注意事项 1. 设置串行接口 IIC0 时，IIC0EN 必须首先设置为 1。如果 IIC0EN = 0, 写入串行接口 IIC0 控制寄存器被忽略，即使读取，只能读到默认值。
2. PER0 寄存器的第 1 位必须为 0。

图 14-5. 外围设备允许寄存器 0 (PER0)的格式

地址: F00F0H	复位后: 00H	R/W						
符号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN
IIC0EN		控制串行接口 IIC0 输入时钟						
0		停止提供输入时钟。 • 由串行接口 IIC0 使用 SFR 不能写入。 • 串行接口 IIC0 在复位状态。						
1		提供输入时钟。 • 由串行接口 IIC0 使用 SFR 能读/写。						

(2) IIC 控制寄存器 0 (IICC0)

这个寄存器用于设置允许/停止 I²C 的操作、等待时间和 I²C 的其他操作。
可由 1 位或 8 位存储器操作指令对 IICC0 进行设置。但必须在 IICE0 位 = 0 或者在等待期间设置 SPIE0，WTIM0，和 ACKE0 位。当 IICE0 位从“0”变为“1”时，这些位可以同时被设置。
复位信号的产生将 IICC0 清零（00H）。

图 14-6. IIC 控制寄存器 0 (IICC0)的格式(1/4)

地址: FFF52H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² C 操作允许
0	停止操作。复位 IIC 状态寄存器 0(IICS0) ^{※1} 。停止内部操作。
1	允许操作
当 SCL0 和 SDA0 是高电平时，必须将该位设置为 1。	
清零条件 (IICE0 = 0)	
设置条件 (IICE0 = 1)	
• 通过指令清零 • 复位	
• 通过指令设置	

LRELO ^{※2}	退出通信
0	正常操作
1	此时从当前的通信模式退出，进入待机模式。当执行此操作后设置的值自动清零。 用于那些已接受了本地无关扩展码的情况。 SCL0 和 SDA0 线被设置为高阻抗状态。 下列 IIC 控制寄存器 0 (IICC0) 和 IIC 状态寄存器 0 (IICS0) 的标志位被清零。 • STT0 • SPT0 • MST0 • EXC0 • COI0 • TRC0 • ACKD0 • STD0
从通信模式退出后一直保持待机模式，直到满足下列通信条件。 • 检测到停止条件后，在主设备模式下重新启动。 • 启动后，发生地址相等或接收到扩展码。	
清零条件 (LRELO = 0)	
设置条件 (LRELO = 1)	
• 执行后自动清零 • 复位	
• 通过指令设置	

WRELO ^{※2}	等待取消
0	不取消等待
1	取消等待。在等待取消后，此设置被自动清除。
在第 9 个时钟脉冲的下降沿有效启动的发送状态(TRC0 = 1) 下，在等待期间设置 WRELO(等待取消)时，SDA0 将进入高阻抗状态(TRC0 = 0)。	
清零条件 (WRELO = 0)	
设置条件 (WRELO = 1)	
• 执行后自动清零 • 复位	
• 通过指令设置	

- 注
1. 对 IICS0 寄存器、IICF0 寄存器的 STCF0 位与 IICBSY 位和 IICCL0 寄存器的 CLD0 位与 DAD0 位进行复位。
 2. 当 IICE0 = 0 时，本标志信号无效。

注意事项 允许 I²C 操作(IICE0 = 1)后，在 SCL0 为高电平并且 SDA0 为低电平时，立即检测到起始条件。
允许 I²C 操作(IICE0 = 1)后，立即通过 1 位存储器操作指令设置 LRELO(1)。

图 14-6. IIC 控制寄存器 0(IICC0)的格式(2/4)

SPIE0 ^{※1}	当检测到停止条件时，允许/禁止产生中断请求	
0	禁止	
1	允许	
清零条件 (SPIE0 = 0)		设置条件 (SPIE0 = 1)
- 通过指令清零 - 复位		通过指令进行设置

WTIMO ^{※1}	对等待和中断请求产生的控制
0	在第 8 个时钟的下降沿产生中断请求。 主设备模式：输出 8 个时钟之后，将时钟输出设置为低电平且设置等待状态。 从设备模式：输入 8 个时钟之后，将时钟设置为低电平且为主设备设置等待状态。
1	在第 9 个时钟的下降沿产生中断请求。 主设备模式：输出 9 个时钟之后，将时钟输出设置为低电平且设置等待状态。 从设备模式：输入 9 个时钟之后，将时钟设置为低电平且设置主设备等待状态。
地址传送期间，在第 9 个时钟的下降沿产生中断，而与该位的设置无关。地址传送完成之后该位设置才有效。主设备模式下，在地址传送期间的第 9 个时钟的下降沿插入一个等待信号。对于已接收到本地地址的从设备，在发出应答信号（ACK）之后的第 9 个时钟的下降沿插入一个等待信号。但是，当从设备已经收到一个扩展码时，将在第 8 个时钟的下降沿插入等待信号。	
清零条件（WTIMO = 0）	设置条件（WTIMO = 1）
- 通过指令清零 - 复位	通过指令进行设置

ACKE0 ^{※1, 2}	应答控制	
0	禁止应答	
1	允许应答。在第九个时钟周期，SDA0 设置为低电平。	
清零条件 (ACKE0 = 0)		设置条件 (ACKE0 = 1)
- 通过指令进行清零 - 复位		通过指令进行设置

- 注
1. IICE0 = 0 时，此标志信号无效。
 2. 在地址传送期间及编码为非扩展码时，所设的值无效。
在从设备模式下并且地址相等时，无论设置何值都将产生应答信号。

图 14-6. IIC 控制寄存器 0 (IICC0) 的格式(3/4)

STT0 ^注	启动条件触发
0	不产生起始条件
1	总线释放时 (STOP 模式下): 产生一个起始条件 (作为主设备启动)。SCL0 处于高电平时, SDA0 从高电平变为低电平时产生启动条件。然后, 经过额定时间, SCL0 变为低电平 (等待状态)。 有第三方通信时: - 当允许通信预约时 (IICRSV = 0) 该位作为启动条件预约标志。设置为 1 时, 在总线释放之后自动产生一个起始条件。 - 当禁止通信预约时 (IICRSV = 1) 将 STCF 设置为 1, 且 STT0 被清零。不产生起始条件。 等待状态 (主设备模式): 退出等待状态之后产生一个重复起始条件。
设置时序的注意事项 - 主设备接收: 传送期间不能设置为 1。仅在 ACKE0 被清零且从设备通报结束接收时的等待期间, 才能设为 1。 - 主设备发送: 应答期间内, 不能正常产生起始条件。在第 9 个时钟输出后的等待期间可以设置为 1。 - 不能和 SPT0 同时设为 1。 - 禁止在 STT0 被清零前重复设置为 1。	
清零条件 (STT0 = 0)	设置条件 (STT0 = 1)
- 禁止通信预约时, 通过将 SST0 设置为 1 进行清零 - 由仲裁失败清零 - 通过主设备产生起始条件后进行清零 - 由 LREL0=1 (退出通信) 清零 - 当 IICE0 = 0 (操作停止) 时 - 复位	通过指令进行设置

注 IICE0 = 0 时, 该标志信号无效。

备注

- 第 1 位 (STT0) 在设置后再读取时将会变为 0。
- IICRSV: IIC 标志寄存器 (IICF0) 的第 0 位
STCF: IIC 标志寄存器 (IICF0) 的第 7 位

图 14-6. IIC 控制寄存器 0(IICC0)的格式(4/4)

SPT0	停止条件触发器	
0	不产生停止条件	
1	产生停止条件（结束主设备传送） SDA0 变为低电平后，设置 SCL0 为高电平或等待其变为高电平。然后，经过额定时间后，SDA0 从低电平变为高电平，则产生一个停止条件。	
设置时序注意事项		
- 主设备接收：传送期间不能设为 1。 仅在 ACKE0 被清零且从设备通报结束接收时的等待期间，才能设为 1。 - 主设备发送：应答期间内，不能正常产生停止条件。在第 9 个时钟输出后的等待期间可以设为 1。 - 不能和 STT0 同时设置为 1 - 仅在主设备模式下，SPT0 才能设置为 1 - WTIMO 清零后，如果在输出 8 个时钟之后的等待期间将 SPT0 设为 1，那么注意，在第 9 个时钟的高电平期间将产生一个停止条件。在输出 8 个时钟后的等待期间 WTIMO 应从 0 变为 1，并且在输出第 9 个时钟后的等待期间 SPT0 应被设置为 1。 - 禁止在 SPT0 被清零前重复设置为 1。		
清零条件（SPT0 = 0）		设置条件（SPT0 = 1）
- 由仲裁失败清零 - 检测到停止条件后自动清零 - 可由 LREL0=1(退出通信)清零 - IICE0 = 0 时(操作停止) - 复位		通过指令进行设置

注 仅在主设备模式下 SPT0 可设置为 1。但是，在切换到允许操作状态后检测到第 1 个停止条件之前必须将 SPT0 设置为 1，产生停止条件。

注意事项 在第 9 个时钟，当 IIC 状态寄存器 0(IICS0)的第 3 位(TRC0)被设为 1 和 WREL0 设置为 1 时，取消等待状态后，TRC0 被清零，SDA0 线被设为高阻抗状态。

备注 第 0 位（SPT0）在设置后再读取时将变为 0。

(3) I IIC 状态寄存器 0 (IICS0)

此寄存器用于表示 I²C 的状态。
仅当 STT0 = 1 且在等待期间，才能通过 1 位或 8 位存储器操作指令读取 IICS0。
复位信号的产生将 IICS0 清零 (00H)。

图 14-7. IIC 状态寄存器 0 (IICS0) 的格式(IICS0) (1/3)

地址: FFF56H

复位后: 00H

R

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	主设备状态											
0	从设备状态或通信待机状态											
1	主设备通信状态											
清零条件 (MSTS0 = 0)					设置条件 (MSTS0 = 1)							
- 检测到停止条件时 - ALD0=1 时(仲裁失败) - 由 LREL0 = 1 (退出通信)清零 - IICE0 从 1 变为 0 (操作停止)时 - 复位					起始条件产生时							

ALD0	仲裁失败的检测											
0	此状态表示没有仲裁或仲裁结果为”获胜”。											
1	此状态表示仲裁结果为”失败”。MSTS0 被清零。											
清零条件 (ALD0 = 0)					设置条件 (ALD0 = 1)							
- 读取 IICS0 之后自动清零※ - IICE0 从 1 变为 0 (操作停止)时 - 复位					仲裁结果为”失败”时。							

EXC0	扩展码接收的检测											
0	未接收到扩展码											
1	接收到扩展码											
清零条件 (EXC0 = 0)					设置条件 (EXC0 = 1)							
- 检测到起始条件时 - 检测到停止条件时 - 由 LREL0 = 1 (退出通信)清零 - IICE0 从 1 变为 0 (操作停止) 时 - 复位					当接收到的地址数据的高 4 位为”0000”或”1111”时(在第 8 个时钟的上升沿设置)							

注 即使使用 1 位存储器操作指令没有对 IICS0 进行操作，此寄存器也会清零。因此当使用 ALD0 位时，应先读取该位数据。

备注 LREL0: IIC 控制寄存器 0(IICC0) 的第 6 位
IICE0: IIC 控制寄存器 0(IICC0) 的第 7 位

图 14-7. IIC 状态寄存器 0 (IICS0) 的格式(2/3)

COI0	地址相等的检测	
0	地址不相等	
1	地址相等	
清零条件 (COI0 = 0)		设置条件 (COI0 = 1)
• 检测到起始条件时 • 检测到停止条件时 • 由 LRELO = 1 (退出通信)清零 • IICE0 从 1 变为 0 (操作停止)时 • 复位		• 当接收地址和本地地址(从设备地址寄存器 0 (SVA0) 的内容)相等时 (在第 8 个时钟的上升沿设置)

TRC0	发送/接收状态的检测	
0	接收状态(非发送状态)。SDA0 线被设为高阻抗状态。	
1	发送状态。允许将 S00 锁存器中的内容输出到 SDA0 线 (在第 1 个字节的第 9 个时钟的下降沿才有效)。	
清零条件 (TRC0 = 0)		设置条件 (TRC0 = 1)
<主设备模式和从设备模式> • 检测到停止条件时 • 由 LRELO = 1 (退出通信)清零 • IICE0 从 1 变为 0 (操作停止)时 • 由 WRELO = 1[※] (取消等待)清零 • ALD0 从 0 变为 1 (仲裁失败)时 • 复位 <主设备模式> • 当 “1” 输出到第 1 个字节的 LSB (传送方向指示位) 时 <从设备模式> • 检测到启动条件时 • 当 “0” 输入到第 1 个字节的 LSB (传送方向指示位) 时 <未用于通信时>		<主设备模式> • 产生起始条件时 • 当 “0” 输出到第 1 个字节的 LSB (传送方向指示位) 时 <从设备模式> • 当 “1” 输入到第 1 个字节的 LSB (传送方向指示位) 时

注 当 IIC 状态寄存器 0(IICS0)的第 3 位(TRC0)为 1 时，通过在第 9 个时钟将 IIC 控制寄存器 0(IICC0) 的第 5 位(WRELO) 设置为 1，来取消等待状态，TRC0 被清零且 SDA0 线进入高阻抗状态。

备注 LRELO: IIC 控制寄存器 0 (IICC0)的第 6 位
IICE0: IIC 控制寄存器 0 (IICC0)的第 7 位

图 14-7. IIC 状态寄存器 0 (IICS0) 的格式(3/3)

ACKD0	应答信号的检测 ($\overline{\text{ACK}}$)	
0	未检测到应答信号	
1	已检测到应答信号	
清零条件 (ACKD0 = 0)		设置条件 (ACKD0 = 1)
• 检测到停止条件时 • 在下一个字节的第一个时钟的上升沿 • 由 LREL0 = 1 (退出通信)清零 • 当 IICE0 从 1 变为 0 (操作停止)时 • 复位		• 在 SCL0 的第 9 个时钟的上升沿将 SDA0 线设为低电平之后

STD0	启动条件的检测	
0	未检测到起始条件	
1	已检测到起始条件。这表示地址传送阶段有效。	
清零条件 (STD0 = 0)		设置条件 (STD0 = 1)
• 检测到停止条件时 • 在地址发送之后的下一个字节的第 1 个时钟的上升沿 • 由 LREL0 = 1 (退出通信)清零 • 当 IICE0 从 1 变为 0 (操作停止)时 • 复位		• 检测到起始条件时

SPD0	停止条件的检测	
0	未检测到停止条件	
1	已检测到停止条件。主设备通信结束，释放总线。	
清零条件 (SPD0 = 0)		设置条件 (SPD0 = 1)
• 在设置该位并检测到起始条件后的地址发送字节第 1 个时钟的上升沿 • 当 IICE0 从 1 变为 0 (操作停止)时 • 复位		• 检测到停止条件时

备注 LREL0: IIC 控制寄存器 0(IICC0)的第 6 位
 IICE0: IIC 控制寄存器 0(IICC0)的第 7 位

(4) IIC标志寄存器 0 (IICF0)

此寄存器用于设置 I²C 的操作模式，并指示 I²C 总线的状态。
IICF0 可由 1 位或 8 位的存储器操作指令进行设置。但是，STCF 和 IICBSY 位是只读的。
IICRSV 位用于允许/禁止通信预约功能。
STCEN 用于设置 IICBSY 的初始值。
仅当 I²C 操作被禁止(IIC 控制寄存器 0 (IICC0) 的第 7 位(IICE0) = 0)时才可对 IICRSV 和 STCEN 位进行写操作。
当允许操作时，可以读取 IICF0 寄存器。
复位信号的产生将 IICF0 变为 00H。

图 14-8. IIC 标志寄存器 0 (IICF0)的格式

地址: FFF51H	复位后 00H	R/W ^注						
符号	<7>	<6>	5	4	3	2	<1>	<0>
IICF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STT0清零标志
0	产生起始条件
1	起始条件产生不成功: 清零 STT0 标志
清零条件 (STCF=0)	
清零条件 (STCF=1)	
- STT0=1 清零 - 当 IICE0=0 (操作停止) - 复位	发生起始条件不成功, 并且当通讯预约禁止时 STT0 清零 (IICRSV=1)

IICBSY	I ² C总线状态标志
0	总线释放状态 (通讯初始化状态当 STCEN=1)
1	总线通讯状态 (通讯初始化状态当 STCEN=0)
清零条件 (IICBSY = 0)	
清零条件 (IICBSY = 1)	
- 停止条件的检测 - 当 IICE0=0 (操作停止) - 复位	- 停止条件的检测 - 当 STCEN=0 时 IICE0 的设置

STCEN	初始化起始使能触发
0	操作允许后 (IICE0=1), 停止条件检测后允许产生起始条件。
1	操作允许后 (IICE0=1), 停止条件不必检测, 允许产生起始条件。
清零条件 (STCEN = 0)	
清零条件 (STCEN = 1)	
- 起始条件的检测 - 复位	通过指令设置

IICRSV	通讯预约功能禁止位
0	允许通讯预约
1	禁止通讯预约
清零条件 (IICRSV = 0)	
清零条件 (IICRSV = 1)	
- 通过指令清零 - 复位	通过指令设置

注 第 6 位和第 7 位是只读的。

- 注意事项
1. 仅当操作停止 (IICE0 = 0) 时才可对 STCEN 进行写操作。
 2. 当 STCEN = 1 时不论总线处于何种状态, 总线释放状态 (IICBSY = 0) 都可以识别, 因此当第一个起始条件产生 (STT0 = 1) 时, 必须确保没有第三方通信, 以防通信被破坏。
 3. 仅当操作停止 (IICE0 = 0) 时才可对 IICRSV 进行写操作。

备注

STT0: IIC 控制寄存器 0 (IICC0) 的第 1 位

IICE0: IIC 控制寄存器 0 (IICC0) 的第 7 位

(5) IIC 时钟选择寄存器 0 (IICCL0)

此寄存器用来为 I²C 总线设置传送时钟。
可由 1 位或 8 位的存储器操作指令设置 IICCL0。但是，CLD0 和 DAD0 位是只读的。应根据 IIC 功能扩展寄存器 0 (IICX0)的第 0 位(C LX0)设置 SMC0、CL01 和 CL00 位(详见 14. 5. 4 I²C 传送时钟设置方法)。
IIC 控制寄存器 0 (IICC0)的第 7 位(IICE0)为 0 时设置 IICCL0。
复位信号的产生将 IICCL0 设置为 00H。

图 14-9. IIC 时钟选择寄存器 0 (IICCL0)的格式

地址: FFF54H 复位后: 00H R/W^注

符号	7	6	<5>	<4>	<3>	<2>	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL0 引脚电平的检测 (仅当 IICE0 = 1 时有效)
0	SCL0 引脚检测为低电平。
1	SCL0 引脚检测为高电平。
清零条件 (CLD0 = 0)	
设置条件 (CLD0 = 1)	
• SCL0 引脚为低电平时 • IICE0 = 0 (操作停止)时 • 复位	
• SCL0 引脚为高电平时	

DAD0	SDA0 引脚电平的检测 (仅当 IICE0 = 1 时有效)
0	SDA0 引脚检测为低电平。
1	SDA0 引脚检测为高电平。
清零条件 (DAD0 = 0)	
设置条件 (DAD0 = 1)	
• SDA0 引脚为低电平时 • IICE0 = 0 (操作停止)时 • 复位	
• SDA0 引脚为高电平时	

SMC0	操作模式切换
0	标准模式
1	高速模式

DFC0	数字滤波器操作控制
0	关闭数字滤波器
1	打开数字滤波器
数字滤波器只能用于高速模式 在高速模式下，不论 DFC0 位如何设置 (设置(1)/ 清零(0))，传送时钟不会发生变化。 数字滤波器用于高速模式下的噪声消除。	

注 第 4 位和第 5 位是只读的。

备注 IICE0: IIC 控制寄存器 0 (IICC0)的第 7 位

(6) IIC 功能扩展寄存器 0 (IICX0)

此寄存器用于设置 I²C 的功能扩展。

可由 1 位或 8 位存储器操作指令设置 IICX0。根据 IIC 时钟选择寄存器 0(IICCL0)的第 3、1 和 0 位(SMC0、CL01 和 CL00)设置 CLX0 (详见 14.5.4 I²C 传送时钟设置方法)。

IIC 控制寄存器 0(IICC0)的第 7 位(IICE0)为 0 时设置 IICX0。

复位信号将 IICX0 清零 (00H)。

图 14-10. IIC 功能扩展寄存器 0(IICX0)的格式

地址: FFF55H	复位后: 00H	R/W						
符号	7	6	5	4	3	2	1	<0>
IICX0	0	0	0	0	0	0	0	CLX0

表 14-2. 选择时钟设置

IICX0	IICCL0			发送时钟 (f _{CLK} /m)	设置表选择时钟 (f _{CLK}) 范围	操作模式
第 0 位	第 3 位	第 1 位	第 0 位			
CLX0	SMC0	CL01	CL00			
0	0	0	0	f _{CLK} /88	4.00 MHz～8.38 MHz	普通模式 (SMC0 位= 0)
0	0	0	1	f _{CLK} /172	8.38 MHz～16.76 MHz	
0	0	1	0	f _{CLK} /344	16.76 MHz～20 MHz	
0	0	1	1	f _{CLK} /44	2.00 MHz～4.19 MHz	
0	1	0	×	f _{CLK} /48	8.00 MHz～16.76 MHz	高速模式(SMC0 位= 1)
0	1	1	0	f _{CLK} /96	16.00 MHz～20 MHz	
0	1	1	1	f _{CLK} /24	4.00 MHz～8.38 MHz	
1	0	×	×	禁止设置		
1	1	0	×	f _{CLK} /48	8.00 MHz～8.38 MHz	高速模式(SMC0 位= 1)
1	1	1	0	禁止设置	16.00 MHz～16.76 MHz	
1	1	1	1	f _{CLK} /24	4.00 MHz～4.19 MHz	

注意事项 允许操作(通过设置 IIC 控制寄存器 0 (IICC0)的第 7 位(IICE0)为 1 实现)前, 使用 CLX0、SMC0、CL01 和 CL00 决定 I²C 的传送时钟频率。若改变传送时钟频率, 必须先把 IICE0 清零。

备注

1. ×: 不必考虑
2. f_{CLK}: CPU/外围硬件时钟频率

(7) 端口模式寄存器 6 (PM6)

此寄存器可以按位设置端口 6 的输入/输出操作模式。

当 P60/SCL0 引脚用于时钟 I/O 同时将 P61/SDA0 引脚用于串行数据 I/O 时，将 PM60 和 PM61 清零，且将 P60 和 P61 的输出锁存器清零。

在设置输出模式之前应将 IICE0 (IIC 控制寄存器 0 (IICC0) 的第 7 位) 设为 1，这是因为当 IICE0 为 0 时，P60/SCL0 和 P61/SDA0 引脚输出低电平 (恒定)。

可由 1 位或 8 位存储器操作指令设置 PM6。

复位信号的产生将 PM6 设置为 FFH。

图 14-11. 端口模式寄存器 6 (PM6) 的格式

地址	FFF26H		复位后 FFH		R/W			
符号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	P6n 引脚 I/O 模式选择 (n=0~3)
0	输出模式 (输出缓冲器开)
1	输入模式 (输出缓冲器关)

14.4 I²C 总线模式功能

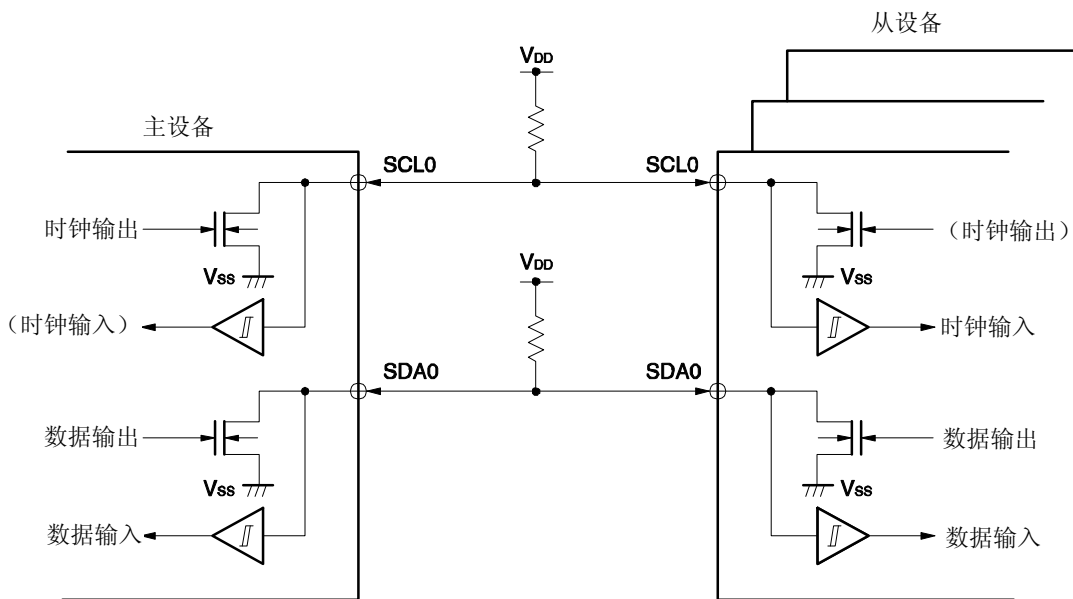
14.4.1 引脚配置

串行时钟引脚 (SCL0) 和串行数据总线引脚 (SDA0) 配置如下。

- (1) SCL0.... 此引脚用于串行时钟的输入和输出。
此引脚是主设备和从设备的 N-ch 漏极开路输出。该输入是施密特 (Schmitt) 输入。
- (2) SDA0.... 此引脚用于串行数据的输入和输出。
此引脚是主设备和从设备的 N-ch 漏极开路输出。该输入是施密特 (Schmitt) 输入。

由于串行时钟线和串行数据总线的输出都是 N-ch 漏极开路输出，因此需要一个外部上拉电阻。

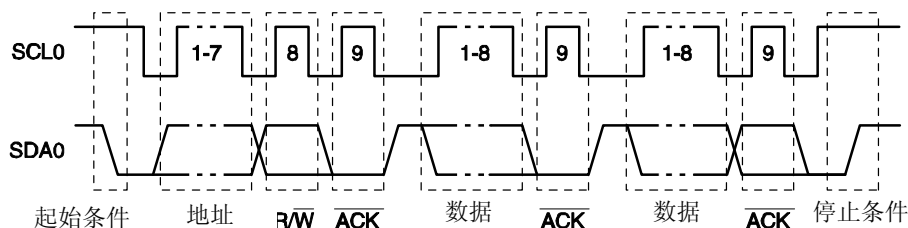
图 14-12. 引脚配置框图



14.5 I²C 总线定义和控制方法

以下描述了 I²C 总线的串行数据通信格式和 I²C 总线使用的信号。图 14-13 显示了通过 I²C 串行数据总线的“起始条件”，“地址”，“数据”和“停止条件”等信号输出时的传送时序。

图 14-13. I²C 总线串行数据传送时序



主设备产生起始条件、从设备地址和停止条件。

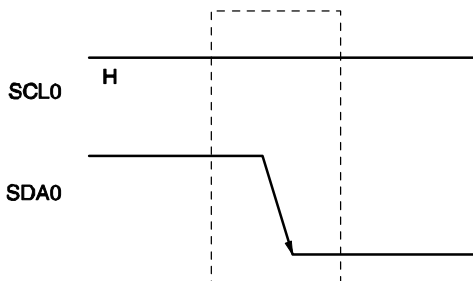
应答信号 ($\overline{\text{ACK}}$) 可以由主设备或者从设备产生（通常，由接收 8 位数据的设备输出）。

主设备持续输出串行时钟（SCL0）。但在从设备中，可以延长 SCL0 的低电平阶段同时可以插入等待时间。

14.5.1 起始条件

SCL0 引脚处于高电平且 SDA0 引脚从高电平变为低电平时，满足起始条件。当启动串行传送时，SCL0 引脚和 SDA0 引脚的起始条件是由主设备产生并发送给从设备的信号。当使用从设备时，可以检测到起始条件。

图 14-14. 起始条件



检测到停止条件 (SPD0: IIC 状态寄存器 0 (IICS0) 的第 0 位=1) 后，IIC 控制寄存器 0 (IICC0) 的第 1 位 (STT0) 被设置 (为 1) 时，输出一个起始条件。检测到起始条件时，IICS0 的第 1 位 (STD0) 被设置 (为 1)。

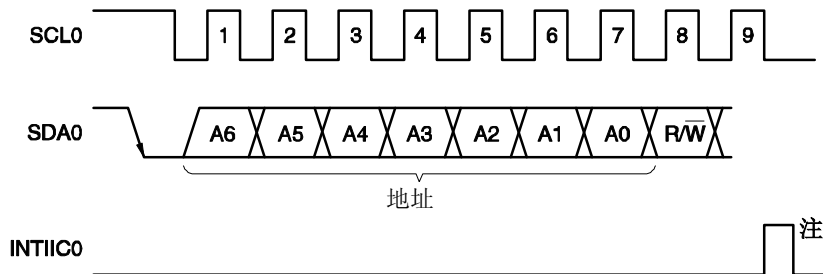
14.5.2 地址

地址由起始条件之后的 7 位数据指定。

一个地址是一个输出的 7 位数据段，用于选择一个通过总线与主设备相连的从设备。因此，通过总线相连的每个从设备必须有一个唯一的地址。

从设备包括具有以下功能的硬件：检测起始条件，检查 7 位地址数据是否与存储在从设备地址寄存器 0 (SVA0) 中的数据相等。如果地址数据和 SVA0 的值相等，则该从设备将被选中且与主设备通信，直到主设备产生一个起始条件或停止条件。

图 14-15. 地址



注 如果在从设备操作期间接收到的是数据而不是本地地址或扩展码时，则 INTIIC0 不会发出。

将从设备地址和第 8 位 (用于指示传送方向 (如 14.5.3 传送方向指示中所描述的)) 一起写入 IIC 移位寄存器 0 (IIC0) 并且输出。接收到的地址写入 IIC0。

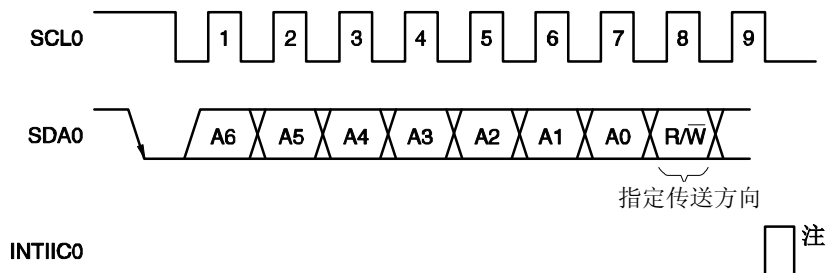
将从设备地址分配给 IIC0 的高 7 位。

14.5.3 传送方向指示

除了 7 位地址数据之外，主设备还发送 1 位数据用于指示传送方向。

当传送方向指示位的值为“0”时，表示主设备正向从设备传送数据。当传送方向指示位的值为“1”时，表示主设备正接收来自从设备的数据。

图 14-16. 传送方向指示



注 如果在从设备操作期间接收到的是数据而不是本地地址或扩展码时，则 INTIIC0 不会发出。

14.5.4 发送时钟设置方法

(1) 主设备的选择时钟设置方法

I²C 发送时钟频率 (f_{SCL}) 可以通过下面的公式计算出。

$$f_{SCL} = 1/(m \times T + t_R + t_F)$$

$m = 24, 44, 48, 88, 96, 172, 344$ (参见表 14-3 选择时钟设置)

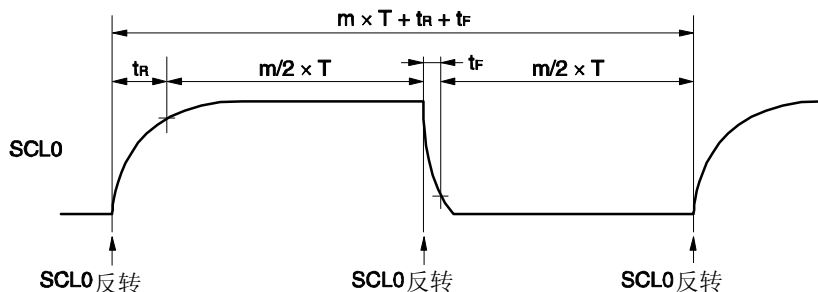
T : $1/f_{CLK}$

t_R : SCL0 上升时间

t_F : SCL0 设置时间

例如，当 $f_{CLK} = 4.19 \text{ MHz}$, $m = 88$, $t_R = 200 \text{ ns}$, 和 $t_F = 50 \text{ ns}$ 时 I²C 发送时钟频率 (f_{SCL}) 使用下面的公式计算。

$$f_{SCL} = 1/(88 \times 238.7 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \cong 47.0 \text{ kHz}$$



通过 IIC 时钟选择寄存器 0 (IICCL0) 的第 3, 1, 和 0 位 (SMC0, CL01, 和 CL00) 和 IIC 功能扩展寄存器 0 (IICX0) 的第 0 位 (CLX0) 设置选择时钟。

(2) 从设备的选择时钟设置方法

要用作从设备，根据 f_{CLK} (选择表选择时钟范围) 和 IIC 操作模式 (普通或高速) 设置时钟选择寄存器 (IICL0) 的第 3, 1, 和 0 位 (SMC0, CL01, 和 CL00) 和 IIC 功能扩展寄存器 0 (IICX0) 的第 0 位 (CLX0)，定义在表 14-3. 选择时钟设置中。

表 14-3. 选择时钟设置

IICX0	IICCL0			发送时钟 (fCLK/m)	设置表选择时钟 (fCLK) 范围	操作模式
第 0 位	第 3 位	第 1 位	第 0 位			
CLX0	SMC0	CL01	CL00			
0	0	0	0	fCLK/88	4.00 MHz~8.38 MHz	普通模式 (SMC0 位 = 0)
0	0	0	1	fCLK/172	8.38 MHz~16.76 MHz	
0	0	1	0	fCLK/344	16.76 MHz~20 MHz	
0	0	1	1	fCLK/44	2.00 MHz~4.19 MHz	
0	1	0	×	fCLK/48	8.00 MHz~16.76 MHz	高速模式(SMC0 位= 1)
0	1	1	0	fCLK/96	16.00 MHz~20 MHz	
0	1	1	1	fCLK/24	4.00 MHz~8.38 MHz	
1	0	×	×	设置禁止		
1	1	0	×	fCLK/48	8.00 MHz~8.38 MHz	高速模式(SMC0 位= 1)
1	1	1	0	设置禁止	16.00 MHz~16.76 MHz	
1	1	1	1	fCLK/24	4.00 MHz~4.19 MHz	

注意事项 允许操作(通过设置 IIC 控制寄存器 0 (IICC0)的第 7 位(IICE0)为 1 实现)前, 使用 CLX0、SMC0、CL01 和 CL00 决定 I²C 的传送时钟频率。若改变传送时钟频率, 必须先把 IICE0 清零。

备注 1. ×: 不必考虑
2. fCLK: CPU/外围硬件时钟频率

14.5.5 应答信号 (ACK)

ACK 信号用于检测处于发送方和接收方的串行数据的状态。

当接收方收到 8 位数据后将返回一个 ACK 信号。

发送方通常在发送了 8 位数据后接收到 ACK 信号。当 ACK 信号从接收方返回时, 认为已正确接收并继续之后的处理。是否检测到 ACK 信号可以通过 IIC 状态寄存器 0 (IICS0)的第 2 位(ACKD0)进行检测。

主设备接收到最后一个数据项时, 不再返回 ACK 信号而是产生一个停止条件。如果从设备在接收到数据后未返回 ACK 信号, 主设备将输出一个停止条件或重启条件并且停止传送。如果未返回 ACK 信号, 可能是如下原因。

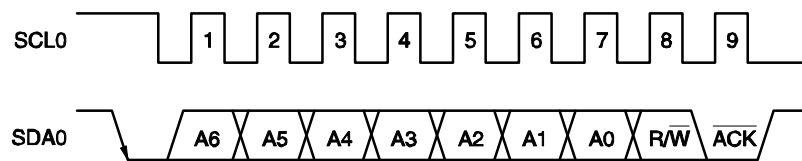
- <1> 接收操作没有正常进行。
- <2> 接收到最后一个数据项。
- <3> 由地址指示的接收方不存在。

要产生 ACK 信号, 接收方必须在第 9 个时钟时使 SDA0 线变为低电平(表示正常接收)。

可通过设置 IIC 控制寄存器 0(IICC0)的第 2 位(ACE0)为 1, 自动产生 ACK 信号。IICS0 寄存器的第 3 位(TRC0)可被数据的第 8 位(紧接着 7 位地址信息)设置。通常, 设置 ACE0=1 用于接收 (TRC0 = 0)。

如果一个从设备在接收 (TRC0 = 0) 期间不再收到任何数据或者不再需要下一个数据项, 则从设备必须通过将 ACE0 清零通知主设备, 这样它就不会再收到任何数据。

接收 (TRC0 = 0) 期间, 当主设备不需要下一个数据项时, 必须将 ACE0 清零, 这样就不会产生 ACK。在这种方式下, 主设备通知作为发送方的从设备, 不再需要其他数据(发送过程将停止)。

图 14-17. $\overline{\text{ACK}}$ 

接收到本地地址时，无论 ACKE0 的值是多少，都将自动产生 $\overline{\text{ACK}}$ 信号。当接收到一个非本地地址时，则不产生 $\overline{\text{ACK}}$ 信号 (NACK)。

接收到扩展码时，如果 ACKE0 预先设为 1，则将产生 $\overline{\text{ACK}}$ 信号。

接收到数据时如何产生 $\overline{\text{ACK}}$ 信号，将根据等待时序的设置而变化。

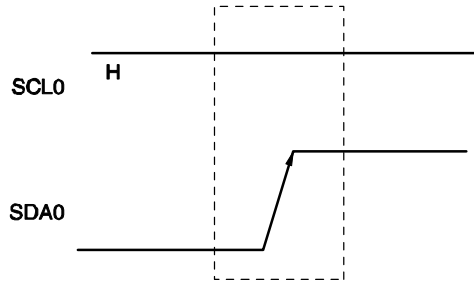
- 当选择 8 时钟等待状态时 (IIC0 寄存器的第 3 位 (WTIM0) = 0) :
退出等待状态前通过将 ACKE0 设为 1，在 SCL0 引脚第 8 个时钟的下降沿产生 $\overline{\text{ACK}}$ 信号。
- 当选择 9 时钟等待状态时 (IIC0 寄存器的第 3 位 (WTIM0) = 1) :
通过预先设置 ACKE0 为 1 产生 $\overline{\text{ACK}}$ 信号。

14.5.6 停止条件

SCL0 引脚处于高电平时，将 SDA0 引脚从低电平变为高电平可以产生一个停止条件。

停止条件是一个信号，它在串行传送操作结束时由主设备产生并发送给从设备。当作为从设备使用时，可以检测到停止条件。

图 14-18. 停止条件



IIC 控制寄存器 0(IICC0)的第 0 位(SPT0)设为 1 时，会产生一个停止条件。当检测到停止条件时，IIC 状态寄存器 0(IICS0)的第 0 位(SPD0)被设为 1 且当 IICC0 的第 4 位(SPIE0)被设为 1 时产生 INTIIC0。

14.5.7 等待

等待状态用来通知通信另一方，设备(主设备或从设备)正准备发送或者接收数据(即处于等待状态)。
设置 SCL0 引脚为低电平，通知通信另一方设备已进入等待状态。当主设备和从设备的等待状态被取消时，下一个数据传送才能开始。

图 14-19. 等待(1/2)

(1) 当主设备有 9 个时钟等待而从设备有 8 个时钟等待时(主设备发送，从设备接收，同时 ACKE0 = 1)

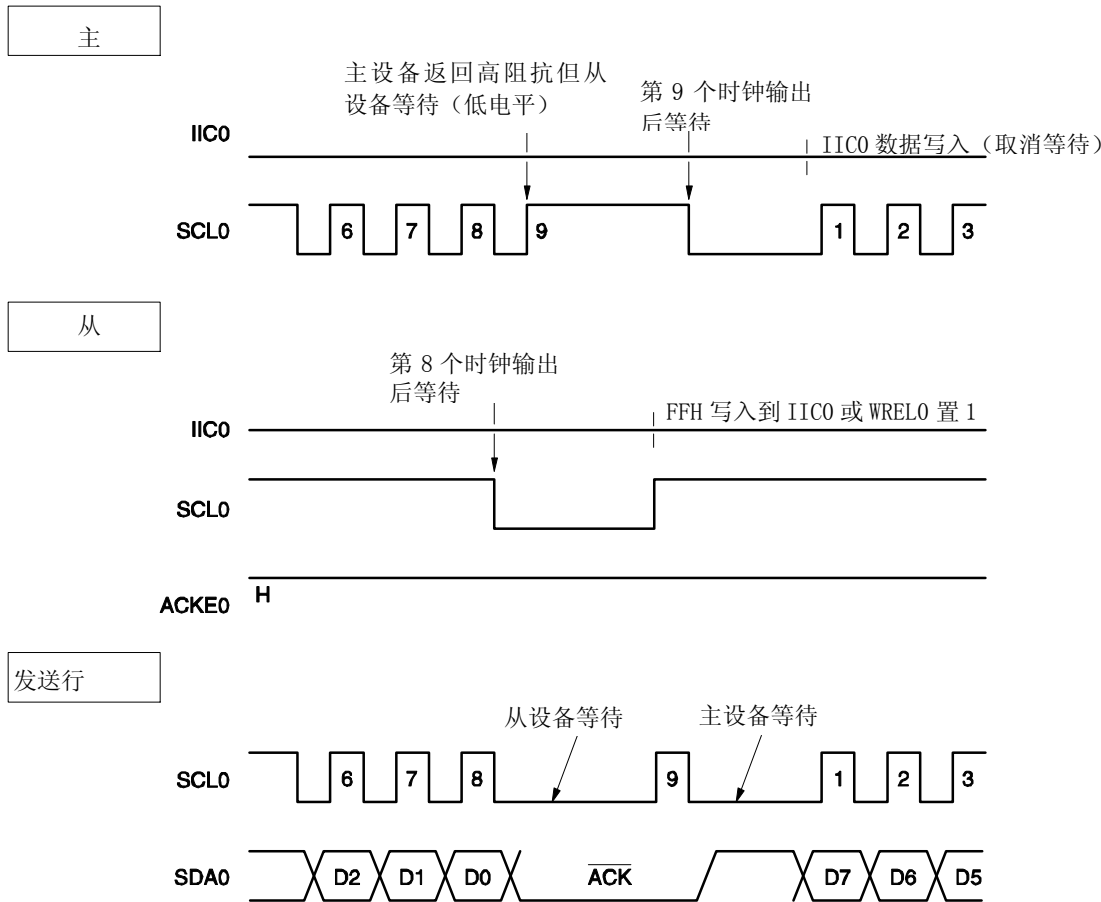
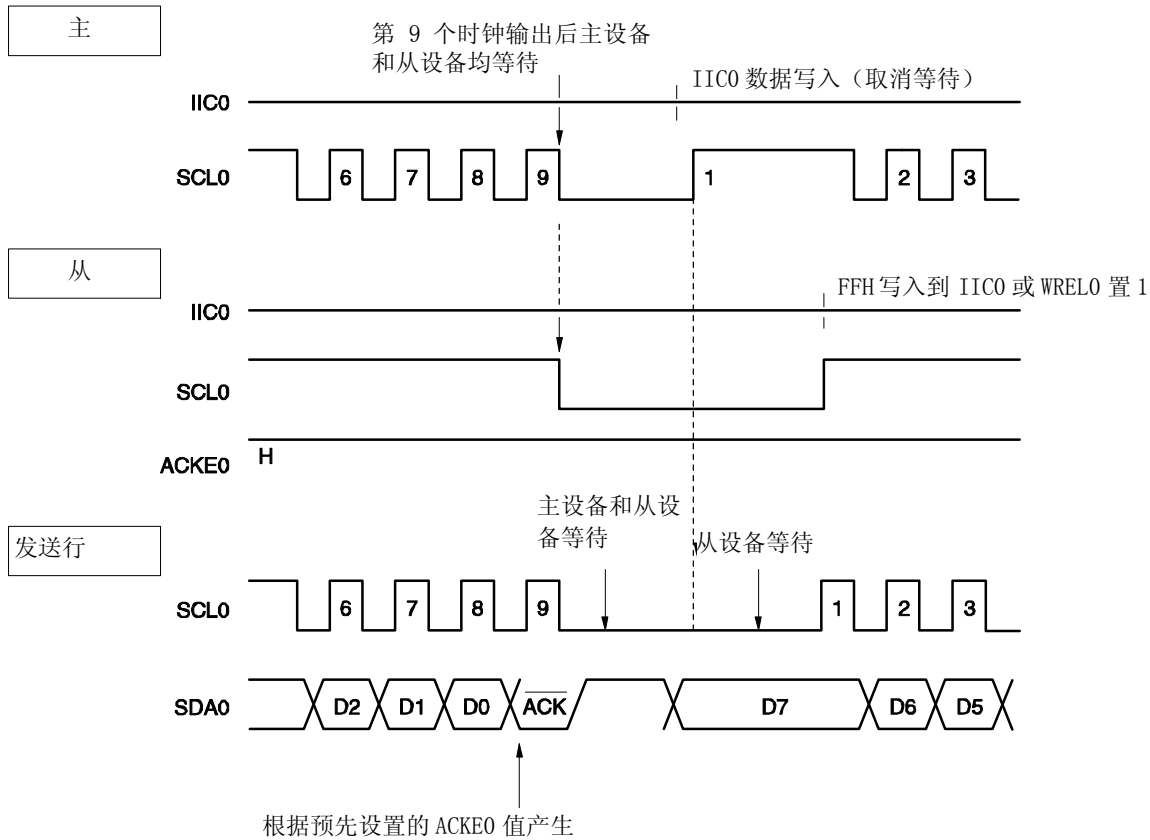


图 14-19. 等待(2/2)

(2) 当主和从设备都有 9 个时钟后等待时(主设备发送, 从设备接收, 同时 ACKE0 = 1)



备注 ACKE0: IIC 控制寄存器 0 (IIC0) 的第 2 位
WRELO: IIC 控制寄存器 0 (IIC0) 的第 5 位

根据 IIC 控制寄存器 0 (IIC0) 的第 3 位 (WTIM0) 的设置, 自动产生等待状态。

通常, 当 IIC0 的第 5 位 (WRELO) 设置为 1 时或者在将 FFH 写入 IIC 移位寄存器 0 (IIC0) 时, 接收方取消等待状态, 而当数据写入 IIC0 时, 发送方取消等待状态。

主设备也能通过以下任何一种方法取消等待状态。

- 通过把 IIC0 的第 1 位 (STT0) 设为 1
- 通过把 IIC0 的第 0 位 (SPT0) 设为 1

14.5.8 取消等待

I²C 通常通过如下处理方式取消一个等待状态。

- 把数据写入 IIC 移位寄存器 0(IIC0)
- 设置 IIC 控制寄存器 0(IICC0) 的第 5 位(WRELO) (取消等待)
- 设置 IICC0 寄存器的第 1 位 (STT0) (产生起始条件)[※]
- 设置 IICC0 寄存器的第 0 位 (SPT0) (产生停止条件)[※]

注 仅用于主设备

当执行以上取消等待处理过程时, I²C 取消等待状态且恢复通信。

通过向 IIC0 写数据来取消等待状态并发送数据 (包括地址)。

通过设置 IIC 控制寄存器 0(IICC0)的第 5 位(WRELO)为 1, 可在取消等待状态之后接收数据, 或完成数据发送操作。

设置 IICC0 的第 1 位(STT0)为 1, 可在取消一个等待状态之后产生一个重启条件。

设置 IICC0 的第 0 位(SPT0)为 1, 可在取消一个等待状态之后产生一个停止条件。

对于一个等待状态只能执行一次取消操作。

例如, 如果通过设置 WRELO 为 1 在取消等待状态之后将数据写入 IIC0, 则可能一个不正确的值输出到 SDA0, 这是因为改变 SDA0 线的时序和 IIC0 写操作时序相冲突。

除此以外, 如果通信已放弃时 IICE0 被清零, 则停止通信, 这样可以取消等待状态。

如果 I²C 总线由于噪音产生死锁, 则通过设置 IICC0 的第 6 位(LRELO)可以保存通信处理内容, 这样等待状态便可以取消。

14.5.9 中断请求 (INTIIC0)产生时序和等待控制

IIC 控制寄存器 0 (IICC0) 的第 3 位 (WTIMO) 的设置决定 INTIIC0 产生时序和相应的等待控制, 如表 14-4 所示。

表 14-4. INTIIC0 产生时序和等待控制

WTIMO	从设备操作期间			主设备操作期间		
	地址	数据接收	数据发送	地址	数据接收	数据发送
0	9 ^{注 1,2}	8 ^{注 2}	8 ^{注 2}	9	8	8
1	9 ^{注 1,2}	9 ^{注 2}	9 ^{注 2}	9	9	9

注 1. 仅当有地址与从设备地址寄存器 0 (SVA0) 设置的地址相等时, 在第 9 个时钟的下降沿产生从设备的 INTIIC0 信号和等待周期。

此时, 不论 IICC0 的第 2 位 (ACKE0) 设置为何值, 都将产生 $\overline{\text{ACK}}$ 信号。对于一个接收到扩展码的从设备, 在第 8 个时钟的下降沿将产生 INTIIC0。

但是, 如果重启之后地址不相等, 将在第 9 个时钟的下降沿产生 INTIIC0, 但不会产生等待周期。

2. 如果接收地址与从设备地址寄存器 0 (SVA0) 的内容不相等, 同时也未接收到扩展码, 则 INTIIC0 和等待周期都不会产生。

备注 表中的数字是指串行时钟的时钟信号个数。中断请求和等待控制和这些时钟信号的下降沿同步。

(1) 地址发送/接收期间

- 从设备操作: 中断和等待时序取决于以上注 1、2 中所描述的情况, 与 WTIMO 位无关。
- 主设备操作: 中断和等待时序在第 9 个时钟的下降沿发生, 与 WTIMO 位无关。

(2) 数据接收期间

- 主/从设备操作: 中断和等待时序取决于 WTIMO 位。

(3) 数据发送期间

- 主/从设备操作: 中断和等待时序取决于 WTIMO 位。

(4) 等待取消的方法

四种取消等待方法如下所示。

- 向 IIC 移位寄存器 0 (IIC0) 写入数据
- 设置 IIC 控制寄存器 0 (IICC0) 的第 5 位 (WREL0) (取消等待)
- 设置 IICC0 寄存器的第 1 位 (STT0) (产生起始条件)^注
- 设置 IICC0 寄存器的第 0 位 (SPT0) (产生停止条件)^注

注 仅用于主设备。

当选择等待 8 个时钟时 (WTIMO = 0), 必须先决定是否产生 $\overline{\text{ACK}}$ 信号, 再考虑取消等待。

(5) 停止条件的检测

当检测到一个停止条件时 (仅当 SPIE0 = 1), INTIIC0 将会产生。

14.5.10 地址相等的检测方法

在 I²C 总线模式下，主设备可以通过发送的从设备地址来选择指定的从设备。
可以通过硬件自动检测到地址相等。当将一个本地地址设置到从设备地址寄存器 0(SVA0)中且该地址与主设备发送的从设备地址相等时，或者接收到扩展码时，都将产生一个中断请求(INTIIC0)。

14.5.11 错误检测

I²C 总线模式下，在数据发送期间通过发送设备的 IIC 移位寄存器(IIC0)捕获串行数据总线(SDA0)的状态，因此发送前的 IIC0 数据可以用来和已发送的 IIC0 数据比较，以此来实现对发送错误的检测。当比较值不相等时，可以判断存在一个发送错误。

14.5.12 扩展码

- (1) 当接收地址的高 4 位为“0000”或“1111”时，代表接收到扩展码的扩展码接收标志(EXC0)被设为 1，并且在第 8 个时钟的下降沿产生中断请求(INTIIC0)。而存放在从设备地址寄存器 0(SVA0)中的本地地址不受影响。
- (2) 如果由一个 10 位地址传送设置 SVA0 为“11110××0”且主设备传送的值为“11110××0”，则其结果如下所示。
注意在第 8 个时钟的下降沿产生 INTIIC0。
 - 数据的高 4 位相等:EXC0 = 1
 - 7 位数据相等:COI0 = 1

备注 EXC0: IIC 状态寄存器 0(IICS0)的第 5 位
 COI0: IIC 状态寄存器 0(IICS0)的第 4 位

- (3) 由于中断请求发生之后的处理过程随扩展码之后的数据而有所不同，因此这样的处理过程由软件来执行。
如果当一个从设备正在操作时接收到扩展码，那么该从设备(即使它的地址不相等)也将参与通信。
例如，接收到扩展码后，如果不希望目标设备作为从设备来操作，则将 IIC 控制寄存器 0(IICC0)的第 6 位(LRELO)设为 1，为下一个通信操作设置待机模式。

表 14-5. 扩展码位定义

从设备地址	R/W 位	描述
0 0 0 0 0 0 0	0	通用调用地址
0 0 0 0 0 0 0	1	起始字节
0 0 0 0 0 0 1	×	C-总线地址
0 0 0 0 0 1 0	×	为不同总线格式预约的地址
1 1 1 1 0 × ×	×	10 位从设备地址规范

14.5.13 仲裁

当多个主设备同时产生起始条件信号时（在 STD0 设为 1 之前将 STT0 设为 1），调整时钟数目直至传送数据改变，然后执行主设备间的通信。这种操作称为仲裁。

当有一个主设备仲裁失败时，可通过仲裁失败产生的时序设置 IIC 状态寄存器 0 (IICS0) 中的仲裁失败标志 (ALD0) 为 1，同时 SCL0 和 SDA0 线变为高阻抗，从而释放总线。

基于下一个中断请求的时序（第 8 或第 9 个时钟，检测到停止条件时等）以及由软件设置 ALD0=1 来检测仲裁失败。

有关中断请求时序，详见 14.5.9 I²C 中断请求 (INTIIC0) 产生时序和等待控制。

备注 STD0: IIC 状态寄存器 0 (IICS0) 的第 1 位
 STT0: IIC 控制寄存器 0 (IICC0) 的第 1 位

图 14-20. 仲裁时序举例

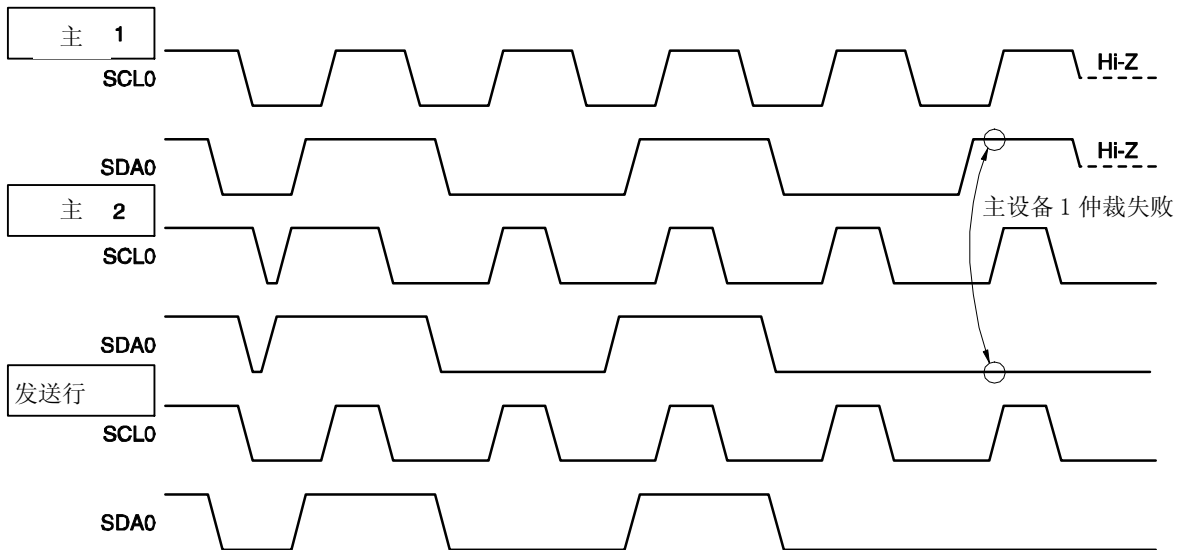


表 14-6. 仲裁期间的状态和中断请求产生时序

仲裁期间的状态	中断请求产生时序
地址发送期间	字节传送后第 8 或第 9 个时钟的下降沿 ^{註1}
地址发送后读/写数据	
扩展码发送期间	
扩展码发送后读/写数据	
数据发送期间	
数据发送之后的 ACK 信号传送期间	
数据传送期间检测到重启条件时	
数据传送期间检测到停止条件时	停止条件产生时 (当 SPIE0 = 1) ^{註2}
准备产生重启条件时数据为低电平	字节传送后第 8 或第 9 个时钟的下降沿 ^{註1}
准备产生重启条件时检测到停止条件	停止条件产生时 (当 SPIE0 = 1) ^{註2}
准备产生停止条件时数据为低电平	字节传送后第 8 或第 9 个时钟的下降沿 ^{註1}
准备产生重启条件时 SCL0 为低电平	

- 注 1. 当 WTIMO (IIC 控制寄存器 0 (IICC0) 的第 3 位) = 1 时, 将在第 9 个时钟的下降沿产生一个中断请求。当 WTIMO = 0 且扩展码的从设备地址已被接收时, 将在第 8 个时钟的下降沿产生一个中断请求。
2. 如果可以产生仲裁, 则设置 SPIE0 = 1, 进行主设备操作。

备注 SPIE0: IIC 控制寄存器 0 (IICC0) 的第 4 位

14.5.14 唤醒功能

I²C 总线从设备唤醒功能是, 在接收到本地地址及扩展码时产生一个中断请求信号 (INTIIC0)。

此功能通过在地址不相等时禁止产生不必要的 INTIIC0 信号, 使处理更加有效。

当检测到一个起始条件时, 设置唤醒待机模式。仲裁失败可能将主设备 (已产生启动条件) 转变为从设备, 如果因此而发送地址时, 则该唤醒待机模式有效。

可是, 当检测到停止条件时, 无论是否有唤醒功能, 都设置 IIC 控制寄存器 0 (IICC0) 的第 4 位 (SPIE0), 这将决定是否允许或禁止中断请求。

14.5.15 通信预约

(1) 允许使用通信预约功能时(IIC 标志寄存器 0(IICF0)的第 0 位(IICRSV) = 0)

如果要启动当前不使用总线的主设备通信，可以使用通信预约功能，在总线释放时允许发送一个启动条件信号。有两种不使用总线时的模式。

- 当仲裁结果不是主/从设备操作时
- 当接收到扩展码且禁止从设备操作时(不返回 ACK 信号且 IIC 控制寄存器 0 (IICC0) 的第 6 位(LRELO)被设置为 1 时释放总线)。

如果总线未使用时(检测到停止条件后)IICC0 的第 1 位(STT0) 被设为 1，则自动产生一个起始条件并且设置等待状态。

如果在 IICC0 的第 4 位(SPIE0)被设为 1 之后将地址写入 IIC 移位寄存器 0 (IIC0)，并且通过总线释放(检测停止状态)产生中断请求信号(INTIIC0)来检测该地址，则设备将以主设备方式自动开始通信。在检测到停止条件前写入 IIC0 的数据是无效的。

当 STT0 已被设为 1 时，操作模式(作为起始条件或作为通信预约)取决于总线状态。

- 如果总线已被释放..... 产生一个起始条件
- 如果总线未被释放 (待机模式)..... 通信预约

STT0 设为 1 且经历了等待时间后，使用 MST0(IIC 状态寄存器 0 (IICS0)的第 7 位) 检查是否进行通信预约操作。

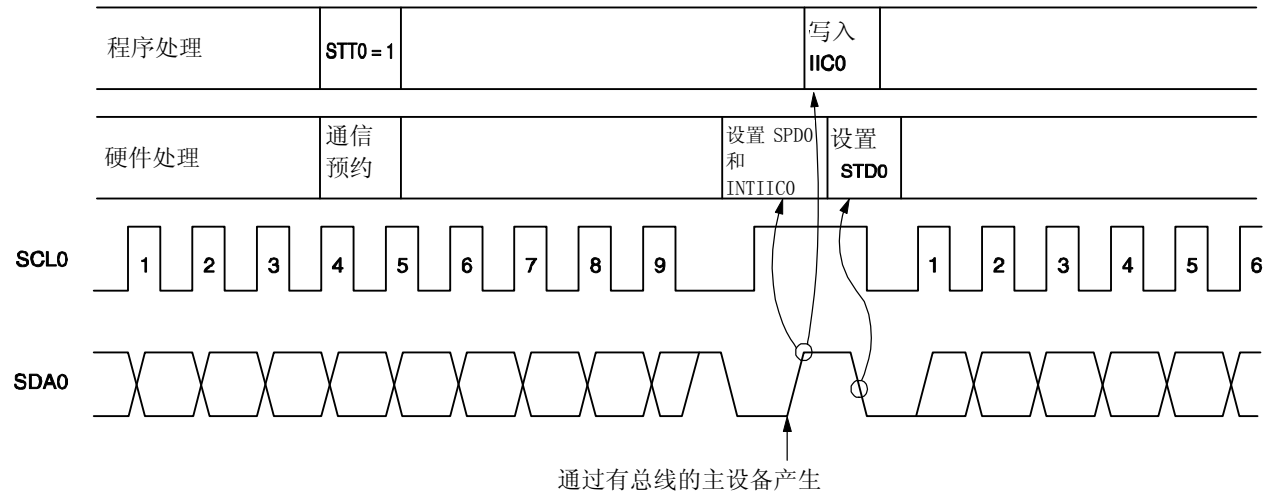
应通过软件设置的等待周期见表 14-7。

表 14-7. 等待周期

CLX0	SMC0	CL01	CL00	等待周期
0	0	0	0	43 个时钟
0	0	0	1	85 个时钟
0	0	1	0	101 个时钟
0	0	1	1	23 个时钟
0	1	0	0	27 个时钟
0	1	0	1	
0	1	1	0	51 个时钟
0	1	1	1	15 个时钟
1	1	0	0	
1	1	0	1	
1	1	1	0	27 个时钟
1	1	1	1	9 个时钟

图 14-21 显示通信预约时序。

图 14-21. 通信预约时序



备注 IIC0: IIC 移位寄存器 0
STT0: IIC 控制寄存器 0 (IICC0) 的第 1 位
STD0: IIC 状态寄存器 0 (IICS0) 的第 1 位
SPD0: IIC 状态寄存器 0 (IICS0) 的第 0 位

通过以下时序接受通信预约。IIC 状态寄存器 0 (IICS0) 的第 1 位 (STD0) 设为 1 之后，可以通过在检测到停止条件之前设置 IIC 控制寄存器 0 (IICC0) 的第 1 位 (STT0) 为 1 来进行通信预约。

图 14-22. 接受通信预约的时序

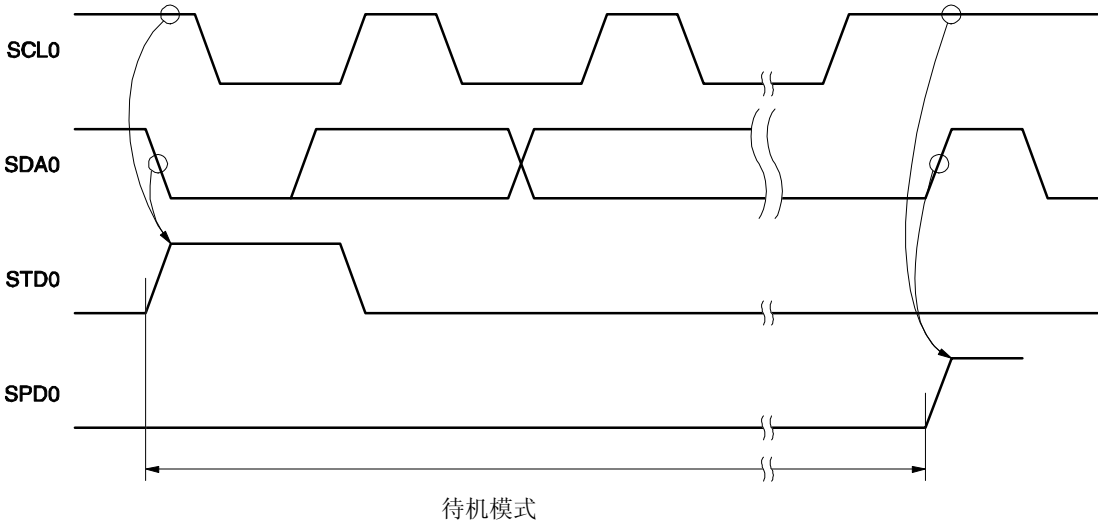
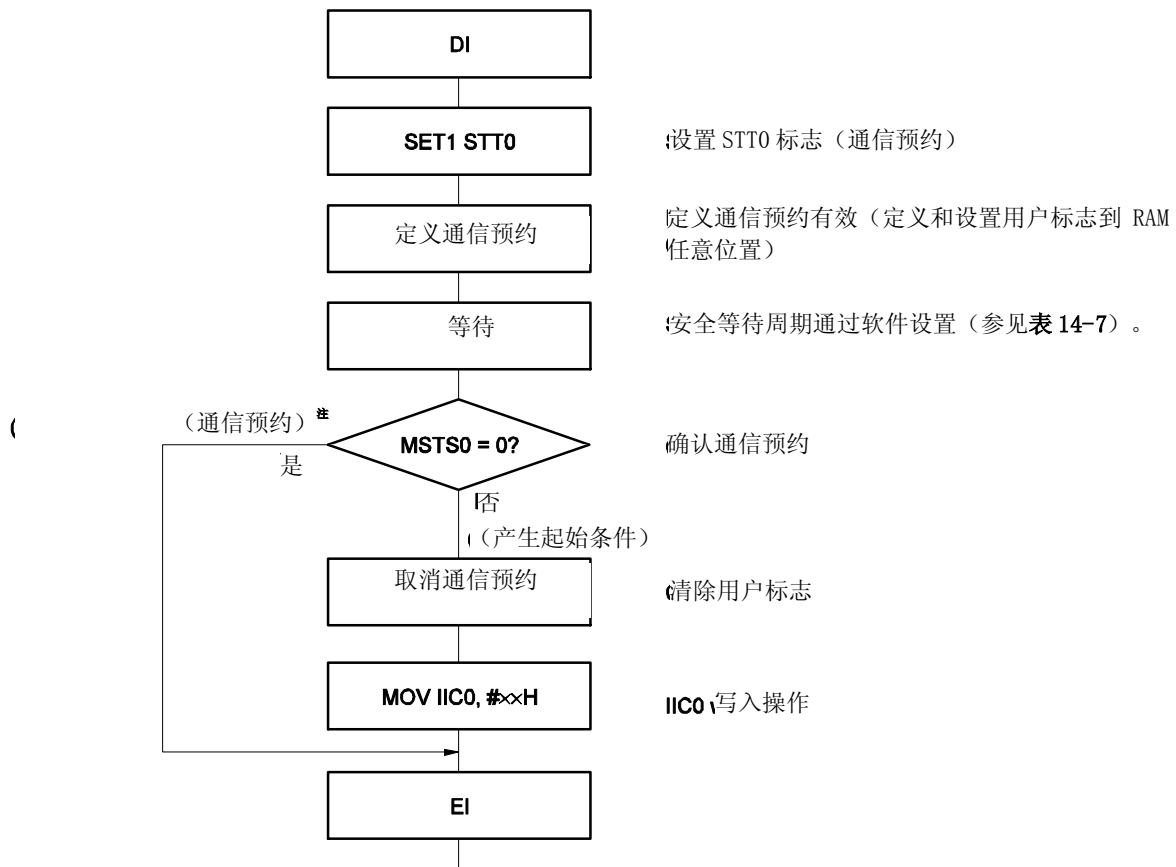


图 14-23 显示通信预约协议。

图 14-23. 通信预约协议



注 当产生一个停止条件中断请求时，通信预约执行对 IIC 移位寄存器 0 (IIC0)的写操作。

备注 STT0: IIC 控制寄存器 0 (IIC0) 的第 1 位
MSTS0: IIC 状态寄存器 0 (IICS0) 的第 7 位
IIC0: IIC 移位寄存器 0

(2) 当禁止使用通信预约功能时 (IIC 标志寄存器 0 (IICF0) 的第 0 位 (IICRSV) = 1)

如果在总线通信期间，总线未使用时将 IIC 控制寄存器 0 (IICC0) 的第 1 位 (STT0) 设置为 1，则该请求会被拒绝并且不产生起始条件。下列两种状态包括了总线未使用时的情况。

- 当仲裁结果不是主/从设备操作时
- 接收到一个扩展码且禁止从设备操作时 (不返回 $\overline{\text{ACK}}$ 信号且 IIC 控制寄存器 0 (IICC0) 的第 6 位 (LREL0) 被设置为 1 时释放总线)

通过检查 STCF (IICF0 的第 7 位) 来确认是产生了起始条件还是请求被拒绝。设置 STT0 = 1 后，直到 STCF 被设置为 1 时。因此，必须通过软件确保等待时间。

14.5.16 注意事项

(1) 当 STCEN (IIC 标志寄存器 0 (IICF0) 的第 1 位) = 0 时

在允许 I²C 操作 (IICE0 = 1) 后, 无论总线的实际状态如何都可以识别总线通信状态 (IICBSY (IICF0 的第 6 位) = 1)。从检测到非停止条件模式变为主设备通信模式时, 首先产生一个停止条件以释放总线, 然后进行主设备通信。

当使用多个主设备时, 如果总线未被释放 (没有检测到停止条件), 则不能进行主设备通信。

按下列步骤产生停止条件。

- <1> 设置 IIC 时钟选择寄存器 0 (IICCL0)。
- <2> 设置 IIC 控制寄存器 0 (IICC0) 的第 7 位 (IICE0) 为 1。
- <3> 设置 IICC0 的第 0 位 (SPT0) 为 1。

(2) 当 STCEN = 1

在允许 I²C 操作 (IICE0 = 1) 后, 无论总线的实际状态如何都可以识别总线通信状态 (IICBSY (IICF0 的第 6 位) = 1)。要产生第一个起始条件 (STT0 (IIC 控制寄存器 0 (IICC0) 的第 1 位) = 1), 必须确认总线已被释放, 以免干扰其他通信。

(3) 如果其它 I²C 通信已经进行

如果 SDA0 引脚为低电平同时 SCL0 引脚为高电平时允许 I²C 操作, 且设备已进行通信, 则 I²C 的宏可以识别 SDA0 引脚已经变为低电平 (检测一个起始条件)。如果此时总线上的值被识别为一个扩展码, 则返回 ACK 信号, 但这会干扰其他 I²C 通信。为了避免这种情况, 可按下列步骤启动 I²C。

- <1> 当检测到停止条件时, 将 IICC0 的第 4 位 (SPIE0) 清零, 禁止产生中断请求信号 (INTIIC0)。
- <2> 设置 IICC0 的第 7 位 (IICE0) 为 1, 允许 I²C 的操作。
- <3> 等待对启动条件的检测。
- <4> $\overline{\text{ACK}}$ 信号返回之前 (设置 IICE0 为 1 之后的 4 到 80 个时钟) 设置 IICC 的第 6 位 (LREL0) 为 1, 强行禁止检测。

(4) 允许操作之前 (IICE0 = 1) 通过使用 SMC0, CL01, CL00 (IICL0 的第 3, 1 和 0 位) 和 CLX0 (IICX0 的第 0 位) 决定传送时钟频率。要改变传送时钟频率, 必须清零 IICE0。

(5) 在对 STT0 和 SPT0 (IICC0 的第 1 和第 0 位) 设置之后和清零之前, 禁止再次设置。

(6) 当预约发送时, 设置 SPIE0 (IICL0 的第 4 位) 为 1, 以允许在检测到停止条件时产生中断请求。中断请求产生后, 将通信数据写入 IIC0, 传送过程开始。如果检测到停止条件时不产生中断请求, 设备将处于等待状态, 因为开始通信时不产生中断请求。但是, 由软件检测 MSTS0 (IICS0 的第 7 位) 时不必设置 SPIE0 为 1。

14.5.17 通信操作

以下显示了三种操作过程和其流程图。

(1) 主设备操作 (单主设备系统)

使用 78K0R/KG3 用作主设备(单主设备系统)的流程图在下面显示。

该流程图分为初始化设置和通信过程。在程序开始处执行初始化设置。如果需要和从设备通信,准备通信并且执行通信处理。

(2) 主设备操作(多主设备系统)

在 I²C 总线的多主设备系统,当总线参与通信时,不能通过 I²C 总线规范判断总线是否释放。这样,当数据和时钟有一段时间的高电平时(1 帧),在总线释放状态时 78K0R/KG3 参与通信。

该流程分为初始化设置,通信等待和通信处理。这里没有显示当 78K0R/KG3 仲裁失败而作为从设备的处理,只显示主设备的处理。在启动时执行初始化设置参与通信。然后,主设备等待通信请求或者从设备等待详细指定。在通信处理中执行实际通信,从设备支持发送/接收,主设备之间进行仲裁。

(3) 从设备操作

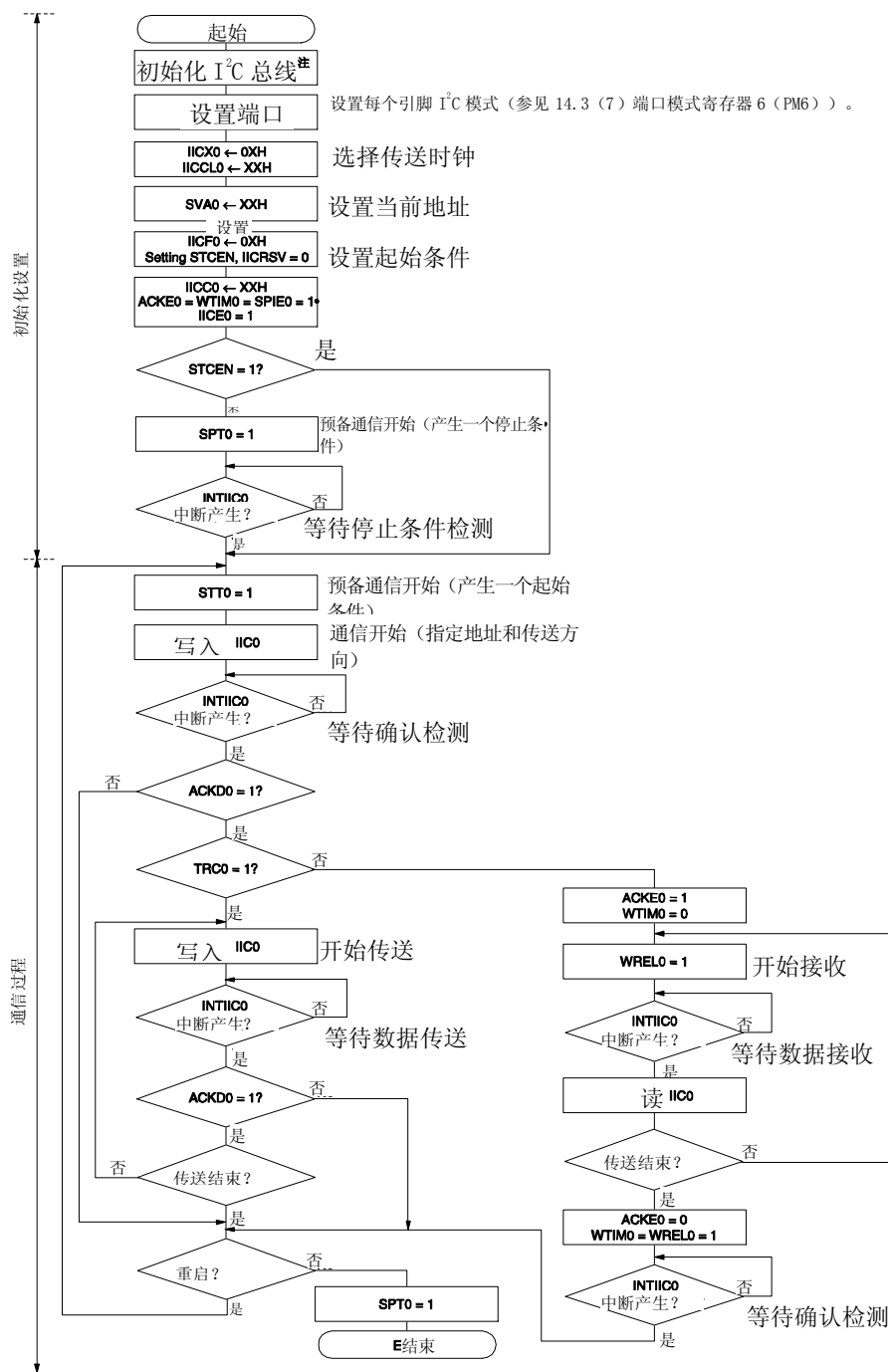
78K0R/KG3 用作 I²C 总线的从设备的示例如下。

当用作从设备时,由中断开始操作。在启动时执行初始化设置,然后等待 INTIIC0 中断产生(通信等待)。当一个 INTIIC0 中断产生时,判断通信状态并且其结果作为一个标志传递给主程序处理。

通过检查标志,执行所需的通信处理。

(1) 主设备操作(单主设备系统)

图 14-24. 主设备操作(单主设备系统)

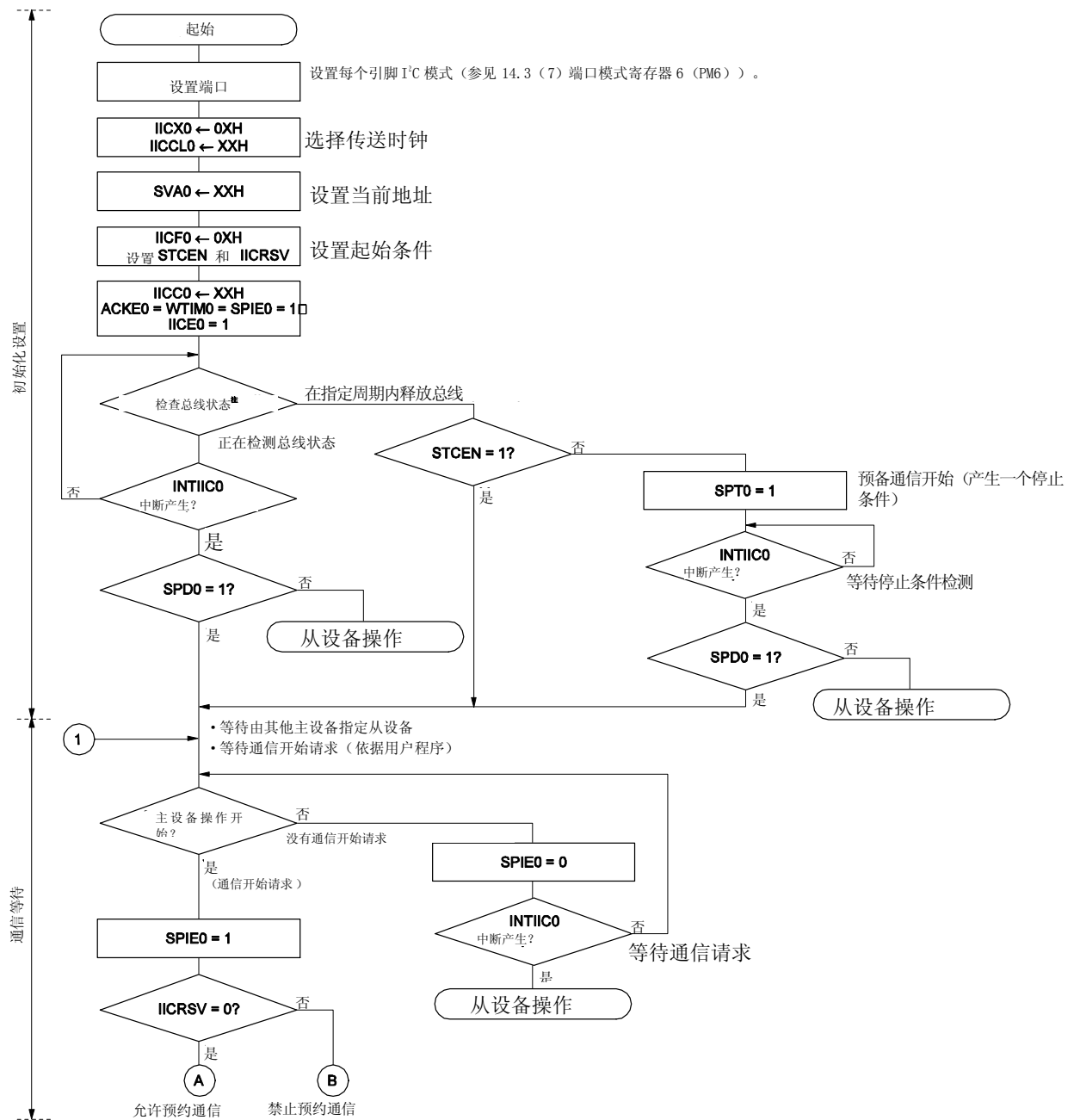


注 根据正在通信的产品规范释放 (SCL0 和 SDA0 引脚 = 高电平) I²C 总线。如果 EEPROM 向 SDA0 引脚输出一个低电平, 例如, 设置 SCL0 引脚为输出端口模式, 且从输出端口输出一个时钟脉冲直到 SDA0 引脚持续处于高电平。

备注 遵照正在通信的产品规范，注意发送和接收的格式。

(2) 主设备操作(多主设备系统)

图 14-25. 主设备操作(多主设备系统) (1/3)



注 确认总线已释放了 (CLD0 位 = 1, DAD0 位 = 1) 指定的一段时间 (如, 一帧的周期)。如果 SDA0 引脚持续处于低电平, 可以根据正在使用的产品规范决定是否释放 (SCL0 和 SDA0 引脚 = 高电平) I²C 总线。

图 14-25. 主设备操作(多主设备系统) (2/3)

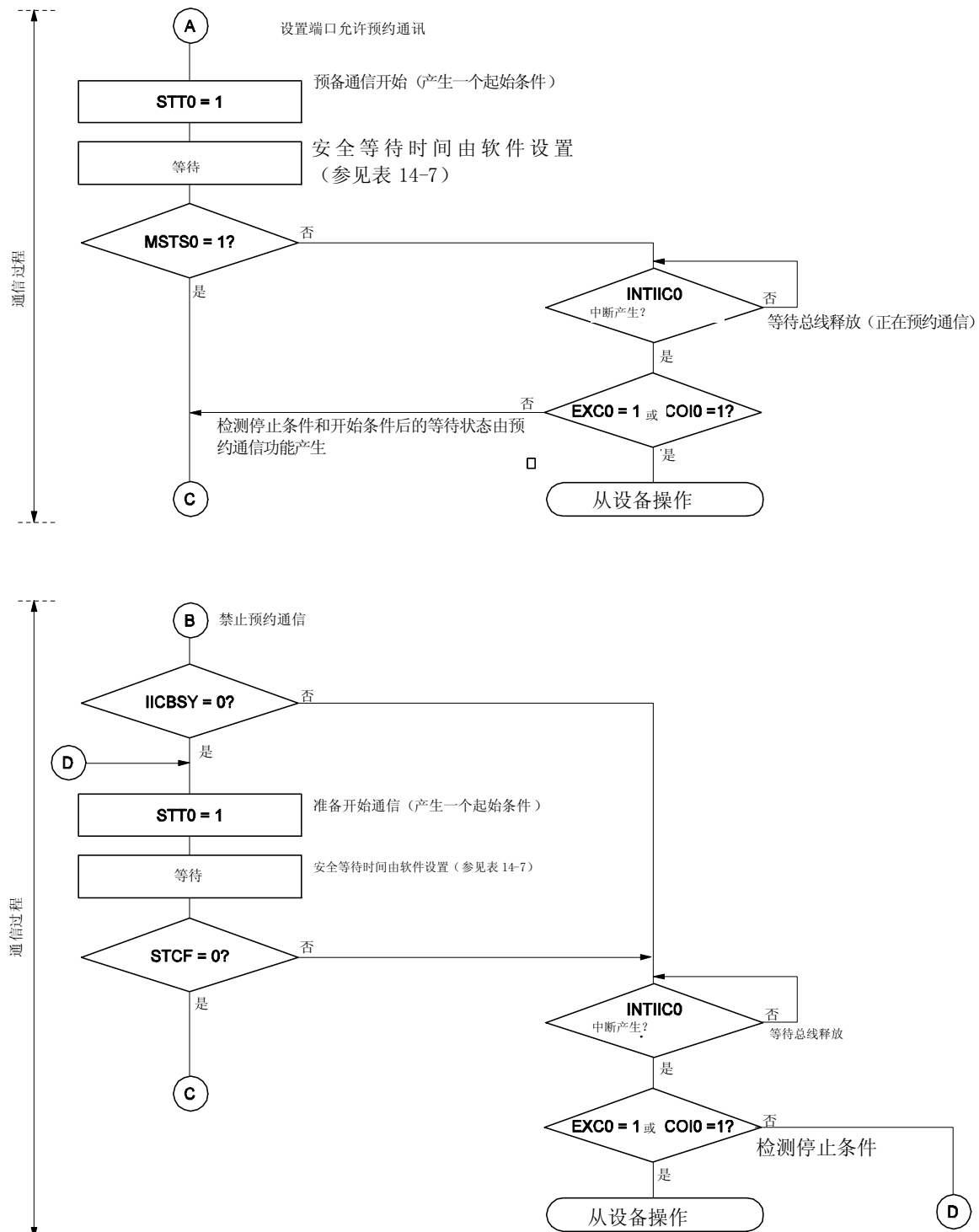
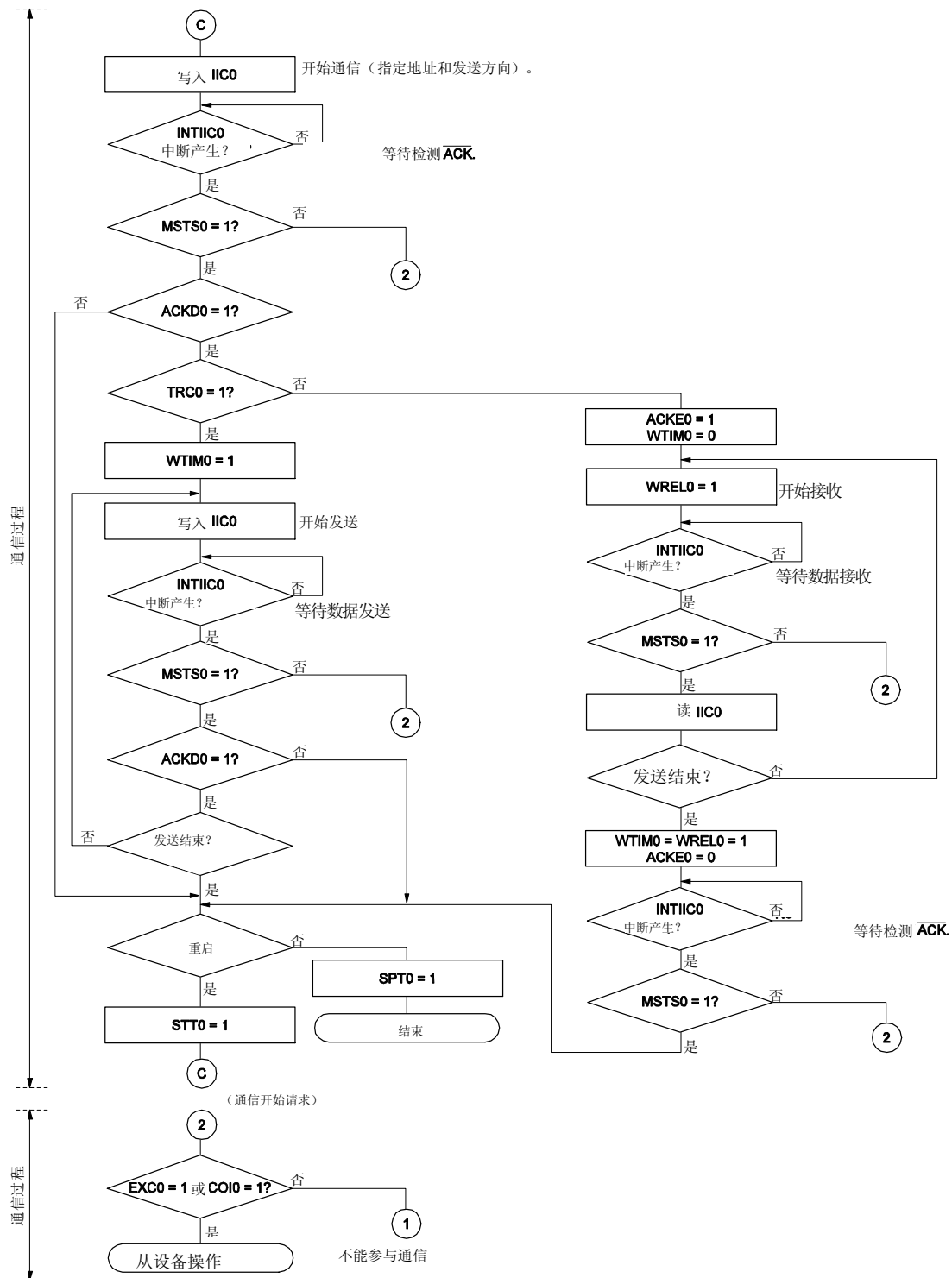


图 14-25. 主设备操作(多主设备系统) (3/3)



备注

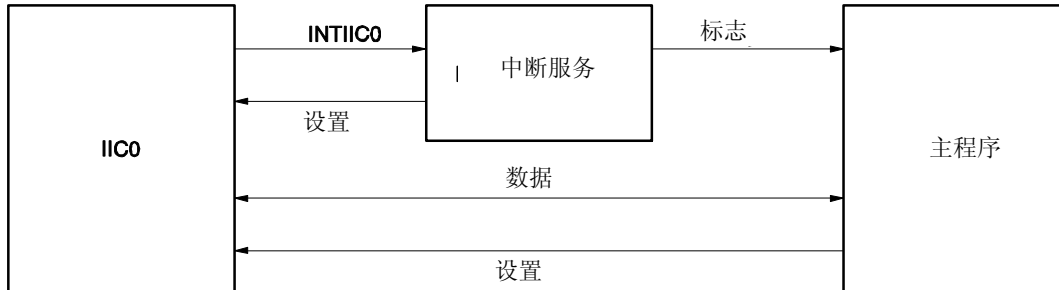
1. 遵照正在通信的产品规范，注意发送和接收的格式。
2. 如果在多主设备系统中作为一个主设备使用时，则应在每次中断 INTIIC0 发生后读取 MSTS0 位来检查仲裁结果。
3. 如果在多主设备系统中作为一个从设备使用时，则通过在每次中断 INTIIC0 发生后使用 IICS0 和 IICF0 寄存器来检查状态，并决定下一步的处理。

(3) 从设备操作

从设备操作过程如下所示。

基本上，从设备操作是由事件驱动的。因此，必须执行 INTIIC0 中断处理过程(该中断处理过程必须完全改变操作状态例如通信时的停止条件检测)。

在下列说明中，假定数据通信不支持扩展码。同时假定 INTIIC0 中断服务只执行状态转换处理过程，且实际数据通信过程由主程序执行。



因此，设置以下 3 个标志，并传递给主程序而不是 INTIIC0，这样可以执行数据通信处理过程。

<1> 通信模式标志

此标志指示下列两种通信状态。

- 清除模式：未进行数据通信
- 通信模式：进行数据通信(从有效地址检测到停止条件检测，不检测来自主设备的 ACK 信号，地址不相等)

<2> 准备标志

此标志表示允许进行数据通信。它的功能和普通数据通信的 INTIIC0 中断相同。通过中断服务可以设置此标志，通过主程序可以将该标志清零。通信启动时，可由中断服务将此标志清零。但是，在发送第一个数据时不能由中断服务设置准备标志。因此，发送第一个数据时该标志未清零(认为地址相等是下一个数据发送请求)。

<3> 通信方向标志

此标志指示通信方向。它的值与 TRC0 相同。

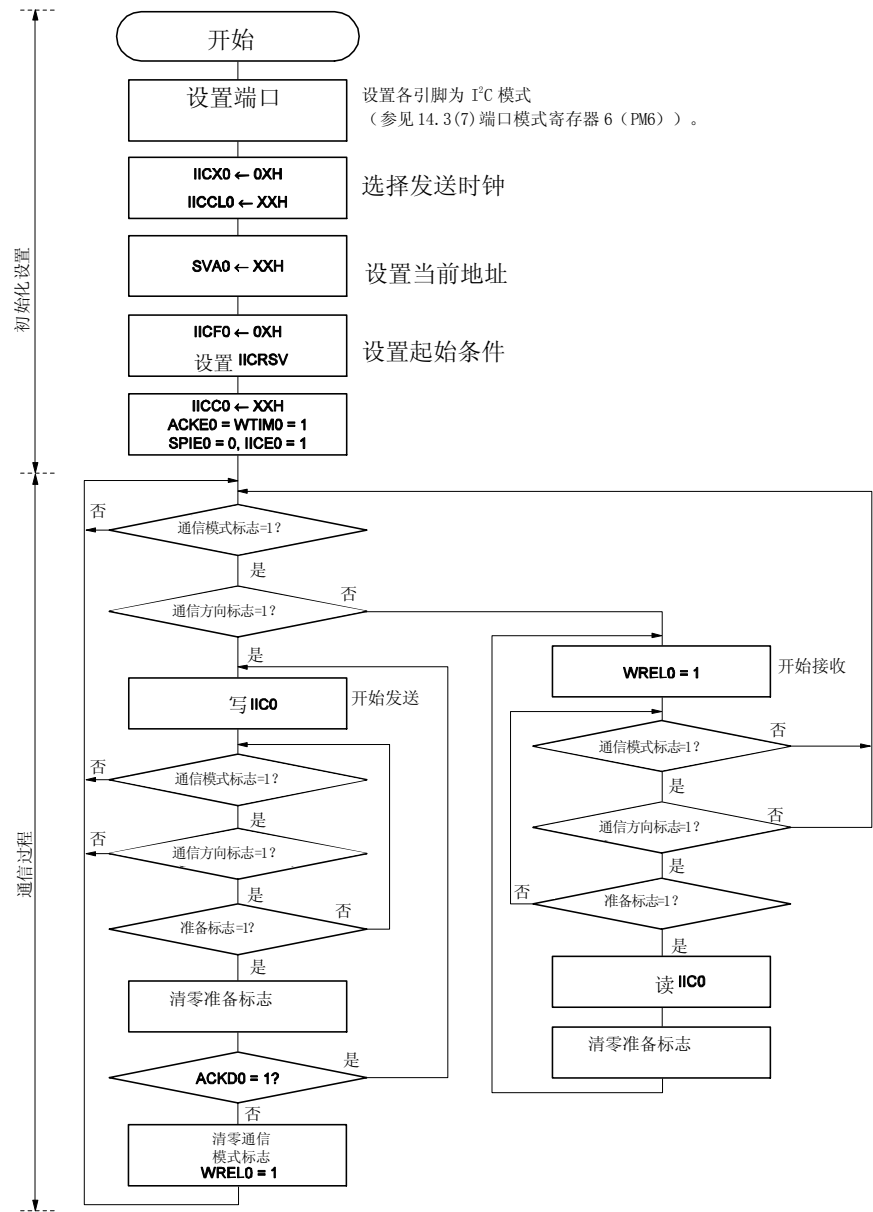
从设备操作的主程序处理过程说明如下。

启动串行接口 IIC0 且等待直到允许通信。当允许通信时，通过使用通信模式标志和准备标志来执行通信（由中断来执行停止条件和启动条件的处理。这里，通过标志来检查状态）。

重复发送操作直到主设备不再返回 ACK 信号。如果没有从主设备返回 ACK 信号，则通信结束。

对于接收操作，则要接收一定量的数据。通信完成时，ACK 信号不作为下一个数据返回。此后，主设备产生一个停止条件或重启条件。使用这种方法可从通信状态退出。

图 14-26. 从设备操作流程(1)



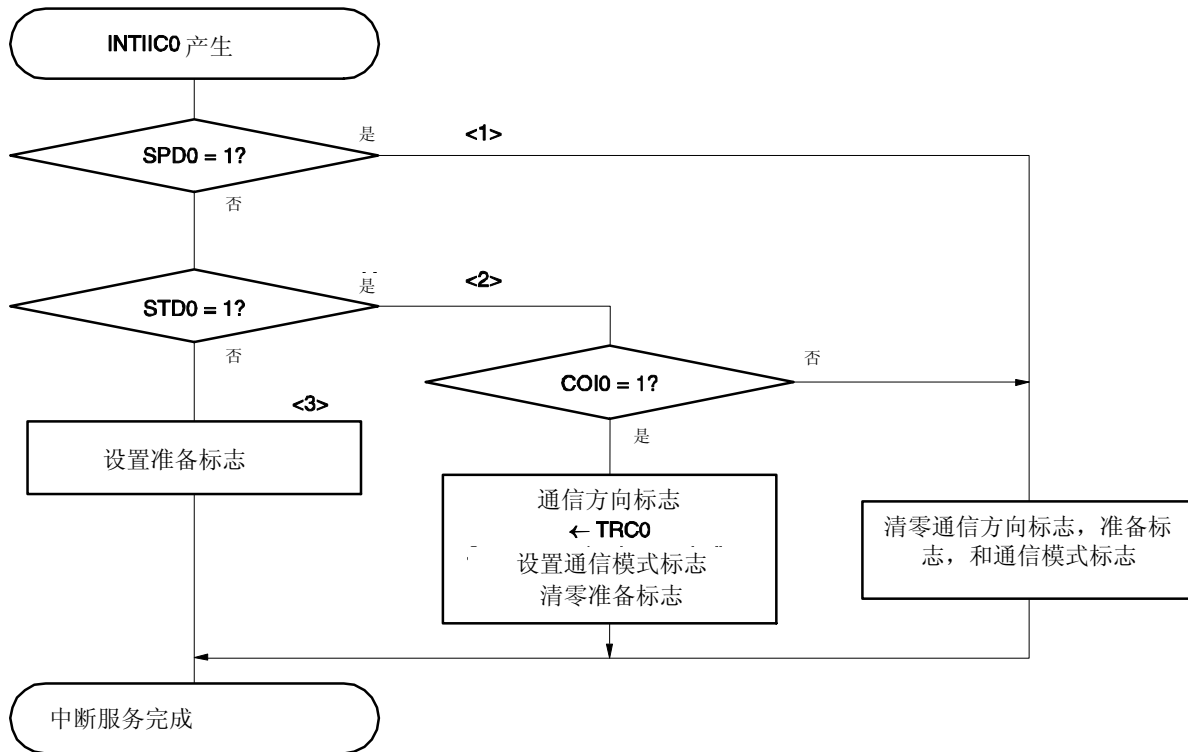
备注 遵照正在通信的产品规范，注意发送和接收的格式。

以下示例说明了从设备 INTIIC0 中断处理过程（处理中假设不使用扩展码）。INTIIC0 中断检查状态，同时执行下列操作。

- <1> 若发出停止条件则通信停止。
- <2> 若发出起始条件，检查地址并在地址不相等时结束通信。如果地址相等，则设置通信模式，取消等待，且处理过程从中断返回(准备标志清零)。
- <3> 对于数据发送/接收，仅需设置准备标志。处理过程从中断返回，同时 I²C 总线保持等待状态。

备注 以上<1> ~ <3> 与图 14-27 从设备操作流程图中<1> ~ <3> 相对应。

图 14-27. 从设备操作流程图中(2)



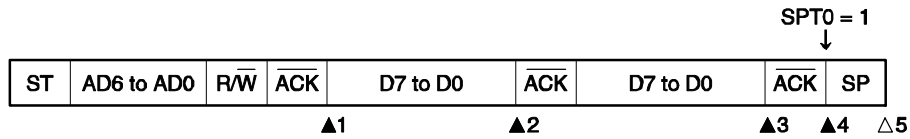
14.5.18 产生 I²C 中断请求 (INTIIC0)的时序

发送或者接收数据的时序和中断请求信号 INTIIC0 的产生，和当产生 INTIIC0 信号时寄存器 IICS0 的值如下所示。

备注	ST:	起始条件
	AD6 ~ AD0:	地址
	R/W:	指定发送方式
	ACK:	应答
	D7 ~ D0:	数据
	SP:	停止条件

(1) 主设备操作

(a) 起始 ~ 地址 ~ 数据 ~ 数据 ~ 停止 (发送/接收)

(i) 当 $WTIM0 = 0$ 

▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×000B

▲3: IICS0 = 1000×000B (设定 $WTIM0$ 为 1)[※]▲4: IICS0 = 1000××00B (设定 $SPT0$ 为 1)[※]

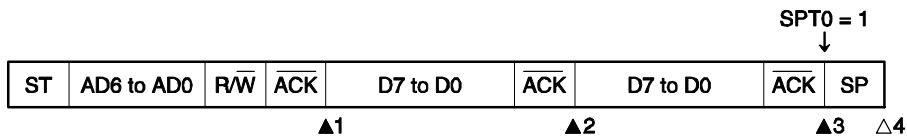
△5: IICS0 = 00000001B

注 要产生停止条件, 设定 $WTIM0$ 为 1 并且改变产生中断请求信号 $INTIIC0$ 的时序。

备注 ▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(ii) 当 $WTIM0 = 1$ 

▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×100B

▲3: IICS0 = 1000××00B (设定 $SPT0$ 为 1)

△4: IICS0 = 00000001B

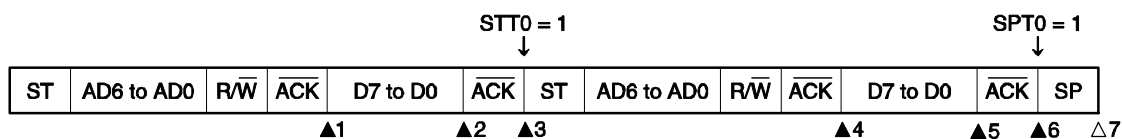
备注 ▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(b) 起始 ~ 地址 ~ 数据 ~ 起始 ~ 地址 ~ 数据 ~ 停止 (复位)

(i) 当 $WTIM0 = 0$



▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000×000B (设定 $WTIM0$ 为 1)^{※1}

▲3: IICS0 = 1000××00B (清除 $WTIM0$ 为 0^{※2}, 设定 $STT0$ 为 1)

▲4: IICS0 = 1000×110B

▲5: IICS0 = 1000×000B (设定 $WTIM0$ 为 1)^{※3}

▲6: IICS0 = 1000××00B (设定 $SPT0$ 为 1)

△7: IICS0 = 00000001B

- 注
1. 要产生起始条件, 设定 $WTIM0$ 为 1 并且改变产生中断请求信号 $INTIIC0$ 的时序。
 2. 清除 $WTIM0$ 为 0 来保存最初设定。
 3. 要产生停止条件, 设定 $WTIM0$ 为 1 并且改变产生中断请求信号 $INTIIC0$ 的时序。

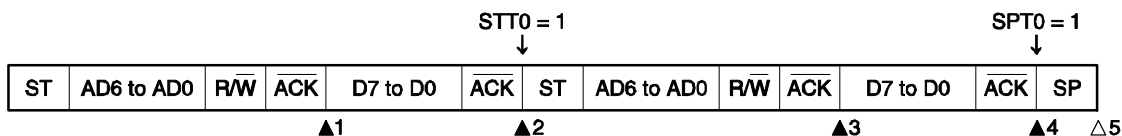
备注

▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(ii) 当 $WTIM0 = 1$



▲1: IICS0 = 1000×110B

▲2: IICS0 = 1000××00B (设定 $STT0$ 为 1)

▲3: IICS0 = 1000×110B

▲4: IICS0 = 1000××00B (设定 $SPT0$ 为 1)

△5: IICS0 = 00000001B

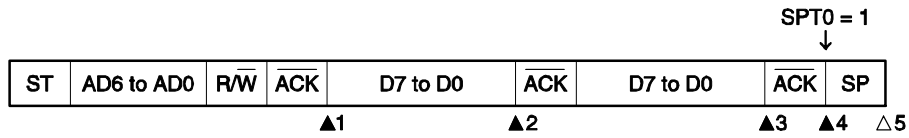
备注

▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(c) 起始 ~ 代码 ~ 数据 ~ 数据 ~ 停止 (扩展代码发送)

(i) 当 $WTIM0 = 0$ 

▲1: IICS0 = 1010×110B

▲2: IICS0 = 1010×000B

▲3: IICS0 = 1010×000B (设定 $WTIM0$ 为 1)[※]▲4: IICS0 = 1010××00B (设定 $SPT0$ 为 1)

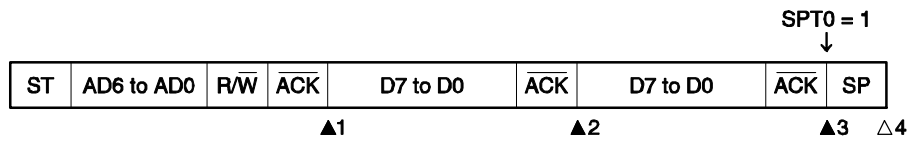
Δ5: IICS0 = 00000001B

注 要产生停止条件, 设定 $WTIM0$ 为 1 并且改变产生中断请求信号 $INTIIC0$ 的时序。

备注 ▲: 一直产生

Δ: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(ii) When $WTIM0 = 1$ 

▲1: IICS0 = 1010×110B

▲2: IICS0 = 1010×100B

▲3: IICS0 = 1010××00B (设定 $SPT0$ 为 1)

Δ4: IICS0 = 00001001B

备注 ▲: 一直产生

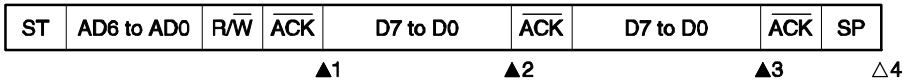
Δ: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(2) 从设备操作 (从地址数据接收)

(a) 起始 ~ 地址 ~ 数据 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$



▲1: IICS0 = 0001×110B

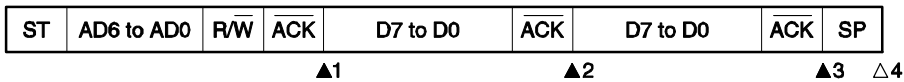
▲2: IICS0 = 0001×000B

▲3: IICS0 = 0001×000B

△4: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 x: 不必考虑

(ii) 当 $WTIM0 = 1$



▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001×100B

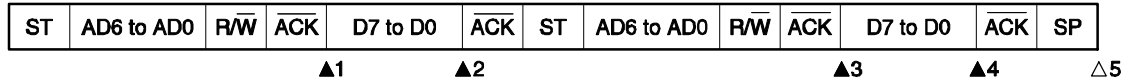
▲3: IICS0 = 0001×x00B

△4: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 x: 不必考虑

(b) 起始 ~ 地址 ~ 数据 ~ 起始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ (复位后, 和 $SVA0$ 相等)



▲1: $IICS0 = 0001 \times 110B$

▲2: $IICS0 = 0001 \times 000B$

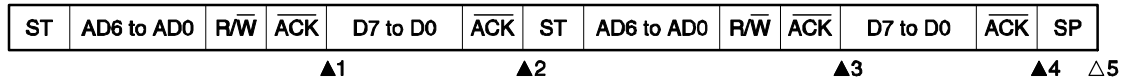
▲3: $IICS0 = 0001 \times 110B$

▲4: $IICS0 = 0001 \times 000B$

△5: $IICS0 = 00000001B$

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(ii) 当 $WTIM0 = 1$ (复位后, 和 $SVA0$ 相等)



▲1: $IICS0 = 0001 \times 110B$

▲2: $IICS0 = 0001 \times \times 00B$

▲3: $IICS0 = 0001 \times 110B$

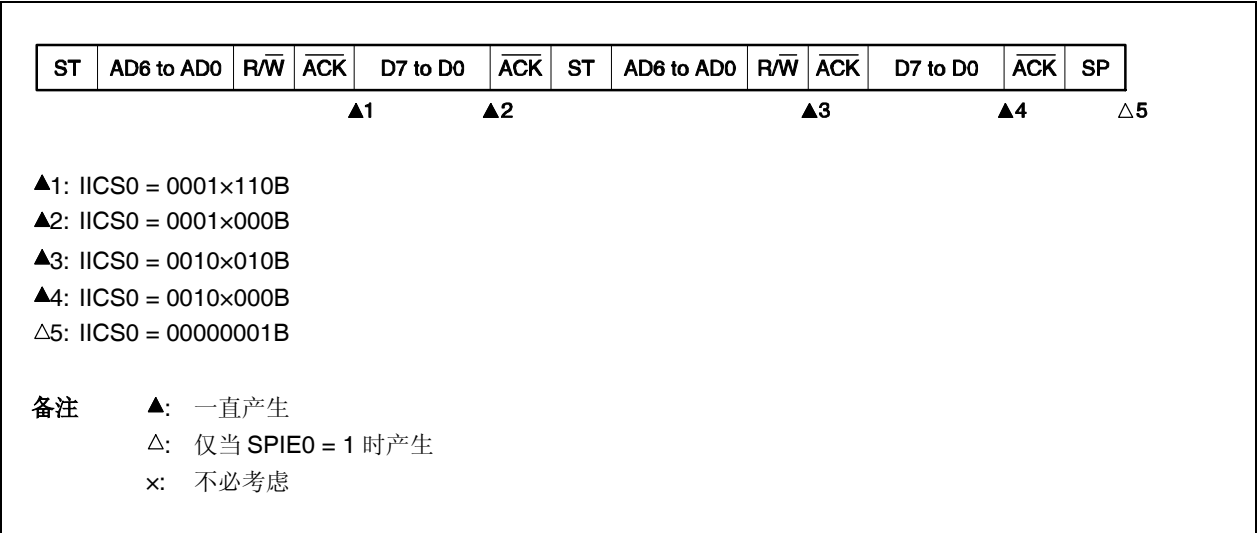
▲4: $IICS0 = 0001 \times \times 00B$

△5: $IICS0 = 00000001B$

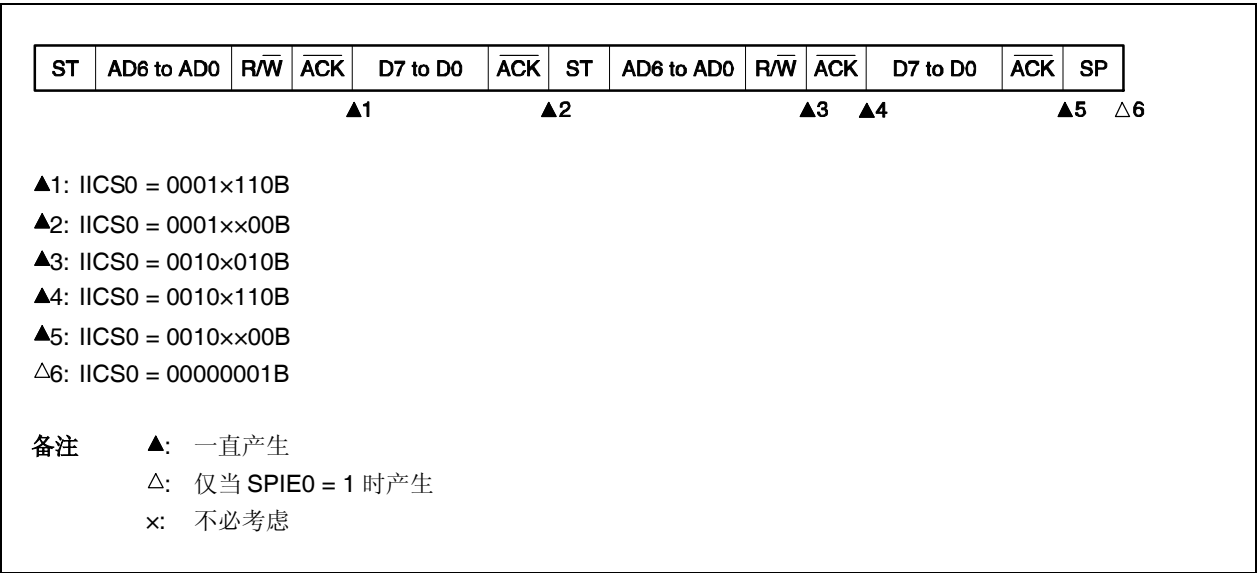
备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(c) 起始 ~ 地址 ~ 数据 ~ 起始 ~ 代码 ~ 数据 ~ 停止

(i) 当 **WTIM0 = 0** (复位后, 和地址不相等 (= 扩展代码))

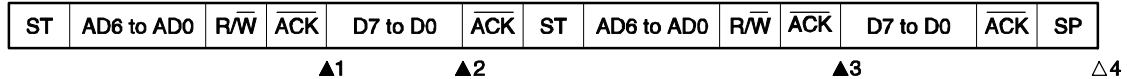


(ii) 当 **WTIM0 = 1** (复位后, 和地址不相等 (= 扩展代码))



(d) 起始 ~ 地址 ~ 数据 ~ 起始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ (复位后, 和地址不相等 (= 扩展代码))



▲1: IICS0 = 0001×110B

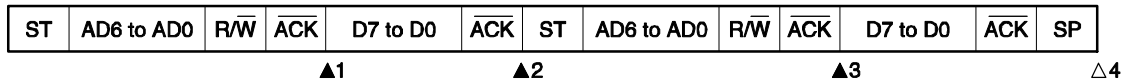
▲2: IICS0 = 0001×000B

▲3: IICS0 = 00000110B

△4: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(ii) 当 $WTIM0 = 1$ (复位后, 和地址不相等 (= 扩展代码))



▲1: IICS0 = 0001×110B

▲2: IICS0 = 0001××00B

▲3: IICS0 = 00000110B

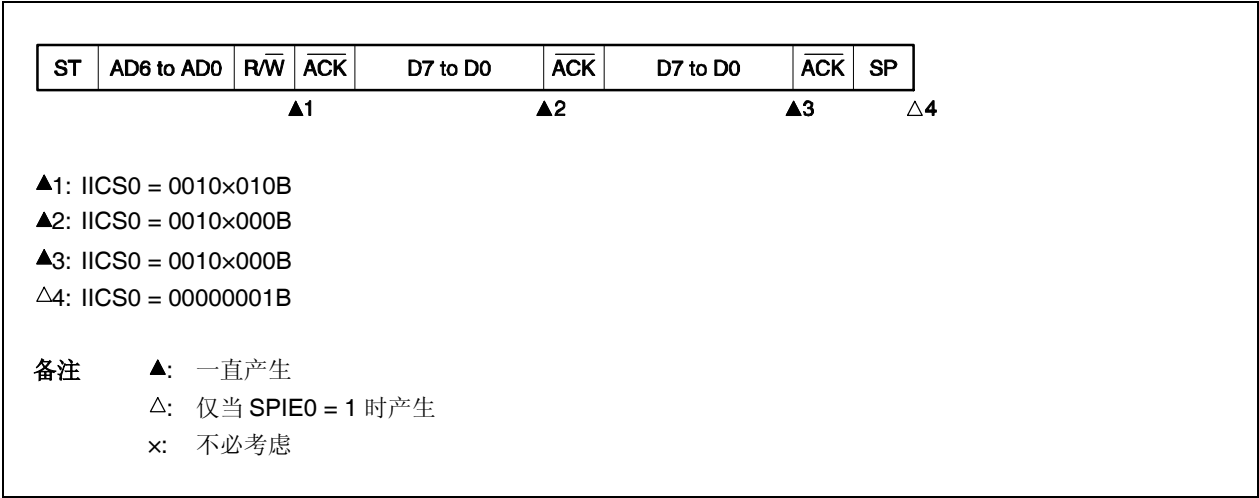
△4: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

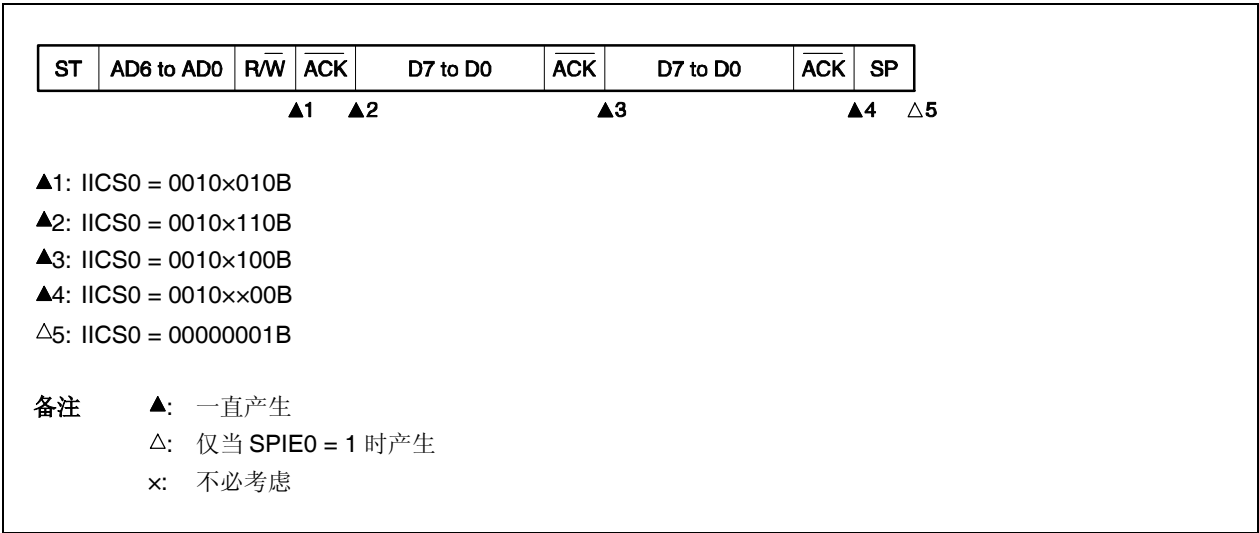
(3) 从设备操作(当接收扩展代码时)
在通信中接收扩展代码时设备一直参与。

(a) 起始 ~ 代码 ~ 数据 ~ 数据 ~ 停止

(i) 当 **WTIM0 = 0**



(ii) 当 **WTIM0 = 1**



(b) 起始 ~ 代码 ~ 数据 ~ 起始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIM0 = 0$ (复位后, 和 $SVA0$ 相等)



▲1: $IICS0 = 0010 \times 010B$

▲2: $IICS0 = 0010 \times 000B$

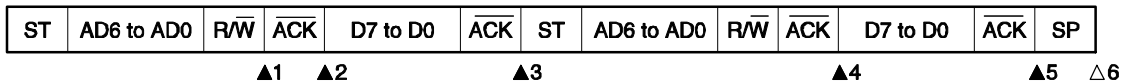
▲3: $IICS0 = 0001 \times 110B$

▲4: $IICS0 = 0001 \times 000B$

△5: $IICS0 = 00000001B$

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(ii) 当 $WTIM0 = 1$ (复位后, 和 $SVA0$ 相等)



▲1: $IICS0 = 0010 \times 010B$

▲2: $IICS0 = 0010 \times 110B$

▲3: $IICS0 = 0010 \times \times 00B$

▲4: $IICS0 = 0001 \times 110B$

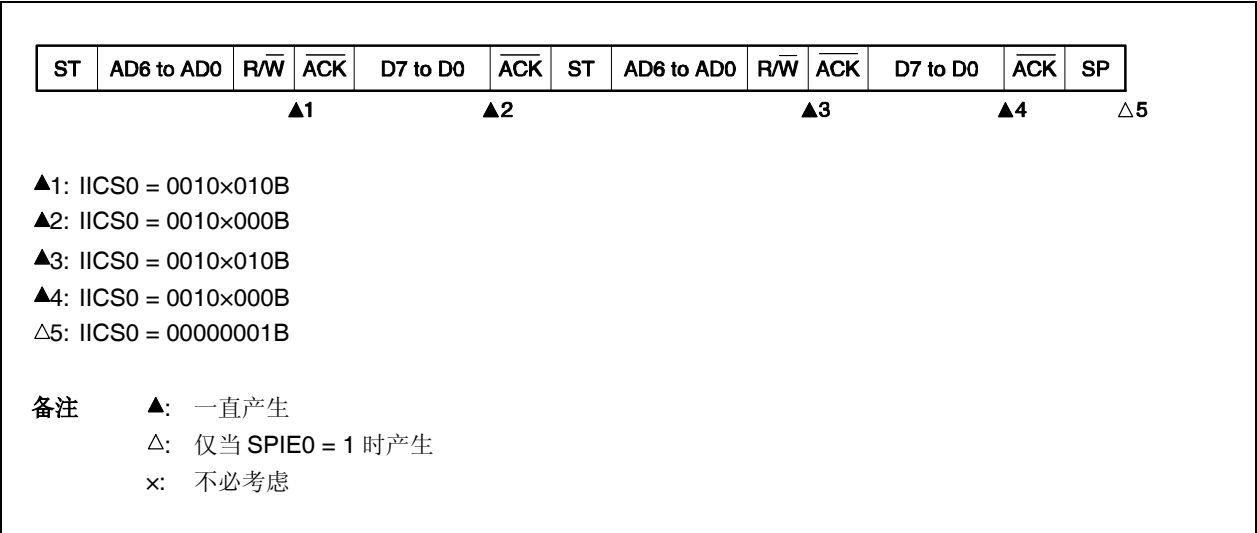
▲5: $IICS0 = 0001 \times \times 00B$

△6: $IICS0 = 00000001B$

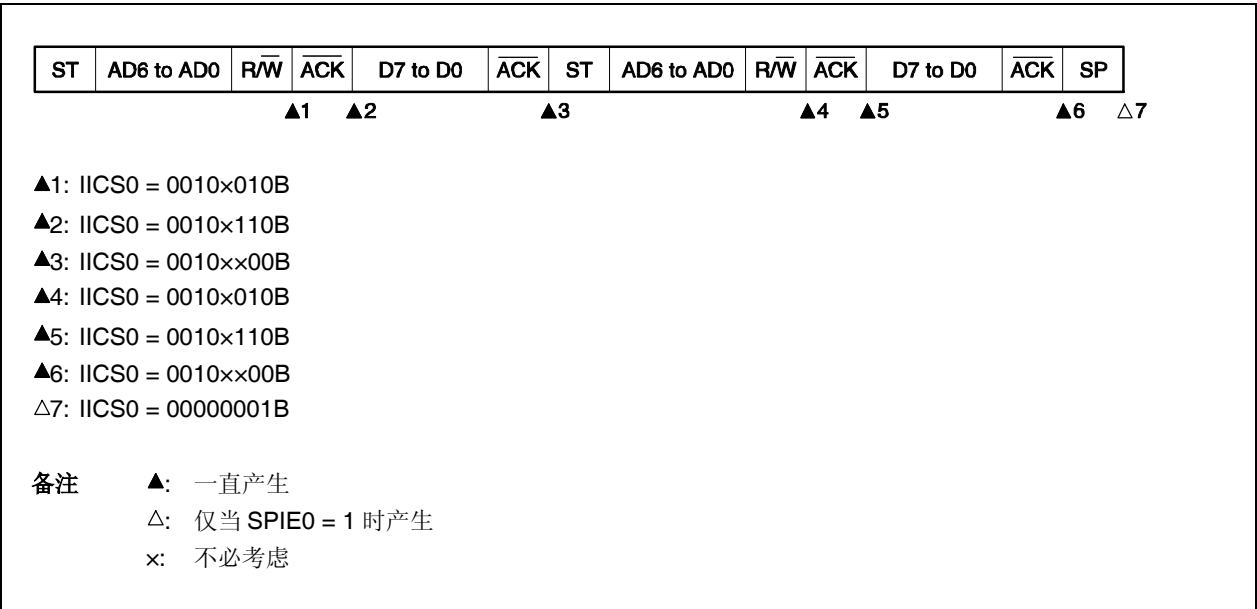
备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(c) 起始 ~ 代码 ~ 数据 ~ 起始 ~ 代码 ~ 数据 ~ 停止

(i) 当 **WTIM0 = 0** (复位后, 接收扩展代码)



(ii) 当 **WTIM0 = 1** (复位后, 接收扩展代码)



(d) 起始 ~ 代码 ~ 数据 ~ 起始 ~ 地址 ~ 数据 ~ 停止

(i) 当 $WTIMO = 0$ (复位后, 和地址不相等 (= 非扩展代码))



▲1: IICS0 = 00100010B

▲2: IICS0 = 00100000B

▲3: IICS0 = 00000110B

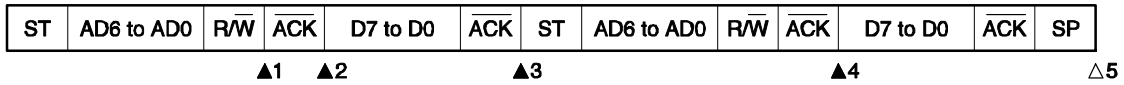
△4: IICS0 = 00000001B

备注 ▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(ii) 当 $WTIMO = 1$ (复位后, 和地址不相等 (= 非扩展代码))



▲1: IICS0 = 00100010B

▲2: IICS0 = 00100110B

▲3: IICS0 = 00100×00B

▲4: IICS0 = 00000110B

△5: IICS0 = 00000001B

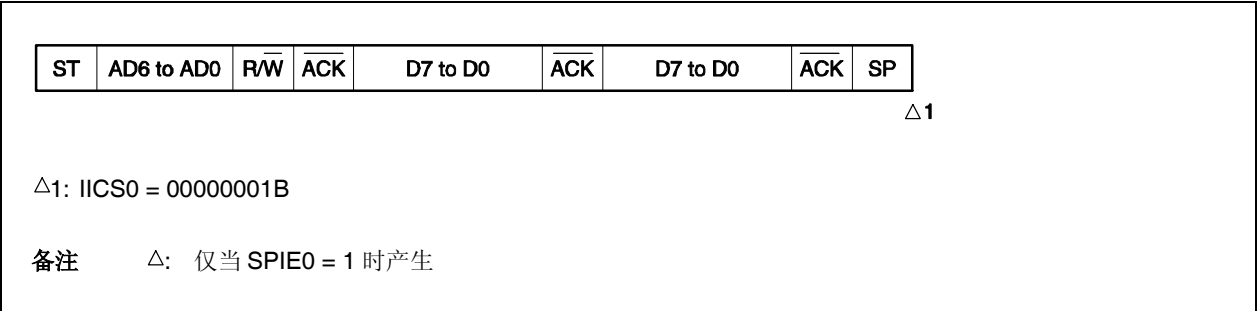
备注 ▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

×: 不必考虑

(4) 没有通信的操作

(a) 起始 ~ 代码 ~ 数据 ~ 数据 ~ 停止

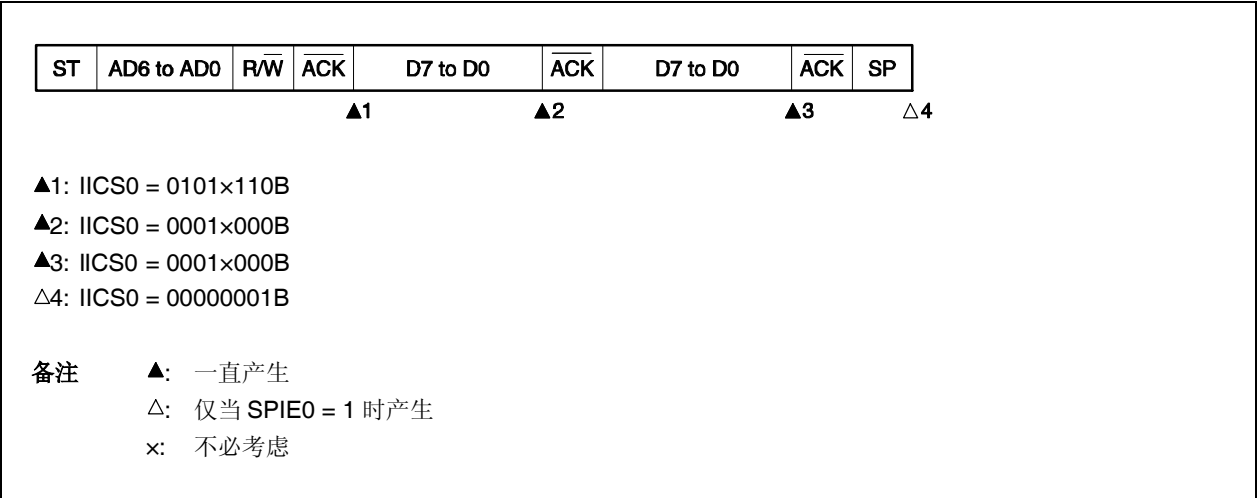


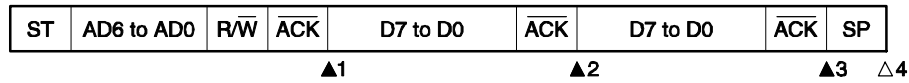
(5) 仲裁丢失操作 (仲裁丢失后作为从设备操作)

当在多主系统中作为主设备时，每次产生中断请求信号 INTIIC0 读取 MSTS0 位来检测仲裁结果。

(a) 在从地址数据发送时产生仲裁丢失

(i) 当 WTIM0 = 0



(ii) 当 $WTIM0 = 1$ 

▲1: IICS0 = 0101×110B

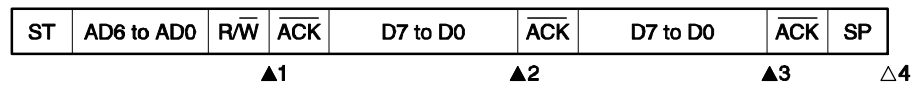
▲2: IICS0 = 0001×100B

▲3: IICS0 = 0001××00B

△4: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(b) 在扩展代码发送时产生仲裁丢失

(i) 当 $WTIM0 = 0$ 

▲1: IICS0 = 0110×010B

▲2: IICS0 = 0010×000B

▲3: IICS0 = 0010×000B

△4: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 $SPIE0 = 1$ 时产生
 ×: 不必考虑

(ii) 当 WTIM0 = 1

ST	AD6 to AD0	R/W	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1	▲2		▲3		▲4
								△5

▲1: IICS0 = 0110x010B
▲2: IICS0 = 0010x110B
▲3: IICS0 = 0010x100B
▲4: IICS0 = 0010xx00B
△5: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生
 x: 不必考虑

(6) 当发送仲裁丢失时的操作 (仲裁丢失后没有通信)

在多主系统做当设备用作主设备时，每次产生中断请求信号 INTIIC0 读取 MSTS0 位来检测仲裁结果。

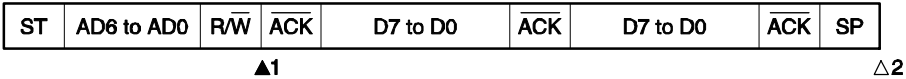
(a) 在从地址数据发送时产生仲裁丢失(当 WTIM0 = 1)

ST	AD6 to AD0	R/W	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1					△2

▲1: IICS0 = 01000110B
△2: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生

(b) 在扩展代码发送时产生仲裁丢失

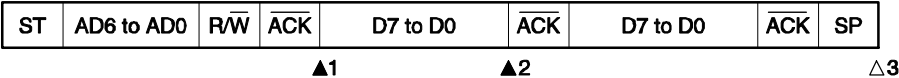


▲1: IICS0 = 0110x010B
通过软件设定 LREL0 = 1
△2: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生
 x: 不必考虑

(c) 在数据发送时产生仲裁丢失

(i) 当 WTIM0 = 0



▲1: IICS0 = 10001110B
▲2: IICS0 = 01000000B
△3: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生

(ii) 当 WTIM0 = 1

ST	AD6 to AD0	R/W	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1		▲2			△3

▲1: IICS0 = 10001110B
▲2: IICS0 = 01000100B
△3: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生

(d) 由于在数据发送时产生复位条件导致产生丢失

(i) 没有扩展代码 (例如: 和 SVA0 不相等)

ST	AD6 to AD0	R/W	ACK	D7 to Dn	ST	AD6 to AD0	R/W	ACK	D7 to D0	ACK	SP
			▲1					▲2			△3

▲1: IICS0 = 1000x110B
▲2: IICS0 = 01000110B
△3: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生
 x: 不必考虑
 n = 6 to 0

(ii) 扩展代码

ST	AD6 to AD0	R/W	ACK	D7 to Dn	ST	AD6 to AD0	R/W	ACK	D7 to D0	ACK	SP
----	------------	-----	-----	----------	----	------------	-----	-----	----------	-----	----

▲1

▲2

△3

▲1: IICS0 = 1000×110B

▲2: IICS0 = 01100010B

通过软件设定 LREL0 = 1

△3: IICS0 = 00000001B

备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 不必考虑
 n = 6 to 0

(e) 由于在数据发送时产生停止条件导致产生丢失

ST	AD6 to AD0	R/W	ACK	D7 to Dn	SP
----	------------	-----	-----	----------	----

▲1

△2

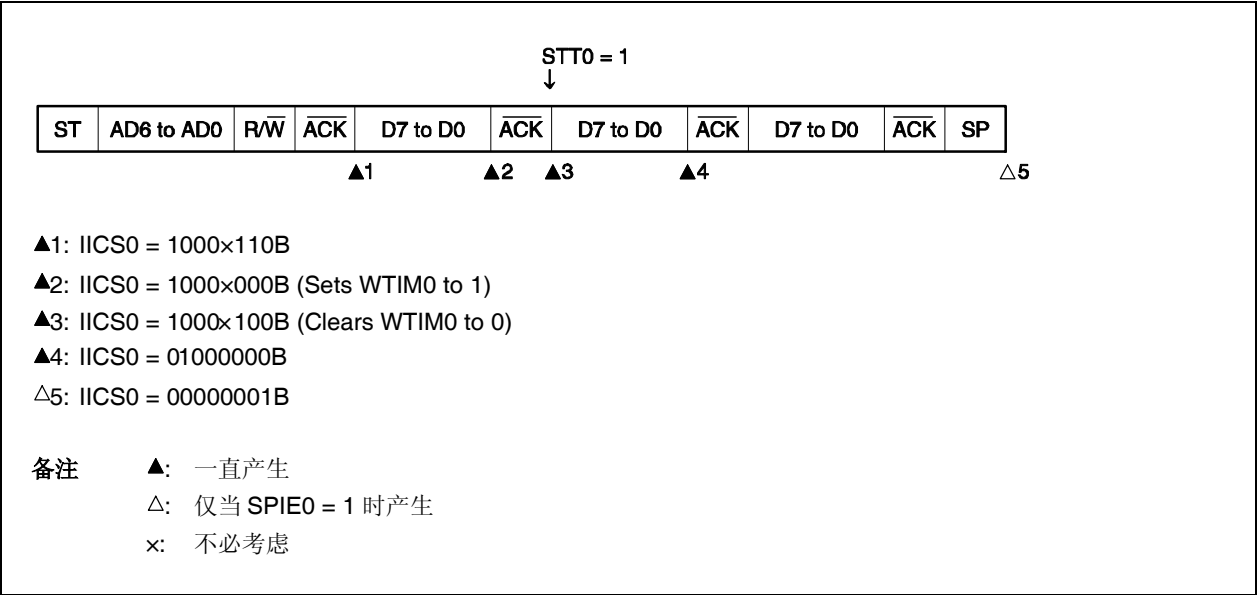
▲1: IICS0 = 10000110B

△2: IICS0 = 01000001B

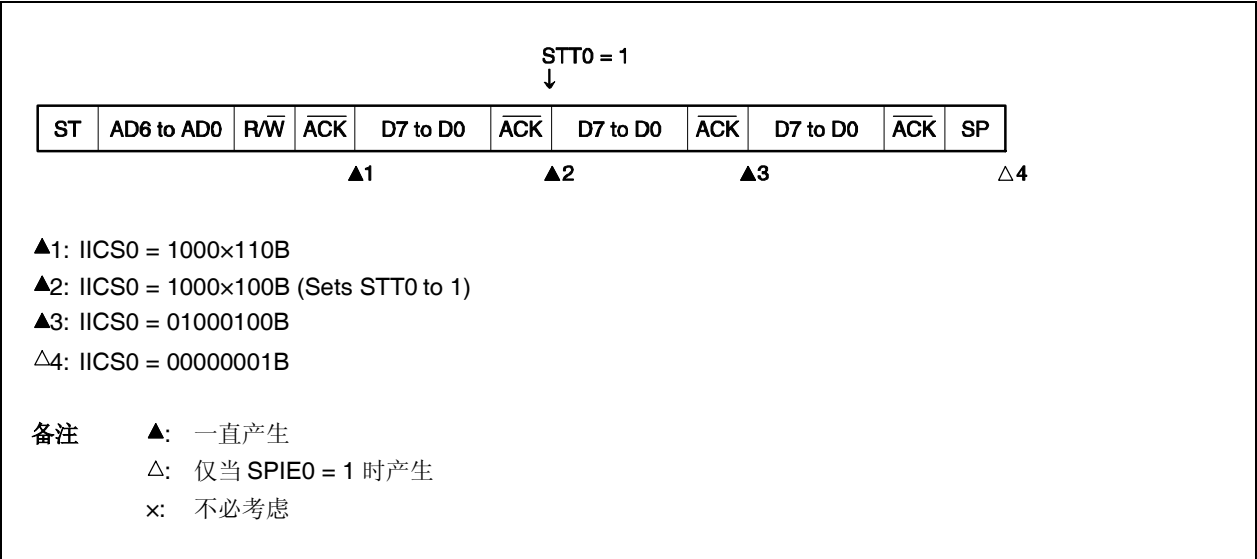
备注 ▲: 一直产生
 △: 仅当 SPIE0 = 1 时产生
 ×: 不必考虑
 n = 6 to 0

(f) 由于在复位条件产生低电平数据导致产生丢失

(i) 当 **WTIM0 = 0**

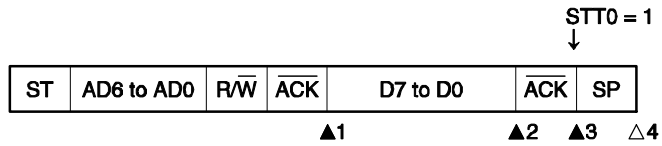


(ii) 当 **WTIM0 = 1**



(g) 由于在复位条件产生停止条件导致产生仲裁丢失

(i) 当 $WTIM0 = 0$



▲1: IICS0 = 1000x110B

▲2: IICS0 = 1000x000B (Sets $WTIM0$ to 1)

▲3: IICS0 = 1000xx00B (Sets $STT0$ to 1)

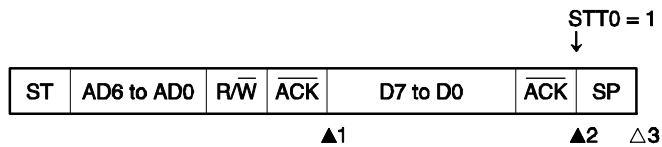
△4: IICS0 = 01000001B

备注 ▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

x: 不必考虑

(ii) 当 $WTIM0 = 1$



▲1: IICS0 = 1000x110B

▲2: IICS0 = 1000xx00B (Sets $STT0$ to 1)

△3: IICS0 = 01000001B

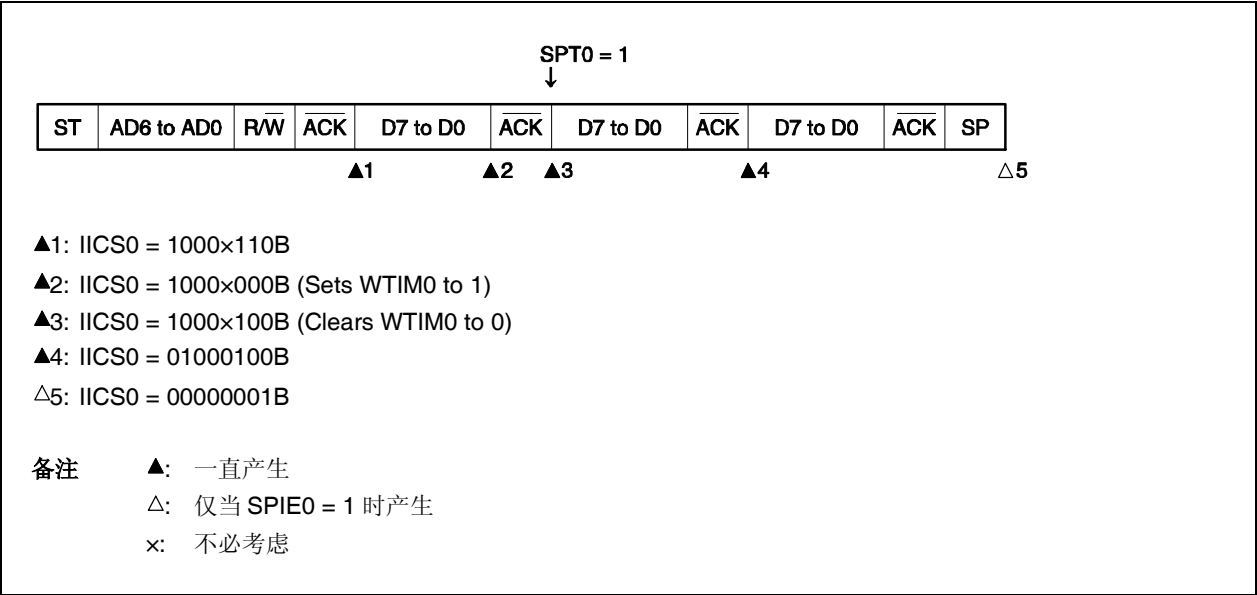
备注 ▲: 一直产生

△: 仅当 $SPIE0 = 1$ 时产生

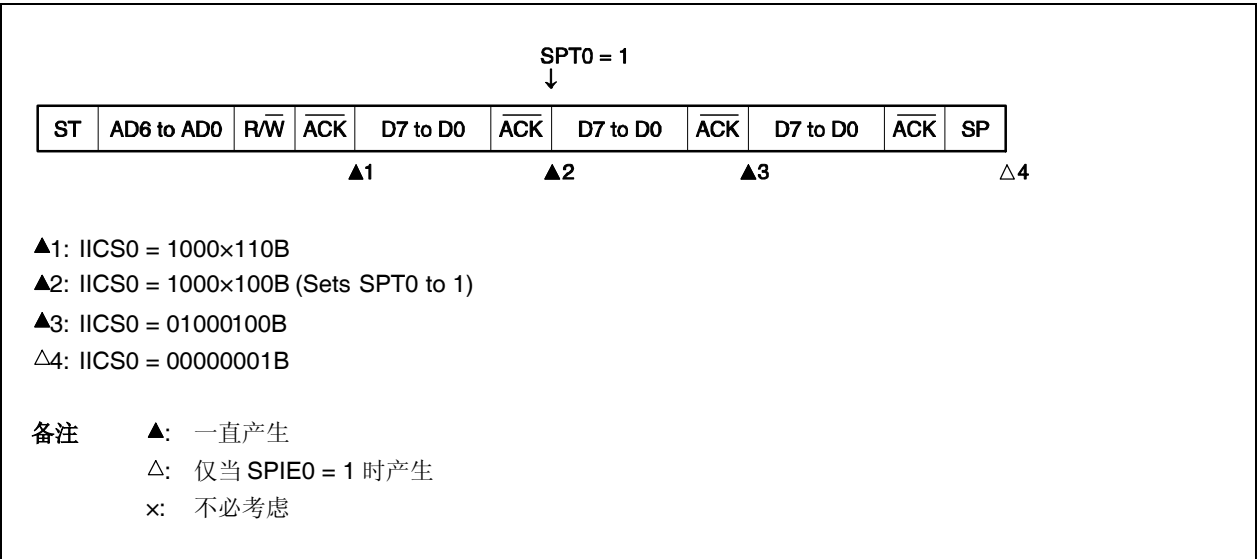
x: 不必考虑

(h) 由于在停止条件产生低电平数据导致产生仲裁丢失

(i) 当 **WTIM0 = 0**



(ii) 当 **WTIM0 = 1**



14.6 时序图

当使用 I²C 总线模式，主设备通过串行总线输出一个地址来选择一个从设备作为通信对象。

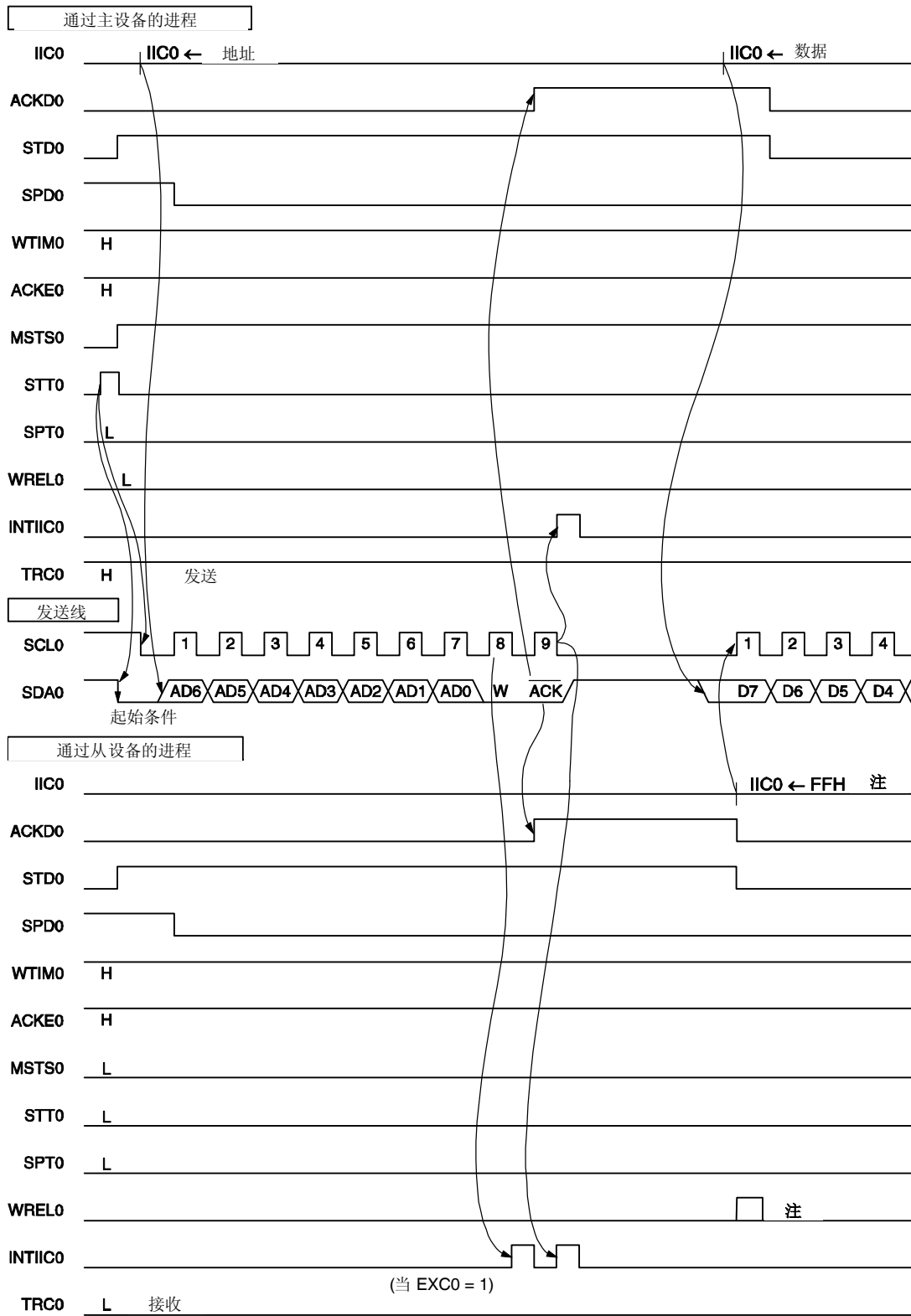
输出从地址后，主设备发送 TRC0 位(IIC 状态寄存器 0(IICS0)的位 3)，指来定数据发送方式，并且和从设备开始穿行通信。

IIC 切换寄存器 0 (IIC0)的切换操作是和串行时钟(SCL0)的下降沿同步的。发送数据到 SO0 锁存并且输出到 SDA0 引脚(MSB 模式)。

数据输出到 SDA0 引脚在 SCL0 的上升沿被捕捉到 IIC0。

图 14-28. 主设备发送到从设备通信的例子
(当为每个主设备和从设备选择 9 时钟等待时) (1/3)

(1) 起始条件 ~ 地址



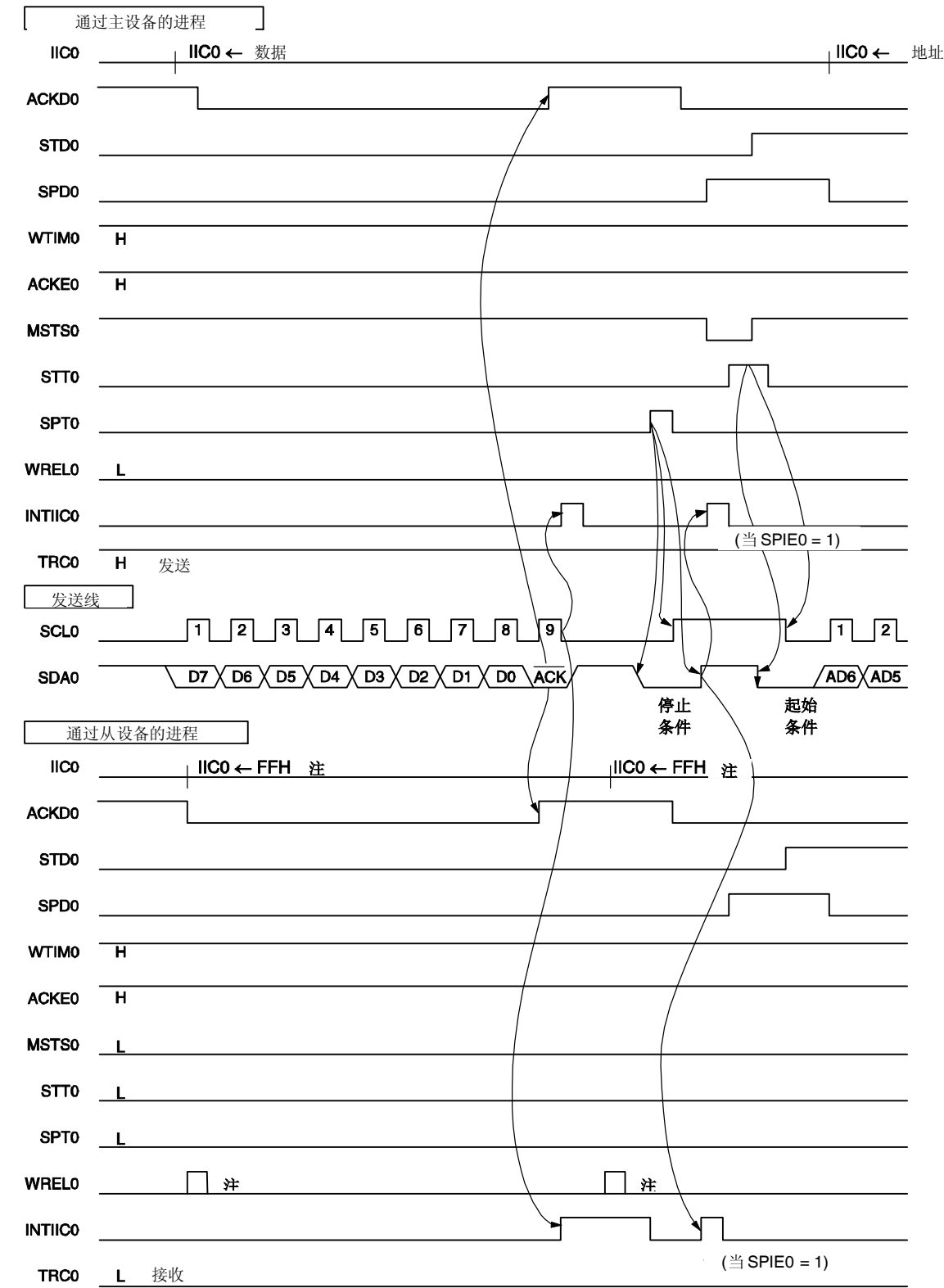
注 要取消从等待，写入“FFH”到 IIC0 或者设定 WREL0。

(2) 数据



图 14-28. 主设备发送到从设备通信的例子
(当为每个主设备和从设备选择 9 时钟等待时) (3/3)

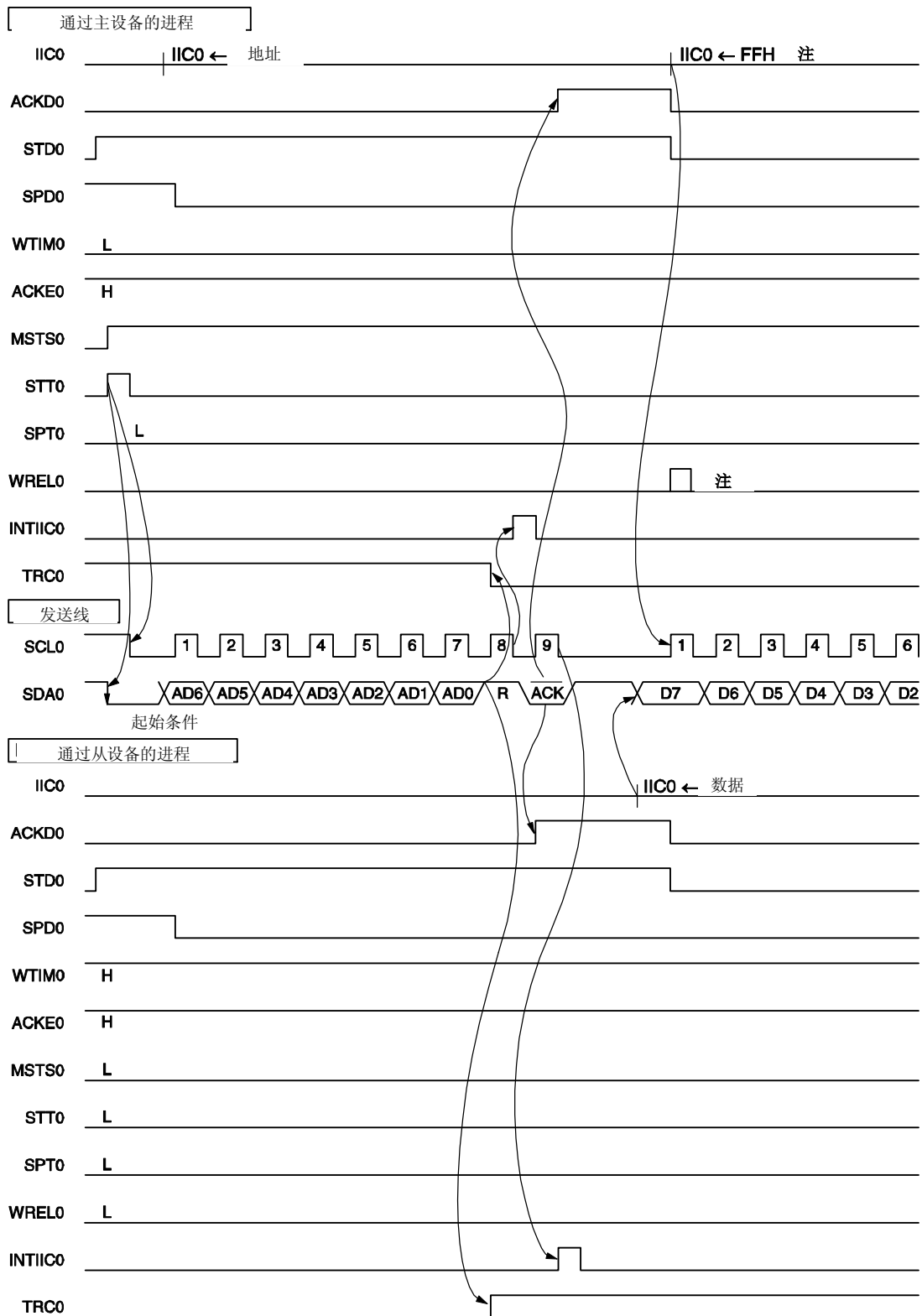
(3) 停止条件



注 要取消从等待，写入“FFH”到 IIC0 或者设定 WREL0。

图 14-29. 主设备发送到从设备通信的例子
(当为主设备选择 8 时钟等待, 从设备选择 9 时钟等待时) (1/3)

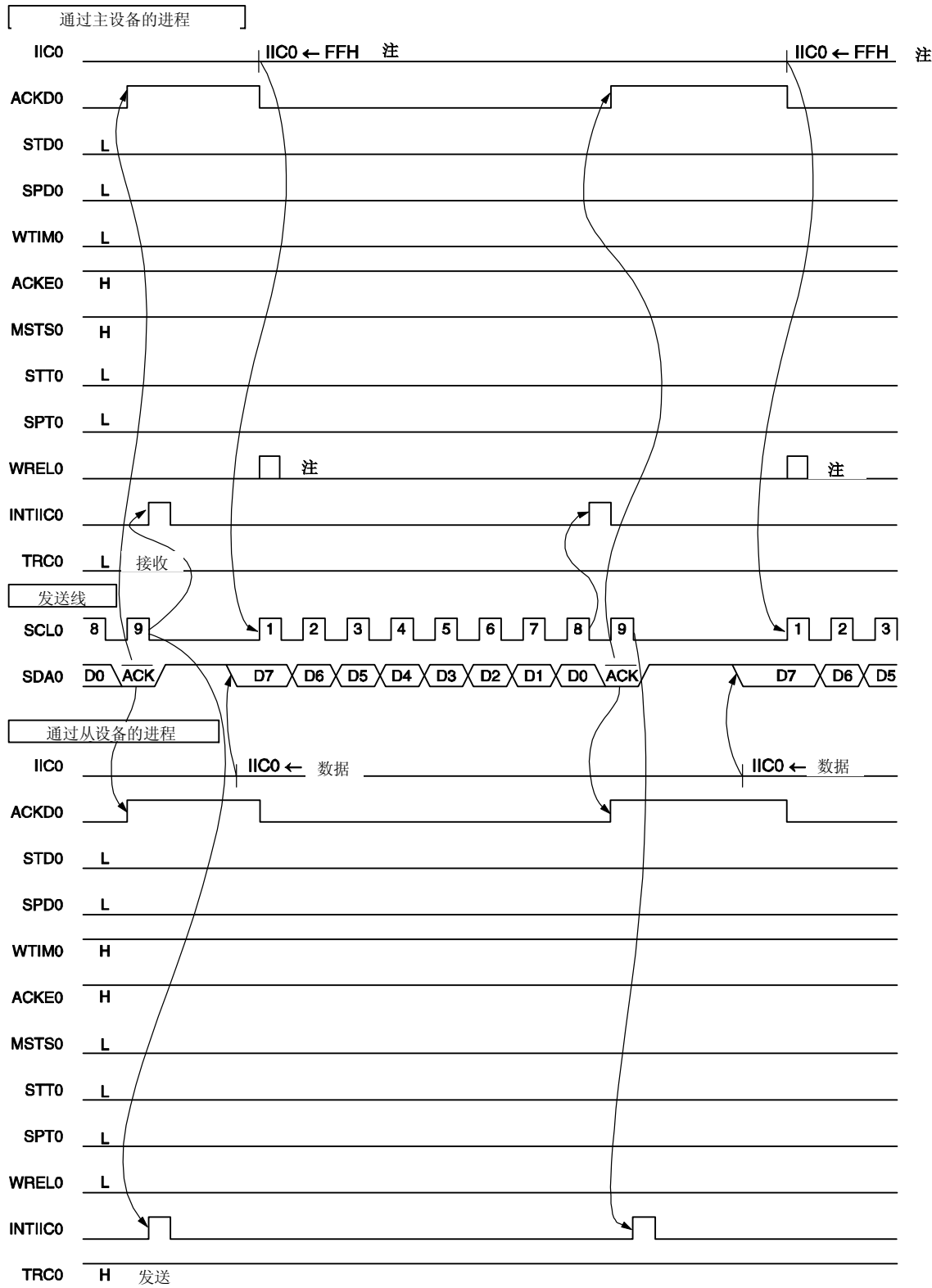
(1) 起始条件 ~ 地址



注 要取消从等待, 写入“FFH”到 IIC0 或者设定 WREL0。

图 14-29. 主设备发送到从设备通信的例子
(当为主设备选择 8 时钟等待, 从设备选择 9 时钟等待时) (2/3)

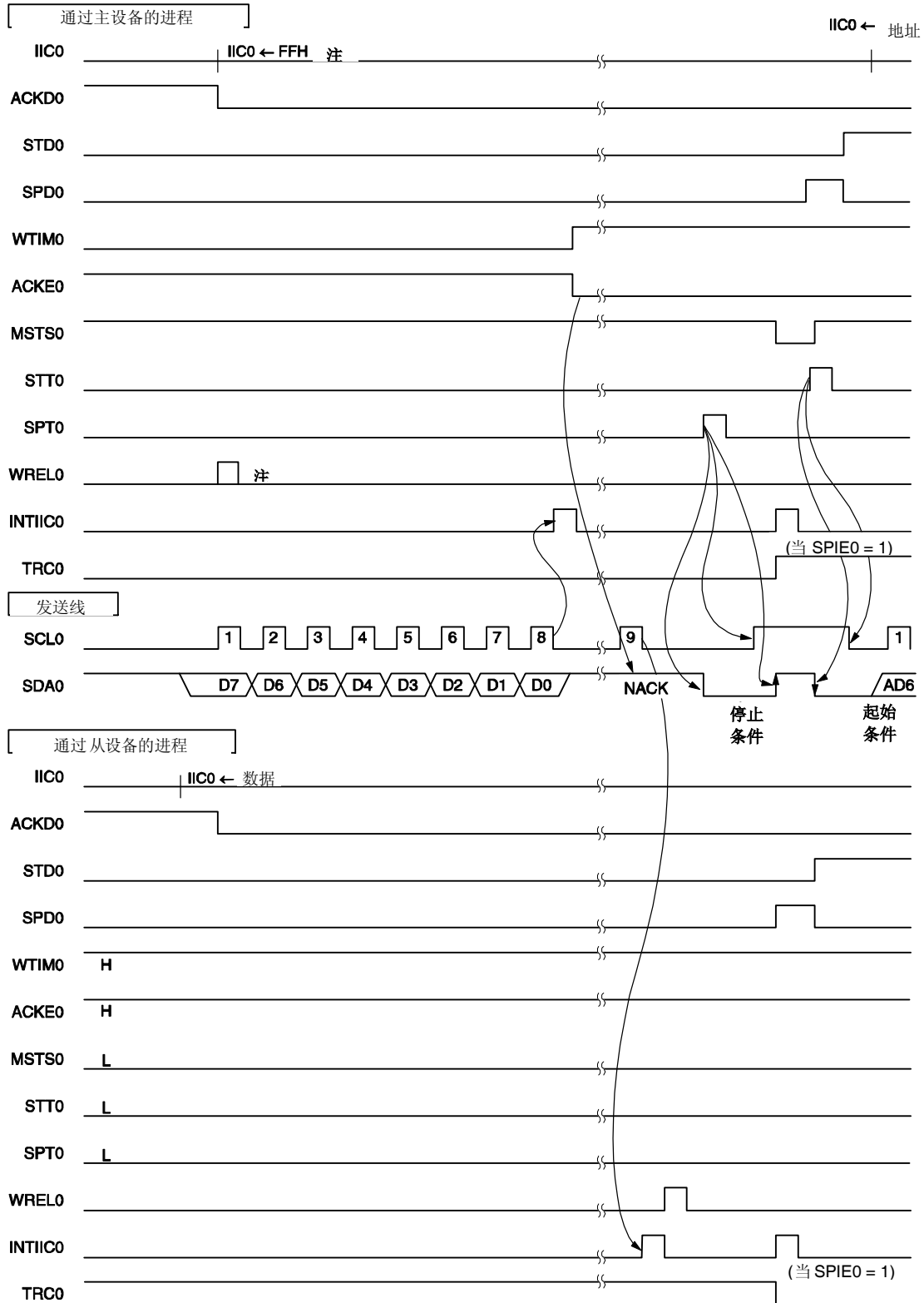
(2) 数据



注 要取消从等待, 写入“FFH”到 IIC0 或者设定 WREL0。

图 14-29. 主设备发送到从设备通信的例子
(当为主设备选择 8 时钟等待, 从设备选择 9 时钟等待时) (3/3)

(3) 停止条件



注 要取消从等待, 写入“FFH”到 IIC0 或者设定 WREL0。

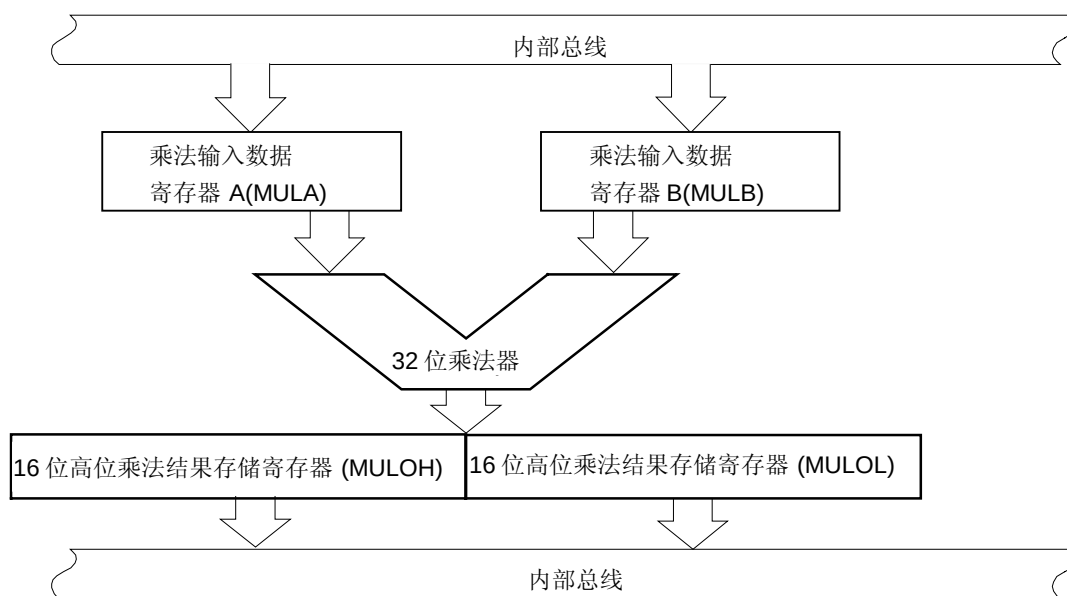
15.1 乘法器的功能

乘法器的功能如下。

- 能够执行计算 $16 \text{ 位} \times 16 \text{ 位} = 32 \text{ 位}$ 。

图 15-1 显示乘法器的框图。

图 15-1. 乘法器框图

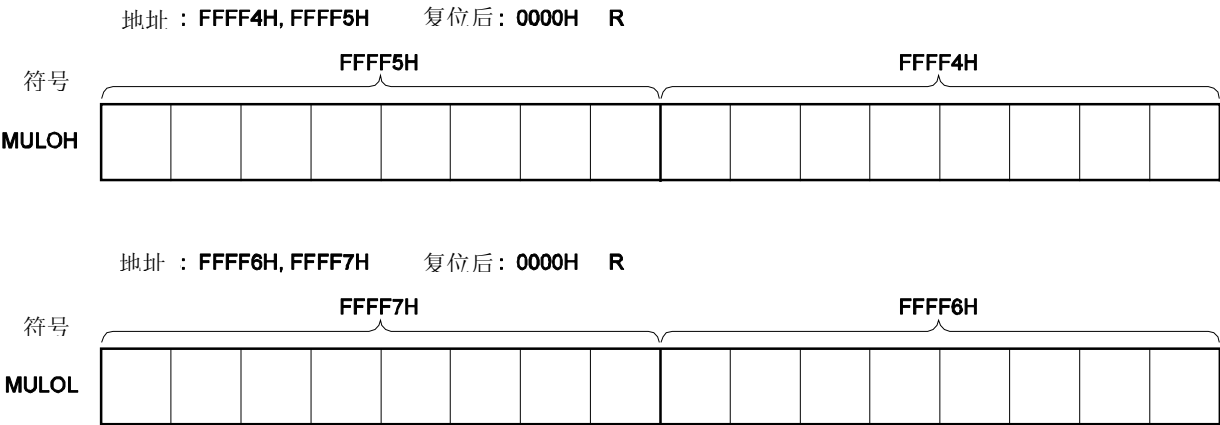


15.2 乘法器的配置

(1) 16 位高位乘法结果存储寄存器和 16 位低位乘法结果存储寄存器(MULOH, MULOL)

这两个寄存器, MULOH 和 MULOL, 用来存储 32 位乘法的结果。乘法结果的高 16 位存储在 MULOH 中, 并且低 16 位存储在 MULOL 中, 因此可以存储 32 位乘法结果。
这些寄存器在 CPU 时钟之后保留乘法的结果。
MULOH 和 MULOL 可用 16 位存储器操作指令读取。
复位信号将这些寄存器清零 0000H。

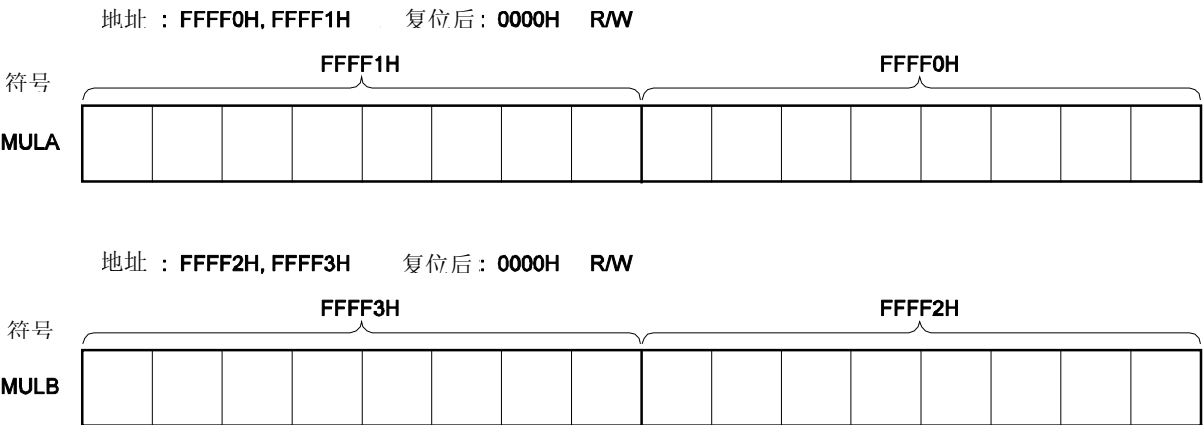
图 15-2. 16 位高位乘法结果存储寄存器和 16 位低位乘法结果存储寄存器(MULOH, MULOL)的格式



(2) 乘法输入数据寄存器 A, B (MULA, MULB)

这些是 16 位寄存器, 存储乘法数据。乘法器将 MULA 和 MULB 中的数值相乘。
MULA 和 MULB 可用 16 位存储器操作指令进行设置。
复位信号将这些寄存器清零 0000H。

图 15-3. 乘法输入数据寄存器 A, B (MULA, MULB)的格式



15.3 乘法器的操作

乘法的结果可以通过在 MULA 和 MULB 寄存器中存储数据，并在等待 1 个时钟之后，读取 MULOH 和 MULOL 寄存器获得。即使在 MULA 或 MULB 中的一个固定而重写另一个的情况下，结果也可以在 1 个时钟或者更多个时钟之后获得。不管 MULOH 或 MULOL 哪个在先，都可以正确无误读取。
源程序如下。

实例

MOVW	MULA, #1234H	
MOVW	MULB, #5678H	
NOP		;等待1个时钟。不一定为NOP
MOVW	AX, MULOH	;获得高16位
PUSH	AX	
MOVW	AX, MULOL	;获得低16位

第十六章 DMA 控制器

78K0R/KG3 具有内部 DMA (存储器直接访问) 控制器。

数据能够在支持 DMA, SFRs 的外围硬件和内部 RAM 之间自动传输, 而不通过 CPU。

这样, CPU 的正常内部操作和数据传输能够与 SFR 和内部 RAM 之间的传输同时执行, 因此能够处理大容量的数据。另外, 使用通信、定时器和 A/D 的实时控制也可以实现。

16.1 DMA 控制器

- DMA 通道个数: 2
- 传输单位: 8 或 16 位
- 最大传输单元: 1024 次
- 传输类型: 2 周期传输(传输期间, 一次传输在 2 个时钟周期内完成, CPU 停止。)
- 传输模式: 单个传输模式
- 传输请求: 可从下列外围硬件中断中选择
 - A/D 转换器
 - 串行接口 (CIS00, CSI01, CSI10, UART0, UART1, UART3, 或 IIC10)
 - 定时器 (通道 0, 1, 4, 或 5)
- 传输目标: 在 SFR 和内部 RAM 之间

这里是使用 DMA 的实例。

- 串行接口的连续传输
- 模拟数据的批传输
- 固定间隔捕捉 A/D 转换结果
- 固定间隔捕捉端口数值

16.2 DMA 控制器的配置

DMA 控制器包括下列硬件。

表 16-1. DMA 控制器的配置

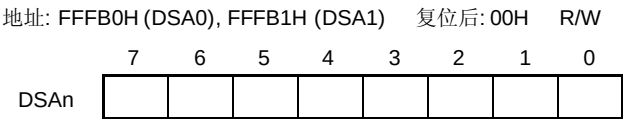
项目	配置
地址寄存器	• DMA SFR 地址寄存器 0, 1 (DSA0, DSA1) • DMA RAM 地址寄存器 0, 1 (DRA0, DRA1)
计数寄存器	• DMA 字节计数寄存器 0, 1 (DBC0, DBC1)
控制寄存器	• DMA 模式控制寄存器 0, 1 (DMC0, DMC1) • DMA 模式控制寄存器 0, 1 (DRC0, DRC1)

(1) DMA SFR 地址寄存器 n (DSAn)

此为 8 位寄存器，用来设置 DMA 通道 n 的传输源或者目的地的 SFR 地址。
SFR 地址的低 8 位设置在 FFF00H ~ FFFFFH^注之间。
此寄存器并不自动增加，但固定为一个特定的数值。
16 位传输模式中，忽略最低位并当作偶地址。
DSAn 可以进行 8 位读写。但是，DMA 传输期间不能写入。
复位信号将此寄存器设置为 00H。

注 除了地址 FFFFEH，因为 PMC 寄存器分配在此。

图 16-1. DMA SFR 地址寄存器 n (DSAn)的格式

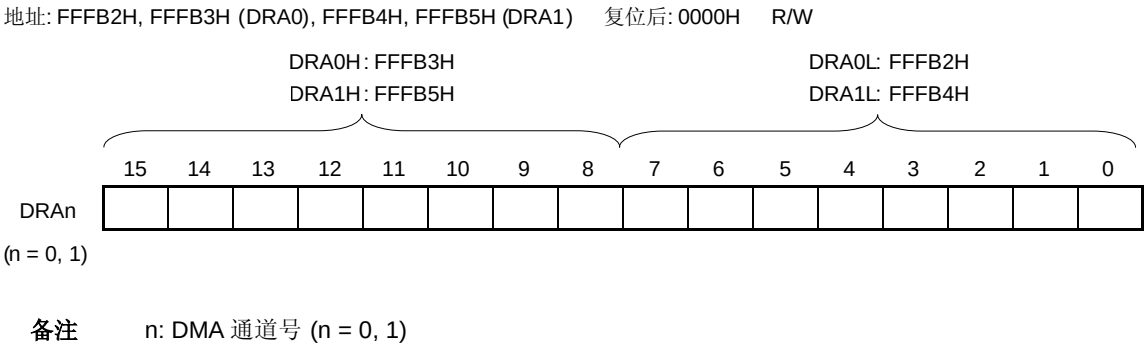


备注 n: DMA 通道号 (n = 0, 1)

(2) DMA RAM 地址寄存器 n (DRAn)

此为 16 位寄存器，用来设置 DMA 通道 n 的传输源或目的地的 RAM 地址。
除了通用寄存器的内部 RAM 地址(在 μ PD78F1162 时，为 FEF00H ~ FFEDFH) 可以设置在此寄存器中。
设置 RAM 地址的低 16 位。
此寄存器在 DMA 传输开始时自动增加。在 8 位传输模式下，通过+1 增加；在 16 位传输模式下，通过+2 增加。DMA 传输从设置在 DRAn 寄存器中的地址开始。当最后地址的数据传输完成时，DRAn 停止，并且在 8 位传输模式下最后地址+1，在 16 位传输模式下最后地址+2。
16 位传输模式下，忽略最低位，并当作偶地址。
DRAn 可以进行 8 位或 16 位读写。但是，DMA 传输期间不能写入。
复位信号将此寄存器设置为 0000H。

图 16-2. DMA RAM 地址寄存器 n (DRAn)的格式



(3) DMA 字节计数寄存器 n (DBCn)

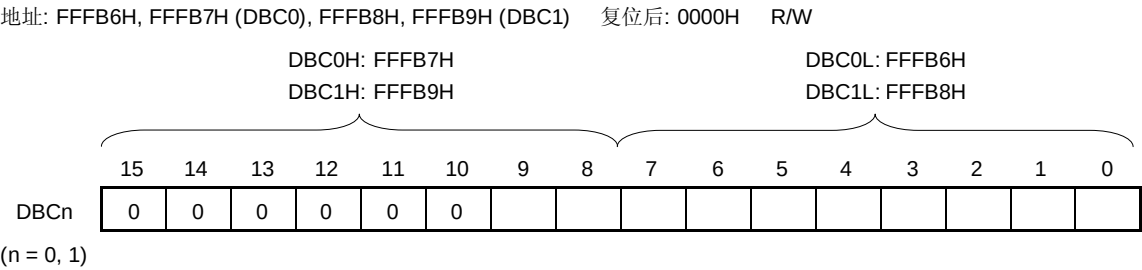
此为 10 位寄存器，用来设置 DMA 通道 n 执行传输的次数号码。执行 DMA 传输之前，一定要将传输的次数号码设置在此 DBCn 寄存器中(最多 1024 次)。

每一次 DMA 传输执行完成，此寄存器自动减少。通过读取此寄存器，剩下的传输次数号码就可以知道。

DBCn 可以进行 8 位或 16 位读写。但是，DMA 传输期间不能写入。

复位信号将此寄存器设置为 0000H。

图 16-3. DMA 字节计数寄存器 n (DBCn)的格式



DBCn[9:0]	传输次数号码 (DBCn 写入时)	剩下的次数号码 (DBCn 读取时)
000H	1024	完成传输或者等待 1024 次 DMA 传输
001H	1	等待剩下的 1 次 DMA 传输
002H	2	等待剩下的 2 次 DMA 传输
003H	3	等待剩下的 3 次 DMA 传输
⋮	⋮	⋮
3FEH	1022	等待剩下的 1022 次 DMA 传输
3FFH	1023	等待剩下的 1023 次 DMA 传输

- 注意事项
1.

一定要将第 15 位~第 0 位清零“0”。
2.

如果制定了通用寄存器或者由于连续传输，超过了内部 RAM 空间，就读取到通用寄存器或者 SFR 空间，引起这些空间的数据丢失。一定要在内部 RAM 空间设置传输次数号码。

备注 n: DMA 通道号 (n = 0, 1)

16.3 控制 DMA 控制器的寄存器

DMA 控制器由下列寄存器控制。

- DMA 模式控制寄存器 n (DMCn)
- DMA 操作控制寄存器 n (DRCn)

备注 n: DMA 通道号 (n = 0, 1)

(1) DMA 模式控制寄存器 n (DMCn)

DMCn 寄存器用来设置 DMA 通道 n 的传输模式。它用来选择传输方向、数据大小、挂起设置和开始源。第 7 位 (STGn) 是开始 DMA 的软件触发。

操作期间(当 DSTn = 1 时)，DMCn 的位 6, 5, 和 3 ~ 0 禁止重写。

DMCn 可由 1 位或 8 位存储器操作指令设置。

复位信号将此寄存器设置为 00H。

图 16-4. DMA 模式控制寄存器 n (DMCn) (1/2)的格式

地址: FFFBAH (DMC0), FFFBBH (DMC1) 复位后: 00H R/W

符号

	<7>	<6>	<5>	<4>	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn ^註	DMA 传输开始软件触发
0	无触发操作
1	当 DMA 操作允许时 (DENn = 1)，DMA 传输开始。
当 DMA 操作允许时 (DENn = 1)，通过在此位写入 1，开始 DMA 传输。 当读取此位时，一直为 0。	

DRSn	选择 DMA 传输方向
0	SFR 到内部 RAM
1	内部 RAM 到 SFR

DSn	制定 DMA 传输的传输数据大小
0	8 位
1	16 位

DWAITn	DMA 传输的挂起
0	DMA 开始请求之后，执行 DMA 传输 (不挂起)。
1	如果有，挂起 DMA 开始请求。
挂起的 DMA 传输可以通过清 DWAITn 数值为 0 来开始。 当 DWAITn 数值设置为 1 时，要花 2 个时钟来真正挂起 DMA 传输。	

注 不管 IFCn0 ~ IFCn3 数值为何，软件触发(STGn) 都可以使用。

备注 n: DMA 通道号 (n = 0, 1)

图 16-4. DMA 模式控制寄存器 n (DMCn) (2/2)的格式

地址: FFFBAH (DMC0), FFFBBH (DMC1) 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAItn	IFCn3	IFCn2	IFCn1	IFCn0

IFCn 3	IFCn 2	IFCn 1	IFCn 0	选择 DMA 开始源 ^注	
				触发信号	出发内容
0	0	0	0	—	由中断禁止 DMA 传输 (只允许软件触发。)
0	0	1	0	INTTM00	定时器通道 0 中断
0	0	1	1	INTTM01	定时器通道 1 中断
0	1	0	0	INTTM04	定时器通道 4 中断
0	1	0	1	INTTM05	定时器通道 5 中断
0	1	1	0	INTST0/INTCSI00	UART0 发送结束中断/ CSI00 传输结束中断
0	1	1	1	INTSR0/INTCSI01	UART0 接收结束中断/ CSI01 传输结束中断
1	0	0	0	INTST1/INTCSI10/INTIIC10	UART1 发送结束中断/ CSI10 传输结束中断/ IIC10 传输结束中断
1	0	0	1	INTSR1	UART1 接收结束中断
1	0	1	0	INTST3	UART3 发送结束中断
1	0	1	1	INTSR3	UART3 接收结束中断
1	1	0	0	INTAD	A/D 转换结束中断
其它				禁止设置	

注 不管 IFCn0 ~ IFCn3 数值为何, 软件触发(STGn) 都可以使用。

备注 n: DMA 通道号 (n = 0, 1)

(2) DMA 操作控制寄存器 n (DRCn)

DRCn 寄存器用来禁止或允许 DMA 通道 n 的传输。
操作期间(当 DSTn = 1 时)，此寄存器的位 7(DENn)禁止重写。
DRCn 可由 1 位或 8 位存储器操作指令设置。
复位信号将此寄存器设置为 00H。

图 16-5. DMA 操作控制寄存器 n (DRCn)的格式

地址: FFFBCH (DRC0), FFFBDH (DRC1) 复位后: 00H R/W

符号	<7>	6	5	4	3	2	1	0
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA 操作允许标志
0	禁止 DMA 通道 n 的操作 (DMA 的操作时钟)。
1	允许 DMA 通道 n 的操作。
DMA 操作允许后(DENn = 1)，当 DSTn = 1 时，DMAC 等待 1 个 DMA 触发。	

DSTn	DMA 传输模式标志
0	DMA 通道 n 的 DMA 传输完成。
1	DMA 通道 n 的 DMA 传输没有完成 (执行中)。
DMA 操作允许后(DENn = 1)，当 DSTn = 1 时，DMAC 等待 1 个 DMA 触发。 当由 IFCn3 ~ IFCn0 设置的软件触发(STGn)或开始源触发输入时，DMA 传输开始。 之后，当 DMA 传输完成时，此位自动清零 0。 执行期间将此位置 0，强制中止 DMA 传输。	

注意事项 当 DMA 传输完成时，DSTn 标志自动清零 0。
只有当 DSTn = 0 时，允许写入 DENn 标志。当没有 DMA n 中断(INTDMA n)的产生而中止 DMA 传输时，要设置 DSTn 为 0，然后设置 DENn 为 0 (详细信息, 参考 16.5.5 软件强行中止)。

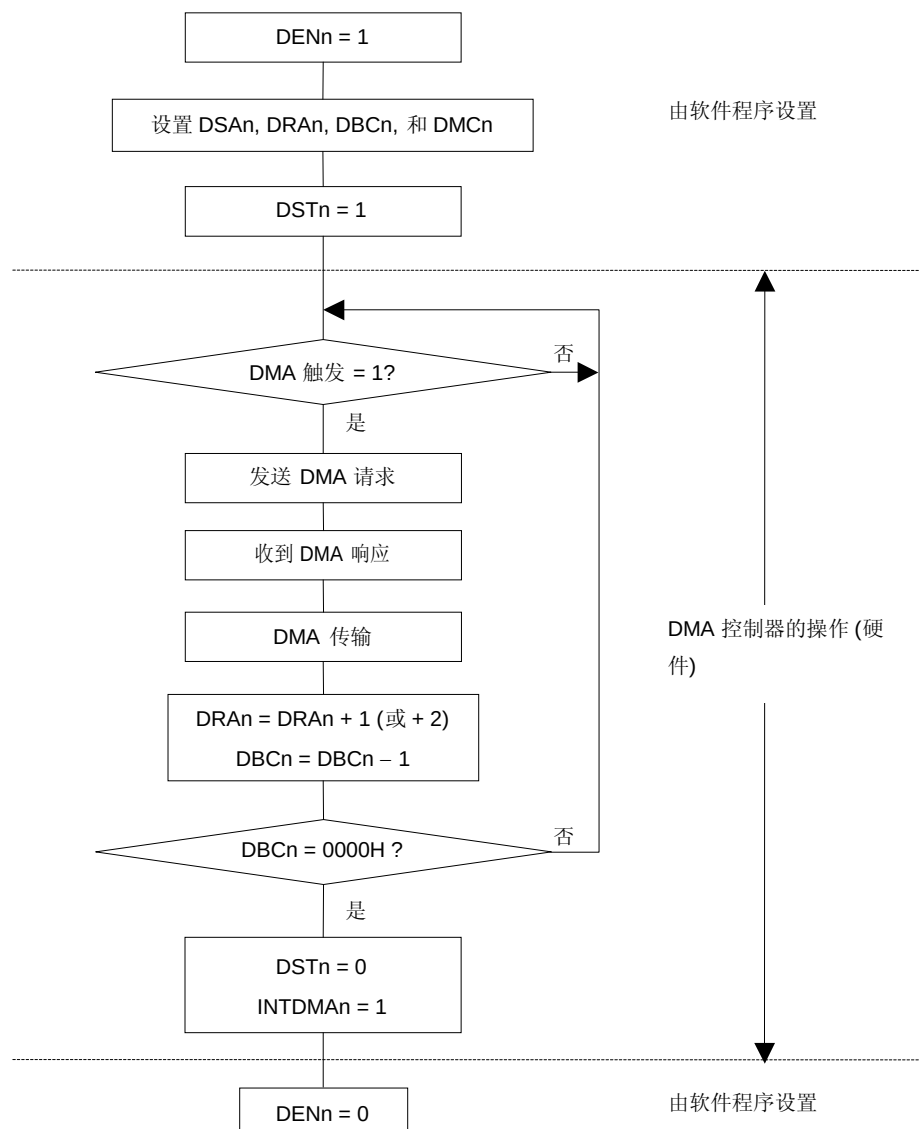
备注 n: DMA 通道号 (n = 0, 1)

16.4 DMA 控制器的操作

16.4.1 操作顺序

- <1> 当 DENn = 1 时, DMA 控制器操作允许。其它寄存器写入之前,一定要将 DENn 设置为 1。使用 8 位操作指令写入 80H。
- <2> 设置 1 个 SFR 地址, 1 个 RAM 地址, 传输次数码, 并且在 DSA_n, DRA_n, CBC_n, 和 DMC_n 寄存器中设置 DMA 传输的传输模式。
- <3> 当 DST_n = 1 时, DMA 控制器等待 DMA 触发。使用 8 位操作指令写入 81H。
- <4> 当由 IFC_n3 ~ IFC_n0 设置的软件触发(STG_n)或开始源触发输入时, DMA 传输开始。
- <5> 当由 DBC_n 寄存器设置的传输次数码变为 0 时, 传输完成, 并且产生一个中断(INTDMA_n), 传输自动停止。
- <6> 当 DMA 控制器不使用时, 通过将 DEN_n 清零 0, 来停止 DMA 控制器的操作。

图 16-6. 操作顺序



备注 n: DMA 通道号 (n = 0, 1)

16.4.2 传输模式

下面 4 种模式通过使用 DMCn 寄存器的第 6 位和第 5 位(DRSn 和 DSn)选择 DMA 传输的模式。

DRSn	DSn	DMA 传输模式
0	0	从1字节数据的 SFR 传输 (固定地址) 到 RAM (地址通过 +1增加)
0	1	从1字节数据的 SFR 传输 (固定地址) 到 RAM (地址通过 +2增加)
1	0	从1字节数据的 RAM 传输(地址通过 +1增加) 到 SFR (固定地址)
1	1	从1字节数据的 RAM 传输(地址通过 +2增加) 到 SFR (固定地址)

通过使用这些传输模式，最多 1024 个字节数据可以通过使用串行接口连续传输，A/D 转换的结果可以进行传输，通过使用定时器在固定的时间间隔内可以扫描端口数据。

16.4.3 DMA 传输中止

DBCn = 00H 并且 DMA 传输完成时，DSTn 位自动清零 0。中断请求 (INTDMAn) 产生，并且传输中止。

当 DSTn 位清零强制中止 DMA 传输, DBCn 和 DRAn 寄存器保存传输中止时的数值。

如果传输强行中止，中断请求(INTDMAn) 不产生。

备注 n: DMA 通道号 (n = 0, 1)

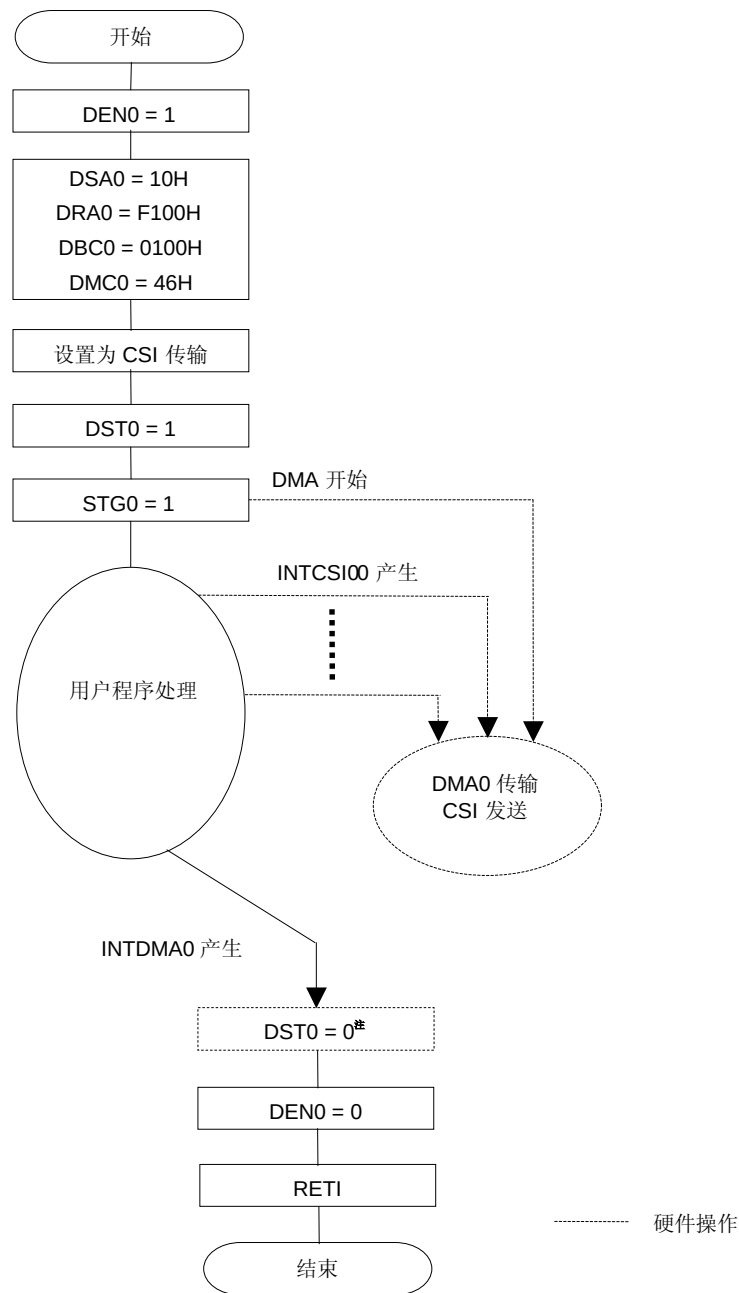
16.5 DMA 控制器设置的实例

16.5.1 CSI 连续发送

标示 CSI 连续发送设置实例的流程图如下所示。

- CSI00 的连续传输
- DMA 通道 0 用作 DMA 传输
- DMA 开始源: INTCSI00 (软件触发 (STG0) 只用于第一个开始源)
- CSI00 中断由 IFC03 ~ IFC00 (DMC0 寄存器的位 3~0) = 0110B 来指定。
- 把 RAM 的 FF100H ~ FF1FFH (256 个字节) 传输到 CSI 发送缓冲器(SIO00) 的 FFF10H 。

图 16-7. CSI 连续发送的设置实例



注 当 DMA 传输完成时，DST0 标志自动清零 0。

只有当 DST0 = 0 时，DEN0 标志允许。为了中止 DMA 传输，而不等待 DMA0 (INTDMA0) 中断产生，把 DST0 设置为 0，然后把 DEN0 也设置为 0 (详细信息, 参考 16.5.5 软件强行中断)。

连续传输的第一次触发并不由 CSI 中断开启。要由软件触发开启。

第二次的 CSI 发送和以后的发送自动执行。

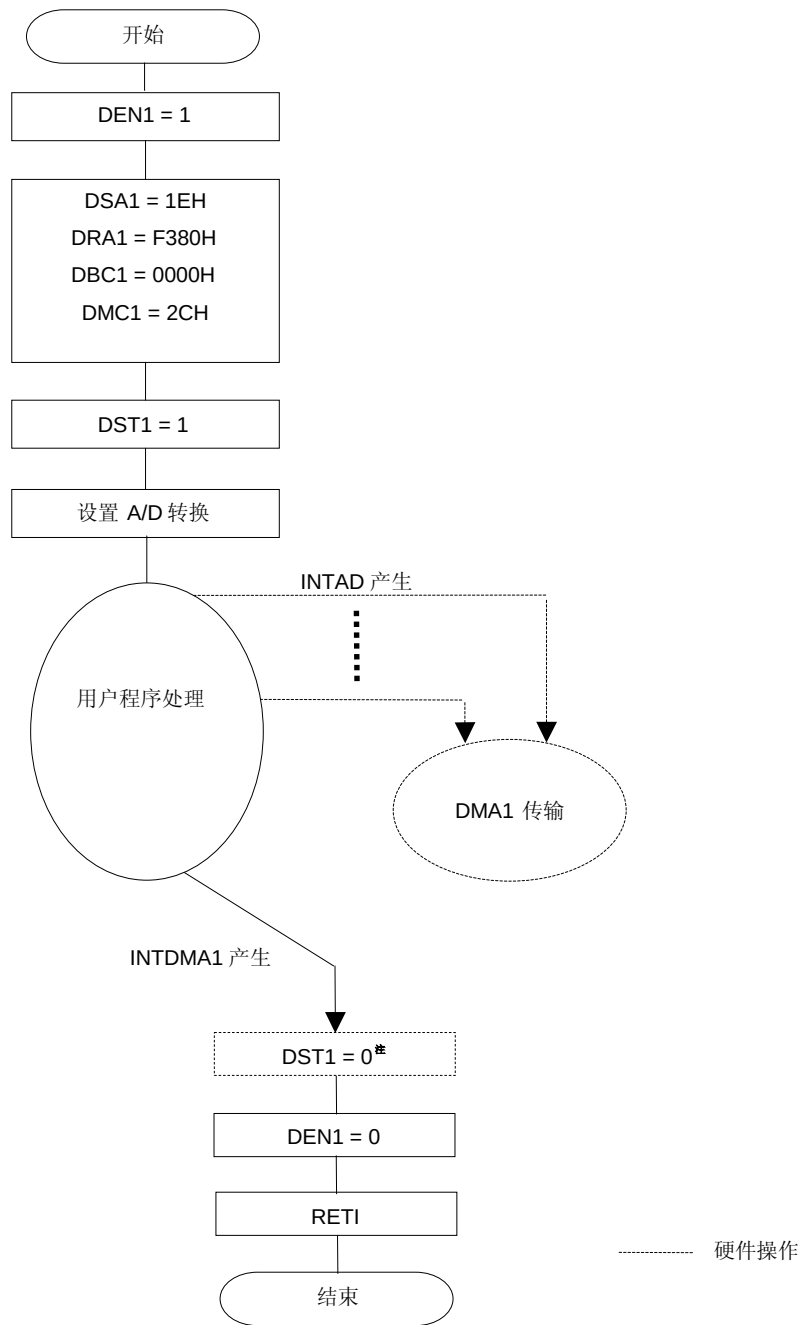
DMA 中断(INTDMA0)只要数据写入发送缓冲器就会产生。此时，CSI 的最后一个数据正在发送。为了再次开始 DMA 传输，因此要一直等到 CSI 传输完成。

16.5.2 A/D 转换结果的连续捕捉

标示 A/D 转换结果连续捕捉设置实例的流程图如下所示。

- A/D 转换结果的连续捕捉。
- DMA 通道 1 用于 DMA 传输。
- DMA 开始源: INTAD
- A/D 中断由 IFC03 ~ IFC00 (DMC1 寄存器的位 3~0) = 1100B 来指定。
- 把 10 位 A/D 转换结果寄存器的 FFF1EH 和 FFF1FH (2 个字节) 传输到 RAM 的 FF380H ~ FFB7FH 的 2048 个字节中。

图 16-8. A/D 转换结果连续捕捉设置的实例



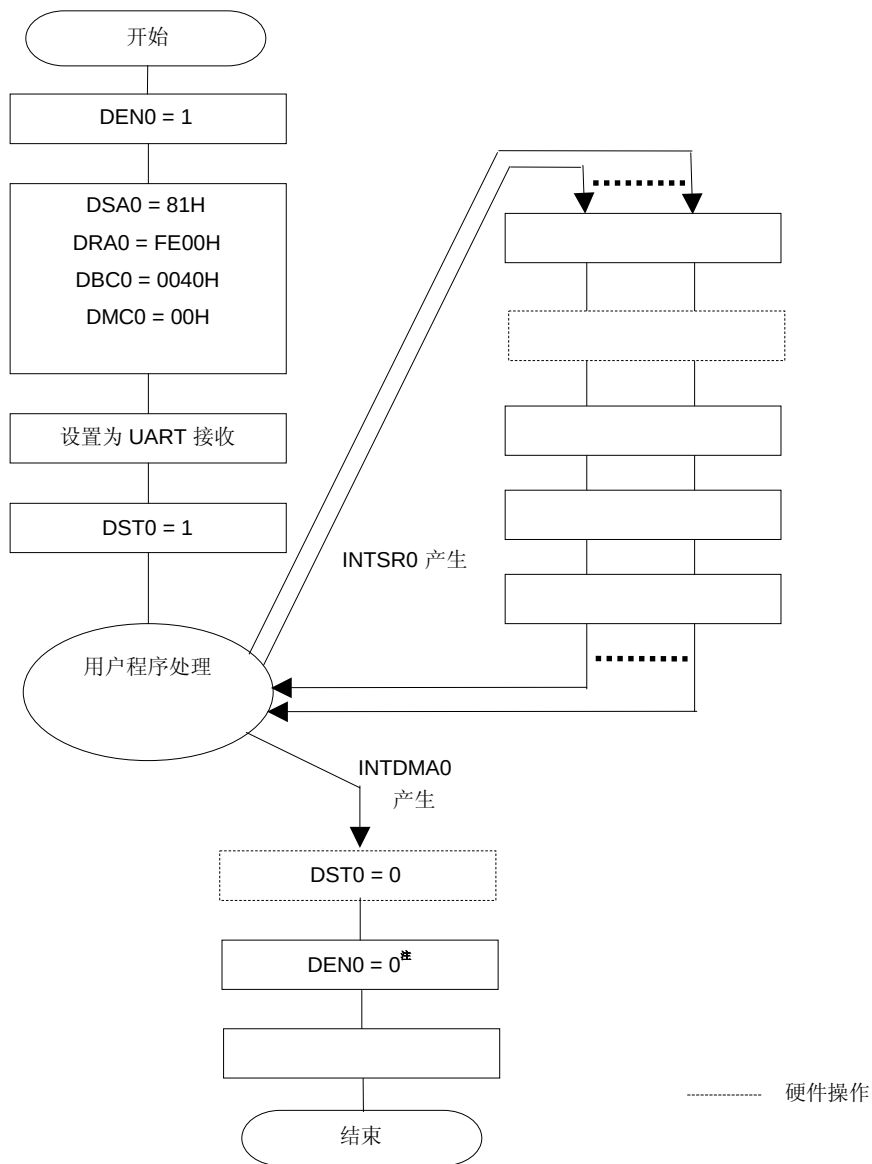
注 当 DMA 传输完成时，DST1 标志自动清零 0。
 只有当 DST1 = 0 时，DEN1 标志允许。为了中止 DMA 传输，而不等待 DMA1 (INTDMA1) 中断产生，把 DST1 设置为 0，然后把 DEN1 也设置为 0 (详细信息, 参考 16.5.5 软件强行中止)。

16.5.3 UART 连续接收 + ACK 发送

标示 UART 连续接收 + ACK 发送设置实例的流程图如下所示。

- 从 UART0 连续接收数据，并在接收完成之后输出 ACK 给 P10。
- DMA 通道 0 用于 DMA 传输。
- DMA 开始源: 软件触发 (中断产生之后, DMA 传输禁止。)
- 把 UART 接收数据寄存器 0 (RxD0) 的 FFF12H 传输给 RAM 的 FFE00H ~ FFE3FH 64 个字节。

图 16-9. UART 连续接收 + ACK 发送设置的实例



注 当 DMA 传输完成时，DST0 标志自动清零 0。
只有当 DST0 = 0 时，DEN0 标志允许。为了中止 DMA 传输，而不等待 DMA0 (INTDMA0) 中断产生，把 DST0 设置为 0，然后把 DEN0 也设置为 0 (详细信息, 参考 16.5.5 软件强行中断)。

备注 此为一个软件触发用于 DMA 开始源的实例。
如果不发送 ACK，并且只有数据从 UART 中连续接收，那么 UART 接收结束中断(INTSR0) 可以用于开启 DMA 用于数据接收。

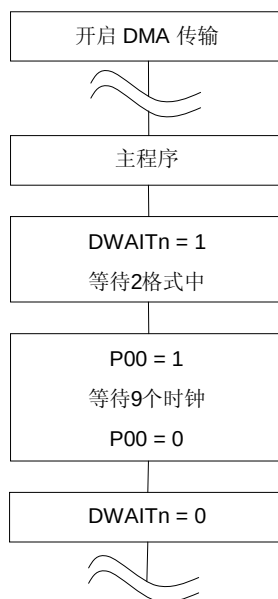
16.5.4 通过 DWAITn 保持 DMA 传输挂起

DMA transfer 传输开始时，当指令执行期间传输正在进行。此时，CPU 的操作停止，并且延时 2 个时钟。如果这就对设定的系统的操作造成了问题，DMA 传输可以通过设置 DWAITn 为 1 来保持挂起。

例如，为了从 P00 引脚输出一个脉宽为操作频率的 10 个时钟脉冲，如果 DMA 传输中途开始，那么时钟宽度就增加到 12 了。这种情况下，DMA 传输可以通过设置 DWAITn 为 1 来保持挂起。

设置 DWAITn 为 1 后,要花 2 个时钟才能保持 DMA 传输挂起。

图 16-10. 通过 DWAITn 保持 DMA 传输挂起设置的实例



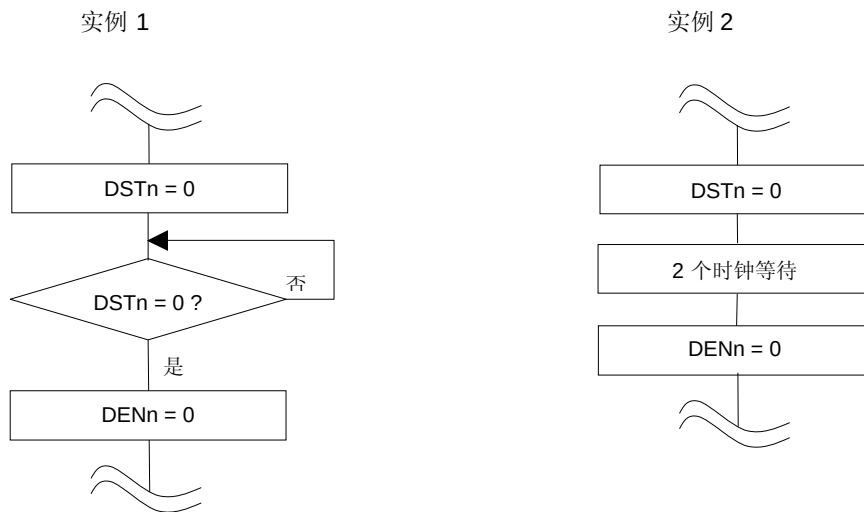
- 备注
1. n: DMA 传输号码 (n = 0, 1)
 2. 1 个时钟: $1/f_{CLK}$ (f_{CLK} : CPU 时钟)

16.5.5 软件强行中止

DSTn 由软件设置为 0 之后，要花 2 个时钟 DMA 传输才能真正停止并且 DSTn 位置为 0。为了由软件强行中止 DMA 传输，而不等待 DMA 中断 (INTDMA_n) 的产生，因此要执行下列的一个操作。

- 由软件设置 DSTn 为 0 (用 8 位操作指令写入 DRCn = 80H)，通过查询 DSTn 的确清零 0 以确认，然后设置 DENn 为 0 (用 8 位操作指令写入 DRCn = 00H)。
- 由软件设置 DSTn 为 0 (用 8 位操作指令写入 DRCn = 80H)，然后在 2 个或者更多个时钟之后设置 DENn 为 0 (用 8 位操作指令写入 DRCn = 00H)。

图 16-11. DMA 传输的强行中止



备注 1.n: DMA 通道号码 (n = 0, 1)
2.1 个时钟: $1/f_{CLK}$ (f_{CLK} : CPU 时钟)

16.6 使用 DMA 控制器的注意事项

(1) DMA 的优先级

DMA 传输期间,即使有从其它 DMA 通道来的请求产生,也保持挂起。挂起的 DMA 传输在当前的 DMA 传输完成之后就挂起。在一段较短的时间内,两个通道的请求连续产生,它们就连续传输,并且在完成之后,另一个 DMA 通道的请求就执行。这种情况下,要在第一个 DMA 传输和接着的 DMA 传输之间执行 1 到 2 条指令。

如果两个 DMA 请求同时产生,那么通道 0 优先于通道 1。

如果 DMA 请求和中断请求同时产生, DMA 传输优先,然后执行中断服务程序。

注 较短的时间是指 8 个或者更少的 CPU 时钟。时钟长度和 DMA 操作之间的关系如下。

- 1 个时钟: 禁止 DMA 请求的设置不能接受。
- 2 ~ 4 个时钟: 请求连续产生的那个通道的 DMA 传输执行。
- 5 ~ 8 个时钟: 请求连续产生的那个通道的 DMA 传输执行还是从其它通道来的 DMA 请求执行依据于 CPU 指令的执行次数。

(2) DMA 响应时间

DMA 传输的响应时间如下。

表 16-2. DMA 传输的响应时间

	最短时间	最长时间
响应时间	4 个时钟	10 个时钟

备注 1 个时钟: $1/f_{CLK}$ (f_{CLK} : CPU 时钟)

但是, 下列情况下, DMA 传输可能会进一步延时。DMA 传输延时的时钟个数依据于条件不同而不同。

- 由 RAM 执行指令
- 由内部存储器执行指令
- 当访问外部存储器时, 插入等待周期
- 执行 DMA 挂起指令

(3) 待机模式下的操作

DMA 控制器的待机模式按照下列所示进行。

表 16-3. 待机模式下 DMA 的操作

状态	DMA 操作
HALT 模式	正常操作
STOP 模式	停止操作 如果 DMA 传输和STOP 指令执行冲突, 那么DMA 传输就可能要破坏。因此, 执行STOP之前, 要停止DMA。

(4) DMA 挂起指令

下列指令之后, 即使 DMA 请求产生, DMA 传输也要保持挂起。

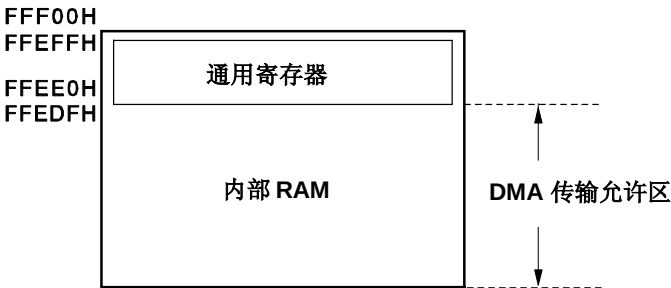
- CALL !addr16
- CALL &!addr16
- CALL !!addr20
- CALL rp
- CALLT [addr5]
- BRK
- 寄存器 IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H 和 PSW 每一个的位操作指令, 和包括 ES 寄存器的带操作数的 8 位操作指令。

(5) 如果指定了通用寄存器区域或者内部 RAM 之外的区域时的操作

在 DMA 传输期间, 由 DRA0n 指示的地址增加。如果地址增加到通用寄存器区域, 或者超过了内部 RAM 区域, 进行下列操作。

- 在从 SFR 到 RAM 的操作模式下
那个地址的数据丢失。
- 在从 RAM 到 SFR 的操作模式下
传输到 SFR 的数据不定。

任何一种情况下,都会发生误操作或者对系统造成损坏。因此, 一定要确保地址在除了通用寄存器的内部 RAM 区域。



17.1 中断功能的类型

可分为以下两种类型。

(1) 可屏蔽中断

这类中断可进行屏蔽控制。通过设置优先级指定标志寄存器(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)将可屏蔽中断分为四个优先级组。

支持中断嵌套，即在低优先级的中断服务子程序中可以响应高优先级的中断请求。如果同时产生两个或两个以上具有相同优先级的中断请求，则根据向量中断服务的优先级进行处理。优先级顺序，请参见表 17-1。

产生一个待机释放信号，并释放 STOP 和 HALT 模式。

可屏蔽中断包括外部中断请求和内部中断请求。

外部： 13, 内部： 28

(2) 软件中断

这是通过执行 BRK 指令产生的一类向量中断。即使禁止中断时也可以响应这类中断。软件中断不受中断优先级控制。

17.2 中断源及配置

78K0R/KG3 系列中，共有 42 种中断源，包括可屏蔽的中断和软件中断。另外，还具有 5 种复位源(参见表 17-1)。

表 17-1. 中断源列表(1/2)

中断类型	默认优先级 ^{注1}	中断源		内部/ 外部	向量表 地址	基本配置 类型 ^{注2}
		名称	触发器			
可屏蔽的	0	INTWDTI	看门狗定时器间隔定时 ^{注3} (溢出时间的 75%)	内部	0004H	(A)
	1	INTLVI	低电压检测 ^{注4}		0006H	
	2	INTP0	引脚输入脉冲沿检测	外部	0008H	(B)
	3	INTP1			000AH	
	4	INTP2			000CH	
	5	INTP3			000EH	
	6	INTP4			0010H	
	7	INTP5			0012H	
	8	INTST3	UART3 发送结束	内部	0014H	(A)
	9	INTSR3	UART3 接收结束		0016H	
	10	INTSRE3	UART3 产生接收错误		0018H	
	11	INTDMA0	DMA0 发送结束		001AH	
	12	INTDMA1	DMA1 发送结束		001CH	
	13	INTST0 /INTCSI00	UART0 发送结束/ CSI00 通信结束		001EH	
	14	INTSR0 /INTCSI01	UART0 接收结束/ CSI01 通信结束		0020H	
	15	INTSRE0	CSI00/CSI01/UART0 发生接收错误		0022H	
	16	INTST1 /INTCSI10 /INTIIC10	UART1 发送结束/ CSI10 通信结束/ IIC10 通信结束		0024H	
	17	INTSR1	UART1 接收结束		0026H	
	18	INTSRE1	CSI10/UART1/IIC10 发生接收错误		0028H	
	19	INTIIC0	IIC0 通讯结束		002AH	
	20	INTTM00	定时器通道 0 计数或捕捉结束		002CH	
	21	INTTM01	定时器通道 1 计数或捕捉结束		002EH	
	22	INTTM02	定时器通道 2 计数或捕捉结束		0030H	
	23	INTTM03	定时器通道 3 计数或捕捉结束		0032H	

- 注
1. 当两个或两个以上可屏蔽中断同时产生时，采用默认的优先级来决定向量中断的处理顺序。优先级 0 的优先级别最高，而优先级 40 的优先级别最低。
 2. 基本配置类型 (A) ~ (C) 与图 17-1 中 (A) ~ (C) 相对应。
 3. 当可选字节 (000C0H) 第 7 位(WDTINT)被置 1 时。
 4. 当低电压检测寄存器(LVIM)的第 1 位(LVIMD)被清零时。

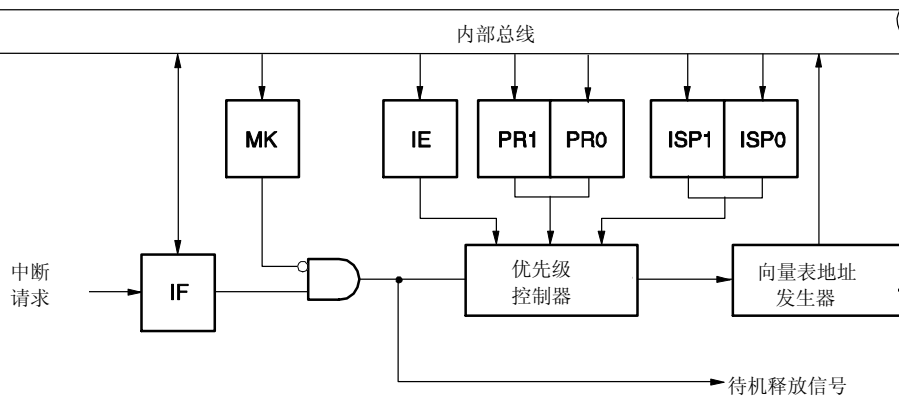
表 17-1. 中断源列表(2/2)

中断类型	默认优先级 ^{注1}	中断源		内部/ 外部	向量表 地址	基本配置 类型 ^{注2}
		名称	触发器			
可屏蔽的	24	INTAD	A/D 转换结束	内部	0034H	(A)
	25	INTRTC	实时计数器的固定周期信号/报警相等检测		0036H	
	26	INTRTCI	实时计数器的间隔信号检测		0038H	
	27	INTKR	按键返回信号检测	外部	003AH	(B)
	28	INTST2 /INTCSI20 /INTIIC20	UART2 发送结束/ CSI20 通信结束/ IIC20 通信结束	内部	003CH	(A)
	29	INTSR2	End of UART2 接收结束		003EH	
	30	INTSRE2	CSI20/UART2/IIC20 产生接收错误		0040H	
	31	INTTM04	定时器通道 4 计数或捕捉结束		0042H	
	32	INTTM05	定时器通道 5 计数或捕捉结束		0044H	
	33	INTTM06	定时器通道 6 计数或捕捉结束		0046H	
	34	INTTM07	定时器通道 7 计数或捕捉结束		0048H	
	35	INTP6	引脚输入沿检测	外部	004AH	(B)
	36	INTP7			004CH	
	37	INTP8			004EH	
	38	INTP9			0050H	
	39	INTP10			0052H	
	40	INTP11			0054H	
软件	—	BRK	执行 BRK 指令	—	007EH	(C)
复位	—	RESET	RESET 引脚输入	—	0000H	—
		POC	上电清零			
		LVI	低电压检测 ^{注3}			
		WDT	看门狗定时器溢出			
		TRAP	执行非法指令 ^{注4}			

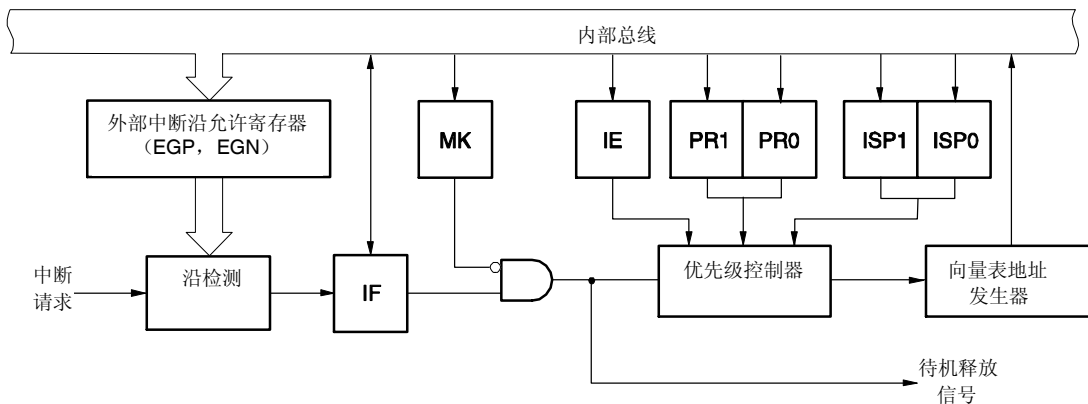
- 注
1. 当两个或两个以上可屏蔽中断同时产生时，采用默认的优先级来决定向量中断的处理顺序。优先级 0 的优先级别最高，而优先级 40 的优先级别最低。
 2. 基本配置类型 (A) ~ (C) 与图 17-1 中 (A) ~ (C) 相对应。
 3. 当低电压检测寄存器(LVIM)的第 1 位(LVIMD)被清零时。
 4. 当执行 FFH 中的指令码时。
复位并不是由在线仿真器或者在片调试仿真器的仿真引起的非法指令执行引起的。

图 17-1. 中断功能的基本配置

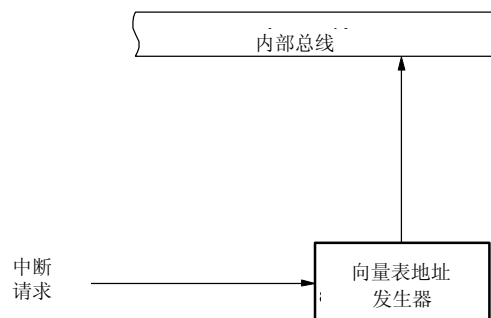
(A) 内部可屏蔽中断



(B) 外部可屏蔽中断



(C) 软件中断



IF: 中断请求标志
 IE: 中断允许标志
 ISP0: 服务优先级标志 0
 ISP1: 服务优先级标志 1
 MK: 中断屏蔽标志
 PR0: 优先级指定标志 0
 PR1: 优先级指定标志 1

17.3 控制中断功能的寄存器

以下 6 种寄存器用于控制中断功能。

- 中断请求标志寄存器(IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 中断屏蔽标志寄存器(MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 优先级指定标志寄存器(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部中断上升沿允许寄存器(EGP0, EGP1)
- 外部中断下降沿允许寄存器(EGN0, EGN1)
- 程序状态字(PSW)

表 17-2 列出了与中断请求源相对应的中断请求标志、中断屏蔽标志和优先级指定标志。

表 17-2. 与中断请求源相对应的标志(1/2)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志	
		寄存器		寄存器		寄存器
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST3	STIF3	IF0H	STMK3	MK0H	STPR03, STPR13	PR00H, PR10H
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13	
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0 ^{※1}	STIF0 ^{※1}		STMK0 ^{※1}		STPR00, STPR10 ^{※1}	
INTCSI00 ^{※1}	CSIIIF00 ^{※1}		CSIMK00 ^{※1}		CSIPR000, CSIPR100 ^{※1}	
INTSR0 ^{※2}	SRIF0 ^{※2}		SRMK0 ^{※2}		SRPR00, SRPR10 ^{※2}	
INTCSI01 ^{※2}	CSIIIF01 ^{※2}		CSIMK01 ^{※2}		CSIPR001, CSIPR101 ^{※2}	
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10	

- 注
1. 不要同时使用 UART0 和 CSI00，因为它们共享中断请求源标志。如果中断源 INTST0 和 INTCSI00 中的 1 个产生，IF1H 的第 5 位设置为 1。MK0H, PR00H, 和 PR10H 的第 5 位支持这 3 个中断源。
 2. 不要同时使用 UART0 和 CSI01，因为它们共享中断请求源标志。如果中断源 INTSR0 和 INTCSI01 中的 1 个产生，IF0H 的第 6 位设置为 1。MK0H, PR00H, 和 PR10H 的第 6 位支持这 3 个中断源。

表 17-2. 与中断请求源相对应的标志(2/2)

中断源	中断请求标志		中断屏蔽标志		优先级指定标志	
		寄存器		寄存器		寄存器
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L
INTCSI10 ^{注1}	CSIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}	
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}	
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1	SREIF1		SREMK1		SREPR01, SREPR11	
INTIIC0	IICIF0		IICMK0		IICPR00, IICPR10	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1	
INTRTCI	RTCIF		RTCIMK		RTCIPR0, RTCIPR1	
INTKR	KRIF		KRMK		KRPR0, KRPR1	
INTST2 ^{注2}	STIF2 ^{注2}		STMK2 ^{注2}		STPR02, STPR12 ^{注2}	
INTCSI20 ^{注2}	CSIF20 ^{注2}		CSIMK20 ^{注2}		CSIPR020, CSIPR120 ^{注2}	
INTIIC20 ^{注2}	IICIF20 ^{注2}		IICMK20 ^{注2}		IICPR020, IICPR120 ^{注2}	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTP7	PIF7		PMK7		PPR07, PPR17	
INTP8	PIF8		PMK8		PPR08, PPR18	
INTP9	PIF9		PMK9		PPR09, PPR19	
INTP10	PIF10		PMK10		PPR010, PPR110	
INTP11	PIF11	IF2H	PMK11	MK2H	PPR011, PPR111	PR02H, PR12H

注 1. 不要同时使用 UART1, CSI10, 和 IIC10，因为它们共享中断请求源标志。如果中断源 INTST1, INTCSI10, 和 INTIIC10 中的 1 个产生，IF1L 的第 0 位设置为 1。MK1L, PR01L, 和 PR11L 的第 0 位支持这 3 个中断源。

2. 不要同时使用 UART2, CSI20, 和 IIC20，因为它们共享中断请求源标志。如果中断源 INTST2, INTCSI20, 和 INTIIC20 中的 1 个产生，IF1L 的第 4 位设置为 1。MK1L, PR01L, 和 PR11L 的第 4 位支持这 3 个中断源。

(1) 中断请求标志寄存器(IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

当产生相关的中断请求或执行指令时，这些中断请求标志被置 1。当执行的指令是响应中断请求或复位输入时，这些标志被清零。

当响应中断时，中断请求标志自动清零，然后进入中断服务程序。

可由 1 位或 8 位存储器操作指令设置 IF0L、IF0H、IF1L、IF1H、IF2L 和 IF2H。当 IF0L 与 IF0H、IF1L 与 IF1H 和 IF2L 与 IF2H 组合起来形成 16 位寄存器 IF0、IF1 和 IF2 时，可由 16 位存储器操作指令设置这些寄存器。

复位信号的输入将这些寄存器清零(00H)。

备注 如果执行写入此寄存器数据的指令，指令执行的时钟个数增加 2 个时钟。

图 17-2. 中断请求标志寄存器(IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)的格式 (1/2)

地址: FFFE0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDIIF

地址: FFFE1H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0H	SREIF0	CSIF01 SRIF0	CSIF00 STIF0	DMAIF1	DMAIF0	SREIF3	SRIF3	STIF3

地址: FFFE2H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICIF0	SREIF1	SRIF1	CSIF10 IICIF10 STIF1

地址: FFFE3H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1H	TMIF04	SREIF2	SRIF2	CSIF20 IICIF20 STIF2	KRIF	RTCIF	RTCIF	ADIF

地址: FFFD0H 复位后: 00H R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2L	PIF10	PIF9	PIF8	PIF7	PIF6	TMIF07	TMIF06	TMIF05

图 17-2. 中断请求标志寄存器的格式 (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) (2/2)

地址: FFFD1H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	<0>
IF2H	0	0	0	0	0	0	0	PIF11

XXIFX	中断请求标志
0	没有产生中断请求信号
1	产生中断请求, 中断请求状态

注意事项

1. 一定要对 IF2H 的第 1 位到第 7 位清零 0。

2. 当退出待机模式后并要使用定时器、串行接口或 A/D 转换器时, 先将中断请求标志清零后再对这些部件进行操作。噪音可能会设置中断请求标志。

3. 当使用中断请求标志寄存器中的标志时, 使用一位存储器操作指令 (CLR1) 。当用 C 语言描述时, 由于编译后的汇编指令必须是一位存储器操作指令(CLR1), 所以应该使用一位操作指令, 如“IF0L.0 = 0;”或 “_asm(“clr1 IF0L, 0”);”。

如果一条用 C 语言描述的 8 位存储器操作指令如“IF0L &= 0xfe;”, 则编译后将被转换为三条汇编指令:

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

这种情况下, 当处于“mov a, IF0L”和 “mov IF0L, a”之间的时序时, 即使同一中断请求标志寄存器 (IF0L) 的其他请求标志被设置为 1, 则该请求标志也将被“mov IF0L, a”清零。因此在 C 语言中使用 8 位存储器操作指令时必须小心。

(2) 中断屏蔽标志寄存器(MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

这些中断屏蔽标志用于允许/禁止相关的可屏蔽中断服务。

可由 1 位或 8 位存储器操作指令设置 MK0L、 MK0H、MK1L、MK1H、MK2L、和 MK2H。 当 MK0L 与 MK0H, MK1L 与 MK1H, 和 MK2L 与 MK2H 组合起来形成 16 位寄存器 MK0 、 MK1 和 MK2 时, 可由 16 位存储器操作指令设置这些寄存器。

复位信号的产生将这些寄存器的内容设置为 FFH。

备注 如果执行写入此寄存器数据的指令, 指令执行的时钟个数增加 2 个时钟。

图 17-3. 中断屏蔽标志寄存器的格式(MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

地址: FFFE4H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

地址: FFFE5H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0H	SREMK0	CSIMK01 SRMK0	CSIMK00 STMK0	DMAMK1	DMAMK0	SREMK3	SRMK3	STMK3

地址: FFFE6H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICMK0	SREMK1	SRMK1	CSIMK10 IICMK10 STMK1

地址: FFFE7H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1H	TMMK04	SREMK2	SRMK2	CSIMK20 IICMK20 STMK2	KRMK	RTCIMK	RTCMK	ADMK

地址: FFFD4H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2L	PMK10	PMK9	PMK8	PMK7	PMK6	TMMK07	TMMK06	TMMK05

地址: FFFD5H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	<0>
MK2H	1	1	1	1	1	1	1	PMK11

XXMKX	中断服务控制
0	允许中断服务
1	禁止中断服务

注意事项 一定要把 MK2H 的第 1 位到第 7 位 设置为 1。

(3) 优先级指定标志寄存器(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

这些优先级指定标志寄存器用于设置相关的可屏蔽中断优先级次序。

优先级可通过组合使用 PR0xy 和 PR1xy 寄存器设置(xy = 0L, 0H, 1L, 1H, 2L 或 2H)。可由 1 位或 8 位存储器操作指令设置 PR00L、PR00H、PR01L、PR01H、PR02L、PR02H、PR10L、PR10H、PR11L、PR11H、PR12L 和 PR12H。当 PR00L 与 PR00H, PR01L 与 PR01H, PR02L 与 PR02H, PR10L 与 PR10H, PR11L 与 PR11H, 和 PR12L 与 PR12H 组合起来形成 16 位寄存器 PR00, PR01, PR02, PR10, PR11 和 PR12 时, 可由 16 位存储器操作指令设置这些寄存器。

复位信号的产生将这些寄存器内容设置为 FFH。

备注 如果执行写入此寄存器数据的指令, 指令执行的时钟个数增加 2 个时钟。

图 17-4. 优先级指定标志寄存器的格式

(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) (1/2)

地址: FFFE8H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

地址: FFECH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

地址: FFFE9H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00H	SREPR00	CSIPR001 SRPR00	CSIPR000 STPR00	DMAPR01	DMAPR00	SREPR03	SRPR03	STPR03

地址: FFFEDH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10H	SREPR10	CSIPR101 SRPR10	CSIPR100 STPR10	DMAPR11	DMAPR10	SREPR13	SRPR13	STPR13

地址: FFFEAH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICPR00	SREPR01	SRPR01	CSIPR010 IICPR01 STPR01

地址: FFEEH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICPR10	SREPR11	SRPR11	CSIPR110 IICPR11 STPR11

图 17-4. 优先级指定标志寄存器的格式
(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) (2/2)

地址: FFFEBH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01H	TMPR004	SREPR02	SRPR02	CSIPR020 IICPR02 STPR02	KRPR0	RTCIPR0	RTCPR0	ADPR0

地址: FFFE FH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11H	TMPR104	SREPR12	SRPR12	CSIPR120 IICPR12 STPR12	KRPR1	RTCIPR1	RTCPR1	ADPR1

地址: FFFD8H 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02L	PPR010	PPR09	PPR08	PPR07	PPR06	TMPR007	TMPR006	TMPR005

地址: FFFDCH 复位后: FFH R/W

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12L	PPR110	PPR19	PPR18	PPR17	PPR16	TMPR107	TMPR106	TMPR105

地址: FFFD9H 复位后: FFH R/W

符号	7	6	5	4	3	2	1	<0>
PR02H	1	1	1	1	1	1	1	PPR011

地址: FFFDDH 复位后: FFH R/W

符号	7	6	5	4	3	2	1	<0>
PR12H	1	1	1	1	1	1	1	PPR111

XXPR1X	XXPR0X	优先级选择
0	0	指定优先级 0 (高优先级)
0	1	指定优先级 1
1	0	指定优先级 2
1	1	指定优先级 3 (低优先级)

注意事项 一定要把 PR02H 和 PR12H 的第 1 位和~第 7 位设置为 1。

(4) 外部中断上升沿允许寄存器(EGP0, EGP1), 外部中断下降沿允许寄存器(EGN0, EGN1)

这两个寄存器用于指定 INTP0~INTP11 的有效沿。

可由 1 位或 8 位存储器操作指令设置 EGP0, EGP1, EGN0 和 EGN1。

复位信号的产生将这些寄存器清零 (00H)。

**图 17-5. 外部中断上升沿允许寄存器(EGP0, EGP1)
和外部中断下降沿允许寄存器(EGN0, EGN1)的格式**

地址: FFF38H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

地址: FFF39H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

地址: FFF3AH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

地址: FFF3BH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn 引脚有效沿的选择 (n = 0 ~ 11)
0	0	禁止脉冲沿检测
0	1	下降沿
1	0	上升沿
1	1	兼有上升沿和下降沿

表 17-3 显示了与 EGPn 和 EGNn 相关的端口。

表 17-3. EGPn 和 EGNn 相关的端口

检测允许寄存器		脉冲沿检测端口	中断请求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P46	INTP1
EGP2	EGN2	P47	INTP2
EGP3	EGN3	P30	INTP3
EGP4	EGN4	P31	INTP4
EGP5	EGN5	P16	INTP5
EGP6	EGN6	P140	INTP6
EGP7	EGN7	P141	INTP7
EGP8	EGN8	P74	INTP8
EGP9	EGN9	P75	INTP9
EGP10	EGN10	P76	INTP10
EGP11	EGN11	P77	INTP11

注意事项 在从外部中断功能切换到端口功能时可能会检测到脉冲沿，因此通过将 EGPn 和 EGNn 清零可选择端口模式。

备注 n = 0 ~ 11

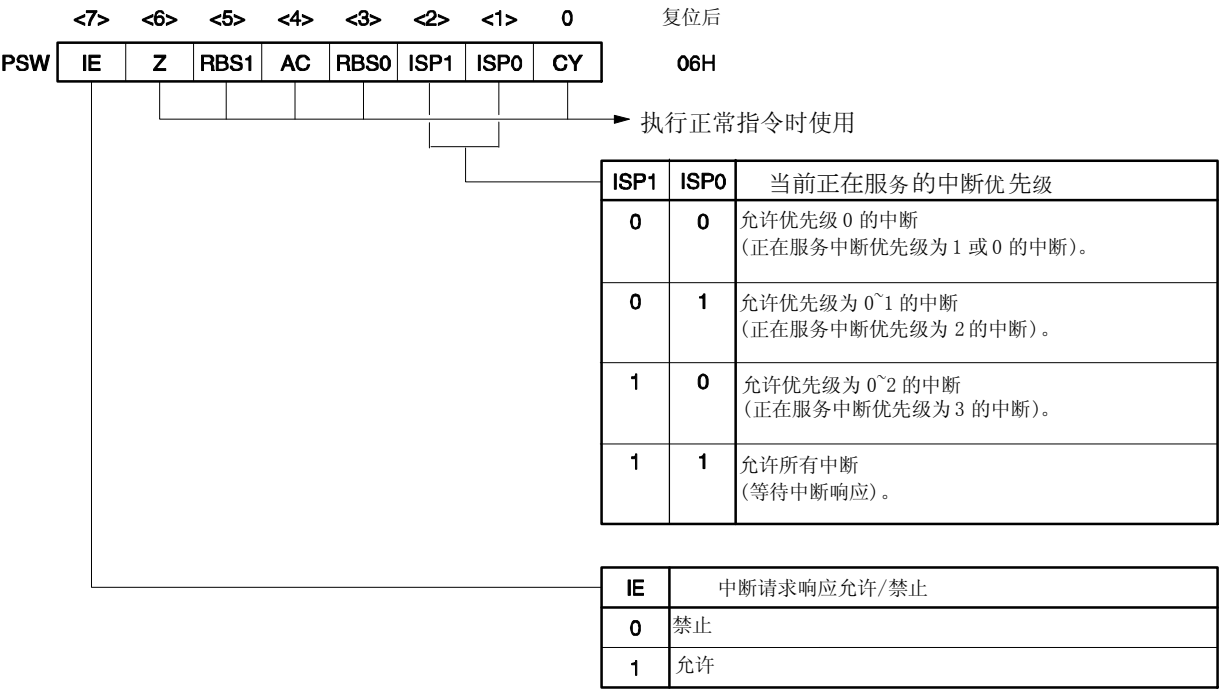
(5) 程序状态字(PSW)

PSW 是用于保存指令执行结果和中断请求的当前状态的寄存器。在 PSW 中包含 IE 标志（设置允许/禁止可屏蔽中断）和 ISP0 与 ISP1 标志（控制中断嵌套）。

除了 8 位读/写操作指令外，还可使用位操作指令和专用指令（EI 和 DI）对该寄存器进行操作。在响应向量中断请求时，如果执行 BRK 指令，则将 PSW 的内容自动保存到堆栈中，并且将 IE 标志复位为 0。如果响应可屏蔽中断请求，则将被响应中断的优先级指定标志的内容转移到 ISP0 和 ISP1 标志中。执行 PUSH PSW 指令将 PSW 的内容保存到堆栈中。而执行 RETI、RETB 和 POP PSW 指令可将这些内容从堆栈中恢复。

RESET 输入将 PSW 设置为 06H。

图 17-6. 程序状态字的格式



17.4 中断服务操作

17.4.1 可屏蔽的中断响应

当中断请求标志=1 且与该中断请求相关的屏蔽标志(MK)被清零时，可以响应这个可屏蔽中断请求。如果处于中断允许状态(IE =1)，可以响应向量中断请求。但在一个较高优先级中断请求服务期间，不响应低优先级的中断请求。
从一个可屏蔽中断请求产生到中断服务执行所经历的时间如表 17-4 所示。
中断请求响应时序可参见图 17-8 和 17-9。

表 17-4. 从可屏蔽中断产生到执行中断服务所需要的时间

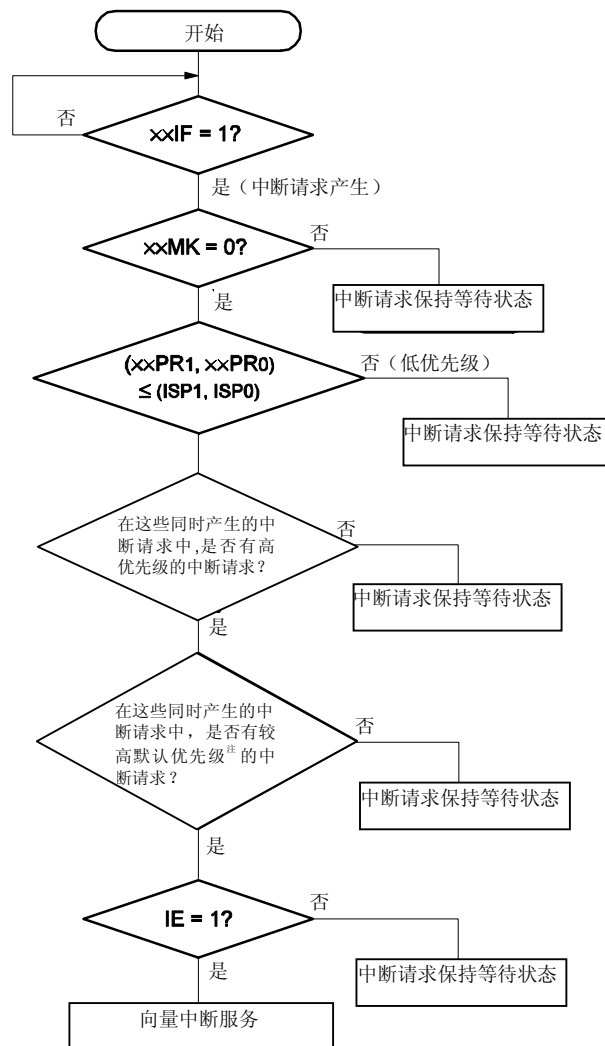
	最短时间	最长时间 ^注
时间	9 个时钟	14 个时钟

注 如果是在 RET 指令执行之前产生一个中断请求，则等待时间会更长。

备注 1 个时钟: 1/fCLK (fCLK: CPU 时钟)

如果同时产生两个或两个以上的可屏蔽中断请求，则首先响应优先级指定标志中优先级别高的请求。如果两个或两个以上的中断请求具有相同的优先级别，则首先响应具有最高默认优先级的中断请求。
当允许响应中断请求时，处于等待状态的中断请求被响应。
图 17-7 显示了中断请求响应算法。
如果响应了一个可屏蔽中断请求，则将 PSW、PC 的内容依次保存到堆栈中，然后将 IE 标志复位为 0，并将与被响应的中断相关的优先级指定标志的内容传送到 ISP1 和 ISP0 中。将用于中断请求的向量表数据传送到 PC 中，并转移。
可通过执行 RETI 指令从中断返回。

图 17-7. 中断请求响应处理



xxIF: 中断请求标志

xxMK: 中断屏蔽标志

xxPR0: 优先级指定标志 0

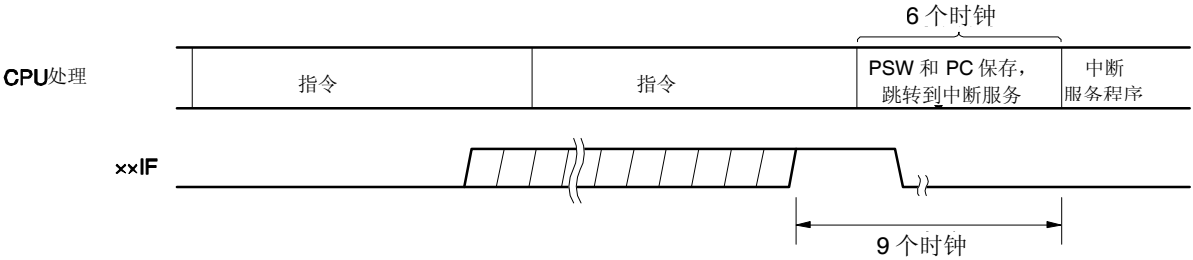
xxPR1: 优先级指定标志 1

IE: 控制可屏蔽中断请求响应的标志 (1 = 允许、0 = 禁止)

ISP0, ISP1: 指示正在服务的中断优先级别的标志 (参见图 17-6)

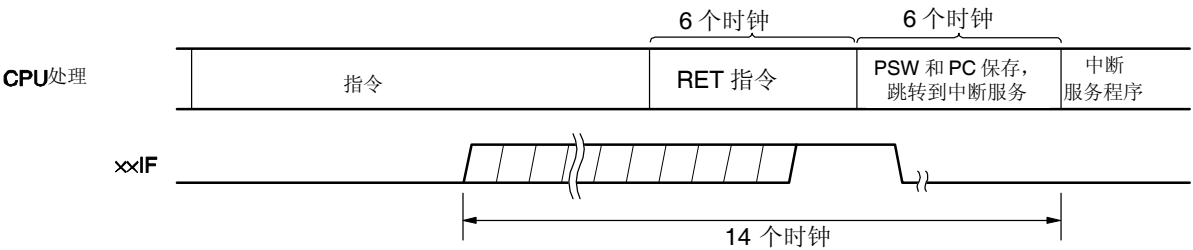
注 关于默认优先级, 参考表 17-1 中断源列表

图 17-8. 中断请求响应时序 (最短时间)



备注 1 个时钟: $1/f_{CPU}$ (f_{CPU} : CPU 时钟)

图 17-9. 中断请求响应时序 (最长时间)



备注 1 个时钟: $1/f_{CPU}$ (f_{CPU} : CPU 时钟)

17.4.2 软件中断请求响应

执行 **BRK** 指令可响应软件中断。软件中断不能被禁止。
如果响应了一个软件中断请求，则将程序状态字（PSW）和程序计数器（PC）的内容依次保存到堆栈中，然后将 **IE** 标志复位为 0，并将向量表的内容（0007EH, 0007FH）传送到 PC 中，然后转移。
可通过执行 **RETB** 指令从软件中断返回。

注意事项 不能使用 **RETI** 指令从软件中断返回。

17.4.3 中断嵌套

在执行一个中断服务程序时，又响应了其他中断，这时就产生了中断嵌套。

除非选择允许中断请求响应状态（ $IE = 1$ ），否则不会产生中断嵌套。在响应一个中断请求时，禁止响应其它中断请求（ $IE = 0$ ）。因此，如果要允许中断嵌套，必须在中断服务期间执行 EI 指令，将 IE 标志置 1，从而允许响应其它中断请求。

此外，即使允许中断，也不一定允许中断嵌套，这是因为受到中断优先级控制的限制。可使用两类优先级控制方式：默认优先级控制和可编程优先级控制。可编程优先级控制用于中断嵌套。

在中断允许状态中，如果产生的中断请求的优先级与正在服务的中断优先级相等或高于它，则响应该中断请求，从而产生中断嵌套。如果产生的中断请求的优先级低于正在服务的中断优先级，则不响应该中断请求。由于禁止中断或中断请求的优先级别较低，这些不被允许的中断请求处于等待状态。若当前的中断服务已结束，则在执行至少一条主程序指令后才可响应处于等待状态的中断请求。

表 17-5 显示了允许中断嵌套的中断请求之间的关系，图 17-10 为中断嵌套示例。

表 17-5. 中断服务期间允许进行中断嵌套的中断请求之间的关系

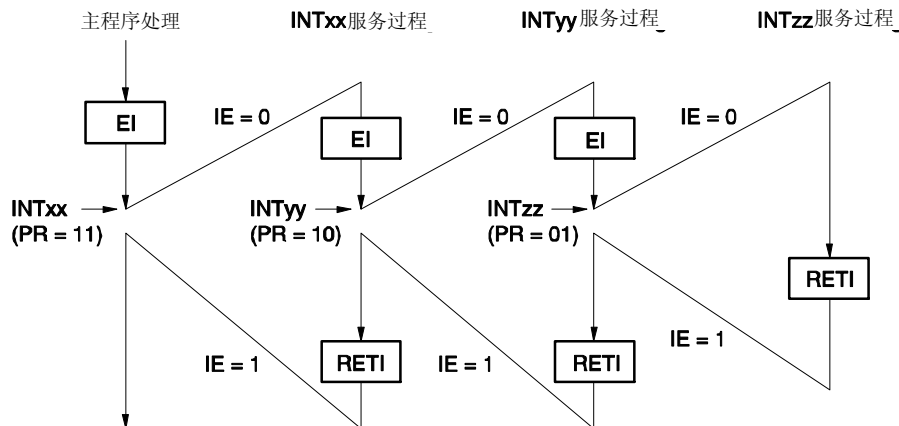
中断嵌套 正在服务的中断		可屏蔽中断请求								软件中断请求
		优先级 0 (PR = 00)		优先级 1 (PR = 01)		优先级 2 (PR = 10)		优先级 3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
可屏蔽的中断	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
软件中断		○	×	○	×	○	×	○	×	○

备注

- ：允许中断嵌套
- ×：禁止中断嵌套
- ISP0, ISP1, 和 IE 为 PSW 中的标志位。
 ISP1 = 0, ISP0 = 0: 正在服务中断优先级 1 或 0。
 ISP1 = 0, ISP0 = 1: 正在服务中断优先级 2。
 ISP1 = 1, ISP0 = 0: 正在服务中断优先级 3。
 ISP1 = 1, ISP0 = 1: 等待中断响应。
 IE = 0: 禁止响应中断请求。
 IE = 1: 允许响应中断请求。
- PR 为 PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, 和 PR12H 中的标志位。
 PR = 00: 优先级 0, 当 $\times\times PR1\times = 0, \times\times PR0\times = 0$ (较高优先级)
 PR = 01: 优先级 1, 当 $\times\times PR1\times = 0, \times\times PR0\times = 1$
 PR = 10: 优先级 2, 当 $\times\times PR1\times = 1, \times\times PR0\times = 0$
 PR = 11: 优先级 1, 当 $\times\times PR1\times = 1, \times\times PR0\times = 1$ (较低优先级)

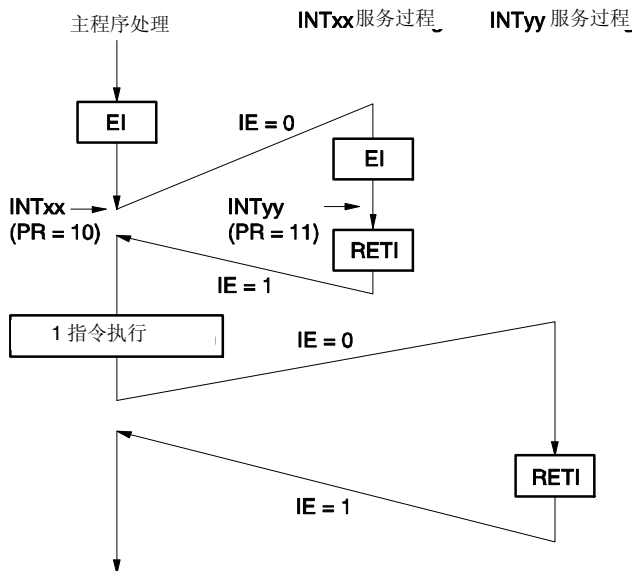
图 17-10. 中断嵌套示例(1/2)

例 1. 产生两次中断嵌套



在进行 INTxx 中断服务期间，响应了两个中断请求 INTyy 和 INTzz，这时就产生了中断嵌套。在响应每个中断之前，必须先执行 EI 指令才能允许响应中断请求。

例 2. 由于优先级控制没有产生中断嵌套



在 INTxx 中断服务期间不响应中断请求 INTyy，因为 INTyy 的优先级低于 INTxx，这样就不会产生中断嵌套。中断请求 INTyy 处于等待状态，在执行一条主程序指令后响应该中断请求。

PR = 00: 优先级 0, 当 $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ (较高优先级)

PR = 01: 优先级 1, 当 $\times\times PR1\times = 0$, $\times\times PR0\times = 1$

PR = 10: 优先级 2, 当 $\times\times PR1\times = 1$, $\times\times PR0\times = 0$

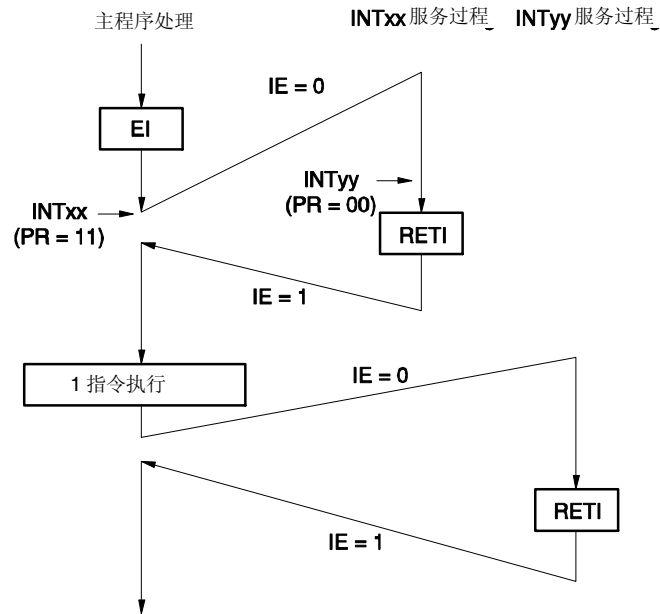
PR = 11: 优先级 1, 当 $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ (较低优先级)

IE = 0: 禁止响应中断请求。

IE = 1: 允许响应中断请求。

图 17-10. 中断嵌套示例(2/2)

例 3. 由于不允许中断没有产生中断嵌套



在 INT_{xx} 中断服务期间不允许中断（不执行 EI 指令），因此不响应中断请求 INT_{yy} ，这样也不会产生中断嵌套。中断请求 INT_{yy} 处于等待状态，在执行一条主程序指令后响应该中断请求。

PR = 00: 优先级 0, 当 $\times\times PR1\times = 0, \times\times PR0\times = 0$ (较高优先级)

PR = 01: 优先级 1, 当 $\times\times PR1\times = 0, \times\times PR0\times = 1$

PR = 10: 优先级 2, 当 $\times\times PR1\times = 1, \times\times PR0\times = 0$

PR = 11: 优先级 1, 当 $\times\times PR1\times = 1, \times\times PR0\times = 1$ (较低优先级)

IE = 0: 禁止响应中断请求。

IE = 1: 允许响应中断请求。

17.4.4 保持中断请求

在某些指令执行期间，即使出现中断请求，请求响应也要保持等待状态，直到下一条指令执行结束。以下列出这类指令（中断请求保持指令）。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr8
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- 用于 IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, and PR12H 寄存器的操作指令。

注意事项 **BRK** 指令不属于上述列出的中断请求保持指令。但通过执行 **BRK** 指令激活的软件中断会将 **IE** 标志清零。因此，即使在执行 **BRK** 指令期间产生可屏蔽中断请求，该中断请求也不会被响应。

图 17-11 显示了处于等待状态的中断请求时序。

图 17-11. 中断请求保持



- 备注**
1. 指令 N: 中断请求保持指令
 2. 指令 M: 除中断请求保持指令之外的指令
 3. xxPR（优先级）的值不会影响xxIF（中断请求）的操作。

18.1 按键中断的功能

可通过设置按键返回模式寄存器(KRM)和向按键中断输入引脚(KR0~KR7)输入一个下降沿产生按键中断 (INTKR)。

表 18-1. 按键中断检测引脚的分配

标志	描述
KRM0	以 1 位单元控制 KR0 信号。
KRM1	以 1 位单元控制 KR1 信号。
KRM2	以 1 位单元控制 KR2 信号。
KRM3	以 1 位单元控制 KR3 信号。
KRM4	以 1 位单元控制 KR4 信号。
KRM5	以 1 位单元控制 KR5 信号。
KRM6	以 1 位单元控制 KR6 信号。
KRM7	以 1 位单元控制 KR7 信号。

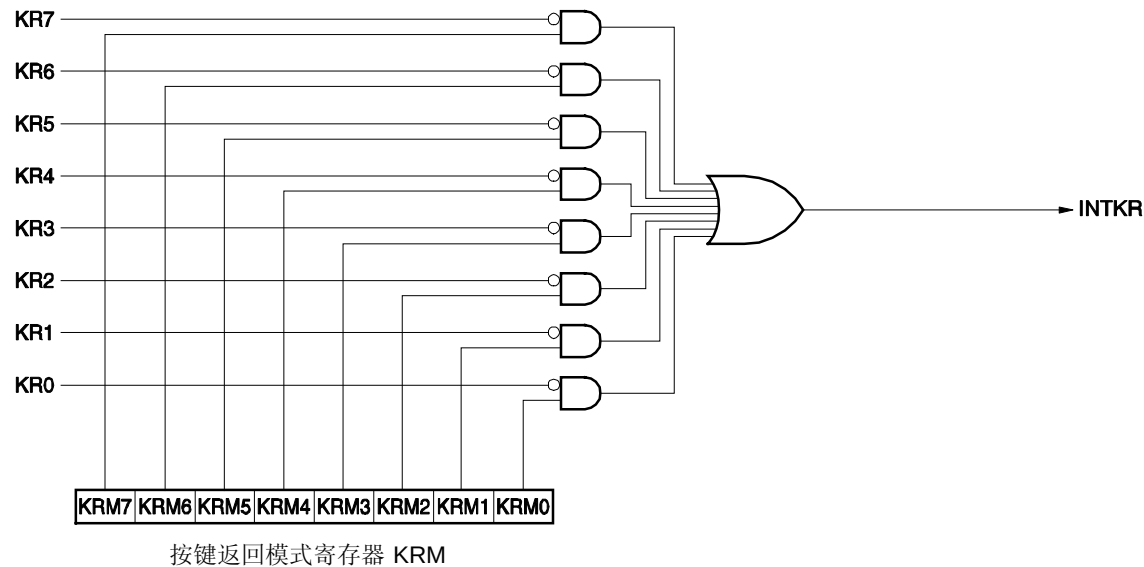
18.2 按键中断的配置

按键中断包括以下硬件。

表 18-2 按键中断的配置

项目	配置
控制寄存器	按键返回模式寄存器(KRM)

图 18-1. 按键中断的框图



18.3 控制按键中断的寄存器

(1) 按键返回模式寄存器(KRM)

该寄存器使用 KR0 ~ KR7 信号分别控制 KRM0 ~ KRM7 位。
KRM可由 1 位或 8 位存储器操作指令设置。
复位信号的产生将 KRM 清零(00H)。

图 18-2. 按键返回模式寄存器 (KRM) 的格式

地址：FF37H 复位后：00H R/W

符号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	按键 中断模式控制
0	不检测按键中断信号
1	检测按键中断信号

- 注意事项
1. 如果 KRM0 ~ KRM7 中任何一位被设置为 1，则将上拉电阻寄存器 7(PU7)的第 0 位~第 7 位 (PU70 ~ PU77)的相应位设置为 1。
 2. 如果 KRM 发生变化，则中断请求标志可能被设置。因此可以先禁止中断，再修改 KRM。先将中断请求标志清零，再允许中断。
 3. 在按键中断模式中没有被使用的位可用作通用端口。

备注 n = 0 ~ 7

第十九章 待机功能

19.1 待机功能及配置

19.1.1 待机功能

待机功能用于减少系统的工作电流，有以下两种模式。

(1) HALT 模式

通过执行 HALT 指令设置 HALT 模式。在 HALT 模式中，CPU 操作时钟停止。如果设置 HALT 模式前，高速系统时钟振荡器、内部高速振荡器、内部低速振荡器或副系统时钟振荡器正在使用，则设置后每种时钟的振荡继续。在此模式中，工作电流不如 STOP 模式中下降得多，但 HALT 模式对于中断请求产生后立即重启操作和频繁进行间断的操作非常有效。

(2) STOP 模式

通过执行 STOP 指令设置 STOP 模式。在 STOP 模式中，高速系统时钟振荡器和内部高速振荡器停止操作，整个系统的操作停止，这样 CPU 的工作电流将会大幅下降。

可通过中断请求释放该模式，这样，被中断的操作可以继续执行。由于选择 X1 时钟时，在释放 STOP 模式后需要一段等待时间以确保振荡器振荡稳定，因此如果需要在产生中断请求后立即进行处理，则应选择 HALT 模式。

在这两种模式中，寄存器、标志和数据存储器的内容将会保持进入待机模式前的内容。I/O 端口输出锁存器和输出缓冲器的状态也将被保持。

- 注意事项**
1. 仅当 CPU 使用主系统时钟时，才能使用 STOP 模式。不能停止副系统时钟的振荡。而当 CPU 使用主系统时钟或副系统时钟时，均可以使用 HALT 模式。
 2. 当切换到 STOP 模式时，在执行 STOP 指令前必须停止使用主系统时钟的外围硬件的操作。
 3. 当使用待机功能时，建议采用以下步骤降低 A/D 转换器的操作电流：首先将 A/D 转换器模式寄存器（ADM）的第 7 位（ADCS）和第 0 位（ADCE）清零以停止 A/D 转换操作，然后执行 STOP 指令。
 4. 可通过选项字节选择在 HALT 或 STOP 模式下，内部低速振荡器是否停止。详细信息，参见第二十四章 选项字节

19.1.2 控制待机功能的寄存器

待机功能由以下两个寄存器控制。

- 振荡稳定时间计数器的状态寄存器（OSTC）
- 振荡稳定时间选择寄存器（OSTS）

备注 有关这些寄存器启动、停止以及时钟选择的情况，可参见第六章 时钟发生器。

(1) 振荡稳定时间计数器的状态寄存器 (OSTC)

这是 X1 时钟振荡稳定时间计数器的状态寄存器。
在下列情况下，可检测 X1 时钟振荡稳定时间。

- 在内部高速振荡时钟或副系统时钟用作 CPU 时钟期间，X1 时钟开始振荡。
- 当 X1 时钟振荡的情况下，内部高速振荡时钟用作 CPU 时钟期间，进入 STOP 模式，然后释放。

可由 1 位或 8 位存储器操作指令读取 OSTC。
复位释放（通过 RESET 输入、POC、LVI、WDT 和执行非法指令）、STOP 指令以及 MSTOP（CSC 寄存器的第 7 位）= 1 可以将 OSTC 清零（00H）。

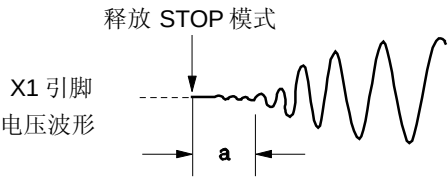
图 19-1. 振荡稳定时间计数器的状态寄存器（OSTC）的格式

地址: FFFA2H 复位后: 00H R

符号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	振荡稳定时间的状态		
									f _x = 10 MHz	f _x = 20 MHz
0	0	0	0	0	0	0	0	2 ⁸ /f _x max.	25.6 μs max.	12.8 μs max.
1	0	0	0	0	0	0	0	2 ⁸ /f _x min.	25.6 μs min.	12.8 μs min.
1	1	0	0	0	0	0	0	2 ⁹ /f _x min.	51.2 μs min.	25.6 μs min.
1	1	1	0	0	0	0	0	2 ¹⁰ /f _x min.	102.4 μs min.	51.2 μs min.
1	1	1	1	0	0	0	0	2 ¹¹ /f _x min.	204.8 μs min.	102.4 μs min.
1	1	1	1	1	0	0	0	2 ¹³ /f _x min.	819.2 μs min.	409.6 μs min.
1	1	1	1	1	1	0	0	2 ¹⁵ /f _x min.	3.27 ms min.	1.64 ms min.
1	1	1	1	1	1	1	0	2 ¹⁷ /f _x min.	13.11 ms min.	6.55 ms min.
1	1	1	1	1	1	1	1	2 ¹⁸ /f _x min.	26.21 ms min.	13.11 ms min.

- 注意事项
- 在经历上述时间后，从 MOST8 起各位被设置为 1，并保持为 1。
 - 振荡稳定时间计数器的计数达到 OSTC 设置的振荡稳定时间。如果已进入 STOP 模式并在 CPU 使用内部高速振荡时钟时释放 STOP 模式，则可以按以下方式设置振荡稳定时间。
 - 预期的 OSTC 振荡稳定时间 $\leq$ OSTC 设置的振荡稳定时间因此需要注意，在释放 STOP 模式后，只有通过 OSTC 设置的振荡稳定时间期间的状态被设置到 OSTC。
 - X1 时钟振荡稳定等待时间不包括从释放 STOP 模式到时钟振荡启动这段时间（即下图“a”所示的部分）。



备注 f_x : X1 时钟振荡频率。

(2) 振荡稳定时间选择寄存器(OSTS)

该寄存器用于选择释放 STOP 模式后 X1 时钟振荡稳定等待时间。

在释放 STOP 模式后且 CPU 使用 X1 时钟时，等待由 OSTS 设置的时间。

当释放 STOP 模式后且 CPU 使用内部高速振荡时钟时，可通过使用 OSTC 确认是否已经历了预期的振荡稳定时间。振荡稳定时间可根据 OSTC 设置的时间来检测。

可由 8 位存储器操作指令设置 OSTS。

复位信号的产生将 OSTS 设置为 07H。

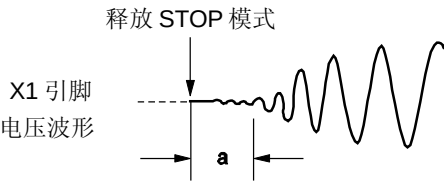
图 19-2. 振荡稳定时间选择寄存器（OSTS）的格式

地址: FFFA3H 复位后: 07H R/W

符号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		振荡稳定时间的选择	
				f _x = 10 MHz	f _x = 20 MHz
0	0	0	2 ⁸ /f _x	25.6 μs	禁止设置
0	0	1	2 ⁹ /f _x	51.2 μs	25.6 μs
0	1	0	2 ¹⁰ /f _x	102.4 μs	51.2 μs
0	1	1	2 ¹¹ /f _x	204.8 μs	102.4 μs
1	0	0	2 ¹³ /f _x	819.2 μs	409.6 μs
1	0	1	2 ¹⁵ /f _x	3.27 ms	1.64 ms
1	1	0	2 ¹⁷ /f _x	13.11 ms	6.55 ms
1	1	1	2 ¹⁸ /f _x	26.21 ms	13.11 ms

- 注意事项
- 1. 如果在 X1 时钟用作 CPU 时钟时要设置 STOP 模式，则应在执行 STOP 指令之前设置 OSTS。
 - 2. 禁止设置振荡稳定时间为 20 μs 或更短。
 - 3. 改变 OSTS 寄存器的设置之前，确认 OSTC 寄存器的计数操作已经完成。
 - 4. 在 X1 时钟振荡稳定期间不要修改 OSTS 寄存器的值。
 - 5. 振荡稳定时间计数器的计数达到 OSTS 设置的振荡稳定时间。如果已进入 STOP 模式，并在 CPU 使用内部高速振荡时钟时释放 STOP 模式，则可以按以下方式设置振荡稳定时间。
 - 预期的 OSTC 振荡稳定时间 ≤ OSTS 设置的振荡稳定时间因此需要注意，在释放 STOP 模式后，只有通过 OSTS 设置的振荡稳定时间期间的状态被设置到 OSTC。
 - 6. X1 时钟振荡等待时间不包括从释放 STOP 模式到时钟振荡启动这段时间（即下图“a”所示的部分）。



备注 f_x: X1 时钟振荡频率。

19.2 待机功能的操作

19.2.1 HALT 模式

(1) HALT 模式

通过执行 HALT 指令设置 HALT 模式。无论设置前 CPU 使用的是高速系统时钟、内部高速振荡时钟还是副系统时钟，都可以设置 HALT 模式。

HALT 模式中的操作状态如下所示。

表 19-1. HALT 模式中的操作状态(1/2)

HALT 模式设置 项目		当 CPU 使用主系统时钟并执行 HALT 指令时		
		当 CPU 使用内部高速振荡时钟(f_{IH})时	当 CPU 使用 X1 时钟(f_x)时	当 CPU 使用外部主系统时钟(f_{EX})时
系统时钟		停止 CPU 时钟		
主系统时钟	f_{IH}	操作继续 (不能停止)	保持设置 HALT 模式前的状态	
	f_x	保持设置 HALT 模式前的状态	操作继续 (不能停止)	不能操作
	f_{EX}		不能操作	操作继续 (不能停止)
副系统时钟	f_{XT}	保持设置 HALT 模式前的状态		
f_{IL}		由选项字节 (000C0H) 的第 0 位(WDSTBYON)和第 4 位(WTON)设置 • WTON = 0: 停止 • WTON = 1 和 WDSTBYON = 1: 振荡 • WTON = 1 和 WDSTBYON = 0: 停止		
CPU		操作停止		
Flash 存储器		在低电流损耗模式下可操作		
RAM		操作停止。 但是, 当电压比 POC 检测电压高时, 保持 HALT 模式设置之前的状态。		
端口 (锁存器)		保持设置 HALT 模式前的状态		
外部总线单元		操作停止		
定时器阵列单元(TAU)		可操作的		
实时计数器 (RTC)				
看门狗定时器		由选项字节 (000C0H) 的第 0 位(WDSTBYON)和第 4 位(WTON)设置 • WTON = 0: 停止 • WTON = 1 和 WDSTBYON = 1: 操作 • WTON = 1 和 WDSTBYON = 0: 停止		
时钟输出/蜂鸣器输出		可操作的		
A/D 转换器				
D/A 转换器				
串行阵列单元(SAU)				
串行接口 (IIC0)				
乘法器		操作停止		
DMA 控制器		可操作的		
上电清零 (POC) 功能				
低电压检测功能				
外部中断				

备注

f_{IH} : 内部高速振荡时钟

f_X : X1 时钟

f_{EX} : 外部主系统时钟

f_{XT} : XT1 时钟

f_{IL} : 内部低速振荡时钟

表 19-1. HALT 模式中的操作状态(2/2)

HALT 模式设置			当 CPU 使用副系统时钟并执行 HALT 指令时
项目			当 CPU 使用 XT1 时钟(f_{XT})时
系统时钟			停止 CPU 时钟
主系统时钟	f_{IH}	保持设置 HALT 模式前的状态	
	f_X		
	f_{EX}	操作或由外部时钟输入停止	
副系统时钟	f_{XT}	操作继续 (不能停止)	
f_{IL}		由选项字节 (000C0H) 的第 0 位(WDSTBYON)和第 4 位(WTON)设置 • WTON = 0: 停止 • WTON = 1 和 WDSTBYON = 1: 振荡 • WTON = 1 和 WDSTBYON = 0: 停止	
CPU			操作停止
Flash 存储器			在低电流损耗模式下可操作
RAM			操作停止。 但是，当电压比 POC 检测 电压高时，保持 HALT 模式设置之前的状态。
端口 (锁存器)			保持设置 HALT 模式前的状态
外部总线接口			操作停止
定时器阵列单元 (TAU)			可操作的
实时计数器 (RTC)			
看门狗定时器			由选项字节 (000C0H) 的第 0 位(WDSTBYON)和第 4 位(WTON)设置 • WTON = 0: 停止 • WTON = 1 和 WDSTBYON = 1: 操作 • WTON = 1 和 WDSTBYON = 0: 停止
时钟输出/蜂鸣器输出			可操作的
A/D 转换器			
D/A 转换器			
串行阵列单元 (SAU)			
串行接口 (IIC0)			
乘法器			
DMA 控制器			可操作的
上电清零功能			
低电压检测功能			
外部中断			

备注 f_{IH} : 内部高速振荡时钟
 f_X : X1 时钟
 f_{EX} : 外部主系统时钟
 f_{XT} : XT1 时钟
 f_{IL} : 内部低速振荡时钟

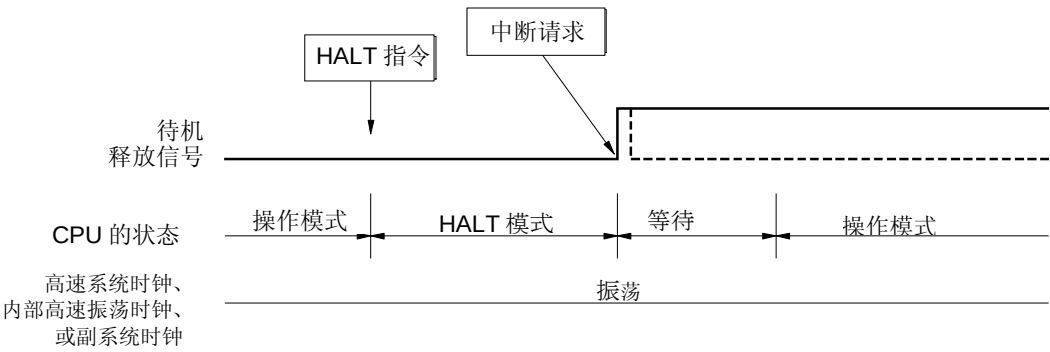
(2) 释放 HALT 模式

以下两种方式可以释放 HALT 模式。

(a) 由没有被屏蔽的中断请求释放

当产生一个没有被屏蔽的中断时，释放 HALT 模式。如果允许响应中断，则执行向量中断服务程序。如果禁止响应中断，则执行下一个地址的指令。

图 19-3. 通过产生中断请求释放 HALT 模式



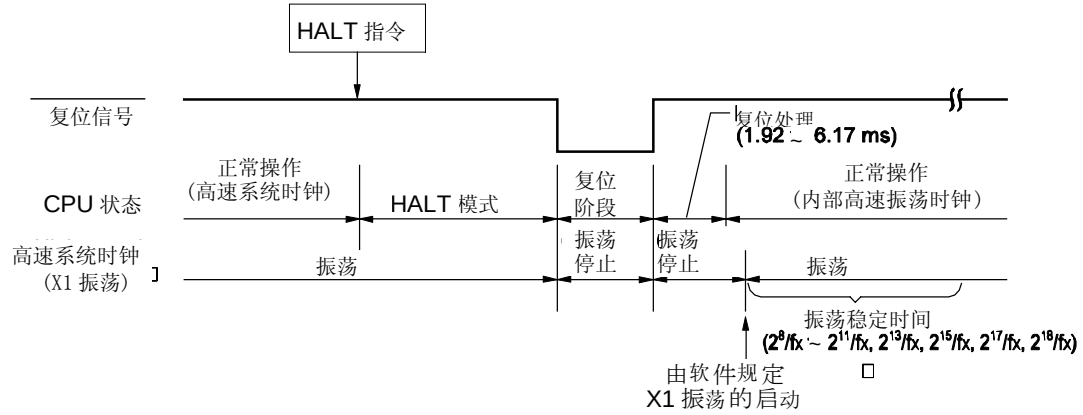
备注 虚线表示释放待机模式的中断请求被响应的情况。

(b) 通过产生的复位信号释放

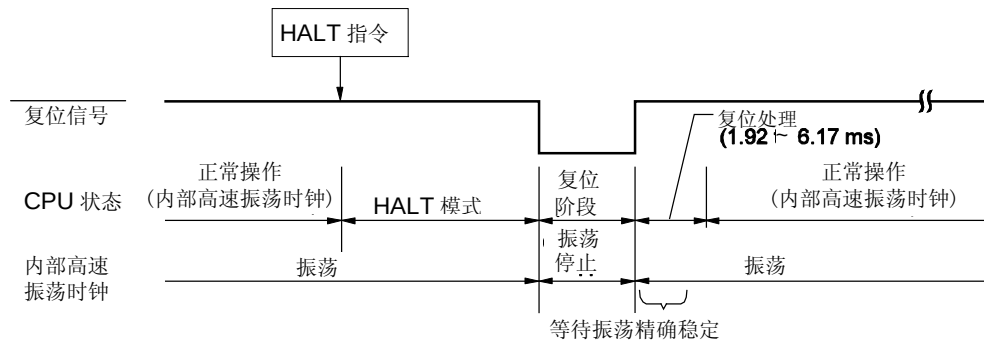
当产生复位信号时，释放 HALT 模式，然后在进行正常复位操作后，程序从复位向量指向的地址处开始执行。

图 19-4. 通过复位释放 HALT 模式

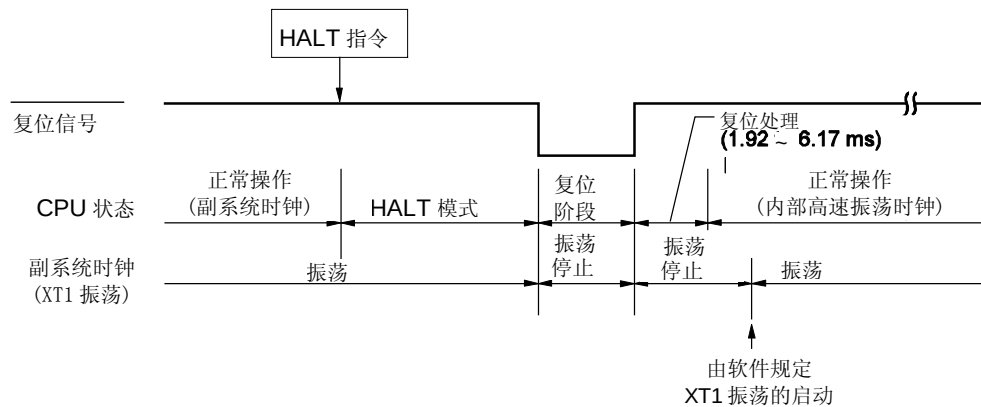
(1) CPU 使用高速系统时钟



(2) CPU 使用内部高速振荡时钟



(3) CPU 使用副系统时钟



备注 fx: X1 时钟振荡频率

19.2.2 STOP 模式

(1) STOP 模式设置及操作状态

通过执行 STOP 指令设置 STOP 模式。仅当设置 STOP 模式前 CPU 使用主系统时钟时才可以设置 STOP 模式。

注意事项 由于中断请求信号用于释放待机模式，因此如果一个中断源的中断请求标志被设置且中断屏蔽标志被清零时，则立即释放待机模式。因此，在执行 STOP 指令后，立即将 STOP 模式复位到 HALT 模式，并且在经历了 OSTS 设置的等待时间后，系统返回操作模式。

STOP 模式中的操作状态如下所示。

表 19-2. STOP 模式中的操作状态

STOP 模式设置 项目			当 CPU 使用主系统时钟并执行 STOP 指令时		
			当 CPU 使用内部高速振荡时钟(f_{IH})时	当 CPU 使用 X1 时钟(f_x)时	当 CPU 使用外部主系统时钟(f_{EX})时
系统时钟			停止 CPU 时钟		
主系统时钟	f_{IH}	停止			
	f_x				
	f_{EX}				
副系统时钟	f_{XT}	保持设置 STOP 模式前的状态			
f_{IL}		由选项字节 (000C0H) 的第 0 位(WDSTBYON)和第 4 位(WTON)设置 • WTON = 0: 停止 • WTON = 1 和 WDSTBYON = 1: 振荡 • WTON = 1 和 WDSTBYON = 0: 停止			
CPU			操作停止		
Flash 存储器			操作停止		
RAM			操作停止。 但是, 当电压比 POC 检测电压高时, 保持 HALT 模式设置之前的状态。		
端口 (锁存器)			保持设置 STOP 模式前的状态		
外部总线接口			操作停止		
定时器阵列单元 (TAU)			操作停止		
实时计数器 (RTC)			保持设置 STOP 模式前的状态		
看门狗定时器			由选项字节 (000C0H) 的第 0 位(WDSTBYON)和第 4 位(WTON)设置 • WTON = 0: 停止 • WTON = 1 和 WDSTBYON = 1: 操作 • WTON = 1 和 WDSTBYON = 0: 停止		
时钟输出/蜂鸣器输出			只有当副系统时钟选作计数时钟时才可操作		
A/D 转换器			操作停止		
D/A 转换器			操作停止 (引脚处于高阻状态)		
串行阵列单元 (SAU)			操作停止		
串行接口 (IIC0)					
乘法器					
DMA 控制器					
上电清零功能					
低电压检测功能			可操作的		
外部中断					

备注

f_{IH} : 内部高速振荡时钟

f_X : X1 时钟

f_{EX} : 外部主系统时钟

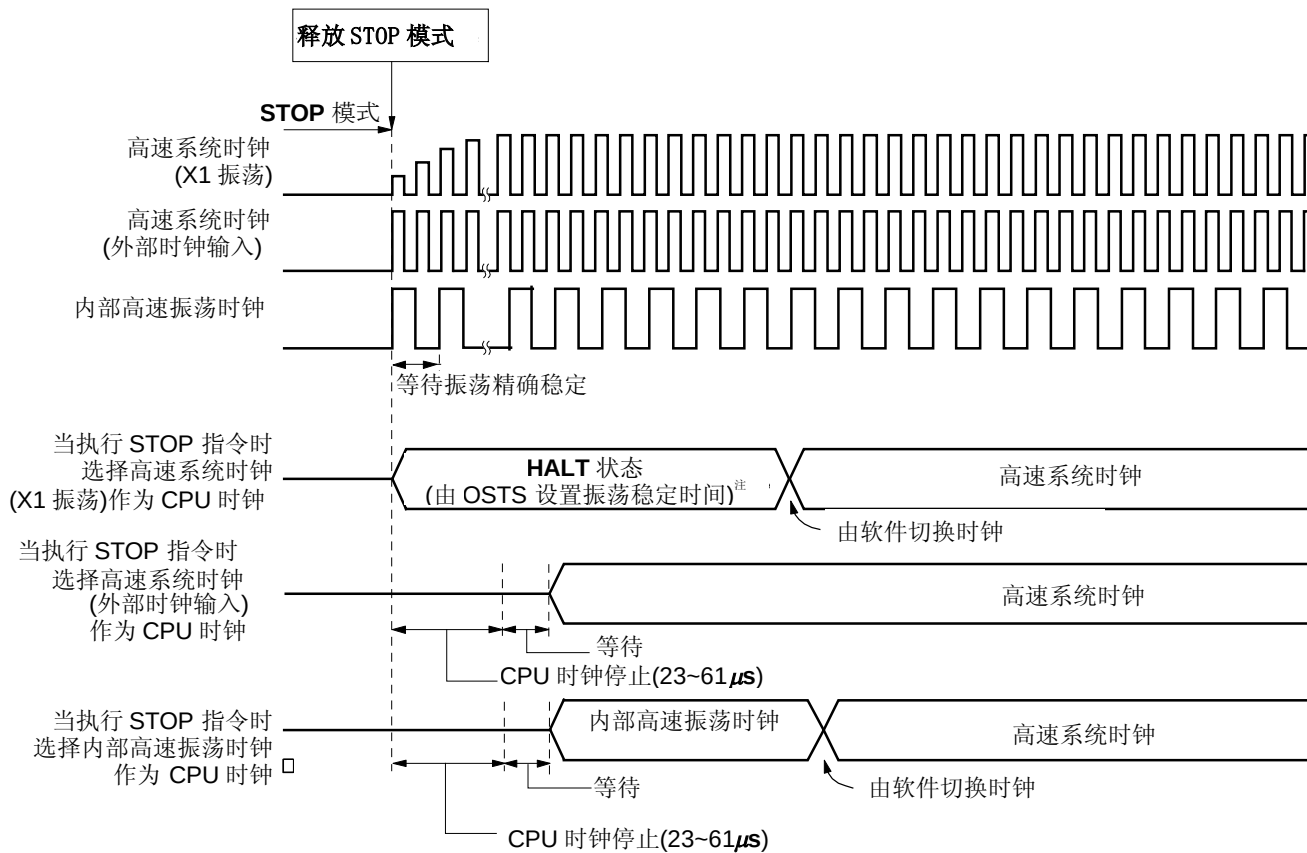
f_{XT} : XT1 时钟

f_{IL} : 内部低速振荡时钟

- 注意事项
1. 在 STOP 模式释放后，要使用在 STOP 模式下停止操作的外围硬件，以及在 STOP 模式下时钟停止操作的外围硬件，必须重新启动外围硬件。
 2. 要在 STOP 模式下停止内部低速振荡时钟，可在 HALT/STOP 模式下使用选项字节停止看门狗定时器操作(000C0H 的第 0 位(WDSTBYON) = 0)，然后执行 STOP 指令。
 3. 当 CPU 使用高速系统时钟(X1 振荡)时，为了在 STOP 模式释放后缩短振荡稳定时间，可在执行 STOP 指令前将 CPU 时钟暂时切换到内部高速振荡时钟。STOP 模式释放后，在将 CPU 时钟从内部高速振荡时钟切换到高速系统时钟 (X1 振荡) 之前，应使用振荡稳定时间计数器的状态寄存器(OSTC)检测振荡稳定时间。

(2) 释放 STOP 模式

图 19-5. 释放 STOP 模式时的操作时序



注 当由 OSTS 设置的振荡稳定时间等于或小于 61 μs，HALT 状态最多持续到“61 μs + 等待时间”。

STOP 模式可通过以下两种方式释放。

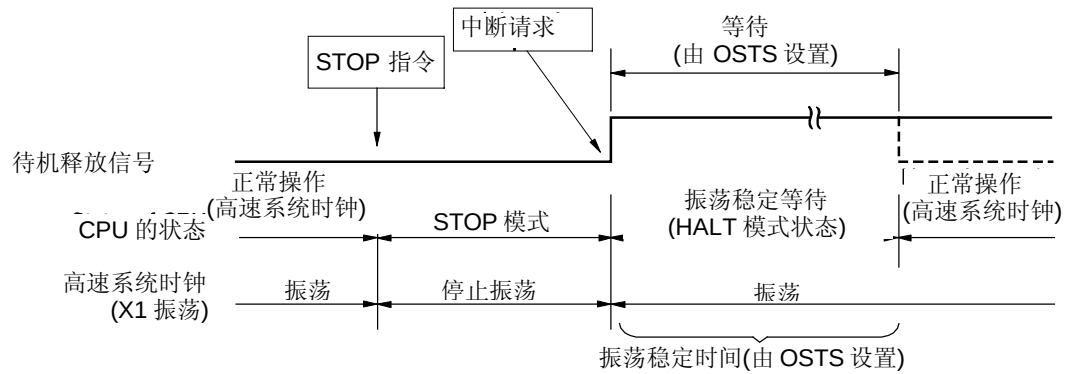
(a) 由没有被屏蔽的中断请求释放

当产生一个没有被屏蔽的中断请求时，释放 STOP 模式。经历振荡稳定时间后，如果允许响应中断，则执行向量中断服务程序。如果禁止响应中断，则执行下一个地址的指令。

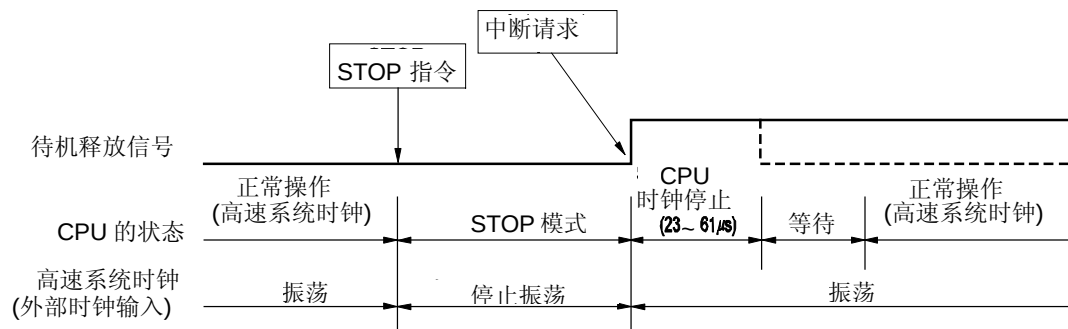
<R>

图 19-6. 通过产生中断请求释放 STOP 模式 (1/2)

(1) 当 CPU 使用高速系统时钟 (X1 振荡器)



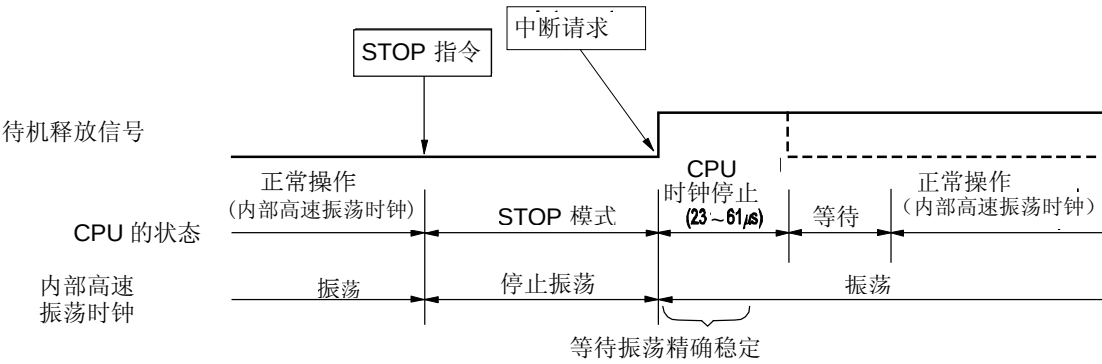
(2) 当 CPU 使用高速系统时钟 (外部时钟输入)



备注 虚线表示释放待机模式的中断请求被响应的情况。

图 19-6. 通过产生中断请求释放 STOP 模式(2/2)

(3) 当 CPU 使用内部高速振荡时钟



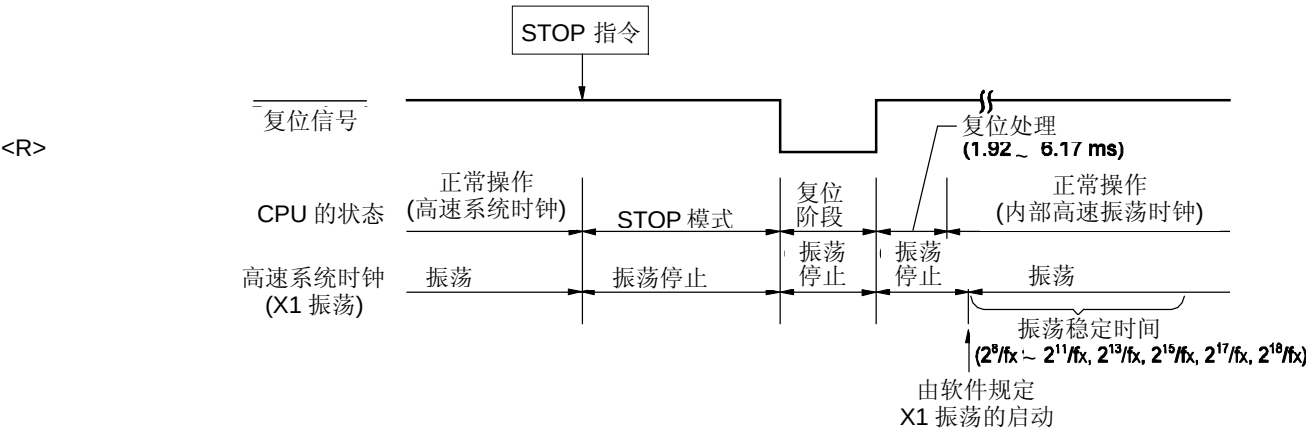
备注 虚线表示释放待机模式的中断请求被响应的情况。

(b) 由复位信号的产生释放

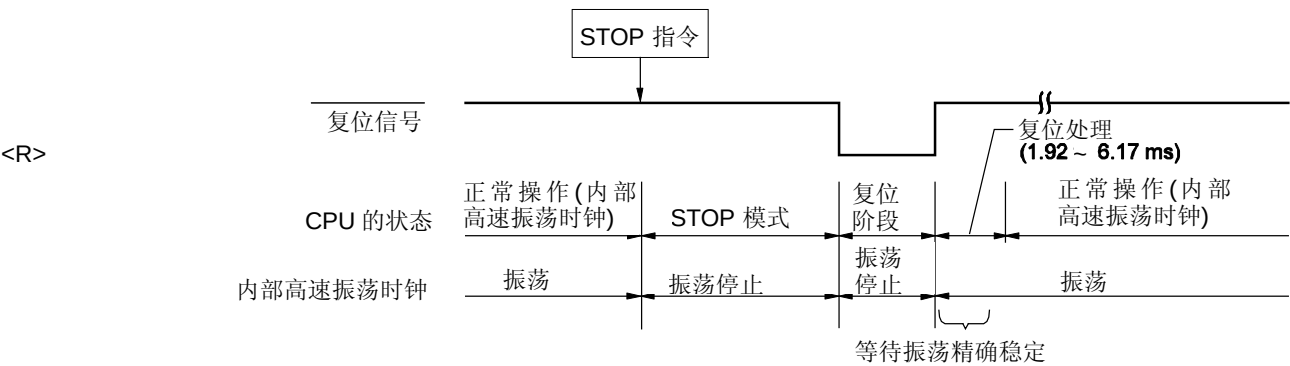
当产生复位信号时，释放 STOP 模式，然后在正常复位操作情况下，当程序转向复位向量地址后执行之。

图 19-7. 由复位释放 STOP 模式

(1) 当 CPU 使用高速系统时钟



(2) 当 CPU 使用内部高速振荡时钟



备注 f_x : X1 时钟振荡频率

第二十章 复位功能

以下 5 种操作用于产生复位信号。

- (1) 由 $\overline{\text{RESET}}$ 引脚输入的外部复位信号
- (2) 由看门狗定时器程序循环检测引起的内部复位
- (3) 通过比较上电清零 (POC) 电路的检测电压和供电电压引起的内部复位
- (4) 通过比较低电压检测电路 (LVI) 的检测电压和供电电压引起的内部复位
- (5) 由执行非法指令引起的内部复位^注

外部复位与内部复位在功能上没有什么区别。在这两种情况中，当产生复位信号时，程序都是从地址 0000H 和 0001H 处开始执行。

当 $\overline{\text{RESET}}$ 引脚输入为低电平、看门狗定时器溢出或 POC 和 LVI 电路的电压检测或执行非法指令^注都可以引起复位，每项硬件的设置状态如表 20-1 和 20-2 所示。在复位信号产生期间或在复位释放后振荡稳定时间内，每个引脚均为高阻抗，但是 P130 除外，它是低电平输出。

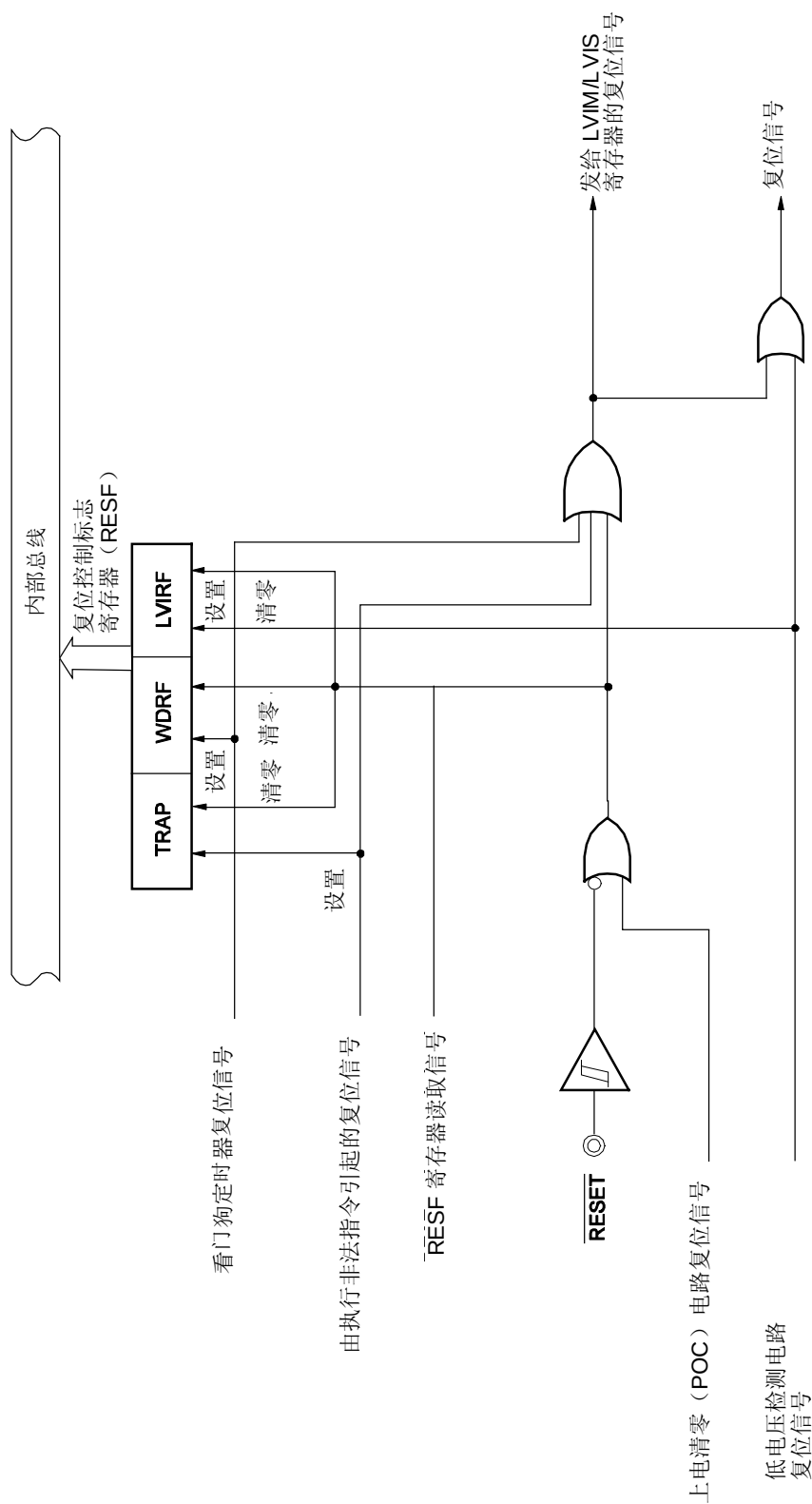
当 $\overline{\text{RESET}}$ 引脚输入低电平时，设备被复位。当 $\overline{\text{RESET}}$ 引脚输入高电平时，设备从复位状态释放，并在复位处理后使用内部高速振荡时钟执行程序。由看门狗定时器引起的复位自动释放，并在复位处理后使用内部高速振荡时钟执行程序(参见图 20-2 ~ 20-4)。由 POC 和 LVI 电路供电电压检测引起的复位，在复位后，当 $V_{DD} \geq V_{POC}$ 或 $V_{DD} \geq V_{LVI}$ 时自动释放，并使用内部高速振荡时钟执行程序（参见第二十一章 上电清零电路 和 第二十二章 低电压检测电路）。

注 当执行 FFH 中的指令码时。

复位并不是由在线仿真器或者在片调试仿真器的仿真引起的非法指令执行引起的。

- 注意事项**
1. 对于外部复位，输入 $\overline{\text{RESET}}$ 引脚的低电平的时间至少应为 10 μs 。(上电之后，如果实现外部复位，那么供电电压在操作电压之外期间不计在 10 μs 中。但是，POC 释放之前低电平输入可能继续。)
 2. 复位输入期间，X1 时钟、XT1 时钟、内部高速振荡时钟和内部低速振荡时钟停止振荡。外部主系统时钟输入无效。
 3. 在通过复位释放 STOP 模式时，复位输入期间保持 STOP 模式下的 RAM 内容。但是，因为 SFR 和第二 SFR 被初始化，所以除了设置为低电平输出的 P130 外，所有端口引脚都变成高阻态。

图 20-1. 复位功能的框图

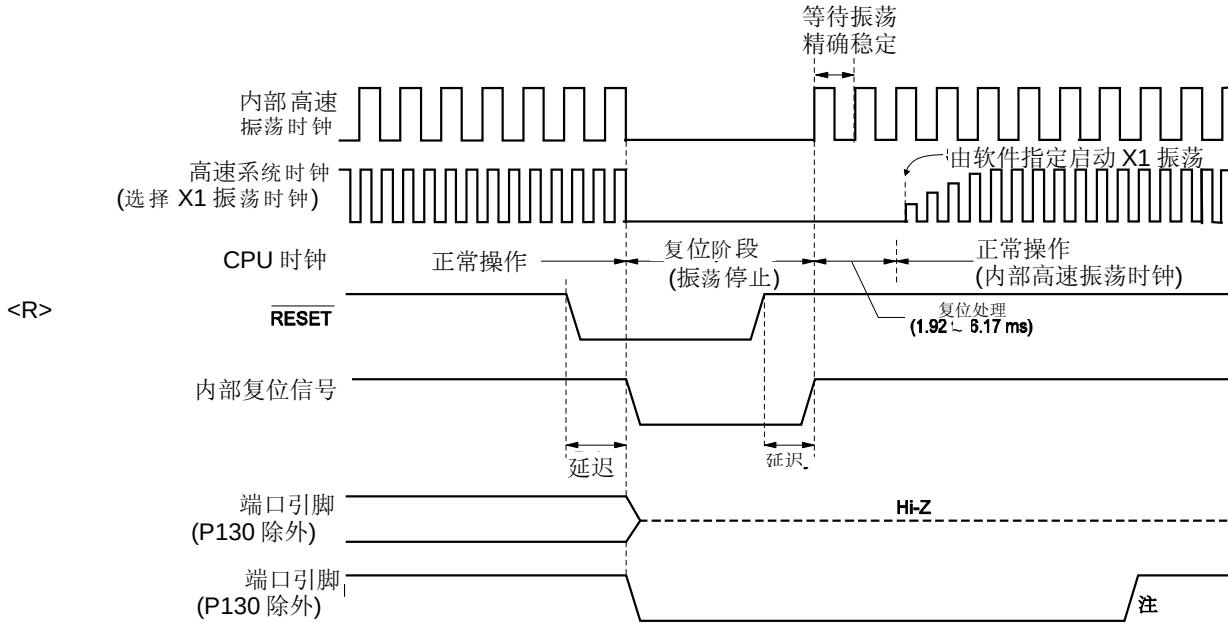


注意事项 LVI 电路内部复位功能不能复位 LVI 电路。

备注

1. LVM: 低电压检测寄存器
2. LVIS: 低电压检测等级选择寄存器

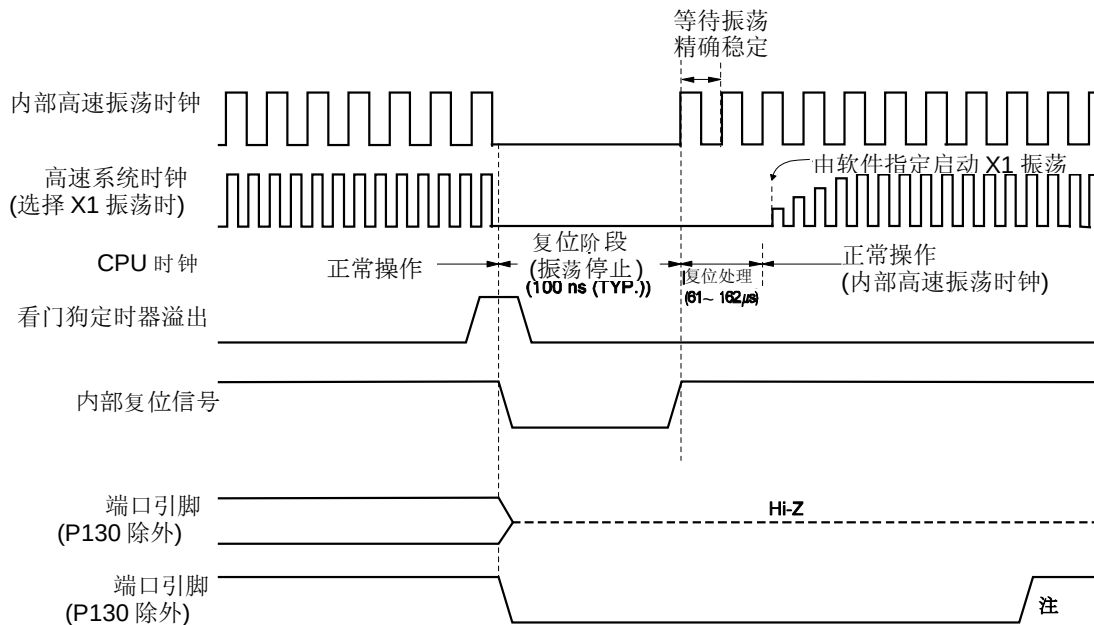
图 20-2. 由 RESET 输入进行复位的时序



注 由软件设置 P130 为高电平输出。

备注 当实现复位时，P130 输出低电平。如果在复位实现之前 P130 设置为输出高电平，那么 P130 的输出信号可以作为 dummy-output。

图 20-3. 由于看门狗定时器溢出进行复位的时序

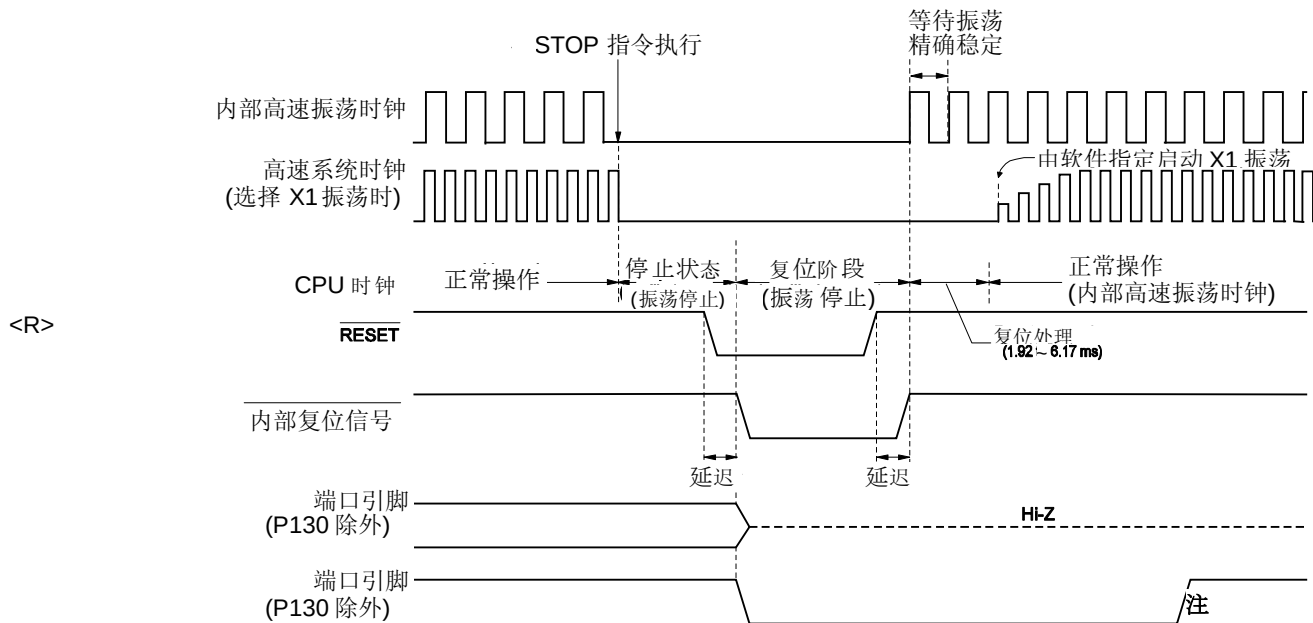


注 由软件设置 P130 为高电平输出。

注意事项 看门狗定时器内部复位把看门狗定时器复位。

备注 当实现复位时，P130 输出低电平。如果在复位实现之前 P130 设置为输出高电平，那么 P130 的输出信号可以作为 dummy-output。

图 20-4. 在 STOP 模式下通过 RESET 输入进行复位的时序



注 由软件设置 P130 为高电平输出。

- 备注
1. 当实现复位时，P130 输出低电平。如果在复位实现之前 P130 设置为输出高电平，那么 P130 的输出信号可以作为 dummy-output。
 2. 关于上电清零电路和低电压检测器的复位时序，请看第二十一章 上电清零电路和第二十二章 低电压检测电路。

表 20-1. 复位期间的操作状态

项目			复位期间
系统时钟			CPU 时钟 停止
主系统时钟	f _{ih}		操作停止
		f _x	操作停止(X1 和 X2 引脚为输入端口模式)
		f _{ex}	时钟输入无效(引脚为输入端口模式)
	副系统时钟	f _{xt}	操作停止(XT1 和 XT2 引脚为输入端口模式)
f _{il}		操作停止	
CPU			
Flash 存储器			在低电流损耗模式下可操作
RAM			操作停止
端口 (锁存器)			操作停止
外部总线接口			
定时器阵列单元 (TAU)			
实时计数器 (RTC)			
钟表定时器			
看门狗定时器			
时钟输出/蜂鸣器输出			
A/D 转换器			
D/A 转换器			
串行阵列单元 (SAU)			
串行接口 (IIC0)			
乘法器			
上电清零功能			可操作的
低电压检测功能			操作停止 (但是, 在 LVI 复位时操作继续)
外部中断			操作停止

备注

f_{ih}: 内部高速振荡时钟

f_x: X1 振荡时钟

f_{ex}: 外部主系统时钟

f_{xt}: XT1 振荡时钟

f_{il}: 内部低速振荡时钟

表 20-2. 复位响应后的硬件状态 (1/3)

硬件		复位响应后 ^{注1}
程序计数器 r (PC)		设置复位向量表的内容 (0000H、0001H)
堆栈指针 (SP)		不确定
程序状态字 (PSW)		06H
RAM	数据存储器	不确定 ^{注2}
	通用寄存器	不确定 ^{注2}
端口寄存器 (P0 ~ P8, P11 ~ P15) (输出锁存器)		00H
端口模式寄存器	PM0 ~ PM8, PM11, PM12, PM14, PM15	FFH
	PM13	FEH
端口输入模式寄存器 0, 4, 14 (PIM0, PIM4, PIM14)		00H
端口输出模式寄存器 0, 4, 14 (POM0, POM4, POM14)		00H
上拉电阻选项寄存器 (PU0, PU1, PU3 to PU8, PU12 to PU14)		00H
存储器扩展模式控制寄存器 (MEM)		00H
时钟操作模式控制寄存器(CMC)		00H
时钟操作状态控制寄存器(CSC)		C0H
处理器模式控制寄存器(PMC)		00H
系统时钟控制寄存器(CKC)		09H
振荡稳定时间计数器状态寄存器(OSTC)		00H
振荡稳定时间选择寄存器(OSTS)		07H
噪声滤波允许寄存器 0, 1 (NFEN0, NFEN1)		00H
外围设备允许寄存器 0, 1 (PER0, PER1)		00H
内部高速振荡器调整寄存器(HIOTRM)		10H
操作速度模式控制寄存器(OSMC)		00H
定时器阵列单元 (TAU)	定时器数据寄存器 00, 01, 02, 03, 04, 05, 06, 07 (TDR00, TDR01, TDR02, TDR03, TDR04, TDR05, TDR06, TDR07)	0000H
	定时器模式寄存器 00, 01, 02, 03, 04, 05, 06, 07 (TMR00, TMR01, TMR02, TMR03, TMR04, TMR05, TMR06, TMR07)	0000H
	定时器状态寄存器 00, 01, 02, 03, 04, 05, 06, 07 (TSR00, TSR01, TSR02, TSR03, TSR04, TSR05, TSR06, TSR07)	0000H
	定时输入选择寄存器 0 (TIS0)	00H
	定时器通道计数器寄存器 00, 01, 02, 03, 04, 05, 06, 07 (TCR00, TCR01, TCR02, TCR03, TCR04, TCR05, TCR06, TCR07)	FFFFH
	定时器通道允许状态寄存器 0 (TE0)	0000H
	定时器通道开始触发寄存器 0 (TS0)	0000H
	定时器通道停止触发寄存器 0 (TT0)	0000H
	定时器时钟选择寄存器 0 (TPS0)	0000H
	定时器通道输出寄存器 0 (TO0)	0000H
	定时器通道输出允许寄存器 0 (TOE0)	0000H
	定时器通道输出电平寄存器 0 (TOL0)	0000H
	定时器通道输出模式寄存器 0 (TOM0)	0000H

- 注
1. 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。
 2. 当在待机模式下执行复位时，即使在复位后预设状态也将保持。

表 20-2. 复位响应后的硬件状态(2/3)

硬件		复位响应后 ^{※1}
实时计数器	副计数寄存器 (RSUBC)	0000H
	秒计数寄存器 (SEC)	00H
	分钟计数寄存器 (MIN)	00H
	小时计数寄存器 (HOUR)	12H
	星期计数寄存器 (WEEK)	00H
	日计数寄存器 (DAY)	01H
	月计数寄存器 (MONTH)	01H
	年计数寄存器 (YEAR)	00H
	钟表错误修正寄存器 (SUBCUD)	00H
	分钟报警寄存器(ALARMWM)	00H
	小时报警寄存器(ALARMWH)	12H
	星期报警寄存器 ALARMWW)	00H
	实时计数器控制寄存器 0 (RTCC0)	00H
	实时计数器控制寄存器 1 (RTCC1)	00H
	实时计数器控制寄存器 2 (RTCC2)	00H
时钟输出/蜂鸣器输出控制器	时钟输出选择寄存器 0, 1 (CKS0, CKS1)	00H
看门狗定时器	允许寄存器(WDTE)	1AH/9AH ^{※2}
A/D 转换器	10 位 A/D 转换结果寄存器 (ADCR)	0000H
	8 位 A/D 转换结果寄存器 (ADCRH)	00H
	模式寄存器 (ADM)	00H
	模式输入通道指定寄存器(ADS)	00H
	A/D 端口配置寄存器 (ADPC)	10H
D/A 转换器	8 位 D/A 转换值设置寄存器 0, 1 (DACS0, DACS1)	00H
	D/A 转换模式寄存器(DAM)	00H
串行阵列单元 (SAU)	串行数据寄存器 00, 01, 02, 03, 10, 11, 12, 13 (SDR00, SDR01, SDR02, SDR03, SDR10, SDR11, SDR12, SDR13)	0000H
	串行状态寄存器 00, 01, 02, 03, 10, 11, 12, 13 (SSR00, SSR01, SSR02, SSR03, SSR10, SSR11, SSR12, SSR13)	0000H
	串行标志清零触发寄存器 00, 01, 02, 03, 10, 11, 12, 13 (SIR00, SIR01, SIR02, SIR03, SIR10, SIR11, SIR12, SIR13)	0000H
	串行模式寄存器 00, 01, 02, 03, 10, 11, 12, 13 (SMR00, SMR01, SMR02, SMR03, SMR10, SMR11, SMR12, SMR13)	0020H
	串行通信操作设置寄存器 00, 01, 02, 03, 10, 11, 12, 13 (SCR00, SCR01, SCR02, SCR03, SCR10, SCR11, SCR12, SCR13)	0087H
	串行通道允许状态寄存器 0, 1 (SE0, SE1)	0000H
	串行通道开始触发寄存器 0, 1 (SS0, SS1)	0000H
	串行通道停止触发寄存器 0, 1 (ST0, ST1)	0000H
	串行时钟选择寄存器 0, 1 (SPS0, SPS1)	0000H
	串行输出寄存器 0, 1 (SO0, SO1)	0F0FH
	串行输出允许寄存器 0, 1 (SOE0, SOE1)	0000H
	输入切换控制寄存器 (ISC)	00H

- 注
1. 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。
 2. WDTE 的复位数值由选项字节设置决定。

表 20-2. 复位响应后的硬件状态(3/3)

硬件		复位响应后 ^{注 1}
串行接口 IIC0	移位寄存器 0 (IIC0)	00H
	控制寄存器 0 (IICC0)	00H
	从地址寄存器 0 (SVA0)	00H
	时钟选择寄存器 0 (IICCL0)	00H
	功能扩展寄存器 0 (IICX0)	00H
	状态寄存器 0 (IICCS0)	00H
	标志寄存器 0 (IICF0)	00H
乘法器	乘法输入数据寄存器 A (MULA)	0000H
	乘法输入数据寄存器 B (MULB)	0000H
	高位乘法结果存储寄存器 (MULOH)	0000H
	低位乘法结果存储寄存器 (MULOL)	0000H
按键中断	按键返回模式寄存器 (KRM)	00H
复位功能	复位控制标志寄存器 (RESF)	00H ^{注 2}
低电压检测器	低电压检测寄存器 (LVIM)	00H ^{注 3}
	低电压检测电平选择寄存器 (LVIS)	0EH ^{注 2}
DMA 控制器	SFR 地址寄存器 0, 1 (DSA0, DSA1)	00H
	RAM 地址寄存器 0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	字节计数寄存器 0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	模式控制寄存器 0, 1 (DMC0, DMC1)	00H
	操作控制寄存器 0, 1 (DRC0, DRC1)	00H
中断	请求标志寄存器 0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	屏蔽标志寄存器 0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	优先级指定标志寄存器 00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部中断上升沿允许寄存器 (EGP0, EGP1)	00H
	外部中断下降沿允许寄存器 (EGN0, EGN1)	00H

- 注 1. 在复位信号产生或振荡稳定时间等待期间，硬件状态中只有 PC 内容不确定。复位后其它硬件状态保持不变。
2. 这些值依据复位源的不同而变化。

复位源 寄存器		RESET 输入	由 POC 复位	由执行非法指令复位	由 WDT 复位	由 LVI 复位
RESF	TRAP 位	清零 (0)	清零 (0)	设置 (1)	保持	保持
	WDRF 位			保持	设置(1)	保持
	LVIRF 位			保持	保持	设置(1)
LVIS		清零 (0EH)	清零(0EH)	清零(0EH)	清零(0EH)	保持

3. 此数值依据复位源和选项字节而不同。

20.1 确认复位源的寄存器

78K0R/KG3 中有许多内部复位源。复位控制标志寄存器（RESF）用于存储产生复位请求的复位源。
可由 8 位存储器操作指令读取 RESF。

RESET 输入、由 POC 电路引起的复位输入以及读取 RESF 可将 RESF 清零（00H）。

图 20-5. 复位控制标志寄存器（RESF）的格式

地址: FFFA8H 复位后: 00H^{注1} R

符号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDRF	0	0	0	LVIRF

TRAP	由执行非法指令引起内部复位请求 ^{注2}
0	不产生内部复位请求，或对 RESF 清零
1	产生内部复位请求

WDRF	看门狗定时器产生的内部复位请求(WDT)
0	不产生内部复位请求，或对 RESF 清零
1	产生内部复位请求

LVIRF	由低电压检测电路（LVI）产生的内部复位请求
0	不产生内部复位请求，或对 RESF 清零
1	产生内部复位请求

- 注
- 1. 复位后的值依据复位源而变化。
 - 2. 当执行 FFH 中的指令码时。
复位并不是由在线仿真器或者在片调试仿真器的仿真引起的非法指令执行引起的。

- 注意事项
- 1. 不要用 1 位存储器操作指令读取数据。
 - 2. 当使用 LVI 默认开始功能 (000C1H 的第 0 位(LVIOFF) = 0) 时, LVIRF 标志依据上电波形可能变成 1。

产生复位请求时的 RESF 状态如表 20-3 所示。

表 20-3. 产生复位请求时的 RESF 状态

复位源 标志	RESET 输入	由 POC 复位	由执行非法指令复位	由 WDT 复位	由 LVI 复位
TRAP	清零 (0)	清零 (0)	设置 (1)	保持	保持
WDRF			保持	设置 (1)	保持
LVIRF			保持	保持	设置 (1)

21.1 上电清零电路的功能

上电清零电路（POC）有以下功能。

- 在上电时产生内部复位信号。
当供电电压 (V_{DD}) 超过 $1.59\text{ V} \pm 0.09\text{ V}^{\text{註}}$ 时，释放复位信号。

注意事项 如果低电压检测器(LVI)由可选字节默认设置为 ON，那么复位信号并不释放直到供电电压 (V_{DD}) 超过 $2.07\text{ V} \pm 0.2\text{ V}^{\text{註}}$ 。

- 比较供电电压 (V_{DD}) 和检测电压 ($V_{POC} = 1.59\text{ V} \pm 0.09\text{ V}^{\text{註}}$)，并在 $V_{DD} < V_{POC}$ 时产生内部复位信号

注 这些都是初步数据，可能会变化。

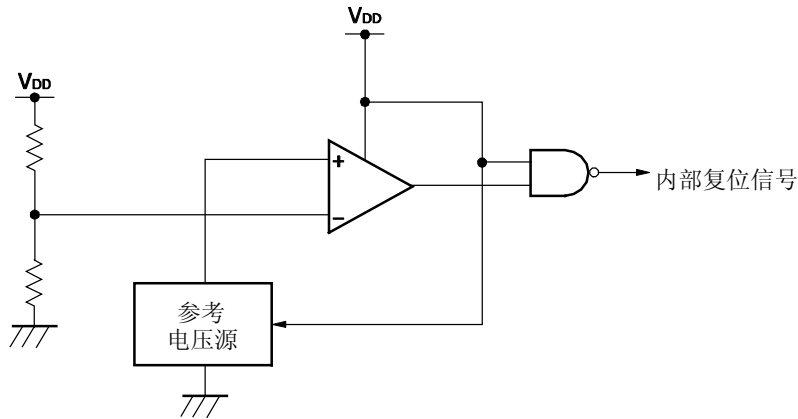
注意事项 如果由 POC 电路产生内部复位信号，则将复位控制标志寄存器 (RESF) 清零 (00H)。

备注 此产品集成了多种可以产生内部复位信号的硬件功能。RESF 中有一个标志用于指示复位源，用于看门狗定时器 (WDT)，低电压检测电路 (LVI) 或者执行非法指令产生的内部复位信号。当 WDT 或 LVI 产生内部复位信号时，不对 RESF 清零 (00H)，标志位设置为 1。
如需了解 RESF 的详细内容，参见**第二十章 复位功能**。

21.2 上电清零电路的配置

上电清零电路的框图如图 21-1 所示。

图 21-1. 上电清零电路的框图



21.3 上电清零电路的操作

- 在上电时产生内部复位信号。当供电电压 (V_{DD}) 超过 $1.59\text{ V} \pm 0.09\text{ V}^{\text{注}}$ 时，释放复位信号。

注意事项 如果低电压检测器 (LVI) 由可选字节默认设置为 ON，那么复位信号并不释放直到供电电压 (V_{DD}) 超过 $2.07\text{ V} \pm 0.2\text{ V}^{\text{注}}$ 。

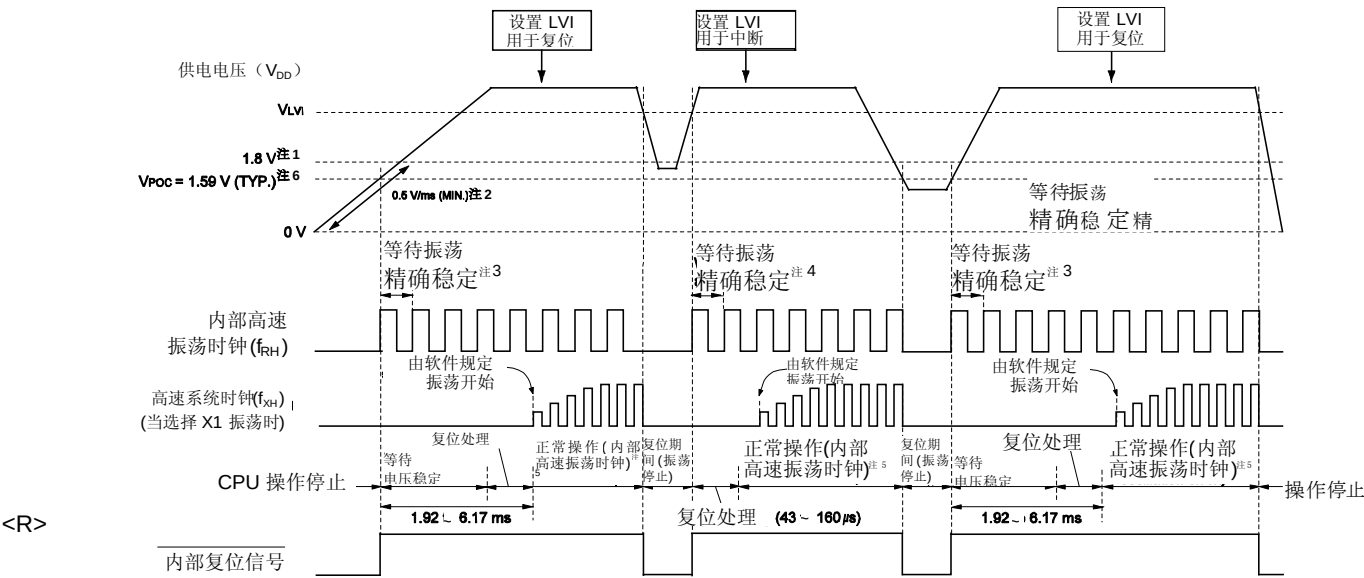
- 比较供电电压 (V_{DD}) 和检测电压 ($V_{POC} = 1.59\text{ V} \pm 0.09\text{ V}^{\text{注}}$)，并在 $V_{DD} < V_{POC}$ 时产生内部复位信号。

注 这些都是初步数据，可能会变化。

由上电清零电路和低电压检测电路产生内部复位信号的时序如下所示。

图 21-2. 由上电清零电路和低电压检测电路产生内部复位信号的时序 (1/2)

(1) 当上电之后 LVI 为 OFF 时(可选字节: LVIOFF = 1)



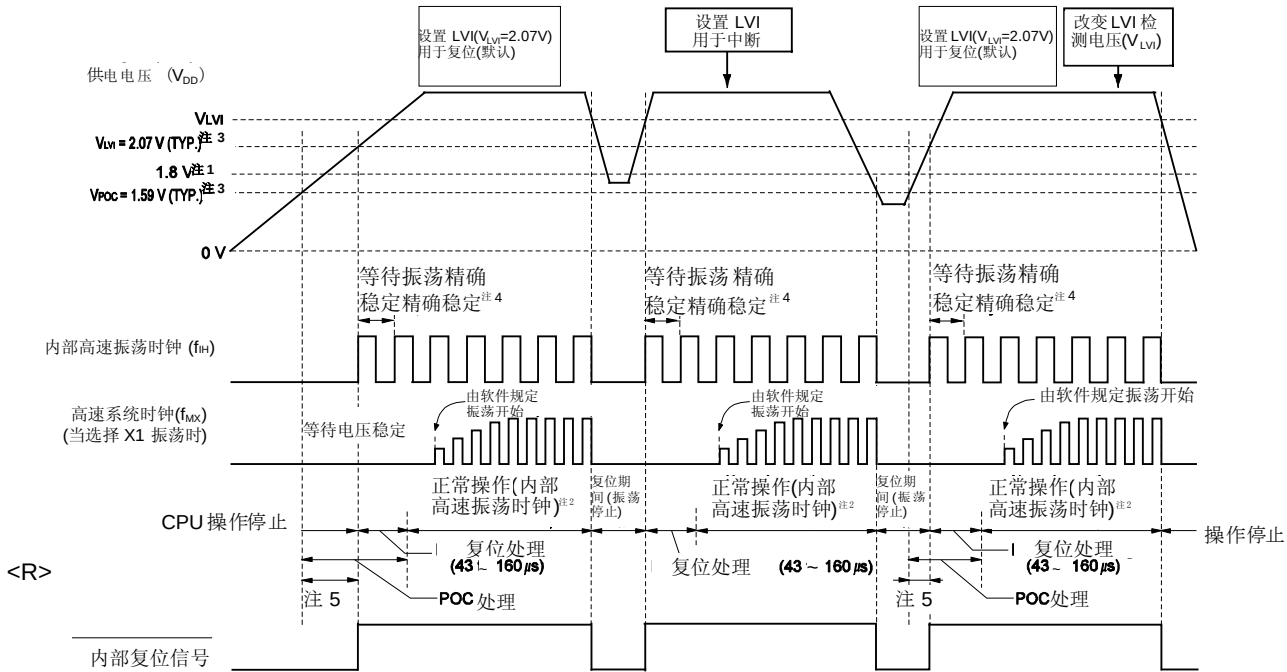
- 注
1. 保证操作的电压范围： $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。当供电电压下降时，为使低于 1.8 V 的状态为复位状态，可以使用低电压检测电路的复位功能，或通过 **RESET** 引脚输入低电平。
 2. 如果上电后电压上升到 1.8 V 的速率小于 0.5 V/ms (MIN.) ，则在上电后且电压抵达 1.8 V 以前输入一个低电平到 **RESET** 引脚，或者通过使用选项字节(选项字节: $LVIOFF = 0$)把 LVI 默认设置为 ON。
 3. 内部电压稳定时间包括内部高速振荡时钟的振荡精确稳定时间。
 4. 内部复位处理时间包括内部高速振荡时钟的振荡精确稳定时间。
 5. 可以选择内部高速振荡时钟和高速系统时钟或副系统时钟作为 CPU 时钟。如果要使用 X1 时钟，可以通过 OSTC 确认是否经历了振荡稳定时间。而如果要使用 XT1 时钟，可以通过定时器功能来确认是否经历了振荡稳定时间。
 6. 这些都是初步数据，可能会变化。

注意事项 在释放复位状态后通过软件设置低电压检测电路 (参见第二十二章 低电压检测电路)。

备注 V_{LVI} : LVI 检测电压
 V_{POC} : POC 检测电压

图 21-2. 由上电清零电路和低电压检测电路产生内部复位信号的时序(2/2)

(2) 当上电之后 LVI 为 ON 时(选项字节: LVIOFF = 0)



- 注
1. 保证操作的电压范围: $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。当供电电压下降时,为使低于 1.8 V 的状态为复位状态,可以使用低电压检测电路的复位功能,或通过 RESET 引脚输入低电平。
 2. 可以选择内部高速振荡时钟和高速系统时钟或副系统时钟作为 CPU 时钟。如果要使用 X1 时钟,可以通过 OSTC 确认是否经历了振荡稳定时间。而如果要使用 XT1 时钟,可以通过定时器功能来确认是否经历了振荡稳定时间。
 3. 这些都是初步数据,可能会变化。
 4. 内部复位处理时间包括内部高速振荡时钟的振荡精确稳定时间。
 5. 下面的时间是到达 POC 检测电压(1.59 V (TYP.))和开始正常操作之间需要的时间。
 - 从 1.59 V (TYP.) 到 2.07 V (TYP.) 的时间小于 6.17 ms:
从 1.59 V (TYP.) 到开始正常操作之间要 1.92 ~ 6.33 ms 的 POC 处理时间。
 - 从 1.59 V (TYP.) 到 2.07 V (TYP.) 的时间大于 6.17 ms:
从 2.07 V (TYP.) 到开始正常操作之间要 43 ~ 160 μs 的复位处理时间。

注意事项 在释放复位状态后通过软件设置低电压检测电路 (参见第二十二章 低电压检测电路)。

备注 V_{LVI} : LVI 检测电压
 V_{POC} : POC 检测电压

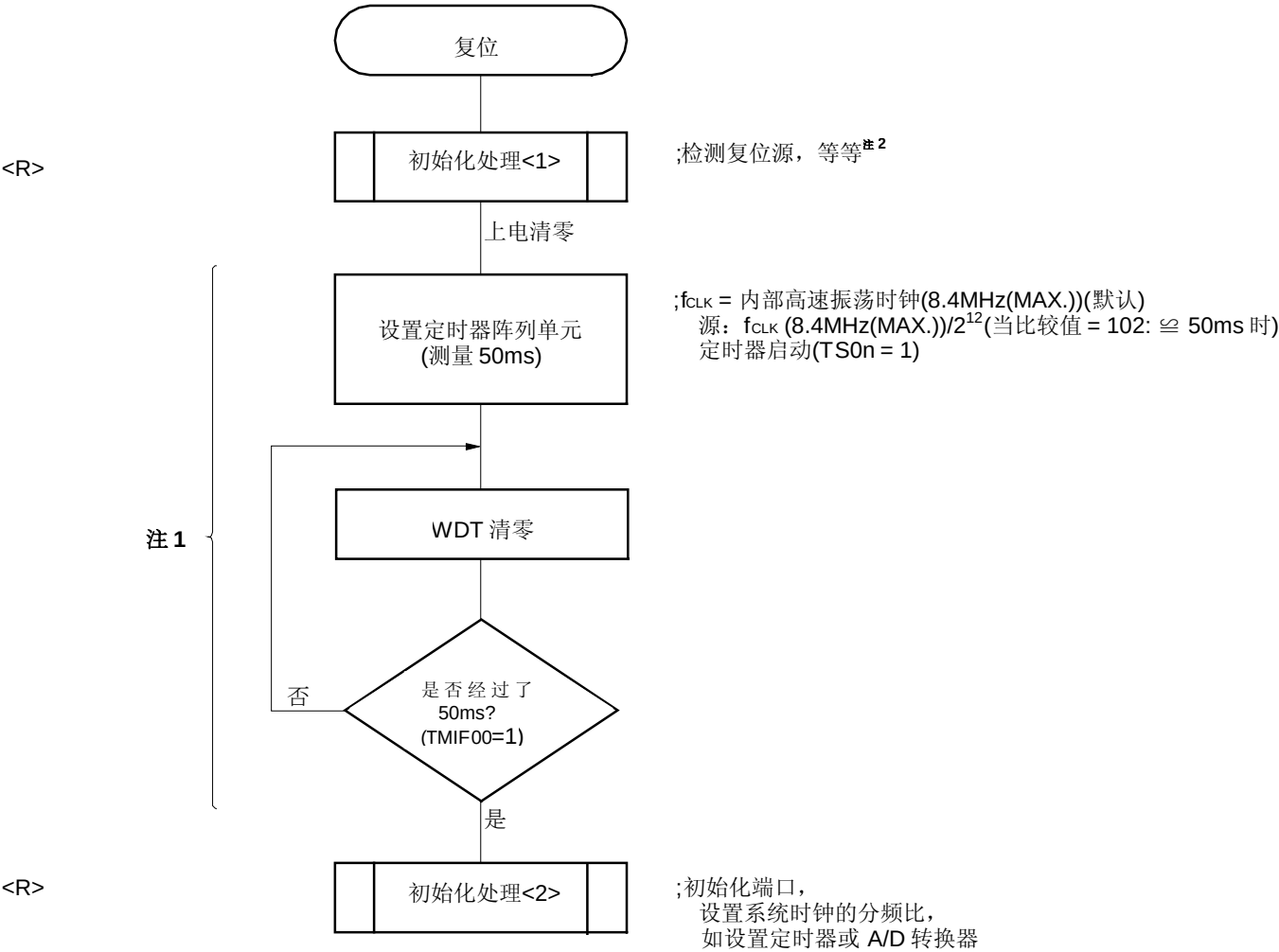
21.4 上电清零电路使用注意事项

在系统中，如果供电电压 (VDD) 接近 POC 检测电压 (VPOC) 时的一段时间内产生波动，则系统可能会反复复位和释放复位。在这种情况下，可采用下列方法任意设置从复位释放到微控制器的启动所需要的时间。

<方法>
在释放复位信号后，通过软件计数器（使用一个定时器）等待系统供电电压的波动期，然后对端口初始化。

图 21-3. 复位释放后软件处理过程示例(1/2)

●如果供电电压接近 POC 检测电压，其波动时间≤50 ms



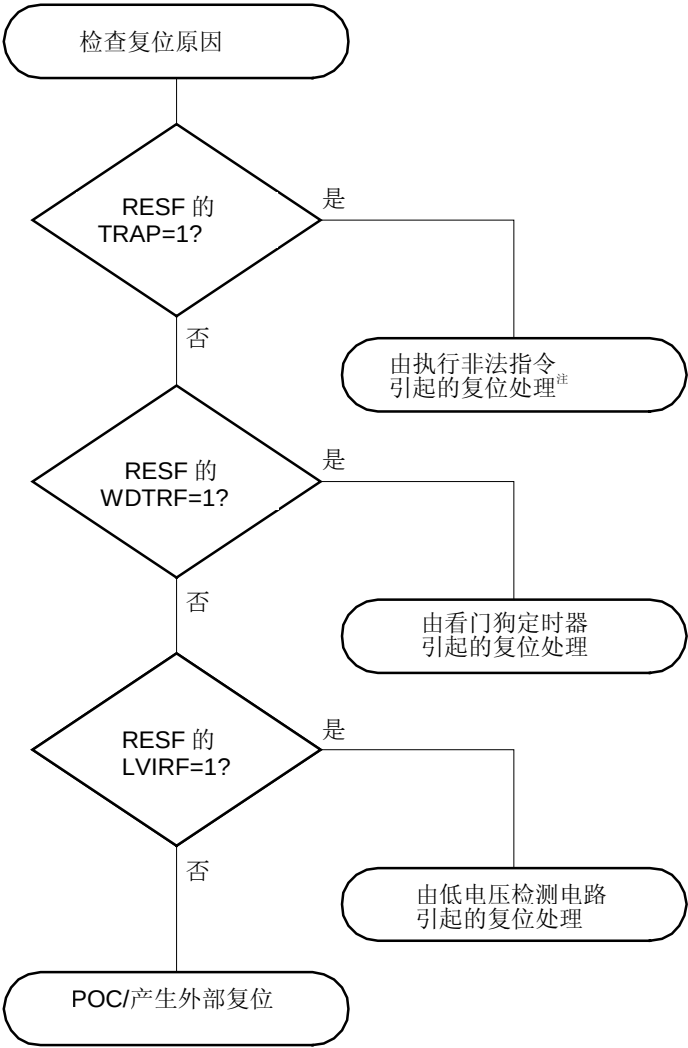
注 1. 如果在此期间再次产生复位，则不启动初始化操作<2>。
2. 流程图显示在下页。

备注 n: 通道号 (n = 0~7)

图 21-3. 复位释放后软件处理过程示例(2/2)

• 检测复位原因

<R>



<R> 注 当执行 FFH 中的指令码时。
 复位并不是由在线仿真器或者在片调试仿真器的仿真引起的非法指令执行引起的。

22.1 低电压检测电路的功能

低电压检测电路（LVI）有以下功能。

- LVI 电路比较供电电压（V_{DD}）和检测电压（V_{LVI}）或从外部输入引脚(EXLVI)的输入电压与检测电压(V_{EXLVI} = 1.21 V ± 0.1 V[※]），并产生内部复位信号或内部中断信号。
- 低电压检测电路 (LVI) 可由选项字节默认设置为 ON。如果设置为 ON，在供电电压从 POC 检测电压或更低上升时，当供电电压(V_{DD}) < 检测电压 (V_{LVI} = 2.07 V ± 0.2 V[※])时，会产生内部复位信号。之后，当供电电压(V_{DD}) < 检测电压 (V_{LVI} = 2.07 V ± 0.1 V[※])时，产生内部复位信号。
- 可由软件选择供电电压(V_{DD})或外部输入引脚的输入电压(EXLVI)。
- 可由软件选择复位或中断操作。
- 可通过软件改变供电电压的检测等级(V_{LVI},16 等级)。
- 在 STOP 模式下可操作。

注 这只是初步数据，可能会变化。

依据软件设置，可产生以下复位和中断信号。

供电电压 (V _{DD}) 的电平检测选择 (LVISEL = 0)		从外部输入引脚(EXLVI) 来的输入电压电平检测选择 (LVISEL = 1)	
选择复位 (LVIMD = 1).	选择中断 (LVIMD = 0).	选择复位(LVIMD = 1).	选择中断(LVIMD = 0).
当 V _{DD} < V _{LVI} 时，产生内部复位信号，并且当 V _{DD} ≥ V _{LVI} 时，释放复位信号。	当 V _{DD} 降低至低于 V _{LVI} (V _{DD} < V _{LVI}) 时，产生内部中断信号，或者当 V _{DD} 变为 V _{LVI} 或更高时 (V _{DD} ≥ V _{LVI})。	当 EXLVI < V _{EXLVI} 时，产生内部复位信号，并且当 EXLVI ≥ V _{EXLVI} 时，释放复位信号。	当 EXLVI 降低至低于 V _{EXLVI} (EXLVI < V _{EXLVI}) 时，产生内部中断信号，或者当 EXLVI 变为 V _{EXLVI} 或更高时 (EXLVI ≥ V _{EXLVI})。

备注 LVISEL: 低电压检测寄存器 (LVIM)的第 2 位
LVIMD: LVIM 的第 1 位

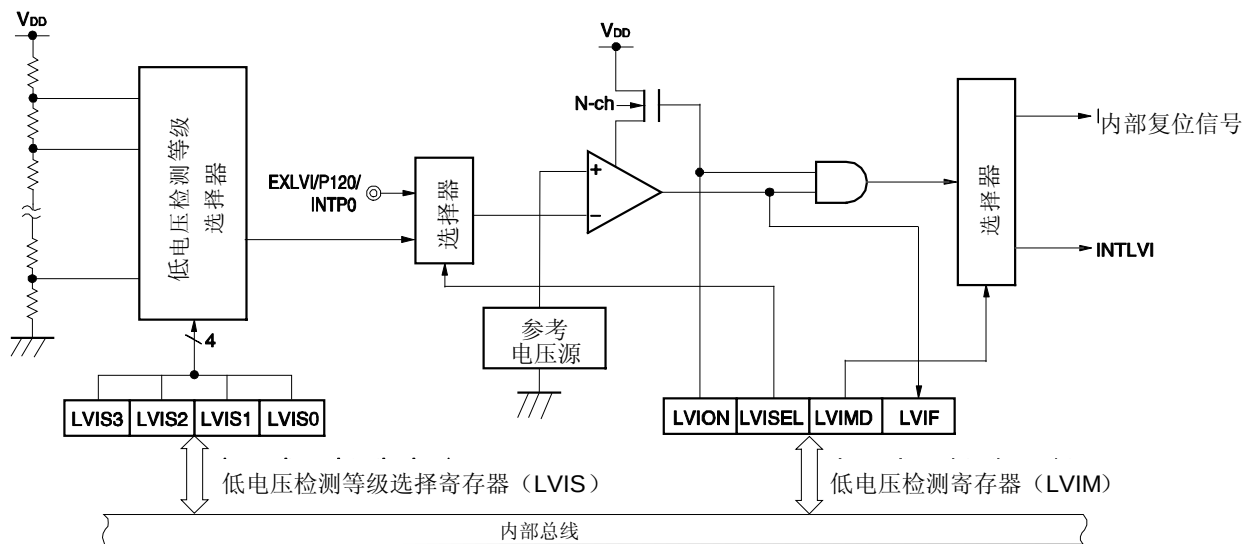
当低电压检测电路运行时，供电电压或者外部输入引脚的输入电压可以通过读取低电压检测标志(LVIM 的位 0: LVIF)得知其是否高于或低于检测电平。

当低电压检测电路用作产生复位时，如果复位产生，复位控制标志寄存器(RESF)的第 0 位(LVIRF) 被置 1。需要了解 RESF 的详细信息，请参见 第二十章 复位功能。

22.2 低电压检测电路的配置

低电压检测电路的框图如图 22-1 所示。

图 22-1. 低电压检测电路的框图



22.3 控制低电压检测电路的寄存器

低电压检测电路由以下寄存器控制。

- 低电压检测寄存器 (LVIM)
- 低电压检测等级选择寄存器 (LVIS)
- 端口模式寄存器 12(PM12)

(1) 低电压检测寄存器 (LVIM)

该寄存器用于设置低电压检测和操作模式。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号的产生将 LVIM 设置为 00H。

图 22-2. 低电压检测寄存器（LVIM）的格式

地址：FFA9H	复位后：00H ^{注1}	R/W ^{注2}						
符号	<7>	6	5	4	3	<2>	<1>	<0>
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF
LVION ^{注3,4}	允许低电压检测操作 n							
0	禁止操作							
1	允许操作							
LVISEL ^{注3}	电压检测的选择							
0	检测供电电压(V _{DD})的等级							
1	检测外部输入引脚的输入电压(EXLV _I)的等级							
LVIMD ^{注3}	低电压检测操作模式(中断/复位)的选择							
0	- LVISEL = 0: 当供电电压 V_{DD} 降低至低于检测电压 V_{LVI} (V_{DD} < V_{LVI}) 时, 产生内部中断信号, 或者当 V_{DD} 变为 V_{LVI} 或更高时 (V_{DD} ≥ V_{LVI})。 - LVISEL = 1: 当从外部输入引脚来的输入电压 EXLV_I 降低至低于检测电压 V_{EXLVI} (EXLV_I < V_{EXLVI}) 时, 产生内部中断信号, 或者当 EXLV_I 变为 V_{EXLVI} 或更高时 (EXLV_I ≥ V_{EXLVI})。							
1	- LVISEL = 0: 当 供电电压 V_{DD} < 检测电压 V_{LVI} 时, 产生内部复位信号, 并且当 V_{DD} ≥ V_{LVI} 时, 释放复位信号。 - LVISEL = 1: 当 从外部输入引脚来的输入电压 EXLV_I < 检测电压 V_{EXLVI} 时, 产生内部复位信号, 并且当 EXLV_I ≥ V_{EXLVI} 时, 释放复位信号。							
LVIF	低电压检测标志							
0	- LVISEL = 0: 供电电压 (V_{DD}) ≥ 检测电压 (V_{LVI}) 或当禁止操作时 - LVISEL = 1: 外部输入引脚的输入电压 (EXLV_I) ≥ 检测电压(V_{EXLVI}), 或当禁止操作时							
1	- LVISEL = 0: 供电电压 (V_{DD}) < 检测电压 (V_{LVI}) - LVISEL = 1: 外部输入引脚的输入电压 (EXLV_I) < 检测电压(V_{EXLVI})							

- 注
- 复位数值依据复位源和选项字节的设置而改变。
LVI 复位此寄存器不清零(00H)。
如果选项字节 LVIOFF = 0, 当 LVI 之外的复位信号产生时, 它设置为“82H”, 否则如果选项字节 LVIOFF = 1, 设置为“00H”。
 - 第 0 位只读。
 - 在产生除 LVI 复位以外的复位时, LVION、LVIMD 和 LVISEL 被清零(0)。在产生 LVI 复位时这些位不被清零。

<R> 注 4. 当 LVION 设置为 1 时, LVI 电路中比较器的操作就开始。在 LVION 设置为 1 和当用 LVIF 确认电压之间, 使用软件进行下列时间段的等待。

- 操作稳定时间 (10 μ S (MAX.))
- 最小脉冲宽度 (200 μ S (MAX.))
- 检测延迟时间 (200 μ S (MAX.))

在此期间不管电压数值为何, LVIF 的数值可以设置/清零, 因此就不能使用。同时, 在此期间 LVIIIF 中断请求标志设置为 1。

注意事项 1. 在执行以下任一过程后, 停止 LVI。

- 当使用 8 位操作指令时: 00H $\rightarrow$ LVIM。
- 当使用 1 位存储器操作指令时: 对 LVION 清零。

2. 外部输入引脚的输入电压(EXLVI)必须为: EXLVI < V_{DD}。

<R> 3. 当 LVI 用作中断模式(LVIMD = 0) 并且 LVISEL 设置为 0 时, 中断请求信号(INTLVI)就会产生, 并且 LVIIIF 会设置为 1, 这样就使当供电电压(V_{DD})低于或等于检测电压(V_{LVI}) (如果 LVISEL = 1, 外部输入引脚的输入电压 (EXLVI) 低于或等于检测电压(V_{EXLVI}))时, 不进行 LVI 操作(LVION 清零)。

(2) 低电压检测等级选择寄存器 (LVIS)

该寄存器用于选择低电压检测等级。

可由 1 位或 8 位存储器操作指令设置该寄存器。

复位信号将 LVIS 设置为 0EH。

图 22-3. 低电压检测等级选择寄存器 (LVIS) 的格式

地址: FFAAH 复位后: 0EH^{※1} R/W

符号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	检测电平
0	0	0	0	$V_{LVI0} (4.22 \pm 0.1 \text{ V})^{\text{※2}}$
0	0	0	1	$V_{LVI1} (4.07 \pm 0.1 \text{ V})^{\text{※2}}$
0	0	1	0	$V_{LVI2} (3.92 \pm 0.1 \text{ V})^{\text{※2}}$
0	0	1	1	$V_{LVI3} (3.76 \pm 0.1 \text{ V})^{\text{※2}}$
0	1	0	0	$V_{LVI4} (3.61 \pm 0.1 \text{ V})^{\text{※2}}$
0	1	0	1	$V_{LVI5} (3.45 \pm 0.1 \text{ V})^{\text{※2}}$
0	1	1	0	$V_{LVI6} (3.30 \pm 0.1 \text{ V})^{\text{※2}}$
0	1	1	1	$V_{LVI7} (3.15 \pm 0.1 \text{ V})^{\text{※2}}$
1	0	0	0	$V_{LVI8} (2.99 \pm 0.1 \text{ V})^{\text{※2}}$
1	0	0	1	$V_{LVI9} (2.84 \pm 0.1 \text{ V})^{\text{※2}}$
1	0	1	0	$V_{LVI10} (2.68 \pm 0.1 \text{ V})^{\text{※2}}$
1	0	1	1	$V_{LVI11} (2.53 \pm 0.1 \text{ V})^{\text{※2}}$
1	1	0	0	$V_{LVI12} (2.38 \pm 0.1 \text{ V})^{\text{※2}}$
1	1	0	1	$V_{LVI13} (2.22 \pm 0.1 \text{ V})^{\text{※2}}$
1	1	1	0	$V_{LVI14} (2.07 \pm 0.1 \text{ V})^{\text{※2}}$
1	1	1	1	$V_{LVI15} (1.91 \pm 0.1 \text{ V})^{\text{※2}}$

注 1. 复位数值依据于复位源而改变。

如果是由 LVI 引起的复位, LVIS 的数值并不复位, 保留其数值。其它原因引起的复位将其设置为“0EH”。

2. 这些均为初步数据, 可能会改变。

注意事项 1. 第 4 位 ~ 第 7 位必须清零。

- <R>
- 注意事项
2. 按照下列的方法之一可改变 LVIS 的数值。
- 当停止 LVI 之后改变数值

<1> 停止 (LVION = 1)。

<2> 改变 LVIS 寄存器。

<3> 设置用作中断模式(LVIMD = 0)。

<4> 屏蔽 LVI 中断 (LVIMK = 1)。

<5> 允许 LVI 操作 (LVION = 0)。

<6> 在取消 LVI 中断屏蔽(LVIMK = 0)之前，用软件清零。因为当 LVI 操作允许时，会设置 LVIIIF 标志。

• 当设置用作中断模式(LVIMD = 0)后，改变数值

<1> 屏蔽 LVI 中断 (LVIMK = 1)。

<2> 设置用作中断模式(LVIMD = 0)。

<3> 改变 LVIS 寄存器。

<4> 在取消 LVI 中断屏蔽(LVIMK = 0)之前，用软件清零。因为当改变 LVIS 寄存器时，会设置 LVIIIF 标志。
3. 当检测到外部输入引脚的输入电压(EXLVI)时，检测电压(V_{EXLVI})恒定。因此，不必设置 LVIS。

(3) 端口模式寄存器 12 (PM12)

当使用 P120/EXLVI/INTP0 引脚进行外部低电压检测电压输入时，设置 PM120=1。此时，P120 的输出锁存器的值可以为 0 或 1。

可由 1 位或 8 位存储器操作指令设置 PM12。

复位信号的产生将 PM12 设置为 FFH。

图 22-4. 端口模式寄存器 12 (PM12)的格式

地址：	FFF2CH	复位后：	FFH	R/W						
符号	7	6	5	4	3	2	1	0		
PM12	1	1	1	1	1	1	1	PM120		

PM120	P120 引脚 I/O 模式选择
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

22.4 低电压检测电路的操作

低电压检测电路能够用于以下两种模式。

(1) 用于复位(LVIMD = 1)

- 如果 LVISEL = 0，比较供电电压(V_{DD})与检测电压(V_{LVI})，当 $V_{DD} < V_{LVI}$ 时产生内部复位信号，而当 $V_{DD} \geq V_{LVI}$ 时释放内部复位。
- 如果 LVISEL = 1，比较外部输入引脚的输入电压(EXLVI)和检测电压(V_{EXLVI})，在 $EXLVI < V_{EXLVI}$ 时产生内部复位信号，而在 $EXLVI \geq V_{EXLVI}$ 时释放内部复位。

备注 低电压检测电路 (LVI) 可由选项字节默认设置为 ON。如果设置为 ON，在供电电压从 POC 检测电压或更低上升时，当供电电压(V_{DD}) < 检测电压 ($V_{LVI} = 2.07\text{ V} \pm 0.2\text{ V}^{\#}$)时，会产生内部复位信号。之后，当供电电压(V_{DD}) < 检测电压 ($V_{LVI} = 2.07\text{ V} \pm 0.1\text{ V}^{\#}$)时，产生内部复位信号。

(2) 用作中断 (LVIMD = 0)

- 如果 LVISEL = 0，比较供电电压(V_{DD})与检测电压(V_{LVI})，当 V_{DD} 降至比 V_{LVI} 低($V_{DD} < V_{LVI}$)或当 V_{DD} 变为 V_{LVI} 或更高($V_{DD} \geq V_{LVI}$)时，产生中断信号(INTLVI)。
- 如果 LVISEL = 1，比较外部输入引脚的输入电压(EXLVI)和检测电压($V_{EXLVI} = 1.21\text{ V} \pm 0.1\text{ V}^{\#}$)，当 EXLVI 降至比 V_{EXLVI} 低($EXLVI < V_{EXLVI}$)或当 EXLVI 变为 V_{LVI} 或更高($EXLVI \geq V_{EXLVI}$)时，产生中断信号(INTLVI)。

注 这只是初步数据，可能会变化。

当低电压检测电路运行时，供电电压或者外部输入引脚的输入电压可以通过读取低电压检测标志(LVIM 的位 0: LVIF)得知其是否高于或低于检测电平。

备注 LVIMD:低电压检测寄存器 (LVIM)的位 1。
LVISEL: LVIM 的位 2。

22.4.1 用于复位

(1) 当检测供电电压(V_{DD})等级时

(a) 当设置 LVI 默认开始功能被停止(选项字节: LVIOFF = 1)时

• 启动操作时

- <1> 屏蔽 LVI 中断(LVIMK = 1).
- <2> 将低电压检测寄存器(LVIM)的第 2 位(LVISEL)清零(检测供电电压(V_{DD})的等级)(默认值)。
- <3> 使用低电压检测等级选择寄存器 (LVIS) 的第 3 位~第 0 位 (LVIS3 ~ LVIS0) 设置检测电压。
- <4> 设置 LVIM 的第 7 位 (LVION) = 1 (允许 LVI 的操作)。
- <5> 使用软件等待下列时间段(总计 410 μ s).
 - 操作稳定时间 (10 μ s (MAX.))
 - 最小脉冲宽度 (200 μ s (MAX.))
 - 检测延迟时间 (200 μ s (MAX.))
- <6> 等待直至根据 LVIM 的第 0 位(LVIF)检测到供电电压(V_{DD}) $\geq$ 检测电压(V_{LVI})。
- <7> 设置 LVIM 的第 1 位 (LVIMD) = 1 (当检测到电平时, 产生复位)。

<R>

图 22-5 显示了由低电压检测电路产生的内部复位信号的时序。该时序图中的标号与上面的<1> ~ <7>对应。

注意事项 1. 必须执行过程<1>。当 LVIMK = 0 时, 在过程<4>之后可能立即会产生中断。

2. 当 LVIMD=1 时如果供电电压 (V_{DD}) $\geq$ 检测电压 (V_{LVI}) , 则不会产生内部复位信号。

• 当停止操作时

必须执行以下过程之一。

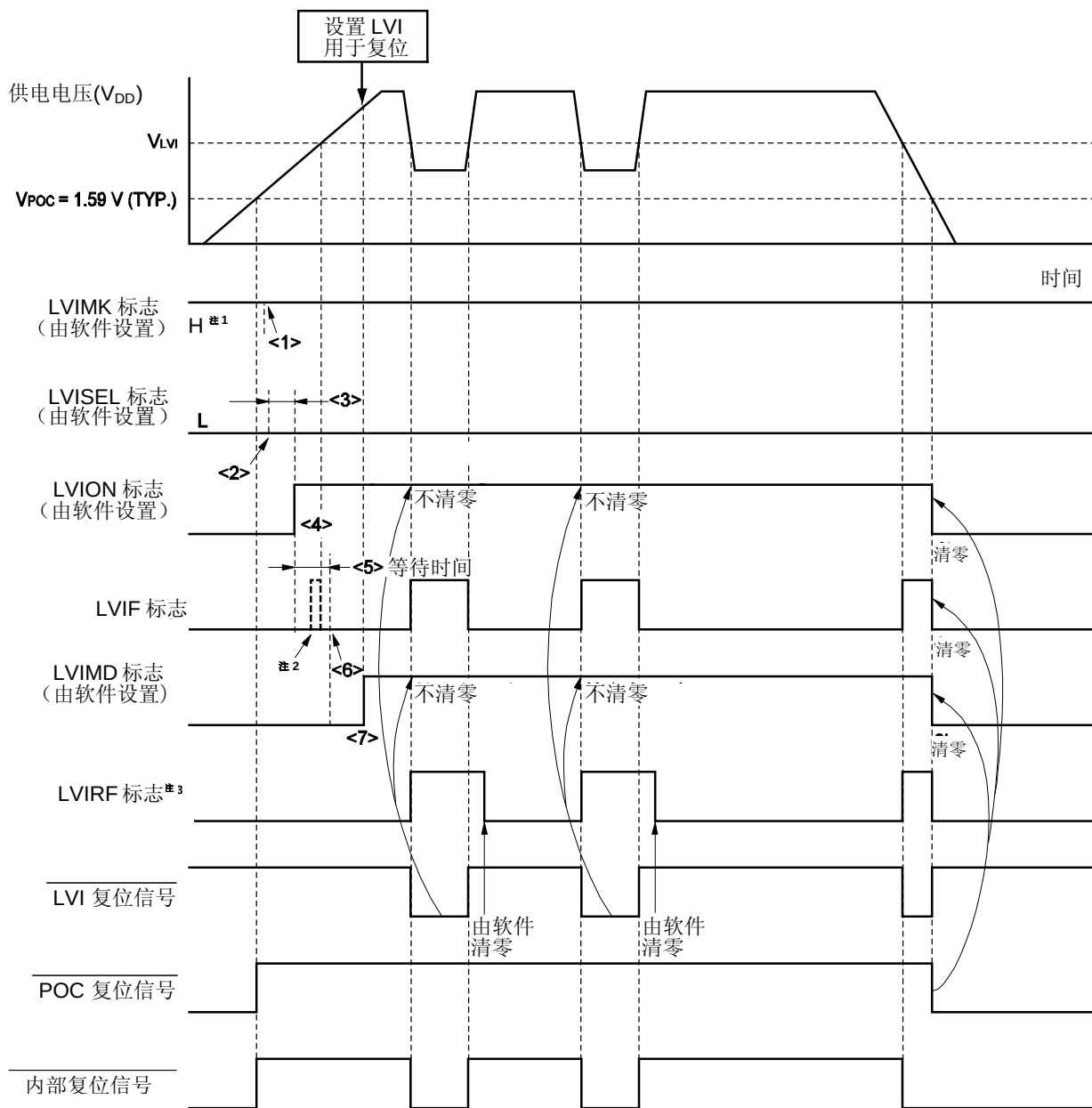
• 当使用 8 位存储器操作指令时:

00H $\rightarrow$ LVIM

• 当使用 1 位存储器操作指令时:

依次将 LVIMD 和 LVION 清零。

图 22-5. 低电压检测电路内部复位信号产生时序
(位: LVISEL = 0, 选项字节: LVIOFF = 1)



注

1. 由复位信号产生将 LVIMK 标志设置为“1”。
2. 可以设置中断请求标志寄存器的 LVIIF 标志和 LVIF 标志为(1)。
3. LVIRF 是复位控制标志寄存器 (RESF) 的第 0 位。需要了解 RESF 的详细内容, 可参见**第二十章 复位功能**

备注 上图 22-5 中的<1> ~ <7>与 22.4.1 (1) (a) 当设置 LVI 默认开始功能被停止(选项字节: LVIOFF = 1)中的“启动操作”描述相对应。

(b) 当设置 LVI 默认开始功能允许(选项字节: LVIOFF = 0)时

- 启动操作时

在下列初始设置状态下开启。

- 设置 LVIM 的第 7 位(LVION)为 1 (允许 LVI 操作)
- 把低电压检测寄存器(LVIM)的第 2 位(LVISEL)清零 0 (检测供电电压的电平(V_{DD}))
- 设置低电压检测电平选择寄存器 (LVIS) 为 0EH (默认数值: V_{LVI} = 2.07 V ±0.1 V)。
- 设置 LVIM 的第 1 位(LVIMD)为 1 (当检测到电平时产生复位)
- 设置 LVIM 的第 0 位(LVIF)为 0 (“供电电压 (V_{DD}) ≥ 检测电压 (V_{LVI})”)

<R>

图 22-6 显示了由低电压检测电路产生的内部复位信号的时序。

- 当停止操作时

必须执行以下过程之一。

- 当使用 8 位存储器操作指令:

00H → LVIM

- 当使用 1 位存储器操作指令:

先对 LVIMD 清零(0)，再对 LVION 清零(0)。

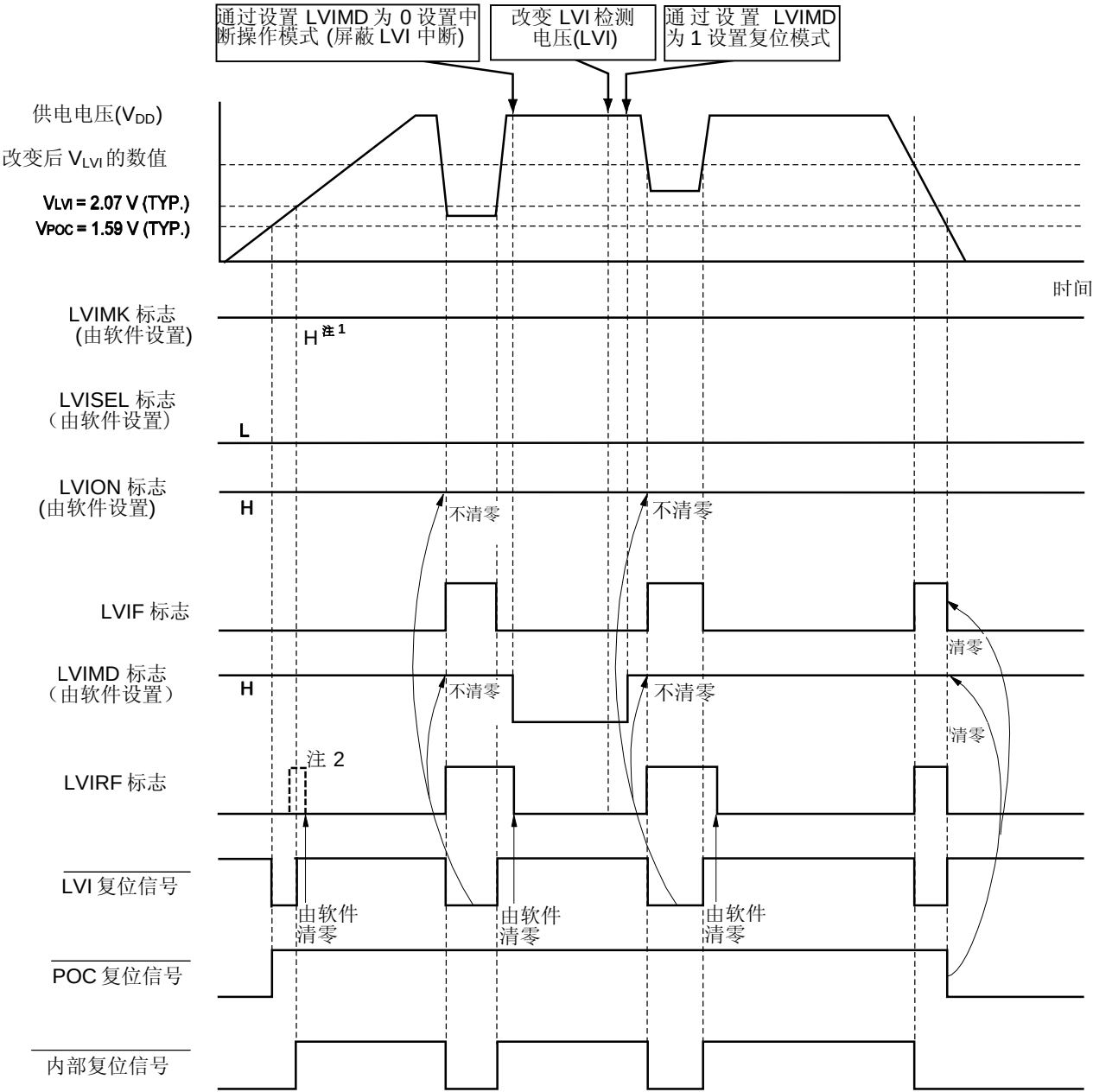
注意事项 甚至使用 LVI 默认开始功能时，如果由软件设置 LVI 操作禁止，按照下面所列进行操作：

- 在 LVION = 0 期间，不要进行低电压检测操作。
- 在 LVION = 0 期间，如果产生复位，那么在复位释放后 CPU 开始时，LVION 将重置为 1。但是，当由于 WDT 和非法指令执行引起复位时，将会有一段时间低电压检测功能不能正常操作。这是因为当由 LVI 检测到的脉冲宽度一定为 200μs max.期间，产生复位后设置 LVION = 1，并且 CPU 开始操作，并不等待 LVI 的稳定时间。

<R>

<R>

图 22-6. 低电压检测电路内部复位信号产生时序
(位: LVISEL = 0, 选项字节: LVIOFF = 0)



注 1. 由复位信号的产生设置 LVIMK 标志为“1”。

2. LVIRF 为复位控制标志寄存器(RESF)的第 0 位。
当使用 LVI 的默认开始功能(000C1H 的第 0 位(LVIOFF) = 0), LVIRF 标志可能会由于上电波形而从开始就变为 1。
需要了解 RESF 的详细信息, 可参见第二十章 复位功能。

<R>

(2) 当检测外部输入引脚(EXLVI)的输入电压等级时

• 当启动操作时

<1> 屏蔽 LVI 中断(LVIMK = 1).

<2> 设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)=1 (检测外部输入引脚(EXLVI)的输入电压等级)。

<3> 设置 LVIM 的第 7 位 (LVION) =1 (允许 LVI 的操作)。

<R> <4> 使用软件等待下列时间段(总计 410 μ s)。

- 操作稳定时间(10 μ s (MAX.))
- 最小脉冲宽度(200 μ s (MAX.))
- 检测延迟时间 (200 μ s (MAX.))

<5> 等待直至根据 LVIM 的第 0 位(LVIF)检测到: 外部输入引脚的输入电压(EXLVI) $\geq$ 检测电压($V_{EXLVI} = 1.21\text{ V}$ (TYP.))。

<6> 设置 LVIM 的第 1 位(LVIMD)=1(当检测到电平时产生复位信号)。

图 22-7 显示了由低电压检测电路产生的内部复位信号的时序。该时序图中的标号与上面的<1> ~ <6>对应。

注意事项 1. 必须执行<1>。当 LVIMK = 0 时, 在完成<3>后可能立即会产生中断。

2. 如果在 LVIMD=1 时, 外部输入引脚的输入电压 (EXLVI) $\geq$ 检测电压 ($V_{EXLVI} = 1.21\text{ V}$ (TYP.)), 则不会产生内部复位信号。

3. 必须保证外部输入引脚的输入电压(EXLVI): $EXLVI < V_{DD}$ 。

• 当停止操作时

必须执行以下过程之一。

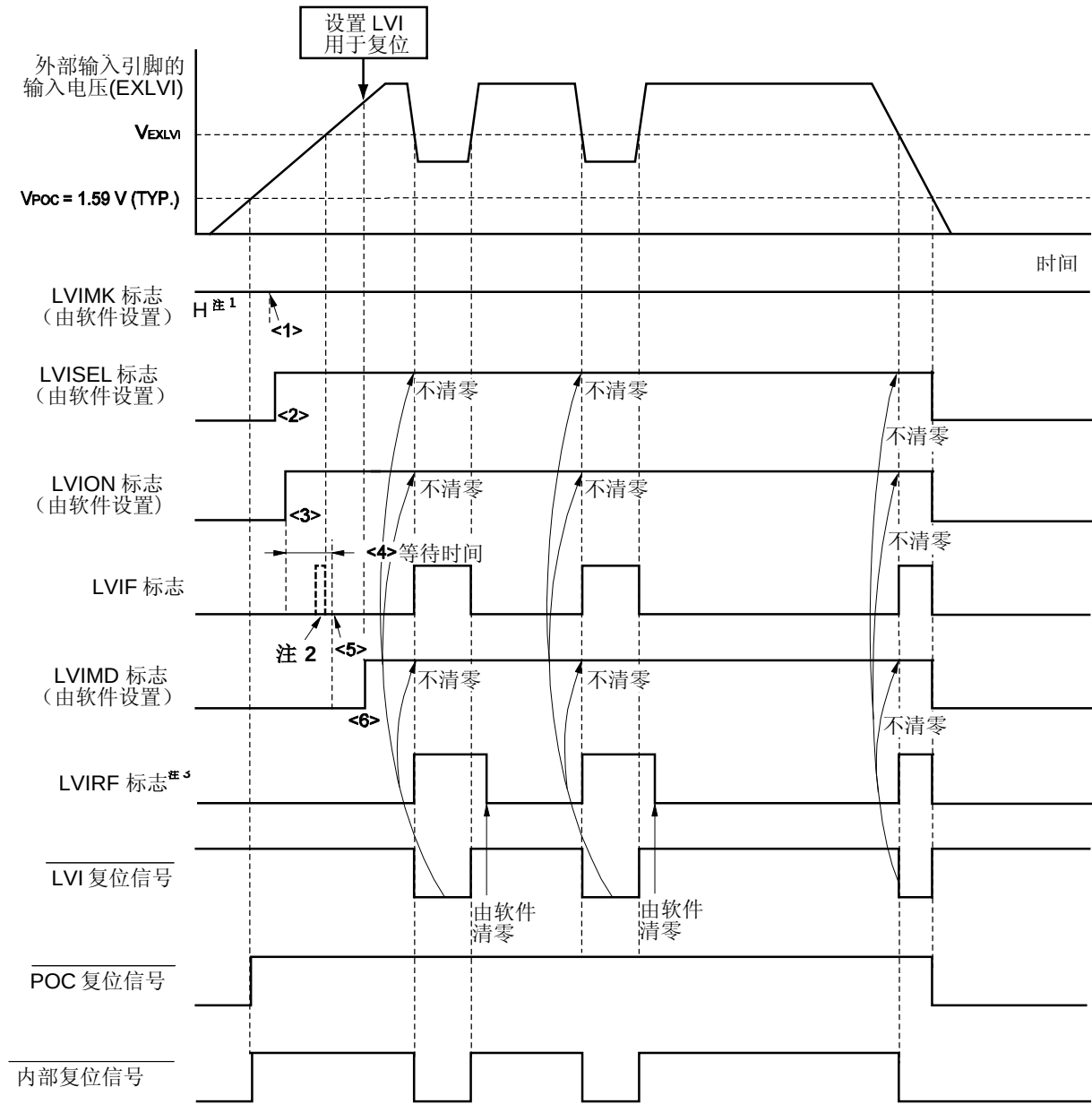
• 当使用 8 位存储器操作指令:

00H $\rightarrow$ LVIM

• 当使用 1 位存储器操作指令:

先对 LVIMD 清零(0), 再对 LVION 清零(0)。

图 22-7. 低电压检测电路内部复位信号产生时序
(位: LVISEL = 1)



- 注
1. 由复位信号的产生设置 LVIMK 标志为“1”。
 2. 可以设置中断请求标志寄存器的 LVIF 标志和 LVIF 标志为(1)。
 3. LVIRF 为复位控制标志寄存器(RESF)的第 0 位。需要了解 RESF 的详细信息，可参见第二十章 复位功能。

备注 上图 22-7 中的<1> ~ <6>与 22.4.1 (2) 当检测外部输入引脚的输入电压(EXLVI)等级时中“当启动操作时”的描述<1> ~ <6>相对应

22.4.2 用于中断

(1) 当检测供电电压(V_{DD})等级时

(a) 当设置 LVI 默认开始功能被停止(选项字节: LVIOFF = 1)时

• 当启动操作时

<1> 屏蔽 LVI 中断(LVIMK = 1).

<2> 将低电压检测寄存器(LVIM)的第 2 位(LVISEL)清零(0)(检测供电电压(V_{DD})等级)(默认值)。

把 LVIM 的第 1 位(LVIMD)清零 0 (当检测到电平时产生中断信号) (默认值)。

<3> 使用低电压检测电平选择寄存器(LVIS)的第 3~0 位设置检测电压。

<4> 设置 LVIM 的第 7 位 (LVION) = 1 (允许 LVI 的操作)。

- <R> <5> 使用软件等待下列时间段(总计 410 μ s)。
- 操作稳定时间(10 μ s (MAX.))
 - 最小脉冲宽度(200 μ s (MAX.))
 - 检测延迟时间(200 μ s (MAX.))
- <6> 当检测 V_{DD} 的下降沿时, 使用 LVIM 的第 0 位(LVIF), 确认“供电电压 (V_{DD}) $\geq$ 检测电压 (V_{LVI})”或者当检测 V_{DD} 的上升沿时, “供电电压 (V_{DD}) < 检测电压 (V_{LVI})”。
- <7> 将 LVI 的中断请求标志 (LVIIIF) 清零(0)。
- <8> 释放 LVI 的中断屏蔽标志 (LVIMK)。
- <9> 执行 EI 指令 (当使用向量中断时)。

图 22-8 显示了由低电压检测电路产生的中断信号的时序。该时序图中的标号与上面的<1> ~ <8>对应。

• 当停止操作时

必须执行以下过程之一。

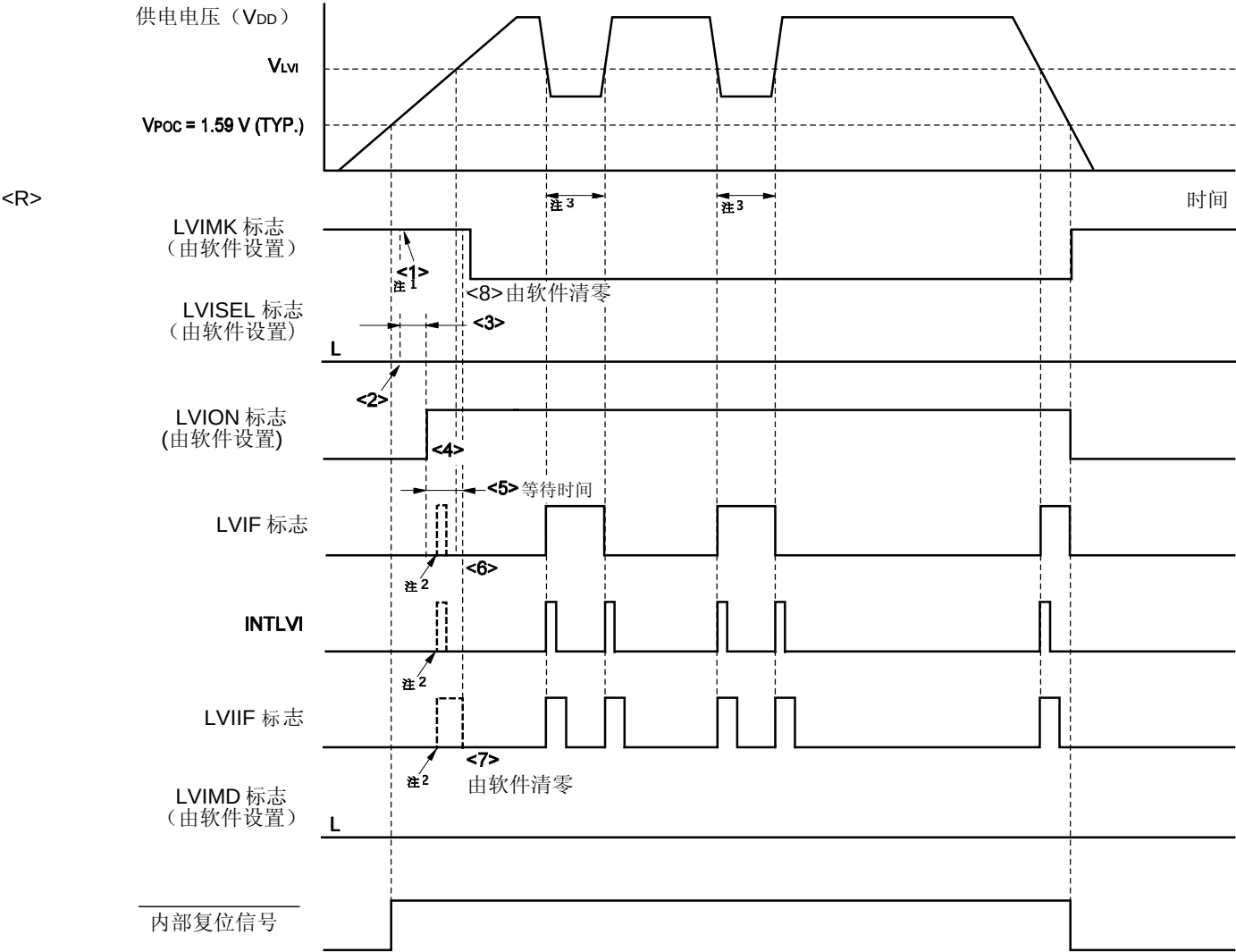
• 当使用 8 位存储器操作指令:

00H $\rightarrow$ LVIM

• 当使用 1 位存储器操作指令:

对 LVION 清零 (0)

图 22-8. 低电压检测电路中断信号产生时序
(位: LVISEL = 0, 选项字节: LVIOFF = 1)



- 注
- 1. 可由复位信号的产生设置 LVIMK 标志为“1”。
 - 2. 产生中断请求信号(INTLVI)，且可以设置 LVIF 和 LVIIF 标志为(1)。
 - 3. 如果当供电电压(VDD)低于或者等于检测电压(VLVI)，禁止 LVI 操作，会产生中断请求信号(INTLVI)并且 LVIIF 会设置为 1。

备注 上图 22-8 中的<1> ~ <8>与 22.4.2 (1)(a)当设置 LVI 默认开始功能被停止(选项字节: LVIOFF = 1)中“当启动操作时”的描述<1> ~ <8>相对应。

(b) 当设置 LVI 默认开始功能允许(选项字节: LVIOFF = 0)时

- 启动操作时

<R>

- <1> 在下列初始设置状态下开启。
 - 设置 LVIM 的第 7 位(LVION)为 1 (允许 LVI 操作)
 - 把低电压检测寄存器(LVIM)的第 2 位(LVISEL)清零 0 (检测供电电压的电平(V_{DD}))
 - 设置低电压检测电平选择寄存器 (LVIS) 为 0EH (默认数值: V_{LVI} = 2.07 V ±0.1 V)。
 - 设置 LVIM 的第 1 位(LVIMD)为 1 (当检测到电平时产生复位)
 - 设置 LVIM 的第 0 位(LVIF)为 0 (检测下降沿“供电电压 (V_{DD}) ≥ 检测电压 (V_{LVI})”)
- <2> 将 LVIM 的第 1 位(LVIMD)清零(0)(当检测到电平时产生中断信号)(默认值)。
- <3> 释放 LVI 的中断屏蔽标志 (LVIMK)。
- <4> 执行 EI 指令 (当使用向量中断时)。

图 22-9 显示了由低电压检测电路产生的中断信号的时序。该时序图中的标号与上面的<1> ~ <9>对应。

- 当停止操作时

必须执行以下过程之一。

- 当使用 8 位存储器操作指令:

00H → LVIM

- 当使用 1 位存储器操作指令:

先对 LVIMD 清零(0)，再对 LVION 清零(0)。

注意事项 1. 甚至使用 LVI 默认开始功能时，如果由软件设置 LVI 操作禁止，按照下面所列进行操作：

<R>

- 在 LVION = 0 期间，不要进行低电压检测操作。
- 在 LVION = 0 期间，如果产生复位，那么在复位释放后 CPU 开始时，LVION 将重置为 1。但是，当由于 WDT 和非法指令执行引起复位时，将会有一段时间低电压检测功能不能正常操作。这是因为当由 LVI 检测到的脉冲宽度一定为 200μs max.期间，产生复位后设置 LVION = 1，并且 CPU 开始操作，并不等待 LVI 的稳定时间。

<R>

- 2. 当使用 LVI 的默认开始功能(000C1H 的第 0 位(LVIOFF) = 0), LVIRF 标志可能会由于上电波形而从开始就变为 1。
需要了解 RESF 的详细信息，可参见第二十章 复位功能。

<R>



备注 上图 22-7 中的<1> ~ <3>与 22.4.2 (1) (b) 当设置 LVI 默认开始功能允许(选项字节: LVIOFF = 0) 中“当启动操作时”的描述<1> ~ <3>相对应。

备注 上图 22-7 中的<1> ~ <3>与 22.4.2 (1) (b) 当设置 LVI 默认开始功能允许(选项字节: LVIOFF = 0) 中“当启动操作时”的描述<1> ~ <3>相对应。

备注 上图 22-7 中的<1> ~ <3>与 22.4.2 (1) (b) 当设置 LVI 默认开始功能允许(选项字节: LVIOFF = 0) 中“当启动操作时”的描述<1> ~ <3>相对应。

备注 上图 22-7 中的<1> ~ <3>与 22.4.2 (1) (b) 当设置 LVI 默认开始功能允许(选项字节: LVIOFF = 0) 中“当启动操作时”的描述<1> ~ <3>相对应。

(2) 当检测外部输入引脚的输入电压(EXLVI)等级时

• 当启动操作时

- <1> 屏蔽 LVI 中断(LVIMK = 1).
- <2> 设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)=1(检测外部输入引脚的输入电压(EXLVI)等级)。将 LVIM 的第 1 位(LVIMD)清零(0)(当检测到电平时产生中断信号)(默认值)。
- <3> 设置 LVIM 的第 7 位 (LVION) =1 (允许 LVI 的操作)。
- <4> 使用软件等待下列时间段(总计 410 μ s).
 - 操作稳定时间(10 μ s (MAX.))
 - 最小脉冲宽度(200 μ s (MAX.))
 - 检测延迟时间(200 μ s (MAX.))
- <5> 当检测 EXLVI 的下降沿时, 使用 LVIM 的第 0 位(LVIF), 确认“外部输入引脚的输入电压 (EXLVI) $\geq$ 检测电压 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$)”或者当检测 EXLVI 的上升沿时, “外部输入引脚的输入电压 (EXLVI) < 检测电压 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$)”。
- <6> 将 LVI 的中断请求标志 (LVIIF) 清零(0)。
- <7> 释放 LVI 的中断屏蔽标志 (LVIMK)。
- <8> 执行 EI 指令 (当使用向量中断时)。

<R>

图 22-10 显示了由低电压检测电路产生的中断信号的时序。该时序图中的标号与上面的<1> ~ <7>对应。

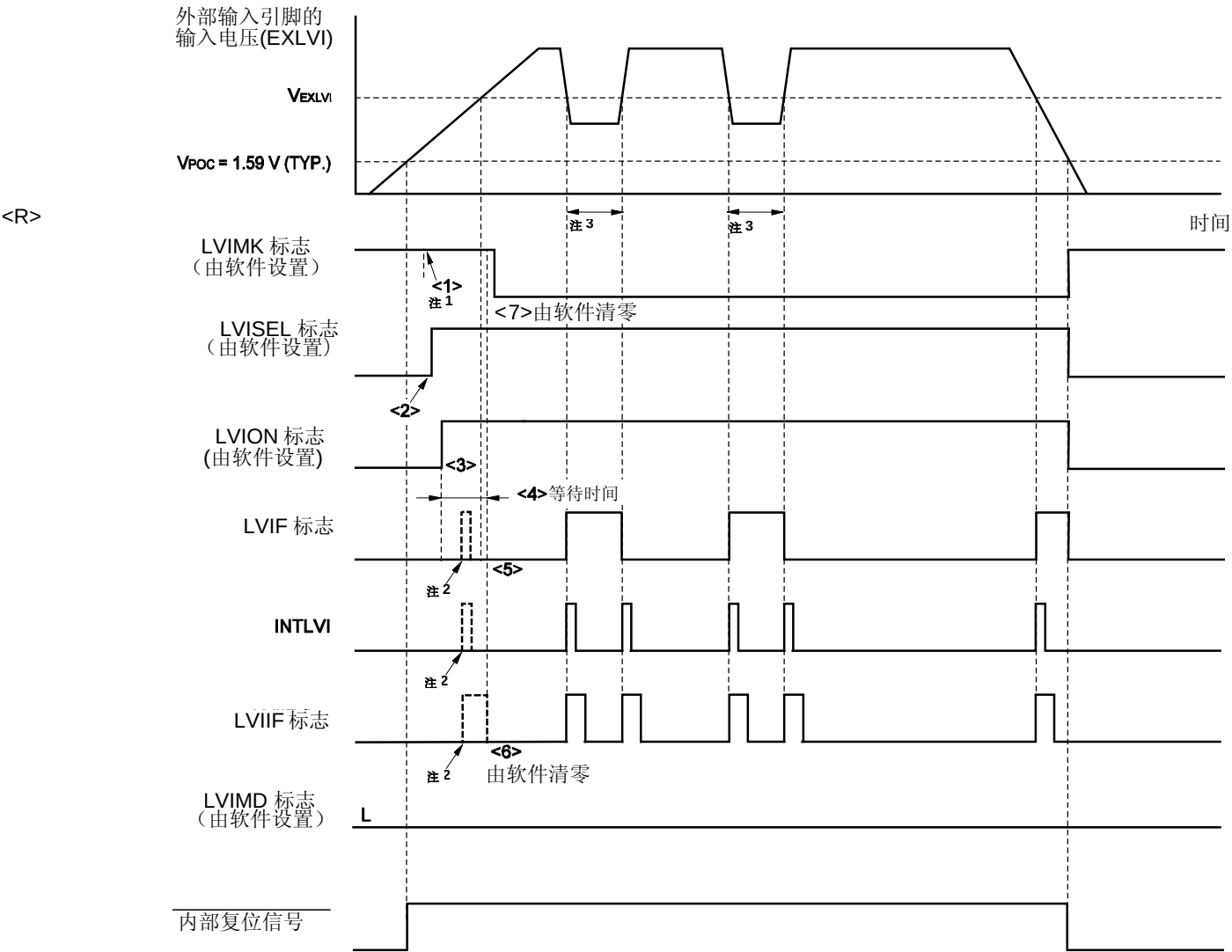
注意事项 外部输入引脚的输入电压(EXLVI)必须满足以下条件: $EXLVI < V_{DD}$

• 当停止操作时

必须执行以下过程之一。

- 当使用 8 位存储器操作指令:
00H $\rightarrow$ LVIM
- 当使用 1 位存储器操作指令:
对 LVION 清零 (0)

图 22-10. 低电压检测电路中中断信号产生时序
(位: LVISEL = 1)



- 注
1. 可由复位信号产生设置 LVIMK 标志为“1”。
2. 产生中断请求信号(INTLVI)，且可以设置 LVIF 和 LVIIF 标志为(1)。
3. 如果当外部输入引脚(EXLVI) 的输入电压小于或等于检测电压(V_{EXLVI})时,禁止 LVI 操作，会产生中断请求信号 (INTLVI)， LVIIF 会设置为 1。

备注 图 22-10 中的<1> ~ <8>与 22.4.2 (1) 当检测供电电压(EXLVI)等级时中“当启动操作时”的描述<1> ~ <7>相对应。

22.5 低电压检测电路的注意事项

(1) 当供电电压(V_{DD})在接近 LVI 检测电压(V_{LVI})周围频繁波动时采取的方法

在系统中，如果供电电压(V_{DD})在接近 LVI 检测电压(V_{LVI})的一段时间内产生波动，这时根据低电压检测电路的使用情况进行如下操作。

操作实例 1: 用于复位

系统可能会反复进行复位和释放复位。

在这种情况下，可采用下面的方法任意设置从复位释放到微控制器的启动所经历的时间。

<方法>

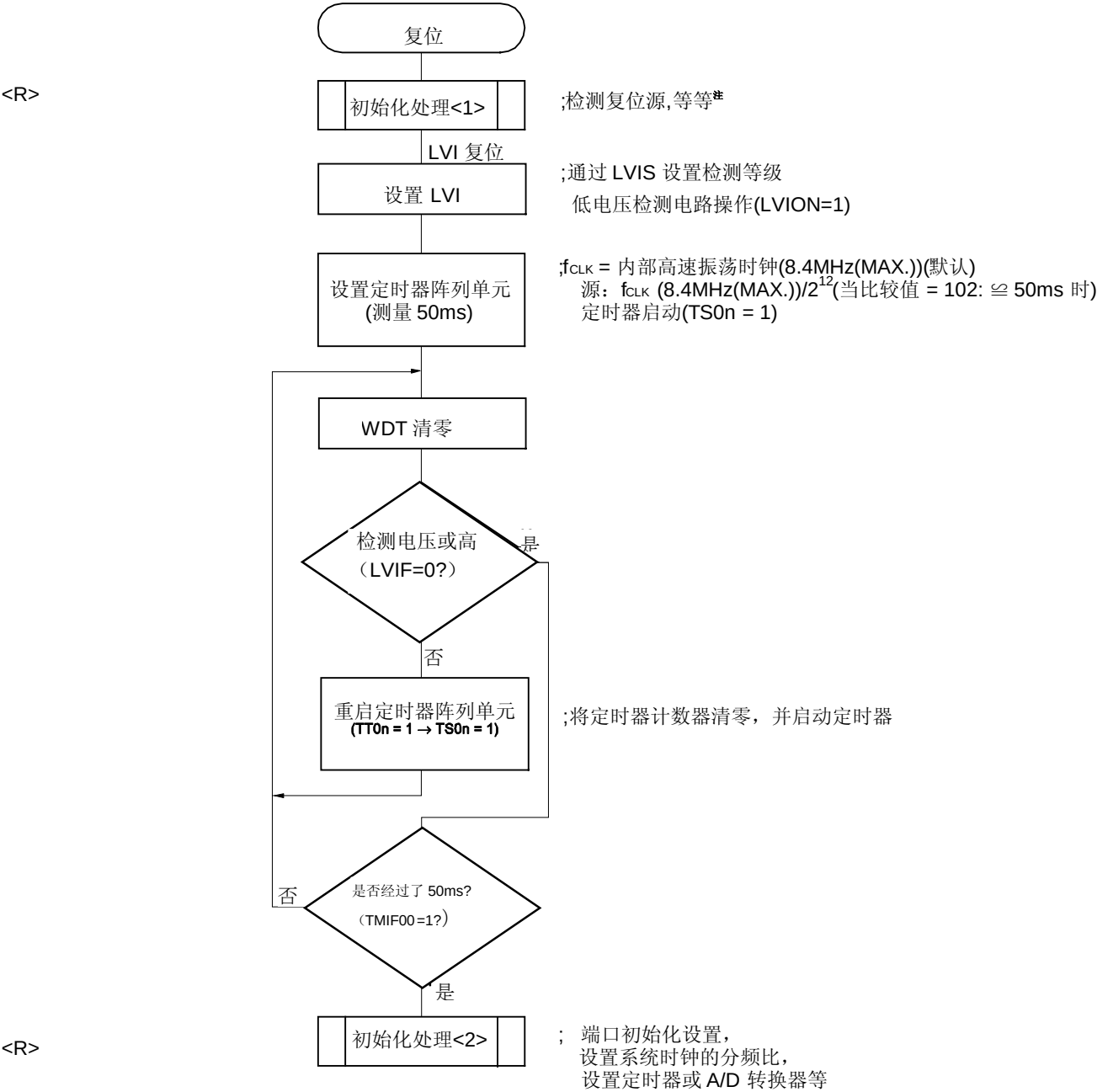
在释放复位信号后，通过软件计数器（使用一个定时器）等待系统的供电电压的波动期，然后对端口初始化（参见图 22-11）。

备注 如果设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)为“1”，则对上述方法作如下修改。

- 供电电压(V_{DD}) → 外部输入引脚的输入电压(V_{EXLVI})
- 检测电压(V_{LVI}) → 检测电压($V_{EXLVI} = 1.21\text{ V}$)

图 22-11. 复位释放后软件处理过程示例(1/2)

●如果供电电压接近 LVI 检测电压，其波动时间≤50 ms



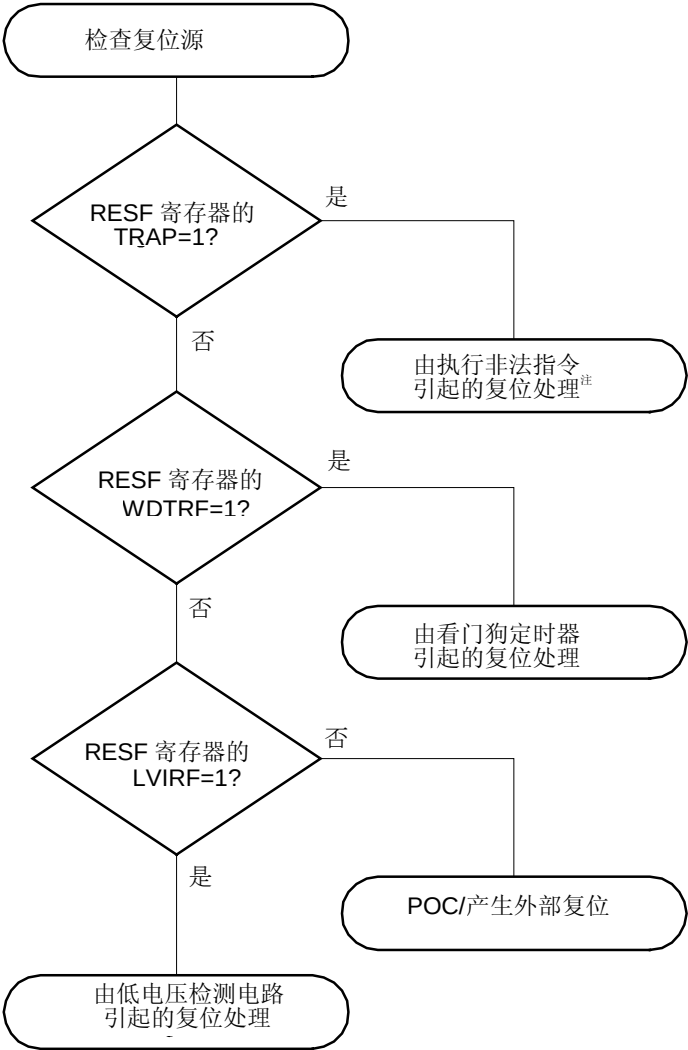
注 流程图显示在下页

- 备注 1. n: 通道号码 (n = 0 ~ 7)
2. 如果设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)为“1”，则对上述方法作如下修改。
- 供电电压(V_{DD}) → 外部输入引脚的输入电压(EXLVI)
 - 检测电压(V_{LVI}) → 检测电压(V_{EXLVI} = 1.21 V)

图 22-11. 复位释放后软件处理过程示例(2/2)

•检查复位源

<R>



<R> **注意事项** 当执行 FFH 中的指令码时。
复位并不是由在线仿真器或者在片调试仿真器的仿真引起的非法指令执行引起的。

备注 如果设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)为“1”，则对上述方法作如下修改。

- 供电电压(V_{DD}) → 外部输入引脚的输入电压(EXLVI)
- 检测电压(V_{LVI}) → 检测电压(V_{EXLVI} = 1.21 V)

操作实例 2: 用作中断

系统可能会频繁产生中断。
采取列方法。

<方法>

在 LVI 中断服务程序中，通过使用低电压检测寄存器(LVIM)的第 0 位(LVIF)，在检测 V_{DD} 的下降沿时，确认“供电电压 (V_{DD}) $\geq$ 检测电压 (V_{LVI})”，或者在检测 V_{DD} 的上升沿时，确认“供电电压 (V_{DD}) $<$ 检测电压 (V_{LVI})”把中断请求标志寄存器 0L(IF0L)的第 1 位(LVIIF)清零。

对于供电电压在 LVI 检测电压附近比较长时间的波动的系统，在等待供电电压波动时间之后采取以上方法。

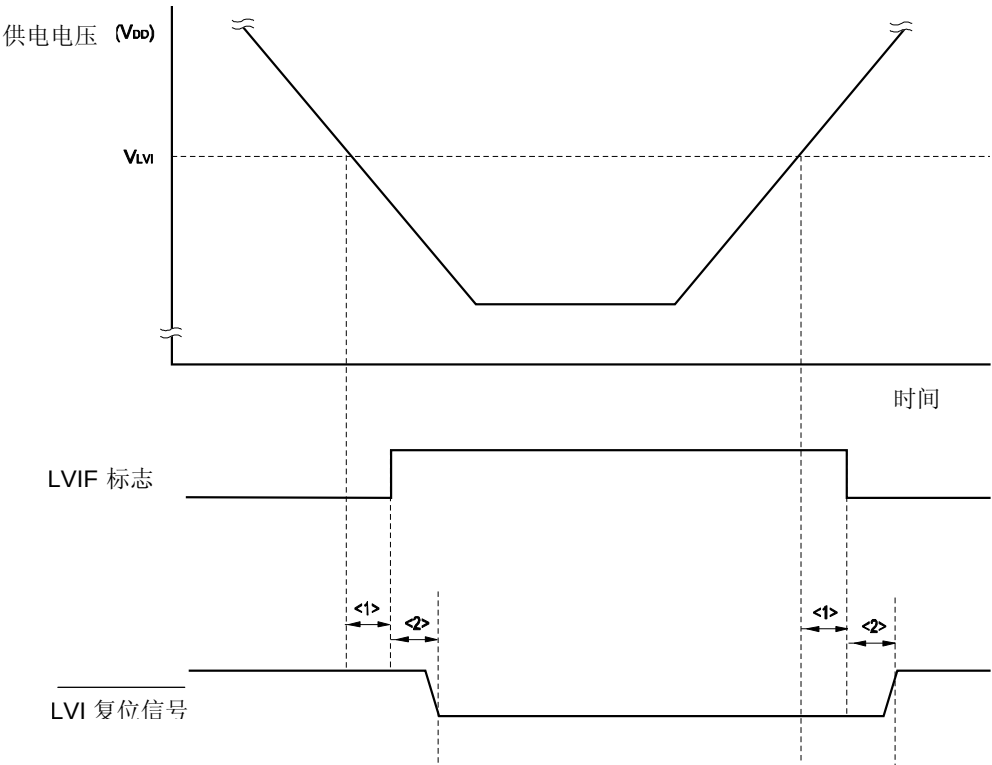
备注 如果设置低电压检测寄存器(LVIM)的第 2 位(LVISEL)为“1”，则对上述方法作如下修改。

- 供电电压(V_{DD}) $\rightarrow$ 外部输入引脚的输入电压(EXLVI)
- 检测电压(V_{LVI}) $\rightarrow$ 检测电压($V_{EXLVI} = 1.21\text{ V}$)

(2) 从产生 LVI 复位源产生时开始直到 LVI 复位产生或释放时的延时

从供电电压(V_{DD}) $<$ LVI 检测电压 (V_{LVI})时 直到产生 LVI 复位时会有一些延时。
同样，从 LVI 检测电压 (V_{LVI}) $\leq$ 供电电压(V_{DD}) 直到产生 LVI 复位时也会有一些延时(请看 图 22-12)。

图 22-12. 从产生 LVI 复位源产生时开始直到 LVI 复位产生或释放时的延时



- <1> : 最小脉冲宽度 (200 μ s (MAX.))
- <2> : 检测延迟时间 (200 μ s (MAX.))

23.1 校准器概述

78K0R/KG3 包含一个在恒电压下操作设备的电路。此时，为了稳定校准器输出电压，把 REGC 引脚通过一个电容 <R> (0.47 ~ 1 μ F) 连接到 Vss。但是，在已经进入 STOP 模式时，因为内部高速振荡时钟和外部主系统时钟的操作，推荐使用 0.47 μ F 的电容。同时，使用具有良好特性的电容，因为要用它来稳定内部电压。校准器的输出电压正常为 2.5 V (TYP.)，在低电流损耗模式下为 1.8 V (TYP.)。

23.2 控制校准器的寄存器

(1) 校准器模式控制寄存器 (RMC)

此寄存器设置校准期的输出电压。
RMC 可用 8 位存储器操作指令设置。
复位输入将此寄存器设置为 00H。

图 23-1. 校准器模式控制寄存器 (RMC) 的格式

地址: F00F4H 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	控制校准器的输出电压
5AH	固定为低电流损耗模式(1.8 V)
00H	根据条件切换正常模式(2.5 V) 和低电流损耗模式(1.8 V) (参考 表 23-1)
除此之外	禁止设置

- 注意事项
1. RMC 寄存器只有在低电流损耗模式下才可以写入(参考表 23-1)。也就是说，在高速系统时钟 (fmx) 和 高速内部振荡时钟 (fih)两个都停止时，CPU 操作使用副系统时钟 (fxt)期间，重写此寄存器。
 2. 当设置固定为低电流损耗模式时，RMC 寄存器在下列情况下可以使用。
< CPU 时钟选择 X1 时钟时> $f_x \leq 5\text{ MHz}$ 并且 $f_{CLK} \leq 5\text{ MHz}$
<当 CPU 时钟选择高速内部振荡时钟，外部输入时钟或者副系统时钟时> $f_{CLK} \leq 5\text{ MHz}$
 3. 在低电流损耗模式下，自编程功能禁止。

<R>

表 23-1. 校准器输出电压条件

模式	输出电压	条件
寄存器	1.8 V	系统复位期间
		STOP 模式下 (OCD 模式除外)
		CPU 操作使用副系统时钟 (fxt) 期间，当高速系统时钟 (fmx) 和 高速内部振荡时钟 (fih)两个都停止时
		HALT 模式下，已经设置 CPU 操作使用副系统时钟(fxt)期间，当高速系统时钟 (fmx) 和 高速内部振荡时钟 (fih)两个都停止时
正常电流模式	2.5 V	除以上之外的

第二十四章 选项字节

24.1 选项字节的功能

78K0R/KG3 的 flash 存储器的地址 000C0H~000C3H 组成选项字节区域。

选项字节由用户选项字节 (000C0H~000C2H) 和片上调试选项字节 (000C3H)组成。

当打开电源或从复位状态重启设备时，设备自动参考选项字节，并设置指定的功能。使用该产品时，必须使用选项字节设置以下几项功能。

在自编程期间使用引导交换功能时，将 000C0H~000C3H 切换到 010C0H ~010C3H。因此，事先将 000C0H~000C3H 和 010C0H ~010C3H 设置为相同的值。

注意事项 必须设置 FFH 到 000C2H (000C2H/010C2H 当使用引导交换操作时)。

24.1.1 用户选项字节 (000C0H~ 000C2H/010C0H ~010C2H)

(1) 000C0H/010C0H

- 看门狗定时器的操作
 - 在 HALT 或 STOP 模式下操作停止或允许。
- 看门狗定时器的间隔时间的设置
- 看门狗定时器的操作
 - 操作停止或允许。
- 看门狗定时器的窗口打开期间的设置
- 看门狗定时器的间隔中断的设置
 - 使用或不使用

注意事项 当使用引导交换操作时，设置 000C0H 与 010C0H 的值相同，因为 000C0H 要被 010C0H 替换。

(2) 000C1H/010C1H

- 设置电源应用中复位释放的 LVI
 - LVI 由复位释放默认开或关 (由 RESET 引脚复位, LVI, POC, WDT, 或非法指令除外)。

<R>

注意事项 当使用引导交换操作时，设置 000C1H 与 010C1H 的值相同，因为 000C1H 要被 010C1H 替换。

(3) 000C2H/010C2H

- 必须设置 FFH，因为这些地址为保留区域。

注意事项 当使用引导交换操作时，设置 FFH 到 010C2H，因为 000C2H 要被 010C2H 替换。

24.1.2 片上调试选项字节 (000C3H/ 010C3H)

- 片上调试操作的控制
 - 片上调试操作禁止或允许。
- 当片上调试安全 ID 验证失败时 flash 存储器数据的处理
 - 如果片上调试安全 ID 验证失败，flash 存储器的数据被擦除或不擦除。

注意事项 当使用引导交换功能时设置 000C3H 和 010C3H 相同值，因为 000C3H 被 010C3H 替换。

24.2 用户选项字节的格式

用户选项字节的格式如下所示。

图 24-1. 用户选项字节 (000C0H/010C0H)的格式 (1/2)

地址: 000C0H/010C0H ^{※1}

7	6	5	4	3	2	1	0
WDTINIT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINIT	看门狗定时器的间隔中断的使用
0	间隔中断不使用。
1	当达到溢出时间的 75%时间间隔中断产生。

WINDOW1	WINDOW0	看门狗定时器窗口打开周期 ^{※2}
0	0	25%
0	1	50%
1	0	75%
1	1	100%

WDTON	看门狗定时器计数器的操作控制
0	计数器操作禁止(复位后计数停止)
1	计数器操作允许(复位后计数开始)

WDCS2	WDCS1	WDCS0	看门狗定时器溢出时间
0	0	0	$2^{10}/f_{IL}$ (3.88 ms)
0	0	1	$2^{11}/f_{IL}$ (7.76 ms)
0	1	0	$2^{12}/f_{IL}$ (15.52 ms)
0	1	1	$2^{13}/f_{IL}$ (31.03 ms)
1	0	0	$2^{15}/f_{IL}$ (124.12 ms)
1	0	1	$2^{17}/f_{IL}$ (496.48 ms)
1	1	0	$2^{18}/f_{IL}$ (992.97 ms)
1	1	1	$2^{20}/f_{IL}$ (3971.88 ms)

图 24-1. 用户选项字节 (000C0H/010C0H)的格式(2/2)

地址: 000C0H/010C0H^{※1}

7	6	5	4	3	2	1	0
WDTINIT	WINDOW1	WINDOW0	WDTON	WDSCS2	WDSCS1	WDSCS0	WDSTBYON
WDSTBYON	看门狗定时器 计数器的操作控制 (HALT/STOP 模式)						
0	计数器操作在 HALT/STOP 模式下停止 ^{※2}						
1	计数器操作在 HALT/STOP 模式下允许						

- 注
1. 由于在引导交换时 000C0H 和 010C0H 要相互切换，因此要对 000C0H 设置与 010C0H 相同的值。
 2. 当 WDSTBYON = 0 时，窗口打开周期是 100%，不论 WINDOW1 和 WINDOW0 为何值。

注意事项 看门狗定时器在 flash 存储器自编程和 EEPROM 仿真期间继续它的操作。处理期间，中断响应时间被延迟。设置溢出时间和窗口大小时应考虑到这一延迟情况。

- 备注
1. f_{IL}: 内部低速振荡时钟频率
 2. (): f_{IL} = 264 kHz (MAX.)

图 24-2. 选项字节 (000C1H/010C1H)的格式

地址: 000C1H/010C1H[※]

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	LVIOFF
LVIOFF	LVI 在电源应用时的设置						
0	复位释放（电源应用）有默认 LVI 开 (LVI 默认开始功能允许)						
1	复位释放（电源应用）有默认 LVI 关 (LVI 默认开始功能停止)						

<R>
<R>

- 注
- 由于在引导交换时 000C1H 和 010C1H 要相互切换，因此要对 000C1H 设置与 010C1H 相同的值。

- 注意事项
1. 第 7~1 位必须为“1”。
 2. 当 LVI 默认开始 使用时，如果通过软件设置 LVI 操作禁止，则操作如下：

<R>

- 当 LVION = 0 时不执行低电压检测。
- 如果当 LVION = 0 时发生复位，在复位释放后 CPU 开始时 LVION 将被重置为 1。当低电压检测不能正常执行时，并且由于 WDT 和非法指令执行时，有一个周期。
通过 LVI 进行脉冲宽度检测时最大必须不超过 200 μ s max.。复位发生时设置 LVION = 1， CPU 开始操作，而不需要等待 LVI 稳定时间。

图 24-3. 选项字节 (000C2H/010C2H)的格式

地址: 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 必须设置 FFH 到 000C2H, 因为这些地址在保留区域。当使用引导交换操作时也要设置 FFH 到 010C2H, 因为 000C2H 要被 010C2H 替换。

24.3 片上调试选项字节的格式

片上调试选项字节的格式如下所示。

图 24-4. 片上调试选项字节 (000C3H/010C3H)的格式

地址: 000C3H/010C3H^注

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	片上调试操作的控制
0	0	禁止片上调试操作。
0	1	设置禁止。
1	0	如果允许片上调试和验证片上调试安全 ID 失败擦除 flash 存储器的数据。
1	1	如果允许片上调试和验证片上调试安全 ID 失败不擦除 flash 存储器的数据。

注 由于在引导交换时 000C3H 和 010C3H 要相互切换, 因此要对 000C3H 设置与 010C3H 相同的值。

注意事项 第 7 和 0 位 (OCDENSET 和 OCDERSD)只能被指定一个值。
000010B 的第 6 位必须设置为 1。

备注 当使用片上调试功能时第 3 ~ 1 位的值被写入, 因此设置后它的值不确定。
但是, 设置时必须设置默认值(0, 1, 和 0)到第 3 ~ 1 位。

24.4 选项字节的设置

通过汇编程序包 RA78K0R 的连接器选项设置用户选项字节和片上调试选项字节。
如何设置选项字节, 参考 RA78K0R 汇编程序包用户手册。

备注 复位处理期间参考选项字节。复位过程的时序, 参见第二十章 复位功能。

第二十五章 FLASH 存储器

78K0R/KG3 包含 Flash 存储器，可以安装在电路板上实现在线写入、擦除和覆盖操作。

25.1 用 Flash 存储器编程器写入

通过使用专用 Flash 存储器编程器数据可以 on-board 或 off-board 写入到 flash 存储器。

(1) On-board 编程

当目标系统上安装了 78K0R/KG3 系列产品后，Flash 存储器的内容可以被重写。必须将连接专用 Flash 编程器的连接器安装在目标系统中。

(2) Off-board 编程

在将 78K0R/KG3 系列产品安装到目标系统之前，可使用专用程序适配器（FA 系列）将数据写入 Flash 存储器。

备注 FA 系列是 Naito Densei Machida Mfg. Co., Ltd 的产品。

表 25-1. 78K0R/KG3 和专用 Flash 存储器编程器之间的写入操作

专用 Flash 存储器编程器的引脚配置			GF 封装		GC 封装	
信号名称	I/O	引脚功能	引脚名称	引脚编号	引脚名称	引脚编号
SI/RxD	输入	接收信号	TOOL0/P40	89	TOOL0/P40	12
SO/TxD	输出	发送信号				
SCK	输出	发送时钟	—	—	—	—
CLK	输出	时钟输出	—	—	—	—
/RESET	输出	复位信号	$\overline{\text{RESET}}$	90	$\overline{\text{RESET}}$	13
FLMD0	输出	模式信号	FLMD0	93	FLMD0	16
V _{DD}	I/O	V _{DD} 电压产生/ 电压监测	V _{DD}	99	V _{DD}	22
			EV _{DD0}	100	EV _{DD0}	23
			EV _{DD1}	30	EV _{DD1}	53
			AV _{REF0}	50	AV _{REF0}	73
			AV _{REF1}	47	AV _{REF1}	70
GND	—	地	V _{SS}	97	V _{SS}	20
			EV _{SS0}	98	EV _{SS0}	21
			EV _{SS1}	20	EV _{SS1}	43
			AV _{SS}	51	AV _{SS}	74

在使用适配器对 Flash 存储器进行写操作时可采用如下所示的连接方式。

图 25-1. 使用适配器对 Flash 存储器进行写操作示例(GF 封装)

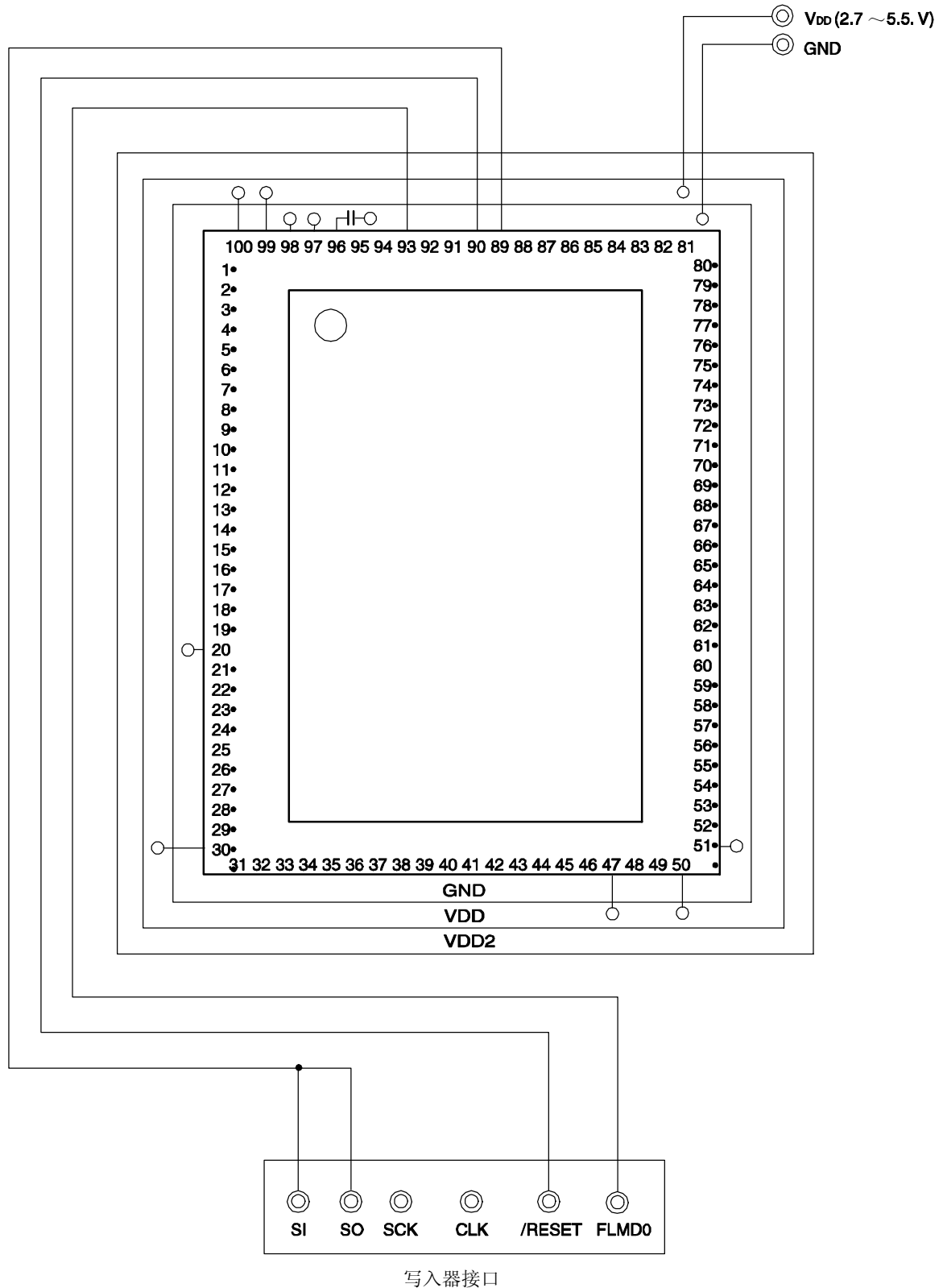
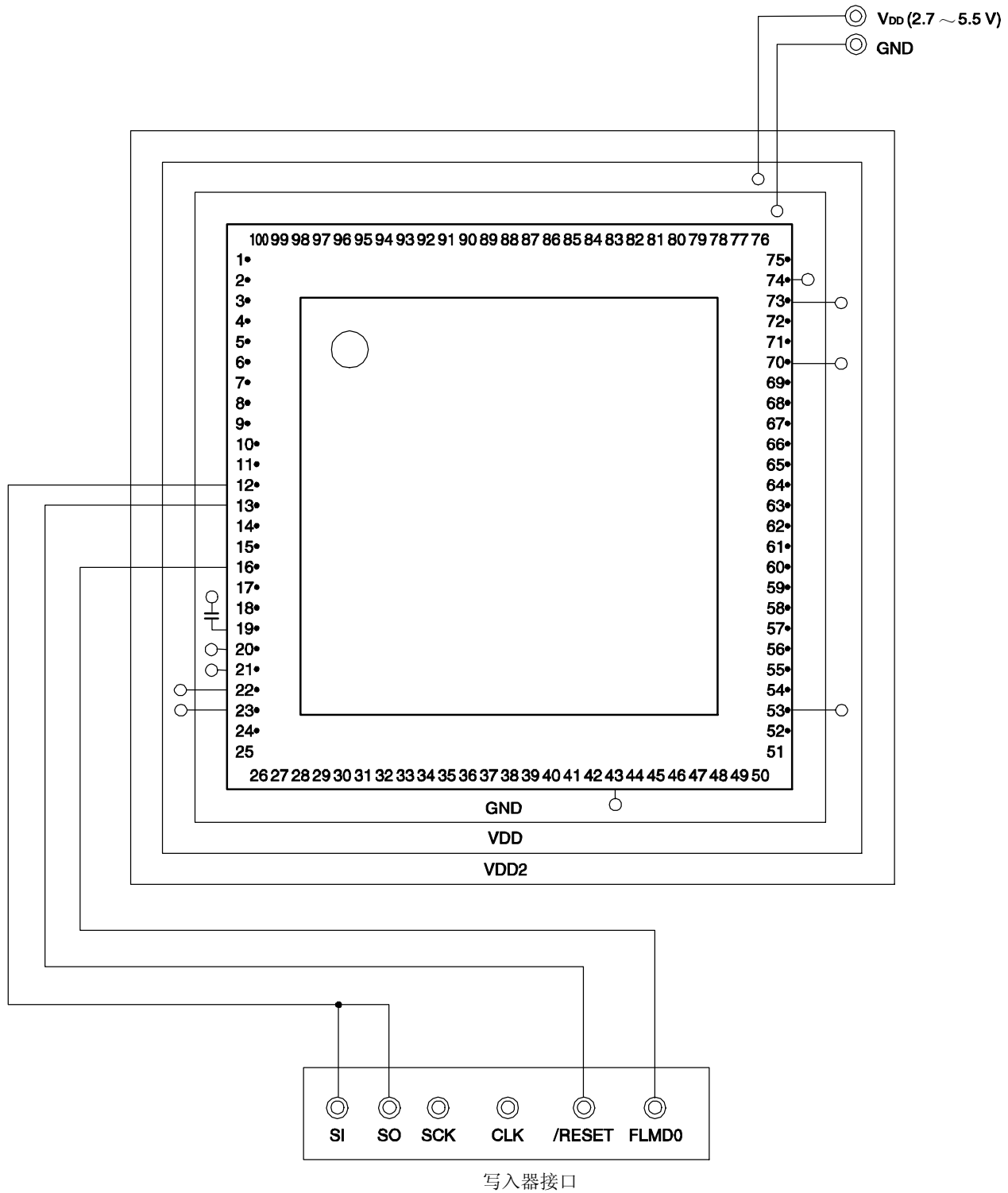


图 25-2 使用适配器对 Flash 存储器进行写操作示例 (GC 封装)



25.2 编程环境

以下是 78K0R/KG3 Flash 存储器写入所需的编程环境。

图 25-3. Flash 存储器编程环境



需要有一个控制专用 Flash 编程器的主机。

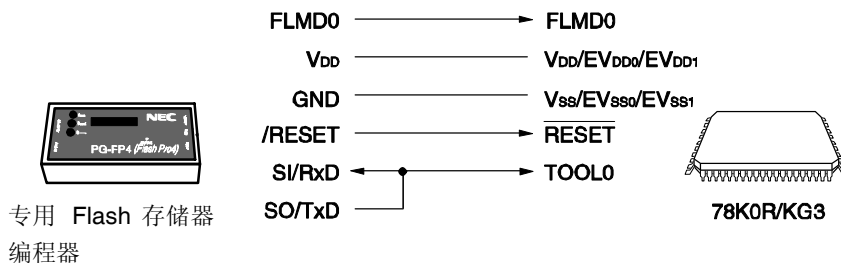
专用 Flash 存储器编程器与 78K0R/KG3 的接口使用专用单线 UART 进行写和擦除等操作。Flash 存储器 off-board 写操作时必须使用一个专用编程适配器（FA 系列）。

25.3 通信模式

专用 Flash 存储器编程器和 78K0R/KG3 之间的通信由串行通信建立，使用经 78K0R/KG3 的专用单线 UART 的 TOOL0 引脚。

发送速率: 115,200 bps ~ 1,000,000 bps

图 25-4. 与专用 Flash 存储器编程器通信



当使用 FlashPro4 作为专用 Flash 存储器编程器时，FlashPro4 给 78K0R/KG3 产生如下信号。详细情况，参考 FlashPro4 的用户手册。

表 25-2. 引脚连接

FlashPro4			78K0R/KG3	连接
信号名称	I/O	引脚功能	引脚名称	
FLMD0	输出	模式信号	FLMD0	ⓧ
V _{DD}	I/O	V _{DD} 电压产生/电压监测	V _{DD} , EV _{DD0} , EV _{DD1} , AV _{REF0} , AV _{REF1}	ⓧ
GND	—	地	V _{SS} , EV _{SS0} , EV _{SS1} , AV _{SS}	ⓧ
CLK	输出	时钟输出	—	x
/RESET	输出	复位信号	RESET	ⓧ
SI/RxD	输入	接收信号	TOOL0	ⓧ
SO/TxD	输出	发送信号		
SCK	输出	发送时钟	—	x

备注 ⓧ: 必须连接引脚。
 x: 引脚不必连接。

25.4 On Board 方式的引脚连接

对 Flash 存储器进行 on-board 写入操作时，目标系统必须有连接专用 Flash 编程器的连接器。电路板上首先要提供一个选择功能，可以选择正常操作模式或 Flash 存储器编程模式。

当设置 Flash 存储器编程模式时，那些不用于 Flash 存储器编程的引脚状态与复位后的状态相同。因此如果外部设备不能立即识别复位后的状态，则必须采用如下方式连接引脚。

25.4.1 FLMD0 引脚

(1) 在 flash 存储器编程模式

连接 FLMD0 引脚到专用 Flash 存储器编程器。在 Flash 存储器编程模式，V_{DD} 写电压提供给 FLMD0 引脚。FLMD0 引脚不需要外部下拉，因为它通过复位内部下拉。要使用外部下拉，使用一个 1 kΩ ~200 kΩ 的电阻器。

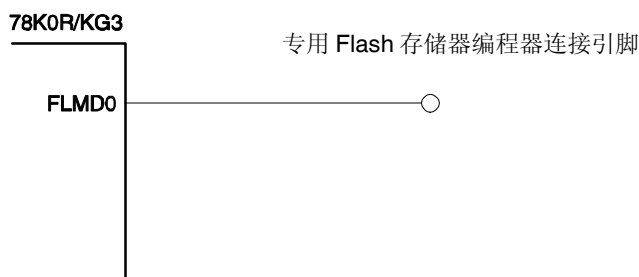
(2) 普通操作模式

FLMD0 引脚在复位释放前必须一直保持 V_{SS}，它不需要外部下拉，因为它通过复位内部下拉。要使用外部下拉，使用一个 1 kΩ ~200 kΩ 的电阻器。

(3) 由自编程写入期间

建议 FLMD0 引脚悬空。要使用外部下拉，使用一个 100 kΩ 的电阻器。在自编程模式下，在自编程库设置切换到上拉。

图 25-5. FLMD0 引脚连接示例



25.4.2 TOOL0 引脚

在 Flash 存储器编程模式，直接连接此引脚到专用 Flash 存储器编程器或经外部电阻连接 EV_{DD0} 或 EV_{DD1} 上拉。

当在普通操作模式下允许片上调试功能时，经外部电阻连接到 EV_{DD0} 或 EV_{DD1} 上拉此引脚，必须在复位释放前保持输入 V_{DD} 到 TOOL0 引脚 (禁止上拉此引脚)。

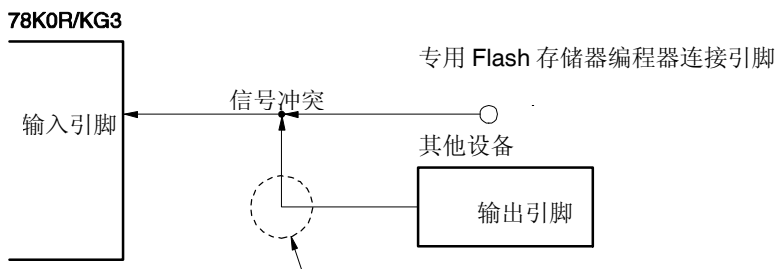
备注 SAU 和 IIC0 引脚不能用于 78K0R/KG3 和专用 Flash 存储器编程器之间的通信，因为使用单线 UART。

25.4.3 RESET 引脚

如果将专用 Flash 编程器的复位信号连接到 RESET 引脚（已连接到板上的复位信号发生器），则会产生信号冲突。为了避免这种情况，应隔离与复位信号发生器的连接。

在 Flash 存储器编程模式下，如果从用户系统输入复位信号，则不能对 Flash 存储器进行正确编程。因此除了专用 Flash 编程器的复位信号外，不要输入其它信号。

图 25-6. 信号冲突(RESET 引脚)



在 Flash 存储器编程模式中，复位信号发生器输出的信号与专用 Flash 存储器编程器的输出信号发生冲突。因此必须隔离复位信号发生器的信号。

25.4.4 端口引脚

当设置 Flash 存储器编程模式时，那些不用于 Flash 存储器编程的引脚状态与复位后的状态相同。因此，如果外部设备(与端口相连)不能立即识别复位后的状态，则必须通过一个电阻将端口引脚连接到 V_{DD} 或 V_{SS} 。

25.4.5 REGC 引脚

<R> 与普通操作期间相同，通过一个电容(0.47~ 1 μ F)连接 REGC 引脚到 GND。然而，在 STOP 模式中，因为内部高速振荡时钟和外部主系统始终的操作，建议为 0.47 μ F。使用特性好的电容，因为它用于稳定内部电压。

25.4.6 X1 和 X2 引脚

在普通操作模式下连接 X1 和 X2 在相同的状态。

备注 在 Flash 存储器编程模式下，使用内部高速振荡时钟 (f_{IH})。

25.4.7 供电电压

要使用 Flash 编程器输出的供电电压，则将 V_{DD} 引脚与 Flash 编程器的 V_{DD} 相连，将 V_{SS} 引脚与 Flash 编程器的 GND 相连。

要使用板上供电电压，要按正常操作模式连接。

然而，如果要使用 Flash 编程器的电压监视功能，必须将 V_{DD} 和 V_{SS} 引脚分别与 Flash 编程器的 V_{DD} 和 GND 相连。其它的供电电压（EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}, AV_{REF0}, AV_{REF1}, 和 AV_{SS}）与正常操作模式中的相同。

25.5 控制 Flash 存储器的寄存器

(1) 背景事件控制寄存器(BECTL)

即使 FLMD0 引脚不由外部控制，可通过 BECTL 寄存器由软件控制设置为自编程模式。

但是，根据 FLMD0 引脚的处理，可能不能由软件设置到自编程模式。使用 BECTL 时，建议 FLMD0 引脚悬空。当通过外部将其下拉时，使用大于 100 k 的电阻。另外，在普通操作模式下，使用 BECTL 和下拉选项。在自编程模式下，在自编程库中设置被切换到上拉。

BECTL 寄存器可由 1 位或 8 位存储器操作指令设置。

复位输入设置此寄存器为 00H。

图 25-7. 背景事件控制寄存器(BECTL)的格式

地址: FFFBEH 复位后: 00H R/W

符号	7	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0

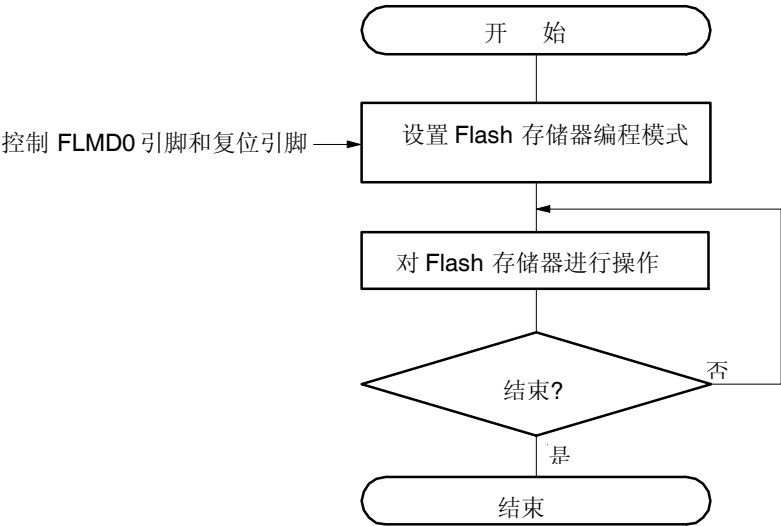
FLMDPUP	FLMD0引脚的软件控制
0	选择下拉
1	选择上拉

25.6 编程方法

25.6.1 控制 flash 存储器

下图显示了 Flash 存储器操作过程。

图 25-8. Flash 存储器操作过程



25.6.2 Flash 存储器编程模式

要使用专用 Flash 存储器编程器修改 flash 存储器的内容，设置 78K0R/KG3 为 Flash 存储器编程模式。而要设置该模式，必须将 FLMD0 引脚和 TOOL0 引脚连接到 V_{DD}，并对复位信号清零。

当 on-board 写 Flash 存储器时，使用跳线改变模式。

图 25-9. Flash 存储器编程模式

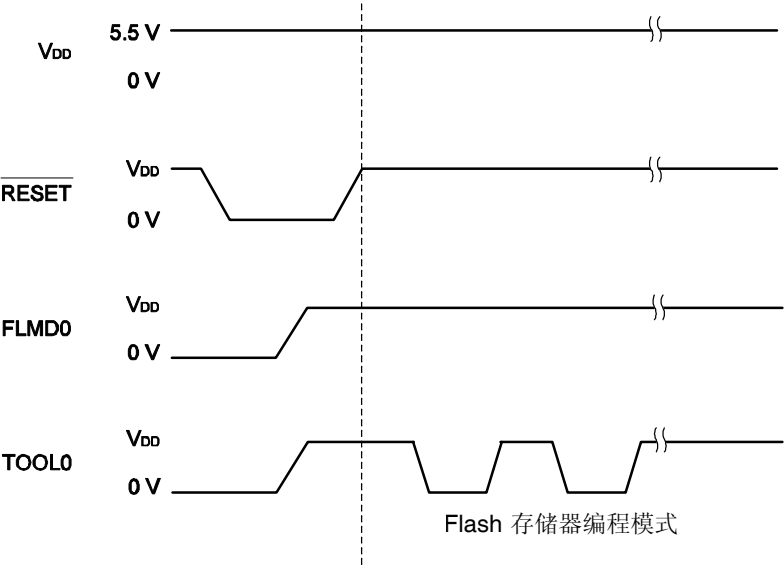


表 25-3. FLMD0 引脚和复位后的操作模式之间的关系

FLMD0	操作模式
0	普通操作模式
VDD	Flash 存储器编程模式

25.6.3 选择通信模式

78K0R/KG3 的通信模式如下。

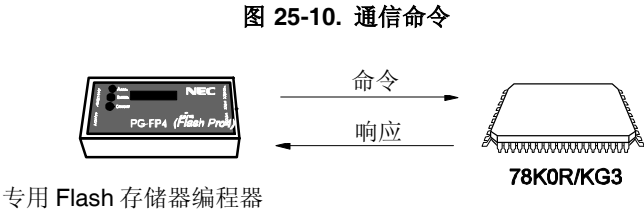
表 25-4. 通信模式

通信模式	标准设置 ^{注 1}				使用的引脚
	端口	速度	频率	倍率	
1 线模式 (专用单线 UART)	UART-ch0	1 Mbps ^{注 2}	—	—	TOOL0

- 注
- 1. Flash 存储器编程器的 GUI 上的标准设置选项。
 - 2. 波特率误差以外的因素，如信号波形瞬变，也会影响 UART 通信，因此必须象测量波特率误差一样严格测量瞬变。

25.6.4 通信命令

78K0R/KG3 使用命令与专用 Flash 存储器编程器进行通信。从 Flash 存储器编程器发往 78K0R/KG3 的信号称为命令，从 78K0R/KG3 发往专用 Flash 存储器编程器的命令称为响应。



78K0R/KG3 的 Flash 存储器控制命令列表如下。所有这些命令都从编程器发出，78K0R/KG3 根据相应的命令进行处理。

表 25-5. Flash 存储器控制命令

类别	命令名称	功能
校验	校验	将 flash 存储器指定区域的内容和从编程器发送的数据比较。
擦除	芯片擦除	擦除全部 flash 存储器内容。
	Block 擦除	擦除 flash 存储器的指定区域。
空白检测	Block 空白检测	检查 flash 存储器的指定 block 擦除状态
写	编程	在 Flash 存储器的指定区域写入数据。
获取信息	硅标记	获取 78K0R/KG3 信息 (比如产品型号和 flash 存储器配置)。
	版本获得	获取 78K0R/KG3 硬件版本。
	校验和	获得指定区域的校验和数据。
安全	安全设置	设置安全信息。
其他	复位	用于检查通信的同步状态。
	波特率设置	当选择 UART 通信模式时设置波特率。

78K0R/KG3 根据专用 Flash 编程器发出的命令返回一个响应。78K0R/KG3 发出的响应列表如下。

表 25-6. 响应名称

响应名称	功能
ACK	响应命令/数据
NAK	响应非法命令/数据

25.7 安全设置

78K0R/KG3 支持安全性功能，该功能禁止修改内部 flash 存储器的用户程序，所以程序不能被一个没有授权的人改变。

使用安全性设置命令可以执行如下操作。在设置下一个编程模式时，安全性设置有效。

- 禁止一次性擦除 (片擦除)

在 on-board/off-board 编程期间，该项设置禁止对 flash 存储器的所有 block 执行 block 擦除和一次性擦除(片擦除)命令。一旦禁止一次性擦除(片擦除)命令，所有的禁止设置项(包括禁止一次性擦除(片擦除))不能被取消。

注意事项 在对一次性擦除进行安全性设置后，不能再对该设置执行擦除操作。此外，由于禁止执行擦除命令，即使执行了写命令，与已经写到 Flash 存储器中的数据不同的数据也不能被写入。

- 禁止 block 擦除

在 on-board/off-board 编程期间，该项设置禁止对 Flash 存储器中的指定 block 进行擦除。但可通过自编程进行 block 擦除。

- 禁止写入

在 on-board/off-board 编程期间，该项设置禁止对 Flash 存储器所有 block 进行写和 block 擦除。但可通过自编程进行 block 擦除。

- 禁止重写引导簇 0

该项设置禁止对 Flash 存储器中引导簇 0 进行一次性擦除(片擦除)、block 擦除和写操作。

Flash 存储器在默认设置下，允许使用一次性擦除(片擦除)、block 擦除、写和重写引导簇 0 命令。以上安全性设置仅用于在 on-board/off-board 编程和自编程。各项安全性设置可以结合使用。

通过执行一次性擦除（片擦除）命令，可以取消禁止擦除 block 和写命令。

表 25-7 显示了当允许使用 78K0R/KG3 安全性功能时擦除命令和写命令之间的关系。

备注 在自编程期间要禁止写和擦除，使用 flash 关闭窗口功能(详细参见 25.8.2)。

表 25-7. 允许安全性功能和命令之间的关系

(1) on-board/off-board 编程期间

有效的安全性设置	执行的命令		
	一次性擦除(片擦除)	Block 擦除	写
禁止一次性擦除(片擦除)	不能一次性擦除	Block 不能被擦除。	有效 ^註
禁止 block 擦除	可以一次性擦除		有效
禁止写			无效
禁止重写引导簇 0	不能一次性擦除	引导簇 0 不能被擦除。	不能写引导簇 0

注 确认没有数据已写在被写的区域。因为禁止一次性擦除（片擦除）后，数据不能被擦除，所以在还有数据没被擦除的情况下要写数据。

(2) 自编程期间

有效的安全性设置	执行命令	
	Block 擦除	写入
禁止一次性擦除(片擦除)	Block 可被擦除。	可执行。
禁止 block 擦除		
禁止写		
禁止重写引导簇 0	引导簇 0 不能擦除。	引导簇 0 不能被写入。

备注 在自编程期间要禁止写和擦除，使用 flash 封闭窗口功能(详细参见 25.8.2)。

表 25-8. 在每个编程模式下设置安全性

(1) On-board/off-board 编程

安全	安全设置	如何禁止安全设置
禁止一次性擦除(片擦除)	通过专用 Flash 存储器编程器的 GUI 设置，等。	复位后不能禁止。
禁止 block 擦除		执行一次性擦除(片擦除)命令。
禁止写		
禁止重写引导簇 0		复位后不能禁止。

(2) 自编程

安全	安全设置	如何禁止安全设置
禁止一次性擦除(片擦除)	通过信息库设置。	复位后不能禁止。
禁止 block 擦除		在 on-board/off-board 编程期间（在自编程期间不能禁止）执行一次性擦除（片擦除）命令
禁止写		
禁止重写引导簇 0		

25.8 通过自编程进行 Flash 存储器编程

78K0R/KG3 支持自编程功能，即可以通过用户程序重写 Flash 存储器。由于该功能允许用户应用程序使用 78K0R/KG3 自编程重写 flash 存储器，因此可用于对程序升级。

如果自编程期间产生中断，可以暂时停止自编程操作，而去执行中断服务程序。要执行中断服务程序，应在停止自编程操作后恢复正常操作模式，并执行 EI 指令。而在恢复自编程模式后，可以恢复自编程操作。但是，中断响应时间与在普通模式下不同。

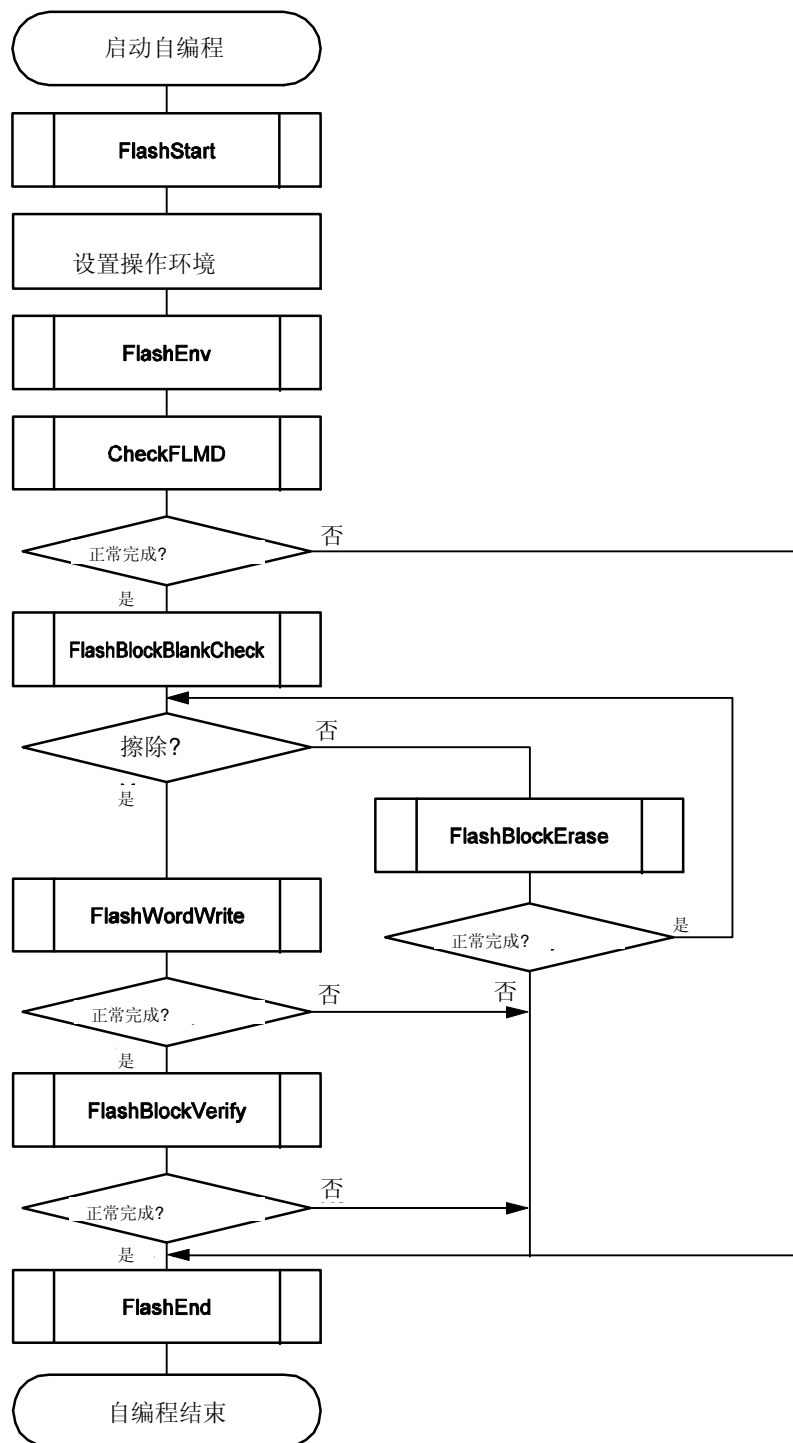
备注 如需了解自编程功能和 78K0R/KG3 自编程库的详细信息，可参见 **78K0R/Kx3 自编程库用户手册 (U18303E)**。

- 注意事项**
1. 当 CPU 使用副系统时钟时不能使用自编程功能。
 2. 在自编程模式下，调用自编程开始库 (**FlashStart**)。
 3. 在自编程期间要禁止一个中断，与在普通操作模式下方法相同，在自编程库中，IE 标志清为 (0)，通过 DI 指令执行。要允许中断，将中断屏蔽标志清 (0)，通过 EI 指令设置 IE 标志为 (1)，然后执行自编程库。
 4. 在低损耗电流模式下，自编程功能禁止。低损耗电流模式的详细内容，参见第二十三章校准器。

<R>

下图所示为通过使用自编程库修改 flash 存储器的流程图。

图 25-11. 自编程的流程图 (重写 Flash 存储器)



备注 如需了解自编程例子库的详细信息，可参考 **78K0R/Kx3 自编程库用户手册(U18303E)**。

25.8.1 引导交换功能

如果在自编程期间由于电源失效或其它原因导致重写引导区域的操作失败，则引导区域的数据可能会丢失且不能通过复位重启程序。

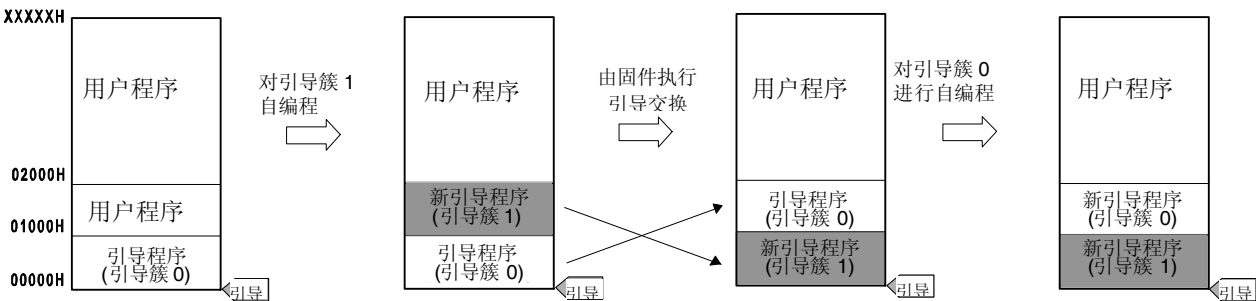
使用引导交换功能可以避免这种情况。

在擦除引导簇 0(这是一个引导程序区域)*之前，先通过自编程将一个新的引导程序写入引导簇 1。当将该程序正确写入引导簇 1 后，通过使用 78K0R/KG3 固件的设置信息功能将引导簇 1 与引导簇 0 的内容交换，这样引导簇 1 就用作引导区域。之后对初始引导程序区域，即引导簇 0 进行擦除或写操作。

这样，即使在重写引导程序区域时出现电源失效，也能够正确执行程序，这是因为程序在复位并再次执行时实行了从引导簇 1 的引导交换。

注 引导簇是 4 KB 区域，引导簇 0 和 1 通过引导交换功能进行交换。

图 25-12. 引导交换功能

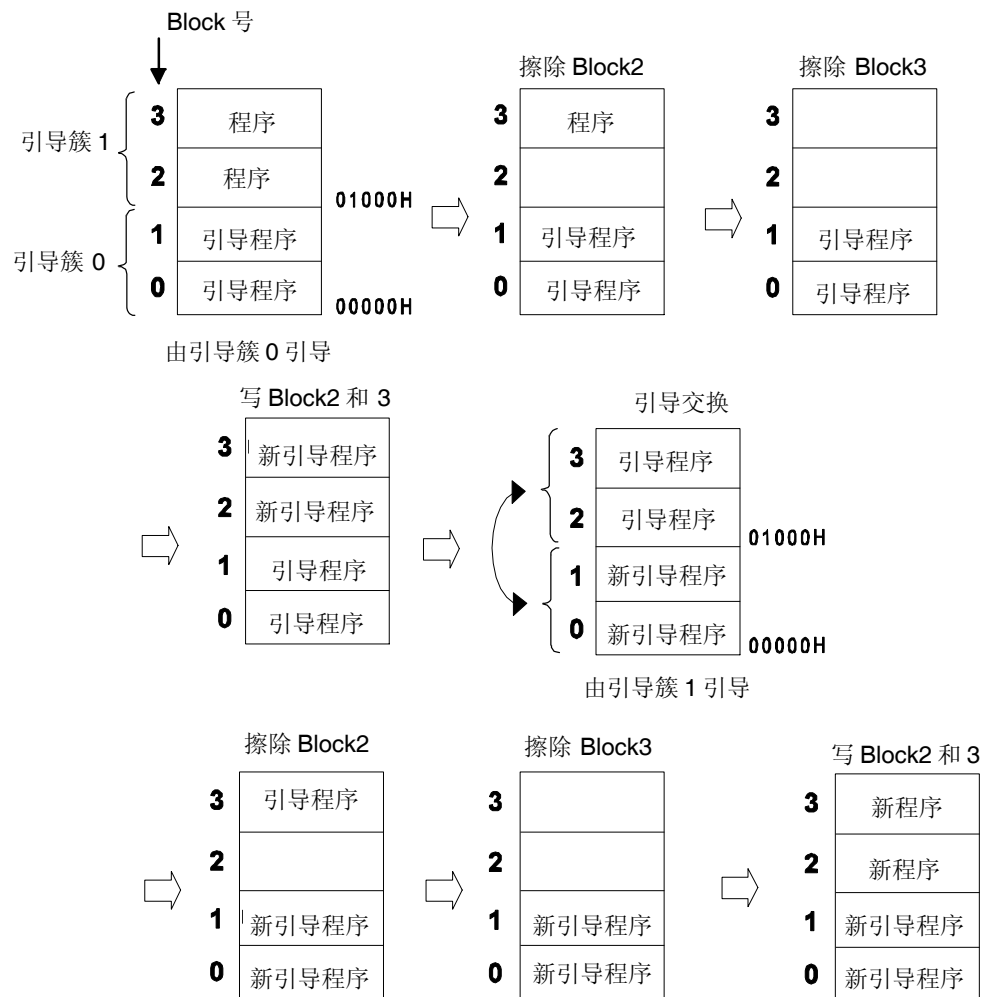


上图的示例如下。

引导簇 0: 引导交: 用户程序 序区域

引导簇 1: 引导交换后的引导程序区域

图 25-13. 引导交换执行示例



25.8.2 Flash 封闭窗口功能

Flash 封闭窗口功能作为一种为自编程提供的安全功能。

在自编程期间，对 flash 存储器进行写入和擦除在窗口指定范围内允许操作，写入和擦除在 flash 存储器指定范围以外则操作禁止。

窗口范围可以通过设置、在 on-board/off-board 编程中修改和自编程扩大或缩小。但是，保护功能只有在自编程期间有效。在 on-board/off-board 编程时，允许对 flash 存储器进行写入和擦除操作超出窗口范围。

注意事项 如果引导簇 0 的修改禁止区域超出 flash 保护窗口范围，则禁止修改引导簇 0 有优先权。

表 25-9. Flash 封闭窗口功能设置/修改方法和命令之间的关系

编程条件	窗口范围设置/修改方法	执行命令	
		Block 擦除	写
自编程	通过设置信息库指定开始和结束 block。	只有在窗口范围内允许 Block 擦除。	只有在窗口范围内允许写入。
On-board/Off-board 编程	在专用 Flash 存储器编程器的 GUI 指定开始和结束 block, 等。	超出窗口范围 Block 擦除也允许。	超出窗口范围写入也允许。

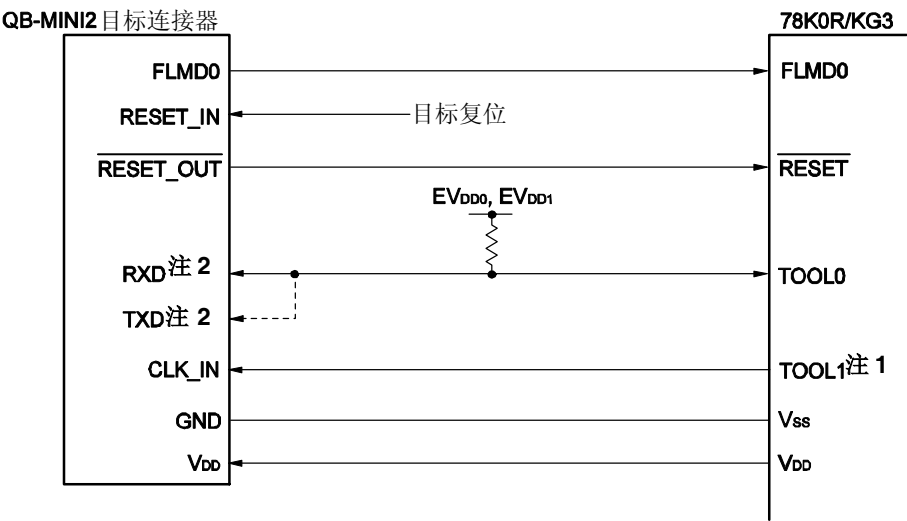
备注 参见 25.7 安全设置，禁止在 on-board/off-board 编程时写入/擦除。

26.1 连接 QB-MINI2 到 78K0R/KG3

78K0R/KG3 使用 V_{DD}, FLMD0, $\overline{\text{RESET}}$, TOOL0, TOOL1^注, 和 V_{SS} 引脚, 通过片上调试仿真器(QB-MINI2) 与主机通信, 进行片上调试。

注意事项 78K0R/KG3 具有片上调试功能。由于在使用片上调试功能后产品的稳定性不能得到保证, 因此在给定 flash 存储器可重写次数的情况下不要将该产品用于大规模生产。NEC Electronics 不接受有关该产品的投诉。

图 26-1. QB-MINI2 和 78K0R/KG3 的连接示例



- 注**
1. 在 1 线模式下通讯不需要连接, 但在 2 线模式下通信需要连接。在此时, 因为当不连接 QB-MINI2 时 TOOL1 为不使用引脚, 根据表 2-2 未使用引脚的连接执行必要的连接。
 2. 由于 QB-MIN2 内 RXD 和 TXD 短接因此虚线连接的部分不是必须的。当使用其它 flash 存储器编程器, 在编程器内 RXD 和 TXD 可能不会短接, 在这种情况下, 必须在目标系统短接。

备注 自编程在片上调试时建议 FLMD0 引脚悬空。要通过外部下拉, 使用大于 100 k Ω 的电阻。

1 线模式 (单线 UART) 使用 TOOL0 引脚, 2 线模式使用 TOOL0 和 TOOL1 引脚, 用于 flash 存储器变成的串行通信。1 线模式或 2 线模式被用于片上调试。表 26-1 所列为 1 线模式和 2 线模式之间的区别。

表 26-1. 1 线模式和 2 线模式之间的区别列表

通信模式	Flash 存储器编程功能	调试功能
1 线模式	可用	- 不支持伪实时 RAM 监控(RRM)功能。 - 不支持 DMM 功能(在运行中修改存储器)。 - 调试器的速度比 2 线模式慢 2 到 4 次。
2 线模式	无	- 支持伪实时 RAM 监控(RRM)功能。 - 支持 DMM 功能 (在运行中修改存储器) 。

备注 2 线模式不用于 flash 编程，因此，即使 TOOL1 引脚连接到 QB-MINI2 的 CLK_IN，写入操作没有问题正常执行。

26.2 片上调试安全 ID

在 78K0R/KG3 中，一个片上调试操作控制标志存放在 flash 存储器地址 000C3H 中 (参见第二十四章 选项字节)，片上调试安全 ID 设置在地址 000C4H～000CDH 中，以防止第三方读取存储器内容。

当使用引导交换功能时，由于 000C3H、0000C4H ～ 000CDH 与 010C3H 以及 010C4H ～010CDH 的内容被交换，因此预先设置与 010C3H 以及 010C4H ～ 010CDH 的内容相同的值。

关于片上调试安全 ID，请参考 QB-MINI2 用户手册 (U18371)。

表 26-2. 片上调试安全 ID

地址	片上调试安全 ID
000C4H～000CDH	10 字节的 ID 代码
010C4H～ 010CDH	

<R> 26.3 用户源的安全

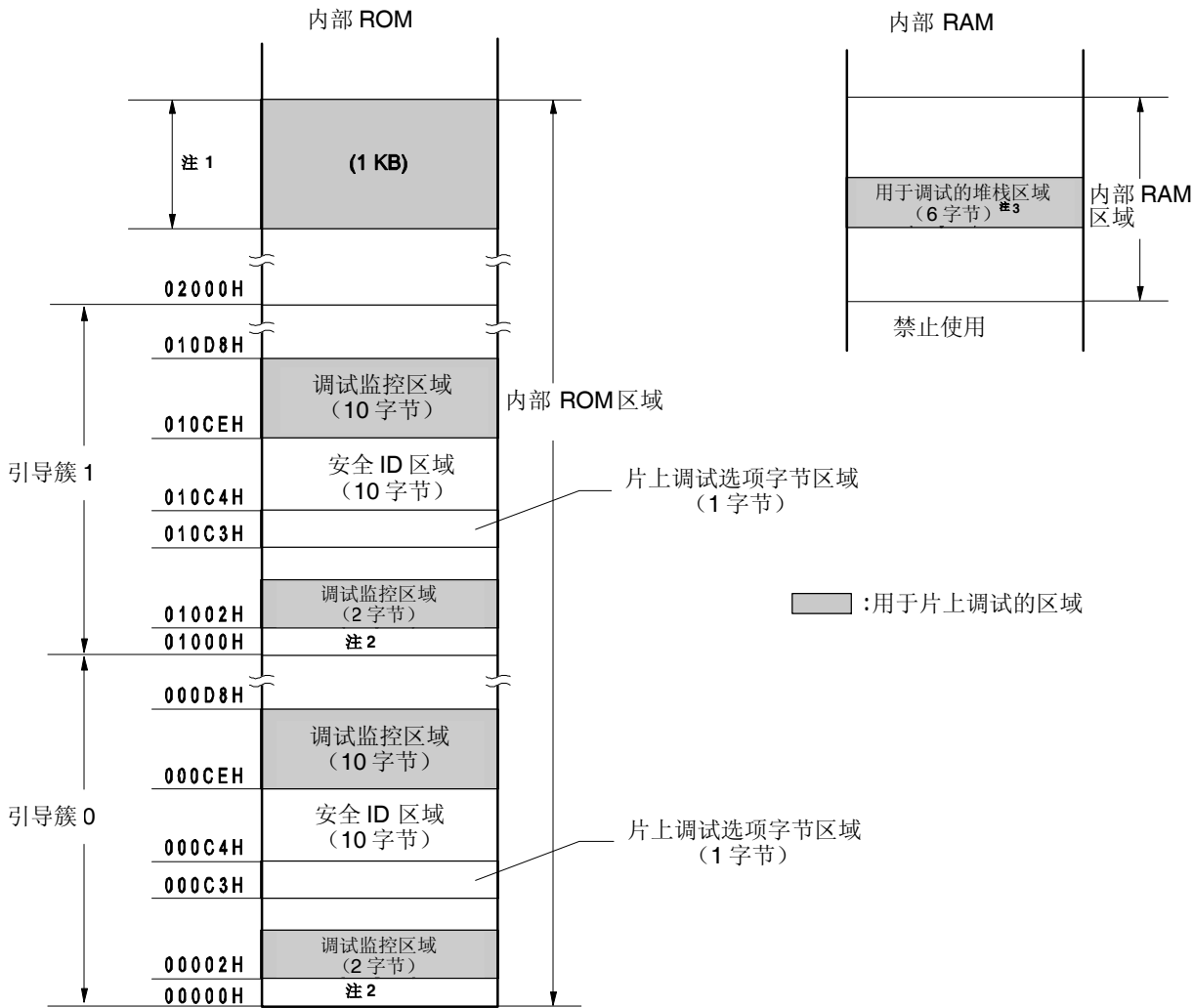
要执行 78K0R/KG3 和 QB-MINI2 之间的串行通信，也就是每个调试功能，必须预先执行存储器空间的安全。

如果使用 NEC Electronics 汇编程序 RA78K0R 或编译器 CC78K0R，可以通过链接选项设置。

(1) 存储器空间的稳定性

图 26-2 中的阴影部分是保留给调试监控程序的区域，所以用户程序或数据不能被分配在这些空间。当使用片上调试功能时，这些空间必须是安全的，不能被用户程序使用。而且，这些区域也不能被用户程序修改。

图 26-2. 调试监控程序分配的存储器空间



注 1. 根据产品不同地址区别如下

产品	内部 ROM	地址
μPD78F1162	64 KB	0FC00H-0FFFFH
μPD78F1163	96 KB	17C00H-17FFFH
μPD78F1164	128 KB	1FC00H-1FFFFH
μPD78F1165	192 KB	2FC00H-2FFFFH
μPD78F1166	256 KB	3FC00H-3FFFFH
μPD78F1167	384 KB	5FC00H-5FFFFH
μPD78F1168	512 KB	7FC00H-7FFFFH

- 2. 调试中，复位向量被重写到分配给监控程序的地址。
- 3. 由于此区域分配在堆栈区域前，此区域的地址根据堆栈增大和减小而不同。所用堆栈区域需要 6 个字节。

存储器空间的安全方法的详细内容，参考 **QB-MINI2 用户手册 (U18371)**。

27.1 BCD 修正电路功能

BCD (二进制码十进数)码的加/减结果和 BCD 码可通过此电路获得作为 BCD 码。
十进数修正操作结果通过执行加/减指令获得，A 寄存器作为操作数，加/减 BCDADJ 寄存器。

27.2 BCD 修正电路使用的寄存器

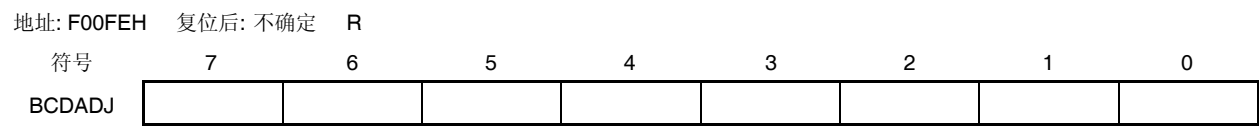
BCD 修正电路使用如下寄存器。

- BCD 修正结果寄存器(BCDADJ)

(1) BCD 修正结果寄存器 (BCDADJ)

BCDADJ 寄存器 保存修正值，通过使用 A 寄存器作为操作数的加/减指令，以获得作为 BCD 码的加/减结果。
从 BCDADJ 寄存器读取的值根据 A 寄存器 读取时的值和 CY 与 AC 标志的值不同而不同。
BCDADJ 可以由 8 位存储器操作指令读取。
复位输入后此寄存器的值不确定。

图 27-1. BCD 修正结果寄存器 (BCDADJ)的格式



27.3 BCD 修正电路操作

BCD 修正电路的基本操作如下。

(1) 加指令

- <1> 第二个操作数的值 (要加的 BCD 码的值) 存储在 A 寄存器中。
- <2> 通过 A 寄存器与第二操作数 (待加 BCD 码的值) 的值以二进制相加, 二进制加结果存储在 A 寄存器中, 修正值存储在 BCDADJ 寄存器中。
- <3> 通过加 A 寄存器 (二进制相加结果) 的二进制码的值和 BCDADJ 寄存器 (修正值) 完成十进制数修正, 并且修正结果存储在 A 寄存器和 CY 寄存器中。

注意事项 从 BCDADJ 寄存器读取的值根据 A 寄存器 读取时的值和 CY 与 AC 标志的值不同而不同。因此, 在指令<2>后执行指令<3>, 而不执行其他指令。要在中断允许状态下执行 BCD 修正, 需要在中断功能中保存和恢复 A 寄存器。PSW (CY 标志和 AC 标志) 通过 RETI 指令恢复。

下面所示为例子。

举例 1: $99 + 89 = 188$

指令	A 寄存器	CY 寄存器	AC 标志	BCDADJ 寄存器
MOV A, #99H ; <1>	99H	—	—	—
ADD A, #89H ; <2>	22H	1	1	66H
ADD A, !BCDADJ ; <3>	88H	1	0	—

举例 2: $85 + 15 = 100$

指令	A 寄存器	CY 寄存器	AC 标志	BCDADJ 寄存器
MOV A, #85H ; <1>	85H	—	—	—
ADD A, #15H ; <2>	9AH	0	0	06H
ADD A, !BCDADJ ; <3>	00H	1	1	—

举例 3: $80 + 80 = 160$

指令	A 寄存器	CY 寄存器	AC 标志	BCDADJ 寄存器
MOV A, #80H ; <1>	80H	—	—	—
ADD A, #80H ; <2>	00H	1	0	60H
ADD A, !BCDADJ ; <3>	60H	1	0	—

(2) 减指令

- <1> 第二个操作数的值 (要减的 BCD 码的值)存储在 A 寄存器中。
- <2> 通过从 A 寄存器减第二操作数 (待减 BCD 码的值) 的值以二进制相减，二进制减结果存储在 A 寄存器中，修正值存储在 BCDADJ 寄存器中。
- <3> 通过 A 寄存器 (二进制相减结果)的二进制码的值减 BCDADJ 寄存器 (修正值)完成十进制数修正，并且修正结果存储在 A 寄存器和 CY 寄存器中。

注意事项 从 BCDADJ 寄存器读取的值根据 A 寄存器 读取时的值和 CY 与 AC 标志的值不同而不同。因此，在指令<2>后执行指令 <3> ，而不执行其他指令。要在中断允许状态下执行 BCD 修正，需要在中断功能中保存和恢复 A 寄存器。PSW (CY 标志和 AC 标志)通过 RETI 指令恢复。

下面所示为例子。

举例: $91 - 52 = 39$

指令	A 寄存器	CY 寄存器	AC 标志	BCDADJ 寄存器
MOV A, #91H ; <1>	91H	—	—	—
SUB A, #52H ; <2>	3FH	0	1	06H
SUB A, !BCDADJ ; <3>	39H	0	0	—

本章以表格方式列出了 78K0R 微控制器的指令集。如需了解每种指令的操作和操作代码，可参阅 **78K0R 微控制器指令用户手册(U17792E)**。

备注 表 28-5 操作列表 中的阴影部分的表格表示操作或指令格式是为 78K0R 微控制器新添加的。

28.1 操作列表使用规则

28.1.1 操作数标识符和标识方法

根据规范确定的指令操作数标识方法（详情可参见汇编程序编程规范），在每种指令的“操作数”栏列出操作数。如果有两种或两种以上的标识方法，可选其中之一。大写字母和符号#, !, !!, \$, \$!, [],和 ES:是关键字，必须按其原样书写。每种符号的含义如下所示。

- #: 立即数标识
- !: 16 位绝对地址标识
- !!: 20 位绝对地址标识
- \$: 8 位相对地址标识
- \$!: 16 位相对地址标识
- []: 间接地址标识
- ES:: 扩展地址标识

立即数用来描述一个数值型数据或标号。当使用标号时，注意必须加上符号#, !, !!, \$, \$!, [], 和 ES:。

对应操作数寄存器标识符 r 和 rp，功能名称（X, A, C, 等）或绝对名称（下表括号中的名称： R0, R1, R2 等）都可用于标识。

表 28-1. 操作数标识符和标识方法

标识符	标识方法
r rp sfr sfrp	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7) AX (RP0), BC (RP1), DE (RP2), HL (RP3) 特殊功能寄存器符号 (SFR 符号) 特殊功能寄存器符号 (16 位可操作表 SFR 符号。仅用于偶地址 [※])
saddr saddrp	FFE20H~FFF1FH 立即数或标号 FFE20H~FF1FH 立即数或标号(仅用于偶地址 [※])
addr20 addr16 addr5	00000H~FFFFFFH 立即数或标号 0000H~FFFFH 立即数或标号 (仅用于 16 位可操作寄存器偶地址 [※]) 0080H~00BFH 立即数或标号 (仅用于偶地址)
word byte bit	16 位立即数或标号 8 位立即数或标号 3 位立即数或标号
RBn	RB0~RB3

注 当奇地址指定时第0位 = 0。

备注 特殊功能寄存器符号，参见表 3-5 SFR 列表 和表 3-6 扩展 SFR (第二 SFR) 列表。

28.1.2 操作栏描述

执行指令时的操作在操作栏中如以下符号所示。

表 28-2. 在“操作”栏中的符号

符号	功能
A	A 寄存器; 8 位累加器
X	X 寄存器
B	B 寄存器
C	C 寄存器
D	D 寄存器
E	E 寄存器
H	H 寄存器
L	L 寄存器
ES	ES 寄存器
CS	CS 寄存器
AX	AX 寄存器对; 16 位累加器
BC	BC 寄存器对
DE	DE 寄存器对
HL	HL 寄存器对
PC	程序计数器
SP	堆栈指针
PSW	程序状态字
CY	进位标志
AC	辅助进位标志
Z	零标志
RBS	寄存器 bank 选择标志
IE	中断请求允许标志
()	括号中的地址或寄存器所指的存储单元的内容
X _H , X _L	16 位寄存器: X _H = 高 8 位, X _L = 低 8 位
X _S , X _H , X _L	20 位寄存器: X _S = (第 19~16 位), X _H = (第 15~8 位), X _L = (第 7~0 位)
^	逻辑与 (AND)
∨	逻辑或 (OR)
⊕	逻辑异或 (exclusive OR)
—	数据取反
addr16	16 位立即数
addr20	20 位立即数
jdisp8	带符号的 8 位数据 (偏移量)
jdisp16	带符号的 16 位数据 (偏移量)

28.1.3 标志操作栏的描述

执行指令时标志值的改变在标志栏中如以下符号所示。

表 28-3. “标志”栏中的符号

符号	标志值的改变
(空)	不变
0	清为 0
1	设置为 1
×	根据结果进行设置/清零
R	恢复先前保存的值

28.1.4 前缀指令

带 ES:的指令具有前缀操作码，通过将 ES 寄存器的值与 F0000H 到 FFFFFH 的 64KB 空间相加可以扩展数据访问区域到 1MB(00000H~FFFFFH)空间。当前缀操作码作为前缀附加到目标指令时，执行前缀操作码之后仅一条指令的地址与 ES 寄存器的值相加。

表 28-4. PREFIX 操作码的使用示例

指令	操作码				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意事项 在执行前缀指令之前用 MOV ES, A 等设置 ES 寄存器的值。

28.2 操作列表

表 28-5. 操作列表 (1/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据发送	MOV	r, #byte	2	1	—	$r \leftarrow \text{byte}$			
		saddr, #byte	3	1	—	$(\text{saddr}) \leftarrow \text{byte}$			
		sfr, #byte	3	1	—	$\text{sfr} \leftarrow \text{byte}$			
		!addr16, #byte	4	1	—	$(\text{addr16}) \leftarrow \text{byte}$			
		A, r ^{注 3}	1	1	—	$A \leftarrow r$			
		r, A ^{注 3}	1	1	—	$r \leftarrow A$			
		A, saddr	2	1	—	$A \leftarrow (\text{saddr})$			
		saddr, A	2	1	—	$(\text{saddr}) \leftarrow A$			
		A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, !addr16	3	1	4	$A \leftarrow (\text{addr16})$			
		!addr16, A	3	1	—	$(\text{addr16}) \leftarrow A$			
		PSW, #byte	3	3	—	$\text{PSW} \leftarrow \text{byte}$	x	x	x
		A, PSW	2	1	—	$A \leftarrow \text{PSW}$			
		PSW, A	2	3	—	$\text{PSW} \leftarrow A$	x	x	x
		ES, #byte	2	1	—	$\text{ES} \leftarrow \text{byte}$			
		ES, saddr	3	1	—	$\text{ES} \leftarrow (\text{saddr})$			
		A, ES	2	1	—	$A \leftarrow \text{ES}$			
		ES, A	2	1	—	$\text{ES} \leftarrow A$			
		CS, #byte	3	1	—	$\text{CS} \leftarrow \text{byte}$			
		A, CS	2	1	—	$A \leftarrow \text{CS}$			
		CS, A	2	1	—	$\text{CS} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		[DE + byte], #byte	3	1	—	$(\text{DE} + \text{byte}) \leftarrow \text{byte}$			
		A, [DE + byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE + byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		[HL + byte], #byte	3	1	—	$(\text{HL} + \text{byte}) \leftarrow \text{byte}$			

注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。

2. 当程序存储器区域被访问时。

3. R = A 除外

备注

1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。

2. 该时钟周期用于内部 ROM (flash 存储器) 程序。

3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (2/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据发送	MOV	A, [HL + byte]	2	1	4	$A \leftarrow (HL + \text{byte})$			
		[HL + byte], A	2	1	–	$(HL + \text{byte}) \leftarrow A$			
		A, [HL + B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL + B], A	2	1	–	$(HL + B) \leftarrow A$			
		A, [HL + C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL + C], A	2	1	–	$(HL + C) \leftarrow A$			
		word[B], #byte	4	1	–	$(B + \text{word}) \leftarrow \text{byte}$			
		A, word[B]	3	1	4	$A \leftarrow (B + \text{word})$			
		word[B], A	3	1	–	$(B + \text{word}) \leftarrow A$			
		word[C], #byte	4	1	–	$(C + \text{word}) \leftarrow \text{byte}$			
		A, word[C]	3	1	4	$A \leftarrow (C + \text{word})$			
		word[C], A	3	1	–	$(C + \text{word}) \leftarrow A$			
		word[BC], #byte	4	1	–	$(BC + \text{word}) \leftarrow \text{byte}$			
		A, word[BC]	3	1	4	$A \leftarrow (BC + \text{word})$			
		word[BC], A	3	1	–	$(BC + \text{word}) \leftarrow A$			
		[SP + byte], #byte	3	1	–	$(SP + \text{byte}) \leftarrow \text{byte}$			
		A, [SP + byte]	2	1	–	$A \leftarrow (SP + \text{byte})$			
		[SP + byte], A	2	1	–	$(SP + \text{byte}) \leftarrow A$			
		B, saddr	2	1	–	$B \leftarrow (\text{saddr})$			
		B, !addr16	3	1	4	$B \leftarrow (\text{addr16})$			
		C, saddr	2	1	–	$C \leftarrow (\text{saddr})$			
		C, !addr16	3	1	4	$C \leftarrow (\text{addr16})$			
		X, saddr	2	1	–	$X \leftarrow (\text{saddr})$			
		X, !addr16	3	1	4	$X \leftarrow (\text{addr16})$			
		ES:!addr16, #byte	5	2	–	$(ES, \text{addr16}) \leftarrow \text{byte}$			
		A, ES:!addr16	4	2	5	$A \leftarrow (ES, \text{addr16})$			
		ES:!addr16, A	4	2	–	$(ES, \text{addr16}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (ES, DE)$			
		ES:[DE], A	2	2	–	$(ES, DE) \leftarrow A$			
		ES:[DE + byte], #byte	4	2	–	$((ES, DE) + \text{byte}) \leftarrow \text{byte}$			
		A, ES:[DE + byte]	3	2	5	$A \leftarrow ((ES, DE) + \text{byte})$			
		ES:[DE + byte], A	3	2	–	$((ES, DE) + \text{byte}) \leftarrow A$			

注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。

2. 当程序存储器区域被访问时。

备注

1. 一个指令时钟周期是指由系统时钟控制寄存器（CKC）选择的 CPU 时钟（fcpu）的一个周期。

2. 该时钟周期用于内部 ROM（flash 存储器）程序。

3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (3/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据发送	MOV	A, ES:[HL]	2	2	5	$A \leftarrow (ES, HL)$			
		ES:[HL], A	2	2	—	$(ES, HL) \leftarrow A$			
		ES:[HL + byte], #byte	4	2	—	$((ES, HL) + \text{byte}) \leftarrow \text{byte}$			
		A, ES:[HL + byte]	3	2	5	$A \leftarrow ((ES, HL) + \text{byte})$			
		ES:[HL + byte], A	3	2	—	$((ES, HL) + \text{byte}) \leftarrow A$			
		A, ES:[HL + B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL + B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, ES:[HL + C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL + C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		ES:word[B], #byte	5	2	—	$((ES, B) + \text{word}) \leftarrow \text{byte}$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((ES, B) + \text{word})$			
		ES:word[B], A	4	2	—	$((ES, B) + \text{word}) \leftarrow A$			
		ES:word[C], #byte	5	2	—	$((ES, C) + \text{word}) \leftarrow \text{byte}$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((ES, C) + \text{word})$			
		ES:word[C], A	4	2	—	$((ES, C) + \text{word}) \leftarrow A$			
		ES:word[BC], #byte	5	2	—	$((ES, BC) + \text{word}) \leftarrow \text{byte}$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((ES, BC) + \text{word})$			
		ES:word[BC], A	4	2	—	$((ES, BC) + \text{word}) \leftarrow A$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, \text{addr16})$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, \text{addr16})$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, \text{addr16})$			
	XCH	A, r ^{注 3}	1 (r=X) 2 (除 r=X)	1	—	$A \longleftrightarrow r$			
		A, saddr	3	2	—	$A \longleftrightarrow (\text{saddr})$			
		A, sfr	3	2	—	$A \longleftrightarrow \text{sfr}$			
		A, !addr16	4	2	—	$A \longleftrightarrow (\text{addr16})$			
		A, [DE]	2	2	—	$A \longleftrightarrow (DE)$			
		A, [DE + byte]	3	2	—	$A \longleftrightarrow (DE + \text{byte})$			
		A, [HL]	2	2	—	$A \longleftrightarrow (HL)$			
		A, [HL + byte]	3	2	—	$A \longleftrightarrow (HL + \text{byte})$			
		A, [HL + B]	2	2	—	$A \longleftrightarrow (HL + B)$			
		A, [HL + C]	2	2	—	$A \longleftrightarrow (HL + C)$			

注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。

2. 当程序存储器区域被访问时。

3. R = A 除外

备注

1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。

2. 该时钟周期用于内部 ROM (flash 存储器) 程序。

3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (4/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位数据发送	XCH	A, ES:laddr16	5	3	—	$A \leftrightarrow (ES, \text{addr16})$			
		A, ES:[DE]	3	3	—	$A \leftrightarrow (ES, DE)$			
		A, ES:[DE + byte]	4	3	—	$A \leftrightarrow ((ES, DE) + \text{byte})$			
		A, ES:[HL]	3	3	—	$A \leftrightarrow (ES, HL)$			
		A, ES:[HL + byte]	4	3	—	$A \leftrightarrow ((ES, HL) + \text{byte})$			
		A, ES:[HL + B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$			
		A, ES:[HL + C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
		laddr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:laddr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
	CLRB	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
		laddr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:laddr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
	MOVS	[HL + byte], X	3	1	—	$(HL + \text{byte}) \leftarrow X$	×		×
		ES:[HL + byte], X	4	2	—	$(ES, HL + \text{byte}) \leftarrow X$	×		×
16 位数据发送	MOVW	rp, #word	3	1	—	$rp \leftarrow \text{word}$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow \text{word}$			
		sfrp, #word	4	1	—	$sfrp \leftarrow \text{word}$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			
		AX, rp ^{注 3}	1	1	—	$AX \leftarrow rp$			
		rp, AX ^{注 3}	1	1	—	$rp \leftarrow AX$			

注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。

2. 当程序存储器区域被访问时。

3. Rp = AX 除外

备注

1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。

2. 该时钟周期用于内部 ROM (flash 存储器) 程序。

3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (5/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位 数 据发送	MOVW	AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	–	(addr16) ← AX			
		AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	–	(DE) ← AX			
		AX, [DE + byte]	2	1	4	AX ← (DE + byte)			
		[DE + byte], AX	2	1	–	(DE + byte) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	–	(HL) ← AX			
		AX, [HL + byte]	2	1	4	AX ← (HL + byte)			
		[HL + byte], AX	2	1	–	(HL + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	–	(B + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	–	(C + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	–	(BC + word) ← AX			
		AX, [SP + byte]	2	1	–	AX ← (SP + byte)			
		[SP + byte], AX	2	1	–	(SP + byte) ← AX			
		BC, saddrp	2	1	–	BC ← (saddrp)			
		BC, !addr16	3	1	4	BC ← (addr16)			
		DE, saddrp	2	1	–	DE ← (saddrp)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		HL, saddrp	2	1	–	HL ← (saddrp)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	–	(ES, addr16) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	–	(ES, DE) ← AX			
		AX, ES:[DE + byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE + byte], AX	3	2	–	((ES, DE) + byte) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	–	(ES, HL) ← AX			

- 注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。

- 备注 1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (6/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位 数 数据发送	MOVW	AX, ES:[HL + byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL + byte], AX	3	2	–	((ES, HL) + byte) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	–	((ES, B) + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	–	((ES, C) + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	–	((ES, BC) + word) ← AX			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
	XCHW	AX, rp ^{注 3}	1	1	–	AX ↔ rp			
	ONEW	AX	1	1	–	AX ← 0001H			
		BC	1	1	–	BC ← 0001H			
	CLRW	AX	1	1	–	AX ← 0000H			
		BC	1	1	–	BC ← 0000H			
8 位操作	ADD	A, #byte	2	1	–	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	–	(saddr), CY ← (saddr) + byte	×	×	×
		A, r ^{注 4}	2	1	–	A, CY ← A + r	×	×	×
		r, A	2	1	–	r, CY ← r + A	×	×	×
		A, saddr	2	1	–	A, CY ← A + (saddr)	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, [HL + byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, [HL + B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, [HL + C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, ES:[HL + byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, ES:[HL + B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, ES:[HL + C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. Rp = AX 除外
 4. R = A 除外

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (7/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位操作	ADDC	A, #byte	2	1	–	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	–	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	×	×	×
		A, r ^{注 3}	2	1	–	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	–	$r, CY \leftarrow r + A + CY$	×	×	×
		A, saddr	2	1	–	$A, CY \leftarrow A + (saddr) + CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	×	×	×
		A, [HL + byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	×	×	×
		A, [HL + B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	×	×	×
		A, [HL + C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	×	×	×
		A, ES:[HL + byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	×	×	×
		A, ES:[HL + B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	×	×	×
		A, ES:[HL + C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	×	×	×
	SUB	A, #byte	2	1	–	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	–	$(saddr), CY \leftarrow (saddr) - \text{byte}$	×	×	×
		A, r ^{注 3}	2	1	–	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	–	$r, CY \leftarrow r - A$	×	×	×
		A, saddr	2	1	–	$A, CY \leftarrow A - (saddr)$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	×	×	×
		A, [HL + byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	×	×	×
		A, [HL + B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	×	×	×
		A, [HL + C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}:\text{addr16})$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}:\text{HL})$	×	×	×
		A, ES:[HL + byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}:\text{HL}) + \text{byte})$	×	×	×
		A, ES:[HL + B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}:\text{HL}) + B)$	×	×	×
		A, ES:[HL + C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}:\text{HL}) + C)$	×	×	×

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. R = A 除外

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (8/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位操作	SUBC	A, #byte	2	1	–	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	2	–	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
		A, r ^{注 3}	2	1	–	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	1	–	$r, CY \leftarrow r - A - CY$	×	×	×
		A, saddr	2	1	–	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL) - CY$	×	×	×
		A, [HL + byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
		A, [HL + B]	2	1	4	$A, CY \leftarrow A - (HL + B) - CY$	×	×	×
		A, [HL + C]	2	1	4	$A, CY \leftarrow A - (HL + C) - CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES:\text{addr16}) - CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES:HL) - CY$	×	×	×
		A, ES:[HL + byte]	3	2	5	$A, CY \leftarrow A - ((ES:HL) + \text{byte}) - CY$	×	×	×
		A, ES:[HL + B]	3	2	5	$A, CY \leftarrow A - ((ES:HL) + B) - CY$	×	×	×
		A, ES:[HL + C]	3	2	5	$A, CY \leftarrow A - ((ES:HL) + C) - CY$	×	×	×
	AND	A, #byte	2	1	–	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	2	–	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
		A, r ^{注 3}	2	1	–	$A \leftarrow A \wedge r$	×		
		r, A	2	1	–	$r \leftarrow r \wedge A$	×		
		A, saddr	2	1	–	$A \leftarrow A \wedge (saddr)$	×		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (HL)$	×		
		A, [HL + byte]	2	1	4	$A \leftarrow A \wedge (HL + \text{byte})$	×		
		A, [HL + B]	2	1	4	$A \leftarrow A \wedge (HL + B)$	×		
		A, [HL + C]	2	1	4	$A \leftarrow A \wedge (HL + C)$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (ES:\text{addr16})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (ES:HL)$	×		
		A, ES:[HL + byte]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + \text{byte})$	×		
		A, ES:[HL + B]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + B)$	×		
		A, ES:[HL + C]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + C)$	×		

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. R = A 除外

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址 (最大 16 字节) 中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (9/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位操作	OR	A, #byte	2	1	–	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	–	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r ^{注 3}	2	1	–	$A \leftarrow A \vee r$	×		
		r, A	2	1	–	$r \leftarrow r \vee A$	×		
		A, saddr	2	1	–	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL + byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL + B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL + C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, ES:[HL + byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, ES:[HL + B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, ES:[HL + C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×		
	XOR	A, #byte	2	1	–	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	–	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r ^{注 3}	2	1	–	$A \leftarrow A \vee r$	×		
		r, A	2	1	–	$r \leftarrow r \vee A$	×		
		A, saddr	2	1	–	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL + byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL + B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL + C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, ES:[HL + byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, ES:[HL + B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, ES:[HL + C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×		

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. R = A 除外

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (10/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
8 位操作	CMP	A, #byte	2	1	–	A – byte	×	×	×
		saddr, #byte	3	1	–	(saddr) – byte	×	×	×
		A, r ^{注 3}	2	1	–	A – r	×	×	×
		r, A	2	1	–	r – A	×	×	×
		A, saddr	2	1	–	A – (saddr)	×	×	×
		A, !addr16	3	1	4	A – (addr16)	×	×	×
		A, [HL]	1	1	4	A – (HL)	×	×	×
		A, [HL + byte]	2	1	4	A – (HL + byte)	×	×	×
		A, [HL + B]	2	1	4	A – (HL + B)	×	×	×
		A, [HL + C]	2	1	4	A – (HL + C)	×	×	×
		!addr16, #byte	4	1	4	(addr16) – byte	×	×	×
		A, ES:!addr16	4	2	5	A – (ES:addr16)	×	×	×
		A, ES:[HL]	2	2	5	A – (ES:HL)	×	×	×
		A, ES:[HL + byte]	3	2	5	A – ((ES:HL) + byte)	×	×	×
		A, ES:[HL + B]	3	2	5	A – ((ES:HL) + B)	×	×	×
		A, ES:[HL + C]	3	2	5	A – ((ES:HL) + C)	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) – byte	×	×	×
	CMPO	A	1	1	–	A – 00H	×	×	×
		X	1	1	–	X – 00H	×	×	×
		B	1	1	–	B – 00H	×	×	×
		C	1	1	–	C – 00H	×	×	×
		saddr	2	1	–	(saddr) – 00H	×	×	×
		!addr16	3	1	4	(addr16) – 00H	×	×	×
		ES:!addr16	4	2	5	(ES:addr16) – 00H	×	×	×
	CMPS	X, [HL + byte]	3	1	4	X – (HL + byte)	×	×	×
		X, ES:[HL + byte]	4	2	5	X – ((ES:HL) + byte)	×	×	×

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. R = A 除外

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址 (最大 16 字节) 中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (11/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
16 位操作	ADDW	AX, #word	3	1	–	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	–	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	–	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	–	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	–	AX, CY ← AX + HL	×	×	×
		AX, saddrp	2	1	–	AX, CY ← AX + (saddrp)	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	–	AX, CY ← AX – word	×	×	×
		AX, BC	1	1	–	AX, CY ← AX – BC	×	×	×
		AX, DE	1	1	–	AX, CY ← AX – DE	×	×	×
		AX, HL	1	1	–	AX, CY ← AX – HL	×	×	×
		AX, saddrp	2	1	–	AX, CY ← AX – (saddrp)	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX – (addr16)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL + byte)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX – (ES:addr16)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	–	AX – word	×	×	×
		AX, BC	1	1	–	AX – BC	×	×	×
		AX, DE	1	1	–	AX – DE	×	×	×
		AX, HL	1	1	–	AX – HL	×	×	×
		AX, saddrp	2	1	–	AX – (saddrp)	×	×	×
		AX, !addr16	3	1	4	AX – (addr16)	×	×	×
		AX, [HL+byte]	3	1	4	AX – (HL + byte)	×	×	×
		AX, ES:!addr16	4	2	5	AX – (ES:addr16)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX – ((ES:HL) + byte)	×	×	×
	MULU	X	1	1	–	AX ← A × X			

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (12/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
加/减	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) + 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) + 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
移位	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
	SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×

注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。

2. 当程序存储器区域被访问时。

备注 1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。

2. 该时钟周期用于内部 ROM (flash 存储器) 程序。

3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (13/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
循环	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
位操作	MOV1	CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×
		ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$			
	AND1	CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×

- 注 1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。

- 备注 1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址 (最大 16 字节) 中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (14/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
位操作	XOR1	CY, saddr.bit	3	1	–	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	–	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	1	–	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	–	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×
	SET1	saddr.bit	3	2	–	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	–	$sfr.bit \leftarrow 1$			
		A.bit	2	1	–	$A.bit \leftarrow 1$			
		!addr16.bit	4	2	–	$(addr16).bit \leftarrow 1$			
		PSW.bit	3	4	–	$PSW.bit \leftarrow 1$	×	×	×
		[HL].bit	2	2	–	$(HL).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	–	$(ES, addr16).bit \leftarrow 1$			
		ES:[HL].bit	3	3	–	$(ES, HL).bit \leftarrow 1$			
	CLR1	saddr.bit	3	2	–	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	–	$sfr.bit \leftarrow 0$			
		A.bit	2	1	–	$A.bit \leftarrow 0$			
		!addr16.bit	4	2	–	$(addr16).bit \leftarrow 0$			
		PSW.bit	3	4	–	$PSW.bit \leftarrow 0$	×	×	×
		[HL].bit	2	2	–	$(HL).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	–	$(ES, addr16).bit \leftarrow 0$			
		ES:[HL].bit	3	3	–	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	–	$CY \leftarrow 1$			1
	CLR1	CY	2	1	–	$CY \leftarrow 0$			0
	NOT1	CY	2	1	–	$CY \leftarrow \overline{CY}$			×

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (15/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
调用 / 返回	CALL	rp	2	3	—	$(SP - 2) \leftarrow (PC + 2)_S, (SP - 3) \leftarrow (PC + 2)_H,$ $(SP - 4) \leftarrow (PC + 2)_L, PC \leftarrow CS, rp,$ $SP \leftarrow SP - 4$			
		\$!addr20	3	3	—	$(SP - 2) \leftarrow (PC + 3)_S, (SP - 3) \leftarrow (PC + 3)_H,$ $(SP - 4) \leftarrow (PC + 3)_L, PC \leftarrow PC + 3 +$ $jdisp16,$ $SP \leftarrow SP - 4$			
		!addr16	3	3	—	$(SP - 2) \leftarrow (PC + 3)_S, (SP - 3) \leftarrow (PC + 3)_H,$ $(SP - 4) \leftarrow (PC + 3)_L, PC \leftarrow 0000, addr16,$ $SP \leftarrow SP - 4$			
		!!addr20	4	3	—	$(SP - 2) \leftarrow (PC + 4)_S, (SP - 3) \leftarrow (PC + 4)_H,$ $(SP - 4) \leftarrow (PC + 4)_L, PC \leftarrow addr20,$ $SP \leftarrow SP - 4$			
	CALLT	[addr5]	2	5	—	$(SP - 2) \leftarrow (PC + 2)_S, (SP - 3) \leftarrow (PC + 2)_H,$ $(SP - 4) \leftarrow (PC + 2)_L, PC_S \leftarrow 0000,$ $PC_H \leftarrow (000000000000, addr5 + 1),$ $PC_L \leftarrow (000000000000, addr5),$ $SP \leftarrow SP - 4$			
	BRK	—	2	5	—	$(SP - 1) \leftarrow PSW, (SP - 2) \leftarrow (PC + 2)_S,$ $(SP - 3) \leftarrow (PC + 2)_H, (SP - 4) \leftarrow (PC + 2)_L,$ $PC_S \leftarrow 0000,$ $PC_H \leftarrow (0007FH), PC_L \leftarrow (0007EH),$ $SP \leftarrow SP - 4, IE \leftarrow 0$			
	RET	—	1	6	—	$PC_L \leftarrow (SP), PC_H \leftarrow (SP + 1),$ $PC_S \leftarrow (SP + 2), SP \leftarrow SP + 4$			
	RETI	—	2	6	—	$PC_L \leftarrow (SP), PC_H \leftarrow (SP + 1),$ $PC_S \leftarrow (SP + 2), PSW \leftarrow (SP + 3),$ $SP \leftarrow SP + 4$	R	R	R
	RETB	—	2	6	—	$PC_L \leftarrow (SP), PC_H \leftarrow (SP + 1),$ $PC_S \leftarrow (SP + 2), PSW \leftarrow (SP + 3),$ $SP \leftarrow SP + 4$	R	R	R

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器（CKC）选择的 CPU 时钟（fcpu）的一个周期。
 2. 该时钟周期用于内部 ROM（flash 存储器）程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (16/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
堆栈操作	PUSH	PSW	2	1	—	$(SP - 1) \leftarrow PSW, (SP - 2) \leftarrow 00H,$ $SP \leftarrow SP - 2$			
		rp	1	1	—	$(SP - 1) \leftarrow rpH, (SP - 2) \leftarrow rpL,$ $SP \leftarrow SP - 2$			
	POP	PSW	2	3	—	$PSW \leftarrow (SP + 1), SP \leftarrow SP + 2$	R	R	R
		rp	1	1	—	$rpL \leftarrow (SP), rpH \leftarrow (SP + 1), SP \leftarrow SP + 2$			
	MOVW	SP, #word	4	1	—	$SP \leftarrow word$			
		SP, AX	2	1	—	$SP \leftarrow AX$			
		AX, SP	2	1	—	$AX \leftarrow SP$			
		HL, SP	3	1	—	$HL \leftarrow SP$			
		BC, SP	3	1	—	$BC \leftarrow SP$			
		DE, SP	3	1	—	$DE \leftarrow SP$			
	ADDW	SP, #byte	2	1	—	$SP \leftarrow SP + byte$			
	SUBW	SP, #byte	2	1	—	$SP \leftarrow SP - byte$			
无条件转移	BR	AX	2	3	—	$PC \leftarrow CS, AX$			
		\$addr20	2	3	—	$PC \leftarrow PC + 2 + jdisp8$			
		!\$addr20	3	3	—	$PC \leftarrow PC + 3 + jdisp16$			
		!addr16	3	3	—	$PC \leftarrow 0000, addr16$			
		!!addr20	4	3	—	$PC \leftarrow addr20$			
条件转移	BC	\$addr20	2	2/4 ^{注3}	—	$PC \leftarrow PC + 2 + jdisp8$ if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	—	$PC \leftarrow PC + 2 + jdisp8$ if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	—	$PC \leftarrow PC + 2 + jdisp8$ if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	—	$PC \leftarrow PC + 2 + jdisp8$ if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	—	$PC \leftarrow PC + 3 + jdisp8$ if (Z ∨ CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	—	$PC \leftarrow PC + 3 + jdisp8$ if (Z ∨ CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	—	$PC \leftarrow PC + 4 + jdisp8$ if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	—	$PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	$PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/8	$PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/9	$PC \leftarrow PC + 4 + jdisp8$ if (ES, HL).bit = 1			

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. 表示“当不符合条件时/当符合条件时”的时钟数。

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址（最大 16 字节）中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

表 28-5. 操作列表 (17/17)

指令组	助记符	操作数	字节	时钟		操作	标志		
				注 1	注 2		Z	AC	CY
条件转移	BF	saddr.bit, \$addr20	4	3/5 ^{注 3}	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注 3}	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注 3}	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注 3}	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注 3}	6/8	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注 3}	7/9	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注 3}	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注 3}	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注 3}	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	5/7 ^{注 3}	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5 ^{注 3}	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注 3}	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件跳转	SKC	—				如果 CY = 1 跳过下一条指令			
	SKNC	—				如果 CY = 0 跳过下一条指令			
	SKZ	—				如果 Z = 1 跳过下一条指令			
	SKNZ	—	2	1	—	如果 Z = 0 跳过下一条指令			
	SKH	—	2	1	—	如果(Z ∨ CY) = 0 跳过下一条指令			
	SKNH	—	2	1	—	如果(Z ∨ CY) = 1 跳过下一条指令			
CPU 控制	SEL	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—				无操作			
	EI	—				IE ← 1(允许中断)			
	DI	—	3	4	—	IE ← 0(禁止中断)			
	HALT	—	2	3	—	设置 HALT 模式			
	STOP	—	2	3	—	设置 STOP 模式			

- 注
1. 当内部 RAM 区域或 SFR 区域被访问，或没有数据的指令访问时。
 2. 当程序存储器区域被访问时。
 3. 表示“当不符合条件时/当符合条件时”的时钟数。

- 备注
1. 一个指令时钟周期是指由系统时钟控制寄存器 (CKC) 选择的 CPU 时钟 (fcpu) 的一个周期。
 2. 该时钟周期用于内部 ROM (flash 存储器) 程序。
 3. n 表示寄存器 bank 的序号 (n = 0~3)
 4. 在外部存储器区域与内部 flash 区域相邻的产品中，为了使用外部总线接口功能，等待时钟数与指令执行时钟数相加的值在 flash 存储器中最后地址 (最大 16 字节) 中。因为在预读指令码期间，由于访问超出 flash 空间的外部存储器区域而插入外部存储器等待时钟。关于等待时钟数，请参考 5.4 数据访问的等待时钟数。

注意事项 1. 这些规范所示为目标值，设备评估后可能改变。

2. 78K0R/KG3 具有片上调试功能。不要将该产品用于大规模生产，因为在给定闪存重写次数的条件下，使用片上调试功能后，产品的可靠性得不到保证。

片上调试功能使用后，不接受投诉。

最大额定值 (T_A = 25°C) (1/2)

参数	符号	条件	额定值	单位
供电电压	V _{DD}		-0.5~+6.5	V
	EV _{DD0} , EV _{DD1}		-0.5~+6.5	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS0} , EV _{SS1}		-0.5~+0.3	V
	AV _{REF0}		-0.5~V _{DD} +0.3 ^{※1}	V
	AV _{REF1}		-0.5~V _{DD} +0.3 ^{※1}	V
	AV _{SS}		-0.5~+0.3	V
REGC 引脚输入电压	V _{I REGC}	REGC	-0.3~3.6 and -0.3~V _{DD} +0.3 ^{※2}	V
输入电压	V _{I1}	P00~P06, P10~P17, P20~P27, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P110, P111, P120~P124, P130, P131, P140~P145, P150~P157, EXCLK, RESET, FLMD0	-0.3~V _{DD} +0.3 ^{※1}	V
	V _{I2}	P60~P63 (N-ch 漏极开路)	-0.3~+6.5	V
输出电压	V _O	P00~P06, P10~P17, P20~P27, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P110, P111, P120, P130, P131, P140~P145, P150~P157	-0.3~V _{DD} +0.3 ^{※1}	V
模拟 输入电压	V _{AN}	ANI0~ANI15	-0.3~AV _{REF0} +0.3 ^{※1} and -0.3~V _{DD} +0.3 ^{※1}	V
模拟 输出电压	V _{AO}	ANO0~ANO1	-0.3~AV _{REF1} +0.3 ^{※1} and -0.3~V _{DD} +0.3 ^{※1}	V

注 1. 必须小于等于 6.5 V。

2. 经过一个电容 (0.47~1 F) 连接 REGC 引脚到 V_{SS}。该值控制 REGC 引脚的绝对最大额定值。不要将此电压用于这个引脚。

注意事项 任何一项参数哪怕是在瞬间超过最大额定值，都会使产品质量受到影响。也就是说，最大额定值是产品濒临物理损坏的临界点，因而，必须保证产品在不超过最大额定值的条件下使用。

备注 除非另外说明，复用功能引脚的特性与端口引脚相同。

最大额定值 ($T_A = 25^{\circ}\text{C}$) (2/2)

参数	符号	条件	额定值	单位
输出电流,高	I_{OH1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P130, P131, P140~P145	-10	mA
		所有引脚总和 -80 mA	-25	mA
			-55	mA
	I_{OH2}	每个引脚	-0.5	mA
		所有引脚总和	-2	mA
输出电流,低	I_{OL1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P120, P130, P131, P140~P145	30	mA
		所有引脚总和 200 mA	60	mA
			140	mA
	I_{OL2}	每个引脚	1	mA
		所有引脚总和	5	mA
工作环境温度	T_A	在普通操作模式下	-40~+85	$^{\circ}\text{C}$
		在 flash 存储器编程模式下		
存储温度	T_{stg}		-65~+150	$^{\circ}\text{C}$

注意事项 任何一项参数哪怕是在瞬间超过最大额定值，都会使产品质量受到影响。也就是说，最大额定值是产品濒临物理损坏的临界点，因而，必须保证产品在不超过最大额定值的条件下使用。

备注 除非另外说明，复用功能引脚的特性与端口引脚相同。

X1 振荡器特性

($T_A = -40 \sim +85^{\circ}\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

振荡器	建议使用的电路	参数	条件	MIN.	TYP.	MAX.	单位
陶瓷振荡器		X1 时钟振荡频率 (fx) ^註	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		20.0	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0		5.0	
晶体振荡器		X1 时钟振荡频率 (fx) ^註	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		20.0	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0		5.0	

注 仅表示振荡器的特性。如需了解指令执行时间，可参见 **AC 特性**。

注意事项 1. 在使用 X1 时钟时，上图中被虚线包围的部分的配线应按照如下布线方法布线，以防止连接线电容产生不利影响。

- 连接线越短越好。
- 连接线不应与其他信号线交叉。
- 流经的电流变化较大的信号线不要在振荡器周围布线。
- 要保持振荡器电容器的接地点电压与 Vss 相同。
- 不要将电容的地信号接入大电流地。
- 不要从振荡器获取信号。

2. 由于复位后 CPU 使用内部高速振荡时钟进行操作，因此用户要使用振荡稳定时间计数器的状态寄存器（OSTC）检测 X1 时钟振荡稳定时间。在充分评估了所使用的振荡器的振荡稳定时间后再确定 OSTC 和振荡稳定时间选择寄存器（OSTS）的振荡稳定时间。

备注 对于振荡器选择和振荡常数，顾客需要自己评价振荡特性或请振荡器厂商评价。

内部振荡器特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

振荡器	参数	条件		MIN.	TYP.	MAX.	单位
8 MHz 内部振荡器	内部高速振荡时钟频率(f_{IH}) ^{註 1}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		7.6	8.0	8.4	MHz
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		5.0	8.0	8.4	MHz
240 kHz 内部振荡器	内部低速振荡时钟频率(f_{IL})	普通电流模式	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	216	240	264	kHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	192	240	264	kHz
		低功耗电流模式 ^{註 2}		192	240	264	kHz

注 1. 仅表示振荡器的特性。如需了解指令执行时间，可参见 **AC** 特性。

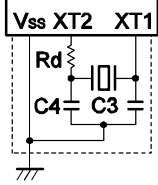
2. 在如下情况下校准器输出设置为低功耗电流模式：

- 当 RMC 寄存器设置为 5AH。
- 系统复位期间。
- 在 STOP 模式下 (除在 OCD 模式期间外)。
- 当 CPU 操作在副系统时钟 (f_{XT}) 下，高速系统时钟(f_{MX})和高速内部振荡时钟(f_{IH})均停止。
- 当 CPU 操作在副系统时钟 (f_{XT}) 下，高速系统时钟(f_{MX})和高速内部振荡时钟(f_{IH})在 HALT 模式期间都停止。

备注 普通电流模式和依照校准器输出电压的低功耗电流模式的详细情况，参见**第二十三章 校准器**。

XT1 振荡器特性

($T_A = -40 \sim +85^{\circ}\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

振荡器	建议使用的电路	项目	条件	MIN.	TYP.	MAX.	单位
晶体振荡器		XT1 时钟振荡频率 (f_{XT}) ^注		32	32.768	35	kHz

注 仅表示振荡器的特性。如需了解指令执行时间，可参见 **AC** 特性。

注意事项 1. 在使用 XT1 时钟时，上图中被虚线包围的部分的配线应按照如下配线方法配线，以防止连接线电容产生不利影响。

- 连接线越短越好。
- 连接线不应与其他信号线交叉。
- 流经的电流变化较大的信号线不要在振荡器周围布线。
- 要保持振荡器电容器的接地点电压与 Vss 相同。
- 不要将电容的地信号接入大电流地。
- 不要从振荡器获取信号。

2. XT1 振荡器是一个低振幅电路，用于降低功耗，但由于比 X1 振荡器更容易受到噪音干扰，因此在使用 XT1 时钟时应特别注意连线方式。

备注 对于振荡器选择和振荡常数，顾客需要自己评价振荡特性或请振荡器厂商评价。

DC 特性 (1/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

项目	符号	条件	MIN.	TYP.	MAX.	单位
输出电流, 高 ^{※1}	I_{OH1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P130, P131, P140~P145 中每个引脚	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-3.0	mA
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		-1.0	mA
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		-1.0	mA
		P00~P04, P40~P47, P120, P130, P131, P140~P145 的总和	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-20.0	mA
		(当占空比 = 70% ^{※2})	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		-10.0	mA
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		-5.0	mA
		P05, P06, P10~P17, P30, P31, P50~P57, P64~P67, P70~P77, P80~P87 的总和	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-30.0	mA
		(当占空比 = 70% ^{※2})	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		-19.0	mA
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		-10.0	mA
	I_{OH2}	所有引脚总和	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-50.0	mA
		(当占空比 = 60% ^{※2})	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		-29.0	mA
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		-15.0	mA
	I_{OH2}	P20~P27, P150~P157 中每个引脚	$AV_{REF0} = V_{DD}$		-0.1	mA
		P110, P111 中每个引脚	$AV_{REF1} = V_{DD}$		-0.1	mA

注 1. 即使电流从 EV_{DD0} 或 EV_{DD1} 引脚流向输出引脚, 设备操作时的电流值也可以得到保证。

2. 占空比系数为 60% 或 70% 的条件下指定。

可通过以下表达式计算已经改变占空比的输出电流值(当改变占空比从 70%~n%)。

• 引脚的总输出电流 = $(I_{OH} \times 0.7)/(n \times 0.01)$

<举例> $n = 50\%$ 并且 $I_{OH} = 20.0\text{ mA}$

引脚的总输出电流 = $(-20.0 \times 0.7)/(50 \times 0.01) = -28.0\text{ mA}$

但是, 允许流入每个引脚的电流不会随占空比而变化。高于最大额定值的电流不能流入引脚。

注意事项 P02~P04, P43, P45, P142~P144 在 N-ch 漏极开路模式不输出高电平。

备注 除非另外说明, 复用功能引脚的特性与端口引脚相同。

DC 特性 (2/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

项目	符号	条件	MIN.	TYP.	MAX.	单位
输出电流, 低 ^{※1}	I _{OL1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P130, P131, P140~P145 每个引脚	4.0 V ≤ V _{DD} ≤ 5.5 V		8.5	mA
			2.7 V ≤ V _{DD} < 4.0 V		1.0	mA
			1.8 V ≤ V _{DD} < 2.7 V		0.5	mA
		P60~P63 每个引脚	4.0 V ≤ V _{DD} ≤ 5.5 V		15.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		3.0	mA
			1.8 V ≤ V _{DD} < 2.7 V		2.0	mA
		P00~P04, P40~P47, P120, P130, P131, P140~P145 总和 (当占空比 = 70% ^{※2})	4.0 V ≤ V _{DD} ≤ 5.5 V		20.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		15.0	mA
			1.8 V ≤ V _{DD} < 2.7 V		9.0	mA
		P05, P06, P10~P17, P30, P31, P50~P57, P60~P67, P70~P77, P80~P87 总和 (当占空比 = 70% ^{※2})	4.0 V ≤ V _{DD} ≤ 5.5 V		45.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		35.0	mA
			1.8 V ≤ V _{DD} < 2.7 V		20.0	mA
		所有引脚总和 (当占空比 = 60% ^{※2})	4.0 V ≤ V _{DD} ≤ 5.5 V		65.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		50.0	mA
			1.8 V ≤ V _{DD} < 2.7 V		29.0	mA
	I _{OL2}	P20~P27, P150~P157 每个引脚	AV _{REF0} = V _{DD}		0.4	mA
		P110, P111 每个引脚	AV _{REF1} = V _{DD}		0.4	mA

注 1. 即使电流从输出引脚流向 EV_{SS0}, EV_{SS1}, V_{SS}, 和 AV_{SS} 引脚, 设备操作时的电流值也可以得到保证。

2. 占空比系数为 60% 或 70% 的条件下指定。

可通过以下表达式计算已经改变占空比的输出电流值(当改变占空比从 70%~n%)。

●引脚的总输出电流 = $(I_{OL} \times 0.7) / (n \times 0.01)$

<举例> n = 50% 并且 I_{OL} = 20.0 mA

引脚的总输出电流 = $(20.0 \times 0.7) / (50 \times 0.01) = 28.0\text{ mA}$

但是, 允许流入每个引脚的电流不会随占空比而变化。高于最大额定值的电流不能流入引脚。

注意事项 P02~P04, P43, P45, P142~P144 在 N-ch 漏极开路模式不输出高电平。

备注 除非另外说明, 复用功能引脚的特性与端口引脚相同。

DC 特性 (3/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

项目	符号	条件	MIN.	TYP.	MAX.	单位
输入电压, 高	V_{IH1}	P01, P02, P12, P13, P15, P41, P45, P52~P57, P64~P67, P80~P87, P121~P124, P144	$0.7V_{DD}$		V_{DD}	V
	V_{IH2}	P00, P03~P06, P10, P11, P14, P16, P17, P30, P31, P40, P42~P44, P46, P47, P50, P51, P70~P77, P120, P140~P143, P145, EXCLK, RESET	普通模式 $0.8V_{DD}$		V_{DD}	V
	V_{IH3}	P03, P04, P43, P44, P142, P143	TTL mode $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.2	V_{DD}	V
			TTL mode $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	2.0	V_{DD}	V
			TTL mode $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.6	V_{DD}	V
	V_{IH4}	P20~P27, P150~P157	$AV_{REF0} = V_{DD}$	$0.7AV_{REF0}$	AV_{REF0}	V
	V_{IH5}	P110, P111	$AV_{REF1} = V_{DD}$	$0.7AV_{REF1}$	AV_{REF1}	V
	V_{IH6}	P60~P63	$0.7V_{DD}$		6.0	V
输入电压, 低	V_{IL1}	P01, P02, P12, P13, P15, P41, P45, P52~P57, P64~P67, P80~P87, P121~P124, P144	0		$0.3V_{DD}$	V
	V_{IL2}	P00, P03~P06, P10, P11, P14, P16, P17, P30, P31, P40, P42~P44, P46, P47, P50, P51, P70~P77, P120, P131, P140~P143, P145, EXCLK, RESET	普通模式 0		$0.2V_{DD}$	V
	V_{IL3}	P03, P04, P43, P44, P142, P143	TTL 模式 $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0	0.8	V
			TTL 模式 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	0	0.5	V
			TTL 模式 $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	0	0.2	V
	V_{IL4}	P20~P27, P150~P157	$AV_{REF0} = V_{DD}$	0	$0.3AV_{REF0}$	V
	V_{IL5}	P110, P111	$AV_{REF1} = V_{DD}$	0	$0.3AV_{REF1}$	V
	V_{IL6}	P60~P63	0		$0.3V_{DD}$	V
	V_{IL7}	FLMD0 ^{※2}	0		$0.1V_{DD}$	V

- 注 1. 当用在 flash 存储器编程模式下时必须大于 $0.9V_{DD}$ 。
2. 当禁止 flash 存储器写入时, 将 FLMD0 引脚直接连接到 V_{SS} , 并且保持电压小于 $0.1V_{DD}$ 。

注意事项 1. 引脚 P02~P04, P43, P45, 和 P142~P144 的 V_{IH} 的最大值为 V_{DD} , 即使在 N-ch 漏极开路模式下。
2. P122/EXCLK, V_{IH}/V_{IL} 根据输入端口模式或外部时钟模式不同而不同。

备注 除非另外说明, 复用功能引脚的特性与端口引脚相同。

DC 特性 (4/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

项目	符号	条件	MIN.	TYP.	MAX.	单位
输出电压, 高	V_{OH1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P130, P131, P140~P145	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OH1} = -3.0\text{ mA}$	$V_{DD} - 0.7$		V
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OH1} = -1.0\text{ mA}$	$V_{DD} - 0.5$		V
	V_{OH2}	P20~P27, P150~P157	$AV_{REF0} = V_{DD}$, $I_{OH2} = -100\text{ }\mu\text{A}$	$V_{DD} - 0.5$		V
		P110, P111	$AV_{REF1} = V_{DD}$, $I_{OH2} = -100\text{ }\mu\text{A}$	$V_{DD} - 0.5$		V
输出电压, 低	V_{OL1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P130, P131, P140~P145	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 8.5\text{ mA}$		0.7	V
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 1.0\text{ mA}$		0.5	V
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 0.5\text{ mA}$		0.4	V
	V_{OL2}	P20~P27, P150~P157	$AV_{REF0} = V_{DD}$, $I_{OL2} = 0.4\text{ mA}$		0.4	V
		P110, P111	$AV_{REF1} = V_{DD}$, $I_{OL2} = 0.4\text{ mA}$		0.4	V
	V_{OL3}	P60~P63	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 15.0\text{ mA}$		2.0	V
			$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 5.0\text{ mA}$		0.4	V
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 3.0\text{ mA}$		0.4	V
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 2.0\text{ mA}$		0.4	V

备注 除非另外说明, 复用功能引脚的特性与端口引脚相同。

DC 特性 (5/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

项目	符号	条件	MIN.	TYP.	MAX.	单位
输入漏电流, 高	I_{LH1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P120, P131, P140~P145, FLMD0, $\overline{\text{RESET}}$	$V_i = V_{DD}$		1	μA
	I_{LH2}	P20~P27, P150~P157	$V_i = V_{DD} = AV_{REF0}$		1	μA
	I_{LH3}	P110, P111	$V_i = V_{DD} = AV_{REF1}$		1	μA
	I_{LH4}	P121~P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$	在输入端口	1	μA
				在振荡器连接	10	μA
输入漏电流, 低	I_{LIL1}	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P120, P131, P140~P145, FLMD0, $\overline{\text{RESET}}$	$V_i = V_{SS}$		-1	μA
	I_{LIL2}	P20~P27, P150~P157	$V_i = V_{SS}, AV_{REF0} = V_{DD}$		-1	μA
	I_{LIL3}	P110, P111	$V_i = V_{SS}, AV_{REF1} = V_{DD}$		-1	μA
	I_{LIL4}	P121~P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$	在输入端口	-1	μA
				在振荡器连接	-10	μA

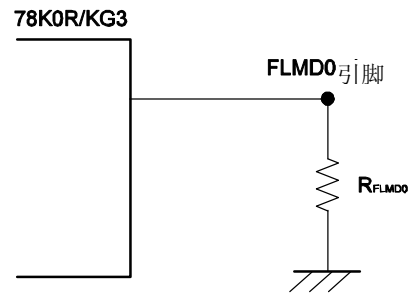
备注 除非另外说明, 复用功能引脚的特性与端口引脚相同。

DC 特性 (6/9)

($T_A = -40 \sim +85^{\circ}\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

项目	符号	条件		MIN.	TYP.	MAX.	单位
片内上拉电阻	R_u	P00~P06, P10~P17, P30, P31, P40~P47, P50~P57, P64~P67, P70~P77, P80~P87, P120, P131, P140~P145	$V_I = V_{SS}$, 在输入端口	10	20	100	k Ω
FLMD0 引脚外部下拉电阻 [※]	R_{FLMD0}	当使用软件允许自变成模式设置时		100			k Ω

注 建议 FLMD0 引脚悬空。如果引脚需要外部下拉，设置 R_{FLMD0} 最少为 100 k Ω 。



备注 除非另外说明，复用功能引脚的特性与端口引脚相同。

DC 特性 (7/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

参数	符号	条件		MIN.	TYP.	MAX.	单位	
供电电流	I _{DD1} ^{註 1}	操作模式	f _{MX} = 20 MHz ^{註 2} , V _{DD} = 5.0 V	方波输入		TBD		mA
				振荡器连接		8.5	12.5	mA
			f _{MX} = 20 MHz ^{註 2} , V _{DD} = 3.0 V	方波输入		TBD		mA
				振荡器连接		8.5	12.5	mA
			f _{MX} = 10 MHz ^{註 2,3} , V _{DD} = 5.0 V	方波输入		TBD		mA
				振荡器连接		4.0	6.3	mA
			f _{MX} = 10 MHz ^{註 2,3} , V _{DD} = 3.0 V	方波输入		TBD		mA
				振荡器连接		4.0	6.3	mA
			f _{MX} = 5 MHz ^{註 2,3} , V _{DD} = 3.0 V	方波输入		TBD		mA
				振荡器连接		2.2	3.1	mA
			f _{MX} = 5 MHz ^{註 2,3} , V _{DD} = 1.8 V	方波输入		TBD		mA
				振荡器连接		1.5	2.1	mA
			f _{IH} = 8 MHz	V _{DD} = 5.0 V		3.5	5.0	mA
				V _{DD} = 3.0 V		3.5	5.0	mA
f _{SUB} = 32.768 kHz ^{註 4} , T _A = -40~+85 °C	V _{DD} = 5.0 V		8.0	65.0	μA			
	V _{DD} = 3.0 V		8.0	65.0	μA			
	V _{DD} = 2.0 V		7.0	62.0	μA			

- 注
1. 流入 V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , 和 AV_{REF1} 的总电流, 包括输入引脚的电平恒为 V_{DD} 或 V_{SS} 时的输入漏电流。MAX. 栏中的值包括外围设备工作电流。但是不包括流经 A/D 转换器, D/A 转换器, 看门狗定时器, LVI 电路, I/O 端口, 和片内上拉/下拉电阻的电流。
 2. 当内部高速振荡器停止时。
 3. 当 AMPH (时钟操作模式控制寄存器 (CMC) 的第 0 位) = 0 和 FSEL (操作速度模式控制寄存器 (OSMC) 的第 0 位) = 0 时。
 4. 当内部高速振荡器和高速系统时钟停止时。

- 备注
1. f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
 2. f_{IH} : 内部高速振荡时钟频率
 3. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率或外部副系统时钟频率)

DC 特性 (8/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

参数	符号	条件			MIN.	TYP.	MAX.	单位	
供电电流	I _{DD2} ^{註 1}	HALT 模式	f _{MX} = 20 MHz ^{註 2} , V _{DD} = 5.0 V		方波输入		TBD		mA
					振荡器连接		1.4	3.0	mA
			f _{MX} = 20 MHz ^{註 2} , V _{DD} = 3.0 V		方波输入		TBD		mA
					振荡器连接		1.4	3.0	mA
			f _{MX} = 10 MHz ^{註 2, 3} , V _{DD} = 5.0 V		方波输入		TBD		mA
					振荡器连接		0.75	1.5	mA
			f _{MX} = 10 MHz ^{註 2, 3} , V _{DD} = 3.0 V		方波输入		TBD		mA
					振荡器连接		0.75	1.5	mA
			f _{MX} = 5 MHz ^{註 2, 3} , V _{DD} = 3.0 V		方波输入		TBD		mA
					振荡器连接		0.44	0.8	mA
			f _{MX} = 5 MHz ^{註 2, 3} , V _{DD} = 2.0 V		方波输入		TBD		mA
					振荡器连接		0.35	0.55	mA
			f _{IH} = 8 MHz		V _{DD} = 5.0 V		0.45	0.6	mA
					V _{DD} = 3.0 V		0.45	0.6	mA
f _{SUB} = 32.768 kHz ^{註 4} , T _A = -40~+85 °C		V _{DD} = 5.0 V		2.2	55	μA			
		V _{DD} = 3.0 V		2.2	55	μA			
		V _{DD} = 2.0 V		2.1	53	μA			
I _{DD3} ^{註 5}	STOP 模式	T _A = -40~+85 °C				1.1	50	μA	

- 注
1. 通过 V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , 和 AV_{REF1} 的总电流, 包括输入引脚的电平恒为 V_{DD} 或 V_{SS} 时的输入漏电流。最大值包括外围设备工作电流。但是不包括流过 A/D 转换器, D/A 转换器, 看门狗定时器, LVI 电路, I/O 端口, 和片内上拉/下拉电阻的电流。在通过 flash 存储器执行 HALT 指令期间。
 2. 当内部高速振荡器停止时。
 3. 当 AMPH (时钟操作模式控制寄存器(CMC)的第 0 位) = 0 和 FSEL (操作速度模式控制寄存器(OSMC)的第 0 位) = 0。
 4. 当内部高速振荡器和高速系统时钟停止时。
 5. 通过 V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , 和 AV_{REF1} 的总电流, 包括输入引脚的电平恒为 V_{DD} 或 V_{SS} 时的输入漏电流。当副系统时钟停止时。

备注

1. f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
2. f_{IH} : 内部高速振荡时钟频率
3. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率或外部副系统时钟频率)

DC 特性 (9/9)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
RTC 工作电流	I_{RTC} 注 1, 2	$f_{SUB} = 32.768\text{ kHz}$	$V_{DD} = 3.0\text{ V}$	0.2	150	μA
			$V_{DD} = 2.0\text{ V}$	0.2	150	
看门狗定时器工作电流	I_{WDT} 注 3, 4	$f_{IL} = 240\text{ kHz}$		5	15	μA
A/D 转换器工作电流	I_{ADC} 注 5	以最大速度转换期间 $2.3\text{ V} \leq AV_{REF0}$		0.86	1.9	mA
D/A 转换器工作电流	I_{DAC} 注 6	每一个通道		1.0	2.5	mA
LVI 工作电流	I_{LVI} 注 7			9	18	μA

注 1. 电流只经过实时计数器 (XT1 振荡器的工作电流除外)。78K0R/KG3 的电流值是 TYP. 值, 在操作模式或 HALT 模式下 I_{DD1} 或 I_{DD2} , 与 I_{RTC} 的 TYP. 值的和。 I_{DD1} 和 I_{DD2} MAX. 值也包括实时计数器工作电流。

2. TYP. 和 MAX. 分别为 $f_{CLK} = f_{SUB}/2$ 和 $f_{CLK} = 20\text{ MHz}$ 时的值。

3. 电流只经过看门狗定时器 (包括 240 kHz 内部振荡器的工作电流)。78K0R/KG3 的电流值是当看门狗定时器工作在 HALT 或 STOP 模式下 I_{DD2} 或 I_{DD3} 与 I_{WDT} 的和。

4. TYP. 和 MAX. 分别为 f_{CLK} 停止和 $f_{CLK} = 20\text{ MHz}$ 时的值。

5. 电流只经过 A/D 转换器 (AV_{REF0} 引脚)。78K0R/KG3 的电流值是当 A/D 转换器在操作模式或 HALT 模式下 I_{DD1} 或 I_{DD2} 与 I_{ADC} 的和。

6. 电流只经过 D/A 转换器 (AV_{REF1} 引脚)。8K0R/KG3 的电流值是当 D/A 转换器在操作模式或 HALT 模式下 I_{DD1} 或 I_{DD2} 与 I_{DAC} 的和。

7. 电流只经过 LVI 电路。78K0R/KG3 电流值是当 LVI 电路工作在 HALT 或 STOP 模式下 I_{DD2} 或 I_{DD3} 与 I_{LVI} 的和。

- 备注
1. f_{MX} : 高速系统时钟频率 (X1 时钟振荡频率或外部主系统时钟频率)
 2. f_{IH} : 内部高速振荡时钟频率
 3. f_{SUB} : 副系统时钟频率 (XT1 时钟振荡频率或外部副系统时钟频率)
 4. f_{CLK} : CPU/外围硬件时钟频率

AC 特性

(1) 基本操作

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

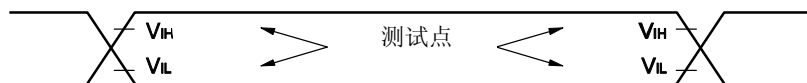
项目	符号	条件			MIN.	TYP.	MAX.	单位
指令周期 (最小指令执行时间)	T _{CY}	主系统时钟 (f _{XP}) 操作	普通电流模式	2.7 V ≤ V _{DD} ≤ 5.5 V	0.05		8	μs
				1.8 V ≤ V _{DD} < 2.7 V	0.2		8	μs
			低功耗电流模式		0.2		8	μs
		副系统时钟 (f _{SUB}) 操作			57.2	61	62.5	μs
		在自编程模式下	普通电流模式	2.7 V ≤ V _{DD} ≤ 5.5 V	0.05		0.5	μs
外部主系统时钟频率	f _{EX}	2.7 V ≤ V _{DD} ≤ 5.5 V			2.0		20.0	MHz
		1.8 V ≤ V _{DD} < 2.7 V			2.0		5.0	MHz
外部主系统时钟输入高电平宽度, 低电平宽度	t _{EXH} , t _{EXL}	2.7 V ≤ V _{DD} ≤ 5.5 V			24			ns
		1.8 V ≤ V _{DD} < 2.7 V			96			ns
TI00~TI07 输入频率	f _{TI}	2.7 V ≤ V _{DD} ≤ 5.5 V					f _{MCK} /2	MHz
		1.8 V ≤ V _{DD} < 2.7 V					f _{MCK} /2	MHz
TI00~TI07 输入高电平宽度, 低电平宽度	t _{TIH} , t _{TIL}				1/f _{MCK} +1			ns
TO00~TO07 输出频率	f _{TO}	2.7 V ≤ V _{DD} ≤ 5.5 V					10	MHz
		1.8 V ≤ V _{DD} < 2.7 V					5	MHz
PCLBUZ0/1 输出频率	f _{PCL}	2.7 V ≤ V _{DD} ≤ 5.5 V					10	MHz
		1.8 V ≤ V _{DD} < 2.7 V					5	MHz
中断输入高电平宽度, 低电平宽度	t _{INTH} , t _{INTL}				1			μs
按键中断输入低电平宽度	t _{KR}				250			ns
RESET 低电平宽度	t _{RSL}				10			μs

备注 1. f_{MCK} : 宏操作时钟频率

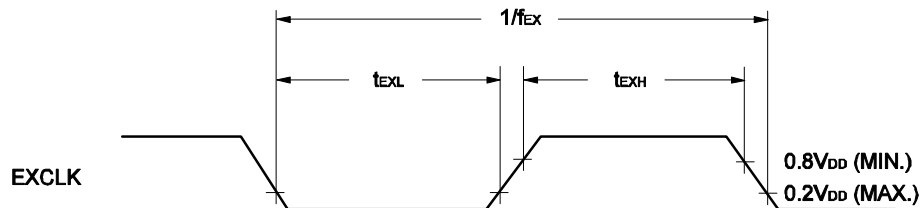
(由 TMR0n 寄存器的 CKS0n 位设置的操作时钟。 n: 通道序号 (n = 0~7))

2. 普通电流模式和依照校准器输出电压的低功耗电流模式的详细情况, 参见第二十三章 校准器。

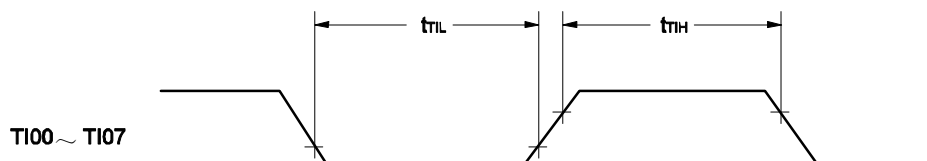
AC 时序测试点(外部主系统时钟除外)



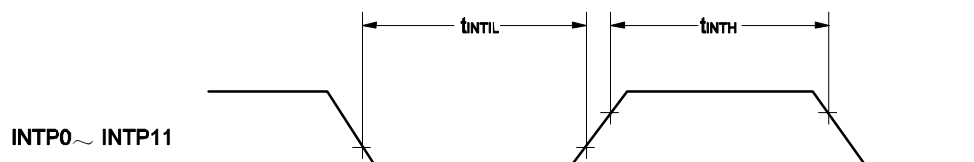
外部主系统时钟时序



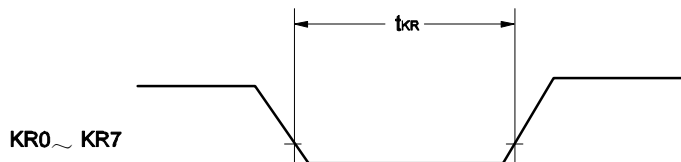
TI 时序



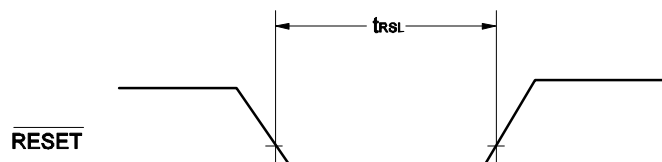
中断请求输入时序



按键中断输入时序



RESET 输入时序



(2) 串行接口

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(a) 串行阵列单元 (UART 模式) (专用波特率发生器输出)

参数	符号	条件	MIN.	TYP.	MAX.	单位
发送速率					$f_{CLK}/6$	Mbps
		$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			3.3	Mbps
接收数据噪声消除宽度	t_{NF}	当使用噪声滤波器时			$2/f_{CLK}$	μs

注意事项 当由 PIMmn 和 POMmn 寄存器选择普通缓冲器和普通模式时。

(b) 串行阵列单元 (CSI 模式) (主设备模式, $\overline{SCKp}$... 内部时钟输出)

参数	符号	条件	MIN.	TYP.	MAX.	单位
$\overline{SCKp}$ 周期时间	t_{KCY1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	200			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	400			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	800			ns
$\overline{SCKp}$ 高/低电平宽度	t_{KH1} , t_{KL1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 20$			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$t_{KCY1}/2 - 35$			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$t_{KCY1}/2 - 80$			ns
Slp 建立时间 (到 $\overline{SCKp}\uparrow$) ^{※1}	t_{SIK1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	70			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	100			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	190			ns
Slp 保持时间 (从 $\overline{SCKp}\uparrow$)	t_{KSI1}		30			ns
从 $\overline{SCKp}\downarrow$ 到 SOp 输出的延迟时间	t_{KSO1}	$C = 50\text{ pF}$ ^{※2}			40	ns

- 注 1. 当 $DAP = 0$ 和 $CKP = 0$, 或 $DAP = 1$ 和 $CKP = 1$ 时。当 $DAP = 0$ 和 $CKP = 1$, 或 $DAP = 1$ 和 $CKP = 0$ 时
Slp 建立时间变为“到 $\overline{SCKp}\downarrow$ ”。
2. C 是 $\overline{SCKp}$ 和 SOp 输出线的负载电容。

注意事项 当由 PIMmn 和 POMmn 寄存器选择普通缓冲器和普通模式时。

- 备注 1. p: CSI 数(p = 00, 01, 10, 20)
2. f_{MCK} : 串行阵列单元 操作时钟频率
(由 SMRmn 寄存器的 CKSmn 位设置的工作时钟。m: 单元序号 (m=0,1),
n: 通道序号(n = 0~2))

(c) 串行阵列单元 (CSI 模式) (从设备模式, SCKp 外部时钟输入)

参数	符号	条件	MIN.	TYP.	MAX.	单位
SCKp 周期时间	t_{KCY2}	$16 \text{ MHz} < f_{MCK}$	$8/f_{MCK}$			ns
		$f_{MCK} \leq 16 \text{ MHz}$	$6/f_{MCK}$			ns
SCKp 高/低电平宽度	t_{KH2} , t_{KL2}		$f_{KCY2}/2$			ns
Sip 建立时间 (到 SCKp $\uparrow$)	t_{SIK2}		$1/f_{KCY2} + 80$			ns
Sip 保持时间 (从 SCKp $\uparrow$)	t_{SI2}		50			ns
从 SCKp $\downarrow$ 到 SOp 输出的延迟时间	t_{SO2}	$C = 50 \text{ pF}^{\#}$	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$1/f_{MCK} + 120$	ns
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		$1/f_{MCK} + 120$	ns
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$1/f_{MCK} + 180$	ns

注 C 是 SCKp 和 SOp 输出线的负载电容。

注意事项 当由 PIMmn 和 POMmn 寄存器选择普通缓冲器和普通模式时。

备注 1. p: CSI 数 (p = 00, 01, 10, 20)
 2. f_{MCK} : 串行阵列单元操作时钟频率
 (由 SMRmn 寄存器的 CKSmn 位设置的工作时钟 m: 单元序号 (m=0,1),
 n: 通道序号 (n = 0~3))

(d) 串行阵列单元 (简易 IIC 模式)

参数	符号	条件	MIN.	MAX.	单位
SCL10, SCL20 时钟频率	f_{SCL}	$C_b = 100 \text{ pF}^{\#}$ $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		400	kHz
当 SCL10, SCL20 = “L”时的保持时间	t_{LOW}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	995		ns
当 SCL10, SCL20 = “H” 时的保持时间	t_{HIGH}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	995		ns
数据建立时间(接收)	$t_{SU:DAT}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	120		ns
数据保持时间(发送)	$t_{HD:DAT}$		0	90	ns
SDA 噪声消除宽度		当使用噪声滤波器时		$2/f_{CLK}$	μs

注 C_b 是 SCL10, SCL20 输出线的负载电容。

注意事项 当由 PIMmn 和 POMmn 寄存器选择普通缓冲器和普通模式时。

(e) IIC0

参数	符号	条件	标准模式		高速模式		单位
			MIN.	MAX.	MIN.	MAX.	
SCL0 时钟频率	f _{SCL}	6.7 MHz ≤ f _{CLK}	0	100	0	400	kHz
		4.0 MHz ≤ f _{CLK} < 6.7 MHz	0	100	0	340	kHz
		3.2 MHz ≤ f _{CLK} < 4.0 MHz	0	100	—	—	kHz
		2.0 MHz ≤ f _{CLK} < 3.2 MHz	0	85	—	—	kHz
重启条件的建立时间 ^{注1}	t _{SU:STA}		4.7		0.6		μs
保持时间	t _{HD:STA}		4.0		0.6		μs
当 SCL0 = “L” 时保持时间	t _{LOW}		4.7		1.3		μs
当 SCL0 = “H” 时保持时间	t _{HIGH}		4.0		0.6		μs
数据建立时间(接收)	t _{SU:DAT}		250		100		ns
数据保持时间(发送) ^{注2}	t _{HD:DAT}	CL00 = 1 和 CL01 = 1	0	3.45 ^{注3}	0	0.9 ^{注4}	μs
				5.50 ^{注5}		1.5 ^{注6}	μs
		其他情况	0	3.45	0	0.9	μs
停止条件的建立时间	t _{SU:STO}		4.0		0.6		μs
总线释放时间	t _{BUF}		4.7		1.3		μs
噪声消除宽度		DFC0 = 1	—	—		1/f _{CLK}	s

- 注
1. 当检测到启动/重启条件时在这个周期后第一个时钟脉冲产生。
 2. t_{HD:DAT} 的最大值(MAX.) 在普通发送期间, 等待状态插入在 $\overline{\text{ACK}}$ (响应) 时序。
 3. 当 3.2 MHz ≤ f_{CLK} ≤ 4.19 MHz。
 4. 当 6.7 MHz ≤ f_{CLK} ≤ 8.38 MHz。
 5. 当 2.0 MHz ≤ f_{CLK} < 3.2 MHz 时。此时, SCL0 时钟在 85 kHz 内。
 6. 当 4.0 MHz ≤ f_{CLK} < 6.7 MHz 时。此时, SCL0 时钟在 340 kHz 内。

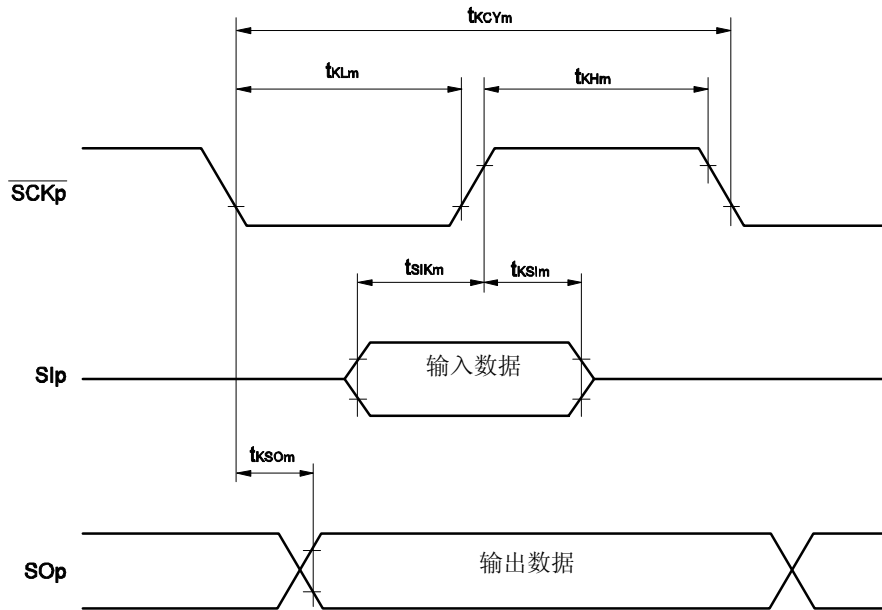
备注 CL00, CL01, DFC0: IIC 时钟选择寄存器 0 (IICCL0) 的第 0, 1 和 2 位

(f) 片上调试 (UART)

参数	符号	条件	MIN.	TYP.	MAX.	单位
发送速率			f _{CLK} /2 ¹²		f _{CLK} /6	bps
		Flash 存储器编程模式			2.66	Mbps
TOOL1 输出频率	f _{TOOL1}	2.7 V ≤ V _{DD} ≤ 5.5 V			10	MHz
		1.8 V ≤ V _{DD} < 2.7 V			2.5	MHz

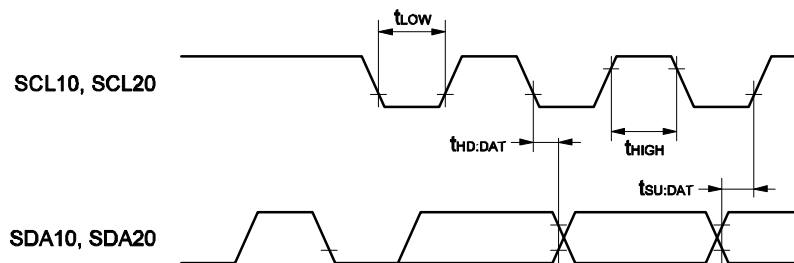
串行发送时序

CSIp:

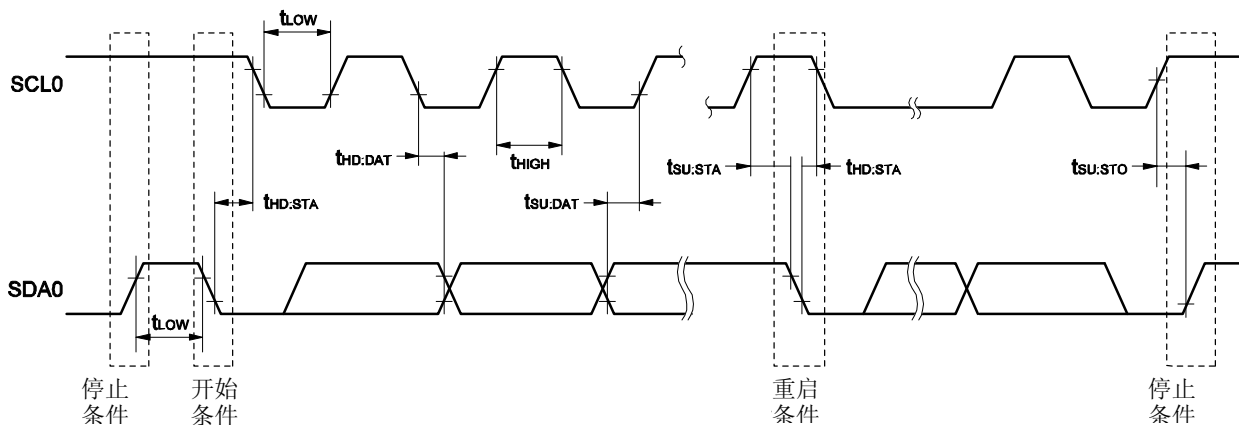


- 备注
1. p: CSI 数 ($p = 00, 01, 10, 20$)
 2. m = 1, 2

简易 IIC0:



IIC0:



A/D 转换器特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $2.3\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
分辨率	RES				10	位
总误差 ^{註1,2}	AINL	$4.0\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$			± 0.4	%FSR
		$2.7\text{ V} \leq AV_{REF0} < 4.0\text{ V}$			± 0.6	%FSR
		$2.3\text{ V} \leq AV_{REF0} < 2.7\text{ V}$			± 1.2	%FSR
转换时间	t_{CONV}	$4.0\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$	6.1		66.6	μs
		$2.7\text{ V} \leq AV_{REF0} < 4.0\text{ V}$	12.2		66.6	μs
		$2.3\text{ V} \leq AV_{REF0} < 2.7\text{ V}$	27		66.6	μs
零度误差 ^{註1,2}	EVS	$4.0\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$			± 0.4	%FSR
		$2.7\text{ V} \leq AV_{REF0} < 4.0\text{ V}$			± 0.6	%FSR
		$2.3\text{ V} \leq AV_{REF0} < 2.7\text{ V}$			± 0.6	%FSR
满度误差 ^{註1,2}	EFS	$4.0\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$			± 0.4	%FSR
		$2.7\text{ V} \leq AV_{REF0} < 4.0\text{ V}$			± 0.6	%FSR
		$2.3\text{ V} \leq AV_{REF0} < 2.7\text{ V}$			± 0.6	%FSR
积分非线性误差 ^{註1}	ILE	$4.0\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$			± 2.5	LSB
		$2.7\text{ V} \leq AV_{REF0} < 4.0\text{ V}$			± 4.5	LSB
		$2.3\text{ V} \leq AV_{REF0} < 2.7\text{ V}$			± 6.5	LSB
微分非线性误差 ^{註1}	DLE	$4.0\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$			± 1.5	LSB
		$2.7\text{ V} \leq AV_{REF0} < 4.0\text{ V}$			± 2.0	LSB
		$2.3\text{ V} \leq AV_{REF0} < 2.7\text{ V}$			± 2.0	LSB
模拟 输入电压	V_{AIN}	$2.3\text{ V} \leq AV_{REF0} \leq 5.5\text{ V}$	AV_{SS}		AV_{REF0}	V

- 注 1. 不包括量化误差($\pm 1/2$ LSB)。
 2. 此值表示对满度值的比率(%FSR)。

D/A 转换器特性

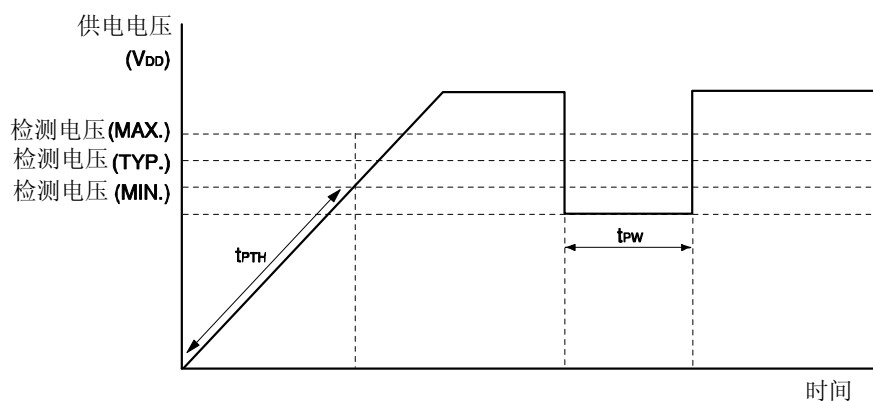
($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
分辨率	RES				8	位
总误差	AINL	$R_{LOAD} = 2\text{ M}\Omega$			± 1.2	%FSR
		$R_{LOAD} = 4\text{ M}\Omega$			± 0.8	%FSR
		$R_{LOAD} = 10\text{ M}\Omega$			± 0.6	%FSR
设置时间	t_{SET}	$C_{LOAD} = 20\text{ pF}$	$4.0\text{ V} \leq AV_{REF1} \leq 5.5\text{ V}$		3	μs
			$2.7\text{ V} \leq AV_{REF1} < 4.0\text{ V}$		3	μs
			$1.8\text{ V} \leq AV_{REF1} < 2.7\text{ V}$		6	μs
D/A 输出阻抗值	R_o	每 1 个通道 D/A 转换器		6.4		$\text{k}\Omega$

POC 电路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
检测电压	V_{POC0}		1.5	1.59	1.68	V
供电电压上升斜率	t_{PTH}	改变 V_{DD} 的斜率: $0\text{ V} \rightarrow V_{POC0}$	0.5			V/ms
最小脉冲宽度	t_{PW}	当电压下降时	200			μs
检测延迟时间					200	μs

POC 电路时序

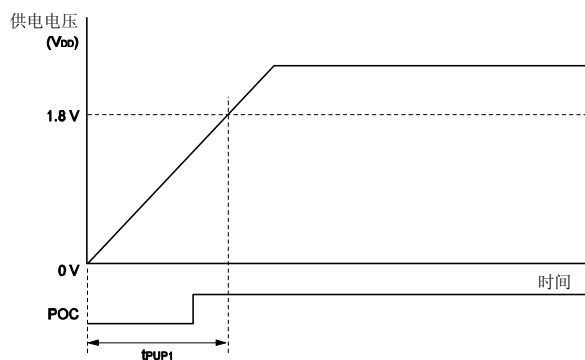
供电电压上升时间 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	MIN.	TYP.	MAX.	单位
上升到 1.8 V ($V_{DD}(\text{MIN.})$) 的最大时间 ^注 ($V_{DD}: 0\text{ V} \rightarrow 1.8\text{ V}$)	t_{PUP1}	当不使用复位输入时, 设置 LVI 默认开始功能停止(LVIOFF (选项字节) = 1)。			3.6	ms
上升到 1.8 V ($V_{DD}(\text{MIN.})$) 的最大时间 (释放 RESET 输入 $\rightarrow V_{DD}: 1.8\text{ V}$)	t_{PUP2}	当使用复位输入时, 设置 LVI 默认开始功能停止(LVIOFF (选项字节) = 1)。			1.88	ms

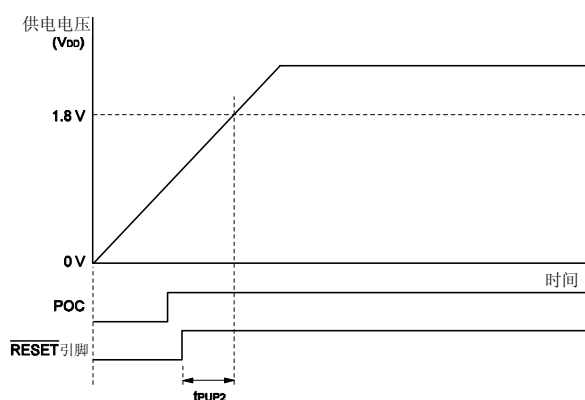
注 确保供电电压上升时间小于此值。

供电电压下降时间时序

• 当不使用 RESET 引脚输入时



• 当使用 RESET 引脚输入时



LVI 电路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{POC} \leq V_{DD} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

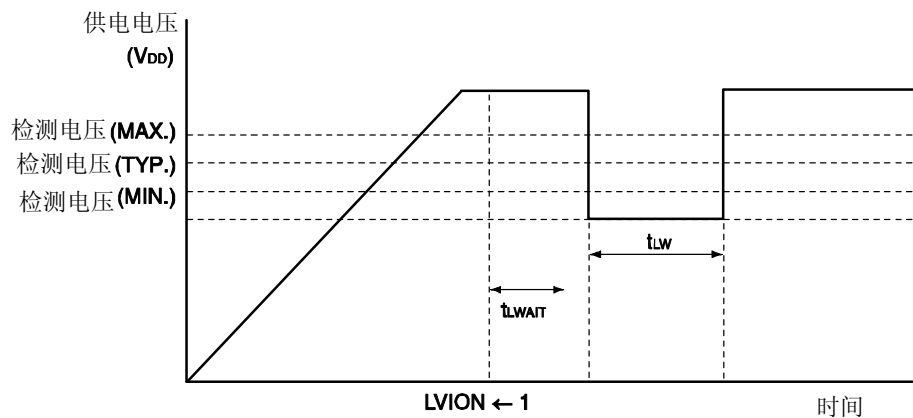
参数		符号	条件	MIN.	TYP.	MAX.	单位
检测电压	供电电压电平	V _{LVI0}		4.12	4.22	4.32	V
		V _{LVI1}		3.97	4.07	4.17	V
		V _{LVI2}		3.82	3.92	4.02	V
		V _{LVI3}		3.66	3.76	3.86	V
		V _{LVI4}		3.51	3.61	3.71	V
		V _{LVI5}		3.35	3.45	3.55	V
		V _{LVI6}		3.20	3.30	3.40	V
		V _{LVI7}		3.05	3.15	3.25	V
		V _{LVI8}		2.89	2.99	3.09	V
		V _{LVI9}		2.74	2.84	2.94	V
		V _{LVI10}		2.58	2.68	2.78	V
		V _{LVI11}		2.43	2.53	2.63	V
		V _{LVI12}		2.28	2.38	2.48	V
		V _{LVI13}		2.12	2.22	2.32	V
		V _{LVI14}		1.97	2.07	2.17	V
		V _{LVI15}		1.81	1.91	2.01	V
	外部输入引脚 ^{註 1}	V _{EXLVI}	EXLVI < V _{DD} , 1.8 V ≤ V _{DD} ≤ 5.5 V	1.11	1.21	1.31	V
	电源应用上的供电电压	V _{PUPLVI}	当设置 LVI 默认开始功能允许时	1.87	2.07	2.27	V
最小脉冲宽度		t _{LW}				μs	
检测延迟时间			200		200	μs	
操作稳定等待时间 ^{註 2}		t _{LWAIT}			10	μs	

注 1. 使用 EXLVI/P120/INTP0 引脚。

2. 从设置低电压检测寄存器(LVIM)的第 7 位(LVION)为 1 到操作稳定所需要的时间。

备注 $V_{LVI(n-1)} > V_{LVIn}$: $n = 1 \sim 15$

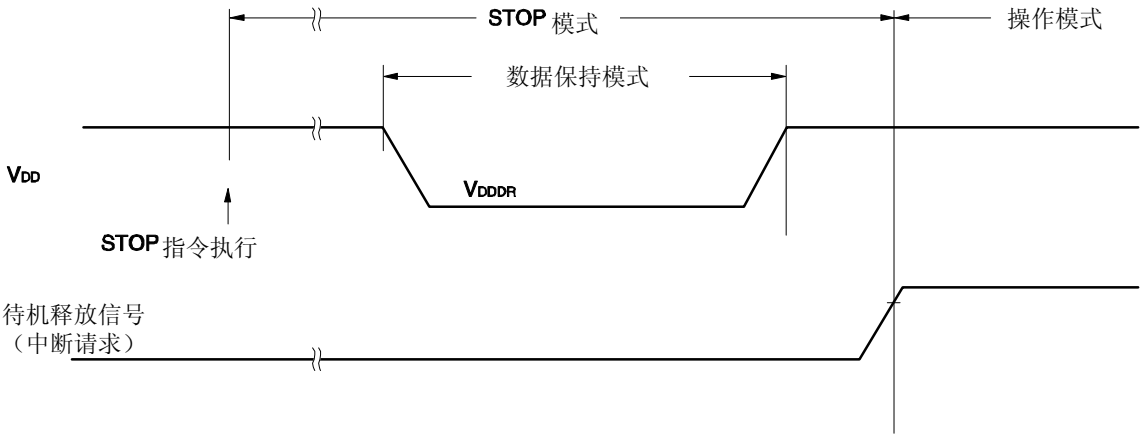
LVI 电路时序



数据存储器 STOP 模式低电压数据保持特性(T_A = -40~+85℃)

参数	符号	条件	MIN.	TYP.	MAX.	单位
数据保持供电电压	V _{DDDR}		1.5 [※]		5.5	V

注 该值根据 POC 检测电压而变化。当电压降低时，一直保持该数据直至 POC 复位有效，但当 POC 复位有效时数据不能保持。



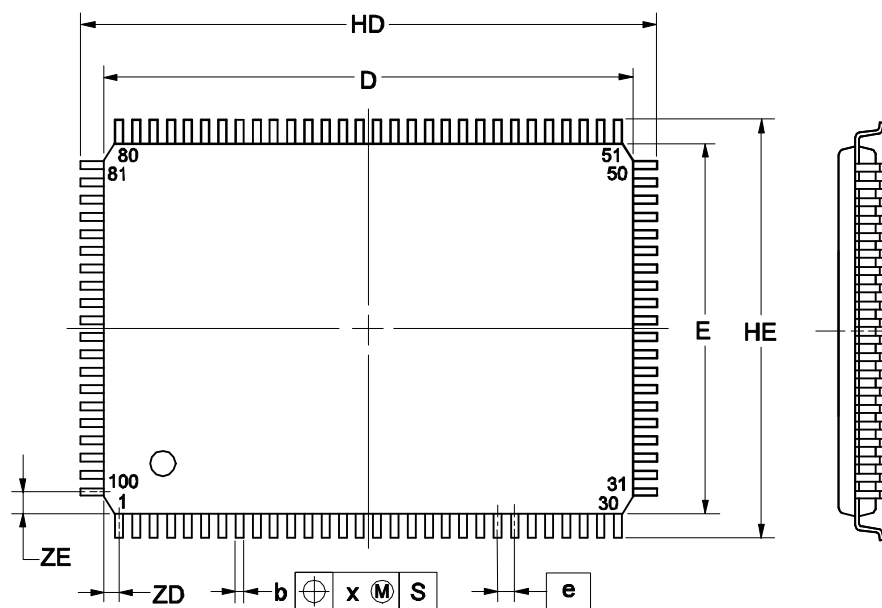
Flash 存储器编程特性

(T_A = -40~+85℃, 2.7 V ≤ V_{DD} = EV_{DD0} = EV_{DD1} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

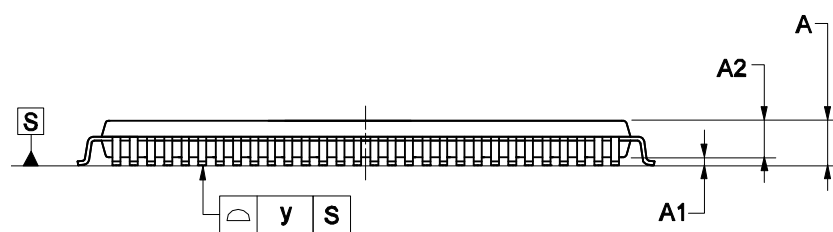
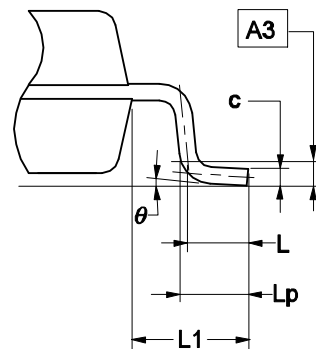
参数	符号	条件	MIN.	TYP.	MAX.	单位
V _{DD} 供电电流	I _{DD}			6	20	mA
CPU/外围硬件时钟频率	f _{CLK}		2		20	MHz
每片重写次数	C _{enwr}	保存: 15 年 1 次擦除 + 1 次擦除后写入 = 1 次重写 [※]	100			次

注 在出货后第一次对产品进行写操作时，“擦除 → 写”和“只写”作为一次重写。

100 引脚塑封 LQFP(密脚距)(14×20)



引脚端详图



注

该结构在最大使用材料情况下，每条引脚的中心线位于其实际位置的 0.13mm 内。

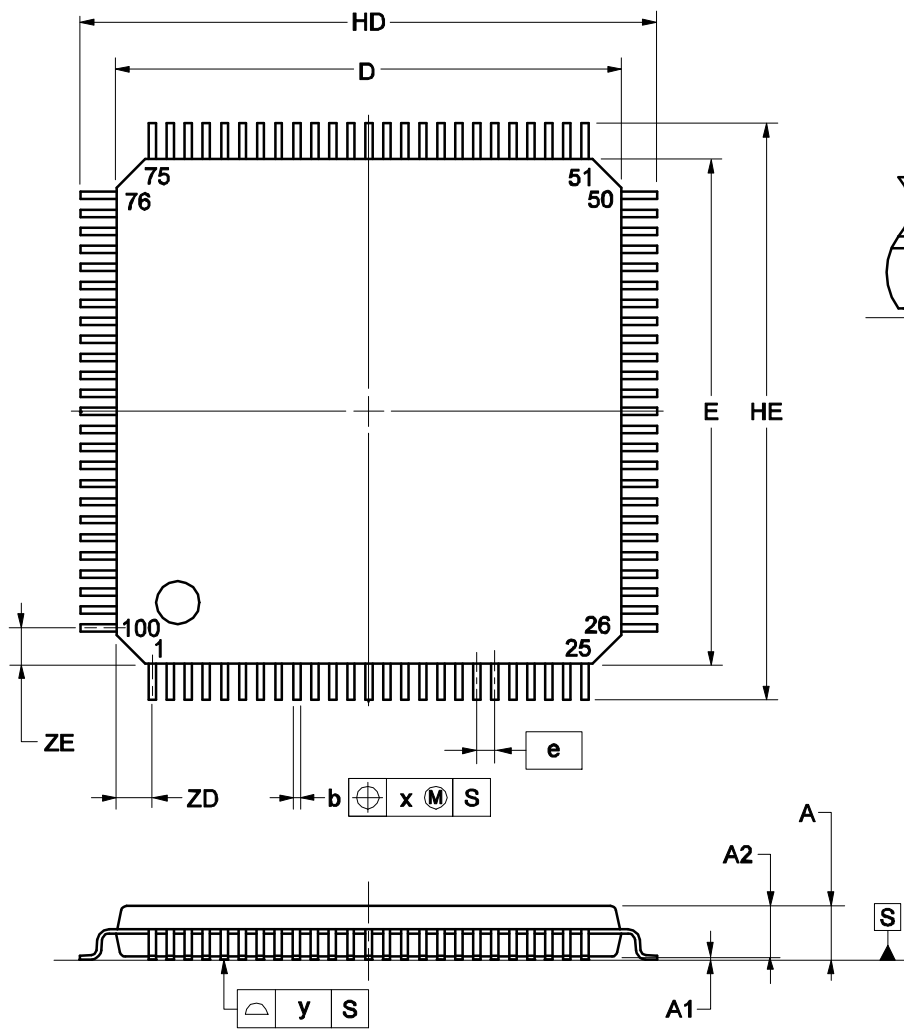
(UNIT:mm)

项目	尺寸
D	20.00±0.20□
E	14.00±0.20□
HD	22.00±0.20□
HE	16.00±0.20□
A	1.60 MAX.
A1	0.10±0.05□
A2	1.40±0.05
A3	0.25
b	0.30 ^{+0.08} _{-0.04}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.65
x	0.13□
y	0.10□
ZD	0.575□
ZE	0.825

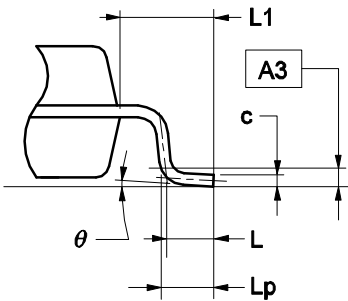
P100GF-65-GAS

© NEC Electronics Corporation 2006

100 引脚塑封 LQFP(密脚距)(14×14)



引脚端详图



(UNIT:mm)

项目	尺寸
D	14.00±0.20□
E	14.00±0.20□
HD	16.00±0.20□
HE	16.00±0.20□
A	1.60 MAX.□
A1	0.10±0.05□
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.035}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08□
y	0.08□
ZD	1.00
ZE	1.00

P100GC-50-UEU

注
该结构在最大使用材料情况下，每条引脚的中心线位于其实际位置的 0.08mm 内

© NEC Electronics Corporation 2005

附录 A 开发工具

78K0R/KG3 的系统开发中使用以下开发工具。

图 A-1 显示了开发工具的组成。

- **支持 PC98-NX 系列**

除非特别说明，IBM PC/AT™ 兼容机支持的产品与 PC98-NX 系列计算机是兼容的。当使用 PC98-NX 系列计算机时，参阅 IBM PC/AT 兼容机的使用说明。

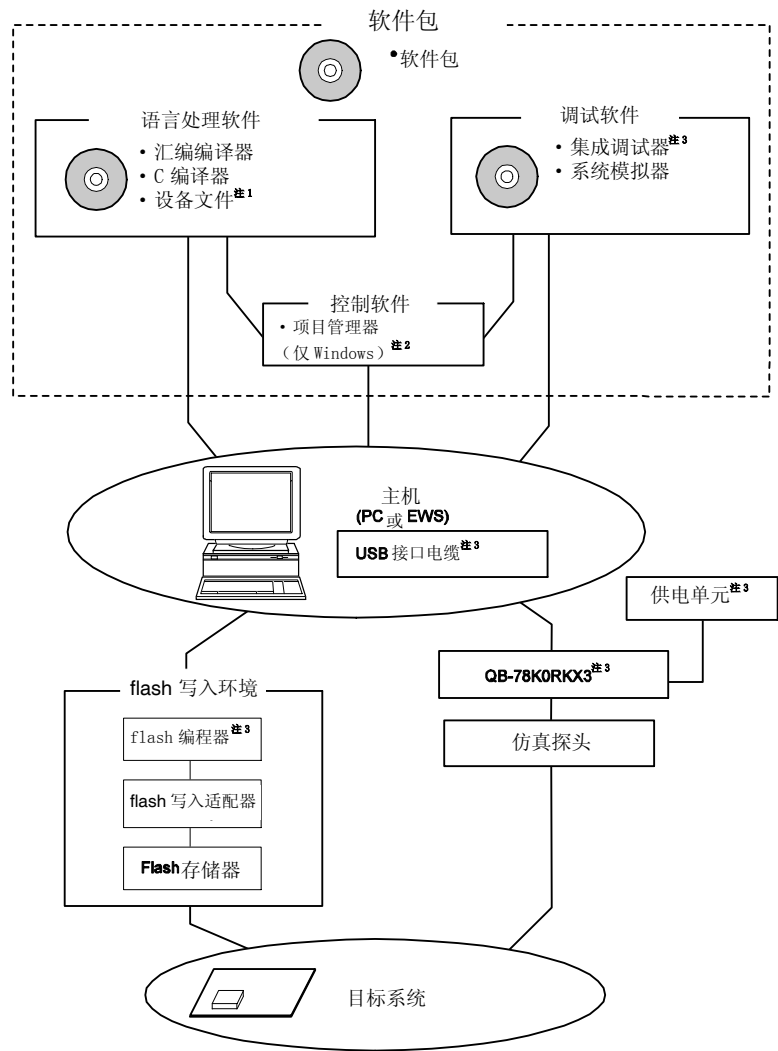
- **Windows™**

除非特别说明，“Windows”是指以下几种操作系统。

- Windows 98
- Windows NT™
- Windows 2000
- Windows XP

图 A-1 开发工具的组成(1/2)

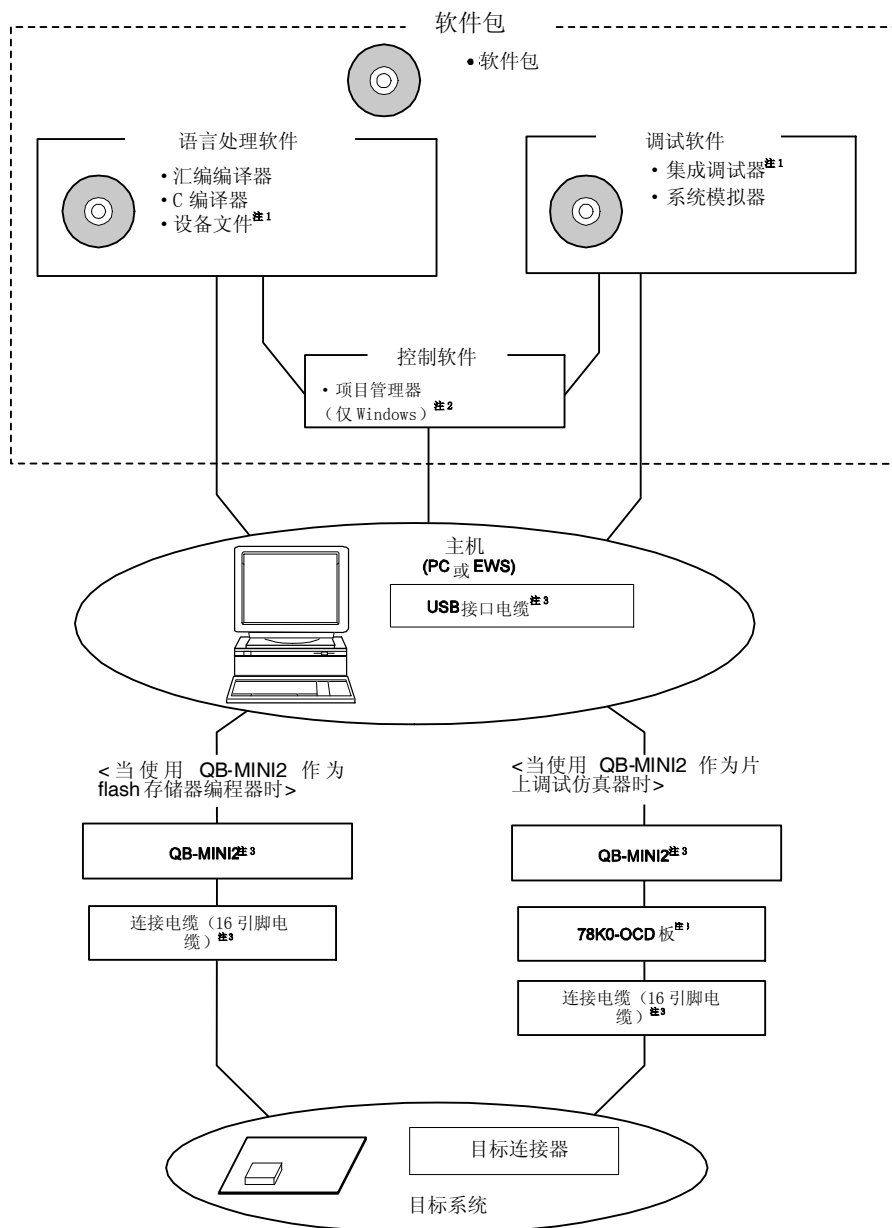
(1) 当使用在线仿真器 QB-78K0RKX3 时



- 注
1. 可从开发工具下载网站(<http://www.necel.com/micro/ods/eng/index.html>)下载 78K0R/KG3 (DF781188) 的设备文件。
 2. 汇编编译器中包括项目管理器 PM+。
PM+仅用于 Windows。
 3. 购买在线仿真器 QB-78K0RKX3 时还提供集成调试器 ID78K0R-QB、具有闪存编程功能的片上调试仿真器 QB-MINI2, 电源和 USB 接口电缆。其他产品均独立销售。

图 A-1 开发工具的组成(2/2)

(2) 当使用具有编程功能的片上调试仿真器 QB-MINI2 时



- 注
1. 可从开发工具下载网站(<http://www.necel.com/micro/ods/eng/index.html>)下载 78K0R/KG3 (DF781188) 的设备文件。
 2. 汇编编译器中包括项目管理器 PM+。
PM+仅用于 Windows。
 3. 购买片上调试仿真器 QB-MINI2 时还提供 USB 接口电缆, 连接电缆(10 引脚电缆和 16 引脚电缆), 和 78K0-OCD 板。其他产品均独立销售。另外, 可从开发工具下载网站(<http://www.necel.com/micro/ods/eng/index.html>)下载操作 QB-MINI2 的软件。

A.1 软件包

SP78K0R	开发工具（软件包）适用于 78K0R 微控制器。
78K0R 系列软件包	产品型号: μS xxxxSP78K0R

备注 产品型号中的xxxx随主机和使用的 OS 而变化

μS xxxxSP78K0R

xxxx	主机	OS	存储介质
AB17	PC-9800 系列,	Windows (日文版本)	CD-ROM
BB17	IBM PC/AT 兼容机	Windows (英文版本)	

A.2 语言处理软件

RA78K0R 汇编编译器	该汇编编译器将助记符编写的程序转换为微处理器可执行的目标代码。 该汇编编译器可以自动建立符号表和对转移指令进行优化。 该汇编编译器应当和设备文件(DF781188) (独立销售)一起使用。 < 在 PC 环境中使用 RA78K0R 的注意事项> 该汇编编译器是基于 DOS 应用的。它也可以在 Windows 环境下使用, 但必须在 Windows 环境下使用项目管理器 (包含在汇编编译器软件包中) 产品型号: μSxxxxRA78K0R
CC78K0R C 编译器	该编译器将 C 程序转换成微控制器可执行的目标代码 该编译器应当和汇编程序、设备文件(二者均独立销售)结合使用。 <PC 环境中使用 CC78K0R 的注意事项> C 编译器是基于 DOS 应用的。它也可以在 Windows 环境下使用, 但必须在 Windows 环境下使用项目管理器(包含在汇编编译器软件包中)。 产品型号: μSxxxxCC78K0R
DF781188 [※] 设备文件	该文件包含设备特有的信息 该设备文件应当结合工具(RA78K0R, CC78K0R, 用于 SM+ 的 78K0R, 和 ID78K0R-QB) (均为独立销售)一起使用 相应的 OS 和主机随使用工具而变化 产品型号: μSxxxxDF781188

注 DF781188 可以与 RA78K0R, CC78K0R, 用于 SM+ 的 78K0R, 和 ID78K0R-QB 一起使用
(<http://www.necel.com/micro/ods/eng/index.html>)DF781188

备注 产品型号中的xxxx随主机和使用的 OS 而变化

μSxxxxRA78K0R

μSxxxxCC78K0R

xxxx	主机	OS	存储介质
AB17	PC-9800 系列, IBM PC/AT 兼容机	Windows (日文版本)	CD-ROM
BB17		Windows (英文版本)	

μSxxxxDF781188

xxxx	主机	OS	存储介质
AB13	PC-9800 系列, IBM PC/AT 兼容机	Windows (日文版本)	3.5 英寸 2HD FD
BB13		Windows (英文版本)	

A.3 控制软件

PM+ Project manager	这是一个控制软件，可使用户在 Windows 环境下有效地进行软件开发。用户程序开发中进行的任何操作，如启动编辑器、构造程序和启动调试器，都可以由项目管理器执行 <注意事项> P 包含在汇编编译器软件包 (RA78K0R) 中。 仅在 Windows 中使用
------------------------	---

A.4 Flash 存储器编程工具

A.4.1 当使用 flash 存储器编程器 FG-FP4 和 FL-PR4

FL-PR4, PG-FP4 Flash 存储器编程器	闪存编程器，专用于内置 flash 存储器的微控制器。
Flash 存储器编程适配器 [※]	Flash 存储器编程适配器，用于连接到 FlashPro4 使用。

注 开发中

A.4.2 当使用具有编程功能的片上调试仿真器 QB-MINI2

QB-MINI2 具有编程功能的片上调试仿真器	这是具有片上 flash 存储器的微控制器专用的 flash 存储器编程器。也可以当作片上调试仿真器使用，在开发 78K0R 应用系统的时候，用于调试硬件和软件。当用作 Flash 存储器编程器的时候，应当和连接电缆(16 引脚接口)一起使用，USB 接口电缆(78K0-OCD)用于连接到主机。
----------------------------	--

- 备注**
1. 购买片上调试仿真器 QB-MINI2 时还提供 USB 接口电缆、连接电缆(10 引脚接口和 16 引脚接口)和 78K0-OCD 线路板。78K0-OCD 线路板仅仅用于片上调试功能。
 2. 可以从开发工具下载页面(<http://www.necel.com/micro/ods/eng/index.html>)下载操作 QB-MINI2 的软件。

A.5 调试工具 (硬件)

A.5.1 当使用在线仿真器 QB-78K0RKX3

QB-78K0RKX3 ^注 在线仿真器	在使用 78K0R/Kx3 开发应用系统时，片上调试仿真器用于调试硬件和软件。它支持集成调试器 (ID78K0R-QB)。该仿真器与供电电压和仿真探头，和用于连接此仿真器到主机的 USB 一起使用。
QB-144-CA-01 引脚检测适配器	该适配器用于示波器等的波形检测。
QB-144-EP-02S 仿真探头	这是一种可以灵活使用的仿真探头，用于连接在线仿真器和目标系统。
QB-100GC-EA-01T, QB-100GF-EA-04T 交换适配器	该适配器用于实现从在线仿真器到目标连接器的引脚转换。 • QB-100GC-EA-01T: 100 引脚塑封 LQFP (GC-UEU 型) • QB-100GF-EA-04T: 100 引脚塑封 LQFP (GF-GAS 型)
QB-100GC-YS-01T, QB-100GF-YS-01T 空间适配器	该适配器用于调整目标系统和在线仿真器之间的高度。 • QB-100GC-YS-01T: 100 引脚塑封 LQFP (GC-UEU 型) • QB-100GF-YS-01T: 100 引脚塑封 LQFP (GF-GAS 型)
QB-100GC-YQ-01T, QB-100GF-YQ-01T YQ 连接器	该连接器用于连接目标连接器和交换适配器。 • QB-100GC-YQ-01T: 100 引脚塑封 LQFP (GC-UEU 型) • QB-100GF-YQ-01T: 100 引脚塑封 LQFP (GF-GAS 型)
QB-100GC-HQ-01T, QB-100GF-HQ-03T 安装适配器	该适配器用于通过插座安装目标设备。 • QB-100GC-HQ-01T: 100 引脚塑封 LQFP (GC-UEU 型) • QB-100GF-HQ-03T: 100 引脚塑封 LQFP (GF-GAS 型)
QB-100GC-NQ-01T, QB-100GF-NQ-01T 目标连接器	该连接器用于将在线仿真器安装到目标系统上 • QB-100GC-NQ-01T: 100 引脚塑封 LQFP (GC-UEU 型) • QB-100GF-NQ-01T: 100 引脚塑封 LQFP (GF-GAS 型)

- 备注**
1. 使用 QB-78K0RKX3 时应提供电源、USB 接口电缆。作为控制软件，还提供集成调试器 ID78K0R-QB 和具有编程功能的片上调试仿真器 QB-MINI2。
 2. 封装内容根据产品型号而不同，如下所示。

封装内容 产品型号	在线仿真器	仿真探头	交换适配器	YQ 连接器	目标连接器
QB-78K0RKX3-ZZZ	QB-78K0RKX3	无			
QB-78K0RKX3-T100GC		QB-144-EP-02S	QB-100GC-EA-01T	QB-100GC-YQ-01T	QB-100GC-NQ-01T
QB-78K0RKX3-T100GF			QB-100GF-EA-04T	QB-100GF-YQ-01T	QB-100GF-NQ-01T

A.5.2 当使用具有编程功能的片上调试仿真器 QB-MINI2 时

QB-MINI2 具有编程功能的片上调试仿真器	这是一个在开发 78K0R 应用系统的时候，用于调试硬件和软件的片上调试仿真器。也可专门当作具有片上 Flash 存储器的芯片的 Flash 存储器编程器使用。当作为片上调试仿真器使用的时候，应当和连接电缆 (16 引脚电缆)一起使用，USB 接口电缆用于连接主机和 78K0-OCD 线路板。
----------------------------	---

- 备注
- 1. 购买片上调试仿真器 QB-MINI2 时还提供 USB 接口电缆、连接电缆(10 引脚电缆和 16 引脚电缆)和 78K0-OCD 线路板。78K0-OCD 线路板仅仅用于片上调试功能。
 - 2. 可以从开发工具下载页面(<http://www.necel.com/micro/ods/eng/index.html>)下载操作 QB-MINI2 的软件

A.6 调试工具 (软件)

用于 78K0R 的 SM+ 系统模拟器	用于 78K0R 的 SM+是基于 Windows 的软件。. 在主机上模拟目标系统操作时，该仿真器用来执行 C 源程序或汇编程序级的调试操作。 使用 78K0/KX2 的 SM+可在不依赖硬件开发的基础上进行应用逻辑测试和性能测试，从而提供了较高的开发效率和软件质量 78K0R 的 SM+应当结合设备文件(DF781188)（独立销售）使用 产品型号: μS_{xxxx} SM781000
ID78K0R-QB 集成调试器	该调试器支持 78K0R 系列的在线仿真器。ID78K0R-QB 是基于 Windows 的软件。 它改善了 C 兼容的调试功能，并使用集成窗口功能(结合源程序、分开显示和跟踪结果的存储区显示)来显示源程序的跟踪结果。该调试器应当结合设备文件(独立销售)一起使用 产品型号: μS_{xxxx} ID78K0R-QB

- 备注
- 产品型号中的xxxx随主机和使用的 OS 而变化

μS_{xxxx} SM781000
 μS_{xxxx} ID78K0R-QB

xxxx	主机	OS	存储介质
AB17	PC-9800 系列，	Windows (日文版本)	CD-ROM
BB17	IBM PC/AT 兼容机	Windows (英文版本)	

附录 B 修订历史

B.1 本版中的主要修订之处

(1/3)

页码	描述	分类
整篇	删除连接到 REGC 引脚的电容器的电容值	(b)
第二章 引脚功能		
p.42	修改中 2.2.19 REGC 的描述	(b)
p.44	修改在 表 2-2 未使用引脚的连接中的 P60 到 P64 和 P110	(b)
p.47	修改图 2-1. 引脚 I/O 电路列表 (2/2) 中的 12-D 到 12-G	(b)
第三章 CPU 结构		
p.82	增加 BCDADJ 寄存器到表 3-6 扩展 SFR (第二 SFR) 列表 (1/5)	(b)
第四章 端口功能		
p.134	修改 图 4-29. P110 和 P111 的框图	(c)
第六章 时钟发生器		
p.192	修改 图 6-6 系统时钟控制寄存器(CKC)的格式中的 注意事项 2	(c)
p.195	修改 6.3 (8) 内部高速振荡器调整寄存器(HIOTRM)中的描述, 并增加注意事项	(c)
p.196	修改 图 6-9 内部高速振荡器调整寄存器(HIOTRM)的格式, 并增加注意事项	(b)
p.202	修改 图 6-13 供电电源打开时时钟发生器操作(当 LVI 默认开始功能设置为停止(选项字节: LVIOFF = 1)时)	(b)
第七章 定时器阵列单元		
p.230	增加图 7-5 定时器时钟选择寄存器 0 (TPS0)的格式中的注	(c)
p.234	修改表 7-3 OVF 位操作和在每种操作模式下设置/清零条件, 并增加备注	(c)
p.246	修改 7.3 (14)噪声消除允许寄存器 1 (NFEN1) 中的描述	(c)
p.256	修改 7.5.1 TI0n 沿检测电路	(c)
第九章 看门狗定时器		
p.322	增加表 9-4 设置看门狗定时器窗口打开周期中的注意事项 3	(c)
第十三章 串行阵列单元		
整篇	SOEm3, SOm3, 和 CKOm3 位设置为“0”	(a)
p.358	修改 图 13-1 串行阵列单元 0 的框图	(b)
p.359	修改 图 13-2 串行阵列单元 1 的框图	(b)
p.364	增加图 13-5 串行时钟选择寄存器 m (SPSm)的格式中的设置和注	(b)
p.377	修改 图 13-14 串行输出允许寄存器 m (SOEm)的格式	(c)
p.378	增加描述 13.3 (12) 串行输出寄存器 m (SOM) 描述	(c)
p.378	修改 图 13-15 串行输出寄存器 m (SOM)的格式	(c)
pp.385,394, 400,408,417, 423	增加发送速率的注	(c)

备注 上表中的修改“分类”如下

(a): 错误纠正, (b): 添加/修改规范, (c): 添加/修改描述或者注释, (d): 添加/修改包, 零件号, 或管理分类, (e): 添加/修改相关文档

(2/3)

页码	描述	分类
第十三章 串行阵列单元		
p.408	修改 13.4.4 从设备发送中的发送速率和注	(c)
p.417	修改 13.4.5 从设备接收中的发送速率	(c)
p.423	修改 13.4.6 从设备发送/接收中的发送速率	(c)
p.432	修改 13.4.7 (2) 中的注	(c)
p.433	增加表 13-2 操作时钟的选择中的设置和注	(c)
p.435,445,452,455	修改发送速率，并增加注	(b)
p.446	修改图 13-74 用于 UART (UART0, UART1, UART2, UART3)接收的寄存器的内容示例中的(e) 串行模式寄存器 mr (SMRmr) 的设置	(a)
p.461	增加 表 操作时钟的选择中的设置和注	(c)
p.478	增加 表 13-4 操作时钟的选择中的设置和注	(c)
第十六章 DMA 控制器		
p.576	增加 16.6 (4) DMA 未决指令的描述	(c)
第十九章 待机功能		
p.607	修改 图 19-4 通过复位的 HALT 模式释放	(b)
p.613	修改 图 19-7 通过复位的 STOP 模式释放	(b)
第二十章 复位功能		
p.616	修改图 20-2 由 RESET 输入引起的复位时序中的复位处理	(b)
p.617	修改图 20-4 在 STOP 模式下由 RESET 输入引起的复位时序中的复位处理	(b)
p.622	修改图 20-5 复位控制标志寄存器 (RESF) 的格式中的 注意事项 2	(c)
第二十一章 上电清零电路		
p.625	修改 图 21-2 由上电清零电路和低电压检测电路产生内部复位信号的时序(1/2)	(b)
p.626	修改图 21-2 由上电清零电路和低电压检测电路产生内部复位信号的时序(2/2)，并增加注	(b)
pp.627,628	修改图 21-3. 复位释放后软件处理过程示例	(c)
第二十二章 低电压检测电路		
p.632	修改图 22-2. 低电压检测寄存器 (LVIM) 的格式中的 注 4，并增加注意事项 3	(c)
p.634	修改图 22-3. 低电压检测等级选择寄存器 (LVIS) 的格式中的 注意事项 2	(c)
p.636	修改 22.4.1 (1) (a) 中的 <5>	(b)
p.637	修改图 22-5. 低电压检测电路内部复位信号产生时序(位: LVISEL = 0, 选项字节: LVIOFF = 1) 中的注 2	(c)
p.638	修改 22.4.1 (1) (b) 的描述和注意事项	(c)
p.639	修改图 22-6. 低电压检测电路内部复位信号产生时序(位: LVISEL = 0, 选项字节: LVIOFF = 0) 和注	(b)
p.640	修改 22.4.1 (2) 中的<4>	(c)
p.641	修改图 22-7. 低电压检测电路内部复位信号产生时序(位: LVISEL = 1) 的注 2	(c)
p.642	修改 22.4.2 (1) 中的 <5>	(c)

备注 上表中的修改“分类”如下

(a): 错误纠正, (b): 添加/修改规范, (c): 添加/修改描述或者注释, (d): 添加/修改包, 零件号, 或管理分类, (e): 添加/修改相关文档

(3/3)

页码	描述	分类
第二十二章 低电压检测电路		
p.643	增加图 22-8. 低电压检测电路中信号产生时序(位: LVISEL = 0, 选项字节: LVIOFF = 1) 中的注 3	(c)
p.644	修改 22.4.2 (1) (b) 的描述和注意事项	(c)
p.645	修改图 22-9. 低电压检测电路中信号产生时序(位: LVISEL = 0, 选项字节: LVIOFF = 0) 并增加注	(c)
p.646	修改 22.4.2 (2) 中的<4>	(c)
p.647	增加图 22-10. 低电压检测电路中信号产生时序(位: LVISEL = 1) 中的注 3	(c)
pp.649,650	修改图 22-11. 复位释放后软件处理过程示例	(c)
第二十三章 校准器		
p.652	修改 23.1 校准器概述	(c)
p.652	增加图 23-1. 校准器模式控制寄存器 (RMC)的格式中的注 3	(c)
第二十四章 选项字节		
p.654	修改 24.1.1 (2) 000C1H/010C1H 中的描述	(c)
p.656	修改图 24-2. 选项字节 (000C1H/010C1H)的格式和注意事项 2	(c)
第二十五章 FLASH 存储器		
p.664	修改 25.4.5 REGC 引脚中的描述	(c)
p.670	增加 25.8 通过自编程进行 Flash 存储器编程中的注意事项 4	(e)
第二十六章 片上调试		
p.676	增加 26.3 用户源的安全	(c)
第二十九章 电气特性 (目标值)		
整篇	整篇修改	(c)

备注 上表中的修改“分类”如下

(a): 错误纠正, (b): 添加/修改规范, (c): 添加/修改描述或者注释, (d): 添加/修改包, 零件号, 或管理分类, (e): 添加/修改相关文档

B.2 以前版本的修订历史

如下是以前版本的修改历史。章节表示各个版本的章节。

(1/13)

版本	描述	章节
第二版	增加 μ PD78F1167 和 μ PD78F1168 到 ROM, RAM 容量	第一章 概述
	修改 1.3 订购信息	
	增加 μ PD78F1167 和 μ PD78F1168 到 1.6 功能概述	
	增加 2.2.5 (2) (c) TOOL1 中的描述	第二章 引脚功能
	修改表 2-2 未使用引脚的连接中的描述	
	删除前一个版本中图 3-5 存储器映射图 (μ PD78F1166) 的注 2	第三章 CPU 结构
	增加 图 3-6 存储器映射图 (μ PD78F1167)	
	增加 图 3-7 存储器映射图 (μ PD78F1168)	
	增加 block 号 00H~FFH 到 表 3-1 Flash 存储器的地址值和 Block 号的相应关系	
	增加 μ PD78F1167 和 μ PD78F1168 到表 3-2 内部 ROM 容量	
	增加 μ PD78F1167 和 μ PD78F1168 到 3.1.2 镜像区	
	增加 μ PD78F1167 和 μ PD78F1168 到表 3-4 内部 RAM 容量	
	增加图 3-12 数据存储器和寻址之间的相应关系 (μ PD78F1166)	
	增加图 3-13 数据存储器和寻址之间的相应关系(μ PD78F1167)	
	增加图 3-14 数据存储器和寻址之间的相应关系(μ PD78F1168)	
	增加串行输出电平寄存器 0 和 1 到 表 3-6 扩展 SFR (第二 SFR)列表	
	增加注意事项 3 到 4.2.2 端口 1	第四章 端口功能
	增加 4.2.3 端口 2 中的描述	
	增加注意事项到 4.2.5 端口 4	
	增加 4.2.6 端口 5 中的描述	
	增加注意事项到 4.2.9 端口 8	
	增加 4.2.11 端口 12 中的描述	
	增加 注 到 4.3 (2) 端口寄存器 (P0 ~ P8, P11 ~ P15)	
	增加 注 到 4.3 (3) 上拉电阻选项寄存器(PU0, PU1, PU3~PU8, PU12~ PU14)	
	增加 μ PD78F1167 的 (f) 存储器映射图和 μ PD78F1168 的 (g) 存储器映射图, 并且修改图 5-1 当使用外部总线接口功能时的存储器映射图中的注	第五章 外部总线接口
	修改 6.3 (5) 系统时钟控制寄存器 (CKC) 中 CPU/外围硬件时钟的选择和 6.6.1 (3)当使用高速系统时钟作为 CPU/外围硬件时钟时的设置过程的示例中的设置	第六章 时钟发生器
	增加 6.3 (8) 内部高速振荡器调整寄存器(HIOTRM) 中的描述	
	修改 图 6-14 CPU 时钟状态转换框图, 并增加注 和 备注	
	增加表 6-6~6-9 到 6.6.7 CPU 时钟和主系统时钟转换需要的时间	

(2/13)

版本	描述	章节
第二版	修改定时器模式寄存器 00 (TMR00)的位名称	第七章 定时器阵列单元
	增加 7.3 (14) 噪声滤波允许寄存器 1 (NFEN1) 中的描述	
	修改 注意事项 和增加备注到 8.3 (4) 实时计数器控制寄存器 2 (RTCC2)	第八章 实时计数器
	修改 9.4.1 看门狗定时器的控制操作中的 注意事项 4 和 5	第九章 看门狗定时器
	修改表 9-3 看门狗定时器的溢出时间的设置中的 注意事项	
	修改表 9-4 看门狗窗口打开周期的设置中的 注意事项 1	
	增加 9.4.4 看门狗定时器 间隔中断的设置中的 注意事项	
	修改图 11-9 模拟输入通道选择寄存器(ADS)的格式 中的 ANI1 设置	第十一章 A/D 转换器
	修改寄存器设置, 操作过程和处理流程	第十三章 串行阵列单元
	增加缓冲空中断到[中断功能], 和[错误检测标志] 到 13.1.1 3 线串行 I/O (CSI00, CSI01, CSI10, CSI20) 和 13.4 3 线串行 I/O (CSI00, CSI01, CSI10, CSI20) 通信的操作	
	增加 5 位数据长度和接收数据和反向选择到 [数据发送/接收], 缓冲器空中断到 [中断功能], 和[错误检测标志] 到 13.1.2 UART (UART0, UART1, UART2, UART3) 和 13.5 UART (UART0, UART1, UART2, UART3) 通信的操作	
	增加 [错误检测标志] 到 13.1.3 简易 I ² C (IIC10, IIC20) 和 13.6 简易 I ² C (IIC10, IIC20) 通信的操作	
	增加串行输出电平寄存器 m (SOLm)到表 13-1 串行阵列单元的配置	
	增加串行输出电平寄存器 0, 1 (SOL0, 1) 到 图 13-1 串行阵列单元 0 的框图 和 13-2 串行阵列单元 1 的框图	
	增加 5 位数据长度的描述到 13.2 (2) 串行数据寄存器 mn (SDRmn)的低 8 位	
	增加串行输出电平寄存器 m (SOLm) 到 13.3 串行阵列单元控制寄存器	
	修改和增加 注意事项 在 13.3 (1) 外围设备允许寄存器 0 (PER0)	
	增加 注意事项到 13.3 (2) 串行时钟选择寄存器 m (SPSm)	
	增加 13.3 (3) 串行模式寄存器 mn (SMRmn) 中的描述	
	增加 SISmn0 位的描述到图 13-6 串行模式寄存器 mn (SMRmn)的格式	
	修改图 13-7 串行通信操作设置寄存器 mn (SCRmn)的格式	
	增加 13.3 (5) 串行数据寄存器 mn (SDRmn) 的高 7 位中的描述	
	增加 注意事项 2 到图 13-8 串行数据寄存器 mn (SDRmn)的格式	
	修改图 13-9 串行状态寄存器 mn (SSRmn)的格式	
	增加 13.3 (8) 串行通道允许状态寄存器 m (SEm) 中的描述	
	修改 图 13-11 串行通道允许状态寄存器 m (SEm)的格式	
	修改 图 13-13 串行通道停止寄存器 m (STm) 的格式	
	增加 13.3 (11) 串行输出允许寄存器 m (SOEm) 中的描述	
	增加 13.3 (12) 串行输出寄存器 m (SOM) 中的描述	
	增加 13.3 (13) 串行输出电平寄存器 m (SOLm)	

版本	描述	章节
第二版	增加 13.3 (15) 噪声滤波允许寄存器 0 (NFEN0) 中的描述	第十三章 串行阵列单元
	在 13.4.1 主设备发送 中增加错误检测标志, 并修改发送速率	
	增加 MDmn0 位, 修改 INTCSlp, 并增加 注意事项 到 图 13-28 主设备发送的时序图 (在连续发送模式下)	
	增加错误检测标志, 并且修改发送速率在 13.4.2 主设备接收 中	
	增加错误检测标志, 并且修改 13.4.3 主设备发送/接收 中的中断和发送速率	
	增加 MDmn0 位, 修改 INTCSlp, 并且增加 注意事项 到 图 13-42 主设备发送/接收的时序图 (在连续发送/接收模式下)	
	增加错误检测标志, 并且修改 13.4.4 从设备发送 中的发送速率	
	增加 MDmn0 位, 修改 INTCSlp, 并增加 注意事项 到 图 13-50 从设备发送时序图 (在连续发送模式下)	
	增加错误检测标志, 并修改 13.4.5 从设备接收 中的发送速率	
	增加错误检测标志, 并修改中断和发送速率在 13.4.6 从设备发送/接收	
	增加 MDmn0 位, 修改 INTCSlp, 并增加 注意事项 到 图 13-64 Timing Chart of 从设备发送/接收的时序图 (在连续发送/接收模式下)	
	修改 13.4.7 (1) 主设备 中的说明	
	增加 注 到 13.4.7 (2) 从设备	
	增加错误检测标志, 修改 13.5.1 UART 发送 和 13.5.2 UART 接收 中的发送速率和数据相位	
	增加 MDmn0 位, 修改 INTCSlp, 并增加 注意事项 到 图 13-72 UART 发送的时序图 (在连续发送模式下)	
	增加错误中断和错误检测标志, 并且修改 13.5.3 LIN 发送 和 13.5.4 LIN 接收 中的发送速率和数据相位	
	增加 注意事项 到 13.5.5 (1) 计算波特率	
	增加错误检测标志, 并修改 13.6.1 地址域发送 , 13.6.2 数据发送 和 13.6.3 数据接收 中的发送速率	
	修改 表 14-2 时钟设置选择 中的发送时钟	第十四章 串行接口 IIC0
	将前一版本中的 14.3 (7) I²C 发送时钟设置方法 移动到 14.5.4 发送时钟设置方法 , 并增加在从设备边选择时钟设置方法的描述	
	增加 表 14-7 等待周期	
	修改 14.5.15 (2) 当通信预约功能禁止时 (IIC 标志寄存器 0 (IICF0) 的第 0 位(IICRSV)=1) 中的等待时间, 并删除前一个版本中的 表 14-7	
	增加描述和流程图到 14.5.17 通信操作	
	修改 图 15-1 乘法器的框图	第十五章 乘法器
	增加 15.3 乘法器的操作	
	增加 D/A 转换器操作状态的描述到 表 19-2 在 STOP 模式下的操作状态	第十九章 待机功能
	增加 注 2 到 图 20-5 复位控制标志寄存器 (RESF) 的格式	第二十章 复位功能

(4/13)

版本	描述	章节
第二版	修改 V _{P0C} 的值	第二十一章 上电清零电路
	增加 注意事项 2 到 图 22-2 低电压检测寄存器(LVIM)的格式	第二十二章 低电压检测电路
	修改图 23-1 用户选项字节(000C0H/010C0H)的格式 中的 注意事项	第二十三章 选项字节
	增加图 23-2 选项字节(000C1H/010C1H)的格式中的描述和 注意事项 2	
	DC 特性 • 修改输入电压, 高的 MIN.值 • 修改输入电压, 低的 MAX. 值 • 修改输入漏电流, 高的 Max.值 • 修改输入漏电流, 低的 Max.值 • 增加 D/A 输出阻抗值	第二十五章 电气特性 (目标值)
	AC 特性 • 修改外部主系统时钟输入高电平宽度, 低电平宽度的值 • 修改 TI00 ~ TI07 输入高电平宽度, 低电平宽度的值 • 增加 TO00~TO07 输出频率 • 增加 PCLBUZ0/1 输出频率 • 增加 图	
	增加 A/D 转换器特性	
	增加 D/A 转换器特性	
	增加 附录 A 修订历史	
		附录 A 修订历史
第三版	1.1 特性 • 修改μPD78F1167 和μPD78F1168 的状态指示为“计划中” • 增加片上 BCD 调整 • 增加 8 位分辨率 D/A 转换器	第一章 概述
	增加 注意事项 2 到 1.4 引脚配置 (俯视图)	
	增加 1.5 78K0R 微控制器系列产品	
	在 1.6 框图中增加 BCD 修正电路, 并修改外部总线接口 I/O 引脚的箭头方向	
	在 1.7 功能概述中修改 μ PD78F1167 和 μ PD78F1168 的状态说明为“计划中”	
	在 2.1 (2) 非端口功能中修改 EX25, EX26, SO00, SO01, TxD0,和 TxD3 的复用功能	第二章 引脚功能
	在 2.2.5 P40 ~ P47 (端口 4) 中修改复用功能的描述 并增加 注意事项	
	在 表 2-2 未使用引脚的连接中增加 I/O 电路类型	
	增加图 2-1 引脚 I/O 电路列表	
	在 第三章删除 CALLF 指令的描述	第三章 CPU 结构
	修改 3.1 存储器空间中的描述	
	在 图 3-5 存储器映射图 (μ PD78F1166) 和 图 3-13 数据存储器和寻址之间的相应关系 (μ PD78F1166) 中增加 注	
	在 图 3-7 存储器映射图 (μ PD78F1168) 和 图 3-15 数据存储器和寻址之间的相应关系 (μ PD78F1168) 中增加 注	

版本	描述	章节
第三版	在 3.1.2 镜像区域 中修改描述并增加图表示例和 PMC 寄存器的说明	第三章 CPU 结构
	在 表 3-5 SFR 列表 中修改小时计数寄存器和小时报警寄存器的复位值	
	在 表 3-5 SFR 列表 中修改日计数寄存器和月计数寄存器的复位值	
	在 表 3-5 SFR 列表 中修改背景事件控制寄存器的复位值	
	增加 BCD 修正进位寄存器和注到 表 3-5 SFR 列表	
	在 表 3-5 SFR 列表 中修改高位乘法结果保存寄存器和低位乘法结果保存寄存器的符号	
	在 表 3-6 扩展 SFR (第二 SFR) 列表 中增加校准器模式控制寄存器和 BCD 调整结果寄存器	
	在 表 3-6 扩展 SFR (第二 SFR) 列表 中为低 8 位增加 SFR 名称, 并修改 SSRmn, SIRmn, SEm, SSm, STm, SPSm, SOEm, SOLm, TCR0n, TSR0n, TE0, TS0, TT0, TPS0, TO0, TOE0, TOL0, 和 TOM0 寄存器的 R/W 特性和可操作位范围	
	在 表 3-6 扩展 SFR (第二 SFR) 列表 中修改串行输出寄存器 0 和 串行输出寄存器 1 的复位值	
	在 表 3-6 扩展 SFR (第二 SFR) 列表 中修改串行输出允许寄存器 0 和 串行输出允许寄存器 1 的复位值	
	在 表 3-6 扩展 SFR (第二 SFR) 列表 中修改定时器通道计数器寄存器 0n 的 R/W 特性	
	增加 3.3 指令地址寻址	
	增加 3.4 处理数据地址寻址	
	增加 注意事项 1 和 2 到 4.2.1 端口 0	第四章 端口功能
	增加 注意事项 1 和 2 到 4.2.2 端口 1	
	增加 注意事项 到 4.2.4 端口 3	
	增加 注意事项 2 和 3 到 4.2.5 端口 4	
	修改 图 4-28 P80~P87 框图 和 图 4-29 P110 和 P111 的框图	
	增加 注意事项 到 4.2.12 端口 13	
	增加 注意事项 1 和 2 到 4.2.13 端口 14	
	增加 注意事项 到 图 4-39 端口模式寄存器的格式	
	4.3 (2) 端口寄存器 (P0~P8, P11~P15) 修改中的注	
	增加 4.4.4 通过不同的供电电压连接到外部设备 (3 V)	
	增加注到 图 5-3 存储器扩展模式控制寄存器 (MEM)的格式	第五章 外部总线接口
	修改 5.6 (5) ASTB 引脚 和 (6) EX0~EX7, EX8~EX15, EX16~EX23,和 EX24~EX31 引脚 中的描述	
	修改 图 5-9 同步存储器连接的示例 和 图 5-10 异步存储器连接的示例	
	增加 注意事项 3 到 图 6-3 时钟操作状态控制寄存器 (CSC)的格式	第六章 时钟发生器
	修改 6.3 (3) 振荡稳定时间计数器状态寄存器 (OSTC) 中的描述	
	修改 图 6-4 振荡稳定时间计数器状态寄存器 (OSTC)的格式 中的 注意事项 2	

版本	描述	章节
第三版	修改图 6-5 振荡稳定时间选择寄存器(OSTS)的格式中的 注意事项 5	第六章 时钟发生器
	修改 图 6-6 系统时钟控制寄存器 (CKC) 的格式中的 注意事项 3	
	修改图 6-8 操作速度模式控制寄存器 (OSMC)的格式中的 注意事项 1~3	
	增加 图 6-14 当供电电源打开时时钟发生器的操作 (当 LVI 默认开始功能设置为停止时 (选项字节: LVIOFF = 1)) 和描述	
	增加图 6-15 当供电电源打开时时钟发生器的操作(当 LVI 默认开始功能设置为允许时 (选项字节: LVIOFF = 0)) 和描述	
	修改 6.6.1 (1) 振荡 X1 时钟时设置过程的示例中的注意事项 1	
	修改 6.6.1 (2) <2>标题中的寄存器名称	
	增加 <2>到 6.6.1 (4) (b)	
	增加 注意事项到 6.6.2 (2) (b)	
	修改 6.6.3 控制副系统时钟的示例中的 注意事项	
	修改 6.6.3 (1) 振荡副系统时钟时设置过程的示例中的 注意事项	
	修改 6.6.3 (2) <2> 设置副系统时钟作为 CPU 时钟的源时钟 (CKC 寄存器) 中的位名称	
	修改 6.6.3 (2) 当使用副系统时钟作为 CPU 时钟时设置过程的示例中的 注意事项	
	修改 6.6.3 (3) <2>标题中的寄存器名称	
	在 图 6-16 CPU 时钟状态发送框图中增加从 (C)到 (B)的箭头	
	修改表 6-4 CPU 时钟发送和 SFR 寄存器设置示例	
	增加表 6-5 改变 CPU 时钟中的描述	
	修改 6.6.7 CPU 时钟和主系统时钟转换需要的时间中的描述	
	删除表 6-8 在类型 2 中需要时钟的最大数中的注意事项	
	在第七章中修改 TIS0n0 和 TIS0n1 位的名称为 CIS0n0 和 CIS0n1 位	第七章 定时器阵列单元
	增加 7.1.1 独立操作时每个通道的功能中的描述	
	增加 7.1.2 与其他通道一起操作时每个通道的功能中的描述	
	增加 7.2 (1) 定时器/计数器寄存器 0n (TCR0n) 中的描述和表	
	删除 7.2 (2) 定时器数据寄存器 0n (TDR0n) 中的注意事项	
	在 7.3 控制定时器阵列单元的寄存器中为寄存器 TSR0n, TE0, TS0, TT0, TPS0, TO0, TOE0, TOL0,和 TOM0 低 8 位增加 SFR 名称	
	增加 7.3 (2) 定时器时钟选择寄存器 0 (TPS0) 中的描述	
	修改图 7-6 定时器模式寄存器 0n (TMR0n)的格式 中的描述和设置	
	修改图 7-9 定时器通道开始寄存器 0 (TS0)的格式 中的 R/W 特性	

(7/13)

版本	描述	章节
第三版	修改图 7-10 定时器通道停止寄存器 0 (TT0) 格式中的 R/W 特性	第七章 定时器阵列单元
	修改 7.3 (9) 定时器输出允许寄存器 0 (TOE0) 中的描述	
	修改 7.3 (10) 定时器输出寄存器 0 (TO0) 中的描述	
	修改 7.3 (11) 定时器输出电平寄存器 0 (TOL0) 中的描述	
	修改图 7-16 输入切换控制寄存器 (ISC) 的格式	
	修改图 7-20 作为间隔定时器/方波输出操作的基本时序示例	
	增加注意事项到 7.5.4 作为输入脉冲间隔测量操作	
	修改图 7-31 作为输入脉冲间隔测量操作的框图	
	增加注意事项到 7.5.5 作为输入信号高-低电平宽度 测量操作	
	修改 7.6.1 作为 PWM 功能操作中的描述	
	修改 7.6 定时器阵列单元多通道的操作中的备注	
	修改图 7-43 当使用 PWM 功能时的操作过程中的描述	
	修改图 7-44 作为单脉冲输出功能操作的框图	
	修改 7.6.3 作为多路 PWM 输出功能操作中的描述	
	在图 8-2 外围设备允许寄存器 0 (PER0) 的格式中修改 注意事项并增加 备注	第八章 实时计数器
	修改 8.3 (2) 实时计数器控制寄存器 0 (RTCC0) 中的 注意事项	
	修改 8.3 (3) 实时计数器控制寄存器 1 (RTCC1) 中的 注意事项	
	增加图 8-4 实时计数器控制寄存器 1 (RTCC1) 格式和图 8-21 报警设置过程 中的备注	
	在 8.3 (8) Hour 计数寄存器 (HOUR) 中修改复位值并增加描述	
	修改 8.3 (9) 日计数寄存器 (DAY) 中的复位值	
	修改 8.3 (11) 月计数寄存器 (MONTH) 中的复位值	
	修改 8.3 (15) 小时报警寄存器 (ALARMWH) 中的复位值	
	增加注意事项到 11.3 (7) 端口模式寄存器 2 和 15 (PM2, PM15)	第十一章 A/D 转换器
	在 13.4 3 线串行 I/O (CSI00, CSI01, CSI10, CSI20) 通信的操作 到 13.6 简易 I2C (IIC10, IIC20) 通信的操作中增加 PER0 和 SPSm 寄存器的 注意事项	第十三章 串行阵列单元
	在 13.3 控制串行阵列单元的寄存器中为寄存器 SSRmn, SIRmn, Semn, SSm, STm, SPSm, 和 SOLm 的低 8 位增加 SFR 名称	
	在 13.3 控制串行阵列单元的寄存器中修改寄存器 SIRmn, SSm, 和 STm 的 R/W 特性	
	修改 13.3 (12) 串行输出寄存器 m (Som) 中的复位值	
	修改图 13-36 (d) 串行模式寄存器 mn (SMRmn) 中的第 0 位的设置	
	删除 13.6 简易 I2C (IIC10, IIC20) 通信的操作中溢出错误的描述.	
	删除 13.6.1 地址域发送中溢出错误的描述.	
	删除 13.6.2 数据发送中溢出错误的描述	
	删除 13.6.3 数据接收中溢出错误的描述.	

(8/13)

版本	描述	章节
第三版	增加 14.5.18 I2C 中断请求 (INTIIC0)发生的时序.	第十四章 串行接口 IIC0
	增加 14.6 时序图	
	在第十五章中修改高位乘法结果保存寄存器 和低位 乘法结果保存寄存器的符号	第十五章 乘法器
	增加图 15-2 16 位高位乘法结果保存寄存器 和 16 位低位乘法结果保存寄存器 (MULOH, MULOL)的格式	
	增加图 15-3 乘法输入数据寄存器 A, B (MULA, MULB)的格式	
	增加 16.2 (1) DMA SFR 地址寄存器 n (DSAn) 中的 注	第十六章 DMA 控制器
	增加表 17-2 中断请求源相应标志中的 注	第十七章 中断功能
	在 图 17-2 中修改 IF2L 寄存器第 0 ~2 位的位名称	
	在图 17-3 中修改 MKOL 寄存器第 0 位的位名称	
	修改 17.4.4 中断请求 保持	
	修改 19.1.2 (1) 振荡稳定时间计数器状态寄存器 (OSTC) 中的描述	第十九章 待机功能
	修改 19.1.2 (2) 振荡稳定时间选择寄存器(OSTS) 中的复位值	
	修改图 19-2. 振荡稳定时间选择寄存器(OSTS)的格式中的设置	
	修改表 19-1 HALT 模式下的操作状态中系统时钟 的 f _{IL} 和 f _X , 主系统时钟的 f _{EX} 的描述	
	修改表 19-2 STOP 模式下的操作状态中关于 系统时钟 的 f _{IL} , RAM, 和实时 计数器 (RTC) 的描述	
	修改图 19-5 STOP 模式释放时的操作时序	
	修改 图 19-6 由中断请求产生释放的 STOP 模式并增加 (2)当高速系统时钟(外部时钟输入)用作 CPU 时钟时	
	增加 RESF 寄存器 读信号到 图 20-1 复位功能的框图	第二十章 复位功能
	增加外部总线接口到 表 20-1 复位期间的操作状态	
	在 表 20-2 复位响应后的硬件状态中修改实时计数器的小时 计数寄存器 (HOUR), 日计数寄存器 (DAY), 月计数寄存器 (MONTH), 和分钟报警寄存器 (ALARMWH)的复位后的状态	
	修改和增加图 21-2 由上电清零电路和低电压检测电路引起的内部复位信号发生的时序中的注 4	第二十一章 上电清零电路
	增加 22.4.1 当用作复位时	第二十二章 低电压检测电路
	增加 22.4.2 当用作中断时	
	增加章节	第二十三章 校准器
	增加注意事项 到 图 24-2 选项字节 (000C1H/010C1H)的格式	第二十四章 选项字节
	增加 25.5 控制 Flash 存储器的寄存器	第二十五章 FLASH 存储器

版本	描述	章节
第三版	增加章节	第二十六章 BCD 修正电路
	增加章节	第二十七章 指令集
	DC 特性 • 修改输入电压, 高(V_{IH7}) MIN. 值并增加 注 1 • 修改输入电压, 低 (V_{IL9})的 MAX. 值 • 修改输入电压, 低 (V_{IL7})的 MAX 值并增加注 2 • 修改输出电压, 高(V_{OH1}) 的条件 • 修改 输出电压, 低 (V_{OL1}, V_{OL3}) 的条件 • 修改输入漏电流, 高(I_{LH4}) 的条件 • 修改输入漏电流, 低 (I_{LL4}) 的条件	第二十八章 电气特性 (目标值)
	在 AC 特性 (1) 基本操作 中修改 AC 修正测量电压的图	
	A/D 转换器特性 • 修改 表的上边部分中的条件 • 修改微分线性误差 (DLE)的条件和最大值	
	D/A 转换器特性 • 修改 表的上边部分中的条件 • 增加 D/A 转换器工作电流(I_{DAC}) • 修改设置时间 (t_{SET})的条件	
	增加章节	附录 A 修订历史
第四版	将 μ PD78F1162, μ PD78F1163, μ PD78F1167,和 μ PD78F1168 的状态修改为“开发中”	第一章 概述
	1.1 特性 • 增加单电源供电 flash 存储器安全功能 • 在自编程功能中增加 flash 保护窗口功能	
	修改图 3-1 存储器映射图 (PD78F1162) 到图 3-7 存储器映射图 (PD78F1168)	第三章 CPU 结构
	增加 3.1.1(4)片上调试安全 ID 设置区域	
	增加注意事项到 3.1.3 内部数据存储器空间	
	增加注意事项到 3.2.4 特殊功能寄存器 (SFRs)	
	在表 3-5 SFR 列表中修改 BCD 调整结果寄存器	
	增加 注意事项到 3.2.5 扩展特殊功能寄存器(第二 SFR: 第二特殊功能寄存器)	

(10/13)

版本	描述	章节
第四版	增加 注到图 5-1 (e) PD78F1166 的存储器映射图和 (g) μ PD78F1168 的存储器映射图	第五章 外部总线接口
	在图 5-6. 读外部存储器时序中修改 (c) 无等待, 16 位总线 CLKOUT = $f_{CLK}/2$ (EXWEN = 0, MM3 = 1, MM2 = 1) 和 (d) 等待, 16 位总线 CLKOUT = $f_{CLK}/2$ (EXWEN = 1, MM3 = 1, MM2 = 1)	
	在图 5-7. 写入到外部存储器时序中修改 (a) 无等待, 8 位总线 CLKOUT = f_{CLK} (EXWEN = 0, MM3 = 1, MM2 = 0) 和 (b) 等待, 8 位总线 CLKOUT = f_{CLK} (EXWEN = 1, MM3 = 1, MM2 = 0)	
	修改图 5-9 同步存储器连接的示例和 图 5-10 异步存储器连接的示例	
	修改图 6-1 时钟发生器的框图	第六章 时钟发生器
	增加注意事项到 图 6-7 外围设备允许寄存器的格式	
	增加注 4 到 6.3 (7) 操作速度模式控制寄存器 (OSMC)	
	修改 6.3 (8) 内部高速振荡器调整寄存器 (HIOTRM) 中的描述	
	在图 6-13 当供电电源打开时时钟发生器的操作 (当 LVI 默认开始功能设置为停止时(选项字节: LVIOFF = 1)) 中增加直到 CPU 操作开始的时间	
	修改 图 6-14 当供电电源打开时时钟发生器的操作 (当 LVI 默认开始功能设置为允许时(选项字节: LVIOFF = 0))	
	增加注意事项到 6.6.1 (3) <3>	
	修改表 6-4 (6) CPU 时钟从高速系统时钟 (C) 变到内部高速振荡时钟 (B)	
	修改表 6-4 (9) CPU 时钟从副系统时钟 (D) 转变到高速系统时钟 (C) 中的 CSC 寄存器位名称	
	增加注意事项 2 到 7.3 (1) 外围设备允许寄存器 0 (PER0)	第七章 定时器阵列单元
	修改图 7-6 定时器模式寄存器 0n (TMR0n) 的格式	
	增加 7.3 (4) 定时器状态寄存器 0n (TSR0n) 中的描述	
	增加表 7-3 在每个操作模式下 OVF 位操作和设置/清零条件	
	增加表 7-4 从计数操作允许状态到 TCR0n 计数开始的操作, 从 (a) 到 (e)	
	增加 7.3 (11) 定时器输出 level 寄存器 0 (TOL0) 中的描述	
	修改 7.3 (12) 定时器输出模式寄存器 0 (TOM0) 中的描述	
	修改图 7-20 定时器输出模式寄存器 0 (TOM0) 的格式 和 备注	
	在图 7-22 噪声滤波允许寄存器 1 (NFEN1) 的格式中修改第 7 位的描述并增加注	
	增加 7.4 通道输出 (TO0n 引脚) 控制	
	增加 7.5 通道输入 (TI0n 引脚) 控制	
	增加 MD0n0 位条件到下图标题	
	- 图 7-37 作为间隔定时器/方波输出操作的基本时序的示例(MD0n0 = 1) - 图 7-45 作为分频器操作的基本时序的示例(MD0n0 = 1) - 图 7-49 作为输入脉冲间隔测量操作的框图的示例(MD0n0 = 0)	

版本	描述	章节
第四版	修改 7.7.3 作为分频器操作中的描述	第七章 定时器阵列单元
	修改 7.8.3 作为多路 PWM 输出功能操作中的描述	
	修改实时计数器的清零条件	第八章 实时计数器
	在图 8-2 外围设备允许寄存器 0 (PER0) 的格式中修改描述和注意事项 1	
	增加注意事项 2 到图 8-2 外围设备允许寄存器 0 (PER0) 的格式	
	增加注意事项到图 8-4 实时计数器控制寄存器 1 (RTCC1) 的格式	
	增加注意事项到图 8-5 实时计数器控制寄存器 2 (RTCC2) 的格式	
	修改 8.3 (5) Sub-计数器寄存器 (RSUBC) 中的 注 2	
	修改图 8-17 星期报警寄存器 (ALARMWW) 的格式中的位名称	
	增加注意事项 2 到 11.3 (1) 外围设备允许寄存器 0 (PER0)	第十一章 A/D 转换器
	修改 表 11-2 A/D 转换时间选择	
	增加注意事项 2 到 12.3 (1) 外围设备允许寄存器 0 (PER0)	第十二章 D/A 转换器
	增加注意事项 3 到 13.3 (1) 外围设备允许寄存器 0 (PER0)	
	修改图 13-7 串行通信操作设置寄存器 mn (SCRmn) 的格式	第十三章 串行阵列单元
	增加 13.3 (13) 串行输出电平寄存器 m (SOLm) 中的描述	
	修改图 13-16 串行输出电平寄存器 m (SOLm) 的格式中的第 1 和 3 位	
	修改 (a) 串行输出寄存器 m (SOM), (d) 串行输出电平寄存器 m (SOLm) 的设置, 和图 13-66 UART (UART0, UART1, UART2, UART3) 发送的寄存器的内容的示例 中的注	
	修改图 13-74 UART (UART0, UART1, UART2, UART3) 接收的寄存器的内容示例 中的 (b) 串行输出允许寄存器 m (SOEm) 设置	
	修改图 13-89 地址域发送的流程图	
	修改图 13-92 数据发送的流程图	
	增加注意事项 2 到 14.3 (1) 外围设备允许寄存器 0 (PER0)	第十四章 串行接口 IIC0
	修改 14.5.4 (2) 从设备选择时钟设置方法中的描述	
	在 16.4.1 操作过程中增加 <1> 和 <3> 的描述	第十六章 DMA 控制器
	增加 16.5.5 通过软件强行终止的描述	
	增加描述和 注 到 16.6 (1) DMA 的优先级	
	在下图中增加复位处理时间和时钟提供停止时间	第十九章 待机功能
	- 图 19-4 由复位释放的 HALT 模式 - 图 19-6 由中断请求发生释放的 STOP 模式 - 图 19-7 由复位释放的 STOP 模式	
	修改图 19-5 当 STOP 模式释放时的操作时序 (当未屏蔽中断请求发生时)	
	修改图 20-2 由复位输入引起的复位时序	第二十章 复位功能
	修改图 20-3 由看门狗定时器 溢出引起的复位时序	
	修改图 20-4 在 STOP 模式下由复位输入引起的复位时序	

(12/13)

版本	描述	章节
第四版	增加复位处理时间到图 21-2 通过上电清零电路 和 低电压检测电路产生的内部复位信号的时序	第二十一章 上电清零电路
	为上电清零电路增加 21.4 注意事项	
	增加操作稳定时间	第二十二章 低电压检测电路
	修改注意事项 2 到图 22-3 低电压检测 电平寄存器 (LVIS)的格式	
	为低电压检测电路增加 22.5 注意事项	
	修改 24.1.1 (2) 000C1H/010C1H 中的描述	第二十四章 选项字节
	修改 图 24-2 用户 选项字节(000C1H/010C1H)的格式	
	修改 图 24-4 片上调试选项字节(000C3H/010C3H)的格式	
	增加 25. 4.1 (3) 通过自编程写入期间中的描述	第二十五章 FLASH 存储器
	增加 25.5 (1)背景时间控制寄存器 (BECTL) 中的描述	
	增加 25.6 编程方法	
	增加 25.7 安全设置	
	增加 25.8 通过自编程对 Flash 存储器编程	
	增加章节	第二十六章 片上调试
	删除 BCD 修正进位寄存器 (BCDCY 位)的描述, 等	第二十七章 BCD 修正电路
	最大额定值 • 增加校准器电压 (REGC) • 修改输入电压 和输出电压	第二十九章 电气特性(目标值)
	在 XT1 振荡器 特性中增加最大值和最小值	
	DC 特性 •修改 输出电流, 高(I _{OH1})的条件和注 1 • 修改 输出电流, 低 (I _{OL1}) 的条件和注 2 •修改输入电压, 高(V _{IH2}) 的条件 •修改输入电压, 低 (V _{IL2}) 的条件 •修改输出电压, 低 (V _{OL1}) 的条件 •增加供电电流 •增加看门狗定时器工作电流 (I _{WDT}) •增加 A/D 转换器工作电流 (I _{ADC}) •增加 D/A 转换器工作电流(I _{DAC}) •增加 DMA 控制器工作流 (I _{DMA}) •增加 LVI 工作电流 (I _{LVI})	
	修改 A/D 转换器特性的转换时间(t _{conv})的最小值	
	增加 POC 电路特性	
	增加供电电压上升时间	
	增加 LVI 电路特性	
	增加数据存储器 STOP 模式低电压数据保持特性	
	修订整章	附录 A 开发工具

(13/13)

版本	描述	章节
Ver.4.2	删除内部高速振荡始终的温度修正功能的描述，并从下面章节中删除温度修正表 H, L。 • 第三章 CPU 结构 • 第六章 时钟发生器 • 第十一章 A/D 转换器 • 第十四章 串行接口 IIC0 • 第二十章 复位功能 • 第二十九章 电气特性(目标值)	整篇
	将设备文件从 DF781166 改为 DF781188	附录 A 开发工具

详细信息请联系:

(中国区)

网址:

<http://www.cn.necel.com/>

<http://www.necel.com/>

[北京]

日电电子(中国)有限公司
中国北京市海淀区知春路 27 号
量子芯座 7, 8, 9, 15 层
电话: (+86) 10-8235-1155
传真: (+86) 10-8235-7679

[上海]

日电电子(中国)有限公司上海分公司
中国上海市浦东新区银城中路 200 号
中银大厦 2409-2412 和 2509-2510 室
电话: (+86) 21-5888-5400
传真: (+86) 21-5888-5230

上海恩益禧电子国际贸易有限公司
中国上海市浦东新区银城中路 200 号
中银大厦 2511-2512 室
电话: (+86) 21-5888-5400
传真: (+86) 21-5888-5230

[深圳]

日电电子(中国)有限公司深圳分公司
深圳市福田区益田路卓越时代广场大厦 39
楼 3901, 3902, 3909 室
电话: (+86) 755-8282-9800
传真: (+86) 755-8282-9899

[香港]

香港日电电子有限公司
香港九龙旺角太子道西 193 号新世纪广场
第 2 座 16 楼 1601-1613 室
电话: (+852) 2886-9318
传真: (+852) 2886-9022
2886-9044
