

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3850グループ(H仕様)

ユーザーズマニュアル

ルネサス8ビットCISCシングルチップマイクロコンピュータ
740ファミリ / 38000シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますとは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

改訂履歴

3850 グループ(H仕様)ユーザーズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	01/04/17	-	PDF ファイル初版発行
1.1	01/04/23	P2-2 P2-79 P3-52 P3-63	<ul style="list-style-type: none"> ・ 図 2.1.2 ポート Pi の構成 (i=0 ~ 4) を一部変更 ・ 図 2.6.3 A-D 変換上位レジスタの構成を一部変更 ・ 図 3.5.1 ポート Pi の構成を一部変更 ・ 図 3.5.22 A-D 変換上位レジスタの構成を一部変更
1.2	01/09/10	P1-2 P1-60 P1-65 P1-70 P1-78 P2-21 P2-107 P2-107 P2-108 P3-6 P3-29 P3-59	<ul style="list-style-type: none"> ・ 特長の消費電力の値を一部追加 ・ 標準シリアル入出力モードの文章を一部追加 ・ ページプログラムコマンドの(2)の文章を一部追加 ・ 図 68 標準シリアル入出力モード時の応用回路例を一部変更及び注を追加 ・ プログラミング上の注意事項のシリアル I/O に関するものの文章を一部変更 ・ 図 2.3.4 タイマ 2 の構成を一部変更 ・ 図 2.11.5 シリアル入出力モード時の基板上の端子処理例(1)の注を追加 ・ 図 2.11.6 シリアル入出力モード時の基板上の端子処理例(2)の注を追加 ・ 図 2.11.7 シリアル入出力モード時の基板上の端子処理例(3)の注を追加 ・ 表 3.1.6 電気的特性(3)の電源電流の低速モード時の条件及び規格値を追加 ・ 図 3.2.29 フラッシュメモリ版 (M38507F8) の A-D 変換標準特性例の測定条件を一部変更 ・ 図 3.5.16 タイマ 2 の構成を一部変更
1.3	03/07/31	P1-6 P1-38 P1-39 P1-65 P2-88 P2-95 P2-102 P2-103 P2-104 P2-105 P2-106 P3-5 P3-21 P3-23 P3-25 P3-44 P3-67	<ul style="list-style-type: none"> ・ 図 4 ROM 及び RAM 展開計画を一部変更 ・ 図 42 システムクロック発生回路ブロック図 (シングルチップモード) を一部変更 ・ 図 43 システムクロックの状態遷移図 ・ ページプログラムコマンドの文章を一部変更 ・ 図 2.8.1 パワー御リセット回路例を一部変更 ・ 2.10.2 ストップモードの文章を一部変更 ・ 2.11 フラッシュメモリモードの節題を変更 ・ 図 2.11.3 フラッシュメモリ制御レジスタの構成を一部変更 ・ 表 2.11.2 シリアル書き込み時のプログラマとの接続例 (4 線式) を一部変更 ・ (1) CPU 書き換えモード設定 / 解除方法の文章を一部追加 ・ (1) CPU 書き換えモード設定 / 解除方法の文章を追加 ・ 表 3.1.5 電気的特性(2)を一部変更 ・ 図 3.2.16 Pチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)を一部変更 ・ 図 3.2.20 Pチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)を一部変更 ・ 図 3.2.24 Pチャネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)を一部変更 ・ (4) JMP 命令の文章を一部変更 ・ 図 3.5.31 フラッシュメモリ制御レジスタの構成

1.構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

第2章「応用」

各周辺機能の使用法や応用例を、関連レジスタの設定例を中心に説明しています。

第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧などを掲載しています。

2.レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

b	ビット名	機能	リセット時	R	W
0	プロセッサモードレジスタ	<small>b[0:1]</small> 00: シングルチップモード 01: } 10: } 使用禁止 11: }	0		
1			0		
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0		
3	このビットには何も配置されていません。書き込みは不可で、読み出した場合、その内容は“0”です		0		x
4			0		x
5	このビットは“0”に固定してください。		0		
6	メインクロック(X _{IN} -X _{OUT})停止ビット	0: 発振 1: 停止	*		
7	内部システムクロック選択ビット	0: X _{IN} -X _{OUT} 選択(高速モード) 1: X _{CIN} -X _{COU} T選択(低速モード)	*		

■: 何も配置されていないビット ■: 当該機能の制御では使用されないビット

注1. リセット解除直後の内容
 0・・・リセット解除時“0”
 1・・・リセット解除時“1”
 不定・・・リセット解除時不定
 *・・・リセット解除時オプションによって決められた内容

注2. ビットの属性・・・制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R・・・読み出し
読み出し可能
 x・・・読み出し不可能

W・・・書き込み
書き込み可能
 x・・・書き込み不可能

3.補足事項

関連ツール、関連ドキュメントにつきましては、ルネサステクノロジWebサイトの38000シリーズ ツール/ドキュメントページ(<http://www.renesas.com/jpn/products/mpumcu/8bit/38000/38tdtop.htm>)を参照してください。

目次

第1章 ハードウェア

概要	1-2
特長	1-2
応用	1-2
ピン接続	1-2
機能ブロック	1-3
端子の機能説明	1-4
型名とメモリサイズ・パッケージ	1-5
グループ展開	1-6
メモリの種類	1-6
メモリ容量	1-6
パッケージ	1-6
機能ブロック動作説明	1-8
中央演算処理装置(CPU)	1-8
メモリ	1-12
入出力ポート	1-14
割り込み	1-18
タイマ	1-20
シリアルI/O	1-23
PWM	1-30
A-D変換器	1-32
ウォッチドッグタイマ	1-33
リセット回路	1-34
クロック発生回路	1-36
フラッシュメモリ版	1-40
プログラミング上の注意事項	1-78
使用上の注意事項	1-78
マスク化発注時の提出資料	1-79
ROM書き込み発注時の提出資料	1-79
ROM書き込み方法	1-79
補足説明	1-80
A-D変換器	1-80

第2章 応用

2.1 入出力ポート	2-2
2.1.1 メモリ配置図	2-2

2.1.2	関連レジスタ	2-2
2.1.3	未使用端子の処理	2-3
2.1.4	入出力ポートに関する注意事項	2-4
2.1.5	未使用端子の処理に関する注意事項	2-5
2.2	割り込み	2-6
2.2.1	メモリ配置図	2-6
2.2.2	関連レジスタ	2-7
2.2.3	割り込み要因	2-10
2.2.4	割り込み動作	2-11
2.2.5	割り込み制御	2-14
2.2.6	INT割り込み	2-17
2.2.7	割り込みに関する注意事項	2-18
2.3	タイマ	2-20
2.3.1	メモリ配置図	2-20
2.3.2	関連レジスタ	2-20
2.3.3	タイマの応用例	2-27
2.3.4	タイマに関する注意事項	2-38
2.4	シリアルI/O	2-39
2.4.1	メモリ配置図	2-39
2.4.2	関連レジスタ	2-40
2.4.3	シリアルI/Oの接続例	2-47
2.4.4	シリアルI/O転送データフォーマット	2-49
2.4.5	シリアルI/Oの応用例	2-50
2.4.6	シリアルI/Oに関する注意事項	2-70
2.5	PWM	2-73
2.5.1	メモリ配置図	2-73
2.5.2	関連レジスタ	2-73
2.5.3	PWM出力回路の応用例	2-75
2.5.4	PWMに関する注意事項	2-77
2.6	A-D変換器	2-78
2.6.1	メモリ配置図	2-78
2.6.2	関連レジスタ	2-78
2.6.3	A-D変換応用例	2-81
2.6.4	A-D変換器に関する注意事項	2-83
2.7	ウォッチドッグタイマ	2-84
2.7.1	メモリ配置図	2-84
2.7.2	関連レジスタ	2-84
2.7.3	ウォッチドッグタイマの応用	2-86
2.7.4	ウォッチドッグタイマに関する注意事項	2-87
2.8	リセット	2-88
2.8.1	リセットICを用いた接続例	2-88
2.8.2	リセット端子に関する注意事項	2-89
2.9	クロック発生回路	2-90
2.9.1	関連レジスタ	2-90

2.9.2	クロック発生回路の応用例	2-91
2.10	スタンバイ機能	2-94
2.10.1	関連レジスタ	2-94
2.10.2	ストップモード	2-95
2.10.3	ウェイトモード	2-99
2.11	フラッシュメモリモード	2-102
2.11.1	概要	2-102
2.11.2	メモリ配置	2-102
2.11.3	関連レジスタ	2-103
2.11.4	パラレル入出力モード	2-104
2.11.5	標準シリアル入出力モード	2-104
2.11.6	CPU書き換えモード	2-105
2.11.7	フラッシュメモリモードの応用例	2-107
2.11.8	CPU書き換えモードに関する注意事項	2-112

第3章 付録

3.1	電気的特性	3-2
3.1.1	絶対最大定格	3-2
3.1.2	推奨動作条件	3-3
3.1.3	電気的特性	3-4
3.1.4	A-D変換器特性	3-7
3.1.5	タイミング必要条件及びスイッチング特性	3-8
3.2	標準特性例	3-12
3.2.1	フラッシュメモリ版電源電流特性例	3-12
3.2.2	マスクROM版電源電流特性例	3-15
3.2.3	PROM内蔵版電源電流特性例	3-18
3.2.4	フラッシュメモリ版ポート標準特性例	3-21
3.2.5	マスクROM版ポート標準特性例	3-23
3.2.6	PROM内蔵版ポート標準特性例	3-25
3.2.7	A-D変換標準特性例	3-27
3.3	使用上の注意事項	3-32
3.3.1	入出力ポートに関する注意事項	3-32
3.3.2	未使用端子の処理に関する注意事項	3-33
3.3.3	割り込みに関する注意事項	3-34
3.3.4	タイマに関する注意事項	3-35
3.3.5	シリアルI/Oに関する注意事項	3-35
3.3.6	PWMに関する注意事項	3-38
3.3.7	A-D変換器に関する注意事項	3-39
3.3.8	ウォッチドッグタイマに関する注意事項	3-39
3.3.9	リセット端子に関する注意事項	3-40
3.3.10	ストップモードに関する注意事項	3-40
3.3.11	ウェイトモードに関する注意事項	3-41
3.3.12	フラッシュメモリ版のCPU書き換えモードに関する注意事項	3-41

3.3.13	発振の再開に関する注意事項	3-42
3.3.14	プログラム作成に関する注意事項	3-42
3.3.15	EPROM版/ワンタイムPROM版/フラッシュメモリ版に関する注意事項	3-44
3.3.16	電源端子の取扱いに関する注意事項	3-44
3.3.17	3850グループ(標準品)と3850グループ(H仕様)の相違に関する注意事項	3-44
3.4	ノイズに関する注意事項	3-45
3.4.1	配線長の短縮	3-45
3.4.2	V_{SS} - V_{CC} ライン間へのバイパスコンデンサ挿入	3-47
3.4.3	アナログ入力端子の配線処理	3-48
3.4.4	発振子への配慮	3-49
3.4.5	入出力ポート処理	3-50
3.4.6	ソフトウェアによる監視タイマ機能の実現	3-51
3.5	レジスタ一覧	3-52
3.6	パッケージ寸法図	3-68
3.7	機械語命令一覧表	3-70
3.8	命令コード一覧表	3-80
3.9	SFRメモリマップ	3-81
3.10	ピン接続図	3-82

図目次

第1章 ハードウェア

図1 .M38503MXH-XXXFP/SPのピン接続図	1-2
図2 機能ブロック図	1-3
図3 型名とメモリサイズ・パッケージ	1-5
図4 .ROM及びRAM展開	1-6
図5 .740ファミリCPUの構成	1-8
図6 スタックへの退避及び復帰動作	1-9
図7 .CPUモードレジスタの構成	1-11
図8 .メモリ配置図	1-12
図9 .SFR(スペシャルファンクションレジスタ)メモリマップ	1-13
図10 .ポートのブロック図(1)	1-15
図11 .ポートのブロック図(2)	1-16
図12 .ポートのブロック図(3)	1-17
図13 .割り込み制御図	1-19
図14 .割り込み関係レジスタの構成	1-19
図15 .タイマXYモードレジスタの構成	1-20
図16 .タイマカウントソース設定レジスタ	1-20
図17 .タイマX、タイマY、タイマ1及びタイマ2のブロック図	1-22
図18 .クロック同期形シリアルI/O1ブロック図	1-23
図19 .クロック同期形シリアルI/O1動作図	1-23
図20 .UART形シリアルI/O1ブロック図	1-25
図21 .UART形シリアルI/O1動作図	1-25
図22 .シリアルI/O1関係レジスタの構成	1-26
図23 .シリアルI/O2制御レジスタ1、2の構成	1-27
図24 .シリアルI/O2ブロック図	1-28
図25 .シリアルI/O2タイミング図	1-28
図26 .S _{CMP2} 出力の動作	1-29
図27 .PWM周期のタイミング図	1-30
図28 .PWMブロック図	1-30
図29 .PWM制御レジスタの構成	1-31
図30 .PWMレジスタ及びPWMプリスケラ変更時のPWM出力タイミング図	1-31
図31 .A-D制御レジスタの構成	1-32
図32 .A-D変換レジスタの構成	1-32
図33 .A-D変換器のブロック図	1-32
図34 .ウォッチドッグタイマのブロック図	1-33
図35 .ウォッチドッグタイマ制御レジスタの構成	1-33
図36 .リセット回路例	1-34
図37 .リセット時のタイミング図	1-34
図38 .リセット時の内部状態	1-35
図39 .セラミック共振子外付け回路	1-37
図40 .外部クロック入力回路	1-37

図41 MISRGの構成	1-37
図42 システムクロック発生回路ブロック図(シングルチップモード).....	1-38
図43 システムクロックの状態遷移図	1-39
図44 内蔵フラッシュメモリのブロック図	1-41
図45 フラッシュメモリ制御レジスタのビット構成	1-43
図46 CPU書き換えモードの設定/解除フローチャート	1-43
図47 自動書き込みフローチャート	1-46
図48 イレーズフローチャート	1-46
図49 フルステータスチェックフローチャート及び各エラー発生時の対処方法	1-48
図50 ROMコードプロテクトのビット構成	1-49
図51 IDコードの格納アドレス	1-50
図52 内蔵フラッシュメモリのブロック図	1-51
図53 パラレル入出力モード時の端子結線図	1-53
図54 自動書き込みフローチャート	1-57
図55 イレーズフローチャート	1-57
図56 フルステータスチェックフローチャート及び各エラー発生時の対処方法	1-59
図57 シリアル入出力モード時の端子結線図	1-62
図58 ページリードコマンド時のタイミング	1-64
図59 リードステータスレジスタコマンド時のタイミング	1-64
図60 クリアステータスレジスタ時のタイミング	1-64
図61 ページプログラムコマンド時のタイミング	1-65
図62 イレーズ全ブロックコマンド時のタイミング	1-65
図63 ダウンロード機能のタイミング	1-66
図64 バージョン情報出力機能のタイミング	1-66
図65 IDチェック機能のタイミング	1-67
図66 IDコードの格納アドレス	1-67
図67 フルステータスチェックフローチャート及び各エラー発生時の対処方法	1-70
図68 標準シリアル入出力モード時の応用回路例	1-70
図69 V _{CC} パワーアップ/ダウタイミング	1-74
図70 リード動作用AC波形	1-75
図71 リード動作用測定条件	1-75
図72 プログラム動作用AC波形(WEコントロール)	1-76
図73 プログラム動作用AC波形(CEコントロール)	1-76
図74 イレーズ動作用AC波形(WEコントロール)	1-77
図75 イレーズ動作用AC波形(CEコントロール)	1-77
図76 ワンタイムPROM版書き込みとテスト	1-79
図77 A-D変換器等価回路	1-81
図78 A-D変換タイミングチャート	1-81

第2章 応用

図2.1.1 入出力ポート関連レジスタのメモリ配置	2-2
図2.1.2 ポートPiの構成(i=0~4)	2-2
図2.1.3 ポートPi方向レジスタの構成(i=0~4)	2-3
図2.2.1 割り込み関連レジスタのメモリ配置	2-6

図2.2.2	割り込みエッジ選択レジスタの構成	2-7
図2.2.3	割り込み要求レジスタ1の構成	2-8
図2.2.4	割り込み要求レジスタ2の構成	2-8
図2.2.5	割り込み制御レジスタ1の構成	2-9
図2.2.6	割り込み制御レジスタ2の構成	2-9
図2.2.7	割り込み動作図	2-11
図2.2.8	割り込み要求受付時のスタックポイントとプログラムカウンタの変化	2-12
図2.2.9	割り込み処理ルーチンを実行するまでの時間	2-13
図2.2.10	割り込み要求受付後のタイミング	2-13
図2.2.11	割り込み制御図	2-14
図2.2.12	多重割り込みの例	2-16
図2.2.13	関連レジスタの設定変更手順	2-18
図2.2.14	割り込み要求ビットの判定手順	2-19
図2.3.1	タイマ関連レジスタのメモリ配置	2-20
図2.3.2	プリスケアラ12、プリスケアラX、プリスケアラYの構成	2-20
図2.3.3	タイマ1の構成	2-21
図2.3.4	タイマ2の構成	2-21
図2.3.5	タイマX、タイマYの構成	2-22
図2.3.6	タイマXYモードレジスタの構成	2-23
図2.3.7	タイマカウントソース設定レジスタの構成	2-24
図2.3.8	割り込み要求レジスタ1の構成	2-25
図2.3.9	割り込み要求レジスタ2の構成	2-25
図2.3.10	割り込み制御レジスタ1の構成	2-26
図2.3.11	割り込み制御レジスタ2の構成	2-26
図2.3.12	タイマの接続と分周比の設定	2-28
図2.3.13	関連レジスタの設定	2-28
図2.3.14	制御手順	2-29
図2.3.15	周辺回路例	2-30
図2.3.16	タイマの接続と分周比の設定	2-30
図2.3.17	関連レジスタの設定	2-31
図2.3.18	制御手順	2-31
図2.3.19	入力パルス有効又は無効の判定方法	2-32
図2.3.20	関連レジスタの設定	2-33
図2.3.21	制御手順	2-34
図2.3.22	タイマの接続と分周比の設定	2-35
図2.3.23	関連レジスタの設定	2-36
図2.3.24	制御手順	2-37
図2.4.1	シリアルI/O関連レジスタのメモリ配置	2-39
図2.4.2	シリアルI/O2制御レジスタ1の構成	2-40
図2.4.3	シリアルI/O2制御レジスタ2の構成	2-40
図2.4.4	シリアルI/O2レジスタの構成	2-41
図2.4.5	送信/受信バッファレジスタの構成	2-41
図2.4.6	シリアルI/O1ステータスレジスタの構成	2-42
図2.4.7	シリアルI/O1制御レジスタの構成	2-42
図2.4.8	UART制御レジスタの構成	2-43

図2.4.9	ボーレートジェネレータの構成	2-43
図2.4.10	割り込みエッジ選択レジスタの構成	2-44
図2.4.11	割り込み要求レジスタ1の構成	2-45
図2.4.12	割り込み要求レジスタ2の構成	2-45
図2.4.13	割り込み制御レジスタ1の構成	2-46
図2.4.14	割り込み制御レジスタ2の構成	2-46
図2.4.15	シリアルI/Oの接続例1	2-47
図2.4.16	シリアルI/Oの接続例2	2-48
図2.4.17	シリアルI/O転送データフォーマット	2-49
図2.4.18	接続図	2-50
図2.4.19	タイミング図	2-50
図2.4.20	送信側関連レジスタの設定	2-51
図2.4.21	受信側関連レジスタの設定	2-52
図2.4.22	送信側の制御手順	2-53
図2.4.23	受信側の制御手順	2-54
図2.4.24	接続図	2-55
図2.4.25	タイミング図(シリアルI/O1)	2-55
図2.4.26	シリアルI/O1関連レジスタの設定	2-56
図2.4.27	シリアルI/O1送信データの設定	2-56
図2.4.28	シリアルI/O制御手順	2-57
図2.4.29	シリアルI/O2関連レジスタの設定	2-58
図2.4.30	シリアルI/O2送信データの設定	2-58
図2.4.31	シリアルI/O2制御手順	2-59
図2.4.32	接続図	2-60
図2.4.33	タイミング図	2-61
図2.4.34	関連レジスタの設定	2-61
図2.4.35	マスタ側の制御手順	2-62
図2.4.36	スレーブ側の制御手順	2-63
図2.4.37	接続図	2-64
図2.4.38	タイミング図	2-64
図2.4.39	送信側関連レジスタの設定	2-66
図2.4.40	受信側関連レジスタの設定	2-67
図2.4.41	送信側の制御手順	2-68
図2.4.42	受信側の制御手順	2-69
図2.4.43	シリアルI/O1制御レジスタの再設定手順	2-71
図2.5.1	PWM関連レジスタのメモリ配置	2-73
図2.5.2	PWM制御レジスタの構成	2-73
図2.5.3	PWMプリスケアラの構成	2-74
図2.5.4	PWMレジスタの構成	2-74
図2.5.5	接続図	2-75
図2.5.6	PWM出力タイミング図	2-75
図2.5.7	関連レジスタの設定	2-76
図2.5.8	PWM出力	2-76
図2.5.9	制御手順	2-77
図2.6.1	A-D変換器関連レジスタのメモリ配置	2-78

図2.6.2	A-D制御レジスタの構成	2-78
図2.6.3	A-D変換上位レジスタの構成	2-79
図2.6.4	A-D変換下位レジスタの構成	2-79
図2.6.5	割り込み要求レジスタ2の構成	2-80
図2.6.6	割り込み制御レジスタ2の構成	2-80
図2.6.7	接続図	2-81
図2.6.8	関連レジスタの設定	2-81
図2.6.9	制御手順(8ビット読み出し時)	2-82
図2.6.10	制御手順(10ビット読み出し時)	2-82
図2.7.1	ウォッチドッグタイマ関連レジスタのメモリ配置	2-84
図2.7.2	ウォッチドッグタイマ制御レジスタの構成	2-84
図2.7.3	CPUモードレジスタの構成	2-85
図2.7.4	ウォッチドッグタイマの接続と分周比の設定	2-86
図2.7.5	関連レジスタの初期設定	2-87
図2.7.6	制御手順	2-87
図2.8.1	パワーオンリセット回路例	2-88
図2.8.2	RAMバックアップシステム	2-88
図2.9.1	CPUモードレジスタの構成	2-90
図2.9.2	接続図	2-91
図2.9.3	停電時の状態遷移図	2-91
図2.9.4	関連レジスタの設定	2-92
図2.9.5	制御手順	2-93
図2.10.1	MISRGの構成	2-94
図2.10.2	リセット入力による復帰時の発振安定時間	2-96
図2.10.3	INT ₀ 割り込み要求の発生による復帰時の実行シーケンス例	2-98
図2.10.4	リセット入力時間	2-100
図2.11.1	3850グループフラッシュメモリ版のメモリ配置	2-102
図2.11.2	フラッシュメモリ関連レジスタのメモリ配置	2-103
図2.11.3	フラッシュメモリ制御レジスタの構成	2-103
図2.11.4	シリアル入出力モードによる内蔵フラッシュメモリ書き換え例	2-107
図2.11.5	シリアル入出力モード時の基板上の端子処理例(1)	2-108
図2.11.6	シリアル入出力モード時の基板上の端子処理例(2)	2-108
図2.11.7	シリアル入出力モード時の基板上の端子処理例(3)	2-109
図2.11.8	CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例	2-110
図2.11.9	CPU書き換えモードの設定/解除フローチャート	2-111

第3章 付録

図3.1.1	出力スイッチング特性測定回路図	3-10
図3.1.2	タイミング図	3-11
図3.2.1	フラッシュメモリ版電源電流特性例(高速モード、 $f(X_{IN})=8\text{MHz}$ 時)	3-12
図3.2.2	フラッシュメモリ版電源電流特性例(高速モード、 $f(X_{IN})=4\text{MHz}$ 時)	3-12
図3.2.3	フラッシュメモリ版電源電流特性例(中速モード、 $f(X_{IN})=8\text{MHz}$ 時)	3-13
図3.2.4	フラッシュメモリ版電源電流特性例(中速モード、 $f(X_{IN})=4\text{MHz}$ 時)	3-13
図3.2.5	フラッシュメモリ版電源電流特性例(低速モード時)	3-14

図3.2.6	マスクROM版電源電流特性例(高速モード、 $f(X_{IN})=8\text{MHz}$ 時)	3-15
図3.2.7	マスクROM版電源電流特性例(高速モード、 $f(X_{IN})=4\text{MHz}$ 時)	3-15
図3.2.8	マスクROM版電源電流特性例(中速モード、 $f(X_{IN})=8\text{MHz}$ 時)	3-16
図3.2.9	マスクROM版電源電流特性例(中速モード、 $f(X_{IN})=4\text{MHz}$ 時)	3-16
図3.2.10	マスクROM版電源電流特性例(低速モード時)	3-17
図3.2.11	PROM内蔵版電源電流特性例(高速モード、 $f(X_{IN})=8\text{MHz}$ 時)	3-18
図3.2.12	PROM内蔵版電源電流特性例(高速モード、 $f(X_{IN})=4\text{MHz}$ 時)	3-18
図3.2.13	PROM内蔵版電源電流特性例(中速モード、 $f(X_{IN})=8\text{MHz}$ 時)	3-19
図3.2.14	PROM内蔵版電源電流特性例(中速モード、 $f(X_{IN})=4\text{MHz}$ 時)	3-19
図3.2.15	PROM内蔵版電源電流特性例(低速モード時)	3-20
図3.2.16	Pチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25$)	3-21
図3.2.17	Nチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25$)	3-21
図3.2.18	Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例($T_a=25$)	3-22
図3.2.19	Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例($T_a=25$)	3-22
図3.2.20	Pチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25$)	3-23
図3.2.21	Nチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25$)	3-23
図3.2.22	Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例($T_a=25$)	3-24
図3.2.23	Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例($T_a=25$)	3-24
図3.2.24	Pチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25$)	3-25
図3.2.25	Nチャンネルドライブ時のCMOS出力ポートの標準特性例($T_a=25$)	3-25
図3.2.26	Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例($T_a=25$)	3-26
図3.2.27	Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例($T_a=25$)	3-26
図3.2.28	A-D変換精度の定義	3-27
図3.2.29	フラッシュメモリ版(M38507F8)のA-D変換標準特性例	3-29
図3.2.30	マスクROM版(M38503M2H, M38503M4H, M38504M6, M38507M8)のA-D変換標準特性例	3-30
図3.2.31	PROM内蔵版(M38504E6)のA-D変換標準特性例	3-31
図3.3.1	関連レジスタの設定変更手順	3-34
図3.3.2	割り込み要求ビットの判定手順	3-35
図3.3.3	シリアルI/O制御レジスタの再設定手順	3-37
図3.3.4	プロセッサステータスレジスタのフラグの初期化	3-42
図3.3.5	PLP命令実行時の手順	3-43
図3.3.6	PHP命令実行後のスタックメモリの内容	3-43
図3.3.7	10進演算時のステータスフラグ	3-43
図3.4.1	パッケージの選択	3-45
図3.4.2	リセット入力端子の配線	3-45
図3.4.3	クロック入出力端子の配線	3-46
図3.4.4	CNV_{SS} 端子の配線	3-46
図3.4.5	ワンタイムPROM版、EPROM版及びフラッシュ版の V_{PP} 端子の配線	3-47
図3.4.6	$V_{SS}-V_{CC}$ ライン間のバイパスコンデンサ	3-47
図3.4.7	アナログ信号線と抵抗及びコンデンサ	3-48
図3.4.8	大電流が流れる信号線の配線	3-49
図3.4.9	リセット入力端子の配線	3-49
図3.4.10	発振子の V_{SS} パターン	3-50
図3.4.11	入出力ポート処理	3-50
図3.4.12	ソフトウェアによる監視タイマ	3-51

図3.5.1	ポートPiの構成	3-52
図3.5.2	ポートPi方向レジスタの構成	3-52
図3.5.3	シリアルI/O2制御レジスタ1の構成	3-53
図3.5.4	シリアルI/O2制御レジスタ2の構成	3-53
図3.5.5	シリアルI/O2レジスタの構成	3-54
図3.5.6	送信/受信バッファレジスタの構成	3-54
図3.5.7	シリアルI/O1ステータスレジスタの構成	3-55
図3.5.8	シリアルI/O1制御レジスタの構成	3-55
図3.5.9	UART制御レジスタの構成	3-56
図3.5.10	ポーレートジェネレータの構成	3-56
図3.5.11	PWM制御レジスタの構成	3-57
図3.5.12	PWMプリスケーラ	3-57
図3.5.13	PWMレジスタの構成	3-58
図3.5.14	プリスケーラ12、プリスケーラX、プリスケーラYの構成	3-58
図3.5.15	タイマ1の構成	3-59
図3.5.16	タイマ2の構成	3-59
図3.5.17	タイマXYモードレジスタの構成	3-60
図3.5.18	タイマX、タイマYの構成	3-61
図3.5.19	タイマカウントソース設定レジスタの構成	3-61
図3.5.20	A-D制御レジスタの構成	3-62
図3.5.21	A-D変換下位レジスタの構成	3-62
図3.5.22	A-D変換上位レジスタの構成	3-63
図3.5.23	MISRGの構成	3-63
図3.5.24	ウォッチドッグタイマ制御レジスタの構成	3-64
図3.5.25	割り込みエッジ選択レジスタの構成	3-64
図3.5.26	CPUモードレジスタの構成	3-65
図3.5.27	割り込み要求レジスタ1の構成	3-65
図3.5.28	割り込み要求レジスタ2の構成	3-66
図3.5.29	割り込み制御レジスタ1の構成	3-66
図3.5.30	割り込み制御レジスタ2の構成	3-67
図3.5.31	フラッシュメモリ制御レジスタの構成	3-67

表目次

第1章 ハードウェア

表1 端子の機能説明.....	1-4
表2 3850グループ(H仕様)サポート製品一覧.....	1-7
表3 3850グループ(標準品)と3850グループ(H仕様)対象品種.....	1-7
表4 3850グループ(標準品)と3850グループ(H仕様)の相違点.....	1-7
表5 .アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令.....	1-9
表6 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令.....	1-10
表7 入出力ポートの機能一覧.....	1-14
表8 割り込みベクトル番地と優先順位.....	1-18
表9 M38507F8(フラッシュメモリ版)の性能概要.....	1-40
表10 .ソフトウェアコマンド一覧表(CPU書き換えモード).....	1-45
表11 ステータスレジスタの各ビットの定義.....	1-47
表12 端子の機能説明(フラッシュメモリパラレル入出力モード).....	1-52
表13 .制御信号とバス動作モードの対応.....	1-54
表14 .ソフトウェアコマンド一覧表(パラレル入出力モード).....	1-56
表15 ステータスレジスタ.....	1-58
表16 端子の機能説明(フラッシュメモリ標準シリアル入出力モード).....	1-61
表17 .ソフトウェアコマンド一覧(標準シリアル入出力モード).....	1-63
表18 ステータスレジスタ(SRD).....	1-68
表19 ステータスレジスタ1(SRD1).....	1-69
表20 絶対最大定格.....	1-71
表21 直流電気的特性.....	1-71
表22 .リードオンリーモード.....	1-72
表23 .リード/ライトモード(WEコントロール).....	1-72
表24 .リード/ライトモード(CEコントロール).....	1-73
表25 消去及びプログラム動作.....	1-73
表26 .V _{CC} パワーアップ/ダウタイミング.....	1-73
表27 専用書き込みアダプタ.....	1-79
表28 .V _{ref} とA-D変換器の基準電圧V _{REF} の関係式.....	1-80
表29 A-D変換中のA-D変換レジスタの変化.....	1-80

第2章 応用

表2.1.1 未使用端子の処理.....	2-3
表2.2.1 割り込みベクトル番地と優先順位.....	2-10
表2.2.2 各割り込み要因に対する割り込み制御ビット一覧.....	2-15
表2.3.1 CNTR ₀ /CNTR ₁ 極性切り替えビットの機能.....	2-23
表2.4.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例1.....	2-65
表2.4.2 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例2.....	2-65
表2.10.1 ストップモード時の状態.....	2-95

表2.10.2	ウェイトモード時の状態	2-99
表2.11.1	パラレル書き込み時のプログラマ設定	2-104
表2.11.2	シリアル書き込み時のプログラマとの接続(4線式)	2-104

第3章 付録

表3.1.1	絶対最大定格	3-2
表3.1.2	推奨動作条件(1)	3-3
表3.1.3	推奨動作条件(2)	3-4
表3.1.4	電気的特性(1)	3-4
表3.1.5	電気的特性(2)	3-5
表3.1.6	電気的特性(3)	3-6
表3.1.7	A-D変換器特性	3-7
表3.1.8	タイミング必要条件(1)	3-8
表3.1.9	タイミング必要条件(2)	3-8
表3.1.10	スイッチング特性(1)	3-9
表3.1.11	スイッチング特性(2)	3-9
表3.5.1	CNTR ₀ /CNTR ₁ 極性切り替えビットの機能	3-60

第 1 章

ハードウェア

概要

特長

応用

ピン接続

機能ブロック

端子の機能説明

型名とメモリサイズ・パッケージ

グループ展開

機能ブロック動作説明

プログラミング上の注意事項

使用上の注意事項

マスク化発注時の提出資料

ROM書き込み発注時の提出資料

ROM書き込み方法

補足説明

概要

3850グループ(H仕様)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、A-D変換器を内蔵しており、家電、OA機器に最適です。

特長

基本機械語命令	71
命令実行時間	0.5 μ s
(最短命令、発振周波数8MHz時)	
メモリ容量 ROM	8 ~ 32Kバイト
RAM	512 ~ 1024バイト
プログラブル入出力ポート	34本
割り込み	15要因、14ベクタ
タイマ	8ビット×4
シリアルI/O1	8ビット×1
(UART又はクロック同期形)	
シリアルI/O2	8ビット×1
(クロック同期形)	
PWM	8ビット×1

A-D変換器	10ビット分解能×5チャンネル
クロック発生回路	2回路内蔵
(セラミック共振子又は水晶共振子外付け)	
ウォッチドッグタイマ	16ビット×1
電源電圧	
高速モード時	4.0 ~ 5.5V
(発振周波数8MHz時)	
中速モード時	2.7 ~ 5.5V
(発振周波数8MHz時、中速モード選択時)	
低速モード時	2.7 ~ 5.5V
(発振周波数32kHz時)	
消費電力	
高速モード時	34mW
(発振周波数8MHz時、電源電圧5V)	
低速モード時 M38507F8FP/SP以外	60 μ W
M38507F8FP/SP	450 μ W
(発振周波数32kHz時、電源電圧3V)	
動作周囲温度	- 20 ~ 85

応用

OA機器、FA機器、家電、民生機器など

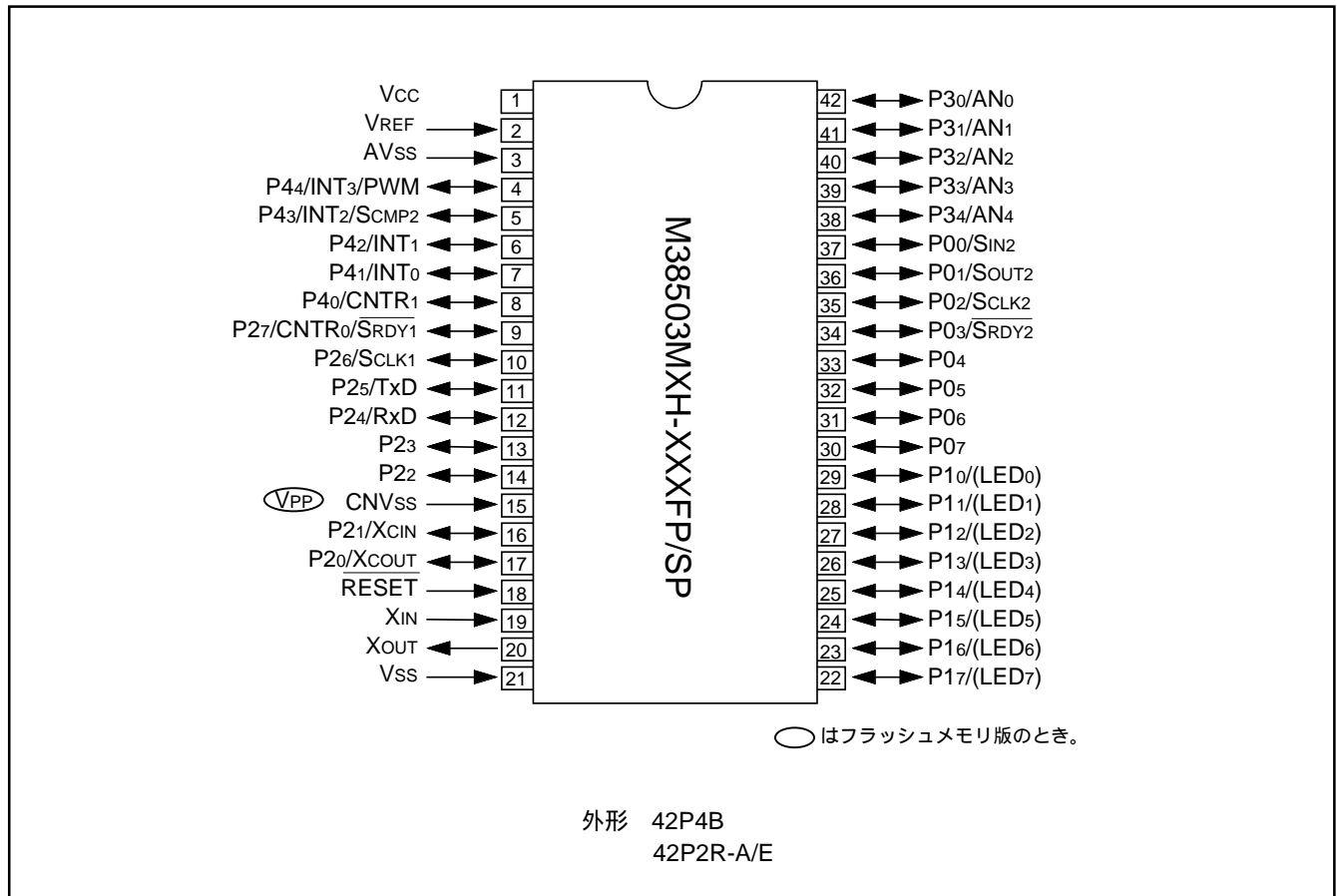
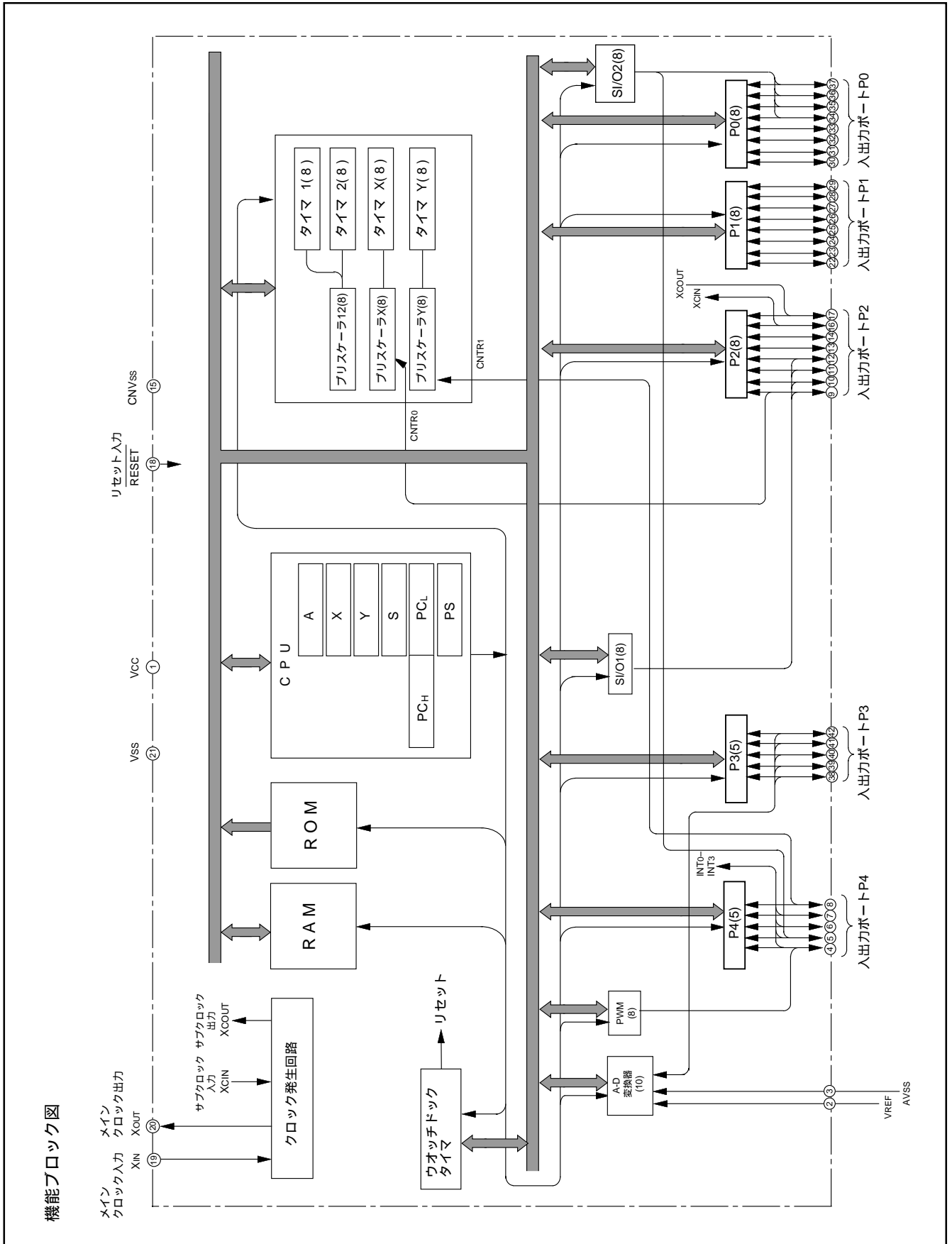


図1 M38503MXH-XXXXFP/SPのピン接続図



機能ブロック図

図2 機能ブロック図

端子の機能説明

表1 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.7 ~ 5.5V ,Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子で通常はVssに接続します。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで 出力形式はCMOS3ステートです。P10 ~ P17の8ビットは、LED駆動出力用の大電流出力が可能です。	シリアルI/O2機能端子
P04 ~ P07			
P10 ~ P17			
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はP20, P21, P24 ~ P27がCMOS3ステートです。 P22, P23はNチャネルオープンドレインです。	サブクロック発生入出力端子(共振子を接続します。)
P22 P23			
P24/RxD P25/TxD			シリアルI/O1機能端子
P26/SCLK1			
P27/CNTR0/ SRDY1			シリアルI/O1機能端子 / タイマX機能端子
P30/AN0 ~ P34/AN4	入出力ポートP3	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子 SCMP2出力端子
P44/INT3/ PWM			割り込み入力端子 PWM出力端子

型名とメモリサイズ・パッケージ

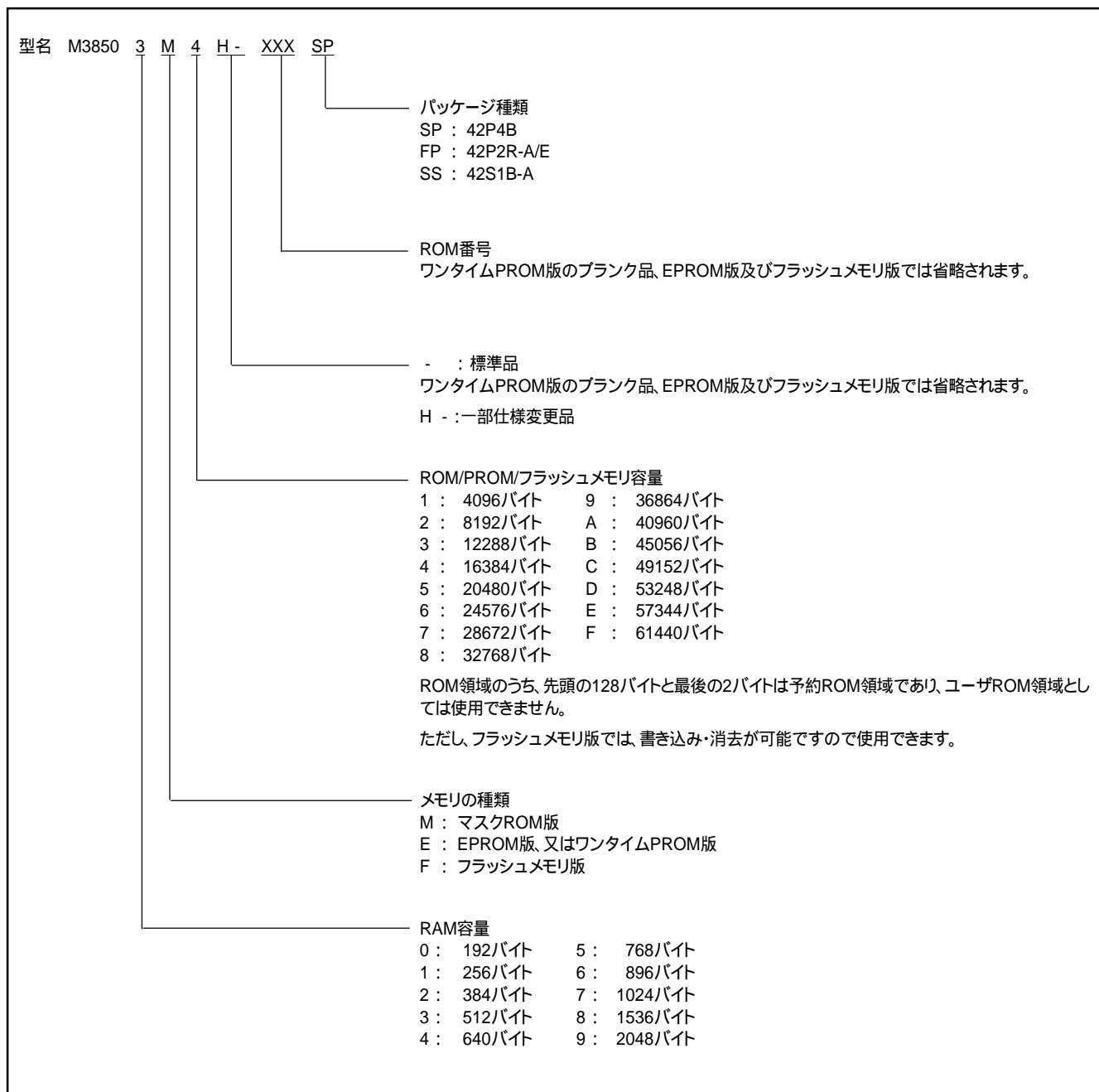


図3. 型名とメモリサイズ・パッケージ

グループ展開

3850グループ(H仕様)は次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、フラッシュメモリ版のサポート

メモリ容量

フラッシュメモリ容量 32Kバイト
 ワンタイムPROM容量 24Kバイト
 マスクROM容量 8K ~ 32Kバイト
 RAM容量 512 ~ 1Kバイト

パッケージ

42P4B 42ピンシュリンクプラスチックモールドDIP
 42P2R-A/E 42ピンプラスチックモールドSSOP
 42S1B-A 42ピンシュリンクセラミックDIP(EPROM版)

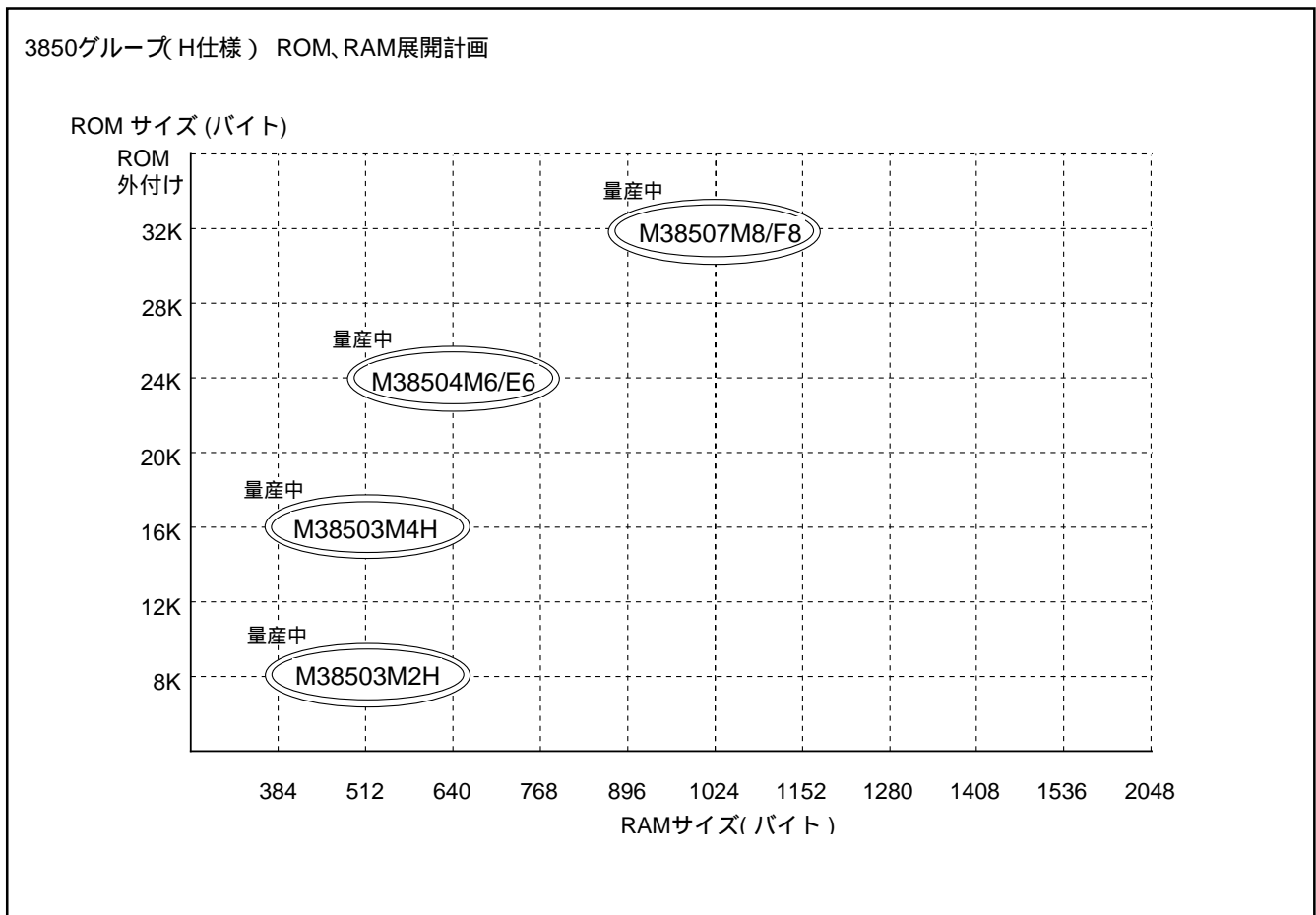


図4. ROM及びRAM展開計画

現在サポートを行っている製品を下記に示します。

表2. 3850グループ(H仕様)サポート製品一覧

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM(バイト)	パッケージ	備考
M38503M2H-XXXSP	8192	512	42P4B	マスクROM版
M38503M2H-XXXFP	(8062)		42P2R-A/E	
M38503M4H-XXXSP	16384		42P4B	
M38503M4H-XXXFP	(16254)		42P2R-A/E	
M38504M6-XXXSP	24576 (24446)	640	42P4B	ワンタイムPROM版
M38504E6-XXXSP			42S1B-A	ワンタイムPROM版(ブランク品)
M38504E6SP				EPROM版
M38504E6SS			42P2R-A/E	マスクROM版
M38504M6-XXXFP				ワンタイムPROM版
M38504E6-XXXFP				ワンタイムPROM版(ブランク品)
M38504E6FP				
M38507M8-XXXSP	32768 (32638)	1024	42P4B	マスクROM版
M38507M8-XXXFP			42P2R-A/E	
M38507F8SP			42P4B	フラッシュメモリ版
M38507F8FP			42P2R-A/E	

表3. 3850グループ(標準品)と3850グループ(H仕様)対象品種

3850グループ(標準品)〔注〕	3850グループ(H仕様)
M38503M2-XXXFP/SP	M38503M2H-XXXFP/SP
M38503M4-XXXFP/SP	M38503M4H-XXXFP/SP
M38503E4-XXXFP/SP	M38504M6-XXXFP/SP
M38503E4FP/SP	M38504E6-XXXFP/SP
M38503E4SS	M38504E6FP/SP
	M38504E6SS
	M38507M8-XXXFP/SP
	M38507F8FP/SP

注 3850グループ(標準品)をご使用の際は、本マニュアルではなく「3851グループ和文ユーザズマニュアル(印刷番号:HU-87A)」を参照してください。

表4. 3850グループ(標準品)と3850グループ(H仕様)の相違点

	3850グループ(標準品)	3850グループ(H仕様)
シリアルI/O	1本:シリアル/O(UART又はクロック同期形)	2本:シリアル/O1(UART又はクロック同期形) シリアル/O2(クロック同期形)
A-D変換器	低速モードで動作できない	低速モードで動作可能
大電流ポート	5本:P13~P17	8本:P10~P17

3850グループ(標準品)と3850グループ(H仕様)の相違による注意点

- (1) 3850グループ(H仕様)の絶対最大定格は、電源電圧 $V_{CC} = -0.3 \sim 6.5V$ 、 CNV_{SS} 入力電圧 $V_I = -0.3 \sim V_{CC} + 0.3V$ と3850グループ(標準品)と比べ、小さくなっています。
- (2) X_{IN} - X_{OUT} 、 X_{CIN} - X_{COUT} の発振回路定数が異なる場合があります。
- (3) 予約領域、予約ビットには、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)
- (4) CPUモードレジスタのビット3は'1'に固定してください。
- (5) 未使用端子の処理を確実に実施してください。

機能ブロック動作説明

中央演算処理装置 (CPU)

3850グループ(H仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表5参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

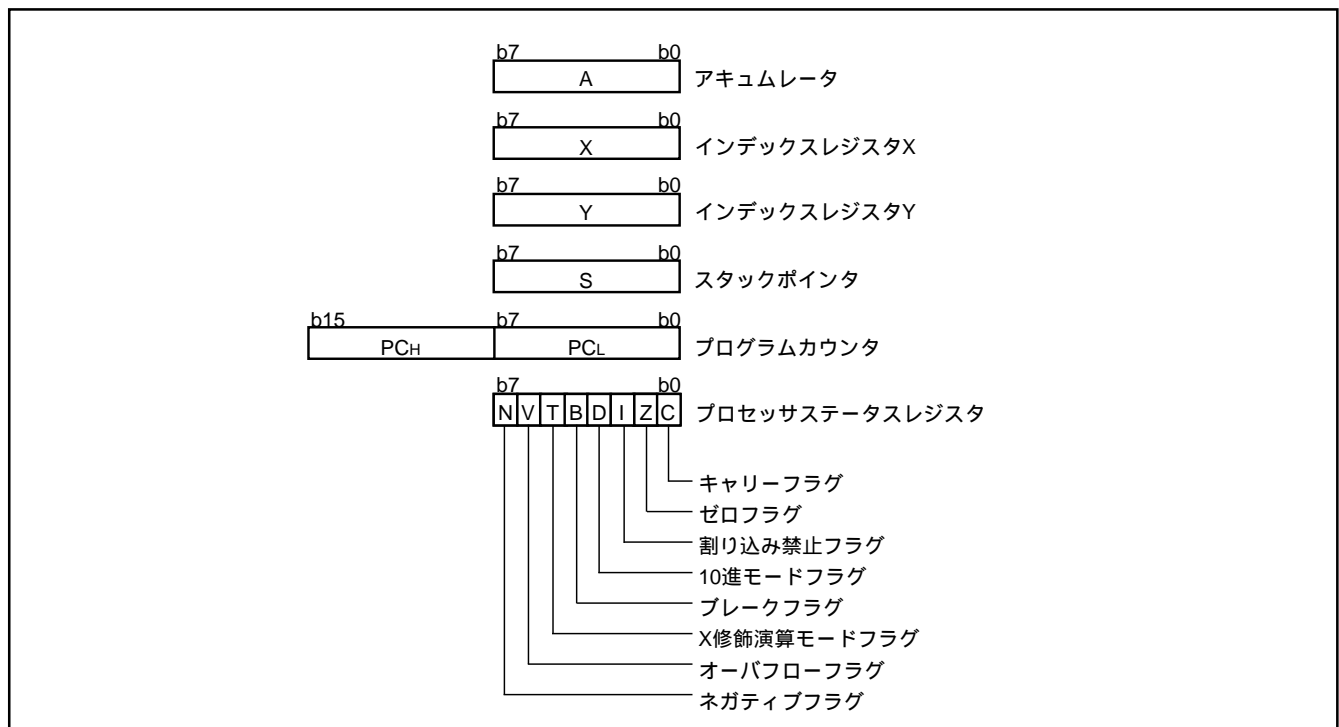


図5 . 740ファミリ CPUの構成

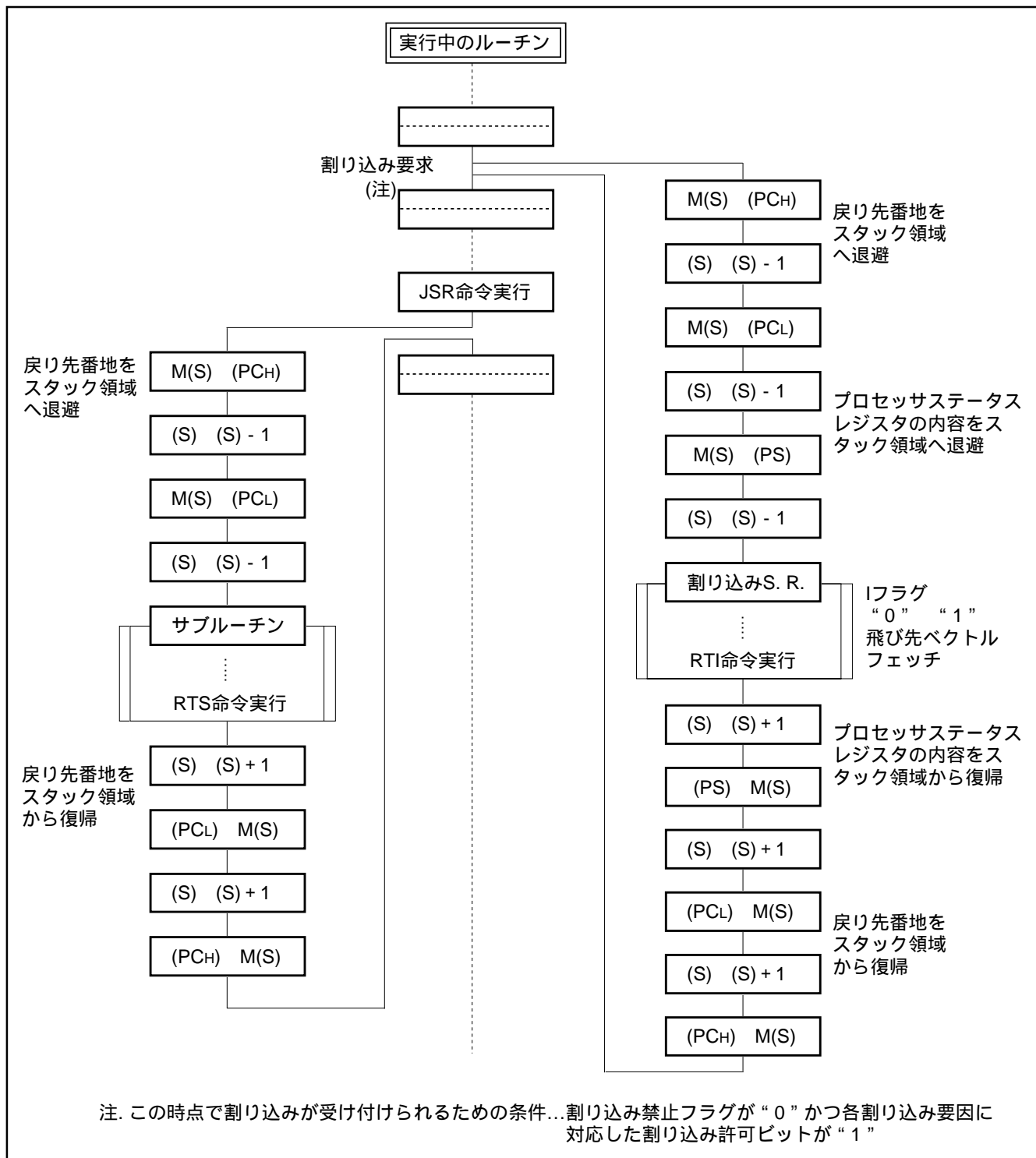


図6 . スタックへの退避及び復帰動作

表5 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はポローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表6．プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B₁₆番地に配置されています。

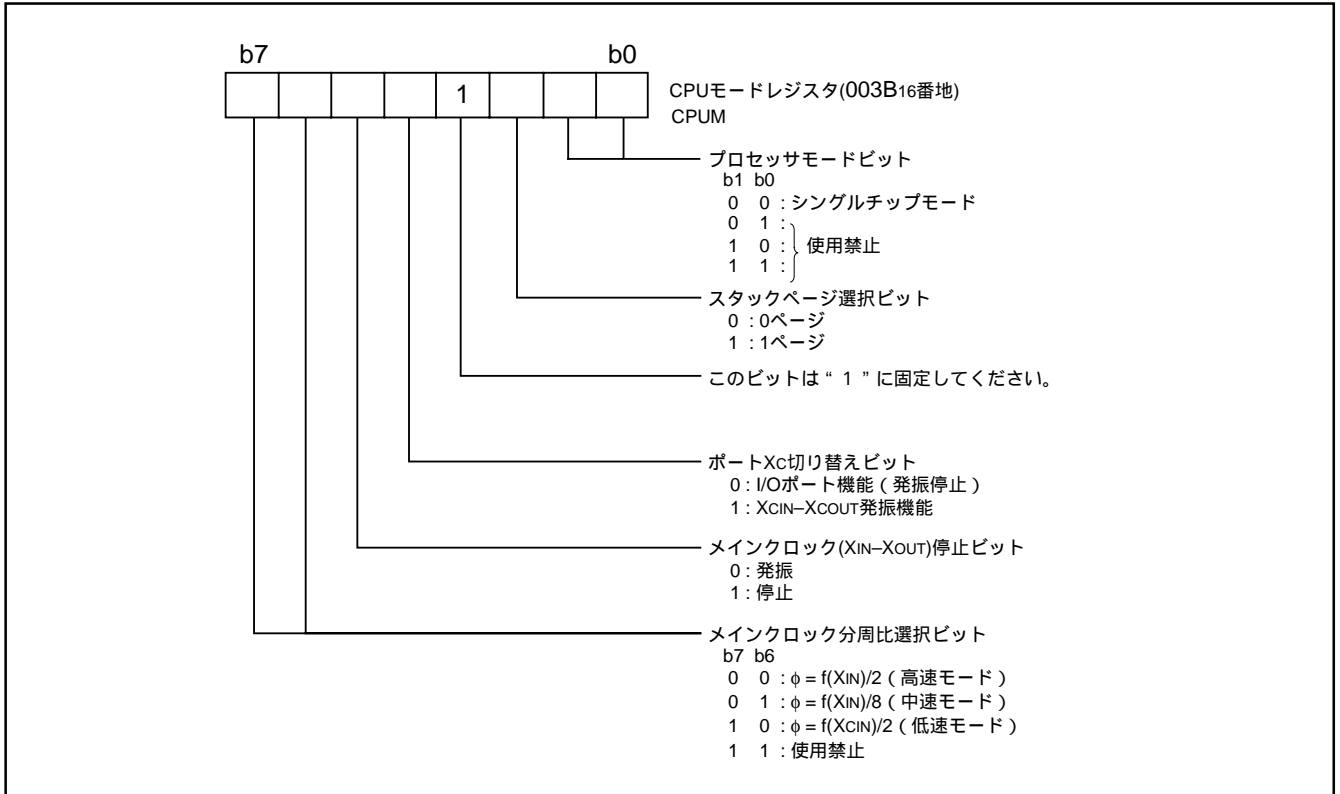


図7 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

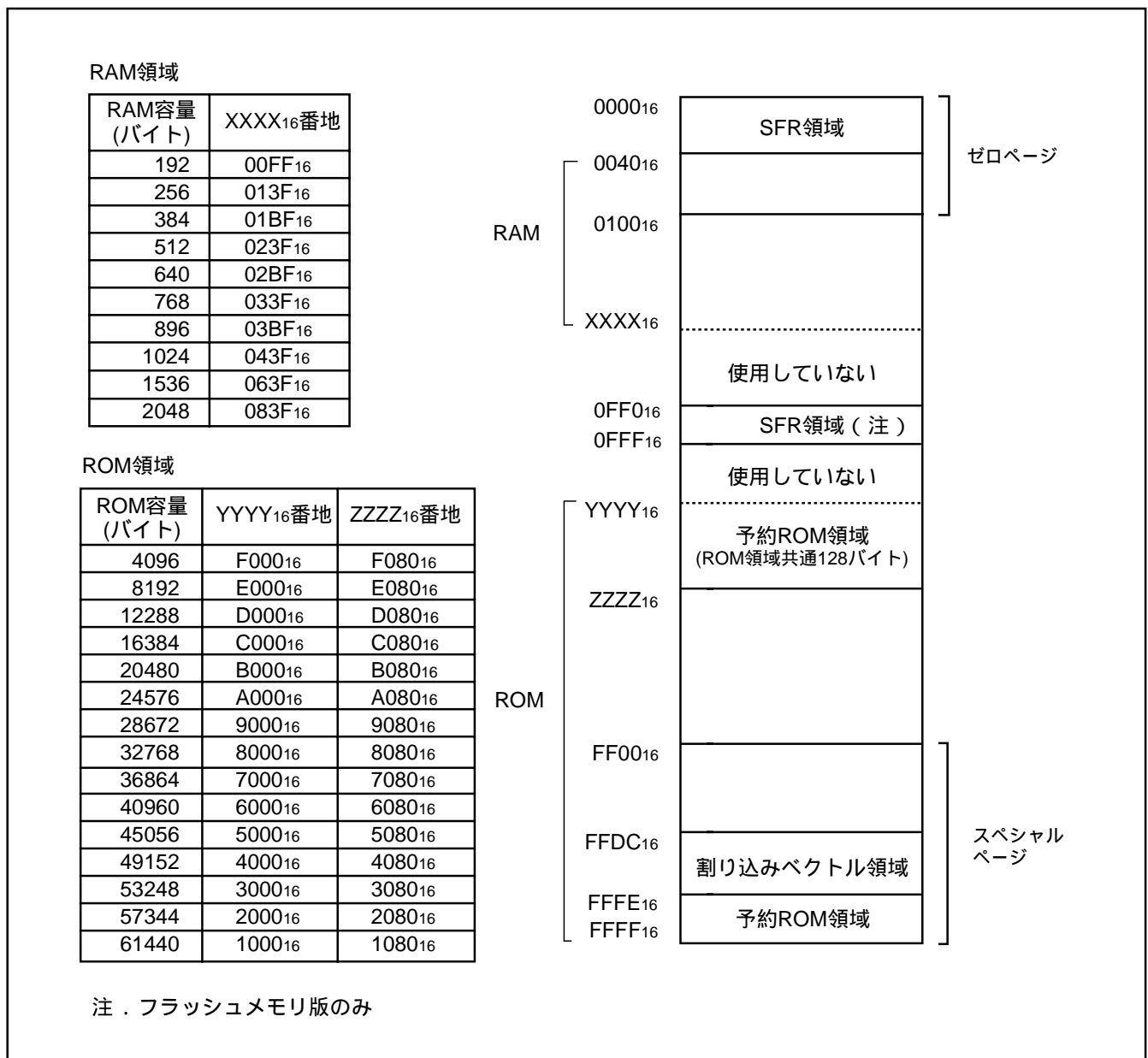


図8 メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケラ12 (PRE12)
0001 ₁₆	ポートP0方向レジスタ (P0D)	0021 ₁₆	タイマ1 (T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2 (T2)
0003 ₁₆	ポートP1方向レジスタ (P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケラX (PREX)
0005 ₁₆	ポートP2方向レジスタ (P2D)	0025 ₁₆	タイマX (TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケラY (PREY)
0007 ₁₆	ポートP3方向レジスタ (P3D)	0027 ₁₆	タイマY (TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ (P4D)	0029 ₁₆	
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	予約 (注)
000C ₁₆		002C ₁₆	予約 (注)
000D ₁₆		002D ₁₆	予約 (注)
000E ₁₆		002E ₁₆	予約 (注)
000F ₁₆		002F ₁₆	予約 (注)
0010 ₁₆		0030 ₁₆	予約 (注)
0011 ₁₆		0031 ₁₆	予約 (注)
0012 ₁₆	予約 (注)	0032 ₁₆	
0013 ₁₆	予約 (注)	0033 ₁₆	
0014 ₁₆	予約 (注)	0034 ₁₆	A-D制御レジスタ(ADCON)
0015 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)	0035 ₁₆	A-D変換下位レジスタ(ADL)
0016 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)	0036 ₁₆	A-D変換上位レジスタ(ADH)
0017 ₁₆	シリアル/O2レジスタ(SIO2)	0037 ₁₆	予約 (注)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアル/O1ステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O1制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ボーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)

(注) 予約領域のため、何もデータを書き込まないでください。

図9 .SFR (スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子

の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表7 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力	シリアル/O2制御 レジスタ	(1)
						(2)
P04 ~ P07						(3)
						(4)
P04 ~ P07						(5)
P10 ~ P17	ポートP1					
P20/XCOUT P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(6)
						(7)
P22 P23			CMOS入力レベル Nチャネルオープンドレイン出力			(8)
P24/RxD P25/TxD P26/SCLK1			CMOS入力レベル CMOS3ステート出力	シリアル/O1機能入出力	シリアル/O1制御 レジスタ	(9)
						(10)
						(11)
P27/CNTR0/ SRDY1				シリアル/O1機能入出力 タイマX機能入出力	シリアル/O1制御 レジスタ タイマXYモードレジスタ	(12)
P30/AN0 ~ P34/AN4	ポートP3 (注)			A-D変換入力	A-D制御レジスタ	(13)
P40/CNTR1	ポートP4 (注)			タイマY機能入出力	タイマXYモードレジスタ	(14)
P41/INT0 P42/INT1				外部割り込み入力	割り込みエッジ選択レジスタ	(15)
P43/INT2/ SCMP2				外部割り込み入力 SCMP2出力	割り込みエッジ選択レジスタ シリアル/O2制御 レジスタ	(16)
P44/INT3/ PWM				外部割り込み入力 PWM出力	割り込みエッジ選択レジスタ PWM制御レジスタ	(17)

注 ポートP3及びP4のビット5～7を読み出した場合、その内容は不定となります。

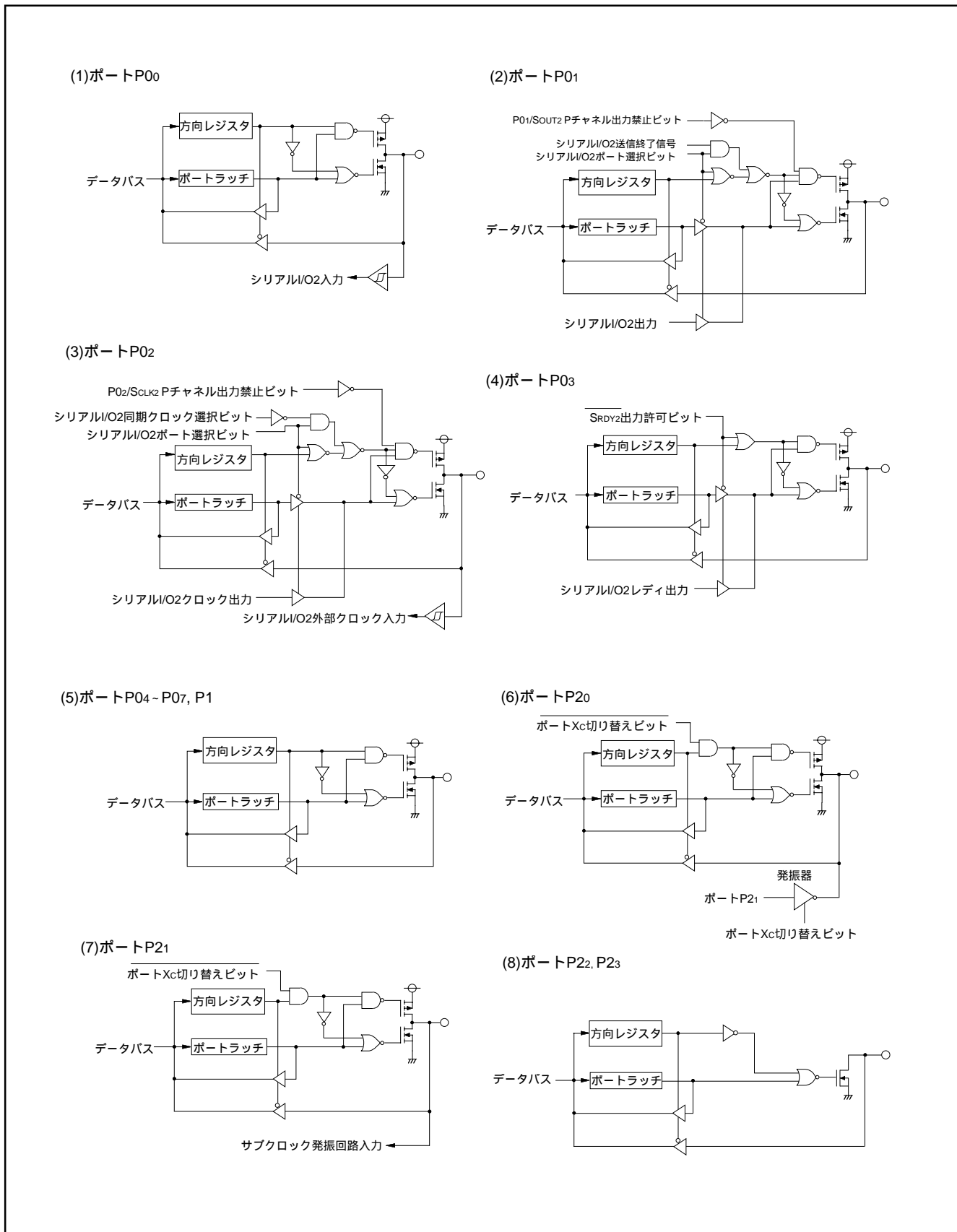


図10 ポートのブロック図(1)

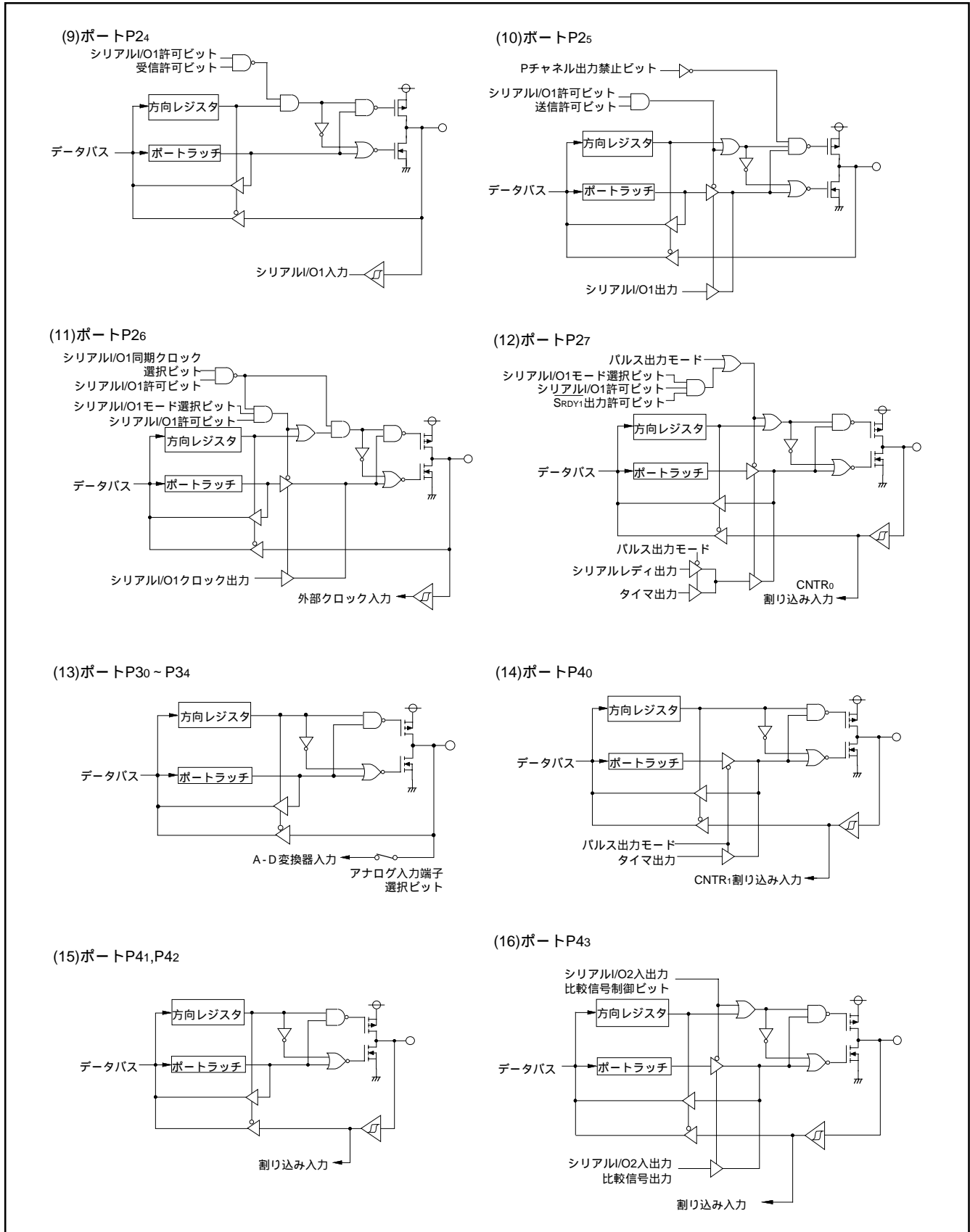


図11 ポートのブロック図(2)

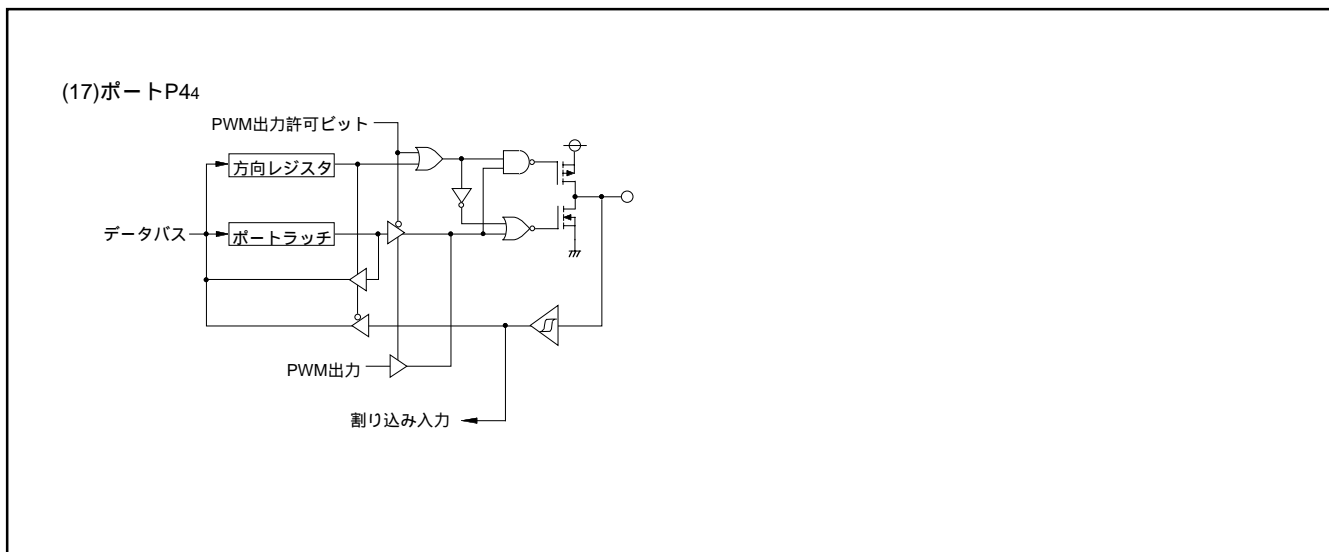


図12 ポートのブロック図(3)

割り込み

割り込みはベクトル割り込みで、外部6要因、内部8要因、ソフトウェア1要因の15要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスカブル
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
予約	3	FFF9 ₁₆	FFF8 ₁₆	予約	
INT ₁	4	FFF7 ₁₆	FFF6 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₂	5	FFF5 ₁₆	FFF4 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT ₃ /シリアル/O ₂	6	FFF3 ₁₆	FFF2 ₁₆	INT ₃ 入力の立ち上がり又は立ち下がりエッジ検出時 / シリアル/O ₂ 送受信完了時	外部割り込み (極性プログラマブル) シリアル/O ₂ /INT ₃ 割り込み要因ビットにより切り替え
予約	7	FFF1 ₁₆	FFF0 ₁₆	予約	
タイマX	8	FFEF ₁₆	FFEE ₁₆	タイマXアンダフロー時	
タイマY	9	FFED ₁₆	FFEC ₁₆	タイマYアンダフロー時	
タイマ1	10	FFEB ₁₆	FFEA ₁₆	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE9 ₁₆	FFE8 ₁₆	タイマ2アンダフロー時	
シリアル/O ₁ 受信	12	FFE7 ₁₆	FFE6 ₁₆	シリアル/O ₁ データ受信完了時	シリアル/O ₁ 選択時のみ有効
シリアル/O ₁ 送信	13	FFE5 ₁₆	FFE4 ₁₆	シリアル/O ₁ 送信シフト終了時又は送信バッファ空き時	シリアル/O ₁ 選択時のみ有効
CNTR ₀	14	FFE3 ₁₆	FFE2 ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₁	15	FFE1 ₁₆	FFE0 ₁₆	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換	16	FFDF ₁₆	FFDE ₁₆	A-D変換終了時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)
 タイマXYモードレジスタ(2316番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられた
ベクトルの割り込み要因を切り替える際
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- ①該当する割り込み許可ビットを“0”(禁止)にする。
- ②割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- ③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- ④該当する割り込み許可ビットを“1”(許可)にする。

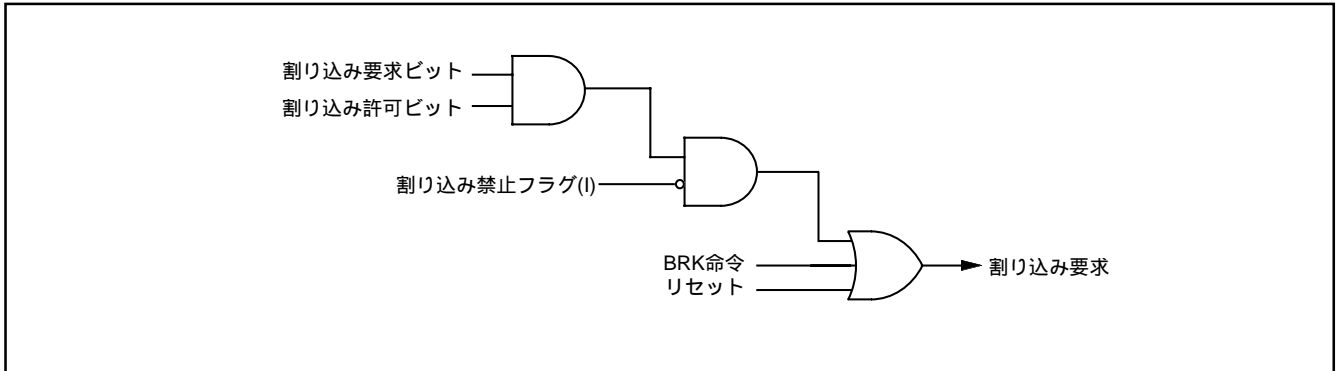


図13 割り込み制御図

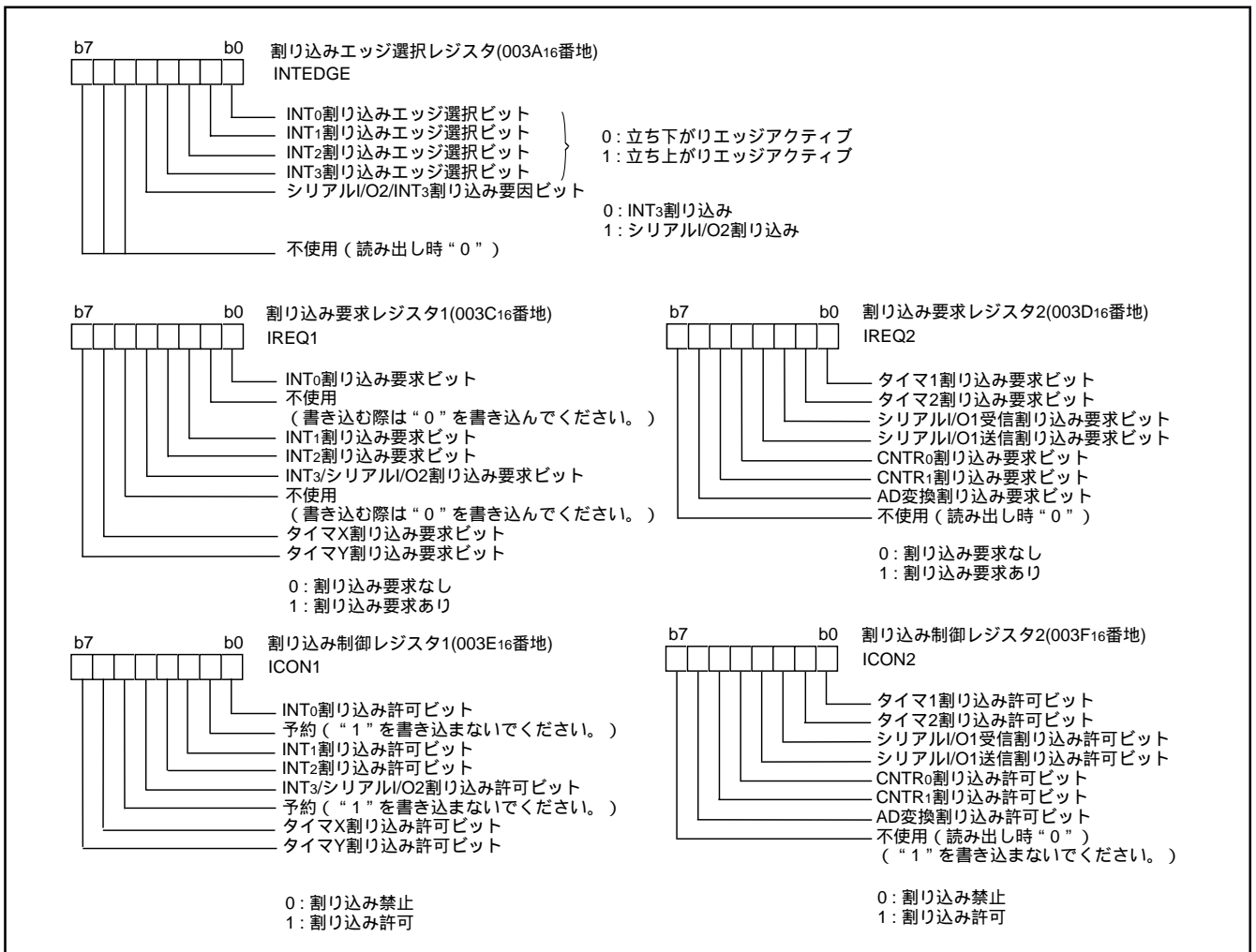


図14 割り込み関係レジスタの構成

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が 0 になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1 にセットされます。

●タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が 0 になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが 0 のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが 0 のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが 0 のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを 1 に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

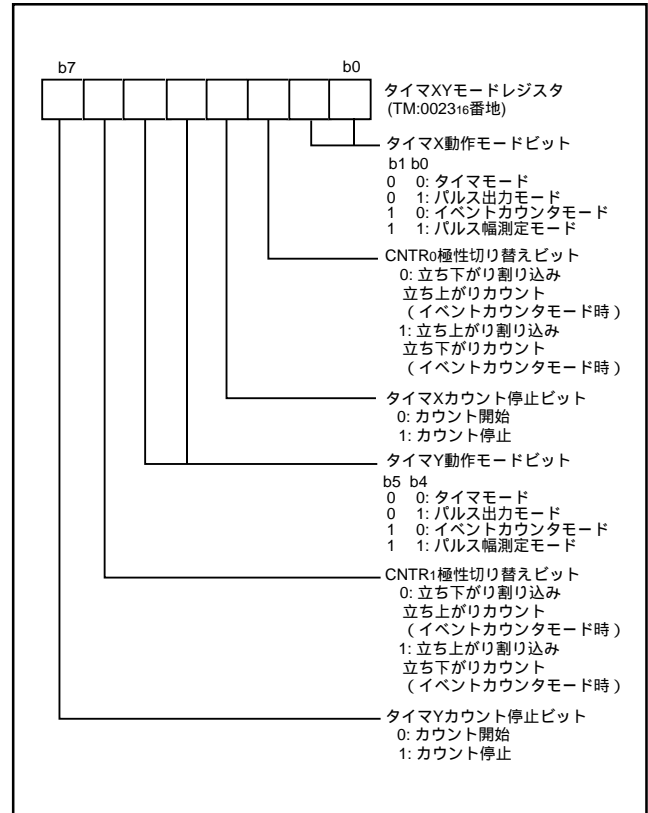


図15. タイマXYモードレジスタの構成

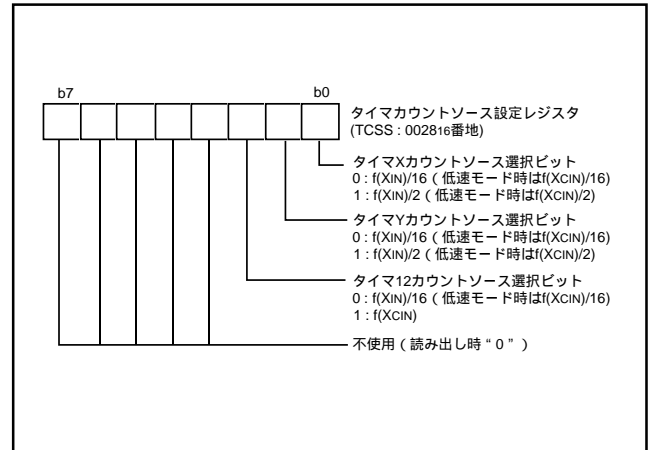


図16. タイマカウントソース設定レジスタ

■注意事項

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

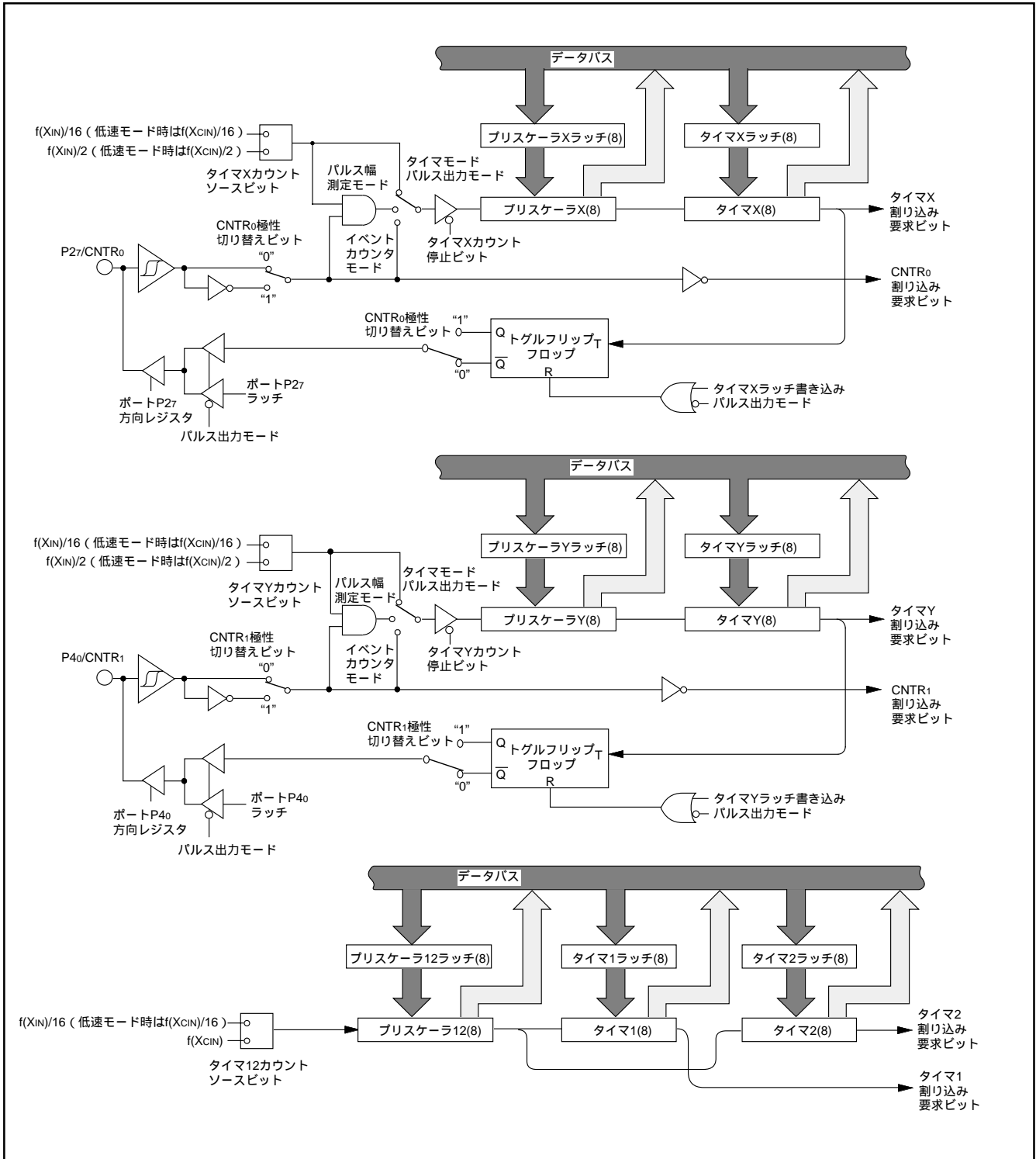


図17 タイマX, タイマY, タイマ1及びタイマ2のブロック図

シリアルI/O

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイム(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを'1'にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

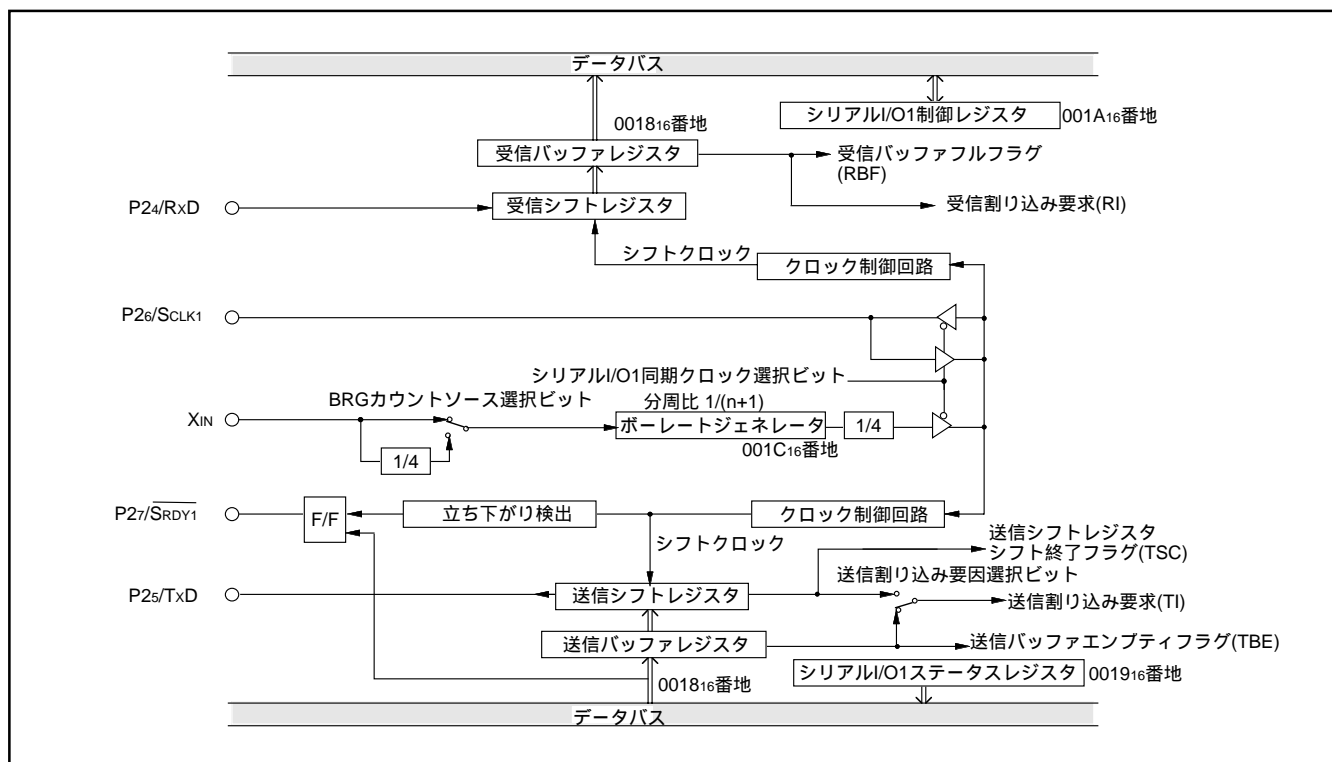


図18. クロック同期形シリアルI/O1ブロック図

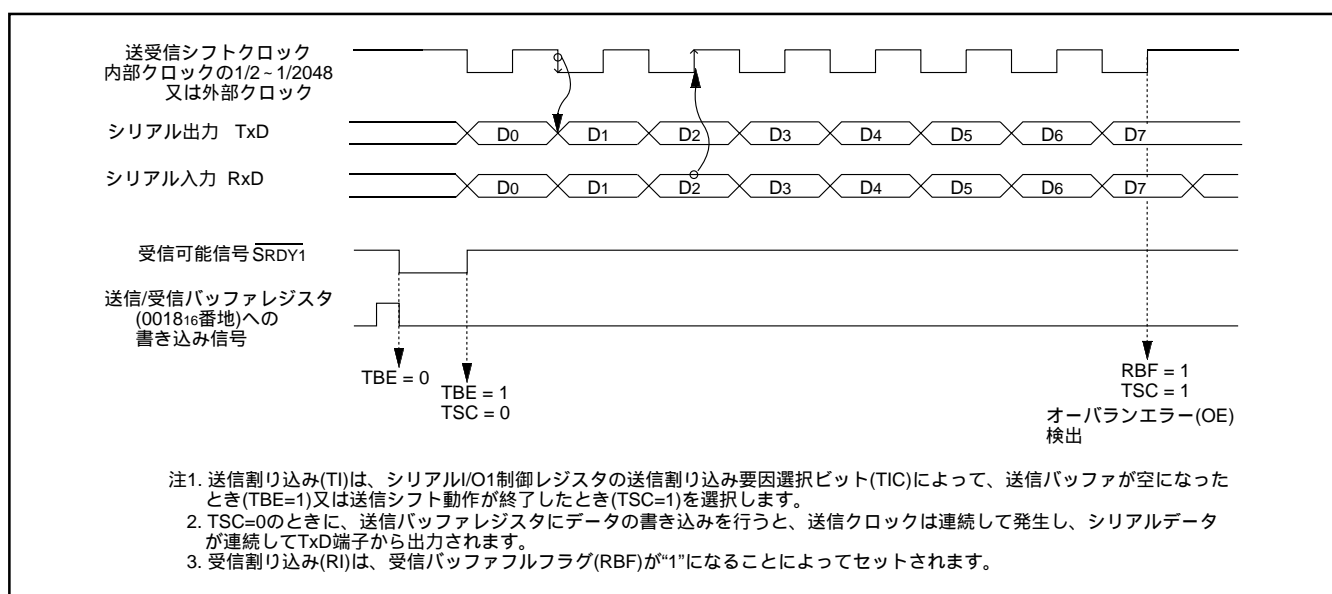


図19. クロック同期形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)が“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P2s/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

(2) 非同期形シリアル/O1(UART)モード

シリアル/O1制御レジスタのシリアル/O1モード選択ビット(b6)を'0'にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモ

り上の番地は同一)シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

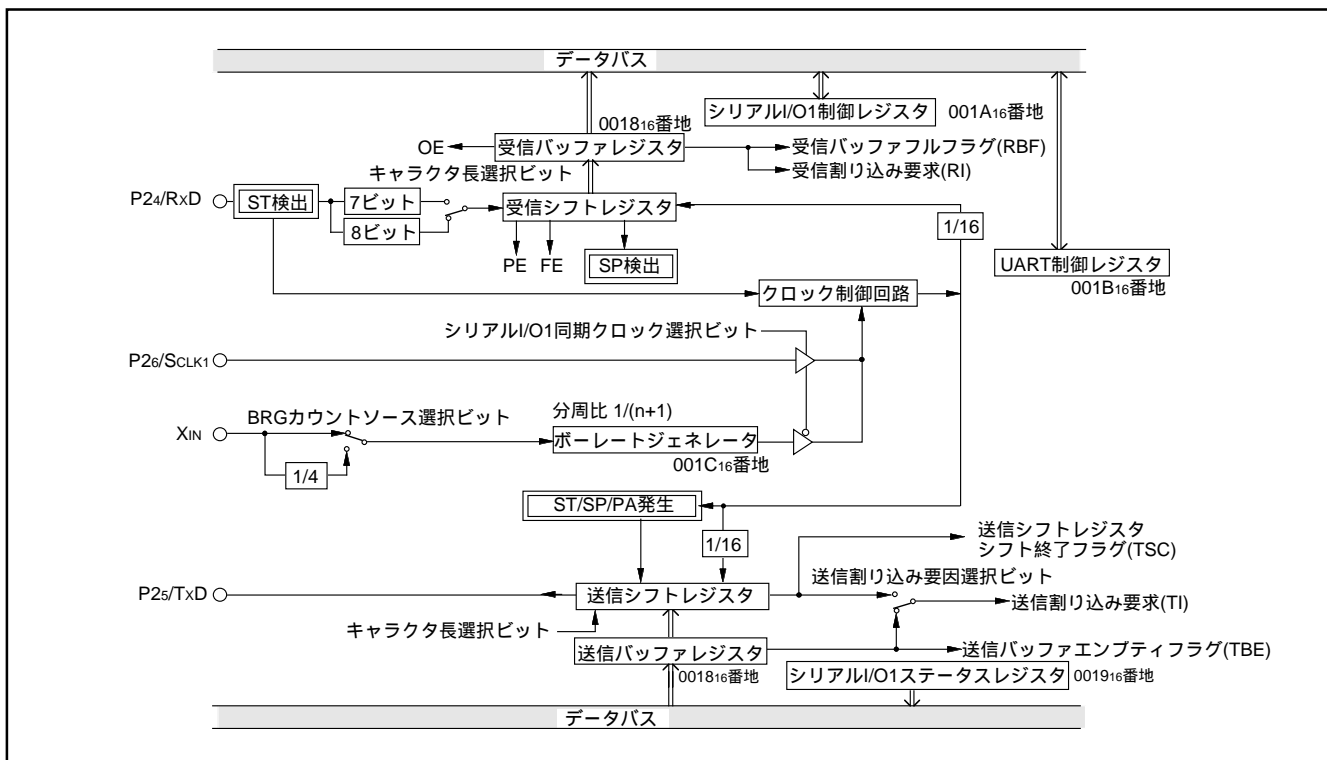


図20 UART形シリアル/O1ブロック図

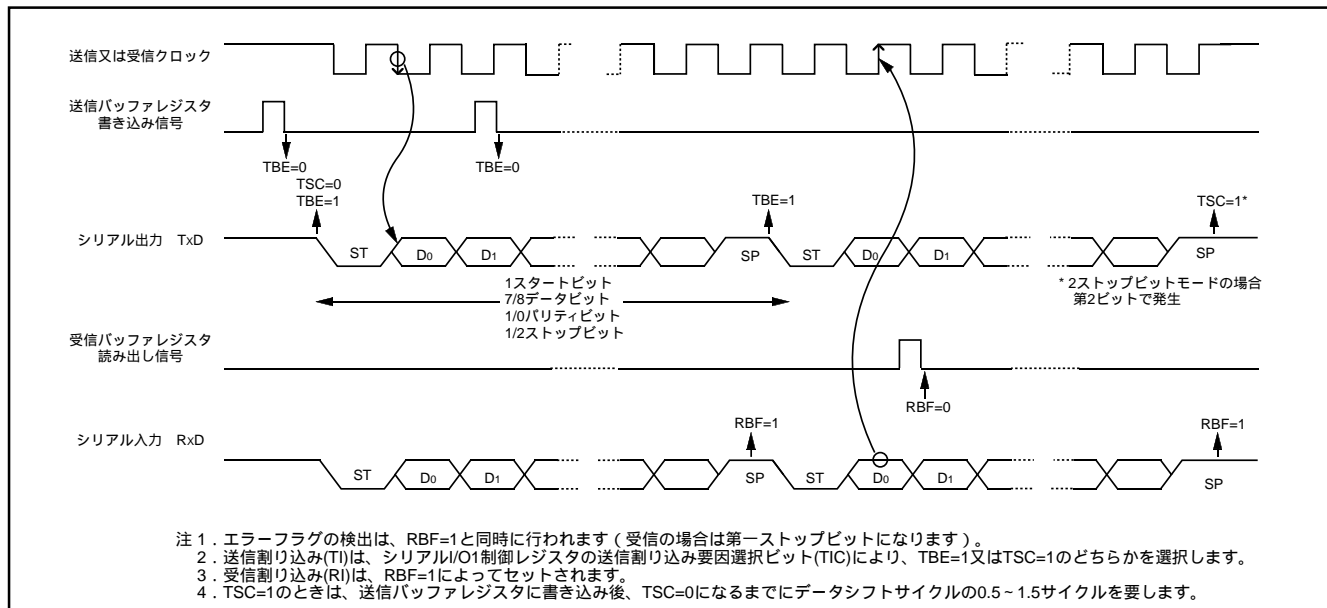


図21 UART形シリアル/O1動作図

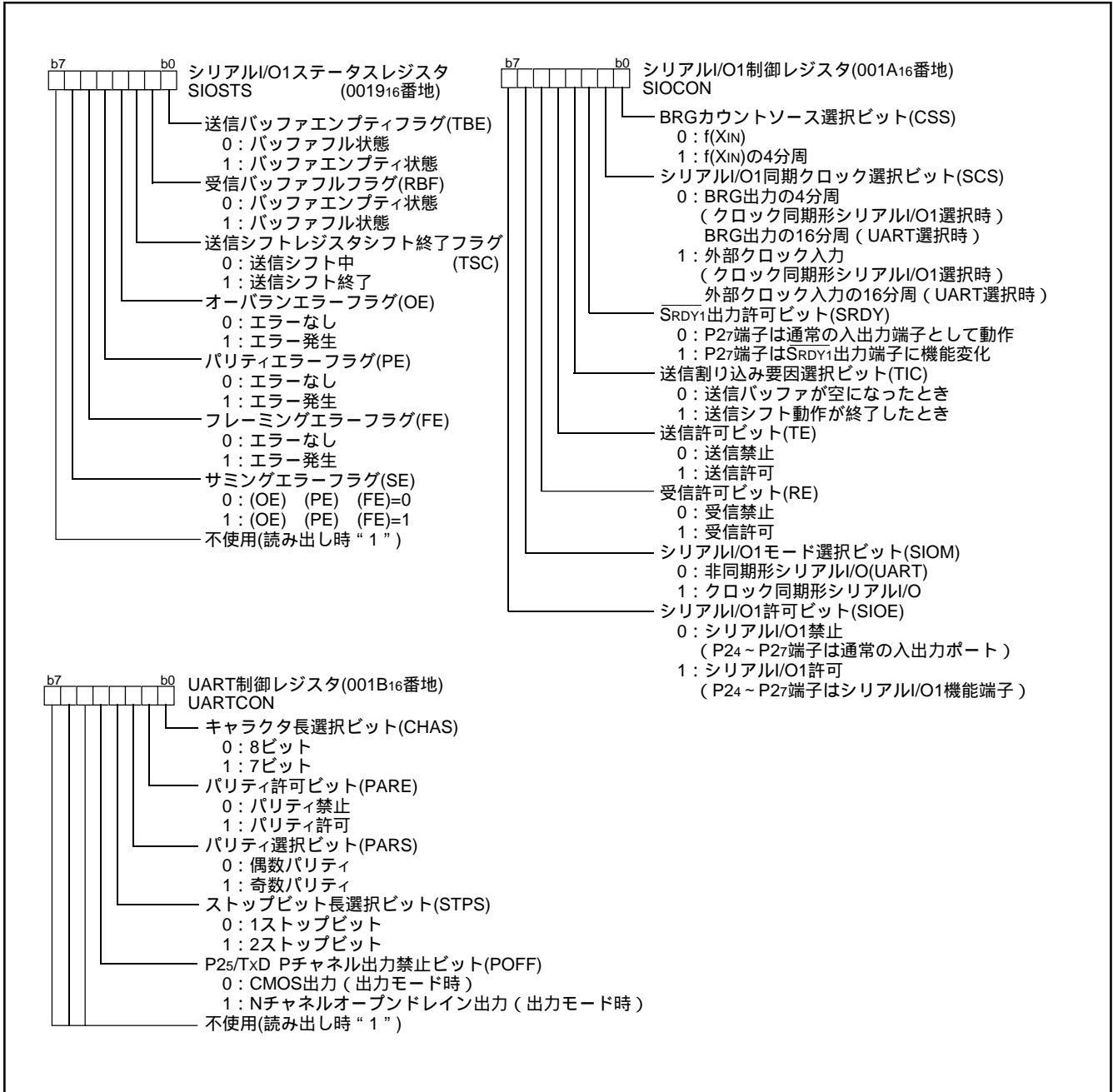


図22 シリアルI/O1関係レジスタの構成

■注意事項

シリアルI/O1の送信許可ビットを'1'にしたとき、シリアルI/O1送信割り込み要求ビットが'1'になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- ①シリアルI/O1送信割り込み許可ビットを'0' (禁止)にする。
- ②送信許可ビットを'1'にする。
- ③一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを'0'にする。
- ④シリアルI/O1送信割り込み許可ビットを'1' (許可)にする。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロック又は外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT2、SCLK2については、シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2、Pチャンネル出力禁止ビット(b7)により、CMOS出力又はNチャンネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017₁₆番地)への書き込み信号により行われます。データ転送終了後、SOUT2端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT2端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT2端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK2が“H”の状態ですリアルI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT2端子はアクティブ状態になります。

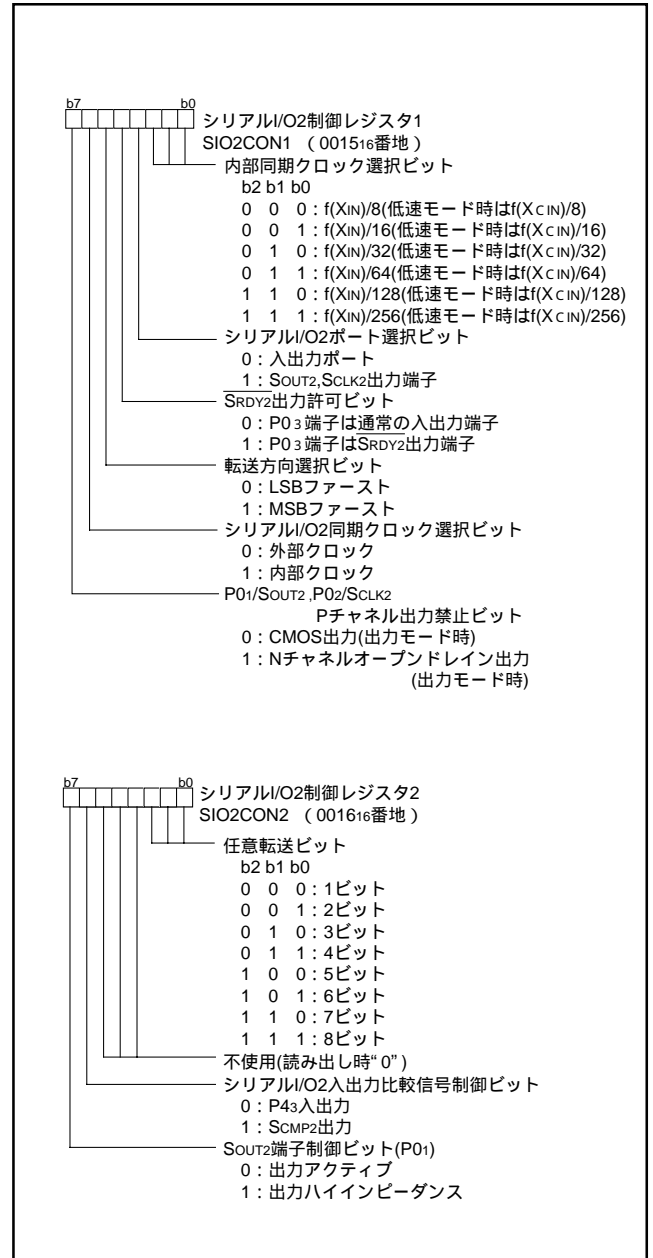
内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1～8ビット)を転送後割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がり時に同期して、送信端子SOUT2と受信端子SIN2の状態を比較し、SCMP2信号を出力することができます。SOUT2端子の出力レベルとSIN2端子への入力レベルが同一であれば、SCMP2端子から“L”、異なれば“H”を出力します。また、この時INT2割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A₁₆番地)のビット2で選択してください。

【シリアルI/O2制御レジスタ1、2】 SIO2CON1, SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。



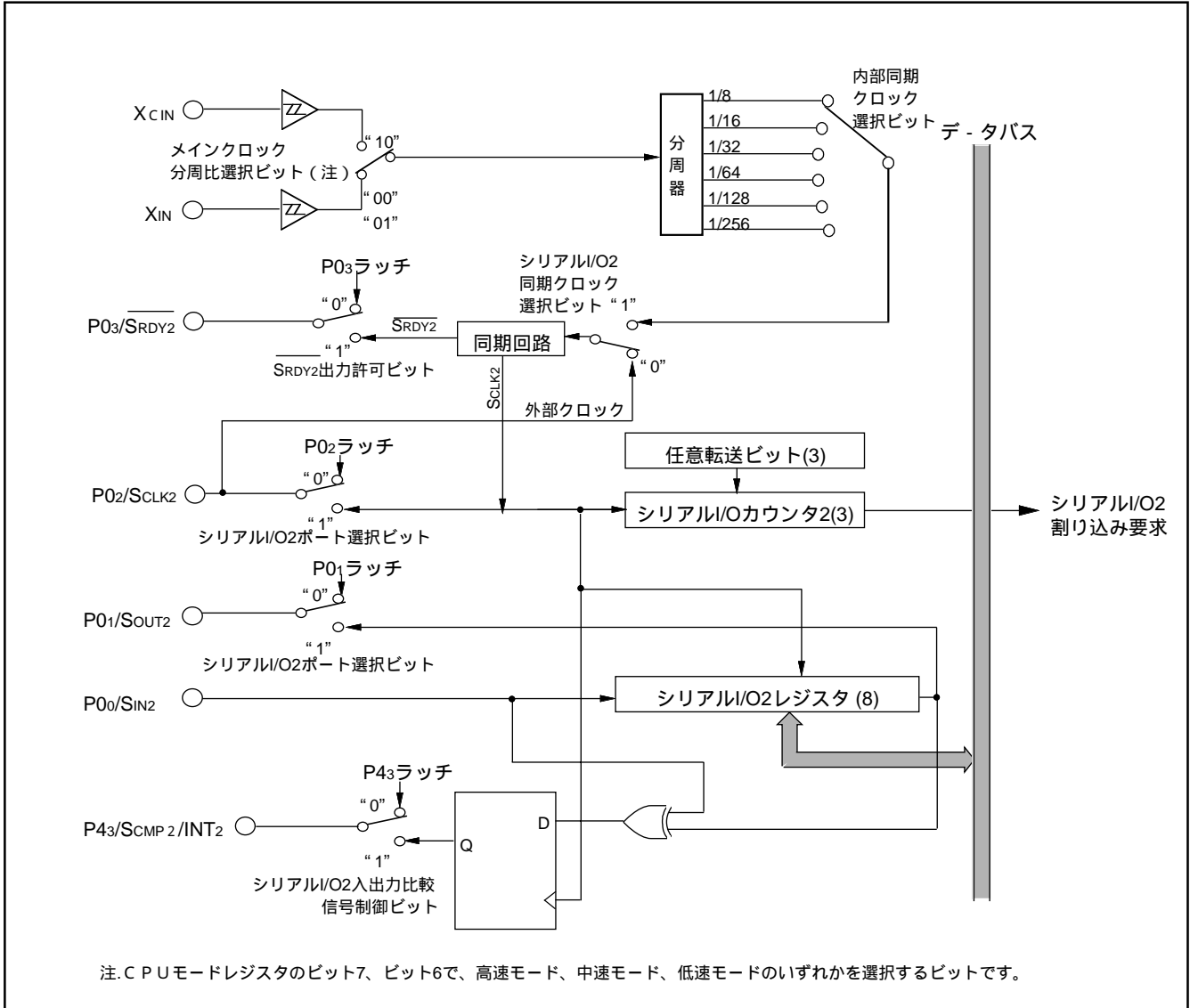


図24 シリアル/O2ブロック図

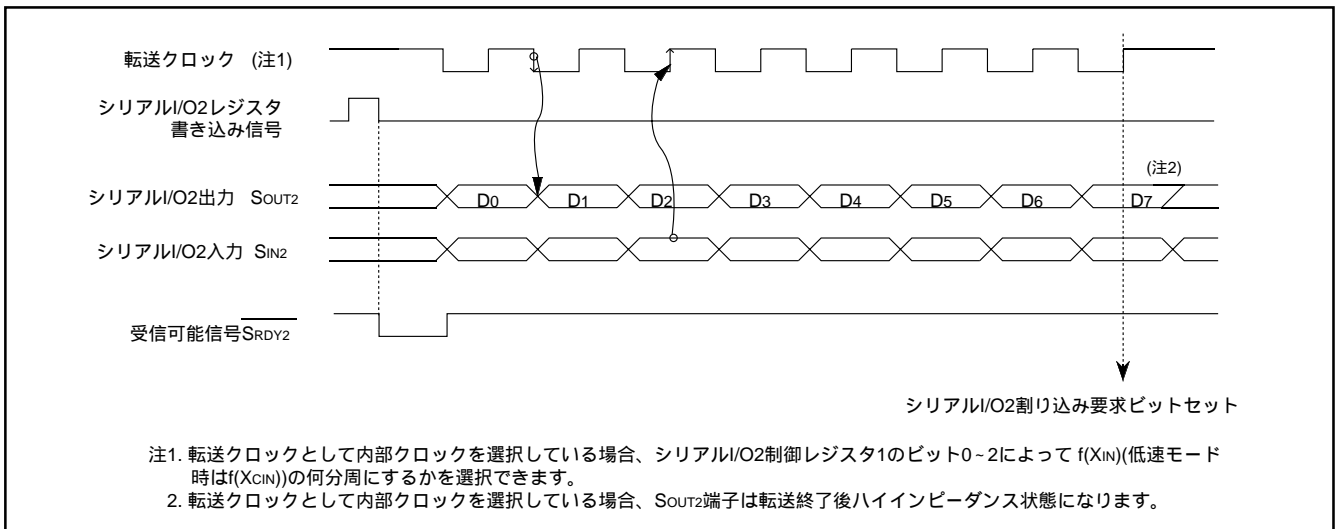


図25 シリアル/O2タイミング図

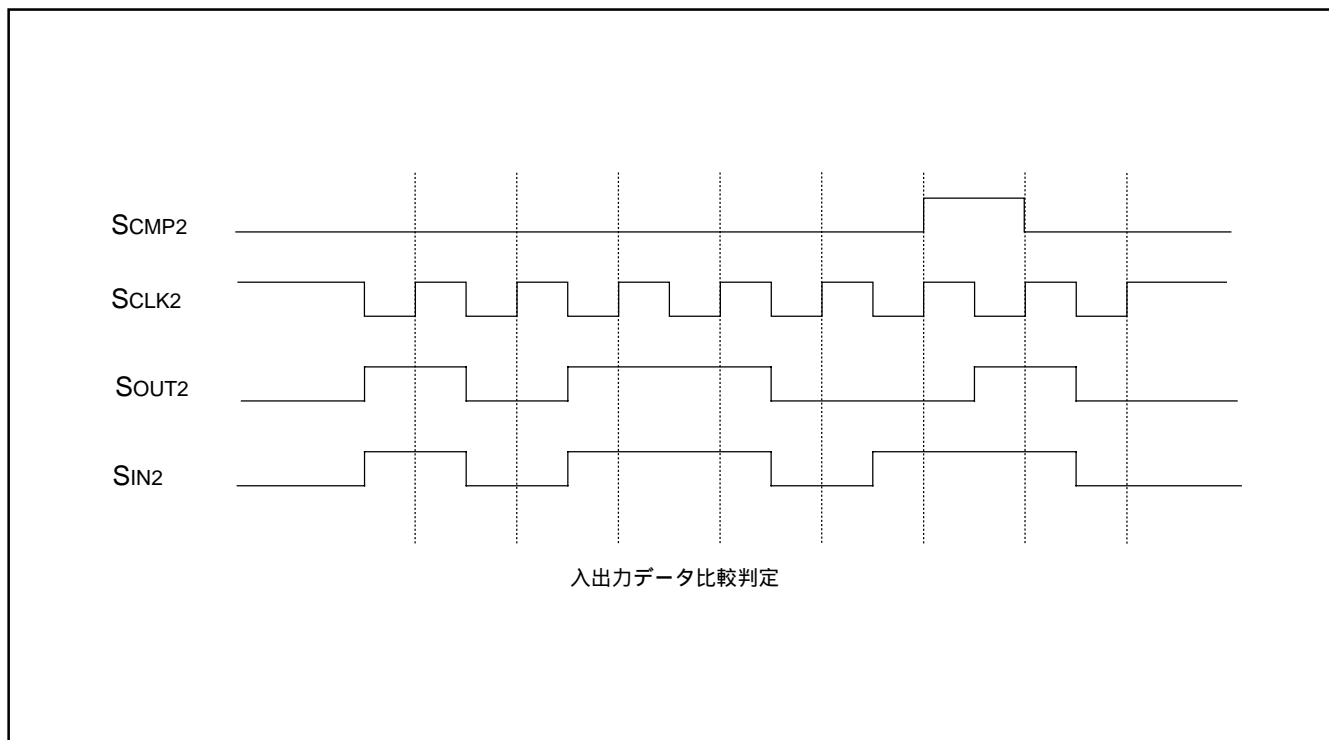


図26 .SCMP2出力の動作

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。

・データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの‘H’期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(XIN)} \\ &= 31.875 \times (n+1) \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHz、カウントソース選択ビット = “0” の場合)

$$\begin{aligned} \text{出力パルスの‘H’期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHz、カウントソース選択ビット = “0” の場合)

・PWMの動作

PWM制御レジスタのビットα PWM許可ビットを‘1’にすると、PWM出力回路は初期状態より動作を開始し、‘H’から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

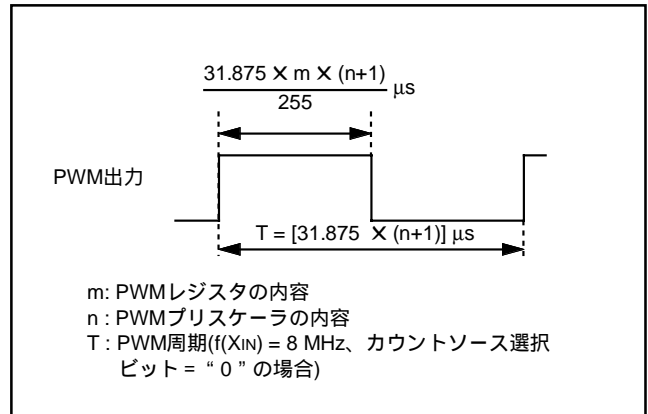


図27 PWM周期のタイミング図

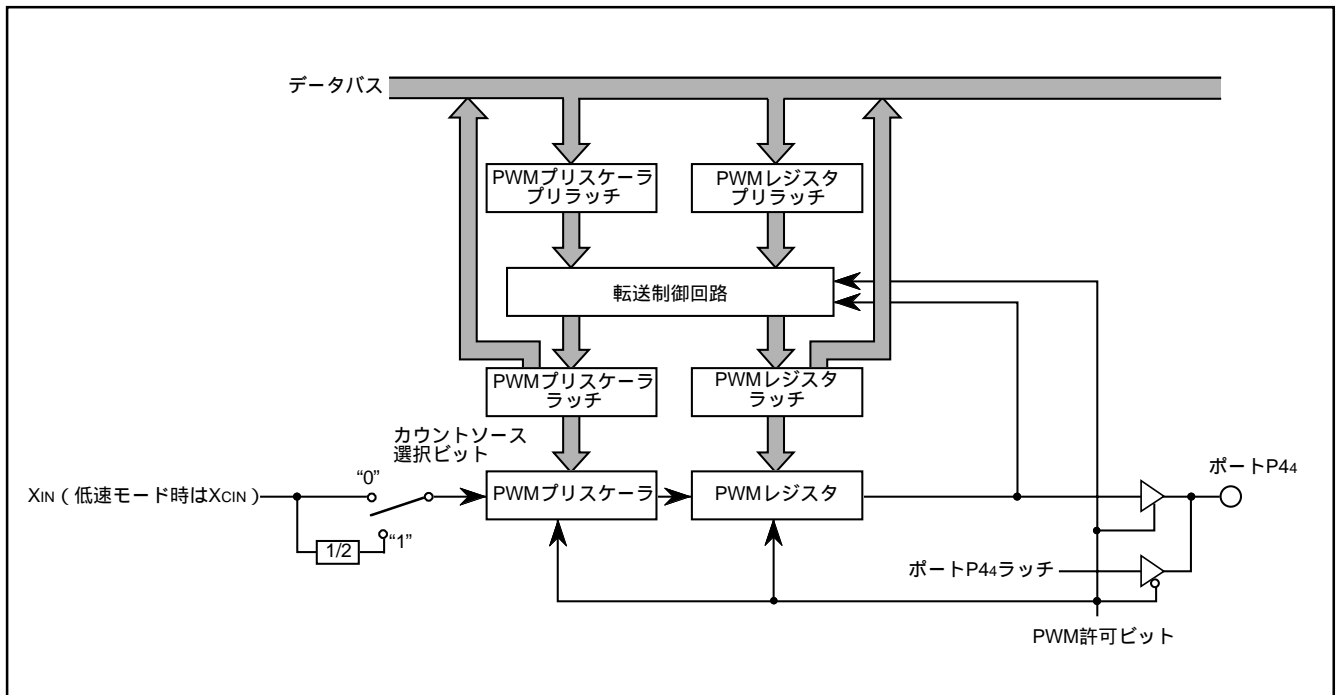


図28 PWMブロック図

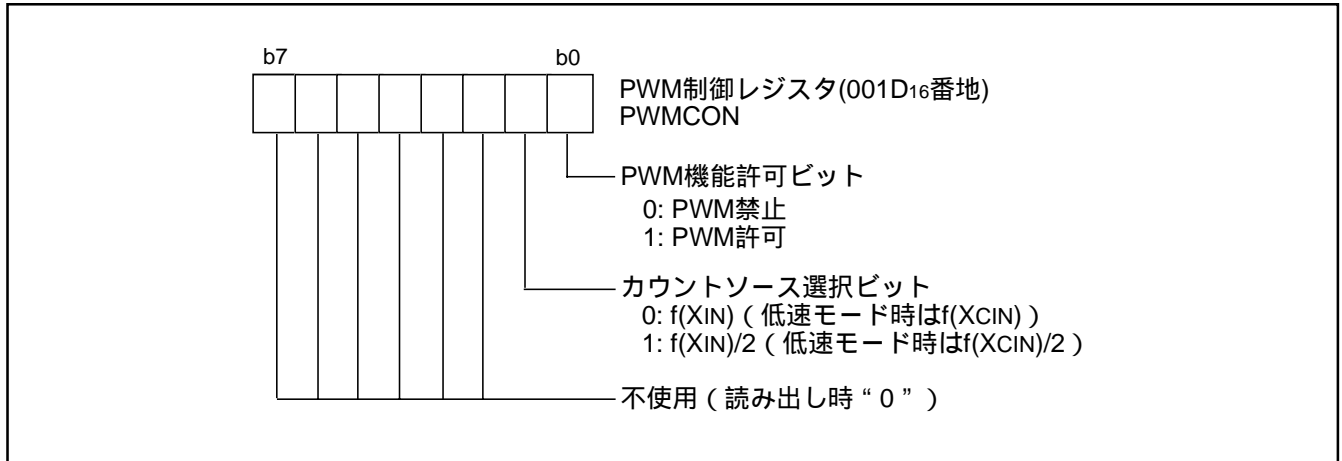


図29 PWM制御レジスタの構成

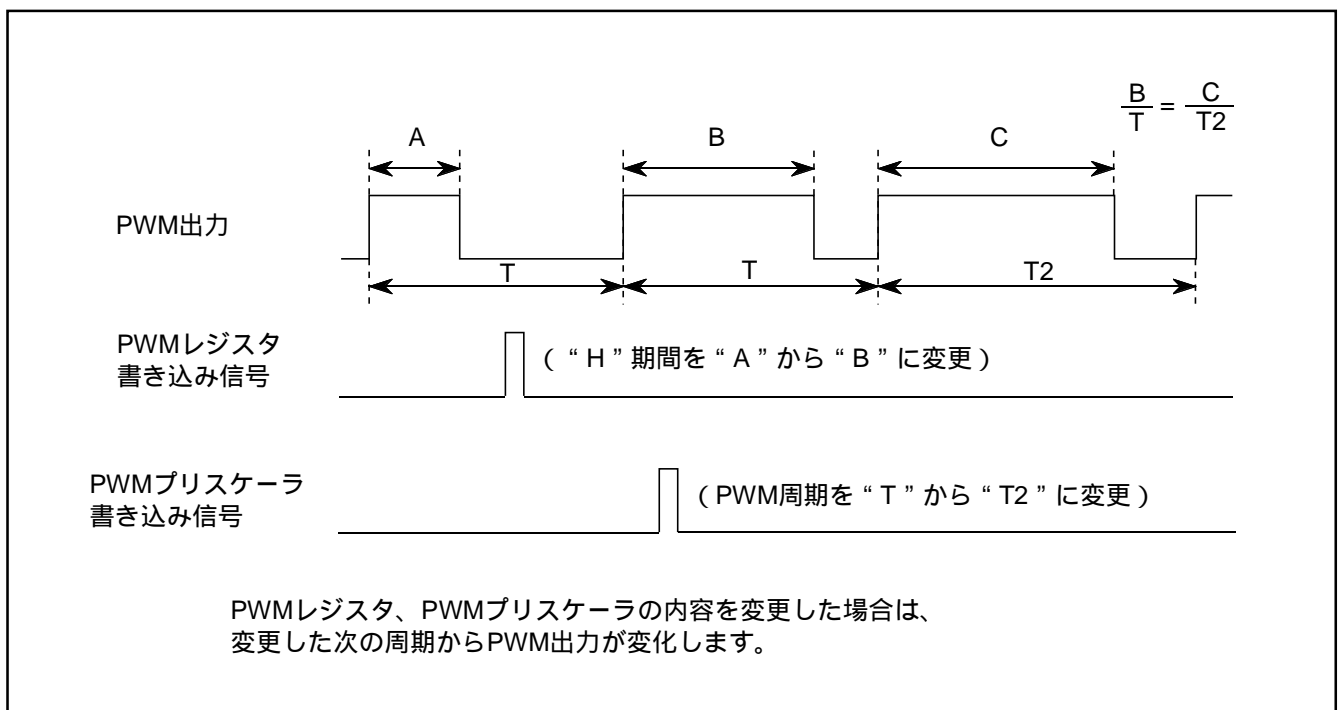


図30 PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

■注意事項

PWM機能許可ビットが許可に設定され、PWM端子から L レベルが出力された後、PWMは開始します。この L レベル出力時間は次のとおりです。

- ・カウントソース選択ビット = "0"、 n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・カウントソース選択ビット = "1"、 n = プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

A-D変換器

【A-D変換レジスタ】ADL, ADH

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット4はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャンネルセクタ】

ポートP34/AN4～P30/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中は $f(XIN)$ を500kHz以上にしてください。

低速モードでA-D変換を実行する場合は、内蔵の自己発振回路を使用してA-D変換を行いますので、 $f(XIN)$ 及び $f(XCIN)$ 下限周波数の制限はありません。

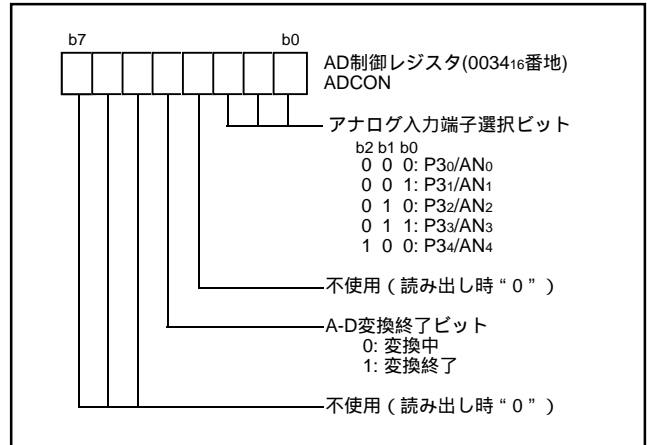


図31 A-D制御レジスタの構成

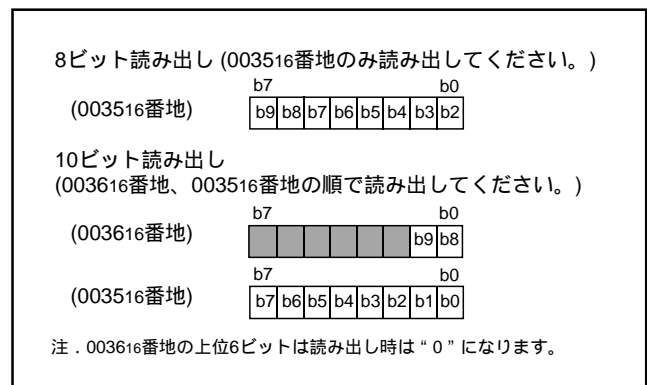


図32 A-D変換レジスタの構成

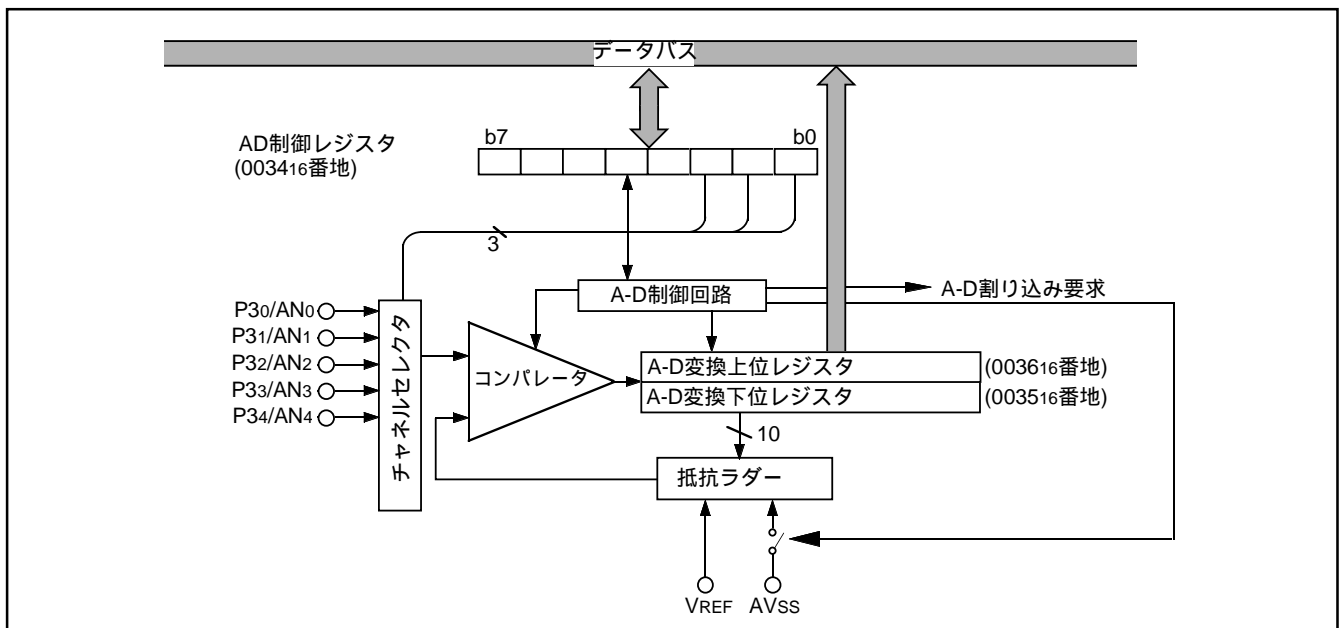


図33 A-D変換器のブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは FF₁₆ に、ウォッチドッグタイマLは FF₁₆ に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが 0 の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(X_{IN})=8\text{MHz}$ 時 131.072ms、 $f(X_{CIN})=32\text{kHz}$ 時 32.768s になります。

このビットが 1 の場合、カウントソースは $f(X_{IN})$ (又は $f(X_{CIN})$) の 16分周信号となります。この場合の検出時間は $f(X_{IN})=8\text{MHz}$ 時 512 μs 、 $f(X_{CIN})=32\text{kHz}$ 時 128ms になります。

このビットはリセット後 0 になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが 0 の場合、STP命令は許可です。

このビットが 1 の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦 1 にするとプログラムで 0 に書き換えることはできなくなります。

このビットはリセット後 0 になります。

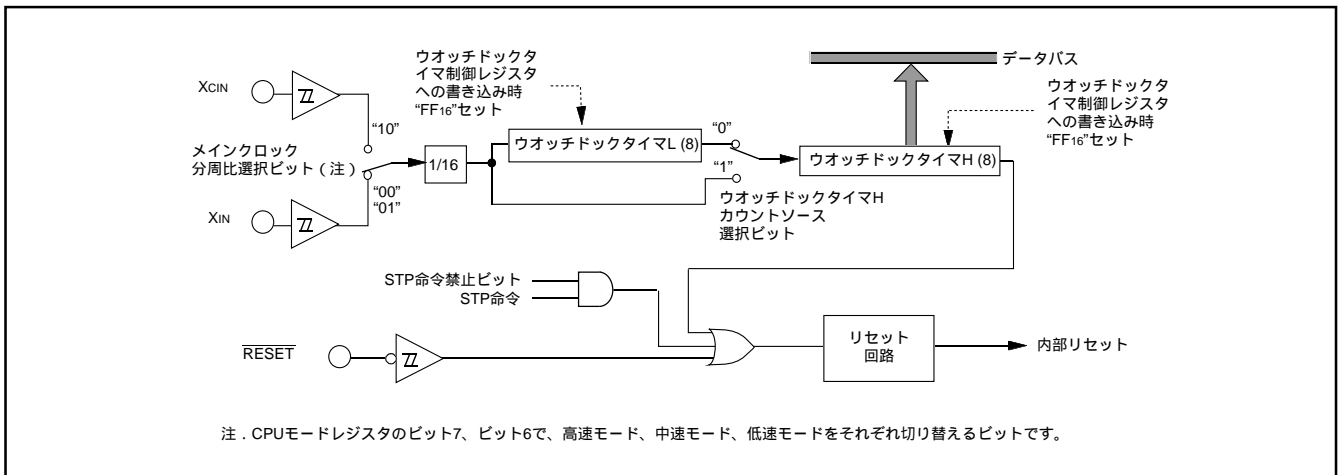


図34 .ウォッチドッグタイマのブロック図

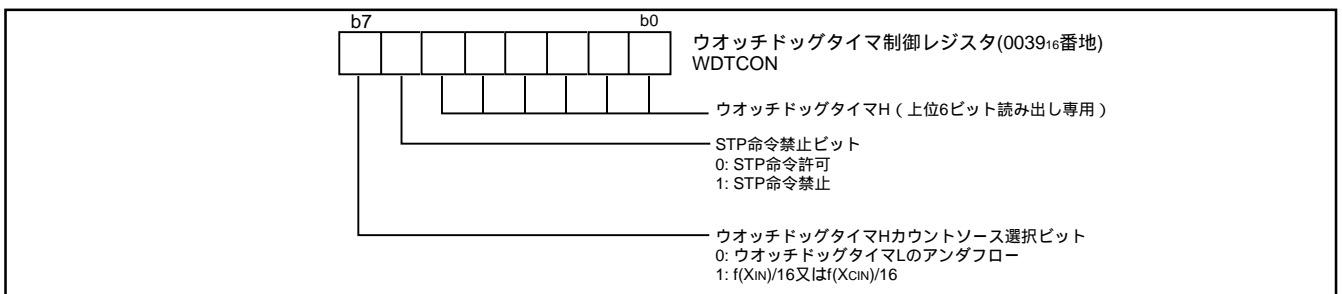
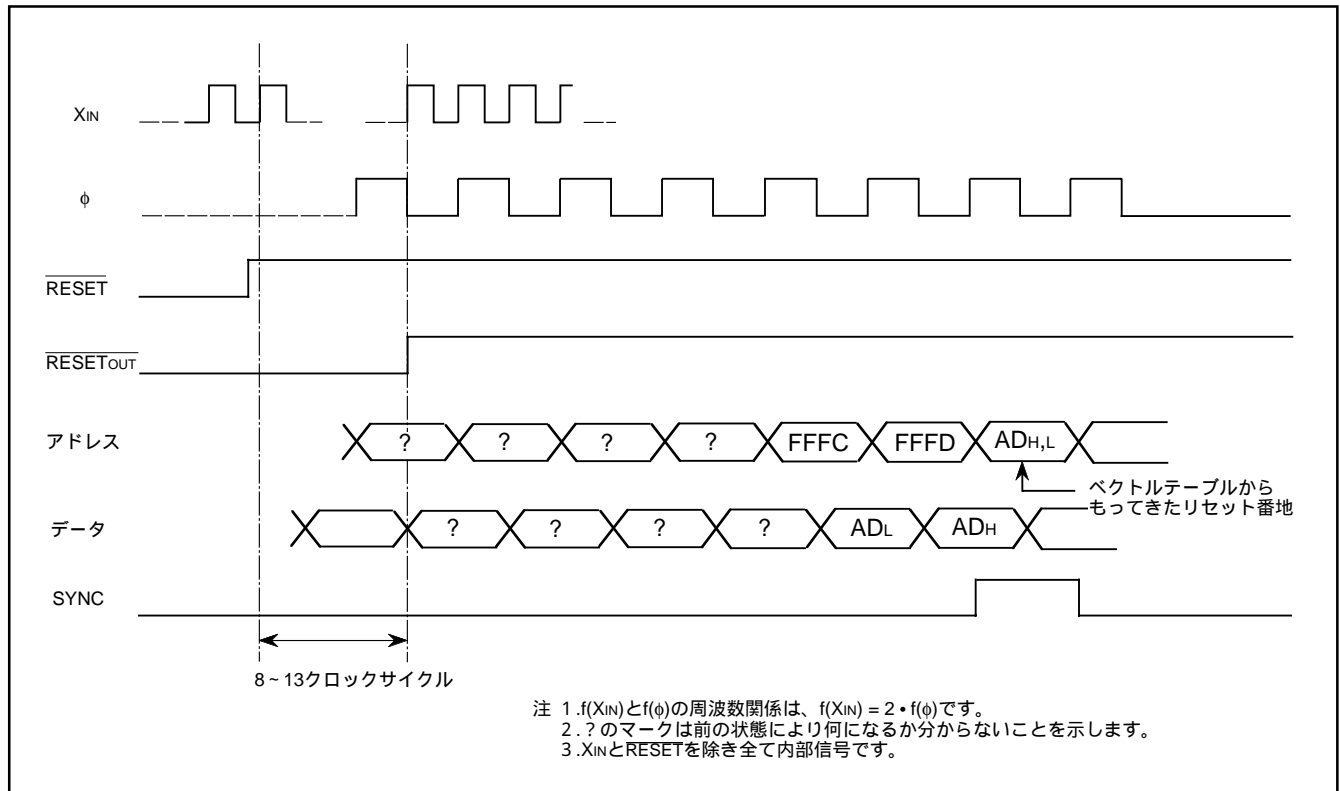
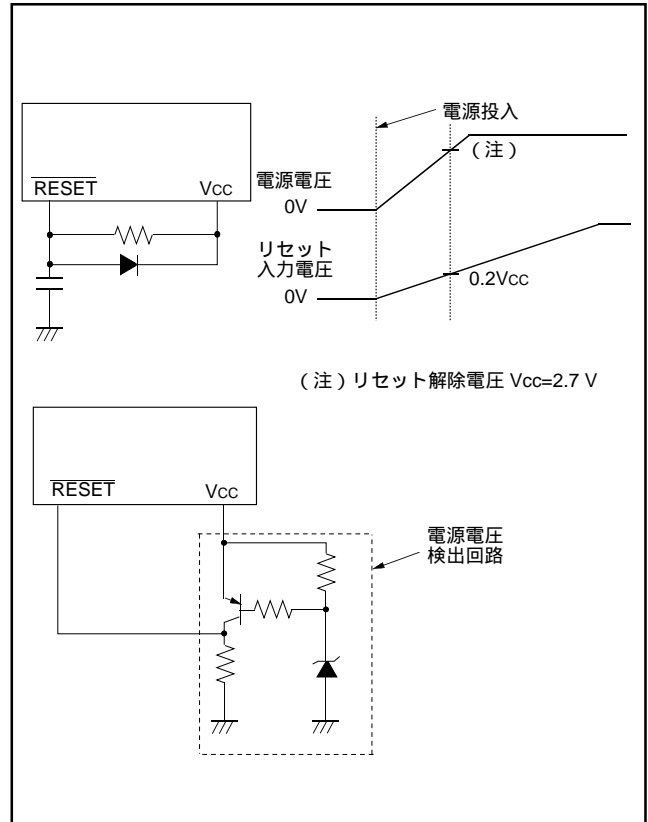


図35 .ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をXINの20サイクル以上 Lレベルに保つとリセット状態になり、その後RESET端子を Hレベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。



	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(34) MISRG	0038 ₁₆	00 ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(35) ウォッチドッグタイマ制御レジスタ	0039 ₁₆	00111111
(3) ポートP1	0002 ₁₆	00 ₁₆	(36) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(37) CPUモードレジスタ	003B ₁₆	01001000
(5) ポートP2	0004 ₁₆	00 ₁₆	(38) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(39) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(40) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(41) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(9) ポートP4	0008 ₁₆	00 ₁₆	(42) プロセッサステータスレジスタ	(PS)	XXXXXXXX1XXX
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(43) プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
(11) シリアル/O2制御レジスタ1	0015 ₁₆	00 ₁₆		(PC _L)	FFFC ₁₆ 番地の内容
(12) シリアル/O2制御レジスタ2	0016 ₁₆	00001111			
(13) シリアル/O2レジスタ	0017 ₁₆	XXXXXXXXXX			
(14) 送信/受信バッファレジスタ	0018 ₁₆	XXXXXXXXXX			
(15) シリアル/O1ステータスレジスタ	0019 ₁₆	10000000			
(16) シリアル/O1制御レジスタ	001A ₁₆	00 ₁₆			
(17) UART制御レジスタ	001B ₁₆	11100000			
(18) ボーレートジェネレータ	001C ₁₆	XXXXXXXXXX			
(19) PWM制御レジスタ	001D ₁₆	00 ₁₆			
(20) PWMプリスケアラ	001E ₁₆	XXXXXXXXXX			
(21) PWMレジスタ	001F ₁₆	XXXXXXXXXX			
(22) プリスケアラ12	0020 ₁₆	FF ₁₆			
(23) タイマ1	0021 ₁₆	01 ₁₆			
(24) タイマ2	0022 ₁₆	00 ₁₆			
(25) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆			
(26) プリスケアラX	0024 ₁₆	FF ₁₆			
(27) タイマX	0025 ₁₆	FF ₁₆			
(28) プリスケアラY	0026 ₁₆	FF ₁₆			
(29) タイマY	0027 ₁₆	FF ₁₆			
(30) タイマカウントソース設定レジスタ	0028 ₁₆	00 ₁₆			
(31) A-D制御レジスタ	0034 ₁₆	00010000			
(32) A-D変換下位レジスタ	0035 ₁₆	XXXXXXXXXX			
(33) A-D変換上位レジスタ	0036 ₁₆	000000XX			

注. × は不定です。
上記以外のレジスタ及びRAMの内容はリセット時
には不定ですので、初期値を設定してください。

図38 リセット時の内部状態

クロック発生回路

3850グループ(H仕様)は2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を'1'にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを'0'にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが'H'の状態では停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビットが'0'のとき、タイマ1には'0116'、プリスケアラ12には'FF16'が設定されます。一方、STP命令解除後の発振安定時間設定ビットが'1'のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあつた待ち時間を設定してください。プリスケアラ12の入力にはXIN又はXCINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで'H'のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に'L'レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが'H'の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを'1'にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを'0'にしてください。

■注意事項

STP命令解除後の発振安定時間設定ビットを'1'で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

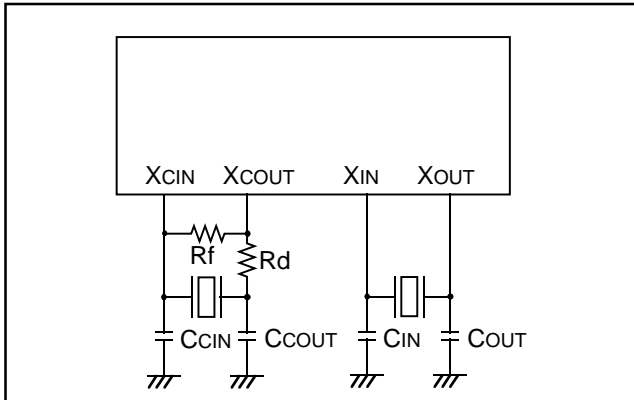


図39 .セラミック共振子外付け回路

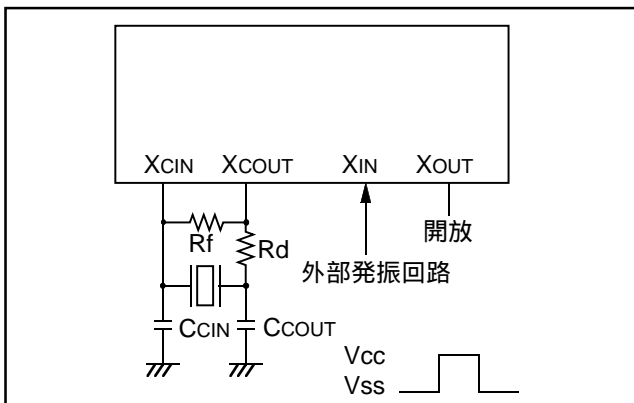


図40 外部クロック入力回路

【MISRG】MISRG

MISRGは中速モード自動切り替えに関する各種制御を行うビットと、STP命令解除後の発振安定時間の設定を制御するビットで構成されています。

中速モード自動切り替え設定ビットが“1”で、低速モードで動作中に、中速モード自動切り替え開始ビットに“1”を書き込むことによって、自動的にX_{IN}発振が開始し、中速モードに切り替わります。

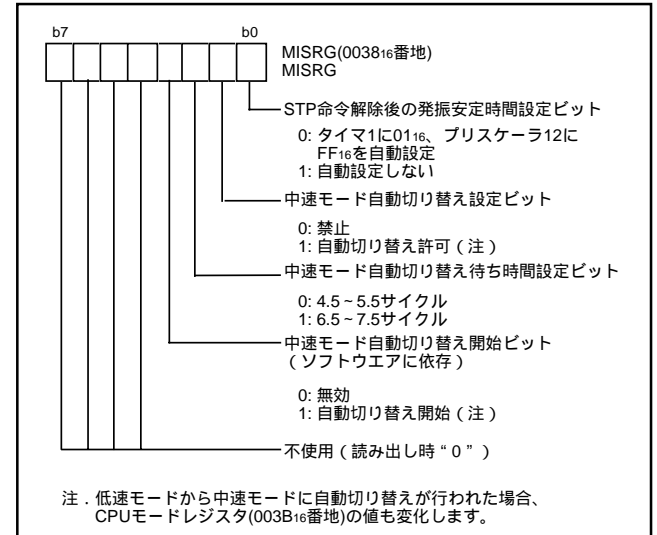


図41 MISRGの構成

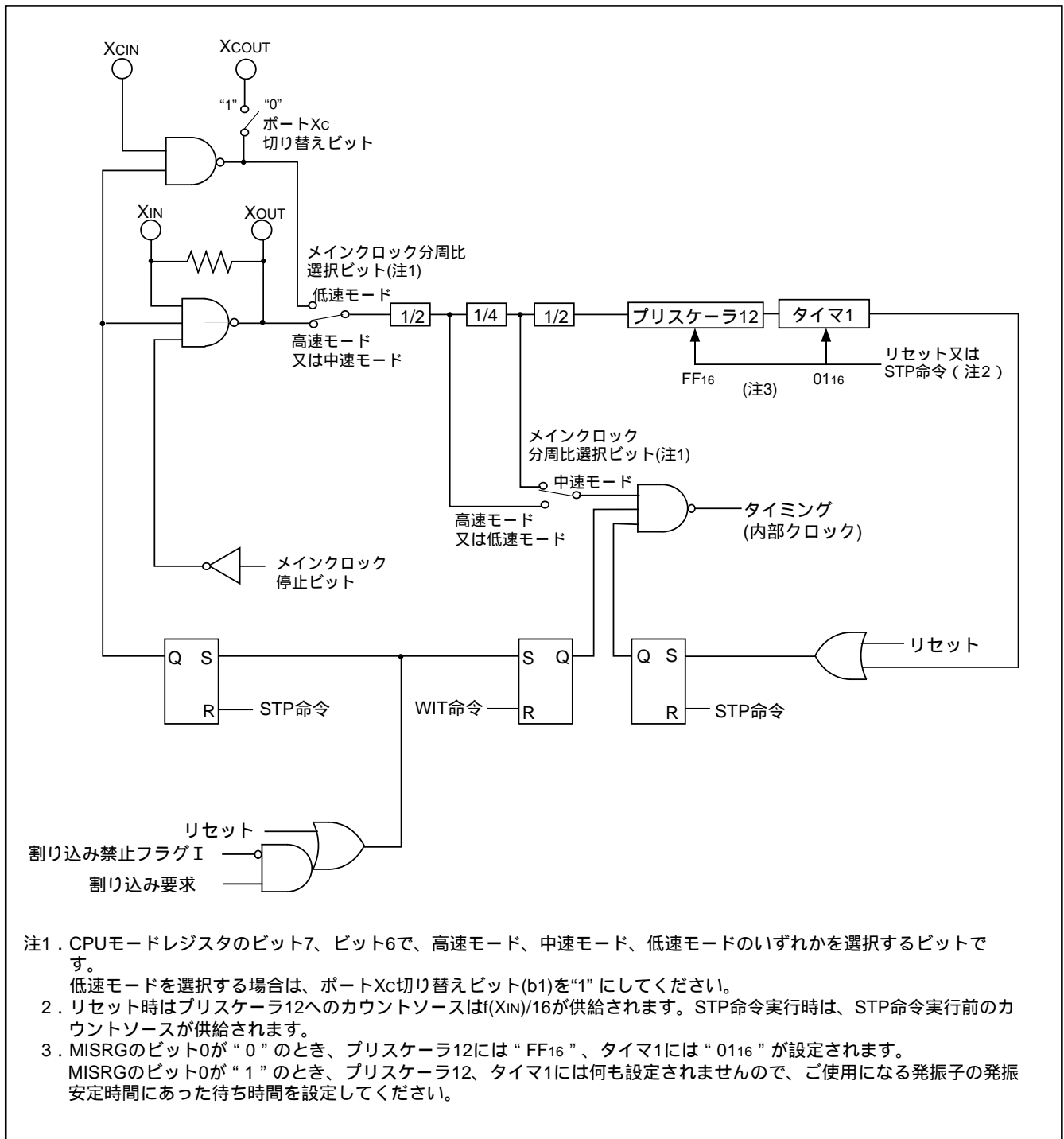


図42 システムクロック発生回路ブロック図(シングルチップモード)

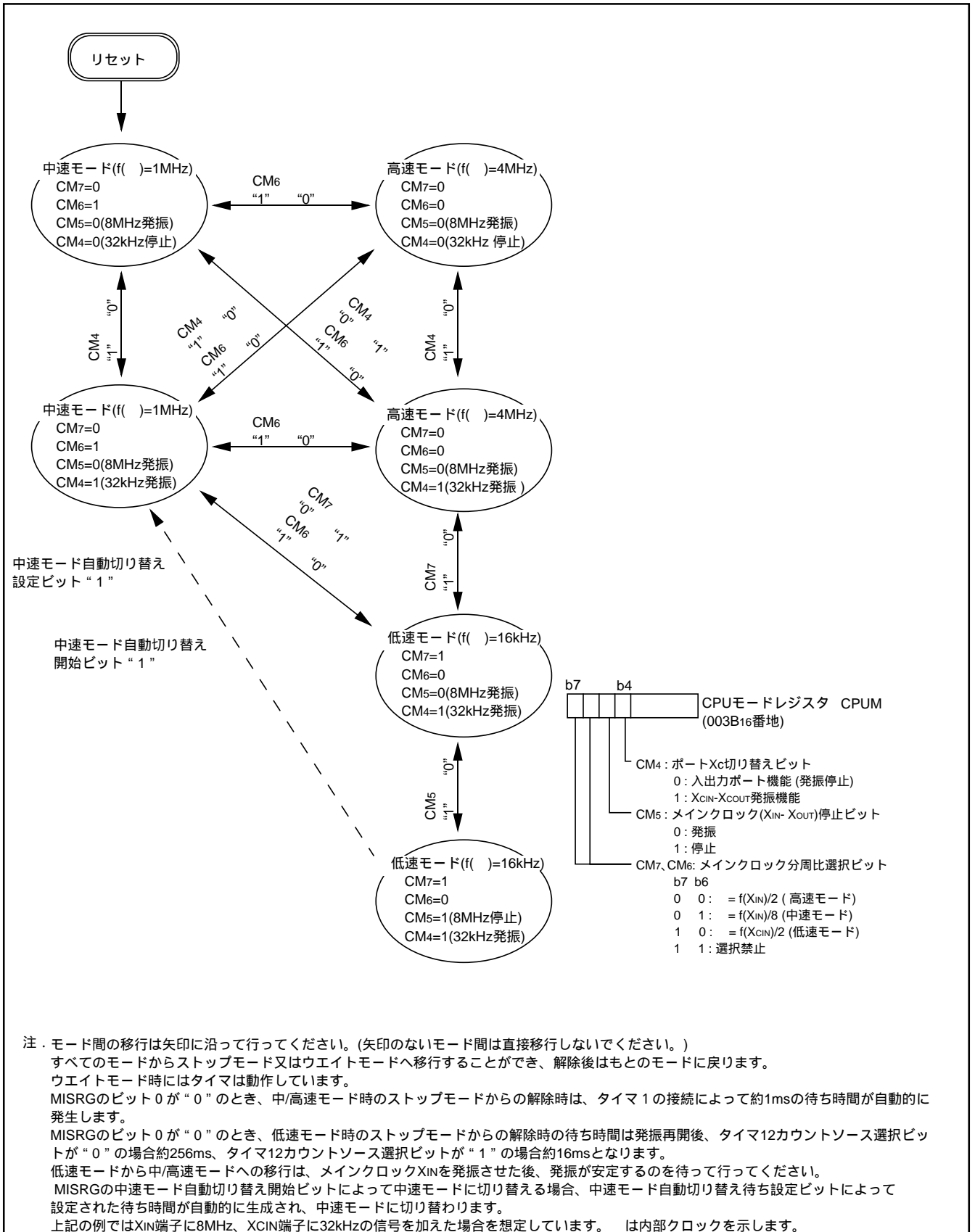


図43 システムクロックの状態遷移図

フラッシュメモリ版

性能概要

表9にM38507F8(フラッシュメモリ版)の性能概要を示します。

表9. M38507F8(フラッシュメモリ版)の性能概要

項 目	性 能	
電源電圧	V _{cc} = 2.7 ~ 5.5V(注1) V _{cc} = 2.7 ~ 3.6V(注2)	
プログラム/イレーズ電圧	4.5 ~ 5.5V, f(XIN) = 8MHz	
フラッシュメモリモード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)	
消去ブロック分割	ユーザROM領域	1分割(32Kバイト)
	ブートROM領域	1分割(4Kバイト)(注3)
プログラム方式	バイト単位	
イレーズ方式	一括消去	
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御	
コマンド数	6コマンド	
プログラム/イレーズ回数	100回	
ROMコードプロテクト	パラレル入出力モード/標準シリアルモード対応	

注1 .プログラム/イレーズ時の電源電圧は、V_{cc} = 4.5 ~ 5.5Vで書き込んでください。

2 .プログラム/イレーズ時の電源電圧は、V_{cc} = 3.0 ~ 3.6Vでの書き込みも可能です。

3 .ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

フラッシュメモリモード

M38507F8は、5V単一電源又は $V_{PP}=5V$, $V_{CC}=3.3V \sim 5V$ において2電源での書き換えが可能なNEW DINOR(Divided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図44に示すようにM38507F8のフラッシュメモリは、ユーザROM領域とブートROM領域の2つのブロックに分かれています。

内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

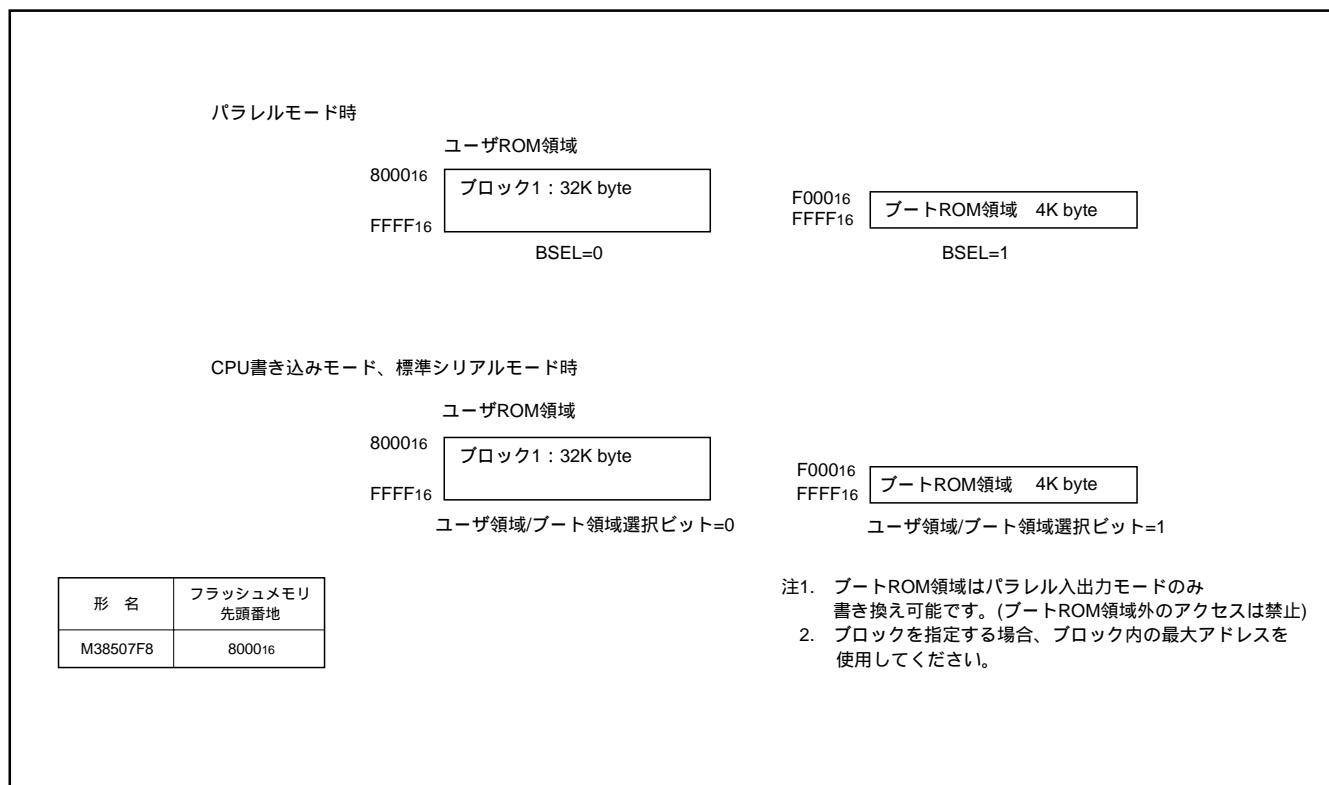


図44. 内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図44に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、ここで実行させる必要があります。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図44に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P41/INT0端子を“H”、CNVss端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。M38507F8の場合、1ブロックのみの構成となります。

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドをライトすることにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行させる必要がありますので注意してください。

CPU書き換えモードへは、CNVss端子に5V ± 0.5Vを印加し、CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図45にフラッシュメモリ制御レジスタを示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。自動書き込み、自動消去の動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります(パラレル入出力モードのRY/BY端子と同等の機能)。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグで、このビットを読むことによりCPU書き換えモードにエントリしていることを確認することができます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット4はユーザROM領域/ブートROM領域選択ビットで、“1”をセットすることでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビットの操作はRAM上のプログラムで行う必要があります。

図46にCPU書き換えモード設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

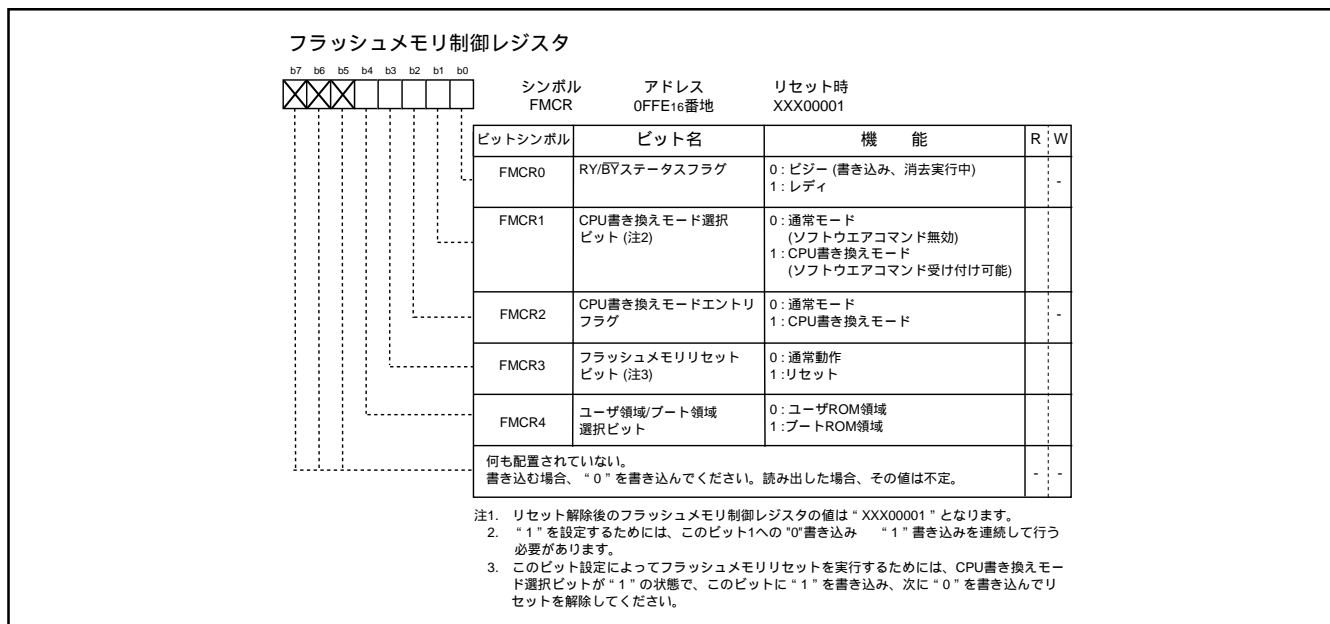


図45. フラッシュメモリ制御レジスタのビット構成

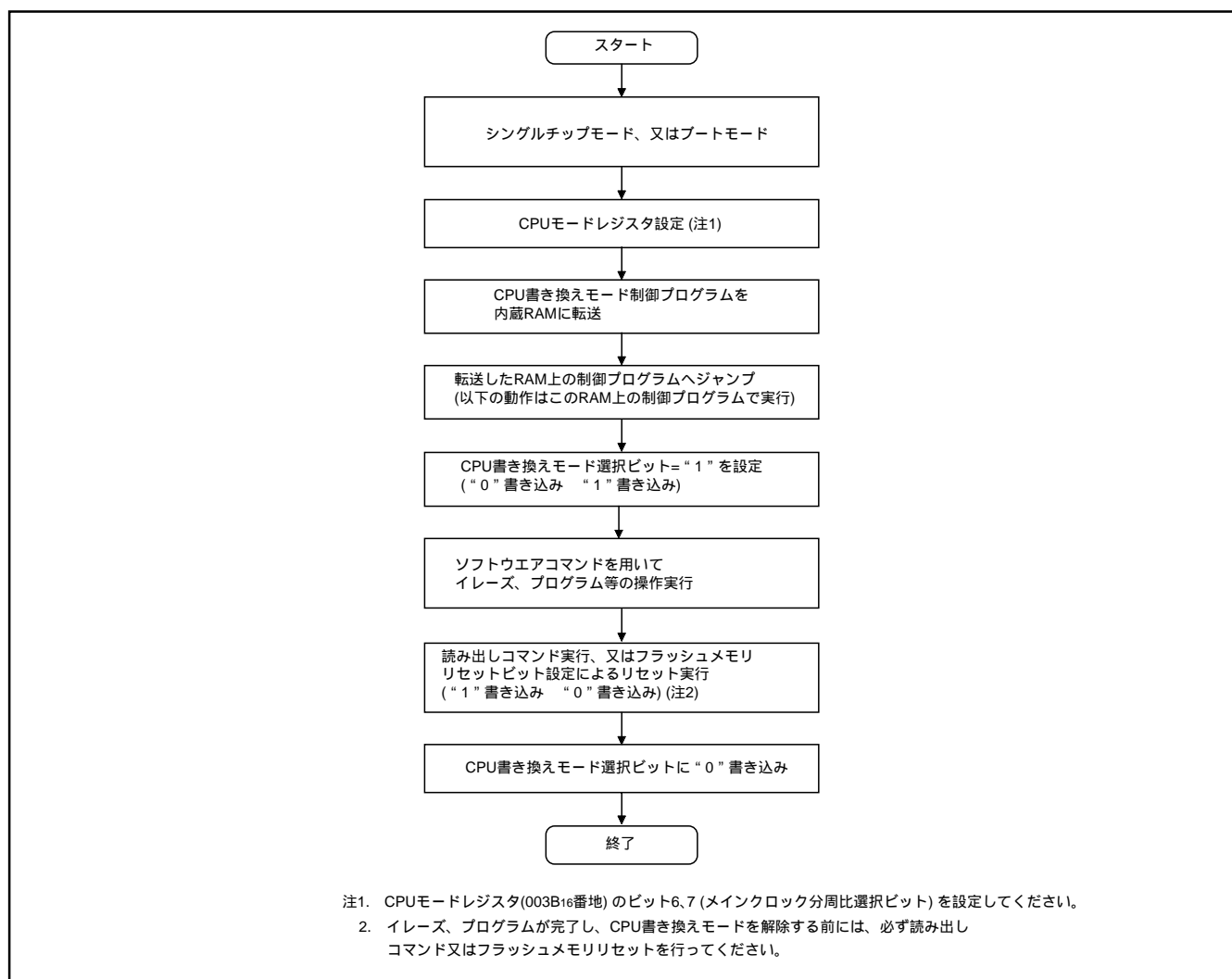


図46. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロックが4.0MHz以下になるように設定してください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS} = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

ソフトウェアコマンド

表10にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D₀~D₇)へ読み出されます。読み出しモードは、他のコマンドがライトされるまで保持されます。また、電源投入後及びディープパワーダウンモードからの復帰後も、このモードが選択されます。

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR1、SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

プログラムコマンド(40₁₆)

第1バスサイクルでコマンドコード“40₁₆”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はステータスレジスタのリードまたはRY/ $\overline{\text{BY}}$ ステータスフラグのリードによって確認できます。プログラム開始とともに自動的にステータスレジスタリードモードとなり、ステータスレジスタの内容がデータバス(D₀~D₇)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”にもどります。この場合のステータスレジスタリードモードは、次にリードコマンド(“FF”)をライトするまで継続されます。RB/ $\overline{\text{BY}}$ ステータスフラグはステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

表10. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D ₀ ~D ₇)	モード	アドレス	データ (D ₀ ~D ₇)
リードアレイ	1	ライト	X (注4)	FF ₁₆			
リードステータスレジスタ	2	ライト	X	70 ₁₆	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	50 ₁₆			
プログラム	2	ライト	X	40 ₁₆	ライト	WA (注2)	WD (注2)
イレーズ全ブロック	2	ライト	X	20 ₁₆	ライト	X	20 ₁₆
ブロックイレーズ	2	ライト	X	20 ₁₆	ライト	BA (注3)	D0 ₁₆

注1. SRD=ステータスレジスタデータ

2. WA=ライトアドレス, WD=ライトデータ

3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

4. XはユーザROM領域内の任意のアドレス

イレーズ全ブロック(2016/2016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“2016”を入力するとイレーズ全ブロック動作(消去前書き込み、消去、消去ベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリードまたはRY/BYステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はイレーズ全ブロックの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

イレーズ全ブロック終了後、ステータスレジスタを読み出すことにより、イレーズ全ブロックの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズ(2016/D016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“D016”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(消去前書き込み、消去、消去ベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ又はRY/BY信号状態によって確認できます。自動一括消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次に読み出しコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

イレーズ全ブロック終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

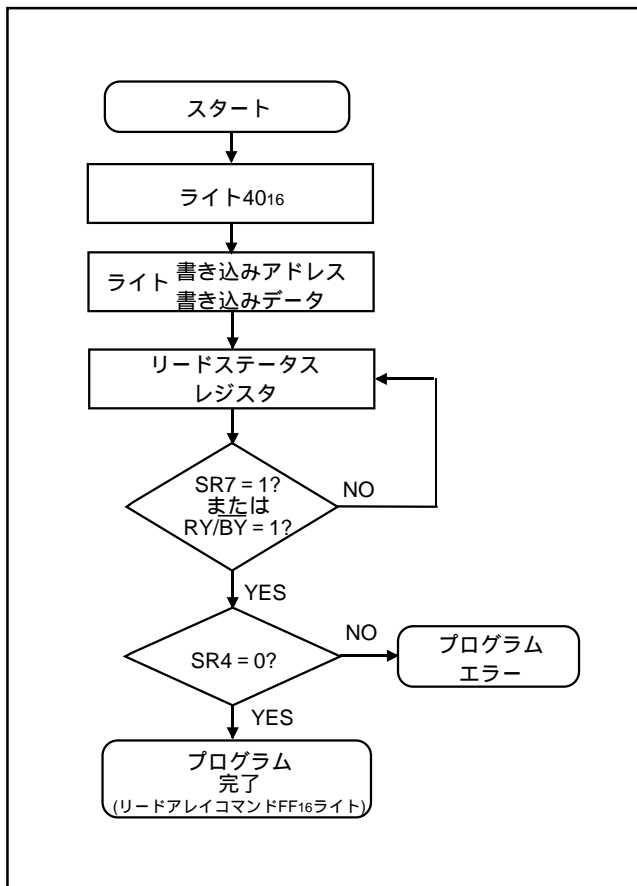


図47. 自動書き込みフローチャート

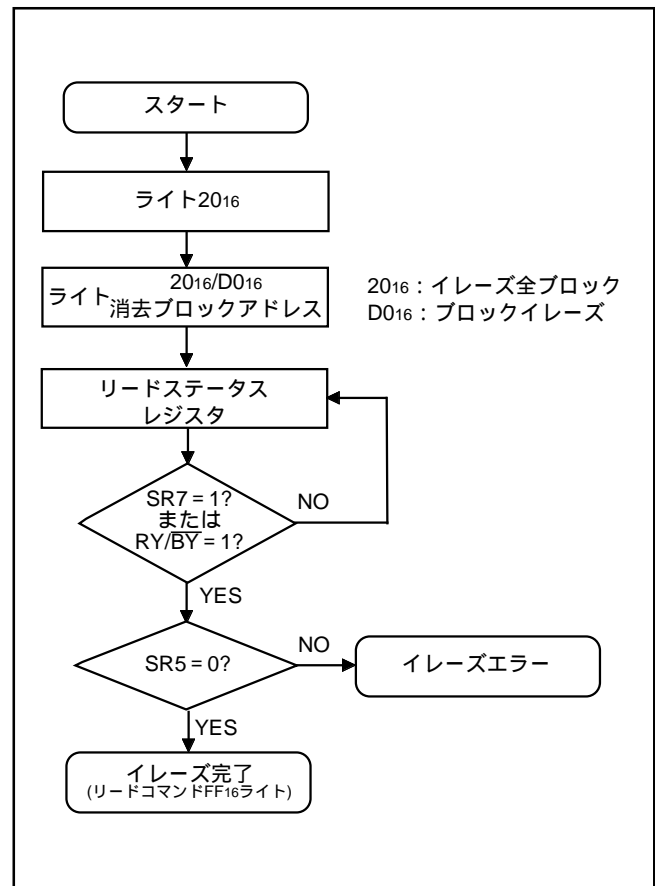


図48. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードモードにおいて、リードステータスレジスタコマンド(70₁₆)をライトした後、ブロックアドレスを読み出したとき
- (2) プログラム開始またはブロックイレーズのイレーズ開始から、リードアレイクマンド(FF₁₆)入力までの期間

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50₁₆)をライトしたとき
- (2) ディープパワーダウンモードに入ったとき
- (3) 電源をオフにしたとき

表11にステータスレジスタの各ビットの定義を示します。

リセット解除後、ステータスレジスタは、“80₁₆”になります。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時及びディープパワーダウンモードからの復帰時は“1” (レディ)にセットされます。プログラムやイレーズの動作中は“0” (ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

表11. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンドを実行し、ステータスをクリアする必要があります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図49にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

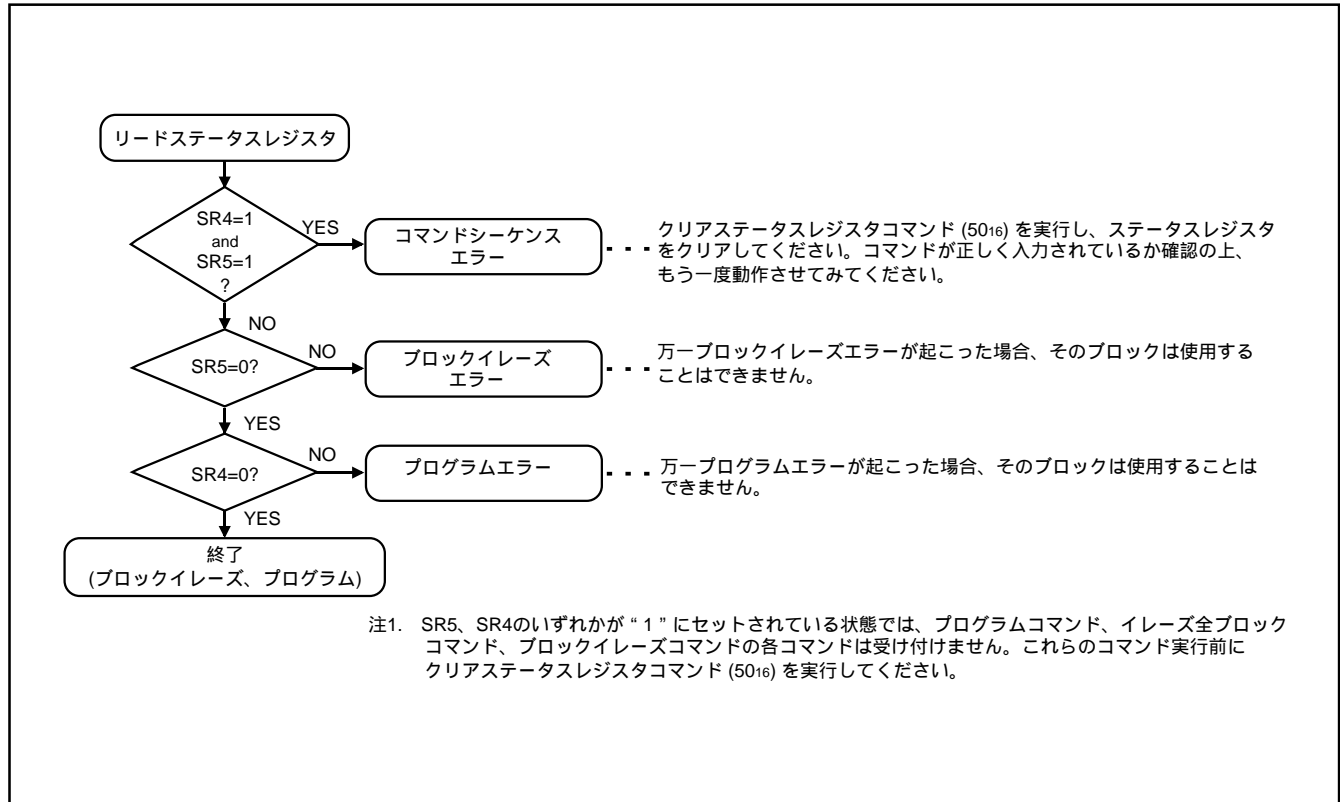


図49. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図50に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうちどちらか一方又は両方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

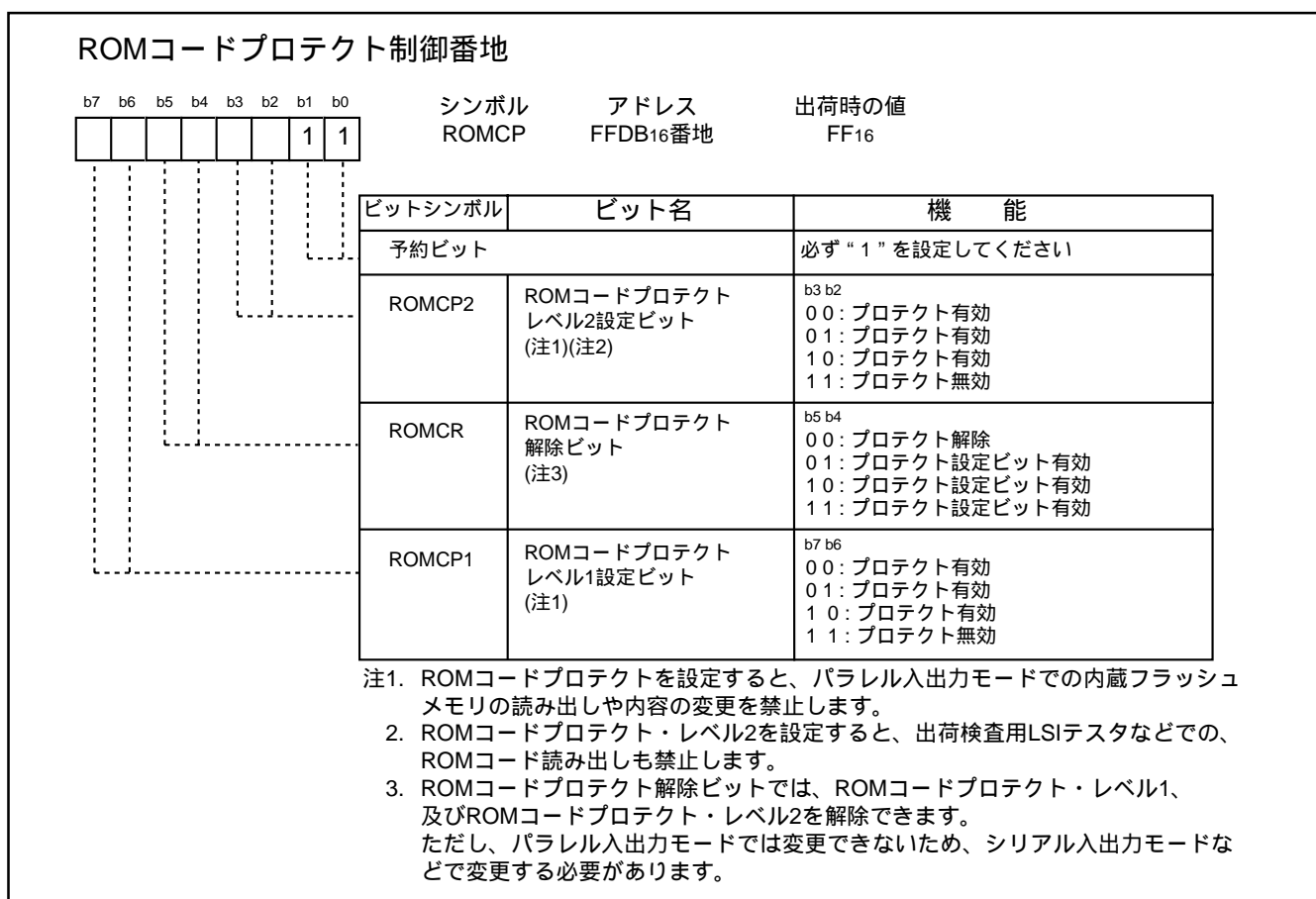


図50. ROMコードプロテクトのビット構成

IDコードチェック機能

標準シリアル入出力モードで使⽤します。フラッシュメモリの内容がブランクではない場合、シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリ

アルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD4₁₆~FFDA₁₆番地に割り付けられています。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

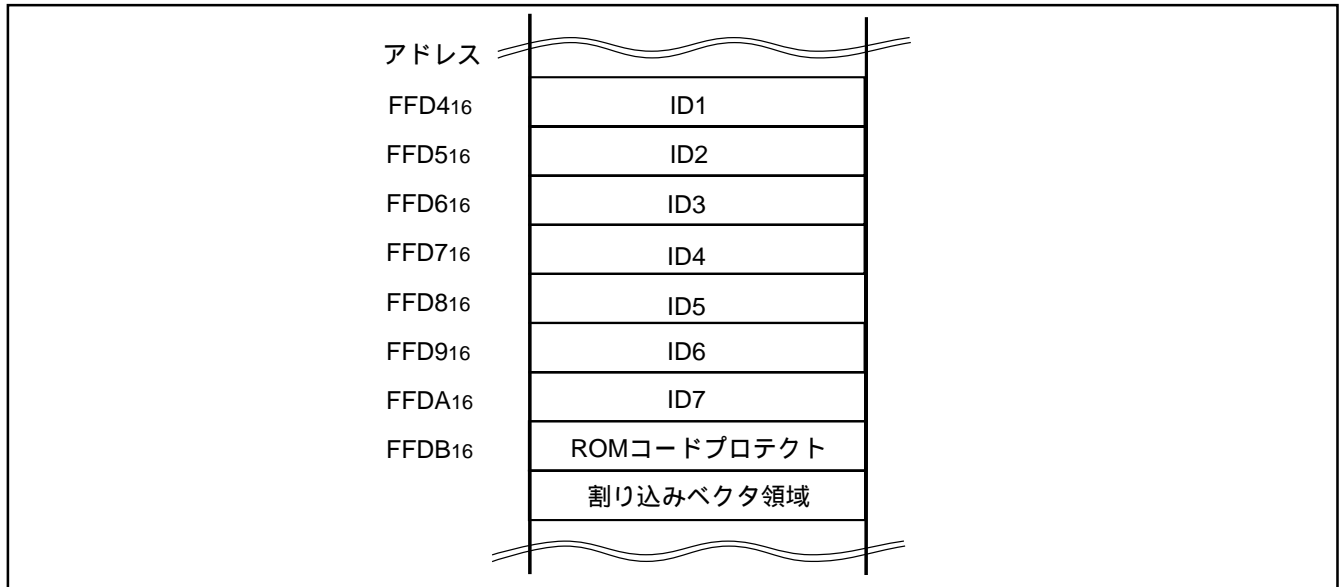


図51. IDコードの格納アドレス

パラレル入出力モード

図53に示す結線を行い、Vcc 電源(5.0V)を投入するとパラレル入出力モードになります。

アドレス

図52に示すとおり、ユーザROM領域はブロックに分けられています。ブロック内の最大アドレスがブロックアドレスです。

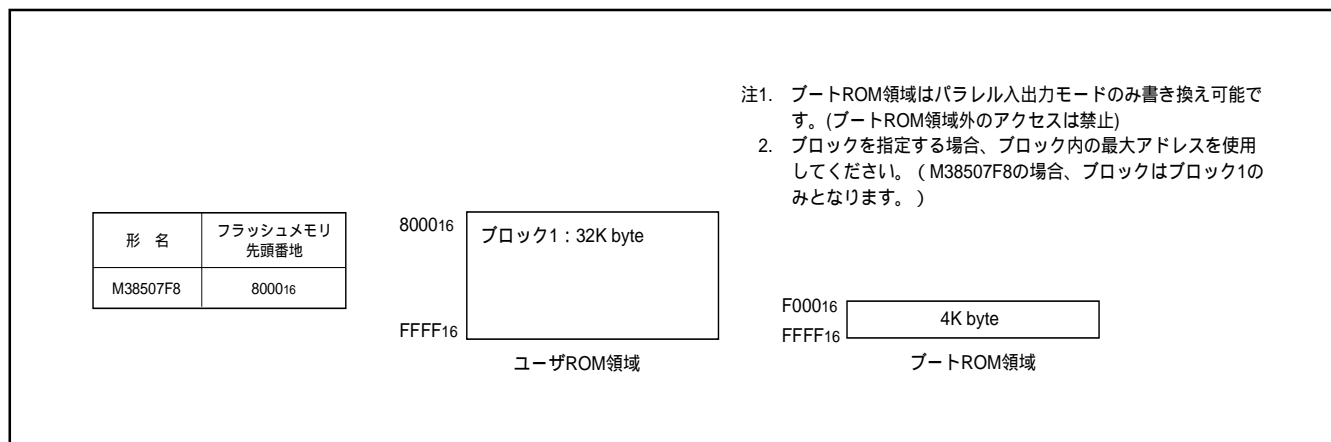


図52. 内蔵フラッシュメモリのブロック図

表12. 端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名称	入出力	機能
Vcc,Vss	電源入力		Vcc端子には5.0±0.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vccに接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	開放又はADの基準電圧を入力してください。
P00 ~ P07	データ入出力D0 ~ D7	入出力	データD0 ~ D7の入出力端子です。
P10 ~ P17	アドレス入力A8 ~ A15	入力	アドレスA8 ~ A15の入力端子です。
P20 ~ P27	アドレス入力A0 ~ A7	入力	アドレスA0 ~ A7の入力端子です。
P30	BSEL入力	入力	BSELの入力端子です。
P31	RP入力	入力	RPの入力端子です。
P32	$\overline{\text{WE}}$ 入力	入力	$\overline{\text{WE}}$ の入力端子です。
P33	$\overline{\text{CE}}$ 入力	入力	$\overline{\text{CE}}$ の入力端子です。
P34	$\overline{\text{OE}}$ 入力	入力	$\overline{\text{OE}}$ の入力端子です。
P40	RY/BY出力	出力	RY/BY出力端子です。
P41	入力ポートP4	入力	“L”を入力してください。
P42 ~ P44	入力ポートP4	入力	開放又は“H”を入力してください。

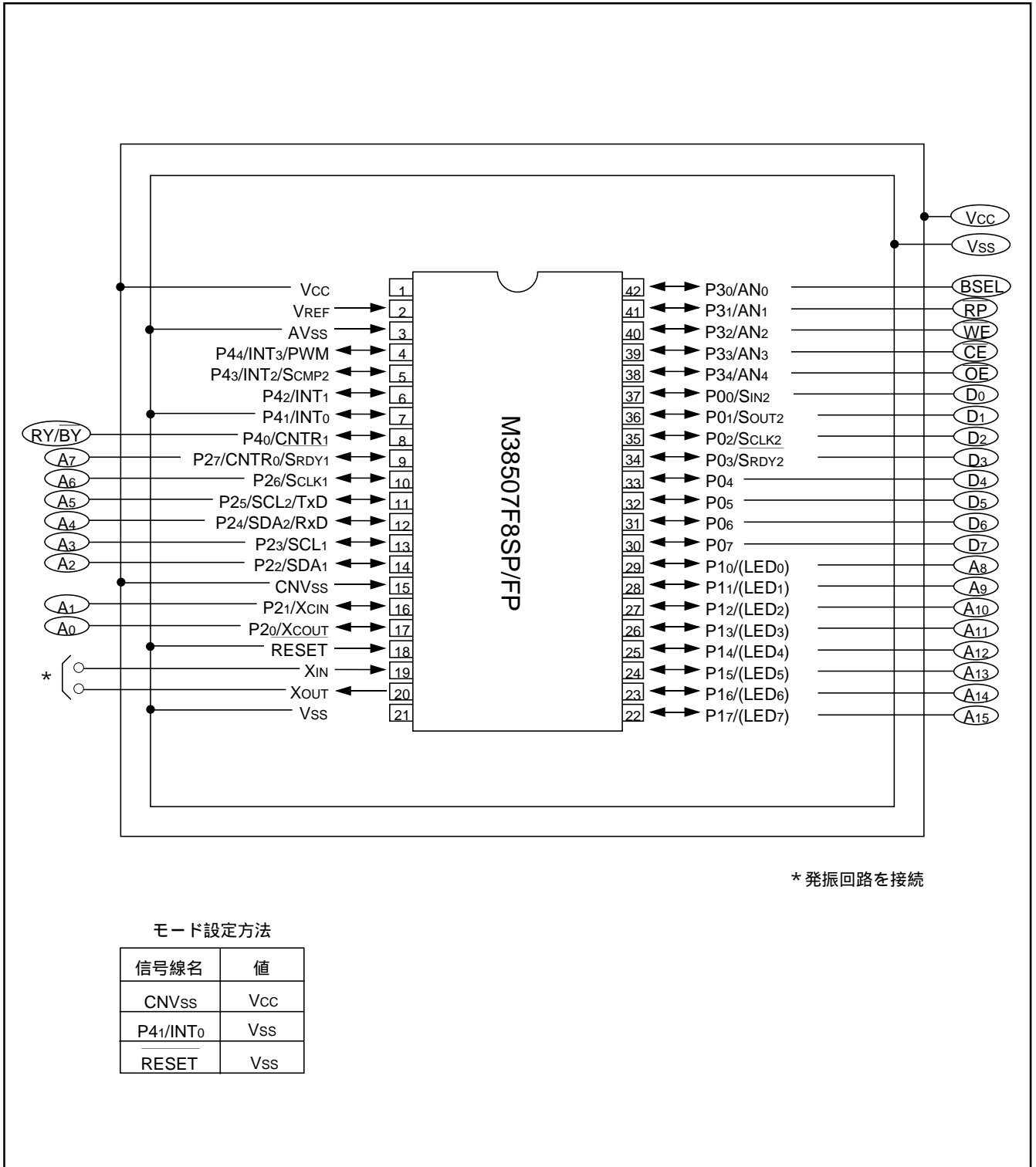


図53. パラレル入出力モード時の端子結線図

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図52に示すユーザROM領域及びブートROM領域の書き換えを行うことができます。この2つの領域の選択は、BSEL端子で行います。BSEL入力を“L”とするとユーザROM領域が選択され、BSEL入力を“H”とするとブートROM領域が選択されます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図52に示します。ユーザROM領域は32Kバイトで、パラレル入出力モードでは、8000₁₆ ~ FFFF₁₆番地に配置されています。

ブートROM領域は4Kバイトで、パラレル入出力モードでは、F000₁₆ ~ FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、当社からの出荷時に標

準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き換えを行わないでください。

機能概要(パラレル入出力モード)

パラレル入出力モードでは、表14に示すとおり、入力端子 \overline{CE} 、 \overline{OE} 、 \overline{WE} 、 \overline{RP} の状態でリード、出力ディスエーブル、スタンドバイ、ライト、ディープパワーダウンの各バス動作モードを選択します。

イレーズ、プログラム等の操作内容は、ソフトウェアコマンドをライトすることで選択します。また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。

プログラム、イレーズ動作の制御は、ソフトウェアコマンドを使用します。

以下、バス動作モード、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表13. 制御信号とバス動作モードの対応

モード		端子名	\overline{CE}	\overline{OE}	\overline{WE}	\overline{RP}	D ₀ ~ D ₇
リード	アレイ		V _{IL}	V _{IL}	V _{IH}	V _{IH}	データ出力
	ステータスレジスタ		V _{IL}	V _{IL}	V _{IH}	V _{IH}	ステータスレジスタデータ出力
出力ディスエーブル			V _{IL}	V _{IH}	V _{IH}	V _{IH}	ハイインピーダンス
スタンドバイ			V _{IH}	X	X	V _{IH}	ハイインピーダンス
ライト	プログラム		V _{IL}	V _{IH}	V _{IL}	V _{IH}	コマンド/データ入力
	イレーズ全ブロック		V _{IL}	V _{IH}	V _{IL}	V _{IH}	コマンド入力
	ブロックイレーズ		V _{IL}	V _{IH}	V _{IL}	V _{IH}	コマンド入力
ディープパワーダウン			X	X	X	V _{IL}	ハイインピーダンス

注1. XはV_{IL}又はV_{IH}のどちらでもよい。

1

バス動作モード

リードモード

\overline{CE} 端子が“L”、 \overline{WE} 端子、 \overline{RP} 端子が“H”のとき、 \overline{OE} 端子を“L”とするとリードモードになります。リードモードには、読み出し、ステータスレジスタの2種類があり、これらはソフトウェアコマンド入力によって選択します。リードモードでは、これらのソフトウェアコマンドに対応したデータがデータ入出力端子D₀～D₇から出力されます。電源投入時やディープパワーダウンモード解除後は、読み出しが自動的に選択されます。

出力ディスエーブル

\overline{CE} 端子を“L”、 \overline{WE} 端子、 \overline{OE} 端子、 \overline{RP} 端子を“H”とすると出力ディスエーブル状態になり、データ入出力端子はハイインピーダンス状態になります。

スタンバイ

\overline{RP} 端子が“H”のとき、 \overline{CE} 端子を“H”とするとスタンバイ状態になります。また、データ入出力端子はハイインピーダンス状態になります。ただし、イレーズ、プログラム動作中に \overline{CE} 端子を“H”にしても内部制御回路は停止せず、動作完了までの期間は通常の消費電力を要します。

ライト

\overline{CE} 端子が“L”、 \overline{OE} 端子、 \overline{RP} 端子が“H”のとき \overline{WE} 端子を“L”にするとライトモードになり、データ入出力端子からソフトウェアコマンド又はライトデータの入力が可能になります。この入力するソフトウェアコマンドの内容により、自動書き込み、自動一括消去、自動ブロック消去の操作が可能となります。アドレス及びソフトウェアコマンド等の入力データは \overline{WE} と \overline{CE} のどちらか早い方の立ち上がりエッジで取り込まれます。

ディープパワーダウン

\overline{RP} 端子を“L”とするとディープパワーダウンモードになります。また、データ入出力端子はハイインピーダンス状態になります。ディープパワーダウンモードから解除されたときには、読み出しが選択され、ステータスレジスタ内容は“8016”になります。イレーズ、プログラム動作中は \overline{RP} 端子を“L”にするとそれらの動作は取り消され、そのブロックのデータは無効になります。

ソフトウェアコマンド

表14にソフトウェアコマンドの一覧表を示します。ライトモードでデータ入出力端子(D0～D7)からソフトウェアコマンドを入力することにより、イレーズ、プログラム等の操作内容を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータ入出力端子(D0～D7)から出力されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。また、電源投入後及びディープパワーダウンモードからの復帰後にも、リードアレイモードが選択されています。

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータ入出力端子から出力されます。ステータスレジスタの内容は、 \overline{OE} 又は \overline{CE} のどちらかの立ち下がりがエッジで更新されるので、リードステータスを行う場合には毎回 \overline{OE} 又は \overline{CE} 信号を入力してください。ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

プログラムコマンド(40₁₆)

第1バスサイクルでコマンドコード“40₁₆”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はステータスレジスタのリード又はRY/ \overline{BY} 信号状態によって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容をデータ入出力端子(D0～D7)から読み出すことができます。ステータスレジスタのビット7(SR7)はプログラムの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次に読み出しコマンド(“FF”)をライトするまで継続されます。

RB/ \overline{BY} 端子はステータスレジスタのビット7と同じく、プログラム期間中は“L”、終了後は“H”となります。プログラム終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。

表14. ソフトウェアコマンド一覧表 (パラレル入出力モード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	1	ライト	X (注4)	FF ₁₆			
リードステータスレジスタ	2	ライト	X	70 ₁₆	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	50 ₁₆			
プログラム	2	ライト	X	40 ₁₆	ライト	WA (注2)	WD (注2)
イレーズ全ブロック	2	ライト	X	20 ₁₆	ライト	X	20 ₁₆
ブロックイレーズ	2	ライト	X	20 ₁₆	ライト	BA (注3)	D0 ₁₆

注1. SRD=ステータスレジスタデータ

2. WA=ライトアドレス, WD=ライトデータ

3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

4. Xは任意のアドレス

1

イレーズ全ブロック(2016/2016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“2016”を入力するとイレーズ全ブロック動作(消去前書き込み、消去、消去ベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリード又はRY/BY信号状態によって確認できます。イレーズブロックの開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容をデータ入出力端子(D0~D7)から読み出すことができます。ステータスレジスタのビット7(SR7)は自動一括消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレコマンド(FF16)をライトするまで継続されます。

RY/BY端子は、ステータスレジスタのビット7と同じく、自動一括消去期間中は“0”、終了後は“1”となります。

自動一括消去終了後、ステータスレジスタを読み出すことにより、自動一括消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズ(2016/D016)

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“D016”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(消去前書き込み、消去、消去ベリファイ)を開始します。

ブロックイレーズの終了は、ステータスレジスタのリード又はRY/BYB信号状態によって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容をデータ入出力端子(D0~D7)から読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレコマンド(FF16)をライトするまで継続されます。

RY/BY端子は、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

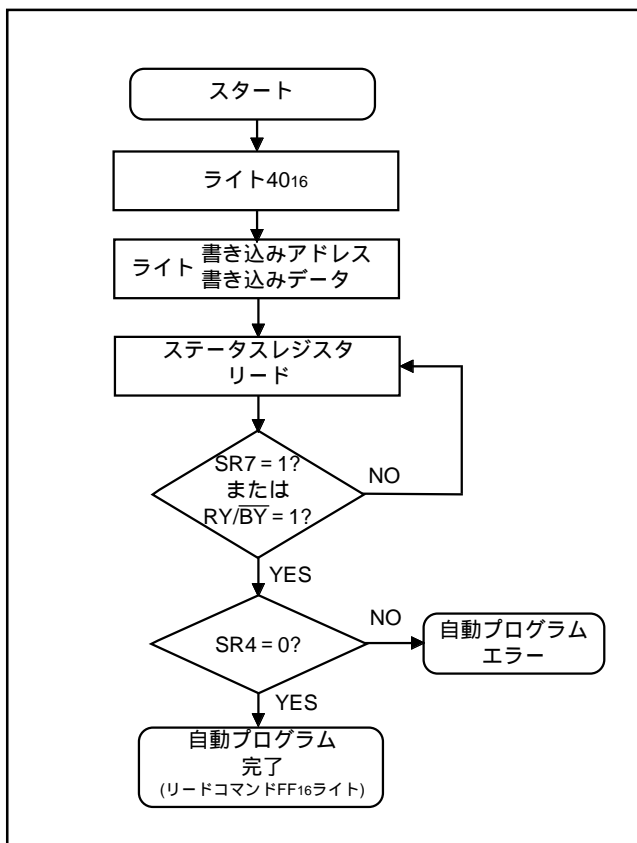


図54. 自動書き込みフローチャート

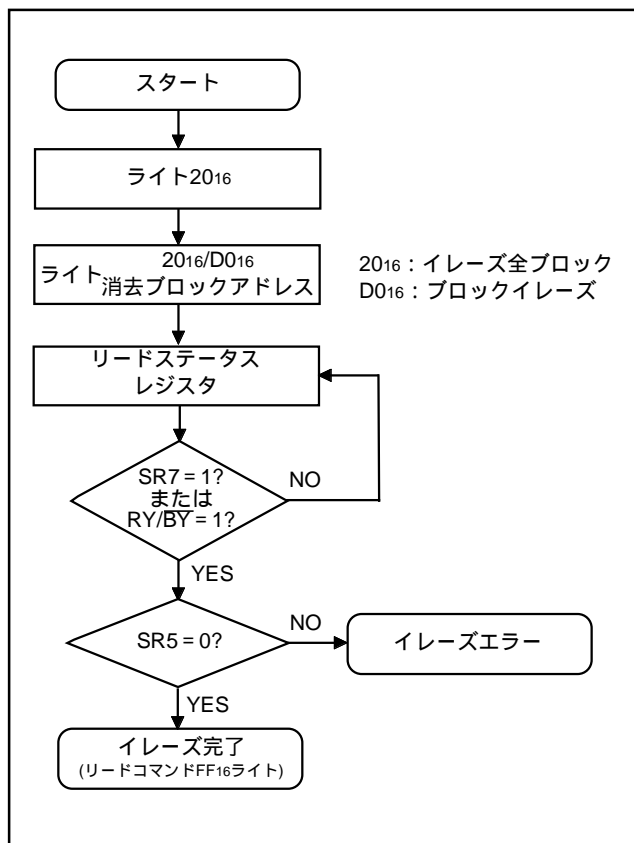


図55. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、イレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードモードにおいて、リードステータスレジスタコマンド(70₁₆)をライトした後、ブロックアドレスを読み出したとき
- (2) プログラム開始又はブロックイレーズの自動消去開始から、リードアレイコマンド(FF₁₆)入力までの期間

また、ステータスレジスタは次の条件でクリアされます。

- (1) クリアステータスレジスタコマンド(50₁₆)をライトしたとき
- (2) ディープパワーダウンモードに入ったとき
- (3) 電源をオフにしたとき

表15にステータスレジスタの各ビットの定義を示します。

ステータスレジスタは、電源投入時、又はディープパワーダウンモードからの復帰時には“80₁₆”を出力します。

シーケンサステータス(SR7)

シーケンサステータスは、フラッシュメモリの動作状況を示すもので、電源投入後は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされ、動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、イレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。イレーズステータスは、クリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは、プログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。プログラムステータスは、クリアされると“0”になります。

フルステータスチェック

フルステータスチェックを行うことによりイレーズ、プログラムの実行結果を知ることができます。図56にフルステータスチェックのフローチャート及び各エラー発生時の対処方法を示します。

レディ/ビジー(RY/BY)端子

RY/BY端子はステータスレジスタのシーケンサステータス(SR7)と同じくフラッシュメモリの動作状況を知らせるための出力端子(Nチャンネルオープンドレイン出力)です。プログラムやイレーズの動作中は“L”(ビジー)となり、これらの動作終了とともにハイインピーダンス状態(レディ)となります。RY/BY端子は、外部でのプルアップが必要です。

表15. ステータスレジスタ

記号	ステータス	定義	
		“1”	“0”
SR7 (D7)	シーケンサステータス	レディ	ビジー
SR6 (D6)	リザーブ	-	-
SR5 (D5)	イレーズステータス	エラー終了	正常終了
SR4 (D4)	プログラムステータス	エラー終了	正常終了
SR3 (D3)	リザーブ	-	-
SR2 (D2)	リザーブ	-	-
SR1 (D1)	リザーブ	-	-
SR0 (D0)	リザーブ	-	-

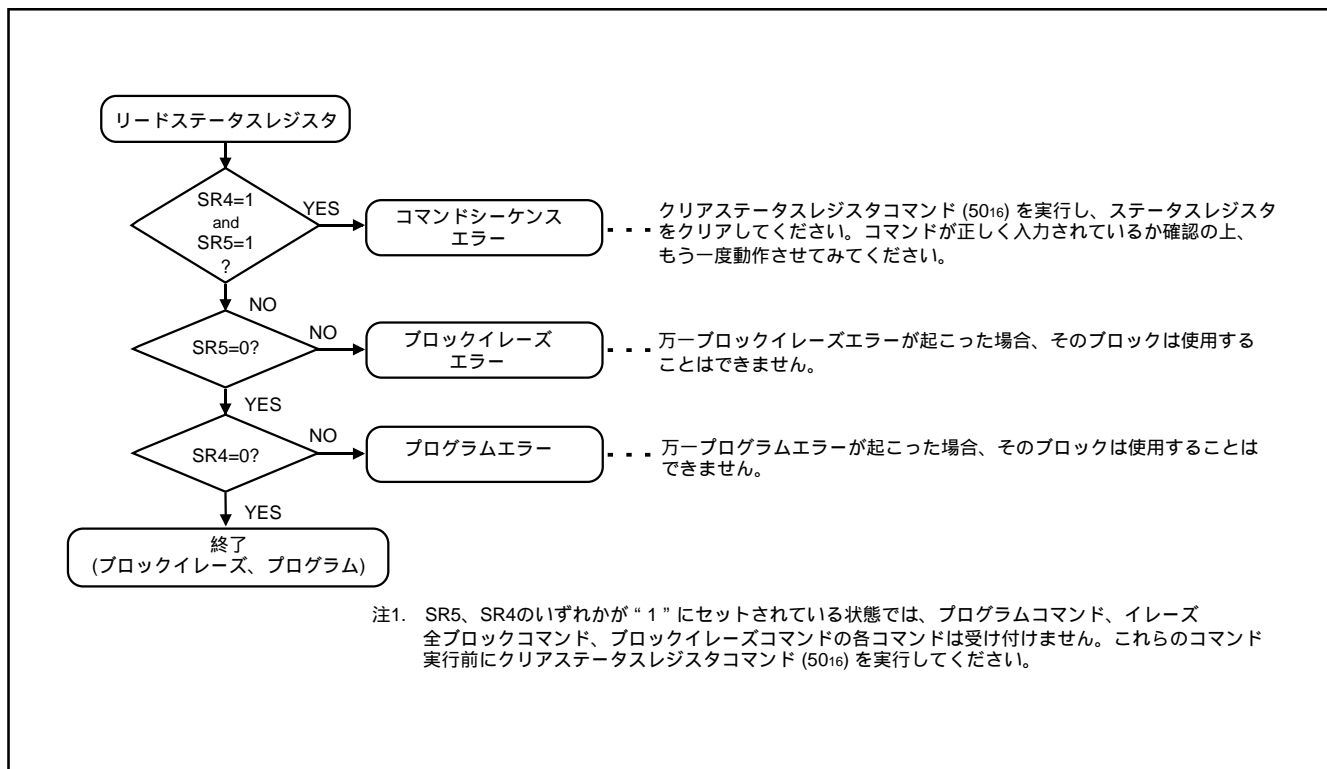


図56. フルステータスチェックフローチャート及び各エラー発生時の対処法

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P26(SCLK1)端子、P41(INT0)端子を“H”、CNVSS端子を“H”(V_{CC}=4.5~5.5V時はV_{CC}に接続、V_{CC}=2.7~4.5V時はV_{PP}端子として外部からV_{PP}=4.5~5.5Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVSSは“L”に設定してください。)

この制御プログラムは当社からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図57に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、シリアルI/O1の端子SCLK1、RXD、TXD、 $\overline{\text{SRDY1}}$ の4本を使って行います。

SCLK1端子は転送クロックの入力端子で、外部から転送クロックを転送します。TXD端子はCMOS出力です。 $\overline{\text{SRDY1}}$ (BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図52に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードでは、7バイトのIDコードを使用します。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければシリアルライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(シリアルI/O1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス及びプログラムデータは、SCLK1端子に入力する転送クロック立ち上がりに同期して、RXD端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がりに同期して、TXD端子から外部に出力します。

TXD端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、 $\overline{\text{SRDY1}}$ (BUSY)端子が“H”となります。したがって、次の転送は、必ず $\overline{\text{SRDY1}}$ (BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表16. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vcc=4.5~5.5V時はVccに接続してください。Vcc=2.7~4.5V時はVPPに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが“L”の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
AVSS	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	ADの基準電圧を入力してください。
P0 ₀ ~ P0 ₇	入力ポートP0	入力	“H”を入力、“L”を入力、又は開放してください。
P1 ₀ ~ P1 ₇	入力ポートP1	入力	“H”を入力、“L”を入力、又は開放してください。
P2 ₀ ~ P2 ₃	入力ポートP2	入力	“H”を入力、“L”を入力、又は開放してください。
P2 ₄	RxD入力	入力	シリアルデータの入力端子です。
P2 ₅	TxD出力	出力	シリアルデータの出力端子です。
P2 ₆	SCLK ₁ 入力	入力	シリアルクロックの入力端子です。
P2 ₇	BUSY出力	出力	BUSY信号の出力端子です。
P3 ₀ ~ P3 ₄	入力ポートP3	入力	“H”を入力、“L”を入力、又は開放してください。
P4 ₀ , P4 ₂ ~ P4 ₄	入力ポートP4	入力	“H”を入力、“L”を入力、又は開放してください。
P4 ₁	入力ポートP4	入力	RESET解除時のみ“H”を入力してください。

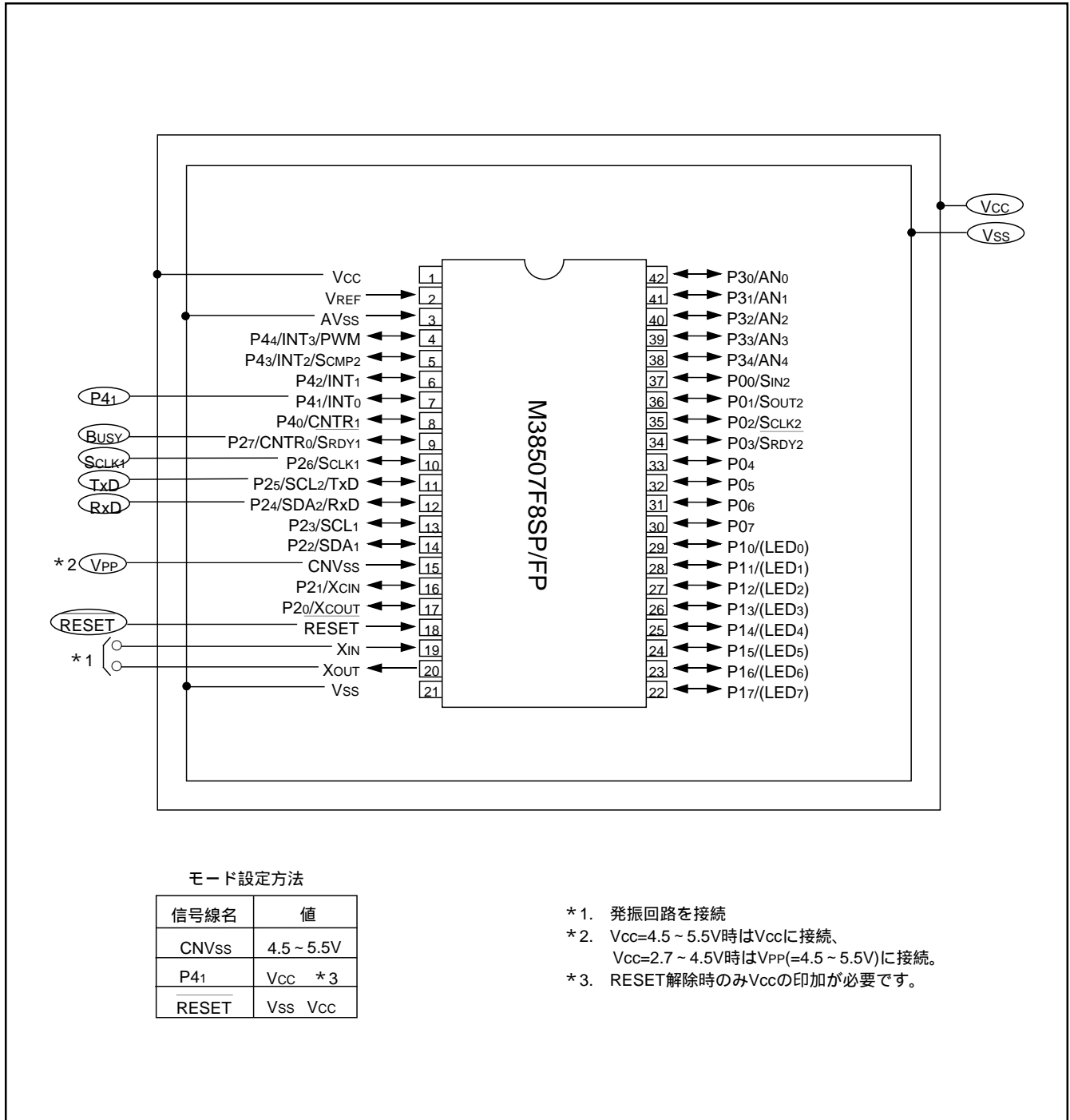


図57. シリアル入出力モード時の端子結線図

ソフトウェアコマンド

表17にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モードのソフトウェ

アコマンドは、基本的にはパラレル入出力モードのものと同じですが、ブロックイレーズ機能を削除し、IDチェック機能、ダウンロード機能、バージョン情報出力機能の3コマンドを追加しています。

表17. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID未照合
1	ページリード	FF16	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	4116	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	イレーズ全ブロック	A716	D016						受付不可
4	リードステータスレジスタ	7016	SRD出力	SRD1出力					受付可
5	クリアステータスレジスタ	5016							受付不可
6	IDチェック機能	F516	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
7	ダウンロード機能	FA16	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	~必要回数		受付不可
8	バージョン情報出力機能	FB16	バージョン データ出力	バージョン データ出力	バージョン データ出力	バージョン データ出力	バージョン データ出力	~9バイト目 バージョン データ出力	受付可

- 注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送です。
それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送です。
- SRDはステータスレジスタデータ、SRD1はステータスレジスタ1データです。
 - ブランク品に対しては全コマンドの受付可能です。
 - アドレス上位(A16~A23)は常に“0016”です。

以下に各ソフトウェアコマンドの内容を説明します。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でリードアレイコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。

- (2) 2バイト、3バイト目の転送でアドレスA₈～A₁₅、アドレスA₁₆～A₂₃(“00₁₆”)を転送します。

- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈～A₁₅、アドレスA₁₆～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

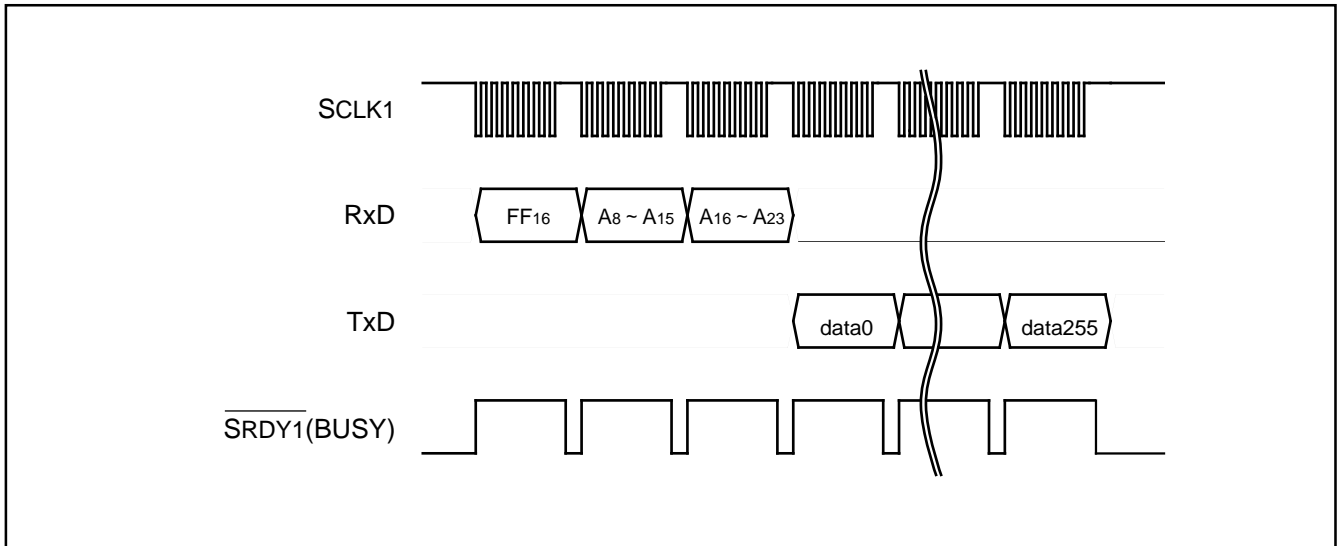


図58. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4,5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、SRDY1(BUSY)信号は“H”から“L”に変化します。

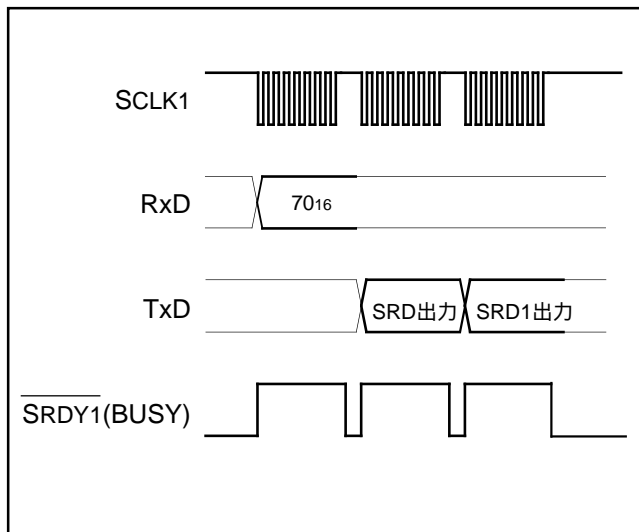


図59. リードステータスレジスタコマンド時のタイミング

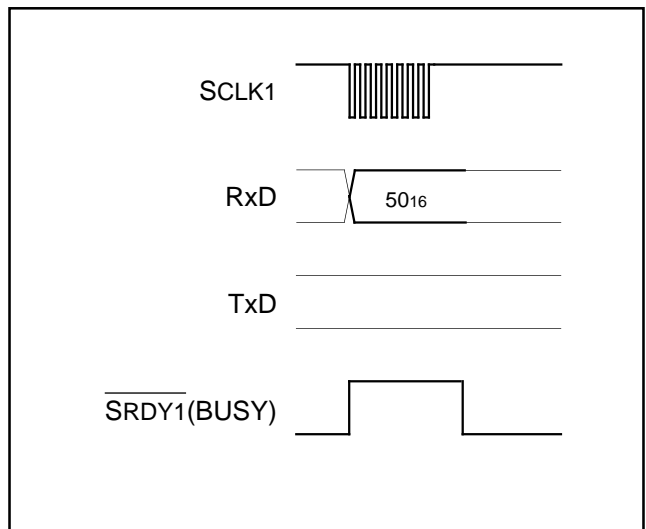


図60. クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でアドレスA₈～A₁₅、アドレスA₁₆～A₂₃(“00₁₆”)を転送します。
- (3) 4バイト目以降、ライトデータ(D₀～D₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すれば $\overline{\text{SRDY1}}$ (BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、プログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“A7₁₆”を転送します。
- (2) 2バイト目の転送で確認コマンド“D0₁₆”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了すると $\overline{\text{SRDY1}}$ (BUSY)信号が“H”から“L”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

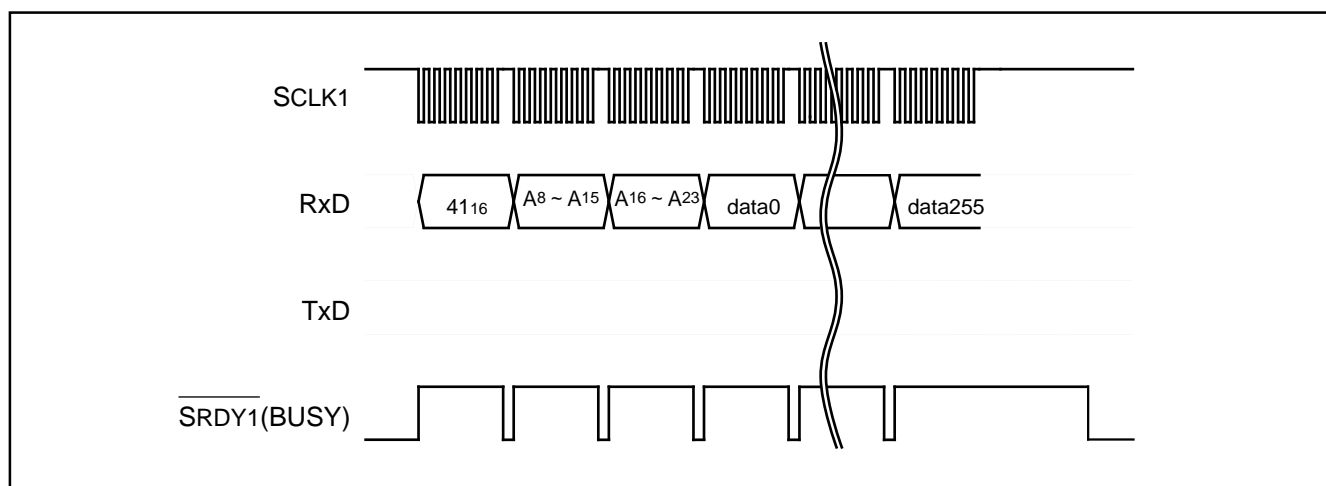


図61. ページプログラムコマンド時のタイミング

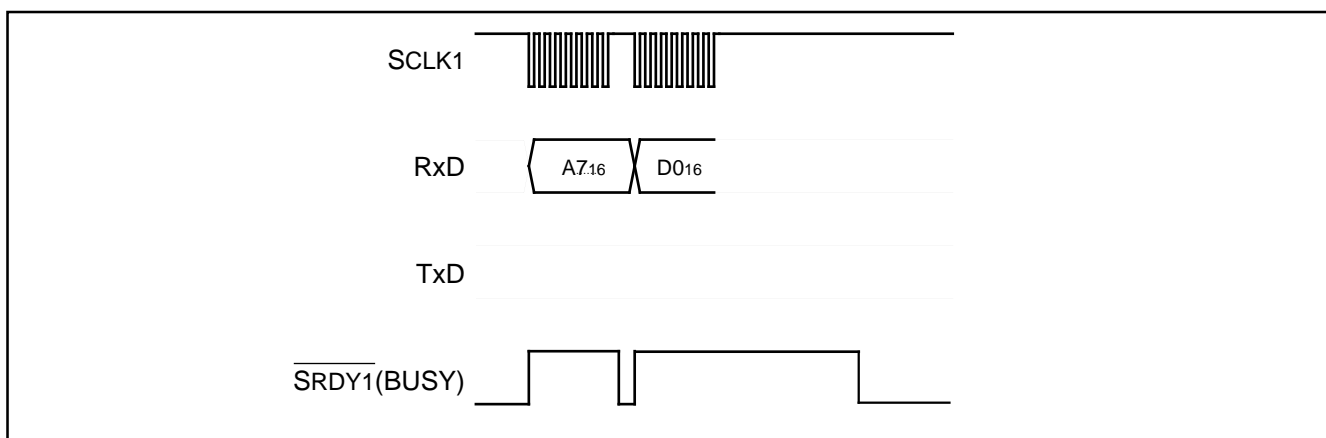


図62. イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA16”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。
チェックサムは、5バイト目以降に転送するデータをすべて加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

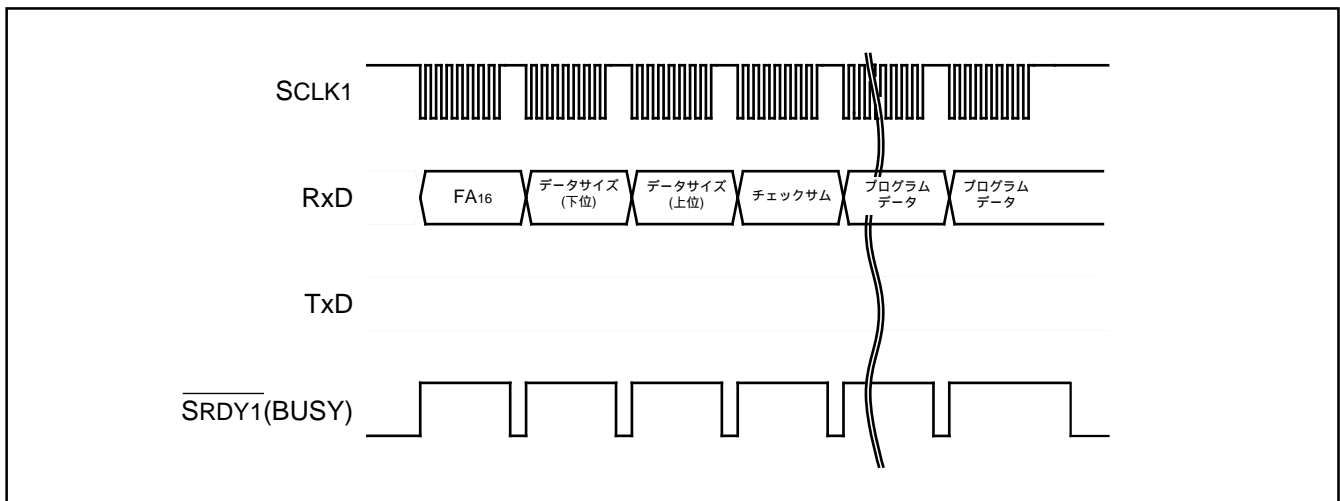


図63. ダウンロード機能のタイミング

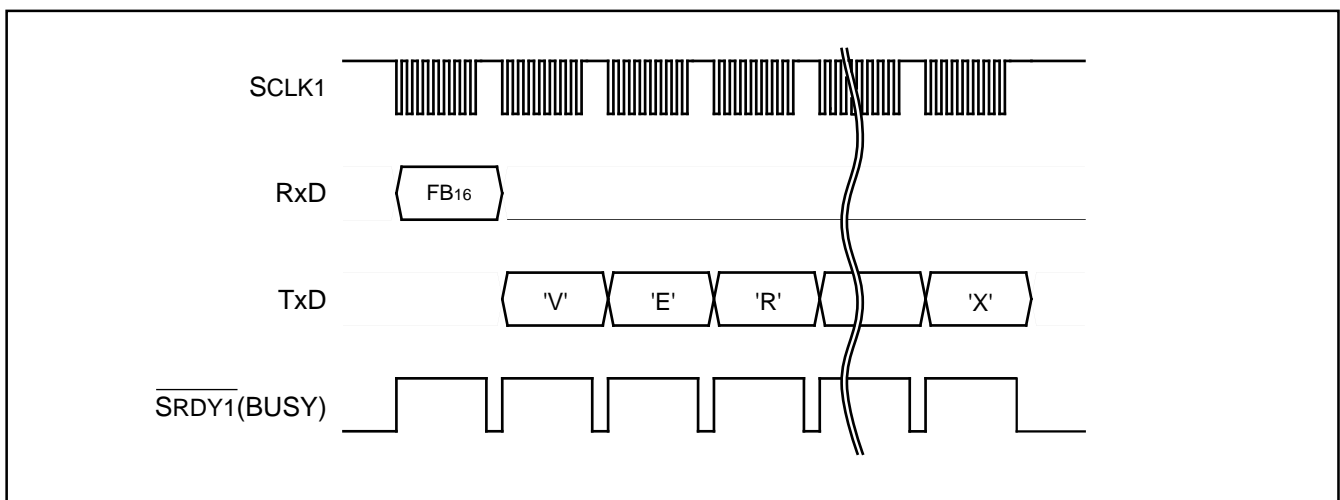


図64. バージョン情報出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀~A₇、A₈~A₁₅、A₁₆~A₂₃(“00₁₆”)を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

IDコード

フラッシュメモリの内容がブランクではない場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域はFFD₄₁₆~FFD_{A16}番地に割り付けられています。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

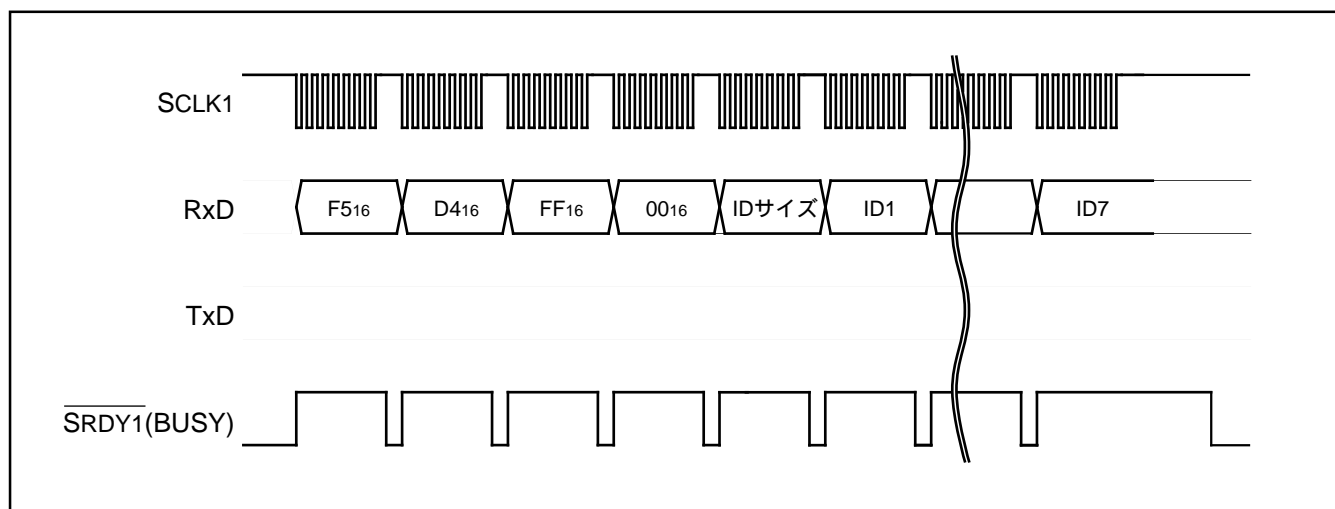


図65. IDチェック機能のタイミング

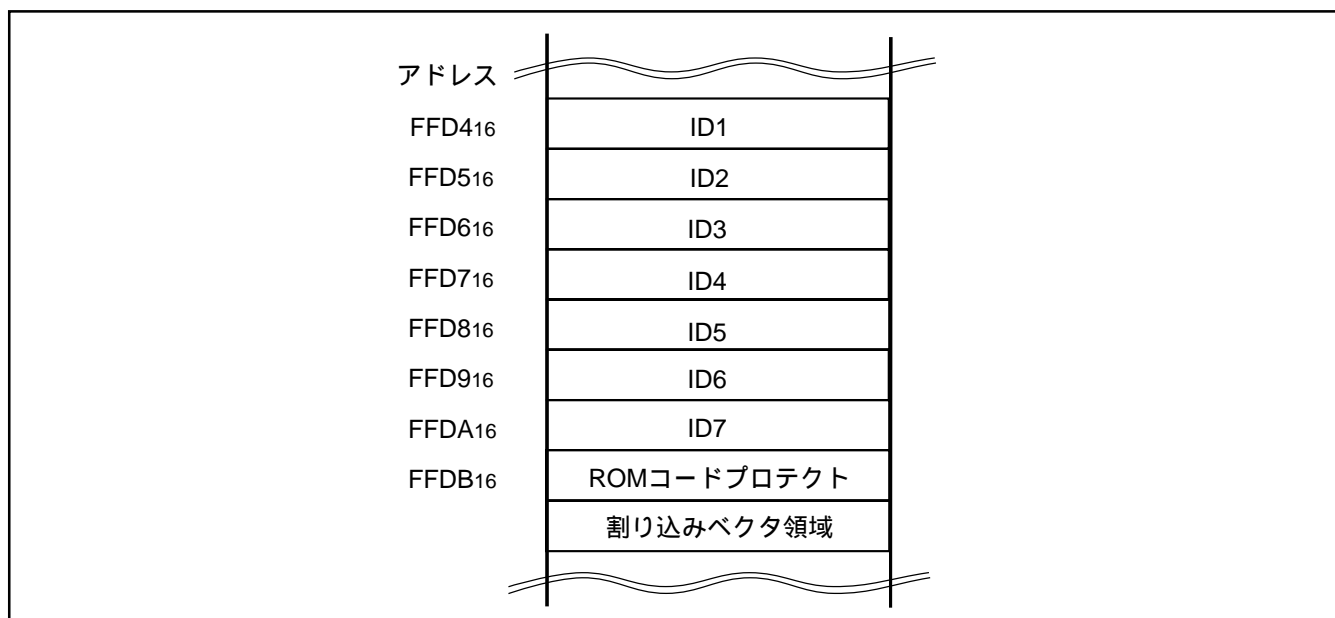


図66. IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表18に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時およびディープパワーダウンモードからの復帰時は“1” (レディ)にセットされます。プログラムやイレーズの動作中は“0” (ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

表18. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定 義	
		“1”	“0”
SR7 (bits7)	シーケンサステータス	レディ	ビジー
SR6 (bits6)	リザーブ	-	-
SR5 (bits5)	イレーズステータス	エラー終了	正常終了
SR4 (bits4)	プログラムステータス	エラー終了	正常終了
SR3 (bits3)	リザーブ	-	-
SR2 (bits2)	リザーブ	-	-
SR1 (bits1)	リザーブ	-	-
SR0 (bits0)	リザーブ	-	-

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタ1を表19に、各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

表19. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		“1”	“0”
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図67にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。ライターによって制御するピン等が異なりますので、詳細はライターのマニュアルを参考にしてください。

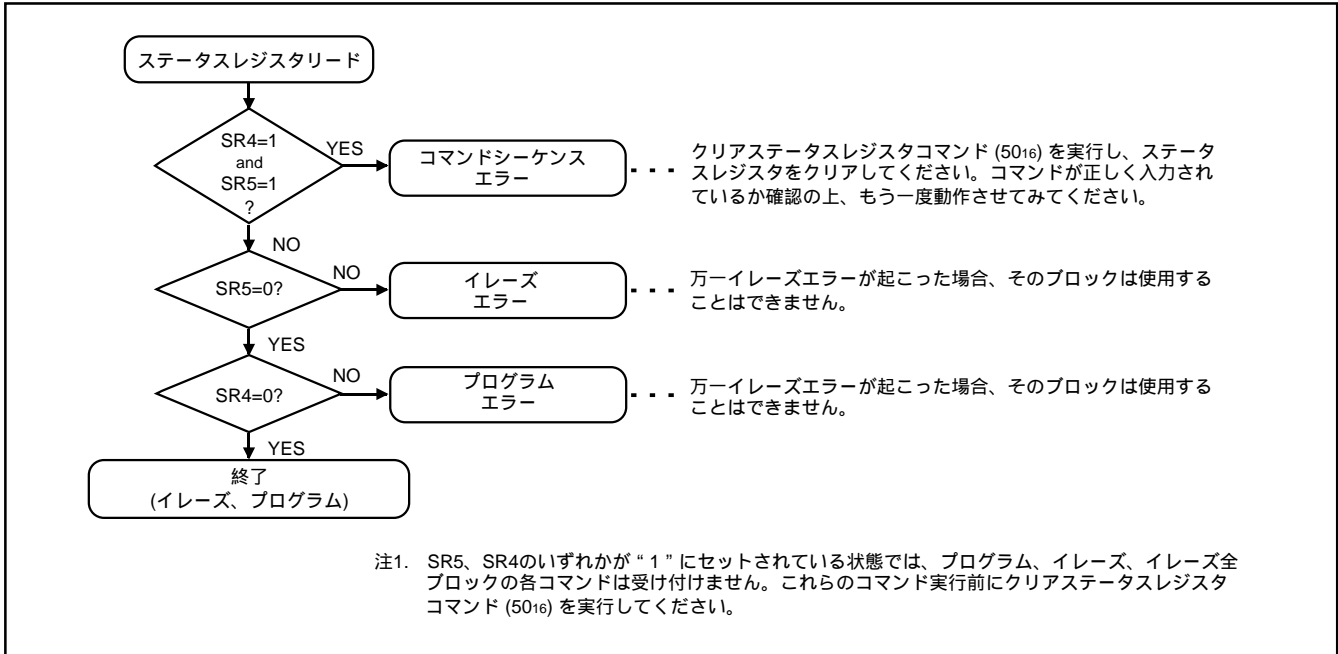


図67. フルステータスチェックフローチャート及び各エラー発生時の対処法

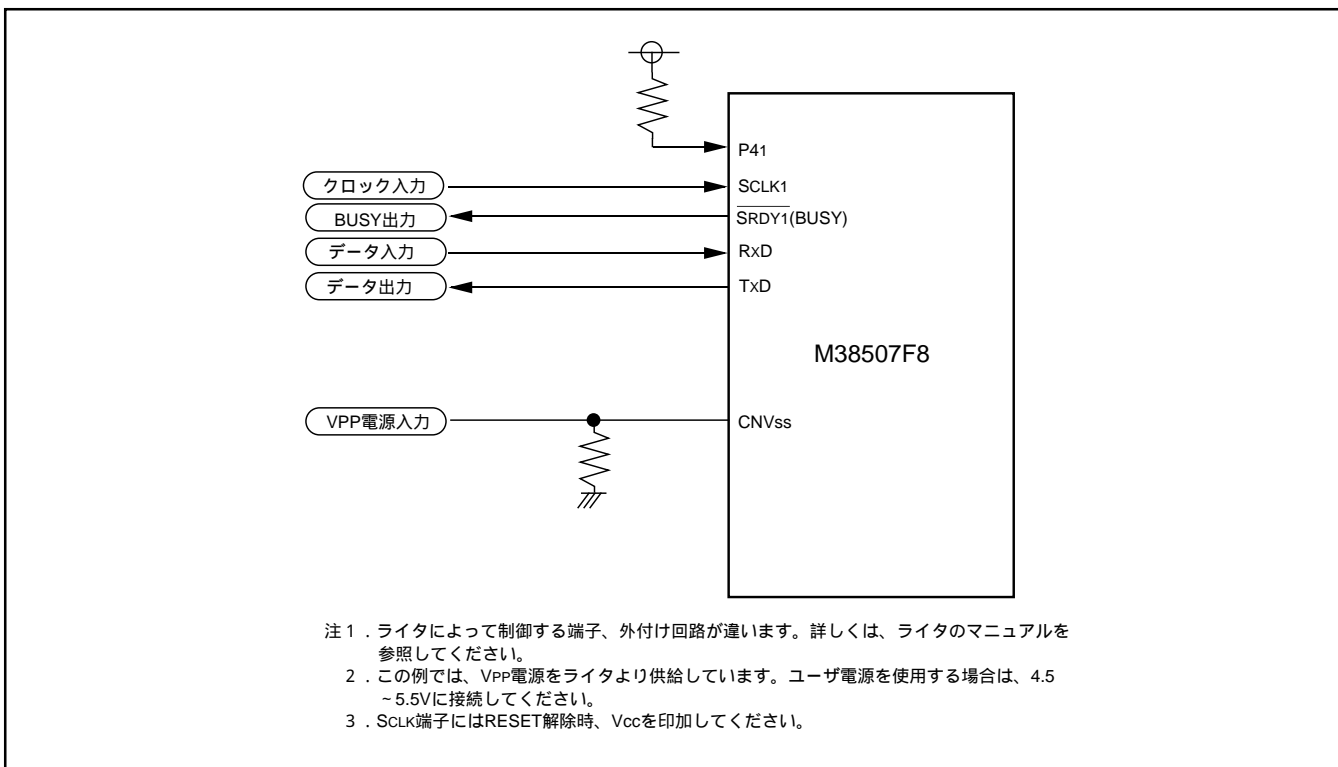


図68. 標準シリアル入出力モード時の応用回路例

フラッシュメモリモード電気的特性

絶対最大規格

表20 絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧		- 0.3 ~ 6.5	V
VI	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, VREF		- 0.3 ~ VCC + 0.3	V
VI	入力電圧 P22, P23	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 5.8	V
VI	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
VI	入力電圧 CNVSS		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, XOUT		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 P22, P23		- 0.3 ~ 5.8	V
Pd	消費電力	Ta = 25	1000(注)	mW
Topr	動作周囲温度		25 ± 5	
Tstg	保存温度		- 40 ~ 125	

注 . 42P2R-A/Eパッケージの場合は、300mWです。

表21 . 直流電気的特性(指定のない場合は、Ta= 25 、Vcc=4.5 ~ 5.5V)

記号	項目	条件	規格値			単位
			最小	標準	最大	
I _{PP1}	V _{PP} 電源電流 (リード時)	V _{PP} = VCC			100	μA
I _{PP2}	V _{PP} 電源電流 (プログラム時)	V _{PP} = VCC			60	mA
I _{PP3}	V _{PP} 電源電流 (イレーズ時)	V _{PP} = VCC			30	mA
V _{IL}	“ L ” 入力電圧 (注1)		0		0.8	V
V _{IH}	“ H ” 入力電圧 (注1)		2.0		VCC	V
V _{PP}	V _{PP} 電源電圧		4.5		5.5	V
VCC	V _{CC} 電源電圧	VCC = 2.7 ~ 5.5Vで マイコンモードを 動作させるとき	4.5		5.5	V
		VCC = 2.7 ~ 3.6Vで マイコンモードを 動作させるとき	3.0		3.6	V

注1 . パラレル入出力モードの入力端子。

交流電気的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=4.5 \sim 5.5V$)

表22. リードオンリーモード

記号	項目	規 格 値			単位
		最小	標準	最大	
tRC	リードサイクル時間	200			ns
t _a (AD)	アドレスアクセス時間			100	ns
t _a (CE)	CEアクセス時間			100	ns
t _a (OE)	OEアクセス時間			80	ns
tCLZ	CE後出力イネーブル時間	0			ns
tDF(CE)	CE後出力フローティング時間			25	ns
tOLZ	OE後出力イネーブル時間	0			ns
tDF(OE)	OE後出力フローティング時間			25	ns
tPHZ	PR後出力フローティング時間			300	ns
tOH	CE,OE,アドレス後出力有効時間	0			ns
tOEH	リード前ライトリカバリー時間	200			ns
tPS	RPリカバリー時間	10			μs

注. タイミングの測定は「リード動作AC波形」の条件下で行います。

表23. リード/ライトモード(WEコントロール)

記号	項目	規 格 値			単位
		最小	標準	最大	
tWC	ライトサイクル時間	200			ns
tAS	アドレスセットアップ時間	100			ns
tAH	アドレスホールド時間	25			ns
tDS	データセットアップ時間	100			ns
tDH	データホールド時間	25			ns
tCS	チップイネーブルセットアップ時間	0			ns
tCH	チップイネーブルホールド時間	0			ns
tWP	ライトパルス幅	100			ns
tWPH	“H”ライトパルス幅	50			ns
tDAP	プログラム時間		25		μs
tDAE	イレーズ全ブロック時間		1.5		s
tWHRL	レディ/ビジー遅延時間			200	ns
tPS	RPリカバリー時間	10			μs

注1. コマンドライト動作モードのリードタイミングパラメータはリードオンリーモード時と同じものです。

2. 標準値は $V_{cc}=5.0V$, $T_a=25$ における値です。

交流電気的特性(指定のない場合は、 $T_a=25$ 、 $V_{cc}=4.5 \sim 5.5V$)

表24. リード/ライトモード(\overline{CE} コントロール)

記号	項目	規格値			単位
		最小	標準	最大	
tWC	ライトサイクル時間	200			ns
tAS	アドレスセットアップ時間	100			ns
tAH	アドレスホールド時間	25			ns
tDS	データセットアップ時間	100			ns
tDH	データホールド時間	25			ns
tWS	\overline{WE} セットアップ時間	0			ns
tWH	\overline{WE} ホールド時間	0			ns
tCEP	\overline{CE} パルス幅	100			ns
tCEPH	"H" \overline{CE} パルス幅	50			ns
tDAP	プログラム時間		25		μs
tDAE	イレーズ全ブロック時間		1.5		s
tEHL	レディ/ビジー遅延時間			200	ns
tPS	\overline{RP} リカバリー時間	10			μs

- 注1. コマンドライト動作モードのリードタイミングパラメータはリードオンリーモード時と同じものです。
2. 標準値は $V_{cc}=5.0V$, $T_a=25$ における値です。

表25. 消去及びプログラム動作

パラメータ	最小	標準	最大	単位
イレーズ全ブロック時間		1.5		s
ブロックイレーズ時間		1.0		s
プログラム時間 (1バイト)		25		μs

表26. V_{cc} パワーアップ/ダウタイミング

記号	パラメータ	最小	標準	最大	単位
tVCS	$\overline{RP} = V_{IH}$ セットアップ時間($V_{cc}=V_{cc \text{ min}}$ 到達後)	10			μs

- 注. 電源の投入/切断時にコントロール端子にノイズパルスが印加されると、誤消去/誤書き込みを起す恐れがあります。電源の投入/切断時にはメモリデータの破壊を防止するため、ライトサイクルに入らないようにすることが必要です。電源の投入時、 V_{cc} が $V_{cc \text{ min}}$.に達してからリード又はライトの動作を開始するまでには、最小10 μs の待ち時間が必要です。電源の投入/切断時、 \overline{RP} 端子を V_{IL} に保つことにより、メモリデータは保護されます。電源の投入時には、 \overline{RP} 端子は V_{cc} が $V_{cc \text{ min}}$.に達してから最小10 μs の間 V_{IL} に保持されなければなりません。電源の切断時には、 \overline{RP} 端子は V_{cc} がGNDレベルに達するまで V_{IL} に保持されなければなりません。 \overline{RP} 端子にはラッチモードはありませんので、リード、消去及びプログラムの動作中は \overline{RP} 端子は V_{IH} 以上に保持する必要があります。

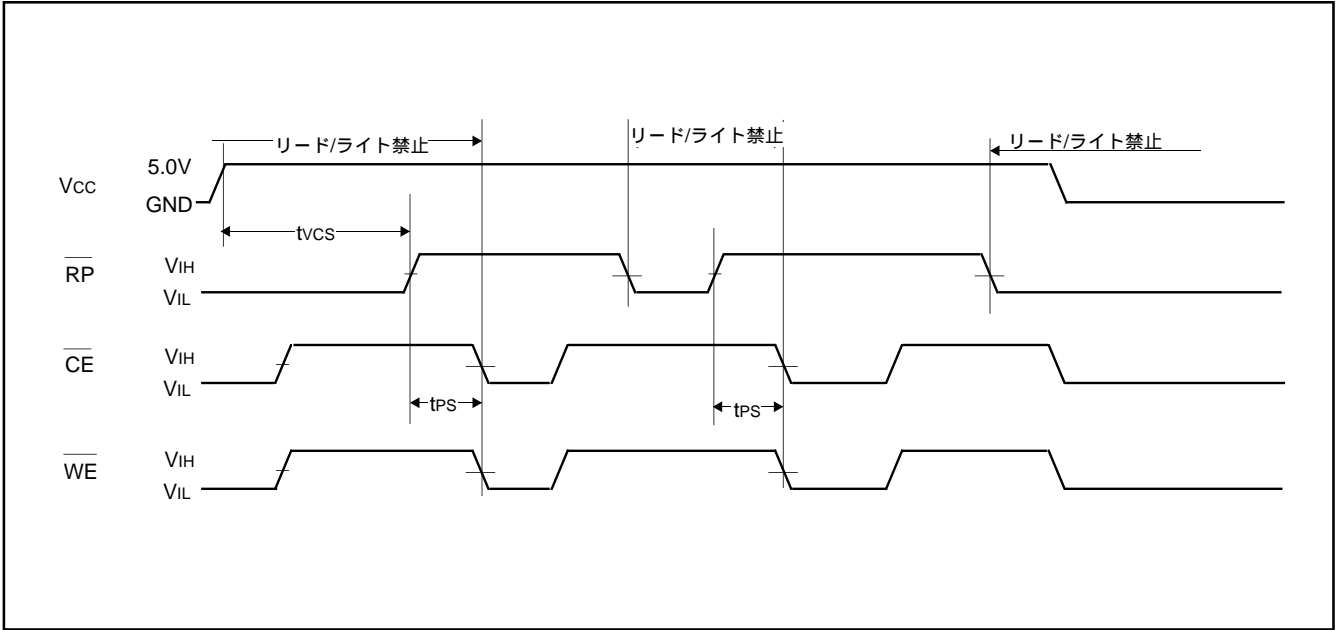


図69. Vccパワーアップ/ダウタイミング

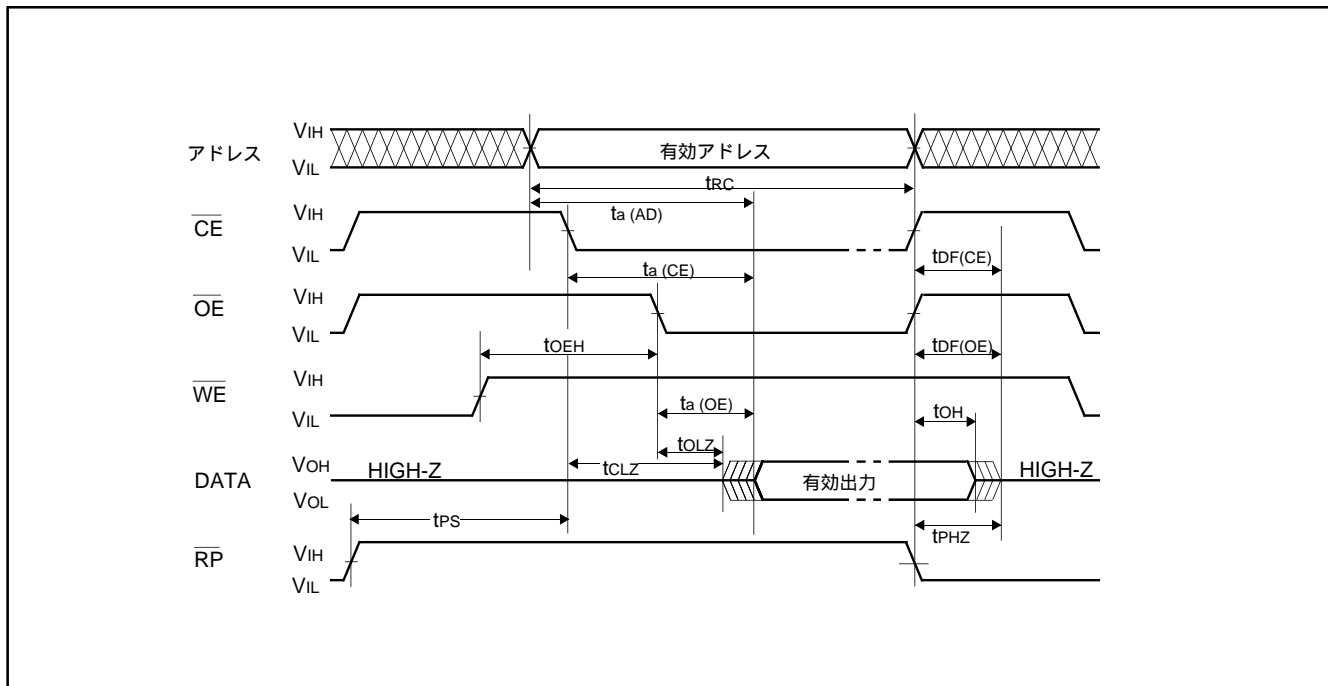


図70. リード動作AC波形

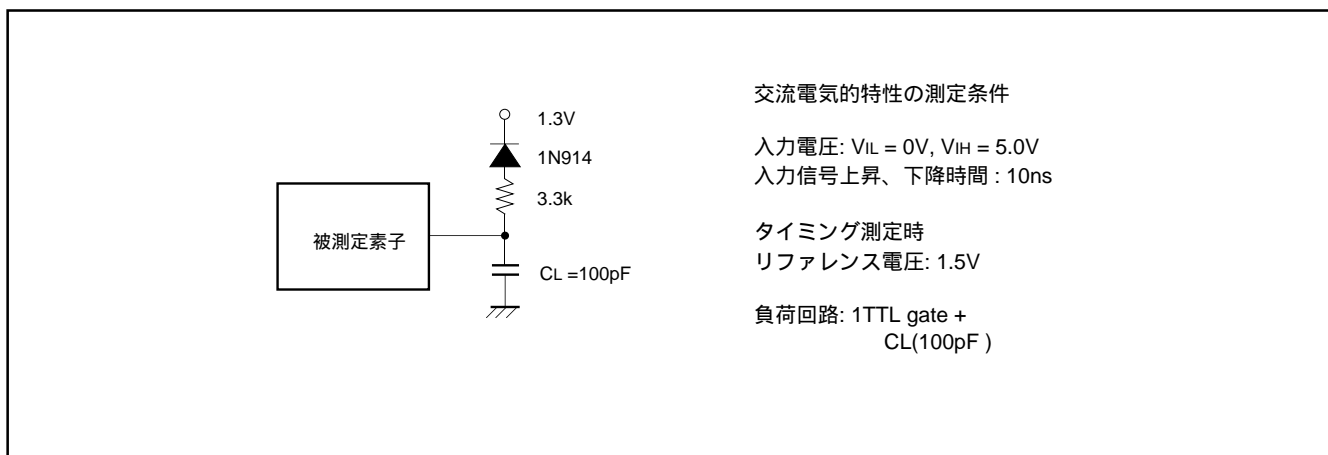


図71. リード動作測定条件

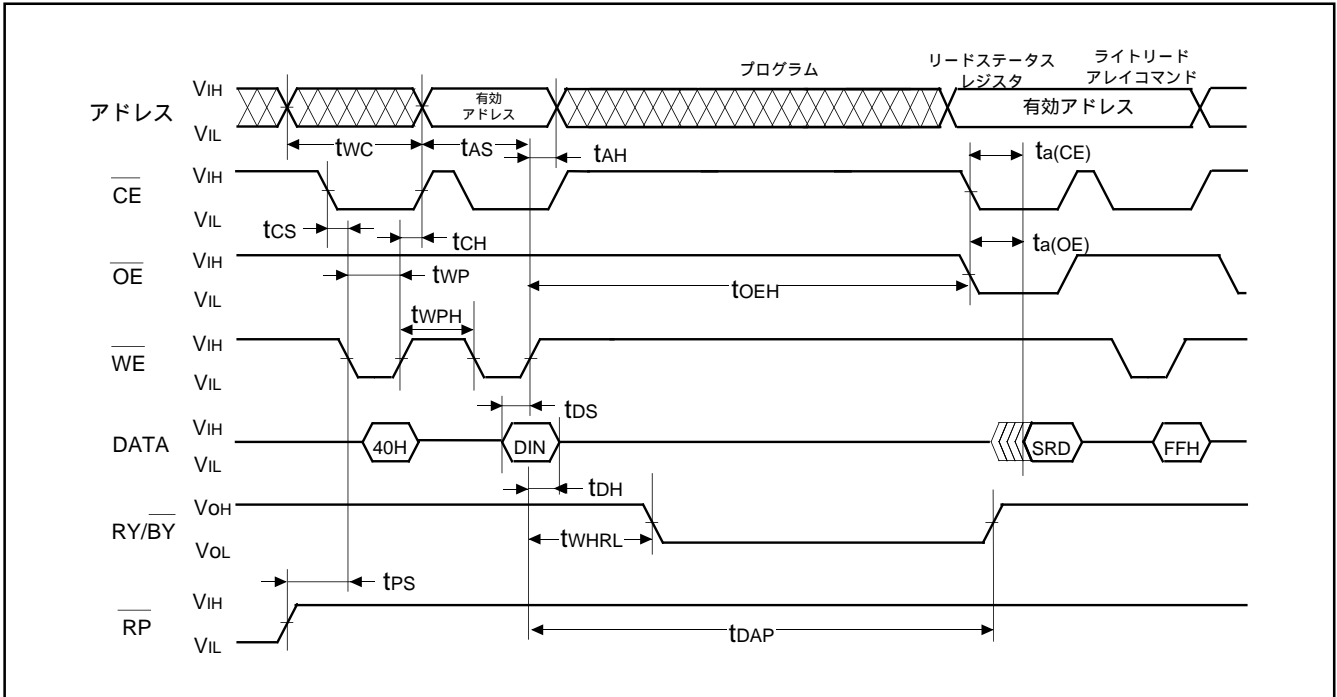


図72. プログラム動作作用AC波形 (WEコントロール)

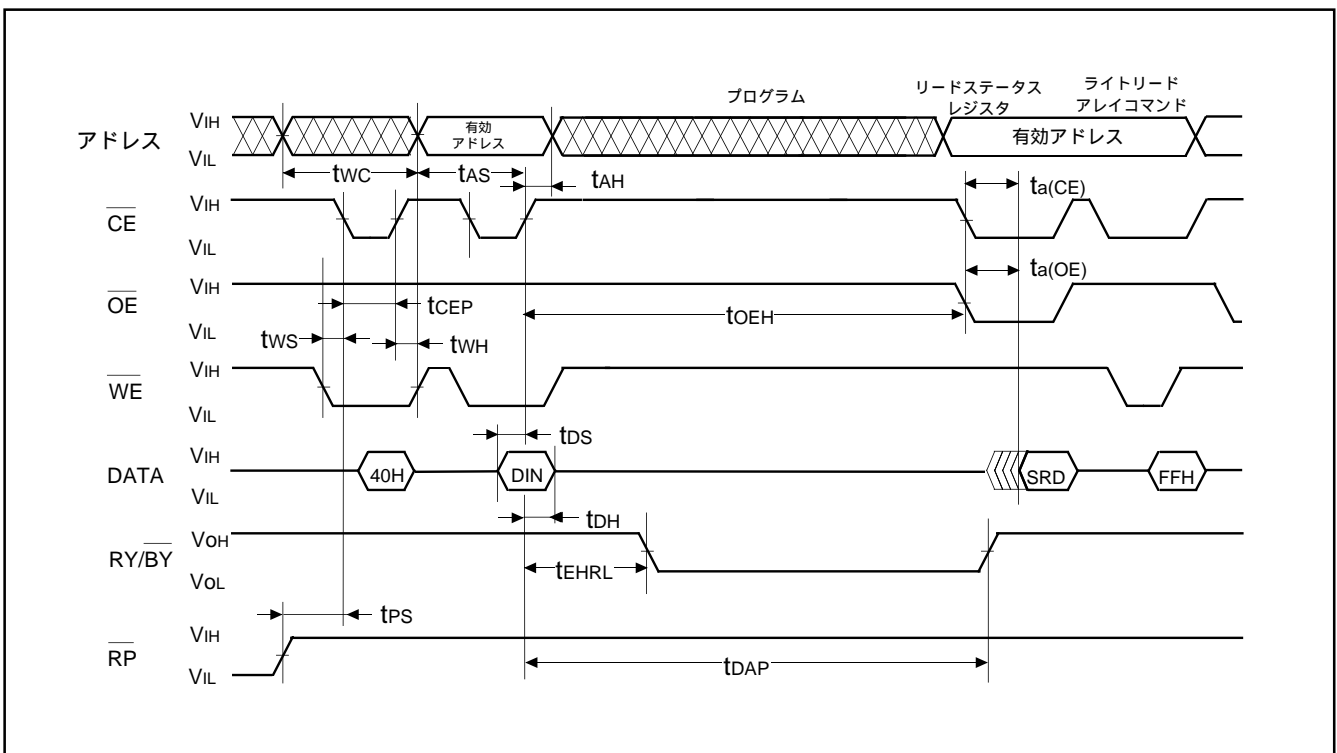


図73. プログラム動作作用AC波形 (CEコントロール)

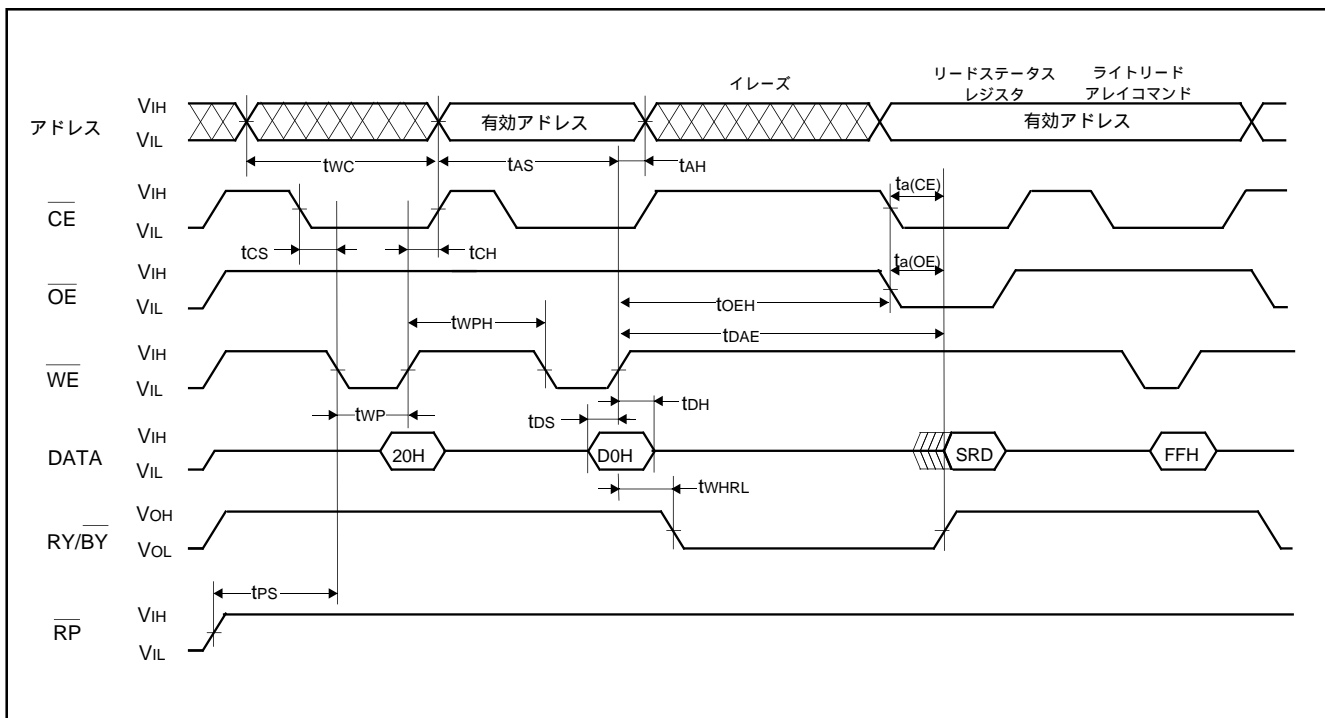


図74. イレース動作作用AC波形 (WEコントロール)

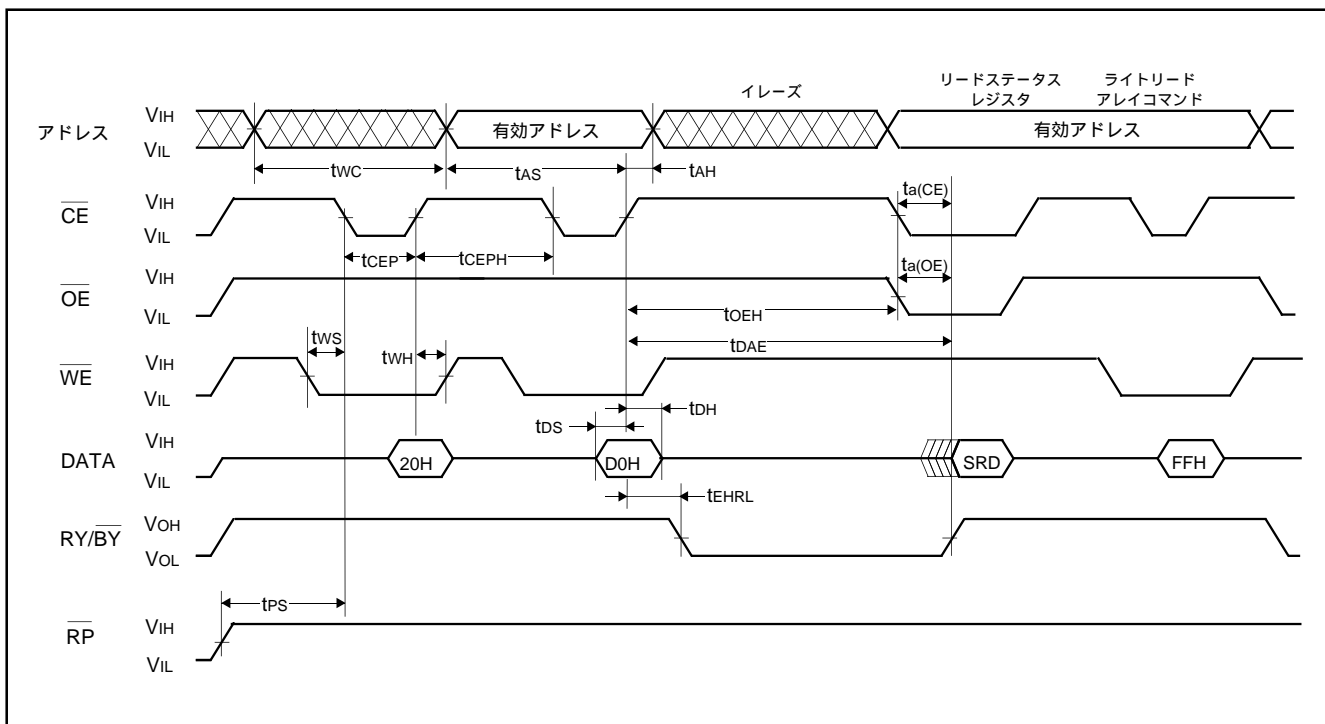


図75. イレース動作作用AC波形 (CEコントロール)

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

シリアルI/O1(クロック同期形モード)において、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも“1”に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

シリアルI/O2では、送信終了後、Sout2端子はハイインピーダン

スとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが“H”のときに、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、中速/高速モード時のA-D変換中は $f(XIN)500kHz$ 以上にしてください。

また、A-D変換中はSTP命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXIN周期の2倍です。

使用上の注意事項

3850グループ(標準品)と3850グループ(H仕様)の相違に関するもの

- (1) 3850グループ(H仕様)の絶対最大定格は、電源電圧 $V_{CC}=0.3 \sim 6.5V$ 、 CNV_{SS} 入力電圧 $V_{I-} = -0.3 \sim V_{CC}+0.3V$ と3850グループ(標準品)と比べ、小さくなっています。
- (2) XIN-XOUT、XCIN-XCOUTの発振回路定数が異なる場合があります。
- (3) 予約領域、予約ビットは、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)
- (4) CPUモードレジスタのビット3は“1”に固定してください。
- (5) 未使用端子の処理を確実に実施してください。

電源端子の取扱いに関するもの

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間、及び電源端子(V_{CC} 端子)とアナログ電源入力端子(AV_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01 \mu F \sim 0.1 \mu F$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

1 使用上の注意事項/マスク化発注時の提出資料/ROM書き込み発注時の提出資料/ROM書き込み方法

EPROM版 / ワンタイムPROM版 / フラッシュメモリ版に関するもの

CNV_{ss}端子は、プログラマブル電源端子(V_{PP}端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNV_{ss}端子の配線は1 ~ 10kΩの抵抗を介してV_{ss}又はV_{cc}に接続くださるようお願いいたします。なお、マスクROM版のCNV_{ss}端子の配線が抵抗を介して接続されていても、動作上支障はありません。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書*
- (2) マーク指定書*
- (3) ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- ・ROM書き込み確認書*
- ・マーク指定書(客先ロゴ入り特殊マークのみ)*
- ・ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

* マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、ルネサステクノロジホームページ ROM発注 (<http://www.renesas.com/jp/rom>) を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表27 専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
42P4B, 42S1B	PCA4738S-42A
42P2R-A/E	PCA4738F-42A

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図76に示すフローで書き込み、テストを行った後、使用されることを推奨いたします。

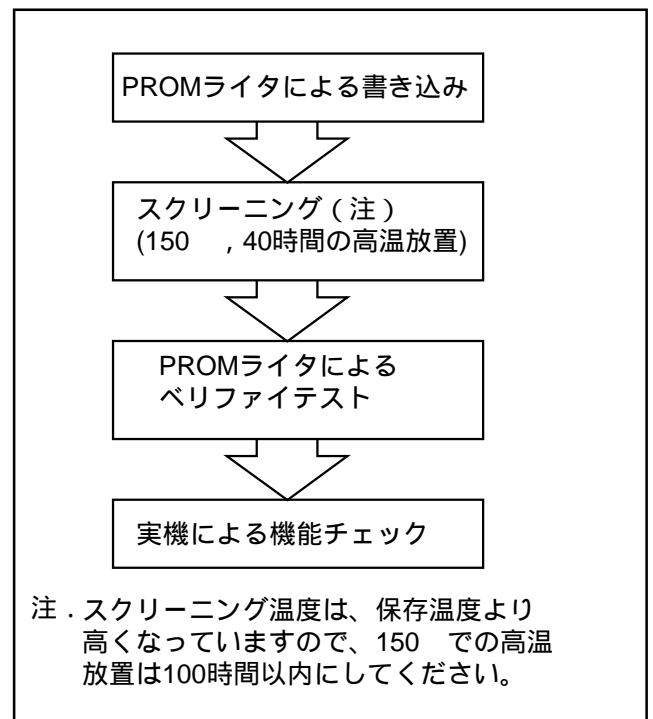


図76 . ワンタイムPROM版書き込みとテスト

補足説明

A-D変換器

A-D変換器は、AD変換終了ビットを“0”にすることによって開始されます。

A-D変換中の内部動作を以下に示します。

1. A-D変換が開始されると、A-D変換レジスタは“0016”になります。
2. A-D変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
3. 比較の結果がVref < VINならば、A-D変換レジスタの最上位ビットを“1”の状態に保持します。Vref > VINならば最上位ビットを“0”にします。

A-D変換器は、以上の動作をA-D変換レジスタの最下位ビットまで行うことによって、アナログ値をデジタル値に変換します。A-D変換は、開始後61クロックサイクル($f(XIN) = 8 \text{ MHz}$ のとき、 $15.25 \mu\text{s}$)で終了し、変換結果がA-D変換レジスタに格納されます。A-D変換終了と同時にA-D変換割り込み要求が発生し、AD変換割り込み要求ビットが“1”になります。

表28 .VrefとA-D変換器の基準電圧VREFの関係式

n = 0の時	Vref = 0
n = 1 ~ 1023の時	$Vref = \frac{VREF}{1024} \times n$

n: A-D変換レジスタの値(10進表記)

表29 A-D変換中のA-D変換レジスタの変化

	A-D変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{VREF}{2}$
2回目比較	*1 1 0 0 0 0 0 0 0 0	$\frac{VREF}{2} \pm \frac{VREF}{4}$
3回目比較	*1 *2 1 0 0 0 0 0 0 0	$\frac{VREF}{2} \pm \frac{VREF}{4} \pm \frac{VREF}{8}$
⋮	⋮	⋮
10回目の比較終了後	A-D変換結果 *1 *2 *3 *4 *5 *6 *7 *8 *9 *10	$\frac{VREF}{2} \pm \frac{VREF}{4} \pm \dots \pm \frac{VREF}{1024}$

*1 ~ *10: 1 ~ 10回目の比較結果

A-D変換器の等価回路を図77、A-D変換タイミングチャートを図78に示します。

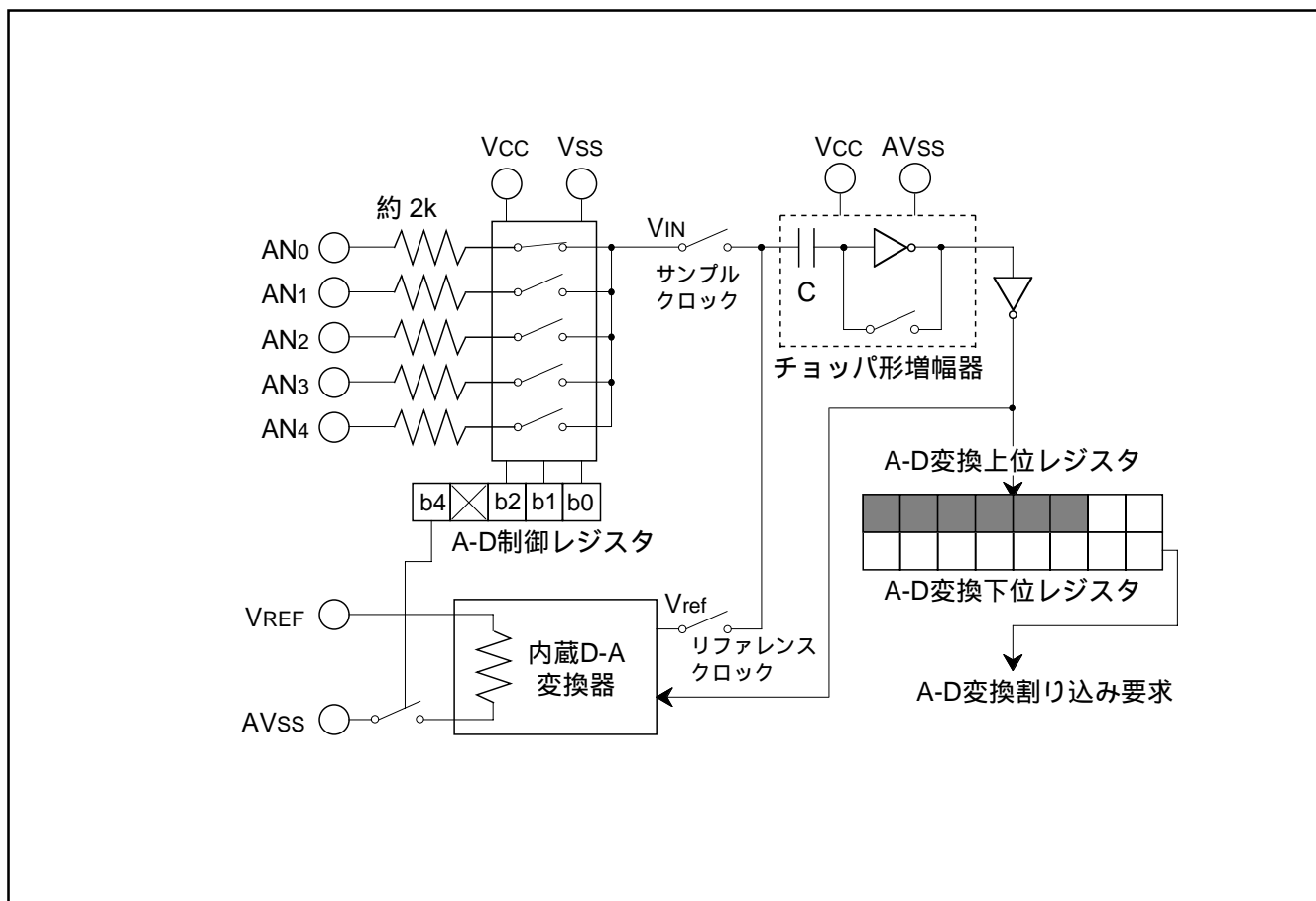


図77 A-D変換器等価回路

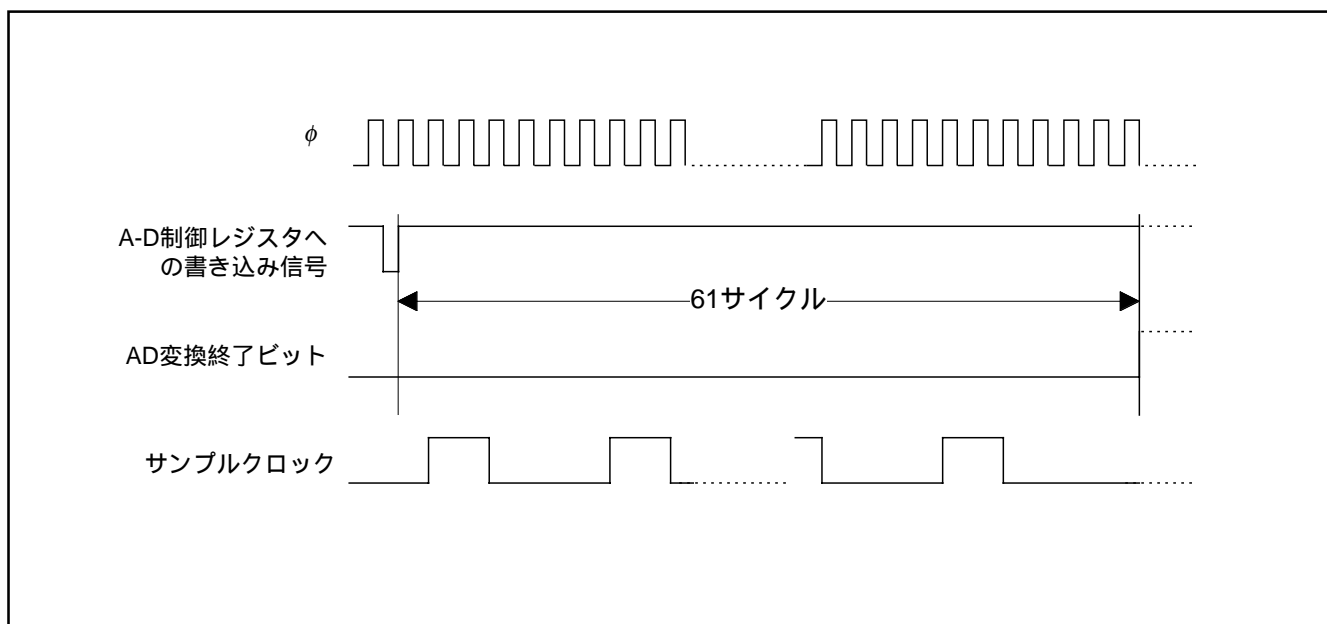


図78 A-D変換タイミングチャート

Memo

第 2 章 応 用

- 2.1 入出力ポート
- 2.2 割り込み
- 2.3 タイマ
- 2.4 シリアルI/O
- 2.5 PWM
- 2.6 A-D変換器
- 2.7 ウォッチドッグタイマ
- 2.8 リセット
- 2.9 クロック発生回路
- 2.10 スタンバイ機能
- 2.11 フラッシュメモリモード

2

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

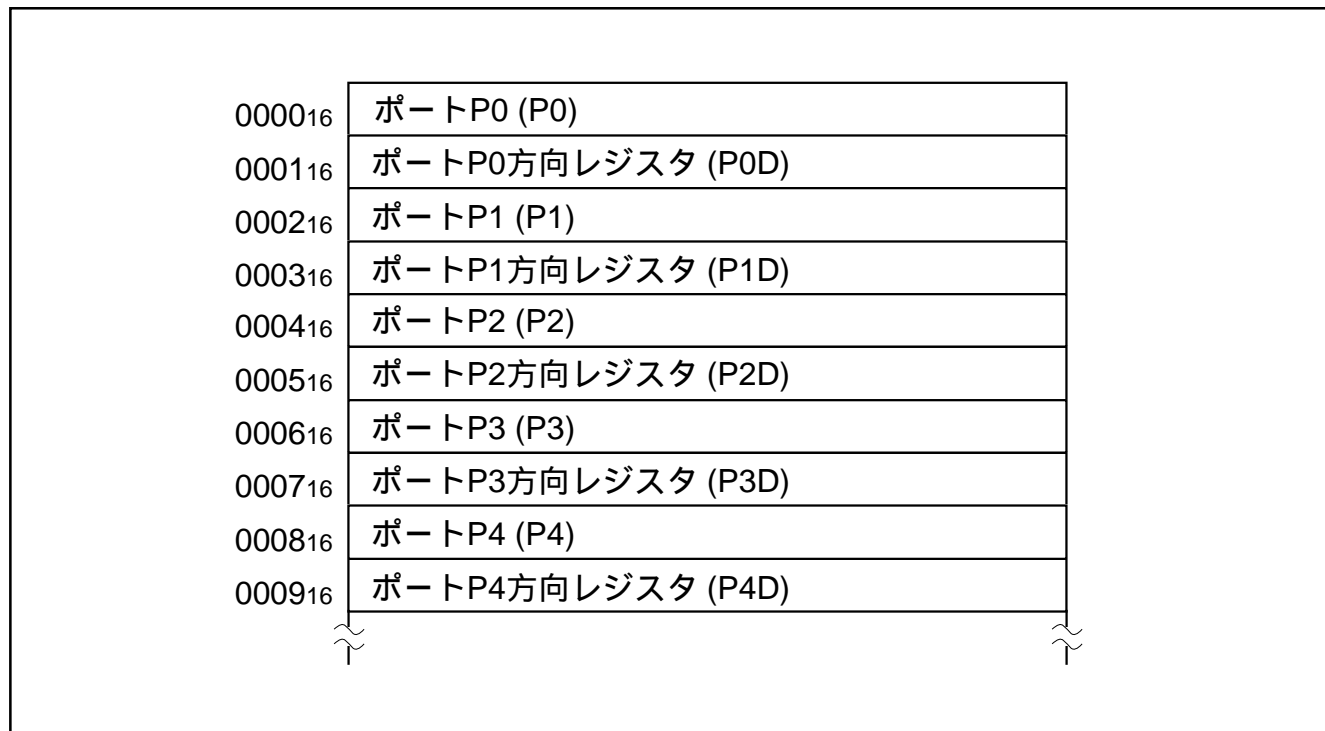


図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

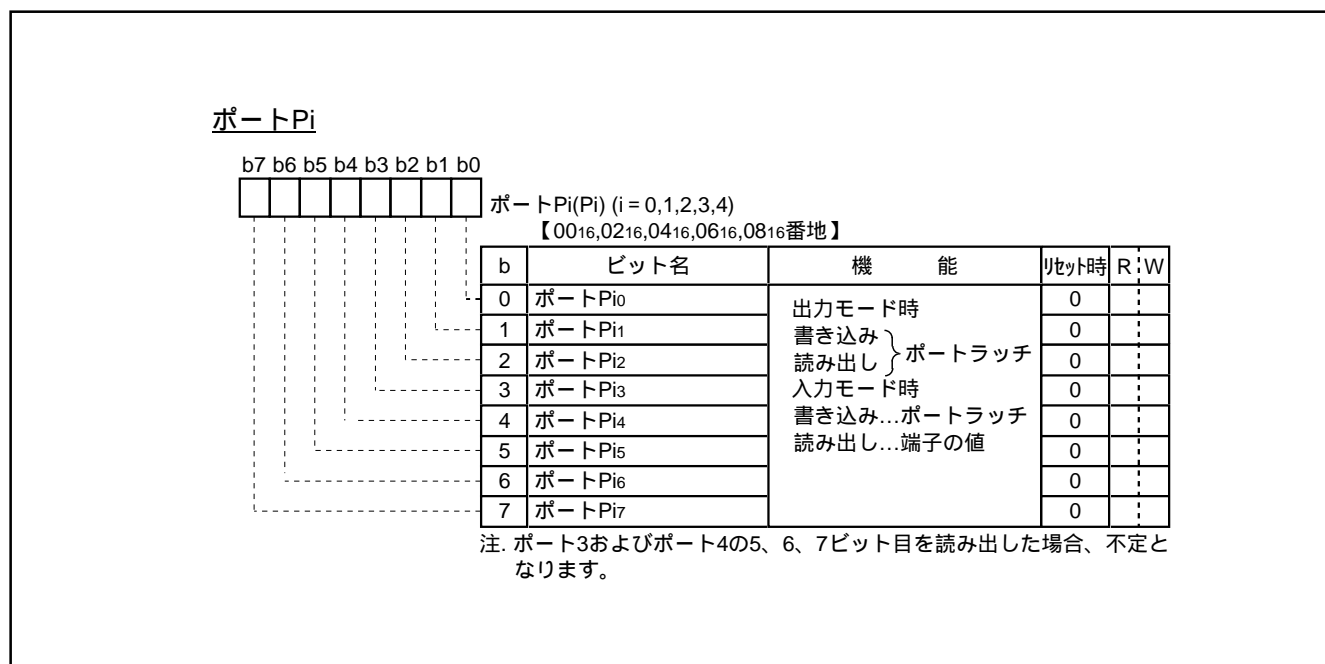


図2.1.2 ポートPiの構成(i = 0 ~ 4)

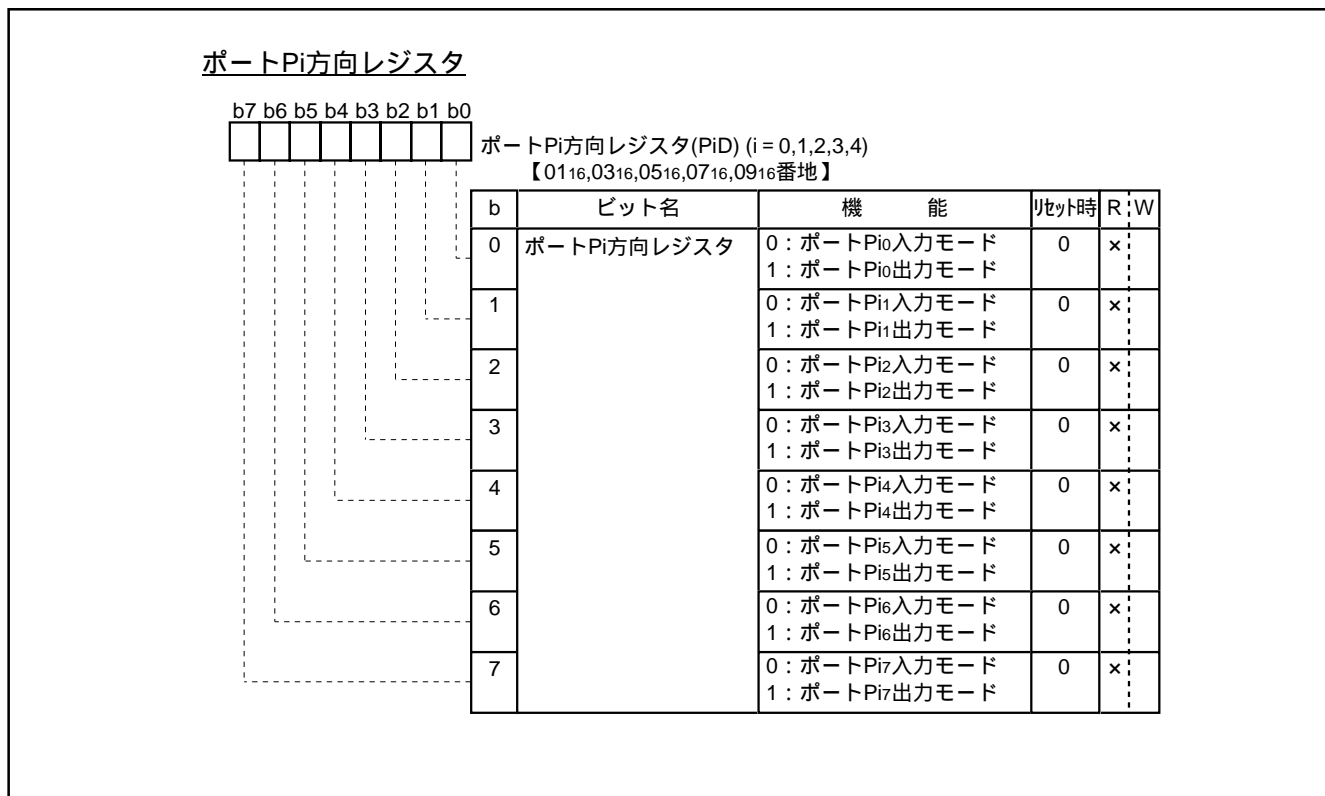


図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 4)

2.1.3 未使用端子の処理

表2.1.1 未使用端子の処理

端子/ポート名	処理方法
P0、P1、P2、P3、P4	<ul style="list-style-type: none"> ・ 入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続 ・ 出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
AVss端子	Vss(GND)に接続
XOUT端子	開放(外部クロック使用時のみ)

2.1.4 入出力ポートに関する注意事項

(1) スタンバイ状態での使用

スタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。また、Nチャンネルオープンドレインの入出力ポートでは、出力に設定している場合でも、同様の注意が必要です。

この場合、抵抗を介してポートをプルアップ(V_{cc} に接続)又はプルダウン(V_{ss} に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

理由

方向レジスタで入力ポートに設定している場合はトランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。このとき、入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

また、Nチャンネルオープンドレインの入出力ポートではポータラッチの内容が「1」の場合、方向レジスタで出力ポートに設定していても、入力ポートと同様の現象が起こります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウエイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポータラッチをビット処理命令*を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポータラッチの、あるビットに対してこの命令を実行した場合、そのポータラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

- ・出力に設定されているビット：

ポータラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・出力に設定されているポートを入力ポートに変更しても、ポータラッチには出力データが保持される構成になっています。
- ・入力に設定されているポータラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポータラッチの内容が異なる場合、ビットの値が変化します。

*ビット処理命令：SEB命令、CLB命令

2.1.5 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

出力専用端子

開放してください。

入力専用端子

各端子ごとに1~10k の抵抗を介して、Vcc又はVssに接続してください。また、電圧レベルが動作モードに影響を与える端子(CNVss端子、INT端子など)は、モードを検討の上、Vcc又はVssを選択してください。

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

A-D変換器を使用しない場合のA-D変換用電源端子AVss

A-D変換器を使用しない場合、A-D変換用電源端子AVssは以下のように処理してください。

- ・AVss : Vssに接続

(2) 処理上の留意事項

入力ポート及び入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

2.2 割り込み

本節では割り込みに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

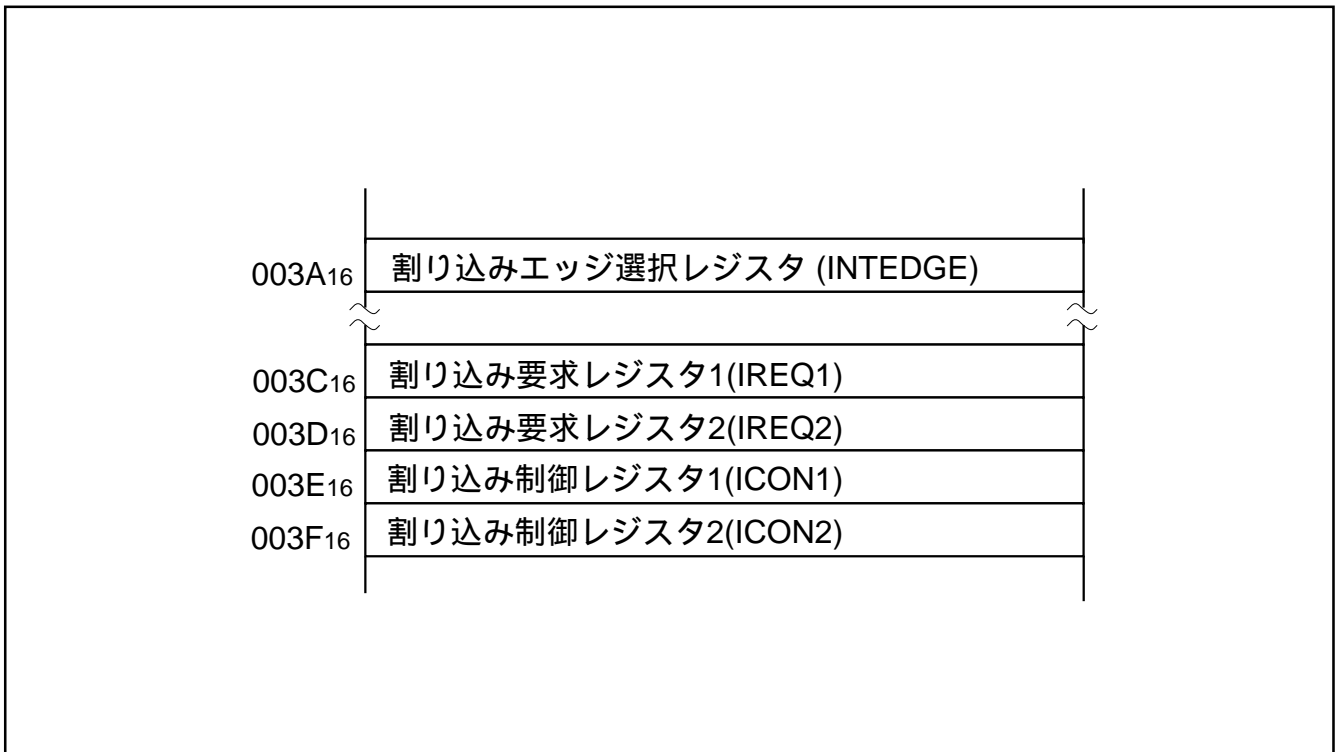


図2.2.1 割り込み関連レジスタのメモリ配置

2.2.2 関連レジスタ

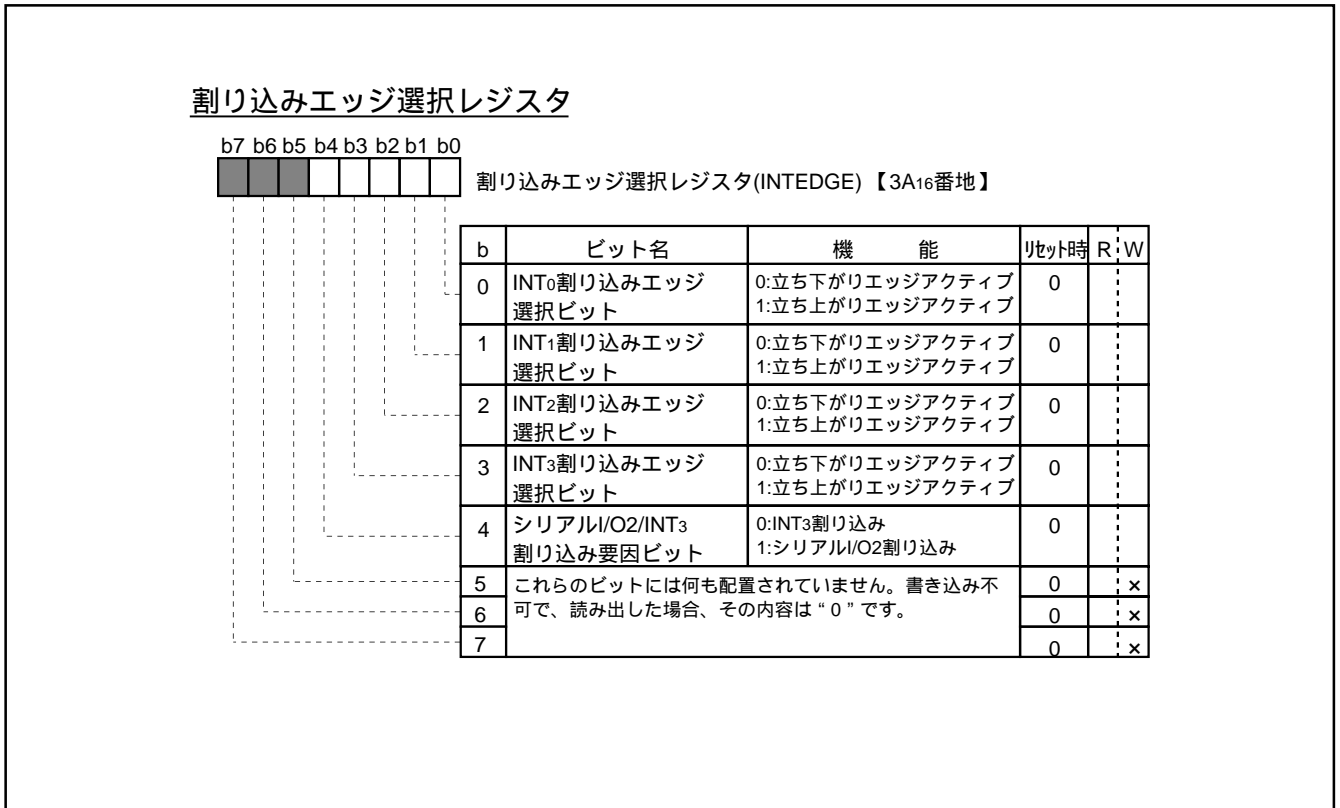
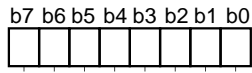


図2.2.2 割り込みエッジ選択レジスタの構成

割り込み要求レジスタ1



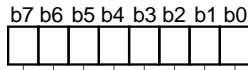
割り込み要求レジスタ1(IREQ1)【3C16番地】

b	ビット名	機 能	リセット時	R/W
0	INT ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	書き込む際は“0”を書き込んでください。		0	*
2	INT ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	INT ₂ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	INT ₃ /シリアルI/O ₂ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	書き込む際は“0”を書き込んでください。		0	*
6	タイマX割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	タイマY割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.2.3 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



割り込み要求レジスタ2(IREQ2)【3D16番地】

b	ビット名	機 能	リセット時	R/W
0	タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	タイマ2割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	シリアルI/O ₁ 受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	シリアルI/O ₁ 送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	CNTR ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	CNTR ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	A-D変換割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x

*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.2.4 割り込み要求レジスタ2の構成

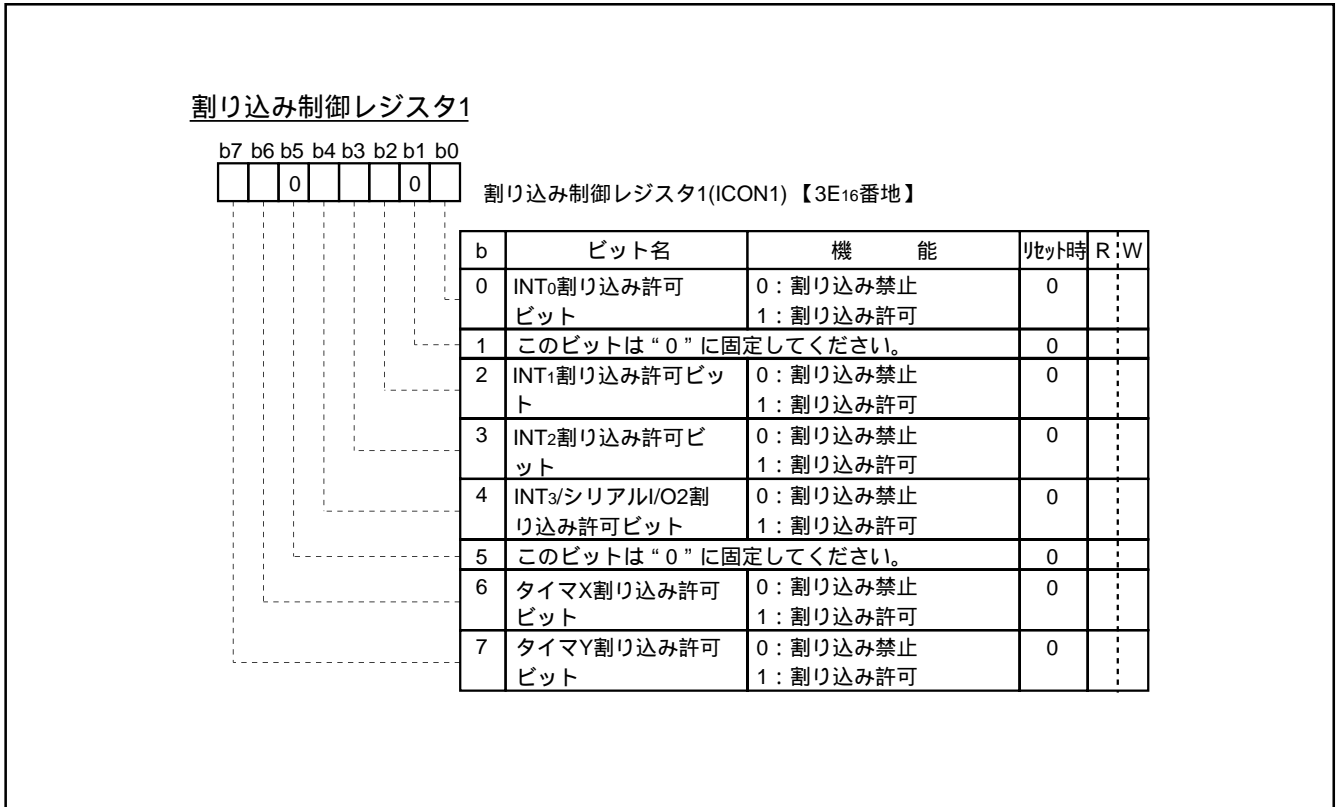


図2.2.5 割り込み制御レジスタ1の構成

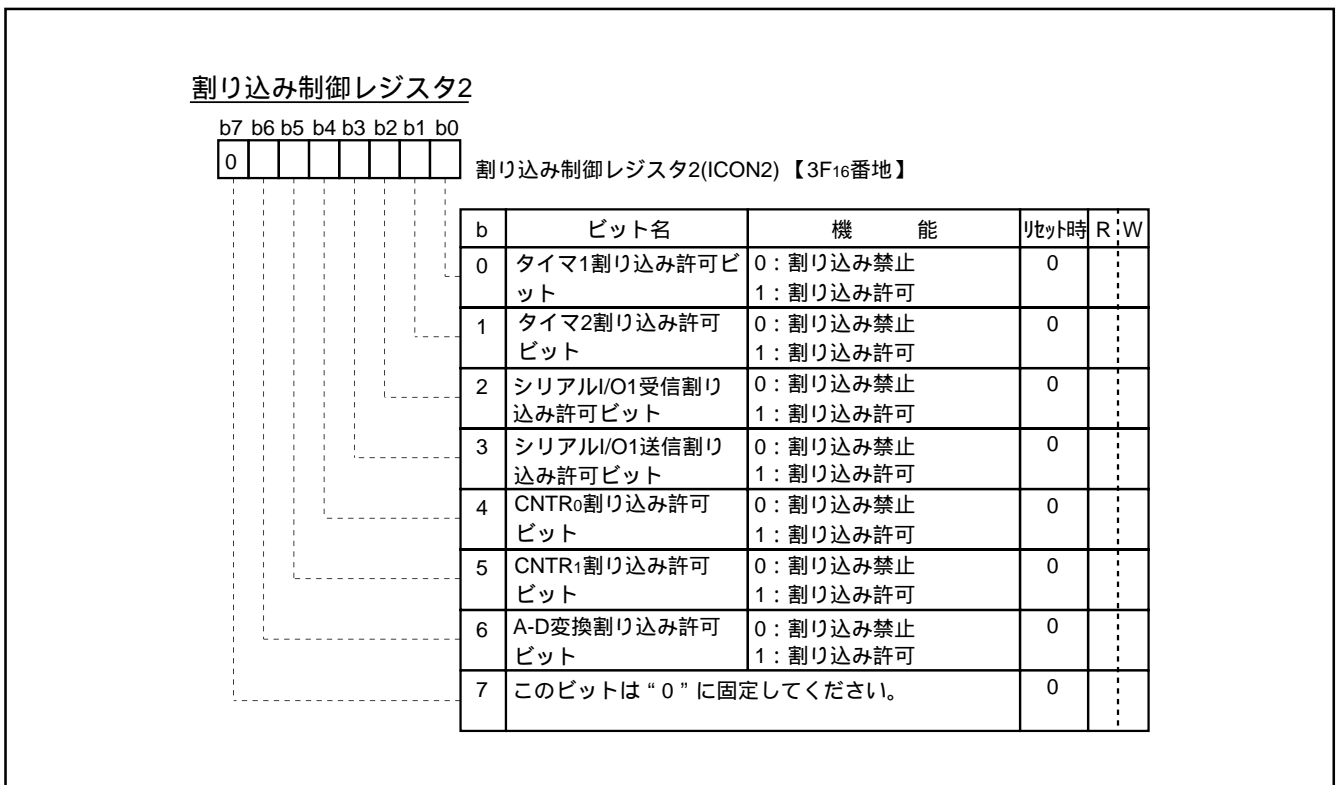


図2.2.6 割り込み制御レジスタ2の構成

2.2.3 割り込み要因

3850グループでは、15要因で割り込みをかけることができます。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって、多様な優先処理をソフトウェアで行うことが可能です。割り込み要因とベクトル番地(注1)、割り込み優先順位は表2.2.1を参照してください。

表2.2.1 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
予約	3	FFF916	FFF816	予約	
INT1	4	FFF716	FFF616	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT2	5	FFF516	FFF416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT3	6	FFF316	FFF216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル) シリアル/O2/INT3割り込み要因ビットにより切り替え
シリアル/O2				シリアル/O2送受信完了時	
予約	7	FFF116	FFF016	予約	
タイマX	8	FFEF16	FFEE16	タイマXアンダフロー時	
タイマY	9	FFED16	FFEC16	タイマYアンダフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE916	FFE816	タイマ2アンダフロー時	
シリアル/O1受信	12	FFE716	FFE616	シリアル/O1データ受信完了時	シリアル/O1選択時のみ有効
シリアル/O1送信	13	FFE516	FFE416	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1	15	FFE116	FFE016	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換	16	FFDF16	FFDE16	A-D変換終了時	
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

2.2.4 割り込み動作

割り込み要求が受け付けられると、次に示すレジスタの割り込み要求受付直前の状態が① ② ③と順次、自動的にスタック領域に退避されます。

- ①プログラムカウンタ上位(PCH)
- ②プログラムカウンタ下位(PCL)
- ③プロセッサステータスレジスタ(PS)

上記のレジスタが退避された後、受け付けられた割り込みの飛び先番地へ分岐します。割り込み処理ルーチンの最後でRTI命令を実行すると、スタック領域に退避されていた上記レジスタの内容が③ ② ①と順次それぞれのレジスタに復帰し、割り込み要求受付前の処理が継続されます。

図2.2.7に割り込み動作図を示します。

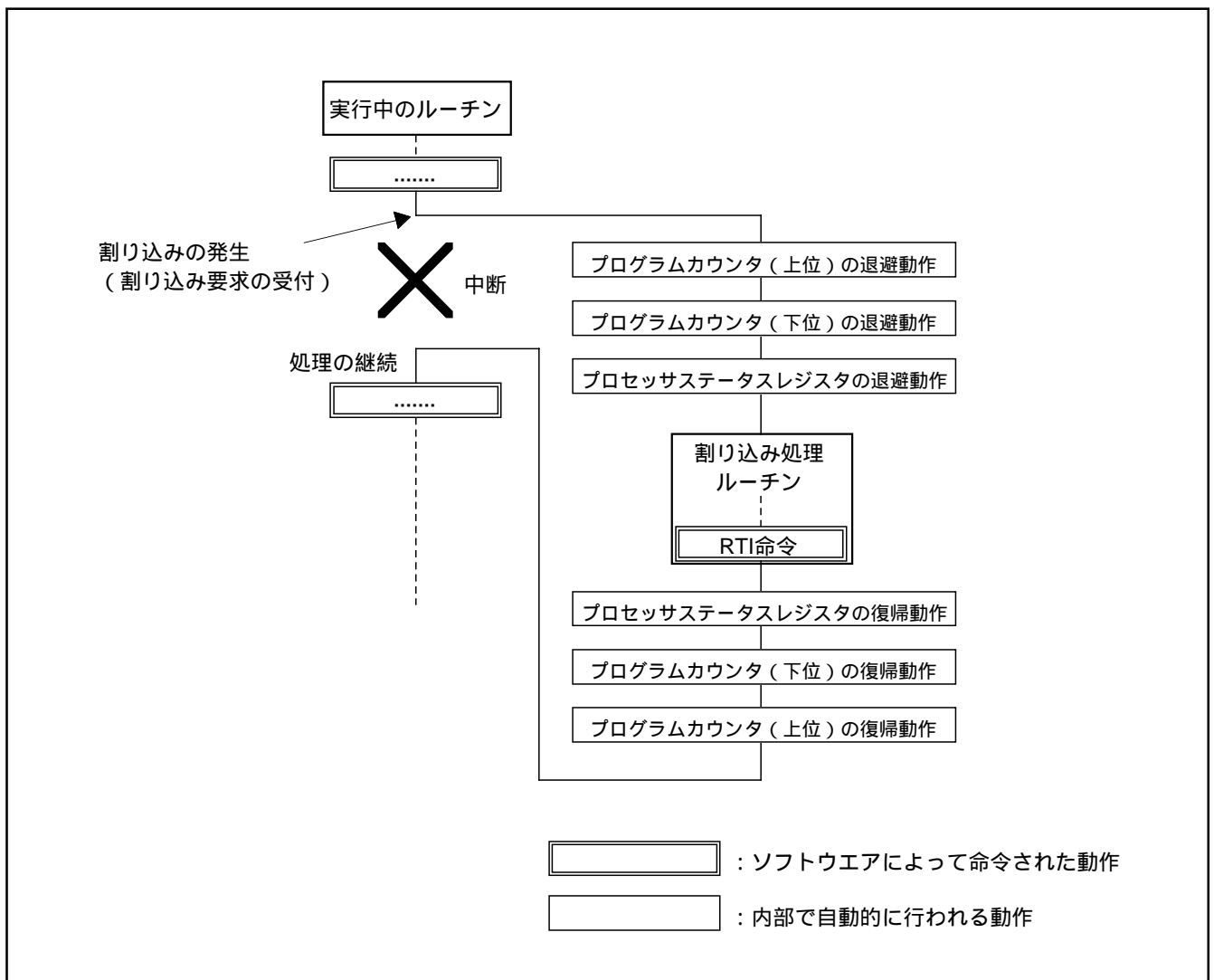


図2.2.7 割り込み動作図

(1) 割り込み要求受付時の処理

割り込み要求を受け付けると以下の動作が自動的に行われます。

- ①現在実行中の処理が中断されます。
- ②プログラムカウンタ、及びプロセッサステータスレジスタの内容がスタック領域へ退避されます。
図2.2.8に割り込み要求受付時のスタックポインタとプログラムカウンタの変化を示します。
- ③退避と同時に、割り込みベクトル領域に格納されている、発生した割り込みの飛び先番地(割り込み処理ルーチンの先頭番地)がプログラムカウンタに設定され、割り込み処理ルーチンが実行されます。
- ④割り込み処理ルーチンに入ると、対応する割り込み要求ビットが自動的に“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止されます。

したがって、割り込み処理ルーチンを実行するためには、飛び先番地を各割り込みに対応したベクトル領域内に設定しておく必要があります。

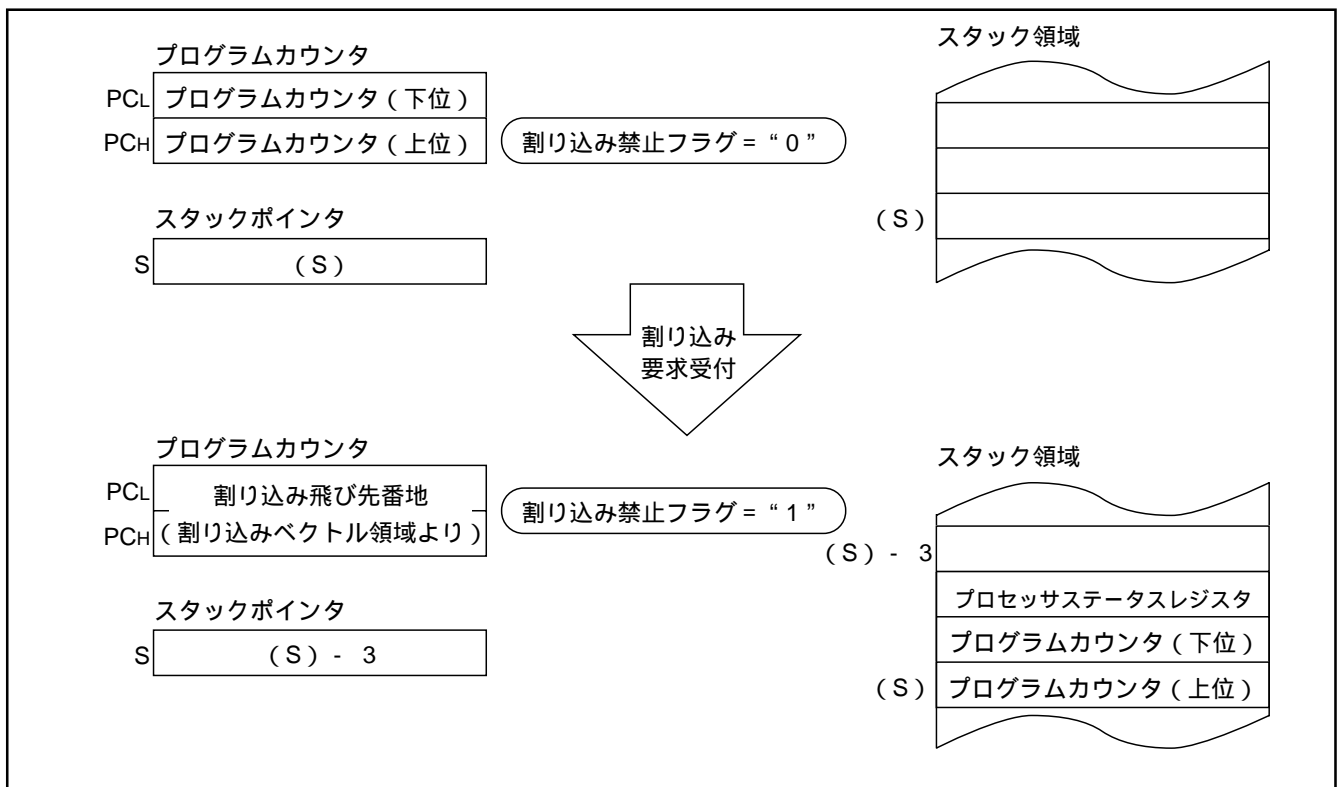


図2.2.8 割り込み要求受付時のスタックポインタとプログラムカウンタの変化

(2) 割り込み要求受付後のタイミング

割り込み処理ルーチンは、現在実行中の命令終了後のマシンサイクルから始まります。図2.2.9に割り込み処理ルーチンを実行するまでの時間、図2.2.10に割り込み要求受付後のタイミングを示します。

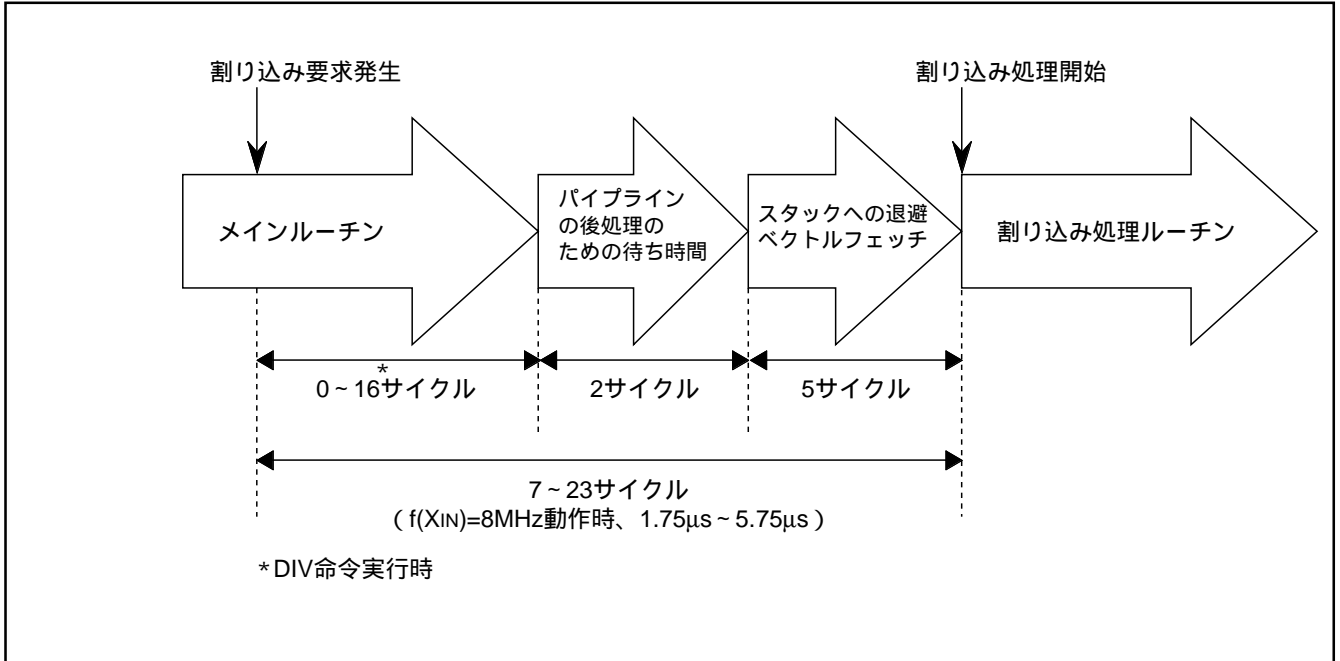


図2.2.9 割り込み処理ルーチンを実行するまでの時間

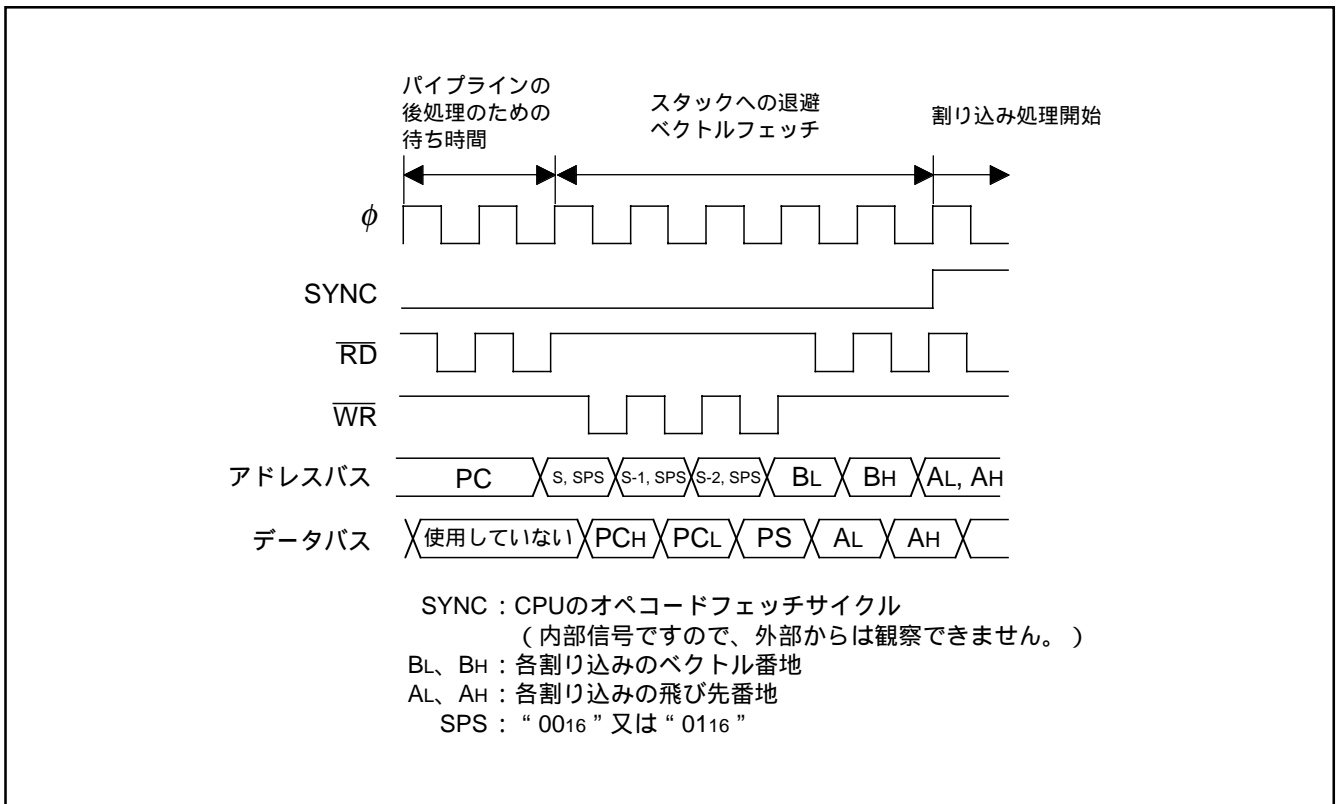


図2.2.10 割り込み要求受付後のタイミング

2.2.5 割り込み制御

BRK命令を除く割り込みは、割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグによって割り込み要求の受付を制御できます。この節ではBRK命令を除く割り込みの制御について説明します。図2.2.11に割り込み制御図を示します。

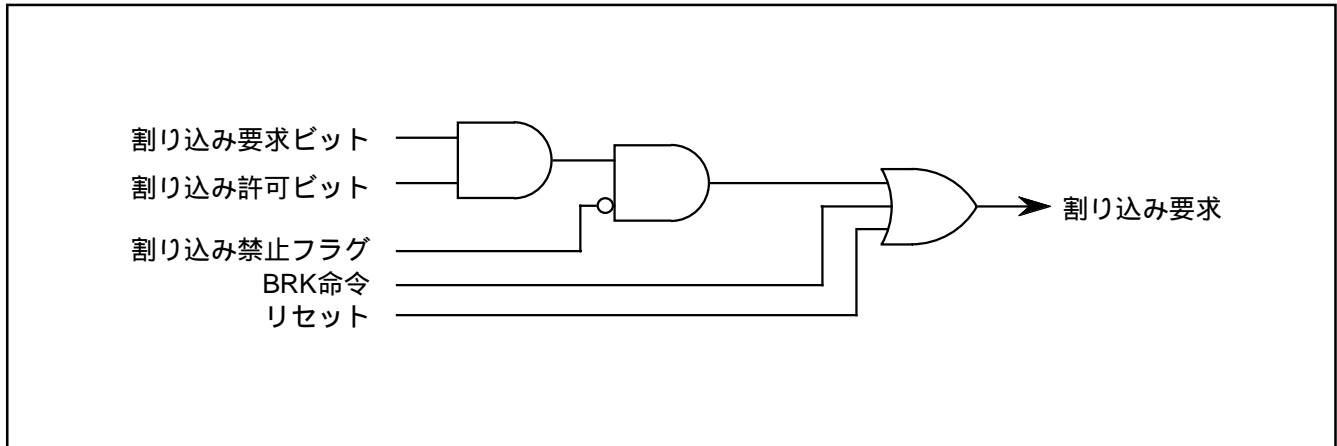


図2.2.11 割り込み制御図

割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグは独立して機能し、お互いに影響を与えることはありません。割り込み要求は以下の条件をすべて満たされると受け付けられます。

- 割り込み要求ビット……“ 1 ”
- 割り込み許可ビット……“ 1 ”
- 割り込み禁止フラグ……“ 0 ”

割り込みの優先順位は、ハードウェアで決められていますが、上記のビット及びフラグを用いることによって、多様な優先処理をソフトウェアで行うことができます。表2.2.2に各割り込み要因に対する割り込み制御ビット一覧を示します。

(1) 割り込み要求ビット

割り込み要求ビットは、割り込み要求レジスタ1(3C16番地)、割り込み要求レジスタ2(3D16番地)に割り当てられています。

割り込み要求が発生すると、対応する割り込み要求ビットが“ 1 ”になります。“ 1 ”にセットされた割り込み要求ビットは、割り込み要求が受け付けられるまで“ 1 ”の状態を保持されます。割り込み要求が受け付けられると、自動的に“ 0 ”になります。

割り込み要求ビットは、ソフトウェアで“ 0 ”にできますが、ソフトウェアで“ 1 ”にすることはできません。

(2) 割り込み許可ビット

割り込み許可ビットは、割り込み制御レジスタ1(3E16番地)及び割り込み制御レジスタ2(3F16番地)に割り当てられています。

割り込み許可ビットは、対応する割り込み要求の受付を制御するビットです。

このビットが“0”のとき、対応する割り込み要求が禁止されます。このビットが“0”の状態では割り込み要求が発生すると、対応する割り込み要求ビットが“1”になるだけで、その割り込み要求は受け付けられません。この場合、ソフトウェアで割り込み要求ビットを“0”にするまで、割り込み要求ビットは“1”のままです。

このビットが“1”のとき、対応する割り込み要求が許可されます。このビットが“1”の状態では割り込み要求が発生すると、その割り込み要求が受け付けられます(割り込み禁止フラグ=“0”の場合)。

割り込み許可ビットはソフトウェアで“0”、又は“1”にすることができます。

(3) 割り込み禁止フラグ

割り込み禁止フラグは、プロセッサステータスレジスタのb2に割り当てられています。割り込み禁止フラグは、BRK命令を除く割り込み要求の受付を制御するフラグです。

このフラグが“1”のとき、割り込み要求の受付が禁止されます。“0”のとき、割り込み要求の受付が許可されます。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み処理ルーチンへの分岐時、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込み処理ルーチン内でCLI命令を用いて、このフラグを“0”にしてください。図2.2.12に多重割り込みの例を示します。

表2.2.2 各割り込み要因に対する割り込み制御ビット一覧

割り込み要因	割り込み許可ビット		割り込み要求ビット	
	番地	ビット	番地	ビット
INT ₀	003E16	b0	003C16	b0
INT ₁	003E16	b2	003C16	b2
INT ₂	003E16	b3	003C16	b3
INT ₃ /シリアル/O2	003E16	b4	003C16	b4
タイマX	003E16	b6	003C16	b6
タイマY	003E16	b7	003C16	b7
タイマ1	003F16	b0	003D16	b0
タイマ2	003F16	b1	003D16	b1
シリアル/O1受信	003F16	b2	003D16	b2
シリアル/O1送信	003F16	b3	003D16	b3
CNTR ₀	003F16	b4	003D16	b4
CNTR ₁	003F16	b5	003D16	b5
AD変換	003F16	b6	003D16	b6

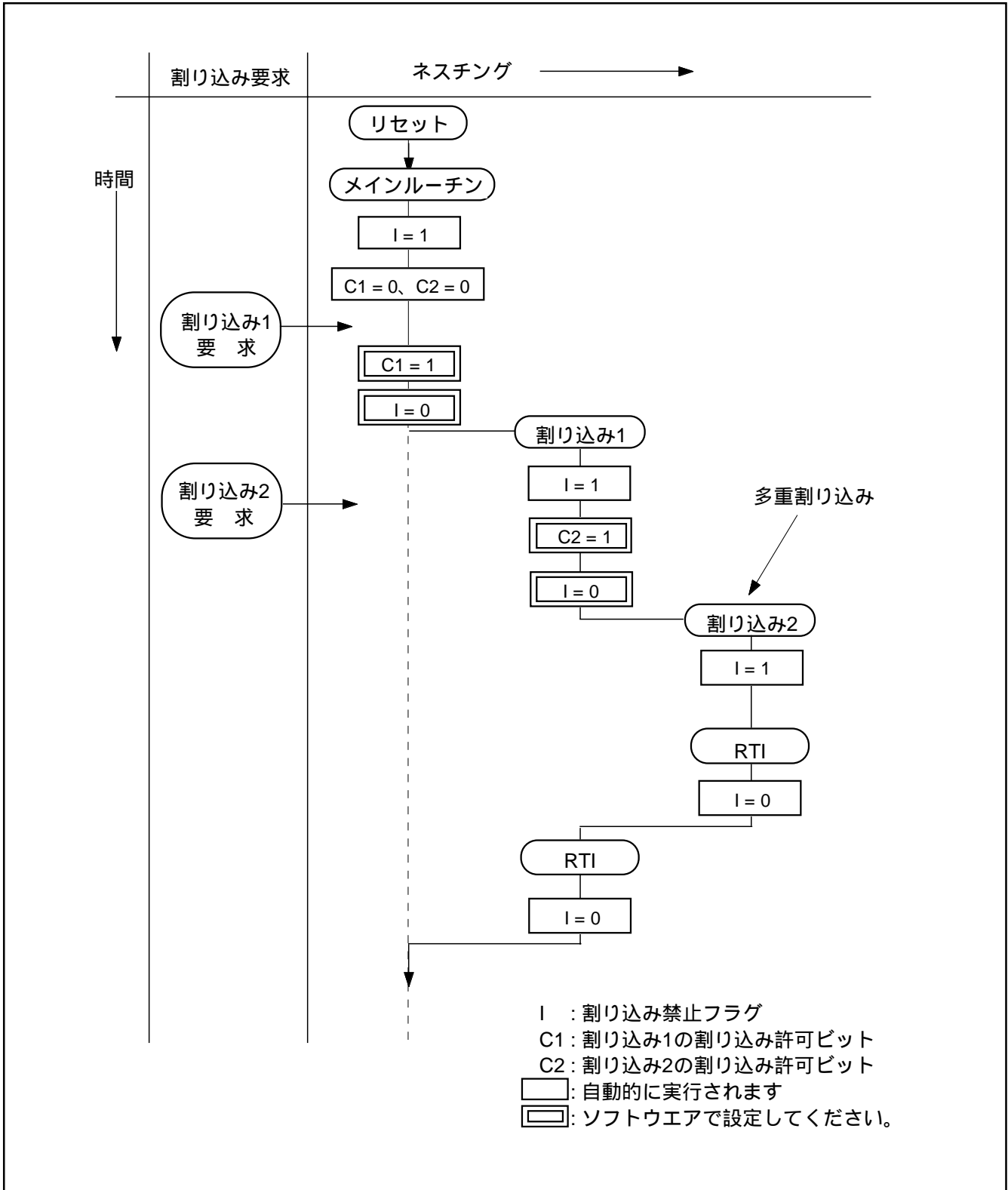


図2.2.12 多重割り込みの例

2.2.6 INT割り込み

INT割り込みは、各INT端子(INT₀ ~ INT₃)のレベル変化を検出して、割り込み要求が発生します。

(1) 有効エッジの選択

INT₀ ~ INT₃は有効エッジとして、立ち下がりエッジ、又は立ち上がりエッジのどちらを検出するかを、割り込みエッジ選択レジスタによってそれぞれ選択できます。“0”にすると対応する端子の立ち下がりエッジ、“1”にすると対応する端子の立ち上がりエッジが検出されます。

(2) INT₃割り込み要因の選択

シリアル/O₂/INT₃割り込み要因を使用する場合、シリアル/O₂/INT₃割り込み要因ビット(3A₁₆番地のビット4)で、どちらの割り込み要因を使用するかを選択してください(INT₃を使用する場合は“0”に設定)。

2.2.7 割り込みに関する注意事項

(1) 関連レジスタの設定変更

割り込みエッジ選択レジスタ(3A₁₆番地)及びタイマXYモードレジスタ(23₁₆番地)の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

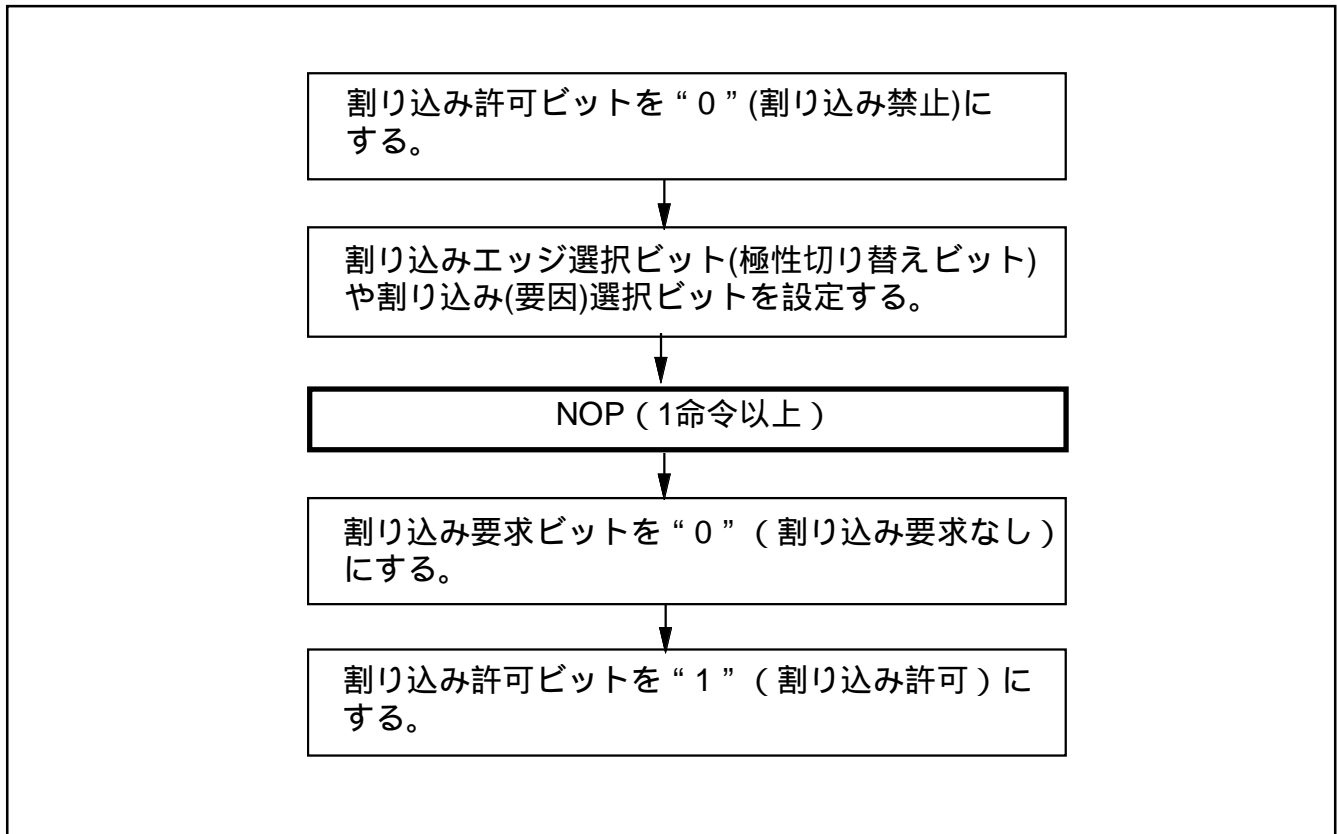


図2.2.13 関連レジスタの設定変更手順

理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・ 外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)
タイマXYモードレジスタ(23₁₆番地)
- ・ 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)

(2) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

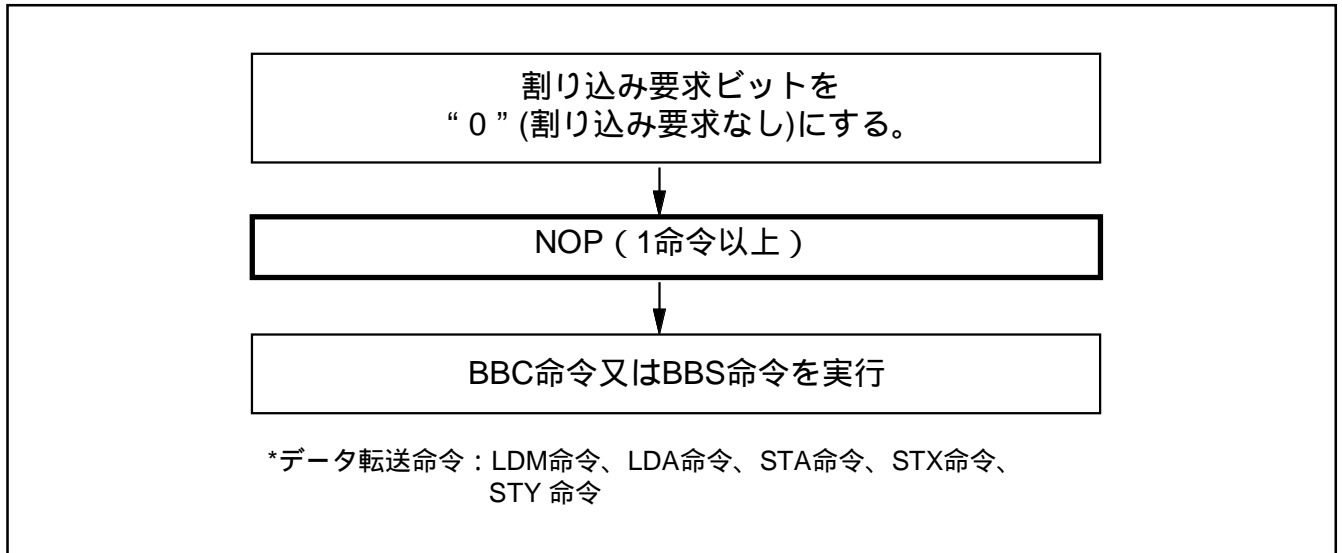


図2.2.14 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

2.3 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図



図2.3.1 タイマ関連レジスタのメモリ配置

2.3.2 関連レジスタ

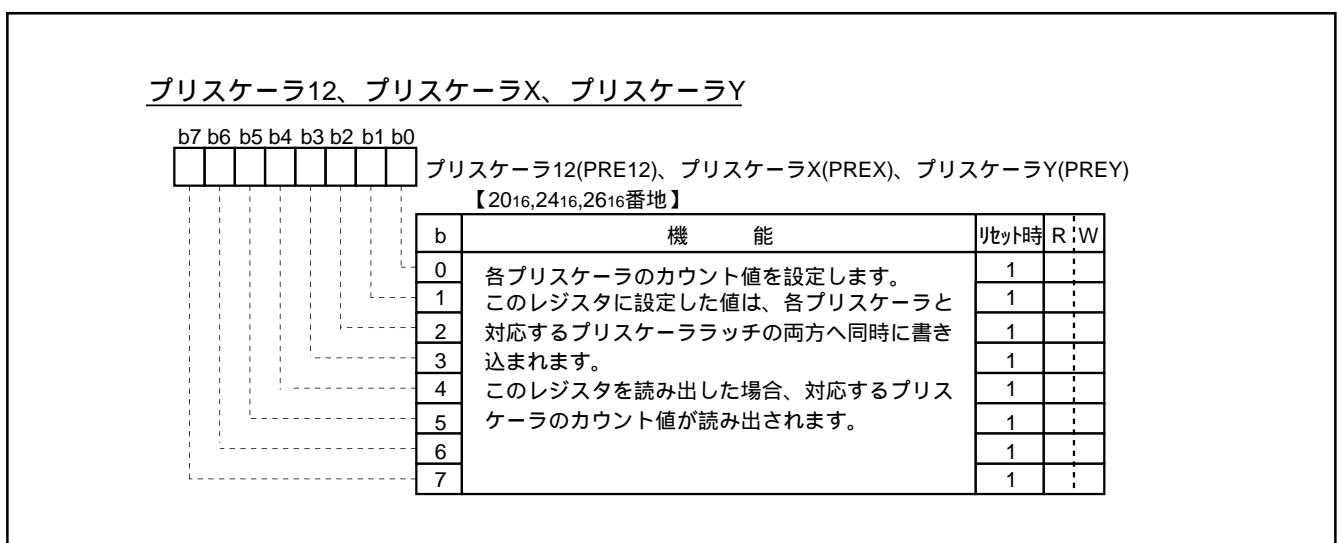


図2.3.2 プリスケアラ12、プリスケアラX、プリスケアラYの構成

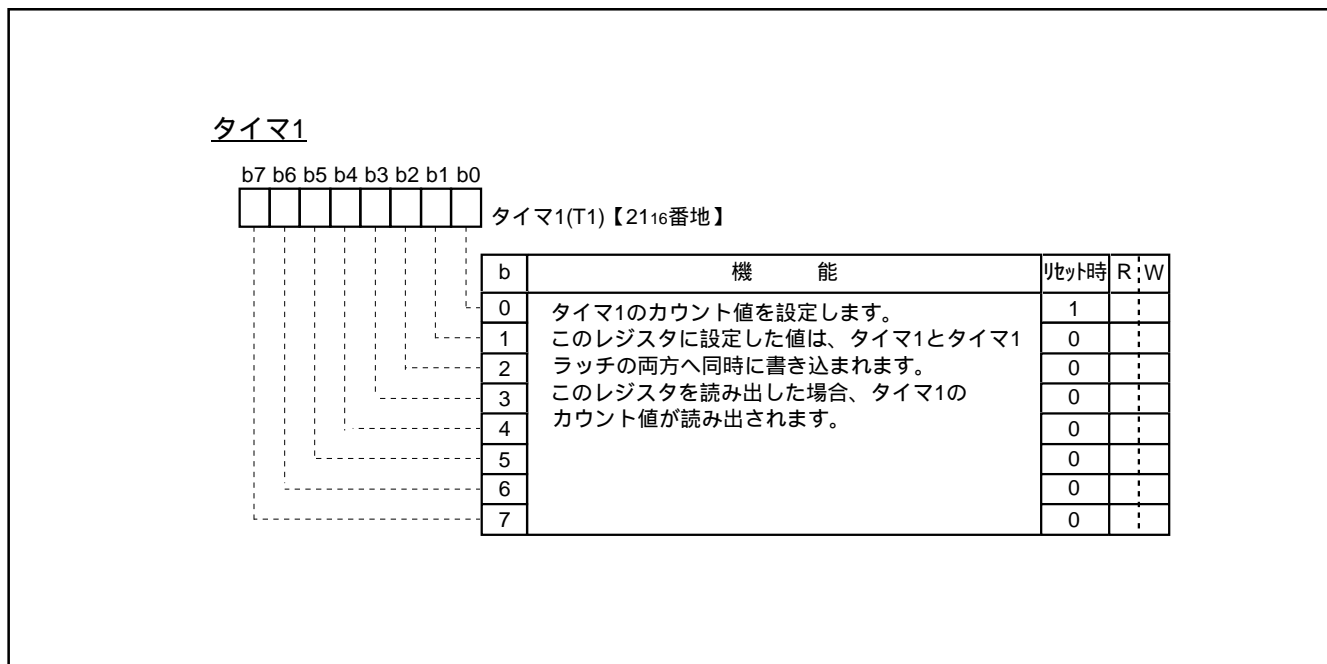


図2.3.3 タイマ1の構成

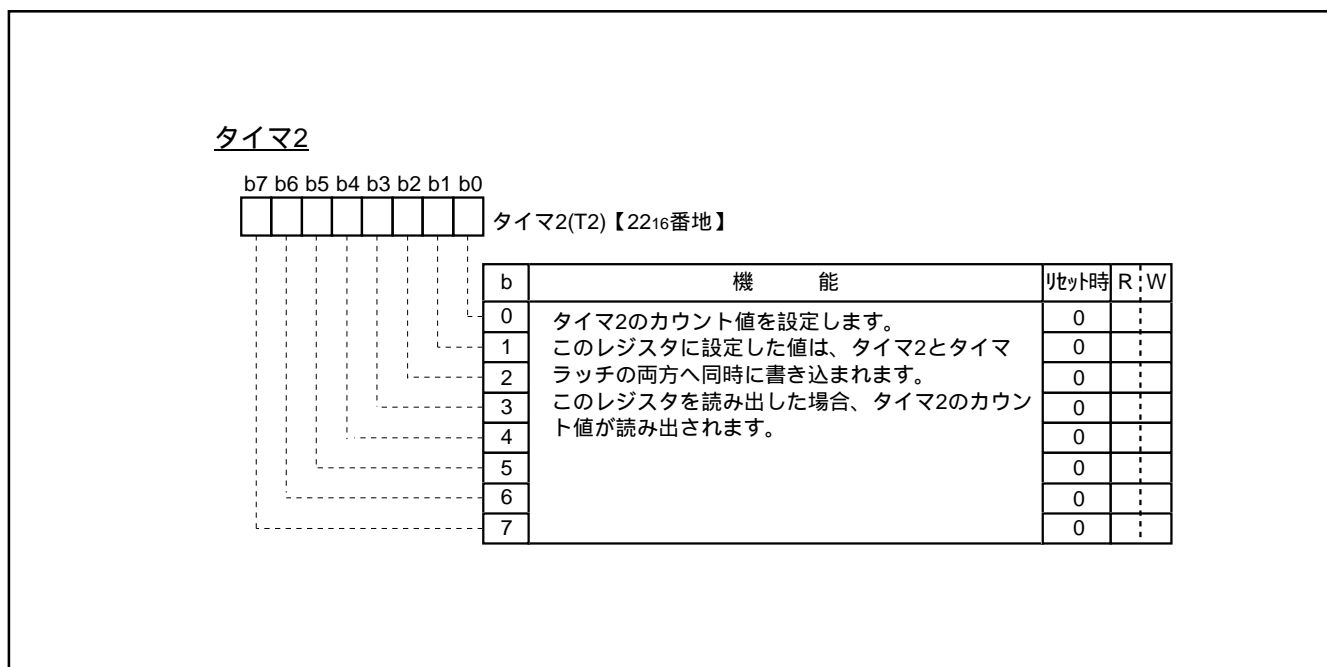


図2.3.4 タイマ2の構成

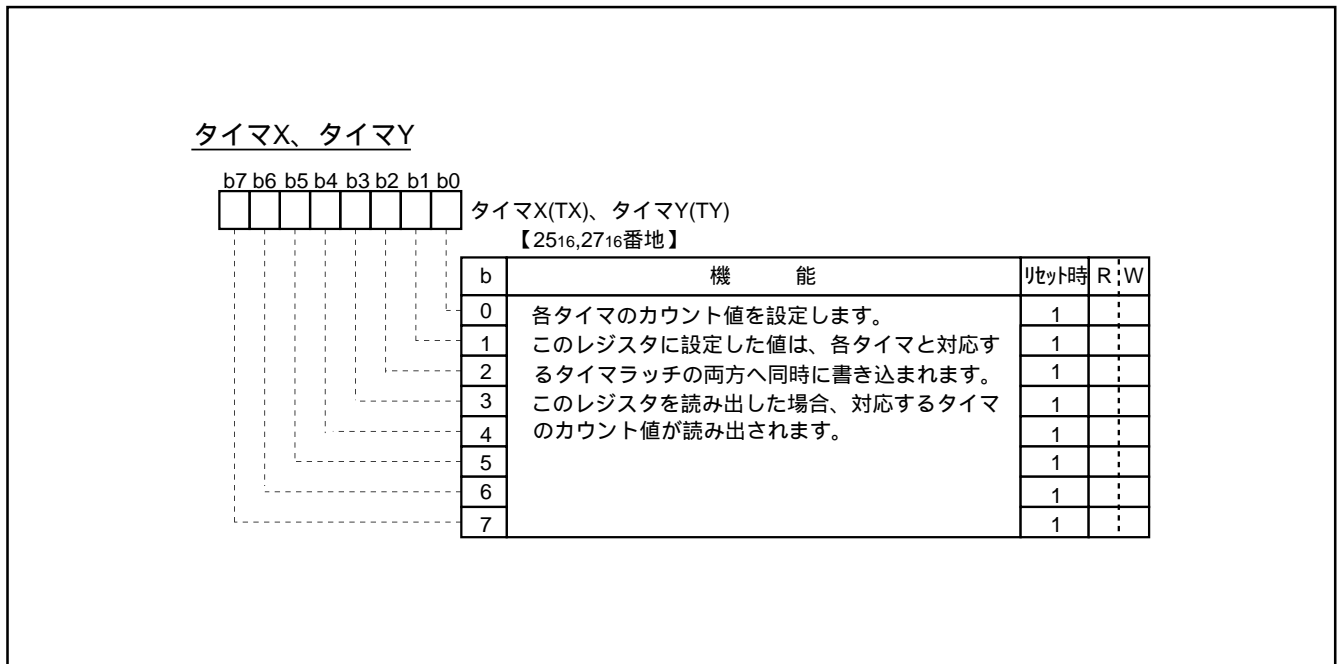


図2.3.5 タイマX、タイマYの構成

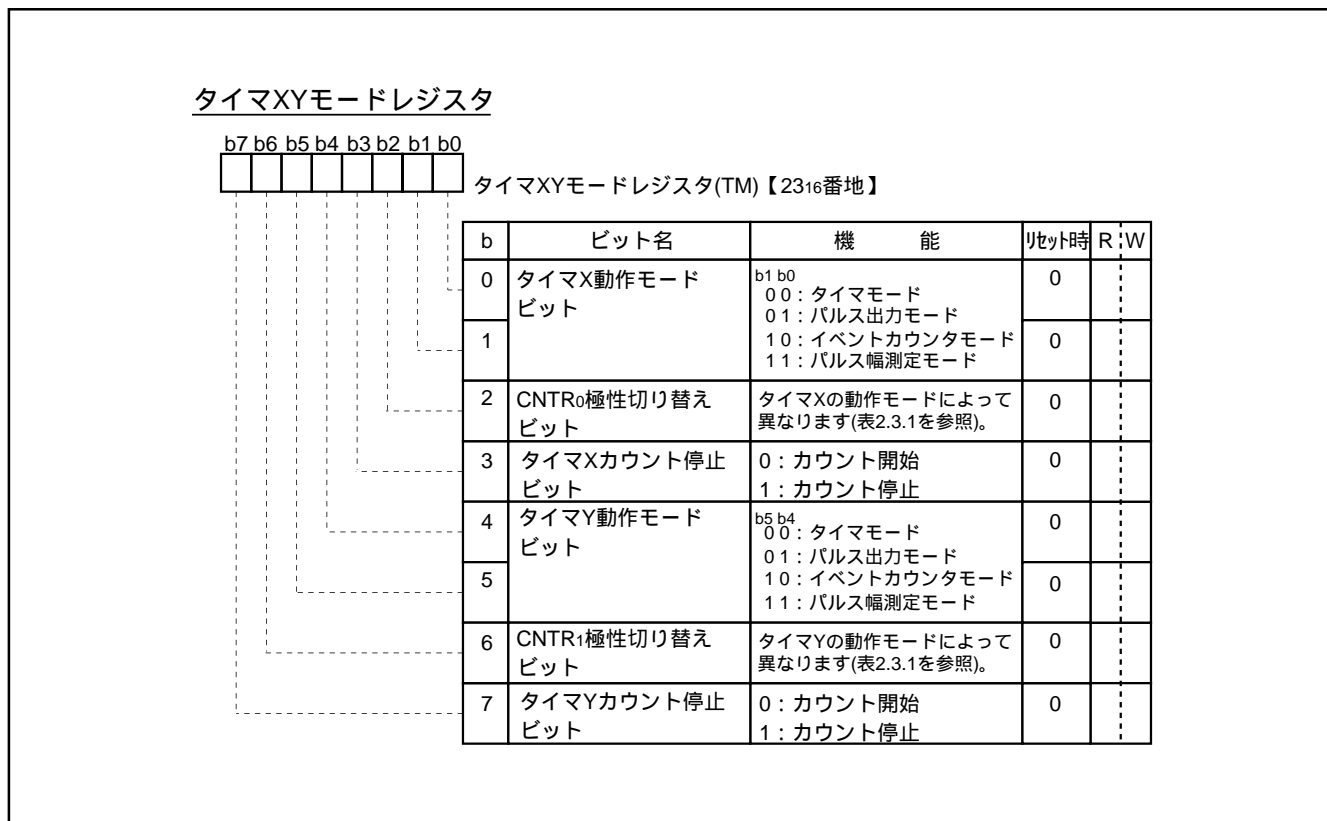


図2.3.6 タイマXYモードレジスタの構成

表2.3.1 CNTR0/CNTR1極性切り替えビットの機能

タイマX/Y 動作モード	設定値	タイマの機能の選択	CNTR0/CNTR1割り込み要求発生要因
タイマモード	“ 0 ”	-	CNTR0/CNTR1入力信号の立ち下がりエッジ
	“ 1 ”	-	CNTR0/CNTR1入力信号の立ち上がりエッジ
パルス出力 モード	“ 0 ”	“ H ”レベルからパルス 出力	出力信号の立ち下がりエッジ
	“ 1 ”	“ L ”レベルからパルス 出力	出力信号の立ち上がりエッジ
イベント カウンタ モード	“ 0 ”	立ち上がりエッジ をカウント	入力信号の立ち下がりエッジ
	“ 1 ”	立ち下がりエッジ をカウント	入力信号の立ち上がりエッジ
パルス幅 測定モード	“ 0 ”	“ H ”レベル幅を測定	入力信号の立ち下がりエッジ
	“ 1 ”	“ L ”レベル幅を測定	入力信号の立ち上がりエッジ

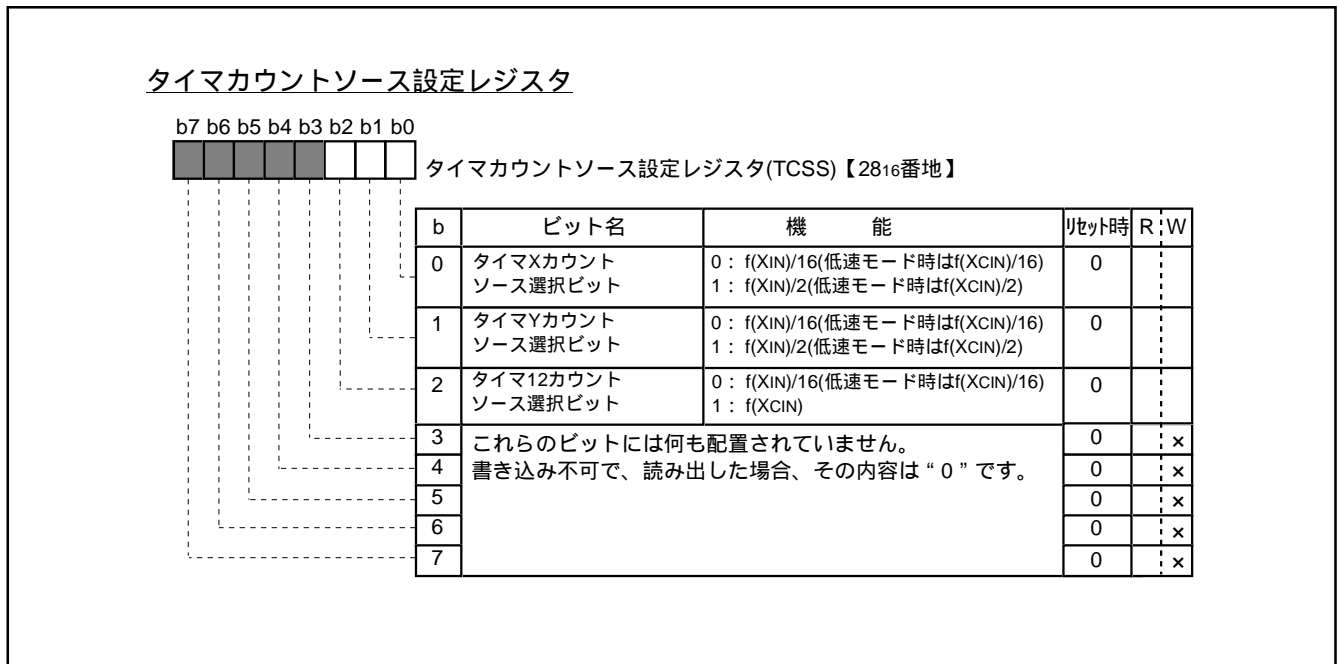


図2.3.7 タイマカウントソース設定レジスタの構成

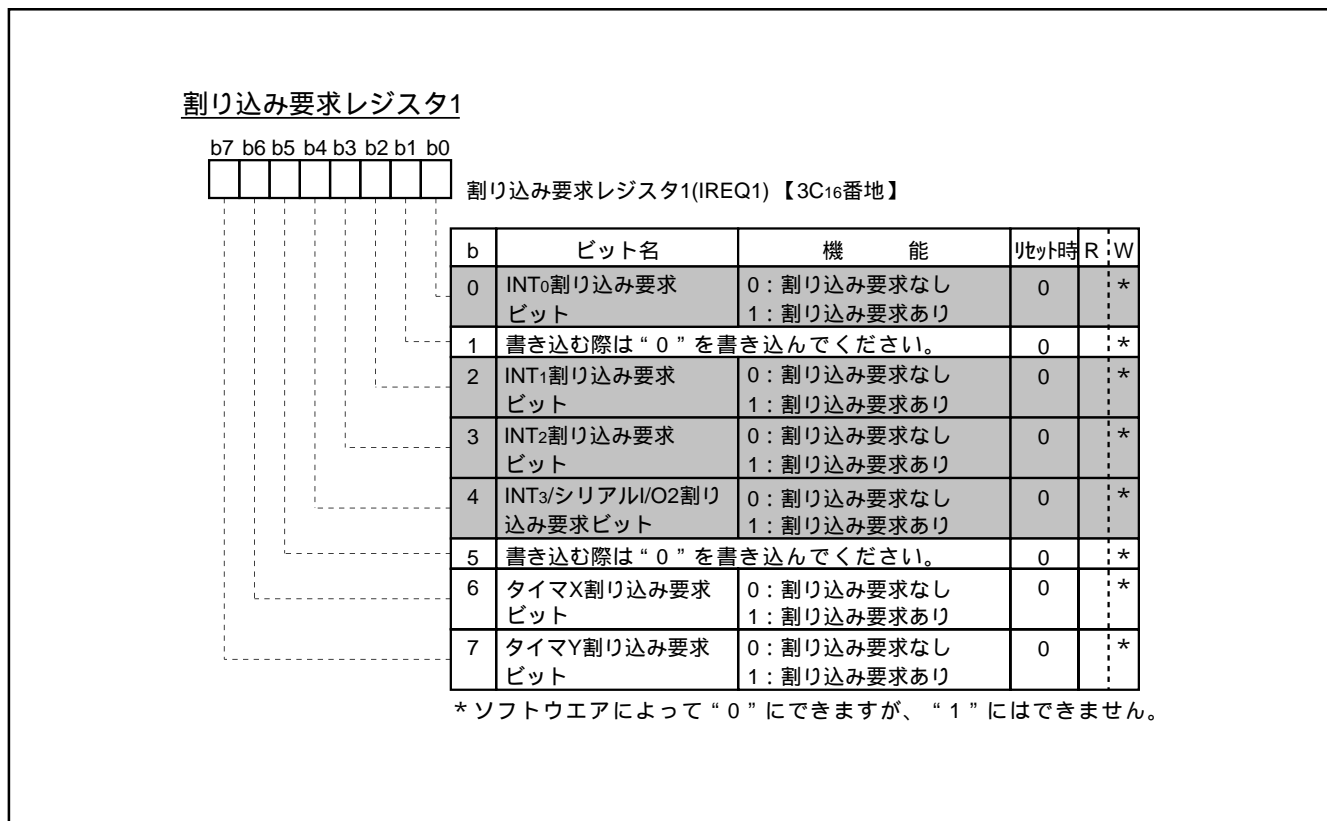


図2.3.8 割り込み要求レジスタ1の構成

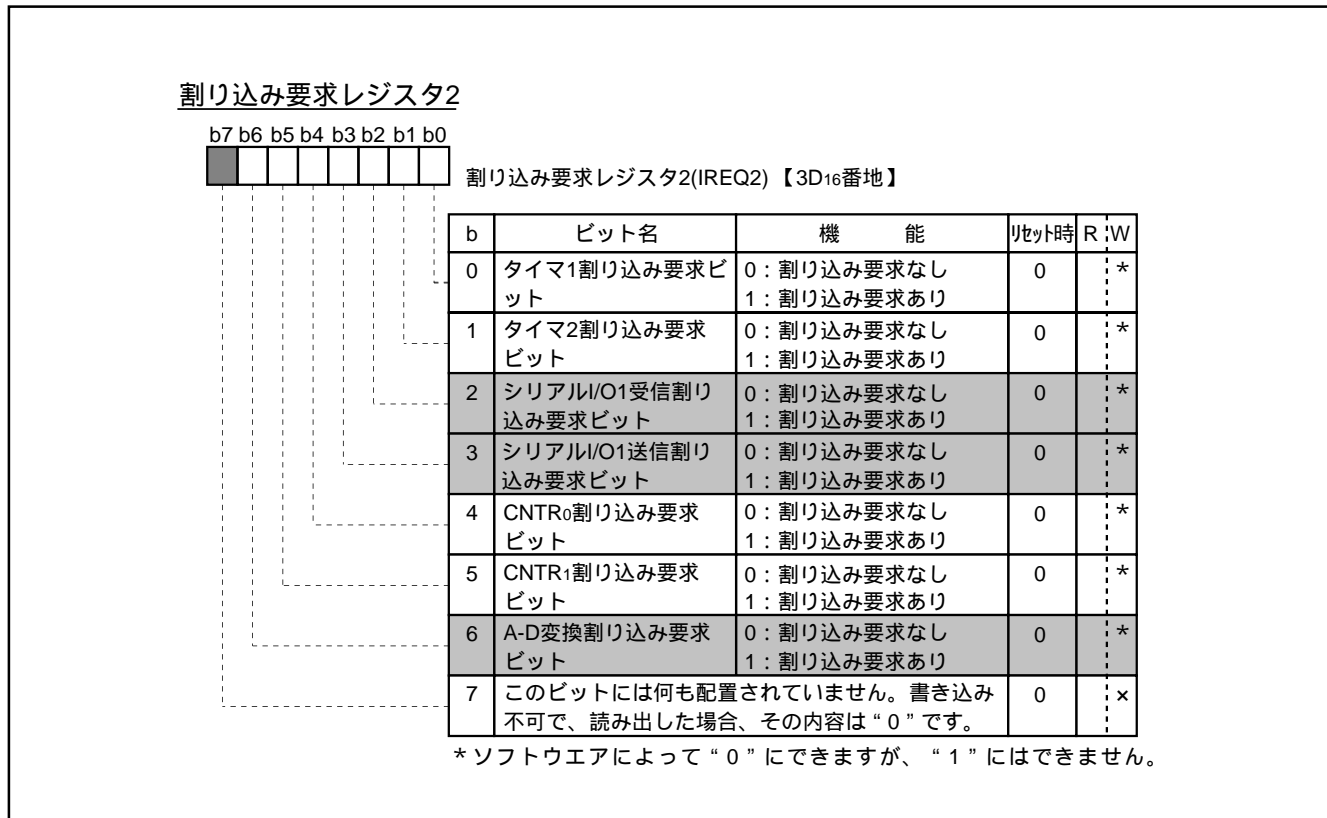


図2.3.9 割り込み要求レジスタ2の構成

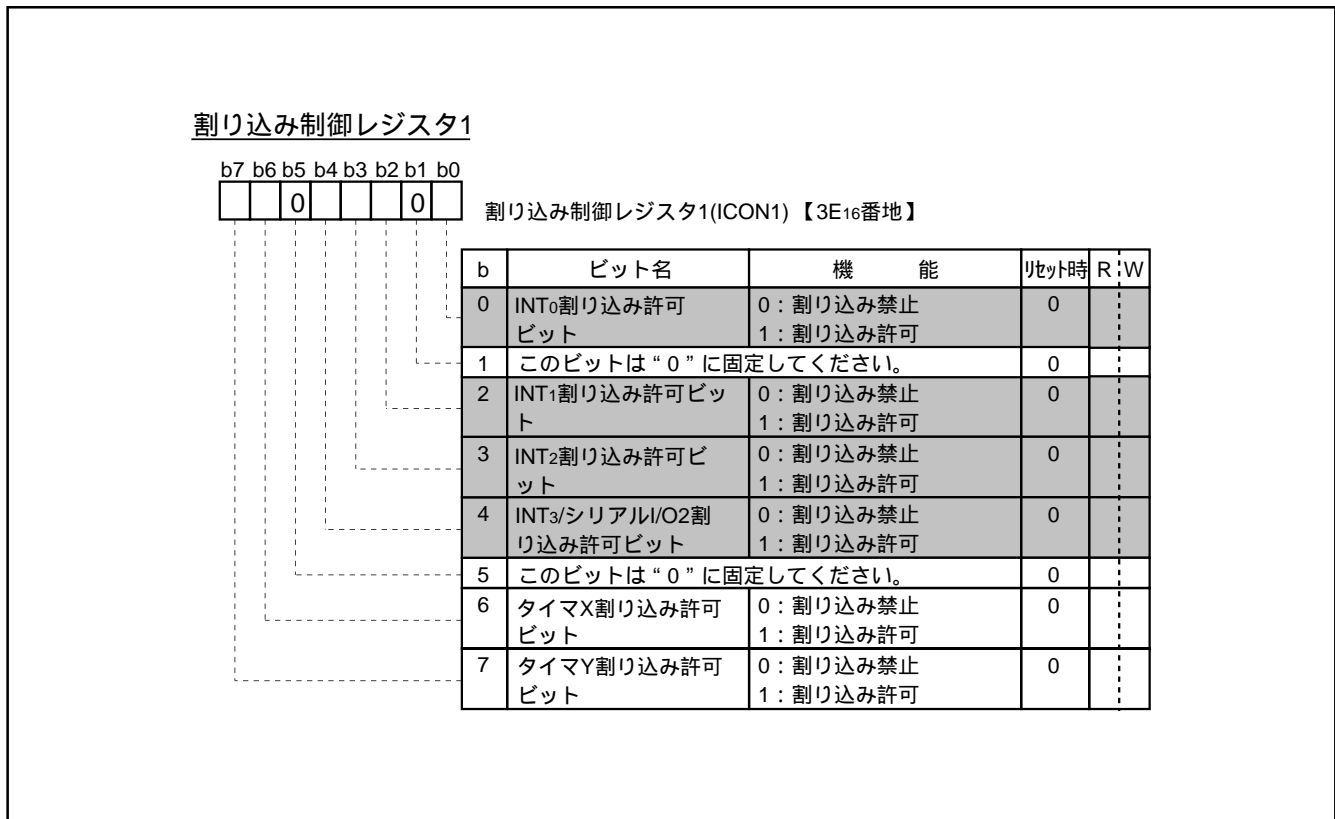


図2.3.10 割り込み制御レジスタ1の構成

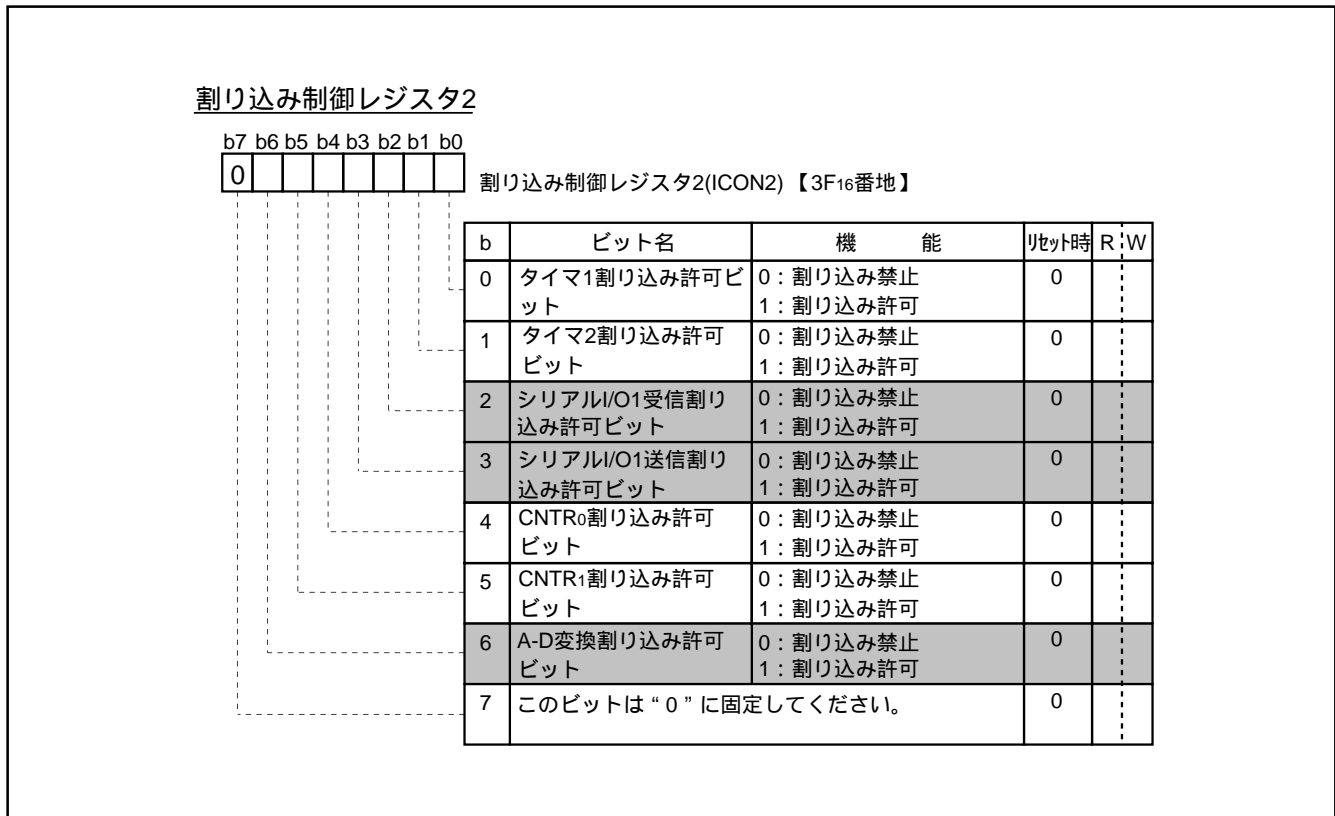


図2.3.11 割り込み制御レジスタ2の構成

2.3.3 タイマの応用例

(1) 基本的な機能と用途

[機能1] イベント間隔の管理(タイマX、タイマY、タイマ1、タイマ2)

タイマにカウント値を設定すると、一定時間後にタイマの割り込み要求が発生します。

用途

- ・出力信号のタイミング生成
- ・ウェイト時間の生成

[機能2] 周期的な動作の管理(タイマX、タイマY、タイマ1、タイマ2)

タイマがアンダフローするごとに、自動的にタイマラッチの値を対応するタイマに書き込み、周期的にタイマの割り込み要求が発生します。

用途

- ・周期的な割り込みの発生
- ・時計機能(250msの測定) 応用例1
- ・メインルーチンの周期管理

[機能3] 方形波の出力(タイマX、タイマY)

タイマがアンダフローするごとに、CNTR端子の出力レベルを反転します(パルス出力モード)。

用途

- ・圧電ブザー出力 応用例2
- ・リモコン搬送波の発生

[機能4] 外部パルスのカウント(タイマX、タイマY)

タイマのカウントソースとして、CNTR端子に入力される外部パルスをカウントします(イベントカウンタモード)。

用途

- ・周波数の測定 応用例3
- ・外部パルスの分周
- ・外部パルスをカウントソースとする周期の割り込み発生(リールパルスのカウント)

[機能5] 外部パルス幅の測定(タイマX、タイマY)

CNTR端子に入力される外部パルスの“ H ”レベル幅又は“ L ”レベル幅を測定します(パルス幅測定モード)。

用途

- ・外部パルスの周波数の測定(モータのFGパルス(注)のパルス幅測定) 応用例4
- ・外部パルスのデューティの測定(周波数が固定されている場合)

注. FGパルス : モータの速度制御を行うためモータの速度を検出するパルス

(2) タイマの応用例1：時計機能(250 msの測定)

ポイント：クロックをタイマで分周し、250 msごとに時計をカウントアップします。

仕様：・クロック $f(X_{IN}) = 4.19 \text{ MHz}$ (2^{22} Hz)をタイマXで分周。

・タイマX割り込み(250 msごとに発生)処理ルーチンで、時計をカウントアップ。

タイマの接続と分周比の設定を図2.3.12、関連レジスタの設定を図2.3.13、制御手順を図2.3.14に示します。

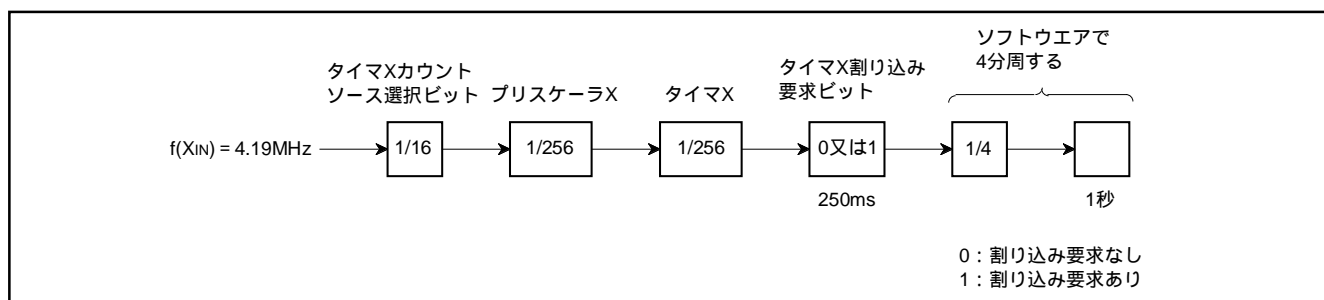


図2.3.12 タイマの接続と分周比の設定

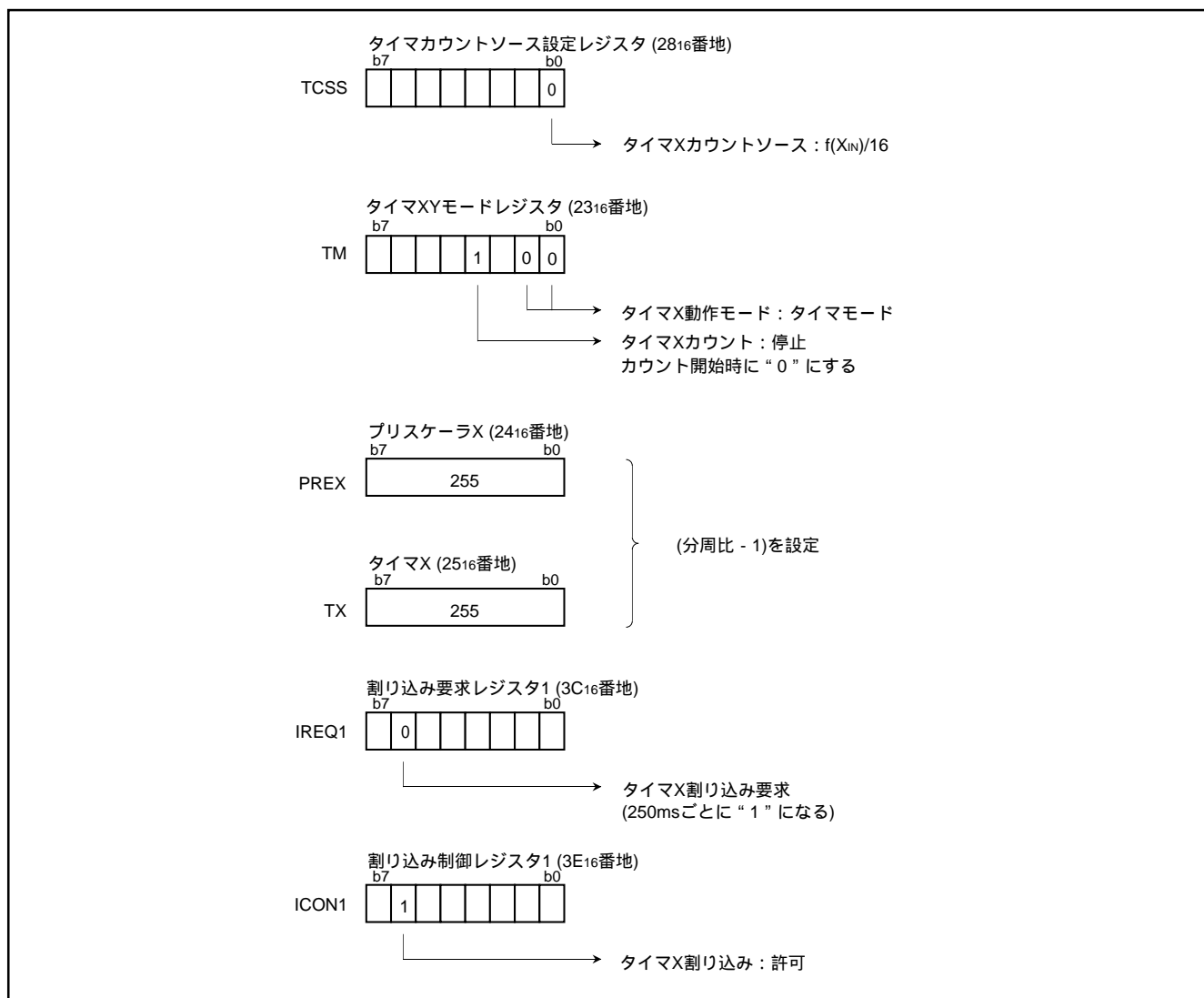


図2.3.13 関連レジスタの設定

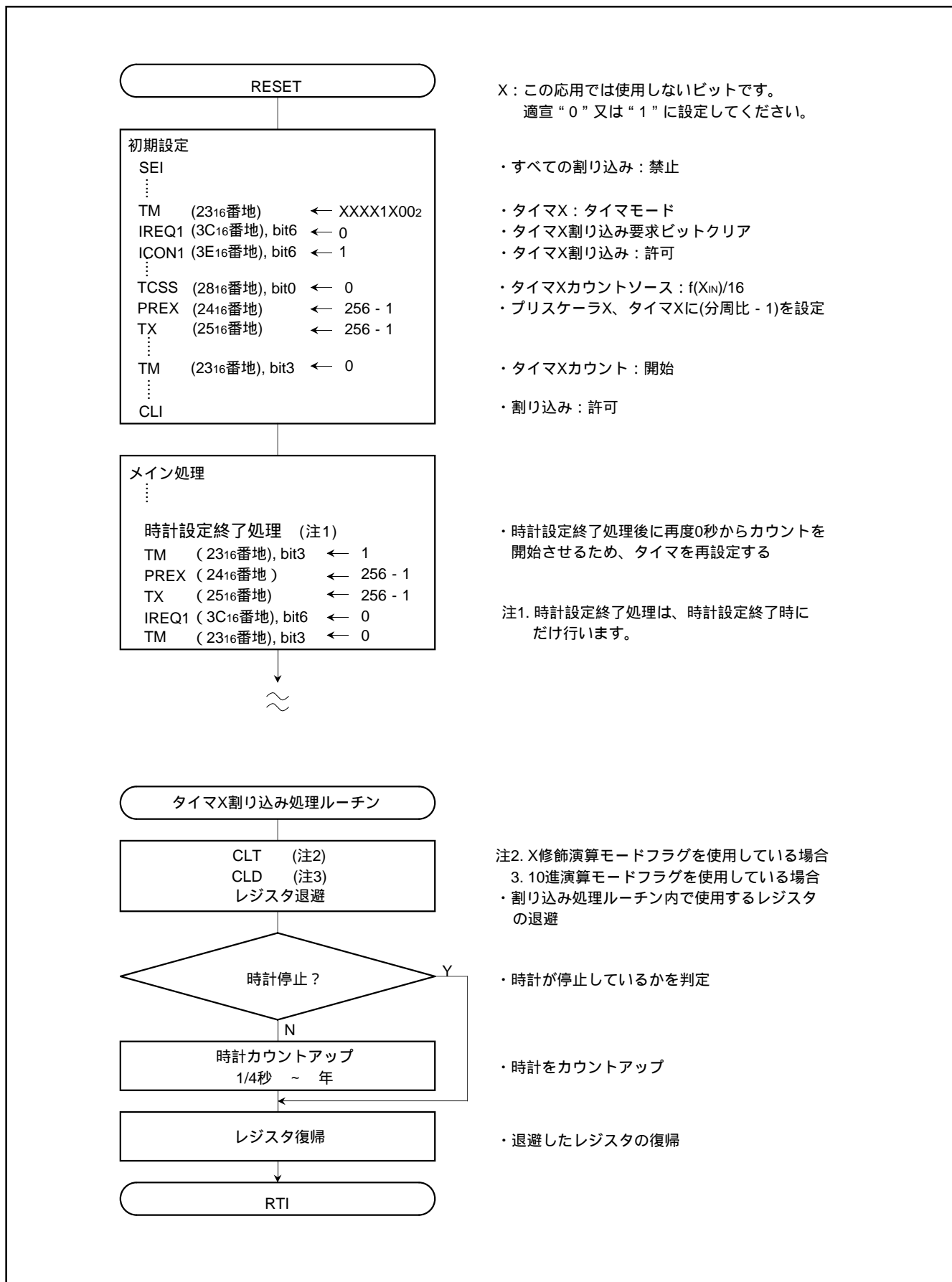


図2.3.14 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

仕様：・クロック $f(XIN) = 4.19\text{MHz}$ (2^{22} Hz)を約 2kHz (2048Hz)まで分周した方形波を、P27/CNTR0端子から出力。

・圧電ブザー出力停止中はP27/CNTR0端子のレベルを“H”に固定。

周辺回路例を図2.3.15、タイマの接続と分周比の設定を図2.3.16に示します。また、関連レジスタの設定を図2.3.17、制御手順を図2.3.18に示します。

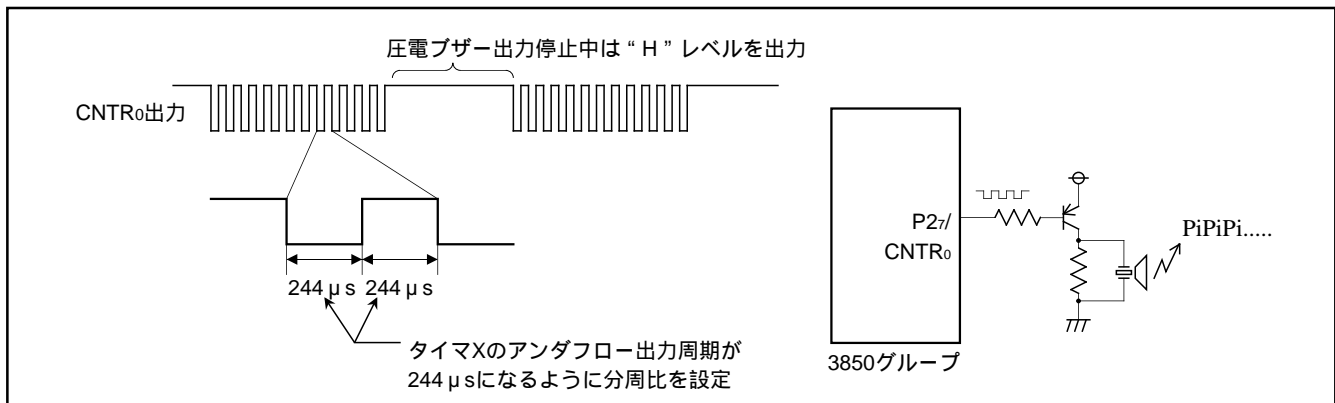


図2.3.15 周辺回路例

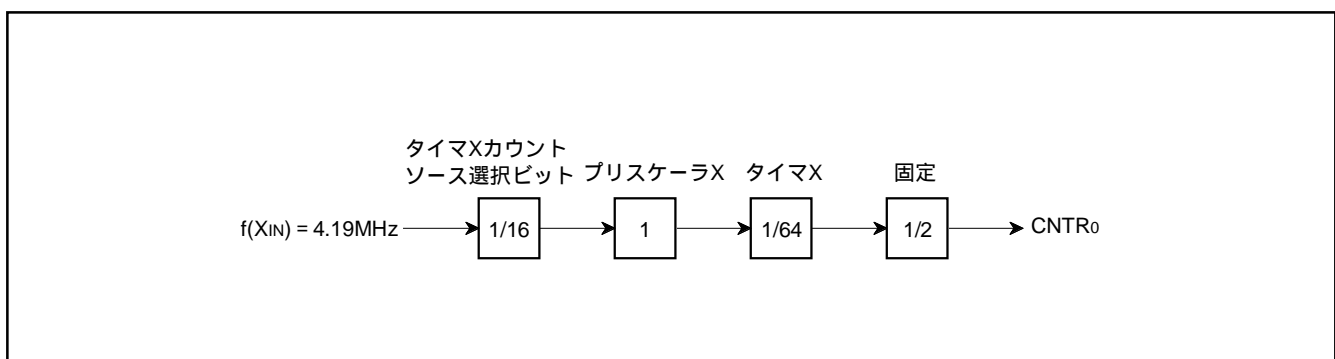


図2.3.16 タイマの接続と分周比の設定

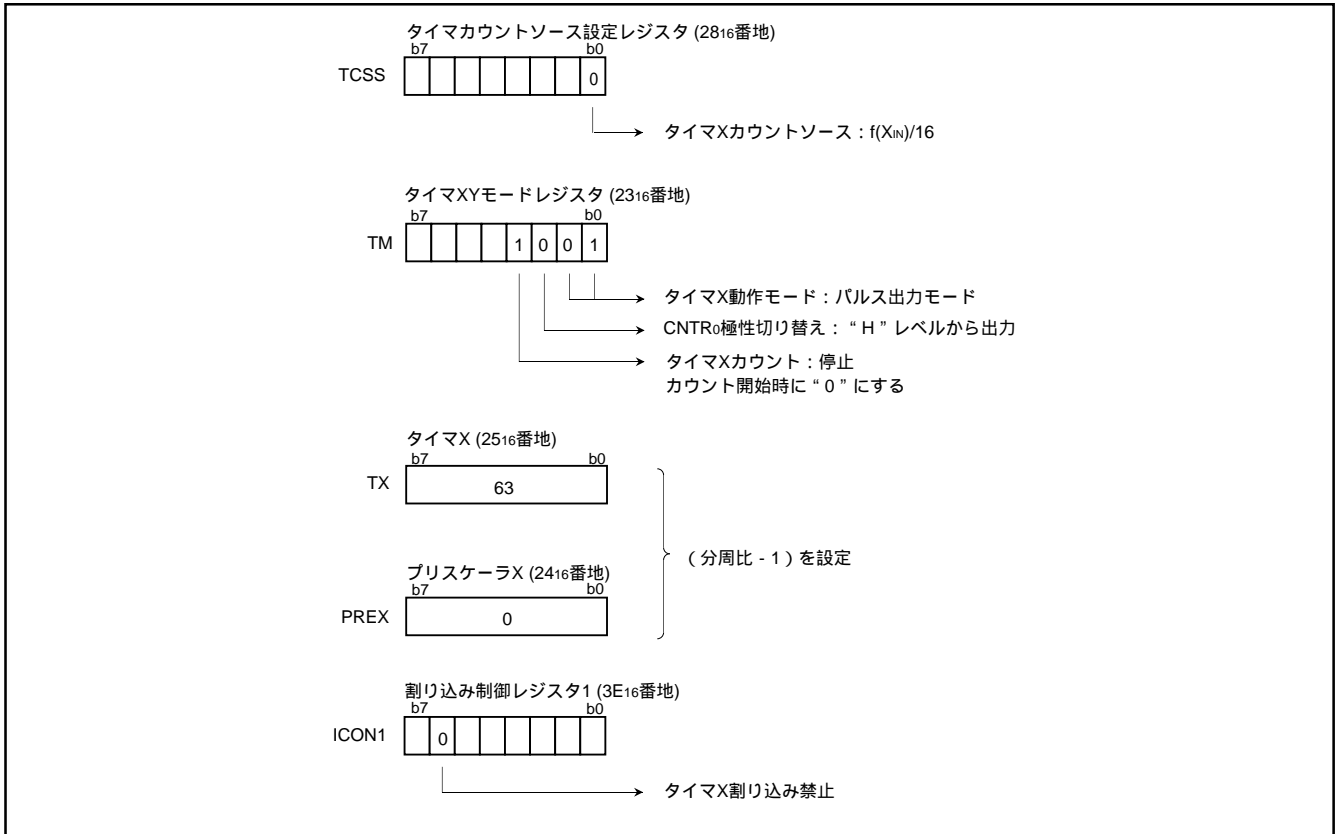


図2.3.17 関連レジスタの設定

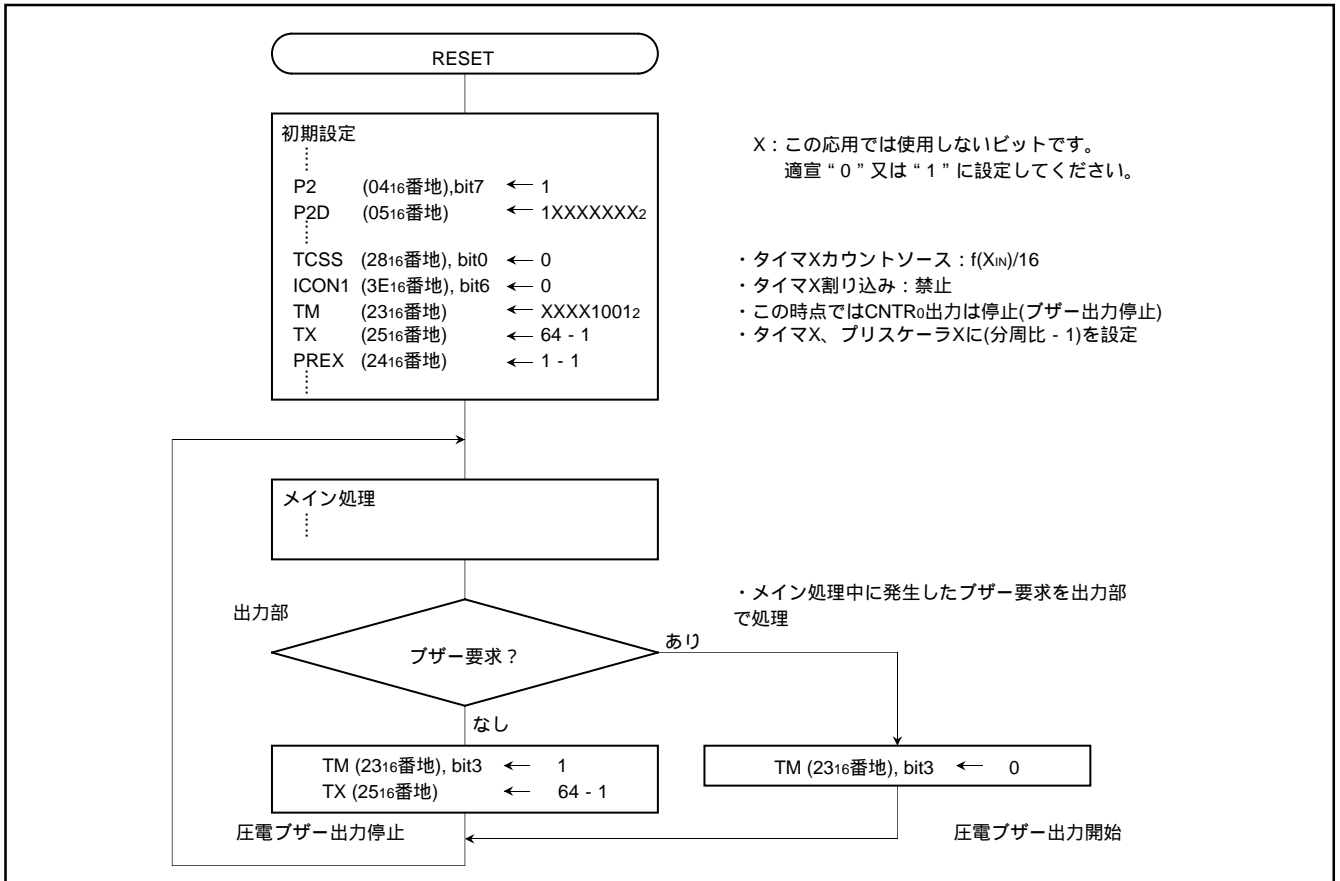


図2.3.18 制御手順

(4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P40/CNTR1端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕様：・ クロック $f(XIN) = 4.19\text{MHz}(2^{22}\text{Hz})$

- ・ P40/CNTR1端子にパルスを入力し、タイマYでカウント。
- ・ 約2ms(タイマ1割り込み間隔)ごとにカウント値を読み出し、28～40カウントの場合を有効と判断。
- ・ タイマがダウンカウンタであるため、227～215(注)とカウント値を比較。
注. $227 \sim 215 = 255(\text{カウンタの初期値}) - 28 \sim 40(\text{有効カウント数})$

入力パルスの有効又は無効の判定方法を図2.3.19、関連レジスタの設定を図2.3.20、制御手順を図2.3.21に示します。

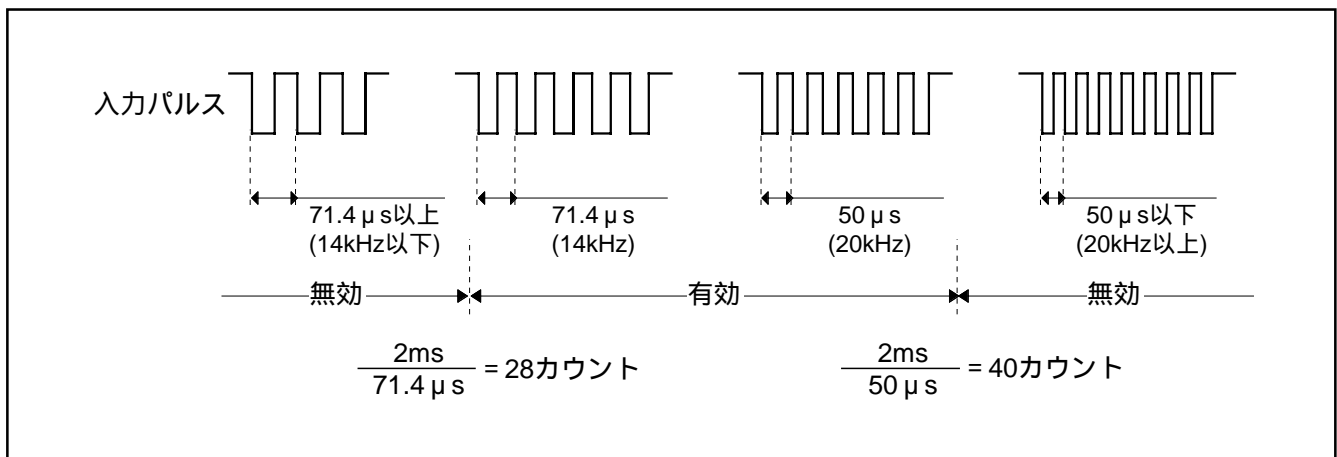


図2.3.19 入力パルス有効又は無効の判定方法

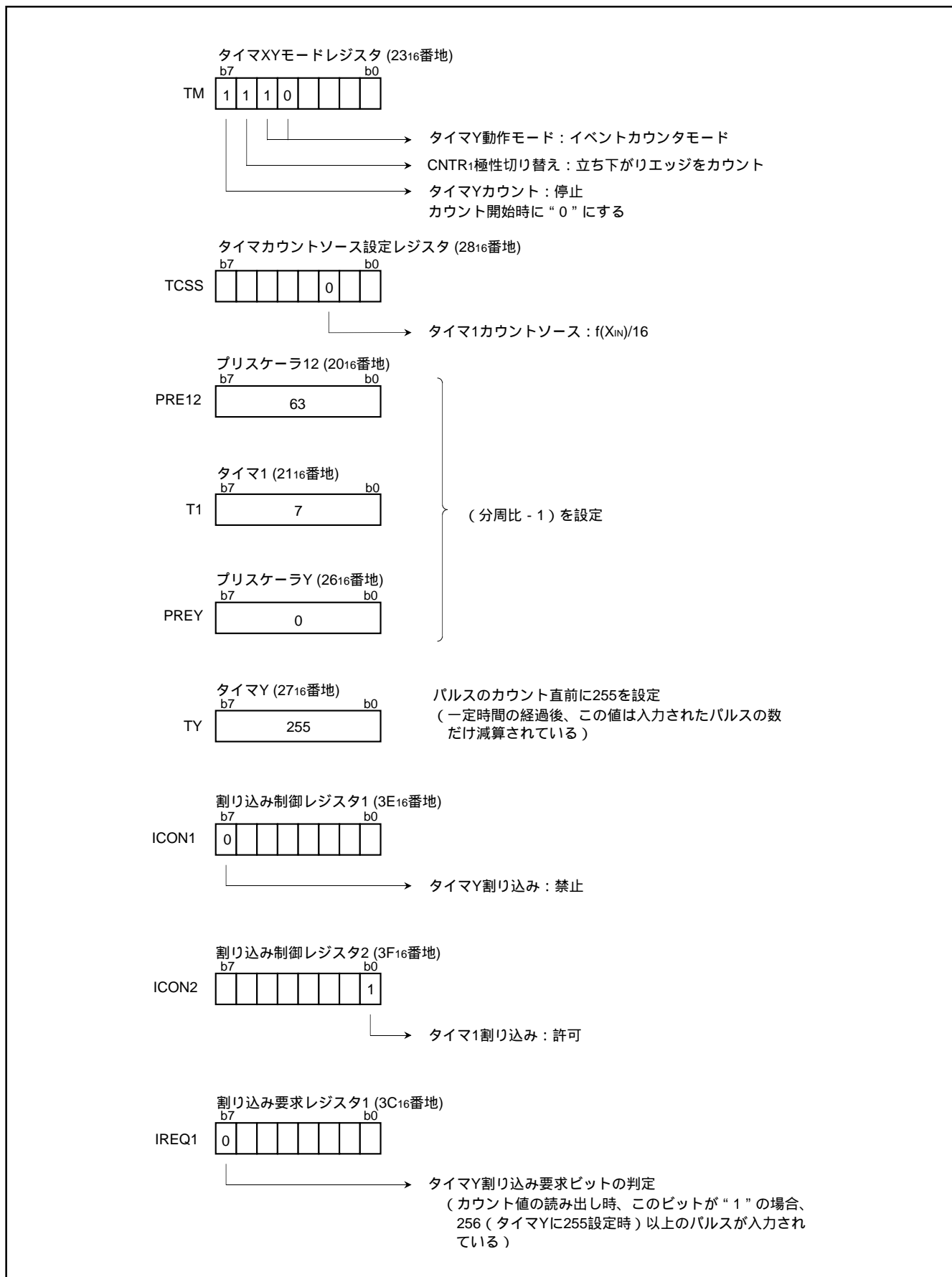


図2.3.20 関連レジスタの設定

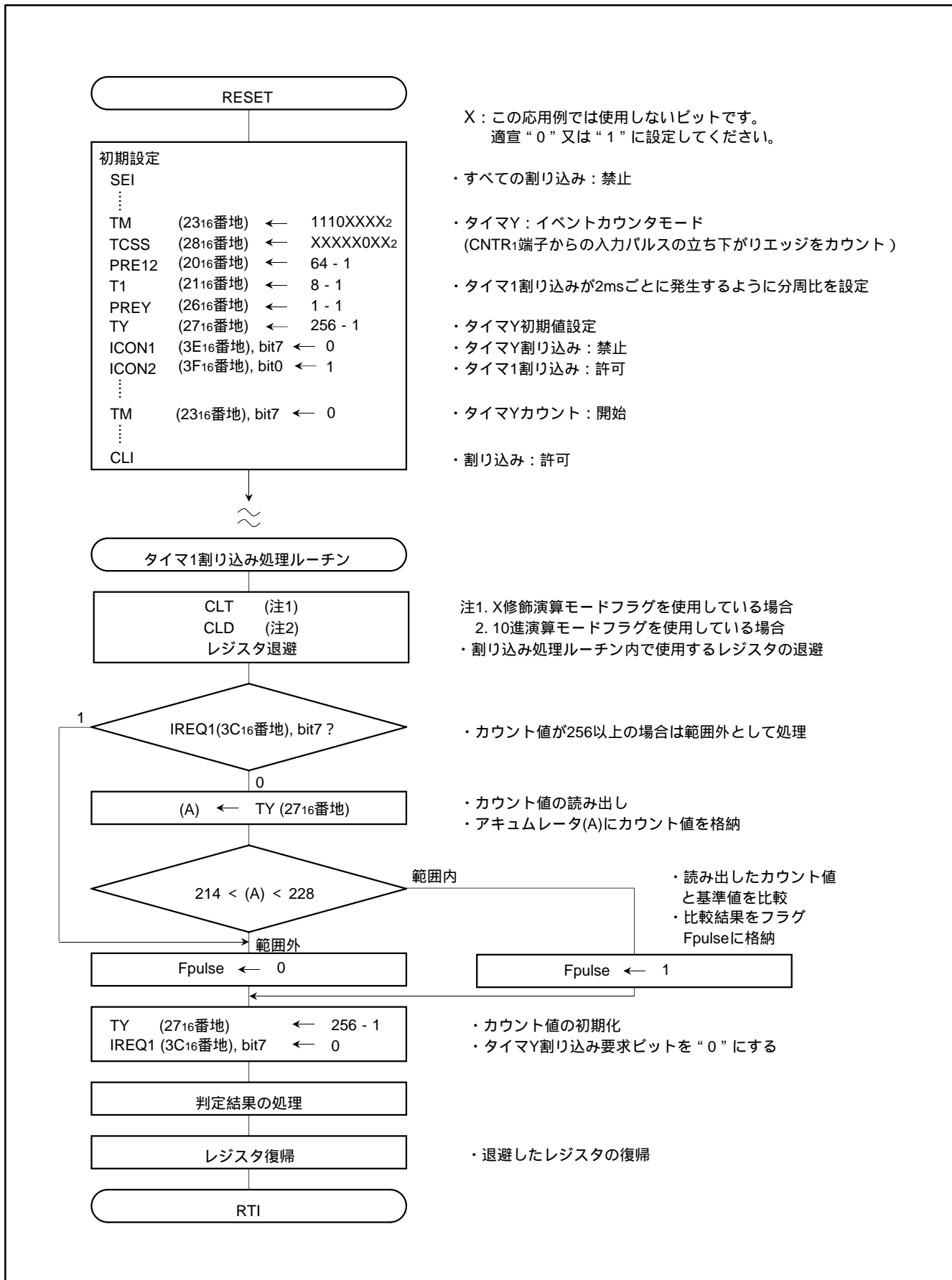


図2.3.21 制御手順

(5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：CNTR0端子に入力されるパルスの“H”レベル幅をタイマXでカウントします。アンダフローはタイマX割り込みで検出され、入力パルスの“H”レベルの終了はCNTR0割り込みで検出されます。

仕様：CNTR0端子から入力されるFGパルスの“H”レベル幅をタイマXでカウント

例：4.19 MHzの場合、16分周された3.8 μ sがカウントソースとなる。FFFF₁₆ ~ 0000₁₆の範囲で250 msまで測定可能。

タイマの接続と分周比の設定を図2.3.22、関連レジスタの設定を図2.3.23、制御手順を図2.3.24に示します。

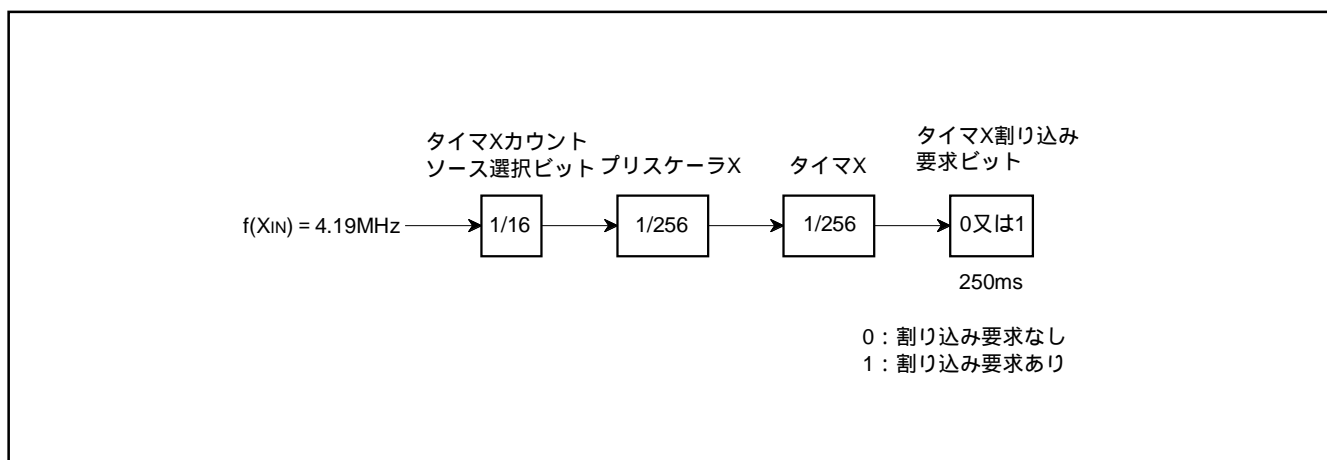


図2.3.22 タイマの接続と分周比の設定

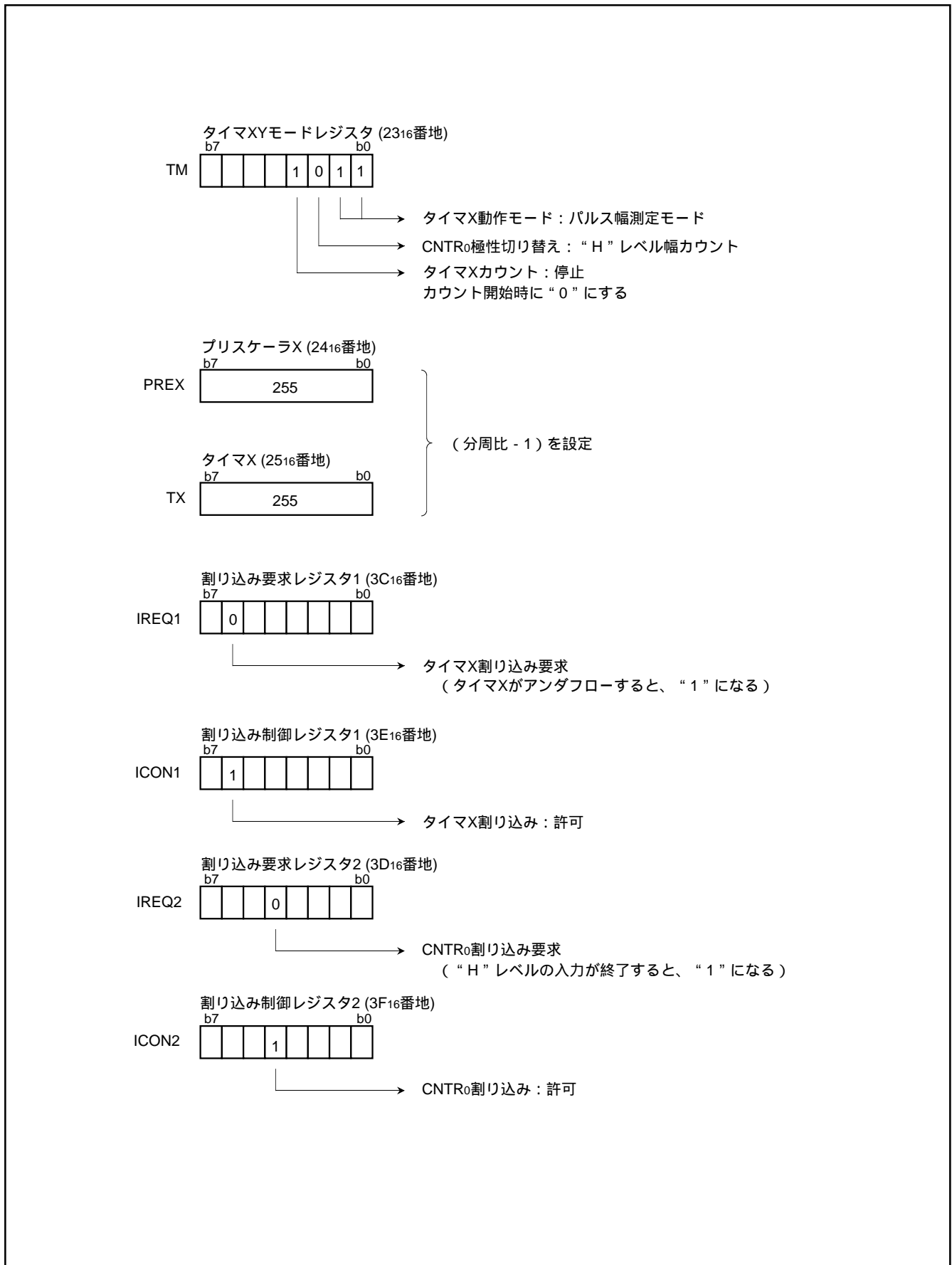


図2.3.23 関連レジスタの設定

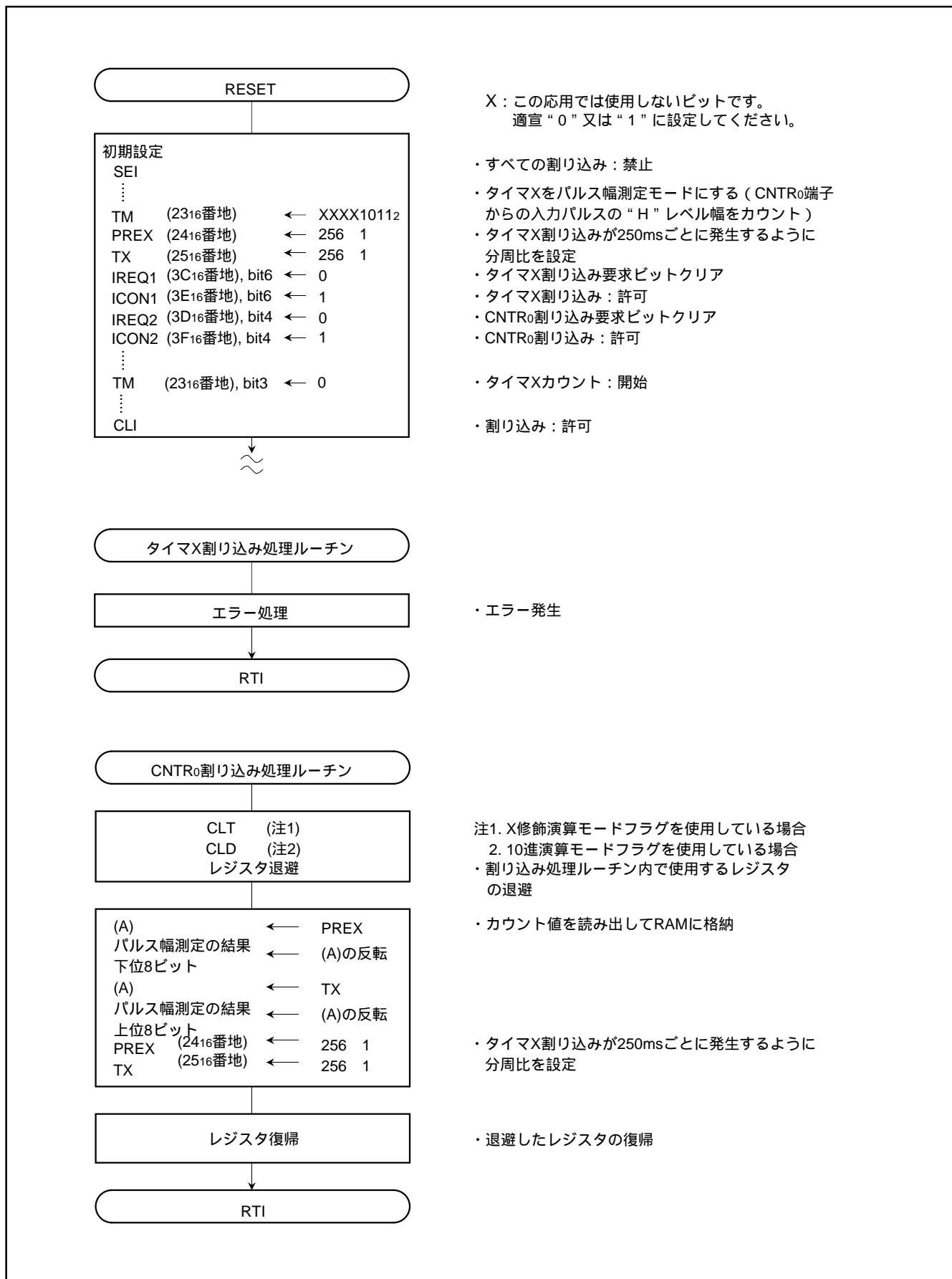


図2.3.24 制御手順

2.3.4 タイマに関する注意事項

タイマラッチに値n(“ 0 ”~“ 255 ”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

2

2.4 シリアルI/O

本節ではシリアルI/Oに関するレジスタの設定方法、注意事項などを説明します。

2.4.1 メモリ配置図



図2.4.1 シリアルI/O関連レジスタのメモリ配置

2.4.2 関連レジスタ

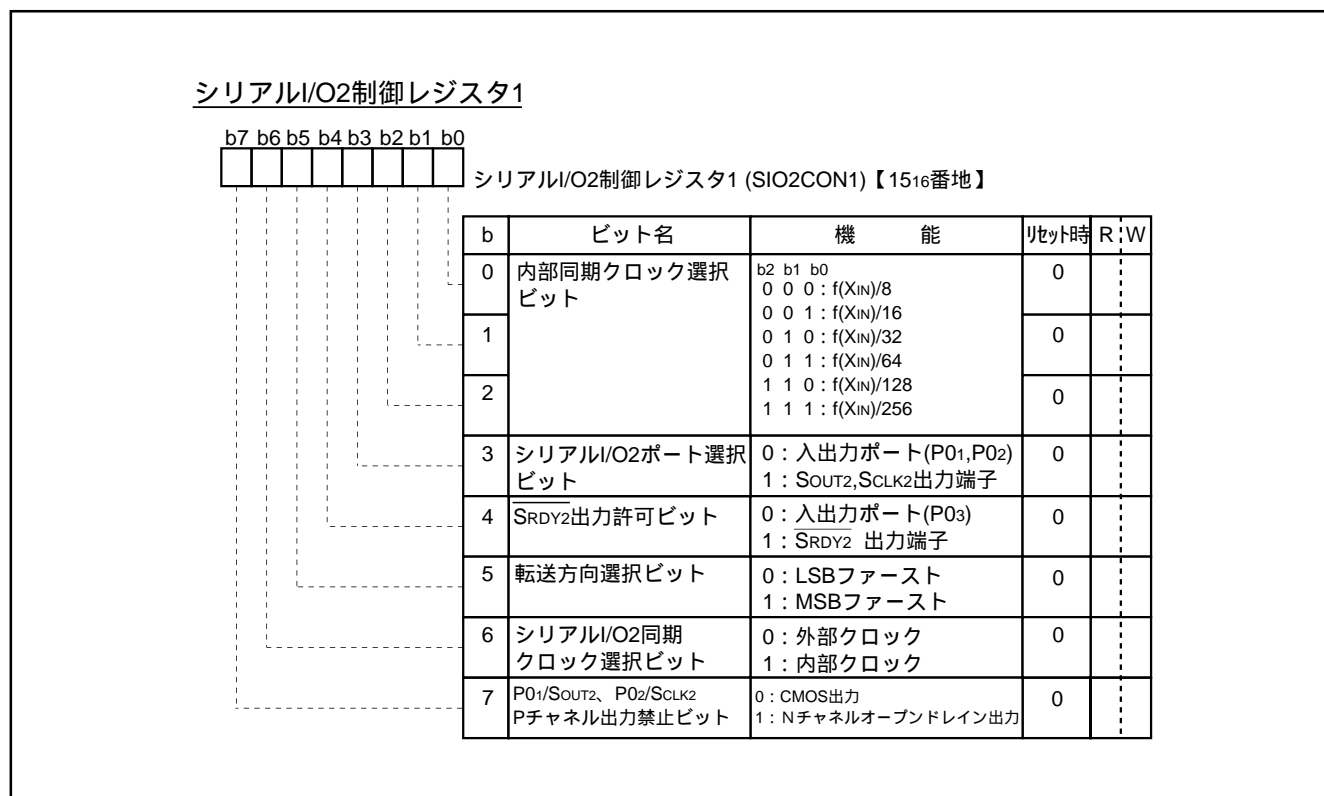


図2.4.2 シリアル/O2制御レジスタ1の構成

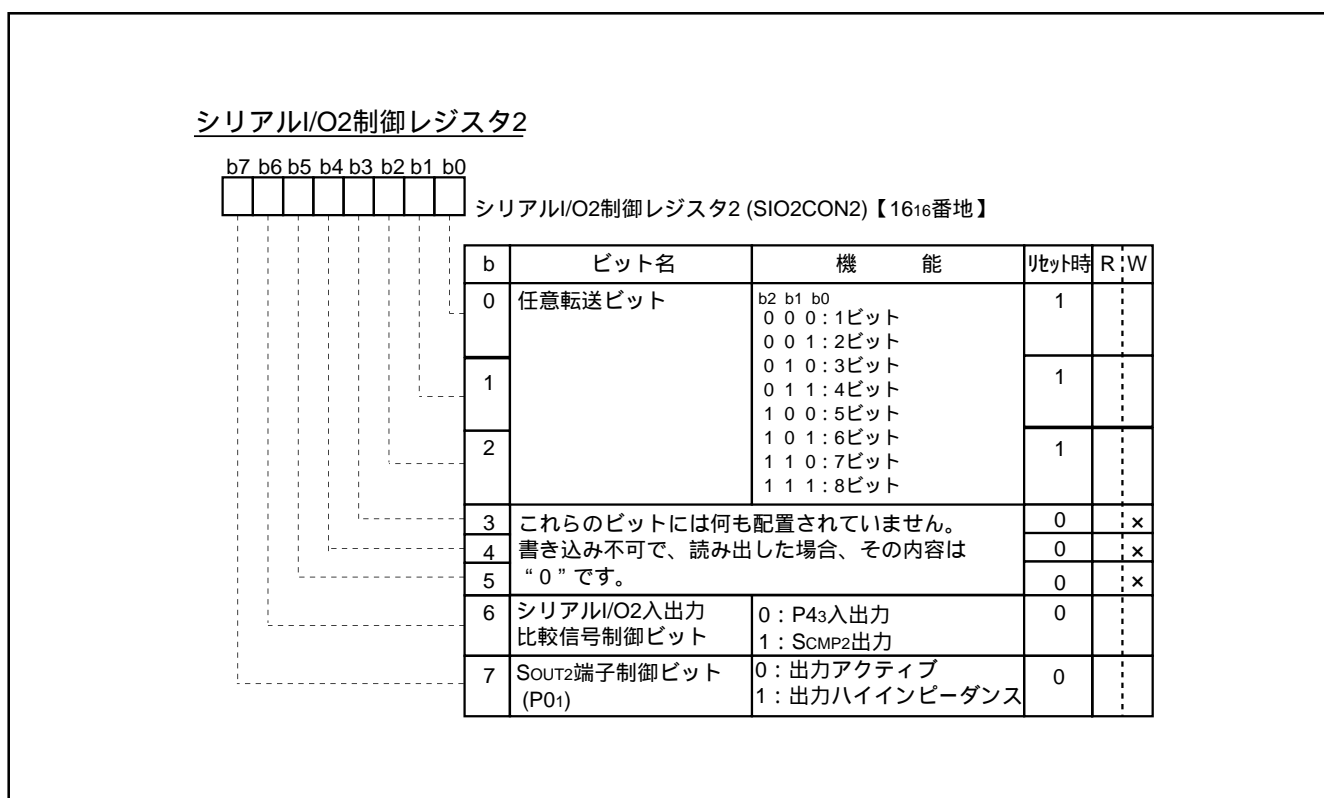


図2.4.3 シリアル/O2制御レジスタ2の構成

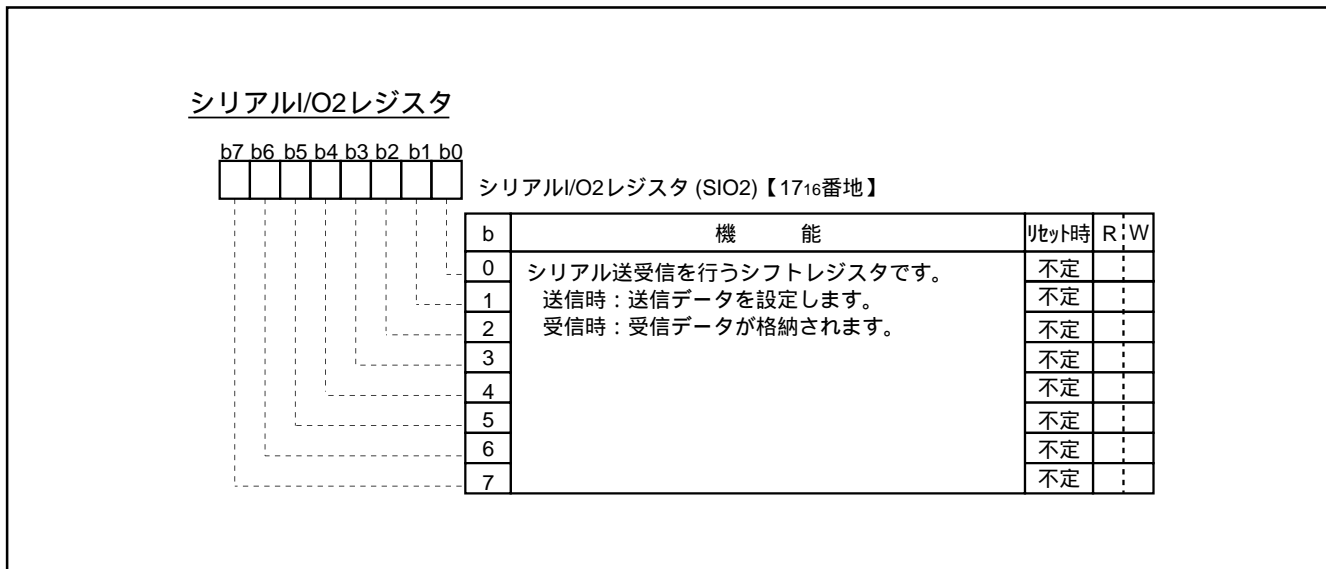


図2.4.4 シリアルI/Oレジスタの構成

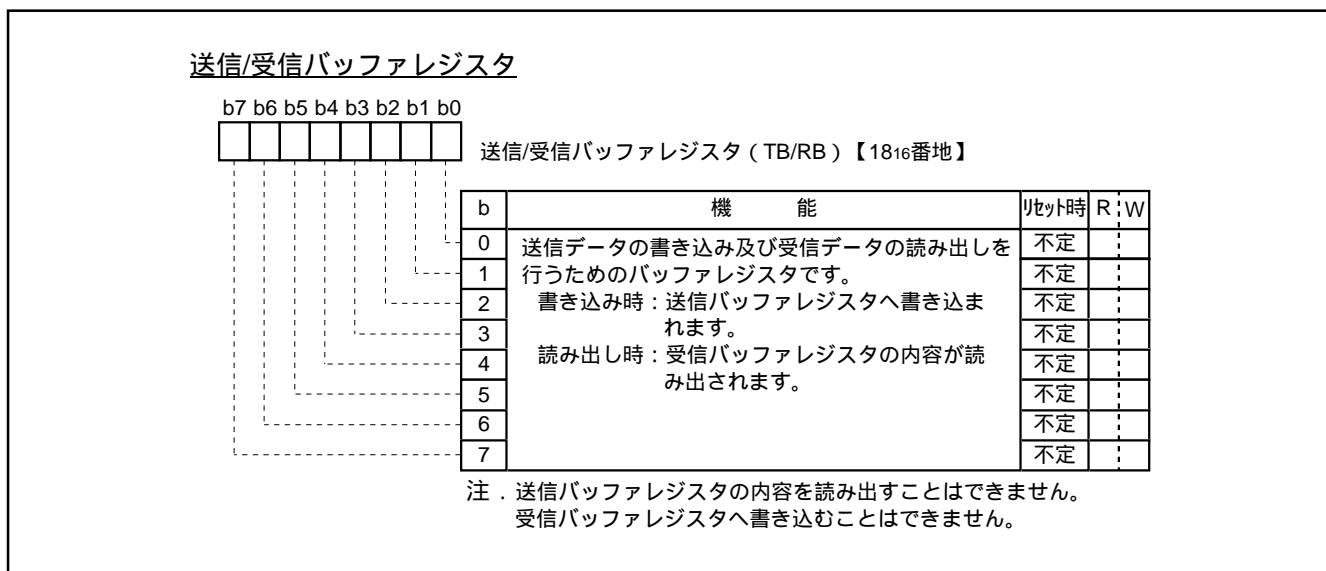
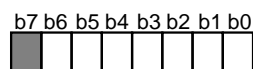


図2.4.5 送信/受信バッファレジスタの構成

シリアルI/O1ステータスレジスタ

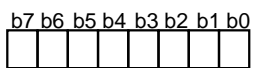


シリアルI/O1ステータスレジスタ(SIOSTS)【19₁₆番地】

b	ビット名	機能	リセット時	R/W
0	送信バッファエンプティフラグ(TBE)	0:バッファフル状態 1:バッファエンプティ状態	0	x
1	受信バッファフルフラグ(RBF)	0:バッファエンプティ状態 1:バッファフル状態	0	x
2	送信シフトレジスタシフト終了フラグ(TSC)	0:送信シフト中 1:送信シフト終了	0	x
3	オーバランエラーフラグ(OE)	0:オーバランエラーなし 1:オーバランエラー発生	0	x
4	パリティエラーフラグ(PE)	0:パリティエラーなし 1:パリティエラー発生	0	x
5	フレーミングエラーフラグ(FE)	0:フレーミングエラーなし 1:フレーミングエラー発生	0	x
6	サミングエラーフラグ(SE)	0:(OE) (PE) (FE) = 0 1:(OE) (PE) (FE) = 1	0	x
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1	x

図2.4.6 シリアルI/O1ステータスレジスタの構成

シリアルI/O1制御レジスタ



シリアルI/O1制御レジスタ(SIOCON)【1A₁₆番地】

b	ビット名	機能	リセット時	R/W
0	BRGカウントソース選択ビット(CSS)	0: f(X _{IN}) 1: f(X _{IN})/4	0	
1	シリアルI/O1同期クロック選択ビット(SCS)	クロック同期形シリアルI/O選択時 0:BRG出力の4分周 1:外部クロック入力 UART選択時 0:BRG出力の16分周 1:外部クロック入力の16分周	0	
2	SRDY ₁ 出力許可ビット(SRDY)	0: 入出力ポート (P27) 1: SRDY ₁ 出力端子	0	
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファエンプティ 1: 送信シフト動作終了	0	
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	
6	シリアルI/O1モード選択ビット(SIOM)	0: UART 1: クロック同期形シリアルI/O	0	
7	シリアルI/O1許可ビット(SIOE)	0: シリアルI/O1禁止 (P24 ~ P27: 入出力ポート) 1: シリアルI/O1許可 (P24 ~ P27: シリアルI/O機能端子)	0	

図2.4.7 シリアルI/O1制御レジスタの構成

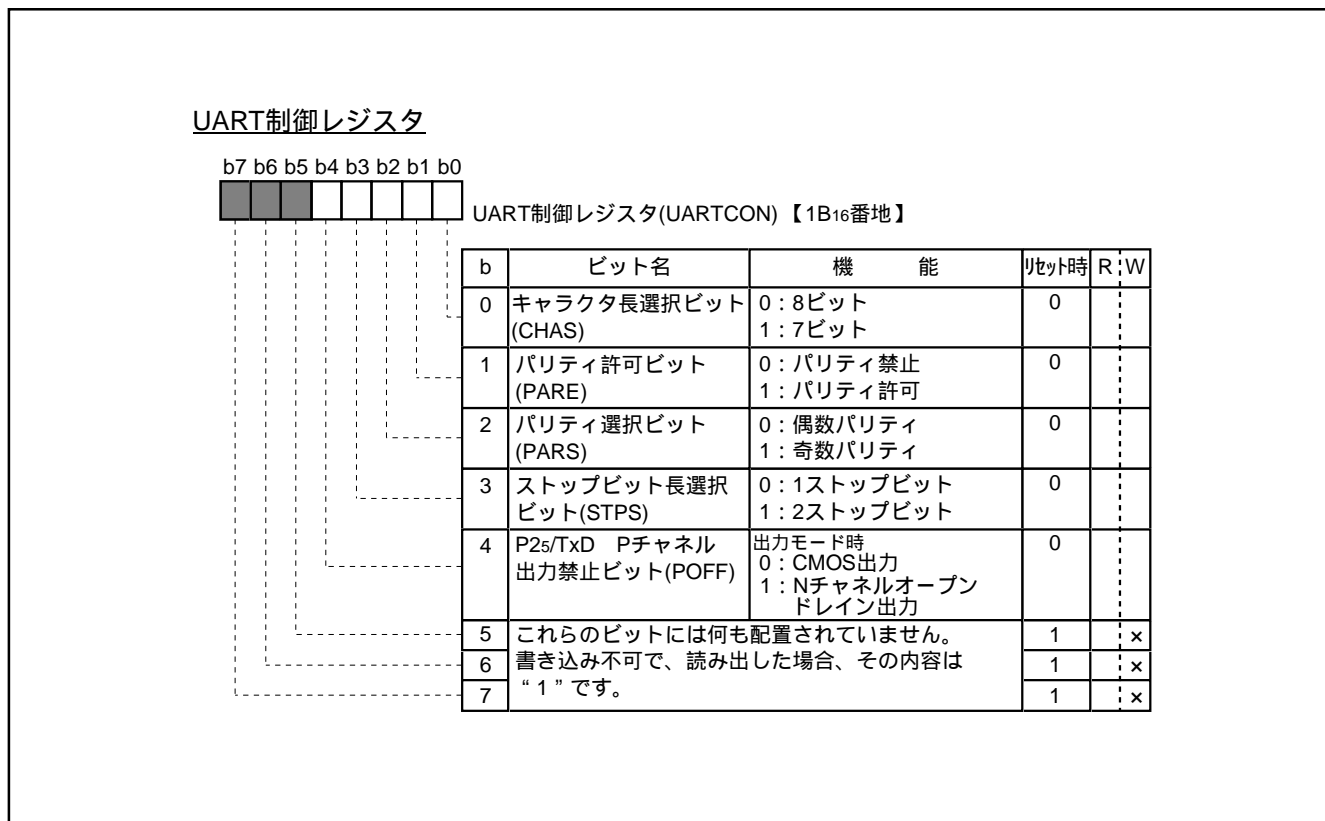


図2.4.8 UART制御レジスタの構成

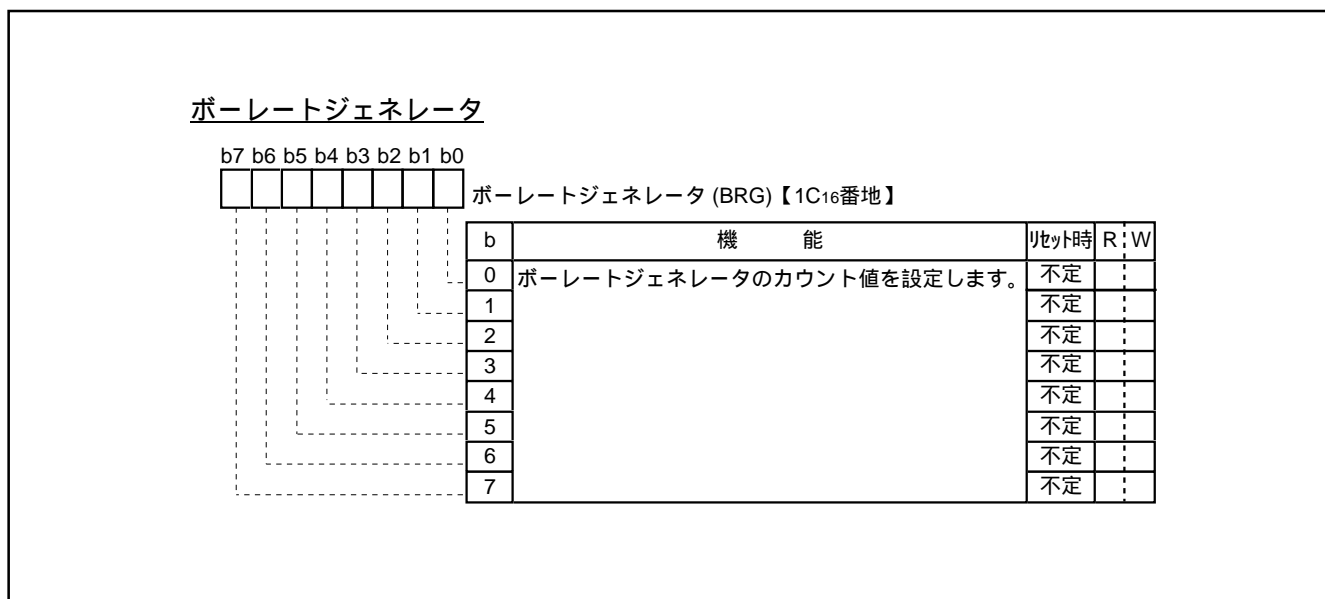
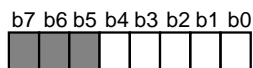


図2.4.9 ボーレートジェネレータの構成

割り込みエッジ選択レジスタ



割り込みエッジ選択レジスタ(INTEDGE)【3A16番地】

b	ビット名	機能	ビット時	R	W
0	INT ₀ 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0		
1	INT ₁ 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0		
2	INT ₂ 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0		
3	INT ₃ 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0		
4	シリアル/O ₂ /INT ₃ 割り込み要因ビット	0:INT ₃ 割り込み 1:シリアル/O ₂ 割り込み	0		
5	これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0		x
6			0		x
7			0		x

図2.4.10 割り込みエッジ選択レジスタの構成

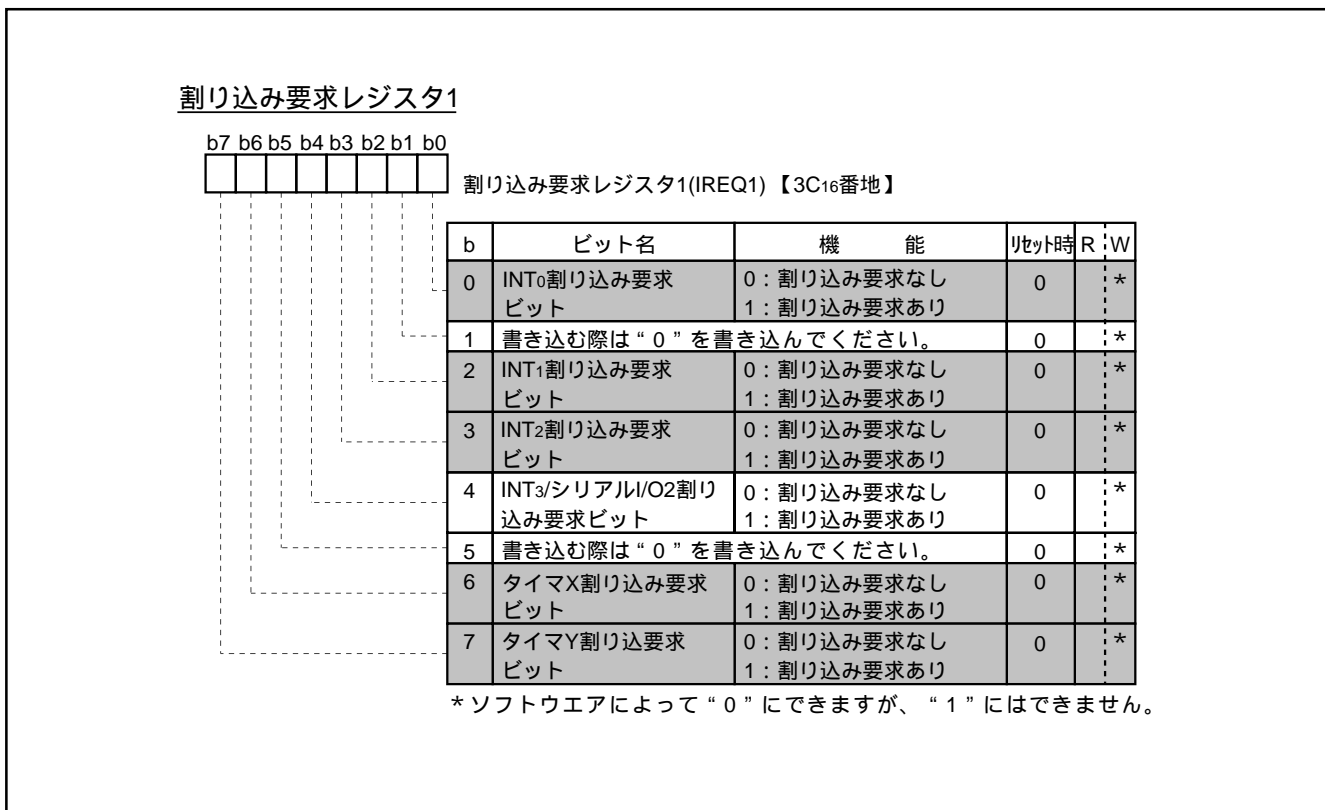


図2.4.11 割り込み要求レジスタ1の構成

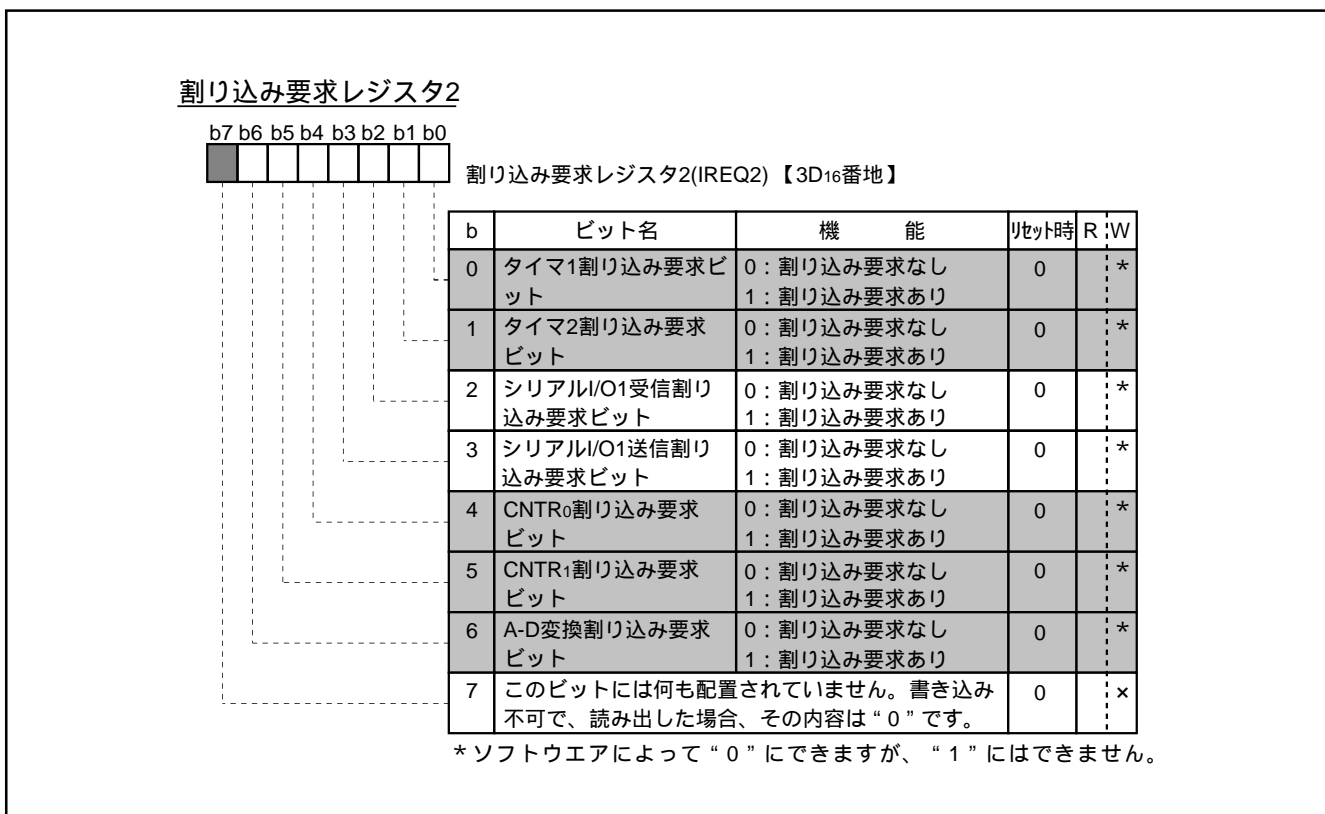


図2.4.12 割り込み要求レジスタ2の構成

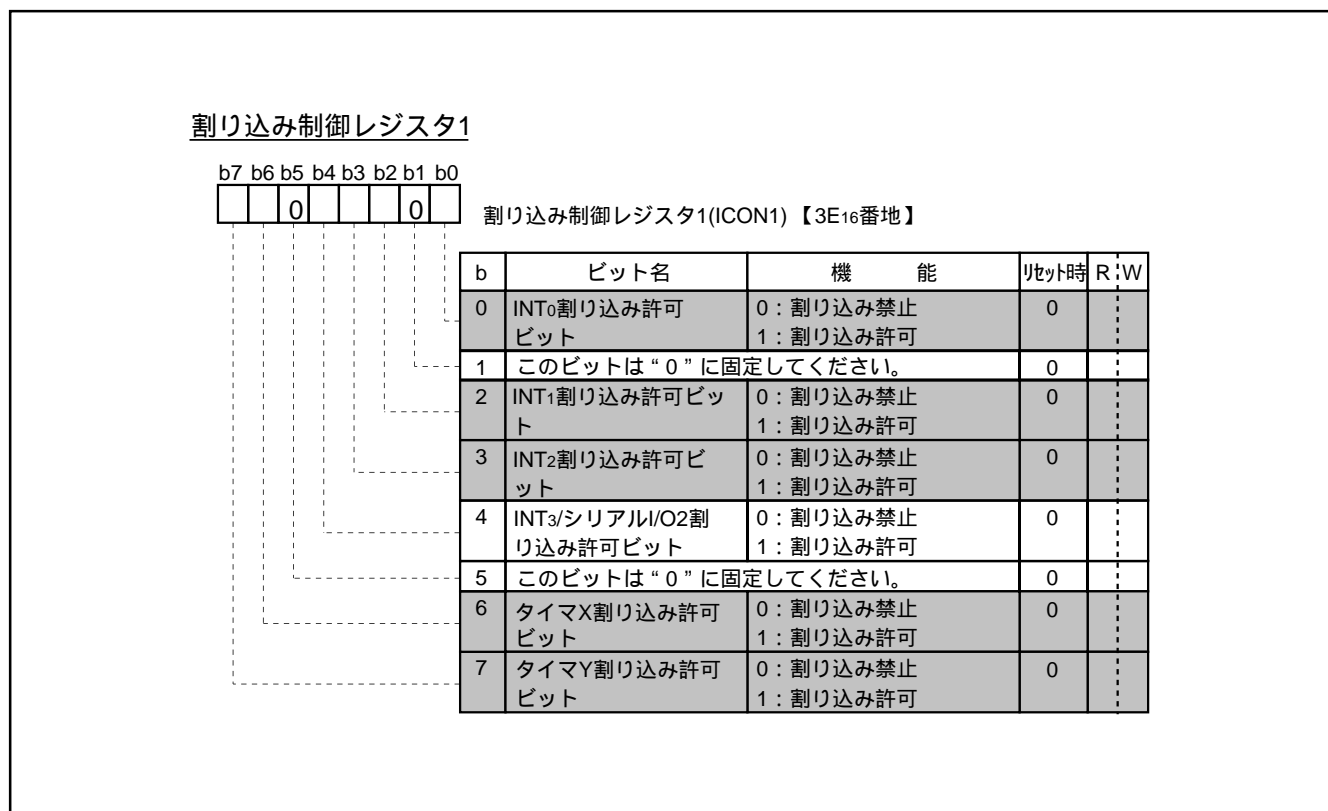


図2.4.13 割り込み制御レジスタ1の構成

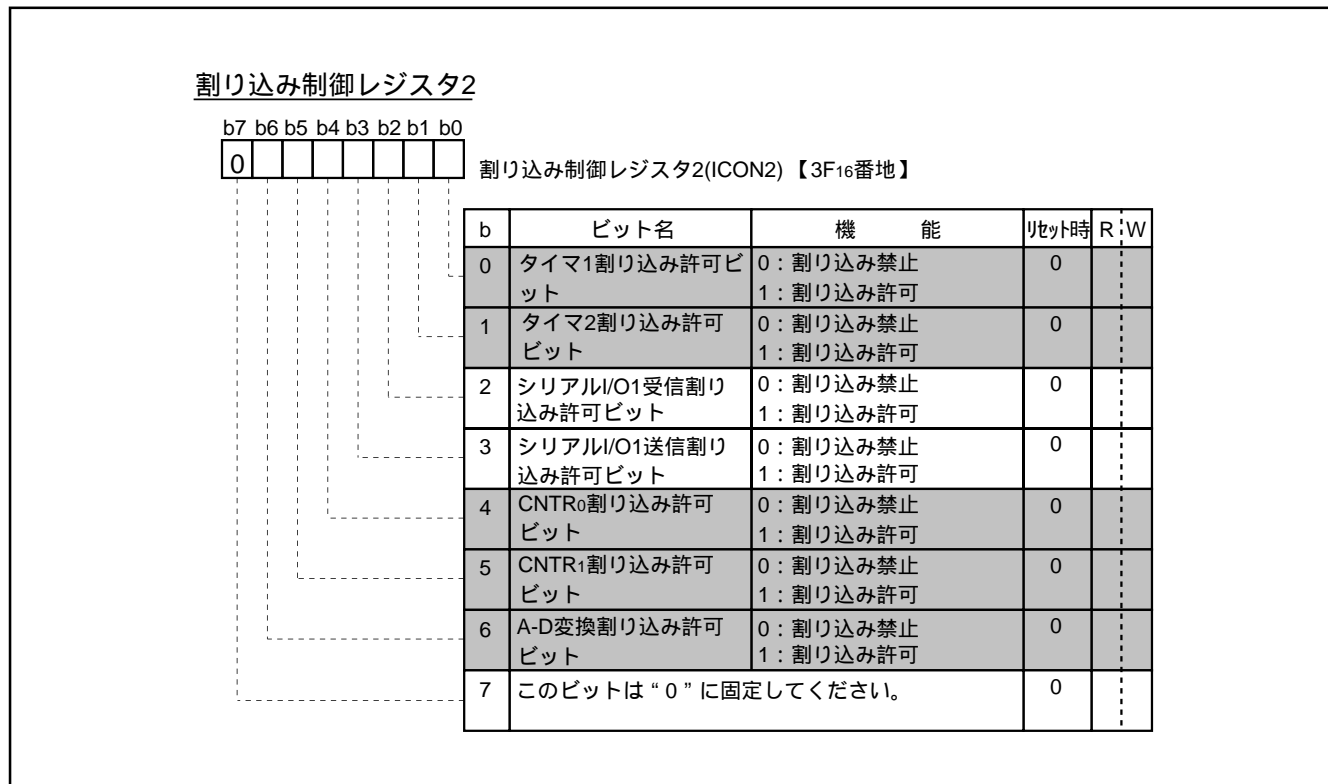


図2.4.14 割り込み制御レジスタ2の構成

2.4.3 シリアルI/Oの接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.4.15に示します。
 いずれもクロック同期形シリアルI/Oモードを使用した接続例です。

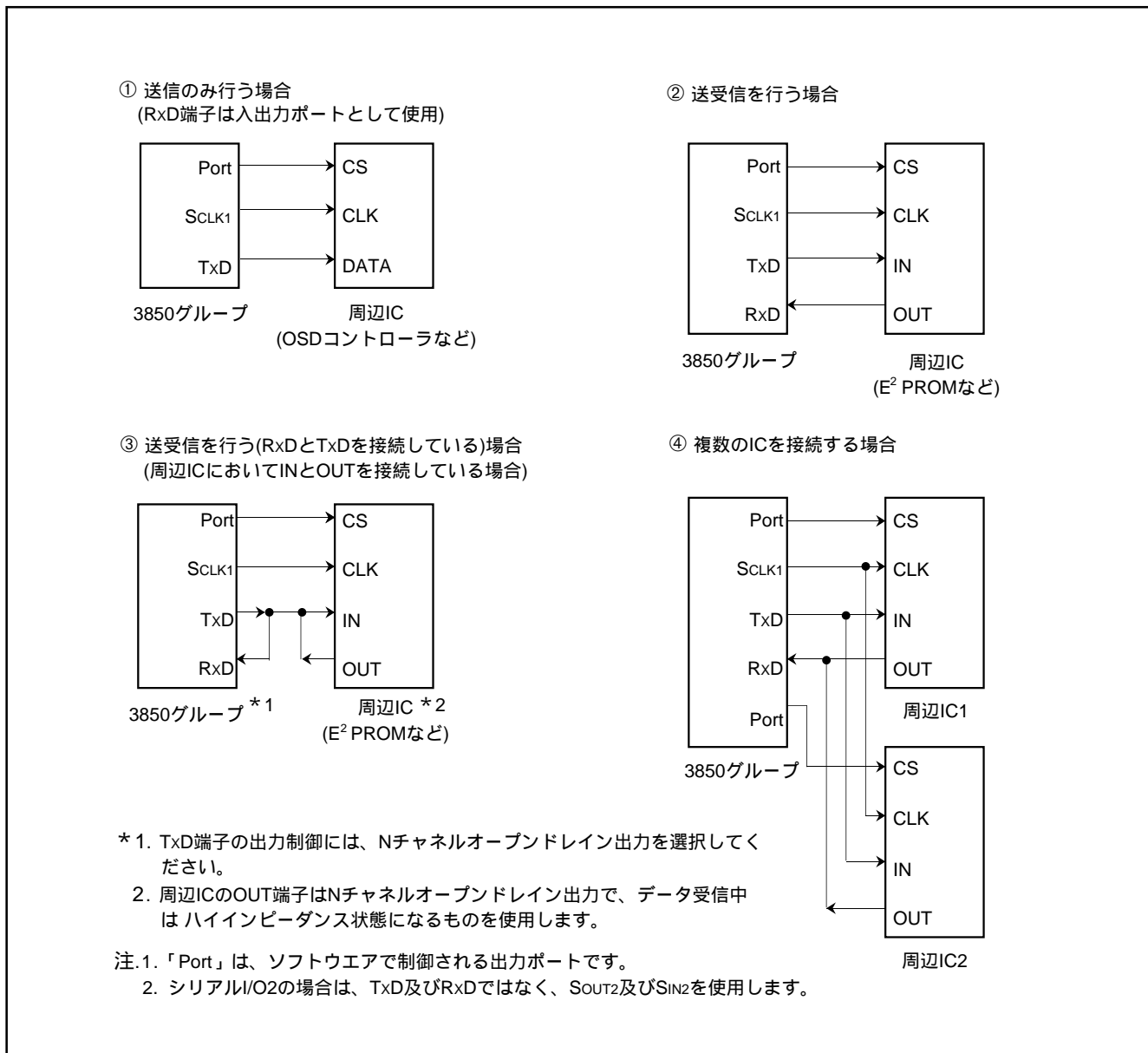


図2.4.15 シリアルI/Oの接続例1

(2) マイコンとの接続

他のマイコンとの接続例を図2.4.16に示します。

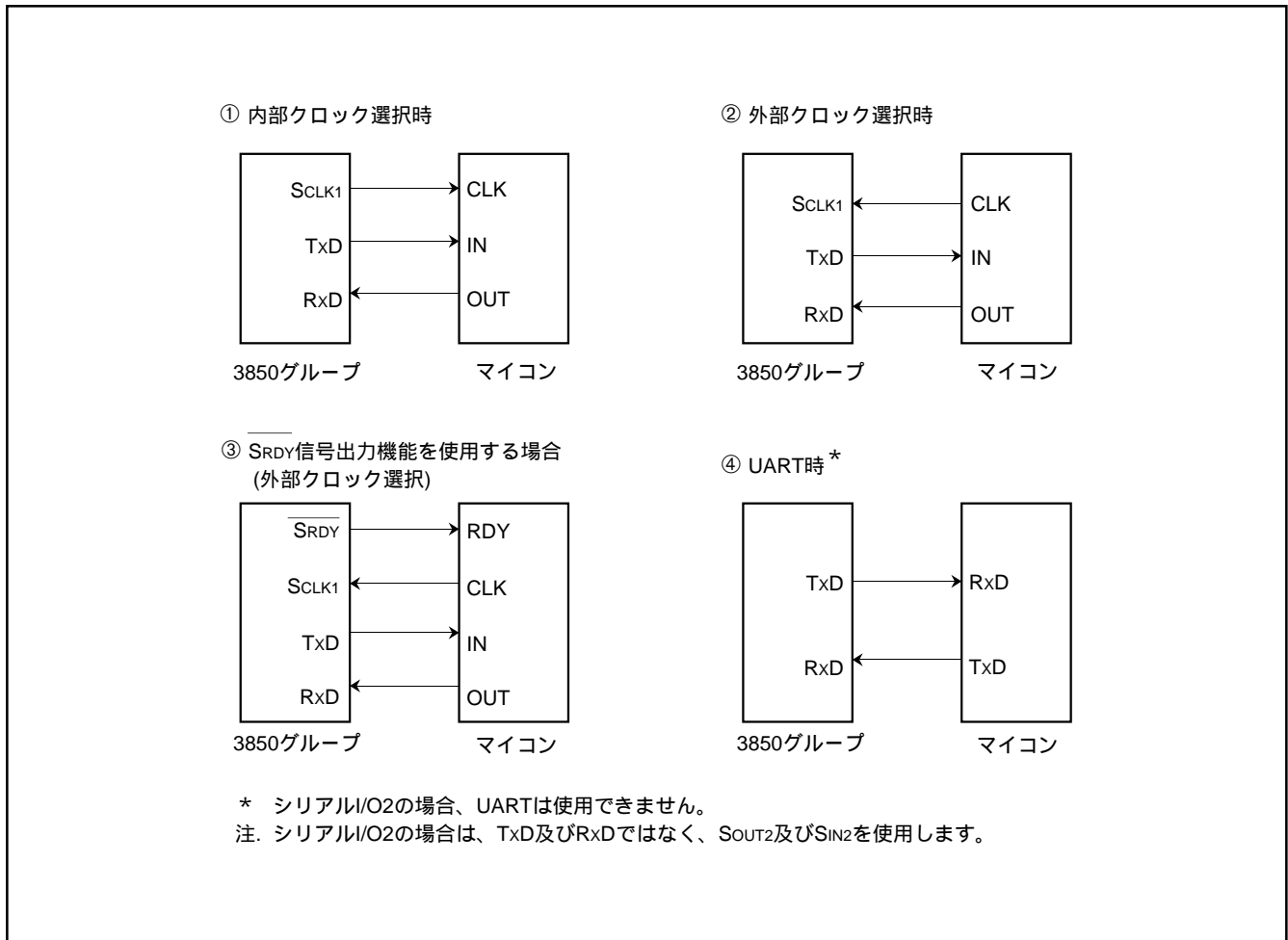


図2.4.16 シリアルI/Oの接続例2

2.4.4 シリアルI/O転送データフォーマット

シリアルI/O1はクロック同期形、非同期形(UART)が選択できます。
 シリアルI/O2はクロック同期形で動作します。
 シリアルI/O転送データフォーマットを図2.4.17に示します。

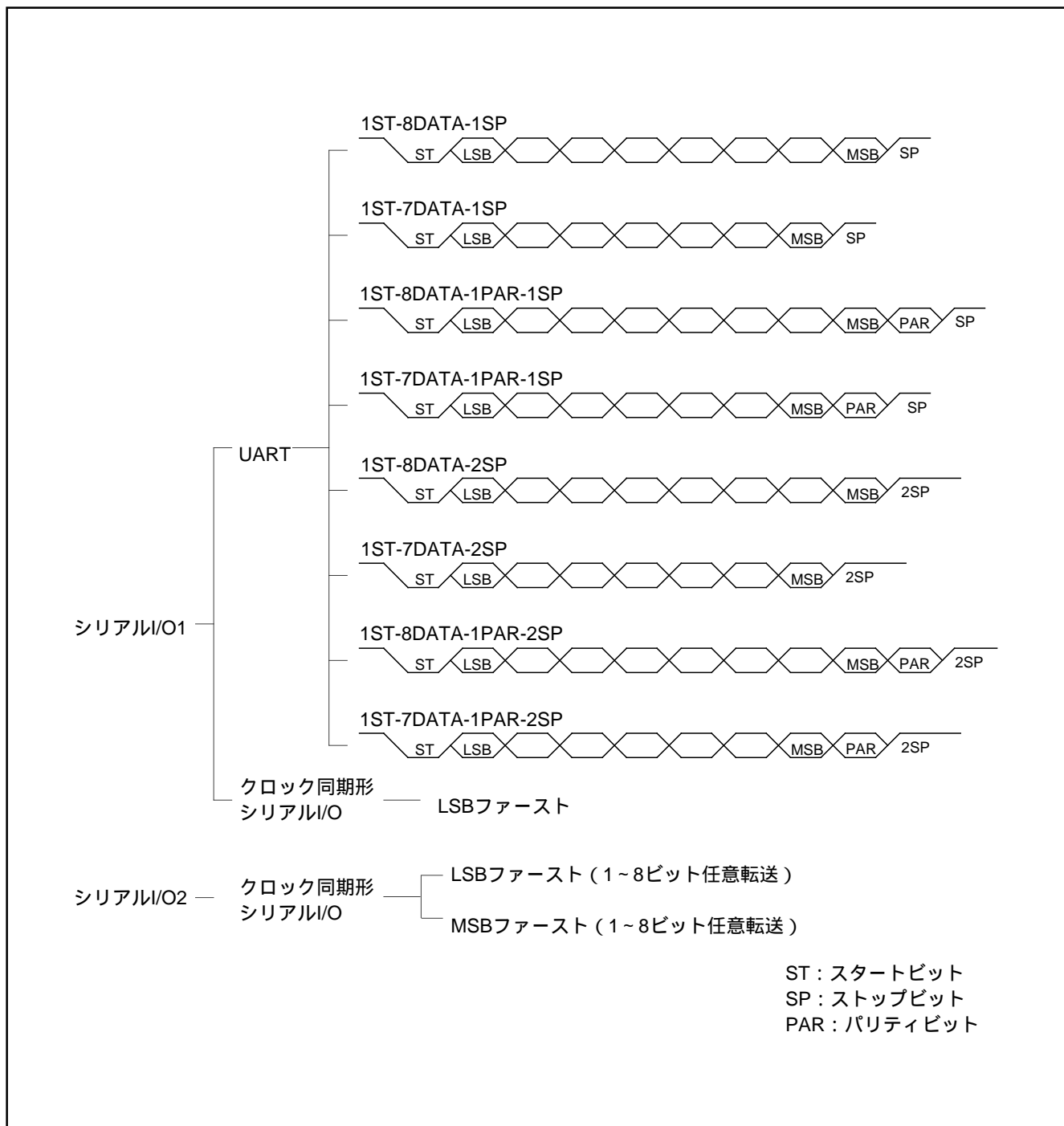


図2.4.17 シリアルI/O転送データフォーマット

2.4.5 シリアル I/O の応用例

(1) クロック同期形シリアル I/O を使用した通信 (送信/受信)

ポイント：クロック同期形シリアル I/O を使用して 2 バイトデータの送受信を行います。
通信制御には、 $\overline{\text{SRDY1}}$ 信号を使用します。

接続図を図 2.4.18、タイミング図を図 2.4.19、送信側関連レジスタの設定を図 2.4.20、受信側関連レジスタの設定を図 2.4.21 に示します。

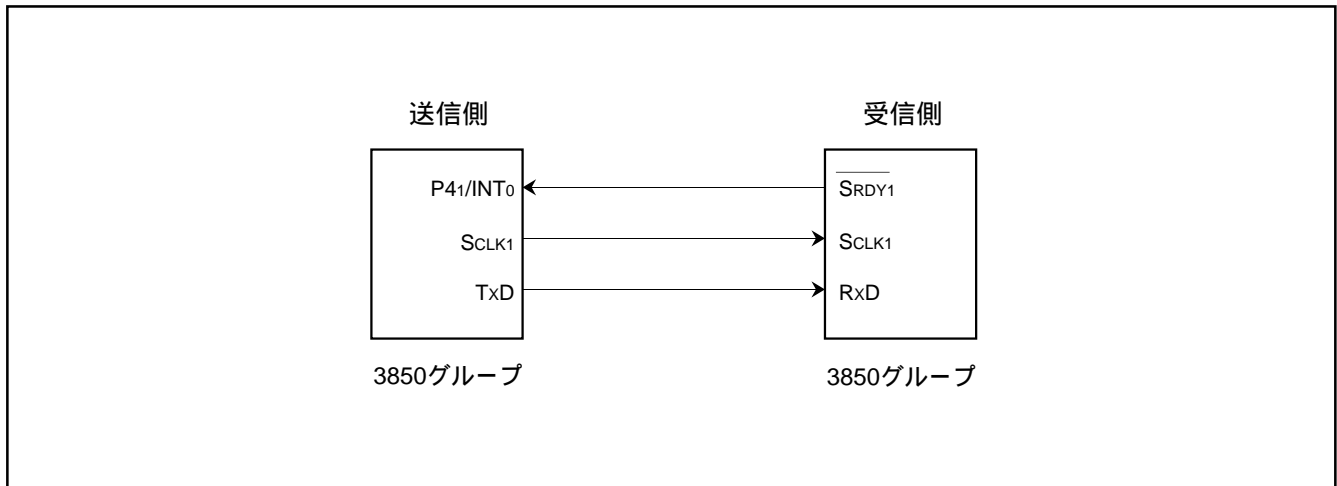


図 2.4.18 接続図

- 仕様：
- ・シリアル I/O (クロック同期形シリアル I/O を選択) を使用。
 - ・同期クロック周波数：125 kHz ($f(\text{XIN}) = 4 \text{ MHz}$ の 32 分周)
 - ・ $\overline{\text{SRDY1}}$ (受信可能信号) を使用。
 - ・2 ms 間隔 (タイマにより生成) で受信側から $\overline{\text{SRDY1}}$ 信号を出力し、2 バイトのデータを送信側から受信側へ転送。

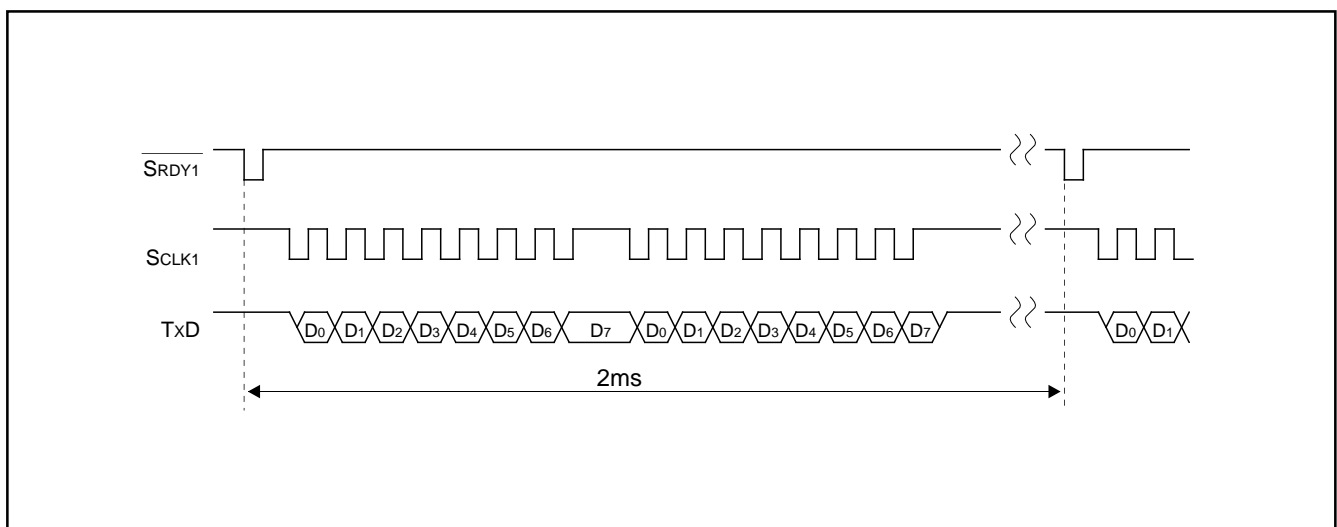


図 2.4.19 タイミング図

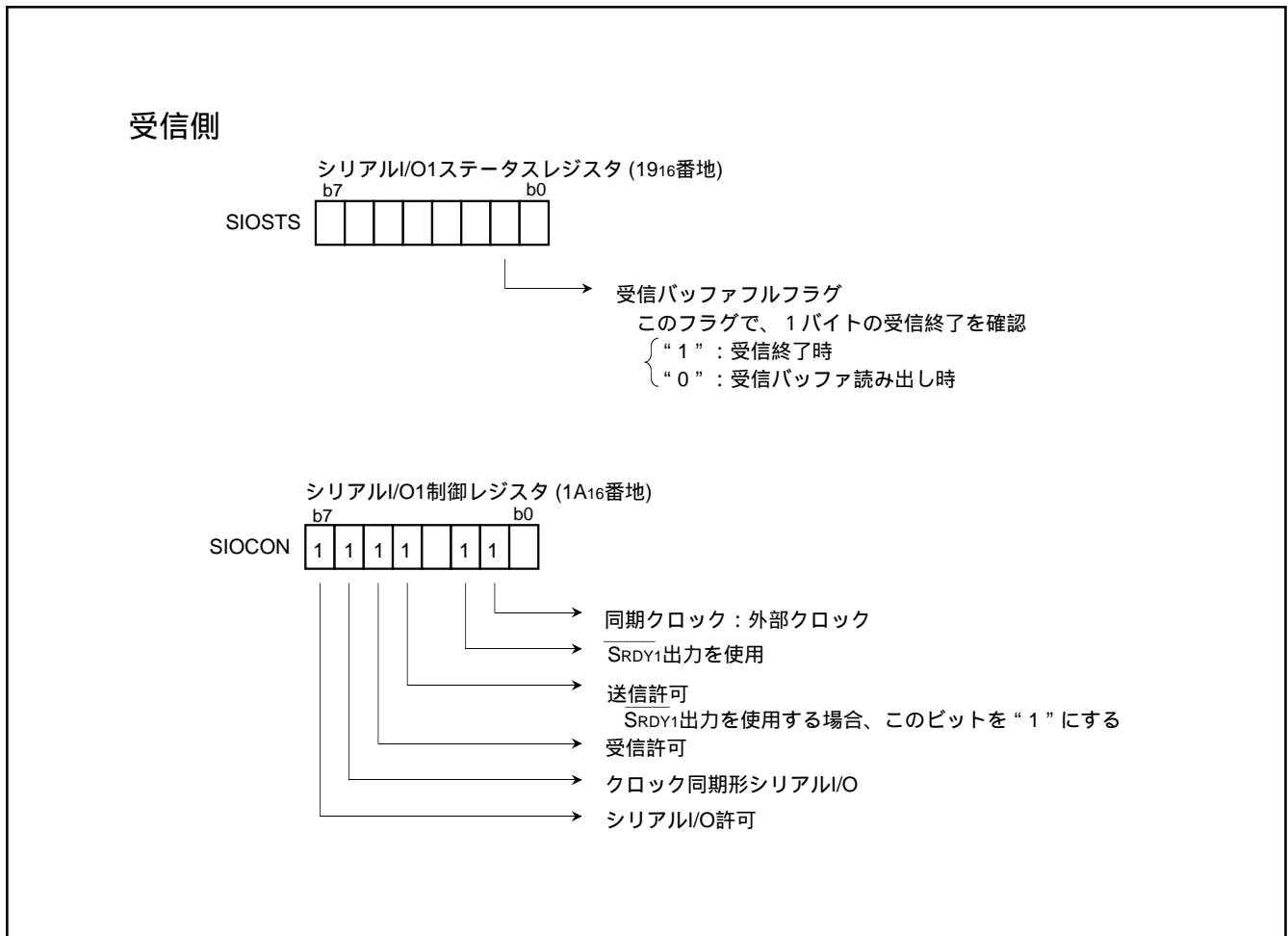


図2.4.21 受信側関連レジスタの設定

図2.4.22に送信側の制御手順、図2.4.23に受信側の制御手順を示します。

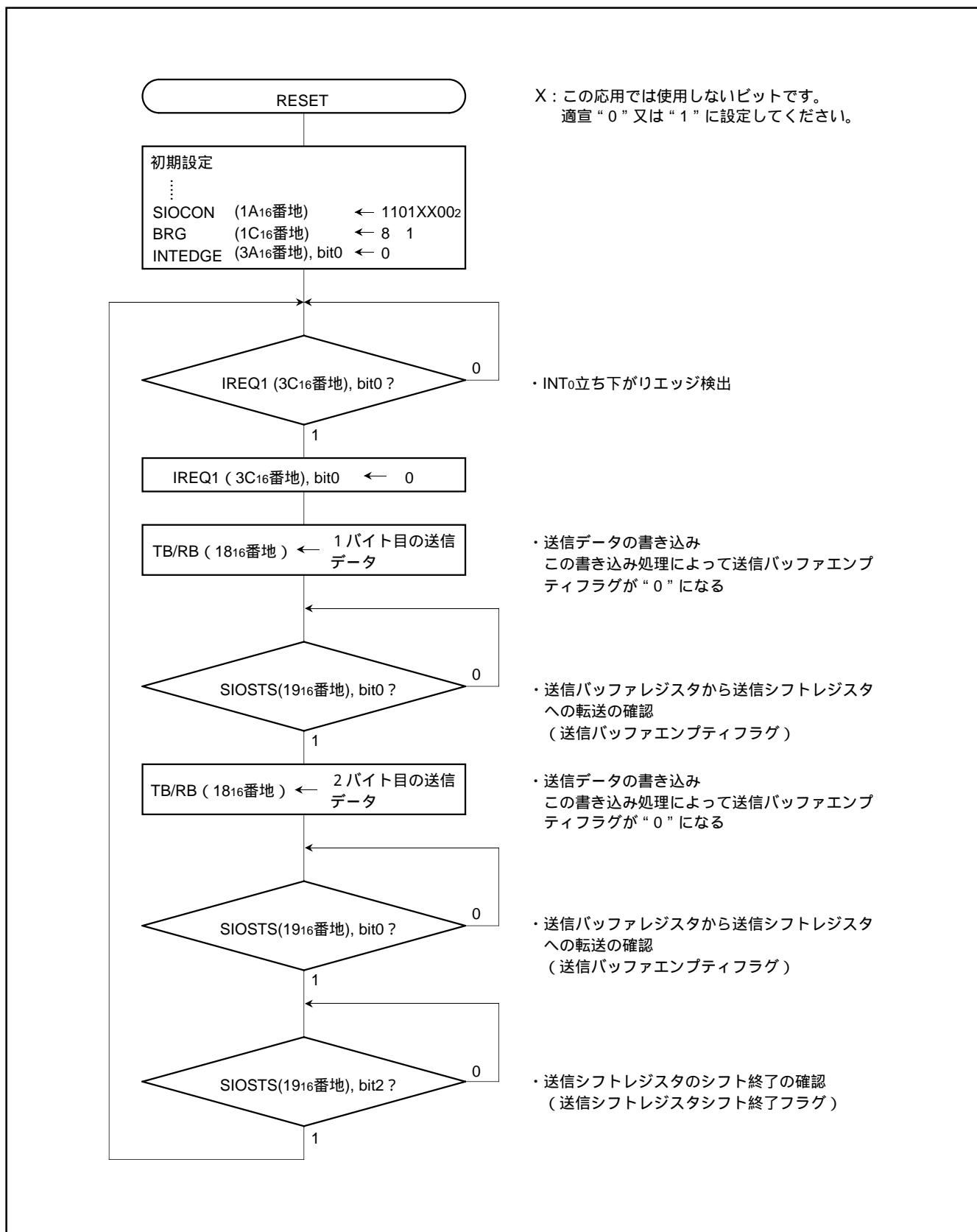


図2.4.22 送信側の制御手順

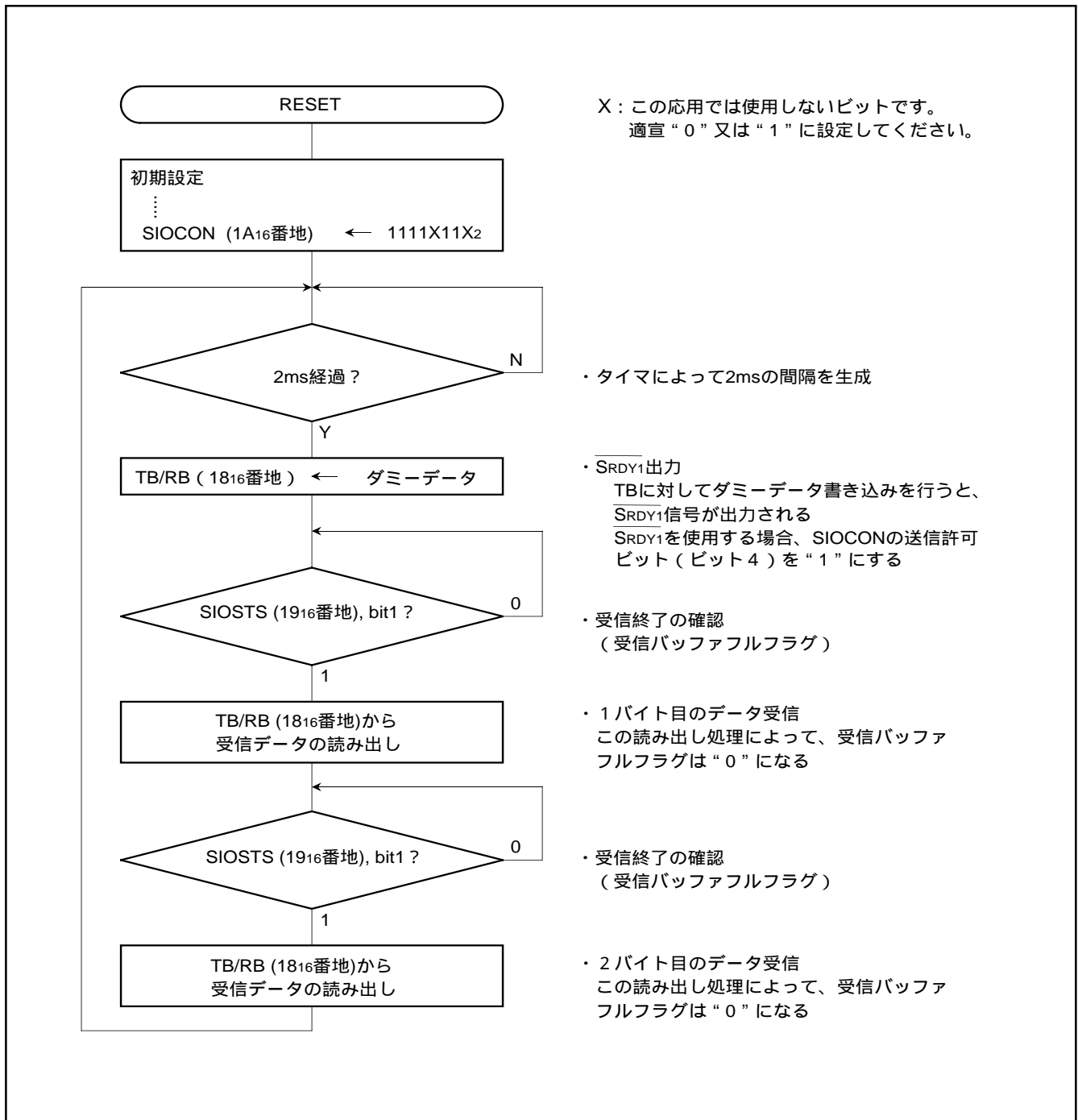


図2.4.23 受信側の制御手順

(2) シリアルデータ出力(周辺I/Cの制御)

ポイント：クロック同期形シリアルI/Oを使用して4バイトデータの送受信を行います。
 ポートP43を使用して、周辺ICに対するCS信号を出力します。

接続図を図2.4.24、タイミング図を図2.4.25に示します。

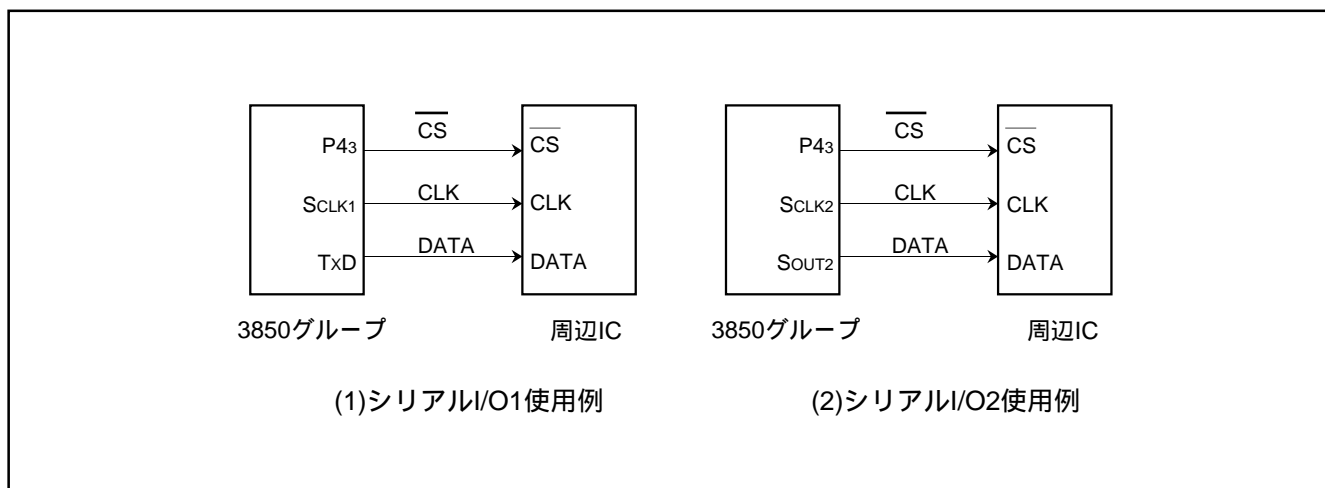


図2.4.24 接続図

- 仕様：
- ・クロック同期形シリアルI/Oを使用。
 - ・同期クロック周波数：125 kHz ($f(XIN) = 4 \text{ MHz}$ の32分周)
 - ・転送方向：LSBファースト
 - ・シリアルI/O割り込みは使用しない。
 - ・ポートP43を周辺ICの $\overline{\text{CS}}$ 端子(“L”アクティブ)に接続して、送信を制御(ポートP43の出力レベルはソフトウェアで制御)。

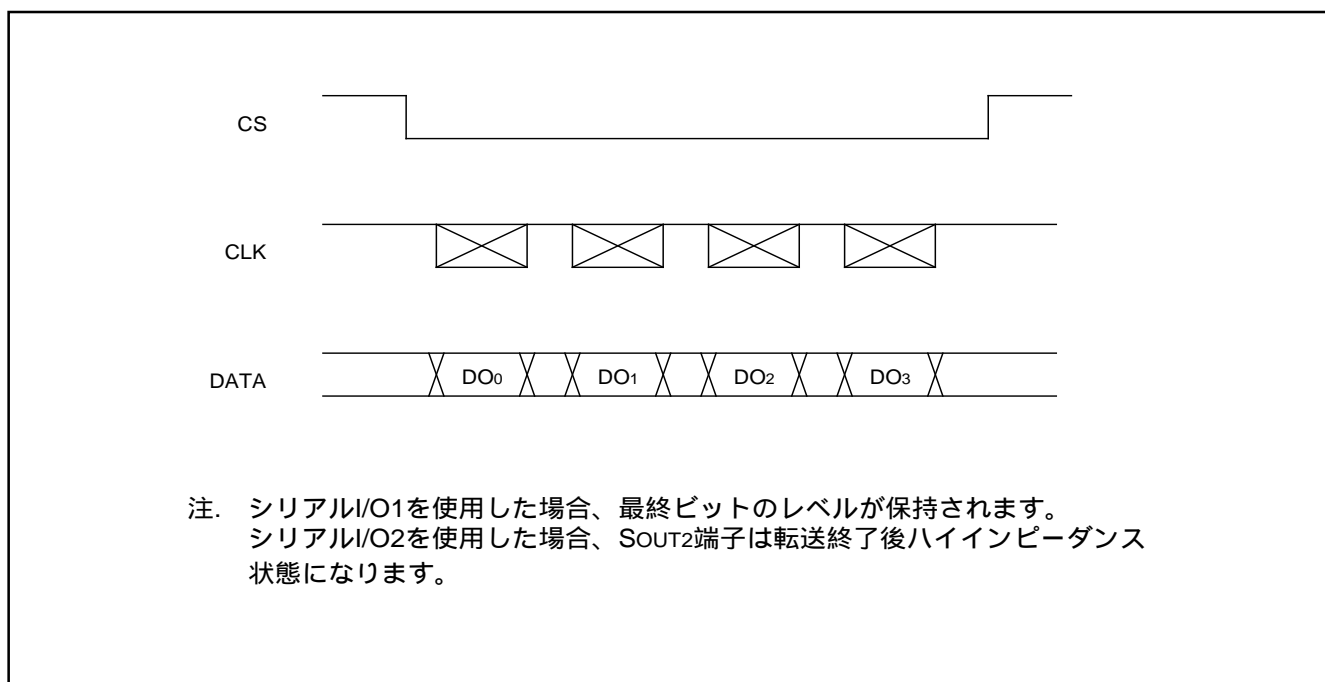


図2.4.25 タイミング図(シリアルI/O1)

図2.4.26にシリアルI/O1関連レジスタの設定、図2.4.27にシリアルI/O1送信データの設定を示します。

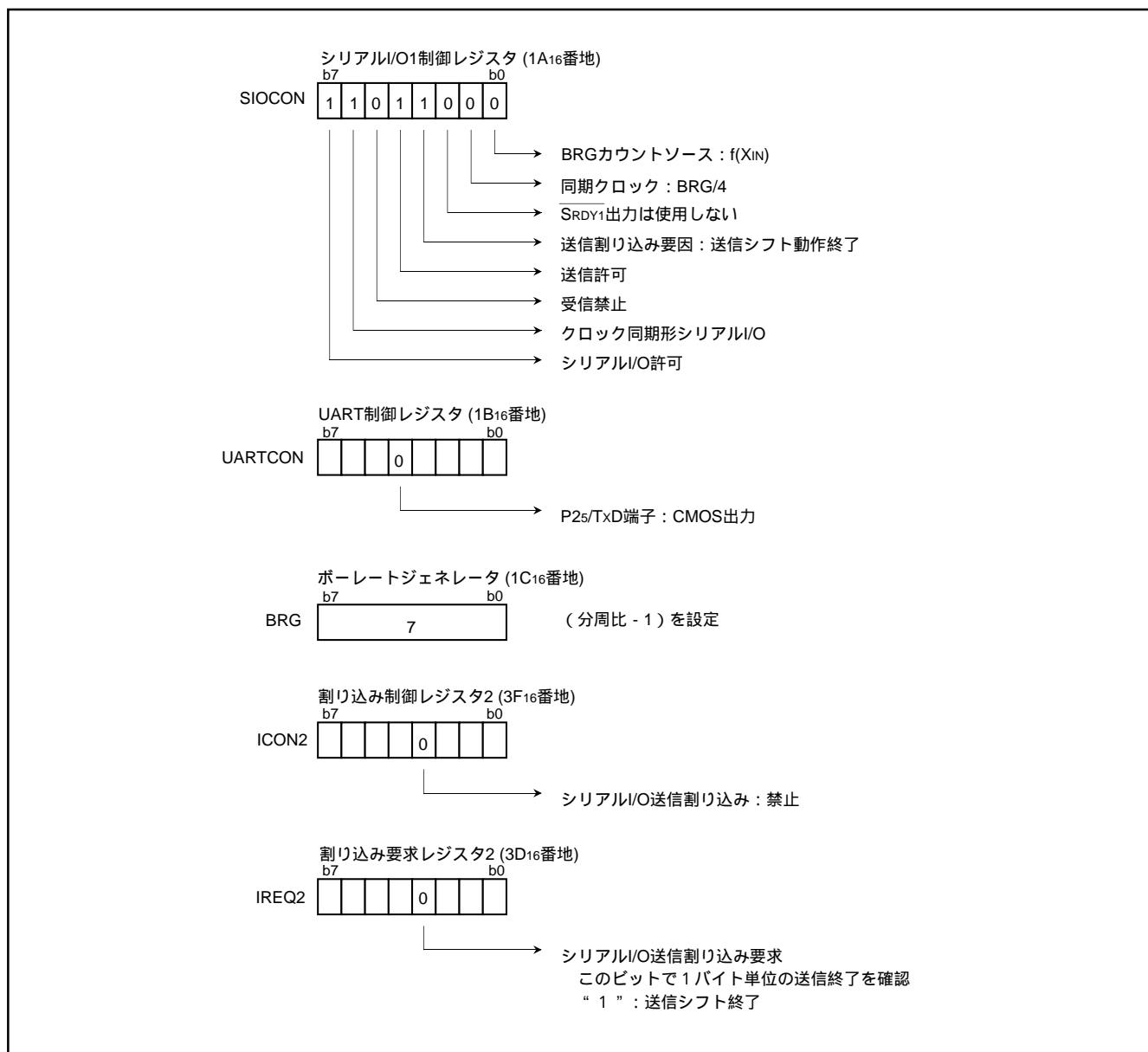


図2.4.26 シリアルI/O1関連レジスタの設定

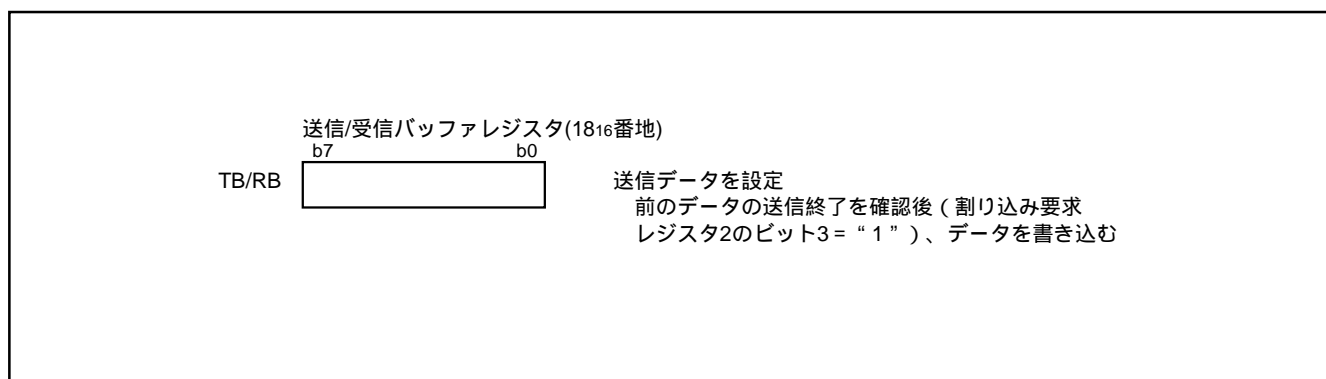


図2.4.27 シリアルI/O1送信データの設定

シリアルI/O1使用例

図2.4.26に示すレジスタ設定において、送信バッファレジスタにデータを書き込むことによって、シリアルI/O1は1バイトの送信を行える状態になります。

したがって、CS信号を“L”にした後、送信データを1バイトごとに送信バッファレジスタへ書き込み、4バイトのデータ送信が終了した時点でCS信号を“H”に戻します。図2.4.28にシリアルI/O制御手順を示します。

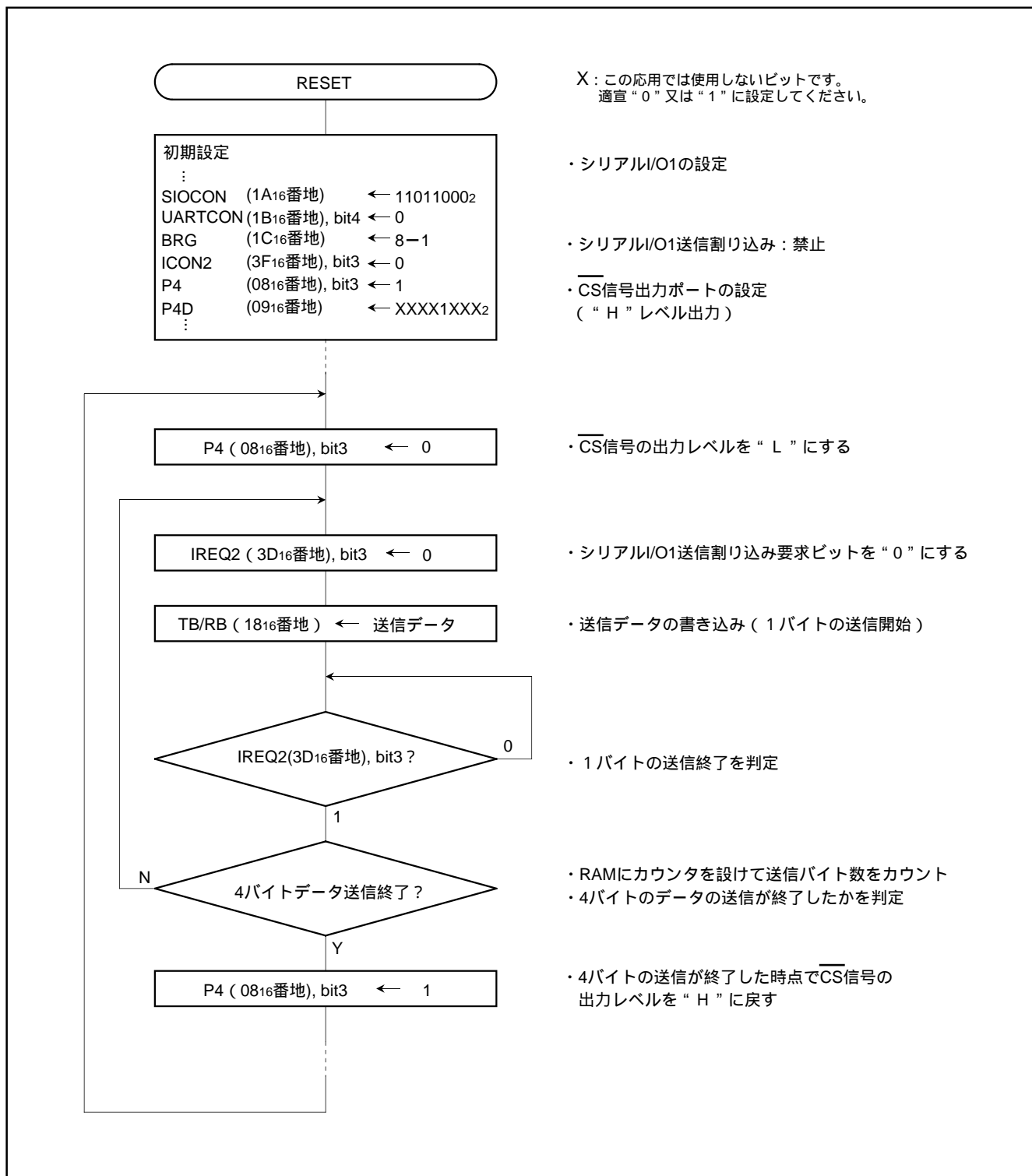


図2.4.28 シリアルI/O制御手順

図2.4.29にシリアルI/O2関連レジスタの設定、図2.4.30にシリアルI/O2送信データの設定を示します。

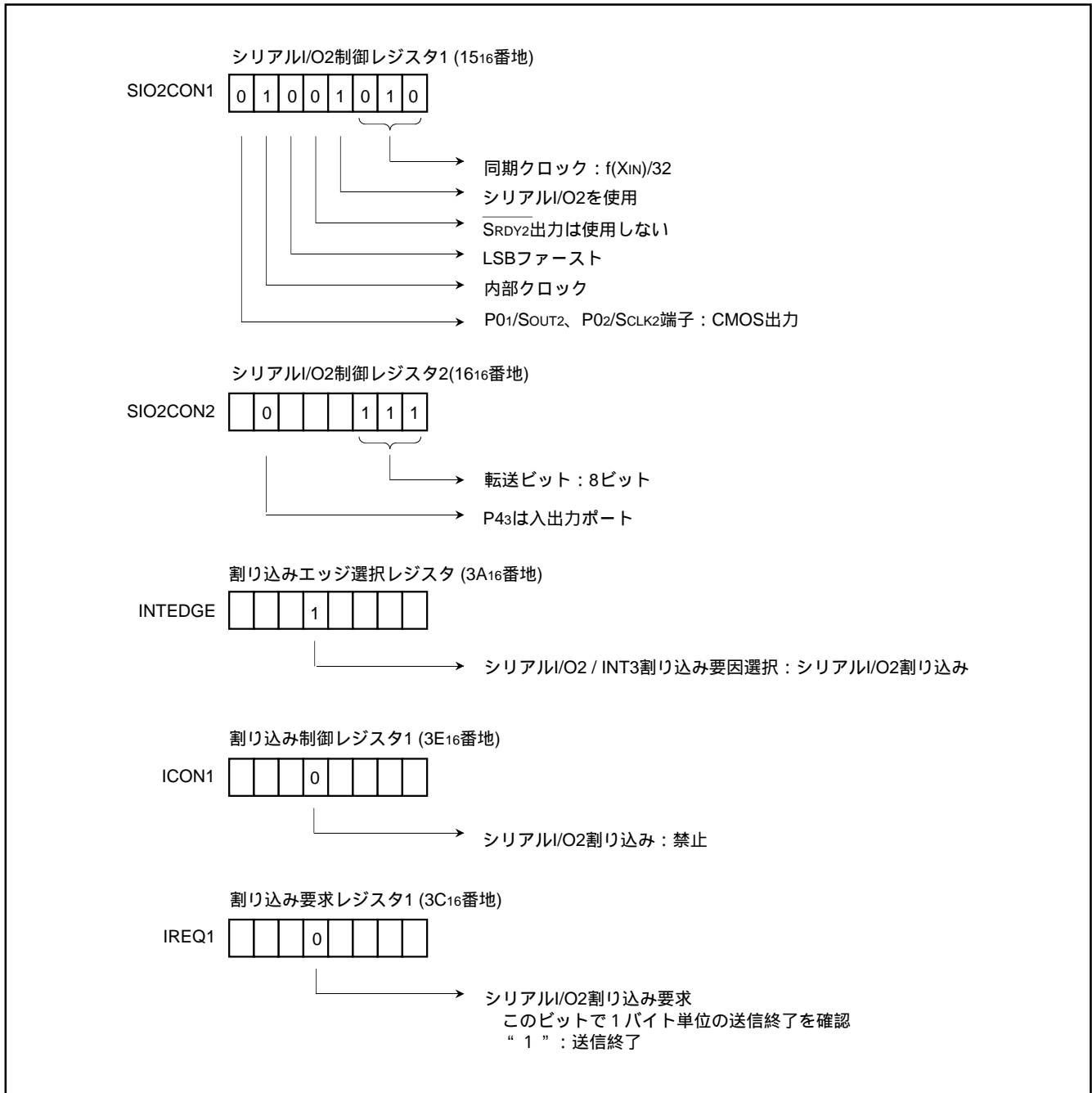


図2.4.29 シリアルI/O2関連レジスタの設定

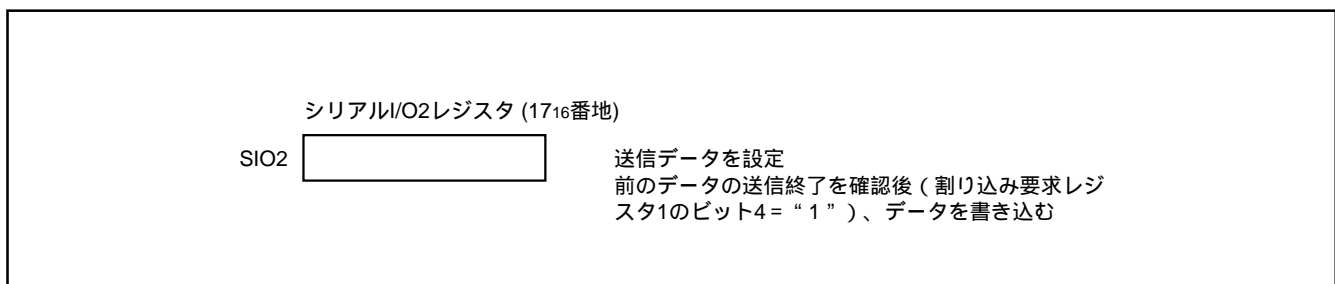


図2.4.30 シリアルI/O2送信データの設定

シリアルI/O2使用例

図2.4.29に示すようにレジスタを設定し、シリアルI/O2レジスタにデータを書き込むことによって、シリアルI/O2は1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつシリアルI/O2に書き込み、4バイトのデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.31にシリアルI/O2制御手順を示します。

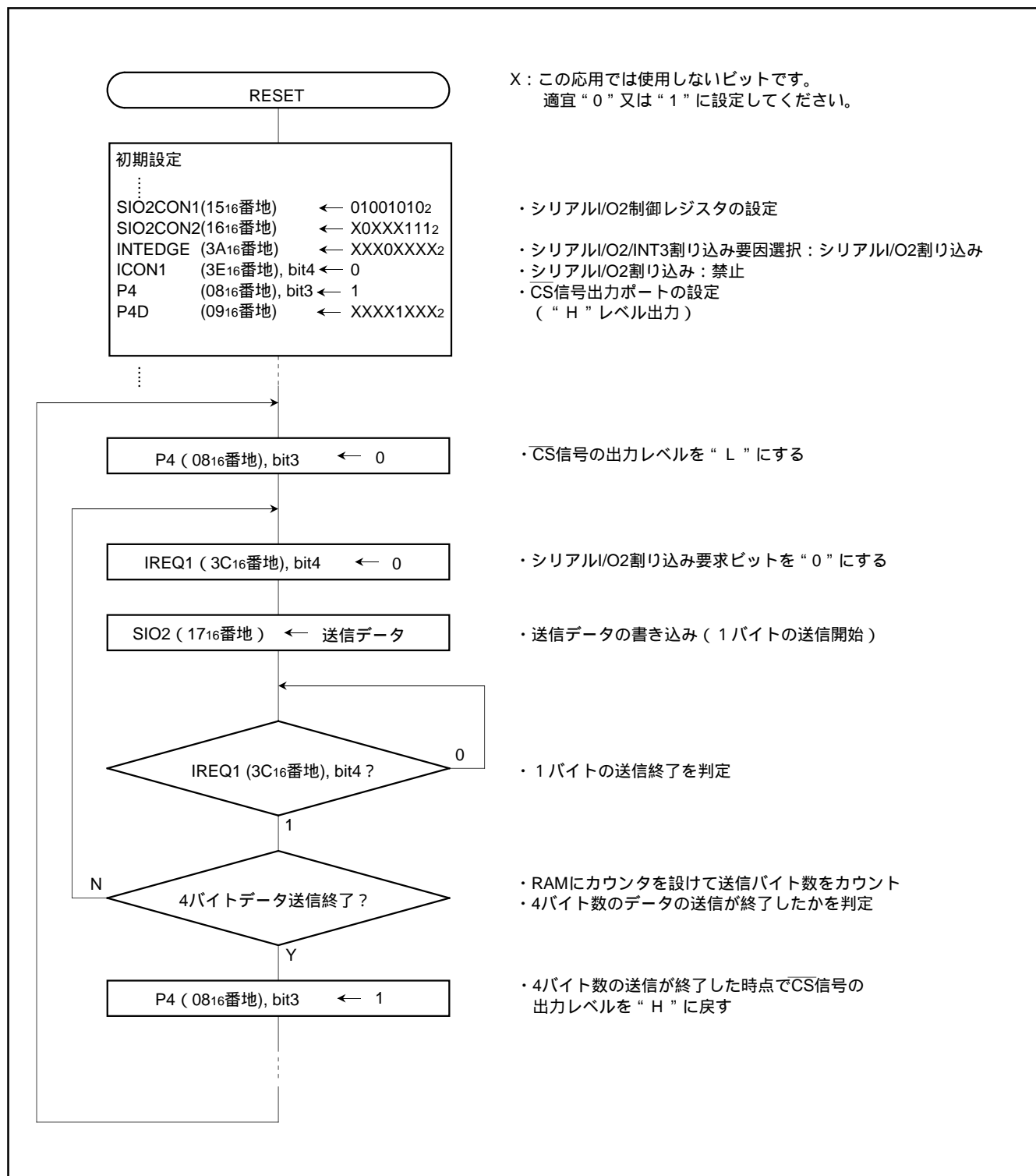


図2.4.31 シリアルI/O2制御手順

(3) 2つのマイコン間におけるブロックデータ(決められたバイト数のデータ)の周期的な送受信

ポイント：クロック同期形シリアルI/Oを用いて通信を行う場合、同期クロックに含まれたノイズによって送信側と受信側でクロックとデータ間の同期がずれることがあります。そのずれを補正する「頭合わせ」を利用し、常に正常な動作をさせます。この例ではブロック間隔を利用して頭合わせを行っています。

図2.4.32に接続図を示します。

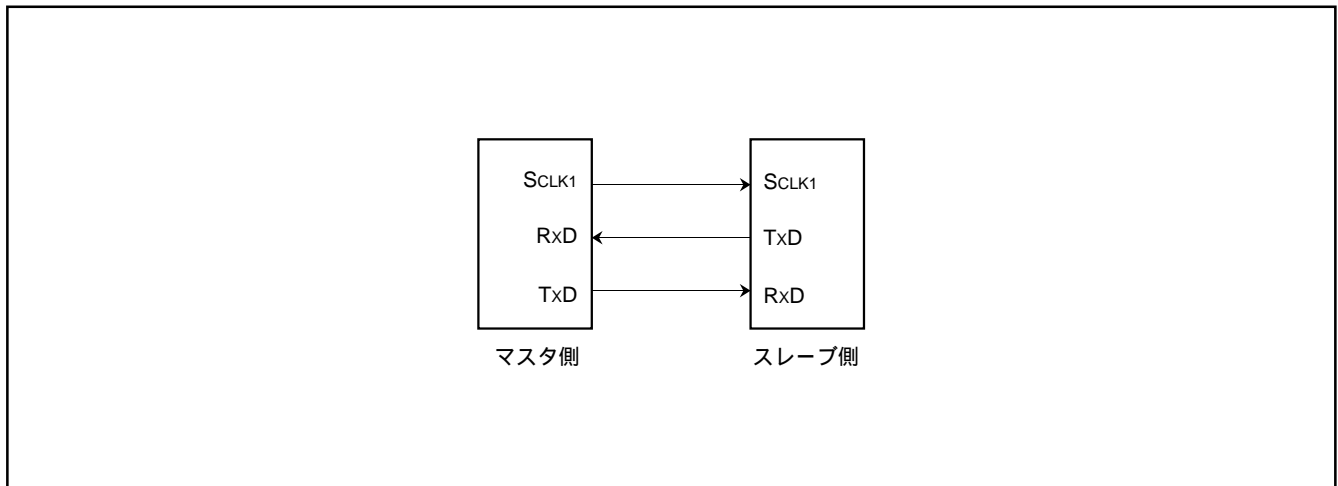


図2.4.32 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/O選択)を使用。
 - ・同期クロック周波数：131 kHz ($f(XIN) = 4.19\text{MHz}$ の32分周)
 - ・バイト周期：488 μs
 - ・送受信バイト数：8バイト/各ブロック
 - ・ブロックの転送周期：16 ms
 - ・ブロックの転送期間：3.5 ms
 - ・ブロック間隔：12.5 ms
 - ・頭合わせ時間：8 ms

仕様の制限事項：

- ・「バイト周期 - 1バイトの転送時間」の時間内で、受信データの読み込みと、次の送信データの設定が行えること。
注.この例ではシリアルI/O受信割り込み要求発生から次の同期クロックの入力までの時間は431 μs 。
- ・「頭合わせ時間 < ブロック間隔」であること。

通信は図2.4.33に示すタイミングで行います。スレーブ側では一定時間(頭合わせ時間)以上同期クロックが入力されていない場合、次に入力されたクロックをブロックの初め(頭)として処理します。1ブロック(8バイト)受信後に入力されたクロックは無視されます。図2.4.34に関連レジスタの設定を示します。

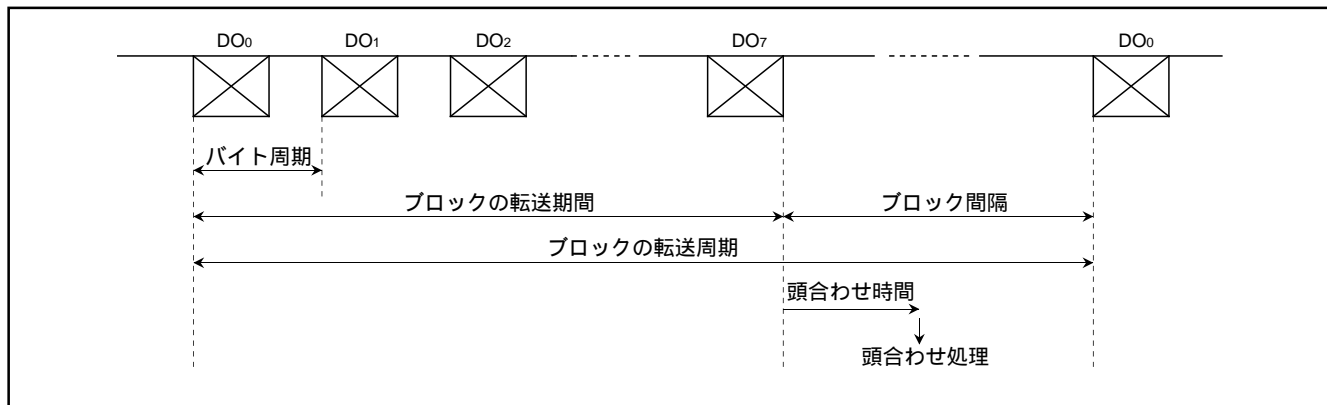


図2.4.33 タイミング図

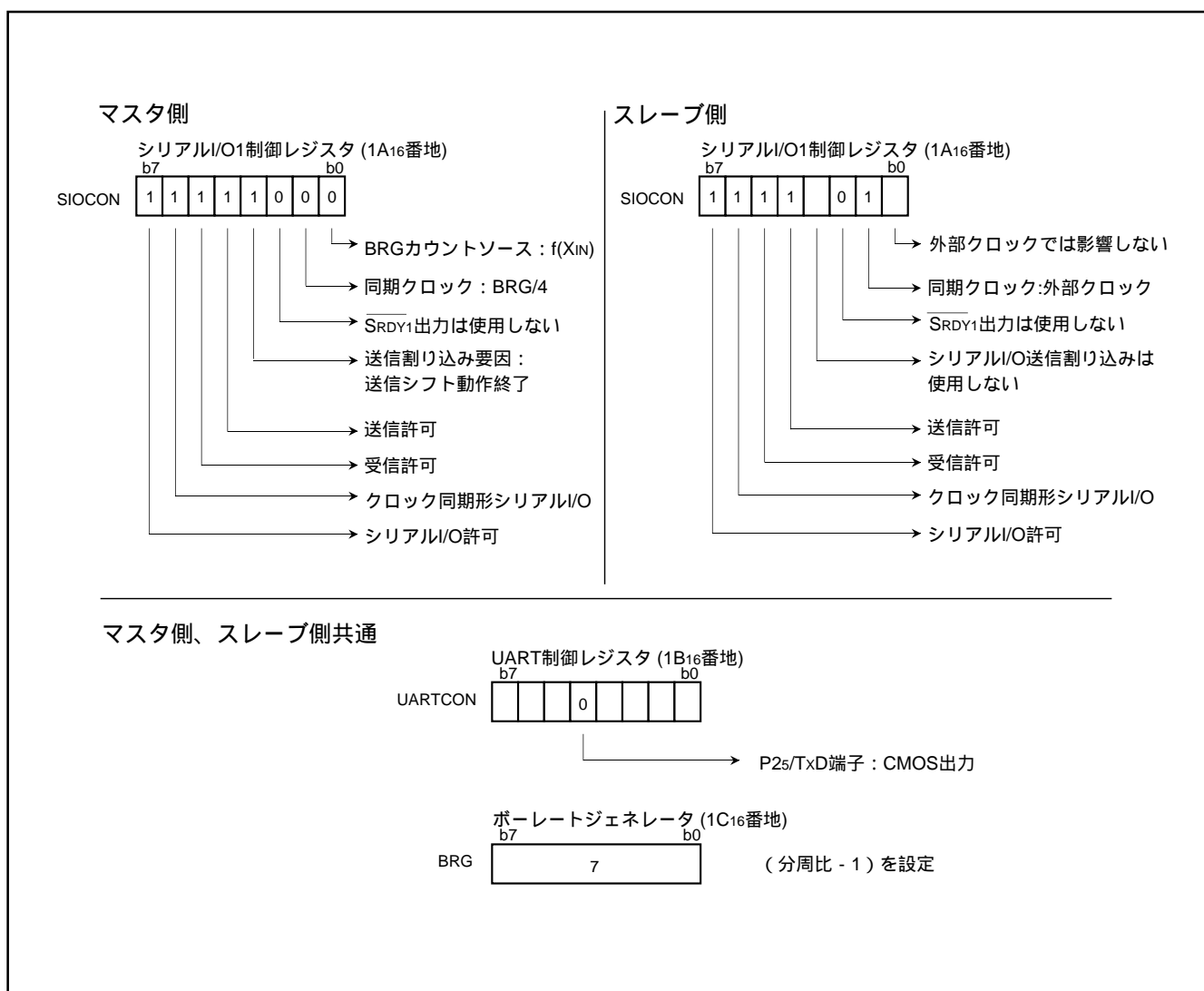


図2.4.34 関連レジスタの設定

ソフトウェアによる制御：

マスタ側の制御

図2.4.34に示す関連レジスタの設定終了後、マスタ側は送信バッファレジスタに送信データを書き込むことによって1バイトデータの送受信を開始します。

したがって、図2.4.33に示すタイミングで通信を行うために、送信データの書き込みはタイミングを測って行い、以下に示すいずれかの場合に受信データを読み出します。

- ・シリアルI/O送信割り込み要求ビットが“1”の場合
- ・次の送信データを送信バッファレジスタに書き込む前

タイマ割り込みを用いた場合のマスタ側の制御を図2.4.35に示します。

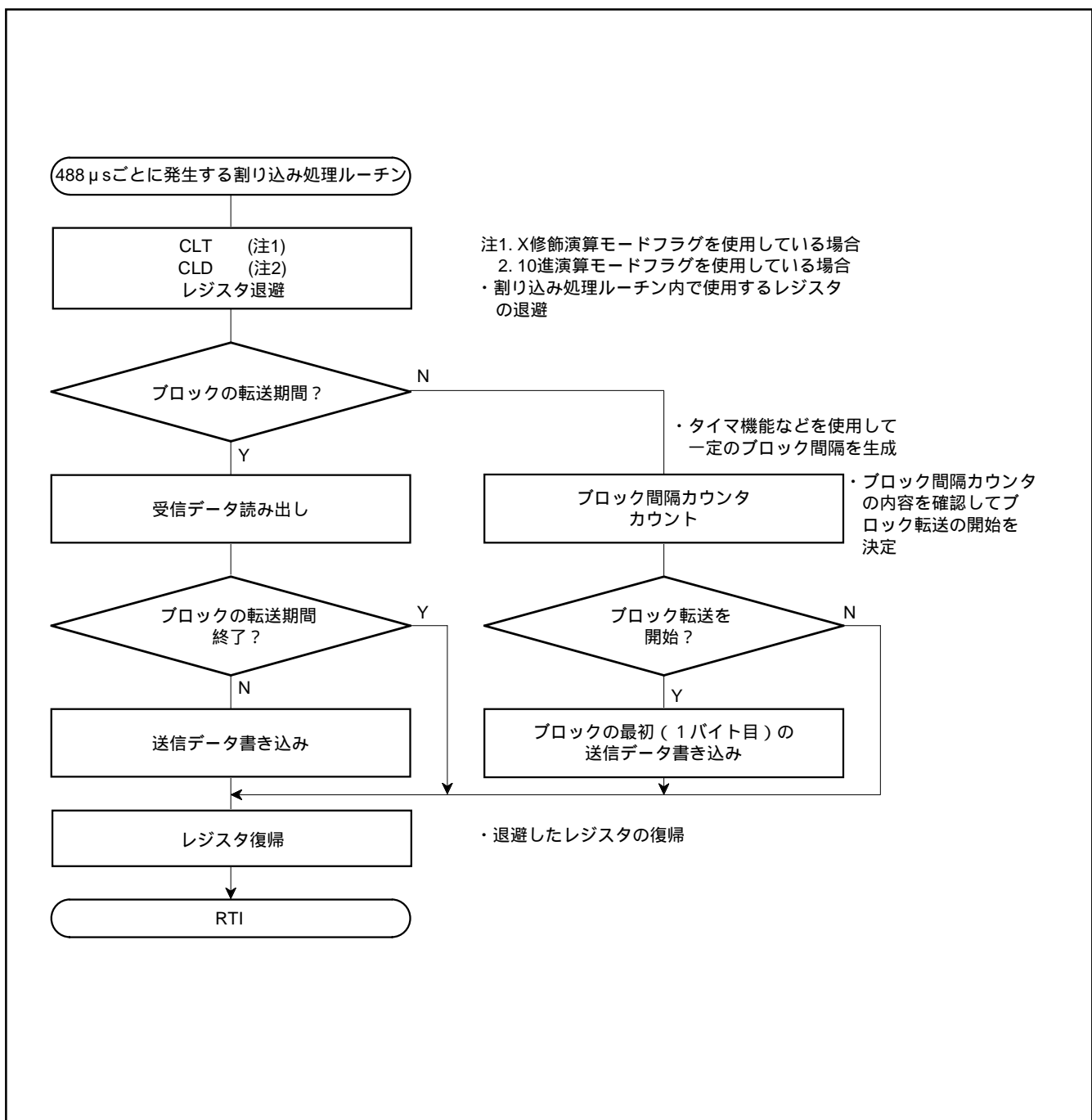


図2.4.35 マスタ側の制御手順

スレーブ側の制御

図2.4.34に示す関連レジスタの設定終了後、スレーブ側は常に同期クロックを受け付けられる状態になり、8ビットの同期クロックを受信するごとにシリアルI/O受信割り込みが発生します。

シリアルI/O受信割り込み処理ルーチンでは、受信データを読み出した後、次に送信するデータを送信バッファレジスタに書き込みます。

ただし、一定時間(頭合わせ時間)以上、シリアルI/O受信割り込みが発生しない場合は、以下の処理を行います。

1. ブロックの1バイト目の送信データを送信バッファレジスタに書き込む
2. 次に受信するデータをブロックの第1バイト目の受信データとして処理する

シリアルI/O受信割り込みとタイマ割り込み(頭合わせ用)を使用したスレーブ側の制御を図2.4.36に示します。

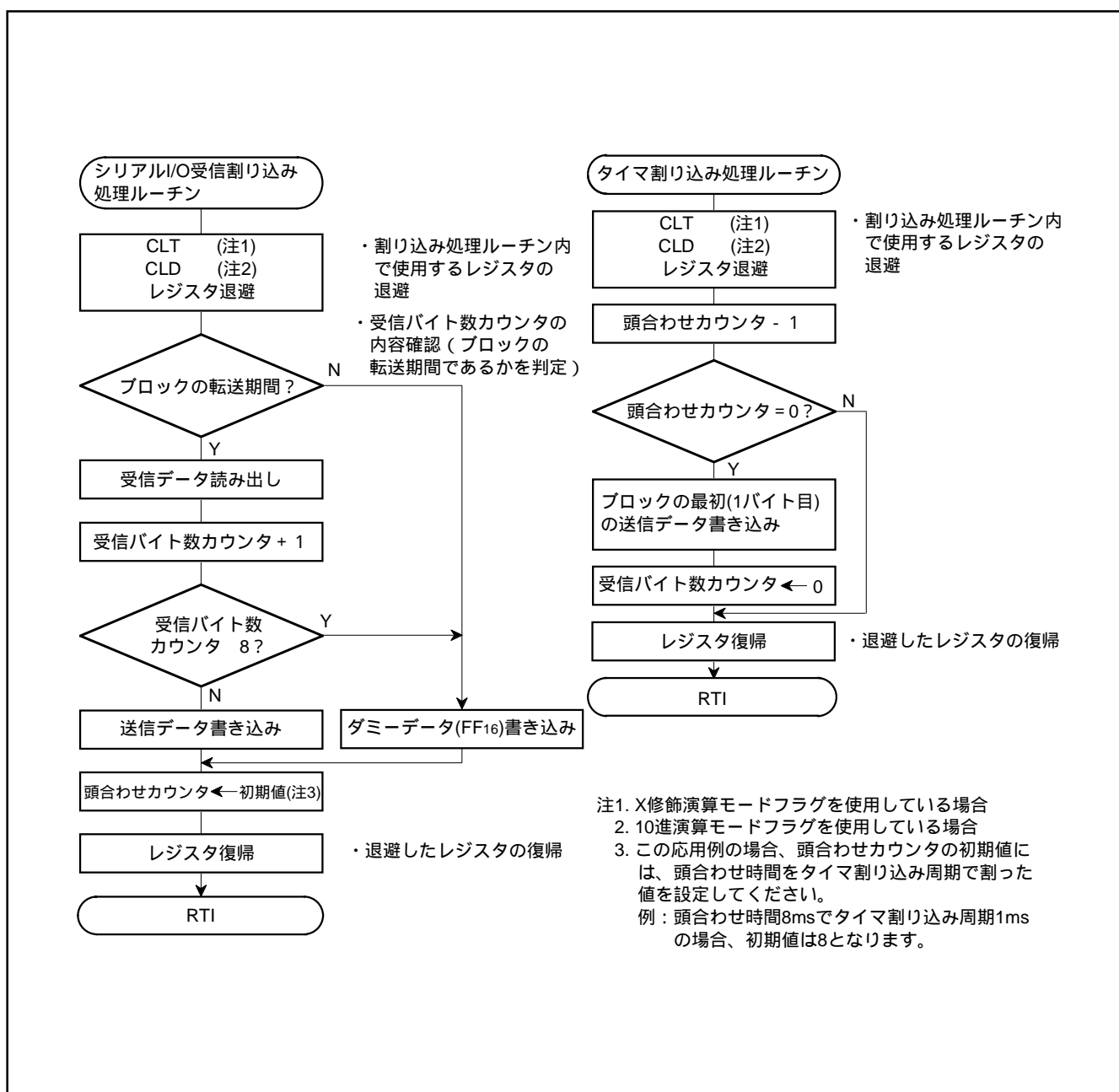


図2.4.36 スレーブ側の制御手順

(4) 非同期形シリアルI/O(UART)を使用した通信(送信/受信)

ポイント：非同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、ポートP40を使用します。

接続図を図2.4.37、タイミング図を図2.4.38に示します。

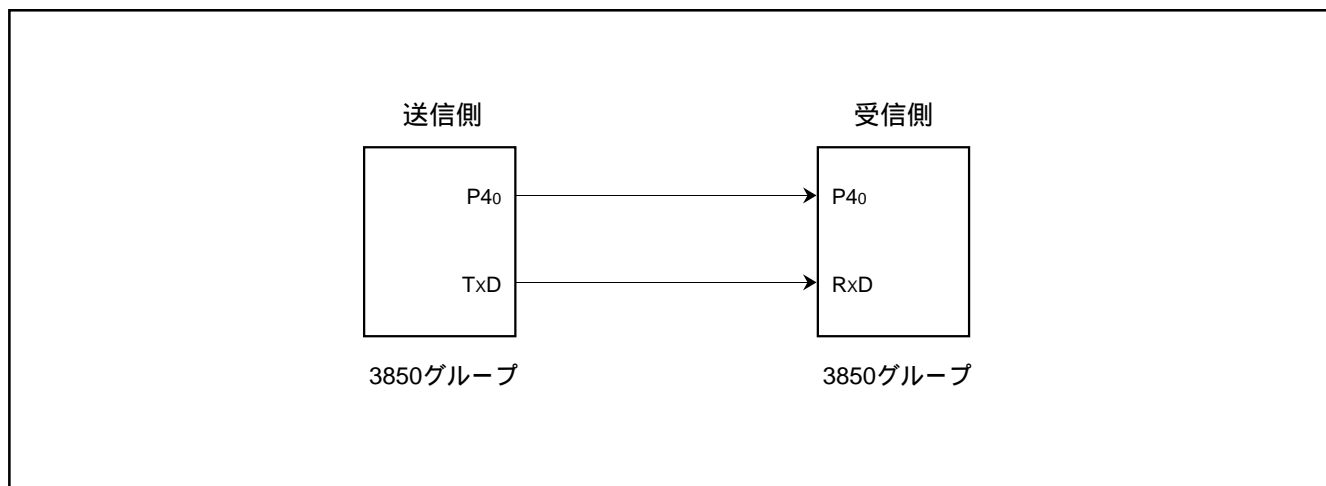


図2.4.37 接続図

- 仕様：
- ・シリアルI/O1(UART選択)を使用。
 - ・転送ビットレート：9600 bps ($f(XIN) = 4.9152 \text{ MHz}$ の512分周)
 - ・ポートP40を使用する通信制御(ポートP40の出力レベルはソフトウェアで制御する)。
 - ・10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送。

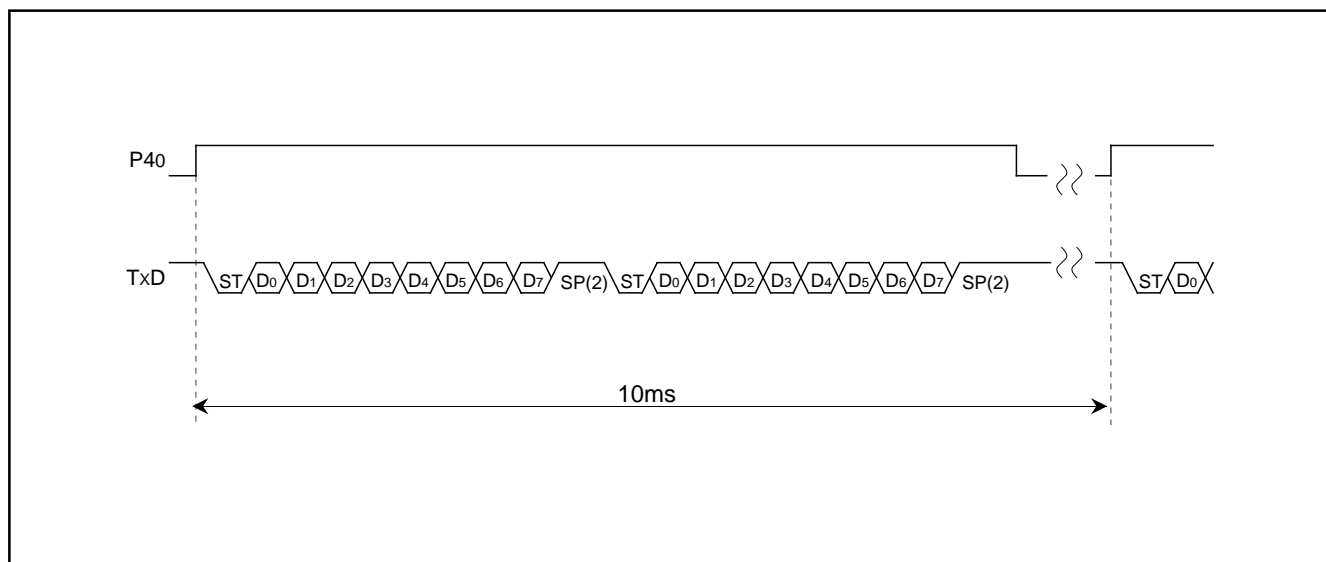


図2.4.38 タイミング図

表2.4.1、表2.4.2にボーレートジェネレータの設定値と転送ビットレート選択例、図2.4.39に送信側関連レジスタの設定、図2.4.40に受信側関連レジスタの設定を示します。

表2.4.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例1

BRGカウント ソース(注1)	BRG設定値	転送ビットレート(bps)(注2)	
		f(XIN) = 4.9152 MHz時	f(XIN) = 8 MHz時
f(XIN)/4	255(FF ₁₆)	300	488.28125
f(XIN)/4	127(7F ₁₆)	600	976.5625
f(XIN)/4	63(3F ₁₆)	1200	1953.125
f(XIN)/4	31(1F ₁₆)	2400	3906.25
f(XIN)/4	15(0F ₁₆)	4800	7812.5
f(XIN)/4	7(07 ₁₆)	9600	15625
f(XIN)/4	3(03 ₁₆)	19200	31250
f(XIN)/4	1(01 ₁₆)	38400	62500
f(XIN)	3(03 ₁₆)	76800	125000
f(XIN)	1(01 ₁₆)	153600	250000
f(XIN)	0(00 ₁₆)	307200	500000

表2.4.2 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例2

BRGカウント ソース(注1)	BRG設定値	転送ビットレート(bps)(注2)
		f(XIN) = 7.9872 MHz時
f(XIN)/4	207(CF ₁₆)	600
f(XIN)/4	103(67 ₁₆)	1200
f(XIN)/4	51(33 ₁₆)	2400
f(XIN)/4	25(19 ₁₆)	4800
f(XIN)/4	12(0C ₁₆)	9600
f(XIN)	25(19 ₁₆)	19200
f(XIN)	12(0C ₁₆)	38400

注1. BRGカウントソースはシリアルI/O1制御レジスタ(1A₁₆番地)のビット0で選択します。

2. 転送ビットレートの算出式

$$\text{転送ビットレート(bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O制御レジスタのビット0 = " 0 "の場合、m = 1

シリアルI/O制御レジスタのビット0 = " 1 "の場合、m = 4

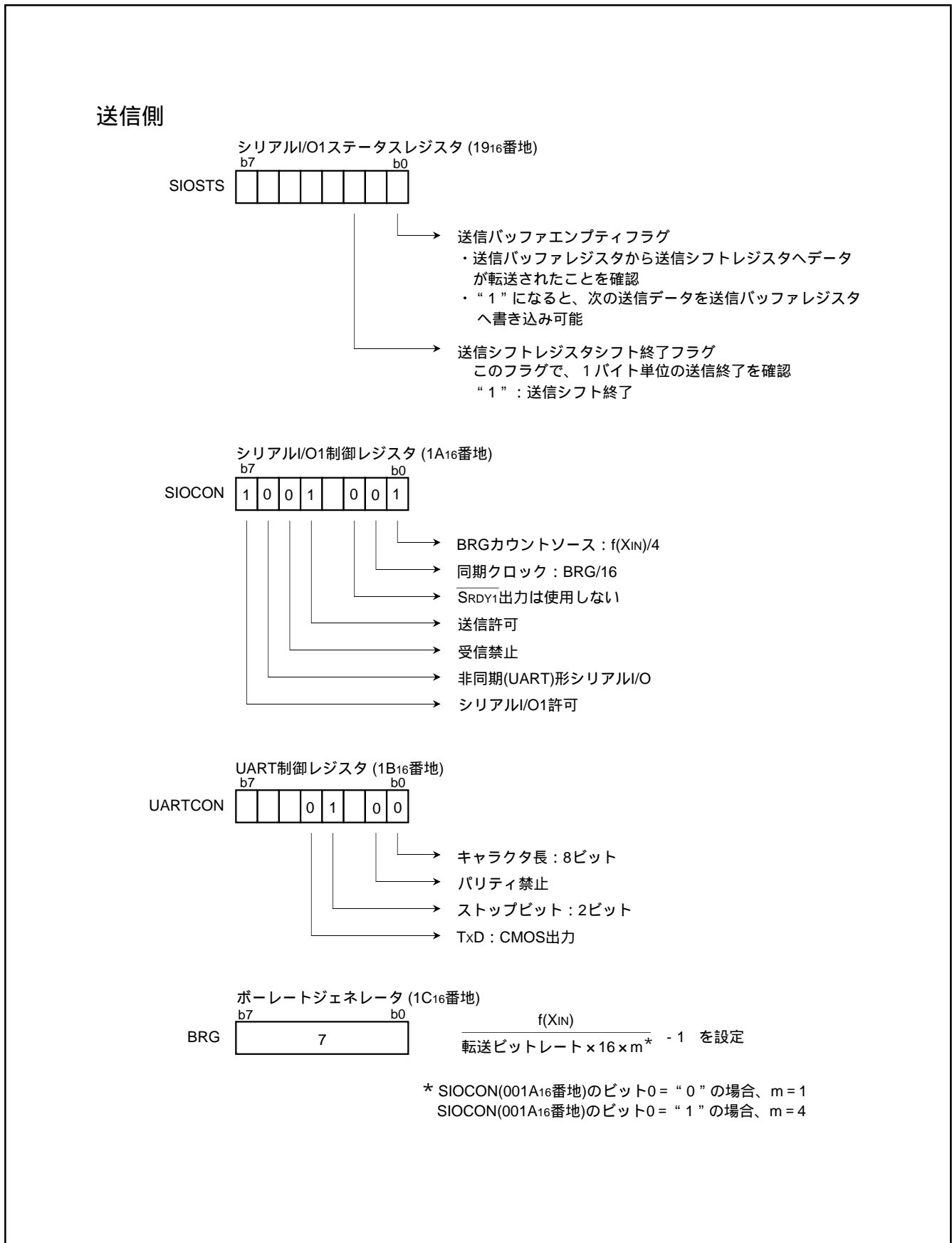


図2.4.39 送信側関連レジスタの設定

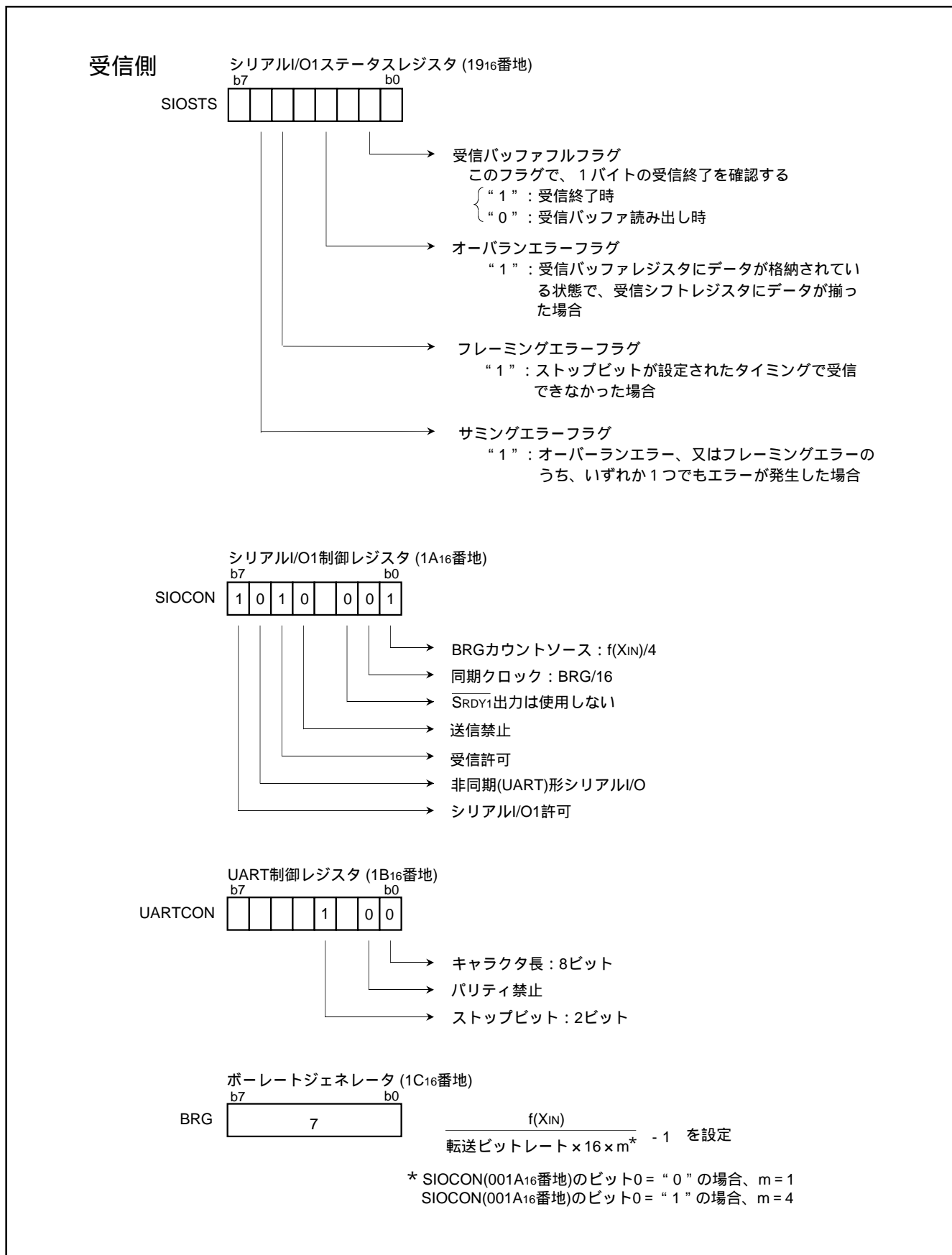


図2.4.40 受信側関連レジスタの設定

図2.4.41に送信側の制御手順、図2.4.42に受信側の制御手順を示します。

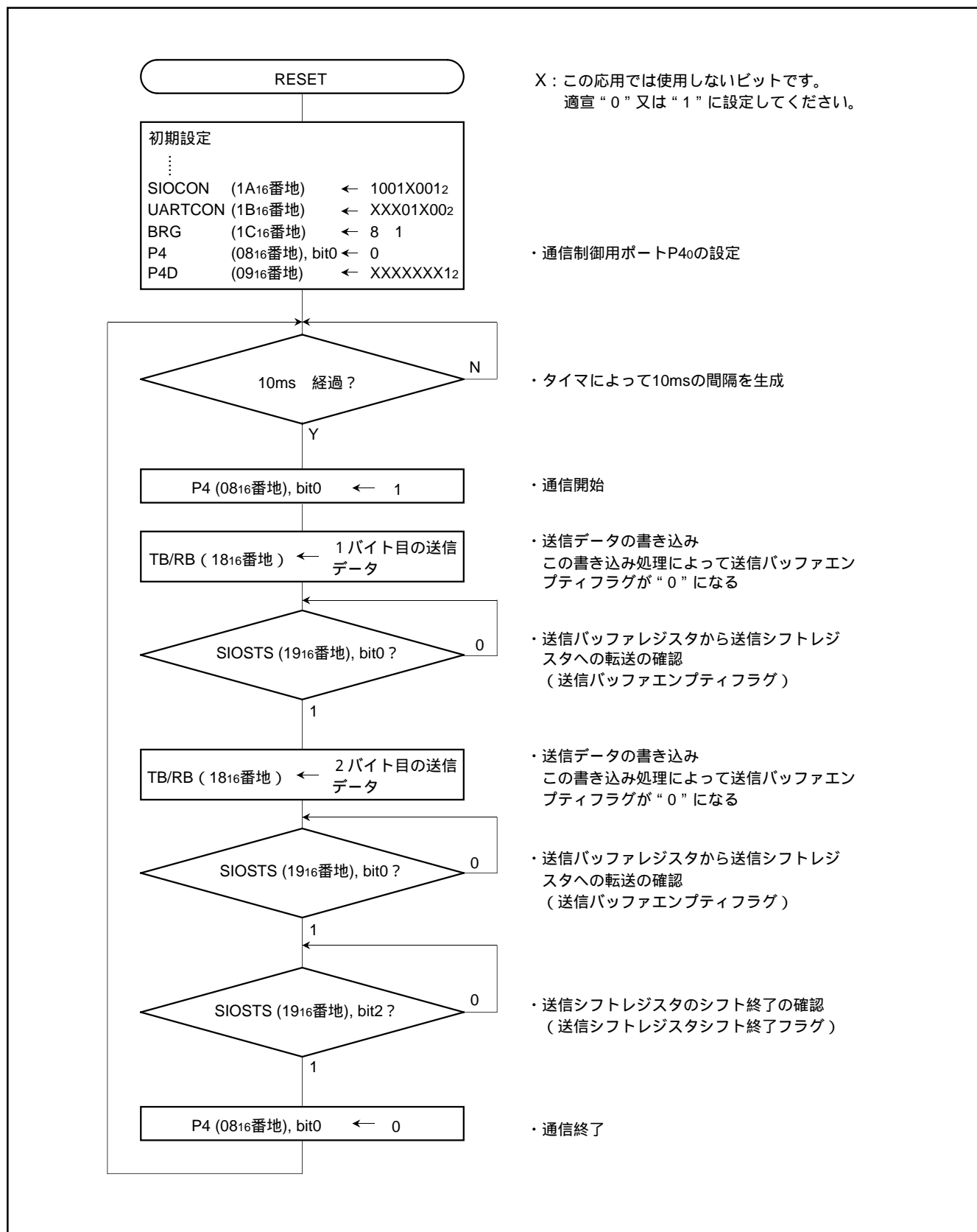


図2.4.41 送信側の制御手順

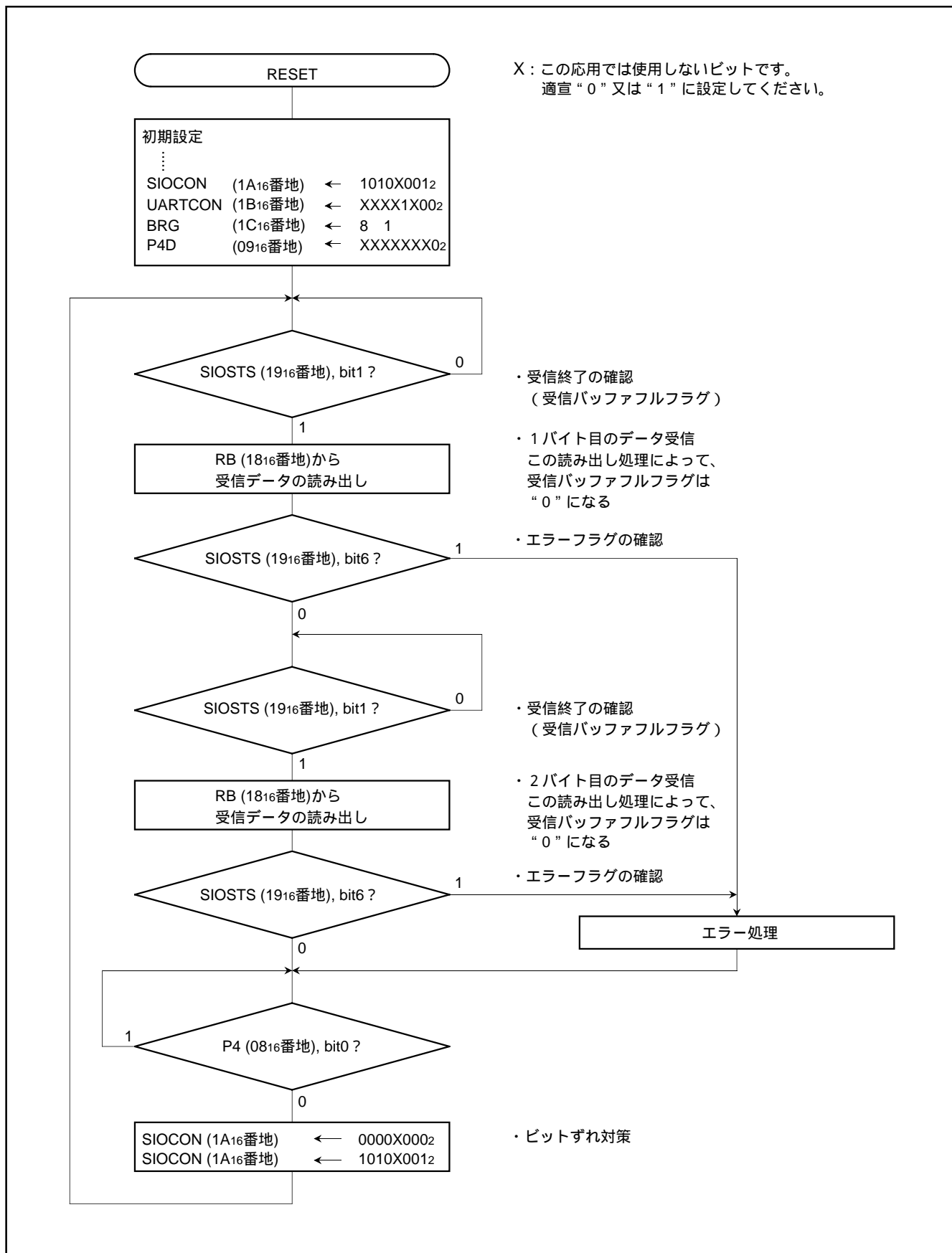


図2.4.42 受信側の制御手順

2.4.6 シリアルI/Oに関する注意事項

(1) クロック同期形の選択時(シリアルI/O1)

送信動作の停止

シリアルI/O1許可ビット及び送信許可ビットを“0”(シリアルI/O及び送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また(1)の送信動作の停止と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(2) 非同期形の選択時(シリアルI/O1)

送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、 $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側の $\overline{\text{SRDY1}}$ 出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O1制御レジスタの再設定(シリアルI/O1)

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

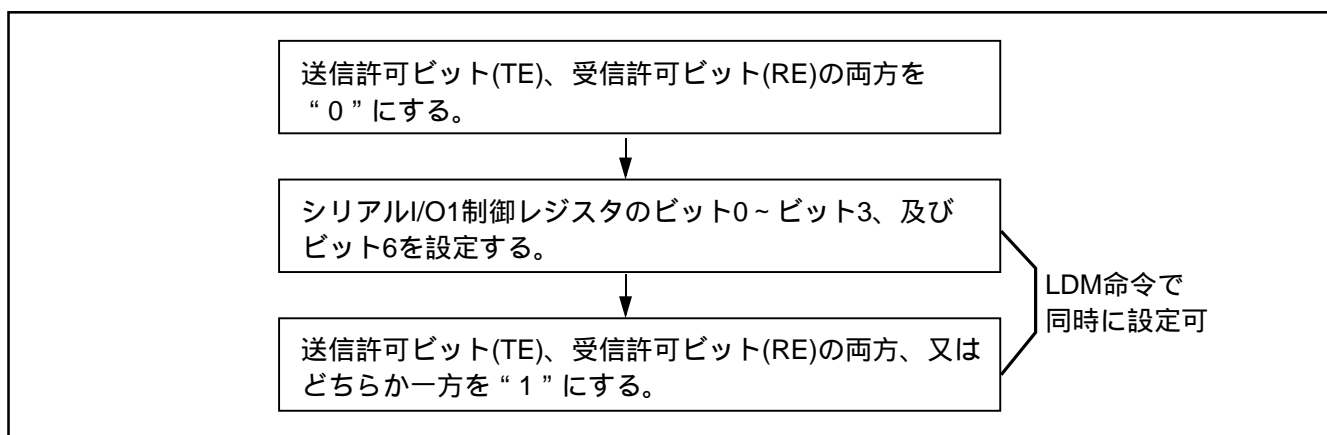


図2.4.43 シリアルI/O1制御レジスタの再設定手順

(5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O1)

送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(6) 外部クロック選択時の送信制御(シリアルI/O1)

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

(7) 送信許可ビットセット時の送信割り込み要求(シリアルI/O1)

送信割り込みを使用する場合は、以下の手順で送信許可ビットを許可状態にしてください。

CLB命令により、割り込み許可ビットを“0”(禁止状態)にする。

シリアルI/Oの送受信準備を行う。

一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

割り込み許可ビットを“1”(許可状態)にする。

理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンプティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

(8) 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

2.5 PWM

本節ではPWMに関するレジスタの設定方法、注意事項などを説明します。

2.5.1 メモリ配置図

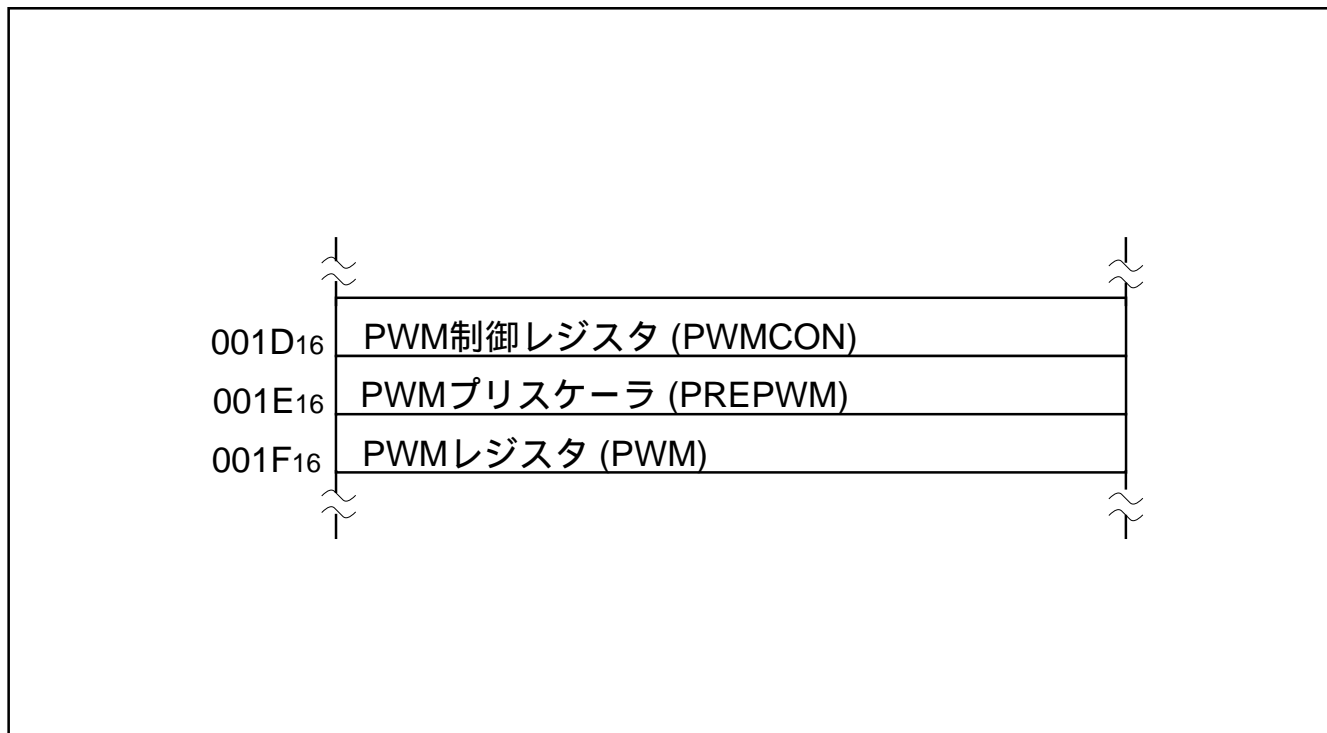


図2.5.1 PWM関連レジスタのメモリ配置

2.5.2 関連レジスタ

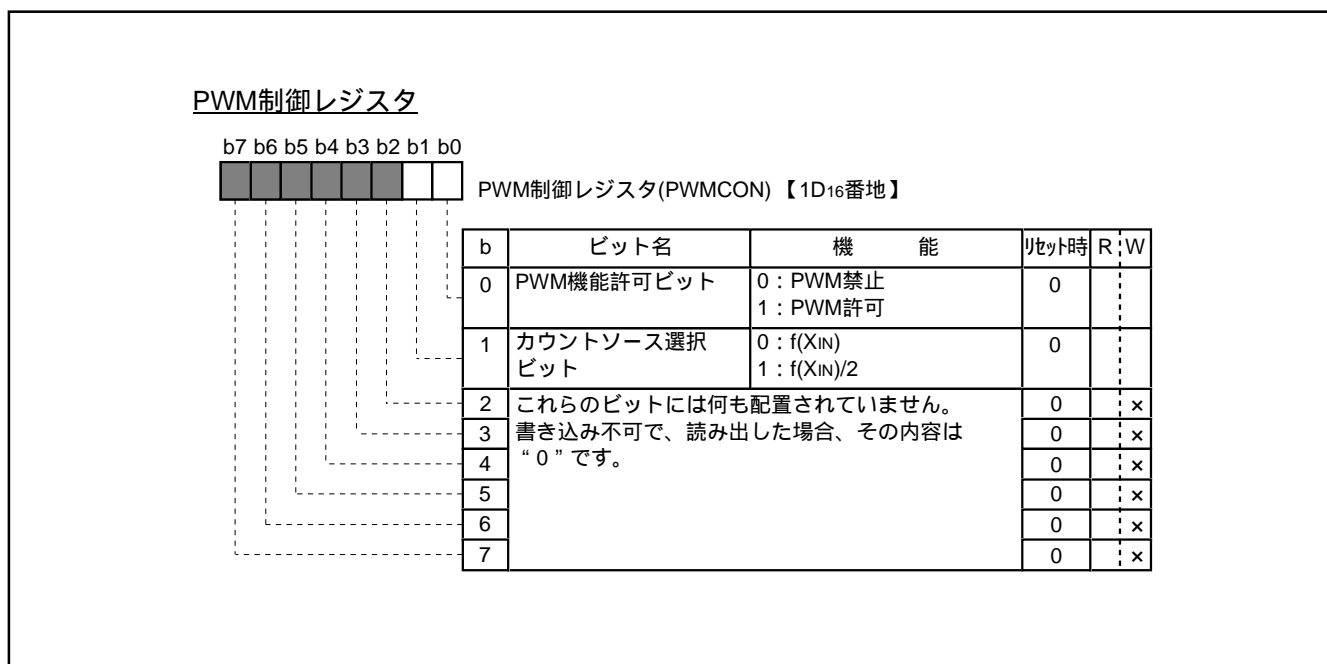


図2.5.2 PWM制御レジスタの構成

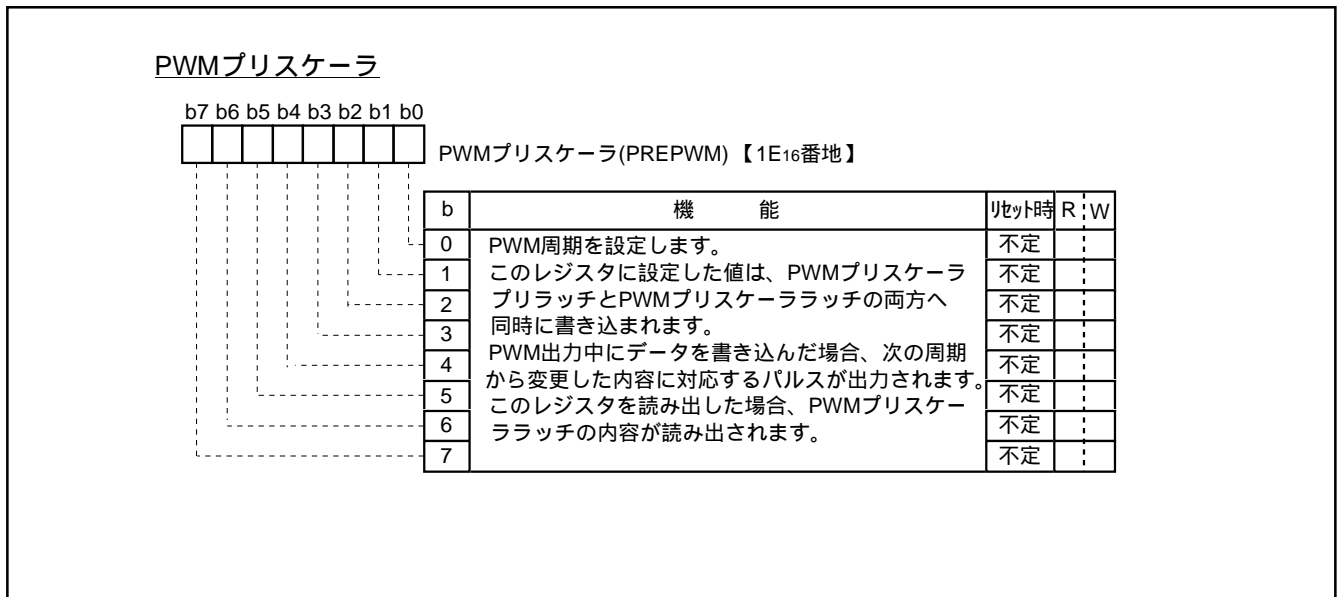


図2.5.3 PWMプリスケータの構成

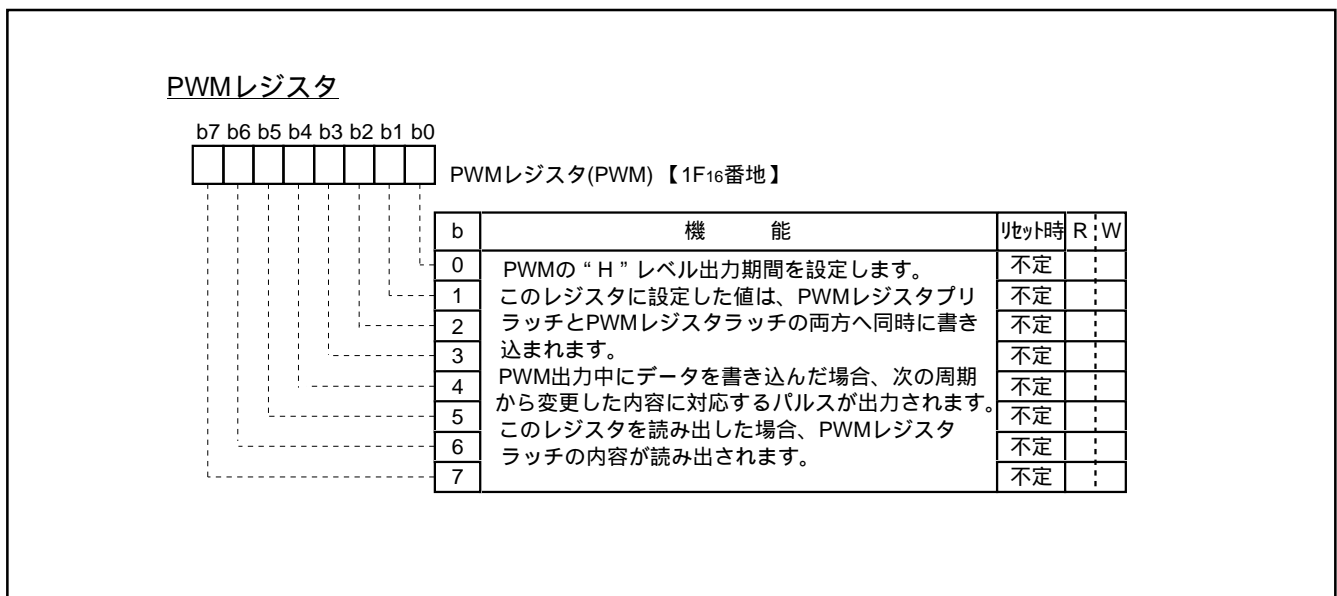


図2.5.4 PWMレジスタの構成

2.5.3 PWM出力回路の応用例

モータの制御

ポイント：PWM(パルス幅変調)出力を使用して、モータの回転速度を制御します。

接続図を図2.5.5、PWM出力タイミングを図2.5.6、関連レジスタの設定を図2.5.7に示します。

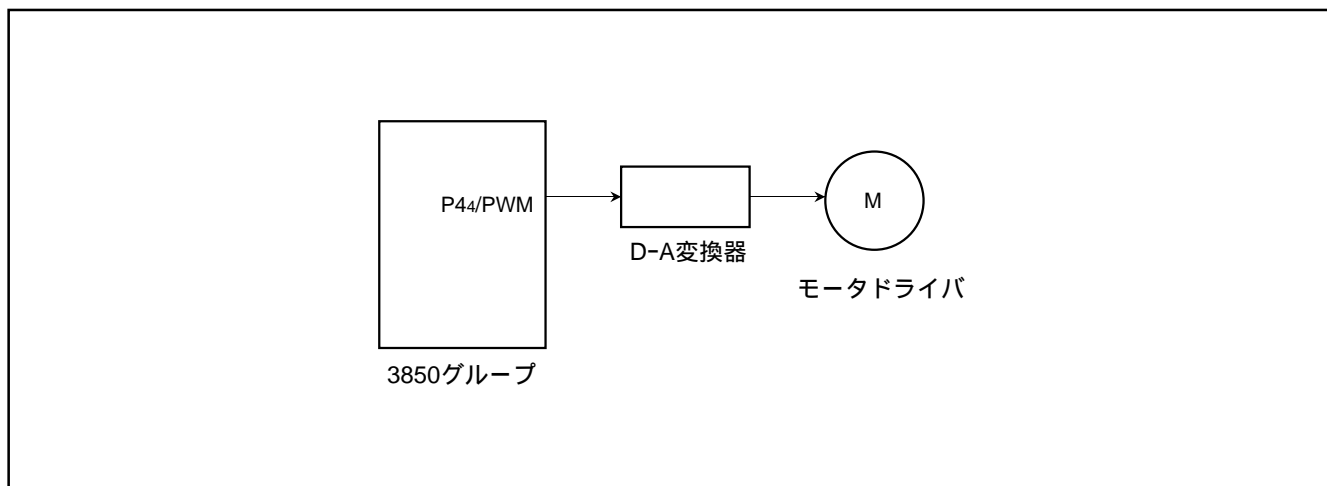


図2.5.5 接続図

- 仕様：
- ・ 8ビット分解能のPWM出力機能を使用したモータ制御。
 - ・ クロック $f(XIN) = 5\text{MHz}$
 - ・ PWM周期 T ： $102\ \mu\text{s}$
 - ・ 出力パルスの“H”レベル幅 t ： $40\ \mu\text{s}$ (速度固定*)
- * 出力パルス“H”レベル幅を変化させることにより、モータの速度を変更できる。

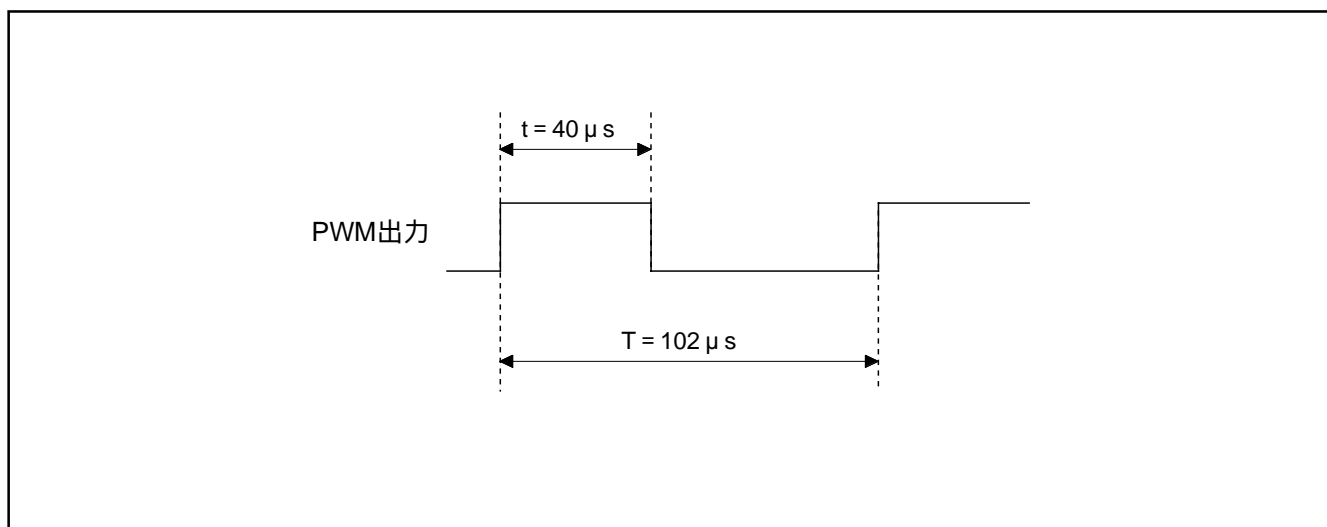


図2.5.6 PWM出力タイミング図

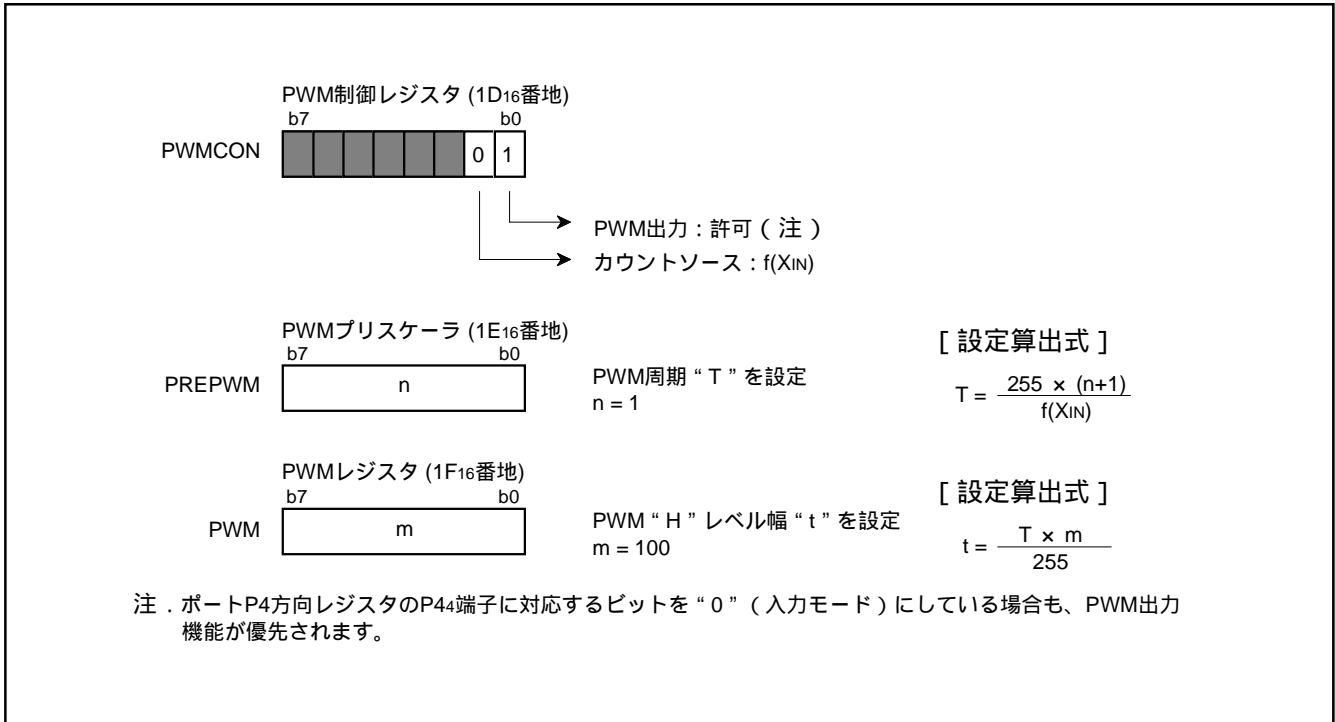


図2.5.7 関連レジスタの設定

PWM出力について

1. PWM機能許可ビットに "1" を設定
 P44/PWM端子をPWM端子として使用します。"H" から始まるパルスを出力します。
2. PWM機能許可ビットに "0" を設定
 P44/PWM端子をポートP44として使用します。したがって、出力レベルを固定する場合は以下の処理を順に行ってください。
 - ・ポートP4レジスタのビット6に出力値を書き込む
 - ・ポートP4方向レジスタに "000100002" を書き込む
3. PWMプリスケアラ、及びPWMレジスタにデータを設定後、次の繰り返し周期から新しいデータに対応するPWM波形が出力されます。

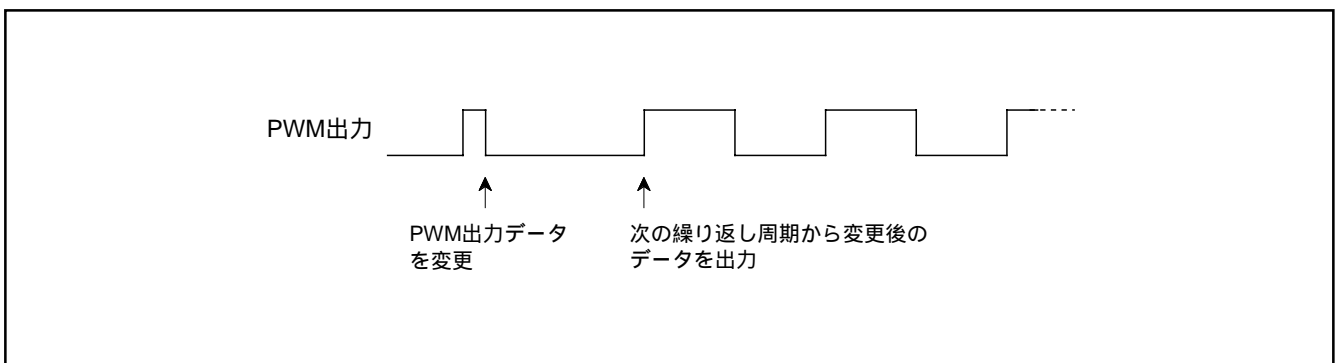


図2.5.8 PWM出力

図2.5.7に示す関連レジスタの設定を行うとPWM波形が外部に出力されます。このPWM出力をローパスフィルタで積分して直流信号に変換し、モータの制御に使用します。図2.5.9に制御手順を示します。

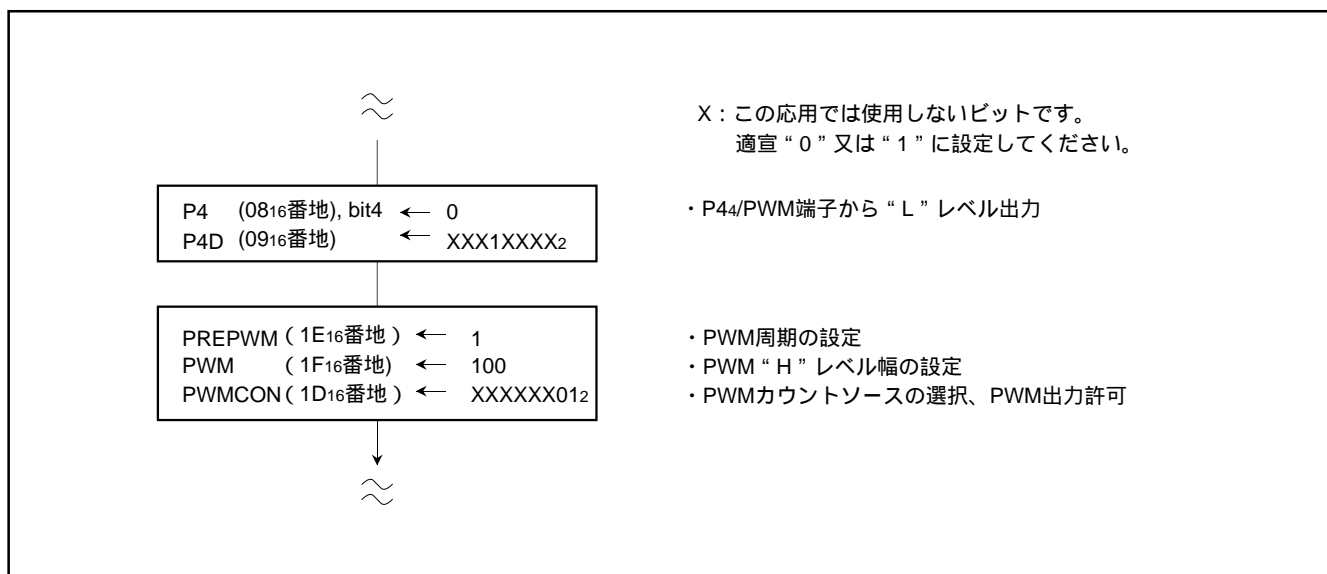


図2.5.9 制御手順

2.5.4 PWMに関する注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベルの出力時間は次のとおりです。

- ・ カウントソース選択ビット = “0”、n = プリスケアラ設定値

$$\frac{n + 1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・ カウントソース選択ビット = “1”、n = プリスケアラ設定値

$$\frac{n + 1}{f(XIN)} \quad (\text{秒})$$

2.6 A-D変換器

本節ではA-D変換器に関するレジスタの設定方法、注意事項などを説明します。

2.6.1 メモリ配置図



図2.6.1 A-D変換器関連レジスタのメモリ配置

2.6.2 関連レジスタ

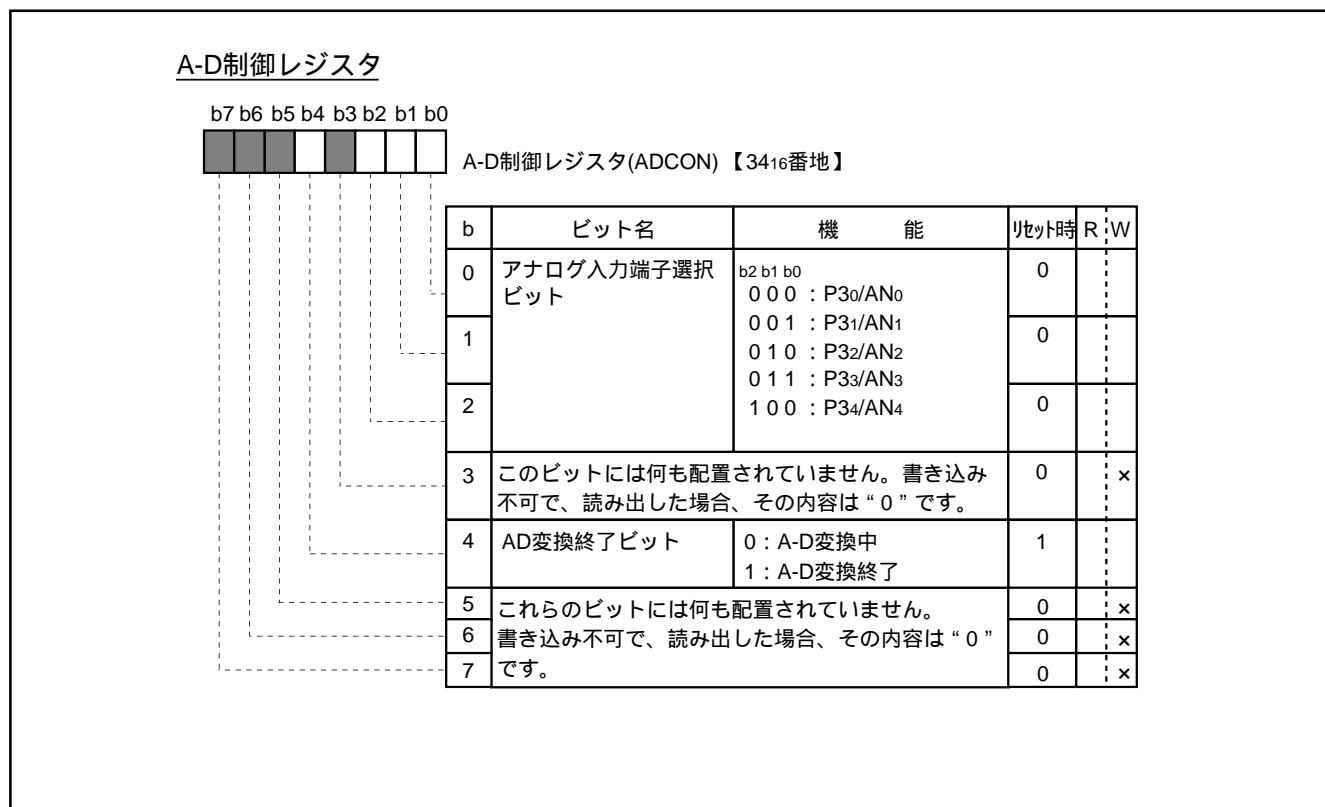


図2.6.2 A-D制御レジスタの構成

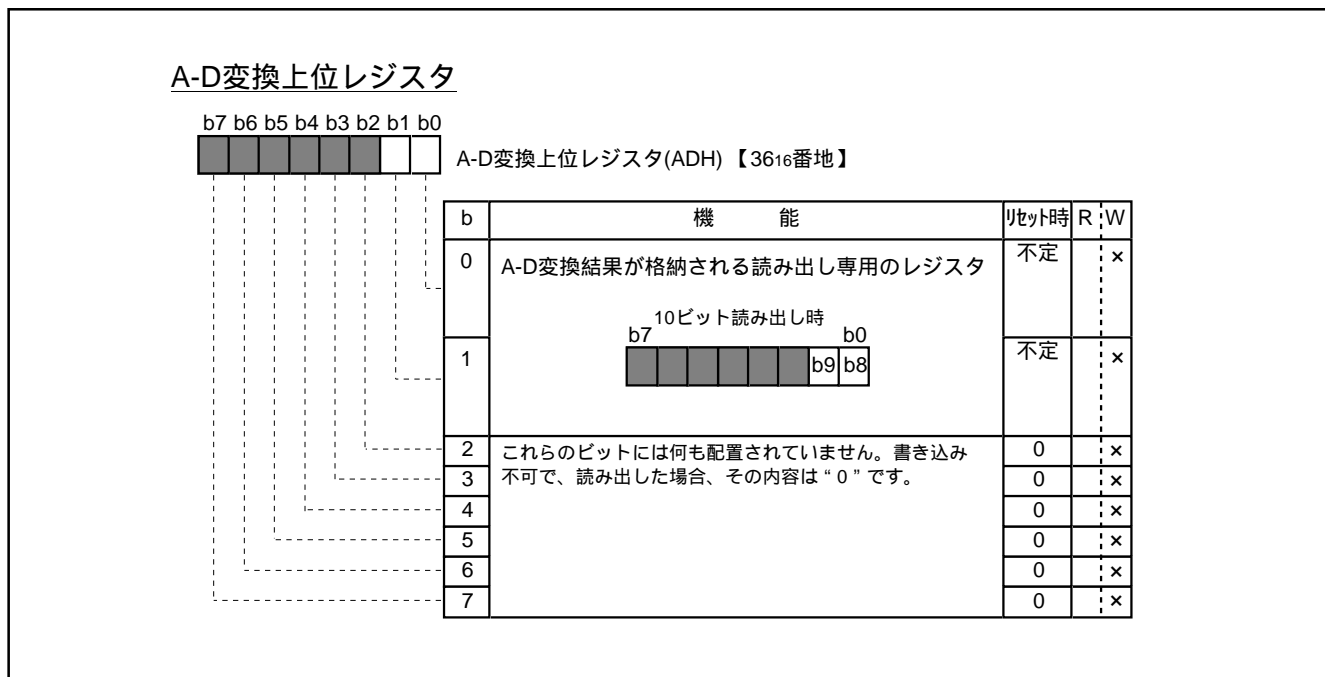


図2.6.3 A-D変換上位レジスタの構成

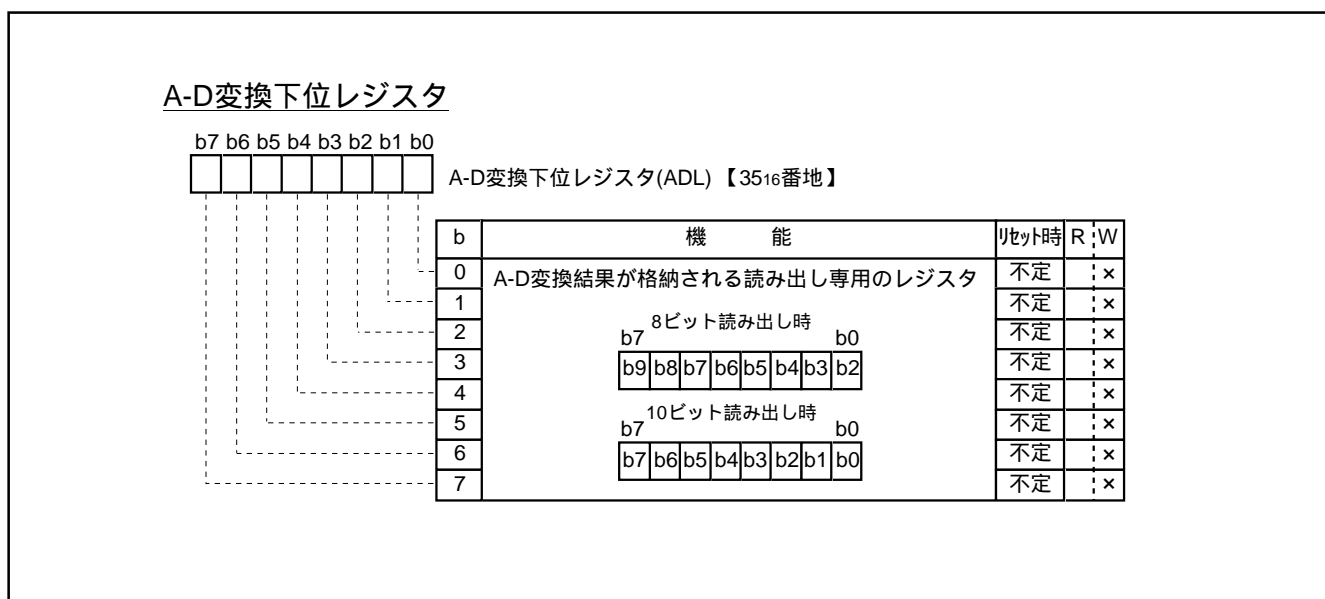


図2.6.4 A-D変換下位レジスタの構成

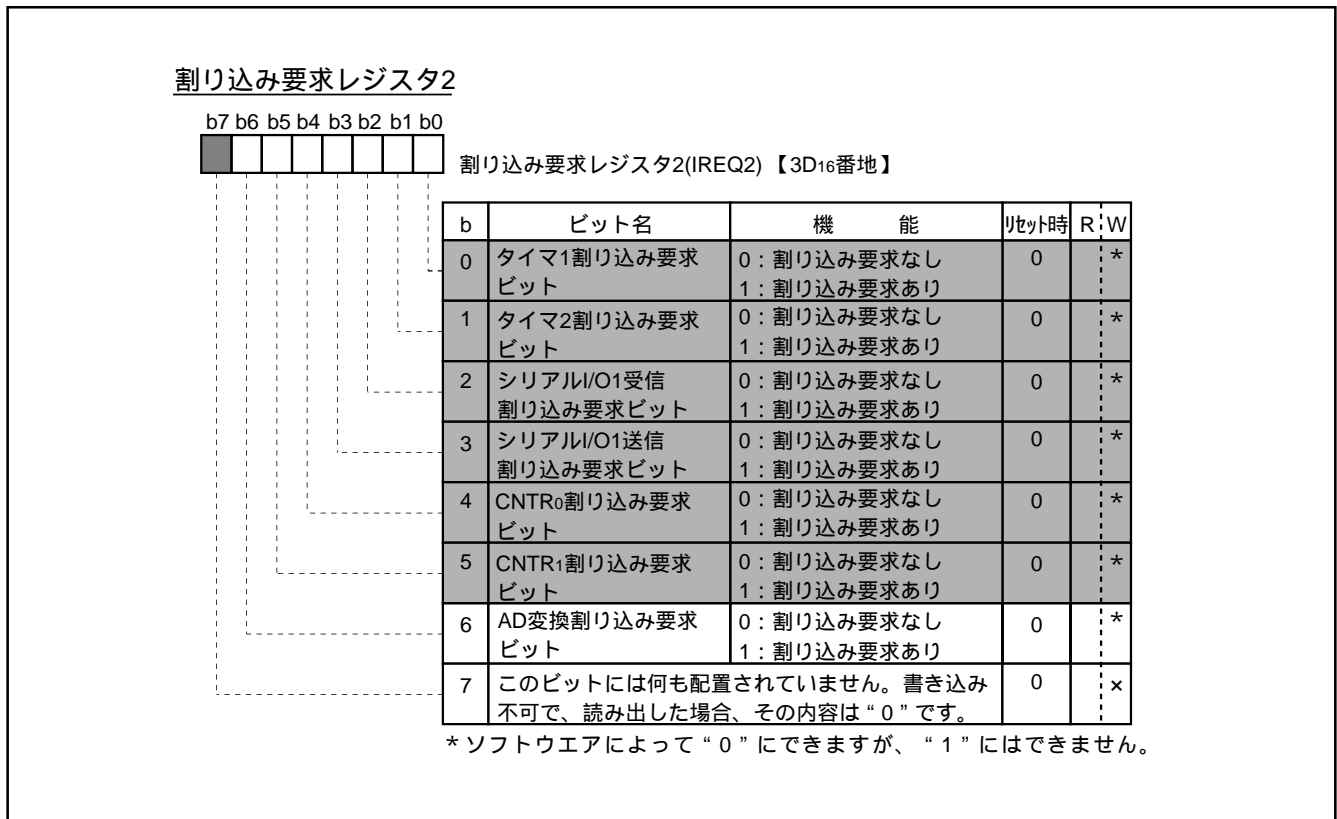


図2.6.5 割り込み要求レジスタ2の構成

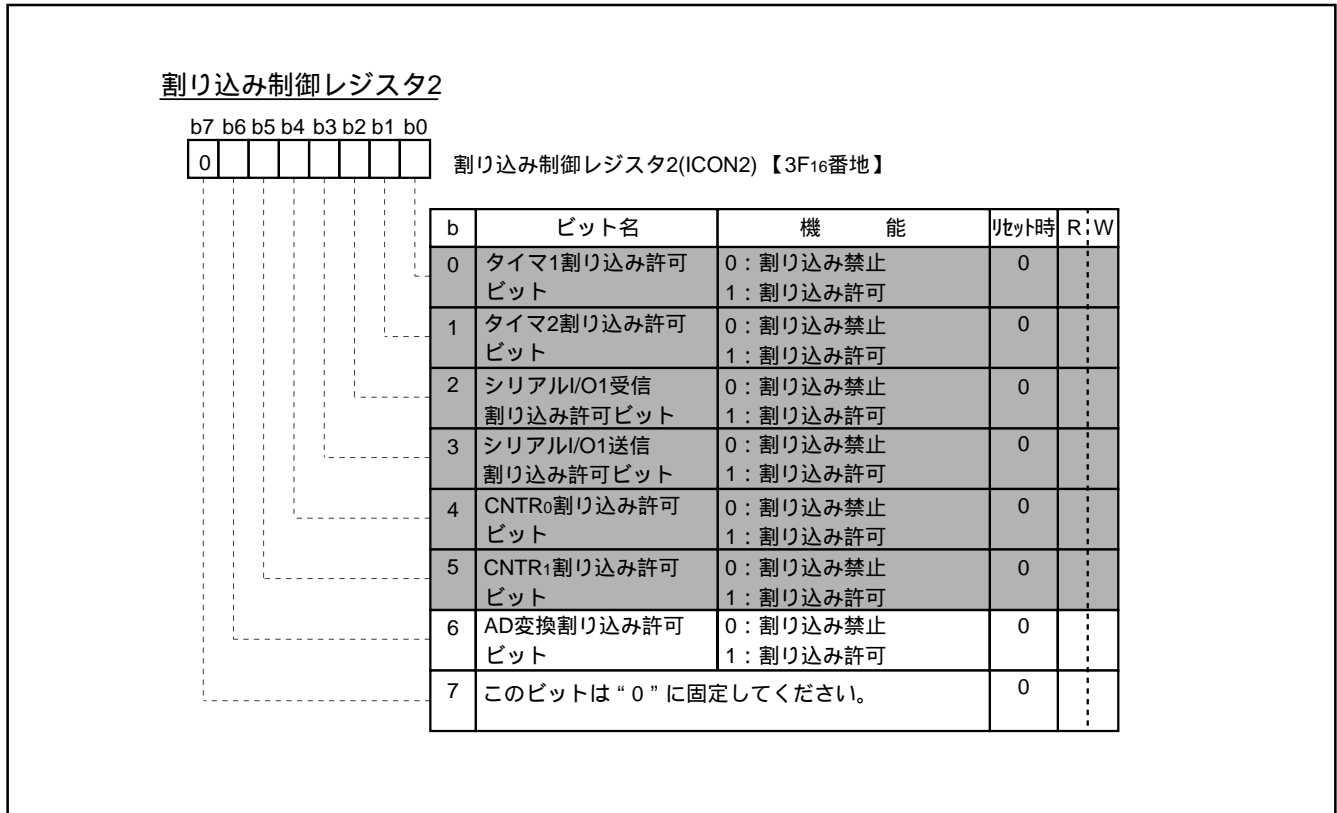


図2.6.6 割り込み制御レジスタ2の構成

2.6.3 A-D変換応用例

アナログ信号の読み込み

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.6.7、関連レジスタの設定を図2.6.8に示します。

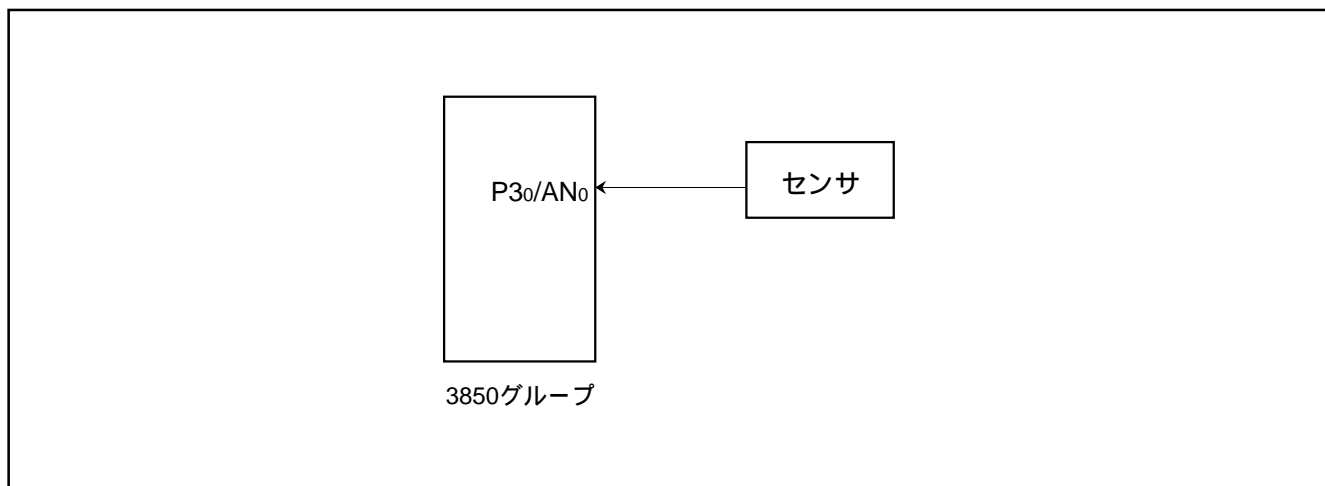


図2.6.7 接続図

- 仕様：
- ・センサからアナログ入力電圧をデジタル値に変換。
 - ・アナログ入力端子にはP30/AN0端子を使用。

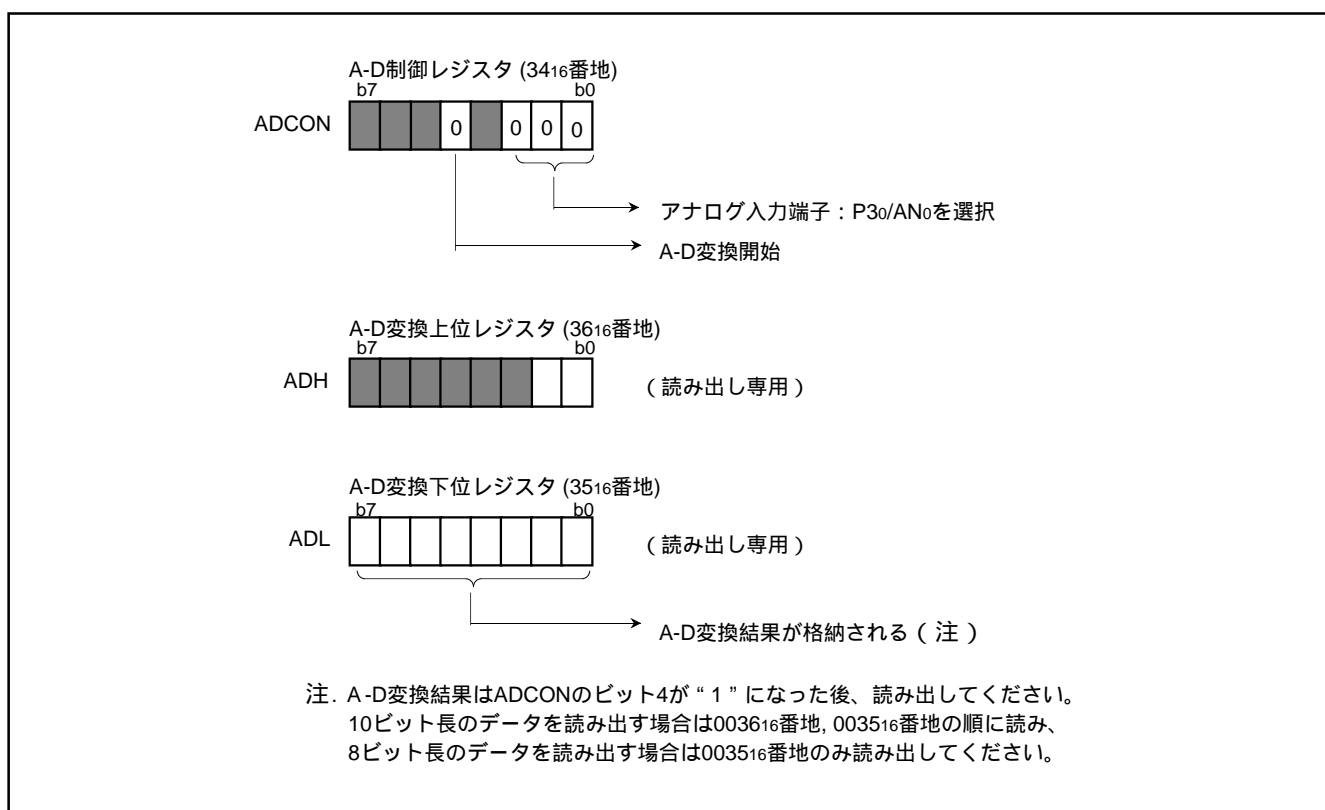


図2.6.8 関連レジスタの設定

図2.6.8に示す関連レジスタの設定を行うとセンサからのアナログ入力信号をデジタル値に変換します。
 図2.6.9に8ビット読み出し時の制御手順を、図2.6.10に10ビット読み出し時の制御手順を示します。

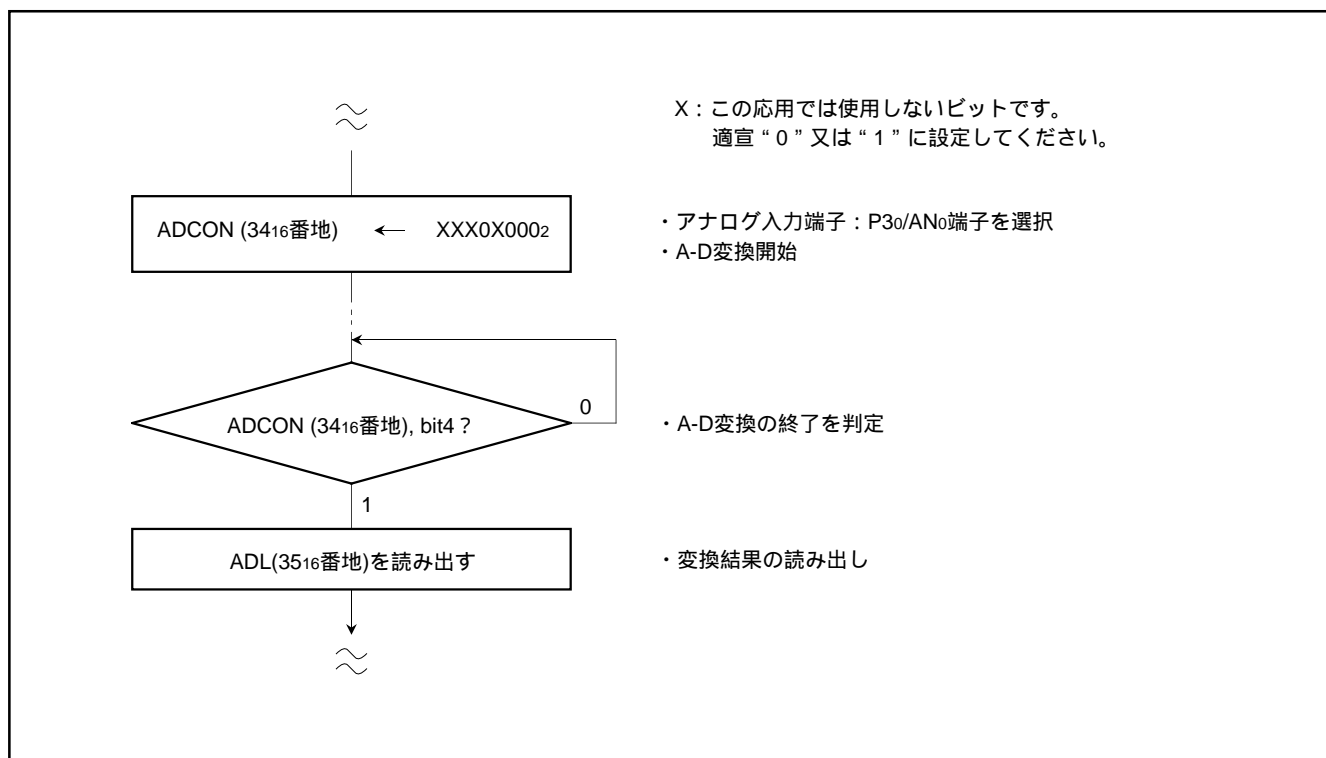


図2.6.9 制御手順(8ビット読み出し時)

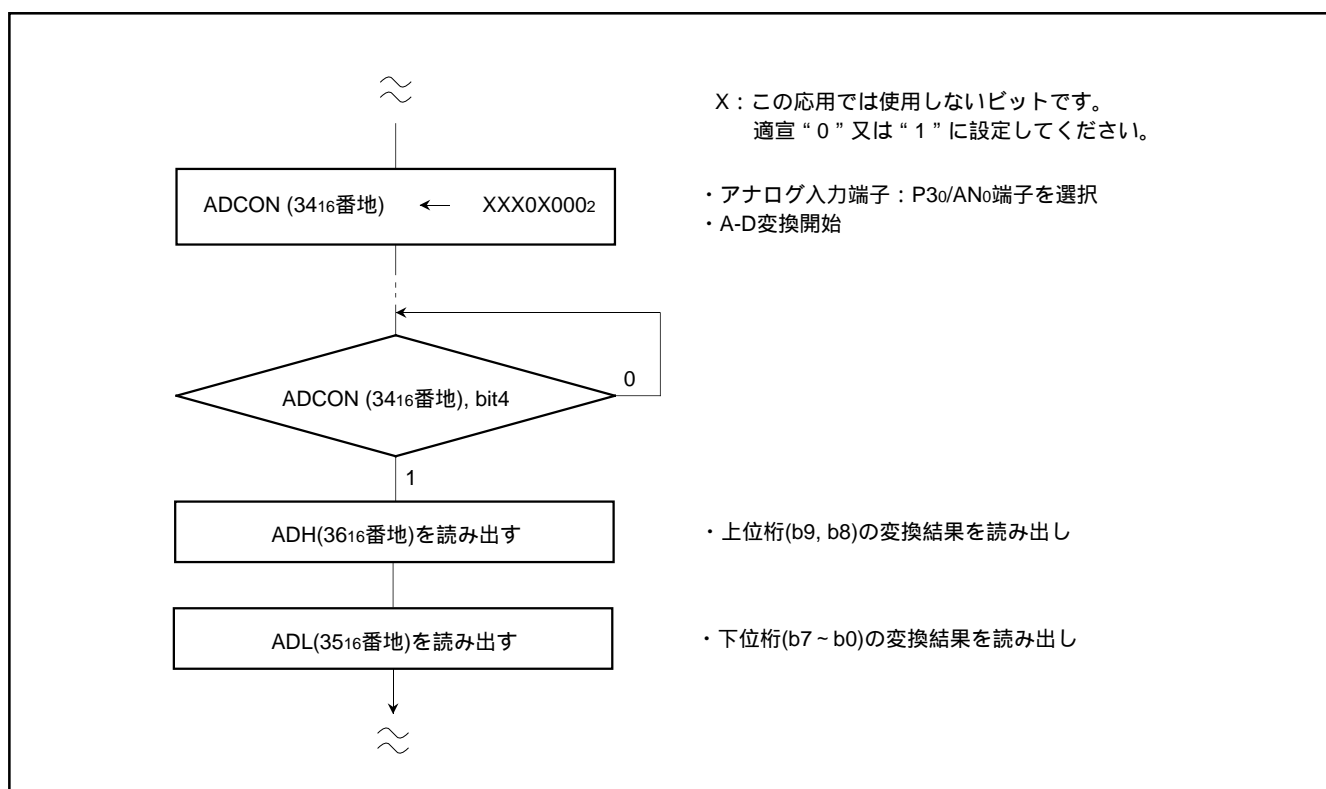


図2.6.10 制御手順(10ビット読み出し時)

2.6.4 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\ \mu\text{F}$ ~ $1\ \mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA-D変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、A-D変換器用電源端子AVssは以下のように処理してください。

- ・ AVss : Vssに接続

理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は以下の2点に留意してください。

- ・ 中速/高速モード時の $f(X_{IN})$ は500kHz以上にしてください。
- ・ STP命令を実行しないでください。
- ・ 低速モードでA-D変換を実行する場合は、内蔵の自己発振回路を使用してA-D変換を行いますので、 $f(X_{IN})$ の下限周波数の制限はありません。

2.7 ウォッチドッグタイマ

本節ではウォッチドッグタイマに関するレジスタの設定方法、制御手順などを説明します。

2.7.1 メモリ配置図

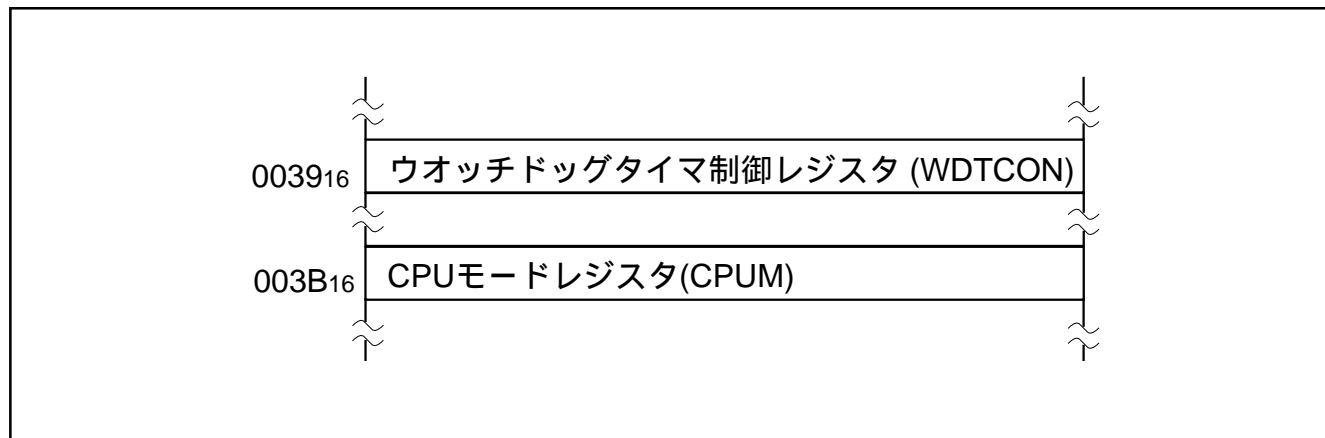


図2.7.1 ウォッチドッグタイマ関連レジスタのメモリ配置

2.7.2 関連レジスタ

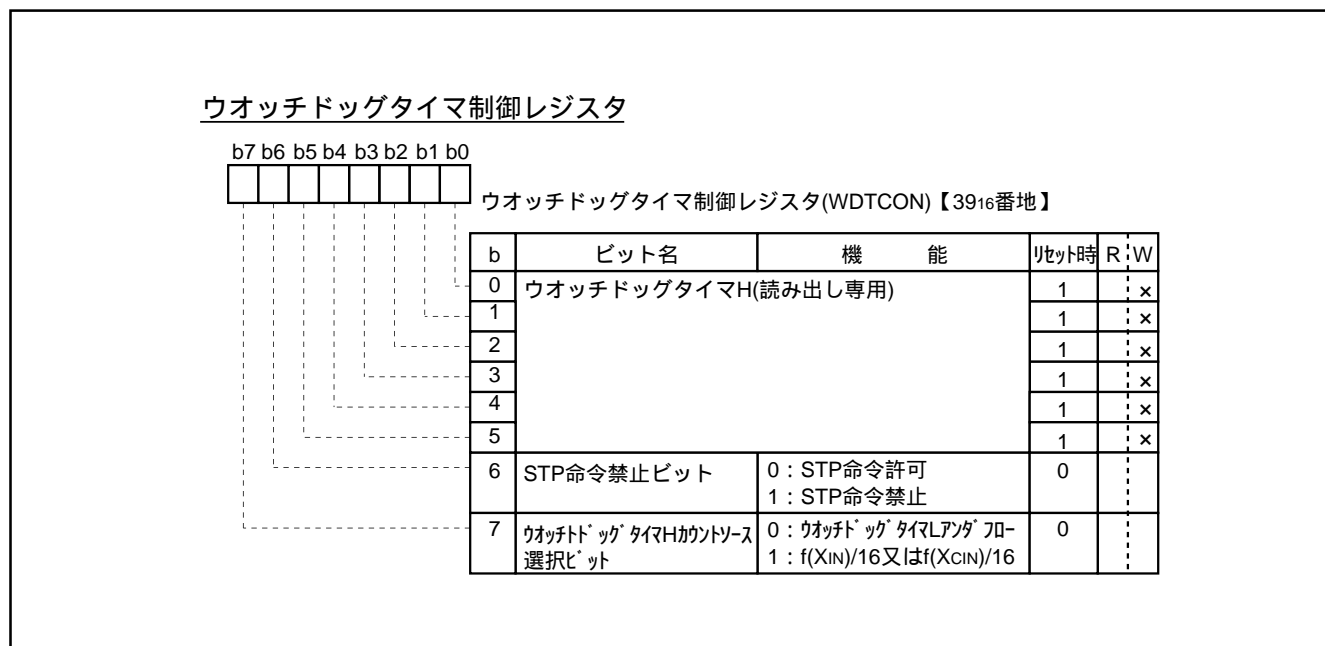


図2.7.2 ウォッチドッグタイマ制御レジスタの構成

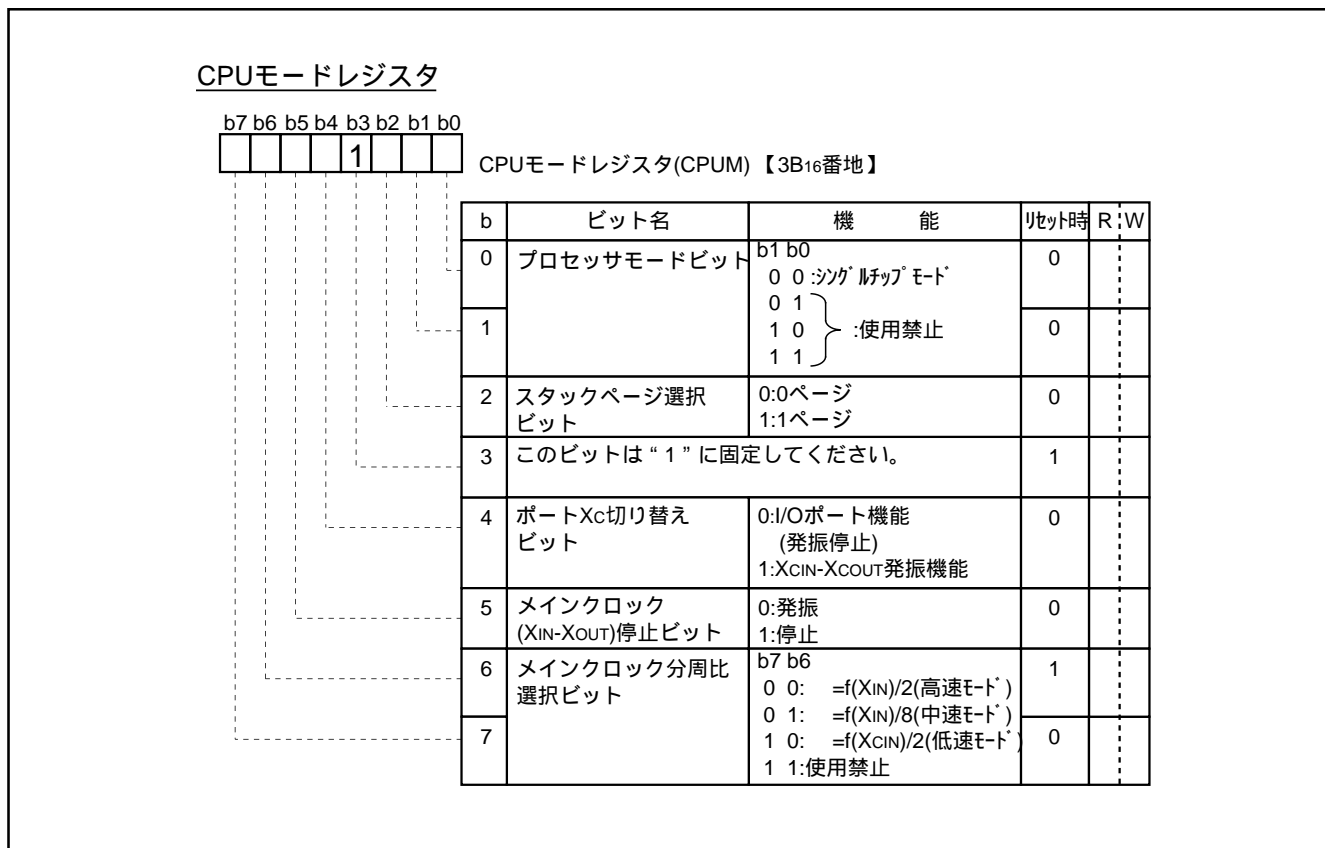


図2.7.3 CPUモードレジスタの構成

2.7.3 ウォッチドッグタイマの応用

(1) ウォッチドッグタイマの応用例：暴走検出

ポイント：プログラムが暴走した場合に、内部暴走検知タイマでマイコンをリセット状態に復帰させる手段を与えます。

仕様：

- ・ウォッチドッグタイマHのアンダフローによって、プログラムの異常と判断し、マイコンをリセット状態に復帰
- ・ウォッチドッグタイマがアンダフローする前に、メインルーチン1周ごとにウォッチドッグタイマ制御レジスタのビット6,7へ“0”を設定
- ・メインクロック分周比は高速モードを使用
- ・ウォッチドッグタイマHのカウントソースにはウォッチドッグタイマLのアンダフローを接続

ウォッチドッグタイマの接続と分周比の設定を図2.7.4、関連レジスタの設定を図2.7.5、及び制御手順を図2.7.6に示します。

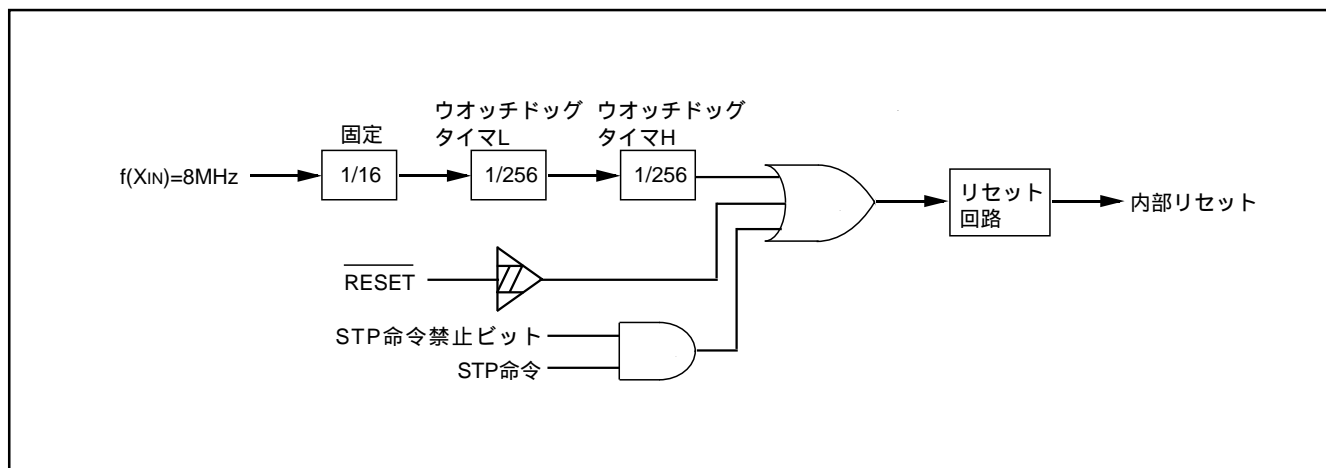


図2.7.4 ウォッチドッグタイマの接続と分周比の設定

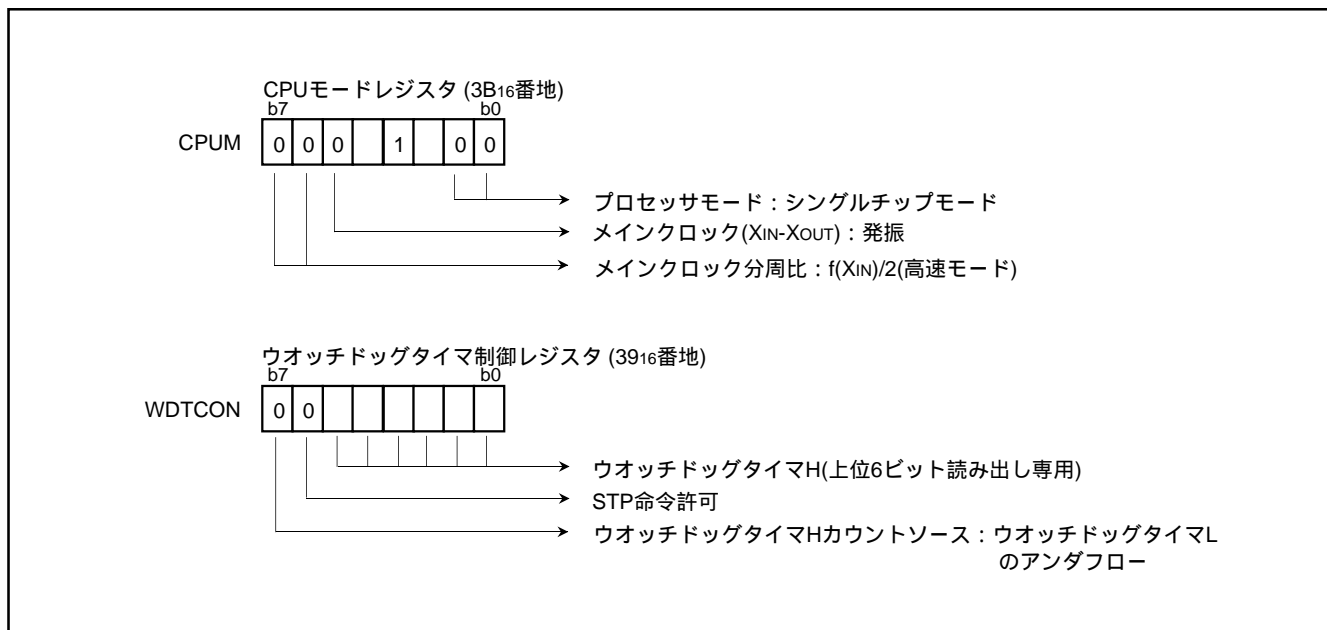


図2.7.5 関連レジスタの初期設定

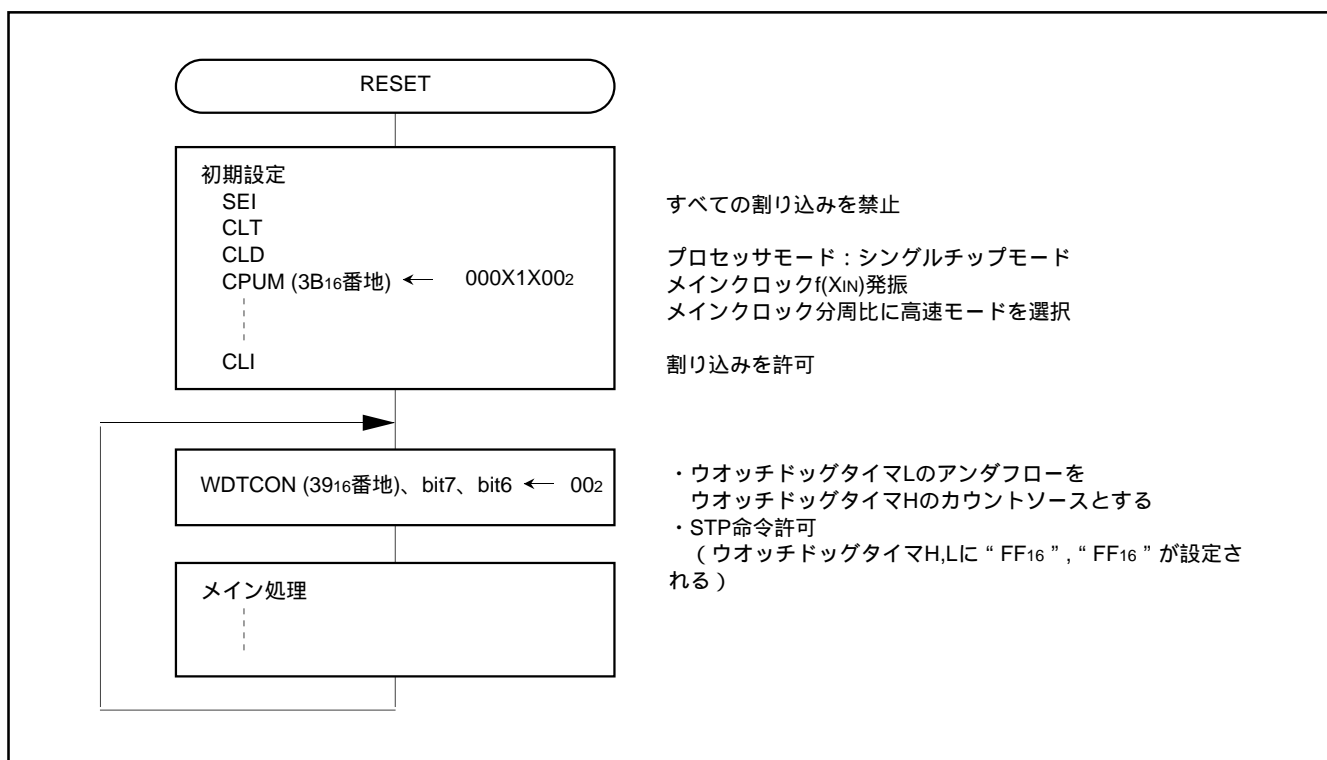


図2.7.6 制御手順

2.7.4 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。

ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えることはできません。

2

2.8 リセット

2.8.1 リセットICを用いた接続例

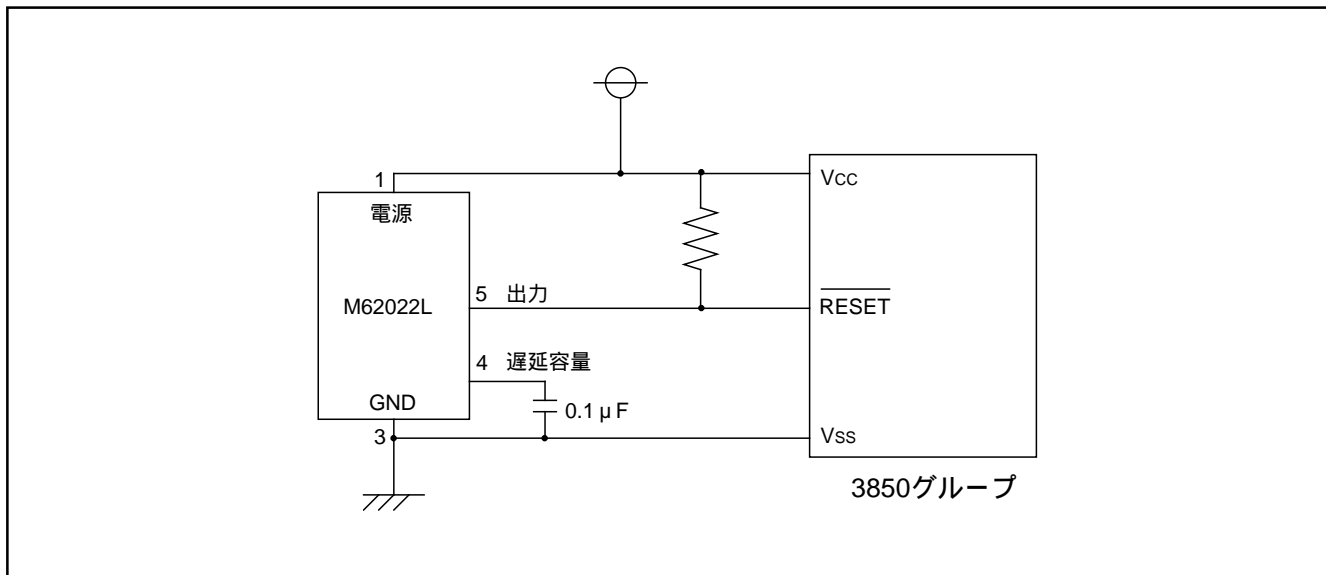


図2.8.1 パワーオンリセット回路例

INT割り込みでシステム電源の低下を検出することによって、RAMバックアップモードに切り替えるシステム例を図2.8.2に示します。

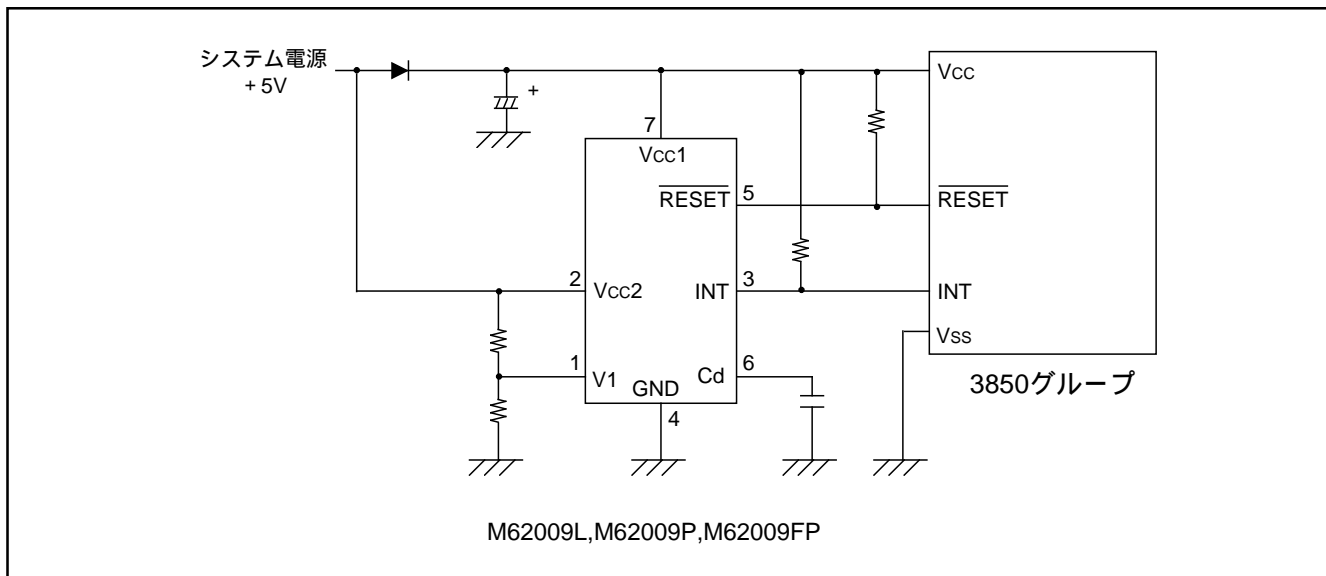


図2.8.2 RAMバックアップシステム

2.8.2 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

(2) 電源投入後のリセット解除

パワーオンリセット等、電源投入後リセットを解除する場合は、電源電圧が2.7V以上に達し、XINが安定発振している状態でXINが20サイクル以上経過した後に解除してください。

理由

リセット解除には電源電圧が2.7～5.5Vにあり、XINが安定発振しているときにXINの20サイクル以上の期間“L”レベルにする必要があります。

2.9 クロック発生回路

本節ではクロック発生回路に関するレジスタの設定方法、応用例などを説明します。

2.9.1 関連レジスタ

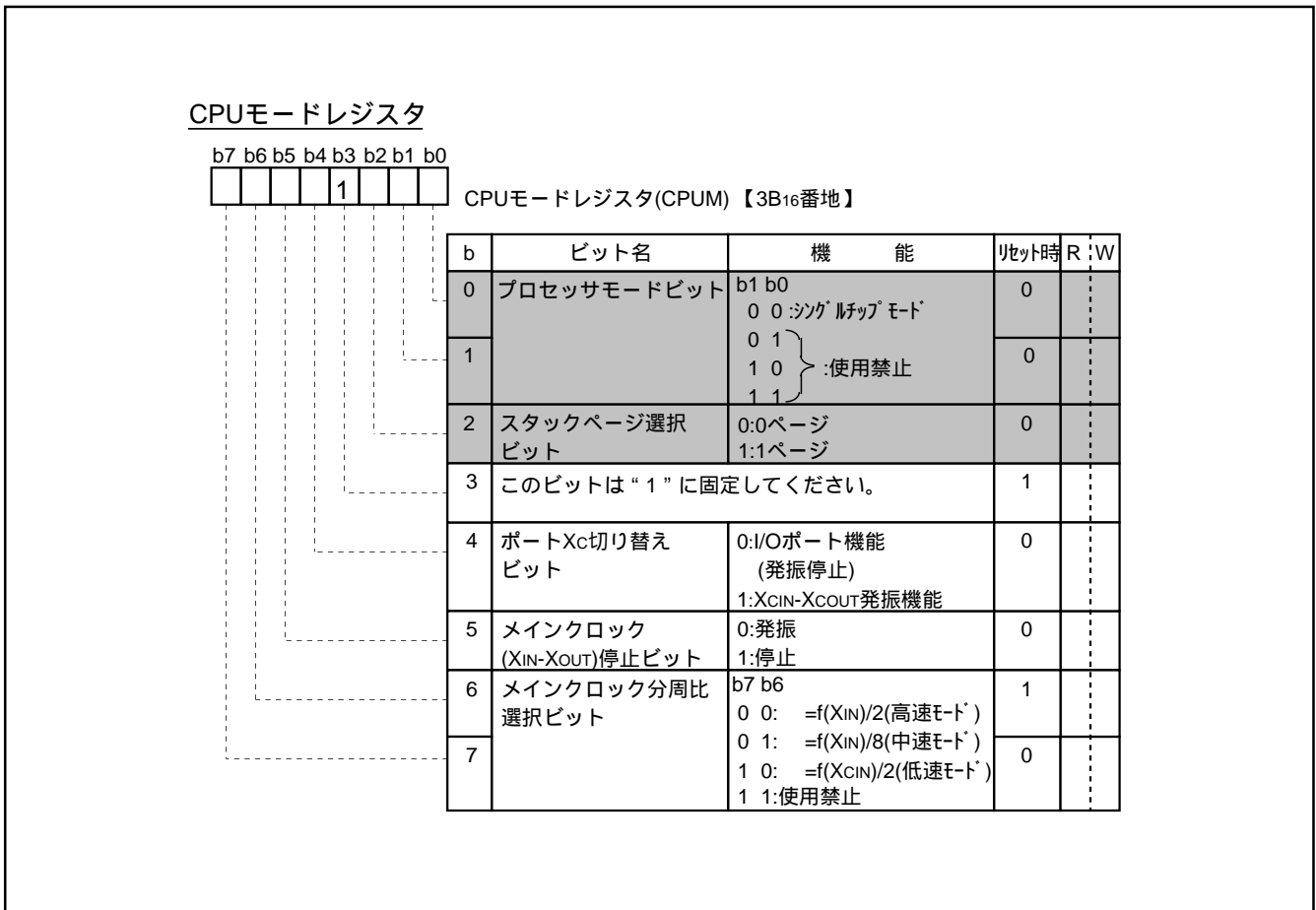


図2.9.1 CPUモードレジスタの構成

2.9.2 クロック発生回路の応用例

(1) 停電時の状態遷移

ポイント：停電時にタイマ割り込みを使用して、1秒ごとに時計をカウントアップします。

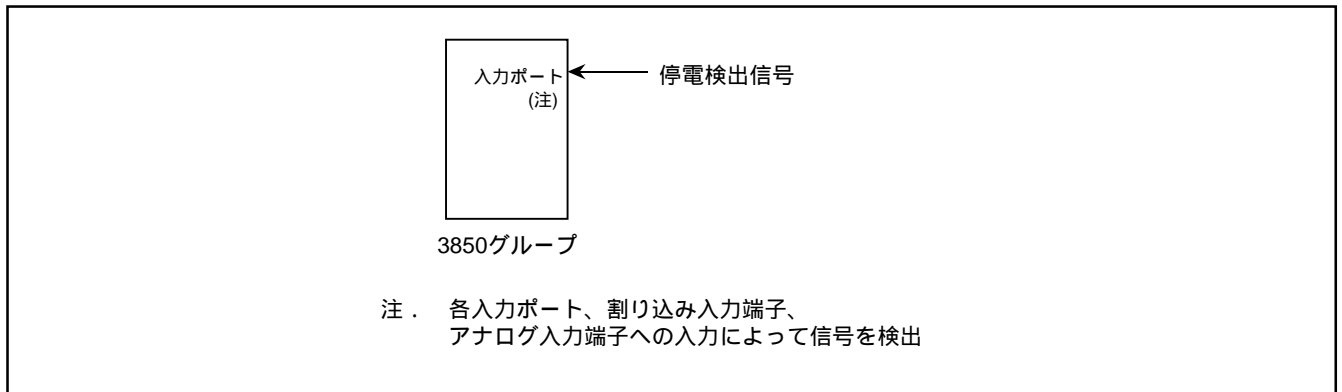


図2.9.2 接続図

仕様： 時計機能を維持しながら可能な限り消費電力を抑制。
 クロック： $f(X_{IN})=8\text{MHz}$ 、 $f(X_{CIN})=32.768\text{kHz}$ を使用
 ポート処理
 入力ポート：外部で“H”又は“L”レベルに固定
 出力ポート：外部に電流が流れ出さない出力レベルに固定
 (例：出力レベル“L”時に電流が流れてLEDが点灯するような回路の場合、出力レベル“H”に固定)
 入出力ポート：入力ポート 外部で“H”又は“L”レベルに固定
 出力ポート 電流を消費しないデータを出力
 VREF端子：A-D変換動作を終了させることにより、VREF電流消費を止める。
 図2.9.3に停電時の状態遷移図、図2.9.4に関連レジスタの設定を示します。

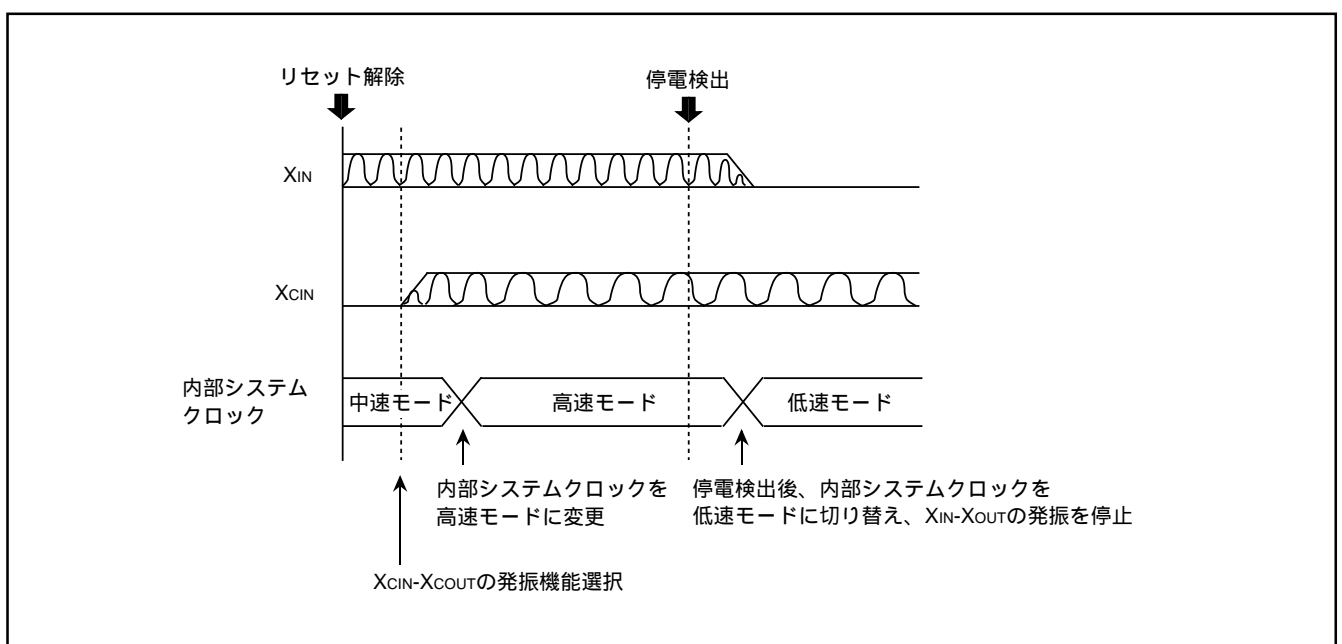


図2.9.3 停電時の状態遷移図

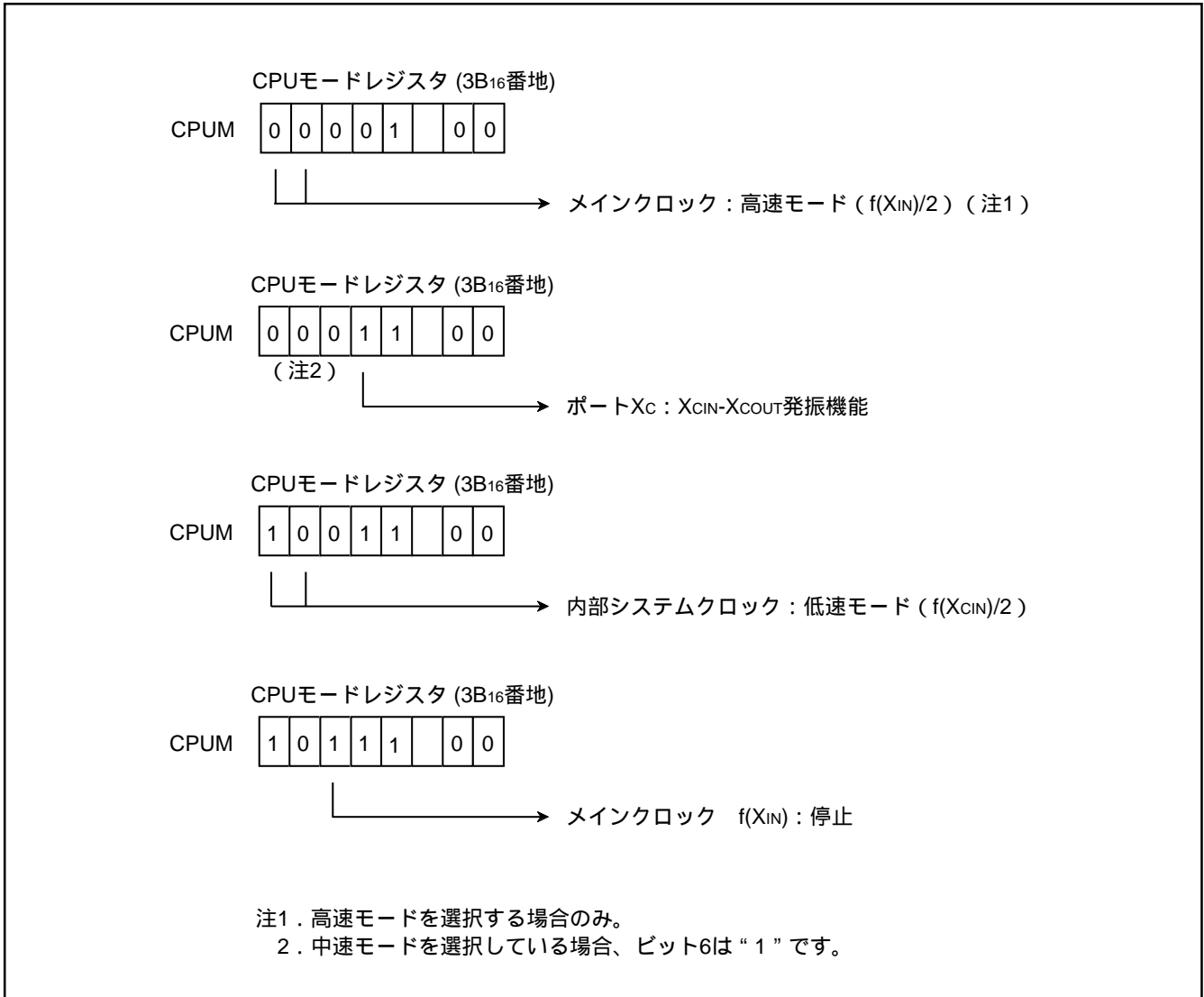


図2.9.4 関連レジスタの設定

制御手順：

下記の順に関連レジスタを設定することによって停電に対応します。

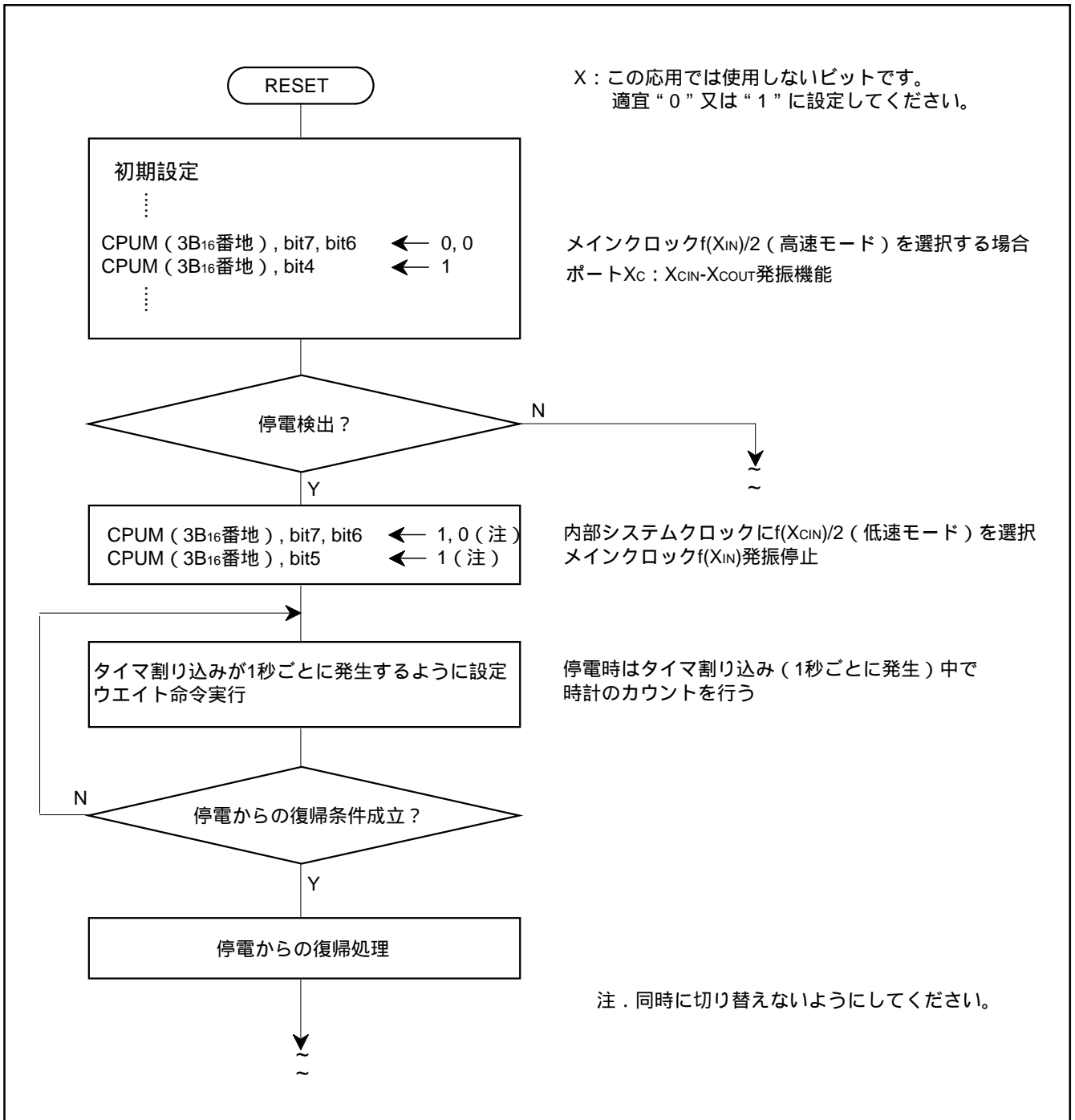


図2.9.5 制御手順

2.10 スタンバイ機能

3850グループはソフトウェアでCPUの動作を停止させ、低消費電力でCPUを待機させるスタンバイ機能を持ちます。

スタンバイ機能には次の2種類があります。

STP命令によるストップモード

WIT命令によるウエイトモード

2.10.1 関連レジスタ

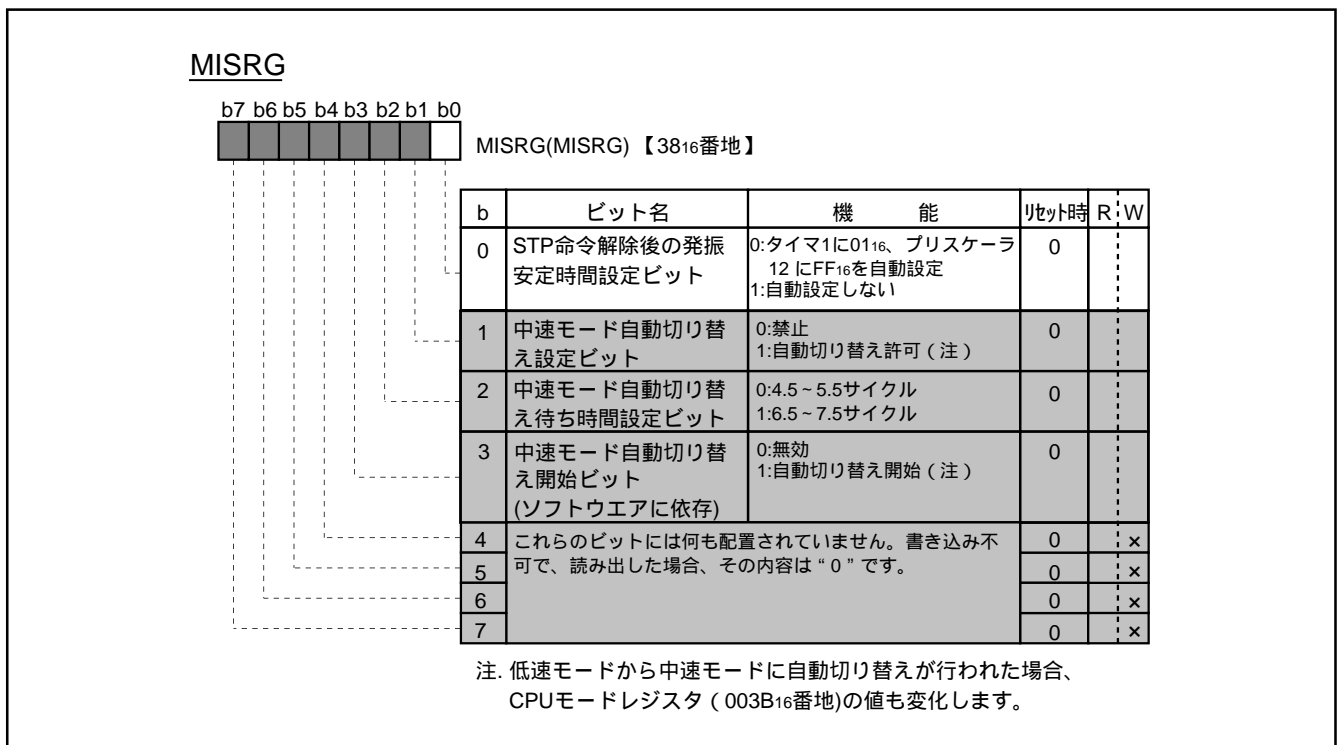


図2.10.1 MISRGの構成

2.10.2 ストップモード

STP命令の実行によって、ストップモードの状態になります。ストップモードではメインクロック(XIN-XOUT)、サブクロック(XCIN-XCOUT)とも発振が停止し、内部クロック ϕ は“H”レベルで停止します。

CPUは停止し、周辺機能の動作も停止します。その結果、消費電力の低減を実現できます。

(1) ストップモード時の状態

ストップモード時の状態を表2.10.1に示します。

表2.10.1 ストップモード時の状態

項目	ストップモード時の状態
発振	停止
CPU	停止
内部クロック ϕ	“H”レベルで停止
入出力ポートP0～P4	STP命令実行時の状態を保持
タイマ	停止(タイマ1、2、X、Y) ただし、タイマX、タイマYではイベントカウンタモードが使用できます。
PWM	停止
ウォッチドッグタイマ	停止
シリアルI/O1、シリアルI/O2	停止 ただし、外部クロックモードで動作できます。
A-D変換器	停止

(2) ストップモードの解除

ストップモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ストップモードからの復帰処理が異なります。

リセット入力による復帰

ストップモード中にRESET端子の入力レベルを“L”にすると、ストップモードは解除されます。すべてのポートが状態となり、メインクロック(XIN-XOUT)のストップモードが解除されると、発振が開始します。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)(注)が必要です。発振が安定するまでRESET端子の入力レベルを“L”にしておく必要があります。

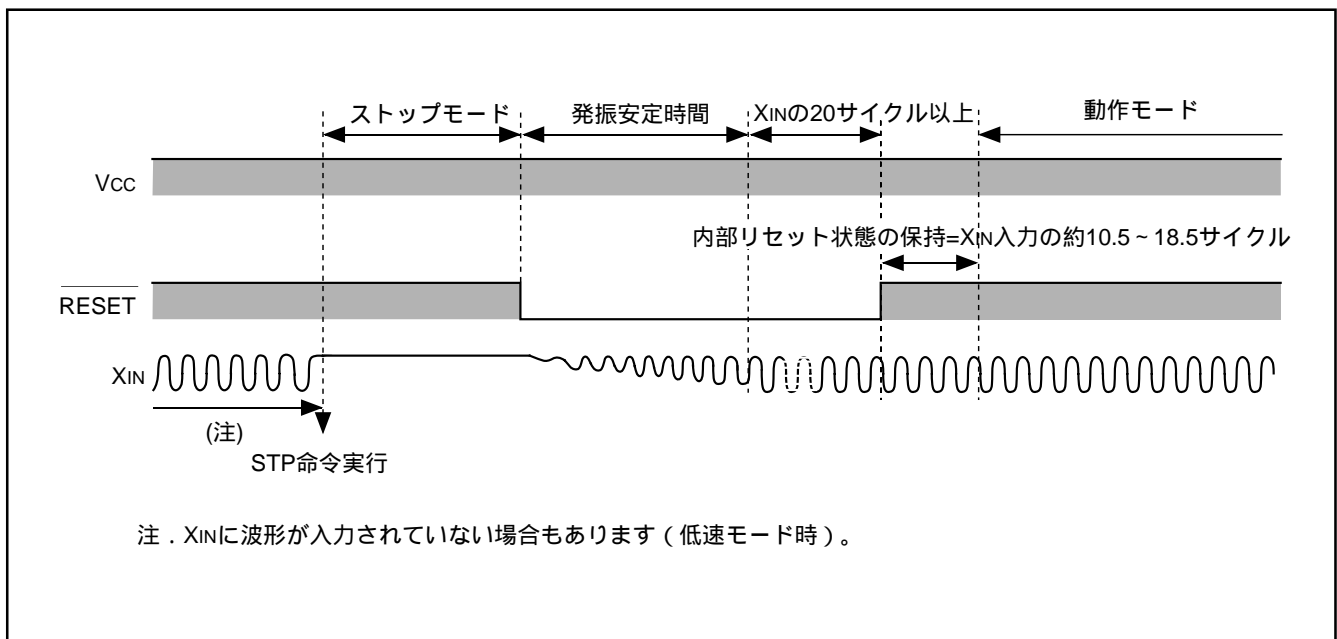
安定発振しているときに、RESET端子をXINの20サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5~18.5サイクル後に解除されます。

図2.10.2にリセット入力による復帰時の発振安定時間を示します。

リセット入力によるストップモードの解除では、STP命令実行前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

リセットについては「2.8 リセット」を参照してください。

注. 発振安定時間の設定については、MISRQ(003816番地)を参照してください。



割り込みによる復帰

ストップモード中に割り込み要求が発生すると、ストップモードは解除され、発振が再開します。復帰に使用できる割り込み要因は、下記のとおりです。

- ・ INT0 ~ INT3
- ・ CNTR0, CNTR1
- ・ 外部クロック使用のシリアルI/O(1, 2)
- ・ 外部クロック使用のタイマ(X, Y)

ただし、上記の割り込み要因をストップモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、STP命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 (許可)
- ②タイマ1の割り込み許可ビット=" 0 (禁止)
- ③復帰に用いる割り込み要因の割り込み要求ビット=" 0 (要求なし)
- ④復帰に用いる割り込み要因の割り込み許可ビット=" 1 (許可)

割り込みについては、「2.2 割り込み」を参照してください。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。割り込みによる復帰時には、プリスケータ12、タイマ1*1がCPUへの内部クロック ϕ の供給を待機する時間を生成します*2。この待機する時間で、システムクロック側の発振安定時間を確保します。CPUへの内部クロック ϕ の供給は、タイマ1のアンダフロー時から開始されます。

図2.10.3にINT0割り込み要求の発生による復帰時の実行シーケンス例を示します。

- *1 : STP命令解除後の発振安定時間設定ビット(3816番地のビット0)が" 0 "のときにSTP命令を実行すると、プリスケータ12のカウンタ/ラッチに" FF16 "が、タイマ1のカウンタ/ラッチに" 0116 "が自動的に設定されます。STP命令解除後の発振安定時間設定ビットが" 1 "のときは自動設定が行われませんので、STP命令実行前に発振安定時間に適した値を任意にプリスケータ12、タイマ1に設定できます。
- *2 : 発振開始直後からカウントソースはプリスケータ12カウンタへ供給され、カウント動作が開始します。

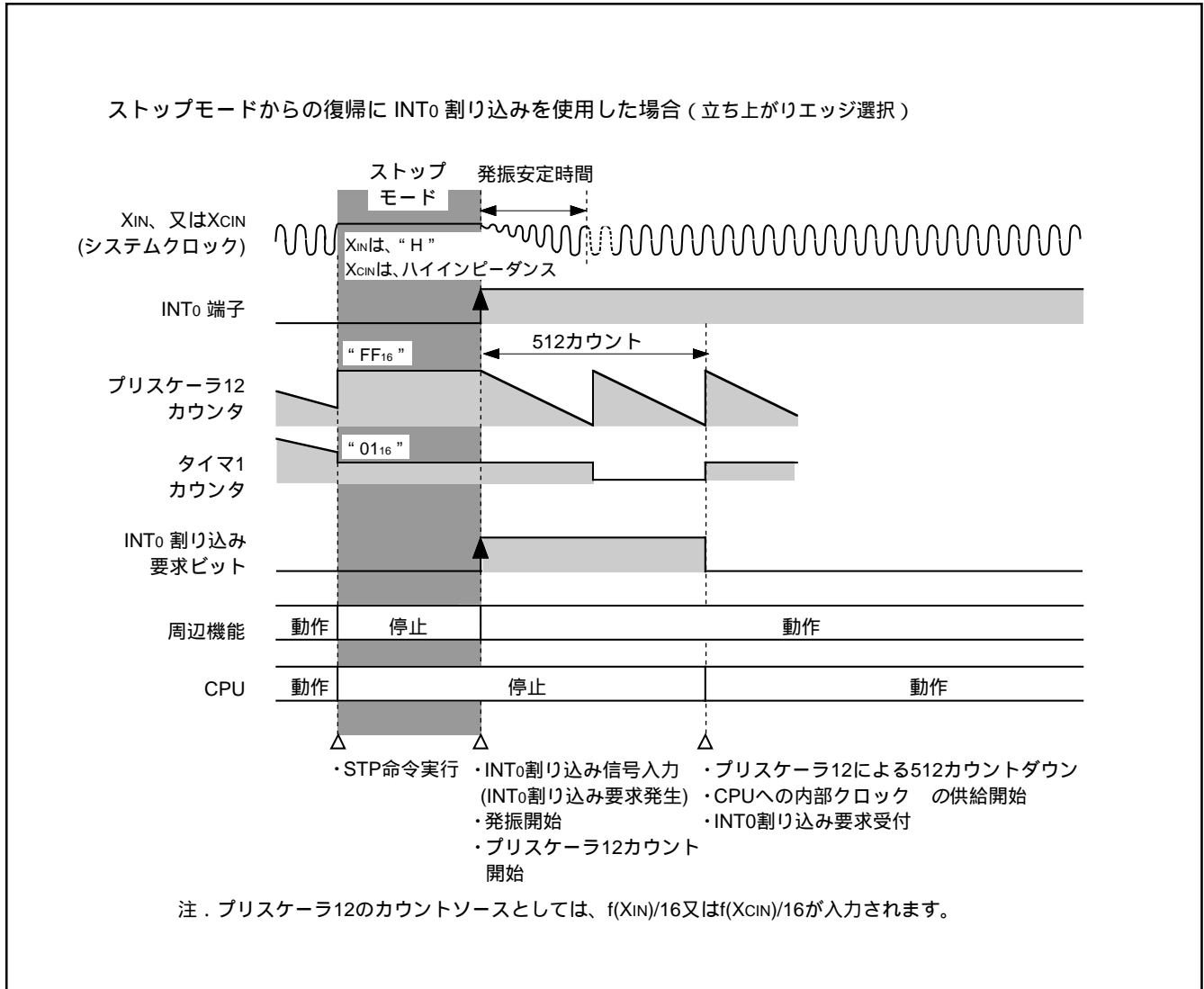


図2.10.3 INT0割り込み要求の発生による復帰時の実行シーケンス例

(3) ストップモード使用上の注意事項

レジスタ設定

ストップモードからの復帰時、プリスケラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。（STP命令解除後の発振安定時間設定ビットが“0”のとき）

復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

2.10.3 ウェイトモード

WIT命令の実行によって、ウェイトモードの状態になります。ウェイトモードでは発振は継続しますが、内部クロック ϕ は“H”レベルで停止します。

CPUは停止しますが、大部分の周辺機能は動作します。

(1) ウェイトモード時の状態

周辺機能へのクロックは供給され続けています。ウェイトモード時の状態を表2.10.2に示します。

表2.10.2 ウェイトモード時の状態

項目	ウェイトモード時の状態
発振	動作
CPU	停止
内部クロック ϕ	“H”レベルで停止
入出力ポートP0～P4	WIT命令実行時の状態を保持
タイマ	動作
PWM	動作
ウォッチドッグタイマ	動作
シリアルI/O1、シリアルI/O2	動作
A-D変換器	動作

(2) ウェイトモードの解除

ウェイトモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合では、ウェイトモードからの復帰処理が異なります。

ウェイトモードでは発振は継続されていますので、ウェイトモードが解除されるとただちに命令を実行できます。

リセット入力による復帰

ウェイトモード中にRESET端子の入力レベルを“L”にすると、ウェイトモードは解除されます。

ウェイトモードが解除されると、すべてのポートが入力状態になり、CPUへの内部クロック ϕ の供給が開始します。RESET端子をXINの20サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5～18.5サイクル後に解除されます。

ウェイトモードの解除では、リセット前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

図2.10.4にリセット入力時間を示します。

リセットについては「2.8 リセット」を参照してください。

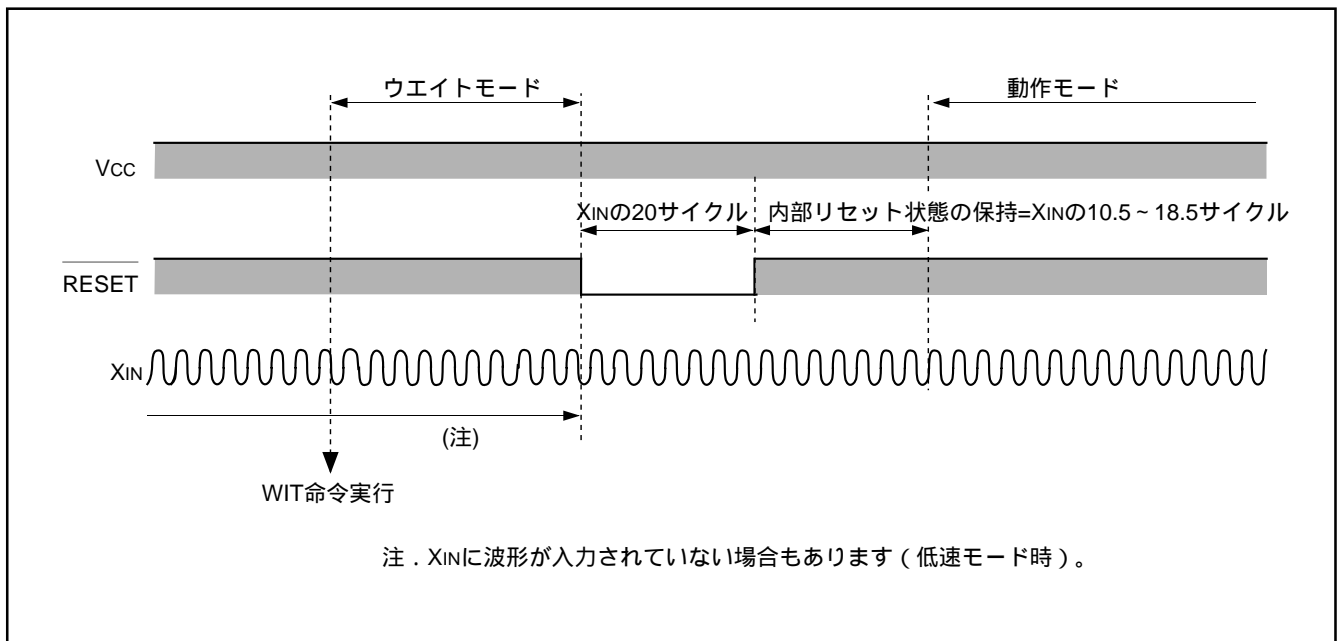


図2.10.4 リセット入力時間

割り込みによる復帰

ウエイトモード中に割り込み要求が発生すると、ウエイトモードは解除され、CPUへの内部クロック ϕ の供給が開始します。同時に復帰に使用した割り込み要因の要求が受け付けられて、その割り込み処理ルーチンが実行されます。

ただし、割り込み要因をウエイトモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、WIT命令を実行してください。

【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 (許可)
- ②復帰に用いる割り込み要因の割り込み要求ビット=" 0 (要求なし)
- ③復帰に用いる割り込み要因の割り込み許可ビット=" 1 (許可)

割り込みについては、「2.2 割り込み」を参照してください。

(3) ウエイトモード使用上の注意事項

復帰後のクロック

WIT命令実行時にXCINをシステムクロックとして設定し、XINの発振を停止させていた場合に、リセットによってウエイトモードから復帰すると、XCINの発振が停止し、XINが発振を開始し、XINがシステムクロックになります。

上記においてXINの発振が安定するまで、RESET端子に“L”レベルを入力しておく必要があります。

2.11 フラッシュメモリモード

本節ではフラッシュメモリに関するレジスタの設定方法、注意事項などを説明します。

2.11.1 概要

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ただし、SFR領域の一部がマスクROM版と異なります(「2.11.2メモリ配置」参照)。

フラッシュメモリ版では、パラレル入出力モード、標準シリアル入出力モード、及びCPU書き換えモードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

2.11.2 メモリ配置

M38507F8FP/SPは32Kバイトのフラッシュメモリを内蔵しています。

図2.11.1にフラッシュメモリ版のメモリ配置を示します。

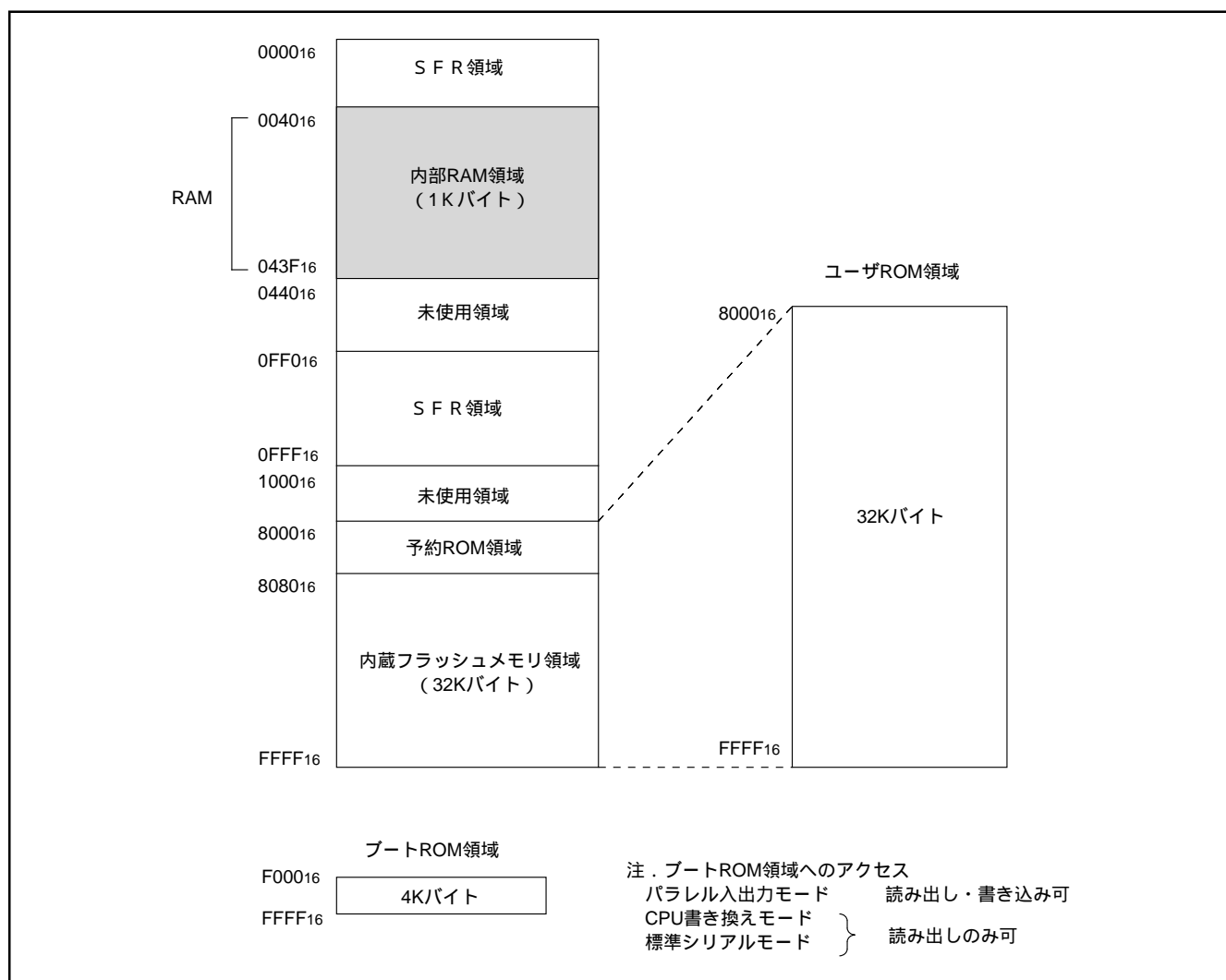


図2.11.1 3850グループフラッシュメモリ版のメモリ配置

2.11.3 関連レジスタ

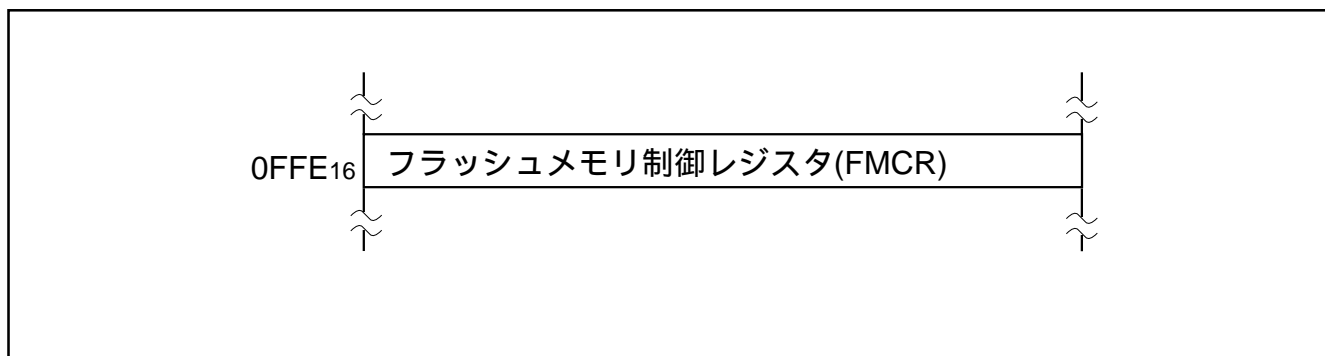


図2.11.2 フラッシュ関連レジスタのメモリ配置

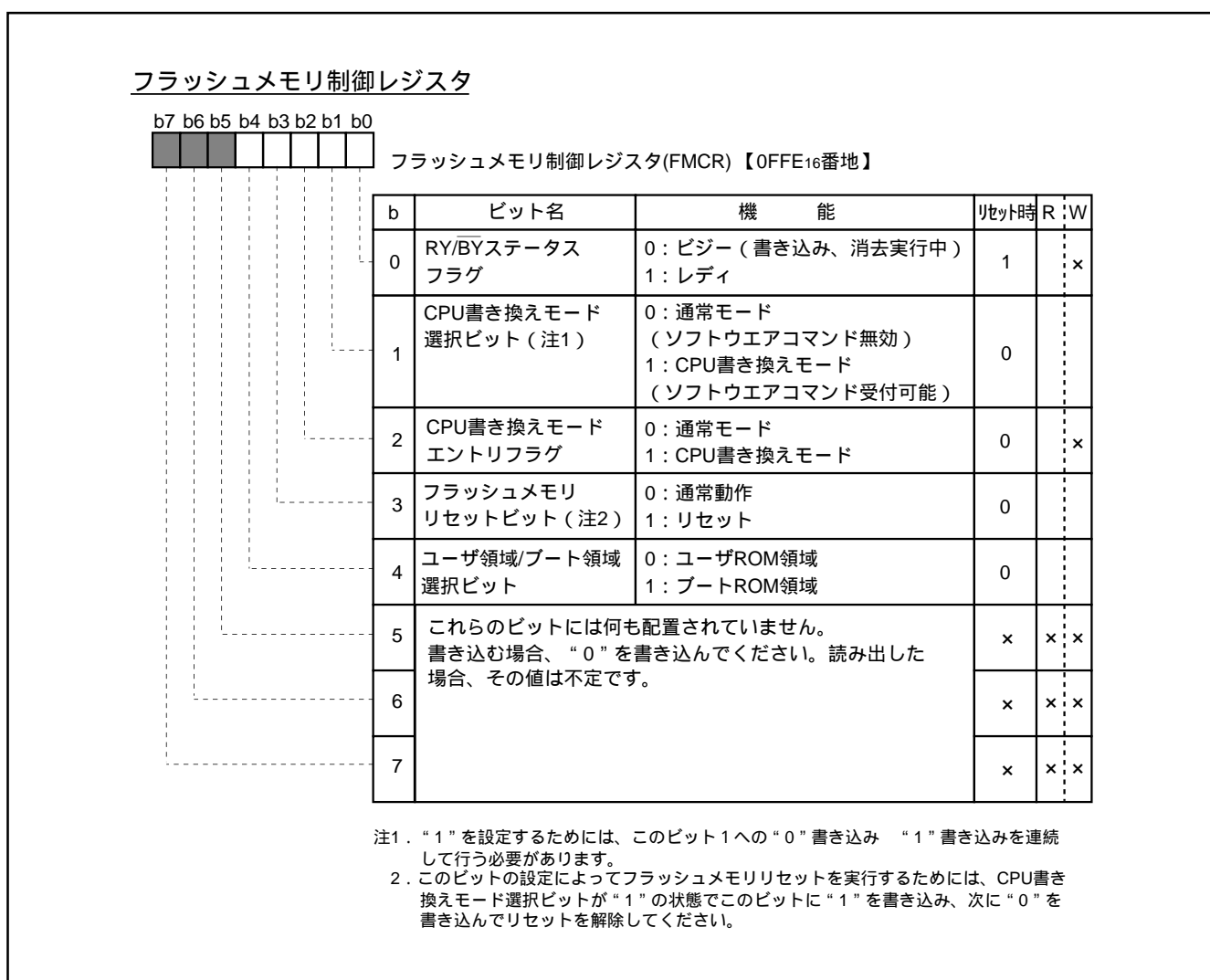


図2.11.3 フラッシュメモリ制御レジスタの構成

2.11.4 パラレル入出力モード

パラレル入出力モードは、プログラマ(EFP-)を使用することによって、内蔵フラッシュメモリ領域へのプログラム/イレーズを行うことができます。プログラム/イレーズのメモリ領域は、ブートROM領域：0F000₁₆～0FFFF₁₆番地、ユーザROM領域：08000₁₆～0FFFF₁₆番地となります。特にイレーズを行うときにメモリ領域の設定を間違えると、製品の永久的なダメージにつながりますので注意が必要です。

表2.11.1にパラレル入出力モードでプログラムを行う場合のプログラマの設定を示します。

- ・EFP-I：(株)彗星電子システム社製

表2.11.1 パラレル書き込み時のプログラマ設定

品種名	パラレルユニット	ブートROM領域	ユーザROM領域
M38507F8FP	EF3850F-42E	0F000 ₁₆ ～0FFFF ₁₆	08000 ₁₆ ～0FFFF ₁₆
M38507F8SP	EF3850F-42S		

2.11.5 標準シリアル入出力モード

シリアル入出力モードで書き込みを行う場合の、プログラマ(EFP- ;別途シリアルユニットEF1SRP-01Uが必要)とマイコンの端子接続例(4線式)について表2.11.2に示します。

- ・EFP- : (株)彗星電子システム社製

表2.11.2 シリアル書き込み時のプログラマとの接続例(4線式)

機能	EFP- (EF1SRP-01U)		3850グループフラッシュマイコン	
	信号名	EF1SRP-01U側 コネクタ PIN No.	端子名	ピン番号
転送クロック入力	T_SCLK1	9	P26/SCLK1	10
シリアルデータ入力	T_RXD	11	P25/TxD	11
シリアルデータ出力	T_TXD	10	P24/RxD	12
送受信許可出力	T_BUSY	12	P27/CNTR0/SRDY1	9
5V入力	T_VPP	3	CNVss	15
リセット入力	T_RESET	14	RESET (注1)	18
ターゲットボード 電源モニタ入力	T_VDD (注2)	4	Vcc (注2)	1
GND	GND (注3)	1,2,15,16	Vss, AVss (注3)	21, 3

- 注1. 書き込みベリファイ後のリセット解除は行われなため、書き込み後、MCUを動作させるときは、ターゲット接続ケーブルを切り離してください。
2. EFP-I側で使用する出力バッファの電源電圧を、ユーザ側電源電圧(Vcc)と合わせるために、Vccをユーザ側から供給してください。
3. GND信号にはEF1SRP-01U側コネクタの1、2、15、16番の4端子を用意しています。ターゲット基板に接続する場合、1端子のみの接続でも問題はありませんが、2端子以上で接続することを推奨します。

2.11.6 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがってROMライターなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換えプログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリからの読み出しができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域(内部RAM領域など)に転送した後、その領域上で実行してください。

CPU書き換えモードでは、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドが使用できます。各コマンドの詳細については「1章 フラッシュメモリモード(CPU書き換えモード)」を参照してください。

(1) CPU書き換えモード設定/解除方法

内蔵フラッシュメモリの書き換えモードでの操作手順を示します。

制御例については「2.11.7 (2)CPU書き換えモード時の制御例」を参照してください。

< 開始手順 >

CNVSS/VPP端子に $5V \pm 10\%$ を印加する。(ブートROM領域へエントリの場合)

リセットを解除する。

CPUモードレジスタのビット6,7(メインクロック分周比選択ビット)を設定する。

CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御してください)。

CNVSS/VPP端子に $5V \pm 10\%$ を印加する。(シングルチップモードの場合)

CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を設定する。

このビットに“1”を設定するには“0”書き込み、“1”書き込みを連続して行う必要があります。

CPU書き換えモードエントリフラグ(0FFE₁₆番地のビット2)を読み出し、CPU書き換えモードが“1”になっていることを確認する。

ソフトウェアコマンドを用いて、フラッシュメモリの操作を実施する。

注. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

< 解除手順 >

読み出しコマンドを実行又は、フラッシュメモリリセットビット(0FFE₁₆番地のビット3)設定によるセットを実行する。

CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)を“0”に設定する。

また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・割り込み禁止フラグ(I) = “ 1 ”にする。

既にウォッチドッグタイマが起動している場合は、CPU書き換えモード中、ウォッチドッグタイマ制御レジスタ(39₁₆番地)には定期的書き込みを行い、ウォッチドッグタイマHのアンダフローによるリセットが発生しないようにしてください。

なお、プログラム又はイレーズ中は、ウォッチドッグタイマは自動的にクリアされるため、アンダフローによる内部リセットは発生しません。

CPU書き換えモード時に、割り込み及びリセットが発生した場合は、以下のようになります。

- ・割り込み：プログラムが暴走します。割り込みベクトル領域のあるフラッシュメモリの読み出しができません。
- ・ウォッチドッグタイマHアンダフロー、リセット
：内蔵フラッシュメモリ制御回路、及びフラッシュメモリ制御レジスタがリセットされ、マイクロコンピュータがリセットされます。リセット解除時、CNVss=“ H ”の場合はブートモードで起動されます。

また、プログラム/イレーズ中に上記割り込み及びリセットが発生した場合、フラッシュメモリの書き換えが完了していないため、リセット解除後も正常に動作しないデータになっている可能性が高く、注意が必要です。この場合には、パラレルモード又はシリアルモードでフラッシュメモリを再度正しくプログラムしてください。

2.11.7 フラッシュメモリモードの応用例

シリアル入出力モード使用時のシステム基板上での制御端子処理例、及びCPU書き換えモード時の制御例について示します。

(1) シリアル入出力モード使用時のシステム基板上での制御端子処理例

図2.11.4に示すように、シリアル入出力モードでは、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリの内容を書き換えることができます。シリアル入出力モード時、制御端子となるP24/RxD、P25/TxD、P26/SCLK1、P27/SRDY1、P41、CNVss、及びRESET端子の処理例を以下に示します。

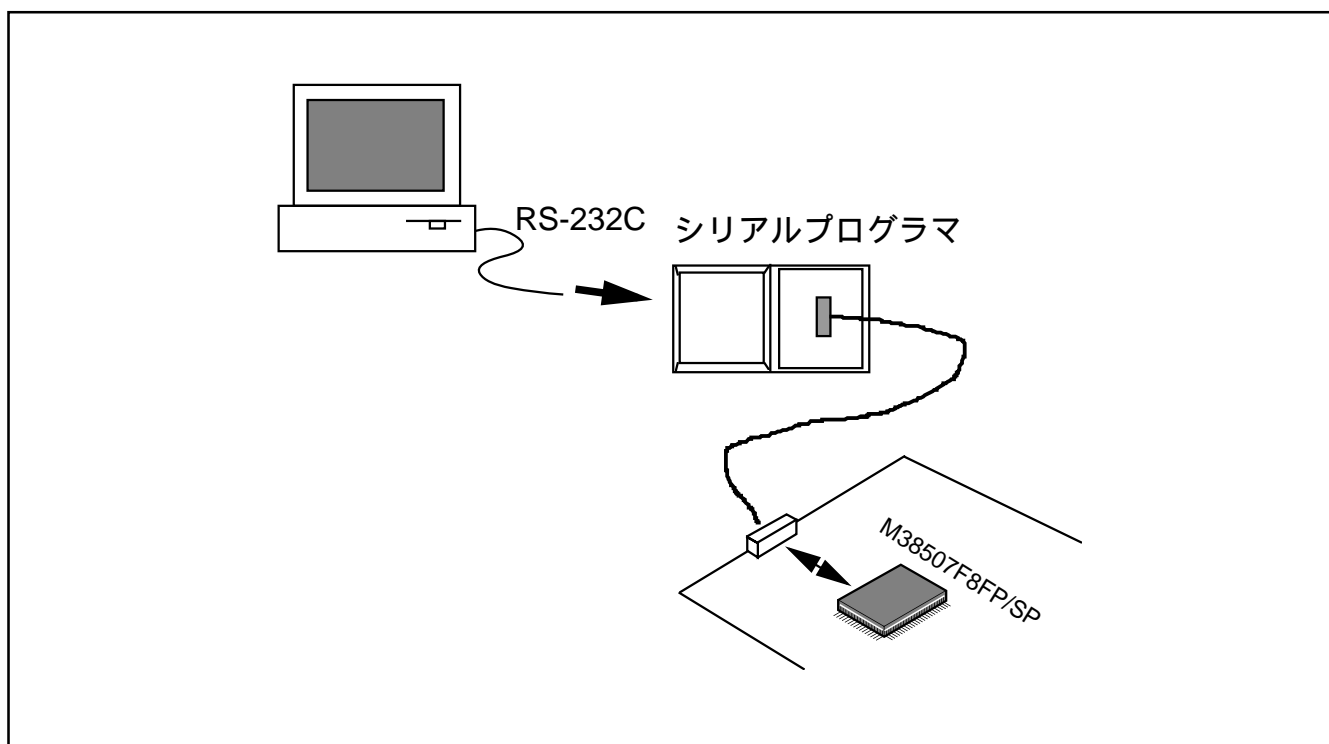


図2.11.4 シリアル入出力モードによる内蔵フラッシュメモリ書き換え例

制御信号がユーザシステム回路に影響しない場合

シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されていない、あるいはユーザシステム回路に影響しない場合は、図2.11.5に示すように結線できます。

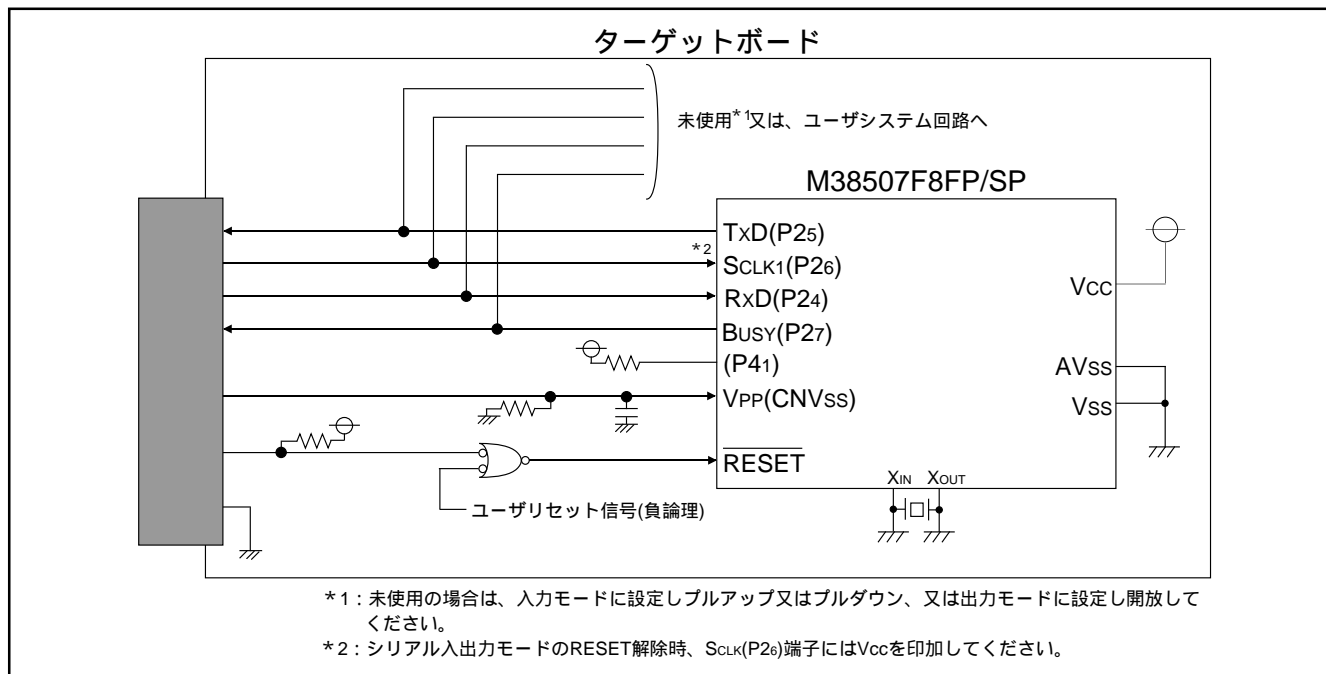


図2.11.5 シリアル入出力モード時の基板上的端子処理例(1)

制御信号がユーザシステム回路に影響する場合

図2.11.6はシリアル入出力モード時、ジャンプスイッチによりユーザシステム回路へ供給される制御信号を遮断する例です。

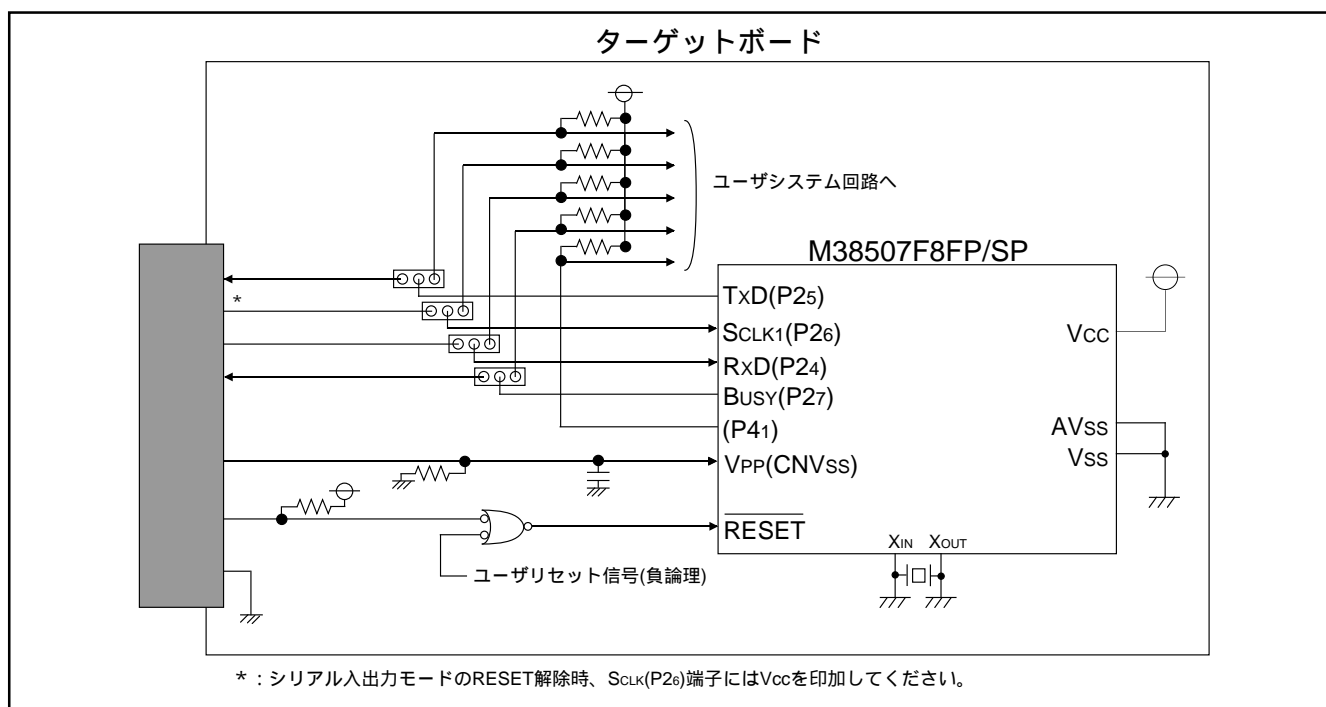


図2.11.6 シリアル入出力モード時の基板上的端子処理例(2)

制御信号がユーザシステム回路に影響する場合

図2.11.7はシリアル入出力モード時、アナログスイッチ(74HC4066)によりユーザシステム回路へ供給される制御信号を遮断する例です。

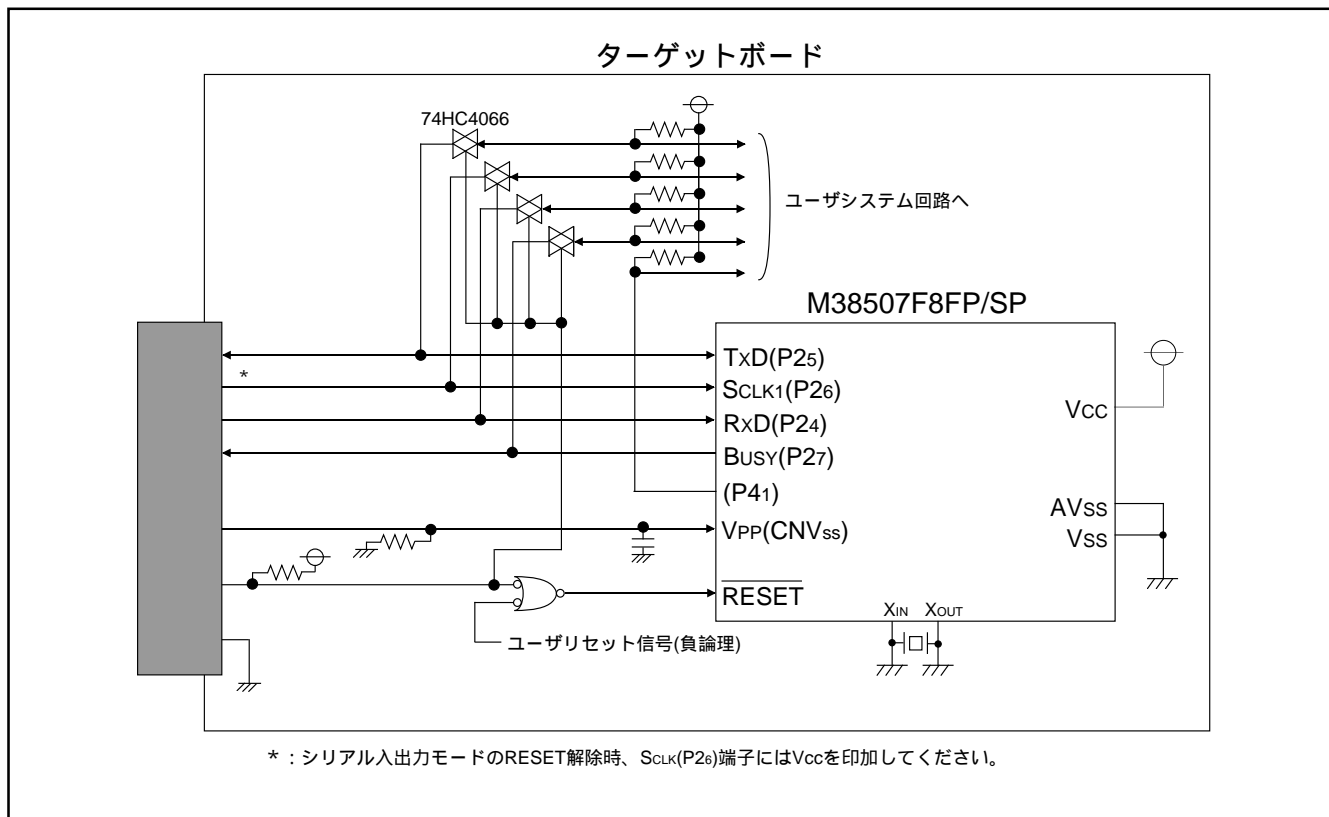


図2.11.7 シリアル入出力モード時の基板上の端子処理例(3)

(2) CPU書き換えモード時の制御例

この例では、シリアルI/Oを用いてデータを受信し、そのデータをCPU書き換えモードで内蔵フラッシュメモリへ書き込みます。

図2.11.8にCPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例、図2.11.9にCPU書き換えモードの設定/解除のフローチャートを示します。

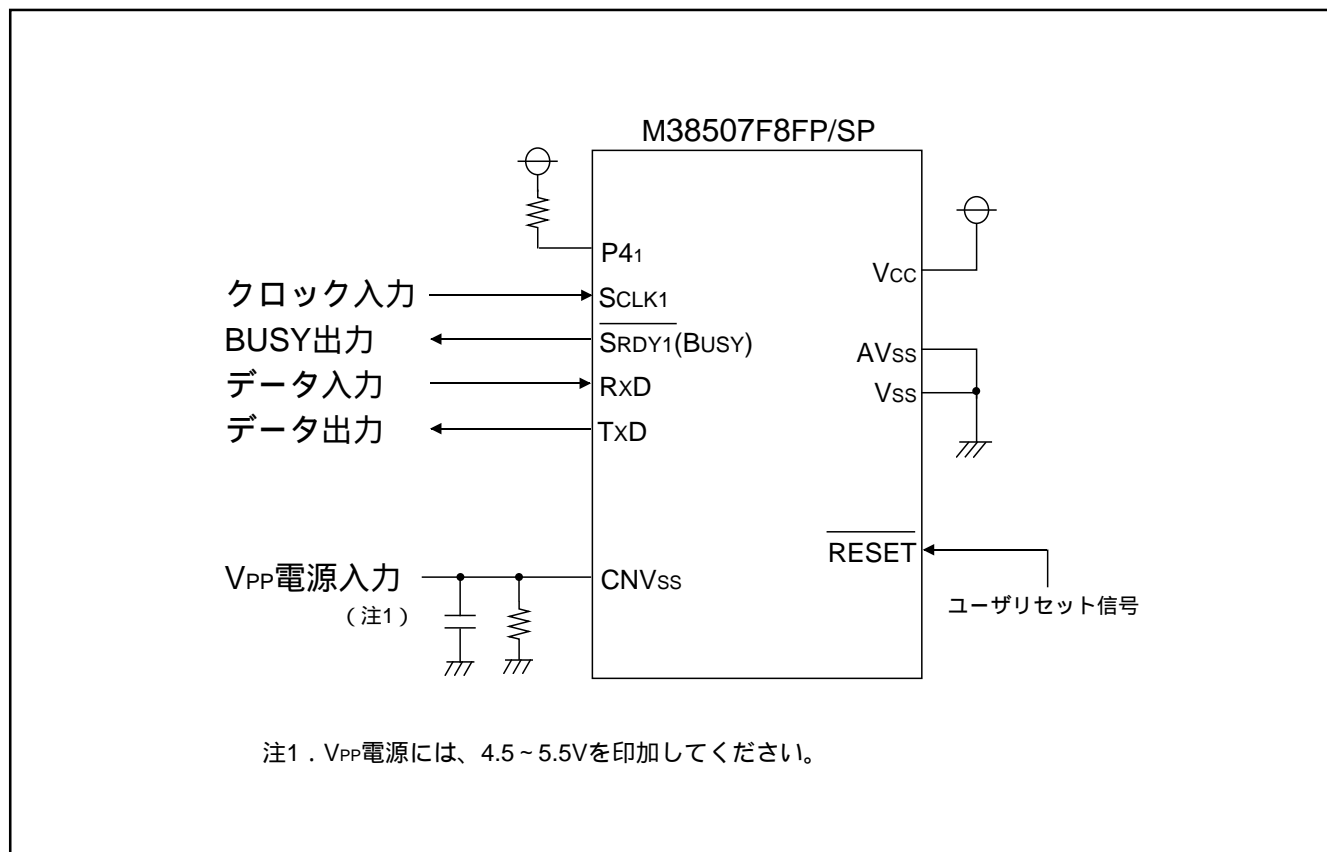


図2.11.8 CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例

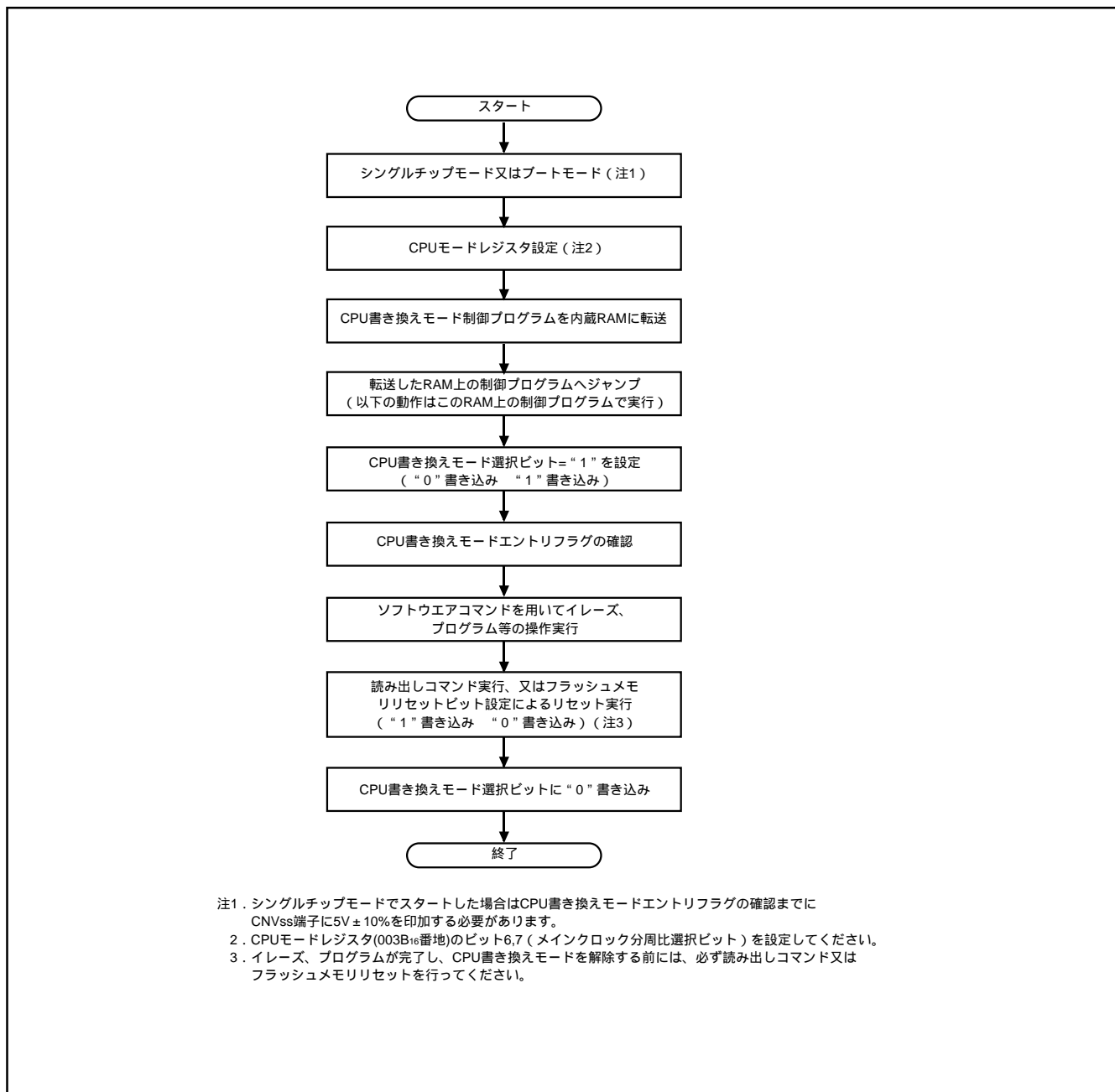


図2.11.9 CPU書き換えモードの設定 / 解除フローチャート

2.11.8 CPU書き換えモードに関する注意事項

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロック が4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

第 3 章 付 録

- 3.1 電気的特性
- 3.2 標準特性例
- 3.3 使用上の注意事項
- 3.4 ノイズに関する注意事項
- 3.5 レジスター一覧
- 3.6 パッケージ寸法図
- 3.7 機械語命令一覧表
- 3.8 命令コード一覧表
- 3.9 SFRメモリマップ
- 3.10 ピン接続図

3

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項 目	条 件	定 格 値	単 位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, VREF		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 P22 ~ P23		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, XOUT		- 0.3 ~ VCC + 0.3	V
Vo	出力電圧 P22, P23		- 0.3 ~ 5.8	V
Pd	消費電力	Ta = 25	1000 (注)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注 . 42P2R-A/Eパッケージの場合は300mWです。

3.1.2 推奨動作条件

表3.1.2 推奨動作条件(1) 指定のない場合はVcc=2.7~5.5V, Ta= -20~85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧	8MHz時(高速モード)	4.0	5.0	5.5	V
		8MHz時(中速モード)、4MHz時(高速モード)	2.7	5.0	5.5	V
VSS	電源電圧		0		V	
VREF	A-D変換器基準電圧	2.0		Vcc	V	
AVSS	アナログ電源電圧		0		V	
VIA	アナログ入力電圧 AN0~AN4	AVss		Vcc	V	
VIH	“H”入力電圧 P00~P07, P10~P17, P20~P27, P30~P34 P40~P44	0.8Vcc		Vcc	V	
VIH	“H”入力電圧 RESET, XIN, CNVss	0.8Vcc		Vcc	V	
VIL	“L”入力電圧 P00~P07, P10~P17, P20~P27, P30~P34 P40~P44	0		0.2 Vcc	V	
VIL	“L”入力電圧 RESET, CNVss	0		0.2 Vcc	V	
VIL	“L”入力電圧 XIN	0		0.16 Vcc	V	
IOH(peak)	“H”出力総尖頭電流 (注) P00~P07, P10~P17, P30~P34			-80	mA	
IOH(peak)	“H”出力総尖頭電流 (注) P20, P21, P24~P27, P40~P44			-80	mA	
IOL(peak)	“L”出力総尖頭電流 (注) P00~P07, P30~P34			80	mA	
IOL(peak)	“L”出力総尖頭電流 (注) P10~P17			120	mA	
IOL(peak)	“L”出力総尖頭電流 (注) P20~P27, P40~P44			80	mA	
IOH(avg)	“H”出力総平均電流 (注) P00~P07, P10~P17, P30~P34			-40	mA	
IOH(avg)	“H”出力総平均電流 (注) P20, P21, P24~P27, P40~P44			-40	mA	
IOL(avg)	“L”出力総平均電流 (注) P00~P07, P30~P34			40	mA	
IOL(avg)	“L”出力総平均電流 (注) P10~P17			60	mA	
IOL(avg)	“L”出力総平均電流 (注) P20~P27, P40~P44			40	mA	

注：出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表3.1.3 推奨動作条件(2) 指定のない場合はVcc=2.7~5.5V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力尖頭電流 (注1) P00~P07, P10~P17, P20, P21, P24~P27 P30~P34, P40~P44			-10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1) P00~P07, P20~P27, P30~P34, P40~P44			10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1) P10~P17			20	mA
I _{OH} (avg)	“H”出力平均電流 (注2) P00~P07, P10~P17, P20, P21, P24~P27 P30~P34, P40~P44			-5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P00~P07, P20~P27, P30~P34, P40~P44			5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P10~P17			15	mA
f(XIN)	内部クロック発振周波数 (注3) (Vcc=4.0~5.5V)			8	MHz
f(XIN)	内部クロック発振周波数 (注3) (Vcc=2.7~5.5V)			4	MHz

注1. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

2. 平均出力電流I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。

3. 発振周波数はデューティ50%の場合です。

3.1.3 電気的特性

表3.1.4 電気的特性(1) 指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{OH}	“H”出力電圧 P00~P07, P10~P17, P20, P21 P24~P27, P30~P34, P40~P44 (注)	I _{OH} = -10mA Vcc=4.0~5.5V	Vcc - 2.0			V
		I _{OH} = -1.0mA Vcc=2.7~5.5V	Vcc - 1.0			V
V _{OL}	“L”出力電圧 P00~P07, P20~P27, P30~P34 P40~P44	I _{OL} =10mA Vcc=4.0~5.5V			2.0	V
		I _{OL} =1.0mA Vcc=2.7~5.5V			1.0	V
V _{OL}	“L”出力電圧 P10~P17	I _{OL} =20mA Vcc=4.0~5.5V			2.0	V
		I _{OL} =10mA Vcc=2.7~5.5V			1.0	V

注. P25に関しては, UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B₁₆番地のビット4)が0の場合です。

表3.1.5 電気的特性(2) 指定のない場合は $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VT+ - VT-	ヒステリシス CNTR0, CNTR1, INT0 ~ INT3			0.4		V
VT+ - VT-	ヒステリシス RxD, SCLK1, SCLK2, SIN2			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I _{IH}	“H” 入力電流 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27, P30 ~ P34, P40 ~ P44	V _I =V _{CC}			5.0	μA
I _{IH}	“H” 入力電流 RESET, CNV _{SS}	V _I =V _{CC}			5.0	μA
I _{IH}	“H” 入力電流 X _{IN}	V _I =V _{CC}		4		μA
I _{IL}	“L” 入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P34, P40 ~ P44	V _I =V _{SS}			- 5.0	μA
I _{IL}	“L” 入力電流 RESET, CNV _{SS}	V _I =V _{SS}			- 5.0	μA
I _{IL}	“L” 入力電流 X _{IN}	V _I =V _{SS}		- 4		μA
V _{RAM}	RAM保持電圧	クロック停止時	2.0		5.5	V

表3.1.6 電気的特性(3) (指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流	高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		6.8	13	mA	
		高速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		1.6		mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態	M38507F8FP/SP以外		60	200	μA
			M38507F8FP/SP		250		μA
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態	M38507F8FP/SP以外		20	40	μA
			M38507F8FP/SP		70		μA
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態	M38507F8FP/SP以外		20	55	μA
			M38507F8FP/SP		150		μA
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態	M38507F8FP/SP以外		5.0	10.0	μA
			M38507F8FP/SP		20		μA
		中速モード時 f(XIN)=8MHz f(XCIN)=停止 出力トランジスタは遮断状態			4.0	7.0	mA
		中速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態			1.5		mA
		A-D変換器動作時の増量 f(XIN)=8MHz			800		μA
発振はすべて停止(STP命令実行時) 出力トランジスタは遮断状態	Ta = 25		0.1	1.0	μA		
	Ta = 85			10	μA		

3.1.4 A-D変換器特性

表3.1.7 A-D変換器特性

(指定のない場合は $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a = -20 \sim 85$, $f(X_{IN})=8MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	bit
-	絶対精度(量子化誤差は除く)				± 4	LSB
tCONV	変換時間	高速モード及び中速モード			61	$2t_c(X_{IN})$
		低速モード		40		μs
RLADDER	ラダー抵抗			35		k
I _{VREF}	基準電源入力電流	V _{REF} =5.0V	50	150	200	μA
	V _{REF} 接続時					
					5	
I _{I(AD)}	A-Dポート入力電流			0.5	5.0	μA

3.1.5 タイミング必要条件及びスイッチング特性

表3.1.8 タイミング必要条件(1)

(指定のない場合は $V_{CC}=4.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	125			ns
tWH(XIN)	外部クロック入力“H”パルス幅	50			ns
tWL(XIN)	外部クロック入力“L”パルス幅	50			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	80			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	80			ns
tWH(INT)	INT0~INT3入力“H”パルス幅	80			ns
tWL(INT)	INT0~INT3入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	200			ns

注. f(XIN)=8MHz、001A16番地のビット6が*1(クロック同期式モード)の場合です。

f(XIN)=8MHz、001A16番地のビット6が*0(非同期式モード)の場合は、値は1/4になります。

表3.1.9 タイミング必要条件(2)

(指定のない場合は $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	250			ns
tWH(XIN)	外部クロック入力“H”パルス幅	100			ns
tWL(XIN)	外部クロック入力“L”パルス幅	100			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
tWH(INT)	INT0~INT3入力“H”パルス幅	230			ns
tWL(INT)	INT0~INT3入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	300			ns

注. f(XIN)=4MHz、001A16番地のビット6が*1(クロック同期式モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が*0(非同期式モード)の場合は、値は1/4になります。

表3.1.10 スイッチング特性(1)

指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図3.1.1	tc(SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 30			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				140	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間				30	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間				30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 160			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 160			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				200	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				30	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注3)			10	30	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注3)			10	30	ns

注1. UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が0の場合です。

2. シリアル/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が0の場合です。

3. XOUT端子を除きます。

表3.1.11 スイッチング特性(2)

指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図3.1.1	tc(SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				350	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間				50	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間				50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		tc(SCLK2)/2 - 240			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				400	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注3)			20	50	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注3)			20	50	ns

注1. UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が0の場合です。

2. シリアル/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が0の場合です。

3. XOUT端子を除きます。

3

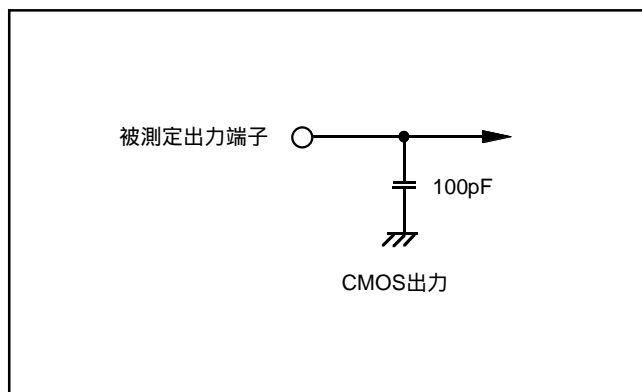


図3.1.1 出力スイッチング特性測定回路図

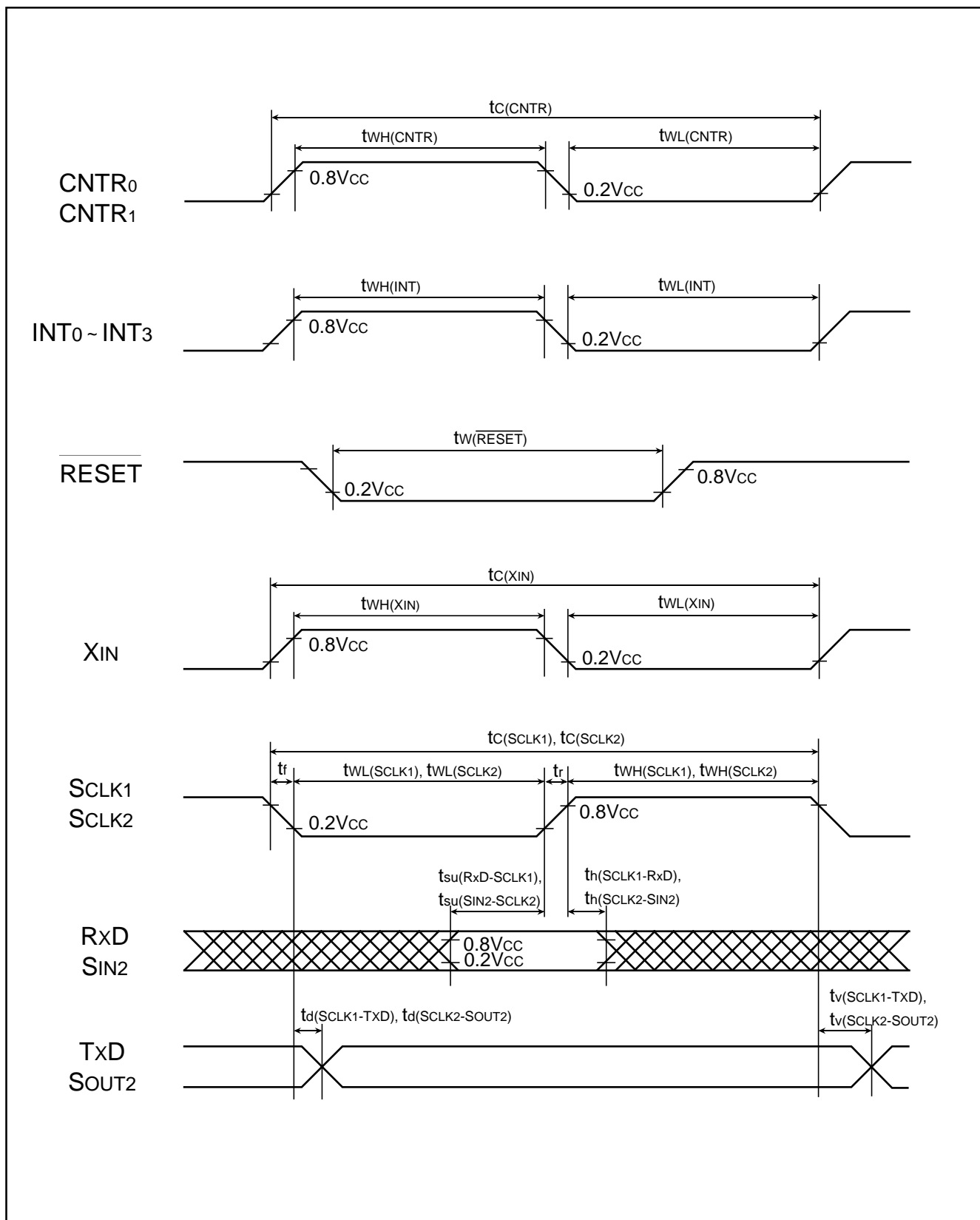


図3.1.2 タイミング図

3.2 標準特性例

以下に記載する標準特性は、「特性例」で、保証するものではありません。規格値は、「3.1 電気的特性」を参照してください。

3.2.1 フラッシュメモリ版電源電流特性例

フラッシュメモリ版(M38507F8)の電源電流特性例を図3.2.1、図3.2.2、図3.2.3、図3.2.4、及び図3.2.5に示します。

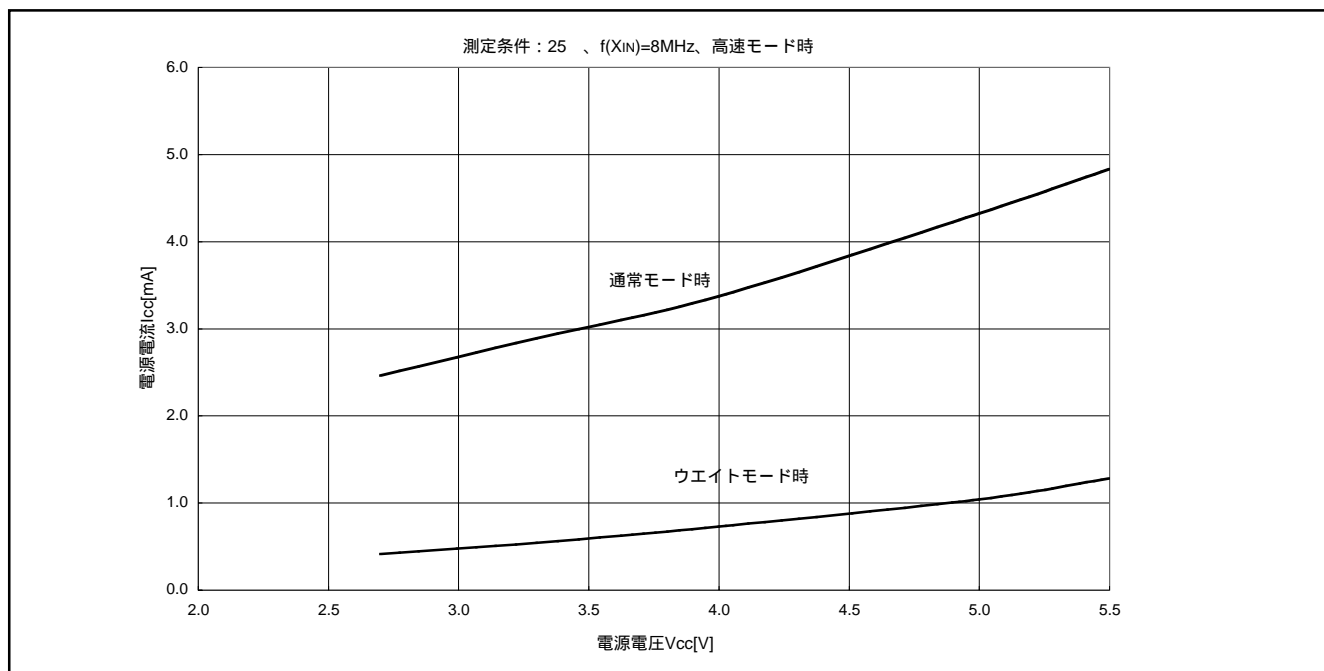


図3.2.1 フラッシュメモリ版電源電流特性例(高速モード、f(XIN)=8MHz時)

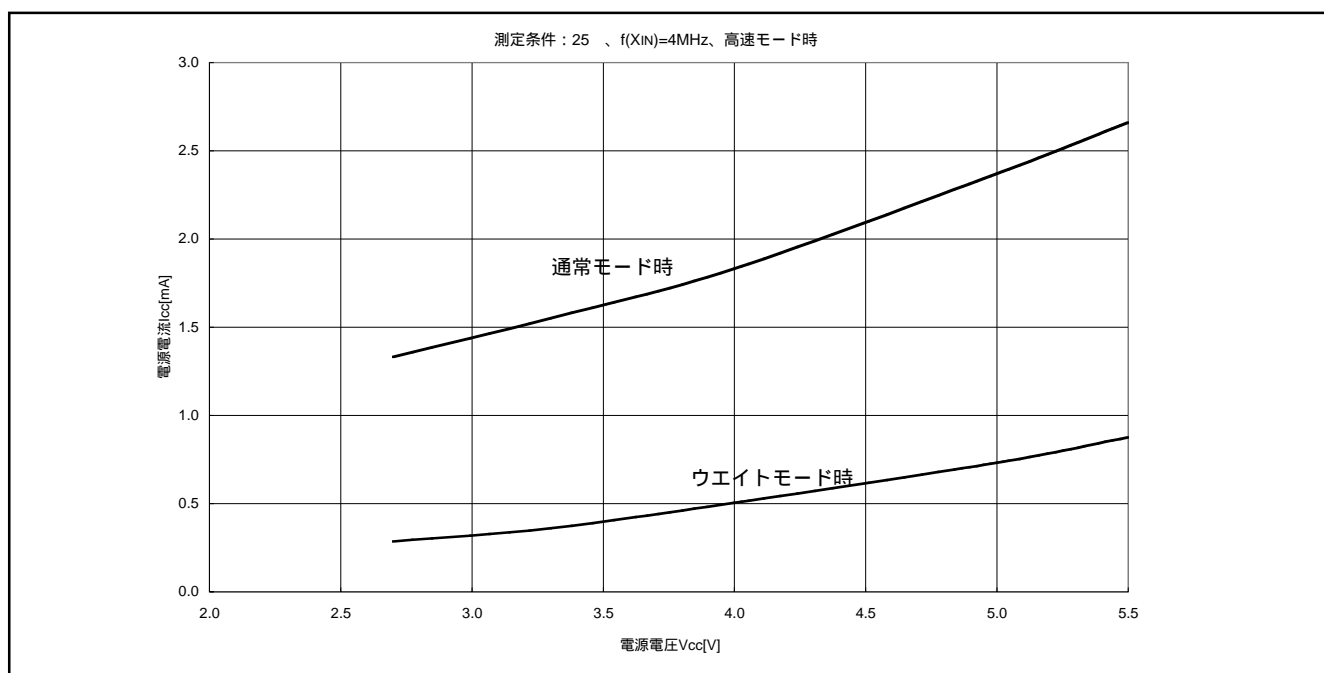


図3.2.2 フラッシュメモリ版電源電流特性例(高速モード、f(XIN)=4MHz時)

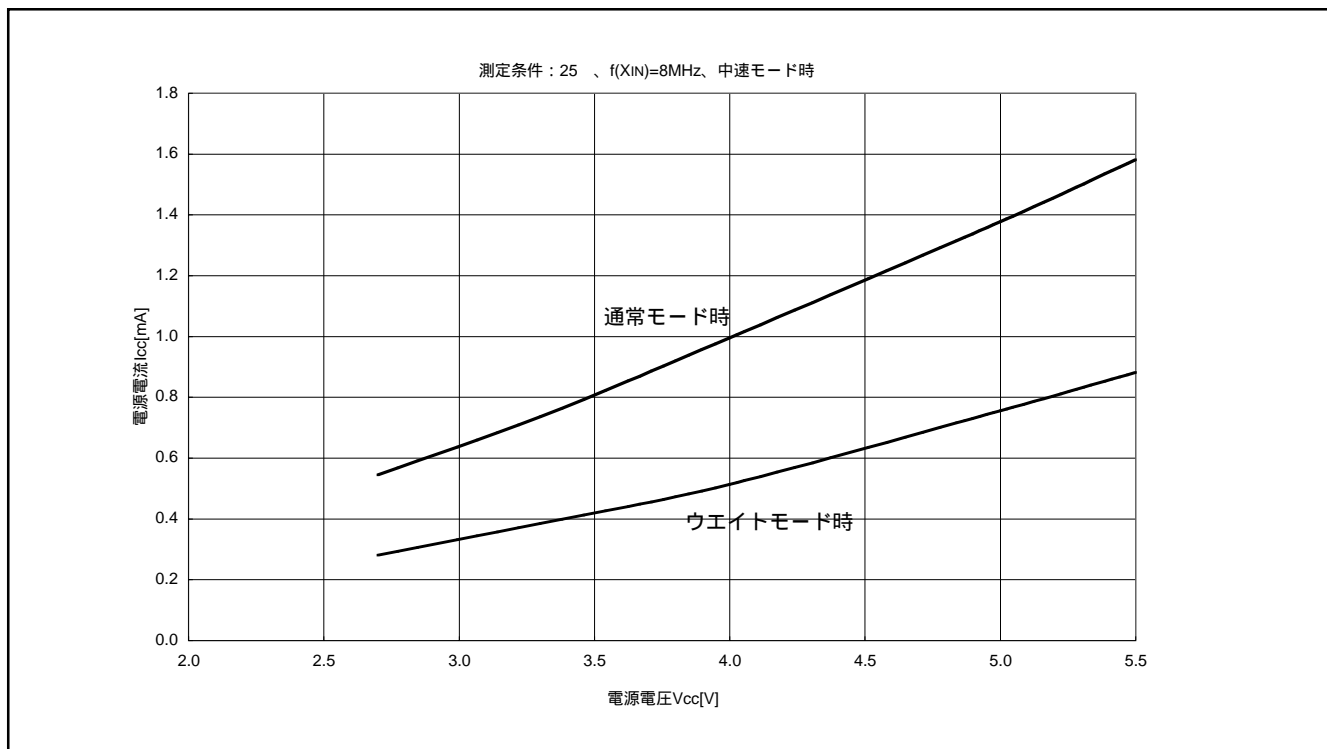


図3.2.3 フラッシュメモリ版電源電流特性例(中速モード、 $f(X_{IN})=8\text{MHz}$ 時)

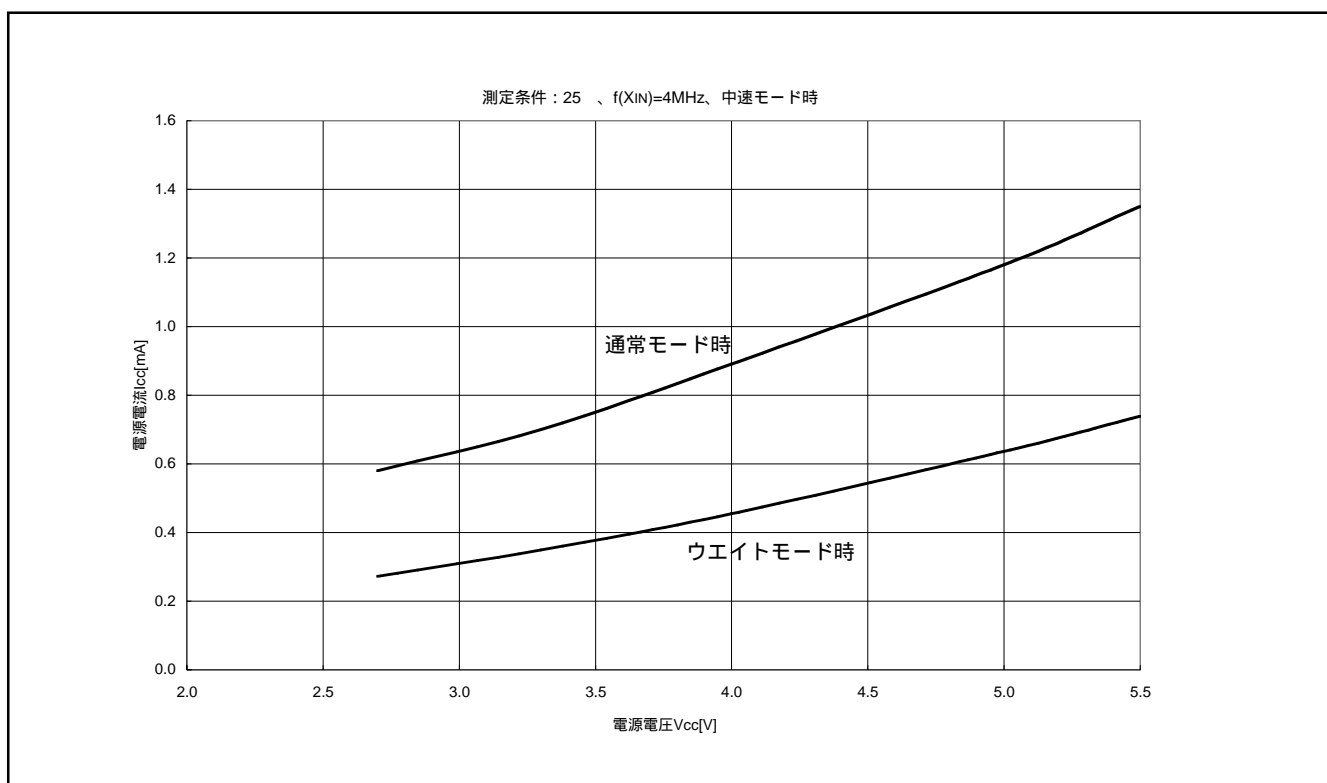


図3.2.4 フラッシュメモリ版電源電流特性例(中速モード、 $f(X_{IN})=4\text{MHz}$ 時)

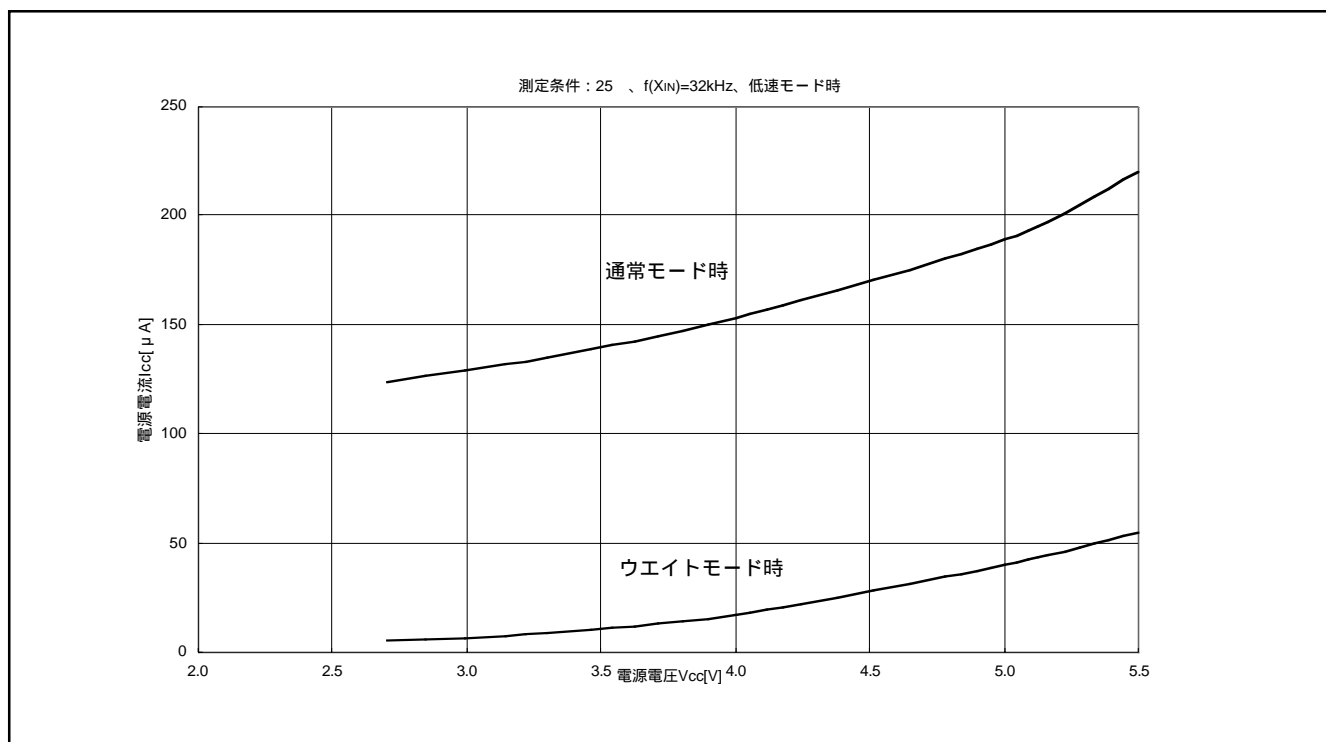


図3.2.5 フラッシュメモリ版電源電流特性例(低速モード時)

3.2.2 マスクROM版電源電流特性例

マスクROM版(M38503M2H、M38503M4H、M38504M6、M38507M8)の電源電流特性例を図3.2.6、図3.2.7、図3.2.8、図3.2.9、及び図3.2.10に示します。

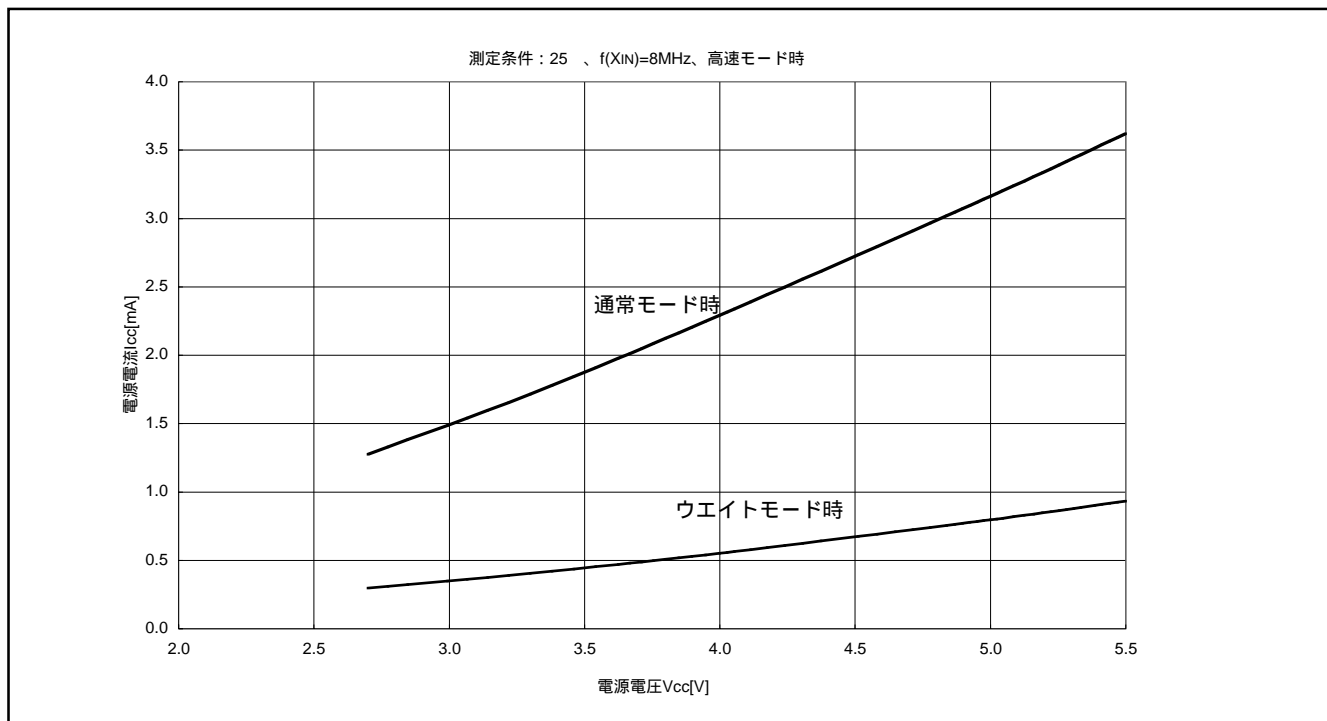


図3.2.6 マスクROM版電源電流特性例(高速モード、f(XIN)=8MHz時)

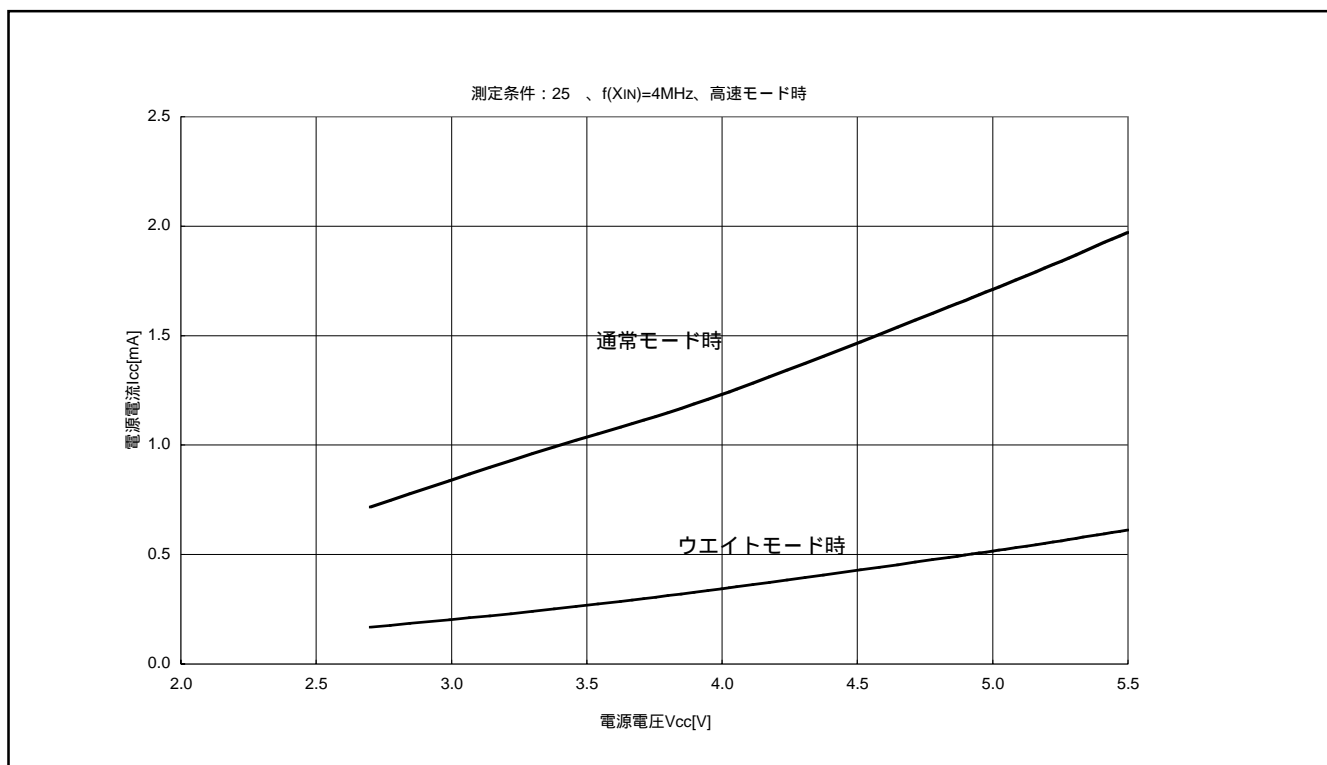


図3.2.7 マスクROM版電源電流特性例(高速モード、f(XIN)=4MHz時)

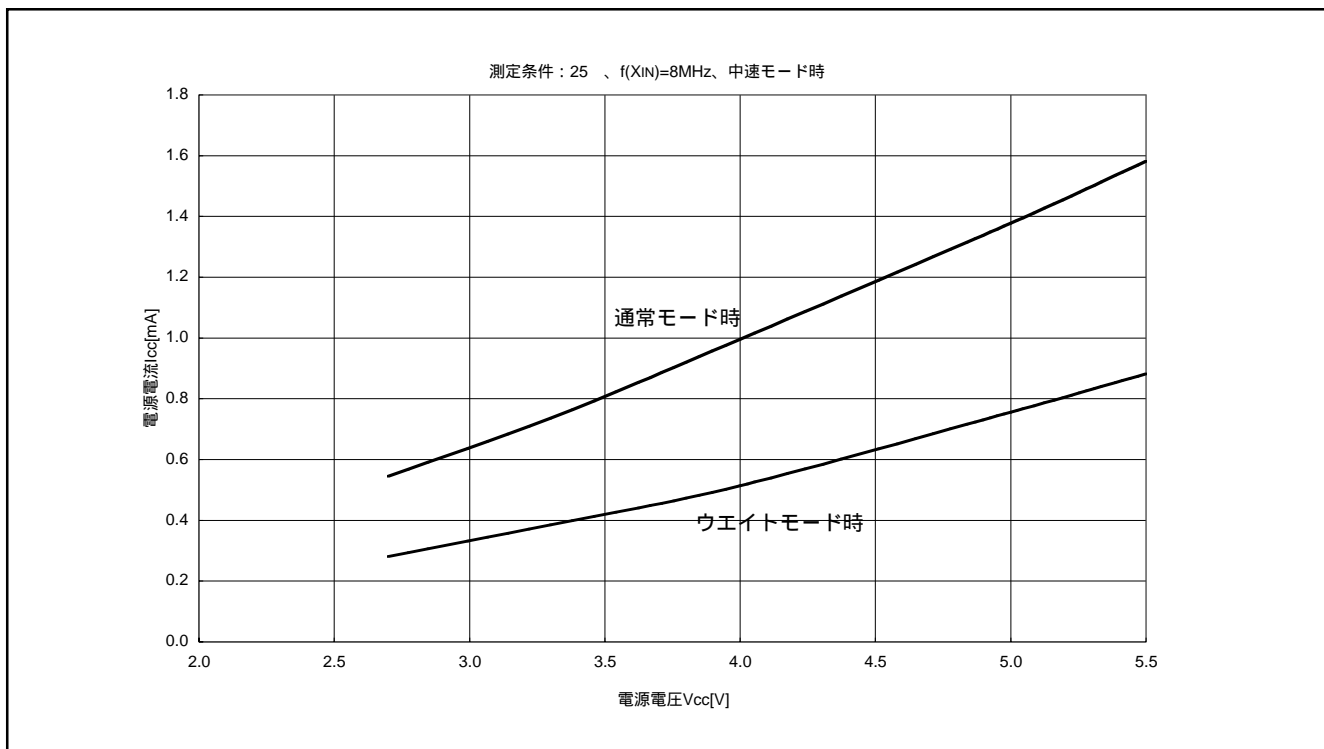


図3.2.8 マスクROM版電源電流特性例(中速モード、f(XIN)=8MHz時)

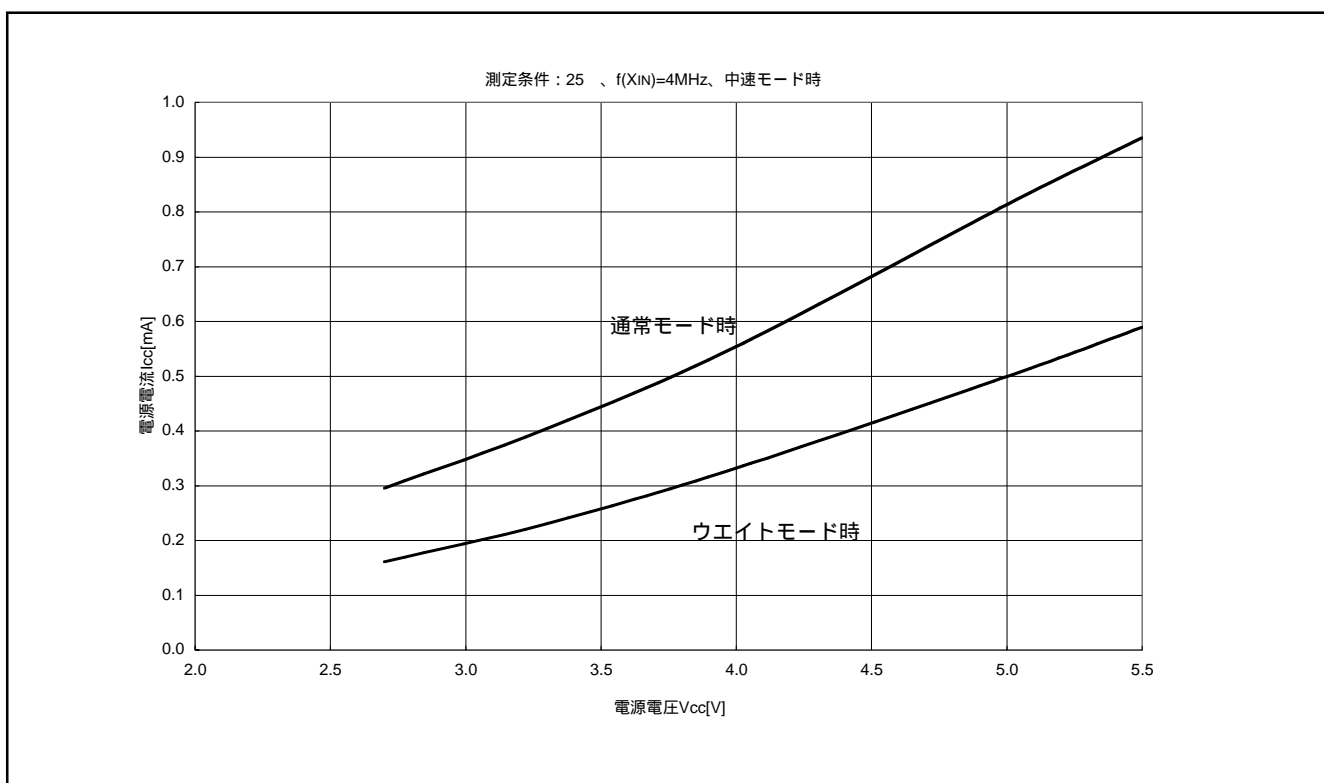


図3.2.9 マスクROM版電源電流特性例(中速モード、f(XIN)=4MHz時)

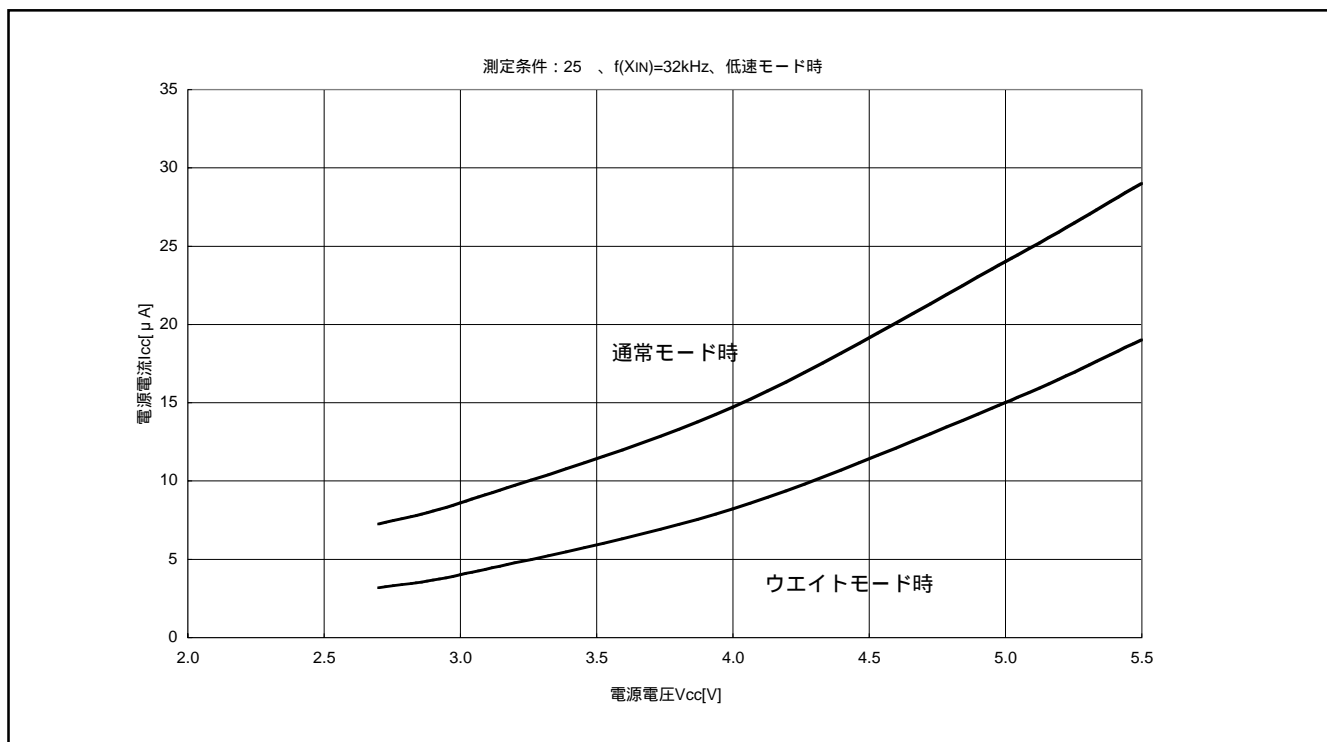


図3.2.10 マスクROM版電源電流特性例(低速モード時)

3.2.3 PROM内蔵版電源電流特性例

PROM内蔵版(M38504E6)の電源電流特性例を図3.2.11、図3.2.12、図3.2.13、図3.2.14、及び図3.2.15に示します。

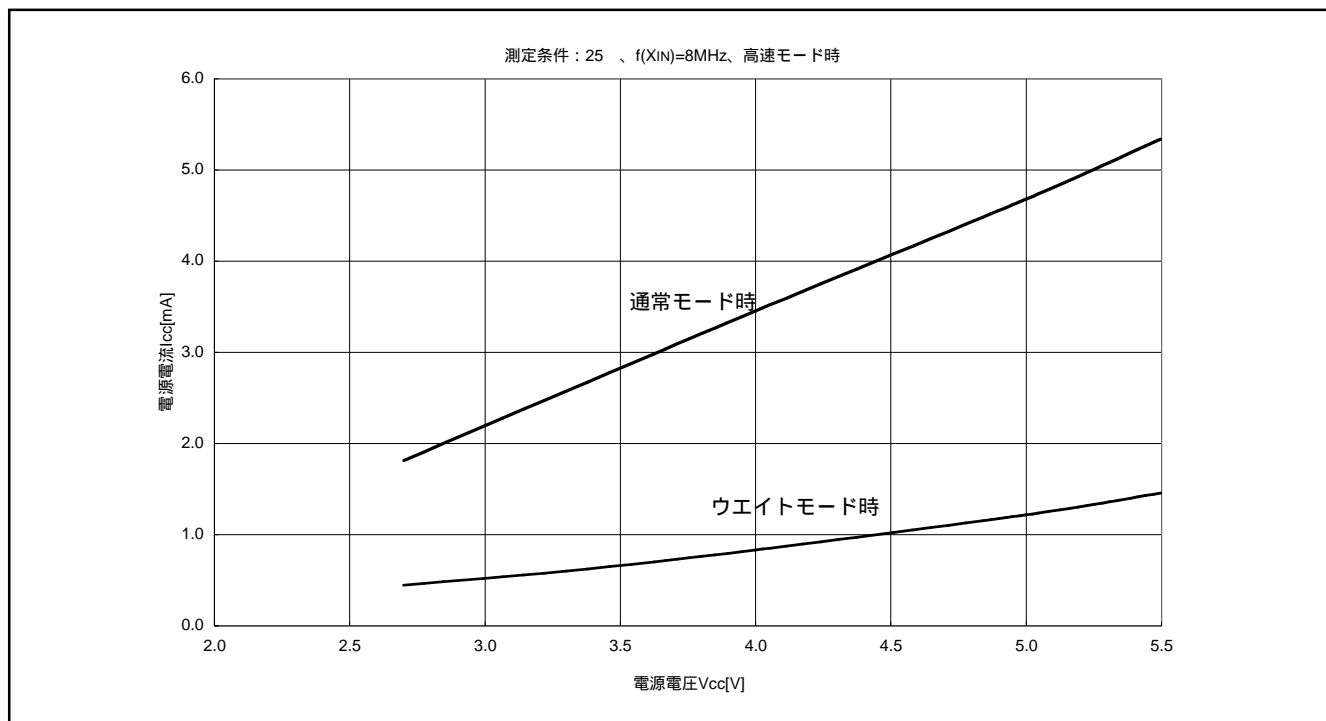


図3.2.11 PROM内蔵版電源電流特性例 (高速モード、f(XIN)=8MHz時)

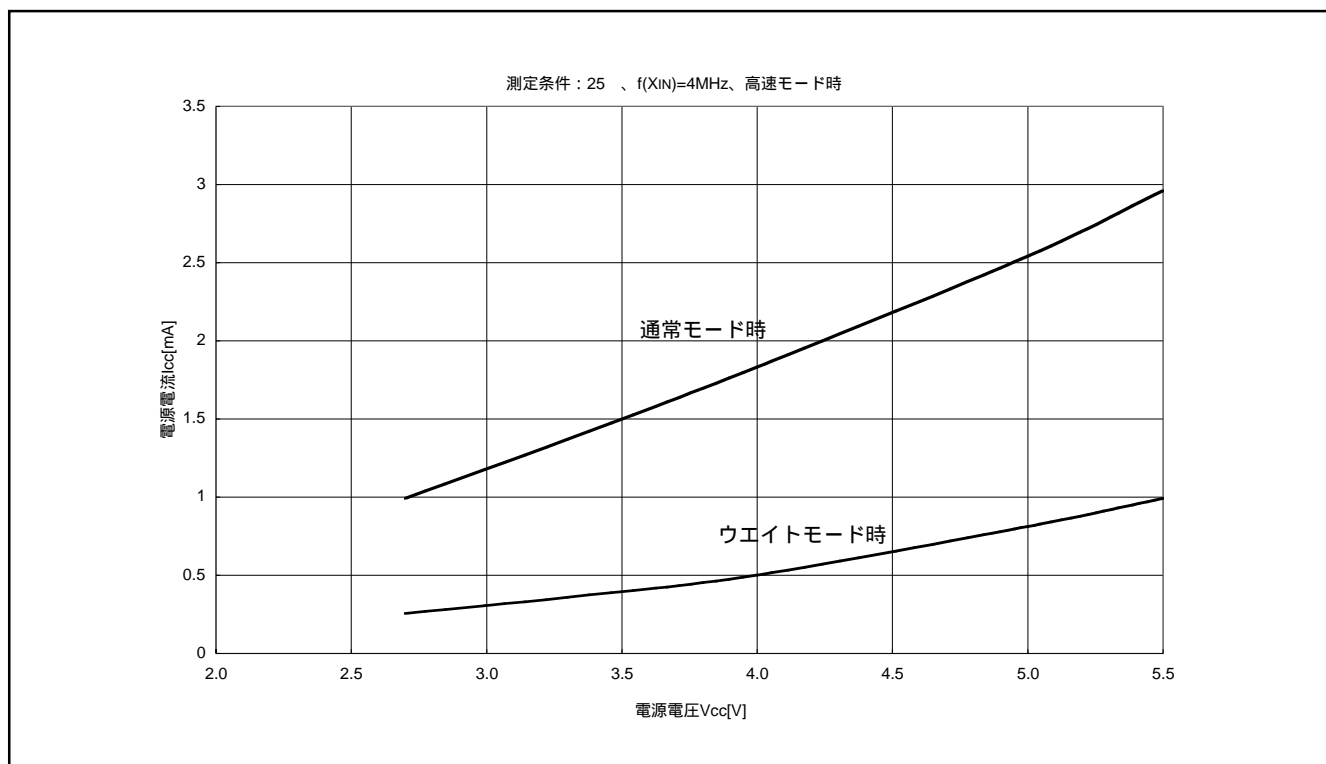


図3.2.12 PROM内蔵版電源電流特性例 (高速モード、f(XIN)=4MHz時)

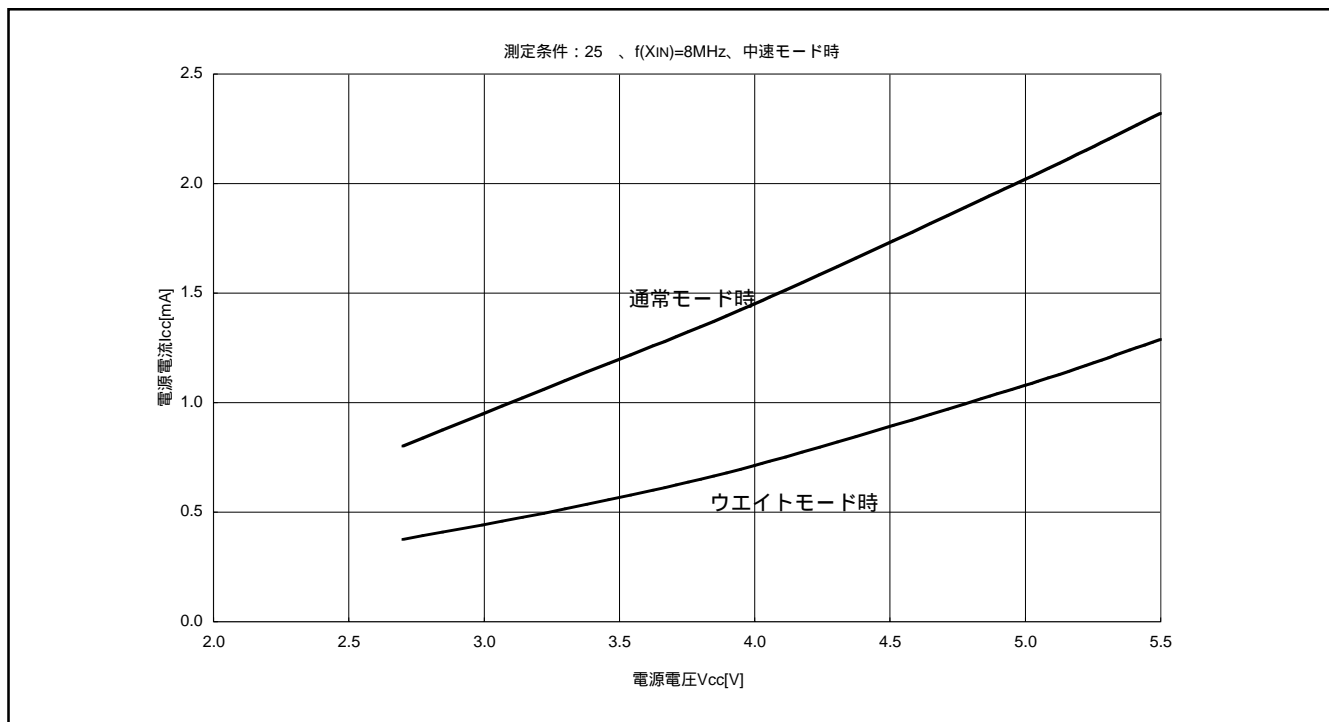


図3.2.13 PROM内蔵版電源電流特性例(中速モード、f(XIN)=8MHz時)

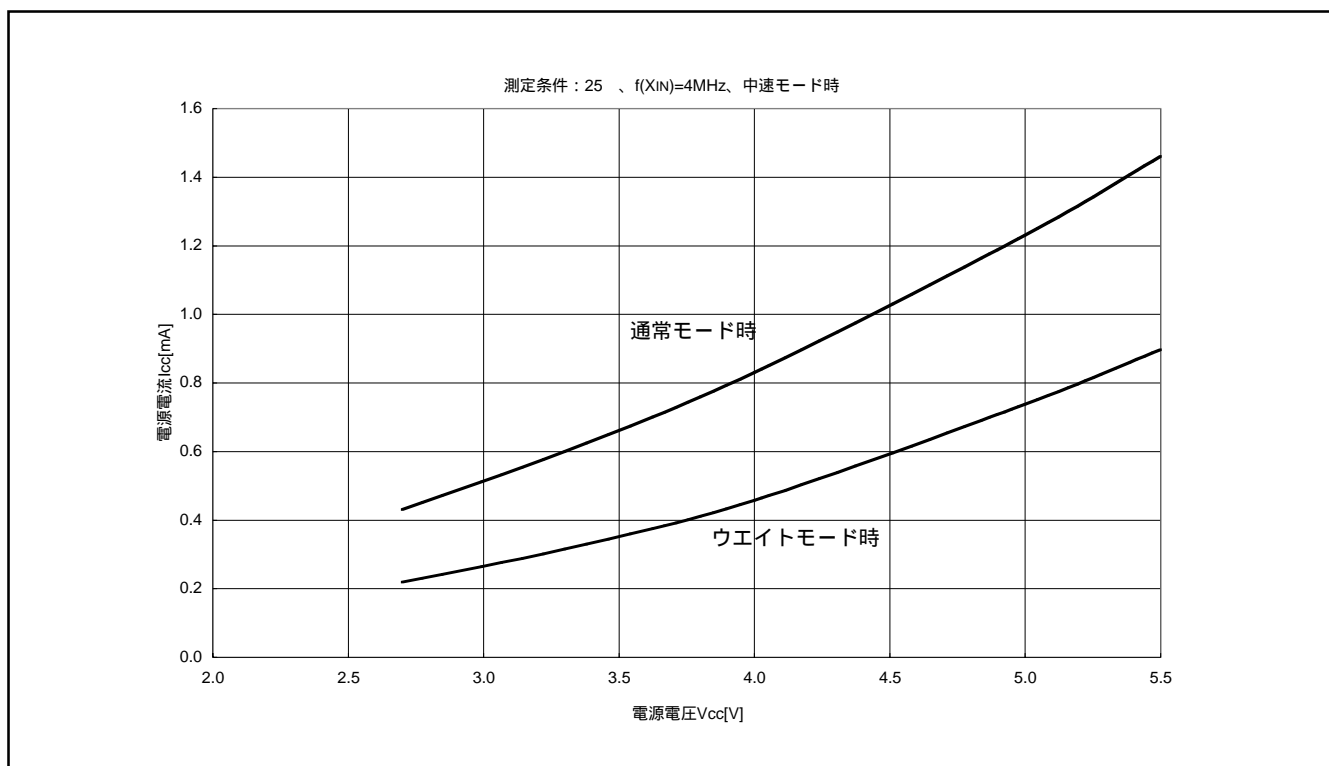


図3.2.14 PROM内蔵版電源電流特性例(中速モード、f(XIN)=4MHz時)

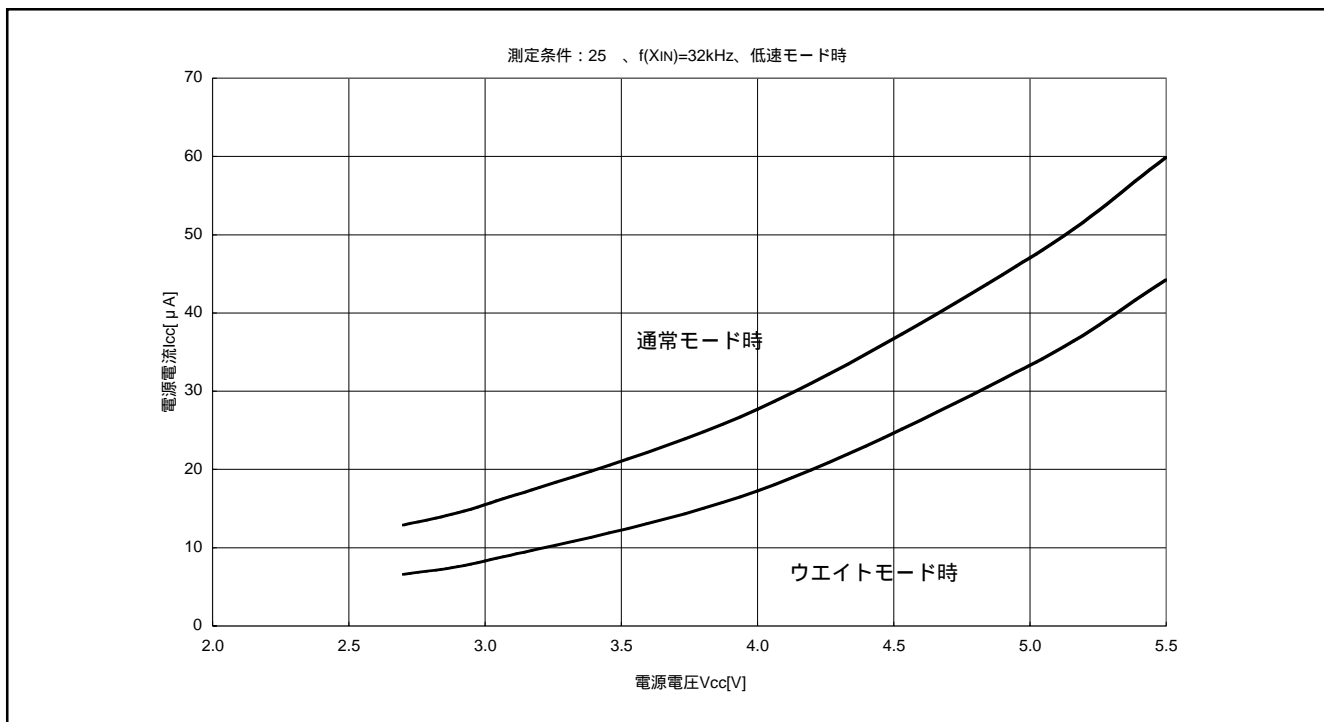


図3.2.15 PROM内蔵版電源電流特性例(低速モード時)

3.2.4 フラッシュメモリ版ポート標準特性例

フラッシュメモリ版 (M38507F8) のポート標準特性例を図3.2.16から図3.2.19に示します。

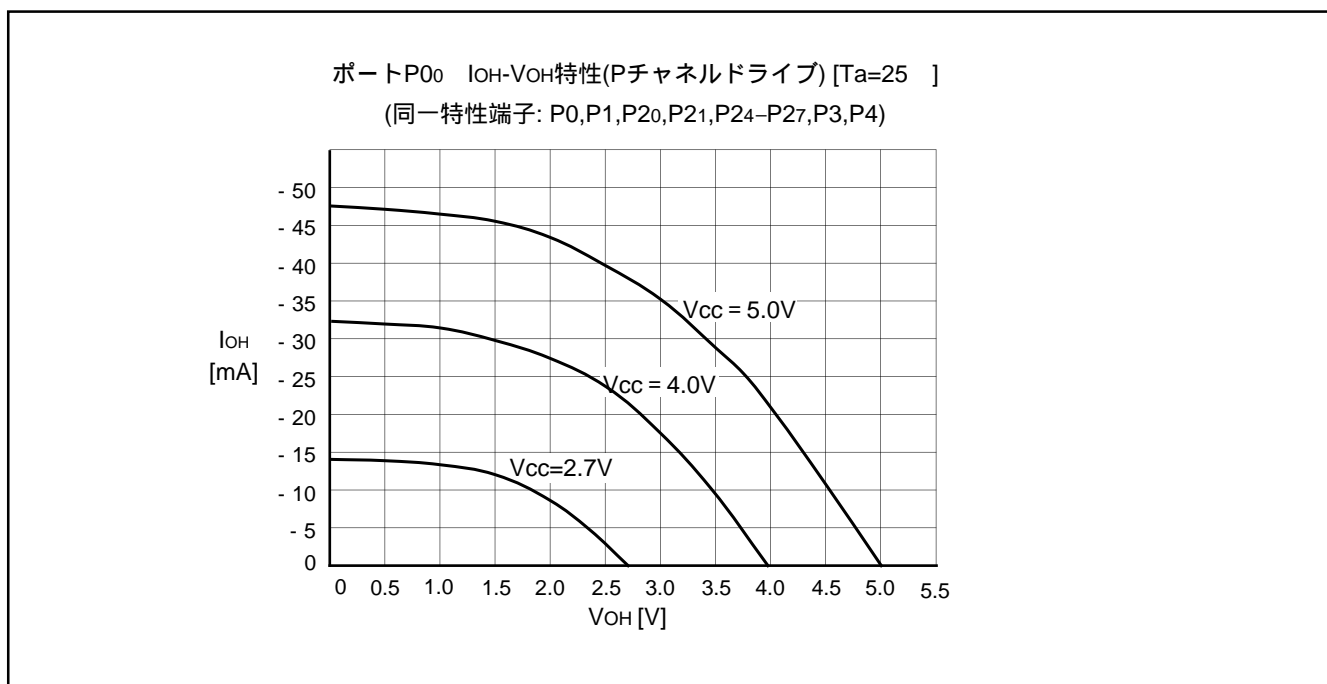


図3.2.16 Pチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)

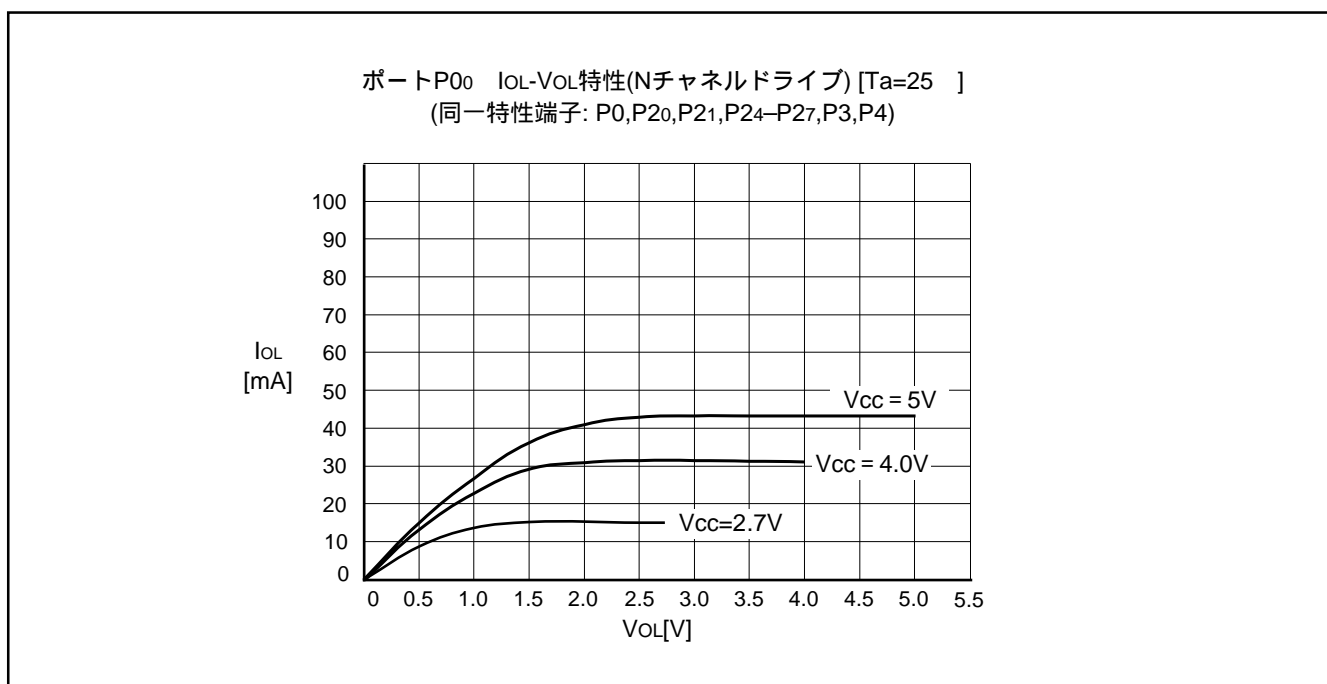


図3.2.17 Nチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)

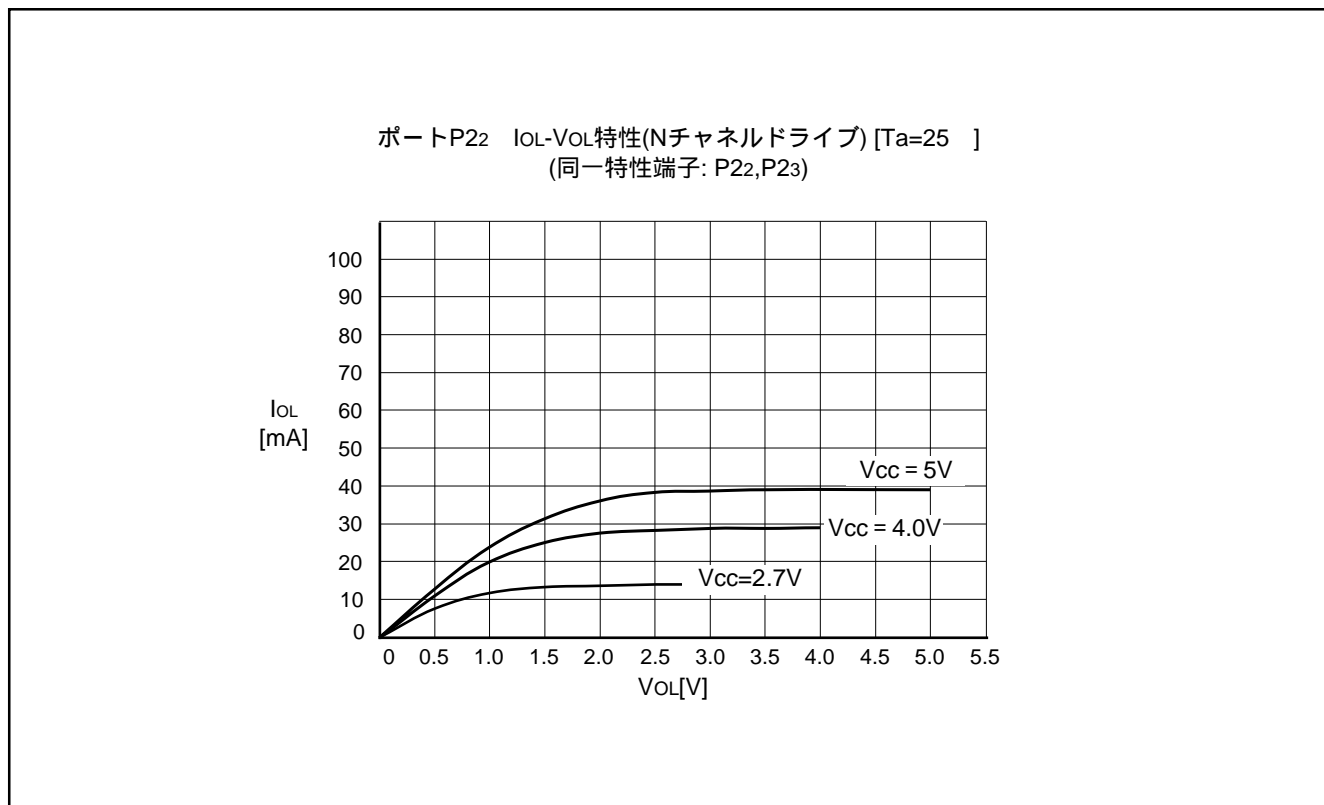


図3.2.18 Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例(Ta=25)

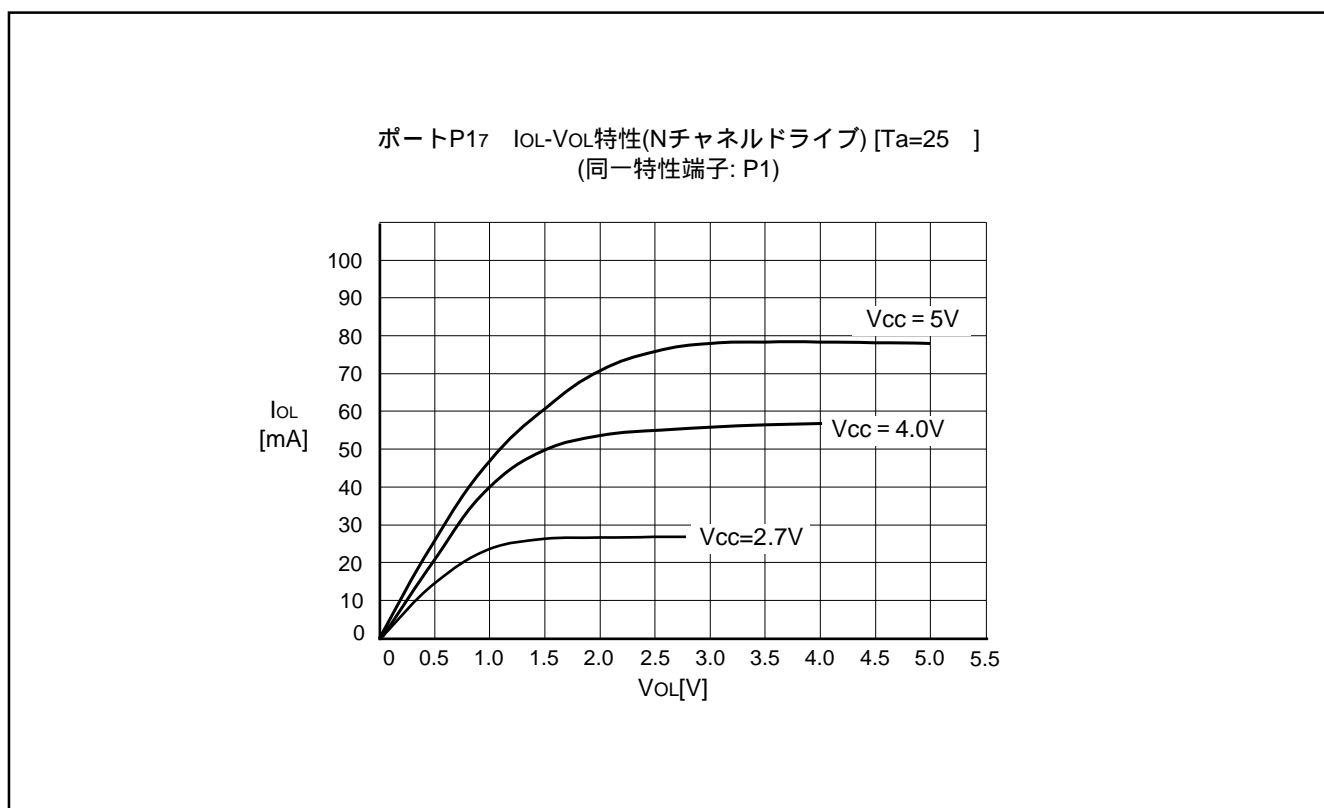


図3.2.19 Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25)

3.2.5 マスクROM版ポート標準特性例

マスクROM版(M38503M2H, M38503M4H, M38504M6, M38507M8)のポート標準特性例を図3.2.20から図3.2.23に示します。

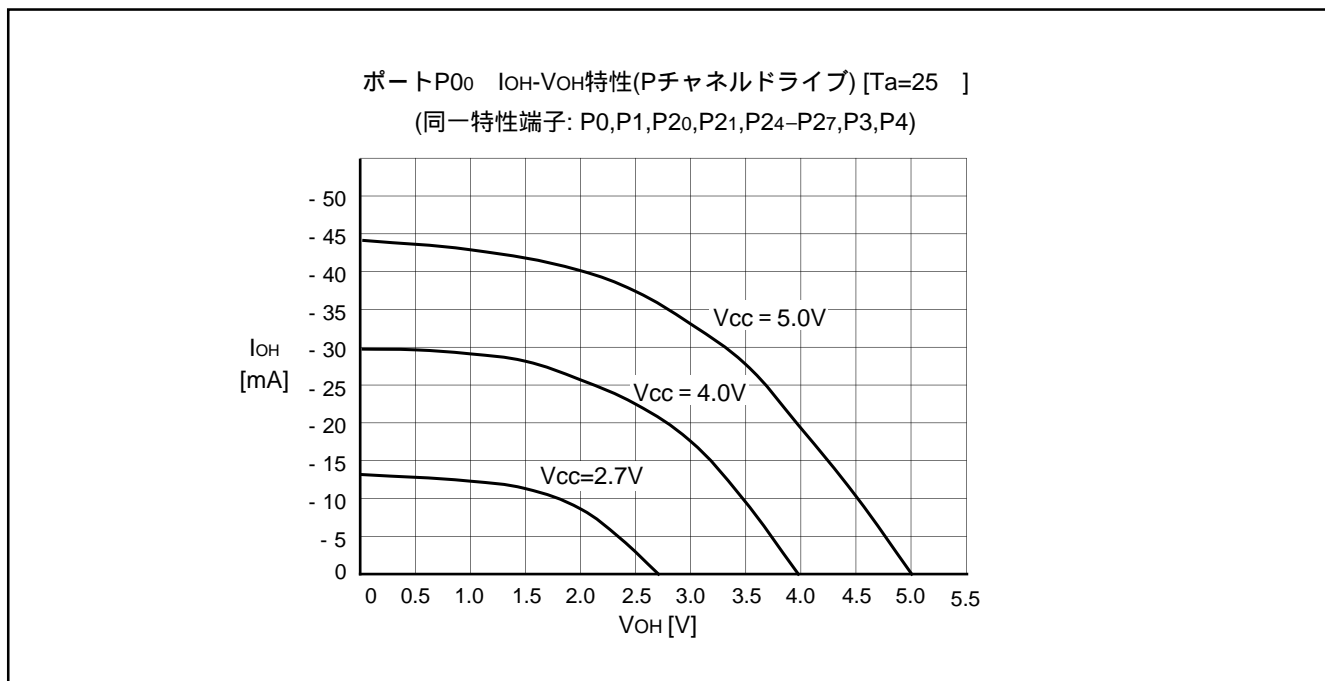


図3.2.20 Pチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)

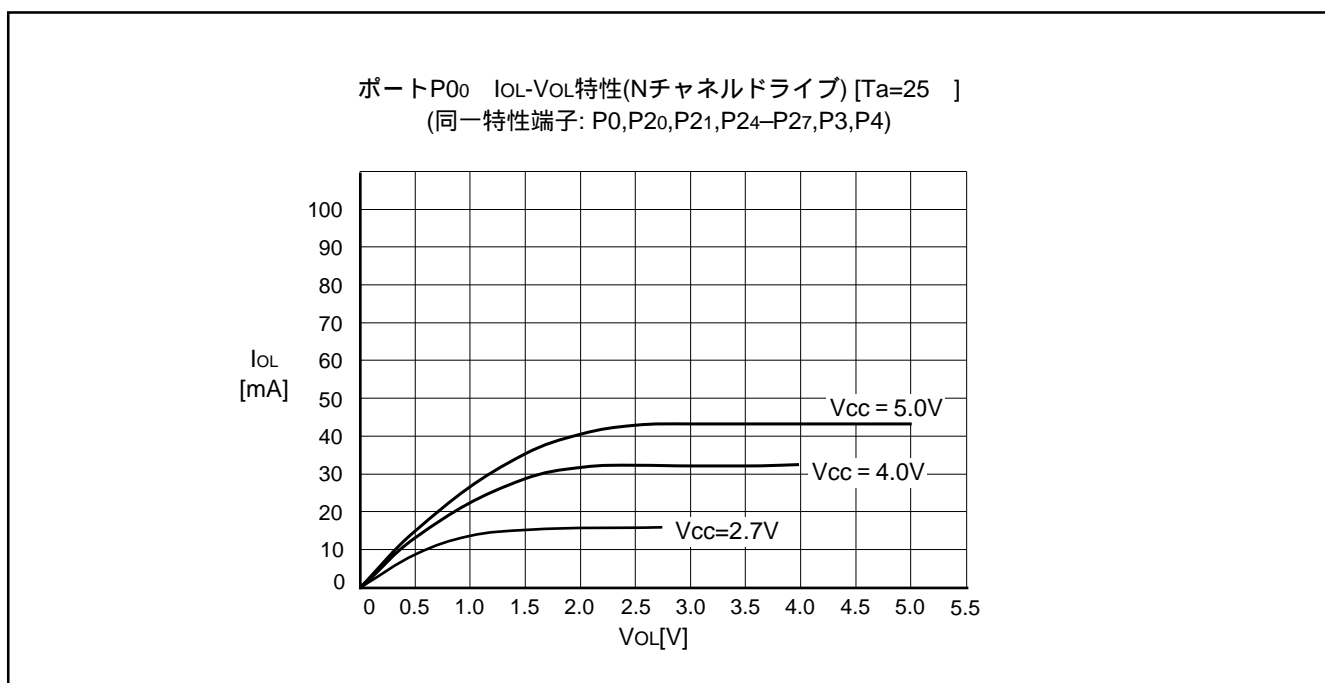


図3.2.21 Nチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)

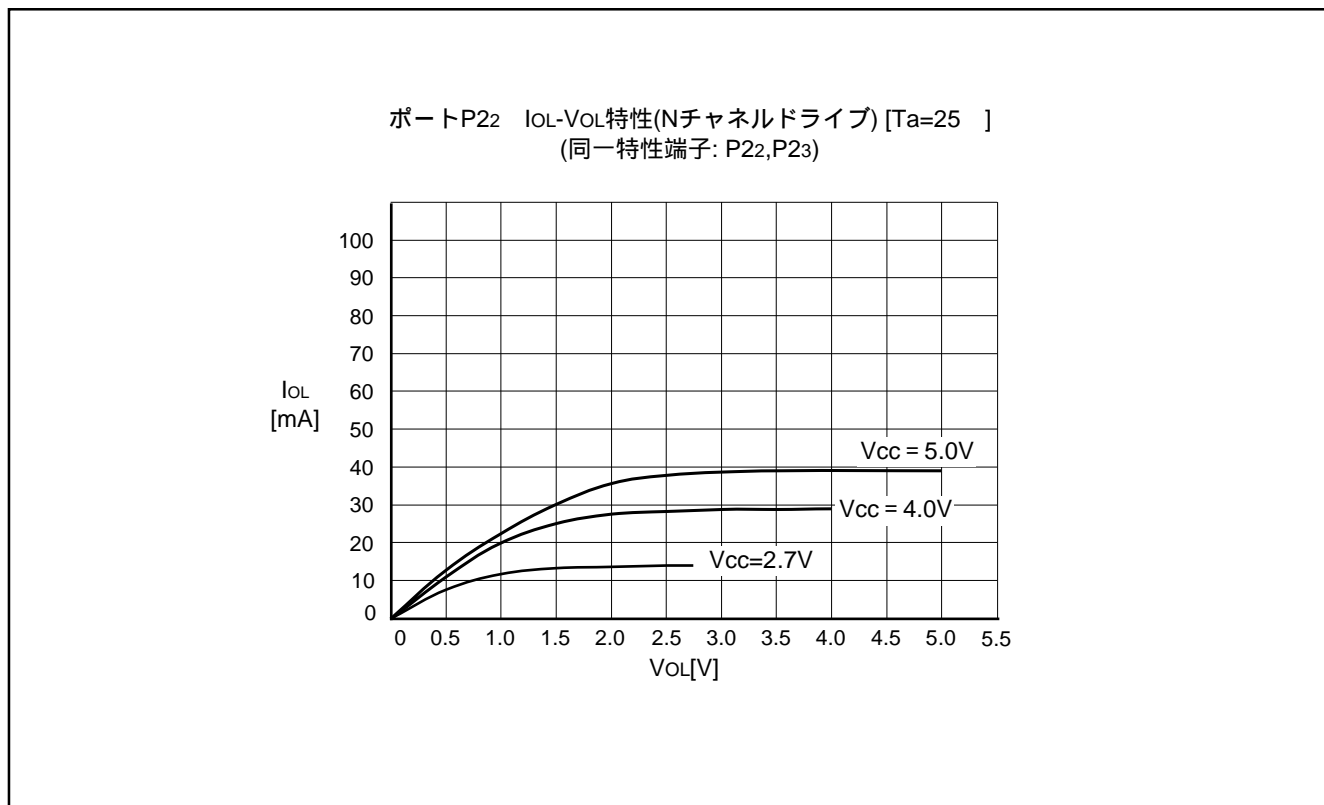


図3.2.22 Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例(Ta=25)

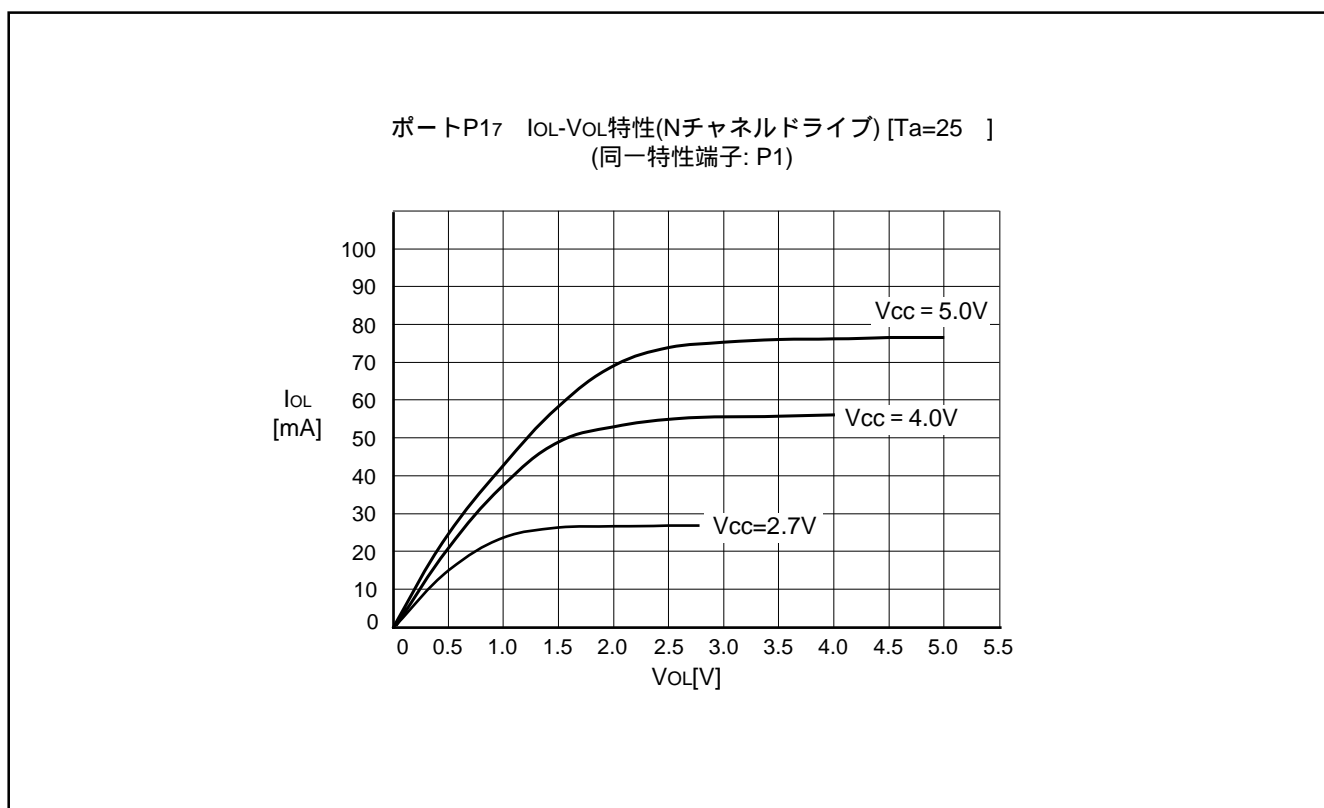


図3.2.23 Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25)

3.2.6 PROM内蔵版ポート標準特性例

PROM内蔵版(M38504E6)のポート標準特性例を図3.2.24から図3.2.27に示します。

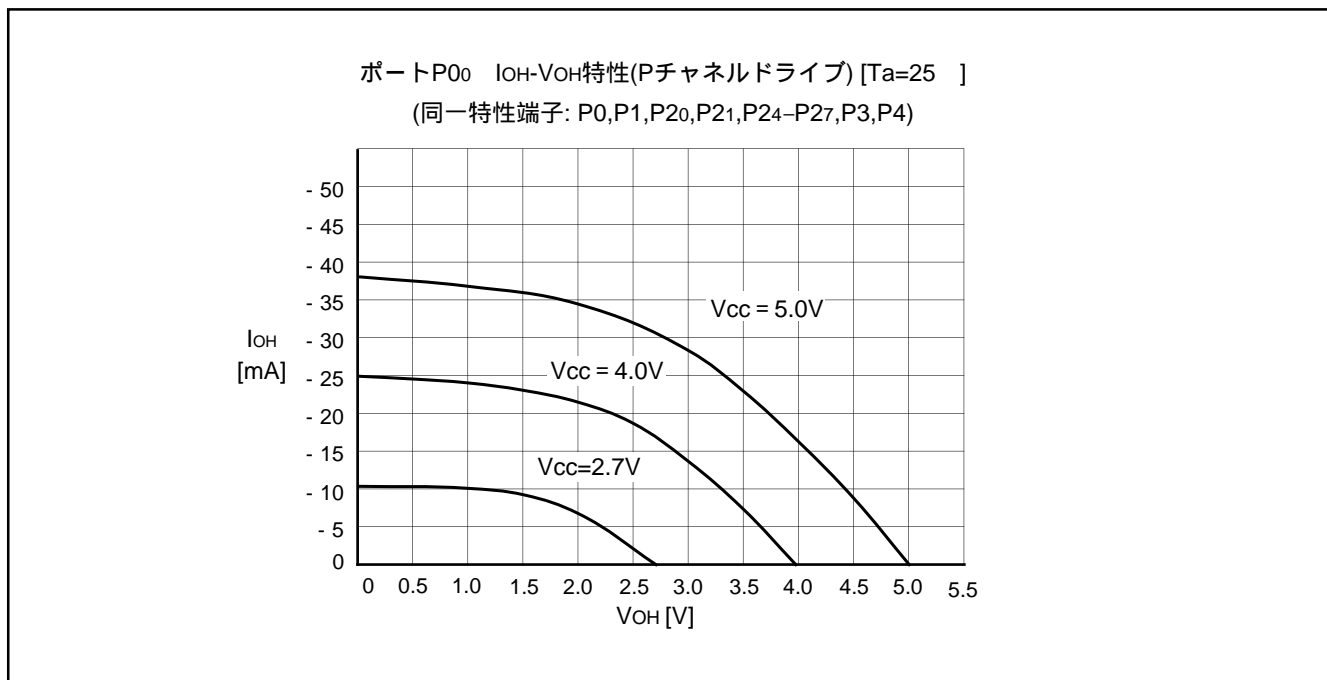


図3.2.24 Pチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)

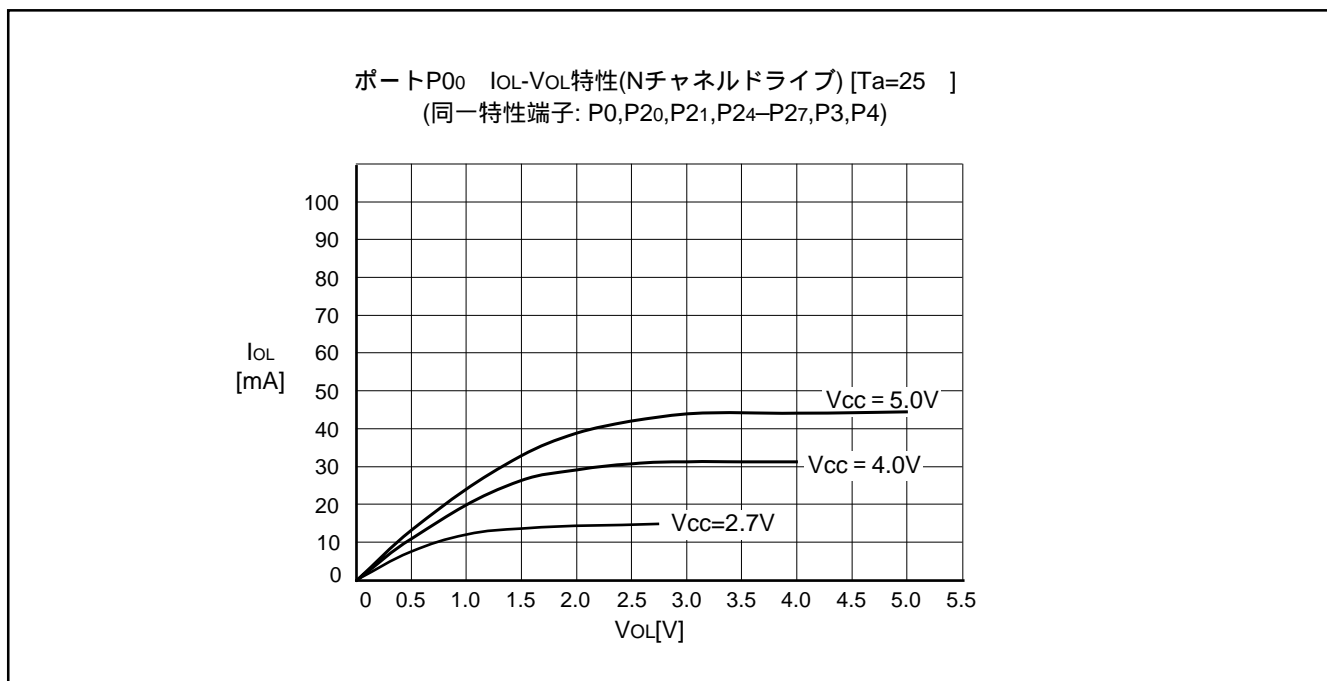


図3.2.25 Nチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25)

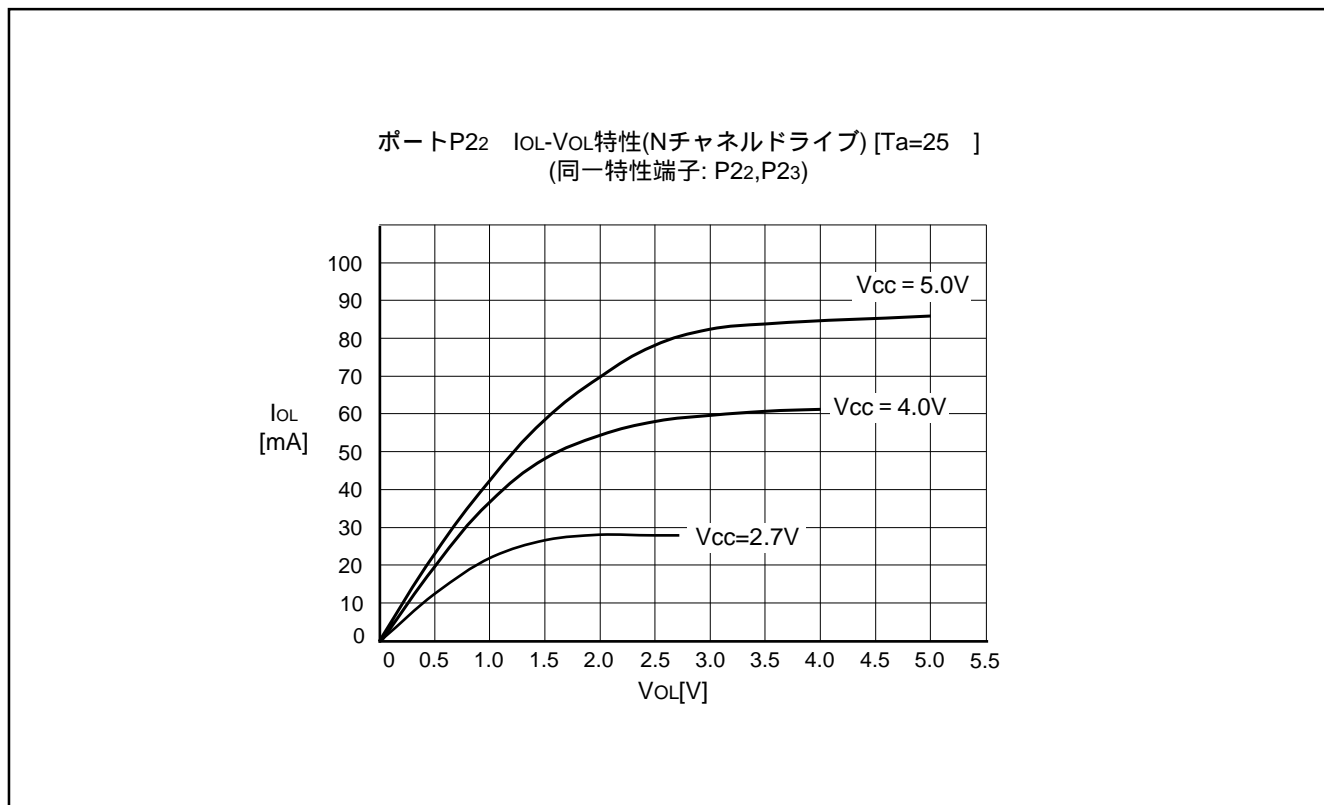


図3.2.26 Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例(Ta=25)

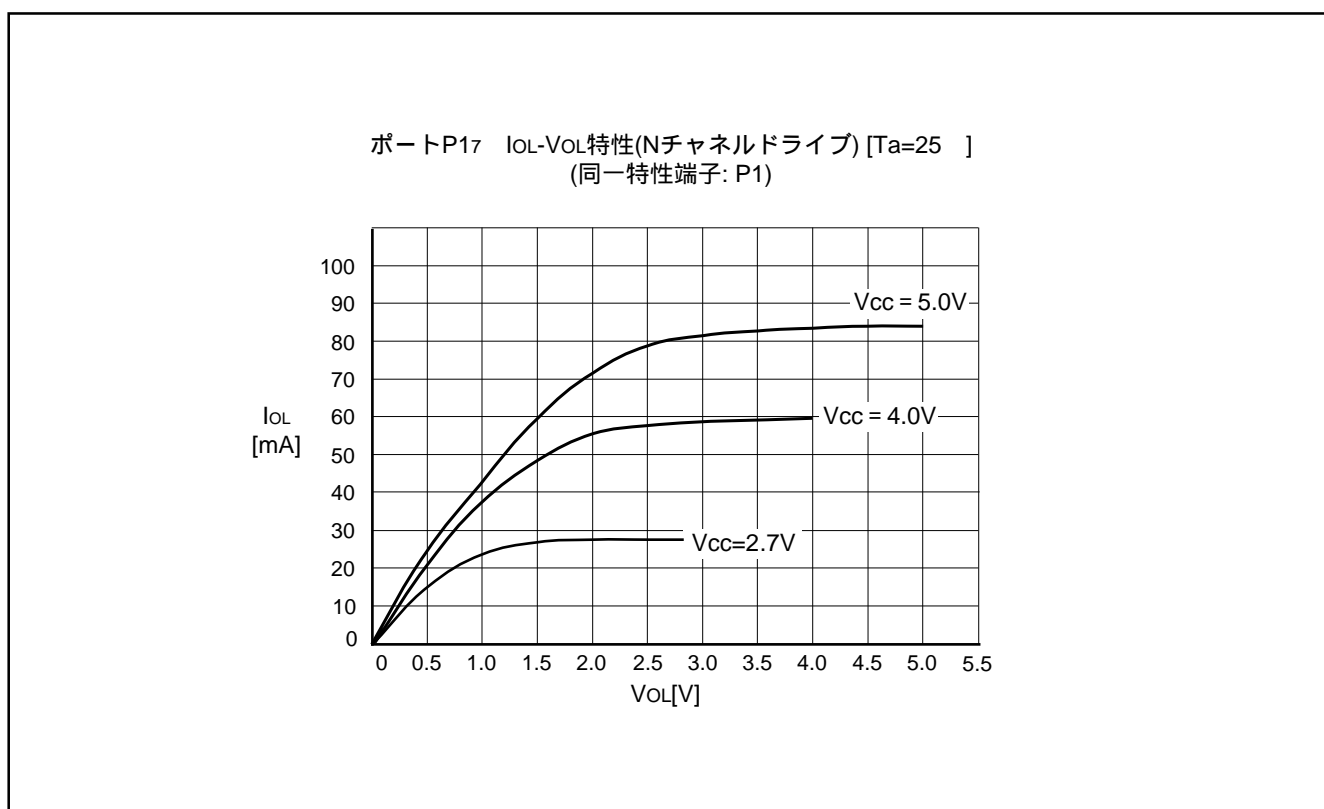


図3.2.27 Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25)

3.2.7 A-D変換標準特性例

(1) A-D変換精度の定義

A-D変換精度の定義を以下に説明します。

相対精度

- ・ ゼロトランジション電圧 実際のA-D変換出力データが0から1に変化するときのアナログ入力電圧を表します。
- ・ フルスケールトランジション電圧 実際のA-D変換出力データが1023から1022に変化するときのアナログ入力電圧を表します。
- ・ 直線性誤差 V_{0T} と V_{FST} を結んだ直線と実際のA-D変換出力データとの偏差を表します。
- ・ 微分非直線性誤差 相対精度において、 $V_{0T} \sim V_{FST}$ 間で変換値を1LSB変化させるために必要な入力電位差からの偏差を表します。

絶対精度

実際のA-D変換特性の0 ~ V_{REF} 間の理想特性からの偏差を表します。

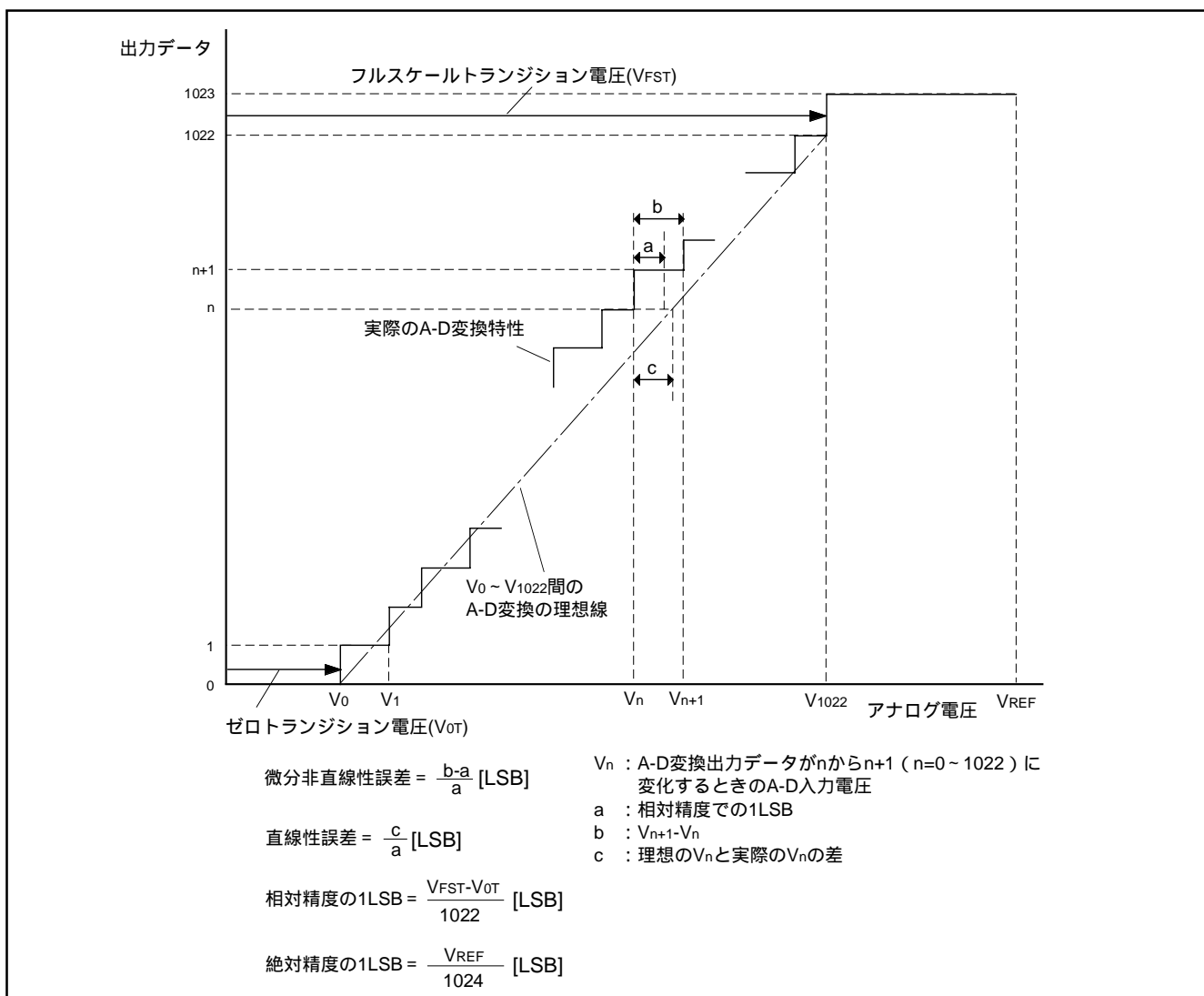


図3.2.28 A-D変換精度の定義

(2) A-D変換標準特性例

フラッシュメモリ版、マスクROM版、PROM内蔵版のA-D変換標準特性例をそれぞれ図3.2.29から図3.2.31に示します。

グラフの太いラインは絶対精度誤差を示します。ここでは、出力コードが変化する点の理想値からのずれで表示しています。例えば、出力コードの256 → 257変化は、理想的にはAN0=1280mVの点で起こります。しかし、絶対精度誤差の測定値は2.5mVですから、“ $1280+2.5=1282.5\text{mV}$ ”が測定変化点であることを表します。

グラフの細いラインは、出力コードが同一である入力電圧の幅を示します。例えば、出力コードが256である入力電圧の幅の測定値は5.0mVですから、微分非直線性誤差は“ $5.0-5.0=0\text{mV}(0\text{LSB})$ ”であることを表します。

M38507F8 A-D CONVERTER ERROR & STEP WIDTH MEASUREMENT

VCC = 5.12[V], VREF = 5.12[V]
 XIN = 8[MHz], Ta = 25[deg.]

ゼロトランジション電圧	:	10.625 [mV]	
フルスケールトランジション電圧	:	5122.812 [mV]	
微分非直線性誤差	:	1.719 [mV] :	0.344 [LSB]
直線性誤差	:	-5.659 [mV] :	-1.131 [LSB]
絶対精度	:	8.906 [mV] :	1.781 [LSB]

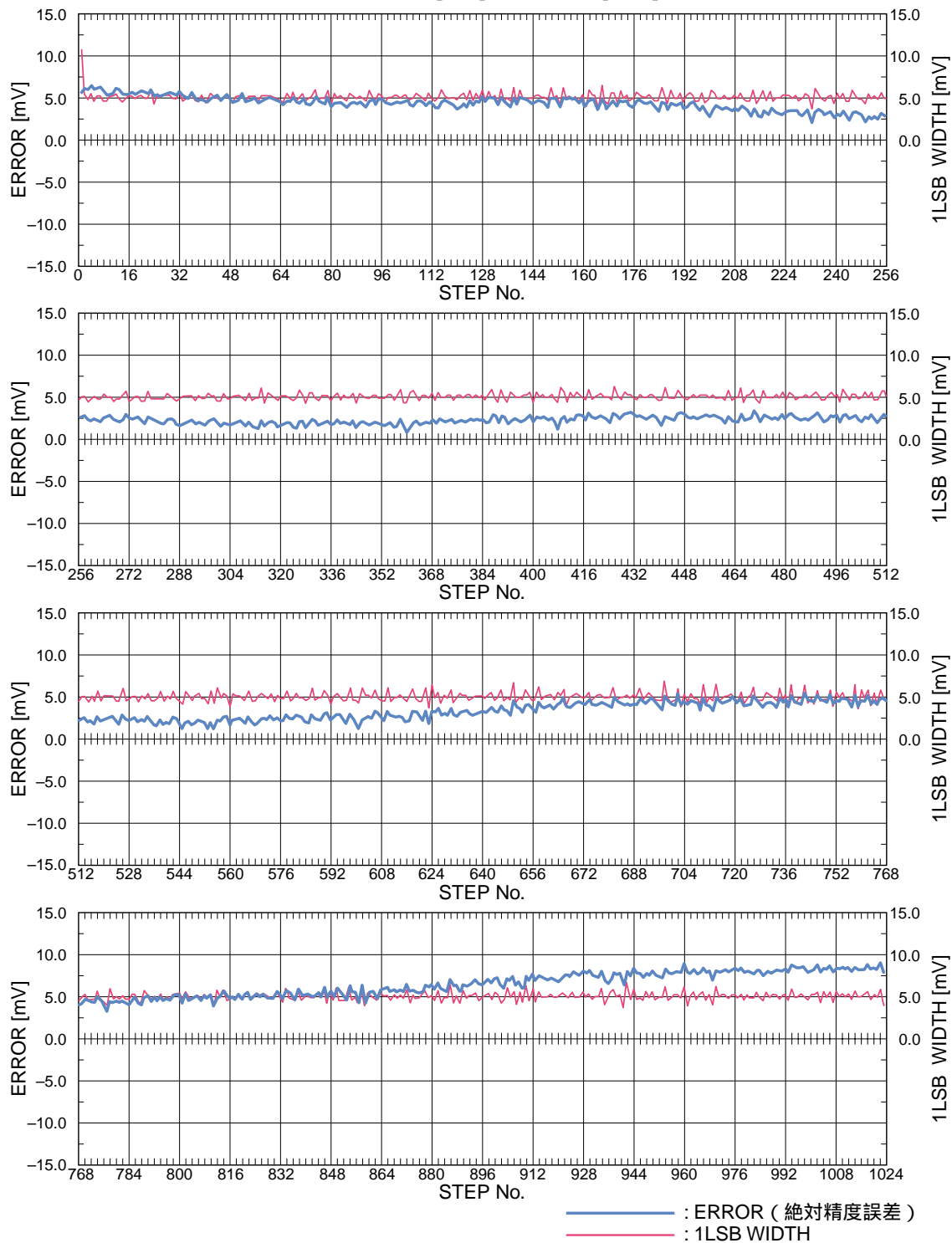


図3.2.29 フラッシュメモリ版(M38507F8)のA-D変換標準特性例

M38503M2H, M38503M4H, M38504M6, M38507M8 A-D CONVERTER ERROR & STEP WIDTH MEASUREMENT

VCC = 5.12[V], VREF = 5.12[V]
 XIN = 8[MHz], Ta = 25[deg.]

ゼロトランジション電圧 : 10.31 [mV]
 フルスケールトランジション電圧 : 5118.12 [mV]
 微分非直線性誤差 : -1.41 [mV] : -0.28 [LSB]
 直線性誤差 : -4.72 [mV] : -0.94 [LSB]
 絶対精度 : 6.25 [mV] : 1.25 [LSB]

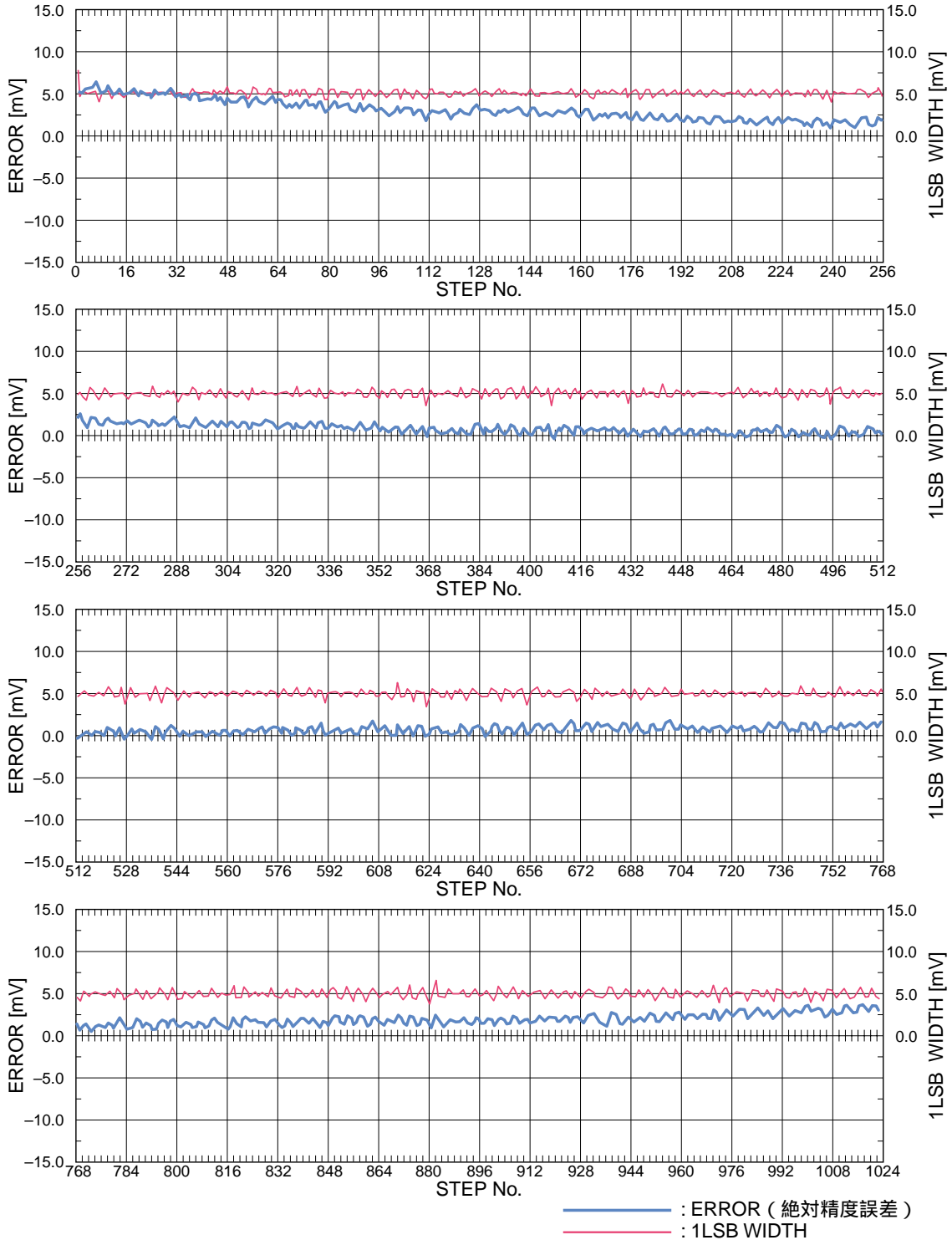


図3.2.30 マスクROM版(M38503M2H, M38503M4H, M38504M6, M38507M8)のA-D変換標準特性例

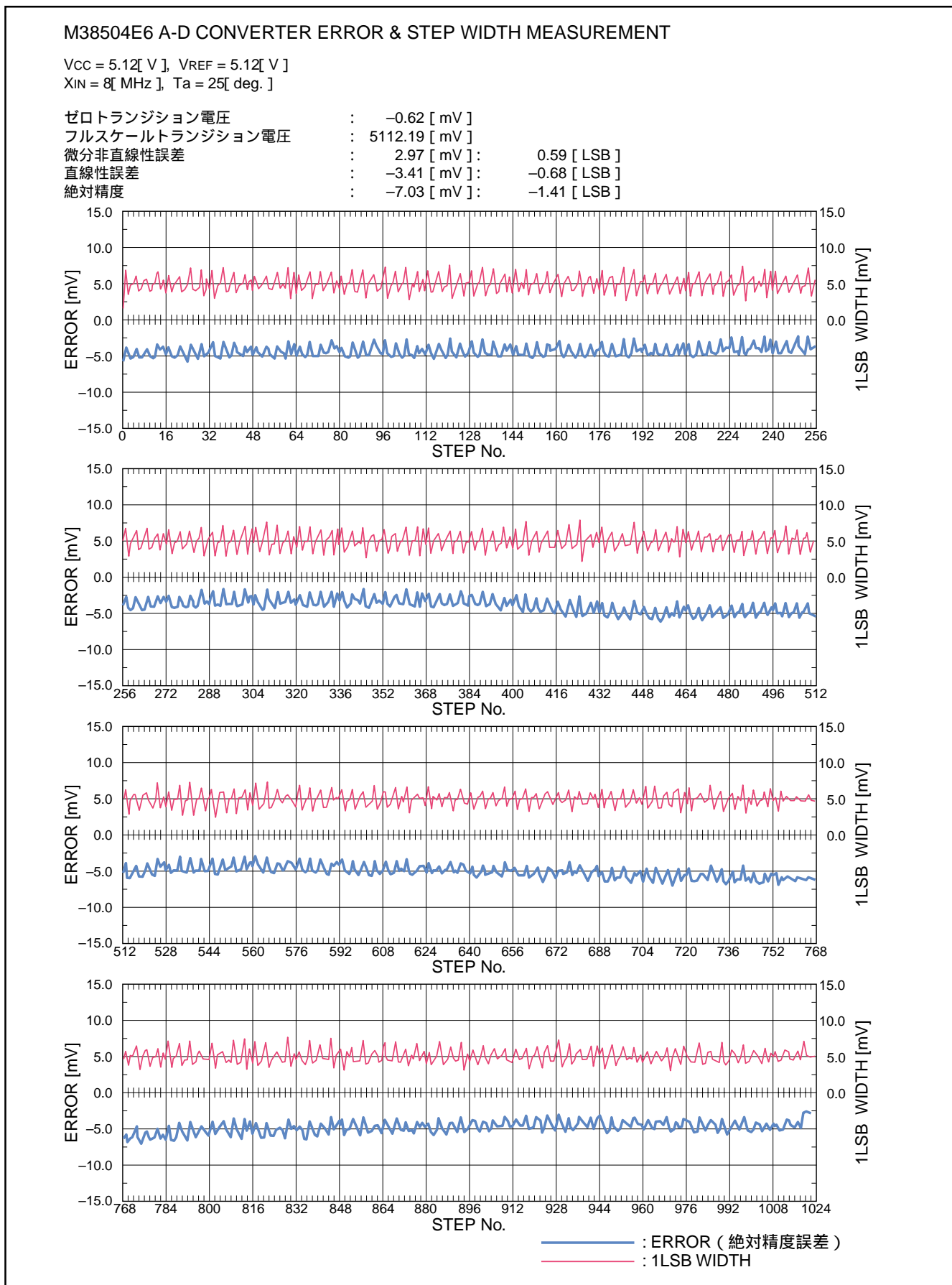


図3.2.31 PROM内蔵版(M38504E6)のA-D変換標準特性例

3.3 使用上の注意事項

3.3.1 入出力ポートに関する注意事項

(1) スタンバイ状態での使用

スタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。また、Nチャンネルオープンドレインの入出力ポートでは、出力に設定している場合でも、同様の注意が必要です。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

理由

方向レジスタで入力ポートに設定している場合はトランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。このとき、入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

また、Nチャンネルオープンドレインの入出力ポートではポートラッチの内容が「1」の場合、方向レジスタで出力ポートに設定していても、入力ポートと同様の現象が起こります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウエイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

- ・出力に設定されているビット：

ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化します。

*ビット処理命令：SEB命令、CLB命令

3.3.2 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

出力専用端子

開放してください。

入力専用端子

各端子ごとに1~10k の抵抗を介して、 V_{CC} 又は V_{SS} に接続してください。また、電圧レベルが動作モードに影響を与える端子(CNV_{SS}端子、INT端子など)は、モードを検討の上、 V_{CC} 又は V_{SS} を選択してください。

入出力ポート

入力モードに設定し、1~10k の抵抗を介して V_{CC} 又は V_{SS} に接続してください。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

A-D変換器を使用しない場合のA-D変換用電源端子AV_{SS}

A-D変換器を使用しない場合、A-D変換用電源端子AV_{SS}は以下のように処理してください。

- ・AV_{SS} : V_{SS} に接続

(2) 処理上の留意事項

入力ポート及び入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、 V_{CC} 又は V_{SS} に直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、 V_{CC} 又は V_{SS} に接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

3.3.3 割り込みに関する注意事項

(1) 関連レジスタの設定変更

割り込みエッジ選択レジスタ(3A₁₆番地)及びタイマXYモードレジスタ(23₁₆番地)の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

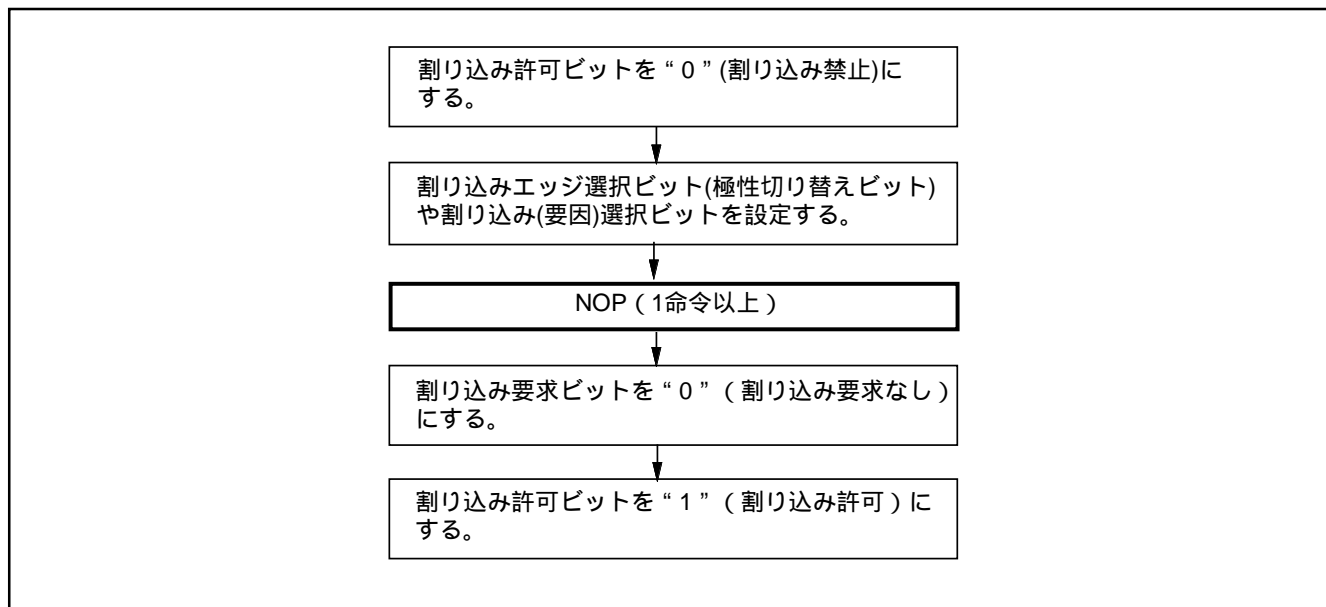


図3.3.1 関連レジスタの設定変更手順

理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・ 外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)
タイマXYモードレジスタ(23₁₆番地)
- ・ 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)

(2) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

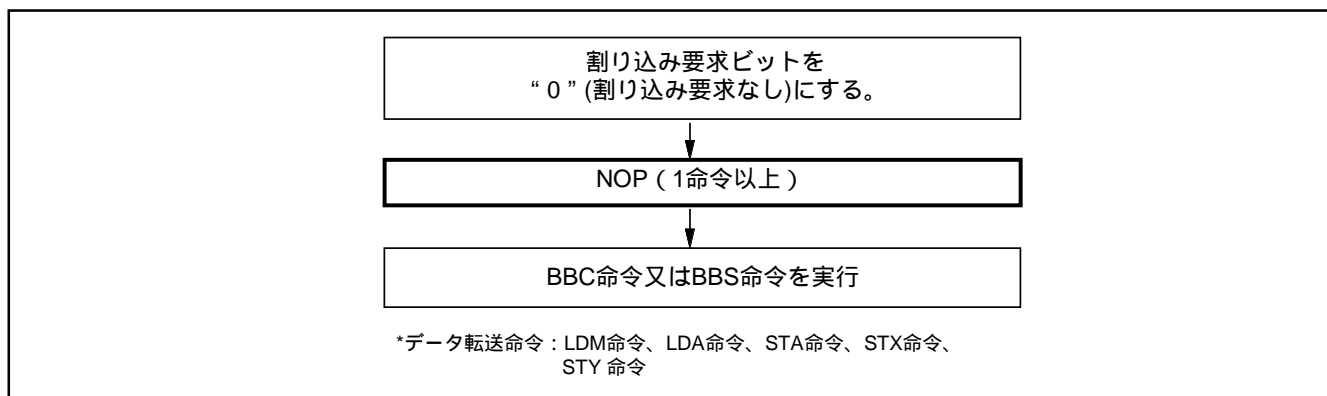


図3.3.2 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

3.3.4 タイマに関する注意事項

タイマラッチに値n(“0”~“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

3.3.5 シリアルI/Oに関する注意事項

(1) クロック同期形の選択時(シリアルI/O1)

送信動作の停止

シリアルI/O1許可ビット及び送信許可ビットを“0”(シリアルI/O及び送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、 $\overline{SRDY1}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)、又はシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

送受信動作の停止

送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また(1)の送信動作の停止と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

④受信側の $\overline{\text{SRDY1}}$ 出力(シリアルI/O1)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(2) 非同期形の選択時(シリアルI/O1)

送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、 $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、 $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) シリアル/O1制御レジスタの再設定(シリアル/O1)

シリアル/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

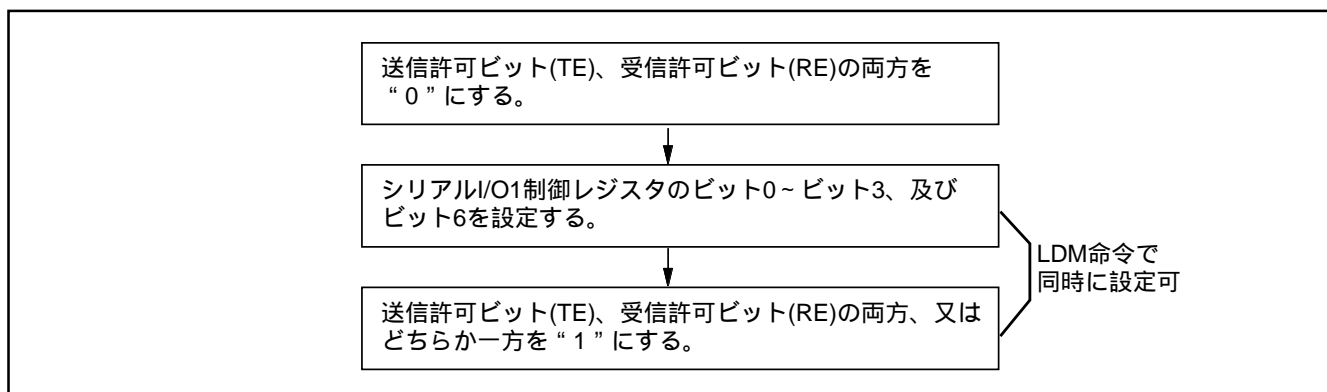


図3.3.3 シリアル/O1制御レジスタの再設定手順

(4) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアル/O1)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(5) 送信許可ビットセット時の送信割り込み要求(シリアル/O1)

送信割り込みを使用する場合は、以下の手順で送信許可ビットを許可状態にしてください。

CLB命令により、割り込み許可ビットを“0”(禁止状態)にする。

シリアル/Oの送受信準備を行う。

一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

割り込み許可ビットを“1”(許可状態)にする。

理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

- ・送信バッファエンプティフラグを“1”に設定
- ・送信シフトレジスタシフト終了フラグを“1”に設定

(6) 外部クロック選択時の送信制御(シリアルI/O1(クロック同期形モード))

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態を送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

(7) 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/O2では、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

3.3.6 PWMに関する注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベルの出力時間は次のとおりです。

- ・カウンタソース選択ビット=“0”、n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- ・カウンタソース選択ビット=“1”、n=プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

3.3.7 A-D変換器に関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\ \mu\text{F}$ ~ $1\ \mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA-D変換精度が得られない場合があります。

(2) A-D変換器用電源端子

A-D変換機能の使用又は不使用にかかわらず、A-D変換器用電源端子AVssは以下のように処理してください。

- ・ AVss : Vssに接続

理由

AVss端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

(3) A-D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は以下の2点に留意してください。

- ・ 中速/高速モード時の $f(X_{IN})$ は500kHz以上にしてください。
- ・ STP命令を実行しないでください。
- ・ 低速モードでA-D変換を実行する場合は、内蔵の自己発振回路を使用してA-D変換を行いますので、 $f(X_{IN})$ の下限周波数の制限はありません。

3.3.8 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。

ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを“1”にすると、プログラムにより“0”に書き替えることはできません。

3.3.9 リセット端子に関する注意事項

(1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

(2) 電源投入後のリセット解除

パワーオンリセット等、電源投入後リセットを解除する場合は、電源電圧が2.7V以上に達し、 X_{IN} が安定発振している状態で X_{IN} が20サイクル以上経過した後に解除してください。

理由

リセット解除には電源電圧が2.7～5.5Vにあり、 X_{IN} が安定発振しているときに X_{IN} の20サイクル以上の期間“L”レベルにする必要があります。

3.3.10 ストップモードに関する注意事項

レジスタ設定

STP命令解除後の発振安定時間設定ビットを“0”で使用される場合は、ストップモードからの復帰時、プリスケラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。

STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケラ12に値を設定してください。

復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時に X_{IN} 入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

3.3.11 ウェイトモードに関する注意事項

復帰後のクロック

WIT命令実行時に X_{CIN} をシステムクロックとして設定し、 X_{IN} の発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、 X_{CIN} の発振が停止し、 X_{IN} が発振を開始し、 X_{IN} がシステムクロックになります。

上記において X_{IN} の発振が安定するまで、 \overline{RESET} 端子に“L”レベルを入力しておく必要があります。

3.3.12 フラッシュメモリ版のCPU書き換えモードに関する注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット6,7)によって、内部クロック が4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、 $CNV_{SS} = H$ の場合、ブートモードで起動されるので、ブートROM領域のFFF_{C16}、FFF_{D16}番地に格納されたアドレスからプログラムがスタートします。

3.3.13 発振の再開に関する注意事項

発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1及びプリスケータ12には特定の値(タイマ1には 01_{16} 、プリスケータ12には FF_{16})が発振安定待ちのため自動的にセットされます。一方、MISRG(0038₁₆番地)のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1及びプリスケータ12に残っている値が発振安定待ち時間用のカウント値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1及びプリスケータ12に設定してください。

理由

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

3.3.14 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

理由

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

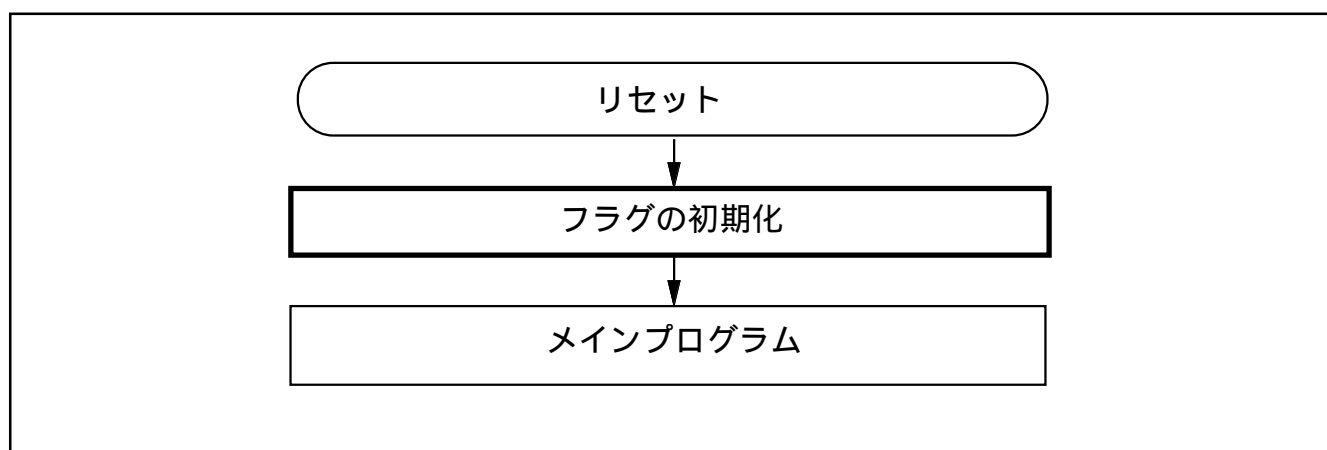


図3.3.4 プロセッサステータスレジスタのフラグの初期化

プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

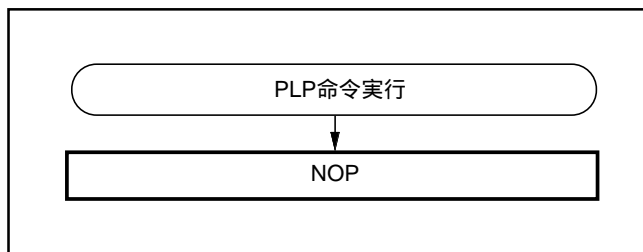


図3.3.5 PLP命令実行時の手順

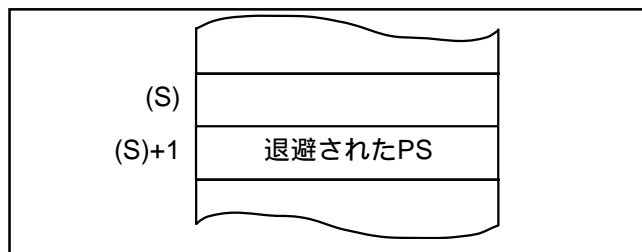


図3.3.6 PHP命令実行後のスタックメモリの内容

(2) BRK命令

割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に“1”
- ・Iフラグを“1”にして割り込みを禁止

(3) 10進演算

10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリー)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

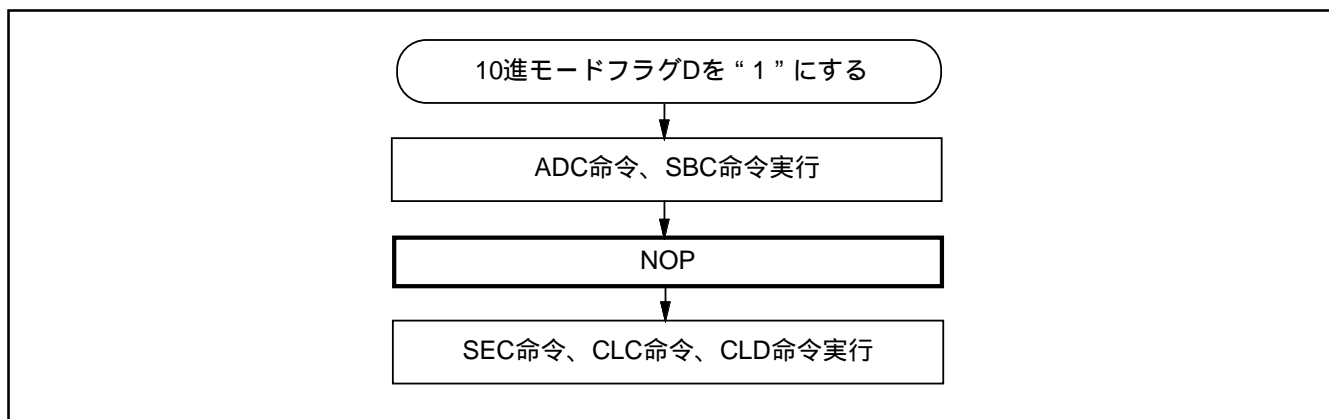


図3.3.7 10進演算時のステータスフラグ

(4) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF₁₆”となるアドレスをオペランドに指定しないでください。

(5) 乗除算命令

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

(6) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(7) 命令の実行時間

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではX_{IN}周期の2倍です。

3.3.15 EPROM版/ワンタイムPROM版/フラッシュメモリ版に関する注意事項

CNV_{SS}端子は、プログラマブル電源端子(V_{PP}端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNV_{SS}端子の配線は1~10kΩの抵抗を介してV_{SS}又はV_{CC}に接続くださるようお願いいたします。なお、マスクROM版のCNV_{SS}端子の配線が抵抗を介して接続されていても、動作上支障はありません。

3.3.16 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC}端子)とGND端子(V_{SS}端子)との間、及び電源端子(V_{CC}端子)とアナログ電源入力端子(AV_{SS}端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01μF~0.1μFのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

3.3.17 3850グループ(標準品)と3850グループ(H仕様)の相違に関する注意事項

- (1) 3850グループ(H仕様)の絶対最大定格は、電源電圧V_{CC}=0.3~6.5V、CNV_{SS}入力電圧V_I= -0.3~V_{CC}+0.3Vと3850グループ(標準品)と比べ、小さくなっています。
- (2) X_{IN}-X_{OUT}、X_{CIN}-X_{COU}Tの発振回路定数が異なる場合があります。
- (3) 予約領域、予約ビットは、何もデータを書き込まないでください。(リセット後の状態を変更しないでください。)
- (4) CPUモードレジスタのビット3は“1”に固定してください。
- (5) 未使用端子の処理を確実に実施してください。

3.4 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論的に有効ですが、実使用に際しては、本対策を実施した後も十分なシステム評価を行ってください。

3.4.1 配線長の短縮

基板の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短い (mm単位) ほどノイズをマイコン内部に引き込む可能性は低くなります。

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

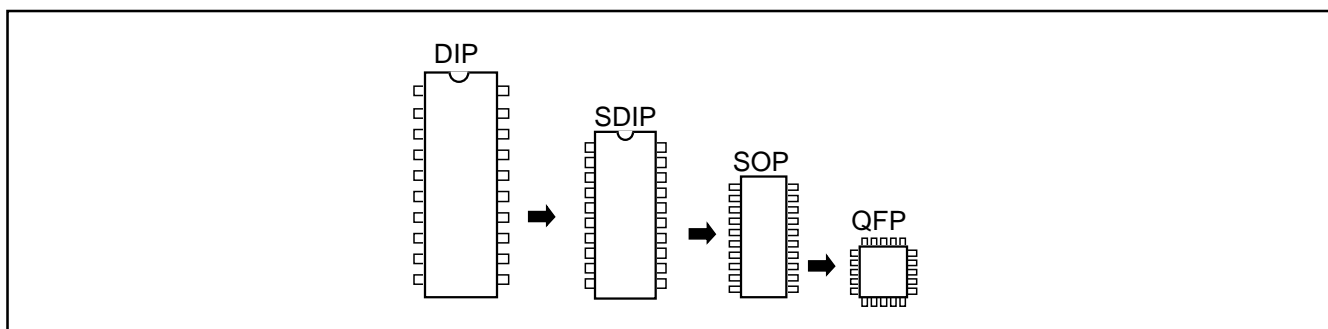


図3.4.1 パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

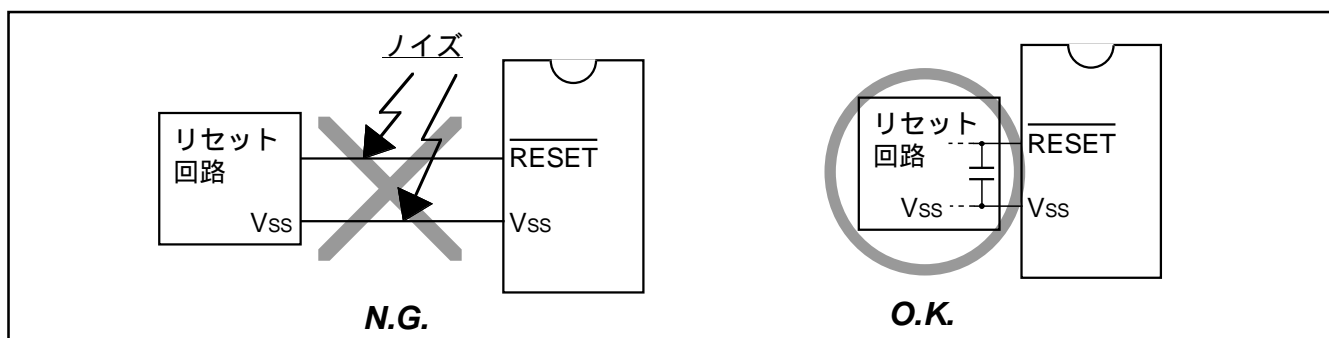


図3.4.2 リセット入力端子の配線

(3) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

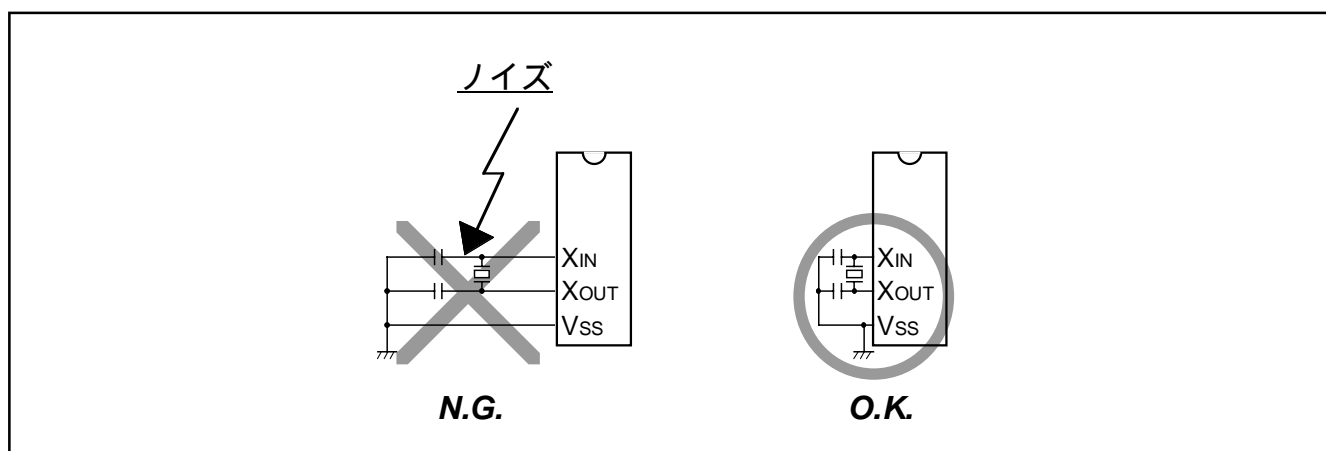


図3.4.3 クロック入出力端子の配線

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

理由

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

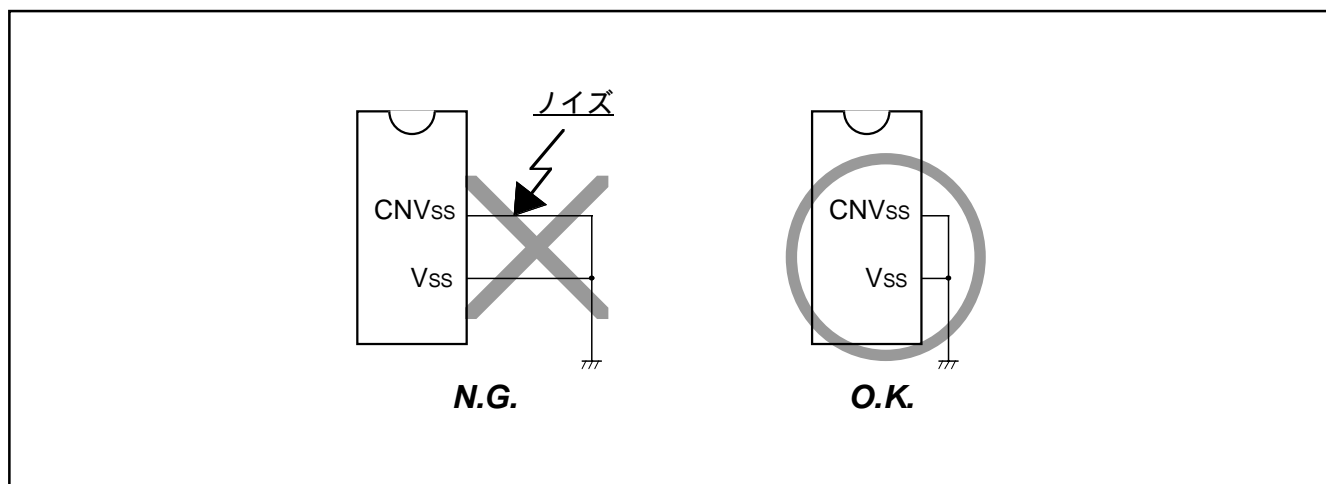


図3.4.4 CNVss端子の配線

(5) ワンタイムPROM版、EPROM版及びフラッシュ版のVPP端子配線

VPP端子のできるだけ近くに5k 程度の抵抗を直列に挿入し、Vss端子に接続してください。また、5k 程度の抵抗を挿入しない場合は、VPP端子とVss端子の配線は最短にしてください。

注. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

ワンタイムPROM版マイコン、EPROM版マイコン及びフラッシュ版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

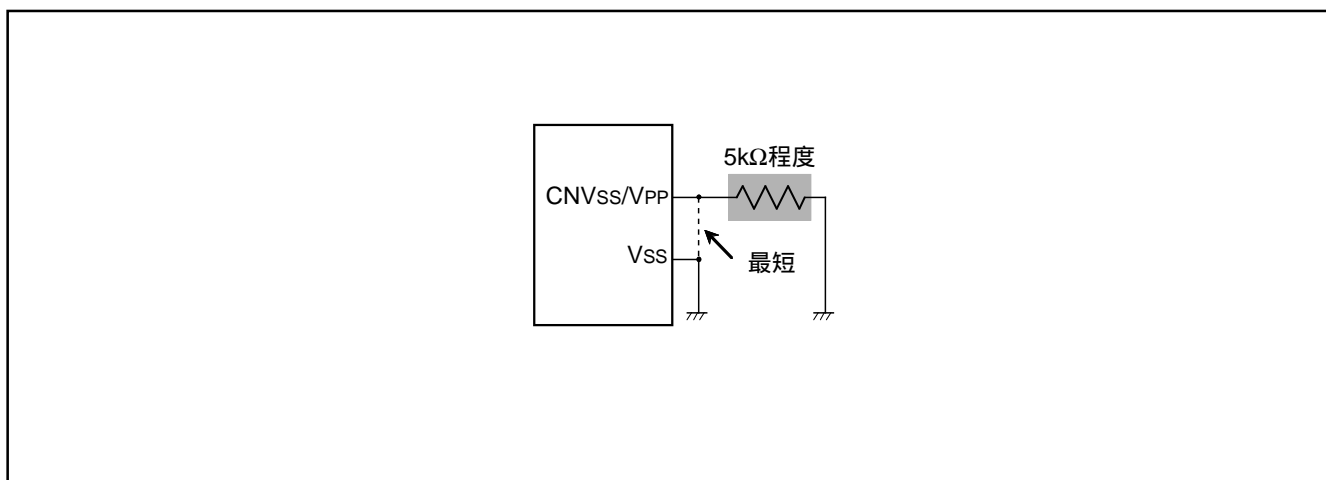


図3.4.5 ワンタイムPROM版、EPROM版及びフラッシュ版のVPP端子の配線

3.4.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

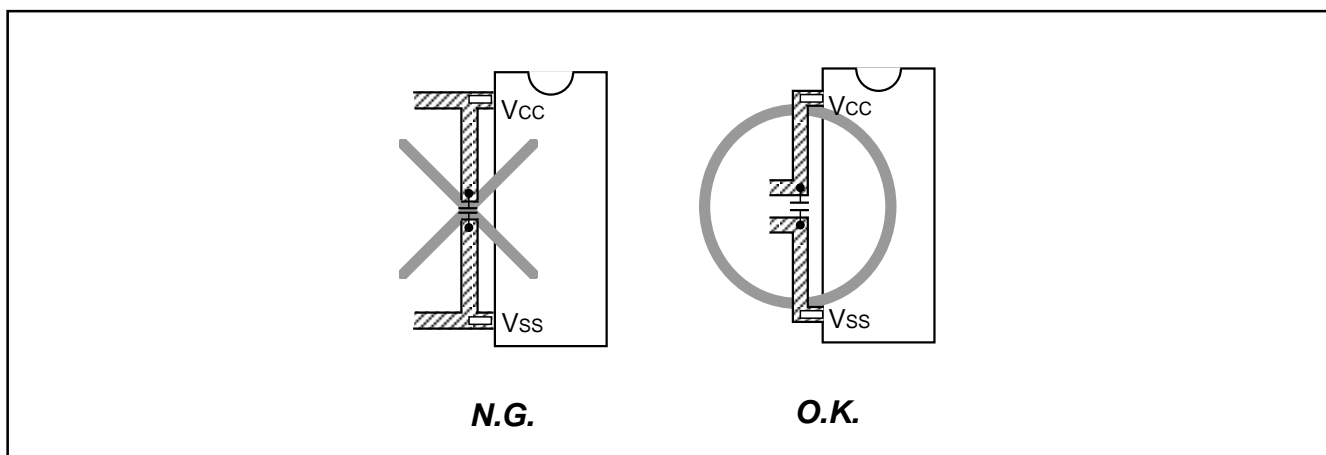


図3.4.6 Vss - Vccライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A-D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

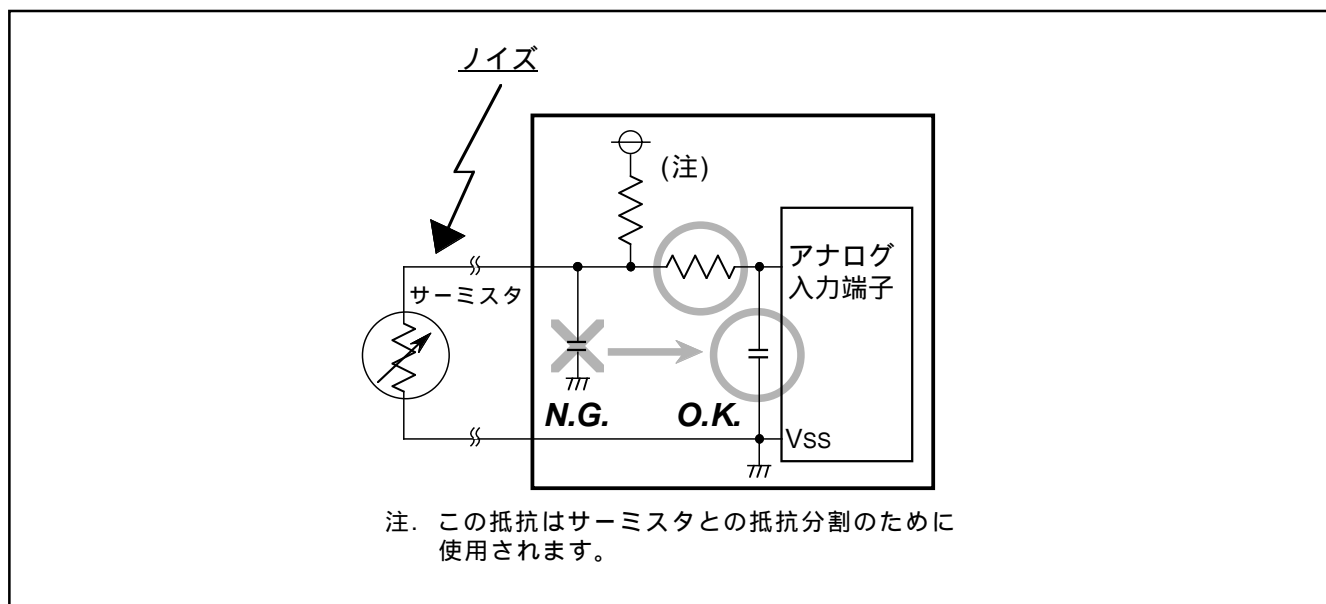


図3.4.7 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

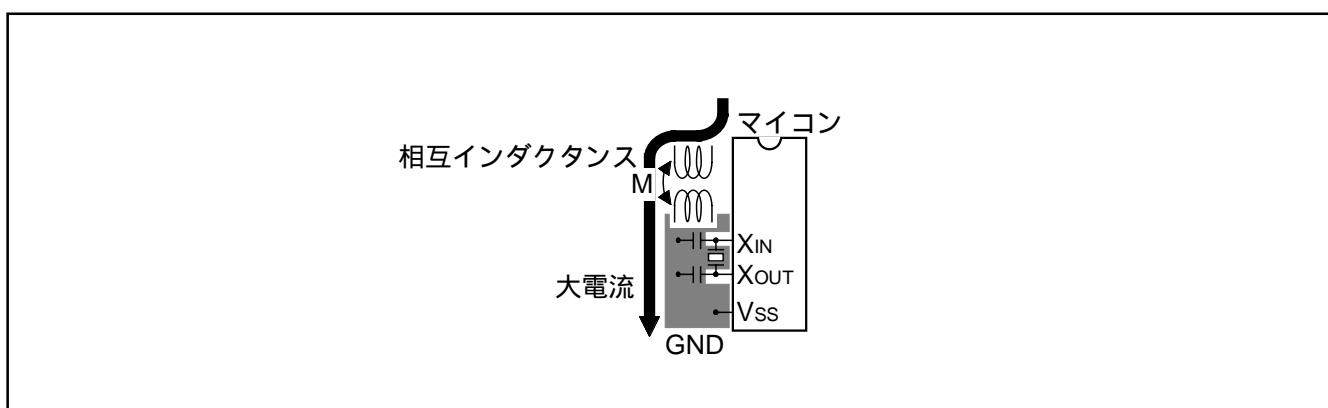


図3.4.8 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

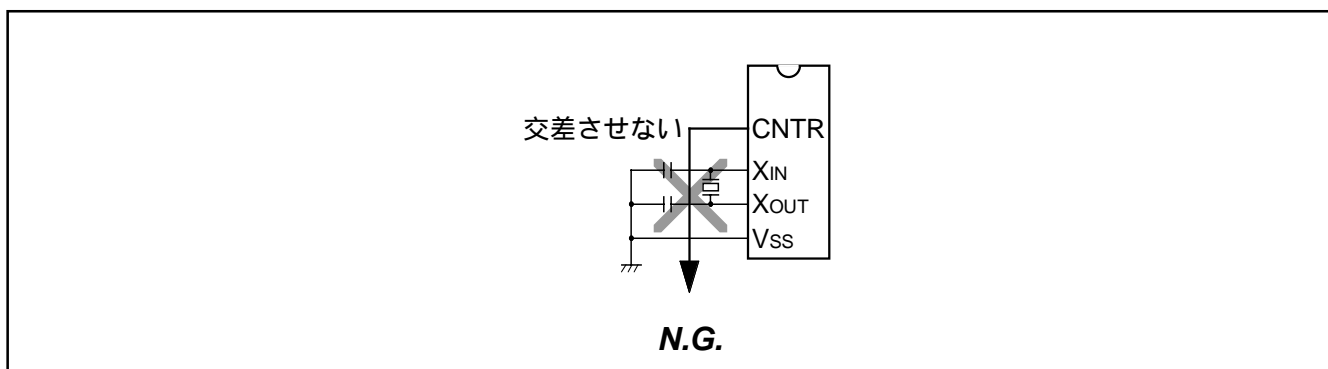


図3.4.9 リセット入力端子の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

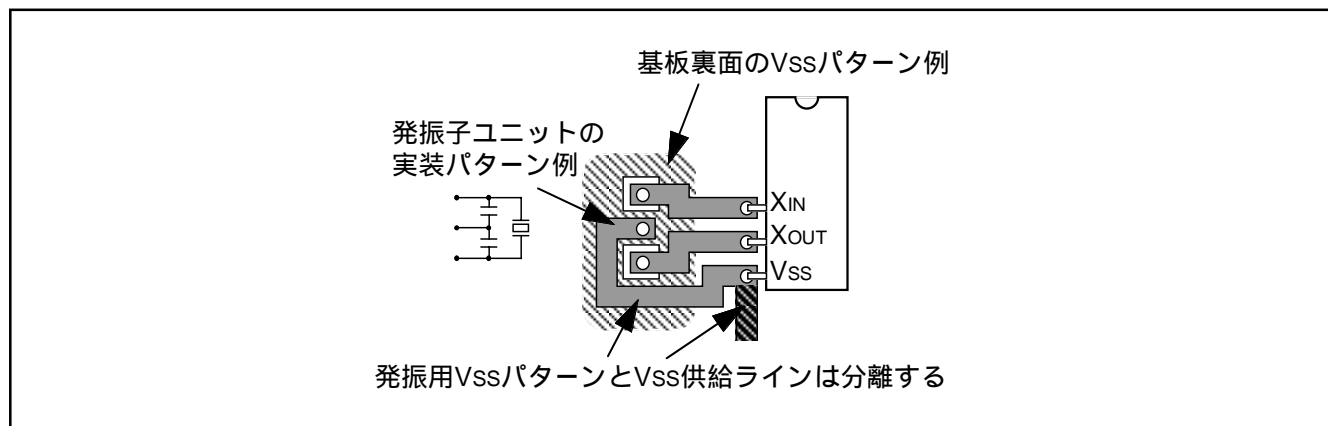


図3.4.10 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタ(内蔵する品種のみ)の再書き込みを行ってください。

注. 一定周期で方向レジスタを入力ポートに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。

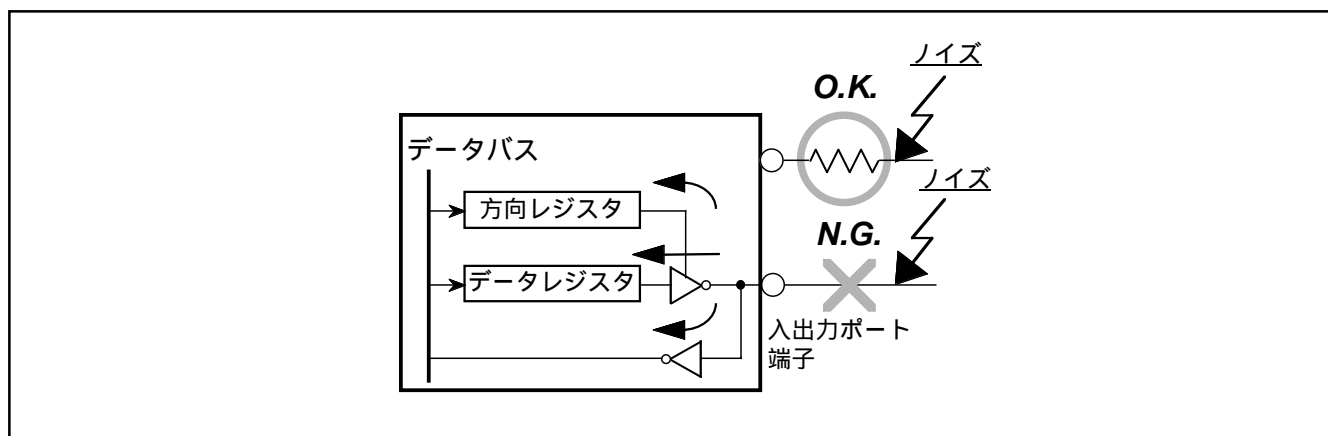


図3.4.11 入出力ポート処理

3.4.6 ソフトウェアによる監視タイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによる監視タイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアの監視タイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによる監視タイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェア監視タイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

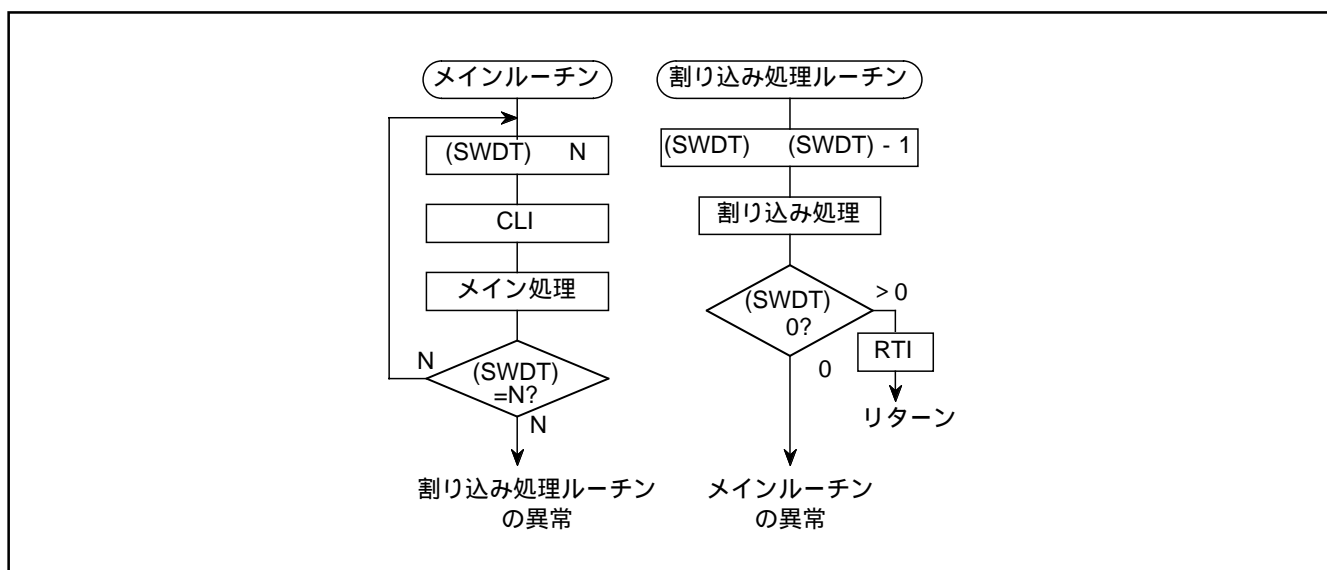


図3.4.12 ソフトウェアによる監視タイマ

3.5 レジスタ一覧

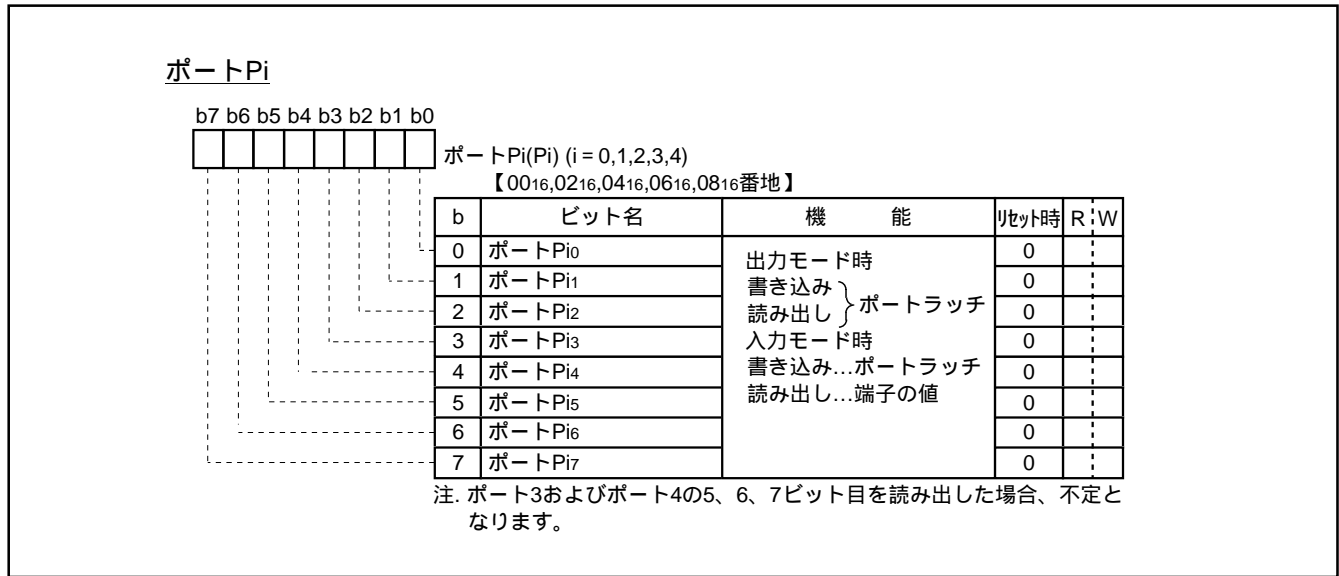


図3.5.1 ポートPiの構成

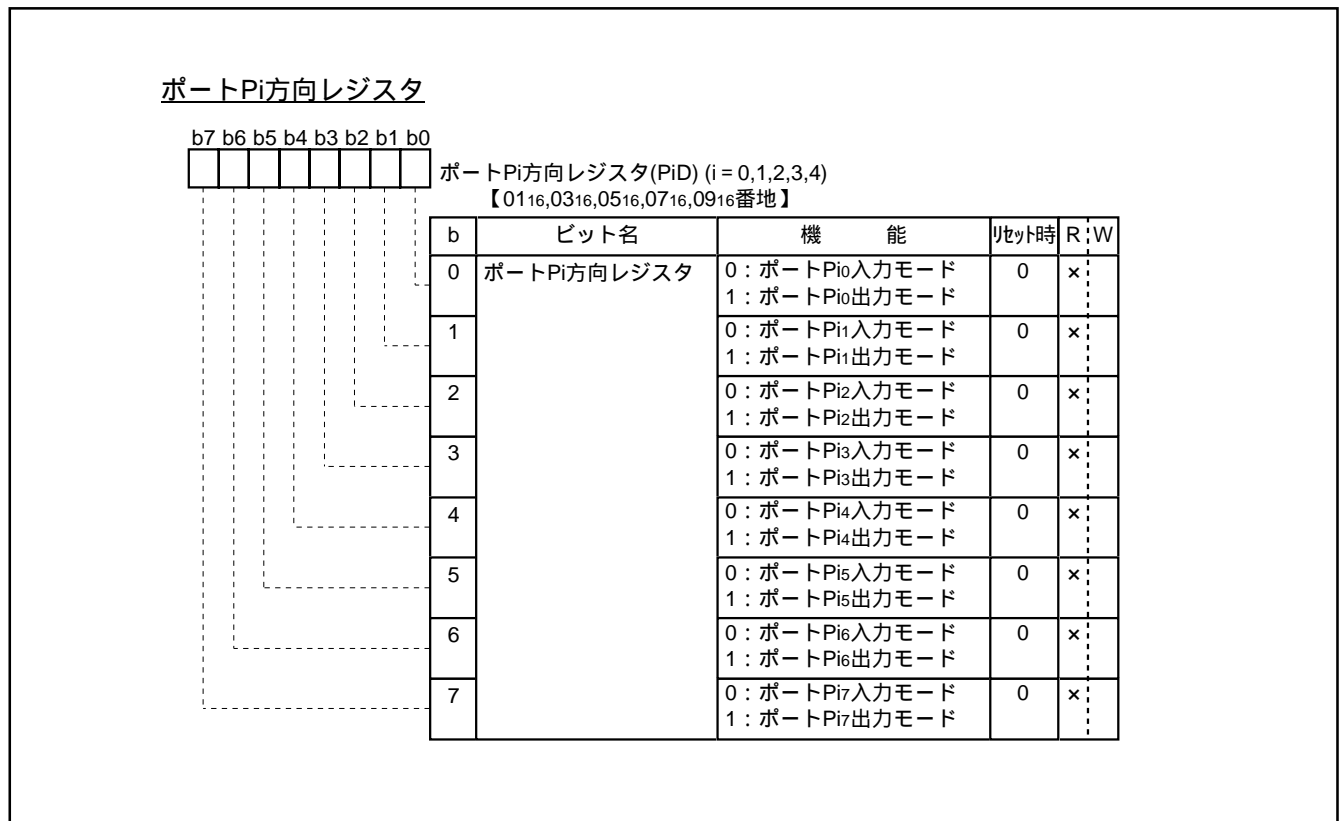
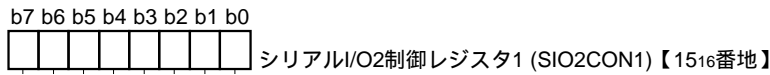


図3.5.2 ポートPi方向レジスタの構成

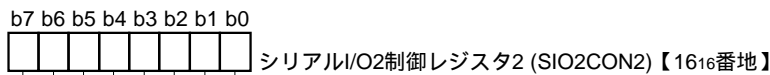
シリアル/O2制御レジスタ1



b	ビット名	機能	リセット時	R/W
0	内部同期クロック選択ビット	b2 b1 b0 0 0 0 : f(XIN)/8	0	R
1		0 0 1 : f(XIN)/16	0	
2		0 1 0 : f(XIN)/32 0 1 1 : f(XIN)/64 1 1 0 : f(XIN)/128 1 1 1 : f(XIN)/256	0	
3	シリアル/O2ポート選択ビット	0 : 入出力ポート(P01,P02) 1 : SOUT2,SCLK2出力端子	0	R
4	SRDY2出力許可ビット	0 : 入出力ポート(P03) 1 : SRDY2 出力端子	0	R
5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	0	R
6	シリアル/O2同期クロック選択ビット	0 : 外部クロック 1 : 内部クロック	0	R
7	P01/SOUT2、P02/SCLK2 Pチャンネル出力禁止ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	0	R

図3.5.3 シリアル/O2制御レジスタ1の構成

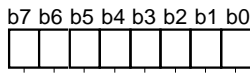
シリアル/O2制御レジスタ2



b	ビット名	機能	リセット時	R/W
0	任意転送ビット	b2 b1 b0 0 0 0 : 1ビット	1	R
1		0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット	1	
2		1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	1	
3	これらのビットには何も配置されていません。		0	x
4	書き込み不可で、読み出した場合、その内容は“0”です。		0	x
5			0	x
6	シリアル/O2入出力比較信号制御ビット	0 : P43入出力 1 : SCMP2出力	0	R
7	SOUT2端子制御ビット(P01)	0 : 出力アクティブ 1 : 出力ハイインピーダンス	0	R

図3.5.4 シリアル/O2制御レジスタ2の構成

シリアル/O2レジスタ

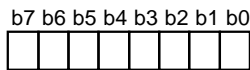


シリアル/O2レジスタ (SIO2) 【17₁₆番地】

b	機 能	リセット時	R/W
0	シリアル送受信を行うシフトレジスタです。	不定	—
1	送信時：送信データを設定します。	不定	—
2	受信時：受信データが格納されます。	不定	—
3		不定	—
4		不定	—
5		不定	—
6		不定	—
7		不定	—

図3.5.5 シリアル/O2レジスタの構成

送信/受信バッファレジスタ



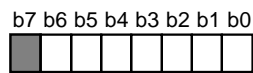
送信/受信バッファレジスタ (TB/RB) 【18₁₆番地】

b	機 能	リセット時	R/W
0	送信データの書き込み及び受信データの読み出しを行うためのバッファレジスタです。	不定	—
1	書き込み時：送信バッファレジスタへ書き込まれます。	不定	—
2	読み出し時：受信バッファレジスタの内容が読み出されます。	不定	—
3		不定	—
4		不定	—
5		不定	—
6		不定	—
7		不定	—

注：送信バッファレジスタの内容を読み出すことはできません。
受信バッファレジスタへ書き込むことはできません。

図3.5.6 送信/受信バッファレジスタの構成

シリアルI/O1ステータスレジスタ

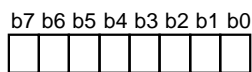


シリアルI/O1ステータスレジスタ(SIOSTS)【1916番地】

b	ビット名	機能	リセット時	R	W
0	送信バッファエンプティフラグ(TBE)	0:バッファフル状態 1:バッファエンプティ状態	0		x
1	受信バッファフルフラグ(RBF)	0:バッファエンプティ状態 1:バッファフル状態	0		x
2	送信シフトレジスタシフト終了フラグ(TSC)	0:送信シフト中 1:送信シフト終了	0		x
3	オーバランエラーフラグ(OE)	0:オーバランエラーなし 1:オーバランエラー発生	0		x
4	パリティエラーフラグ(PE)	0:パリティエラーなし 1:パリティエラー発生	0		x
5	フレーミングエラーフラグ(FE)	0:フレーミングエラーなし 1:フレーミングエラー発生	0		x
6	サミングエラーフラグ(SE)	0:(OE) (PE) (FE) = 0 1:(OE) (PE) (FE) = 1	0		x
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。		1		x

図3.5.7 シリアルI/O1ステータスレジスタの構成

シリアルI/O1制御レジスタ



シリアルI/O1制御レジスタ(SIOCON)【1A16番地】

b	ビット名	機能	リセット時	R	W
0	BRGカウントソース選択ビット(CSS)	0: f(XIN) 1: f(XIN)/4	0		
1	シリアルI/O1同期クロック選択ビット(SCS)	クロック同期形シリアルI/O選択時 0:BRG出力の4分周 1:外部クロック入力 UART選択時 0:BRG出力の16分周 1:外部クロック入力の16分周	0		
2	SRDY1出力許可ビット(SRDY)	0: 入出力ポート (P27) 1: SRDY1出力端子	0		
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファエンプティ 1: 送信シフト動作終了	0		
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0		
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0		
6	シリアルI/O1モード選択ビット(SIOM)	0: UART 1: クロック同期形シリアルI/O	0		
7	シリアルI/O1許可ビット(SIOE)	0: シリアルI/O1禁止 (P24~P27: 入出力ポート) 1: シリアルI/O1許可 (P24~P27: シリアルI/O機能端子)	0		

図3.5.8 シリアルI/O1制御レジスタの構成

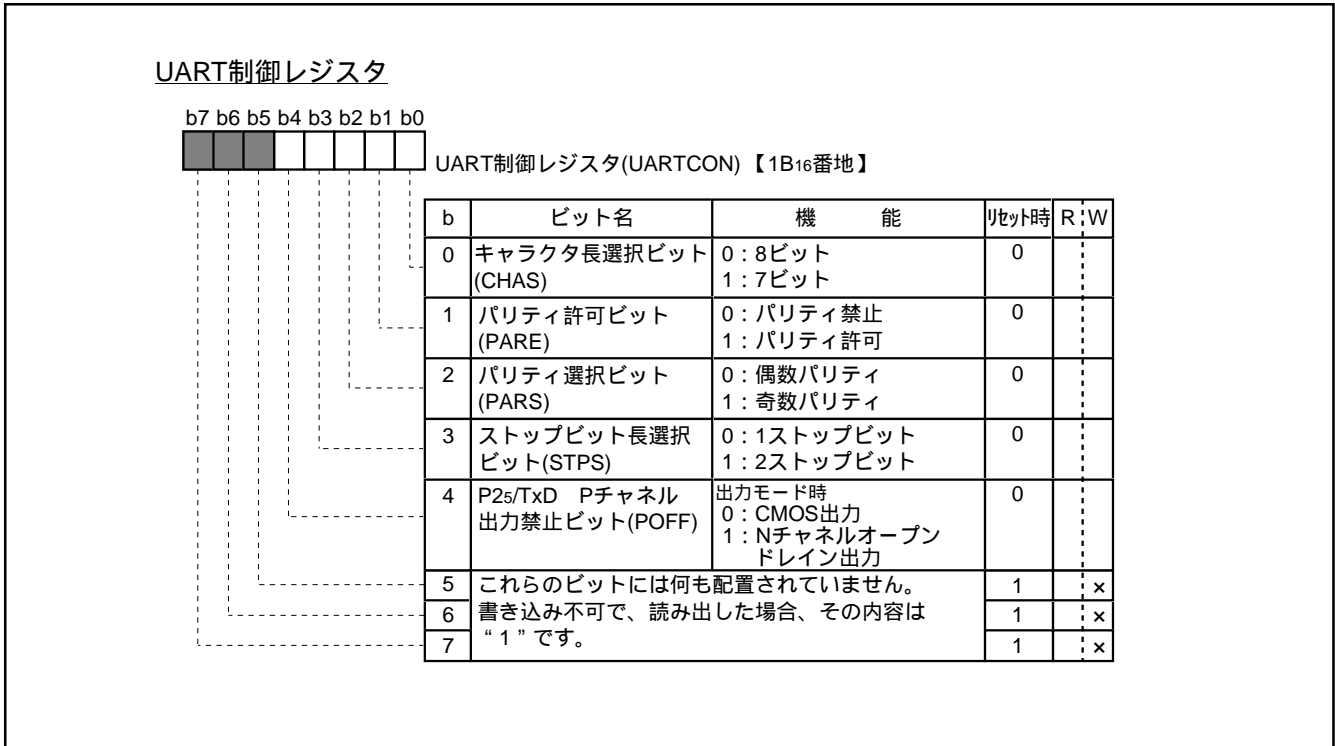


図3.5.9 UART制御レジスタの構成

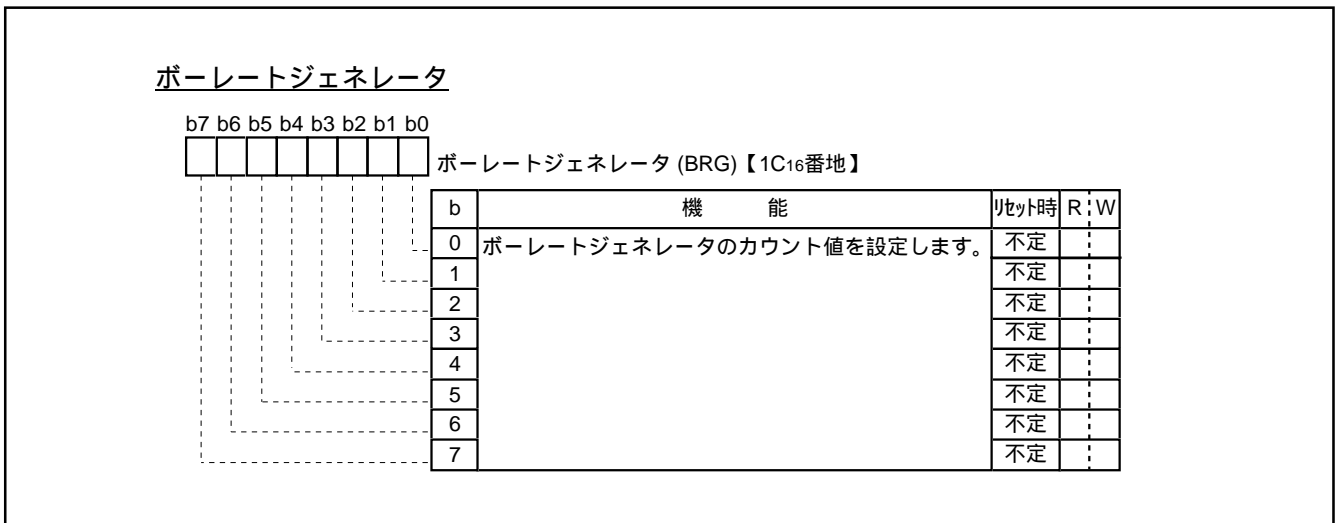


図3.5.10 ボーレートジェネレータの構成

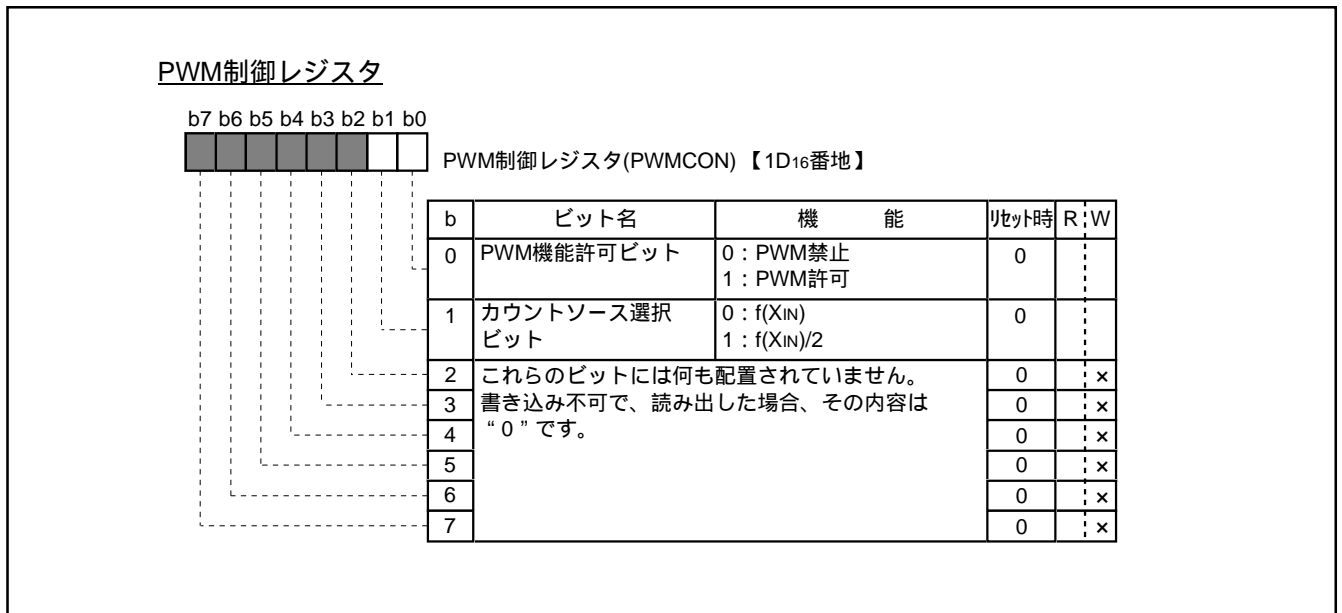


図3.5.11 PWM制御レジスタの構成

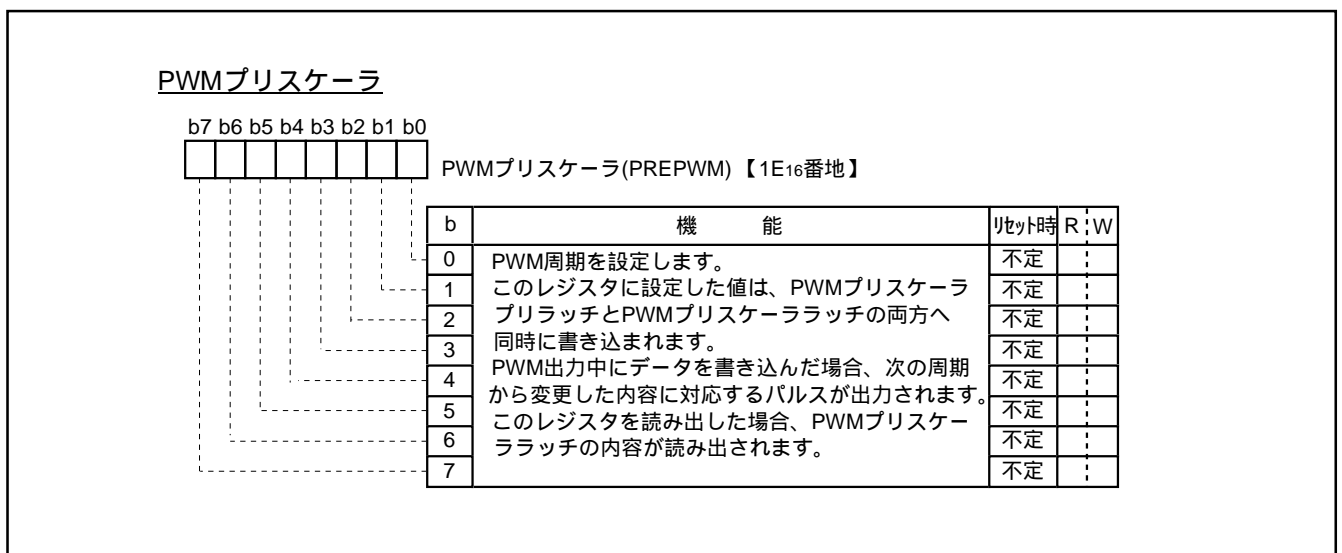


図3.5.12 PWMプリスケータ

PWMレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWMレジスタ(PWM) 【1F₁₆番地】

b	機 能	リセット時	R:W
0	PWMの“H”レベル出力期間を設定します。	不定	..
1	このレジスタに設定した値は、PWMレジスタプリラッチとPWMレジスタラッチの両方へ同時に書き込まれます。	不定	..
2	このレジスタに設定した値は、PWMレジスタプリラッチとPWMレジスタラッチの両方へ同時に書き込まれます。	不定	..
3	このレジスタに設定した値は、PWMレジスタプリラッチとPWMレジスタラッチの両方へ同時に書き込まれます。	不定	..
4	PWM出力中にデータを書き込んだ場合、次の周期から変更した内容に対応するパルスが出力されます。	不定	..
5	このレジスタを読み出した場合、PWMレジスタラッチの内容が読み出されます。	不定	..
6	このレジスタを読み出した場合、PWMレジスタラッチの内容が読み出されます。	不定	..
7	このレジスタを読み出した場合、PWMレジスタラッチの内容が読み出されます。	不定	..

図3.5.13 PWMレジスタの構成

プリスケータ12、プリスケータX、プリスケータY

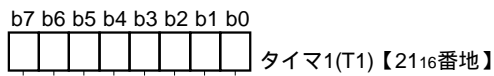
b7 b6 b5 b4 b3 b2 b1 b0

プリスケータ12(PRE12)、プリスケータX(PREX)、プリスケータY(PREY) 【20₁₆,24₁₆,26₁₆番地】

b	機 能	リセット時	R:W
0	各プリスケータのカウンタ値を設定します。	1	..
1	このレジスタに設定した値は、各プリスケータと対応するプリスケータラッチの両方へ同時に書き込まれます。	1	..
2	このレジスタに設定した値は、各プリスケータと対応するプリスケータラッチの両方へ同時に書き込まれます。	1	..
3	このレジスタに設定した値は、各プリスケータと対応するプリスケータラッチの両方へ同時に書き込まれます。	1	..
4	このレジスタを読み出した場合、対応するプリスケータのカウンタ値が読み出されます。	1	..
5	このレジスタを読み出した場合、対応するプリスケータのカウンタ値が読み出されます。	1	..
6	このレジスタを読み出した場合、対応するプリスケータのカウンタ値が読み出されます。	1	..
7	このレジスタを読み出した場合、対応するプリスケータのカウンタ値が読み出されます。	1	..

図3.5.14 プリスケータ12、プリスケータX、プリスケータYの構成

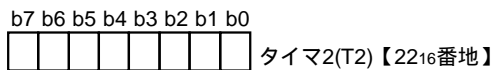
タイマ1



b	機 能	リセット時	R/W
0	タイマ1のカウンタ値を設定します。	1	⋮
1	このレジスタに設定した値は、タイマ1とタイマ1	0	⋮
2	ラッチの両方へ同時に書き込まれます。	0	⋮
3	このレジスタを読み出した場合、タイマ1の	0	⋮
4	カウンタ値が読み出されます。	0	⋮
5		0	⋮
6		0	⋮
7		0	⋮

図3.5.15 タイマ1の構成

タイマ2



b	機 能	リセット時	R/W
0	タイマ2のカウンタ値を設定します。	0	⋮
1	このレジスタに設定した値は、タイマ2とタイマ	0	⋮
2	ラッチの両方へ同時に書き込まれます。	0	⋮
3	このレジスタを読み出した場合、タイマ2のカウ	0	⋮
4	ンタ値が読み出されます。	0	⋮
5		0	⋮
6		0	⋮
7		0	⋮

図3.5.16 タイマ2の構成

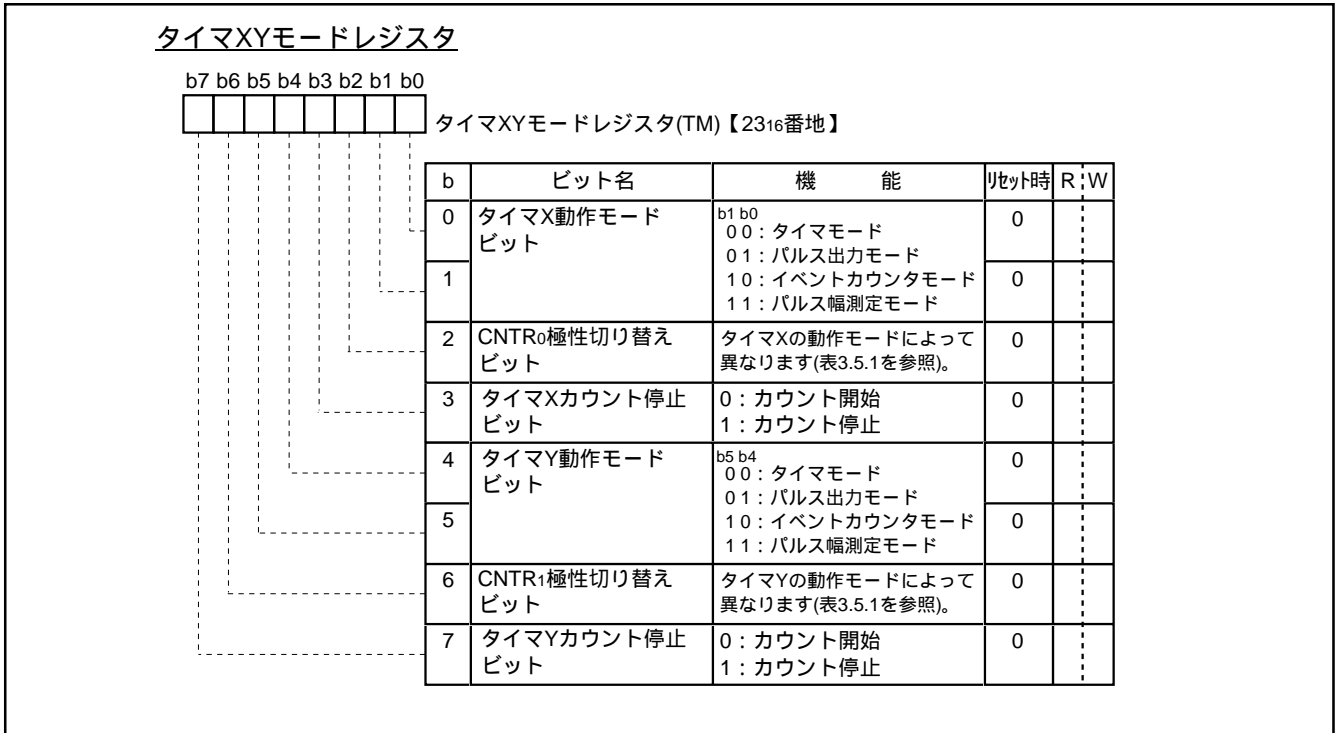


図3.5.17 タイマXYモードレジスタの構成

表3.5.1 CNTR₀/CNTR₁極性切り替えビットの機能

タイマX/Y動作モード	設定値	タイマの機能の選択	CNTR ₀ / CNTR ₁ 割り込み要求発生要因
タイマモード	“ 0 ”	-	CNTR ₀ / CNTR ₁ 入力信号の立ち下がりエッジ
	“ 1 ”	-	CNTR ₀ / CNTR ₁ 入力信号の立ち上がりエッジ
パルス出力モード	“ 0 ”	“ H ”レベルからパルス出力	出力信号の立ち下がりエッジ
	“ 1 ”	“ L ”レベルからパルス出力	出力信号の立ち上がりエッジ
イベントカウンタ モード	“ 0 ”	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	“ 1 ”	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅測定モード	“ 0 ”	“ H ”レベル幅を測定	入力信号の立ち下がりエッジ
	“ 1 ”	“ L ”レベル幅を測定	入力信号の立ち上がりエッジ

タイマX、タイマY

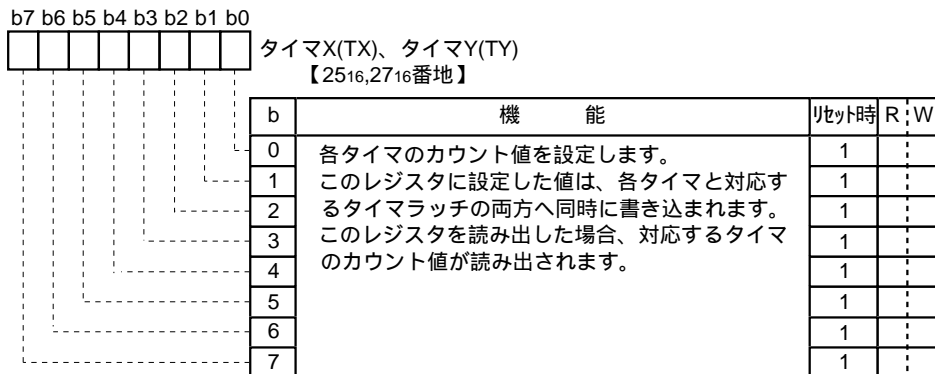


図3.5.18 タイマX、タイマYの構成

タイマカウンタソース設定レジスタ

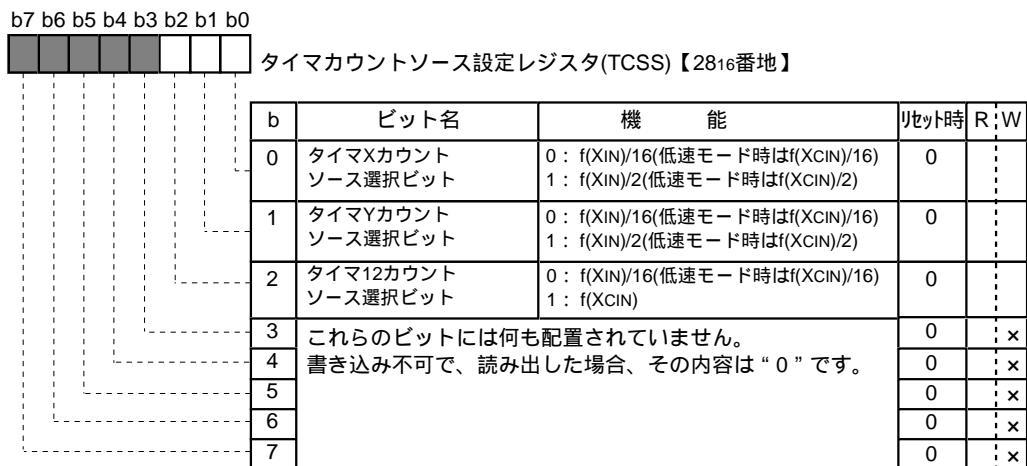


図3.5.19 タイマカウンタソース設定レジスタの構成

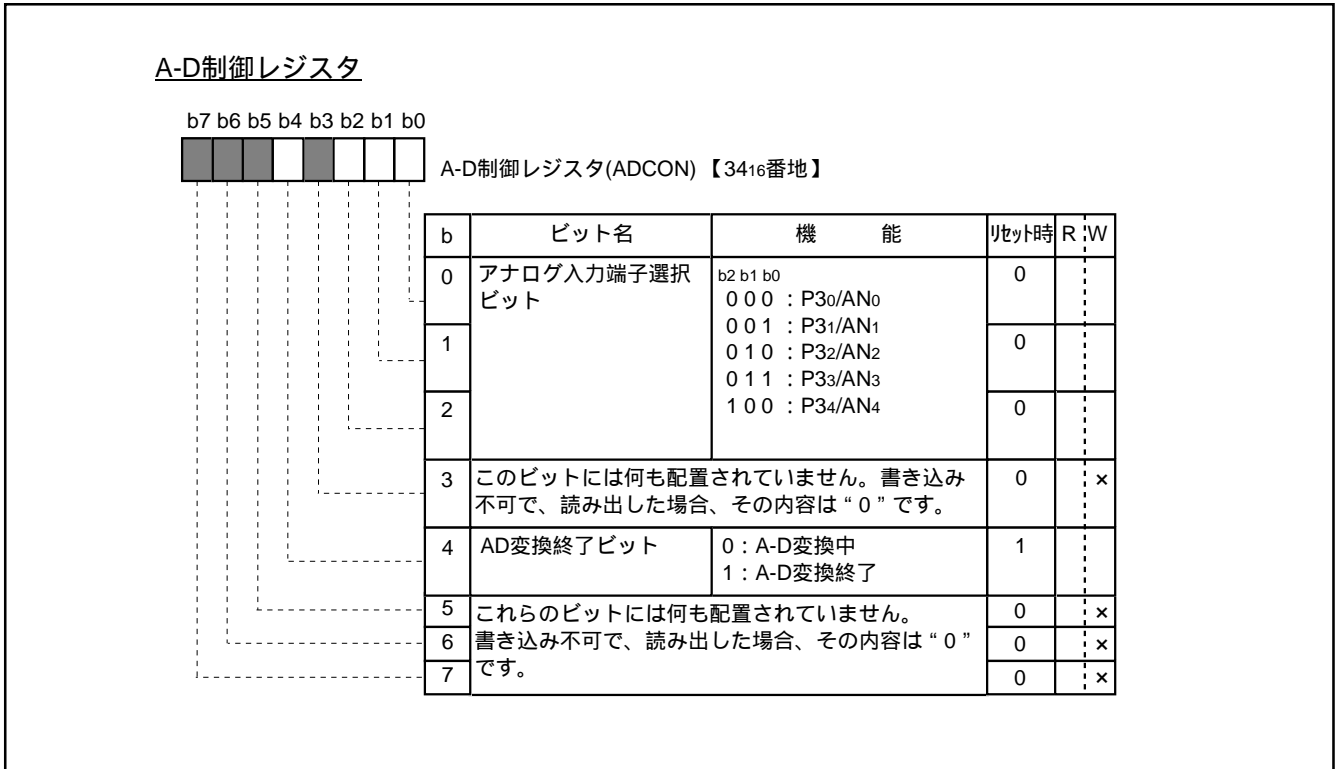


図3.5.20 A-D制御レジスタの構成

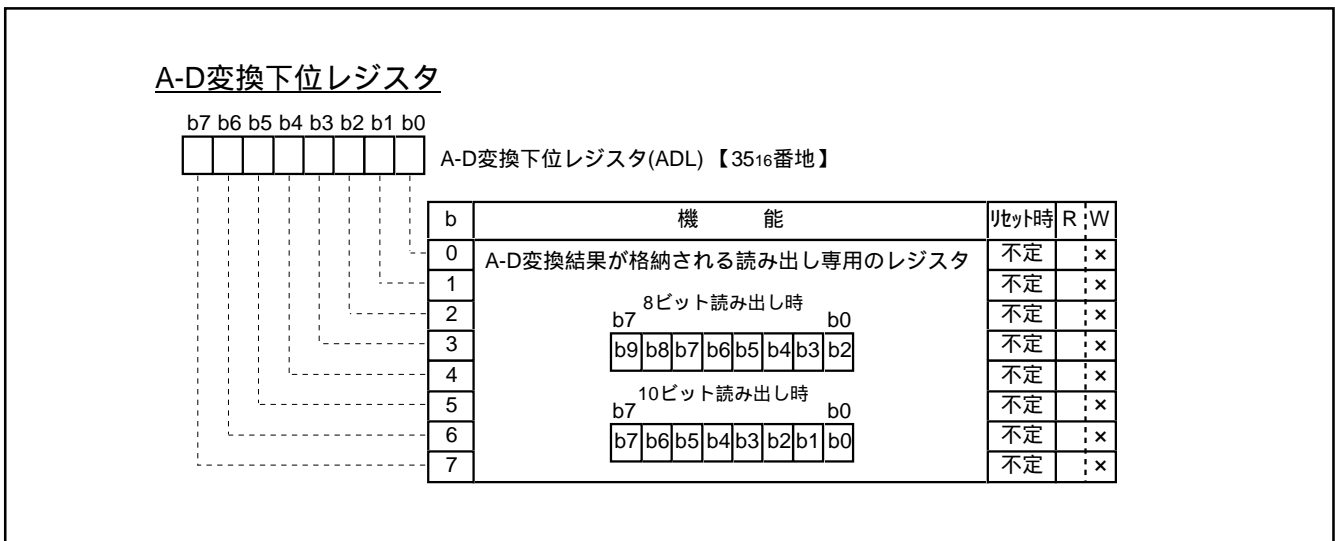


図3.5.21 A-D変換下位レジスタの構成

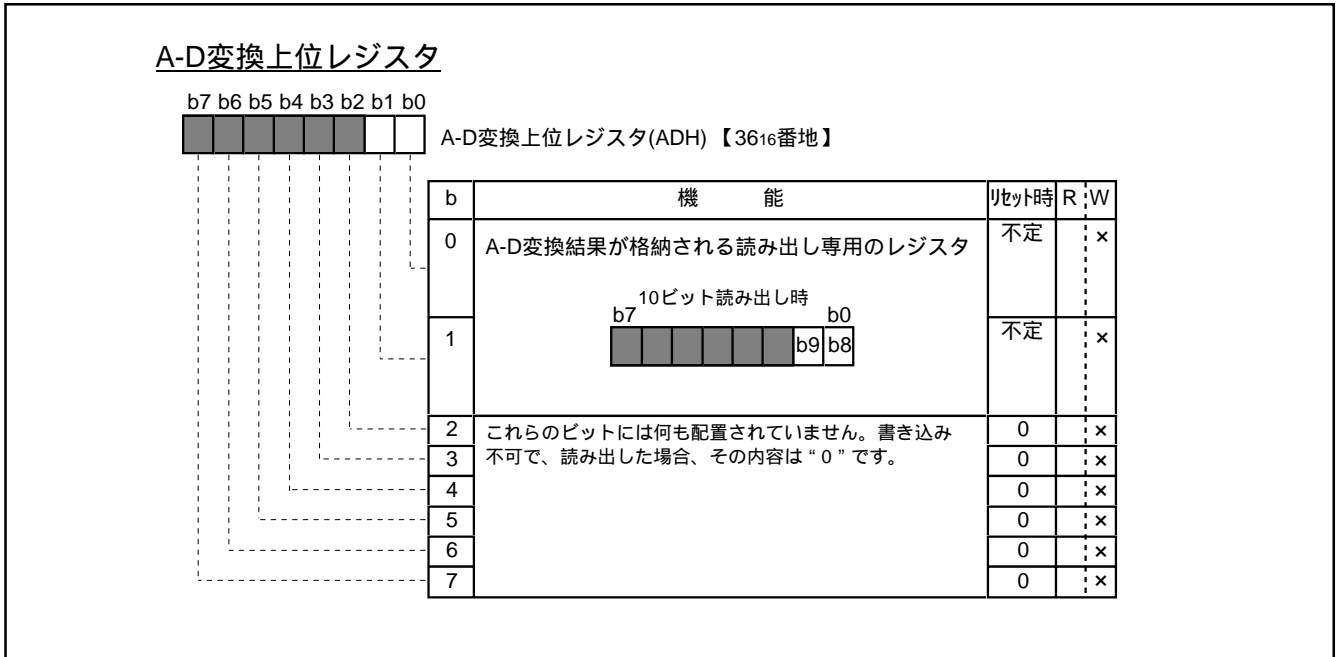


図3.5.22 A-D変換上位レジスタの構成

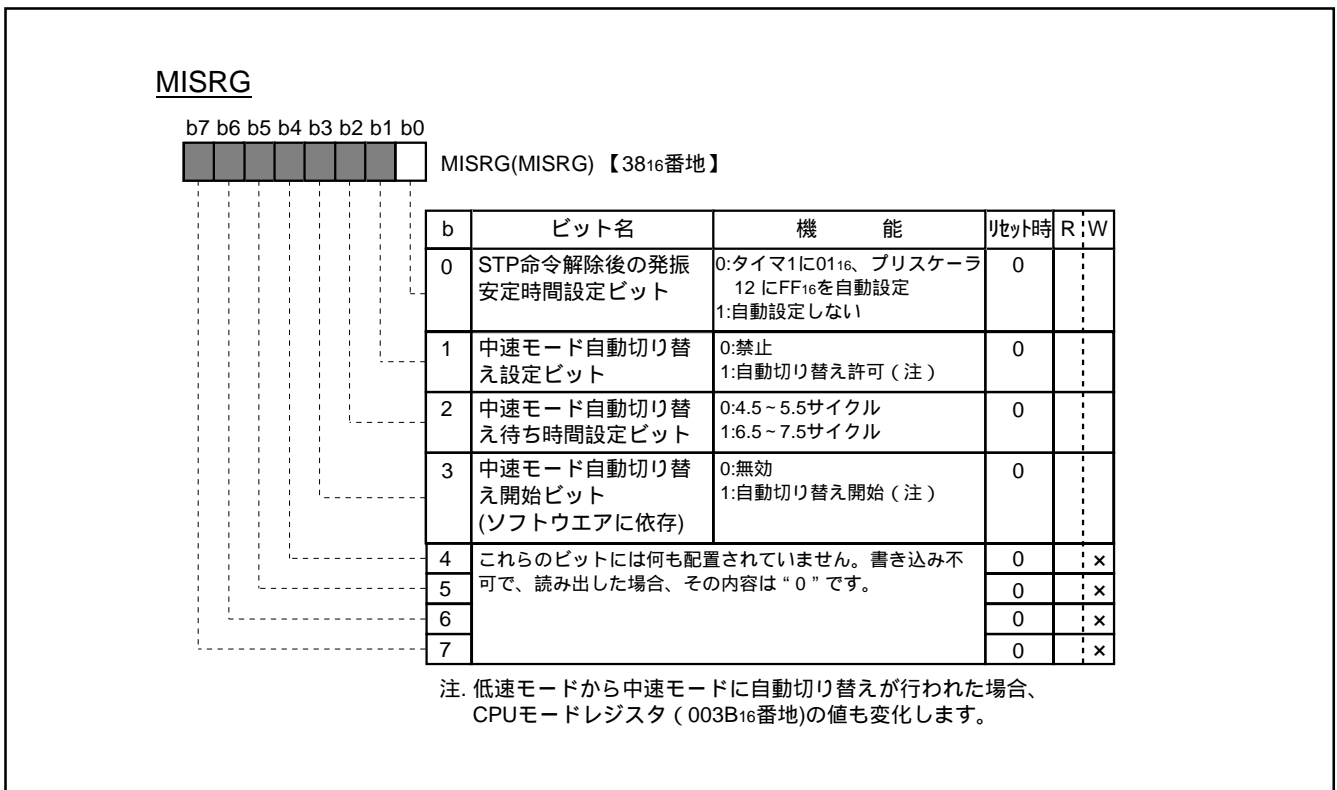


図3.5.23 MISRGの構成

ウォッチドッグタイマ制御レジスタ

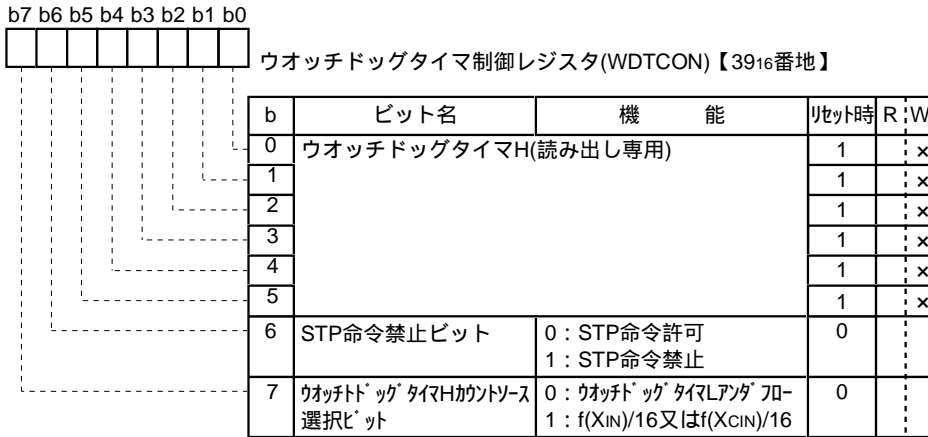


図3.5.24 ウォッチドッグタイマ制御レジスタの構成

割り込みエッジ選択レジスタ

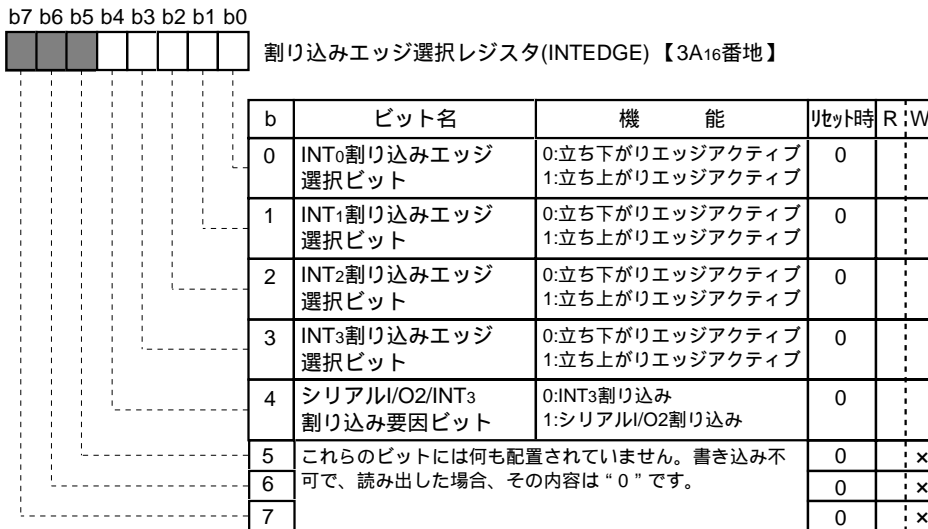


図3.5.25 割り込みエッジ選択レジスタの構成

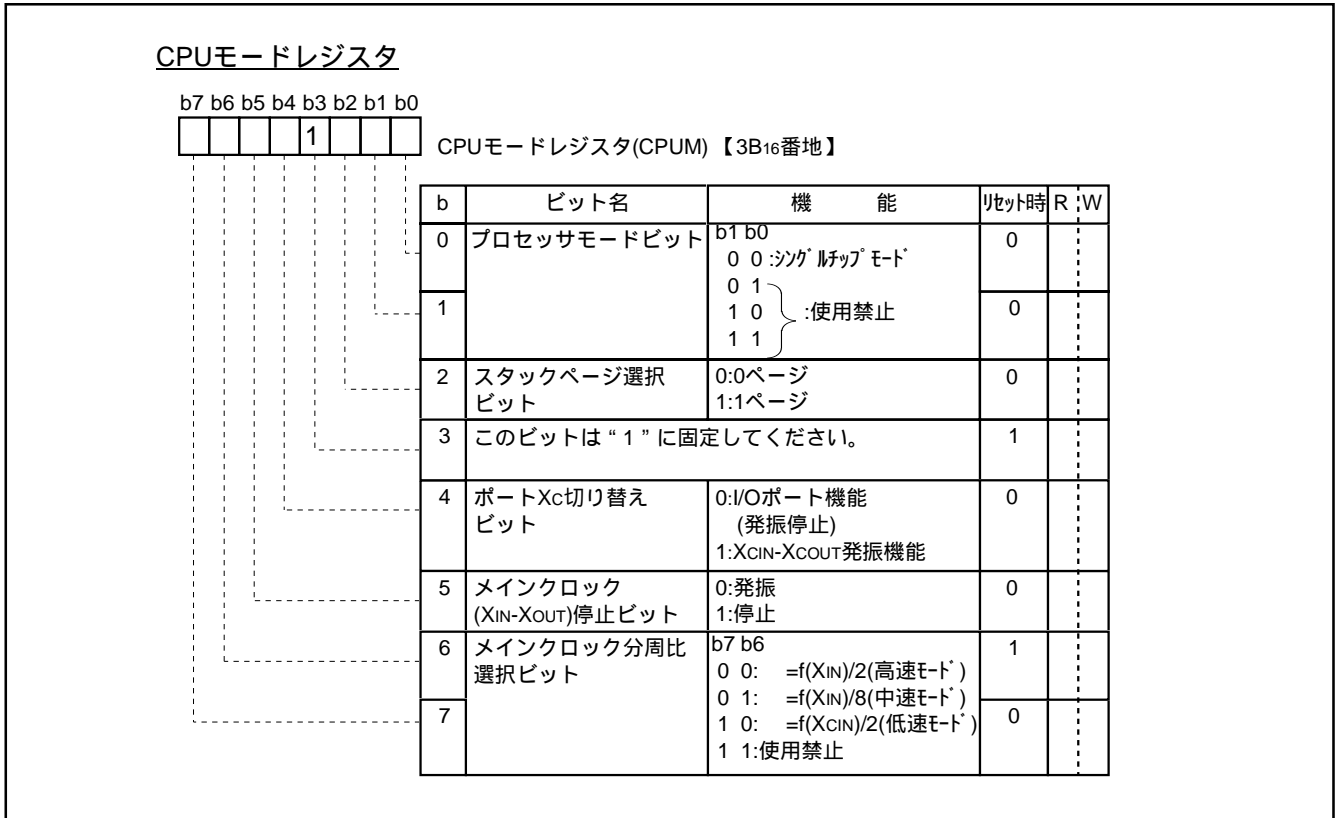


図3.5.26 CPUモードレジスタの構成

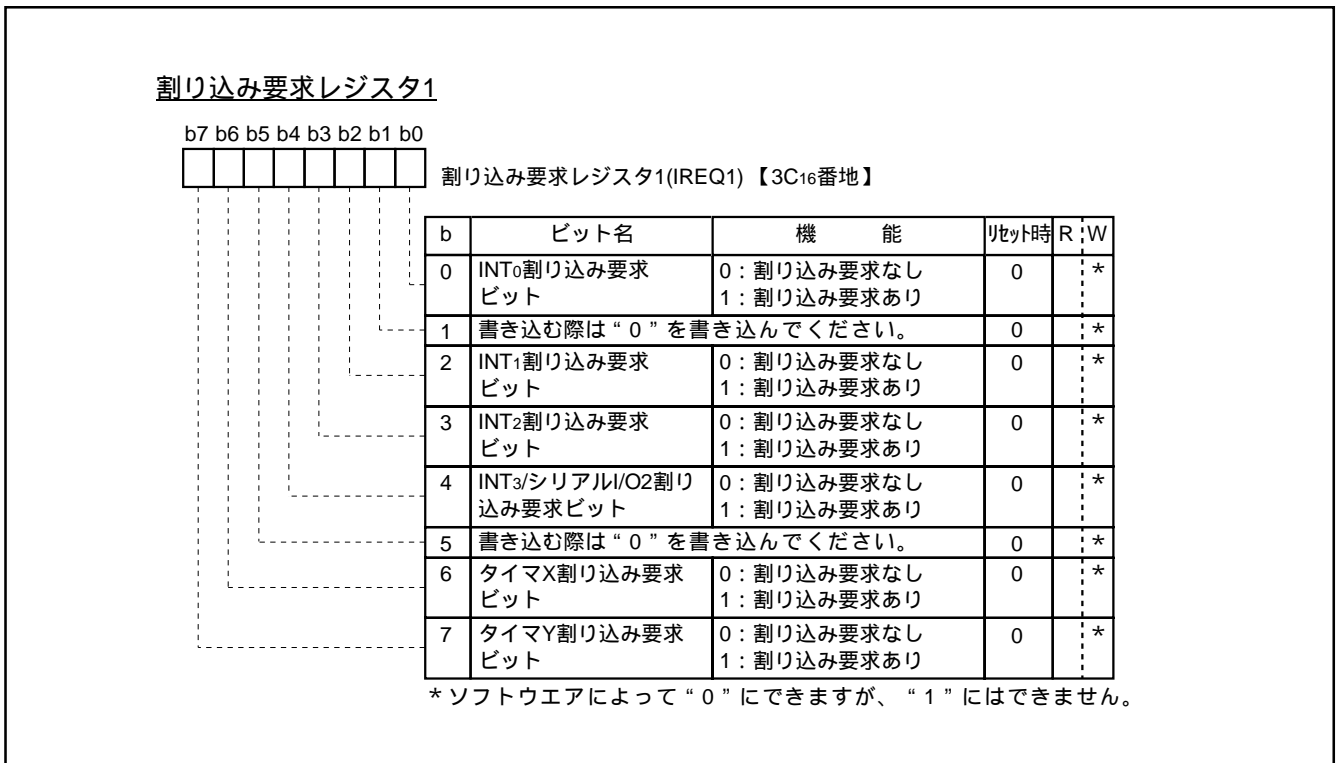
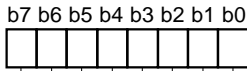


図3.5.27 割り込み要求レジスタ1の構成

割り込み要求レジスタ2



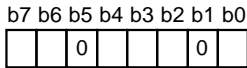
割り込み要求レジスタ2(IREQ2)【3D16番地】

b	ビット名	機 能	リセット時	R;W
0	タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
1	タイマ2割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
2	シリアル/O1受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
3	シリアル/O1送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
4	CNTR0割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
5	CNTR1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
6	A-D変換割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x

*ソフトウェアによって“0”にできますが、“1”にはできません。

図3.5.28 割り込み要求レジスタ2の構成

割り込み制御レジスタ1



割り込み制御レジスタ1(ICON1)【3E16番地】

b	ビット名	機 能	リセット時	R;W
0	INT0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
1	このビットは“0”に固定してください。		0	
2	INT1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
3	INT2割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
4	INT3/シリアル/O2割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
5	このビットは“0”に固定してください。		0	
6	タイマX割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	
7	タイマY割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	

図3.5.29 割り込み制御レジスタ1の構成

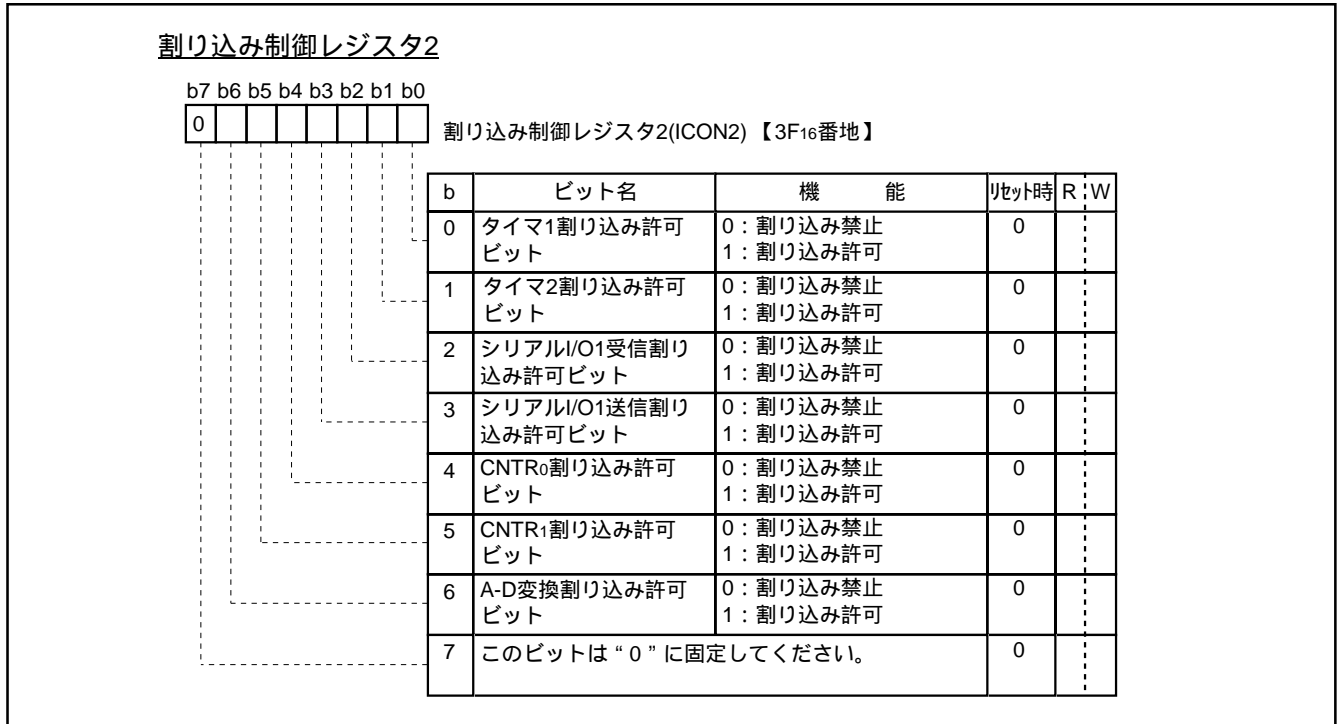


図3.5.30 割り込み制御レジスタ2の構成

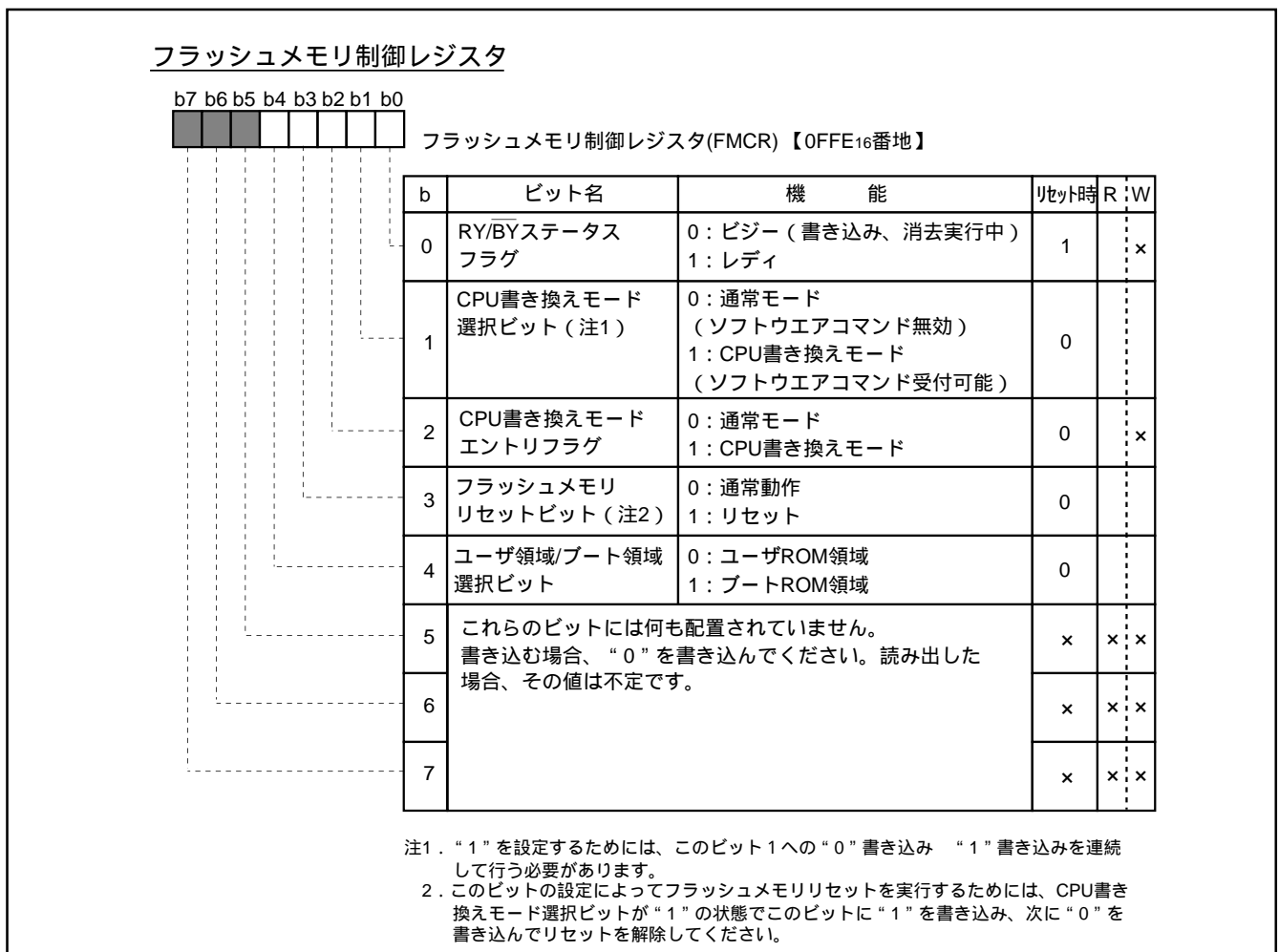


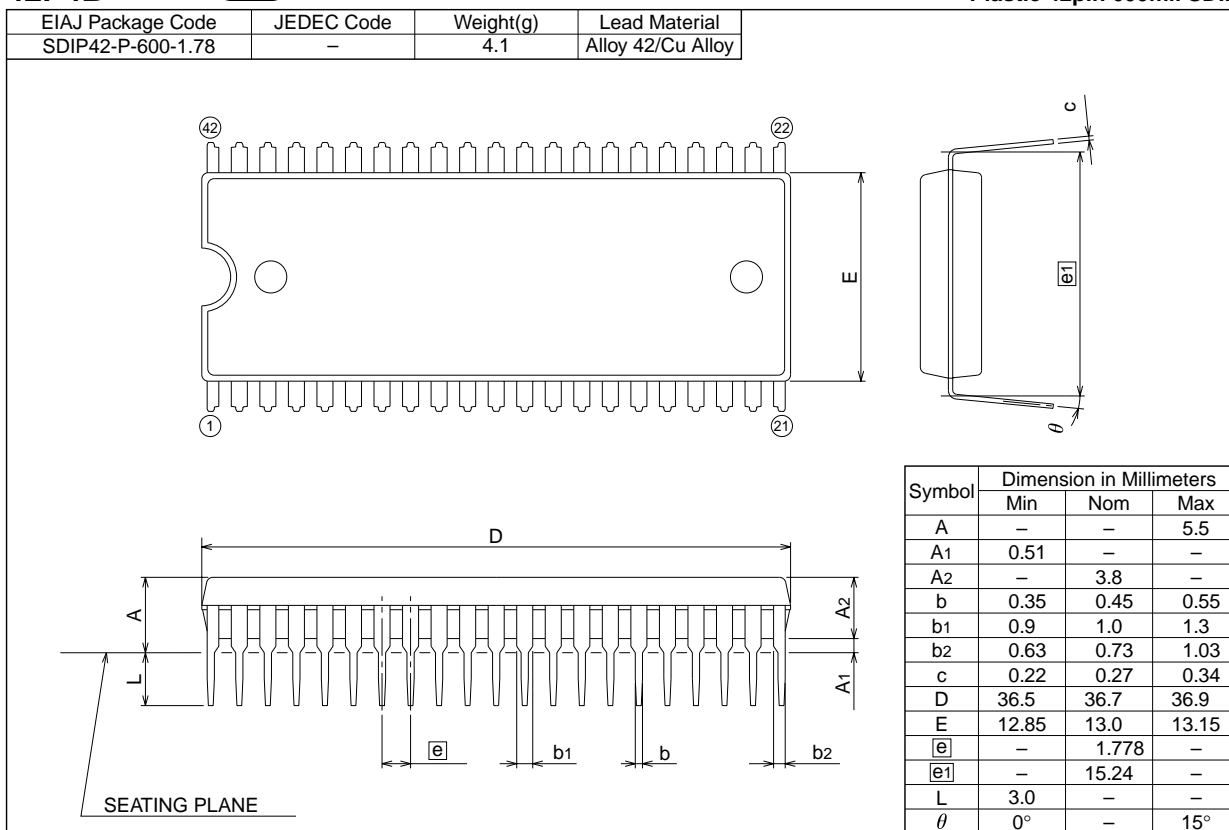
図3.5.31 フラッシュメモリ制御レジスタの構成

3.6 パッケージ寸法図

42P4B

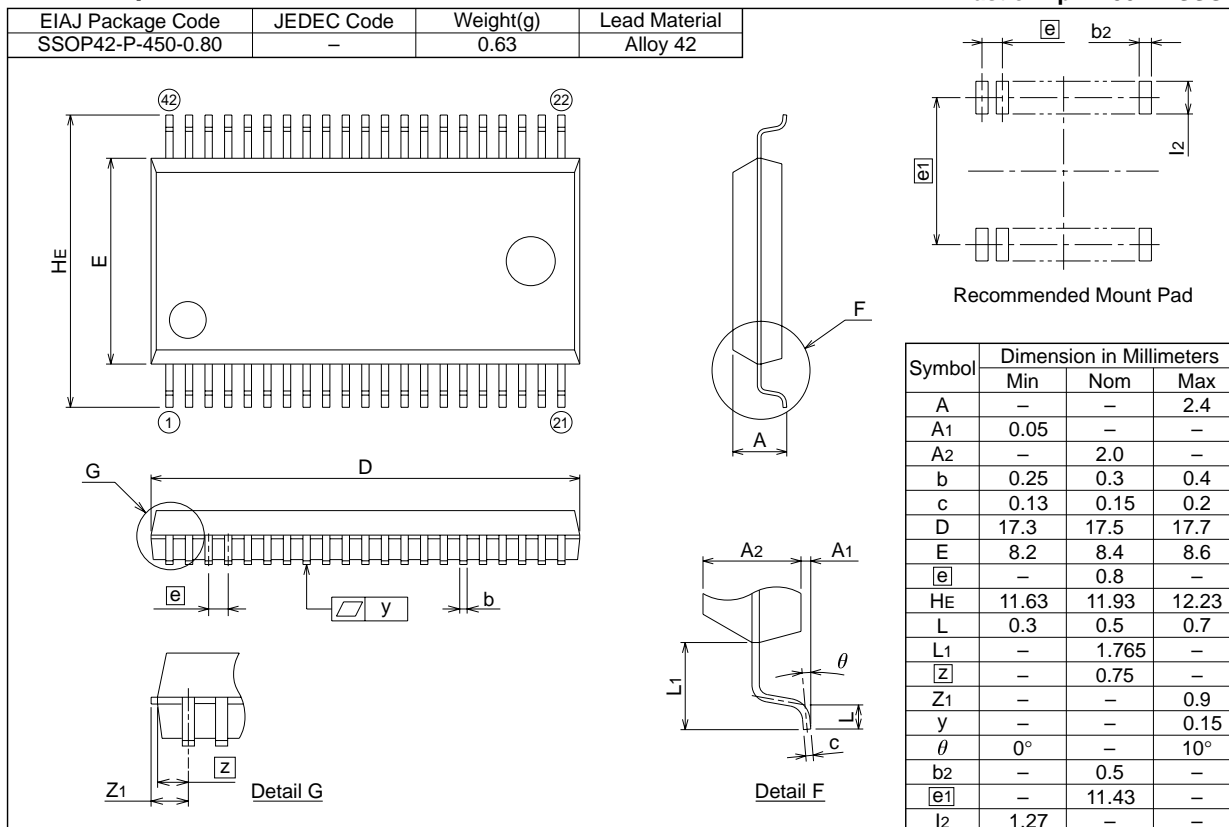
(MMP)

Plastic 42pin 600mil SDIP



42P2R-A/E

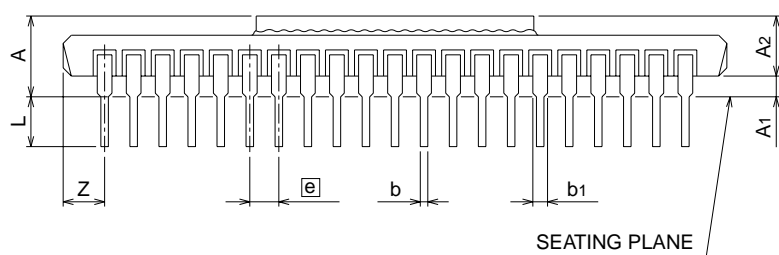
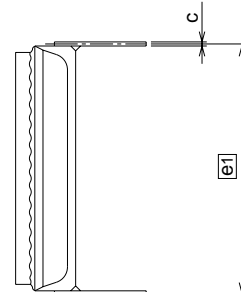
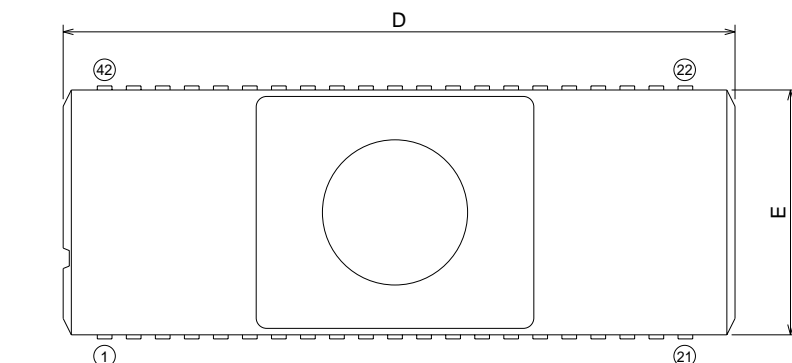
Plastic 42pin 450mil SSOP



42S1B-A

Metal seal 42pin 600mil DIP

EIAJ Package Code	JEDEC Code	Weight(g)
WDIP42-C-600-1.78	-	



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	5.0
A1	1.0	-	-
A2	-	-	3.44
b	0.38	0.46	0.54
b1	0.7	0.8	0.9
c	0.17	0.25	0.33
D	-	-	41.1
E	-	-	15.8
e	-	1.778	-
e1	-	15.24	-
L	3.05	-	-
Z	-	-	3.05

3.7 機械語命令一覧表

命令記号	機能	詳細説明	アドレッシングモード																				
			IMP			IMM			A			BIT, A, R			ZP			BIT, ZP, R					
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#			
ADC (注1) (注5)	T = 0のとき A A + M + C T = 1のとき M(X) M(X) + M + C	Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				69	2	2										65	3	2			
AND (注1)	T = 0のとき A A ∧ M T = 1のとき M(X) M(X) ∧ M	Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				29	2	2										25	3	2			
ASL	7 0 C ← ← 0	A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。							0A	2	1							06	5	2			
BBC (注4)	Ai又はMi = 0?	M又はAの指定されたビットiをテストします。そのビットが0であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが1であれば、そのまま、次へ進みます。										13 20i	4	2				17 20i	5	3			
BBS (注4)	Ai又はMi = 1?	M又はAの指定されたビットiをテストします。そのビットが1であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが0であれば、そのまま、次へ進みます。							03 20i	4	2							07 20i	5	3			
BCC (注4)	C = 0?	Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが1のとき、そのまま、次へ進みます。																			90	2	2
BCS (注4)	C = 1?	Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが0のとき、そのまま、次へ進みます。																			B0	2	2
BEQ (注4)	Z = 1?	Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが0のとき、そのまま、次へ進みます。																			F0	2	2
BIT	A ∧ M	AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。																24	3	2			
BMI (注4)	N = 1?	Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが0のとき、そのまま、次へ進みます。																					
BNE (注4)	Z = 0?	Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが1のとき、そのまま、次へ進みます。																					
BPL (注4)	N = 0?	Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが1のとき、そのまま、次へ進みます。																					
BRA	PC PC ± オフセット	指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。																					
BRK	B 1 (PC) (PC) + 2 M(S) PCH S S - 1 M(S) PCL S S - 1 M(S) PS S S - 1 I 1 PCL ADL PCH ADH	BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス (BADRS) をPCに格納します。	00	7	1																		

アドレッシングモード															プロセッサステータスレジスタ																																		
ZP, X			ZP, Y			ABS			ABS, X			ABS, Y			IND			ZP, IND			IND, X			IND, Y			REL			SP			7	6	5	4	3	2	1	0									
OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	N	V	T	B	D	I	Z	C
75	4	2				6D	4	3	7D	5	3	79	5	3										61	6	2	71	6	2										N	V	Z	C			
35	4	2				2D	4	3	3D	5	3	39	5	3										21	6	2	31	6	2							N	Z	.						
16	6	2				0E	6	3	1E	7	3																						N	Z	C									
																																									
																																									
																																									
																																									
																																									
																																									
																																									
																																									
																																									
																																									
																																									
																																									

3.8 命令コード一覧表

D7~D4 \ D3~D0	16進表記																
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	-	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	-	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	-	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	-	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	-	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	-	BBC 2, A	-	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	-	CLB 2, A	-	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	MUL ZP, X	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	-	BBC 3, A	-	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	-	CLB 3, A	-	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	-	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	-	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	-	STA ABS, X	-	CLB 4, ZP
1010	A	LDY IMM	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY IMM	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	-	BBC 6, A	-	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	-	CLB 6, A	-	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX IMM	SBC IND, X	DIV ZP, X	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	-	BBC 7, A	-	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	-	CLB 7, A	-	SBC ABS, X	INC ABS, X	CLB 7, ZP

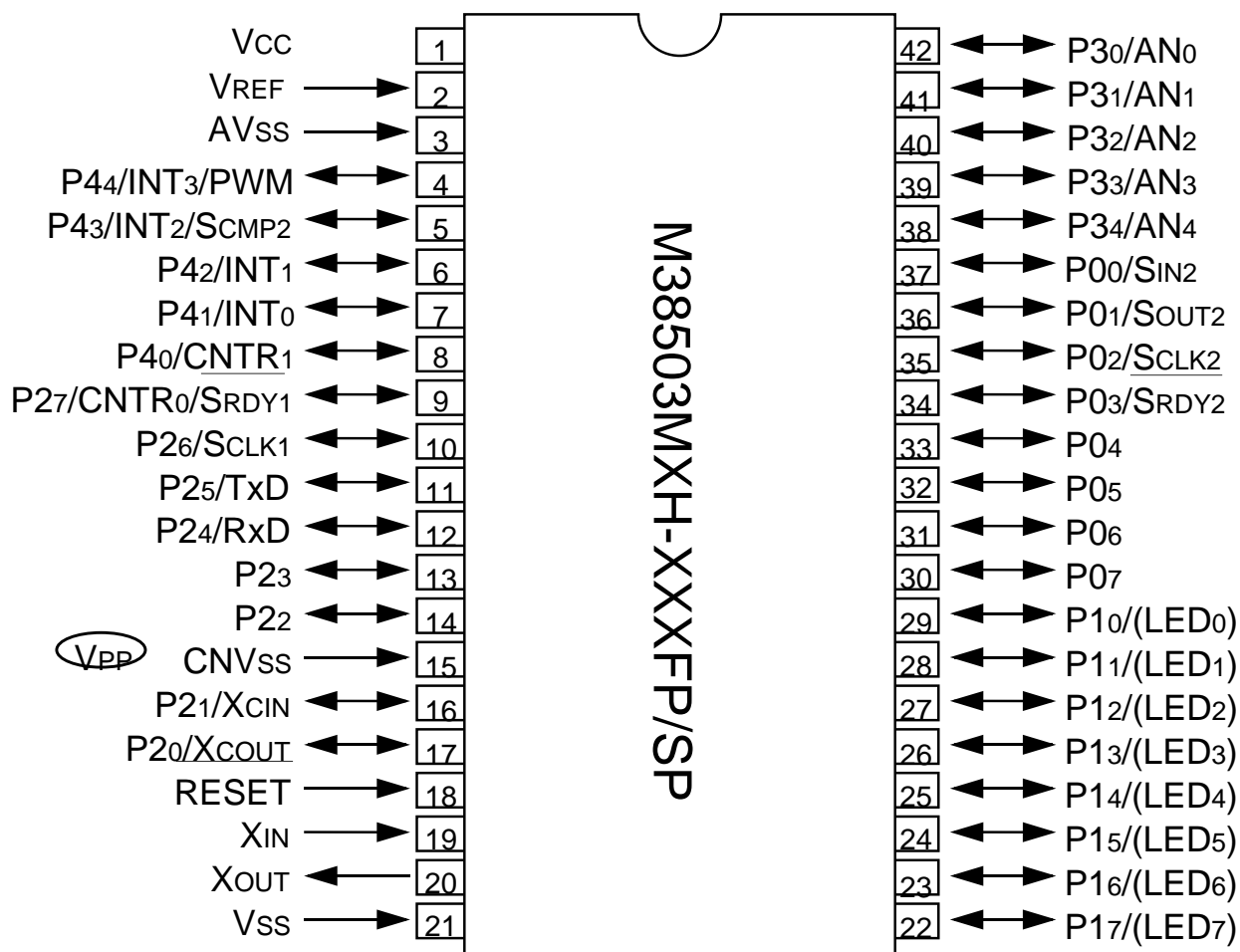
- 3バイト命令
- 2バイト命令
- 1バイト命令

3.9 SFRメモリマップ

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケラ12 (PRE12)
0001 ₁₆	ポートP0方向レジスタ (P0D)	0021 ₁₆	タイマ1 (T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2 (T2)
0003 ₁₆	ポートP1方向レジスタ (P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケラX (PREX)
0005 ₁₆	ポートP2方向レジスタ (P2D)	0025 ₁₆	タイマX (TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケラY (PREY)
0007 ₁₆	ポートP3方向レジスタ (P3D)	0027 ₁₆	タイマY (TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ (P4D)	0029 ₁₆	
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	予約 (注)
000C ₁₆		002C ₁₆	予約 (注)
000D ₁₆		002D ₁₆	予約 (注)
000E ₁₆		002E ₁₆	予約 (注)
000F ₁₆		002F ₁₆	予約 (注)
0010 ₁₆		0030 ₁₆	予約 (注)
0011 ₁₆		0031 ₁₆	予約 (注)
0012 ₁₆	予約 (注)	0032 ₁₆	
0013 ₁₆	予約 (注)	0033 ₁₆	
0014 ₁₆	予約 (注)	0034 ₁₆	A-D制御レジスタ(ADCON)
0015 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)	0035 ₁₆	A-D変換下位レジスタ(ADL)
0016 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)	0036 ₁₆	A-D変換上位レジスタ(ADH)
0017 ₁₆	シリアル/O2レジスタ(SIO2)	0037 ₁₆	予約 (注)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアル/O1ステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O1制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)

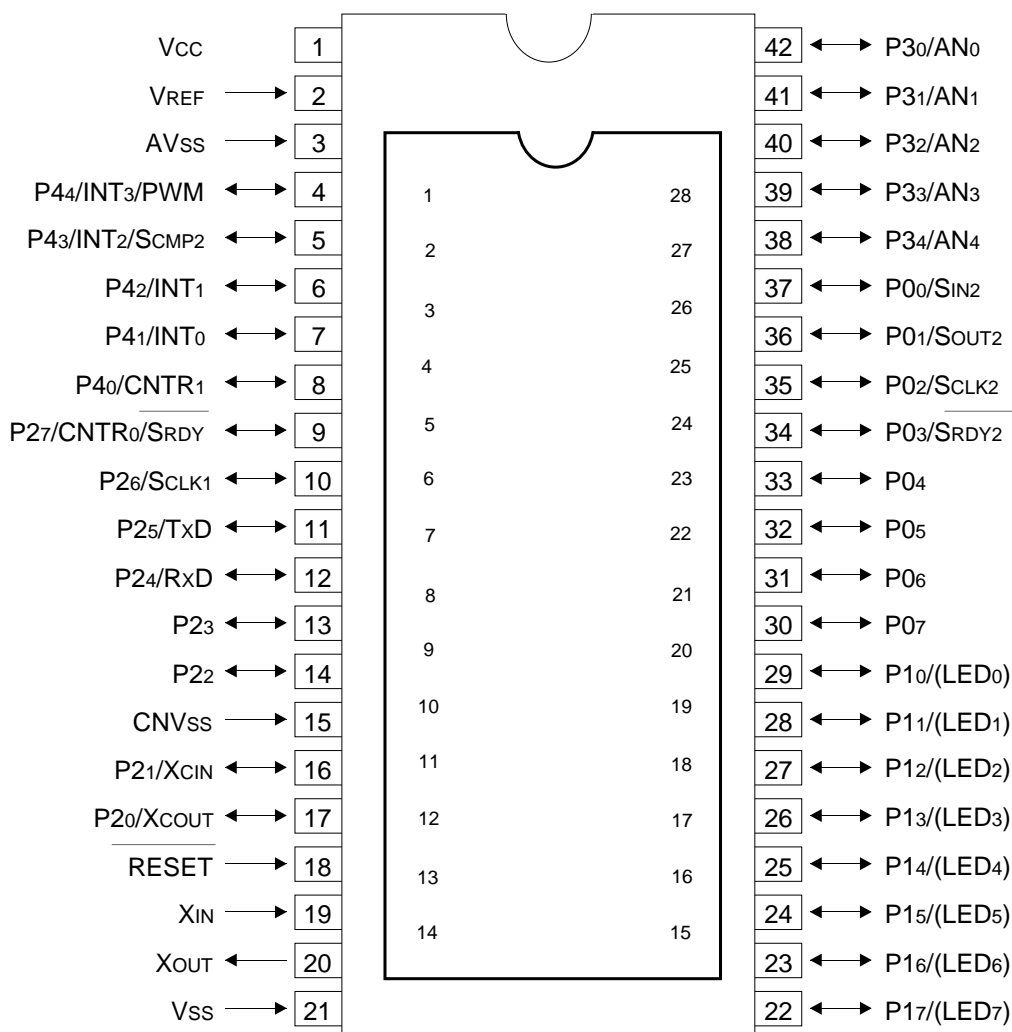
(注) 予約領域のため、何もデータを書き込まないでください。

3.10 ピン接続図



○ はフラッシュメモリ版のとき。

M38517RSSピン接続図（上面図）



外形 42S1M

ルネサス8ビットCISCシングルチップマイクロコンピュータ
ユーザーズマニュアル
3850グループ(H仕様) Rev. 1.03

株式会社ルネサス テクノロジ
〒100-0004 東京都千代田区大手町2-6-2

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

Copyright © 2003. Renesas Technology Corporation, All rights reserved.

3850 グループ (H 仕様)
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0071-0103Z