μPD70F3543, 70F3544, 70F3545
－V850E2/FF4-M－
ルネサスマイクロコンピュータ

R01DS0088JJ0100
Rev.1.00
2013.02.14

μPD70F3543, 70F3544, 70F3545 は，リアルタイム制御向け 32 ビット・シングルチップ・マイクロコントローラ「V850 マイコン」の一製品です。32 ビット CPU, ROM, RAM, 割り込みコントローラ，タイマ，シリアル・インタフェース，A/D コンバータ，DMA コントローラ，CAN コントローラなどを 1 チップに集積しています。

詳しい機能説明などは下記ユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E2/FF4-M　ハードウエア編 ：R01UH0250J

V850E2M　 アーキテクチャ編 ：R01US0001J

用　　途

〇自動車電装分野

仕様概要

(1/2)

愛　称			FF4-M-256K	FF4-M-384K	FF4-M-512K
品　名			μPD70F3543	μPD70F3544	μPD70F3545
内蔵メモリ	コード・フラッシュ		256 KB	384 KB	512 KB
	データ・フラッシュ		32 KB		
	RAM		32 KB	40 KB	48 KB
	バックアップ RAM		4 KB		
CPU	CPU システム		V850E2M		
	FPU		あり		
	CPU 周波数		80 MHz max.		
	システム保護機能（SPF）	MPU	あり		
		SRP	あり		
		TSU	あり		
		PPU	あり		
	命令キャッシュ		8 KB/ 2 way associative（4 KB/ way）		
DMA			8 チャネル		
動作クロック	メイン・クロック発振回路（MainOsc）		4 MHz ～ 20 MHz		
	低速内蔵発振回路（LS IntOsc）		240 kHz typ.		
	高速内蔵発振（HS IntOsc）		8 MHz typ.		
	PLL0（SSCG0）		80 MHz max.		
	PLL1		80 MHz max.		
I/O ポート			49		
A/D コンバータ（ADCA）			12 チャネル , 12/10 ビット , 6 S & H		
タイマ	タイマ・アレイ・ユニット A （TAUA）, 16 ビット		1 ユニット x 16 チャネル		
	タイマ・アレイ・ユニット B（TAUB）, 16 ビット		1 ユニット x 16 チャネル		
	タイマ・アレイ・ユニット J （TAUJ）, 32 ビット		1 ユニット x 4 チャネル		
	ウインドウ・ウォッチドッグ・タイマ （WDTA）		2 チャネル		
	OS タイマ（OSTM）		1 チャネル		
	モータ制御（TAPA）		1 チャネル		
	エンコーダ・タイマ （ENCA）		1 チャネル		
シリアル・インタフェース	CAN （FCN）		1 チャネル （64 メッセージ・バッファ）		
	LIN マスタ・コントローラ付き UART（LMA, URTE）		3 チャネル		
	CSI（CSIG）		2 チャネル		
	FIFO 付き CSI（CSIH）		–		
	I^{2}C （IICB）		1 チャネル		
割り込み	マスカブル	外部	11		
		内部	84		
	ノンマスカブル（NMI）	外部	1		
		内部	–		

(2/2)

愛　称		FF4-M-256K	FF4-M-384K	FF4-M-512K
品　名		μPD70F3543	μPD70F3544	μPD70F3545
その他の機能	パワーオン・クリア	あり		
	クロック・モニタ （CLMA）	メイン・クロック，高速内蔵発振，PLL0 監視可能		
	ランダム・ナンバ・ジェネレータ（RNGA）	1 チャネル		
	データ CRC（DCRA）	1 チャネル		
	キー割り込み（KR）	8 チャネル		
	ウエイクアップ信号出力	−		
	補助周波数出力（FOUT）	あり		
	オンチップ・デバッグ	あり		
電源		3.3　電源電圧 を参照してください		
動作温度		2.4　温度特性 を参照してください		
パッケージ		80-pin LQFP		

オーダ情報

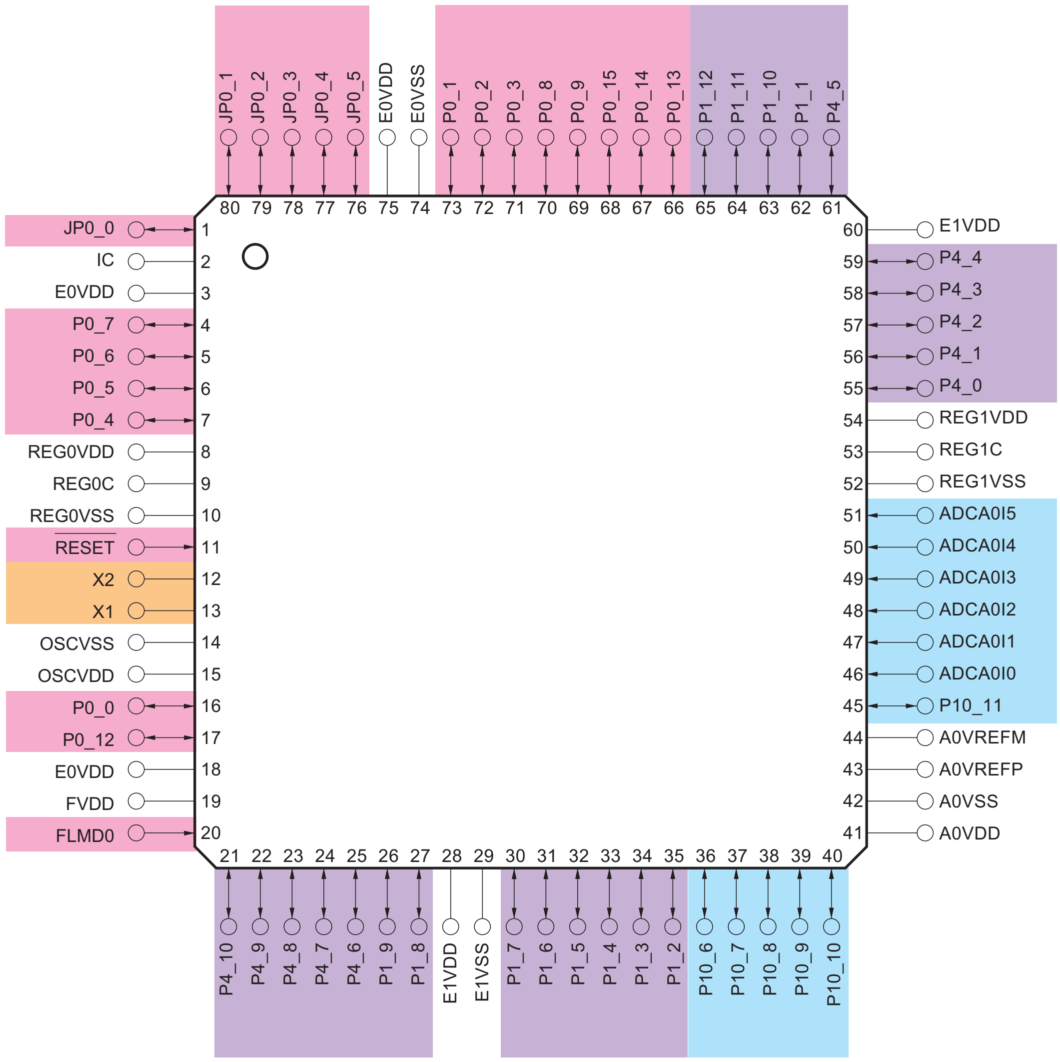
オーダ名称	パッケージ	内蔵コード・フラッシュ	内蔵ローカルRAM	品質水準	備　　考
μPD70F3543M1GKA-GAK-AX	80 ピン・プラスチック LQFP（ファインピッチ）（12×12）	256 K バイト	32 K バイト	(A)	
μPD70F3543M1GKA1-GAK-AX				(A1)	
μPD70F3543M1GKA2-GAK-AX				(A2)	
μPD70F3544M1GKA-GAK-AX		384 K バイト	40 K バイト	(A)	
μPD70F3544M1GKA1-GAK-AX				(A1)	
μPD70F3544M1GKA2-GAK-AX				(A2)	
μPD70F3545M1GKA-GAK-AX		512 K バイト	48 K バイト	(A)	
μPD70F3545M1GKA1-GAK-AX				(A1)	
μPD70F3545M1GKA2-GAK-AX				(A2)	

備考　1. 各品質水準の動作周囲温度は次のとおりです。
（A）品：－ 40 ～＋ 85 ℃
（A1）品：－ 40 ～＋ 110 ℃
（A2）品：－ 40 ～＋ 125 ℃

2. オーダ名称末尾「-AX」の製品は，鉛フリー製品です。

端子接続図（Top View）

（1）80 ピン・プラスチック LQFP（ファインピッチ）（12×12）



備考1.　電源供給元の電源端子

: E0VDD
: OSCVDD
: E1VDD
: A0VDD

2.　IC（Internally Connected）: 抵抗を介してE0VDD またはE0VSS に接続してください。

• ピン配置

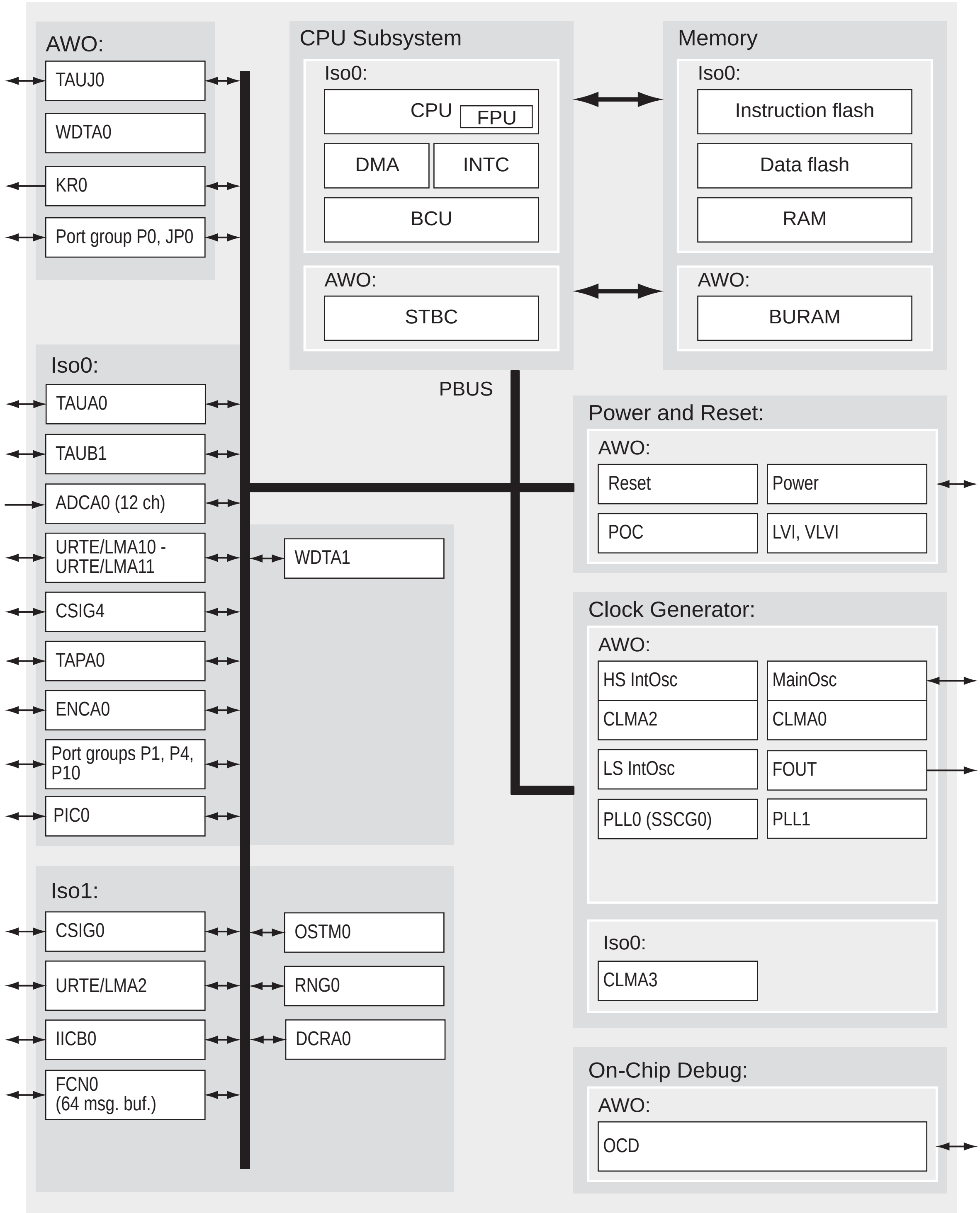
(1/2)

ピン番号	名　　称
1	JP0_0/INTP0/TAUJ0I0/TAUJ0O0/DCUTDI
2	IC
3	E0VDD
4	P0_7/URTE11RX/KR0I2/INTP4
5	P0_6/URTE11TX/KR0I1/NMI
6	P0_5/FCN0RX/INTP12
7	P0_4/FCN0TX/INTP11
8	REG0VDD
9	REG0C
10	REG0VSS
11	$\overline{\text{RESET}}$
12	X2
13	X1
14	OSCVSS
15	OSCVDD
16	P0_0/ADCA0TRG0/INTP0/$\overline{\text{RESETOUT}}$
17	P0_12/TAUJ0I0/TAUJ0O0/KR0I0/INTP8/CSCXFOUT
18	E0VDD
19	FVDD
20	FLMD0
21	P4_10/TAUB1I14/TAUB1O14
22	P4_9/TAUB1I13/TAUB1O13
23	P4_8/TAUB1I11/TAUB1O11/CSIG4SC/KR0I0/ENCA0ZIN
24	P4_7/INTP4/TAUB1O10/URTE11RX/CSIG4SO/KR0I1/ENCA0BIN
25	P4_6/TAUB1I9/TAUB1O9/CSIG4SI/URTE11TX/KR0I2/ENCA0AIN
26	P1_9/TAUA0I9/TAUA0O9/INTP3
27	P1_8/TAUA0I8/TAUA0O8/
28	E1VDD
29	E1VSS
30	P1_7/TAUA0I7/TAUA0O7/TAPA0WN/FCN0RX
31	P1_6/TAUA0I6/TAUA0O6/TAPA0WP
32	P1_5/TAUA0I5/TAUA0O5/ENCA0TIN1/TAPA0VN
33	P1_4/TAUA0I4/TAUA0O4/ENCA0TIN0/TAPA0VP
34	P1_3/TAUA0I3/TAUA0O3/ENCA0ZIN/TAPA0UN
35	P1_2/TAUA0I2/TAUA0O2/ENCA0BIN/TAPA0UP
36	P10_6/ADCA0I6
37	P10_7/ADCA0I7
38	P10_8/ADCA0I8
39	P10_9/ADCA0TRG0/ADCA0I9
40	P10_10/ADCA0TRG1/ADCA0I10

(2/2)

ピン番号	名　　称
41	A0VDD
42	A0VSS
43	A0VREFP
44	A0VREFM
45	P10_11/ADCA0TRG2/ADCA0I11
46	ADCA0I0
47	ADCA0I1
48	ADCA0I2
49	ADCA0I3
50	ADCA0I4
51	ADCA0I5
52	REG1VSS
53	REG1C
54	REG1VDD
55	P4_0/TAUB1I1/TAUB1O1/TAUA0I13/TAUA0O13
56	P4_1/TAUB1I2/TAUB1O2/TAUA0I14/TAUA0O14/URTE2RX
57	P4_2/TAUB1I3/TAUB1O3/TAUA0I15/TAUA0O15/URTE2TX
58	P4_3/TAUB1I5/TAUB1O5/CSIG0SI/URTE10TX
59	P4_4/INTP2/TAUB1O6/URTE10RX/CSIG0SO/ENCA0TIN0
60	E1VDD
61	P4_5/TAUB1I7/TAUB1O7/CSIG0SC/KR0I3/ENCA0TIN1
62	P1_1/TAUA0I1/TAUA0O1/ENCA0AIN/FCN0TX
63	P1_10/TAUA0I10/TAUA0O10/INTP4
64	P1_11/TAUA0I11/TAUA0O11/INTP5
65	P1_12/TAUA0I12/TAUA0O12/INTP6
66	P0_13/TAUJ0I1/TAUJ0O1/KR0I5/INTP7/CSIG0SI
67	P0_14/TAUJ0I2/TAUJ0O2/KR0I6/TAUB1O13/CSIG0DCS/CSIG0SO
68	P0_15/TAUJ0I3/TAUJ0O3/KR0I7/TAUB1O14/CSIG0SC
69	P0_9/URTE10RX/KR0I4/INTP6/TAUA0O6/IICB0SCL
70	P0_8/URTE10TX/KR0I3/INTP5/TAUA0O5/IICB0SDA
71	P0_3/CSIG4SC/ADCA0TRG1/INTP3/TAPA0ESO/MODE1
72	P0_2/CSIG4SI/ADCA0TRG2/URTE2TX/INTP2/TAUA0O2/MODE0
73	P0_1/CSIG4DCS/CSIG4SO/URTE2RX/INTP1/TAUA0O1/FLMD1
74	E0VSS
75	E0VDD
76	JP0_5/NMI/_DCURDY
77	JP0_4/_DCUTRST
78	JP0_3/INTP3/TAUJ0I3/TAUJ0O3/DCUTMS
79	JP0_2/INTP2/CSCXFOUT/TAUJ0I2/TAUJ0O2/DCUTCK
80	JP0_1/INTP1/TAUJ0I1/TAUJ0O1/DCUTDO

内部ブロック図


AWO:
TAUJ0
WDTA0
KR0
Port group P0, JP0
CPU Subsystem
Iso0:
CPU
FPU
DMA
INTC
BCU
AWO:
STBC
Memory
Iso0:
Instruction flash
Data flash
RAM
AWO:
BURAM
PBUS
Iso0:
TAUA0
TAUB1
ADCA0 (12 ch)
URTE/LMA10 - URTE/LMA11
CSIG4
TAPA0
ENCA0
Port groups P1, P4, P10
PIC0
WDTA1
Iso1:
CSIG0
URTE/LMA2
IICB0
FCN0 (64 msg. buf.)
OSTM0
RNG0
DCRA0
Power and Reset:
AWO:
Reset
Power
POC
LVI, VLVI
Clock Generator:
AWO:
HS IntOsc
MainOsc
CLMA2
CLMA0
LS IntOsc
FOUT
PLL0 (SSCG0)
PLL1
Iso0:
CLMA3
On-Chip Debug:
AWO:
OCD

目　次

1. 概要

1.1 端子名称について

1.1.1 兼用機能端子

周辺機能	マクロ名に続く数字	機能名	末尾の数字
マクロ名の略称	同一周辺モジュールの連番[a]	周辺マクロ端子の機能名	同一端子名の連番[a]

a) 1 つしかない場合は省略

例

- TAUA0I0, TAUA1I5
- URTE2TX, URTE2RX, URTE10TX, URTE10RX

1.1.2 電源端子

機　　能	端子名に続く数字	電源の種類
略称	各機能の連番[a]	VDD または VSS

a) 1 つしかない場合は省略

例

- CVDD, E0VDD, REG0VSS

略　　称	機　　能
C	内部用電源
REG	内部レギュレータ用電源
OSC	発振回路用電源
F	フラッシュ・モジュール用電源
E	ポート用電源
B	ポート用電源
A	アナログ・モジュール用電源（A/D コンバータなど）

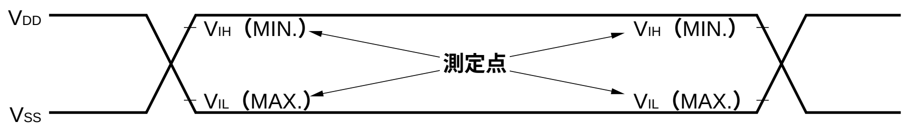
1.2 端子グループ

略　号	ポート・グループの電源	関連ポート／関連端子
PgE0	E0VDD, E0VSS	関連ポート：JP0, P0 関連端子：RESET, FLMD0, VCPC0IN
PgE1	E1VDD, E1VSS	関連ポート：P1, P4
PgOSC	OSCVDD, OSCVSS	関連端子：X1, X2
PgA0	A0VDD, A0VSS	関連ポート：P10

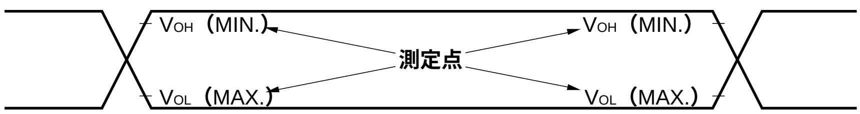
1.3 通常測定条件

1.3.1 AC特性の測定条件

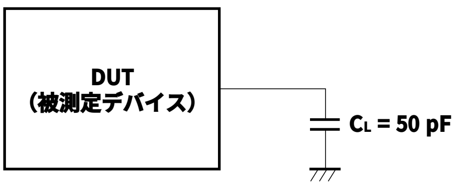
(1) AC テスト入力測定点



(2) AC テスト出力測定点



(3) 負荷条件



注意　回路構成により負荷容量が 50 pF を越える場合は，バッファを入れるなどして，このデバイスの負荷容量を 50 pF 以下にしてください。

2.　絶対最大定格

注意　1. IC 製品の出力（または入出力）端子同士を直結したり，VDD または VCC や GND に直結したりしないでください。

2. 各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

2.1　電源電圧

表 2-1　VDD

項　目	略　号	条　件	定　格	単位
システム用電源電圧	FVDD		－0.5 ～＋6.0	V
	OSCVDD		－0.5 ～＋6.0	V
	REG0VDD		－0.5 ～＋6.0	V
	REG1VDD		－0.5 ～＋6.0	V
ポート用電源電圧	E0VDD		－0.5 ～＋6.0	V
	E1VDD		－0.5 ～＋6.0	V
A/D コンバータ用電源電圧	A0VDD		－0.5 ～＋6.0	V
	A0VREFP	A0VREFP ≦ A0VDD ＋ 0.3V	－0.3 ～＋6.0	V

表 2-2　VSS

項　目	略　号	条　件	定　格	単位
システム用電源電圧	OSCVSS		－0.5 ～＋0.5	V
	REG0VSS		－0.5 ～＋0.5	V
	REG1VSS		－0.5 ～＋0.5	V
ポート用電源電圧	E0VSS		－0.5 ～＋0.5	V
	E1VSS		－0.5 ～＋0.5	V
A/D コンバータ用電源電圧	A0VSS		－0.5 ～＋0.5	V
	A0VREFM	A0VREFM ≦ A0VDD ＋ 0.3V	－0.3 ～＋6.0	V

2.2　ポート電圧

表 2-3　ポート入力電圧

項　目	端子グループ	略　号	条　件	定　格	単位
入力電圧[a]	PgE0	V_I	E0VDD ≦ 5.5 V	− 0.5 ～ E0VDD ＋ 0.5	V
	PgE1		E1VDD ≦ 5.5 V	− 0.5 ～ E1VDD ＋ 0.5	V
	PgOSC		OSCVDD ≦ 5.5 V	− 0.5 ～ OSCVDD ＋ 0.5	V
	PgA0			A0VDD ＋ 0.3	V

a)　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです 。

2.3　ポート電流

表 2-4　ハイ・レベル・ポート出力電流

項　目	端子グループ	略　号	条　件	定　格（MAX.）	単位
ハイ・レベル出力電流	PgE0	I_{OH}	1 端子	− 10	mA
			全端子合計	− 20	mA
	PgE1		1 端子	− 10	mA
			全端子合計	− 50	mA
	PgA0		1 端子	− 10	mA
			全端子合計	− 12	mA

表 **2-5　ロウ・レベル・ポート出力電流**

項　　目	端子グループ	略　号	条　　件	定　　格（MAX.）	単位
ロウ・レベル出力電流	PgE0	I_{OL}	1 端子	10	mA
			全端子合計	20	mA
	PgE1		1 端子	10	mA
			全端子合計	50	mA
	PgA0		1 端子	10	mA
			全端子合計	12	mA

2.4　温度特性

表 **2-6　温度特性**

項　　目	略　号	条　　件	定　　格	単位
保存温度	T_{stg}		－65 ＋150	℃
動作周囲温度	T_A	（A）品	－40 ～＋85	℃
		（A1）品	－40 ～＋110	℃
		（A2）品	－40 ～＋125	℃

3. 電源スペック

3.1 電源接続の要件

3.1.1 グランド端子の定義

このデータ・シートでは，グランド端子を次のように定義します。
VSS = OSCVSS = REGnVSS = E0VSS = E1VSS = A0VSS = 0 V

詳細な端子名は次のようになります。
・REGnVSS：REG0VSS, REG1VSS

3.1.2 電源端子の定義

このデータ・シートでは，電源端子を次のように定義します。
・EnVDD, B0VDD, FVDD, REGnVDD, OSCVDD, A0VDD, A0VREFM, A0VREFP

なお，詳細な端子名は次のようになります。
・EnVDD：E0VDD, E1VDD
・REGnVDD：REG0VDD, REG1VDD

3.2 電源供給領域の定義

V850E2/FF4-Mは，次に示す電源供給領域で構成されています。
・AWO（Always-On エリア）
・Iso0 (Isolated エリア0)
表 3-1に，各電源供給領域の電源電圧と電源端子の関係を示します。

表 3-1　電源供給領域のグランド，電源端子

電源供給領域	供　給	端　子
AWO	CPU 用電源供給	REG0VDD, REG0VSS, REG0C
	ポート用電源供給	E0VDD, E0VSS
	その他電源供給	OSCVDD, OSCVSS, FVDD
Iso0	CPU 用電源供給	REG1VDD, REG1VSS, REG1C
	ポート用電源供給	E1VDD, E1VSS
	その他電源供給	A0VDD, A0VSS, A0VREFP, A0VREFM

3.3 電源電圧

表 3-2 電源電圧（動作条件）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
システム用電源電圧	FVDD		V_{POC}[a]		5.5	V
	OSCVDD		V_{POC}[a]		5.5	V
	REG0VDD		V_{POC}[a]		5.5	V
	REG1VDD		V_{POC}[a]		5.5	V
ポート用電源電圧	E0VDD		V_{POC}[a]		5.5	V
	E1VDD		V_{POC}[a]		5.5	V
A/D コンバータ用電源電圧	A0VDD	12 ビット分解能	4.5		5.5	V
		10 ビット分解能	3		5.5	V
	A0VREFP	12 ビット分解能	4.5		5.5	V
		10 ビット分解能	3		5.5	V

a) V_{POC}：POC 検出電圧
V_{POC} の詳細については，3.3.3　パワーオン・クリア回路（POC）特性 を参照してください。

3.3.1　　AWO電源内蔵レギュレータ特性

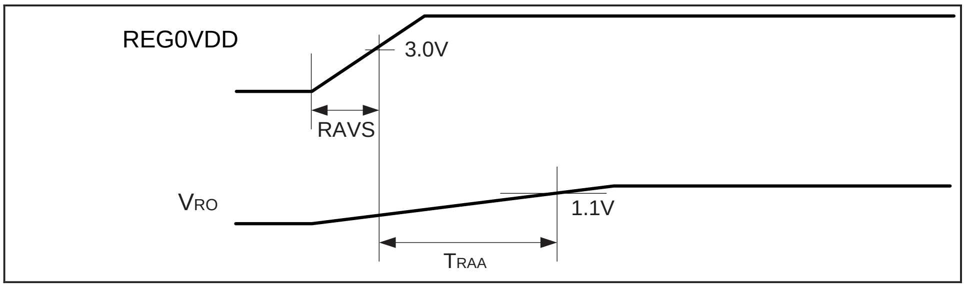
表 3-3　AWO 電源内蔵レギュレータ特性

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
入力電圧	REG0VDD		V_{POC}[a]		5.5	V
出力電圧	V_{RO}		1.1	1.2	1.3	V
REG0C 端子のキャパシタンス	REG0C		3.29	4.7	6.11	μF
電圧勾配	RAVS	0 V to 3.0 V			1.8	V/μs
出力電圧安定時間	T_{RAA}	REG0VDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード解除後			0.5	ms

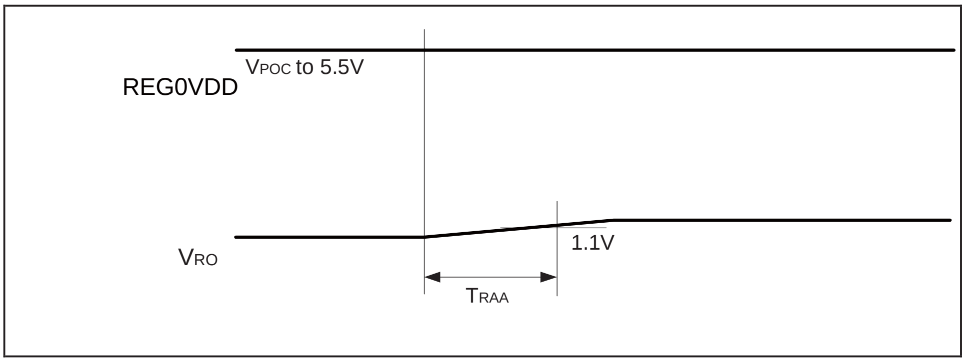
a)　V_{POC} : POC 検出電圧
V_{POC} の詳細については，3.3.3　パワーオン・クリア回路（POC）特性 を参照してください。

備考　n = 0, 1

電源立ち上げ中



DEEPSTOPモード解除後



3.3.2 Iso0/Iso1電源内蔵レギュレータ特性

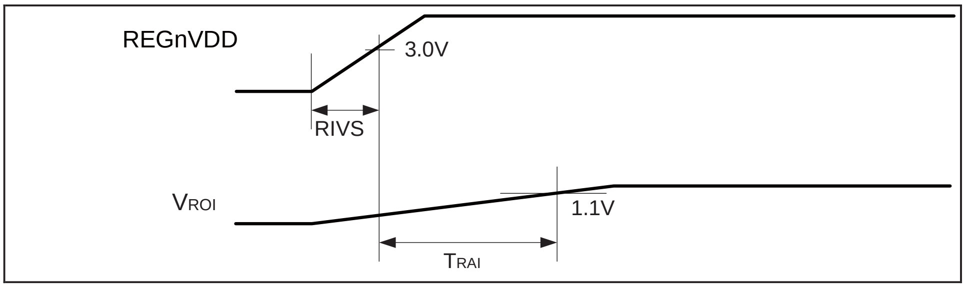
表 3-4 Iso0/Iso1 電源内蔵レギュレータ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力電圧	REGnVDD		V_{POC}[a]		5.5	V
出力電圧	V_{ROI}	REGnVDD の変化量：1 V/ms	1.1	1.2	1.3	V
REGnC 端子のキャパシタンス	REGnC		3.29	4.7	6.11	μF
電圧勾配	RIVS	3.0 V to 5.5 V			5.6	V/ms
出力電圧安定時間	T_{RAI}	REGnVDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード後			0.5	ms

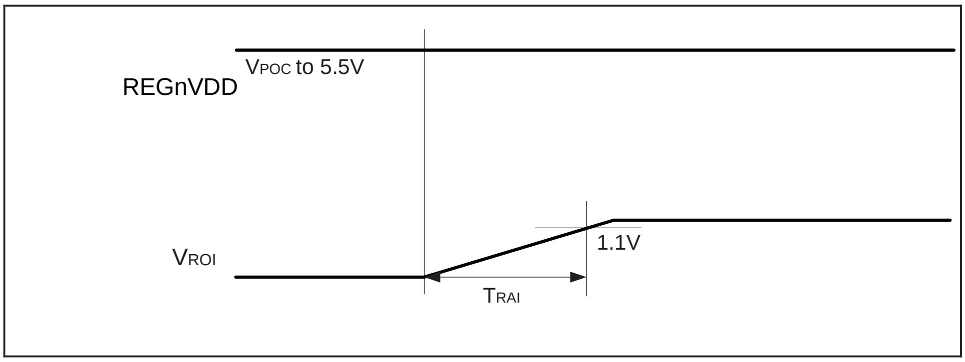
a) V_{POC}：POC 検出電圧
V_{POC} の詳細については，3.3.3 パワーオン・クリア回路（POC）特性 を参照してください。

備考 n = 0, 1

電源立ち上げ中



DEEPSTOPモード解除後

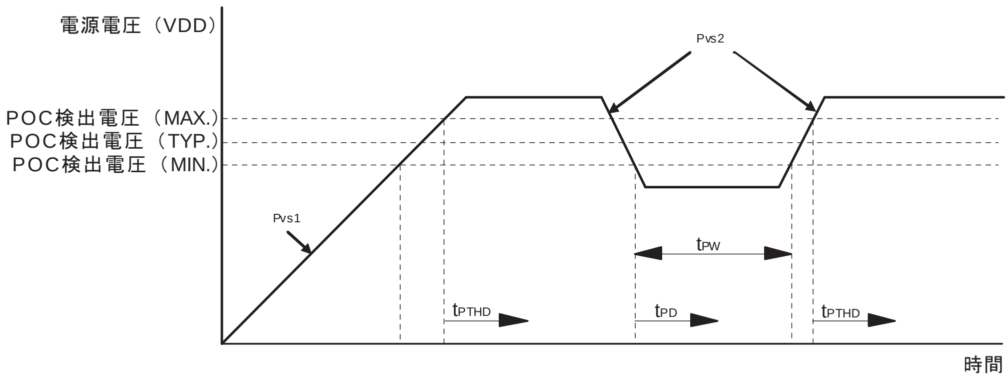


3.3.3 パワーオン・クリア回路（POC）特性

表 3-5 パワーオン・クリア回路（POC）特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
POC 検出電圧	V_{POC}		2.8	2.9	3.0	V
電圧の傾き 1	P_{VS1}		0.18		1800	V/ms
電圧の傾き 2	P_{VS2}		0.0018		1800	V/ms
応答時間 1[a]	t_{PTHD}				2	ms
応答時間 2[b]	t_{PD}				2	ms
VDD 最小幅	t_{PW}		0.2			ms

a) POC 検出電圧を検出してからリセット信号（POCRES）を解除するまでの時間です。
b) POC 検出電圧を検出してからリセット信号（POCRES）を発生するまでの時間です。



3.4 電源電圧の電源立ち上げ／電源立ち下げ順序（使用条件別）

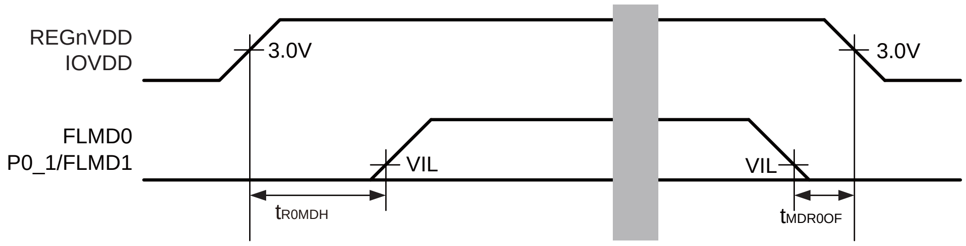
3.4.1 条件1

$\overline{\text{RESET}}$端子未使用
通常動作モード

表 3-6 電源立ち上げ / 電源立ち下げ順序（通常動作モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑→ FLMD0, 1（≦ VIL） ホールド時間	t_{R0MDH}		2			ms
FLMD0, 1（≦ VIL）↓→ REGnVDD, IOVDD ↓	t_{MDR0OF}		0			ms

備考　n = 0, 1



注意　IOVDD は , 以下の電源入力を示しています。
A0VDD, E0VDD, E1VDD, FVDD, OSCVDD

3.4.2 条件 2

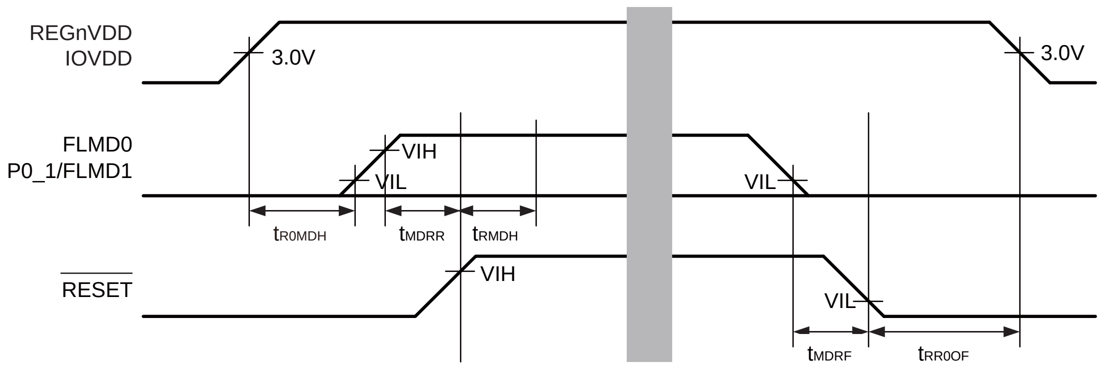
RESET端子使用
通常動作モード/シリアル・プログラミング・モード

表 3-7 電源立ち上げ / 電源立ち下げ順序（シリアル・プログラミング・モード）

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑→ FLMD0, 1（≦ VIL）ホールド時間	t_{ROMDH}		1			ms
FLMD0, 1（VIH or VIL1）[a] → RESET ↑	t_{MDRR}		1			ms
RESET ↑→ FLMD0,1（VIH or VIL）ホールド時間[a]	t_{RMDH}		1			ms
FLMD0,1[a]（≦ VIL）↓→ RESET ↓	t_{MDRF}		0			ms
RESET ↓→ REGnVDD, IOVDD ↓	t_{RROOF}		0			ms

a) BSCAN（バウンダリ・スキャン）モードの場合 , MODE0, MODE1 端子も設定が必要です。

備考 n = 0, 1



注意 ・IOVDD は , 以下の電源入力を示しています。
A0VDD, E0VDD, E1VDD, FVDD, OSCVDD
・MODE0, MODE1 端子は , それぞれ P0_2, P0_3 端子に割り当てています。

4. クロック発生回路

4.1 CPUクロック周波数

表 4-1 CPU クロック周波数

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPU}	PLL 使用時			80	MHz
		SSCG 使用時			88.32	MHz

4.2 周辺クロック周波数

表 4-2 周辺クロック周波数

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
周辺クロック周波数	f_{PERI}				48[a]	MHz

a) 周辺機能により，最大動作周波数は異なります。詳細については，V850E2/Fx4 ユーザーズ・マニュアル ハードウェア編を参照してください。

4.3 発振回路特性

4.3.1 メイン発振回路（MainOsc）特性

表 4-3 メイン発振回路（MainOsc）特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
メイン発振回路（MainOsc）クロック周波数	f_{MOSC}	セラミック発振子または水晶振動子	4		20	MHz
MainOsc 安定時間	f_{MSTB}			[a]		μs

a) この値は，MOSCST レジスタ設定値に依存します。

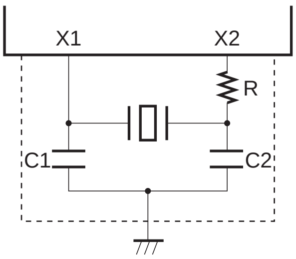


図 4-1 推奨メイン発振回路（MainOsc）

注意 **1.** 外部クロック入力は禁止です。

2. プリント基板をレイアウトする際には，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる信号線に接近させない。
- 発振回路のコンデンサの接地点は，常に REG0VSS および OSCVSS と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

3. C1，C2，R の値は，ご使用のセラミック発振子または水晶振動子 によるため，発振子／振動子メーカとご相談の上，決定してください。

4.3.2 内蔵発振器特性

表 4-4 内蔵発振器特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
低速内蔵発振回路（低速 IntOsc）クロック周波数	f_{RL}	• Deep Stop Mode 以外または， • Deep Stop Mode でかつ，PSCn.PSCnREGSTP = 0	220.8	240	259.2	kHz
	f_{RLLP}	• Deep Stop Mode でかつ，PSCn.PSCnREGSTP = 1	216	240	264	kHz
高速内蔵発振回路（高速 IntOsc）クロック周波数	f_{RH}	• Deep Stop Mode 以外または， • Deep Stop Mode でかつ，PSCn.PSCnREGSTP = 0	7.2	8	8.8	MHz
	f_{RHLP}	• Deep Stop Mode でかつ，PSCn.PSCnREGSTP = 1	6.64	8	8.8	MHz
高速内蔵発振回路（高速 IntOsc）安定時間	t_{RHSTB}				19	μs

4.4 PLL 特性

表 4-5 PLL 特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力周波数	f_{Xn}		4		20	MHz
出力周波数	f_{XXn}	PLL モード	25		80	MHz
		SSCG モード	22.40		88.32	MHz
ロック時間	t_{LCKPn}	PLL モード			650	μs
	t_{LCKSn}	SSCG モード			1300	μs

5. 入出力スペック

5.1 ポート特性

5.1.1 PgE0

表 5-1 PgE0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	CMOS	0.7 E0VDD		E0VDD ＋ 0.3	V
		シュミット 1（SHMT1）	0.7 E0VDD		E0VDD ＋ 0.3	V
		シュミット 2（SHMT2）	0.8 E0VDD		E0VDD ＋ 0.3	V
		シュミット 4 （SHMT4） （E0VDD = V_{POC} ～ 3.0 V）	0.84 E0VDD		E0VDD ＋ 0.3	V
		シュミット 4（SHMT4） （E0VDD = 3.0 ～ 5.5 V）	0.8 E0VDD		E0VDD ＋ 0.3	V
ロウ・レベル入力電圧	V_{IL}	CMOS	－ 0.5		0.3 E0VDD	V
		シュミット 1（SHMT1）	－ 0.5		0.3 E0VDD	V
		シュミット 2（SHMT2）	－ 0.5		0.2 E0VDD	V
		シュミット 4 （SHMT4） （E0VDD = V_{POC} ～ 3.0 V）	－ 0.5		0.4 E0VDD	V
		シュミット 4（SHMT4） （E0VDD = 3.0 ～ 5.5 V）	－ 0.5		0.5 E0VDD	V
ハイ・レベル出力電圧	V_{OH}	I_{OH} = － 5 mA[a]	E0VDD － 1.0			V
		I_{OH} = － 100 μA	E0VDD － 0.5			V
ロウ・レベル出力電圧	V_{OL}	I_{OL} = 5 mA[a]			0.4	V
		I_{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V_H	シュミット 1（SHMT1）	0.3			V
		シュミット 2（SHMT2）	0.3			V
		シュミット 4（SHMT4）	0.1			V
プルアップ抵抗	R_U		20	40	100	kΩ
プルダウン抵抗	R_D		20	40	100	kΩ
ハイ・レベル入力リーク電流	I_{LIH}	V_I = E0VDD			0.5	μA
ロウ・レベル入力リーク電流	I_{LIL}	V_I = 0 V			－ 0.5	μA
ハイ・レベル出力リーク電流	I_{LOH}	V_O = E0VDD			0.5	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V			－ 0.5	μA
出力周波数	f_O	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間（出力）	t_{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間（出力）	t_{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

a) PgE0 の合計電流値として，I_{OH} は－ 20 mA，I_{OL} は 20 mA を越えないでください。

5.1.2 PgE1

表 5-2 PgE1

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	CMOS	0.7 E1VDD		E1VDD ＋ 0.3	V
		シュミット 1（SHMT1）	0.7 E1VDD		E1VDD ＋ 0.3	V
		シュミット 2（SHMT2）	0.8 E1VDD		E1VDD ＋ 0.3	V
		シュミット 4 （SHMT4） （E1VDD = V_{POC} ～ 3.0 V）	0.84 E1VDD		E1VDD ＋ 0.3	V
		シュミット 4（SHMT4） （E1VDD = 3.0 ～ 5.5 V）	0.8 E1VDD		E1VDD ＋ 0.3	V
ロウ・レベル入力電圧	V_{IL}	CMOS	－ 0.5		0.3 E1VDD	V
		シュミット 1（SHMT1）	－ 0.5		0.3 E1VDD	V
		シュミット 2（SHMT2）	－ 0.5		0.2 E1VDD	V
		シュミット 4 （SHMT4） （E1VDD = V_{POC} ～ 3.0 V）	－ 0.5		0.4 E1VDD	V
		シュミット 4（SHMT4） （E1VDD = 3.0 ～ 5.5 V）	－ 0.5		0.5 E1VDD	V
ハイ・レベル出力電圧	V_{OH}	I_{OH} = － 5 mA[a]	E1VDD － 1.0			V
		I_{OH} = － 100 μA	E1VDD － 0.5			V
ロウ・レベル出力電圧	V_{OL}	I_{OL} = 5 mA[a]			0.4	V
		I_{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V_H	シュミット 1（SHMT1）	0.3			V
		シュミット 2（SHMT2）	0.3			V
		シュミット 4（SHMT4）	0.1			V
プルアップ抵抗	R_U		20	40	100	kΩ
プルダウン抵抗	R_D		20	40	100	kΩ
ハイ・レベル入力リーク電流	I_{LIH}	V_I = E1VDD			0.5	μA
ロウ・レベル入力リーク電流	I_{LIL}	V_I = 0 V			－ 0.5	μA
ハイ・レベル出力リーク電流	I_{LOH}	V_O = E1VDD			0.5	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V			－ 0.5	μA
出力周波数	f_O	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間（出力）	t_{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間（出力）	t_{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

a) PgE1 の合計電流値として，I_{OH} はー 50 mA，I_{OL} は 50 mA を越えないでください。

5.1.3 PgA0

表 5-3 PgA0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	CMOS	0.7 A0VDD		A0VDD ＋ 0.3	V
ロウ・レベル入力電圧	V_{IL}	CMOS	－ 0.5		0.3 A0VDD	V
ハイ・レベル出力電圧	V_{OH}	I_{OH} = － 1 mA[a]	A0VDD － 1.0			V
		I_{OH} = － 100 μA	A0VDD － 0.5			V
ロウ・レベル出力電圧	V_{OL}	I_{OL} = 1 mA[a]			0.4	V
		I_{OL} = 100 μA			0.4	V
ハイ・レベル入力リーク電流	I_{LIH}	V_I = A0VDD			0.2	μA
ロウ・レベル入力リーク電流	I_{LIL}	V_I = 0 V			－ 0.2	μA
ハイ・レベル出力リーク電流	I_{LOH}	V_O = A0VDD			0.2	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V			－ 0.2	μA
出力周波数	f_O				25	MHz
立ち上がり時間（出力）	t_{KRP}				15	ns
立ち下がり時間（出力）	t_{KFP}				15	ns

a) PgA0 の合計電流値として，I_{OH} は－ 12 mA，I_{OL} は 12 mA を越えないでください。

5.2 入出力容量

表 5-4 入出力容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_I	f_X = 1 MHz 被測定ピン以外は 0 V			15	pF
入出力容量	C_{IO}				15	pF
出力容量	C_O				15	pF

6. 供給電流スペック電源電流

項　目	電源 [a]		条　件 [b]					Min.	Typ.	MAX.			単位
	ISO0	ISO1	高速 IntOsc	Main OSC	PLL	CPU 周波数	周辺 機能			(A)	(A1)	(A2)	
RUN モード	ON	ON	ON	ON	ON	80	動作	-	67	95	96	97	mA
	ON	ON	ON	ON	ON	80	停止	-	48	-	-	-	mA
	ON	ON	ON	OFF	OFF	8	動作	-	15	33	33	33	mA
	ON	ON	ON	OFF	OFF	8	停止	-	13	-	-	-	mA
	ON	OFF	ON	ON	ON	80	動作	-	64	92	93	94	mA
	ON	OFF	ON	ON	ON	80	停止	-	47	-	-	-	mA
	ON	OFF	ON	OFF	OFF	8	動作	-	14	32	32	32	mA
	ON	OFF	ON	OFF	OFF	8	停止	-	12	-	-	-	mA
HALT モード	ON	ON	ON	ON	ON	80	動作	-	63	91	92	93	mA
	ON	ON	ON	ON	ON	80	停止	-	45	-	-	-	mA
	ON	ON	ON	OFF	OFF	8	動作	-	14	32	32	32	mA
	ON	ON	ON	OFF	OFF	8	停止	-	12	-	-	-	mA
STOP モード	ON	ON	OFF	OFF	OFF	-	停止	-	0.6	11	11	13	mA
	ON	OFF	OFF	OFF	OFF	-	停止	-	0.5	11	11	13	mA
DEEPSTOP モード	OFF	OFF	OFF	OFF	OFF	-	停止	-	0.06	0.86	0.88	1.1	mA
	OFF	OFF	ON	OFF	OFF	-	停止	-	0.60	2.1	2.3	2.5	mA

a) AWO は常時 ON
b) 低速 IntOSC は常時 ON

備考 1. ON　：電力供給オン状態
OFF　：電力供給オフ状態

2. SSCG の場合，周波数 = 80 MHz は平均周波数です。

3. 上記は，ポート・バッファの電流は含みません。

4. RUN モード時の電流には，セルフ・プログラミング時および EEPROM® エミュレーション実行時の電流を含みます。

5. TYP. 値は参考値です。
TYP. 値の条件を次に示します。

・T_A = 25 ℃

・REG0VDD = REG1VDD = FVDD = OSCVDD = E0VDD = E1VDD = A0VDD = A0VREFP = 5.0 V

・REG0VSS = REG1VSS = OSCVSS = E1VSS = A0VSS = A0VREFM = 0 V

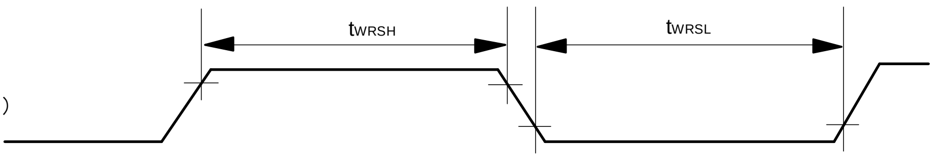
7. 周辺機能スペック

7.1 リセット・タイミング

表 7-1 リセット・タイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ 入力ハイ・レベル幅	t_{WRSH}	高速 IntOSC 発振時	450			ns
		高速 IntOSC 停止時	4.7			μs
$\overline{\text{RESET}}$ 入力ロウ・レベル幅	t_{WRSL}	電源オン時を除く	450			ns

$\overline{\text{RESET}}$（入力）

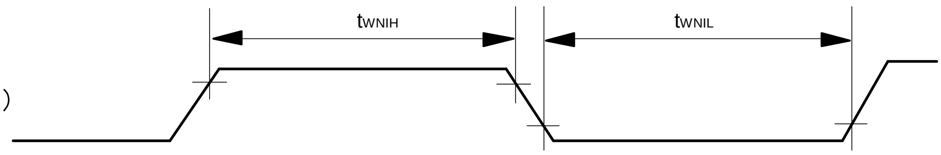


7.2 NMI タイミング

表 7-2 NMI タイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ・レベル幅	t_{WNIH}		300			ns
NMI 入力ロウ・レベル幅	t_{WNIL}		300			ns

NMI （入力）



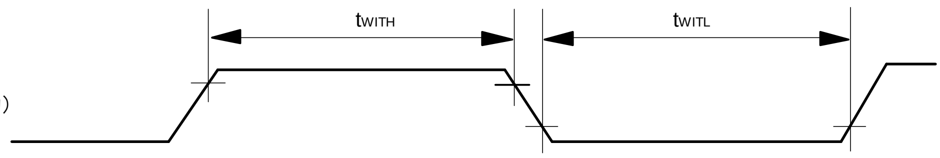
7.3 外部割り込みタイミング

表 7-3 外部割り込みタイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
INTPn 入力ハイ・レベル幅	t_{WITH}		300			ns
INTPn 入力ロウ・レベル幅	t_{WITL}		300			ns

備考　n = 0-8, 11, 12

INTPn（入力）



7.4 FLMD0タイミング

表 7-4 FLMD0 タイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
FLMD0 入力ハイ・レベル幅	t_{WMDH}		300			ns
FLMD0 入力ロウ・レベル幅	t_{WMDL}		300			ns

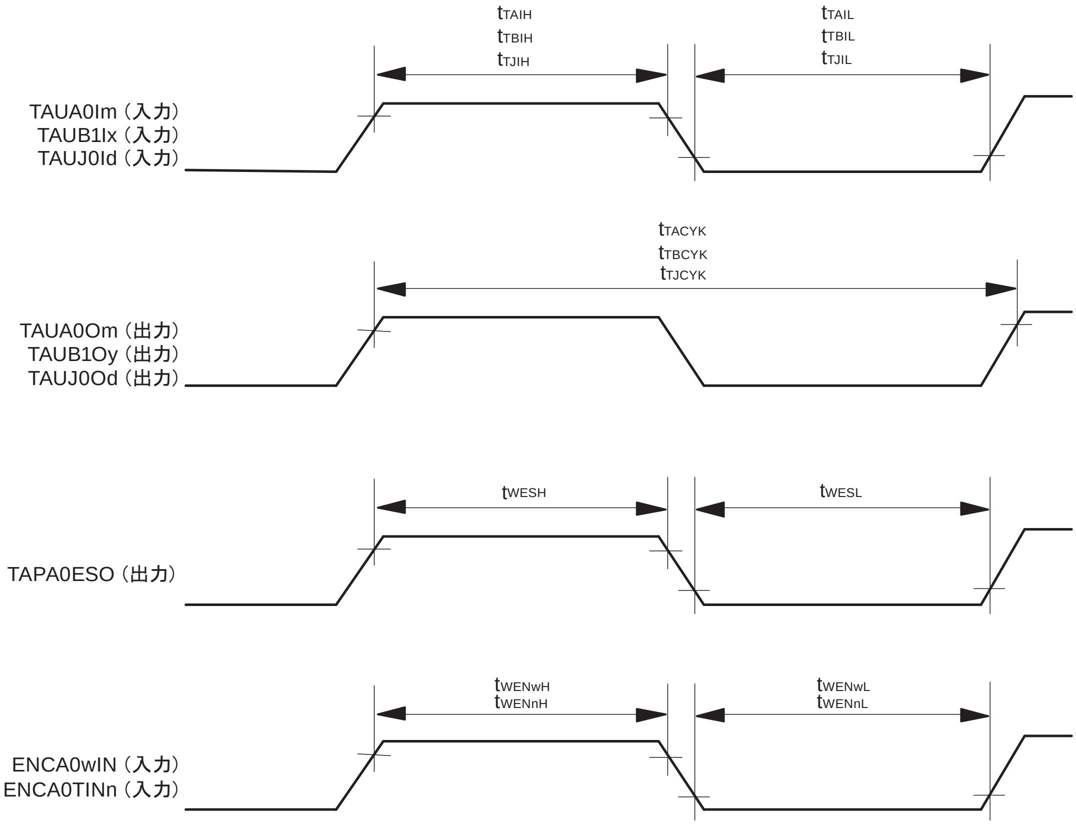
7.5 タイマ・タイミング

表 7-5 タイマ・タイミング

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
TAUA0Im 入力ハイ・レベル幅	t_{TAIH}	m = 1-15，デジタル・ノイズ・フィルタ使用	a			ns
		m = 1-15，デジタル・ノイズ・フィルタをバイパス	b			ns
TAUA0Im 入力ロウ・レベル幅	t_{TAIL}	m = 1-15，デジタル・ノイズ・フィルタ使用	a			ns
		m = 1-15，デジタル・ノイズ・フィルタをバイパス	b			ns
TAUB1Ix 入力ハイ・レベル幅	t_{TBIH}	x = 1-3, 5, 7, 9, 11, 13, 14，デジタル・ノイズ・フィルタ使用	a			ns
		x = 1-3, 5, 7, 9, 11, 13, 14，デジタル・ノイズ・フィルタをバイパス	b			ns
TAUB1Ix 入力ロウ・レベル幅	t_{TBIL}	x = 1-3, 5, 7, 9, 11, 13, 14，デジタル・ノイズ・フィルタ使用	a			ns
		x = 1-3, 5, 7, 9, 11, 13, 14，デジタル・ノイズ・フィルタをバイパス	b			ns
TAUJ0Id 入力ハイ・レベル幅	t_{TJIH}	d = 0-3	300			ns
TAUJ0Id 入力ロウ・レベル幅	t_{TJIL}	d = 0-3	300			ns
TAUA0Om 出力周期	t_{TACYK}	m = 1-15			20	MHz
TAUB1Oy 出力周期	t_{TBCYK}	y = 1-3, 5, 7, 9, 11, 13, 14			20	MHz
TAUJ0Od 出力周期	t_{TJCYK}	d = 0-3			20	MHz
TAPA0ESO 入力ハイ・レベル幅	t_{WESH}		300			ns
TAPA0ESO 入力ロウ・レベル幅	t_{WESL}		300			ns
ENCA0wIN ハイ・レベル幅	t_{WENwH}	w = A, B, Z	a			ns
ENCA0wIN ロウ・レベル幅	t_{WENwL}	w = A, B, Z	a			ns
ENCA0TINn ハイ・レベル幅	t_{WENnH}	n = 0, 1	a			ns
ENCA0TINn ロウ・レベル幅	t_{WENnL}	n = 0, 1	a			ns

a) 選択されたデジタル・ノイズ・フィルタ設定により異なります。
$2T_{SMP}$ ＋ 20，$3T_{SMP}$ ＋ 20，$4T_{SMP}$ ＋ 20，$5T_{SMP}$ ＋ 20
T_{SMP}：ノイズ除去サンプリング・クロック周期
デジタル・ノイズ・フィルタを通過後の信号が，タイマ・マクロの PCLK 1 クロックよりも長い幅になるように設定してください。

b) タイマ・マクロの PCLK 1 クロック + 20


tTAIH
tTBIH
tTJIH
tTAIL
tTBIL
tTJIL
TAUA0Im（入力）
TAUB1Ix（入力）
TAUJ0Id（入力）
tTACYK
tTBCYK
tTJCYK
TAUA0Om（出力）
TAUB1Oy（出力）
TAUJ0Od（出力）
tWESH
tWESL
TAPA0ESO（出力）
tWENwH
tWENnH
tWENwL
tWENnL
ENCA0wIN（入力）
ENCA0TINn（入力）

7.6 CSIタイミング

7.6.1 CSIGタイミング（マスタ・モード）

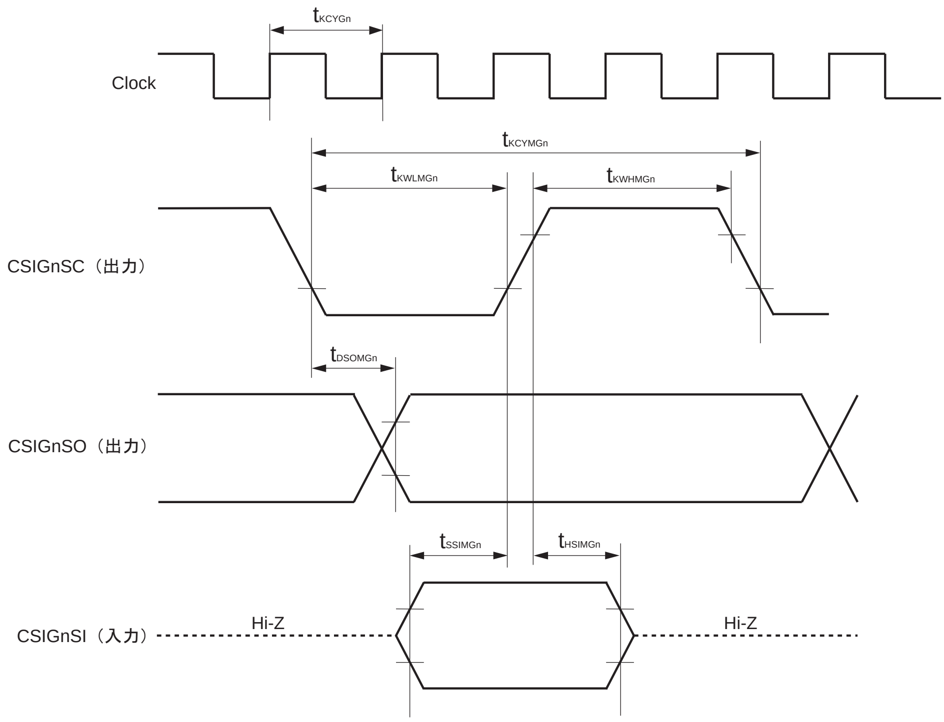
表 7-6 CSIG タイミング（マスタ・モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t_{KCYGn}		12.5			ns
CSIGnSC サイクル・タイム	t_{KCYMGn}		100			ns
CSIGnSC ハイ・レベル幅	t_{KWHMGn}		$0.5t_{KCYMGn} - 10$			ns
CSIGnSC ロウ・レベル幅	t_{KWLMGn}		$0.5t_{KCYMGn} - 10$			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSIMGn}	CSIGnSC pin の PDSC 設定 = 1	30			ns
		CSIGnSC pin の PDSC 設定 = 0	38			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSIMGn}		0			ns
CSIGnSC → CSIGnSO 出力遅延時間	t_{DSOMGn}				7	ns

備考　n = 0, 4

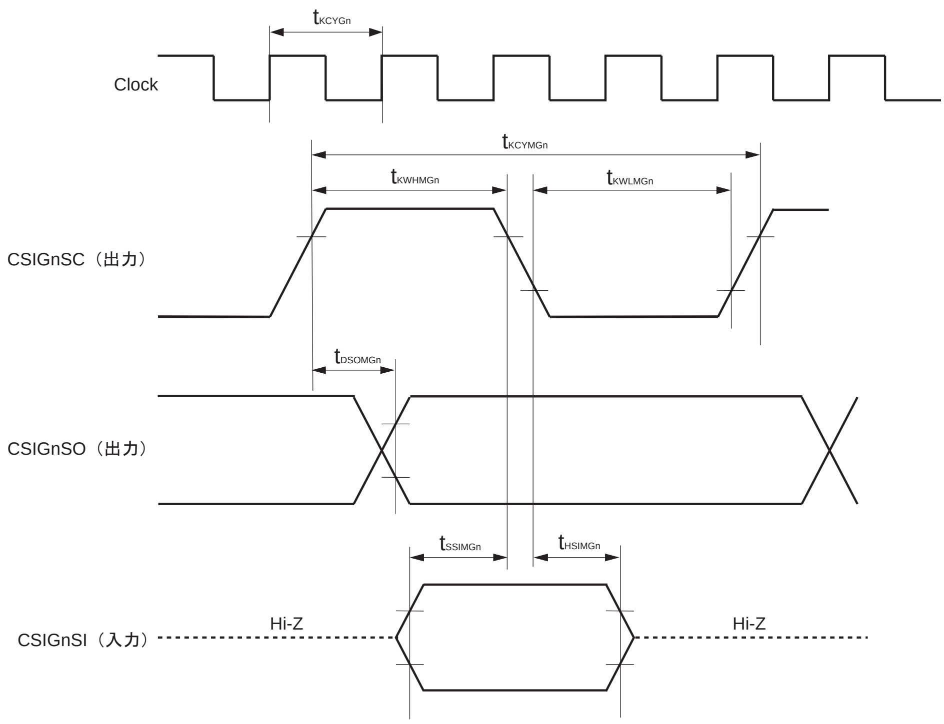
(1)　CSIGnSC, CSIGnSO, CSIGnSI 端子（マスタ・モード）

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合 , または
  CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



n=0, 4

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合 , または
  CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



n=0, 4

7.6.2　CSIGタイミング（スレーブ・モード）

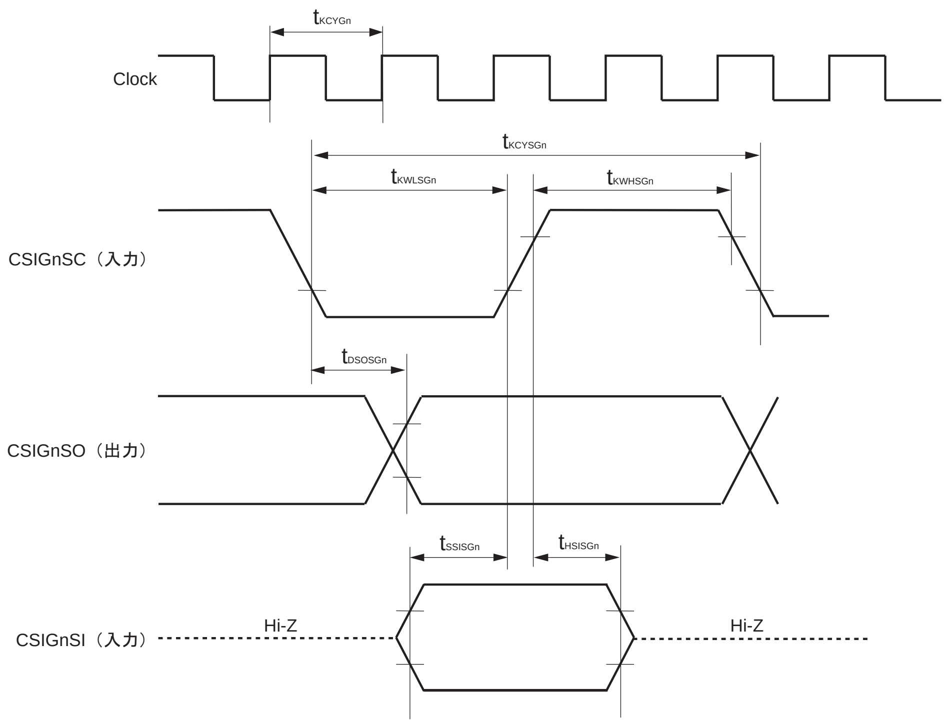
表 7-7　CSIG タイミング（スレーブ・モード）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t_{KCYGn}		12.5			ns
CSIGnSC サイクル・タイム	t_{KCYSGn}		200			ns
CSIGnSC ハイ・レベル幅	t_{KWHSGn}		$0.5t_{KCYSGn} - 10$			ns
CSIGnSC ロウ・レベル幅	t_{KWLSGn}		$0.5t_{KCYSGn} - 10$			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSISGn}		20			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSISGn}		$t_{KCYGn} + 5.0$			ns
CSIGnSC → CSIGnSO 出力遅延時間	t_{DSOSGn}				35	ns

備考　n = 0, 4

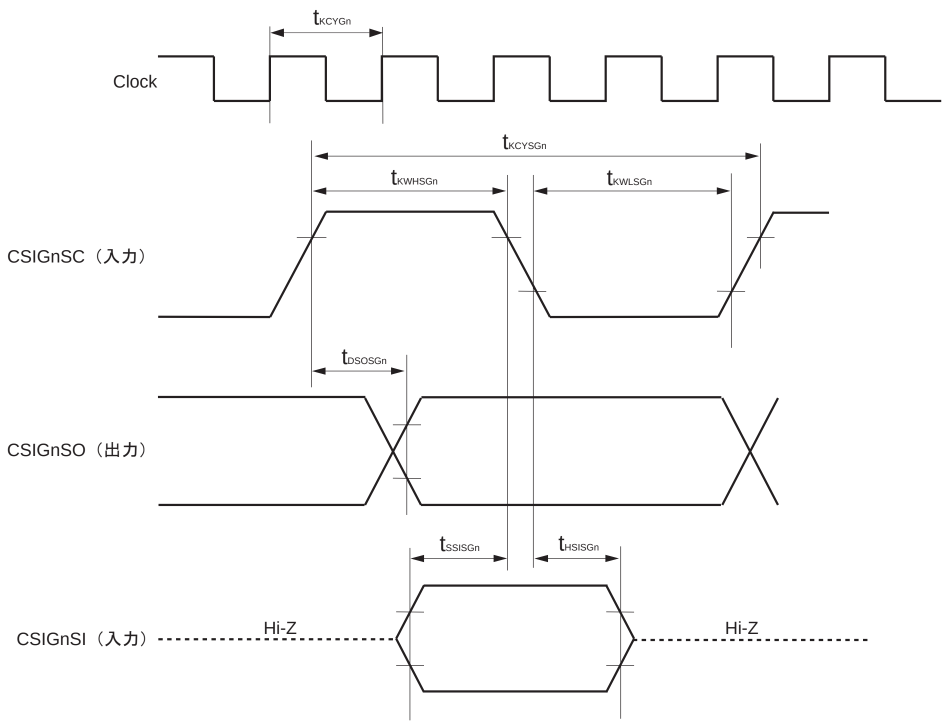
(1) CSIGnSC, CSIGnSO, CSIGnSI 端子（スレーブ・モード）

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合 , または
  CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



n=0, 4

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合 , または
  CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



n=0, 4

7.7　UARTEタイミング

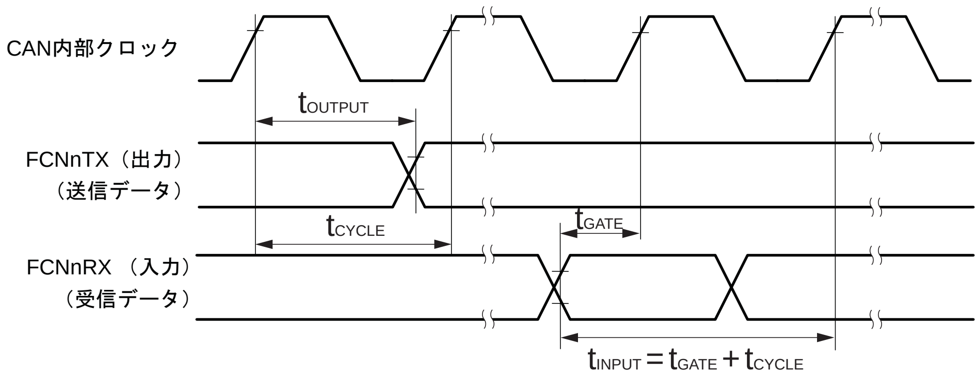
表 7-8　UARTE タイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
転送レート					1.5	Mbps

7.8　CAN（FCN）タイミング

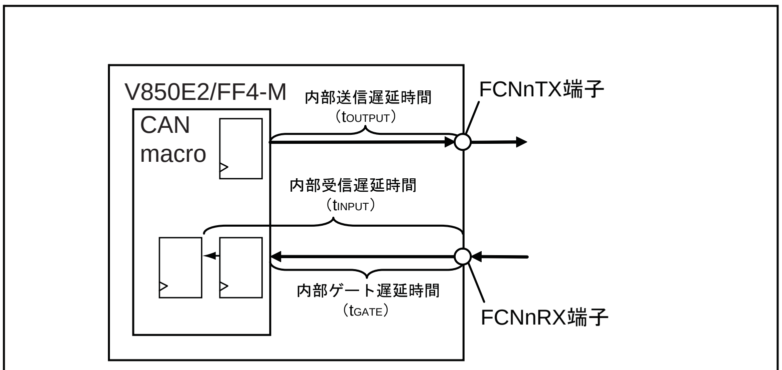
表 7-9　CAN（FCN）タイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t_{INTDEL}				37.5	ns
CAN ノード遅延時間	t_{NODE}	t_{CYCLE} = 62.5 ns			100	ns



CANノード遅延時間（t_{NODE}） = 内部送信遅延時間（t_{OUTPUT}） ＋内部受信遅延時間（t_{INPUT}）

内部遅延時間（t_{INTDEL}） = 内部ゲート遅延時間（t_{GATE}） ＋内部送信遅延時間（t_{OUTPUT}）



内部遅延時間のイメージ図

備考　n = 0

7.9 I^{2}Cタイミング

表 7-10 標準モード

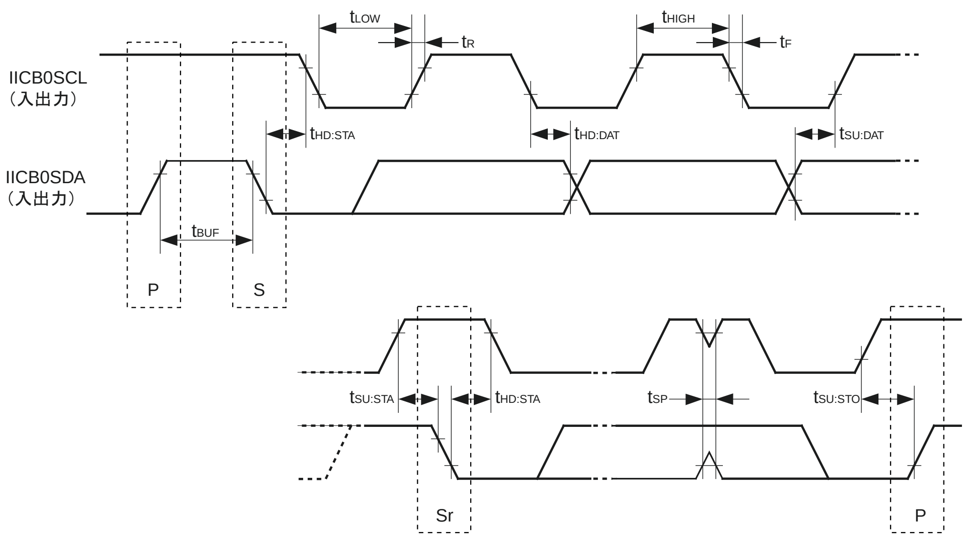
項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	f_{CLK}		0		100	kHz
バス・フリー・タイム（ストップ - スタート・コンディション間）	t_{BUF}		4.7			μs
スタート／リスタート保持時間[a]	$t_{HD:STA}$		4			μs
IICB0SCL クロックのロウ・レベル保持時間	t_{LOW}		4.7			μs
IICB0SCL クロックのハイ・レベル保持時間	t_{HIGH}		4			μs
スタート／リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7			μs
データ保持時間	$t_{HD:DAT}$	CBUS 互換マスタの場合	5			μs
		I^{2}C モードの場合	0			μs
データ設定時間	$t_{SU:DAT}$		250			ns
IICB0SDA および IICB0SCL 信号の立ち上がり時間	t_R				1000	ns
IICB0SDA および IICB0SCL 信号の立ち下がり時間	t_F				300	ns
ストップ・コンディションの設定時間	$t_{SU:STO}$		4			μs
各バス・ラインの容量性負荷	C_b				400	pF

a) スタート・コンディション時に，最初のクロック・パルスは，ホールド時間のあとに生成されます。

表 7-11 高速モード

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	f_{CLK}		0		400	kHz
バス・フリー・タイム（ストップ - スタート・コンディション間）	t_{BUF}		1.3			μs
スタート／リスタート保持時間[a]	$t_{HD:STA}$		0.6			μs
IICB0SCL クロックのロウ・レベル保持時間	t_{LOW}		1.3			μs
IICB0SCL クロックのハイ・レベル保持時間	t_{HIGH}		0.6			μs
スタート／リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		0.6			μs
データ保持時間	$t_{HD:DAT}$	I^2C モードの場合	0		0.9	μs
データ設定時間	$t_{SU:DAT}$		100			ns
IICB0SDA および IICB0SCL 信号の立ち上がり時間	t_R		20 ＋ 0.1C_b		300	ns
IICB0SDA および IICB0SCL 信号の立ち下がり時間	t_F		20 ＋ 0.1C_b		300	ns
ストップ・コンディションの設定時間	$t_{SU:STO}$		0.6			μs
入力フィルタによって抑制されるスパイクのパルス幅	t_{SP}		0		50	ns
各バス・ラインの容量性負荷	C_b				400	pF

a) スタート・コンディション時に，最初のクロック・パルスは，ホールド時間のあとに生成されます。



備考 1. P：ストップ・コンディション

2. S：スタート・コンディション

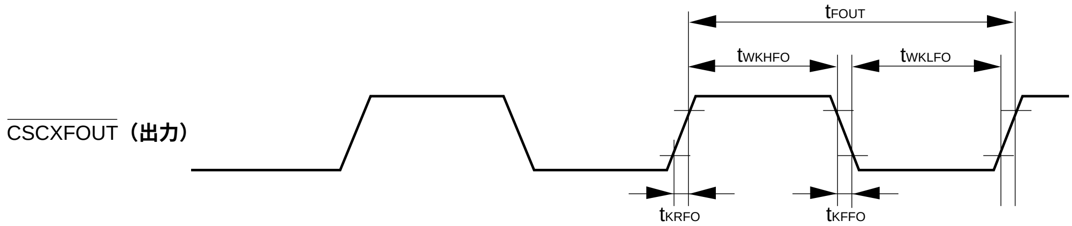
3. Sr：リスタート・コンディション

7.10 周波数出力機能（FOUT）

表 7-12 周波数出力機能（FOUT）

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	t_{FOUT}		50			ns
CSCXFOUT ハイ・レベル幅	t_{WKHFO}		$t_{FOUT}/2 - 10$			ns
CSCXFOUT ロウ・レベル幅	t_{WKLFO}		$t_{FOUT}/2 - 10$			ns
CSCXFOUT 立ち上がり時間	t_{KRFO}				10	ns
CSCXFOUT 立ち下がり時間	t_{KFFO}				10	ns

備考 上記スペックは，SSCG による変調を含みません。

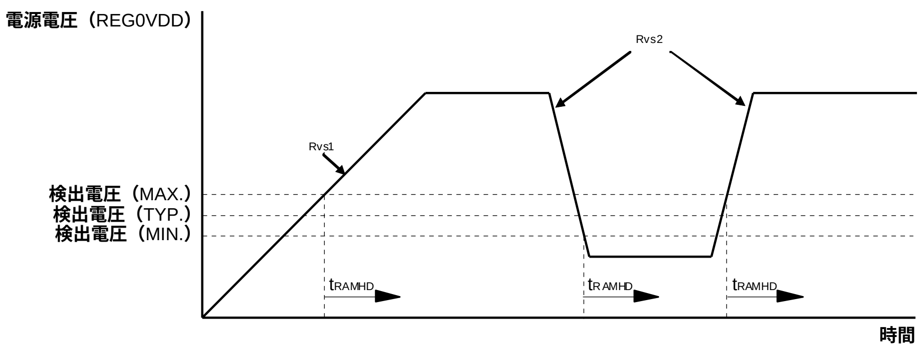


7.11 RAM 保持フラグ特性

表 7-13 RAM 保持フラグ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMHF}		1.8	1.9	2.0	V
電圧の傾き 1	R_{vs1}		0.18		1800.0	V/ms
電圧の傾き 2	R_{vs2}		0.0018		1800.0	V/ms
応答時間[a]	t_{RAMHD}				2	ms

a) 検出電圧を検出してから VLVF.VLVF ビットをセット（1）するまでの時間です。



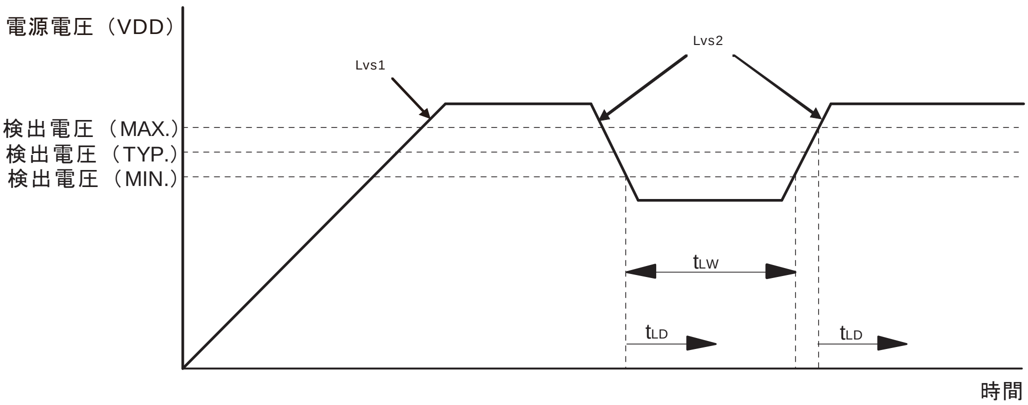
7.12　LVI 回路特性

表 7-14　LVI 回路特性

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
LVI 検出電圧	V_{LVI0}		3.9	4.0	4.1	V
	V_{LVI1}		3.6	3.7	3.8	V
	V_{LVI2}		3.4	3.5	3.6	V
電圧の傾き 1	L_{vs1}		0.18		1800	V/ms
電圧の傾き 2	L_{vs2}		0.0018		1800	V/ms
応答時間[a]	t_{LD}				2.0	ms
REG0VDD 最小幅	t_{LW}		2.0			ms
LVI 安定時間[b]	t_{LVIST}				350	μs

a)　LVI 検出電圧を検出してから割り込み要求信号（INTLVI）または内部リセット信号（LVIRES）を発生するまでの時間です。

b)　LVICNT.LVICNT[2:0] を設定してから , 機能に反映されるまでの時間です。



7.13 A/Dコンバータ特性

7.13.1 12ビット分解能 A/D：ADCA0Im

表 7-15 12 ビット分解能 A/D：ADCA0Im

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	R_{ES0}		12	12	12	bit
変換時間	T_{CON0}	バッファ・アンプ機能無効（ADCA0CTL1.ADCA0BPC ビット = 0）	1.5		10	μs
総合誤差[a]	TOE0				±6.0	LSB
積分非直線性誤差[a]	ILE0				±2.5	LSB
微分非直線性誤差[a]	DLE0				±1.5	LSB
ゼロスケール誤差[a]	ZSE0				±5.0	LSB
フルスケール誤差[a]	FSE0				±5.0	LSB
アナログ入力電圧	V_{AIN0}		A0VREFM		A0VREFP	V
パワーダウン復帰時間[b]					1	μs
A0VDD 電流	AI_{DD0}	ADCA0CTL1.ADCA0BPC ビット = 0（自己診断機能未使用時）		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPC ビット = 0（自己診断機能使用時）		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能未使用時）		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能使用時）		6.2	9.2	mA
	AI_{DD0PD}	パワーダウン時[b]		1		μA
AV0REFP 電流	AI_{REF0}			650		μA
自己診断機能使用時変換結果	TESH0	A0VDD を変換，[c]	4015		4095	LSB
	TESHL03	2/3 A0VDD を変換，[c]	2691	2731	2771	LSB
	TESHL02	1/2 A0VDD を変換，[c]	2018	2048	2078	LSB
	TESHL01	1/3 A0VDD を変換，[c]	1325	1365	1405	LSB
	TESL0	A0VSS を変換，[c]	0		80	LSB

a) 量子化誤差（±0.5LSB）は含みません。
b) パワーダウンとは，ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
c) A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 μA

備考 m = 6-11

7.13.2 12 ビット分解能 A/D：ADCA0I0-ADCA0I11

表 7-16 12 ビット分解能 A/D：ADCA0I0-ADCA0I11（チャネル S/H 機能無効時）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
分解能	RES0SN		12	12	12	bit
変換時間	TCON0SN	バッファ・アンプ機能無効（ADCA0CTL1.ADCA0BPC ビット = 0）	1.5		10	μs
総合誤差[a]	TOE0SN				±6.0	LSB
積分非直線性誤差[a]	ILE0SN				±2.5	LSB
微分非直線性誤差[a]	DLE0SN				±1.5	LSB
ゼロスケール誤差[a]	ZSE0SN				±5.0	LSB
フルスケール誤差[a]	FSE0SN				±5.0	LSB
アナログ入力電圧	VAIN0SN		A0VREFM		A0VREFP	V
パワーダウン復帰時間[b]					1	μs
A0VDD 電流	AIDD0SN	ADCA0CTL1.ADCA0BPCビット = 0（自己診断機能未使用時）		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPCビット = 0（自己診断機能使用時）		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPCビット = 1（自己診断機能未使用時）		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPCビット = 1（自己診断機能使用時）		6.2	9.2	mA
	AIDD0SNPD	パワーダウン時[b]		1		μA
A0VREFP 電流	AIREF0SN			650		μA
自己診断機能使用時変換結果	TESH0SN	A0VDD を変換,[c]	4015		4095	LSB
	TESHL0SN3	2/3 A0VDD を変換,[c]	2691	2731	2771	LSB
	TESHL0SN2	1/2 A0VDD を変換,[c]	2018	2048	2078	LSB
	TESHL0SN1	1/3 A0VDD を変換,[c]	1325	1365	1405	LSB
	TESL0SN	A0VSS を変換,[c]	0		80	LSB

a) 量子化誤差（±0.5LSB）は含みません。
b) パワーダウンとは，ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
c) A0VDD = A0VREFP, A0VSS = A0VREFM, IOH/IOL = 0 μA

表 7-17　12 ビット分解能 A/D：ADCA0I0-ADCA0I5（チャネル S/H 機能有効時）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
分解能	RES0S		12	12	12	bit
変換時間	TCON0S	・バッファ・アンプ機能有効（ADCA0CTL1.ADCA0BPC ビット = 1） ・自己診断機能動作の時間は含まない	1.8		12	μs
チャネル S/H 保存時間[a]			50			μs
総合誤差[b]	TOE0S				±8.0	LSB
積分非直線性誤差[b]	ILE0S				±4.0	LSB
微分非直線性誤差[b]	DLE0S				±2.5	LSB
ゼロスケール誤差[b]	ZSE0S				±6.0	LSB
フルスケール誤差[b]	FSE0S				±6.0	LSB
アナログ入力電圧	VAIN0S		0.2		A0VREFP − 0.2	V
パワーダウン復帰時間[c]					1	μs
A0VDD 電流	AIDD0S	ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能未使用時）		[d]	22.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能使用時）		[d]	24.0	mA
	AIDD0SPD	パワーダウン時[c]		1		μA
A0VREFP 電流	AIREF0S			650		μA
自己診断機能使用時変換結果	TESHL0S3	2/3 A0VDD を変換，[e]	2689	2731	2773	LSB
	TESHL0S2	1/2 A0VDD を変換，[e]	2016	2048	2080	LSB
	TESHL0S1	1/3 A0VDD を変換，[e]	1323	1365	1407	LSB

a)　チャネル S/H 保存時間とは，S/H 回路でサンプリングした電圧を保存できる時間のことです。
b)　量子化誤差（±0.5LSB）は含みません。
c)　パワーダウンとは，ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
d)　AIDDn ＋ 1.72（mA）×（使用するチャネル S/H 回路数）
　　AIDDn の詳細については，表 7-15　12 ビット分解能 A/D：ADCA0Im を参照してください。
e)　A0VDD = A0VREFP, A0VSS = A0VREFM, IOH/IOL = 0 μA

7.13.3 10 ビット分解能 A/D：ADCA0lm

表 7-18 10 ビット分解能 A/D：ADCA0lm

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RESn		10	10	10	bit
変換時間	T_{CONn}		1.5		10	m s
総合誤差[a]	TOEn				±2.0	LSB
積分非直線性誤差[a]	ILEn				±1.5	LSB
微分非直線性誤差[a]	DLEn				±1.0	LSB
ゼロスケール誤差[a]	ZSEn				±1.5	LSB
フルスケール誤差[a]	FSEn				±1.5	LSB
アナログ入力電圧	VAINn		A0VREFM		A0VREFP	V
パワーダウン復帰時間[b]					1	μs
A0VDD 電流	AIDDn	ADCA0CTL1.ADCA0BPC ビット = 0（自己診断機能未使用時）		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPC ビット = 0（自己診断機能使用時）		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能未使用時）		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能使用時）		6.2	9.2	mA
	AI_{DDnPD}	パワーダウン時[b]		1		μA
A0VREFP 電流	AIREFn			500		μA
自己診断機能使用時変換結果	TESHn	A0VDD を変換,[c]	1003		1023	LSB
	TESHLn3	2/3 A0VDD を変換,[c]	673	683	693	LSB
	TESHLn2	1/2 A0VDD を変換,[c]	504	512	520	LSB
	TESHLn1	1/3 A0VDD を変換,[c]	331	341	351	LSB
	TESLn	A0VSS を変換,[c]	0		20	LSB

a) 量子化誤差（±0.5LSB）は含みません。
b) パワーダウンとは，ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
c) A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 μA

備考 m = 6-11

7.13.4 10 ビット分解能 A/D：ADCA0I0-ADCA0I11

表 7-19 10 ビット分解能 A/D：ADCA0I0-ADCA0I11（チャネル S/H 機能無効時）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
分解能	RES0SN		10	10	10	bit
変換時間	T_{CON0SN}	バッファ・アンプ機能無効（ADCA0CTL1.ADCA0BPC ビット = 0）	1.5		10	μs
総合誤差[a]	TOE0SN				±2.0	LSB
積分非直線性誤差[a]	ILE0SN				±2.0	LSB
微分非直線性誤差[a]	DLE0SN				±1.5	LSB
ゼロスケール誤差[a]	ZSE0SN				±1.5	LSB
フルスケール誤差[a]	FSE0SN				±1.5	LSB
アナログ入力電圧	VAIN0SN		A0VREFM		A0VREFP	V
パワーダウン復帰時間[b]					1	μs
A0VDD 電流	AIDD0SN	ADCA0CTL1.ADCA0BPC ビット = 0（自己診断機能未使用時）		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPC ビット = 0（自己診断機能使用時）		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能未使用時）		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPC ビット = 1（自己診断機能使用時）		6.2	9.2	mA
	$AI_{DD0SNPD}$	パワーダウン時[b]		1		μA
A0VREFP 電流	AIREF0SN			500		μA
自己診断機能使用時変換結果	TESH0SN	A0VDD を変換，[c]	1003		1023	LSB
	TESHL0SN3	2/3 A0VDD を変換，[c]	673	683	693	LSB
	TESHL0SN2	1/2 A0VDD を変換，[c]	504	512	520	LSB
	TESHL0SN1	1/3 A0VDD を変換，[c]	331	341	351	LSB
	TESL0SN	A0VSS を変換，[c]	0		20	LSB

a) 量子化誤差（±0.5LSB）は含みません。
b) パワーダウンとは，ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
c) A0VDD = A0VREFP, A0VSS = A0VREFM, IOH/IOL = 0 μA

表 7-20　10 ビット分解能 A/D：ADCA0I0-ADCA0I5（チャネル S/H 機能有効時）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
分解能	RES0S		10	10	10	bit
変換時間	T_{CON0S}	・バッファ・アンプ機能有効（ADCA0CTL1.ADCA0BPC ビット = 1） ・自己診断機能動作の時間は含まない	1.84		12.2	μs
チャネル S/H 保存時間[a]			50			μs
総合誤差[b]	TOE0S				±2.5	LSB
積分非直線性誤差[b]	ILE0S				±2.0	LSB
微分非直線性誤差[b]	DLE0S				±1.5	LSB
ゼロスケール誤差[b]	ZSE0S				±2.0	LSB
フルスケール誤差[b]	FSE0S				±2.0	LSB
アナログ入力電圧	VAIN0S		0.2		A0VREFP − 0.2	V
パワーダウン復帰時間[c]		STOP モード解除後の動作開始			1	μs
A0VDD 電流	AIDD0S	ADCA0CTL1.ADCA0BPCビット = 1（自己診断機能未使用時）		[d]	22.1	mA
		ADCA0CTL1.ADCA0BPCビット = 1（自己診断機能使用時）		[d]	24.0	mA
	AI_{DD0SPD}	パワーダウン時[c]		1		μA
A0VREFP 電流	AIREF0S			500		μA
自己診断機能使用時変換結果	TESHL0S3	2/3 A0VDD を変換，[e]	672	683	694	LSB
	TESHL0S2	1/2 A0VDD を変換，[e]	503	512	521	LSB
	TESHL0S1	1/3 A0VDD を変換，[e]	330	341	352	LSB

a)　チャネル S/H 保存時間とは，S/H 回路でサンプリングした電圧を保存できる時間のことです。
b)　量子化誤差（±0.5LSB）は含みません。
c)　パワーダウンとは，ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
d)　AIDDn ＋ 1.72（mA）×（使用するチャネル S/H 回路数）
　　AIDDn の詳細については，表 7-18　10 ビット分解能 A/D：ADCA0Im を参照してください。
e)　A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 μA

7.13.5 アナログ入力部の等価回路（参考値）

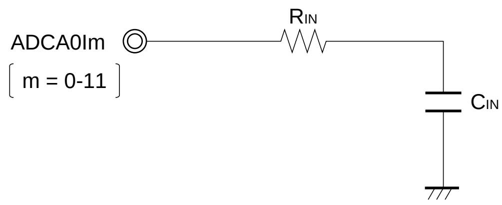


表 7-21 等価回路（参考値）

端　子	条　件		RIN（kΩ）	CIN（pF）
ADCA0I0-ADCA0I5	チャネル S/H 機能使用時		0.7	3.6
	チャネル S/H 機能未使用時	ADCA0CTL1.ADCA0BPC ビット = 0	1.6	12.6
		ADCA0CTL1.ADCA0BPC ビット = 1	1.5	7.1
ADCA0I6-ADCA0I11	ADCA0CTL1.ADCA0BPC ビット = 0		1.2	11.9
	ADCA0CTL1.ADCA0BPC ビット = 1		1.1	7.1

備考　上記値は MAX. 値（参考値）です。

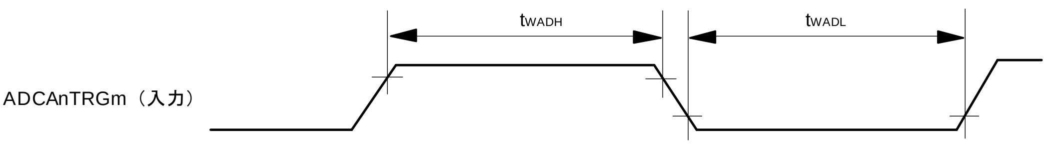
7.13.6 ADCA0TRGmタイミング

表 7-22 ADCA0TRGm タイミング

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
ADCA0TRGm 入力ハイ・レベル幅	t_{WADH}		a			ns
ADCA0TRGm 入力ロウ・レベル幅	t_{WADL}		a			ns

a)　選択されたデジタル・ノイズ・フィルタ設定により異なります。
2Tsmp + 20, 3Tsmp + 20, 4Tsmp +20, 5Tsmp + 20
デジタル・ノイズ・フィルタを通過後の信号が , A/D の PCLK 1 クロックよりも長い幅になるように設定してください。

備考　m = 0-2

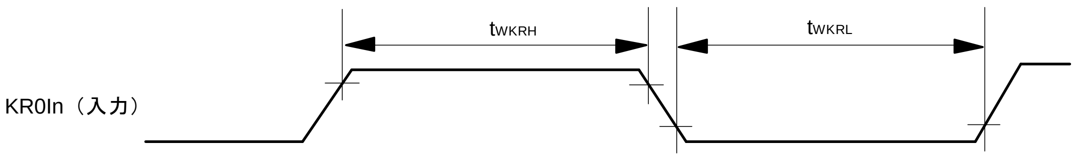


7.14 キー・リターン・タイミング

表 7-23 キー・リターン・タイミング

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
KR0In 入力ハイ・レベル幅	t_{WKRH}		300			ns
KR0In 入力ロウ・レベル幅	t_{WKRL}		300			ns

備考　n = 0-7



8. メモリ・スペック

8.1 コード・フラッシュ特性

表 8-1 コード・フラッシュ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
動作周波数	t_{CPU}	PLL 使用時			80	MHz
		SSCG 使用時			88.32	MHz
電源電圧	VDD		V_{POC}[a]		5.5	V
書き換え回数	C_{WRT}	データ保存 20 年			100	回
プログラミング温度	t_{PRG}	（A）品	− 40		85	℃
		（A1）品	− 40		110	℃
		（A2）品	− 40		125	℃

a) V_{POC}：POC 検出電圧
V_{POC} の詳細については，3.3.3 パワーオン・クリア回路（POC）特性 を参照してください。

注意 出荷品に対する初回書き込み時には，「消去→書き込み」の場合も「書き込みのみ」の場合も，書き換え回数は 1 回となります。
例 （P：書き込み，E：消去）
出荷品―― → P → E → P → E → P: 書き換え回数 3 回
出荷品→ E → P → E → P → E → P: 書き換え回数 3 回

8.2 データ・フラッシュ特性

表 8-2 データ・フラッシュ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
動作周波数	t_{CPU}	PLL 使用時			80	MHz
		SSCG 使用時			88.32	MHz
電源電圧	VDD		V_{POC}[a]		5.5	V
書き換え回数	D_{WRT1}	データ保存 20 年			1000	回
	D_{WRT2}	データ保存 15 年			5000	回
	D_{WRT3}	データ保存 5 年			15000	回
プログラミング温度	t_{PRG}	（A）品	− 40		85	℃
		（A1）品	− 40		110	℃
		（A2）品	− 40		125	℃

a) V_{POC}：POC 検出電圧
V_{POC} の詳細については，3.3.3 パワーオン・クリア回路（POC）特性 を参照してください。

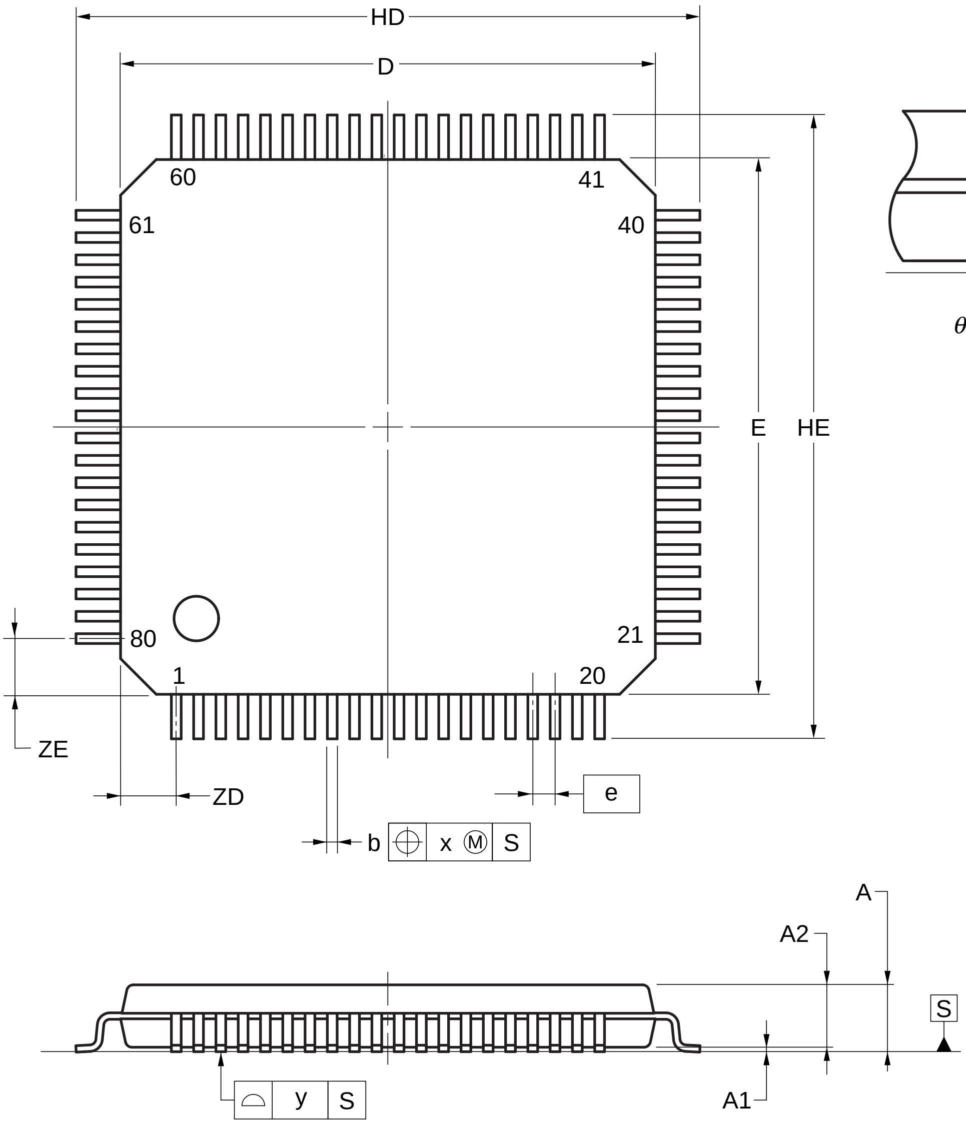
8.3 シリアル書き込みオペレーション特性

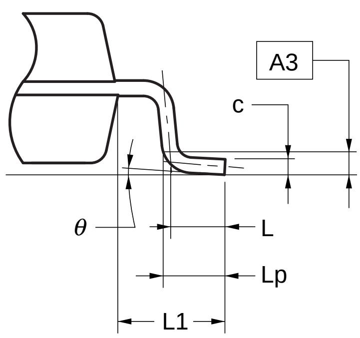
表 8-3 シリアル書き込みオペレーション特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
FLMD0 設定時間	t_{DR}		1			ms
$\overline{\text{RESET}}$ 解除時間	t_{PR}		2			ms
FLMD0 ロウ・レベル場／ハイ・レベル幅	t_{PW}		10		100	μs
FLMD0 立ち上がり時間	t_R				20	ns
FLMD0 立ち下がり時間	t_F				20	ns
プログラミング時間		128 ビット単位			50	μs
消去時間		4 K バイト単位			54	ms

9. 外形図

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)





(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
$\boxed{A3}$	0.25
b	$0.20^{+0.07}_{-0.03}$
c	$0.125^{+0.075}_{-0.025}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3°^{+5°}_{-3°}$
$\boxed{e}$	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P80GK-50-GAK

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

改訂記録	μPD70F3543, 70F3544, 70F3545　データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.02.14	—	初版発行

EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/