

μ PD70F3559, 70F3560, 70F4011, 70F4012

R01DS0002JJ0100

— V850E2/FL4 —

Rev.1.00

ルネサスマイクロコンピュータ

2013.12.12

μ PD70F3559, 70F3560, 70F4011, 70F4012 は、リアルタイム制御向け 32 ビット・シングルチップ・マイクロコントローラ「V850 マイコン」の一製品です。32 ビット CPU, ROM, RAM, 割り込みコントローラ, タイマ, シリアル・インタフェース, A/D コンバータ, DMA コントローラ, CAN コントローラなどを 1 チップに集積しています。

詳しい機能説明などは下記ユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E2/Fx4 ハードウェア編 : R01UH0013JJ

V850E2M アーキテクチャ編 : R01US0001JJ

用 途

○自動車電装分野

目次

1.	概要	16
1.1	端子名称について	16
1.1.1	兼用機能端子	16
1.1.2	電源端子	16
1.2	端子グループ	17
1.3	通常測定条件	17
1.3.1	AC 特性の測定条件	17
2.	絶対最大定格	18
2.1	電源電圧	18
2.2	ポート電圧	19
2.3	ポート電流	20
2.4	温度特性	21
3.	電源スペック	22
3.1	電源接続の要件	22
3.1.1	グランド端子の定義	22
3.1.2	電源端子の定義	22
3.2	電源供給領域の定義	22
3.3	電源電圧	23
3.3.1	AWO 電源内蔵レギュレータ特性	24
3.3.2	Iso0/Iso1 電源内蔵レギュレータ特性	25
3.3.3	パワーオン・クリア回路 (POC) 特性	26
3.4	電源電圧の電源立ち上げ/電源立ち下げ順序 (使用条件)	27
3.4.1	条件 1	27
3.4.2	条件 2	28
4.	クロック発生回路	29
4.1	CPU クロック周波数	29
4.2	周辺クロック周波数	29
4.3	発振回路特性	29
4.3.1	メイン発振回路 (MainOsc) 特性	29
4.3.2	サブ発振回路 (SubOsc) 特性	30
4.3.3	内蔵発振器特性	31
4.4	PLL 特性	31
5.	入出力スペック	32
5.1	ポート特性	32
5.1.1	PgE0	32
5.1.2	PgE1	33
5.1.3	PgB0	34
5.1.4	PgA0, PgA1	35
5.2	入出力容量	35

6.	電源電流	36
7.	周辺機能スペック	38
7.1	リセット・タイミング	38
7.2	NMI タイミング	38
7.3	外部割り込みタイミング	38
7.4	FLMD0 タイミング	39
7.5	タイマ・タイミング	40
7.6	マルチプレクス・バス・タイミング	43
7.6.1	MEMC0CLK 非同期タイミング (リード/ライト・サイクル)	44
7.6.2	MEMC0CLK 同期タイミング (リード/ライト・サイクル)	45
7.7	CSI タイミング	50
7.7.1	CSIG タイミング (マスタ・モード)	50
7.7.2	CSIG タイミング (スレーブ・モード)	53
7.7.3	CSIH タイミング (マスタ・モード)	57
7.7.4	CSIH タイミング (スレーブ・モード)	63
7.8	UARTE タイミング	67
7.9	CAN (FCN) タイミング	67
7.10	FlexRay タイミング (FlexRay コントローラ内蔵製品のみ)	68
7.11	I ² C タイミング	70
7.12	周波数出力機能 (FOUT)	72
7.13	RAM 保持フラグ特性	72
7.14	電圧コンパレータ特性	73
7.15	LVI 回路特性	74
7.16	A/D コンバータ特性	75
7.16.1	12 ビット分解能 A/D : ADCAnIm	75
7.16.2	12 ビット分解能 A/D : ADCA0I0-ADCA0I5	76
7.16.3	10 ビット分解能 A/D : ADCAnIm	78
7.16.4	10 ビット分解能 A/D : ADCA0I0-ADCA0I5	79
7.16.5	アナログ入力部の等価回路 (参考値)	81
7.16.6	ADCAnTRGm タイミング	81
7.17	キー・リターン・タイミング	82
8.	メモリ・スペック	83
8.1	コード・フラッシュ特性	83
8.2	データ・フラッシュ特性	83
8.3	シリアル書き込みオペレーション特性	84
9.	外形図	85

仕様概要

(1/3)

愛称		FL4-1.5M	FL4-2M	
品名		μPD70F3559 μPD70F4011	μPD70F3560 μPD70F4012	
内蔵メモリ	命令フラッシュ	1.5 MB	2 MB	
	データ・フラッシュ	64 KB		
	RAM	112 KB	144 KB	
	バックアップ RAM	16 KB		
外部メモリ・インタフェース (MEMC)		あり		
CPU	CPU システム		V850E2M	
	FPU		あり	
	CPU 周波数		80 MHz max.	
	システム保護機能 (SPF)	MPU	あり	
		SRP	あり	
		TSU	あり	
		PPU	あり	
命令キャッシュ		8 KB/ 2 way associative (4 KB/ way)		
DMA		8 チャンネル		
動作クロック	メイン・クロック発振回路 (MainOsc)		4 MHz ~ 20 MHz	
	低速内蔵発振回路 (LS IntOsc)		240 kHz typ.	
	高速内蔵発振 (HS IntOsc)		8 MHz typ.	
	サブクロック発振回路 (SubOsc)		32768 Hz typ.	
	PLL0 (SSCG0)		80 MHz max.	
	PLL1		80 MHz max.	
	PLL2 (SSCG2) (μPD70F4011-70F4012 のみ)		80 MHz max.	
I/O ポート		158		
A/D コンバータ (ADCA)		1 × 24 チャンネル, 12 ビット, 6 S & H 1 × 24 チャンネル, 12 ビット		

愛 称		FL4-1.5M	FL4-2M
品 名		μPD70F3559 μPD70F4011	μPD70F3560 μPD70F4012
タイマ	タイマ・アレイ・ユニット A (TAUA), 16 ビット	1 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット B (TAUB), 16 ビット	1 ユニット × 16 チャンネル	
	タイマ・アレイ・ユニット C (TAUC), 16 ビット	6 ユニット × 8 チャンネル	
	タイマ・アレイ・ユニット J (TAUJ), 32 ビット	2 ユニット × 4 チャンネル	
	PWM 解析 (PMCA)	1 ユニット (64 チャンネル)	
	PWM 遅延 (DLYA)	1 ユニット (64 チャンネル)	
	リアルタイム・クロック (RTCA) キャリブレーション	1 ユニット	
	ウインドウ・ウォッチドッグ・タイマ (WDTA)	2 チャンネル	
	OS タイマ (OSTM)	1 チャンネル	
	モータ制御 (TAPA)	1 チャンネル	
	エンコーダ・タイマ (ENCA)	1 チャンネル	
シリアル・インタフェース	CAN (FCN)	3 チャンネル (64 メッセージ・バッファ) 1 チャンネル (128 メッセージ・バッファ)	
	Diagnostic CAN (DCN)	1 チャンネル (128 メッセージ・バッファ)	
	LIN マスタ・コントローラ付き (LM) UART (URTE)	12 チャンネル	
	CSI (CSIG)	2 チャンネル	
	FIFO 付き CSI (CSIH)	3 チャンネル	
	I ² C (IICB)	1 チャンネル	
	FlexRay [®]	μPD70F3559-70F3560: - μPD70F4011-70F4012: 1 ユニット (2ch)	
割り込み	マスクابل	外部	16
		内部	μPD70F3559-70F3560: 194 μPD70F4011-70F4012: 198
	ノンマスクابل (NMI)	外部	1
		内部	2
その他の機能	パワーオン・クリア	あり	
	電圧コンパレータ	2 チャンネル	
	クロック・モニタ (CLMA)	メイン・クロック, 高速内蔵発振, PLL0 監視可能	
	ランダム・ナンバ・ジェネレータ (RNGA)	1 チャンネル	
	データ CRC (DCRA)	1 チャンネル	
	キー割り込み (KR)	8 チャンネル	
	ウエイクアップ信号出力	あり	
	補助周波数出力 (FOUT)	あり	
	オンチップ・デバッグ	あり	

(3/3)

愛 称	FL4-1.5M	FL4-2M
品 名	μPD70F3559 μPD70F4011	μPD70F3560 μPD70F4012
電源	3.3 電源電圧を参照してください	
動作温度	2.4 温度特性を参照してください	
パッケージ	208 ピン QFP	

オーダー情報

オーダー名称	パッケージ	内蔵コード・フラッシュ	内蔵ローカルRAM	品質水準	備考
μ PD70F3559AM1GDA-FAD-AX	208 ピン・プラスチック QFP (ファインピッチ) (28 × 28)	1.5 M バイト	112 K バイト	(A)	FlexRay コントローラ なし製品
μ PD70F3559AM1GDA1-FAD-AX				(A1)	
μ PD70F3559AM1GDA2-FAD-AX				(A2)	
μ PD70F3560AM1GDA-FAD-AX		2 M バイト	144 K バイト	(A)	
μ PD70F3560AM1GDA1-FAD-AX				(A1)	
μ PD70F3560AM1GDA2-FAD-AX				(A2)	
μ PD70F4011AM1GDA-FAD-AX	208 ピン・プラスチック QFP (ファインピッチ) (28 × 28)	1.5 M バイト	112 K バイト	(A)	FlexRay コントローラ 内蔵製品
μ PD70F4011AM1GDA1-FAD-AX				(A1)	
μ PD70F4011AM1GDA2-FAD-AX				(A2)	
μ PD70F4012AM1GDA-FAD-AX		2 M バイト	144 K バイト	(A)	
μ PD70F4012AM1GDA1-FAD-AX				(A1)	
μ PD70F4012AM1GDA2-FAD-AX				(A2)	

備考 1. 各品質水準の動作周囲温度は次のとおりです。

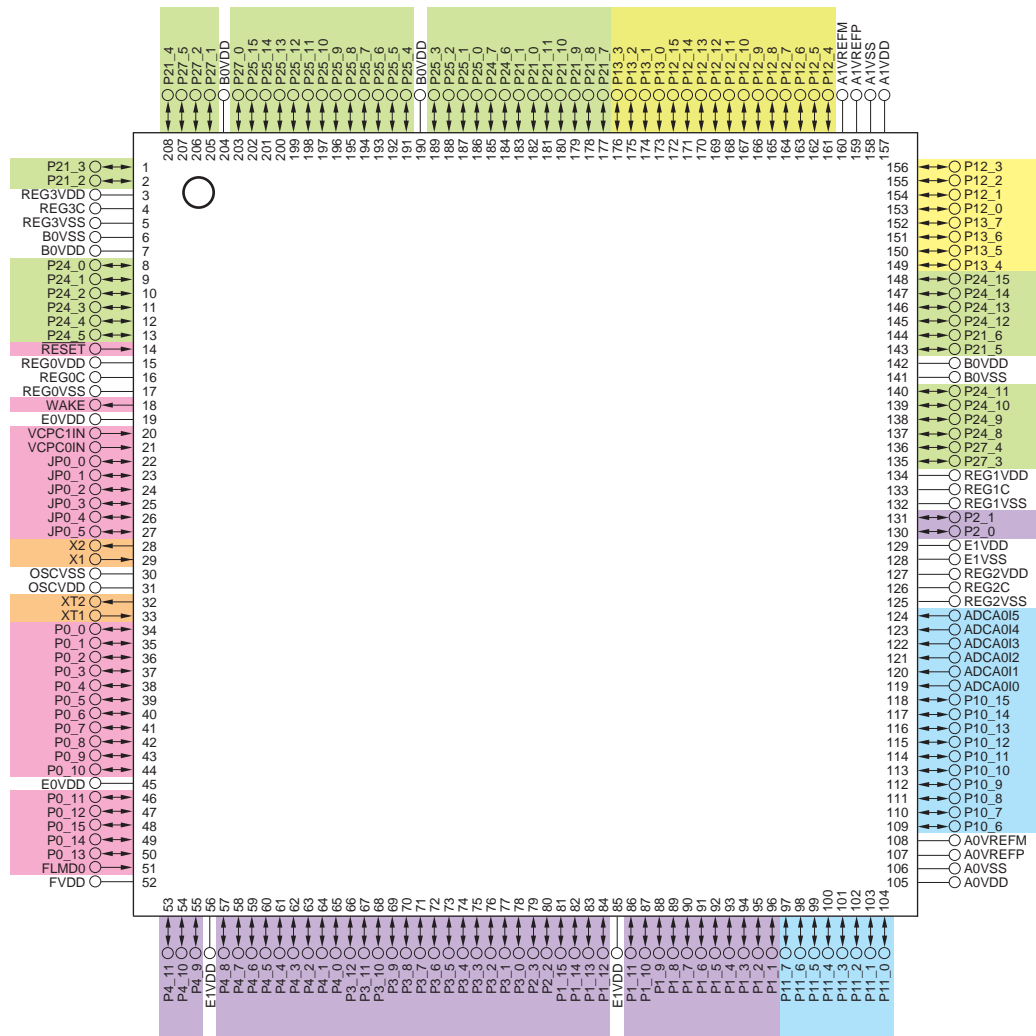
- (A) 品 : - 40 ~ + 85 °C
- (A1) 品 : - 40 ~ + 110 °C
- (A2) 品 : - 40 ~ + 125 °C

2. オーダー名称末尾「-AX」, 「-A」の製品は、鉛フリー製品です。

端子接続図 (Top View)

(1) 208ピン・プラスチック QFP (ファインピッチ) (28 × 28)

• 端子接続図



備考 電源供給元の電源端子

- : E0VDD
- : OSCVDD
- : E1VDD
- : A0VDD
- : B0VDD
- : A1VDD

• ピン配置

(1/6)

ピン番号	名 称
1	P21_3/INTP11/MEMC0BEN0/CSIH2DCS/CSIH2SO/IICB0SCL/TAUC2O14
2	P21_2/INTP10/MEMC0BEN1/CSIH2SI/IICB0SDA/TAUC2O13
3	REG3VDD
4	REG3C
5	REG3VSS
6	B0VSS
7	B0VDD
8	P24_0/URTE8TX
9	P24_1/INTP8/URTE8RX
10	P24_2/FCN5RX/URTE9TX
11	P24_3/INTP9/URTE9RX/FCN5TX
12	P24_4/URTE0TX
13	P24_5/INTP10/URTE0RX
14	RESET
15	REG0VDD
16	REG0C
17	REG0VSS
18	WAKE
19	E0VDD
20	VCPC1IN
21	VCPC0IN
22	JP0_0/INTP0/VCPC1OUT/TAUJ0I0/TAUJ0O0/DCUTDI
23	JP0_1/INTP1/VCPC0OUT/TAUJ0I1/TAUJ0O1/DCUTDO
24	JP0_2/INTP2/CSCXFOUT/TAUJ0I2/TAUJ0O2/DCUTCK
25	JP0_3/INTP3/TAUJ0I3/TAUJ0O3/DCUTMS
26	JP0_4/DCUTRST
27	JP0_5/NMI/RTCA0OUT/DCURDY
28	X2
29	X1
30	OSCVSS
31	OSCVDD
32	XT2
33	XT1
34	P0_0/TAUJ1I0/TAUJ1O0/CSIG4SSI/ADCA0TRG0/INTP0/RESETOUT
35	P0_1/TAUJ1I1/TAUJ1O1/CSIG4DCS/CSIG4SO/URTE2RX/INTP1/TAUA0O1/FLMD1
36	P0_2/TAUJ1I2/TAUJ1O2/CSIG4SI/RTCA0OUT/ADCA0TRG2/URTE2TX/INTP2/TAUA0O2/MODE0
37	P0_3/TAUJ1I3/TAUJ1O3/CSIG4SC/ADCA0TRG1/INTP3/TAPA0ESO/MODE1
38	P0_4/FCN0TX/INTP11
39	P0_5/FCN0RX/INTP12

ピン番号	名称
40	P0_6/FCN1RX/URTE11TX/KR011/CSIH2CSS1/NMI
41	P0_7/URTE11RX/FCN1TX/KR012/CSIH2CSS2/INTP4
42	P0_8/FCN2RX/URTE10TX/KR013/CSIH2CSS3/INTP5/TAUA005/IICB0SDA
43	P0_9/URTE10RX/FCN2TX/KR014/CSIH2CSS4/INTP6/TAUA006/IICB0SCL
44	P0_10/FCN3RX/URTE11TX/INTP9
45	E0VDD
46	P0_11/URTE11RX/FCN3TX/INTP10
47	P0_12/TAUJ010/TAUJ000/KR010/INTP8/CSIG0SSI/CSCXFOUT
48	P0_15/TAUJ013/TAUJ003/KR017/CSIH2CSS7/TAUB1014/CSIG0SC
49	P0_14/TAUJ012/TAUJ002/KR016/CSIH2CSS6/FCN5RX/TAUB1013/CSIG0DCS/CSIG0SO
50	P0_13/TAUJ011/TAUJ001/KR015/CSIH2CSS5/INTP7/FCN5TX/CSIG0SI
51	FLMD0
52	FVDD
53	P4_11/TAUB1115/TAUB1015/CSIH0CSS7
54	P4_10/TAUB1114/TAUB1014/CSIG4RYI/INTP15/CSIH0CSS6/URTE8RX
55	P4_9/TAUB1113/TAUB1013/CSIG0RYO/CSIH0CSS5/URTE8TX
56	E1VDD
57	P4_8/TAUB1111/TAUB1011/CSIG4SC/KR010/CSIH0CSS4/ENCA0ZIN
58	P4_7/INTP4/TAUB1010/URTE11RX/CSIG4SO/KR011/CSIH0CSS3/ENCA0BIN
59	P4_6/TAUB119/TAUB109/CSIG4SI/URTE11TX/KR012/CSIH0CSS2/ENCA0AIN
60	P4_5/TAUB117/TAUB107/CSIG0SC/KR013/CSIH0CSS1/ENCA0TIN1
61	P4_4/INTP2/TAUB106/URTE10RX/CSIG0SO/CSIH0SSI/CSIH0CSS0/ENCA0TIN0
62	P4_3/TAUB115/TAUB105/CSIG0SI/URTE10TX/CSIH0RYI/CSIH0RYO/INTP10
63	P4_2/TAUB113/TAUB103/TAUA015/TAUA0015/CSIH0SC/FCN3RX/URTE2TX
64	P4_1/TAUB112/TAUB102/TAUA014/TAUA0014/CSIH0DCS/CSIH0SO/URTE2RX/FCN3TX
65	P4_0/TAUB111/TAUB101/TAUA013/TAUA0013/CSIH0SI/URTE7TX
66	P3_12/TAUC2015/TAUA012/TAUA0012/URTE7RX/URTE6TX/INTP14
67	P3_11/TAUC2014/TAUA011/TAUA0011/URTE6RX/INTP13
68	P3_10/TAUC2013/TAUA010/TAUA0010/FCN5RX/URTE5TX
69	P3_9/TAUC2011/TAUA009/TAUA009/URTE5RX/FCN5TX/INTP12/URTE3TX
70	P3_8/TAUC2010/TAUA008/TAUA008/INTP11/URTE6TX/URTE3RX
71	P3_7/TAUC209/TAUA007/TAUA007/URTE7RX/CSIG0SI/URTE3TX
72	P3_6/TAUC207/TAUA006/TAUA006/CSIG0DCS/CSIG0SO
73	P3_5/TAUC206/TAUA005/TAUA005/KR014/CSIG0SC
74	P3_4/TAUC205/TAUA004/TAUA004/KR015/CSIG0RYI/CSIG0RYO
75	P3_3/TAUC203/TAUA003/TAUA003/KR016
76	P3_2/TAUC202/TAUA002/TAUA002/KR017
77	P3_1/TAUC201/TAUA001/TAUA001
78	P3_0/TAUJ111/TAUJ101/TAUA010/TAUA000
79	P2_3
80	P2_2/URTE7RX/INTP1/CSIH1CSS7/TAUJ112/TAUJ102

ピン番号	名称
81	P1_15/TAUA015/TAUA0015/URTE5RX/FLX0TXENB ^a /CSIH1CSS4/INTP9
82	P1_14/TAUA014/TAUA0014/FLX0STPWT ^a /URTE5TX/CSIH1CSS3/INTP8
83	P1_13/TAUA013/TAUA0013/URTE4RX/FLX0TXDB ^a /CSIH1CSS2/INTP7
84	P1_12/TAUA012/TAUA0012/FLX0RXDB ^a /URTE4TX/CSIH1CSS1/INTP6
85	E1VDD
86	P1_11/TAUA011/TAUA0011/URTE3RX/FLX0TXDA ^a /CSIH1CSS0/INTP5
87	P1_10/TAUA010/TAUA0010/FLX0RXDA ^a /URTE3TX/CSIH1RYI/CSIH1RYO/INTP4
88	P1_9/TAUA009/TAUA009/INTP3/FLX0TXENA ^a /CSIH1SC/URTE4RX/FCN2TX
89	P1_8/TAUA008/TAUA008/TAUC4014/CSIH1DCS/CSIH1SO/FCN2RX/URTE4TX
90	P1_7/TAUA007/TAUA007/TAUC4013/CSIH1SI/TAPA0WN/FCN0RX/CSIH2CSS1
91	P1_6/TAUA006/TAUA006/TAUC4010/CSIH1SSI/TAPA0WP/CSIH2SSI/CSIH2CSS0
92	P1_5/TAUA005/TAUA005/TAUC4009/ENCA0TIN1/TAPA0VN/CSIH2RYI/CSIH2RYO
93	P1_4/TAUA004/TAUA004/TAUC4006/ENCA0TIN0/TAPA0VP/CSIH2SC
94	P1_3/TAUA003/TAUA003/TAUC4005/ENCA0ZIN/TAPA0UN/CSIH2DCS/CSIH2SO
95	P1_2/TAUA002/TAUA002/TAUC4002/ENCA0BIN/TAPA0UP/CSIH2SI/FCN1TX
96	P1_1/TAUA001/TAUA001/TAUC4001/ENCA0AIN/FCN1RX/FCN0TX
97	P11_7/ADCA0I23
98	P11_6/ADCA0I22
99	P11_5/ADCA0I21
100	P11_4/ADCA0I20
101	P11_3/ADCA0I19
102	P11_2/ADCA0I18
103	P11_1/ADCA0I17
104	P11_0/ADCA0I16
105	A0VDD
106	A0VSS
107	A0VREFP
108	A0VREFM
109	P10_6/ADCA0I6
110	P10_7/ADCA0I7
111	P10_8/ADCA0I8
112	P10_9/ADCA0TRG0/ADCA0I9
113	P10_10/ADCA0TRG1/ADCA0I10
114	P10_11/ADCA0TRG2/ADCA0I11
115	P10_12/ADCA0I12
116	P10_13/ADCA0I13
117	P10_14/ADCA0I14
118	P10_15/ADCA0I15
119	ADCA0I0/ADCA0I0
120	ADCA0I1/ADCA0I1
121	ADCA0I2/ADCA0I2

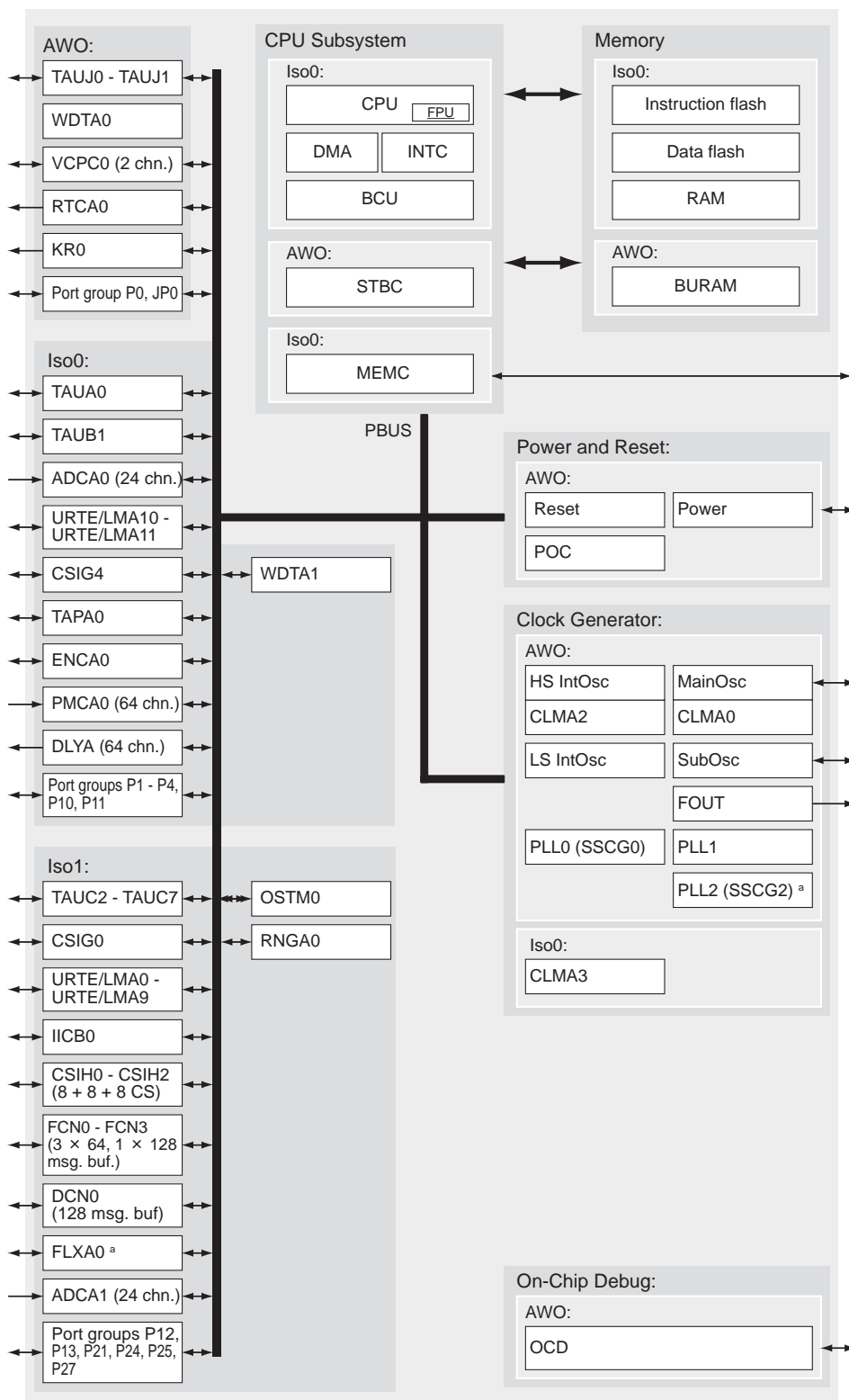
ピン番号	名称
122	ADCA0I3/ADCA0I3
123	ADCA0I4/ADCA0I4
124	ADCA0I5/ADCA0I5
125	REG2VSS
126	REG2C
127	REG2VDD
128	E1VSS
129	E1VDD
130	P2_0/URTE6TX/CSIH1CSS5/INTP10
131	P2_1/URTE6RX/URTE7TX/INTP0/CSIH1CSS6/TAUJ1I3/TAUJ1O3
132	REG1VSS
133	REG1C
134	REG1VDD
135	P27_3/INTP3
136	P27_4/INTP4
137	P24_8/TAUC7O1
138	P24_9/TAUC7O2
139	P24_10/TAUC7O5
140	P24_11/TAUC7O6
141	B0VSS
142	B0VDD
143	P21_5/INTP13/MEMC0RD/CSIH2RYI/CSIH2RYO/URTE9TX/TAUC3O2
144	P21_6/INTP14/MEMC0CLK/CSIH2SSI/CSIH2CSS0/URTE9RX/TAUC3O5
145	P24_12/TAUC7O9
146	P24_13/TAUC7O10
147	P24_14/TAUC7O13
148	P24_15/TAUC7O14
149	P13_4/ADCA1I20
150	P13_5/ADCA1I21
151	P13_6/ADCA1I22
152	P13_7/ADCA1I23
153	P12_0/ADCA1I0
154	P12_1/ADCA1I1
155	P12_2/ADCA1I2
156	P12_3/ADCA1I3
157	A1VDD
158	A1VSS
159	A1VREFP
160	A1VREFM
161	P12_4/ADCA1I4

ピン番号	名 称
162	P12_5/ADCA1I5
163	P12_6/ADCA1I6
164	P12_7/ADCA1I7
165	P12_8/ADCA1I8
166	P12_9/ADCA1TRG0/ADCA1I9
167	P12_10/ADCA1TRG1/ADCA1I10
168	P12_11/ADCA1TRG2/ADCA1I11
169	P12_12/ADCA1I12
170	P12_13/ADCA1I13
171	P12_14/ADCA1I14
172	P12_15/ADCA1I15
173	P13_0/ADCA1I16
174	P13_1/ADCA1I17
175	P13_2/ADCA1I18
176	P13_3/ADCA1I19
177	P21_7/MEMC0WAIT/CSIH2CSS1/URTE0TX/TAUC3O6
178	P21_8/INTP15/CSIH2CSS2/URTE0RX/PMCA0MSEL0/TAUC3O9
179	P21_9/MEMC0CS2/CSIH2CSS3/PMCA0MSEL1/TAUC3O10
180	P21_10/MEMC0CS3/CSIH2CSS4/URTE1RX/PMCA0MSEL2/TAUC3O13
181	P21_11/MEMC0CS4/CSIH2CSS5/URTE1TX/TAUC3O14
182	P21_0
183	P21_1
184	P24_6/URTE1TX
185	P24_7/INTP11/URTE1RX
186	P25_0/MEMC0AD0/INTP6/URTE6RX/TAUC6O1
187	P25_1/MEMC0AD1/URTE6TX/TAUC6O2
188	P25_2/MEMC0AD2/TAUC6O5
189	P25_3/MEMC0AD3/CSIG4SI/URTE7TX/TAUC6O6
190	B0VDD
191	P25_4/MEMC0AD4/INTP7/URTE7RX/CSIG4SO/TAUC6O9
192	P25_5/MEMC0AD5/CSIG4SC/TAUC6O10
193	P25_6/MEMC0AD6/TAUC6O13
194	P25_7/MEMC0AD7/TAUC6O14
195	P25_8/MEMC0AD8/TAUC5O1
196	P25_9/MEMC0AD9/TAUC5O2
197	P25_10/MEMC0AD10/CSIH2CSS6/TAUC5O5
198	P25_11/MEMC0AD11/CSIH2CSS7/TAUC5O6
199	P25_12/MEMC0AD12/IICB0SDA/TAUC5O9
200	P25_13/MEMC0AD13/IICB0SCL/TAUC5O10
201	P25_14/MEMC0AD14/INTP5/URTE5RX/FCN3TX/TAUC5O13

ピン番号	名 称
202	P25_15/MEMC0AD15/FCN3RX/URTE5TX/TAUC5O14
203	P27_0/INTP0/MEMC0A16/ADCA1TRG2/PMCA0MSEL0
204	B0VDD
205	P27_1/INTP1/MEMC0A17/ADCA1TRG1/PMCA0MSEL1
206	P27_2/INTP2/MEMC0A18/ADCA1TRG0/PMCA0MSEL2
207	P27_5/INTP5/MEMC0ASTB
208	P21_4/INTP12/MEMC0WR/CSIH2SC/TAUC3O1

a) FlexRay コントローラ内蔵製品のみ

内部ブロック図



^{a)} μ PD70F4011, 70F4012のみ有効です。

1. 概要

1.1 端子名称について

1.1.1 兼用機能端子

周辺機能	マクロ名に続く数字	機能名	末尾の数字
マクロ名の略称	同一周辺モジュールの連番 ^{a)}	周辺マクロ端子の機能名	同一端子名の連番 ^{a)}

a) 1つしかない場合は省略

例

- TAUA0I0, TAUA1I5
- URTE0TX, URTE0RX, URTE1TX, URTE1RX
- CSIH0SO, CSIH0SI, CSIH0SC, CSIH0SSI, CSIH0RYI, CSIH0RYO, CSIH0CSS0, CSIH1SO, CSIH1SI, CSIH1SC, CSIH1SSI, CSIH1RYI, CSIH1RYO, CSIH1CSS0

1.1.2 電源端子

機能	端子名に続く数字	電源の種類
略称	各機能の連番 ^{a)}	VDD または VSS

a) 1つしかない場合は省略

例

- E0VDD, REG0VSS

略 称	機 能
C	内部用電源
REG	内部レギュレータ用電源
OSC	発振回路用電源
F	フラッシュ・モジュール用電源
E	ポート用電源
B	ポート用電源
A	アナログ・モジュール用電源 (A/D コンバータなど)

1.2 端子グループ

略号	ポート・グループの電源	関連ポート／関連端子
PgE0	E0VDD, E0VSS	関連ポート : JP0, P0 関連端子 : RESET, FLMD0, WAKE, VCPC0IN, VCPC1IN
PgE1	E1VDD, E1VSS	関連ポート : P1, P2, P3, P4
PgB0	B0VDD, B0VSS	関連ポート : P21, P24, P25, P27
PgOSC	OSCVDD, OSCVSS	関連端子 : X1, X2, XT1, XT2
PgA0	A0VDD, A0VSS	関連ポート : P10, P11, ADC0Im
PgA1	A1VDD, A1VSS	関連ポート : P12, P13

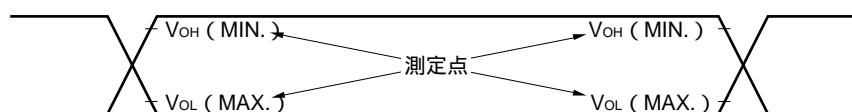
1.3 通常測定条件

1.3.1 AC特性の測定条件

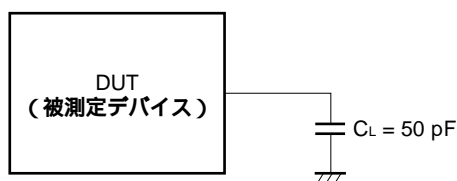
(1) ACテスト入力測定点



(2) ACテスト出力測定点



(3) 負荷条件



注意 回路構成により負荷容量が 50 pF を越える場合は、バッファを入れるなどして、このデバイスの負荷容量を 50 pF 以下にしてください。

2. 絶対最大定格

- 注意**
1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
 2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
 3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

2.1 電源電圧

表 2-1 VDD

項目	略号	条件	定格	単位
システム用電源電圧	FVDD		-0.5 ~ +6.0	V
	OSCVDD		-0.5 ~ +6.0	V
	REG0VDD		-0.5 ~ +6.0	V
	REG1VDD		-0.5 ~ +6.0	V
	REG2VDD		-0.5 ~ +6.0	V
	REG3VDD		-0.5 ~ +6.0	V
ポート用電源電圧	E0VDD		-0.5 ~ +6.0	V
	E1VDD		-0.5 ~ +6.0	V
	B0VDD		-0.5 ~ +6.0	V
A/D コンバータ用電源電圧	A0VDD		-0.5 ~ +6.0	V
	A0VREFP	$A0VREFP \leq A0VDD + 0.3V$	-0.3 ~ +6.0	V
	A1VDD		-0.5 ~ +6.0	V
	A1VREFP	$A1VREFP \leq A1VDD + 0.3V$	-0.3 ~ +6.0	V

表 2-2 VSS

項目	略号	条件	定格	単位
システム用電源電圧	OSCVSS		- 0.5 ~ + 0.5	V
	REG0VSS		- 0.5 ~ + 0.5	V
	REG1VSS		- 0.5 ~ + 0.5	V
	REG2VSS		- 0.5 ~ + 0.5	V
	REG3VSS		- 0.5 ~ + 0.5	V
ポート用電源電圧	E0VSS		- 0.5 ~ + 0.5	V
	E1VSS		- 0.5 ~ + 0.5	V
	B0VSS		- 0.5 ~ + 0.5	V
A/D コンバータ用電源電圧	A0VSS		- 0.5 ~ + 0.5	V
	A0VREFM	$A0VREFM \leq A0VDD + 0.3V$	- 0.3 ~ + 6.0	V
	A1VSS		- 0.5 ~ + 0.5	V
	A1VREFM	$A1VREFM \leq A1VDD + 0.3V$	- 0.3 ~ + 6.0	V

2.2 ポート電圧

表 2-3 ポート入力電圧

項目	端子グループ ^a	略号	条件	定格	単位
入力電圧 ^b	PgE0	Vi	$E0VDD \leq 5.5 V$	- 0.5 ~ $E0VDD + 0.5$	V
	PgE1		$E1VDD \leq 5.5 V$	- 0.5 ~ $E1VDD + 0.5$	V
	PgB0		$B0VDD \leq 5.5 V$	- 0.5 ~ $B0VDD + 0.5$	V
	PgOSC		$OSCVDD \leq 5.5 V$	- 0.5 ~ $OSCVDD + 0.5$	V
	PgA0			$A0VDD + 0.3$	V
	PgA1			$A1VDD + 0.3$	V

- a) 端子グループ欄は、V850E2/Fx4 シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。
- b) 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2.3 ポート電流

表 2-4 ハイ・レベル・ポート出力電流

項目	端子グループ ^a	略号	条件	定格 (MAX.)	単位
ハイ・レベル出力電流	PgE0	IoH	1 端子	- 10	mA
			全端子合計	- 50	mA
	PgE1		1 端子	- 10	mA
			全端子合計	- 150	mA
	PGB0		1 端子	- 10	mA
			全端子合計	- 200	mA
	PgA0	1 端子	- 10	mA	
		全端子合計	- 25	mA	
	PgA1	1 端子	- 10	mA	
		全端子合計	- 25	mA	

a) 端子グループ欄は、V850E2/Fx4 シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。

表 2-5 ロウ・レベル・ポート出力電流

項目	端子グループ ^a	略号	条件	定格 (MAX.)	単位
ロウ・レベル出力電流	PgE0	IoL	1 端子	10	mA
			全端子合計	50	mA
	PgE1		1 端子	10	mA
			全端子合計	150	mA
	PGB0		1 端子	10	mA
			全端子合計	150	mA
	PgA0	1 端子	10	mA	
		全端子合計	25	mA	
	PgA1	1 端子	10	mA	
		全端子合計	25	mA	

a) 端子グループ欄は、V850E2/Fx4 シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。

2.4 温度特性

表 2-6 温度特性

項目	略号	条件	定格	単位
保存温度	T _{stg}		- 65 + 150	°C
動作周囲温度	T _A	(A) 品	- 40 ~ + 85	°C
		(A1) 品	- 40 ~ + 110	°C
		(A2) 品	- 40 ~ + 125	°C

3. 電源スペック

3.1 電源接続の要件

3.1.1 グランド端子の定義

このデータ・シートでは、グランド端子を次のように定義します。
VSS = OSCVSS = REGnVSS = EnVSS = BnVSS = AnVSS = 0 V

詳細な端子名は次のようになります。

- REGnVSS : REG0VSS, REG1VSS, REG2VSS, REG3VSS
- AnVSS : A0VSS, A1VSS
- EnVSS : E0VSS, E1VSS
- BnVSS : B0VSS

3.1.2 電源端子の定義

このデータ・シートでは、電源端子を次のように定義します。

- EnVDD, BnVDD, FVDD, REGnVDD, OSCVDD, AnVDD, AnVREFM, AnVREFP

なお、詳細な端子名は次のようになります。

- EnVDD : E0VDD, E1VDD
- BnVDD : B0VDD
- REGnVDD : REG0VDD, REG1VDD, REG2VDD, REG3VDD
- AnVDD : A0VDD, A1VDD
- AnVREFM : A0VREFM, A1VREFM
- AnVREFP : A0VREFP, A1VREFP

3.2 電源供給領域の定義

V850E2/FL4は、次に示す電源供給領域で構成されています。

- AWO (Always-On エリア)
- Iso0 (Isolated エリア0)
- Iso1 (Isolated エリア1)

に、各電源供給領域の電源電圧と電源端子の関係を示します。

表 3-1 電源供給領域のグラウンド, 電源端子

電源供給領域	供給	端子
AWO	CPU 用電源供給	REG0VDD, REG0VSS, REG0C
	ポート用電源供給	E0VDD
	その他電源供給	OSCVDD, OSCVSS, FVDD
Iso0	CPU 用電源供給	REG1VDD, REG1VSS, REG1C REG2VDD, REG2VSS, REG2C REG3VDD, REG3VSS, REG3C
	ポート用電源供給	E1VDD, E1VSS
	その他電源供給	A0VDD, A0VSS, A0VREFP, A0VREFM
Iso1	CPU 用電源供給	REG1VDD, REG1VSS, REG1C REG2VDD, REG2VSS, REG2C REG3VDD, REG3VSS, REG3C
	ポート用電源供給	B0VDD, B0VSS
	その他電源供給	A1VDD, A1VSS, A1VREFP, A1VREFM

3.3 電源電圧

表 3-2 電源電圧 (動作条件)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	FVDD		V_{POC}^a		5.5	V
	OSCVDD		V_{POC}^a		5.5	V
	REG0VDD		V_{POC}^a		5.5	V
	REG1VDD		V_{POC}^a		5.5	V
	REG2VDD		V_{POC}^a		5.5	V
	REG3VDD		V_{POC}^a		5.5	V
ポート用電源電圧	E0VDD		V_{POC}^a		5.5	V
	E1VDD		V_{POC}^a		5.5	V
	B0VDD		V_{POC}^a		5.5	V
A/D コンバータ用電源電圧	A0VDD	12 ビット分解能	4.5		5.5	V
		10 ビット分解能	3		5.5	V
	A0VREFP	$A0VREFP - A0VREFM > A0VDD/2$	A0VDD		A0VDD	V
	A1VDD	12 ビット分解能	4.5		5.5	V
		10 ビット分解能	3		5.5	V
	A1VREFP	$A1VREFP - A1VREFM > A1VDD/2$	A1VDD		A1VDD	V

a) V_{POC} : POC 検出電圧
 V_{POC} の詳細については, 3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

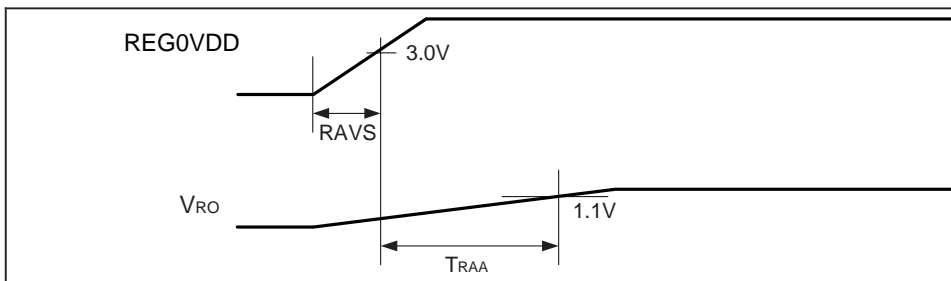
3.3.1 AWO 電源内蔵レギュレータ特性

表 3-3 AWO 電源内蔵レギュレータ特性

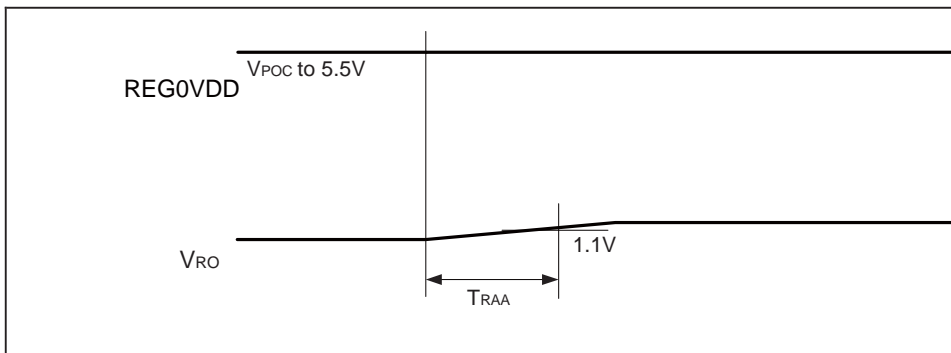
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REG0VDD		V_{POC}^a		5.5	V
出力電圧	V_{RO}		1.1	1.2	1.3	V
REG0C 端子のキャパシタンス	REG0C		3.29	4.7	6.11	μF
電圧勾配	RAVS	0 V to 3.0 V			1.8	V/μs
出力電圧安定時間	T_{RAA}	REG0VDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード解除後			0.5	ms

a) V_{POC} : POC 検出電圧
 V_{POC} の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性特性を参照してください。

電源立ち上げ中



DEEPSTOPモード解除後



3.3.2 Iso0/Iso1 電源内蔵レギュレータ特性

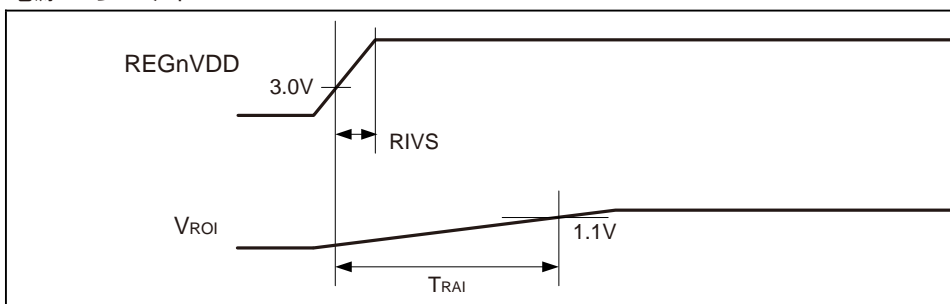
表 3-4 Iso0/Iso1 電源内蔵レギュレータ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REGnVDD		V_{POC}^a		5.5	V
出力電圧	V_{ROI}	REGnVDD の変化量 : 1 V/ms	1.1	1.2	1.3	V
REGnC 端子のキャパシタンス	REGnC		3.29	4.7	6.11	μF
電圧勾配	RIVS	3.0 V to 5.5 V			5.6	V/ms
出力電圧安定時間	T_{RAI}	REGnVDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード解除後			0.5	ms

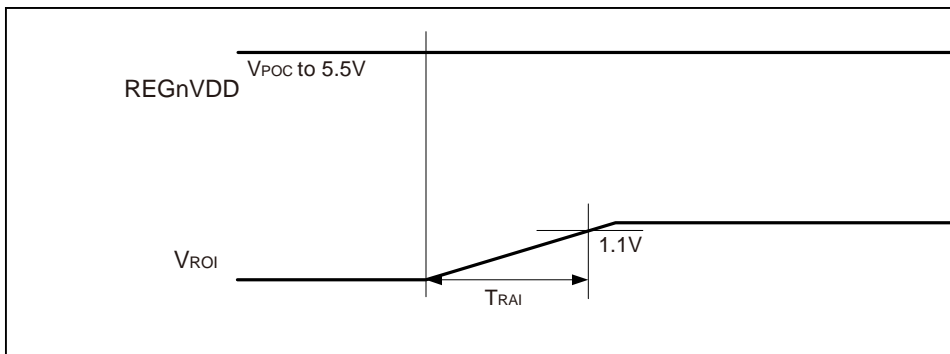
a) V_{POC} : POC 検出電圧
 V_{POC} の詳細については, 3.3.3 パワーオン・クリア回路 (POC) 特性特性を参照してください。

備考 n = 1-3

電源立ち上げ中



DEEPSTOPモード解除後

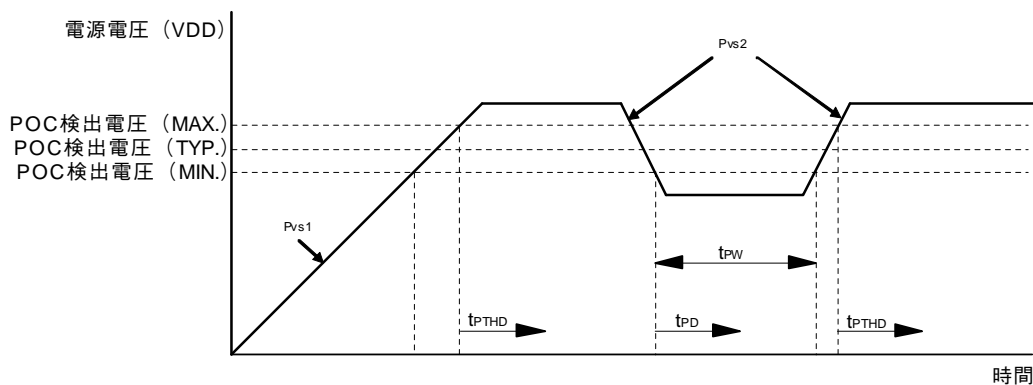


3.3.3 パワーオン・クリア回路 (POC) 特性

表 3-5 パワーオン・クリア回路 (POC) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC 検出電圧	V _{POC}		2.8	2.9	3.0	V
電圧の傾き 1	P _{VS1}		0.18		1800	V/ms
電圧の傾き 2	P _{VS2}		0.0018		1800	V/ms
応答時間 1 ^a	t _{PTH}				2	ms
応答時間 2 ^b	t _{PD}				2	ms
VDD 最小幅	t _{PW}		0.2			ms

- a) POC 検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。
- b) POC 検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。



3.4 電源電圧の電源立ち上げ／電源立ち下げ順序（使用条件）

3.4.1 条件1

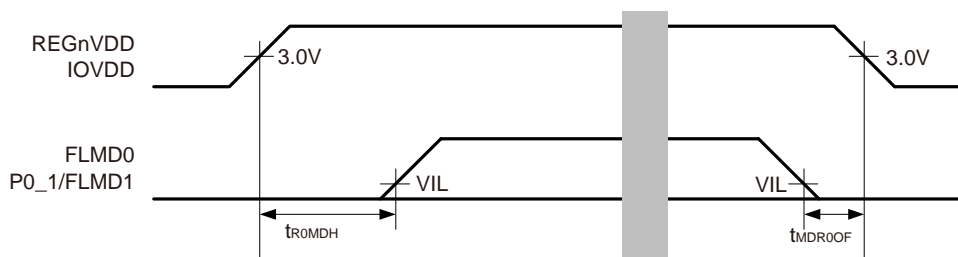
RESET 端子未使用

通常動作モード

表 3-6 電源立ち上げ / 電源立ち下げ順序（通常動作モード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
REG0VDD, IOVDD ↑ → FLMD0, 1 (≦ VIL) ホールド時間	t _{ROMDH}		2			ms
FLMD0, 1 (≦ VIL) ↓ → REG0VDD, IOVDD ↓	t _{MDR0OF}		0			ms

備考 n = 0-3



注意 IOVDD は、以下の電源入力を示しています。
A0VDD, A1VDD, B0VDD, E0VDD, E1VDD, FVDD, CSCVDD

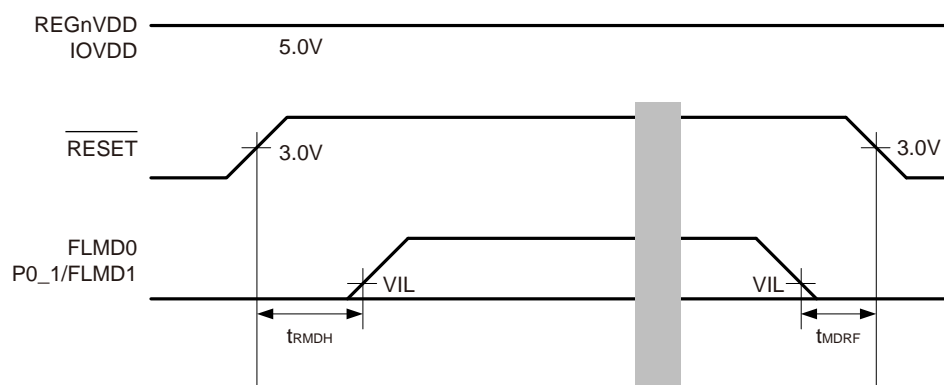
3.4.2 条件 2

RESET 端子使用

シリアル・プログラミング・モード

表 3-7 電源立ち上げ/電源立ち下げ順序 (シリアル・プログラミング・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET ↑ → FLMD0, 1 (VIL) ホールド時間	t _{RMDH}		2			ms
FLMD0, 1, MODE0, 1 (≤ VIL) ↓ → RESET ↓	t _{MDRF}		0			ms



- 注意
- ・ IOVDD は、以下の電源入力を示しています。
 - ・ A0VDD, A1VDD, B0VDD, E1VDD, FVDD, OSCVDD
 - ・ MODE0, MODE1 端子は、それぞれ P0_2, P0_3 端子に割り当てています。

4. クロック発生回路

4.1 CPUクロック周波数

表 4-1 CPU クロック周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f _{CPU}	PLL 使用時			80	MHz
		SSCG 使用時			88.32	MHz

4.2 周辺クロック周波数

表 4-2 周辺クロック周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
周辺クロック周波数	f _{PERI}				48 ^a	MHz

a) 周辺機能により、最大動作周波数は異なります。詳細については、V850E2/Fx4 ユーザーズ・マニュアルハードウェア編を参照してください。

4.3 発振回路特性

4.3.1 メイン発振回路 (MainOsc) 特性

表 4-3 メイン発振回路 (MainOsc) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン発振回路 (MainOsc) クロック周波数	f _{MOSC}	セラミック発振子または水晶振動子	4		20	MHz
MainOsc 安定時間	f _{MSTB}			a		μs

a) この値は、MOSCST レジスタ設定値に依存します。

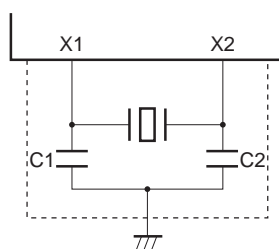


図 4-1 推奨メイン発振回路 (MainOsc)

- 注意**
1. 外部クロック入力は禁止です。
 2. プリント基板をレイアウトする際には、図中の破線の部分を次のように配線してください。
 - 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる信号線に接近させない。
 - 発振回路のコンデンサの接地点は、常に REG0VSS および OSCVSS と同電位になるようにする。
 - 大電流が流れるグランド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
 3. C1, C2 の値は、ご使用のセラミック発振子または水晶振動子 によるため、発振子／振動子メーカーとご相談の上、決定してください。

4.3.2 サブ発振回路 (SubOsc) 特性

表 4-4 サブ発振回路 (SubOsc) 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
サブ発振回路 (SubOsc) クロック周波数	f _{SOSC}	水晶振動子		32.768		kHz
SubOsc 安定時間	f _{SSTB}			a		s

a) この値は、SOSCST レジスタ設定値に依存します。

4.3.3 内蔵発振器特性

表 4-5 内蔵発振器特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵発振回路 (低速 IntOsc) クロック周波数	f _{RL}	<ul style="list-style-type: none"> Deep Stop Mode 以外または, Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 0 	220.8	240	259.2	kHz
	f _{RLLP}	<ul style="list-style-type: none"> Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 0 	216	240	264	kHz
高速内蔵発振回路 (高速 IntOsc) クロック周波数	f _{RH}	<ul style="list-style-type: none"> Deep Stop Mode 以外または, Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 0 	7.2	8	8.8	MHz
	f _{RHLP}	<ul style="list-style-type: none"> Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 0 	6.64	8	8.8	MHz
高速内蔵発振回路 (高速 IntOsc) 安定時間	t _{RHSTB}				19	μs

備考 n = 0, 1

4.4 PLL 特性

表 4-6 PLL 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _{Xn}		4		20	MHz
出力周波数	f _{XXn}	PLL モード	25		80	MHz
		SSCG モード	22.40		88.32	MHz
ロック時間	t _{LCKPn}	PLL モード			650	μs
	t _{LCKSn}	SSCG モード			1300	μs

備考 FlexRay コントローラなし製品 : n = 0, 1

FlexRay コントローラ内蔵製品 : n = 0-2

5. 入出力スペック

5.1 ポート特性

5.1.1 PgE0

表 5-1 PgE0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 E0VDD		E0VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 E0VDD		E0VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 E0VDD		E0VDD + 0.3	V
		シュミット 4 (SHMT4) (E0VDD = V _{P0C} ~ 3.0 V)	0.84 E0VDD		E0VDD + 0.3	V
		シュミット 4 (SHMT4) (E0VDD = 3.0 ~ 5.5 V)	0.8 E0VDD		E0VDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	- 0.5		0.3 E0VDD	V
		シュミット 1 (SHMT1)	- 0.5		0.3 E0VDD	V
		シュミット 2 (SHMT2)	- 0.5		0.2 E0VDD	V
		シュミット 4 (SHMT4) (E0VDD = V _{P0C} ~ 3.0 V)	- 0.5		0.4 E0VDD	V
		シュミット 4 (SHMT4) (E0VDD = 3.0 ~ 5.5 V)	- 0.5		0.5 E0VDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 5 mA ^a	E0VDD - 1.0			V
		I _{OH} = - 100 μA	E0VDD - 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 5 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V _H	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R _U		20	40	100	kΩ
プルダウン抵抗	R _D		20	40	100	kΩ
ハイ・レベル入力リーク 電流	I _{LIH}	V _I = E0VDD			0.5	μA
ロウ・レベル入力リーク 電流	I _{LIL}	V _I = 0 V			- 0.5	μA
ハイ・レベル出力リーク 電流	I _{LOH}	V _O = E0VDD			0.5	μA
ロウ・レベル出力リーク 電流	I _{LOL}	V _O = 0 V			- 0.5	μA
出力周波数	f _o	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間 (出力)	t _{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間 (出力)	t _{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

^{a)} PgE0 の合計電流値として、I_{OH} は - 20 mA、I_{OL} は 20 mA を越えないでください。

5.1.2 PgE1

表 5-2 PgE1

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 E1VDD		E1VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 E1VDD		E1VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 E1VDD		E1VDD + 0.3	V
		シュミット 4 (SHMT4) (E1VDD = V _{P0C} ~ 3.0 V)	0.84 E1VDD		E1VDD + 0.3	V
		シュミット 4 (SHMT4) (E1VDD = 3.0 ~ 5.5 V)	0.8 E1VDD		E1VDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	- 0.5		0.3 E1VDD	V
		シュミット 1 (SHMT1)	- 0.5		0.3 E1VDD	V
		シュミット 2 (SHMT2)	- 0.5		0.2 E1VDD	V
		シュミット 4 (SHMT4) (E1VDD = V _{P0C} ~ 3.0 V)	- 0.5		0.4 E1VDD	V
		シュミット 4 (SHMT4) (E1VDD = 3.0 ~ 5.5 V)	- 0.5		0.5 E1VDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 5 mA ^a	E1VDD - 1.0			V
		I _{OH} = - 100 μA	E1VDD - 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 5 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V _H	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R _U		20	40	100	kΩ
プルダウン抵抗	R _D		20	40	100	kΩ
ハイ・レベル入力リーク 電流	I _{LIH}	V _I = E1VDD			0.5	μA
ロウ・レベル入力リーク 電流	I _{LIL}	V _I = 0 V			- 0.5	μA
ハイ・レベル出力リーク 電流	I _{LOH}	V _O = E1VDD			0.5	μA
ロウ・レベル出力リーク 電流	I _{LOL}	V _O = 0 V			- 0.5	μA
出力周波数	f _o	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間 (出力)	t _{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間 (出力)	t _{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

a) PgE1 の合計電流値として、I_{OH} は - 150 mA、I_{OL} は 150 mA を越えないください。
PgE1 で出力バッファのポート・ドライブ強度を Fast mode (ハイ・ドライブ強度) に設定した場合、使用可能な PgE1 は 8 本です。また、Slow mode に設定した場合、使用可能な PgE1 は 5 本です。

5.1.3 PgB0

表 5-3 PgB0

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 B0VDD		B0VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 B0VDD		B0VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 B0VDD		B0VDD + 0.3	V
		シュミット 4 (SHMT4) (B0VDD = V _{P0C} ~ 3.0 V)	0.84 B0VDD		B0VDD + 0.3	V
		シュミット 4 (SHMT4) (B0VDD = 3.0 ~ 5.5 V)	0.8 B0VDD		B0VDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	- 0.5		0.3 B0VDD	V
		シュミット 1 (SHMT1)	- 0.5		0.3 B0VDD	V
		シュミット 2 (SHMT2)	- 0.5		0.2 B0VDD	V
		シュミット 4 (SHMT4) (B0VDD = V _{P0C} ~ 3.0 V)	- 0.5		0.4 B0VDD	V
		シュミット 4 (SHMT4) (B0VDD = 3.0 ~ 5.5 V)	- 0.5		0.5 B0VDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 5 mA ^a	B0VDD - 1.0			V
		I _{OH} = - 100 μA	B0VDD - 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 5 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V _H	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R _U		20	40	100	kΩ
プルダウン抵抗	R _D		20	40	100	kΩ
ハイ・レベル入力リーク 電流	I _{LH}	V _I = B0VDD			0.5	μA
ロウ・レベル入力リーク 電流	I _{LIL}	V _I = 0 V			- 0.5	μA
ハイ・レベル出力リーク 電流	I _{LOH}	V _O = B0VDD			0.5	μA
ロウ・レベル出力リーク 電流	I _{LOL}	V _O = 0 V			- 0.5	μA
出力周波数	f _o	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間 (出力)	t _{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間 (出力)	t _{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

a) PgB0 の合計電流値として、I_{OH} は - 150 mA、I_{OL} は 150 mA を越えないください。
PgB0 で出力バッファのポート・ドライブ強度を Fast mode (ハイ・ドライブ強度) に設定した場合、使用可能な PgB0 は 8 本です (メモリ・インタフェース (MEMO) 関連端子使用時は除く)。また、Slow mode に設定した場合、使用可能な PgB0 は 5 本です。

5.1.4 PgA0, PgA1

表 5-4 PgA0, PgA1

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 AnVDD		AnVDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	- 0.5		0.3 AnVDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 1 mA ^a	AnVDD - 1.0			V
		I _{OH} = - 100 μA	AnVDD - 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 1 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
ハイ・レベル入力リーク電流	I _{LIH}	V _I = AnVDD			0.2	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			- 0.2	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = AnVDD			0.2	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			- 0.2	μA
出力周波数	f _o				25	MHz
立ち上がり時間 (出力)	t _{KRP}				15	ns
立ち下がり時間 (出力)	t _{KFP}				15	ns

a) PgAn の合計電流値として、I_{OH} は - 20 mA、I_{OL} は 20 mA を越えないでください。

備考 n = 0, 1

5.2 入出力容量

表 5-5 入出力容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	f _x = 1 MHz 被測定ピン以外は 0 V			15	pF
入出力容量	C _{IO}				15	pF
出力容量	C _O				15	pF

6. 電源電流

(μPD70F3559/μPD70F3560の場合)

項目	電源 ^{a)}		条件 ^{b)}						規格値					単位
	ISO0	ISO1	高速 IntOsc	Main OSC	Sub OSC	PLL	CPU 周波数	周辺機能	Min.	Typ.	(A)	(A1)	(A2)	
RUN モード	ON	ON	ON	ON	ON	ON	80	動作	-	126	164	165	166	mA
	ON	ON	ON	ON	ON	ON	80	停止	-	73	-	-	-	mA
	ON	ON	ON	OFF	ON	OFF	8	動作	-	28	47	48	48	mA
	ON	ON	ON	OFF	ON	OFF	8	停止	-	19	-	-	-	mA
	ON	OFF	ON	ON	ON	ON	80	動作	-	94	126	127	128	mA
	ON	OFF	ON	ON	ON	ON	80	停止	-	72	-	-	-	mA
	ON	OFF	ON	OFF	ON	OFF	8	動作	-	22	40	41	41	mA
	ON	OFF	ON	OFF	ON	OFF	8	停止	-	19	-	-	-	mA
HALT モード	ON	ON	ON	ON	ON	ON	80	動作	-	118	155	156	157	mA
	ON	ON	ON	ON	ON	ON	80	停止	-	71	-	-	-	mA
	ON	ON	ON	OFF	ON	OFF	8	動作	-	27	47	47	47	mA
	ON	ON	ON	OFF	ON	OFF	8	停止	-	19	-	-	-	mA
STOP モード	ON	ON	OFF	OFF	OFF	OFF	-	停止	-	0.7	19	20	22	mA
	ON	OFF	OFF	OFF	OFF	OFF	-	停止	-	0.6	19	19	21	mA
DEEPSTOP モード	OFF	OFF	OFF	OFF	OFF	OFF	-	停止	-	0.06	0.86	0.88	1.1	mA
	OFF	OFF	ON	OFF	OFF	OFF	-	停止	-	0.60	2.1	2.3	2.5	mA
	OFF	OFF	ON	OFF	ON	OFF	-	停止	-	0.60	2.1	2.3	2.5	mA

a) AWO は常時 ON

b) 低速 IntOSC は常時 ON

- 備考**
- ON : 電力供給オン状態
OFF : 電力供給オフ状態
 - SSCG の場合、周波数 = 80 MHz は平均周波数です。
 - 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
 - RUN モード時の電流には、セルフ・プログラミング時および EEPROM[®] エミュレーション実行時の電流を含みます。
 - 動作周波数が 8 MHz の場合、FlexRay コントローラの電流は含みません。
 - TYP. 値は参考値です。
TYP. 値の条件を次に示します。
 - T_A = 25 °C
 - REGnVDD = FVDD = OSCVDD = EmVDD = B0VDD = AmVDD = AmVREFP = 5.0 V (n = 0-3, m = 0-1).
 - REGnVSS = OSCVSS = EmVSS = B0VSS = AmVSS = AmVREFM = 0V (n = 0-3, m = 0-1)

(μPDF70F4011/μPDF70F4012の場合)

項目	電源 ^a		条件 ^b						規格値					単位
	ISO0	ISO1	高速 IntOsc	Main OSC	Sub OSC	PLL	CPU 周波数	周辺 機能	Min.	Typ.	(A)	(A1)	(A2)	
RUN モード	ON	ON	ON	ON	ON	ON	80	動作	-	144	184	186	187	mA
	ON	ON	ON	ON	ON	ON	80	停止	-	76	-	-	-	mA
	ON	ON	ON	OFF	ON	OFF	8	動作	-	28	47	48	48	mA
	ON	ON	ON	OFF	ON	OFF	8	停止	-	19	-	-	-	mA
	ON	OFF	ON	ON	ON	ON	80	動作	-	104	138	139	140	mA
	ON	OFF	ON	ON	ON	ON	80	停止	-	74	-	-	-	mA
	ON	OFF	ON	OFF	ON	OFF	8	動作	-	22	40	41	41	mA
HALT モード	ON	ON	ON	ON	ON	ON	80	動作	-	137	178	180	181	mA
	ON	ON	ON	ON	ON	ON	80	停止	-	74	-	-	-	mA
	ON	ON	ON	OFF	ON	OFF	8	動作	-	27	47	47	47	mA
STOP モード	ON	ON	OFF	OFF	OFF	OFF	-	停止	-	0.7	19	20	22	mA
	ON	OFF	OFF	OFF	OFF	OFF	-	停止	-	0.6	19	19	21	mA
DEEPSTOP モード	OFF	OFF	OFF	OFF	OFF	OFF	-	停止	-	0.06	0.86	0.88	1.1	mA
	OFF	OFF	ON	OFF	OFF	OFF	-	停止	-	0.60	2.1	2.3	2.5	mA
	OFF	OFF	ON	OFF	ON	OFF	-	停止	-	0.60	2.1	2.3	2.5	mA

a) AWO は常時 ON

b) 低速 IntOSC は常時 ON

- 備考**
- ON : 電力供給オン状態
OFF : 電力供給オフ状態
 - SSCG の場合、周波数 = 80 MHz は平均周波数です。
 - 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
 - RUN モード時の電流には、セルフ・プログラミング時および EEPROM[®] エミュレーション実行時の電流を含みます。
 - 動作周波数が 8 MHz の場合、FlexRay コントローラの電流は含みません。
 - TYP. 値は参考値です。
TYP. 値の条件を次に示します。
 - ・ TA = 25 °C
 - ・ REGnVDD = FVDD = OSCVDD = EmVDD = B0VDD = AmVDD = AmVREFP = 5.0 V (n = 0-3, m = 0-1).
 - ・ REGnVSS = OSCVSS = EmVSS = B0VSS = AmVSS = AmVREFM = 0 V (n = 0-3, m = 0-1)

7. 周辺機能スペック

7.1 リセット・タイミング

表 7-1 リセット・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET 入力ハイ・レベル幅	tWRSH	高速 IntOSC 発振時	450			ns
		高速 IntOSC 停止時	4.7			μs
RESET 入力ロウ・レベル幅	tWRSL	高速 IntOSC 発振時 電源オン時を除く	450			ns
		高速 IntOSC 停止時	4.7			μs



7.2 NMI タイミング

表 7-2 NMI タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ・レベル幅	tWNIH		300			ns
NMI 入力ロウ・レベル幅	tWNIL		300			ns

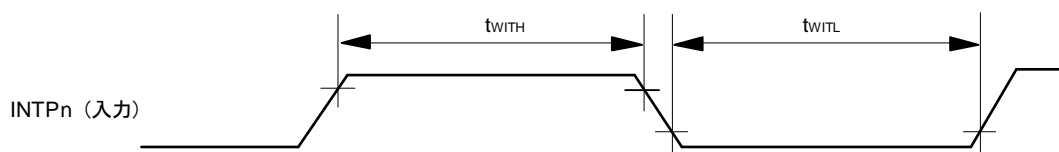


7.3 外部割り込みタイミング

表 7-3 外部割り込みタイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
INTPn 入力ハイ・レベル幅	tWITH		300			ns
INTPn 入力ロウ・レベル幅	tWITL		300			ns

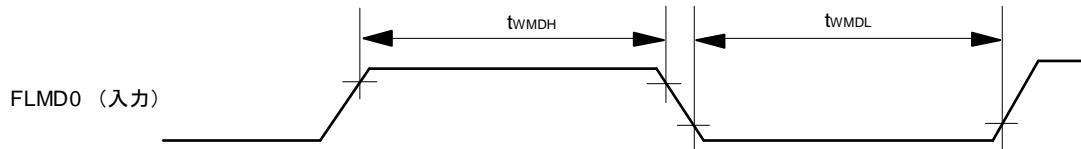
備考 n = 0-15



7.4 FLMD0 タイミング

表 7-4 FLMD0 タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 入力ハイ・レベル幅	t _{WMDH}		300			ns
FLMD0 入力ロウ・レベル幅	t _{WMDL}		300			ns



7.5 タイマ・タイミング

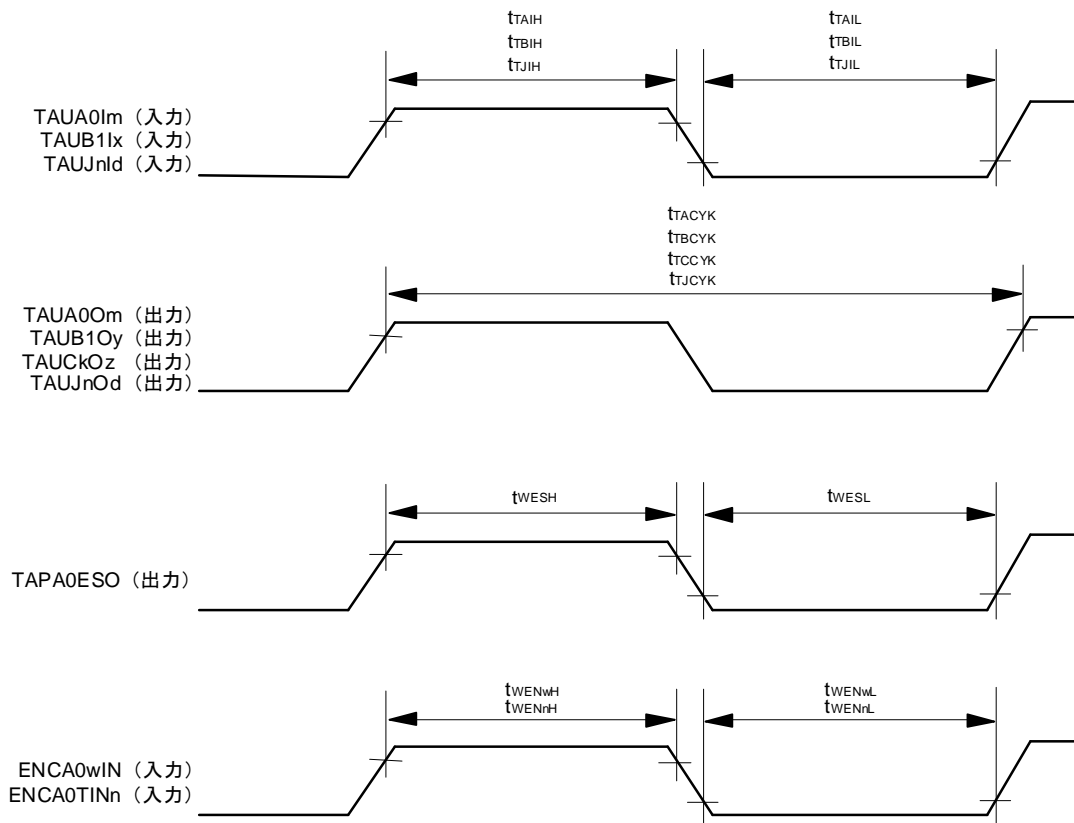
表 7-5 タイマ・タイミング (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUA0Im 入力ハイ・レベル幅	tTAIH	m = 0-15, デジタル・ノイズ・フィルタ使用	a			ns
		m = 0-15, デジタル・ノイズ・フィルタをバイパス	b			ns
TAUA0Im 入力ロウ・レベル幅	tTAIL	m = 0-15, デジタル・ノイズ・フィルタ使用	a			ns
		m = 0-15, デジタル・ノイズ・フィルタをバイパス	b			ns
TAUB1Ix 入力ハイ・レベル幅	tTBiH	x = 1-3, 5, 7, 9, 11, 13-15 デジタル・ノイズ・フィルタ使用	a			ns
		x = 1-3, 5, 7, 9, 11, 13-15 デジタル・ノイズ・フィルタをバイパス	b			ns
TAUB1Ix 入力ロウ・レベル幅	tTBiL	x = 1-3, 5, 7, 9, 11, 13-15 デジタル・ノイズ・フィルタ使用	a			ns
		x = 1-3, 5, 7, 9, 11, 13-15 デジタル・ノイズ・フィルタをバイパス	b			ns
TAUJnId 入力ハイ・レベル幅	tTJH	n = 0, 1, d = 0-3 アナログ・ノイズ・フィルタ使用 TAUJn に低速 IntOSC 以外使用時	300			ns
		n = 0, 1, d = 0-3 アナログ・ノイズ・フィルタ使用 または アナログ・ノイズ・フィルタをバイパス TAUJn に低速 IntOSC 使用時	4.7			μs
		n = 0, 1, d = 0-3 アナログ・ノイズ・フィルタをバイパス TAUJn に低速 IntOSC 以外使用時	b			ns
TAUJnId 入力ロウ・レベル幅	tTJL	n = 0, 1, d = 0-3 アナログ・ノイズ・フィルタ使用 TAUJn に低速 IntOSC 以外使用時	300			ns
		n = 0, 1, d = 0-3 アナログ・ノイズ・フィルタ使用 または アナログ・ノイズ・フィルタをバイパス TAUJn に低速 IntOSC 使用時	4.7			μs
		n = 0, 1, d = 0-3 アナログ・ノイズ・フィルタをバイパス TAUJn に低速 IntOSC 以外使用時	b			ns
TAUA0Om 出力周期	tTACYK	m = 0-15			20	MHz
TAUB1Oy 出力周期	tTB CYK	y = 1-3, 5-7, 9-11, 13-15			20	MHz
TAUCkOz 出力周期	tTCCYK	k = 2-7, k = 2 のとき z = 1-3, 5-7, 9, 10, 11, 13-15 k = 3-7 のとき z = 1, 2, 5, 6, 9, 10, 13, 14			20	MHz

表 7-5 タイマ・タイミング (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUJnOd 出力周期	tTJCYK	n = 0, 1, d = 0-3			20	MHz
TAPA0ESO 入カハイ・レベル幅	twESH		300			ns
TAPA0ESO 入カロー・レベル幅	twESL		300			ns
ENCA0wIN ハイ・レベル幅	twENwH	w = A, B, Z デジタル・ノイズ・フィルタ使用	a			ns
		w = A, B, Z デジタル・ノイズ・フィルタをバイパス	b			ns
ENCA0wIN ロウ・レベル幅	twENwL	w = A, B, Z デジタル・ノイズ・フィルタ使用	a			ns
		w = A, B, Z デジタル・ノイズ・フィルタをバイパス	b			ns
ENCA0TINn ハイ・レベル幅	twENnH	n = 0, 1 デジタル・ノイズ・フィルタ使用	a			ns
		n = 0, 1 デジタル・ノイズ・フィルタをバイパス	b			ns
ENCA0TINn ロウ・レベル幅	twENnL	n = 0, 1 デジタル・ノイズ・フィルタ使用	a			ns
		n = 0, 1 デジタル・ノイズ・フィルタをバイパス	b			ns

- a) 選択されたデジタル・ノイズ・フィルタ設定により異なります。
 $2T_{SMP} + 20$, $3T_{SMP} + 20$, $4T_{SMP} + 20$, $5T_{SMP} + 20$ のいずれかの値
 T_{SMP} : ノイズ除去サンプリング・クロック周期
 デジタル・ノイズ・フィルタを通過後の信号が、タイマ・マクロの PCLK 1 クロックよりも長い幅になるように設定してください。
- b) タイマ・マクロの PCLK 1 クロック + 20

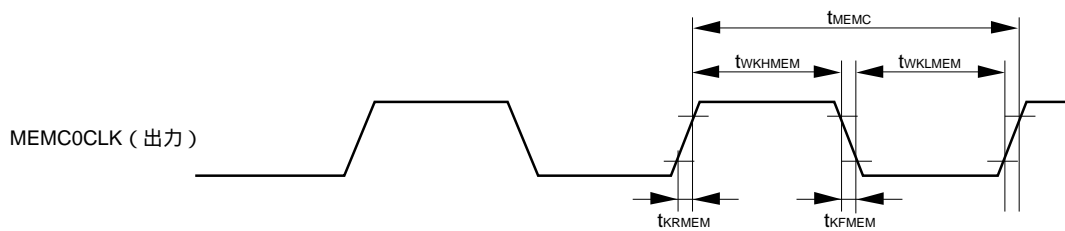


7.6 マルチプレクス・バス・タイミング

表 7-6 MEMC クロック・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
MEMC0CLK 出力周期	tMEMC		25			ns
MEMC0CLK ハイ・レベル幅	twKHMEM		tMEMC/2 - 10			ns
MEMC0CLK ロウ・レベル幅	twKLMEM		tMEMC/2 - 10			ns
MEMC0CLK 立ち上がり時間	tKRMEM				10	ns
MEMC0CLK 立ち下がり時間	tKFMEM				10	ns

備考 上記スペックは、SSCG による変調を含みません。



7.6.1 MEMC0CLK非同期タイミング（リード/ライト・サイクル）

表 7-7 MEMC0CLK 非同期タイミング（リード/ライト・サイクル）

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作周期	T		25			ns
アドレス・セットアップ時間 (対 MEMC0ASTB ↓)	tsAST	<1>	$(1 + ASW) T - 15$			ns
アドレス・ホールド時間 (対 MEMC0ASTB ↓)	thSTA	<2>	$(1 + AHW) T - 15$			ns
MEMC0RD ↓→アドレス・フ ロート遅延時間	tFRDA	<3>			6	ns
アドレス・ホールド時間 (対 MEMC0RD ↑)	thRDA	<4>	0			ns
MEMC0RD ↓→データ入力遅 延時間	tDRDID	<5>	6		$(1 + w) T - 35$	ns
データ入力ホールド時間 (対 MEMC0RD ↑)	thRDID	<6>	0			ns
MEMC0ASTB ↓→ MEMC0RD ↓遅延時間	tdSTRD	<7>	$(1 + AHW) T - 15$			ns
MEMC0ASTB ↓→ MEMC0WR ↓遅延時間	tdSTWR	<8>	$(1 + AHW) T - 15$			ns
MEMC0RD, MEMC0WR ロウ・レベル幅	tWRDST	<9>	$(1 + w) T - 10$			ns
MEMC0WR ↓→データ出力遅 延時間	tdWROD	<10>			10	ns
アドレス・ホールド保持時間 (対 MEMC0WR ↑)	thWRA	<11>	$T - 15$			ns
データ出力セットアップ時間 (対 MEMC0WR ↑)	tsODWR	<12>	$(1 + w) T - 15$			ns
データ出力ホールド時間 (MEMC0WR ↑)	thWROD	<13>	$T - 15$			ns
MEMC0WAIT セットアップ時 間 (対 MEMC0ASTB ↓)	tsSWT1	<14>			$(1 + AHW) T - (2HEAPCLK + 35)$	ns
	tsSWT2	<15>	$w \geq 1$		$(1 + w + AHW) T - (2HEAPCLK + 35)$	ns
MEMC0WAIT ホールド時間 (対 MEMC0ASTB ↓)	thSWT1	<16>	$w \geq 1$		$(w + AHW) T - (2HEAPCLK + 20)$	ns
	thSWT2	<17>	$w \geq 1$		$(1 + w + AHW) T - (2HEAPCLK + 20)$	ns

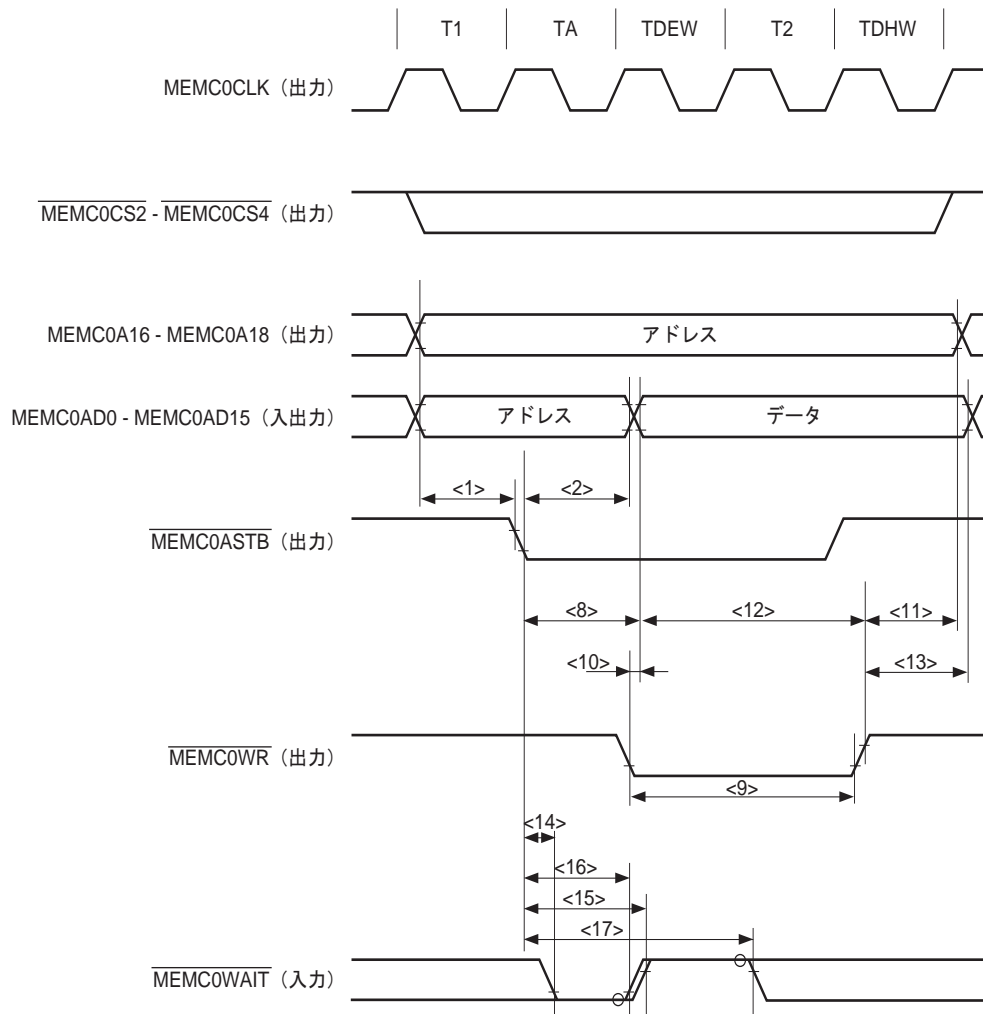
- 備考
1. ASW : マルチプレクス・バスのアドレス・セットアップ・ウエイト数
 2. AHW : マルチプレクス・バスのアドレス・ホールド・ウエイト数
 3. w : データ・ウエイト数
 4. HEAPCLK : CPU クロック周波数
 5. T が 41ns 以下の時, tDRDID は少なくとも一回のデータウエイト数を必要としま
す。(w = 1)

7.6.2 MEMC0CLK同期タイミング（リード/ライト・サイクル）

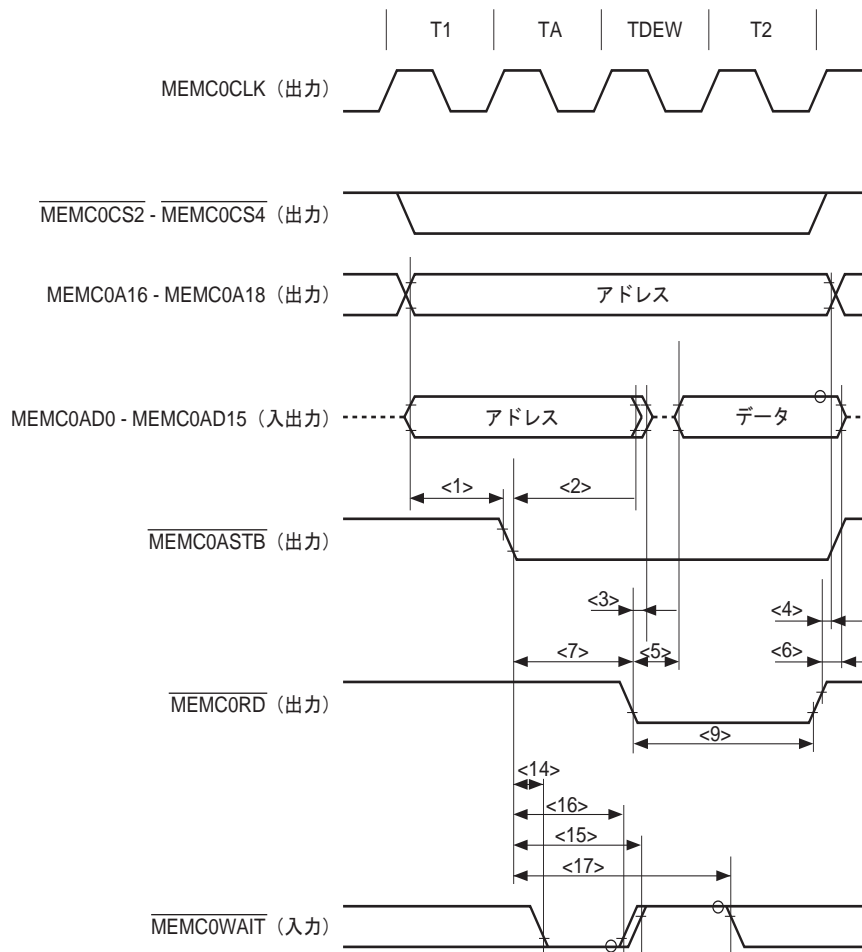
表 7-8 MEMC0CLK 同期タイミング（リード/ライト・サイクル）

項目	略号		条件	MIN.	TYP.	MAX.	単位
バス動作周期	T			25			ns
MEMC0CLK ↑→アドレス遅延時間	tDKA	<18>		0		12	ns
MEMC0CLK ↑→アドレス・フロート遅延時間	tFKA	<19>		0		12	ns
MEMC0CLK ↑ MEMC0ASTB 遅延時間	tDKST	<20>		0		11	ns
MEMC0CLK ↑→MEMC0RD, MEMC0WR 遅延時間	tDKRDWR	<21>		- 2.5		6	ns
データ入力セットアップ時間 (対 MEMC0CLK ↑)	tsIDK	<22>		10			ns
データ入力ホールド時間 (対 MEMC0CLK ↑)	tHKID	<23>		2.5			ns
MEMC0CLK ↑→データ出力遅延時間	tDKOD	<24>				11	ns
MEMC0WAIT セットアップ時間 (対 MEMC0CLK ↑)	tSWTK	<25>	$3.5\text{ V} \leq \text{B0VDD} \leq 5.5\text{ V}$	23			ns
			$\text{V}_{\text{POC}} \leq \text{B0VDD} < 3.5\text{ V}$	27			ns
MEMC0WAIT ホールド時間 (対 MEMC0CLK ↑)	tHKWT	<26>		2.5			ns

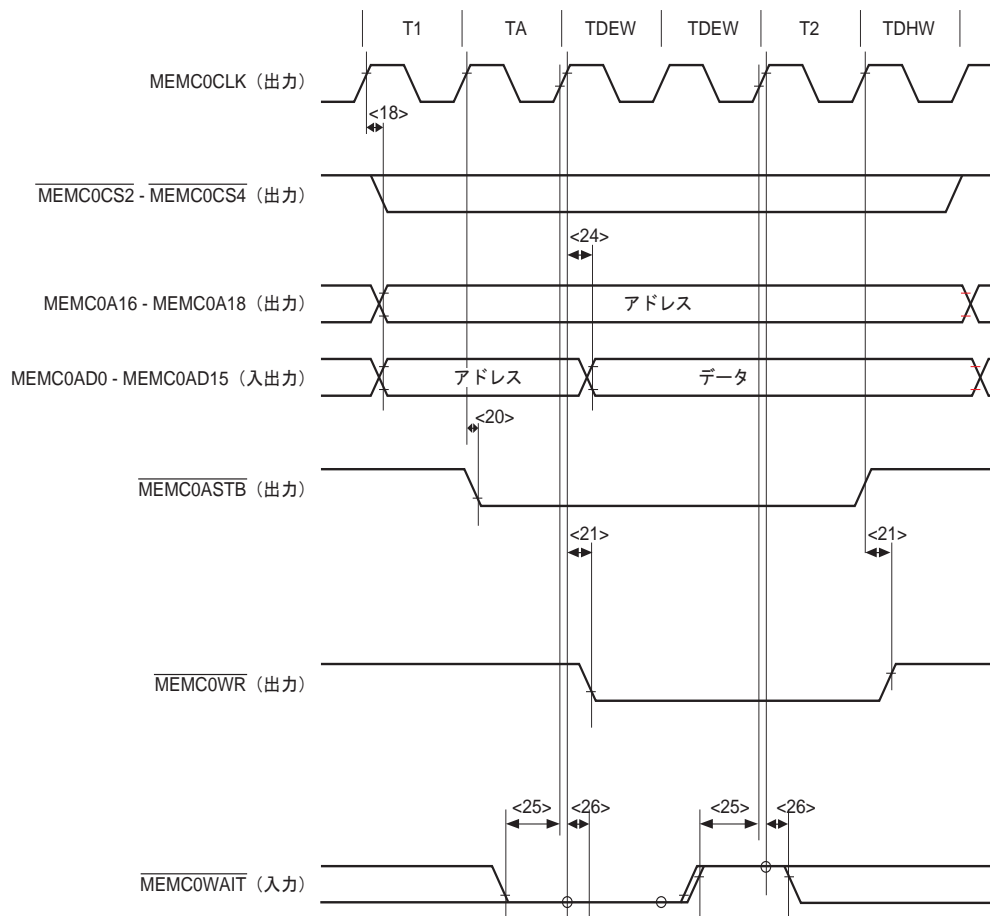
- ライト・サイクル (1 データ・ウエイト) : 非同期マルチプレクス・バス・モード時



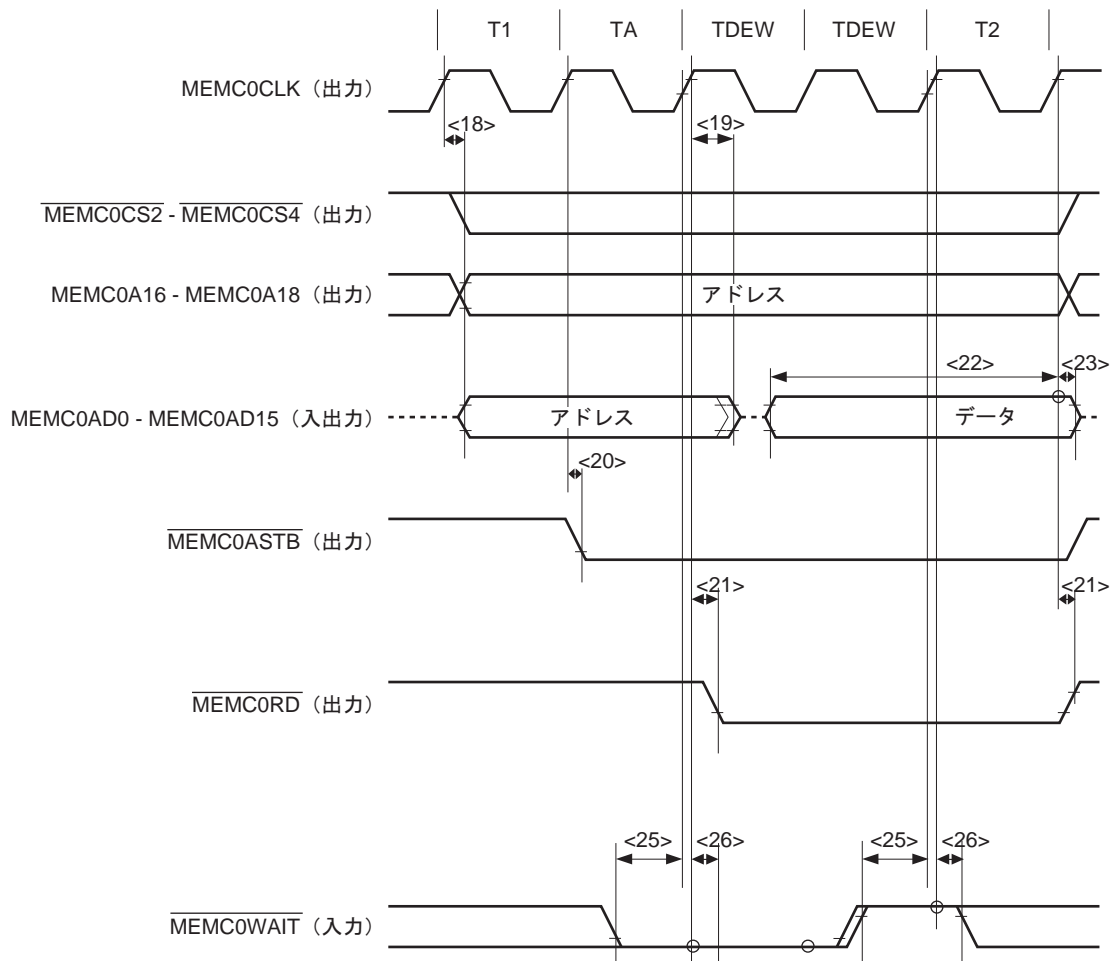
- リード・サイクル (1 データ・ウエイト) : 非同期マルチプレクス・バス・モード時



- ライト・サイクル (2 データ・ウエイト) : 同期マルチプレクス・バス・モード時



- リード・サイクル (2 データ・ウエイト) : 同期マルチプレクス・バス・モード時



7.7 CSI タイミング

7.7.1 CSIG タイミング (マスタ・モード)

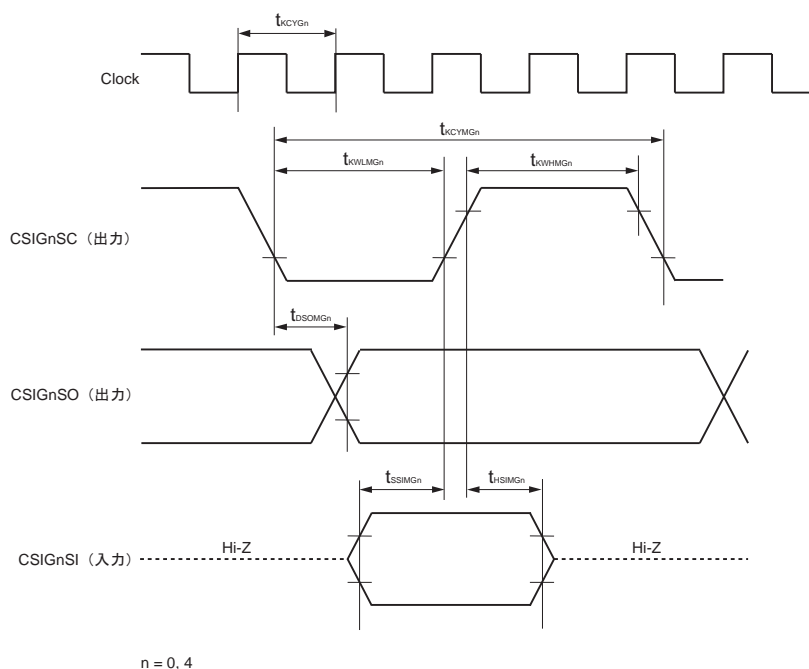
表 7-9 CSIG タイミング (マスタ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t _{KCYGn}		20.8			ns
CSIGnSC サイクル・タイム	t _{KCYMGn}		100			ns
CSIGnSC ハイ・レベル幅	t _{KWHMGn}		0.5t _{KCYMGn} - 10			ns
CSIGnSC ロウ・レベル幅	t _{KWLMGn}		0.5t _{KCYMGn} - 10			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t _{SSIMGn}	CSIGnSC 端子の PDSC 設定が 1 のとき	30			ns
		CSIGnSC 端子の PDSC 設定が 0 のとき	38			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t _{HSIMGn}		0			ns
CSIGnSC → CSIGnSO 出力遅延時間	t _{DSOMGn}				7	ns
CSIGnRYI セットアップ時間 (対 CSIGnSC)	t _{SRYIGn}	CSIGnCTL1.CSIGnSIT ビット = 0 または 1, CSIGnCTL1.CSIGnHSE ビット = 1	2t _{KCYGn} + 25			ns
CSIGnRYI ハイ・レベル幅	t _{WRYIGn}	CSIGnCTL1.CSIGnHSE ビット = 1	t _{KCYGn} - 5.0			ns

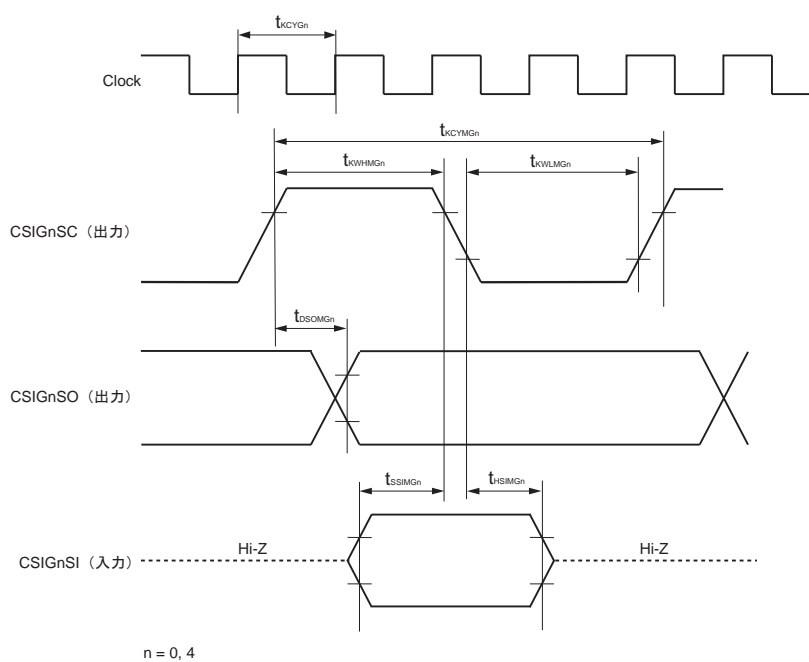
備考 n = 0, 4

(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (マスタ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

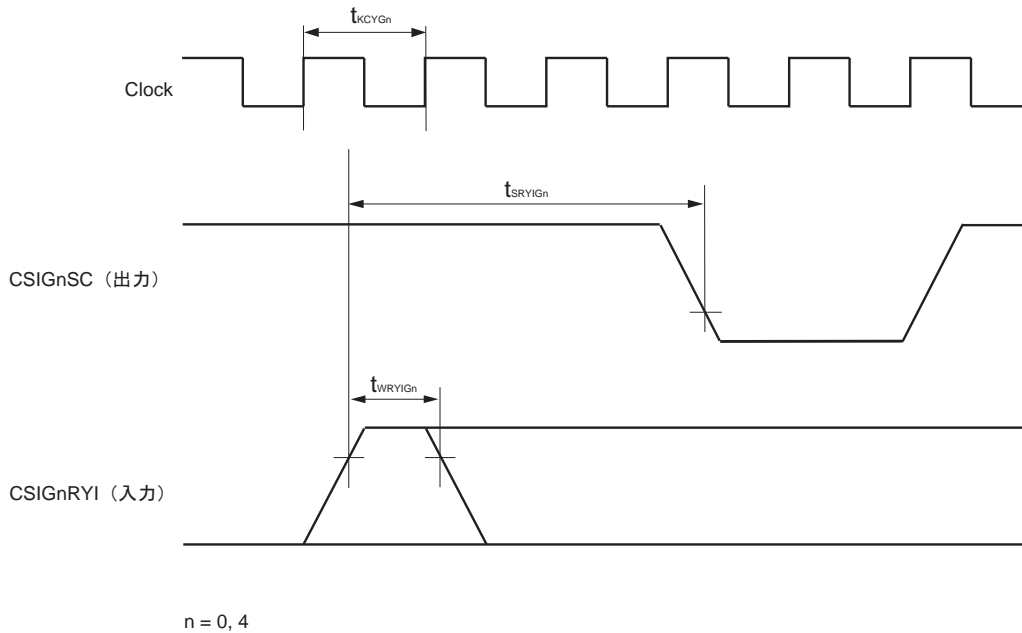


- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

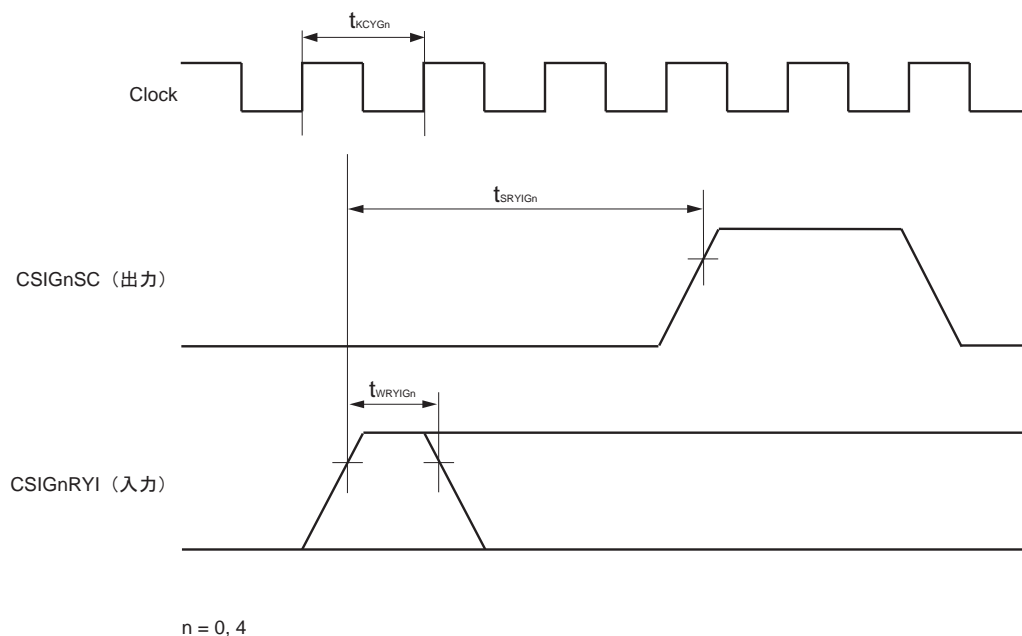


(2) CSIGNRYI 端子 (マスタ・モード)

- CSIGNCTL1.CSIGNCKR ビット = 0, CSIGNCTL1.CSIGNSIT ビット = 0, CSIGNCTL1.CSIGNHSE ビット = 1 の場合



- CSIGNCTL1.CSIGNCKR ビット = 1, CSIGNCTL1.CSIGNSIT ビット = 0, CSIGNCTL1.CSIGNHSE ビット = 1 の場合



7.7.2 CSIG タイミング (スレーブ・モード)

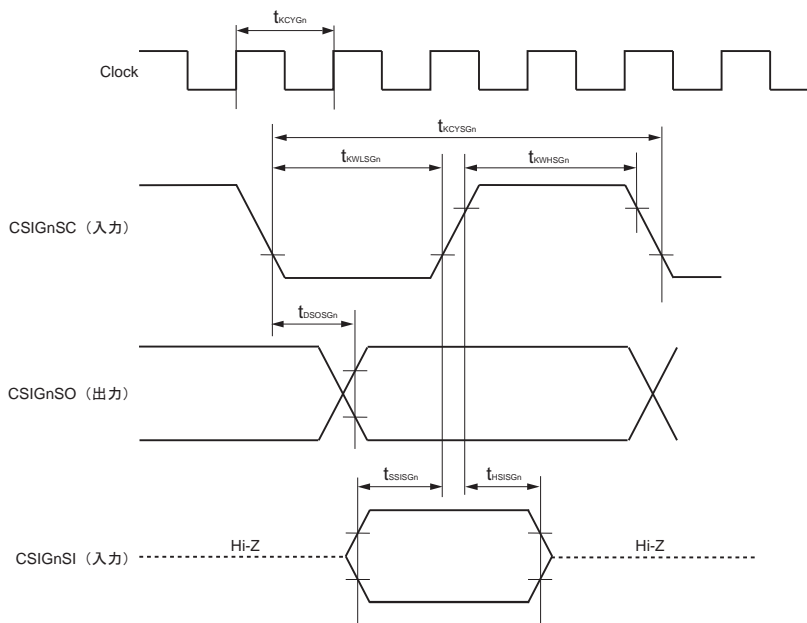
表 7-10 CSIG タイミング (スレーブ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	tkCYGn		20.8			ns
CSIGnSC サイクル・タイム	tkCYSGn		200			ns
CSIGnSC ハイ・レベル幅	tkWHSGn		$0.5tkCYSGn - 10$			ns
CSIGnSC ロウ・レベル幅	tkWLSGn		$0.5tkCYSGn - 10$			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	tSSISGn		20			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	tHSISGn		$tkCYGn + 5.0$			ns
CSIGnSC → CSIGnSO 出力遅延時間	tDSOSGn				35	ns
CSIGnRYO 出力遅延時間	tSRYOGn				35	ns
CSIGnSSI セットアップ時間 (対 CSIGnSC)	tSSISGn		$0.5tkCYSGn - 5.0$			ns
CSIGnSSI ホールド時間 (対 CSIGnSC)	tHSSISGn		$tkCYGn + 5.0$			ns

備考 n = 0, 4

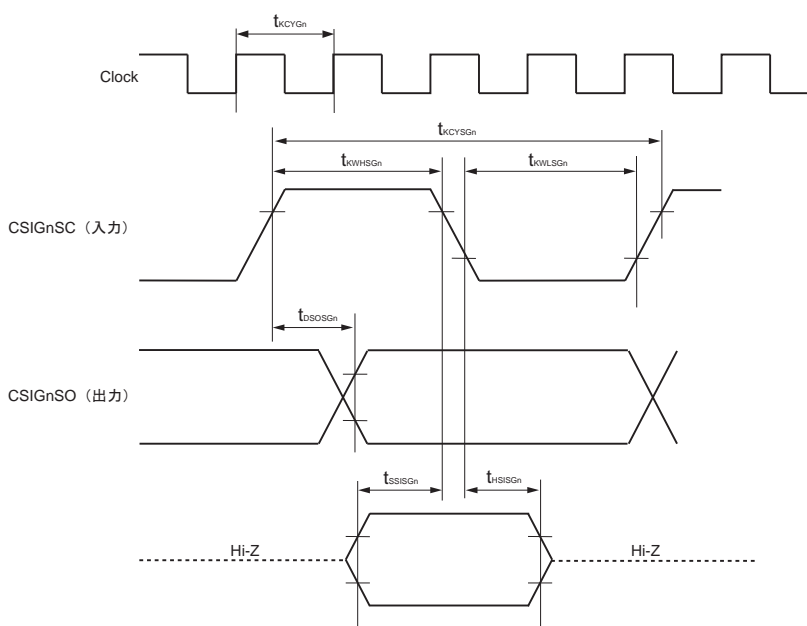
(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (スレーブ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



n = 0, 4

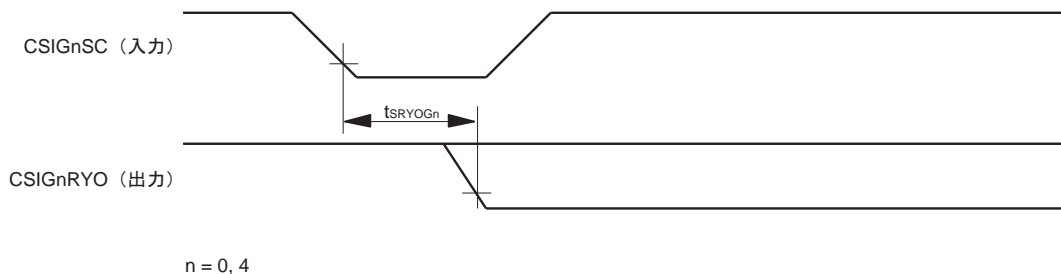
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



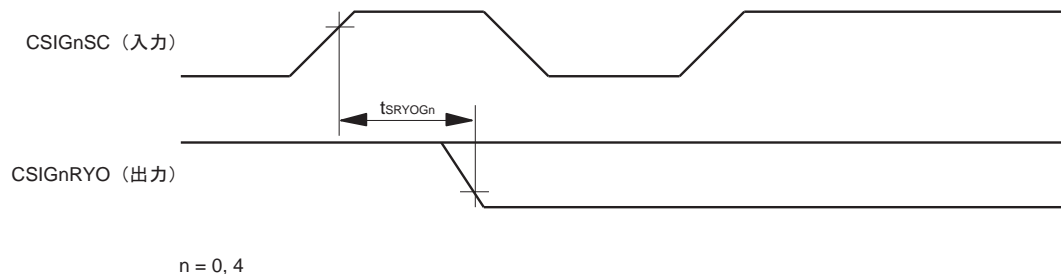
n = 0, 4

(2) CSIGnRYO 端子 (スレーブ・モード)

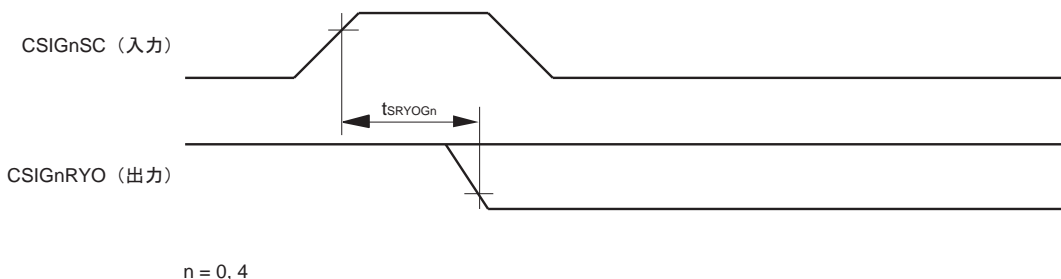
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



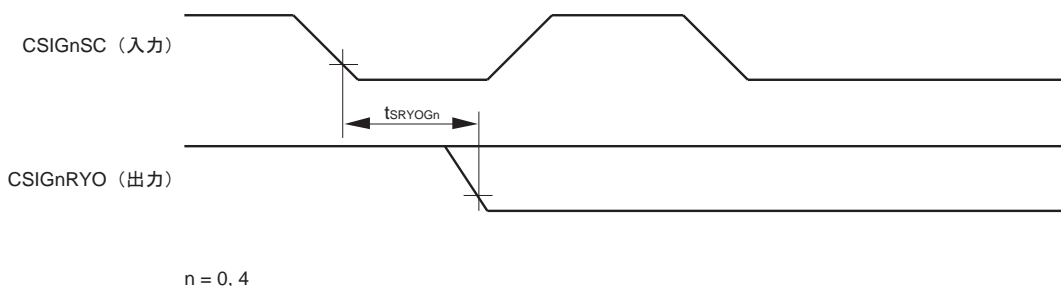
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

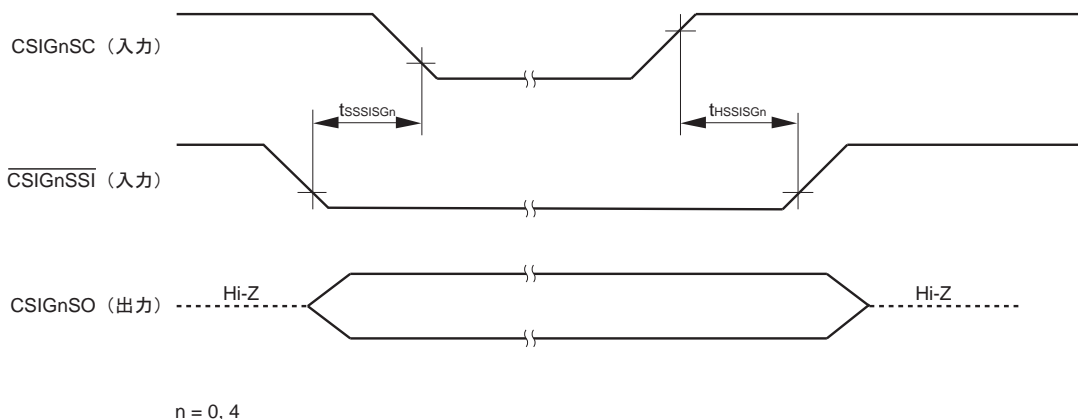


- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

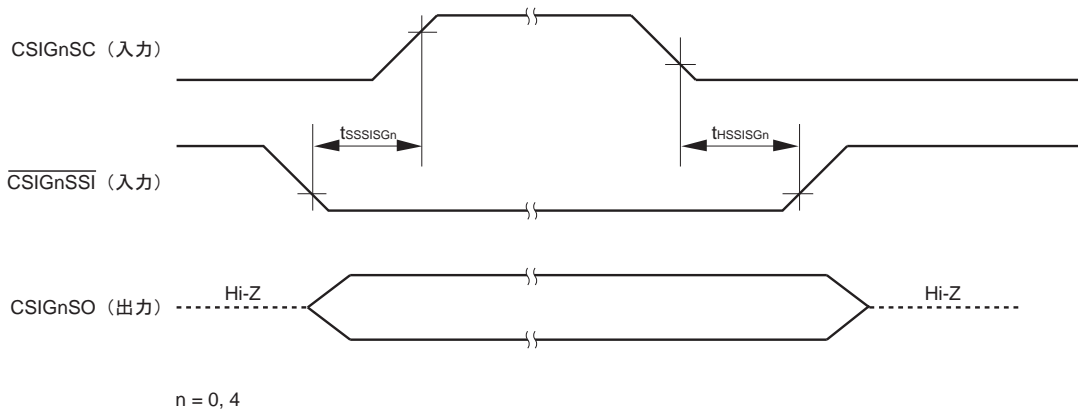


(3) CSIGnSSI 端子 (スレーブ・モード)

- CSIGnCTL1.CSIGnSSE ビット = 1, かつ CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



- CSIGnCTL1.CSIGnSSE ビット = 1, かつ CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



7.7.3 CSIH タイミング (マスタ・モード)

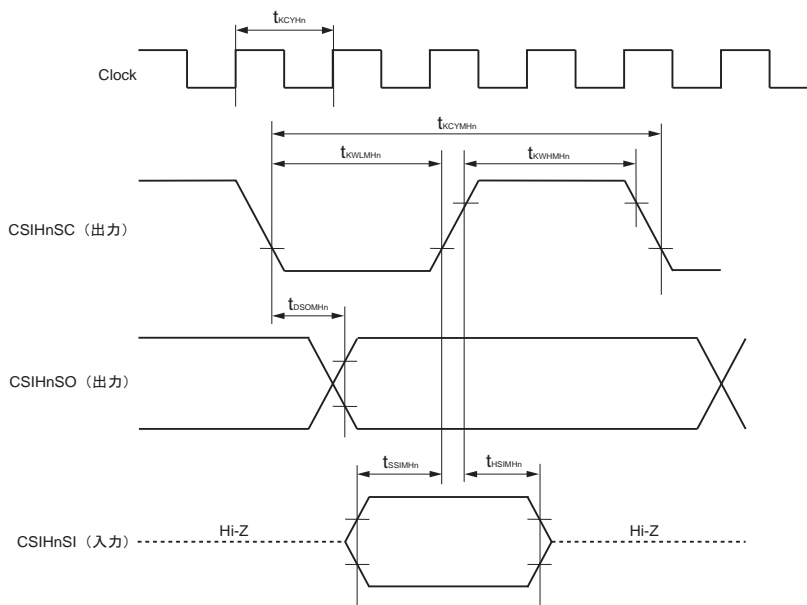
表 7-11 CSIH タイミング (マスタ・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIH 動作クロック・サイクル・タイム	t _{KCYHn}		20.8			ns
CSIHnSC サイクル・タイム	t _{KCYMHn}		100			ns
CSIHnSC ハイ・レベル幅	t _{KWHMHn}		0.5t _{KCYMHn} - 10			ns
CSIHnSC ロウ・レベル幅	t _{KWLMHn}		0.5t _{KCYMHn} - 10			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t _{SSIMHn}	CSIHnSC 端子の PDSC 設定が 1 のとき	30			ns
		CSIHnSC 端子の PDSC 設定が 0 のとき	38			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t _{HSIMHn}		0			ns
CSIHnSC → CSIHnSO 出力 遅延時間	t _{DSOMHn}				7	ns
CSIHnRYI セットアップ時間 (対 CSIHnSC)	t _{SRYIHn}	CSIHnCTL1.CSIHnSIT ビット = 0 または 1 CSIHnCTL1.CSIHnHSE ビット = 1	2t _{KCYHn} + 25			ns
CSIHnRYI ハイ・レベル幅	t _{WRYIHn}	CSIHnCTL1.CSIHnHSE ビット = 1	t _{KCYHn} - 5.0			ns
CSIHnCSS0-CSIHnCSS7 インアクティブ幅	t _{WSCSBHn}		CSIDLE t _{KCYMHn} - 5.0			ns
CSIHnCSS0-CSIHnCSS7 セットアップ時間 (対 CSIHnSC)	t _{SSCSBHn0}	CSIHnCFGx.CSIHnDAP ビット = 0	CSSETUP t _{KCYMHn} - 5.0			ns
	t _{SSCSBHn1}	CSIHnCFGx.CSIHnDAP ビット = 1	(CSSETUP + 0.5) t _{KCYMHn} - 5.0			ns
CSIHnCSS0-CSIHnCSS7 ホールド時間 (対 CSIHnSC)	t _{HSCSBHn0}	CSIHnCTL1.CSIHnSIT ビット = 0	CSHOLD t _{KCYMHn} - 10			ns
	t _{HSCSBHn1}	CSIHnCTL1.CSIHnSIT ビット = 1	(CSHOLD + 0.5) t _{KCYMHn} - 5.0			ns

- 備考
1. n = 0-2
x = 0-7
 2. CSSETUP : CSIHnCFGx.CSIHnSPx[3:0] 設定値
 3. CSHOLD : CSIHnCFGx.CSIHnHDx[3:0] 設定値
 4. CSIDLE : CSIHnCFGx.CSIHnIDx[2:0] 設定値

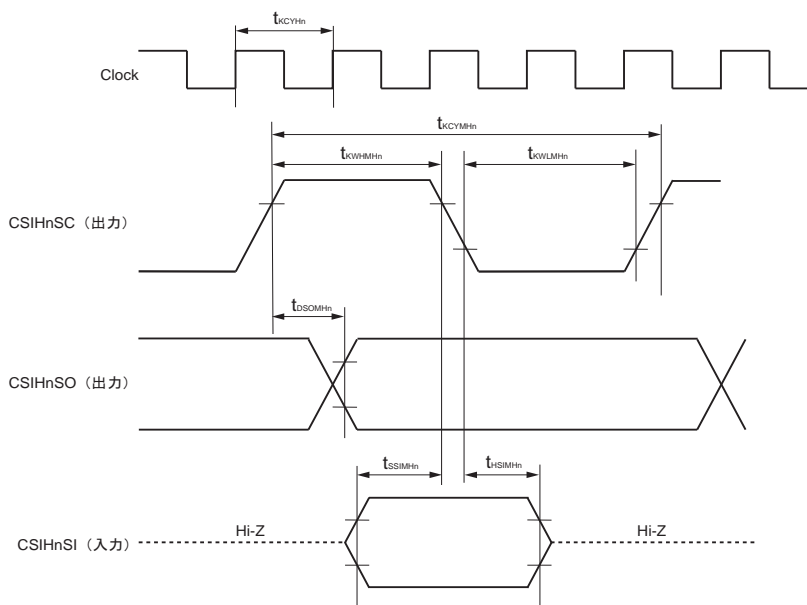
(1) CSIHnSC, CSIHnSO, CSIHnSI 端子 (マスタ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合, または CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合



n = 0-2
x = 0-7

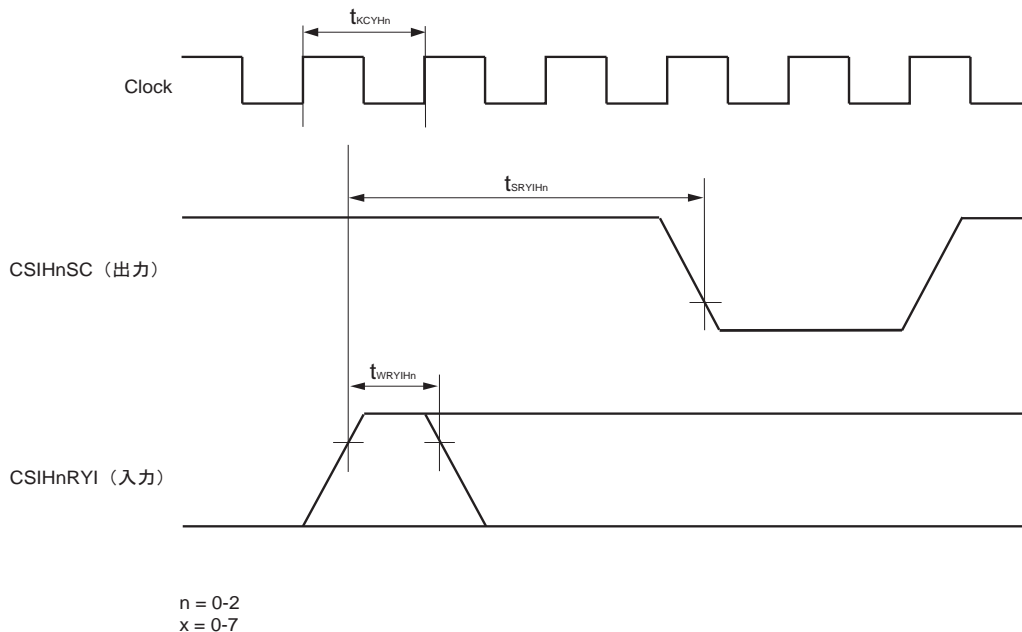
- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合, または CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



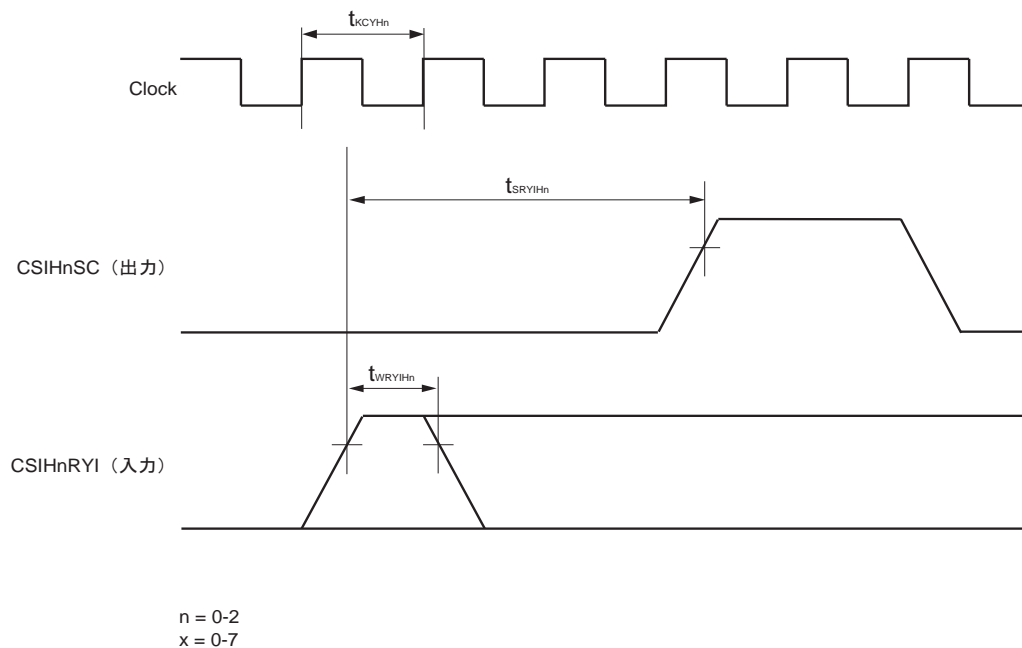
n = 0-2
x = 0-7

(2) CSIHnRYI 端子 (マスタ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCTL1.CSIHnSIT ビット = 0, CSIHnCTL1.CSIHnHSE ビット = 1 の場合

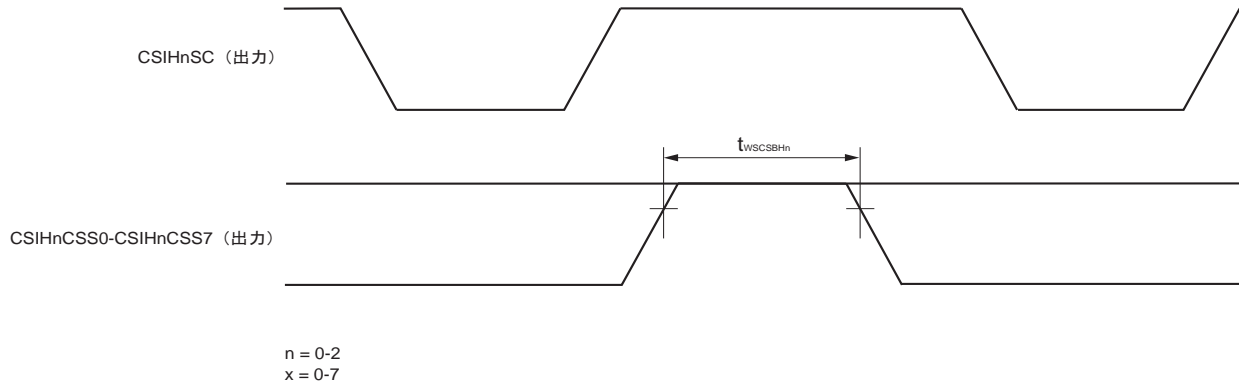


- CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCTL1.CSIHnSIT ビット = 0, かつ CSIHnCTL1.CSIHnHSE ビット = 1 の場合



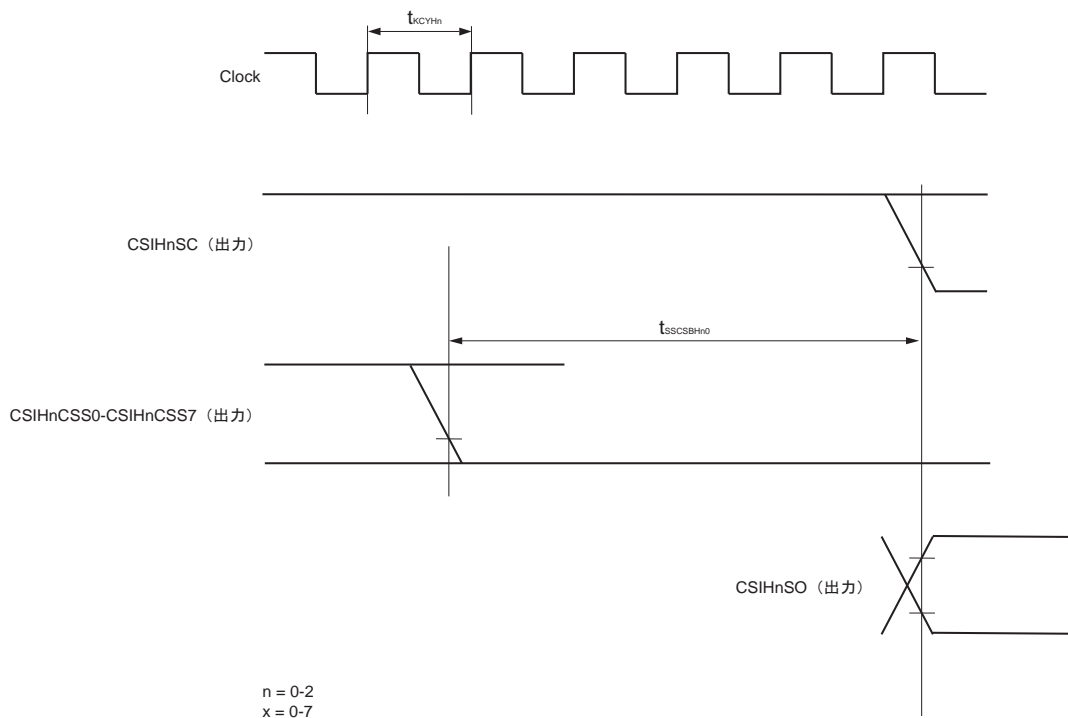
(3) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : インアクティブ幅

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合

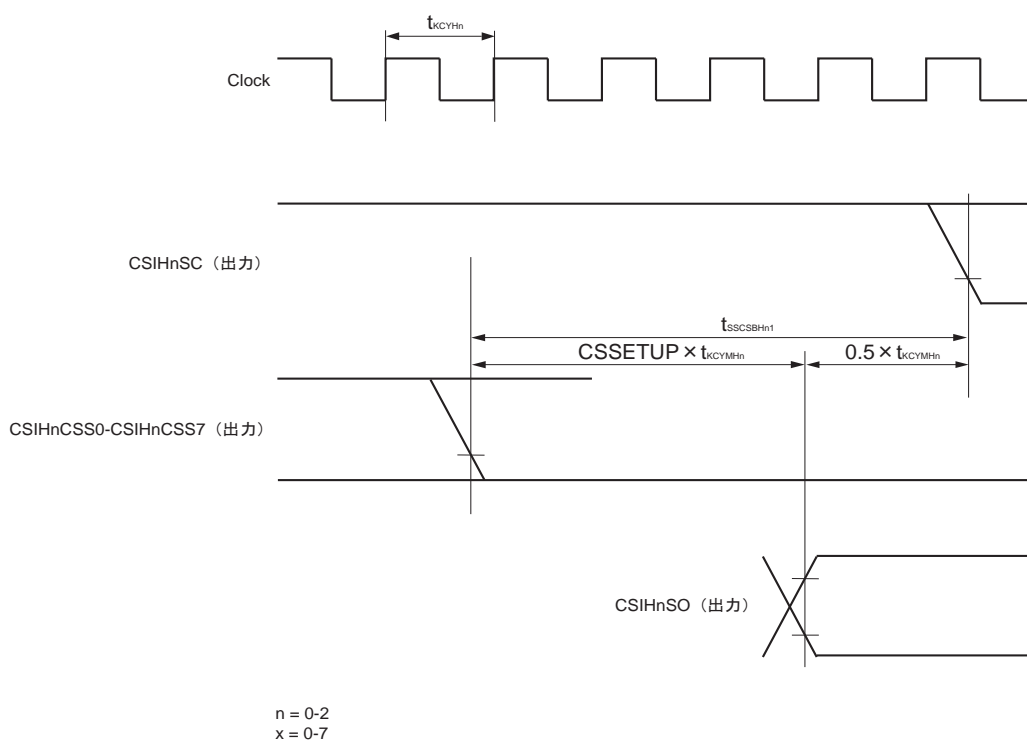


(4) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : セットアップ時間

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合

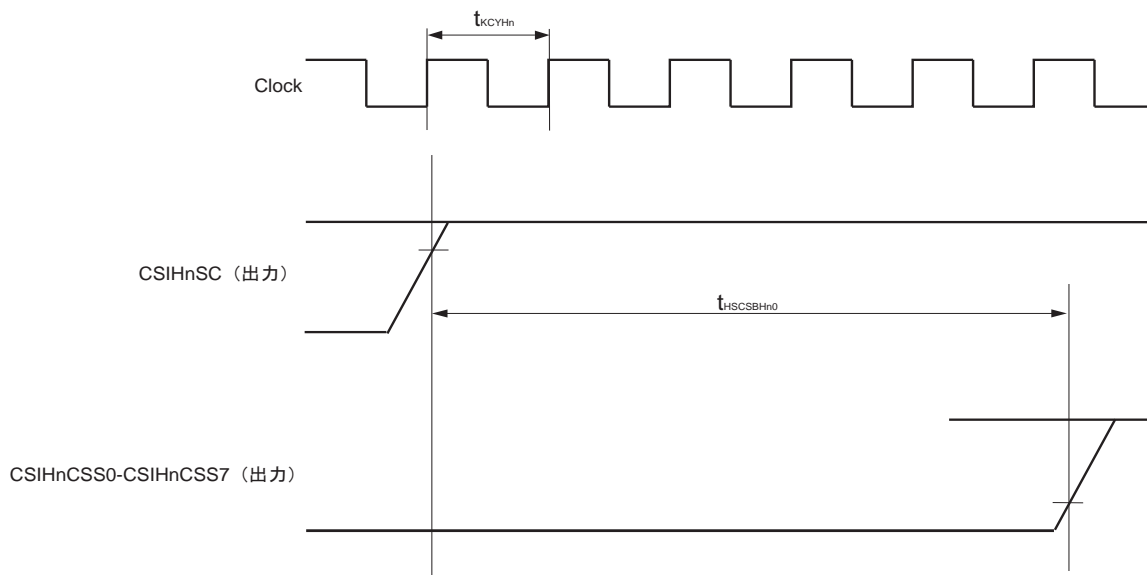


- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合



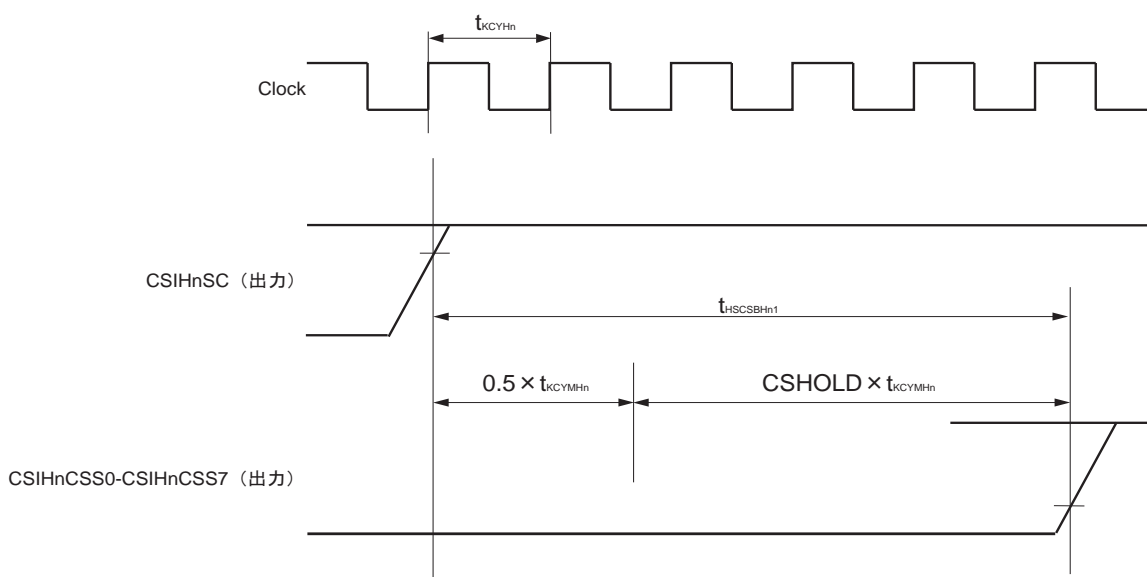
(5) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : ホールド時間

- CSIHnCTL1.CSIHnSIT ビット = 0, かつ CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



n = 0-2
x = 0-7

- CSIHnCTL1.CSIHnSIT ビット = 1, かつ CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



n = 0-2
x = 0-7

7.7.4 CSIH タイミング (スレーブ・モード)

表 7-12 CSIH タイミング (スレーブ・モード)

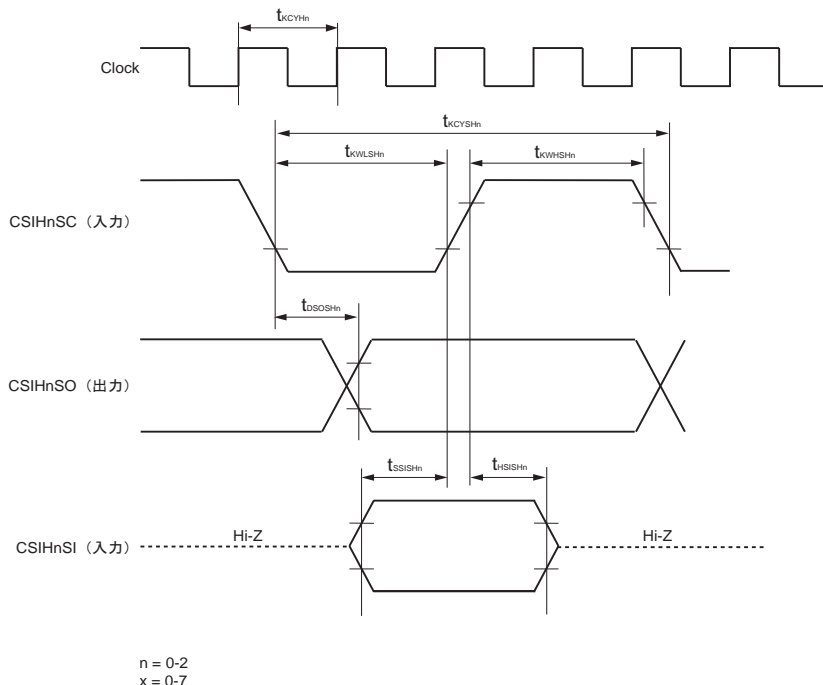
項目	略号	条件	MIN.	TYP.	MAX.	単位
CSIH 動作クロック・サイクル・タイム	t _{KCYHn}		20.8			ns
CSIHnSC サイクル・タイム	t _{KCYSHn}		200			ns
CSIHnSC ハイ・レベル幅	t _{KWHSn}		0.5t _{KCYSHn} - 10			ns
CSIHnSC ロウ・レベル幅	t _{KWLSn}		0.5t _{KCYSHn} - 10			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t _{SSISHn}		20			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t _{HSISHn}		t _{KCYHn} + 5.0			ns
CSIHnSC → CSIHnSO 出力 遅延時間	t _{DSOSHn}				35	ns
CSIHnRYO 出力遅延時間	t _{SRYOHn}				35	ns
CSIHnSSI セットアップ時間 (対 CSIHnSC)	t _{SSSISHn}		0.5t _{KCYSHn} - 5.0			ns
CSIHnSSI ホールド時間 (対 CSIHnSC)	t _{HSSISHn}		t _{KCYHn} + 5.0			ns

備考 n = 0-2

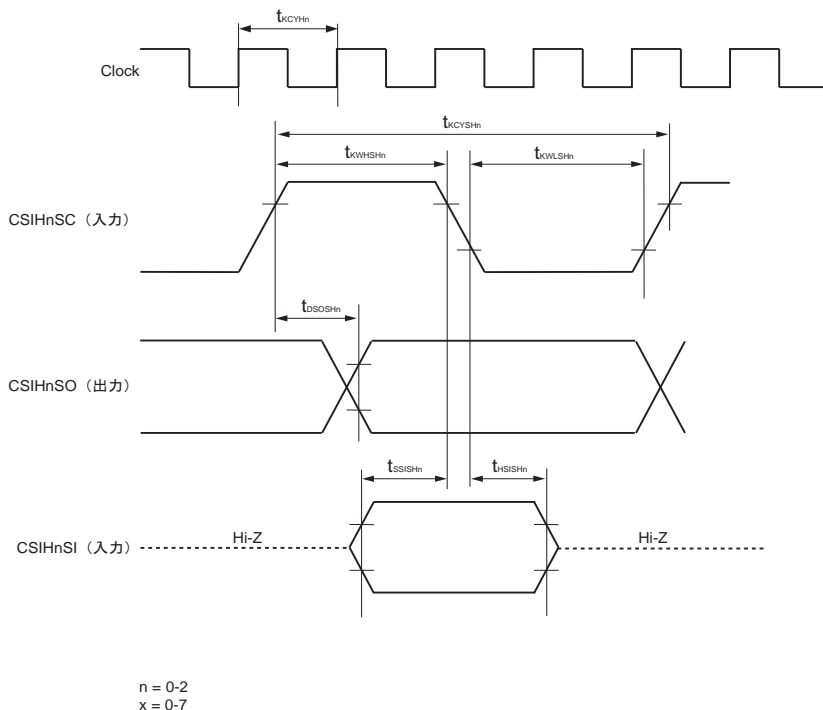
x = 0-7

(1) CSIHnSC, CSIHnSO, CSIHnSI 端子 (スレーブ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合, または CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合

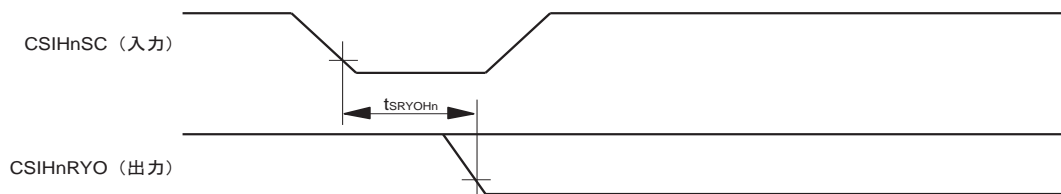


- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合, または CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



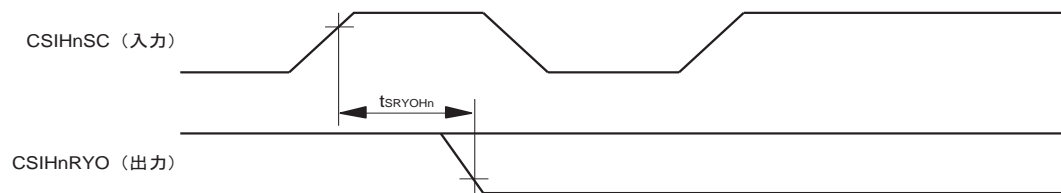
(2) CSIHnRYO 端子 (スレーブ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



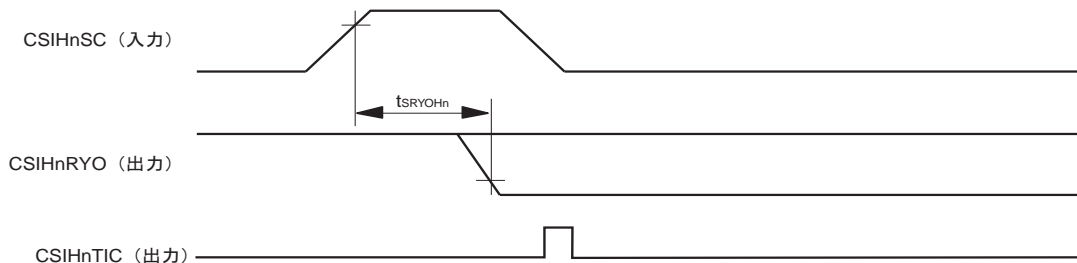
n = 0-2
x = 0-7

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合



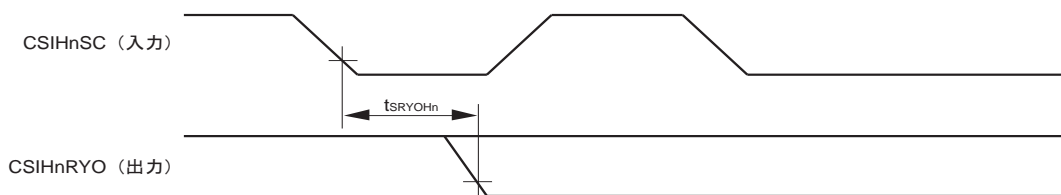
n = 0-2
x = 0-7

- CSIHnCFGx.CSIHnCKPx = 1, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



n = 0-2
x = 0-7

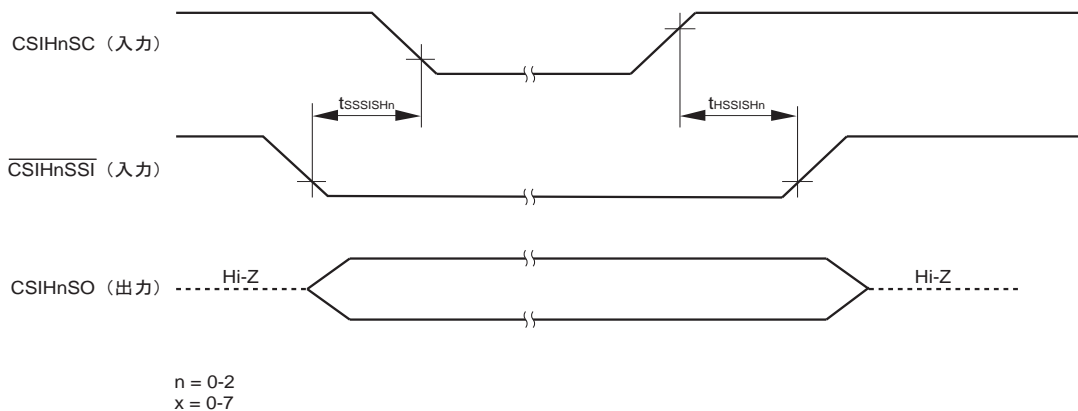
- CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合



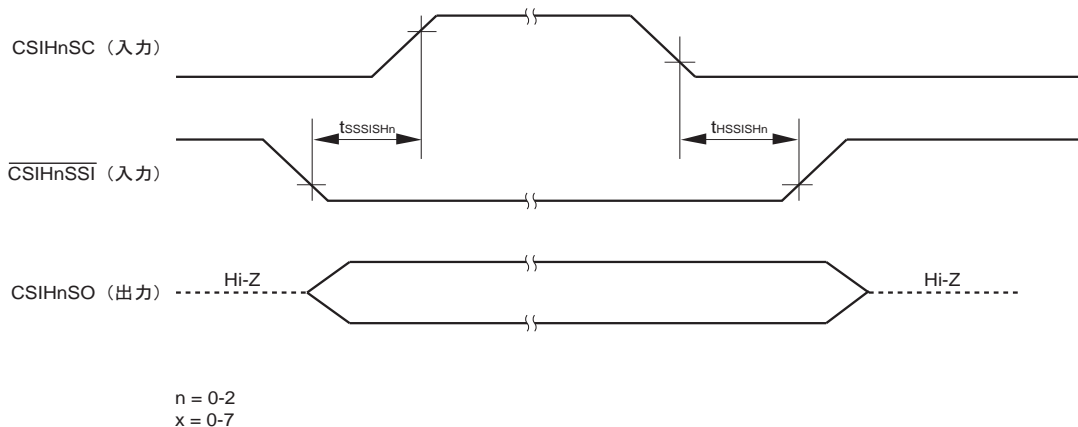
n = 0-2
x = 0-7

(3) CSIHnSSI 端子 (スレーブ・モード)

- CSIHnCTL1.CSIHnSSE ビット = 1, かつ CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合, または CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合



- CSIHnCTL1.CSIHnSSE ビット = 1, かつ CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCFGx.CSIHnDAPx ビット = 1 の場合, または CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCFGx.CSIHnDAPx ビット = 0 の場合



7.8 UARTE タイミング

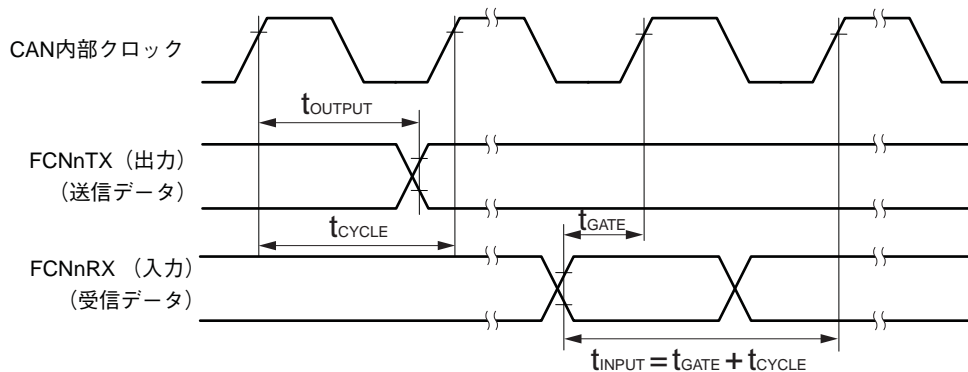
表 7-13 UARTE タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1.5	Mbps

7.9 CAN (FCN) タイミング

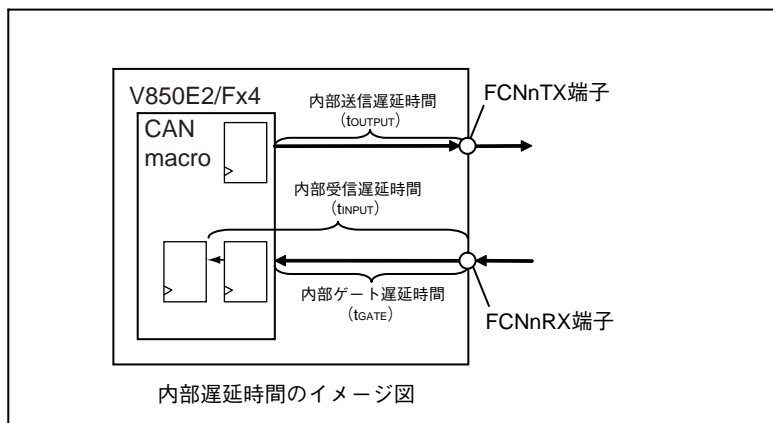
表 7-14 CAN (FCN) タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t _{INTDEL}				37.5	ns
CAN ノード遅延時間	t _{NODE}	t _{CYCLE} = 62.5 ns			100	ns



CANノード遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})

内部遅延時間 (t_{INTDEL}) = 内部ゲート遅延時間 (t_{GATE}) + 内部送信遅延時間 (t_{OUTPUT})

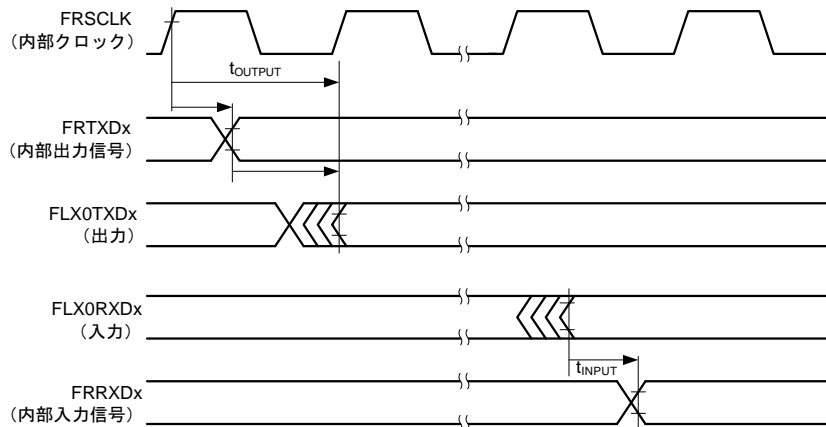
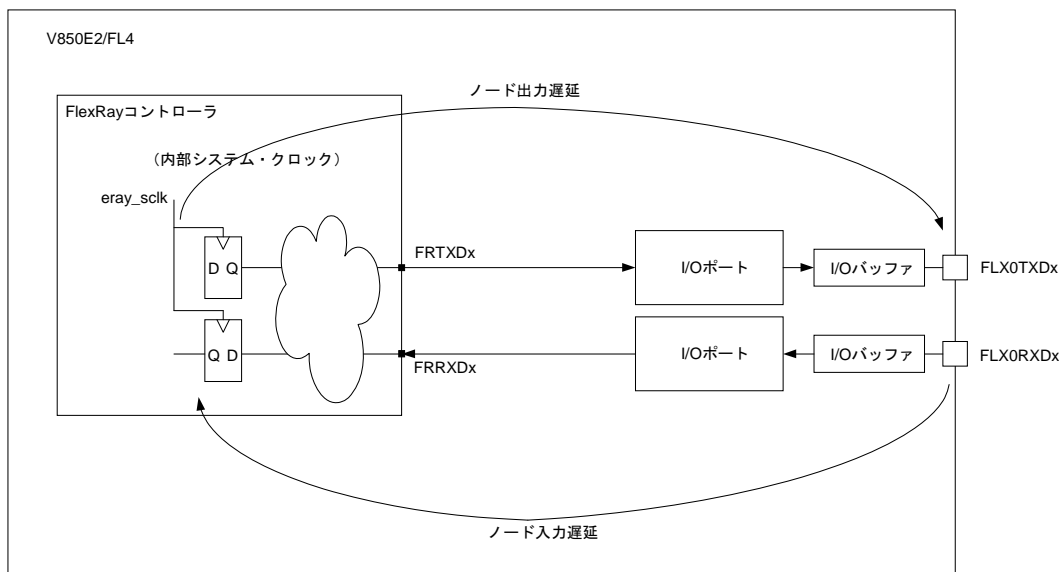


備考 n = 0-3

7.10 FlexRay タイミング (FlexRay コントローラ内蔵製品のみ)

表 7-15 FlexRay タイミング (FlexRay コントローラ内蔵製品のみ)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					10	Mbps
ノード出力遅延時間	t_{OUTPUT}	FLX0TXDA, FLX0TXDB, FLX0TXENA, FLX0TXENB			25	ns
ノード入力遅延時間	t_{INPUT}	FLX0RXDA, FLX0RXDB			10	ns



項目	略号	条件	MIN.	TYP.	MAX.	単位
FLX0TXENA FLX0TXENB	dTxEN _{RISE-FALL}	C _L = 25pF, 20-80% E1VDD で測定			9	ns
	dCCTxEN01				25	ns
	dCCTxEN10				25	ns
FLX0TXDA FLX0TXDB	dCCTxAsym	50% E1VDD で測定			2.45	ns
	dCCTxD _{RISE25} + dCCTxD _{FALL25}	C _L = 25pF, 20-80% E1VDD で測定			9	ns
		C _L = 10pF, 20-80% E1VDD で測定 50W の終端, 1ns マイクロストリップライン			9	ns
	dCCTxD01	-			25	ns
	dCCTxD10	-			25	ns
FLX0RXDA FLX0RXDB	dCCRxAsmAccept	50% E1VDD で測定 入力信号 : C _L = 25pF, 6.5ns (20-80% E1VDD)			5.5	ns
	C_CCRxD	-			10	pf
	uLogic_1	-	35		70	%
	uLogic_0	-	30		65	%
	dCCRxD01	-			10	ns
	dCCRxD10	-			10	ns

7.11 I²C タイミング

表 7-16 標準モード

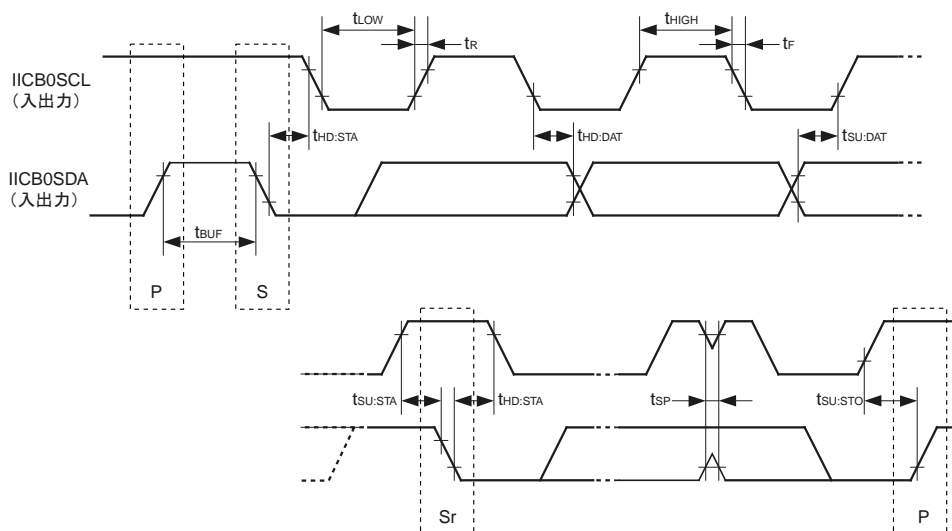
項目	略号	条件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	fCLK		0		100	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	tBUF		4.7			μs
スタート/リスタート保持時間 ^{a)}	tHD:STA		4			μs
IICB0SCL クロックのロウ・レベル保持時間	tLOW		4.7			μs
IICB0SCL クロックのハイ・レベル保持時間	tHIGH		4			μs
スタート/リスタート・コンディションのセットアップ時間	tSU:STA		4.7			μs
データ保持時間	tHD:DAT	CBUS 互換マスタの場合	5			μs
		I ² C モードの場合	0			μs
データ設定時間	tSU:DAT		250			ns
IICB0SDA および IICB0SCL 信号の立ち上がり時間	tr				1000	ns
IICB0SDA および IICB0SCL 信号の立ち下がり時間	tf				300	ns
ストップ・コンディションの設定時間	tSU:STO		4			μs
各バス・ラインの容量性負荷	C _b				400	pF

^{a)} スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

表 7-17 高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	fCLK		0		400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	tBUF		1.3			μs
スタート/リスタート保持時間 ^{a)}	tHD:STA		0.6			μs
IICB0SCL クロックのロウ・レベル保持時間	tLOW		1.3			μs
IICB0SCL クロックのハイ・レベル保持時間	tHIGH		0.6			μs
スタート/リスタート・コンディションのセットアップ時間	tsu:STA		0.6			μs
データ保持時間	tHD:DAT	I ² C モードの場合	0		0.9	μs
データ設定時間	tsu:DAT		100			ns
IICB0SDA および IICB0SCL 信号の立ち上がり時間	tr		20 + 0.1Cb		300	ns
IICB0SDA および IICB0SCL 信号の立ち下がり時間	tf		20 + 0.1Cb		300	ns
ストップ・コンディションの設定時間	tsu:STO		0.6			μs
入力フィルタによって抑制されるスパイクのパルス幅	tSP		0		50	ns
各バス・ラインの容量性負荷	Cb				400	pF

a) スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。



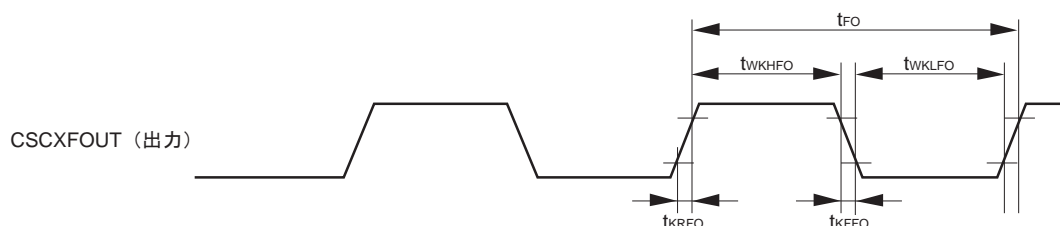
- 備考
1. P : ストップ・コンディション
 2. S : スタート・コンディション
 3. Sr : リスタート・コンディション

7.12 周波数出力機能 (FOUT)

表 7-18 周波数出力機能 (FOUT)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	tFO		50			ns
CSCXFOUT ハイ・レベル幅	tWKHFO		tFO/2 - 10			ns
CSCXFOUT ロウ・レベル幅	tWKLFO		tFO/2 - 10			ns
CSCXFOUT 立ち上がり時間	tKRFO				10	ns
CSCXFOUT 立ち下がり時間	tKFFO				10	ns

備考 上記スペックは、SSCG による変調を含みません。

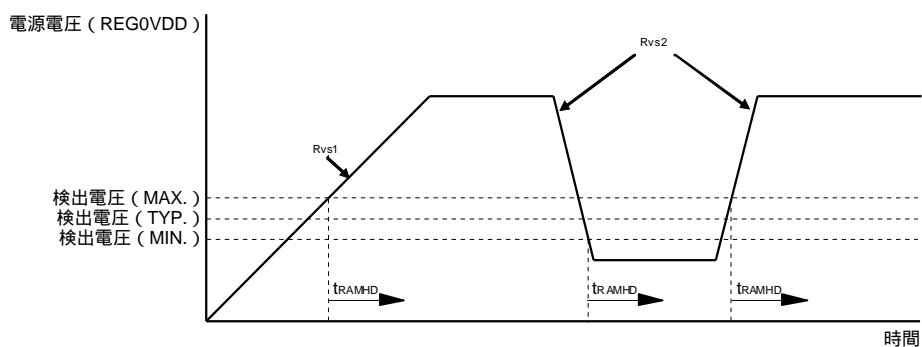


7.13 RAM保持フラグ特性

表 7-19 RAM 保持フラグ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{RAMHF}		1.8	1.9	2.0	V
電圧の傾き 1	R _{vs1}		0.18		1800.0	V/ms
電圧の傾き 2	R _{vs2}		0.0018		1800.0	V/ms
応答時間 ^{a)}	t _{RAMHD}				2	ms

a) 検出電圧を検出してから VLVF.VLVF ビットをセット (1) するまでの時間です。



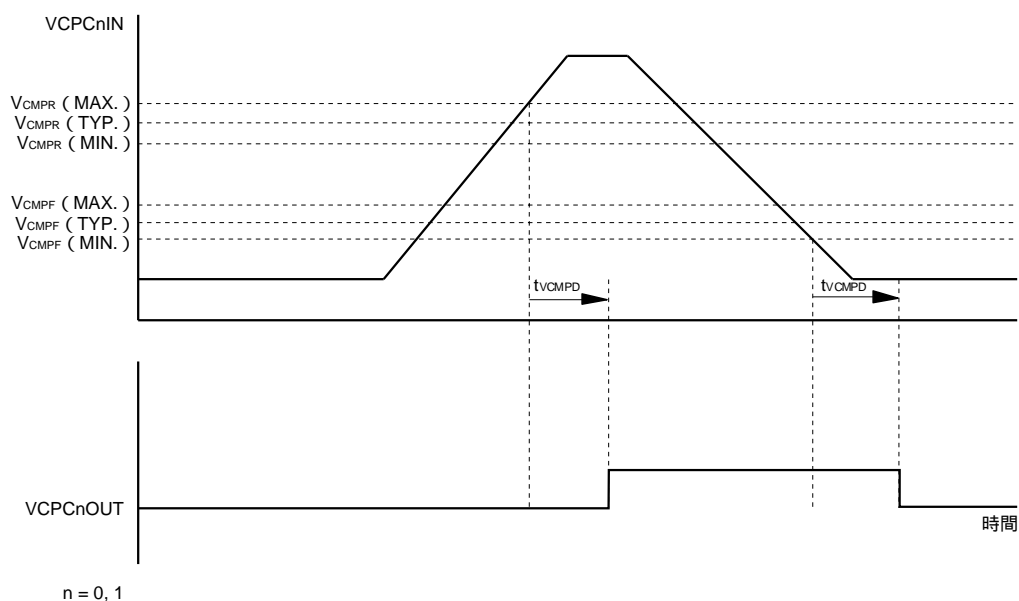
7.14 電圧コンパレータ特性

表 7-20 電圧コンパレータ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
スレッシュ・ホールド電圧 (立ち上がり)	V _{CMPR}		1.745	1.780	1.815	V
スレッシュ・ホールド電圧 (立ち下がり)	V _{CMPIF}		1.645	1.680	1.715	V
検出時間	t _{VCMPD}				2	μs
安定化時間 ^{a)}	t _{VCMPST}				2	ms
電圧の傾き	V _{CVS}				50	mV/μs
VCPCnIN 信号の入力電圧 範囲	V _{ICMP}		REG0 VSS		REG0 VDD	V
V _{CMP} 電流	I _{VCMP}			200	300	μA

a) VCPC0CTLm.VCPC0OEm ビット = 1 になってから V_{CMP} は動作します。

備考 n = 0, 1
m = 0, 1

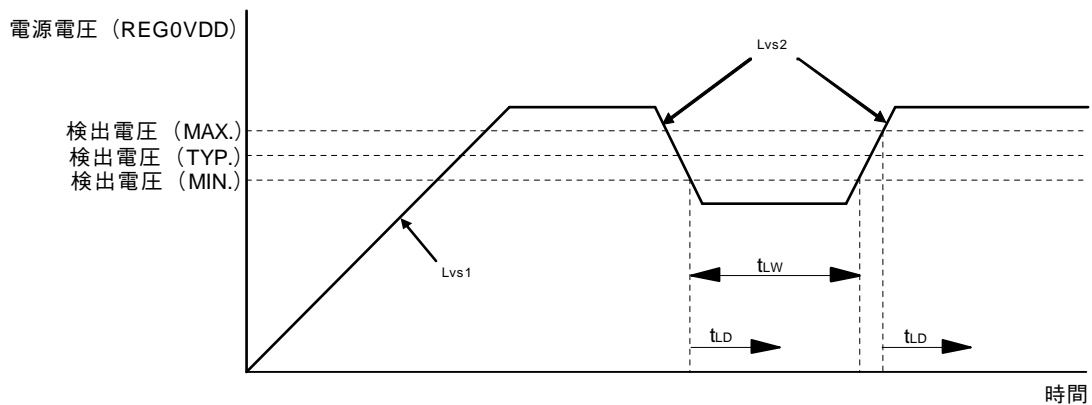


7.15 LVI 回路特性

表 7-21 LVI 回路特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI 検出電圧	V _{LVI0}		3.9	4.0	4.1	V
	V _{LVI1}		3.6	3.7	3.8	V
	V _{LVI2}		3.4	3.5	3.6	V
電圧の傾き 1	L _{vs1}		0.18		1800	V/ms
電圧の傾き 2	L _{vs2}		0.0018		1800	V/ms
応答時間 ^{a)}	t _{LD}				2.0	ms
REG0VDD 最小幅	t _{LW}		2			ms
LVI 安定時間 ^{b)}	t _{LVI ST}				350	μs

- a) LVI 検出電圧を検出してから割り込み要求信号 (INTLVI) または内部リセット信号 (LVIRE S) を発生するまでの時間です。
 b) LVICNT.LVICNT[2:0] を設定してから、機能に反映されるまでの時間です。



7.16 A/Dコンバータ特性

7.16.1 12ビット分解能 A/D : ADCAnIm

表 7-22 12ビット分解能 A/D : ADCAnIm

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RESn		12	12	12	bit
変換時間	TCONn	バッファ・アンプ機能無効 (ADCAnCTL1.ADCAnBPCビット = 0)	1.5		10	μs
総合誤差 ^a	TOEn				±6.0	LSB
積分非直線性誤差 ^a	ILEn				±2.5	LSB
微分非直線性誤差 ^a	DLEn				±1.5	LSB
ゼロスケール誤差 ^a	ZSEn				±5.0	LSB
フルスケール誤差 ^a	FSEn				±5.0	LSB
アナログ入力電圧	VAINn		AnVREFM		AnVREFP	V
パワーダウン復帰時間 ^b					1	μs
AnVDD 電流	AlDDn	ADCAnCTL1.ADCAnBPCビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCAnCTL1.ADCAnBPCビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCAnCTL1.ADCAnBPCビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCAnCTL1.ADCAnBPCビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AlDDnPD	パワーダウン時 ^b		1		μA
AnVREFP 電流	AlREFn			650		μA
自己診断機能使用時変換結果	TESHn	AnVDD を変換, ^c	4015		4095	LSB
	TESHLn3	2/3 AnVDD を変換, ^c	2691	2731	2771	LSB
	TESHLn2	1/2 AnVDD を変換, ^c	2018	2048	2078	LSB
	TESHLn1	1/3 AnVDD を変換, ^c	1325	1365	1405	LSB
	TESLn	AnVSS を変換, ^c	0		80	LSB

a) 量子化誤差 (±0.5LSB) は含みません。

b) パワーダウンとは、ADCA0CTL1.ADCA0GPSビット = 0 設定時のことです。

c) AnVDD = AnVREFP, AnVSS = AnVREFM, I_{OH}/I_{OL} = 0 μA

備考 n = 0, 1

n = 0 のとき m = 6-23, n = 1 のとき m = 0-23

7.16.2 12ビット分解能 A/D : ADCA0I0-ADCA0I5

表 7-23 12ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャネル S/H 機能無効時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES0SN		12	12	12	bit
変換時間	TCON0SN	バッファ・アンプ機能無効 (ADCA0CTL1.ADCA0BPC ビット = 0)	1.5		10	μs
総合誤差 ^a	TOE0SN				±6.0	LSB
積分非直線性誤差 ^a	ILE0SN				±2.5	LSB
微分非直線性誤差 ^a	DLE0SN				±1.5	LSB
ゼロスケール誤差 ^a	ZSE0SN				±5.0	LSB
フルスケール誤差 ^a	FSE0SN				±5.0	LSB
アナログ入力電圧	VAIN0SN		A0VREFM		A0VREFP	V
パワーダウン復帰時間 ^b					1	μs
A0VDD 電流	AIDD0SN	ADCA0CTL1.ADCA0BPCビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPCビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPCビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPCビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AIDD0SNPD	パワーダウン時 ^b		1		μA
A0VREFP 電流	AIREF0SN			650		μA
自己診断機能使用時変換結果	TESH0SN	A0VDD を変換, ^c	4015		4095	LSB
	TESHL0SN3	2/3 A0VDD を変換, ^c	2691	2731	2771	LSB
	TESHL0SN2	1/2 A0VDD を変換, ^c	2018	2048	2078	LSB
	TESHL0SN1	1/3 A0VDD を変換, ^c	1325	1365	1405	LSB
	TESL0SN	A0VSS を変換, ^c	0		80	LSB

a) 量子化誤差 (±0.5LSB) は含みません。

b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。

c) A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 μA

表 7-24 12 ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャンネル S/H 機能有効時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES0S		12	12	12	bit
変換時間	TCON0S	・バッファ・アンプ機能有効 (ADCA0CTL1.ADCA0BPC ビット = 1) ・自己診断機能動作の時間は含まない	1.8		12	μs
チャンネル S/H 保存時間 ^{a)}			50			μs
総合誤差 ^{b)}	TOE0S				±8.0	LSB
積分非直線性誤差 ^{b)}	ILE0S				±4.0	LSB
微分非直線性誤差 ^{b)}	DLE0S				±2.5	LSB
ゼロスケール誤差 ^{b)}	ZSE0S				±6.0	LSB
フルスケール誤差 ^{b)}	FSE0S				±6.0	LSB
アナログ入力電圧	VAIN0S		0.2		A0VREFP - 0.2	V
パワーダウン復帰時間 ^{c)}					1	μs
A0VDD 電流	AIDD0S	ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能未使用時)		^{d)}	22.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能使用時)		^{d)}	24.0	mA
	AIDD0SPD	パワーダウン時 ^{c)}		1		μA
A0VREFP 電流	AIREF0S			650		μA
自己診断機能使用時変換結果	TESHL0S3	2/3 A0VDD を変換, ^{e)}	2689	2731	2773	LSB
	TESHL0S2	1/2 A0VDD を変換, ^{e)}	2016	2048	2080	LSB
	TESHL0S1	1/3 A0VDD を変換, ^{e)}	1323	1365	1407	LSB

- a) チャンネル S/H 保存時間とは、S/H 回路でサンプリングした電圧を保存できる時間のことです。
- b) 量子化誤差 (±0.5LSB) は含みません。
- c) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
- d) $AIDDn + 1.72 \text{ (mA)} \times (\text{使用するチャンネル S/H 回路数})$
AIDDn の詳細については、表 7-22 12 ビット分解能 A/D : ADCAnIm を参照してください。
- e) $A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 \text{ } \mu\text{A}$

7.16.3 10ビット分解能 A/D : ADCAnIm

表 7-25 10ビット分解能 A/D : ADCAnIm

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RESn		10	10	10	bit
変換時間	TCONn		1.5		10	μs
総合誤差 ^{a)}	TOEn				±2.0	LSB
積分非直線性誤差 ^{a)}	ILEn				±1.5	LSB
微分非直線性誤差 ^{a)}	DLEn				±1.0	LSB
ゼロスケール誤差 ^{a)}	ZSEn				±1.5	LSB
フルスケール誤差 ^{a)}	FSEn				±1.5	LSB
アナログ入力電圧	VAInn		AnVREFM		AnVREFP	V
パワーダウン復帰時間 ^{b)}					1	μs
AnVDD 電流	AIDDn	ADCAnCTL1.ADCAnBPC ビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCAnCTL1.ADCAnBPC ビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCAnCTL1.ADCAnBPC ビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCAnCTL1.ADCAnBPC ビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AIDDnPD	パワーダウン時 ^{b)}		1		μA
AnVREFP 電流	AIREFn			500		μA
自己診断機能使用時変換結果	TESHn	AnVDD を変換, ^{c)}	1003		1023	LSB
	TESHLn3	2/3 AnVDD を変換, ^{c)}	673	683	693	LSB
	TESHLn2	1/2 AnVDD を変換, ^{c)}	504	512	520	LSB
	TESHLn1	1/3 AnVDD を変換, ^{c)}	331	341	351	LSB
	TESLn	AnVSS を変換, ^{c)}	0		20	LSB

- a) 量子化誤差 (±0.5LSB) は含みません。
- b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
- c) AnVDD = AnVREFP, AnVSS = AnVREFM, I_{OH}/I_{OL} = 0 μA

備考 n = 0, 1
 n = 0 のとき m = 6-23, n = 1 のとき m = 0-23

7.16.4 10ビット分解能 A/D : ADCA0I0-ADCA0I5

表 7-26 10ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャンネル S/H 機能無効時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES0SN		10	10	10	bit
変換時間	TCON0SN	バッファ・アンプ機能無効 (ADCA0CTL1.ADCA0BPC ビット = 0)	1.5		10	μs
総合誤差 ^a	TOE0SN				±2.0	LSB
積分非直線性誤差 ^a	ILE0SN				±2.0	LSB
微分非直線性誤差 ^a	DLE0SN				±1.5	LSB
ゼロスケール誤差 ^a	ZSE0SN				±1.5	LSB
フルスケール誤差 ^a	FSE0SN				±1.5	LSB
アナログ入力電圧	VAIN0SN		A0VREFM		A0VREFP	V
パワーダウン復帰時間 ^b					1	μs
A0VDD 電流	AIDD0SN	ADCA0CTL1.ADCA0BPCビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPCビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPCビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPCビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AIDD0SNPD	パワーダウン時 ^b		1		μA
A0VREFP 電流	AIREF0SN			500		μA
自己診断機能使用時変換結果	TESH0SN	A0VDD を変換, ^c	1003		1023	LSB
	TESHL0SN3	2/3 A0VDD を変換, ^c	673	683	693	LSB
	TESHL0SN2	1/2 A0VDD を変換, ^c	504	512	520	LSB
	TESHL0SN1	1/3 A0VDD を変換, ^c	331	341	351	LSB
	TESL0SN	A0VSS を変換, ^c	0		20	LSB

- a) 量子化誤差 (±0.5LSB) は含みません。
- b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
- c) A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 μA

表 7-27 10 ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャンネル S/H 機能有効時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES0S		10	10	10	bit
変換時間	TCON0S	・バッファ・アンプ機能有効 (ADCA0CTL1.ADCA0BPC ビット = 1) ・自己診断機能動作の時間は含まない	1.84		12.2	μs
チャンネル S/H 保存時間 ^{a)}			50			μs
総合誤差 ^{b)}	TOE0S				±2.5	LSB
積分非直線性誤差 ^{b)}	ILE0S				±2.0	LSB
微分非直線性誤差 ^{b)}	DLE0S				±1.5	LSB
ゼロスケール誤差 ^{b)}	ZSE0S				±2.0	LSB
フルスケール誤差 ^{b)}	FSE0S				±2.0	LSB
アナログ入力電圧	VAIN0S		0.2		A0VREFP - 0.2	V
パワーダウン復帰時間 ^{c)}		STOP モード解除後の動作開始			1	μs
A0VDD 電流	AIDD0S	ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能未使用時)		^{d)}	22.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能使用時)		^{d)}	24.0	mA
	AIDD0SPD	パワーダウン時 ^{c)}		1		μA
A0VREFP 電流	AIREF0S			500		μA
自己診断機能使用時変換結果	TESHL0S3	2/3 A0VDD を変換, ^{e)}	672	683	694	LSB
	TESHL0S2	1/2 A0VDD を変換, ^{e)}	503	512	521	LSB
	TESHL0S1	1/3 A0VDD を変換, ^{e)}	330	341	352	LSB

- a) チャンネル S/H 保存時間とは、S/H 回路でサンプリングした電圧を保存できる時間のことです。
- b) 量子化誤差 (±0.5LSB) は含みません。
- c) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 設定時のことです。
- d) $AIDDn + 1.72 \text{ (mA)} \times (\text{使用するチャンネル S/H 回路数})$
AIDDn の詳細については、表 7-25 10 ビット分解能 A/D : ADCAnIm を参照してください。
- e) $A0VDD = A0VREFP, A0VSS = A0VREFM, I_{OH}/I_{OL} = 0 \text{ } \mu\text{A}$

7.16.5 アナログ入力部の等価回路 (参考値)

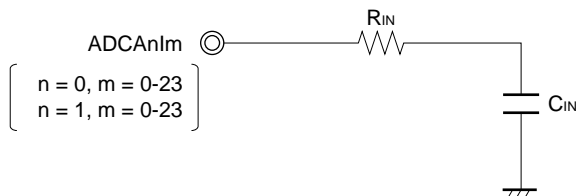


表 7-28 等価回路 (参考値)

端子	条件	R _{IN} (kΩ)	C _{IN} (pF)	
ADCA0I0-ADCA0I5	チャンネル S/H 機能使用時	0.7	3.6	
	チャンネル S/H 機能未使用時	ADCA0CTL1.ADCA0BPC ビット = 0	1.6	12.6
		ADCA0CTL1.ADCA0BPC ビット = 1	1.5	7.1
ADCA0I6-ADCA0I23	ADCA0CTL1.ADCA0BPC ビット = 0	1.2	11.9	
	ADCA0CTL1.ADCA0BPC ビット = 1	1.1	7.1	
ADCA1I0-ADCA1I23	ADCA0CTL1.ADCA0BPC ビット = 0	1.2	11.9	
	ADCA0CTL1.ADCA0BPC ビット = 1	1.1	7.1	

備考 上記値は MAX. 値 (参考値) です。

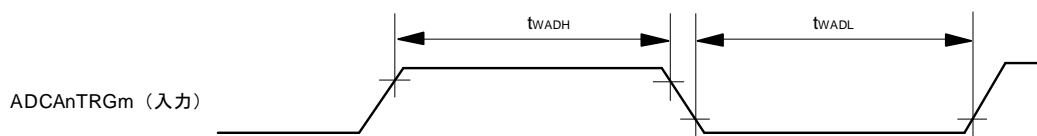
7.16.6 ADCAnTRGm タイミング

表 7-29 ADCAnTRGm タイミング

項目	略号	条件	MIN.	単位
ADCAnTRGm 入力ハイ・レベル幅	t _{WADH}	デジタル・ノイズ・フィルタ使用	a	ns
		デジタル・ノイズ・フィルタをバイパス	b	ns
ADCAnTRGm 入力ロウ・レベル幅	t _{WADL}	デジタル・ノイズ・フィルタ使用	a	ns
		デジタル・ノイズ・フィルタをバイパス	b	ns

- a) 選択されたデジタル・ノイズ・フィルタ設定により異なります。
2T_{smp} + 20, 3T_{smp} + 20, 4T_{smp} + 20, 5T_{smp} + 20
デジタル・ノイズ・フィルタを通過後の信号が、A/D の PCLK 1 クロックよりも長い幅になるように設定してください。
- b) t_{SYNC}+20(t_{SYNC} : A/D の 1PCLK)

備考 n = 0, 1
m = 0-2

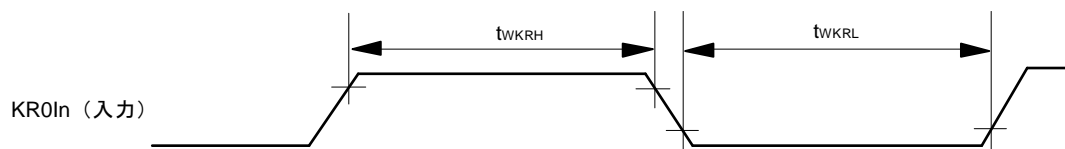


7.17 キー・リターン・タイミング

表 7-30 キー・リターン・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ハイ・レベル幅	tWKRH		300			ns
KR0In 入力ロウ・レベル幅	tWKRL		300			ns

備考 n = 0-7



8. メモリ・スペック

8.1 コード・フラッシュ特性

表 8-1 コード・フラッシュ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	tCPU	PLL 使用時			80	MHz
		SSCG 使用時			88.32	MHz
電源電圧	VDD		V _{POC} ^a		5.5	V
書き換え回数	C _{WRT}	データ保存 20 年			100	回
プログラミング温度	tPRG	(A) 品	- 40		85	°C
		(A1) 品	- 40		110	°C
		(A2) 品	- 40		125	°C

a) V_{POC} : POC 検出電圧
V_{POC} の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

注意 出荷品に対する初回書き込み時には、「消去→書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は 1 回となります。

例 (P : 書き込み, E : 消去)

出荷品 → P → E → P → E → P : 書き換え回数 3 回

出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

8.2 データ・フラッシュ特性

表 8-2 データ・フラッシュ特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	tCPU	PLL 使用時			80	MHz
		SSCG 使用時			88.32	MHz
電源電圧	VDD		V _{POC} ^a		5.5	V
書き換え回数	D _{WRT1}	データ保存 20 年			1000	回
	D _{WRT2}	データ保存 15 年			5000	回
	D _{WRT3}	データ保存 5 年			15000	回
プログラミング温度	tPRG	(A) 品	- 40		85	°C
		(A1) 品	- 40		110	°C
		(A2) 品	- 40		125	°C

a) V_{POC} : POC 検出電圧
V_{POC} の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

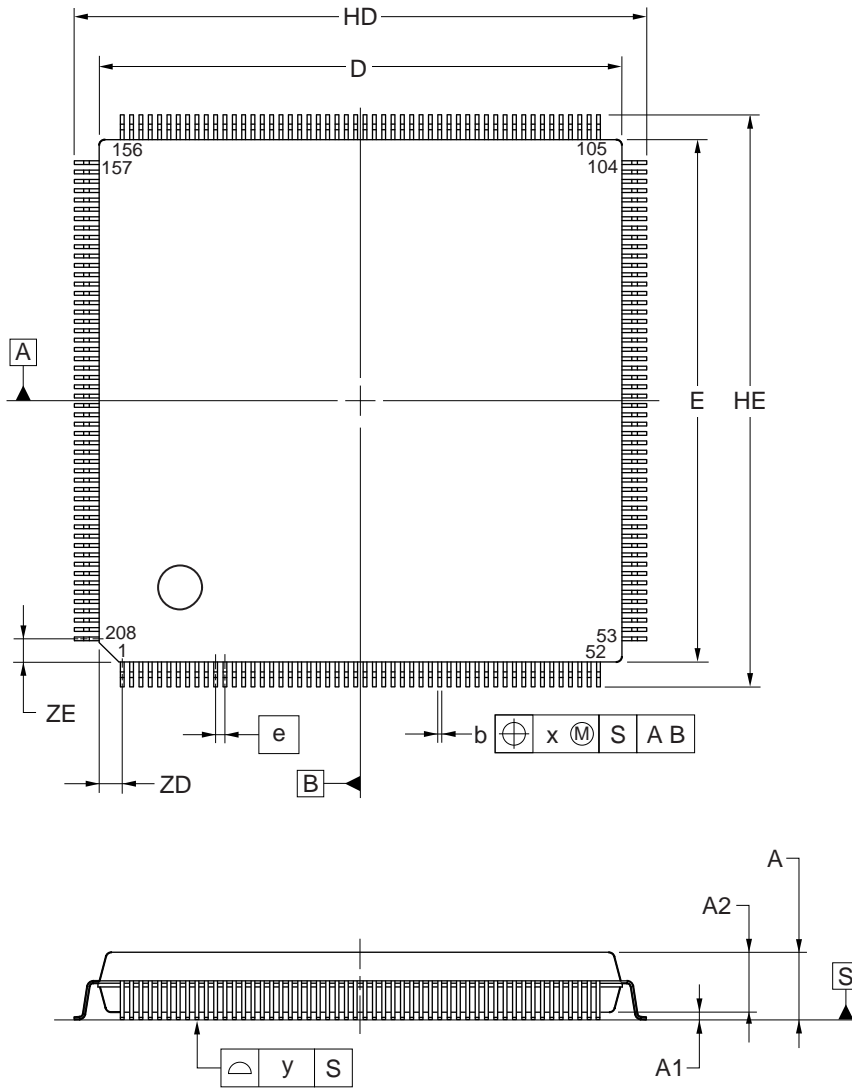
8.3 シリアル書き込みオペレーション特性

表 8-3 シリアル書き込みオペレーション特性

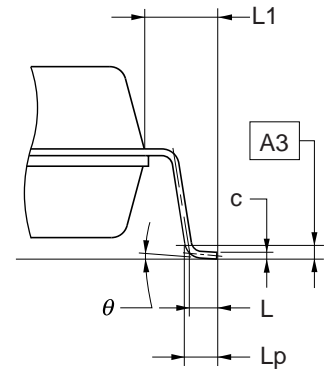
項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 設定時間	tDR		1			ms
RESET 解除時間	tPR		2			ms
FLMD0 ロウ・レベル幅/ ハイ・レベル幅	tPW		10		100	μs
FLMD0 立ち上がり時間	tR				20	ns
FLMD0 立ち下がり時間	tF				20	ns
消去時間		4 K バイト単位			54	ms
プログラミング時間		128 ビット単位			50	μs

9. 外形图

208-PIN PLASTIC QFP (FINE PITCH) (28x28)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	28.00±0.20
E	28.00±0.20
HD	30.60±0.20
HE	30.60±0.20
A	3.80 MAX.
A1	0.40±0.10
A2	3.20±0.10
A3	0.25
b	0.20 ^{+0.07} _{-0.02}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.325 ^{+0.175} _{-0.225}
θ	3° ^{+7°} _{-3°}
e	0.50
x	0.10
y	0.10
ZD	1.25
ZE	1.25

P208GD-50-FAD

改訂記録	μ PD70F3559, 70F3560, 70F4011, 70F4012 データシート
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.12.12	—	初版発行

注意：本製品はRobert Bosch GmbHからライセンスを受けたFlexRay® IPモジュールを使用しています。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。
FlexRayは、Daimler AGの登録商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>