

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

概要

3886グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。シリアルI/Oを2本、A-D変換器、D-A変換器、システムデータバスインタフェース機能、ウォッチドッグタイマ、コンパレータ回路を内蔵しており、アナログ信号の処理を行うシステムの制御に最適です。

また、マルチマスタ²Cバスインタフェースをオプションにて追加可能です。

特長

マイコンモード

- 基本機械語命令 71
- 命令実行時間 0.4 μ s
(最短命令、発振周波数10MHz時)
- メモリ容量 ROM 32~60Kバイト
RAM 1024~2048バイト
- プログラマブル入出力ポート 72本
- ソフトウェアブルアップ抵抗 内蔵
- 割り込み 21要因16ベクタ
(キー入力割り込み含む)
- タイマ 8ビット \times 4
- シリアルI/O1 8ビット \times 1
(UART又はクロック同期形)
- シリアルI/O2 8ビット \times 1
(クロック同期形)
- PWM出力回路 14ビット \times 2
- バスインタフェース 2バイト
- I²Cバスインタフェース(オプション) 1チャンネル
- A-D変換器 10ビット \times 8チャンネル
- D-A変換器 8ビット \times 2チャンネル
- コンパレータ回路 8チャンネル
- ウォッチドッグタイマ 16ビット \times 1
- クロック発生回路 2回路内蔵
(セラミック共振子又は水晶発振子外付け)
- 電源電圧
高速モード時 4.0~5.5V
(発振周波数10MHz時)
中速モード時 2.7~5.5V(*)
(発振周波数10MHz時)
低速モード時 2.7~5.5V(*)
(発振周波数32kHz時)
(* : フラッシュメモリ版は4.0~5.5Vです)

●消費電力

高速モード時 40mW
(発振周波数10MHz時、電源電圧5V)

低速モード時 60 μ W
(発振周波数32kHz時、電源電圧3V)

●メモリ拡張 M38867M8A/E8Aのみ可能

●動作周囲温度 -20~85

フラッシュメモリモード

●電源電圧(プログラム/イレーズ時) $V_{CC}=5V \pm 10\%$

●プログラム/イレーズ電圧 $V_{PP}=11.7 \sim 12.6V$

●プログラム バイト単位

●イレーズ

一括消去 平行/シリアル入出力モード

ブロック消去 CPU書き換えモード

●ソフトウェアコマンドによるプログラム/イレーズ制御

●プログラム/イレーズ回数 100回

動作周囲温度(プログラム/イレーズ時) 常温

注意事項

1. フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。
2. フラッシュメモリ版の電源電圧範囲は $V_{CC}=4.0 \sim 5.5V$ です。

応用

家電、民生機器、通信機器、ノートPC等

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

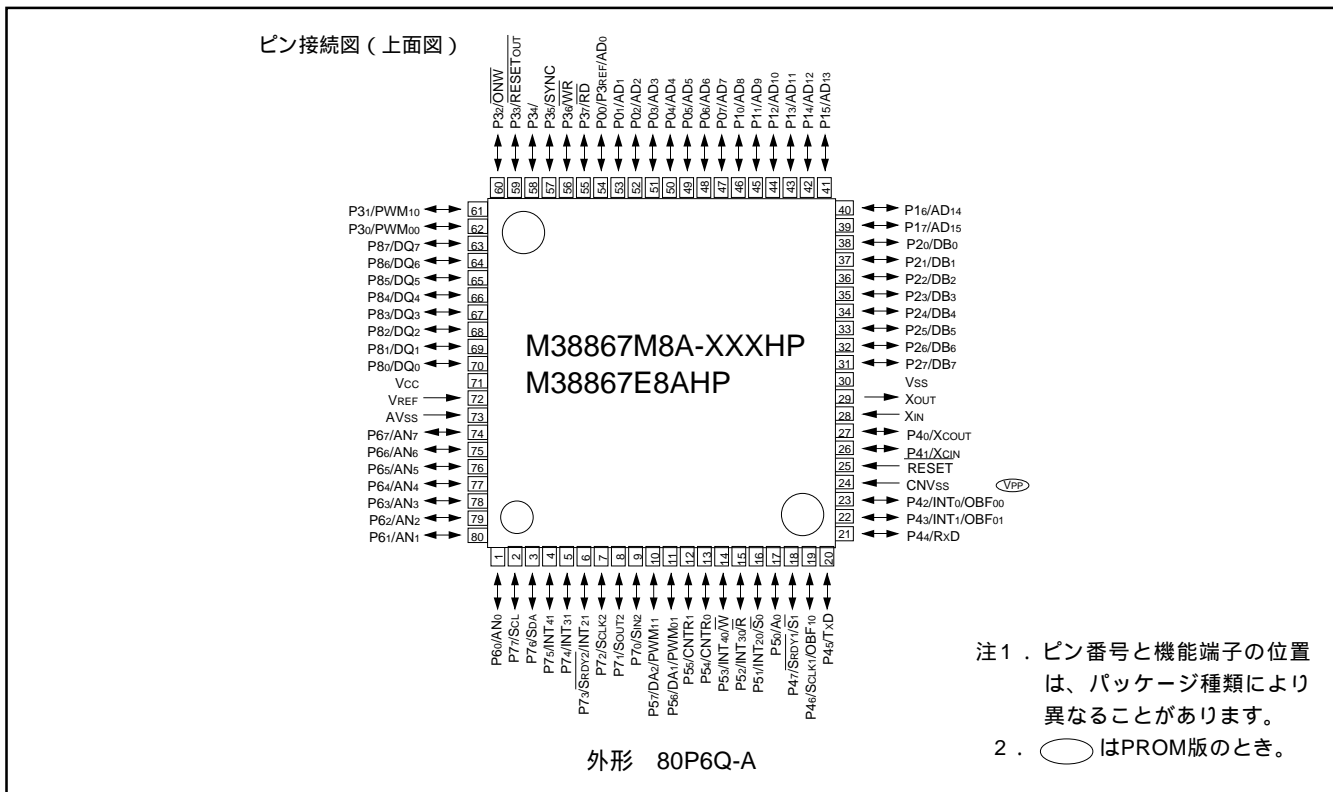


図1. M38867M8A-XXXHP, M38867E8AHPのピン接続図

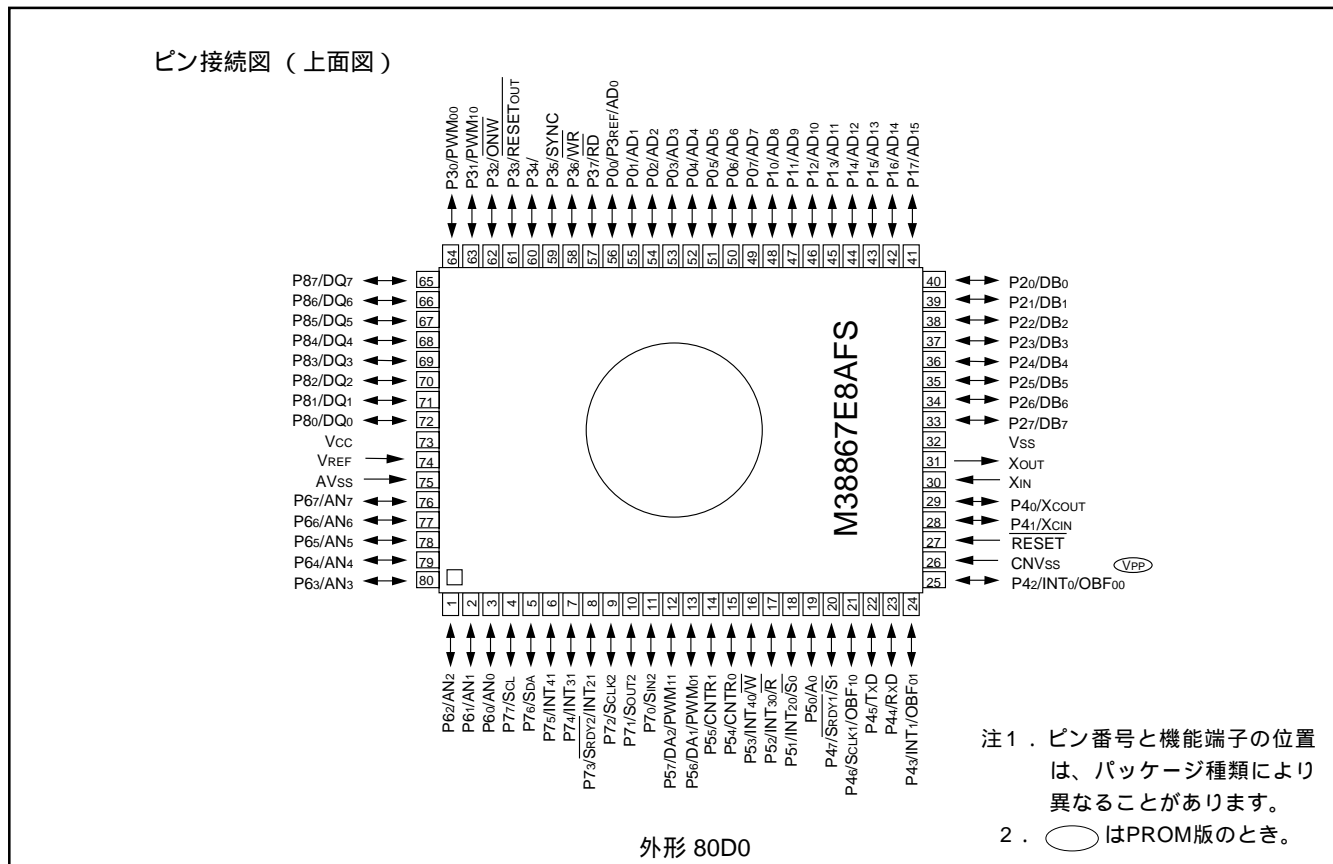
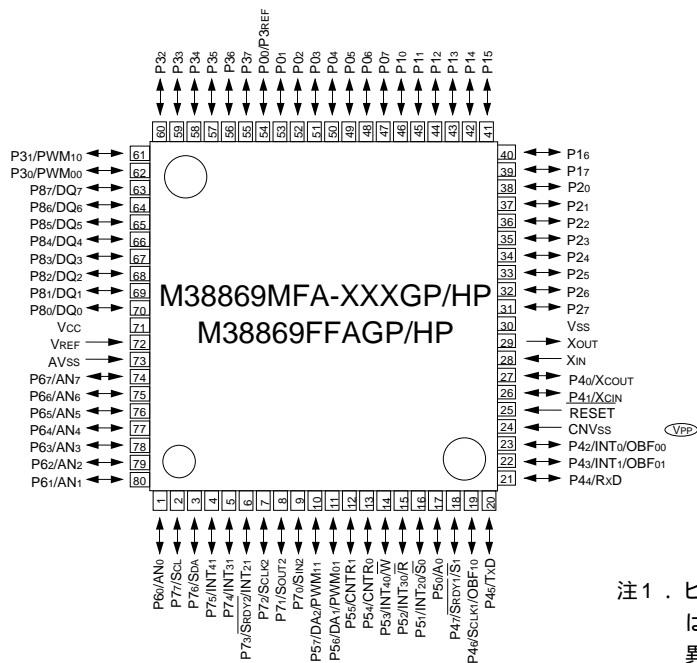


図2. M38867E8AFSのピン接続図

ピン接続図（上面図）



外形 80P6S-A/80P6Q-A

- 注1. ピン番号と機能端子の位置は、パッケージ種類により異なることがあります。
- 2. ○はフラッシュメモリ版のとき。

図3 . M38867MFA-XXXGP/HP, M38869FFAGP/HPのピン接続図

機能ブロック

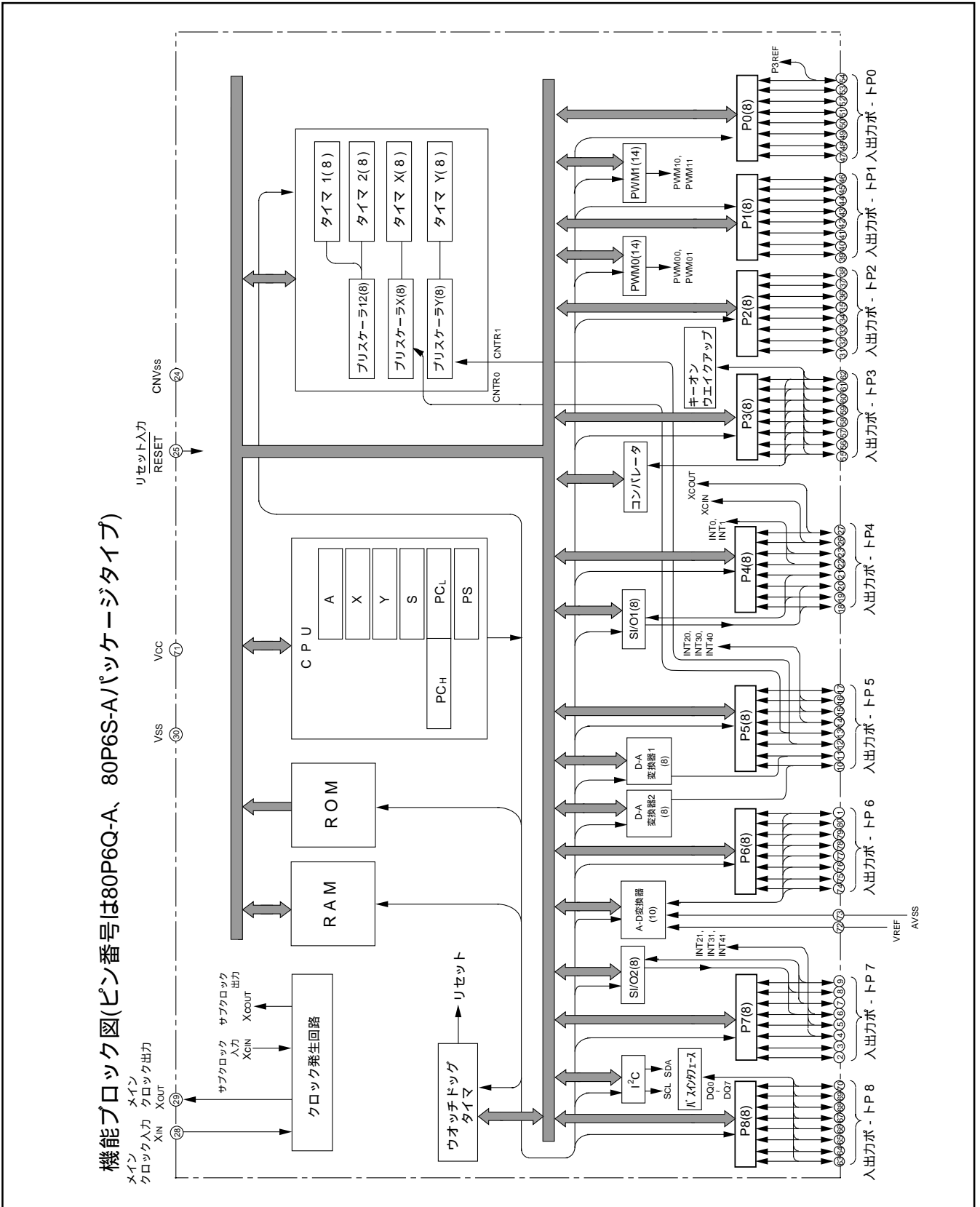


図4. 機能ブロック図

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

端子の機能説明

表1. 端子の機能説明(1)

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.7～5.5V, Vssに0Vを印加します。 フラッシュメモリ版では、Vccに4.0～5.5V、Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。Vccに接続すると、内部ROMが禁止されます。フラッシュメモリ版は、Vssに接続してください。EPROMモード、及びフラッシュメモリモードでは、VPP電源入力端子になります。	
VREF	基準電圧入力	A-D変換器およびD-A変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器およびD-A変換器のアナログ電源入力端子です。 この端子はVssに接続してください。	
RESET	リセット入力	アクティブLのりセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。	
XOUT	クロック出力		
P00/P3REF P01～P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを使用する場合は、アドレスバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステート/Nチャンネルオープンドレインの切り替えが可能です。	コンパレータ基準電源入力端子
P10～P17	入出力ポートP1	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合は、アドレスバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステート/Nチャンネルオープンドレインの切り替えが可能です。	
P20～P27	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はデータバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。P24～P27の4ビットは、LED駆動用の大電流出力が可能です。(シングルチップモードのみ)	
P30/PWM00 P31/PWM10 P32～P37	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。外部メモリを接続する場合はコントロールバスとして機能します。CMOS入力レベルで、出力形式はCMOS3ステートです。キーオンウエイクアップ及びコンパレータ入力として機能します。プルアップ制御可能です。	キーオンウエイクアップ入力端子 コンパレータ入力端子 PWM出力端子 キーオンウエイクアップ入力端子 コンパレータ入力端子
P40/XCOUT P41/XCIN P42/INT0 /OBF00 P43/INT1 /OBF01 P44/RxD P45/TxD P46/SCLK1 /OBF10 P47/SRDY1 /S1	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。 入力レベル P40,P41: CMOS入力レベル P42～P46: CMOS/TTL入力レベル切り替え可能 P47: バスインタフェース機能時、CMOS/TTL入力レベル切り替え可能 出力形式 P40,P41,P47: CMOS3ステート P42～P46: CMOS3ステート/Nチャンネルオープンドレイン切り替え可能 ・P42～P46は、入力ポート又は出力ポートの設定にかかわらず端子レベルの入力が可能です。 ・P42,P43を出力ポートとして使用する場合、出力データバスバッファ0をホストCPUが読み出した時P42,P43を0にクリアする機能を追加可能です。	サブクロック発生入出力端子(共振子を接続します。) 割り込み入力端子 バスインタフェース機能端子 シリアル/O1機能端子 シリアル/O1機能端子 バスインタフェース機能端子

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表2. 端子の機能説明(2)

端子名	名称	機能	ポート以外の機能
P50/A0	入出力ポートP5	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベル, 出力形式はCMOS3ステートです。 P50~P53はバスインタフェース機能時, CMOS/TTL入力レベル切り替えが可能です。	バスインタフェース機能端子
P51/INT20 /S0 P52/INT30 /R P53/INT40 /W			割り込み入力端子 バスインタフェース機能端子
P54/CNTR0 P55/CNTR1			タイムX, タイムY機能端子
P56/DA1 /PWM01 P57/DA2 /PWM11			D-A変換器出力端子 PWM出力端子
P60/AN0~ P67/AN7			入出力ポートP6
P70/SIN2 P71/SOUT2 P72/SCLK2	入出力ポートP7	P0とほぼ同等の機能を持った8ビットの入出力ポートです。P70~P75はCMOS/TTL入力レベル切り替えが可能, P76,P77はI ² C-BUSインタフェース機能時, CMOS/SMBUS入力レベル切り替えが可能です。出力形式はNチャンネルオープンドレインです。 P70~P75は, 入力ポート又は出力ポートの設定にかかわらず端子レベルの入力が可能です。	シリアルI/O2機能端子
P73/SRDY2 /INT21			シリアルI/O2機能端子 割り込み入力端子
P74/INT31 P75/INT41			割り込み入力端子
P76/SDA P77/SCL			I ² C-BUS インタフェース機能端子
P80/DQ0~ P87/DQ7	入出力ポートP8	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで, 出力形式はCMOS3ステートです。バスインタフェース機能時, CMOS/TTL入力レベル切り替えが可能です。	バスインタフェース機能端子

形名とメモリサイズ・パッケージ

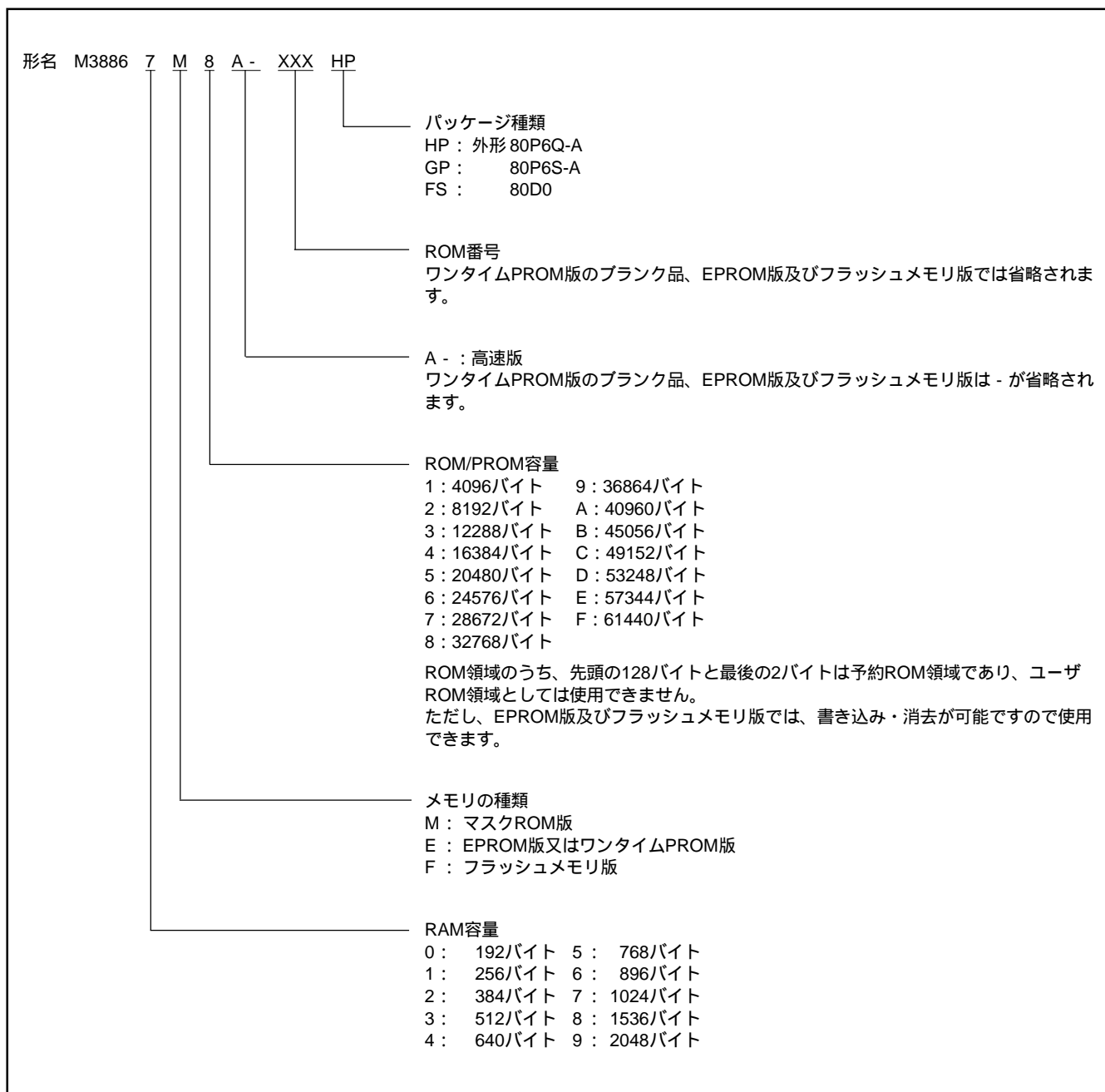


図5 . 形名とメモリサイズ・パッケージ

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

グループ展開

3886グループは次のように展開しています。

メモリの種類

マスクROM版、ワнтаイムPROM版、EPROM版、
フラッシュメモリ版のサポート

メモリ容量

ROM容量 32K ~ 60Kバイト

RAM容量 1024 ~ 2048バイト

パッケージ

80P6Q-A 0.5mmピッチプラスチックモールドLQFP

80P6S-A 0.65mmピッチプラスチックモールドQFP

80D0 0.8mmピッチセラミックLCC(EPROM版)

ピン番号と機能端子の位置は、パッケージ種類により異なることがあります。

3886グループ ROM、RAM展開

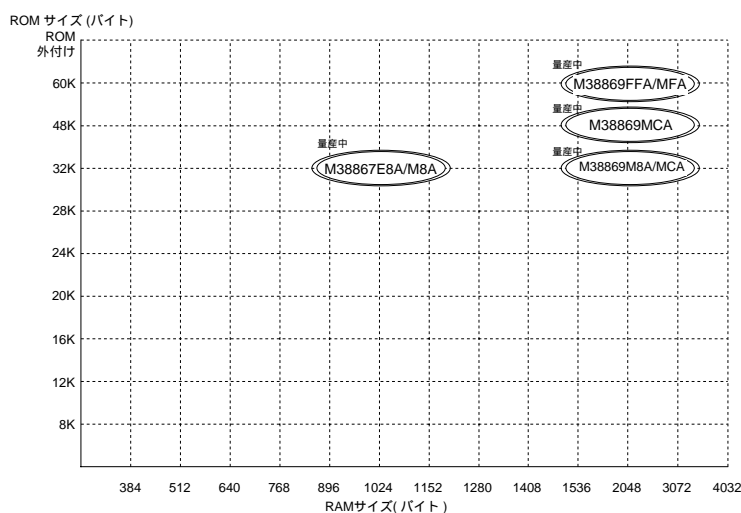


図6 . ROM及びRAM展開

現在量産中の製品を下記に示します。

表3 . サポート製品一覧

2000年7月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考	
M38867M8A-XXXHP	32768 (32638)	1024	80P6Q-A	マスクROM版	
M38867E8A-XXXHP				ワнтаイムPROM版	
M38867E8AHP			ワнтаイムPROM版(ブランク品)		
M38867E8AFS			80D0	EPROM版	
M38869M8A-XXXHP	49152 (49022)	2048	80P6Q-A	マスクROM版	
M38869M8A-XXXGP			80P6S-A		
M38869MCA-XXXHP			80P6Q-A		
M38869MCA-XXXGP			80P6S-A		
M38869MFA-XXXHP	61440 (61310)	2048	80P6Q-A	マスクROM版	
M38869MFA-XXXGP			80P6S-A		
M38869FFAHP			80P6Q-A		フラッシュメモリ版
M38869FFAGP			80P6S-A		

機能ブロック動作説明

中央演算処理装置 (CPU)

3886グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図7にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

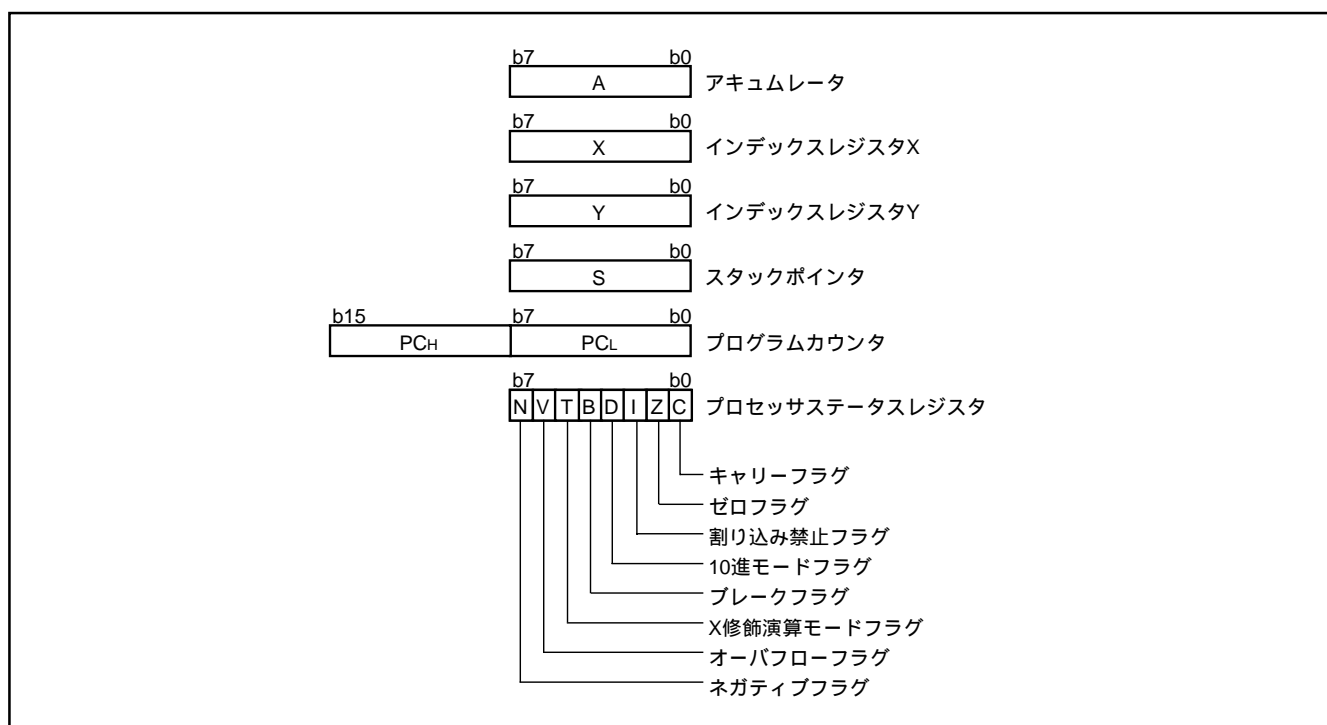


図7. 740ファミリ CPUの構成

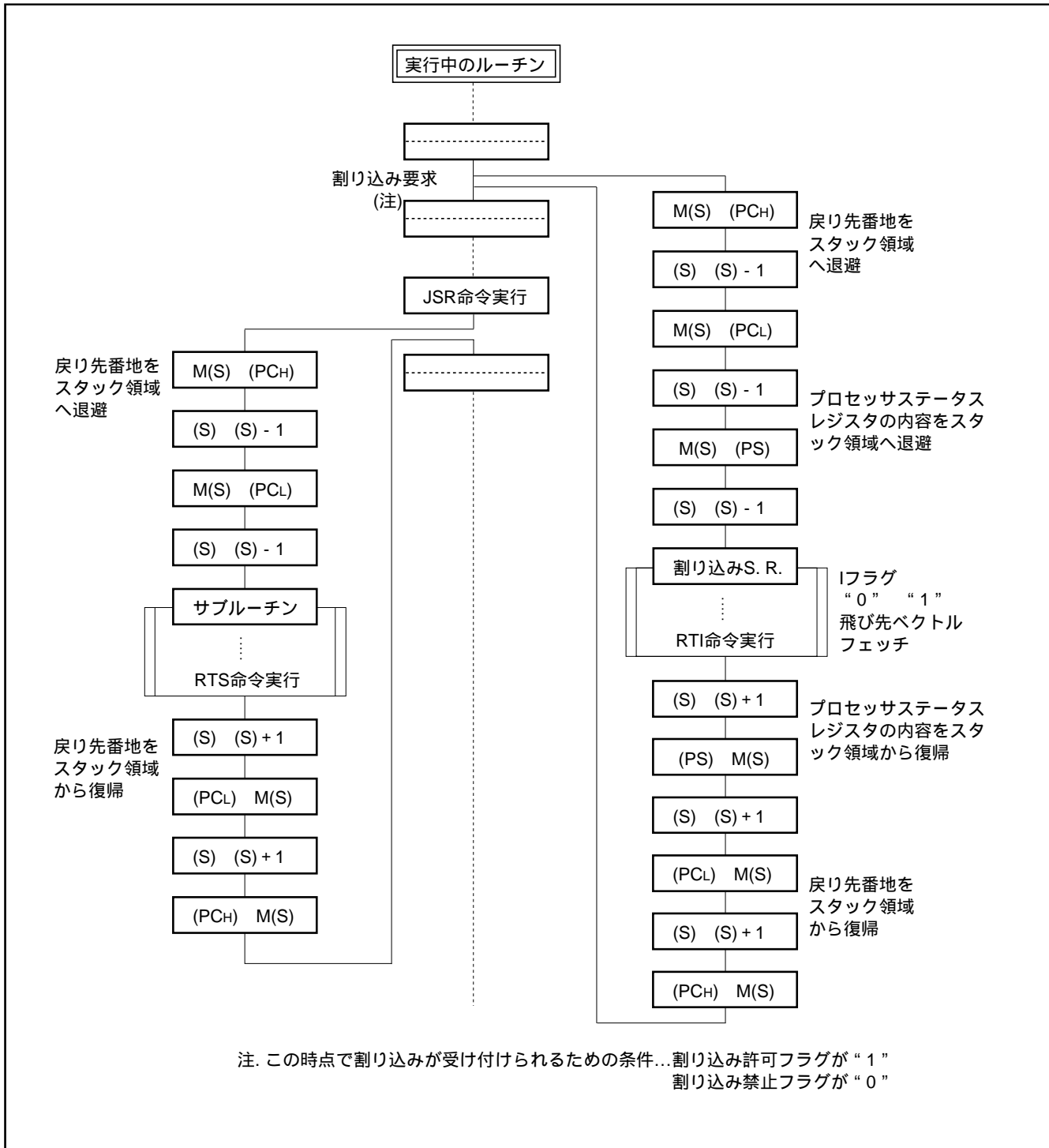


図8. スタックへの退避及び復帰動作

表4. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できませんが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされま

表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】

CPUモードレジスタには、スタックページの選択ビットやチップの動作モードを指定するプロセッサモードビットが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

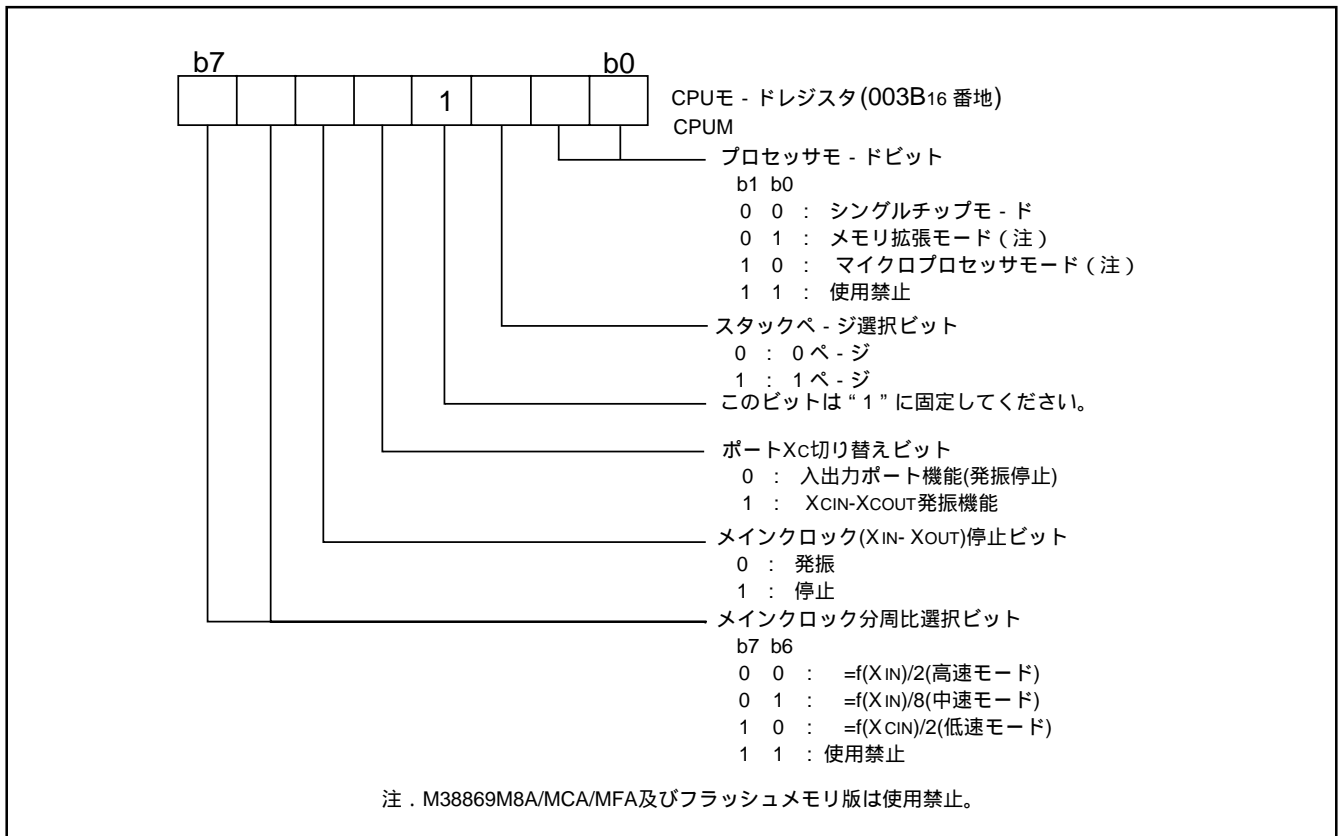


図9 . CPUモードレジスタの構成

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。EPROM版、フラッシュメモリ版では、予約ROM領域のプログラム/イレーズが可能です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

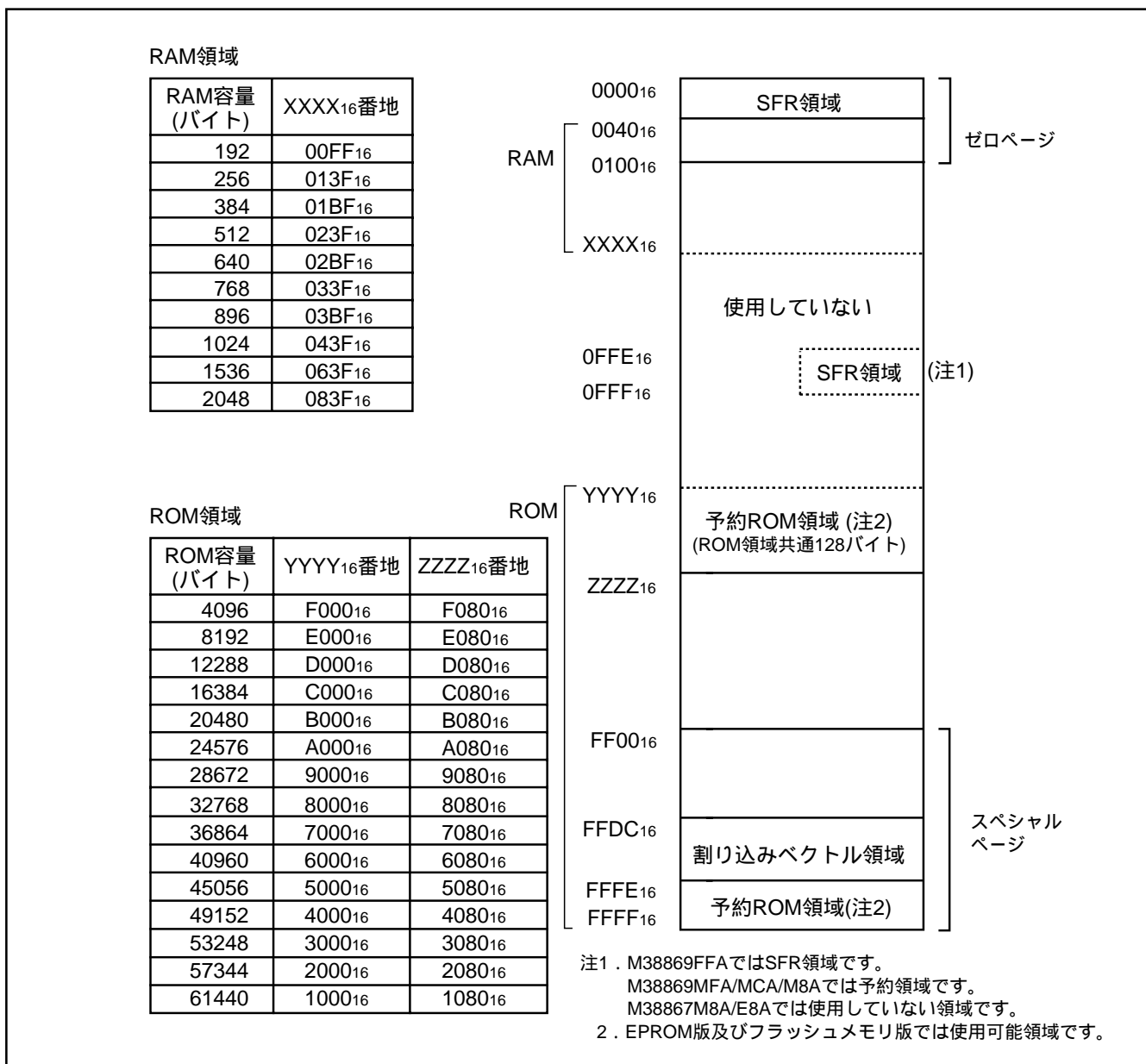


図10. メモリ配置図

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

0000 ¹⁶	ポートP0(P0)	0020 ¹⁶	プリスケアラ12(PRE12)
0001 ¹⁶	ポートP0方向レジスタ(P0D)	0021 ¹⁶	タイマ1(T1)
0002 ¹⁶	ポートP1(P1)	0022 ¹⁶	タイマ2(T2)
0003 ¹⁶	ポートP1方向レジスタ(P1D)	0023 ¹⁶	タイマXYモードレジスタ(TM)
0004 ¹⁶	ポートP2(P2)	0024 ¹⁶	プリスケアラX(PREX)
0005 ¹⁶	ポートP2方向レジスタ(P2D)	0025 ¹⁶	タイマX(TX)
0006 ¹⁶	ポートP3(P3)	0026 ¹⁶	プリスケアラY(PREY)
0007 ¹⁶	ポートP3方向レジスタ(P3D)	0027 ¹⁶	タイマY(TY)
0008 ¹⁶	ポートP4(P4)	0028 ¹⁶	データバスバッファレジスタ0(DBB0)
0009 ¹⁶	ポートP4方向レジスタ(P4D)	0029 ¹⁶	データバスバッファステータスレジスタ0(DBBSTS0)
000A ¹⁶	ポートP5(P5)	002A ¹⁶	データバスバッファ制御レジスタ(DBBCON)
000B ¹⁶	ポートP5方向レジスタ(P5D)	002B ¹⁶	データバスバッファレジスタ1(DBB1)
000C ¹⁶	ポートP6(P6)	002C ¹⁶	データバスバッファステータスレジスタ1(DBBSTS1)
000D ¹⁶	ポートP6方向レジスタ(P6D)	002D ¹⁶	コンパレータデータレジスタ(CMPD)
000E ¹⁶	ポートP7(P7)	002E ¹⁶	ポート制御レジスタ1(PCTL1)
000F ¹⁶	ポートP7方向レジスタ(P7D)	002F ¹⁶	ポート制御レジスタ2(PCTL2)
0010 ¹⁶	ポートP8(P8)/ポートP4入力レジスタ(P4I)	0030 ¹⁶	PWM0Hレジスタ(PWM0H)
0011 ¹⁶	ポートP8方向レジスタ(P8D)/ポートP7入力レジスタ(P7I)	0031 ¹⁶	PWM0Lレジスタ(PWM0L)
0012 ¹⁶	I ² Cデータシフトレジスタ(S0)	0032 ¹⁶	PWM1Hレジスタ(PWM1H)
0013 ¹⁶	I ² Cアドレスレジスタ(S0D)	0033 ¹⁶	PWM1Lレジスタ(PWM1L)
0014 ¹⁶	I ² Cステータスレジスタ(S1)	0034 ¹⁶	AD/DA制御レジスタ(ADCON)
0015 ¹⁶	I ² Cコントロールレジスタ(S1D)	0035 ¹⁶	A-D変換レジスタ1(AD1)
0016 ¹⁶	I ² Cクロックコントロールレジスタ(S2)	0036 ¹⁶	D-A1変換レジスタ(DA1)
0017 ¹⁶	I ² Cスタート/ストップコンディション制御レジスタ(S2D)	0037 ¹⁶	D-A2変換レジスタ(DA2)
0018 ¹⁶	送信/受信バッファレジスタ(TB/RB)	0038 ¹⁶	A-D変換レジスタ2(AD2)
0019 ¹⁶	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ¹⁶	割り込み要因選択レジスタ(INTSEL)
001A ¹⁶	シリアルI/O1制御レジスタ(SIO1CON)	003A ¹⁶	割り込みエッジ選択レジスタ(INTEDGE)
001B ¹⁶	UART制御レジスタ(UARTCON)	003B ¹⁶	CPUモードレジスタ(CPUM)
001C ¹⁶	ポーレートジェネレータ(BRG)	003C ¹⁶	割り込み要求レジスタ1(IREQ1)
001D ¹⁶	シリアルI/O2制御レジスタ(SIO2CON)	003D ¹⁶	割り込み要求レジスタ2(IREQ2)
001E ¹⁶	ウォッチドッグタイマ制御レジスタ(WDTCN)	003E ¹⁶	割り込み制御レジスタ1(ICON1)
001F ¹⁶	シリアルI/O2レジスタ(SIO2)	003F ¹⁶	割り込み制御レジスタ2(ICON2)
0FFE ¹⁶		0FFE ¹⁶	フラッシュメモリ制御レジスタ(FCON) (注)
		0FFF ¹⁶	フラッシュコマンドレジスタ(FCMD) (注)

注 . フラッシュメモリ版のみ

図11 . SFR(スペシャルファンクションレジスタ)メモリマップ

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポート

ラッチに書き込まれますが、端子はフローティングのままです。

ポート制御レジスタ2(002F₁₆番地)のP8機能選択ビットを“1”にすることにより、0010₁₆番地の読み出しがポートP4入力レジスタとなります。0011₁₆番地の読み出しがポートP7入力レジスタとなります。P4₂～P4₆、P7₀～P7₅は特殊機能として、方向レジスタの設定にかかわらず、それぞれポートP4入力レジスタ(0010₁₆番地)、ポートP7入力レジスタ(0011₁₆番地)を読み出すことで端子の値を読むことができます。

表6．入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/P3REF	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート/Nチャネル オープンドレイン出力	アドレス下位出力 アナログコンパレータ電源 入力端子	CPUモードレジスタ ポート制御レジスタ1 シリアル/O2制御 レジスタ	(1)
P01～P07		アドレス下位出力		CPUモードレジスタ	(2)	
P10～P17	ポートP1	アドレス上位出力		ポート制御レジスタ1	(2)	
P20～P27	ポートP2		CMOS入力レベル CMOS3ステート出力	データバス入出力	CPUモードレジスタ	(3)
P30/PWM00 P31/PWM10	ポートP3	制御信号入出力 PWM出力 キーオンウエイクアップ コンパレータ入力		CPUモードレジスタ ポート制御レジスタ1 AD/DA制御レジスタ	(4) (5)	
P32～P37		制御信号入出力 キーオンウエイクアップ コンパレータモード		CPUモードレジスタ ポート制御レジスタ1	(6)	
P40/XCOUT P41/XCIN	ポートP4		サブクロック発振回路	CPUモードレジスタ	(7) (8)	
P42/INT0 /OBF00 P43/INT1 /OBF01		CMOS/TTL入力レベル CMOS3ステート/Nチャネル オープンドレイン出力	外部割り込み入力 バスインタフェース機能 入出力	割り込みエッジ選択 レジスタ ポート制御レジスタ2 データバスバッファ 制御レジスタ	(9) (10)	
P44/RxD			シリアル/O1機能入力	シリアル/O1制御 レジスタ ポート制御レジスタ2	(11)	
P45/TxD			シリアル/O1機能出力	シリアル/O1制御 レジスタ UART制御レジスタ ポート制御レジスタ2	(12)	
P46/SCLK1 /OBF10		シリアル/O1機能入出力 バスインタフェース機能 出力	シリアル/O1制御 レジスタ データバスバッファ 制御レジスタ ポート制御レジスタ2	(13)		
P47/SRDY1 /S1		CMOS入力レベル CMOS3ステート出力 バスインタフェース機能選択時 CMOS/TTL入力レベル	シリアル/O1機能出力 バスインタフェース機能 入力	シリアル/O1制御 レジスタ データバスバッファ 制御レジスタ	(14)	

表7. 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P50/A0	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力 バスインタフェース機能選択時 CMOS/TTL入力レベル	バスインタフェース機能 入力	データバスバッファ 制御レジスタ	(15)
P51/INT20 /S0 P52/INT30 /R P53/INT40 /W				外部割り込み入力 バスインタフェース機能 入力	割り込みエッジ選択 レジスタ データバスバッファ 制御レジスタ	(16)
P54/CNTR0 P55/CNTR1			CMOS入力レベル CMOS3ステート出力	タイマX、タイマY機能 入出力	タイマXYモード レジスタ	(17)
P56/DA1 /PWM01 P57/DA2 /PWM11				D-A変換器出力 PWM出力	AD/DA制御レジスタ UART制御レジスタ	(18) (19)
P60/AN0 ~ P67/AN7			ポートP6		A-D変換器入力	AD/DA制御レジスタ
P70/SIN2 P71/SOUT2 P72/SCLK2	ポートP7		CMOS/TTL入力レベル Nチャネルオープンドレイン 出力	シリアル/O2機能入出力	シリアル/O2制御 レジスタ ポート制御レジスタ2	(21) (22) (23)
P73/SRDY2 /INT21				シリアル/O2機能出力 バスインタフェース機能 入力	シリアル/O2制御 レジスタ ポート制御レジスタ2	(24)
P74/INT31 P75/INT41				外部割り込み入力	割り込みエッジ選択 レジスタ ポート制御レジスタ2	(25)
P76/SDA P77/SCL			CMOS入力レベル Nチャネルオープンドレイン 出力 I ² C-BUSインタフェース機能選択時 CMOS/SMBUS入力レベル	I ² C-BUSインタフェース 機能入出力	I ² Cコントロール レジスタ	(26) (27)
P80/DQ0 ~ P87/DQ7	ポートP8		CMOS入力レベル CMOS3ステート出力 バスインタフェース機能選択時 CMOS/TTL入力レベル	バスインタフェース機能 入出力	データバスバッファ 制御レジスタ	(28)

注1. シングルチップモード以外のモードにおけるポートP0～P3の機能、及びダブルファンクションポートを機能入出力端子として使用する
方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流
れ、電源電流が増加します。

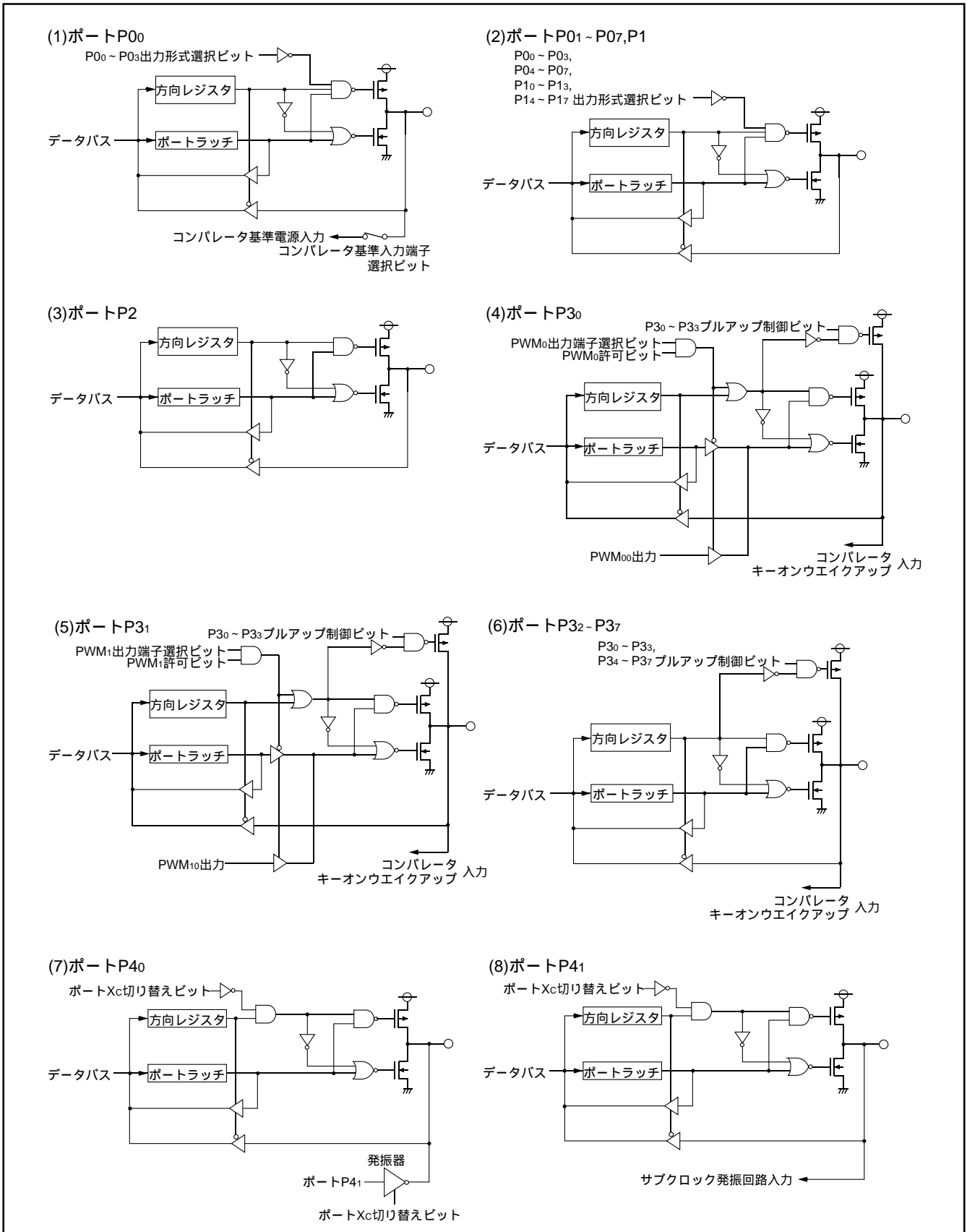
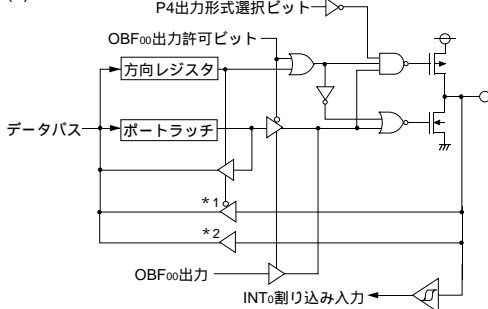
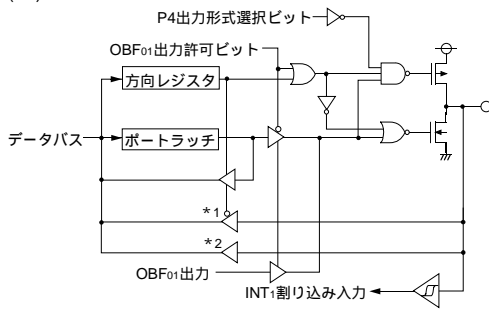


図12. ポートのブロック図(1)

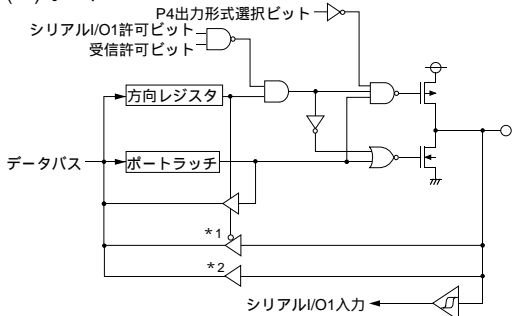
(9)ポートP42



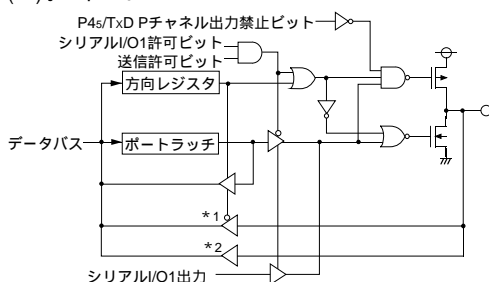
(10)ポートP43



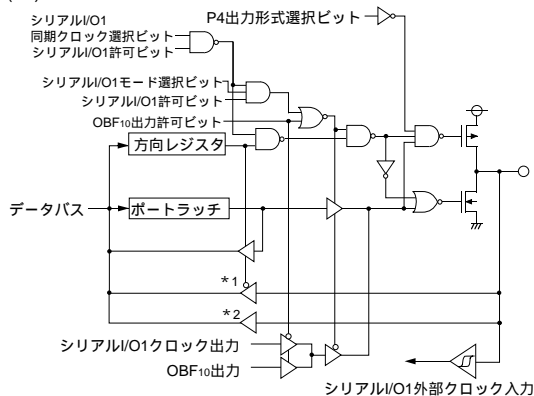
(11)ポートP44



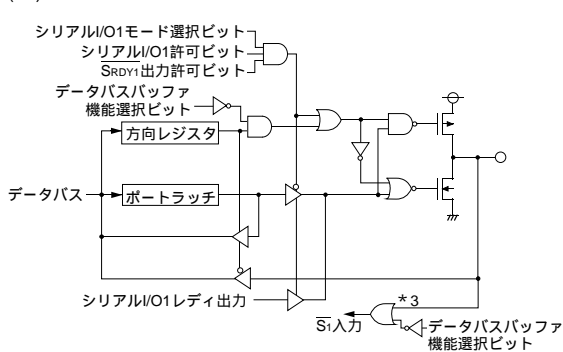
(12)ポートP45



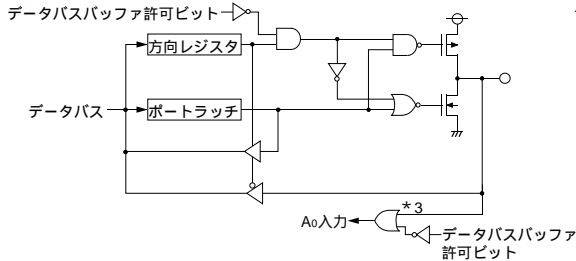
(13)ポートP46



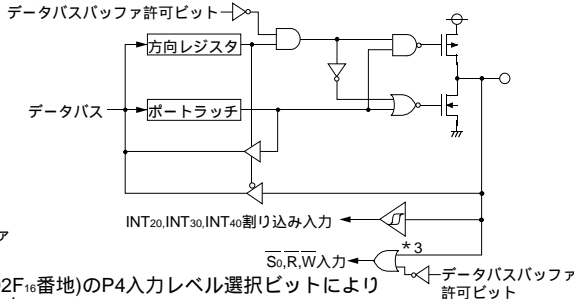
(14)ポートP47



(15)ポートP50



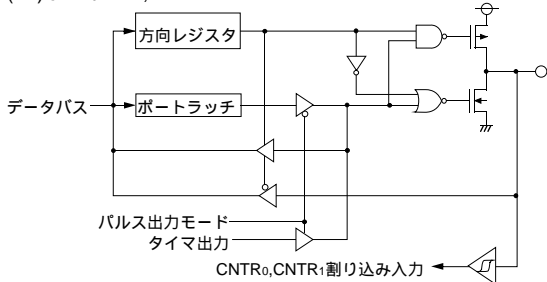
(16)ポートP51,P52,P53



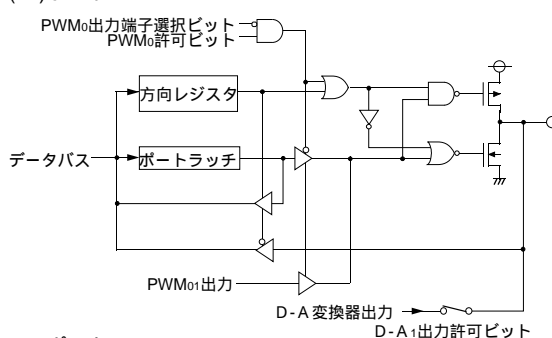
- * 1.入力レベルはポート制御レジスタ2(002F₁₆番地)のP4入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。
- * 2.入力レベルはポート制御レジスタ2(002F₁₆番地)のP4入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。
ポート制御レジスタ2(002F₁₆番地)のP8機能選択ビットによりポートP8/ポートP4入力レジスタの切り替えが可能です。
- * 3.入力レベルはデータバスバッファ制御レジスタ(002A₁₆番地)の入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。

図13. ポートのブロック図(2)

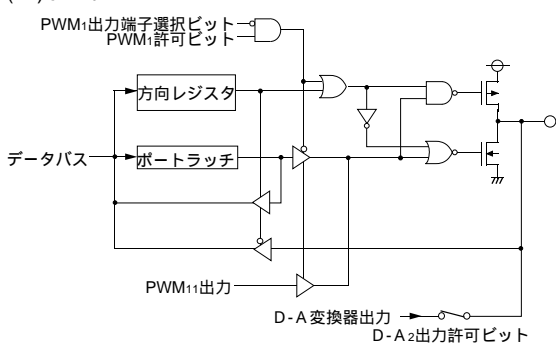
(17)ポートP54,P55



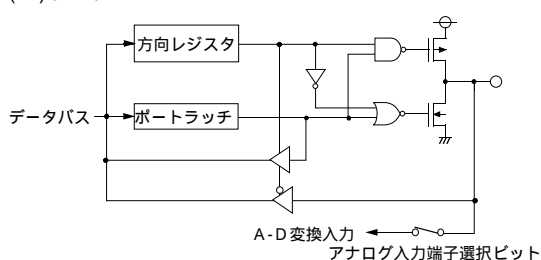
(18)ポートP56



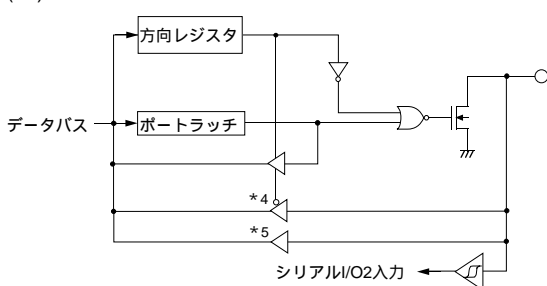
(19)ポートP57



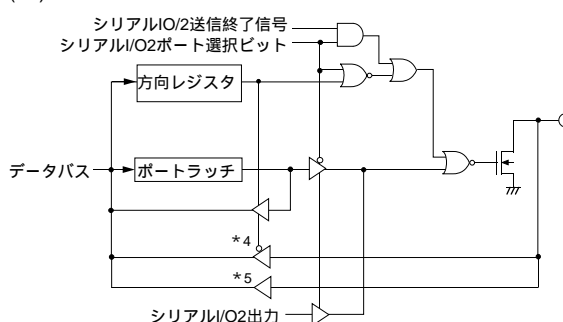
(20)ポートP6



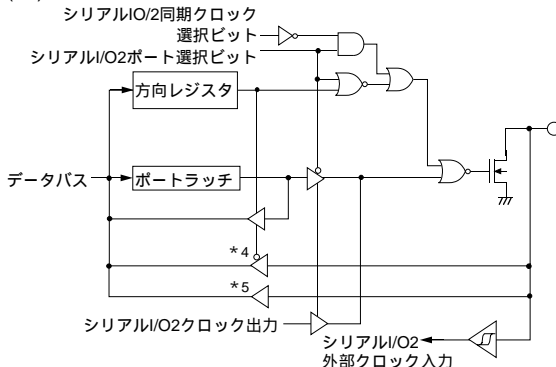
(21)ポートP70



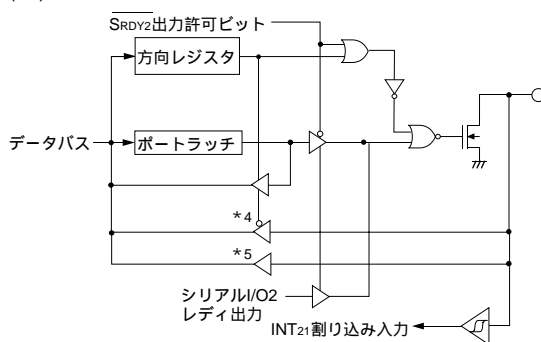
(22)ポートP71



(23)ポートP72



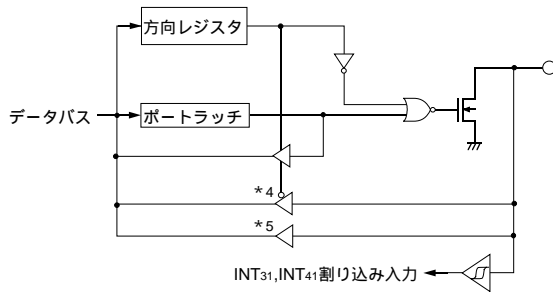
(24)ポートP73



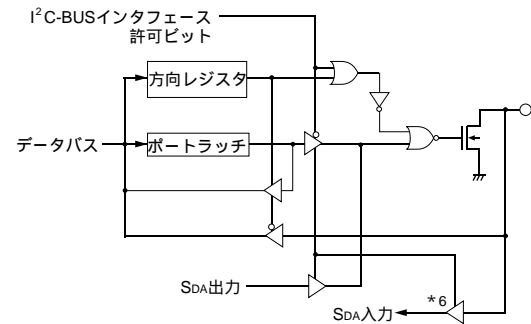
- * 4. 入力レベルはポート制御レジスタ2(002F₁₆番地)のP7入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。
- * 5. 入力レベルはポート制御レジスタ2(002F₁₆番地)のP7入力レベル選択ビットによりCMOS/TTLレベルの切り替えが可能です。
ポート制御レジスタ2(002F₁₆番地)のP8機能選択ビットによりポートP8方向レジスタ/ポートP7入力レジスタの切り替えが可能です。

図14. ポートのブロック図(3)

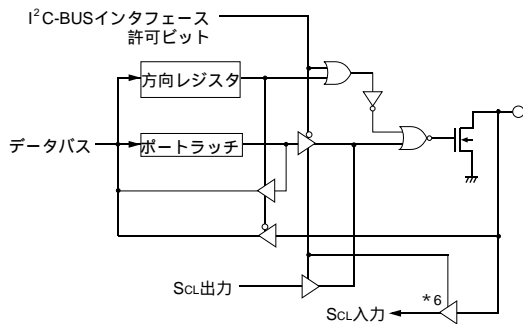
(25)ポートP74,P75



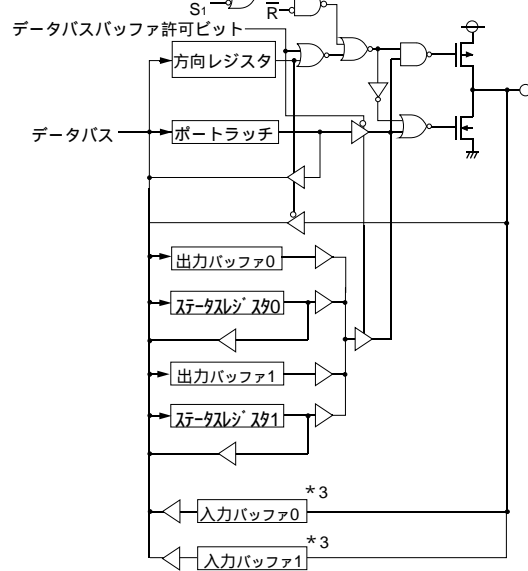
(26)ポートP76



(27)ポートP77



(28)ポートP8



*6. 入力レベルはI²Cコントロールレジスタ(0015₁₆番地)のI²C-BUSインタフェース端子入力選択ビットによりCMOS/SMBUSレベルの切り替えが可能です。

図15 . ポートのブロック図(4)

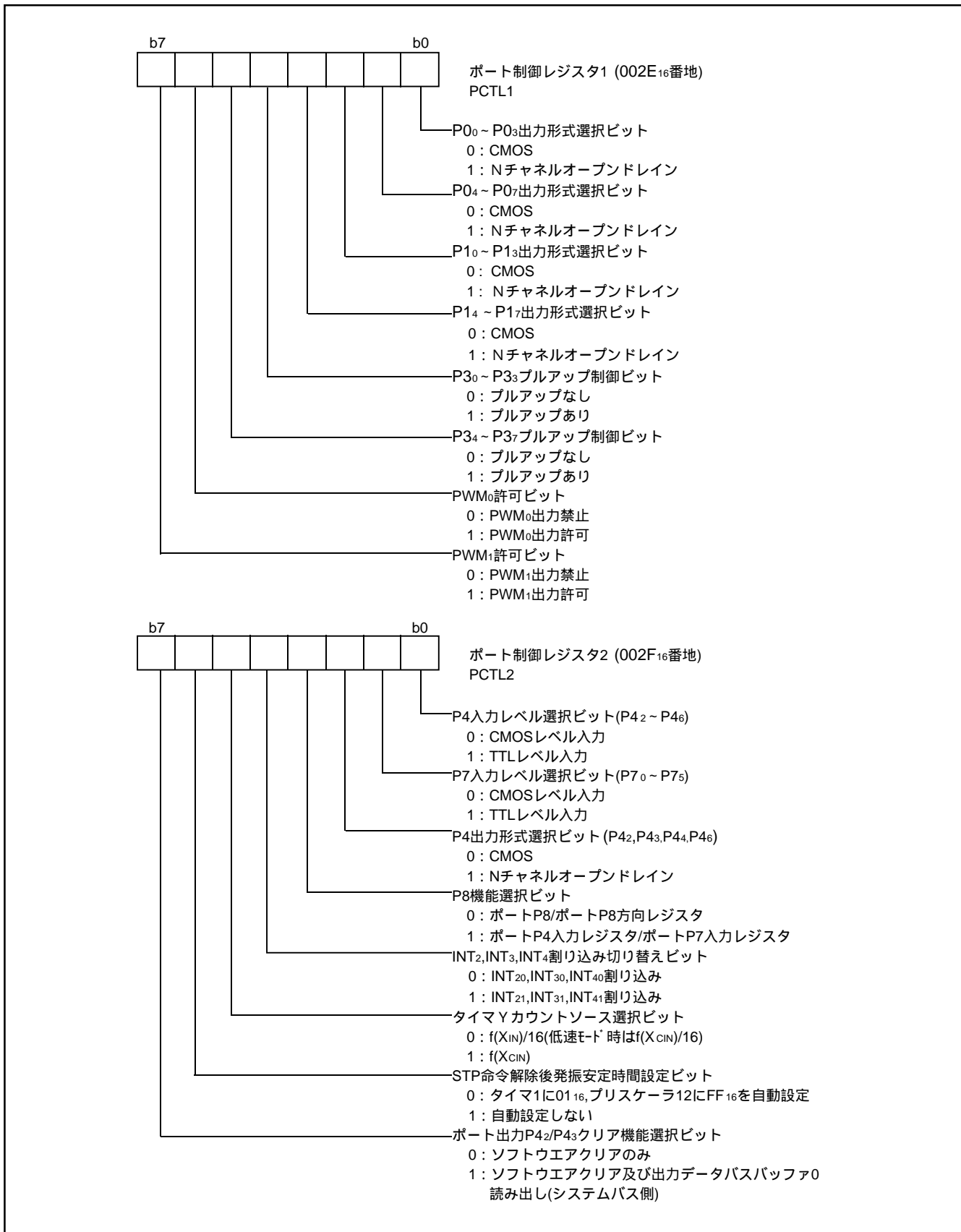


図16. ポート入出力関連レジスタの構成

割り込み

割り込みはベクトル割り込みで、外部9要因、内部11要因、ソフトウェア1要因の21要因のうち16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

・割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(0039₁₆番地)によりいずれかを選択することができます。

1. INT₀あるいはインプットバッファフル
2. INT₁あるいはアウトプットバッファエンpty
3. シリアルI/O1送信あるいはSCLSDA
4. CNTR₀あるいはSCLSDA
5. シリアルI/O2あるいはI²C
6. INT₂あるいはI²C
7. CNTR₁あるいはキーオンウエイクアップ
8. A-D変換あるいはキーオンウエイクアップ

・外部割り込み端子選択

外部割り込みINT₂、INT₃、INT₄は、外部入力端子であるINT₂₀、INT₃₀、INT₄₀あるいは、INT₂₁、INT₃₁、INT₄₁のいずれかをポート制御レジスタ2のINT₂、INT₃、INT₄割り込み切り替えビット(002F₁₆番地のビット4)により選択することができます。

■注意事項

割り込みエッジ選択レジスタ(003A₁₆番地)、割り込み要因選択レジスタ(0039₁₆番地)及びポート制御レジスタ2のINT₂、INT₃、INT₄割り込み切り替えビット(002F₁₆番地のビット4)の設定を変更する際、割り込み要求ビットがセットされることがあります。

割り込みを禁止し、上記の選択レジスタや切り替えビットを設定した後、割り込み要求ビットを“0”にクリアしてから、割り込みを受け付けてください。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0 ----- インプットバッファフル (IBF)	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時 入力データバスバッファ書き込み時	外部割り込み (極性プログラマブル)
INT1 ----- アウトプットバッファエンブ ティ(OBE)	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時 出力データバスバッファ読み出し時	外部割り込み (極性プログラマブル)
シリアル/O1受信	4	FFF716	FFF616	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信 ----- SCL, SDA	5	FFF516	FFF416	シリアル/O1送信シフト終了時又は送信バッファ空き時 SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	シリアル/O1選択時のみ有効 外部割り込み (極性プログラマブル)
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ1	8	FFEF16	FFEE16	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	9	FFED16	FFEC16	タイマ2アンダフロー時	
CNTR0 ----- SCL, SDA	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時 SCL又はSDAの立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル) 外部割り込み (極性プログラマブル)
CNTR1 ----- キーオンウエイクアップ	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時 ポートP3(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み (極性プログラマブル) 外部割り込み (立ち下がり有効)
シリアル/O2 ----- I ² C	12	FFE716	FFE616	シリアル/O2データ送受信終了時 データ送受信完了時	シリアル/O2選択時のみ有効
INT2 ----- I ² C	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時 データ送受信完了時	外部割り込み (極性プログラマブル)
INT3	14	FFE316	FFE216	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT4	15	FFE116	FFE016	INT4入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換 ----- キーオンウエイクアップ	16	FFDF16	FFDE16	A-D変換終了時 ポートP3(入力時)の入力論理レベルの論理積の立ち下がり時	外部割り込み (立ち下がり有効)
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフト ウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

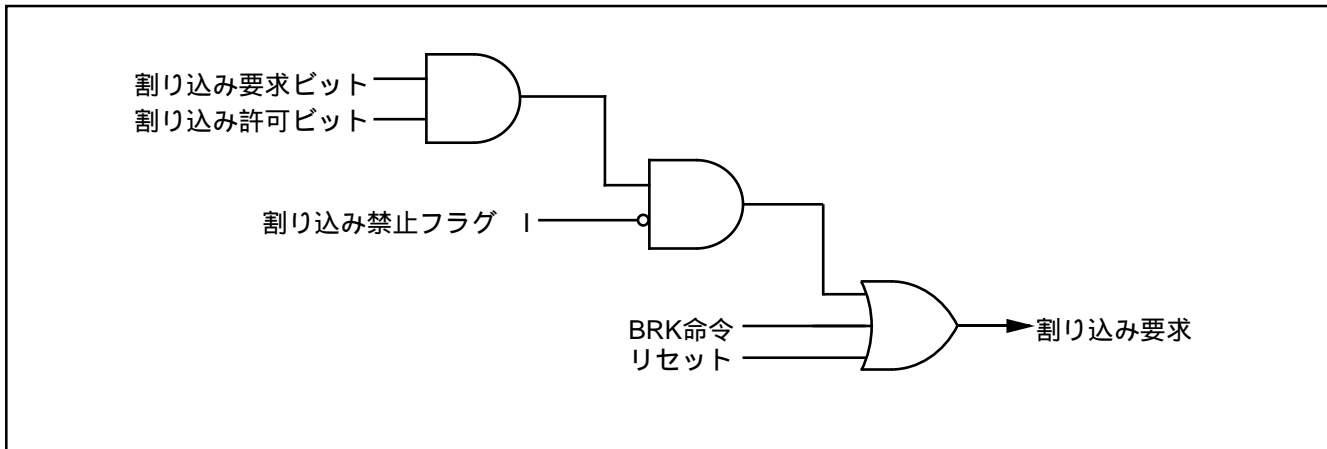


図17. 割り込み制御図

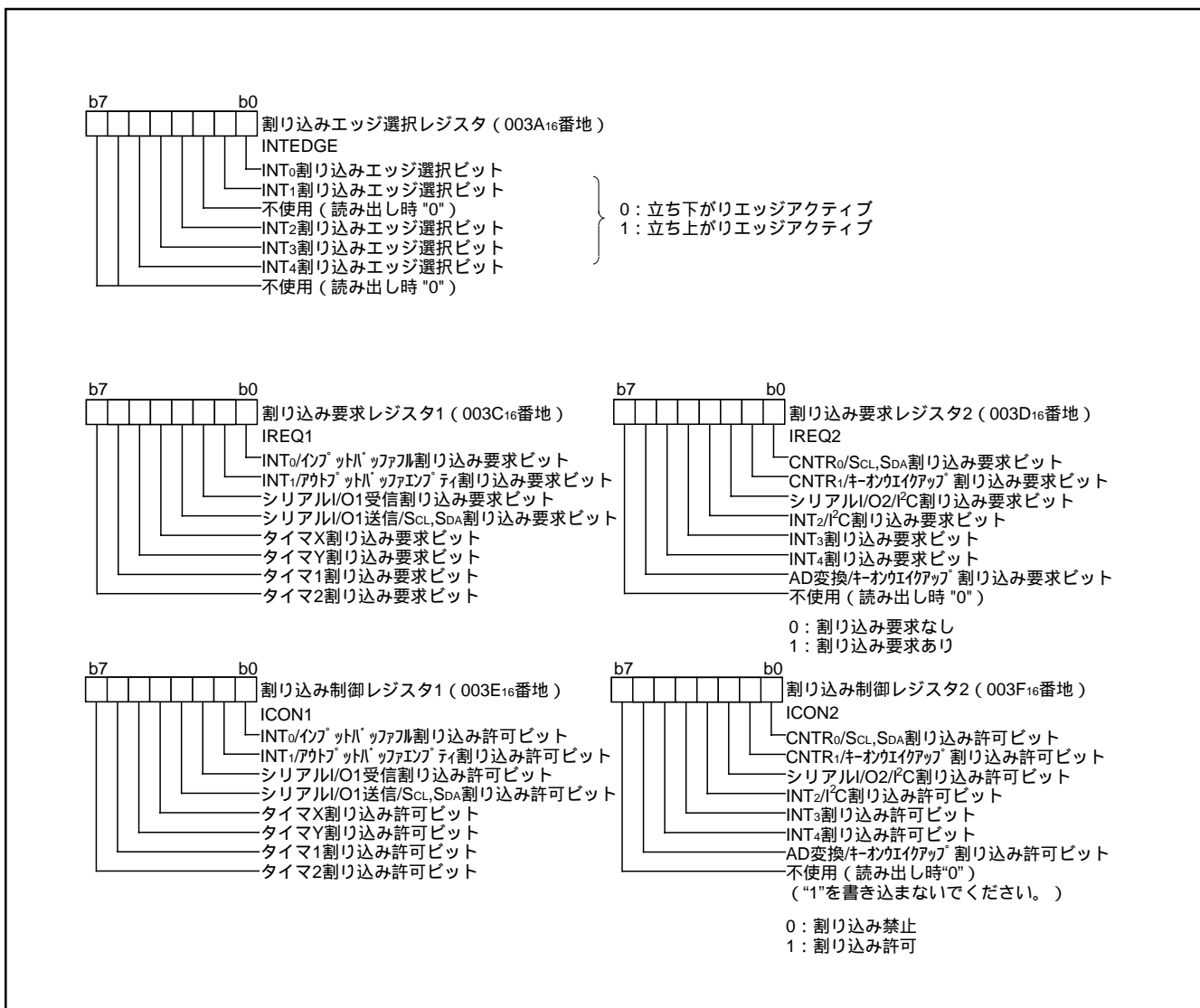


図18. 割り込み関係レジスタの構成 (1)

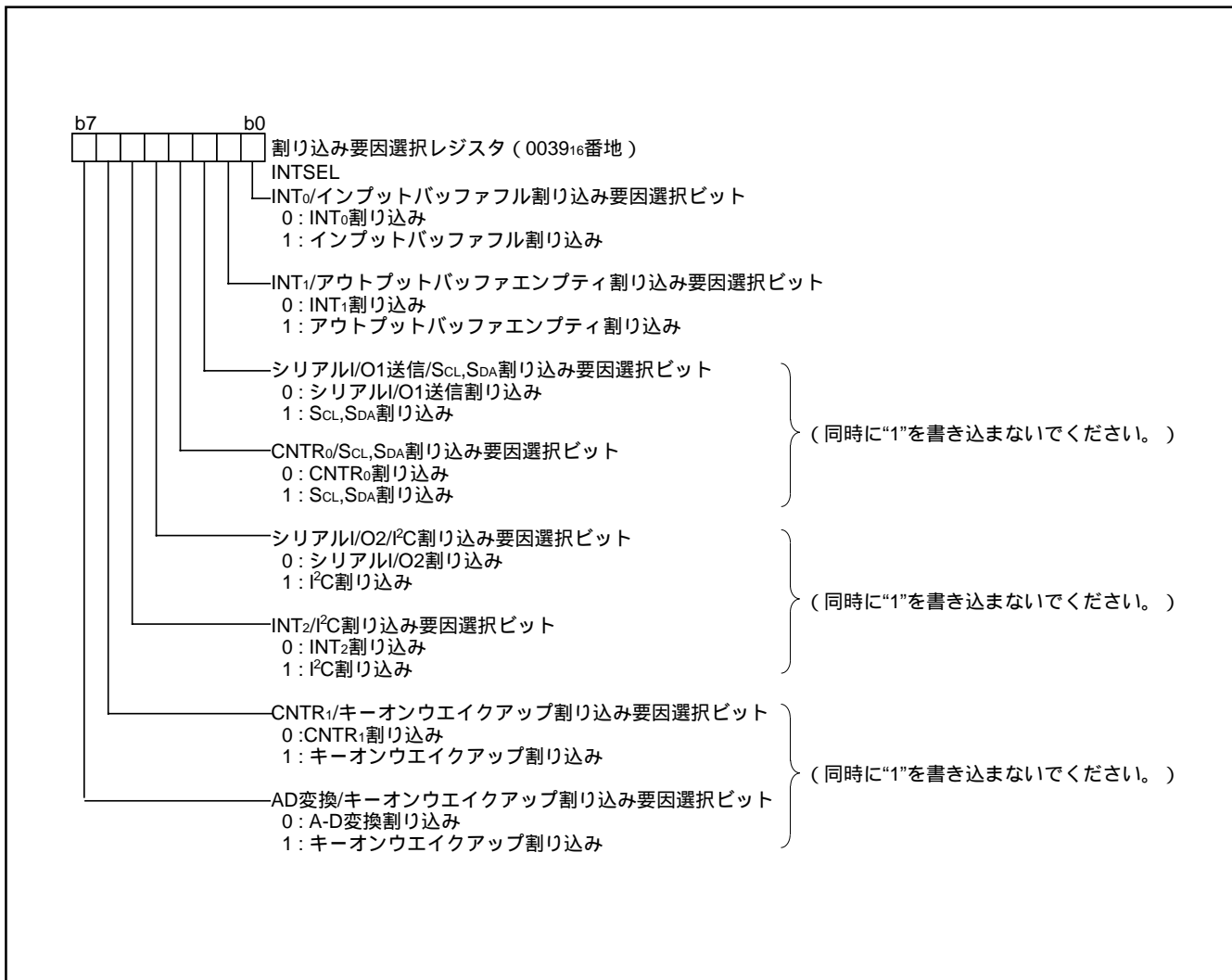


図19 . 割り込み関係レジスタの構成(2)

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP3のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要求が

発生します。図20はキー入力割り込みを用いた一例で、ポートP30~P33を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

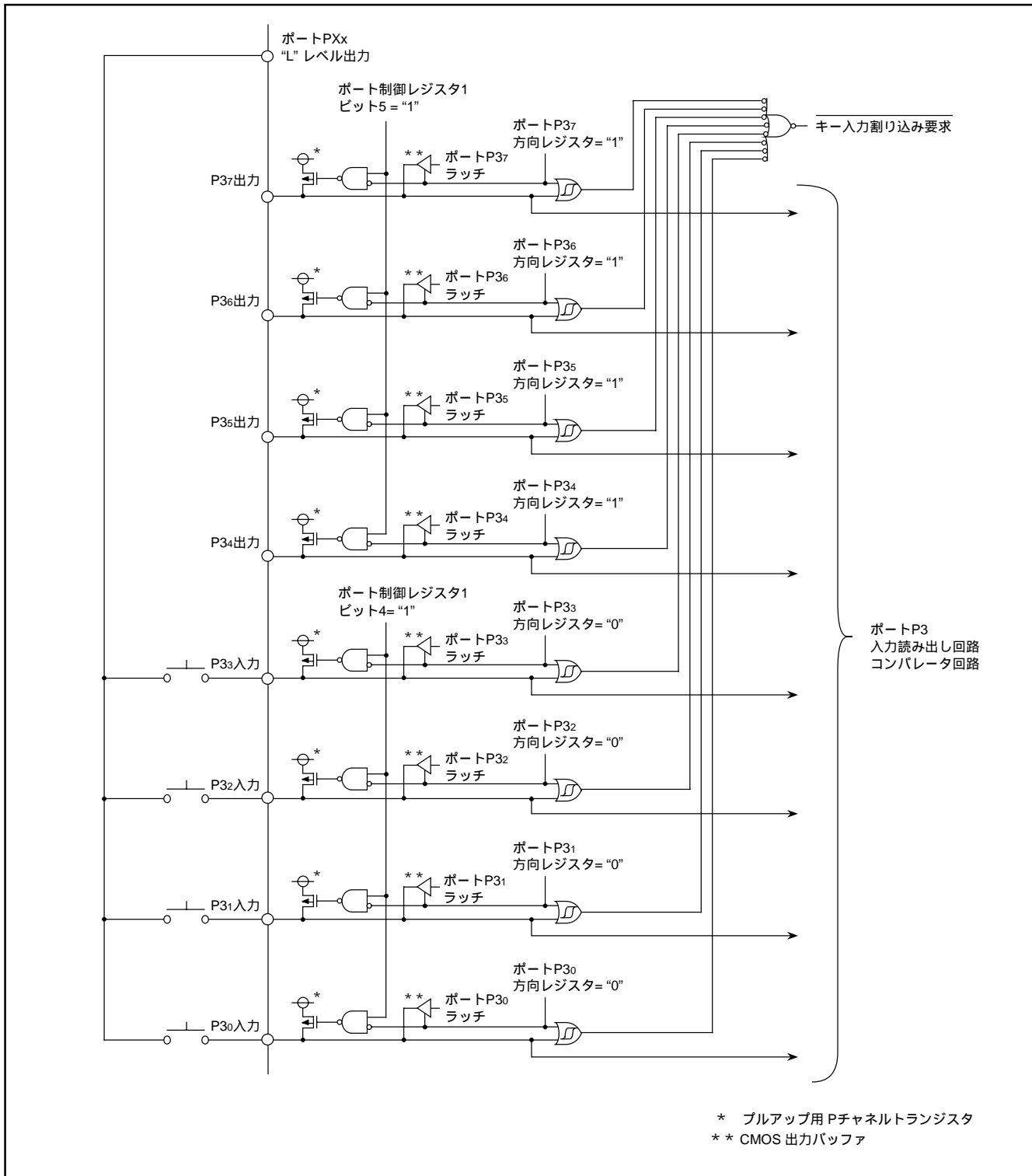


図20 . キー入力割り込み使用時の結線例とポートP3のブロック図

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が 0 になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1 にセットされます。

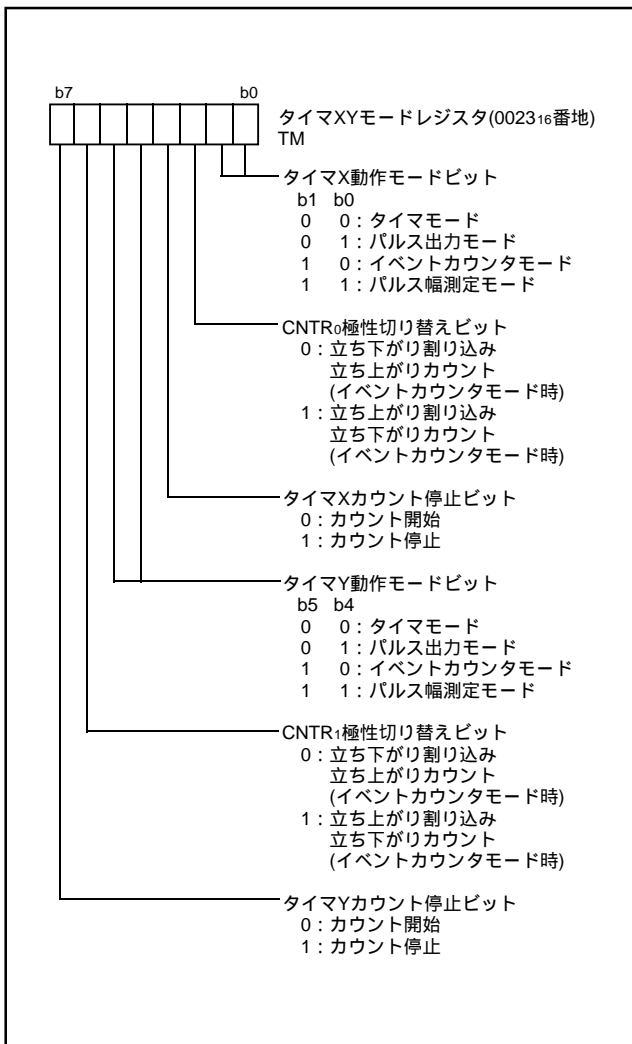


図21 . タイマXYモードレジスタの構成

●タイマ1、タイマ2

プリスケアラ12は、常に発振周波数を16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

●タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

発振周波数を16分周した信号をカウントします。

(2)パルス出力モード

発振周波数を16分周した信号をカウントし、タイマの内容が 0 になるたびに極性の反転する出力をCNTR₀又はCNTR₁端子より出力します。CNTR₀又はCNTR₁極性切り替えビットが 0 のときは、CNTR₀又はCNTR₁端子の出力は H 出力から開始します。 1 のときは、 L 出力から開始します。このモードを使用する場合はポートP54又はポートP55の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR₀又はCNTR₁端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR₀又はCNTR₁極性切り替えビットが 0 のときは、CNTR₀又はCNTR₁端子の立ち上がりエッジを、 1 のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR₀又はCNTR₁極性切り替えビットが 0 のときは、CNTR₀又はCNTR₁端子が H の期間、発振周波数を16分周した信号をカウントします。 1 のときは、 L の期間、カウントします。

いずれのモードでも、タイマX又はタイマYカウント停止ビットを 1 に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

タイマYのタイマモードとパルス出力モードについては、ポート制御レジスタ2(002F₁₆番地)のビット5(タイマYカウントソース選択ビット)により、発振周波数の16分周あるいは $f(XCIN)$ を選択することが可能です。

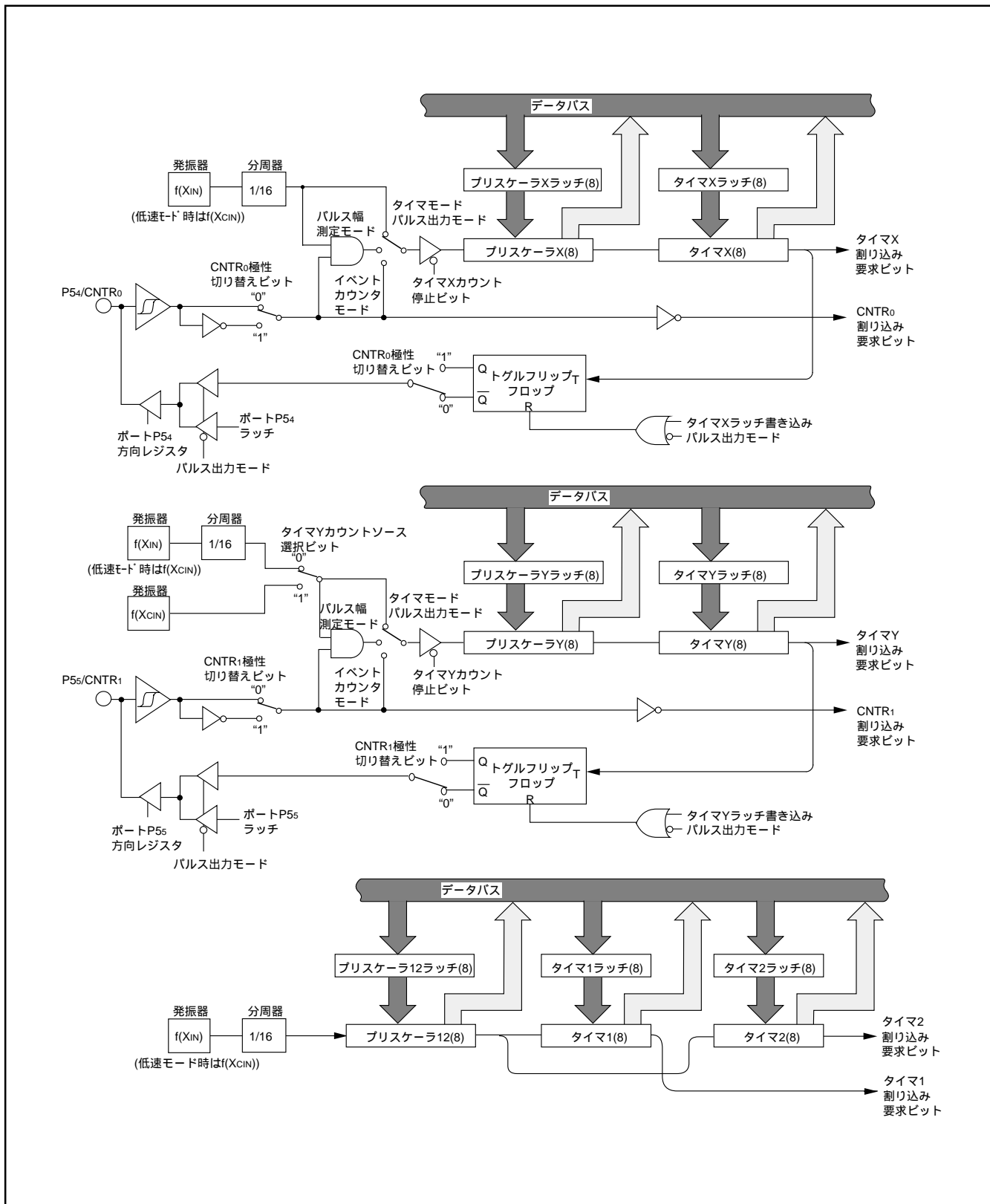


図22. タイマX, タイマY, タイマ1及びタイマ2のブロック図

シリアルI/O

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形UARTのどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(001A16番地のビット6)を“1”にすることによってクロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/Oでは、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

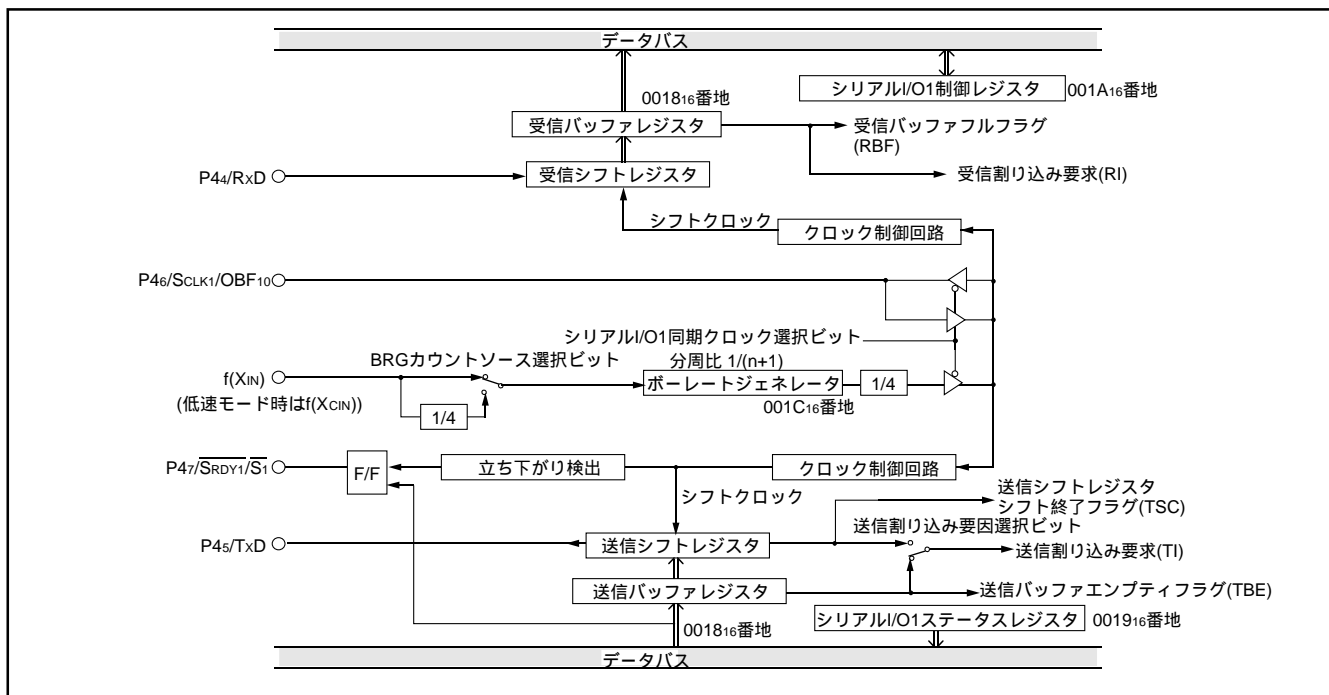


図23. クロック同期形シリアルI/O1ブロック図

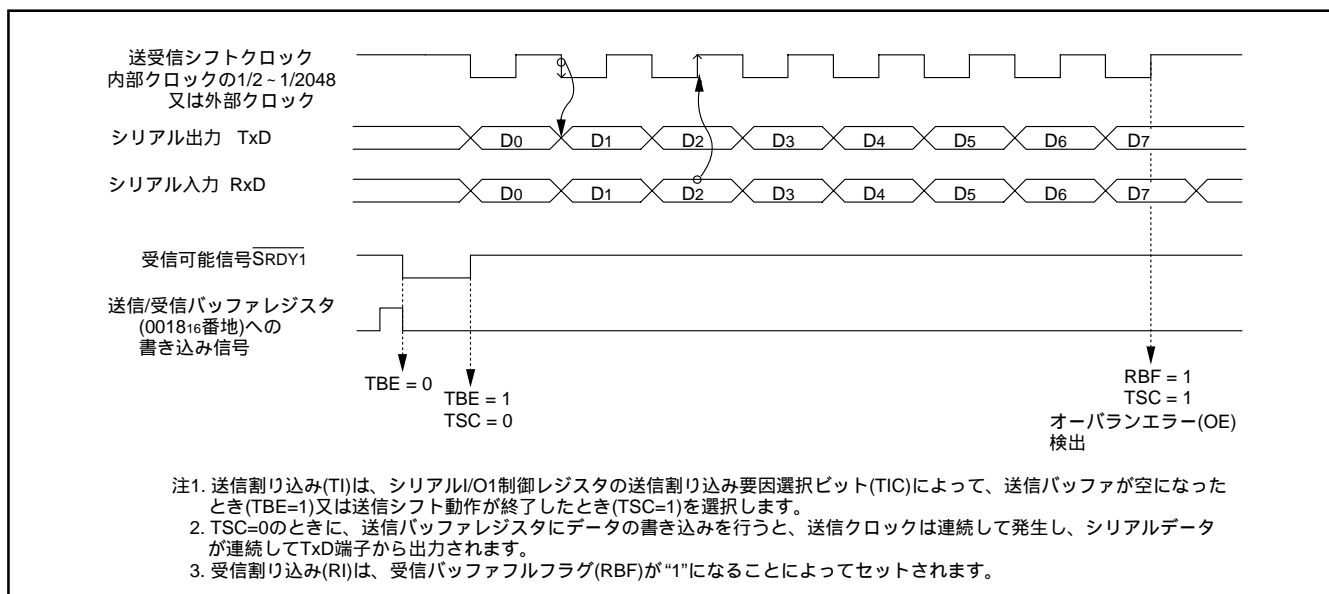


図24. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビットを"0"にすることによってUARTが選択されます。

3886グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3886グループはシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

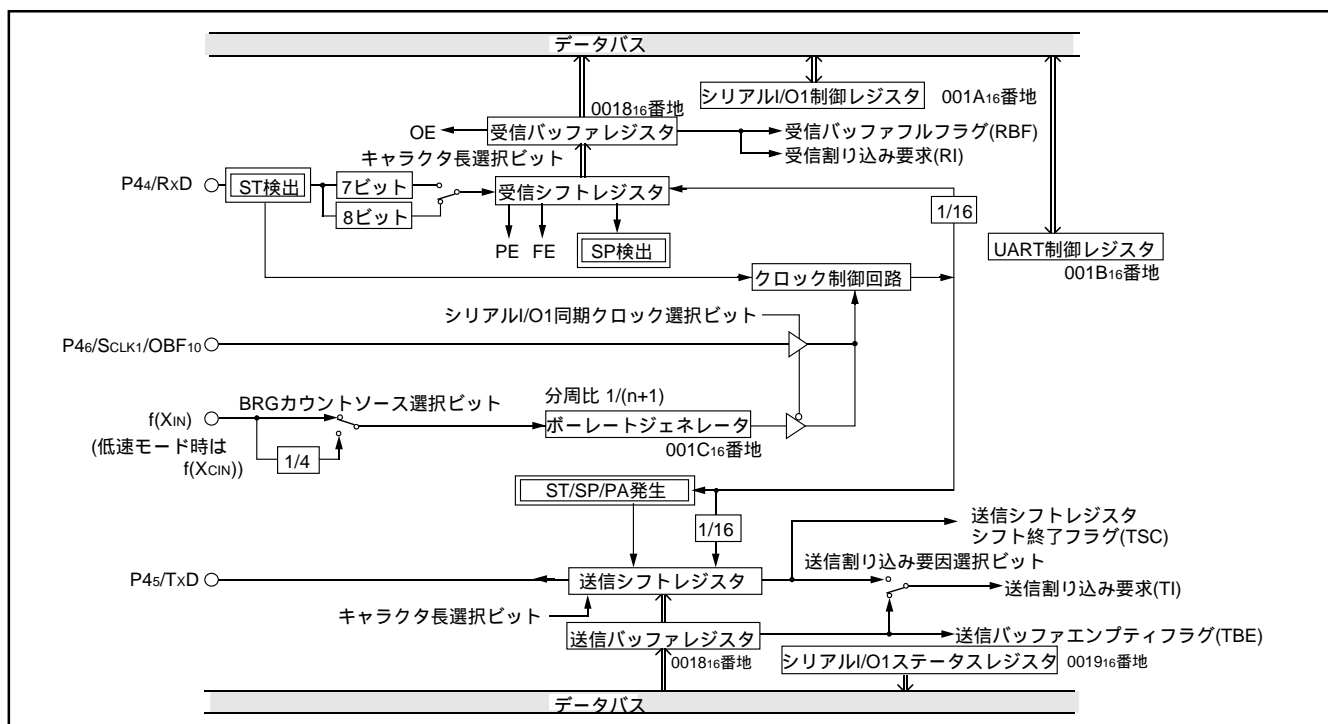


図25 . UART形シリアルI/Oブロック図

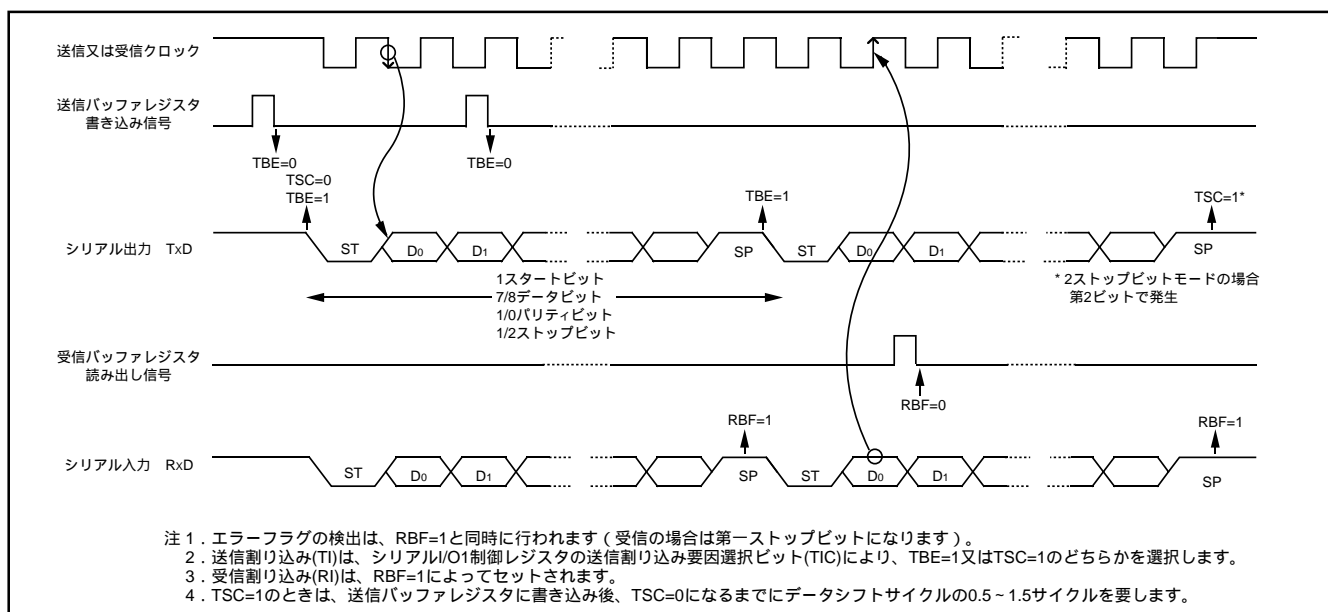


図26 . UART形シリアルI/O動作図

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと0にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に0を書き込むとエラーフラグを含む全てのステータスフラグが0にクリアされます。

このレジスタのビット0～6はリセット時0に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを1にしたときビット2とビット0は1になります。

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは0となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

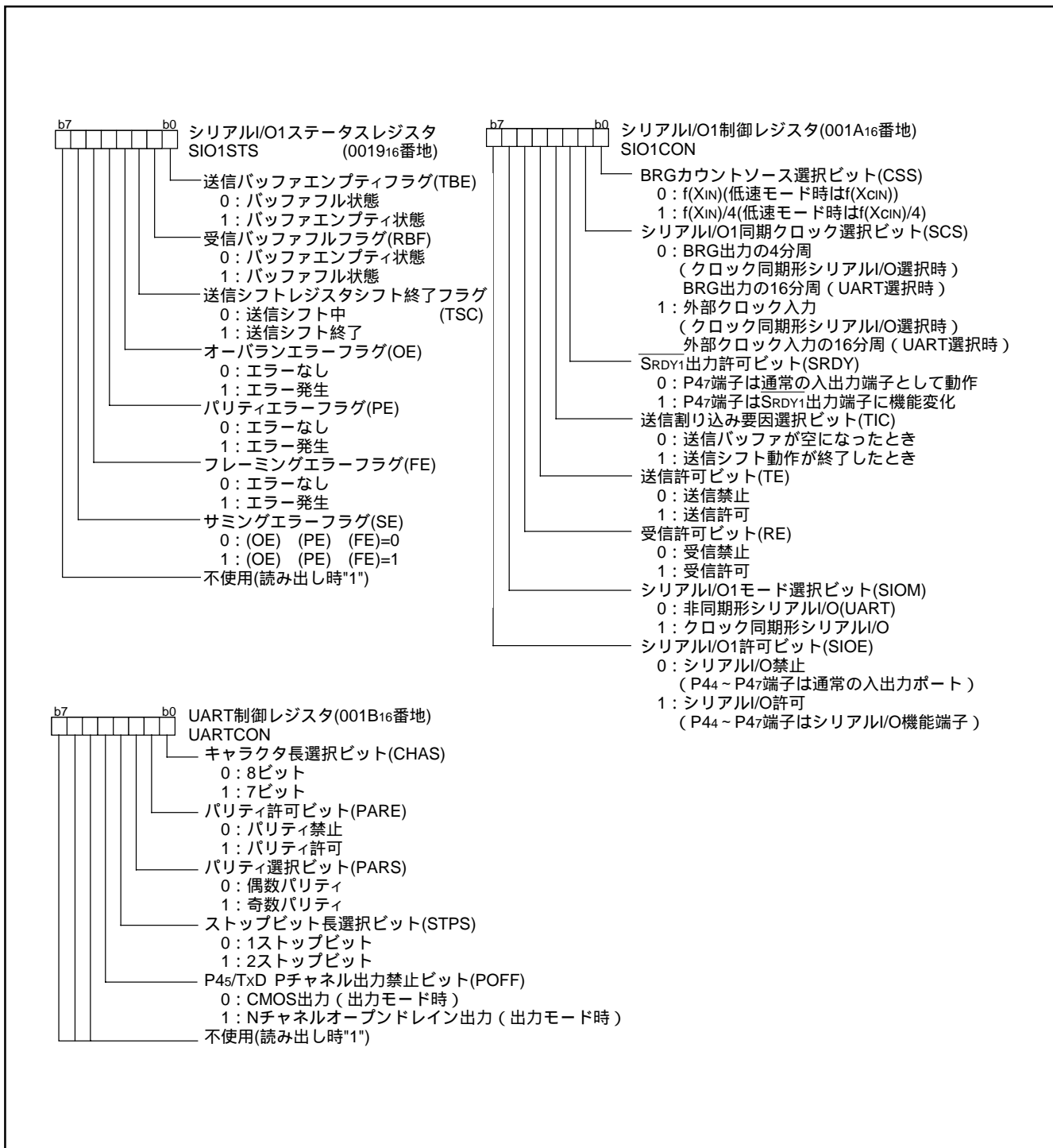


図27 . シリアルI/O関係レジスタの構成

●シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは、シリアルI/O2の各種制御を行う7ビットの選択ビットで構成されています。

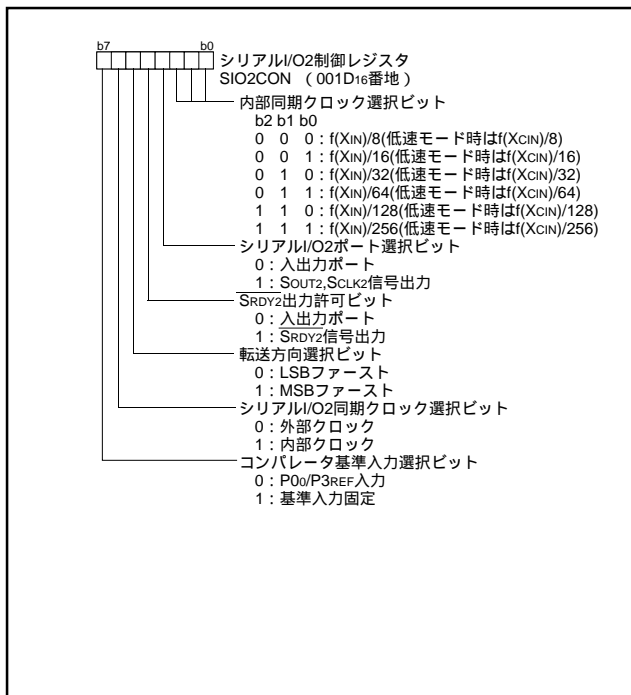


図28 . シリアルI/O2制御レジスタの構成

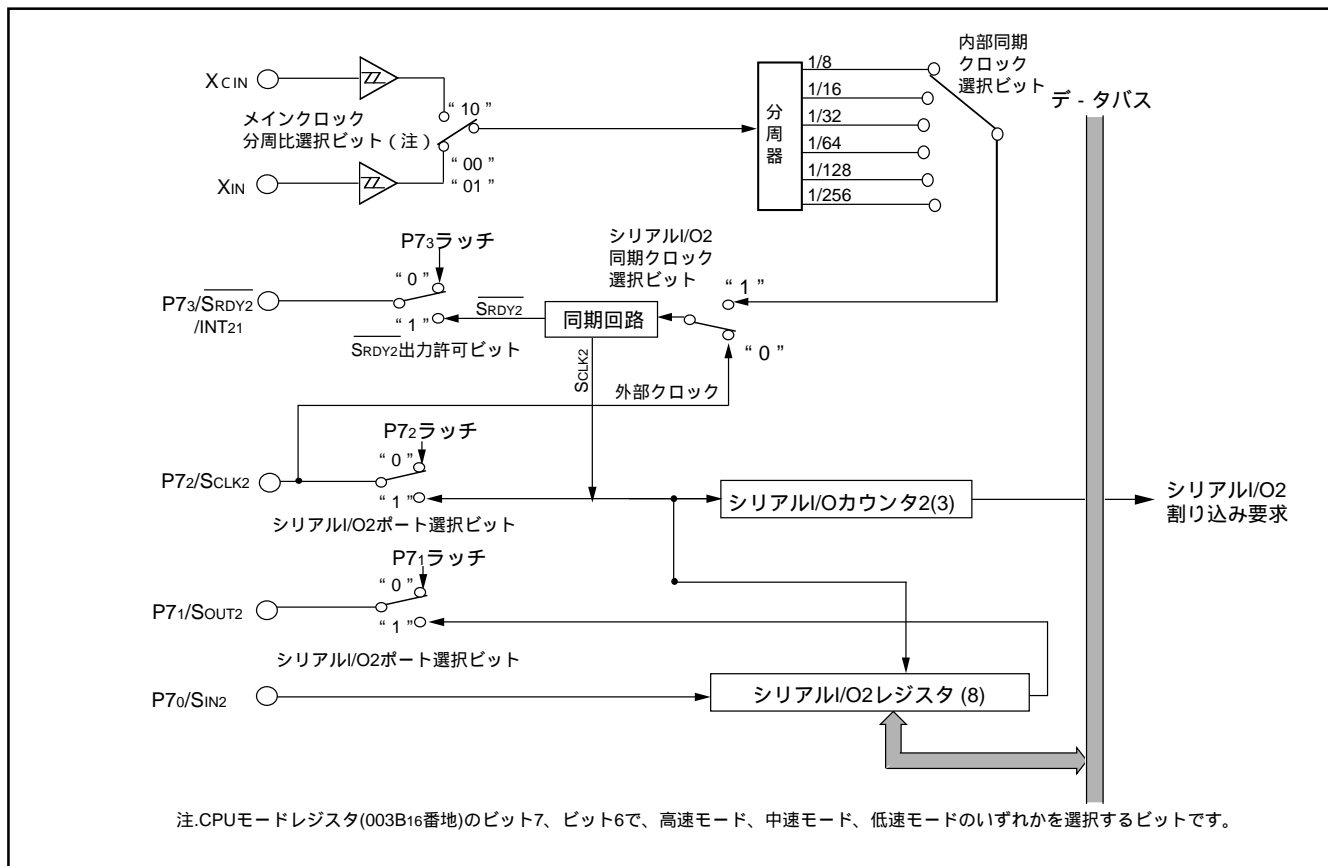


図29 . シリアルI/O2ブロック図

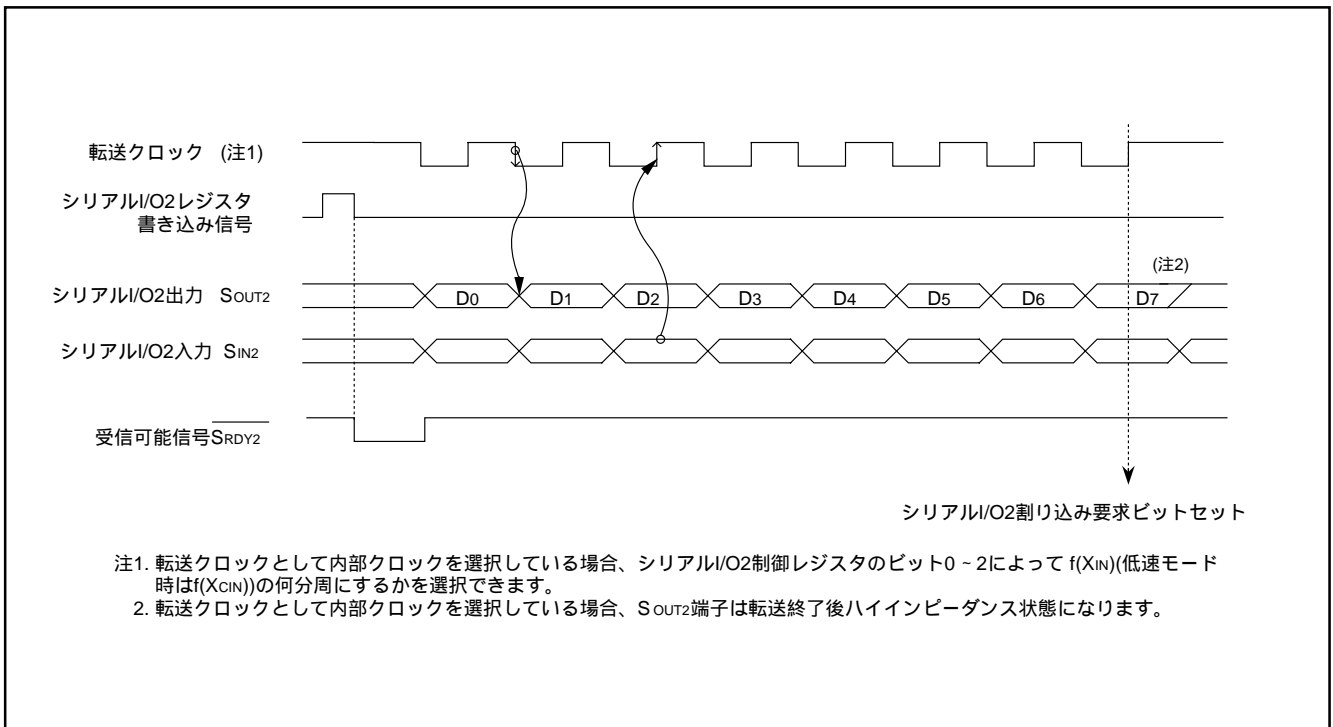


図30 . シリアル/O2タイミング図

PWM出力回路 (PWM: Pulse Width Modulation)

PWM0、及びPWM1出力回路は、14ビットの分解能を持っており、それぞれ独立に動作できます。クロック周波数 X_{IN} = 10MHzの場合、最小分解ビット幅200ns、繰り返し周期3276.8

μ sです。PWMのタイミング発生部はクロック入力 X_{IN} の周波数を基本として、PWMの制御信号を供給します。

以降の説明では X_{IN} = 8MHzの場合について述べます。

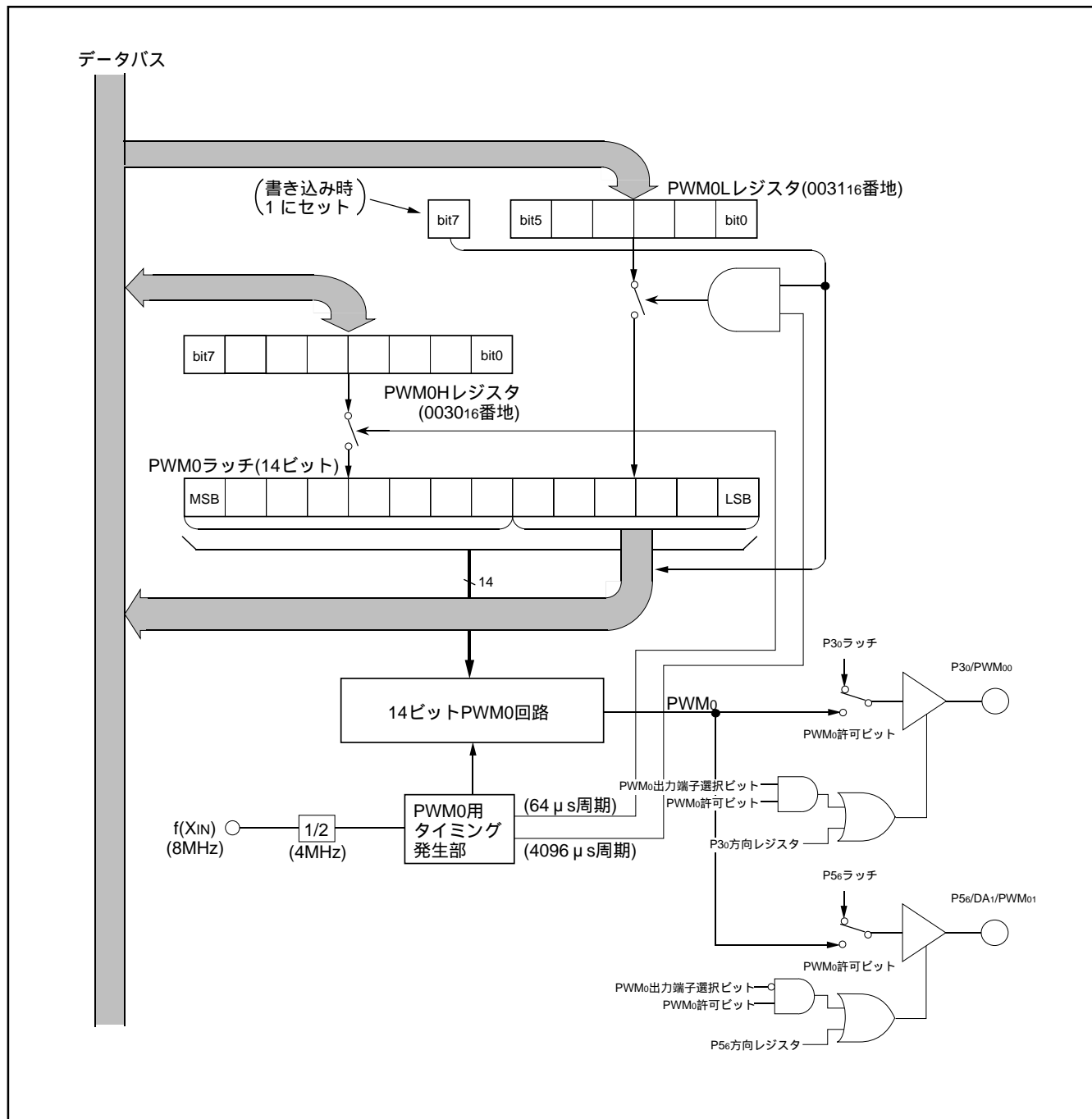


図31 . PWM回路ブロック図(PWM0)

・データの設定(PWM0)

PWM0の出力端子はポートP30もしくはP56と共用しています。AD/DA制御レジスタ(0034₁₆番地)のビット4によりPWM0出力端子を、P30/PWM00あるいはP56/PWM01どちらかに選択します。そして、ポート制御レジスタ(002E₁₆番地)のビット6をセットすることにより、PWM0出力許可状態になります。

出力データは上位8ビットをPWM0Hレジスタ(0030₁₆番地)に下位6ビットをPWM0Lレジスタ(0031₁₆番地)にセットします。

PWM1についても同様に設定します。

・PWMの動作

14ビットPWMはPWMラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータNによって小区間 $t = 256 \div N = 64 \mu s$ (は最小分解ビット幅250ns)ごとに、Nの長さの“H”区間を出力します。この“H”区間に、表9のルールに従った下位6ビットのデータ内容によって図33で示すADD部分のビットの“H”又は“L”が付加されます。すなわち、PWMの繰り返し周期 $T = 64t$ の中で、表7に示す小区間 t_m のみ他の区間に比べて最少分解幅だけ“H”区間が長くなります。

例えば、14ビットのデータで上位8ビットが03₁₆、下位6ビットが05₁₆の時は t_8 、 t_{24} 、 t_{32} 、 t_{40} 、 t_{56} の小区間では4、他の t_m の区間では3の長さの“H”が出力されます。

このようにすると、各小区間の“H”レベルの時間は、上位8ビットで設定した長さとなるが、その値プラスになるため、ほぼ等しくなりこの小区間周期(=64 μs 、約15.6kHz)が近似的に繰り返し周期になります。

・レジスタからラッチへの転送

PWMLレジスタに書き込まれたデータはPWMの繰り返し周期(4096 μs)ごとにPWMラッチに転送されます。また、PWMHレジスタに書き込まれたデータは小区間周期(64 μs)ごとにPWMラッチに転送されます。PWM出力端子に出力される信号は、このラッチの内容に対応したものです。また、PWMLを読み込んだ場合もラッチの内容が読み込まれます。ただしPWMLのビット7はPWMLレジスタからPWMラッチへの転送完了を示します。ビット7が“0”ならば転送済みであり、“1”ならば未転送を示します。

表9. 下位6ビットのデータとADDビットがセットされる区間の関係

下位6ビットのデータ	他の t_m ($m = 0 \sim 63$)より だけ長い区間
000000 ^{LSB}	なし
000001	$m = 32$
000010	$m = 16, 48$
000100	$m = 8, 24, 40, 56$
001000	$m = 4, 12, 20, 28, 36, 44, 52, 60$
010000	$m = 2, 6, 10, 14, 18, 22, 26, 30, 34, 38, 42, 46, 50, 54, 58, 62$
100000	$m = 1, 3, 5, 7, \dots, 57, 59, 61, 63$

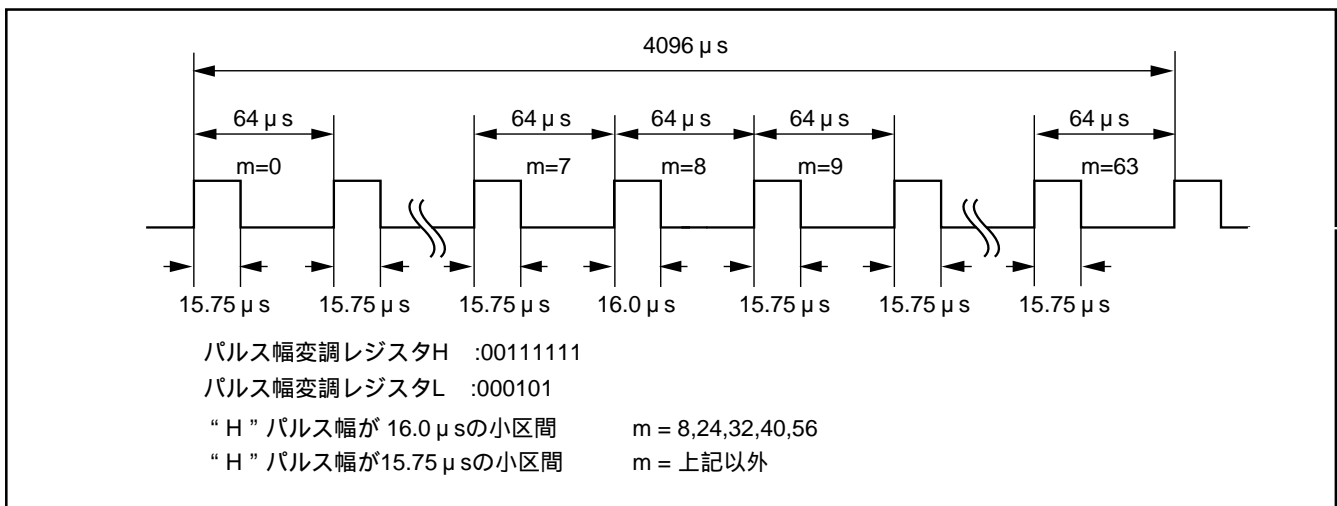


図32. PWMタイミング図

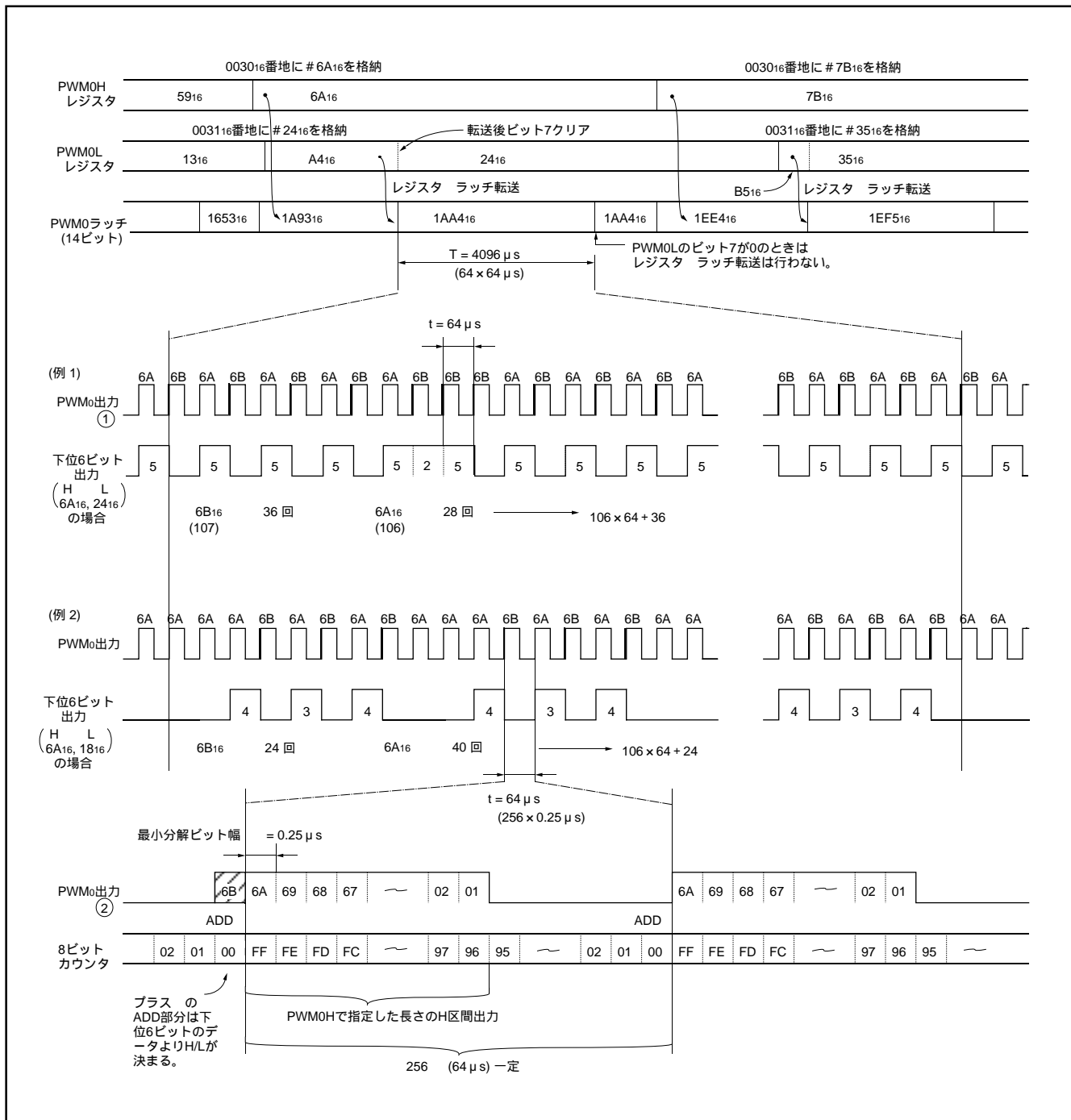


図33 . 14ビットPWMタイミング図 (PWM0)

バスインタフェース

MELPS8 - 41シリーズと機能的にほぼ同等のバスインタフェース機能を2バイト内蔵しており、ホストCPU側からの制御信号によって動作させること(スレーブモード)が可能です。

バスインタフェース機能ではRD, WR分離型CPUのバスに直接接続することが可能です。バスインタフェース機能のブロック図を図36に示します。

データバスバッファ機能入出力端子(P42, P43, P46, P47, P50 ~ P53, P8)は、通常のデジタルポート入出力端子と兼用しています。データバスバッファ制御レジスタ(002A16番地)のビット(データバスバッファ許可ビット)が“0”のときは、通常のデジタルポート入出力端子となります。“1”のときは、データバスバッファ機能入出力端子となります。

シングルデータバスバッファモード(データバスバッファ0のみの1バイトで使用するモード)、ダブルデータバスバッファモード(データバスバッファ0、データバスバッファ1の2バイトで使用するモード)の選択は、データバスバッファ制御レジスタ(002A16番地)のビット1(データバスバッファ機能選択ビット)により行います。ダブルデータバスバッファモードの場合には、ポートP47がSI入力となります。

ホストCPU側からデータが書き込まれるとインプットバッファフル割り込みが発生します。また、ホストCPUからデータが読み出される時にアウトプットバッファエンピティ割り込みが発生します。

なお、2つのインプットバッファフル割り込み要求と2つのアウトプットバッファエンピティ割り込み要求は図34のように共用しています。

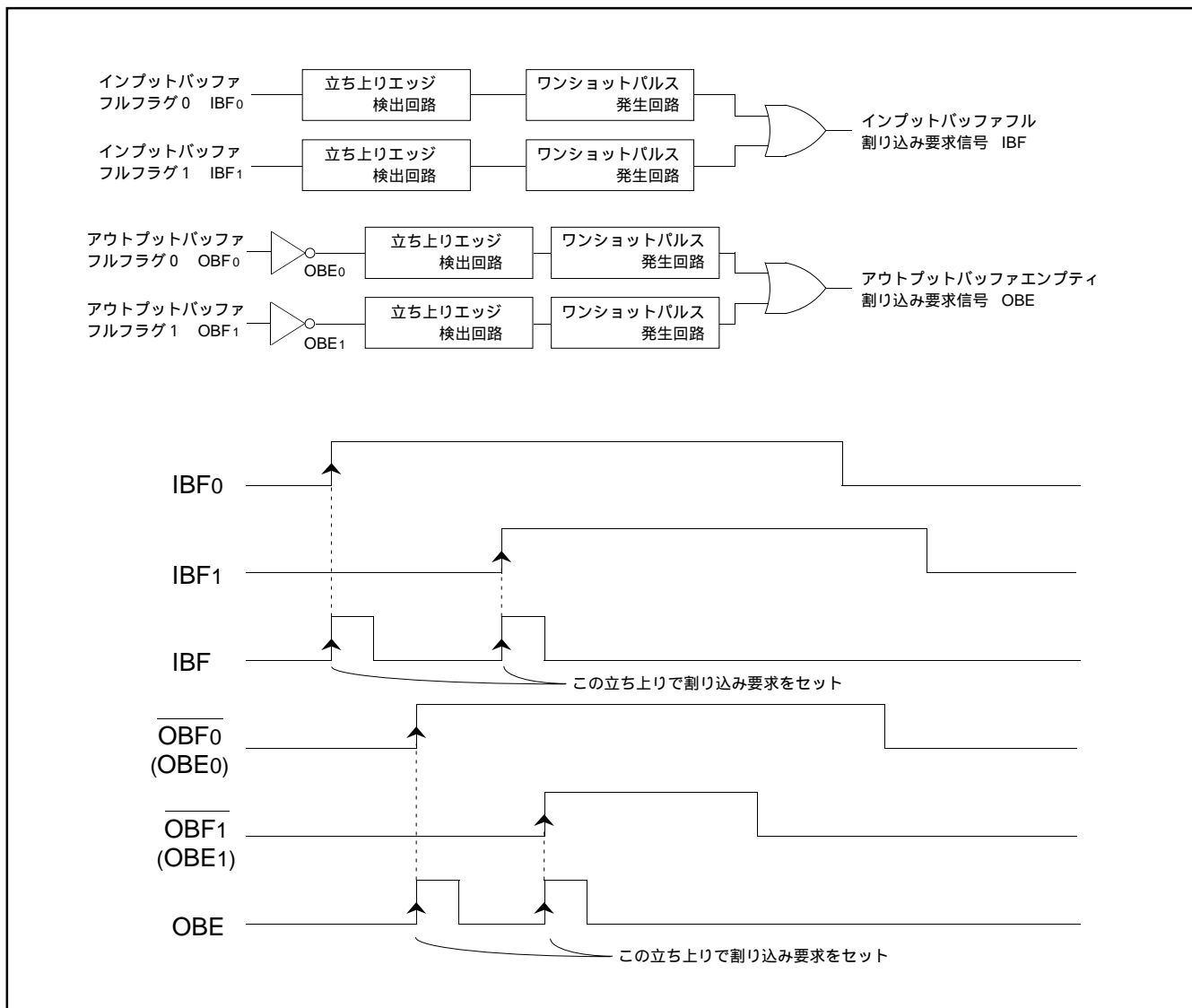


図34. データバスバッファの割り込み要求回路

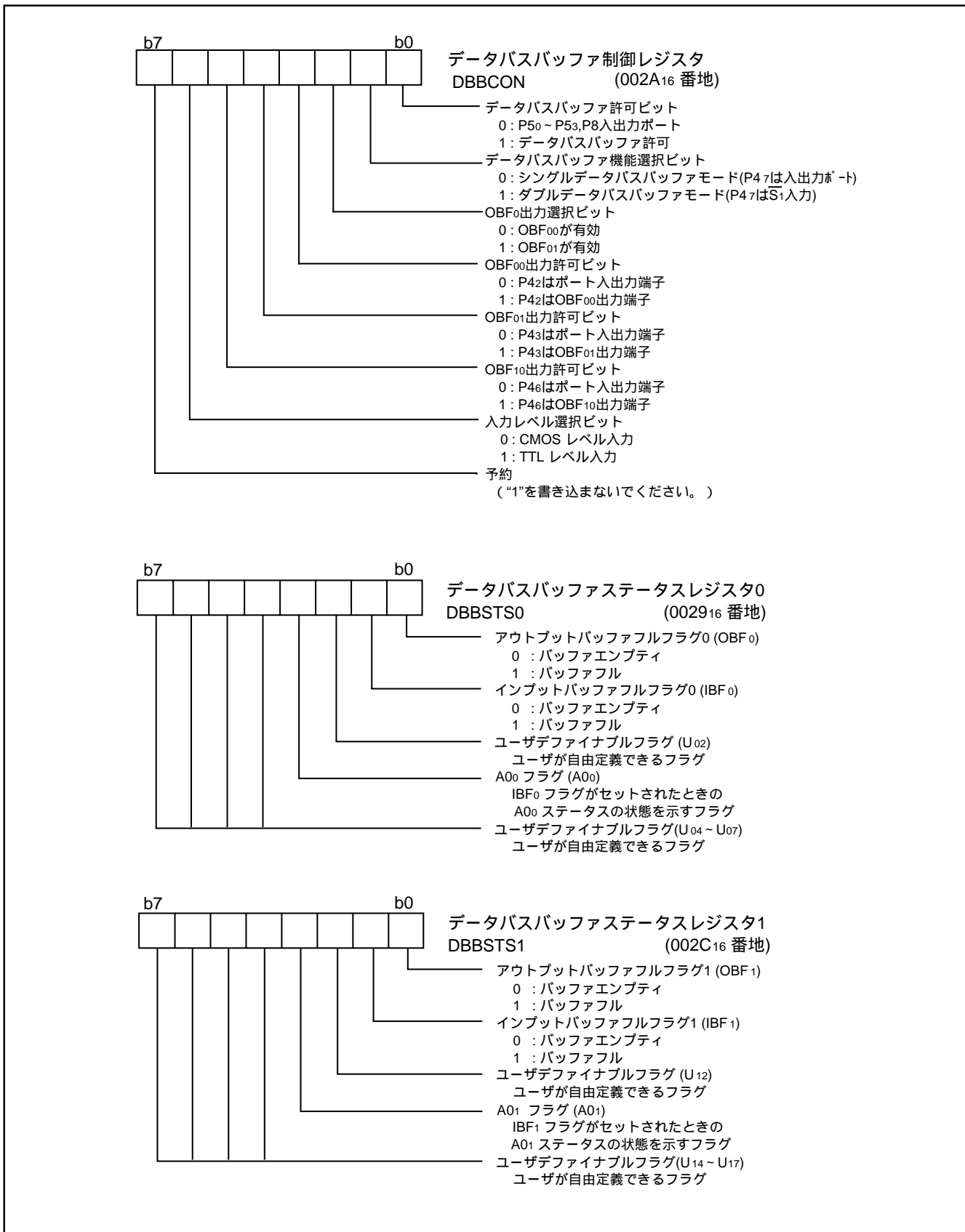


図35 . バスインタフェース関係レジスタの構成

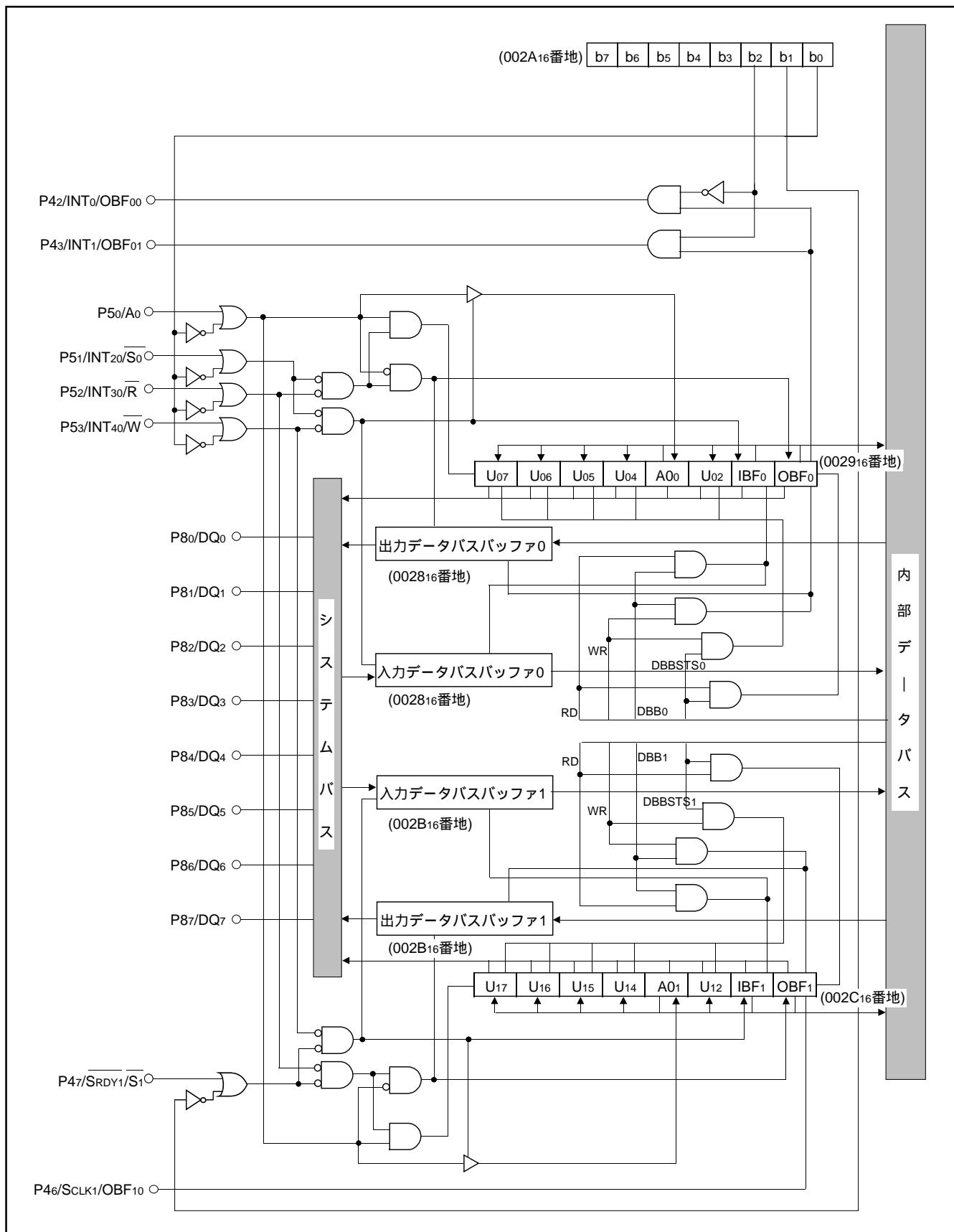


図36 . バスインタフェース装置ブロック図

【データバスバッファステータスレジスタ0,1】

DBBSTS0 DBBSTS1

8ビットのレジスタでビット0, 1, 3は読み出し専用で、データバスバッファの状態を示します。ビット2, 4, 5, 6, 7はプログラムにより設定できるユーザデファイナブルフラグで読み書き可能です。ホストCPUからは、A0端子を“H”にして読み出すことのみ可能です。

- ・アウトプットバッファフルフラグ OBF0 OBF1
出力データバスバッファに書き込みを行うと“1”がセットされ、ホストCPUにより読み出されると“0”にクリアされません。
- ・インプットバッファフルフラグ IBF0 IBF1
ホストCPUから、入力データバスバッファに書き込みを行うと“1”がセットされ、スレーブCPU側より読み出すと“0”にクリアされます。
- ・A0フラグ A00 A01
ホストCPUから入力データバスバッファに書き込んだときのA0端子のレベルがラッチされます。

【入力データバスバッファレジスタ0,1】DBBIN0 DBBIN1

ホストCPUからの書き込み要求によりデータバス上のデータが、DBBINにラッチされます。SFR上のデータバスバッファレジスタ(0028₁₆番地あるいは002B₁₆番地)から、DBBINのデータを読み出すことができます。

【出力データバスバッファレジスタ0,1】

DBBOUT0 DBBOUT1

SFR上のデータバスバッファレジスタ(0028₁₆番地あるいは002B₁₆番地)に書き込みを行うことで、DBBOUTにデータをセットします。ホストCPUから、A0端子を“L”にして読み出し要求を行うことにより、DBBOUTのデータがデータバスに出力されます。

【ポート制御レジスタ2】PCTL2

データバスバッファが許可されているときでも、OBF0出力許可ビット(2A₁₆番地のビット3)が“0”のときはP42が、OBF0出力許可ビット(2A₁₆番地のビット4)が“0”のときはP43が、それぞれポート機能となります。ポート出力P42, P43クリア機能選択ビット(ビット7)を“1”に設定すると、インプットバッファフルフラグ(29₁₆番地のビット1)が“1”から“0”への変化によって、ポートP42, P43がポート機能の出力モードでポートラッチが“1”のとき、“0”にクリアされます。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表10. バスインタフェース機能選択時における制御入出力端子の機能説明

端子名	名称	OBF00 出力 許可 ビット	OBF01 出力 許可 ビット	OBF10 出力 許可 ビット	入力 出力	機能説明
P47/SRDY1 /S1	$\overline{S1}$	-	-	-	入力	チップセレクト入力。データバスバッファ1を選択するために使用され、“L”レベルで選択され ます。
P50/A0	A0	-	-	-	入力	アドレス入力。ホストCPUの読み出し時に、 DBBSTSとDBBOUTの選択に用います。書き込 み時は、コマンドとデータを識別するのに用い ます。
P51/INT20 /S0	$\overline{S0}$	-	-	-	入力	チップセレクト入力。データバスバッファ0を 選択するために使用され、“L”レベルで選択さ れます。
P52/INT30 /R	\overline{R}	-	-	-	入力	ホストCPUが、データバスバッファからデー タを読み出すためのタイミング信号です。
P53/INT40 /W	\overline{W}	-	-	-	入力	ホストCPUが、データバスバッファにデー タを書き込むためのタイミング信号です。
P42/INT0 /OBF00	OBF00	1	0	0	出力	ステータス出力信号。OBF00信号が出力され ます。
P43/INT1 /OBF01	OBF01	0	1	0	出力	ステータス出力信号。OBF01信号が出力され ます。
P46/SCLK1 /OBF10	OBF10	0	0	1	出力	ステータス出力信号。OBF10信号が出力され ます。

マルチマスタI²C-BUSインタフェース

マルチマスタI²C-BUSインタフェースは、フィリップス社I²C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロナイズ機能を有しており、マルチマスタのシリアル通信に対応できます。

図37にマルチマスタI²C-BUSインタフェースのブロック図、表11にマルチマスタI²C-BUSインタフェース機能を示します。

このマルチマスタI²C-BUSインタフェースは、I²Cアドレスレジスタ、I²Cデータシフトレジスタ、I²Cクロックコントロールレジスタ、I²Cコントロールレジスタ、I²Cステータスレジスタ、I²Cスタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。

マルチマスタI²C-BUSインタフェースを使用する場合は、を1MHz以上にしてください。

表11. マルチマスタI²C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I ² C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I ² C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz, (= 4 MHz時) 20.2kHz ~ 312.5kHz, (= 5MHz時)

システムクロック = f(XIN)2(高速モード)
= f(XIN)8(中速モード)

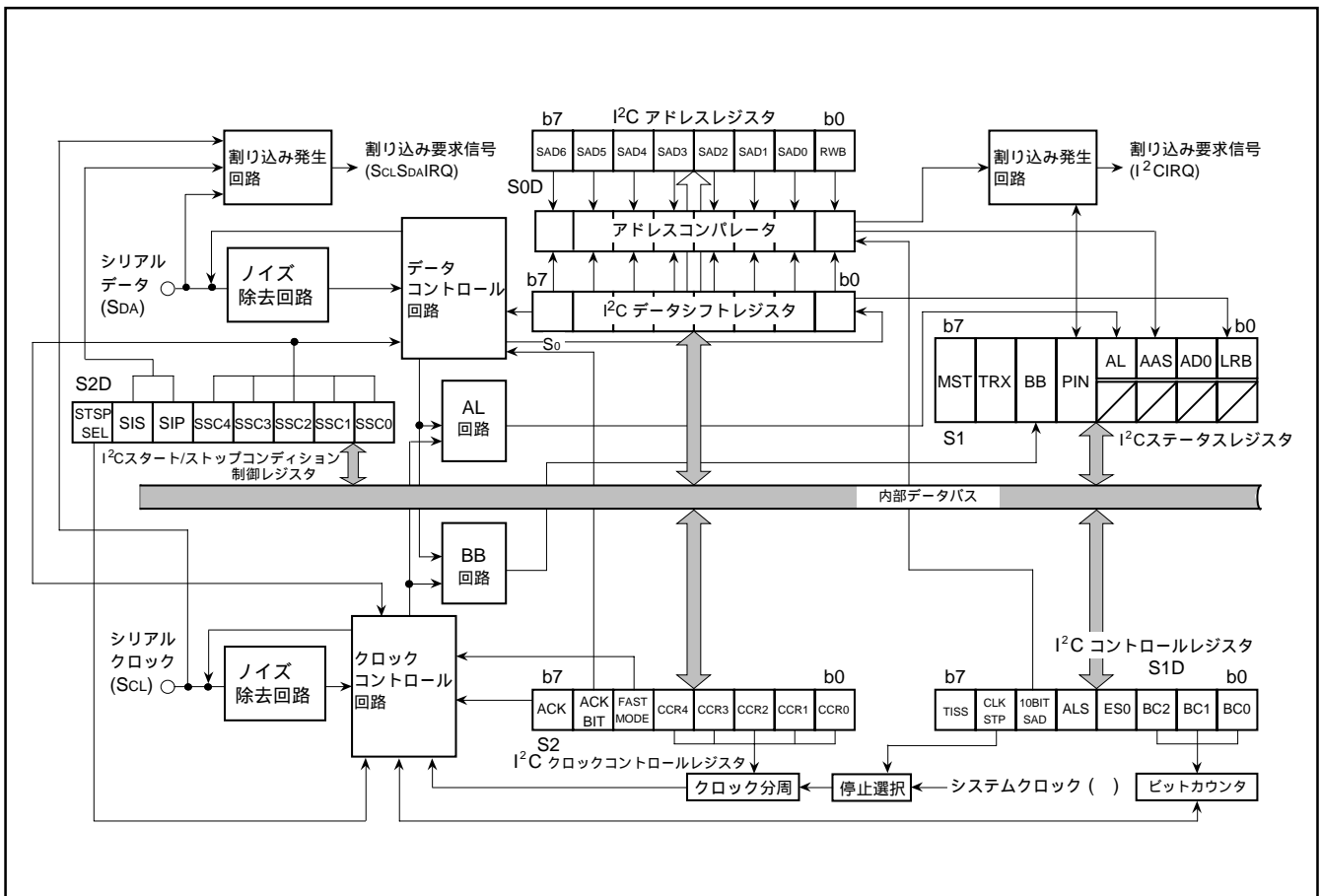


図37. マルチマスタI²C-BUSインタフェースのブロック図

* :Purchase of MITSUBISHI ELECTRIC CORPORATION'S I²C components conveys a license under the Philips I²C Patent Rights to use these components an I²C system , provided that the system conforms to the I²C Standard Specification as defined by Philips.

【I²Cデータシフトレジスタ】

I²Cデータシフトレジスタ(S0: 0012₁₆番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。SCLクロックの立ち上がりから、このレジスタに入力されるまでは、最短でφの2サイクルを要します。

I²Cデータシフトレジスタは、I²CコントロールレジスタのI²C-BUSインタフェース許可ビット(ES0ビット: 0015₁₆番地のビット3)が“1”のときのみ書き込みが可能です。I²Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I²Cステータスレジスタ(0014₁₆番地)のMSTビットが“1”のとき、I²Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I²Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

【I²Cアドレスレジスタ】

I²Cアドレスレジスタ(0013₁₆番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

- ・ビット0: リード/ライトビット(RWB)
7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI²Cアドレスレジスタの内容(SAD6~SAD0+RWB)が比較されます。RWBビットはストップコンディションを検出すると、自動的に“0”になります。
- ・ビット1~ビット7: スレーブアドレス
(SAD0~SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

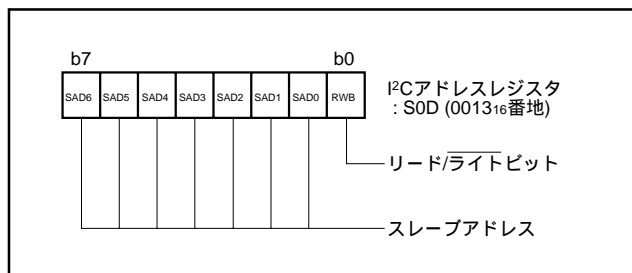


図38 . I²Cアドレスレジスタの構成

【I²Cクロックコントロールレジスタ】

I²Cクロックコントロールレジスタ(0016₁₆番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

- ・ビット0～ビット4：SCL周波数制御ビット
(CCR0～CCR4)

SCL周波数を制御するビットです。表12を参照してください。

- ・ビット5：SCLモード指定ビット(FAST MODE)
SCLモードを指定するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

高速モードI²Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(X_{IN})を8MHz以上、高速モード(メインクロック分周比を2)でご使用ください。

- ・ビット6：アックビット(ACK BIT)
アッククロック*発生時のSDAの状態を設定します。“0”の場合はアックを返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアックを返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT = “0”の状態、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的にSDAを“L”にします(アックを返します)。スレーブアドレスとアドレスデータが一致しなかった場合は自動的にSDAを“H”にします(アックを返しません)。

*アッククロック：確認応答用のクロック

- ・ビット7：アッククロックビット(ACK)
データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“0”の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロックありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを解放し(“H”の状態にする) データを受信するデバイスが発生させるアックビットを受信します。

注．I²Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI²Cクロックジェネレータがリセットされ、データが正常に転送できません。

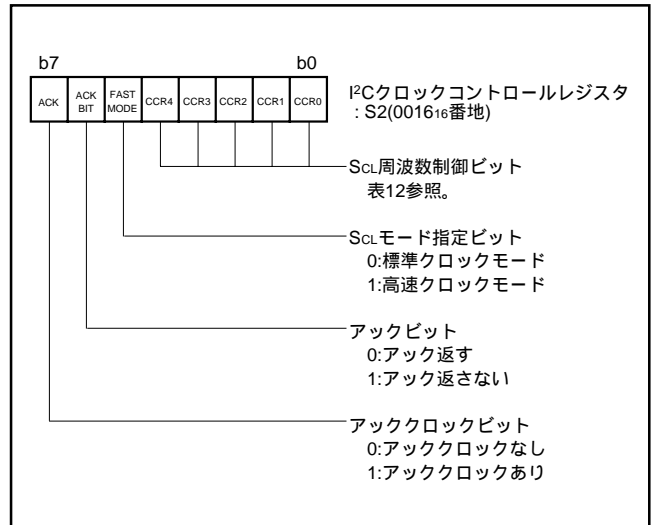


図39．I²Cクロックコントロールレジスタの構成

表12．I²Cクロックコントロールレジスタの設定値とSCL周波数

CCR4～CCR0の設定値					SCL周波数 (= 4 MHz時, 単位: kHz) 注1	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	設定禁止	設定禁止
0	0	0	0	1	設定禁止	設定禁止
0	0	0	1	0	設定禁止	設定禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	400(注3)
0	0	1	1	0	83.3	166
∴	∴	∴	∴	∴	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1．SCLクロック出力のデューティは50%です。高速クロックモードCCR値 = 5のみ35～45%になります。(400kHz, = 4 MHz時) また、クロックの“H”の期間は標準クロックモードでの+2～-4マシサイクル、高速クロックモードでの+2～-2サイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数上がることはありません。これらはシンクロニズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4～CCR0を10進数表記した値です。

注2． =4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は をより低い周波数で使用ください。

注3．SCL周波数の計算式は次のとおりです。
 / (8 × CCR値) 標準クロックモード
 / (4 × CCR値) 高速クロックモード (CCR値 = 5)
 / (2 × CCR値) 高速クロックモード (CCR値 = 5)
 CCR値=0～2は の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4～CCR0を設定ください。

【I²Cコントロールレジスタ】

I²Cコントロールレジスタ(0015₁₆番地)はデータ通信フォーマットの制御を行うレジスタです。

- ビット0～ビット2：ビットカウンタ(BC0～BC2)
次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(0016₁₆番地のビット7)による指定があればアッククロックも合わせたビットカウント数の転送完了直後、I²C割り込みの要求が発生し、BC0～BC2は“0002”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

- ビット3：I²Cインタフェース許可ビット(ES0)
マルチマスタI²C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。

ES0 = “0”のとき、次のように処理されます。

I²Cステータスレジスタ(0014₁₆番地)のPIN = “1”，BB = “0”，AL = “0”に設定される。

I²Cデータシフトレジスタ(0012₁₆番地)への書き込みは禁止される。

- ビット4：データフォーマット選択ビット(ALS)
スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(次頁【I²Cステータスレジスタ】のビット1参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

- ビット5：アドレッシングフォーマット選択ビット
(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタ(0013₁₆番地)の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレッシングフォーマットとなり、I²Cアドレスレジスタの全ビットがアドレスデータと比較されます。

- ビット6：システムクロック停止選択ビット
(CLKSTP)

WIT命令及びSTP命令実行時、マルチマスタI²C-BUSインタフェースに供給されるシステムクロックの状態を選択するビットです。“0”の場合はWIT命令及びSTP命令実行によってシステムクロックは停止します。マルチマスタI²C-

BUSインタフェースの動作も停止します。“1”の場合はWIT命令実行時でもシステムクロックは停止せず、マルチマスタI²C-BUSインタフェースの動作も停止しません。

システムクロック停止選択ビットが“1”の場合、STP命令を実行しないでください。

- ビット7：I²C-BUSインタフェース端子入力レベル
選択ビット

マルチマスタI²C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

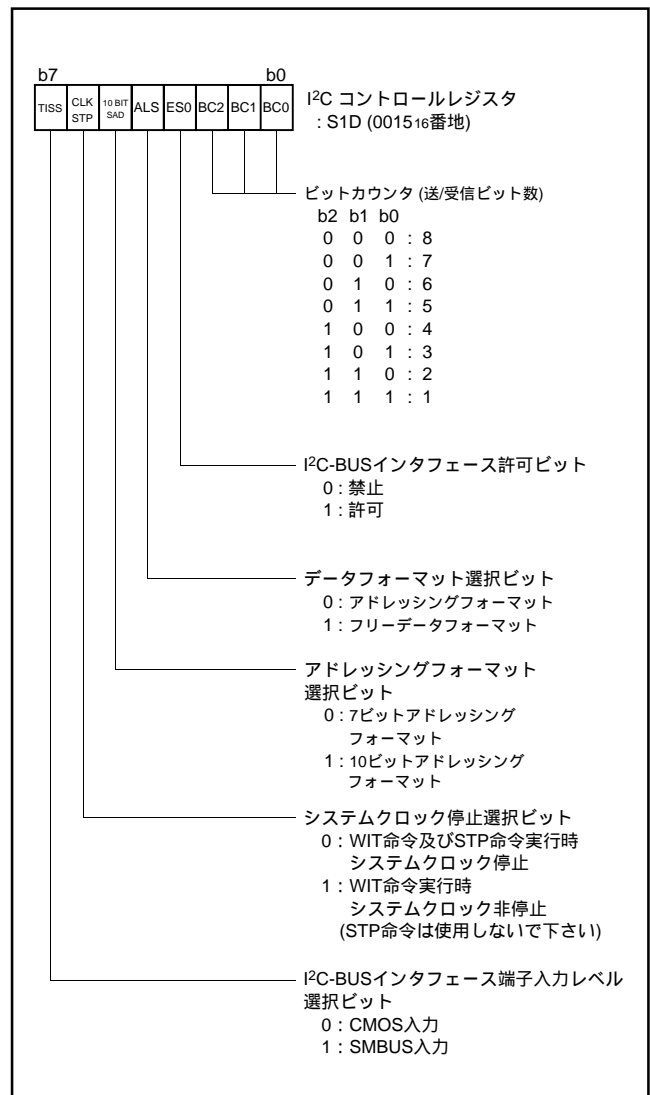


図40 . I²Cコントロールレジスタの構成

【I²Cステータスレジスタ】

I²Cステータスレジスタ(0014₁₆番地)はI²C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“0000₂”を書き込みください。

- ・ビット0：最終受信ビット(LRB)
受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRBビットは“0”になります。アックが返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I²Cデータシフトレジスタ(0012₁₆番地)に書き込み命令を実行すると“0”になります。
- ・ビット1：ジェネラルコール検出フラグ(AD0)
ALSビットが“0”の場合、アドレスデータがすべて“0”であるジェネラルコール^{*}をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。
^{*}ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。
- ・ビット2：スレーブアドレス比較フラグ(AAS)
ALSビットが“0”の場合アドレスの比較結果を示します。
スレーブ受信モード時、7ビットアドレッシングフォーマットでは以下のいずれかの条件で、“1”になります。
 - ・スタートコンディション発生直後のアドレスデータがI²Cアドレスレジスタ(0013₁₆番地)に格納されている上位7ビットのスレーブアドレスと一致した場合
 - ・ジェネラルコールを受信した場合
スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。
 - ・アドレスデータとI²Cアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合
このビットはES0が“1”の場合のI²Cデータシフトレジスタ(0012₁₆番地)への書き込み、又はリセットにより“0”になります。
- ・ビット3：アービトレーションロスト^{*}検出フラグ(AL)
マスタ送信モード時、S_{DA}がマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。
アービトレーションロストはマスタ送信モードのみ検出

可能です。スレーブアドレス送信中にアービトレーションを失った場合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自分自身のスレーブアドレスとの一致を検出することが可能です。

^{*}アービトレーションロスト：マスタとしての通信が不許可となった状態。

- ・ビット4：SCL端子Lowホールドビット(PIN)
割り込み要求信号を発生させるビットです。1バイトのデータ通信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへ割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”の時、SCLは“0”に保たれクロックの発生は禁止されます。図42に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

- ・I²Cデータシフトレジスタ(0012₁₆番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)
- ・ES0ビットが“0”のとき
- ・リセット時
- ・ソフトウェアによる“1”書き込み。

PINビットが“0”になる条件を以下に示します。

- ・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
- ・1バイトのデータ受信完了直後
- ・スレーブ受信の際、ALS=0で、スレーブアドレス一致又は、ジェネラルコールアドレス受信完了直後
- ・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

- ・ビット5：バスビジーフラグ(BB)
バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、S_{DA}端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI²Cスタート/ストップコンディション制御レジスタ(0017₁₆番地)のスタート/ストップコンディション設定ビット(SSC4～SSC0)の条件に従います。また、I²Cコントロールレジスタ(0015₁₆番地)のES0ビット(ビット3)が“0”の時、及びリセット時にBBフラグは“0”になります。

BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

・ビット6：通信モード指定ビット

(転送方向指定ビット：TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。

以下の場合、ハードウェアにより“1”になります。

- ・ALS = “0”かつスレープで、 $R\overline{W}$ ビット受信が“1”の場合

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・MST = “0”で、スタートコンディションを検出した場合
- ・MST = “0”で、アックが返ってこなかったことを検出した場合
- ・リセット時

・ビット7：通信モード指定ビット

(マスタ/スレープ指定ビット：MST)

データ通信を行う際のマスタ/スレープを指定するビットです。“0”の場合、スレープとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1”書き込みを無効とされた場合
- ・リセット時

注．スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行いますが、BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレープアドレスの受信完了までの期間有効となります。

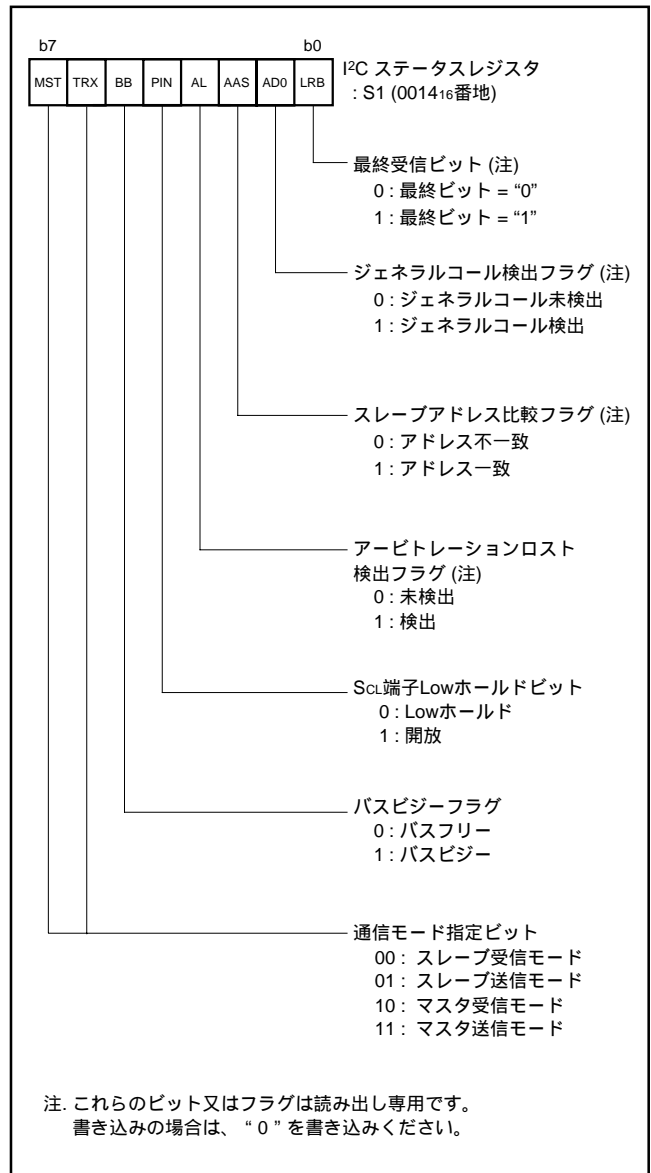


図41. I²Cステータスレジスタの構成

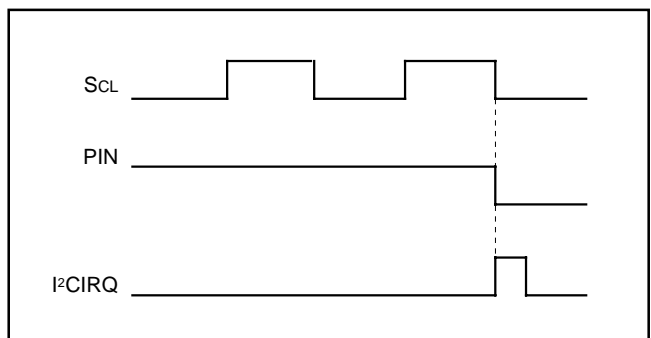


図42. 割り込み要求信号の発生タイミング

●スタートコンディション発生方法

I²Cコントロールレジスタ(0015₁₆番地)のES0ビットが“1”、BBフラグが“0”の状態、I²Cデータシフトレジスタ(0012₁₆番地)にスレーブアドレスの書き込みの後、I²Cステータスレジスタ(0014₁₆番地)のMST, TRX, BBビットに“1”書き込みを同時に行くとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図43のスタートコンディション発生タイミング図と表13のスタートコンディション発生タイミング表を参照してください。

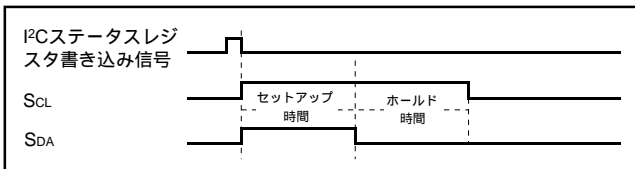


図43. スタートコンディション発生タイミング図

表13. スタートコンディション発生タイミング表

項目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.0 μs (20サイクル)	2.5 μs (10サイクル)
	“1”	13.0 μs (52サイクル)	6.5 μs (26サイクル)
ホールド時間	“0”	5.0 μs (20サイクル)	2.5 μs (10サイクル)
	“1”	13.0 μs (52サイクル)	6.5 μs (26サイクル)

注. = 4 MHz時の絶対時間, ()内は のサイクル数

●ストップコンディションの発生方法

I²Cコントロールレジスタ(0015₁₆番地)のES0ビットが“1”の状態、I²Cステータスレジスタ(0014₁₆番地)のMST, TRXビットに“1”, BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図44のストップコンディション発生タイミング図と表14のストップコンディション発生タイミング表を参照してください。

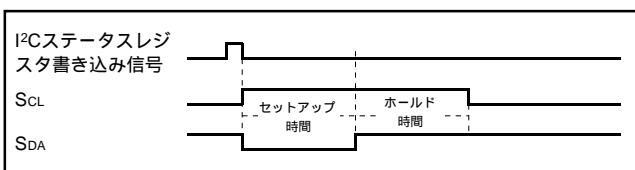


図44. ストップコンディション発生タイミング図

表14. ストップコンディション発生タイミング表

項目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.5 μs (22サイクル)	3.0 μs (12サイクル)
	“1”	13.5 μs (54サイクル)	7.0 μs (28サイクル)
ホールド時間	“0”	5.5 μs (22サイクル)	3.0 μs (12サイクル)
	“1”	13.5 μs (54サイクル)	7.0 μs (28サイクル)

注. = 4 MHz時の絶対時間, ()内は のサイクル数

●スタート/ストップコンディション検出動作

スタート/ストップコンディションの検出動作を図45、図46と表15に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL, SDA端子の入力信号が、表13のSCL解放時間、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表15のBBフラグセット/リセット時間を参照してください。

注. スレーブMST=0時にストップコンディションを検出すると、CPUに対して割り込み要求信号I²CIRQを発生します。

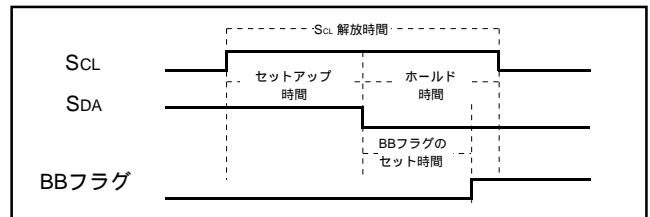


図45. スタートコンディション検出のタイミング図

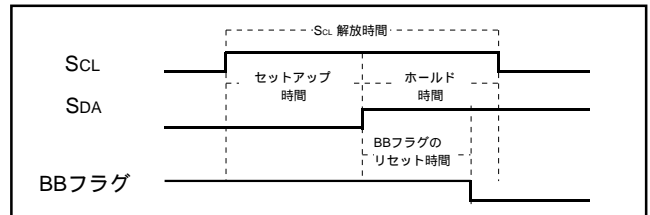


図46. ストップコンディション検出のタイミング図

表15. スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL解放時間	SSC値+1サイクル(6.25 μs)	4サイクル(1.0 μs)
セットアップ時間	$\frac{SSC値}{2} + 1$ サイクル < 4.0 μs (3.25 μs)	2サイクル(1.0 μs)
ホールド時間	$\frac{SSC値}{2}$ サイクル < 4.0 μs (3.0 μs)	2サイクル(0.5 μs)
BBフラグセット/リセット時間	$\frac{SSC値 - 1}{2} + 2$ サイクル(3.375 μs)	3.5サイクル(0.875 μs)

注. 単位はシステムクロック のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進数表記した値です。SSC値=0及び奇数となる設定は禁止です。()内は =4MHz時 I²Cスタート/ストップコンディション制御レジスタに 18₁₆ を設定した場合の時間の一例です。

【I²Cスタート/ストップコンディション制御レジスタ】

I²Cスタート/ストップコンディション制御レジスタ(0017₁₆番地)はスタートコンディション、ストップコンディションの検出を制御するレジスタです。

- ・ビット0～ビット4：スタート/ストップコンディション設定ビット(SSC4～SSC0)

SCL解放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数 $f(X_{IN})$ や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL解放時間、セットアップ時間、ホールド時間を設定する必要があります。表15を参照してください。

スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表14に示します。

- ・ビット5：SCL/SDA割り込み端子極性選択ビット(SIP)
SCLあるいはSDA端子の立ち上がりあるいは立ち下がりをエッジを検出して割り込みをかけることができます。
SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。
- ・ビット6：SCL/SDA割り込み端子選択ビット(SIS)
SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注．SCL/SDA割り込み端子極性選択ビット，SCL/SDA割り込み端子選択ビットやI²C-BUSインタフェース許可ビットES0の設定を変更する際，SCL/SDA割り込みの要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合，上記のビット設定をする前に割り込みを禁止して，ビット設定後に要求ビットを“0”にリセットして割り込みを許可してください。

- ・ビット7：スタート/ストップコンディション発生選択ビット(STSPSEL)
スタート/ストップコンディション発生時のセットアップ/ホールド時間の長さを選択できます。セットアップ/ホールド時間の長さは、システムクロックのサイクル数が基準になり、かつスタートコンディションあるいはストップコンディションで異なりますので表13及び表14を参照してください。システムクロックの周波数が4MHzを越える場合は、このビットを“1”に設定してください。

●アドレスデータ通信

アドレスデータ通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

(1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(0015₁₆番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I²Cアドレスレジスタ(0013₁₆番地)に格納された7ビットのスレーブアドレスを比較します。この比較時には、I²Cアドレスレジスタ(0013₁₆番地)のRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図48の(1),(2)を参照してください。

(2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I²Cコントロールレジスタ(0015₁₆番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I²Cアドレスレジスタ(0013₁₆番地)に格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I²Cアドレスレジスタ(0013₁₆番地)のRWBビットと、マスタから送信されるアドレスデータの最終ビット(R/W \bar{W} ビット)が、アドレス比較されます。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I²Cステータスレジスタ(0014₁₆番地)のAASビットが“1”にセットされます。2バイト目のアドレスデータは、I²Cデータシフトレジスタ(0012₁₆番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I²Cアドレスレジスタ(0013₁₆番地)のRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR/W \bar{W} のデータとI²Cアドレスレジスタ(0013₁₆番地)の値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図48の(3),(4)を参照してください。

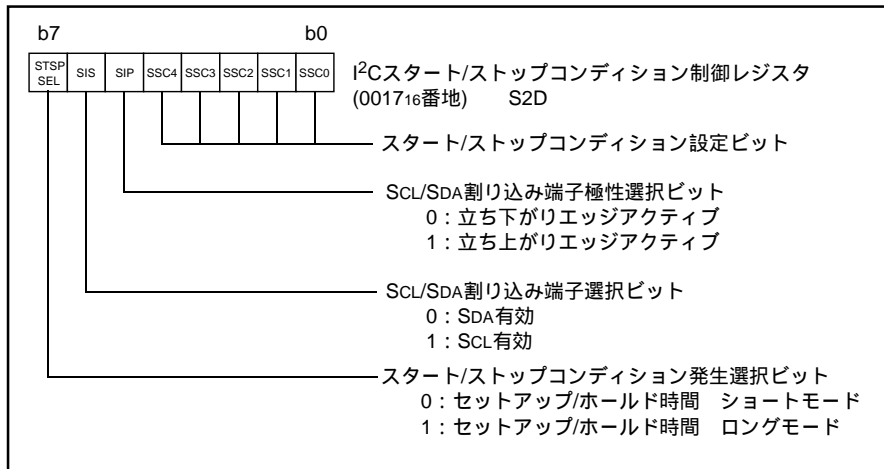


図47. I²Cスタート/ストップコンディション制御レジスタの構成

表16. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4~SSC0)への推奨設定値

発振周波数 f(XIN) (MHz)	メイン クロック 分周比	システム クロック (MHz)	スタート/ストップ コンディション制御 レジスタ	SCL解放時間 (μ s)	セットアップ時間 (μ s)	ホールド時間 (μ s)
10	2	5	XXX11110	6.2 μ s(31サイクル)	3.2 μ s(16サイクル)	3.0 μ s(15サイクル)
8	2	4	XXX11010	6.75 μ s(27サイクル)	3.5 μ s(14サイクル)	3.25 μ s(13サイクル)
			XXX11000	6.25 μ s(25サイクル)	3.25 μ s(13サイクル)	3.0 μ s(12サイクル)
8	8	1	XXX00100	5.0 μ s(5サイクル)	3.0 μ s(3サイクル)	2.0 μ s(2サイクル)
4	2	2	XXX01100	6.5 μ s(13サイクル)	3.5 μ s(7サイクル)	3.0 μ s(6サイクル)
			XXX01010	5.5 μ s(11サイクル)	3.0 μ s(6サイクル)	2.5 μ s(5サイクル)
2	2	1	XXX00100	5.0 μ s(5サイクル)	3.0 μ s(3サイクル)	2.0 μ s(2サイクル)

注. スタート/ストップコンディション設定ビット(SSC4~SSC0)に奇数の値及び"000002"は設定しないでください。

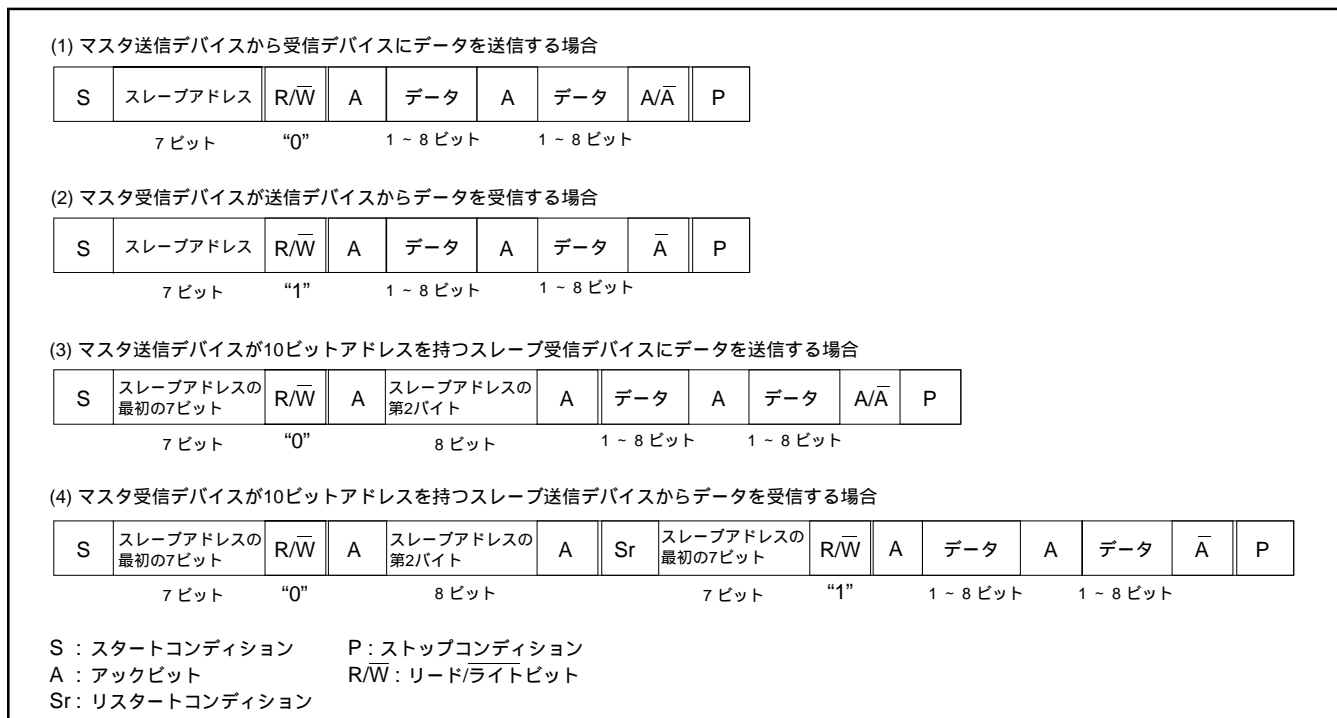


図48. アドレスデータ通信フォーマット

●マスタ送信例

標準クロックモード、ScL周波数100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

- (1) I²Cアドレスレジスタ(0013₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(0016₁₆番地)に“85₁₆”を設定することによって、アックを返すモード、ScL = 100kHzにします。
- (3) I²Cステータスレジスタ(0014₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(0015₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) I²Cステータスレジスタ(0014₁₆番地)のBBフラグによりバスマスター状態を確認します。
- (6) I²Cデータシフトレジスタ(0012₁₆番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I²Cステータスレジスタ(0014₁₆番地)に“F0₁₆”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のScLとアッククロックは自動的に発生します。
- (8) I²Cデータシフトレジスタ(0012₁₆番地)に送信データを設定します。このとき、ScLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアックが返らない場合、あるいは送信が終了した場合は、I²Cステータスレジスタ(0014₁₆番地)に“D0₁₆”を設定することによって、ストップコンディションを発生させます。

●スレーブ受信例

高速クロックモード、ScL周波数400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I²Cアドレスレジスタ(0013₁₆番地)の上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I²Cクロックコントロールレジスタ(0016₁₆番地)に“25₁₆”を設定することによって、アックなしモード、ScL = 400kHzにします。
- (3) I²Cステータスレジスタ(0014₁₆番地)に“00₁₆”を設定し、送受信のモードを初期状態にします。
- (4) I²Cコントロールレジスタ(0015₁₆番地)に“08₁₆”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。

- (6) 送信されたアドレスがすべて“0”の場合(ジェネラルコール) I²Cステータスレジスタ(0014₁₆番地)のAD0 = “1”に設定され、割り込み要求信号が発生します。
 - ・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I²Cステータスレジスタ(0014₁₆番地)のAAS = “1”に設定され、割り込み要求信号が発生します。
 - ・上記以外の場合、I²Cステータスレジスタ(0014₁₆番地)のAD0 = “0”、AAS = “0”に設定され、割り込み要求信号は発生しません。
- (7) I²Cデータシフトレジスタ(0012₁₆番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

■マルチマスタI²C-BUSインタフェースの注意事項

(1) リード・モディファイ・ライト命令の使用について

SEB, CLBなどのリード・モディファイ・ライト命令をマルチマスタI²C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

- ・ I²Cデータシフトレジスタ(S0: 0012₁₆番地)
転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
- ・ I²Cアドレスレジスタ(S0D: 0013₁₆番地)
ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

- ・ I²Cステータスレジスタ(S1: 0014₁₆番地)
すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。
- ・ I²Cコントロールレジスタ(S1D: 0015₁₆番地)
スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。
上記のタイミングでビットカウンタ(BC0~BC2)が、H/Wによって変化するためです。

・ I²Cクロックコントロールレジスタ(S2: 0016₁₆番地)

- リード・モディファイ・ライト命令は使用可能です。
- ・ I²Cスタート/ストップコンディション制御レジスタ(S2D: 0017₁₆番地)
リード・モディファイ・ライト命令は使用可能です。

(2) マルチマスタで使用する場合のスタートコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

```

:
LDA  ~                      (スレーブアドレス値の取り出し)
SEI                                (割り込みの禁止)
BBS  5,S1,BUSBUSY              (BBフラグ確認及び分岐処理)
BUSFREE:
STA  S0                          (スレーブアドレス値の書き込み)
LDM  #$F0,S1                    (スタートコンディション発生トリガ)
CLI                                (割り込みの許可)
:
BUSBUSY:
CLI                                (割り込みの許可)
:

```

BBフラグの確認及び分岐処理はBBS 5,\$0014, ~ のBranch on Bit Setを必ず使用してください。

I²Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$12、STX \$12あるいはSTY \$12のゼロページアドレッシング命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

(3) リスタートコンディション発生手順について

M38867M8A、M38867E8Aでは、外部メモリを使用して、ONW機能によりバスサイクルを延長する場合は適用できません。

手順例(発生手順の必要条件は 以降に記します。)

PINビットが^{*}0'のとき、以下の手順を実行してください。

```

:
LDM  #$00,S1                    (スレーブ受信モードにする)
LDA  ~                          (スレーブアドレス値の取り出し)
SEI                                (割り込みの禁止)
STA  S0                          (スレーブアドレス値の書き込み)
LDM  #$F0,S1                    (リスタートコンディション発生トリガ)
CLI                                (割り込みの許可)
:

```

PINビットが^{*}0'の状態、スレーブ受信モードにしてください。PINビットには^{*}1'を書き込まないでください。

BBビットへの書き込みに^{*}0'又は^{*}1'の指定はありません。

TRXビットが^{*}0'になり、SDA端子が解放されます。

スレーブアドレス値をI²Cデータシフトレジスタに書き込むことによって、SCL端子が解放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I²Cステータスレジスタへの書き込みについて

同時にPINビットを^{*}0'から^{*}1'、MSTビット及びTRXビットを^{*}1'から^{*}0'にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSDA端子が解放される状態になることがあります。PINビットが^{*}1'の時に、MSTビット及びTRXビットを^{*}1'から^{*}0'にする命令実行しても、同様の状態になることがあります。

(5) ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが 0 になるまでの間、I²CデータシフトレジスタS0及びI²CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

(6) 7つ目のクロックパルスのストップコンディション入力

スレーブモードで、スレーブアドレス又はデータの受信中に、クロックパルスが7つ目のときにストップコンディションが入力され、さらに継続してクロックパルスが入力されたとき、BB= 0 にもかかわらずSDAラインが L で保持されることがあります。(M38867M8A/E8Aのみ)

・対策

ストップコンディション割り込みでBB= 0 のとき、I²Cデータシフトレジスタにダミーデータをライトするか、S1DレジスタのES0ビットをリセット(ES0= L ES0= H)する。

注．リード・モディファイ・ライト命令は使用不可。また、ES0ビットを 0 に設定した時点で汎用ポートになるため、ポートは入力モードが H 出力に設定する。

(7) ES0ビットの切り替えについて

高速クロックモードか、SSC= 000102 時の標準クロックモードにおいて、SDAが L のときにES0ビットを 1 にすると、BB= 1 になることがあります。

・対策

SDAが H のときに、ES0= 1 にしてください。

A-D変換器

【A-D変換レジスタ1, 2】AD1, AD2

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

A-D変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA-Dモード、“1”に設定すると8ビットA-Dモードとなります。

8ビットA-Dモードの変換結果はA-D変換レジスタ1に格納されます。10ビットA-Dモードは、図50のようにA-D変換終了後にA-D変換レジスタ1, 2を読み出す順序を選ぶことで、10ビット読み出しあるいは8ビット読み出しを行うことも可能です。

10ビットA-DモードでのA-D変換レジスタ1は、リセット、A-D変換開始あるいはA-D変換レジスタ1読み出しが発生した後MSB寄りの8ビット読み出しになり、A-D変換レジスタ2読み出しが発生した後LSB寄りの8ビット読み出しになります。

【AD/DA制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

10ビットA-Dモードは、AVSSとVREFの間の電圧を1024分割し分圧を出力します。

(8ビットA-Dモードでは256分割)

各モードでの比較電圧VrefはVREFを下記のとおり分圧して入力電圧との逐次比較を行います。

10ビットA-Dモード(10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

10ビットA-Dモード(8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

8ビットA-Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【チャンネルセクタ】

ポートP67/AN7～P60/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタ1, 2に格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を500kHz以上にしてください。

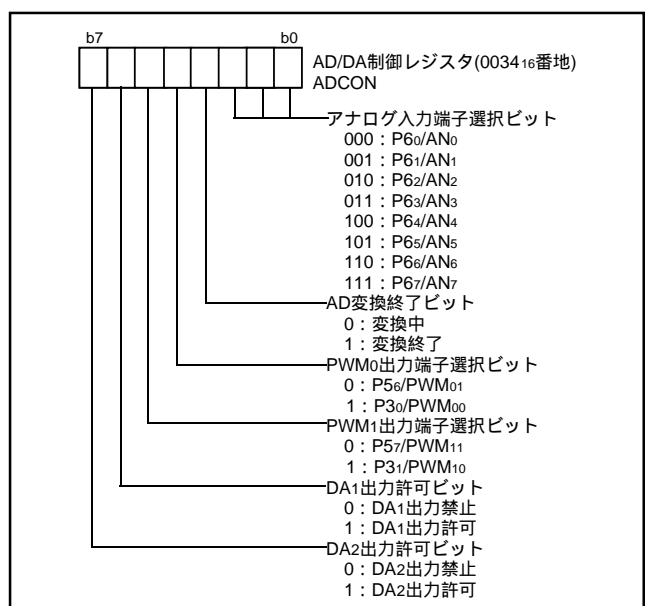


図49. AD/DA制御レジスタの構成

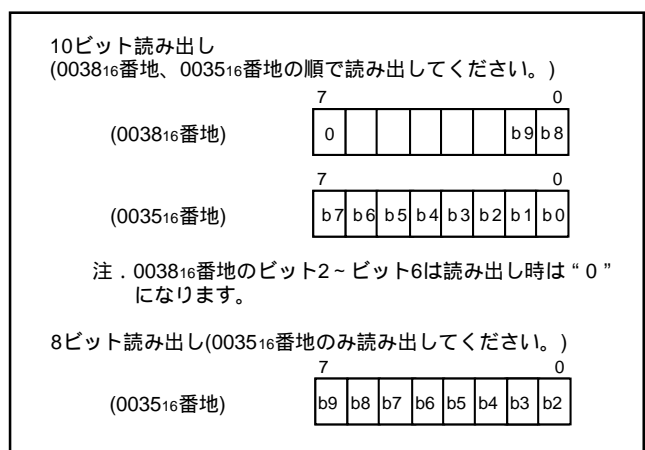


図50. 10ビットA-Dモードの読み出し構成

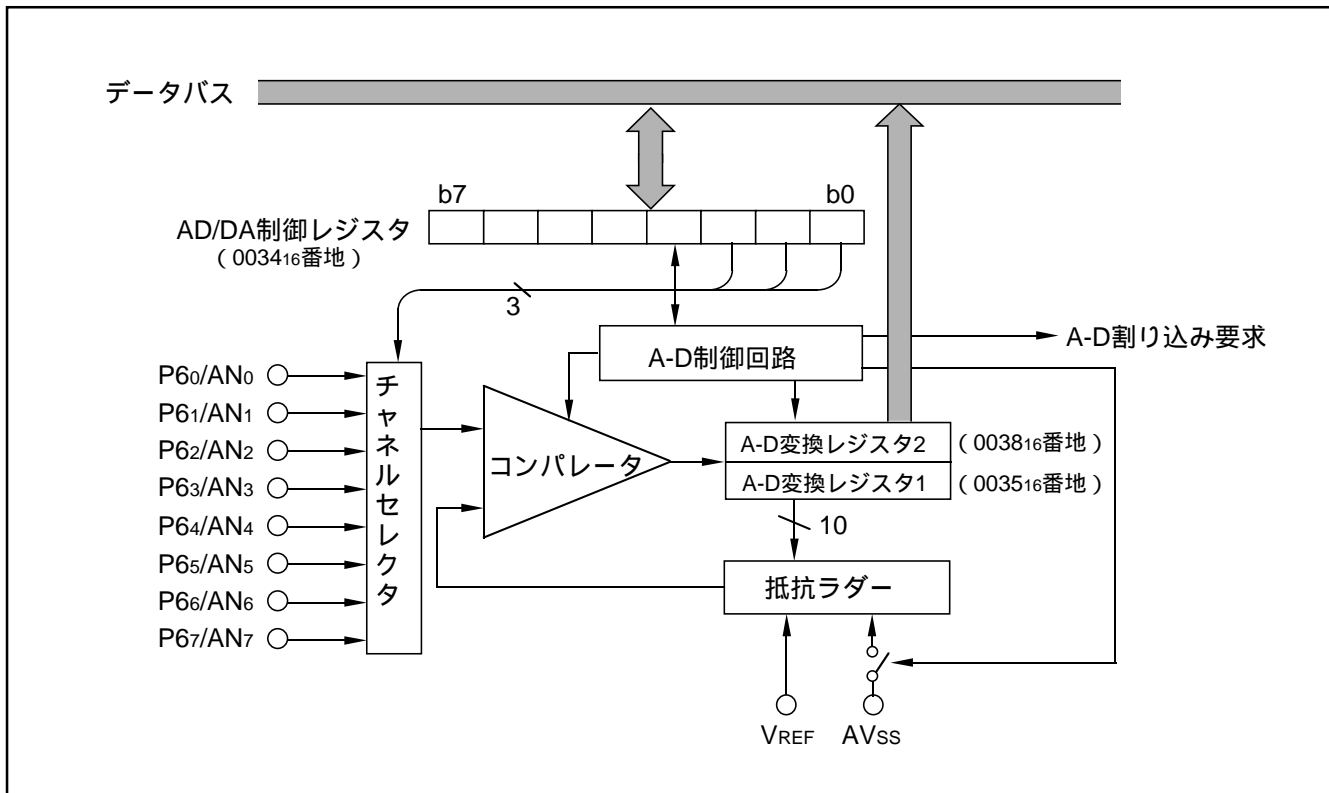


図51 . A-D変換器ブロック図

D-A変換器

D-A変換器は分解能8ビットで、2チャンネル(DA1, DA2)内蔵しています。

D-A変換はそれぞれ対応するD-A変換レジスタに値を設定することによって行われます。D-A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA1、DA2端子から出力されます。このとき、P56/DA1/PWM01、P57/DA2/PWM11の方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

ただしVREFは基準電圧

D-A変換レジスタはリセット時“00₁₆”にクリアされます。また、DA出力許可ビットも、リセット時“0”にクリアされ、P56/DA1/PWM01、P57/DA2/PWM11端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。また、D-A変換器を使用する場合はVccを4.0V以上にしてください。

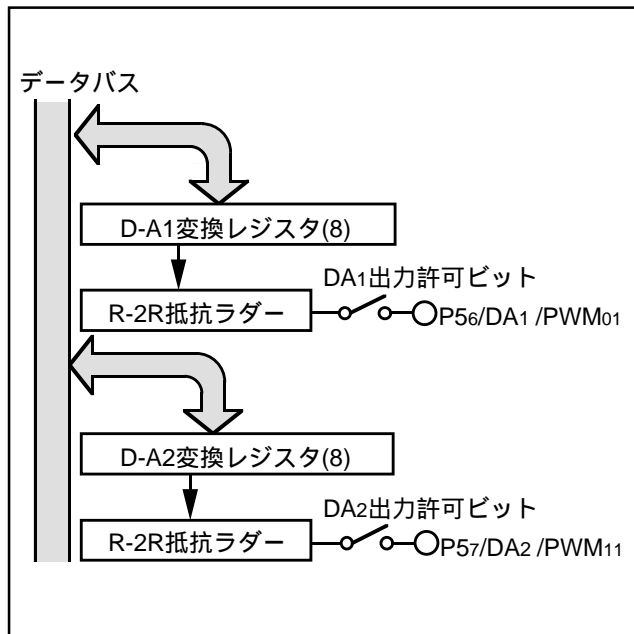


図52 . D-A変換器のブロック図

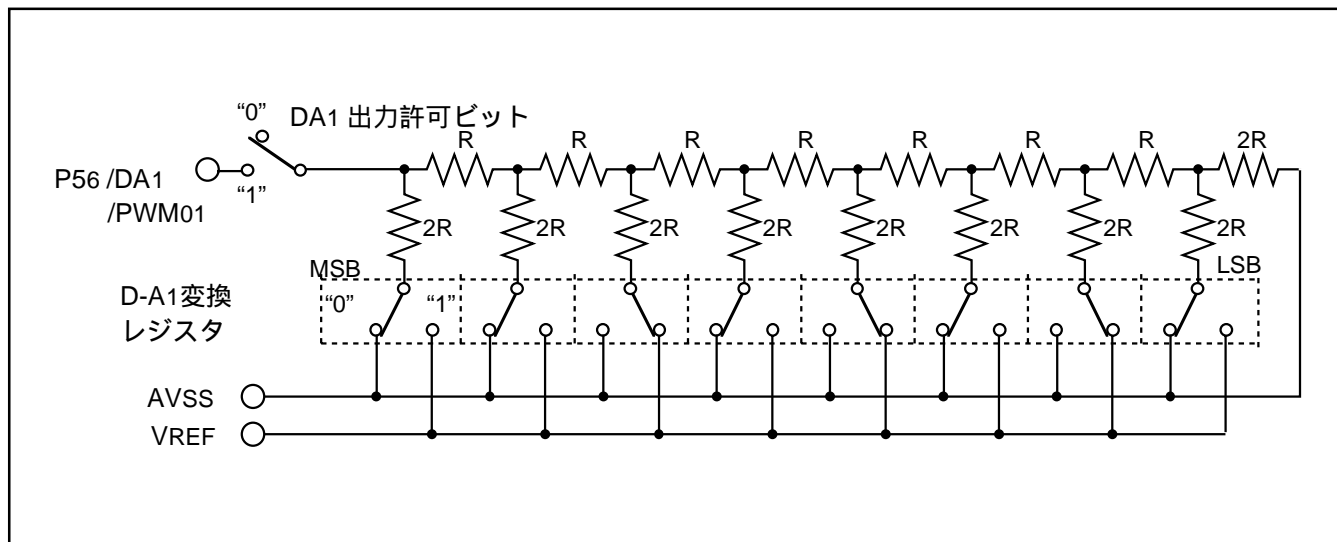


図53 . D-A変換器等価回路図 (DA1)

コンパレータ回路

・コンパレータの構成

コンパレータ回路は、抵抗、コンパレータ、コンパレータ制御回路、コンパレータ基準入力選択ビット(001D₁₆番地のビット7)、コンパレータデータレジスタ(002D₁₆番地)、コンパレータ基準電源入力端子(P0/P3REF)、アナログ信号入力端子(P30~P37)により構成されています。アナログ入力端子(P30~P37)は通常のデジタルポート入出力端子と共用しています。

・コンパレータの動作

コンパレータ動作を行うためには、まずポートP3に対応する方向レジスタ(0007₁₆番地)を“0”にしてポートP3を入力モードにし、ポートP3をアナログ入力端子として使用できる状態にします。シリアルI/O2制御レジスタ(001D₁₆番地)のビット7コンパレータ基準入力選択ビットを“1”にすることにより内部固定アナログ電圧($V_{CC} \times 29/32$)を発生させることができます。(V_{CC}=5.0V時、内部固定アナログ電圧は約4.5Vとなります。)また、“0”にすることにより、P0/P3REFがコンパレータ基準電源入力端子となり外部より任意に入力することができます。そしてコンパレータデータレジスタ(002D₁₆

番地)への書き込み動作により直ちに電圧比較が行われます。内部システムクロックの14サイクル(比較所用時間)後、コンパレータの比較結果は、コンパレータデータレジスタ(002D₁₆番地)に格納されます。このレジスタの各ビットは対応するポートP30~P37端子の状態により

アナログ入力電圧 > 内部アナログ電圧
のとき“1”

アナログ入力電圧 < 内部アナログ電圧

のとき“0”となります。再度比較する場合は、コンパレータデータレジスタ(002D₁₆番地)への書き込みによる再電圧比較が必要です。

結果の読み出しは、コンパレータ動作スタート後14サイクル以上たってから行ってください。

比較に要する14サイクルの間はラダー抵抗がONになり、基準電圧を発生します。コンパレータ動作を実行していない間はラダー抵抗はOFFになっているため、不要な電流が消費されるのを防ぎます。

コンパレータは容量結合で構成されておりクロック周波数が低いと電荷が失われます。コンパレータ実行中はクロック周波数を1MHz以上にしてください。また、STP命令、WIT命令及びポートP3の入出力命令を実行しないでください。

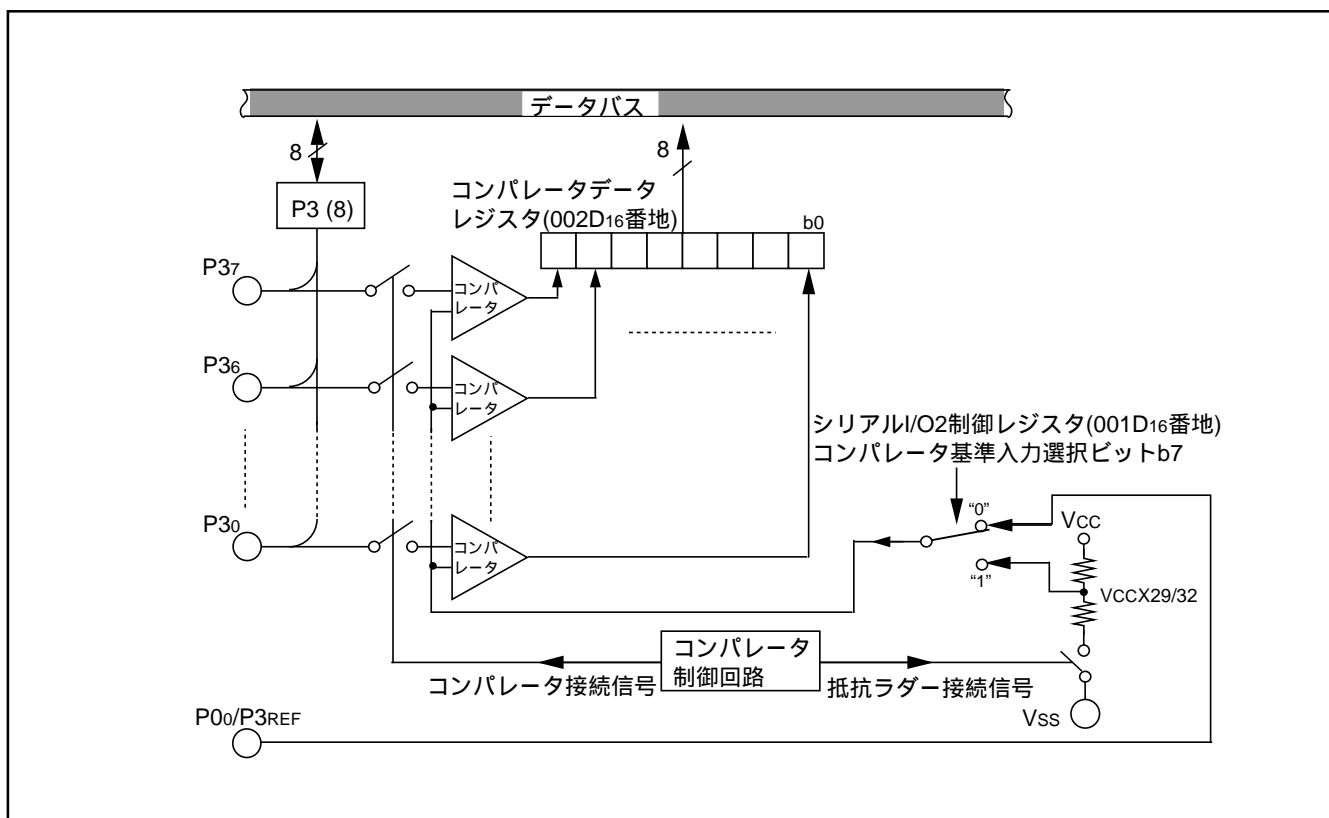


図54 . コンパレータ回路

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(001E₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(001E₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(001E₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(001E₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット(ビット0~5)、STP命令禁止ビット(ビット6)、ウォッチドッグタイマHカウントソース選択ビット(ビット7)の値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(001E₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、

ウォッチドッグタイマLは“FF₁₆”に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作
ウォッチドッグタイマ制御レジスタ(001E₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)$ = 8MHz時131.072ms、 $f(XCIN)$ = 32kHz時32.768sになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ (又は $f(XCIN)$)の16分周信号となります。この場合の検出時間は $f(XIN)$ = 8MHz時512 μ s、 $f(XCIN)$ = 32kHz時128msになります。

このビットはリセット後“0”になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(001E₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

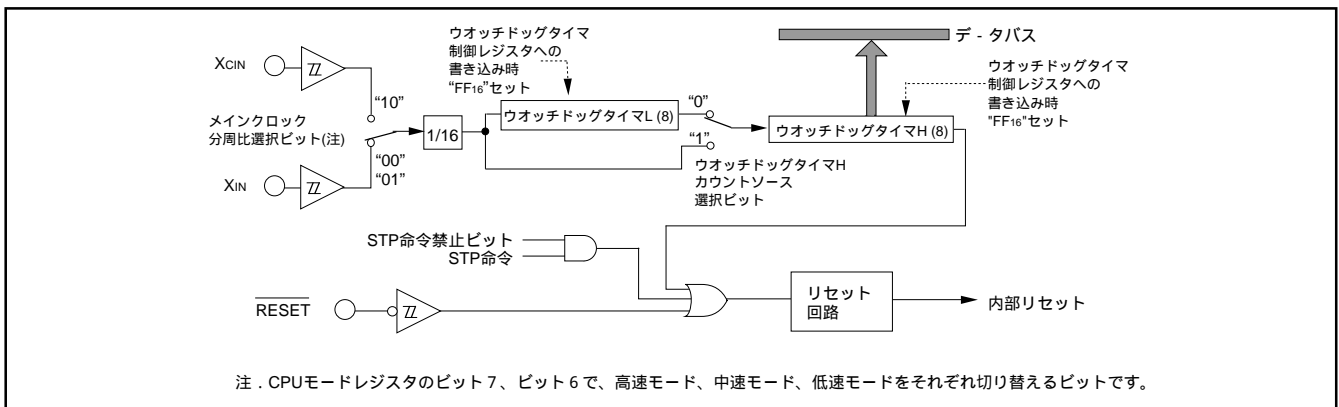


図55．ウォッチドッグタイマのブロック図

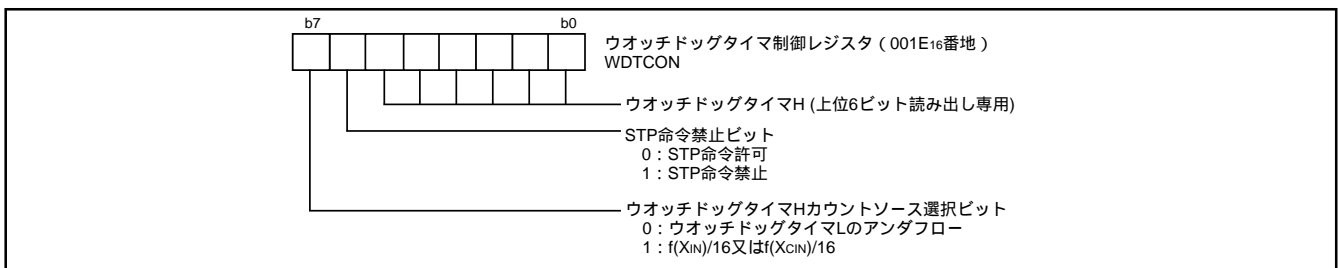


図56．ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7~5.5V(フラッシュメモリ版では4.0~5.5V)にあり、XINが安定発振しているとき、RESET端子をXINの16サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7V(フラッシュメモリ版では4.0V)を通過する時点で0.54V(フラッシュメモリ版では0.8V)以下になるようにしてください。

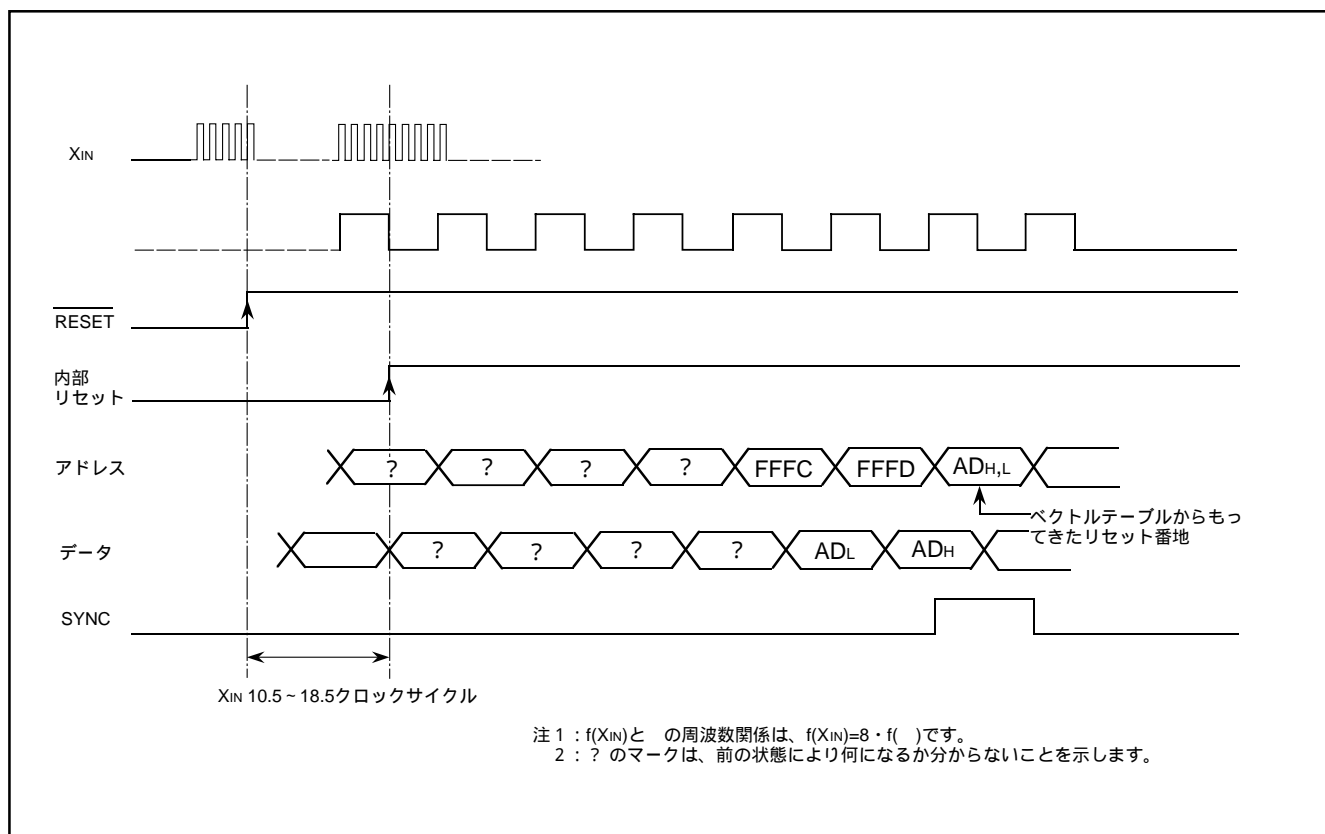
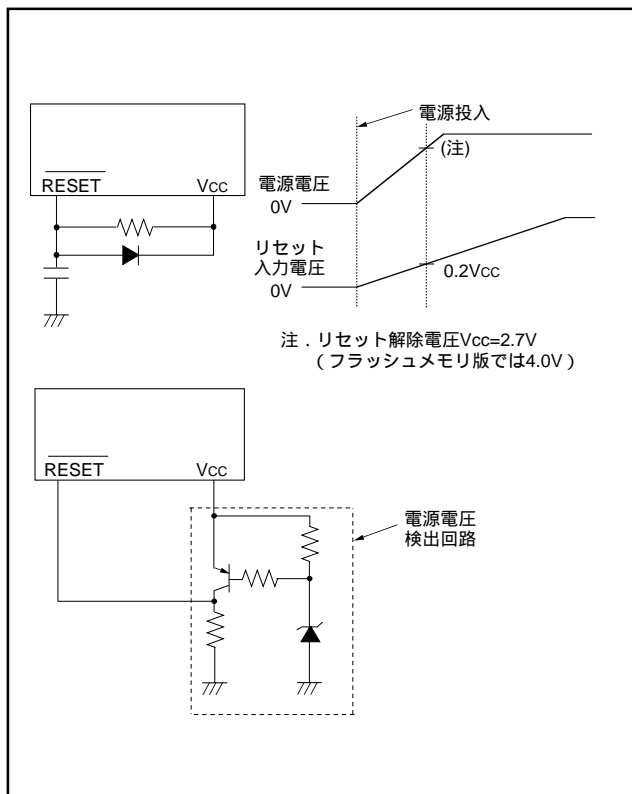


図58. リセットシーケンス

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(33) ブリスケーラ12	0020 ₁₆	FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(34) タイマ1	0021 ₁₆	01 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(35) タイマ2	0022 ₁₆	FF ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(36) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(37) ブリスケーラX	0024 ₁₆	FF ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(38) タイマX	0025 ₁₆	FF ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(39) ブリスケーラY	0026 ₁₆	FF ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(40) タイマY	0027 ₁₆	FF ₁₆
(9) ポートP4	0008 ₁₆	00 ₁₆	(41) データバスバッファレジスタ0	0028 ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(42) データバスバッファレジスタ0	0029 ₁₆	00 ₁₆
(11) ポートP5	000A ₁₆	00 ₁₆	(43) データバスバッファ制御レジスタ	002A ₁₆	00 ₁₆
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(44) データバスバッファレジスタ1	002B ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(13) ポートP6	000C ₁₆	00 ₁₆	(45) データバスバッファレジスタ1	002C ₁₆	00 ₁₆
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(46) コンパレータデータレジスタ	002D ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(15) ポートP7	000E ₁₆	00 ₁₆	(47) ポート制御レジスタ1	002E ₁₆	00 ₁₆
(16) ポートP7方向レジスタ	000F ₁₆	00 ₁₆	(48) ポート制御レジスタ2	002F ₁₆	00 ₁₆
(17) ポートP8	0010 ₁₆	00 ₁₆	(49) PWM0Hレジスタ	0030 ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(18) ポートP8方向レジスタ	0011 ₁₆	00 ₁₆	(50) PWM0Lレジスタ	0031 ₁₆	X ₁₆ 0 ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(19) I ² Cデータシフトレジスタ	0012 ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆	(51) PWM1Hレジスタ	0032 ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(20) I ² Cアドレスレジスタ	0013 ₁₆	00 ₁₆	(52) PWM1Lレジスタ	0033 ₁₆	X ₁₆ 0 ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(21) I ² Cステータスレジスタ	0014 ₁₆	0 ₁₆ 0 ₁₆ 0 ₁₆ 1 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ X ₁₆	(53) AD/DA制御レジスタ	0034 ₁₆	0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 1 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆
(22) I ² Cコントロールレジスタ	0015 ₁₆	00 ₁₆	(54) A-D変換レジスタ1	0035 ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆
(23) I ² Cクロックコントロールレジスタ	0016 ₁₆	00 ₁₆	(55) D-A1変換レジスタ	0036 ₁₆	00 ₁₆
(24) I ² Cスタート/ストップコンフィグレーション制御レジスタ	0017 ₁₆	0 ₁₆ 0 ₁₆ 0 ₁₆ 1 ₁₆ 1 ₁₆ 0 ₁₆ 1 ₁₆ 0 ₁₆	(56) D-A2変換レジスタ	0037 ₁₆	00 ₁₆
(25) 送信/受信バッファレジスタ	0018 ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆	(57) A-D変換レジスタ2	0038 ₁₆	0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ X ₁₆ X ₁₆
(26) シリアルI/O1ステータスレジスタ	0019 ₁₆	1 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆	(58) 割り込み要因選択レジスタ	0039 ₁₆	00 ₁₆
(27) シリアルI/O1制御レジスタ	001A ₁₆	00 ₁₆	(59) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(28) UART制御レジスタ	001B ₁₆	1 ₁₆ 1 ₁₆ 1 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆ 0 ₁₆	(60) CPUモードレジスタ	003B ₁₆	0 ₁₆ 1 ₁₆ 0 ₁₆ 0 ₁₆ 1 ₁₆ 0 ₁₆ * ₁₆ 0 ₁₆
(29) ポーレートジェネレータ	001C ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆	(61) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(30) シリアルI/O2制御レジスタ	001D ₁₆	00 ₁₆	(62) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(31) ウォッチドッグタイマ制御レジスタ	001E ₁₆	0 ₁₆ 0 ₁₆ 1 ₁₆ 1 ₁₆ 1 ₁₆ 1 ₁₆ 1 ₁₆ 1 ₁₆	(63) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(32) シリアルI/O2レジスタ	001F ₁₆	X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆ X ₁₆	(64) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
			(65) フラッシュメモリ制御レジスタ	0FFE ₁₆	00 ₁₆
			(66) フラッシュコマンドレジスタ	0FFF ₁₆	00 ₁₆
			(67) プログラムカウンタ	(PS)	X ₁₆ X ₁₆ X ₁₆ X ₁₆ 1 ₁₆ X ₁₆ X ₁₆
			(68) プログラムカウンタ	(PC _H)	FFF ₁₆ 番地の内容
				(PC _L)	FFF ₁₆ 番地の内容

注：*初期値は、CNVSS端子のレベルによります。
x：不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図59 . リセット時の内部状態

クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN - XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN - XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態で停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビット(002F₁₆番地のビット6)が“0”の時、プリスケアラ12には“FF₁₆”、タイマ1には“01₁₆”が設定されます。一方、STP命令解除後発振安定時間設定ビットが“1”の時は、プリスケアラ12、タイマ1には何も設定されませんのでご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXIN又はXCINの16分周、タイマ1にはプリスケアラ12の出力が強制的に接続されます。

STP命令実行前に、タイマ1の割り込み許可ビットを禁止状態(“0”)に設定してください。

発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。そのため、STP命令によって発振が停止する以前にタイマ1割り込み要求ビットが“1”に設定されないようにしてください。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態で停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

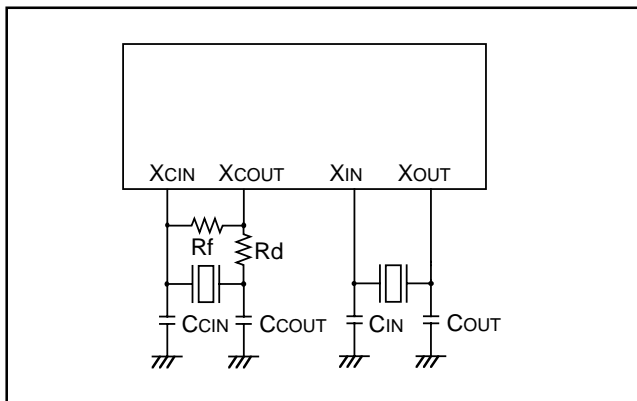


図60 . セラミック共振子外付け回路

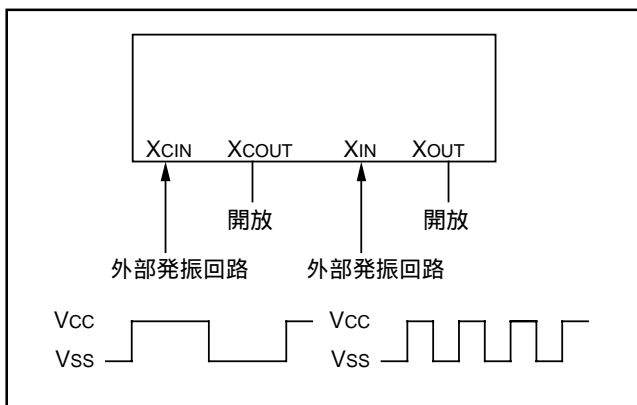


図61 . 外部クロック入力回路

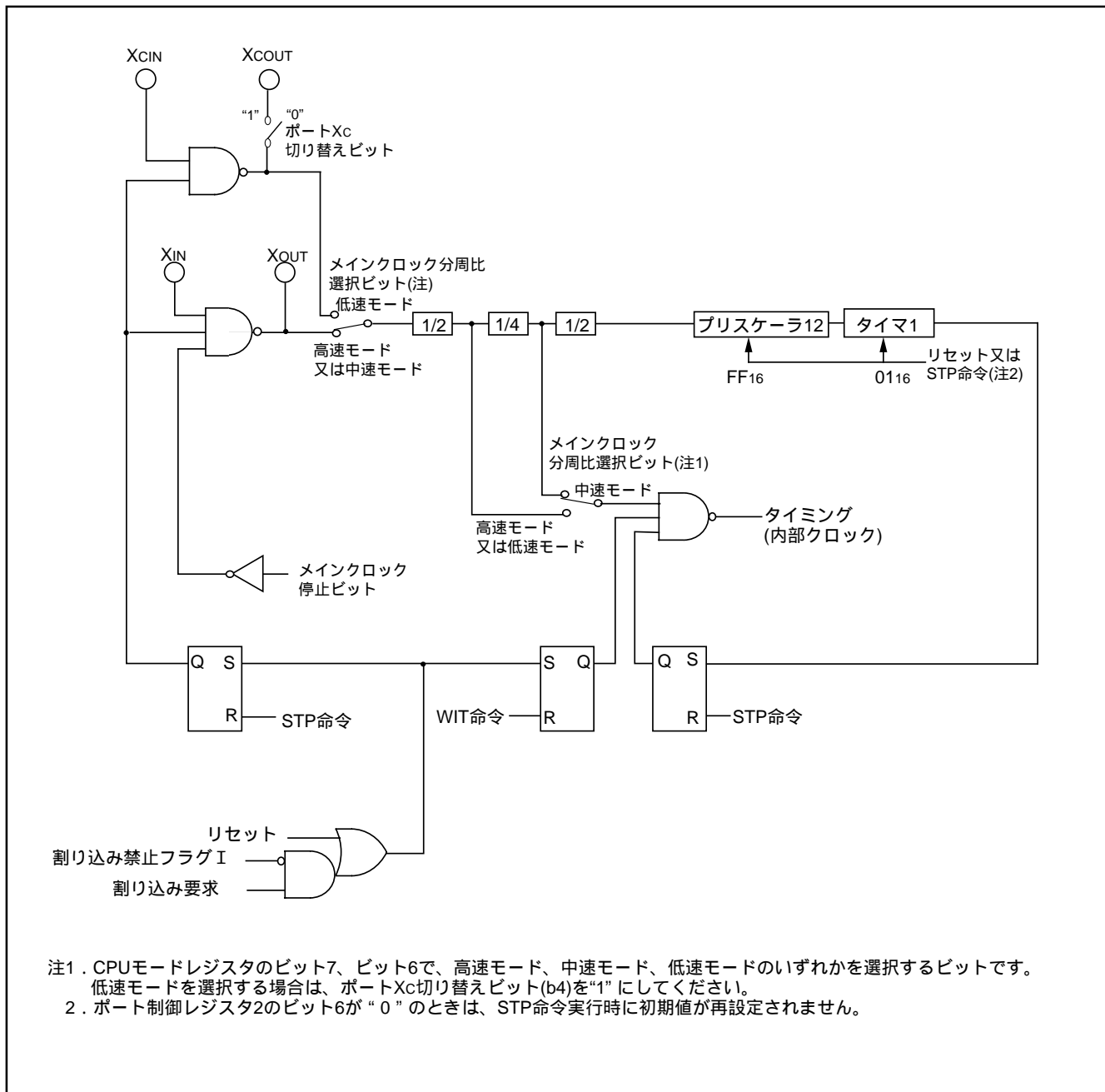


図62 . システムクロック発生回路ブロック図 (シングルチップモード)

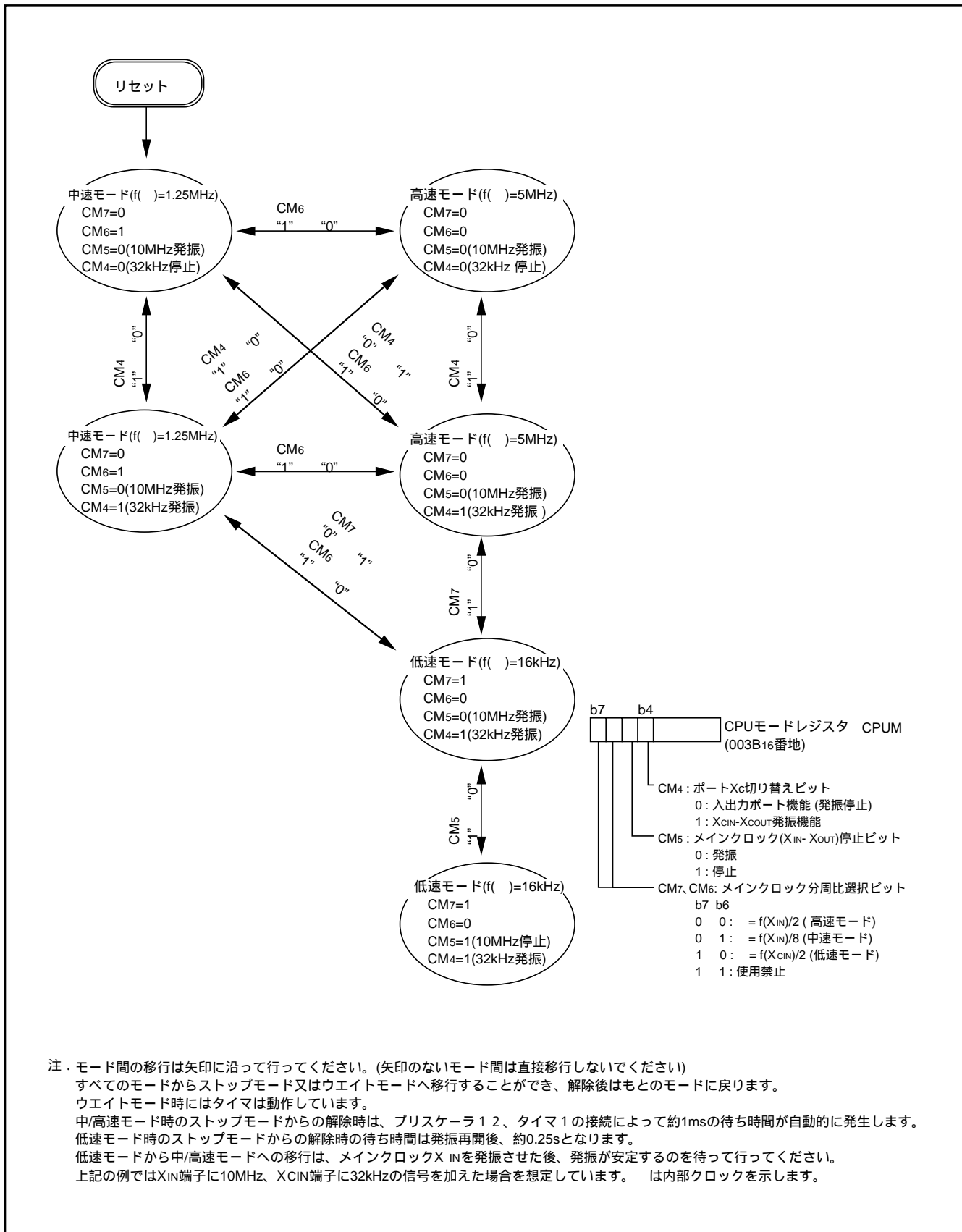


図63. システムクロックの状態遷移図

プロセッサモード

M38867M8A/E8Aでは、CPUモードレジスタ(003B₁₆番地)のプロセッサモードビット(b1, b0)の内容を変えることによって、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードの3つのモードを選択できます。メモリ拡張モード、マイクロプロセッサモードでは、ポートP0~P3を通じて外部にメモリを拡張することが可能です。この場合ポートP0~P3は入出力ポートとしての機能を失い、バス端子になります。

表17. メモリ拡張モード及びマイクロプロセッサモードにおける各ポートの機能

ポート名	機能
ポートP0	アドレスの下位8ビットを出力します
ポートP1	アドレスの上位8ビットを出力します
ポートP2	データD7~D0(命令コードも含む)の入出力端子として働きます。
ポートP3	P30, P31は出力端子としてのみ機能します。 (ただし、ポートラッチは読み出し不可) P32はONW入力端子となります。 P33はRESETOUT出力端子となります。(注) P34は出力端子となります。 P35はSYNC出力端子となります。 P36, P37はそれぞれWR, RD出力端子となります。

注. CNVssをVssに接続している場合、マイクロコンピュータはリセット時シングルチップモードに移行するため、RESETOUT出力端子としては使用できません。

(1)シングルチップモード

CNVssをVssに接続してリセットからスタートするとこのモードになります。

(2)メモリ拡張モード

CNVssをVssに接続して、プログラムでプロセッサモードビット(b1, b0)を"01"に設定するとこのモードになります。このモードでは、内部ROMが有効な状態で外部メモリを拡張することができます。

ただし、M38869M8A/MCA/MFA及びフラッシュメモリ版では、このモード設定は使用禁止です。

(3)マイクロプロセッサモード

CNVssをVccに接続し、リセットからスタートするか、CNVssをVssに接続して、プログラムでプロセッサモードビット(b1, b0)を"10"に設定すると、このモードになります。マイクロプロセッサモードでは、内部ROM領域も外部メモリ領域として解放されます。

ただし、M38869M8A/MCA/MFA及びフラッシュメモリ版では、このモード設定は使用禁止です。

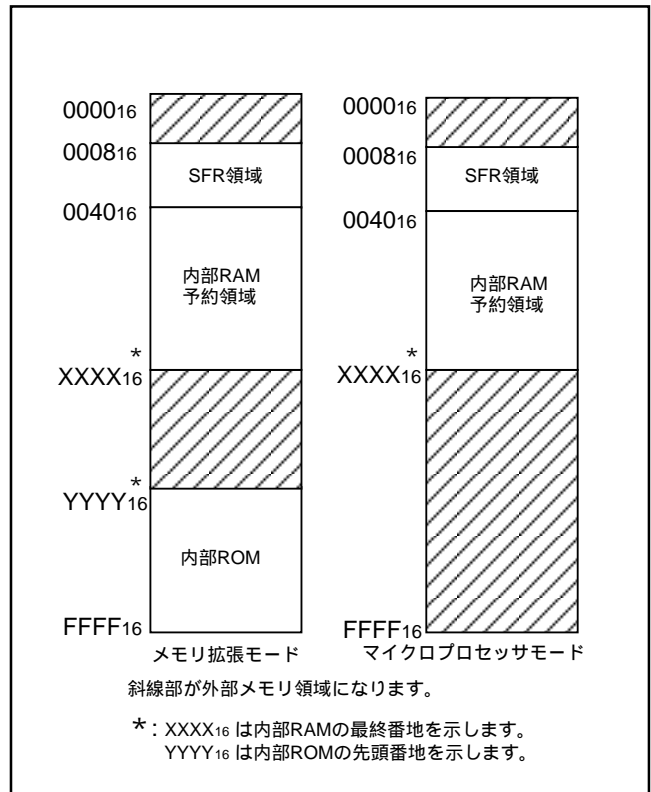


図64. 各プロセッサモードの外部メモリ領域

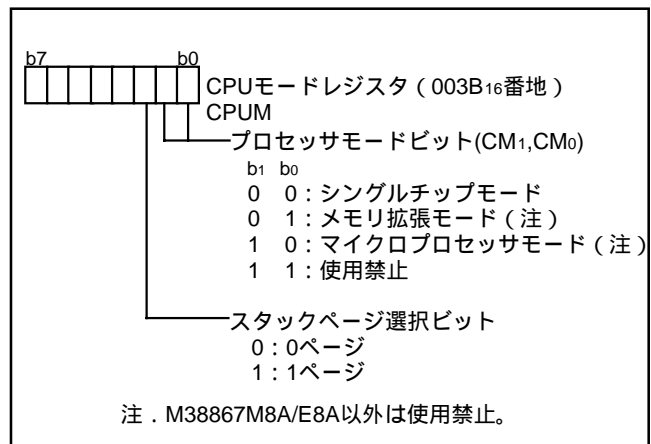


図65. CPUモードレジスタの構成

●メモリ拡張時のバス制御

メモリ拡張モードやマイクロプロセッサモードにより外部メモリやI/Oを拡張したとき、拡張したメモリやI/Oへのアクセスを容易にするために、M38867M8A/E8AはONW機能を内蔵しています。

CPUが読み出し又は書き込み状態であるときP32/ONW端子に“L”を入力すると、リードサイクル又はライトサイクルが

の1周期分延長されます。延長期間は、RD, WR信号が“L”のまま保持されます。この延長機能は0000₁₆~0007₁₆番地及び0440₁₆~FFFF₁₆番地への書き込み、読み出し時のみ機能します。また、リードサイクル、ライトサイクルのみ延長されます。

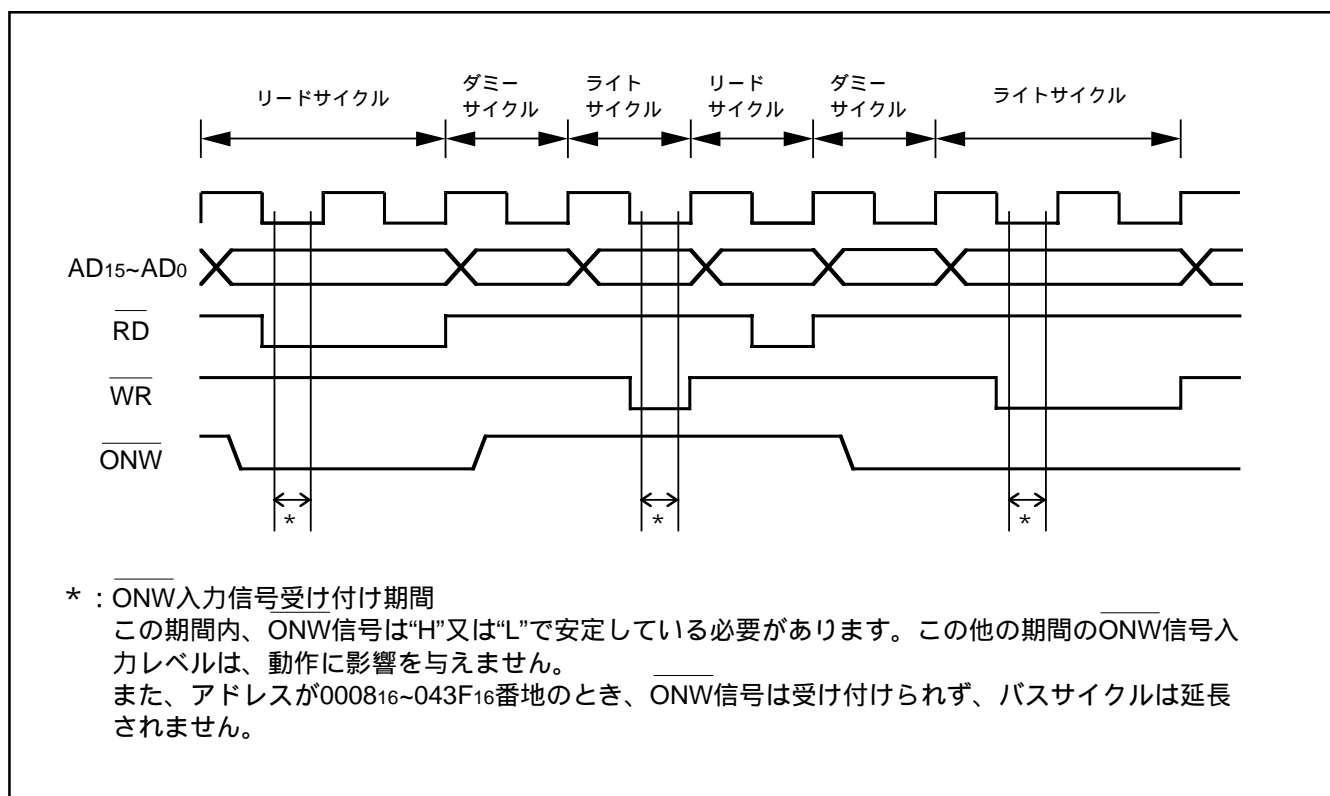


図66 . ONW機能タイミング図

EPROMモード

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。内蔵PROMへの書き込みのため、M5M27C101相当の機能を持っております。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表18. 専用書き込みアダプタ

パッケージ	書き込みアダプタ形名
80P6Q-A	PCA4738H-80A
80D0	PCA4738L-80A

表19. PROMライターの設定

マイコン形名	PROMライターの設定		マイコンのROM領域
	対応デバイス	書込領域	
M38867E8AHP	M5M27C101K バイト プログラム	08080 ₁₆	8080 ₁₆
M38867E8AFS		0FFFD ₁₆	FFFD ₁₆

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図67に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

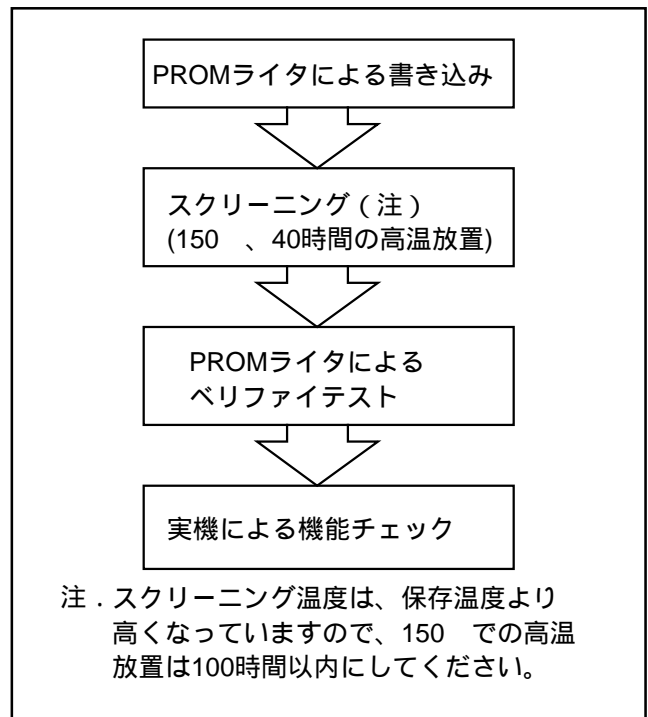


図67. ワンタイムPROM版書き込みとテスト

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

フラッシュメモリモード

M38869FFAHP/GPIは、通常の動作モード(マイコンモード)以外に、内蔵するフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードを持っています。

フラッシュメモリモードとして、外部のライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、シリアル入出力モード及び、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を選択できます。

以下それぞれのフラッシュメモリモードについて説明します。

(1)フラッシュメモリモード・1(パラレル入出力モード)

図68に示す結線を行い、VCC、VPP端子に電源を投入すると、パラレル入出力モードが選択されます。このモードでは、M38869FFAHP/GPIは当社製CMOSフラッシュメモリM5M28F101相当の動作を行います。ただし、M38869FFAHP/GPの内蔵メモリ容量は60Kバイトですので、プログラムは01000₁₆~0FFFF₁₆番地に対して行い、00000₁₆~00FFF₁₆番地及び10000₁₆~1FFFF₁₆番地のデータは必ず“FF₁₆”にしてください。また、アドレス入力(A₉)に高電圧を印加してデバイス識別コードを読み出す機能は内蔵していません。汎用PROMライタ使用時のプログラム条件の設定などは、誤りのないように行ってください。

パラレル入出力モード時の端子対応を表20に示します。

表20. パラレル入出力モード時の端子対応

	M38869FFAHP/GP	M5M28F101
VCC	VCC	VCC
VPP	CNVSS	VPP
VSS	VSS	VSS
アドレス入力	ポートP0, P1, P31	A0 ~ A16
データ入出力	ポートP2	D0 ~ D7
CE	P36	CE
OE	P37	OE
WE	P33	WE

表21. 制御入力と各状態の対応

モード	状態	端子名	CE	OE	WE	VPP	データ入出力
リードオンリー	リード		V _{IL}	V _{IL}	V _{IH}	V _{PP} L	出力
	出力ディスエーブル		V _{IL}	V _{IH}	V _{IH}	V _{PP} L	フローティング
	スタンドバイ		V _{IH}	X	X	V _{PP} L	フローティング
リード/ライト	リード		V _{IL}	V _{IL}	V _{IH}	V _{PP} H	出力
	出力ディスエーブル		V _{IL}	V _{IH}	V _{IH}	V _{PP} H	フローティング
	スタンドバイ		V _{IH}	X	X	V _{PP} H	フローティング
	ライト		V _{IL}	V _{IH}	V _{IL}	V _{PP} H	入力

注: Xは、V_{IL}又はV_{IH}のどちらでもよい。

機能概要(パラレル入出力モード)

パラレル入出力モードでは、VPP端子の印加電圧によってリードオンリーモードとリード/ライトモード(ソフトウェアコマンドコントロールモード)の2種類の動作モードが設定できます。VPP = VPP_Lに設定するとリードオンリーモードが選択され、 \overline{CE} 、 \overline{OE} 、 \overline{WE} 端子の入力によって、リード、出力ディスエーブル、スタンドバイの3状態に設定することができます。また、VPP = VPP_Hに設定するとリード/ライトモードが選択され、 \overline{CE} 、 \overline{OE} 、 \overline{WE} 端子の入力によって、リード、出力ディスエーブル、スタンドバイ、ライトの4状態に設定することができます。 \overline{CE} 、 \overline{OE} 、 \overline{WE} 端子の入力と各状態の対応を表21に示します。

・リード

\overline{CE} 端子を“L”、 \overline{OE} 端子を“L”、 \overline{WE} 端子を“H”にするとリード状態になり、アドレス入力端子(A₀ ~ A₁₆)に入力されるアドレスに対応するメモリの内容がデータ入出力端子(D₀ ~ D₇)から出力されます。

・出力ディスエーブル

\overline{CE} 端子を“L”、 \overline{WE} 端子を“H”、 \overline{OE} 端子を“H”にすると出力ディスエーブル状態になり、データ入出力端子はフローティング状態になります。

・スタンドバイ

\overline{CE} 端子を“H”にするとスタンドバイ状態になり、電源電流が極めて少ないパワーダウン状態になります。また、データ入出力端子はフローティング状態になります。

・ライト

VPP端子を“H”(VPP = VPP_H)とし、 \overline{CE} 端子が“L”、 \overline{OE} 端子が“H”のときに、 \overline{WE} 端子を“L”にするとライト状態になります。ライト状態では、データ入出力端子からのソフトウェアコマンドの入力が可能になり、このソフトウェアコマンドの内容によってプログラム、イレーズなどの操作が選択できます。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表22 . 端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCCに5V±10%, VSSに0Vを印加します。
CNVSS	VPP入力	入 力	リードオンリーモード時は5V±10%を, リード/ライトモード時は11.7~12.6Vを印加します。
RESET	リセット入力	入 力	VSSに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		VSSに接続してください。
VREF	基準電圧入力	入 力	VSSに接続してください。
P00~P07	アドレス入力 A0~A7	入 力	アドレスA0~A7の入力端子です。
P10~P17	アドレス入力 A8~A15	入 力	アドレスA8~A15の入力端子です。
P20~P27	データ入出力 D0~D7	入出力	データD0~D7の入出力端子です。
P30~P37	制御入力	入 力	P37,P36,P33はそれぞれOE,CE,WEの入力端子、P31はアドレスA16の入力端子となります。 P30,P32はVSSに接続して下さい。P34,P35は“H”を入力、“L”を入力又は開放してください。
P40~P47	入力ポート P4	入 力	P44, P46はVSSに接続してください。P40~P43,P45,P47は“H”を入力、“L”を入力又は開放にしてください。
P50~P57	入力ポート P5	入 力	“H”を入力、“L”を入力、又は開放してください。
P60~P67	入力ポート P6	入 力	“H”を入力、“L”を入力、又は開放してください。
P70~P77	入力ポート P7	入 力	“H”を入力、“L”を入力、又は開放してください。
P80~P87	入力ポート P8	入 力	“H”を入力、“L”を入力、又は開放してください。

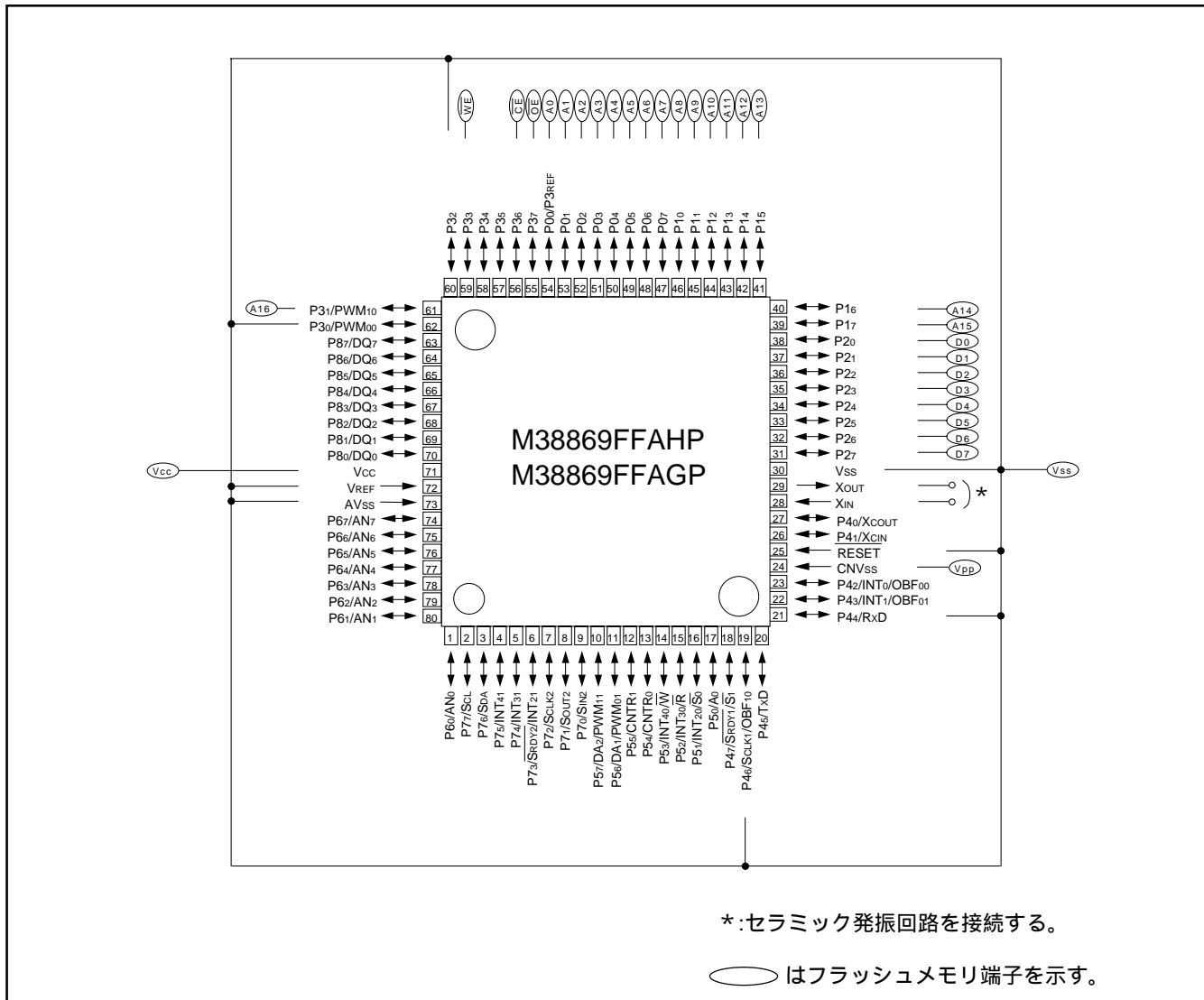


図68 . パラレル入出力モード時の端子結線図(M38869FFAHP/GP)

リードオンリーモード
V_{PP}端子にV_{PPH}を印加するとリードオンリーモードになります。このモードでは図69に示すタイミングで読み出しを行

うアドレス及び、制御信号を入力すると指定したアドレスの内容がデータ入出力端子から外部に出力されます。このモードでは読み出し以外の操作はできません。

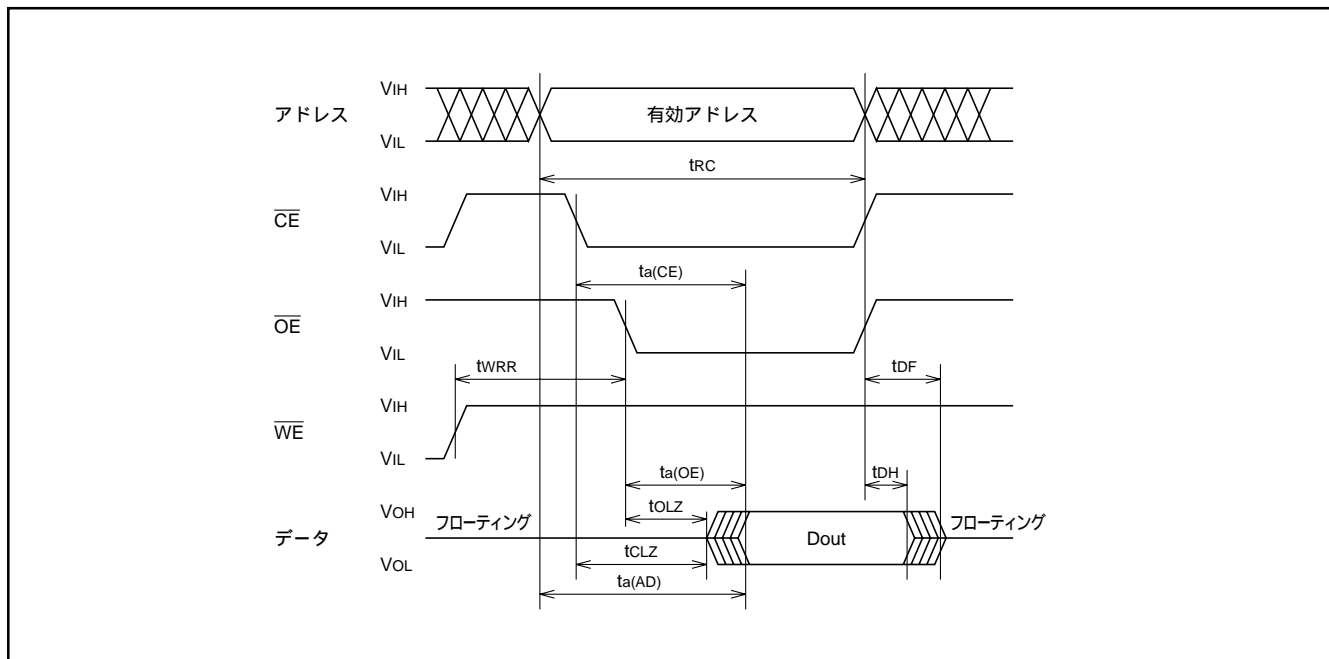


図69. リードタイミング

リード/ライトモード
V_{PP}端子にV_{PPH}を印加するとリード/ライトモードになります。このモードでは、最初にフラッシュメモリに対して行う操作(リード、プログラム、イレーズなど)を選択するためのソフトウェアコマンドを入力し(第一サイクルと称す) 続いてそのコマンドを実行するために必要な情報(アドレス、データなど)及び制御信号を入力する(第二サイクルと称す)と指定した操作が実行されます。表23にソフトウェアコマ

ンドと第一、第二サイクルにおける入出力情報を示します。入力したアドレスはWE入力の立ち上がりエッジで、ソフトウェアコマンドなどの入力データはWE入力の立ち上がりエッジで内部にラッチされます。

以下に、各ソフトウェアコマンドについて説明します。信号入出力のタイミングについては図70～図72を参照してください。

表23. ソフトウェアコマンド一覧表(パラレル入出力モード)

項目	第一サイクル		第二サイクル	
	アドレス入力	データ入力	アドレス入力	データ入出力
リード	X	00 ₁₆	リードアドレス	リードデータ(出力)
プログラム	X	40 ₁₆	プログラムアドレス	プログラムデータ(入力)
プログラムベリファイ	X	C0 ₁₆	X	ベリファイデータ(出力)
イレーズ	X	20 ₁₆	X	20 ₁₆ (入力)
イレーズベリファイ	ベリファイアドレス	A0 ₁₆	X	ベリファイデータ(出力)
リセット	X	FF ₁₆	X	FF ₁₆ (入力)
デバイス識別	X	90 ₁₆	ADI	DD(出力)

注. ADI=デバイス識別アドレス: 製造メーカーコード 00000₁₆, デバイスコード 00001₁₆

DDI=デバイス識別データ: 製造メーカーコード 1C₁₆, デバイスコード D0₁₆

Xは, V_{IL}又はV_{IH}のどちらでもよい。

・リードコマンド

第一サイクルでコマンドコード“0016”を入力するとリードモードになります。コマンドコードは \overline{WE} 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで読み出しを行うアドレスを入力し、図70に示すタイミングで制御信号を入力すると、指定したアドレスの内容がデータ入出力端子から外部に出力されます。

リードモードは、コマンドラッチに他のコマンドがラッチされるまで保持されます。したがって、1度リードモードに設定した後は、アドレス入力を変化させて第二サイクルだけを実行すると、メモリの内容を次々に読み出すことができます。なお、リードコマンド以外のコマンドは実行する度に、再度コマンドコードから入力する必要があります。電源投入後はコマンドラッチの内容は0016になっています。

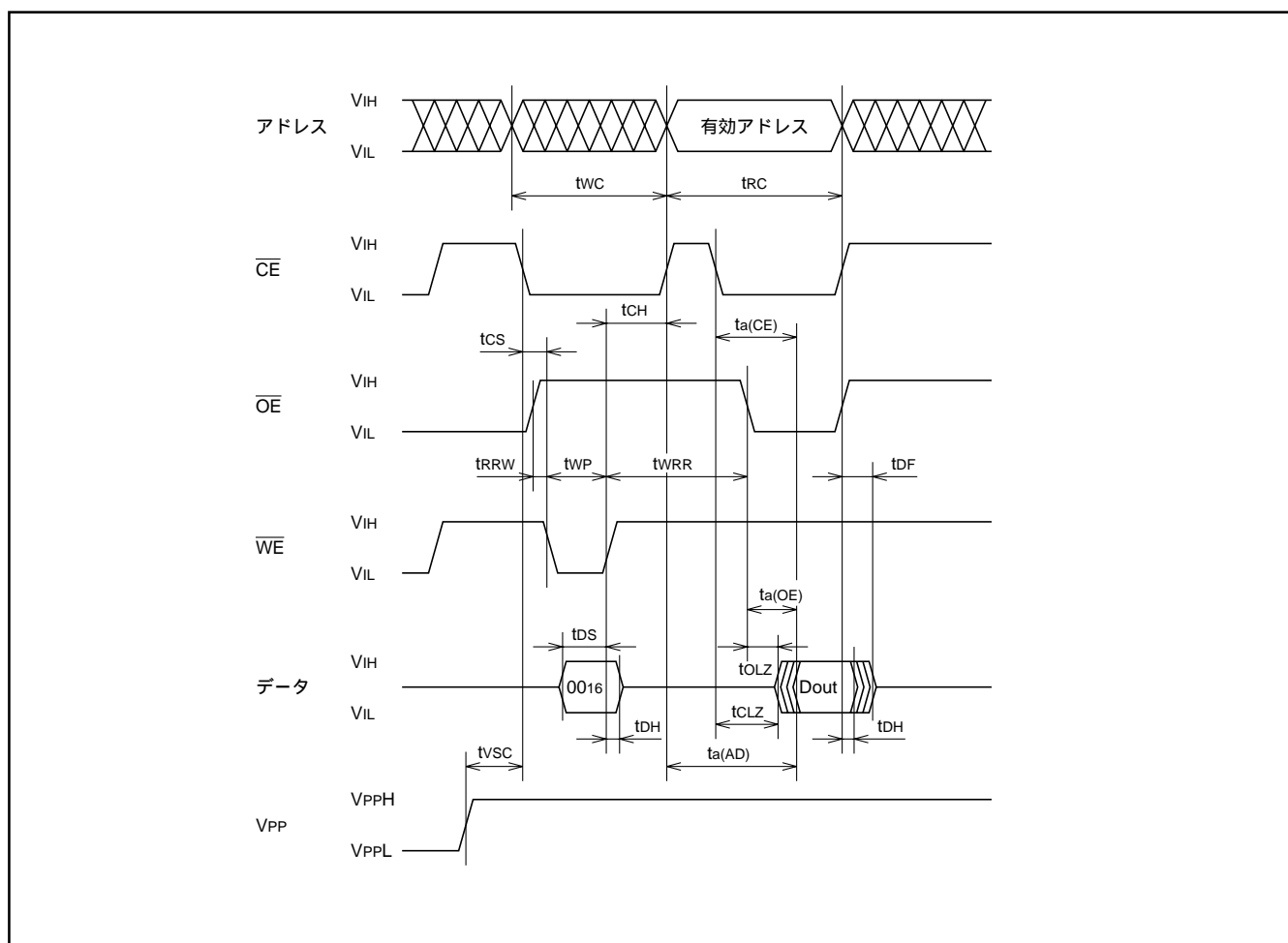


図70 . リード時のタイミング

・プログラムコマンド

第一サイクルでコマンドコード“4016”を入力するとプログラムモードになります。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルでプログラムするアドレスとデータを入力すると、アドレスはWE入力の立ち下がり、データは立ち上がりで内部にラッチされます。プログラムは、第二サイクルのWE入力の立ち上がりによって開始され、内蔵タイマで測定して10μs以内に終了します。プログラムはバイト単位で行われます。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図73を参照してください。

・プログラムベリファイコマンド

第一サイクルでコマンドコード“C016”を入力するとプログラムベリファイモードになります。このコマンドはプログラムコマンド実行後に、プログラムされたデータをベリファイするために用います。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで図71に示すタイミングで制御信号を入力すると、プログラムされたアドレスの内容が外部に出力されます。アドレスはプログラムコマンド実行時のアドレスを内部でラッチしていますので、第二サイクルにおいて入力する必要はありません。

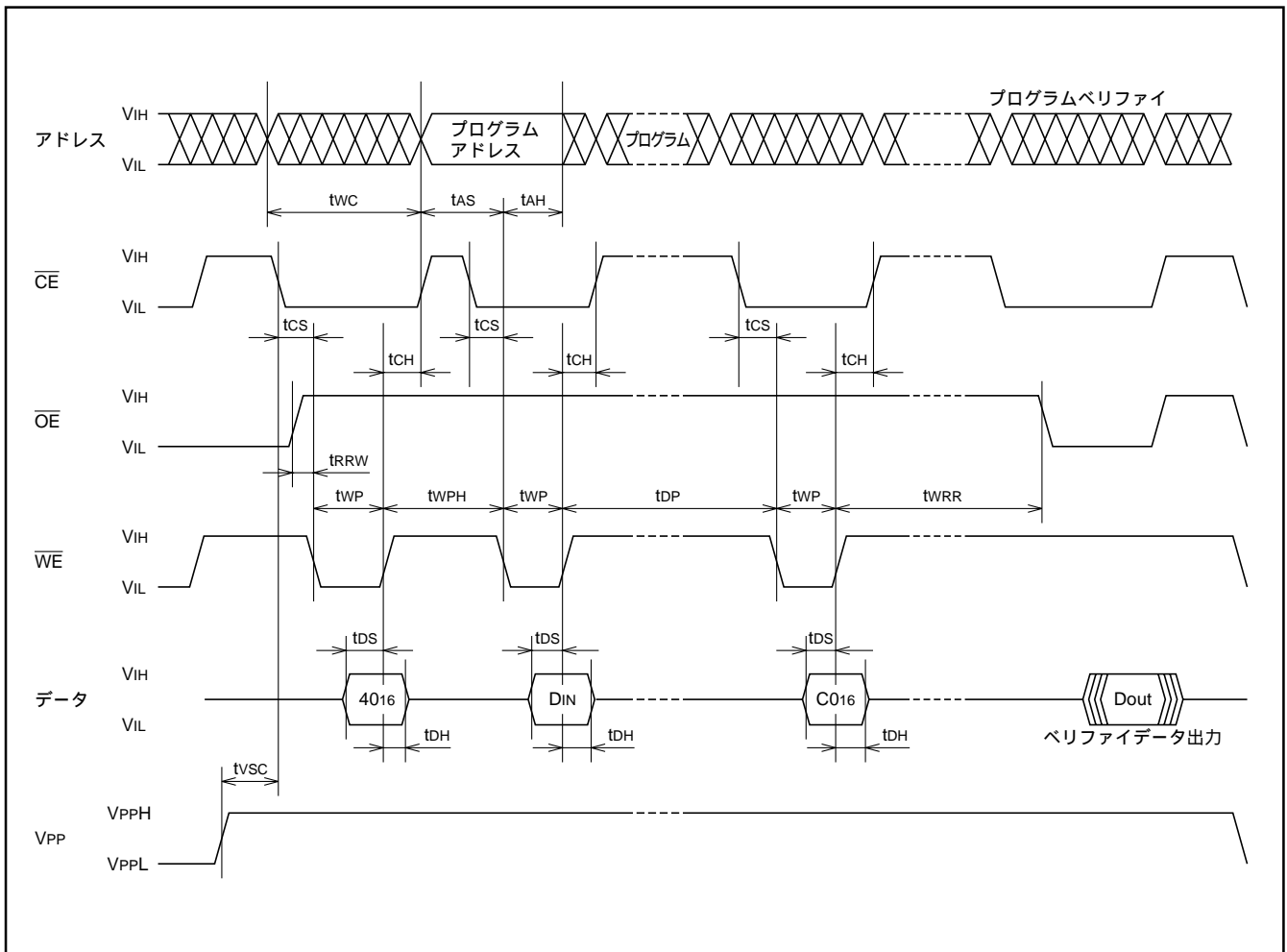


図71 . プログラム時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・イレーズコマンド

第一サイクルでコマンドコード“20₁₆”を入力した後、再度第二サイクルでコマンドコード“20₁₆”を入力するとイレーズコマンドが実行されます。コマンドコードは、第一及び第二サイクルのWE入力の立ち上がりで内部のコマンドラッチにラッチされます。イレーズは、第二サイクルのWE入力の立ち上がりによって開始され、内蔵タイマで測定して9.5ms以内にメモリの内容は一括消去されます。なお、イレーズコマンドの実行前には、すべてのメモリにデータ“00₁₆”を書き込む必要があります。

(注) 消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図73を参照してください。

・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。第一サイクルでベリファイするアドレスとコマンドコード“A0₁₆”を入力するとイレーズベリファイモードになります。アドレスはWE入力の立ち下がりで、コマンドコードは立ち上がりで内部にラッチされます。第二サイクルで図72に示すタイミングで制御信号を入力すると、指定したアドレスの内容が外部に出力されます。

(注) イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00₁₆”を書き込む必要はありません。

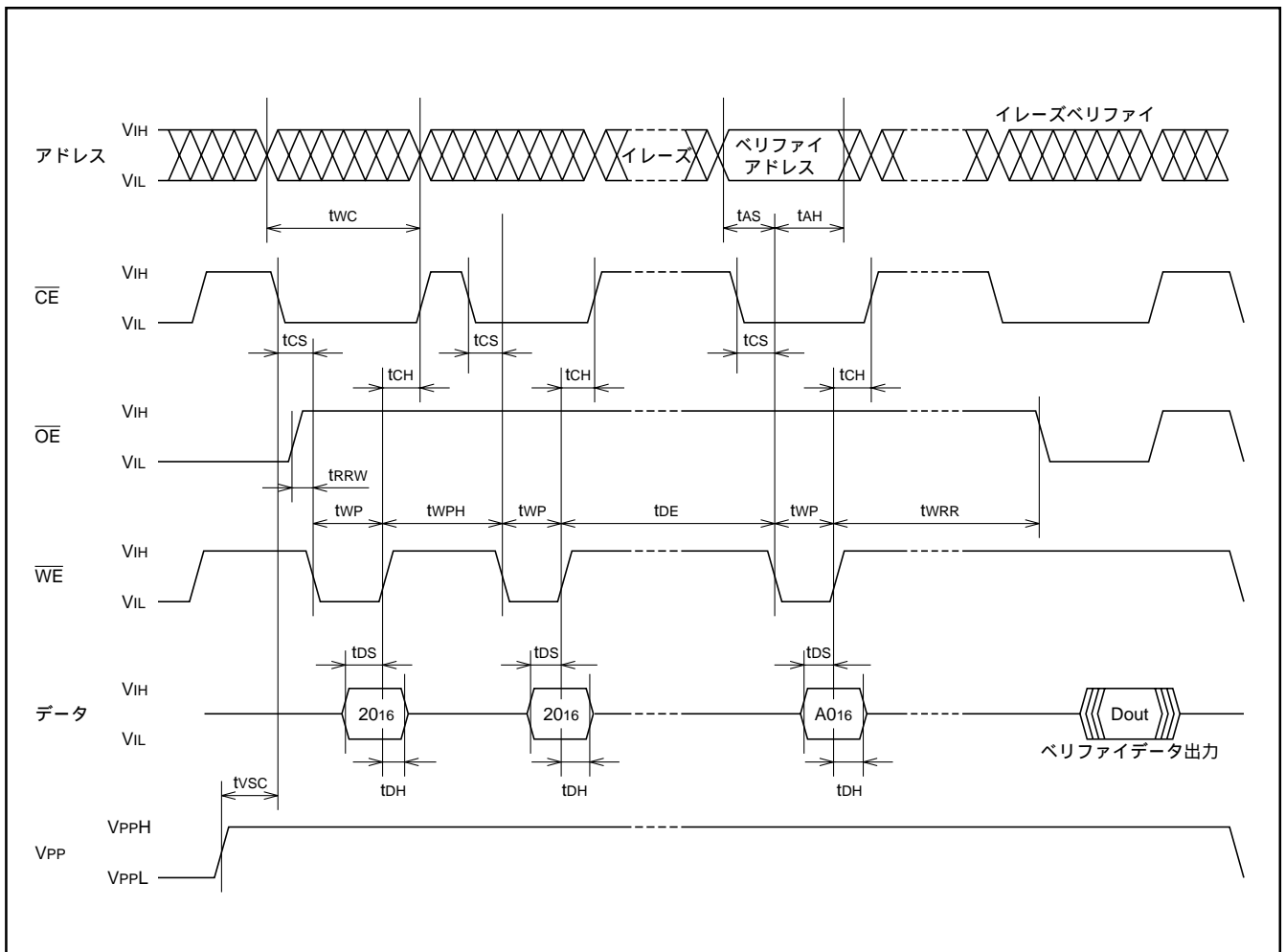


図72 . イレーズ時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・リセットコマンド

リセットコマンドはイレーズ又はプログラムコマンドを安全に中止するための手段です。第一サイクルでイレーズ又はプログラムコマンドコードを入力した後、第二サイクルでコマンドコード“FF₁₆”を入力し、再度第三サイクルでコマンドコード“FF₁₆”を入力すると、イレーズ又はプログラムコマンドは無効になり(リセットされ)、リードモードになります。リセットコマンドを実行しても、メモリの内容は変わりません。

・デバイス識別コードコマンド

第一サイクルでコマンドコード“90₁₆”を入力すると、デバイス識別コードを読み出すことができます。コマンドコードは \overline{WE} 入力の立ち上がりで内部のコマンドラッチにラッチされます。この場合、第二サイクルでアドレス入力端子に“0000₁₆”を入力すると製造メーカーコード“1C₁₆”(三菱)が“0000₁₆”を入力するとデバイスコード“D0₁₆”(1Mビットフラッシュメモリ)が読み出されます。

入出力タイミングは、リード時のタイミングと同じです。

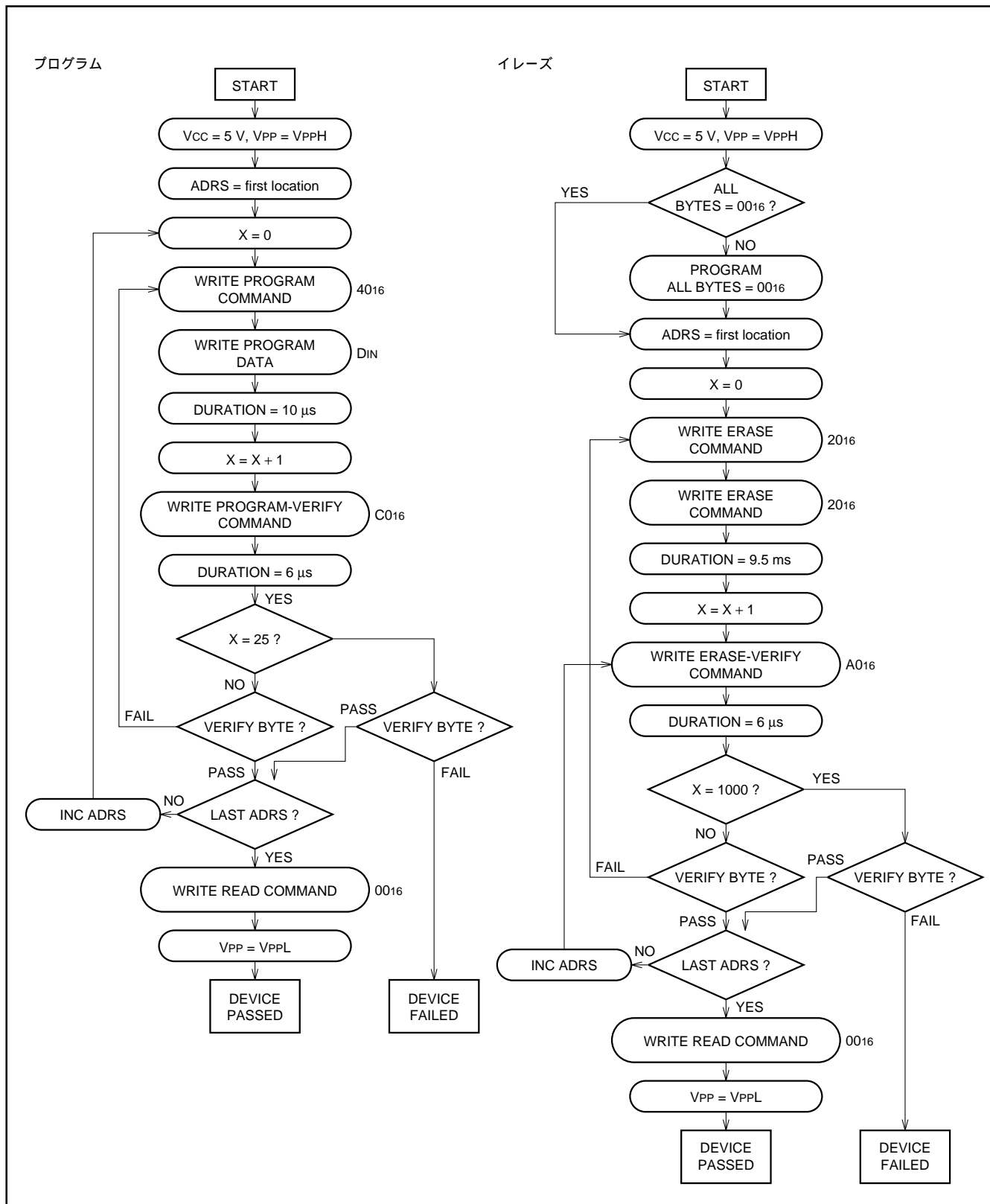


図73 . プログラム, イレーズアルゴリズムフローチャート

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表24．直流電気的特性 (指定のない場合は, $T_a = 25^\circ\text{C}$, $V_{CC} = 5V \pm 10\%$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ISB1	V _{CC} 電源電流 (スタンバイ時)	V _{CC} = 5.5V, $\overline{CE} = V_{IH}$			1	mA
ISB2		V _{CC} = 5.5V, $\overline{CE} = V_{CC} \pm 0.2V$			100	μA
ICC1	V _{CC} 電源電流 (リード時)	V _{CC} = 5.5V, $\overline{CE} = V_{IL}$, t _{RC} = 150ns, I _{OUT} = 0mA			15	mA
ICC2	V _{CC} 電源電流 (プログラム時)	V _{PP} = V _{PPH}			15	mA
ICC3	V _{CC} 電源電流 (イレース時)	V _{PP} = V _{PPH}			15	mA
IPP1	V _{PP} 電源電流 (リード時)	0 V _{PP} V _{CC}			10	μA
		V _{CC} < V _{PP} V _{CC} + 1.0V			100	μA
		V _{PP} = V _{PPH}			100	μA
IPP2	V _{PP} 電源電流 (プログラム時)	V _{PP} = V _{PPH}			30	mA
IPP3	V _{PP} 電源電流 (イレース時)	V _{PP} = V _{PPH}			30	mA
V _{IL}	“L”入力電圧		0		0.8	V
V _{IH}	“H”入力電圧		2.0		V _{CC}	V
V _{OL}	“L”出力電圧	I _{OL} = 2.1mA			0.45	V
V _{OH1}	“H”出力電圧	I _{OH} = - 400 μA	2.4			V
V _{OH2}		I _{OH} = - 100 μA	V _{CC} - 0.4			V
V _{PP} L	V _{PP} 電源電圧 (リードオンリー)		V _{CC}		V _{CC} + 1.0	V
V _{PP} H	V _{PP} 電源電圧 (リード/ライト)		11.7	12.0	12.6	V

交流電気的特性 (指定のない場合は, $T_a = 25^\circ\text{C}$, $V_{CC} = 5V \pm 10\%$)

表25．リードオンリーモード

記号	項目	規格値		単位
		最小	最大	
t _{RC}	リードサイクル時間	250		ns
t _a (AD)	アドレスアクセス時間		250	ns
t _a (CE)	CEアクセス時間		250	ns
t _a (OE)	OEアクセス時間		100	ns
t _{CLZ}	CE後出力イネーブル時間	0		ns
t _{OLZ}	OE後出力イネーブル時間	0		ns
t _{DF}	OE後出力フローティング時間		35	ns
t _{DH}	CE, OE, アドレス後出力有効時間	0		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs

表26．リード/ライトモード

記号	項目	規格値		単位
		最小	最大	
t _{WC}	ライトサイクル時間	150		ns
t _{AS}	アドレスセットアップ時間	0		ns
t _{AH}	アドレスホールド時間	60		ns
t _{DS}	データセットアップ時間	50		ns
t _{DH}	データホールド時間	10		ns
t _{WRR}	リード前ライトリカバリー時間	6		μs
t _{RRW}	ライト前リードリカバリー時間	0		μs
t _{CS}	CEセットアップ時間	20		ns
t _{CH}	CEホールド時間	0		ns
t _{WP}	ライトパルス幅	60		ns
t _{WPH}	ライトパルス待機時間	20		ns
t _D P	プログラム時間	10		μs
t _D E	イレース時間	9.5		ms
t _V SC	V _{PP} セットアップ時間	1		μs

注．リード/ライトモード時のリードタイミングは, リードオンリーモード時と同じです。

(2)フラッシュメモリモード・シリアル入出力モード)

M38869FFAHP/GPIは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データを、少数の端子を使用してシリアルに入出力する機能(シリアル入出力モード)を持っています。シリアル入出力モードは、図74に示す結線を行い、Vcc端子に電源を投入した後、SDA(シリアルデータ入出力)、SCLK(シリアルクロック入力)及びOE端子を“H”にし、その

後Vpp端子にVppHを印加することによって選択されます。

シリアル入出力モードでは、リード、プログラム、プログラムベリファイ、イレーズ、イレーズベリファイ、エラーチェックの6つのソフトウェアコマンドが使用できます。

シリアル入出力は、クロック同期式、LSBファーストで行います。

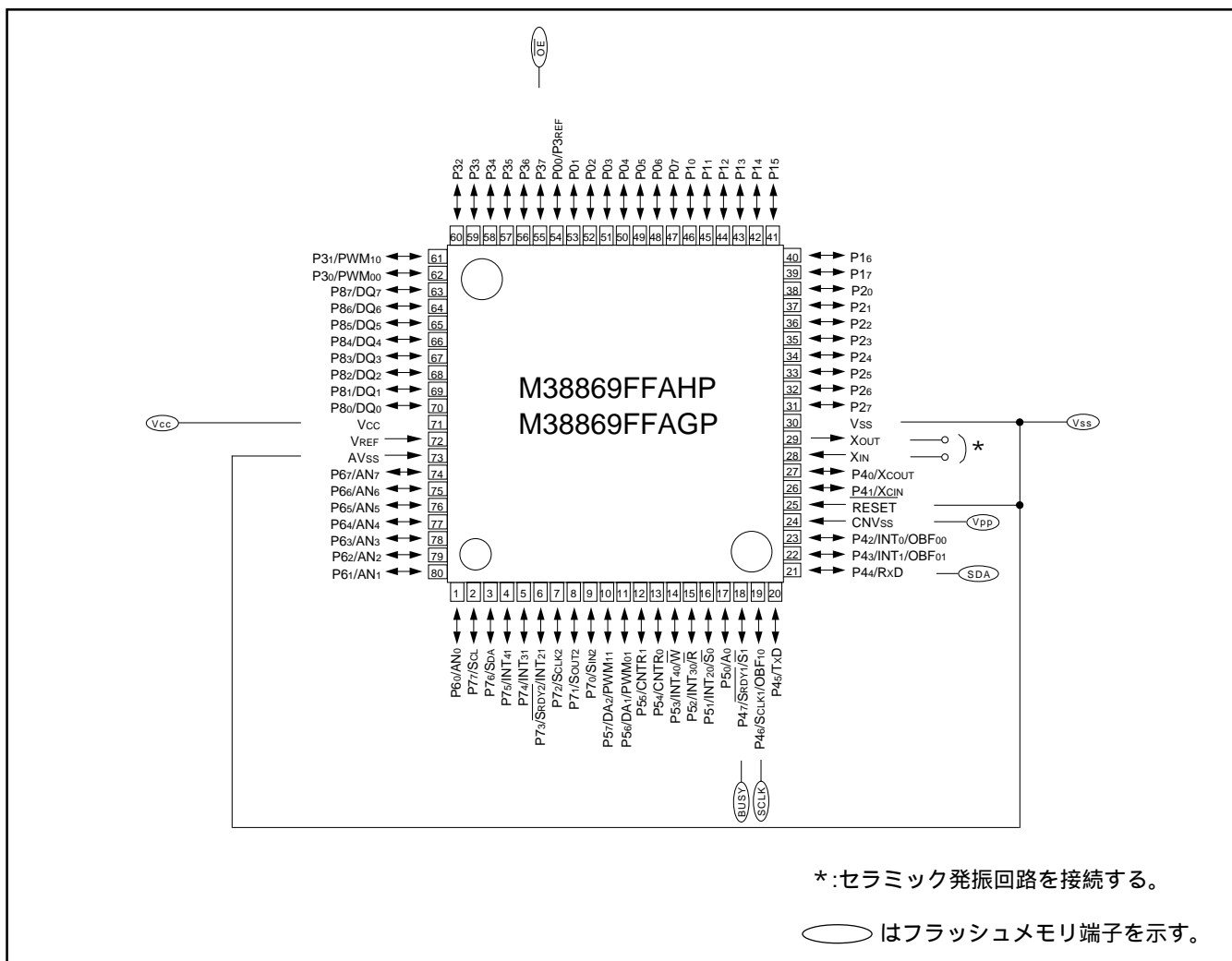


図74. シリアル入出力モード時の端子結線図(M38869FFAHP/GP)

表27．端子の機能説明(フラッシュメモリシリアル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		Vccに5V±10%, Vssに0Vを印加します。
CNVSS	VPP入力	入 力	11.7～12.6Vを印加します。
RESET	リセット入力	入 力	Vssに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		Vssに接続してください。
VREF	基準電圧入力	入 力	Vss～Vcc間の任意のレベルを入力してください。
P00～P07	入力ポート P0	入 力	“H”を入力, “L”を入力, 又は開放してください。
P10～P17	入力ポート P1	入 力	“H”を入力, “L”を入力, 又は開放してください。
P20～P27	入力ポート P2	入 力	“H”を入力, “L”を入力, 又は開放してください。
P30～P36	入力ポート P3	入 力	“H”を入力, “L”を入力, 又は開放してください。
P37	制御入力	入 力	OE入力端子です。
P40～P43, P45	入力ポート P4	入 力	P40～P43, P45は“H”を入力, “L”を入力, 又は開放してください。
P44	SDA入出力	入出力	シリアルデータの入出力端子です。
P46	SCLK入力	入 力	シリアルクロックの入力端子です。
P47	BUSY出力	出 力	BUSY信号の出力端子です。
P50～P57	入力ポート P5	入 力	“H”を入力, “L”を入力, 又は開放してください。
P60～P67	入力ポート P6	入 力	“H”を入力, “L”を入力, 又は開放してください。
P70～P77	入力ポート P7	入 力	“H”を入力, “L”を入力, 又は開放してください。
P80～P87	入力ポート P8	入 力	“H”を入力, “L”を入力, 又は開放してください。

●機能概要(シリアル入出力モード)

シリアル入出力モードでは、クロック同期式シリアル入出力形式でデータ転送を行います。入力データはシリアルクロックの立ち上がりに同期してSDA端子から内部に読み込まれ、出力データはシリアルクロックの立ち下がりに同期して、SDA端子から出力されます。転送は8ビット単位で行わ

れます。

最初の転送では、コマンドコードを入力します。その後、コマンドの内容に対応して、アドレス入力、データ入出力を行います。表28にシリアル入出力モードにおけるソフトウェアコマンドを示します。以下に、各ソフトウェアコマンドについて説明します。

表28 . ソフトウェアコマンド一覧表 (シリアル入出力モード)

コマンド	転送回数	第一回 コマンドコード入力	第二回	第三回	第四回
リード		00 ₁₆	リードアドレスL(入力)	リードアドレスH(入力)	リードデータ(出力)
プログラム		40 ₁₆	プログラムアドレスL(入力)	プログラムアドレスH(入力)	プログラムデータ(入力)
プログラムベリファイ		C0 ₁₆	ベリファイデータ(出力)		
イレーズ		20 ₁₆	20 ₁₆ (入力)		
イレーズベリファイ		A0 ₁₆	ベリファイアドレスL(入力)	ベリファイアドレスH(入力)	ベリファイデータ(出力)
エラーチェック		80 ₁₆	エラーコード(出力)		

・リードコマンド

第一回目の転送でコマンドコード“00₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次に \overline{OE} 端子を“L”にすると、指定したアドレスの内容

がリードされ、内部のデータラッチにラッチされます。 \overline{OE} 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているリードデータがSDA端子からシリアルに出力されます。

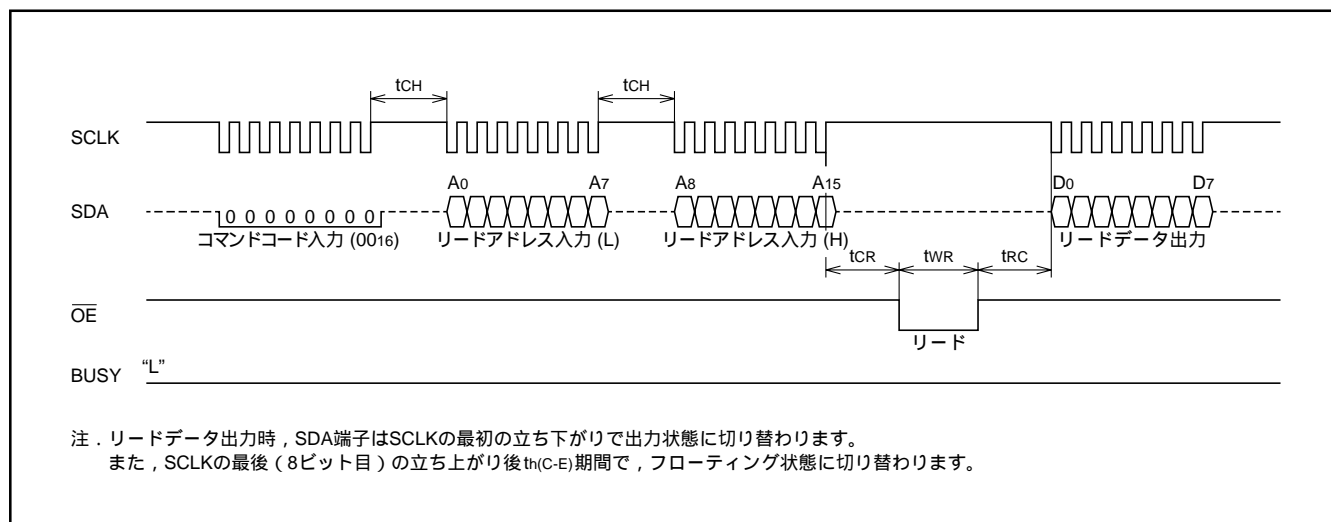


図75 . リード時のタイミング

・プログラムコマンド

第一回目の転送でコマンドコード“40₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビット、及びプログラムデータを入力します。プログラムは、プログラムデータ転送時のシリアルクロックの最後の立ち上がり後開始されます。プログラム実施期間中は、BUSY端子の出力が

“H”になります。内蔵タイマで測定して10 μ s以内にプログラムは終了し、BUSY端子の出力は“L”になります。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図73を参照してください。

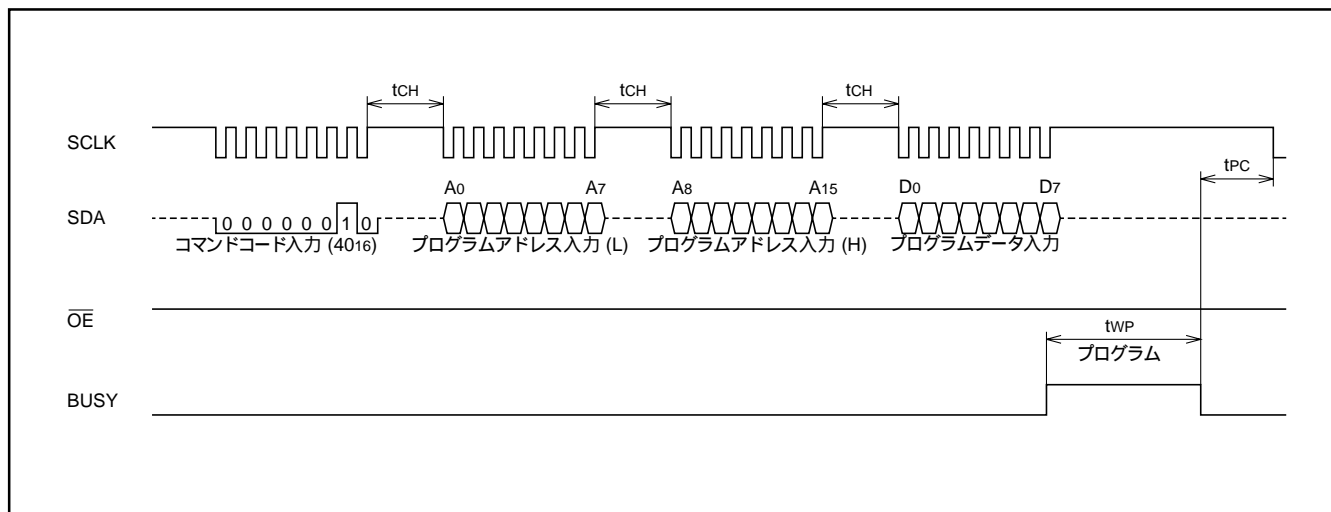


図76．プログラム時のタイミング

・プログラムベリファイコマンド

第一回目の転送でコマンドコード“C0₁₆”を入力します。続いて、 \overline{OE} 端子を“L”にすると、プログラムされたアドレスの内容がベリファイリードされ、内部のデータラッチにラッチ

されます。 \overline{OE} 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

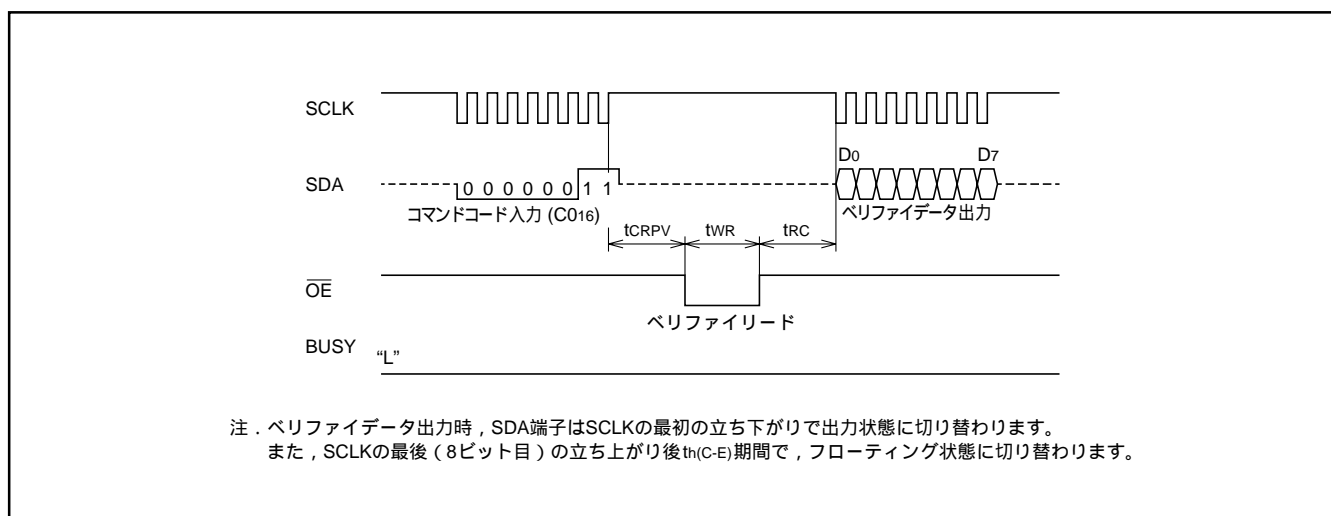


図77．プログラムベリファイ時のタイミング

・イレーズコマンド

第一回目の転送で、コマンドコード“20₁₆”を入力した後、再度第二回目の転送でコマンドコード“20₁₆”を入力すると、イレーズコマンドが実行されます。イレーズはシリアルクロックの最後の立ち上がり後開始されます。イレーズ期間中は、BUSY端子の出力が“H”になります。内蔵タイマで測定して9.5ms以内にイレーズは終了し、BUSY端子の出力は“L”

になります。

なお、イレーズコマンドの実行前には、すべてのメモリにデータ“00₁₆”を書き込む必要があります。

(注) 消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズコマンドのフローチャートは図73を参照してください。

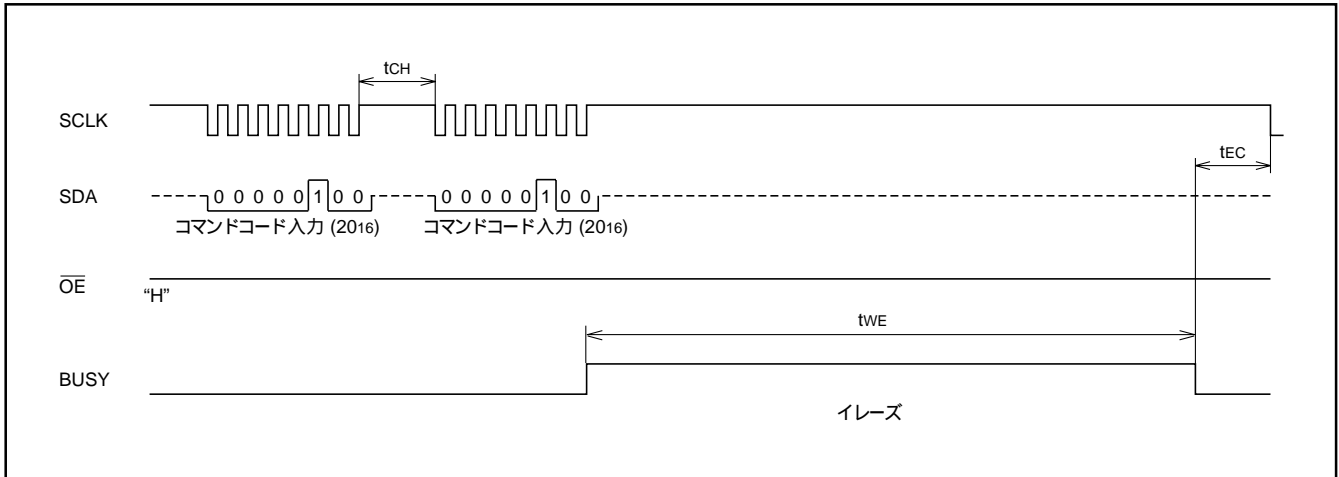


図78. イレーズ時のタイミング

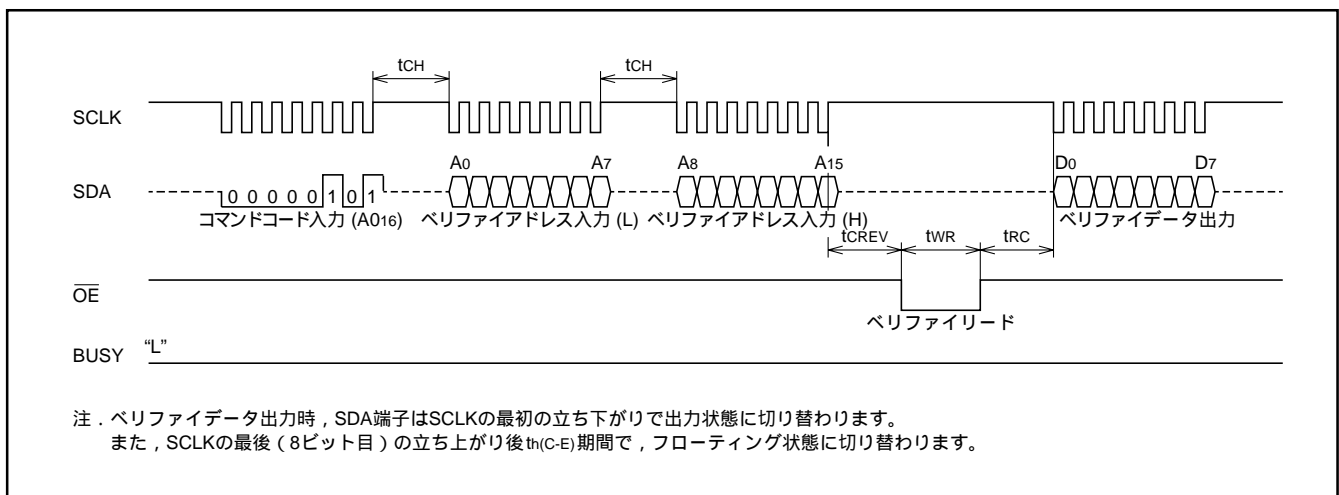
・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。

第一回目の転送で、コマンドコード“A0₁₆”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次にOE端子を“L”にすると、指定したアドレスの内容がベリファイリードされ、内部のデータラッチにラッチさ

れます。OE端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

(注) イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00₁₆”を書き込む必要はありません。



注. ベリファイデータ出力時、SDA端子はSCLKの最初の立ち下がり後出力状態に切り替わります。
また、SCLKの最後(8ビット目)の立ち上がり後 $t_{h(C-E)}$ 期間で、フローティング状態に切り替わります。

図79. イレーズベリファイ時のタイミング

・エラーチェックコマンド

第一回目の転送でコマンドコード“80₁₆”を入力すると、次のシリアルクロックの立ち上がりから、SDA端子はエラー情報を出力します。8ビットのエラー情報のうち、最下位ビットが“1”のときはコマンドエラーが発生したことを示しています。コマンドエラーは、表28に示すコマンド以外のコマンドコードが入力されたことを意味します。

シリアル通信回路は、書き込み、消去の誤りを防止するために、コマンドエラーが発生すると、対応するエラーフラグをセットした後、動作を停止し、その後はシリアルクロック及びデータを受け付けません(エラーチェックコマンドも受け

付けられません)。したがって、エラーチェックコマンドを実行する場合は、V_{PP}端子の入力を1度V_{DDL}レベルに下げ、シリアル入出力モードを解除した後、再度シリアル入出力モードに設定してください。この操作によってシリアル通信回路はリセットされ、コマンド受付が可能になります。このとき、エラーフラグだけはクリアされませんので、リセット後、最初にエラーチェックコマンドを実行することによって、リセット前のエラーについて知ることができます。なお、エラーフラグは、エラーチェックコマンドを実行することによりクリアされます。電源投入後はエラーフラグは不定ですので、必ずエラーチェックコマンドを実行してください。

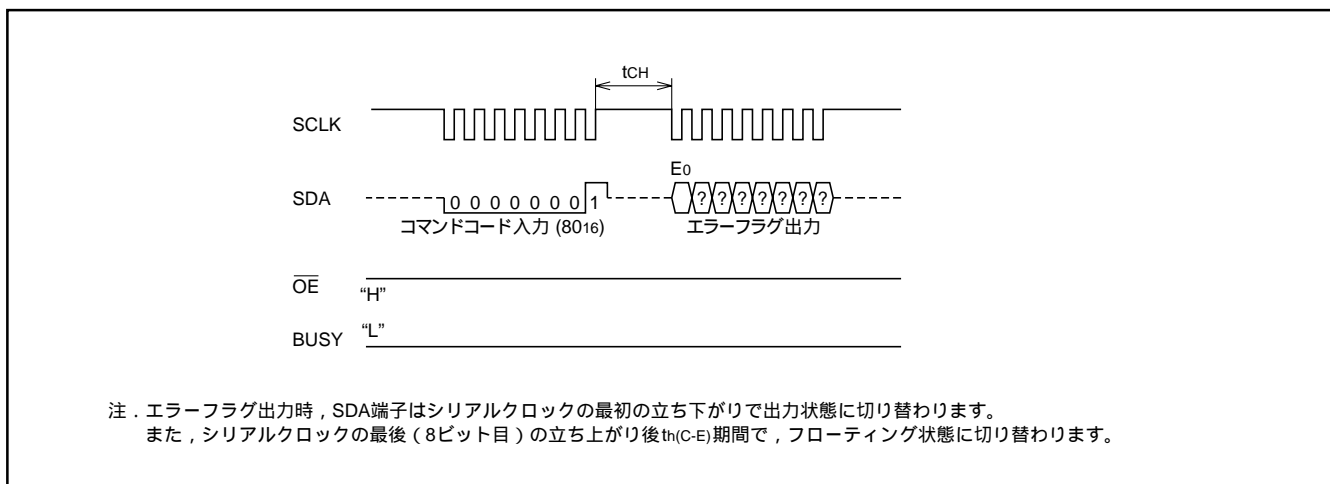


図80．エラーチェック時のタイミング

注．シリアル入出力モードのプログラム、イレーズ時のフローはパラレル入出力モードと同じです。図73を参照してください。

直流電気的特性 (Ta = 25 , VCC = 5V ± 10%, VPP = 11.7 ~ 12.6V)

リード、プログラム、イレーズ時のIC_{CC}、IPP関連規格は、パラレル入出力モードと同じです。

SCLK, SDA, BUSY, OE端子のVIH, VIL, VOH, VOL, IIH, IIL規格はマイコンモードに準じます。

表29 . 交流電気的特性 (指定のない場合は, Ta = 25 , VCC = 5V ± 10%, VPP = 11.7 ~ 12.6V, f (XIN) = 10MHz)

記号	項目	規格値		単位
		最小	最大	
tCH	シリアル転送間隔時間	500 ^(注1)		ns
tCR	転送後リード待ち時間	500 ^(注1)		ns
tWR	リードパルス幅	400 ^(注2)		ns
tRC	リード後転送待ち時間	500 ^(注1)		ns
tCRPV	プログラムベリファイ前待ち時間	6		μs
tWP	プログラム時間		10	μs
tPC	プログラム後転送待ち時間	500 ^(注1)		ns
tCREV	イレーズベリファイ前持ち時間	6		μs
tWE	イレーズ時間		9.5	ms
tEC	イレーズ後転送待ち時間	500 ^(注1)		ns
t _{CK}	SCLK入力サイクル時間	250		ns
t _{w(CKH)}	SCLK " H " パルス幅	100		ns
t _{w(CKL)}	SCLK " L " パルス幅	100		ns
t _{r(CK)}	SCLK立ち上がり時間	20		ns
t _{f(CK)}	SCLK立ち下がり時間	20		ns
t _{d(C-Q)}	SDA出力遅延時間	0	90	ns
t _{r(C-Q)}	SDA出力ホールド時間	0		ns
t _{r(C-E)}	SDA出力ホールド時間 (8ビット目のみ)	150 ^(注3)	250 ^(注4)	ns
t _{su(D-C)}	SDA入力セットアップ時間	30		ns
t _{r(C-D)}	SDA入力ホールド時間	90		ns

注1 . f (XIN) 10MHzの場合は, 式(1)を使用して最小値を計算してください。

$$\text{式(1): } \frac{5000}{f(XIN)} \times 10^6$$

2 . f (XIN) 10MHzの場合は, 式(2)を使用して最小値を計算してください。

$$\text{式(2): } \frac{4000}{f(XIN)} \times 10^6$$

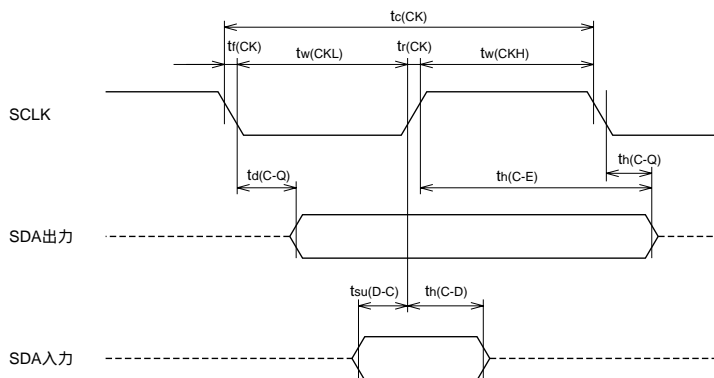
3 . f (XIN) 10MHzの場合は, 式(3)を使用して最小値を計算してください。

$$\text{式(3): } \frac{1500}{f(XIN)} \times 10^6$$

4 . f (XIN) 10MHzの場合は, 式(4)を使用して最大値を計算してください。

$$\text{式(4): } \frac{2500}{f(XIN)} \times 10^6$$

タイミング図



測定条件

- ・出力タイミング電圧 : VOL = 0.8V, VOH = 2.0Vで判定
- ・入力タイミング電圧 : VIL = 0.2VCC, VIH = 0.8VCCで判定

(3)フラッシュメモリモード - 3(CPU書き換えモード)

M38869FFAHPは、中央演算処理装置(CPU)により、内蔵するフラッシュメモリの操作を行うCPU書き換えモードを持っています。

CPU書き換えモードでは、以下に示すフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。

また、CPU書き換えモードでは、CNVss端子をVpp電源端子として使用します。この端子には、外部からVppHの電源電圧を印加する必要があります。

機能概要(CPU書き換えモード)

図81、図82にそれぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタのビット構成を示します。

フラッシュメモリ制御レジスタのビット0は、CPU書き換えモード選択ビットで、このビットを“1”とした後、CNVss/Vpp端子にVppHを印加すると、CPU書き換えモードになります。CPU書き換えモードが成立したかどうかは、ビット2のCPU書き換えモードモニタフラグを読み出すことで判定できます。

ビット1は、イレーズ、プログラム実行中に“1”となるビジーフラグです。イレーズ、プログラムの各コマンドを実行後、このフラグをチェックすることで、これらの動作が完了

したかどうかを判定できます。

ビット4,5は、イレーズ、プログラム領域選択ビットでイレーズ、プログラムする領域を指定します。このビットで領域を指定した後、イレーズコマンドを実行すると、指定した領域のみイレーズされます。また、指定した領域のみプログラムが可能で、それ以外の領域にはプログラムできません。

CPU書き換えモード有効時は、指定していない領域を読み出すこともできません。

CPU書き換えモードを有効にする前に、CPU書き換えモード制御プログラムを内蔵RAMに転送し、内蔵RAM上でこのプログラムを実行してください。

このプログラム実行中に割り込みが発生すると、フラッシュメモリ領域がアクセスされますが、読み出すことができず、正常な動作が行えません。CPU書き換えモード制御プログラム実行時は、割り込みを禁止にするなどの処置をしてください。

図83にCPU書き換えモードでのCPUモードレジスタのビット構成を示します。CPU書き換えモードでは、ビット0,1を“002”とし、シングルチップモードにしてください。

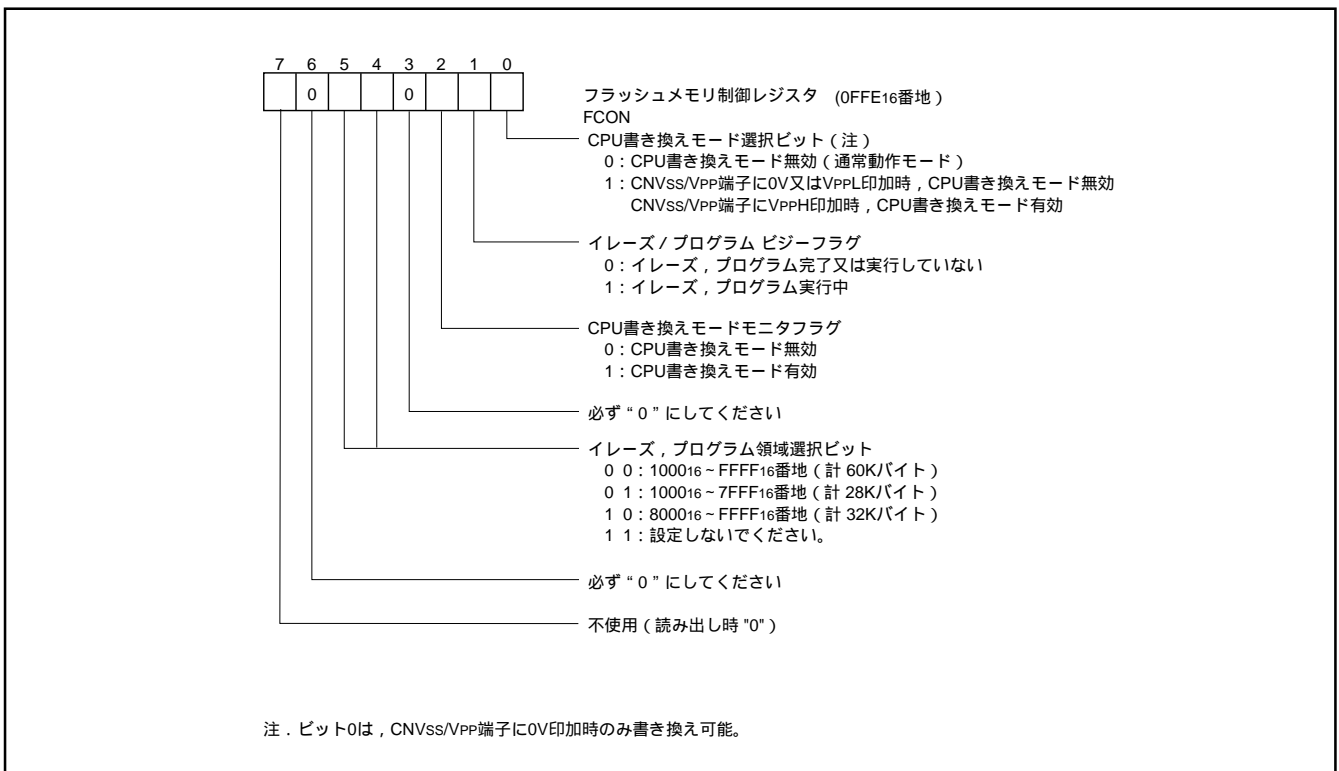


図81. フラッシュメモリ制御レジスタの構成

CPU書き換えモードの操作手順

以下にCPU書き換えモードでの操作手順を示します。

<開始手順>

- CNV_{SS}/V_{PP}端子に0Vを印加し、リセット解除する。
- CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御する)。
- CPU書き換えモード選択ビットに“1”を設定する。
- CNV_{SS}/V_{PP}端子にV_{PPH}を印加する。
- CNV_{SS}/V_{PP}端子が12Vになるまで待つ。
- CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。
- フラッシュコマンドレジスタへのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

(注)これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

<解除手順>

- CNV_{SS}/V_{PP}端子に0Vを印加する。
- CNV_{SS}/V_{PP}端子が0Vになるまで待つ。
- CPU書き換えモード選択ビットに“0”を設定する。

以下に各ソフトウェアコマンドについて説明します。

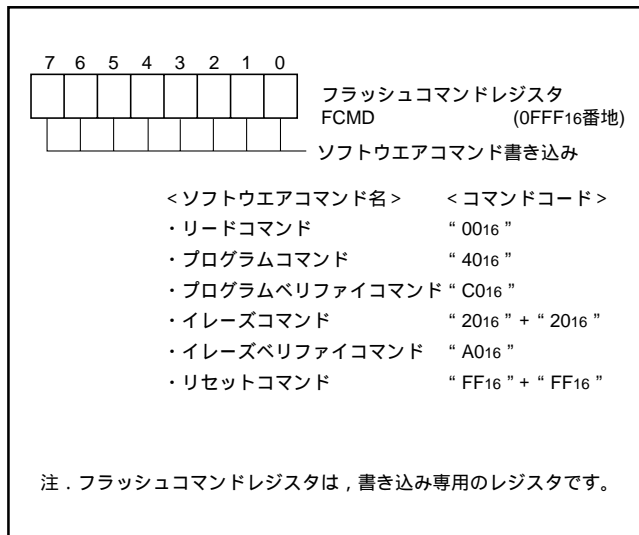


図82．フラッシュコマンドレジスタのビット構成

・リードコマンド

フラッシュコマンドレジスタに“0016”を書き込むとリードモードになります。この状態でフラッシュメモリを(例えばLDA命令等で)読み出すと対応する番地の内容が読み出せません。

リードモードは、コマンドレジスタに他のコマンドコードを書き込むまで維持されるので、一旦リードモードに設定した後は、連続してフラッシュメモリの内容を読み出すことができます。なお、リセット後及びリセットコマンド実行後にはリードモードに設定されています。

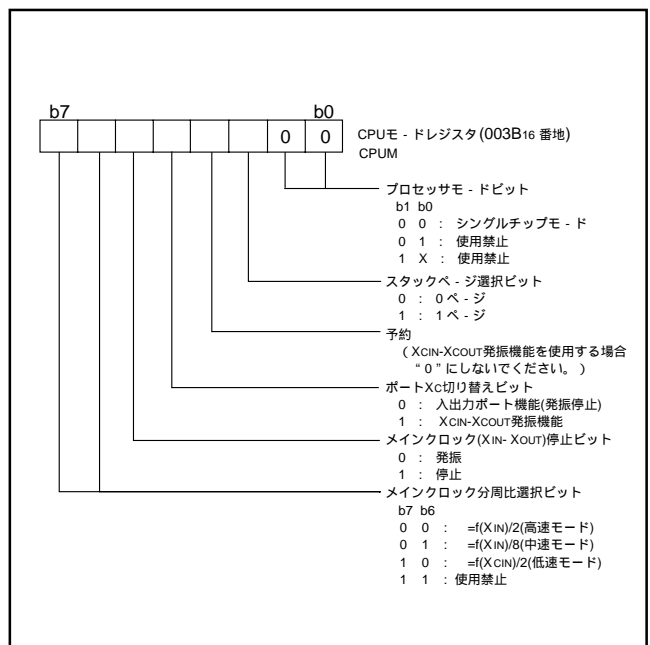


図83．CPU書き換えモードでのCPUモードレジスタのビット構成

・プログラムコマンド

フラッシュコマンドレジスタに“40₁₆”を書き込むとプログラムモードになります。続いてプログラムしたい番地にバイトデータを書き込む命令(例えばSTA命令)を実行すると、フラッシュメモリの制御回路はプログラムを実行します。プログラムを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完了すると“0”になります。したがって、書き込み命令実行後CPUはこのビットをポーリングすることによりプログラムの完了を知ることができます。

なお、プログラムする領域は、事前にイレーズ、プログラム領域選択ビットで指定しておく必要があります。

また、プログラム中は、ウォッチドッグタイマは、“FFFF₁₆”がセットされた状態で停止します。

(注)書き込みは、一回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図84を参照してください。

・プログラムベリファイコマンド

フラッシュコマンドレジスタに“C0₁₆”を書き込むとプログラムベリファイモードになります。続いてベリファイする番地(すなわち先にプログラムした番地)からバイトデータを読み出す命令(例えばLDA命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUでこの読み出されたデータと先のプログラムコマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度プログラム プログラムベリファイを実行する必要があります。

・イレーズコマンド

フラッシュコマンドレジスタに“20₁₆”を続けて2回書き込むと、フラッシュメモリの制御回路は、事前にイレーズ、プログラム領域選択ビットで指定した領域についてイレーズを実行します。イレーズを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完

了すると“0”になります。したがって、CPUはこのビットをポーリングすることによりイレーズの完了を知ることができます。

なお、イレーズコマンドの実行前には、必ず全てのイレーズ対象領域にデータ“00₁₆”をプログラム及びプログラムベリファイコマンドによって書き込んでおく必要があります。

また、イレーズ中は、ウォッチドッグタイマは、“FFFF₁₆”がセットされた状態で停止します。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図84を参照してください。

・イレーズベリファイコマンド

フラッシュコマンドレジスタに“A0₁₆”を書き込むとイレーズベリファイモードになります。続いてベリファイする番地に対してバイトリードする命令(例えばLDA命令)を実行すると、その番地の内容が読み出されます。

CPUは、イレーズした全領域に対し、1番地ずつ順次イレーズベリファイしていく必要があります。途中“FF₁₆”でない(消去されていない)番地を発見したらイレーズベリファイをそこで中断し、再度イレーズ イレーズベリファイを実行する必要があります。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00₁₆”を書き込む必要はありません。

・リセットコマンド

リセットコマンドはプログラム、イレーズコマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタに“40₁₆”、“20₁₆”を書き込んだ後、続いてコマンドレジスタに“FF₁₆”を2回連続して書き込むと、プログラム、イレーズコマンドは無効になり(リセット)、リードモードになります。リセットコマンドを実行してもメモリの内容は変わりません。

直流電気的特性

注：フラッシュメモリ部の特性は、パラレル入出力モードの規格に準じます。

交流電気的特性

注：マイコンモードの規格に準じます。

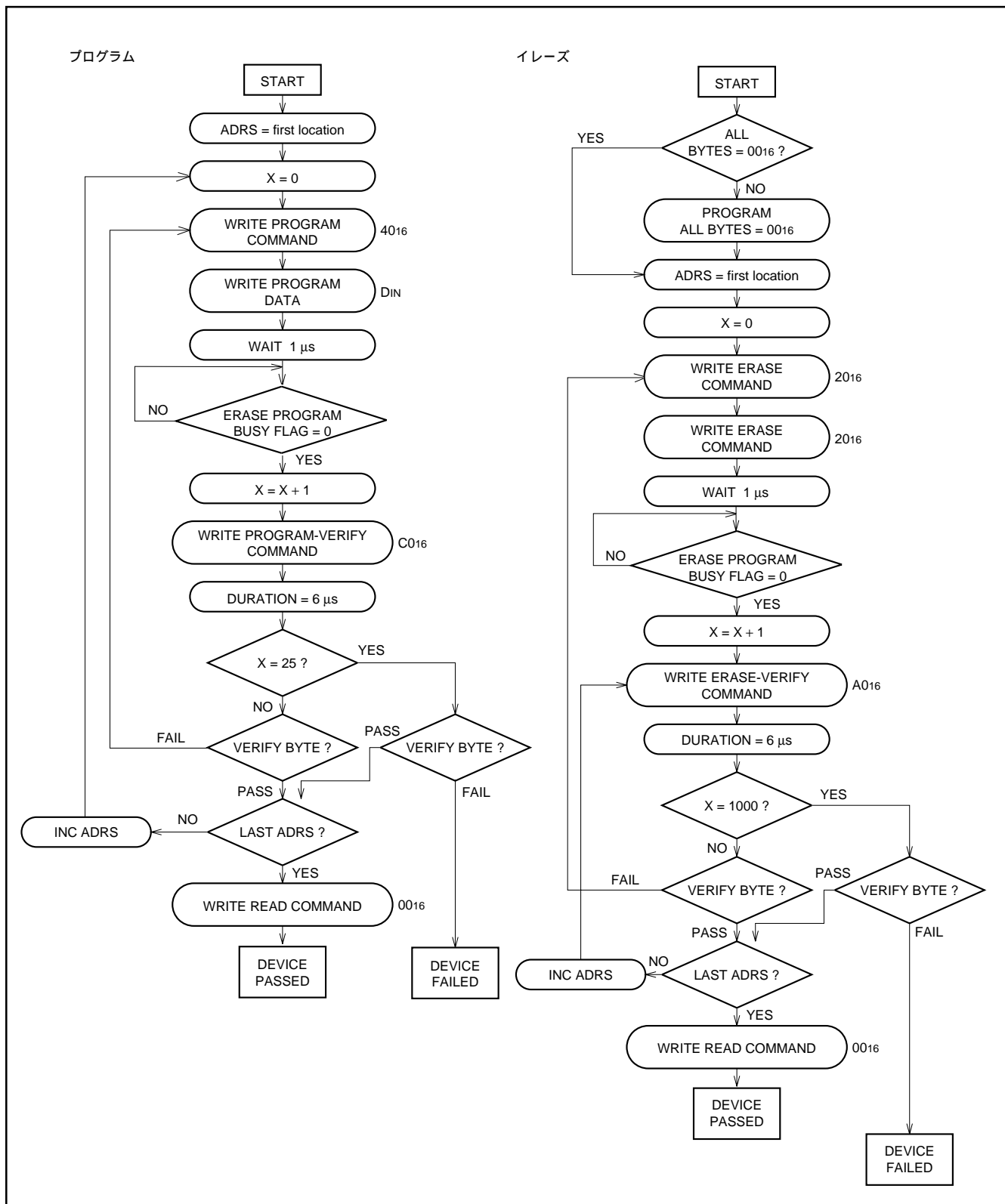


図84 . CPU書き換えモードでのプログラム、イレーズ実行時フローチャート

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値n(0~255)を書き込んだ場合の分周比は、1/(n+1)です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも“1”に設定してください。

また、シリアルI/O1では、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。シリアルI/O2では、送信終了後、Sout2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中はf(XIN)を500kHz以上にしてください。

また、A-D変換中はSTP命令を実行しないでください。

D-A変換器に関するもの

D-A変換器精度はVccが4.0V以下で異なります。D-A変換器を使用する場合はVccを4.0V以上にすることを推奨します。また、D-A変換器を使用しない場合、D-Ai変換レジスタ(i=1, 2)の設定値は、すべて“0016”にしてください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXINの周期の2倍です。

ただし、シングルチップモード以外のモードにおいてONW制御を行った場合、内部クロックの周期がXINの周期の4倍になる場合があります。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。また、フラッシュメモリ内蔵版でオンボード書き換えを行う場合は、プログラム電源端子(CNVss/VPP端子)とGND端子との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。

バイパスコンデンサは0.01 μ F ~ 0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間、及びプログラム電源端子とGND端子の間を最短距離で付加して下さるようお願いいたします。

EPROM版/ワンタイムPROM版/フラッシュメモリ版に関する注意事項

CNVss端子は、プログラマブル電源端子(VPP端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1 ~ 10k Ω の抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

フラッシュメモリ版のイレーズに関する注意事項

パラレル入出力モード、及びシリアル入出力モードでは、イレーズのメモリ領域を01000₁₆ ~ 0FFFF₁₆番地に設定してください。メモリ領域の設定を間違えると、製品の永久的なダメージにつながる場合があります。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書^{*1}
- ・マーク指定書^{*2}
- ・ROMのデータ……EPROM 3セット又はフロッピーディスク

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- ・ROM書き込み確認書^{*1}
- ・マーク指定書(客先ロゴ入り特殊マークのみ)^{*2}
- ・ROMのデータ……EPROM 3セット又はフロッピーディスク

マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、三菱マイコン技術情報ホームページ(アドレスは以下)を参照してください。

*1 ROM発注時の提出資料(マスク化確認書、ROM書き込み確認書)
<http://www.infocom.mesc.co.jp/38000/38order.htm>

*2 マーク指定書
<http://www.infocom.mesc.co.jp/general/jmark.htm>

電気的特性

表30．絶対最大定格

記号	項目	条件	定格値	単位
Vcc	電源電圧 (注1)	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ 7.0	V
Vcc	電源電圧 (注2)		- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 P40 ~ P47, P50 ~ P57, P60 ~ P67 P80 ~ P87, VREF		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 P70 ~ P77		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss (注3)		- 0.3 ~ 7	V
Vi	入力電圧 CNVss (注4)		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss (注5)		- 0.3 ~ 13	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 P40 ~ P47, P50 ~ P57, P60 ~ P67 P80 ~ P87, XOUT		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P70 ~ P77		- 0.3 ~ 5.8	V
Pd	消費電力	Ta = 25	500	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

- 注1 . M38867M8A, M38867E8A
 2 . M38869M8A, M38869MCA, M38869MFA, M38869FFA
 3 . M38867M8A
 4 . M38869M8A, M38869MCA, M38869MFA
 5 . M38867E8A, M38869FFA

表31 . 推奨動作条件

(指定のない場合は、Vcc=2.7~5.5V，フラッシュメモリ版はVcc=4.0~5.5V，Ta= -20~85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧(フラッシュメモリ版を除く)	f(XIN) 4.1MHz時	2.7	5.0	5.5	V
		f(XIN) = 10MHz時	4.0	5.0	5.5	V
VCC	電源電圧(フラッシュメモリ版)	4.0	5.0	5.5	V	
VSS	電源電圧		0		V	
VREF	アナログ基準電圧	A-D変換器使用時	2.0		Vcc	V
		D-A変換器使用時	2.7		Vcc	V
AVSS	アナログ電源電圧		0		V	
VIA	A-D変換器入力電圧 AN0~AN7	AVSS		Vcc	V	
VIH	“H”入力電圧 P00~P07, P10~P17, P20~P27, P30~P37 P40, P41, P47, P50~P57, P60~P67, P80~P87	0.8Vcc		Vcc	V	
VIH	“H”入力電圧 P76, P77	0.8Vcc		5.5	V	
VIH	“H”入力電圧(I ² C-BUS入力レベル選択時) SDA, SCL	0.7Vcc		5.5	V	
VIH	“H”入力電圧(SMBUS入力レベル選択時) SDA, SCL	1.4		5.5	V	
VIH	“H”入力電圧(CMOS入力レベル選択時) P42~P46, DQ0~DQ7, \bar{W} , \bar{R} , \bar{S}_0 , \bar{S}_1 , A0	0.8Vcc		Vcc	V	
VIH	“H”入力電圧(CMOS入力レベル選択時) P70~P75	0.8Vcc		5.5	V	
VIH	“H”入力電圧(TTL入力レベル選択時) P42~P46, DQ0~DQ7, \bar{W} , \bar{R} , \bar{S}_0 , \bar{S}_1 , A0 (注)	2.0		Vcc	V	
VIH	“H”入力電圧(TTL入力レベル選択時) P70~P75 (注)	2.0		5.5	V	
VIH	“H”入力電圧 $\overline{\text{RESET}}$, XIN, XCIN, CNVSS	0.8Vcc		Vcc	V	
VIL	“L”入力電圧 P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67, P70~P77, P80~P87	0		0.2 Vcc	V	
VIL	“L”入力電圧(I ² C-BUS入力レベル選択時) SDA, SCL	0		0.3 Vcc	V	
VIL	“L”入力電圧(SMBUS入力レベル選択時) SDA, SCL	0		0.6	V	
VIL	“L”入力電圧(CMOS入力レベル選択時) P42~P46, P70~P75, DQ0~DQ7, \bar{W} , \bar{R} , \bar{S}_0 , \bar{S}_1 , A0	0		0.2 Vcc	V	
VIL	“L”入力電圧(TTL入力レベル選択時) P42~P46, P70~P75, DQ0~DQ7, \bar{W} , \bar{R} , \bar{S}_0 , \bar{S}_1 , A0 (注)	0		0.8	V	
VIL	“L”入力電圧 $\overline{\text{RESET}}$, CNVSS	0		0.2 Vcc	V	
VIL	“L”入力電圧 XIN, XCIN	0		0.16 Vcc	V	

注 . Vcc=4.0~5.5V時の場合です。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表32 . 推奨動作条件

(指定のない場合は、Vcc=2.7～5.5V，フラッシュメモリ版はVcc=4.0～5.5V，Ta= - 20～85)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注) P00～P07, P10～P17, P20～P27, P30～P37, P80～P87			- 80	mA
IOH(peak)	“H”出力総尖頭電流 (注) P40～P47, P50～P57, P60～P67			- 80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P00～P07, P10～P17, P20～P23, P30～P37, P80～P87			80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P24～P27	シングルチップモード時		80	mA
		メモリ拡張モード時 マイクロプロセッサモード時		40	mA
IOL(peak)	“L”出力総尖頭電流 (注) P40～P47, P50～P57, P60～P67, P70～P77			80	mA
IOH(avg)	“H”出力総平均電流 (注) P00～P07, P10～P17, P20～P27, P30～P37, P80～P87			- 40	mA
IOH(avg)	“H”出力総平均電流 (注) P40～P47, P50～P57, P60～P67			- 40	mA
IOL(avg)	“L”出力総平均電流 (注) P00～P07, P10～P17, P20～P23, P30～P37, P80～P87			40	mA
IOL(avg)	“L”出力総平均電流 (注) P24～P27	シングルチップモード時		40	mA
		メモリ拡張モード時 マイクロプロセッサモード時		40	mA
IOL(avg)	“L”出力総平均電流 (注) P40～P47, P50～P57, P60～P67, P70～P77			40	mA

注 . 出力総電流は該当するポート全てに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表33 . 推奨動作条件

(指定のない場合は、Vcc=2.7~5.5V, フラッシュメモリ版はVcc=4.0~5.5V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力尖頭電流 (注1) P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67, P80~P87			-10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1) P00~P07, P10~P17, P20~P23, P30~P37 P40~P47, P50~P57, P60~P67, P70~P77, P80~P87			10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1) P24~P27	シングルチップモード時		20	mA
		メモリ拡張モード時		10	mA
		マイクロプロセッサモード時			
I _{OH} (avg)	“H”出力平均電流 (注2) P00~P07, P10~P17, P20~P27, P30~P37 P40~P47, P50~P57, P60~P67, P80~P87			-5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P00~P07, P10~P17, P20~P23, P30~P37 P40~P47, P50~P57, P60~P67, P70~P77, P80~P87			5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P24~P27	シングルチップモード時		15	mA
		メモリ拡張モード時		5	mA
		マイクロプロセッサモード時			
f(XIN)	メインクロック 入力発振周波数 (注3)	高速モード 4.0V Vcc 5.5V		10	MHz
		高速モード 2.7V Vcc 4.0V		4.5Vcc - 8	MHz
		中速モード 4.0V Vcc 5.5V		10	MHz
		中速モード(注5) 2.7V Vcc 4.0V		10	MHz
		中速モード(注5) 2.7V Vcc 4.0V		4.5Vcc - 8	MHz
f(XCIN)	サブクロック入力発振周波数 (注3, 4)		32.768	50	kHz

- 注1 . 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
 注2 . 出力平均電流I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。
 注3 . 発振周波数はデューティ50%の場合です。
 注4 . 低速モードを使用する場合, サブクロック入力発振周波数はf(XCIN) < f(XIN)/3としてください。
 注5 . タイマX, Y, 1, 2, シリアルI/O1, シリアルI/O2, A-D変換器, コンパレータ, PWMを使用する場合, メインクロック入力発振周波数は, 最大4.5Vcc - 8[MHz]としてください。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表34 . 電氣的特性

(指定のない場合は、Vcc=2.7~5.5V, フラッシュメモリ版はVcc=4.0~5.5V, Vss=0V, Ta= - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P80~P87 (注1)	IOH= - 10mA VCC=4.0~5.5V	Vcc - 2.0			V
		IOH= - 1.0mA VCC=2.7~5.5V	Vcc - 1.0			V
VOL	“L”出力電圧 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P70~P77, P80~P87	IOl=10mA VCC=4.0~5.5V			2.0	V
		IOl=1.6mA VCC=2.7~5.5V			0.4	V
VT+ - VT -	ヒステリシス CNTR0, CNTR1, INT0, INT1 INT20~INT40, INT21~INT41 P30~P37			0.4		V
VT+ - VT -	ヒステリシス RxD, SCLK1, SIN2, SCLK2			0.5		V
VT+ - VT -	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P70~P77, P80~P87	Vi=Vcc (端子はフローティング プルアップトランジスタ は切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET, CNVss	Vi=Vcc			5.0	μA
IiH	“H”入力電流 XIN	Vi=Vcc		4		μA
IiL	“L”入力電流 P00~P07, P10~P17, P20~P27 P30~P37, P40~P47, P50~P57 P60~P67, P70~P77, P80~P87	Vi=Vss (端子はフローティング プルアップトランジスタ は切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVss	Vi=Vss			- 5.0	μA
IiL	“L”入力電流 XIN	Vi=Vss		- 4		μA
IiL	“L”入力電流 P30~P37 (プルアップ時)	Vi=Vss VCC=4.0~5.5V	- 20	- 60	- 120	μA
		Vi=Vss VCC=2.7~5.5V	- 10			μA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V

注1 . P00~P03に関しては、ポート制御レジスタ1のP00~P03出力形式選択ビット(002E16番地のビット0)が“0”の場合です。
P04~P07に関しては、ポート制御レジスタ1のP04~P07出力形式選択ビット(002E16番地のビット1)が“0”の場合です。
P10~P13に関しては、ポート制御レジスタ1のP10~P13出力形式選択ビット(002E16番地のビット2)が“0”の場合です。
P14~P17に関しては、ポート制御レジスタ1のP14~P17出力形式選択ビット(002E16番地のビット3)が“0”の場合です。
P42, P43, P44, P46に関しては、ポート制御レジスタ2のP4出力形式選択ビット(002F16番地のビット2)が“0”の場合です。
P45に関しては、UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表35 . 電気的特性

(指定のない場合は、Vcc=2.7~5.5V, フラッシュメモリ版はVcc=4.0~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
ICC	電源電流	高速モード時 f(XIN)=10MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		8.0	15	mA	
		高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		6.8	13	mA	
		高速モード時 f(XIN)=10MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		1.6		mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		60	200	μA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		20	40	μA	
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		20	55	μA	
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		8.0	20.0	μA	
		中速モード時 f(XIN)=10MHz f(XCIN)=停止 出力トランジスタは遮断状態		4.0	7.0	mA	
		中速モード時 f(XIN)=10MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		1.5		mA	
		A-D変換器動作時の増量 f(XIN)=10MHz		800		μA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta = 25		0.1	1.0	μA
			Ta = 85			10	μA

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表36．A-D変換器特性(1)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ 、 $V_{REF}=2.0V\sim V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85$)
10ビットA-Dモード(変換モード選択ビットが“0”の場合、003816番地のビット7)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				10	bit	
-	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.0V$			± 4	LSB	
tCONV	変換時間				61	2tc(XIN)	
RLADDER	ラダー抵抗		12	35	100	k	
IVREF	基準電源 入力電流	A-D変換動作時	$V_{REF}=5.0V$	50	150	200	μA
		A-D変換停止時	$V_{REF}=5.0V$			5	μA
II(AD)	A-Dポート入力電流				5.0	μA	

表37．A-D変換器特性(2)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ 、 $V_{REF}=2.0V\sim V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85$)
8ビットA-Dモード(変換モード選択ビットが“1”の場合、003816番地のビット7)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				8	bit	
-	絶対精度(量子化誤差は除く)	$V_{CC}=V_{REF}=5.0V$			± 2	LSB	
tCONV	変換時間				50	2tc(XIN)	
RLADDER	ラダー抵抗		12	35	100	k	
IVREF	基準電源 入力電流	A-D変換動作時	$V_{REF}=5.0V$	50	150	200	μA
		A-D変換停止時	$V_{REF}=5.0V$			5	μA
II(AD)	A-Dポート入力電流				5.0	μA	

表38．D-A変換器特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $V_{REF}=2.7V\sim V_{CC}$ 、 $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度	$V_{CC}=4.0\sim 5.5V$			1.0	%
		$V_{CC}=2.7\sim 4.0V$			2.5	%
tsu	設定時間				3	μs
RO	出力抵抗		1	2.5	4	k
IVREF	基準電源入力電流 (注1)				3.2	mA

注1．D-A変換器1本使用、他のD-A変換レジスタの値は“0016”。

表39．コンパレータ特性

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、フラッシュメモリ版は $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	絶対精度	$1LSB=V_{CC}/16$			1/2	LSB
TCONV	変換時間	10MHz動作時			2.8	μs
		8MHz動作時			3.5	μs
		4MHz動作時			7	μs
VIA	アナログ入力電圧		0	V_{CC}	V	
IIA	アナログ入力電流			5.0	μA	
RLADDER	ラダー抵抗		20	40	50	k
CMPREF	内部基準電圧			29Vcc/32		V
	外部基準入力電圧		Vcc/32		Vcc	V

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

タイミング必要条件

表40．タイミング必要条件(1)

(指定のない場合は、Vcc=4.0～5.5V, Vss=0V, Ta= -20～85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tC(XIN)	メインクロック入力サイクル時間	100			ns
tWH(XIN)	メインクロック入力“H”パルス幅	40			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tC(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	5			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	5			μs
tC(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	80			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	80			ns
tWH(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“H”パルス幅	80			ns
tWL(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“L”パルス幅	80			ns
tC(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	100			ns
tC(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	200			ns

注．001A16番地のビット6が“1”(クロック同期モード)の場合です。001A16番地のビット6が“0”(非同期モード)の場合、規格値は1/4になります。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表41． タイミング必要条件(2)

(指定のない場合は、Vcc=2.7～4.0V, Vss=0V, Ta= -20～85)

記号	項目	規格値			単位
		最小	標準	最大	
tW(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tC(XIN)	メインクロック入力サイクル時間	1000/(4.5Vcc - 8)			ns
tWH(XIN)	メインクロック入力“H”パルス幅	400/(4.5Vcc - 8)			ns
tWL(XIN)	メインクロック入力“L”パルス幅	400/(4.5Vcc - 8)			ns
tC(XCIN)	サブクロック入力サイクル時間	20			μs
tWH(XCIN)	サブクロック入力“H”パルス幅	5			μs
tWL(XCIN)	サブクロック入力“L”パルス幅	5			μs
tC(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	230			ns
tWH(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“H”パルス幅	230			ns
tWL(INT)	INT0, INT1, INT20, INT30, INT40, INT21, INT31, INT41 入力“L”パルス幅	230			ns
tC(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tC(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注．001A16番地のビット6が“1”(クロック同期モード)の場合です。001A16番地のビット6が“0”(非同期モード)の場合、規格値は1/4になります。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表42．システムバスインタフェースのタイミング必要条件

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tsu (S-R)	$\overline{S_0}, \overline{S_1}$ セットアップ時間	0			ns
tsu (S-W)	$\overline{S_0}, \overline{S_1}$ セットアップ時間	0			ns
th (R-S)	$\overline{S_0}, \overline{S_1}$ ホールド時間	0			ns
th (W-S)	$\overline{S_0}, \overline{S_1}$ ホールド時間	0			ns
tsu (A-R)	A0 セットアップ時間	10			ns
tsu (A-W)	A0 セットアップ時間	10			ns
th (R-A)	A0 ホールド時間	0			ns
th (W-A)	A0 ホールド時間	0			ns
tw (R)	リードパルス幅	120			ns
tw (W)	ライトパルス幅	120			ns
tsu (D-W)	ライト前データ入力セットアップ時間	50			ns
th (W-D)	ライト後データ入力ホールド時間	0			ns

表43．システムバスインタフェースのタイミング必要条件

(指定のない場合は、 $V_{CC} = 2.7 \sim 4.0V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tsu (S-R)	$\overline{S_0}, \overline{S_1}$ セットアップ時間	0			ns
tsu (S-W)	$\overline{S_0}, \overline{S_1}$ セットアップ時間	0			ns
th (R-S)	$\overline{S_0}, \overline{S_1}$ ホールド時間	0			ns
th (W-S)	$\overline{S_0}, \overline{S_1}$ ホールド時間	0			ns
tsu (A-R)	A0 セットアップ時間	30			ns
tsu (A-W)	A0 セットアップ時間	30			ns
th (R-A)	A0 ホールド時間	0			ns
th (W-A)	A0 ホールド時間	0			ns
tw (R)	リードパルス幅	250			ns
tw (W)	ライトパルス幅	250			ns
tsu (D-W)	ライト前データ入力セットアップ時間	130			ns
th (W-D)	ライト後データ入力ホールド時間	0			ns

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表44．スイッチング特性(1)

(指定のない場合は、Vcc=4.0~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図85	tc(SCLK1)/2 - 30			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 30			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				140	ns
tV (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間				30	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間				30	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅	図86	tc(SCLK2)/2 - 160			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 160			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間				200	ns
tV (SCLK2-SOUT2)	シリアル/O2出力有効時間		0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間				30	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注2)	図85		10	30	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注2)			10	30	ns

注1．UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。
2．XOUT端子を除きます。

表45．スイッチング特性(2)

(指定のない場合は、Vcc=2.7~4.0V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図85	tc(SCLK1)/2 - 50			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅		tc(SCLK1)/2 - 50			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				350	ns
tV (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間				50	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間				50	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅	図86	tc(SCLK2)/2 - 240			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅		tc(SCLK2)/2 - 240			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間				400	ns
tV (SCLK2-SOUT2)	シリアル/O2出力有効時間		0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
tr (CMOS)	CMOS出力 立ち上がり時間 (注2)	図85		20	50	ns
tf (CMOS)	CMOS出力 立ち下がり時間 (注2)			20	50	ns

注1．UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。
2．XOUT端子を除きます。

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表46．システムバスインタフェースのスイッチング特性

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
ta(R-D)	リード後データ出力イネーブル時間			80	ns
tv(R-D)	リード後データ出力ディスエーブル時間	0		30	ns
tPLH(R-OBF)	リード後OBF ₀₀ ,OBF ₀₁ ,OBF ₁₀ 出力伝搬時間			150	ns

表47．システムバスインタフェースのスイッチング特性

(指定のない場合は、 $V_{CC} = 2.7 \sim 4.0V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
ta(R-D)	リード後データ出力イネーブル時間			130	ns
tv(R-D)	リード後データ出力ディスエーブル時間	0		85	ns
tPLH(R-OBF)	リード後OBF ₀₀ ,OBF ₀₁ ,OBF ₁₀ 出力伝搬時間			300	ns

三菱マイクロコンピュータ 3886グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表48．メモリ拡張モード及びマイクロプロセッサモードのタイミング必要条件

(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$, 高速モード時)

記号	項目	規格値			単位
		最小	標準	最大	
$t_{su}(\overline{ONW})$	ONW入力セットアップ時間	-20			ns
$t_h(\overline{ONW})$	ONW入力ホールド時間	-20			ns
$t_{su}(DB)$	データバスセットアップ時間	50			ns
$t_h(\overline{DB})$	データバスホールド時間	0			ns
$t_{su}(\overline{ONW-RD}), t_{su}(\overline{ONW-WR})$	ONW入力セットアップ時間	-20			ns
$t_h(\overline{RD-ONW}), t_h(\overline{WR-ONW})$	ONW入力ホールド時間	-20			ns
$t_{su}(DB-RD)$	データバスセットアップ時間	50			ns
$t_h(\overline{RD-DB})$	データバスホールド時間	0			ns

表49．メモリ拡張モード及びマイクロプロセッサモードのスイッチング特性

(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$, 高速モード時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_c(\)$	クロックサイクル時間	図85		$2t_c(XIN)$		ns
$t_{WH}(\)$	クロック“H”パルス幅		$t_c(XIN) - 10$			ns
$t_{WL}(\)$	クロック“L”パルス幅		$t_c(XIN) - 10$			ns
$t_d(\overline{AH})$	AD15 ~ AD8遅延時間			16	35	ns
$t_d(\overline{AL})$	AD7 ~ AD0遅延時間			20	40	ns
$t_v(\overline{AH})$	AD15 ~ AD8有効時間			2	5	ns
$t_v(\overline{AL})$	AD7 ~ AD0有効時間			2	5	ns
$t_d(\overline{SYNC})$	SYNC遅延時間			16		ns
$t_v(\overline{SYNC})$	SYNC有効時間			5		ns
$t_d(\overline{DB})$	データバス遅延時間			15	30	ns
$t_v(\overline{DB})$	データバス有効時間			10		ns
$t_{WL}(RD), t_{WL}(WR)$	RDパルス幅, WRパルス幅			$t_c(XIN) - 10$		ns
	RDパルス幅, WRパルス幅 (ワンウエイト有効時)			$3t_c(XIN) - 10$		ns
$t_d(AH-RD), t_d(AH-WR)$	AD15 ~ AD8遅延時間			$t_c(XIN) - 35$	$t_c(XIN) - 16$	ns
$t_d(AL-RD), t_d(AL-WR)$	AD7 ~ AD0遅延時間			$t_c(XIN) - 40$	$t_c(XIN) - 20$	ns
$t_v(RD-AH), t_v(WR-AH)$	AD15 ~ AD8有効時間			2	5	ns
$t_v(RD-AL), t_v(WR-AL)$	AD7 ~ AD0有効時間			2	5	ns
$t_d(WR-DB)$	データバス遅延時間			15	30	ns
$t_v(WR-DB)$	データバス有効時間			10		ns
$t_d(\overline{RESET-RESETOUT})$	RESETOUT出力遅延時間				200	ns
$t_v(\overline{RESETOUT})$	RESETOUT出力有効時間(注)		0	100	ns	

注．RESET入力が“H”になった後，クロックの数サイクル～十数サイクル目の立上がりと同調してRESETOUT出力が“H”になります。

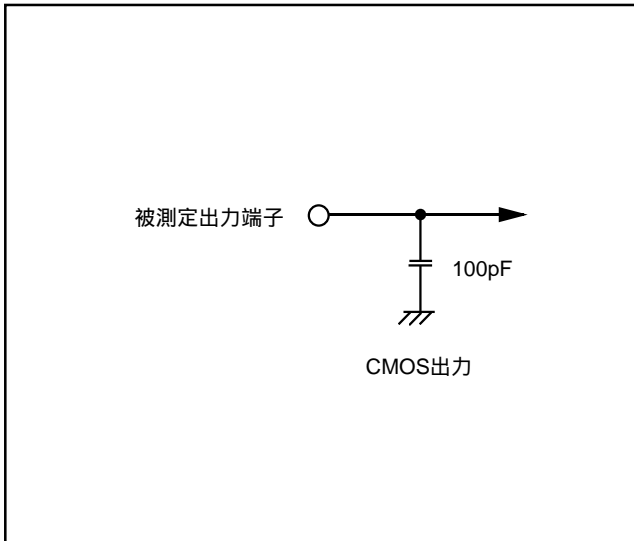


図85 . 出力スイッチング特性測定回路図(1)

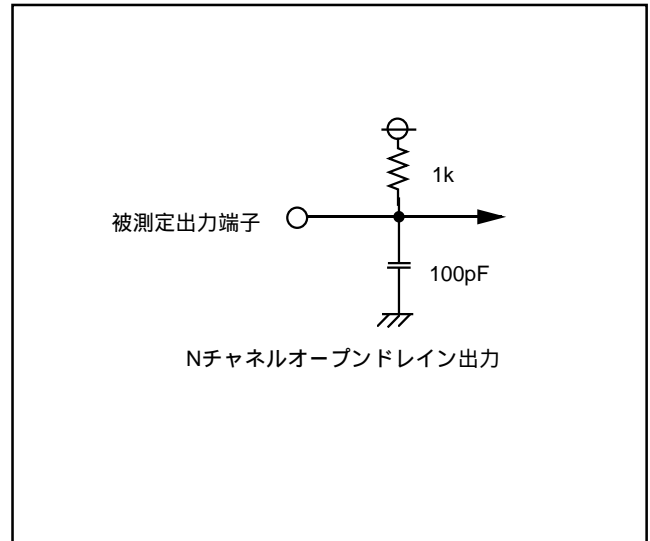


図86 . 出力スイッチング特性測定回路図(2)

シングルチップモードタイミング図

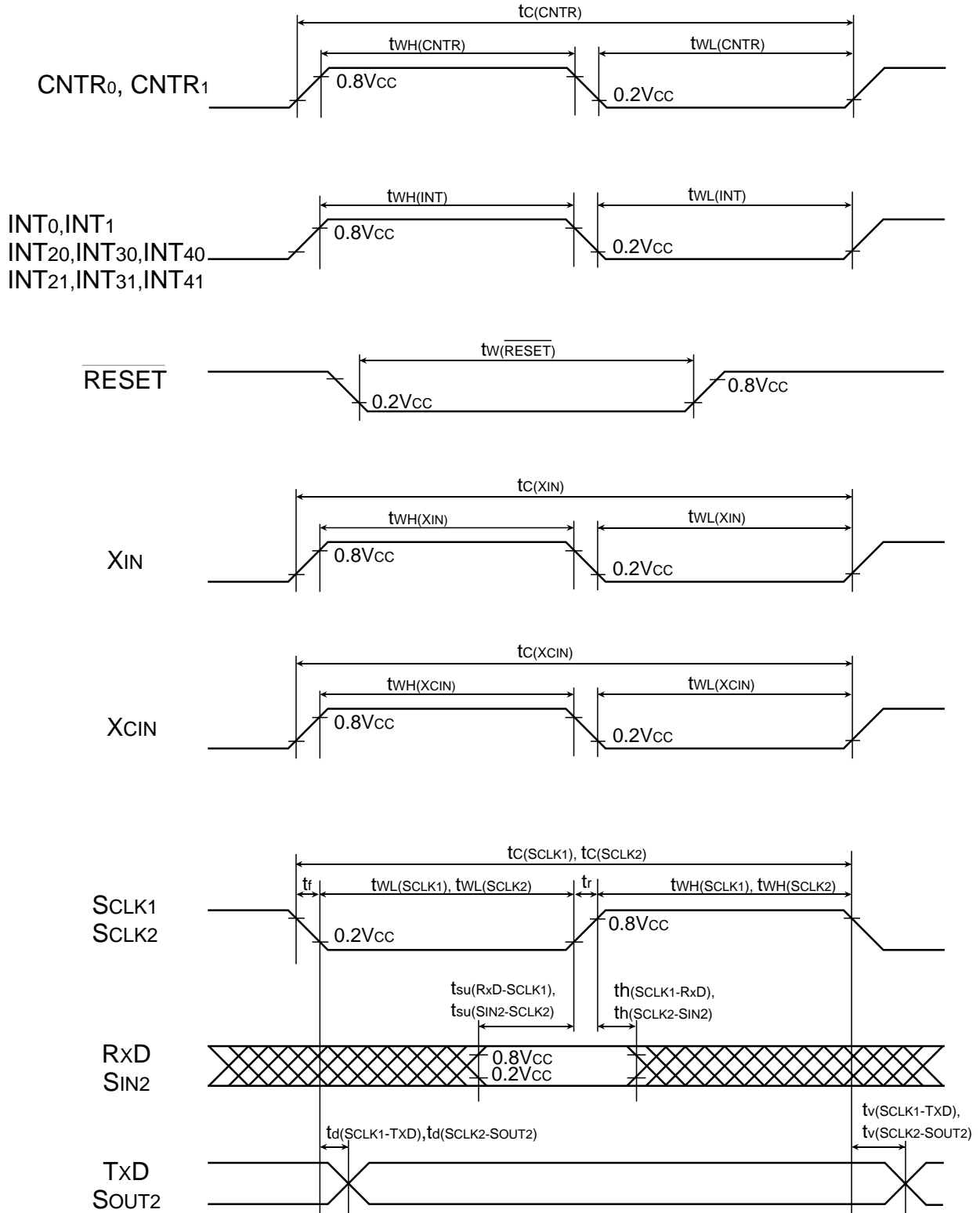
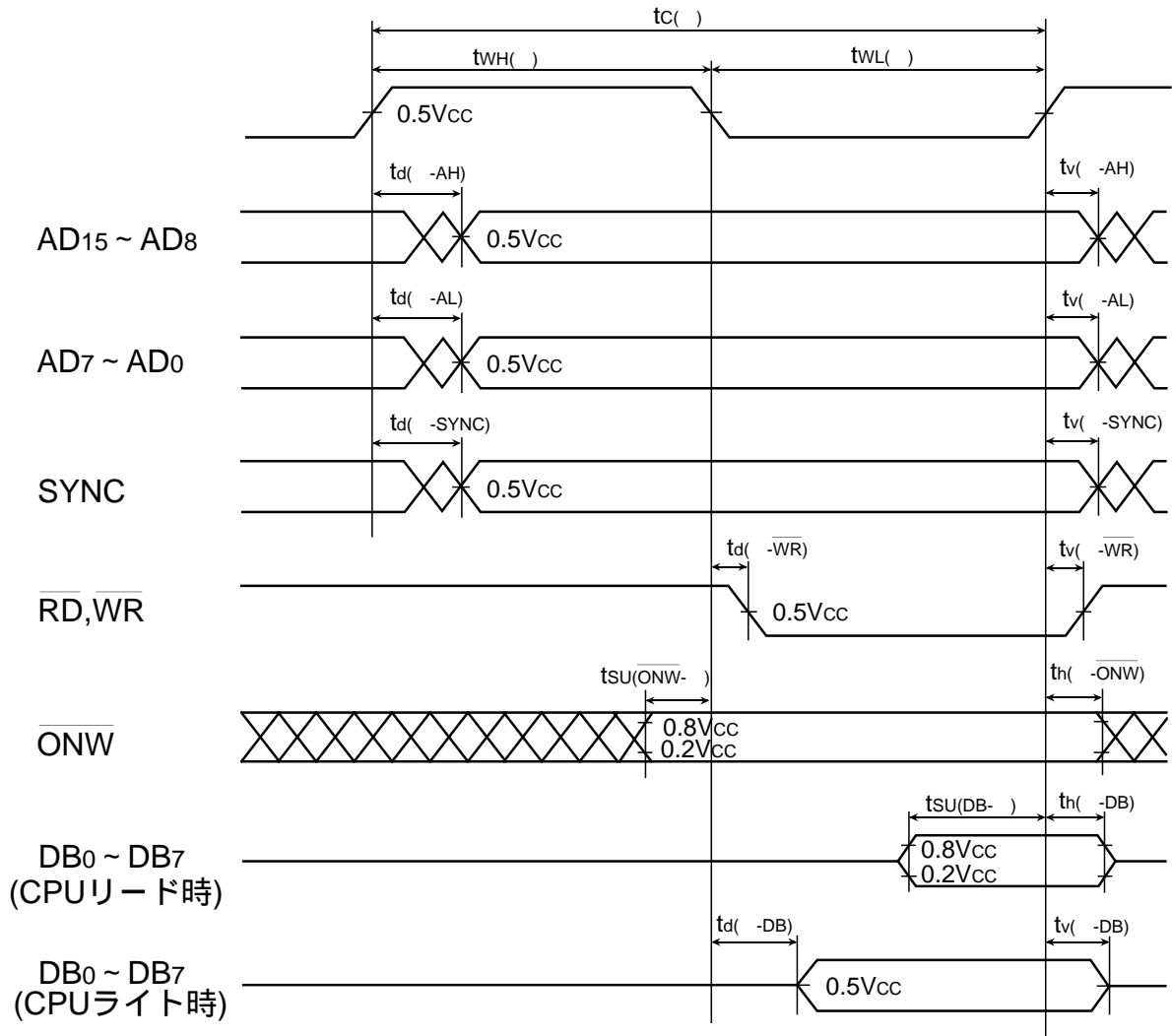


図87. タイミング図(1) (シングルチップモード時)

メモリ拡張モード、マイクロプロセッサモードタイミング図(1)



マイクロプロセッサモードタイミング図

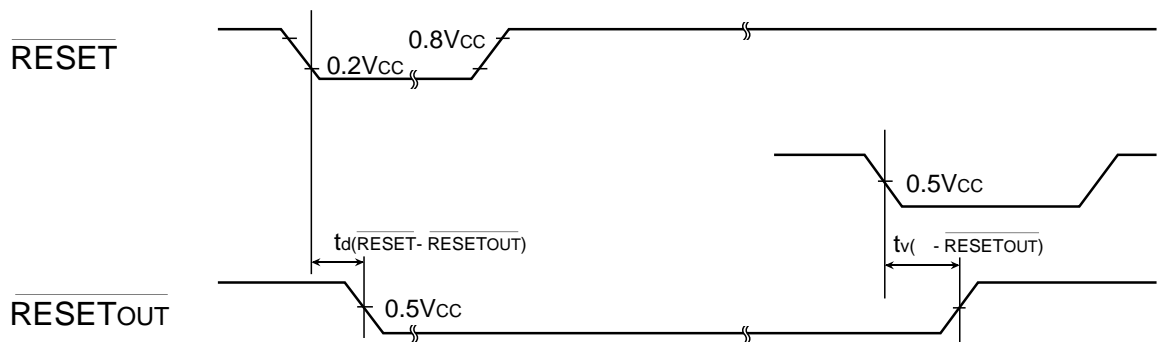


図88 . タイミング図(2)(メモリ拡張モード及びマイクロプロセッサモード時)

メモリ拡張モード、マイクロプロセッサモードタイミング図(2)

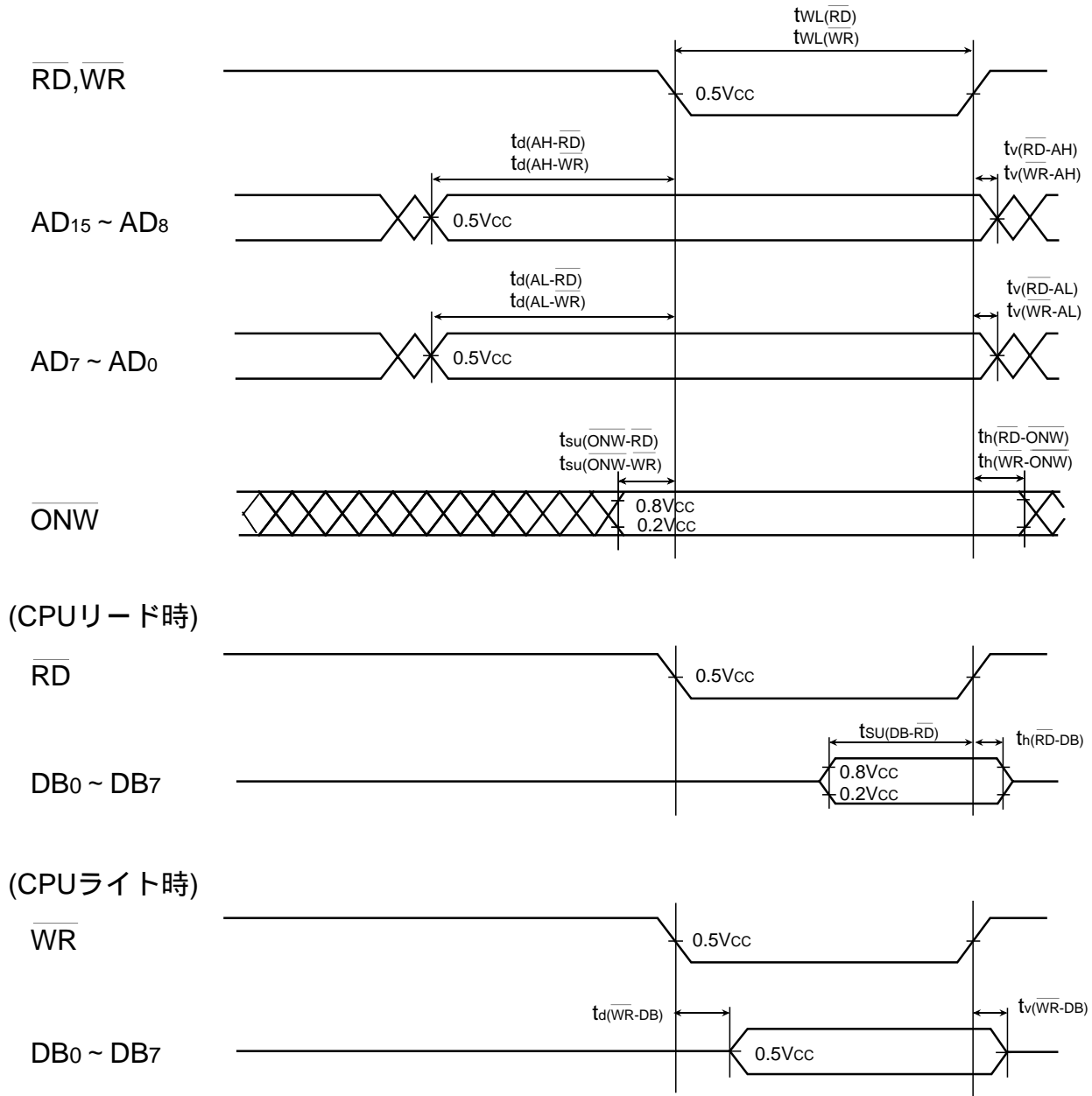
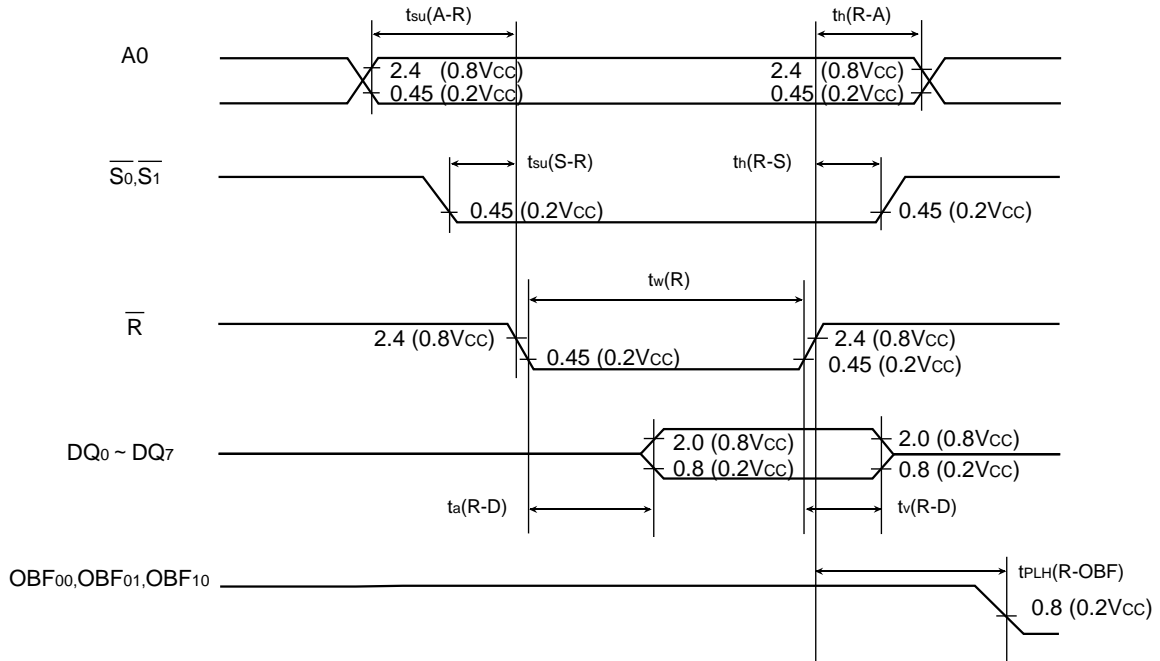


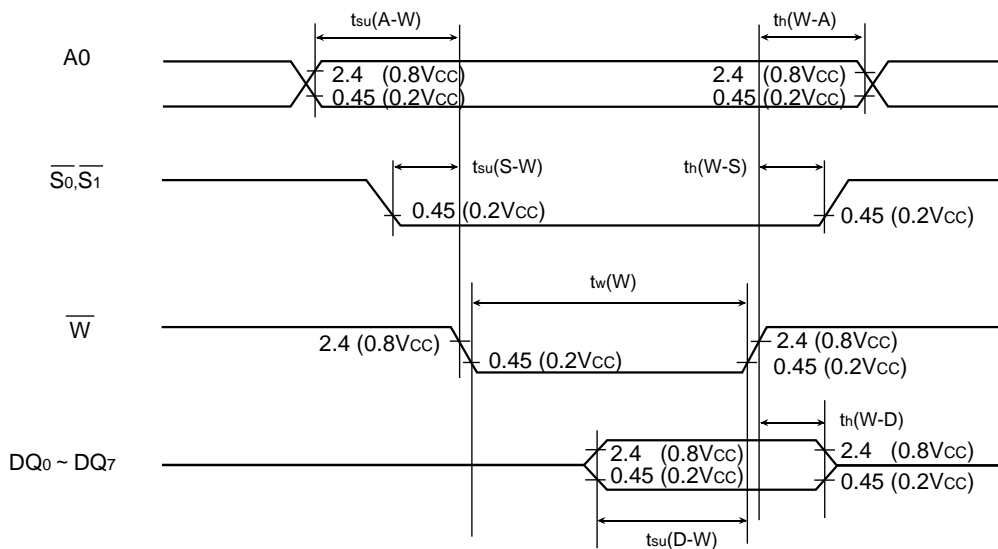
図89. タイミング図(3)メモリ拡張モード及びマイクロプロセッサモード時)

システムバスインタフェースタイミング図

リード動作



ライト動作



() 外はTTL 入出力
() 内はCMOS 入出力

図90 . タイミング図(4)(システムバスインタフェース)

表50．マルチマスタ²C-BUSバスライン特性

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリータイム	4.7		1.3		μs
tHD:STA	スタートコンディション時のホールド時間	4.0		0.6		μs
tLOW	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
tR	SCL, SDA信号の立ち上がり時間		1000	20 + 0.1Cb	300	ns
tHD:DAT	データのホールド時間	0		0	0.9	μs
tHIGH	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
tF	SCL, SDA信号の立ち下がり時間		300	20 + 0.1Cb	300	ns
tSU:DAT	データのセットアップ時間	250		100		ns
tSU:STA	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
tSU:STO	ストップコンディションのセットアップ時間	4.0		0.6		μs

注．Cb = 1つのバスラインキャパシタの合計

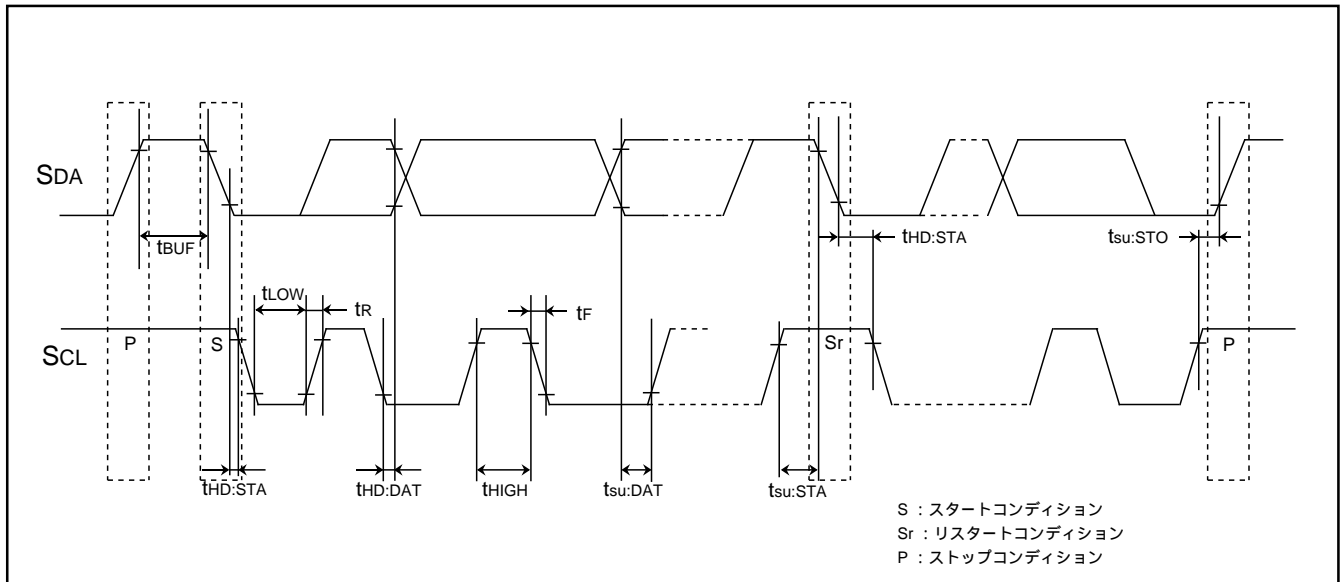


図91．マルチマスタ²C-BUSのタイミング図

三菱マイクロコンピュータ 3886グループ

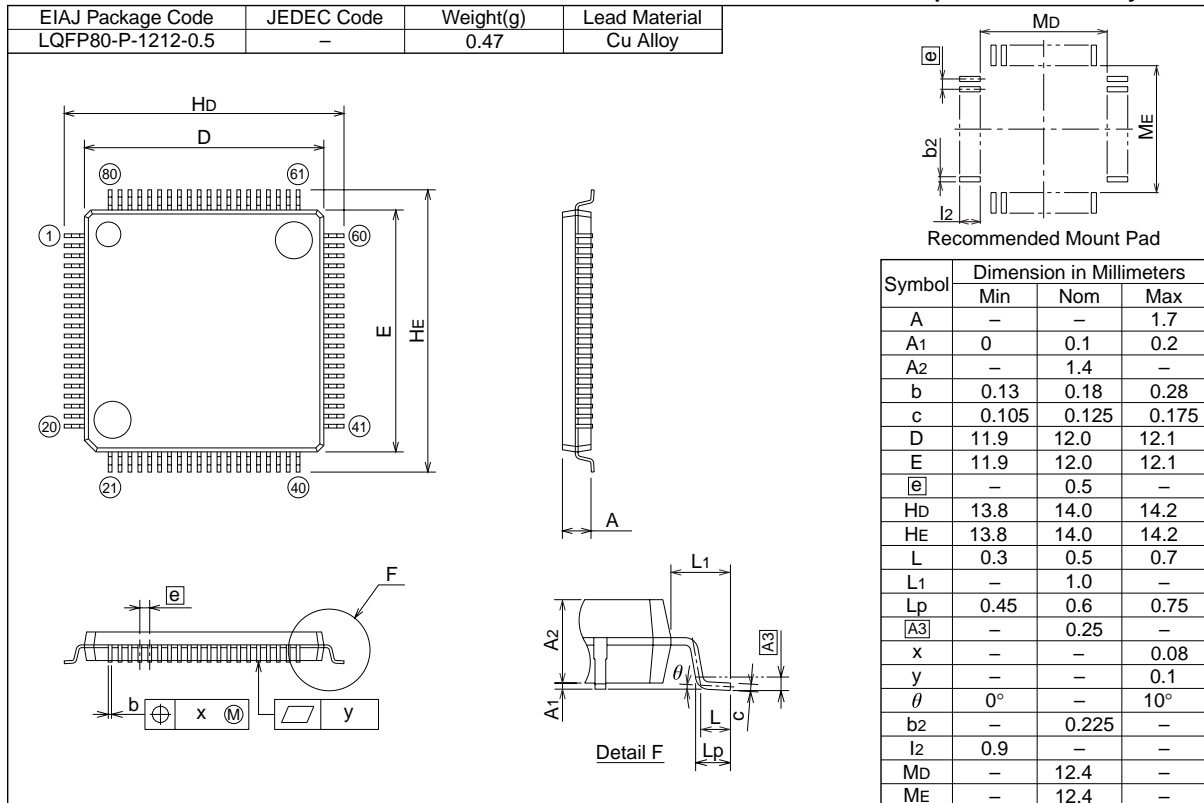
SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

パッケージ寸法図

80P6Q-A

(MMP)

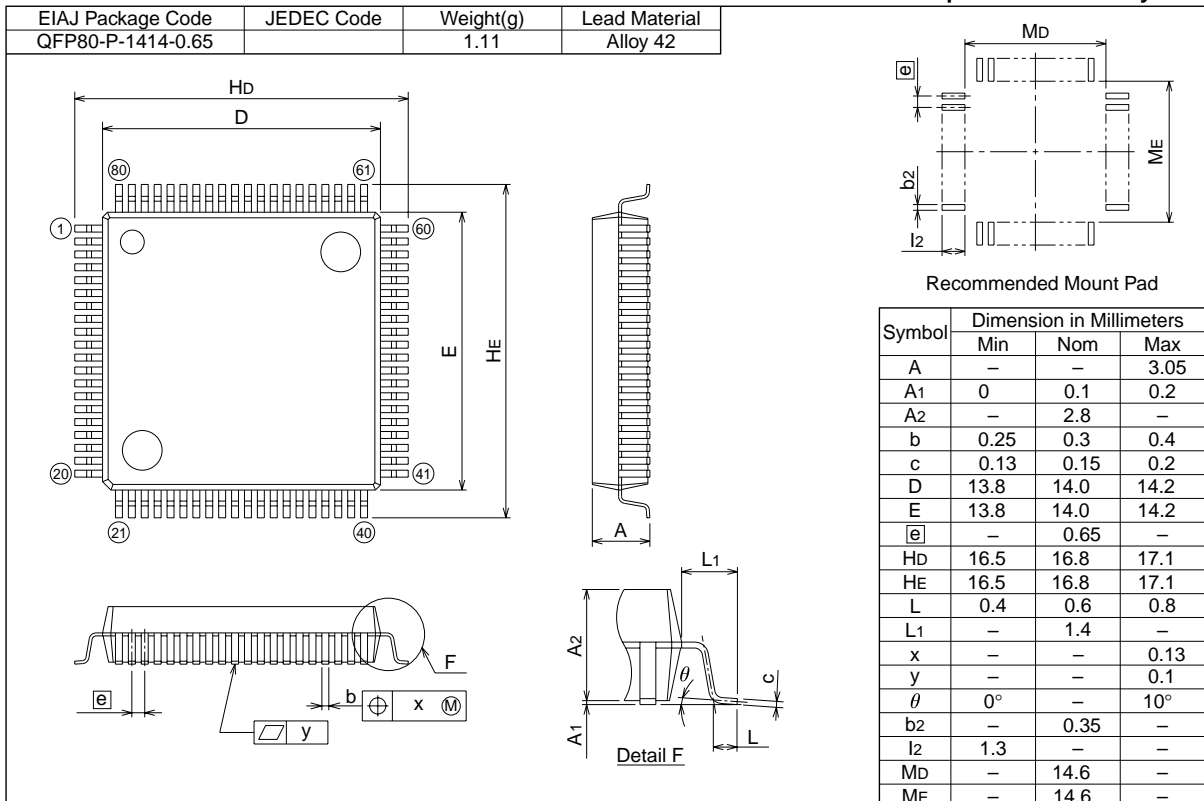
Plastic 80pin 12X12mm body LQFP



80P6S-A

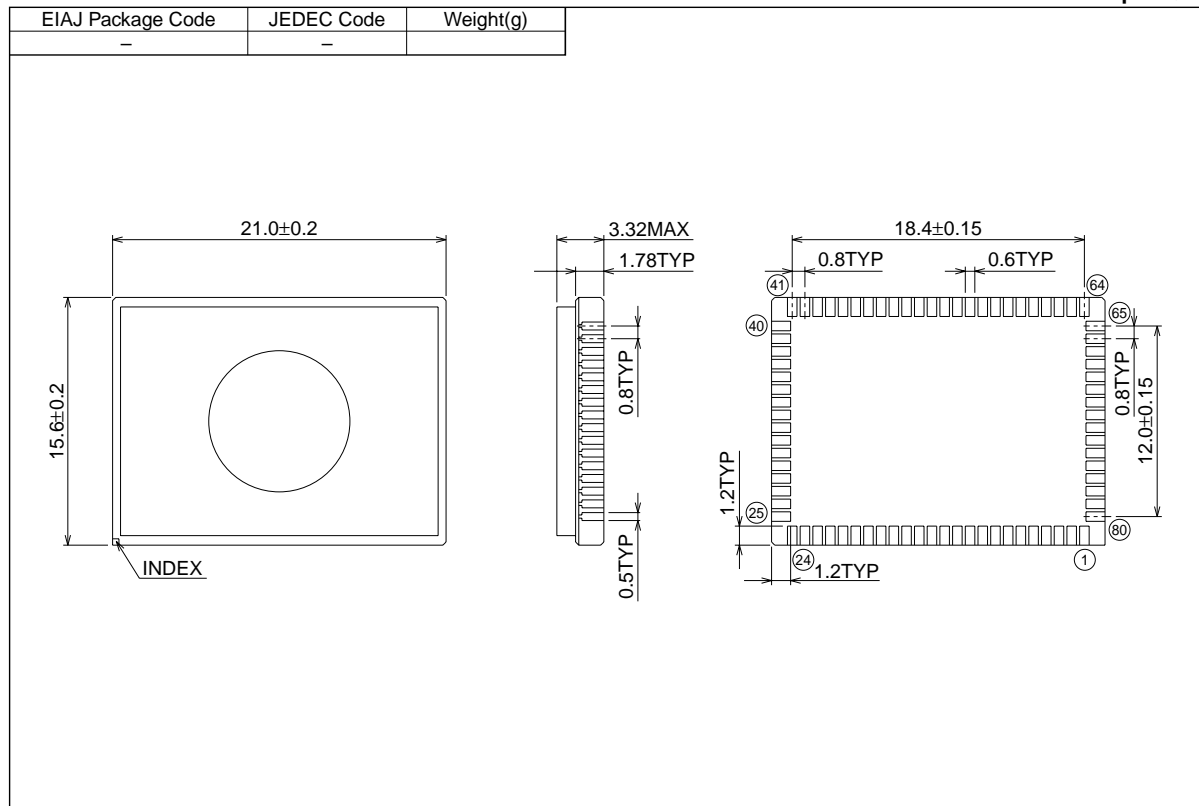
(MMP)

Plastic 80pin 14X14mm body QFP



80D0

Glass seal 80pin QFN



株式会社 ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料
ご利用に
際しての
留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご留意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴

3886 グループ データシート

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	971117
2.0	フラッシュメモリ版の情報を追加	980320
2.1	フラッシュメモリ版の内容を修正	980716
2.2	80 ページの内容を挿入した。Rev. 2.1 では欠落していた。	990113
2.3	<ul style="list-style-type: none"> ・ヘッダの開発中を削除 ・特長の消費電力の 2 つ目の高速モード時を削除 ・特長のメモリ拡張を修正 ・特長のフラッシュメモリモードを変更 ・特長の注意事項の 2 の変更 ・応用を変更 ・ピン接続図を変更 (M38867E8AHP を追加、注を追加) ・ピン接続図 (M38869MFA-XXXGP/HP と M38869FFAGP/H) を追加 (この図以降の図番すべて 1 追加) ・形名とメモリサイズ・パッケージのパッケージ種類にパッケージ追加、 - : 標準品の削除 ・パッケージに 80P6S-A 追加 ・ROM 及び RAM 展開計画表に品種追加 ・サポート製品一覧に品種追加 ・CPU モードレジスタの構成の注を変更 ・メモリ配置図の注に品種追加、及び注の追加 ・SFR のメモリマップに注追加 ・I²C データシフトレジスタの文章一部変更 ・I²C クロックコントロールレジスタの文章一部変更 ・I²C クロックコントロールレジスタの設定値と SCL 周波数の注 1 の文章一部変更 ・マルチマスタ I²C-BUS インタフェースの注意事項に(6)、(7)追加 ・10 ビット A-D モードの読み出し構成の図変更 ・リセット回路の文章一部変更 ・リセット回路例の注変更 ・システムクロックの状態遷移図一部変更 	991119

Rev. No.	改訂内容	Rev. date
2.3	<ul style="list-style-type: none"> ・ プロセッサモードのメモリ拡張モードに文章追加 ・ 各プロセッサモードの外部メモリ領域の文章一部削除 ・ CPU モードレジスタの注変更 ・ EPROM モードの文章一部追加 ・ パラレル入出力モード時の端子結線図の一部変更 ・ 直流電気的特性の V_{PPH} の最小値変更 ・ シリアル入出力モード時の端子結線図の一部変更 ・ フラッシュメモリモード - 3 の機能概要 (CPU 書き換えモード) に文章追加 ・ CPU 書き換えモードの操作手順の一部削除 ・ CPU 書き換えモードの CPU モードレジスタのビット構成のプロセッサモードビット変更 ・ CPU 書き換えモードのプログラムコマンドの文章の一部削除 ・ 使用上の注意事項の電源端子の取扱いに関する注意事項の文章追加 ・ 使用上の注意事項にフラッシュメモリ版のイレーズに関する注意事項を追加 ・ 絶対最大定格の表の V_{cc} の項目欄のカッコ内に品種追加 ・ 絶対最大定格の V_I の項目欄のカッコ内変更 ・ マスク化確認書 (M38869M8A-XXXHP/GP, M38869MCA-XXXHP/GP, M38869MFA-XXXHP/GP) 追加 ・ 80P6S-A の外形寸法図追加 	991119
2.4	<ul style="list-style-type: none"> ・ M38867E8AFS のピン接続図に注 2 を追加 ・ CPU モードレジスタの構成を変更 ・ 中央演算処理装置 (CPU) の文章を追加 ・ [I²C ステータスレジスタ] のビット 4 の名称を変更 ・ I²C ステータスレジスタの構成のビット 4 の名称を変更 ・ リスタートコンディション発生手順についての文章を一部追加 ・ リセット回路の文章を変更 ・ システムクロック発生回路ブロック図 (シングルチップモード) に注 2 を追加 ・ マスク化発注時の提出資料、ROM 書き込み発注時の提出資料に文章を追加 ・ タイミング必要条件(1)の表の $t_{w(\overline{\text{RESET}})}$ の規格値を変更 ・ タイミング必要条件(2)の表の $t_{w(\overline{\text{RESET}})}$ の規格値を変更 	000707

Rev. No.	改訂内容	Rev. date
2.4	<ul style="list-style-type: none"> ・ マスク化確認書を削除 ・ ROM 書き込み確認書を削除 ・ マーク指定書を削除 <div style="border: 1px solid red; border-radius: 15px; padding: 10px; margin-top: 10px;"> <p>マスク化確認書、ROM 書き込み確認書、マーク指定書につきましては、三菱マイコン技術情報ホームページ（アドレスは以下）を参照してください。</p> <p>ROM 発注時の提出資料（マスク化確認書、ROM 書き込み確認書）</p> <p>http://www.infocom.mesc.co.jp/38000/38order.htm</p> <p>マーク指定書</p> <p>http://www.infocom.mesc.co.jp/general/jmark.htm</p> </div>	000707