

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3803グループ(H仕様)

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0019-0312

Rev.3.12

2006.04.06

3803グループ(H仕様) マスクROM版

概要

3803グループ(H仕様)は、740ファミリコアを採用した8ビットマイクロコンピュータです。

A/Dコンバータ、D/Aコンバータを内蔵しており、家電、OA機器他アナログ信号の処理を行うシステムの制御に最適です。

特長

- 基本機械語命令 71
- 命令実行時間 0.24 μ s
(最小命令、発振周波数16.8MHz時)
- メモリ容量 ROM 16K~60Kバイト
RAM 640~2048バイト
- プログラマブル入出力ポート 56本
- ソフトウェアプルアップ抵抗 内蔵
- 割り込み 21要因、16ベクタ
(外部8、内部12、ソフトウェア1要因)
- タイマ 16ビット×1
8ビット×4
(8ビットプリスケラ付き)
- シリアルインタフェース
UARTまたはクロック同期形 8ビット×2
クロック同期形 8ビット×1
- PWM 8ビット×1
(8ビットプリスケラ付き)
- A/Dコンバータ 10ビット分解能×16チャンネル
(8ビット読み出し可能)
- D/Aコンバータ 8ビット分解能×2チャンネル

製品一覧を下記に示します。

表1. 製品一覧 (マスクROM版)

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	パッケージ	備考
M38034M4H-XXXSP	16384 (16254)	640	PRDP0064BA-A (64P4B)	
M38034M4H-XXXFP			PRQP0064GA-A (64P6N-A)	
M38034M4H-XXXHP			PLQP0064KB-A (64P6Q-A)	
M38034M4H-XXXKP			PLQP0064GA-A (64P6U-A)	
M38037M6H-XXXSP	24576 (24446)	1024	PRDP0064BA-A (64P4B)	
M38037M6H-XXXFP			PRQP0064GA-A (64P6N-A)	
M38037M6H-XXXHP			PLQP0064KB-A (64P6Q-A)	
M38037M6H-XXXKP			PLQP0064GA-A (64P6U-A)	
M38037M8H-XXXSP	32768 (32638)	1024	PRDP0064BA-A (64P4B)	
M38037M8H-XXXFP			PRQP0064GA-A (64P6N-A)	
M38037M8H-XXXHP			PLQP0064KB-A (64P6Q-A)	
M38037M8H-XXXKP			PLQP0064GA-A (64P6U-A)	
M38039MCH-XXXSP	49152 (49022)	2048	PRDP0064BA-A (64P4B)	
M38039MCH-XXXFP			PRQP0064GA-A (64P6N-A)	
M38039MCH-XXXHP			PLQP0064KB-A (64P6Q-A)	
M38039MCH-XXXKP			PLQP0064GA-A (64P6U-A)	
M38039MFH-XXXSP	61440 (61310)	2048	PRDP0064BA-A (64P4B)	
M38039MFH-XXXFP			PRQP0064GA-A (64P6N-A)	
M38039MFH-XXXHP			PLQP0064KB-A (64P6Q-A)	
M38039MFH-XXXKP			PLQP0064GA-A (64P6U-A)	
M38039MFH-XXXWG			PTLG0064JA-A (64F0G)	

注1. 3803グループ(H仕様)以外のシリーズ品種につきましては、電気的特性等の違いにより記載しておりませんので、3803/3804グループのデータシートをご覧ください。

- ウォッチドッグタイマ 16ビット×1
- LED直接駆動ポート 8本
- クロック発生回路 2回路内蔵
(セラミック共振子または水晶共振子外付け)
- 電源電圧
[高速モード時]
発振周波数 16.8MHz時 4.5~5.5V
発振周波数 12.5MHz時 4.0~5.5V
発振周波数 8.4MHz時 2.7~5.5V
発振周波数 4.2MHz時 2.2~5.5V
発振周波数 2.1MHz時 2.0~5.5V
[中速モード時]
発振周波数 16.8MHz時 4.5~5.5V
発振周波数 12.5MHz時 2.7~5.5V
発振周波数 8.4MHz時 2.2~5.5V
発振周波数 6.3MHz時 1.8~5.5V
[低速モード時]
発振周波数 32kHz 1.8~5.5V
- 消費電力
高速モード時 40mW(標準)
(発振周波数16.8MHz、電源電圧5V時)
低速モード時 45 μ W(標準)
(発振周波数32kHz、電源電圧3V時)
- 動作周囲温度 -20~85°C
- パッケージ
SP PRDP0064BA-A (64P4B) <64ピン750mil SDIP>
FP PRQP0064GA-A (64P6N-A) <64ピン14×14mm QFP>
HP ... PLQP0064KB-A (64P6Q-A) <64ピン10×10mm LQFP>
KP ... PLQP0064GA-A (64P6U-A) <64ピン14×14mm LQFP>
WG PTLG0064JA-A (64F0G) <64ピン6×6mm FLGA>

3803グループ(H仕様)フラッシュメモリ版

概要

3803グループ(H仕様)フラッシュメモリ版は、740ファミリコアを採用した8ビットマイクロコンピュータです。A/Dコンバータ、D/Aコンバータを内蔵しており、家電、OA機器他アナログ信号の処理を行うシステムの制御に最適です。

特長

- 基本機械語命令 71
- 命令実行時間 0.24 μ s
(最小命令、発振周波数16.8MHz時)
- メモリ容量 フラッシュメモリ 60Kバイト
RAM 2048バイト
- プログラマブル入出力ポート 56本
- ソフトウェアプルアップ抵抗 内蔵
- 割り込み 21要因、16ベクタ
(外部8、内部12、ソフトウェア1要因)
- タイマ 16ビット×1
8ビット×4
(8ビットプリスケアラ付き)
- シリアルインタフェース
UARTまたはクロック同期形 8ビット×2
クロック同期形 8ビット×1
- PWM 8ビット×1
(8ビットプリスケアラ付き)
- A/Dコンバータ 10ビット分解能×16チャンネル
(8ビット読み出し可能)
- D/Aコンバータ 8ビット分解能×2チャンネル
- ウォッチドッグタイマ 16ビット×1
- LED直接駆動ポート 8本
- クロック発生回路 2回路内蔵
(セラミック共振子または水晶発振子外付け)

製品一覧を下記に示します。

表2. 製品一覧 (フラッシュメモリ版)

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	パッケージ	備考
M38039FFHSP	61440	2048	PRDP0064BA-A (64P4B)	Vcc=2.7~5.5V
M38039FFHFP			PRQP0064GA-A (64P6N-A)	
M38039FFHHP			PLQP0064KB-A (64P6Q-A)	
M38039FFHKP			PLQP0064GA-A (64P6U-A)	
M38039FFHWG			PTLG0064JA-A (64F0G)	
M38039FFSFP			PRDP0064BA-A (64P4B)	
M38039FFHP	PRQP0064GA-A (64P6N-A)			
M38039FFKP	PLQP0064KB-A (64P6Q-A)			

注1. M38039FFSFP、M38039FFFP、M38039FFHPの概要、機能、電气的特性等につきましては記載しておりませんので、3803/3804グループのデータシートをご覧ください。

- 電源電圧
[高速モード時]
発振周波数 16.8MHz時 4.5~5.5V
発振周波数 12.5MHz時 4.0~5.5V
発振周波数 8.4MHz時 2.7~5.5V
[中速モード時]
発振周波数 16.8MHz時 4.5~5.5V
発振周波数 12.5MHz時 2.7~5.5V
[低速モード時]
発振周波数 32kHz 2.7V~5.5V
- 消費電力
高速モード時 27.5mW(標準)
(発振周波数16.8MHz、電源電圧5V時)
低速モード時 1200 μ W(標準)
(発振周波数32kHz、電源電圧3V時)
- 動作周囲温度 -20~85°C
- パッケージ
SP PRDP0064BA-A (64P4B) <64ピン750mil SDIP>
FP PRQP0064GA-A (64P6N-A) <64ピン14×14mm QFP>
HP ... PLQP0064KB-A (64P6Q-A) <64ピン10×10mm LQFP>
KP ... PLQP0064GA-A (64P6U-A) <64ピン14×14mm LQFP>
WG PTLG0064JA-A (64F0G) <64ピン6×6mm FLGA>

フラッシュメモリモード

- 電源電圧 Vcc=2.7~5.5V
- プログラム/イレーズ電圧 Vcc=2.7~5.5V
- プログラム バイト単位
- イレーズ ブロック消去
- プログラム/イレーズ制御方式
ソフトウェアコマンドによるプログラム/イレーズ制御
- プログラムイレーズ回数 100回

■ 注意事項

フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。

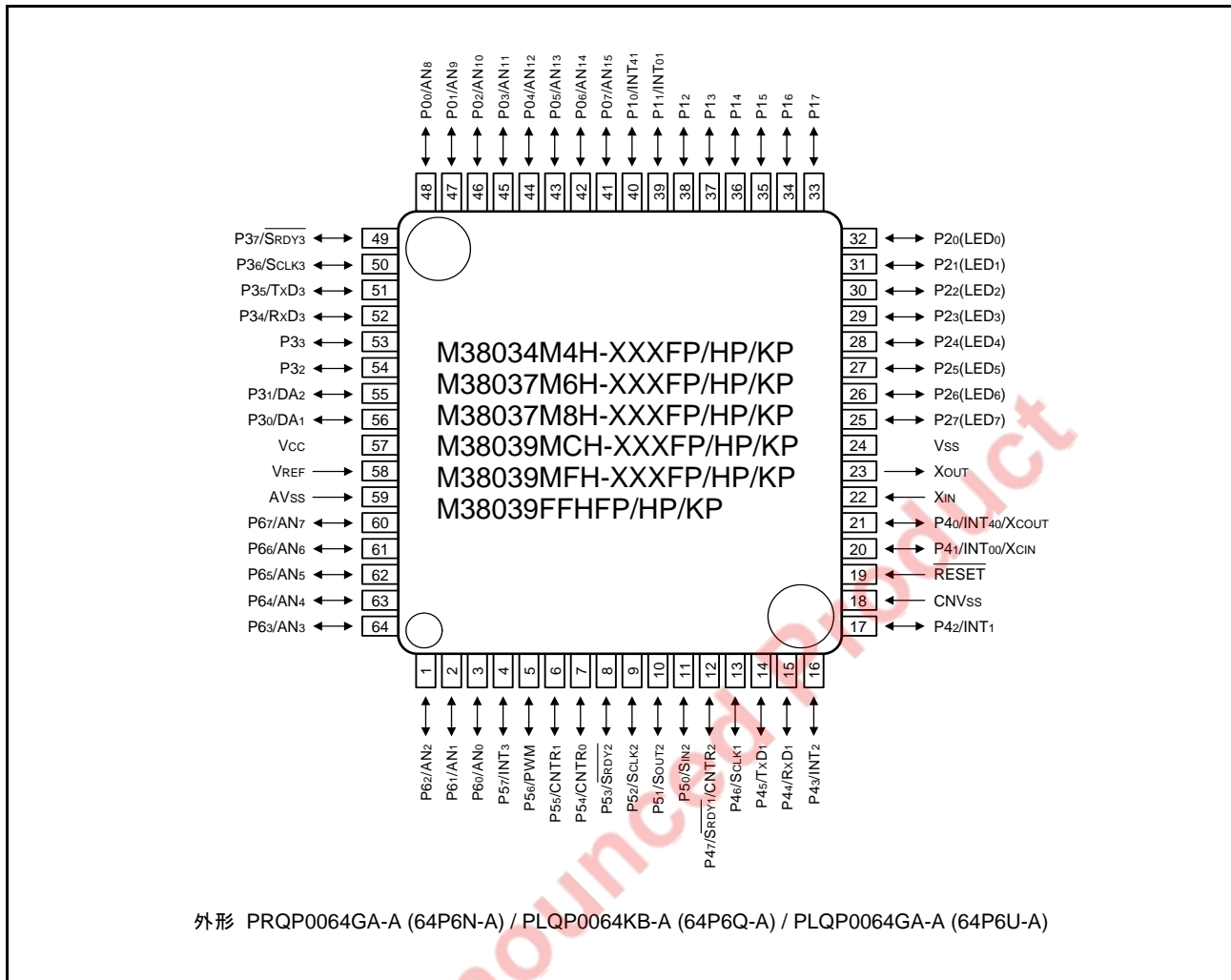


図1. ピン接続図(上面図) (PRQP0064GA-A (64P6N-A) / PLQP0064KB-A (64P6Q-A) / PLQP0064GA-A (64P6U-A))

表3. パッケージ一覧 (PRQP0064GA-A (64P6N-A) / PLQP0064KB-A (64P6Q-A) / PLQP0064GA-A (64P6U-A))

パッケージ	製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	備考
PRQP0064GA-A (64P6N-A)	M38034M4H-XXXXFP	16384 (16254)	640	マスクROM版
	M38037M6H-XXXXFP	24576 (24446)	1024	
	M38037M8H-XXXXFP	32768 (32638)	1024	
	M38039MCH-XXXXFP	49152 (49022)	2048	
	M38039MFH-XXXXFP	61440(61310)	2048	フラッシュメモリ版
	M38039FFHFP	61440	2048	フラッシュメモリ版(Vcc=4.0~5.5V)
PLQP0064KB-A (64P6Q-A)	M38034M4H-XXXXHP	16384 (16254)	640	マスクROM版
	M38037M6H-XXXXHP	24576 (24446)	1024	
	M38037M8H-XXXXHP	32768 (32638)	1024	
	M38039MCH-XXXXHP	49152 (49022)	2048	
	M38039MFH-XXXXHP	61440(61310)	2048	フラッシュメモリ版
	M38039FFHHP	61440	2048	フラッシュメモリ版(Vcc=4.0~5.5V)
PLQP0064GA-A (64P6U-A)	M38034M4H-XXXXKP	16384 (16254)	640	マスクROM版
	M38037M6H-XXXXKP	24576 (24446)	1024	
	M38037M8H-XXXXKP	32768 (32638)	1024	
	M38039MCH-XXXXKP	49152 (49022)	2048	
	M38039MFH-XXXXKP	61440(61310)	2048	フラッシュメモリ版
	M38039FFHHP	61440	2048	フラッシュメモリ版

注1. M38039FFFP、M38039FFHPの概要、機能、電気的特性等につきましては記載しておりませんので、3803/3804グループのデータシートをご覧ください。

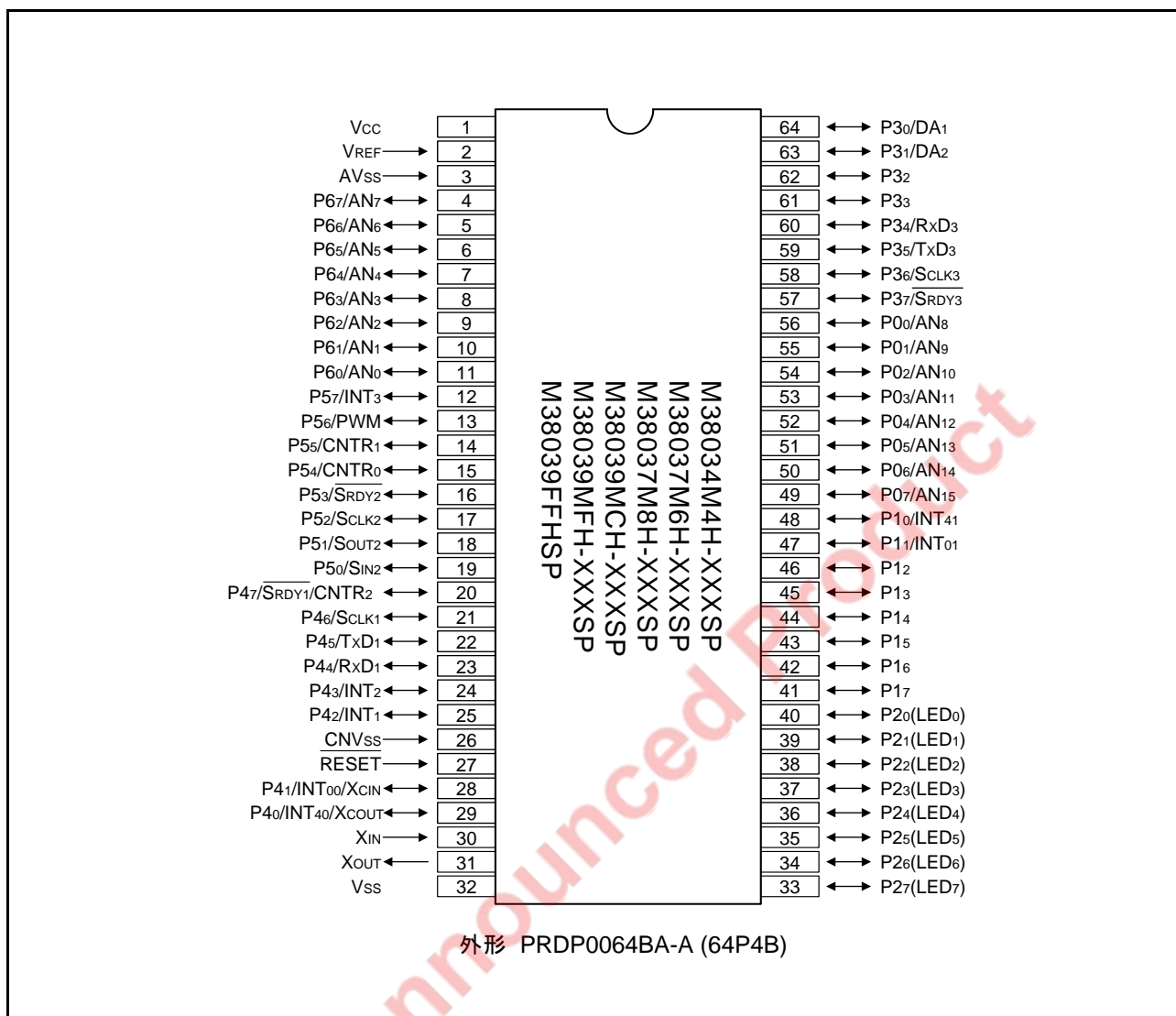


図2. ピン接続図(上面図)(PRDP0064BA-A (64P4B))

表4. パッケージ一覧 (PRDP0064BA-A (64P4B))

パッケージ	製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	備考
PRDP0064BA-A (64P4B)	M38034M4H-XXXSP	16384 (16254)	640	マスクROM版
	M38037M6H-XXXSP	24576 (24446)	1024	
	M38037M8H-XXXSP	32768 (32638)	1024	
	M38039MCH-XXXSP	49152 (49022)	2048	
	M38039MFH-XXXSP	61440 (61310)	2048	
	M38039FFHSP	61440	2048	フラッシュメモリ版
	M38039FFSP	61440	2048	フラッシュメモリ版(Vcc=4.0~5.5V)

注1. M38039FFSPの概要、機能、電気的特性等につきましては記載しておりませんので、3803/3804グループのデータシートをご覧ください。

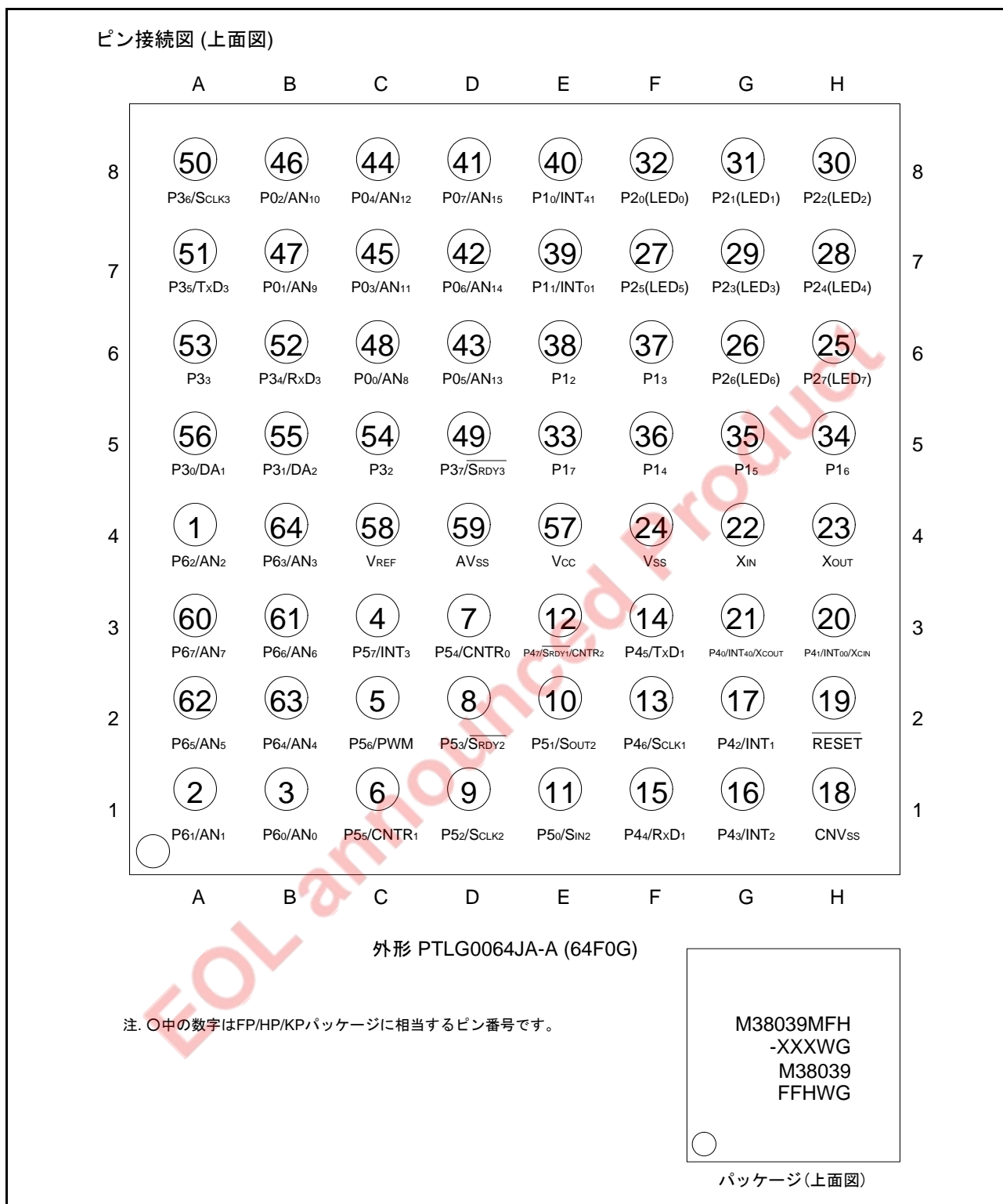


図3. ピン接続図(上面図)(PTLG0064JA-A(64F0G))

表5. パッケージ一覧(PTLG0064JA-A(64F0G))

パッケージ	製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	備考
PTLG0064JA-A	M38039MFH-XXXWG	61440 (61310)	2048	マスクROM版
	M38039FFHWG	61440	2048	フラッシュメモリ版

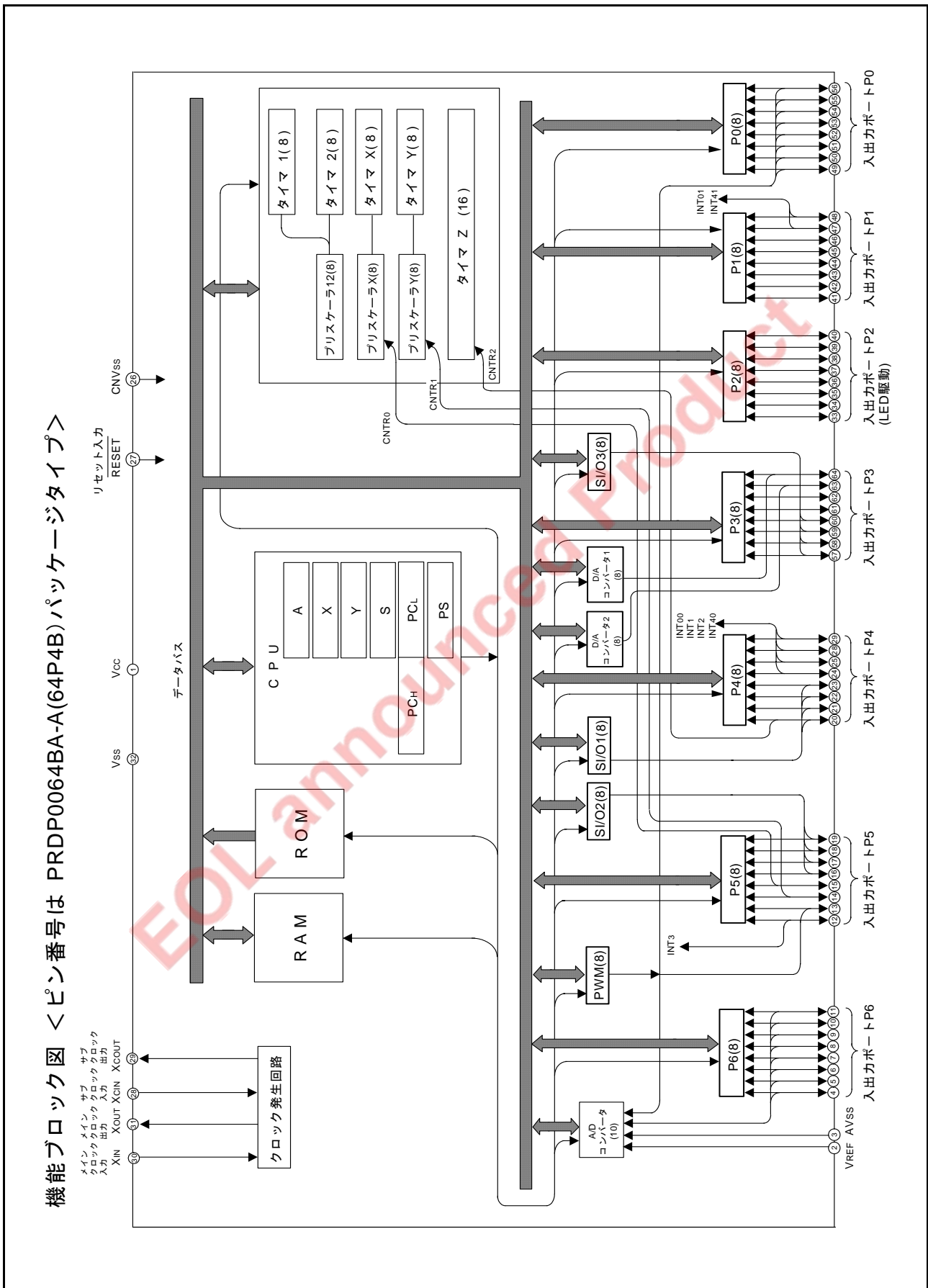


図4. 機能ブロック図

端子の機能説明

表6. 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
Vcc, Vss	電源入力	Vccに1.8~5.5V, Vssに0Vを印加します。フラッシュメモリ版はVccに2.7~5.5Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。	
VREF	基準電圧入力	A/DコンバータおよびD/Aコンバータの基準電圧入力端子です。	
AVss	アナログ電源入力	A/DコンバータおよびD/Aコンバータのアナログ電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ“L”のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子または水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。帰還抵抗内蔵です。	
XOUT	メインクロック出力		
P00/AN8~ P07/AN15	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。P20~P27の8ビットは、LED駆動出力用の大電流出力が可能です。	A/Dコンバータ入力端子
P10/INT41 P11/INT01	入出力ポートP1		割り込み入力端子
P12~P17			
P20~P27	入出力ポートP2		
P30/DA1 P31/DA2	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はP30, P31, P34~P37がCMOS3ステートです。P32, P33はNチャネルオープンドレインです。P32, P33以外はビット単位でプルアップ制御が可能です。	D/Aコンバータ出力端子
P32, P33			
P34/RXD3 P35/TXD3 P36/SCLK3 P37/SRDY3			シリアルI/O3機能端子
P40/INT40/XCOUT P41/INT00/XCIN	入出力ポートP4		割り込み入力端子 サブクロック発生入出力端子 (共振子を接続します。)
P42/INT1 P43/INT2			割り込み入力端子
P44/RXD1 P45/TXD1 P46/SCLK1		シリアルI/O1機能端子	
P47/SRDY1/CNTR2		シリアルI/O1、タイマZ機能端子	
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2	入出力ポートP5	シリアルI/O2機能端子	
P54/CNTR0		タイマX機能端子	
P55/CNTR1		タイマY機能端子	
P56/PWM		PWM出力端子	
P57/INT3		割り込み入力端子	
P60/AN0~ P67/AN7	入出力ポートP6		A/Dコンバータ入力端子

型名とメモリサイズ・パッケージ

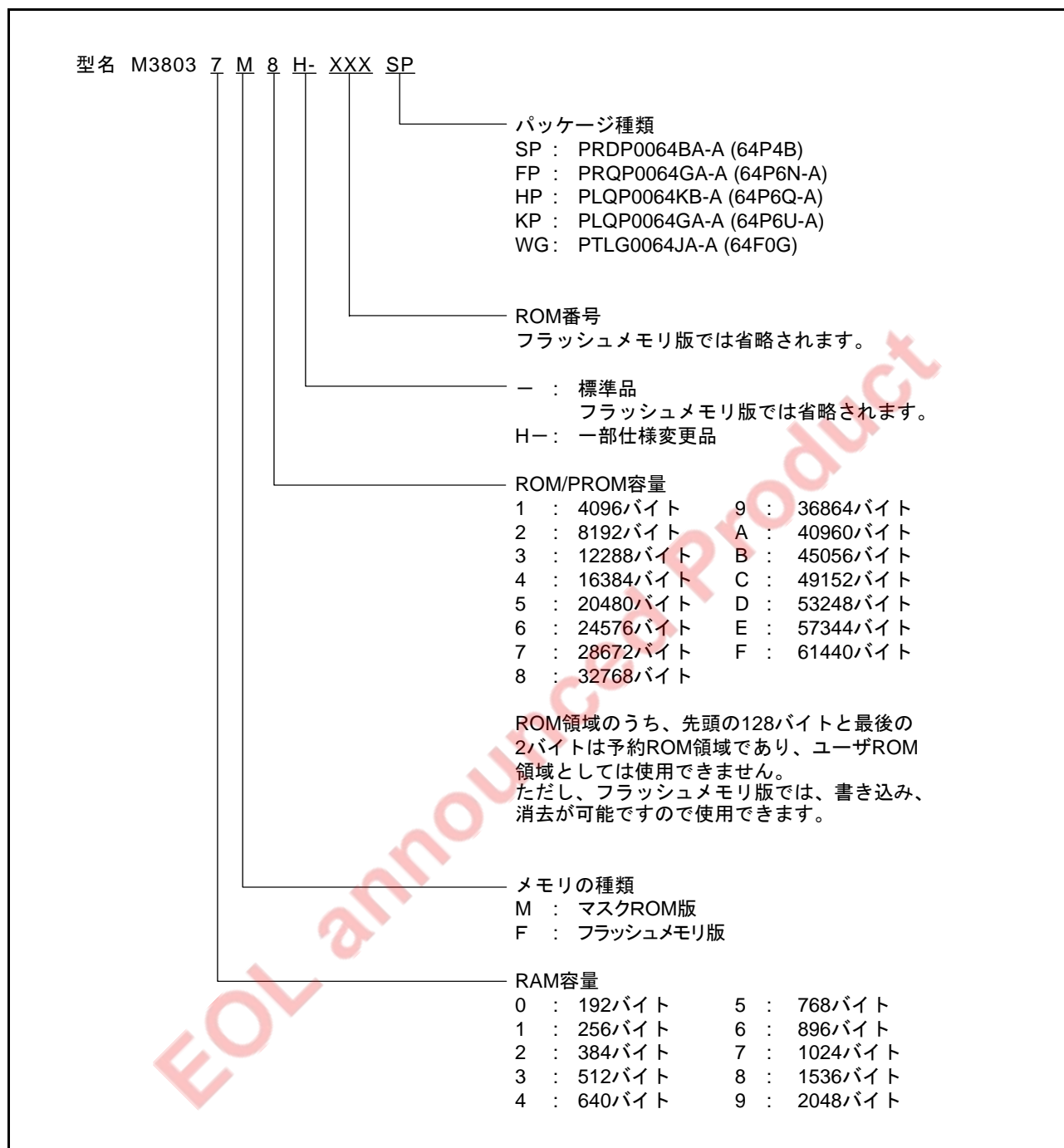


図5. 型名とメモリサイズ・パッケージ

グループ展開

3803グループ(H仕様)は次のような展開を計画しています。

メモリ容量

フラッシュメモリ容量 60Kバイト
 マスクROM容量 16K~60Kバイト
 RAM容量 640~2048バイト

パッケージ

- PRDP0064BA-A (64P4B)
シュリンクプラスチックモールドDIP
- PRQP0064GA-A (64P6N-A)
0.8mmピッチプラスチックモールドQFP
- PLQP0064KB-A (64P6Q-A)
0.5mmピッチプラスチックモールドLQFP
- PLQP0064GA-A (64P6U-A)
0.8mmピッチプラスチックモールドLQFP
- PTLG0064JA-A (64F0G)
0.65mmピッチプラスチックモールドFLGA

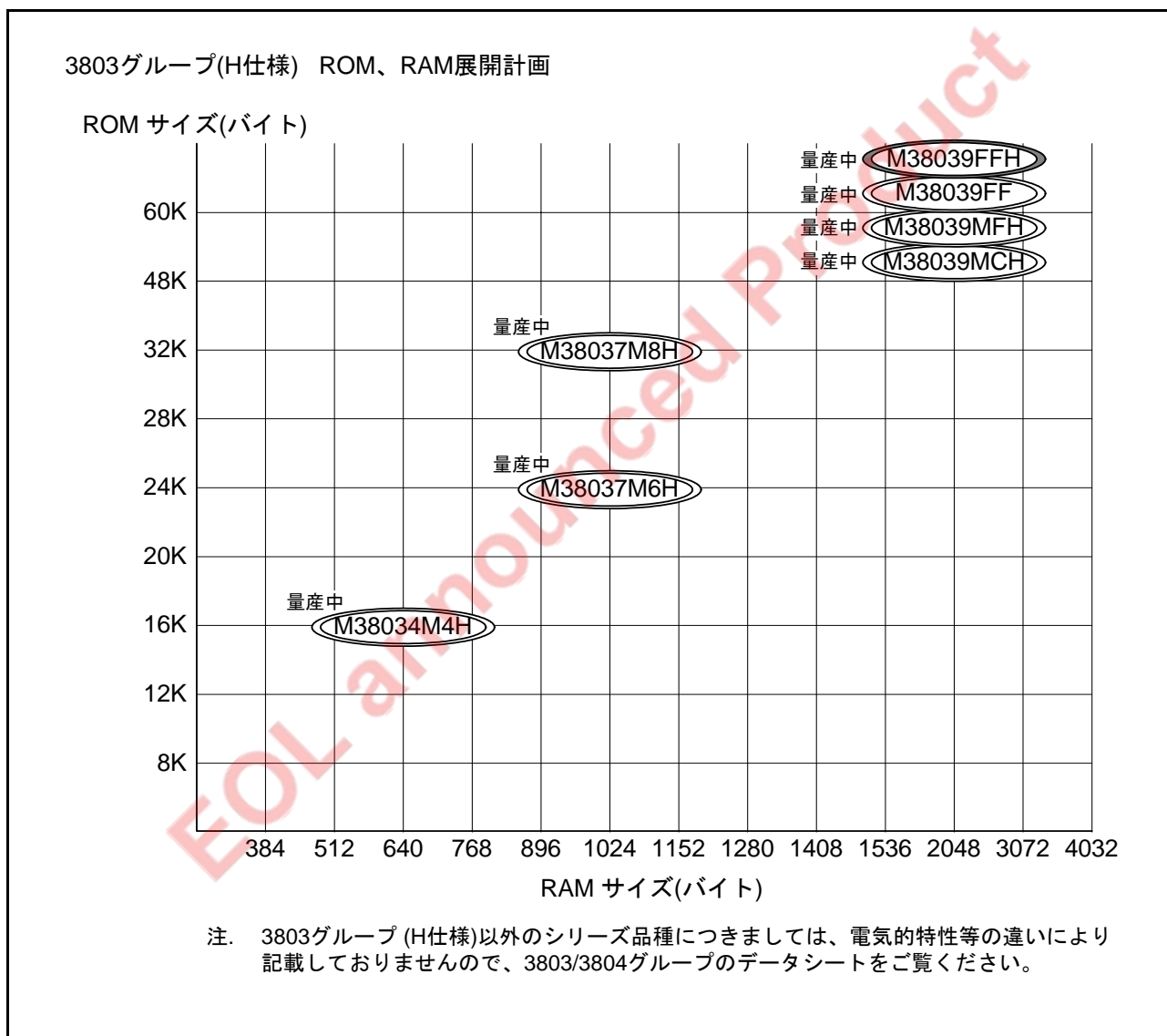


図6. ROMおよびRAM展開計画

機能ブロック動作説明

中央演算処理装置 (CPU)

3803グループ(H仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモードおよび機械語命令一覧表または740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW 命令はありません。
2. MUL、DIV 命令が使用可能です。
3. WIT 命令が使用可能です。
4. STP 命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図9にCPUモードレジスタの構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時または割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避および復帰動作を図8に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表7参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

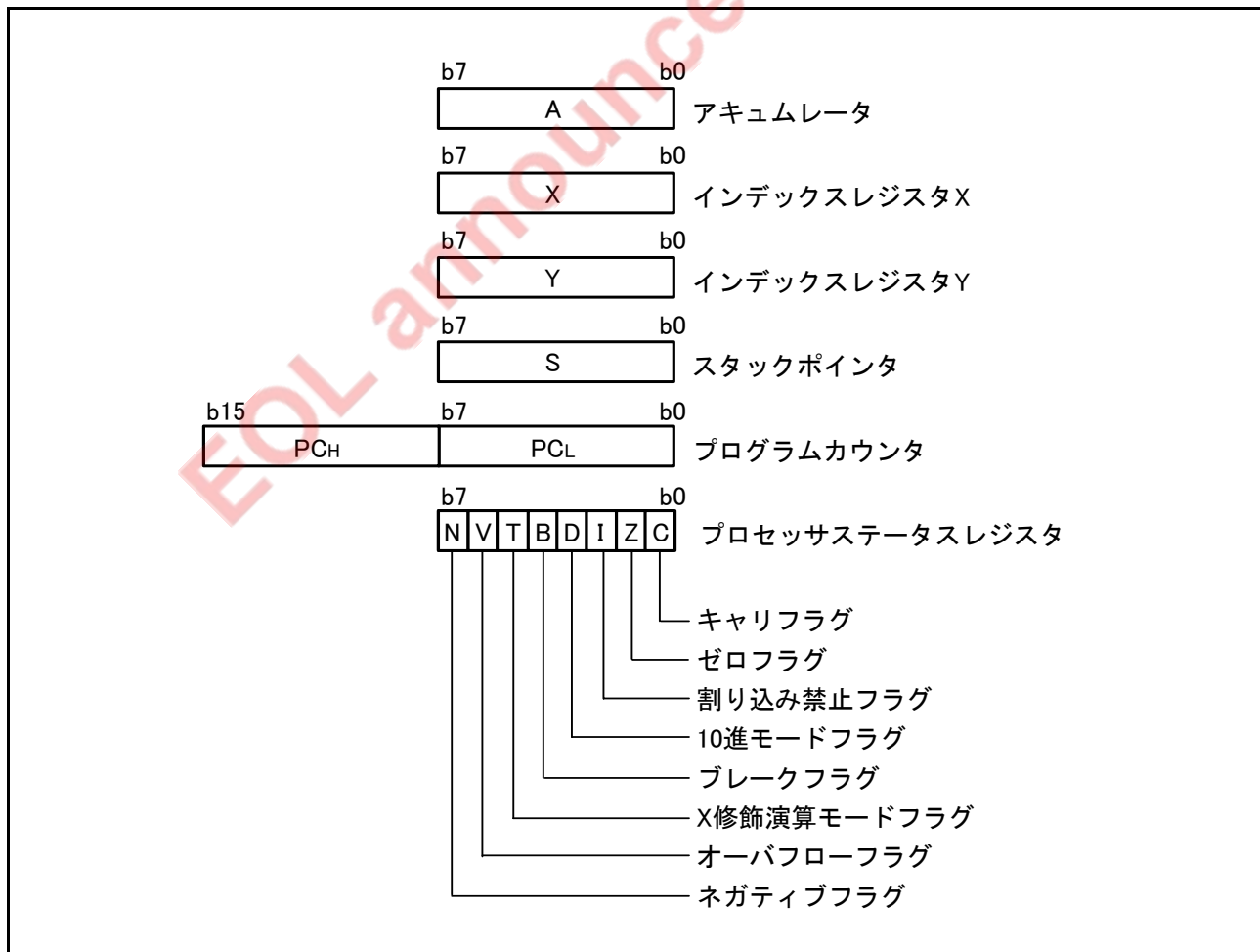


図7. 740ファミリCPUの構成

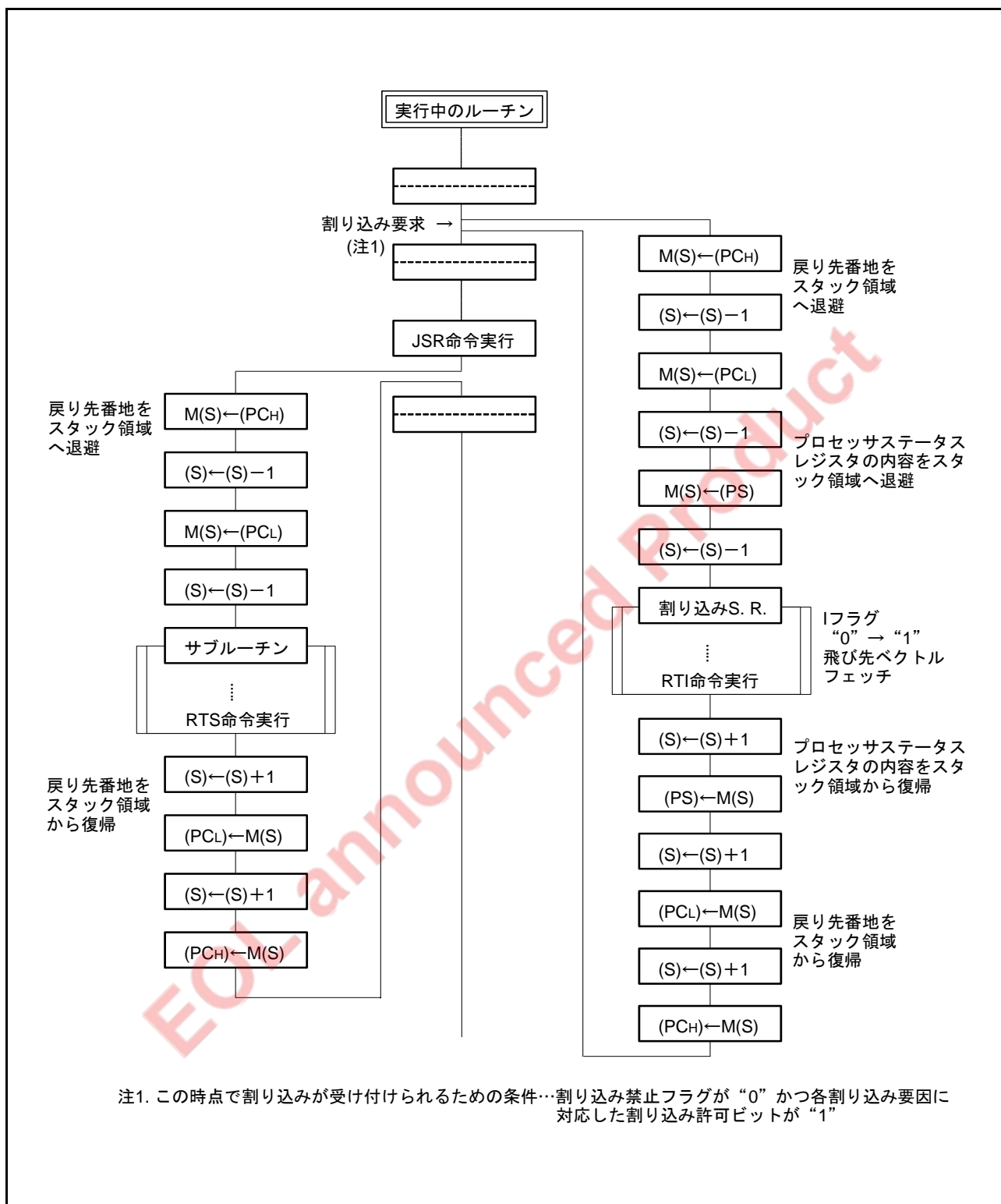


図8. スタックへの退避および復帰動作

表7. アキュムレータとプロセッサステータスレジスタの退避命令および復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

• ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリまたはボローを保持します。シフト命令またはローテート命令でも変化します。

• ビット1：ゼロフラグ(Z)

演算処理またはデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

• ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

• ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

• ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

• ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

• ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127または-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

• ビット7：ネガティブフラグ(N)

演算処理またはデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表8. プロセッサステータスレジスタの各フラグをセットまたはクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	-	SEI	SED	-	SET	-	-
クリアする命令	CLC	-	CLI	CLD	-	CLT	CLV	-

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B16番地に配置されています。

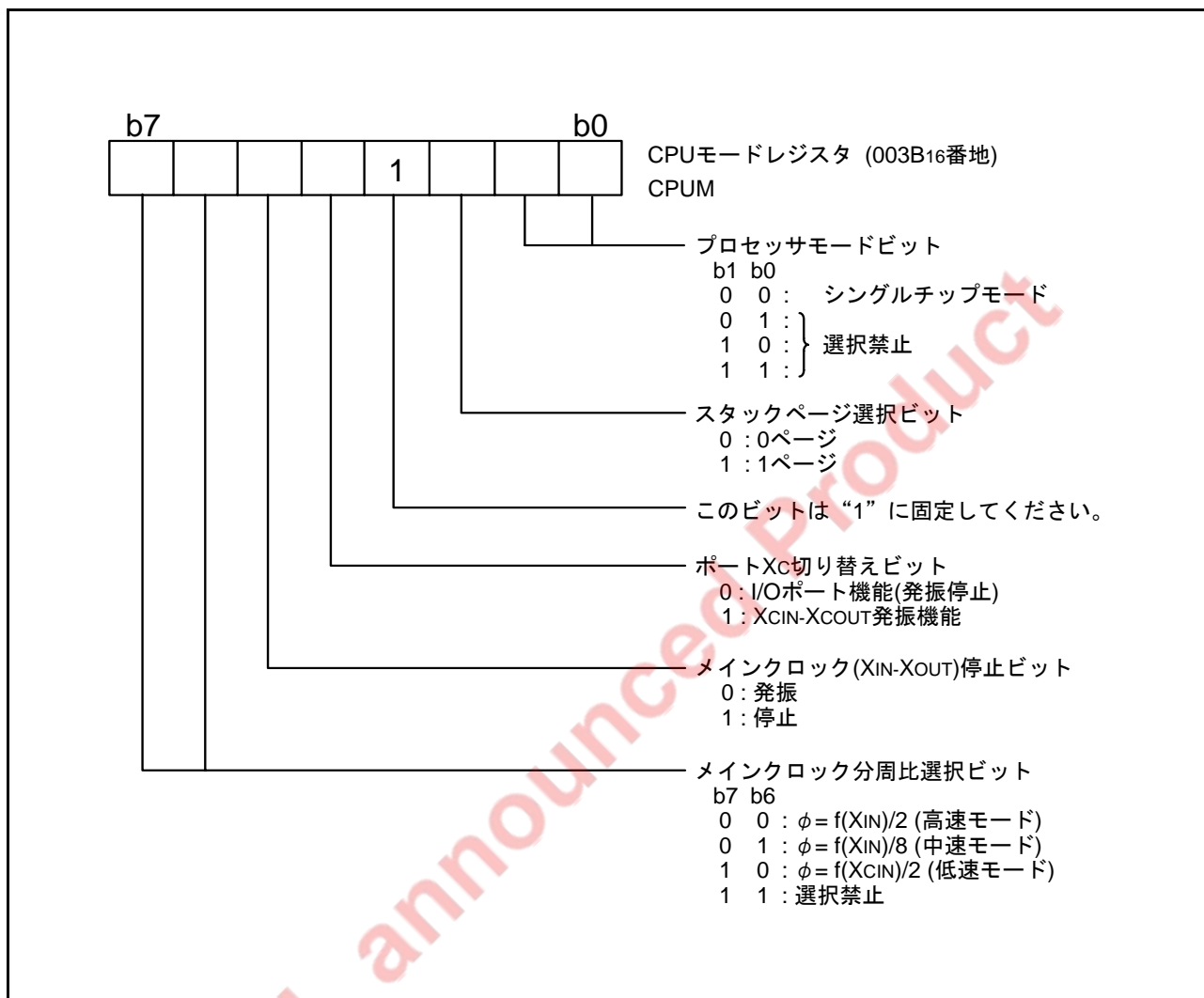


図9. CPUモードレジスタの構成

【MISRG】 MISRG

(1) STP命令解除後の発振安定時間設定ビット

(0010₁₆番地のビット0)

STP命令によって発振が停止している状態で、外部割り込み要因によってSTP命令が解除された場合、発振安定時間を待つため、タイマ1とプリスケータ12には通常、自動的に値(タイマ1←01₁₆、プリスケータ12←FF₁₆)が設定されます。MISRG(0010₁₆番地)のビット0を“1”にすることで、自動設定を禁止することができます。

しかし、このビットを“1”に設定したときは、STP命令実行前の設定値がタイマ1とプリスケータ12に残っていますので、STP命令実行前に発振安定時間として適切な値を、それぞれのレジスタに設定してください。

図10にMISRGの構成を示します。

(2) 中速モード自動切り替え機能

(0010₁₆番地のビット1,2,3)

サブクロックを持つマイコンは、低速モードから中速モード(あるいは高速モード)に切り替える場合、CPUモードレジスタ(003B₁₆番地)を設定し、メインクロック発振開始→発振安定時間待ち→中速モード切り替えをする必要がありますが、ソフトウェアによって低速モードから中速モードに自動的に切り替える機能を内蔵しています。

●ソフトウェアによる中速モード自動切り替え

マイコンが低速モードで動作中に、ソフトウェアにより自動的に中速モードへの切り替えが可能です。低速モードで動作中に、中速モード自動切り替え設定ビットが“1”の状態、MISRG(0010₁₆番地)の中速モード自動切り替え開始ビット(ビット3)を“1”にすることで、中速モードに自動的に切り替わります。このときのメインクロックの発振安定時間はMISRG(0010₁₆番地)の中速モード自動切り替え待ち時間設定ビット(ビット2)で選択できます。

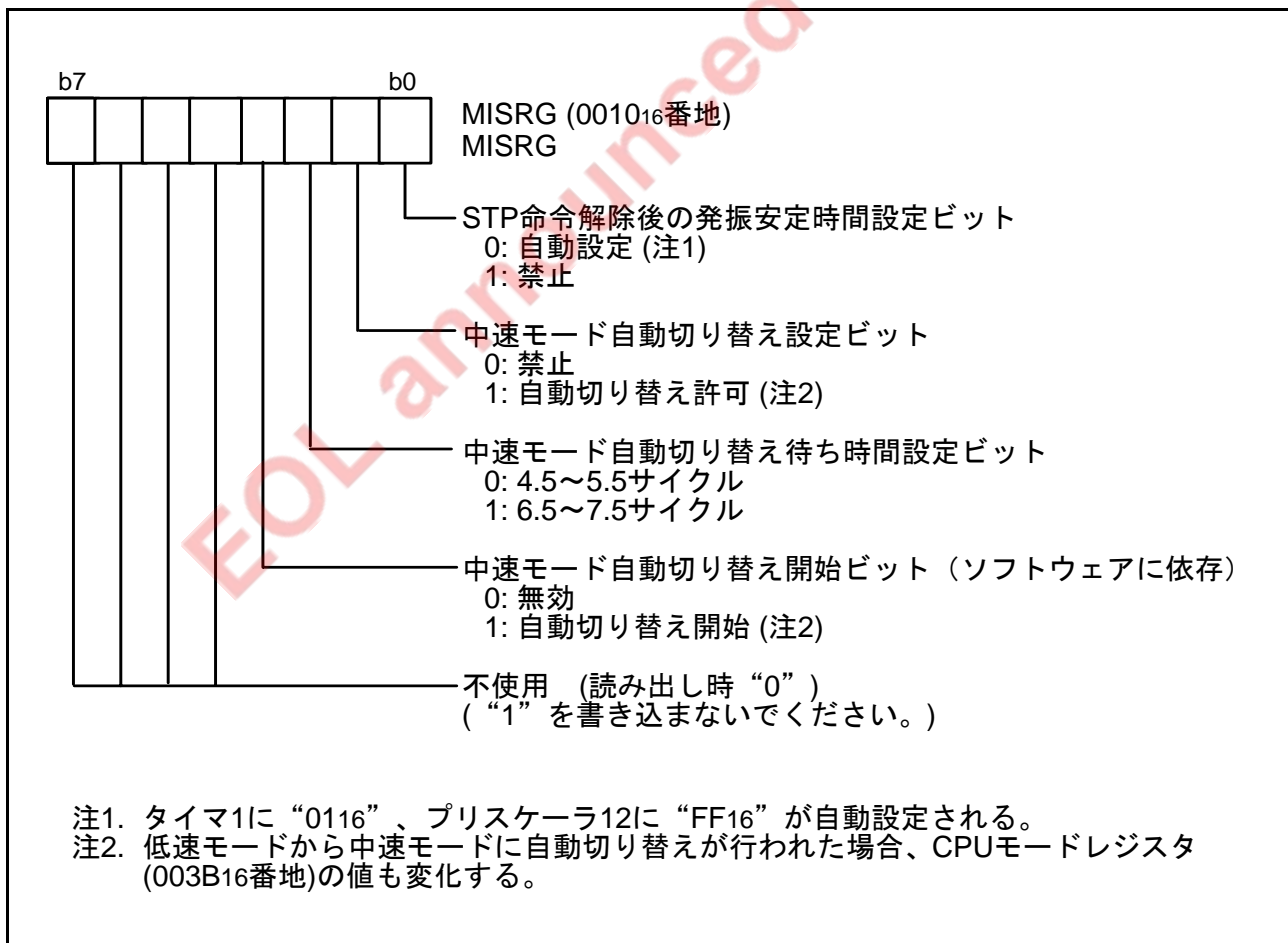


図10. MISRGの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出しおよび割り込み時のスタックなどに使用します。

●ROM

先頭128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

フラッシュメモリ版では、予約ROM領域のプログラム/イレーズが可能です。

●割り込みベクトル領域

リセットおよび割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

■注意事項

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

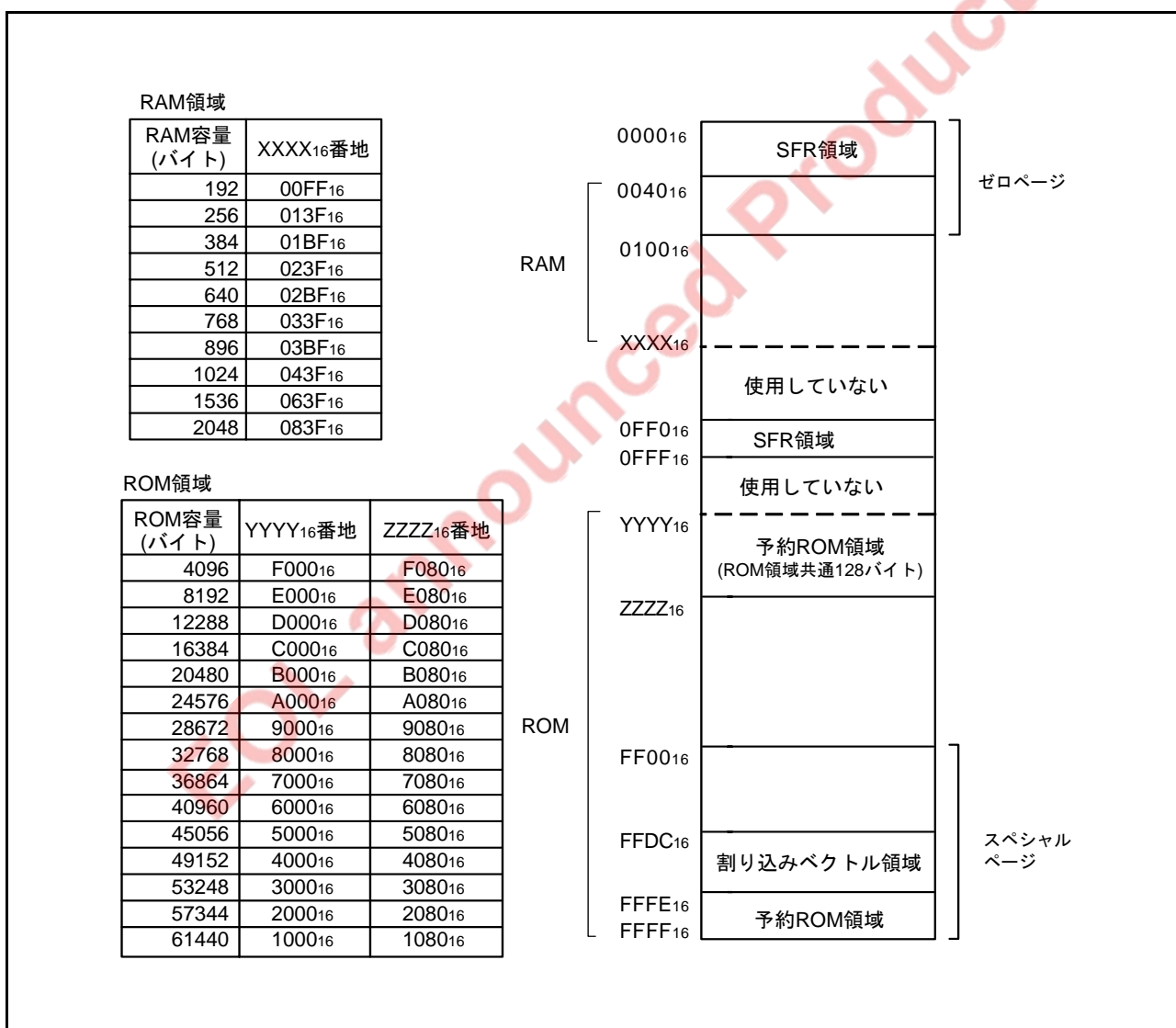


図11. メモリ配置図

0000 ₁₆	ポートP0 (P0)	0020 ₁₆	プリスケアラ12 (PRE12)
0001 ₁₆	ポートP0方向レジスタ (P0D)	0021 ₁₆	タイマ1 (T1)
0002 ₁₆	ポートP1 (P1)	0022 ₁₆	タイマ2 (T2)
0003 ₁₆	ポートP1方向レジスタ (P1D)	0023 ₁₆	タイマXYモードレジスタ (TM)
0004 ₁₆	ポートP2 (P2)	0024 ₁₆	プリスケアラX (PREX)
0005 ₁₆	ポートP2方向レジスタ (P2D)	0025 ₁₆	タイマX (TX)
0006 ₁₆	ポートP3P (P3)	0026 ₁₆	プリスケアラY (PREY)
0007 ₁₆	ポートP3方向レジスタ (P3D)	0027 ₁₆	タイマY (TY)
0008 ₁₆	ポートP4 (P4)	0028 ₁₆	タイマZ下位 (TZL)
0009 ₁₆	ポートP4方向レジスタ (P4D)	0029 ₁₆	タイマZ上位 (TZH)
000A ₁₆	ポートP5 (P5)	002A ₁₆	タイマZモードレジスタ (TZM)
000B ₁₆	ポートP5方向レジスタ (P5D)	002B ₁₆	PWM制御レジスタ (PWMCON)
000C ₁₆	ポートP6 (P6)	002C ₁₆	PWMプリスケアラ (PREPWM)
000D ₁₆	ポートP6方向レジスタ (P6D)	002D ₁₆	PWMレジスタ (PWM)
000E ₁₆	タイマ12,Xカウントソース選択レジスタ (T12XCSS)	002E ₁₆	
000F ₁₆	タイマY,Zカウントソース選択レジスタ (TYZCSS)	002F ₁₆	ポーレートジェネレータ3 (BRG3)
0010 ₁₆	MISRG	0030 ₁₆	送信/受信バッファレジスタ3 (TB3/RB3)
0011 ₁₆	予約 (注)	0031 ₁₆	シリアルI/O3ステータスレジスタ (SIO3STS)
0012 ₁₆	予約 (注)	0032 ₁₆	シリアルI/O3制御レジスタ (SIO3CON)
0013 ₁₆	予約 (注)	0033 ₁₆	UART3制御レジスタ (UART3CON)
0014 ₁₆	予約 (注)	0034 ₁₆	AD/DA制御レジスタ (ADCON)
0015 ₁₆	予約 (注)	0035 ₁₆	AD変換レジスタ1 (AD1)
0016 ₁₆	予約 (注)	0036 ₁₆	DA1変換レジスタ (DA1)
0017 ₁₆	予約 (注)	0037 ₁₆	DA2変換レジスタ (DA2)
0018 ₁₆	送信/受信バッファレジスタ1 (TB1/RB1)	0038 ₁₆	AD変換レジスタ2 (AD2)
0019 ₁₆	シリアルI/O1ステータスレジスタ (SIO1STS)	0039 ₁₆	割り込み要因選択レジスタ (INTSEL)
001A ₁₆	シリアルI/O1制御レジスタ (SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ (INTEDGE)
001B ₁₆	UART1制御レジスタ (UART1CON)	003B ₁₆	CPUモードレジスタ (CPUM)
001C ₁₆	ポーレートジェネレータ1 (BRG1)	003C ₁₆	割り込み要求レジスタ1 (IREQ1)
001D ₁₆	シリアルI/O2制御レジスタ (SIO2CON)	003D ₁₆	割り込み要求レジスタ2 (IREQ2)
001E ₁₆	ウォッチドッグタイマ制御レジスタ (WDTCON)	003E ₁₆	割り込み制御レジスタ1 (ICON1)
001F ₁₆	シリアルI/O2レジスタ (SIO2)	003F ₁₆	割り込み制御レジスタ2 (ICON2)
0FE0 ₁₆	フラッシュ制御レジスタ0 (FMCR0)	0FF0 ₁₆	ポートP0プルアップ制御レジスタ (PULL0)
0FE1 ₁₆	フラッシュ制御レジスタ1 (FMCR1)	0FF1 ₁₆	ポートP1プルアップ制御レジスタ (PULL1)
0FE2 ₁₆	フラッシュ制御レジスタ2 (FMCR2)	0FF2 ₁₆	ポートP2プルアップ制御レジスタ (PULL2)
0FE3 ₁₆	予約 (注)	0FF3 ₁₆	ポートP3プルアップ制御レジスタ (PULL3)
0FE4 ₁₆	予約 (注)	0FF4 ₁₆	ポートP4プルアップ制御レジスタ (PULL4)
0FE5 ₁₆	予約 (注)	0FF5 ₁₆	ポートP5プルアップ制御レジスタ (PULL5)
0FE6 ₁₆	予約 (注)	0FF6 ₁₆	ポートP6プルアップ制御レジスタ (PULL6)
0FE7 ₁₆	予約 (注)		
0FE8 ₁₆	予約 (注)		
0FE9 ₁₆	予約 (注)		
0FEA ₁₆	予約 (注)		
0FEB ₁₆	予約 (注)		
0FEC ₁₆	予約 (注)		
0FED ₁₆	予約 (注)		
0FEE ₁₆	予約 (注)		
0FEF ₁₆	予約 (注)		

(注)予約領域のため、何もデータを書き込まないでください。

図 12. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングと

なり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP0プルアップ制御レジスタ(OFF016番地)～ポートP6プルアップ制御レジスタ(OFF616番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

表9. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番	
P00/AN8～ P07/AN15	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A/Dコンバータ入力	AD/DA制御レジスタ	(1)	
P10/INT41 P11/INT01	ポートP1			外部割り込み入力	割り込みエッジ選択レジスタ	(2)	
P12～P17						(3)	
P20/LED0～ P27/LED7	ポートP2						
P30/DA1 P31/DA2	ポートP3			D/Aコンバータ出力	AD/DA制御レジスタ	(4)	
P32, P33				CMOS入力レベル Nチャンネルオープンドレイン出力		(5)	
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3	ポートP4			CMOS入力レベル CMOS3ステート出力	シリアルI/O3機能入出力	シリアルI/O3制御レジスタ UART3制御レジスタ	(6) (7) (8) (9)
P40/INT40/XCOUT P41/INT00/XCIN				外部割り込み入力 サブクロック発振回路	割り込みエッジ選択レジスタ CPUモードレジスタ	(10) (11)	
P42/INT1 P43/INT2				外部割り込み入力	割り込みエッジ選択レジスタ	(2)	
P44/RxD1 P45/TxD1 P46/SCLK1				シリアルI/O1機能入出力	シリアルI/O1制御レジスタ UART1制御レジスタ	(6) (7) (8)	
P47/SRDY1/CNTR2		シリアルI/O1機能入出力 タイマZ機能入出力	シリアルI/O1制御レジスタ タイマZモードレジスタ	(12)			
		シリアルI/O2機能入出力	シリアルI/O2制御レジスタ	(13) (14) (15) (16)			
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2		ポートP5	タイマX, Y機能入出力	タイマXYモードレジスタ	(17)		
P54/CNTR0 P55/CNTR1			PWM出力	PWM制御レジスタ	(18)		
P56/PWM			外部割り込み入力	割り込みエッジ選択レジスタ	(2)		
P57/INT3		ポートP6	A/Dコンバータ入力	AD/DA制御レジスタ	(1)		
P60/AN0～ P67/AN7							

- 注1. ダブルファンクションポートを機能入出力端子として使用方法については、関連する項を参照してください。
 注2. STP命令の実行中は、各端子の入力レベルを0VまたはVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

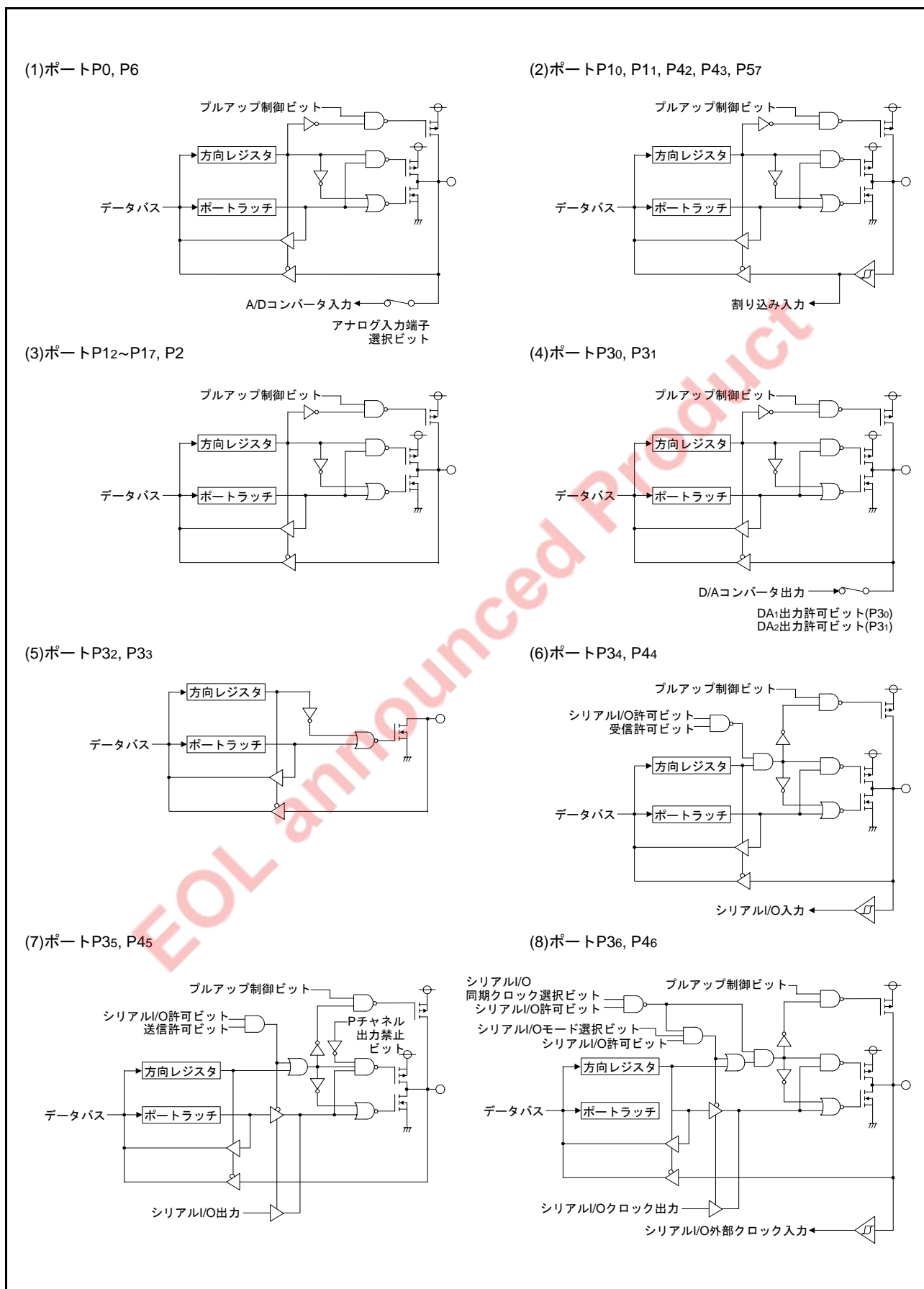


図13. ポートのブロック図(1)

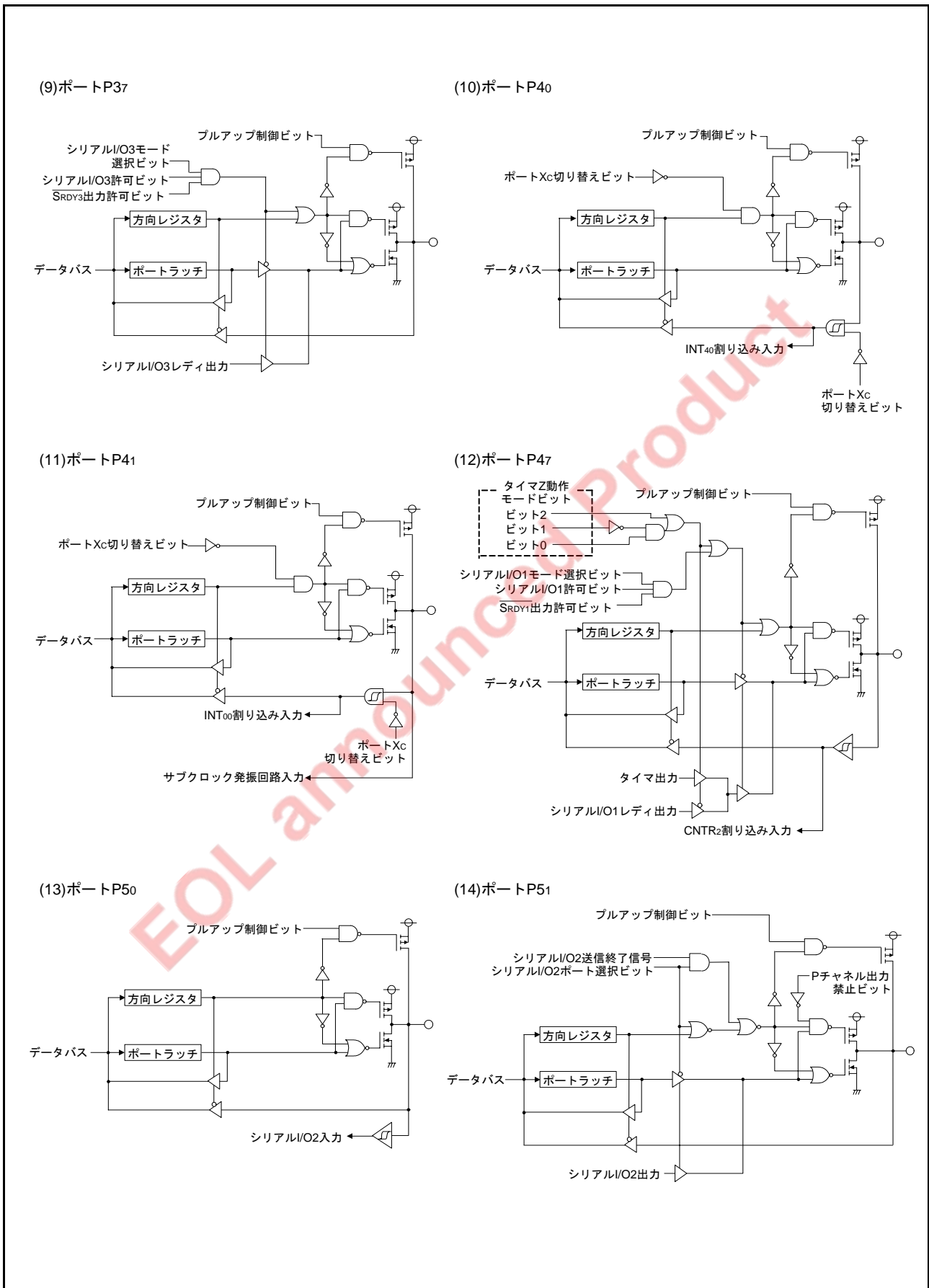


図 14. ポートのブロック図(2)

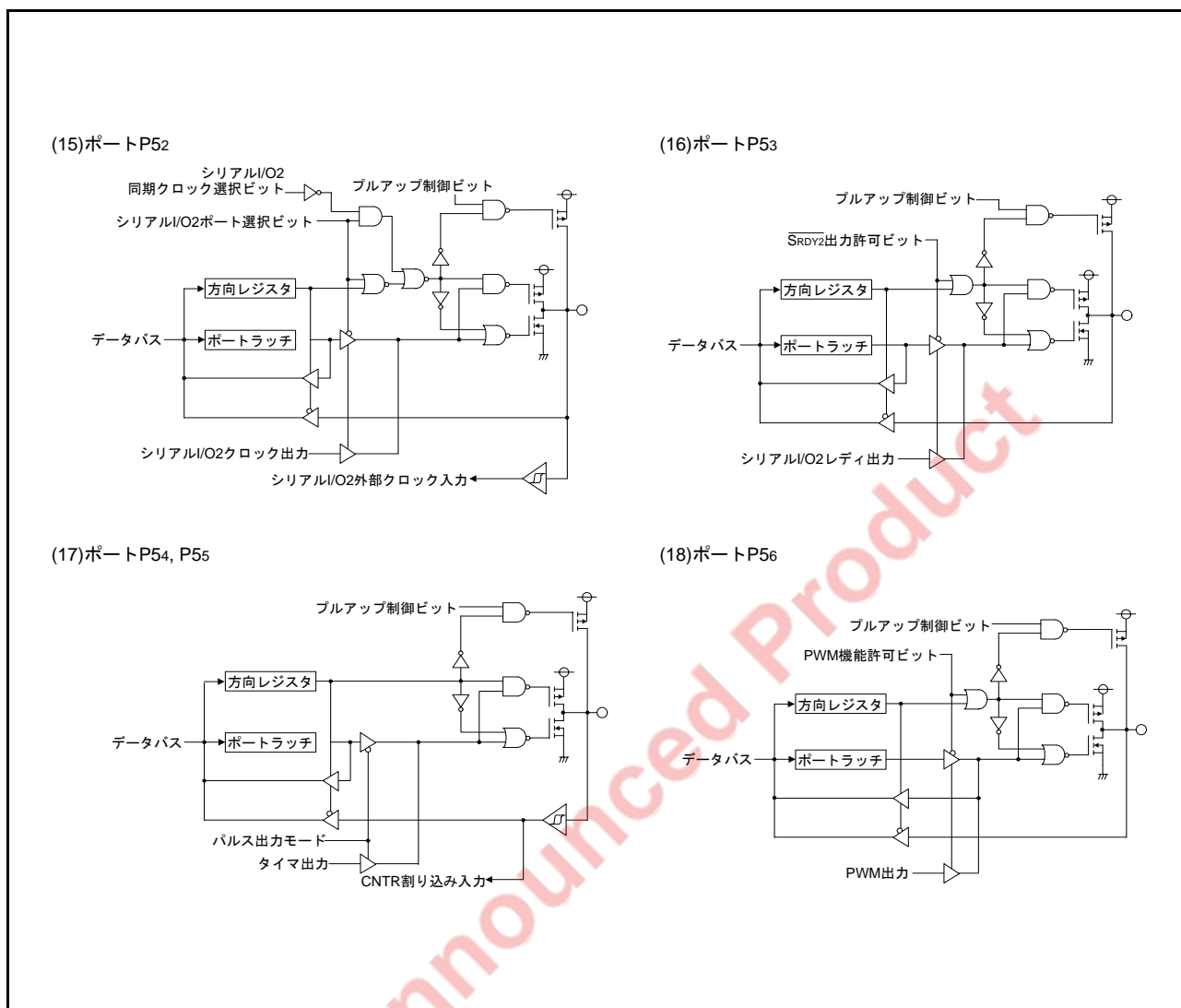


図15. ポートのブロック図(3)

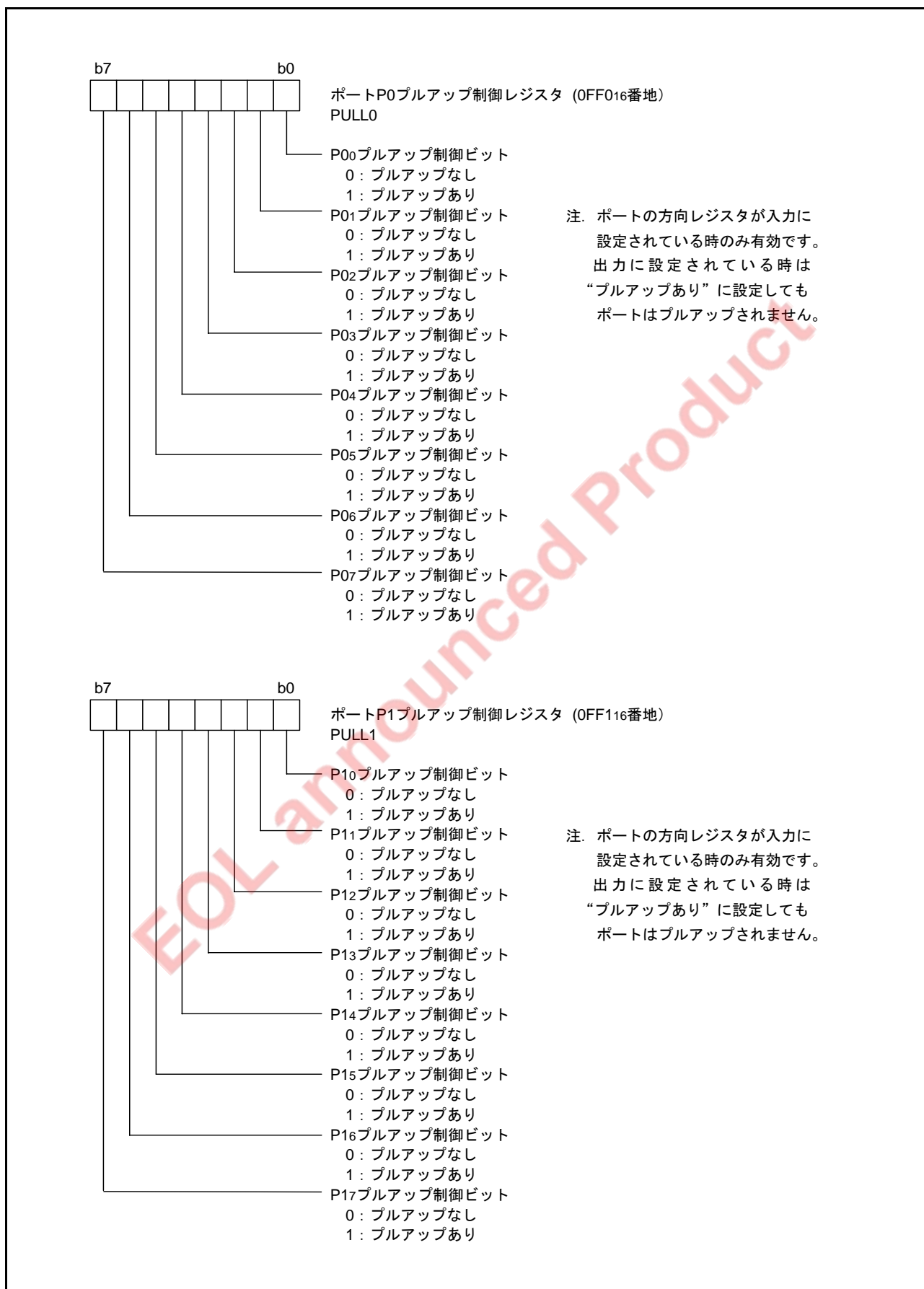


図16. ポートレジスタ構成図(1)

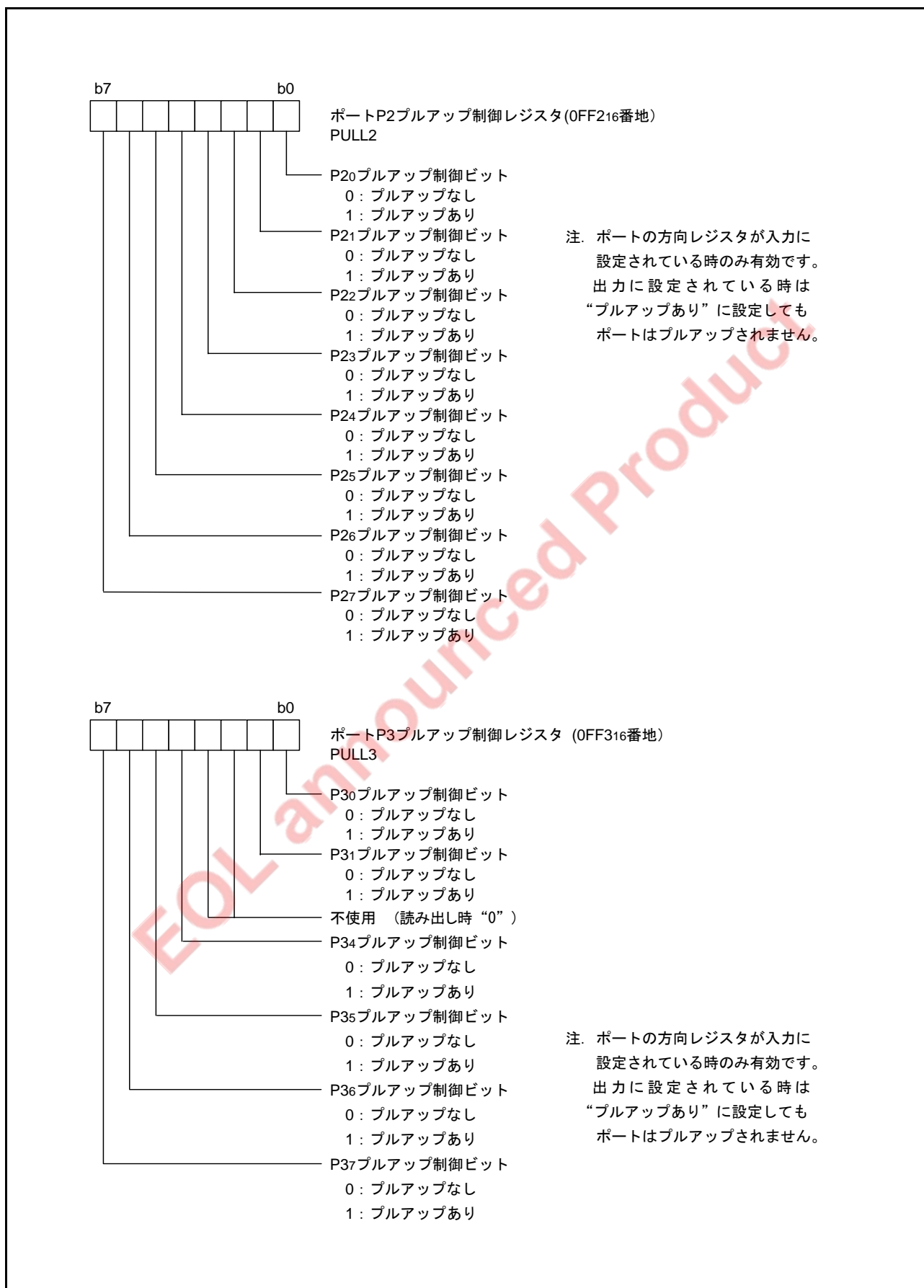


図17. ポートレジスタ構成図(2)

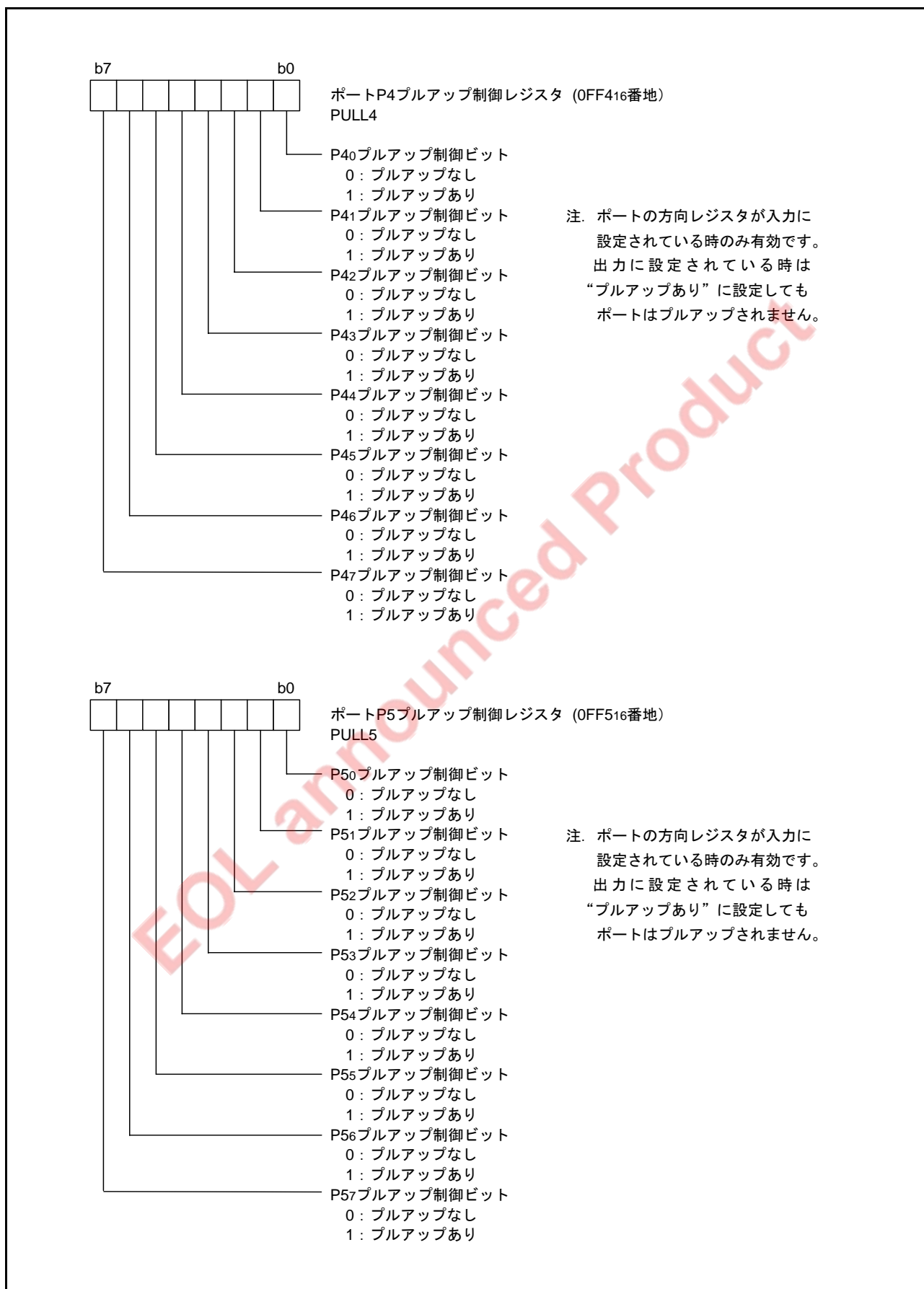


図18. ポートレジスタ構成図(3)

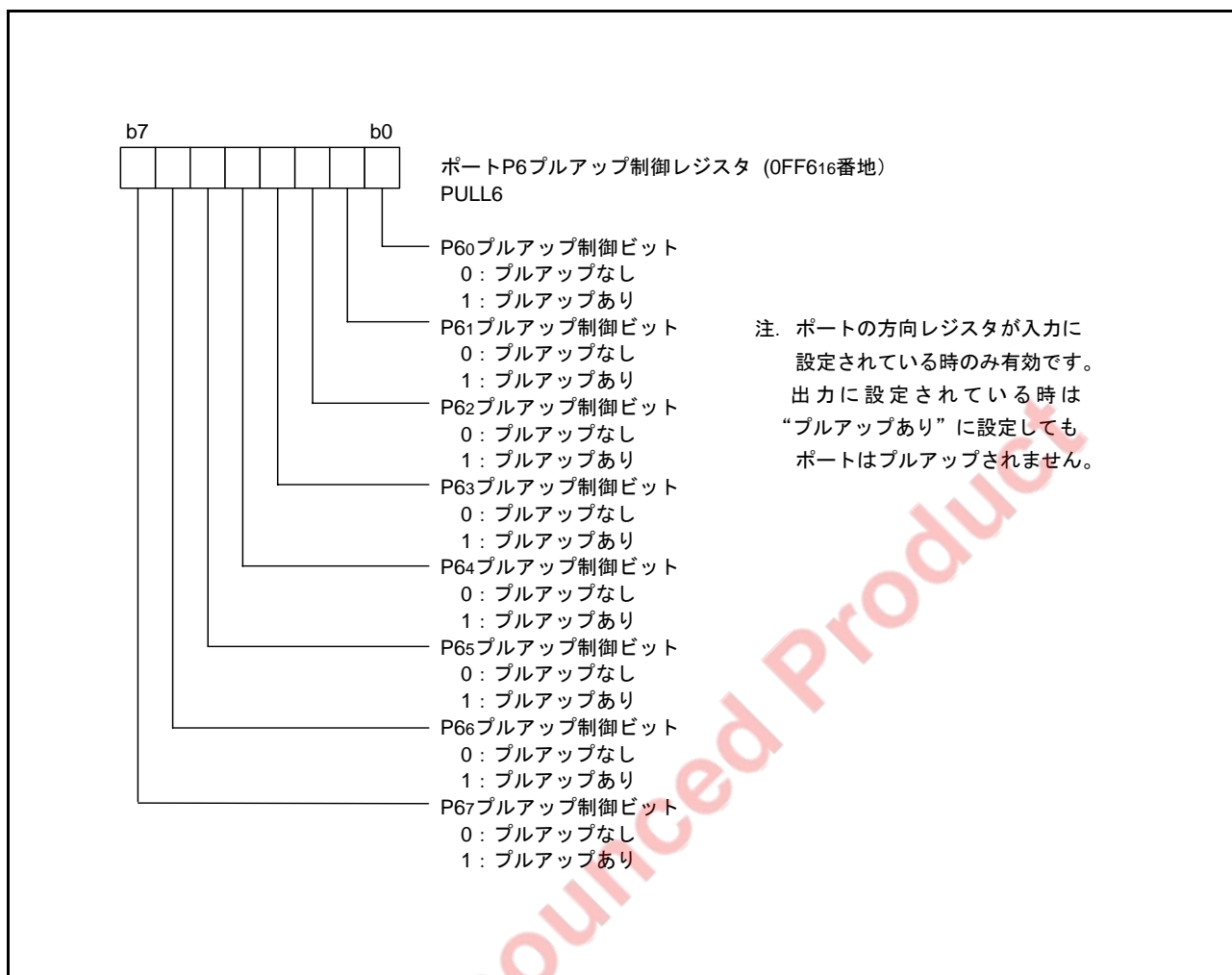


図19. ポートレジスタ構成図(4)

割り込み

3803グループ(H仕様)の割り込みはベクトル割り込みで、外部8要因、内部12要因、ソフトウェア1要因の21要因のうち16要因から発生することが可能です。

• 割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビットおよび割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグまたはビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

• 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

• 割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(0039₁₆番地)によりいずれかを選択することができます。

1. INT₀あるいはタイマZ
2. CNTR₁あるいはシリアルI/O₃受信
3. シリアルI/O₂あるいはタイマZ
4. INT₄あるいはCNTR₂
5. A/D変換あるいはシリアルI/O₃送信

• 外部割り込み端子選択

外部割り込みINT₀、INT₄は、外部入力端子であるINT₀₀、INT₄₀あるいはINT₀₁、INT₄₁のいずれかを割り込みエッジ選択レジスタのINT₀、INT₄割り込み切り替えビット(003A₁₆番地のビット6)により選択することができます。

■ 注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際
対象レジスタ : 割り込みエッジ選択レジスタ (003A₁₆番地)
タイマXYモードレジスタ (0023₁₆番地)
タイマZモードレジスタ (002A₁₆番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ : 割り込み要因選択レジスタ (0039₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを“0”(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4) 該当する割り込み許可ビットを“1”(許可)にする。

表 10. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O1受信	4	FFF7 ₁₆	FFF6 ₁₆	シリアルI/O1データ受信完了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	5	FFF5 ₁₆	FFF4 ₁₆	シリアルI/O1送信シフト終了時または送信バッファ空き時	シリアルI/O1選択時のみ有効
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマY	7	FFF1 ₁₆	FFF0 ₁₆	タイマYアンダフロー時	
タイマ1	8	FFEF ₁₆	FFEE ₁₆	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	9	FFED ₁₆	FFEC ₁₆	タイマ2アンダフロー時	
CNTR ₀	10	FFEB ₁₆	FFEA ₁₆	CNTR ₀ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₁	11	FFE9 ₁₆	FFE8 ₁₆	CNTR ₁ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O3受信				シリアルI/O3データ受信完了時	
シリアルI/O2	12	FFE7 ₁₆	FFE6 ₁₆	シリアルI/O2データ送受信完了時	シリアルI/O2選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT ₂	13	FFE5 ₁₆	FFE4 ₁₆	INT ₂ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
INT ₃	14	FFE3 ₁₆	FFE2 ₁₆	INT ₃ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
INT ₄	15	FFE1 ₁₆	FFE0 ₁₆	INT ₄ 入力の立ち上がりまたは立ち下がリエッジ検出時	外部割り込み (極性プログラマブル)
CNTR ₂				CNTR ₂ 入力の立ち上がりまたは立ち下がリエッジ検出時	
A/D変換	16	FFDF ₁₆	FFDE ₁₆	A/D変換終了時	シリアルI/O3選択時のみ有効
シリアルI/O3送信				シリアルI/O3送信シフト終了時または送信バッファ空き時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。
 注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

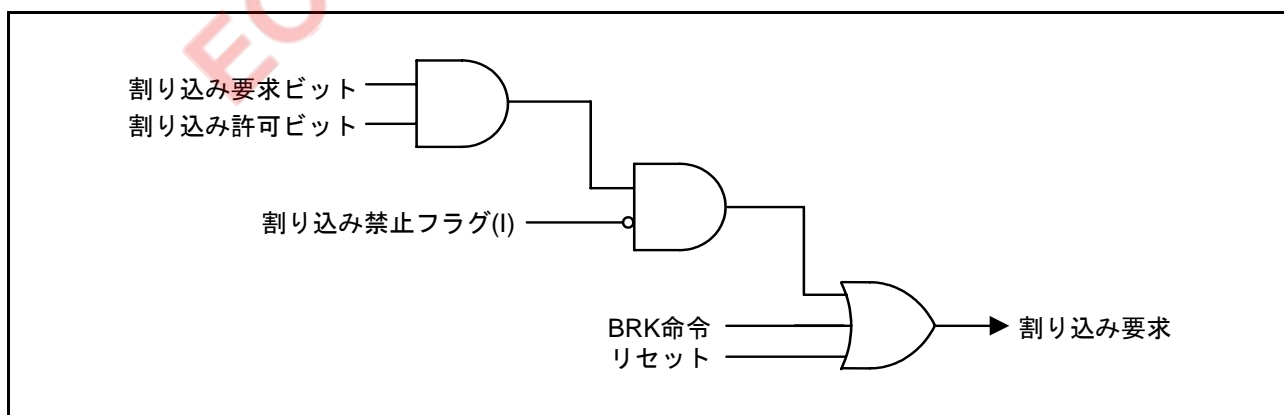


図 20. 割り込み制御図

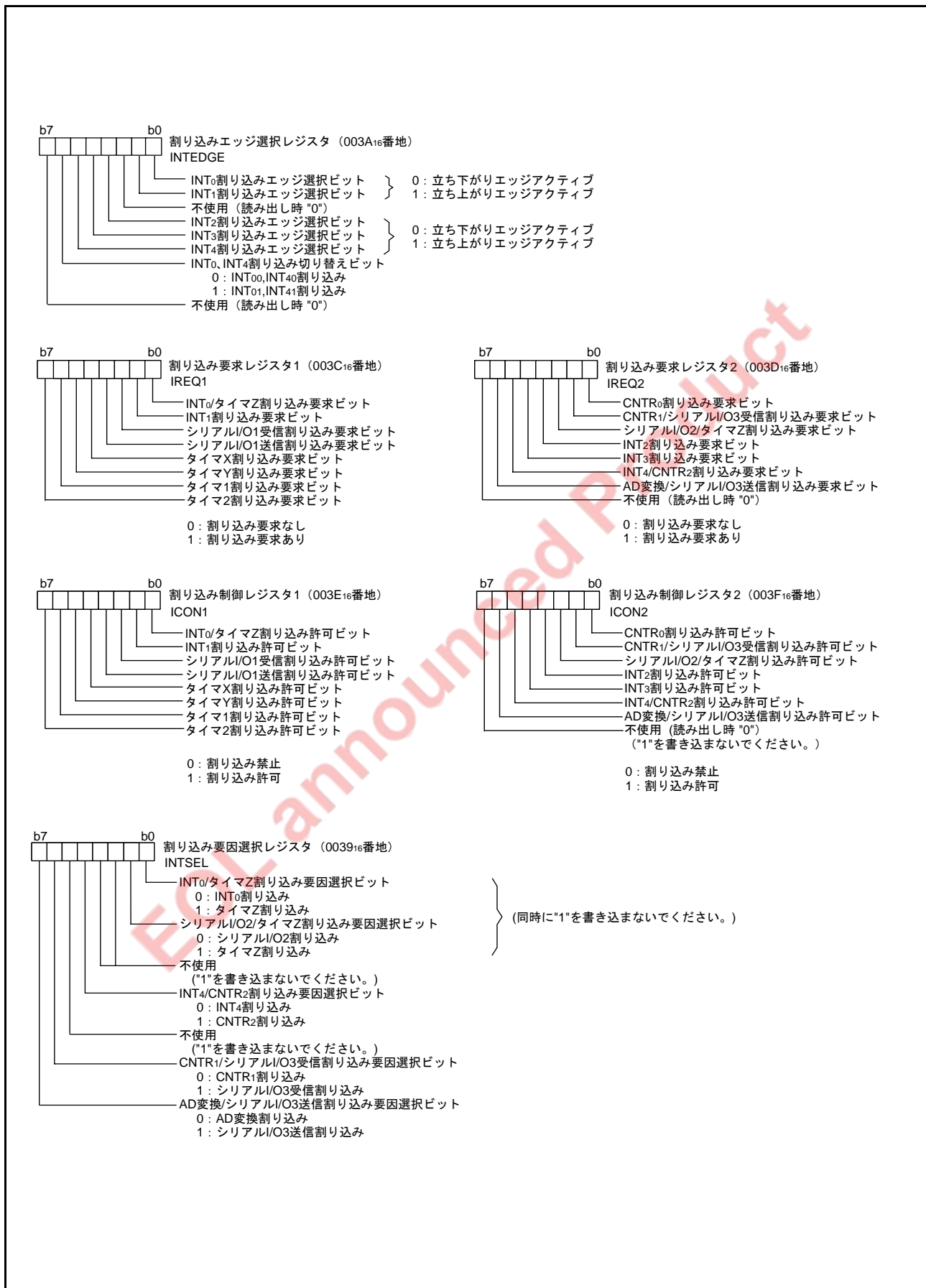


図21. 割り込み関係レジスタの構成

タイマ

●8ビットタイマ

タイマ1,タイマ2,タイマX,タイマYは8ビットのタイマで、タイマ1、タイマ2に共通で1本、タイマX、タイマYにそれぞれ1本ずつ8ビットプリスケアラを内蔵しています。それぞれのタイマ、プリスケアラにはタイマラッチ、プリスケアララッチを持っています。

すべてのタイマおよびプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされ、カウントダウンが継続されます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

・タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B₁₆番地)のメインクロック分周比選択ビット(b7, b6)が“00”(高速モード)、“01”(中速モード)のときはX_{IN}となり、“10”(低速モード)のときはX_{CIN}となります。

・プリスケアラ12

プリスケアラ12はタイマ用分周器の出力をカウントします。カウントソースは、タイマ12, Xカウントソース選択レジスタ(000E₁₆番地)で制御され、f(X_{IN})またはf(X_{CIN})のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024が選択できます。

・タイマ1、タイマ2

タイマ1およびタイマ2は、常にプリスケアラ12の出力をカウントし、周期的に割り込み要求ビットをセットします。

・プリスケアラX、プリスケアラY

プリスケアラX, プリスケアラYはタイマ用分周器の出力、またはf(X_{CIN})をカウントします。カウントソースは、タイマ12, Xカウントソース選択レジスタ(000E₁₆番地)、タイマY, Zカウントソース選択レジスタ(000F₁₆番地)で制御され、f(X_{IN})またはf(X_{CIN})のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024、またはf(X_{CIN})が選択できます。

・タイマX、タイマY

タイマXYモードレジスタ(0023₁₆番地)を設定することにより、それぞれ4つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“00”に設定することによりこのモードが選択されます。

<動作説明>

タイマカウント動作はタイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)に“0”を設定することにより開始します。タイマの内容が“00”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。

(2) パルス出力モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“01”に設定することによりこのモードが選択されます。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR0/CNTR1端子から出力することを除けば、タイマモードと同じ動作をします。タイマカウント動作停止中/許可中に関わらずCNTR0/CNTR1端子の出力はタイマへの書き込みによってCNTR0/CNTR1極性切り替えビットで設定されるレベルに初期化されます。タイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)が“0”のときはCNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

CNTR0/CNTR1極性切り替えビットの値を書き替えると、CNTR0/CNTR1端子の出力レベルが反転します。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を出力に設定してください。

(3) イベントカウンタモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“10”に設定することによりこのモードが選択されます。

<動作説明>

CNTR0/CNTR1端子からの入力信号をカウントすることを除けば、タイマモードと同じ動作をします。カウント動作の有効エッジはタイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

(4) パルス幅測定モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“11”に設定することによりこのモードが選択されます。

<動作説明>

タイマXYモードレジスタ(0023₁₆番地)のCNTR₀極性切り替えビット(b2)、CNTR₁極性切り替えビット(b6)が“1”の場合はCNTR₀/CNTR₁端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。また、“0”の場合はCNTR₀/CNTR₁端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。

<注意事項>

このモードではCNTR₀/CNTR₁端子と共用のポートP54/P55を入力に設定してください。

いずれのモードでも、タイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)を“1”に設定することによりカウントを停止することが可能です。

また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

• カウントソース切り替え時の注意

タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

EOL announced Product

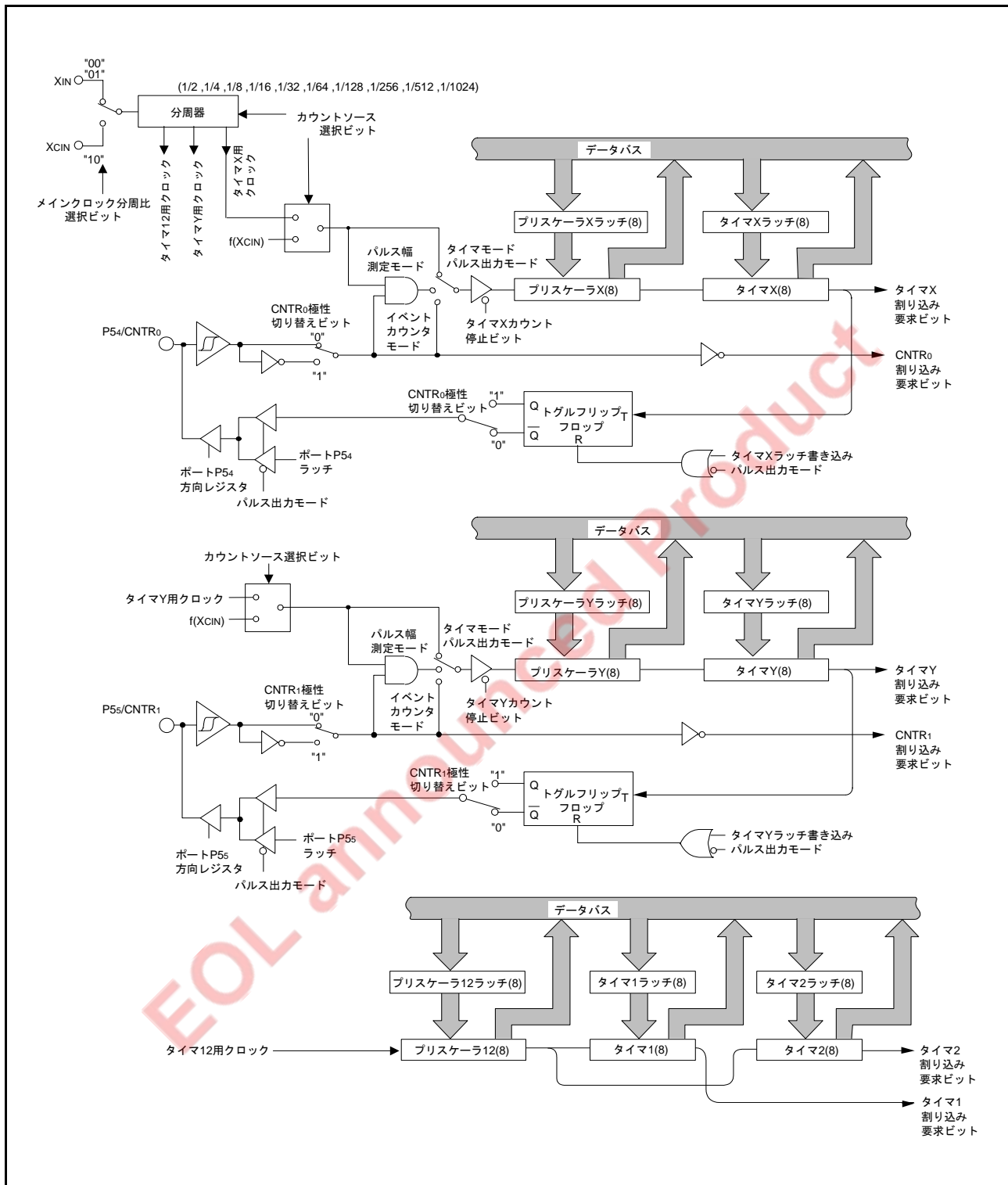


図22. タイマX, タイマY, タイマ1およびタイマ2のブロック図

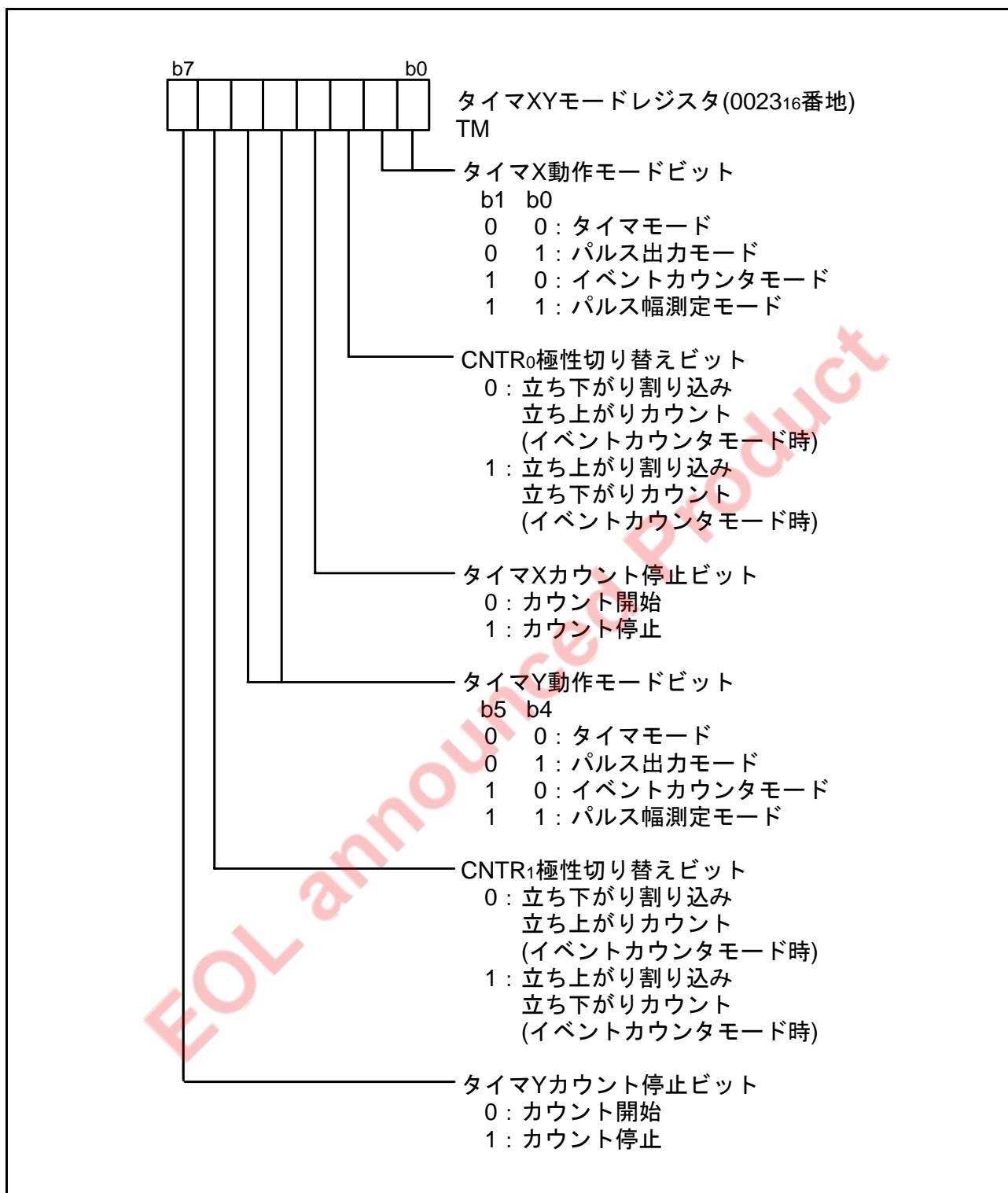


図23. タイマXYモードレジスタの構成

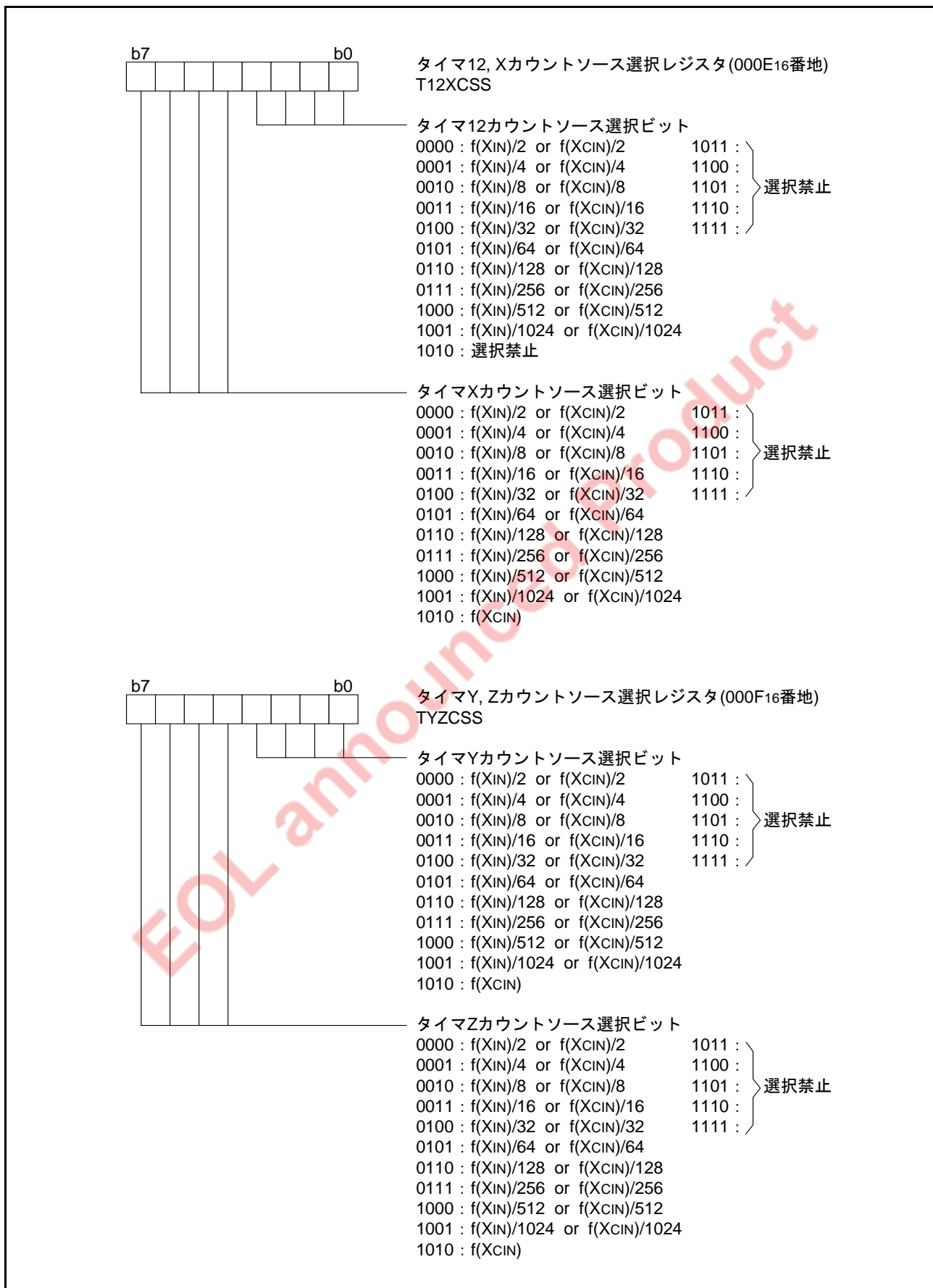


図24. タイマ12, X, Y, Zカウントソース選択レジスタの構成

●16ビットタイマ

タイマZは16ビットのタイマで、タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZに対応する割り込み要求ビットが“1”にセットされます。

タイマZを読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZの値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZへの書き込みを行わないでください。タイマZへ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZの読み出しを行わないでください。

タイマY,Zカウントソース選択レジスタ(000F16番地)のタイマZカウントソース選択ビット(b7, b6, b5, b4)によりカウントソースを選択することができます。

タイマZはタイマZモードレジスタにより7つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“000”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー発生時、割り込み要求レジスタ1(003C16番地)のINT0/タイマZ割り込み要求ビット(b0)が“1”になります。

<動作説明>

タイマ停止状態では、通常ラッチおよびタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZモードレジスタ(002A16番地)のタイマZカウント停止ビット(b6)に“0”を設定することにより開始します。タイマの内容が“000016”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

(2) イベントカウンタモード

<モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“000”に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を“1”に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマモードの動作説明と同様です。このモードではCNTR2端子と共用のポートP47を入力に設定してください。

図27にタイマ・イベントカウンタモードのタイミング図を示します。

(3) パルス出力モード

<モードの選択>

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“001”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

<カウントソース選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルス CNTR2端子から出力することを除けば、タイマモードと同じ動作をします。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”のときはCNTR2端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

<注意事項>

このモードを選択すると、CNTR2端子と共用のポートP47は自動的にタイマパルス出力ポートに設定されます。

CNTR2端子の出力はタイマへの書き込みによってCNTR2極性切り替えビットで設定されるレベルに初期化されます。

CNTR2極性切り替えビットの値を書き替えるとCNTR2端子の出力レベルが反転します。

図28にパルス出力モードのタイミング図を示します。

(4) パルス周期測定モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“010”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

パルス周期測定終了と同時に割り込み要求レジスタ2(003D16番地)のINT4/CNTR2割り込み要求ビット(b5)が“1”になります。

<動作説明>

CNTR2端子から入力されたパルスの周期を測定します。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”の場合はCNTR2端子入力の立ち下がりから次の立ち下がりまでの期間中カウントします。“1”の場合はCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには“FFFF16”が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマには“FFFF16”が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図29にパルス周期測定モードのタイミング図を示します。

(5) パルス幅測定モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“011”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することによりこのモードになります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

パルス幅測定終了と同時に割り込み要求レジスタ2(003D16番地)のINT4/CNTR2割り込み要求ビット(b5)が“1”になります。

<動作説明>

CNTR2端子から入力されたパルス幅を測定します。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“0”の場合はCNTR2端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。タイマZモードレジスタ(002A16番地)のCNTR2極性切り替えビット(b5)が“1”の場合はCNTR2端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれます。また、測定終了/開始の有効エッジを検出した場合、タイマには“FFFF16”が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマには“FFFF16”が設定されます。

タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。

よってパルス幅測定開始時のタイマの値は、測定開始前のタイマの値に依存します。

図30にパルス幅測定モードのタイミング図を示します。

(6) プログラマブル波形発生モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“100”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびにタイマZモードレジスタ(002A16番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR2端子より発生することが可能です。

<注意事項>

このモードを選択するとCNTR2端子と共用のポートP47は自動的にプログラマブル波形発生ポートに設定されます。

図31にプログラマブル波形発生モードのタイミング図を示します。

(7) プログラマブルワンショット発生モード**<モードの選択>**

タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2, b1, b0)を“101”に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を“0”に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A16番地)のINT1割り込みエッジ選択ビット(b1)の設定により、“0”のときは立ち下がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT1端子の有効エッジ検出によって、割り込み要求レジスタ1(003C16番地)のINT1割り込み要求ビット(b1)が“1”になります。

<動作説明>

“H”ワンショットパルスの場合：

タイマZモードレジスタのb5=“0”

CNTR2端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合：

タイマZモードレジスタのb5=“1”

CNTR2端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

<注意事項>

このモードではINT1端子と共用のポートP42を入力に設定してください。

CNTR2端子と共用のポートP47はこのモードを選択すると自動的にプログラマブル波形発生ポートに設定されます。

低速モード選択時このモードは使用できません。

ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

図32にプログラマブルワンショット発生モードのタイミング図を示します。

■全モードにおける注意事項

• タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A16番地)のタイマZ書き込み制御ビット(b3)によってラッチおよびタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチおよびタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なおラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

• タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

• CNTR2、INT1割り込み極性切り替えについての注意

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

• カウントソース切り替え時の注意

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

• CNTR2端子を通常入出力ポートP47としてご使用される場合の注意

CNTR2端子と共用のポートP47を通常入出力ポートとしてご使用される場合は、タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2,b1,b0)を“000”に設定してください。

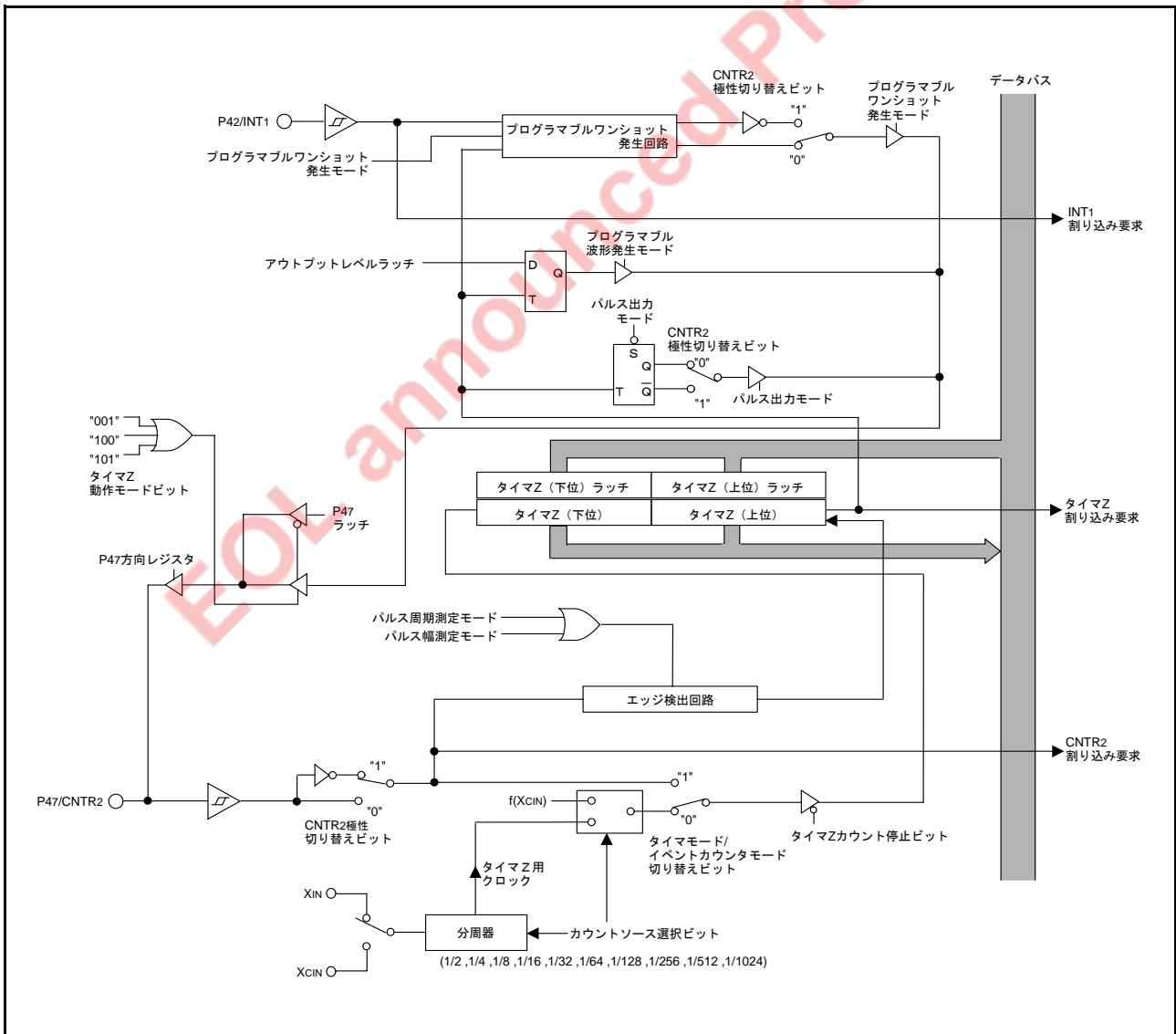


図25. タイマZのブロック図

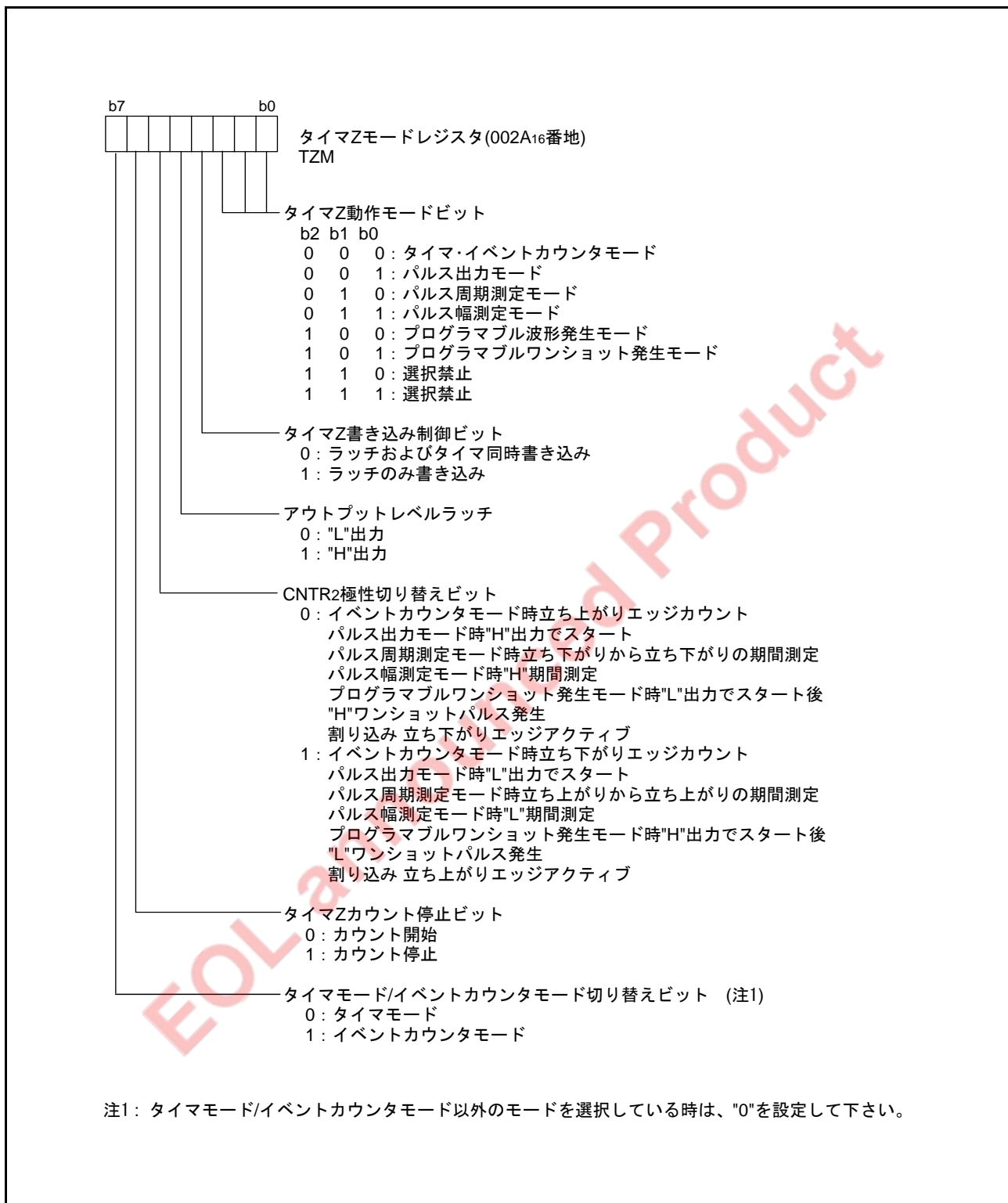


図26. タイマZモードレジスタの構成

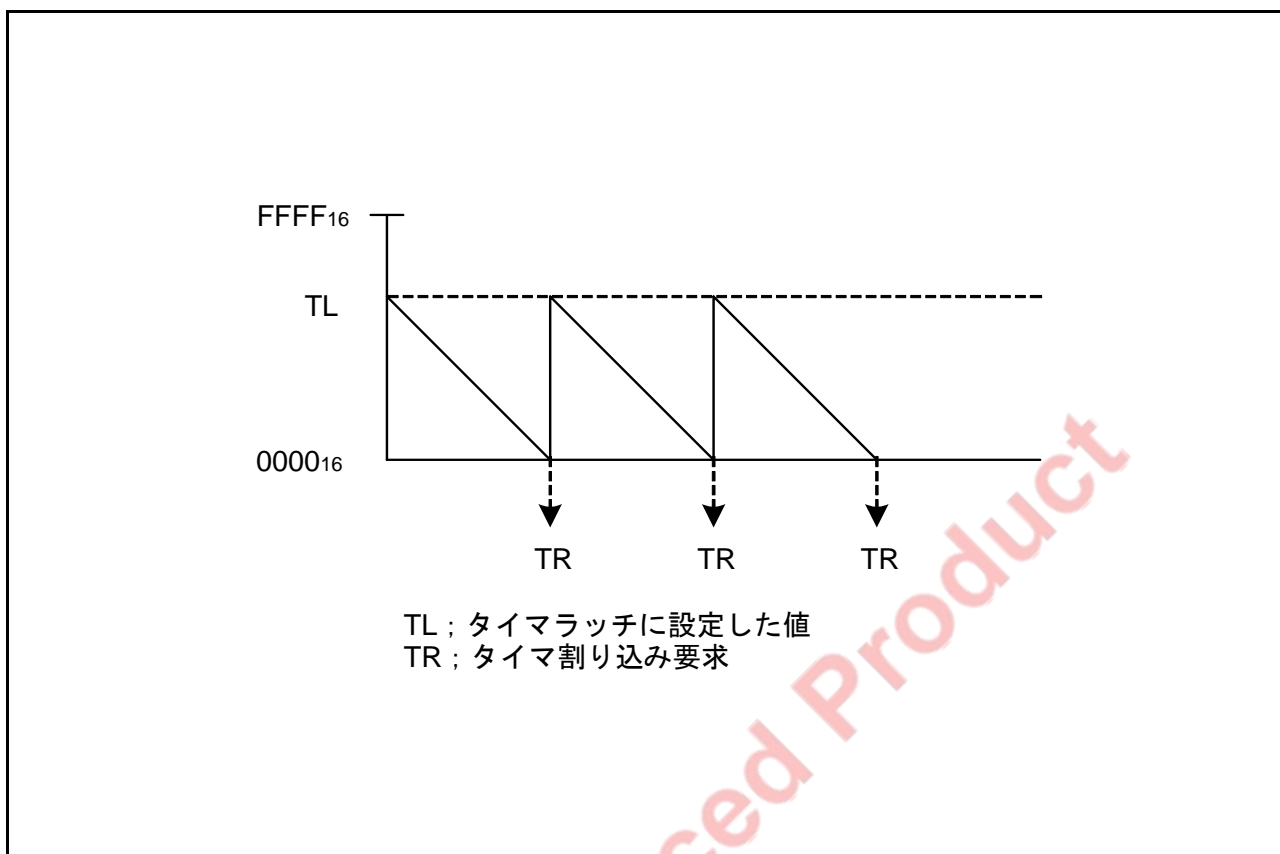


図27. タイマ・イベントカウンタモードのタイミング図

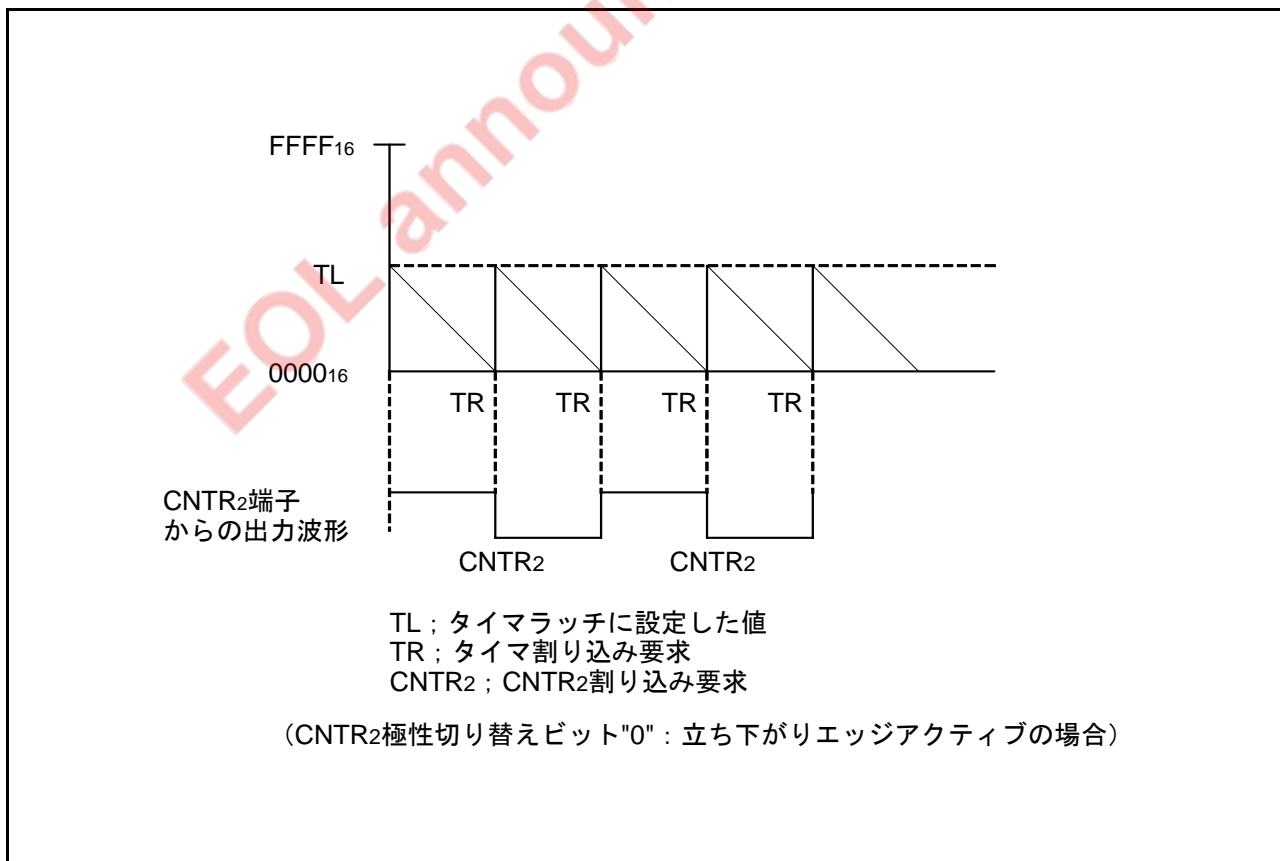


図28. パルス出力モードのタイミング図

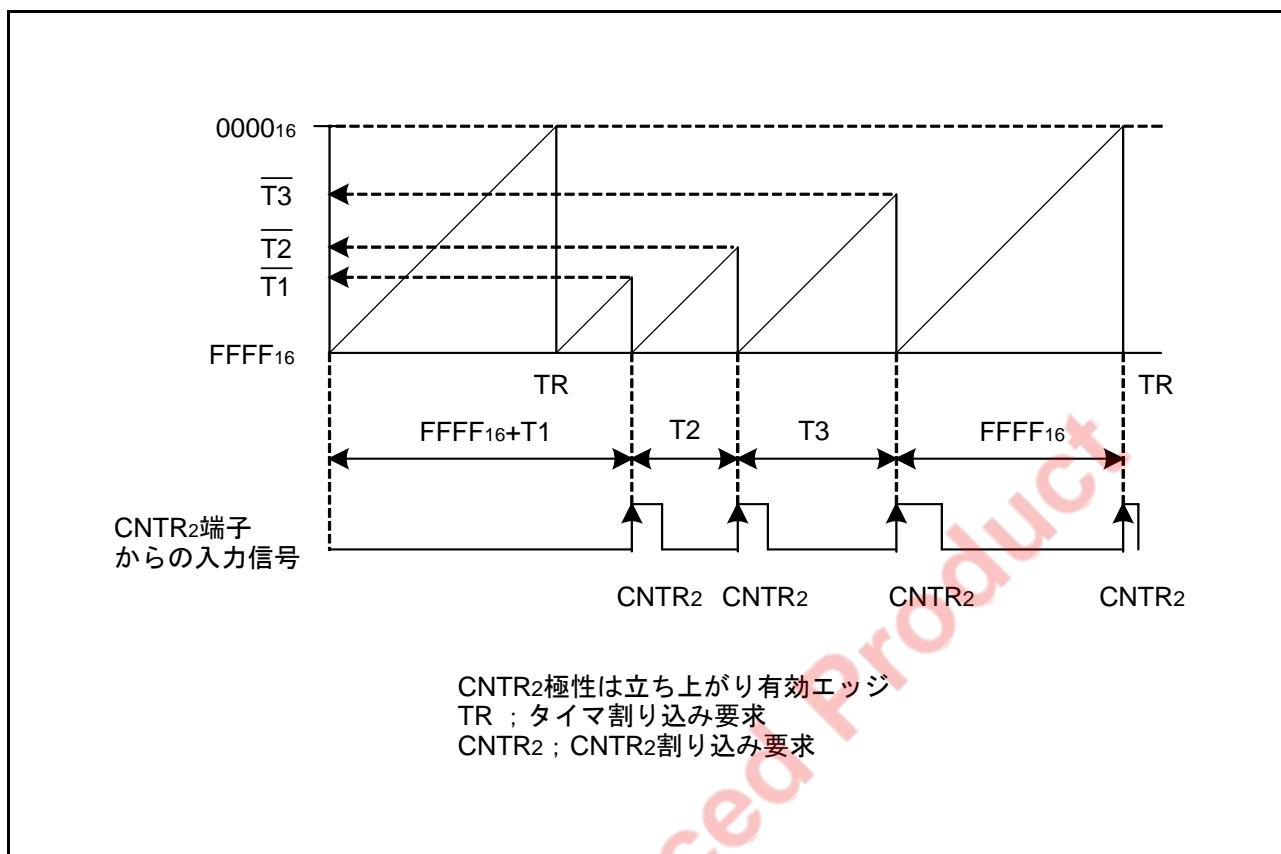


図29. パルス周期測定モードのタイミング図 (立ち上がり区間測定時)

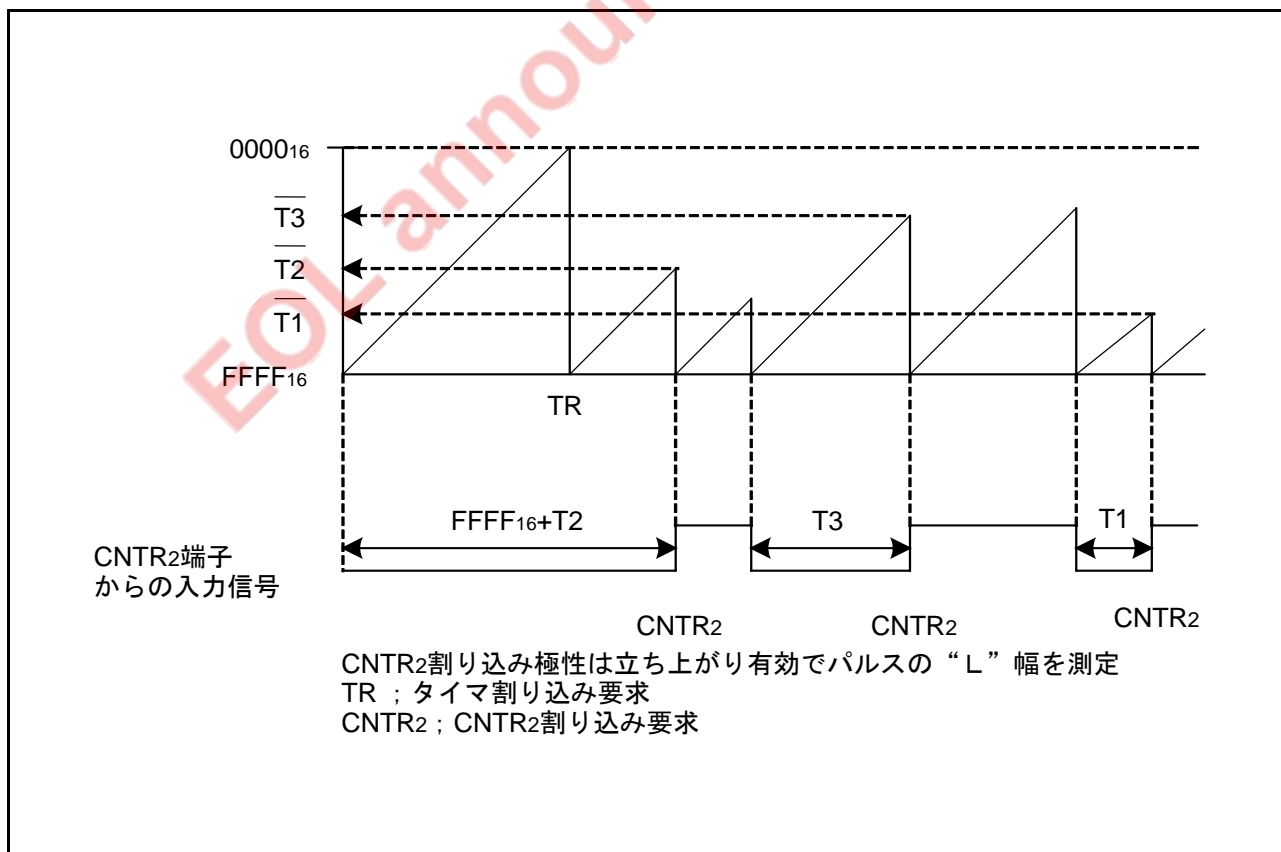


図30. パルス幅測定モードのタイミング図 (“L区間”測定時)

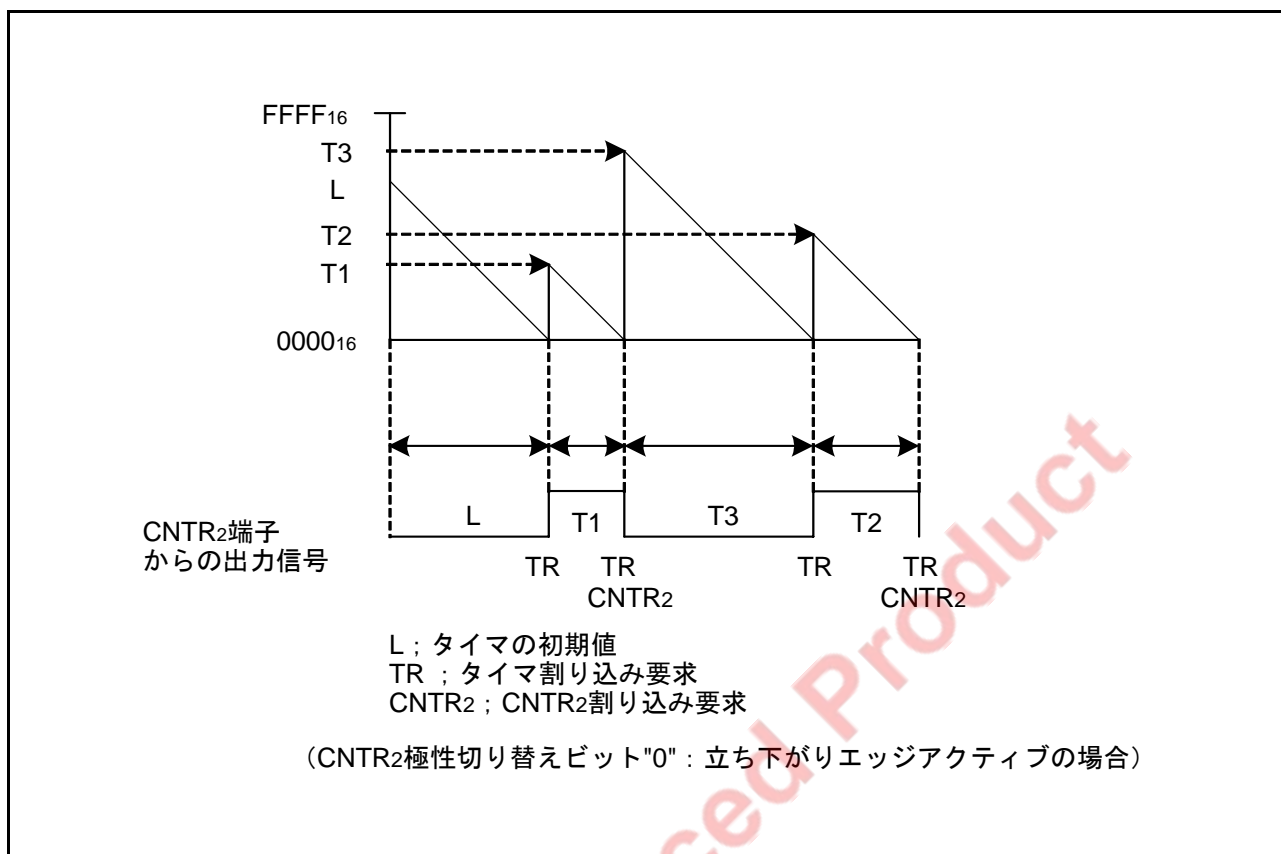


図31. プログラマブル波形発生モードのタイミング図

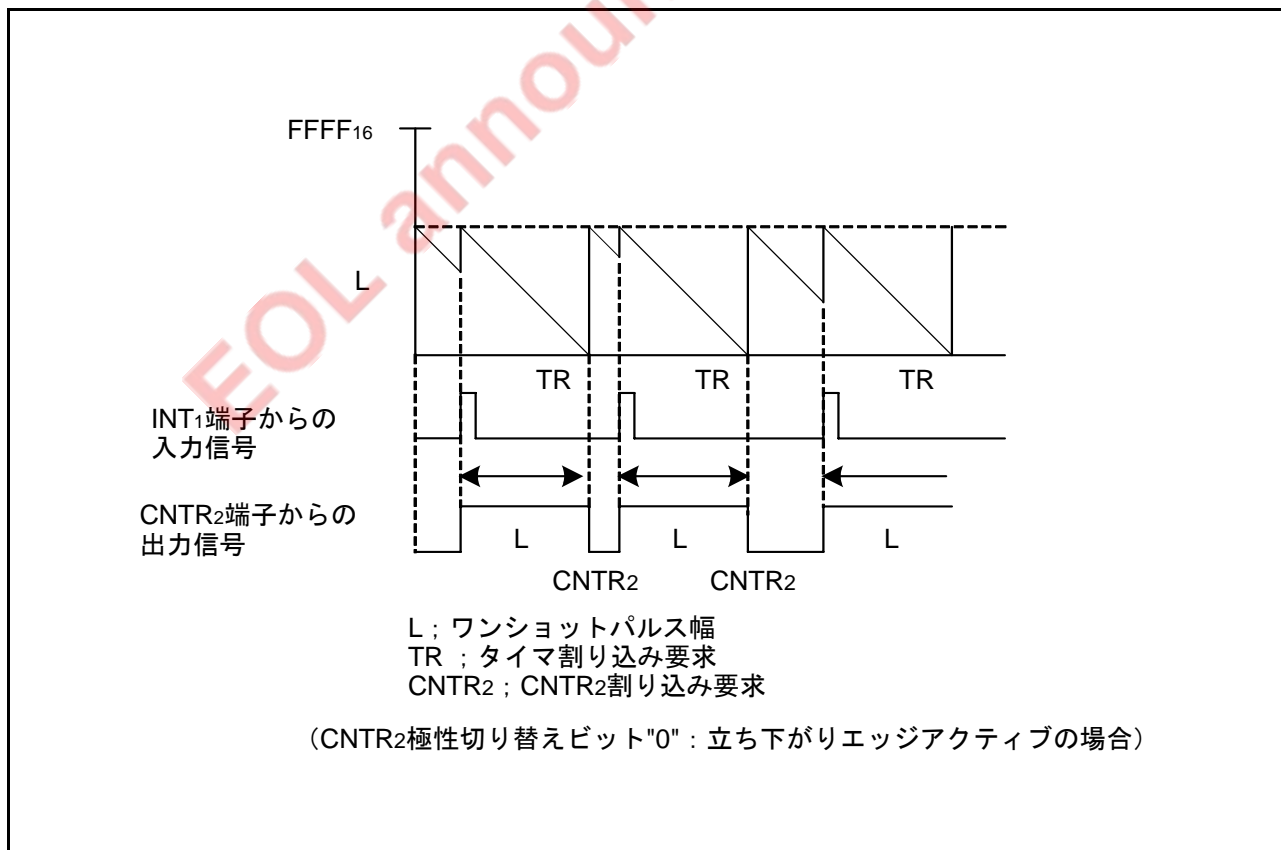


図32. プログラマブルワンショット発生モードのタイミング図 (“H” ワンショットパルス発生時)

シリアルインタフェース

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

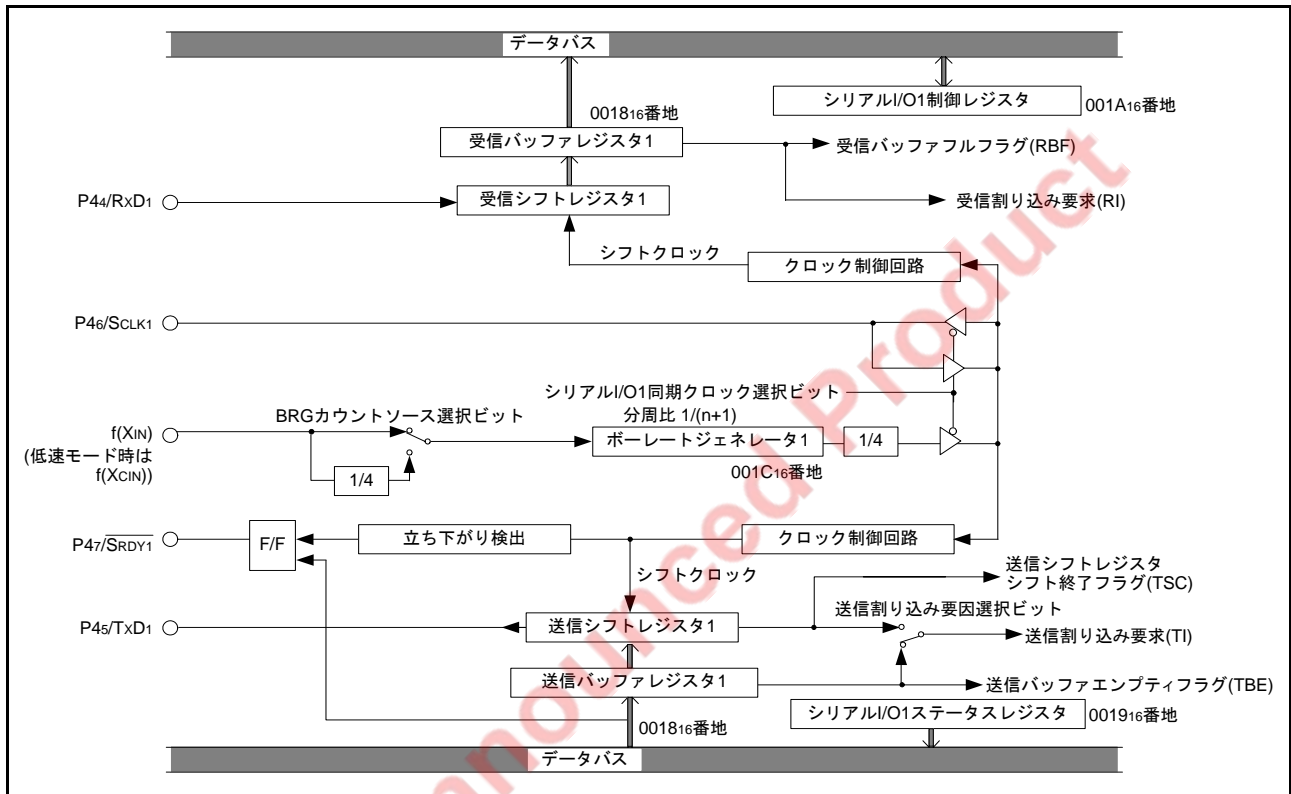


図33. クロック同期形シリアルI/O1ブロック図

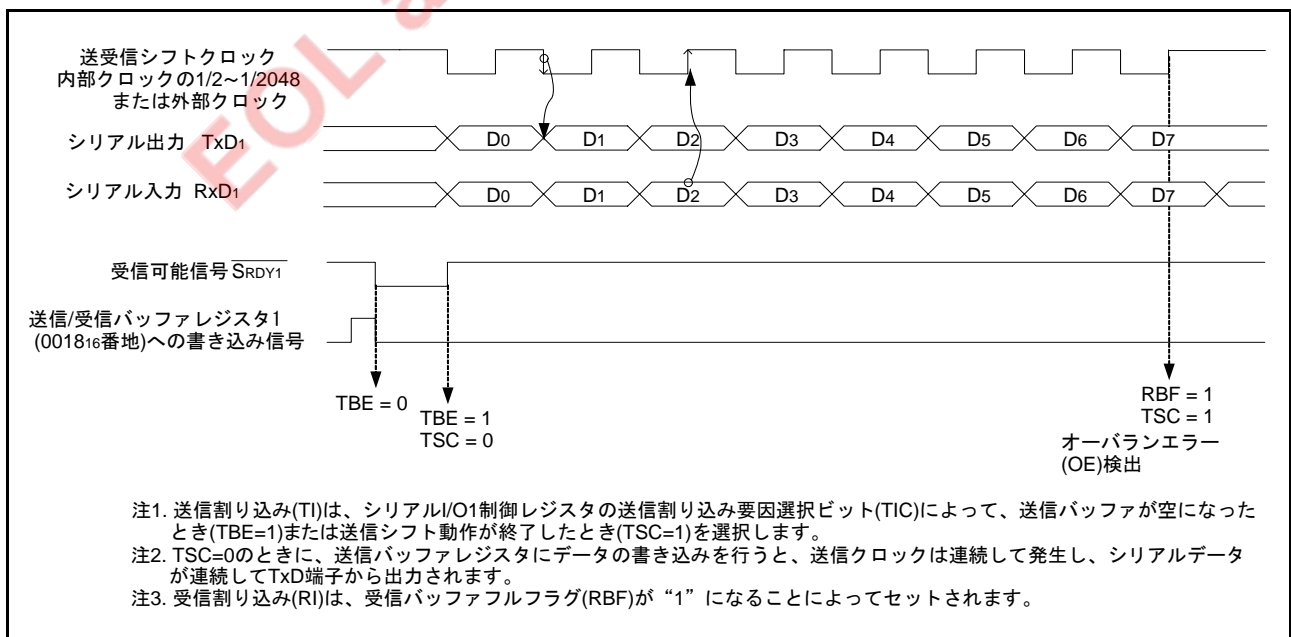


図34. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを

持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

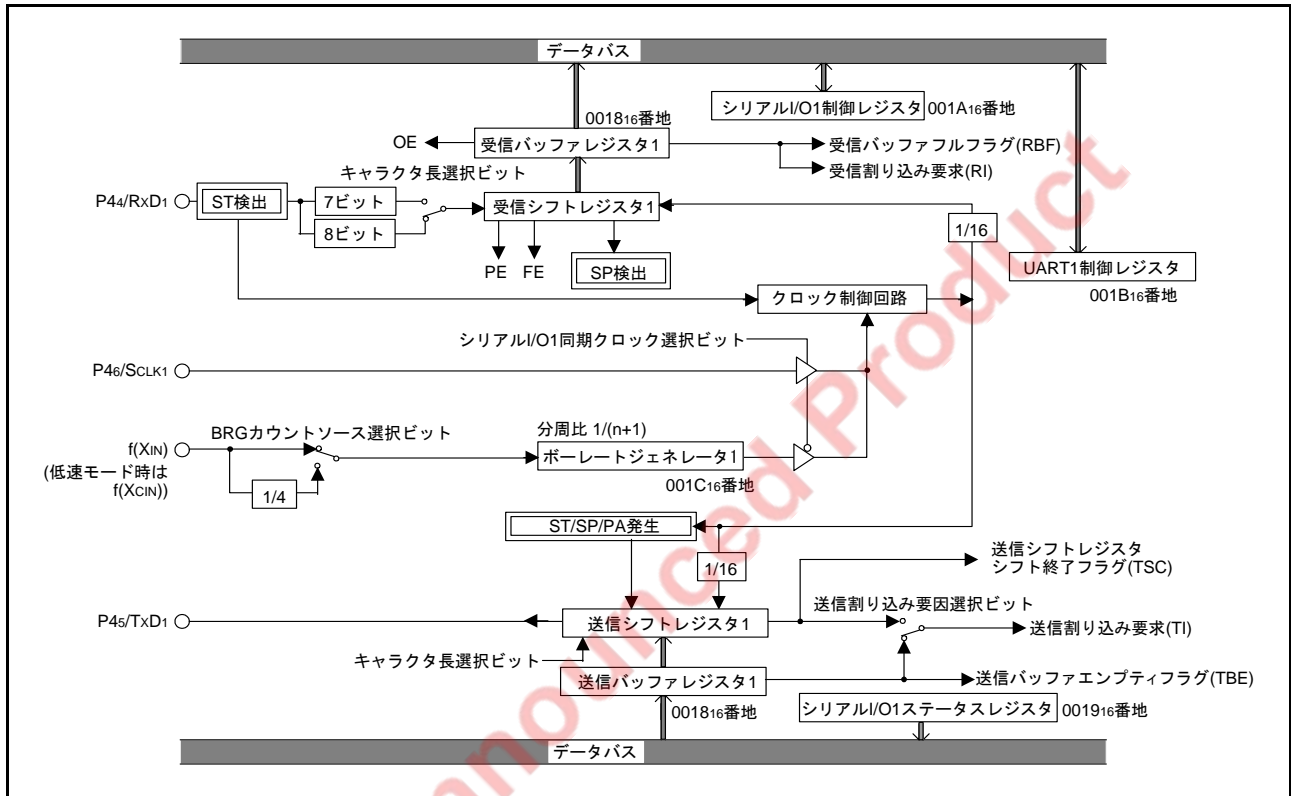
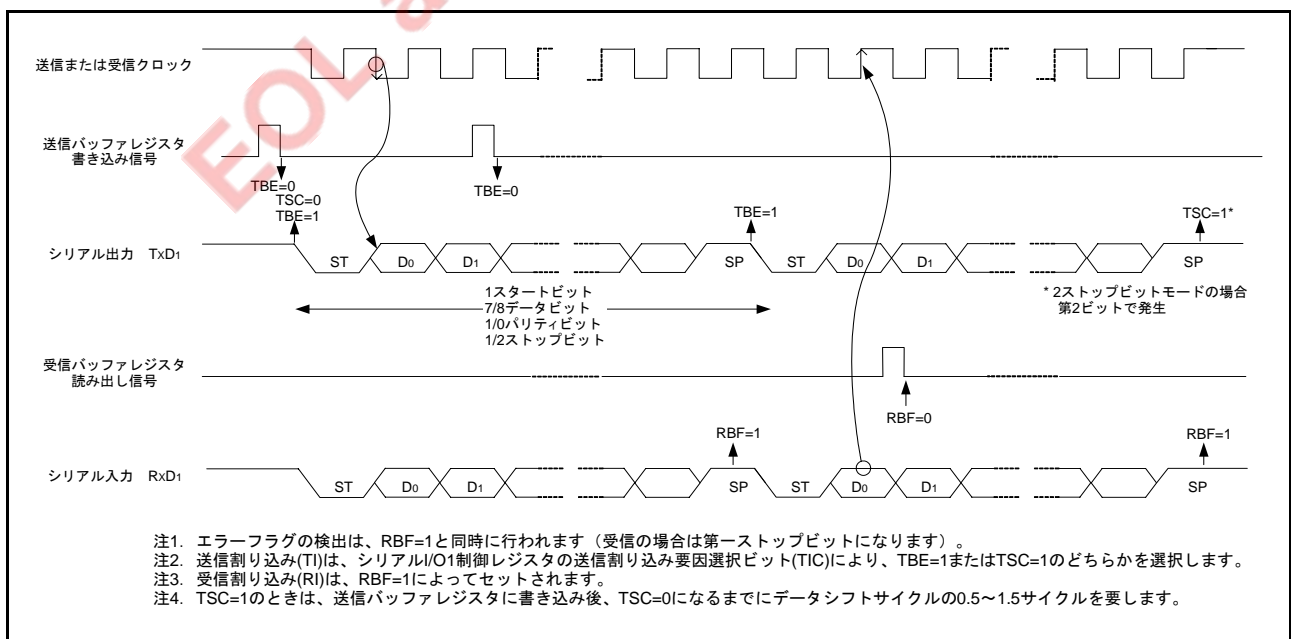


図35. UART形シリアルI/O1ブロック図



注1. エラーフラグの検出は、RBF=1と同時に進行されます(受信の場合は第一ストップビットになります)。
 注2. 送信割り込み(TI)は、シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1またはTSC=1のどちらかを選択します。
 注3. 受信割り込み(RI)は、RBF=1によってセットされます。
 注4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

図36. UART形シリアルI/O1動作図

【送信バッファレジスタ1/受信バッファレジスタ1】TB1/RB1

送信バッファレジスタ1と受信バッファレジスタ1は同じアドレスに配置されており、送信バッファレジスタ1は書き込み専用、受信バッファレジスタ1は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ1に格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIO1STS

シリアルI/O1の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1制御レジスタのシリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART1制御レジスタ】UART1CON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD1端子の出力形式などを設定します。

【ボーレートジェネレータ1】BRG1

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

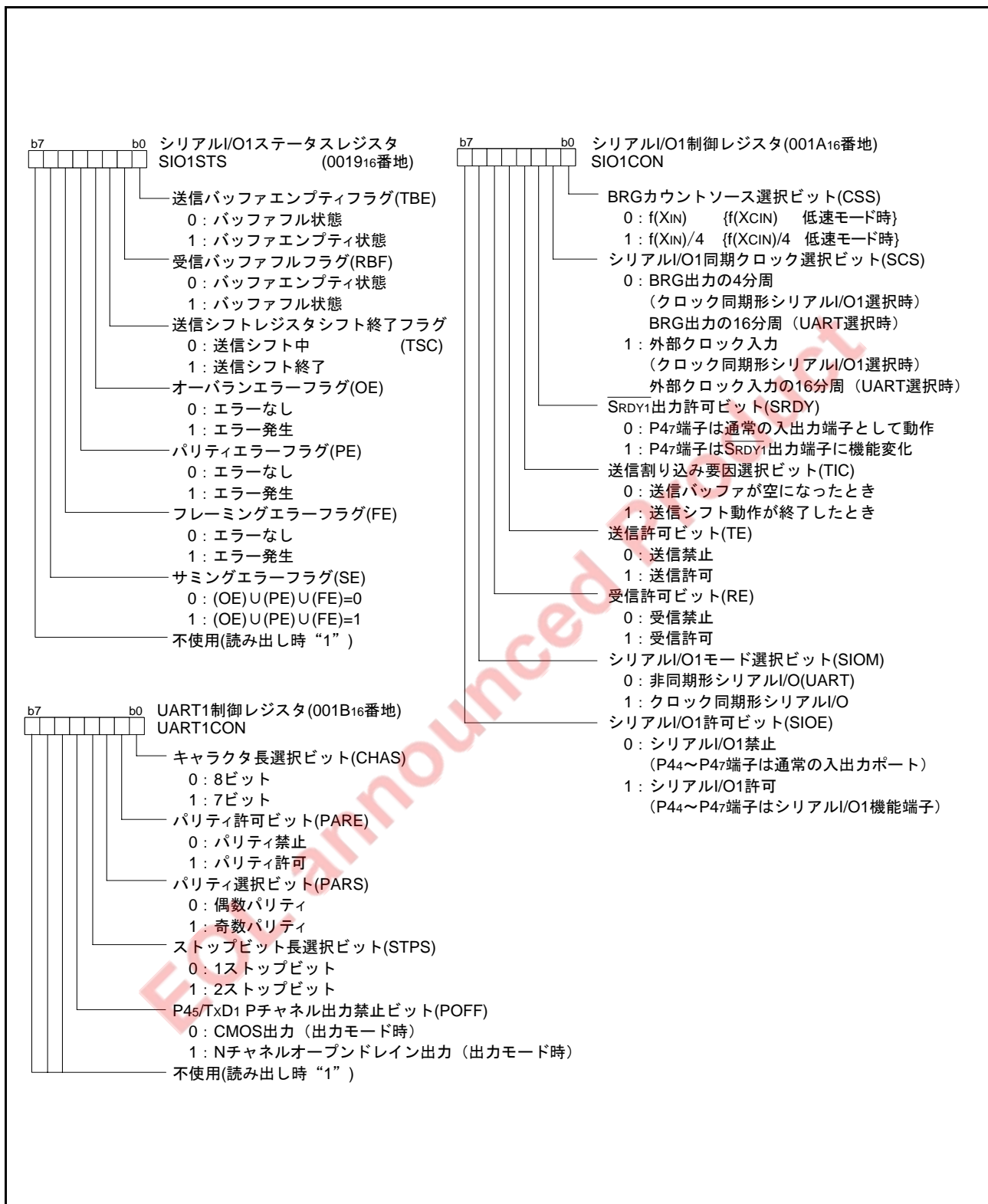


図37. シリアルI/O1関係レジスタの構成

■ シリアルI/O1の注意事項

1. 同期形の選択時

1.1 送信動作の停止

• 注意事項

シリアルI/O1許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

• 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

1.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)またはシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

1.3 送受信動作の停止

• 注意事項

送信許可ビットおよび受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

• 理由

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また< 1.1 送信動作の停止 >と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

2. 非同期形の選択時

2.1 送信動作の停止

• 注意事項

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O1許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

2.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)にしてください。

2.3 送受信動作の停止

• 注意事項 1 (送信のみの停止)

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O1許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O1許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD1, RxD1, SCLK1, $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD1端子に出力され、不具合の原因となります。

• 注意事項 2 (受信のみの停止)

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側の $\overline{\text{SRDY1}}$ 出力

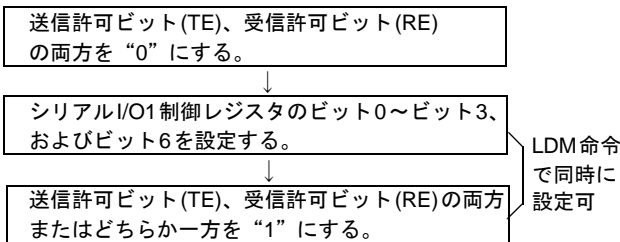
• 注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY1}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY1}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

4. シリアルI/O1制御レジスタの再設定

• 注意事項

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。



5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

• 注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6. 外部クロック選択時の送信制御

• 注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態では送信許可ビットを“1”にしてください。

また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

7. 送信許可ビットセット時の送信割り込み要求

• 注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ① シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
- ② 送信許可ビットを“1”にする。
- ③ 一命令以上おいてからシリアルI/O1送信割り込み要求ビットを“0”にする。
- ④ シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

• 理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグおよび送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタ(001F16番地)への書き込み信号により行われます。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは、8ビットでシリアルI/O2の各種制御を行う選択ビットで構成されています。

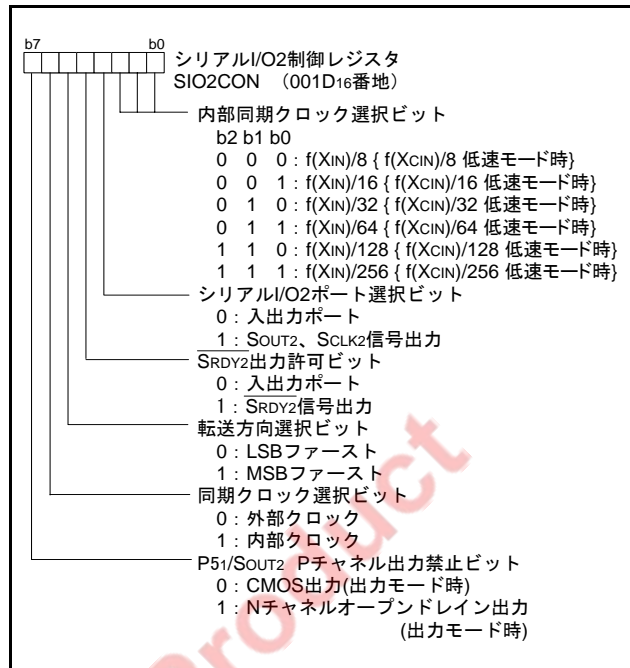


図38. シリアルI/O2制御レジスタの構成

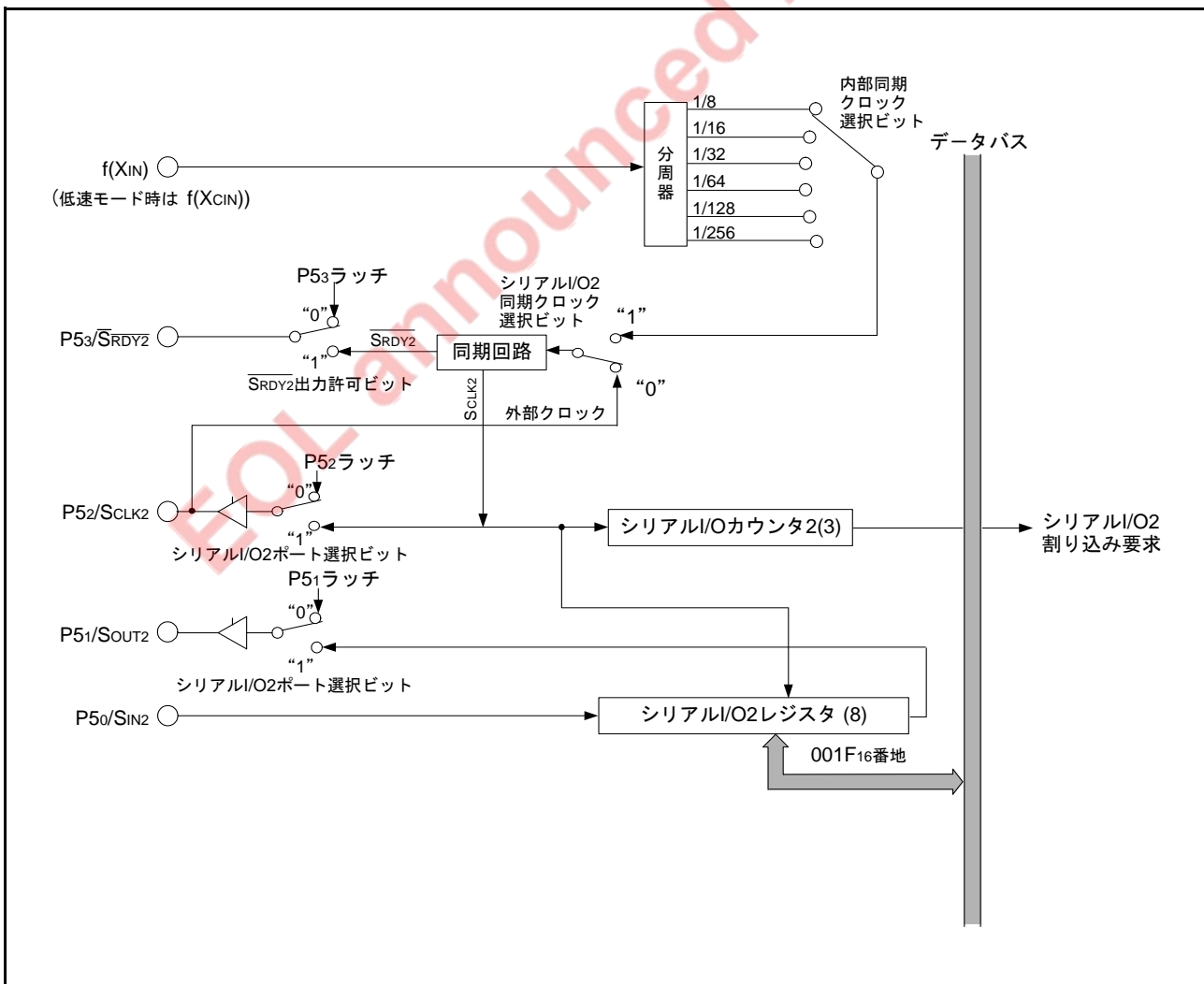


図39. シリアルI/O2ブロック図

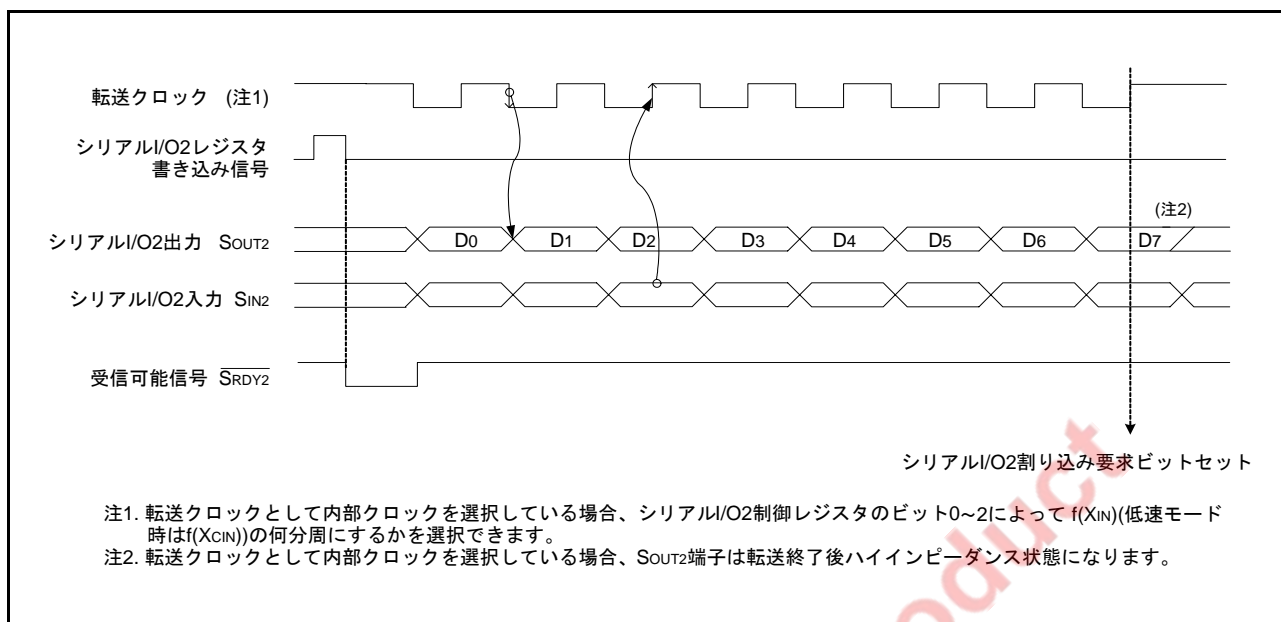


図40. シリアルI/O2タイミング図

EOL announced Product

●シリアルI/O3

シリアルI/O3はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O3動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O3制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

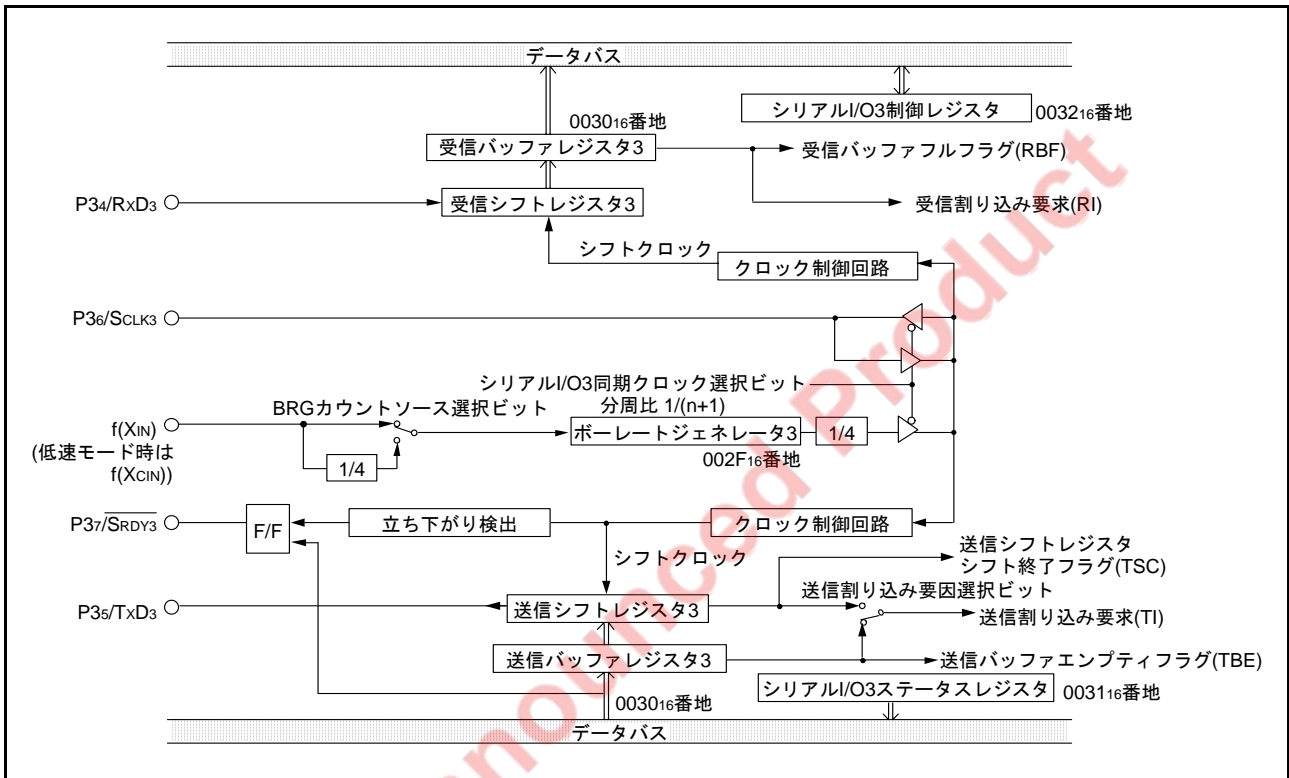


図41. クロック同期形シリアルI/O3ブロック図

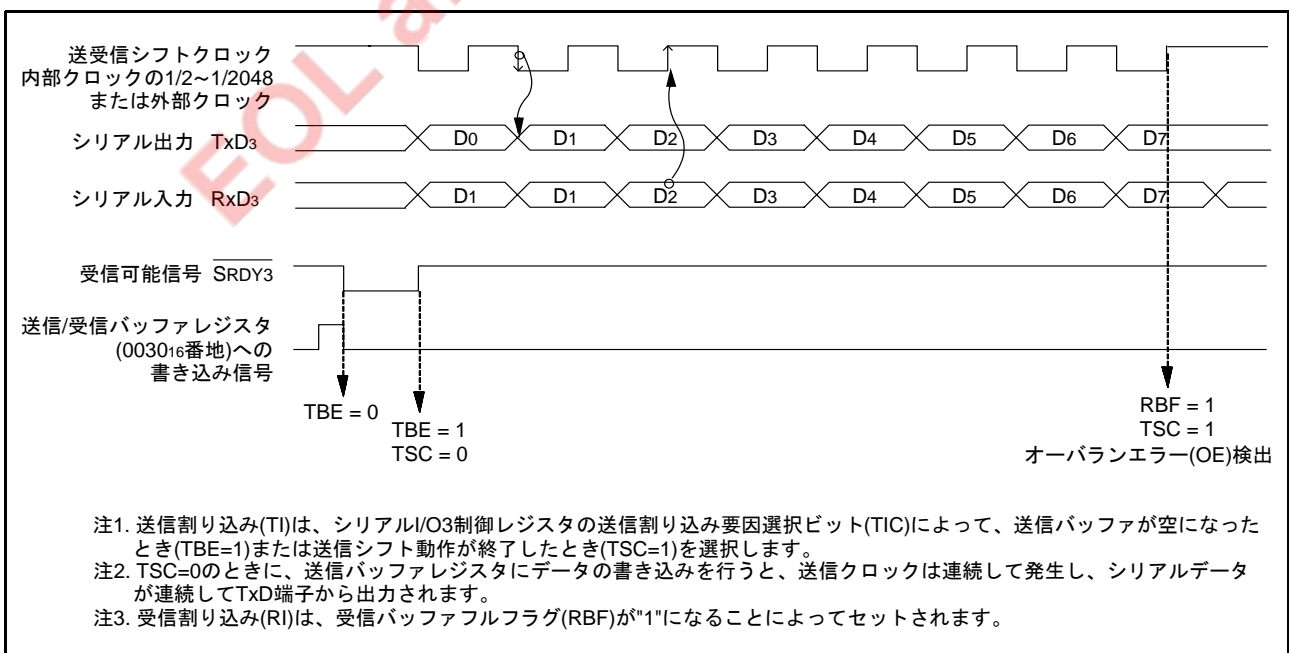


図42. クロック同期形シリアルI/O3動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O3制御レジスタのシリアルI/O3モード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを

持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

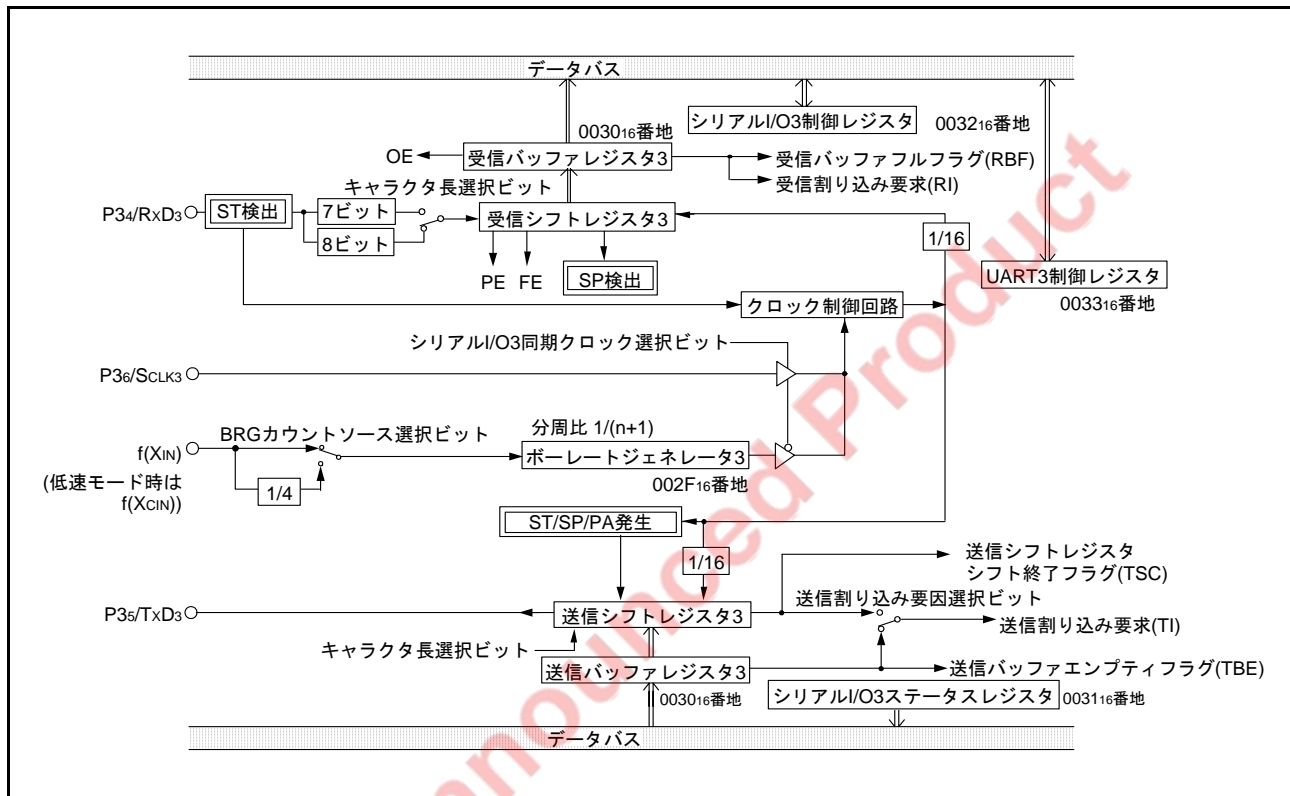


図43. UART形シリアルI/O3ブロック図

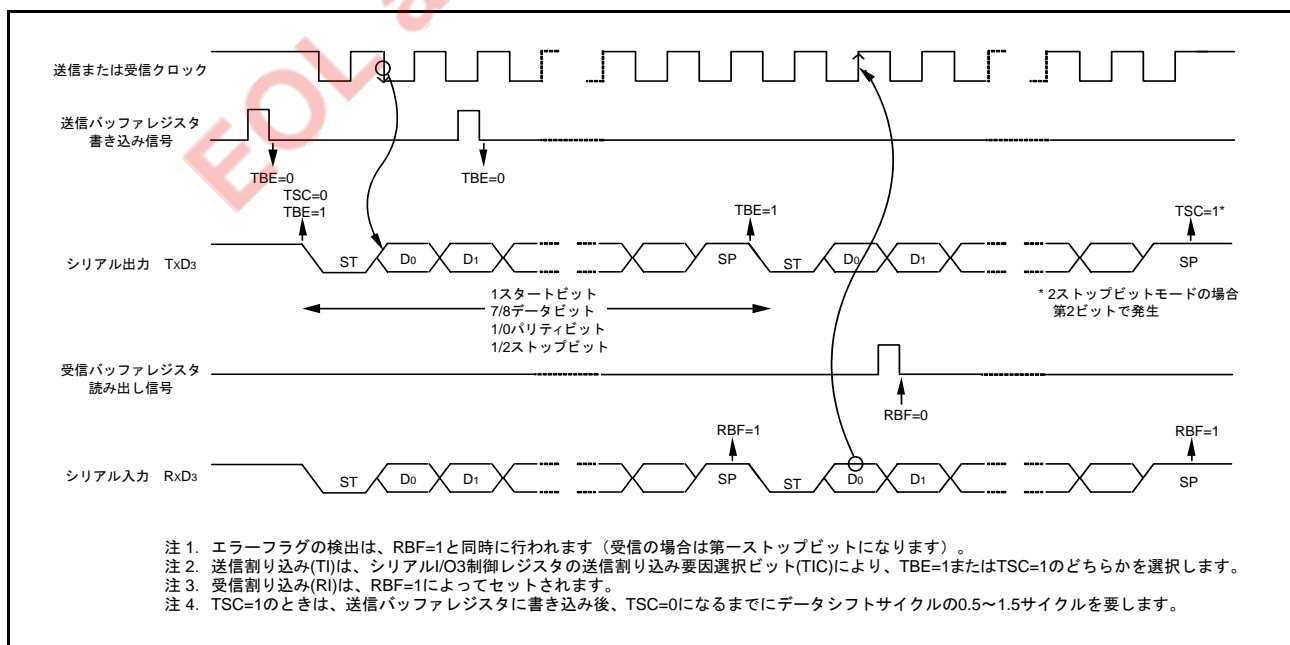


図44. UART形シリアルI/O3動作図

【送信バッファレジスタ3/受信バッファレジスタ3】TB3/RB3

送信バッファレジスタ3と受信バッファレジスタ3は同じアドレスに配置されており、送信バッファレジスタ3は書き込み専用、受信バッファレジスタ3は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ3に格納される受信データのMSBは“0”となります。

【シリアルI/O3ステータスレジスタ】SIO3STS

シリアルI/O3の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O3ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O3制御レジスタのシリアルI/O3許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O3制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O3制御レジスタ】SIO3CON

シリアルI/O3制御レジスタはシリアルI/O3の各種制御を行う8ビットの選択ビットで構成されています。

【UART3制御レジスタ】UART3CON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P35/TxD3端子の出力形式などを設定します。

【ボーレートジェネレータ3】BRG3

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

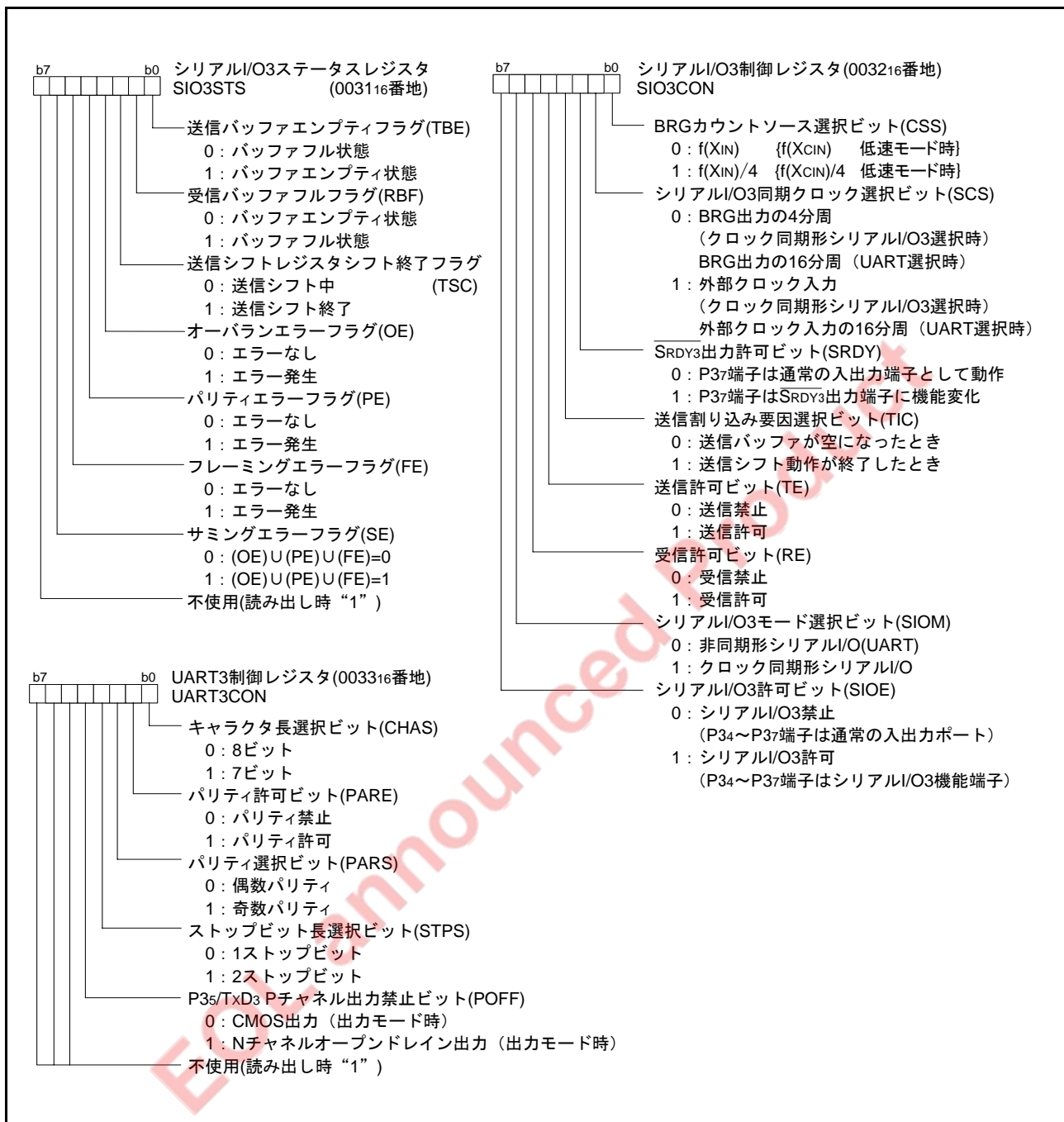


図45. シリアル/O3関係レジスタの構成

■ シリアルI/O3の注意事項

1. 同期形の選択時

1.1 送信動作の停止

• 注意事項

シリアルI/O3許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

• 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3, $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

1.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)、またはシリアルI/O3許可ビットを“0”(シリアルI/O禁止)にしてください。

1.3 送受信動作の停止

• 注意事項

送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

• 理由

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また< 1.1 送信動作の停止>と同様に、シリアルI/O3許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

2. 非同期形の選択時

2.1 送信動作の停止

• 注意事項

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O3許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3, $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

2.2 受信動作の停止

• 注意事項

受信許可ビットを“0”(受信禁止)にしてください。

2.3 送受信動作の停止

• 注意事項 1 (送信のみの停止)

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O3許可ビットを“0”にすることで送信動作は止まりません。

• 理由

シリアルI/O3許可ビットだけを“0”(シリアルI/O禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD3, RxD3, SCLK3, $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD3端子に出力され、不具合の原因となります。

• 注意事項 2 (受信のみの停止)

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側の $\overline{\text{SRDY3}}$ 出力

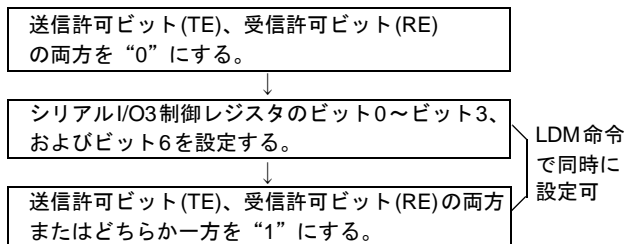
• 注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY3}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY3}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

4. シリアルI/O3制御レジスタの再設定

• 注意事項

シリアルI/O3制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。



5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

• 注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6. 外部クロック選択時の送信制御

• 注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK3が“H”の状態では送信許可ビットを“1”にしてください。

また、送信バッファレジスタへの書き込みも、SCLK3が“H”の状態で行ってください。

7. 送信許可ビットセット時の送信割り込み要求

• 注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

- ① シリアルI/O3送信割り込み許可ビットを“0”(禁止)にする。
- ② 送信許可ビットを“1”にする。
- ③ 一命令以上おいてからシリアルI/O3送信割り込み要求ビットを“0”にする。
- ④ シリアルI/O3送信割り込み許可ビットを“1”(許可)にする。

• 理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグおよび送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力 X_{IN} または X_{IN} を2分周した信号を基本としています。(低速モード時は X_{CIN} または $X_{CIN}/2$)

• データの設定

PWMの出力端子はポートP56と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値を n 、PWMレジスタの値を m とすると、以下のようになります。(ただし、 $n=0\sim 255$ 、 $m=0\sim 255$ です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(X_{IN})} \\ &= (31.875) \times (n+1) \mu\text{s} \end{aligned}$$

($f(X_{IN})=8\text{MHz}$ 、カウントソース選択ビット=“0”の場合)

$$\text{出力パルスの“H”期間} = \frac{\text{PWM周期} \times m}{255}$$

$$= 0.125 \times (n+1) \times m \mu\text{s}$$

($f(X_{IN})=8\text{MHz}$ 、カウントソース選択ビット=“0”の場合)

• PWMの動作

PWM制御レジスタのビット0 (PWM許可ビット) を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

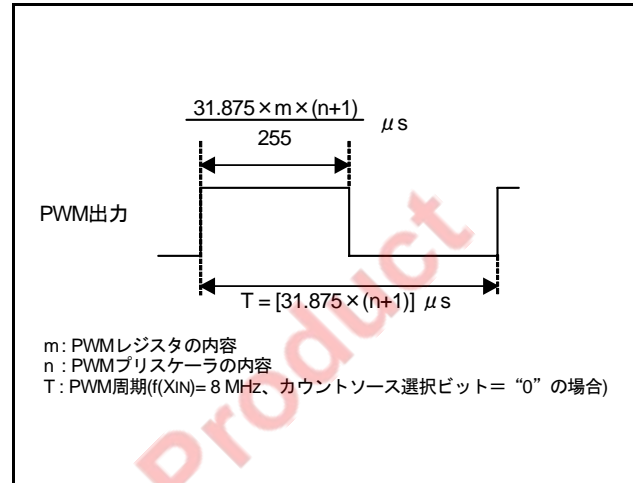


図46. PWM周期のタイミング図

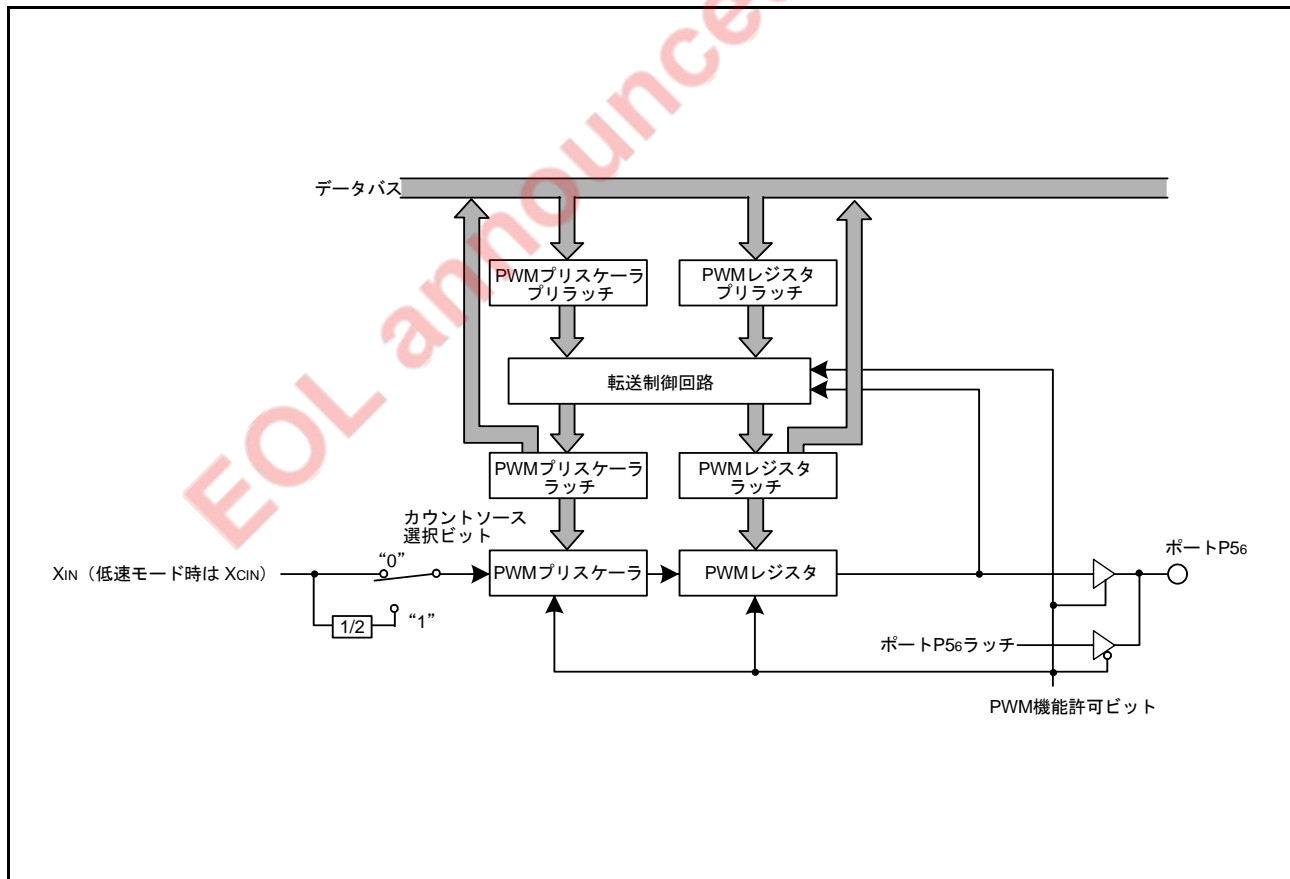


図47. PWMブロック図

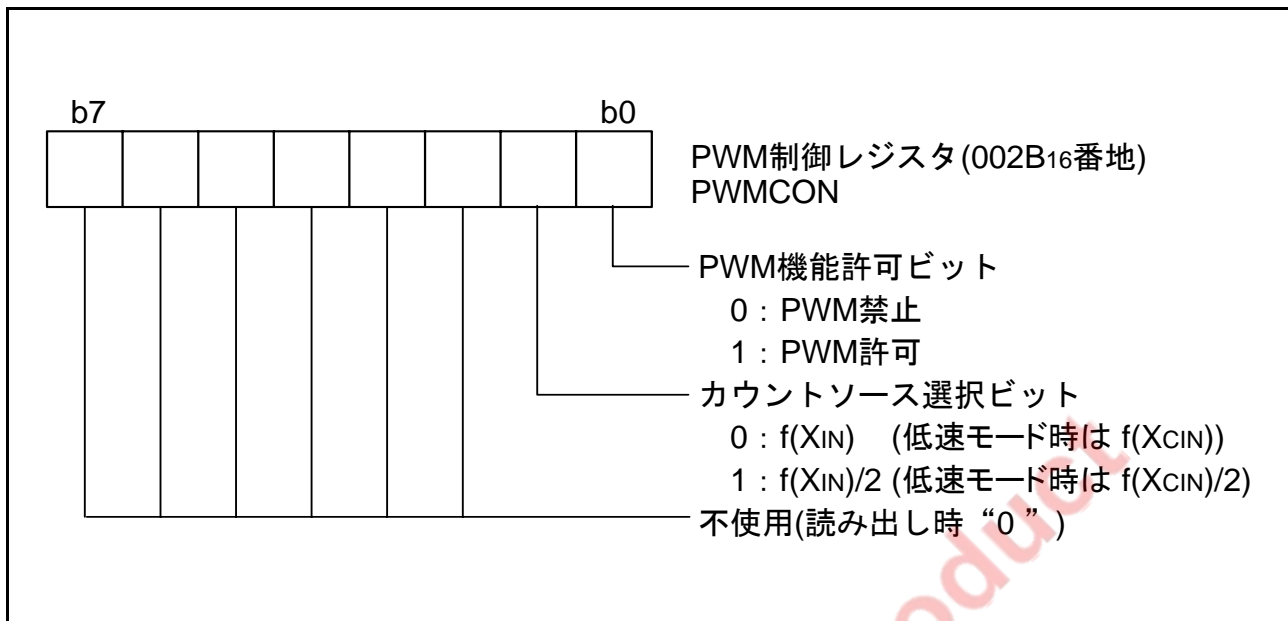


図48. PWM制御レジスタの構成

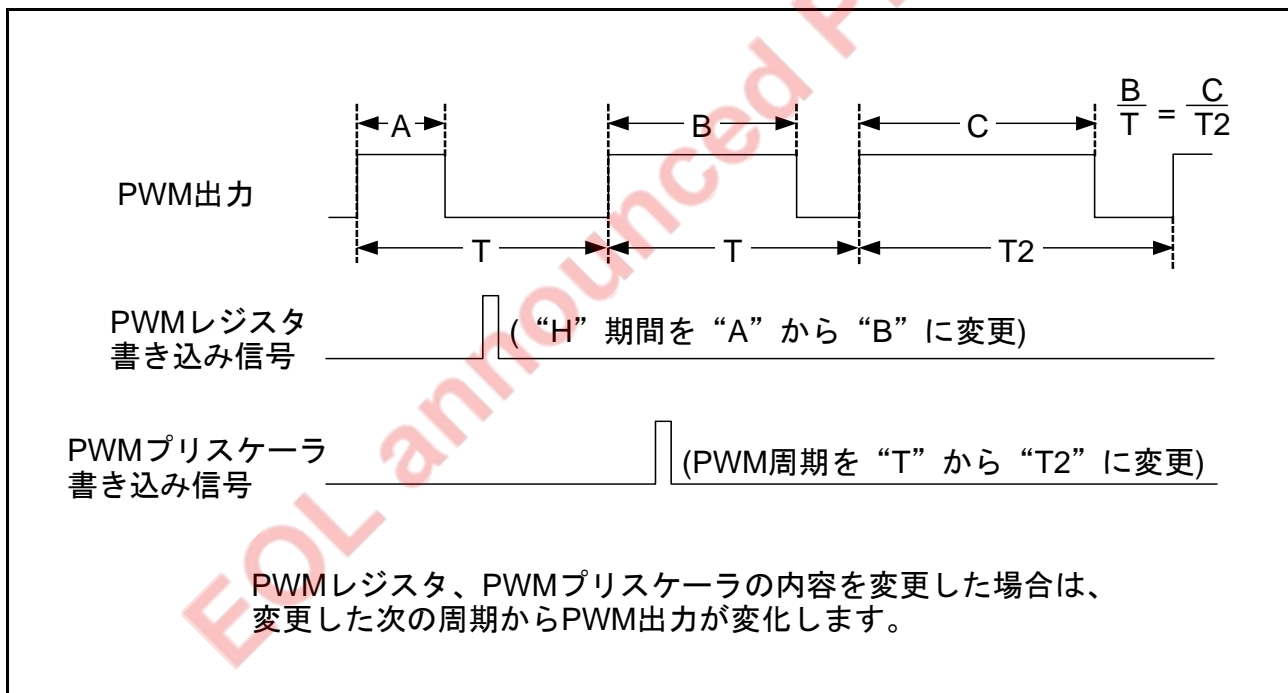


図49. PWMレジスタおよびPWMプリスケアラ変更時のPWM出力タイミング図

■ 注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- カウンタソース選択ビット=“0”、n=プリスケアラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- カウンタソース選択ビット=“1”、n=プリスケアラ設定値

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

A/Dコンバータ (逐次比較型)**【AD変換レジスタ1, 2】AD1, AD2**

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

AD変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA/Dモード、“1”に設定すると8ビットA/Dモードとなります。

8ビットA/Dモードの変換結果はAD変換レジスタ1に格納されます。

10ビットA/Dモードは、図51のようにA/D変換終了後にAD変換レジスタ1, 2を読み出す順序を選ぶことで、変換結果を10ビットで読み出すだけでなく、上位8ビットだけ読み出しを行うことも可能です。

10ビットA/Dモードは、A/D変換開始後AD変換レジスタ1読み出しを行うとMSB寄りの8ビット読み出しになります。AD変換レジスタ2読み出し後、AD変換レジスタ1読み出しを行うとLSB寄りの8ビット読み出しになります。

【AD/DA制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット4、ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

10ビットA/Dモードは、AVSSとVREFの間の電圧を1024分割し比較電圧を出力します。(8ビットA/Dモードでは256分割)

各モードでの比較電圧VrefはVREF電圧を下記のとおり分圧して入力電圧との逐次比較を行います。

10ビットA/Dモード (10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

10ビットA/Dモード (8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

8ビットA/Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【チャンネルセレクト】

ポートP67/AN7～P60/AN0、P07/AN15～P00/AN8より1本を選択し、コンパレータに入力します。

【コンパレータおよび制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタ1, 2に格納します。また、A/D変換終了時にAD変換終了ビットおよびAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(XIN)を500kHz以上にしてください。

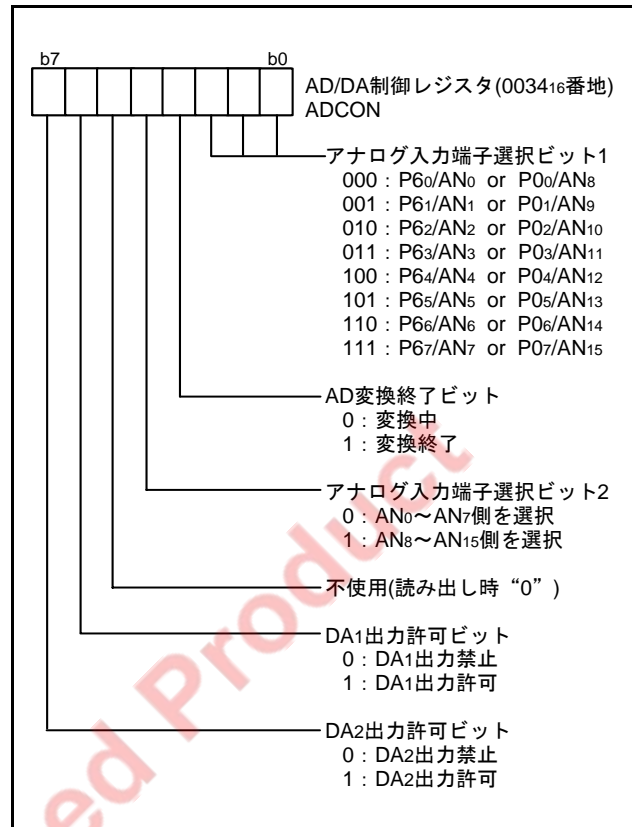


図50. AD/DA制御レジスタの構成

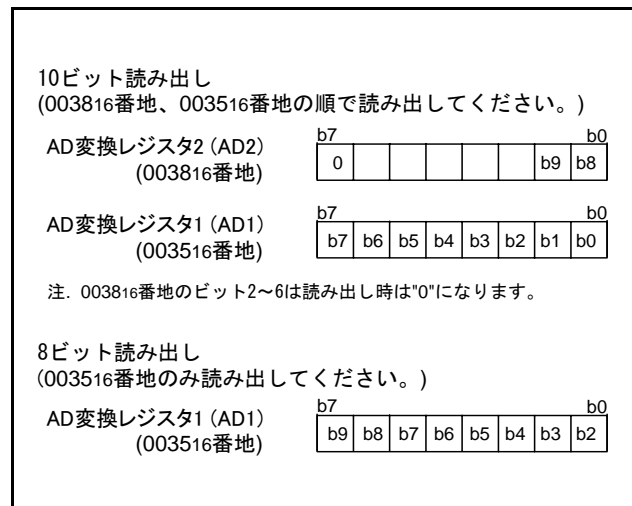


図51. 10ビットA/Dモードの読み出し構成

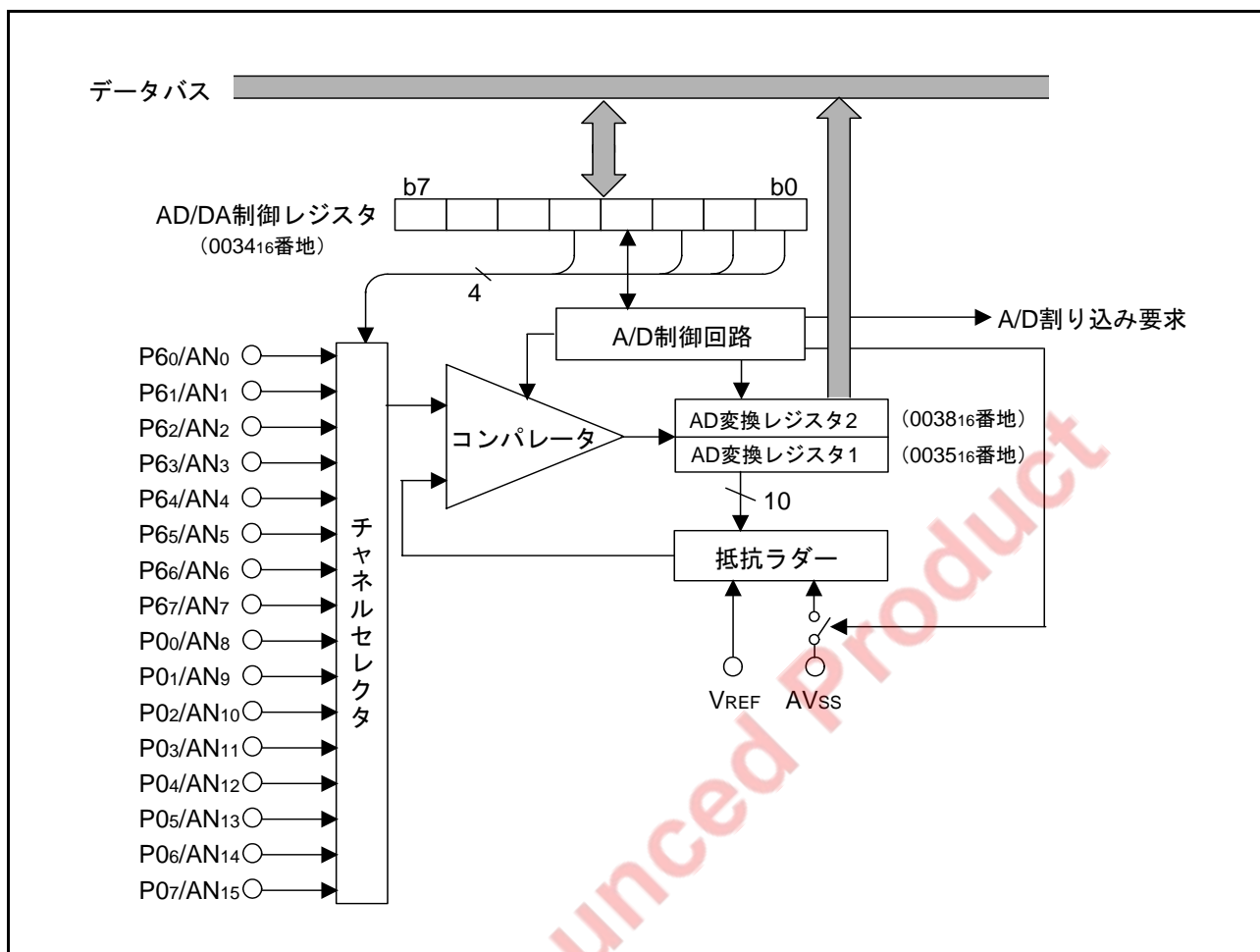


図52. A/Dコンバータのブロック図

EOL announced product

D/Aコンバータ

D/Aコンバータは分解能8ビットで、2チャンネル(DA1、DA2)内蔵しています。

D/A変換はそれぞれ対応するDA変換レジスタに値を設定することによって行われます。D/A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA1、DA2端子から出力されます。このとき、P30/DA1、P31/DA2の方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはDA変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

*V_{REF}は基準電圧

DA変換レジスタはリセット時“0016”にクリアされます。また、DA出力許可ビットも、リセット時“0”にクリアされ、P30/DA1、P31/DA2端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

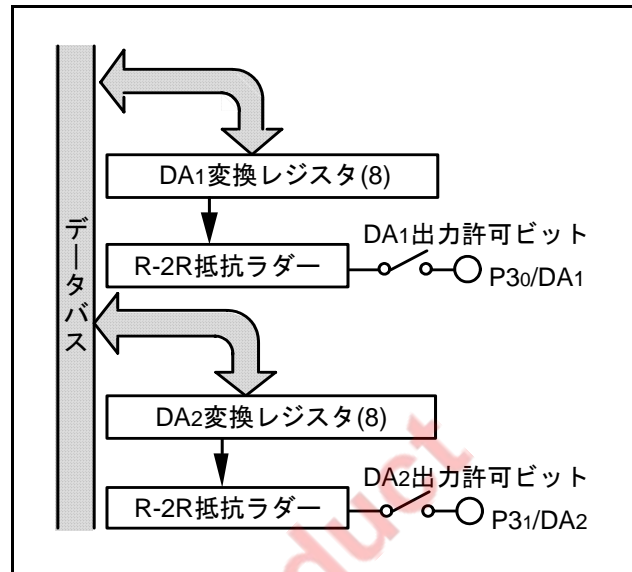


図53. D/Aコンバータブロック図

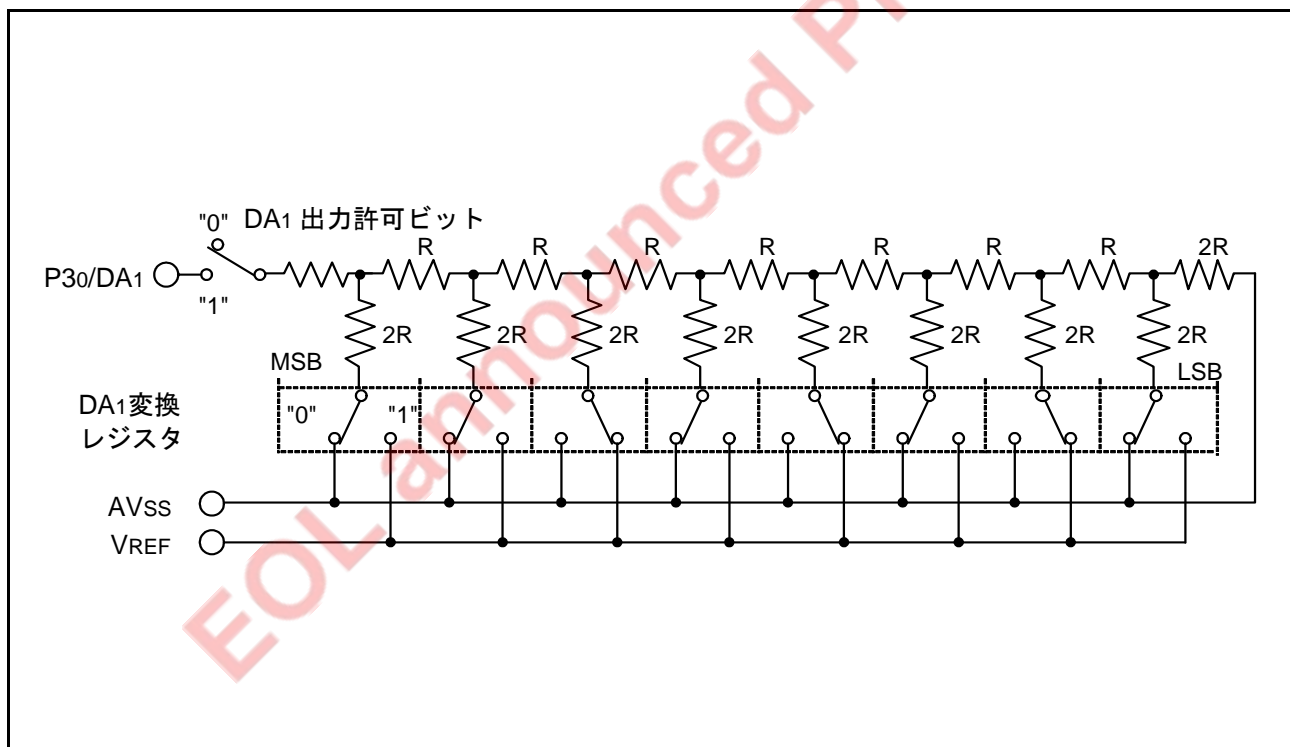


図54. D/Aコンバータ等価回路図(D/A1)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されます。

(1) ウォッチドッグタイマの初期値

リセット時、またはウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”にセットされます。書き込みのための命令はSTA, LDM, CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6,7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

(2) ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(001E16番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を持ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイマHがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

(3) ウォッチドッグタイマ制御レジスタのビット6

- このビットが“0”の場合、STP命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注)なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。
 $X_{CIN}=32.768\text{kHz}$ 時32s, $X_{IN}=16\text{MHz}$ 時65.536ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。
 $X_{CIN}=32.768\text{kHz}$ 時125ms, $X_{IN}=16\text{MHz}$ 時256 μs

- 注. ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

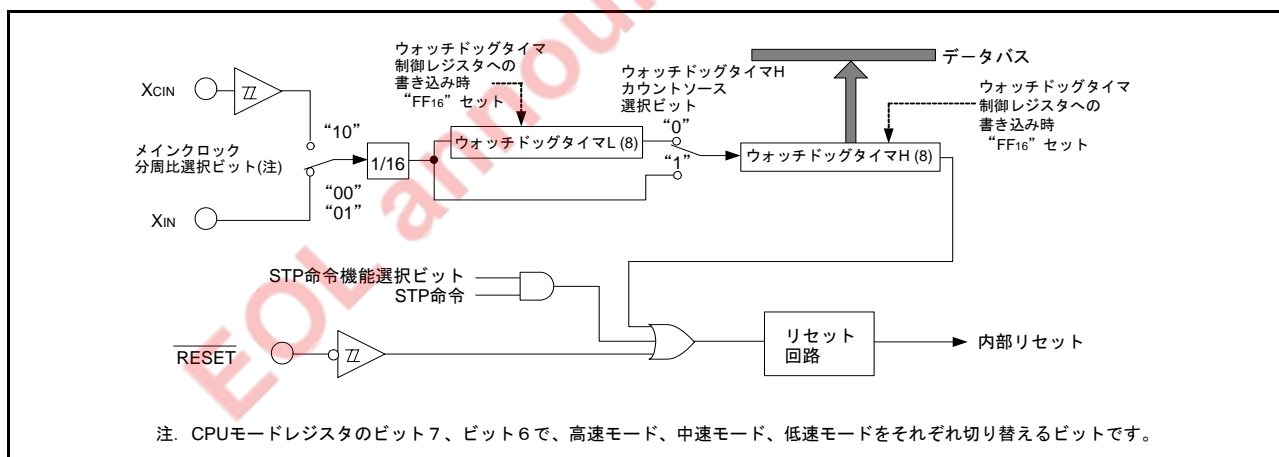


図55. ウォッチドッグタイマのブロック図

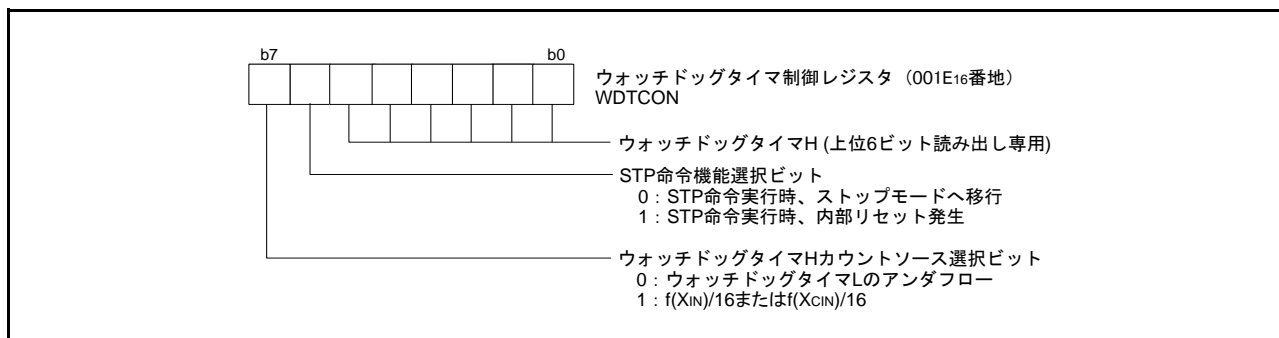


図56. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が1.8~5.5V(フラッシュメモリ版は、2.7~5.5V)にあり、X_{IN}が安定発振しているとき、RESET端子をX_{IN}16サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

マスクROM版のリセット入力電圧は、電源電圧が1.8Vを通過する時点で0.29V以下になるようにしてください。フラッシュメモリ版は下記の手順でRESET端子に入力してください。

●電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) X_{IN}端子に16サイクル以上のクロックを入力する
- (3) RESET端子に“H”を入力する

●電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を2.7Vまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ
- (4) X_{IN}端子に16サイクル以上のクロックを入力する
- (5) RESET端子に“H”を入力する

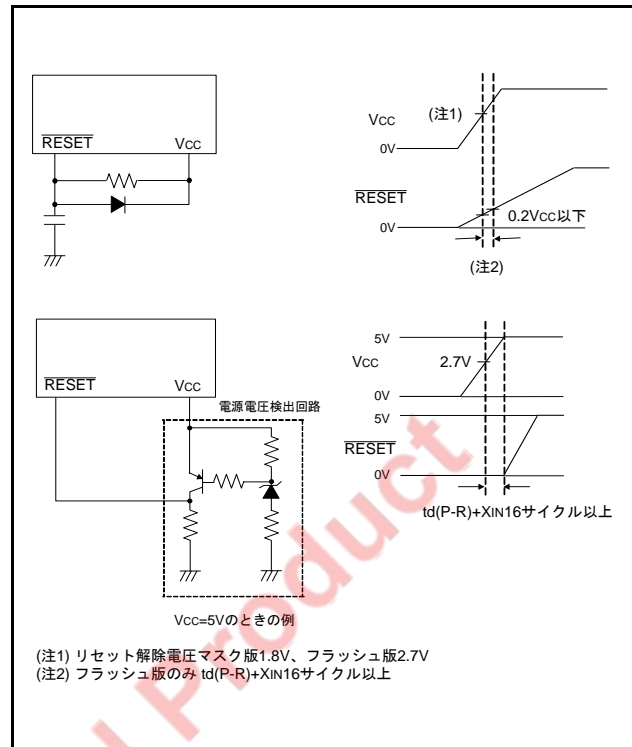


図57. リセット回路例

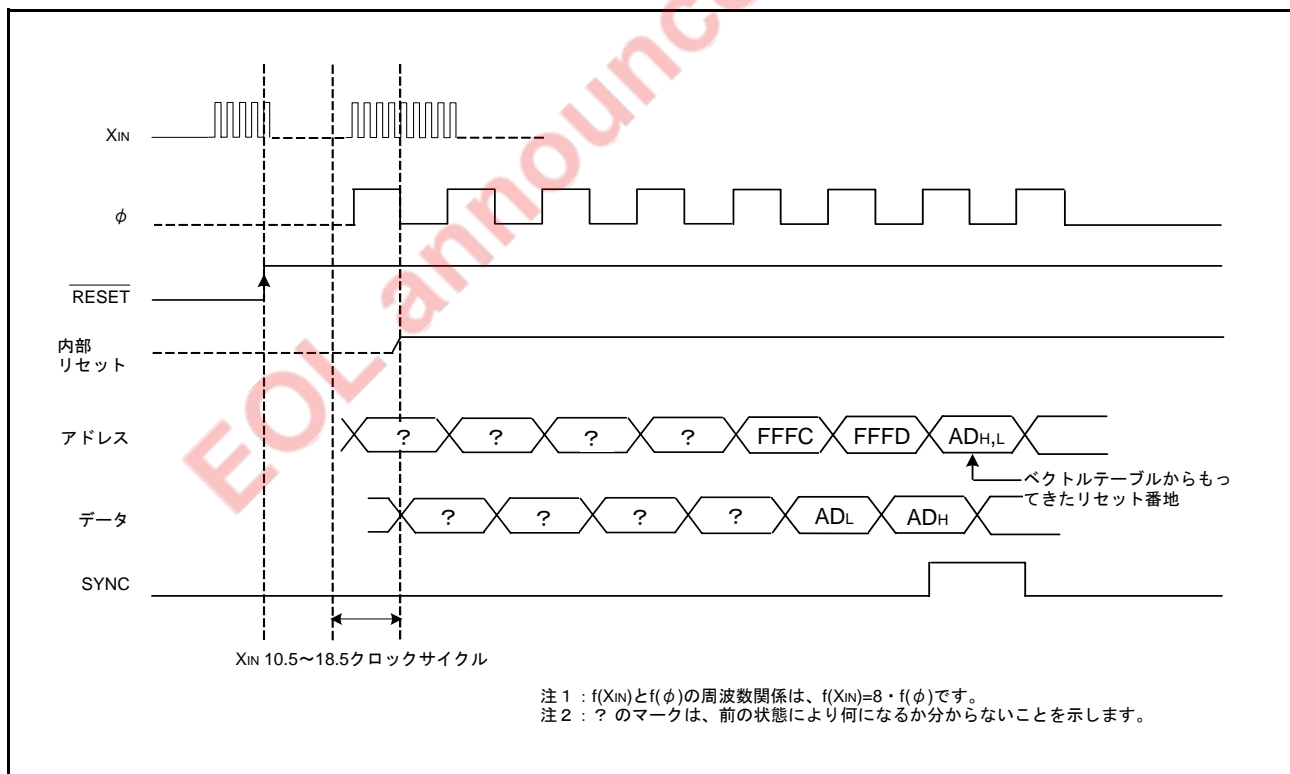


図58. リセットシーケンス

注1: $f(X_{IN})$ と $f(\phi)$ の周波数関係は、 $f(X_{IN})=8 \cdot f(\phi)$ です。
 注2: ?のマークは、前の状態により何になるか分からないことを示します。

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(35) タイマZ上位	0029 ₁₆	FF ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(36) タイマZモードレジスタ	002A ₁₆	00 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(37) PWM制御レジスタ	002B ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(38) PWMプリスケアラ	002C ₁₆	XXXXXXXXXX
(5) ポートP2	0004 ₁₆	00 ₁₆	(39) PWMレジスタ	002D ₁₆	XXXXXXXXXX
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(40) ボーレートジェネレータ3	002F ₁₆	XXXXXXXXXX
(7) ポートP3	0006 ₁₆	00 ₁₆	(41) 送信/受信バッファレジスタ3	0030 ₁₆	XXXXXXXXXX
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(42) シリアル/O3ステータスレジスタ	0031 ₁₆	10000000
(9) ポートP4	0008 ₁₆	00 ₁₆	(43) シリアル/O3制御レジスタ	0032 ₁₆	00 ₁₆
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(44) UART3制御レジスタ	0033 ₁₆	11100000
(11) ポートP5	000A ₁₆	00 ₁₆	(45) AD/DA制御レジスタ	0034 ₁₆	00001000
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(46) AD変換レジスタ1	0035 ₁₆	XXXXXXXXXX
(13) ポートP6	000C ₁₆	00 ₁₆	(47) DA1変換レジスタ	0036 ₁₆	00 ₁₆
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(48) DA2変換レジスタ	0037 ₁₆	00 ₁₆
(15) タイマ12,Xカウントソース選択レジスタ	000E ₁₆	00110011	(49) AD変換レジスタ2	0038 ₁₆	000000XX
(16) タイマY,Zカウントソース選択レジスタ	000F ₁₆	00110011	(50) 割り込み要因選択レジスタ	0039 ₁₆	00 ₁₆
(17) MISRG	0010 ₁₆	00 ₁₆	(51) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(18) 送信/受信バッファレジスタ1	0018 ₁₆	XXXXXXXXXX	(52) CPUモードレジスタ	003B ₁₆	01001000
(19) シリアル/O1ステータスレジスタ	0019 ₁₆	10000000	(53) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(20) シリアル/O1制御レジスタ	001A ₁₆	00 ₁₆	(54) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(21) UART1制御レジスタ	001B ₁₆	11100000	(55) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(22) ボーレートジェネレータ1	001C ₁₆	XXXXXXXXXX	(56) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(23) シリアル/O2制御レジスタ	001D ₁₆	00 ₁₆	(57) フラッシュ制御レジスタ0	0FE0 ₁₆	00000001
(24) ウォッチドッグタイマ制御レジスタ	001E ₁₆	00111111	(58) フラッシュ制御レジスタ1	0FE1 ₁₆	01000000
(25) シリアル/O2レジスタ	001F ₁₆	XXXXXXXXXX	(59) フラッシュ制御レジスタ2	0FE2 ₁₆	01000101
(26) プリスケアラ12	0020 ₁₆	FF ₁₆	(60) ポートP0ブルアップ制御レジスタ	0FF0 ₁₆	00 ₁₆
(27) タイマ1	0021 ₁₆	01 ₁₆	(61) ポートP1ブルアップ制御レジスタ	0FF1 ₁₆	00 ₁₆
(28) タイマ2	0022 ₁₆	FF ₁₆	(62) ポートP2ブルアップ制御レジスタ	0FF2 ₁₆	00 ₁₆
(29) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆	(63) ポートP3ブルアップ制御レジスタ	0FF3 ₁₆	00 ₁₆
(30) プリスケアラX	0024 ₁₆	FF ₁₆	(64) ポートP4ブルアップ制御レジスタ	0FF4 ₁₆	00 ₁₆
(31) タイマX	0025 ₁₆	FF ₁₆	(65) ポートP5ブルアップ制御レジスタ	0FF5 ₁₆	00 ₁₆
(32) プリスケアラY	0026 ₁₆	FF ₁₆	(66) ポートP6ブルアップ制御レジスタ	0FF6 ₁₆	00 ₁₆
(33) タイマY	0027 ₁₆	FF ₁₆	(67) プロセッサステータスレジスタ	(PS)	XXXXXXXX1X
(34) タイマZ下位	0028 ₁₆	FF ₁₆	(68) プログラムカウンタ	(PCH)	FFF ₁₆ 番地の内容
				(PCL)	FFF ₁₆ 番地の内容

注. × : 不定です。
上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図59. リセット時の内部状態

クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUTまたはXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていませんので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロック ϕ となります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロック ϕ の周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロック ϕ になります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN-XOUT)停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロック ϕ が“H”の状態では停止し、XINおよびXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(0010₁₆番地のビット0)が“0”のとき、タイマ1には“01₁₆”、プリスケアラ12には“FF₁₆”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。

STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。

発振は外部割り込みが受け付けられると再開しますが、内部クロック ϕ は、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロック ϕ が供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間、RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロック ϕ が“H”の状態では停止しますが、発振器は停止しません。リセットまたは割り込みを受け付けると内部クロック ϕ の停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

■注意事項

- 中 / 高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。
- 16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。
- STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

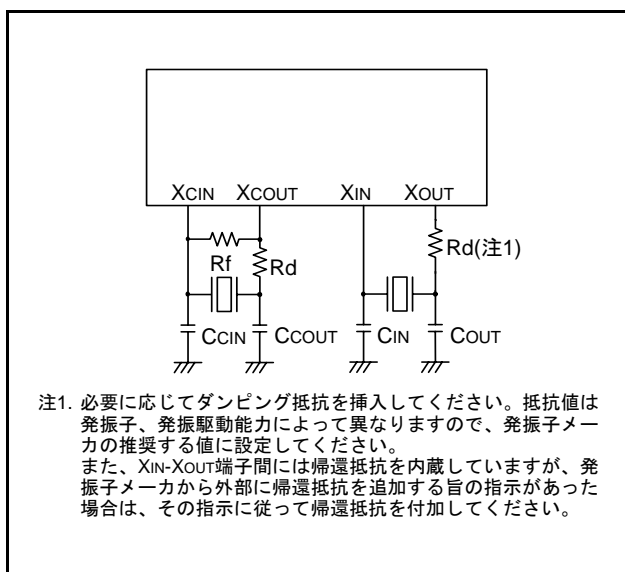


図60. セラミック共振子外付け回路

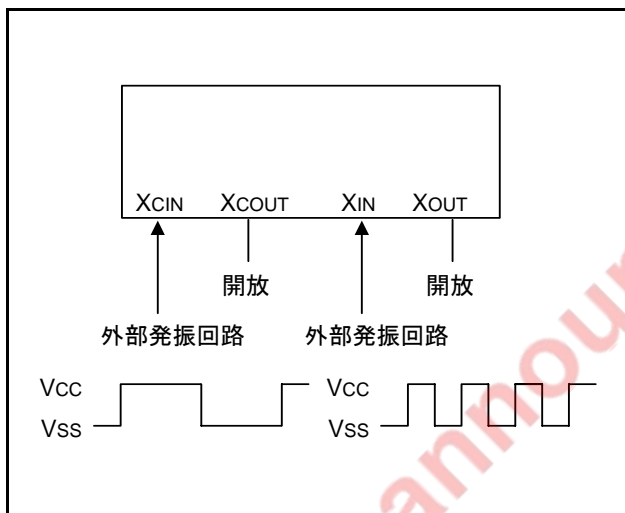


図61. 外部クロック入力回路

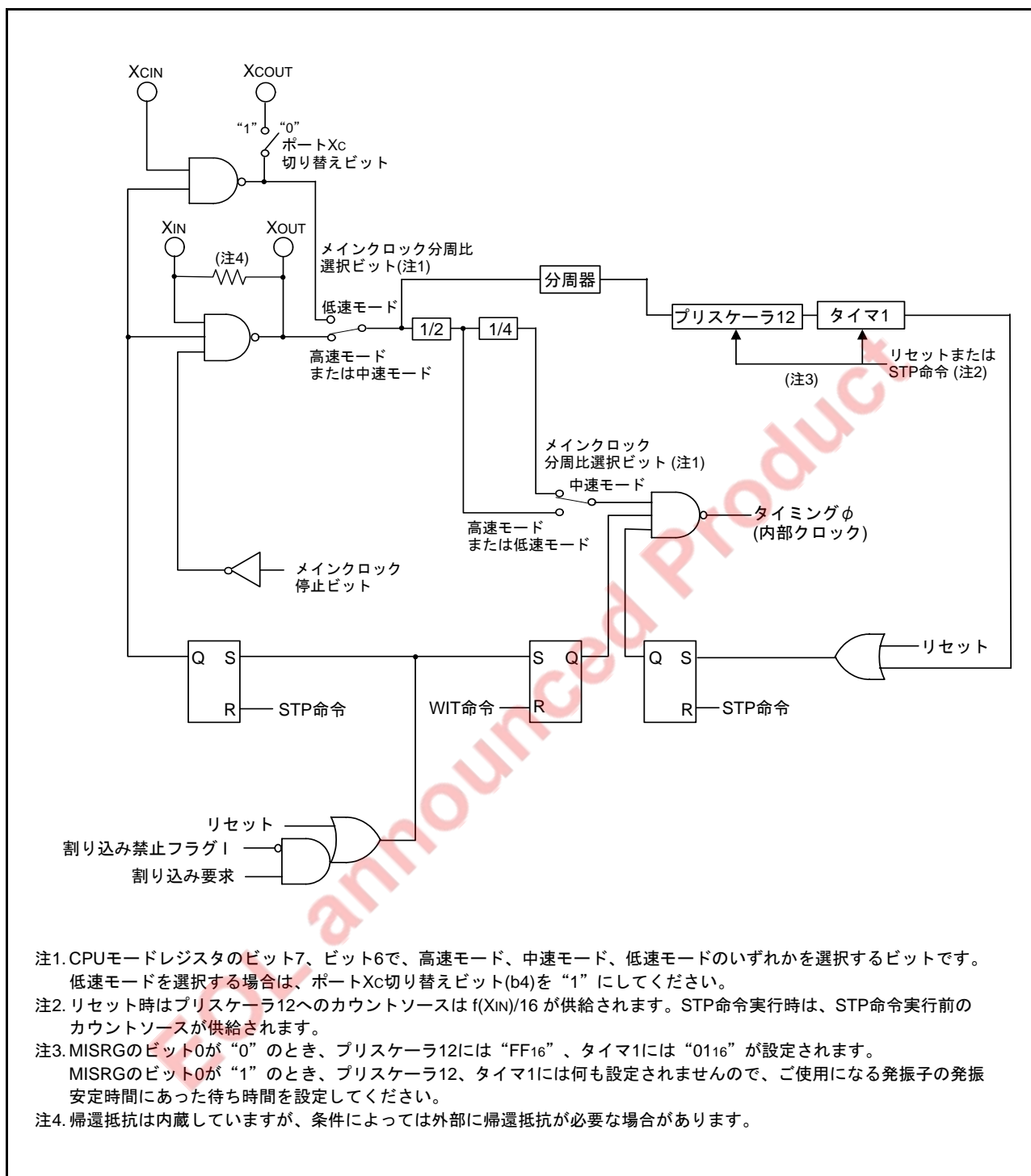


図62. システムクロック発生回路ブロック図 (シングルチップモード)

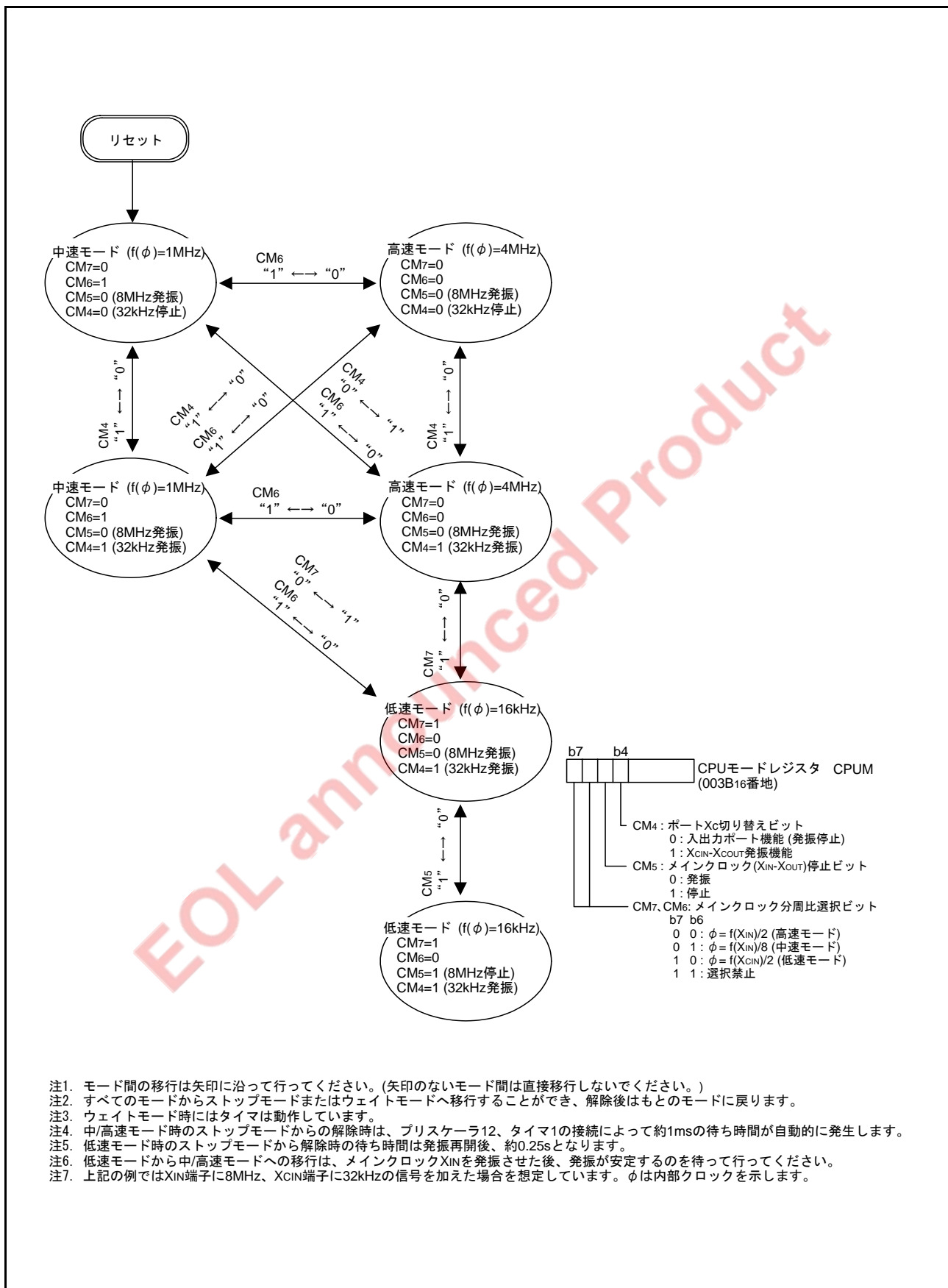


図63. システムクロックの状態遷移図

フラッシュメモリモード

3803グループ(H仕様)フラッシュメモリ版は、単一電源で書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、および中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図64に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

●性能概要

表11に3803グループ(H仕様)の性能概要を示します。

表11. 3803グループ(H仕様)の性能概要

項目		性能
電源電圧		Vcc=2.7V~5.5V
プログラム/イレーズ電圧		Vcc=2.7V~5.5V
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域/データROM領域	図64を参照してください。
	ブートROM領域(注1)	分割なし(4Kバイト)
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		5コマンド
プログラム/イレーズ回数		100
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

●ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図64に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P45/TxD1端子が“H”、CNVss端子が“H”の状態でのリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

●ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

●CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図64に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

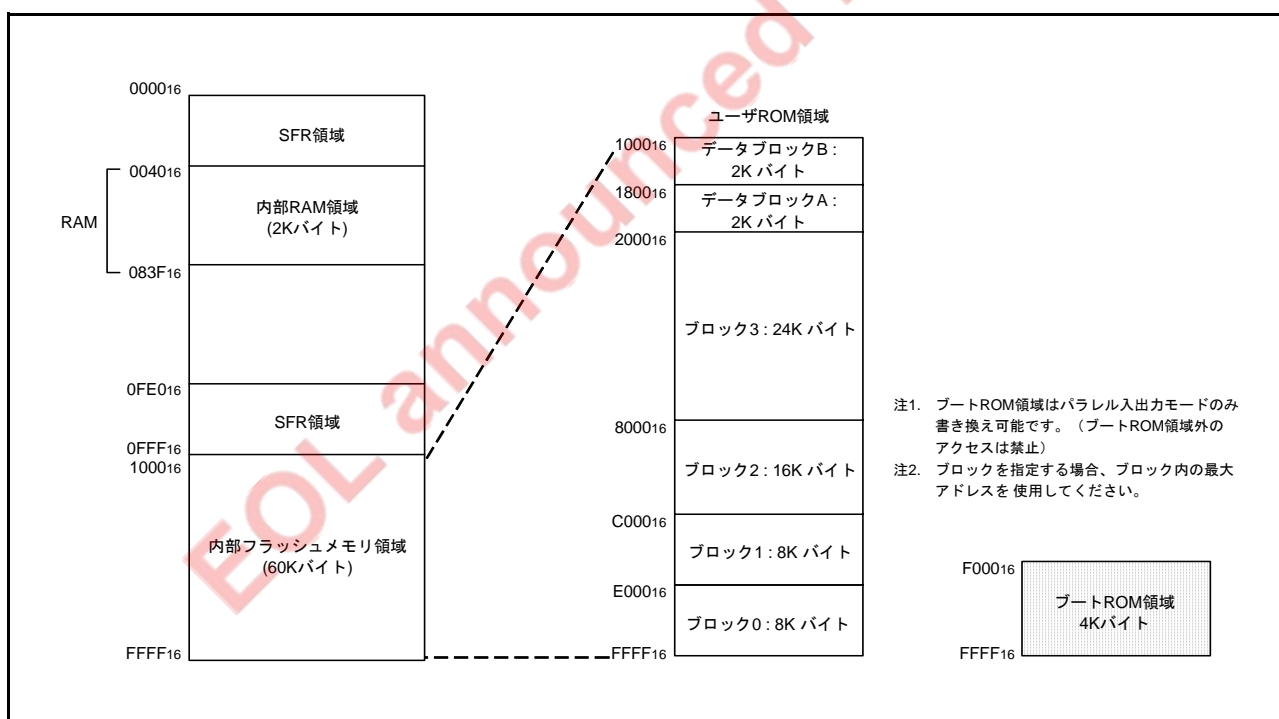


図64. 内蔵フラッシュメモリのブロック図

●機能概要

CPU書き換えモードは、シングルチップモード、およびブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CPU書き換えモード選択ビット(0FE016番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受付が可能となります。

プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図65にフラッシュメモリ制御レジスタ0を示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2は8KBユーザブロックE/W許可ビットで、フラッシュメモリ制御レジスタ2(0FE216番地)のビット4(全ユーザブロックE/W許可ビット)との設定組み合わせによって、表12のようにCPU書き換えモード時にユーザブロックに対してE/Wが禁止されます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。フラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効なビットです。“1”をセットすることでユーザROM領域にアクセスすることが可能となり、CPU書き換えが行えます。このビットの操作はRAM上のプログラムで行う必要があります。

ビット6はプログラムステータスフラグで、フラッシュメモリへの書き込みが異常終了した場合に“1”になります。プログラムエラーが発生した場合、そのブロックは使用できません。

ビット7はイレーズステータスフラグで、フラッシュメモリの消去が異常終了した場合に“1”になります。イレーズエラーが発生した場合、そのブロックは使用できません。

図66にフラッシュメモリ制御レジスタ1を示します。

ビット0はイレーズサスペンド許可ビットです。このビットに“1”を設定することにより、ブロックイレーズコマンドの実行時にイレーズ処理を一時中断するイレーズサスペンドモードが使用できます。このビットに“1”を

設定するには、ビット0への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット1はイレーズサスペンド要求ビットです。イレーズサスペンド許可ビットが“1”の状態、このビットに“1”を書き込むとイレーズ処理を中断します。

ビット6はイレーズサスペンドフラグで、フラッシュのイレーズを行っているときに“0”となります。

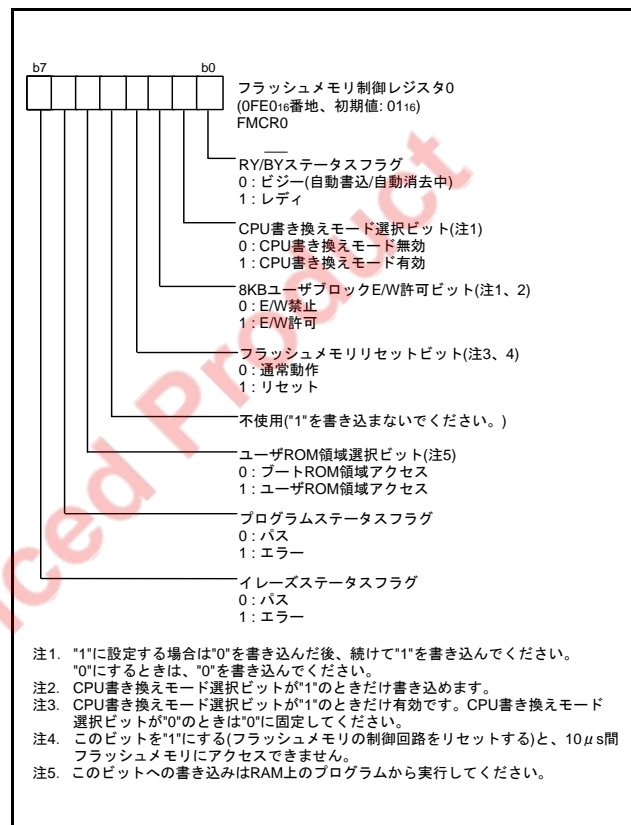


図65. フラッシュメモリ制御レジスタ0の構成

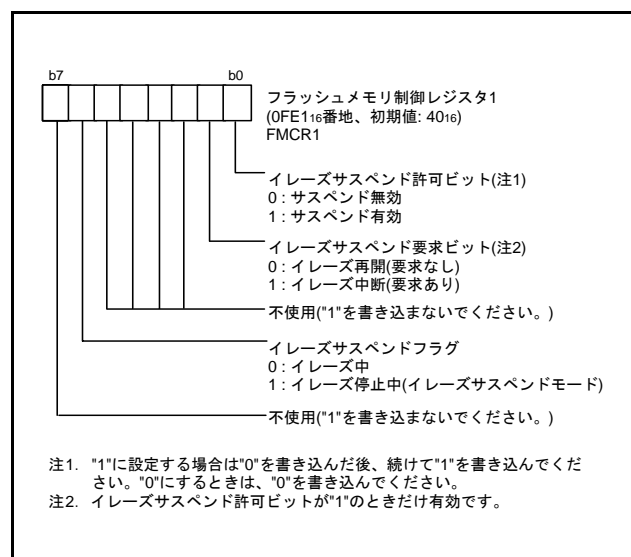


図66. フラッシュメモリ制御レジスタ1の構成

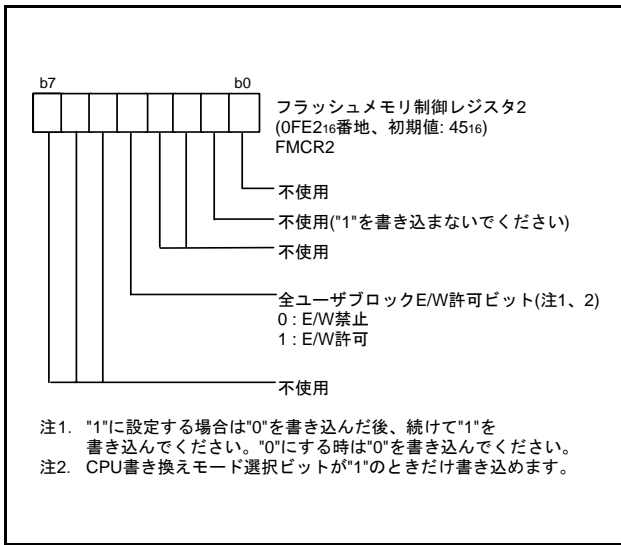


図67. フラッシュメモリ制御レジスタ2の構成

表 12. E/W禁止機能の状態

全ユーザブロック E/W許可ビット	8KBユーザブロック E/W許可ビット	8KBX2 ブロック C000 ₁₆ ~ FFFF ₁₆	16KB+24KB ブロック 2000 ₁₆ ~ BFFF ₁₆	データブロック 1000 ₁₆ ~ 1FFF ₁₆
0	0	E/W禁止	E/W禁止	E/W許可
0	1	E/W禁止	E/W禁止	E/W許可
1	0	E/W禁止	E/W許可	E/W許可
1	1	E/W許可	E/W許可	E/W許可

図68にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

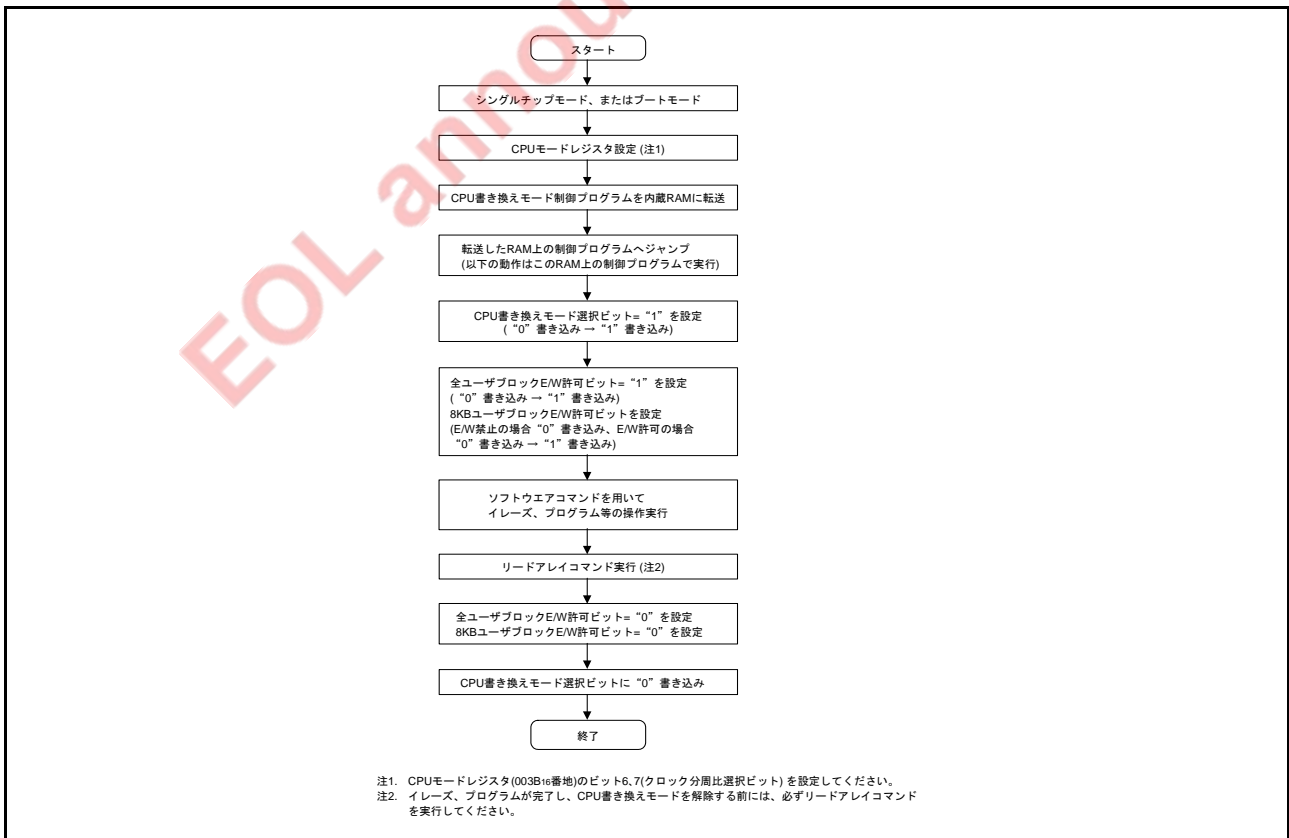


図68. CPU書き換えモードの設定/解除フローチャート

■ CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1) 動作速度

CPU書き換えモード中は、クロック分周比選択ビット(003B₁₆番地のビット6,7)によって、システムクロック ϕ が4.0MHz以下になるように設定してください。

(2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5) リセット

常に受け付けます。リセット解除時、CNV_{SS}=Hの場合、ブートモードで起動されるので、ブートROM領域のFFF_{C16}、FFF_{D16}番地に格納されたアドレスからプログラムがスタートします。

EOL announced Product

●ソフトウェアコマンド

表13にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

●リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0～D7)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

●リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

●クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

●プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、またはRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF16”)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”と

なります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

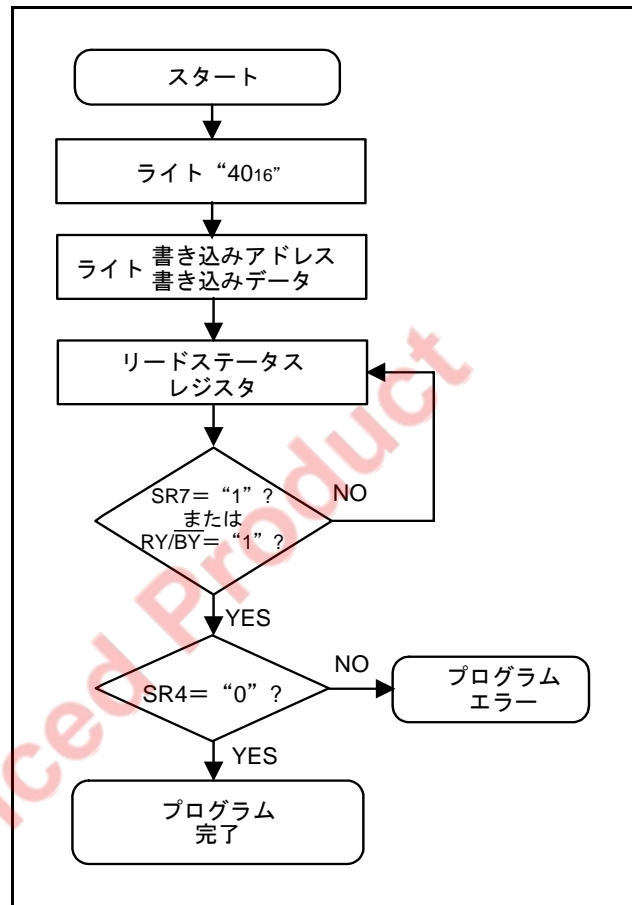


図69. プログラムフローチャート

表13. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	1	ライト	X(注4)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD(注1)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA(注2)	WD(注2)
ブロックイレーズ	2	ライト	X	2016	ライト	BA(注3)	D016

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス,WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

- **ブロックイレーズ(2016/D016)**

第1バスサイクルでコマンドコード“2016”、続く第2バスサイクルで確認コマンドコード“D016”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズバリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、またはRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

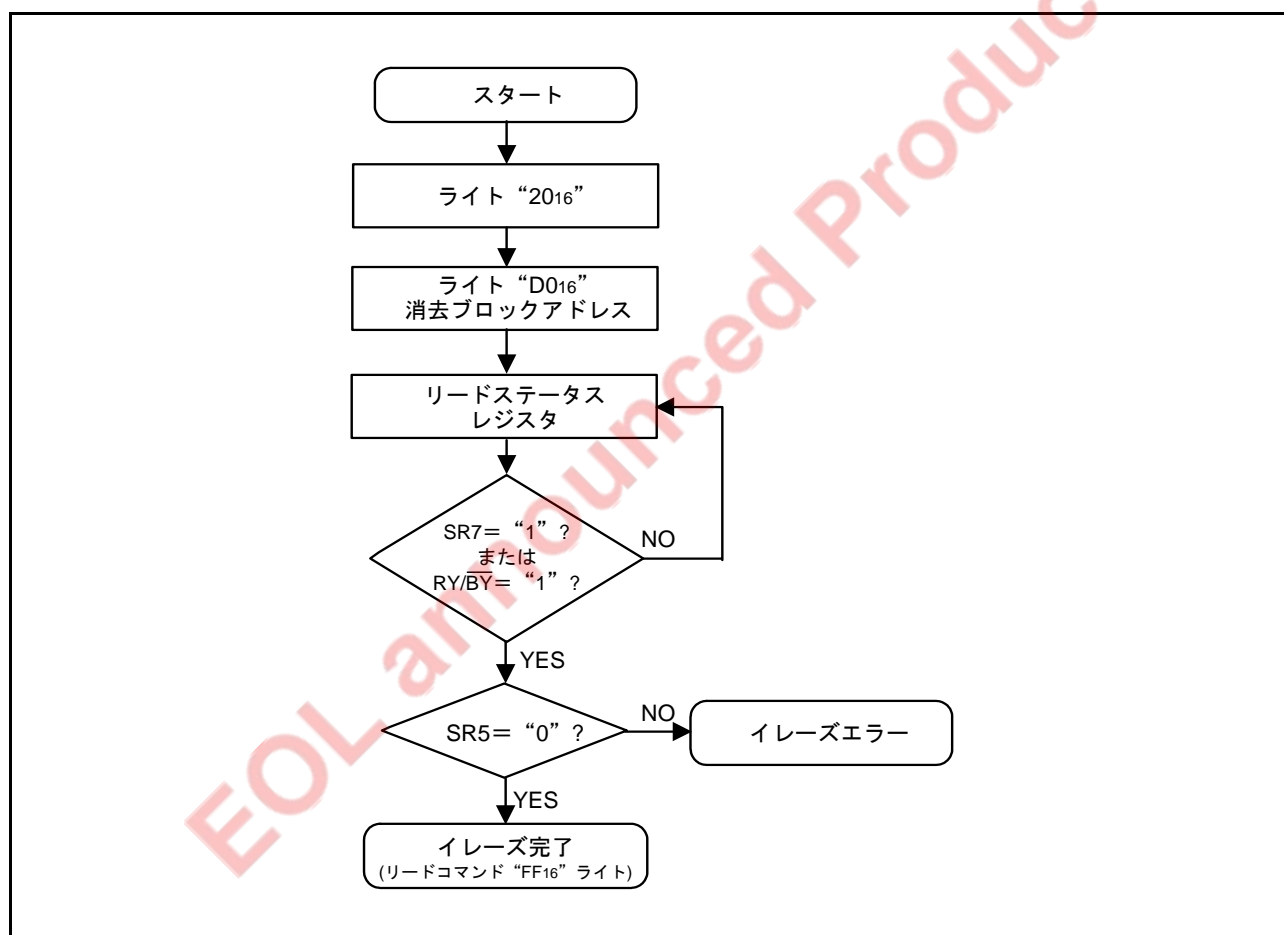


図70. イレーズフローチャート

●ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1) リードステータスレジスタコマンド (70₁₆) をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2) プログラム開始またはイレーズ開始から、リードアレイマンド (FF₁₆) 入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき
また、ステータスレジスタは次の条件でクリアされます。
- (1) クリアステータスレジスタコマンド (50₁₆) をライトしたとき表 14 にステータスレジスタの各ビットの定義を示します。
リセット解除後、ステータスレジスタは、“80₁₆”になります。

●シーケンサステータス (SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

●イレーズステータス (SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

●プログラムステータス (SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレイコマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表 14. ステータスレジスタの各ビットの定義

SRD の各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	—	—
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	—	—
SR2 (bit2)	リザーブ	—	—
SR1 (bit1)	リザーブ	—	—
SR0 (bit0)	リザーブ	—	—

●フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図71にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

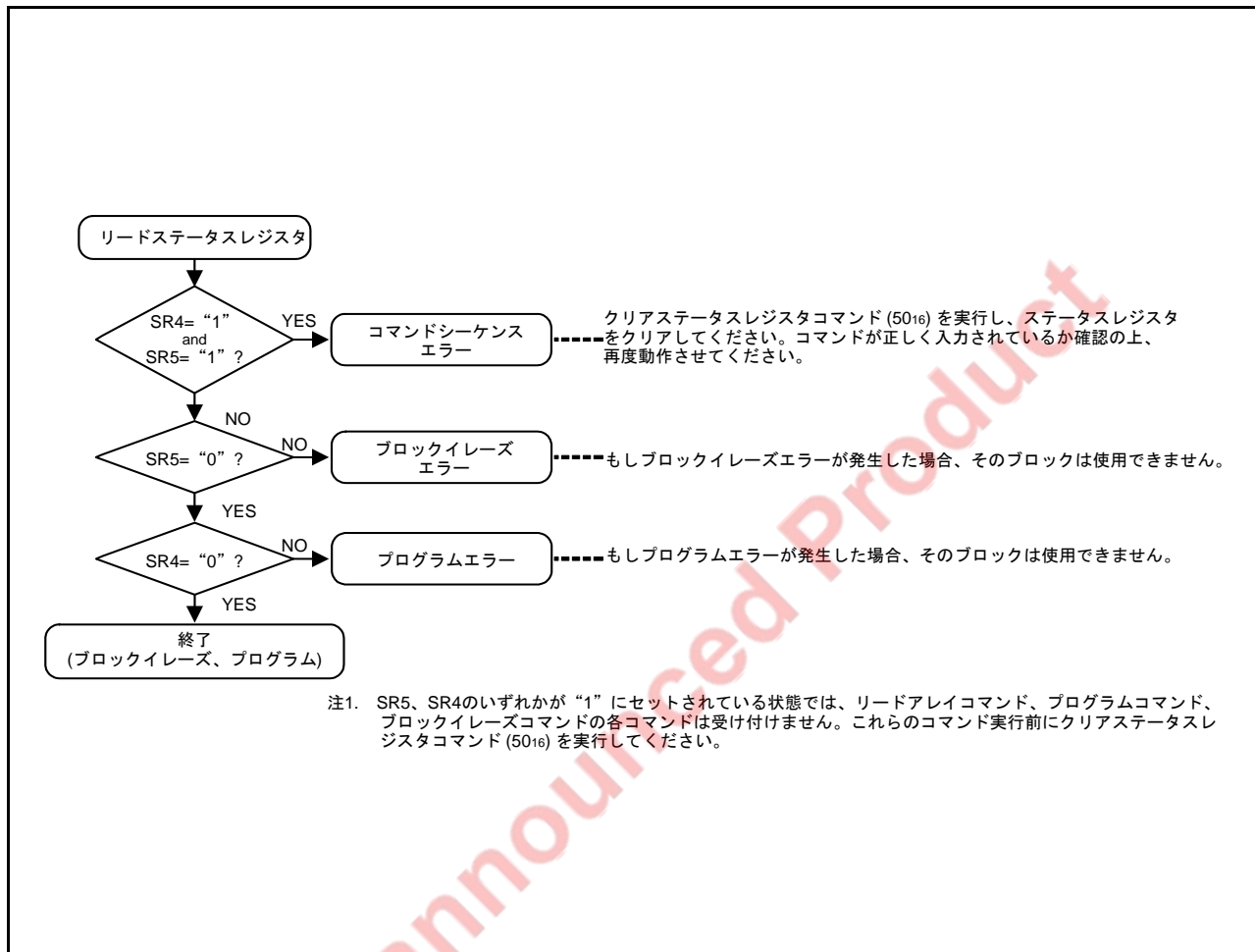


図71. フルステータスチェックフローチャートおよび各エラー発生時の対処方法

●内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出しまたは書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能を内蔵しています。

• ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図72に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出しまたは書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出しまたは書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モードなど、他のモードで書き換えてください。

書き換えの際にはROMコードプロテクト制御番地(FFDB₁₆番地)を含むユーザROM領域(ブロック0)全体を書き換えてください。ROMコードプロテクト制御番地(FFDB₁₆番地)だけの書き換えはできません。

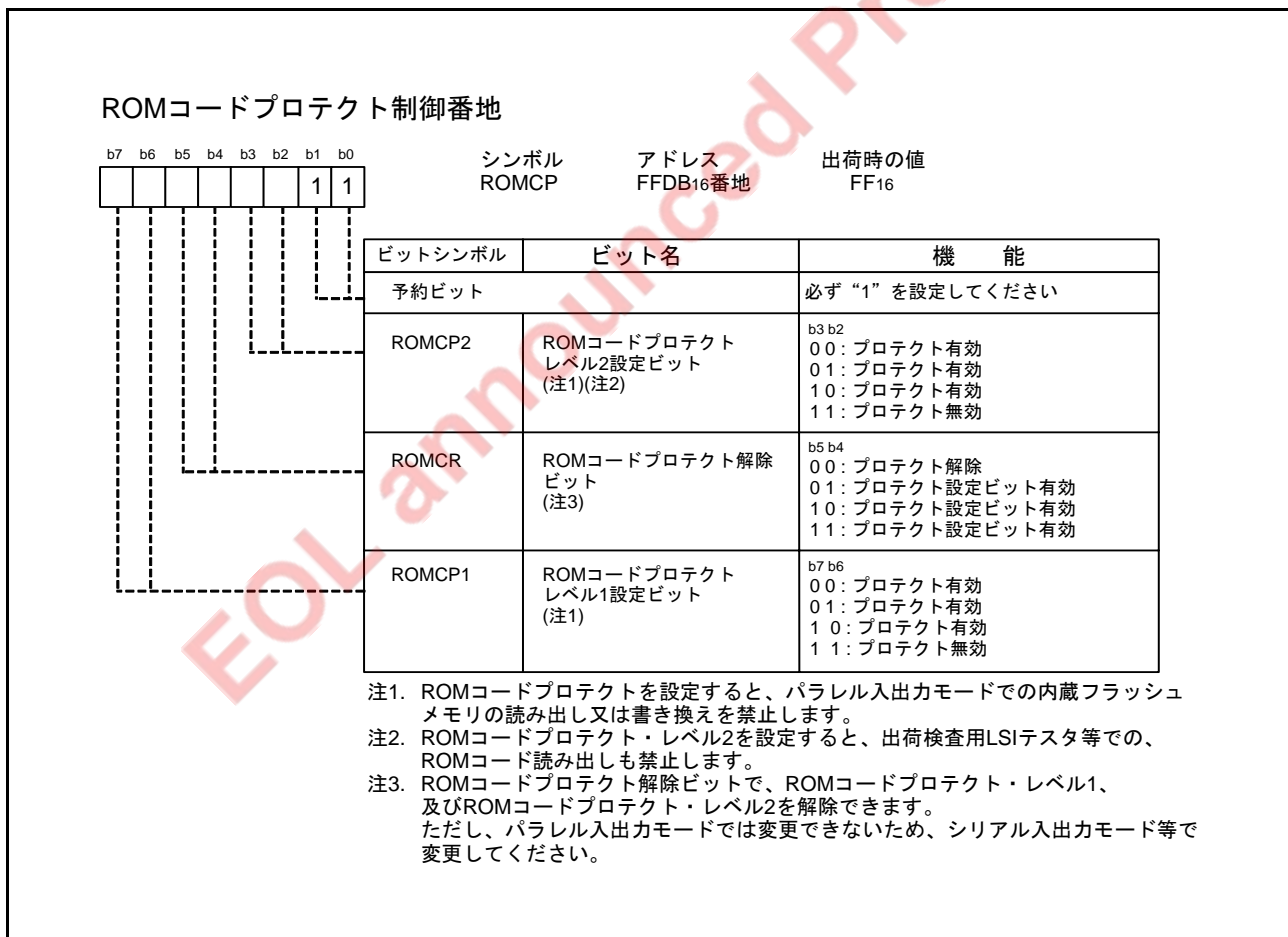


図72. ROMコードプロテクト制御番地の構成

- IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用时、フラッシュメモリの内容がブランクではない場合に、シリアルライターから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4₁₆～FFDA₁₆番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

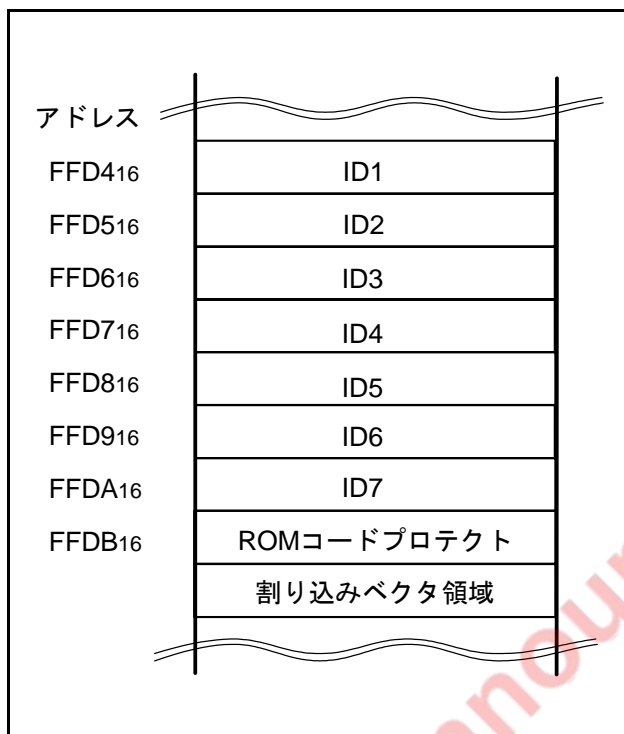


図73. IDコードの格納アドレス

●パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

3803グループ(H仕様)フラッシュメモリ版をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

● ユーザROM領域とブートROM領域

パラレル入出力モードでは、図64に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000₁₆～FFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

EOL announced Product

●標準シリアル入出力モード

標準シリアル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードはパラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードはP4s(BOOTENT)端子が“H”、CNVss端子が“H”の状態でのリセットを解除することで起動します。(通常のマイコンモードでは、CNVssは“L”に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。標準シリアル入出力モードには、クロック同期形シリアルの標準シリアル入出力モード1とクロック非同期形シリアルの標準シリアル入出力モード2があります。表15、表16に標準シリアル入出力モード時の端子の機能説明を、図74～図79に標準シリアル入出力モード時の端子結線図を示します。

標準シリアル入出力モードでは、図64に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するかを判定します。IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

表 15. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V~5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
$\overline{\text{RESET}}$	リセット入力	入力	リセットの入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子、XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00~P07, P10~P17 P20~P27, P30~P37 P40~P43, P50~P57 P60~P67	入出力ポート	入出力	“H”を入力、“L”を入力、または開放してください。
P44	RxD入力	入力	シリアルデータの入力端子です。
P45	TxD出力	出力	シリアルデータの出力端子です。
P46	SCLK入力	入力	シリアルクロックの入力端子です。
P47	BUSY出力	出力	BUSY信号の出力端子です。

表 16. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V~5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
$\overline{\text{RESET}}$	リセット入力	入力	リセットの入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子、XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00~P07, P10~P17 P20~P27, P30~P37 P40~P43, P50~P57 P60~P67	入出力ポート	入出力	“H”を入力、“L”を入力、または開放してください。
P44	RxD入力	入力	シリアルデータの入力端子です。
P45	TxD出力	出力	シリアルデータの出力端子です。
P46	SCLK入力	入力	“L”を入力してください。
P47	BUSY出力	出力	BUSY信号の出力端子です。

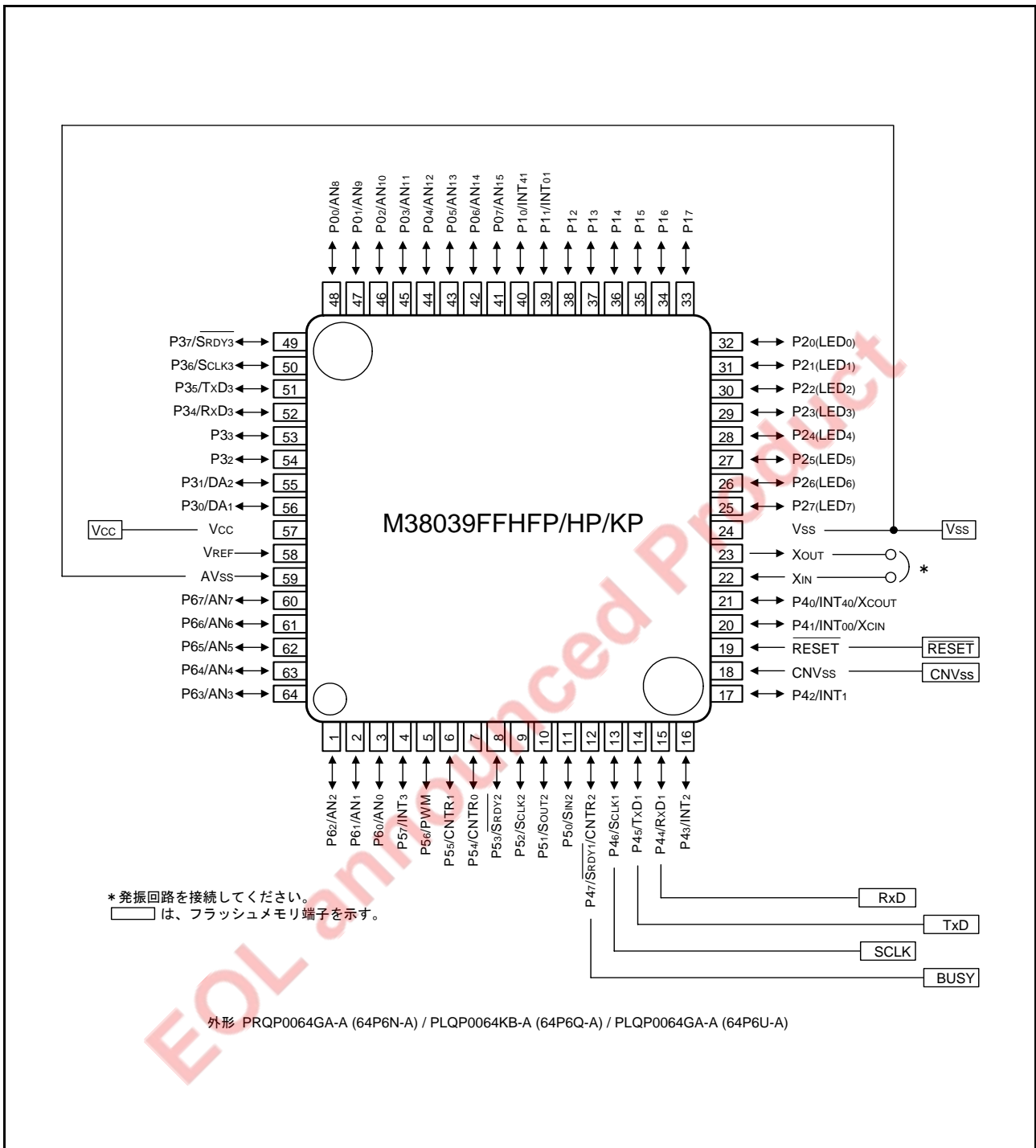


図74. 標準シリアル入出力モード1時の端子結線図 (M38039FFHFP/HP/KP)

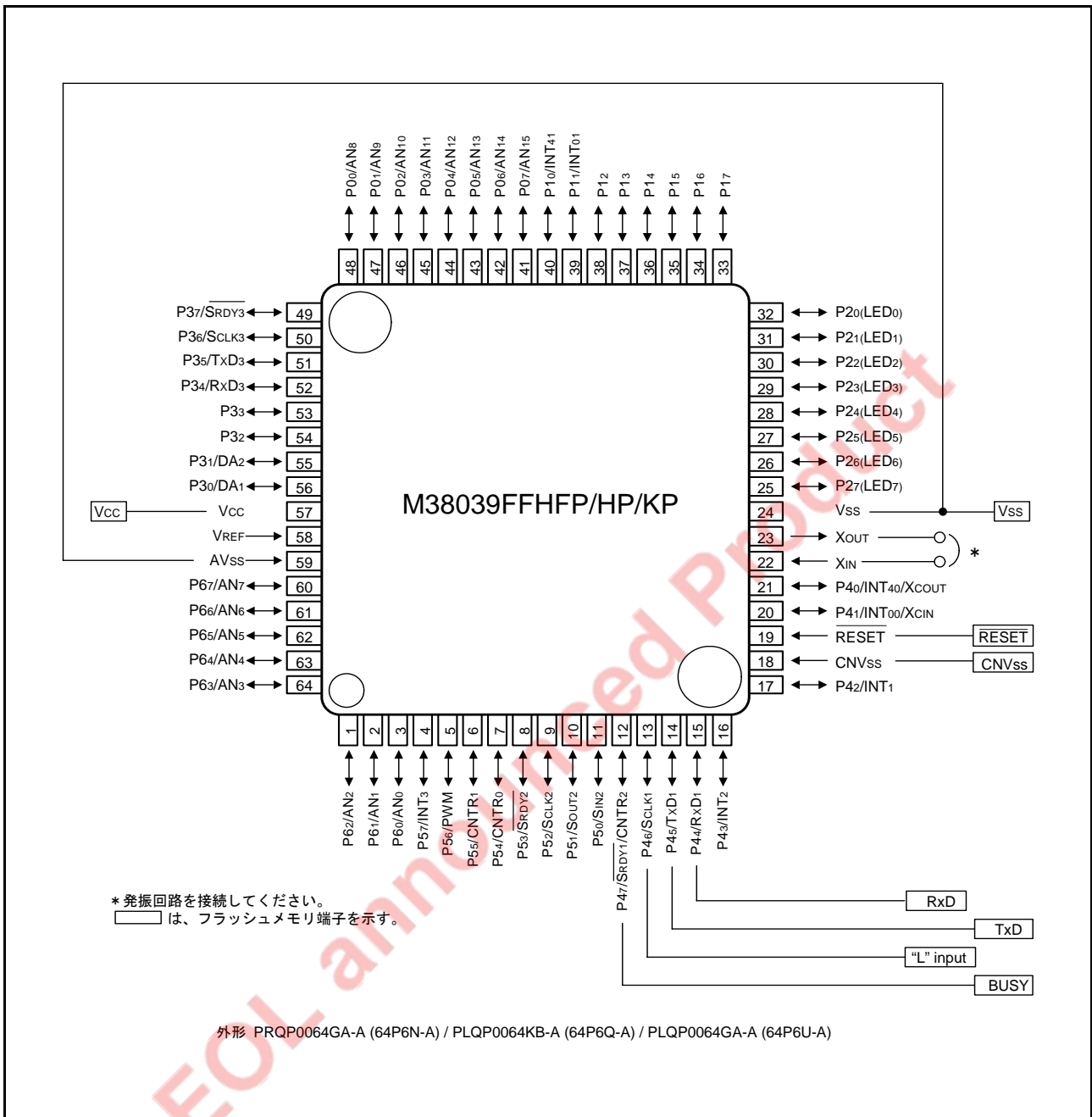


図75. 標準シリアル入出力モード2時の端子結線図 (M38039FFHFP/HP/KP)

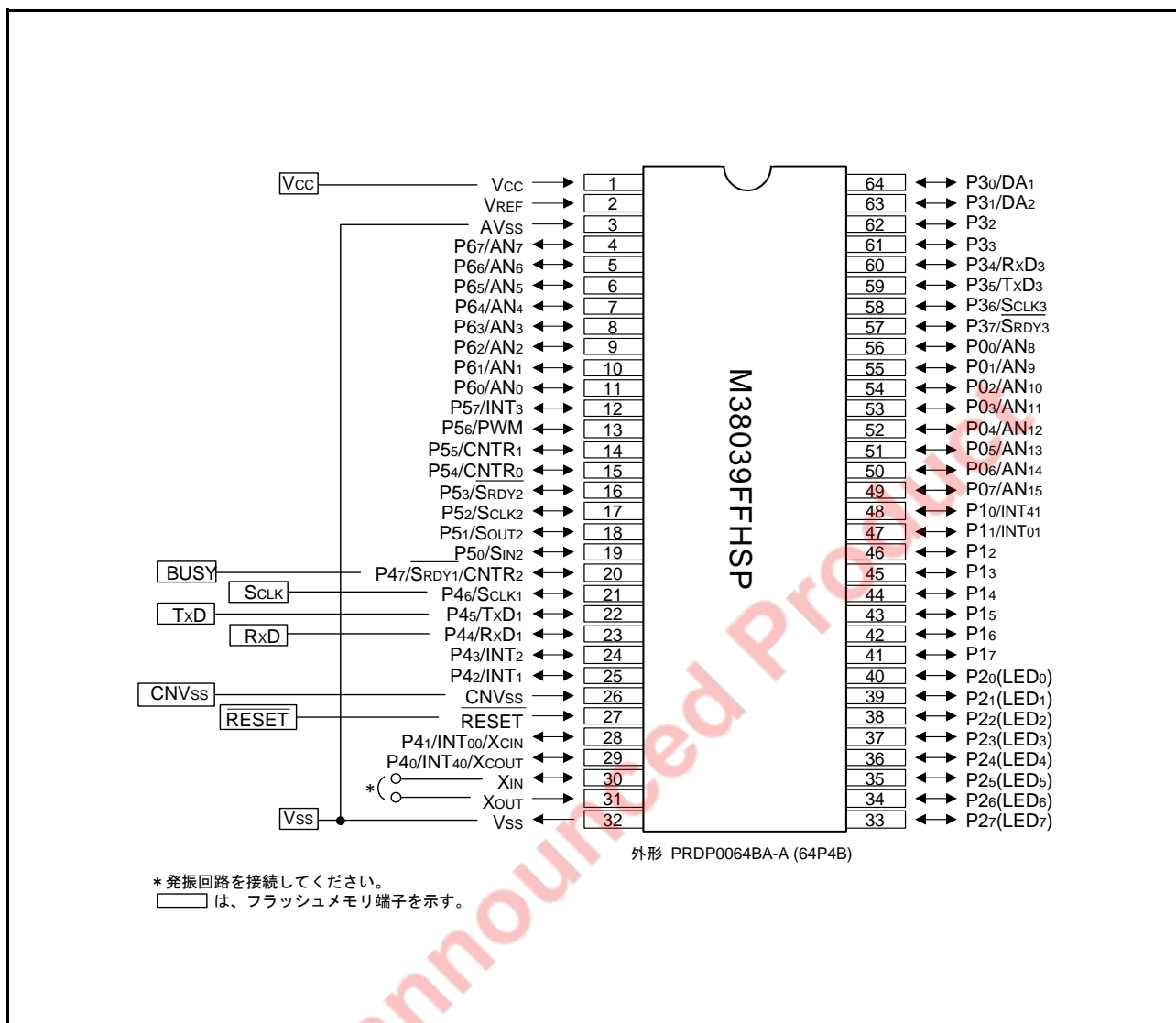


図76. 標準シリアル入出力モード1時の端子結線図 (M38039FFHSP)

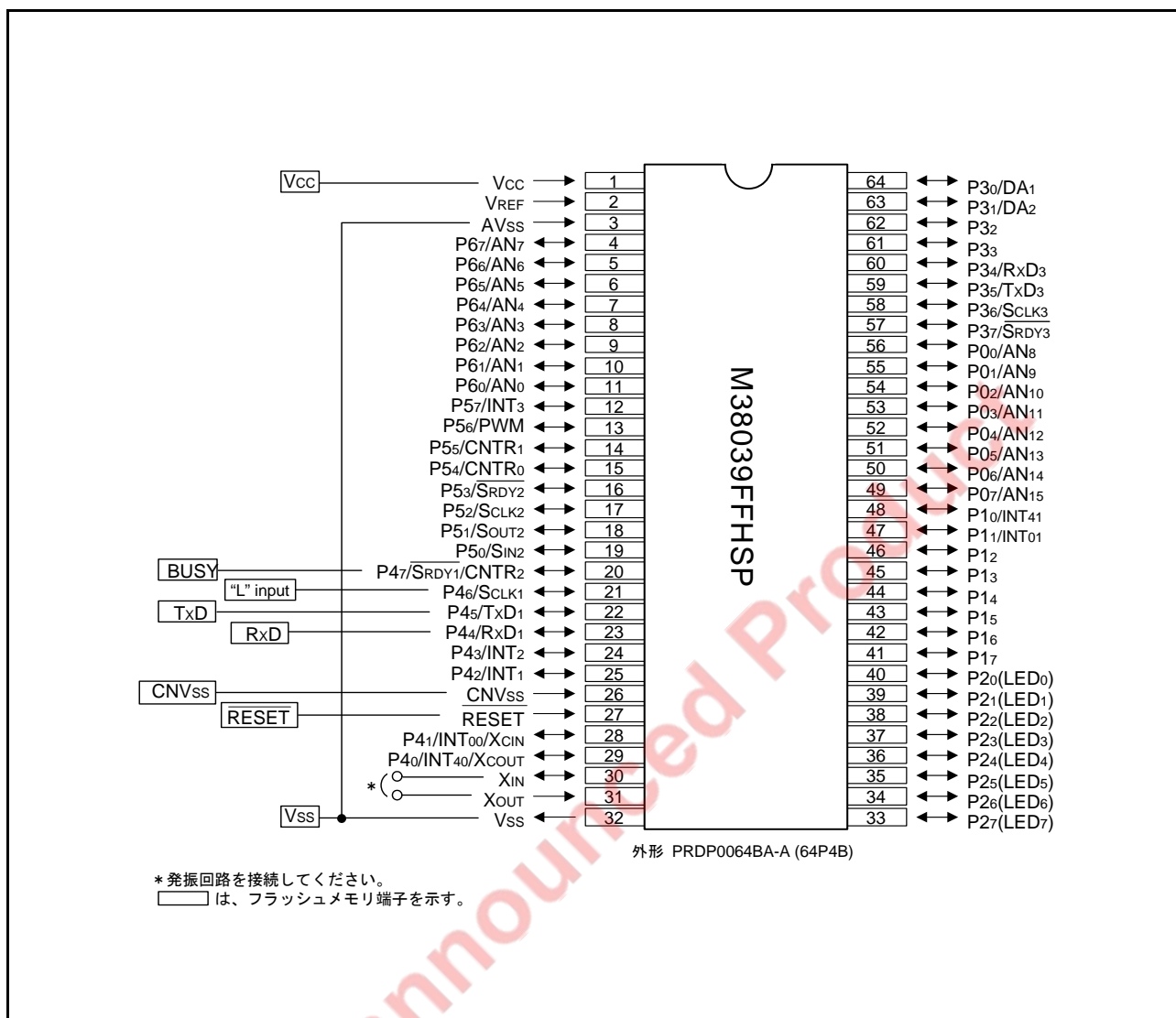


図 77. 標準シリアル入出力モード2時の端子結線図 (M38039FFHSP)

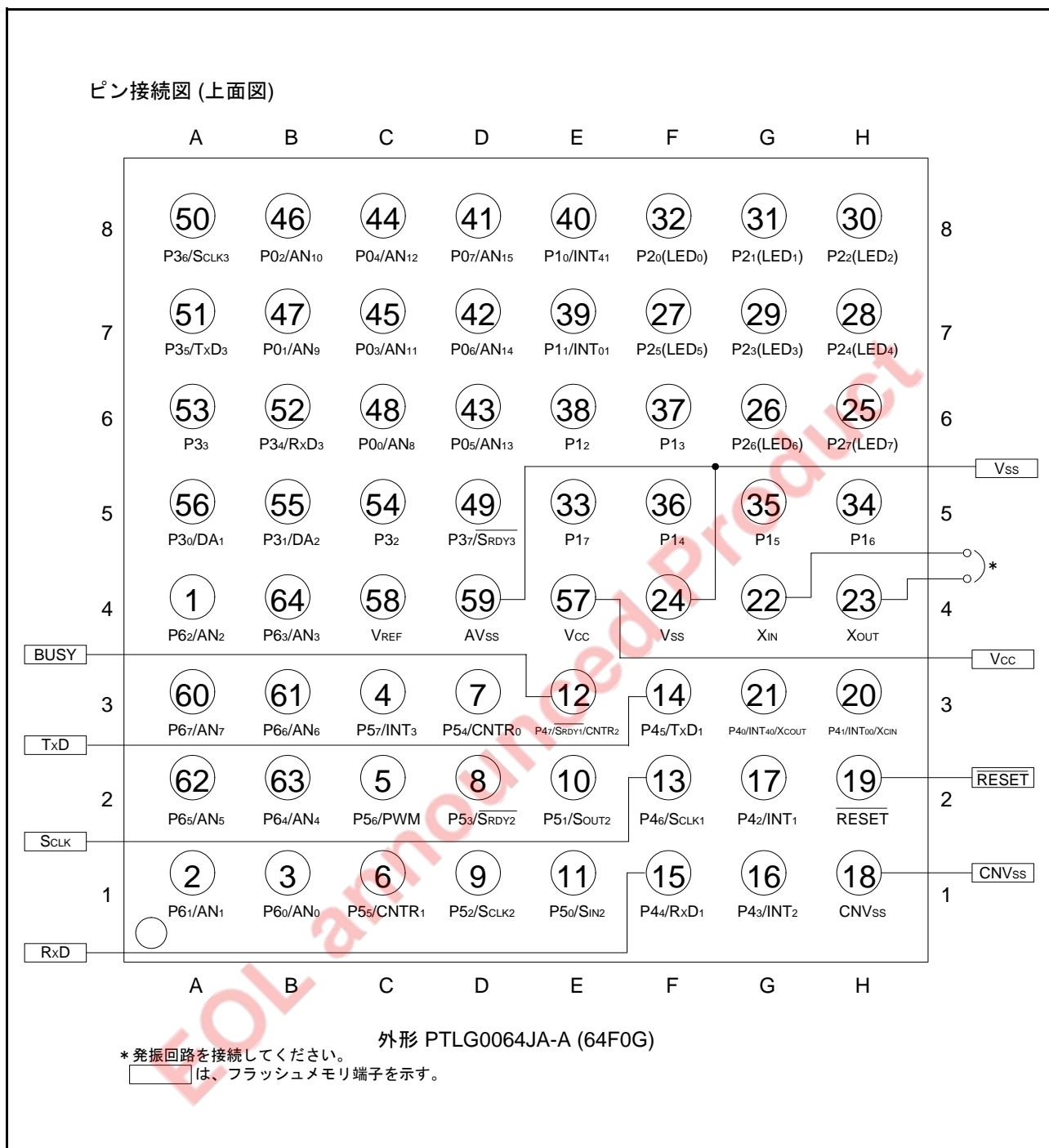


図 78. 標準シリアル入出力モード 1 時の端子結線図 (M38039FFHWG)

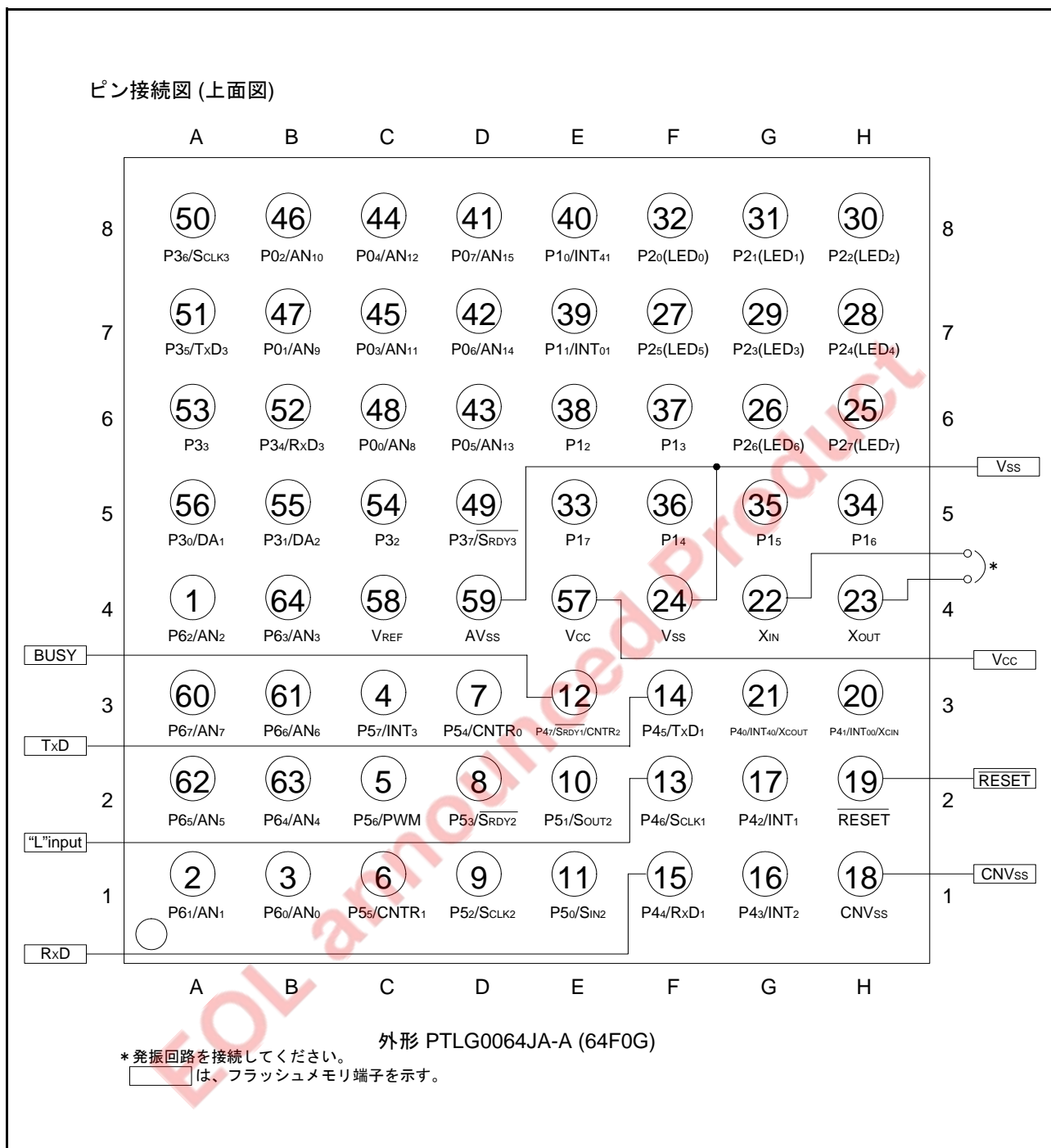


図 79. 標準シリアル入出力モード2時の端子結線図 (M38039FFHWG)

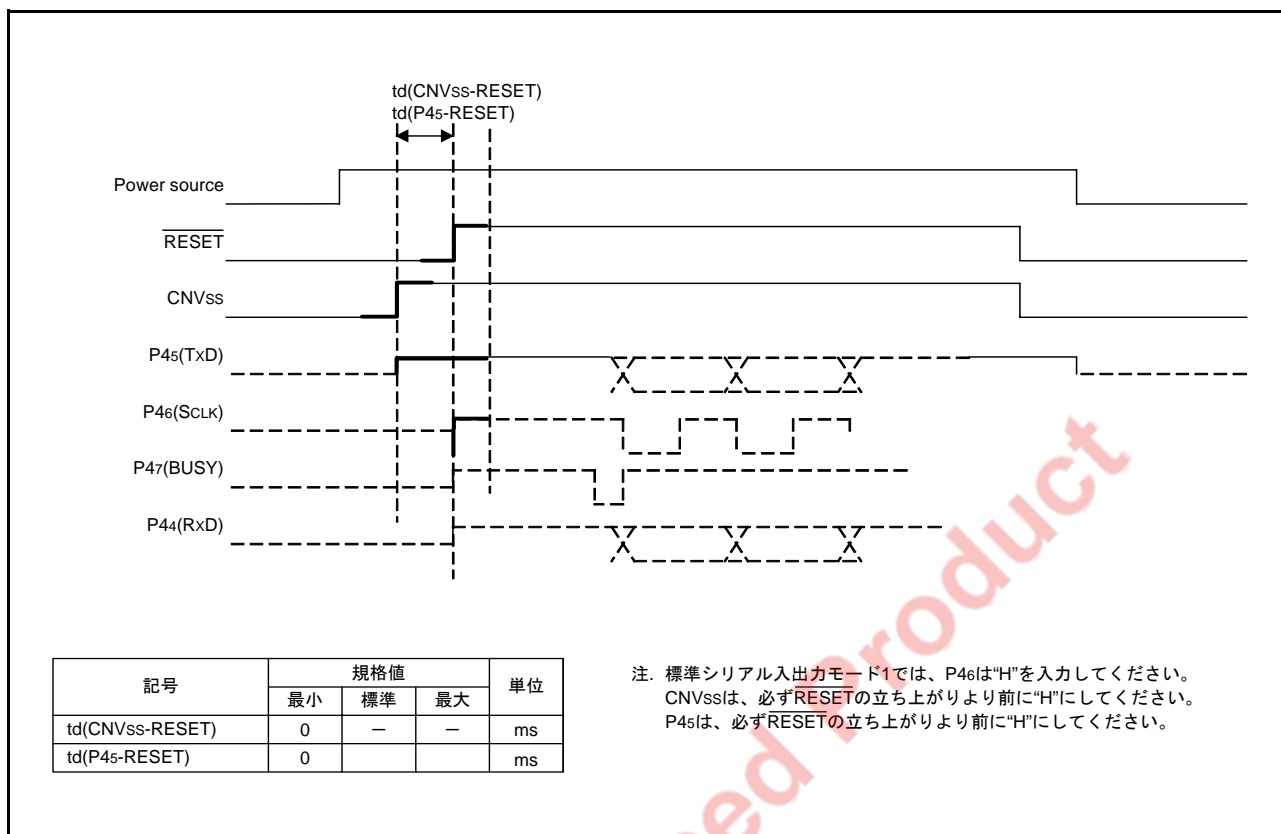


図80. 標準シリアル入出力モード1時の動作波形図

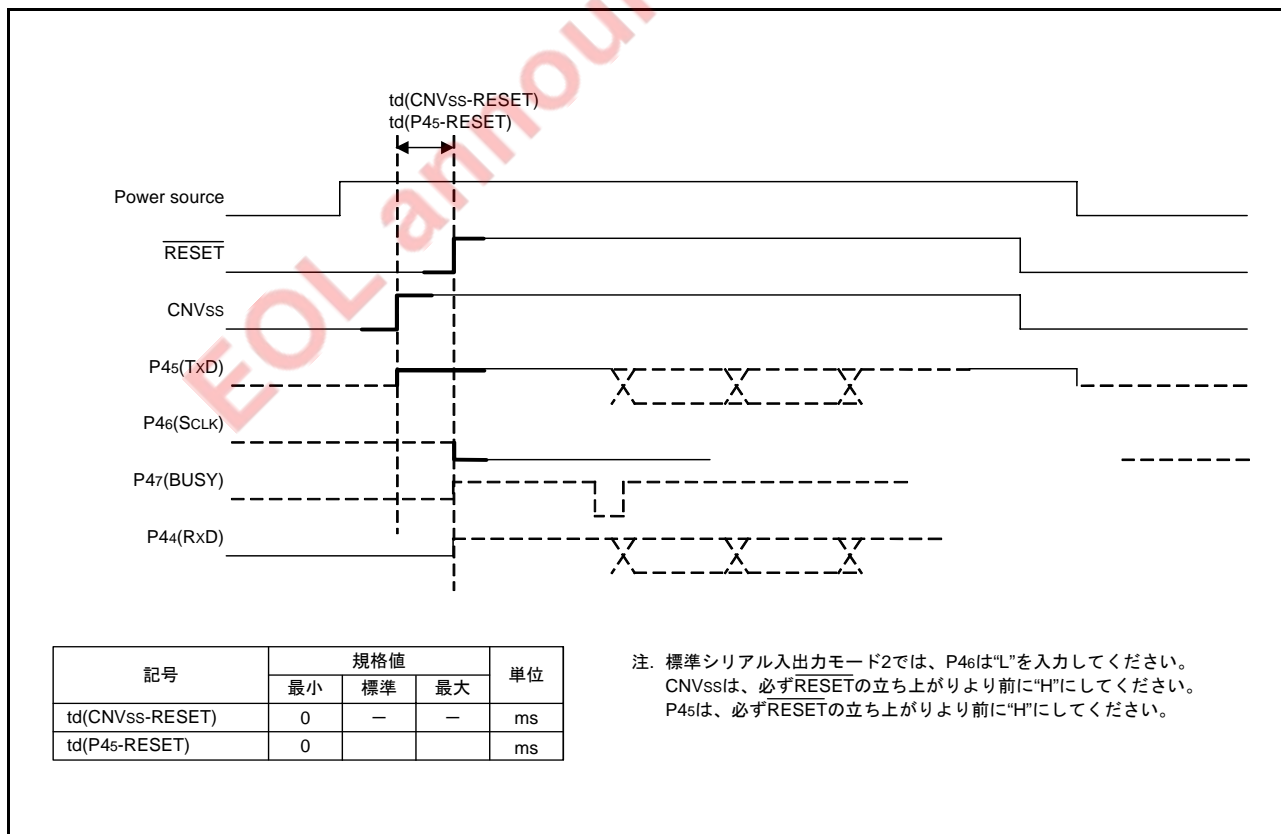


図81. 標準シリアル入出力モード2時の動作波形図

電気的特性

絶対最大規格

表 17. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	-0.3~6.5	V
V _I	入力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67, V _{REF}		-0.3~V _{CC} +0.3	V
V _I	入力電圧 P32, P33		-0.3~5.8	V
V _I	入力電圧 RESET, X _{IN}		-0.3~V _{CC} +0.3	V
V _I	入力電圧 CNV _{SS}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67, X _{OUT}		-0.3~V _{CC} +0.3	V
V _O	出力電圧 P32, P33		-0.3~5.8	V
P _d	消費電力		T _a = 25°C	1000 (注1)
T _{opr}	動作周囲温度		-20~85	°C
T _{stg}	保存温度		-65~125	°C

注1. SPパッケージ以外は300mWです。

EOL announced Product

推奨動作条件

表 18. 推奨動作条件(1) (マスクROM版)

(指定のない場合は、 $V_{CC}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a = -20\sim 85^\circ C$)

記号	項目	条件	規格値			単位	
			最小	標準	最大		
V _{CC}	電源電圧 (注1)	発振開始時 (注2)	2.2	5.0	5.5	V	
		高速モード時 $f(\phi)=f(X_{IN})/2$	$f(X_{IN}) \leq 2.1MHz$	2.0	5.0	5.5	V
			$f(X_{IN}) \leq 4.2MHz$	2.2	5.0	5.5	
			$f(X_{IN}) \leq 8.4MHz$	2.7	5.0	5.5	
			$f(X_{IN}) \leq 12.5MHz$	4.0	5.0	5.5	
			$f(X_{IN}) \leq 16.8MHz$	4.5	5.0	5.5	
		中速モード時 $f(\phi)=f(X_{IN})/8$	$f(X_{IN}) \leq 6.3MHz$	1.8	5.0	5.5	V
			$f(X_{IN}) \leq 8.4MHz$	2.2	5.0	5.5	
$f(X_{IN}) \leq 12.5MHz$	2.7		5.0	5.5			
$f(X_{IN}) \leq 16.8MHz$	4.5		5.0	5.5			
V _{SS}	電源電圧		0		V		
V _{IH}	“H” 入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P3 ₁ , P3 ₄ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇	$1.8 \leq V_{CC} < 2.7V$	0.85V _{CC}		V _{CC}	V	
		$2.7 \leq V_{CC} \leq 5.5V$	0.8V _{CC}		V _{CC}		
V _{IH}	“H” 入力電圧 P3 ₂ , P3 ₃	$1.8 \leq V_{CC} < 2.7V$	0.85V _{CC}		5.5	V	
		$2.7 \leq V_{CC} \leq 5.5V$	0.8V _{CC}		5.5		
V _{IH}	“H” 入力電圧 RESET, X _{IN} , X _{CIN} , CNV _{SS}	$1.8 \leq V_{CC} < 2.7V$	0.85V _{CC}		V _{CC}	V	
		$2.7 \leq V_{CC} \leq 5.5V$	0.8V _{CC}		V _{CC}		
V _{IL}	“L” 入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇	$1.8 \leq V_{CC} < 2.7V$	0		0.16V _{CC}	V	
		$2.7 \leq V_{CC} \leq 5.5V$	0		0.2V _{CC}		
V _{IL}	“L” 入力電圧 RESET, CNV _{SS}	$1.8 \leq V_{CC} < 2.7V$	0		0.16V _{CC}	V	
		$2.7 \leq V_{CC} \leq 5.5V$	0		0.2V _{CC}		
V _{IL}	“L” 入力電圧 X _{IN} , X _{CIN}	$1.8 \leq V_{CC} \leq 5.5V$	0		0.16V _{CC}	V	
f(X _{IN})	メインクロック入力発振周波数 (注3)	高速モード時 $f(\phi)=f(X_{IN})/2$	$2.0 \leq V_{CC} < 2.2V$			$\frac{(20 \times V_{CC} - 36) \times 1.05}{2}$	MHz
			$2.2 \leq V_{CC} < 2.7V$			$\frac{(24 \times V_{CC} - 40.8) \times 1.05}{3}$	
			$2.7 \leq V_{CC} < 4.0V$			$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	
			$4.0 \leq V_{CC} < 4.5V$			$\frac{(24 \times V_{CC} - 60) \times 1.05}{3}$	
			$4.5 \leq V_{CC} \leq 5.5V$			16.8	
		中速モード時 $f(\phi)=f(X_{IN})/8$	$1.8 \leq V_{CC} < 2.2V$			$\frac{(15 \times V_{CC} - 9) \times 1.05}{3}$	MHz
			$2.2 \leq V_{CC} < 2.7V$			$\frac{(24 \times V_{CC} - 28.8) \times 1.05}{3}$	
			$2.7 \leq V_{CC} < 4.5V$			$\frac{(15 \times V_{CC} + 39) \times 1.1}{7}$	
			$4.5 \leq V_{CC} \leq 5.5V$			16.8	
f(X _{CIN})	サブクロック入力発振周波数 (注3),(注4)		32.768	50	kHz		

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので注意してください。

注3. 発振周波数はデューティ 50%の場合です。

注4. 低速モードを使用する場合、サブクロック入力発振周波数は、必ず $f(X_{CIN}) < f(X_{IN})/3$ としてください。

表 19. 推奨動作条件(2) (フラッシュメモリ版)
 (指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a = -20\sim 85^\circ C$)

記号	項目	条件		規格値			単位
				最小	標準	最大	
V _{CC}	電源電圧 (注1)	発振開始時 (注2)		2.7	5.0	5.5	V
		高速モード時 $f(\phi)=f(X_{IN})/2$	$f(X_{IN}) \leq 8.4MHz$	2.7	5.0	5.5	V
			$f(X_{IN}) \leq 12.5MHz$	4.0	5.0	5.5	
			$f(X_{IN}) \leq 16.8MHz$	4.5	5.0	5.5	
中速モード時 $f(\phi)=f(X_{IN})/8$	$f(X_{IN}) \leq 12.5MHz$	2.7	5.0	5.5	V		
	$f(X_{IN}) \leq 16.8MHz$	4.5	5.0	5.5			
V _{SS}	電源電圧			0		V	
V _{IH}	“H” 入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P3 ₁ , P3 ₄ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇			0.8V _{CC}		V _{CC}	V
V _{IH}	“H” 入力電圧 P3 ₂ , P3 ₃			0.8V _{CC}		5.5	V
V _{IH}	“H” 入力電圧 RESET, X _{IN} , CNV _{SS}			0.8V _{CC}		V _{CC}	V
V _{IH}	“H” 入力電圧 X _{CIN}			2		V _{CC}	V
V _{IL}	“L” 入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇			0		0.2V _{CC}	V
V _{IL}	“L” 入力電圧 RESET, CNV _{SS}			0		0.2V _{CC}	V
V _{IL}	“L” 入力電圧 X _{IN}					0.16V _{CC}	V
V _{IL}	“L” 入力電圧 X _{CIN}					0.4	V
f(X _{IN})	メインクロック入力発振周波数 (注3)	高速モード時 $f(\phi)=f(X_{IN})/2$	$2.7 \leq V_{CC} < 4.0V$			$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	
			$4.0 \leq V_{CC} < 4.5V$			$\frac{(24 \times V_{CC} - 60) \times 1.05}{3}$	
			$4.5 \leq V_{CC} \leq 5.5V$			16.8	
		中速モード時 $f(\phi)=f(X_{IN})/8$	$2.7 \leq V_{CC} < 4.5V$			$\frac{(15 \times V_{CC} + 39) \times 1.1}{7}$	
			$4.5 \leq V_{CC} \leq 5.5V$			16.8	
f(X _{CIN})	サブクロック入力発振周波数 (注3),(注4)				32.768	50	kHz

注1. A/Dコンバータを使用する場合は、A/Dコンバータ推奨動作条件を参照してください。

注2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので注意してください。

注3. 発振周波数はデューティ 50%の場合です。

注4. 低速モードを使用する場合、サブクロック入力発振周波数は、必ず $f(X_{CIN}) < f(X_{IN})/3$ としてください。

表 20. 推奨動作条件(3) (指定のない場合マスクROM版は、 $V_{CC}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)
 (指定のない場合フラッシュメモリ版は、 $V_{CC}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^{\circ}C$)

記号	項目	規格値			単位
		最小	標準	最大	
$\sum I_{OH(peak)}$	“H” 出力総尖頭電流(注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			-80	mA
$\sum I_{OH(peak)}$	“H” 出力総尖頭電流(注1) P40~P47, P50~P57, P60~P67			-80	mA
$\sum I_{OL(peak)}$	“L” 出力総尖頭電流(注1) P00~P07, P10~P17, P30~P37			80	mA
$\sum I_{OL(peak)}$	“L” 出力総尖頭電流(注1) P20~P27			80	mA
$\sum I_{OL(peak)}$	“L” 出力総尖頭電流(注1) P40~P47, P50~P57, P60~P67			80	mA
$\sum I_{OH(avg)}$	“H” 出力総平均電流(注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37			-40	mA
$\sum I_{OH(avg)}$	“H” 出力総平均電流(注1) P40~P47, P50~P57, P60~P67			-40	mA
$\sum I_{OL(avg)}$	“L” 出力総平均電流(注1) P00~P07, P10~P17, P30~P37			40	mA
$\sum I_{OL(avg)}$	“L” 出力総平均電流(注1) P20~P27			40	mA
$\sum I_{OL(avg)}$	“L” 出力総平均電流(注1) P40~P47, P50~P57, P60~P67			40	mA
$I_{OH(peak)}$	“H” 出力尖頭電流(注2) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			-10	mA
$I_{OL(peak)}$	“L” 出力尖頭電流(注2) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			10	mA
$I_{OL(peak)}$	“L” 出力尖頭電流(注2) P20~P27			20	mA
$I_{OH(avg)}$	“H” 出力平均電流(注3) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47, P50~P57, P60~P67			-5	mA
$I_{OL(avg)}$	“L” 出力平均電流(注3) P00~P07, P10~P17, P30~P37, P40~P47, P50~P57, P60~P67			5	mA
$I_{OL(avg)}$	“L” 出力平均電流(注3) P20~P27			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

注3. 出力平均電流は、 $I_{OL(avg)}$ 、 $I_{OH(avg)}$ 100msの期間での平均値です。

電気的特性

表 21. 電気的特性(1) (指定のない場合マスクROM版は $V_{CC}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a = -20\sim 85^\circ C$)
 (指定のない場合フラッシュメモリ版は $V_{CC}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a = -20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H” 出力電圧 (注1) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47 P50~P57, P60~P67	IOH= -10mA VCC=4.0~5.5V	VCC - 2.0			V
		IOH= -1.0mA VCC=1.8~5.5V	VCC - 1.0			
VOL	“L” 出力電圧 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	IOI=10mA VCC=4.0~5.5V			2.0	V
		IOI=1.6mA VCC=1.8~5.5V			1.0	
VOL	“L” 出力電圧 P20~P27	IOI=20mA VCC=4.0~5.5V			2.0	V
		IOI=1.6mA VCC=1.8~5.5V			0.4	
VT+ - VT-	ヒステリシス CNTR0, CNTR1, CNTR2, INT0~INT4			0.4		V
VT+ - VT-	ヒステリシス RXD1, SCLK1, SIN2, SCLK2, RXD3, SCLK3			0.5		V
VT+ - VT-	ヒステリシス \overline{RESET}			0.5		V
IiH	“H” 入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	Vi=VCC (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			5.0	μA
IiH	“H” 入力電流 \overline{RESET} , CNVSS	Vi=VCC			5.0	μA
IiH	“H” 入力電流 XIN	Vi=VCC		4.0		μA
IiL	“L” 入力電流 P00~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67	Vi=VSS (端子はフローティング、 プルアップトランジスタは 切り離れた状態)			-5.0	μA
IiL	“L” 入力電流 \overline{RESET} , CNVSS	Vi=VSS			-5.0	μA
IiL	“L” 入力電流 XIN	Vi=VSS		-4.0		μA
IiL	“L” 入力電流 (プルアップ有効時) P00~P07, P10~P17, P20~P27, P30, P31, P34~P37, P40~P47 P50~P57, P60~P67	Vi=VSS VCC=5.0V	-80	-210	-420	μA
		Vi=VSS VCC=3.0V	-30	-70	-140	
V _{RAM}	RAM保持電圧	クロック停止時	1.8		VCC	V

注1. P35に関しては、UART3制御レジスタのP35/TXD3 Pチャンネル出力禁止ビット(003316番地のビット4)が"0"の場合です。
 P45に関しては、UART1制御レジスタのP45/TXD1 Pチャンネル出力禁止ビット(001B16番地のビット4)が"0"の場合です。

表 22. 電気的特性(2) (マスクROM版)

(指定のない場合は、 $V_{CC}=1.8\sim 5.5V$, $T_a = -20\sim 85^\circ C$, $f(X_{CIN})=32.768kHz$ (中速モード時は停止),
出力トランジスタは遮断状態, A/Dコンバータ非動作時)

記号	項目	測定条件			規格値			単位		
					最小	標準	最大			
I _{CC}	電源電流	高速モード時	V _{CC} =5.0V	f(X _{IN})=16.8MHz		8.0	15.0	mA		
				f(X _{IN})=12.5MHz		6.5	12.0			
				f(X _{IN})=8.4MHz		5.0	9.0			
				f(X _{IN})=4.2MHz		2.5	5.0			
				f(X _{IN})=16.8MHz (WIT 命令実行時)		2.0	3.6			
			V _{CC} =3.0V	f(X _{IN})=8.4MHz		1.9	3.8	mA		
				f(X _{IN})=4.2MHz		1.0	2.0			
				f(X _{IN})=2.1MHz		0.6	1.2			
			中速モード時	V _{CC} =5.0V	f(X _{IN})=16.8MHz		4.0	7.0	mA	
					f(X _{IN})=12.5MHz		3.0	6.0		
		f(X _{IN})=8.4MHz				2.5	5.0			
		f(X _{IN})=16.8MHz (WIT 命令実行時)				1.8	3.3			
		V _{CC} =3.0V			f(X _{IN})=12.5MHz		1.5	3.0		mA
				f(X _{IN})=8.4MHz		1.2	2.4			
				f(X _{IN})=6.3MHz		1.0	2.0			
		低速モード時		V _{CC} =5.0V	f(X _{IN})=停止		55	200	μA	
					WIT 命令実行時		40	70		
					V _{CC} =3.0V	f(X _{IN})=停止		15		40
			WIT 命令実行時				8	15		
			V _{CC} =2.0V	f(X _{IN})=停止		6	15	μA		
				WIT 命令実行時		3	6			
			STP 命令実行時 (発振はすべて停止)		T _a = 25°C		0.1	1.0	μA	
					T _a = 85°C			10		
A/Dコンバータ動作時の電流増量		f(X _{IN})=16.8MHz, V _{CC} =5.0V 中、高速モード時		500		μA				

表23. 電気的特性(3) (フラッシュメモリ版)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $T_a = -20\sim 85^\circ C$, $f(X_{CIN})=32.768kHz$ (中速モード時は停止),
出力トランジスタは遮断状態, A/Dコンバータ非動作時)

記号	項目	測定条件			規格値			単位			
					最小	標準	最大				
I _{CC}	電源電流	高速モード時	V _{CC} =5.0V	f(X _{IN})=16.8MHz		5.5	8.3	mA			
				f(X _{IN})=12.5MHz		4.5	6.8				
				f(X _{IN})=8.4MHz		3.5	5.3				
				f(X _{IN})=4.2MHz		2.2	3.3				
				f(X _{IN})=16.8MHz (WIT命令実行時)		2.2	3.3				
			V _{CC} =3.0V	f(X _{IN})=8.4MHz		2.7	4.1	mA			
				f(X _{IN})=4.2MHz		1.8	2.7				
				f(X _{IN})=2.1MHz		1.1	1.7				
				中速モード時	V _{CC} =5.0V	f(X _{IN})=16.8MHz			3.0	4.5	mA
						f(X _{IN})=12.5MHz			2.4	3.6	
		f(X _{IN})=8.4MHz				2.0	3.0				
		f(X _{IN})=16.8MHz (WIT命令実行時)				2.1	3.2				
		V _{CC} =3.0V	f(X _{IN})=12.5MHz		1.7	2.6	mA				
			f(X _{IN})=8.4MHz		1.5	2.3					
			f(X _{IN})=6.3MHz		1.3	2.0					
		低速モード時	V _{CC} =5.0V	f(X _{IN})=停止		410	630	μA			
				WIT命令実行時		4.5	6.8				
				V _{CC} =3.0V	f(X _{IN})=停止		400		600	μA	
			WIT命令実行時			3.7	5.6				
			STP命令実行時 (発振はすべて停止)		T _a = 25°C		0.55	3.0	μA		
			T _a = 85°C		0.75						
A/Dコンバータ動作時の電流増量		f(X _{IN})=16.8MHz, V _{CC} =5.0V 中、高速モード時			1000		μA				

A/Dコンバータ推奨動作条件

表24. A/Dコンバータ推奨動作条件 (マスクROM版)
(指定のない場合は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VCC	電源電圧 (A/Dコンバータ使用時)	8ビットA/Dモード時(注1)	2.0	5.0	5.5	V
		10ビットA/Dモード時(注2)	2.2	5.0	5.5	
VREF	A/Dコンバータ基準電圧		2.0		VCC	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN15		0		VCC	V
f(XIN)	メインクロック入力発振周波数 (A/Dコンバータ使用時)	$2.0 \leq V_{CC}=V_{REF} < 2.2V$	0.5		$\frac{(20 \times V_{CC} - 36) \times 1.05}{2}$	MHz
		$2.2 \leq V_{CC}=V_{REF} < 2.7V$	0.5		$\frac{(24 \times V_{CC} - 40.8) \times 1.05}{3}$	
		$2.7 \leq V_{CC}=V_{REF} < 4.0V$	0.5		$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	
		$4.0 \leq V_{CC}=V_{REF} < 4.5V$	0.5		$\frac{(24.6 \times V_{CC} - 62.7) \times 1.05}{3}$	
		$4.5 \leq V_{CC}=V_{REF} \leq 5.5V$	0.5		16.8	

注1. 8ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“1”の場合
注2. 10ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“0”の場合

A/Dコンバータ特性

表25. A/Dコンバータ特性 (マスクROM版)
(指定のない場合は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	8ビットA/Dモード時(注1)			8	bit	
		10ビットA/Dモード時(注2)			10		
—	絶対精度 (量子化誤差は除く)	8ビットA/Dモード時 (注1)	$2.0 \leq V_{REF} < 2.2V$			±3	LSB
			$2.2 \leq V_{REF} \leq 5.5V$			±2	
		10ビットA/Dモード時 (注2)	$2.2 \leq V_{REF} < 2.7V$			±5	LSB
			$2.7 \leq V_{REF} \leq 5.5V$			±4	
tCONV	変換時間	8ビットA/Dモード時(注1)			50	2tc(XIN)	
		10ビットA/Dモード時(注2)			61		
RLADDER	ラダー抵抗		12	35	100	kΩ	
IVREF	基準電源 入力電流	A/D変換動作時	VREF=5.0V	50	150	200	μA
		A/D変換停止時	VREF=5.0V			5.0	
II(AD)	A/Dポート入力電流				5.0	μA	

注1. 8ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“1”の場合
注2. 10ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“0”の場合

D/Aコンバータ特性

表26. D/Aコンバータ特性 (マスクROM版)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V\sim V_{CC}$, $T_a=-20\sim 85^\circ C$)

記号	項目	規格値			単位
		最小	標準	最大	
—	分解能			8	bit
—	絶対精度	$4.0 \leq V_{REF} \leq 5.5V$		1.0	%
		$2.7 \leq V_{REF} < 4.0V$		2.5	
t_{su}	設定時間			3	μs
RO	出力抵抗	2	3.5	5	$k\Omega$
I_{VREF}	基準電源入力電流 (注1)			3.2	mA

注1. D/Aコンバータ1本使用、他のDA変換レジスタの値は“00₁₆”。

EOL announced Product

A/Dコンバータ推奨動作条件

表27. A/Dコンバータ推奨動作条件 (フラッシュメモリ版)
(指定のない場合は、Vcc=2.7~5.5V, Vss=AVss=0V, Ta= -20~85°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VCC	電源電圧 (A/Dコンバータ使用時)	8ビットA/Dモード時(注1)	2.7	5.0	5.5	V
		10ビットA/Dモード時(注2)	2.7	5.0	5.5	
VREF	A/Dコンバータ基準電圧		2.0		VCC	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN15		0		VCC	V
f(XIN)	メインクロック入力発振周波数 (A/Dコンバータ使用時)	$2.7 \leq V_{CC}=V_{REF} < 4.0V$	0.5		$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	MHz
		$4.0 \leq V_{CC}=V_{REF} < 4.5V$	0.5		$\frac{(24.6 \times V_{CC} - 62.7) \times 1.05}{3}$	
		$4.5 \leq V_{CC}=V_{REF} \leq 5.5V$	0.5		16.8	

注1. 8ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“1”の場合
注2. 10ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“0”の場合

A/Dコンバータ特性

表28. A/Dコンバータ特性 (フラッシュメモリ版)
(指定のない場合は、Vcc=2.7~5.5V, Vss=AVss=0V, Ta= -20~85°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	8ビットA/Dモード時(注1)			8	bit
		10ビットA/Dモード時(注2)			10	
—	絶対精度 (量子化誤差は除く)	8ビットA/Dモード時(注1) $2.7 \leq V_{REF} \leq 5.5V$			±2	LSB
		10ビットA/Dモード時(注2) $2.7 \leq V_{REF} \leq 5.5V$			±4	LSB
tCONV	変換時間	8ビットA/Dモード時(注1)			50	2tc(XIN)
		10ビットA/Dモード時(注2)			61	
RLADDER	ラダー抵抗		12	35	100	kΩ
IVREF	基準電源 入力電流	A/D変換動作時 $V_{REF}=5.0V$	50	150	200	μA
		A/D変換停止時 $V_{REF}=5.0V$			5.0	
Ii(AD)	A/Dポート入力電流				5.0	μA

注1. 8ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“1”の場合
注2. 10ビットA/Dモード：変換モード選択ビット(0038₁₆番地のビット7)が“0”の場合

D/Aコンバータ特性

表29. D/Aコンバータ特性 (フラッシュメモリ版)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V\sim V_{CC}$, $T_a=-20\sim 85^{\circ}C$)

記号	項目		規格値			単位
			最小	標準	最大	
—	分解能				8	bit
—	絶対精度	$4.0 \leq V_{REF} \leq 5.5V$			1.0	%
		$2.7 \leq V_{REF} < 4.0V$			2.5	
t_{su}	設定時間				3	μs
RO	出力抵抗		2	3.5	5	$k\Omega$
I_{VREF}	基準電源入力電流 (注1)				3.2	mA

注1. D/Aコンバータ1本使用、他のDA変換レジスタの値は“0016”。

表30. 電源回路のタイミング特性 (フラッシュメモリ版)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=2.7V\sim V_{CC}$, $T_a=-20\sim 85^{\circ}C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	$2.7 \leq V_{CC} < 5.5V$			2	ms

EOL announced Product

タイミング必要条件

表31. タイミング必要条件(1)

(指定のない場合マスクROM版は、Vcc=2.0~5.5V, Vss=0V, Ta=-20~85°C)

(指定のない場合フラッシュメモリ版は、Vcc=2.7~5.5V, Vss=0V, Ta=-20~85°C)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	16			XINサイクル
tc(XIN)	メインロックXIN 入力サイクル時間	4.5 ≤ Vcc ≤ 5.5V	59.5		ns
		4.0 ≤ Vcc < 4.5V	10000 / (86Vcc - 219)		
		2.7 ≤ Vcc < 4.0V	26 × 10 ³ / (82Vcc - 3)		
		2.2 ≤ Vcc < 2.7V	10000 / (84Vcc - 143)		
		2.0 ≤ Vcc < 2.2V	10000 / (105Vcc - 189)		
twh(XIN)	メインロックXIN 入力“H”パルス幅	4.5 ≤ Vcc ≤ 5.5V	25		ns
		4.0 ≤ Vcc < 4.5V	4000 / (86Vcc - 219)		
		2.7 ≤ Vcc < 4.0V	10000 / (82Vcc - 3)		
		2.2 ≤ Vcc < 2.7V	4000 / (84Vcc - 143)		
		2.0 ≤ Vcc < 2.2V	4000 / (105Vcc - 189)		
twL(XIN)	メインロックXIN 入力“L”パルス幅	4.5 ≤ Vcc ≤ 5.5V	25		ns
		4.0 ≤ Vcc < 4.5V	4000 / (86Vcc - 219)		
		2.7 ≤ Vcc < 4.0V	10000 / (82Vcc - 3)		
		2.2 ≤ Vcc < 2.7V	4000 / (84Vcc - 143)		
		2.0 ≤ Vcc < 2.2V	4000 / (105Vcc - 189)		
tc(XCIN)	サブロックXCIN入力サイクル時間	20			μs
twh(XCIN)	サブロックXCIN入力“H”パルス幅	5			μs
twL(XCIN)	サブロックXCIN入力“L”パルス幅	5			μs
tc(CNTR)	CNTR ₀ ~ CNTR ₂ 入力サイクル時間	4.5 ≤ Vcc ≤ 5.5V	120		ns
		4.0 ≤ Vcc < 4.5V	160		
		2.7 ≤ Vcc < 4.0V	250		
		2.2 ≤ Vcc < 2.7V	500		
		2.0 ≤ Vcc < 2.2V	1000		
twh(CNTR)	CNTR ₀ ~ CNTR ₂ “H”入力パルス幅	4.5 ≤ Vcc ≤ 5.5V	48		ns
		4.0 ≤ Vcc < 4.5V	64		
		2.7 ≤ Vcc < 4.0V	115		
		2.2 ≤ Vcc < 2.7V	230		
		2.0 ≤ Vcc < 2.2V	460		
twL(CNTR)	CNTR ₀ ~ CNTR ₂ “L”入力パルス幅	4.5 ≤ Vcc ≤ 5.5V	48		ns
		4.0 ≤ Vcc < 4.5V	64		
		2.7 ≤ Vcc < 4.0V	115		
		2.2 ≤ Vcc < 2.7V	230		
		2.0 ≤ Vcc < 2.2V	460		
twh(INT)	INT ₀₀ , INT ₀₁ , INT ₁ , INT ₂ , INT ₃ , INT ₄₀ , INT ₄₁ 入力“H”パルス幅	4.5 ≤ Vcc ≤ 5.5V	48		ns
		4.0 ≤ Vcc < 4.5V	64		
		2.7 ≤ Vcc < 4.0V	115		
		2.2 ≤ Vcc < 2.7V	230		
		2.0 ≤ Vcc < 2.2V	460		
twL(INT)	INT ₀₀ , INT ₀₁ , INT ₁ , INT ₂ , INT ₃ , INT ₄₀ , INT ₄₁ 入力“L”パルス幅	4.5 ≤ Vcc ≤ 5.5V	48		ns
		4.0 ≤ Vcc < 4.5V	64		
		2.7 ≤ Vcc < 4.0V	115		
		2.2 ≤ Vcc < 2.7V	230		
		2.0 ≤ Vcc < 2.2V	460		

表 32. タイミング必要条件(2)

(指定のない場合マスクROM版は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)(指定のない場合フラッシュメモリ版は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	規格値			単位
		最小	標準	最大	
tc(SCLK1) tc(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力サイクル時間 (注1)	$4.5 \leq V_{CC} \leq 5.5V$	250		ns
		$4.0 \leq V_{CC} < 4.5V$	320		
		$2.7 \leq V_{CC} < 4.0V$	500		
		$2.2 \leq V_{CC} < 2.7V$	1000		
		$2.0 \leq V_{CC} < 2.2V$	2000		
tWH(SCLK1) tWH(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“H”パルス幅 (注1)	$4.5 \leq V_{CC} \leq 5.5V$	120		ns
		$4.0 \leq V_{CC} < 4.5V$	150		
		$2.7 \leq V_{CC} < 4.0V$	240		
		$2.2 \leq V_{CC} < 2.7V$	480		
		$2.0 \leq V_{CC} < 2.2V$	950		
tWL(SCLK1) tWL(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“L”パルス幅 (注1)	$4.5 \leq V_{CC} \leq 5.5V$	120		ns
		$4.0 \leq V_{CC} < 4.5V$	150		
		$2.7 \leq V_{CC} < 4.0V$	240		
		$2.2 \leq V_{CC} < 2.7V$	480		
		$2.0 \leq V_{CC} < 2.2V$	950		
tsu(RxD1-SCLK1) tsu(RxD3-SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力セットアップ時間	$4.5 \leq V_{CC} \leq 5.5V$	70		ns
		$4.0 \leq V_{CC} < 4.5V$	90		
		$2.7 \leq V_{CC} < 4.0V$	100		
		$2.2 \leq V_{CC} < 2.7V$	200		
		$2.0 \leq V_{CC} < 2.2V$	400		
th(SCLK1-RxD1) th(SCLK3-RxD3)	シリアルI/O1, シリアルI/O3 クロック入力ホールド時間	$4.5 \leq V_{CC} \leq 5.5V$	32		ns
		$4.0 \leq V_{CC} < 4.5V$	40		
		$2.7 \leq V_{CC} < 4.0V$	50		
		$2.2 \leq V_{CC} < 2.7V$	100		
		$2.0 \leq V_{CC} < 2.2V$	200		
tc(SCLK2)	シリアルI/O2 クロック入力サイクル時間	$4.5 \leq V_{CC} \leq 5.5V$	500		ns
		$4.0 \leq V_{CC} < 4.5V$	650		
		$2.7 \leq V_{CC} < 4.0V$	1000		
		$2.2 \leq V_{CC} < 2.7V$	2000		
		$2.0 \leq V_{CC} < 2.2V$	4000		
tWH(SCLK2)	シリアルI/O2 クロック入力“H”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	200		ns
		$4.0 \leq V_{CC} < 4.5V$	260		
		$2.7 \leq V_{CC} < 4.0V$	400		
		$2.2 \leq V_{CC} < 2.7V$	950		
		$2.0 \leq V_{CC} < 2.2V$	2000		
tWL(SCLK2)	シリアルI/O2 クロック入力“L”パルス幅	$4.5 \leq V_{CC} \leq 5.5V$	200		ns
		$4.0 \leq V_{CC} < 4.5V$	260		
		$2.7 \leq V_{CC} < 4.0V$	400		
		$2.2 \leq V_{CC} < 2.7V$	950		
		$2.0 \leq V_{CC} < 2.2V$	2000		
tsu(SIN2-SCLK2)	シリアルI/O2 クロック入力セットアップ時間	$4.5 \leq V_{CC} \leq 5.5V$	100		ns
		$4.0 \leq V_{CC} < 4.5V$	130		
		$2.7 \leq V_{CC} < 4.0V$	200		
		$2.2 \leq V_{CC} < 2.7V$	400		
		$2.0 \leq V_{CC} < 2.2V$	800		
th(SCLK2-SIN2)	シリアルI/O2 クロック入力ホールド時間	$4.5 \leq V_{CC} \leq 5.5V$	100		ns
		$4.0 \leq V_{CC} < 4.5V$	130		
		$2.7 \leq V_{CC} < 4.0V$	150		
		$2.2 \leq V_{CC} < 2.7V$	300		
		$2.0 \leq V_{CC} < 2.2V$	600		

注1. 001A₁₆番地のビット6, 0032₁₆番地のビット6が“1”(クロック同期モード)の場合です。
001A₁₆番地のビット6, 0032₁₆番地のビット6が“0”(非同期モード)の場合は、規格値は1/4になります。

スイッチング特性

表33. スwitchング特性(1)

(指定のない場合マスクROM版は、 $V_{CC}=2.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)(指定のない場合フラッシュメモリ版は、 $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK1) t _{WH} (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“H”パルス幅	図82	$4.5 \leq V_{CC} \leq 5.5V$	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30		ns
			$4.0 \leq V_{CC} < 4.5V$	tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35		
			$2.7 \leq V_{CC} < 4.0V$	tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40		
			$2.2 \leq V_{CC} < 2.7V$	tc(SCLK1)/2 - 45, tc(SCLK3)/2 - 45		
			$2.0 \leq V_{CC} < 2.2V$	tc(SCLK1)/2 - 50, tc(SCLK3)/2 - 50		
t _{WL} (SCLK1) t _{WL} (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“L”パルス幅	図82	$4.5 \leq V_{CC} \leq 5.5V$	tc(SCLK1)/2 - 30, tc(SCLK3)/2 - 30		ns
			$4.0 \leq V_{CC} < 4.5V$	tc(SCLK1)/2 - 35, tc(SCLK3)/2 - 35		
			$2.7 \leq V_{CC} < 4.0V$	tc(SCLK1)/2 - 40, tc(SCLK3)/2 - 40		
			$2.2 \leq V_{CC} < 2.7V$	tc(SCLK1)/2 - 45, tc(SCLK3)/2 - 45		
			$2.0 \leq V_{CC} < 2.2V$	tc(SCLK1)/2 - 50, tc(SCLK3)/2 - 50		
t _d (SCLK1-TxD1) t _d (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力遅延時間(注1)	図82	$4.5 \leq V_{CC} \leq 5.5V$		140	ns
			$4.0 \leq V_{CC} < 4.5V$		200	
			$2.7 \leq V_{CC} < 4.0V$		350	
			$2.2 \leq V_{CC} < 2.7V$		400	
			$2.0 \leq V_{CC} < 2.2V$		420	
t _v (SCLK1-TxD1) t _v (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力有効時間(注1)	図82	$4.5 \leq V_{CC} \leq 5.5V$	-30		ns
			$4.0 \leq V_{CC} < 4.5V$	-30		
			$2.7 \leq V_{CC} < 4.0V$	-30		
			$2.2 \leq V_{CC} < 2.7V$	-30		
			$2.0 \leq V_{CC} < 2.2V$	-30		
t _r (SCLK1) t _r (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち上がり時間	図82	$4.5 \leq V_{CC} \leq 5.5V$		30	ns
			$4.0 \leq V_{CC} < 4.5V$		35	
			$2.7 \leq V_{CC} < 4.0V$		40	
			$2.2 \leq V_{CC} < 2.7V$		45	
			$2.0 \leq V_{CC} < 2.2V$		50	
t _f (SCLK1) t _f (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち下がり時間	図82	$4.5 \leq V_{CC} \leq 5.5V$		30	ns
			$4.0 \leq V_{CC} < 4.5V$		35	
			$2.7 \leq V_{CC} < 4.0V$		40	
			$2.2 \leq V_{CC} < 2.7V$		45	
			$2.0 \leq V_{CC} < 2.2V$		50	
t _{WH} (SCLK2)	シリアルI/O2 クロック出力“H”パルス幅	図82	$4.5 \leq V_{CC} \leq 5.5V$	tc(SCLK2)/2 - 160		ns
			$4.0 \leq V_{CC} < 4.5V$	tc(SCLK2)/2 - 200		
			$2.7 \leq V_{CC} < 4.0V$	tc(SCLK2)/2 - 240		
			$2.2 \leq V_{CC} < 2.7V$	tc(SCLK2)/2 - 260		
			$2.0 \leq V_{CC} < 2.2V$	tc(SCLK2)/2 - 280		
t _{WL} (SCLK2)	シリアルI/O2 クロック出力“L”パルス幅	図82	$4.5 \leq V_{CC} \leq 5.5V$	tc(SCLK2)/2 - 160		ns
			$4.0 \leq V_{CC} < 4.5V$	tc(SCLK2)/2 - 200		
			$2.7 \leq V_{CC} < 4.0V$	tc(SCLK2)/2 - 240		
			$2.2 \leq V_{CC} < 2.7V$	tc(SCLK2)/2 - 260		
			$2.0 \leq V_{CC} < 2.2V$	tc(SCLK2)/2 - 280		
t _d (SCLK2-SOUT2)	シリアルI/O2出力遅延時間	図82	$4.5 \leq V_{CC} \leq 5.5V$		200	ns
			$4.0 \leq V_{CC} < 4.5V$		250	
			$2.7 \leq V_{CC} < 4.0V$		300	
			$2.2 \leq V_{CC} < 2.7V$		350	
			$2.0 \leq V_{CC} < 2.2V$		400	

注1. UART1制御レジスタのP4₅/TxD1Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

表34. スイッチング特性(2)

(指定のない場合、マスクROM版は $V_{CC}=2.0\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)(指定のない場合、フラッシュメモリ版は $V_{CC}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tv(SCLK2-SOUT2)	シリアルI/O2出力有効時間	図82	$4.5 \leq V_{CC} \leq 5.5V$	0		ns
			$4.0 \leq V_{CC} < 4.5V$	0		
			$2.7 \leq V_{CC} < 4.0V$	0		
			$2.2 \leq V_{CC} < 2.7V$	0		
			$2.0 \leq V_{CC} < 2.2V$	0		
tf(SCLK2)	シリアルI/O2 クロック出力立ち下がり時間		$4.5 \leq V_{CC} \leq 5.5V$		30	ns
			$4.0 \leq V_{CC} < 4.5V$		35	
			$2.7 \leq V_{CC} < 4.0V$		40	
			$2.2 \leq V_{CC} < 2.7V$		45	
			$2.0 \leq V_{CC} < 2.2V$		50	
tr(CMOS)	CMOS出力立ち上がり時間 (注1)		$4.5 \leq V_{CC} \leq 5.5V$	10	30	ns
			$4.0 \leq V_{CC} < 4.5V$	12	35	
			$2.7 \leq V_{CC} < 4.0V$	15	40	
			$2.2 \leq V_{CC} < 2.7V$	17	45	
			$2.0 \leq V_{CC} < 2.2V$	20	50	
tr(CMOS)	CMOS出力立ち下がり時間 (注1)		$4.5 \leq V_{CC} \leq 5.5V$	10	30	ns
			$4.0 \leq V_{CC} < 4.5V$	12	35	
			$2.7 \leq V_{CC} < 4.0V$	15	40	
			$2.2 \leq V_{CC} < 2.7V$	17	45	
			$2.0 \leq V_{CC} < 2.2V$	20	50	

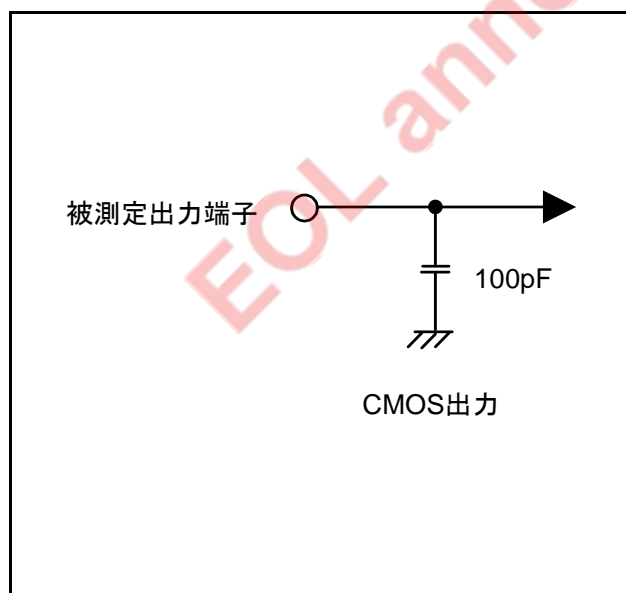
注1. UART3制御レジスタのP3₅/TxD₃P4チャンネル出力禁止ビット(0033₁₆番地のビット4)が“0”の場合です。

図82. 出力スイッチング特性測定回路図(1)

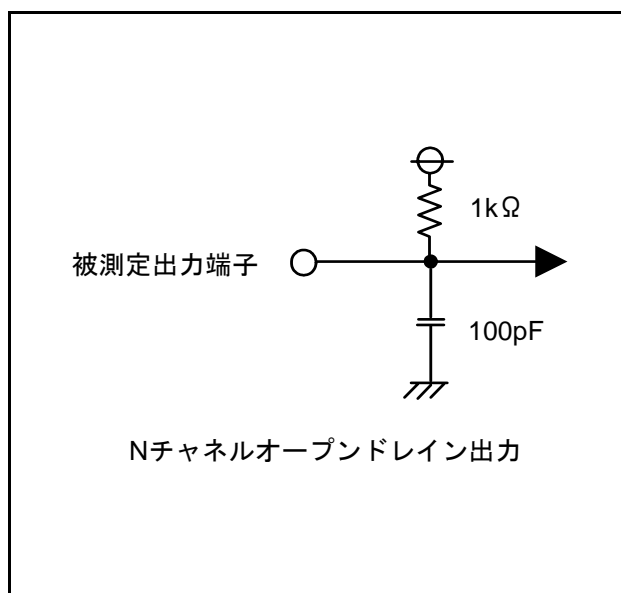


図83. 出力スイッチング特性測定回路図(2)

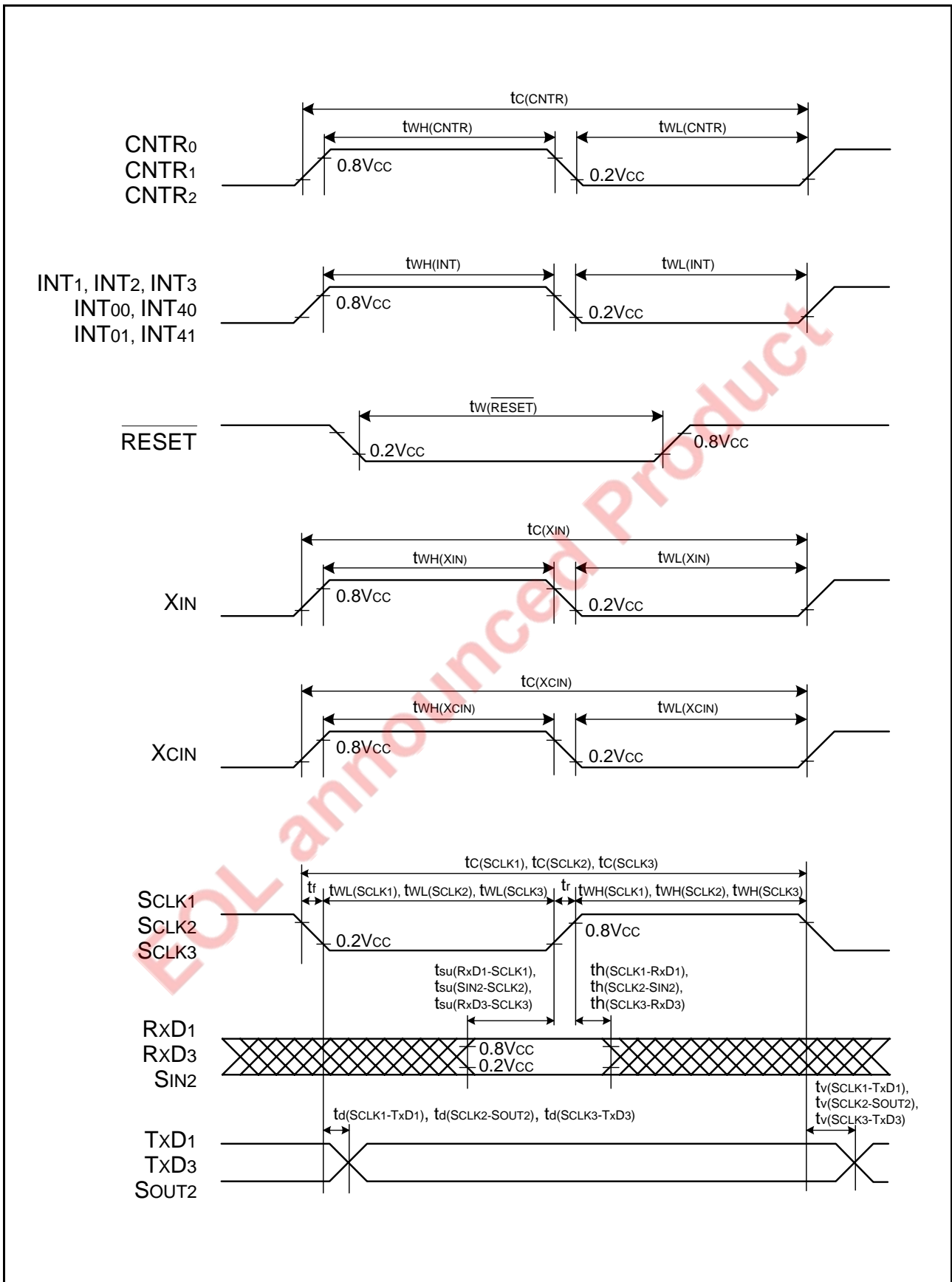
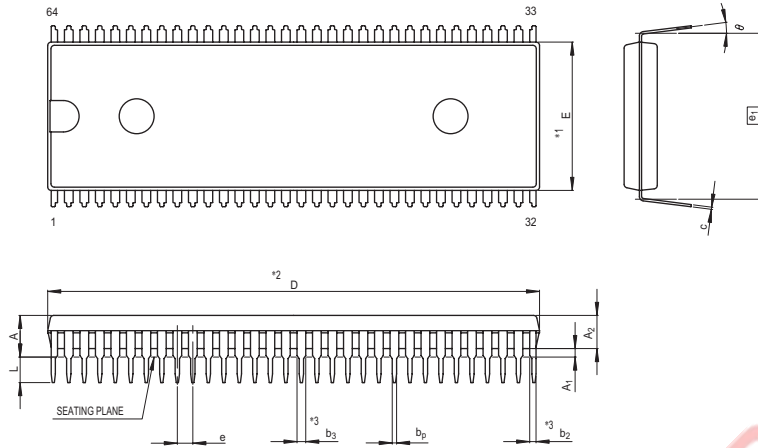


図84. タイミング図 (シングルチップモード時)

外形寸法図

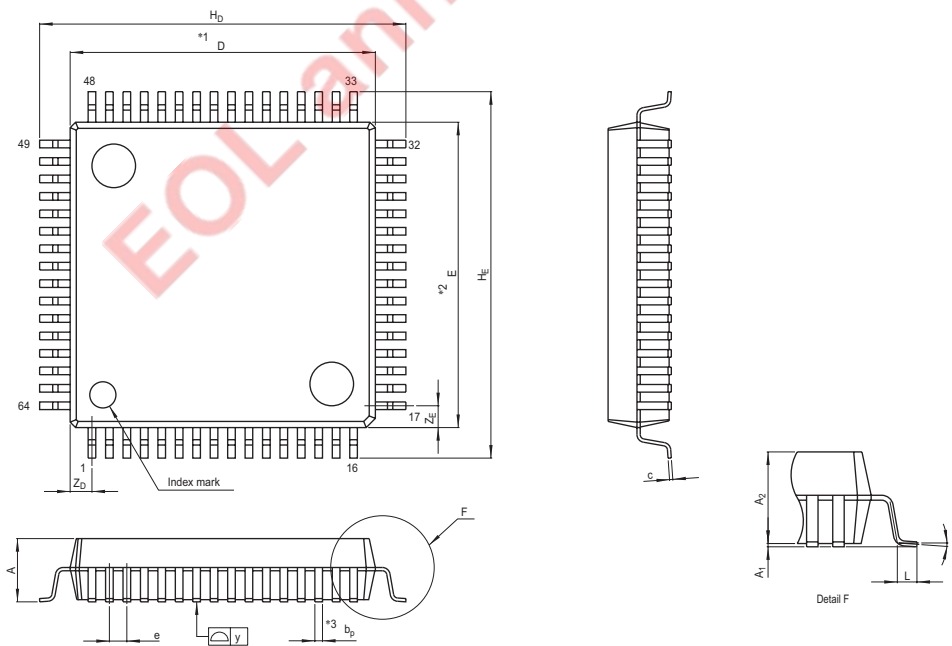
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-SDIP64-17x56.4-1.78	PRDP0064BA-A	64P4B	7.9g



NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
E	18.75	19.05	19.35
D	56.2	56.4	56.6
E	16.85	17.0	17.15
A	—	—	5.08
A ₁	0.38	—	—
A ₂	—	3.8	—
b _p	0.4	0.5	0.6
b ₂	0.65	0.75	1.05
b ₃	0.9	1.0	1.3
c	0.2	0.25	0.32
θ	0°	—	15°
e	1.528	1.778	2.028
L	2.8	—	—

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-QFP64-14x14-0.80	PRQP0064GA-A	64P6N-A	1.1g

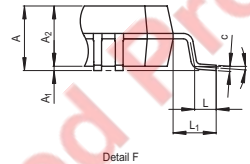
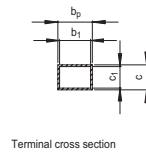
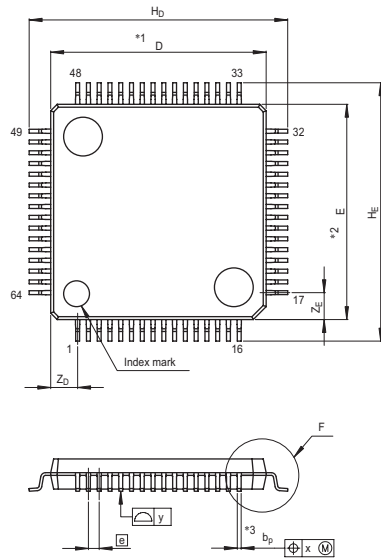


NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.8	14.0	14.2
E	13.8	14.0	14.2
A ₂	—	2.8	—
H _D	16.5	16.8	17.1
H _E	16.5	16.8	17.1
A	—	—	3.05
A ₁	0	0.1	0.2
b _p	0.3	0.35	0.45
c	0.13	0.15	0.2
θ	0°	—	10°
e	0.65	0.8	0.95
y	—	—	0.10
Z _D	—	1.0	—
Z _E	—	1.0	—
L	0.4	0.6	0.8

3803 グループ(H仕様)

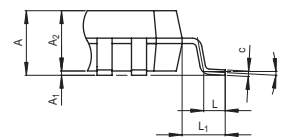
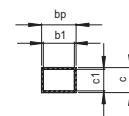
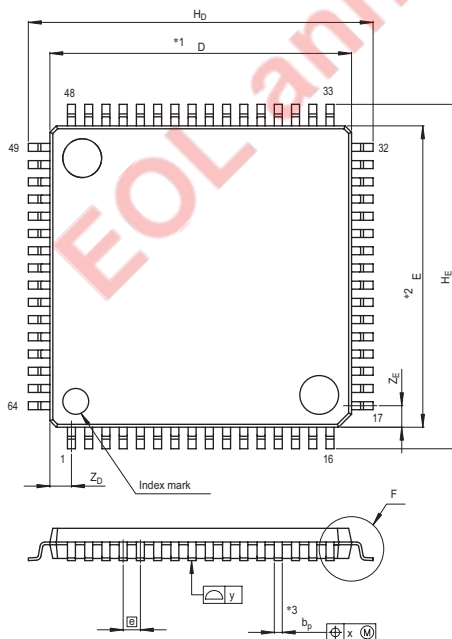
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g



NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

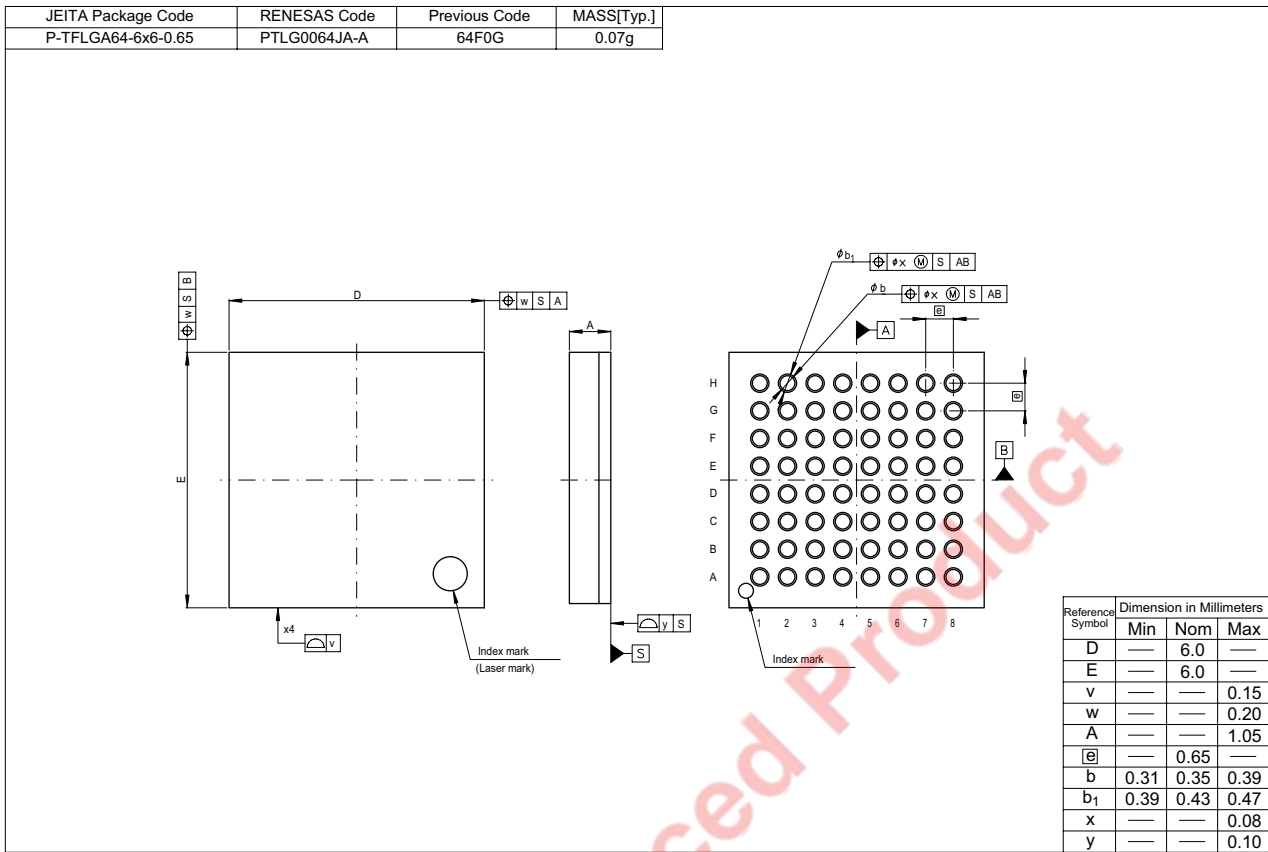
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	0.1	0.15
b _p	0.15	0.20	0.25
b ₁	—	0.18	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
ⓐ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z _D	—	1.25	—
Z _E	—	1.25	—
L	0.35	0.5	0.65
L ₁	—	1.0	—

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-14x14-0.80	PLQP0064GA-A	64P6U-A	0.7g



NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0	0.1	0.2
b _p	0.32	0.37	0.42
b ₁	—	0.35	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
ⓐ	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z _D	—	1.0	—
Z _E	—	1.0	—
L	0.3	0.5	0.7
L ₁	—	1.0	—



注意事項

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

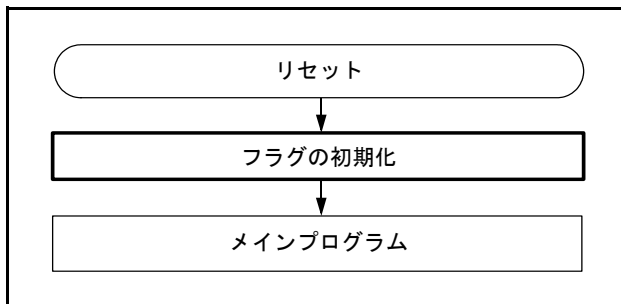


図85. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

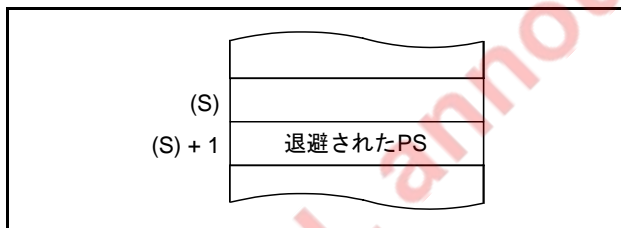


図86. PHP命令実行後のスタックメモリの内容

2. BRK命令

(1) 割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- 割り込み要求ビット、割り込み許可ビットが共に“1”
- Iフラグを“1”にして割り込みを禁止

3. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令またはSBC命令を実行します。その場合、SEC命令、CLC命令、またはCLD命令は、ADC命令またはSBC命令よりも一命令後に行ってください。

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

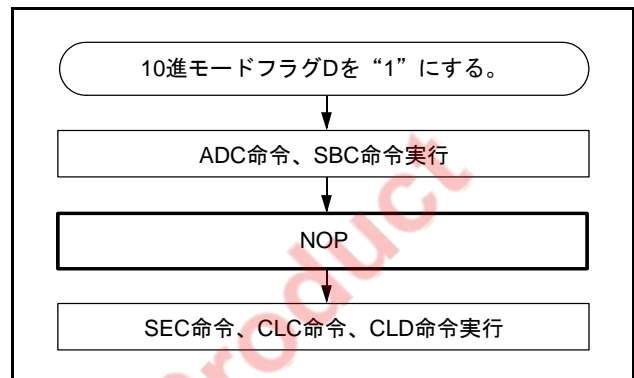


図87. 10進演算時の命令

4. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

5. 乗除算命令

- MUL、DIV命令は、T、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

6. ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

7. 命令の実行時間

命令の実行時間は「740ファミリ ソフトウェアマニュアル」を参照してください。記載されているサイクル数に内部クロックφの周期をかけることによって得られます。内部クロックφの周期は、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。低速モード時は、XCIN周期の2倍です。

周辺機能に関する注意事項**入出力端子に関する注意事項****(1) スタンバイ状態での使用**

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ（Vccに接続）またはプルダウン（Vssに接続）してください。

抵抗値を決定する際は、以下の2点に留意してください。

- 外付け回路
 - 通常動作時の出力レベルの変動
- また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。
- 入力ポートに設定している場合：入力レベルを固定する。
 - 出力ポートに設定している場合：外部に電流が流出しないようにする。

<理由>

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

<理由>

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出しおよび書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- 入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- 出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

未使用端子の処理に関する注意事項**1. 未使用端子の適切な処理****(1) 出力専用ポート**

開放してください。

(2) 入出力ポート

入力モードに設定し、1～10kΩの抵抗を介してVccまたはVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”または“H”出力状態で開放してください。

- 出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(3) A/Dコンバータを使用しない場合のA/D変換用電源端子AVss

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- AVss:Vssに接続

2. 処理上の留意事項**(1) 入出力ポート**

入力モードで開放しないでください。

<理由>

- 初段回路によっては電源電流が増加する場合があります。
- 上記適切な処理「1. (2) 入出力ポート」に比べ、ノイズの影響を受け易くなります。

(2) 入出力ポート

入力モードに設定した場合、VccまたはVssに直結しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

(3) 入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、VccまたはVssに接続しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- 未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

割り込みに関する注意事項

1. 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択および複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

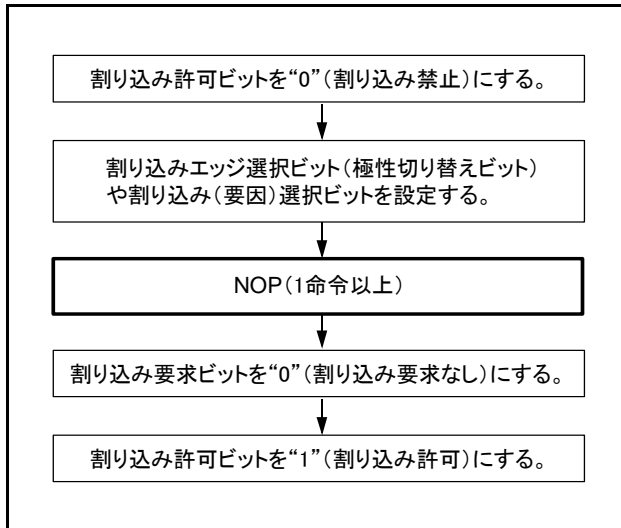


図88. 関連レジスタの設定変更手順

<理由>

次の場合、割り込み要求ビットが“1”になる場合があります。

- 外部割り込みのアクティブエッジを設定する際
対象レジスタ： 割り込みエッジ選択レジスタ
(003A16番地)
タイマXYモードレジスタ (002316番地)
タイマZモードレジスタ (002A16番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ： 割り込み要因選択レジスタ
(003916番地)

2. 割り込み要求ビットの判定

割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令またはBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令またはBBS命令を実行する前に、1命令実行してください。

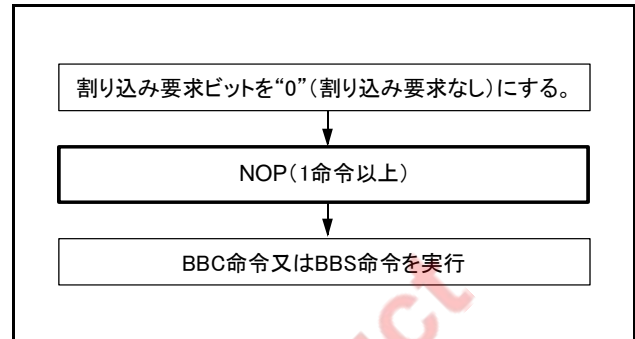


図89. 割り込み要求ビットの設定手順

<理由>

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令またはBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

8ビットタイマ (タイマ1、タイマ2、タイマX、タイマY) に関する注意事項

- タイマラッチに値n(“0”～“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。
- パルス出力モードではCNTR0/CNTR1端子と共用のポートP54/P55を出力に設定してください。
- イベントカウンタモードおよびパルス幅測定モードではCNTR0/CNTR1端子と共用のポートP54/P55を入力に設定してください。

16ビットタイマ (タイマZ) に関する注意事項

1. パルス出力モード

- CNTR2端子と共用のポートP47を出力に設定してください。

2. パルス周期測定モード

- CNTR2端子と共用のポートP47を入力に設定してください。
- このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。
- このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。
- タイマの値はタイマがアンダフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ“FFFF16”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

3. パルス幅測定モード

- このモードではCNTR2端子と共用のポートP47を入力に設定してください。
- このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。
- このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。
- タイマの値はタイマがアンダフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ、“FFFF16”に設定されます。よってパルス幅測定開始時のタイマの値は測定開始以前のタイマの値に依存します。

4. プログラマブル波形発生モード

- このモードではCNTR2端子と共用のポートP47を出力に設定してください。

5. プログラマブルワンショット発生モード

- このモードではCNTR2端子と共用のポートP47を出力に、INT1端子と共用のポートP42を入力に設定してください。
- 低速モード選択時、プログラマブルワンショット発生モードは使用できません。
- ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

6. 全モードにおいて

• タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A16番地)のタイマZ書き込み制御ビット(b3)によってラッチおよびタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチおよびタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

• タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

• CNTR2、INT1割り込み極性切り替え

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

• カウントソース切り替え

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

シリアルインタフェースに関する注意事項

1. 同期形の選択時

(1) 送信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1, 3)の場合、シリアルI/Oi許可ビットおよび送信許可ビットを“0”(シリアルI/Oi禁止および送信禁止)にしてください。

<理由>

シリアルI/Oi許可ビットだけを“0”(シリアルI/Oi禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxDi、RxDi、SCLKi、 $\overline{\text{SRDYi}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/Oi許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

(2) 受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1, 3)の場合、受信許可ビットを“0”(受信禁止)、またはシリアルI/Oi許可ビットを“0”(シリアルI/Oi禁止)にしてください。

(3) 送受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1, 3)においては、クロック同期形シリアルI/Oモードの場合、送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また「(1)送信動作の停止」と同様に、シリアルI/Oi許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

2. 非同期形の選択時

(1) 送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/Oi許可ビット(i=1, 3)を“0”にすることでは送信動作は止まりません。

<理由>

「1. (1)送信動作の停止」と同じです。

(2) 受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/Oi許可ビット(i=1, 3)を“0”にすることでは送信動作は止まりません。

<理由>

「1. (1)送信動作の停止」と同じです。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

3. 受信側の $\overline{\text{SRDYi}}$ (i=1,3)出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDYi}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDYi}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

4. シリアルI/Oi(i=1, 3)制御レジスタの再設定

シリアルI/Oi制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。

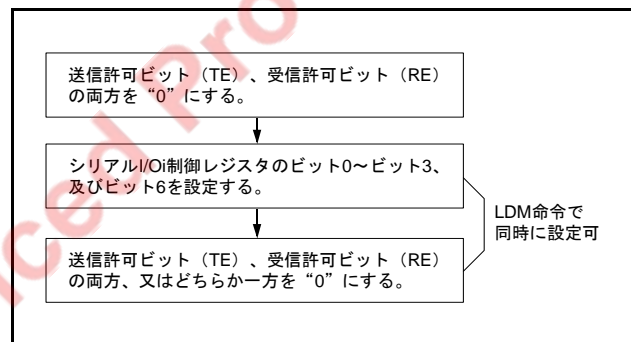


図90. シリアルI/Oi(i=1, 3)制御レジスタの再設定手順

5. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

6. 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLKi(i=1, 3)が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLKiが“H”の状態で行ってください。

7. 送信許可ビットセット時の送信割り込み要求

送信割り込みを使用する場合は、以下の手順で設定してください。

- (1) シリアルI/Oi送信割り込み許可ビット(i=1, 3)を“0”(禁止)にする。
- (2) 送信許可ビットを“1”にする。
- (3) 一命令以上おいてからシリアルI/Oi送信割り込み要求ビット(i=1, 3)を“0”にする。
- (4) シリアルI/Oi送信割り込み許可ビット(i=1, 3)を“1”(許可)にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンブレティフラグ、および送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

8. ポーレートジェネレータ i(BRGI)(i=1, 3)への書き込み

UARTi(i=1, 3) ポーレートジェネレータ i(BRGI)(i=1, 3) への書き込みは、送受信停止中に行ってください。

PWMに関する注意事項

PWM機能許可ビットによってPWMを許可した後、PWM端子から一時的に“L”レベルが出力されてから、PWMは“H”から開始します。

この“L”レベルの出力時間は次のとおりです。

- カウントソース選択ビット=“0”, n=プリスケアラ設定値

$$2 \times f(XIN) \times \frac{n+1}{f(XIN)} \quad (\text{秒})$$
- カウントソース選択ビット=“1”, n=プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

A/Dコンバータに関する注意事項

1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、 $0.01 \mu\text{F} \sim 1 \mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/Dコンバータ用電源端子

A/D変換機能の使用または不使用にかかわらず、A/Dコンバータ用電源端子AVSSはVSSに接続してください。

<理由>

AVSS端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

3. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- $f(XIN)$ は500kHz以上にしてください。
- STP命令を実行しないでください。

4. 10ビットA/Dモード時の8ビット読み出しと8ビットモードの差異

10ビットA/Dモード時の8ビット読み出しでは、A/D変換結果に“-1/2LSB”の補正が入りません。これに対して8ビットA/Dモードでは“-1/2LSB”補正が加えられ、3802グループと同一の変換特性となります。

D/Aコンバータに関する注意事項

D/Aコンバータ使用時は以下の点に注意してください。

1. DAコンバータを使用する場合のVcc

DAコンバータの精度はVccが4.0V以下で異なります。DAコンバータを使用する場合はVccを4.0V以上にすることを推奨します。

2. DAコンバータを使用しない場合のVcc

DAコンバータを使用しない場合、D/Ai変換レジスタ(i=1, 2)の設定値は、すべて“0016”にしてください。リセット後の初期値は“0016”です。

ウォッチドッグタイマに関する注意事項

- ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマHがアンダフローしないようにしてください。
- ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを一旦“1”にすると、プログラムにより“0”に書き替えることはできません。

リセット端子に関する注意事項

コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVSS端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- コンデンサの配線長は最短にしてください。
- ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

低速モードに関する注意事項

1. サブクロックの使用

サブクロックを使用する場合、CPUモードレジスタのビット3を常に“1”に固定してください。又Rd（図91参照）の抵抗値を調整することにより、発振の安定を図ってください。この抵抗値については発振子メーカーにお問い合わせください。

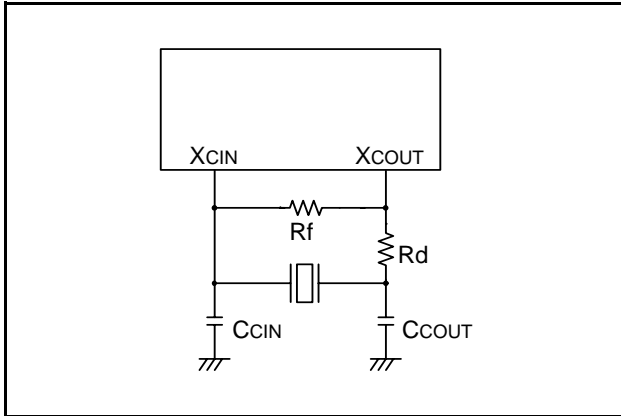


図91. 水晶発振外付け

<理由>

CPUモードレジスタのビット3を“0”に設定すると、サブクロックの発振動作が停止することがあります。

2. 中/高速モードと低速モード間の移行

中/高速モードと低速モード間の移行を行う場合は、Xin側、Xcin側ともに発振が安定している必要があります。特に、Xcin側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(Xin) > 3 \cdot f(Xcin)$ である必要があります。

水晶発振子に関する注意事項

16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。

発振の再開に関する注意事項

発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1およびプリスケアラ12には特定の値（タイマ1には0116、プリスケアラ12にはFF16）が発振安定待ちのため自動的にセットされます。一方、MISRG（001016番地）のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1およびプリスケアラ12に残っている値が発振安定待ち時間用のカウント値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1およびプリスケアラ12に設定してください。

<理由>

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

ストップモード使用上の注意事項

• レジスタ設定

ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。（STP命令解除後発振安定時間設定ビットが“0”のとき）

• 復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXin入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

ウェイトモード使用上の注意事項

復帰後のクロック

WIT命令実行時にXcinをシステムクロックとして設定し、Xinの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、Xcinの発振が停止し、Xinが発振を開始し、Xinがシステムクロックになります。

上記においてXinの発振が安定するまで、RESET端子に“L”レベルを入力しておく必要があります。

フラッシュメモリ版のCPU書き換えモードに関する注意事項

1. 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B16番地のビット6,7)によって、システムクロックφが4.0MHz以下になるように設定してください。

2. 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

3. 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

4. ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラムまたはイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

5. リセット

常に受け付けます。リセット解除時、CNVss=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC16、FFFD16番地に格納されたアドレスからプログラムがスタートします。

フラッシュメモリ版に関する注意事項

CNVss 端子はフラッシュメモリモードを決定する端子です。

CNVss 端子は、マイコンの Vss 端子に供給している GND からできるだけ近い GND パターンに最短で接続してください。(注) また、 $1\text{k}\sim 5\text{k}\Omega$ 程度の抵抗を直列に挿入し GND に接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンの Vss 端子に供給している GND からできるだけ近い GND パターンに最短で接続してください。

注. 注. ブートモード、標準シリアル入出力モードを使用する場合は、CNVss 端子の入力レベル切り替えが必要になります。

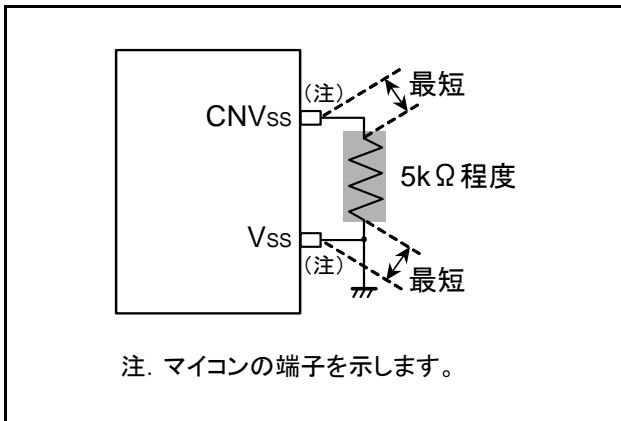


図92. CNVss 端子の配線

フラッシュメモリ版/マスクROM版の相違点に関する注意事項

フラッシュメモリ版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- マスク化確認書*
- マーク指定書*
- ROM のデータ EPROM 3セットまたはフロッピーディスク

* マスク化確認書およびマーク指定書につきましては、ルネサステクノロジホームページ (<http://japan.renesas.com/homepage.jsp>) を参照してください。

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子 (Vcc 端子) と GND 端子 (Vss 端子) との間、および電源端子 (Vcc 端子) とアナログ電源入力端子 (AVss 端子) との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01\mu\text{F}\sim 0.1\mu\text{F}$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子と GND 端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加して下さるようお願いいたします。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来さないようシステム設計してください。

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2002.11.20	—	初版発行
1.10	2002.11.27	16 18 57 60 71	<ul style="list-style-type: none"> ・ 2 ページ以降フッター (MITSUBISHI) を削除 ・ 図 12. ポートブロック図 (1) を一部変更 ・ 図 14. ポートブロック図 (3) を一部変更 ・ 図 51.AD 変換のブロック図名を一部変更 ・ RESET → $\overline{\text{RESET}}$ ・ 表 13. 電気的特性 (1) I_{IH} (P00 ~ P07 ... P60 ~ P67) の規格値を追記
2.00	2003.05.15	1,2,6,7 5 19 28 23 68 73 64 74 74,76 74-77 75,77 76	<ul style="list-style-type: none"> ・ 本文中の「形名」を「型名」に変更。 ・ 「*KP パッケージは開発中です。」を削除 ・ 表 4. 端子の機能説明 V_{CC}, V_{SS} 端子の機能について次のとおり変更。 V_{CC} に 2.7 ~ 5.5V → V_{CC} に 1.8 ~ 5.5V ・ ■ 注意事項 対象レジスタについて次のとおり変更。 割り込みエッジ選択レジスタ (3A₁₆ 番地) → (003A₁₆ 番地) タイマ XY モードレジスタ (23₁₆ 番地) → (0023₁₆ 番地) タイマ Z モードレジスタ (2A₁₆ 番地) → (002A₁₆ 番地) 割り込み要因選択レジスタ (39₁₆ 番地) → (0039₁₆ 番地) ・ 表 10. 推奨動作条件 (1) “L” 入力電圧 X_{IN}, X_{CIN} の最小規格値欄に「0」を追加。 ・ 表 16. A/D コンバータ推奨動作条件 ・ 表 17. D/A コンバータ特性 V_{CC}=4.0 ~ 5.5V → 4.0 ≤ V_{CC} < 5.5V, V_{CC}=2.7V ~ 4.0V → 2.7V ≤ V_{CC} < 4.0V ・ 表 16. A/D コンバータ特性、表 17. D/A コンバータ特性 分解能の単位を Bits → bit に変更。 ・ 表 18. タイミング必要条件 (1) t_c(X_{IN}) 2.7 ≤ V_{CC} < 4.0V 最小 2.6 × 10³ → 26 × 10³ に変更。 ・ 表 18. タイミング必要条件 (1), 表 20. タイミング必要条件 (3) 記号 t_w(RESETB) → t_w(RESET) ・ 表 18. タイミング必要条件 (1) ~ 表 21. タイミング必要条件 (4) 項目の次の箇所を変更。“H” 入力パルス幅 → 入力 “H” パルス幅, “L” 入力パルス幅 → 入力 “L” パルス幅 ・ 表 19. タイミング必要条件 (2)、表 21. タイミング必要条件 (4) t_h(SCLK1-RxD3) → t_h(SCLK1-RxD1)、t_{CL}(SCLK2) → t_{WL}(SCLK2)、 t_{SU}(SCLK2-SIN2) → t_h(SCLK2-SIN2) に変更。 ・ 表 20. タイミング必要条件 (3) t_{WL}(X_{CIN}) の単位 μ → μs に変更。

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2003.05.15	78	図 63. タイミング図 (シングルチップモード時) SCLK1 SCLK2 SCLK3 「tf」, 「tr」 削除。 TxD1 TxD3 SOUT2 「td(SCLK1-TxD1),td(SCLK2-SOUT2),td(SCLK3-TxD3)」, 「tv(SCLK1-TxD1),tv(SCLK2-SOUT2),tv(SCLK3-TxD3)」 削除。
3.00	2003.09.12	—	フラッシュメモリ版を追加
3.01	2003.12.08	2 6 8 15 16 61 95 96,97	表 2. 製品一覧 (フラッシュメモリ版) 備考 $V_{CC}=2.7V \sim 5.5V \rightarrow V_{CC}=2.7 \sim 5.5V$ 表 5. 端子の機能説明 ・ 端子名 P10/INT01, P11/INT41 \rightarrow P10/INT41, P11/INT01 ・ P4 の端子名の区切りを修正。 P40/INT40/XCOUT, P41/INT00/XCIN, P42/INT1 \rightarrow P40/INT40/XCOUT, P41/INT00/XCIN P43/INT2, P44/RxD1 \rightarrow P42/INT1, P43/INT2 P45/TxD1, P46/SCLK1 \rightarrow P43/INT2, P45/TxD1, P46/SCLK1 図 5.ROM 及び RAM 展開計画 「RAM サイズ 2048 バイト」 の型名の順序を変更 上から M38039FFH, M38039FF, M38039MCH, M38039MC, M38039MFH, M38039MF \rightarrow M38039FFH, M38039FF, M38039MFH, M38039MF, M38039MCH, M38039MC 図 11.SFR(スペシャルファンクションレジスタ) メモリマップ ・ フラッシュ制御レジスタ 0、フラッシュ制御レジスタ 1、フラッシュ制 御レジスタ 2 \rightarrow フラッシュ制御レジスタ 0(FMCR0)、フラッシュ制御レジ スタ 1(FMCR1)、フラッシュ制御レジスタ 2(FMCR2) ・ 「0FE916 予約 (注) \sim 0FEF16 予約 (注)」 を追加 表 8. 入出力ポートの機能一覧 端子名 P40/INT00/XCIN, P41/INT40/XCOUT \rightarrow P40/INT40/XCIN, P41/INT00/XCOUT ・ 「リセット回路」 本文を下記の通り変更 リセット入力電圧は、電源電圧が 1.8V(フラッシュメモリ版は、2.7V) を 通過する時点で 0.36V(フラッシュメモリ版は、0.54V) 以下になるように してください。 \rightarrow マスク ROM 版のリセット入力電圧は、電源電圧が 1.8V を通過する時点で 0.36V 以下になるようにしてください。フラッシュメモ リ版は下記の手順で $\overline{\text{RESET}}$ 端子に入力してください。 ・ 「●電源が安定している場合」、「●電源投入時」を追記 ・ 図 56. リセット回路例図を追加、修正 表 24. 電気的特性 (3)(フラッシュメモリ版) 規格値の最大値を追加 ・ 表 26.A/D コンバータ特性 (マスク ROM 版)、表 29.A/D コンバータ特 性 (フラッシュメモリ版) 表 27.D/A コンバータ特性 (マスク ROM 版)、 表 30.D/A コンバータ特性 (フラッシュメモリ版) 下線部修正 絶対精度 $2.0V \leq V_{CC} < 2.2V \rightarrow 2.0 \leq V_{REF} < 2.2V \dots$ 以下同様 ・ 誤記修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.01	2003.12.08	97	表 30.D/A コンバータ特性 (マスク ROM 版) → 表 30.D/A コンバータ特性 (フラッシュメモリ版)、表 31. 電源回路のタイミング特性 (フラッシュメモリ版) を追加
3.02	2004.05.14	8 61 63 69 70	<p>図 5. ROM 及び RAM 展開計画</p> <ul style="list-style-type: none"> ・量産中 M38039FFH → 開発中 M38039FFH、削除 「ROM 外付け」 <p>リセット回路 マスク ROM 版のリセット入力電圧を変更 0.36V 以下 → 0.29V 以下</p> <p>●発振制御 (1) ストップモード 本文に「」部分を追記、修正箇所を→で表示 「フラッシュメモリ版では、STP 命令実行時は消費電流低減のために、内部電源回路を低消費電力モードに切り替えています。」</p> <p>FLASH → フラッシュメモリ、通常動作モード → 通常モード</p> <p>●機能概要</p> <p>< ビット 2 説明文 ></p> <p>8KB ユーザブロック E/W 禁止ビット → 8KB ユーザブロック E/W 許可ビット、E/W プロテクトビット :IPROTECT → 全ユーザブロック E/W 許可ビット、...CPU 書き替えモード時にユーザブロックに対して、E/W プロテクトが可能。 → E/W が禁止されます。(下線部を変更)</p> <p>< ビット 3 説明文 > 「」部分を削除 「CPU 書き換えモード終了時、及び」</p> <p>< 図 64. フラッシュメモリ制御レジスタ 0 の構成 ></p> <p>「注 4」を追記 (これに伴い、注の番号を調整), 8KB ユーザブロック E/W 禁止ビット → 8KB ユーザブロック E/W 許可ビット</p> <p>< 図 66. フラッシュメモリ制御レジスタ 2 の構成 ></p> <ul style="list-style-type: none"> ・「注 2」を追記 ・E/W プロテクトビット (注 1) 全ユーザブロック E/W 許可ビット (注 1、2) 0: プロテクト状態 → 0: E/W 禁止 1: UBEWEN ビット有効 1: E/W 許可 ・表 11 E/W プロテクト仕様 → 表 11 E/W 禁止機能の状態 ・IPROTECT 0FE2₁₆ 番地、ビット 4 → 全ユーザブロック E/W 許可ビット ・UBEWEN 0FE0₁₆ 番地、ビット 2 → 8KB ユーザブロック E/W 許可ビット ・○ → E/W 禁止, × → E/W 許可 ・「○: プロテクトあり ×: プロテクトなし」を削除 <p>< 図 67. CPU 書き換えモードの設定 / 解除フローチャート ></p> <ul style="list-style-type: none"> ・「リードアレイコマンド実行」を挿入 ・CPU 書き換えモードエントリフラグの確認リードアレイコマンド実行時または、フラッシュメモリリセット、ビット設定によるリセット実行 (“1” 書き込み → “0” 書き込み) (注 2) の内容を変更 ・「注 2.」下線部を変更 <p>リードアレイコマンド又はフラッシュメモリリセットを行ってください。 → リードアレイコマンドを実行してください。</p>

Rev.	発行日	改訂内容	
		ページ	ポイント
3.02	2004.05.14	81~84 85 86 87 88 96 旧100,101	<p>図 73 ~ 76 各図の表題と図中の注意事項について次のとおり変更。 表題：標準シリアル入出力モード時の端子結線図 1 → 標準シリアル入出力モード 1 時の端子結線図 表題：標準シリアル入出力モード時の端子結線図 2 → 標準シリアル入出力モード 2 時の端子結線図 注意事項：*セラミック発振回路を接続してください。<下線部を削除> 図 77 標準シリアル入出力モード 1 時の動作波形図、図 78 標準シリアル入出力モード 2 時の動作波形図 「注」の P4₅ を P4₆ に変更 「プログラミング上の注意事項」を追加 「フラッシュメモリ版 / マスク ROM 版の相違点に関する注意事項」、 「マスク化発注時の提出資料」を追加 表 16. 絶対最大定格 ・「注 . フラットパッケージの場合は ...」→「注 .SP パッケージ以外は ...」 ・動作周囲温度、保存温度 条件 Ta=25 °C →消費電力 条件 Ta=25 °C に修正 表 24. 電気的特性 (3)(フラッシュメモリ版) 低速モード V_{CC}=5V f(X_{IN})= 停止 規格値 最大 615 → 630 削除：表 34. タイミング必要条件 (3)(中速モード時)、 表 35. タイミング必要条件 (4)(中速モード時)</p>
3.03	2004.10.19	1 1,2,5,8,9 9 13 35 64 64 66 77	<p>メモリ容量 ROM 16K ~ 32K バイト → 16K ~ 60K バイト RAM 640 ~ 1024 バイト → 640 ~ 2048 バイト WG 版を追加 図 6. ROM 及び RAM 展開計画 M38039MC、M38039MF を削除 図 9. CPU モードレジスタの構成 CPUM レジスタの bit3 に "1" を追加 (5) パルス幅測定モード <動作説明> 文中 下線部を追加 <u>タイマ値の 1 の補数 (測定値) がタイマラッチに書き込まれます。また、測定終了 / 開始の有効エッジを検出した場合、タイマには "FFFF₁₆" が設定されます。</u> クロック発生回路 下線部を変更、削除。「」を追記 <u>X_{IN}-X_{OUT} 端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。</u>「(条件によって帰還抵抗の外付けが必要になることがあります)」 図 60. セラミック共振子外付け回路 ダンピング抵抗と (注) を追加。 図 62. システムクロック発生回路ブロック図 (注 4) を追記 ●内蔵フラッシュメモリ書き換え禁止機能 最後尾に下記を追加 「書き換えの際には ROM コードプロテクト制御番地 (FFDB₁₆ 番地) を含むユーザROM コードプロテクト制御番地 (FFDB₁₆ 番地) だけの書き換えはできません。」</p>

Rev.	発行日	改訂内容	
		ページ	ポイント
3.03	2004.10.19	80	<p>●標準シリアル入出力モード 文中 下線部を追加 標準シリアル入出力モードには、クロック同期形シリアルの標準シリアル入出力モード 1 と 表 15,16 に標準シリアル入出力モード時の端子の機能説明を、図 74 ~ 77 標準シリアル入出力モード時の端子結線図を示します。</p> <p>●標準シリアル入出力モード 文中 「」を削除 「UART1 の端子 SCLK1、RXD1、TXD1、SRDY1(BUSY) の 4 本を使って行います。SCLK1 端子は転送クロックの入力端子で、外部から転送クロックを転送します。TXD1 端子は CMOS 出力です。SRDY1(BUSY) 端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。送受信データは 8 ビット単位でシリアル転送します。」フラッシュメモリの内容がblankでない場合、ライターから送られてくる ID コードとフラッシュメモリに書かれている ID コードが一致するかを判定します。</p>
		80	「機能概要 (標準シリアル入出力モード)」削除
		95	表 23 電気的特性 (1) 「VOL L 出力電圧 P20 ~ P27」を追加
		100,101	表 33. タイミング必要条件 (1)、表 34. タイミング必要条件 (2) 「(高速モード時)」を削除
		102,103	マスク ROM 版の電圧範囲を修正 Vcc=1.8 ~ 5.5V → Vcc=2.0 ~ 5.5V
		104	表 35, 表 36 スイッチング特性 (1), (2) を追加
		105	図 80, 図 81 出力スイッチング特性測定回路図 (1), (2) を追加
		108	図 82 タイミング図 (シングルチップモード時) 変更 「外形図 64F0G」を追加
3.10	2005.11.14	—	名称変更 : STP 命令禁止ビット → STP 命令機能選択ビット
		1-5,8,9	パッケージ型名を改訂
		20	図 15 ポートブロック図 (3) (18) ポート P56 改訂
		61	(2) ウォッチドッグタイマの動作 説明改訂 (3) ウォッチドッグタイマ制御レジスタのビット 6 追記
		88	図 55 ウォッチドッグタイマのブロック図 改訂 図 56 ウォッチドッグタイマ制御レジスタの構成 改訂 フラッシュメモリ版に関する注意事項 改訂
		106,107	図 80 CNVss 端子の配線 追記
		109-116	パッケージ外形寸法図を改訂 付録を追加
3.11	2006.02.01	1,5	表 1, 表 5, 図 3: 「M38037M8H-XXXWG」削除
		2-5	「*開発中」削除
		7	表 4. 端子の機能説明 一部変更
		9	パッケージ PTLG0064JA-A : LGA → FLGA
		13	【CPU モードレジスタ】一部追加

Rev.	発行日	改訂内容	
		ページ	ポイント
3.11	2006.02.01	15 17 19 26 27 43,51 55 56 57 63 85,86	<p>メモリに「■注意事項」を追記</p> <p>入出力ポートにプルアップの説明文を追記</p> <p>表 9. 入出力ポートの機能一覧: 「入出力」の項を追加、一部変更 P40/INT40/XCIN → P40/INT40/XCOUT、P40/INT41/XCOUT → P40/INT00/XCIN</p> <p>図 14: ポート P40、P41 誤記修正</p> <p>表 10: 割り込み要求発生条件 誤記修正</p> <p>図 21: 誤記修正</p> <ul style="list-style-type: none"> ・シリアル I/O1 ステータスレジスタ、シリアル I/O3 ステータスレジスタ 文章を一部変更、すべてのビット→ビット 0～ビット 6 ・PWM: 「カウントソース選択ビット "0"」を追加 ・図 47.PWM回路ブロック図: XIN or XCIN→XIN 低速モード時は XCIN ・図 48.PWM制御レジスタの構成: カウントソース選択ビットに追記 ・「■注意事項」を追加 <p>A/D コンバータに (逐次比較型) を追記</p> <p>クロック発生回路: (4)低消費電力モード、(2)ウェイトモード、■注意事項 をそれぞれ追記</p> <p>文章を一部変更、すべてのビット→ビット 0～ビット 6</p> <p>図 78, 図 79 追加→標準シリアル入出力モード 1,2 時の端子結線図 (M38039FFHWG) 「プログラミング上の注意事項」、「使用上の注意事項」削除 →「付録」に注意事項をまとめた。</p>
3.12	2006.04.06	95,97	<ul style="list-style-type: none"> ・表 24,27 A/D コンバータ推奨動作条件: f(XIN) 測定条件を変更 VCC → VCC=VREF 最大値を変更 $\frac{(24 \times VCC - 60) \times 1.05}{3}$ → $\frac{(24.6 \times VCC - 62.7) \times 1.05}{3}$

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たっては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com