

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

アプリケーション・ノート (暫)

RENESAS

V850E/MS1<sup>TM</sup>

32/16ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

---

μPD703100

μPD703101

μPD703102

μPD70F3102

資料番号 U14214JJ1V0ANJ1 (第1版)

発行年月 September 2000 N CP(K)

© NEC Corporation 1999

〔メモ〕

## 目次要約

第1章	V850E/MS1の概要	...	15
第2章	バス・インタフェース接続回路例 - 1	...	19
第3章	バス・インタフェース接続回路例 - 2	...	45
第4章	アプリケーション例	...	73
付録	総合索引	...	137

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V850ファミリ、V850E/MS1は日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

UNIXはX/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
  - 文書による当社の承諾なしに本資料の転載複製を禁じます。
  - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
  - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
  - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
  - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
    - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
    - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
    - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M5 98.8

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

# はじめに

- 対象者** このアプリケーション・ノートは、V850E/MS1 ( $\mu$  PD703100, 703101, 703102, 70F3102) の機能を理解し、それらを使用した応用システムを設計するユーザを対象とします。
- 目的** このアプリケーション・ノートではV850E/MS1を用いたシステムの例として「V850Eトレーニング・ボード (TB-V850E)」を取り上げ、その構成をユーザに理解していただくことを目的としています。
- 構成** このアプリケーション・ノートは大きく分けて次の内容で構成しています。

## V850E/MS1の概要

### バス・インタフェース接続回路例-1 (直結可能メモリの接続例)

- ・ SRAM接続回路
- ・ PROM接続回路
- ・ DRAM接続回路

### バス・インタフェース接続回路例-2 (付加回路を使用しての接続)

- ・ SRAM接続回路
- ・ PROM接続回路
- ・ SIMMとの接続回路
- ・ DIMMとの接続回路
- ・ I/Oデバイス接続回路

### アプリケーション例

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

### V850E/MS1の電気的特性を知りたいとき

別冊のデータ・シートを参照してください。

### V850E/MS1のハードウェア機能を知りたいとき

別冊のV850E/MS1 **ユーザズ・マニュアル** **ハードウェア編**を参照してください。

### V850E/MS1の命令機能を知りたいとき

別冊のV850E/MS1 **ユーザズ・マニュアル** **アーキテクチャ編**を参照してください。

- 凡例**
- データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 :  $\overline{\text{xxx}}$  (端子, 信号名称に上線) または  
/ xxx (信号名称の前に“ / ”記号)
- メモリ・マップのアドレス : 上部 - 上位, 下部 - 下位
- 注 : 本文中に付けた注の説明
- 注意 : 気を付けて読んでいただきたい内容
- 備考 : 本文の補足説明

数の表記 : 2進数 ... xxxxまたはxxxxB  
 10進数 ... xxxx  
 16進数 ... xxxxH

2のべき数を示す接頭語 (アドレス空間, メモリ容量) : K (キロ) :  $2^{10} = 1024$   
 M (メガ) :  $2^{20} = 1024^2$   
 G (ギガ) :  $2^{30} = 1024^3$

**関連資料** 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。  
 あらかじめご了承ください。

### デバイスに関する資料

資料名	資料番号
μ PD703100-33, 703100-40, 703101-33, 703102-33 データ・シート	U13995J
μ PD703100-A33, 703100-A40, 703101-A33, 703102-A33 データ・シート	U14168J
μ PD70F3102-33 データ・シート	U13844J
μ PD70F3102-A33 データ・シート	U13845J
V850E/MS1 ユーザーズ・マニュアル ハードウェア編	U12688J
V850E/MS1 ユーザーズ・マニュアル アーキテクチャ編	U12197J
V850E/MS1 アプリケーション・ノート ハードウェア編	このマニュアル

### 開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
IE-703102-MC (インサーキット・エミュレータ)	U13875J	
IE-703102-MC-EM1, IE-703102-MC-EM1-A (インサーキット・エミュレータ・オプション・ボード)	U13876J	
CA850 (Cコンパイラ・パッケージ)	操作編 (UNIX™ベース)	U12839J
	操作編 (Windows™ベース)	U12827J
	C言語編	U12840J
	アセンブリ言語編	U10543J
	プロジェクト・マネージャ編 (Windowsベース)	U11991J
RX850 (リアルタイムOS)	基礎編	U13430J
	テクニカル編	U13431J
	インストレーション編	U13410J
RX850 Pro (リアルタイムOS)	基礎編	U13773J
	テクニカル編	U13772J
	インストレーション編	U13774J
ID850 (Ver.1.31) (統合デバッグ) 操作編 (Windowsベース)	U13716J	
RD850 <sup>注</sup> (タスク・デバッグ) (Windowsベース)	U11158J	
RD850 (Ver.3.0) (タスク・デバッグ) (Windowsベース)	U13737J	
RD850 Pro (Ver.3.0) (タスク・デバッグ) (Windowsベース)	U13916J	
AZ850 (システム・パフォーマンス・アナライザ) 操作編	U11181J	

注 ID850 (Ver.1.32) 対応

# 目 次

<b>第1章</b>	<b>V850E/MS1の概要</b>	... 15
1.1	特 徴	... 15
<b>第2章</b>	<b>バス・インタフェース接続回路例 - 1</b>	... 19
2.1	SRAMとの接続	... 19
2.1.1	$\mu$ PD431008-20との接続	... 19
2.1.2	SRAM接続時のウエイト/アイドル設定とシステム・クロック一覧	... 29
2.2	PROMとの接続	... 30
2.3	高速ベ - ジDRAMとの接続	... 33
2.4	EDO DRAMとの接続	... 40
<b>第3章</b>	<b>バス・インタフェース接続回路例 - 2</b>	... 45
3.1	16ビットSRAMとの接続	... 45
3.2	低速PROM (27C1024-12) との接続	... 53
3.3	SIMM (MC-428000A32) との接続	... 56
3.4	DIMM (MC-422000AA64) との接続	... 65
3.5	通信/プリンタICとの接続	... 67
<b>第4章</b>	<b>アプリケーション例</b>	... 73
4.1	TB-V850Eの機能	... 73
4.1.1	概 要	... 73
4.1.2	ボード構成図	... 74
4.1.3	メモリ・マップ	... 75
4.1.4	外部バス・インタフェースの接続	... 76
4.1.5	外部割り込み入力端子の接続	... 78
4.1.6	ポート機能の接続	... 78
4.1.7	UARTの接続	... 79
4.1.8	RPUの接続	... 80
4.1.9	ADCの接続	... 81
4.1.10	設定スイッチ	... 83
4.1.11	コネクタ	... 85
4.2	内部レジスタの設定	... 87
4.2.1	バス・インタフェース	... 87
4.2.2	ポート機能 (端子機能の設定)	... 92
4.2.3	割り込み制御ユニット	... 96
4.2.4	クロック発生機能	... 97
4.3	プログラム例	... 98
4.3.1	TB-V850Eの初期設定	... 98
4.3.2	メモリ・アクセス	... 102
4.3.3	メモリ・フィル	... 103

4.3.4	スイッチ入力とLED出力	...	103
4.3.5	タイマ割り込み	...	104
4.3.6	多重割り込み	...	105
4.3.7	メモリ間のDMA転送	...	107
4.3.8	UARTからメモリへのDMA転送	...	109
4.3.9	スイッチ入力によりモータ回転数を制御	...	113
4.4	TB-V850Eの仕様	...	114
4.4.1	仕様一覧	...	114
4.4.2	回路図	...	115
4.4.3	FPGAリスト	...	129

## **付録 総合索引** ... 137

付.1	50音で始まる語句の索引	...	137
付.2	アルファベットで始まる語句の索引	...	138

## 図の目次 (1/3)

図番号	タイトル, ページ
2 - 1	μ PD431008-20接続回路例 ... 22
2 - 2	μ PD431008-20リード動作 ... 23
2 - 3	μ PD431008-20ライト動作-1 (16ビット・アクセス時) ... 25
2 - 4	μ PD431008-20ライト動作-2 (D0-D7に対する8ビット・アクセス) ... 28
2 - 5	μ PD431008-20ライト動作-3 (D8-D15に対する8ビット・アクセス) ... 28
2 - 6	HN27C4096H-85接続回路例 ... 32
2 - 7	HN27C4096H-85リード動作 ... 32
2 - 8	μ PD42S16160-50接続回路例 ... 37
2 - 9	μ PD42S16160-50リード動作 ... 37
2 - 10	μ PD42S16160-50ライト動作 ... 38
2 - 11	μ PD42S16160-50リフレッシュ動作 ... 39
2 - 12	μ PD42S18165-50接続回路例 ... 43
2 - 13	μ PD42S18165-50リード動作 ... 43
2 - 14	μ PD42S18165-50ライト動作 ... 44
3 - 1	μ PD431016LE-20接続回路例 ... 46
3 - 2	μ PD431016LE-20リード動作 (8ビット・アクセス / 16ビット・アクセス) ... 47
3 - 3	μ PD431016LE-20ライト動作-1 (16ビット・アクセス) ... 49
3 - 4	μ PD431016LE-20ライト動作-2 (D0-D7に対するバイト・ライト) ... 51
3 - 5	μ PD431016LE-20ライト動作-3 (D8-D15に対するバイト・ライト) ... 52
3 - 6	HN27C1024H-12接続回路例 ... 54
3 - 7	HN27C1024H-12リード動作 ... 55
3 - 8	外部バス・マスタが接続されない回路例 ... 58
3 - 9	外部バス・マスタが接続される回路例 ... 59
3 - 10	SIMMにアクセスする外部バス・マスタが接続される回路例 ... 60
3 - 11	バス・バッファの詳細 ... 61
3 - 12	RAS/CAS制御部 ... 62
3 - 13	MC-428000A32-60リード動作 ... 63
3 - 14	MC-428000A32-60ライト動作 ... 64
3 - 15	MC-422000AA64接続回路例 ... 66
3 - 16	TL16C552Aのタイミング抜粋 ... 68
3 - 17	TL16C552A接続回路例 ... 69
3 - 18	データ・バス・バッファ&リード/ライト制御部詳細 ... 70
3 - 19	TL16C552Aリード動作 ... 71
3 - 20	TL16C552Aライト動作 ... 72
4 - 1	TB-V850Eのボード構成図 ... 74
4 - 2	TB-V850Eのメモリ・マップ ... 75
4 - 3	7セグメントLED ... 77

## 図の目次 (2/3)

図番号	タイトル, ページ
4 - 4	ポート接続回路 ... 79
4 - 5	UARTの接続回路例 ... 79
4 - 6	RPUの接続回路 ... 80
4 - 7	正弦波発振器の接続 (ANI0) ... 81
4 - 8	可変抵抗による0-5 Vの接続 (ANI1) ... 82
4 - 9	光センサの接続 (ANI2) ... 82
4 - 10	メモリ拡張モード・レジスタ (MM) の設定 ... 87
4 - 11	バス・サイクル・タイプ・コンフィギュレーション・レジスタ (BCT) の設定 ... 87
4 - 12	バス・サイズ・コンフィギュレーション・レジスタ (BSC) の設定 ... 88
4 - 13	データ・ウエイト・コントロール・レジスタ1, 2 (DWC1, DWC2) の設定 ... 88
4 - 14	バス・サイクル・コントロール・レジスタ (BCC) の設定 ... 89
4 - 15	ページROMコンフィギュレーション・レジスタ (PRC) の設定 ... 89
4 - 16	DRAMタイプ・コンフィギュレーション・レジスタ (DTC) の設定 ... 89
4 - 17	DRAMコンフィギュレーション・レジスタ0 (DRC0) の設定 ... 90
4 - 18	DRAMコンフィギュレーション・レジスタ1 (DRC1) の設定 ... 90
4 - 19	DRAMコンフィギュレーション・レジスタ2, 3 (DRC2, DRC3) の設定 ... 90
4 - 20	リフレッシュ・コントロール・レジスタ0, 1 (RFC0, RFC1) の設定 ... 91
4 - 21	リフレッシュ・コントロール・レジスタ2, 3 (RFC2, RFC3) の設定 ... 91
4 - 22	リフレッシュ・ウエイト・コントロール・レジスタ (RWC) の設定 ... 91
4 - 23	ポート0モード・コントロール・レジスタ (PMC0) の設定 ... 92
4 - 24	ポート0モード・レジスタ (PM0) の設定 ... 92
4 - 25	ポート/コントロール選択レジスタ0 (PCS0) の設定 ... 92
4 - 26	ポート2モード・コントロール・レジスタ (PMC2) の設定 ... 93
4 - 27	ポート2モード・レジスタ (PM2) の設定 ... 93
4 - 28	ポート3モード・コントロール・レジスタ (PMC3) の設定 ... 93
4 - 29	ポート3モード・レジスタ (PM3) の設定 ... 93
4 - 30	ポート/コントロール選択レジスタ3 (PCS3) の設定 ... 94
4 - 31	ポート8モード・コントロール・レジスタ (PMC8) の設定 ... 94
4 - 32	ポート/コントロール選択レジスタ8 (PCS8) の設定 ... 94
4 - 33	ポート9モード・コントロール・レジスタ (PMC9) の設定 ... 94
4 - 34	ポート10モード・コントロール・レジスタ (PMC10) の設定 ... 95
4 - 35	ポート/コントロール選択レジスタ10 (PCS10) の設定 ... 95
4 - 36	ポート11モード・コントロール・レジスタ (PMC11) の設定 ... 95
4 - 37	ポート11モード・レジスタ (PM11) の設定 ... 95
4 - 38	ポート12モード・コントロール・レジスタ (PMC12) の設定 ... 96
4 - 39	外部割り込みモード・レジスタ0 (INTM0) の設定 ... 96
4 - 40	外部割り込みモード・レジスタ1 (INTM1) の設定 ... 96
4 - 41	外部割り込みモード・レジスタ3 (INTM3) の設定 ... 96
4 - 42	外部割り込みモード・レジスタ6 (INTM6) の設定 ... 97

## 図の目次 (3/3)

図番号	タイトル, ページ
4 - 43	クロック・コントロール・レジスタ (CKC) の設定 ... 97
4 - 44	V850E CPU ... 117
4 - 45	メモリ ... 119
4 - 46	SDRAM & RS-232-C ... 121
4 - 47	FLASH I/F & POWER ... 123
4 - 48	7セグメントLED ... 125
4 - 49	アナログ回路 ... 127

## 表の目次

表番号	タイトル, ページ
4 - 1	各割り込みの要因とエッジの指定 ... 78
4 - 2	使用入出力ポート一覧 ... 78
4 - 3	TB-V850Eの仕様一覧 ... 114

## リストの目次

リスト番号	タイトル, ページ
4 - 1	7セグメントLED制御 ... 130

# 第1章 V850E/MS1の概要

V850E/MS1は、V850ファミリ™の「V850E」CPUを使用し、ROM、RAM、および、各種メモリ・コントローラ、DMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵し、大容量データ処理と高度なリアルタイム制御を実現した内部データ・バス32ビット、外部データ・バス16ビットのシングルチップ・マイクロコンピュータです。

PROM, SRAM, DRAM等のメモリが直結可能です。

## 1.1 特 徴

命令数	81
最小命令実行時間	25 ns (ROMレス版：内部40 MHz動作時) 30 ns (マスクROM版，フラッシュ・メモリ版：内部33 MHz動作時)
汎用レジスタ	32ビット×32本
命令セット	V850 CPU上位互換 符号付き乗算 (16ビット×16ビット 32ビット，または 32ビット×32ビット 64ビット)：1-2クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令：1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令
メモリ空間	32 Mバイト・リニア・アドレス空間 (プログラム/データ共有) チップ・セレクト出力機能：8空間 メモリ・ブロック分割機能：2 M, 4 M, 8 Mバイト/ブロック プログラマブル・ウエイト機能 アイドル・ステート挿入機能
外部バス・インタフェース	16ビット・データ・バス (アドレス/データ分離型バス) 16/8ビット・バス・サイジング機能 バス・ホールド機能 外部ウエイト機能

内蔵メモリ

品名	内蔵ROM	内蔵RAM
μ PD703100	なし	4 Kバイト
μ PD703101	96 Kバイト (マスクROM)	4 Kバイト
μ PD703102	128 Kバイト (マスクROM)	4 Kバイト
μ PD70F3102	128 Kバイト (フラッシュ・メモリ)	4 Kバイト

割り込み / 例外

外部割り込み 25本 (NMI含む)

内部割り込み 47要因

例外 1要因

8レベルの優先順位指定可能

メモリ・アクセス制御

DRAMコントローラ (EDO DRAM, 高速ページDRAMに対応)

ページROMコントローラ

DMAコントローラ

4チャンネル構成

転送単位 : 8ビット / 16ビット

最大転送回数 : 65536 (2<sup>16</sup>) 回

転送タイプ : フライバイ (1サイクル) 転送 / 2サイクル転送

転送モード : シングル転送 / シングルステップ転送 / ブロック転送

DMA転送終了 (ターミナル・カウント) 出力信号

I/Oライン

入力ポート : 9

入出力ポート : 114

リアルタイム・パルス・ユニット

16ビット・タイマ / イベント・カウンタ : 6ch

16ビット・タイマ : 6本

16ビット・キャプチャ / コンペア・レジスタ : 24本

16ビット・インターバル・タイマ : 2ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

UART/CSI : 2ch

CSI : 2ch

専用ポー・レート・ジェネレータ : 3ch

A/Dコンバータ

10ビット分解能A/Dコンバータ : 8ch

クロック・ジェネレータ

PLLクロック・シンセサイザによる5通倍機能  
外部クロックによる2分周機能

パワー・セーブ機能

HALT/IDLE/ソフトウェアSTOPモード  
クロック出力停止機能

パッケージ

144ピン・プラスチックLQFP（ファインピッチ）（ 20 mm）：端子ピッチ0.5 mm  
157ピン・プラスチックFBGA（ 14 mm）

CMOS構造

完全スタティック回路

(メモ)

## 第2章 バス・インタフェース接続回路例 - 1

この章では、V850E/MS1に直結できるメモリについて説明します。回路例は次に示す考え方で構成しています。

V850E/MS1の内部システム・クロックは33 MHz

**備考** 「2.1.2 SRAM接続時のウエイト/アイドル設定とシステム・クロック一覧」で33 MHz以外のウエイト設定、アイドル設定を示します。

ウエイト制御はプログラマブル・ウエイトを使用  
( $\overline{\text{WAIT}}$ はプルアップされている)

HV<sub>DD</sub>を+5 Vに接続した場合、外部端子は+5 Vで動作  
HV<sub>DD</sub>を+3.3 Vに接続した場合、外部端子は+3.3 Vで動作

**注意** V850E/MS1は、外部端子に対し、5 Vでインタフェースする場合と、3.3 Vでインタフェースする場合とで製品が異なるため、電気的特性が異なります。

外部バス・マスタは接続しない  
( $\overline{\text{HLDRQ}}$ はプルアップされている)

また、プリント基板配線上の遅延時間は含まれていないので、実際の回路では必要に応じて数nsのマージンを考慮してください。

### 2.1 SRAMとの接続

#### 2.1.1 $\mu$ PD431008-20との接続

SRAM  $\mu$  PD431008LE-20 (128 K $\times$ 8ビット 5 V) または  $\mu$  PD431008LLE-A20 (128 K $\times$ 8ビット 3 V) を2つ使用し、256 Kバイトの外部メモリ空間を接続する例を示します。

##### [ 回路構成 ]

- ・内部システム・クロック : 33 MHz
- ・接続デバイス :  $\mu$  PD431008LE-20 ( $\mu$  PD431008LLE-A20)  $\times$  2つ
- ・占有空間 : メモリ・ブロック1  
外部メモリ空間の0200000H-023FFFFHに配列  
(0200000H番地からの256 Kバイト空間)

##### [ 接続の考え方と注意点 ]

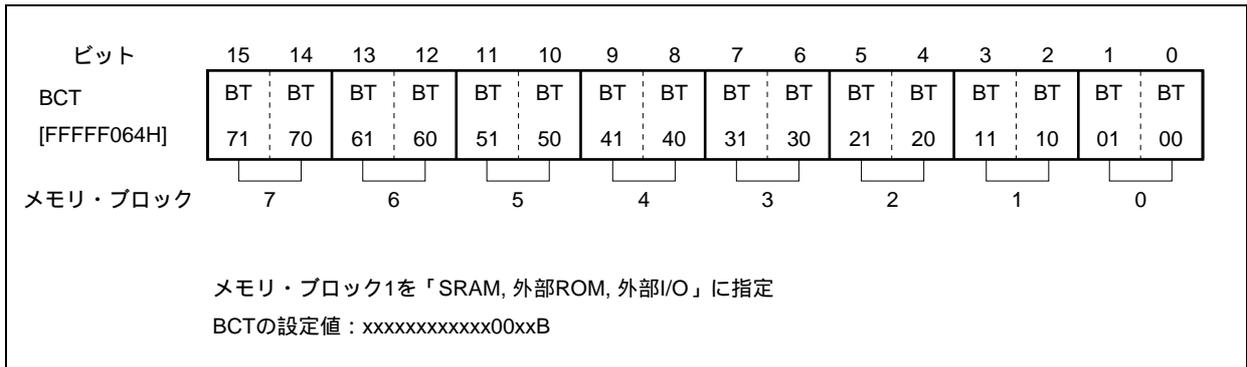
SRAMの $\overline{\text{WE}}$ 端子は、V850E/MS1のD0-D7に接続したSRAMをV850E/MS1の $\overline{\text{LWR}}$ 端子に、V850E/MS1のD8-D15に接続したSRAMを $\overline{\text{UWR}}$ 端子にそれぞれ接続します。

接続するSRAMが $\mu$  PD431008LE-20の場合はHV<sub>DD</sub>に + 5 Vを ,  $\mu$  PD431008LLE-A20の場合はHV<sub>DD</sub>に + 3.3 Vをそれぞれ供給します。

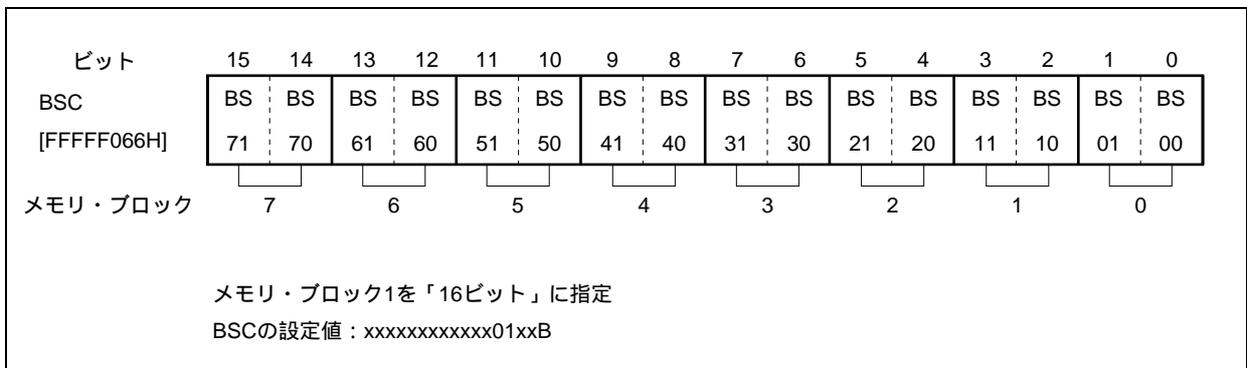
[ レジスタの設定 ]

- ・メモリ・ブロック1 : SRAM , 外部ROM , 外部I/Oモード
- ・ウェイト設定 : 1ウェイト
- ・アイドル・ステート : 挿入する

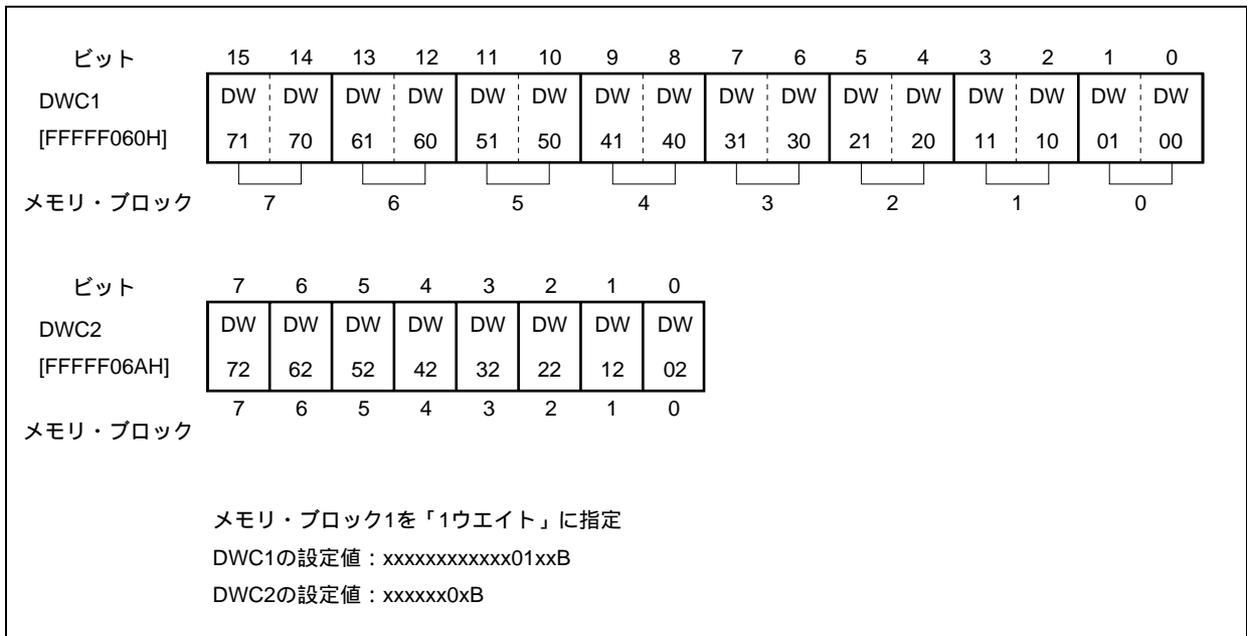
(1) BCTの設定



(2) BSCの設定



(3) DWC1 , DWC2の設定



(4) BCCの設定

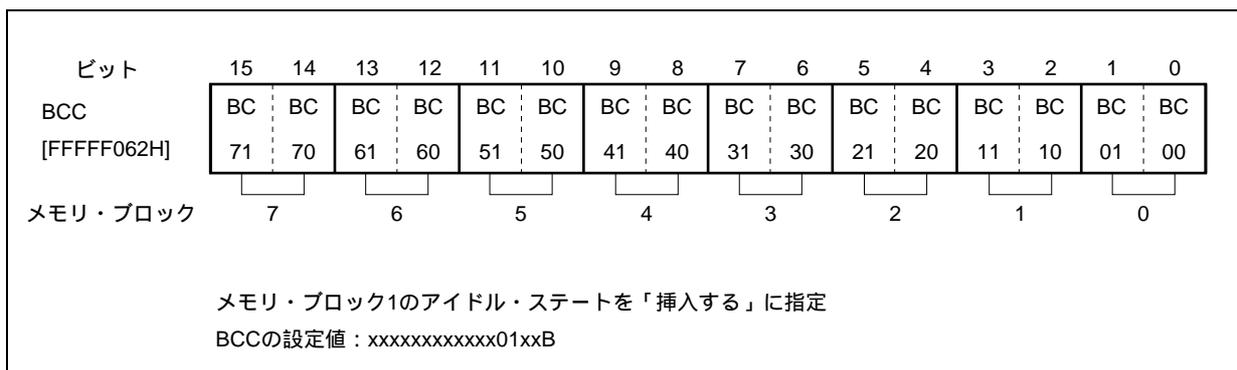


図2 - 1 μ PD431008-20接続回路例

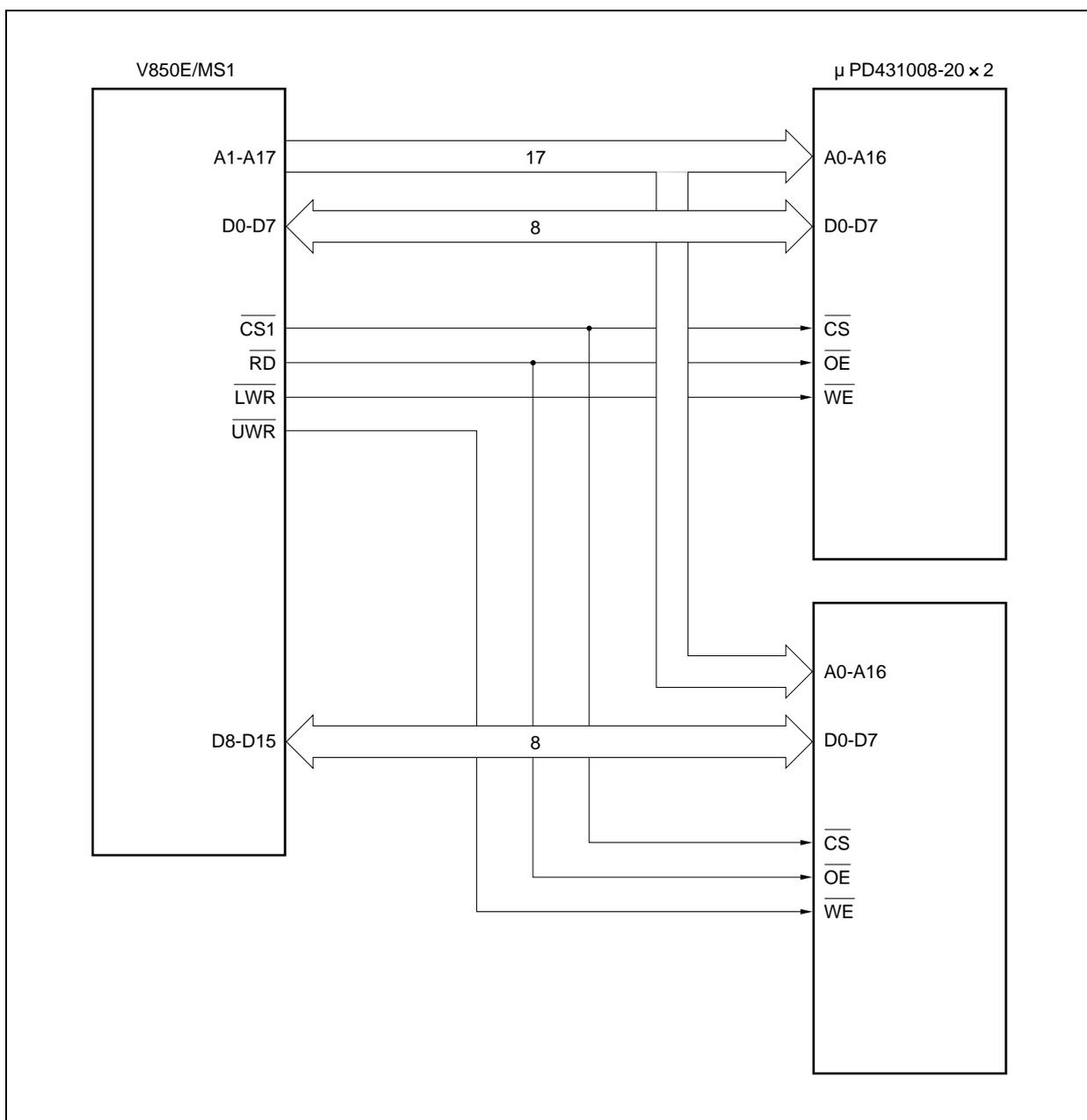
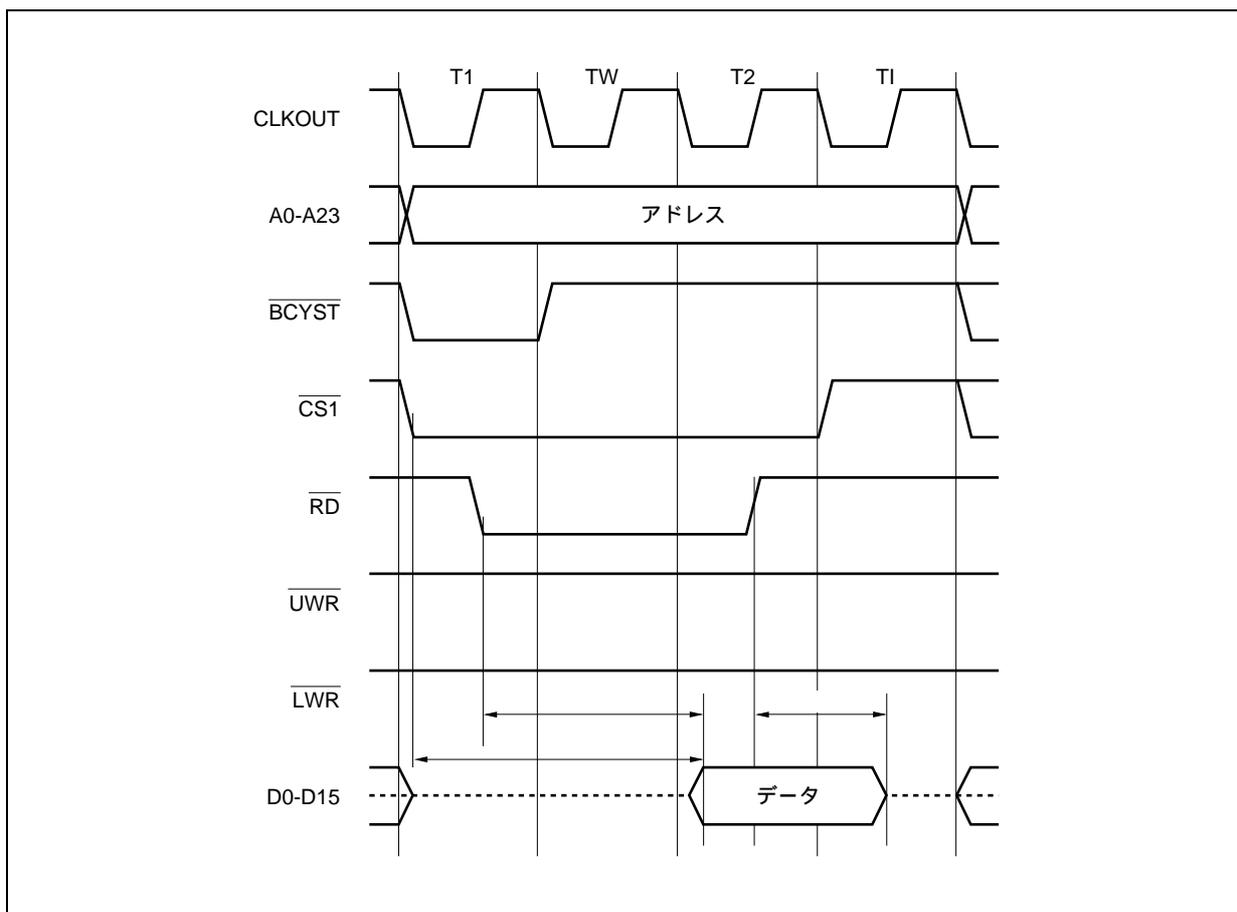


図2 - 2 μ PD431008-20リード動作



μ PD431008LE-20接続時

μ PD431008LE-20のアドレス,  $\overline{CS}$ アクティブからの出力遅延時間: 20 ns (MAX.)

V850E/MS1の電気的特性 (HV<sub>DD</sub> = +5 V) より

データ入力設定時間 (対アドレス) の最大値

$$\begin{aligned}
 t_{SAID} \text{ (ns)} &= (1.5 + WD + W) T - 28 \\
 &= 2.5 \times 30 - 28; \text{ WD} = 1, W = 0, T = 30 \text{ ns} \\
 &= 47 \text{ ns} (> 20 \text{ ns})
 \end{aligned}$$

μ PD431008LE-20の $\overline{OE}$ アクティブからの出力遅延時間: 10 ns (MAX.)

V850E/MS1の電気的特性 (HV<sub>DD</sub> = +5 V) より

データ入力設定時間 (対 $\overline{RD}$ ) の最大値

$$\begin{aligned}
 t_{SRDID} \text{ (ns)} &= (1 + WD + W) T - 32 \\
 &= 2 \times 30 - 32; \text{ WD} = 1, W = 0, T = 30 \text{ ns} \\
 &= 28 \text{ ns} (> 10 \text{ ns})
 \end{aligned}$$

$\mu$  PD431008LE-20の $\overline{OE}$ インアクティブからの出力フローティング遅延時間：7 ns ( MAX. )

V850E/MS1の電気的特性 (  $HV_{DD} = +5 V$  ) より

データ出力遅延時間 ( 対 $\overline{RD}$  ) の最小値

$$\begin{aligned} t_{DRDOD} ( ns ) &= ( 0.5 + i ) T - 10 \\ &= 1.5 \times 30 - 10 ; i = 1 , T = 30 \text{ ns} \\ &= 35 \text{ ns } ( > 7 \text{ ns } ) \end{aligned}$$

**備考** WD : DWCによるウェイト数

W :  $\overline{WAIT}$ 端子によるウェイト数

i : アイドル・ステート

$\mu$  PD431008LLE-A20接続時

$\mu$  PD431008LLE-A20のアドレス,  $\overline{CS}$ アクティブからの出力遅延時間：20 ns ( MAX. )

V850E/MS1の電気的特性 (  $HV_{DD} = +3.3 V$  ) より

データ入力設定時間 ( 対アドレス ) の最大値

$$\begin{aligned} t_{SAID} ( ns ) &= ( 1.5 + WD + W ) T - 28 \\ &= 2.5 \times 30 - 28 ; WD = 1 , W = 0 , T = 30 \text{ ns} \\ &= 47 \text{ ns } ( > 20 \text{ ns } ) \end{aligned}$$

$\mu$  PD431008LLE-A20の $\overline{OE}$ アクティブからの出力遅延時間：10 ns ( MAX. )

V850E/MS1の電気的特性 (  $HV_{DD} = +3.3 V$  ) より

データ入力設定時間 ( 対 $\overline{RD}$  ) の最大値

$$\begin{aligned} t_{SRDID} ( ns ) &= ( 1 + WD + W ) T - 32 \\ &= 2 \times 30 - 32 ; WD = 1 , W = 0 , T = 30 \text{ ns} \\ &= 28 \text{ ns } ( > 10 \text{ ns } ) \end{aligned}$$

$\mu$  PD431008LLE-A20の $\overline{OE}$ インアクティブからの出力フローティング遅延時間：9 ns ( MAX. )

V850E/MS1の電気的特性 (  $HV_{DD} = +3.3 V$  ) より

データ出力遅延時間 ( 対 $\overline{RD}$  ) の最小値

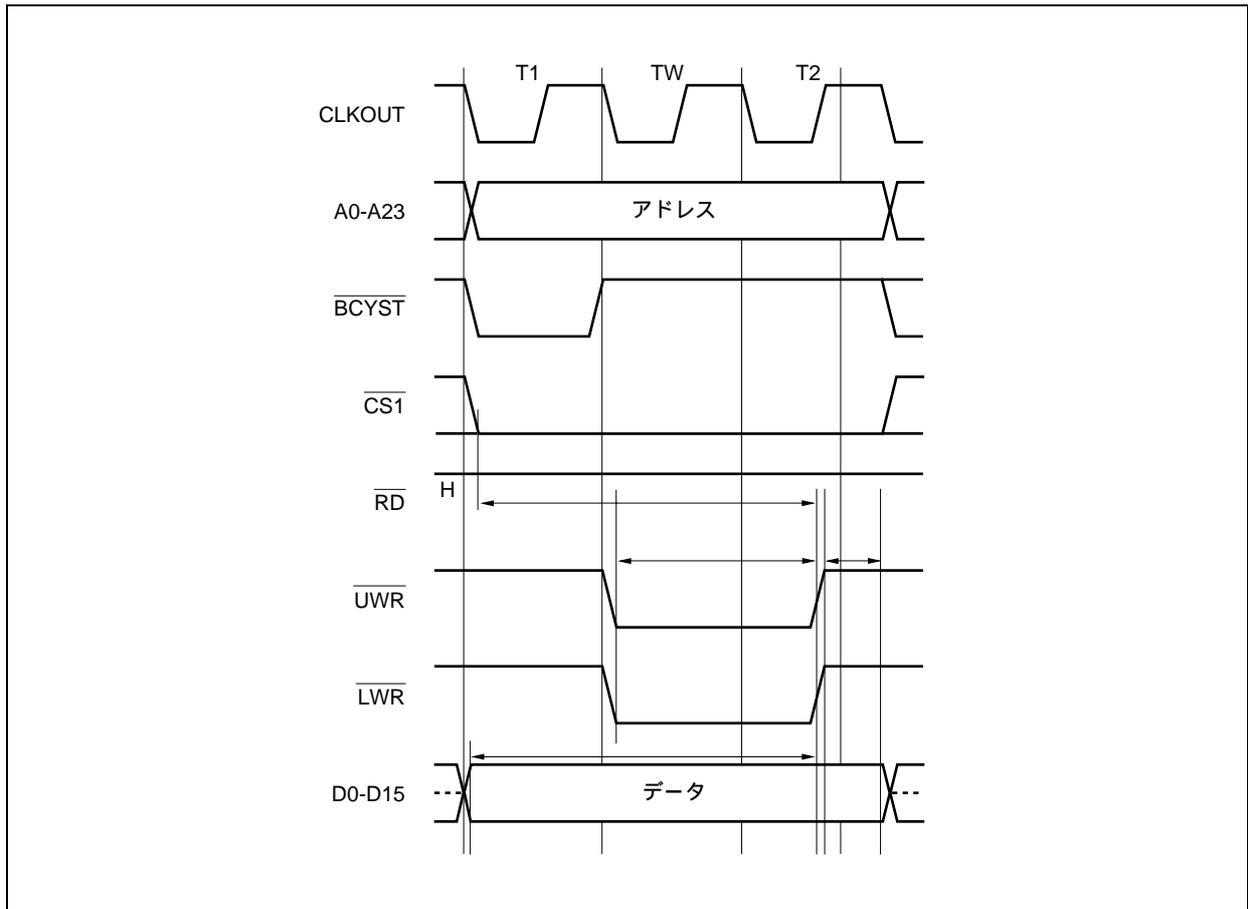
$$\begin{aligned} t_{DRDOD} ( ns ) &= ( 0.5 + i ) T - 10 \\ &= 1.5 \times 30 - 10 ; i = 1 , T = 30 \text{ ns} \\ &= 35 \text{ ns } ( > 9 \text{ ns } ) \end{aligned}$$

**備考** WD : DWCによるウェイト数

W :  $\overline{WAIT}$ 端子によるウェイト数

i : アイドル・ステート

図2 - 3  $\mu$  PD431008-20ライト動作-1 (16ビット・アクセス時)



$\mu$  PD431008LE-20接続時

$\mu$  PD431008LE-20のアドレス,  $\overline{CS}$ アクティブからライト終了までの時間: 12 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = +5V$ ) より

アドレス設定時間 (対 $\overline{UWR}$ ,  $\overline{LWR}$ ) の最小値

$$\begin{aligned} t_{SAWR} (\text{ns}) &= (1.5 + WD + W) T - 10 \\ &= 2.5 \times 30 - 10; WD = 1, W = 0, T = 30 \text{ ns} \\ &= 65 \text{ ns} (> 12 \text{ ns}) \end{aligned}$$

$\mu$  PD431008LE-20の $\overline{WE}$ アクティブ・パルス幅: 10 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = +5V$ ) より

$\overline{UWR}$ ,  $\overline{LWR}$ ロウ・レベル幅の最小値

$$\begin{aligned} t_{WWRL} (\text{ns}) &= (1 + WD + W) T - 10 \\ &= 2 \times 30 - 10; WD = 1, W = 0, T = 30 \text{ ns} \\ &= 50 \text{ ns} (> 10 \text{ ns}) \end{aligned}$$

μ PD431008LE-20のデータ・バリッドからライト終了までの時間：10 ns ( MIN. )

V850E/MS1の電気的特性 ( HV<sub>DD</sub> = +5 V ) より

データ出力設定時間 ( 対 $\overline{UWR}$ ,  $\overline{LWR}$  ) の最小値

$$\begin{aligned} t_{SODWR} \text{ ( ns )} &= ( 1.5 + WD + W ) T - 10 \\ &= 2.5 \times 30 - 10 ; WD = 1 , W = 0 , T = 30 \text{ ns} \\ &= 65 \text{ ns ( } > 10 \text{ ns )} \end{aligned}$$

μ PD431008LE-20のライト終了からのデータ保持時間：0 ns ( MIN. )

V850E/MS1の電気的特性 ( HV<sub>DD</sub> = +5 V ) より

データ出力保持時間 ( 対 $\overline{UWR}$ ,  $\overline{LWR}$  ) の最小値

$$\begin{aligned} t_{HWROD} \text{ ( ns )} &= 0.5T - 10 \\ &= 0.5 \times 30 - 10 ; T = 30 \text{ ns} \\ &= 5 \text{ ns ( } > 0 \text{ ns )} \end{aligned}$$

**備考** WD : DWCによるウエイト数  
W :  $\overline{WAIT}$ 端子によるウエイト数  
i : アイドル・ステート

μ PD431008LLE-A20接続時

μ PD431008LLE-A20のアドレス、 $\overline{CS}$ アクティブからライト終了までの時間：12 ns ( MIN. )

V850E/MS1の電気的特性 ( HV<sub>DD</sub> = +3.3 V ) より

アドレス設定時間 ( 対 $\overline{UWR}$ ,  $\overline{LWR}$  ) の最小値

$$\begin{aligned} t_{SAWR} \text{ ( ns )} &= ( 1.5 + WD + W ) T - 10 \\ &= 2.5 \times 30 - 10 ; WD = 1 , W = 0 , T = 30 \text{ ns} \\ &= 65 \text{ ns ( } > 12 \text{ ns )} \end{aligned}$$

μ PD431008LLE-A20の $\overline{WE}$ アクティブ・パルス幅：10 ns ( MIN. )

V850E/MS1の電気的特性 ( HV<sub>DD</sub> = +3.3 V ) より

$\overline{UWR}$ ,  $\overline{LWR}$ ロウ・レベル幅の最小値

$$\begin{aligned} t_{WWRL} \text{ ( ns )} &= ( 1 + WD + W ) T - 10 \\ &= 2 \times 30 - 10 ; WD = 1 , W = 0 , T = 30 \text{ ns} \\ &= 50 \text{ ns ( } > 10 \text{ ns )} \end{aligned}$$

μ PD431008LLE-A20のデータ・バリッドからライト終了までの時間：10 ns ( MIN. )

V850E/MS1の電気的特性 ( HV<sub>DD</sub> = +3.3 V ) より

データ出力設定時間 ( 対 $\overline{UWR}$ ,  $\overline{LWR}$  ) の最小値

$$\begin{aligned} t_{SODWR} \text{ ( ns )} &= ( 1.5 + WD + W ) T - 10 \\ &= 2.5 \times 30 - 10 ; WD = 1 , W = 0 , T = 30 \text{ ns} \\ &= 65 \text{ ns ( } > 10 \text{ ns )} \end{aligned}$$

$\mu$  PD431008LLE-A20のライト終了からのデータ保持時間 : 0 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = +3.3\text{ V}$ ) より

データ出力保持時間 (対 $\overline{UWR}$ ,  $\overline{LWR}$ ) の最小値

$$\begin{aligned} t_{HWROD} (\text{ns}) &= 0.5T - 5 \\ &= 0.5 \times 30 - 5 ; T = 30 \text{ ns} \\ &= 10 \text{ ns} (> 0 \text{ ns}) \end{aligned}$$

**備考** WD : DWCによるウェイト数  
W :  $\overline{\text{WAIT}}$ 端子によるウェイト数  
i : アイドル・ステート

図2 - 4  $\mu$  PD431008-20ライト動作 - 2 (D0-D7に対する8ビット・アクセス)

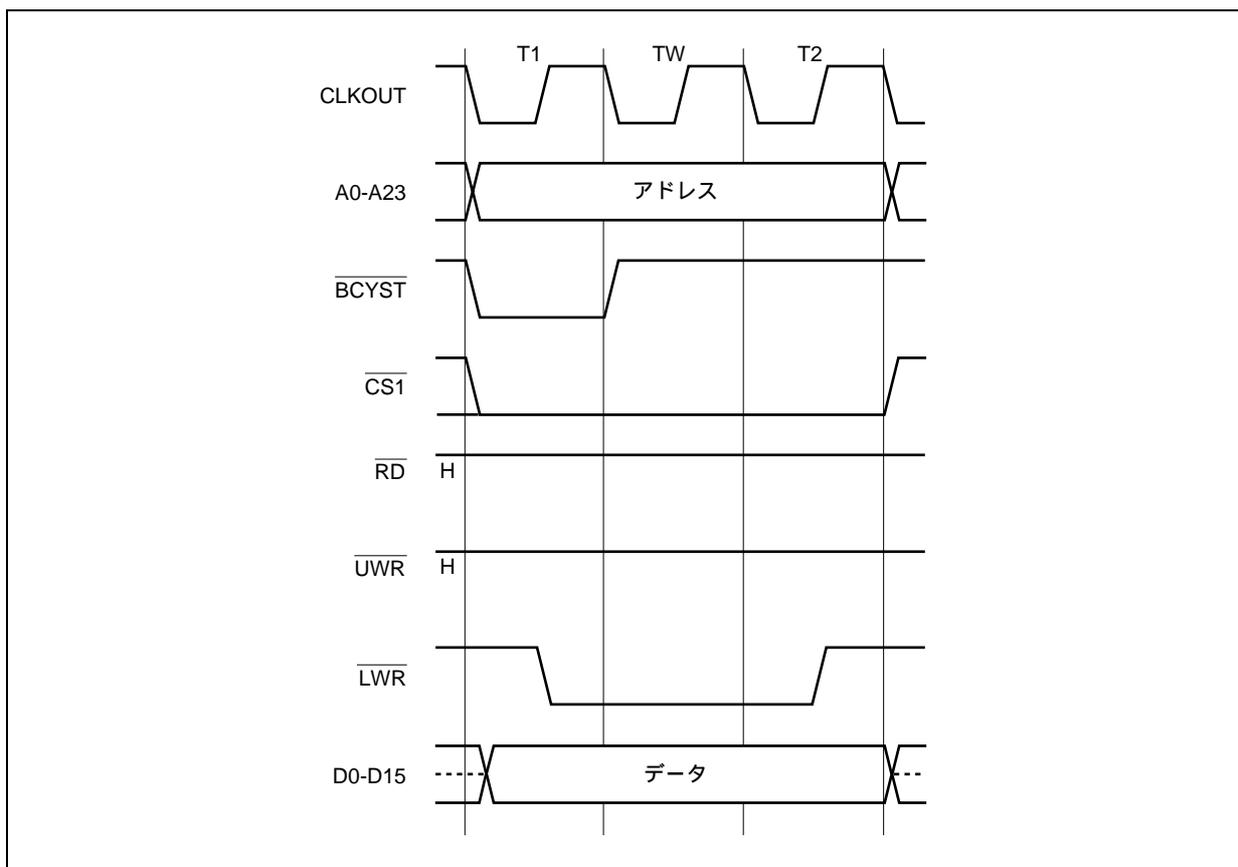
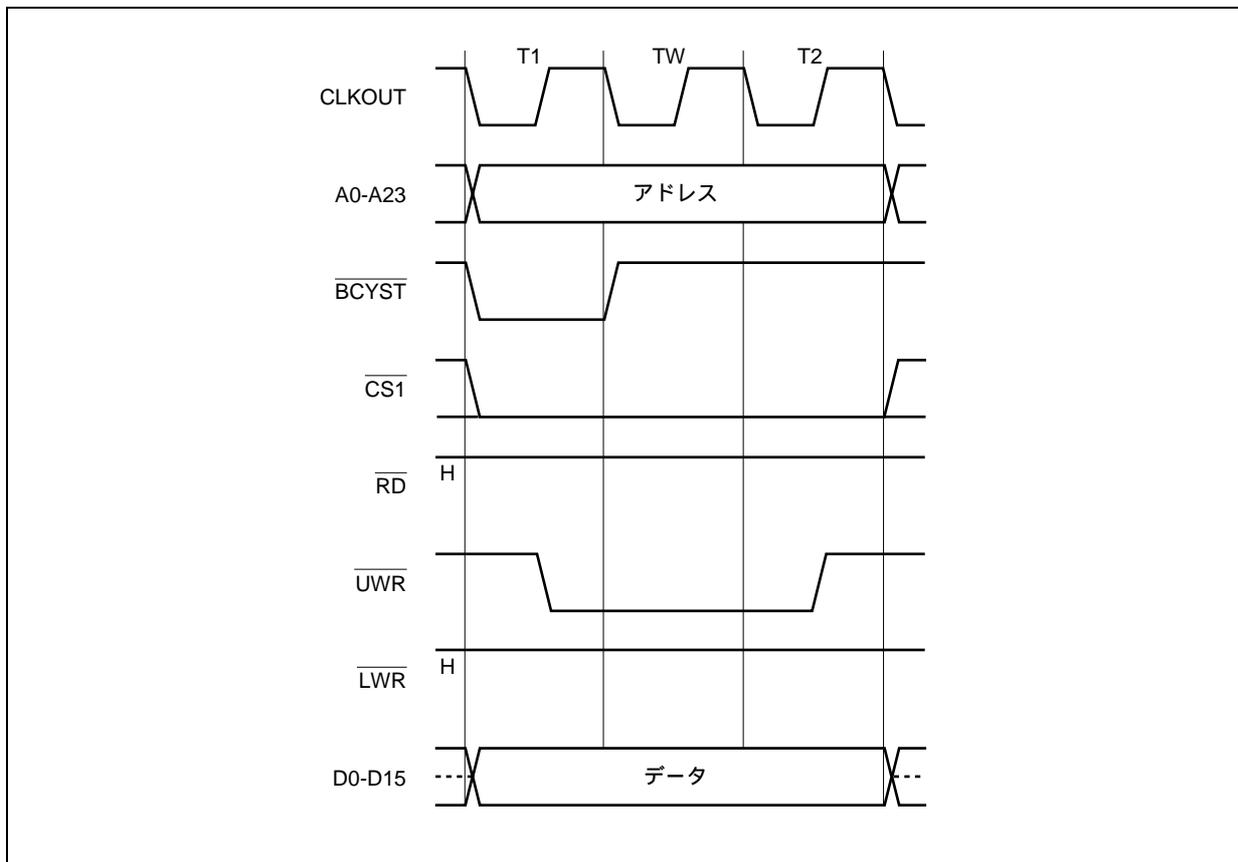


図2 - 5  $\mu$  PD431008-20ライト動作 - 3 (D8-D15に対する8ビット・アクセス)



## 2.1.2 SRAM接続時のウェイト/アイドル設定とシステム・クロック一覧

 $\mu$  PD431008LE-15との接続 (V850E/MS1のHV<sub>DD</sub> = 5 V)

$\phi$ (システム・クロック)	ウェイト数	アイドルの挿入	制限されるタイミング
$\phi$ 25 MHz	0	なし	t <sub>SRDID</sub>
25 MHz < $\phi$ 26 MHz	1	なし	t <sub>DRDOD</sub>
26 MHz < $\phi$ ( 40 MHz)	1	する	

 $\mu$  PD431008LE-20との接続 (V850E/MS1のHV<sub>DD</sub> = 5 V)

$\phi$ (システム・クロック)	ウェイト数	アイドルの挿入	制限されるタイミング
$\phi$ 23 MHz	0	なし	t <sub>SRDID</sub>
23 MHz < $\phi$ 26 MHz	1	する	t <sub>DRDOD</sub>
26 MHz < $\phi$ ( 40 MHz)	1	する	

 $\mu$  PD431000A-70との接続 (V850E/MS1のHV<sub>DD</sub> = 5 V)

$\phi$ (システム・クロック)	ウェイト数	アイドルの挿入	制限されるタイミング
$\phi$ 13 MHz	0	なし	t <sub>DRDOD</sub>
13 MHz < $\phi$ 14 MHz	0	する	t <sub>SRDID</sub>
14 MHz < $\phi$ 25 MHz	1	する	t <sub>SAID</sub>
25 MHz < $\phi$ 35 MHz	2	する	t <sub>SAID</sub>
35 MHz < $\phi$ ( 40 MHz)	3	する	

 $\mu$  PD431008LLE-A17との接続 (V850E/MS1のHV<sub>DD</sub> = 3.3 V)

$\phi$ (システム・クロック)	ウェイト数	アイドルの挿入	制限されるタイミング
$\phi$ 24 MHz	0	なし	t <sub>SRDID</sub>
24 MHz < $\phi$ 25 MHz	1	なし	t <sub>DRDOD</sub>
25 MHz < $\phi$ ( 40 MHz)	1	する	

 $\mu$  PD431008LLE-A20との接続 (V850E/MS1のHV<sub>DD</sub> = 3.3 V)

$\phi$ (システム・クロック)	ウェイト数	アイドルの挿入	制限されるタイミング
$\phi$ 23 MHz	0	なし	t <sub>SRDID</sub> , t <sub>DRDOD</sub>
23 MHz < $\phi$ ( 40 MHz)	1	する	

## 2.2 PROMとの接続

PROM HN27C4096H (256 K×16ビット) を1つ使用し、512 Kバイトの外部ROM空間を接続する例を示します。

### [ 回路構成 ]

- ・ V850Eの内部システム・クロック : 33 MHz
- ・ 接続デバイス : HN27C4096H-85 × 1つ
- ・ 占有空間 : メモリ・ブロック0  
外部メモリ空間の0000000H-007FFFFHに配列  
(0番地からの512 Kバイト空間)

### [ 接続の考え方と注意点 ]

V850E/MS1のアドレス信号は、バイトごとのアドレスのため、HN27C4096H-85のアドレスに1本シフトして接続 (A1から接続する)

HN27C4096H-85の出力フローティング遅延時間は30 nsのため、アイドル挿入が必要

(アイドルが1クロックで不足するデバイスとの接続例は、3.2 低速PROM (27C1024-12) との接続を参照してください)

### [ レジスタの設定 ]

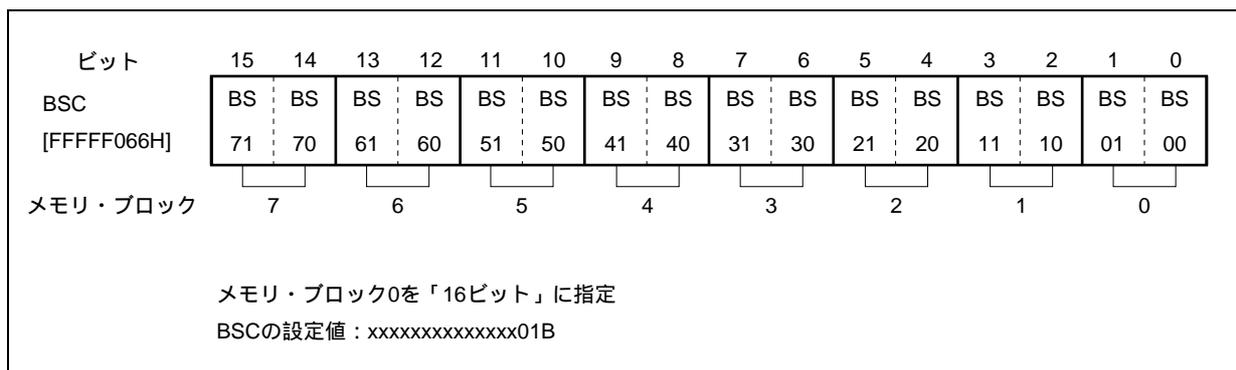
- ・ メモリ・ブロック0 : SRAM, 外部ROM, 外部I/Oモード
- ・ ウェイト設定 : 3ウェイト
- ・ アイドル・ステート : 挿入する

#### (1) BCTの設定

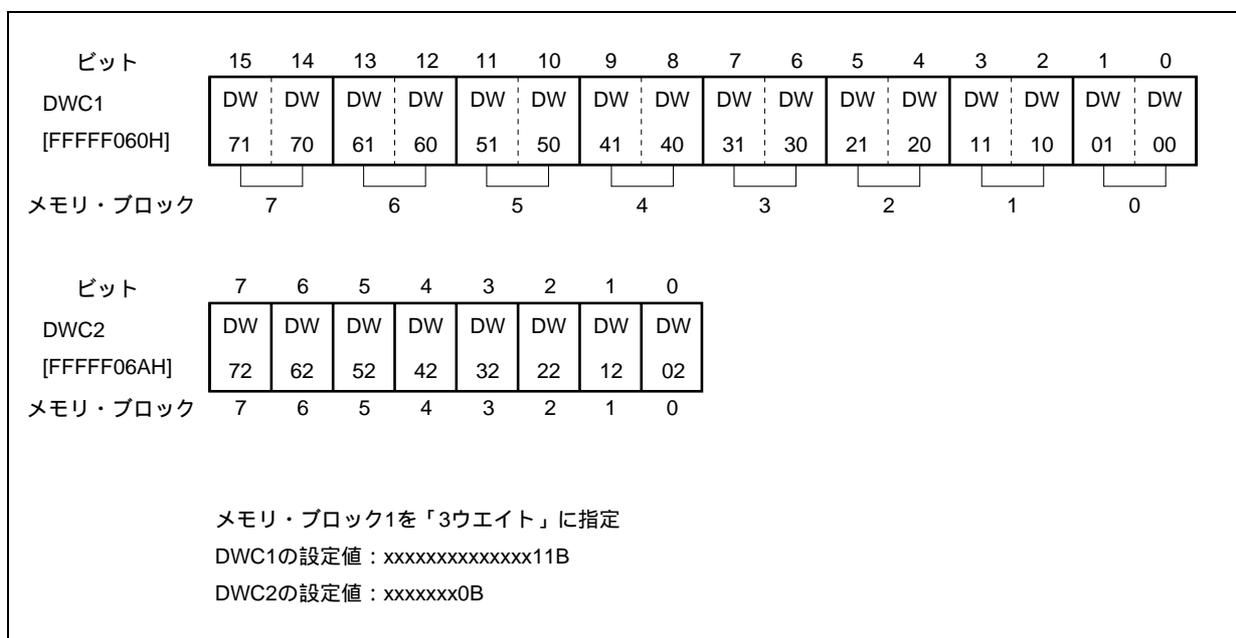
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCT	BT															
[FFFFFF064H]	71	70	61	60	51	50	41	40	31	30	21	20	11	10	01	00
メモリ・ブロック	7		6		5		4		3		2		1		0	

メモリ・ブロック0を「SRAM, 外部ROM, 外部I/O」に指定  
BCTの設定値 : xxxxxxxxxxxxxx00B

(2) BSCの設定



(3) DWC1, DWC2の設定



(4) BCCの設定

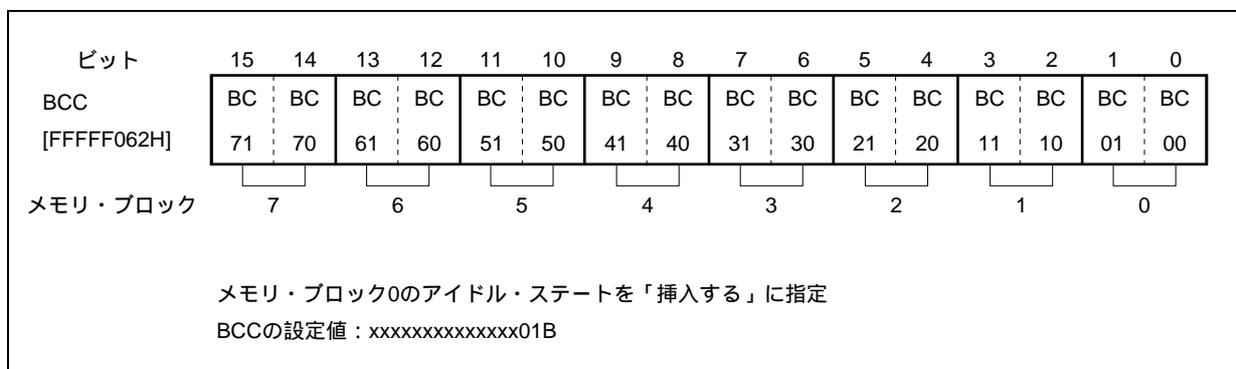


図2 - 6 HN27C4096H-85接続回路例

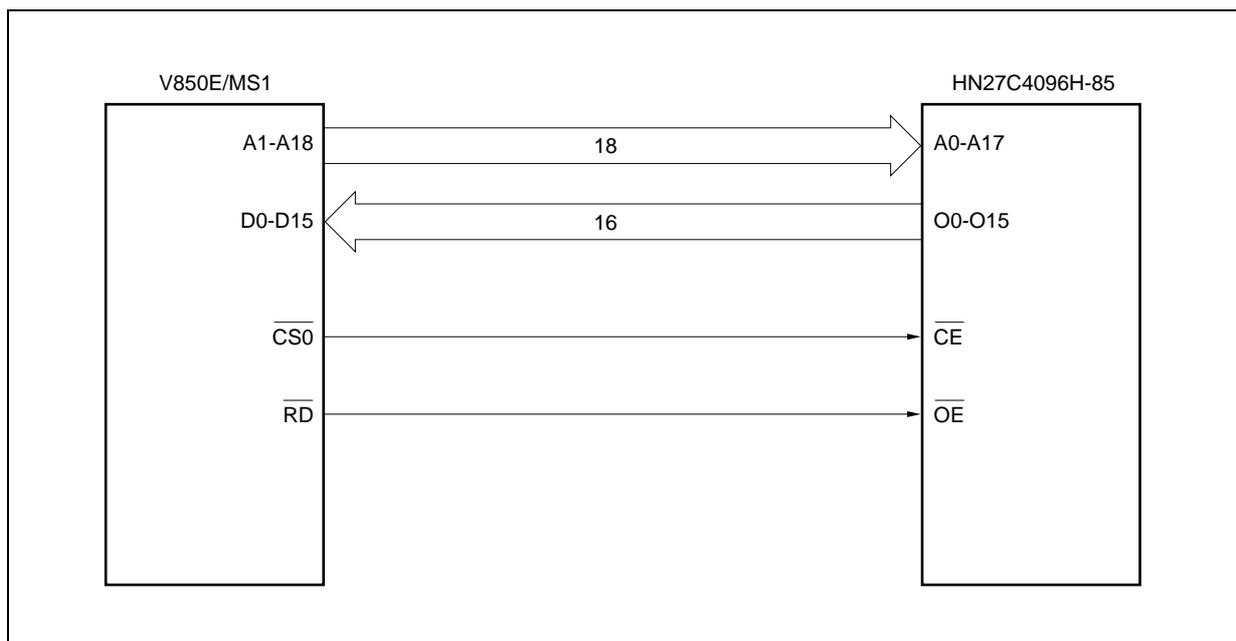
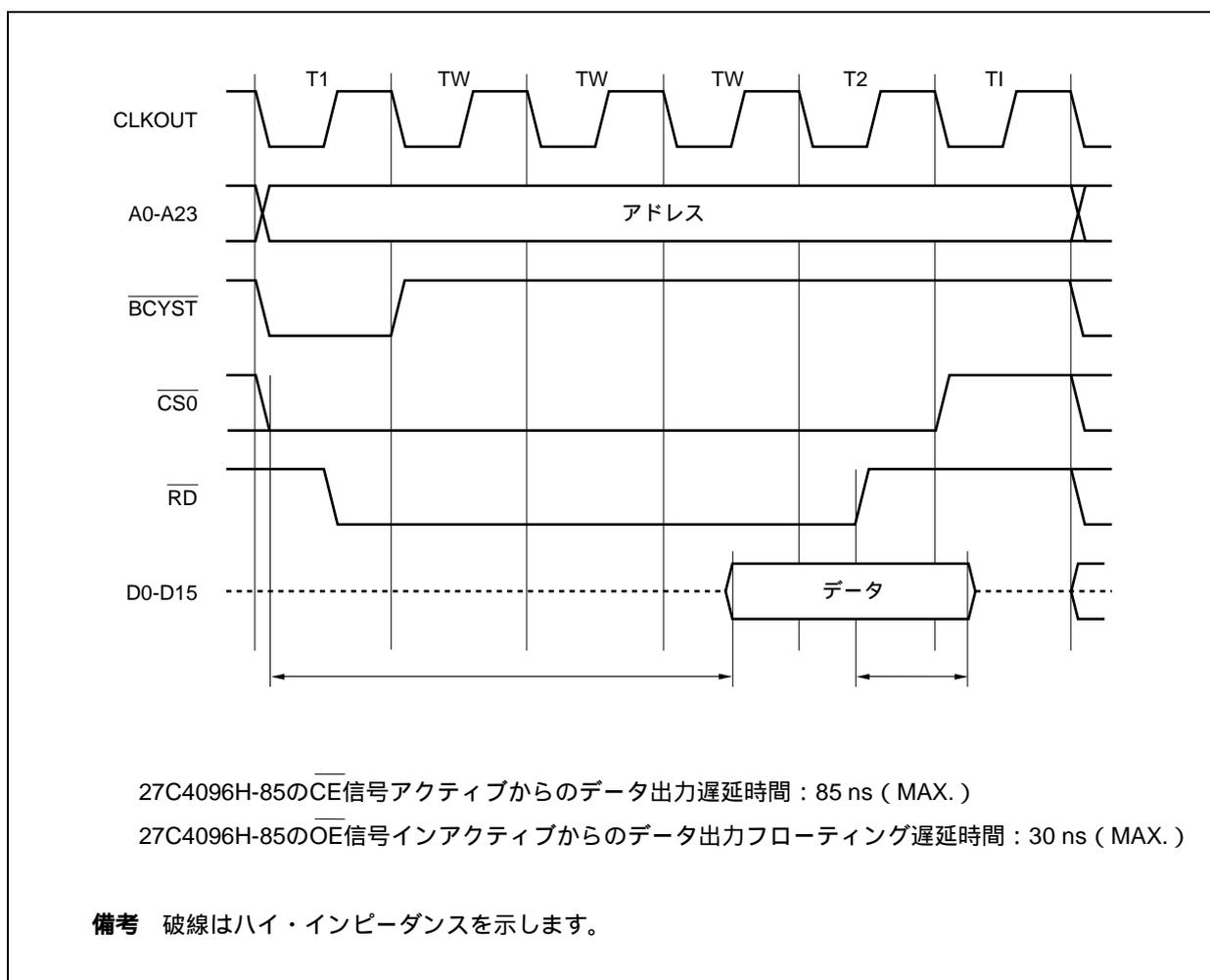


図2 - 7 HN27C4096H-85リード動作



## 2.3 高速ページDRAMとの接続

高速ページDRAM  $\mu$  PD42S16160 (1 M $\times$ 16ビット) を1つ使用して2 Mバイトの外部メモリ空間を接続する例を示します。

### [ 回路構成 ]

- ・V850Eの内部システム・クロック : 33 MHz
- ・接続デバイス :  $\mu$  PD42S16160-50 $\times$ 1つ
- ・占有空間 : メモリ・ブロック2  
外部メモリ空間の0400000H-05FFFFFFHに配列  
(04000000H番地からの2 Mバイト空間)

### [ 接続の考え方と注意点 ]

DRAMのアクセス・タイミングは、4本あるDRAMコンフィギュレーション・レジスタ (DRC0-DRC3) に、それぞれ4通りの動作を設定可能で、メモリ・ブロックごとに1本のコンフィギュレーション・レジスタを指定し、動作を決定します。この節では、DRC0にアクセス・タイミングを指定します。

V850E/MS1のアドレス端子A1-A12を $\mu$  PD42S16160のA0-A11に接続します。 $\mu$  PD42S16160は、上位ビット (ロウ・アドレスに対応) が12ビット、下位ビット (コラム・アドレスに対応) が8ビットなので、ロウ・アドレス出力時にV850E/MS1のA1-A12が次に示す状態になるようにアドレス・マルチプレクス幅を設定します。

	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
ロウ・アドレス	a20	a19	a18	-----							a10	a9

CBRリフレッシュは、4096サイクル / 128 msなのでリフレッシュ・インターバルを31.25  $\mu$  s以下になるように設定します。

DRAMコンフィギュレーション・レジスタの設定は、どちらか一方にウエイトを挿入すれば十分な場合、発生頻度の少ない方に挿入します。

**例<sup>註</sup>** ロウ・アドレスのホールドとデータ・ウエイトのどちらか一方にウエイトを挿入 (または1つ追加) すれば満足するとき、ロウ・アドレスのホールド・ウエイトを挿入 (または追加)。

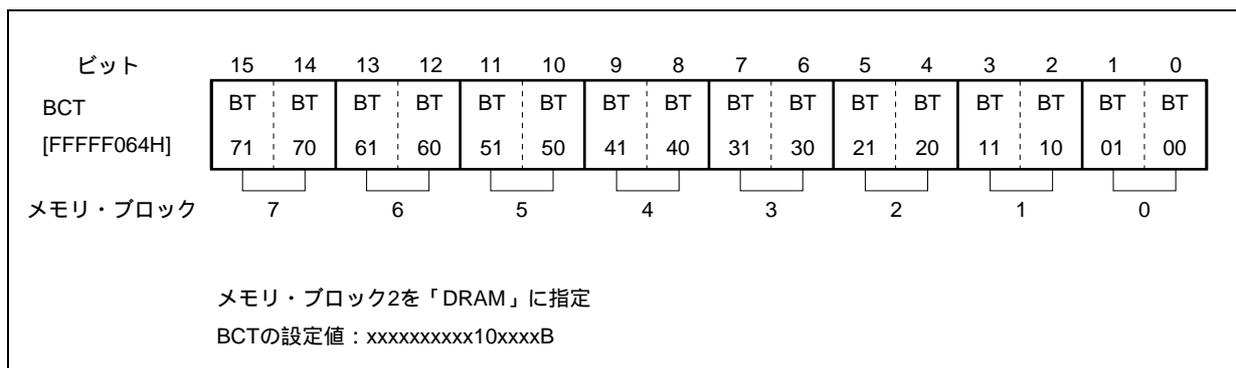
**理由** オン・ページ時のウエイトが少なくなります。

**注** この節での設定には該当しません。

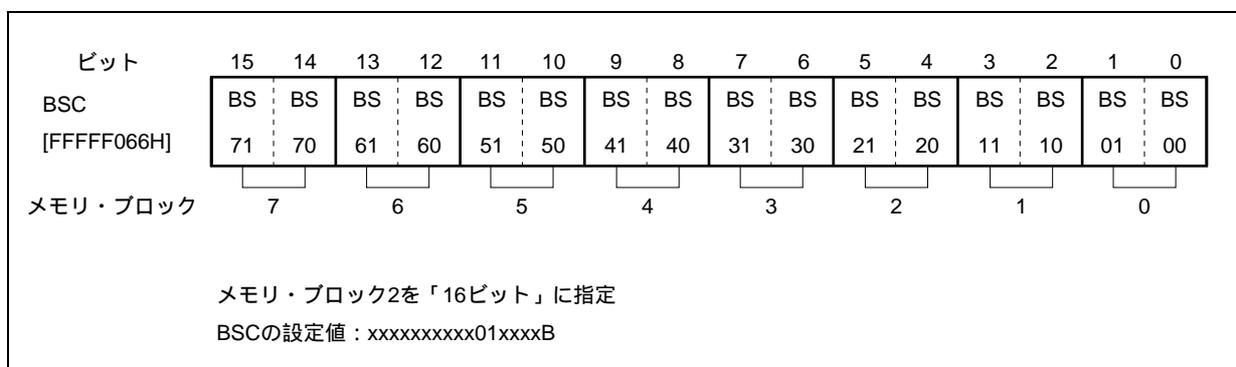
### [ レジスタの設定 ]

- ・メモリ・ブロック2 : DRAMモード
- ・指定するDRAMコンフィギュレーション・レジスタ : DRC0
- ・DRAMの種類 : 高速ページDRAM
- ・RASホールド・モード : 許可
- ・アイドル・ステート : 挿入する

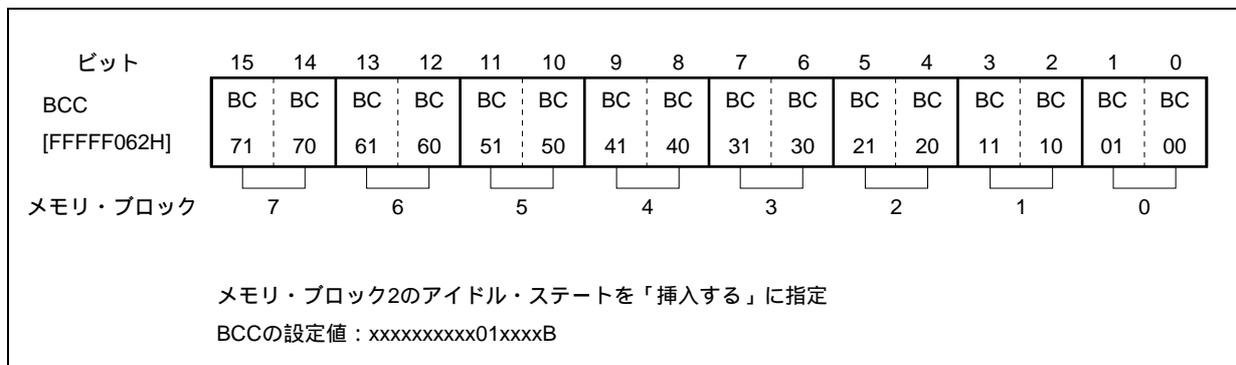
(1) BCTの設定



(2) BSCの設定



(3) BCCの設定



(4) DRC0の設定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DRC0	PAE	PAE	RPC	RPC	RHC	RHC	DAC	DAC	CPC	CPC	0	RHD	0	0	DAW	DAW
[FFFFFF200H]	10	00	10	00	10	00	10	00	10	00	0	0	0	0	10	00

PAE10, 00 : 0, 1 . . . 高速ページDRAM  
 RPC10, 00 : 0, 1 . . . ロウ・アドレスのプリチャージ・ウエイト数 RPW = 1  
 RHC10, 00 : 0, 1 . . . ロウ・アドレスのホールド・ウエイト数 RHW = 1  
 DAC10, 00 : 0, 1 . . . データ・ウエイト数 DAW = 1  
 CPC10, 00 : 0, 0 . . . カラム・アドレスのプリチャージ・ウエイト数 CPW = 0  
 RHD0 : 0 . . . RASホールド・モードを許可  
 DAW10, 00 : 0, 0 . . . アドレス・マルチプレクス幅8ビット  
 DRC0の設定値 : 5500H

(5) DTCの設定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTC	DC															
[FFFFFF220H]	71	70	61	60	51	50	41	40	31	30	21	20	11	10	01	00
メモリ・ブロック	7		6		5		4		3		2		1		0	

メモリ・ブロック2を「DRC0」に指定  
 DTCの設定値 : xxxxxxxxxxx0xxxxB

(6) RFC0<sup>注</sup>の設定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFC0	REN						RCC	RCC			RI	RI	RI	RI	RI	RI
[FFFFFF210H]	0	0	0	0	0	0	01	00	0	0	05	04	03	02	01	00

REN0 : 1 . . . リフレッシュ・イネーブル  
 RCC01, 00 : 0, 0 . . . リフレッシュ・カウント・クロック 32/  
 RI05-00 : 0, 1, 1, 1, 1, 1 . . . インターバル・ファクタ 32  
 RFC0の設定値 : 801FH  
 = 33 MHz ( 0.030 μs ) なので上記設定でのリフレッシュ間隔は次のようになります。  
 リフレッシュ間隔 = 32 × 0.030 × 32  
 = 30.72 ( μs )

**注** 使用するコンフィギュレーション・レジスタがDRC0のため、リフレッシュ動作の指定はRFC0になります。

## (7) RWCの設定

ビット	7	6	5	4	3	2	1	0
RWC [FFFFFF218H]	RRW1	RRW0	RCW2	RCW1	RCW0	SRW2	SRW1	SRW0

RRW1, 0 : 0, 1 . . . リフレッシュRASウェイト数 RRW = 1

RCW2-0 : 0, 0, 0 . . . リフレッシュ・サイクル・ウェイト数 RCW = 0

RWCの設定値 : 40H

**備考** セルフ・リフレッシュは使用しないものとします。

ほかに接続するDRAMがある場合、RRW、RCWの設定は遅いメモリにあわせませす。

図2 - 8 μ PD42S16160-50接続回路例

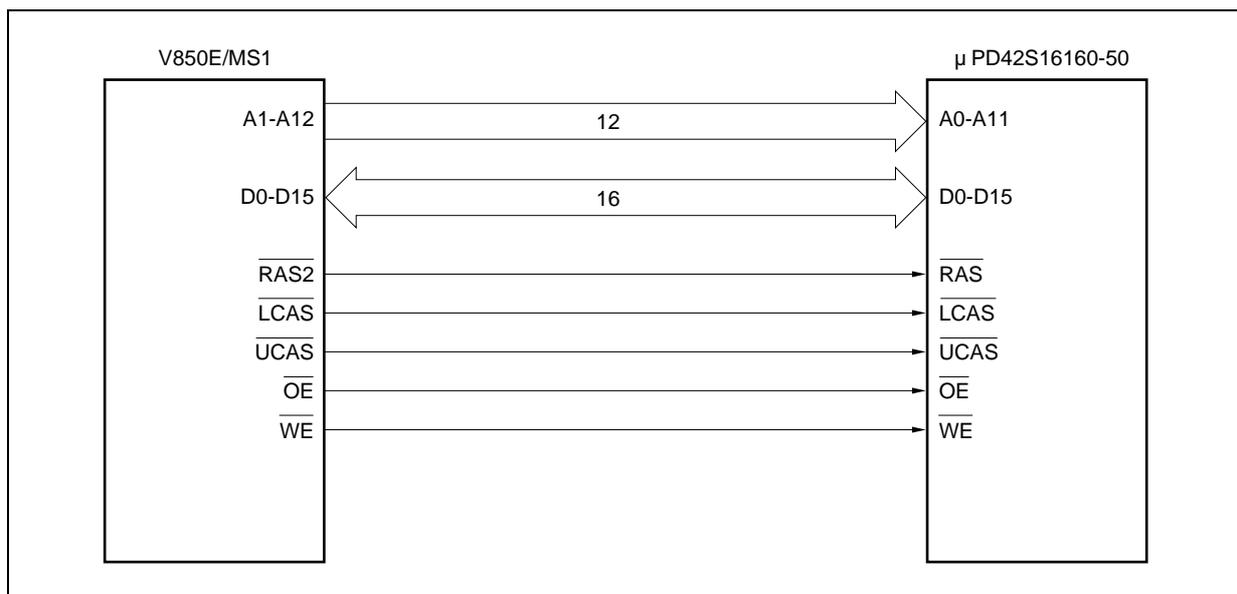


図2 - 9 μ PD42S16160-50リード動作

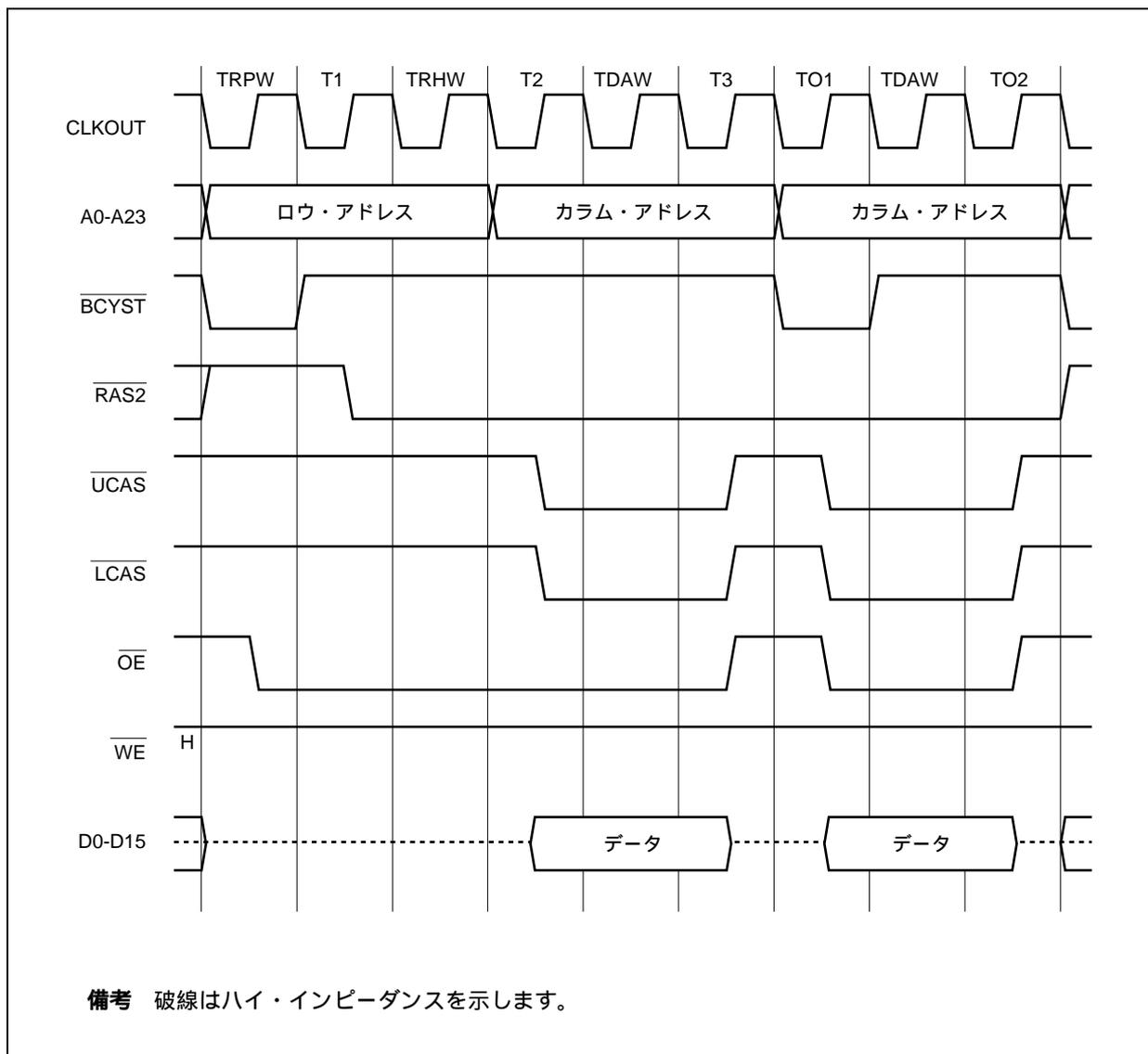


図2 - 10  $\mu$  PD42S16160-50ライト動作

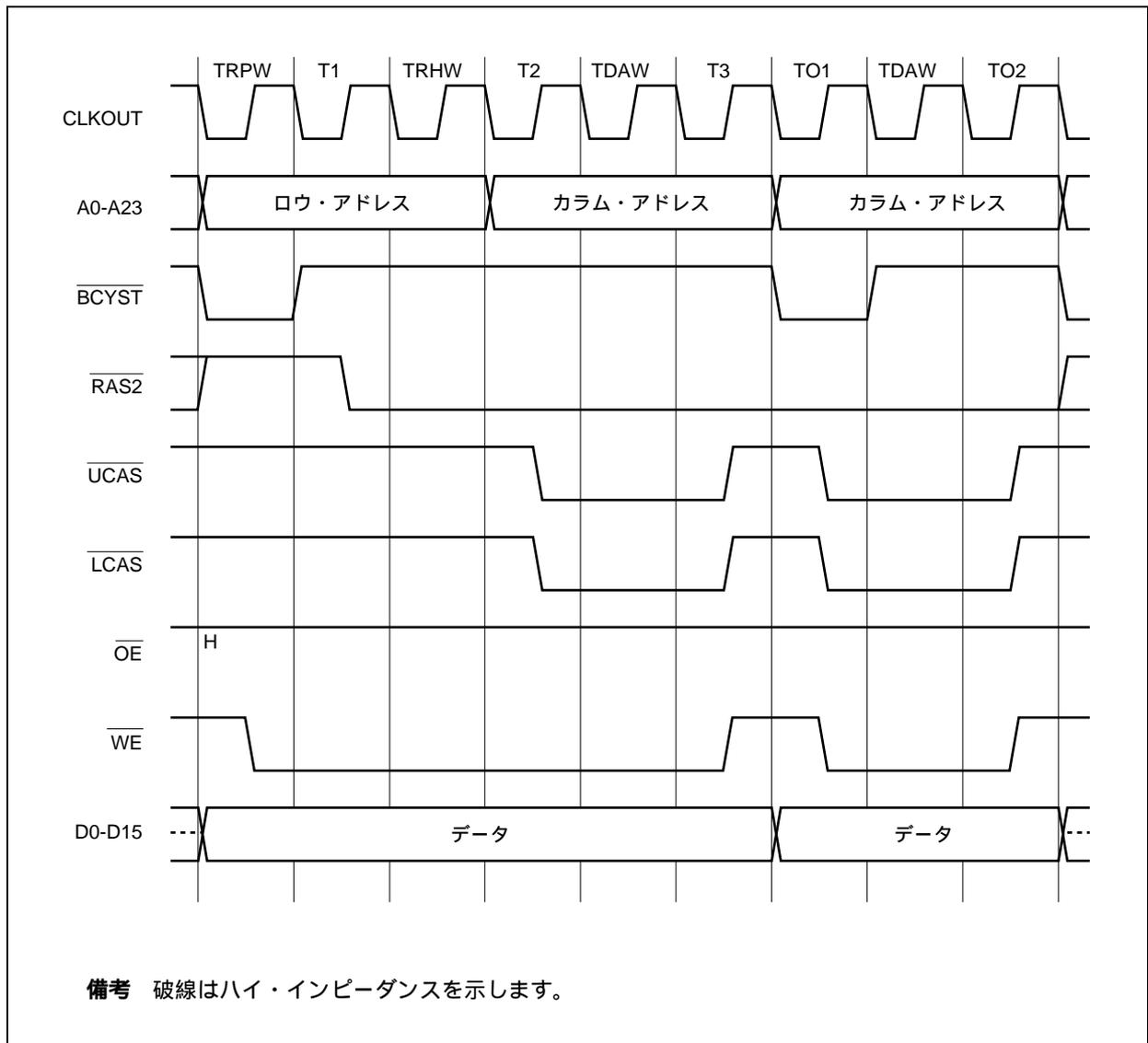
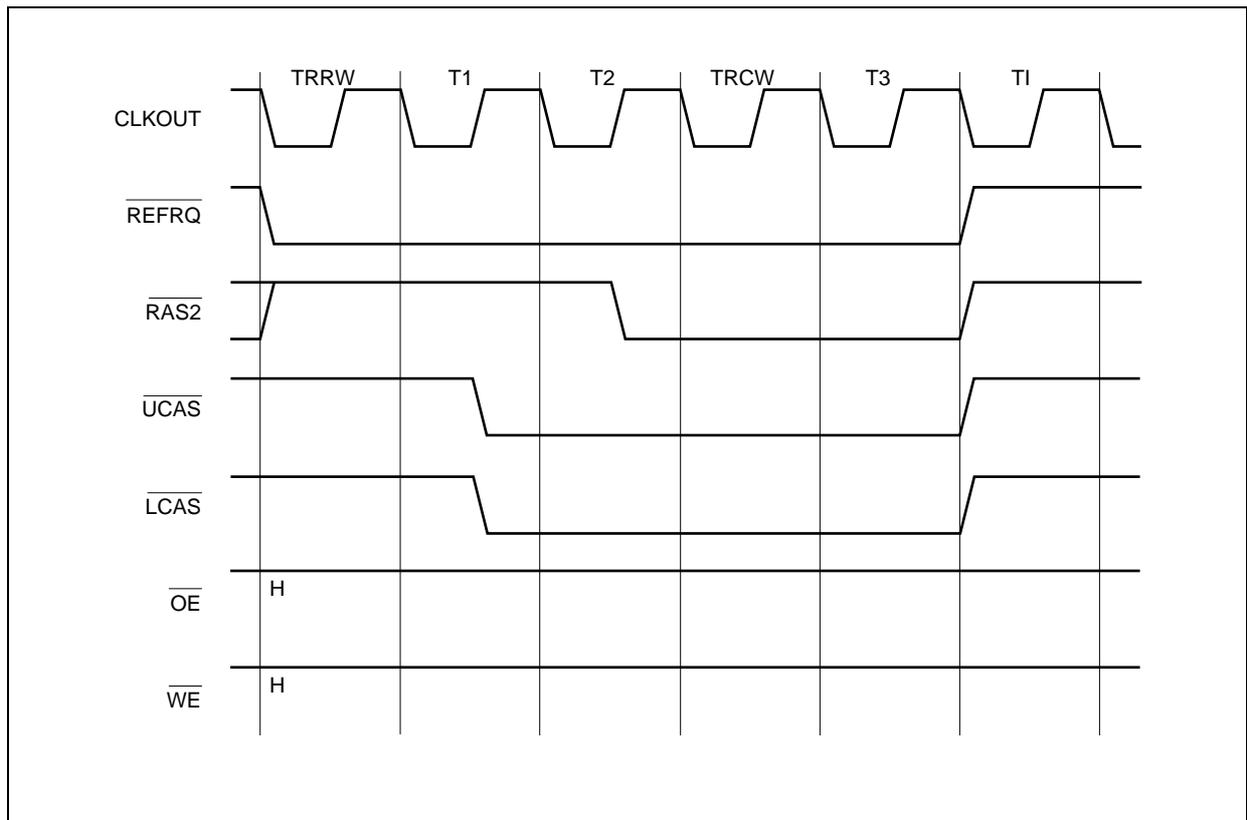


図2 - 11  $\mu$  PD42S16160-50リフレッシュ動作



## 2.4 EDO DRAMとの接続

EDO DRAM  $\mu$  PD42S18165 (1 M $\times$ 16ビット) を1つ使用し、2 Mバイトの外部メモリ空間を接続する例を示します。

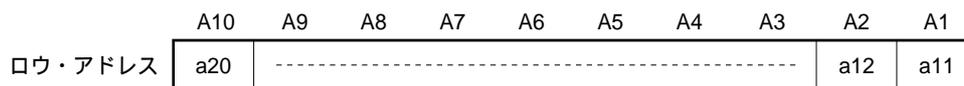
### [ 回路構成 ]

- ・ V850Eの内部システム・クロック : 33 MHz
- ・ 接続デバイス :  $\mu$  PD42S18165-50  $\times$  1つ
- ・ 占有空間 : メモリ・ブロック3  
外部メモリ空間の0800000H-09FFFFFFHに配列  
(08000000番地からの2 Mバイト空間)

### [ 接続の考え方と注意点 ]

DRAMのアクセス・タイミングはDRC1に設定します。

V850E/MS1のアドレス端子A1-A10を $\mu$  PD42S18165のA0-A9に接続します。 $\mu$  PD42S18165は、上位ビットが10ビット、下位ビットが10ビットなので、ロウ・アドレス出力時にV850E/MS1のA1-A10が次の状態になるようにアドレス・マルチプレクス幅を設定します。

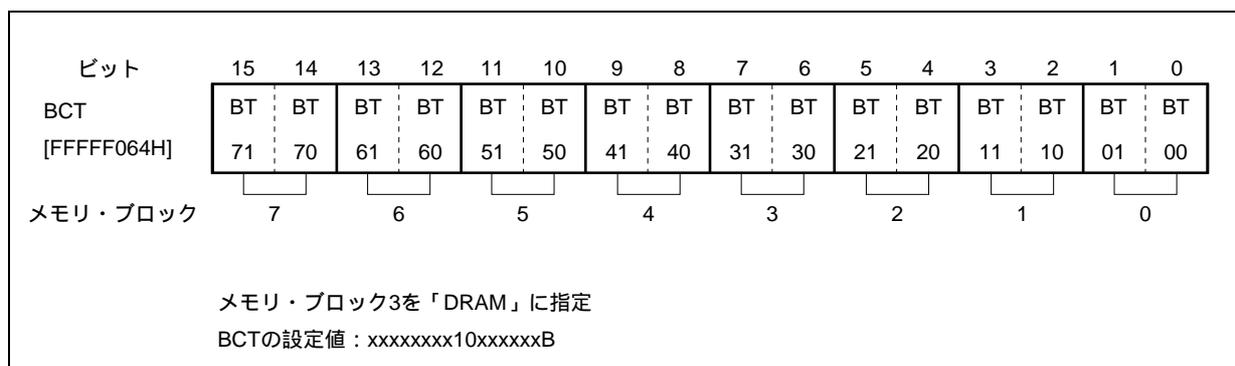


CBRリフレッシュ・サイクルは1024サイクル / 128 msなので、リフレッシュ・インターバルが125  $\mu$ s 以下になるように設定します。

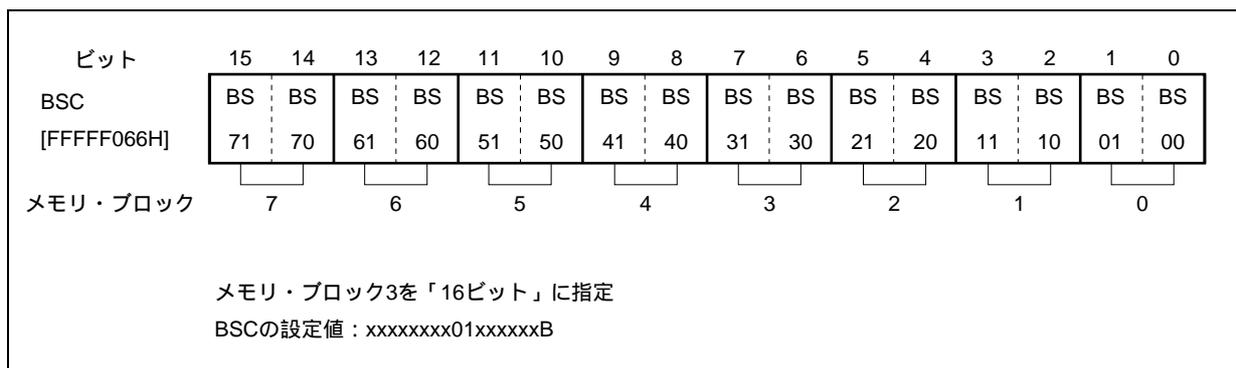
### [ レジスタの設定 ]

- ・ メモリ・ブロック3 : DRAMモード
- ・ 指定するDRAMコンフィギュレーション・レジスタ : DRC1
- ・ DRAMの種類 : EDO DRAM
- ・ RASホールド・モード : 許可
- ・ アイドル・ステート : 挿入する

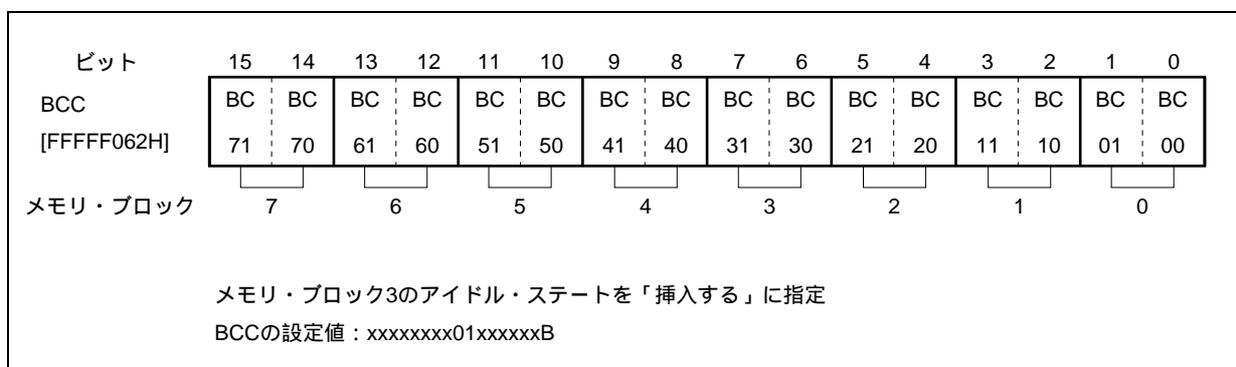
### (1) BCTの設定



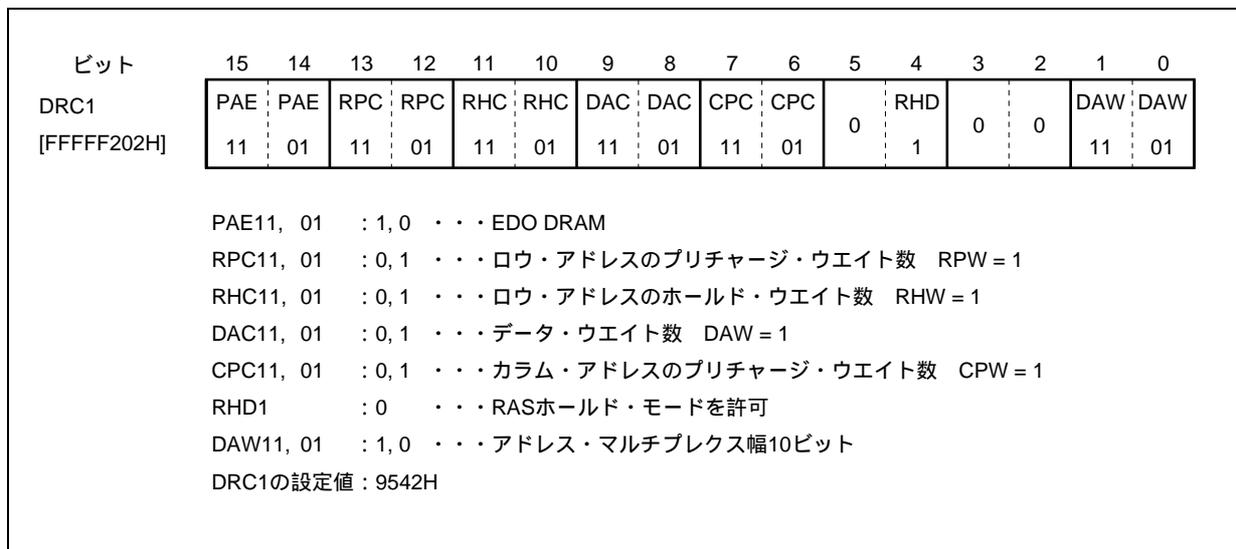
(2) BSCの設定



(3) BCCの設定



(4) DRC1の設定



(5) DTCの設定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTC	DC															
[FFFFFF20H]	71	70	61	60	51	50	41	40	31	30	21	20	11	10	01	00
メモリ・ブロック	7		6		5		4		3		2		1		0	

メモリ・ブロック3を「DRC1」に指定  
DTCの設定値：xxxxxxx01xxxxxB

(6) RFC1<sup>※</sup>の設定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFC1	REN						RCC	RCC			RI	RI	RI	RI	RI	RI
[FFFFF212H]	1	0	0	0	0	0	11	10	0	0	15	14	13	12	11	10

REN1 : 1 ……リフレッシュ・イネーブル  
RCC11, 10 : 0, 1 ……リフレッシュ・カウント・クロック 128/  
RI15-10 : 0, 1, 1, 1, 1, 1 ……インターバル・ファクタ 32  
RFC1の設定値：811FH  
= 33 MHz (0.03 μs) なので上記設定でのリフレッシュ間隔は次のようになります。  
リフレッシュ間隔 = 128 × 0.03 × 32  
= 122.9 ( μs)

**注** 使用するコンフィギュレーション・レジスタがDRC1のため、リフレッシュ動作の指定はRFC1になります。

(7) RWCの設定

ビット	7	6	5	4	3	2	1	0
RWC	RRW1	RRW0	RCW2	RCW1	RCW0	SRW2	SRW1	SRW0
[FFFFF218H]								

RRW1, 0 : 0, 1 ……リフレッシュRASウェイト数 RRW = 1  
RCW2-0 : 0, 0, 0 ……リフレッシュ・サイクル・ウェイト数 RCW = 0  
RWCの設定値：40H

**備考** セルフ・リフレッシュは使用しないものとします。  
ほかに接続するDRAMがある場合、RRW, RCWの設定は遅いメモリにあわせて。

図2 - 12 μ PD42S18165-50接続回路例

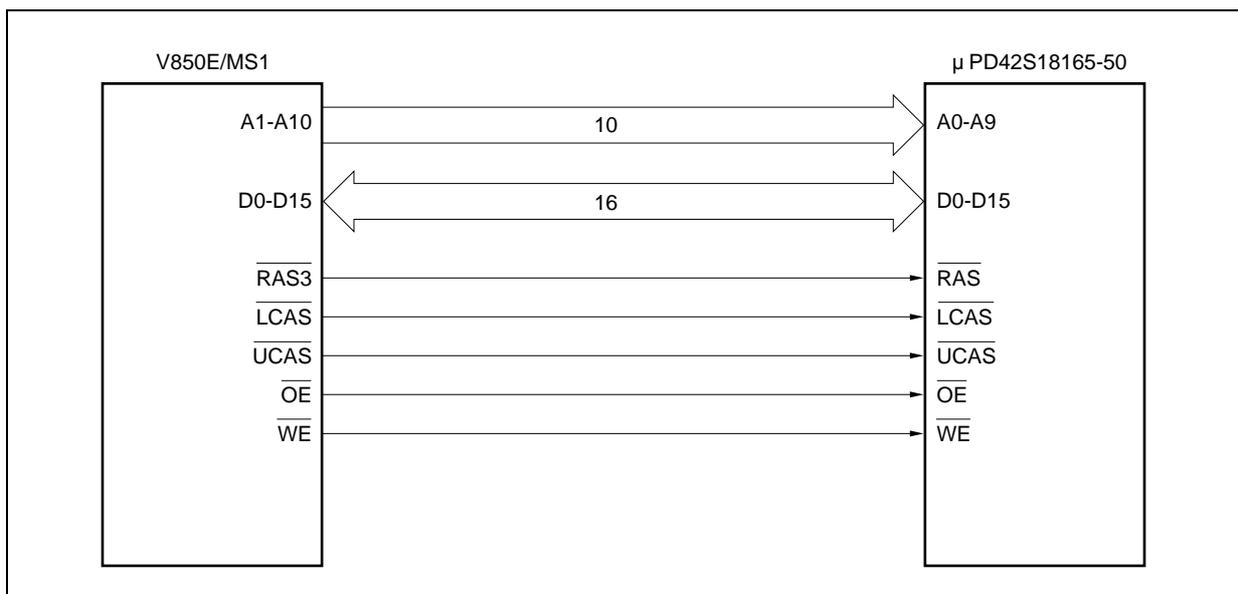


図2 - 13 μ PD42S18165-50リード動作

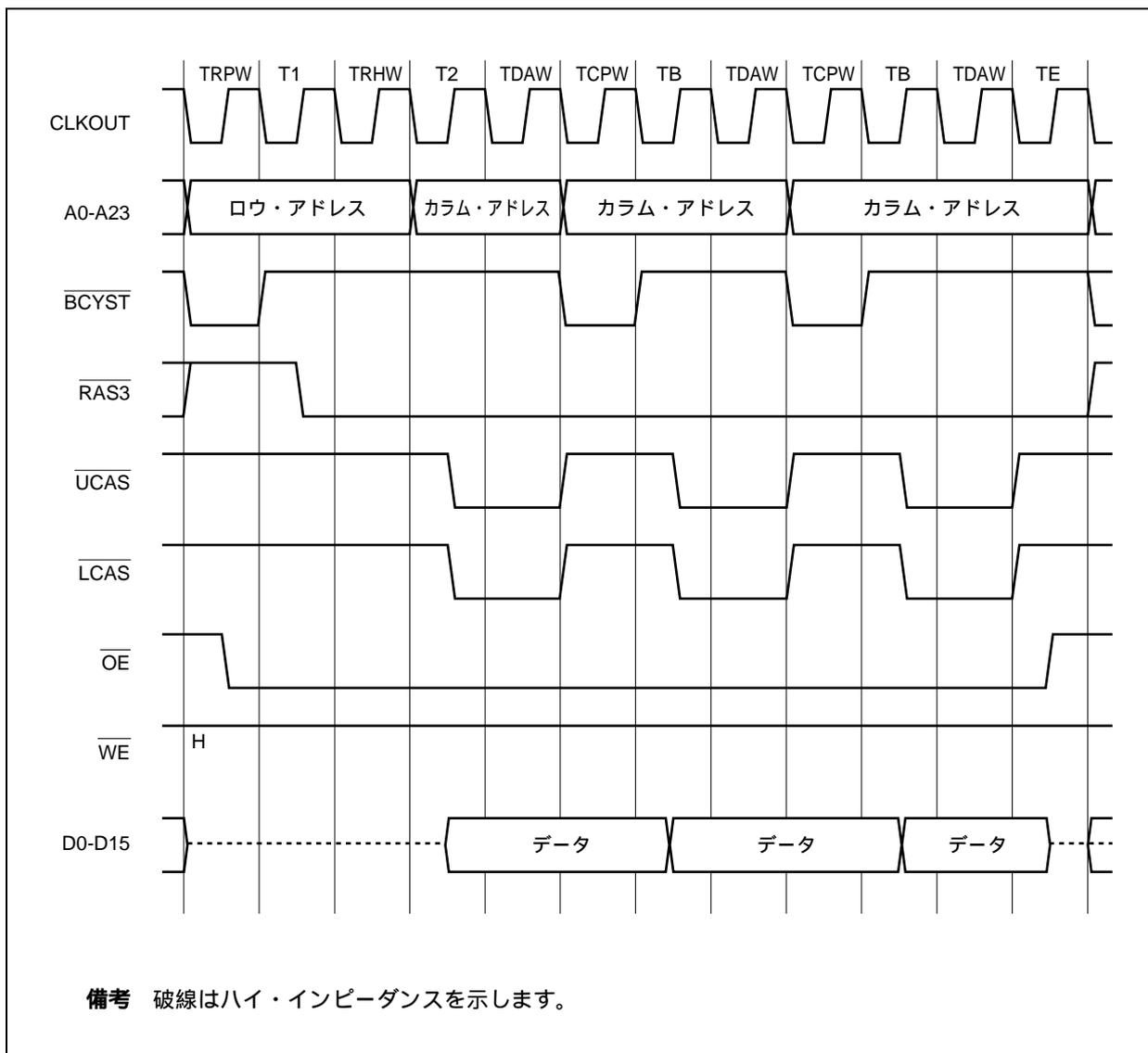
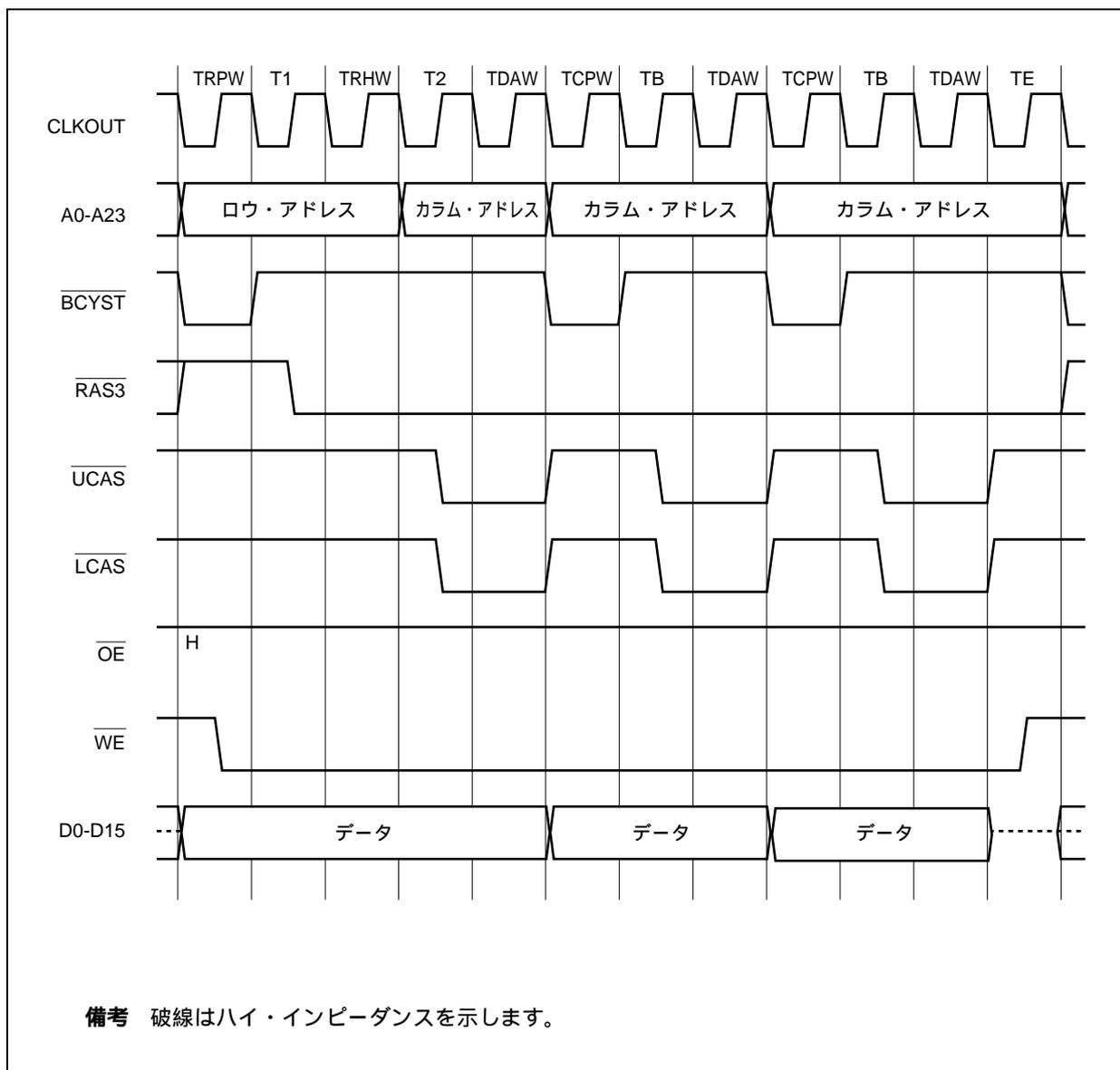


図2 - 14  $\mu$  PD42S18165-50ライト動作



## 第3章 バス・インタフェース接続回路例 - 2

この章では、V850E/MS1のバス・インタフェースに直結できないメモリを、付加回路を使用して接続する例を説明します。回路例は次に示す考え方で構成しています。

ウェイト制御はプログラマブル・ウェイトを使用  
( $\overline{\text{WAIT}}$ はプルアップされている)

HV<sub>DD</sub>を + 5 Vに接続した場合、外部端子は + 5 Vで動作  
HV<sub>DD</sub>を + 3.3 Vに接続した場合、外部端子は + 3.3 Vで動作

**注意** V850E/MS1は、外部端子に対し、5 Vでインタフェースする場合と、3.3 Vでインタフェースする場合とで製品が異なるため、電気的特性が異なります。

SIMMとの接続を除いて、外部バス・マスタは接続しない  
(SIMMとの接続を除いて、 $\overline{\text{HLDRQ}}$ はプルアップされている)

また、付加回路による信号伝達遅延時間を2 ns (MIN.)、7 ns (MAX.)として計算しています。  
実際の回路では使用するデバイスにあわせて遅延時間を考慮してください。  
この章では、[レジスタの設定]を第2章に比べて簡略しています。

### 3.1 16ビットSRAMとの接続

SRAM  $\mu$  PD431016 (64 K $\times$ 16ビット)を1つ使用し、128 Kバイトの空間を接続する例を示します。

#### [回路構成]

- ・ V850Eの内部システム・クロック : 25 MHz
- ・ 接続デバイス :  $\mu$  PD431016LE-20  $\times$  1つ
- ・ 占有空間 : メモリ・ブロック1  
外部メモリ空間の0200000H-021FFFFHに配列  
(0200000H番地からの128 Kバイト空間)

#### [接続の考え方と注意点]

V850E/MS1にはバイト・セレクト信号がないので、 $\mu$  PD431016のバイト・セレクト信号、 $\overline{\text{LB}}$ 信号と $\overline{\text{UB}}$ 信号を、V850E/MS1の $\overline{\text{RD}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{UWR}}$ により作成します。

$\mu$  PD431016の $\overline{\text{WE}}$ 信号はV850E/MS1の $\overline{\text{LWR}}$ 、 $\overline{\text{UWR}}$ のORで接続します。

[レジスタの設定]

- ・メモリ・ブロック1 : SRAM, 外部ROM, 外部I/Oモード
- ・ウェイト設定 : 1ウェイト
- ・アイドル・ステート : 挿入しない

レジスタ名称	設定値	機能
BCT	xxxxxxxxxx00xxB	ブロック1 : SRAM, 外部ROM, 外部I/Oモード
BSC	xxxxxxxxxx01xxB	ブロック1 : 16ビット
DWC1	xxxxxxxxxx01xxB	ブロック1 : 1ウェイト
DWC2	xxxxxx0xB	
BCC	xxxxxxxxxx00xxB	ブロック1 : アイドル挿入しない

図3 - 1 μ PD431016LE-20接続回路例

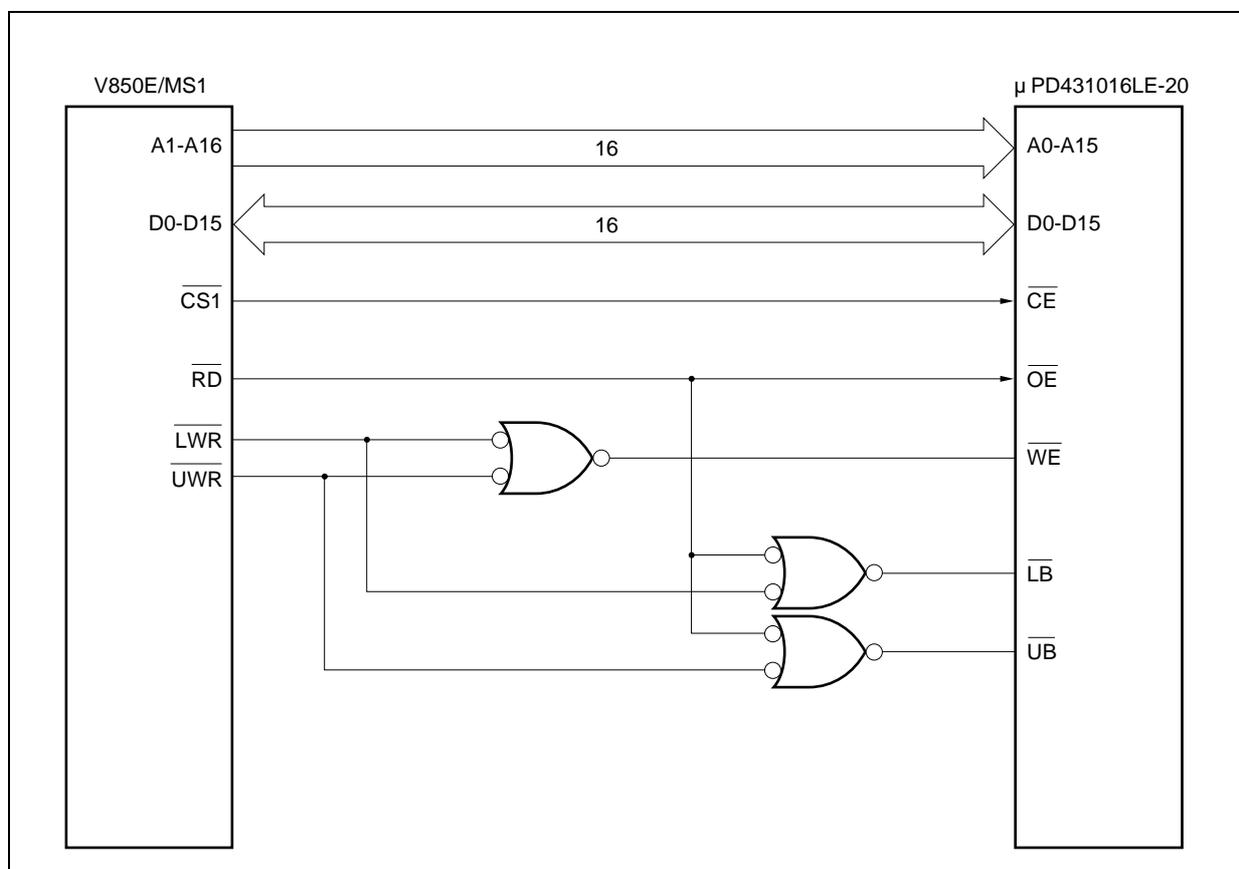
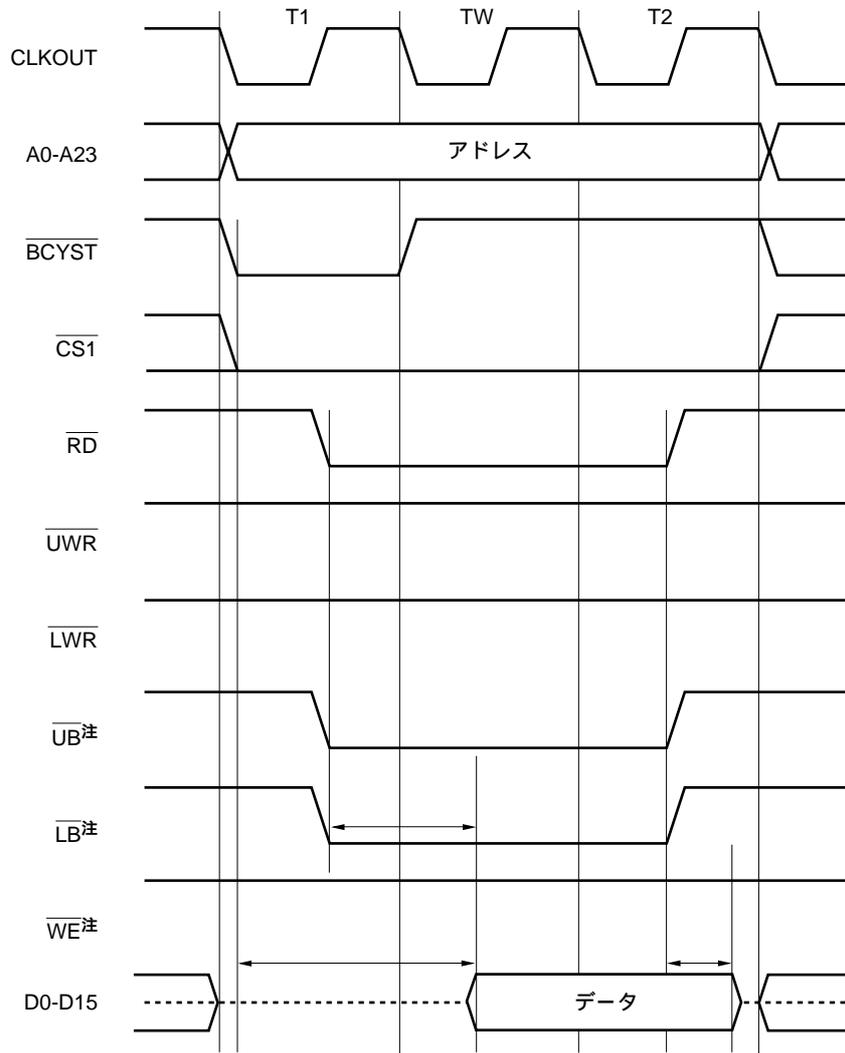


図3 - 2  $\mu$  PD431016LE-20リード動作 (8ビット・アクセス/16ビット・アクセス)



注  $\overline{UB}$ ,  $\overline{LB}$ ,  $\overline{WE}$ は $\mu$  PD431016の端子です。

備考 破線はハイ・インピーダンスを示します。

$\mu$  PD431016LE-20のアドレス,  $\overline{CE}$ アクティブからの出力遅延時間: 20 ns (MAX. )

V850E/MS1の電気的特性 (HV<sub>DD</sub> = 5 V) より

データ入力設定時間 (対アドレス) の最大値

$$\begin{aligned}
 t_{SAID} \text{ ( ns ) } &= ( 1.5 + WD + W ) T - 28 \\
 &= 2.5 \times 40 - 28 ; WD = 1 , W = 0 , T = 40 \text{ ns} \\
 &= 72 \text{ ns } ( > 20 \text{ ns } )
 \end{aligned}$$

$\mu$  PD431016LE-20の $\overline{\text{OE}}$ ,  $\overline{\text{LB}}$ ,  $\overline{\text{UB}}$ アクティブからの出力遅延時間 : 10 ns ( MAX. )

V850E/MS1の電気的特性 (  $\text{HV}_{\text{DD}} = 5 \text{ V}$  ) より

データ入力設定時間 ( 対 $\overline{\text{RD}}$  ) の最大値

$$\begin{aligned} t_{\text{SRDID}} (\text{ ns } ) &= ( 1 + \text{WD} + \text{W} ) \text{T} - 32 \\ &= 2 \times 40 - 32 ; \text{WD} = 1 , \text{W} = 0 , \text{T} = 40 \text{ ns} \\ &= 48 \text{ ns} \end{aligned}$$

$\overline{\text{LB}}$ ,  $\overline{\text{UB}}$ の付加回路による最大遅延時間を考慮すると

$$\begin{aligned} t_{\text{SRDID}} - \text{付加回路の遅延時間} &= 48 - 7 \\ &= 41 \text{ ns } ( > 10 \text{ ns } ) \end{aligned}$$

$\mu$  PD431016LE-20の $\overline{\text{OE}}$ インアクティブからの出力フローティング遅延時間 : 7 ns ( MAX. )

V850E/MS1の電気的特性 (  $\text{HV}_{\text{DD}} = 5 \text{ V}$  ) より

データ出力遅延時間 ( 対 $\overline{\text{RD}}$  ) の最小値

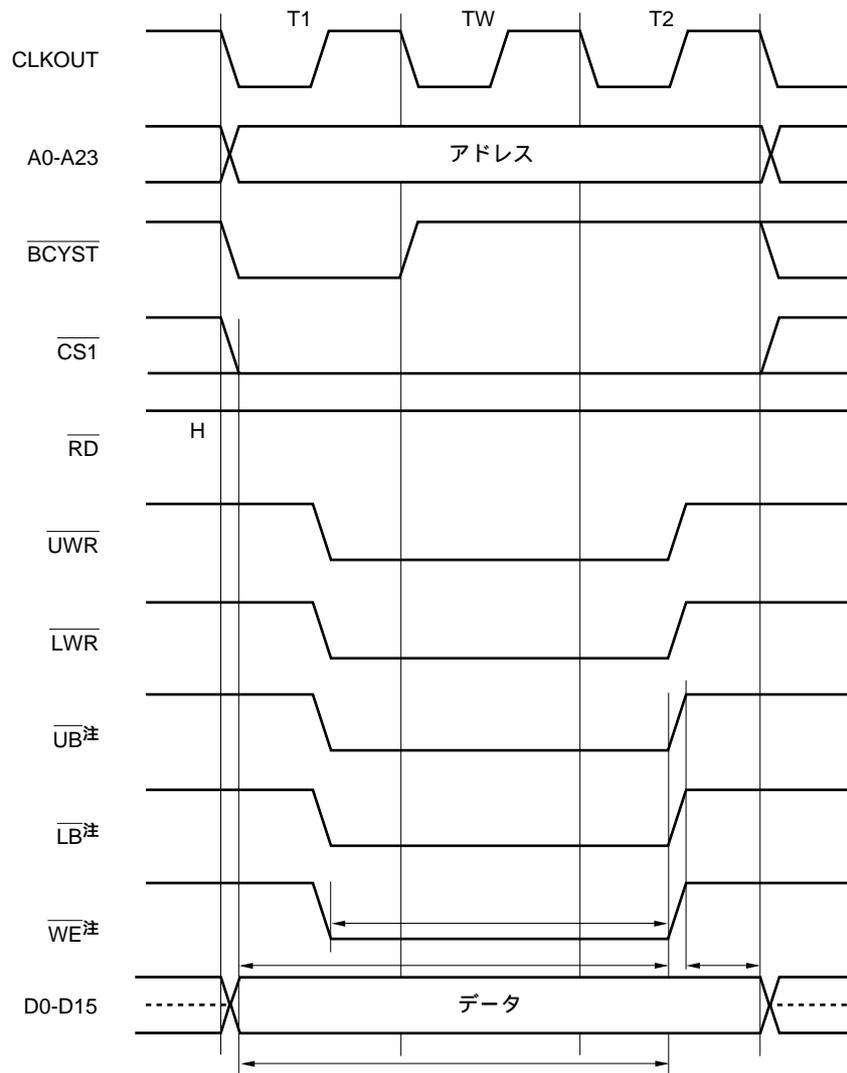
$$\begin{aligned} t_{\text{DRDOD}} (\text{ ns } ) &= ( 0.5 + i ) \text{T} - 12 \\ &= 0.5 \times 40 - 12 ; i = 0 , \text{T} = 40 \text{ ns} \\ &= 8 \text{ ns } ( > 7 \text{ ns } ) \end{aligned}$$

**備考** WD : DWCによるウェイト数

W :  $\overline{\text{WAIT}}$ 端子によるウェイト数

i : アイドル・ステート

図3 - 3 μ PD431016LE-20ライト動作-1 (16ビット・アクセス)



注 UB, LB, WEはμ PD431016の端子です。

備考 破線はハイ・インピーダンスを示します。

μ PD431016LE-20のアドレス,  $\overline{CE}$ アクティブからライト終了までの時間: 12 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = 5V$ ) より

アドレス設定時間 (対 $\overline{UWR}$ ,  $\overline{LWR}$ ) の最小値

$$\begin{aligned}
 t_{SAWR} \text{ (ns)} &= (1.5 + WD + W) T - 10 \\
 &= 2.5 \times 40 - 10 ; WD = 1, W = 0, T = 40 \text{ ns} \\
 &= 90 \text{ ns} (> 12 \text{ ns})
 \end{aligned}$$

$\mu$  PD431016LE-20の $\overline{WE}$ アクティブ・パルス幅：10 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = 5\text{ V}$ ) より

$\overline{UWR}$ ,  $\overline{LWR}$ ロウ・レベル幅の最小値

$$\begin{aligned} t_{\overline{WRL}} (\text{ ns } ) &= ( 1 + WD + W ) T - 10 \\ &= 2 \times 40 - 10 ; WD = 1 , W = 0 , T = 40 \text{ ns} \\ &= 70 \text{ ns } ( > 10 \text{ ns } ) \end{aligned}$$

$\overline{WE}$ の付加回路による最大遅延時間を考慮すると

$$\begin{aligned} t_{\overline{WRL}} - \text{付加回路の遅延時間} &= 70 - 7 \\ &= 63 \text{ ns } ( > 10 \text{ ns } ) \end{aligned}$$

$\mu$  PD431016LE-20のデータ・バリッドからライト終了までの時間：10 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = 5\text{ V}$ ) より

データ出力設定時間 (対 $\overline{UWR}$ ,  $\overline{LWR}$ ) の最小値

$$\begin{aligned} t_{\text{SODWR}} (\text{ ns } ) &= ( 1.5 + WD + W ) T - 10 \\ &= 2.5 \times 40 - 10 ; WD = 1 , W = 0 , T = 40 \text{ ns} \\ &= 80 \text{ ns } ( > 10 \text{ ns } ) \end{aligned}$$

$\mu$  PD431016LE-20のライト終了からのデータ保持時間：0 ns (MIN.)

V850E/MS1の電気的特性 ( $HV_{DD} = 5\text{ V}$ ) より

データ出力保持時間 (対 $\overline{UWR}$ ,  $\overline{LWR}$ ) の最小値

$$\begin{aligned} t_{\text{HWROD}} (\text{ ns } ) &= 0.5T - 10 \\ &= 0.5 \times 40 - 10 ; T = 40 \text{ ns} \\ &= 10 \text{ ns} \end{aligned}$$

$\overline{WE}$ の付加回路による最大遅延時間を考慮すると

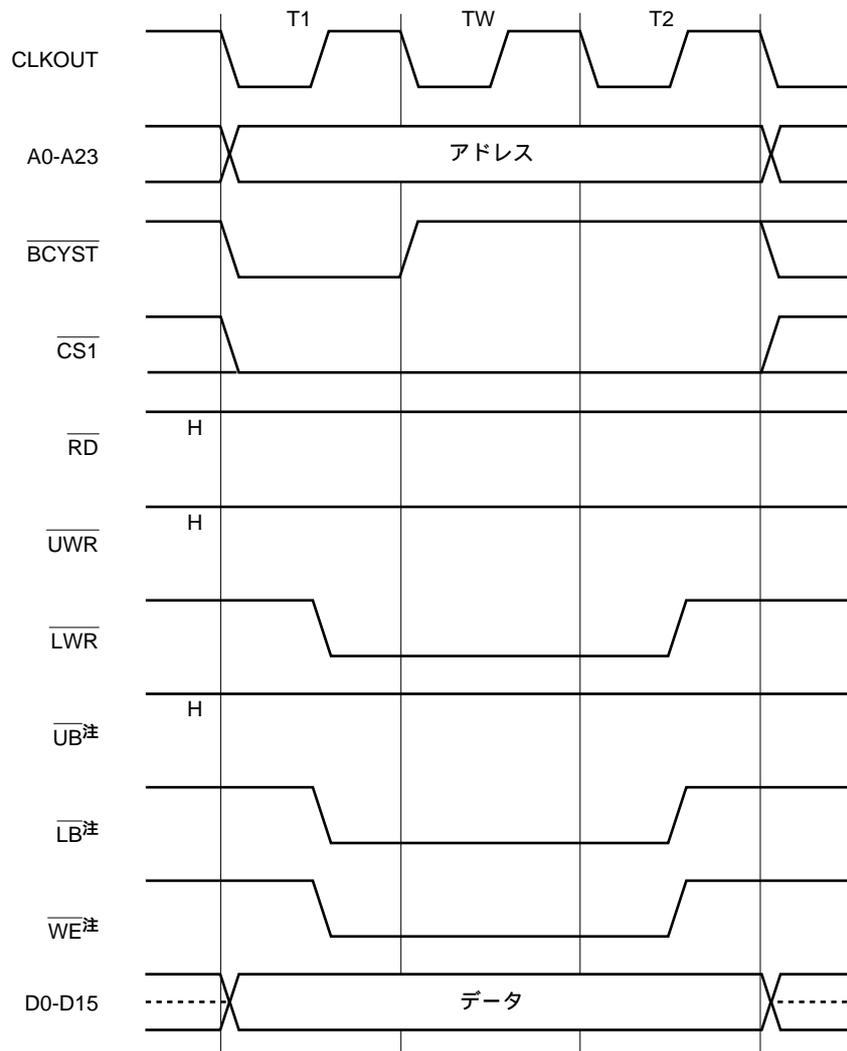
$$\begin{aligned} t_{\text{HWROD}} - \text{付加回路の遅延時間} &= 10 - 7 \\ &= 3 \text{ ns } ( > 0 \text{ ns } ) \end{aligned}$$

**備考** WD : DWCによるウェイト数

W :  $\overline{WAIT}$ 端子によるウェイト数

I : アイドル・ステート

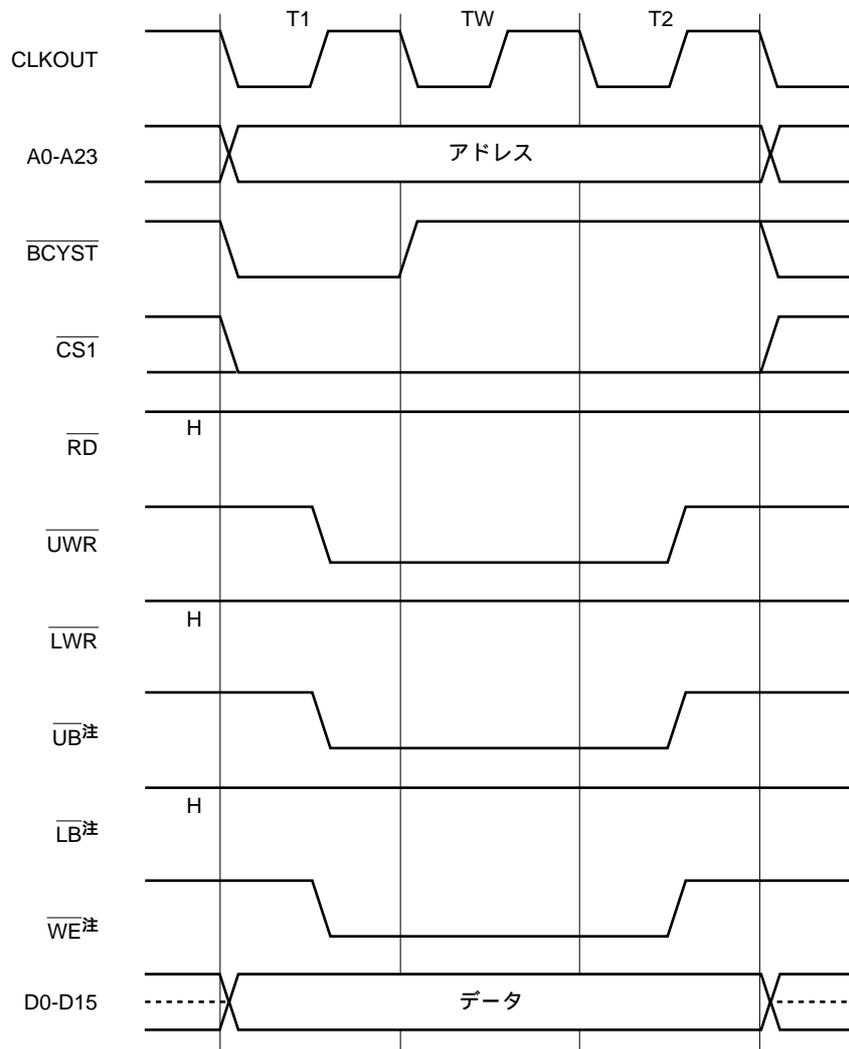
図3 - 4  $\mu$  PD431016LE-20ライト動作-2 (D0-D7に対するバイト・ライト)



注  $\overline{UB}$ ,  $\overline{LB}$ ,  $\overline{WE}$ は $\mu$  PD431016の端子です。

備考 破線はハイ・インピーダンスを示します。

図3 - 5  $\mu$  PD431016LE-20ライト動作-3 (D8-D15に対するバイト・ライト)



注  $\overline{\text{UB}}$ ,  $\overline{\text{LB}}$ ,  $\overline{\text{WE}}$ は $\mu$  PD431016の端子です。

備考 破線はハイ・インピーダンスを示します。

## 3.2 低速PROM (27C1024-12) との接続

アクセス・タイム120 nsのPROM 27C1024 (64 K×16ビット) を1つ使用し、512 Kバイトの外部ROM空間に外部データ・バス・バッファを使用して接続する例を示します。

### [ 回路構成 ]

- ・ V850Eの内部システム・クロック : 33 MHz
- ・ 接続デバイス : HN27C1024H-12×1つ
- ・ 占有空間 : メモリ・ブロック0  
外部メモリ空間の0000000H-001FFFFHに配列  
(0番地からの128 Kバイト空間)

### [ 回路設計上の考え方と注意点 ]

HN27C1024H-12は出力フローティング遅延時間が50 nsと大きいため、リード後の他のブロックに対するライトにおいてのデータ衝突を防ぐ目的でデータ・バス・バッファを挿入します。

**注意** アイドル・ステートの挿入(1クロック)では不足します。

### [ レジスタの設定 ]

- ・ メモリ・ブロック0 : SRAM, 外部ROM, 外部I/Oモード
- ・ ウェイト設定 : 4ウェイト
- ・ アイドル・ステート : 挿入する

レジスタ名称	設定値	機能
BCT	xxxxxxxxxxxx00B	ブロック0 : SRAM, 外部ROM, 外部I/Oモード
BSC	xxxxxxxxxxxx01B	ブロック0 : 16ビット
DWC1	xxxxxxxxxxxx00B	ブロック0 : 4ウェイト
DWC2	xxxxxxx1B	
BCC	xxxxxxxxxxxx01B	ブロック0 : アイドルを挿入する

図3 - 6 HN27C1024H-12接続回路例

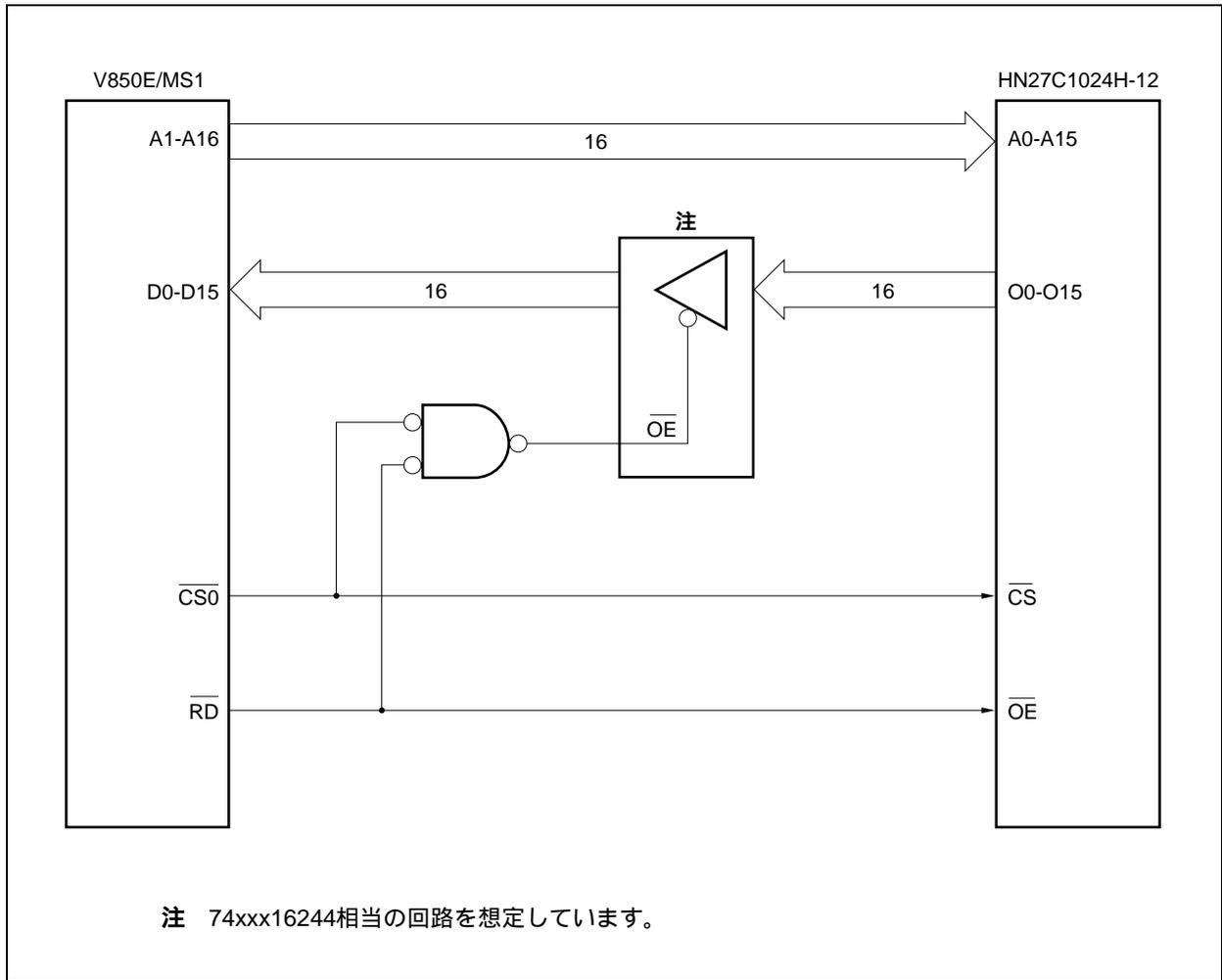
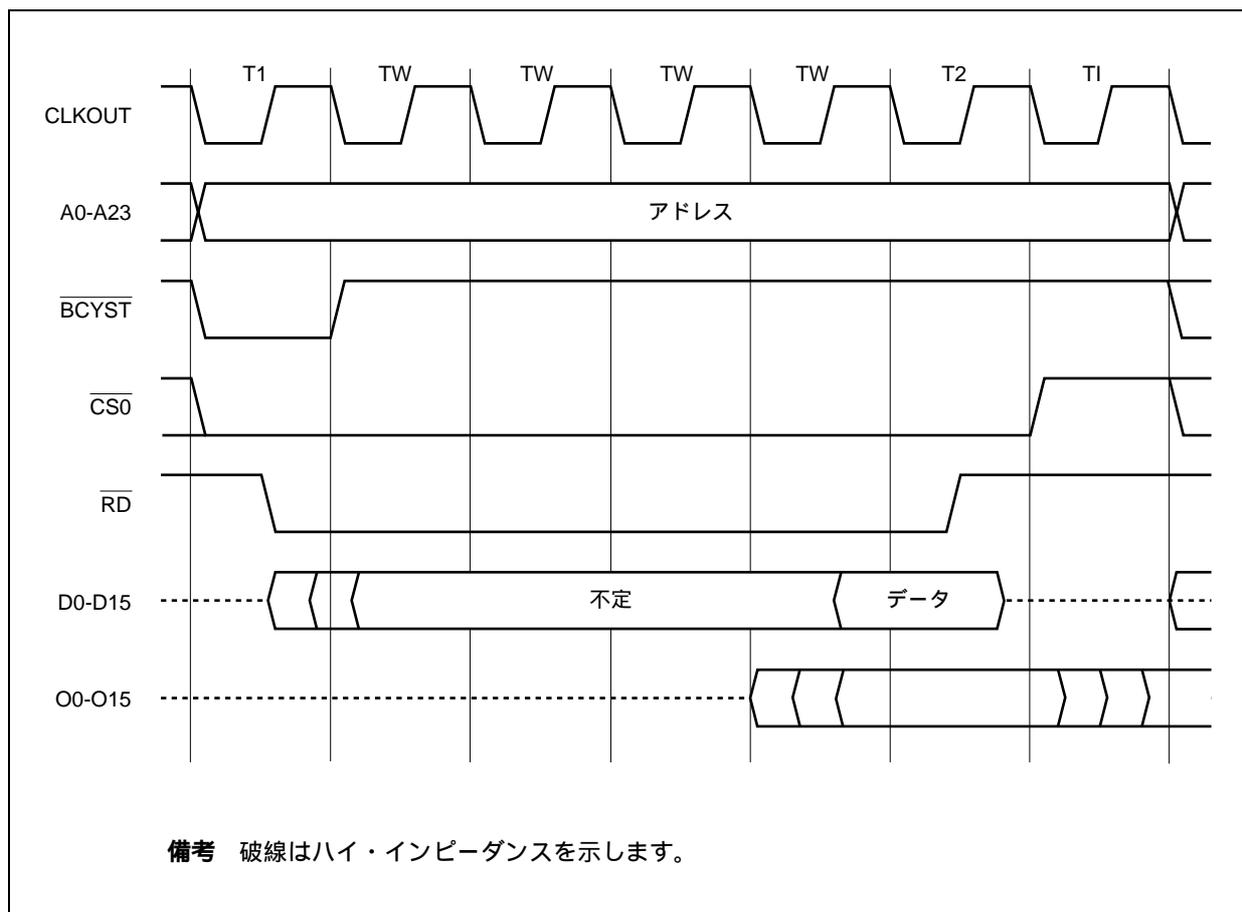


図3 - 7 HN27C1024H-12リード動作



### 3.3 SIMM (MC-428000A32) との接続

8 Mバイトのアドレス空間 (ブロック3) にP00, P01を使用した4バンク構成で32 MバイトSIMM (8 Mバイト × 32ビット) を接続する例を次の3通り示します。

- (1) 外部バス・マスタが接続されない回路
- (2) SIMMにアクセスしない外部バス・マスタが接続される回路
- (3) SIMMにアクセスする外部バス・マスタが接続される回路  
(外部バス・マスタはゲートアレイ等で作成されたSIMMに適合するI/Fを備えたものと想定)

#### [ 回路構成 ]

- ・ V850Eの内部システム・クロック : 33 MHz
- ・ 接続デバイス : MC-428000A32-60 × 1つ
- ・ 占有空間 : メモリ・ブロック3  
外部メモリ空間の0800000H-0FFFFFFHに配列  
(0800000H番地からの8 Mバイト空間)
- ・ バンク数 : 4 (ポート00, 01を利用する)

#### [ 回路設計上の考え方と注意点 ]

リフレッシュ・サイクル時は、すべての $\overline{RAS}_n$ をアクティブにし、全バンクをリフレッシュします。32ビットSIMMには、 $\overline{OE}$ 端子がないため、 $\overline{RAS}$ アクティブ・モード時のSRAMアクセスの $\overline{LWR}$ ,  $\overline{UWR}$ による、SIMMに対する $\overline{LCAS}$ ,  $\overline{UCAS}$ の信号をインアクティブ・レベルに保つ必要があります。この制御方法として、 $\overline{OE}$ または $\overline{WE}$ を出力しているときと、リフレッシュ・サイクルのとき以外の $\overline{CAS}_n$ をマスクしています。

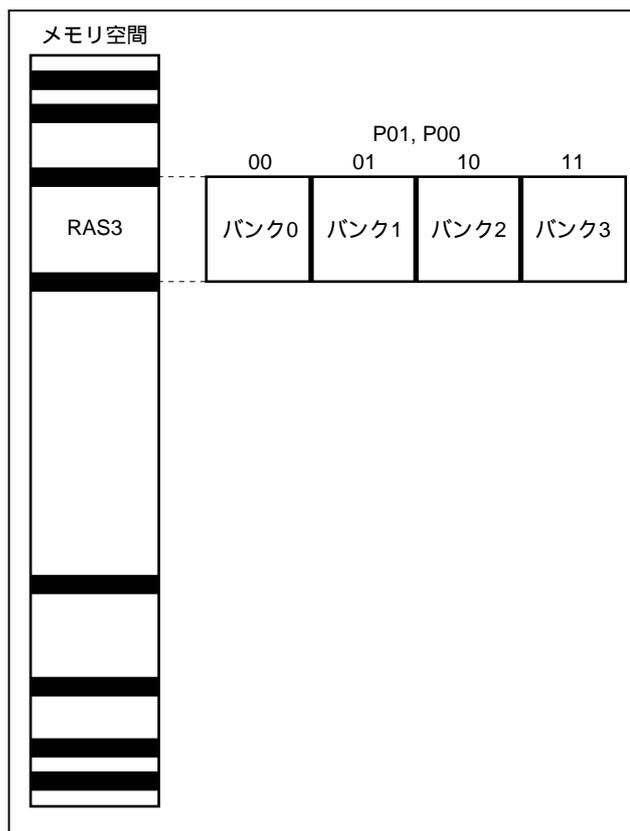
- 注意1.** 外部バス・マスタを接続する場合、 $\overline{HLDRQ}$ をインアクティブにする前に、バス・ホールド中の $\overline{RAS}$ をインアクティブにしてください。 $\overline{HLDAK}$ まで $\overline{RAS}$ がアクティブの場合、 $\overline{HLDAK}$ のタイミングでSIMMの $\overline{RAS}_n$ にロウ・レベルのパルスが乗ることがあります。
2. EDO DRAMの32ビットSIMMを接続する場合、 $\overline{OE}$ 端子がないため $\overline{RAS}$ アクティブ時の $\overline{OE}$ 制御ができません。このため、DRAMの設定をRASホールド・モード禁止に設定し使用してください (EDO DRAMの32ビットSIMMをRASホールド・モード許可で使用するには、他のブロック・アクセス時のデータ・バス制御を防ぐために双方向バッファが必要になります)。
3. SIMMは、DRAMのレイト・ライトをサポートしていないため、ライト・アクセス時、 $\overline{CAS}_n$ より先に $\overline{WE}$ を立ち上げる必要があります。  
 $\overline{WE}$ 信号が遅れないように、システムの配線長、負荷などに注意してください。
4. SIMMの制御回路の遅延時間によっては、SIMMのリード・アクセスの直後にSRAMなどのリード・アクセスが来た場合、SIMMのリード・データとSRAMのリード・データが衝突することがあります。この場合、SIMMのデータ・バス上に双方向バッファを設け $\overline{OE}$ で制御することになり、SIMMの $\overline{CAS}_n$ への制御も必要なくなります。

RASホールド・モード時のバンク切り替え

次の手順で行ってください。

- RASホールド・モード禁止にする。  
(DRCレジスタのRHDビット)
- SIMMのメモリ・ブロックに対し  
ダミー・リードを行う。
- バンク切り替えのポート・アクセス。  
(リード・モディファイ・ライト)
- RASホールド・モード許可にする。  
(DRCレジスタのRHDビット)

**備考** バンク切り替えのポート・アクセスは、  
ライトする前に必ずリードしてください。  
ビット操作命令でも可能です。



[ レジスタの設定 ]

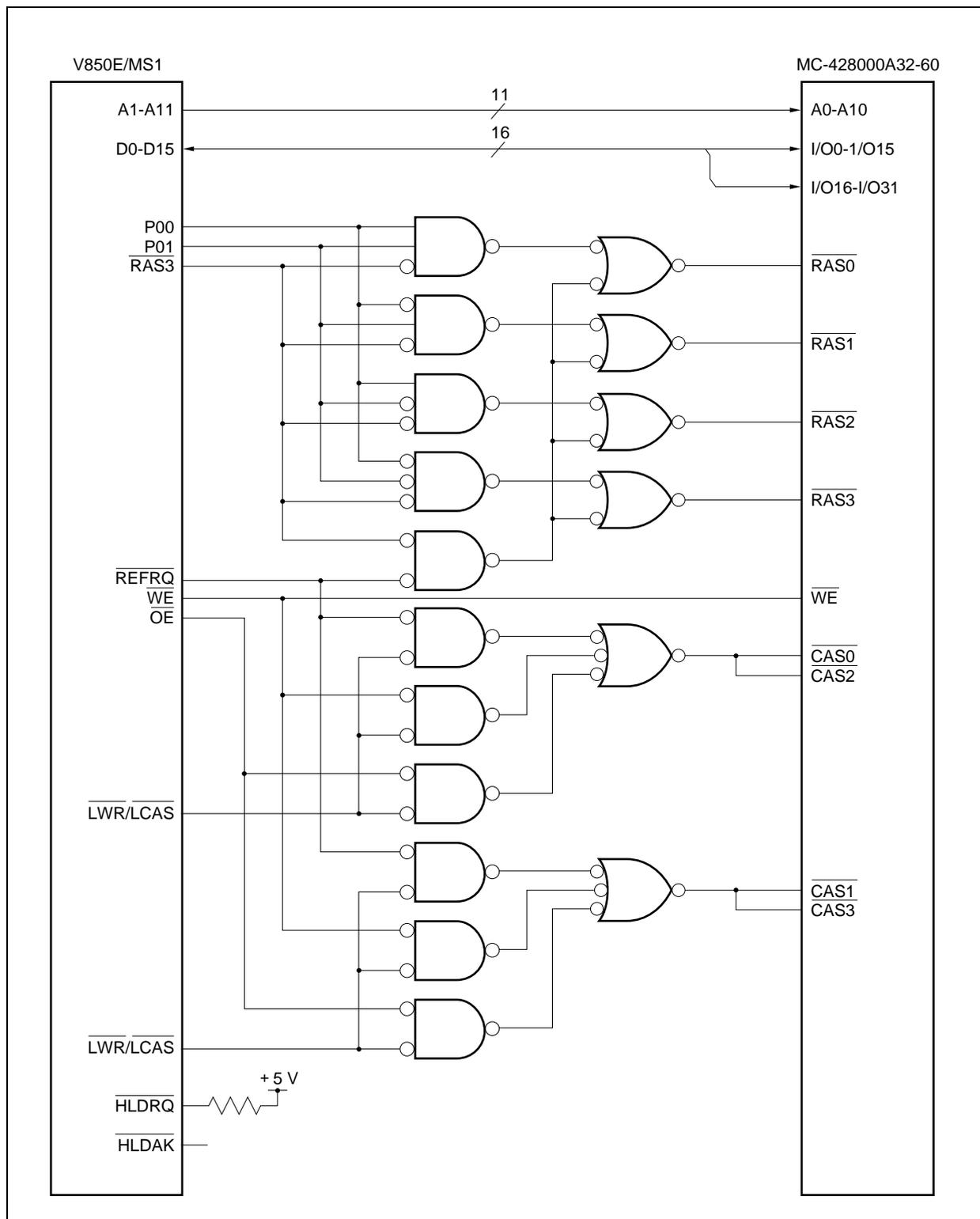
- ・メモリ・ブロック3 : DRAMモード
- ・指定するDRAMコンフィギュレーション・レジスタ : DRC2
- ・DRAMの種類 : 高速ページDRAM
- ・RASホールド・モード : 許可
- ・アイドル・ステート : 挿入する

レジスタ名称	設定値	機能
BCT	xxxxxxxx10xxxxxB	ブロック3 : DRAMに指定
BSC	xxxxxxxx01xxxxxB	ブロック3 : 16ビット
BCC	xxxxxxxx01xxxxxB	ブロック3 : アイドルを挿入する
DRC2	6503H	高速ページDRAM RPW = 2, RHW = 1, DAW = 1, CPW = 0, RHD = 0 <sup>注</sup> , アドレス・マルチプレクス幅 = 11ビット
DTC	xxxxxxxx10xxxxxB	ブロック3 : DRC2
RFC2	800FH	リフレッシュ許可, リフレッシュ間隔 : 32/φ × 16
RWC	40H	RRW = 1, RCW = 0, SRW = 0

**注** バンク切り替え時はRASホールド・モード禁止にしてください。

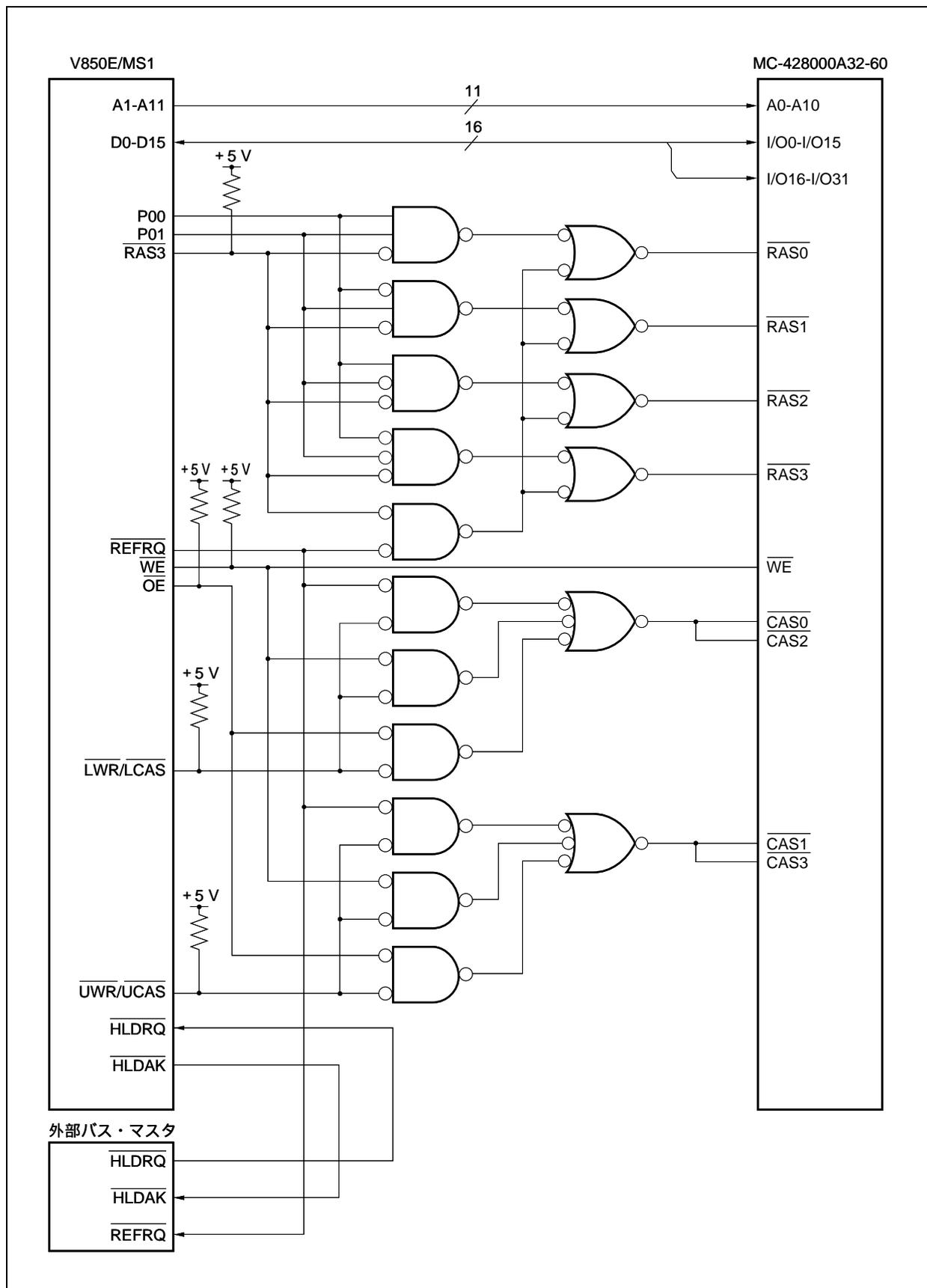
(1) 外部バス・マスタが接続されない回路例

図3 - 8 外部バス・マスタが接続されない回路例



(2) 外部バス・マスタが接続される回路例

図3-9 外部バス・マスタが接続される回路例



(3) SIMMにアクセスする外部バス・マスタが接続される回路例

図3 - 10 SIMMにアクセスする外部バス・マスタが接続される回路例

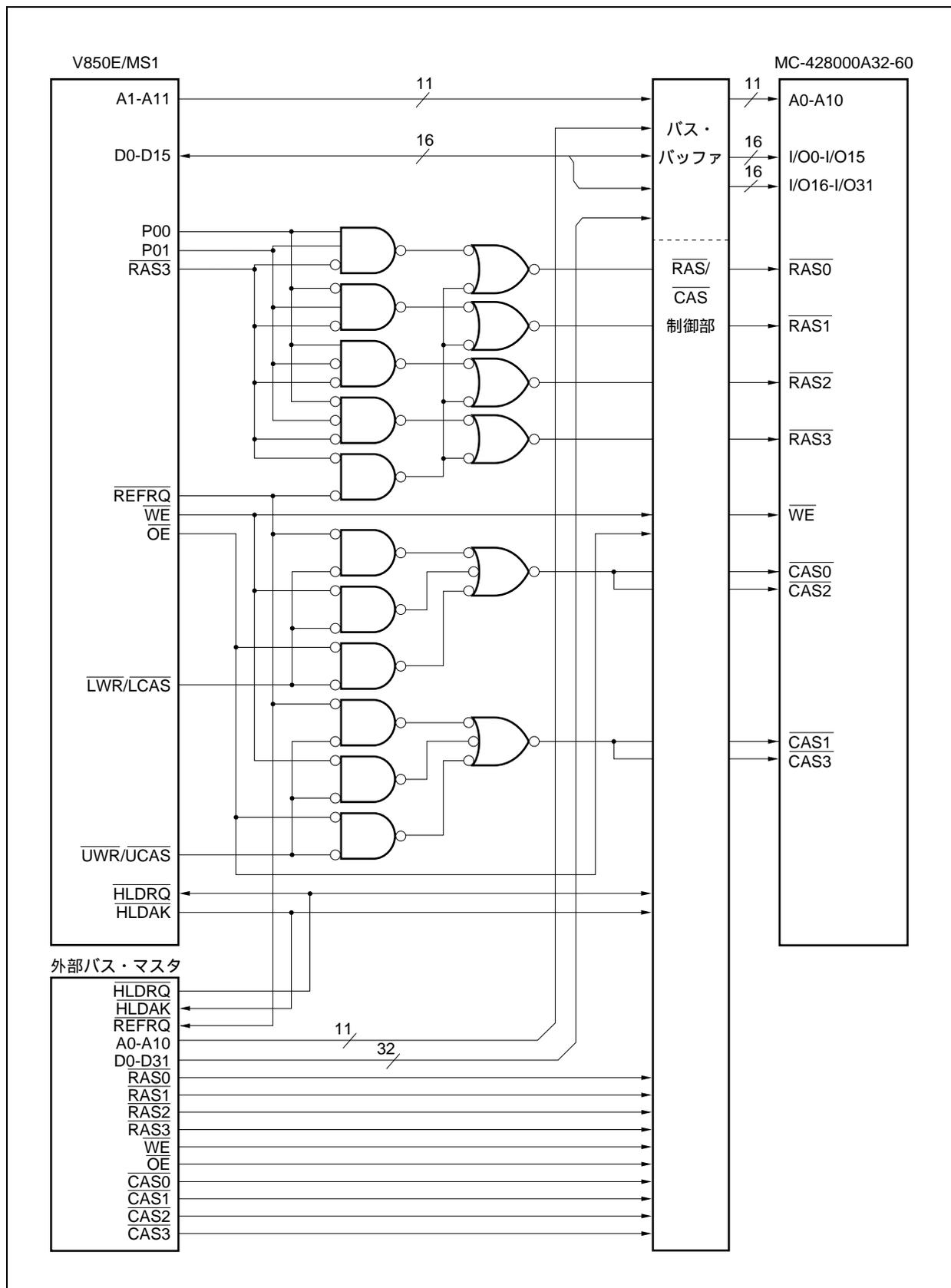


図3 - 11 バス・バッファの詳細

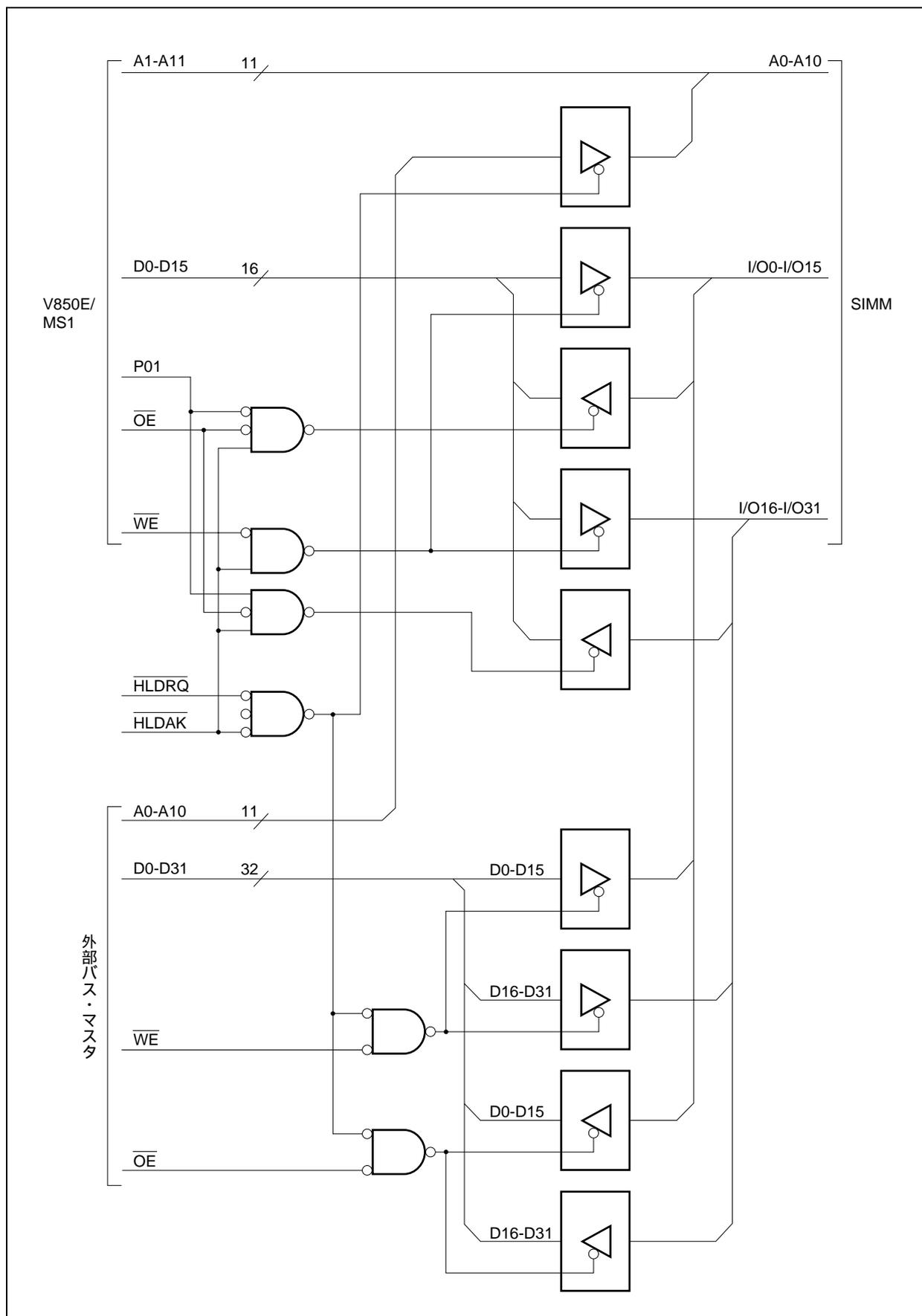


図3 - 12 RAS/CAS制御部

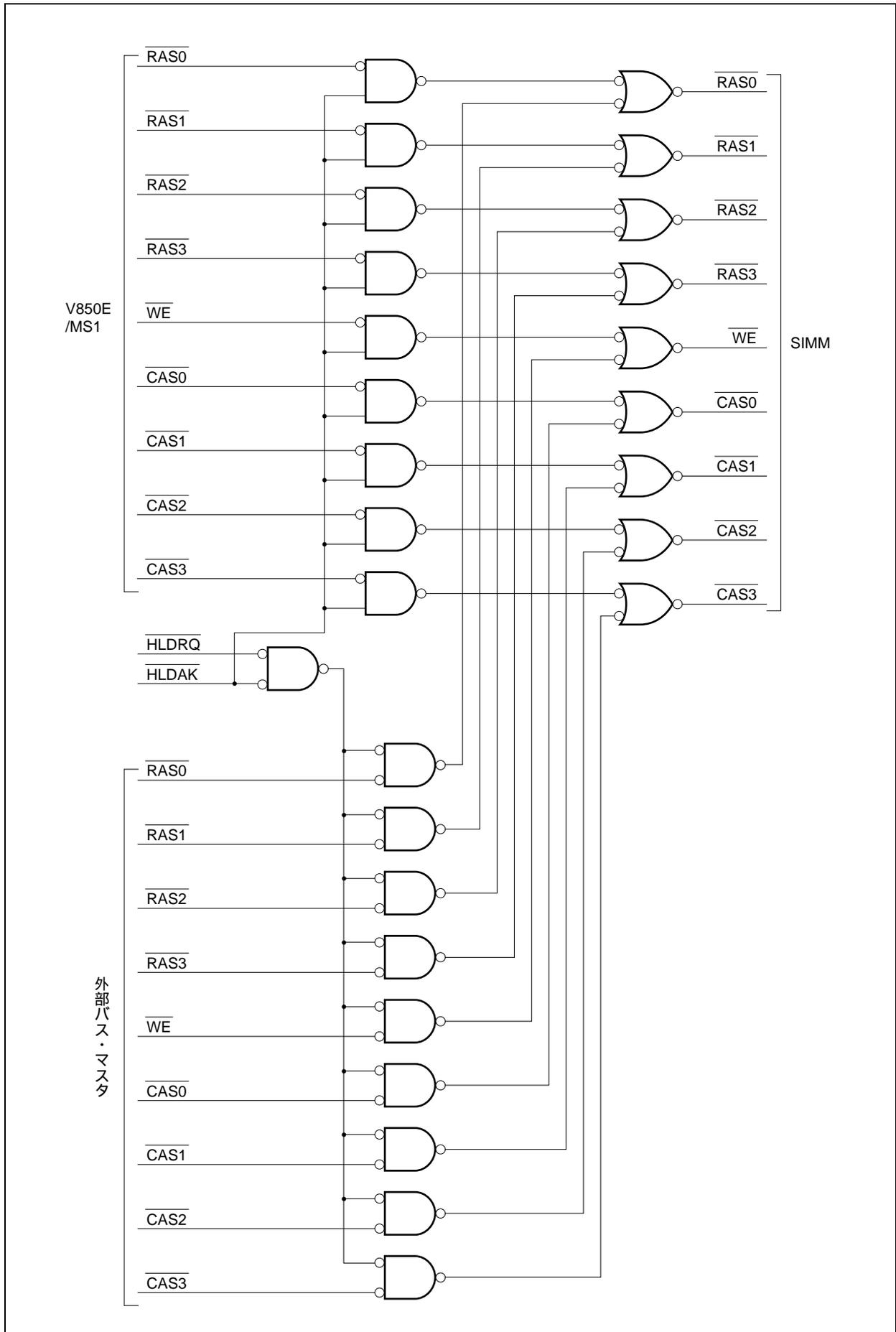
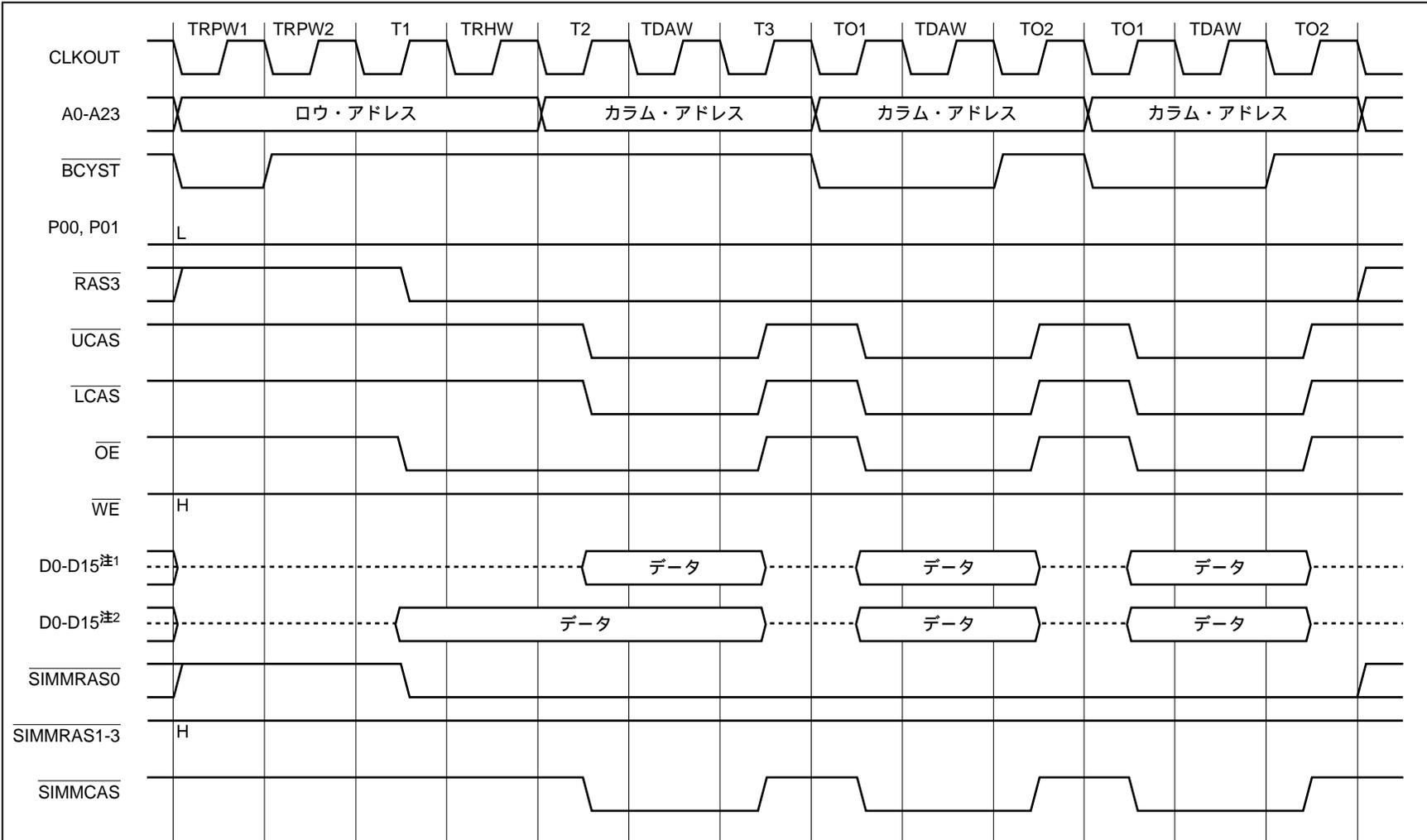


図3 - 13 MC-428000A32-60リード動作

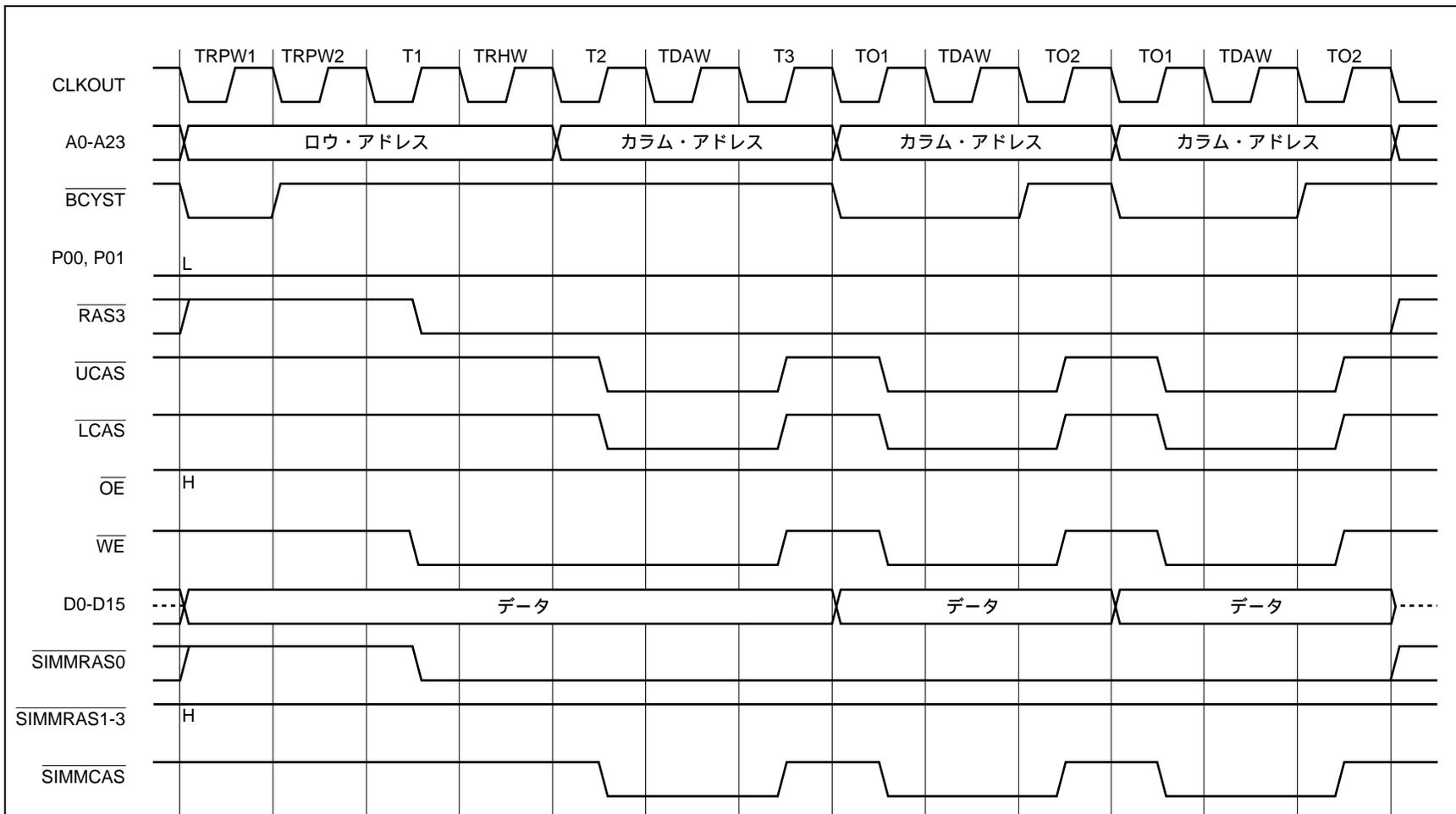


注1. 図3 - 8 外部バス・マスタが接続されない回路例, 図3 - 9 外部バス・マスタが接続される回路例を参照

2. 図3 - 10 SIMMにアクセスする外部バス・マスタが接続される回路例を参照

備考 破線はハイ・インピーダンスを示します。

図3 - 14 MC-428000A32-60ライト動作



備考 破線はハイ・インピーダンスを示します。

### 3.4 DIMM (MC-422000AA64) との接続

2 Mバイトのアドレス空間 (ブロック6) にP00, P01, P02を使用した8バンク構成で16 MバイトDIMM (2 M×64ビット) を接続する例を示します。

タイミングは, SIMMとの接続と同等になります (3.3 SIMM (MC-428000A32) との接続参照)。

[ 回路構成 ]

- ・ V850Eの内部システム・クロック : 33 MHz
- ・ 接続デバイス : MC-422000AA64-60 × 1つ
- ・ 占有空間 : メモリ・ブロック6  
外部メモリ空間の03C00000H-03DFFFFFFH  
(03C00000H番地からの2 Mバイト空間)
- ・ バンク数 : 8 (ポート00, 01, 02を利用する)

[ 回路設計上の考え方と注意点 ]

P00, P01, P02を使用して8バンク構成とします。バンクの構成以外は, SIMMとの接続と同等です (3.3 SIMM (MC-428000A32) との接続参照)。

V850E/MS1端子	バンクと制御されるDIMMの端子名							
P02, P01, P00	バンク0 000	バンク1 001	バンク2 010	バンク3 011	バンク4 100	バンク5 101	バンク6 110	バンク7 111
RAS6	$\overline{\text{RAS0}}$	$\overline{\text{RAS0}}$	$\overline{\text{RAS1}}$	$\overline{\text{RAS1}}$	$\overline{\text{RAS2}}$	$\overline{\text{RAS2}}$	$\overline{\text{RAS3}}$	$\overline{\text{RAS3}}$
LCAS	$\overline{\text{CAS0}}$	$\overline{\text{CAS2}}$	$\overline{\text{CAS0}}$	$\overline{\text{CAS2}}$	$\overline{\text{CAS4}}$	$\overline{\text{CAS6}}$	$\overline{\text{CAS4}}$	$\overline{\text{CAS6}}$
UCAS	$\overline{\text{CAS1}}$	$\overline{\text{CAS3}}$	$\overline{\text{CAS1}}$	$\overline{\text{CAS3}}$	$\overline{\text{CAS5}}$	$\overline{\text{CAS7}}$	$\overline{\text{CAS5}}$	$\overline{\text{CAS7}}$

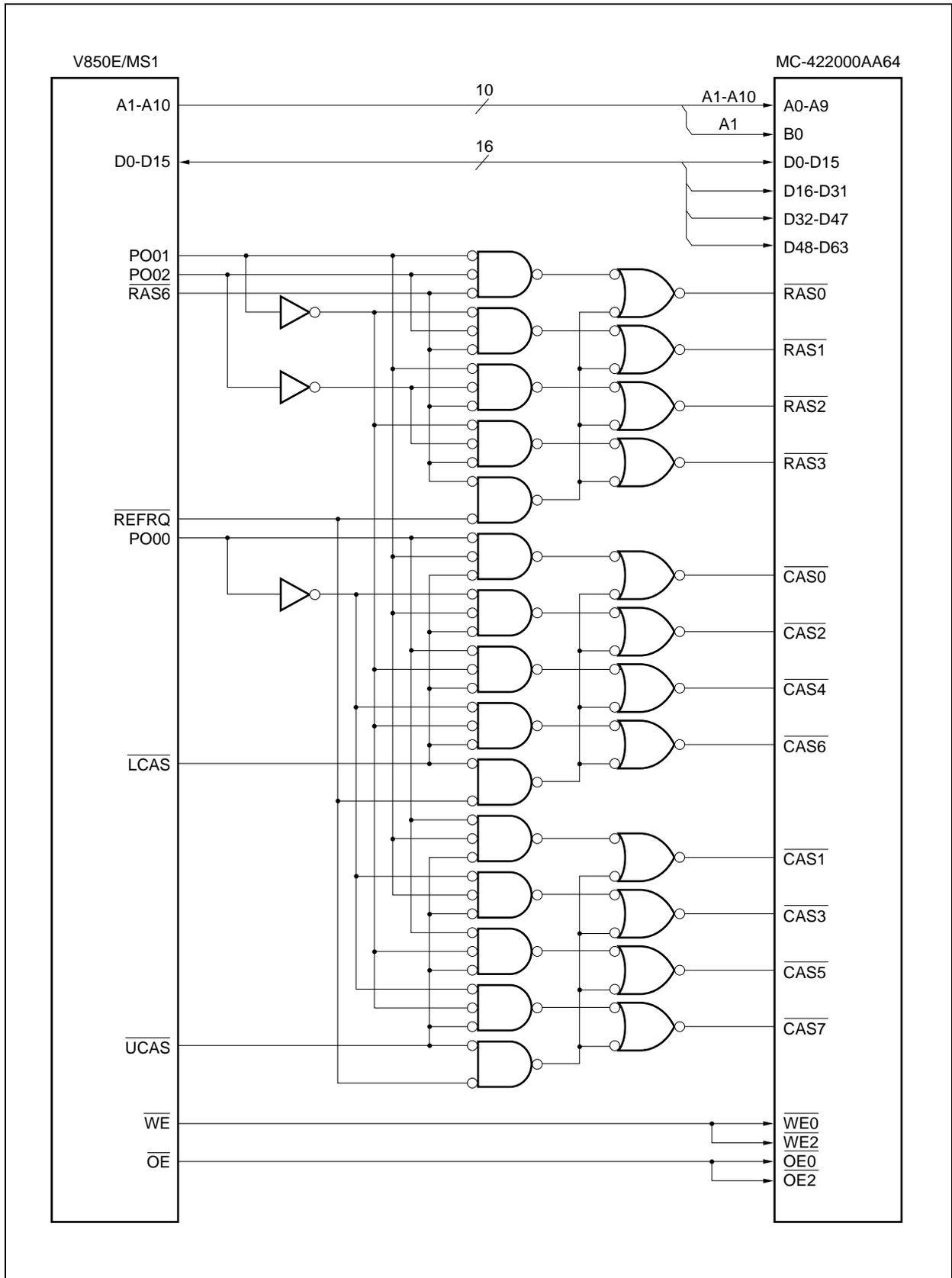
[ レジスタの設定 ]

- ・ メモリ・ブロック5 : DRAMモード
- ・ 指定するDRAMコンフィギュレーション・レジスタ : DRC3
- ・ DRAMの種類 : 高速ページDRAM
- ・ RASホールド・モード : 許可
- ・ アイドル・ステート : 挿入する

レジスタ名称	設定値	機能
BCT	xx10xxxxxxxxxxxB	ブロック6 : DRAMに指定
BSC	xx01xxxxxxxxxxxB	ブロック6 : 16ビット
BCC	xx01xxxxxxxxxxxB	ブロック6 : アイドルを挿入する
DRC3	6502H	高速ページDRAM RPW = 2, RHW = 1, DAW = 1, CPW = 0, RHD = 0 <sup>注</sup> , アドレス・マルチプレクス幅 = 10ビット
DTC	xx11xxxxxxxxxxxB	ブロック6 : DRC3
RFC3	800FH	リフレッシュ許可, リフレッシュ間隔 : 32/φ × 16
RWC	40H	RRW = 1, RCW = 0, SRW = 0

注 バンク切り替え時はRASホールド・モード禁止にしてください。

図3 - 15 MC-422000AA64接続回路例



### 3.5 通信/プリンタICとの接続

通信/プリンタIC TL16C552Aを1つ使用してブロック6空間にV850Eを接続する例を示します。

#### [ 回路構成 ]

- ・ V850Eの内部システム・クロック : 33 MHz
- ・ 接続デバイス : TL16C552A × 1つ
- ・ 占有空間 : メモリ・ブロック6  
外部メモリ空間の03C00000H-3C0003FHに配列

#### [ 回路設計上の考え方と注意点 ]

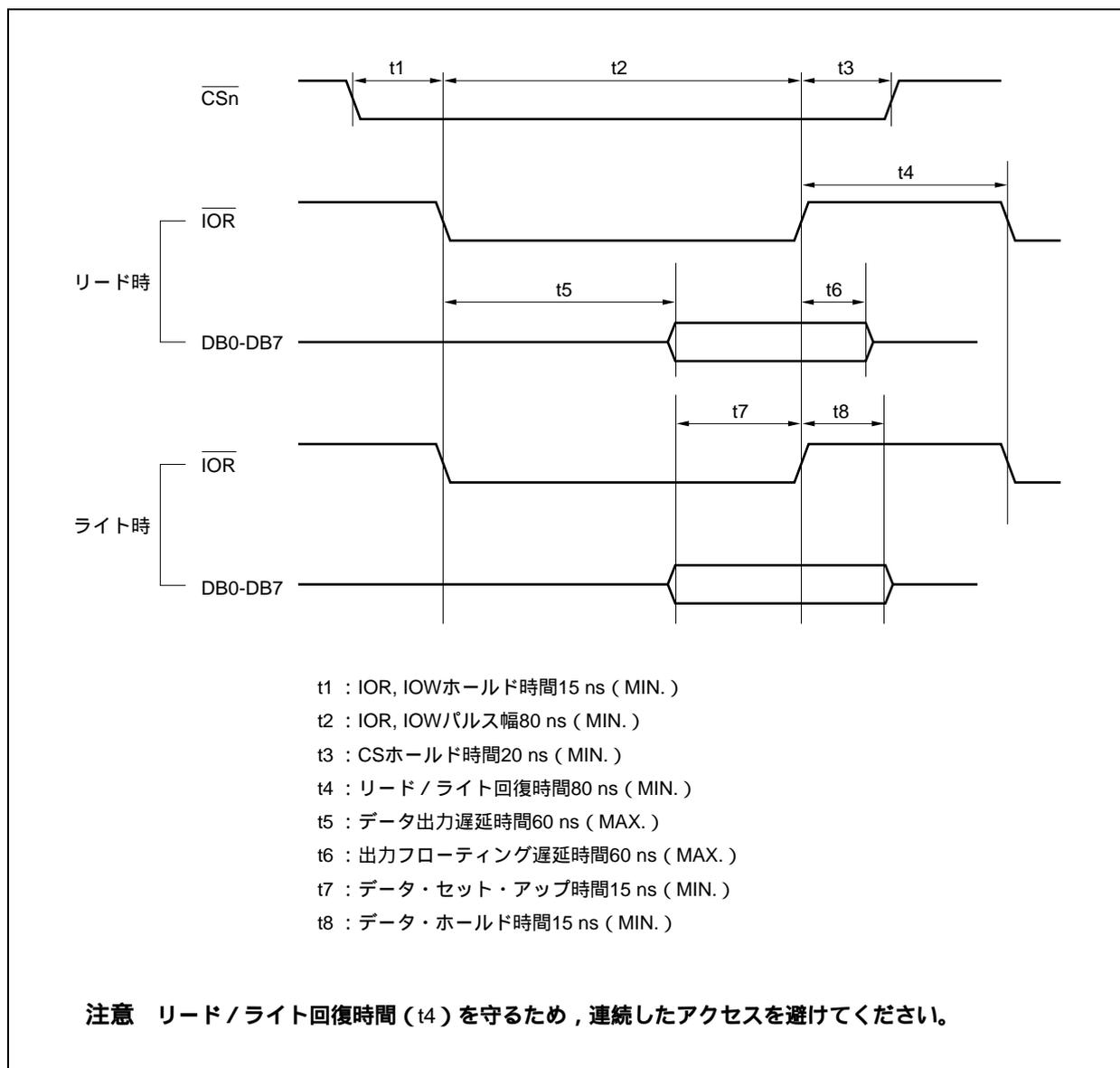
TL16C552Aの各端子は次に示す考え方で接続します。

DB0-DB7はデータ・バス・バッファを経由してV850E/MS1のD0-D7に接続する。また、リード・データはラッチする（TL16C552Aへのアクセスは偶数アドレスに対するバイト・アクセスのみ有効）。  
3本のセレクト信号 $\overline{CS0}$ - $\overline{CS2}$ は、V850E/MS1の $\overline{CS6}$ とA4, A5をデコードして作成する。

V850E/MS1			TL16C552A		
$\overline{CS6}$	A5	A4	$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$
L	L	L	L	H	H
L	L	H	H	L	H
L	H	L	H	H	L
L	H	H	H	H	H
H	x	x	H	H	H

$\overline{CSn}$ 信号アクティブから $\overline{IOR}$ （または $\overline{IOW}$ ）信号アクティブまでの時間、および $\overline{IOR}$ （または $\overline{IOW}$ ）インアクティブから $\overline{CSn}$ 信号インアクティブまでのホールド時間等の規格を守るため、 $\overline{IOR}$ 、 $\overline{IOW}$ はV850E/MS1のRD、LWRを直結せずにCLKOUT信号で作成する。

図3 - 16 TL16C552Aのタイミング抜粋



[レジスタの設定]

- ・メモリ・ブロック6 : SRAM, 外部ROM, 外部I/Oモード
- ・ウエイト設定 : 4ウエイト
- ・アイドル・ステート : 挿入しない

レジスタ名称	設定値	機能
BCT	xx00xxxxxxxxxxxB	ブロック6 : SRAM, 外部ROM, 外部I/Oモード
BSC	xx00xxxxxxxxxxxB	ブロック6 : 8ビット <sup>注</sup>
DWC1	xx00xxxxxxxxxxxB	ブロック6 : 4ウエイト
DWC2	x1xxxxxB	
BCC	xx00xxxxxB	ブロック6 : アイドルを挿入しない

注 偶数アドレスに対するバイト・アクセスのみを有効とするので、16ビットの設定でも問題ありません。

図3-17 TL16C552A接続回路例

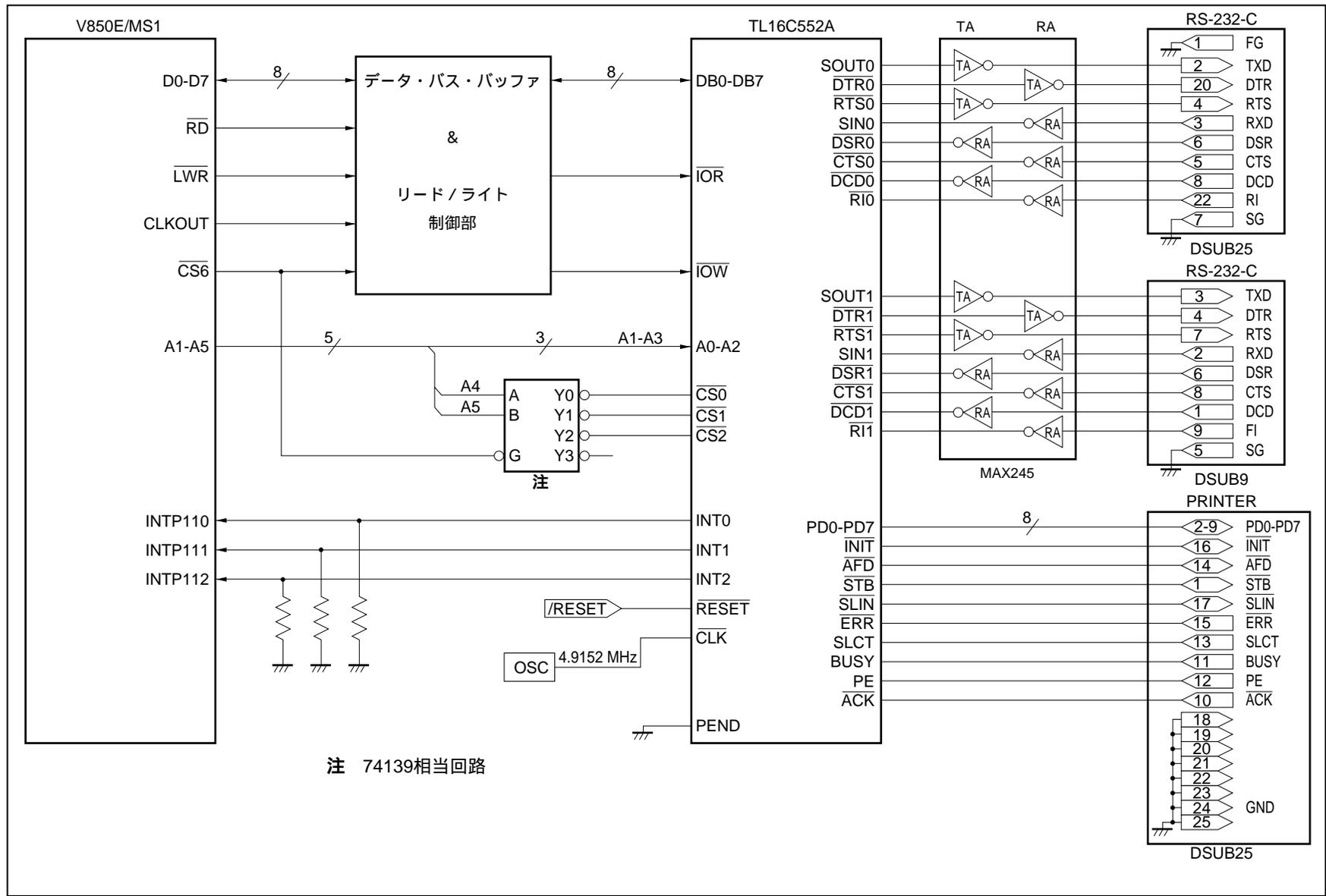


図3 - 18 データ・バス・バッファ&リード/ライト制御部詳細

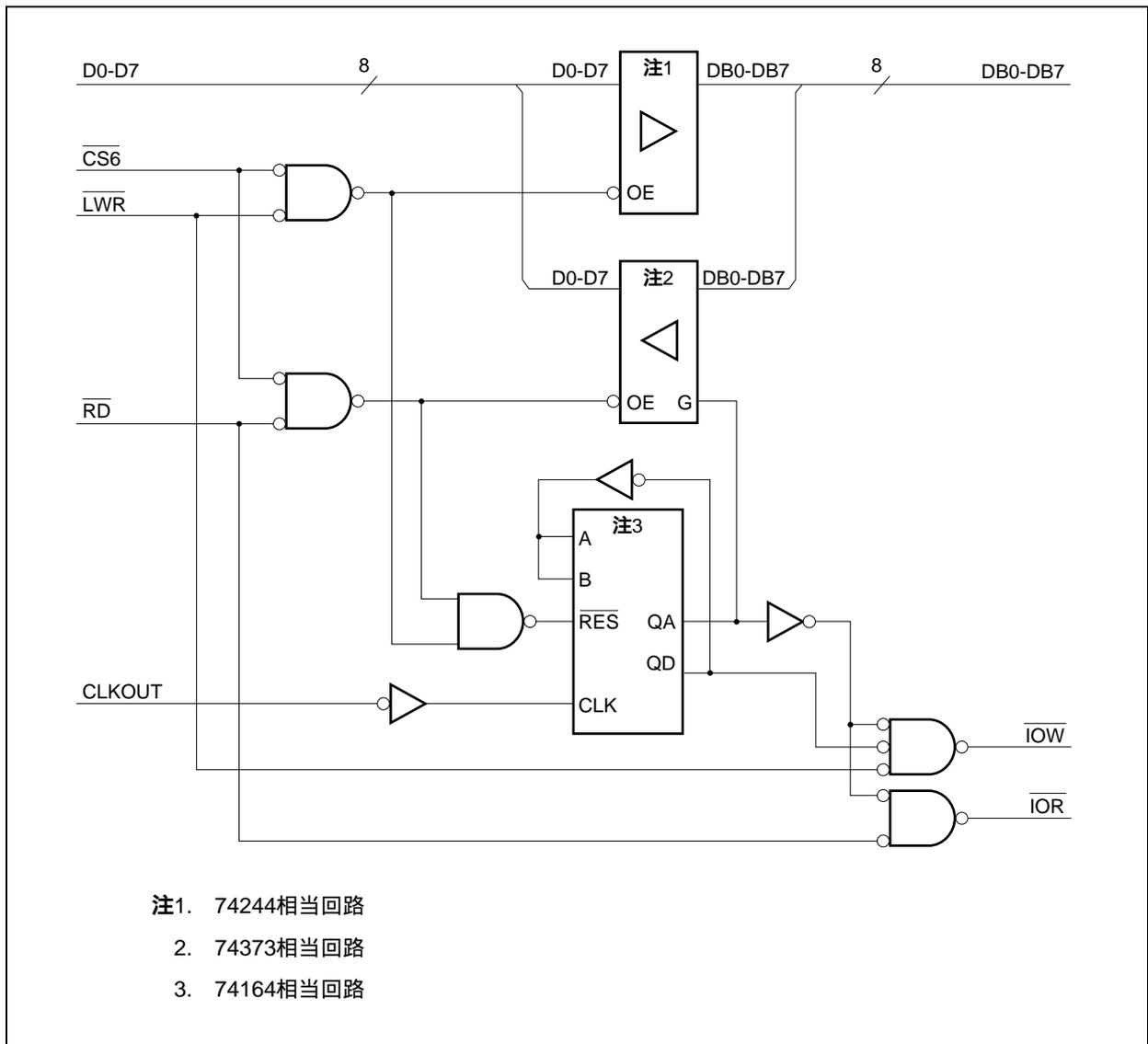


図3 - 19 TL16C552Aリード動作

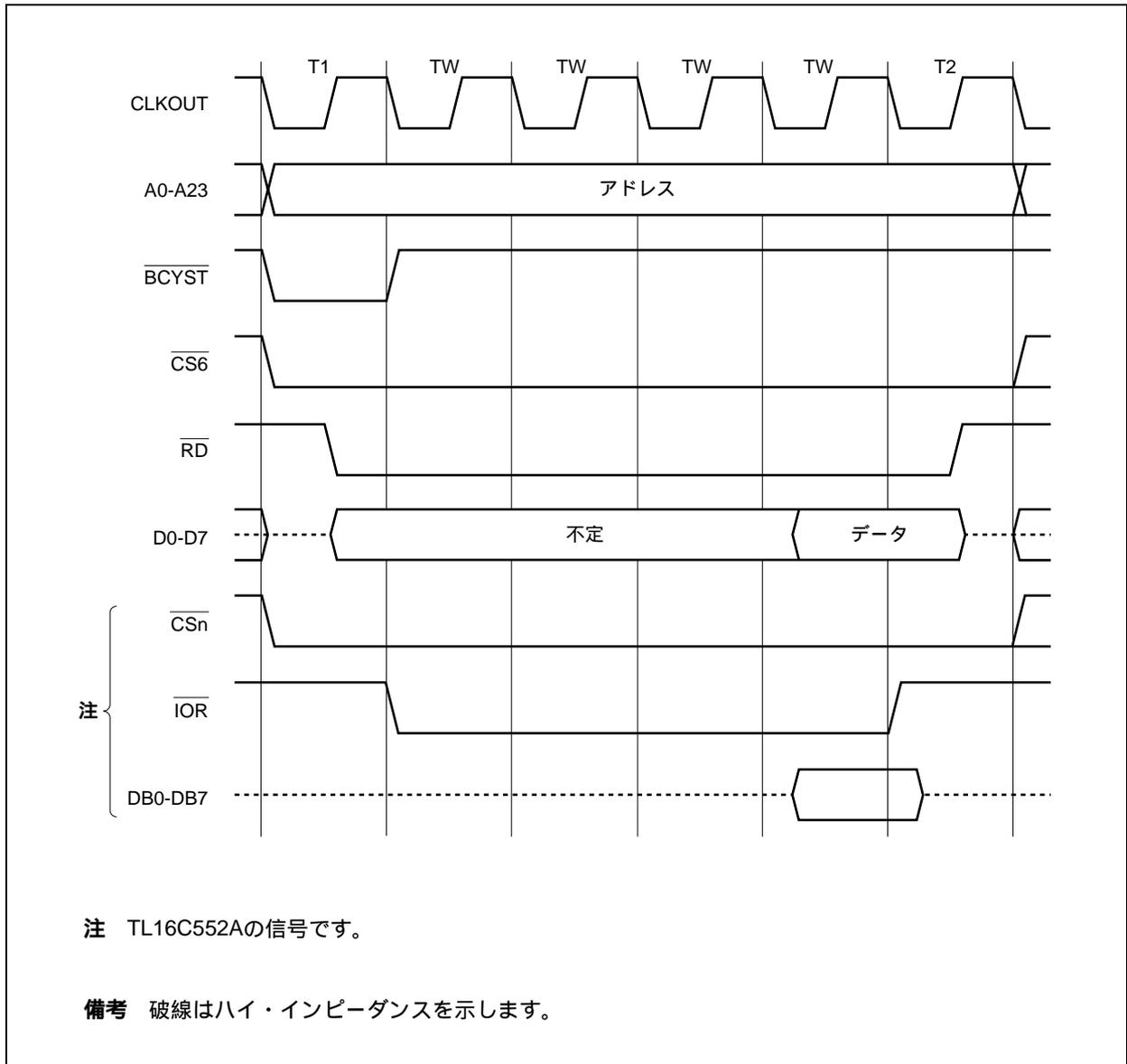
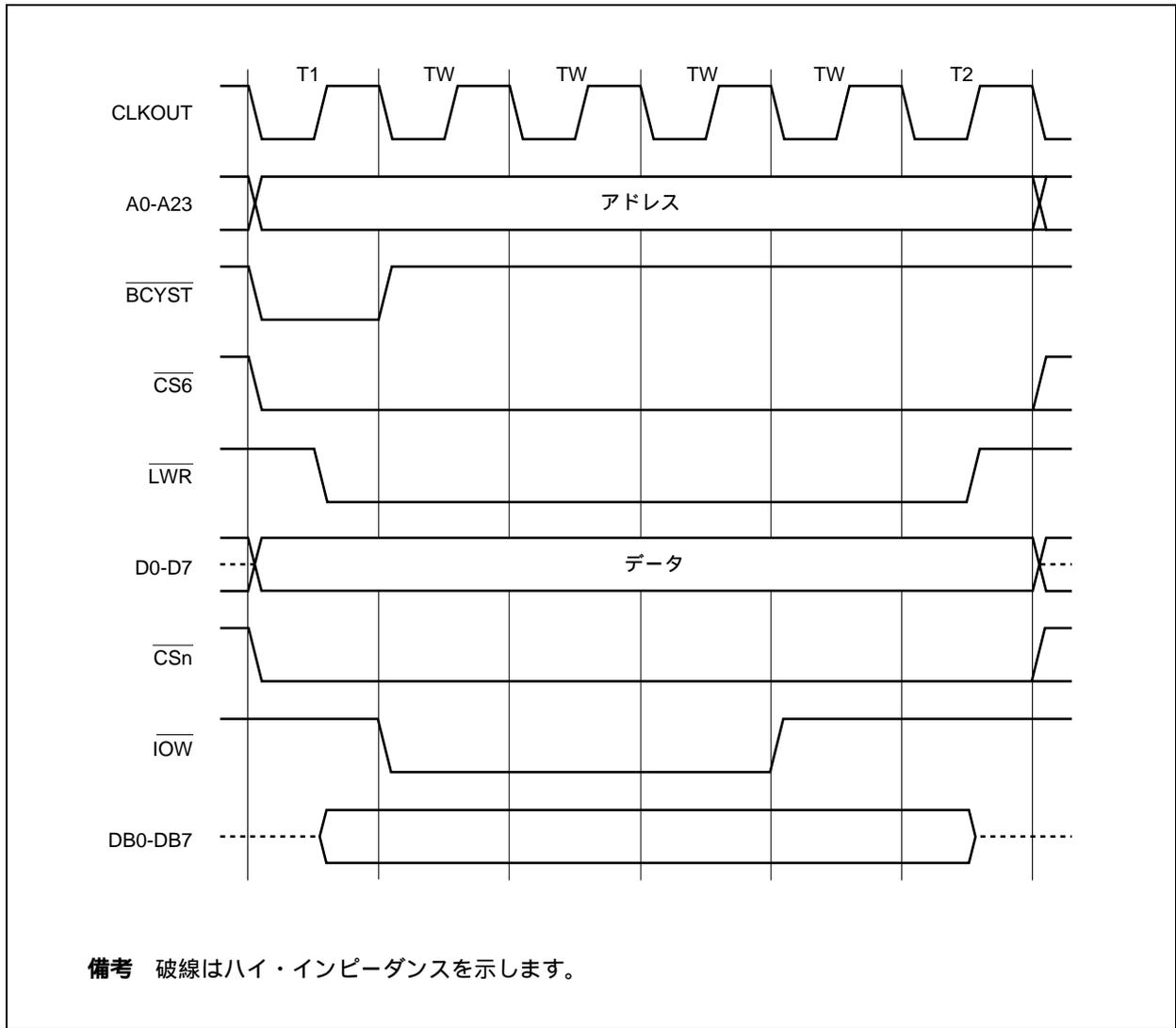


図3 - 20 TL16C552Aライト動作



## 第4章 アプリケーション例

この章では、V850E/MS1を搭載したCPUボードTB-V850Eの機能と回路およびプログラム例を紹介します。

### 4.1 TB-V850Eの機能

#### 4.1.1 概要

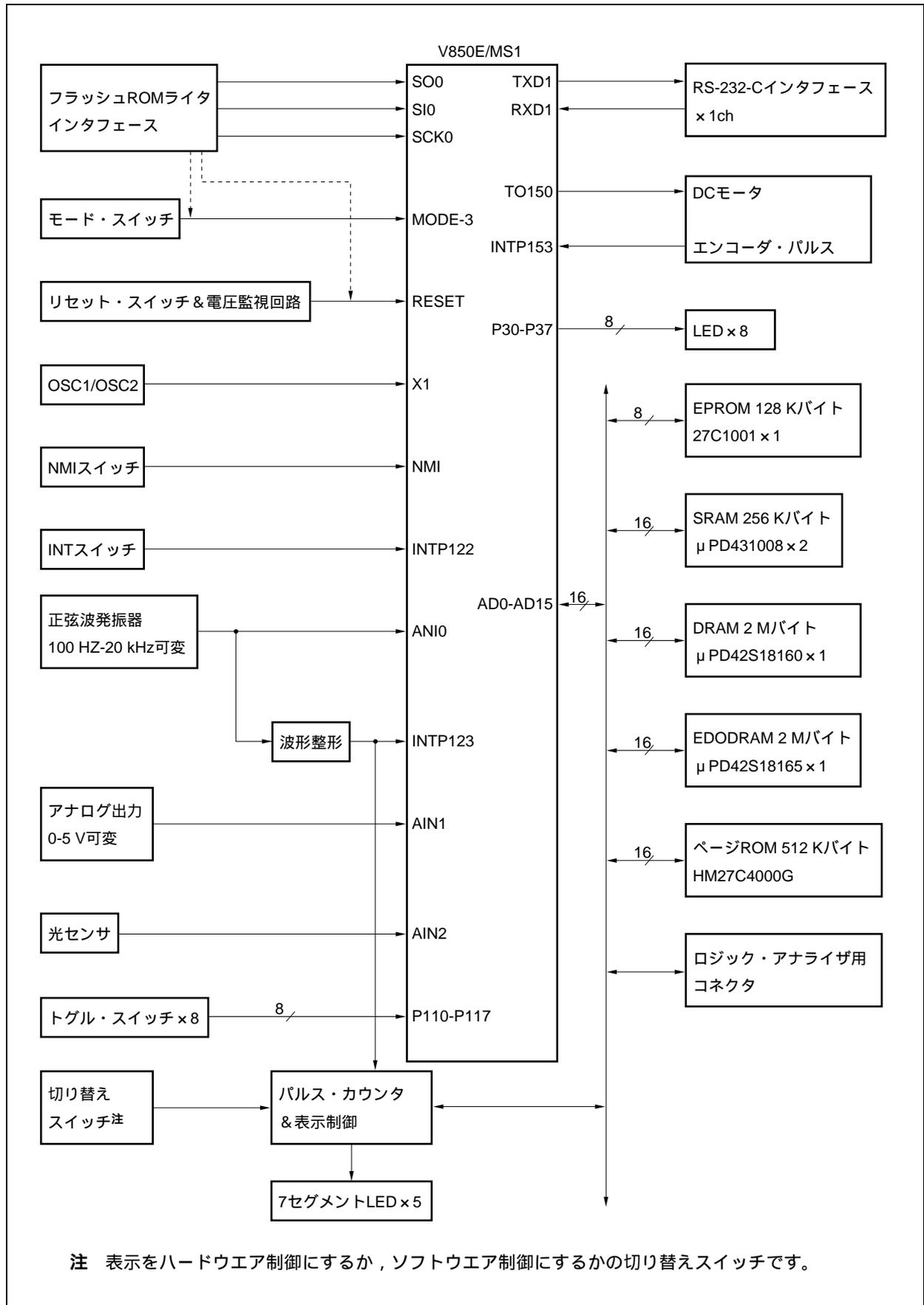
TB-V850Eは、32ビット・シングルチップ・マイクロコンピュータV850E/MS1の評価、学習を目的として開発されたトレーニング・ボードです。

TB-V850Eの特徴は次のとおりです。

- (1) V850E/MS1をV<sub>DD</sub>3.3 V, HV<sub>DD</sub>5Vで使用
- (2) バスの動作をロジック・アナライザにて観測可能  
バスI/F関連のすべての信号をロジック・アナライザ用コネクタに配列
- (3) 動作速度は40 MHz (MAX.) をサポート  
OSCは低速と高速の2種類を用意し、ジャンパ・スイッチで供給クロックを選択。また、いずれのOSCもソケット上に実装されるためクロック供給の変更が可能(低速クロックはロジック・アナライザでの動作観測を考慮)。
- (4) 各種メモリを搭載
  - ・ EPROM
  - ・ SRAM
  - ・ 高速ページDRAM
  - ・ EDO DRAM
  - ・ ページROM
- (5) シリアル・インタフェース  
RS-232-C × 3チャンネル  
(V850E/MS1内蔵UART1に接続)
- (6) 内部フラッシュ・メモリ用フラッシュ・ライタ・インタフェース搭載  
V850E/MS1内蔵CSI0に接続
- (7) アナログ入力  
正弦波発振器の出力を接続  
0-5 Vのアナログ出力を接続  
光センサのアナログ出力を接続
- (8) 汎用スイッチ入力8点, LED出力8点  
V850E/MS1内蔵PIOを使用
- (9) 7セグメントLED × 5桁  
ソフトウェアによる制御とハードウェア制御をスイッチにより選択して表示。ハードウェア制御時は正弦波発振器出力の周波数を表示。
- (10) 回転エンコーダ出力付きDCモータ搭載  
モータの速度制御はV850E/MS1内蔵RPUのTM15を使用  
回転エンコーダ出力はINTP153端子に接続

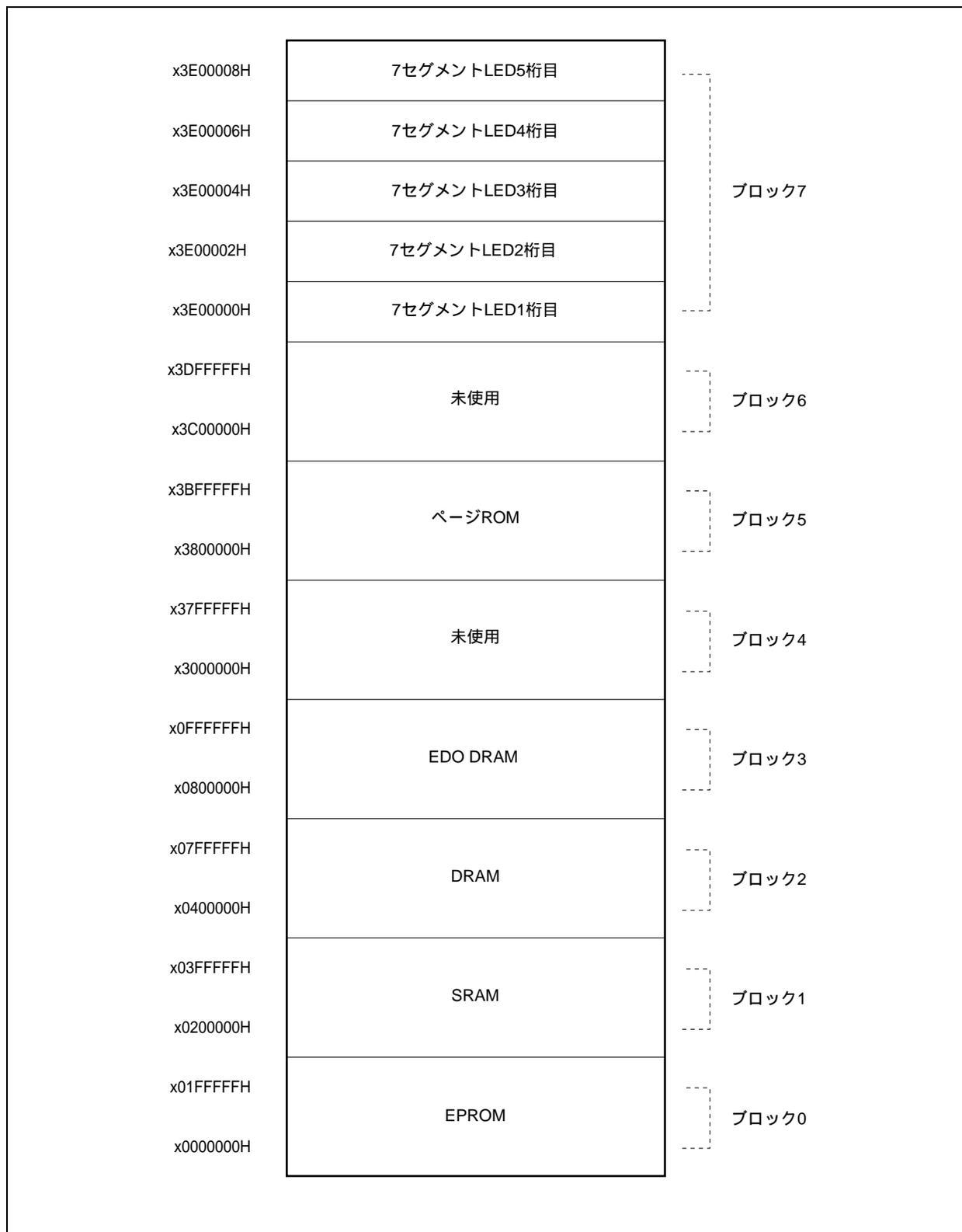
4.1.2 ボード構成図

図4-1 TB-V850Eのボード構成図



### 4.1.3 メモリ・マップ

図4-2 TB-V850Eのメモリ・マップ



#### 4.1.4 外部バス・インタフェースの接続

V850E/MS1の外部バス・インタフェースにEPROM, SRAM, 高速ページDRAM, EDO DRAM, ページROM, および7セグメントLEDが接続されます。ウェイト・コントロールはV850E/MS1のBCUにより制御されます。各メモリは, EPROMが8ビット・バス幅, その他が16ビット・バス幅で構成されます。また, 7セグメントLEDは8ビット・バス幅で構成されます。

##### EPROM :

ブロック0に1 Mビット (128 K×8ビット) EPROM, 27C1001相当品が実装可能な32ピン・ソケットが1つ実装されます。この空間は8ビット・バス幅でアクセスしてください。

##### SRAM :

ブロック1に1Mビット (128 K×8ビット) 高速SRAM,  $\mu$  PD431008が2つ実装されます。

##### 高速ページDRAM :

ブロック2に16 Mビット (1 M×16ビット) 高速ページDRAM,  $\mu$  PD42S18160が1つ実装されます。リフレッシュ・サイクルはV850E/MS1のBCUにより制御されます。

##### EDO DRAM :

ブロック3に16 Mビット (1 M×16ビット) EDO DRAM,  $\mu$  PD42S18165が1つ実装されます。リフレッシュ・サイクルはV850E/MS1のBCUにより制御されます。

##### ページROM :

ブロック5にバースト・アクセス可能な4 Mビット (256 K×16ビット) EPROM, 27C4000Gが実装可能な40ピン・ソケットが1つ実装されます。

##### 7セグメントLED :

ブロック7に5つの7セグメントLEDが実装されます。偶数アドレスに対するバイト・ライトのみが有効です。リードした場合は不定データが入力されます。各LEDのアドレスとデータ・バスの接続を示します。

アドレス : x3E00000H 1桁目 (ライト/バイト)

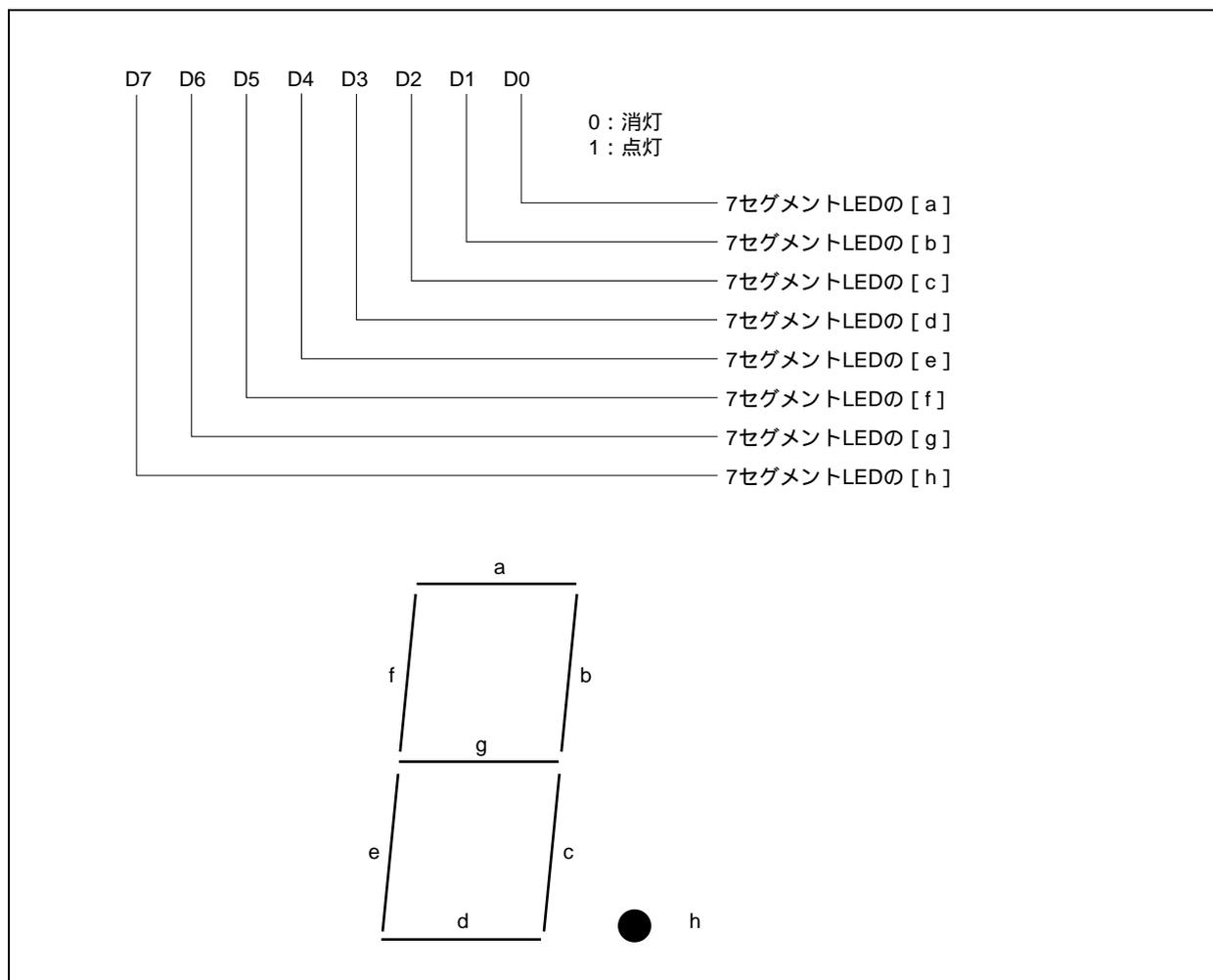
アドレス : x3E00002H 2桁目 (ライト/バイト)

アドレス : x3E00004H 3桁目 (ライト/バイト)

アドレス : x3E00006H 4桁目 (ライト/バイト)

アドレス : x3E00008H 5桁目 (ライト/バイト)

図4-3 7セグメントLED



#### 4.1.5 外部割り込み入力端子の接続

NMI端子と3本のマスカブル割り込み端子が接続されます。

表4-1 各割り込みの要因とエッジの指定

割り込み名称	割り込み要因	エッジの指定
NMI	NMIスイッチ	立ち下がり
INTP122	INTスイッチ	立ち下がり
INTP123	正弦波割り込み	立ち上がり
INTP153	パルス・ジェネレータ出力割り込み	立ち上がり

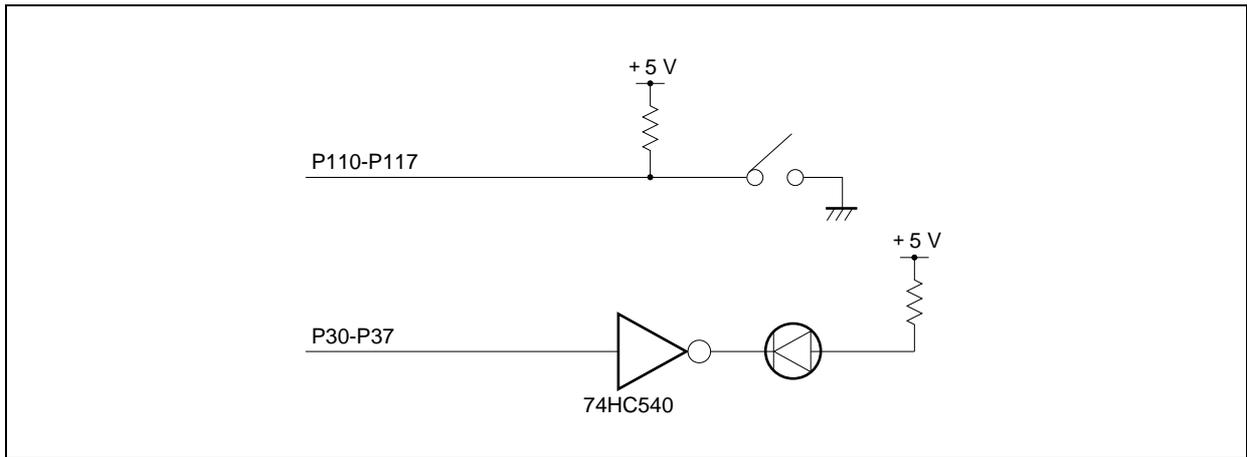
#### 4.1.6 ポート機能の接続

入力ポートとしてP110-P117，出力ポートとしてP30-P37を使用しています。入力ポートはトグル・スイッチ，出力ポートはLEDにそれぞれ接続されています。

表4-2 使用入出力ポート一覧

ポート名称	入出力	使用内容
P110	入力	汎用トグル・スイッチ0
P111	入力	汎用トグル・スイッチ1
P112	入力	汎用トグル・スイッチ2
P113	入力	汎用トグル・スイッチ3
P114	入力	汎用トグル・スイッチ4
P115	入力	汎用トグル・スイッチ5
P116	入力	汎用トグル・スイッチ6
P117	入力	汎用トグル・スイッチ7
P30	出力	汎用LED0 (“1”で点灯)
P31	出力	汎用LED1 (“1”で点灯)
P32	出力	汎用LED2 (“1”で点灯)
P33	出力	汎用LED3 (“1”で点灯)
P34	出力	汎用LED4 (“1”で点灯)
P35	出力	汎用LED5 (“1”で点灯)
P36	出力	汎用LED6 (“1”で点灯)
P37	出力	汎用LED7 (“1”で点灯)

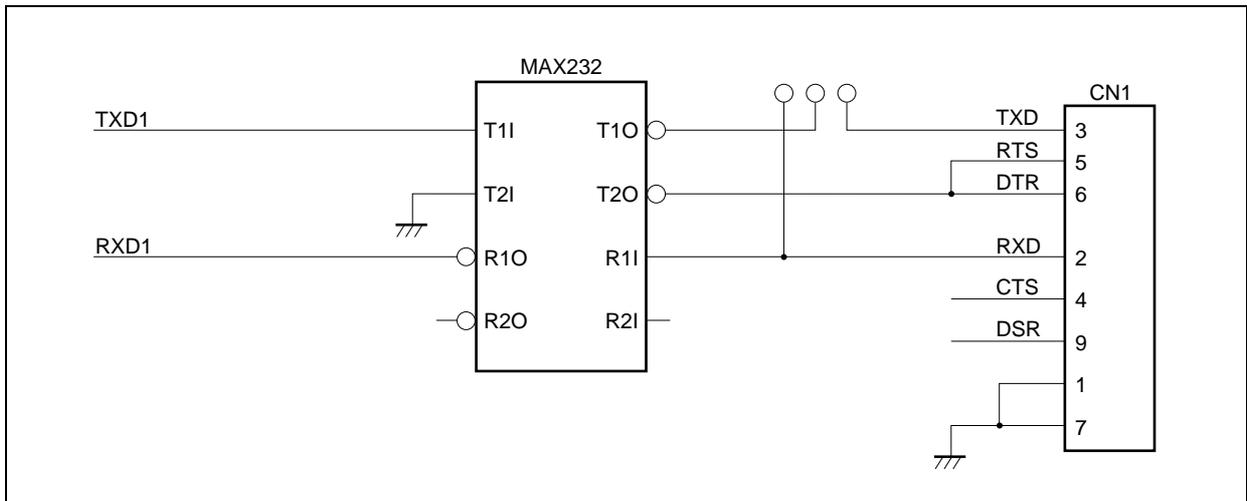
図4 - 4 ポート接続回路



### 4.1.7 UARTの接続

UART1を調歩同期式のRS-232-Cインタフェースとして使用します。信号は、TXD、RXDの2線式です。モデム制御信号のRTS信号、DTR信号はアクティブ・レベルに固定され、CTS信号、DSR信号は接続されません。ジャンパ・スイッチの設定でTXD信号をRXD信号に折り返せます。

図4 - 5 UARTの接続回路例



### 4.1.8 RPUの接続

TM15のTO150出力をモータ制御に使用します。CC150/CC151レジスタをコンペア・レジスタに設定し、出力パルス幅を変化させてモータの回転速度を制御します。モータからのエンコーダ出力は、INTP153に接続されます。

図4-6 RPUの接続回路

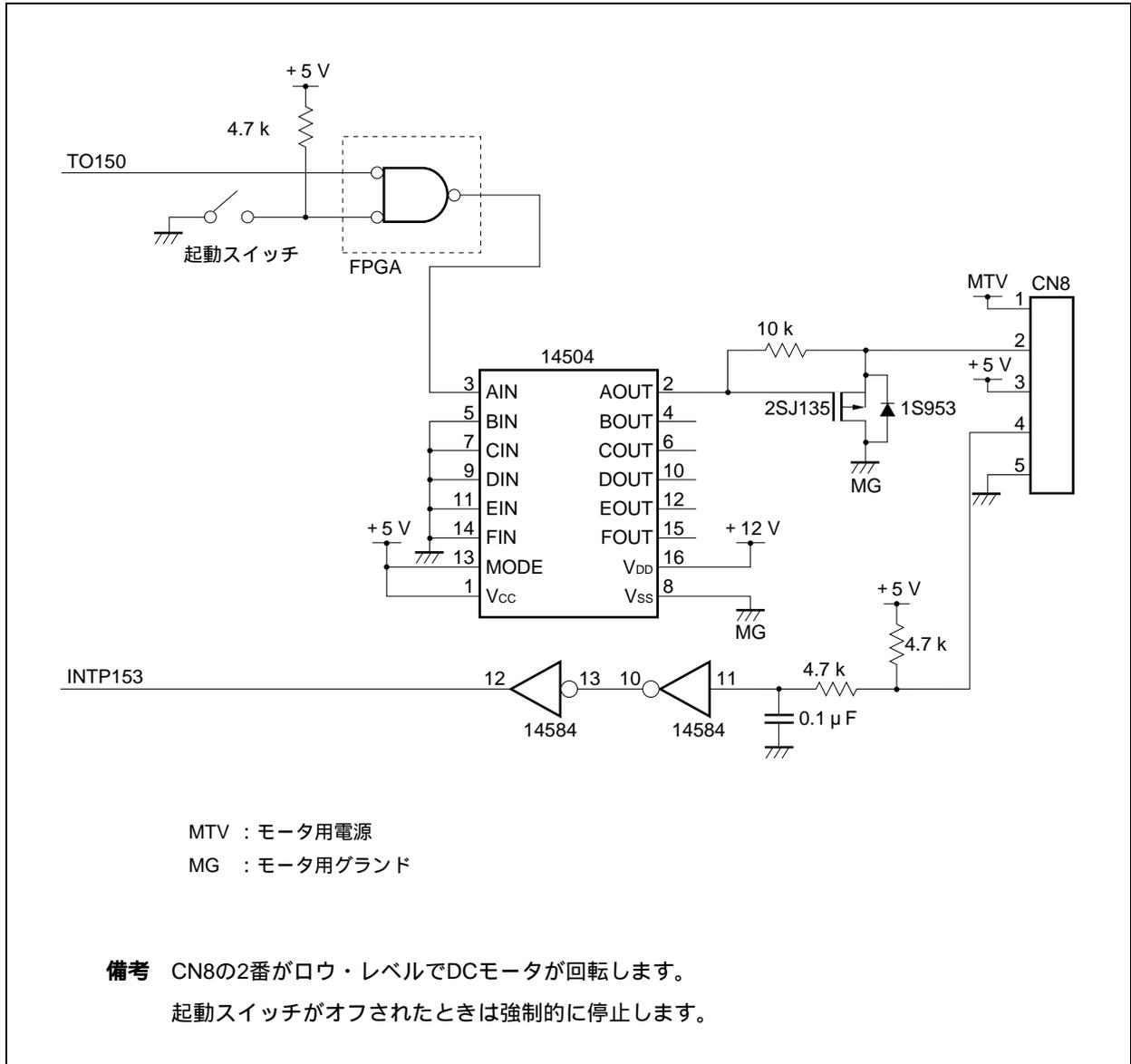




図4-8 可変抵抗による0-5 Vの接続 (ANI1)

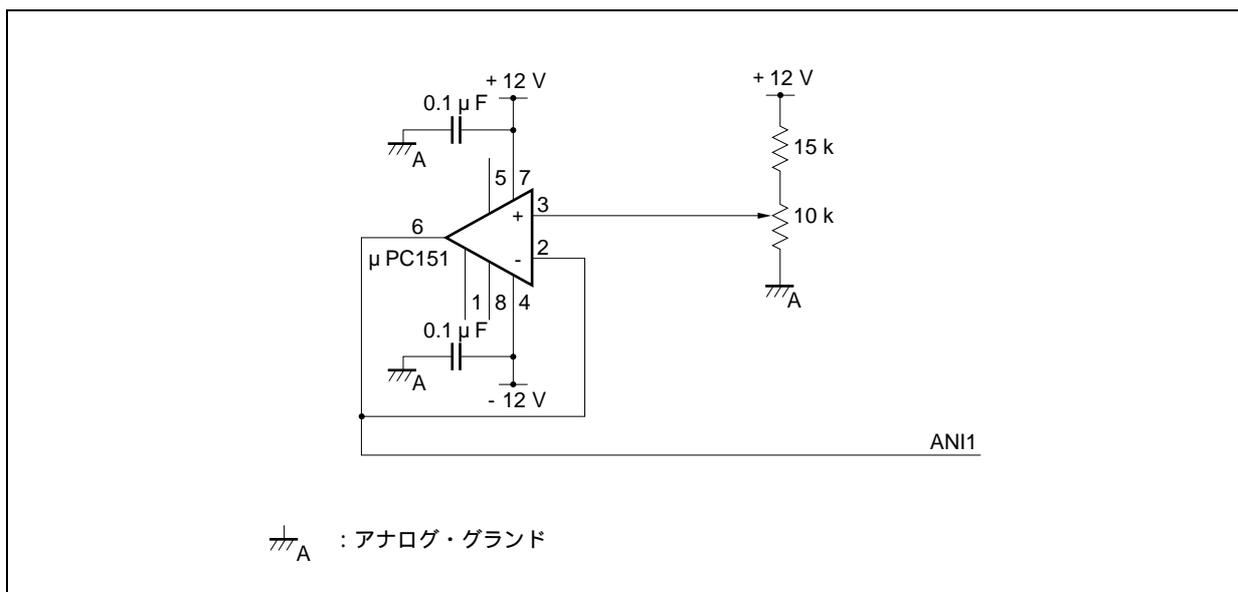
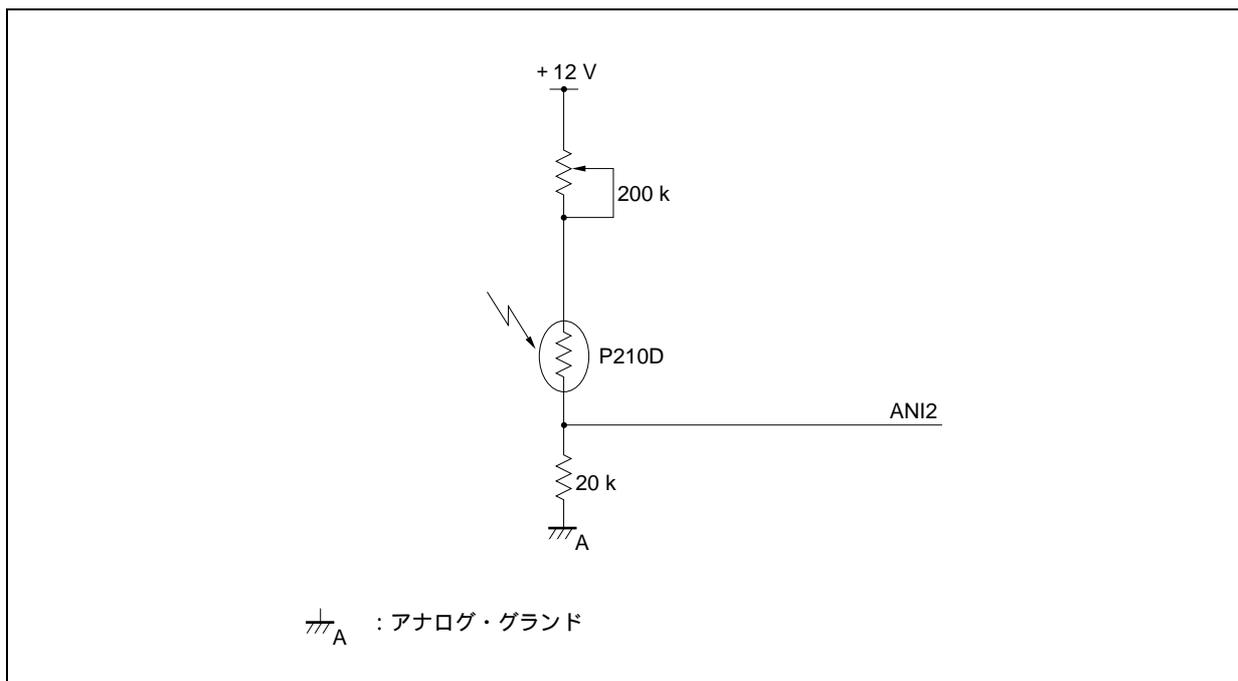


図4-9 光センサの接続 (ANI2)



#### 4.1.10 設定スイッチ

TB-V850Eのボード上のスイッチを示します。

V850E/MS1動作モード指定スイッチ (DSW1) :

V850E/MS1の動作モードを指定する4ビットのディップ・スイッチです。V850E/MS1のMODE端子に接続されています。スイッチの設定は、オンでロウ・レベル、オフでハイ・レベルに設定されます。このスイッチによるMODE3端子の指定は、フラッシュROMライタ用スライド・スイッチがライト側に設定されていないときに有効となります。

DSW1-1 : MODE0端子の設定

DSW1-2 : MODE1端子の設定

DSW1-3 : MODE2端子の設定

DSW1-4 : MODE3端子の設定

**備考** DSW1-4は、フラッシュROMライタ用スライド・スイッチがライト側の場合、無視されます。

フラッシュROMライタ用スライド・スイッチ (MSW1) :

専用フラッシュROMライタでV850E/MS1内蔵フラッシュ・メモリの内容をリード/ライトするときに使用するスライド・スイッチです。ライト側に設定した場合、V850E/MS1のMODE3端子は専用フラッシュROMライタにより設定されます。

供給クロック設定スイッチ (JP1) :

V850E/MS1のX1端子に供給するクロックを設定するジャンパ・スイッチです。

1-2 短絡 : OSC1 (高速用) を選択

3-4 短絡 : OSC2 (低速用) を選択

RS-232-C I/F折り返しスイッチ (JP2) :

RS-232-C I/Fの送信データと受信データを接続するスイッチです。

1-2 短絡 : 通常動作

2-3 短絡 : 送信データを受信データに折り返す

7セグメントLED切り替えスイッチ (MSW2) :

このユニット上に実装される7セグメントLEDの表示をソフトウェア制御にするか、ハードウェア制御にするかの選択を行うオルタネート・トグル・スイッチです。

DCモータ起動スイッチ (MSW3) :

DCモータの制御を有効にするオルタネート・トグル・スイッチです。このスイッチがオンされていないときはモータは回転しません。また、モータ回転中もこのスイッチをオフするとモータは停止します。

汎用トグル・スイッチ (TSW1-TSW8) :

V850E/MS1の入力ポートP110-P117に接続される8個のオルタネート・トグル・スイッチです。

P110がTSW1に、P117がTSW8にそれぞれ対応します。各スイッチはオンで“0”、オフで“1”がリードされます。

INTスイッチ (INT) :

V850E/MS1にマスカブル割り込みを発生させる押しボタン・スイッチです。INTP122端子に接続されています。

NMIスイッチ (NMI) :

V850E/MS1にノンマスカブル割り込みを発生させる押しボタン・スイッチです。

リセット・スイッチ (RESET)

TB-V850Eをリセットする押しボタン・スイッチです。このスイッチはパワーオン・リセット、フラッシュROMライター・インタフェース・コネクタからのリセット信号とORされます。

### 4.1.11 コネクタ

TB-V850Eのボード上のコネクタを示します。

RS-232-C I/Fコネクタ (CN1) :

使用コネクタ : DSUB9ピン (DE-9S-T-N)

ピン番号	信号名	信号の意味
1	NC	未接続
2	RXD	受信データ
3	TXD	送信データ
4	DTR	データ・ターミナル・レディ
5	GND	信号グランド
6	NC	未接続
7	RTS	送信要求
8	NC	未接続
9	NC	未接続

フラッシュROMプログラミングI/Fコネクタ (CN2) :

使用コネクタ : 10ピン・ヘッダ (3662-6002LCSC)

ピン番号	信号名	備考
1	GND	信号グランド
2	SI	CPUのSIO0端子に接続
3	SO	CPUのSI0端子に接続
4	SCK	CPUのSCK0端子に接続
5	CLK	未接続
6	RESET	リセット入力
7	VDD	+5 V
8	VPP	+10 V
9	NC	未接続
10	NC	未接続

ロジック・アナライザ接続コネクタ (CN3-CN6) :

CN3

ピン番号	信号名	ピン番号	信号名
1	NC	11	D8
2	NC	12	D7
3	NC	13	D6
4	D15	14	D5
5	D14	15	D4
6	D13	16	D3
7	D12	17	D2
8	D11	18	D1
9	D10	19	D0
10	D9	20	GND

CN4

ピン番号	信号名	ピン番号	信号名
1	NC	11	D8
2	NC	12	D7
3	NC	13	D6
4	A15	14	A5
5	A14	15	A4
6	A13	16	A3
7	A12	17	A2
8	A11	18	A1
9	A10	19	A0
10	A9	20	GND

CN5

ピン番号	信号名	ピン番号	信号名
1	NC	11	$\overline{\text{CS0}}$
2	NC	12	A23
3	NC	13	A22
4	$\overline{\text{CS7}}$	14	A21
5	$\overline{\text{CS6}}$	15	A20
6	$\overline{\text{CS5}}$	16	A19
7	$\overline{\text{CS4}}$	17	A18
8	$\overline{\text{CS3}}$	18	A17
9	$\overline{\text{CS2}}$	19	A16
10	$\overline{\text{CS1}}$	20	GND

CN6

ピン番号	信号名	ピン番号	信号名
1	NC	11	$\overline{\text{OE}}$
2	NC	12	$\overline{\text{WE}}$
3	NC	13	$\overline{\text{RD}}$
4	UDQM	14	$\overline{\text{UCAS/UWR}}$
5	LDQM	15	$\overline{\text{LCAS/LWR}}$
6	CKE	16	$\overline{\text{REFRQ}}$
7	$\overline{\text{SDRAMWE}}$	17	$\overline{\text{WAIT}}$
8	$\overline{\text{SDRAMCAS}}$	18	$\overline{\text{RESET}}$
9	$\overline{\text{SDRAMRAS}}$	19	CLKOUT
10	$\overline{\text{SDRAMCS}}$	20	GND

## 4.2 内部レジスタの設定

この節では、TB-V850Eのハードウェア構成によって設定が決定される内部レジスタの説明をします。

その他のレジスタは、アプリケーション・プログラムの内容で設定値が決定されます。

4.3 プログラム例を参照してください。

### 4.2.1 バス・インタフェース

TB-V850Eバス・インタフェース関連のレジスタ設定は次のようになります。各レジスタの設定値は、V850E/MS1の内部システム・クロックが20 MHz（外部クロック4 MHz）のときの値です。また、EPROM、ページROMはアクセス・タイム100 ns品を想定しています。

図4 - 10 メモリ拡張モード・レジスタ (MM) の設定

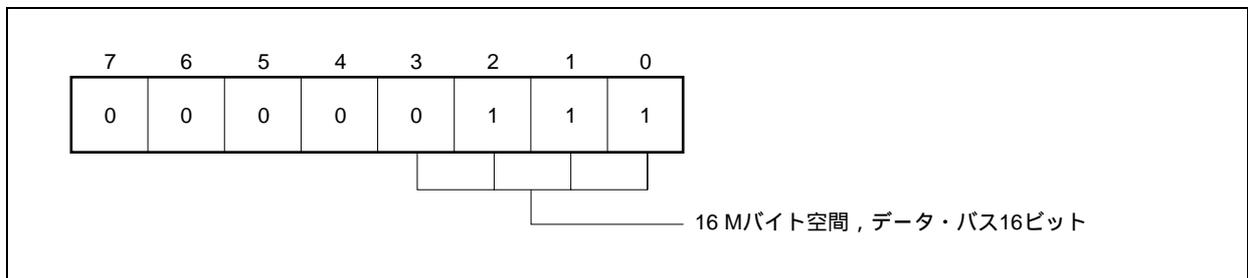


図4 - 11 バス・サイクル・タイプ・コンフィギュレーション・レジスタ (BCT) の設定

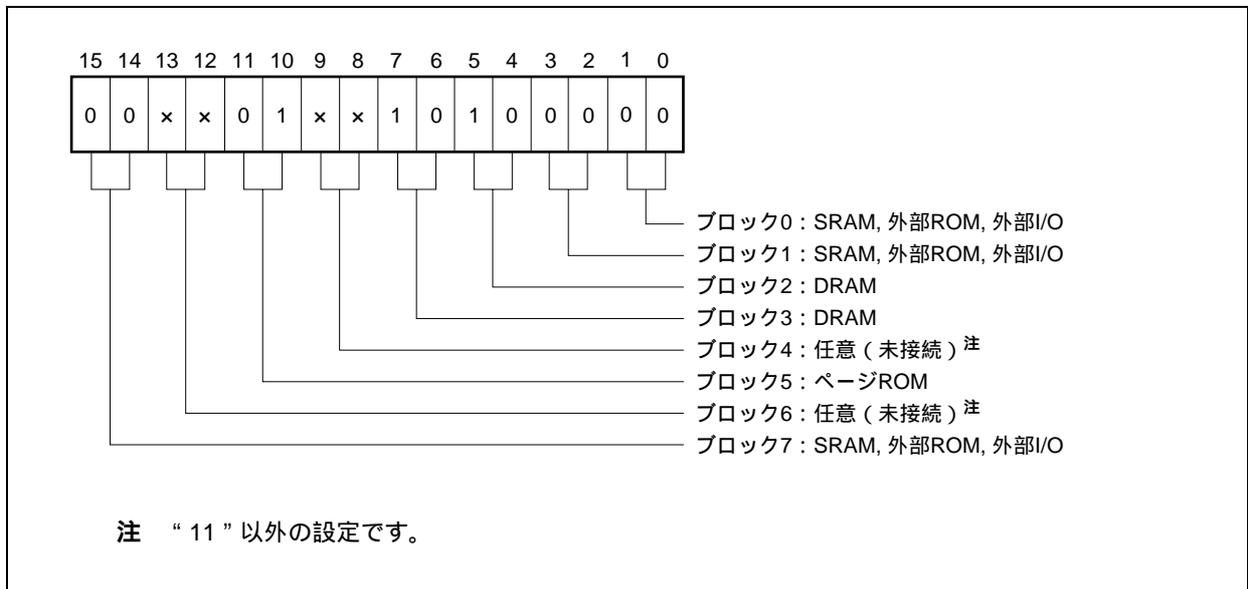


図4 - 12 バス・サイズ・コンフィギュレーション・レジスタ (BSC) の設定

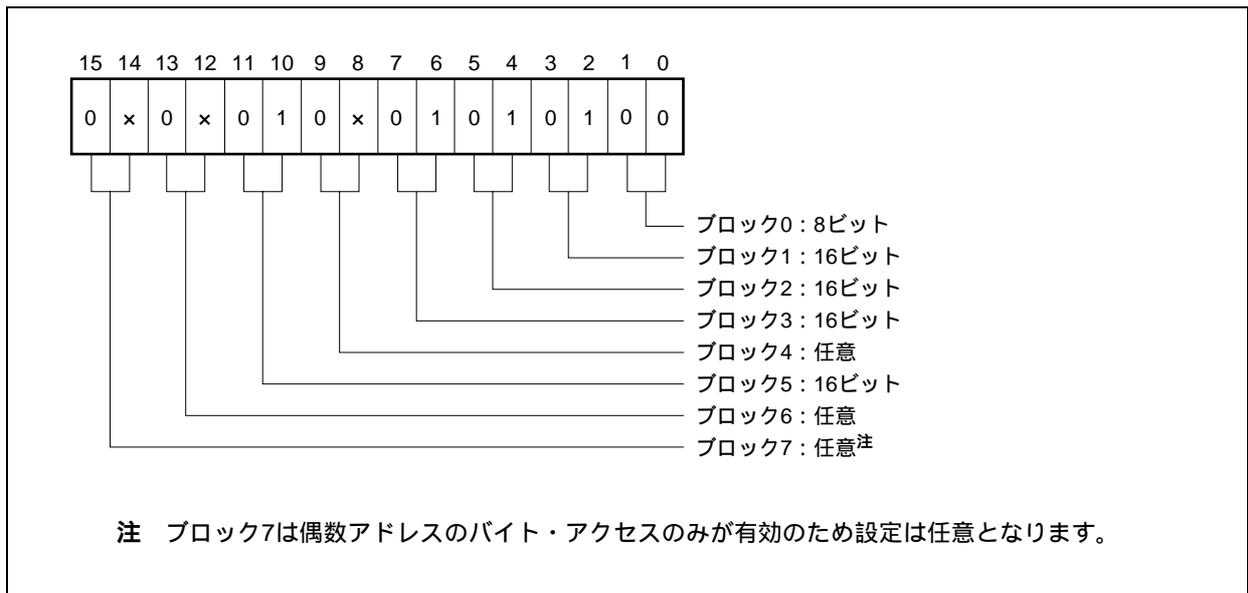


図4 - 13 データ・ウェイト・コントロール・レジスタ1, 2 (DWC1, DWC2) の設定

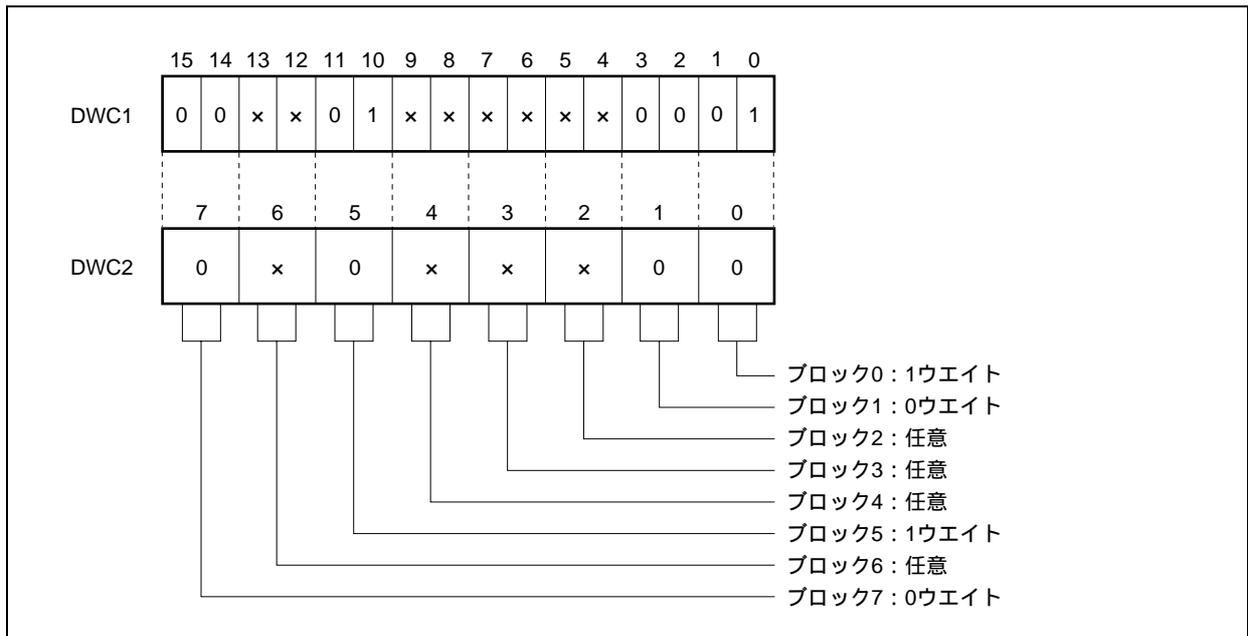


図4 - 14 バス・サイクル・コントロール・レジスタ (BCC) の設定

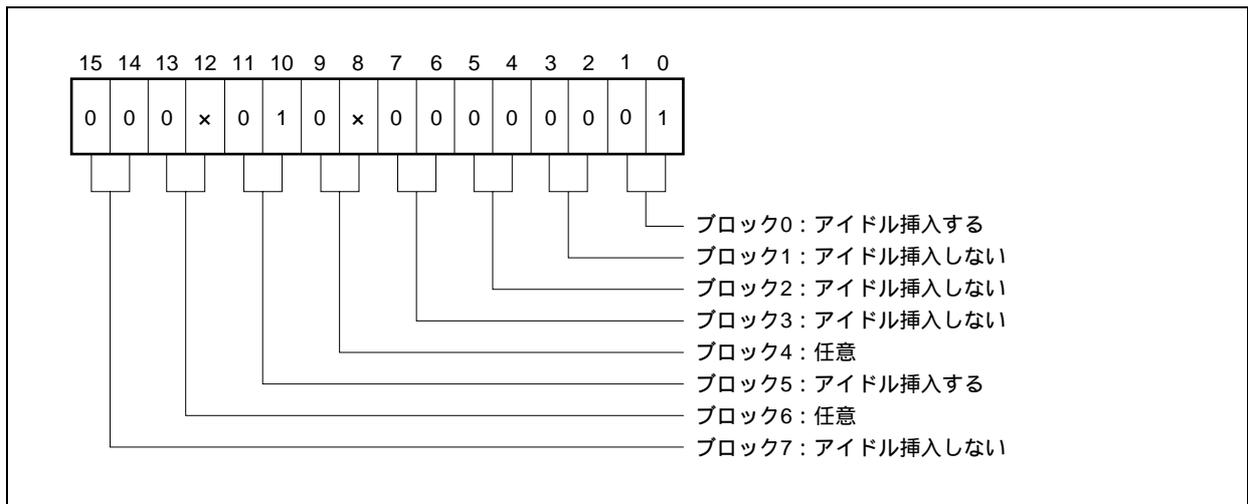


図4 - 15 ページROMコンフィギュレーション・レジスタ (PRC) の設定

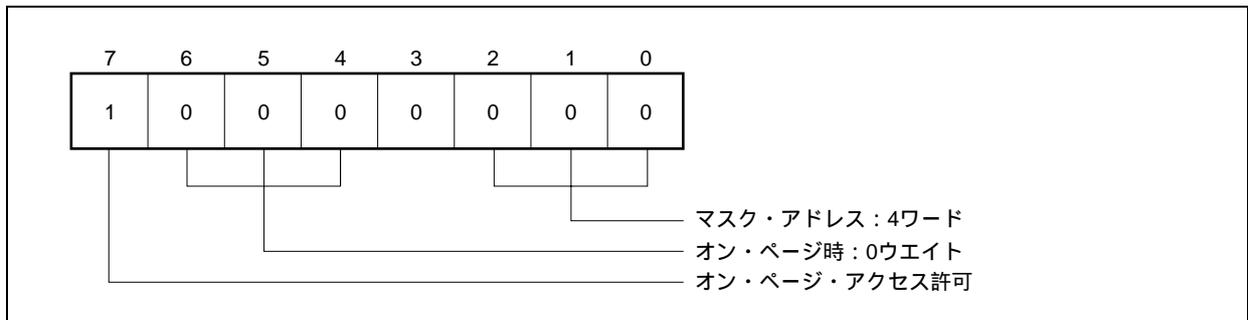


図4 - 16 DRAMタイプ・コンフィギュレーション・レジスタ (DTC) の設定

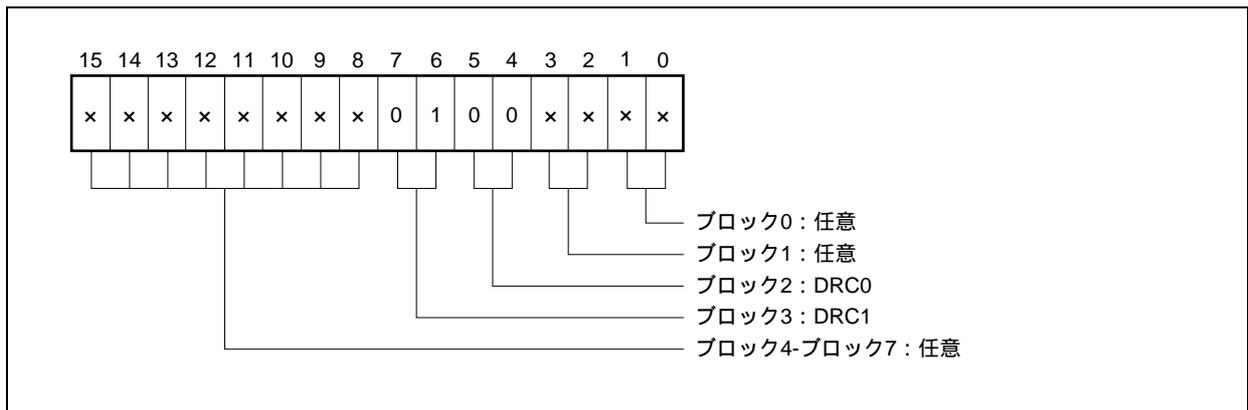


図4 - 17 DRAMコンフィギュレーション・レジスタ0 (DRC0) の設定

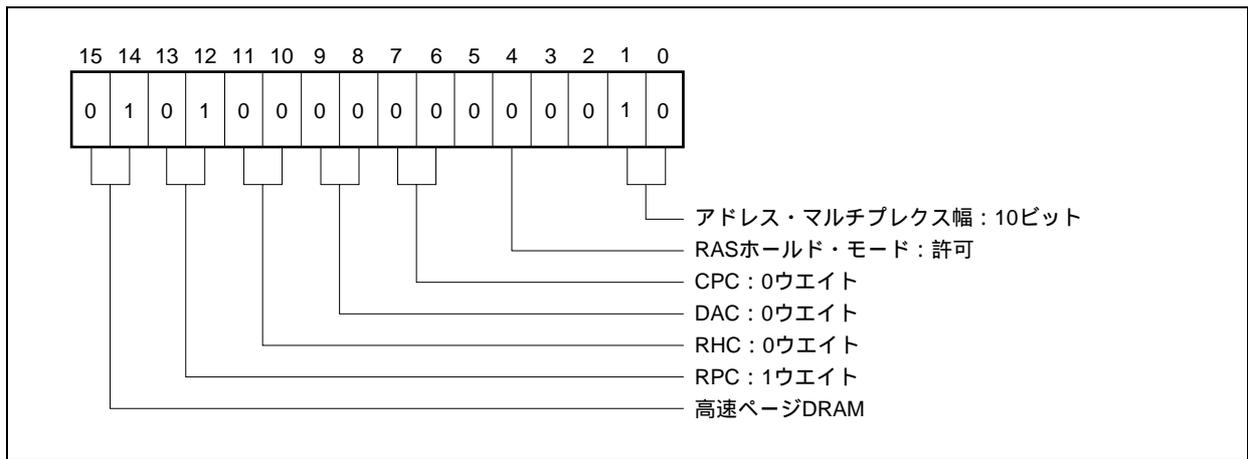


図4 - 18 DRAMコンフィギュレーション・レジスタ1 (DRC1) の設定

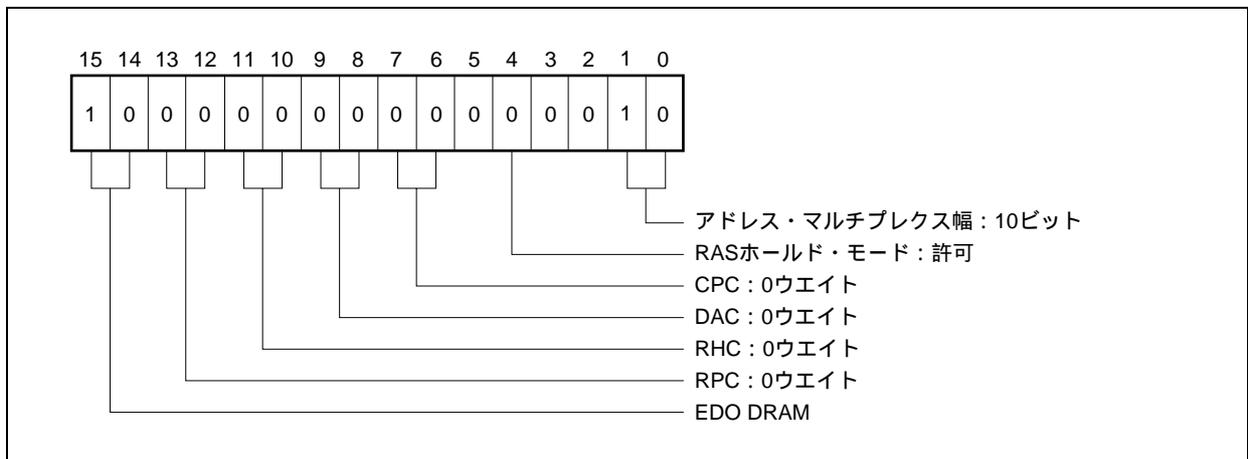


図4 - 19 DRAMコンフィギュレーション・レジスタ2, 3 (DRC2, DRC3) の設定

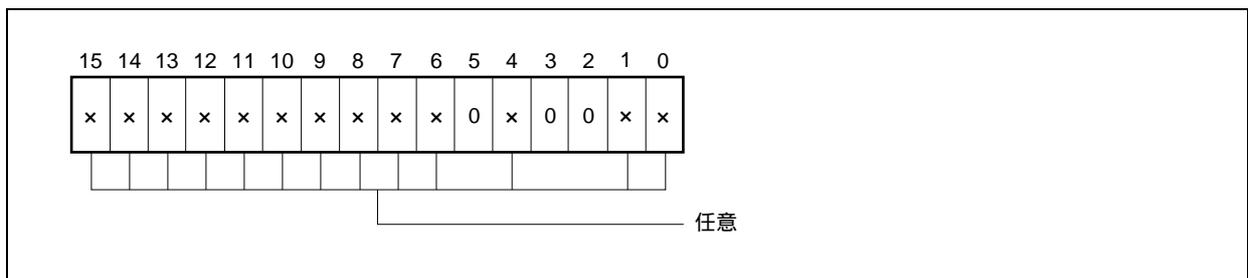


図4 - 20 リフレッシュ・コントロール・レジスタ0, 1 (RFC0, RFC1) の設定

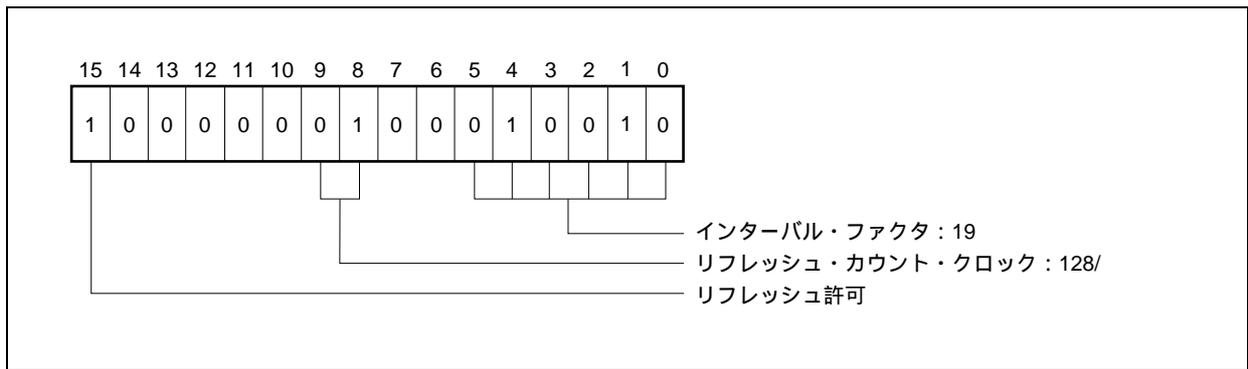


図4 - 21 リフレッシュ・コントロール・レジスタ2, 3 (RFC2, RFC3) の設定

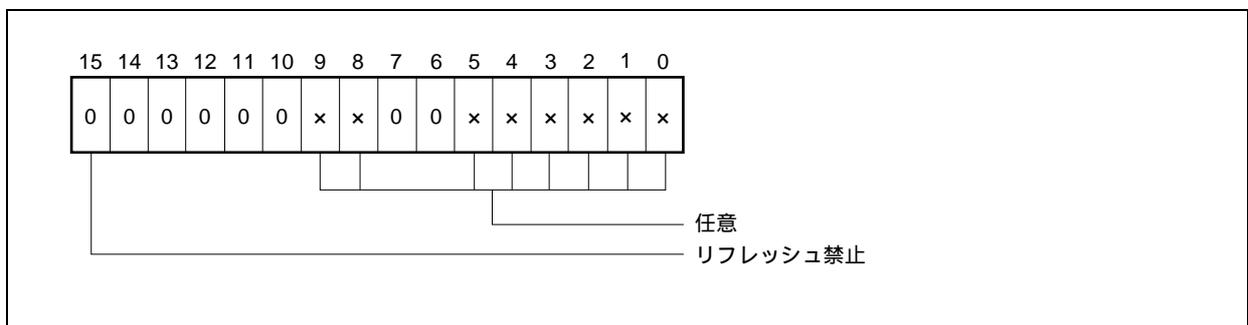
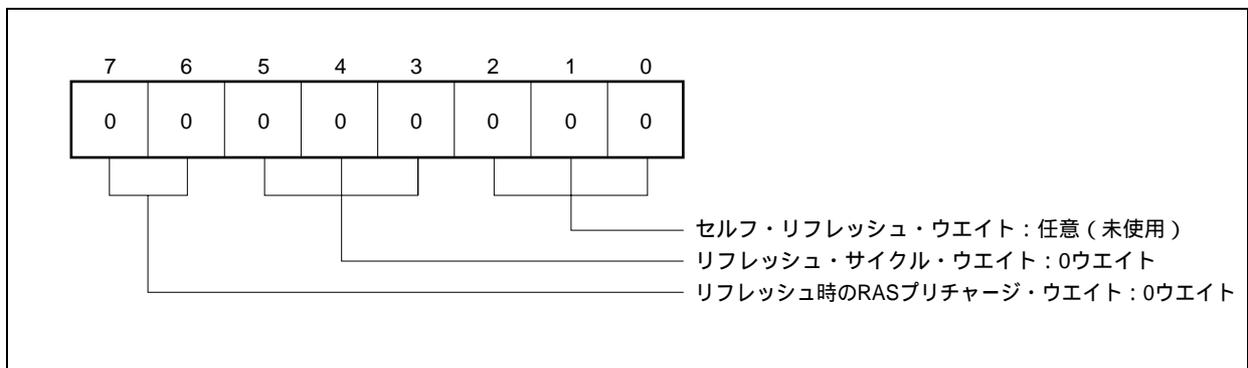


図4 - 22 リフレッシュ・ウエイト・コントロール・レジスタ (RWC) の設定



### 4.2.2 ポート機能（端子機能の設定）

図4 - 23 ポート0モード・コントロール・レジスタ（PMC0）の設定

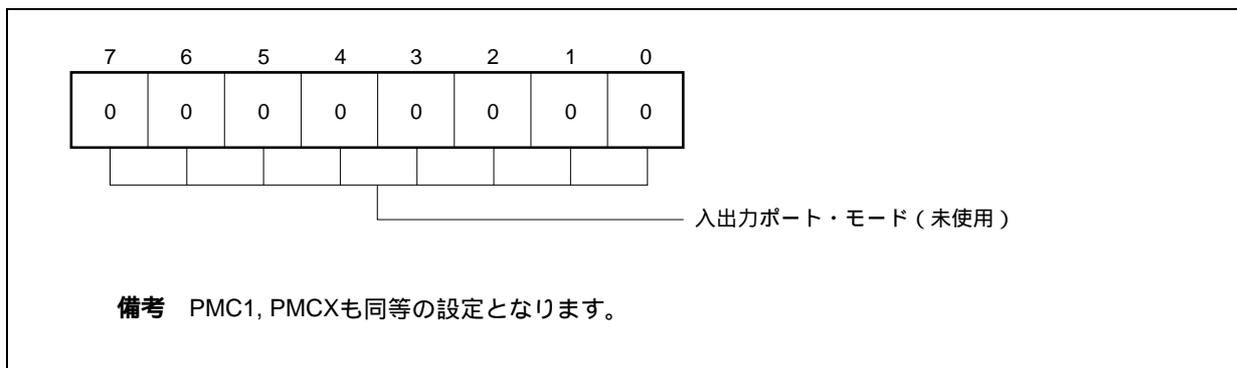


図4 - 24 ポート0モード・レジスタ（PM0）の設定

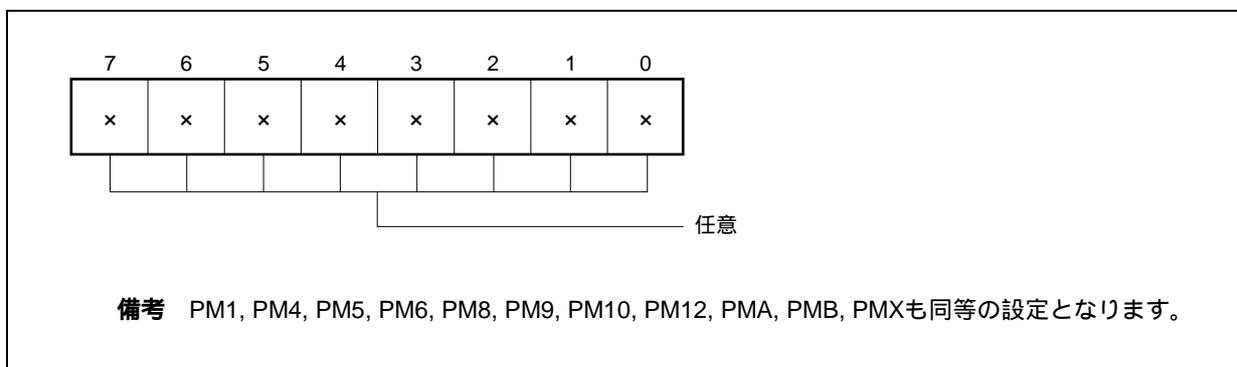


図4 - 25 ポート/コントロール選択レジスタ0（PCS0）の設定

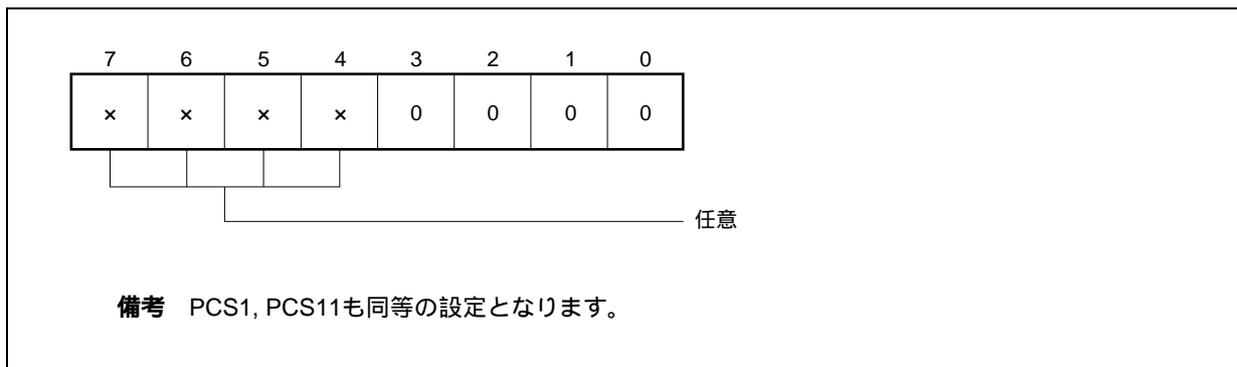


図4 - 26 ポート2モード・コントロール・レジスタ (PMC2) の設定

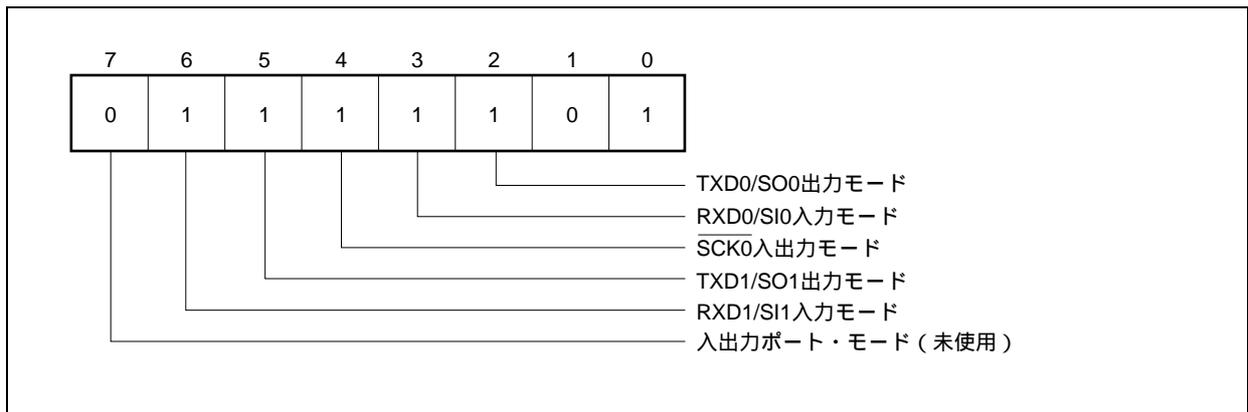


図4 - 27 ポート2モード・レジスタ (PM2) の設定

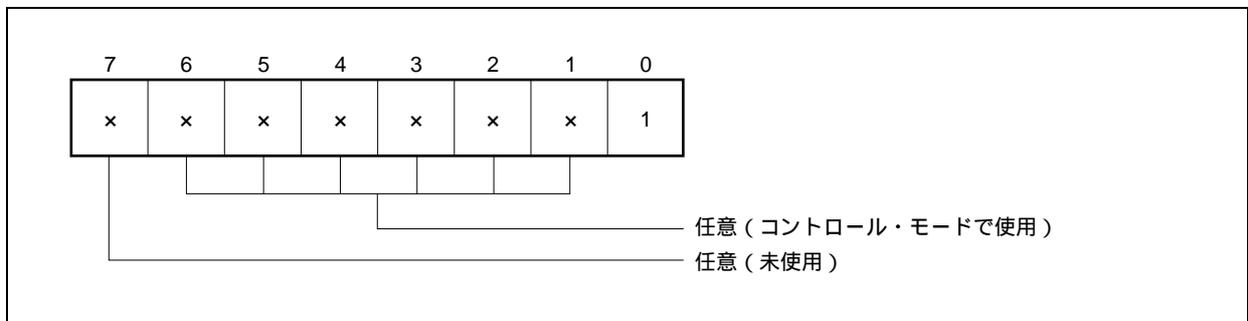


図4 - 28 ポート3モード・コントロール・レジスタ (PMC3) の設定

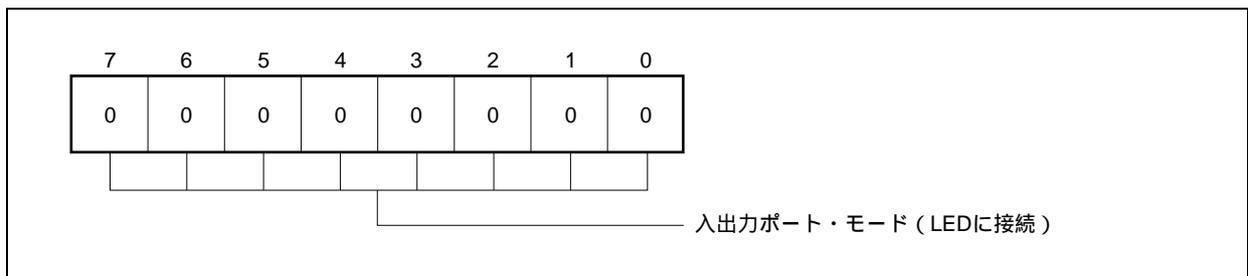


図4 - 29 ポート3モード・レジスタ (PM3) の設定

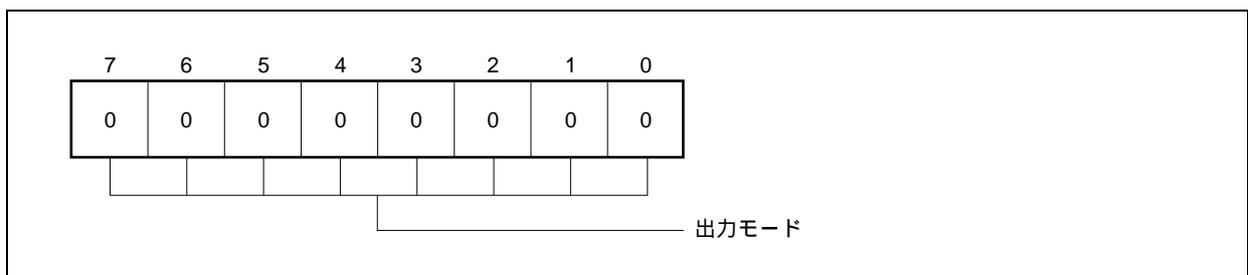


図4 - 30 ポート/コントロール選択レジスタ3 (PCS3) の設定

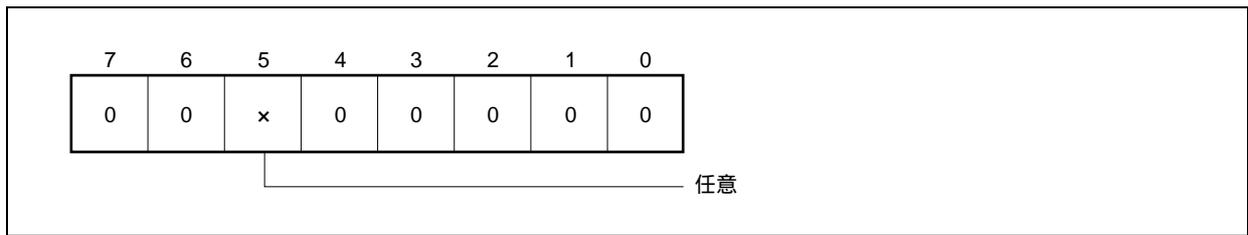


図4 - 31 ポート8モード・コントロール・レジスタ (PMC8) の設定

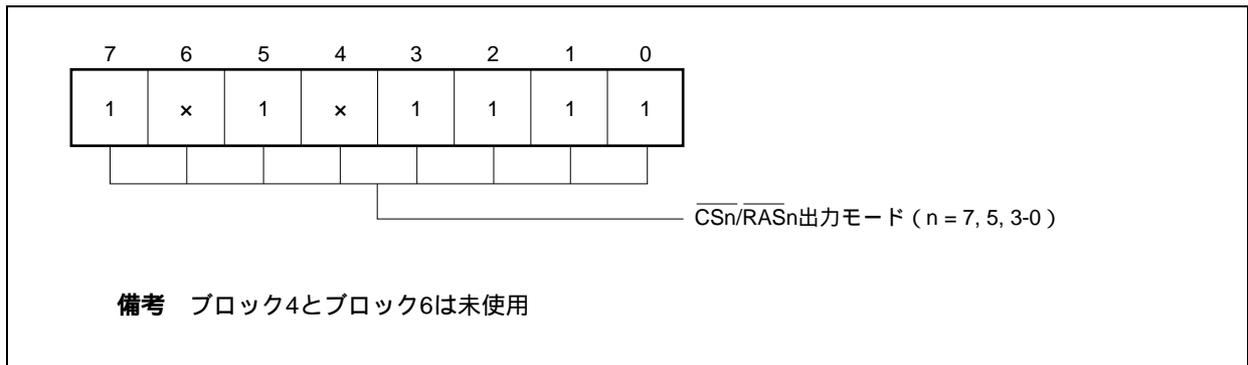


図4 - 32 ポート/コントロール選択レジスタ8 (PCS8) の設定

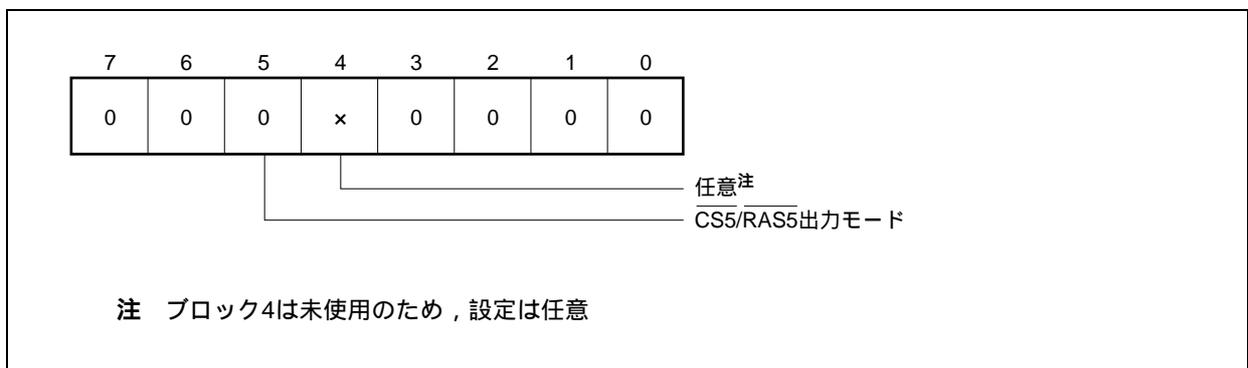


図4 - 33 ポート9モード・コントロール・レジスタ (PMC9) の設定

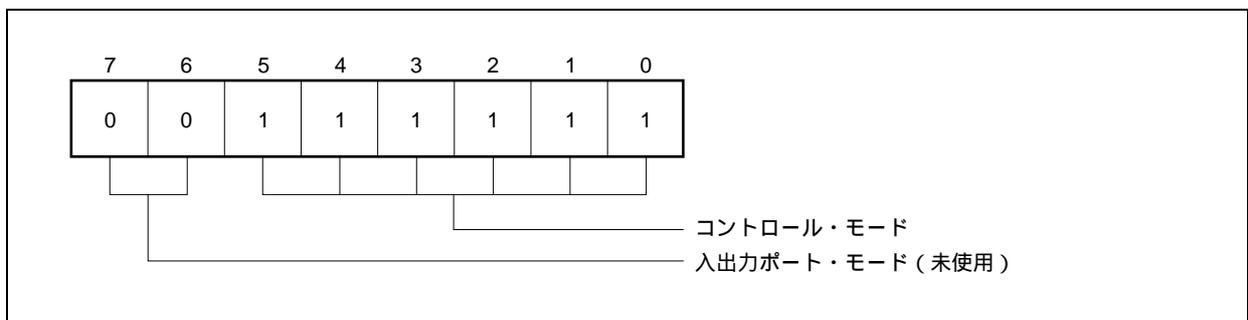


図4 - 34 ポート10モード・コントロール・レジスタ (PMC10) の設定

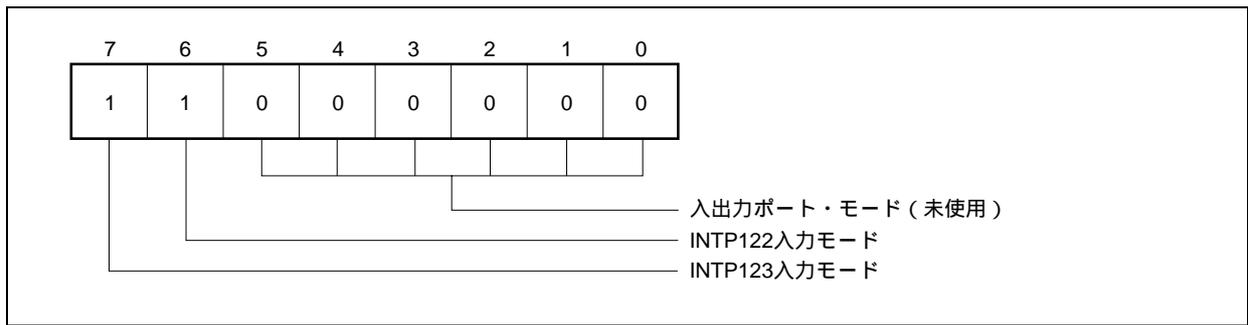


図4 - 35 ポート/コントロール選択レジスタ10 (PCS10) の設定

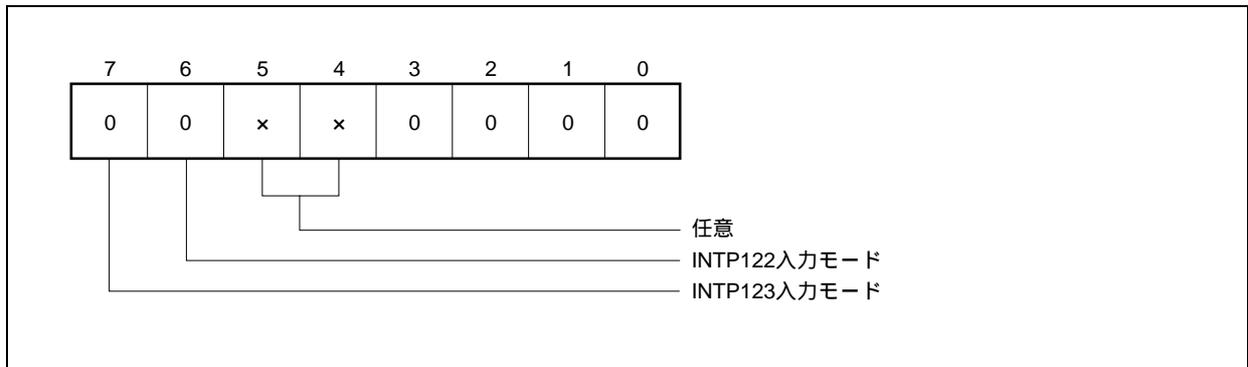


図4 - 36 ポート11モード・コントロール・レジスタ (PMC11) の設定

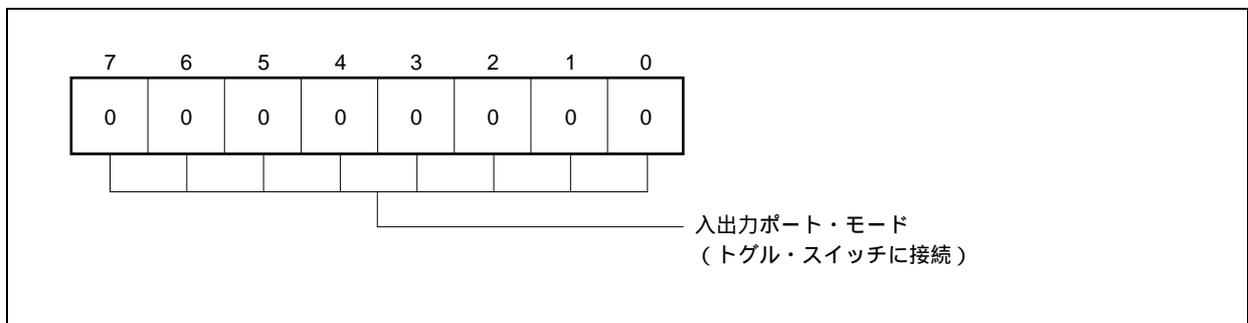


図4 - 37 ポート11モード・レジスタ (PM11) の設定

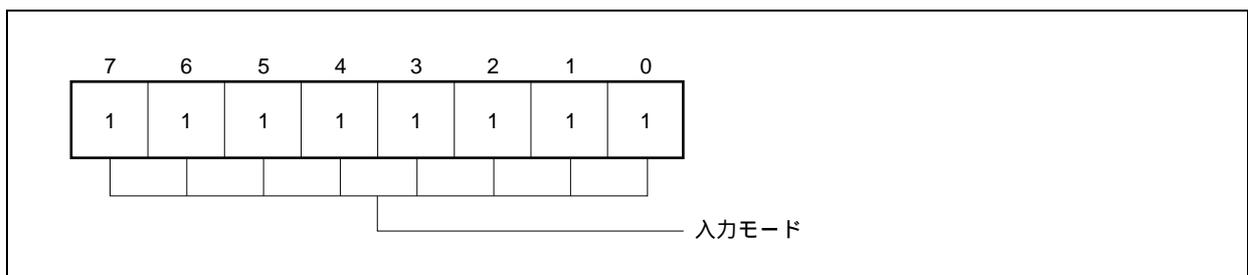
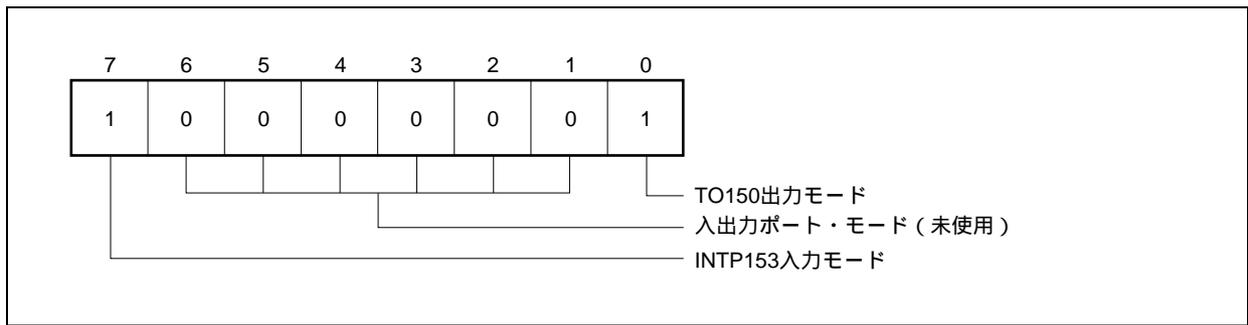


図4 - 38 ポート12モード・コントロール・レジスタ (PMC12) の設定



### 4.2.3 割り込み制御ユニット

図4 - 39 外部割り込みモード・レジスタ0 (INTM0) の設定

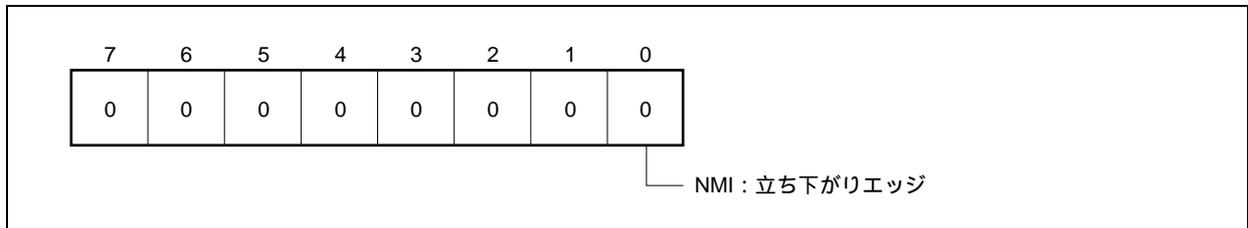


図4 - 40 外部割り込みモード・レジスタ1 (INTM1) の設定

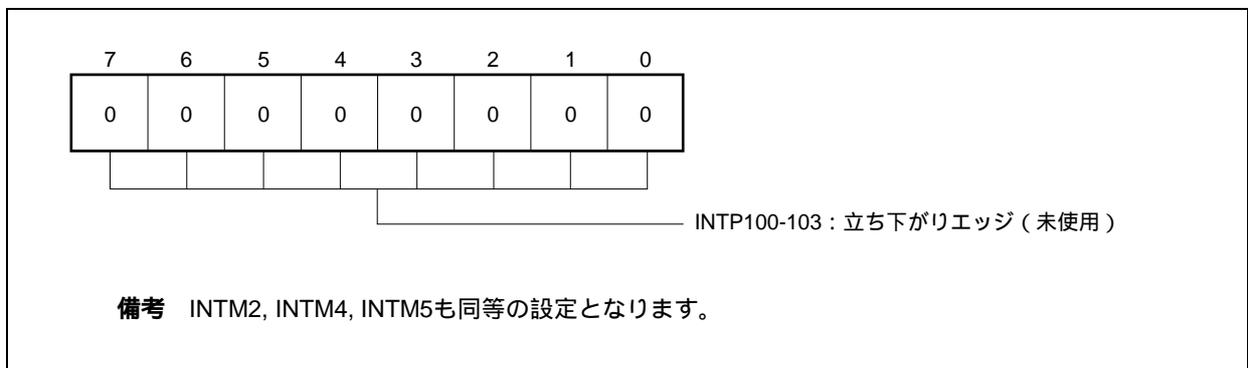


図4 - 41 外部割り込みモード・レジスタ3 (INTM3) の設定

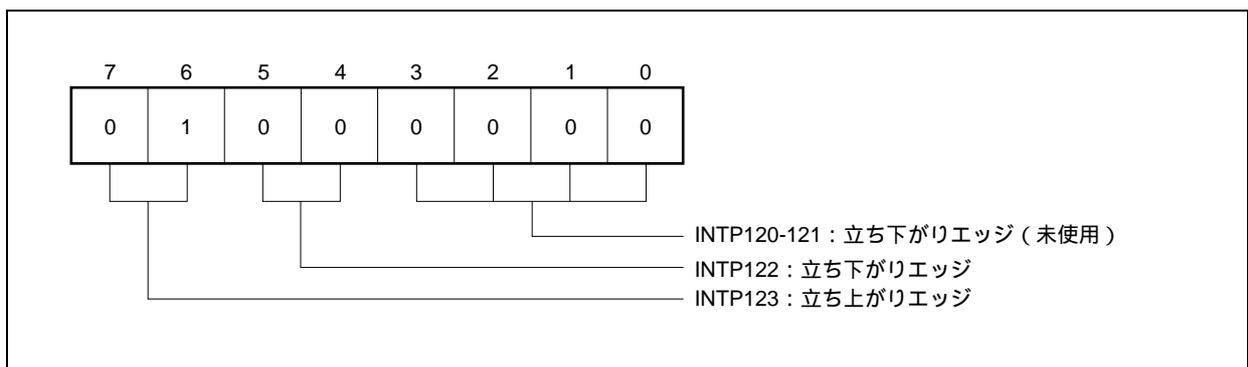
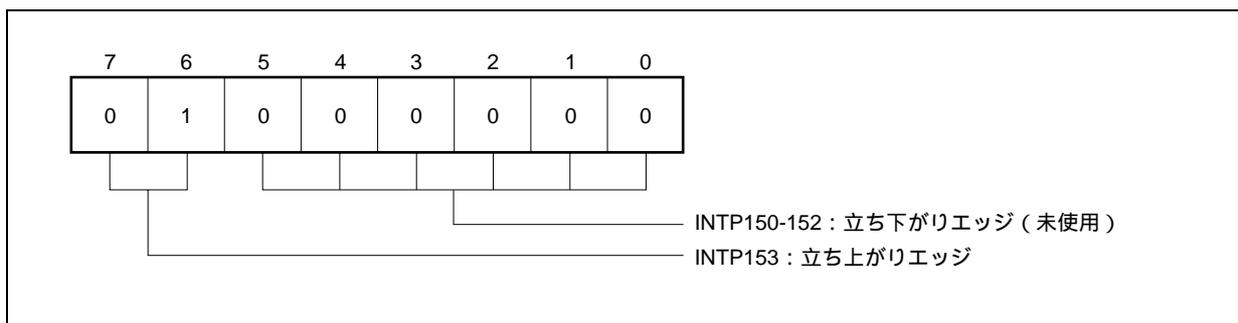
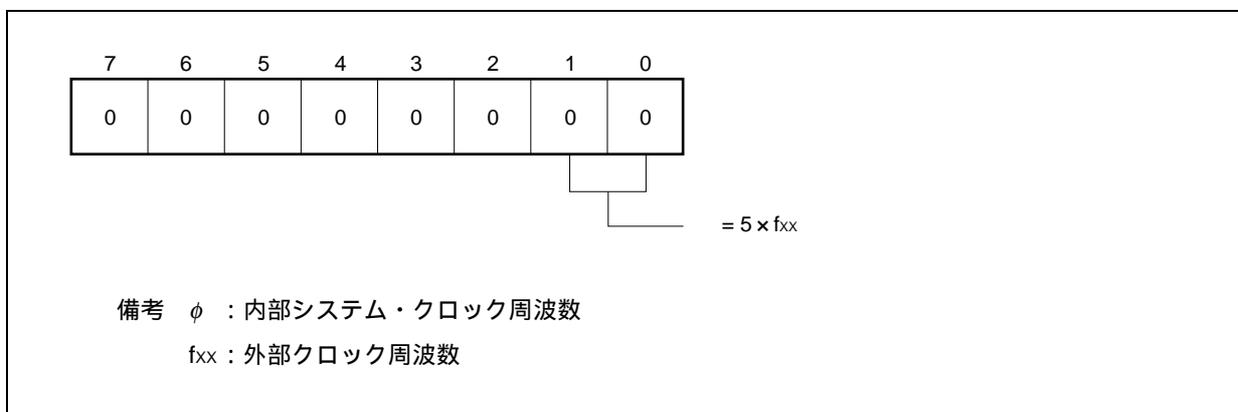


図4 - 42 外部割り込みモード・レジスタ6 (INTM6) の設定



#### 4.2.4 クロック発生機能

図4 - 43 クロック・コントロール・レジスタ (CKC) の設定



## 4.3 プログラム例

4.3.1から4.3.9にTB-V850Eにおける動作プログラム例を示します。

なお、4.3.2から4.3.9のプログラムでは、4.3.1 TB-V850Eの初期設定のプログラムとリンクされていることを前提としています。

### 4.3.1 TB-V850Eの初期設定

; TB-V850E上で動作するプログラムを複数開発するため、共通の初期設定処理を用意します。

; このプログラムでは初期値と同じ値も設定しています。

; <使用レジスタ>

; r11 : 作業用

#####リセット割り込み処理

.text

.section "RESET"

jr init ; 初期化処理へ

#####IOレジスタの初期設定を行う (TB - V850E専用)

.text

#バス制御レジスタ設定

init :

mov 0x07, r11

st.b r11, MM[r0] ; メモリ拡張モード・レジスタの設定

mov 0x0401, r11

st.h r11, DWC1[r0] ; データ・ウェイト・コントロール・レジスタ1の設定

mov 0x0401, r11

st.h r11, BCC[r0] ; バス・サイクル・コントロール・レジスタの設定

mov 0x06a0, r11

st.h r11, BCT[r0] ; バス・サイクル・タイプ・コントロール・レジスタの設定

mov 0x1554, r11

st.h r11, BSC[r0] ; バス・サイズ・コンフィギュレーション・レジスタの設定

mov 0x00, r11

st.h r11, DWC2[r0] ; データ・ウェイト・コントロール・レジスタ2の設定

#メモリ・アクセス制御レジスタ設定

mov 0x5102, r11

st.h r11, DRC0[r0] ; DRAMコンフィギュレーション・レジスタ0の設定

mov 0x8002, r11

st.h r11, DRC1[r0] ; DRAMコンフィギュレーション・レジスタ1の設定

mov 0x3f01, r11

st.h r11, DRC2[r0] ; DRAMコンフィギュレーション・レジスタ2の設定

```
mov 0x3f01, r11
st.h r11, DRC3[r0] ; DRAMコンフィギュレーション・レジスタ3の設定
mov 0x8112, r11
st.h r11, RFC0[r0] ; リフレッシュ・コントロール・レジスタ0の設定
mov 0x8112, r11
st.h r11, RFC1[r0] ; リフレッシュ・コントロール・レジスタ1の設定
mov 0x0000, r11
st.h r11, RFC2[r0] ; リフレッシュ・コントロール・レジスタ2の設定
mov 0x0000, r11
st.h r11, RFC3[r0] ; リフレッシュ・コントロール・レジスタ3の設定
mov 0x0040, r11
st.h r11, DTC[r0] ; DRAMタイプ・コンフィギュレーション・レジスタの設定
mov 0x80, r11
st.b r11, PRC[r0] ; ページROMコンフィギュレーション・レジスタの設定
st.b r0, RWC[r0] ; リフレッシュ・ウエイト・コントロール・レジスタの設定
```

## #クロック発生機能レジスタ設定

```
mov 0x00, r11
st.b r11, PRCMD[r0] ; コマンド・レジスタにストア命令を発行
st.b r11, CKC[r0] ; クロック・コントロール・レジスタの設定
```

## #ポート0：リセット値

```
mov 0xff, r11
st.b r11, PM0[r0] ; ポート0モード・レジスタの設定
mov 0x00, r11
st.b r11, PMC0[r0] ; ポート0モード・コントロール・レジスタの設定
mov 0x00, r11
st.b r11, PCS0[r0] ; ポート/コントロール選択レジスタ0の設定
```

## #ポート1：リセット値

```
mov 0xff, r11
st.b r11, PM1[r0] ; ポート1モード・レジスタの設定
mov 0x00, r11
st.b r11, PMC1[r0] ; ポート1モード・コントロール・レジスタの設定
mov 0x00, r11
st.b r11, PCS1[r0] ; ポート/コントロール選択レジスタ1の設定
```

## #ポート2：UARTで使用

```
mov 0xff, r11
st.b r11, PM2[r0] ; ポート2モード・レジスタの設定
mov 0x7d, r11
st.b r11, PMC2[r0] ; ポート2モード・コントロール・レジスタの設定
```

## #ポート3 : LED表示で使用

```
mov  0x00,  r11      ; 出力モード設定
st.b  r11,   PM3[r0] ; ポート3モード・レジスタの設定

mov  0x00,  r11
st.b  r11,   PMC3[r0] ; ポート3モード・コントロール・レジスタの設定

mov  0x00,  r11
st.b  r11,   PCS3[r0] ; ポート / コントロール選択レジスタ3の設定
```

## #ポート4 : リセット値

```
mov  0xff,   r11
st.b  r11,   PM4[r0] ; ポート4モード・レジスタの設定
```

## #ポート5 : リセット値

```
mov  0xff,   r11
st.b  r11,   PM5[r0] ; ポート5モード・レジスタの設定
```

## #ポート6 : リセット値

```
mov  0xff,   r11
st.b  r11,   PM6[r0] ; ポート6モード・レジスタの設定
```

## #ポート7 : 設定なし

## #ポート8 : コントロール・モードで使用

```
mov  0xff,   r11
st.b  r11,   PM8[r0] ; ポート8モード・レジスタの設定

mov  0xff,   r11
st.b  r11,   PMC8[r0] ; ポート8モード・コントロール・レジスタの設定

mov  0x00,  r11
st.b  r11,   PCS8[r0] ; ポート / コントロール選択レジスタ8の設定
```

## #ポート9 : メモリ拡張時の制御信号出力設定

```
mov  0xff,   r11
st.b  r11,   PM9[r0] ; ポート9モード・レジスタの設定

mov  0x3f,   r11
st.b  r11,   PMC9[r0] ; ポート9モード・コントロール・レジスタの設定

mov  0x00,  r11
st.b  r11,   PCS9[r0] ; ポート / コントロール選択レジスタ9の設定
```

## #ポート10 : INTスイッチ (INTP122) ,正弦波 (INTP123) 割り込み設定

```
mov  0xff,   r11
st.b  r11,   PM10[r0] ; ポート10モード・レジスタの設定

mov  0xc0,   r11
st.b  r11,   PMC10[r0] ; ポート10モード・コントロール・レジスタの設定
```

```
mov 0x00, r11
st.b r11, PCS10[r0] ; ポート / コントロール選択レジスタ10の設定
```

#ポート11：トグル・スイッチ入力で使用

```
mov 0xff, r11
st.b r11, PM11[r0] ; ポート11モード・レジスタの設定

mov 0x00, r11
st.b r11, PMC11[r0] ; ポート11モード・コントロール・レジスタの設定

mov 0x00, r11
st.b r11, PCS11[r0] ; ポート / コントロール選択レジスタ11の設定
```

#ポート12：パルス・ジェネレータ出力割り込み (INTP153) 設定

```
mov 0xff, r11
st.b r11, PM12[r0] ; ポート12モード・レジスタの設定

mov 0x81, r11
st.b r11, PMC12[r0] ; ポート12モード・コントロール・レジスタの設定
```

#ポートA：リセット値

```
mov 0xff, r11
st.b r11, PMA[r0] ; ポートAモード・レジスタの設定
```

#ポートB：リセット値

```
mov 0xff, r11
st.b r11, PMB[r0] ; ポートBモード・レジスタの設定
```

#ポートX：リセット値

```
mov 0xff, r11
st.b r11, PMX[r0] ; ポートXモード・レジスタの設定

mov 0x00, r11
st.b r11, PMCX[r0] ; ポートXモード・コントロール・レジスタの設定
```

#外部割り込みモード・レジスタ

```
mov 0x00, r11
st.b r11, INTM0[r0] ; 外部割り込みモード・レジスタ0の設定

mov 0x00, r11
st.b r11, INTM1[r0] ; 外部割り込みモード・レジスタ1の設定

mov 0x00, r11
st.b r11, INTM2[r0] ; 外部割り込みモード・レジスタ2の設定

mov 0x40, r11
st.b r11, INTM3[r0] ; 外部割り込みモード・レジスタ3の設定

mov 0x00, r11
st.b r11, INTM4[r0] ; 外部割り込みモード・レジスタ4の設定

mov 0x00, r11
```

```
st.b  r11,    INTM5[r0] ; 外部割り込みモード・レジスタ5の設定
mov   0x40,   r11
st.b  r11,    INTM6[r0] ; 外部割り込みモード・レジスタ6の設定

jr    start          ; メイン・プログラムへ
```

### 4.3.2 メモリ・アクセス

; 外部SRAM領域 ( xx200000H ) 番地に固定データをライトします。

; <使用レジスタ>

; r10 : SRAMアドレス

; r11 : 設定データ ( 55H )

```
.globl start
.set  sram_adr, 0x200000 ; SRAMアドレス

.text
start :
    mov  sram_adr, r10      ; ライト・アドレスの設定
    movea 0x55, r0, r11    ; ライト・データの設定
loop :
    st.b  r11,    0x0[r10] ; バイトでライト
    br   loop        ; 繰り返し
```

### 4.3.3 メモリ・フィル

; 外部SRAM領域 ( xx200000H-xx23FFFFH番地 ) から256 Kバイト分 0 クリアします。

; <使用レジスタ>

; r10 : ライト・アドレス

; r11 : フィル終了アドレス

```
.globl start
.set sram_adr_s, 0x200000 ; SRAMアドレス ( フィル開始アドレス )
.set sram_adr_e, 0x240000 ; SRAMアドレス ( フィル終了アドレス )

.text
start :
    mov sram_adr_s, r10      ; フィル開始アドレスをライト・アドレスに設定
    mov sram_adr_e, r11     ; フィル終了アドレスの設定
loop :
    st.w r0, 0x0[r10]      ; 0をワードでライト
    add 0x4, r10           ; アドレスの更新
    cmp r10, r11          ; 終了アドレス?
    bne loop              ; 終了アドレスではない場合ループ
forever :
    br forever            ; 処理終了ループ
```

### 4.3.4 スイッチ入力とLED出力

; ポート11 ( トグル・スイッチ ) の状態をリードして, リード・データを

; ポート3 ( LED ) にライトします。

; <使用レジスタ>

; r10 : 入出力データ

```
.globl start
.text
start :
loop :
    ld.b P11[r0], r10      ; ポート11を入力
    st.b r10, P3[r0]      ; ポート3に出力
    br loop              ; 繰り返し
```

## 4.3.5 タイマ割り込み

; タイマ割り込みによりLEDランプをインクリメント点灯します。

; タイマ割り込み間隔は100 msに設定します。

; <使用レジスタ>

; r11 : 作業用

; r12 : LED点灯値

; r13 : LEDアドレス

```
.globl  _intcm40
.globl  start
.set    led_adr, 0xffff006 ; LEDアドレス

--割り込みハンドラの設定
.section "INTCM40"
jr      _intcm40 ; タイマ割り込み処理へ

.text
start:
--カウント・クロックの設定 ;  $\phi = 20$  MHz
st.b    r0, TMC40[r0] ;  $\phi = \phi / 32$ 
--割り込み間隔の設定
mov     62500, r11 ;  $100\text{ ms} = (\phi / 32) * (62500)$ 
st.h    r11, CM40[r0] ; 値設定
mov     r0, r12 ; LED点灯値初期化
mov     led_adr, r13 ; LEDアドレス設定
st.b    r12, 0[r13] ; LED初期化 (全消灯)
--割り込み制御レジスタ・セット
mov     0x07, r11 ; 割り込み優先順位7
st.b    r11, CMIC40[r0] ; タイマ4割り込み許可
set1    7, TMC40[r0] ; タイマ4カウント開始
ei ; 割り込み許可

forever_lp :
nop
br      forever_lp

--タイマ4割り込み処理
_intcm40 :
add     1, r12 ; 表示カウンタ・インクリメント
st.b    r12, 0[r13] ; LED表示
reti
```

## 4.3.6 多重割り込み

; タイマ割り込みによりLEDをインクリメント点灯，またはデクリメント点灯します。  
 ; INTスイッチが押されるたびにインクリメント/デクリメントの切り替えをします。  
 ; INTスイッチの割り込みはタイマ割り込み処理ルーチンでのみ受け付け可能とします。  
 ; タイマ割り込み間隔は100 msに設定します。

; <使用レジスタ>

; r3 : スタック・アドレス  
 ; r11 : 作業用  
 ; r12 : LED点灯値  
 ; r13 : LEDアドレス  
 ; r14 : インクリメント/デクリメント切り替えフラグ  
 ; r20 : 作業用

```
.globl _intcm40
.globl start
.set led_adr, 0xffff006 ; LEDアドレス
.set stack_adr, 0x220000 ; スタック・アドレス

--割り込みハンドラの設定
.section "INTCM40"
jr _intcm40 ; タイマ割り込み処理へ
.section "INTP122"
jr _intp122 ; INTスイッチ割り込み処理へ

.text
start :
--カウント・クロックの設定 ;  $\phi = 20 \text{ MHz}$ 
st.b r0, TMC40[r0] ;  $\phi = \phi / 32$ 
--割り込み間隔の設定
mov 62500, r11 ;  $100 \text{ ms} = (\phi / 32) * (62500)$ 
st.h r11, CM40[r0] ; 値設定
--各データ初期化
mov r0, r12 ; LED点灯値初期化
mov led_adr, r13 ; LEDアドレス設定
st.b r12, 0[r13] ; LED初期化 (全消灯)
mov stack_adr, r3 ; スタック・アドレスの設定
mov r0, r14 ; インクリメント設定に初期化
--割り込み制御レジスタ・セット
mov 0x40, r11 ; 割り込み処理禁止, 割り込み優先順位0
st.b r11, P12IC2[r0] ; INTスイッチ割り込み設定
mov 0x07, r11 ; 割り込み処理許可, 割り込み優先順位7
st.b r11, CMIC40[r0] ; タイマ4割り込み設定
```

```

set1 7,      TMC40[r0]    ; タイマ4カウント開始
ei                          ; 割り込み許可
forever_lp :
  nop
  br    forever_lp

--INTスイッチ割り込み処理
_intp122 :
  notr14, r14              ; インクリメント/デクリメント・フラグの反転
  reti

--タイマ4割り込み処理
_intcm40 :
  --EIPC, EIPSWのスタックへの保存
  add  -8,      r3
  stsr 0,      r20
  st.w r20,    4[r3]
  stsr 1,      r20
  st.w r20,    0[r3]
  --INTスイッチ割り込み処理許可
  clr1 6,      P12IC2[r0] ; 割り込みマスク解除
  ei                          ; 割り込み処理許可
  --LED表示データ作成 / 表示
  cmp  r0,     r14          ; インクリメント/デクリメントの判断
  bne  _cm40_dec           ; デクリメントの場合
  add  1,      r12          ; 表示カウンタ・インクリメント
  br   _cm40_disp         ; 表示処理へ
_cm40_dec :
  sub  1,      r12          ; 表示カウンタ・デクリメント
_cm40_disp :
  st.b r12,    0[r13]       ; LED表示
  --INTスイッチ割り込み禁止
  di                          ; 割り込み禁止
  set1 6,      P12IC2[r0]   ; INTスイッチ割り込みマスク設定
  --EIPC, EIPSWのスタックへからの復帰
  ld.w 0[r3],   r20
  ldsr r20,    1
  ld.w 4[r3],   r20
  ldsr r20,    0
  add  8,      r3
  reti

```

## 4.3.7 メモリ間のDMA転送

; DMA機能を使用して、xx200000H番地から64 Kバイトのメモリをxx210000H番地へ  
; 転送する。

; <使用レジスタ>

; r10 : 作業用

; r11 : 作業用

```
.globl  _intdma0
.globl  forever_lp
.globl  start
.set    source_adr, 0x200000 ; 転送元アドレス
.set    desti_adr,  0x210000 ; 転送先アドレス

--割り込みハンドラの設定
.section "INTDMA0"
jr      _intdma0          ; INTDMA0 (DMA転送終了割り込み)
.text
start:
--DMA転送設定
--ソースおよびデスティネーションのアドレスの設定
movea hi (source_adr), r0, r11 ; ソース・アドレス (high) 設定
st.h   r11,   DSA0H[r0]
movea lo (source_adr), r0, r11 ; ソース・アドレス (low) 設定
st.h   r11,   DSA0L[r0]
movea hi (desti_adr),  r0, r11 ; デスティネーション・アドレス (high) 設定
st.h   r11,   DDA0H[r0]
movea lo (desti_adr),  r0, r11 ; デスティネーション・アドレス (low) 設定
st.h   r11,   DDA0L[r0]
--バイト転送数の設定
mov    0xFFFF, r11        ; 転送数 - 1を設定
st.h   r11,   DBC0[r0]
--アドレッシング・コントロール・レジスタの設定
--転送データ・サイズ: 8ビット, 転送元アドレスのカウント方向: インクリメント
--転送先のアドレスのカウント方向: インクリメント, 転送モード: シングルステップ・モード
--転送タイプ: 2サイクル転送
mov    0x04,   r11
st.h   r11,   DADC0[r0]
--DMA割り込み制御レジスタの設定
mov    0x7,    r11        ; 割り込み許可, 優先順位レベル7
st.b   r11,   DMAIC0[r0]
--DMAチャネル・コントロール・レジスタの設定
set1   0,     DCHC0[r0] ; DMA転送許可
```

```
set1  1,      DCHC0[r0]    ; DMA転送開始 (ソフトウェア・トリガ : オン)

--割り込み許可
ei                                ; 割り込み許可
forever_lp :
nop
br    forever_lp            ; 終了無限ループ

--DMA終了割り込み処理
_intdma0:
ld.b  DCHC0[r0], r10       ; 読み出しによりレジスタ・クリア
reti
```

## 4.3.8 UARTからメモリへのDMA転送

```

; SRAMデータを4 KバイトUART経由でコピーします。
; 転送元アドレス : xx200000H (SRAM)
; 転送先アドレス : xx210000H (SRAM)
; 転送元アドレスから1バイトずつUART1に転送します。
; UART1は、折り返しになっているので、送信後に受信完了となります。
; DMA0を使用し、受信データを転送先アドレスにコピーします。
; この場合、DMA0起動要因をUART1受信完了のタイミングに設定します。
; <使用レジスタ>
; r10 : 作業用
; r11 : 作業用
; r15 : UART送信完了フラグ
; r16 : 処理終了フラグ
; r20 : 転送元アドレス
; r29 : jarl命令使用時の戻り先番地

```

```

.globl _intdma0
.globl _intser1
.globl _intst1
.globl _intsr1
.globl send_lp
.globl send_1byte
.globl start
.globl forever_lp

```

```

.set source_adr, 0x200000 ; 転送元アドレス
.set desti_adr, 0x210000 ; 転送先アドレス
.set rxb1_adr, 0xffff0da ; 受信バッファ (RXB1) アドレス

```

--割り込みハンドラの設定

```

.section "INTSR1"
jr _intsr1 ; INTSR1 (UART1受信完了割り込み)
.section "INTST1"
jr _intst1 ; INTST1 (UART1送信完了割り込み)
.section "INTSER1"
jr _intser1 ; INTSER1 (UART1受信エラー割り込み)
.section "INTDMA0"
jr _intdma0 ; DMA転送完了割り込み

```

.text

start :

--検査用データ設定 (固定値55Hでフィルする)

```

mov source_adr, r20 ; ソース・アドレス

```

```

movea 0x55, r0,    r11    ; 設定データを固定値55Hとする

lp1 :
st.b  r11,    0[r20]    ; ソース・アドレス番地に設定データを書き込む
add   1,  r20          ; ソース・アドレスをインクリメント
cmp   0x201000, r20     ; 終了アドレス?
jnz   lp1            ; 終了アドレスでなければループ

--DMA転送設定
--ソース・アドレスおよびデスティネーション・アドレスの設定
movea hi ( rxb1_addr ), r0, r11 ; ソース・アドレス (high) 設定
st.h  r11,    DSA0H[r0]
movea lo ( rxb1_addr ), r0, r11 ; ソース・アドレス (low) 設定
st.h  r11,    DSA0L[r0]
movea hi ( desti_addr ), r0, r11 ; デスティネーション・アドレス (high) 設定
st.h  r11,    DDA0H[r0]
movea lo ( desti_addr ), r0, r11 ; デスティネーション・アドレス (low) 設定
st.h  r11,    DDA0L[r0]
--バイト転送数の設定
mov   0x0fff, r11      ; 転送数 - 1 を設定
st.h  r11,    DBC0[r0]
--アドレッシング・コントロール・レジスタの設定
--転送データ・サイズ：8ビット，転送元アドレスのカウント方向：固定
--転送先のアドレスのカウント方向：インクリメント，転送モード：シングル・モード
--転送タイプ：2サイクル転送
mov   0x0080, r11
st.h  r11,    DADC0[r0]
--DMAトリガ要因レジスタの設定
mov   0x17,   r11      --DMA転送の起動要因をINTSR1に設定
st.b  r11,    DTFR0[r0]
--DMA割り込み制御レジスタの設定
mov   0x7,    r11      ; 割り込み許可，優先順位レベル7
st.b  r11,    DMAIC0[r0]
--アシンクロナス・シリアス・インタフェース・モード・レジスタの設定
--送受信許可，パリティなし，データ長：8ビット，ストップ・ビット：1ビット
--シリアル・クロック：ボー・レート・ジェネレータ出力
mov   0xc8,   r11
st.b  r11,    ASIM10[r0]
st.b  r0,     ASIM11[r0] ; 拡張ビット動作禁止
--ボー・レート・ジェネレータの設定
--9600 bpsに設定（システム・クロック：10 MHz）
--ボー・レート・ジェネレータ・コンペア・レジスタ（タイマ・カウント値）の設定
mov   16,    r11

```

```

st.b  r11,    BRGC1
--ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ（プリスケラ設定値）の設定
mov   0x80,   r11
st.b  r11,    BPRM1
--UART1受信エラー割り込み制御レジスタの設定
mov   0x7,    r11          ; 割り込み許可，優先順位レベル7
st.b  r11,    SEIC1[r0]
--UART1受信完了割り込み制御レジスタの設定
mov   0x47,   r11          ; 割り込み許可，優先順位レベル7
st.b  r11,    SRIC1[r0]
--UART1送信完了割り込み制御レジスタの設定
mov   0x7,    r11          ; 割り込み許可，優先順位レベル7
st.b  r11,    STIC1[r0]
--DMAチャネル・コントロール・レジスタの設定
st.b  r0,     DCHC0[r0]
set1  0,      DCHC0[r0]   ; DMA転送許可
--各制御データ初期設定
mov   0,      r15          ; UART1送信待ち
mov   0,      r16          ; 送信終了フラグOFF
mov   source_adr, r20     ; 送信元メモリ・アドレス
ei
; 割り込み許可

--UART1送信完了待ち
send_lp :
cmp   0,      r15          ; UART1送信チェック
bnz  send_lp          ; 送信完了になるまでループ

--UART1転送処理
jarl  send_1byte, r29      ; 1バイト転送
cmp   r0,     r16          ; 転送処理終了？
bz   send_lp          ; 終了でない場合，送信完了を待つ

--終了無限ループ
forever_lp :
nop
nop
nop
br   forever_lp

--ソース・アドレスのデータを1バイト送信する処理
send_1byte :
tst1  7, DCHC0[r0]        ; DMA転送終了？
bnz  sd_1byte_end        ; 転送終了なら処理終了

```

```
tst1    7, ASIS1[r0]          ; UART1に送信可能？
bnz     sd_1byte_exit        ; 送信不可なら処理終了
ld.b    0[r20], r12           ; 送信元データのロード
add     1, r20                ; 送信データ・アドレスのインクリメント
mov     1, r15                ; 次の送信を禁止する
st.b    r12, TXS1L[r0]       ; データをUART1に送信

sd_1byte_exit :
    jmp  [r29]
sd_1byte_end :
    mov  1, r16                ; 送信終了フラグON
    jmp  [r29]

--送信完了割り込み
_intst1 :
    mov  0, r15                ; 次のデータ送信許可
    reti

--受信完了割り込み
_intsr1 :
    nop
    reti

--受信エラー割り込み
_intser1 :
    ld.b RXB1L[r0], r13        ; データの読み捨て
    sub  1, r20                ; 送信データ・アドレスのデクリメント
    mov  0, r15                ; 次のデータ送信許可
    reti

--DMA転送完了割り込み
_intdma0 :
    nop
    reti
```

## 4.3.9 スイッチ入力によりモータ回転数を制御

; ポート11 (トグル・スイッチ) の状態をモータ回転制御設定値としてRPU出力  
; によりモータを回転します。

; <使用レジスタ>

; r10 : 作業用

; r11 : モータ回転設定値

; r20 : トグル・スイッチの値

```
.globl start
.text
start :
    mov    0x0,    r20        ; 前回のトグル・スイッチをモータ停止状態に設定
loop :
    ld.bu  P11[r0], r11      ; トグル・スイッチの内容をアンサインドで入力
    cmp    r11,    r20      ; 前回のトグル・スイッチと比較
    bne    time_set        ; 前回と違う値ならば設定処理へ
    br     loop            ; 繰り返し
time_set :
    clr1   7,      TMC15[r0] ; タイマ停止
    mov    r11,    r20      ; トグル・スイッチの内容更新
    cmp    r0,    r20      ; トグル・スイッチの値と0を比較
    be     time_dis        ; トグル・スイッチの値が0ならば出力禁止に設定
    shl8,  r11          ; 設定値作成 ( 8 bit->16 bit )
    --コンペア・レジスタ設定 ( 出力lowの間が長ければ, モータ回転スピード・アップ)
    mov    1,      r10
    st.h   r10,    CC150[r0] ; lowに変化させるカウント
    st.h   r11,    CC151[r0] ; hiに変化させるカウント
    --TOC15レジスタの設定
    mov    0x20,   r10
    st.b   r10,    TOC15[r0] ; アクティブ・レベルlow, タイマ出力許可
    --TMU15レジスタの設定
    mov    0x30,   r10
    st.h   r10,    TUM15[r0] ; コンペア動作に設定
    --TMC15レジスタの設定
    mov    0x08,   r10
    st.b   r10,    TMC15[r0] ; カウント・クロックの設定
    --タイマ・スタート
    set1   7,      TMC15[r0] ; 出力開始
    br     loop            ; 繰り返し
time_dis :
    --タイマ出力の禁止 : インアクティブ・レベル出力に設定し, hi固定出力に設定 ( 初期状態に戻す )
    st.b   r0,    TOC15[r0] ; タイマ出力禁止
    br     loop            ; 繰り返し
```

## 4.4 TB-V850Eの仕様

## 4.4.1 仕様一覧

表4-3 TB-V850Eの仕様一覧

項目	仕様概要
V850E/MS1	内部システム・クロック = 最大40 MHz 水晶発振器をX1端子に接続 (X2端子はオープン) ・2種類の水晶発振器用ソケットを実装 ・ジャンパ・スイッチで選択して接続 ・内部システム・クロック ( $\phi$ ) = $5 \times f_{xx}$ 動作モードはディップ・スイッチで設定
EPROM	容量 128 Kバイト 使用ROM $\mu$ PD27C1001相当品 $\times 1$ つ
ページROM	容量 512 Kバイト 使用ROM HM27C4000G相当品 $\times 1$ つ
SRAM	容量 256 Kバイト 使用SRAM $\mu$ PD431008LE-20 $\times 2$ つ
DRAM	容量 2 Mバイト 使用DRAM $\mu$ PD42S18160G5-60-7JF $\times 1$ つ
EDO DRAM	容量 2 Mバイト 使用DRAM $\mu$ PD42S18165G5-60-7F $\times 1$ つ
スイッチ	トグル・スイッチ $\times 8$ 押しボタン・スイッチ $\times 3$ NMIスイッチ $\times 1$ INTスイッチ $\times 1$ リセット・スイッチ $\times 1$
LED	7セグメントLED $\times 5$ 発光ダイオード $\times 9$ 汎用ランプ (赤色) $\times 8$ パワー・ランプ $\times 1$ 7セグメントLEDの表示はソフトウェアによる表示とパルス・カウンタ表示をスイッチで切り替え可
正弦波発振器	VCOによる発振器 周波数 100 Hz ~ 20 kHz可変 (ロータリ・スイッチ, ボリューム) 振幅 5 VP-P固定 ANI0に入力
波形整形	正弦波発振器の出力を方形波に整形してINTCに入力
アナログ出力	ボリュームによる電圧レベルをANI1に入力 電圧レベル 0-5 Vまで
光センサ	ANI2に入力
RS-232-Cインタフェース	V850E/MS1内蔵UART1を使用
パルス・カウンタ	正弦波発振器の周波数をカウント 10進カウンタを5段接続 カウンタ出力は7セグメントLEDに表示可

## 4.4.2 回路図

TB-V850Eの回路図を図4 - 44から図4 - 49に示します。

### (1) CPUとLED, トグル・スイッチ

主にV850E/MS1, 発振器, モード設定スイッチ, トグル・スイッチ×8, LED×8, INTスイッチで構成されています。

### (2) メモリ

EPROM, SRAM, 高速ページDRAM, EDO DRAM, ページROMで構成されています。

### (3) デバイス制御回路

主にEPF10K10QC208-3, EPC1PC8, 7セグメントLED切り替えスイッチ, DCモータ, 起動スイッチで構成されています。

EPF10K10QC208-3 : FPGA ( Field Programmable Gate Array )

CPUのバス・インタフェース関連の各信号と, 正弦波発振器からの出力信号を入力し, パルス・カウントとLEDの制御を行っています。

EPC1PC8 : シリアルEEPROM

FPGAへの書き込みデータが格納されています。

### (4) フラッシュ・ライタ・インタフェース

主にパワーオン・リセット回路, フラッシュ・ライタ・インタフェース, ロジック・アナライザ用コネクタで構成されています。

TL7705A : 電源監視

リセット発生機能に使用しています。

### (5) LED制御回路

主に7セグメントLED×5と74FCT16244×3, MAX232で構成されています。

74FCT16244 : 16ビット・バッファ

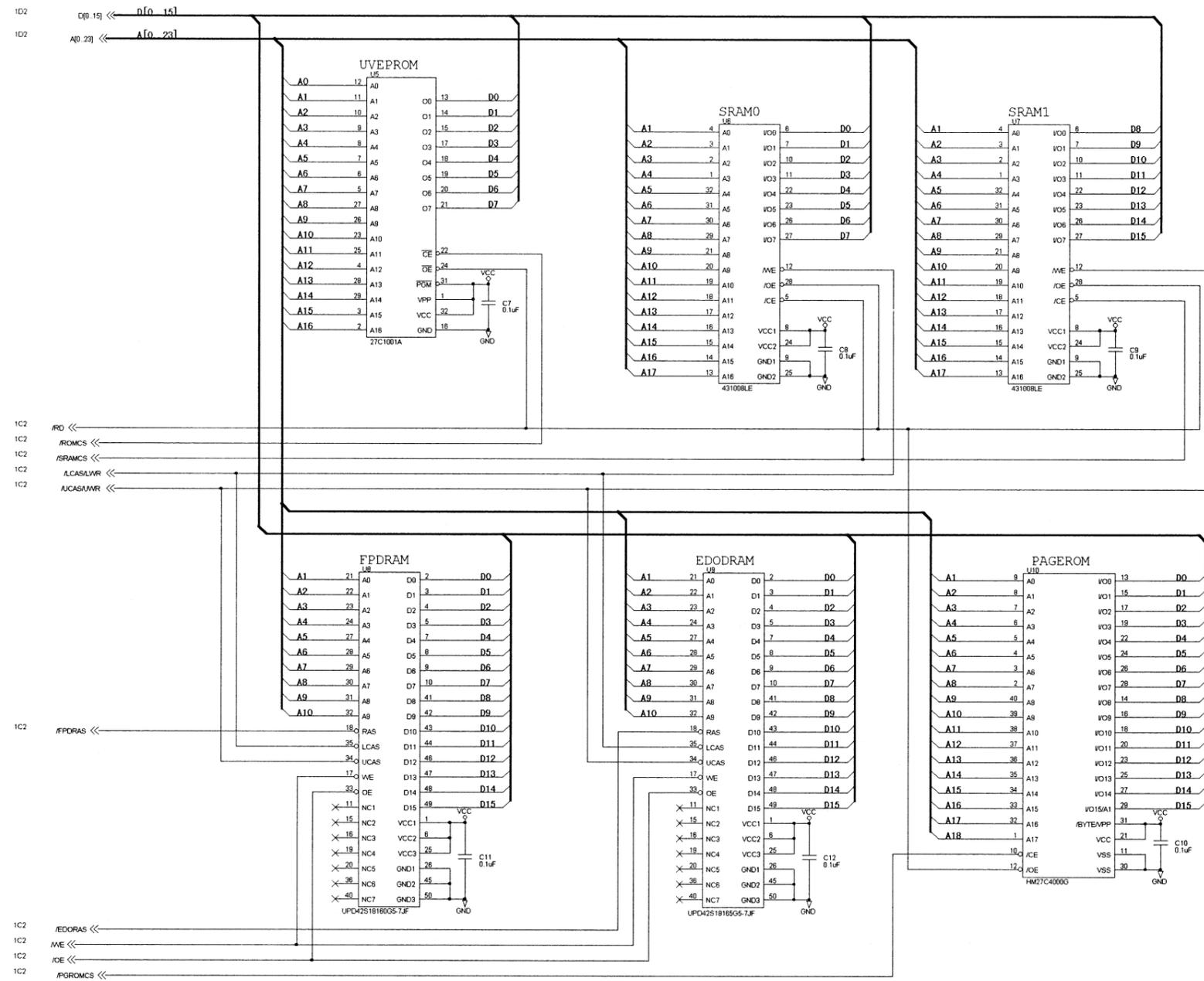
MAX232 : RS232ドライバ/レシーバ

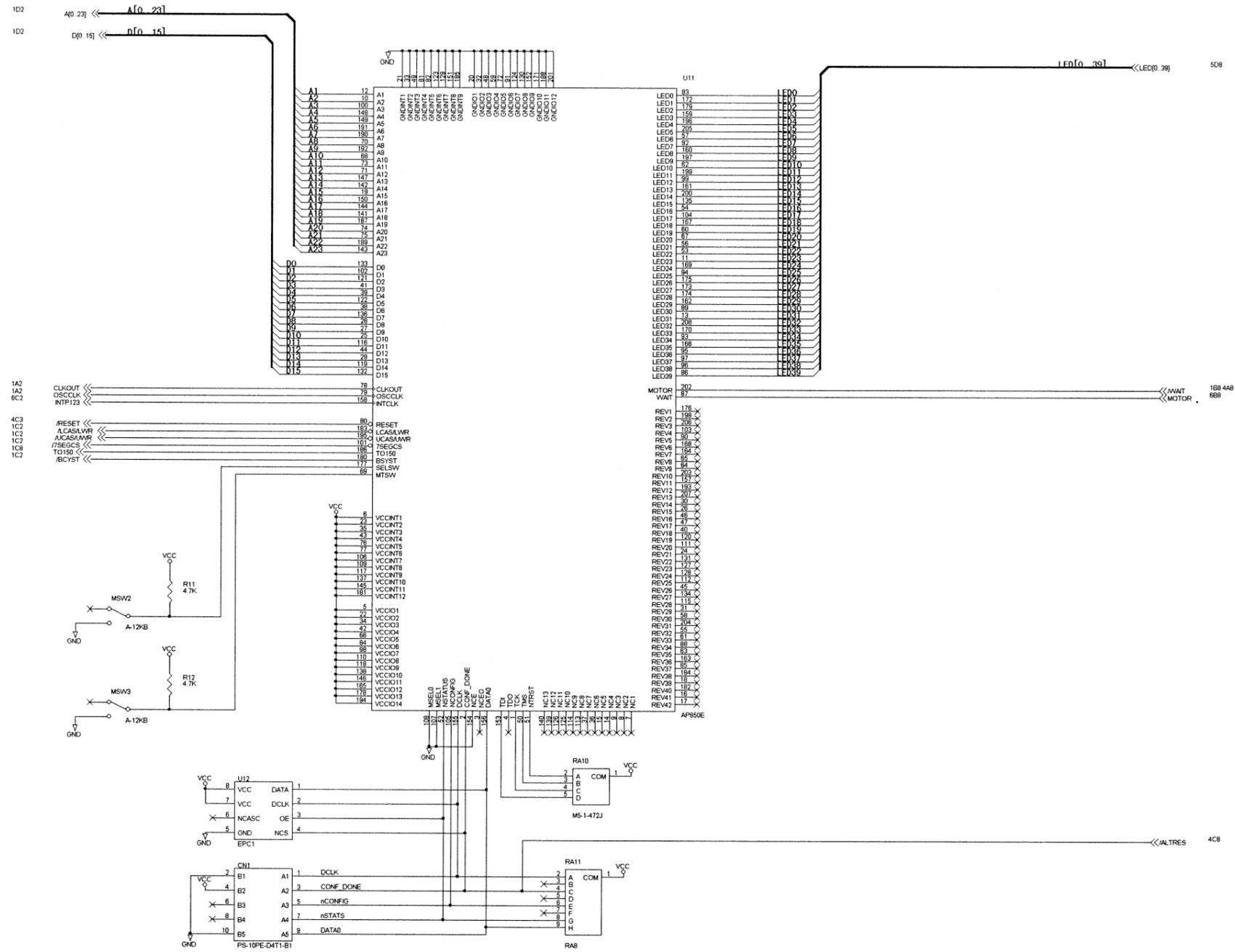
### (6) 入出力回路

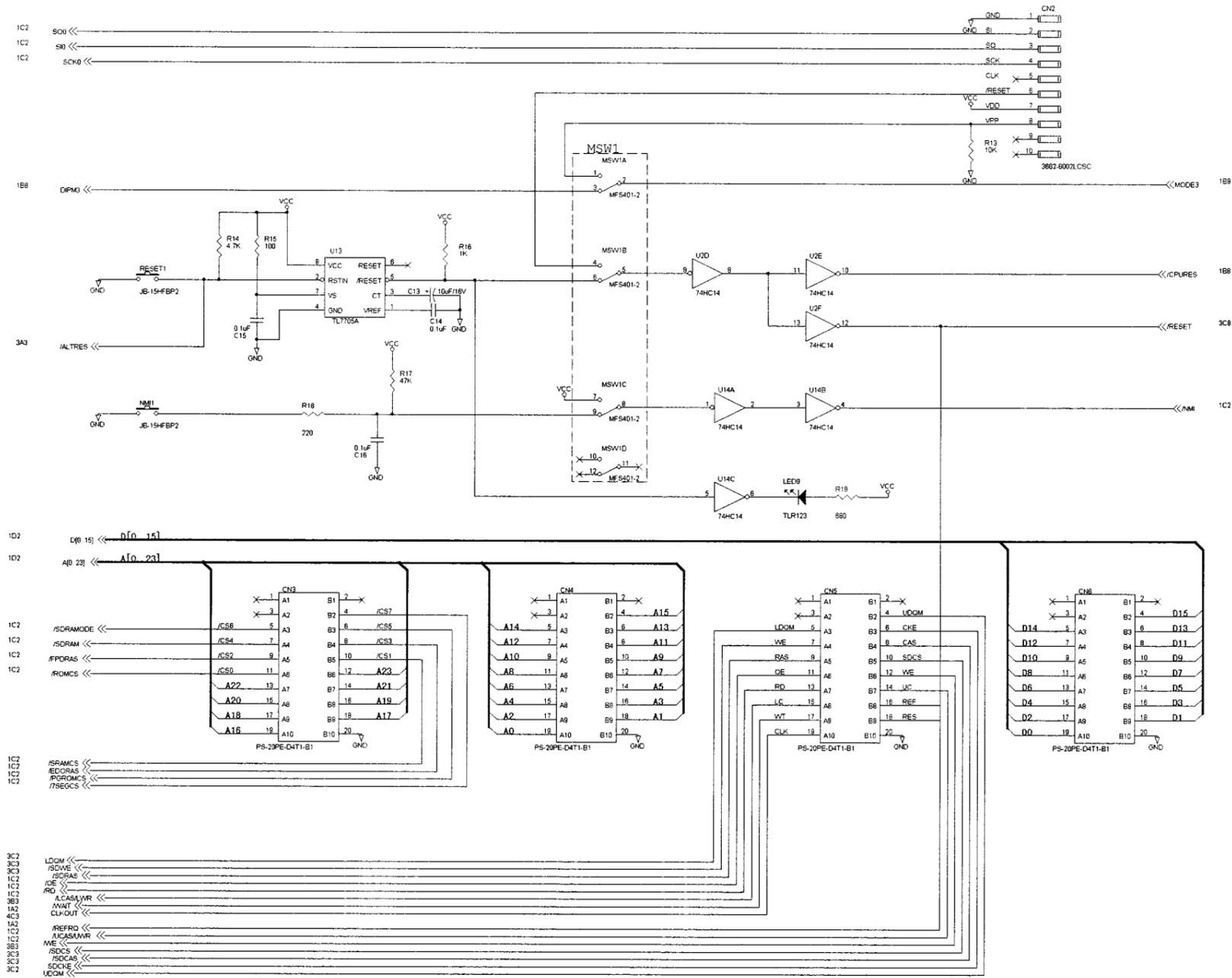
主にアナログ関連のアンブ部品と光センサ, DCモータ用コネクタ, 電源供給コネクタで構成されています。

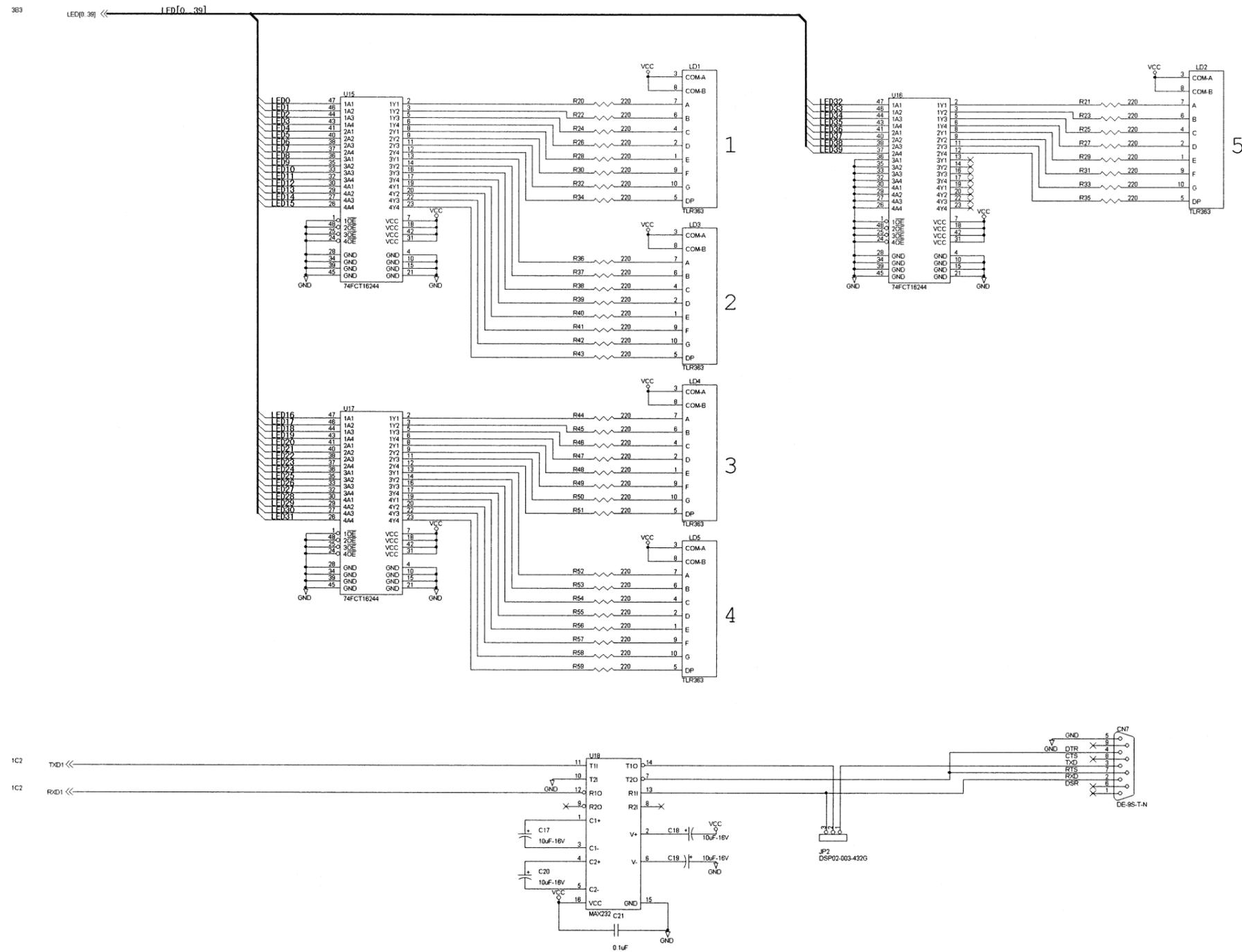
(メモ)

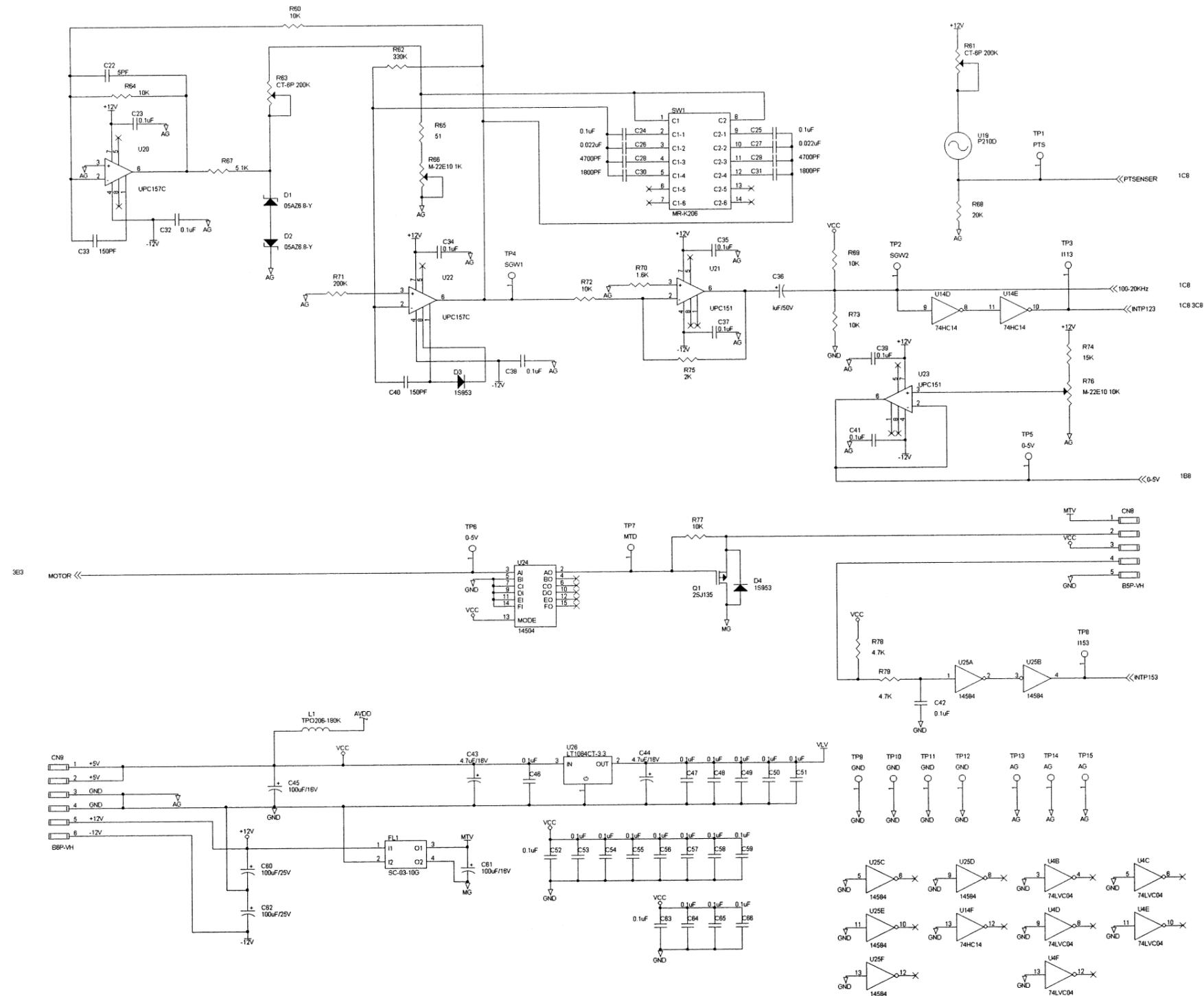












### 4.4.3 FPGAリスト

TB-V850Eでは1つのFPGA ( Field Programmable Gate Array ) が使用されています。FPGAへの書き込みデータは、リセット中にシリアルEEPROMまたはコネクタ ( ディバグ時に使用 ) からロードされます。

以下にFPGAの機能とリストを示します。

使用デバイス : EPF10K10QC208-3

回路図上の部品番号 : U12

回路図 : 図4 - 46 SDRAM & RS-232-C

機能 : 正弦波発振器のパルス・カウントと7セグメントLEDの制御

## リスト4 - 1 7セグメントLED制御 (1/6)

```
SUBDESIGNfpga (  
    clkout          : INPUT;  
    reset           : INPUT;  
    bcyst           : INPUT;  
    a[23..1]        : INPUT;  
    d[15..0]        : INPUT;  
    lcas            : INPUT;  
    ucas            : INPUT;  
    intclk          : INPUT;  
    oscclk          : INPUT;  
    7segcs          : INPUT;  
    selsw           : INPUT;  
    to150           : INPUT;  
    mtsw            : INPUT;  
    wait            : OUTPUT;  
    led[39..0]      : OUTPUT;  
    motor           : OUTPUT;  
)  
VARIABLE  
    cs[5..1]        : NODE;  
    cpld[39..0]     : NODE;  
    ctld[39..0]     : NODE;  
    secres          : DFF;  
    lca[3..0]       : DFF;  
    lcb[3..0]       : DFF;  
    lcc[3..0]       : DFF;  
    lcd[3..0]       : DFF;  
    lce[3..0]       : DFF;  
    lcad[3..0]      : DFF;  
    lcbd[3..0]      : DFF;  
    lccd[3..0]      : DFF;  
    lcdd[3..0]      : DFF;  
    lced[3..0]      : DFF;  
    coa             : NODE;  
    cob             : NODE;  
    coc             : NODE;  
    cod             : NODE;  
    ltca[3..0]      : NODE;  
    ltcb[3..0]      : NODE;  
    ltcc[3..0]      : NODE;  
    ltcd[3..0]      : NODE;  
    ltce[3..0]      : NODE;  
    sec[23..0]      : DFF;  
    onesec          : NODE;
```

## リスト4 - 1 7セグメントLED制御 (2/6)

```
BEGIN

wait          = vcc;

!cs1          =!7segcs&!a3&!a2&!a1&!lcas&ucas
              & a23&a22&a21&!a20;

!cs2          =!7segcs&!a3&!a2& a1&!lcas&ucas
              & a23&a22&a21&!a20;

!cs3          =!7segcs&!a3& a2&!a1&!lcas&ucas
              & a23&a22&a21&!a20;

!cs4          =!7segcs&!a3& a2& a1&!lcas&ucas
              & a23&a22&a21&!a20;

!cs5          =!7segcs& a3&!a2&!a1&!lcas&ucas
              & a23&a22&a21&!a20;

cpld0         =DFF ( d0,cs1,reset,vcc ) ;
cpld1         =DFF ( d1,cs1,reset,vcc ) ;
cpld2         =DFF ( d2,cs1,reset,vcc ) ;
cpld3         =DFF ( d3,cs1,reset,vcc ) ;
cpld4         =DFF ( d4,cs1,reset,vcc ) ;
cpld5         =DFF ( d5,cs1,reset,vcc ) ;
cpld6         =DFF ( d6,cs1,reset,vcc ) ;
cpld7         =DFF ( d7,cs1,reset,vcc ) ;

cpld8         =DFF ( d0,cs2,reset,vcc ) ;
cpld9         =DFF ( d1,cs2,reset,vcc ) ;
cpld10        =DFF ( d2,cs2,reset,vcc ) ;
cpld11        =DFF ( d3,cs2,reset,vcc ) ;
cpld12        =DFF ( d4,cs2,reset,vcc ) ;
cpld13        =DFF ( d5,cs2,reset,vcc ) ;
cpld14        =DFF ( d6,cs2,reset,vcc ) ;
cpld15        =DFF ( d7,cs2,reset,vcc ) ;

cpld16        =DFF ( d0,cs3,reset,vcc ) ;
cpld17        =DFF ( d1,cs3,reset,vcc ) ;
cpld18        =DFF ( d2,cs3,reset,vcc ) ;
cpld19        =DFF ( d3,cs3,reset,vcc ) ;
cpld20        =DFF ( d4,cs3,reset,vcc ) ;
cpld21        =DFF ( d5,cs3,reset,vcc ) ;
cpld22        =DFF ( d6,cs3,reset,vcc ) ;
cpld23        =DFF ( d7,cs3,reset,vcc ) ;
```

## リスト4 - 1 7セグメントLED制御 (3/6)

```

cpld24      =DFF ( d0,cs4,reset,vcc ) ;
cpld25      =DFF ( d1,cs4,reset,vcc ) ;
cpld26      =DFF ( d2,cs4,reset,vcc ) ;
cpld27      =DFF ( d3,cs4,reset,vcc ) ;
cpld28      =DFF ( d4,cs4,reset,vcc ) ;
cpld29      =DFF ( d5,cs4,reset,vcc ) ;
cpld30      =DFF ( d6,cs4,reset,vcc ) ;
cpld31      =DFF ( d7,cs4,reset,vcc ) ;

cpld32      =DFF ( d0,cs5,reset,vcc ) ;
cpld33      =DFF ( d1,cs5,reset,vcc ) ;
cpld34      =DFF ( d2,cs5,reset,vcc ) ;
cpld35      =DFF ( d3,cs5,reset,vcc ) ;
cpld36      =DFF ( d4,cs5,reset,vcc ) ;
cpld37      =DFF ( d5,cs5,reset,vcc ) ;
cpld38      =DFF ( d6,cs5,reset,vcc ) ;
cpld39      =DFF ( d7,cs5,reset,vcc ) ;

secres.clk  =oscclk;
secres      =onesec;

lca[].clk   =intclk;
lca[].clrn  =!secres;
lca[]       = ( lca[]+1 ) &! ( lca[]==9 ) ;
!coa        = ( lca[]==9 ) ;
lcad[].clk  =!oscclk;
lcad[]      =lca[];

lcb[].clk   =coa;
lcb[].clrn  =!secres;
lcb[]       = ( lcb[]+1 ) &! ( lcb[]==9 ) ;
!cob        = ( lcb[]==9 ) ;
lcbd[].clk  =!oscclk;
lcbd[]      =lcb[];

lcc[].clk   =cob;
lcc[].clrn  =!secres;
lcc[]       = ( lcc[]+1 ) &! ( lcc[]==9 ) ;
!coc        = ( lcc[]==9 ) ;
lccd[].clk  =!oscclk;
lccd[]      =lcc[];

```

## リスト4-1 7セグメントLED制御 (4/6)

```
lcd[] .clk      =coc;
lcd[] .clrn    =!secres;
lcd[]         = ( lcd[]+1 ) &! ( lcd[]==9 ) ;
!cod          = ( lcd[]==9 ) ;
lcdd[] .clk    =!oscclk;
lcdd[]        =lcd[];

lce[] .clk     =cod;
lce[] .clrn   =!secres;
lce[]        = ( lce[]+1 ) &! ( lce[]==9 ) ;
lced[] .clk   =!oscclk;
lced[]       =lce[];

ltca3        =DFF ( lcad3, onesecond, reset, vcc ) ;
ltca2        =DFF ( lcad2, onesecond, reset, vcc ) ;
ltca1        =DFF ( lcad1, onesecond, reset, vcc ) ;
ltca0        =DFF ( lcad0, onesecond, reset, vcc ) ;

ltcb3        =DFF ( lcbd3, onesecond, reset, vcc ) ;
ltcb2        =DFF ( lcbd2, onesecond, reset, vcc ) ;
ltcb1        =DFF ( lcbd1, onesecond, reset, vcc ) ;
ltcb0        =DFF ( lcbd0, onesecond, reset, vcc ) ;

ltcc3        =DFF ( lccd3, onesecond, reset, vcc ) ;
ltcc2        =DFF ( lccd2, onesecond, reset, vcc ) ;
ltcc1        =DFF ( lccd1, onesecond, reset, vcc ) ;
ltcc0        =DFF ( lccd0, onesecond, reset, vcc ) ;

ltcd3        =DFF ( lcdd3, onesecond, reset, vcc ) ;
ltcd2        =DFF ( lcdd2, onesecond, reset, vcc ) ;
ltcd1        =DFF ( lcdd1, onesecond, reset, vcc ) ;
ltcd0        =DFF ( lcdd0, onesecond, reset, vcc ) ;

ltce3        =DFF ( lced3, onesecond, reset, vcc ) ;
ltce2        =DFF ( lced2, onesecond, reset, vcc ) ;
ltce1        =DFF ( lced1, onesecond, reset, vcc ) ;
ltce0        =DFF ( lced0, onesecond, reset, vcc ) ;
```

リスト4-1 7セグメントLED制御 (5/6)

TABLE

```

ltca[3..0] => ctld0, ctld1, ctld2, ctld3, ctld4, ctld5, ctld6;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 0, 1, 1, 0, 0, 0, 0;
H"2"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;

```

END TABLE;

TABLE

```

ltcb[3..0] => ctld8, ctld9, ctld10, ctld11, ctld12, ctld13, ctld14;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 0, 1, 1, 0, 0, 0, 0;
H"2"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;

```

END TABLE;

TABLE

```

ltcc[3..0] => ctld16, ctld17, ctld18, ctld19, ctld20, ctld21, ctld22;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 0, 1, 1, 0, 0, 0, 0;
H"2"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;

```

END TABLE;

リスト4-1 7セグメントLED制御 (6/6)

```

TABLE
ltcd[3..0] => ctld24, ctld25, ctld26, ctld27, ctld28, ctld29, ctld30;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 0, 1, 1, 0, 0, 0, 0;
H"2"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;
END TABLE;

TABLE
ltce[3..0] => ctld32, ctld33, ctld34, ctld35, ctld36, ctld37, ctld38;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;
END TABLE;

ctld7      =GND;
ctld15     =GND;
ctld23     =GND;
ctld31     =GND;
ctld39     =GND;

!led[39..0] =cpld[39..0]& selsw
            #ctld[39..0]&!selsw;

sec[].clk  =oscclk;-- 4MHz
sec[]      = (sec[]+1) &! (sec[]==4000000) ;
onesec     = (sec[]==4000000) ;

motor      =mtsw&to150;

END;

```

〔メモ〕

# 付録 総合索引

## 付. 1 50音で始まる語句の索引

### 【あ行】

アプリケーション例 ... 73

### 【か行】

外部バス・インタフェースの接続 ... 76

外部割り込み入力端子の接続 ... 78

外部割り込みモード・レジスタ0 ... 96

外部割り込みモード・レジスタ1 ... 96

外部割り込みモード・レジスタ3 ... 96

外部割り込みモード・レジスタ6 ... 97

回路図 ... 115

クロック・コントロール・レジスタ ... 97

高速ページDRAMとの接続 ... 33

### 【さ行】

スイッチ入力とLED出力 ... 103

### 【た行】

タイマ割り込み ... 104

多重割り込み ... 105

通信 / プリントICとの接続 ... 67

低速PROMとの接続 ... 53

データ・ウェイト・コントロール・レジスタ1, 2 ... 88

### 【な行】

内部レジスタの設定 ... 87

### 【は行】

バス・インタフェース ... 87

バス・インタフェース接続回路例 ... 19, 45

バス・サイクル・コントロール・レジスタ ... 89

バス・サイクル・タイプ・コンフィギュレーション・  
レジスタ ... 87

バス・サイズ・コンフィギュレーション・レジスタ  
... 88

プログラム例 ... 98

ページROMコンフィギュレーション・レジスタ ... 89

ポート0モード・コントロール・レジスタ ... 92

ポート0モード・レジスタ ... 92

ポート2モード・コントロール・レジスタ ... 93

ポート2モード・レジスタ ... 93

ポート3モード・コントロール・レジスタ ... 93

ポート3モード・レジスタ ... 93

ポート8モード・コントロール・レジスタ ... 94

ポート9モード・コントロール・レジスタ ... 94

ポート10モード・コントロール・レジスタ ... 95

ポート11モード・コントロール・レジスタ ... 95

ポート11モード・レジスタ ... 95

ポート12モード・コントロール・レジスタ ... 96

ポート機能の接続 ... 78

ポート / コントロール選択レジスタ0 ... 92

ポート / コントロール選択レジスタ3 ... 94

ポート / コントロール選択レジスタ8 ... 94

ポート / コントロール選択レジスタ10 ... 95

### 【ま行】

メモリ・アクセス ... 102

メモリ拡張モード・レジスタ ... 87

メモリ・フィル ... 103

### 【ら行】

リフレッシュ・ウェイト・コントロール・レジスタ  
... 91

リフレッシュ・コントロール・レジスタ0, 1 ... 91

リフレッシュ・コントロール・レジスタ2, 3 ... 91

## 付.2 アルファベットで始まる語句の索引

- 【A】**  
 ADCの接続 ... 81
- 【B】**  
 BCC ... 89  
 BCT ... 87  
 BSC ... 88
- 【C】**  
 CKC ... 97
- 【D】**  
 DIMMとの接続 ... 65  
 DRAMコンフィギュレーション・レジスタ0 ... 90  
 DRAMコンフィギュレーション・レジスタ1 ... 90  
 DRAMコンフィギュレーション・レジスタ2,3 ... 90  
 DRAMタイプ・コンフィギュレーション・レジスタ  
 ... 89  
 DRC0 ... 90  
 DRC1 ... 90  
 DRC2,3 ... 90  
 DTC ... 89  
 DWC1,2 ... 88
- 【E】**  
 EDO DRAMとの接続 ... 40
- 【F】**  
 FPGAリスト ... 129
- 【I】**  
 INTM0 ... 96  
 INTM1 ... 96  
 INTM3 ... 96  
 INTM6 ... 97
- 【M】**  
 MM ... 87
- 【P】**  
 PCS0 ... 92  
 PCS3 ... 94  
 PCS8 ... 94  
 PCS10 ... 95  
 PM0 ... 92  
 PM2 ... 93  
 PM3 ... 93  
 PM11 ... 95  
 PMC0 ... 92  
 PMC2 ... 93  
 PMC3 ... 93  
 PMC8 ... 94  
 PMC9 ... 94  
 PMC10 ... 95  
 PMC11 ... 95  
 PMC12 ... 96  
 PRC ... 89  
 PROMとの接続 ... 30
- 【R】**  
 RFC0,1 ... 91  
 RFC2,3 ... 91  
 RPUの接続 ... 80  
 RWC ... 91
- 【S】**  
 SIMMとの接続 ... 56  
 SRAMとの接続 ... 19
- 【T】**  
 TB-V850E ... 73  
 TB-V850Eの仕様 ... 114  
 TB-V850Eのボード構成図 ... 74  
 TB-V850Eのメモリ・マップ ... 75
- 【U】**  
 UARTの接続 ... 79
- 【その他】**  
 16ビットSRAMとの接続 ... 45

(メモ)

---

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107,  
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,  
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111,  
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586,  
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

## アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V850E/MS1 アプリケーション・ノート(暫定) ハードウェア編  
(U14214JJ1V0ANJ1(第1版))

[お名前など](さしつかえのない範囲で)

御社名(学校名, その他) ( )  
ご住所 ( )  
お電話番号 ( )  
お仕事の内容 ( )  
お名前 ( )

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他( )					
( )					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

4. ご意見, ご要望

5. このドキュメントをお届けしたのは  
NEC販売員, 特約店販売員, その他 ( )

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス  
半導体テクニカルホットライン  
FAX : (044) 435-9608

2000.6