

V850E2/MN4

R01AN0922JJ0100

Rev.1.00

2012.01.13

タイマ・アレイ・ユニット制御編

要旨

本アプリケーションノートは、16ビット・タイマ・アレイ・ユニット A (TAUA) と 32ビット・タイマ・アレイ・ユニット J (TAUJ) 機能の設定方法、およびサンプルコードの動作概要や使用方法を説明したものです。サンプルコードでは、TAUA 側で PWM 信号を発生させて、TAUJ 側で入力信号として PWM 信号の幅を測定します。

動作確認デバイス

V850E2/MN4 マイクロコントローラ

目次

1. 概要	2
2. 利用環境	3
3. ソフトウェアについて	4
4. アプリケーション例	5

1. 概要

このアプリケーションノートでは、16ビットのTAUA（タイマ・アレイ・ユニットA）および32ビットのTAUJ（タイマ・アレイ・ユニットJ）の使用例を示しています。

TAUA側では、TAUA1のチャンネル0はマスタ・チャンネル、チャンネル1はスレーブ・チャンネルとしてチャンネル連動動作させ、TAUA1TOUT1端子からPWM信号を出力させます。TAUJ側では、TAUJ0はチャンネル単体動作により、TAUA側が出力したPWM信号幅を測定します。

各処理の詳細については4章で説明します。

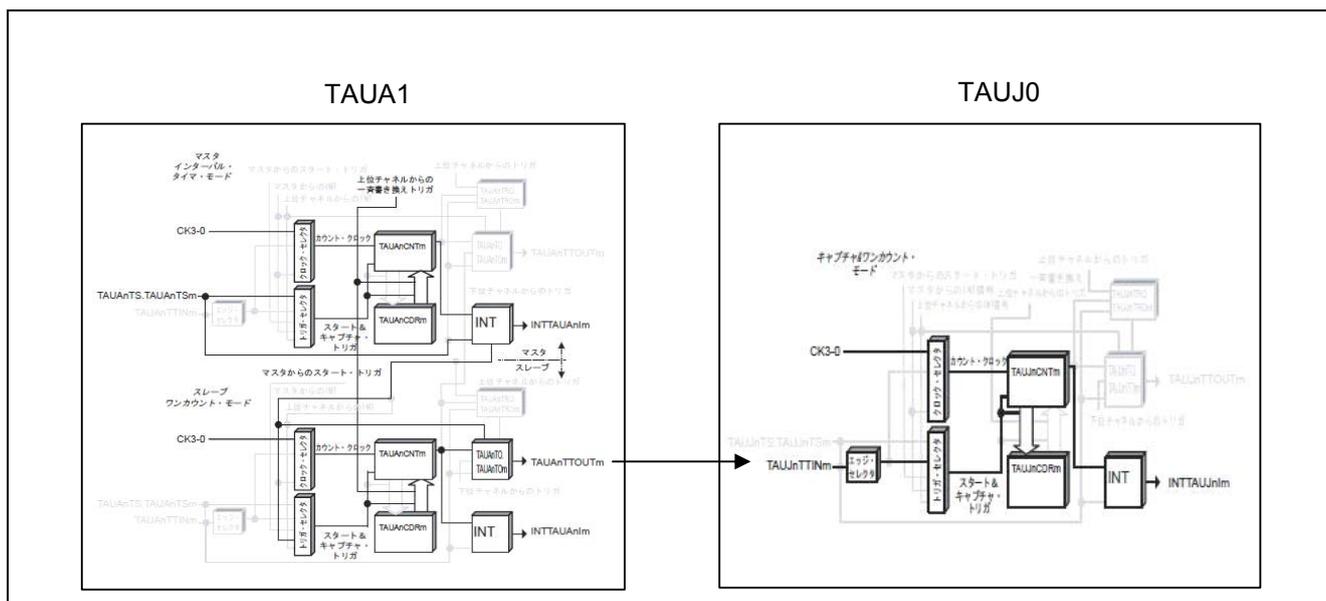


図 1.1 TAU のブロック図

1.1 初期化

汎用レジスタや機能端子などの初期化処理を行います。

<ポートの設定>

- ポート n・ファンクション・コントロール・エクспанション・レジスタ (PFCE_n)
- ポート n・ファンクション・コントロール・レジスタ (PFC_n)
- ポート n・モード・コントロール・レジスタ (PMC_n)
- ポート n・モード・レジスタ (PM_n)

1.2 TAUA の設定

TAUA はチャンネル連動動作、PWM 信号出力機能に設定しています。TAUA1 のチャンネル0はマスタ・チャンネルとして、インターバル・モードに設定します。チャンネル1はスレーブ・チャンネルとして、ワンカウント・モードに設定します。詳細は4.2節を参照してください。

1.3 TAUJ の設定

TAUJ はチャンネル単体動作、信号幅測定機能に設定しています。TAUJ0 のチャンネル0はキャプチャ&ワンカウント・モードに設定します。詳細は4.3節を参照してください。

2. 利用環境

この章では、このサンプルコードで使用する場合の回路図および利用環境を説明します。

2.1 回路図

回路図の詳細は V850E2/MN4 ターゲット・ボード QB-V850E2MN4DUAL-TB ユーザーズマニュアル (R20UT0683XJ)を参照してください。

P3_1 は TAUA1TTOUT1 機能として PWM 信号を出力、P2_1 は TAUJ0TTIN0 機能として信号入力端子として動作しています。P3_1 は P2_1 と接続してください。

2.2 開発環境

サンプルコードを動作させるために、次の開発ツールをインストールする必要があります。

- **CubeSuite+**

ルネサスエレクトロニクス社製統合開発環境 CubeSuite+は、コーディング、アセンブル/コンパイル、エミュレータやシミュレータを使ったデバッグ、フラッシュプログラミング等のお客様のアプリケーション開発に必要なあらゆるソフトウェア開発ツールをシームレスかつ簡単に操作することができます。

- **MINICUBE**

ルネサスエレクトロニクス社製 JTAG 接続方式の汎用型インサーキットエミュレータです。実プロセッサをオンボードの状態デバッグでき、透過性の高い安定したエミュレーション機能を提供しています。

MINICUBE と TB ボードを接続するには、変換アダプタが必要です。

3. ソフトウェアについて

この章では、サンプルコードのファイル構成について説明します。

3.1 ファイル構成

サンプルコードのファイル構成は、次のようになっています。

ファイル名 (ツール構造)	説明	共通ソースファイル	CubeSuite+用ファイル
crtE.s	ハードウェア初期化処理		●
V850E2MN4.dir	リンク・ディレクティブ・ファイル		●
taua.h	変数、関数宣言	●	
main.c	メイン処理	●	
initial.c	ソフトウェア初期化処理	●	
taua_control.c	タイマ・アレイ・ユニット A 設定	●	
tauj_control.c	タイマ・アレイ・ユニット J 設定	●	
interrupt.c	割り込み処理	●	

4. アプリケーション例

この章では、TAUA および TAUJ の設定について説明します。

4.1 フローチャート

このサンプルコードのフローチャートを、次に示します。

4.1.1 メイン処理フロー

メイン処理フローではポート設定及び各タイマ・アレイ・ユニットの設定を行います。タイマを起動して、TAUA 側で PWM パルスが発生させて、TAUJ 側で PWM パルスの幅を測定します。

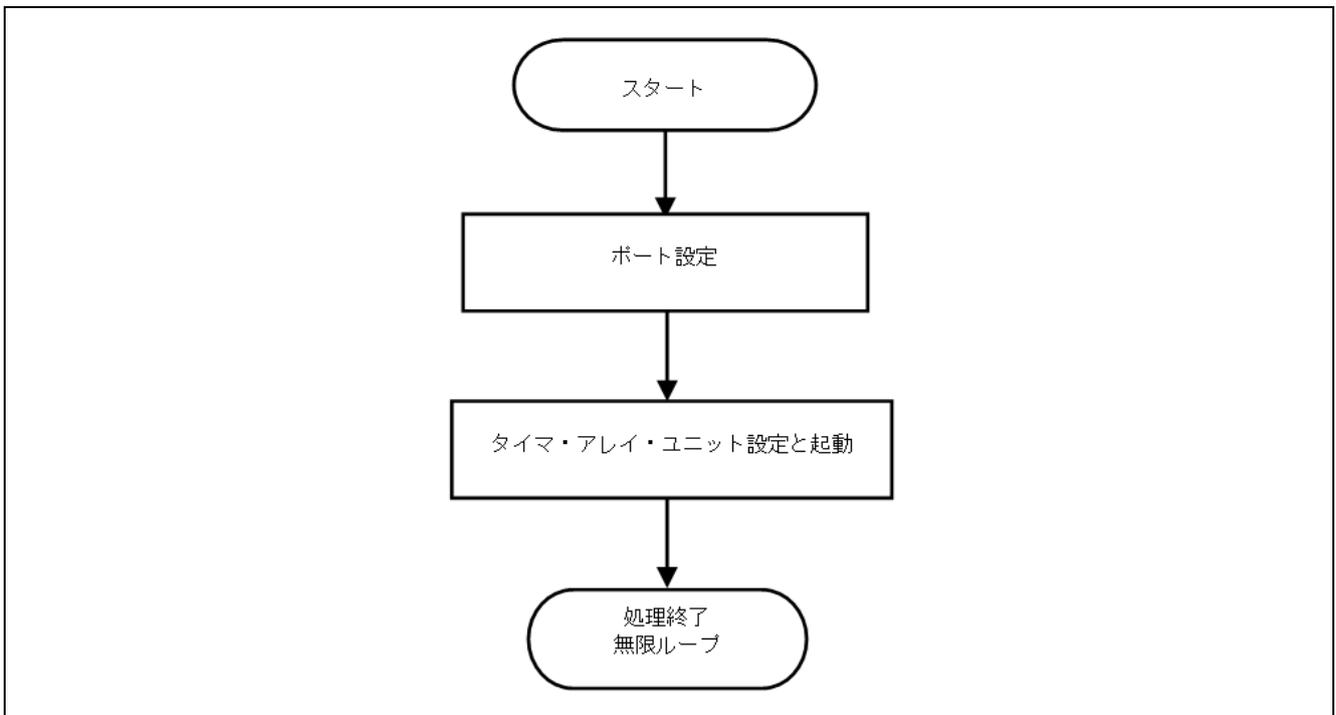


図 4.1 メイン処理フロー

4.1.2 割り込み処理フロー

INTTUAJ0I0 割り込み関数処理では、オーバーフローの有無を判断して、入力 PWM 信号の幅(HIGH)を算出します。

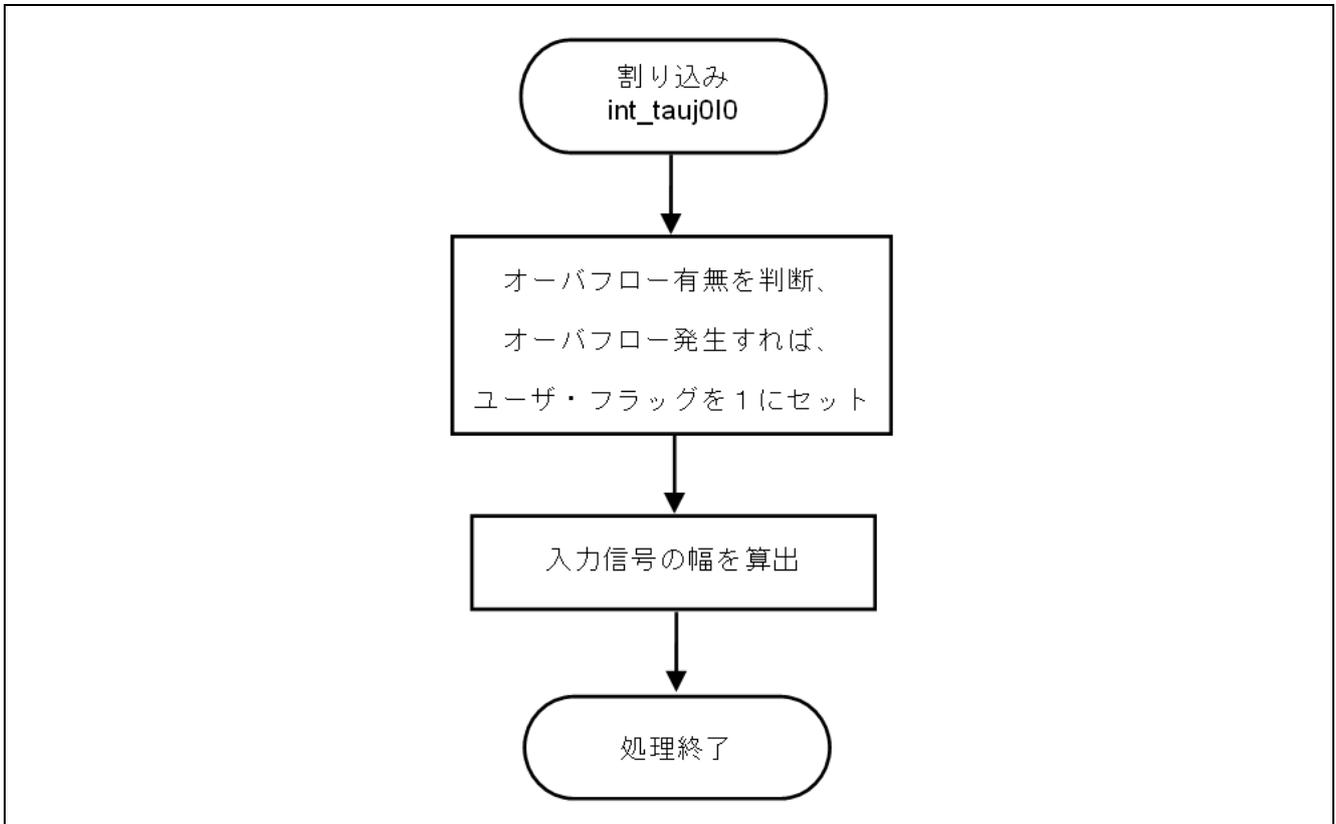


図 4.2 割り込み処理フロー

4.2 TAU A 設定の詳細

このサンプルコードでは、TAUA1 をチャンネル連動動作、PWM 出力機能に設定しています。チャンネル 0 は、マスタ・チャンネルとして、インターバル・タイマ・モードに設定します。チャンネル 1 はスレーブ・チャンネルとして、ワンカウント・モードでチャンネル連動、出力モード 1 に設定します。端子 TAU1TTOUT1 で PWM パルスを出力させます。パルス周期はマスタ・チャンネルで設定しますが、デューティはスレーブ・チャンネルで設定します。

チャンネル・トリガ・ビット TAU1TS.TAU1TS[1/0] を 1 に設定すると、カウンタ動作が許可されます。これにより TAU1TE.TAU1TE[1/0]=1 となり、カウントが可能になります。TAUA1CDR0 の現在値が TAU1CNT0 にロードされ、カウンタはその TAU1CDR0 値からダウン・カウントを開始します。TAUA1CDR1 の現在値が TAU1CNT1 にロードされ、カウンタはその TAU1CDR1 値からダウン・カウントを開始します。マスタ・チャンネルで INTTAUA1I0 が発生し、TAU1TTOUT1 (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

マスタ・チャンネルのカウンタ値が 0000H になりパルス周期時間が経過すると、INTTAUA1I0 が発生します。TAUA1CDR0 値を TAU1CNT0 にロードし、ダウン・カウントを行います。

マスタ・チャンネルので INTTAUA1I0 が、スレーブ・チャンネルのカウンタ動作トリガです。TAUA1CDR1 (スレーブ) の現在値が TAU1CNT1 (スレーブ) にロードされ、カウンタはその TAU1CDR1 値からダウン・カウントを開始します。TAU1TTOUT1 信号がアクティブ・レベルに設定されます。カウンタ値が 0000H になると (デューティ時間が経過すると) INTTAUA1I1 が発生し、TAU1TTOUT1 信号がインアクティブ・レベルに設定されます。カウンタは FFFFH に戻り、マスタ・チャンネルの次の INTTAUA1I0 (次のパルス周期の開始) を待ちます。

マスタ/スレーブ・チャンネルの TAU1TT.TAU1TT[1/0] を 1 に設定すると、カウンタ動作を停止できます。これにより、TAU1TE.TAU1TE[1:0] は 0 に設定されます。マスタ/スレーブ・チャンネルの TAU1CNT1、TAU1CNT0 と TAU1TTOUT1 が停止しますが、それぞれの値は保持されます。チャンネル・トリガ・ビット TAU1TS.TAU1TS[1/0] を 1 に設定すると、カウントを再開できます。

パルス周期 = (TAUA1CDR0 (マスタ) + 1) × カウント・クロック周期

デューティ・サイクル[%] = (TAUA1CDR1 (スレーブ) / (TAUA1CDR0 (マスタ) + 1)) × 100%

このサンプルコードでは、デューティ・サイクルは 80% に設定しています。

基本タイミング図での設定は次のようになっています。

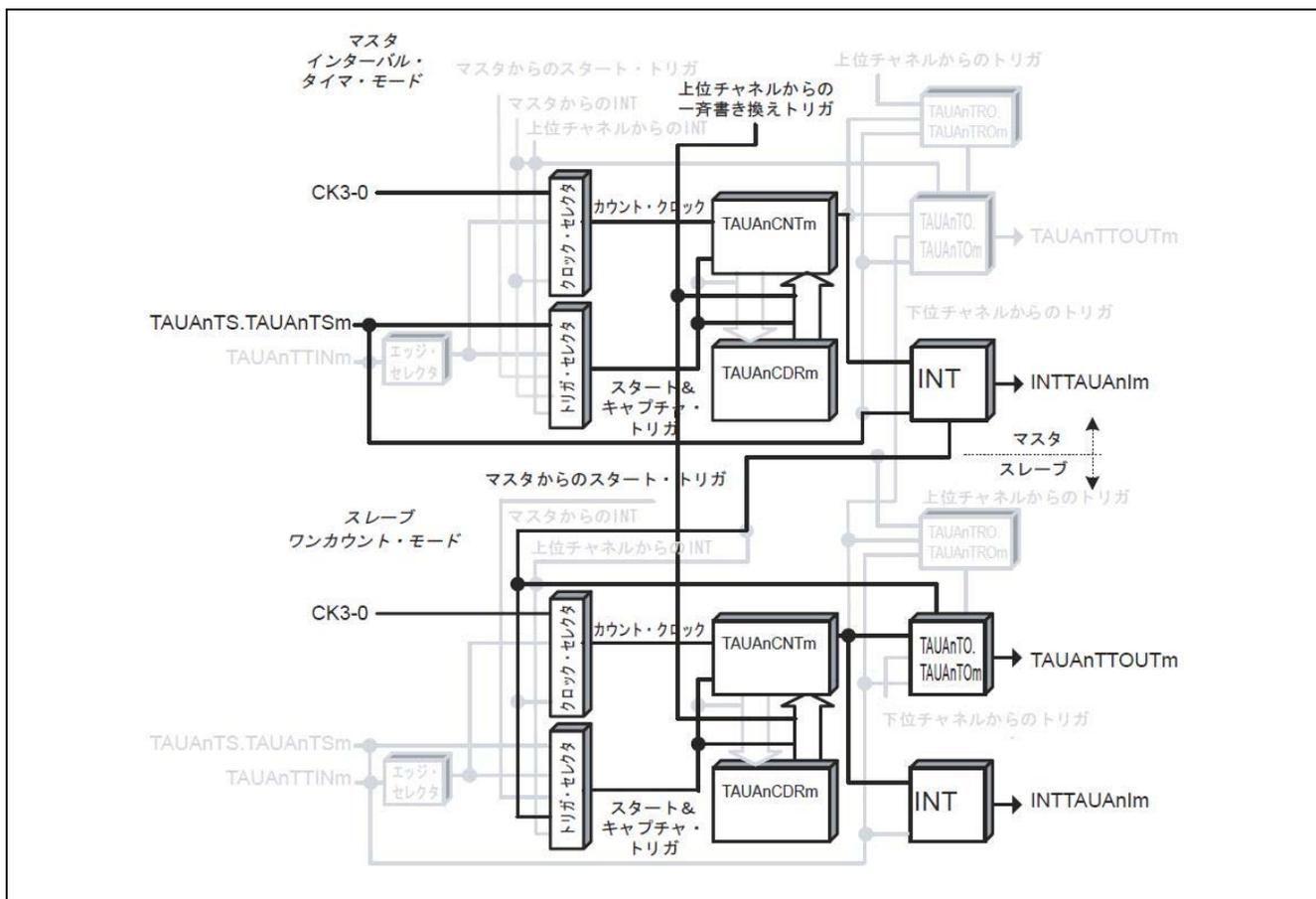


図 4.3 PWM 出力機能のブロック図

スレーブ・チャンネル: 正論理 (TAUAnTOL.TAUAnTOLm = 0)

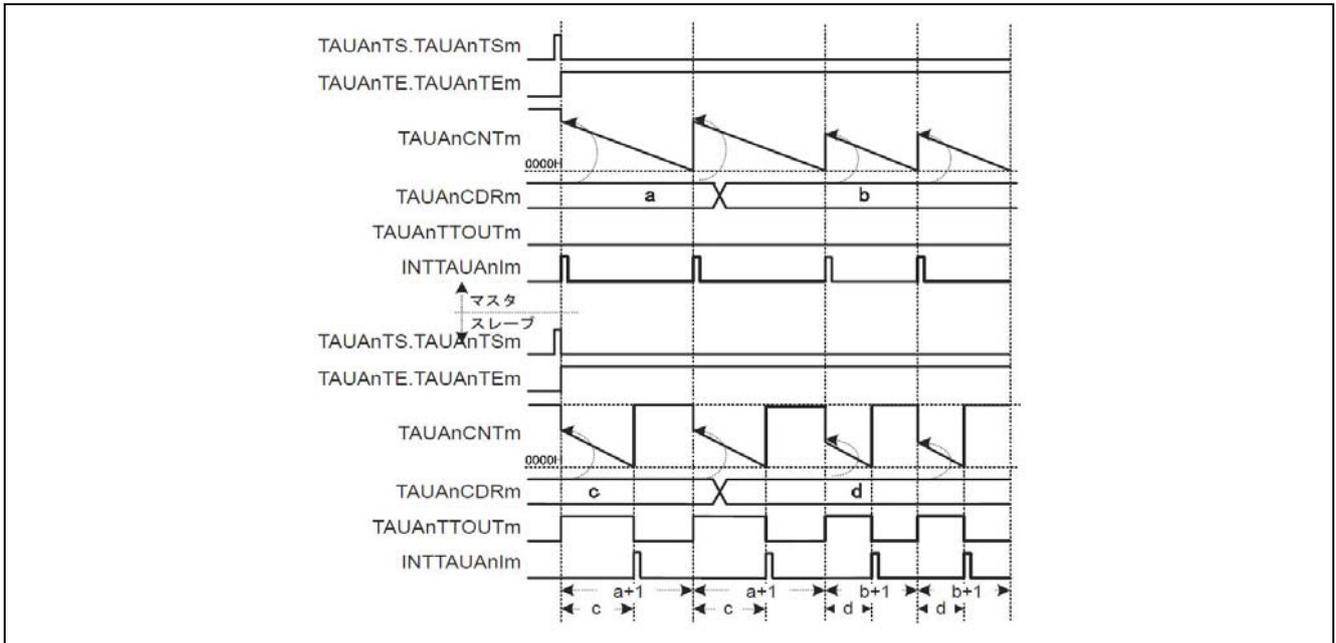


図 4.4 PWM 出力機能の基本タイミング図

具体的なモード設定は V850E2/MN4 ユーザーズマニュアル (R01UH0011JJ) を参照してください。

4.3 TAUJ 設定の詳細

このサンプルコードでは、TAUJ0 をチャンネル単体信号幅測定機能に設定しています。チャンネル0は、キャプチャ&ワンカウント・モードに設定、端子 TAUJ0TTIN0 で入力信号の幅 (HIGH) を測定します。

チャンネル・トリガ・ビット (TAUJ0TS.TAUJ0TS0) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJ0TE.TAUJ0TE0=1 となり、カウントが可能になります。有効な TAUJ0TTIN0 スタート・エッジが検出されると、カウンタ TAUJ0CNT0 は、00000000H からカウントを開始します。有効な TAUJ0TTIN0 ストップ・エッジが検出されると、TAUJ0CNT0 の値がキャプチャされ、TAUJ0CDR0 に転送され、割り込み INTTAUJ0I0 が発生します。カウンタは値を保持し、次の有効な TAUJ0TTIN0 入力スタート・エッジを待ちます。

有効な TAUJ0TTIN0 ストップ・エッジを検出する前にカウンタが FFFFFFFFH に達すると、カウンタはオーバフローします。カウンタは、00000000H にリセットされ、その後動作を継続します。TAUJ0CDR0、TAUJ0CSR0.TAUJ0OVF それぞれに転送される値は、TAUJ0CMOR0.TAUJ0COS[1:0] ビットの値によって異なります。詳細は V850E2/MN4 ユーザーズマニュアル(R01UH0011JJ)を参照してください。

TAUJ0TTIN0 入力信号幅 = カウント・クロック周期 × [(TAUJ0CSR0.TAUJ0OVF × (FFFFFFFH + 1)) + TAUJ0CDR0 キャプチャ値 + 1]

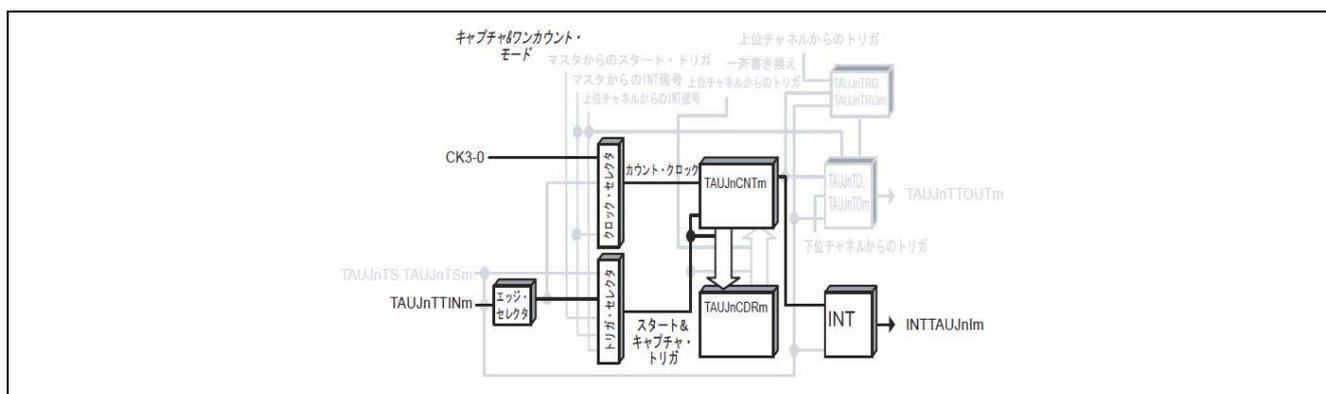


図 4.5 入力信号幅測定機能のブロック図

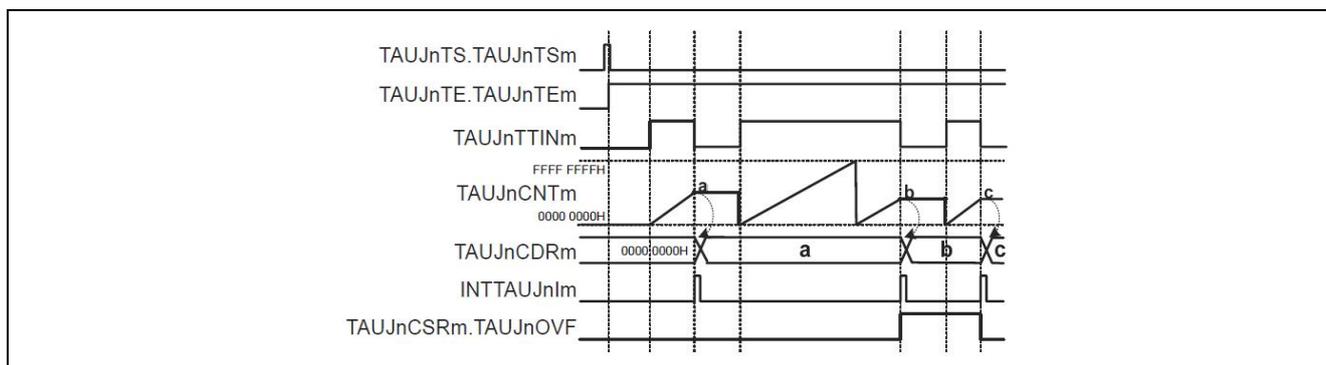


図 4.6 入力信号幅測定機能の基本タイミング図

具体的なモード設定は V850E2/MN4 ユーザーズマニュアル(R01UH0011JJ)を参照してください。

4.4 レジスタの設定

この節では、4.1 フローチャートにもとづき、各レジスタの設定について説明します。タイマ入出力を制御するために、以下のレジスタを設定します。

4.4.1 ポート設定

このサンプルコードでは、端子 P3_1 は TAUA 側で PWM 信号を発生するため、TAUA1TTOUT1 機能に設定します。端子 P2_1 は TAUJ 側で入力信号の幅を測定するため、TAUJ0TTIN0 機能に設定します。制御レジスタは以下のとおりに設定してください。

マクロ	端子	PMC	PFCE	PFC	PM	対応機能
TAUA1TTOUT1	P3_1	1	0	1	0	兼用モード 2、出力
TAUJ0TTIN0	P2_1	1	1	0	1	兼用モード 3、入力

設定例：

```

/* P3_1: TAUA1TTOUT1; alternative mode 2; output */
PFCE3 |= 0x0000;
PFC3  |= 0x0002;
PMC3  |= 0x0002;
PM3   &= 0xfffd;

/* P2_1: TAUJ0TTIN1; alternative mode 3; input */
PFCE2 |= 0x0002;
PFC2  |= 0x0000;
PMC2  |= 0x0002;
PM2   |= 0x0002;

```

4.4.2 TAUAn プリスケーラ・レジスタ

- TAUAn プリスケーラ・クロック選択レジスタ (TAUAnTPS)

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUAnBRS で指定した係数で分周することによって生成されます。

このサンプルコードでは、CK0 を指定しています。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_OS> + 240_H

初期値 FFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnPRS3[3:0]				TAUAnPRS2[3:0]				TAUAnPRS1[3:0]				TAUAnPRS0[3:0]			
R/W	R/W	R/W	R/W												

表 12-224 TAUAnTPS レジスタの内容 (1/4)

ビット位置	ビット名	機能																																		
15-12	TAUAnPRS3[3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャネルに CK3 動作クロックを供給します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm= 0) 場合のみ書き換え可能です。																																		

図 4.7 TAUAnTPS レジスタのフォーマット (1/4)

表 12-224 TAUAnTPS レジスタの内容 (2/4)

ビット位置	ビット名	機能																																		
11-8	TAUAnPRS2[3:0]	CK2 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。																																		

図 4.8 TAUAnTPS レジスタのフォーマット (2/4)

表 12-224 TAUAnTPS レジスタの内容 (3/4)

ビット位置	ビット名	機能																																		
7-4	TAUAnPRS1[3:0]	CK1 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。																																		

図 4.9 TAUAnTPS レジスタのフォーマット (3/4)

表 12-224 TAUAnTPS レジスタの内容 (4/4)

ビット位置	ビット名	機能																																		
3-0	TAUAnPRS0[3:0]	CK0 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUAnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUAnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUAnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUAnTE.TAUAnTEm = 0) 場合のみ書き換え可能です。																																		

図 4.10 TAUAnTPS レジスタのフォーマット (4/4)

設定例

```
TAUA1TPS = 0x000a;          /* CK0:PCLK / 2^10 */
```

- TAUAn プリスケアラ・ポー・レート設定レジスタ (TAUAnBRS)

プリスケアラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケアラは、TAUAnTPS.TAUAnPRS3[3:0]で指定します。

このサンプルコードでは、CK3 を使っていませんので、設定する必要はありません。

4.4.3 TAUAn 制御レジスタ

• TAUAn チャンネル・データ・レジスタ (TAUAnCDRm)

このレジスタは、TAUAnCMORm.TAUAnMD[4:1]で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

このサンプルコードでは、TAUA1CDR0 で PWM パルスの周期を設定しますが、TAUA1CDR1 で PWM パルスのデューティを設定します。

アクセス 16ビット単位でリード/ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード/ライト可能です。

アドレス <TAUAn_base_USER> + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

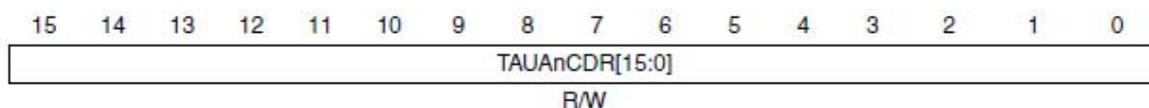


表 12-226 TAUAnCDRm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnCDR[15:0]	キャプチャ値/コンペア値用データ・レジスタ

図 4.11 TAUAnCDRm レジスタのフォーマット

設定例

```
TAUA1CDR0 = 4999;          /* cycle of PWM */
TAUA1CDR1 = 4000;          /* duty of PWM is 80%*/
```

- TAUAn チャネル・カウンタ・レジスタ (TAUAnCNTm)

このレジスタは、チャンネル m カウンタ・レジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUAn_base_USER> + 80_H + m × 4_H

初期値 0000_H または FFFF_H 初期値は動作モードによって異なります。854 ページの表 12-228 「カウント再許可後の TAUAnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

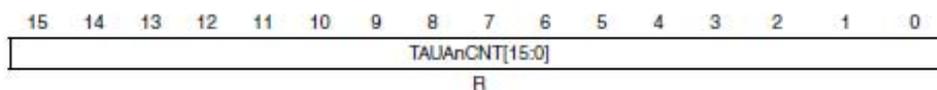


表 12-227 TAUAnCNTm レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnCNT[15:0]	16 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUAnTS.TAUAnTSm, TAUAnTT.TAUAnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUAnTT.TAUAnTTm = 1)

カウンタ停止後 (TAUAnTE.TAUAnTEm = 0) と再許可後 (TAUAnTS.TAUAnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUAnTS.TAUAnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 12-228 カウント再許可後の TAUAnCNTm リード値 (1/2)

モード名	カウント方式 (アップ/ダウン)	TAUAnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF _H	停止値	-
ジャッジ・モード	ダウン・カウント	FFFF _H	停止値	-
キャプチャ・モード	アップ・カウント	0000 _H	停止値	-
イベント・カウント・モード	ダウン・カウント	FFFF _H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	FFFF _H
キャプチャ&ワンカウント・モード	アップ・カウント	0000 _H	停止値	キャプチャ値 + 1 (TAUAnCDRm)
ジャッジ&ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	TAUAnCNTm 値 - 1
アップ/ダウン・カウント・モード	アップ/ダウン・カウント	FFFF _H	停止値	-

図 4.12 TAUAnCNTm レジスタのフォーマット (1/2)

表 12-228 カウント再許可後の TAUAnCNTm リード値 (2/2)

モード名	カウント方式 (アップ/ダウン)	TAUAnCNTm 値		
		リセット後	ストップ・トリガ後	ワンカウント後
パルス・ワンカウント・モード	ダウン・カウント	FFFF _H	停止値	0000 _H
カウント・キャプチャ・モード	アップ・カウント	0000 _H	停止値	-
ゲート・カウント・モード	ダウン・カウント	FFFF _H	停止値	停止値
キャプチャ&ゲート・カウン ト・モード	アップ・カウント	0000 _H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUAnCMORm.TAUAnMD[4:1]レジスタで変更します。

図 4.13 TAUAnCNTm レジスタのフォーマット (2/2)

- TAUAn チャンネル・モード OS レジスタ(TAUAnCMORm)

このレジスタは、チャンネル m の動作を制御します。

このサンプルコードでは、TAUA1 のチャンネル 0 はマスタのインターバル・タイマ・モードに設定していますが、ソフトウェアトリガで、動作開始時に INTTAUA1I0 を発生させます。チャンネル 1 はスレーブのワンカウント・モードに設定していますが、マスタ・チャンネルの INTTAUA1I0 をスタート・トリガとして動作中のスタート・トリガを有効にします。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみライト可能です。

アドレス <TAUAn_base_OS> + 200_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnCKs[1:0]	TAUAnCCS[1:0]	TAUAnMAS	TAUAnSTS[2:0]	TAUAnCOS[1:0]	-	TAUAnMD[4:0]									
R/W	R/W	R/W	R/W	R/W	R	R/W									

表 12-229 TAUAnCMORm レジスタの内容 (1/5)

ビット位置	ビット名	機能															
15,14	TAUAnCKs[1:0]	<p>動作クロックを選択します。 動作クロックは TAUAnTTINm 入力エッジ検出回路で使用します。 TAUAnCMORm.TAUAnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUAnCKs1</th><th>TAUAnCKs0</th><th>動作クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUAnCKs1	TAUAnCKs0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUAnCKs1	TAUAnCKs0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13,12	TAUAnCCS[1:0]	<p>TAUAnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUAnCCS1</th><th>TAUAnCCS0</th><th>カウント・クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TAUAnCMORm.TAUAnCKs[1:0] で指定した動作クロック</td></tr> <tr> <td>0</td><td>1</td><td>TAUAnTTINm 入力信号の有効エッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>マスタ・チャンネルの INTTAUAnIm 信号</td></tr> </tbody> </table>	TAUAnCCS1	TAUAnCCS0	カウント・クロック選択	0	0	TAUAnCMORm.TAUAnCKs[1:0] で指定した動作クロック	0	1	TAUAnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタ・チャンネルの INTTAUAnIm 信号
TAUAnCCS1	TAUAnCCS0	カウント・クロック選択															
0	0	TAUAnCMORm.TAUAnCKs[1:0] で指定した動作クロック															
0	1	TAUAnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタ・チャンネルの INTTAUAnIm 信号															
11	TAUAnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

図 4.14 TAUAnCMORm レジスタのフォーマット (1/5)

表 12-229 TAUAnCMORm レジスタの内容 (2/5)

ビット位置	ビット名	機能			
10-8	TAUAnSTS[2:0]	外部スタート・トリガを選択します。			
		TAUAnSTS2	TAUAnSTS1	TAUAnSTS0	機能説明
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUAnTTINm 入力信号の有効エッジ。有効エッジは TAUAnCMURm.TAUAnTIS[1:0] で指定
		0	1	0	TAUAnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタ・チャンネルの INT
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT
		1	1	0	TAUAnTTOUTm 生成ユニットのデッド・タイム出力信号
1	1	1	マスタ・チャンネルのアップ/ダウン出カトリガ信号		

図 4.15 TAUAnCMORm レジスタのフォーマット (2/5)

表 12-229 TAUAnCMORm レジスタの内容 (3/5)

ビット位置	ビット名	機能			
7, 6	TAUAnCOS[1:0]	チャンネル m のキャプチャ・レジスタ TAUAnCDRm とオーバフロー・フラグ TAUAnCSRm.TAUAnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUAnCOS 1	TAUAnCOS 0	TAUAnCDRm	TAUAnCSRm.TAUAnOVF
		0	0	TAUAnTTINm 入力有効エッジを検出すると更新	TAUAnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタ・オーバフローが発生している場合は、TAUAnCSRm.TAUAnOVF をセット 有効エッジを最後に検出してからカウンタ・オーバフローが発生していない場合は、TAUAnCSR.TAUAnOVF をクリア
		0	1		カウンタ・オーバフロー時にセット、TAUAnCSCm.TAUAnCLOV = 1 に設定することでクリア
		1	0	TAUAnTTINm 入力有効エッジ検出およびカウンタ・オーバフローの発生により更新	設定なし
1	1	<ul style="list-style-type: none"> TAUAnTTINm 入力有効エッジ検出：カウンタ値が TAUAnCDRm に書き込まれる オーバフロー発生：FFFF_H が TAUAnCDRm にロードされる。次の TAUAnTTINm 入力有効エッジ検出は無視される。 	カウンタ・オーバフロー時にセット、TAUAnCSCm.TAUAnCLOV = 1 に設定することでクリア		

図 4.16 TAUAnCMORm レジスタのフォーマット (3/5)

表 12-229 TAUAnCMORm レジスタの内容 (4/5)

ビット位置	ビット名	機能					
4-0	TAUAnMD[4:0]	動作モードを指定します。					
		TAUAnMD4	TAUAnMD3	TAUAnMD2	TAUAnMD1	TAUAnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	ジャッジ・モード
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	0	イベント・カウント・モード
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	ジャッジ&ワンカウント・モード
		1	0	0	0	0	設定禁止
		1	0	0	1	0	アップ/ダウン・カウント・モード
		1	0	1	0	1/0	パルス・ワンカウント・モード
		1	0	1	1	1/0	カウント・キャプチャ・モード
1	1	0	0	0	ゲート・カウント・モード		
1	1	0	1	0	キャプチャ&ゲート・カウント・モード		
モード	TAUAnMD0 ビットの役割						
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUAnIm 信号を出力するかどうかを指定します。 0: INTTAUAnIm を出力しない 1: INTTAUAnIm を出力する						
イベント・カウント・モード アップ/ダウン・カウント・モード	このビットは 0 に設定する必要があります。						
ワンカウント・モード ゲート・カウント・モード パルス・ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可						

図 4.17 TAUAnCMORm レジスタのフォーマット (4/5)

表 12-229 TAUAnCMORm レジスタの内容 (5/5)

ビット位置	ビット名	機能
モード		TAUAnMD0 ビットの役割
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード		このビットは0に設定する必要があります。
判定モード 判定&ワンカウント・モード		INTTAUAnIm の出カタイミグを指定します。 0: TAUAnCNTm ≤ TAUAnCDRm 時 1: TAUAnCNTm > TAUAnCDRm 時

図 4.18 TAUAnCMORm レジスタのフォーマット (5/5)

設定例

```
TAUA1CMOR0 = 0x0801;
/* CK0, master, software trigger count, interval mode, int at start */
TAUA1CMOR1 = 0x0409;
/* CK0, slave, INT of master as trigger, one count mode, start trigger effective */
```

- TAUAn チャンネル・モード・ユーザ・レジスタ (TAUAnCMURm)

このレジスタは、TAUAnTTINm 入力で使用される有効エッジ検出のタイプを指定します。このサンプルコードでは、TAUA 側でエッジ検出機能を使っていません。

- TAUAn チャンネル・ステータス・レジスタ (TAUAnCSRm)

このレジスタは、チャンネル m のカウンタのカウント方向とオーバフロー状態を示します。このサンプルコードでは、TAUA 側でこのレジスタを使っていません。

- TAUAn チャンネル・ステータス・クリア・レジスタ (TAUAnCSCm)

このレジスタは、チャンネル m のオーバフロー・フラグ TAUAnCSRm.TAUAnOVF をクリアするためのトリガ・レジスタです。このサンプルコードでは、TAUA 側でこのレジスタを使っていません。

- TAUAn チャンネル・スタート・トリガ・レジスタ (TAUAnTS)

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUAn_base_USER> + 1C4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTS 15	TAUA nTS 14	TAUA nTS 13	TAUA nTS 12	TAUA nTS 11	TAUA nTS 10	TAUA nTS 09	TAUA nTS 08	TAUA nTS 07	TAUA nTS 06	TAUA nTS 05	TAUA nTS 04	TAUA nTS 03	TAUA nTS 02	TAUA nTS 01	TAUA nTS 00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 12-233 TAUAnTS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTSm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUAnTE.TAUAnTEm = 1 を設定。 TAUAnTE.TAUAnTEm = 1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

図 4.19 TAUAnTS レジスタのフォーマット

設定例

```
TAUA1TS = 0x0003;
```

```
/* ch 0 & ch 1 count start */
```

- TAUAn チャンネル許可ステータス・レジスタ (TAUAnTE)

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUAn_base_USER> + 1C0_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTE															
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12-234 TAUAnTE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTE _m	チャンネル m のカウンタ動作の許可/禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUAnTSST _m (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUAnTS.TAUAnTS _m を 1 にセットすると、このビットが 1 に設定されます。 TAUAnTT.TAUAnTT _m を 1 にセットすると、このビットが 0 にリセットされます。

図 4.20 TAUAnTE レジスタのフォーマット

- TAUAn チャンネル・ストップ・トリガ・レジスタ (TAUAnTT)

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUAn_base_USER> + 1C8_H

初期値 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTT															
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 12-235 TAUAnTT レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTT _m	チャンネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUAnTE.TAUAnTE _m をリセットします。 TAUAnCNT _m , TAUAnTO.TAUAnTO _m , TAUAnTTOU _m は、カウント停止前の値を保持します。

図 4.21 TAUAnTT レジスタのフォーマット

4.4.4 TAUAn 出力レジスタ

- TAUAn チャンネル出力許可レジスタ (TAUAnTOE)

このレジスタは、ソフトウェア制御のチャンネル単体出力モードを許可/禁止します。このサンプルコードでは、TAUA1 は PWM の出力に設定します。TAUA1 のチャンネル 1 はマクロ単体出力機能を許可しています。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 5C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOE	TAUAAn TOE	TAUAAn TOE	TAUAAn TOE												
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W	R/W	R/W													

表 12-236 TAUAnTOE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAAnTOEm	タイマ単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 1: タイマ単体出力機能を許可

図 4.22 TAUAnTOE レジスタのフォーマット

設定例

```
TAUA1TOE = 0x0002; /* ch1 single output permit */
```

- TAUAn チャンネル出力モード・レジスタ (TAUAnTOM)

このレジスタは、各チャンネルの出力モードを指定します。このサンプルコードでは、TAUA1 は PWM の出力に設定します。TAUA1 のチャンネル 1 はチャンネル連動モードに設定します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 248_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAN TOM															
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W															

表 12-237 TAUAnTOM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAN _n TOM _m	出力モードを指定します。 0: チャンネル単体動作 1: チャンネル連動動作 出力モードは 564 ページの表 12-9 「チャンネル出力モード」にあるように、各チャンネル出力制御ビットの設定によって変わります。

図 4.23 TAUAnTOM レジスタのフォーマット

設定例

```
TAUA1TOM = 0x0002; /* channel co-work mode */
```

- TAUAn チャンネル出力コンフィギュレーション・レジスタ (TAUAnTOC)

このレジスタは、TAUAnTOMm とともに各チャンネルの出力モードを指定します。このサンプルコードでは、TAUA1 は PWM の出力に設定します。TAUA1 のチャンネル 1 はチャンネル連動動作モード 1 に設定します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 24C_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOC 15	TAUA nTOC 14	TAUA nTOC 13	TAUA nTOC 12	TAUA nTOC 11	TAUA nTOC 10	TAUA nTOC 09	TAUA nTOC 08	TAUA nTOC 07	TAUA nTOC 06	TAUA nTOC 05	TAUA nTOC 04	TAUA nTOC 03	TAUA nTOC 02	TAUA nTOC 01	TAUA nTOC 00
R/W															

表 12-238 TAUAnTOC レジスタの内容

ビット位置	ビット名	機能													
15-0	TAUAnTOC m	出力モードを指定します。 0: 動作モード 1 1: 動作モード 2 次の表にあるように、出力モードは TAUAnTOM.TAUAnTOMm の設定によっても異なります。													
		<table border="1"> <thead> <tr> <th>TOMm</th><th>TOCm</th><th>機能説明</th></tr> </thead> <tbody> <tr> <td rowspan="2">0</td><td>0</td><td>トグル・モード: INTTAUAnIm 発生時にトグル動作が行われます。</td></tr> <tr> <td>1</td><td>セット/リセット・モード: カウント開始時の INTTAUAnIm 発生時にセットされ、TAUAnCNTm, TAUAnCDRm の一致の検出による INTTAUAnIm 発生時にリセットされます。</td></tr> <tr> <td rowspan="2">1</td><td>0</td><td>チャンネル連動動作モード 1: マスタ・チャンネルで INT が発生するとセット, スレーブ・チャンネルで INT が発生するとリセットされます。</td></tr> <tr> <td>1</td><td>チャンネル連動動作モード 2: ダウン・カウント状態で INTTAUAnIm が発生するとセット, アップ・カウント状態で INTTAUAnIm が発生するとリセットされます。</td></tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トグル・モード: INTTAUAnIm 発生時にトグル動作が行われます。	1	セット/リセット・モード: カウント開始時の INTTAUAnIm 発生時にセットされ、TAUAnCNTm, TAUAnCDRm の一致の検出による INTTAUAnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード 1: マスタ・チャンネルで INT が発生するとセット, スレーブ・チャンネルで INT が発生するとリセットされます。	1	チャンネル連動動作モード 2: ダウン・カウント状態で INTTAUAnIm が発生するとセット, アップ・カウント状態で INTTAUAnIm が発生するとリセットされます。
TOMm	TOCm	機能説明													
0	0	トグル・モード: INTTAUAnIm 発生時にトグル動作が行われます。													
	1	セット/リセット・モード: カウント開始時の INTTAUAnIm 発生時にセットされ、TAUAnCNTm, TAUAnCDRm の一致の検出による INTTAUAnIm 発生時にリセットされます。													
1	0	チャンネル連動動作モード 1: マスタ・チャンネルで INT が発生するとセット, スレーブ・チャンネルで INT が発生するとリセットされます。													
	1	チャンネル連動動作モード 2: ダウン・カウント状態で INTTAUAnIm が発生するとセット, アップ・カウント状態で INTTAUAnIm が発生するとリセットされます。													

図 4.24 TAUAnTOC レジスタのフォーマット

設定例

```
TAUA1TOC = 0x0000; /* ch1 co-word output mode 1 */
```

- TAUAn チャンネル・デッド・タイム出力許可レジスタ (TAUAnTDE)

このレジスタは、このレジスタは、全チャンネルのデッド・タイム動作を許可／禁止します。このサンプルコードでは、TAUA のデッド・タイム動作は禁止しています。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中 (TAUAnTE.TAUAnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 250_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTDE	TAUAn TDE	TAUAn TDE	TAUAn TDE												
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W															

表 12-239 TAUAnTDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTDEm	チャンネル m のデッド・タイム制御動作を許可／禁止します。 0: デッド・タイム動作禁止 1: デッド・タイム動作許可 対になった偶数／奇数スレーブ・チャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUAnTOE.TAUAnTOEm, TAUAnTOM.TAUAnTOMm, TAUAnTOC.TAUAnTOCm = 1

図 4.25 TAUAnTDE ジスタのフォーマット

設定例

```
TAUA1TDE = 0x0000; /* dead time prohibit */
```

- TAUAn チャンネル・デッド・タイム出力モード・レジスタ (TAUAnTDM)

このレジスタは、デッド・タイム出力中にデッド・タイムを付加するタイミングを指定します。このサンプルコードでは、デッド・タイム機能を使っていません。

- TAUAn チャンネル・デッド・タイム出力レベル・レジスタ (TAUAnTDL)

このレジスタは、デッド・タイムを付加する位相を選択します。このサンプルコードでは、デッド・タイム機能を使っていません。

- TAUAn チャンネル・リアルタイム出力許可レジスタ (TAUAnTRE)

このレジスタは、リアルタイム出力を許可/禁止します。このプログラムでは、リアルタイム出力を禁止しています。

アクセス 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTE_m = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 258_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnTRE															
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W															

表 12-242 TAUAnTRE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTRE _m	チャンネル m のリアルタイム出力を許可/禁止します。 0: リアルタイム出力禁止 1: リアルタイム出力許可 これらのビット設定は TAUAnTOE.TAUAnTOE _m = 1 時のみ適用されます。 TAUAnTRE.TAUAnTRE _m = 0 の場合、TAUAnTTOUT _m はリアルタイム出力の影響を受けません。 TAUAnTRE.TAUAnTRE _m = 1 の場合、TAUAnTTOUT _m はタイマ動作に応じてリアルタイム出力ビット TAUAnTRO.TAUAnTRO _m の値を出力します。

図 4.26 TAUAnTRE ジスタのフォーマット

設定例

```
TAUA1TRE = 0x0000; /* real time output prohibit */
```

- TAUA_n チャンネル・リアルタイム出力制御レジスタ (TAUA_nTRC)

このレジスタは、各チャンネルのリアルタイム出力トリガを制御します。このプログラムでは、リアルタイム出力機能を使っていません。

- TAUA_n チャンネル・リアルタイム出力レジスタ (TAUA_nTRO)

このレジスタには、TAUA_nTTOUT_m に出力する値を設定します。このプログラムでは、リアルタイム出力機能を使っていません。

- TAUA_n チャンネル変調出力許可レジスタ (TAUA_nTME)

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可/禁止します。このプログラムでは、リアルタイム出力機能を使っていません。

4.4.5 TAUAn チャンネル出力レベル・レジスタ

- TAUAn チャンネル出力レジスタ (TAUAnTO)

このレジスタは、TAUAnTTOUTm レベルを指定およびリードします。このサンプルコードでは、TAUAnTTOUTm レベルを指定およびリード機能を使っていません。

- TAUAn チャンネル出力レベル・レジスタ (TAUAnTOL)

このレジスタは、チャンネル出力ビット (TAUAnTO.TAUAnTOm) の出力論理を指定します。このサンプルプログラムでは、TAUAnTTOUTm レベルを正論理に指定しています。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUAn_base_USER> + 40_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nTOL 15	TAUA nTOL 14	TAUA nTOL 13	TAUA nTOL 12	TAUA nTOL 11	TAUA nTOL 10	TAUA nTOL 09	TAUA nTOL 08	TAUA nTOL 07	TAUA nTOL 06	TAUA nTOL 05	TAUA nTOL 04	TAUA nTOL 03	TAUAn TOL 02	TAUAn TOL 01	TAUAn TOL 00
R/W															

表 12-247 TAUAnTOL レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnTOLm	チャンネル m 出力ビット (TAUAnTO.TAUAnTOm) の出力論理を指定します。 0: 正論理 (アクティブ・ハイ) 1: 反転論理 (アクティブ・ロウ)

図 4.27 TAUAnTOL レジスタのフォーマット

設定例

```
TAUA1TOL = 0x0000; /* positive logic */
```

4.4.6 TAUAn 一斉書き換えレジスタ

- TAUAn チャンネル・リロード・データ許可レジスタ (TAUAnRDE)

このレジスタは、データ・レジスタ TAUAnCDRm/TAUAnTOLm の一斉書き換えを許可/禁止します。このサンプルコードでは、TAUA 側でチャンネル連動動作 PWM 信号を発生しています。TAUA1 のチャンネル 0 とチャンネル 1 は一斉書き換えを許可しています。

アクセス 16 ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTE_m = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 260_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDE															
15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
R/W															

表 12-248 TAUAnRDE レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDE _m	チャンネル m のデータ・レジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

図 4.28 TAUAnRDE レジスタのフォーマット

設定例

```
TAUA1RDE = 0x0003; /* cocurrent rewrite permit */
```

- TAUAn チャンネル・リロード・データ制御チャンネル選択レジスタ (TAUAnRDS)

このレジスタは、一斉書き換えを制御するチャンネルを選択します。このサンプルコードでは、TAUA1 の一斉書き換えトリガはマスタ・チャンネルをモニタするに設定しています。

アクセス 16 ビット / 1 ビット単位でリード / ライト可能です。
TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です

アドレス <TAUAn_base_OS> + 268_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUA nRDS 15	TAUA nRDS 14	TAUA nRDS 13	TAUA nRDS 12	TAUA nRDS 11	TAUA nRDS 10	TAUA nRDS 09	TAUA nRDS 08	TAUA nRDS 07	TAUA nRDS 06	TAUA nRDS 05	TAUA nRDS 04	TAUA nRDS 03	TAUAn RDS 02	TAUAn RDS 01	TAUAn RDS 00
R/W															

表 12-249 TAUAnRDS レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDSm	一斉書き換えトリガをモニタするチャンネルを選択します。 0: マスタ・チャンネル 1: 別の上位チャンネル

図 4.29 TAUAnRDS レジスタのフォーマット

設定例

```
TAUA1RDS = 0x0000; /* master trigger monitor */
```

- TAUAn チャンネル・リロード・データ・モード・レジスタ (TAUAnRDM)

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。このサンプルコードでは、一斉書き換え制御信号を発生させるタイミングはマスタ・チャンネルのカウンタがカウントを開始したときに設定しています。

アクセス 16ビット単位でリード/ライト可能です。TAUAnTE.TAUAnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUAn_base_OS> + 264_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUAnRDM15	TAUAnRDM14	TAUAnRDM13	TAUAnRDM12	TAUAnRDM11	TAUAnRDM10	TAUAnRDM09	TAUAnRDM08	TAUAnRDM07	TAUAnRDM06	TAUAnRDM05	TAUAnRDM04	TAUAnRDM03	TAUAnRDM02	TAUAnRDM01	TAUAnRDM00
R/W															

表 12-250 TAUAnRDM レジスタの内容

ビット位置	ビット名	機能
15-0	TAUAnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタ・チャンネルのカウンタがカウントを開始したとき 1: 三角波周期の山 これらのビット設定は TAUAnRDE.TAUAnRDEm = 1, TAUAnRDS.TAUAnRDSm = 0 時のみ適用されます。

図 4.30 TAUAnRDM レジスタのフォーマット

設定例

```
TAUA1RDM = 0x0000; /* cocurrent at beginning of master count */
```

- TAUAn チャンネル・リロード・データ制御レジスタ (TAUAnRDC)

このレジスタは、一斉書き換えをトリガする INTTAUAnIm 信号を生成するチャンネルを指定します。このサンプルコードでは、この機能を使っていません。

- TAUAn チャンネル・リロード・データ・トリガ・レジスタ (TAUAnRDT)

一斉書き換え保留状態をトリガするレジスタです。このサンプルコードでは、この機能を使っていません。

- TAUAn チャンネル・リロード・ステータス・レジスタ (TAUAnRSF)

このフラグ・レジスタは、一斉書き換えのステータスを示します。このサンプルコードでは、この機能を使っていません。

4.4.7 TAUJn プリスケアラ・レジスタ

- TAUJn プリスケアラ・クロック選択レジスタ (TAUJnTPS)

PCLK プリスケアラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

このサンプルコードでは、CK0 を指定しています。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_OS> + 90_H

初期値 FFFF_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
R/W	R/W	R/W	R/W												

表 13-56 TAUJnTPS レジスタの内容 (1/4)

ビット位置	ビット名	機能																																		
15-12	TAUJnPRS3[3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm= 0) 場合のみ書き換え可能です。																																		

図 4.31 TAUJnTPS レジスタのフォーマット (1/4)

表 13-56 TAUJnTPS レジスタの内容 (2/4)

ビット位置	ビット名	機能																																		
11-8	TAUJnPRS2[3:0]	CK2 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE _m = 0) 場合のみ書き換え可能です。																																		

図 4.32 TAUJnTPS レジスタのフォーマット (2/4)

表 13-56 TAUJnTPS レジスタの内容 (3/4)

ビット位置	ビット名	機能																																		
7-4	TAUJnPRS1[3:0]	CK1 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE _m = 0) 場合のみ書き換え可能です。																																		

図 4.33 TAUJnTPS レジスタのフォーマット (3/4)

表 13-56 TAUJnTPS レジスタの内容 (4/4)

ビット位置	ビット名	機能	
3-0	TAUJnPRS0[3:0]	CK0 クロックを指定します。	
		TAUJnPRS0[3:0]	CK0 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
1110 _B	PCLK/2 ¹⁴		
1111 _B	PCLK/2 ¹⁵		
上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。			

図 4.34 TAUJnTPS レジスタのフォーマット (4/4)

設定例

```
TAUJ0TPS = 0x0000;          /* CK0:PCLK / 2^0 */
```

- TAUJn プリスケアラ・ポー・レート設定レジスタ (TAUJnBRS)

プリスケアラ・クロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケアラは、TAUJnTPS.TAUJnPRS3[3:0]で指定します。

このサンプルコードでは、CK3 を使っていませんので、設定する必要はありません。

4.4.8 TAUJn 制御レジスタ

• TAUJn チャンネル・データ・レジスタ (TAUJnCDRm)

このレジスタは、TAUJnCMORm.TAUJnMD[4:1]で指定された動作モードによって、コンペア・レジスタもしくはキャプチャ・レジスタとして機能するレジスタです。

このサンプルコードでは、TAUJ0CDR0 値と TAUJ0CSR0.TAUJnOVF 値の組み合わせで、TAUJ0TTIN0 信号の幅を測定します。

アクセス 32ビット単位でリード/ライト可能です。

- キャプチャ・モード時はリードのみ可能です。ライト動作は無視されません。
- コンペア・モード時はリード/ライト可能です。

アドレス <TAUJn_base_USER> + m × 4_H

初期値 0000 0000_H どのリセット要因でも初期化されます。

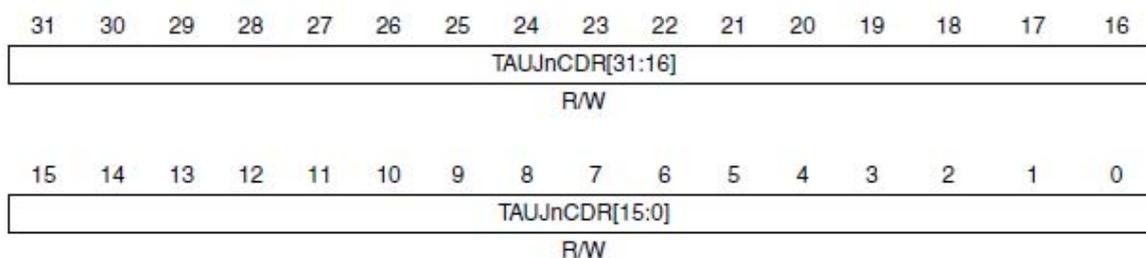


表 13-58 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCDR[31:0]	キャプチャ値/コンペア値用データ・レジスタ

図 4.35 TAUJnCDRm レジスタのフォーマット

設定例

```
pulse_width = (overflow_flag * (0xffffffff + 1)) + TAUJ0CDR0 + 1;
/* calculate the width of input pulse */
```

- TAUJn チャネル・カウンタ・レジスタ (TAUJnCNTm)

このレジスタは、チャンネル m カウンタ・レジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 10_H + m × 4_H

初期値 0000 0000_H または FFFF FFFF_H 初期値は動作モードによって異なります。
978 ページの表 13-60 「カウント再許可後の TAUJnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

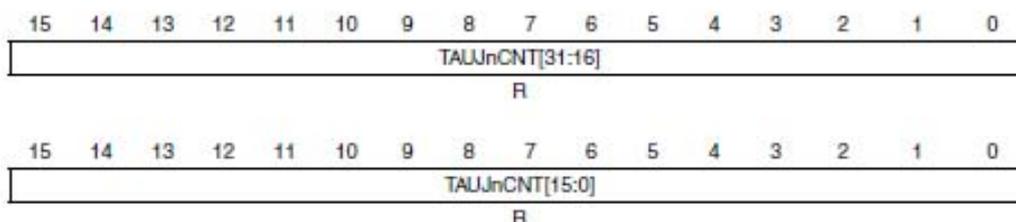


表 13-59 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31-0	TAUJnCNT[31:0]	32 ビット・カウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTsm, TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタ・ストップ・トリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTsm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタート・トリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTsm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 13-60 カウント再許可後の TAUJnCNTm リード値 (1/2)

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後に 動作モードを 変更した後	ストップ・トリガ 後	ワンカウント後
インターバル・タイマ・モード	ダウン・カウント	FFFF FFFF _H	停止値	-
キャプチャ・モード	アップ・カウント	0000 0000 _H	停止値	-
ワンカウント・モード	ダウン・カウント	FFFF FFFF _H	停止値	FFFF FFFF _H

図 4.36 TAUJnCNTm レジスタのフォーマット (1/2)

表 13-60 カウント再許可後の TAUJnCNTm リード値 (2/2)

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm 値		
		リセット後に 動作モードを 変更した後	ストップ・トリガ 後	ワンカウント後
キャプチャ&ワンカウント・ モード	アップ・カウント	0000 0000 _H	停止値	キャプチャ値 + 1 (TAUJnCDRm)
カウント・キャプチャ・モード	アップ・カウント	0000 0000 _H	停止値	-
ゲート・カウント・モード	ダウン・カウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ゲート・カウ ント・モード	アップ・カウント	0000 0000 _H	停止値	停止値

備考 カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUJnCMORm.TAUJnMD[4:1]レジスタで変更します。

図 4.37 TAUJnCNTm レジスタのフォーマット (2/2)

- TAUJn チャンネル・モード OS レジスタ (TAUJnCMORm)

このレジスタは、チャンネル m の動作を制御します。

このサンプルコードでは、TAUJ0 のチャンネル 0 はキャプチャ&ワンカウント・モードに設定しています。TAUJ0TTIN0 入力信号の有効エッジを外部スタート・トリガ、逆エッジをストップ・トリガとして使用、動作中のスタート・トリガ無効に設定します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base_OS> + 80_H + m × 4_H

初期値 0000_H どのリセット要因でも初期化されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]	TAUJnCOS[1:0]	-	TAUJnMD[4:0]									
R/W	R/W	R/W	R/W	R/W	R	R/W									

表 13-61 TAUJnCMORm レジスタの内容 (1/4)

ビット位置	ビット名	機能															
15,14	TAUJnCKS[1:0]	<p>プリスケアラ出力を選択します。 プリスケアラ出力は TAUJnTTINm 入力エッジ検出回路で使用します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、カウント・クロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJnCKS1</th><th>TAUJnCKS0</th><th>プリスケアラ出力選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>CK0</td></tr> <tr> <td>0</td><td>1</td><td>CK1</td></tr> <tr> <td>1</td><td>0</td><td>CK2</td></tr> <tr> <td>1</td><td>1</td><td>CK3</td></tr> </tbody> </table>	TAUJnCKS1	TAUJnCKS0	プリスケアラ出力選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJnCKS1	TAUJnCKS0	プリスケアラ出力選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13,12	TAUJnCCS[1:0]	<p>TAUJnCNTm カウンタのカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJnCCS1</th><th>TAUJnCCS0</th><th>カウント・クロック選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TAUJnCMORm.TAUJnCKS[1:0] で指定したプリスケアラ出力</td></tr> <tr> <td>0</td><td>1</td><td>TAUJnTTINm 入力信号の有効エッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td></td></tr> </tbody> </table>	TAUJnCCS1	TAUJnCCS0	カウント・クロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定したプリスケアラ出力	0	1	TAUJnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	
TAUJnCCS1	TAUJnCCS0	カウント・クロック選択															
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定したプリスケアラ出力															
0	1	TAUJnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1																
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0: スレーブ 1: マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

図 4.38 TAUJnCMORm レジスタのフォーマット (1/4)

表 13-61 TAUJnCMORm レジスタの内容 (2/4)

ビット位置	ビット名	機能			
10-8	TAUJnSTS[2:0]	外部スタート・トリガを選択します。			
		TAUJnSTS2	TAUJnSTS1	TAUJnSTS0	機能説明
		0	0	0	ソフトウェア・トリガ
		0	0	1	TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJnTTINm 入力信号の有効エッジをスタート・トリガ、逆エッジをストップ・トリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタ・チャンネルの INT
		1	0	1	設定禁止
		1	1	0	
1	1	1			

図 4.39 TAUJnCMORm レジスタのフォーマット (2/4)

表 13-61 TAUJnCMORm レジスタの内容 (3/4)

ビット位置	ビット名	機能			
7, 6	TAUJnCOS[1:0]	チャンネル m のキャプチャ・レジスタ TAUJnCDRm とオーバーフロー・フラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ・モードの時にのみ有効です。			
		TAUJnCOS 1	TAUJnCOS 0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJnTTINm 入力有効エッジを検出すると更新	TAUJnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタ・オーバーフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタ・オーバーフローが発生していない場合は、TAUJnCSR.TAUJnOVF をクリア
		0	1		カウンタ・オーバーフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJnTTINm 入力有効エッジ検出およびカウンタ・オーバーフローの発生により更新	設定なし
1	1	<ul style="list-style-type: none"> TAUJnTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる オーバーフロー発生：FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。 	カウンタ・オーバーフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア		

図 4.40 TAUJnCMORm レジスタのフォーマット (3/4)

表 13-61 TAUJnCMORm レジスタの内容 (4/4)

ビット位置	ビット名	機能					
4-0	TAUJnMD[4:0]	動作モードを指定します。					
		TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	1/0	設定禁止
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0		
		1	0	1	1	1/0	カウント・キャプチャ・モード
1	1	0	0	0	ゲート・カウント・モード		
1	1	0	1	0	キャプチャ&ゲート・カウント・モード		
モード	TAUJnMD0 ビットの役割						
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時（スタート・トリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。 0: INTTAUJnIm を出力しない 1: INTTAUJnIm を出力する						
ワンカウント・モード ゲート・カウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可						
モード	TAUJnMD0 ビットの役割						
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは 0 に設定する必要があります。						

図 4.41 TAUJnCMORm レジスタのフォーマット (4/4)

設定例

```
TAUJ0CMOR0 = 0x020c;
/* CK0, TTIN trigger edge count, capture and one count mode, no int at start */
```

- TAUJn チャンネル・モード・ユーザ・レジスタ (TAUJnCMURm)

このレジスタは、TAUJnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

このサンプルコードでは、TAUJ 側でチャンネル単体動作信号幅測定機能に設定、TAUJOTTIN0 から入力したパルスの幅を測定します。両エッジ検出により、スタート・トリガは立ち上がりエッジとして、ストップ・トリガは立ち下がりエッジとして、High 幅を測定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_USER> + 20_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	TAUJnTIS[1:0]	
R	R	R	R	R	R	R/W	R/W

表 13-62 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
1, 0	TAUJnTIS[1:0]	TAUJnTTINm 入力信号の有効エッジを指定します。															
		<table border="1"> <thead> <tr> <th>TAUJnTIS1</th> <th>TAUJnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がりエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がりエッジ</td> </tr> </tbody> </table>	TAUJnTIS1	TAUJnTIS0	機能説明	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がりエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がりエッジ
TAUJnTIS1	TAUJnTIS0	機能説明															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタート・トリガ: 立ち下がりエッジ ストップ・トリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタート・トリガ: 立ち上がりエッジ ストップ・トリガ (キャプチャ): 立ち下がりエッジ															
		<ul style="list-style-type: none"> TAUJnTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択したプリスケアラ出力に基づいて行われます。 															

図 4.42 TAUJnCMURm レジスタのフォーマット

設定例

```
TAUJ0CMUR0 = 0x0003; /* detect high width*/
```

- TAUJn チャンネル・ステータス・レジスタ (TAUJnCSRm)

このレジスタは、チャンネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 30_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TAUJnOVF
R	R	R	R	R	R	R	R

表 13-63 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnOVF	カウンタ・オーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> キャプチャ・モード キャプチャ&ワンカウント・モード カウント・キャプチャ・モード キャプチャ&ゲート・カウント・モード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

図 4.43 TAUJnCSRm レジスタのフォーマット

- TAUJn チャンネル・ステータス・クリア・レジスタ (TAUJnCSCm)

このレジスタは、チャンネル m のオーバーフロー・フラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガ・レジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 40_H + m × 4_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	-	-	0	TAUJnCLOV
R	R	R	R	R	R	R	W

表 13-64 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
0	TAUJnCLOV	0: 機能なし 1: オーバーフロー・フラグ TAUJnCSRm.TAUJnOVF をクリア

図 4.44 TAUJnCSCm レジスタのフォーマット

- TAUJn チャネル・スタート・トリガ・レジスタ (TAUJnTS)

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 54_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTS 03	TAUJnTS 02	TAUJnTS 01	TAUJnTS 00
W	W	W	W	W	W	W	W

表 13-65 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTSm	チャネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。 本ビットはセット (1) したあと、自動的にクリア (0) されます。

図 4.45 TAUJnTS レジスタのフォーマット

設定例

```
TAUJ0TS = 0x0001;          /* ch 0 count start */
```

- TAUJn チャネル許可ステータス・レジスタ (TAUJnTE)

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUJn_base_USER> + 50_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTE 03	TAUJnTE 02	TAUJnTE 01	TAUJnTE 00
R	R	R	R	R	R	R	R

表 13-66 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTE _m	チャンネル m のカウンタ動作の許可／禁止を示します。 0: カウンタ動作禁止 1: カウンタ動作許可 TAUJnTSST _m (チャンネル連動スタート・トリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTS _m を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTT _m を 1 にセットすると、このビットが 0 にリセットされます。

図 4.46 TAUJnTE レジスタのフォーマット

- TAUJn チャンネル・ストップ・トリガ・レジスタ (TAUJnTT)

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 8ビット単位でライト可能です。リード値は常に 00_H です。

アドレス <TAUJn_base_USER> + 58_H

初期値 00_H

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTT 03	TAUJnTT 02	TAUJnTT 01	TAUJnTT 00
W	W	W	W	W	W	W	W

表 13-67 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTTm	チャンネル m のカウンタ動作を停止します。 0: 機能なし 1: カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。 TAUJnCnTm, TAUJnTO.TAUJnTOM, TAUJnTTOUTm は、カウント停止前の値を保持します。

図 4.47 TAUJnTT レジスタのフォーマット

4.4.9 TAUJn 出力レジスタ

- TAUJn チャンネル出力許可レジスタ (TAUJnTOE)

このレジスタは、ソフトウェア制御のチャンネル単体出力モードを許可/禁止します。このサンプルコードでは、TAUJ は信号幅測定機能に設定しています。TAUJ はマクロ単体出力機能を禁止しています。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base_USER> + 60_H

初期値 00_H どのリセット要因でも初期化されます。

7	6	5	4	3	2	1	0
-	-	-	-	TAUJnTOE 03	TAUJnTOE 02	TAUJnTOE 01	TAUJnTOE 00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13-68 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
3-0	TAUJnTOEm	タイマ単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 1: タイマ単体出力機能を許可

図 4.48 TAUJnTOE レジスタのフォーマット

設定例

```
TAUJ0TOE = 0x0000;          /* channel single mode */
```

- TAUJn チャンネル出力モード・レジスタ (TAUJnTOM)

このレジスタは、各チャンネルの出力モードを指定します。このサンプルコードでは、TAUJ は出力機能を使っていません。

- TAUJn チャンネル出力コンフィギュレーション・レジスタ (TAUJnTOC)

このレジスタは、TAUJnTOMm とともに各チャンネルの出力モードを指定します。このサンプルコードでは、TAUJ は出力機能を使っていません。

4.4.10 TAUJn チャンネル出力レベル・レジスタ

- TAUJn チャンネル出力レジスタ (TAUJnTO)

このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。このサンプルコードでは、TAUJ 側で出力機能を使っていません。

- TAUJn チャンネル出力レベル・レジスタ (TAUJnTOL)

このレジスタは、チャンネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。このサンプルコードでは、TAUJ 側で出力機能を使っていません。

4.4.11 TAUJn 一斉書き換えレジスタ

- TAUJn チャンネル・リロード・データ許可レジスタ (TAUJnRDE)

このレジスタは、データ・レジスタ TAUJnCDRm/TAUJnTOLm の一斉書き換えを許可/禁止します。このサンプルコードでは、TAUJ 側で一斉書き換え機能を使っていません。

- TAUJn チャンネル・リロード・データ・モード・レジスタ (TAUJnRDM)

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。このサンプルコードでは、TAUJ 側で一斉書き換え機能を使っていません。

- TAUJn チャンネル・リロード・データ・トリガ・レジスタ (TAUJnRDT)

一斉書き換え保留状態をトリガするレジスタです。このサンプルコードでは、TAUJ 側で一斉書き換え機能を使っていません。

- TAUJn チャンネル・リロード・ステータス・レジスタ (TAUJnRSF)

このフラグ・レジスタは、一斉書き換えのステータスを示します。このサンプルコードでは、TAUJ 側で一斉書き換え機能を使っていません。

4.5 関数仕様

今回のプログラムで使用する関数の仕様について説明します。

4.5.1 メイン (main.c)

【関数名】	main ()
【機能】	各初期化処理関数を呼び出したあと、永久ループに入る
【引数】	なし
【戻り値】	なし
【起動方法】	ハードウェア初期化完了したあと自動的にメイン関数に入る
【使用 SFR】	なし
【call 関数】	なし
【変数】	なし
【ファイル名】	main.c
【注意事項】	なし

4.5.2 初期化処理 (initial.c)

【関数名】	port_initial()
【機能】	ポート・モードの設定を行う
【引数】	なし
【戻り値】	なし
【起動方法】	コールする
【使用 SFR】	PFCE2、PFC2、PMC2、PM2、PFCE3、PFC3、PMC3、PM3
【call 関数】	main()
【変数】	なし
【ファイル名】	main.c
【注意事項】	なし

4.5.3 タイマ・アレイ・ユニット A 制御 (taua_control.c)

【関数名】	taua1_initial()
【機能】	連動 PWM 出力モード
【引数】	なし
【戻り値】	なし
【起動方法】	コールする
【使用 SFR】	TAUA1TPS、TAUA1BRS、TAUA1CMOR0、TAUA1CMUR0、TAUA1CMOR1、 TAUA1CMUR1、TAUA1CDR0、TAUA1CDR1、TAUA1TOE、TAUA1TOM、TAUA1TOC、 TAUA1TOL、TAUA1TDE、TAUA1TDM、TAUA1TDL、TAUA1TRE、TAUA1TRO、TAUA1TRC、 TAUA1TME、TAUA1RDE、TAUA1RDS、TAUA1RDM、TAUA1RDC、TAUA1RDT、TAUA1TS
【call 関数】	main()
【変数】	なし
【ファイル名】	taua_control.c
【注意事項】	なし

4.5.4 タイマ・アレイ・ユニット J 制御 (tauj_control.c)

【関数名】	tauj0_initial()
【機能】	単体信号幅測定モード
【引数】	なし
【戻り値】	なし
【起動方法】	コールする
【使用 SFR】	TAUJ0TPS、TAUJ0BRS、TAUJ0CMOR0、TAUJ0CMUR0、TAUJ0TOE、TAUJ0TOM、TAUJ0TOC、TAUJ0TOL、TAUJ0RDE、TAUJ0RDM、TAUJ0RDT、ICTAUJ0I0、TAUJ0TS
【call 関数】	main()
【変数】	なし
【ファイル名】	tauj_control.c
【注意事項】	なし

4.5.5 割り込み (interrupt.c)

【関数名】	int_tauj0i0()
【機能】	入力信号幅測定完了
【引数】	なし
【戻り値】	なし
【起動方法】	マスクをされていない状態で、INTTAUJ0I0 要求がある
【使用 SFR】	TAUJ0CSR0、TAUJ0CDR0
【call 関数】	なし
【変数】	overflow_flag、pulse_width
【ファイル名】	interrupt.c
【注意事項】	なし

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.01.13	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>