

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX ファミリ

EXDMAC を使用したシンクロナス DRAM-外部 SRAM 間転送 (ブロック転送)

要旨

EXDMAC 機能を使用し,シンクロナス DRAM (以下 SDRAM とする) エリアから SRAM エリアへ,ブロック転送モードでデータ転送を行います。

EXDMAC を使用することによって, CPU の負荷を低減し, 外部メモリ間での転送が可能になります。

動作確認デバイス

H8SX/1668R

はじめに

H8SX/1668R グループと同様の I/O レジスタを持つ他の H8SX シリーズでも本プログラムを使用することができます。ただし,一部の機能を機能追加等で変更している場合がありますので,マニュアルで確認してください。このアプリケーションノート使用に際しては十分な評価を行ってください。

目次

1. 仕様	2
2. 適用条件	5
3. 使用機能説明	7
4. 動作説明	9
5. ソフトウェア説明	10
6. 注意事項	23
7. 参照ドキュメント	23

1. 仕様

図 1 と図 2 に、本アプリケーションノートの動作概要と CPU-外部メモリ間の結線図を示します。

また、以下に、本アプリケーションノート動作を説明します。

- EXDMAC は、 $\overline{\text{EDREQ}}$ 端子の立ち下がりエッジで起動します。
- $\overline{\text{EDREQ}}$ 端子は、TPU のアウトプットコンペアマッチ出力を入力します。
- EXDMAC は、512 バイト (256 バイト × 2 ブロック分) のデータを SDRAM エリアから SRAM エリアへ転送します。
- SDRAM はエリア 2 を使用し、SRAM はエリア 4 を使用します。
- EXDMAC 転送終了後、転送元データと転送先データを比較し、結果を I/O ポートに出力します。

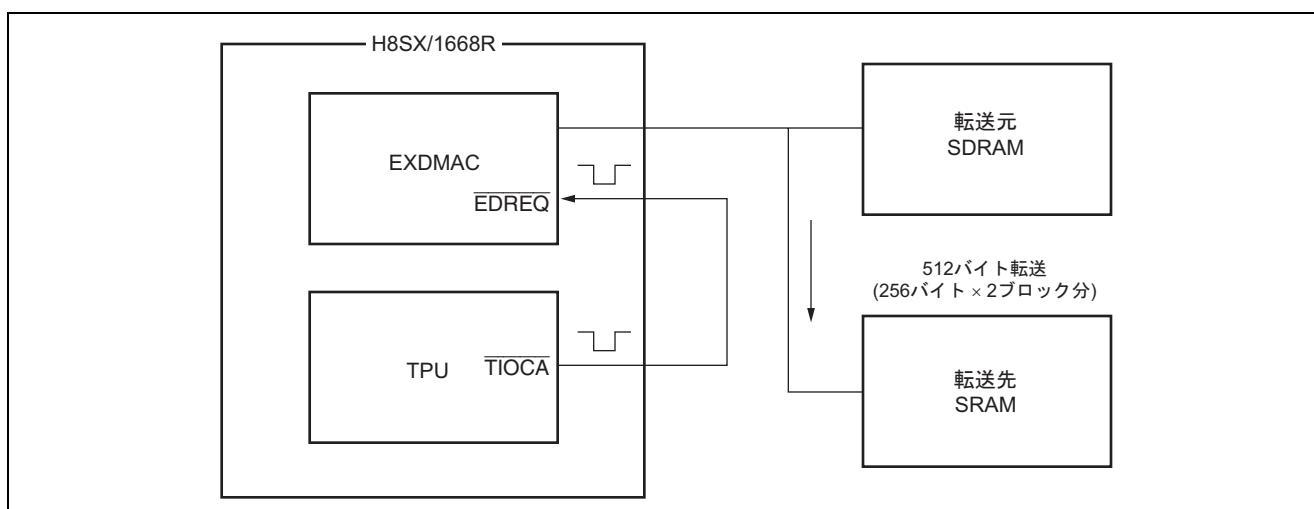


図 1 動作概要図

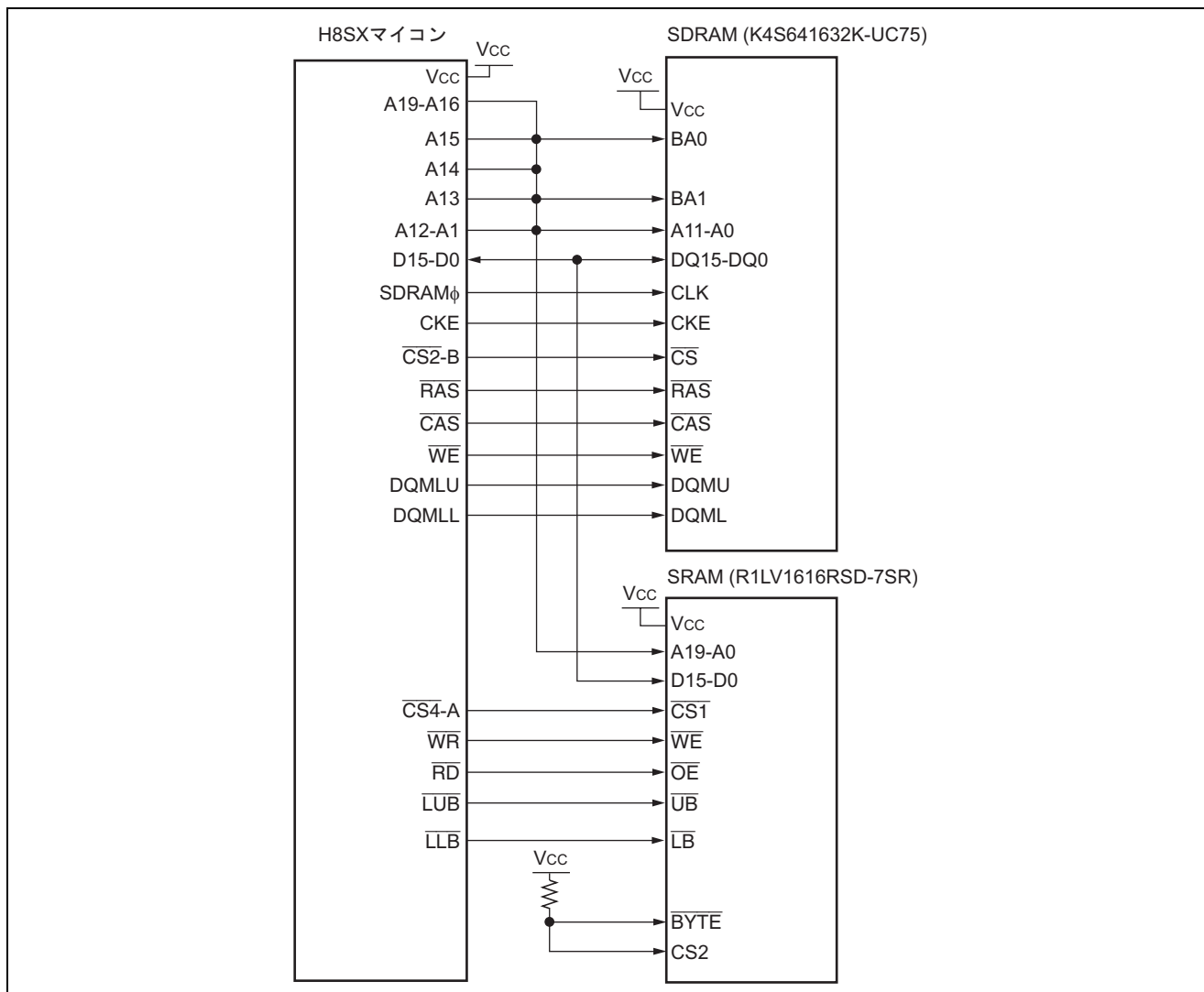


図 2 CPU-外部メモリ間結線

表 1 に、EXDMAC 転送設定を示します。

また、表 2 に、転送データ比較表を示します。

表 1 EXDMAC 転送設定

項目	内容
EXDMAC 転送要求	外部リクエストモード
バスモード	サイクルスチールモード
転送モード	ブロック転送モード
アドレスモード	デュアルアドレスモード
転送サイズ	バイトサイズ
ソースアドレス/デスティネーションアドレス更新	データアクセスサイズによる増加
拡張リビートエリア	設定しない

表 2 転送データ比較表

データ比較内容	出力値 (ポート 3 を使用)
一致	H'55
不一致	H'FF

2. 適用条件

表 3 適用条件

項目	内容
動作周波数	入力クロック : 12.5MHz
	システムクロック (I ϕ) : 50MHz (12.5MHz の 4 逓倍)
	周辺モジュールクロック (P ϕ) : 25MHz (12.5MHz の 2 逓倍)
	外部バスクロック (B ϕ) : 50MHz (12.5MHz の 4 逓倍)
動作電圧	3.3V
動作モード	モード 6 (MD3 = 1, MD2 = 1, MD1 = 1, MD0 = 0, MD_CLK = 0)
外部メモリ	• SDRAM (エリア 2) : K4S641632K-UC75
	• SRAM (エリア 4) : R1LV1616RSD-7SR
開発ツール	High-performance Embedded Workshop (HEW) Ver.4.03.00
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver 6.01.03
コンパイルオプション	-cpu = H8SXA: 24MD, -optimize = 1
リンカオプション	-start = P/0400

表 4 SDRAM 仕様

項目	内容
製品名	K4S641632K-UC75 (Samsung Electronics 社)
構成	1M ワード × 16 ビット × 4 バンク
容量	64M ビット
CAS レイテンシ	2/3 (プログラマブル)
リフレッシュ間隔	64ms ごとの 4096 リフレッシュサイクル
ロウアドレス	A11 - A0
カラムアドレス	A7 - A0
バンク数	BA0, BA1 で制御する 4 バンク動作

表 5 SRAM 仕様

項目	内容
製品名	R1LV1616RSD-7SR (RENESAS 社)
構成	1M ワード × 16 ビット
容量	16M ビット

【注】 本アプリケーションノートで使用している SRAM は、上位 1M バイト分を使用しています。
(エリア 4 の最大領域が、1M バイト領域のため)

表 6 SDRAM モードレジスタ設定

項目	内容
オペレーションコード (OPCODE)	バーストリード/シングルライト
CAS レイテンシ (LMODE)	2
バーストタイプ (BT)	シーケンシャル
バースト長 (BL)	1
SDRAM アクセスアドレス	H'400440

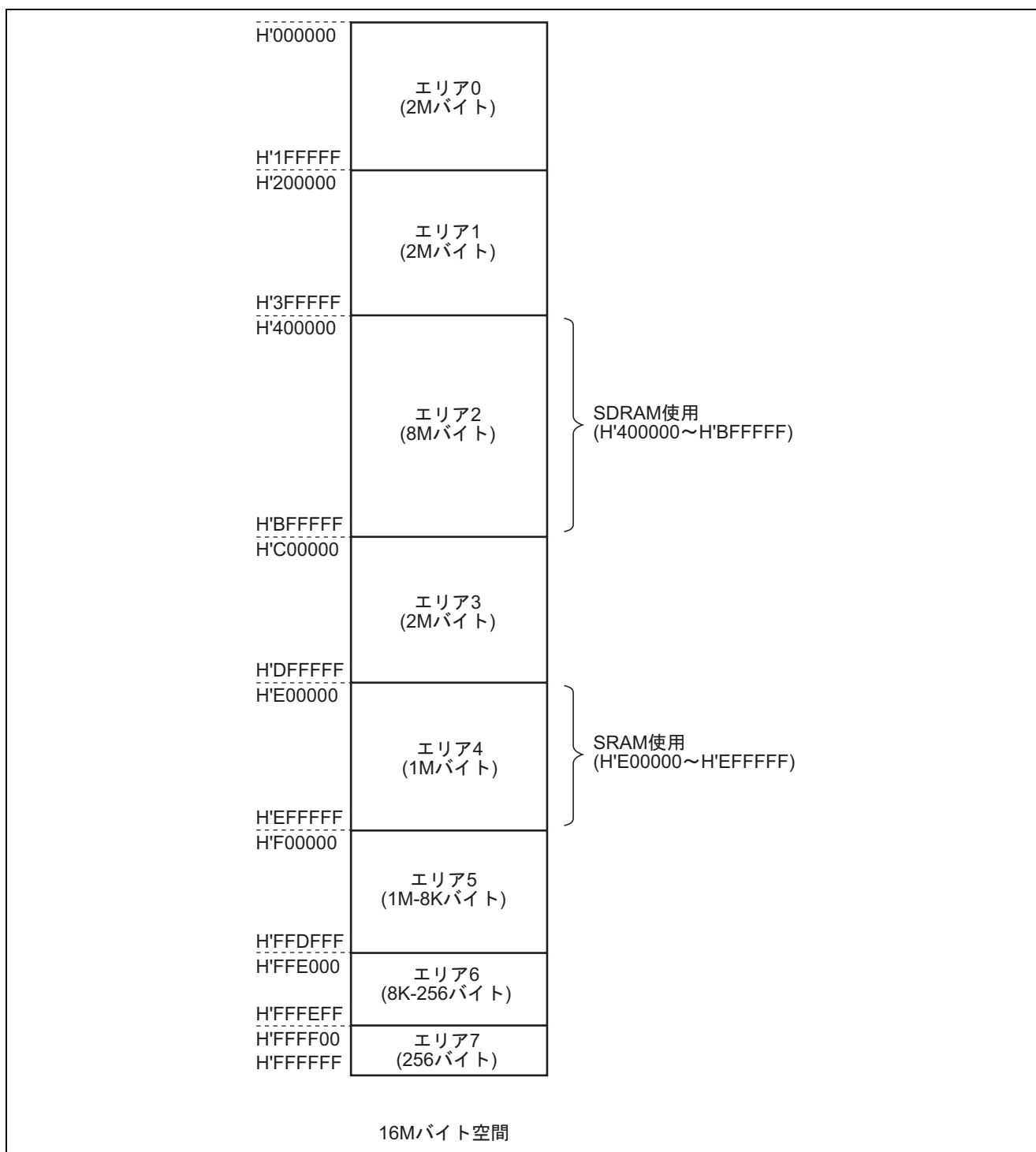


図 3 アドレス空間のエリア分割

3. 使用機能説明

3.1 ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックサイズ単位の転送を行います。EXDMA 転送カウンタレジスタ (EDTCR) で最大 4G バイトの総転送サイズを設定できます。EXDMA ブロックサイズレジスタ (EDBSR) で最大 64k × データアクセスサイズのブロックサイズを設定できます。

1 ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1 ブロック分の転送が終了すると、バス権を他のバスマスタに開放します。

EXDMA アドレスコントロールレジスタ (EDACR) の ARS1, ARS0 ビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1 ブロック分の転送終了ごとに、転送開始アドレスに戻ります。

図 4 と図 5 に、ブロック転送モード例とデュアルアドレスモードのブロック転送モードの動作例を示します。

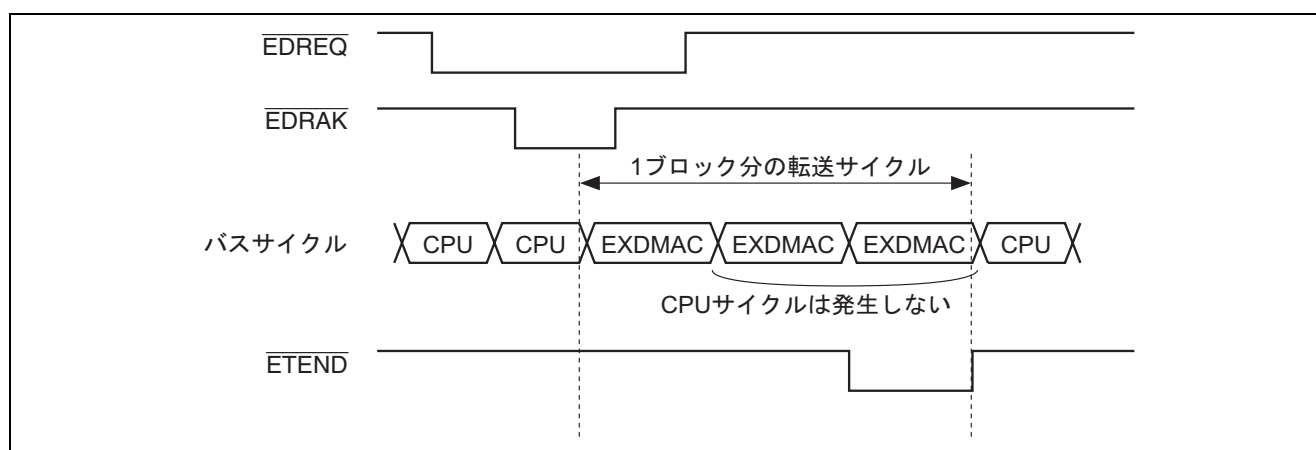


図 4 ブロック転送モードの例

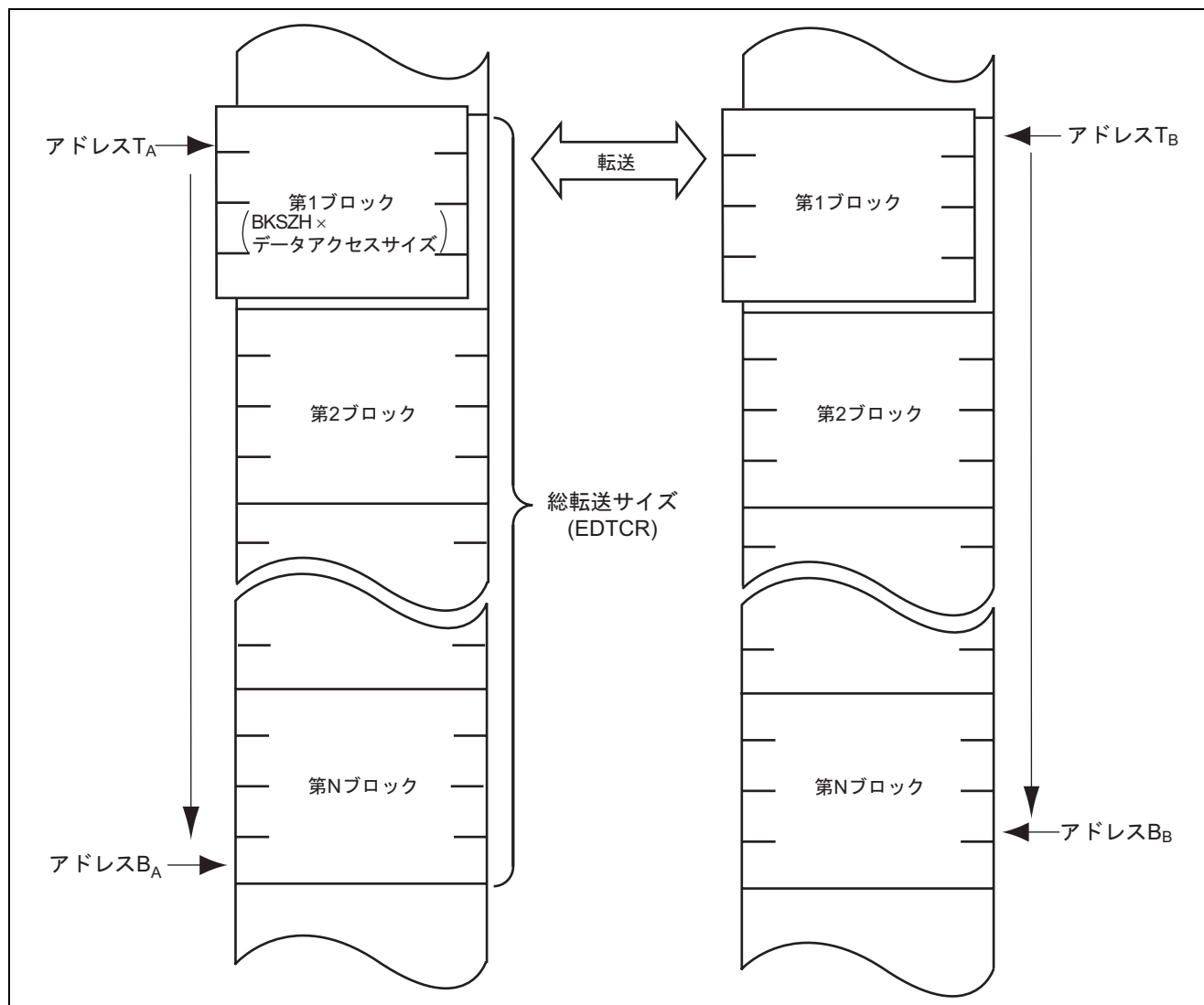


図5 デュアルアドレスモードのブロック転送モードの動作例

4. 動作説明

図 6 に、本アプリケーションノートの動作概要を示します。

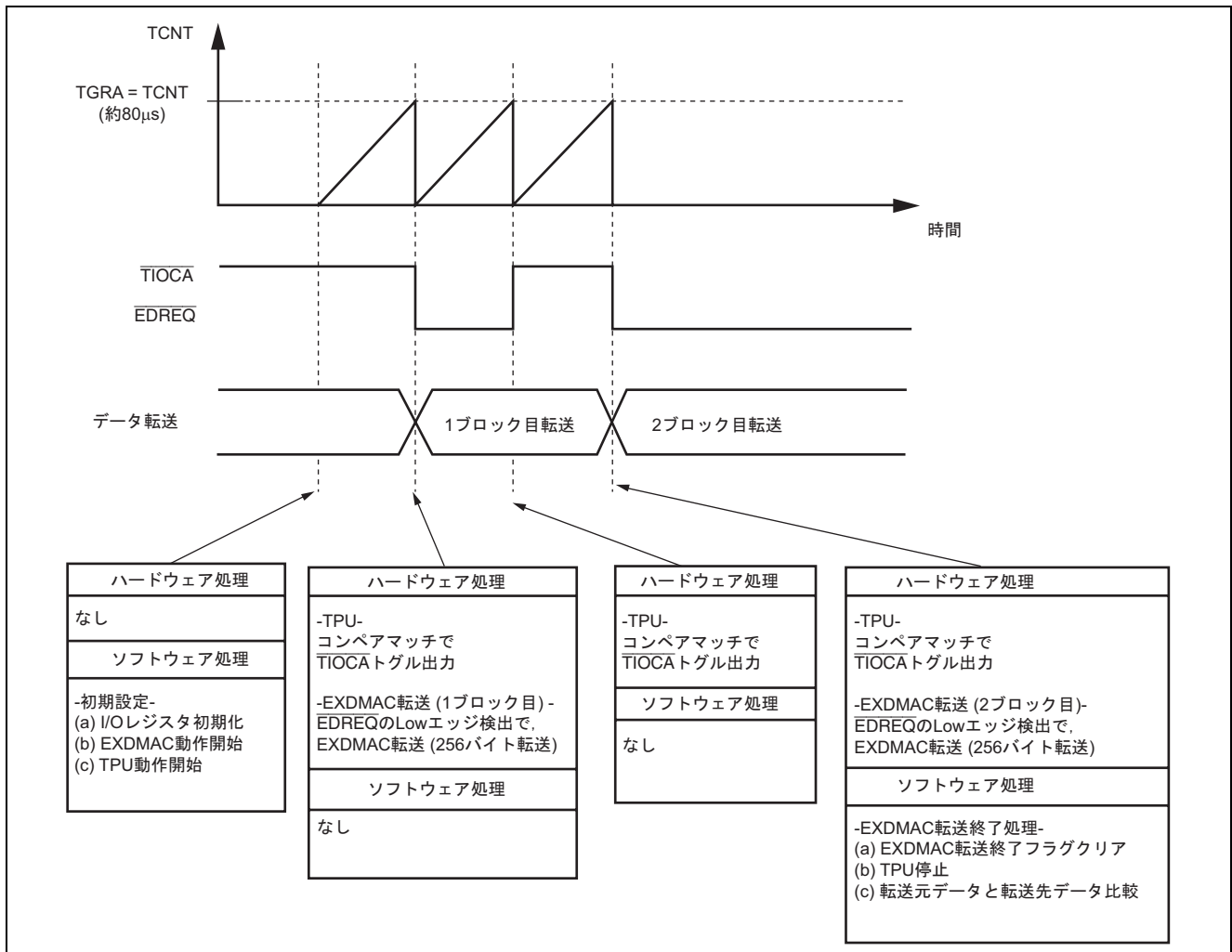


図 6 動作説明図

5. ソフトウェア説明

5.1 関数一覧

表 7 関数一覧

関数名	機能
main	メインルーチン init 関数呼び出し, EXDMAC 動作設定, TPU 動作設定, EXDMAC 転送終了判定, cmp_data 関数呼び出し。
init	初期化ルーチン 各レジスタの初期化設定, 使用メモリ領域の初期化, EXDMAC 転送元領域のデータ設定。
cmp_data	転送データ比較ルーチン 転送元データと転送先データ比較。

5.2 関数説明

5.2.1 main 関数

(1) 機能概要

main 関数では, init 関数で各レジスタと RAM を初期化し, EXDMAC と TPU を動作させます。

そして, EXDMAC 転送終了後, cmp_data 関数で転送データを比較します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお, 設定値は, 本タスク例において使用している値であり, 初期値とは異なります。

- EXDMA モードコントロールレジスタ (EDMDR) ビット数: 32 アドレス: H'FFFC94

ビット	ビット名	設定値	R/W	機能
31	DTE	1	R/W	データトランスファイネーブル 対応するチャネルのデータ転送を許可または禁止します。 このビットが 1 にセットされていると, EXDMA 動作中であることを示します。 外部リクエストでは, このビットに 1 をセットした後に, 転送要求が発生すると転送処理に入ります。 1: データ転送を許可 (EXDMA 動作中)
16	DTIF	0	R/W	データトランスファインタラプトフラグ 転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。 0: 転送カウンタによる転送終了割り込み要求なし

- タイマスタートレジスタ (TSTR) ビット数: 8 アドレス: H'FFFFBC

ビット	ビット名	設定値	R/W	機能
0	CST0	1	R/W	カウンタスタート 0 TCNT の動作または停止を選択します。 1: TCNT_0 はカウント動作

(5) フローチャート

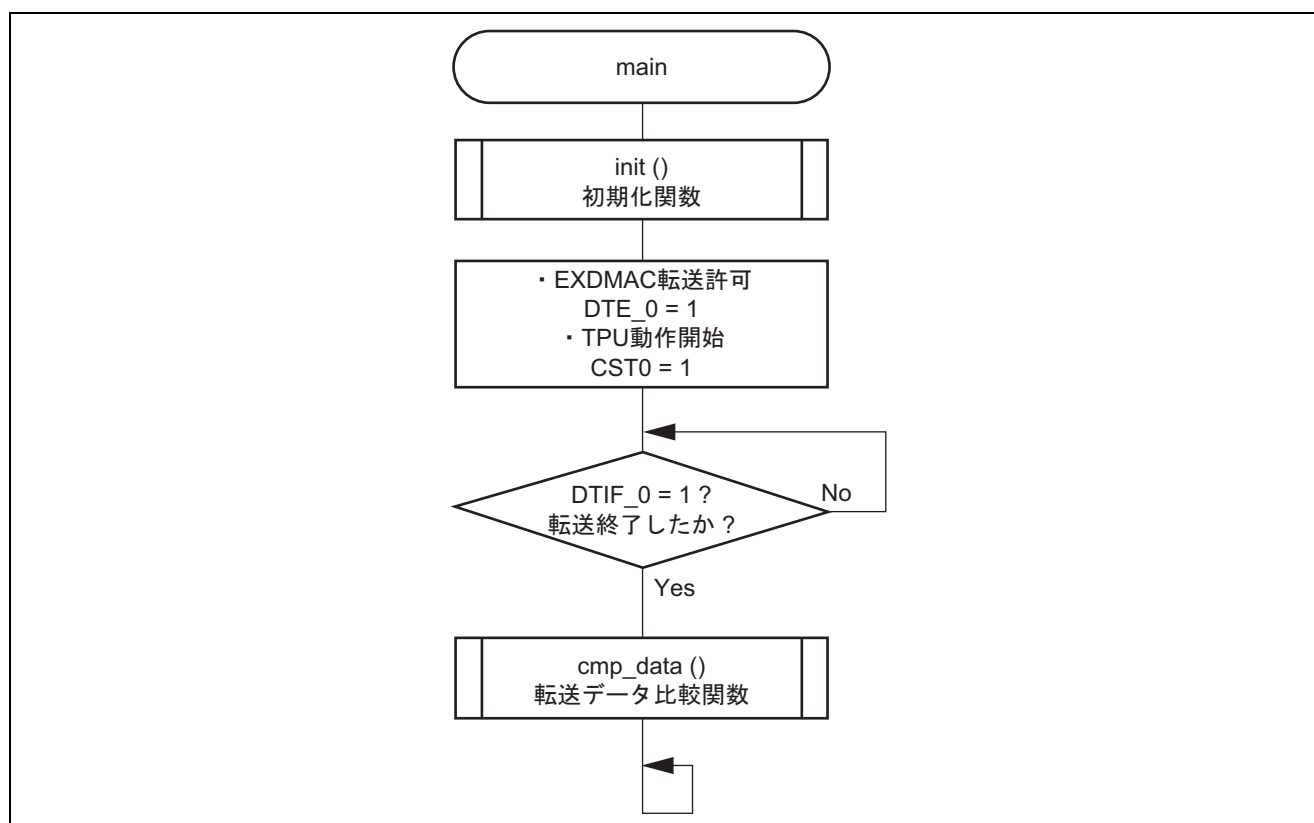


図 7 フローチャート (main)

5.2.2 init 関数

(1) 機能概要

init 関数では、I/O レジスタ初期化、メモリ初期化、転送元データ設定を行います。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

● システムクロックコントロールレジスタ (SCKCR) ビット数: 16 アドレス: H'FFFD C4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU, EXDMAC, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000: 入力クロック $\times 4$
9	ICK1	0		
8	ICK0	0		
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック $\times 2$
5	PCK1	0		
4	PCK0	1		
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。 000: 入力クロック $\times 4$
1	BCK1	0		
0	BCK0	0		

- MSTPCRA はモジュールストップモードの制御を行います。1 のとき対応するモジュールは、モジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

● モジュールストップコントロールレジスタ A (MSTPCRA) ビット数: 16 アドレス: H'FFFD C8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止
14	MSTPA14	0	R/W	EXDMA コントローラ (EXDMAC)
0	MSTPA0	0	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5 ~ 0)

● バス幅コントロールレジスタ (ABWCR) ビット数: 16 アドレス: H'FFFD 84

ビット	ビット名	設定値	R/W	機能
12	ABWH4	0	R/W	エリア 7 ~ 0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。 ABWH n ABWL n ($n = 7 \sim 0$) 0 1 : エリア n を 16 ビットアクセス空間に設定
10	ABWH2	0		
4	ABWL4	1		
2	ABWL2	1		

- アクセスステートコントロールレジスタ (ASTCR) ビット数: 16 アドレス: H'FFFD86

ビット	ビット名	設定値	R/W	機能
12	AST4	1	R/W	対応するエリアを 2 ステートアクセスか ,3 ステートアクセス空間にするかを選択します。 1: エリア n を 3 ステートアクセス空間に設定
10	AST2	1		

- ウェイトコントロールレジスタ A (WTCRA) ビット数: 16 アドレス: H'FFFD88

ビット	ビット名	設定値	R/W	機能
2	W42	1	R/W	エリア 4 ウェイトコントロール 2~0 エリア 4 をアクセスするときのプログラムウェイトステート数を選択します。 111: プログラムウェイトを 7 ステート挿入
1	W41	1		
0	W40	1		

- ウェイトコントロールレジスタ B (WTCRB) ビット数: 16 アドレス: H'FFFD8A

ビット	ビット名	設定値	R/W	機能
10	W22	0	R/W	エリア 2 ウェイトコントロール 2~0 エリア 2 をアクセスするときのプログラムウェイトステート数を選択します。 また , シンクロナス DRAM 接続時は , CAS レイテンシの設定を行います。そのとき W22 は無視されます。 01: CAS レイテンシ 2 のシンクロナス DRAM を接続
9	W21	0		
8	W20	1		

- アイドルコントロールレジスタ (IDLCR) ビット数: 16 アドレス: H'FFFD90

ビット	ビット名	設定値	R/W	機能
15~12	IDLS2~0	0	R/W	アイドルサイクル挿入 3~0 バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない

- エンディアンコントロールレジスタ (ENDIANCR) ビット数: 8 アドレス: H'FFFD95

ビット	ビット名	設定値	R/W	機能
4	LE4	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0: ビックエンディアン
2	LE2	0		

• SRAM モードコントロールレジスタ (SRAMCR) ビット数: 16 アドレス: H'FFFD98

ビット	ビット名	設定値	R/W	機能
12 10	BCSEL4 BCSEL2	1 0	R/W	バイト制御 SRAM インタフェース選択 対応するエリアのバスインタフェースを選択します。 0: 基本バスインタフェース 1: バイト制御 SRAM インタフェース

• DRAM コントロールレジスタ (DRAMCR) ビット数: 16 アドレス: H'FFFDA0

ビット	ビット名	設定値	R/W	機能
15	DRAME	1	R/W	エリア 2DRAM インタフェース選択 エリア 2 を DRAM/シンクロナス DRAM インタフェースとする か否かを選択します。 このビットを 1 にセットするときは、エリア 2 に接続する DRAM の種類を DTYPE ビットで選択してください。 このビットを 1 にセットする場合は、SRAMCR の BCSEL2 は 0 に設定してください。 1: DRAM/シンクロナス DRAM インタフェース
14	DTYPE	1	R/W	DRAM 選択 エリア 2 に接続する DRAM を選択します。 1: シンクロナス DRAM をエリア 2 に接続する
11	OEE	1	R/W	$\overline{OE}$ 出力イネーブル EDO ページモードを備えた DRAM に接続するときに $\overline{OE}$ 信号 を出力することができます。シンクロナス DRAM に接続する ときには、CKE 信号を出力することができます。 1: $\overline{OE}$ /CKE 信号出力許可
7	BE	1	R/W	バーストアクセスイネーブル DRAM 空間/シンクロナス DRAM 空間へのバーストアクセスの 許可または禁止を選択します。DRAM 空間/シンクロナス DRAM 空間のアクセスは、高速ページモードとなります。 1: DRAM 空間/シンクロナス DRAM 空間アクセス時、高速ペ ージモードでアクセス

• DRAM アクセスコントロールレジスタ (DRACCR) ビット数: 16 アドレス: H'FFFDA2

ビット	ビット名	設定値	R/W	機能
13 12	TPC1 TPC0	0 0	R/W	プリチャージステート制御 通常アクセス時、およびリフレッシュ時の RAS プリチャージサ イクルのステート数を選択します。 00: RAS プリチャージサイクルは 1 ステート
9 8	RCD1 RCD0	0 0	R/W	RAS・CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間にウェイ トサイクルを挿入するか否かを選択します。 00: RAS アサートサイクルと CAS アサートサイクルの間にウェ イトサイクルを挿入しない

• シンクロナス DRAM コントロールレジスタ (SDCR) ビット数: 16 アドレス: H'FFFDA4

ビット	ビット名	設定値	R/W	機能
15	MRSE	0/1	R/W	モードレジスタセットイネーブル シンクロナス DRAM のモードレジスタ設定を有効にします。 0: シンクロナス DRAM のモードレジスタの設定禁止 1: シンクロナス DRAM のモードレジスタの設定許可

【注】 シンクロナス DRAM モードを設定するには、SDCR の MRSE ビットを 1 にセットし、シンクロナス DRAM モードレジスタの設定を有効にします。その後、シンクロナス DRAM 空間をバイトでライトアクセスします。ライトアクセス後、MRSE ビットを 0 にクリアし、シンクロナス DRAM モード設定を禁止してください。

• リフレッシュコントロールレジスタ (REFCR) ビット数: 16 アドレス: H'FFFDA6

ビット	ビット名	設定値	R/W	機能
10 9 8	RTCK2 RTCK1 RTCK0	0 1 0	R/W	リフレッシュカウンタクロックセレクト 周辺モジュールクロック (Pφ) を分周した 7 種類の内部クロックから、リフレッシュカウンタのカウントアップに使用するクロックを選択します。入力クロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 010: Pφ/8 でカウント
7	RFSHE	1	R/W	リフレッシュ制御 リフレッシュ制御を行うか否かを選択します。 1: リフレッシュ制御を行う

• リフレッシュタイムカウンタ (RTCNT) ビット数: 8 アドレス: H'FFFDA8

機能: RTCNT は、REFCR の RTCK2 ~ RTCK0 ビットで選択された内部クロックにより、カウントアップします。RTCNT が RTCOR に一致 (コンペアマッチ) すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき、REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。

設定値: H'00

• リフレッシュタイムコンスタントレジスタ (RTCOR) ビット数: 8 アドレス: H'FFFDA9

機能: RTCOR は、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

設定値: H'30 (リフレッシュ間隔: 約 15.36μs)

• ポートファンクションコントロールレジスタ 0 (PFCR0) ビット数: 8 アドレス: H'FFFBC0

ビット	ビット名	設定値	R/W	機能
4 2	CS4E CS2E	1 1	R/W	CS7 ~ CS0 イネーブル 対応する $\overline{CS}$ 出力の許可/禁止を選択します。 1: $\overline{CS}$ 出力端子として設定

- ポートファンクションコントロールレジスタ 1 (PFCR1) ビット数: 8 アドレス: H'FFFBC1

ビット	ビット名	設定値	R/W	機能
1 0	CS4SA CS4SB	0 0	R/W	CS4 出力端子セレクト CS4 出力許可時 (CS4E = 1), $\overline{\text{CS4}}$ の出力端子を選択します。 00: PB0 を $\overline{\text{CS4}}$ -A 出力端子として設定

- ポートファンクションコントロールレジスタ 2 (PFCR2) ビット数: 8 アドレス: H'FFFBC2

ビット	ビット名	設定値	R/W	機能
6	CS2S	1	R/W	$\overline{\text{CS2}}$ 出力端子セレクト $\overline{\text{CS2}}$ 出力許可時 (CS2E = 1), $\overline{\text{CS2}}$ の出力端子を選択します。 1: PB1 を $\overline{\text{CS2}}$ -B 出力端子として設定

- ポートファンクションコントロールレジスタ 4 (PFCR4) ビット数: 8 アドレス: H'FFFBC4

ビット	ビット名	設定値	R/W	機能
7 ~ 0	A23E ~ A16E	1	R/W	アドレス A23 ~ A16 イネーブル アドレス出力 (A23 ~ A16) の許可/禁止を選択します。 1: A23 ~ A16 出力を許可

- ポートファンクションコントロールレジスタ 8 (PFCR8) ビット数: 8 アドレス: H'FFFBC8

ビット	ビット名	設定値	R/W	機能
1 0	EDMAS0A EDMAS0B	0 0	R/W	EXDMAC 制御端子セレクト EXDMAC_0 を制御するための入出力ポートを選択します。 00: P10 ~ P13 を EXDMAC 制御端子として設定

- データディレクションレジスタ (P2DDR) ビット数: 8 アドレス: H'FFFB81
 - データディレクションレジスタ (P3DDR) ビット数: 8 アドレス: H'FFFB82
 - データディレクションレジスタ (PDDDR) ビット数: 8 アドレス: H'FFFB8A
 - データディレクションレジスタ (PEDDDR) ビット数: 8 アドレス: H'FFFB8D
 - データディレクションレジスタ (PFDDR) ビット数: 8 アドレス: H'FFFB8E
- 機能: DDR は, ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。
設定値: H'FF

- データレジスタ (P3DR) ビット数: 8 アドレス: H'FFFF52
- 機能: DR は, 汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。
設定値: H'FF

- 入力バッファコントロールレジスタ (P1ICR) ビット数: 8 アドレス: H'FFFB90
- 機能: ICR は, ポートの入力バッファを制御する 8 ビットのリード/ライト可能なレジスタです。
設定値: H'01
- 【注】 $\overline{\text{EDREQ}}$ 端子を入力端子として使用するため, H'01 を設定しています。

- EXDMA ソースアドレスレジスタ (EDSAR) ビット数: 32 アドレス: H'FFFC80
- 機能: EDSAR は 転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。
アドレス更新機能を持ち, 転送処理が行われるたびに次の転送元アドレスに更新されます。
設定値: エリア 2 の先頭アドレス

- EXDMA デスティネーションアドレスレジスタ (EDDAR)** ビット数: 32 アドレス: H'FFFC84
 機能: EDDAR は 転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。
 アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。
 設定値: エリア 4 の先頭アドレス
- EXDMA 転送カウンタレジスタ (EDTCR)** ビット数: 32 アドレス: H'FFFC8C
 機能: EDTCR は 転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。1 データ転送ごとに、転送したデータアクセスサイズに応じた値がデクリメントされます。
 設定値: H'200
- EXDMA モードコントロールレジスタ (EDMDR)** ビット数: 32 アドレス: H'FFFC94

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 対応するチャネルのデータ転送を許可または禁止します。 0: データ転送を禁止
27	EDREQS	1	R/W	EDREQ セレクト 外部リクエストモードで使用する EDREQ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを選択します。 1: 立ち下がリエッジ検出 (転送許可後の最初の転送は、Low レベルで検出します。)
15 14	DTSZ1 DTSZ0	0 0	R/W	データアクセスサイズ 1, 0 転送するデータアクセスサイズを選択します。 00: バイトサイズ (8 ビット)
13 12	MDS1 MDS0	0 1	R/W	転送モードセレクト 1, 0 転送モードを選択します。 01: ブロック転送モード
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。 0: 転送終了割り込み要求を禁止
7 6	DTF1 DTF0	1 1	R/W	データトランスファファクタ 1, 0 EXDMAC を起動する要因を選択します。 11: 外部リクエスト
2 1 0	EDMAP2 EDMAP1 EDMAP0	1 1 1	R/W	EXDMA プライオリティレベル 2~0 CPU に対する EXDMAC の優先レベルを選択します。 111: 優先レベル 7 (最高)

● EXDMA ブロックサイズレジスタ (EDBSR) ビット数: 32 アドレス: H'FFFC90

機能: EDBSR は、ブロックサイズを設定します。

31 ~ 16 ビット目は、ブロックサイズを設定します。

15 ~ 0 ビット目は、ブロックサイズの残りサイズを示します。残りサイズが 0 になると 31 ~ 16 ビット目の値がロードされます。

設定値: H'01000100

● EXDMA アドレスコントロールレジスタ (EDACR) ビット数: 32 アドレス: H'FFFC98

ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。 0: デュアルアドレスモード
21 20	SAT1 SAT0	1 0	R/W	ソースアドレス更新モード 1, 0 ソースアドレス (EDSAR) の増減を選択します。 10: ソースアドレスは増加
17 16	DAT1 DAT0	1 0	R/W	デスティネーションアドレス更新モード 1, 0 デスティネーションアドレス (EDDAR) の増減を選択します。 10: デスティネーションアドレスは増加

● タイマコントロールレジスタ (TCR) ビット数: 8 アドレス: H'FFFC0

ビット	ビット名	設定値	R/W	機能
7 6 5	CCLR2 CCLR1 CCLR0	0 0 1	R/W	カウンタクリア 2, 1, 0 TCNT のカウンタクリア要因を選択します。 001: TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
4 3	CKEG1 CKEG0	0 0	R/W	クロックエッジ 1, 0 入力クロックのエッジを選択します。 00: 内部クロック 立ち上がりエッジでカウント
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W	タイマプリスケラ 2, 1, 0 TCNT のカウンタクロックを選択します。 000: 内部クロック Pφ/1 でカウント

● タイマ I/O コントロールレジスタ_H (TIOR_H) ビット数: 8 アドレス: H'FFFC2

ビット	ビット名	設定値	R/W	機能
3 2 1 0	IOA3 IOA2 IOA1 IOA0	0 1 1 1	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。 0111: TIOCA0 端子の初期値は 1 出力 ,コンペアマッチでトグル出力

- タイマインタラプトイネーブルレジスタ (TIER) ビット数: 8 アドレス: H'FFFFC4

ビット	ビット名	設定値	R/W	機能
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき, TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0: TGFA ビットによる割り込み要求 (TGIA) を禁止

- タイマカウンタ (TCNT) ビット数: 16 アドレス: H'FFFFC6

機能: TCNT は, 16 ビットのリード/ライト可能なカウンタです。

リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

設定値: H'0000

- タイマジェネラルレジスタ (TGR) ビット数: 16 アドレス: H'FFFFC8

機能: TGR は, 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

設定値: H'07D0 (TPU 周期: 約 80μs)

- タイマスタートレジスタ (TSTR) ビット数: 8 アドレス: H'FFFFBC

ビット	ビット名	設定値	R/W	機能
0	CST0	0	R/W	カウンタスタート 0 TCNT の動作または停止を選択します。 0: TCNT_0 はカウント停止

(5) フローチャート

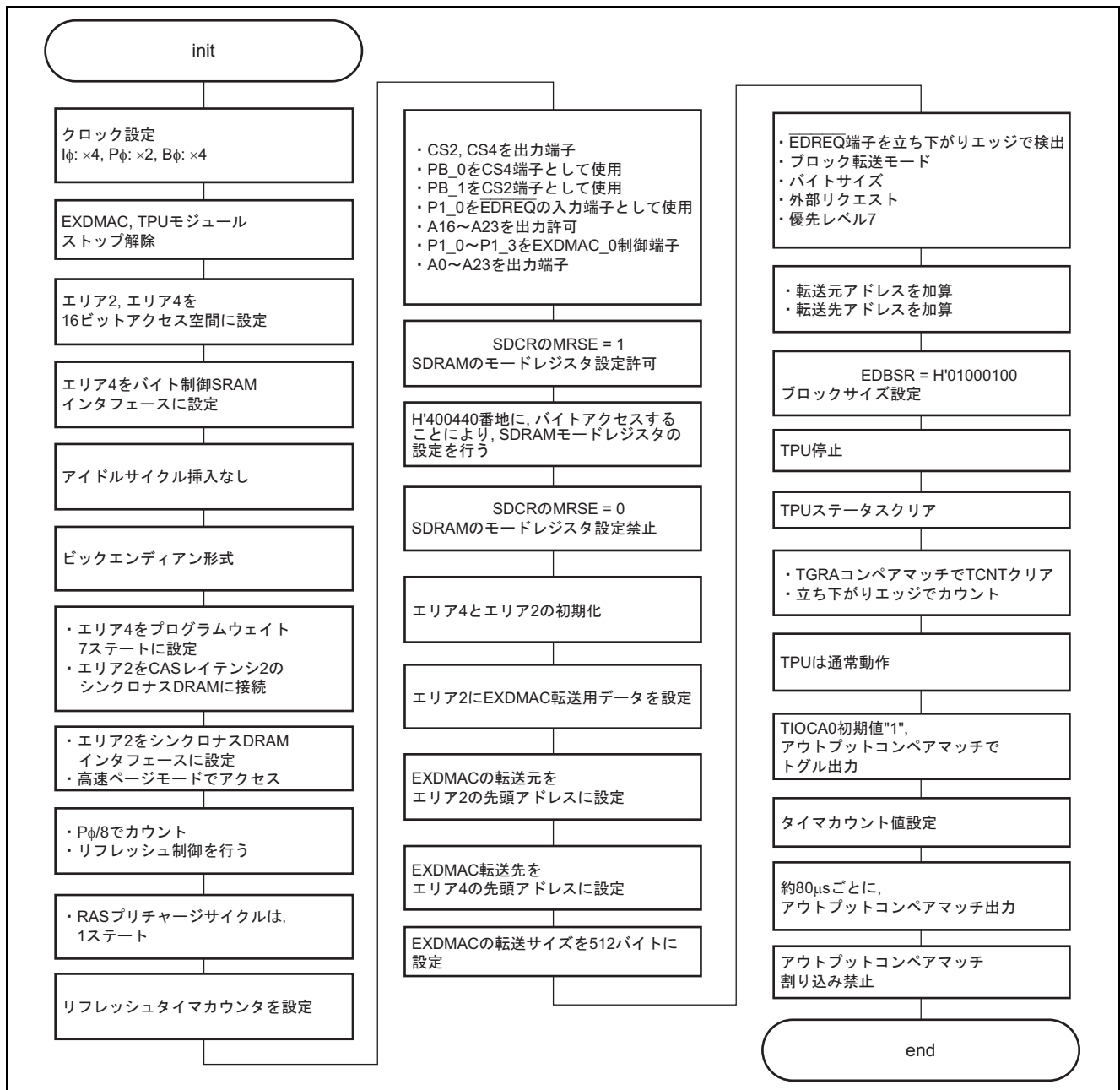


図 8 フローチャート

5.2.3 cmp_data 関数

(1) 機能概要

cmp_data 関数では、EXDMAC 転送データを比較し、その結果をポートに出力しています。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

• EXDMA モードコントロールレジスタ (EDMDR) ビット数: 32 アドレス: H'FFFC94

ビット	ビット名	設定値	R/W	機能
16	DTIF	0	R/W	データトランスファインタラプトフラグ 転送カウンタによる転送終了割り込みが発生したことを示すフラグです。 0: 転送カウンタによる転送終了割り込み要求なし

• タイマスタートレジスタ (TSTR) ビット数: 8 アドレス: H'FFFBC

ビット	ビット名	設定値	R/W	機能
0	CST0	0	R/W	カウンタスタート 0 TCNT の動作または停止を選択します。 0: TCNT_0 はカウント停止

• データレジスタ (P3DR) ビット数: 8 アドレス: H'FFF52

機能: DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。

設定値: H'55, H'FF

(5) フローチャート

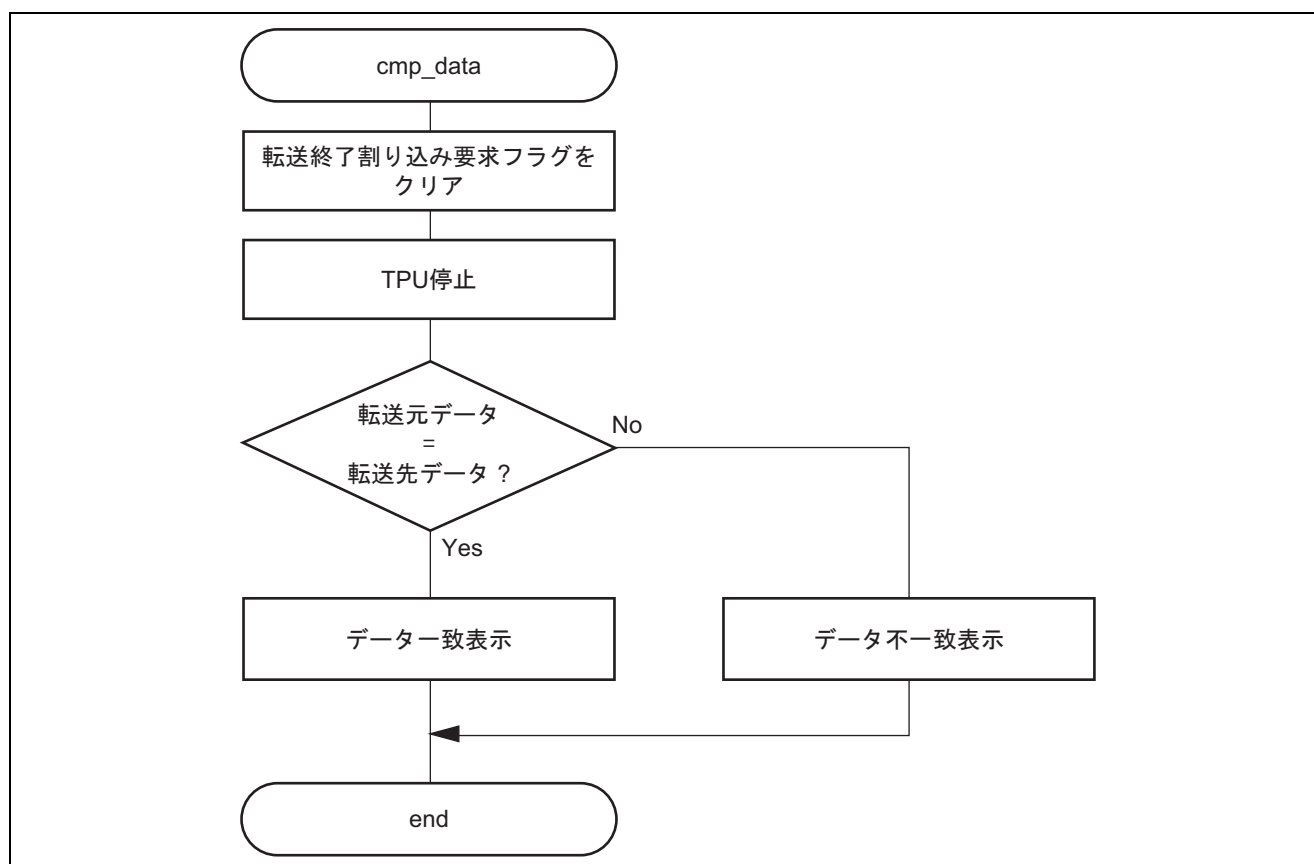


図 9 フローチャート

6. 注意事項

- (1) デバイスの端子を周辺モジュールの入力端子として使用する場合は、入力バッファコントロールレジスタ (PnICR) の対応するビットを 1 にセットしてください。
詳細につきましては、ハードウェアマニュアルを参照してください。
- (2) EXDMAC は、内蔵周辺モジュールからの割り込み要求を起動要因とすることができません。
詳細につきましては、ハードウェアマニュアルを参照してください。

7. 参照ドキュメント

- ハードウェアマニュアル
H8SX/1668R グループハードウェアマニュアル
(最新版をルネサス テクノロジホームページから入手してください。)
- テクニカルニュース/テクニカルアップデート
(最新の情報をルネサス テクノロジホームページから入手してください。)
- H8SX ファミリ アプリケーションノート
『シンクロナス DRAM インタフェース』ドキュメント No.RJJ06B0791-0100
(最新の情報をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.12.14	—	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなくよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。