

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

SH-3、SH3-DSP SDRAM インタフェース編

アプリケーションノート

ルネサスSuperH™ RISC engine

ご注意

- 1 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
- 2 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
- 3 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
- 4 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
- 5 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
- 6 本製品は耐放射線設計をしておりません。
- 7 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
- 8 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

SuperH™ RISC engine マイクロコンピュータは、RISC 方式の CPU により高性能な演算処理を実現します。さらに、システム構成に必要な周辺機能を集積すると同時に、マイコン応用機器に不可欠な低消費電力を実現する、新世代 RISC マイコンです。

SH-3、SH3-DSP SDRAM インタフェース編 アプリケーションノートは、ユーザにてハードウェア設計にご参考としていただける構成となっています。

本アプリケーションノートでは、SH-3、SH3-DSP マイコンと外部メモリ (SDRAM) とのインタフェース例をまとめています。

なお、本アプリケーションノートに掲載されているタスク例は動作確認をしておりますが、実際にご使用になる場合には、必ず動作確認の上ご使用ください。

【注】 SuperH™ は (株) 日立製作所の商標です。

目次

第 1 章 アプリケーションノート使用手引き

1.1 SDRAM インタフェース編構成.....	1
---------------------------	---

第 2 章 SDRAM インタフェース例

2.1 SH7709A / SH7729 SDRAM インタフェース例.....	3
2.1.1 SDRAM 直結方式 (SH7709A / SH7729)	3
2.1.2 HM5225165ATT-A6 (4Mword × 16bit × 4bank)	4
2.1.3 HM5212165DTD-B60 (2Mword × 16bit × 4bank)	6
2.1.4 HM5264165TT-B60 (1Mword × 16bit × 4bank)	8
2.1.5 パワーオンシーケンス (SH7709A / SH7729)	10
2.2 SH7709 SDRAM インタフェース例.....	11
2.2.1 SDRAM 直結方式 (SH7709)	11
2.2.2 HM5212165D-B60 (2Mword × 16bit × 4bank)	12
2.2.3 HM5264165TT-B60 (1Mword × 16bit × 4bank)	14
2.2.4 パワーオンシーケンス (SH7709)	16
2.3 SH7708R SDRAM インタフェース例.....	16
2.3.1 SDRAM 直結方式 (SH7708R)	16
2.3.2 HM5212165D-B60 (2Mword × 16bit × 4bank)	17
2.3.3 HM5264165-B60 (1Mword × 16bit × 4bank)	19
2.3.4 パワーオンシーケンス (SH7708R)	21

1. アプリケーションノート使用手引き

1.1 SDRAM インタフェース編構成

SDRAM インタフェース編は下記に示す構成で、SDRAM とのインタフェース方法について説明しています。

SDRAM インタフェース編

- バスステートコントローラ（BSC）の設定
SDRAMを接続する場合のBSCの設定内容を示します。
- 接続図
SDRAMとインタフェースする接続図を示します。

本アプリケーションノートでは下記製品と SDRAM とのインタフェースを製品別に示しています。

製品名	SDRAM
SH7709A/SH7729	HM5225165ATT-A6
	HM5212165DTD-B60
	HM5264165TT-B60
SH7709	HM5212165D-B60
	HM5264165TT-B60
SH7708R	HM5212165D-B60
	HM5264165-B60

1. アプリケーションノート使用手引き

2. SDRAM インタフェース例

2.1 SH7709A / SH7729 SDRAM インタフェース例

2.1.1 SDRAM 直結方式 (SH7709A / SH7729)

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} 等の制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 1 のバーストリード/シングルライトのモードをサポートしています。データのバス幅は 16、32 ビットから選択できます。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 16 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し・書き込みでは 1 回のみアクセスが行われます。

シンクロナス DRAM を直結するための制御信号は $\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} 、 $\overline{RD/WR}$ 、 $\overline{CS2}$ または $\overline{CS3}$ 、 \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} および \overline{CKE} 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、 \overline{CKE} を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。 \overline{CKE} はセルフリフレッシュを行うときのみネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

ただし、 $\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} は、アドレスが各エリアの上位 32M バイトか下位 32M バイトかによって、どちらを出力するか決まります。上位 32M バイト (エリア 2 : H'0A000000 ~ H'0BFFFFFF、エリア 3 : H'0E000000 ~ H'0FFFFFFF) の場合、 $\overline{RAS3U}$ 、 \overline{CASU} が出力されます。下位 32M バイト (エリア 2 : H'08000000 ~ H'09FFFFFF、エリア 3 : H'0C000000 ~ H'0DFFFFFF) の場合、 $\overline{RAS3L}$ 、 \overline{CASL} が出力されます。リフレッシュサイクルおよびモードレジスタ書き込みサイクルでは、 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ または \overline{CASU} 、 \overline{CASL} が共に出力されます。

$\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} 、 $\overline{RD/WR}$ および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロープ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} によって行われます。該当する DQM が L のバイトに対して読み出し書き込みが行われます。ピックエンディアンモードの場合、 \overline{DQMUU} は 4n 番地のアクセスを、 \overline{DQMLL} は 4n+3 番地のアクセスを指定します。またリトルエンディアンモードの場合、 \overline{DQMUU} は 4n+3 番地のアクセスを、 \overline{DQMLL} は 4n 番地のアクセスを指定します。

2. SDRAM インタフェース例

2.1.2 HM5225165ATT-A6 (4Mword × 16bit × 4bank)

(1) バスステートコントローラ (BSC) の設定

SH7709A / SH7729 のエリア 3 に 16 ビットバス幅で SDRAM (HM5225165ATT-A6) × 2 を接続する場合、バスステートコントローラ (以下、BSC) の設定を行う必要があります。各 BSC レジスタの設定値を表 2.1 に示します。

なお、バスクロックを 66MHz、CL=2、TPC=2、RCD=2、TRWL=1、TRAS=4 の条件で接続します。

表 2.1 BSC の設定 (HM5225165ATT-A6)

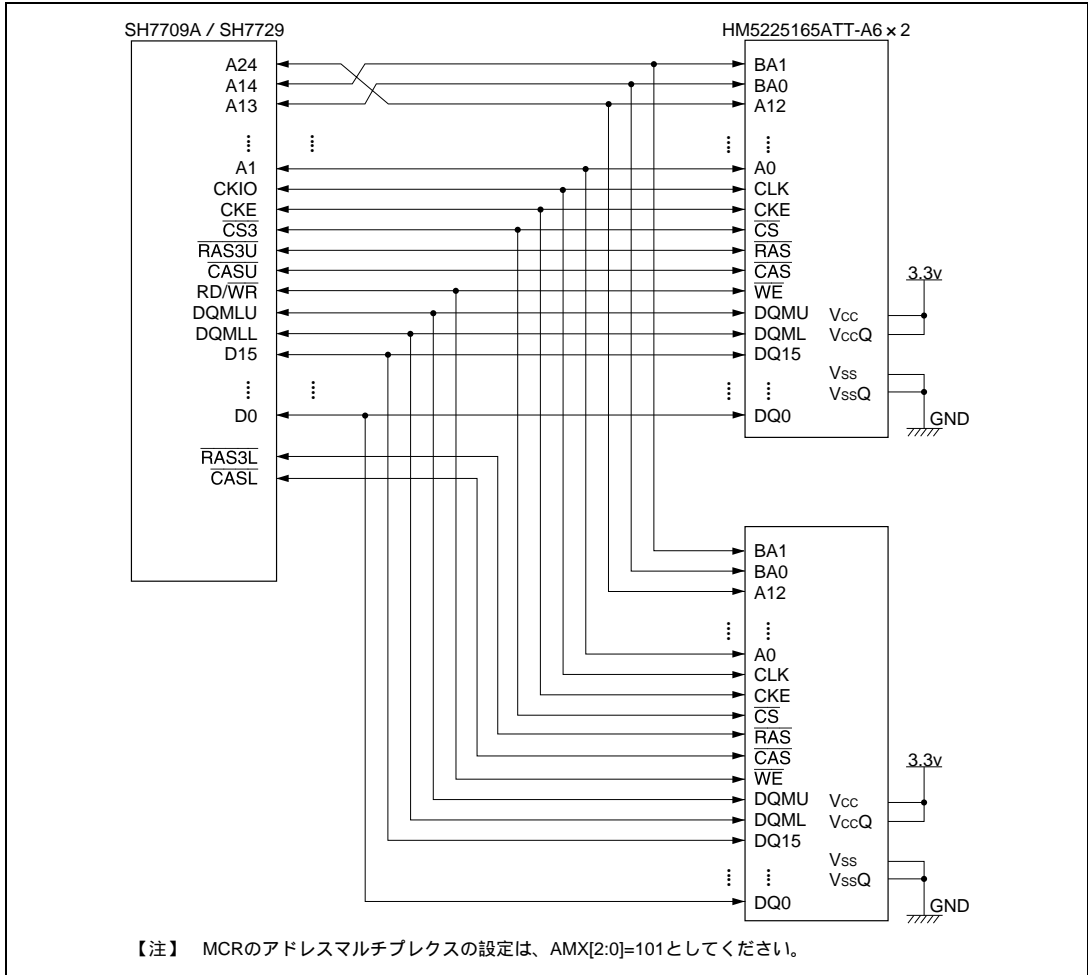
名称	略称	初期値	アドレス	アクセスサイズ	設定値	
バスコントロールレジスタ 1	BCR1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BCR2	H'3FF0	H'FFFFFF62	16	H'3FB0	
ウェイトステートコントロールレジスタ 1	WCR1	H'3FF3	H'FFFFFF64	16	H'3FF3	
ウェイトステートコントロールレジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'522C	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタントカウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A5F8	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BCR3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モード レジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要 H'FFFE880 に任意のデータを書き込みます。*
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		
MCS0 コントロールレジスタ	MCSCR0	H'0000	H'FFFFFF50	16	設定不要	
MCS1 コントロールレジスタ	MCSCR1	H'0000	H'FFFFFF52	16	設定不要	
MCS2 コントロールレジスタ	MCSCR2	H'0000	H'FFFFFF54	16	設定不要	
MCS3 コントロールレジスタ	MCSCR3	H'0000	H'FFFFFF56	16	設定不要	
MCS4 コントロールレジスタ	MCSCR4	H'0000	H'FFFFFF58	16	設定不要	
MCS5 コントロールレジスタ	MCSCR5	H'0000	H'FFFFFF5A	16	設定不要	
MCS6 コントロールレジスタ	MCSCR6	H'0000	H'FFFFFF5C	16	設定不要	
MCS7 コントロールレジスタ	MCSCR7	H'0000	H'FFFFFF5E	16	設定不要	

【注】 本例の接続に関係のないビットは初期値としています。システムに応じて全レジスタを見直してください。

* エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

(2) 接続図

SH7709A/SH7729 のエリア 3 に 16 ビットバス幅で SDRAM (HM5225165ATT-A6) を接続する場合を以下に示します。



2. SDRAM インタフェース例

2.1.3 HM5212165DTD-B60 (2Mword × 16bit × 4bank)

(1) バスステートコントローラ (BSC) の設定

SH7709A/SH7729 のエリア 3 に 32 ビットバス幅で SDRAM (HM5212165DTD-B60) × 2 を接続する場合、バスステートコントローラ (以下、BSC) の設定を行う必要があります。各 BSC レジスタの設定値を表 2.2 に示します。

なお、バスクロック 66MHz、CL=2、TPC=2、RCD=2、TRWL=1、TRAS=4 の条件で接続します。

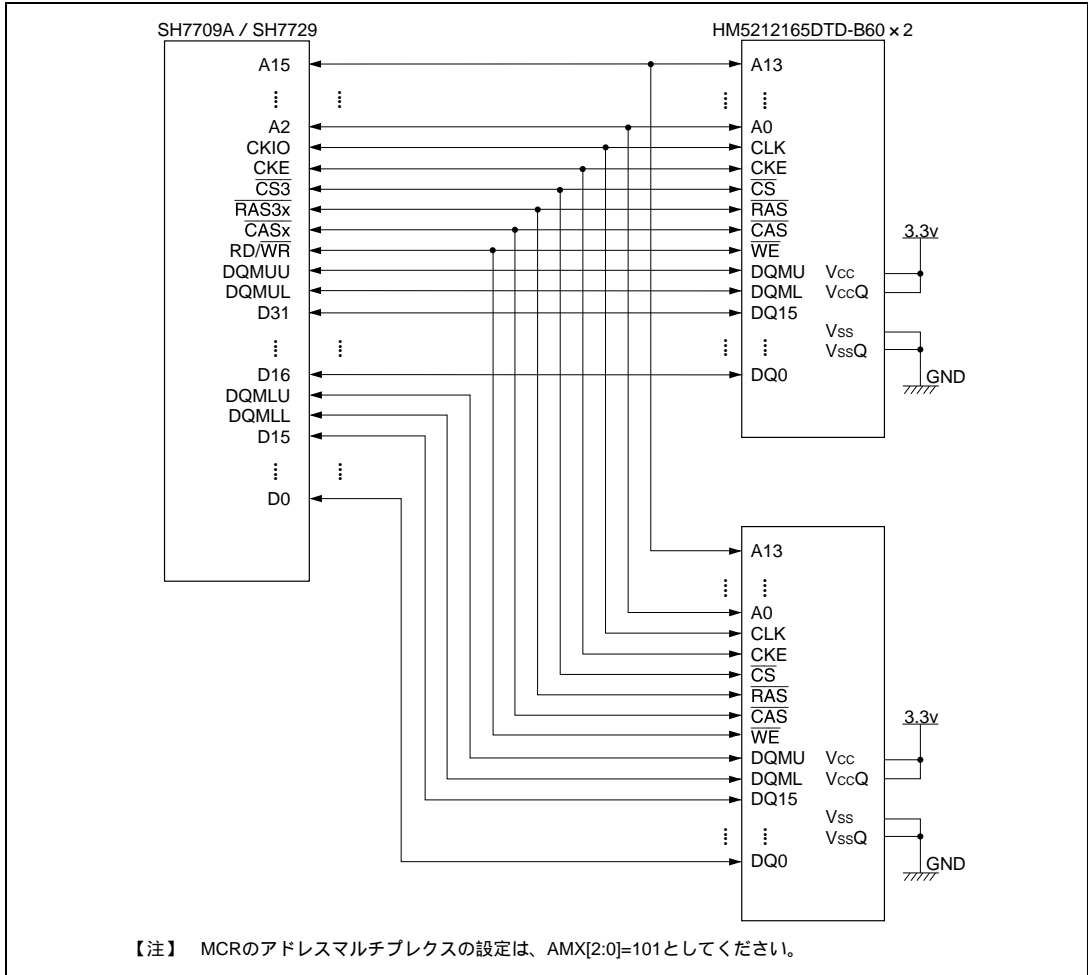
表 2.2 BSC の設定 (HM5212165DTD-B60)

名称	略称	初期値	アドレス	アクセスサイズ	設定値	
バスコントロールレジスタ 1	BSC1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BSC2	H'3FF0	H'FFFFFF62	16	H'3FF0	
ウェイトステートコントロールレジスタ 1	WCR1	H'3FF3	H'FFFFFF64	16	H'3FF3	
ウェイトステートコントロールレジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'522C	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタントカウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A5F8	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BSC3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モード レジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要 H'FFFE880 に任意のデータを書き込みます。*
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		
MCS0 コントロールレジスタ	MCSCR0	H'0000	H'FFFFFF50	16	設定不要	
MCS1 コントロールレジスタ	MCSCR1	H'0000	H'FFFFFF52	16	設定不要	
MCS2 コントロールレジスタ	MCSCR2	H'0000	H'FFFFFF54	16	設定不要	
MCS3 コントロールレジスタ	MCSCR3	H'0000	H'FFFFFF56	16	設定不要	
MCS4 コントロールレジスタ	MCSCR4	H'0000	H'FFFFFF58	16	設定不要	
MCS5 コントロールレジスタ	MCSCR5	H'0000	H'FFFFFF5A	16	設定不要	
MCS6 コントロールレジスタ	MCSCR6	H'0000	H'FFFFFF5C	16	設定不要	
MCS7 コントロールレジスタ	MCSCR7	H'0000	H'FFFFFF5E	16	設定不要	

【注】 * エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

(2) 接続図

SH7709A/SH7729 のエリア 3 に 32 ビットバス幅で SDRAM (HM5212165DTD-B60) を接続する場合を以下に示します。



2. SDRAM インタフェース例

2.1.4 HM5264165TT-B60 (1Mword × 16bit × 4bank)

(1) バスステートコントローラ (BSC) の設定

SH7709A/SH7729 のエリア 3 に 32 ビットバス幅で SDRAM (HM5264165TT-B60) × 2 を接続する場合、バスステートコントローラ (以下、BSC) の設定を行う必要があります。各 BSC レジスタの設定値を表 2.3 に示します。なお、バスクロック 66MHz、CL=2、TPC=2、RCD=2、TRWL=1、TRAS=4 の条件で接続します。

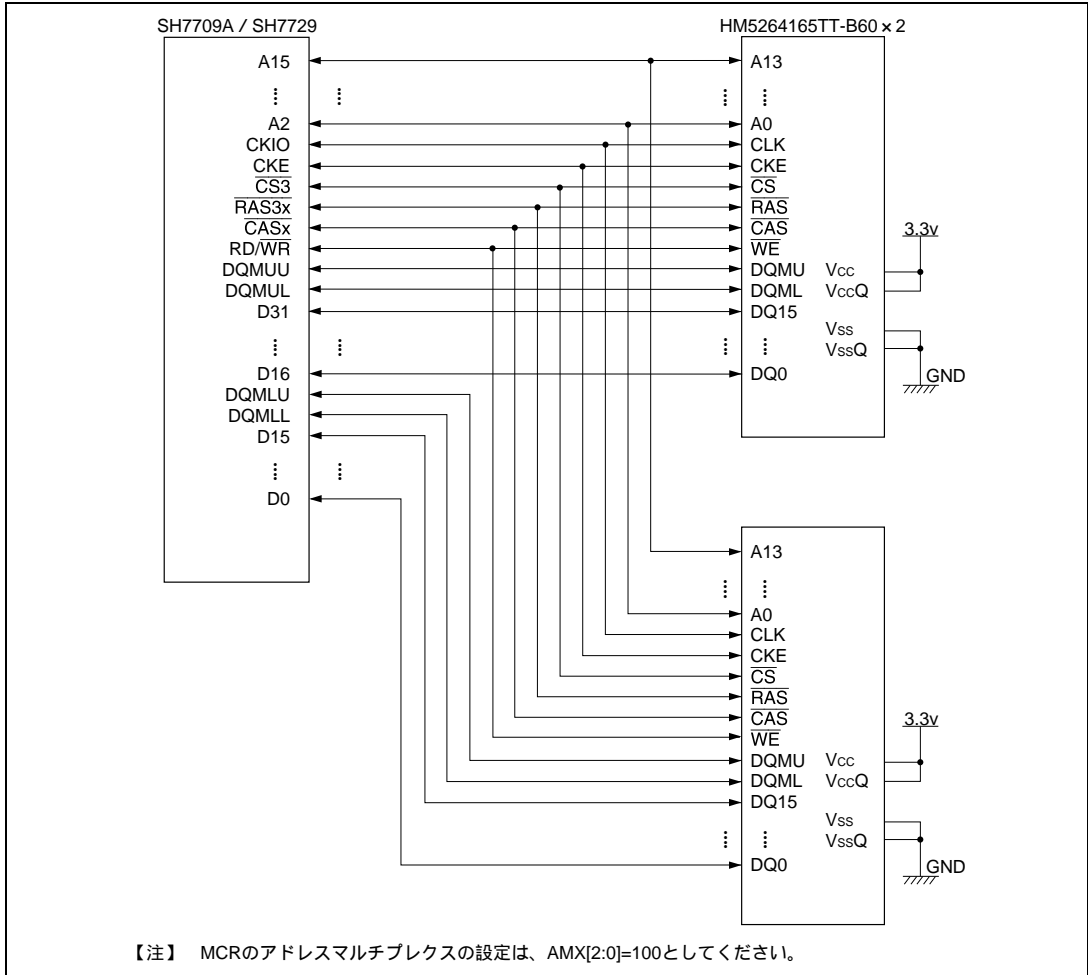
表 2.3 BSC の設定 (HM5264165TT-B60)

名称	略称	初期値	アドレス	アクセス サイズ	設定値	
バスコントロールレジスタ 1	BSC1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BSC2	H'3FF0	H'FFFFFF62	16	H'3FF0	
ウェイトステートコントロール レジスタ 1	WCR1	H'3FF3	H'FFFFFF64	16	H'3FF3	
ウェイトステートコントロール レジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'5224	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール /ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタント カウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A5F8	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BSC3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モード レジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要 H'FFFE880 に任意のデータを書き込みます。*
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		
MCS0 コントロールレジスタ	MCSCR0	H'0000	H'FFFFFF50	16	設定不要	
MCS1 コントロールレジスタ	MCSCR1	H'0000	H'FFFFFF52	16	設定不要	
MCS2 コントロールレジスタ	MCSCR2	H'0000	H'FFFFFF54	16	設定不要	
MCS3 コントロールレジスタ	MCSCR3	H'0000	H'FFFFFF56	16	設定不要	
MCS4 コントロールレジスタ	MCSCR4	H'0000	H'FFFFFF58	16	設定不要	
MCS5 コントロールレジスタ	MCSCR5	H'0000	H'FFFFFF5A	16	設定不要	
MCS6 コントロールレジスタ	MCSCR6	H'0000	H'FFFFFF5C	16	設定不要	
MCS7 コントロールレジスタ	MCSCR7	H'0000	H'FFFFFF5E	16	設定不要	

【注】 * エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

(2) 接続図

SH7709A/SH7729 のエリア 3 に 32 ビットバス幅で SDRAM (HM5264165TT-B60) を接続する場合を以下に示します。



2.1.5 パワーオンシーケンス (SH7709A / SH7729)

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては $\text{H'FFFD000} + X$ 番地に、またエリア 3 のシンクロナス DRAM に対しては $\text{H'FFFE000} + X$ に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/シングルライト、CAS レイテンシ 1 から 3、ラップタイプ=シーケンシャル、バースト長 1 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

		エリア 2	エリア 3
32 ビット幅 接続時	CAS レイテンシ 1	FFFD840	FFFE840
	CAS レイテンシ 2	FFFD880	FFFE880
	CAS レイテンシ 3	FFFD8C0	FFFE8C0
16 ビット幅 接続時	CAS レイテンシ 1	FFFD420	FFFE420
	CAS レイテンシ 2	FFFD440	FFFE440
	CAS レイテンシ 3	FFFD460	FFFE460

$\text{H'FFFD000} + X$ もしくは $\text{H'FFFE000} + X$ 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行され、それに続く TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

モードレジスタ書き込みコマンド発行時のアドレス信号は、以下のようになります。

32 ビット幅 接続時	A15 ~ A9	0000100 (バーストリード&シングルライト)
	A8 ~ A6	CAS レイテンシ
	A5	0 (バーストタイプ=シーケンシャル)
	A4 ~ A2	000 (バースト長 1)
16 ビット幅 接続時	A14 ~ A8	0000100 (バーストリード&シングルライト)
	A7 ~ A5	CAS レイテンシ
	A4	0 (バーストタイプ=シーケンシャル)
	A3 ~ A1	000 (バースト長 1)

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 100 μs のアイドル時間 (メモリメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されるのがつつですが、より確実にを行うためには、このダミーサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

2.2 SH7709 SDRAM インタフェース例

2.2.1 SDRAM 直結方式 (SH7709)

シンクロナス DRAM は \overline{CS} 信号によって選択できるため、 \overline{RAS} 等の制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 1 のバーストリード/シングルライトのモードをサポートしています。データのバス幅は 16、32 ビットから選択できます。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 16 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し・書き込みでは 1 回のみアクセスが行われます。

シンクロナス DRAM を直結するための制御信号は $\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} 、 $\overline{RD/WR}$ 、 $\overline{CS2}$ または $\overline{CS3}$ 、 \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} および CKE 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができません。CKE はセルフリフレッシュを行うときのみネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

ただし、 $\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} は、アドレスが各エリアの上位 32M バイトか下位 32M バイトかによって、どちらを出力するか決まります。上位 32M バイト (エリア 2 : H'0A000000 ~ H'0BFFFFFF、エリア 3 : H'0E000000 ~ H'0FFFFFFF) の場合、 $\overline{RAS3U}$ 、 \overline{CASU} が出力されます。下位 32M バイト (エリア 2 : H'08000000 ~ H'09FFFFFF、エリア 3 : H'0C000000 ~ H'0DFFFFFF) の場合、 $\overline{RAS3L}$ 、 \overline{CASL} が出力されます。リフレッシュサイクルおよびモードレジスタ書き込みサイクルでは、 $\overline{RAS3U}$ 、 $\overline{RAS3L}$ または \overline{CASU} 、 \overline{CASL} が共に出力されます。

$\overline{RAS3L}$ 、 $\overline{RAS3U}$ 、 \overline{CASL} 、 \overline{CASU} 、 $\overline{RD/WR}$ および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストローブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} によって行われます。該当する DQM が L のバイトに対して読み出し書き込みが行われます。ピックエンディアンモードの場合、 \overline{DQMUU} は $4n$ 番地のアクセスを、 \overline{DQMLL} は $4n+3$ 番地のアクセスを指定します。またリトルエンディアンモードの場合、 \overline{DQMUU} は $4n+3$ 番地のアクセスを、 \overline{DQMLL} は $4n$ 番地のアクセスを指定します。

2.2.2 HM5212165D-B60 (2Mword × 16bit × 4bank)

(1) バスステートコントローラ (BSC) の設定

SH7709 のエリア 3 に 32 ビットバス幅で SDRAM (HM5212165D-B60) を接続する場合、バスステートコントローラ(以下、BSC)の設定を行う必要があります。各 BSC レジスタの設定値を表 2.4 に示します。なお、バスクロック 40MHz、CL=2、TPC=1、RCD=1、TRWL=1、TRAS=2 の条件で接続します。

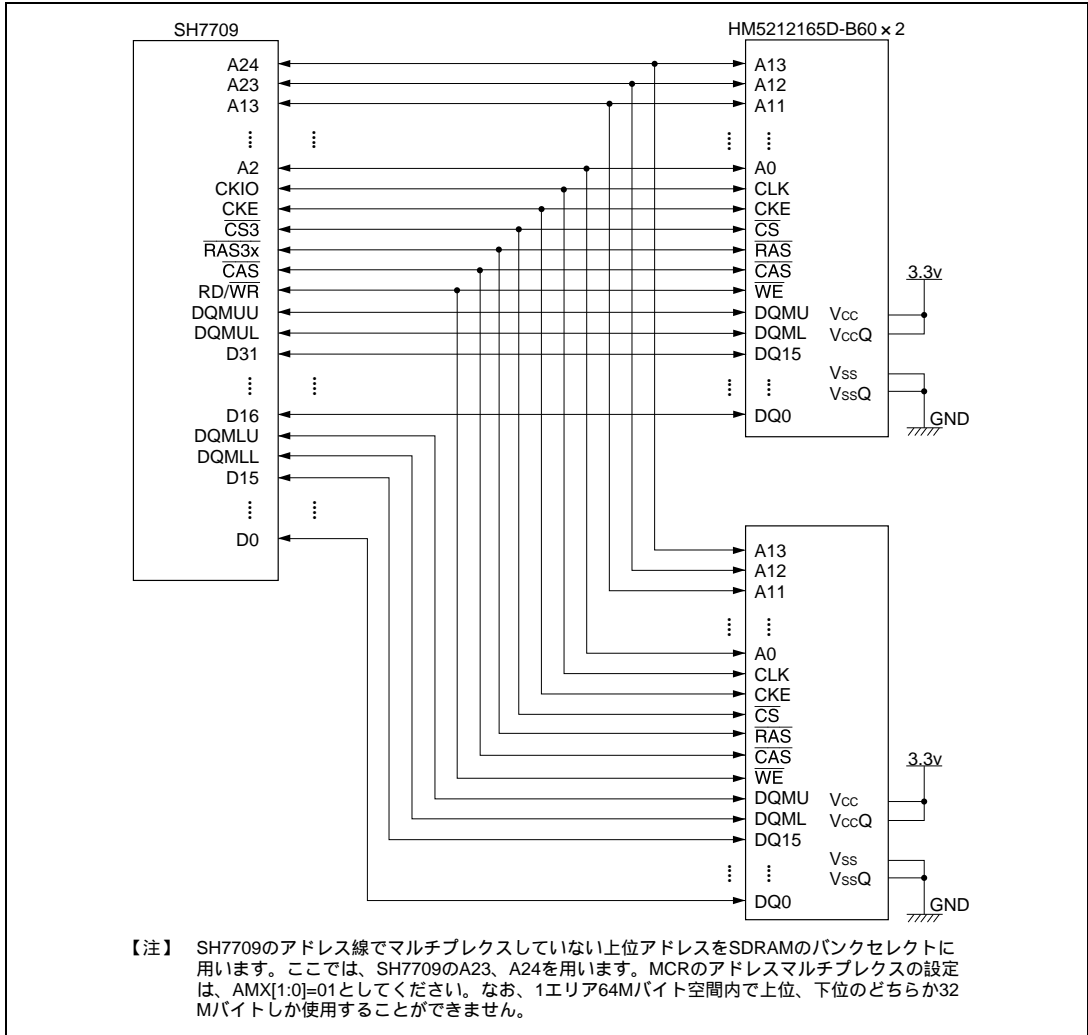
表 2.4 BSC の設定 (HM5212165D-B60)

名称	略称	初期値	アドレス	アクセスサイズ	設定値	
バスコントロールレジスタ 1	BCR1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BCR2	H'3FF0	H'FFFFFF62	16	H'3FF0	
ウェイトステートコントロールレジスタ 1	WCR1	H'3FF3	H'FFFFFF64	16	H'3F33	
ウェイトステートコントロールレジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'000C	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタントカウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A54F	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BCR3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モード レジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		

【注】 * エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

(2) 接続図

SH7709 のエリア 3 に 32 ビットバス幅で SDRAM (HM5212165D-B60) を接続する場合を以下に示します。



2.2.3 HM5264165TT-B60 (1Mword × 16bit × 4bank)

(1) バスステートコントローラ (BSC) の設定

SH7709 のエリア 3 に 32 ビットバス幅で SDRAM (HM5264165TT-B60) を接続する場合、バスステートコントローラ (以下、BSC) の設定を行う必要があります。各 BSC レジスタの設定値を表 2.5 に示します。なお、バスクロック 40MHz、CL=2、TPC=1、RCD=1、TRWL=1、TRAS=2 の条件で接続します。

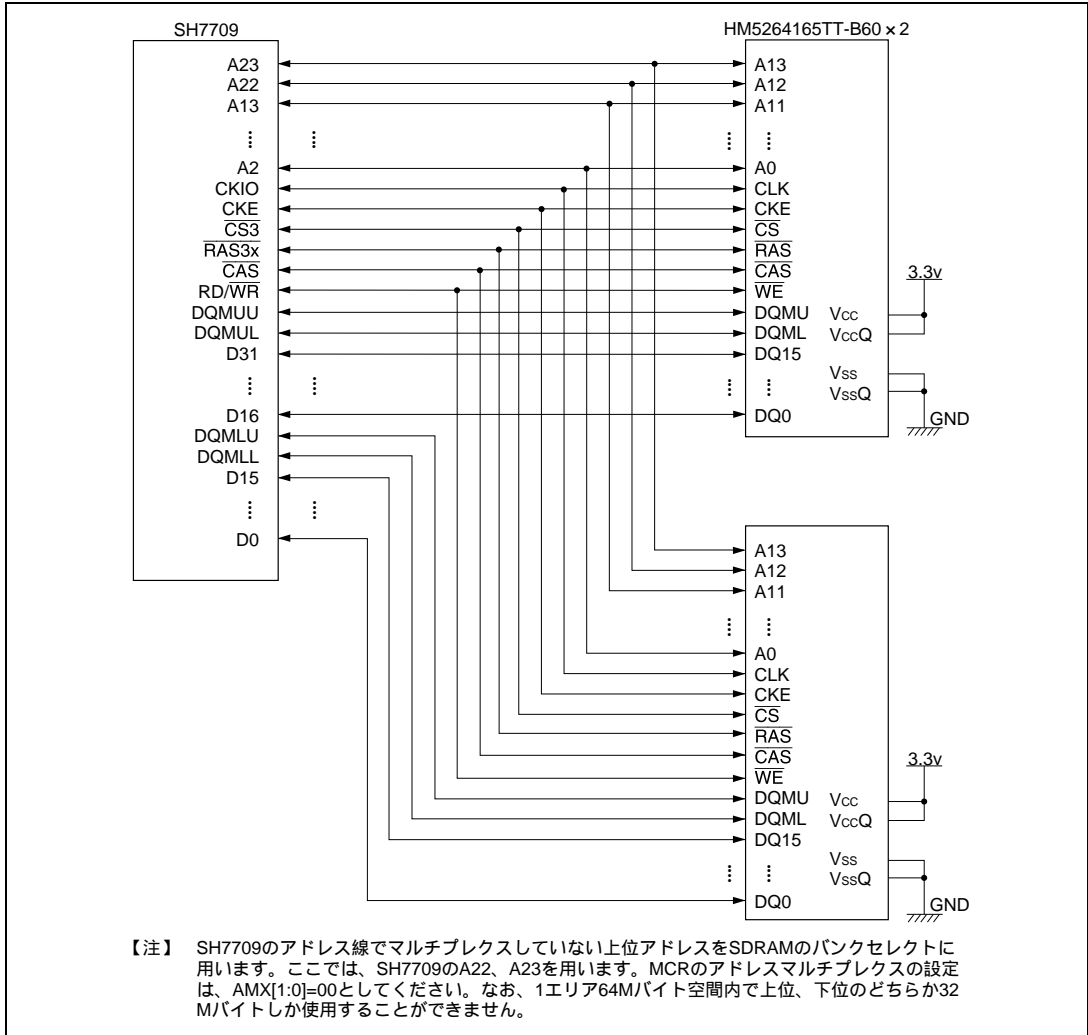
表 2.5 BSC の設定 (HM5264165TT-B60)

名称	略称	初期値	アドレス	アクセスサイズ	設定値	
バスコントロールレジスタ 1	BCR1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BCR2	H'3FF0	H'FFFFFF62	16	H'3FF0	
ウェイトステートコントロールレジスタ 1	WCR1	H'3FF3	H'FFFFFF64	16	H'3F33	
ウェイトステートコントロールレジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'0004	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタントカウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A54F	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BCR3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モード レジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		

【注】 * エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

(2) 接続図

SH7709 のエリア 3 に 32 ビットバス幅で SDRAM (HM5264165TT-B60) を接続する場合を以下に示します。



2.2.4 パワーオンシーケンス (SH7709)

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては $\text{H'FFFFD000} + X$ 番地に、またエリア 3 のシンクロナス DRAM に対しては $\text{H'FFFFE000} + X$ に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリードライト、CAS レイテンシ 1 から 3、ラップタイプ=シーケンシャル、バースト長 1 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

	エリア 2	エリア 3
CAS レイテンシ 1	FFFFD840	FFFFE840
CAS レイテンシ 2	FFFFD880	FFFFE880
CAS レイテンシ 3	FFFFD8C0	FFFFE8C0

$\text{H'FFFFD000} + X$ もしくは $\text{H'FFFFE000} + X$ 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行され、それに続く TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 $100 \mu\text{s}$ のアイドル時間 (メモリメカによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメカの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されるのがふつうですが、より確実に行うためには、このダミーサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

2.3 SH7708R SDRAM インタフェース例

2.3.1 SDRAM 直結方式 (SH7708R)

シンクロナス DRAM は $\overline{\text{CS}}$ 信号によって選択できるため、 $\overline{\text{RAS}}$ 等の制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

本 LSI ではシンクロナス DRAM の動作モードとして、バースト長 1 のバーストリード/シングルライトのモードをサポートしています。データのバス幅は 32 ビット固定であり、MCR サイズビット SZ を必ず 1 に設定してください。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 16 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し・書き込みでは 1 回のみアクセスが行われます。

シンクロナス DRAM を直結するための制御信号は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 、 $\overline{\text{CS2}}$ または $\overline{\text{CS3}}$ 、DQM0U、DQM1U、DQM2U、DQM3U および $\overline{\text{CKE}}$ 信号です。 $\overline{\text{CS2}}$ または $\overline{\text{CS3}}$ を除く信号は各エリア共通であり、 $\overline{\text{CKE}}$ を除く信号は $\overline{\text{CS2}}$ または $\overline{\text{CS3}}$ がアサートされたときのみ有効となり取り込まれます。した

がって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE はセルフリフレッシュを行うときのみネゲート（L レベルに）され、それ以外は常にアサート（H レベルに）されています。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ（REF）、セルフリフレッシュ（SELF）、全バンクプリチャージ（PALL）、ロウアドレスストローブ・バンクアクティブ（ACTV）、リード（READ）、プリチャージ付きリード（READA）、ライト（WRIT）、プリチャージ付きライト（WRITA）、モードレジスタ書き込み（MRS）があります。

バイトの指定は DQM_{UU}、DQM_{UL}、DQML_U、DQML_L によって行われます。該当する DQM が L のバイトに対して読み出し書き込みが行われます。ピックエンディアンモードの場合、DQM_{UU} は 4n 番地のアクセスを、DQML_L は 4n+3 番地のアクセスを指定します。またリトルエンディアンモードの場合、DQM_{UU} は 4n+3 番地のアクセスを、DQML_L は 4n 番地のアクセスを指定します。

2.3.2 HM5212165D-B60 (2Mword × 16bit × 4bank)

(1) バスステートコントローラ（BSC）の設定

SH7708R のエリア 3 に 32 ビットバス幅で SDRAM（HM5212165D-B60）を接続する場合、バスステートコントローラ（以下、BSC）の設定を行う必要があります。各 BSC レジスタの設定値を表 2.6 に示します。なお、バスクロックを 60MHz、CL=2、TPC=1、RCD=1、TRWL=1、TRAS=2 の条件で接続します。

表 2.6 BSC の設定（HM5212165D-B60）

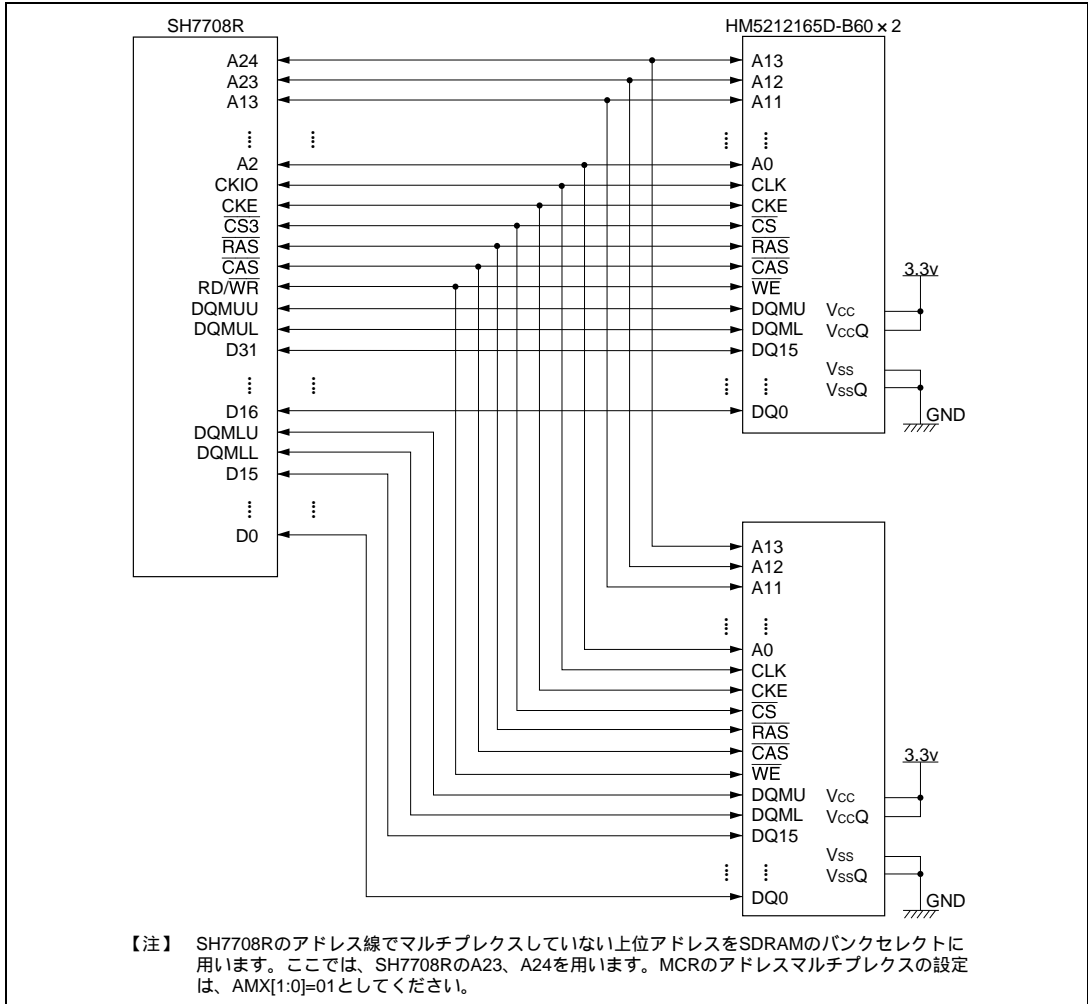
名称	略称	初期値	アドレス	アクセスサイズ	設定値	
バスコントロールレジスタ 1	BSC1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BSC2	H'3FF3	H'FFFFFF62	16	H'3FF3	
ウェイトステートコントロールレジスタ 1	WCR1	H'3FFF	H'FFFFFF64	16	H'3FFF	
ウェイトステートコントロールレジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'000C	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール/ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタントカウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A5EB	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BSC3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モードレジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		

【注】 * エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

2. SDRAM インタフェース例

(2) 接続図

SH7708R のエリア 3 に 32 ビットバス幅で SDRAM (HM5212165D-B60) を接続する場合を以下に示します。



2.3.3 HM5264165-B60 (1Mword × 16bit × 4bank)

(1) バスステートコントローラ (BSC) の設定

SH7708R のエリア 3 に 32 ビットバス幅で SDRAM (HM5264165-B60) を接続する場合、バスステートコントローラ (以下、BSC) の設定を行う必要があります。各 BSC レジスタの設定値を表 2.7 に示します。なお、バスクロックを 60MHz、CL=2、TPC=1、RCD=1、TRWL=1、TRAS=2 の条件で接続します。

表 2.7 BSC の設定 (HM5264165-B60)

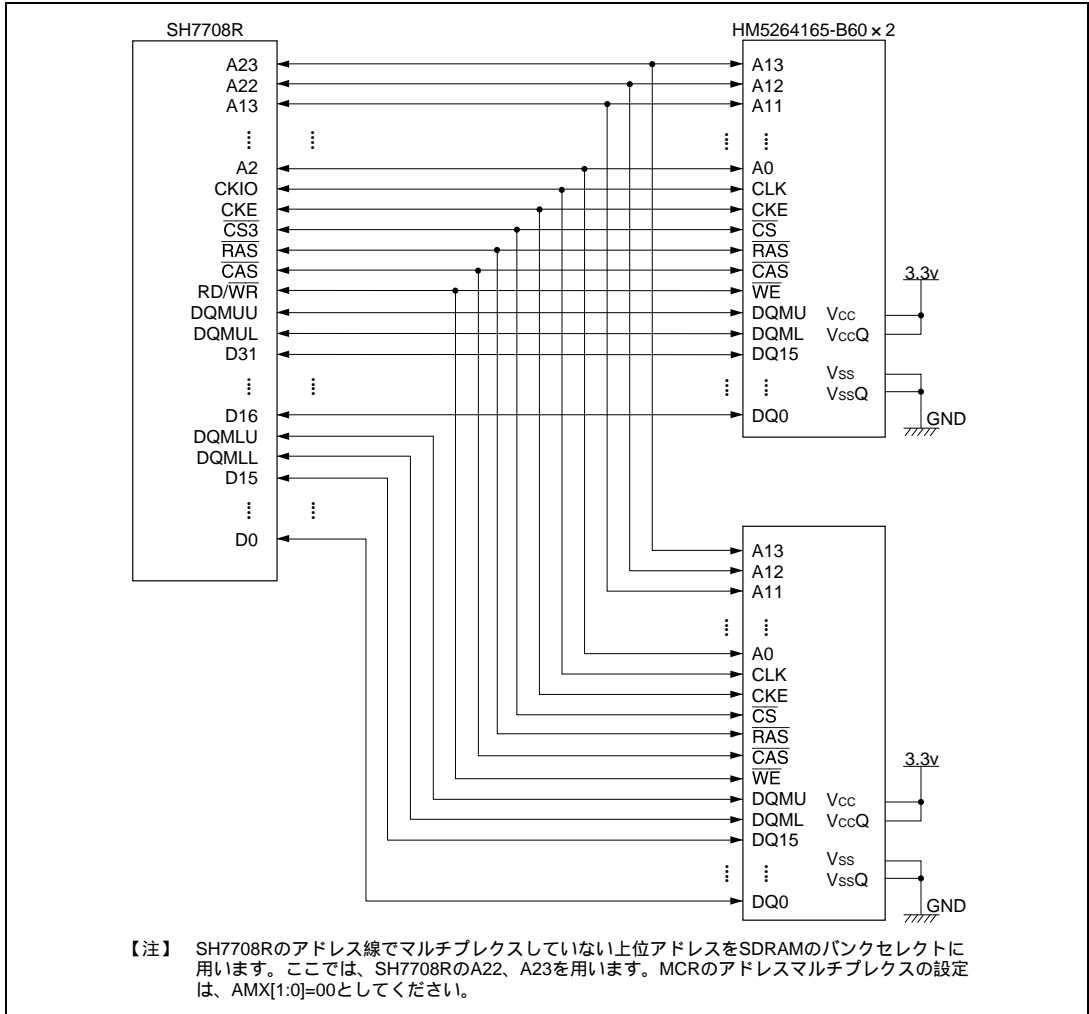
名称	略称	初期値	アドレス	アクセスサイズ	設定値	
バスコントロールレジスタ 1	BSC1	H'0000	H'FFFFFF60	16	H'0008	
バスコントロールレジスタ 2	BSC2	H'3FFC	H'FFFFFF62	16	H'3FFC	
ウェイトステートコントロールレジスタ 1	WCR1	H'3FFF	H'FFFFFF64	16	H'3FFF	
ウェイトステートコントロールレジスタ 2	WCR2	H'FFFF	H'FFFFFF66	16	H'FFDF	
個別メモリコントロールレジスタ	MCR	H'0000	H'FFFFFF68	16	H'0004	
DRAM コントロールレジスタ	DCR	H'0000	H'FFFFFF6A	16	設定不要	
PCMCIA コントロールレジスタ	PCR	H'0000	H'FFFFFF6C	16	設定不要	
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	H'0000	H'FFFFFF6E	16	H'A508	
リフレッシュタイムカウンタ	RTCNT	H'0000	H'FFFFFF70	16	H'A500	
リフレッシュタイムコンスタントカウンタ	RTCOR	H'0000	H'FFFFFF72	16	H'A582	
リフレッシュカウンタレジスタ	RFCR	H'0000	H'FFFFFF74	16	設定不要	
バスコントロールレジスタ 3	BSC3	H'0000	H'FFFFFF7E	16	設定不要	
シンクロナス DRAM モードレジスタ	エリア 2 用	SDMR	-	H'FFFD000 ~ H'FFFDFFF	8	設定不要
	エリア 3 用			H'FFFE000 ~ H'FFFEFFF		

【注】 * エリア 3 の場合、SDMR のアドレスは、設定したい値と H'FFFE000 を加算した値がアドレスとなります。このアドレスに任意のデータを書き込めば、SDMR に設定されます。

2. SDRAM インタフェース例

(2) 接続図

SH7708R のエリア 3 に 32 ビットバス幅で SDRAM (HM5264165-B60) を接続する場合を以下に示します。



2.3.4 パワーオンシーケンス (SH7708R)

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては $\text{H'FFFFD000} + X$ 番地に、またエリア 3 のシンクロナス DRAM に対しては $\text{H'FFFFE000} + X$ に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリードライト、CAS レイテンシ 1 から 3、ラップタイプ=シーケンシャル、バースト長 1 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

	エリア 2	エリア 3
CAS レイテンシ 1	FFFFD840	FFFFE840
CAS レイテンシ 2	FFFFD880	FFFFE880
CAS レイテンシ 3	FFFFD8C0	FFFFE8C0

$\text{H'FFFFD000} + X$ もしくは $\text{H'FFFFE000} + X$ 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が TR_{p1} サイクルに発行され、それに続く TM_{w1} サイクルにモードレジスタ書き込みコマンドが発行されます。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 $100 \mu\text{s}$ のアイドル時間 (メモリーメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されるのがふつうですが、より確実に行うためには、このダミーサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

SH-3、SH3-DSP SDRAMインタフェース編
アプリケーションノート

発行年月 2001年3月 第1版

発行 株式会社 日立製作所
半導体グループ電子統括営業本部

編集 株式会社 日立小平セミコン
技術ドキュメントグループ

©株式会社 日立製作所 2001

SH-3、SH3-DSP SDRAM インタフェース編 アプリケーションノート



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-502-083