

RZ/A2M グループ

High-Speed USB2.0 基板設計ガイドライン

要旨

本アプリケーションノートは、High-Speed USB2.0 基板設計時のガイドラインを掲載しています。

対象 LSI

RZ/A2M グループ

【注】 これ以降、本アプリケーションノートでは“グループ”を省略して表記します。

本アプリケーションノートに掲載している内容は、USB 規格をもとにした参考例であり、システムでの信号品質を保証するものではありません。実際のシステムに組み込む場合は、システム全体で十分な検討および評価を実施し、お客様の責任において、適用可否を判断してください。

関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。あわせて参照してください。

- RZ/A シリーズ ハードウェアデザインガイド (R01AN4813JJ)

商標

USB Type-C™は USB Implementers Forum の商標です。

目次

1. はじめに.....	3
2. USB 伝送線路.....	4
3. 電源・グランドパターン.....	7
4. 発振回路.....	8
5. VBUS 電源回路.....	9
6. RREF 端子.....	11
7. EMI/ESD 対策.....	14
8. チェックリスト.....	15
9. 参考ドキュメント.....	17
10. 設計支援情報.....	17
改訂記録.....	18





1. はじめに

本アプリケーションノートは、USB2.0 ホスト/ファンクションモジュールの端子名と、表 1.2 に記載する名称、記号を用いて説明しています。表 1.1 に USB2.0 ホスト/ファンクションモジュールの端子概要を、表 1.2 に電源・グラウンドの分類を示します。

表 1.1 USB2.0 ホスト/ファンクションモジュールの端子概要

使用端子名	入出力	機能
DP1、DP0	入出力	USB2.0 ホスト/ファンクションモジュールの D+ データです。
DM1、DM0	入出力	USB2.0 ホスト/ファンクションモジュールの D- データです。
VBUSIN1、VBUSIN0	入力	USB ケーブル接続モニタ端子です。USB バスの VBUS を 3.3V まで降圧して接続してください。VBUS の接続/切断を検出することができます。
VBUSEN1、VBUSEN0	出力	VBUS 電源のイネーブル出力です。
OVRCUR1、OVRCUR0	入力	オーバークレント端子です。
RREF1、RREF0	入力	2.2kΩ±1%の抵抗を介して USBVss に接続してください。
USB_X1	入力	USB2.0 ホスト/ファンクションモジュール用水晶発振子を接続します。
USB_X2	出力	
USBAPVcc1、 USBAPVcc0	入力	アナログ端子電源です。
USBDPVcc1、 USBDPVcc0	入力	デジタル端子電源です。
USBVss	入力	端子用グラウンドです。

表 1.2 電源・グラウンドの分類

電源・グラウンドの分類	端子名	電圧範囲	記号
アナログ電源	USBAPVcc1、USBAPVcc0	3.0V~3.6V	A3.3V 
デジタル電源	USBDPVcc1、USBDPVcc0	3.0V~3.6V	3.3V 
デジタルグラウンド	Vss	0V	
USB グラウンド	USBVss	0V	

2. USB 伝送線路

USB 伝送線路とは、USB コネクタと USB トランシーバを接続する配線パターンを表します。

USB2.0 には、High-Speed、Full-Speed、Low-Speed の通信モードがあります。この中で High-Speed は 480Mbps の通信速度であるため、USB 伝送線路は高周波回路として設計する必要があります。USB 伝送線路は、インピーダンスコントロールが必要です。

以下に USB 伝送線路のパターン配線設計時の注意点について説明します。

- USB High-Speed 伝送線路に要求される特性インピーダンスは、差動インピーダンス $90\Omega \pm 10\%$ です。
- インピーダンスコントロールは基板の厚さ、材質、層構成などによりパターン幅、パターン間隔が異なります。詳細は基板メーカーにご相談ください。
- RZ/A2M の USB モジュールには D+、D- の終端抵抗（High-Speed 動作時）と出力抵抗（Full-Speed 動作時）を内蔵しているため、USB 伝送線路には外付けの抵抗を配置しないでください。
- RZ/A2M から USB コネクタまでの USB 伝送線路の配線パターン長は、USB 規格で規定されている最大遅延時間を超えないように設計する必要があります。また High-Speed の波形品質を考慮した場合、より短い配線を推奨します。表 2.1 に最大遅延時間を考慮した一般的な材料のプリント配線板における USB 伝送線路のパターン設計値を示します。

表 2.1 最大遅延時間を考慮した USB 伝送線路の配線パターン設計値

	最大遅延時間（USB 規格）	配線長 ^{*1}	D+、D- の配線長の差
ホストコントローラ	3ns	300mm 以下	2mm 以下
ファンクションコントローラ	1ns	100mm 以下	2mm 以下

【注】 *1. 配線遅延が 100ps/cm の場合の例です。

- USB 伝送線路の下層はベタグランドにしてください。ベタグランドは USB 伝送線路より外側へ 1mm 以上確保してください。ベタグランドにする電源は USB グランドとなります。
- USB 伝送線路近くに他の信号線を配置しないでください。特にクロックやデータバスなど変化の激しい信号は USB 伝送線路から離してください。また、USB 伝送線路と他の信号が交差しないようにしてください。
- USB 伝送線路と同一層（表層）では、D+/D- の配線間隔の 3 倍以上離して伝送線路を USB グランドでガードリングすることを推奨します。
- USB 伝送線路はビアを介さず同一層で配線してください。また、USB 伝送線路は分岐配線しないでください。（Type-C レセプタクルを使用する場合は除きます。）
- Type-C レセプタクルを使用する場合、A 側の D+ と B 側の D+、A 側の D- と B 側の D- をそれぞれ短絡させてください。このとき、短絡させる配線長は 3.5mm 以下を推奨します。3.5mm を超えてしまう場合は、可能な限り短い配線となるよう設計し、お客様で十分評価のうえ、パターンの適用可否を判断してください。
- USB 伝送線路の間隔は、すべて一定になるように配線してください。
- USB 伝送線路は、発振器、電源回路、ほかの I/O コネクタから離すようにしてください。
- USB 伝送線路は可能な限り直線で配線してください。レイアウト上、USB 伝送線路を曲げる場合は、 135° もしくは円弧を用いて緩やかに曲げてください。USB 伝送線路は急角度（直角）に曲げないでください。

図 2.1 にホストコントローラ時の USB 伝送線路パターン設計例を、図 2.2 にファンクションコントローラ時の USB 伝送線路パターン設計例を、図 2.3 に USB 伝送線路とグランドガードリング間隔の例を示します。また、図 2.4 に Type-C レセプタクルを使用する場合の接続例を示します。

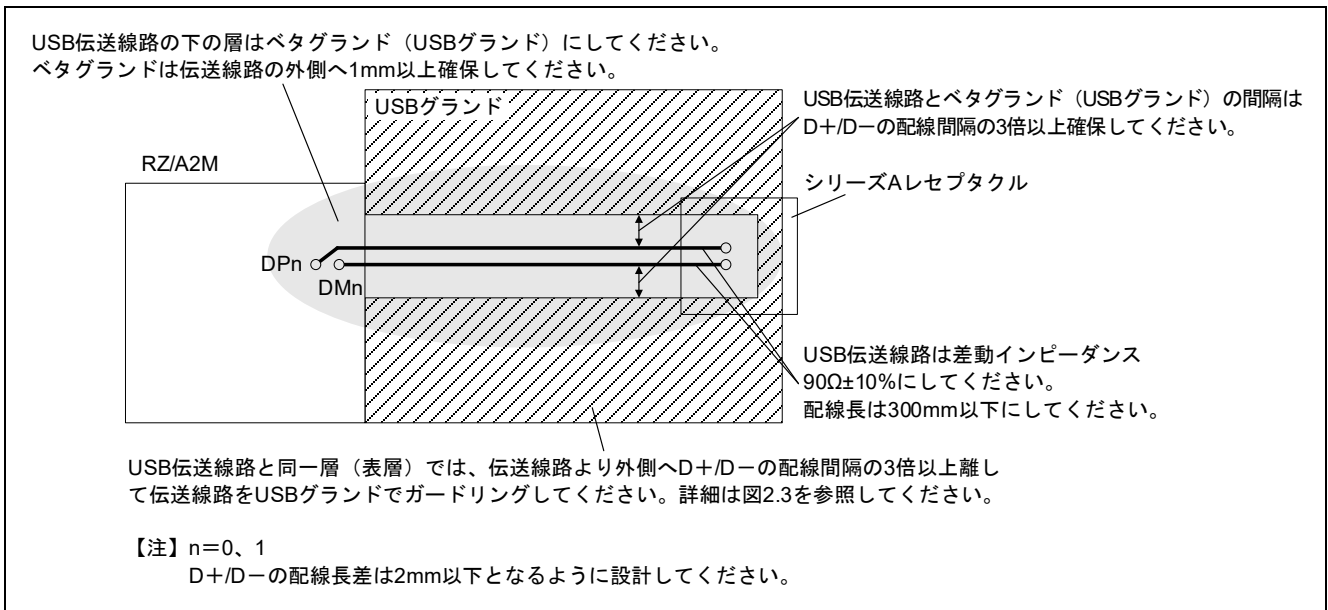


図 2.1 ホストコントローラ時の USB 伝送線路パターン設計例

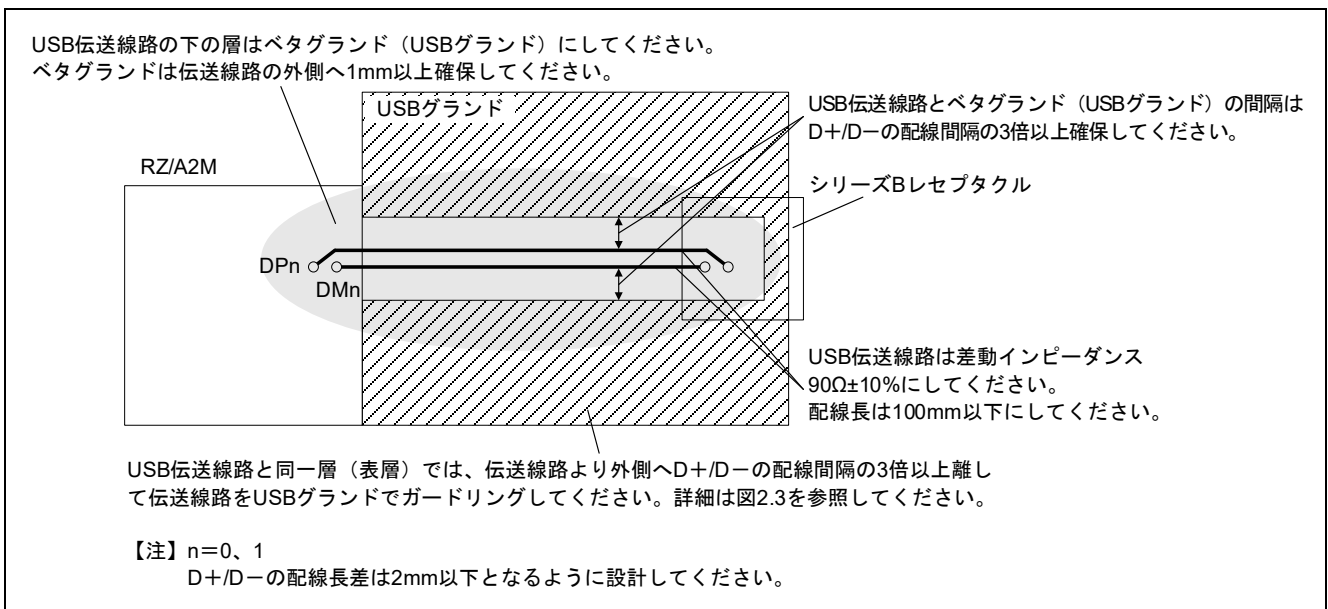


図 2.2 ファンクションコントローラ時の USB 伝送線路パターン設計例

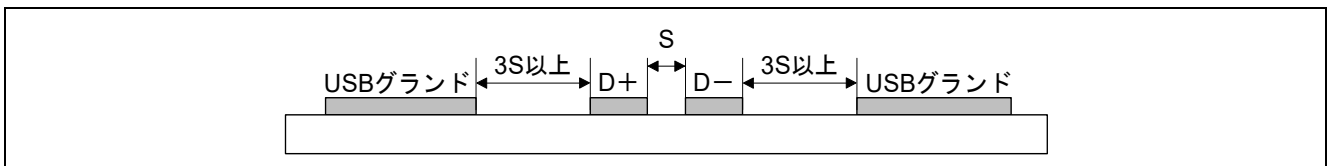


図 2.3 USB 伝送線路とグラウンドガードリング間隔の例

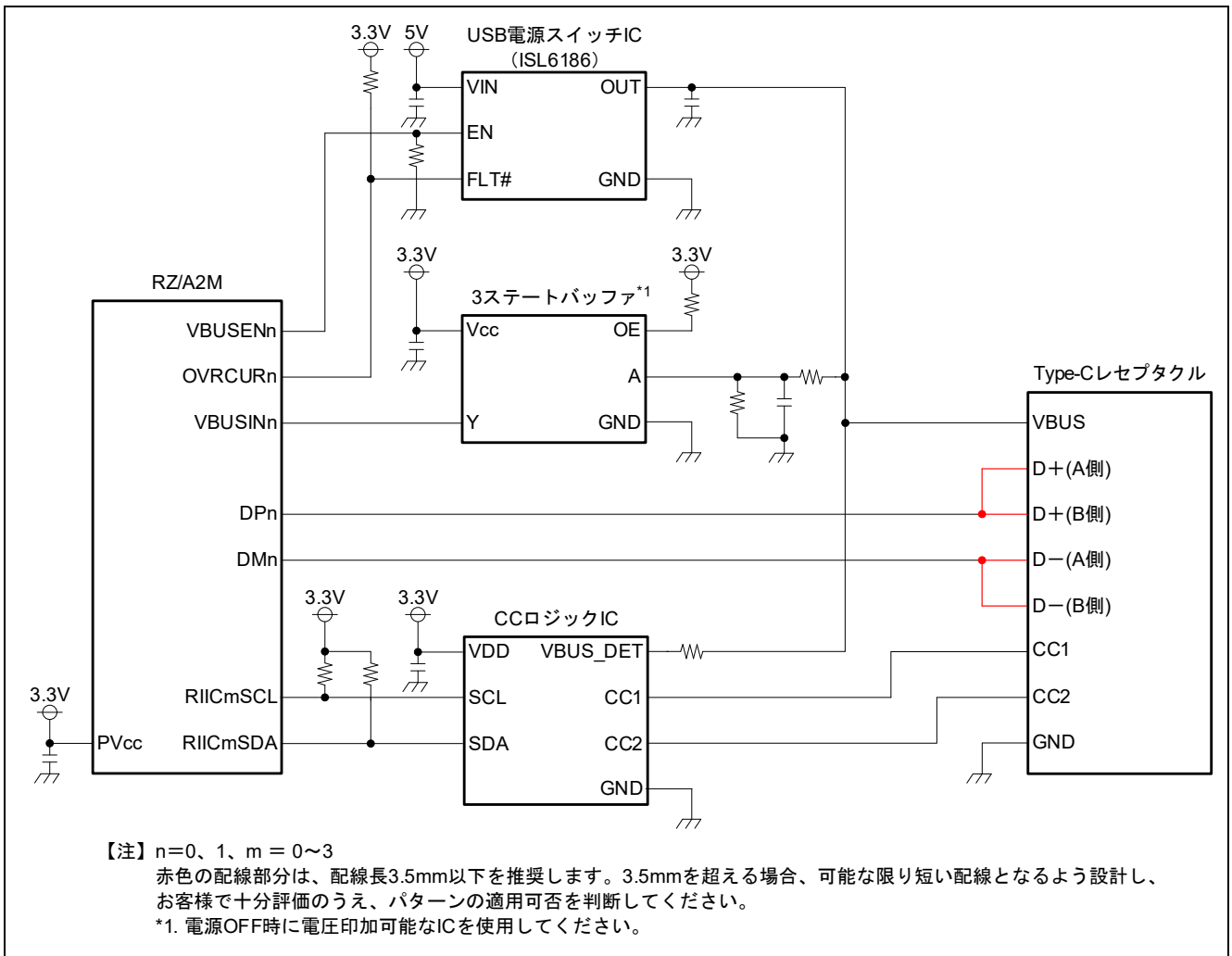


図 2.4 Type-C レセプタクルとの接続例

3. 電源・グランドパターン

以下に電源・グランドパターン設計時の注意点について説明します。

- アナログ電源は、インダクタまたはフェライトを介してデジタル電源と分離してください。その際は RZ/A2M の近傍で分離してください。インダクタの推奨値は $1\mu\text{H}$ です。
- 電源・グランドは、できる限り広い面の層となるようにパターン設計してください。
- バイパスコンデンサの容量値としては、 $0.01\mu\text{F}$ の容量を USB 電源端子の直近に配置することを推奨します。また、デジタル電源と USB グランドの間に $47\mu\text{F}$ の容量を、アナログ電源と USB グランドの間に $10\mu\text{F}$ の容量を配置してください。
- 電源のコンデンサは高周波特性の良いセラミックコンデンサを推奨します。
- 電解コンデンサは EYE パターンのジッタに影響がありますので、十分な設計、テストの上、使用してください。

図 3.1 に電源・グランドの接続例を示します。

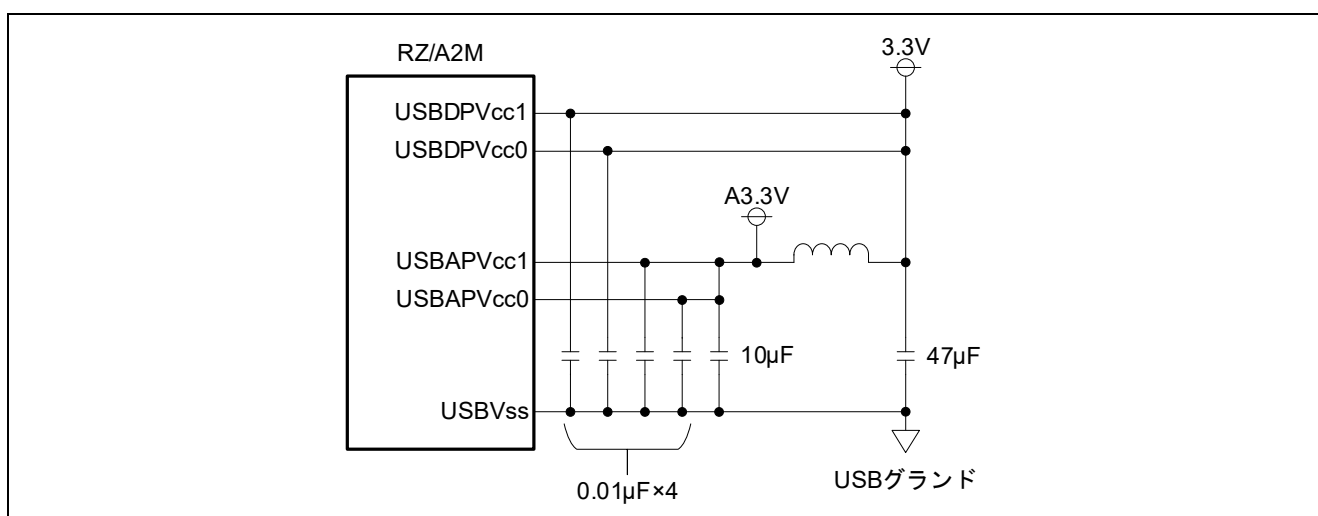


図 3.1 電源・グランド接続例

4. 発振回路

以下に発振回路設計時の注意点について説明します。

- 発振回路は USB 用クロック入力端子 USB_X1 の近くに配置してください。USB_X1 はデジタルグラウンドでガードリングすることを推奨します。
- 発振部品は 48MHz±100ppm のスペックを満足するものを使用してください。
- 水晶振動子を使用する場合は、水晶振動子メーカー^{*1}と相談の上、回路定数を決定してください。図 4.1 に水晶振動子の接続例を、図 4.2 に発振器の接続例を示します。

【注】 *1. 以下の振動子メーカーサイトから RZ/A2M に適合する振動子と回路マッチング例を参照することができます。お客様のシステムにおける最適発振回路定数が必要な場合は、振動子メーカーにご依頼ください。

http://prdct-search.kyocera.co.jp/crystal-ic/?p=ja_search/&s1=27

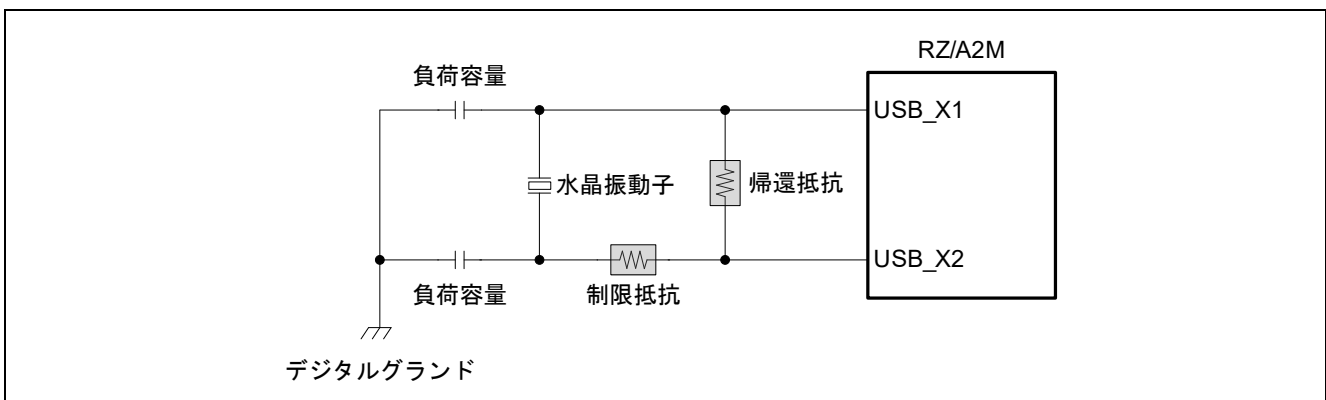


図 4.1 水晶振動子接続例

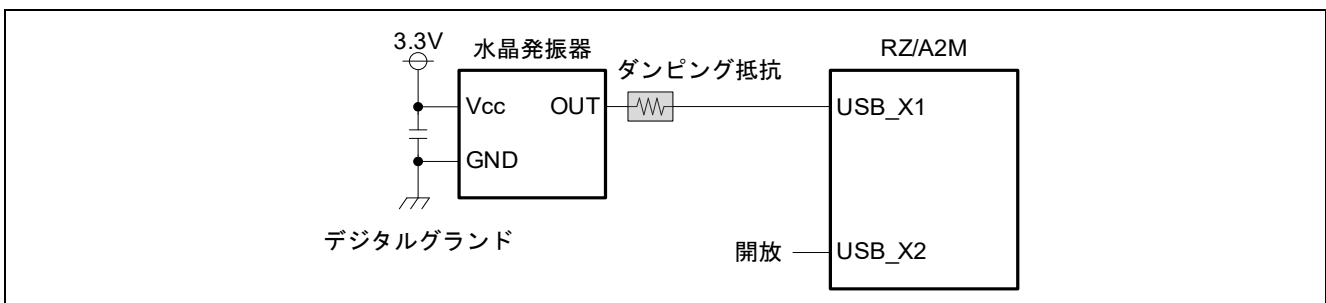


図 4.2 発振器接続例

5. VBUS 電源回路

以下に VBUS 電源回路設計時の注意点について説明します。

- RZ/A2M をホストコントローラとして使用する場合、VBUS ラインの付加容量が 120 μ F 以上となるように設計してください。
- RZ/A2M をファンクションコントローラとして使用する場合、VBUS ラインの付加容量が 1.0 μ F~10 μ F となるように設計してください。
- RZ/A2M をファンクションコントローラとして使用する場合、RZ/A2M の電源が OFF のときに USB ホストモジュールが接続されると、RZ/A2M の VBUSIN 入力端子に絶対最大定格*1 を超過した電圧が印加され、LSI の永久破壊となる可能性があります。これを避けるため、図 5.2 に示す保護回路を参考に、RZ/A2M を保護してください。
- VBUS ラインには、USB ケーブル接続時にインピーダンスの不整合によって、オーバーシュートが発生する場合がありますため、フィルタ回路を設けてください。フィルタ回路として、容量 1.0 μ F~10 μ F のコンデンサと 100 Ω ~1k Ω の抵抗を付けてください。なお、最終的な定数は、基板上でオーバーシュートが発生しないことを確認した上で決定してください。その際、1k Ω より大きい抵抗は付けしないでください。
- ホストコントローラとして使用する場合、ファンクション機器に対して、VBUS 電源を供給する必要があります。VBUS 電源の制御には、ルネサスエレクトロニクス製 ISL6186 などの USB 電源バス用過電流制限機能付きパワースイッチ IC（以降 USB 電源スイッチ IC と記載）を使用することを推奨します。VBUS 電源ラインの電流の制限値は、適用するシステムの電源、通信する USB ファンクション機器が必要とする電流値をもとに検討してください。また、VBUS 電源制御回路は、使用する USB 電源スイッチ IC のデータシートに記載されている回路例などを参考に設計してください。

図 5.1 にホストコントローラとして使用する場合の VBUS 電源回路例を、図 5.2 にファンクションコントローラとして使用する場合の VBUS 電源回路例を示します。

【注】 *1. RZ/A2M の VBUSIN 入力端子は汎用入出力ポートにマルチプレクスされており、その端子の絶対最大定格は $-0.3V \sim PV_{CC} + 0.3V$ です。

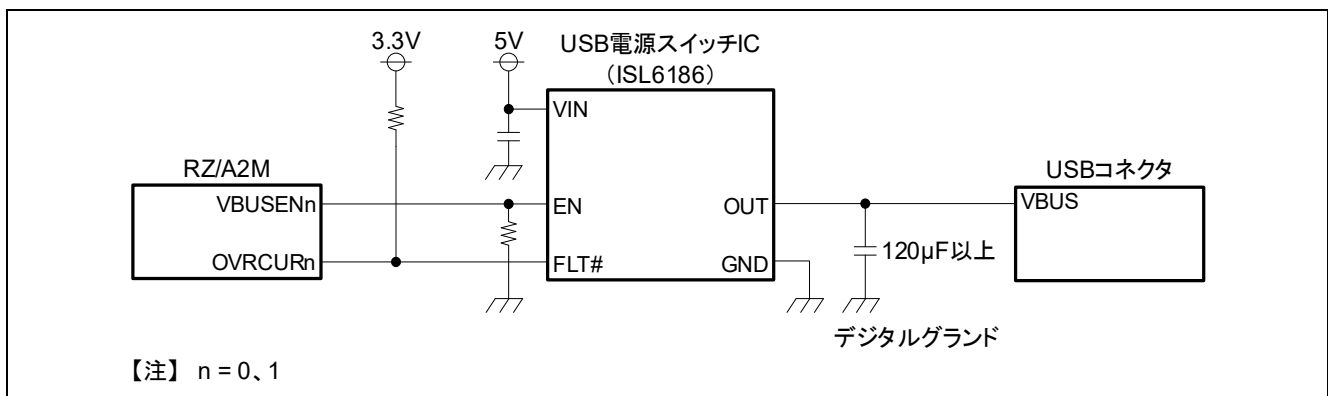


図 5.1 ホストコントローラ VBUS 回路例

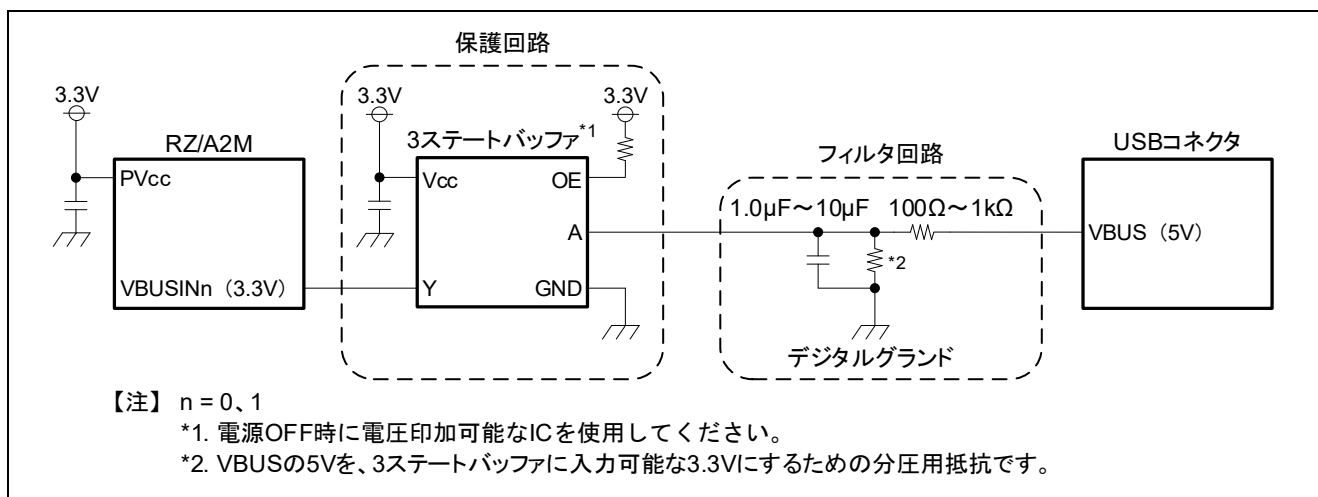


図 5.2 ファンクションコントローラ VBUS 回路例

6. RREF 端子

以下に RREF 端子周辺回路設計時の注意点について説明します。

- RREF 端子と USB グランドの間に $2.2\text{k}\Omega \pm 1\%$ の抵抗（以降、基準抵抗と記載）を接続してください。
- 基準抵抗は可能な限り RZ/A2M の近くに配置し、RREF 配線は 0.5Ω 以下になるように設計してください。
- クロストークを避けるため、基準抵抗の近くとそのパターンの近くには、変化の激しい信号（D+、D-、クロック、アドレス・データ・コントロール信号等）を交差または並行しないようにしてください。基準抵抗とそのパターンは、USB グランドやアナログ電源でガードリングすることを推奨します。
- 基準抵抗および配線の下層は、USB グランドプレーンにしてください。

図 6.1 に RREF 端子の接続図を、図 6.2～図 6.5 に RREF 端子周辺のパターン設計例を示します。

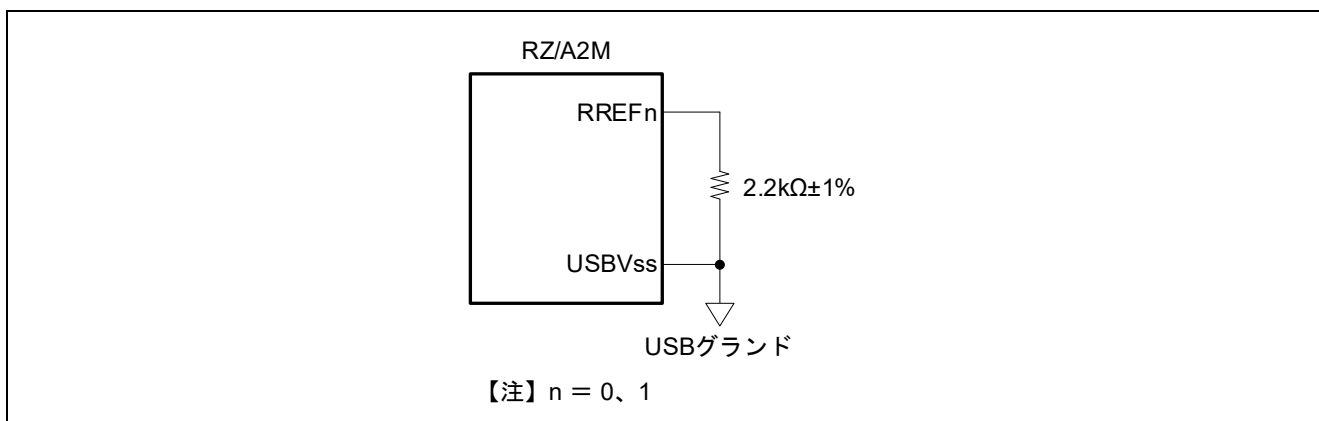


図 6.1 RREF 端子の接続図

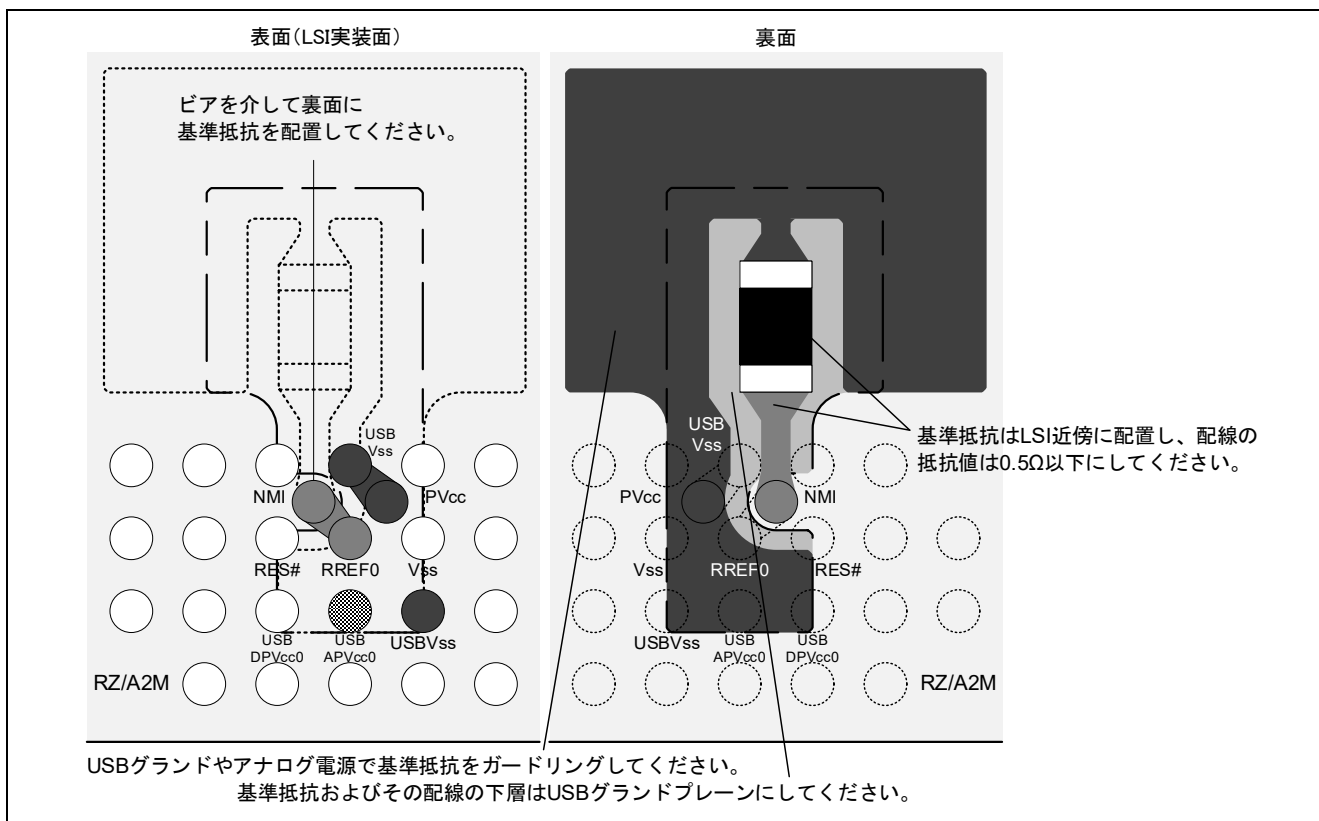


図 6.2 RREF 端子周辺のパターン設計例 1 (176 ピン BGA パッケージ)

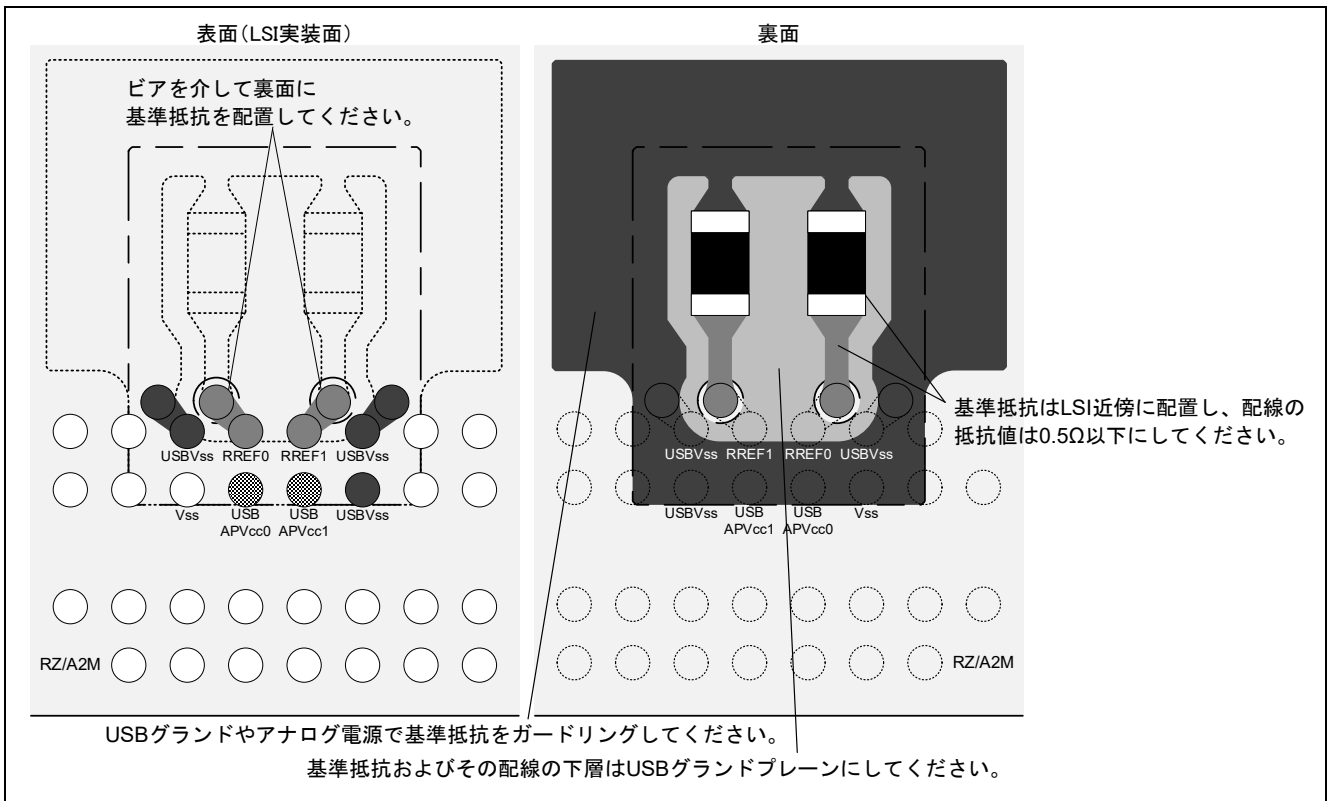


図 6.3 RREF 端子周辺のパターン設計例 2 (256 ピン BGA パッケージ)

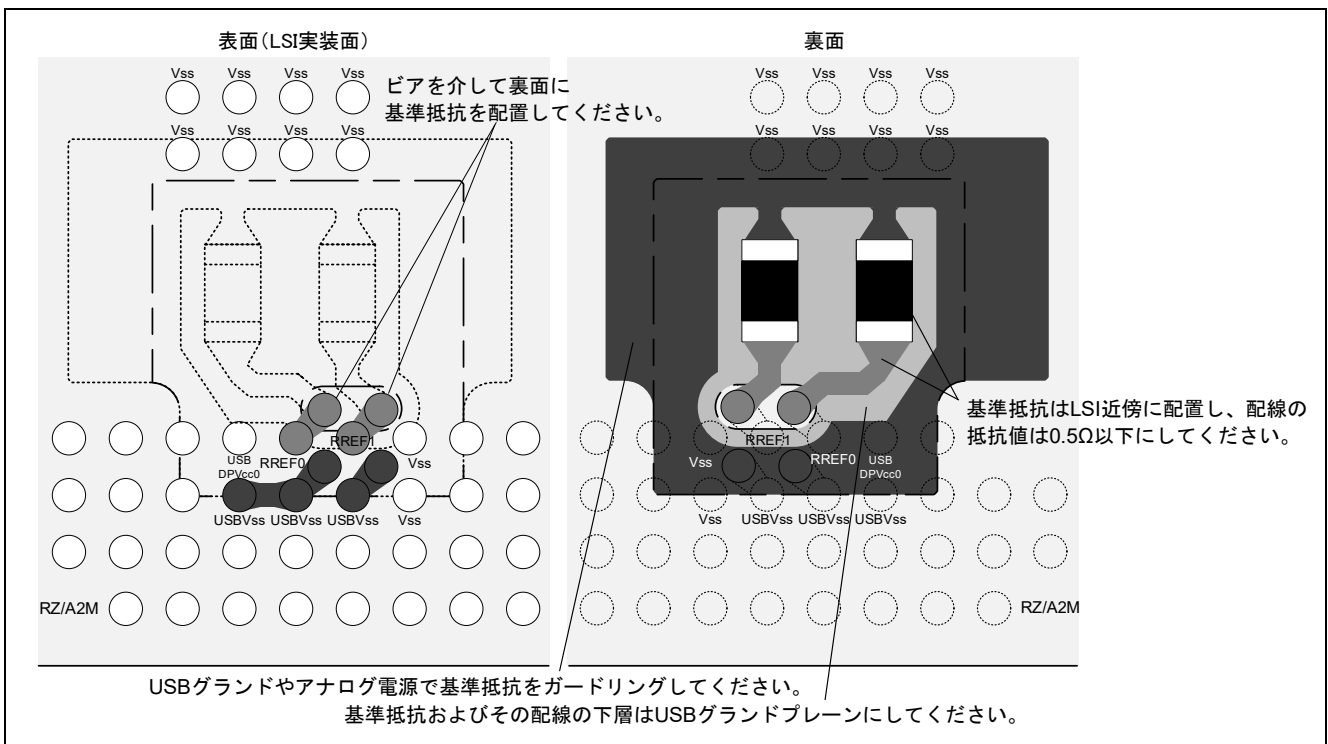


図 6.4 RREF 端子周辺のパターン設計例 3 (272 ピン BGA パッケージ)

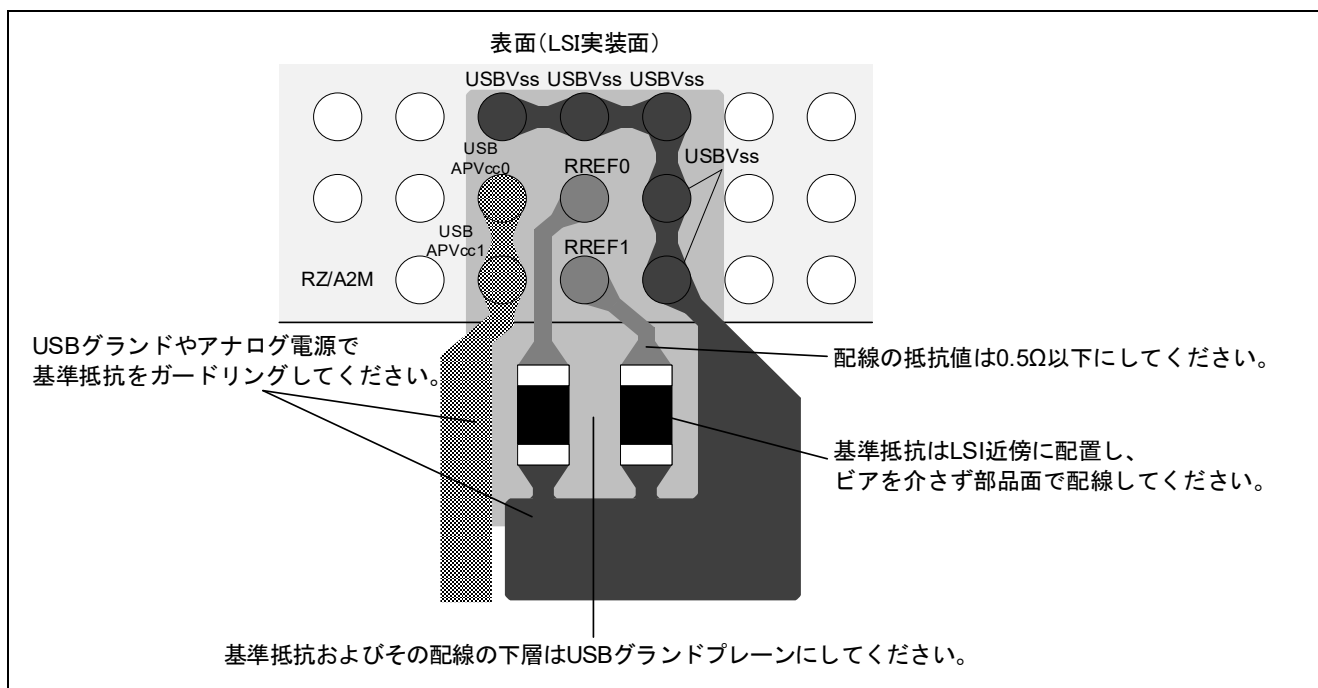


図 6.5 RREF 端子周辺のパターン設計例 4 (324 ピン BGA パッケージ)

7. EMI/ESD 対策

以下に EMI、ESD 対策時の注意点について説明します。

- コイルやダイオードなどの EMI、ESD 対策用部品を USB 伝送線路に実装する場合は、USB 伝送線路の近くに配置し、配線は可能な限り短くしてください。
- EMI、ESD 対策用部品は、必ず USB2.0 High-Speed 対応品を使用してください。なお、EMI、ESD 対策用部品を実装することで、USB 伝送線路のインピーダンスに不整合が生じ、波形が乱れることがありますので、十分に評価した上で使用する部品を決定してください。

図 7.1 に EMI、ESD 対策用部品使用時の接続例を示します。

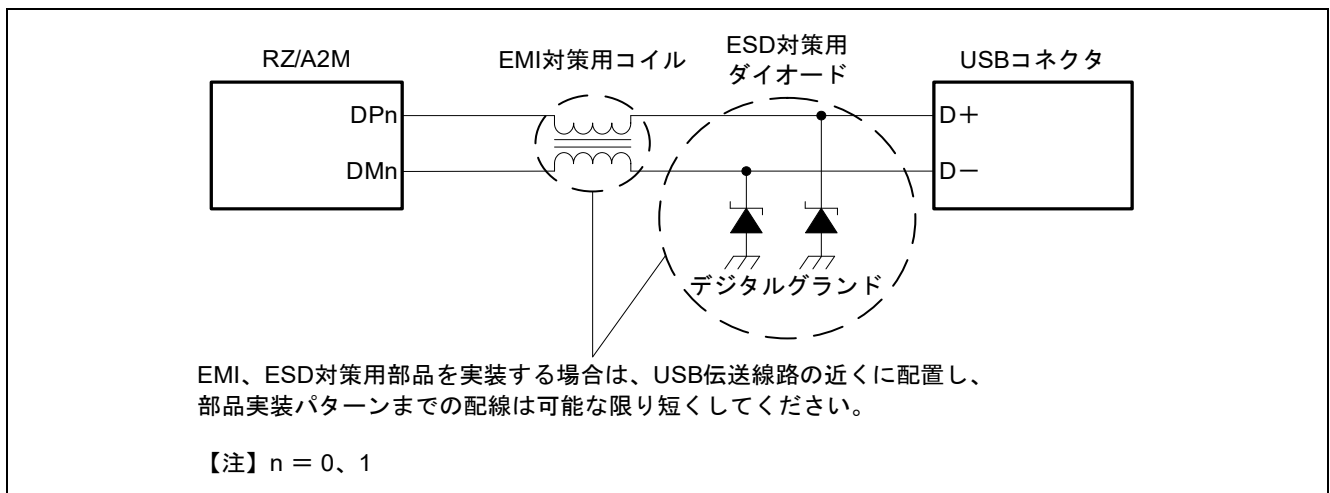


図 7.1 EMI、ESD 対策用部品使用時の接続例

8. チェックリスト

表 8.1 チェックリスト1 (回路図)

項番	チェック項目 (回路図)	✓	参照
1	伝送線路に外付けの抵抗を配置していないか		2
2	端子処理は正しいか		—
2-1	RREF 端子は $2.2k\Omega \pm 1\%$ の抵抗を介して USB グランドに接続しているか		図 6.1
2-2	デジタル電源と USB グランドの間に $47\mu\text{F}$ のコンデンサが入っているか		図 3.1
2-3	アナログ電源と USB グランドの間に $10\mu\text{F}$ のコンデンサが入っているか		
2-4	各 USB 電源端子には $0.01\mu\text{F}$ のバイパスコンデンサが入っているか		
2-5	電源端子の電圧は正しいか (未接続の電源端子はないか)		
2-5-1	USBAPVcc1、USBAPVcc0 : 3.3V アナログ電源		表 1.2
2-5-2	USBDPVcc1、USBDPVcc0 : 3.3V デジタル電源		
3	アナログ電源とデジタル電源はインダクタやフェライトで分離しているか		図 3.1
4	発振回路は正しいか		—
4-1	発振部品は $48\text{MHz} \pm 100\text{ppm}$ を満たしているか		4
4-2	水晶振動子の場合、制限抵抗および帰還抵抗、負荷容量を付加しているか		図 4.1
4-3	水晶発振器の場合、USB_X1 端子に接続しているか (USB_X2 端子はオープン)		図 4.2
4-4	水晶発振器の場合、ダンピング抵抗が入っているか		
5	VBUS 回路は正しいか		—
5-1	ホスト時、VBUS ラインに $120\mu\text{F}$ 以上のコンデンサが入っているか		図 5.1
5-2	ファンクション時、VBUS ラインに $1.0\mu\text{F} \sim 10\mu\text{F}$ のコンデンサが入っているか		図 5.2
5-3	ファンクション時、VBUSIN 入力端子に保護回路を設けているか		
5-4	ファンクション時、VBUS ラインにフィルタ回路を設けているか		
5-4-1	容量 : $1.0\mu\text{F} \sim 10\mu\text{F}$		図 5.2
5-4-2	抵抗 : $100\Omega \sim 1k\Omega$		

表 8.2 チェックリスト 2 (パターン図)

項番	チェック項目 (パターン図)	✓	参照
1	伝送線路は正しいか		—
1-1	差動インピーダンスは $90\Omega \pm 10\%$ になっているか		2
1-2	ホスト時、配線長は 300mm 以下か		表 2.1
1-3	ファンクション時、配線長は 100mm 以下か		
1-4	D+/D-の配線長差は 2mm 以下か		
1-5	同一層で配線しているか (Type-C は除く)		
1-6	配線は分岐していないか (Type-C は除く)		2
1-7	Type-C 使用時、D+およびD-の A 側と B 側を短絡する配線は 3.5mm 以下 (推奨値) となっているか		2 図 2.4
1-8	一定間隔で配線しているか		2
1-9	不要な配線曲げはないか		
1-10	配線の曲げは 135° もしくは円弧となっているか		
2	クリアランスは正しいか		—
2-1	伝送線路下層の USB ベタグランドは伝送線路より外側へ 1mm 以上あるか		2 図 2.1 図 2.2
2-2	USB グランドと伝送線路の間隔は D+/D-の配線間隔の 3 倍以上あるか		2 図 2.1 図 2.2 図 2.3
3	バイパスコンデンサは電源端子の近くに配置しているか		3
4	発振回路は正しいか		—
4-1	発振回路は USB_X1 端子の近くに配置しているか		4
4-2	ダンピング抵抗は出力端に配置しているか		図 4.2
5	RREF 端子周辺回路は正しいか		—
5-1	324BGA パッケージの場合、ビアを介さず接続しているか		図 6.5 図 6.5 RREF 端子周辺のパターン設計例 4 (324 ピン BGA パッケージ)
5-2	基準抵抗は RZ/A2M の近くに配置しているか		6
5-3	配線抵抗は 0.5Ω 以下になっているか		
5-4	USB グランドやアナログ電源でガードリングしているか		図 6.2 図 6.3
5-5	下層は USB グランドプレーンにしているか		図 6.4 図 6.5
6	EMI、ESD 対策は正しいか		—
6-1	対策部品は伝送線路の近くに配置しているか		図 7.1
6-2	対策部品への配線は最短か		

9. 参考ドキュメント

- ハードウェアマニュアル
RZ/A2M グループ ユーザーズマニュアル ハードウェア編 (R01UH0746JJ)
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

10. 設計支援情報

- 京セラ株式会社 水晶振動子 回路マッチング検索
http://prdct-search.kyocera.co.jp/crystal-ic/?p=ja_search/&s1=27

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.10.29	—	初版発行
1.10	2019.12.26	—	表記を統一： ・ RZ/A2M の端子名以外の DP を D+ に、DM を D- に ・ デカップリングコンデンサをバイパスコンデンサに
		3	表 1.2：電圧範囲およびアナログ電源の記号を追加、デジタル電源の記号を修正
		5	図 2.1、図 2.2：グラウンドガード領域部分を修正
		7	図 3.1：USB グラウンドをひとまとめにするよう修正
		10	図 5.2：保護回路を示す点線を追加、CR の位置を変更
		11	図 6.1：RREF 端子の接続図とパターン設計例（図 6.5）を分割
		11、12	図 6.2～図 6.4：追加
		13	図 6.5：配線幅および部品サイズを修正
		15、16	表 8.1、表 8.2：チェックリストを追加
1.20	2020.05.26	4	伝送線路に関する注意事項を追記
		15	チェック項目を追加（項番 1）

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。