

RX21A グループ

R01AN1437JJ0100

Rev.1.00

A/D コンバータ ユーザーズガイド

2013.03.04

要旨

本アプリケーションノートは、RX21A グループに搭載されている A/D コンバータの特長および使用法についてまとめたものです。

対象デバイス

RX21A グループ

目次

1. A/D コンバータの変換方式	2
2. RX21A グループ A/D コンバータ機能説明	6
3. 推奨外部回路と注意事項	23
4. $\Delta\Sigma$ A/D コンバータの活用方法	25
5. 参考ドキュメント	26
6. 用語集	27

1. A/D コンバータの変換方式

1.1 逐次比較型と 型の比較

マイコンに内蔵される A/D コンバータの変換方式による比較表を表 1.1 に示します。型 A/D コンバータ最大の特徴は高分解能です。高分解能化によりダイナミックレンジが広い(測定信号の最大電圧と最小電圧の比が高い)アナログ信号をより高精度に測定をすることができます。また、対ノイズ性が高く入力端子への部品実装が基本的に不要であり、実装面積およびコスト削減を実現できます。しかし逐次型と比較して変換時間や、消費電力の面で劣る点があります。

表 1.1 マイコン内蔵 A/D コンバータの変換方式の比較

項目	逐次比較方式	方式
分解能	低い	高い
耐ノイズ性	弱い	強い
外付けフィルタ	必要	基本的に不要
コード欠け	有り	無し
変換データの誤差補正	難しい	容易
最小変換時間	速い	遅い
消費電力	低い	高い
周波数帯域	最大周波数帯域は最小変換時間に依存 下限については制限なし	デジタルフィルタに依存

1.2 逐次比較型の特徴

- 変換速度が速く、低い分解能であれば比較的安価に実現できます。
- 突発的なノイズに弱く、平均化などのノイズ処理が必要で、ソフトウェア負荷が増大します。
- n ビット分解能であれば、 2^n 個の受動素子内蔵が必要であり面積が増大するため、シリコン上に形成する場合、加工バラツキにより実現精度に限界があり、高分解能実現には不向きです。
- マイコン内蔵型としては、10 ビットあるいは 12 ビット分解能が主流です。

1.3 逐次比較型の変換方法

逐次比較型は被測定電圧と可変の基準電圧 (D/A コンバータで発生させる電圧) を比較しながら測定する方式で、動作は次の通りです。

1. D/A コンバータの出力を中央値にして、アナログ測定電圧と比較する。
2. 比較した結果、アナログ電圧が大きければ、D/A 変換の出力を前記中央値より上側の範囲の中央に新たに設定する。小さければ、下側の範囲の中央に設定し、比較を繰り返す。
3. これを n 回 (n ビット分解能の場合) 繰り返して測定を完了します。

逐次比較型は二分木のアルゴリズムに似ており、被測定信号に最も近い電圧を探索する方法を採用しています。

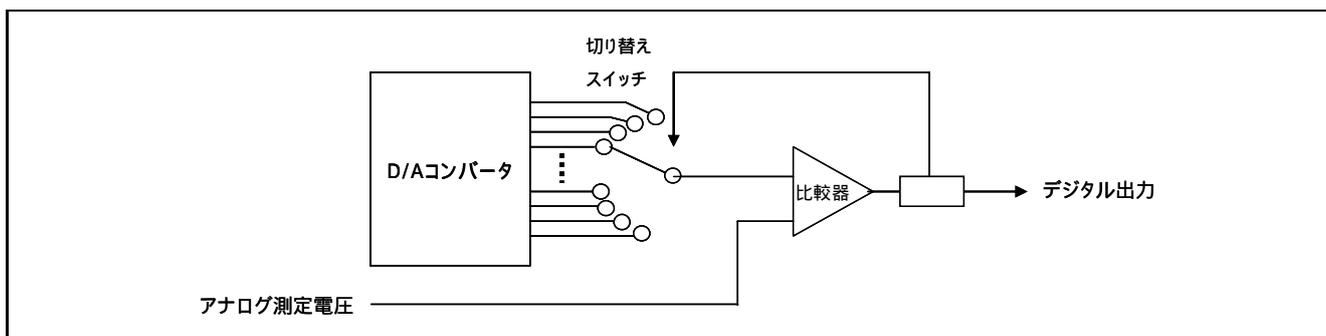


図 1.1 逐次比較型の内部構成

1.4 型の特徴

- 変換速度は逐次比較型と比較すると遅くなります。これはハードウェアでノイズ処理(デジタルフィルタ処理)を行っているためで、耐ノイズ性と分解能向上に貢献しています。
- 分解能あたりのサイズが比較的小さく、マイコン内蔵用途など小面積での高分解能実現に適した方式です。
- マイコン内蔵型としては、16ビットあるいは24ビット分解能が主流です。

1.5 型の変換方法

型は被測定電圧をサンプリングして積分し、一定の基準電圧と比較しながらデジタルに変換する方式です。変調器とデシメーションフィルタ(デジタルフィルタ)で構成されます。

変調器の動作は次の通りです。

1. アナログ測定電圧から1ビットD/Aコンバータの出力を減算し、結果を積分器で積分する。
2. 比較電圧と積分器出力を比較し、1ビットのA/D変換データを出力する。
3. 比較器の出力から、1ビットD/Aの出力を決定する。

デシメーションフィルタは変調器から出力されるK個のデータを演算処理し、サンプリング周波数毎に出力します。

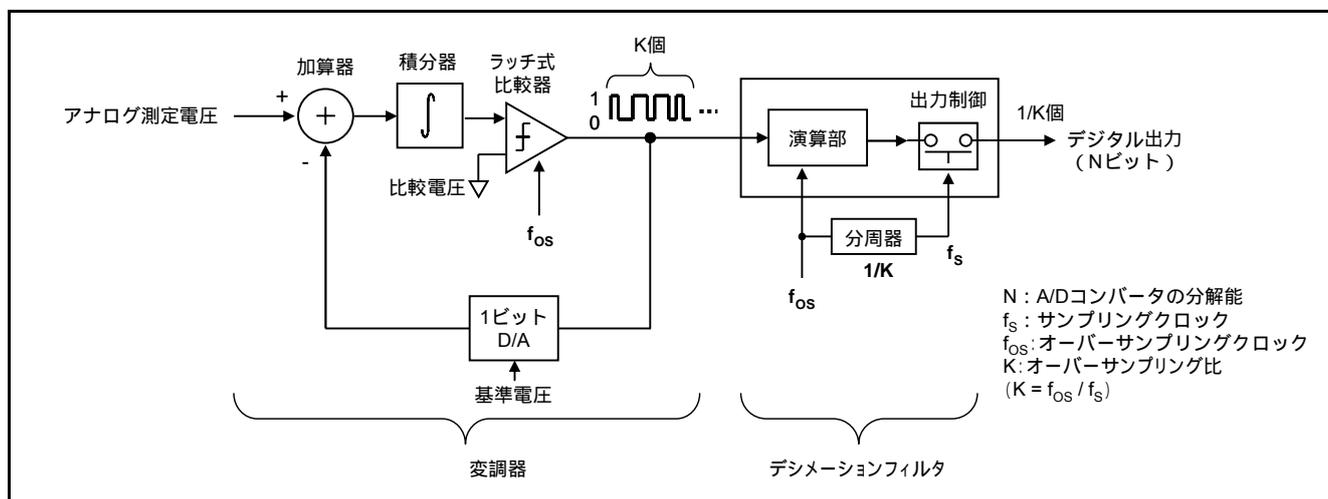


図 1.2 型の内部構成

1.6 A/D コンバータの A/D 変換概要

図 1.3に A/D コンバータのブロック図を示します。1.5「型の変換方法」で示したように、A/D コンバータは変調器とデシメーションフィルタ(デジタルフィルタ)で構成されます。

変調器はアナログ入力を 1 ビットのデジタル値(ビットストリーム) に変換し、オーバーサンプリング周波数のごとに出力します。

デシメーションフィルタはオーバーサンプリングしたデータを演算処理し、間引き処理(デシメーション)を行います。これによりサンプリング周期ごとに A/D 変換データを得ることができます。

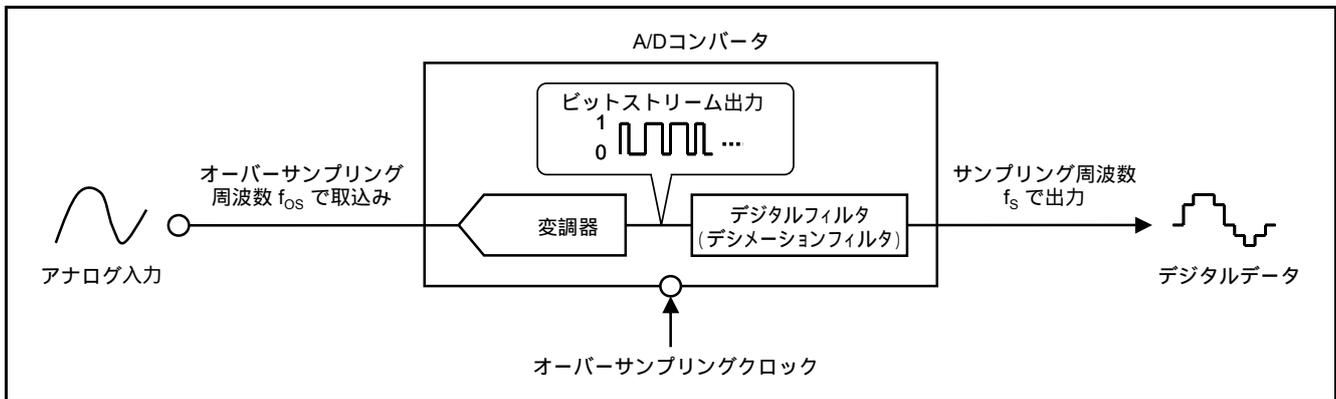


図 1.3 A/D コンバータブロック図

• オーバーサンプリング

オーバーサンプリングとは通常のサンプリング周波数より高い周波数でデータを取得する手法です。

図 1.4にオーバーサンプリングの概念を示します。通常はサンプリング周波数(f_s)で A/D 変換データを出しますが、オーバーサンプリングでは、サンプリング周波数より高い周波数 f_{OS} で A/D 変換を行います。一般的に f_{OS} はオーバーサンプリング周波数と呼びます。またオーバーサンプリング周波数とサンプリング周波数の比率(f_{OS} / f_s)をオーバーサンプリング比と呼びます。

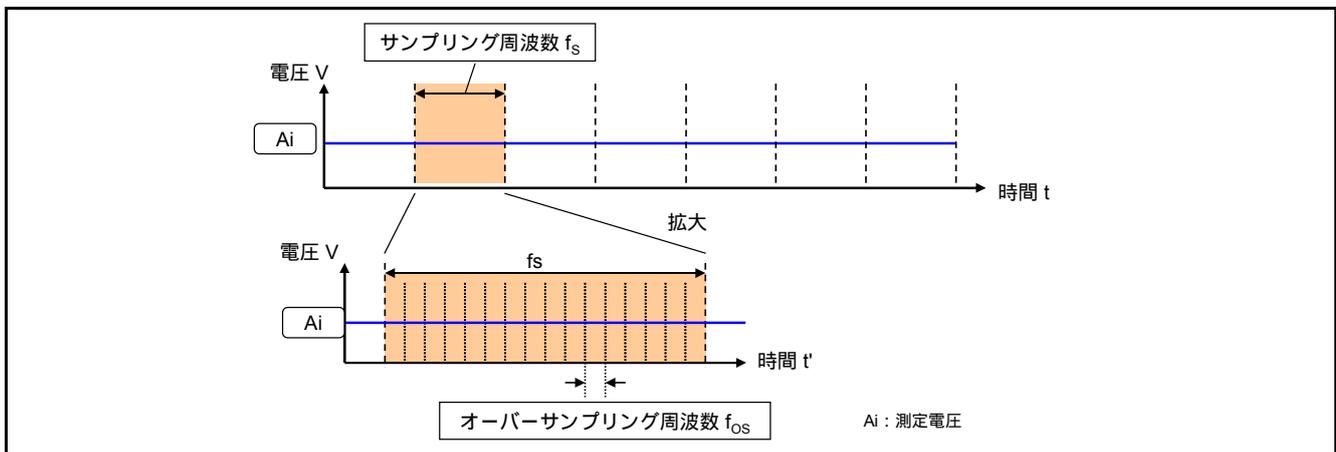


図 1.4 オーバーサンプリングの概念

図 1.5に 変調器による A/D 変換を示します。ここでは直流 (DC) 電圧を測定することを例にして説明します。まず、測定したいアナログ入力電圧 A_i 、 A_i の積分値 V_f 、初期値 0V の比較電圧 V_{comp} 、基準電圧 V_{ref} 、オーバーサンプリングクロック SC 、比較結果 D_q を用意します。

そして、 SC 経過毎に起こる動作(a)、(b)および(c)を定義します。

- (a) $V_f > V_{comp}$ ならば、 $D_q = 1$ かつ V_{comp} に V_{ref} を加算する
- (b) $V_f < V_{comp}$ ならば、 $D_q = 0$
- (c) V_f に A_i を加算する

変調器は(a)、(b)、(c)の処理により、 f_s の期間内に K 個の D_q を得ます。 D_q は A/D 変換データですが、1 ビットの情報量しか持ちません。このデータは次段のデシメーションフィルタの演算処理により高分解能の A/D 変換データとなります。

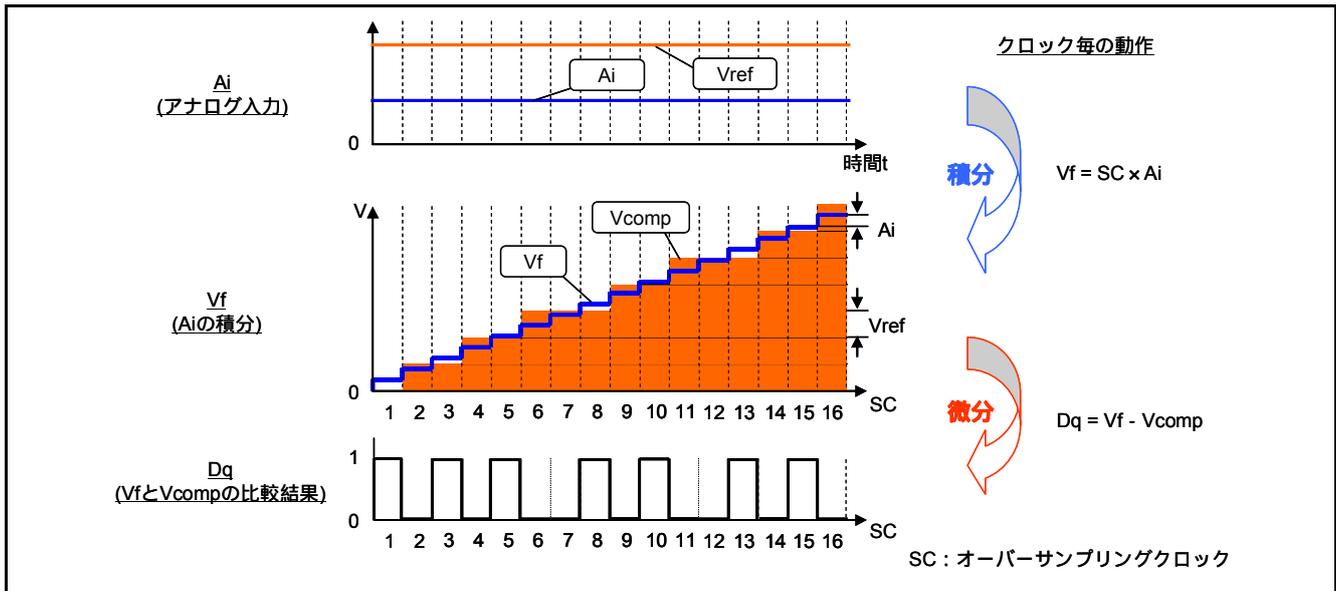


図 1.5 変調器による A/D 変換

● デシメーションフィルタ (デジタルフィルタ)

図 1.6にデシメーションフィルタの処理を示します。デシメーションフィルタはサンプリング周波数の 1 サイクル期間内にオーバーサンプリングで得た n 個の D_q について演算を行います。この演算は、1 ビット \times n 個のデータストリームを平均化し、さらに A/D コンバータの最大デジタル値 (FS) を乗じることで A/D 変換結果 D_o を決定します。デシメーションフィルタはこの結果をサンプリング周期で出力します。

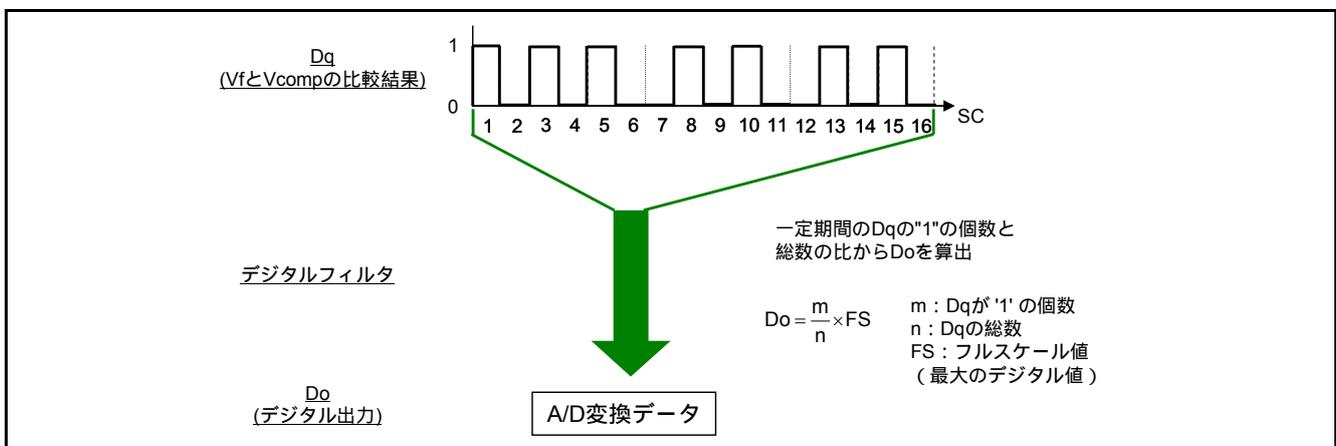


図 1.6 デジタルフィルタの処理

2. RX21A グループ A/D コンバータ機能説明

RX21A グループは 変調方式の 24 ビット A/D コンバータを内蔵しており、最大 7 チャンネルのアナログ入力をデジタル値に変換します。7 チャンネルのうち 4 チャンネルが差動入力、3 チャンネルがシングルエンド入力に対応しています。A/D コンバータの前段には信号を増幅するための PGA (Programmable Gain Amplifier) を備えており、差動入力は最大 64 倍、シングルエンド入力は最大 4 倍のゲインを設定できます。

PGA および A/D コンバータは 1 チャンネルにつき 1 ユニットが割り当てられているため各々のチャンネルは独立しており、各チャンネルは独立したタイミングで制御され、変換終了時にチャンネルごとに割り込み要求を発生させる事ができます。ただしモジュールに供給するクロックは全てのチャンネルで共通であり、A/D 変換クロックは 25MHz となります。また、データレジスタ上書き発生割り込みは全てのチャンネルの要求がまとまり、1 つの割り込み要求として働きます。

RX21A グループでは、BGR (Band Gap Reference) 回路を内蔵しており、リファレンス電圧はこの BGR 電圧と BGR_BO 端子からの外部印加電圧のどちらかを基準に生成されます。

その他特長として、変調器に直接入力を与えて A/D 変換を行うことが可能であり、変調器単体の特性を評価することができます。チップ内蔵の D/A コンバータを用いれば、チップ単体で特性評価が可能です。

表 2.1 に A/D コンバータの機能概要を示します。

表 2.1 RX21A グループ A/D コンバータの機能概要

項目	内容
ユニット数	最大 7 ユニット
入力チャンネル	最大 7 チャンネル 差動入力：4 チャンネル (ANDS0P/ ANDS0N、ANDS1P/ ANDS1N、ANDS2P/ ANDS2N、ANDS3P/ ANDS3N) シングルエンド入力：3 チャンネル (ANDS4、ANDS5、ANDS6)
A/D 変換方式	2 次 変調
分解能	24 ビット
最小変換時間	81.92 μ s (A/D 変換クロック：DSADCLK = 25MHz 時)
ゲイン	ANDS0P ~ 3P、ANDS0N ~ 3N : x1、x2、x4、x8、x16、x32、x64 ANDS4 ~ 6 : x1、x2、x4
A/D 変換クロック	周辺モジュールクロック PCLKB ^(注1) と A/D 変換クロック DSADCLK ^(注1) を以下の分周比で設定可能 PCLK : DSADCLK 分周比 = N : 1 (N : 1、2、4、8、16、32) DSADCLK = 25MHz (固定)
オーバーサンプリング周波数	3.125MHz (DSADCLK の 8 分周)
データレジスタ	変換結果の上位側を拡張し、符号付 32bit データとして格納
A/D 変換開始条件	イベントリンクコントローラ(ELC)により設定されたイベントの発生 各チャンネルごとに独立に設定可能
リファレンス電圧	内蔵 BGR 出力電圧、または BGR_BO 端子への印加電圧から生成
割り込み要因	・各チャンネルごとに AD 変換終了時に割り込み要求(DSADIO ~ 6)を発生、 いずれの割り込みでも DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能 ・データレジスタが読み出されないまま次の変換データが上書きされた場合、データレジスタ上書き発生割り込み要求(DSADORI)を発生
消費電力低減機能	・モジュールストップ状態を設定し、供給クロックの停止が可能 ・内蔵 BGR および各チャンネルの PGA、変調器の起動/停止が個別に設定可能
動作モード	・通常変換：アナログ入力端子からの入力で A/D 変換 ・変調器単体変換：内蔵 D/A コンバータ から 変調器へ入力し A/D 変換

注 1. 周辺モジュールクロック PCLKB は SCKCR.PCKB[3:0]ビットで設定した周波数、A/D 変換クロック ADCLK は SCKCR.PCLKC[3:0]ビットで設定した周波数になります。

図 2.1に A/D コンバータのブロック図を示します。RX21Aグループの A/D コンバータは、VREFDSH 端子と VREFDSL 端子間の電圧をリファレンス電圧としてアナログ入力電圧をデジタル値に変換します。

A/D コンバータは 変調器、デシメーションフィルタ(デジタルフィルタ)、およびこれらの制御回路で構成されています。

入力されたアナログ入力信号はオーバーサンプリング周波数(A/D 変換クロックの 8 分周、3.125MHz での動作を保証)でサンプリングされ、変調器にてデジタル信号に変換されます。このデジタル信号はその後のデシメーションフィルタにて演算処理され、このフィルタ出力が A/D データレジスタへ格納されます。

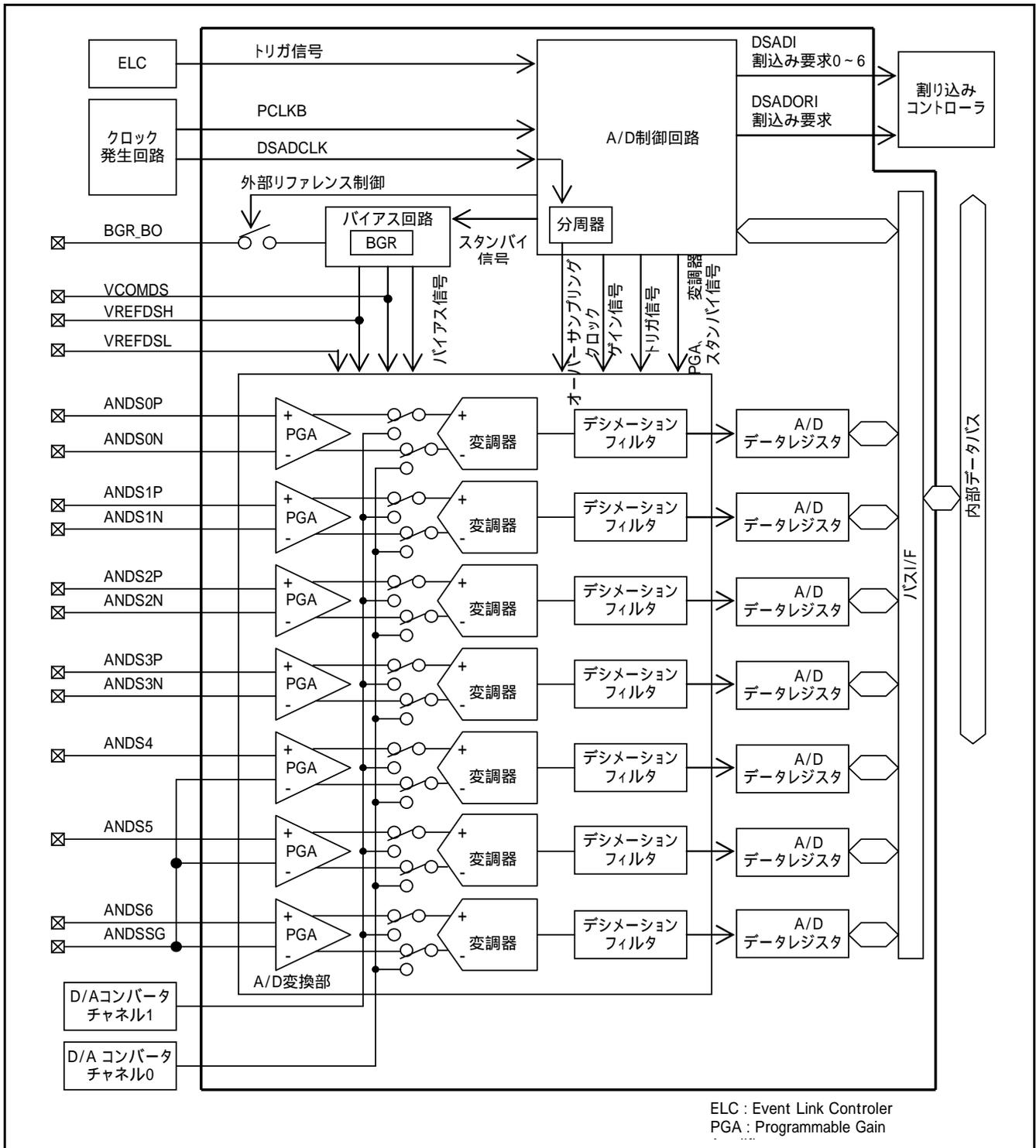


図 2.1 RX21A グループ A/D コンバータのブロック図

表 2.2に コンバータの端子を示します。

表 2.2 A/D コンバータの端子

端子名	入出力	機能
ANDS0P、ANDS0N	入力	アナログ入力 チャンネル0 差動入力
ANDS1P、ANDS1N	入力	アナログ入力 チャンネル1 差動入力
ANDS2P、ANDS2N	入力	アナログ入力 チャンネル2 差動入力
ANDS3P、ANDS3N	入力	アナログ入力 チャンネル3 差動入力
ANDS4	入力	アナログ入力 チャンネル4 シングルエンド入力
ANDS5	入力	アナログ入力 チャンネル5 シングルエンド入力
ANDS6	入力	アナログ入力 チャンネル6 シングルエンド入力
VREFDSH		リファレンス電圧 High 側 1 μ F の容量を介してアナロググランドに接続
VREFDSL	入力	リファレンス電圧 Low 側 アナロググランドに接続
VCOMDS		同相電圧 0.1 μ F の容量を介してアナロググランドに接続
AVCCA	入力	アナログ電源
AVSSA	入力	アナロググランド
ANDSSG	入力	シグナルグランド(信号源のグランド)に接続
BGR_BO	入力	リファレンスの外部印加端子 リファレンスに内部 BGR 選択時は Hi-z(ハイインピーダンス)

2.1 基本動作説明

2.1.1 A/D 変換トリガ信号

図 2.2に A/D 変換トリガの信号フローを示します。RX21A グループの A/D コンバータは、ELC により関連付けられた周辺モジュールのイベント信号を A/D 変換のトリガとして A/D 変換を行います。周辺モジュールは、周期的にイベントを出力するタイマ機能 (MTU2a、CMT や TMR) を使用します。ELC によりタイマ機能と A/D コンバータはリンクされ、発生するイベントに同期し、かつ CPU を占有することなく A/D 変換を開始でき、リソースを有効活用できます。ELC および各タイマ機能の詳細については RX21A グループハードウェアマニュアルを参照してください。

最大7個の A/D 変換ユニットは、単一のイベント信号を全ユニットに割り当てることで、同時タイミングの変換が可能です。また、それぞれのユニットに個別のイベント信号を割り当てることで、独立タイミングの A/D 変換が出来ます。

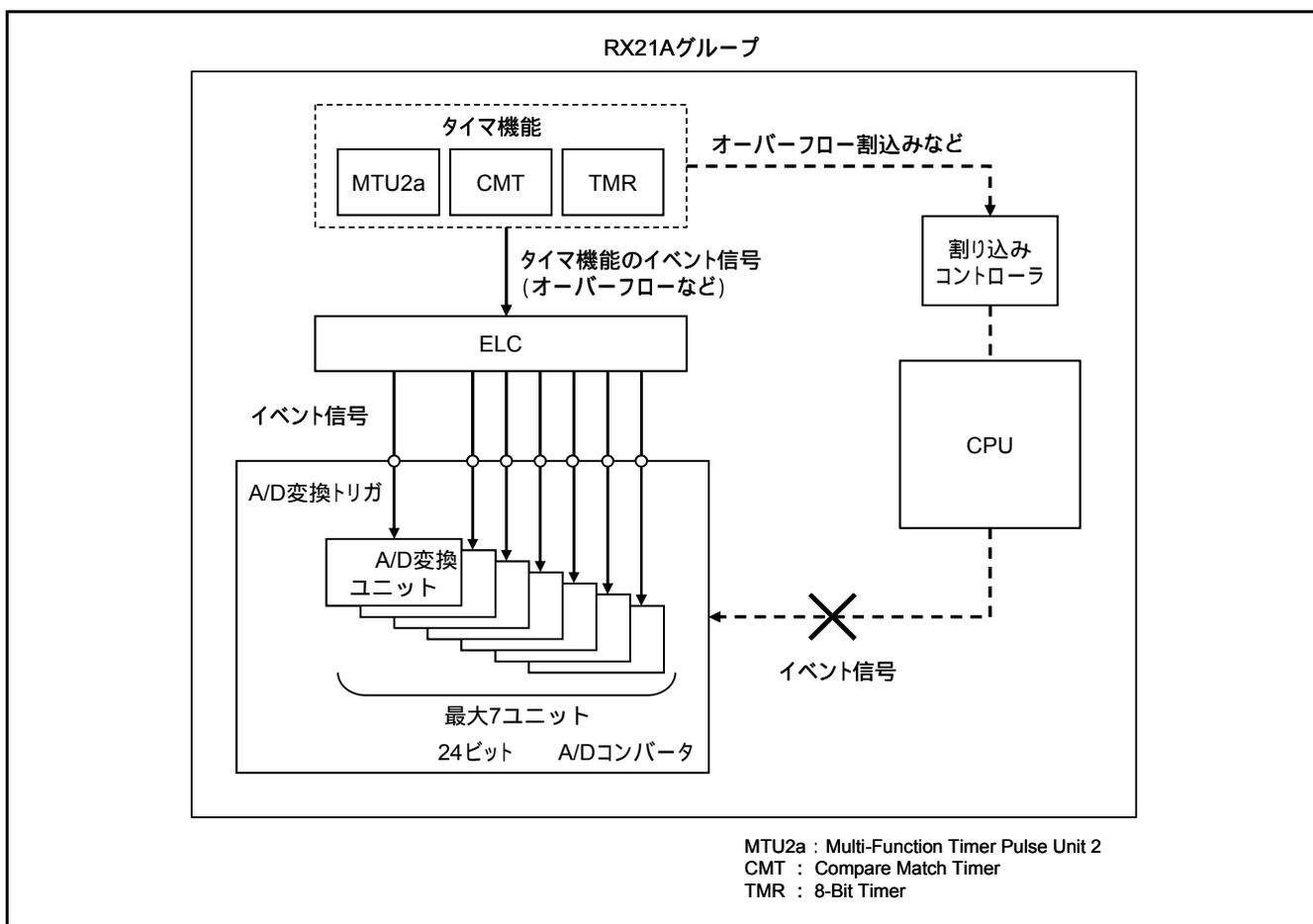


図 2.2 A/D 変換トリガ信号フロー

2.1.2 A/D 変換動作タイミング

図 2.3に 1つのチャンネルの A/D 変換動作例を示します。

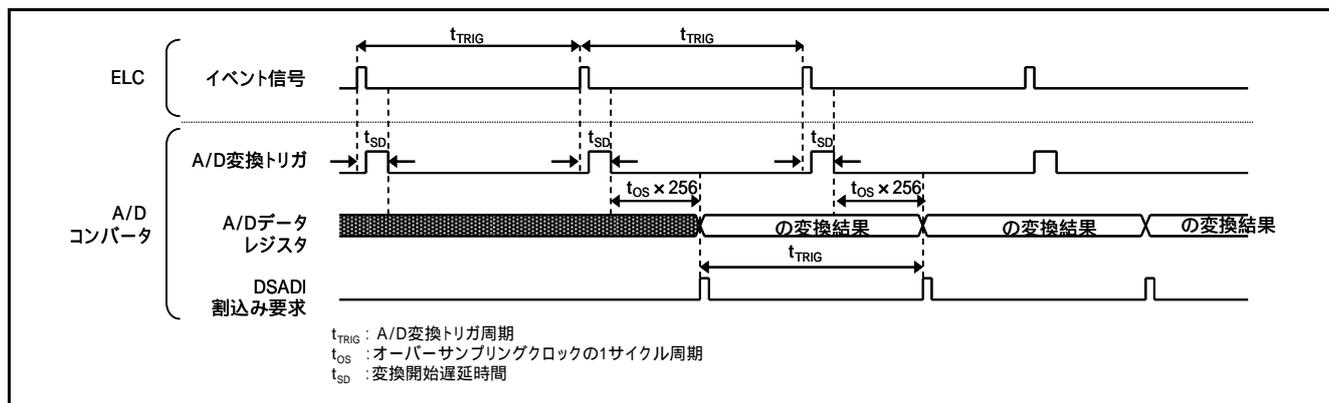


図 2.3 タイミングチャート

【動作説明】

1. ELC により A/D コンバータに関連付けられたイベント信号 によって、 A/D コンバータの A/D 変換トリガを動作させます。
2. 変換開始遅延時間(t_{SD})の後、A/D 変換トリガが認識され の A/D 変換を開始します。
3. のイベント信号印加から A/D 変換トリガ周期(t_{TRIG})経過後に再度イベント信号 を印加することで、 $t_{SD} + (t_{OS} \times 256)$ 経過後、デシメーションフィルタの処理が終了し、 A/D データレジスタ(DSADDRn、 $n = 0 \sim 6$)に の A/D 変換データが転送されます。同時に、イベント信号 により 2 回目の A/D 変換を開始します。
4. A/D コントロール/ステータスレジスタ(DSADCSRn、 $n = 0 \sim 6$) レジスタの ADIE ビットが“ 1 ” にセットされている場合は、変換結果が A/D データレジスタに転送されると同時に、DSADI 割り込み要求が発生します。

このように、RX21A グループの A/D コンバータは 1 回の A/D 変換のために t_{TRIG} の間隔で 2 回のイベント信号を印加する必要があります。また、A/D 変換と A/D 変換終了割り込み要求の制御は、イベント信号を印加することに行われます。

A/D 変換時間は同期化タイミング t_{SD} と A/D 変換トリガ周期 t_{TRIG} 、デシメーションフィルタの演算期間 $t_{OS} \times 256$ の合計となり、次の式で表されます。

$$\text{A/D変換時間} = t_{SD} + t_{TRIG} + t_{OS} \times 256$$

イベント信号印加開始から、最初の A/D 変換結果が出力されるまでの期間は上記式から算出される時間となります。2 回目以降の A/D 変換結果は t_{TRIG} 毎に出力されます。

2.1.3 A/D 変換トリガ設定の注意事項

デシメーションフィルタの演算に t_{OS} の 256 サイクル以上必要であるため、 t_{TRIG} は $t_{OS} \times 256$ t_{TRIG} $t_{OS} \times 768$ 、かつ t_{OS} の整数倍となる期間を設定してください。

t_{SD} は周辺モジュールクロック(PCLKB)で動く ELC からのイベント信号とオーバーサンプリング周波数 (DSADCLK / 8)の同期化タイミングで決まり、2 つのクロック比率により異なります。 t_{SD} の取りうる範囲は、RX21A グループハードウェアマニュアルの電気的特性を参照してください。

A/D 変換トリガにポート入力など非同期イベント信号を発生する周辺機能を設定した場合、イベント信号と A/D 変換トリガの同期化タイミング t_{SD} やデシメーションフィルタの処理時間に誤差が生じ、A/D 変換データに影響する可能性がありますので設定しないでください。A/D 変換トリガは、一定周期でイベント信号を発生できる周辺機能を使用してください。なお、一つのチャンネルに複数のイベント信号を設定することはできません。ELC のレジスタおよびイベント信号の設定は RX21A グループハードウェアマニュアルを参照してください。

2.1.4 A/D 変換データの出力形式

A/D 変換データは、アナログ入力電圧がリファレンス電圧のとき最大となります。一般的にアナログ入力電圧に対するデジタル値は、アナログ入力電圧とリファレンス電圧の比率に A/D コンバータのフルスケール (FS) 値を掛けることで求めることができ、次の式で表すことができます。

$$\text{A/D変換値} = \frac{\text{アナログ入力電圧}}{\text{リファレンス電圧}} \times \text{A/DコンバータのFS値}$$

図 2.4に RX21A グループのアナログ入力とデジタル出力の関係を示します。A/D データレジスタの値は 2 の補数で格納されます。 $t_{\text{TRIG}} = (t_{\text{OS}} \times 256)$ 、ゲイン 1 倍の条件において 24 ビットのデータは最上位ビットが正負の符号に割り当てられ、残りの 23 ビットが A/D 変換データに割り当てられます。

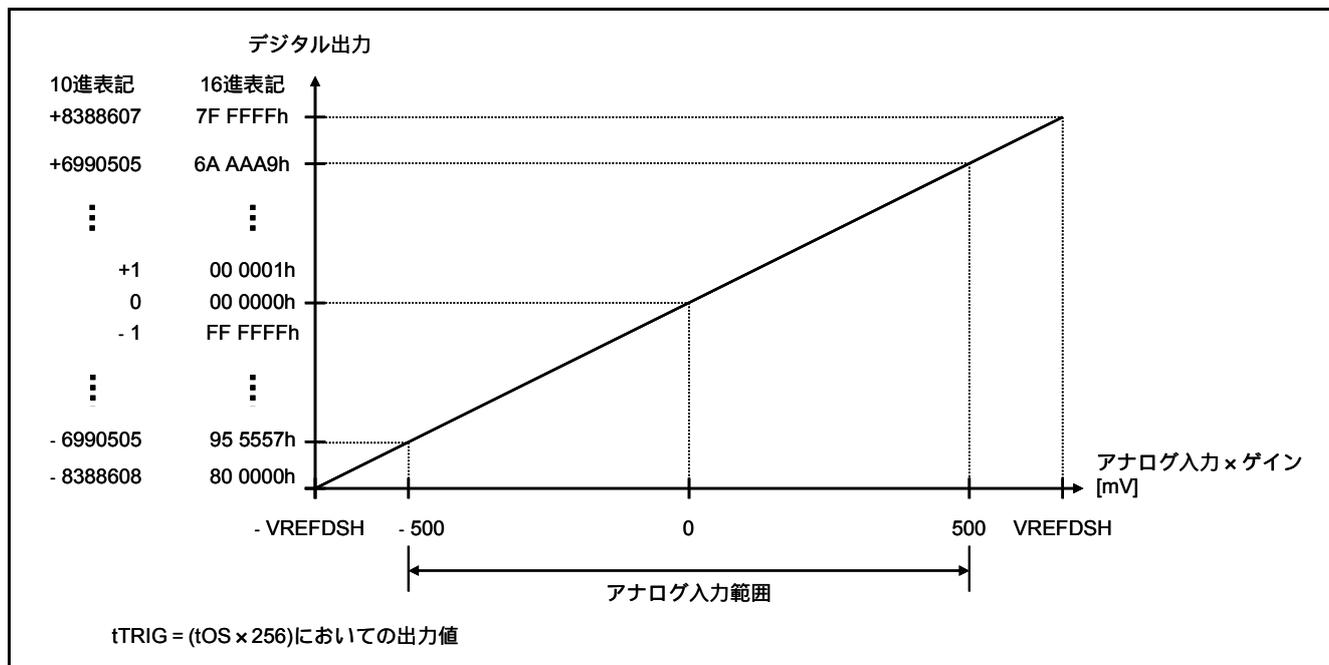


図 2.4 アナログ入力とデジタル出力の関係

RX21A グループの A/D コンバータにおいて、変換精度が保証されるアナログ入力範囲は次の範囲に規定されています。

$$-500\text{mV} \quad \text{アナログ入力電圧} \times \text{ゲイン} \quad 500\text{mV}$$

これは、A/D コンバータが持つオフセット誤差およびフルスケール誤差のためです。オフセット誤差およびフルスケール誤差については「4.2 オフセット/フルスケールエラーの補正」を参照してください。また、設定ゲインによりアナログ入力範囲が異なります。RX21A グループハードウェアマニュアルの電気的特性を参照し、制限内のアナログ信号でご使用ください。

【参考】RX21A グループの A/D コンバータのアナログ入力範囲はゲインと VREFDSH の電圧により決定され、最大入力はこの範囲となります。

$$-VREFDSH \quad \text{アナログ入力電圧} \times \text{ゲイン} \quad VREFDSH$$

デジタル値の出力範囲は、正電圧入力の場合 00 0000h ~ 7F FFFFh (10 進数では 0 ~ +8388607) となり、負電圧入力の場合 FF FFFFh ~ 80 0000h (10 進数では -1 ~ -8388608) となります。ただし、アナログ入力の制限を超える範囲の電圧についての A/D 変換結果は保証できません。

2.1.5 A/D 変換時間とデータサイズ

一般的に A/D コンバータの A/D 変換時間(t_{AD})はオーバーサンプリング周波数(f_{OS})の 1 サイクル期間($t_{OS} = 1/f_{OS}$)およびオーバーサンプリング比(K)により決定され、次の式から算出します。

$$t_{AD} = K / f_{OS} = K \times t_{OS}$$

従って、図 2.5に示すように、A/D 変換時間を変更するには、オーバーサンプリング周波数またはオーバーサンプリング比を調整します。

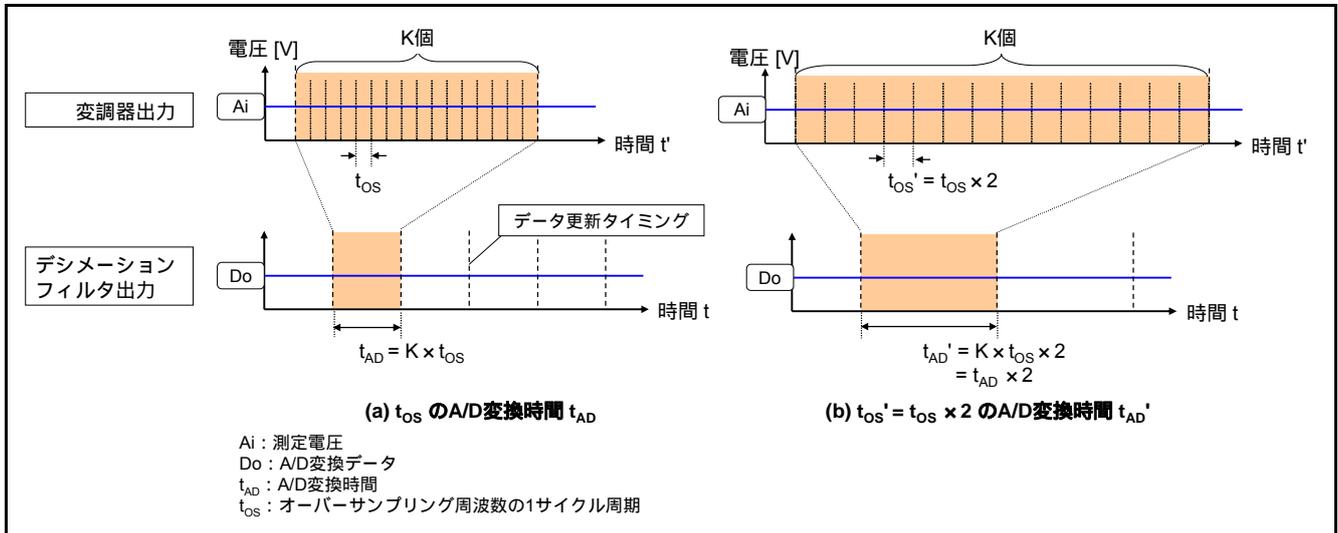


図 2.5 A/D コンバータの A/D 変換時間の概念

RX21A グループの A/D コンバータにおいて、A/D 変換時間は A/D 変換のトリガ周期(t_{TRIG})に相当します。

RX21A グループではオーバーサンプリング周波数は 3.125MHz を動作保証値としており、オーバーサンプリング周波数の変更は保証しません。そのため、図 2.6に示すように A/D 変換のトリガ周期を変更することでオーバーサンプリング比が変化し、A/D 変換時間を変更できます。

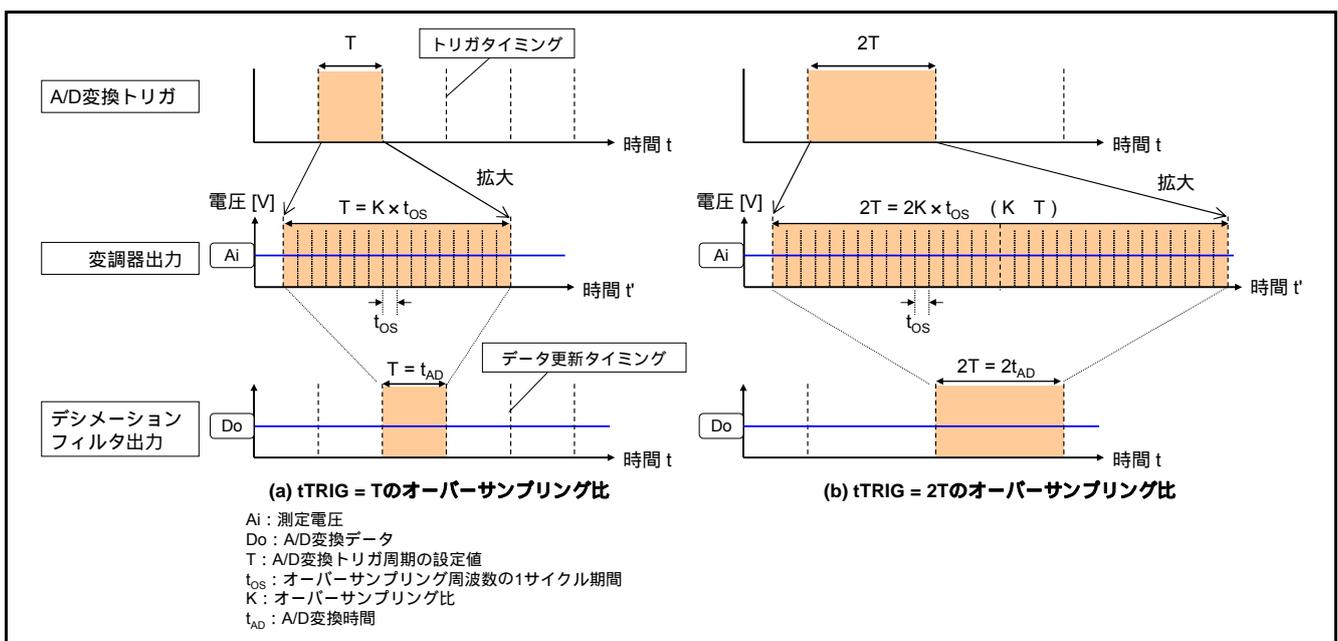


図 2.6 RX21A グループの A/D 変換トリガ周期とオーバーサンプリング比

RX21A グループの A/D 変換は、周辺機能のイベントをトリガに動作します。ここでは、周辺機能としてタイマを使用して、定周期にイベントを発生する設定としてオーバーサンプリング比を変更する例を示します。タイマに設定するカウント値 N は、次の手順で算出します。

- (1) 次の算出式からオーバーサンプリング比 K を算出します。ただし、 $256 < K < 768$ 、K は整数とします。

$$K = \text{トリガ周期} / t_{OS}$$

$t_{OS} = (1 / \text{オーバーサンプリング周波数}) = 0.32 \mu\text{s}$ となるので、トリガ周期は $0.32 \mu\text{s}$ 刻みの設定が可能です。

- (2) 次の算出式からカウント値 N を算出します。

$$N = \text{タイマがカウントする周波数} \times (t_{OS} \times K) - 1$$

タイマ機能については RX21A グループハードウェアマニュアルを参照してください。

RX21A グループはオーバーサンプリング比によりデータサイズが変化します。A/D データレジスタに格納される最大データサイズは t_{TRIG} により変化し、次の式により求めることができます。

$$\begin{aligned} \text{最大データサイズ} &= \log_2 \left(2^{24} \times \frac{t_{TRIG}}{t_{OS} \times 256} \right) \\ &= 24 + \log_2 \left(\frac{t_{TRIG}}{t_{OS} \times 256} \right) \end{aligned}$$

t_{TRIG} を最小設定値である $t_{OS} \times 256 = 81.92 \mu\text{s}$ とした場合、データレジスタに格納されるデータ長は、上記式より 24 ビットとなります。

t_{TRIG} を最大設定値である $t_{OS} \times 768 = 245.76 \mu\text{s}$ とした場合、データレジスタに格納されるデータ長は、上記式よりおよそ 25.6 ビットであり、保存には 26 ビットのデータ領域が必要となります。よってデータレジスタが取りうる値は FE00 0000h ~ 01FF FFFFh となります。

データサイズが増加した A/D 変換データをソフトウェアで扱う場合は、演算結果のオーバーフローなどに注意してください。また 26 ビットなどに拡張されたデータを本来のデータサイズの 24 ビットで取り扱う場合、ソフトウェアで変換データに $(t_{OS} \times 256) / t_{TRIG}$ を乗じて補正してください。

2.2 ゲイン機能

2.2.1 機能概要

電圧増幅を行うことで A/D コンバータの入力範囲を有効利用でき、小振幅・低電圧信号を高精度に A/D 変換することが出来ます。

図 2.7 にゲイン機能の使用例を示します。(a)のように最大入力範囲の 1/4 のアナログ電圧を A/D 変換した場合、マイコン内部では 22 ビットのデータ範囲として取り扱われます。(b)のようにアナログ電圧を 4 倍して A/D 変換を行うと、マイコン内部では 24 ビットのデータ範囲で取り扱うことができます。

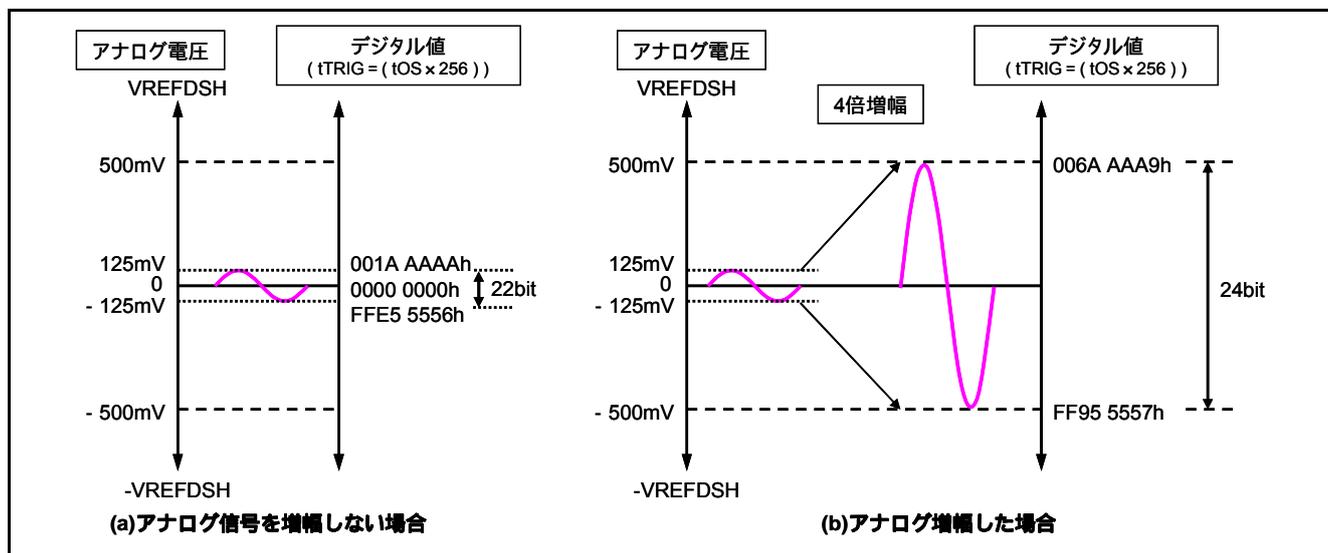


図 2.7 ゲイン機能の使用例

2.2.2 設定方法と入力範囲

A/D ゲイン選択レジスタ DSADGSRn (n = 0 ~ 6) の GAIN ビットにより、ゲイン機能を設定します。表 2.3 にゲイン設定の一覧を示します。

差動入力の場合、×1、×2、×4、×8、×16、×32、×64 を設定可能です。これらは DSADGSR0 ~ 3 の GAIN2、1、0 ビットにより行います。

シングルエンド入力の場合、×1、×2、×4 を設定可能です。これらは DSADGSR4 ~ 6 の GAIN1、0 ビットにより行います。

なお、ゲインごとにアナログ入力範囲は制限されますので、「2.1.4 A/D 変換データの出力形式」に記載されたアナログ入力範囲内で使用してください。

表 2.3 ゲイン設定一覧

ゲイン	DSADGSRn レジスタ	
	GAIN[2:0]ビット (n = 0 ~ 3、差動入力チャネル)	GAIN[1:0]ビット (n = 4 ~ 6、シングルエンド入力チャネル)
1	000b	00b
2	001b	01b
4	010b	10b
8	011b	×
16	100b	×
32	101b	×
64	110b	×

× : 設定禁止

2.3 シングルエンド入力端子

2.3.1 シングルエンド信号の概念

シングルエンド入力の場合、1つのアナログ電圧 V_{in} を使用します。シングルエンド信号は伝送経路で外来ノイズを受けた場合、そのノイズも処理系で信号として取り扱われます。特にノイズが発生しやすい環境で、小振幅・小電圧の信号を扱う場合、測定信号のレベルを測定できない可能性があります。そのため、ノイズのレベルを無視できる比較的大きな信号を扱う場合に使用します。

2.3.2 シングルエンド信号の A/D 変換

A/D 変換部では、まず V_{in} に対しゲイン設定の増幅 ($\times 1 \sim \times 4$) を行います。次に VREFDSH 端子と VREFDSL 端子で決定されるアナログ入力電圧範囲を 24 ビット分解能でデジタル値に変換します。従って、A/D コンバータのシングルエンド入力端子の電圧範囲は次の通りになります。

$$-500\text{mV} \quad V_{in} \times \text{ゲイン} \quad 500\text{mV}$$

$t_{TRIG} = (t_{OS} \times 256)$ の条件において、A/D 変換結果は、 $V_{in} = 0$ (V) の場合、正の値 (00 0000h ~ 7F FFFFh) になります。また、 $V_{in} < 0$ (V) の場合、負の値 (FF FFFFh ~ 80 0000h) になります。

シングルエンド入力に対応する端子は、ANDS4、ANDS5 または ANDS6 です。シングルエンド信号は、信号源のグランドレベルを中心として A/D 変換するため、ANDSSG 端子はシグナルグランド(信号源のグランド)に接続します。ANDSSG 端子の取り扱いについては、「3.3 ノイズ対策上の注意」を参照してください。

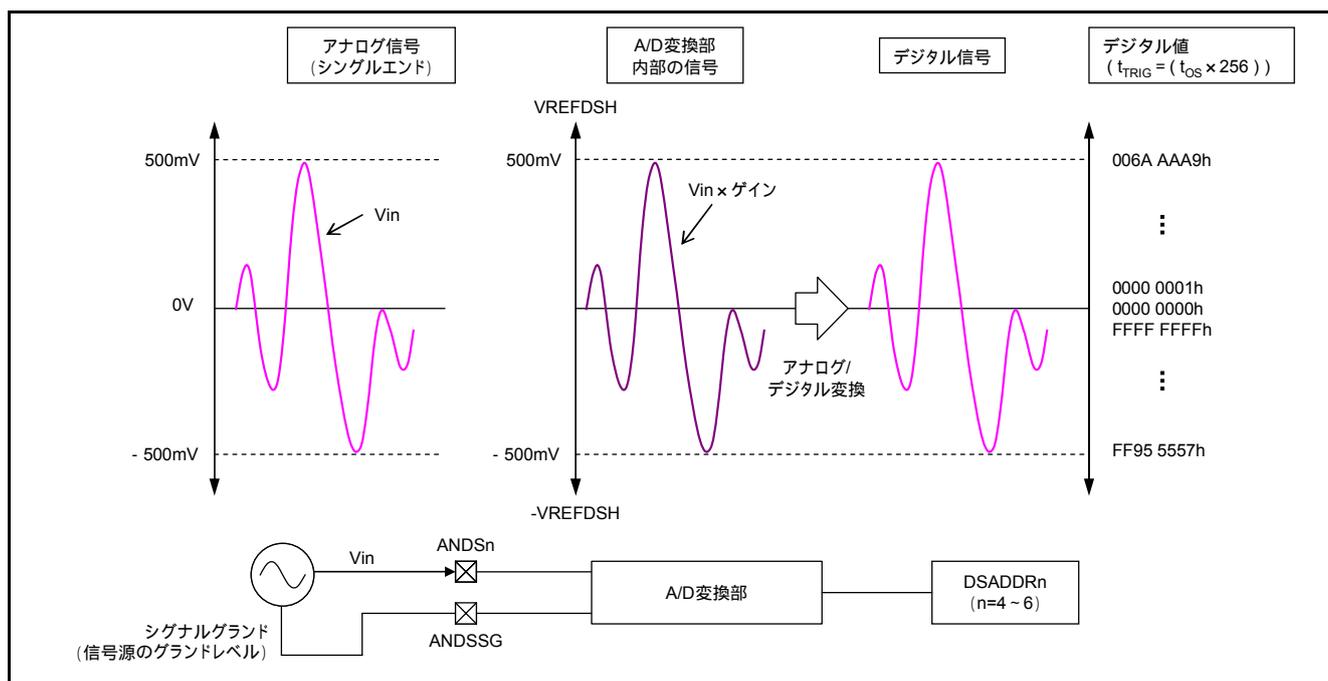


図 2.8 シングルエンド入力の例

2.4 差動信号入力端子

2.4.1 差動信号の概念

差動信号は同相電圧を中心として、対となる2つのアナログ電圧 V_{inP} と V_{inN} からなる信号です。差動信号を使用する利点として、処理系により同相ノイズ(2つの信号線に対し同じノイズが重畳すること)が除去されるため、比較的小さい信号を伝送する必要がある場合に有効です。また、処理系で扱われる信号レベルは $V_{inP} - V_{inN}$ となるため注意が必要です。

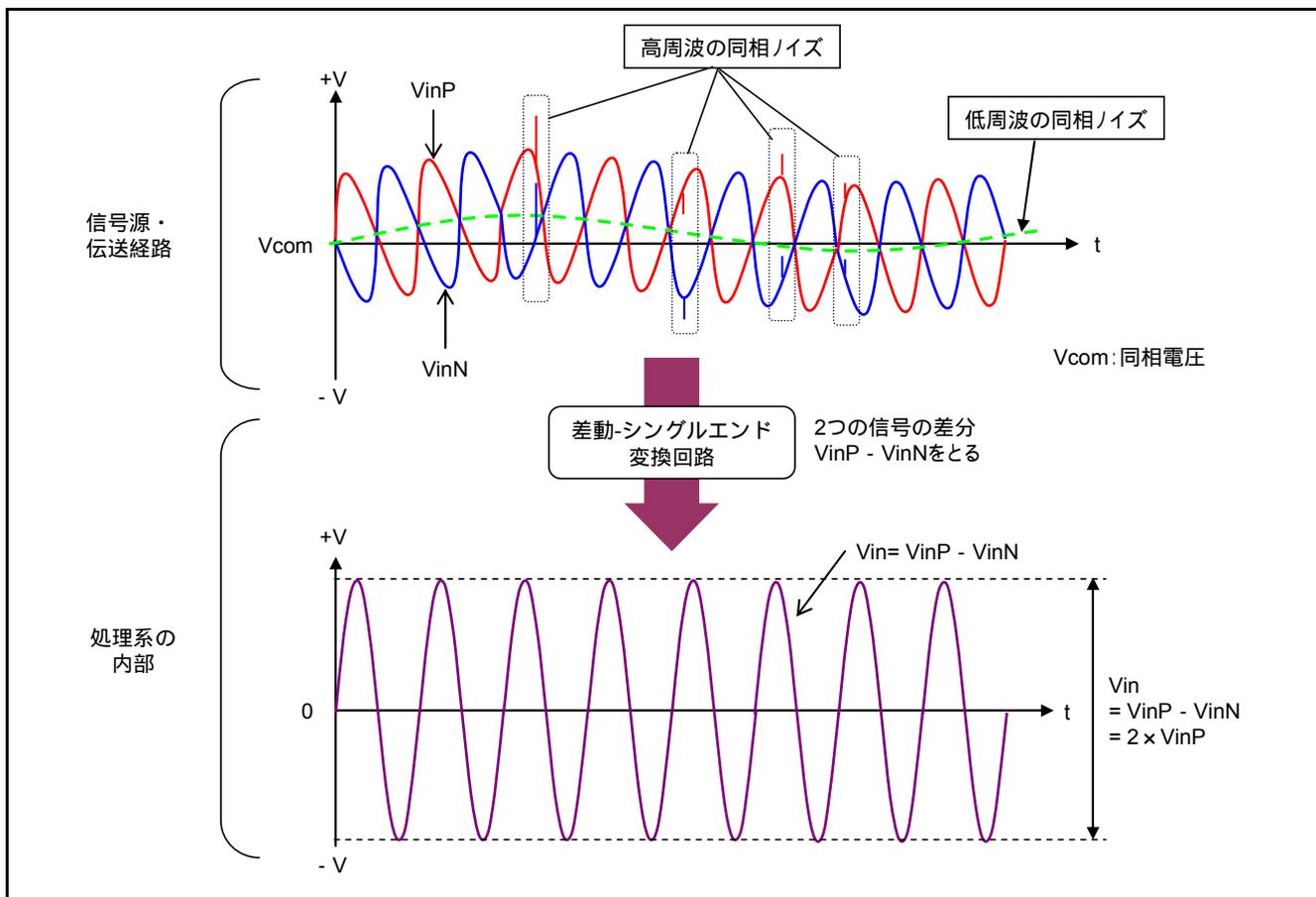


図 2.9 差動信号のイメージ

2.4.2 差動信号の A/D 変換

A/D 変換部では、まず V_{inP} と V_{inN} に対しゲイン設定の増幅($\times 1 \sim \times 64$)を行います。次に V_{inP} と V_{inN} の減算($(V_{inP} - V_{inN}) \times \text{ゲイン}$)を行い、VREFDSH 端子と VREFDSL 端子で決定されるアナログ入力電圧範囲を 24 ビット分解能でデジタル値に変換します。従って、A/D コンバータの差動入力端子間の電圧範囲は次の通りになります。

$$- 500\text{mV} \quad (V_{inP} - V_{inN}) \times \text{ゲイン} \quad 500\text{mV}$$

$$(- 250\text{mV} \quad V_{inP} \times \text{ゲイン} \quad 250\text{mV}, - 250\text{mV} \quad V_{inN} \times \text{ゲイン} \quad 250\text{mV})$$

$t_{TRIG} = (t_{OS} \times 256)$ の条件において、A/D 変換結果は、 $(V_{inP} - V_{inN}) > 0\text{V}$ の場合、正の値(00 0000h ~ 7F FFFFh)になります。また、 $(V_{inP} - V_{inN}) < 0\text{V}$ の場合、負の値 (FF FFFFh ~ 80 0000h)になります。

差動入力に対応する端子は、ANDS0P と ANDS0N、ANDS1P と ANDS1N、ANDS2P と ANDS2N、または ANDS3P と ANDS3N です。これらの端子にはアナロググランドレベル(0V)が同相電圧となる差動信号を入力してください。

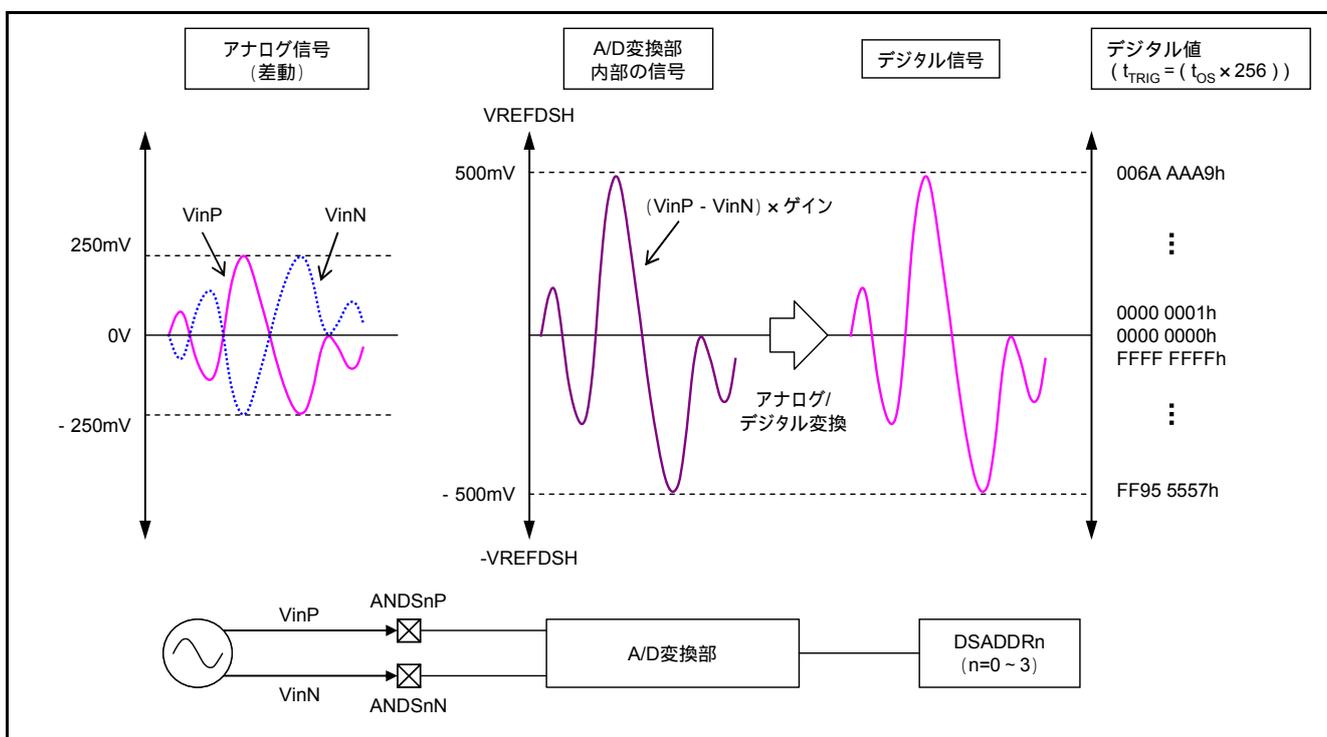


図 2.10 差動入力の例

2.5 内蔵リファレンス回路

2.5.1 機能概要

リファレンス電圧は A/D 変換結果を算出する際の基準となるもので、リファレンス電圧の精度は A/D 変換精度に影響します。

図 2.11 に低精度リファレンス電源を使用したときの A/D 変換結果を示します。A/D 変換結果はリファレンス電圧と測定電圧の比率で表すことができます。リファレンス電圧が不安定な環境で一定電圧を A/D 変換した場合、変換タイミングによりリファレンス電圧と測定電圧の比率が変化するため、理想的な A/D 変換結果を得ることが出来ません。

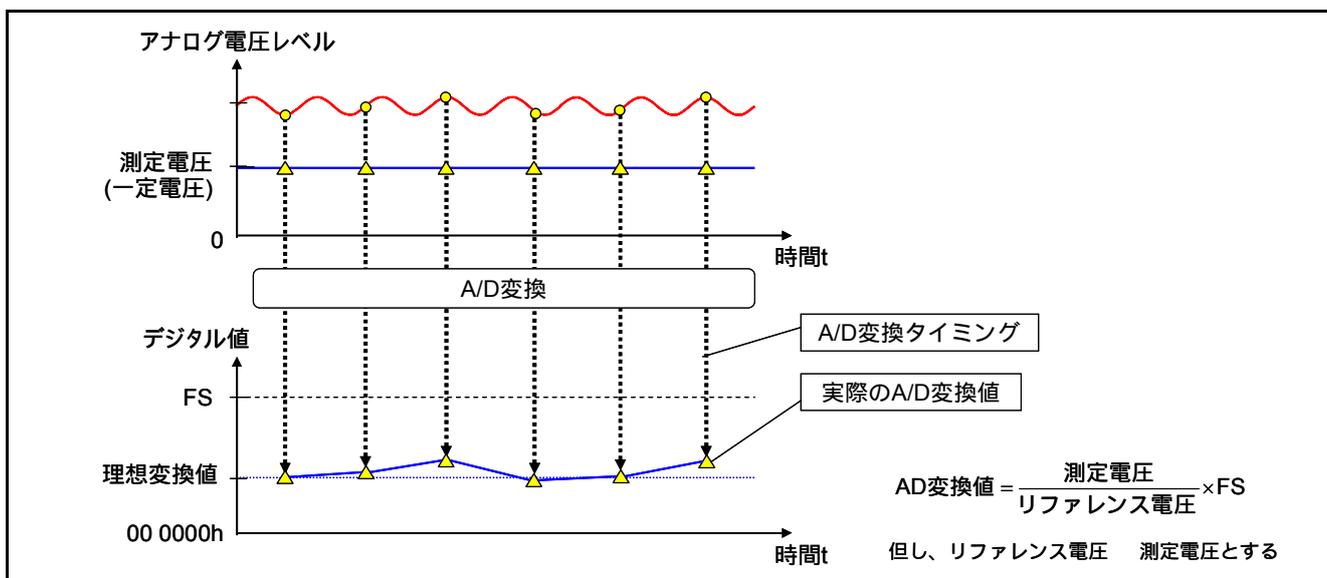


図 2.11 低精度リファレンス電圧と A/D 変換結果

図 2.12 には高精度リファレンス電源を使用したときの A/D 変換結果を示します。安定したリファレンス電源を基準とすれば、A/D 変換のタイミングに係わらず、理想的な A/D 変換結果を得ることができます。

RX21A グループはリファレンス電圧生成のため高精度の BGR を内蔵しています。新たな外付け回路無しに安定したリファレンス電源を供給することが可能で、高精度の A/D 変換を行うことができます。

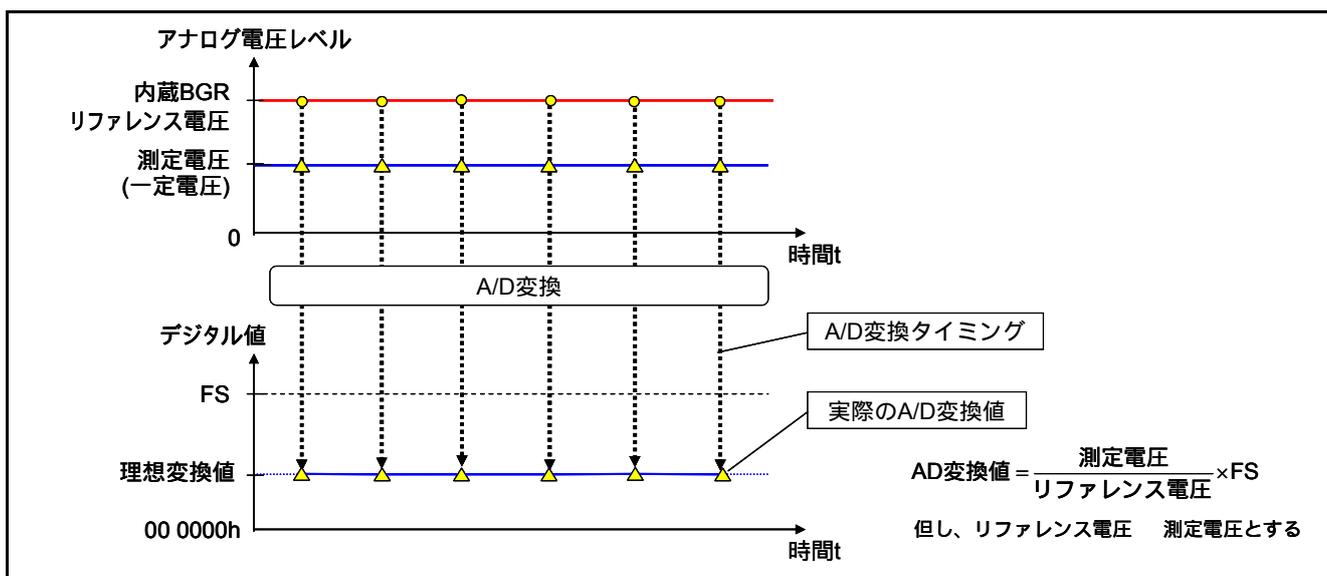


図 2.12 高精度リファレンス電圧と A/D 変換結果

2.6 変調器単体変換機能

2.6.1 機能概要

A/D コンバータ内部の変調器に D/A コンバータの出力を接続し、変調器単体の A/D 変換テストを行うことができます。この機能を使用すると、チップ内蔵の D/A コンバータを用いて、チップ単体で変調器の特性評価の他、オフセット誤差やフルスケール誤差の補正ができます。オフセット誤差およびフルスケール誤差補正方法については、「4.2 オフセット/フルスケールエラーの補正」を参照してください。

なお、この機能はアナログ入力信号に対するオフセット調整機能としての使用は出来ません。

2.6.2 内部構成

変調器単体変換機能を使用した場合のブロック図を図 2.14に示します。A/D 制御拡張レジスタ (DSADCER)および A/D 入力選択レジスタ(DSADISRn : n = 0 ~ 6)により、変調器に D/A コンバータの出力を接続しますこの場合アナログ入力端子からの入力は無効となります。

変調器単体変換機能を使用するには、変調器の各チャンネルに D/A コンバータの出力を選択する必要があります。DSADISRn の ISEL ビットを“1”に設定します。

DSADISRn の ISEL ビットのうち少なくとも1つが“1”に設定されている場合において、D/A コンバータのアナログ出力を制御することが出来ます。出力を許可する場合、アナログ機能を選択可能なポート(ポート 0 およびポート 4)のポート出力機能は使用しないでください。出力を許可しない制御は D/A コンバータの D/A コントロールレジスタ(DACR)の DAOEn(n = 0, 1)ビットよりも優先されます。

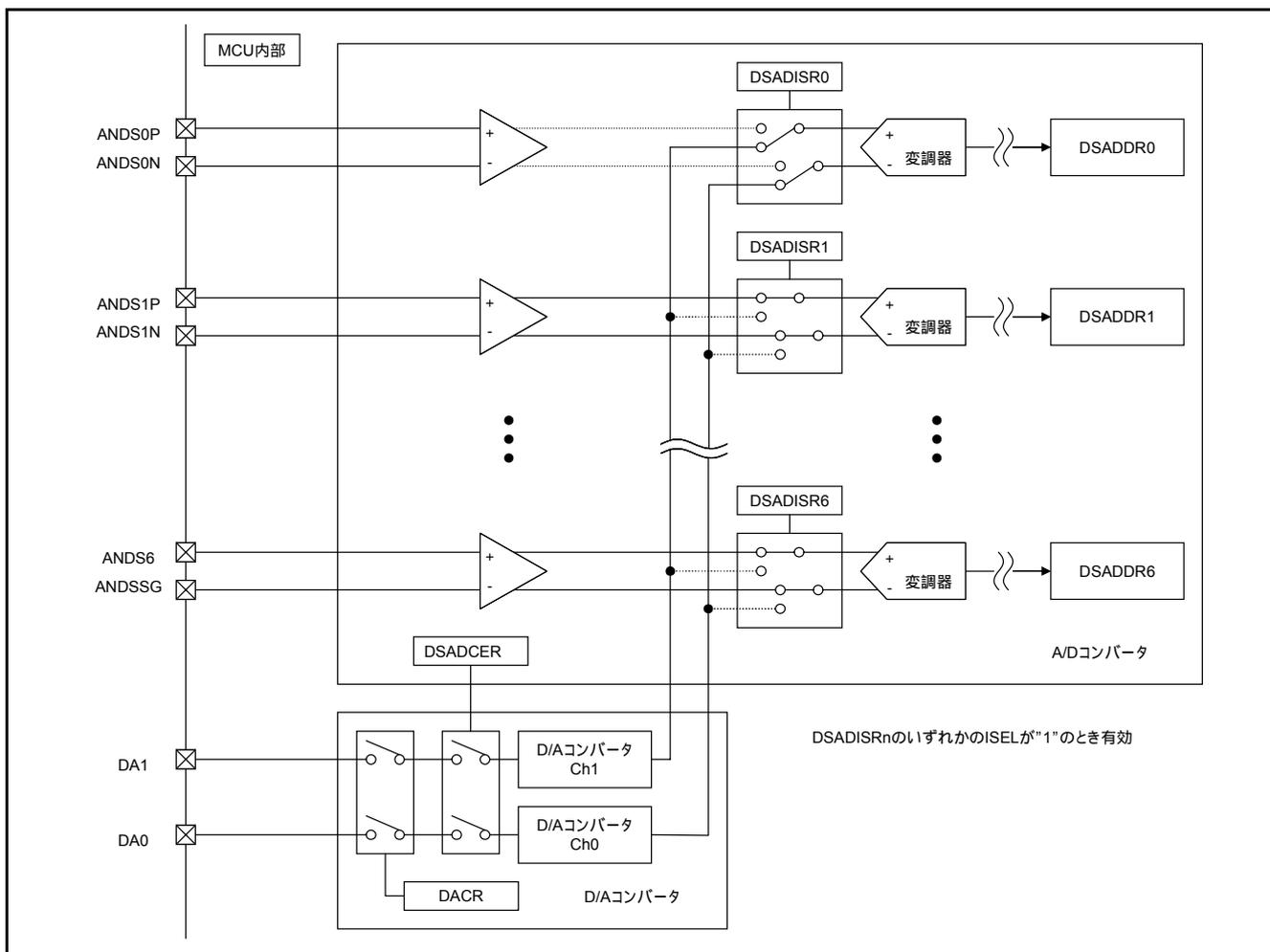


図 2.14 変調器単体変換機能使用時のブロック図

2.6.3 変調器入力電圧入力範囲

図 2.15に A/D コンバータの内部信号処理を示します。(a)に示すようにアナログ入力端子から信号入力する場合、 V_{inP} と V_{inN} で構成する $-500mV$ から $500mV$ の差動電圧を扱うことができます。しかし、マイコン内部ではグラウンドレベル(0V)から電源電圧(VCC)までの電圧範囲しか扱うことはできません。そのため、マイコン内部では(b)のように電圧のレベルシフトを行い、正の電圧に変換して信号を処理します。RX21A グループの A/D コンバータ内部では約 $700mV$ (VCOMDS 端子電圧) レベルシフトし、アナログ入力信号は V_{inP}' と V_{inN}' に変換され 変調器に入力します。(c)の A/D 変換では V_{inN}' に対する V_{inP}' の電圧レベル ($V_{inP}' - V_{inN}'$) を変換するため、A/D 変換結果からは VCOMDS 端子電圧の成分は除去されます。

変調器単体変換機能を使用し、D/A コンバータから 変調器へ信号入力する場合、D/A コンバータを2チャンネル使用し、 $700mV$ を同相電圧とした $-500mV$ から $+500mV$ の差動電圧を設定してください。D/A コンバータチャンネル1が正入力、チャンネル0が負入力となり、全ての A/D 変調器において差動信号を入力することができます。なおどちらか片方のD/A コンバータをD/A 変換禁止で使用した場合、D/A 変換禁止されたチャンネルの出力はLow レベル(0V)となります。

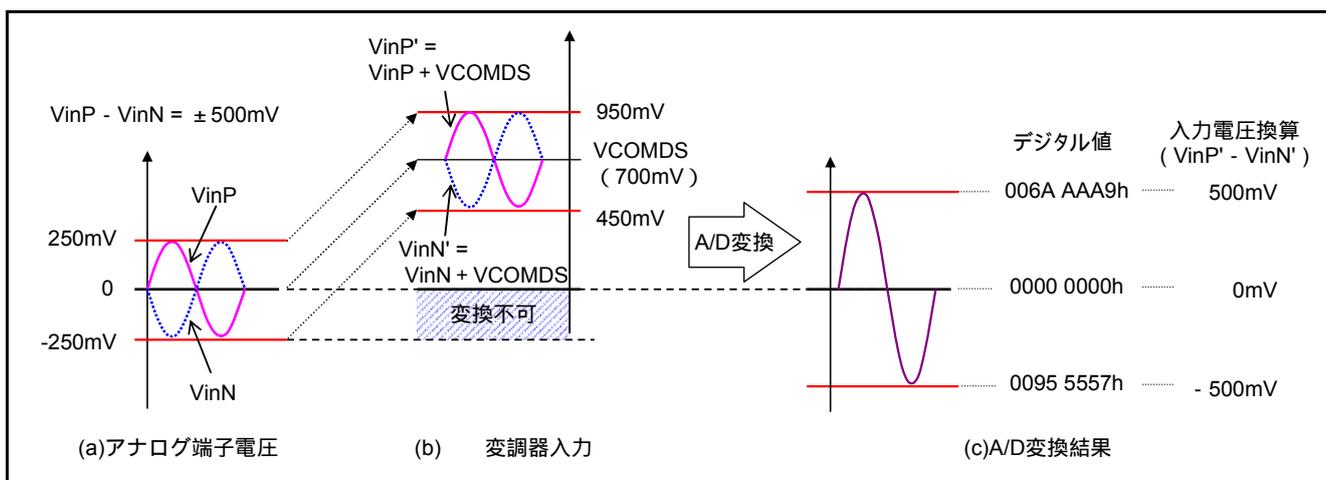


図 2.15 A/D コンバータの内部信号処理

2.6.4 変調器入力設定例

表 2.5に 変調器単体変換機能を利用可能な D/A コンバータ出力制御レジスタの組合せを示します。

変調器単体変換機能を使用する場合は、2チャンネルのD/A コンバータを出力許可とするため、DACR のD/A 許可ビット(DAE)を'1'、またはD/A 出力許可0ビット(DAOE0)およびD/A 出力許可1ビット(DAOE1)を'1'に設定してください。

また、本機能使用中は DSADCER のアナログ出力制御ビット(AOC)を'0'に設定し、D/A コンバータをアナログ出力の端子への出力を禁止することを推奨します。

表 2.5 変調器単体変換機能を利用可能な D/A コンバータ出力制御レジスタの組合せ

周辺機能名 レジスタ ビット	D/A コンバータ			変調器 単体変換機能の利用
	DACR			
	DAE	DAOE1	DAOE0	
設定値	1	x	x	可
	0	1	1	可
	0	1	0	不可
	0	0	1	不可
	0	0	0	不可

x : Don't care

表 2.6に 変調器ゲインと差動入力範囲を示します。DSADGSRn レジスタで設定したゲインにより変調器ゲインが異なり、差動入力範囲も異なります。差動入力範囲を超えないよう D/A コンバータを設定してください。

表 2.7に D/A コンバータの設定例を示します。また、図 2.16に 変調器ゲイン×1 の差動入力設定例を示します。

表 2.6 変調器のゲイン設定と差動入力範囲

変調器のゲイン	DSADGSRn の設定値 (変調器単体変換時)		変調器の最大差動入力電圧 [mV]
	GAIN[2:0]ビット (n = 0 ~ 3、差動入力チャネル)	GAIN[1:0]ビット (n = 4 ~ 6、差動入力チャネル)	
× 1	000b	00b 01b 10b	± 500
	001b		
	010b		
	011b		
	010b		
× 2	101b	-	± 250
× 4	110b	-	± 125
- : 該当なし			

表 2.7 D/A コンバータの設定例

変調器のゲイン	DADR1 (正入力側)	DA1 出力[mV]	DADR0 (負入力側)	DA0 出力[mV]	A/D 変換電圧[mV]
× 1	8Bh	447.8	126h	947.2	- 499.4
	126h	947.2	8Bh	447.8	499.4
× 2	B3h	576.7	100h	824.8	- 248.1
	100h	824.8	B3h	576.7	248.1
× 4	C7h	641.1	ECh	760.3	- 119.2
	ECh	760.3	C7h	641.1	119.2

VCC = AVCC0 = AVCCA = VREFH = 3.3V、VSS = AVSS0 = AVSSA = VREFL = 0V の条件における設定値

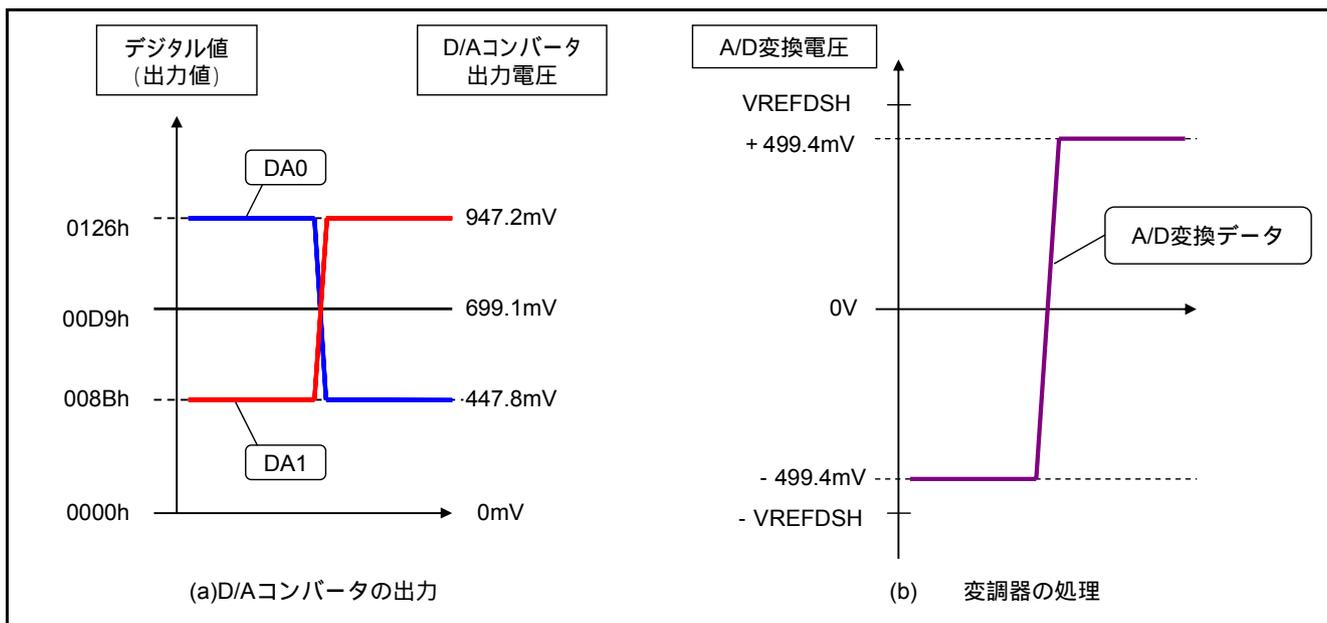


図 2.16 変調器ゲイン×1 の差動入力設定例

3. 推奨外部回路と注意事項

3.1 A/D コンバータ使用上の注意事項

A/D コンバータ使用上の注意事項は、RX21A グループハードウェアマニュアルを参照してください。

3.2 メインクロック源の選択

A/D 変換精度を高めるために、メインクロック発振器には水晶発振デバイスの使用を推奨します。さらに温度特性も必要である場合は温度補償型の水晶発振デバイスを使用してください。

3.3 ノイズ対策上の注意

A/D コンバータのアナログ入力端子におけるノイズ対策上の注意は、RX21A グループハードウェアマニュアルを参照してください。

3.4 電源回路の設計

A/D 変換精度を高めるために、以下のような電源設計を推奨します。

- システムの電源 (VCC、AVCC0) と A/D コンバータのアナログ電源 (AVCCA) の電圧供給源を個別に用意してください。なお VCC、AVCC0 および AVCCA の電源立ち上げシーケンスの規定はありませんが、VCC、AVCC0 または AVCCA のみ電源が供給されている状態で長期的に使用を続けると LSI の劣化につながりますので、なるべく同時に立ち上げ/立下げるようにしてください。また、VCC 端子と AVCCA には、可能な限り同電位を供給してください。
- 電圧供給源を単独で使用する場合は、電圧供給源の出力端子付近から分岐し、システムの電源と A/D コンバータのアナログ電源を供給してください。
- デジタル電源パターン (VCC、VSS) とアナログ電源パターン (AVCCA、AVSSA) を分離して配置してください。
- アナロググランド (AVSSA) のパターンは、ボード上の安定したデジタルグランド (VSS) のパターンに一点接続し、アナロググランドとデジタルグランドの等電位化とデジタルグランドからのノイズ混入を防止してください。
- アナログ電源 (AVCCA)、リファレンスの外部印加端子 (BGR_BO)、リファレンス電圧端子 (VREFDSH、VREFDSL)、および同相電圧端子 (VCOMDS) の配線パターンは、アナロググランド (AVSSA) でシールドしてください。
- VREFDSH 端子に接続する 1.0 μ F の容量および VCOMDS 端子に接続する 0.1 μ F の容量は、可能な限り端子から近い位置に配置してください。
- 変調器単体変換機能を使用する場合、AVCC0 端子および VREFH 端子にコンデンサを接続してください。

図 3.1に RX21A グループで A/D コンバータを使用する場合の電源回路例を示します。

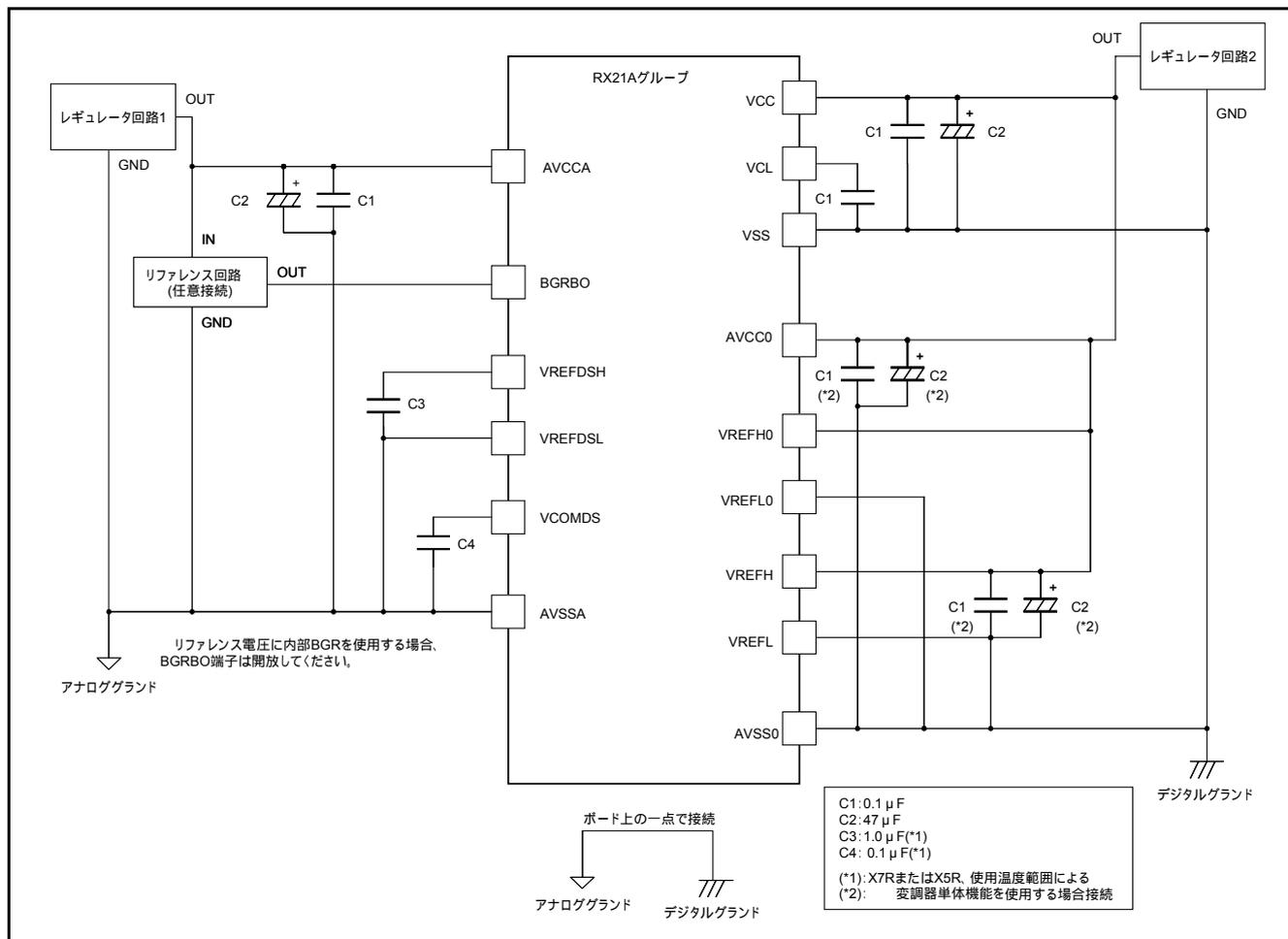


図 3.1 RX21A グループで A/D コンバータを使用する場合の電源回路例

3.5 電気的特性

3.5.1 A/D 変換特性

RX21A グループの A/D コンバータの変換特性は、RX21A グループのハードウェアマニュアルを参照してください。

RX21A グループの A/D コンバータにおいてサンプリング周期は A/D 変換トリガ周期となります。また、A/D 変換時間は A/D 変換トリガ周期に依存します。A/D 変換トリガ周期は設定値に制限がありますので、「2.1.3 A/D 変換トリガ設定の注意事項」を参照し適切なトリガ周期を設定してください。A/D コンバータのサンプリング周波数は A/D 変換トリガ周期の逆数により算出することが出来ます。また、A/D 変換可能である信号周波数の上限は、ナイキストの定理よりサンプリング周波数/2 となります。

SNDRのサンプリング周期依存性および入力周波数依存性、帯域依存性、PGA ゲイン依存性はRX21A グループハードウェアマニュアルの電気的特性を参照してください。

4. A/D コンバータの活用方法

4.1 SNDR の改善

SNDR の性質により、信号成分を増大させ、また雑音成分を減少させることで改善することができます。

信号成分を大きくするためにはPGAを使用します。しかし、PGA等のアナログ回路を持つノイズも増幅されるため、ゲインが大きいほどSNDRの改善率は低下します。PGAを高ゲインで使用する場合は注意が必要です。

雑音成分を減少させるにはA/Dコンバータの周波数帯域を制限します。周波数帯域はA/Dコンバータのサンプリング周波数の設定により変更することができます。周波数帯域を狭くするには、サンプリング周波数を低くします。また、周波数帯域を任意の周波数で制限するためにソフトウェアによるデジタルフィルタを使用することがあります。

4.2 オフセット/フルスケールエラーの補正

4.2.1 型 A/D コンバータ特有の誤差

A/Dコンバータの入出力特性例を図4.1に示します。理想的なA/Dコンバータの場合、図4.1のように原点とフルスケールを結ぶ直線の関係にあります。しかし、実際にはA/Dコンバータはオフセットエラーとゲインエラーが発生するため、測定範囲はOSからFSの間となります。したがって、測定したデジタル値から被測定対象の値を精度良く求めるためには、オフセット/フルスケールエラーの補正を行う必要があります。オフセットとゲインの補正を行うと、直線性に優れた出力特性となります。

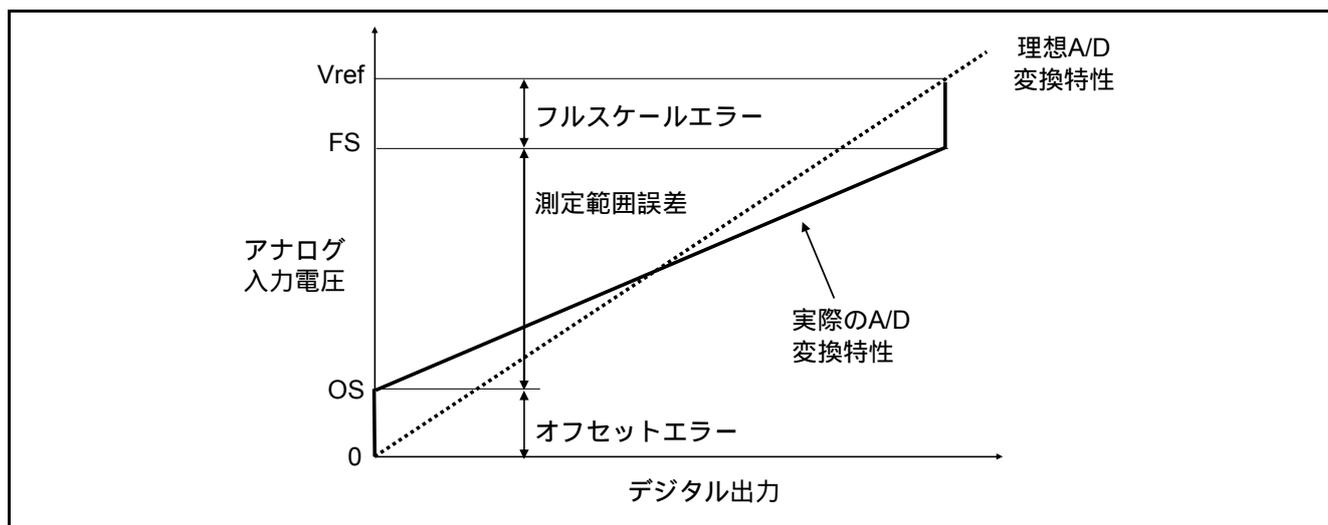


図 4.1 型コンバータの入出力特性例

4.2.2 補正の考え方

A/D コンバータの入出力特性例について、図 4.2に示す x と y の関係は次の通りです。

$$lsb = (x_C - x_B) / (y_C - y_B) \quad \dots (1)$$

$$x = (x_C - x_B) / (y_C - y_B) * y + OS \quad \dots (2)$$

$$OS = x_B - (x_C - x_B) / (y_C - y_B) * y_B \quad \dots (3)$$

(1)(2)(3)式より、

$$x = lsb * y + x_B - lsb * y_B = lsb * (y - y_B) + x_B$$

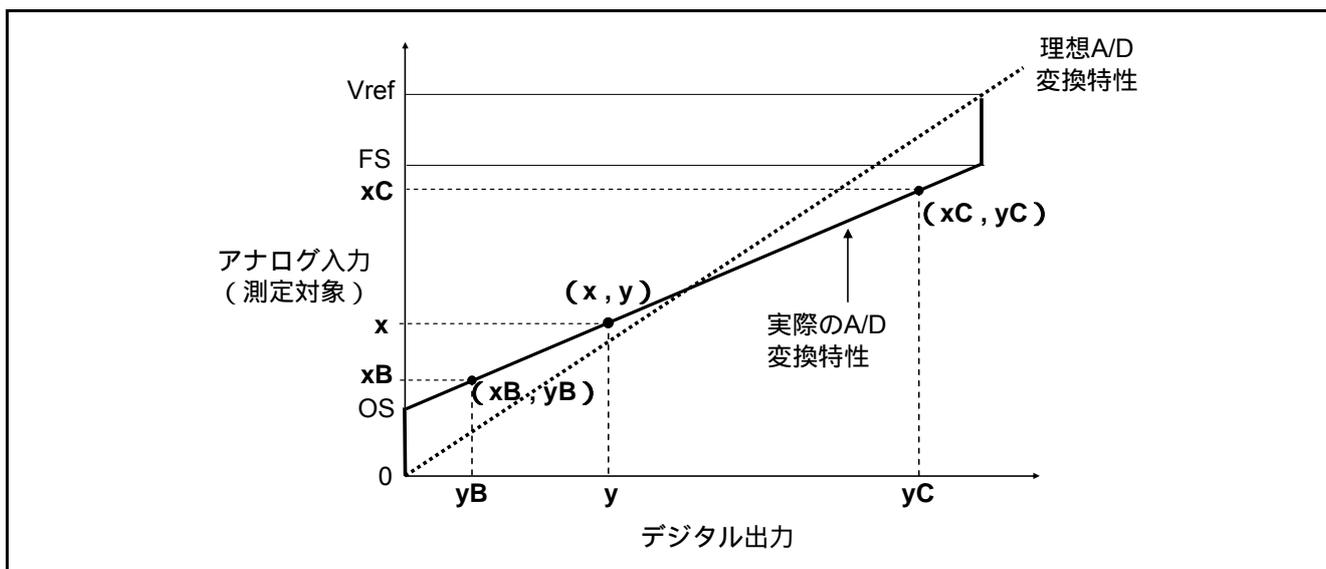


図 4.2 誤差補正の考え方

4.2.3 オフセット/フルスケール誤差補正方法

実際にオフセット/フルスケールエラーの補正をする場合には、下記のような手順にて補正を行ないます。

- 1. 図 4.2における 2 点 (x_B, y_B) 、 (x_C, y_C) を測定します。
- 2. 測定した 2 点 (x_B, y_B) 、 (x_C, y_C) から、傾き (lsb) を計算します
- 3. デジタル値 (DSADDR の値) から、被測定対象の値を計算

$$\text{被測定対象の値} = \text{傾き (lsb)} * (\text{DSADDR の値} - y_B) + x_B$$

5. 参考ドキュメント

最新版をルネサスエレクトロニクスホームページから入手してください。

[1]RX21A グループ ユーザーズマニュアル ハードウェア編

6. 用語集

6.1 SNDR

SNDR (Signal-to-Noise-and-Distortion Ratio) は A/D コンバータの変換精度の指標です。A/D コンバータの AC 特性の指標として一般的に用いられ、算出方法の性質により A/D コンバータの AC 特性としては最も厳しい指標です。SNDR は測定周波数を信号 (Signal)、高調波を含む測定周波数以外の信号を雑音 (Noise and Distortion) と規定したとき、信号と雑音の総量の比により算出されます。この SNDR の数値が大きいほど高精度 A/D 変換が可能であることを示します。なお、A/D コンバータの変換特性に記載された SNDR は、入力信号自体の SNDR が十分確保されている場合に得ることが出来ます。

6.2 ENOB (有効分解能)

ENOB (Effective Number Of Bit) は、A/D コンバータで実際に認識出来る分解能を示します。そのため有効分解能とも表記されます。ENOB は SNDR を用いて、次の式より求めることができます。

$$\text{ENOB (ビット)} = (\text{SNDR (dB)} - 1.76) \div 6.02$$

6.3 ゲインエラー

(1) A/D コンバータのゲインエラー

A/D コンバータにおいて、デジタル出力がフルスケール値 - 1 (11...10b) からフルスケール値 (11...11b) に変化する際の理想 A/D 変換特性からの偏差を示します (図 6.1)。ただし量子化誤差は含みません。このゲインエラーは、ゲイン誤差またはフルスケール誤差と表記されることがあります。PGA を内蔵した A/D コンバータでは、PGA のゲインエラーを含めた特性として表記することがあります。

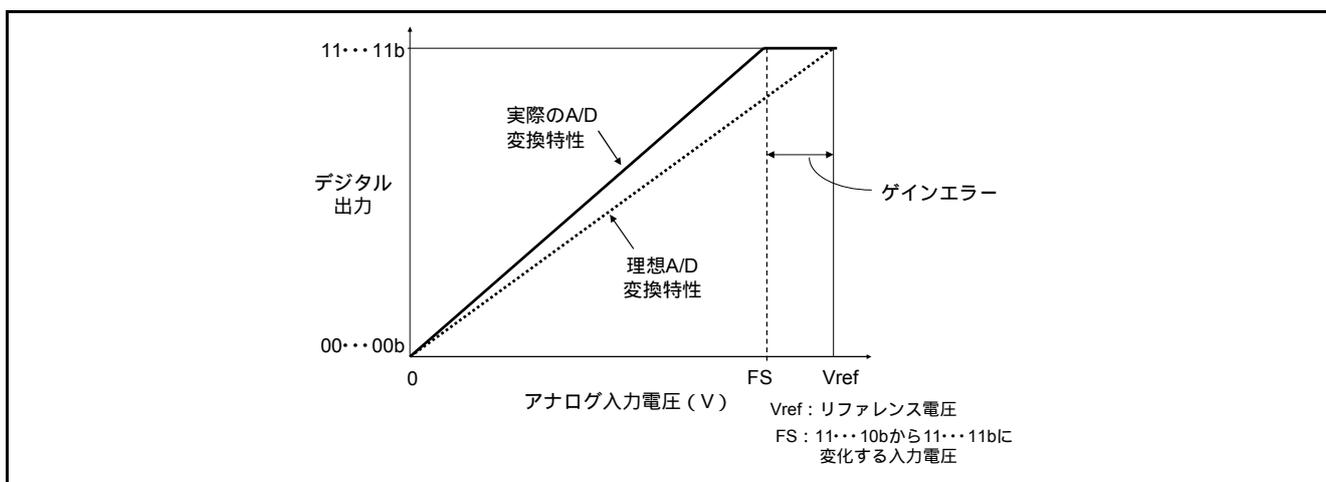


図 6.1 A/D コンバータのゲインエラー

(2) PGA のゲインエラー

PGA において、設計値のゲインと実際のゲインとの誤差を示します。PGA のゲインエラーはを決定する素子の個体差により発生します。このゲインエラーはゲイン誤差と表記されることがあります。

6.4 オフセットエラー

デジタル出力が全て 0 (00...00b) から LSB(*)が 1 (00...01b) に変化するときの理想 A/D 変換特性からの偏差を示します (図 6.2)。ただし、量子化誤差は含みません。オフセットエラーはオフセット誤差やゼロ誤差と表記されることがあります。

*LSB : Least Significant Bit デジタルデータの最下位ビット。最小単位として使用されることもある。

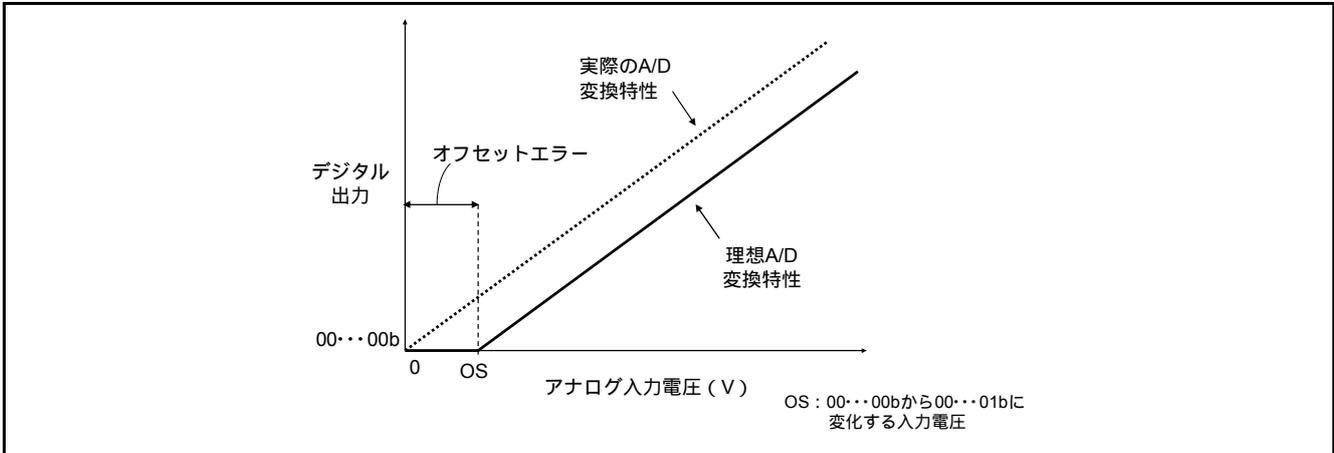


図 6.2 A/D コンバータのオフセットエラー

6.5 量子化誤差

A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられます。

アナログ電圧が連続的な値であるのに対し、デジタル値は離散的なデータを取ります。離散的なデータの最小単位は LSB*で表現され、1LSB 間のアナログ電圧を A/D 変換した場合、一意に定まらず変換結果に誤差が生じます。最も誤差が大きくなるのは、1/2LSB にあたるアナログ電圧を A/D 変換した場合であることから、最大量子化誤差は 1/2LSB と規定されます。

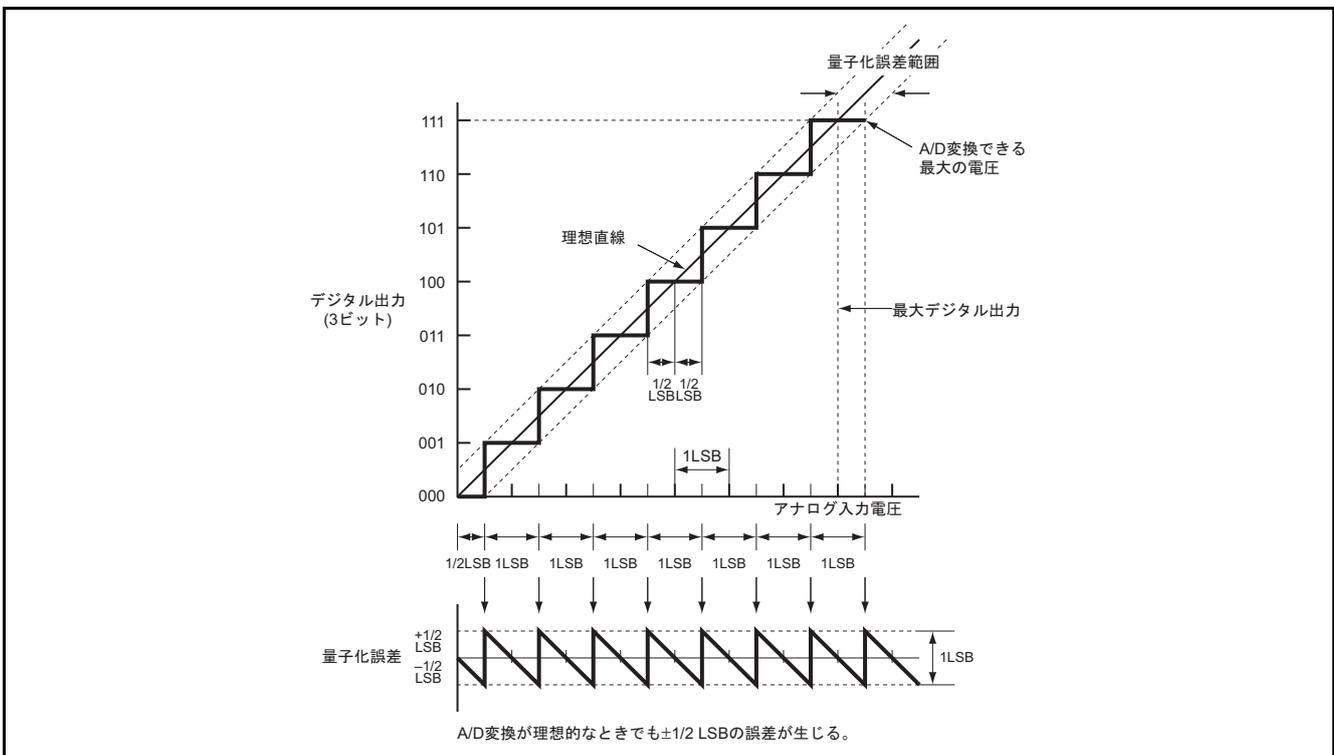


図 6.3 量子化誤差

6.6 微分非直線性 (Differential Non-Linearity) 誤差

微分非直線性誤差とは、1LSB 当たりの理想値と、実際のステップ幅の相違です(図 6.4)。ステップ幅がちょうど 1LSB のとき、微分非直線性誤差は 0 です。微分非直線性誤差が 1LSB を超えるとき、入力が増加に対する出力の度合いはより小さくなります。また、コード損失が起こる可能性もあります。つまり、 2^n の中の 1 個以上のコードが出力されない可能性があります。

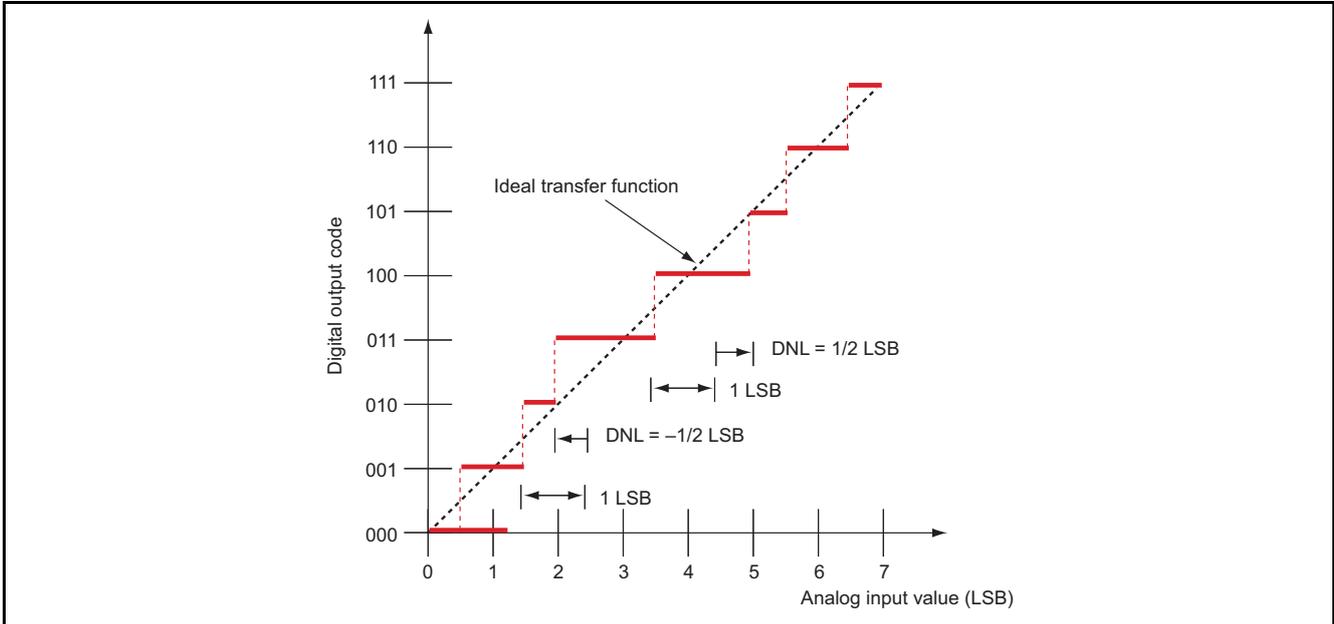


図 6.4 微分非直線性誤差

6.7 積分非直線性 (Integral Nonlinearity Error) 誤差

実際の変換値の理想値 (直線) からの偏差を積分非直線性誤差と呼びます (図 6.5)。この偏差は、1 ステップの変化幅で測定されます。

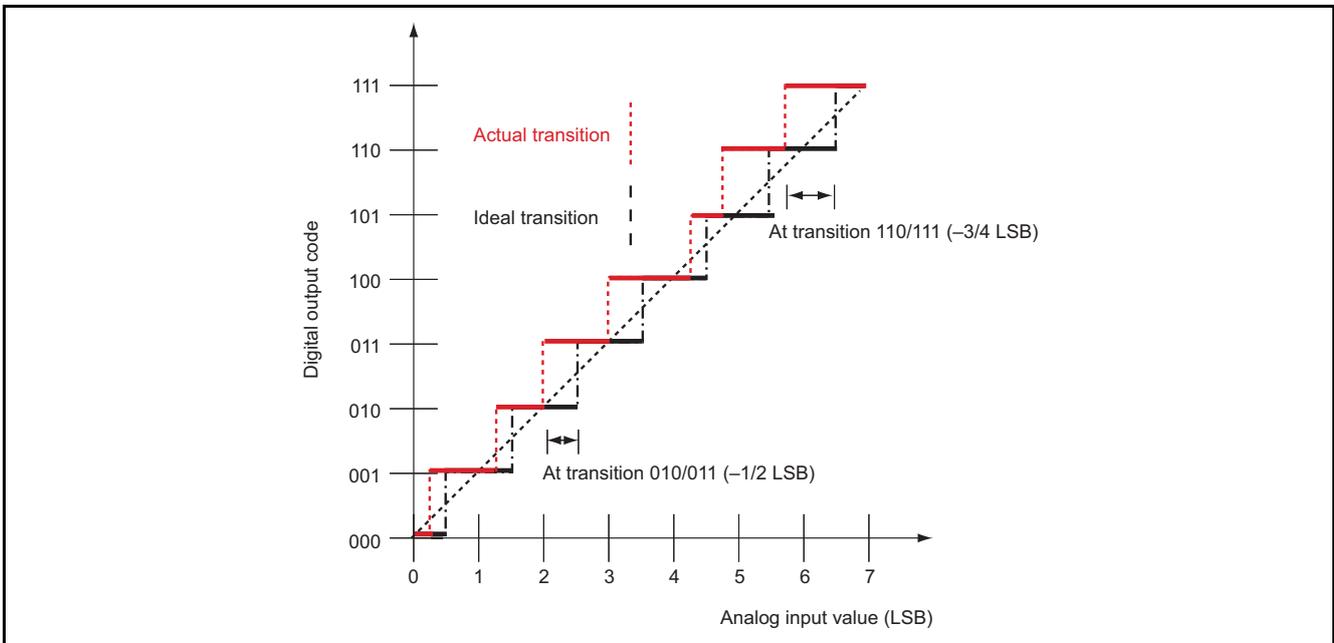


図 6.5 積分非直線性誤差

ホームページとサポート窓口

- ルネサス エレクトロニクスホームページ
<http://japan.renesas.com/>
- お問い合わせ先
<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.03.04		初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>