

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7780 グループ

SH7780 初期設定例

要旨

この資料は、SH7780 の起動時に必要な設定項目の例を示します。

動作確認デバイス

SH7780 (日立超 LSI システムズ製 Solution Engine MS7780SE03)

目次

1. はじめに	2
2. 応用例の説明	3
3. 参考プログラムリスト	10
4. 参考ドキュメント	32

1. はじめに

1.1 仕様

パワーオンリセット解除後に、ローカルバスステートコントローラ (LBSC)、DDR-SDRAM インタフェース (DDRIF)、キャッシュの初期設定を行います。

1.2 使用機能

- ローカルバスステートコントローラ (LBSC)
- DDR-SDRAM インタフェース (DDRIF)
- キャッシュ

1.3 適用条件

- マイコン: SH7780
- 動作周波数:
 - 内部クロック 400MHz
 - SuperHyway クロック 200MHz
 - 周辺クロック 33MHz
 - DDR クロック 160MHz
 - 外部バスクロック 33MHz
 - PCI バスクロック 33MHz
- エリア 0 バス幅: 32bit (MODE3 端子 = High, MODE4 端子 = High)
- クロック動作モード: モード 3 (MODE7 = LOW, MODE2 = LOW, MODE1 = High, MODE0 = High)
- データアライメント: リトルエンディアン
- アドレスモード: 29 ビットアドレスモード
- C コンパイラ: ルネサス テクノロジ製 SuperH RISC engine ファミリー C/C++ コンパイラパッケージ Ver.9.1.0
- セクション配置: 表 1 に本応用例での各セクション配置を示します。

表 1 セクション配置

セクション名	セクション用途	配置アドレス(仮想アドレス)	
P	プログラム領域 (指定なしの場合)	0x00003000	P0 領域 (キャッシング可能, アドレス変換可能)
C	定数領域		
C\$BSEC	未初期化データ領域用アドレス構造体		
C\$DSEC	初期化データ領域用アドレス構造体		
D	初期化データ (初期値)		
B	未初期化データ領域	0x08000000	P1 領域 (キャッシング可能, アドレス変換不可)
R	初期化データ領域		
S	スタック領域	0x0FFFF9F0	
INTHandler	例外/割込みハンドラ	0x80000800	
VECTTBL	リセットベクタテーブル 割込みベクタテーブル		
INTTBL	割込みマスクテーブル		
PIntPRG	割込み関数		
SP_S	TLBmiss ハンドラ用スタック領域	0x8FFFFDF0	P2 領域 (キャッシング不可, アドレス変換不可)
RSTHandler	リセットハンドラ	0xA0000000	
PResetPRG	リセットプログラム		
PnonCache	プログラム領域 (キャッシュ無効アクセス)		

2. 応用例の説明

2.1 参考プログラムの説明

初期設定プログラムは

- (1) dbsct.c
- (2) ntprg.c
- (3) main.c
- (4) resetprg.c
- (5) vecttbl.src
- (6) vhandler.src
- (7) stachsct.h
- (8) vect.inc

の 8 つのソースプログラムから構成されています。

- (1) dbsct.c は High-performance Embedded Workshop で自動生成されるセクション初期化用のファイルです。
初期化データセクション (D,R セクション) と未初期化データセクション (B セクション) の先頭アドレス, 最終アドレスを本ファイルにて定義し, resetprg.c の PowerON_Reset 関数で, _INITSCT 関数をコールすることにより B セクションの 0 クリアおよび, D セクションから R セクションへのコピー処理を行います。ROM 化支援機能を用いて RAM 上でプログラムを動作させる場合などでは, _INITSCT 関数で該当のセクションをコピーさせるためにこのファイルへ転送するアドレスの指定を追加する必要がありますのでご注意ください。
- (2) intprg.c では例外/割り込みハンドラよりコールされる割り込みプログラムを記述しています。
本プログラムでは, 例外要因, 外部割り込み, 周辺機能割り込みの各々について中身が空の関数のダミー関数を記述してあります。本プログラムをベースとして, 他のアプリケーションノートを動作させるときなど, 周辺機能割り込みを使用いただく場合は, ダミー関数をコメントアウトして新しく関数を作るか (vect.inc, vecttbl.src の定義も合わせて書き換える必要があります), ダミー関数の中から別途作成された関数にジャンプするようにしてください。また, 割り込み要求フラグのクリアなどハードウェアマニュアルの注意事項等に従って処理を記述してください。
- (3) main.c では初期化処理終了後にコールされるメイン関数を記述しています。ユーザプログラムなどを記述される場合はメインルーチンの中に記述してください。本プログラムでは, 周辺モジュールを使用するときに, 動作設定の関数をメイン関数からコールすることを想定しています。High-performance Embedded Workshop で自動生成されるソースプログラム (動作設定を hwsetup.c で行う) とは想定が異なります。また, ステータスレジスタ (SR) に含まれる, 割り込みを受け付けるかどうかを決める例外/割り込みブロックビット, 処理モードを示す処理モードビット, 受け付ける割り込みレベルを設定する割り込みマスクレベルはメイン関数の先頭で設定しています。
- (4) resetprg.c ではリセットベクタに登録する PowerON_Reset 関数を記述しています。
本プログラムで使用する resetprg.c は High-performance Embedded Workshop で自動生成されるファイルとは異なり, セクションコピーを行う _INITSCT 関数とオペランドキャッシュの書き戻しを行う Purge_Ocbp 関数をキャッシュを有効にして行うことで, 実行速度高速化を図っています。また, 自動生成されるファイルでは, PowerON_Reset 関数を抜ける前に RAMCR の設定を行っていますが, 本プログラムでは行っていません。そのため処理モードをユーザモードに変えて, 内蔵メモリへアクセスすると, 内蔵メモリアクセス保護機能によりアドレスエラー例外が発生します。ユーザモードへ変更する際は RAMCR への設定 (RMD ビット = "1") を行うようにしてください。
また PowerON_Reset 関数はリセットハンドラより分岐する最初の関数であり, キャッシュの初期設定とセクション初期化, _INITSCT 関数コール後のオペランドキャッシュの書き戻しプログラムを記述しています。キャッシュの操作が一通り完了した後, メイン関数をコールします。

- (5) vecttbl.src ではリセットベクタテーブル，例外/割り込みベクタテーブル，割り込みマスクテーブルを記述しています。
- (6) vhandler.src ではリセットハンドラ，例外/割り込みハンドラと LBSC，DDRIF の初期化を記述しています。
本プログラムで使用する vhandler.src は High-performance Embedded Workshop で自動生成されるファイルとは異なり，命令キャッシュとオペランドキャッシュの無効化，FPSCR の設定，LBSC と DDRIF の初期化を追加しており，さらに TLB ミス用のハンドラを変更しています。
FPSCR の初期値は，浮動小数点演算の転送モードが 32 ビットになっていますのでソフトウェアの仕様に合わせて変更してください。
High-performance Embedded Workshop で自動生成される TLB ミス用のハンドラは，TLB ミス以外の例外ハンドラと割り込みのハンドラ，また例外/割り込み以外のその他のプログラムとスタック領域を共通うに使用しています。そのため，もしスタック領域をアドレス変換可能な P0，もしくは P3 領域に配置していると，TLB ミスハンドラでスタックを積む際に再度 TLB ミスの例外が発生しパワーオンリセットが発生します。本プログラムの TLB ミスハンドラは，アドレス変換不可となる P1 領域に TLB ミス発生時専用のスタック領域(サイズ H'200)を設けて，TLB ミスのハンドラを抜けるまでの間，専用のスタック領域を使用する様にしています。これにより TLB ミスハンドラ中の TLB ミス例外発生を防ぐことができます。スタックのアドレスを示すスタックポインタは#pragma entry で pragma 宣言した PowerON_Reset 関数の先頭で設定されます。本プログラム例では，初期化処理が必要な DDR-SDRAM にスタック領域を設定します。DDR-SDRAM の初期化前にスタックへアクセスされることを避けるため，リセットハンドラの先頭部分で PowerON_Reset 関数へ分岐する前に，LBSC と DDRIF の初期化を行っています。
CPU 動作モードレジスタ (CPUOPM) の割り込み動作モード切り替えビットを使用し，SR.IMASK を受理した割り込みレベルに自動設定する場合，もしくは多重割り込みを使用する場合にはこのファイルの各ハンドラを修正してください。
- (7) stacksct.h では，スタック領域のサイズを指定しています (初期値 H'400)。
スタック領域のサイズを変更する場合は，このファイルを直接変更することは避けてください。
(High-performance Embedded Workshop のメニューバーのプロジェクト (P) → 構成の編集 (E) → タブにてスタックを選択すると，スタック領域のアドレスとサイズを変更することができます。)
- (8) vect.inc では，intprg.c で定義した例外/割り込みハンドラよりコールされる割り込みプログラムのおののについて，vhandler.src から参照させるために外部参照シンボル宣言を記述しています。
intprg.c のダミー関数を利用して割り込み処理を記述する場合には特に変更の必要はありません。
ダミー関数をコメントアウトして別途割り込み関数を作成する場合には関数名に合わせて変更する必要があります。

図 1 にパワーオンリセットから main 関数にジャンプするまでの概略処理フローを示します。

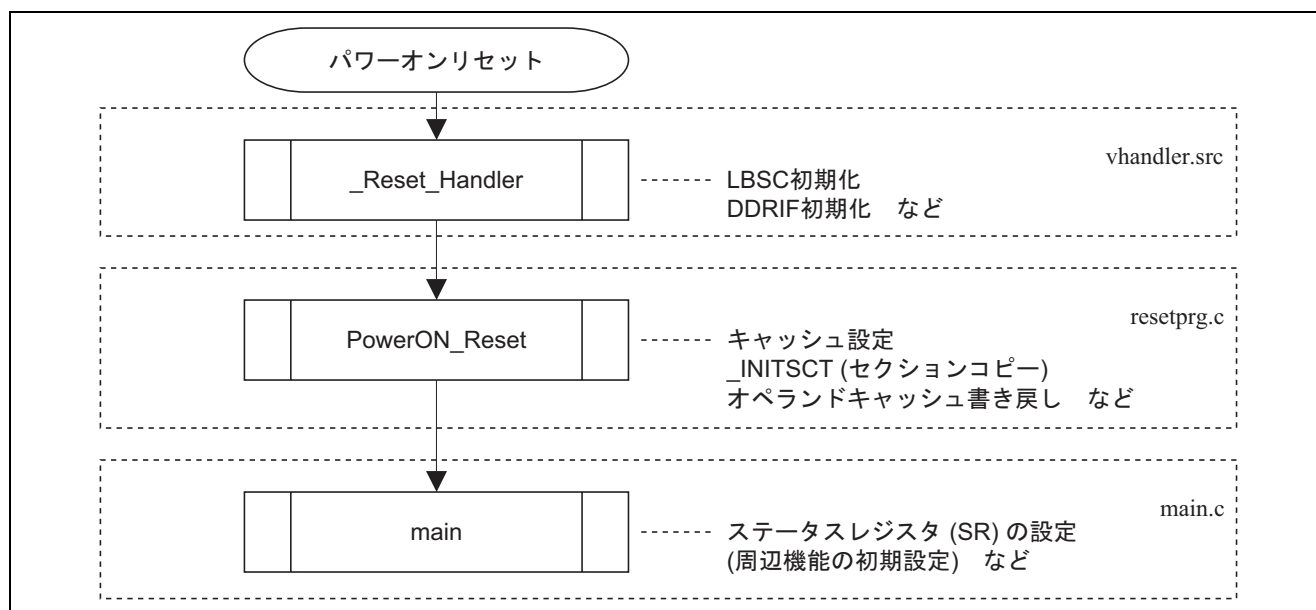


図 1 パワーオンリセットから main 関数にジャンプするまでの概略処理フロー

図 2 に DDR-SDRAM の初期化シーケンスを示します。

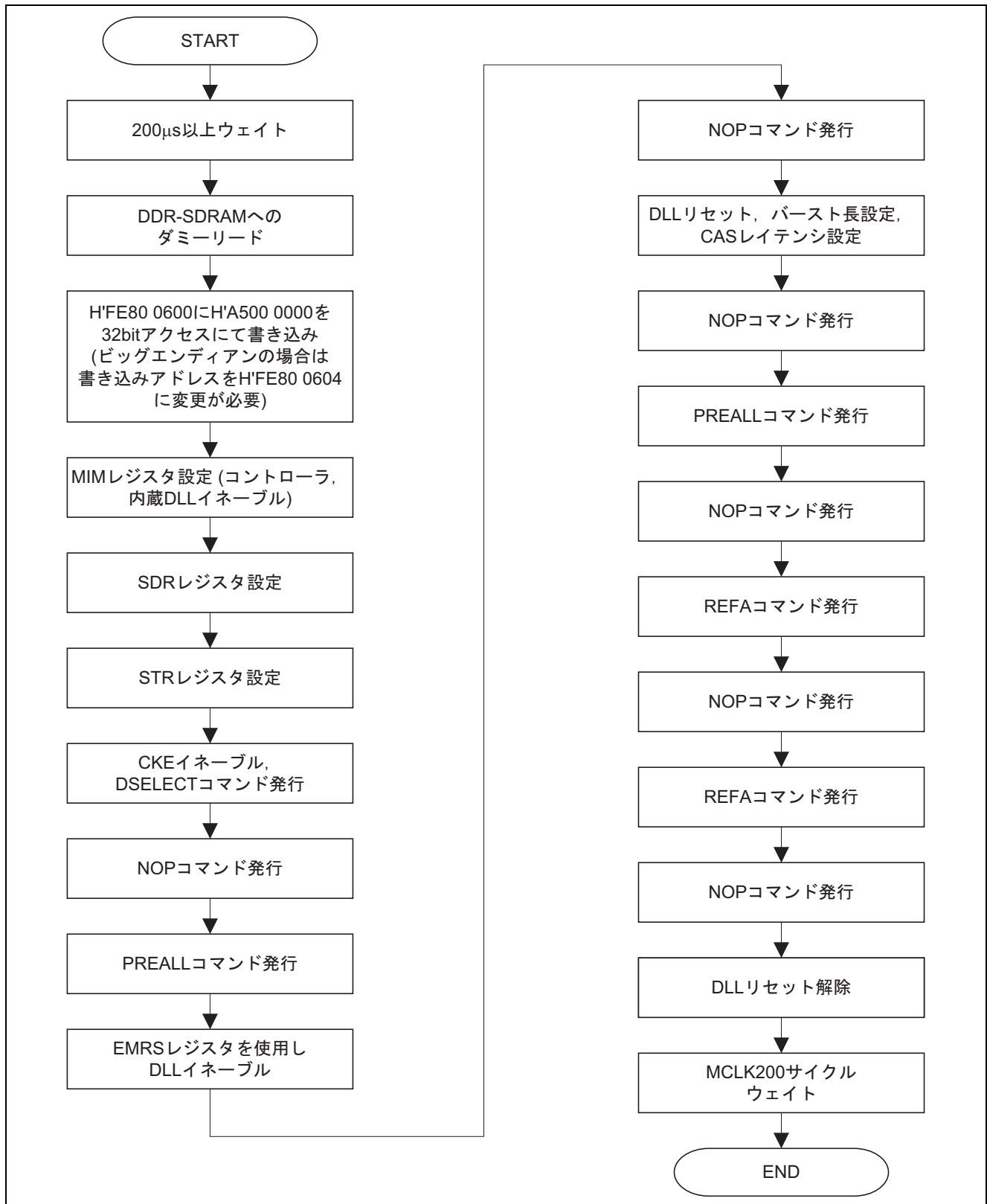


図 2 DDR-SDRAM 初期化シーケンスフロー

図 3 に PowerON_Reset 関数の処理フローを示します。

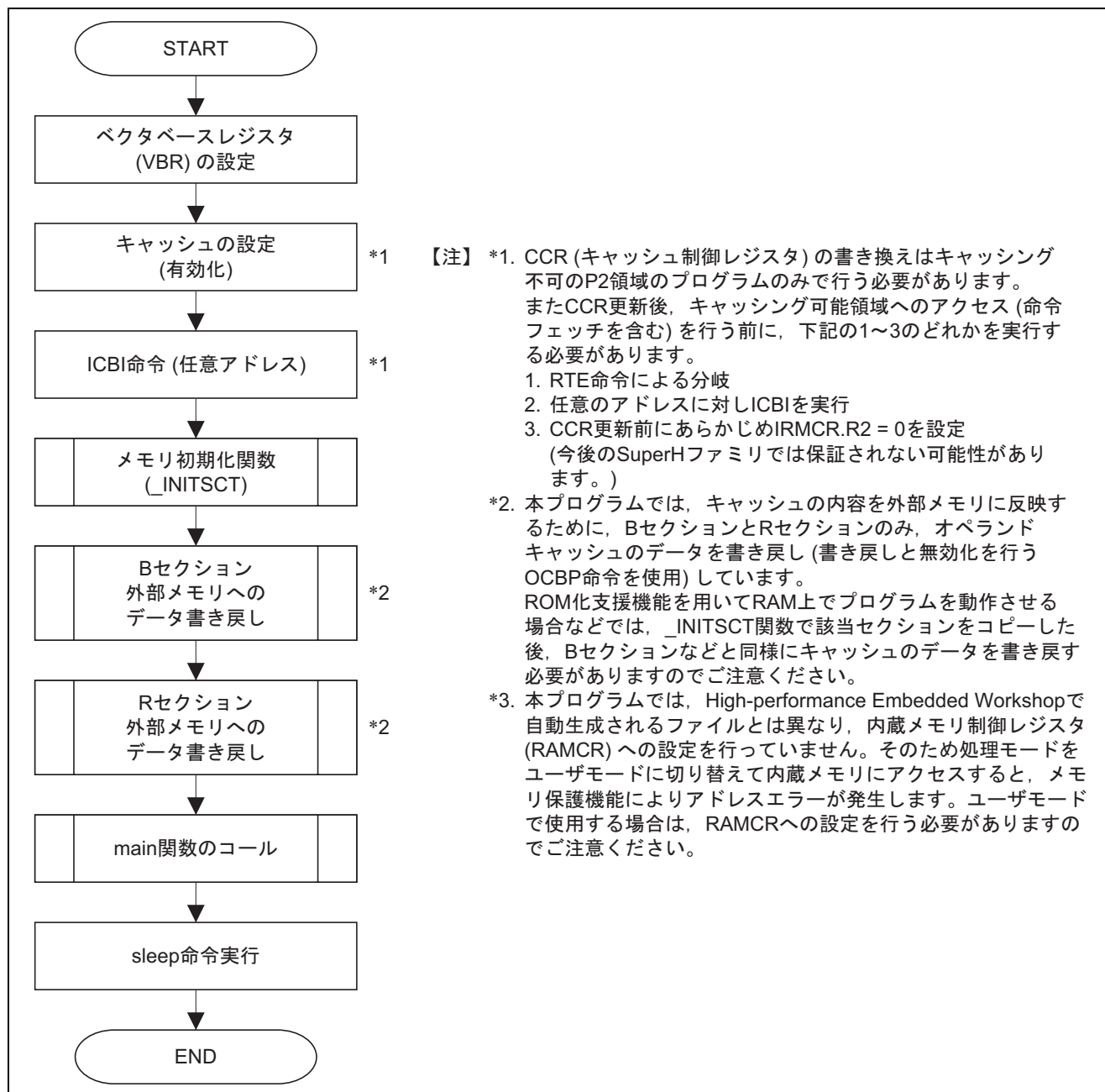


図 3 PowerON_Reset 関数の処理

2.2 参考プログラムにおける設定内容

表 2 参考プログラムでの設定

モジュール	設定内容
LBSC	CS0 空間: フラッシュメモリ (メモリタイプ: SRAM) CS2, 3 空間: DDR-SDRAM メモリ CS4 空間: PCI バス
DDRIF	アクセスモード: BANK オープンモード リフレッシュモード: オートリフレッシュ ライト-リード間最低サイクル数: 3 サイクル リード-ライト間最低サイクル数: 4 サイクル 同一バンク間サイクル数 (tRFC): 12 サイクル PRE/PALL コマンド発行サイクル数 (tWR): 3 サイクル バンク間 ACT コマンド発行サイクル数 (tRRD): 2 サイクル ACT-PRE コマンド発行最低サイクル数 (tRAS): 7 サイクル オートリフレッシュ/ACT コマンド発行サイクル数 (tRC): 10 サイクル CAS レイテンシ (CL): 2.5 サイクル RAS-CAS コマンド発行サイクル数 (tRCD): 3 サイクル PRE-ACT コマンド発行サイクル数 (tRP): 3 サイクル DRAM リフレッシュインターバルビット: 1240 カウント DDR-SDRAM メモリ構成指定ビット: Row13 ビット × Column10 ビット (32M × 16bit 品)
キャッシュ	命令/オペランドキャッシュ有効 P1 領域: ライトスルーモード P0, U0, P3 領域: コピーバックモード

2.3 参考プログラム使用時の注意点

本プログラムでは、外部メモリ上に B, R, S セクションの割り当ておよび初期化を行うことができるように、セクションの初期化前にローカルバスステートコントローラ、DDR-SDRAM インタフェースを初期化しています。そのため、セクション初期化前 (`_INITISCT` 関数実行前) に実行する関数において、グローバル変数など `_INITISCT` 関数で初期化を行うセクションに配置される変数を使用しないでください。

本プログラムでは、キャッシュの内容を外部メモリに反映するために、B セクションと R セクションについて、オペランドキャッシュのデータを書き戻し (書き戻しと無効化を行う OCBP 命令を使用) しています。ROM 化支援機能を用いて RAM 上でプログラムを動作させる場合は、`_INITISCT` 関数で該当セクションをコピーした後、B セクションなどと同様にキャッシュのデータを書き戻す必要がありますのでご注意ください。

Entry 関数 (`PowerON_Reset` 関数) の先頭で設定されるスタックポインタのアドレスは、High-performance Embedded Workshop にてプロジェクトを生成する時に指定したアドレスが使用されます。アドレスを変更する場合には、High-performance Embedded Workshop のメニューバーのプロジェクト (P) → 構成の編集 (E) → タブにてスタックを選択すると、スタック領域のアドレスとサイズを変更することができます。(S セクションのアドレス配置を直接変更することは避けてください。直接変更すると、その後に構成の編集 (E) からダイアログが起動しなくなる場合があります。)

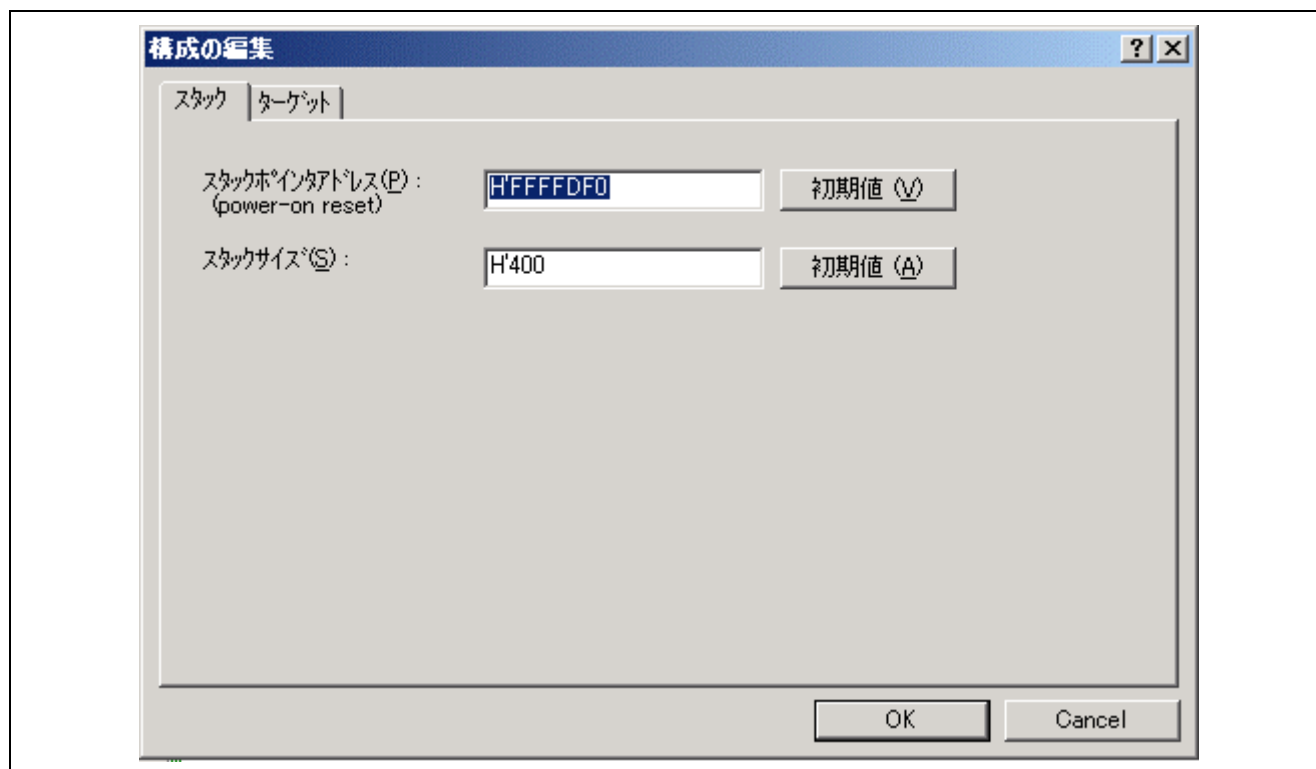


図 4 構成の編集

3. 参考プログラムリスト

1. サンプルプログラムリスト"dbst.c"

```

1  /*"FILE COMMENT"*****
2  *      System Name :   SH7780 Sample Program
3  *      File Name   :   dbst.c
4  *      Version    :   1.00.00
5  *      Contents   :   SH7780 Intialize Program
6  *      Model      :   Hitachi_ULSI_Systems SolutionEngine MS7780SE03
7  *      CPU        :   SH7780
8  *      Compiler   :   SHC.9.1.00
9  *      OS         :   none
10 *
11 *      note       :   < Caution >
12 *                   This sample program is provided simply as a reference and
13 *                   its operation is not guaranteed.
14 *                   Use this sample program as a technical reference when
15 *                   developing software.
16 *
17 * Copyright (C) 2007 Renesas Technology Corp. All Rights Reserved
18 *
19 *      History    :   2007/12/26 ver 1.00.00
20 *
21 *****/
22 #pragma section $DSEC
23 static const struct {
24     unsigned char *rom_s;      /* ROM top address of Initialize data section */
25     unsigned char *rom_e;      /* ROM end address of Initialize data section */
26     unsigned char *ram_s;      /* RAM top address of Initialize data section */
27 } DTBL[] = {
28     { __sectop("D"), __secend("D"), __sectop("R") }
29 };
30
31 #pragma section $BSEC
32 static const struct {
33     unsigned char *b_s;        /* top address of no Initialize data section */
34     unsigned char *b_e;        /* end address of no Initialize data section */
35 } BTBL[] = {
36     { __sectop("B"), __secend("B") }
37 };

```

2. サンプルプログラムリスト"vhandler.src"(1)

```

1  ;*****"FILE COMMENT"*****
2  ;   System Name:   SH7780 Sample Program
3  ;   File Name    :   vhandler.src
4  ;   Version      :   1.00.00
5  ;   Contents     :   SH7780 Intialize Program
6  ;   Model        :   Hitachi_ULSI_Systems SolutionEngine MS7780SE03
7  ;   CPU          :   SH7780
8  ;   Compiler     :   SHC.9.1.00
9  ;   OS           :   none
10 ;
11 ;   note          :   < Caution >
12 ;                   This sample program is provided simply as a reference and
13 ;                   its operation is not guaranteed.
14 ;                   Use this sample program as a technical reference when
15 ;                   developing software.
16 ;
17 ; Copyright (C) 2007 Renesas Technology Corp. All Rights Reserved
18 ;
19 ;   History       :   2007/12/26 ver 1.00.00
20 ;
21 ;*****/
22
23         .include    "vect.inc"
24
25         .import     _INT_VECTORS
26         .import     _RESET_VECTORS
27         .import     _INT_MASK
28
29 EXPEVT      .equ      H'FF000024
30 INTEVT      .equ      H'FF000028
31
32 IMASKclr:    .equ      H'FFFFFF0F
33 RBBLclr:    .equ      H'FFFFFF
34 MDRBBLset   .equ      H'70000000
35 MDRBset     .equ      H'60000000
36 RBclr:      .equ      H'DFFFFFFF
37
38 ;;;;;;;;;;;;;;
39 ;           MACRO DEFINITON
40 ;;;;;;;;;;;;;;
41
42         .macro PUSH_EXP_BASE_REG
43             STC.L     SSR,@-R15
44             STC.L     SPC,@-R15
45             STS.L     PR,@-R15
46             STS.L     FPSCR,@-R15
47             STC.L     R7_BANK,@-R15
48             STC.L     R6_BANK,@-R15
49             STC.L     R5_BANK,@-R15
50             STC.L     R4_BANK,@-R15
51             STC.L     R3_BANK,@-R15
52             STC.L     R2_BANK,@-R15
53             STC.L     R1_BANK,@-R15
54             STC.L     R0_BANK,@-R15
55         .endm
56

```

3. サンプルプログラムリスト"vhandler.src"(2)

```

57             .macro POP_EXP_BASE_REG
58             LDC.L      @R15+,R0_BANK
59             LDC.L      @R15+,R1_BANK
60             LDC.L      @R15+,R2_BANK
61             LDC.L      @R15+,R3_BANK
62             LDC.L      @R15+,R4_BANK
63             LDC.L      @R15+,R5_BANK
64             LDC.L      @R15+,R6_BANK
65             LDC.L      @R15+,R7_BANK
66             LDS.L      @R15+,FPSCR
67             LDS.L      @R15+,PR
68             LDC.L      @R15+,SPC
69             LDC.L      @R15+,SSR
70             .endm
71
72             ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
73             ;          Reset_Handler
74             ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
75
76             .section    RSTHandler,code
77 _Reset_Handler:
78
79             MOV.L      #H'FF00001C,R0          ;set CCR address
80             MOV.L      #H'00000808,R1          ;IC,OC Invalidate
81             MOV.L      R1,@R0
82
83             MOV.L      #H'00040001,R0          ;set single precision mode
84             ;          MOV.L      #H'000C0001,R0          ;set double precision mode
85             LDS.L      R0,FPSCR
86
87             MOV.L      #LBSC_INIT,R0
88             JMP        @R0
89             NOP
90 LBSC_INIT_END:
91             MOV.L      #DDRIF_INIT,R0
92             JMP        @R0
93             NOP
94 DDRIF_INIT_END:
95
96             MOV.L      #EXPEVT,R0              ;set event address
97             MOV.L      @R0,R0
98             SHLR2      R0
99             SHLR       R0
100            MOV.L      #_RESET_VECTORS,R1
101            MOV.L      @(R0,R1),R0              ;set Reset function address
102            JMP        @R0
103            NOP
104
105            ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
106            ;          exceptional interrupt
107            ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
108            .section    INTHandler,code
109            .export     _INTHandlerPRG
110
111 _INTHandlerPRG:
112            PUSH_EXP_BASE_REG

```

4. サンプルプログラムリスト"vhandler.src"(3)

```

113
114         MOV.L    #EXPEVT,R0           ;set event address
115         MOV.L    @R0,R1               ;set exception code
116
117         MOV.L    #_INT_VECTORS,R0      ;set vector table address
118         ADD      #-(H'40),R1           ;exception code - h'40
119         SHLR2    R1
120         SHLR     R1
121         MOV.L    @(R0,R1),R3           ;set interrupt function address
122
123         LDC.L    R3,SPC
124         MOV.L    #__INT_TERM,R0        ;set interrupt terminate
125         LDS.L    R0,PR
126
127         RTE
128         NOP
129
130         .pool
131
132 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
133 ;          TLB miss interrupt
134 ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
135         .org      H'300
136 _TLBmissHandler:
137
138         MOV.L    #(SP_STACK+H'200),R15 ;set SP_STACK(for only TLBmiss) pointer
139         STC.L    SGR,@-R15
140
141         PUSH_EXP_BASE_REG
142
143         MOV.L    #EXPEVT,R0           ;set event address
144         MOV.L    @R0,R1               ;set exception code
145         MOV.L    #_INT_VECTORS,R0      ;set vectors table address
146         ADD      #-(h'40),R1           ;exception code - h'40
147         SHLR2    R1
148         SHLR     R1
149         MOV.L    @(R0,R1),R3           ;set interrupt function
150
151         MOV.L    #_INT_MASK,R0         ;interrupt mask table address
152         SHLR2    R1
153         MOV.B    @(R0,R1),R1           ;interrupt mask
154         EXTU.B   R1,R1
155
156         STC      SR,R0                 ;save SR
157         MOV.L    #(RBclr&IMASKclr),R2 ;RB,mask clear data(BL="1")
158         AND      R2,R0                 ;clear mask data
159         OR       R1,R0                 ;set interrupt mask
160         LDC      R0,SSR                ;set current status
161
162         LDC.L    R3,SPC
163         MOV.L    #__TLBMISS_INT_TERM,R0 ;set interrupt terminate
164         LDS.L    R0,PR
165
166         RTE
167         NOP
168

```

5. サンプルプログラムリスト"vhandler.src"(4)

```

169             .align 4
170
171 __TLBMISS_INT_TERM:
172             MOV.L    #MDRBBLset,R0           ;set MD,BL,RB
173             LDC.L    R0,SR
174
175             POP_EXP_BASE_REG
176
177             LDC.L    @R15+,SGR
178             STC.L    SGR,R15
179             RTE
180             NOP
181
182             .pool
183
184 ;;;;;;;;;;;;;;
185 ;             IRQ
186 ;;;;;;;;;;;;;;
187
188             .org      H'500
189 _IRQ_Handler:
190             PUSH_EXP_BASE_REG
191
192             MOV.L    #INTEVT,R0               ;set event address
193             MOV.L    @R0,R1                   ;set exception code
194
195             MOV.L    #_INT_VECTORS,R0         ;set vector table address
196             ADD      #-(H'40),R1              ;exception code - h'40
197             SHLR2    R1
198             SHLR     R1
199             MOV.L    @(R0,R1),R3              ;set interrupt function address
200
201             MOV.L    #_INT_MASK,R0            ;interrupt mask table address
202             SHLR2    R1
203             MOV.B    @(R0,R1),R1              ;interrupt mask
204             EXTU.B   R1,R1
205
206             STC      SR,R0                    ;save SR
207             MOV.L    #(RBBLclr&IMASKclr),R2  ;RB,BL,mask clear data
208             AND      R2,R0                    ;clear mask data
209             OR       R1,R0                    ;set interrupt mask
210             LDC      R0,SSR                   ;set current status
211
212             LDC.L    R3,SPC
213             MOV.L    #__INT_TERM,R0          ;set interrupt terminate
214             LDS.L    R0,PR
215
216             RTE
217             NOP
218
219             .align 4
220 __INT_TERM:
221             MOV.L    #MDRBBLset,R0           ;set MD,BL,RB
222             LDC.L    R0,SR
223             POP_EXP_BASE_REG
224             RTE

```

6. サンプルプログラムリスト"vhandler.src"(5)

```

225          NOP
226
227          .pool
228
229 ;;;;;;;;;;;;;;
230 ;          LBSC INIT
231 ;;;;;;;;;;;;;;
232 LBSC_INIT:
233          MOV.L      #H'FF400020,R0          ;set MMSEL address
234          MOV.L      #H'A5A50003,R1          ;set CS2,3 DDRIF CS4 PCIC
235          MOV.L      R1,@R0
236          MOV.L      @R0,R2
237          MOV.L      @R0,R2
238          SYNC0
239
240          MOV.L      #H'FF802000,R0          ;set CS0BCR address
241          MOV.L      #H'00000000,R1          ;set for FLASHROM(spansion
                MS29J964H70TFI000D)
242          MOV.L      R1,@R0
243
244          MOV.L      #H'FF802060,R0          ;set CS6BCR address
245          MOV.L      #H'77777670,R1          ;set for Peripheral Device Control
246          MOV.L      R1,@R0
247
248          MOV.L      #H'FF802008,R0          ;set CS0WCR address
249          MOV.L      #H'00000002,R1
250          MOV.L      R1,@R0
251
252          MOV.L      #H'FF802068,R0          ;set CS6WCR address
253          MOV.L      #H'7777770f,R1
254          MOV.L      R1,@R0
255
256          MOV.L      #LBSC_INIT_END,R0
257          JMP        @R0
258          NOP
259
260          .pool
261
262 ;;;;;;;;;;;;;;
263 ;          DDRIF INIT
264 ;;;;;;;;;;;;;;
265
266 DDRIF_INIT:
267          MOV.L      #H'00007d00,R0
268 LOOP1:
269          DT         R0
270          BF         LOOP1          ;200μs wait
271          NOP
272          NOP
273
274          MOV.L      #H'AC000000,R0          ;set dummy read access
275          MOV.L      @R0,R1
276
277 ;;;;;;;;;;;;;;
278 ;Big Endian
279 ;          MOV.L      #H'FE800604,R0

```

7. サンプルプログラムリスト"vhandler.src"(6)

```

280 ;          MOV.L      #H'A5000000, R1
281 ;          MOV.L      R1, @R0
282 ;;;;;;;;;;;;;;
283 ;Little Endian
284          MOV.L      #H'FE800600, R0
285          MOV.L      #H'A5000000, R1
286          MOV.L      R1, @R0
287 ;;;;;;;;;;;;;;
288 ;BANK CLOSE MODE
289 ;          MOV.L      #H'FE800008, R0
290 ;          MOV.L      #H'00004000, R1
291 ;          MOV.L      R1, @R0
292 ;;;;;;;;;;;;;;
293
294          MOV.L      #H'FE80000C, R0          ;set MIM(31-0bit) address
295          MOV.L      #H'04D80109, R1          ;DRAM refresh disable, DLL enable, DDRIF enable
296          MOV.L      R1, @R0
297          MOV.L      #H'04D80309, R1          ;DRAM refresh enable
298          MOV.L      R1, @R0
299
300          MOV.L      #H'FE800034, R2          ;set SDR(31-0bit) address
301          MOV.L      #H'00000400, R1          ;32M*16bit
302          MOV.L      R1, @R2
303
304 ;;;;;;;;;;;;;;
305 ;DDR320
306          MOV.L      #H'FE80001C, R0          ;set STR(31-0bit) address
307          MOV.L      #H'00013180, R1
308          MOV.L      R1, @R0
309 ;;;;;;;;;;;;;;
310 ;DDR266
311 ;          MOV.L      #H'FE80001C, R0          ;set STR(31-0bit) address
312 ;          MOV.L      #H'00010040, R1
313 ;          MOV.L      R1, @R0
314 ;;;;;;;;;;;;;;
315
316          MOV.L      #H'FE800014, R2          ;set SCR(31-0bit) address
317          MOV.L      #H'00000003, R1
318          MOV.L      R1, @R2          ;SCR CKE enable
319          MOV.L      #H'00000001, R1
320          MOV.L      R1, @R2          ;SCR NOP
321          MOV.L      #H'00000002, R1
322          MOV.L      R1, @R2          ;SCR PREALL
323
324          MOV.L      #H'FEC02000, R3          ;EMRS DLL enable
325          MOV.L      #H'00000000, R4
326          MOV.L      R4, @R3
327          MOV.L      #H'00000001, R1          ;SCR NOP
328          MOV.L      R1, @R2
329
330          MOV.L      #H'FEC00B08, R3          ;MRS DLL reset, CAS Latency=2.5, burstlength=2
331          MOV.L      R4, @R3
332
333          MOV.L      R1, @R2          ;SCR NOP
334          MOV.L      #H'00000002, R1
335          MOV.L      R1, @R2          ;SCR PREALL

```

8. サンプルプログラムリスト"vhandler.src"(7)

```

336      MOV.L    #H'00000001, R1
337      MOV.L    R1, @R2                ;SCR NOP
338      MOV.L    #H'00000004, R1
339      MOV.L    R1, @R2                ;SCR REFA
340      MOV.L    #H'00000001, R1
341      MOV.L    R1, @R2                ;SCR NOP
335      MOV.L    #H'00000004, R1
336      MOV.L    R1, @R2                ;SCR REFA
337      MOV.L    #H'00000001, R1
338      MOV.L    R1, @R2                ;SCR NOP
339      MOV.L    #H'FEC00308, R3
340      MOV.L    R4, @R3                ;MRS Reset Cancel
341
342      MOV.L    #H'00001000, R0
343 LOOP2:
344      DT        R0
345      BF        LOOP2                ;more then 200 MCLK wait
346      NOP
347      NOP
348
349      MOV.L    #DDRIF_INIT_END, R0
350      JMP      @R0
351      NOP
352
353      .pool
354
355      ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
356      ;          SPECIAL STACK(for TLBmiss Handler)
357      ;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
358      .section   SP_S, data
359 SP_STACK:
360      .datab.b   H'200, H'00
361
362      .END

```

9. サンプルプログラムリスト"resetprg.c" (1)

```

1  /*"FILE COMMENT"*****
2  *   System Name:   SH7780 Sample Program
3  *   File Name    :   resetprg.c
4  *   Version      :   1.00.00
5  *   Contents     :   SH7780 Initialize Program
6  *   Model        :   Hitachi_ULSI_Systems SolutionEngine MS7780SE03
7  *   CPU          :   SH7780
8  *   Compiler     :   SHC.9.1.00
9  *   OS           :   none
10 *
11 *   note          :   < Caution >
12 *                   This sample program is provided simply as a reference and
13 *                   its operation is not guaranteed.
14 *                   Use this sample program as a technical reference when
15 *                   developing software.
16 *
17 * Copyright (C) 2007 Renesas Technology Corp. All Rights Reserved
18 *
19 *   History       :   2007/12/26 ver 1.00.00
20 *
21 *****/
22 #include <machine.h>
23 #include <_h_c_lib.h>
24 #include "stacksct.h"
25
26 /* --- Function Definition(internal) --- */
27 void PowerON_Reset(void);
28 void Manual_Reset(void);
29
30 static void Purge_OCBP(unsigned long *,unsigned long *);
31
32 /* --- Function Definition(external) --- */
33 extern void INTHandlerPRG(void);
34
35 /* --- Symbol Definition --- */
36 #define INT_OFFSET      (0x100)
37 #define DDR_TOP_ADR     ((void *)0x08000000)
38 #define CCR              (*(volatile unsigned int *)0xFF00001C) /* CCR Address*/
39
40 #pragma section ResetPRG
41
42 /***** Function Comment *****
43 * Outline      : PowerON_Reset
44 *-----
45 * Declaration   : void PowerON_Reset(void)
46 *-----
47 * Functional description:
48 *               Call Hardware Initialize Function and
49 *               Call main Function
50 *-----
51 * Return Value  : -
52 * Argument      : -
53 *-----
54 * Input         : -
55 * Output        : -
56 *-----

```

10. サンプルプログラムリスト"resetprg.c" (2)

```

57 * Notes          : -
58 ***** Function Comment End *****/
59 #pragma entry PowerON_Reset
60 void PowerON_Reset(void)
61 {
62     set_vbr((void *)((unsigned int)INTHandlerPRG - INT_OFFSET));    /* set VBR */
63
64
65     CCR = 0x0101;                /* ICache and OCache enable */
66     icbi(DDR_TOP_ADR);           /* cache disable (optional address) */
67
68     _INITSCT();
69
70     Purge_OCBP(__sectop("B"),__secend("B")); /* Purge Bsection */
71     Purge_OCBP(__sectop("R"),__secend("R")); /* Purge Rsection */
72
73     main();
74     sleep();
75 }
76
77 /***** Function Comment *****/
78 * Outline      : Manual_Reset
79 *-----
80 * Declaration   : void Manual_Reset(void)
81 *-----
82 * Functional description:
83 *
84 *
85 *-----
86 * Return Value  : -
87 * Argument      : -
88 *-----
89 * Input         : -
90 * Output        : -
91 *-----
92 * Notes         : -
93 ***** Function Comment End *****/
94 void Manual_Reset(void)
95 {
96 }
97

```

11. サンプルプログラムリスト"resetprg.c" (3)

```

98 #pragma section
99 /***** Function Comment *****/
100 * Outline      : Purge_OCBP
101 *-----
102 * Declaration   : static void Purge_OCBP()
103 *-----
104 * Functional description:
105 *             WriteBack Operand Cache and
106 *             Purge Operand Cache
107 *-----
108 * Return Value  : -
109 * Argument      : Purge section Start Address : *start
110 *             : Purge section End Address      : *end
111 *-----
112 * Input         : -
113 * Output        : -
114 *-----
115 * Notes        : -
116 *****/
117 static void Purge_OCBP(unsigned long *start, unsigned long *end)
118 {
119     long    addr_length;
120     unsigned long *start1;
121
122     addr_length = (unsigned long)end - (unsigned long)start;
123
124     start1 = start + 8;
125
126     /* If purge cache is bigger than 4 entry, then use OCBP_LOOP_1*/
127     if(addr_length > 32)          /* OCBP_LOOP_1 */
128     {
129         do{
130             ocbp(start);
131             start += 16;
132             ocbp(start1);
133             start1 += 16;
134         }while(start1 < (end + 8));
135     }
136     else                          /* OCBP_LOOP_2 */
137     {
138         while(start < end)
139         {
140             ocbp(start);
141             start = start + 8;
142         }
143     }
144 }

```

12. サンプルプログラムリスト"vecttbl.src" (1)

```

1  ;*****"FILE COMMENT"*****
2  ;   System Name:   SH7780 Sample Program
3  ;   File Name    :   vecttbl.src
4  ;   Version     :   1.00.00
5  ;   Contents    :   SH7780 Initialize Program
6  ;   Model       :   Hitachi_ULSI_Systems SolutionEngine MS7780SE03
7  ;   CPU         :   SH7780
8  ;   Compiler    :   SHC.9.1.00
9  ;   OS          :   none
10 ;
11 ;   note        :   < Caution >
12 ;                   This sample program is provided simply as a reference and
13 ;                   its operation is not guaranteed.
14 ;                   Use this sample program as a technical reference when
15 ;                   developing software.
16 ;
17 ; Copyright (C) 2007 Renesas Technology Corp. All Rights Reserved
18 ;
19 ;   History      :   2007/12/26 ver 1.00.00
20 ;
21 ;*****/
22
23         .include    "vect.inc"
24
25         .section    VECTTBL,data
26         .export     _RESET_VECTORS
27
28 _RESET_VECTORS:
29         ;H'000      Power On Reset(Hitachi-UDI RESET)
30         .data.l     _PowerON_Reset
31         ;H'020      Manual Reset
32         .data.l     _Manual_Reset
33         ;H'040-120  Reserved
34         .datab.l    8,H'00000000
35         ;H'140      TLB Reset(DATA TLB Reset)
36         .data.l     _TLB_Reset
37
38         .section    INTTBL,data
39         .export     _INT_VECTORS
40
41 _INT_VECTORS:
42         ; H'040      TLB miss read error
43         .data.l     _INT_TLB_MISS_READ
44         ; H'060      TLB miss write error
45         .data.l     _INT_TLB_MISS_WRITE
46         ; H'080      TLB 1stpage error
47         .data.l     _INT_TLB_1ST_PAGE
48         ; H'0A0      TLB protect write error
49         .data.l     _INT_TLB_PROTECT_WRITE
50         ; H'0C0      TLB protect read error
51         .data.l     _INT_TLB_PROTECT_READ
52         ; H'0E0      adr_error_read
53         .data.l     _INT_ADR_ERROR_READ
54         ; H'100      adr_error_write
55         .data.l     _INT_ADR_ERROR_WRITE
56         ; H'120      FPU error

```

13. サンプルプログラムリスト"vecttbl.src" (2)

```

57      .data.l    _INT_FPU_ERROR
58      ; H'140    TLB reset
59      .data.l    _TLB_Reset
60      ;H'160     TRAPA (EXP_TRAPA)
61      .data.l    _INT_TRAP
62      ;H'180     ILLEGAL_INST
63      .data.l    _INT_ILLEGAL_INST
64      ;H'1A0     ILLEGAL_SLOT
65      .data.l    _INT_ILLEGAL_SLOT
66 ;EXTERNAL INTERRUPT
67      ;H'1C0     NMI
68      .data.l    _INT_NMI
69      ;H'1E0     USER_BREAK
70      .data.l    _INT_USER_BREAK
71      ; H'200    IRQ15
72      .data.l    _INT_IRQ15
73      ; H'220    IRQ14
74      .data.l    _INT_IRQ14
75      ; H'240    IRQ13
76      .data.l    _INT_IRQ13
77      ; H'260    IRQ12
78      .data.l    _INT_IRQ12
79      ; H'280    IRQ11
80      .data.l    _INT_IRQ11
81      ; H'2A0    IRQ10
82      .data.l    _INT_IRQ10
83      ; H'2C0    IRQ9
84      .data.l    _INT_IRQ9
85      ; H'2E0    IRQ8
86      .data.l    _INT_IRQ8
87      ; H'300    IRQ7
88      .data.l    _INT_IRQ7
89      ; H'320    IRQ6
90      .data.l    _INT_IRQ6
91      ; H'340    IRQ5
92      .data.l    _INT_IRQ5
93      ; H'360    IRQ4
94      .data.l    _INT_IRQ4
95      ; H'380    IRQ3
96      .data.l    _INT_IRQ3
97      ; H'3A0    IRQ2
98      .data.l    _INT_IRQ2
99      ; H'3C0    IRQ1
100     .data.l    _INT_IRQ1
101     ;H'3E0-460 Reserved
102     .datab.l    5,H'00000000
103 ;RTC
104     ;H'480      RTC ATI
105     .data.l    _INT_RTC_ATI
106     ;H'4A0      RTC PRI
107     .data.l    _INT_RTC_PRI
108     ;H'4C0      RTC CUI
109     .data.l    _INT_RTC_CUI
110     ;H'4E0-540 Reserved
111     .datab.l    4,H'00000000

```

14. サンプルプログラムリスト"vecttbl.src" (3)

```

112 ;WDT
113             ;H'560      ITI
114             .data.l     _INT_WDT_ITI
115 ;TMU-ch0
116             ;H'580      TMU_TUNIO
117             .data.l     _INT_TMU0_TUNIO
118 ;TMU-ch1
119             ;H'5A0      TMU_TUNI1
120             .data.l     _INT_TMU1_TUNI1
121 ;TMU-ch2
122             ;H'5C0      TMU_TUNI2
123             .data.l     _INT_TMU2_TNUI2
124             ;H'5E0      TMU_TICPI2
125             .data.l     _INT_TMU2_TICPI2
126 ;H-UDI
127             ;H'600      H-UDII
128             .data.l     _INT_H_UDII
129             ;H'620      Reserved
130             .data.l     H'00000000
131 ;DMAC(0)
132             ;H'640      DMINT0
133             .data.l     _INT_DMAC0_DMINT0
134             ;H'660      DMINT1
135             .data.l     _INT_DMAC0_DMINT1
136             ;H'680      DMINT2
137             .data.l     _INT_DMAC0_DMINT2
138             ;H'6A0      DMINT3
139             .data.l     _INT_DMAC0_DMINT3
140             ;H'6C0      DMAE
141             .data.l     _INT_DMAC0_DMAE
142             ;H'6E0      Reserved
143             .data.l     H'00000000
144 ;SCIF-ch0
145             ;H'700      ERI0
146             .data.l     _INT_SCIF0_ERI0
147             ;H'720      RXI0
148             .data.l     _INT_SCIF0_RXI0
149             ;H'740      BRI0
150             .data.l     _INT_SCIF0_BRI0
151             ;H'760      TXI0
152             .data.l     _INT_SCIF0_TXI0
153 ;DMAC(0)
154             ;H'780      DMINT4
155             .data.l     _INT_DMAC0_DMINT4
156             ;H'7A0      DMINT5
157             .data.l     _INT_DMAC0_DMINT5
158 ;DMAC(1)
159             ;H'7C0      DMINT6
160             .data.l     _INT_DMAC1_DMINT6
161             ;H'7E0      DMINT7
162             .data.l     _INT_DMAC1_DMINT7
163             ;H'800-8E0  Reserved
164             .datab.l     8,H'00000000
165 ;CMT
166             ;H'900      CMTI
167             .data.l     _INT_CMT_CMTI

```

15. サンプルプログラムリスト"vecttbl.src" (4)

```

168          ;H'920-960 Reserved
169          .datab.1    3,H'00000000
170 ;HAC
171          ;H'980      HACI
172          .data.1     _INT_HAC_HACI
173          ;H'9A0-9E0 Reserved
174          .datab.1    3,H'00000000
175 ;PCIC(0)
176          ;H'A00      PCISERR
177          .data.1     _INT_PCIC_PCISERR
178 ;PCIC(1)
179          ;H'A20      PCIINTA
180          .data.1     _INT_PCIC_PCIINTA
181 ;PCIC(2)
182          ;H'A40      PCIINTB
183          .data.1     _INT_PCIC_PCIINTB
184 ;PCIC(3)
185          ;H'A60      PCIINTC
186          .data.1     _INT_PCIC_PCIINTC
187 ;PCIC(4)
188          ;H'A80      PCIINTD
189          .data.1     _INT_PCIC_PCIINTD
190 ;PCIC(5)
191          ;H'AA0      PCIERR
192          .data.1     _INT_PCIC_PCIINTERR
193          ;H'AC0      PCIPWD3
194          .data.1     _INT_PCIC_PCIPWD3
195          ;H'AE0      PCIPWD2
196          .data.1     _INT_PCIC_PCIPWD2
197          ;H'B00      PCIPWD1
198          .data.1     _INT_PCIC_PCIPWD1
199          ;H'B20      PCIPWD0
200          .data.1     _INT_PCIC_PCIPWD0
201          ;H'B40-B60 Reserved
202          .datab.1    2,H'00000000
203 ;SCIF-ch1
204          ;H'B80      ERI1
205          .data.1     _INT_SCIF1_ERI1
206          ;H'BA0      RXI1
207          .data.1     _INT_SCIF1_RXI1
208          ;H'BC0      BRI1
209          .data.1     _INT_SCIF1_BRI1
210          ;H'BE0      TXI1
211          .data.1     _INT_SCIF1_TXI1
212 ;SIOF
213          ;H'C00      SIOFI
214          .data.1     _INT_SIOF_SIOFI
215          ;H'C20-C60 Reserved
216          .datab.1    3,H'00000000
217 ;HSPI
218          ;H'C80      HSPI
219          .data.1     _INT_HSPI_SPII
220          ;H'CA0-CE0 Reserved
221          .datab.1    3,H'00000000

```

16. サンプルプログラムリスト"vecttbl.src" (5)

```

222 ;MMCIF
223         ;H'D00      FSTAT
224         .data.1     _INT_MMCIF_FSTAT
225         ;H'D20      TRAN
226         .data.1     _INT_MMCIF_TRAN
227         ;H'D40      ERR
228         .data.1     _INT_MMCIF_ERR
229         ;H'D60      FRDY
230         .data.1     _INT_MMCIF_FRDY
231 ;DMAC(1)
232         ;H'D80      DMINT8
233         .data.1     _INT_DMAMC1_DMINT8
234         ;H'DA0      DMINT9
235         .data.1     _INT_DMAMC1_DMINT9
236         ;H'DC0      DMINT10
237         .data.1     _INT_DMAMC1_DMINT10
238         ;H'DE0      DMINT11
239         .data.1     _INT_DMAMC1_DMINT11
240 ;TMU-ch3
241         ;H'E00      TUNI3
242         .data.1     _INT_TMU3_TUNI3
243 ;TMU-ch4
244         ;H'E20      TUNI4
245         .data.1     _INT_TMU4_TUNI4
246 ;TMU-ch5
247         ;H'E40      TUNI5
248         .data.1     _INT_TMU5_TUNI5
249         ;H'E60      Reserved
250         .data.1     H'00000000
251 ;SSI
252         ;H'E80      SSII
253         .data.1     _INT_SSI_SSII
254         ;H'EA0-EE0  Reserved
255         .datab.1    3,H'00000000
256 ;FLCTL
257         ;H'F00      FLSTE
258         .data.1     _INT_FLCTL_FLSTE
259         ;H'F20      FLTEND
260         .data.1     _INT_FLCTL_FLTEND
261         ;H'F40      FLTRQ0
262         .data.1     _INT_FLCTL_FLTRQ0
263         ;H'F60      FLTRQ1
264         .data.1     _INT_FLCTL_FLTRQ1
265 ;GPIO
266         ;H'F80      GPIOI0
267         .data.1     _INT_GPIO_GPIOI0
268         ;H'FA0      GPIOI1
269         .data.1     _INT_GPIO_GPIOI1
270         ;H'FC0      GPIOI2
271         .data.1     _INT_GPIO_GPIOI2
272         ;H'FE0      GPIOI3
273         .data.1     _INT_GPIO_GPIOI3
274
275         .export      _INT_MASK
276 _INT_MASK:
277         ; interrupt priority mask revel(31~0)

```

17. サンプルプログラムリスト"vecttbl.src" (6)

```

278
279             ;H'040-140 Reserved
280             .datab.b    9,H'00
281             ;H'160      TRAPA
282             .data.b     H'00
283             ;H'180      ILLEGAL_INST
284             .data.b     H'00
285             ;H'1A0      ILLEGAL_SLOT
286             .data.b     H'00
287 ;EXTERNAL INTERRUPT
288             ;H'1c0      NMI
289             .data.b     H'00
290             ;H'1E0      USER_BREAK
291             .data.b     H'00
292             ;H'200-3c0   IRL
293             .datab.b    15,H'00
294             ;H'3e0-460   reserve
295             .datab.b    5,H'00
296 ;RTC
297             ;H'480      RTC ATI
298             .data.b     H'00
299             ;H'4A0      RTC PRI
300             .data.b     H'00
301             ;H'4C0      RTC CUI
302             .data.b     H'00
303             ;H'4E0-560   reserve
304             .datab.b    5,H'00
305 ;TMU-ch0
306             ;H'580      TMU_TUNI0
307             .data.b     H'00
308 ;TMU-ch1
309             ;H'5A0      TMU_TUNI1
310             .data.b     H'00
311 ;TMU-ch2
312             ;H'5C0      TMU_TUNI2
313             .data.b     H'00
314             ;H'5E0      TMU_TICPI2
315             .data.b     H'00
316             ;H'600      _INT_H_UDII
317             .data.b     H'00
318             ;H'620      reserve
319             .data.b     H'00
320 ;DMAC(0)
321             ;H'640      DMINT0
322             .data.b     H'00
323             ;H'660      DMINT1
324             .data.b     H'00
325             ;H'680      DMINT2
326             .data.b     H'00
327             ;H'6A0      DMINT3
328             .data.b     H'00
329             ;H'6C0      DMAE
330             .data.b     H'00
331             ;H'6E0      reserve
332             .data.b     H'00

```

18. サンプルプログラムリスト"vecttbl.src" (7)

```

333 ;SCIF-ch0
334         ;H'700      ERI0
335         .data.b    H'00
336         ;H'720      RXI0
337         .data.b    H'00
338         ;H'740      BRI0
339         .data.b    H'00
340         ;H'760      TXI0
341         .data.b    H'00
342 ;DMAC(0)
343         ;H'780      DMINT4
344         .data.b    H'00
345         ;H'7A0      DMINT5
346         .data.b    H'00
347 ;DMAC(1)
348         ;H'7C0      DMINT6
349         .data.b    H'00
350         ;H'7E0      DMINT7
351         .data.b    H'00
352         ;H'800-8E0  reserve
353         .datab.b 8,H'00
354 ;CMT
355         ;H'900      CMT
356         .data.b    H'00
357         ;H'920-960  reserve
358         .datab.b 3,H'00
359         ;H'980      HAC
360         .data.b    H'00
361         ;H'9A0-9E0  reserve
362         .datab.b 3,H'00
363 ;PCIC(0)
364         ;H'A00      PCISERR
365         .data.b    H'00
366 ;PCIC(1)
367         ;H'A20      PCIINTA
368         .data.b    H'00
369 ;PCIC(2)
370         ;H'A40      PCIINTB
371         .data.b    H'00
372 ;PCIC(3)
373         ;H'A60      PCIINTC
374         .data.b    H'00
375 ;PCIC(4)
376         ;H'A80      PCIINTD
377         .data.b    H'00
378 ;PCIC(5)
379         ;H'AA0      PCIERR
380         .data.b    H'00
381         ;H'AC0      PCIPWD3
382         .data.b    H'00
383         ;H'AE0      PCIPWD2
384         .data.b    H'00
385         ;H'B00      PCIPWD1
386         .data.b    H'00
387         ;H'B20      PCIPWD0
388         .data.b    H'00

```

19. サンプルプログラムリスト"vecttbl.src" (8)

389		;H'B40-B60	reserve
390		.datab.b	2,H'00
391	;SCIF-ch1		
392		;H'B80	ERI1
393		.data.b	H'00
394		;H'BA0	RXI1
395		.data.b	H'00
396		;H'BC0	BRI1
397		.data.b	H'00
398		;H'BE0	TXI1
399		.data.b	H'00
400	;SIOF		
401		;H'C00	SIOFI
402		.data.b	H'00
403		;H'C20-C60	reserve
404		.datab.b	3,H'00
405	;HSPI		
406		;H'C80	HSPI
407		.data.b	H'00
408		;H'CA0-CE0	reserve
409		.datab.b	3,H'00
410	;MMCIF		
411		;H'D00	FSTAT
412		.data.b	H'00
413		;H'D20	TRAN
414		.data.b	H'00
415		;H'D40	ERR
416		.data.b	H'00
417		;H'D60	FRDY
418		.data.b	H'00
419	;DMAC(1)		
420		;H'D80	DMINT8
421		.data.b	H'00
422		;H'DA0	DMINT9
423		.data.b	H'00
424		;H'DC0	DMINT10
425		.data.b	H'00
426		;H'DE0	DMINT11
427		.data.b	H'00
428	;TMU-ch3		
429		;H'E00	TUNI3
430		.data.b	H'00
431	;TMU-ch4		
432		;H'E20	TUNI4
433		.data.b	H'00
434	;TMU-ch5		
435		;H'E40	TUNI5
436		.data.b	H'00
437		;H'E60	reserve
438		.data.b	H'00
439	;SSI		
440		;H'E80	SSII
441		.data.b	H'00
442		;H'EA0-EE0	reserve
443		.datab.b	3,H'00

20. サンプルプログラムリスト"ecttbl.src" (9)

```

444 ;FLCTL
445         ;H'F00      FLSTE
446         .data.b     H'00
447         ;H'F20      FLTEND
448         .data.b     H'00
449         ;H'F40      FLTRQ0
450         .data.b     H'00
451         ;H'F60      FLTRQ1
452         .data.b     H'00
453 ;GPIO
454         ;H'F80      GPIOI0
455         .data.b     H'00
456         ;H'FA0      GPIOI1
457         .data.b     H'00
458         ;H'FC0      GPIOI2
459         .data.b     H'00
460         ;H'FE0      GPIOI3
461         .data.b     H'00
462
463         .end

```

21. サンプルプログラムリスト"intprg.c"

```

1  /*"FILE COMMENT"*****
2  *   System Name:   SH7780 Sample Program
3  *   File Name    :   intprg.c
4  *   Version      :   1.00.00
5  *   Contents     :   SH7780 Initialize Program
6  *   Model        :   Hitachi_ULSI_Systems SolutionEngine MS7780SE03
7  *   CPU          :   SH7780
8  *   Compiler     :   SHC.9.1.00
9  *   OS           :   none
10 *
11 *   note          :   < Caution >
12 *                   This sample program is provided simply as a reference and
13 *                   its operation is not guaranteed.
14 *                   Use this sample program as a technical reference when
15 *                   developing software.
16 *
17 * Copyright (C) 2007 Renesas Technology Corp. All Rights Reserved
18 *
19 *   History       :   2007/12/26 ver 1.00.00
20 *
21 *****/
22 #include <machine.h>
23
24 /* --- Function Definition(internal) --- */
25 static void int_responstime_wait(unsigned int wait_time);
26
27 /* --- Symbol Definition --- */
28 #define INTC_RESPONSEWAIT    (0x00000014)    /* INT response wait Pck 5cycle
29                                              H'14 = (1/Pck*5cyc) / (1/Ick*3cyc) */
30
31 /* --- RAM allocation variable declaration --- */
32
33 #pragma section IntPRG
34 /* H'040 Data TLB miss exception(read) */
35 void INT_TLB_MISS_READ_EXP(void)
36 {
37 }
38
39     ↓ 途中省略
40
41 591 /* H'FC0 GPIO interrupt(port H0,H1,J0,K4) */
42 592 void INT_GPIO_GPIOI2(void)
43 593 {
44 594 }
45 595 /* H'FE0 GPIO interrupt(port K5,E6) */
46 596 void INT_GPIO_GPIOI3(void)
47 597 {
48 598 }
49 599
600 #pragma inline_asm(int_responstime_wait)
601 static void int_responstime_wait(unsigned int wait_time)
602 {
603 ?0001:
604         DT        R4
605         BF        ?0001
606         NOP
607 }

```

22. サンプルプログラムリスト"main.c"

```

1 /***** FILE COMMENT *****/
2 *   System Name:   SH7780 Sample Program
3 *   File Name    :   main.c
4 *   Version      :   1.00.00
5 *   Contents     :   SH7780 Initialize Program
6 *   Model        :   Hitachi_ULSI_Systems SolutionEngine MS7780SE03
7 *   CPU          :   SH7780
8 *   Compiler     :   SHC.9.1.00
9 *   OS           :   none
10 *
11 *   note         :   < Caution >
12 *                   This sample program is provided simply as a reference and
13 *                   its operation is not guaranteed.
14 *                   Use this sample program as a technical reference when
15 *                   developing software.
16 *
17 * Copyright (C) 2007 Renesas Technology Corp. All Rights Reserved
18 *
19 *   History      :   2007/12/26 ver 1.00.00
20 *
21 *****/
22 #include <machine.h>
23
24 /* --- Function Definition(internal) --- */
25
26 /* --- Symbol Definition --- */
27 #define SR_Init      0x400000e0      /* Privileged mode, RB,BL=0, IMASK level 14 */
28
29 /* --- RAM allocation variable declaration --- */
30
31 /***** Function Comment *****/
32 * Outline       : main
33 *-----
34 * Declaration   : void main(void)
35 *-----
36 * Functional description:
37 *               main function
38 *-----
39 * Return Value  : -
40 * Argument      : -
41 *-----
42 * Input         : -
43 * Output        : -
44 *-----
45 * Notes         : -
46 *****/
47 void main(void)
48 {
49     set_cr(SR_Init);      /* Set SR "Privileged mode, RB,BL=0, IMASK level 14" */
50                          /* Call from here on-chip module initialize function */
51 }

```

4. 参考ドキュメント

- ソフトウェアマニュアル
SH-4A ソフトウェアマニュアル
(最新版はルネサス テクノロジのホームページから入手してください)
- ハードウェアマニュアル
SH7780 ハードウェアマニュアル
(最新版はルネサス テクノロジのホームページから入手してください)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.02.18	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなくよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444

© 2008. Renesas Technology Corp., All rights reserved.