

RX13T グループ RX23T グループ

RX13T グループと RX23T グループの相違点

要旨

本アプリケーションノートは、主に RX13T グループ、RX23T グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX13T グループの 48 ピンパッケージと RX23T グループの 64 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX13T グループ、RX23T グループ

目次

1. RX13T グループと RX23T グループの搭載機能比較	3
2. 仕様の概要比較	4
2.1 CPU	4
2.2 アドレス空間	5
2.3 オプション設定メモリ	6
2.4 電圧検出回路	7
2.5 クロック発生回路	8
2.6 消費電力低減機能	10
2.7 レジスタライトプロテクション機能	11
2.8 例外処理	12
2.9 割り込みコントローラ	13
2.10 バス	14
2.11 データトランスファコントローラ	15
2.12 I/O ポート	17
2.13 マルチファンクションピンコントローラ	20
2.14 マルチファンクションタイマパルスユニット 3	29
2.15 ポートアウトプットイネーブル 3	30
2.16 コンペアマッチタイマ	31
2.17 シリアルコミュニケーションインタフェース	32
2.18 12 ビット A/D コンバータ	36
2.19 コンパレータ C	41
2.20 RAM	43
2.21 フラッシュメモリ	44
2.22 パッケージ	47
3. 端子機能の比較	48
3.1 48 ピンパッケージ	48
4. 移行の際の留意点	50
4.1 端子設計の留意点	50
4.1.1 AVCC 端子と AVSS 端子間のデカップリング容量挿入方法	50
4.2 機能設計の留意点	50
4.2.1 高速動作モード時の注意事項	50
4.2.2 例外ベクタテーブル	50
4.2.3 ポート方向レジスタ(PDR)の初期化	50
4.2.4 相補 PWM モードでのバッファレジスタの初期値	51
4.2.5 カウンタ停止時の MTIOC 端子出力レベル	51
4.2.6 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作	51
5. 参考ドキュメント	52
改訂記録	54

1. RX13T グループと RX23T グループの搭載機能比較

RX13T グループと RX23T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX23T/RX13T 搭載機能比較を示します。

表 1.1 RX23T/RX13T 搭載機能比較

機能名	RX23T	RX13T
CPU		■
動作モード	○	
アドレス空間		▲
リセット	○	
オプション設定メモリ (OFSM)		●
電圧検出回路 (LVDAb)		●
クロック発生回路		■
クロック周波数精度測定回路 (CAC)	○	
消費電力低減機能		▲
レジスタライトプロテクション機能		●/■
例外処理		■
割り込みコントローラ (ICUb)		▲
バス		▲/■
メモリプロテクションユニット (MPU)	○	×
データトランスファコントローラ (DTCa):RX23T、(DTCb):RX13T		●
I/O ポート		●
マルチファンクションピンコントローラ (MPC)		●/▲/■
マルチファンクションタイマパルスユニット 3 (MTU3c)		■
ポートアウトプットイネーブル 3 (POE3b):RX23T、(POE3C):RX13T		▲
8 ビットタイマ (TMR)	○	×
コンペアマッチタイマ (CMT)		■
独立ウォッチドッグタイマ (IWDTa)	○	
シリアルコミュニケーションインタフェース (SCIg):RX23T		●
シリアルコミュニケーションインタフェース (SCIg, SCIf):RX13T		
I ² C バスインタフェース (RIICa)		○
シリアルペリフェラルインタフェース (RSPIa)	○	×
CRC 演算器 (CRC)		○
12 ビット A/D コンバータ (S12ADE):RX23T、(S12ADF):RX13T		●/■
コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA)	○	
コンパレータ C (CMPC)		●/■
データ演算回路 (DOC)	○	
RAM		▲
フラッシュメモリ (FLASH)		●
パッケージ		●/■

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は赤字にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は赤字に、いずれかのグループにしか存在しない項目は黒字でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU の概要比較

項目	RX23T	RX13T
中央演算処理装置	- 最大動作周波数：40MHz 32 ビット RX CPU (RX v2) - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ —汎用レジスタ：32 ビット × 16 本 —制御レジスタ：32 ビット × 10 本 —アキュムレータ：72 ビット × 2 本 - 基本命令：75 種類 可変長命令形式 - 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット × 32 ビット → 64 ビット - 除算器： 32 ビット ÷ 32 ビット → 32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット (MPU)	- 最大動作周波数：32MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ —汎用レジスタ：32 ビット × 16 本 —制御レジスタ：32 ビット × 9 本 —アキュムレータ：64 ビット × 1 本 - 基本命令：73 種類 可変長命令形式 - 浮動小数点演算命令：8 種類 - DSP 機能命令：9 命令 - アドレッシングモード：10 種類 - データ配置 —命令：リトルエンディアン —データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット × 32 ビット → 64 ビット - 除算器： 32 ビット ÷ 32 ビット → 32 ビット - パレルシフタ：32 ビット
FPU	- 単精度浮動小数点 (32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数 (32 ビット) - IEEE754 に準拠したデータタイプ、および例外

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX23T	RX13T
EXTB	-	例外テーブルレジスタ	-
ACC0, ACC1 (RX23T) ACC(RX13T)	-	アキュムレータ 0、 アキュムレータ 1	アキュムレータ

2.2 アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較を示します。

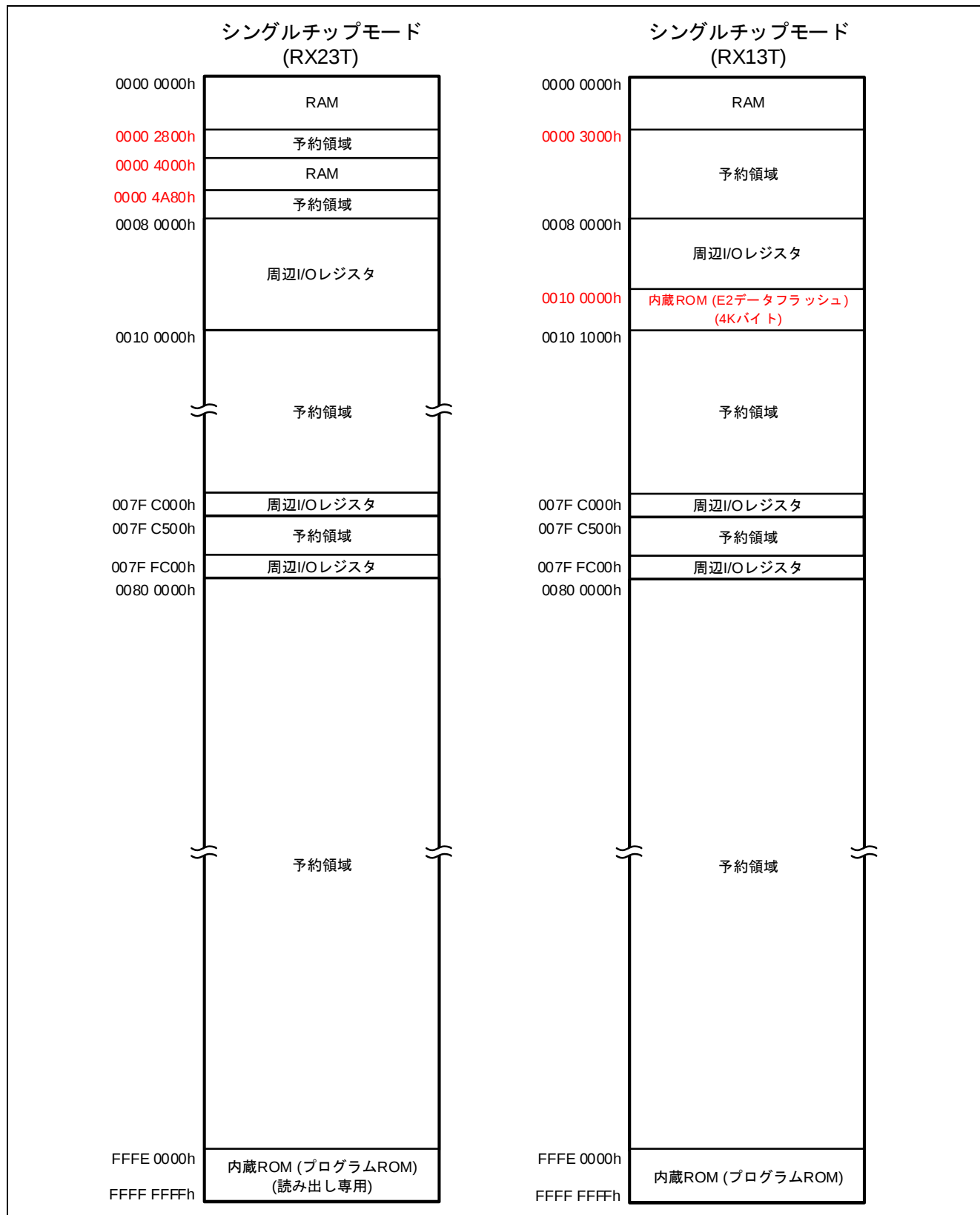


図 2.1 シングルチップモードのメモリマップ比較

2.3 オプション設定メモリ

表 2.3 にオプション設定メモリのレジスタ比較を示します。

表 2.3 オプション設定メモリのレジスタ比較

レジスタ	ビット名	RX23T	RX13T(OFSM)
OFS1	VDSEL[1:0]	電圧検出 0 レベル選択ビット b1 b0 0 0 : 3.84V を選択 1 0 : 2.51V を選択 電圧検出 0 回路を使用する場合は、上記 以外は設定しないでください	電圧検出 0 レベル選択ビット b1 b0 0 0 : 3.84V を選択 0 1 : 2.82V を選択 1 0 : 2.51V を選択 電圧検出 0 回路を使用する場合は、上記 以外は設定しないでください

2.4 電圧検出回路

表 2.4 に電圧検出回路の概要比較を示します。

表 2.4 電圧検出回路の概要比較

項目		RX23T(LVDAb)			RX13T(LVDAb)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	OFS1 レジスタで 2 レベルから選択可能	LVDLVLR.LV D1LVL[3:0] ビットで 9 レベルから選択可能	LVDLVLR.LV D2LVL[1:0] ビットで 4 レベルから選択可能	OFS1 レジスタで 3 レベルから選択可能	LVDLVLR.LV D1LVL[3:0] ビットで 9 レベルから選択可能	LVDLVLR.LV D2LVL[1:0] ビットで 4 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD 1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD 2MON フラグ： Vdet2 より高いか低いかをモニタ	なし	LVD1SR.LVD 1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD 2MON フラグ： Vdet2 より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابلまたはマスクابلを選択可能	ノンマスクابلまたはマスクابلを選択可能		ノンマスクابلまたはマスクابلを選択可能	ノンマスクابلまたはマスクابلを選択可能
			Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求		Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求

2.5 クロック発生回路

表 2.5 にクロック発生回路の概要比較を、表 2.6 にクロック発生回路のレジスタ比較を示します。

表 2.5 クロック発生回路の概要比較

項目	RX23T	RX13T
用途	- CPU、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 - 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKA) は MTU3 用、周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は、MTU3、S12AD 以外の周辺モジュール用の動作クロックです。 - FlashIF に供給される FlashIF クロック (FCLK) の生成 - CAC に供給される CAC クロック (CACCLK) の生成 - IWDT に供給される IWDT 専用クロック (IWDTCLK) の生成	- CPU、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 - 周辺モジュールに供給される周辺モジュールクロック (PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) はそれ以外の周辺モジュール用の動作クロックです。 - FlashIF に供給される FlashIF クロック (FCLK) の生成 - CAC に供給される CAC クロック (CACCLK) の生成 - IWDT に供給される IWDT 専用クロック (IWDTCLK) の生成
動作周波数	- ICLK : 40MHz (max) PCLKA : 40MHz (max) - PCLKB : 40MHz (max) - PCLKD : 40MHz (max) - FCLK : 1MHz~32MHz (ROM) - CACCLK : 各発振器のクロックと同じ - IWDTCLK : 15kHz	- ICLK : 32MHz (max) (注1) - PCLKB : 32MHz (max) - PCLKD : 32MHz (max) - FCLK : —1MHz~32MHz (ROM、E2 データフラッシュ P/E 時) —32MHz (max) (E2 データフラッシュ読み出し時) - CACCLK : 各発振器のクロックと同じ - IWDTCLK : 15kHz
メインクロック発振器 (注2)	- 発振器周波数 : 1MHz~20MHz - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 - ドライブ能力を切り替える機能	- 発振器周波数 : 1MHz~20MHz - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 - ドライブ能力を切り替える機能
PLL 回路	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~12.5MHz - 逡倍比 : 4~10 逡倍 (0.5 刻み) から選択可能 - 発振周波数 : 24MHz~40MHz	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~8MHz - 逡倍比 : 4~8 逡倍 (0.5 刻み) から選択可能 - 発振周波数 : 24MHz~32MHz
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz	発振周波数 : 32MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz	発振周波数 : 4MHz

項目	RX23T	RX13T
IWDT 専用 オンチップ オシレータ	発振周波数 : 15kHz	発振周波数 : 15kHz

注 1. ICLK:FCLK, PCLKB, PCLKD = 1:N (N は整数)の分周比関係になるように設定してください。

注 2. RX13T グループでは、PLL を 32MHz で発振する場合、メインクロック発振器は 8MHz または 16MHz にしてください。

表 2.6 クロック発生回路のレジスタ比較

レジスタ	ビット	RX23T	RX13T
SCKCR	-	システムクロックコントロールレジスタ リセット後の初期値が異なります	システムクロックコントロールレジスタ
	PCKA[3:0]	周辺モジュールクロック A (PCLKA) 選択ビット	-
	-	予約ビット (b19-b16) ICK[3:0]ビット、PCKB[3:0]ビットの設定値 のうち、分周数の大きい値と同じ値を設定 してください	予約ビット (b19-b16) 読むと“0”が読めます。書く場合、“0” としてください
PLLCR	STC[5:0]	周波数通倍率設定ビット b13 b8 000111 : ×4 001000 : ×4.5 001001 : ×5 001010 : ×5.5 001011 : ×6 001100 : ×6.5 001101 : ×7 001110 : ×7.5 001111 : ×8 010000 : ×8.5 010001 : ×9 010010 : ×9.5 010011 : ×10 上記以外は設定しないでください	周波数通倍率設定ビット b13 b8 000111 : ×4 001000 : ×4.5 001001 : ×5 001010 : ×5.5 001011 : ×6 001100 : ×6.5 001101 : ×7 001110 : ×7.5 001111 : ×8 上記以外は設定しないでください
HOCOWTCR	-	高速オンチップオシレータ ウェイトコントロールレジスタ	-
LOCOTRR	-	-	低速オンチップオシレータ トリミングレジスタ
ILOCOTRR	-	-	IWDT 専用オンチップオシレータ トリミングレジスタ
HOCOTRRn	-	-	高速オンチップオシレータ トリミングレジスタ n (n = 0)
MEMWAIT	-	メモリウェイトサイクル設定レジスタ	-

2.6 消費電力低減機能

表 2.7 に消費電力低減機能の概要比較を、表 2.8 に消費電力低減機能のレジスタ比較を示します。

表 2.7 消費電力低減機能の概要比較

項目	RX23T	RX13T
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、 高速周辺モジュールクロック (PCLKA) 、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：2 種類 —高速動作モード —中速動作モード	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：2 種類 —高速動作モード —中速動作モード

表 2.8 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX23T	RX13T
SBYCR	-	予約ビット (b14) 読むと “1” が読めます。書く場合、“1” としてください	予約ビット (b14) 読むと “0” が読めます。書く場合、“0” としてください
MSTPCRA	MSTPA4	8 ビットタイマ 3、2 (ユニット 1) モジュールストップ設定ビット	-
	MSTPA5	8 ビットタイマ 1、0 (ユニット 0) モジュールストップ設定ビット	-
	MSTPA14	コンペアマッチタイマ 1 (ユニット 1) モジュールストップ設定ビット	-
MSTPCRB	MSTPB4	-	シリアルコミュニケーションインタフェース SC1h モジュールストップ設定ビット
	MSTPB17	シリアルペリフェラルインタフェース 0 モジュールストップ設定ビット	-

2.7 レジスタライトプロテクション機能

表 2.9 にレジスタライトプロテクション機能の概要比較を、表 2.10 にレジスタライトプロテクション機能のレジスタ比較を示します。

表 2.9 レジスタライトプロテクション機能の概要比較

項目	RX23T	RX13T
PRC0 ビット	クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、 PLLCR2、MOSCCR、LOCOCR、 ILOCOCR、HOCOCR、OSTDCR、 OSTDSR、MEMWAIT	クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、PLLCR2、 MOSCCR、LOCOCR、ILOCOCR、 HOCOCR、OSTDCR、OSTDSR、 LOCOTRR、ILOCOTRR、HOCOTRR0
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、 MSTPCRC、OPCCR - クロック発生回路関連レジスタ MOFCR、MOSCWTCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、 MSTPCRC、OPCCR - クロック発生回路関連レジスタ MOFCR、MOSCWTCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	クロック発生回路関連レジスタ HOCOWTCR	-
PRC3 ビット	LVD 関連レジスタ LVCMPCCR、LVDLVLR、LVD1CR0、 LVD1CR1、LVD1SR、LVD2CR0、 LVD2CR1、LVD2SR	LVD 関連レジスタ LVCMPCCR、LVDLVLR、LVD1CR0、 LVD1CR1、LVD1SR、LVD2CR0、 LVD2CR1、LVD2SR

表 2.10 レジスタライトプロテクション機能のレジスタ比較

レジスタ	ビット	RX23T	RX13T
PRCR	PRC2	プロテクトビット 2	-

2.8 例外処理

表 2.11 に例外処理の概要比較を、表 2.12 にベクタ比較を、表 2.13 に例外処理ルーチンからの復帰命令比較を示します。

表 2.11 例外処理の概要比較

項目	RX23T	RX13T
例外事象	- 未定義命令例外 - 特権命令例外 - アクセス例外 - 浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ	- 未定義命令例外 - 特権命令例外 - 浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ

表 2.12 ベクタ比較

項目	RX23T	RX13T
未定義命令例外	例外ベクタテーブル(EXTB)	固定ベクタテーブル
特権命令例外	例外ベクタテーブル(EXTB)	固定ベクタテーブル
アクセス例外	例外ベクタテーブル(EXTB)	-
浮動小数点例外	例外ベクタテーブル(EXTB)	固定ベクタテーブル
リセット	例外ベクタテーブル(EXTB)	固定ベクタテーブル
ノンマスカブル割り込み	例外ベクタテーブル(EXTB)	固定ベクタテーブル
割り込み		
高速割り込み	FINTV	FINTV
高速割り込み以外	割り込みベクタテーブル(INTB)	可変ベクタテーブル(INTB)
無条件トラップ	割り込みベクタテーブル(INTB)	可変ベクタテーブル(INTB)

表 2.13 例外処理ルーチンからの復帰命令比較

項目	RX23T	RX13T
未定義命令例外	RTE	RTE
特権命令例外	RTE	RTE
アクセス例外	RTE	-
浮動小数点例外	RTE	RTE
リセット	復帰不可能	復帰不可能
ノンマスカブル割り込み	禁止	復帰不可能
割り込み		
高速割り込み	RTFI	RTFI
高速割り込み以外	RTE	RTE
無条件トラップ	RTE	RTE

2.9 割り込みコントローラ

表 2.14 に割り込みコントローラのレジスタ比較を示します。

表 2.14 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX23T(ICUb)	RX13T(ICUb)
IRn (注 1)	-	割り込み要求レジスタ n (n = 016~249)	割り込み要求レジスタ n (n = 016~255)
IPRn (注 1)	-	割り込み要因プライオリティレジスタ n (n = 000~249)	割り込み要因プライオリティレジスタ n (n = 000~255)
DTCERn (注 1)	-	DTC 起動許可レジスタ n (n = 027~248)	DTC 転送要求許可レジスタ n (n = 027~255)

注 1. RX23T グループ、RX13T グループとも n=250~255 は予約領域です。

2.10 バス

表 2.15 にバスの概要比較を、表 2.16 にバスのレジスタ比較を示します。

表 2.15 バスの概要比較

項目		RX23T	RX13T
CPU バス	命令バス	● CPU (命令)を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● CPU (命令)を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作
	オペランドバス	● CPU (オペランド)を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● CPU (オペランド)を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	ROM を接続
内部メインバス	内部メインバス 1	● CPU を接続 ● システムクロック(ICLK)に同期して動作	● CPU を接続 ● システムクロック(ICLK)に同期して動作
	内部メインバス 2	● DTC を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● DTC を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	● 周辺機能(DTC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作	● 周辺機能(DTC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作
	内部周辺バス 2	● 周辺機能(内部周辺バス 1、3、4 以外の周辺機能)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作	● 周辺機能を接続 ● 周辺モジュールクロック(PCLKB, PCLKD)に同期して動作
	内部周辺バス 3	● 周辺機能(CMPC)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作	● 周辺機能(CMPC)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	● 周辺機能(MTU3)を接続 ● 周辺モジュールクロック(PCLKA)に同期して動作	-
	内部周辺バス 6	● フラッシュ制御モジュールを接続 ● FlashIF クロック(FCLK)に同期して動作	● ROM (P/E 時)、E2 データフラッシュを接続 ● FlashIF クロック(FCLK)に同期して動作

表 2.16 バスのレジスタ比較

レジスタ	ビット名	RX23T	RX13T
BUSPRI	BPHB[1:0]	内部周辺バス 4 プライオリティ制御ビット	-

2.11 データトランスファコントローラ

表 2.17 にデータトランスファコントローラの概要比較を、表 2.18 にデータトランスファコントローラのレジスタ比較を示します。

表 2.17 データトランスファコントローラの概要比較

項目	RX23T(DTCa)	RX13T(DTCb)
転送チャンネル数	DTC 起動が可能なすべての割り込み要因の数と同数	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード —1 回の起動で 1 データ転送する - リピート転送モード —1 回の起動で 1 データ転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピート回数は最大 256 回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード —1 回の起動で 1 ブロックのデータを転送する —ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能	- ノーマル転送モード —1 回の起動で 1 つのデータを転送する - リピート転送モード —1 回の起動で 1 つのデータを転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピート回数は最大 256 回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード —1 回の起動で 1 ブロックのデータを転送する —ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
チェーン転送機能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	-	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)

項目	RX23T(DTCa)	RX13T(DTCb)
データ転送単位	1 データ : 1 バイト (8 ビット) 、1 ワード (16 ビット) 、1 ロングワード (32 ビット) 1 ブロックサイズ : 1~256 データ	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	-	転送情報のライトバックを実行しない設定が可能
ディスプレースメント加算	-	転送元アドレスにディスプレースメントを加算可能(転送情報ごとを選択)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.18 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX23T(DTCa)	RX13T(DTCb)
MRA	WBDIS	-	ライトバックディスエーブルビット
MRB	SQEND	-	シーケンス転送終了ビット
	INDX	-	インデックステーブル参照ビット
MRC	-	-	DTC モードレジスタ C
DTCIBR	-	-	DTC インデックステーブルベースレジスタ
DTCOR	-	-	DTC オペレーションレジスタ
DTCSQE	-	-	DTC シーケンス転送許可レジスタ
DTCDISP	-	-	DTC アドレスディスプレースメントレジスタ

2.12 I/O ポート

表 2.19 に I/O ポート 48 ピンの概要比較を、表 2.20 に I/O ポートの機能比較を、表 2.21 に I/O ポートのレジスタ比較を示します。

表 2.19 I/O ポート 48 ピンの概要比較

ポートシンボル	RX23T(48 ピン)	RX13T(48 ピン)
PORT1	P10, P11	P10, P11
PORT2	P22~P24	P22~P24
PORT3	P36, P37	P36, P37
PORT4	P40~P47	P40~P47
PORT7	P70~P76	P70~P76
PORT9	P93, P94	P93, P94
PORTA	PA2, PA3	PA2, PA3
PORTB	PB0~PB6	PB0~PB7
PORTD	PD3~PD6	PD3~PD6
PORTE	PE2	PE2

表 2.20 I/O ポートの機能比較

項目	ポートシンボル	RX23T	RX13T
入力プルアップ機能	PORT0	P00, P01, P02	—
	PORT1	P10, P11	P10, P11
	PORT2	P22, P23, P24	P22, P23, P24
	PORT3	P30~P33, P36, P37	P36, P37
	PORT4	P40~P47	P40~P47
	PORT7	P70~P76	P70~P76
	PORT9	P91~P94	P93, P94
	PORTA	PA2~PA5	PA2, PA3
	PORTB	PB0~PB7	PB0~PB7
	PORTD	PD3~PD7	PD3~PD6
オープンドレイン 出力機能	PORT0	P00, P01, P02	—
	PORT1	P10, P11	P10, P11
	PORT2	P22, P23, P24	P22, P23, P24
	PORT3	P30~P33, P36, P37	P36, P37
	PORT7	P70~P76	P70~P76
	PORT9	P91~P94	P93, P94
	PORTA	PA2~PA5	PA2, PA3
	PORTB	PB0~PB7	PB0~PB7
	PORTD	PD3~PD7	PD3~PD6
駆動能力切り替え機能	PORT0	P00, P01, P02	—
	PORT1	P10, P11	P10, P11
	PORT2	P22, P23, P24	P22, P23, P24
	PORT3	P30~P33, P36, P37	—
	PORT4	P40~P47	P40~P47
	PORT7	P70~P76	P70~P76
	PORT9	P91~P94	P93, P94
	PORTA	PA2~PA5	PA2, PA3
	PORTB	PB0~PB7	PB0~PB7
	PORTD	PD3~PD7	PD3~PD6
大電流端子	PORT7	P71~P76	P71~P76
	PORTB	PB5	PB6
	PORTD	PD3	—
5V トレラント	PORTB	PB1, PB2	PB1, PB2

表 2.21 I/O ポートのレジスタ比較

レジスタ	ビット名	RX23T	RX13T
PDR	B0～B7	Pm0～7 方向制御ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 方向制御ビット (m = 1～4, 7, 9, A, B, D)
PODR	B0～B7	Pm0～7 出力データ格納ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 出力データ格納ビット (m = 1～4, 7, 9, A, B, D)
PIDR	B0～B7	Pm0～7 ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 ビット (m = 1～4, 7, 9, A, B, D)
PMR	B0～B7	Pm0 端子モード制御ビット (m = 0～3, 7, 9, A, B, D, E)	Pm0～7 端子モード制御ビット (m = 1～3, 7, 9, A, B, D, E)
ODR0	B0(RX23T) B0, B1(RX13T)	Pm0 出力形態指定ビット (m = 0～3, 7, 9, A, B, D) 0 : CMOS 出力 1 : N チャネルオープンドレイン	Pm0 出力形態指定ビット (m = 1, 2, 7, 9, A, B, D) - P10, P70 b0 0 : CMOS 出力 1 : N チャネルオープンドレイン - b1 読むと“0”が読めます。書く場合、“0”としてください - PB0 b1 b0 00 : CMOS 出力 01 : N チャネルオープンドレイン 10 : P チャネルオープンドレイン 11 : Hi-Z
	B2	Pm1 出力形態指定ビット (m = 0～3, 7, 9, A, B, D)	Pm1 出力形態指定ビット (m = 1, 2, 7, 9, A, B, D)
	B4	Pm2 出力形態指定ビット (m = 0～3, 7, 9, A, B, D)	Pm2 出力形態指定ビット (m = 1, 2, 7, 9, A, B, D)
	B6	Pm3 出力形態指定ビット (m = 0～3, 7, 9, A, B, D)	Pm3 出力形態指定ビット (m = 1, 2, 7, 9, A, B, D)
ODR1	B0	Pm4 出力形態指定ビット (m = 2, 3, 7, 9, A, B, D)	Pm4 出力形態指定ビット (m = 2, 3, 7, 9, B, D)
	B2	Pm5 出力形態指定ビット (m = 2, 3, 7, 9, A, B, D)	Pm5 出力形態指定ビット (m = 2, 3, 7, 9, B, D)
	B4	Pm6 出力形態指定ビット (m = 2, 3, 7, 9, A, B, D)	Pm6 出力形態指定ビット (m = 2, 3, 7, 9, B, D)
	B6	Pm7 出力形態指定ビット (m = 2, 3, 7, 9, A, B, D)	Pm7 出力形態指定ビット (m = 2, 3, 7, 9, B, D)
PCR	B0～B7	Pm0～7 入力プルアップ抵抗制御ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 入力プルアップ抵抗制御ビット (m = 1～4, 7, 9, A, B, D)
DSCR	B0～B7	Pm0～7 駆動能力制御ビット (m = 0～3, 7, 9, A, B, D)	Pm0～7 駆動能力制御ビット (m = 1, 2, 7, 9, A, B, D)

2.13 マルチファンクションピンコントローラ

表 2.22 にマルチプル端子の割り当て端子比較を、表 2.23～表 2.32 にマルチファンクションピンコントローラのレジスタ比較を示します。

マルチプル端子の割り当て端子比較の、**青字**は RX13T グループのみに存在する端子、**橙字**は RX23T グループのみに存在する端子です。“○”は機能割り当てあり、“×”は端子なし、または機能割り当てなし、グレーの塗りつぶしは非搭載機能を表しています。

表 2.22 マルチプル端子の割り当て端子比較

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)	RX13T(MPC)
			48 ピン	48 ピン
割り込み	NMI (入力)	PE2	○	○
	IRQ0 (入力)	P10	○	○
		P93	○	○
		PE2	×	○
	IRQ1 (入力)	P11	○	○
		P94	○	○
	IRQ2 (入力)	P22	○	○
		PB1	○	○
		PD4	○	○
	IRQ3 (入力)	P24	○	○
		PB4	○	○
		PD5	○	○
	IRQ4 (入力)	P23	○	○
		PA2	○	○
	IRQ5 (入力)	P70	○	○
		PB7	×	○
		PB6	○	×
		PD6	○	○
マルチファンクションタイマユニット 3	MTIOC0A (入出力)	PB3	○	○
		PD3	×	○
	MTIOC0B (入出力)	P93	○	×
		PB2	○	○
		PD4	×	○
	MTIOC0C (入出力)	P94	○	×
		PB1	○	○
		PD5	×	○
	MTIOC0D (入出力)	PB0	○	○
		PD6	×	○
	MTIOC1A (入出力)	P93	×	○
		PA2	×	○
	MTIOC1B (入出力)	PA3	×	○
		PB6	×	○
	MTIOC2A (入出力)	PA3	○	○
		PB0	×	○
	MTIOC2B (入出力)	PA2	○	○
		P94	×	○
	MTIOC3A (入出力)	P11	○	○
		PB6	×	○

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)	RX13T(MPC)
			48 ピン	48 ピン
マルチファンク ションタイ マユニット 3	MTIOC3B (入出力)	P71	○	○
	MTIOC3C (入出力)	PB7	×	○
	MTIOC3D (入出力)	P74	○	○
	MTIOC4A (入出力)	P72	○	○
	MTIOC4B (入出力)	P73	○	○
	MTIOC4C (入出力)	P75	○	○
	MTIOC4D (入出力)	P76	○	○
	MTIC5U (入力)	P24	○	○
		P94	×	○
	MTIC5V (入力)	P23	○	○
		P93	×	○
	MTIC5W (入力)	P22	○	○
		PB1	×	○
	MTCLKA (入力)	P11	×	○
		P94	×	○
		PB1	×	○
	MTCLKB (入力)	P10	×	○
		PB0	×	○
	MTCLKC (入力)	P11	○	×
		PB2	×	○
	MTCLKD (入力)	P10	○	×
		PB7	×	○
	ADSM0 (出力)	PB2	○	○
8 ビットタイマ	TMO0 (出力)	PD3	○	
	TMCI0 (入力)	PD4	○	
		PD5	○	
	TMO1 (出力)	P94	○	
		PD6	○	
	TMRI1 (入力)	P93	○	
	TMO2 (出力)	P23	○	
	TMCI2 (入力)	P24	○	
	TMRI2 (入力)	P22	○	
	TMO3 (出力)	P11	○	
	TMRI3 (入力)	P10	○	
ポートアウト プットイネー ブル 3	POE0# (入力)	P70	○	○
	POE8# (入力)	PB4	○	○
		P11	×	○
	POE10# (入力)	PE2	○	○
シリアルコ ミュニケー ションインタ フェース	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	PD5	○	○
		PB7	×	○
	TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	PD3	○	○
		PB6	×	○
	SCK1 (入出力)	PD4	○	○
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	PD6	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)	RX13T(MPC)
			48 ピン	48 ピン
シリアルコ ミュニケー ションインタ フェース	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PB1	○	○
		PB6	○	×
		PB7	×	○
		P24	×	○
	TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PB2	○	○
		PB5	○	×
		PB6	×	○
		P23	×	○
	SCK5 (入出力)	P93	○	○
		PB3	○	○
	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA2	○	○
	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	P94		○
	TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PB0		○
	SCK12 (入出力)	PB3		○
		P93		○
	CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PA3		○
I ² C バスインタ フェース	SCL0 (入出力)	PB1	○	○
	SDA0 (入出力)	PB2	○	○
シリアルペリ フェラルイン タフェース	RSPCKA (入出力)	P24	○	
		P93	○	
		PB3	○	
	MOSIA (入出力)	P23	○	
		PB0	○	
	MISOA (入出力)	P22	○	
		P94	○	
	SSLA0 (入出力)	PA3	○	
		PD6	○	
	SSLA1 (出力)	PA2	○	
12 ビット A/D コンバータ	AN000 (入力)	P40	○	○
	AN001 (入力)	P41	○	○
	AN002 (入力)	P42	○	○
	AN003 (入力)	P43	○	○
	AN004 (入力)	P44	○	○
	AN005 (入力)	P45	○	○
	AN006 (入力)	P46	○	○
	AN007 (入力)	P47	○	○
	AN016 (入力)	P11	○	
	AN017 (入力)	P10	○	

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)	RX13T(MPC)
			48 ピン	48 ピン
12 ビット A/D コンバータ	ADTRG0# (入力)	P93	×	○
		PB5	×	○
	ADST0 (出力)	PD6	○	○
クロック周波 数精度測定回 路	CACREF (入力)	P23	○	○
		PB3	○	○
コンパレータ	CMPC00 (入力)	P40	○	○
	CMPC01 (入力)	P43	○	
	CMPC02 (入力)	P46	○	×
		P43	×	○
	CMPC03 (入力)	P46		○
	CMPC10 (入力)	P41	○	○
	CMPC11 (入力)	P44	○	
	CMPC12 (入力)	P47	○	×
		P44	×	○
	CMPC13 (入力)	P47		○
	CMPC20 (入力)	P42	○	○
	CMPC21 (入力)	P45	○	
	CMPC22 (入力)	P47	○	×
		P45	×	○
	COMP0 (出力)	P24	○	○
	COMP1 (出力)	P23	○	○
	COMP2 (出力)	P22	○	○
	CVREFC0 (入力)	P11	○	○
	CVREFC1 (入力)	P10	○	

表 2.23 P0n 端子機能制御レジスタ (P0nPFS)の比較

レジスタ	ビット	RX23T(MPC)	RX13T(MPC)
P0nPFS	-	P0n 端子機能選択レジスタ (n=0~2)	-

表 2.24 P1n 端子機能制御レジスタ (P1nPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 0, 1)	RX13T(MPC)(n = 0, 1)
P10PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00010b : MTCLKD 00101b : TMRI3	端子機能選択ビット 00000b : Hi-Z 00010b : MTCLKB
P11PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKC 00101b : TMO3	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKA 00111b : POE8#
P1nPFS	ASEL	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P10: AN017、CVREFC1 (64/52/48 ピン) P11: AN016、CVREFC0 (64/52/48 ピン)	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P11: CVREFC0 (48/32 ピン)

表 2.25 P2n 端子機能制御レジスタ (P2nPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 2~4)	RX13T(MPC)(n = 2~4)
P22PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5W 00101b : TMRI2 01101b : MISOA 11110b : COMP2	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5W 11110b : COMP2
P23PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5V 00101b : TMO2 00111b : CACREF 01101b : MOSIA 11110b : COMP1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5V 00111b : CACREF 01010b : TXD5/SMOSI5/SSDA5 11110b : COMP1

レジスタ	ビット	RX23T(MPC)(n = 2~4)	RX13T(MPC)(n = 2~4)
P24PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5U 00101b : TMC12 01101b : RSPCKA 11110b : COMP0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5U 01010b : RXD5/SMISO5/SSCL5 11110b : COMP0

表 2.26 P3n 端子機能制御レジスタ (P3nPFS)の比較

レジスタ	ビット	RX23T(MPC)	RX13T(MPC)
P3nPFS	-	P3 端子機能選択レジスタ (n=0~3)	-

表 2.27 P4n 端子機能制御レジスタ (P4nPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 0~7)	RX13T(MPC)(n = 0~7)
P4nPFS	ASEL	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40: AN000 (64/52/48 ピン) P41: AN001 (64/52/48 ピン) P42: AN002 (64/52/48 ピン) P43: AN003 (64/52/48 ピン) P44: AN004 (64/52/48 ピン) P45: AN005 (64/52/48 ピン) P46: AN006 (64/52/48 ピン) P47: AN007 (64/52/48 ピン)	アナログ入力機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000/ CMPC00 (48/32 ピン) P41 : AN001/ CMPC10 (48/32 ピン) P42 : AN002/ CMPC20 (48/32 ピン) P43 : AN003/ CMPC02 (48/32 ピン) P44 : AN004/ CMPC12 (48/32 ピン) P45 : AN005/ CMPC22 (48 ピン) P46 : AN006/ CMPC03 (48 ピン) P47 : AN007/ CMPC13 (48 ピン)

表 2.28 P9n 端子機能制御レジスタ (P9nPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 1~4)	RX13T(MPC)(n = 3, 4)
P91PFS	-	P91 端子機能制御レジスタ	-
P92PFS	-	P92 端子機能制御レジスタ	-
P93PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00101b : TMR11 01010b : SCK5 01101b : RSPCKA	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1A 00011b : MTIC5V 01001b : ADTRG0# 01010b : SCK5 01100b : SCK12

レジスタ	ビット	RX23T(MPC)(n = 1~4)	RX13T(MPC)(n = 3, 4)
P94PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 00101b : TMO1 01101b : MISOA	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2B 00010b : MTCLKA 00011b : MTIC5U 01100b : RXD12/SMISO12/SSCL12/RDX12

表 2.29 PAn 端子機能制御レジスタ(PAnPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 2~5)	RX13T(MPC)(n = 2, 3)
PA2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2B 01010b : CTS5#/RTS5#/SS5# 01101b : SSLA1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1A 00011b : MTIOC2B 01010b : CTS5#/RTS5#/SS5#
PA3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2A 01101b : SSLA0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1B 00011b : MTIOC2A 01100b : CTS12#/RTS12#/SS12#
PA4PFS	-	PA4 端子機能制御レジスタ	-
PA5PFS	-	PA5 端子機能制御レジスタ	-

表 2.30 PBn 端子機能制御レジスタ(PBnPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 0~7)	RX13T(MPC)(n = 0~7)
PB0PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0D 01101b : MOSIA	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0D 00010b : MTCLKB 00011b : MTIOC2A 01100b : TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12

レジスタ	ビット	RX23T(MPC)(n = 0~7)	RX13T(MPC)(n = 0~7)
PB1PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 01010b : RXD5/SMISO5/SSCL5 01111b : SCL0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 00010b : MTCLKA 00011b : MTIC5W 01010b : RXD5/SMISO5/SSCL5 01111b : SCL0
PB2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 01001b : ADSTM0 01010b : TXD5/SMOSI5/SSDA5 01111b : SDA0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKC 00011b : ADSTM0 00111b : TXD5/SMOSI5/SSDA5 01111b : SDA0
PB3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0A 00111b : CACREF 01010b : SCK5 01101b : RSPCKA	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0A 00111b : CACREF 01010b : SCK5 01100b : SCK12
PB5PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01010b : TXD5/SMOSI5/SSDA5	端子機能選択ビット 00000b : Hi-Z 01001b : ADTRG0#
PB6PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01010b : RXD5/SMISO5/SSCL5	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1B 00011b : MTIOC3A 01010b : TXD5/SMOSI5/SSDA5 01011b : TXD1/SMOSI1/SSDA1
PB7PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01010b : SCK5	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTCLKD 01010b : RXD5/SMISO5/SSCL5 01011b : RXD1/SMISO1/SSCL1
PBnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB1: IRQ2 (64/52/48 ピン) PB4: IRQ3 (64/52/48 ピン) PB6: IRQ5 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB1 : IRQ2 (48/32 ピン) PB4 : IRQ3 (48 ピン) PB7 : IRQ5 (48/32 ピン)

表 2.31 PDn 端子機能制御レジスタ (PDnPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 3~7)	RX13T(MPC)(n = 3~6)
PD3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00101b : TMO0 01010b : TXD1/SMOSI1/SSDA1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0A 01010b : TXD1/SMOSI1/SSDA1
PD4PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00101b : TMCi0 01010b : SCK1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 01010b : SCK1
PD5PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00101b : TMRi0 01010b : RXD1/SMISO1/SSCL1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 01010b : RXD1/SMISO1/SSCL1
PD6PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00101b : TMO1 01001b : ADST0 01010b : CTS1#/RTS1#/SS1# 01101b : SSLA0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0D 01001b : ADST0 01010b : CTS1#/RTS1#/SS1#
PD7PFS	-	PD7 端子機能選択レジスタ	-

表 2.32 PEn 端子機能制御レジスタ (PEnPFS)の比較

レジスタ	ビット	RX23T(MPC)(n = 2)	RX13T(MPC)(n = 2)
PE2PFS	ISEL	-	割り込み入力機能選択ビット

2.14 マルチファンクションタイマパルスユニット 3

表 2.33 にマルチファンクションタイマパルスユニット 3 のレジスタ比較を示します。

表 2.33 マルチファンクションタイマパルスユニット 3 のレジスタ比較

レジスタ	ビット	RX23T(MTU3c)	RX13T(MTU3c)
TADSTRGR0	TADSTRS0[4:0]	ADSM0 端子出力フレーム同期 信号生成用 A/D 変換開始要求選択 ビット b4 b0 0 0 0 0 0 : 要因非選択 0 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 1 0 0 0 : TRG0N 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 0 1 1 : TRG4AN または TRG4BN 0 1 1 0 0 : TRG4ABN	ADSM0 端子出力フレーム同期 信号生成用 A/D 変換開始要求選択 ビット b4 b0 0 0 0 0 0 : 要因非選択 0 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 1 0 0 0 : TRG0N 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 1 0 0 : TRG4ABN

2.15 ポートアウトプットイネーブル 3

表 2.34 にポートアウトプットイネーブル 3 のレジスタ比較を示します。

表 2.34 ポートアウトプットイネーブル 3 のレジスタ比較

レジスタ	ビット	RX23T(POE3b)	RX13T(POE3C)
POECR1	MTU0A1ZE	MTIOC0A P31 端子 ハイインピーダンス許可ビット	MTIOC0A (PD3)端子 ハイインピーダンス許可ビット
	MTU0B1ZE	MTIOC0B P30 端子 ハイインピーダンス許可ビット	MTIOC0B (PD4)端子 ハイインピーダンス許可ビット
	MTU0B2ZE (RX23T) MTU0C1ZE (RX13T)	MTIOC0B P93 端子 ハイインピーダンス許可ビット	MTIOC0C (PD5)端子 ハイインピーダンス許可ビット
	MTU0C1ZE (RX23T) MTU0D1ZE (RX13T)	MTIOC0C P94 端子 ハイインピーダンス許可ビット	MTIOC0D (PD6)端子 ハイインピーダンス許可ビット

2.16 コンペアマッチタイマ

表 2.35 にコンペアマッチタイマのレジスタ比較を示します。

表 2.35 コンペアマッチタイマのレジスタ比較

レジスタ	ビット	RX23T(CMT)	RX13T(CMT)
CMSTR1	-	コンペアマッチタイマスタート レジスタ 1	-

2.17 シリアルコミュニケーションインタフェース

表 2.36 にシリアルコミュニケーションインタフェースの概要比較を、表 2.37 に SCI チャンネル別仕様比較を、表 2.38 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.36 シリアルコミュニケーションインタフェースの概要比較

項目		RX23T(SCI _g)	RX13T(SCI _g , SCI _h)
チャンネル数		SCI_g : 2 チャンネル	- SCI_g : 2 チャンネル - SCI_h : 1 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ / 奇数パリティ / パリティなし	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能	Low レベルまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXD _n 端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5)	- 内部クロック/外部クロックの選択が可能 - MTU からの転送レートクロック入力が可能(SCI1、SCI5)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵

項目		RX23T(SCIg)	RX13T(SCIg, SC1h)
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット	I ² C バスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	-	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	-	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
	入出力制御機能	-	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	-	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

表 2.37 SCI チャンネル別仕様比較

項目	RX23T(SCI _g)	RX13T(SCI _g , SCI _h)
調歩同期式モード	SCI1, SCI5	SCI1, SCI5, SCI12
クロック同期式モード	SCI1, SCI5	SCI1, SCI5, SCI12
スマートカードインタフェースモード	SCI1, SCI5	SCI1, SCI5, SCI12
簡易 I ² C モード	SCI1, SCI5	SCI1, SCI5, SCI12
簡易 SPI モード	SCI1, SCI5	SCI1, SCI5, SCI12
拡張シリアルモード	-	SCI12
TMR クロック入力 (RX23T)/ MTU クロック入力 (RX13T)	SCI5	SCI1, SCI5, SCI12

表 2.38 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX23T(SCI _g)	RX13T(SCI _g , SCI _h)
SEMR	ACS0	調歩同期クロックソース セレクトビット (調歩同期式モードのみ有効) 0: 外部クロック 1: TMR から出力される 2 つのコン ペアマッチ出力の論理積 (SCI5 のみ有効) SCI のチャネルごとに使用できる コンペアマッチ出力が異なります	調歩同期クロックソース セレクトビット (調歩同期式モードのみ有効) 0: 外部クロック 1: MTU から出力される 2 つのコン ペアマッチ出力の論理積
ESMER	-	-	拡張シリアルモード有効レジスタ
CR0	-	-	コントロールレジスタ 0
CR1	-	-	コントロールレジスタ 1
CR2	-	-	コントロールレジスタ 2
CR3	-	-	コントロールレジスタ 3
PCR	-	-	ポートコントロールレジスタ
ICR	-	-	割り込みコントロールレジスタ
STR	-	-	ステータスレジスタ
STCR	-	-	ステータスクリアレジスタ
CF0DR	-	-	Control Field 0 データレジスタ
CF0CR	-	-	Control Field 0 コンペアイネーブルレジスタ
CF0RR	-	-	Control Field 0 受信データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データレジスタ
SCF1DR	-	-	セカンダリ Control Field 1 データレジスタ
CF1CR	-	-	Control Field 1 コンペアイネーブルレジスタ
CF1RR	-	-	Control Field 1 受信データレジスタ
TCR	-	-	タイマコントロールレジスタ
TMR	-	-	タイマモードレジスタ
TPRE	-	-	タイマプリスケアラレジスタ
TCNT	-	-	タイマカウントレジスタ

2.18 12 ビット A/D コンバータ

表 2.39 に 12 ビット A/D コンバータの概要比較を、表 2.40 に 12 ビット A/D コンバータのレジスタ比較を、表 2.41 に ADSTRGR レジスタに設定する A/D 起動要因比較を示します。

表 2.39 12 ビット A/D コンバータの概要比較

項目	RX23T(S12ADE)	RX13T(S12ADF)
ユニット数	1 ユニット	1 ユニット (S12AD)
入力チャンネル	10 チャンネル	S12AD : 8 チャンネル
拡張アナログ機能	内部基準電圧	内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャンネル当たり 1 μ s (A/D 変換クロック ADCLK = 40MHz 動作時)	1 チャンネル当たり 1.4 μ s (A/D 変換クロック ADCLK = 32MHz 動作時)
A/D 変換クロック	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 —PCLK : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLK の設定はクロック発生回路で行います	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 —PCLK : ADCLK 周波数比 = 1 : 1、2 : 1、4 : 1、8 : 1 ADCLK の設定はクロック発生回路で行います
データレジスタ	- アナログ入力用 10 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本 - 内部基準電圧用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット / 4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは 2 重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効)選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した 2 重化レジスタに保持	- アナログ入力用 8 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本 - 内部基準電圧用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット / 4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは 2 重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効)選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した 2 重化レジスタに保持

項目	RX23T(S12ADE)	RX13T(S12ADF)
動作モード	- シングルスキャンモード： —任意に選択した最大 10 チャンネルのアナログ入力を 1 回のみ A/D 変換 —内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： —任意に選択した最大 10 チャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： —任意に選択した最大 10 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 —グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ A 優先制御選択時) —グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 —グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行(再スキャン)の設定が可能	- シングルスキャンモード： —任意に選択したチャンネルのアナログ入力を 1 回のみ A/D 変換 —内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： —任意に選択したチャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： —使用するグループの数は 2 つ (グループ A, B) と 3 つ (グループ A, B, C) が選択可能 (グループの数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) —任意に選択したチャンネルのアナログ入力をグループ A とグループ B またはグループ A, B, C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 —グループ A とグループ B とグループ C は、各々の変換開始条件 (同期トリガ) を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ優先制御選択時) —低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。 —優先順位は、グループ A (高) > グループ B > グループ C (低) —優先グループのスキャン終了後、低優先グループのスキャンを再実行 (再スキャン) する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ マルチファンクションタイマパルスユニット(MTU)、8 ビットタイマ(TMR)からのトリガ - 非同期トリガ 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能	- ソフトウェアトリガ - 同期トリガ マルチファンクションタイマパルスユニット (MTU) からのトリガ - 非同期トリガ 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能

項目	RX23T(S12ADE)	RX13T(S12ADF)
機能	- チャンネル専用サンプル&ホールド機能 (3ch) - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ 2 重化機能) - A/D データレジスタオートクリア機能	- チャンネル専用サンプル&ホールド機能 (3ch) - プログラマブルゲインアンプによる入力信号増幅機能 (3ch) - サンプリングステート数可変機能 (チャンネルごとに設定可能) 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ二重化機能) - A/D データレジスタオートクリア機能
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI、GBADI 割り込みでデータトランスファコントローラ(DTC)を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (GBADI) を発生。グループ C のスキャン終了でグループ C 専用のスキャン終了割り込み要求 (GCADI) を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI) を発生。グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (GBADI/GCADI) を発生 - S12ADI、GBADI、GCADI 割り込みでデータトランスファコントローラ (DTC) を起動可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.40 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX23T(S12ADE)	RX13T(S12ADF)
ADDRy	-	A/D データレジスタ y (y = 0~7, 16 , 17)	A/D データレジスタ y (y = 0~7)
ADCSR	ADST	A/D 変換スタートビット	A/D 変換スタートビット (注1)
ADANSA1	-	A/D チャンネル選択レジスタ A1	-
ADANSB1	-	A/D チャンネル選択レジスタ B1	-
ADANSC0	-	-	A/D チャンネル選択レジスタ C0
ADADS1	-	A/D 変換値加算/ 平均機能チャンネル選択レジスタ 1	-
ADSTRGR	TRSB[5:0]	グループ B 専用 A/D 変換開始 トリガ選択ビット 詳細は表 2.41 を参照してください。	グループ B 専用 A/D 変換開始 トリガ選択ビット 詳細は表 2.41 を参照してください。
	TRSA[5:0]	A/D 変換開始トリガ選択ビット (注2) 詳細は表 2.41 を参照してください。	A/D 変換開始トリガ選択ビット (注2) 詳細は表 2.41 を参照してください。
ADGCTRGR	-	-	A/D グループ C トリガ選択レジスタ
ADSSTRn	-	A/D サンプリングステートレジスタ n (n = 0~7, L , O)	A/D サンプリングステートレジスタ n (n = 0~7, O)
ADGSPCR	LGRRS	-	再開チャンネル選択ビット
ADHVREFCNT	-	A/D 高電位/低電位基準電圧 コントロールレジスタ	-
ADPGACR	-	-	A/D プログラマブルゲインアンプ コントロールレジスタ
ADPGAGS0	-	-	A/D プログラマブルゲインアンプ ゲイン設定レジスタ 0

注 1. グループ優先動作モード有効時 (ADCSR.ADCS[1:0]ビット=01b かつ ADGSPCR.PGS ビット=1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット=1) した場合、ADST ビットは“1”を保持します。

注 2. RX23T グループでは、グループスキャンモードでグループ A の A/D 変換開始トリガに非同期トリガを使用することはできませんが、RX13T グループでは非同期トリガも使用することができます。

表 2.41 ADSTRGR レジスタに設定する A/D 起動要因比較

ビット	RX23T(S12ADE)	RX13T(S12ADF)
TRSB[5:0]	グループ B 専用 A/D 変換開始トリガ選択ビット b5 b0 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1	グループ B 専用 A/D 変換開始トリガ選択ビット b5 b0 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN
TRSA[5:0]	A/D 変換開始トリガ選択ビット b13 b8 1 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 0 : ADTRG0# 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1	A/D 変換開始トリガ選択ビット b13 b8 1 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 0 : ADTRG0# 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN

2.19 コンパレータ C

表 2.42 にコンパレータ C の概要比較を、表 2.43 にコンパレータ C のレジスタ比較を示します。

表 2.42 コンパレータ C の概要比較

項目	RX23T(CMPC)	RX13T(CMPC)
チャンネル数	3 チャンネル (コンパレータ C0～コンパレータ C2)	3 チャンネル (コンパレータ C0～コンパレータ C2)
アナログ入力電圧	- CMPCnm 端子 (n = チャンネル番号、m = 0～2) への入力電圧 - 内部基準電圧	CMPCnm 端子 (n = チャンネル番号、m = 0～3) からの入力電圧
リファレンス入力電圧	CVREFC0、CVREFC1 端子への入力電圧または内蔵 D/A コンバータの出力電圧	CVREFC0 端子からの入力電圧または内蔵 D/A コンバータ 0 の出力電圧
比較結果	比較結果を外部出力可能	比較結果を外部出力可能
デジタルフィルタ機能	3 種類のサンプリング周期の選択可能 - フィルタ未使用も可能 - ノイズフィルタを通した信号から割り込み要求出力、POE 要因出力の生成、およびレジスタを介して比較結果を読み出し可能	3 種類のサンプリング周期の選択可能 - フィルタ未使用も可能 - ノイズフィルタを通した信号から割り込み要求出力、POE 要因出力の生成、およびレジスタを介して比較結果を読み出し可能
割り込み要求	- 比較結果の有効エッジを検出して割り込み要求を発生 - 比較結果の立ち上がりエッジ/立ち下がリエッジ/両エッジを選択可能	- 比較結果の有効エッジを検出して割り込み要求を発生 - 有効エッジは、比較結果の立ち上がりエッジ/立ち下がリエッジ/両エッジから選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

表 2.43 コンパレータ C のレジスタ比較

レジスタ	ビット	RX23T(CMPC)	RX13T(CMPC)
CMPSEL0	CMPSEL[3:0]	コンパレータ入力切り替えビット - コンパレータ C0 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC00 を選択 0 0 1 0 : CMPC01 を選択 0 1 0 0 : CMPC02 を選択 1 0 0 0 : 内部基準電圧を選択 上記以外は設定しないでください - コンパレータ C1 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC10 を選択 0 0 1 0 : CMPC11 を選択 0 1 0 0 : CMPC12 を選択 1 0 0 0 : 内部基準電圧を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC20 を選択 0 0 1 0 : CMPC21 を選択 0 1 0 0 : CMPC22 を選択 1 0 0 0 : 内部基準電圧を選択 上記以外は設定しないでください	コンパレータ入力切り替えビット - コンパレータ C0 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC00 を選択 0 0 1 0 : CMPC01 を選択 0 1 0 0 : CMPC02 を選択 1 0 0 0 : CMPC03 を選択 上記以外は設定しないでください - コンパレータ C1 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC10 を選択 0 0 1 0 : CMPC11 を選択 0 1 0 0 : CMPC12 を選択 1 0 0 0 : CMPC13 を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC20 を選択 0 0 1 0 : CMPC21 を選択 0 1 0 0 : CMPC22 を選択 上記以外は設定しないでください
CMPSEL1	CVRS[1:0]	リファレンス入力電圧選択ビット - コンパレータ C0、 コンパレータ C1 の場合 b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC1 入力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータの出力を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC0 入力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータの出力を選択 上記以外は設定しないでください	リファレンス入力電圧選択ビット b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC0 入力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータ 0 の出力を選択 上記以外は設定しないでください
CMPC0.CMPIOC	VREFEN	内部基準電圧 ON/OFF 制御ビット	-

2.20 RAM

表 2.44 に RAM の概要比較を示します。

表 2.44 RAM の概要比較

項目	RX23T	RX13T
RAM 容量	12K バイト (RAM0 : 12K バイト)	12K バイト
RAM アドレス	RAM0 : 0000 0000h~0000 27FFh、 0000 4000h~0000 4A7Fh	RAM0 : 0000 0000h~0000 2FFFh
アクセス	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能
消費電力低減機能	RAM0 をモジュールストップ状態への設定が可能	RAM0 をモジュールストップ状態への設定が可能

2.21 フラッシュメモリ

表 2.45 にフラッシュメモリの概要比較を、表 2.46 にフラッシュメモリのレジスタ比較を示します。

表 2.45 フラッシュメモリの概要比較

項目	RX23T	RX13T(FLASH)
メモリ容量	- ユーザ領域：最大 128K バイト - エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納	- ユーザ領域：最大 128K バイト データ領域：4K バイト - エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納
アドレス	- 容量が 128K バイトの場合 —FFFE 0000h~FFFF FFFFh - 容量が 64K バイトの場合 —FFFF 0000h~FFFF FFFFh	- 容量が 128K バイトの場合 —FFFE 0000h~FFFF FFFFh - 容量が 64K バイトの場合 —FFFF 0000h~FFFF FFFFh
ソフトウェアコマンド	- 以下のソフトウェアコマンドを実装 —プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ - エクストラ領域のプログラム用に以下のコマンドを実装 —スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム	- 以下のソフトウェアコマンドを実装 —プログラム、ブランクチェック、ブロックイレーズ、ユニーク ID リード - エクストラ領域のプログラム用に以下のコマンドを実装 —スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム
イレーズ後の値	ROM : FFh	- ROM : FFh E2 データフラッシュ : FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み(FRDYI)が発生	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み(FRDYI)が発生
オンボードプログラミング	- ブートモード(SCI インタフェース) —シリアルコミュニケーションインタフェースのチャンネル 1 (SCI1)を調歩同期式モードで使用 —ユーザ領域を書き換え可能 - ブートモード(FINE インタフェース) —FINE を使用 —ユーザ領域を書き換え可能 - セルフプログラミング (シングルチップモード) —ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域の書き換えが可能	- ブートモード(SCI インタフェース) —シリアルコミュニケーションインタフェースのチャンネル 1 (SCI1)を調歩同期式モードで使用 —ユーザ領域とデータ領域を書き換え可能 - ブートモード(FINE インタフェース) —FINE を使用 —ユーザ領域とデータ領域を書き換え可能 - セルフプログラミング (シングルチップモード) —ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能
オフボードプログラミング	本 MCU に対応したフラッシュプログラムを使用して、ユーザ領域の書き換えが可能	本 MCU に対応したフラッシュプログラムを使用して、ユーザ領域と データ領域 の書き換えが可能
ID コードプロテクト	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバッグエミュレータ接続時、ID コードにより制御可能	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバッグエミュレータ接続時、ID コードにより制御可能
スタートアッププログラム保護機能	ブロック 0~7 の書き換えを安全に行うための機能	ブロック 0~ 15 の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能

項目	RX23T	RX13T(FLASH)
バックグラウンドオペレーション(BGO)機能	-	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能

表 2.46 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX23T	RX13T
DFLCTL	-	-	E2 データフラッシュ制御レジスタ
FENTRYR	FENTRYD	-	E2 データフラッシュ P/E モードエントリビット
FPMCR	FMS0	フラッシュ動作モード選択ビット 0 FMS2 FMS1 FMS0 0 0 0 : ROM リードモード 0 1 1 : ディスチャージモード 1 1 0 1 : ROM P/E モード 1 1 1 : ディスチャージモード 2 上記以外は設定しないでください	フラッシュ動作モード選択ビット 0 FMS2 FMS1 FMS0 0 0 0 : ROM/E2 データフラッシュリード モード 0 1 0 : E2 データフラッシュ P/E モード 0 1 1 : ディスチャージモード 1 1 0 1 : ROM P/E モード 1 1 1 : ディスチャージモード 2 上記以外は設定しないでください
FASR	EXS	エクストラ領域選択ビット 0 : ユーザ領域 1 : エクストラ領域	エクストラ領域選択ビット 0 : ユーザ領域、 データ領域 1 : エクストラ領域
FCR	CMD[3:0]	ソフトウェアコマンド設定ビット b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください	ソフトウェアコマンド設定ビット b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 0 1 : ユニーク ID リード 上記以外は設定しないでください
	DRC	-	データリード完了ビット
FSARH	-	フラッシュ処理開始アドレスレジスタ H FSARH は、16 ビットレジスタです。 このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25 、b20-b16 を設定します。	フラッシュ処理開始アドレスレジスタ H FSARH は、 8 ビットレジスタです。 このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b19-b16 を設定します。
FSARL	-	フラッシュ処理開始アドレスレジスタ L このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。 なお、ROM 領域を設定する場合、b2-b0 には“000b”を設定してください。	フラッシュ処理開始アドレスレジスタ L このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。 なお、対象が ROM の場合、 b1-b0 には“00b”を設定してください。

レジスタ	ビット	RX23T	RX13T
FEARH	-	フラッシュ処理終了アドレスレジスタ H FEARH は、16 ビットレジスタです。 このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25 、b20-b16 を設定します。	フラッシュ処理終了アドレスレジスタ H FEARH は、 8 ビットレジスタです。 このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b19-b16 を設定します。
FEARL	-	フラッシュ処理終了アドレスレジスタ L このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。 なお、ROM 領域を設定する場合、b2-b0 には “000b” を設定してください。	フラッシュ処理終了アドレスレジスタ L このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。 なお、対象が ROM の場合、 b1-b0 には “00b” を設定してください。
FWBn (RX23T) FWBH, FWBL (RX13T)	-	フラッシュライトバッファ n レジスタ (n = 0~3)	フラッシュライトバッファレジスタ H / L
FRBH	-	-	フラッシュリードバッファレジスタ H
FRBL	-	-	フラッシュリードバッファレジスタ L
FSTATR1	DRDY	-	データリードレディフラグ
FEAMH	-	フラッシュエラーアドレスモニタレジスタ H FEAMH は、16 ビットレジスタです。 エラーが発生したアドレスの b31-b25 、b20-b16(プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25 、b20-b16(ブロックイレーズコマンド、 全ブロックイレーズコマンド)が格納されます。	フラッシュエラーアドレスモニタレジスタ H FEAMH は、 8 ビットレジスタです。 エラーが発生したアドレスの b19-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b19-b16 (ブロックイレーズコマンド)が格納されます。
FSCMR	-	フラッシュスタートアップ設定モニタレジスタ リセット後の初期値が異なります	フラッシュスタートアップ設定モニタレジスタ
FAWSMR	-	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ ブランク品では b11-b0 のリセット後の値は、“1” です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0 レジスタの b11-b0 に設定した値と同じ値になります。	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ ブランク品では、 b9-b0 のリセット後の値は “1” です。アクセスウィンドウ情報プログラムコマンドを実行した後は、 FWBL レジスタの b9-b0 に設定した値と同じ値になります。
FAWEMR	-	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ ブランク品では b11-b0 のリセット後の値は、“1” です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1 レジスタの b11-b0 に設定した値と同じ値になります。	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ ブランク品では、 b9-b0 のリセット後の値は “1” です。アクセスウィンドウ情報プログラムコマンドを実行した後は、 FWBH レジスタの b9-b0 に設定した値と同じ値になります。
UIDRn	-	ユニーク ID レジスタ n (n = 0~3) UIDRn は、32 ビットレジスタです。	ユニーク ID レジスタ n (n = 0~ 31) UIDRn は、 8 ビットレジスタです。

2.22 パッケージ

表 2.47 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。

表 2.47 パッケージ

パッケージタイプ	RENESAS Code	
	RX23T	RX13T
64 ピン LFQFP	○	×
52 ピン LQFP	○	×
48 ピン HWQFN	×	○
32 ピン LQFP	×	○
32 ピン HWQFN	×	○

○ : パッケージあり(RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は**青字**に、両方のグループに存在するが相違点がある項目は**赤字**にしています。仕様に相違点がない項目は**黒字**にしています。

3.1 48 ピンパッケージ

表 3.1 に 48 ピンパッケージ端子機能の比較を示します。

表 3.1 48 ピンパッケージ端子機能の比較

48 ピン	RX23T(48 ピン LFQFP)	RX13T(48 ピン LFQFP)
1	VCL	VCL
2	MD/FINED	MD/FINED
3	RES#	RES#
4	XTAL/P37	XTAL/P37
5	VSS	VSS
6	EXTAL/P36	EXTAL/P36
7	VCC	VCC
8	PE2/POE10#/NMI	PE2/POE10#/NMI/ IRQ0
9	PD6/ TMO1 / SSLA0 /CTS1#/RTS1#/SS1#/ADST0/IRQ5	PD6/ MTIOC0D /CTS1#/RTS1#/SS1#/IRQ5/ADST0
10	PD5/ TMRI0 /RXD1/SMISO1/SSCL1/IRQ3	PD5/ MTIOC0C /RXD1/SMISO1/SSCL1/IRQ3
11	PD4/ TMCI0 /SCK1/IRQ2	PD4/ MTIOC0B /SCK1/IRQ2
12	PD3/ TMO0 /TXD1/SMOSI1/SSDA1	PD3/ MTIOC0A /TXD1/SMOSI1/SSDA1
13	PB6 /RXD5/SMISO5/SSCL5/IRQ5	PB7 / MTIOC3C / MTCLKD /RXD1/SMISO1/SSCL1/RXD5/SMISO5/SSCL5/IRQ5
14	PB5 /TXD5/SMOSI5/SSDA5	PB6 / MTIOC1B / MTIOC3A /TXD1/SMOSI1/SSDA1/TXD5/SMOSI5/SSDA5
15	VCC	PB5 /ADTRG0#
16	PB4/POE8#/IRQ3	PB4/POE8#/IRQ3
17	PB3/MTIOC0A/CACREF/SCK5/ RSPCKA	PB3/MTIOC0A/CACREF/SCK5/ SCK12
18	PB2/MTIOC0B/ADSM0/TXD5/SMOSI5/SSDA5/SDA0	PB2/MTIOC0B/ MTCLKC /ADSM0/TXD5/SMOSI5/SSDA5/SDA0
19	PB1/MTIOC0C/RXD5/SMISO5/SSCL5/SCL0/IRQ2	PB1/MTIOC0C/ MTIC5W / MTCLKA /RXD5/SMISO5/SSCL5/SCL0/IRQ2
20	PB0/MTIOC0D/ MOSIA	PB0/MTIOC0D/ MTIOC2A / MTCLKB /TXD12/TXDX12/SIOX12/SMOSI12/SSDA12
21	PA3/MTIOC2A/ SSLA0	PA3/ MTIOC1B /MTIOC2A/CTS12#/RTS12#/SS12#
22	PA2/MTIOC2B/CTS5#/RTS5#/SS5#/ SSLA1 /IRQ4	PA2/ MTIOC1A /MTIOC2B/CTS5#/RTS5#/SS5#/IRQ4
23	P94/ MTIOC0C / TMO1 / MISOA /IRQ1	P94/ MTIOC2B / MTIC5U / MTCLKA /RXD12/RXDX12/SMISO12/SSCL12/IRQ1
24	P93/ MTIOC0B / TMRI1 /SCK5/ RSPCKA /IRQ0	P93/ MTIOC1A / MTIC5V /SCK5/ SCK12 /IRQ0/ADTRG0#
25	P76/MTIOC4D	P76/MTIOC4D
26	P75/MTIOC4C	P75/MTIOC4C
27	P74/MTIOC3D	P74/MTIOC3D
28	P73/MTIOC4B	P73/MTIOC4B
29	P72/MTIOC4A	P72/MTIOC4A
30	P71/MTIOC3B	P71/MTIOC3B

48 ピン	RX23T(48 ピン LFQFP)	RX13T(48 ピン LFQFP)
31	P70/POE0#/IRQ5	P70/POE0#/IRQ5
32	VCC	VCC
33	VSS	VSS
34	P24/MTIC5U/TMC12/RSPCKA/COMP0/IRQ3	P24/MTIC5U/RXD5/SMISO5/SSCL5/IRQ3/ COMP0
35	P23/MTIC5V/CACREF/TMO2/MOSIA/ COMP1/IRQ4	P23/MTIC5V/CACREF/TXD5/SMOSI5/ SSDA5/IRQ4/COMP1
36	P22/MTIC5W/TMRI2/MISOA/COMP2/IRQ2	P22/MTIC5W/IRQ2/COMP2
37	P47/AN007/CMPC12/CMPC22	P47/AN007/CMPC13
38	P46/AN006/CMPC02	P46/AN006/CMPC03
39	P45/AN005/CMPC21	P45/AN005/CMPC22
40	P44/AN004/CMPC11	P44/AN004/CMPC12
41	P43/AN003/CMPC01	P43/AN003/CMPC02
42	P42/AN002/CMPC20	P42/AN002/CMPC20
43	P41/AN001/CMPC10	P41/AN001/CMPC10
44	P40/AN000/CMPC00	P40/AN000/CMPC00
45	AVCC0	AVCC0
46	AVSS0	AVSS0
47	P11/MTIOC3A/MTCLKC/TMO3/IRQ1/ AN016/CVREFC0	P11/MTIOC3A/MTCLKA/POE8#/IRQ1/ CVREFC0
48	P10/MTCLKD/TMRI3/IRQ0/AN017/ CVREFC1	P10/MTCLKB/IRQ0

4. 移行の際の留意点

RX13T グループと RX23T グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設計の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 AVCC 端子と AVSS 端子間のデカップリング容量挿入方法

RX13T グループでは、過大なサージなど異常電圧によるアナログ入力端子(AN000~AN007)の破壊を防ぐために、AVCC0 と AVSS0 間にコンデンサを、またアナログ入力端子(AN000~AN007)を基準に保護回路を接続してください。

詳細は「5.参考ドキュメント」の RX13T グループ ユーザーズマニュアルハードウェア編で、12 ビット A/D コンバータのノイズ対策上の注意を参照してください。

4.2 機能設計の留意点

RX23T グループで動作するソフトウェアは RX13T グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なる場合があるため、十分に評価してください。

以下に RX13T グループと RX23T グループで異なる機能の設定に関し、ソフトウェアでの留意点について説明します。

モジュールおよび機能の相違点については「2.仕様の概要比較」を参照してください。詳細は「5.参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.1 高速動作モード時の注意事項

RX13T グループと RX23T グループでは、高速動作モード時の FLASH リード時の最高動作周波数が異なります。詳細は表 4.1 高速モード時の FLASH リード時の最高動作周波数の比較を参照してください。

表 4.1 高速モード時の FLASH リード時の最高動作周波数の比較

項目		RX23T	RX13T
フラッシュメモリ リード時	ICLK	~40MHz	~32MHz
	FCLK	~32MHz	~32MHz
	PCLKD	~40MHz	~32MHz
	PCLKB	~40MHz	~32MHz
	PCLKA	~40MHz	-
フラッシュメモリ P/E 時	FCLK	1MHz~32MHz	1MHz~32MHz

4.2.2 例外ベクタテーブル

RX23T グループでは、例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できますが、RX13T グループのベクタテーブルの配置アドレスは固定です。

4.2.3 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.4 相補 PWM モードでのバッファレジスタの初期値

RX23T グループでは、マルチファンクションタイマパルスユニット 3 の相補 PWM モードでダブルバッファ機能使用時は、バッファレジスタ (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF) に PWM 出力の「デューティ値-1」を設定しますが、RX13T グループでは PWM 出力のデューティ値を設定してください。

4.2.5 カウンタ停止時の MTIOC 端子出力レベル

MTIOC 端子を出力状態で動作中に、TSTRA、TSTR の CSTn ビットに“0”を書くとカウンタが停止します。このとき、RX13T グループでは、相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。

4.2.6 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作

RX13T グループでは、プログラマブルゲインアンプ(PGA)と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN001 端子 PGA 出力
- AN002 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中でも、以下のアナログ端子は直接コンパレータに接続されていますので、比較が可能です。

- AN000 端子
- AN001 端子
- AN002 端子
- AN003 端子
- AN004 端子
- AN005 端子
- AN006 端子
- AN007 端子

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX23T グループ ユーザーズマニュアル ハードウェア編 Rev1.10(R01UH0520JJ0110)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX13T グループ ユーザーズマニュアル ハードウェア編 Rev1.10(R01UH0822JJ0110)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

TN-RX*-A0147B/J
TN-RX*-A151A/J
TN-RX*-A163A/J
TN-RX*-A173A/J
TN-RX*-A175A/J
TN-RX*-A193A/J
TN-RX*-A194A/J
TN-RX*-A200A/J
TN-RX*-A0227A/J
TN-RX*-A0224B/J
TN-RX*-A0230A/J
TN-RX*-A0246A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Sep.26.19	—	初版発行
1.10	Sep.15.20	3	1 表 1.1 RX23T/RX13T 搭載機能比較 改訂
		5	2.2 表 2.3 シングルチップモードのメモリマップ比較 削除、 図 2.1 シングルチップモードのメモリマップ比較 追加
		12	2.8 表 2.12 ベクタ比較、表 2.13 例外処理ルーチンからの復帰命令比較 追加
		13	2.9 表 2.14 割り込みコントローラのレジスタ比較 改訂
		18	2.12 表 2.20 I/O ポートの機能比較 追加
		20	2.13 表 2.22 マルチプル端子の割り当て端子比較 改訂
		39	2.18 表 2.40 12 ビット A/D コンバータのレジスタ比較 改訂
		40	2.18 表 2.41 ADSTRGR レジスタに設定する A/D 起動要因比較 追加
		50	4.2.1、4.2.3 追加
		51	4.2.5、4.2.6 追加
1.20	Aug.17.21	53	テクニカルアップデートの対応について 改訂
		47	2.22 表 2.47 パッケージ 改訂
		53	テクニカルアップデートの対応について 改訂

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0—1 2020.10)

本社所在地

〒135—0061 東京都江東区豊洲 3—2—24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/