

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7080 グループ

MTU2 フラグセット要因を利用した MTU2S カウンタクリア機能

要旨

本アプリケーションノートは、MTU2 (マルチファンクションタイマパルスユニット 2) の MTU2 フラグセット要因を利用した MTU2S (マルチファンクションタイマパルスユニット 2S) カウンタクリア機能について述べています。ユーザソフトウェア設計の際のご参考として役立ててください。

動作確認デバイス

SH7085

目次

1. 仕様	2
2. 適用条件	2
3. 使用機能の動作概要	3
4. 動作説明	6
5. ソフトウェア説明	7
6. フローチャート	14

1. 仕様

本応用例では、MTU2 をコンペアマッチ動作に設定し、MTU2 のコンペアマッチフラグセット要因を利用して、MTU2S のカウンタを同期クリアします。図 1 に、本タスク例の基本仕様を示します。

- MTU2 の ch0 は、タイマカウンタ_0 (TCNT_0) とタイマジェネラルレジスタ A_0 (TGRA_0) を用いてコンペアマッチ動作を行います。コンペアマッチ発生と同時に CPU へコンペアマッチ割り込みを発生します。
- MTU2 の ch0 のコンペアマッチの周期は、100ms 周期に設定します。
- MTU2S の ch4 は、MTU2 の ch0 のコンペアマッチフラグセット要因を用いて、タイマカウンタ_4S (TCNT_4S) を同期クリアします。
- MTU2S の ch4 のタイマカウンタの同期クリアは、タイマシンクロクリアレジスタ S (TSYCRS) の設定で行います。

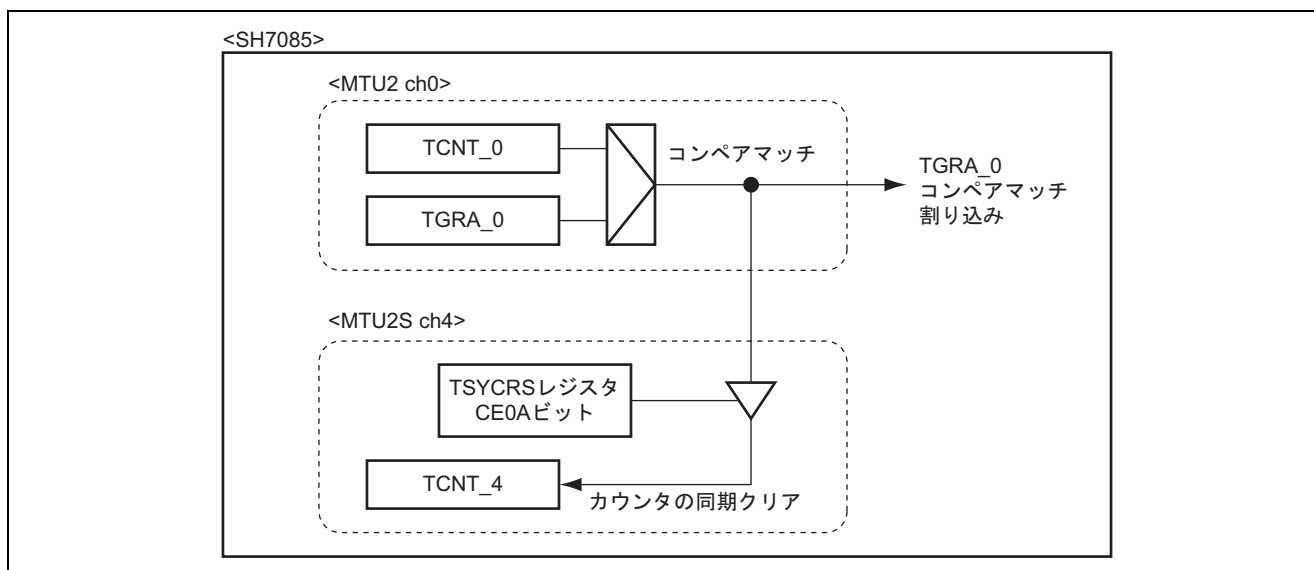


図 1 動作概要

2. 適用条件

- マイコン: SH7085 (R5F7085)
- 動作周波数:

内部クロック	80MHz
バスクロック	40MHz
周辺クロック	40MHz
MTU2 クロック	40MHz
MTU2S クロック	80MHz
- C コンパイラ: ルネサステクノロジ製 Ver.7.1.04

3. 使用機能の動作概要

本応用例では、MTU2 をコンペアマッチ動作に設定し、MTU2 のコンペアマッチフラグセット要因を利用して、MTU2S のカウンタを同期クリアします。図 2 に動作概要を示します。

MTU2 のタイマカウンタ_0 (TCNT_0) は、タイマジェネラルレジスタ A_0 (TGRA_0) とのコンペアマッチでカウンタクリアし、CPU に対して、コンペアマッチ割り込み (TGIA_0 割り込み) を発生します。MTU2S のタイマカウンタ_4S (TCNT_4S) は、MTU2 の ch0 のコンペアマッチで同期クリアします。同期クリアの設定はタイマシンクロクリアレジスタ S (TSYCRS) で行います。

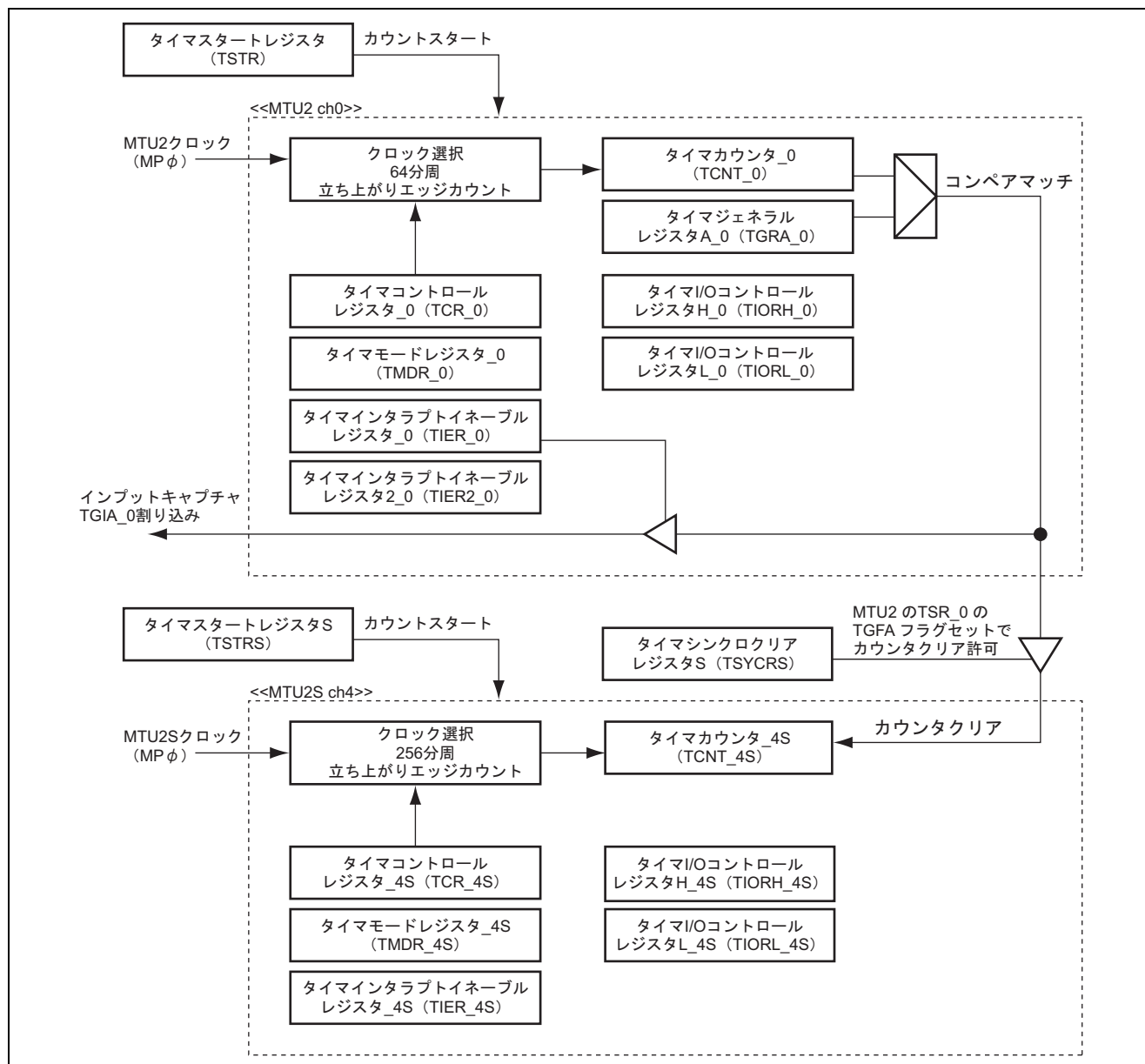


図 2 MTU2 ch0 と MTU2S ch4 の動作概要ブロック図

- タイマカウンタ_0 (TCNT_0) は、16 ビットのリード/ライト可能なカウンタです。TCNT_0 は、MTU2 クロック (MPφ) を基準にカウント動作します。
- タイマジェネラルレジスタ A_0 (TGRA_0) は、16 ビットの読み出し/書き込み可能なレジスタです。アウトプットコンペアレジスタとして動作します。TGRA_0 には、コンペアマッチの周期を設定します。
- タイマ I/O コントロールレジスタ H_0 (TIORH_0) は、読み出し/書き込み可能な 8 ビットのレジスタです。TGRA_0 と TGRB_0 の機能を設定します。TGRA_0 はアウトプットコンペアレジスタに設定します。
- タイマ I/O コントロールレジスタ L_0 (TIORL_0) は、読み出し/書き込み可能な 8 ビットのレジスタです。TGRC_0 と TGRD_0 の機能を設定します。
- タイマインタラプトイネーブルレジスタ_0 (TIER_0) は、読み出し/書き込み可能な 8 ビットのレジスタです。TIER_0 では、TGRA_0 から TGRD_0、TCFV オーバフローフラグに関する割り込み要求および、TGRA_0、TGRE_0 による A/D 変換器起動の許可/禁止を制御します。
- タイマインタラプトイネーブルレジスタ 2_0 (TIER2_0) は、読み出し/書き込み可能な 8 ビットのレジスタです。TIER2_0 では、TGRE_0 と TGRF_0 に関する割り込み要求および、TGRE_0 による A/D 変換器起動の許可/禁止を制御します。
- タイマモードレジスタ_0 (TMDR_0) は、8 ビットの読み出し/書き込み可能なレジスタです。動作モードの設定を行います。チャンネル 0 は、通常動作モードになります。
- タイマコントロールレジスタ_0 (TCR_0) は、TCNT_0 を制御する 8 ビットの読み出し/書き込み可能なレジスタです。TCNT_0 は、TGRA_0 とのコンペアマッチでクリアされます。
- タイマスタートレジスタ (TSTR) は、8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作/停止を選択します。

- タイマカウンタ_4S (TCNT_4S) は、16 ビットのリード/ライト可能なカウンタです。TCR_4S は、MTU2S クロック (MI ϕ) を基準にカウント動作します。TCNT_4S は、MTU ch0 の TGRA_0 のコンペアマッチ要因でクリアされます。
- タイマ I/O コントロールレジスタ H_4S (TIORH_4S) は、読み出し/書き込み可能な 8 ビットのレジスタです。TGRA_4S と TGRB_4S の機能を設定します。
- タイマ I/O コントロールレジスタ L_4S (TIORL_4S) は、読み出し/書き込み可能な 8 ビットのレジスタです。TGRC_4S と TGRD_4S の機能を設定します。
- タイマインタラプトイネーブルレジスタ_4S (TIER_4S) は、読み出し/書き込み可能な 8 ビットのレジスタです。TIER_4S では、TGRA_4S から TGRD_4S、TCFV オーバフローフラグに関する割り込み要求および、TGRA_0、TCNT_4 のアンダフローによる A/D 変換器起動の許可/禁止を制御します。
- タイマモードレジスタ_4S (TMDR_4S) は、8 ビットの読み出し/書き込み可能なレジスタで、動作モードの設定をします。
- タイマコントロールレジスタ_4S (TCR_4S) は、TCNT_4S を制御する 8 ビットの読み出し/書き込み可能なレジスタです。TCR_4S は、TCNT_4S のカウンタクリア要因、クロックのエッジ、カウンタクロックを設定します。
- タイマシンクロクリアレジスタ S (TSYCRS) は、8 ビットの読み出し/書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3S、TCNT_4S の同期クリア条件の設定をします。
- タイマスタートレジスタ S (TSTRS) は、8 ビットの読み出し/書き込み可能なレジスタです。チャンネル 3, 4 の TCNT の動作/停止を選択します。

4. 動作説明

図 3 に本応用例の動作説明を、表 1 にソフトウェアおよびハードウェア処理説明を示します。

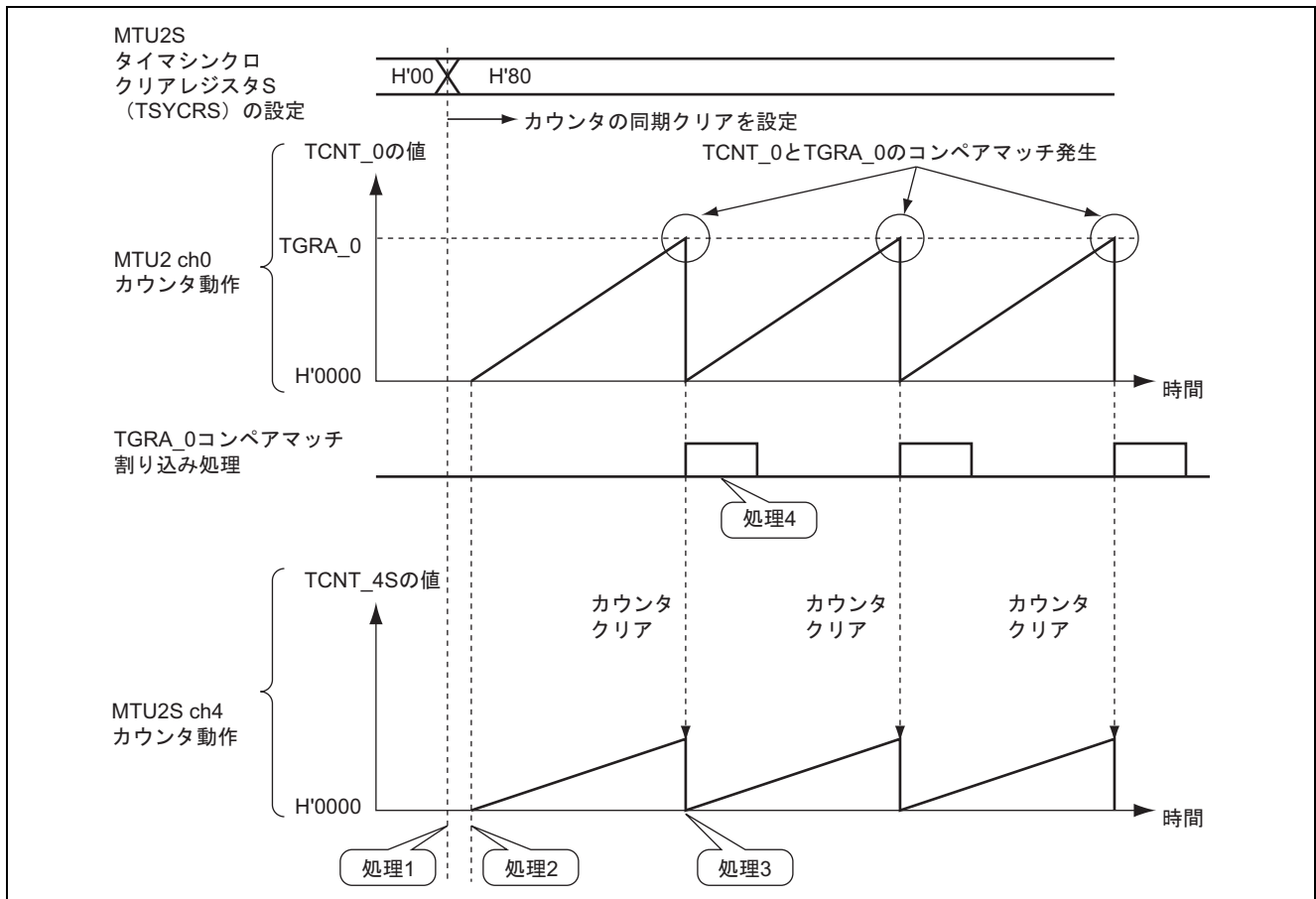


図 3 動作説明

表 1 ソフトウェアおよびハードウェア処理説明

	ソフトウェア処理	ハードウェア処理
処理 1	TCNT_4S のカウンタクリア要因となるフラグ セット要因を設定	—
処理 2	MTU2, MTU2S タイマカウンタスタート	—
処理 3	—	MTU2 ch0 の TGRA_0 コンペアマッチ発生 MTU2S ch4 のタイマカウンタ TCNT_4S の同期 クリア
処理 4	割り込みフラグ 0 クリア MTU2S のタイマカウンタ値を変数に格納 (0 クリアの確認)	TGRA_0 コンペアマッチ割り込み発生

5. ソフトウェア説明

5.1 モジュール説明

表 2 に本タスク例のモジュール説明を示します。

表 2 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main()	MTU2, MTU2S の初期設定およびタイマカウントスタート
TGRA_0 コンペアマッチ 割り込みルーチン	int_mtu2_tgia0()	割り込みフラグのクリアおよびカウンタクリアの確認

5.2 使用変数

表 3 に本タスク例で使用する変数の説明をします。

表 3 使用変数説明

変数, ラベル名	機能	使用モジュール
unsigned short Count_value	MTU2S ch4 のカウンタ値の格納	int_mtu2_tgia0()

5.3 レジスタ設定

本応用例で使用するレジスタ設定を示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

5.3.1 クロック発振器 (CPG) の設定

1. 周波数制御レジスタ (FRQCR)

周波数の分周率を指定します。

設定値: H'0241

ビット	ビット名	値	内容
15	—	0	リザーブビット
14~12	IFC[2-0]	000	内部クロック(I ϕ)周波数の分周率 000: $\times 1$ 倍, 入力クロック 10MHz のとき 80MHz
11~9	BFC[2-0]	001	バスクロック(B ϕ)周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき 40MHz
8~6	PFC[2-0]	001	周辺クロック(P ϕ)周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき 40MHz
5~3	MIFC[2-0]	000	MTU2S クロック(MI ϕ)周波数の分周率 000: $\times 1$ 倍, 入力クロック 10MHz のとき 80MHz
2~0	MPFC[2-0]	001	MTU2 クロック(MP ϕ)周波数の分周率 001: $\times 1/2$ 倍, 入力クロック 10MHz のとき 40MHz

5.3.2 低消費電力モードの設定

1. スタンバイコントロールレジスタ 4 (STBCR4)

低消費電力時の各モジュールの動作を制御します。

設定値: H'3f

ビット	ビット名	値	内容
7	MSTP23	0	0: MTU2S は動作
6	MSTP22	0	0: MTU2 は動作
5	MSTP21	1	1: CMT へのクロック供給を停止
4~3	—	11	リザーブビット
2	MSTP18	1	1: A/D_2 へのクロック供給を停止
1	MSTP17	1	1: A/D_1 へのクロック供給を停止
0	MSTP16	1	1: A/D_0 へのクロック供給を停止

5.3.3 マルチファンクションタイマパルスユニット 2 (MTU2) チャンネル 0 の設定

1. タイマコントロールレジスタ_0 (TCR_0)

チャンネル 0 の TCNT を制御します。

設定値: H'23

ビット	ビット名	値	設定
7~5	CCLR[2-0]	001	001: TGRA のコンペアマッチで TCNT クリア
4~3	CKEG[1-0]	00	00: クロックの立ち上がりエッジでカウント
2~0	TPSC[2-0]	011	011: 内部クロック: MPφ/64 でカウント

2. タイマモードレジスタ_0 (TMDR_0)

チャンネル 0 の動作モードの設定を行います。

設定値: H'00

ビット	ビット名	値	内容
7	—	0	リザーブビット
6	BFE	0	0: TGRE と TGRF は通常動作
5	BFB	0	0: TGRB と TGRD は通常動作
4	BFA	0	0: TGRA と TGRC は通常動作
3~0	MD[3-0]	0000	タイマの動作モードの設定 0000: タイマは通常動作モードの設定

3. タイマカウンタ_0 (TCNT_0)

16 ビットのカウンタです。

設定値: H'0000

4. タイマジェネラルレジスタ A_0 (TGRA_0)

コンペアマッチの周期を 100ms に設定

設定値: H'f423

5. タイマジェネラルレジスタ B_0 (TGRB_0)

ジェネラルレジスタ B

設定値: 未設定

6. タイマジェネラルレジスタ C_0 (TGRC_0)

ジェネラルレジスタ C

設定値: 未設定

7. タイマジェネラルレジスタ D_0 (TGRD_0)

ジェネラルレジスタ D

設定値: 未設定

8. タイマジェネラルレジスタ E_0 (TGRE_0)

ジェネラルレジスタ E

設定値: 未設定

9. タイマジェネラルレジスタ F_0 (TGRF_0)

ジェネラルレジスタ F

設定値: 未設定

10. タイマ I/O コントロールレジスタ H_0 (TIORH_0)

TGRA, TGRB を制御します。

設定値: H'00

ビット	ビット名	値	内容
7~4	IOB[3-0]	0000	0000: TGRB_0 はアウトプットコンペアレジスタ TIOC0B 端子は出力保持
3~0	IOA[3-0]	0000	1000: TGRA_0 はアウトプットコンペアレジスタ TIOC0A 端子は出力保持

11. タイマ I/O コントロールレジスタ L_0 (TIORL_0)

TGRC, TGRD を制御します。

設定値: H'00

ビット	ビット名	値	内容
7~4	IOD[3-0]	0000	0000: TGRD_0 はアウトプットコンペアレジスタ TIOC0D 端子は出力保持
3~0	IOC[3-0]	0000	0000: TGRC_0 はアウトプットコンペアレジスタ TIOC0C 端子は出力保持

12. タイマインタラプトイネーブルレジスタ_0 (TIER_0)

チャンネル 0 の割り込み要求の許可, 禁止を制御します。

設定値: H'01

ビット	ビット名	値	内容
7	TTGE	0	0: A/D 変換開始要求の発生を禁止
6	-	0	リザーブビット (チャンネル 0~3 ではリザーブビット)
5	-	0	リザーブビット (チャンネル 0, 3, 4 ではリザーブビット)
4	TCIEV	0	0: TCFV ビットによる割り込み要求 (TCIV) を禁止
3	TGIED	0	0: TGFD ビットによる割り込み要求 (TGID) を禁止
2	TGIEC	0	0: TGFC ビットによる割り込み要求 (TGIC) を禁止
1	TGIEB	0	0: TGFB ビットによる割り込み要求 (TGIB) を禁止
0	TGIEA	1	0: TGFA ビットによる割り込み要求 (TGIA) を許可

13. タイマインタラプトイネーブルレジスタ 2_0 (TIER2_0)

チャンネル 0 の割り込み要求の許可, 禁止を制御します。

設定値: H'00

ビット	ビット名	値	内容
7	TTGE2	0	0: TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を禁止
6~2	-	00000	リザーブビット
1	TGIEF	0	0: TGFE ビットによる割り込み要求 (TGIF) を禁止
0	TGIEE	0	0: TGEE ビットによる割り込み要求 (TGIE) を禁止

5.3.4 マルチファンクションタイマパルスユニット 2 (MTU2) 共通の設定

1. タイマスタートレジスタ (TSTR)

チャンネル 0～4 の TCNT の動作/停止を選択します。

設定値: H'01

ビット	ビット名	値	内容
7	CTS4	0	0: TCNT_4 のカウント動作は停止
6	CTS3	0	0: TCNT_3 のカウント動作は停止
5~3	—	000	リザーブビット
2	CTS2	0	1: TCNT_2 のカウント動作は停止
1	CTS1	0	1: TCNT_1 のカウント動作は停止
0	CTS0	1	0: TCNT_0 のカウント動作

5.3.5 マルチファンクションタイマパルスユニット 2S (MTU2S) チャンネル 4 の設定

1. タイマコントロールレジスタ_4S (TCR_4S)

チャンネル 4 の TCNT を制御します。

設定値: H'64

ビット	ビット名	値	内容
7~5	CCLR[2-0]	011	011: 同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
4~3	CKEG[1-0]	00	00: クロックの立ち上がりエッジでカウント
2~0	TPSC[2-0]	100	100: 内部クロック: M ϕ /256 でカウント

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

2. タイマモードレジスタ_4S (TMDR_4S)

チャンネル 4 の動作モードの設定を行います

設定値: H'00

ビット	ビット名	値	内容
7	—	0	リザーブビット
6	—	0	リザーブビット (チャンネル 1, 2, 3, 4 ではリザーブビット)
5	BFB	0	0: TGRB と TGRD は通常動作
4	BFA	0	0: TGRA と TGRC は通常動作
3~0	MD[3-0]	0000	0000: タイマは通常動作モードの設定

3. タイマカウンタ_4S (TCNT_4S)

16 ビットのカウンタです。

設定値: H'0000

4. タイマジェネラルレジスタ A_4S (TGRA_4S)

ジェネラルレジスタ A

設定値: 未設定

5. タイマジェネラルレジスタ B_4S (TGRB_4S)

ジェネラルレジスタ B

設定値: 未設定

6. タイマジェネラルレジスタ C_4S (TGRC_4S)

ジェネラルレジスタ C

設定値: 未設定

7. タイマジェネラルレジスタ D_4S (TGRD_4S)

ジェネラルレジスタ D

設定値: 未設定

8. タイマ I/O コントロールレジスタ H_4S (TIORH_4S)

TGRA, TGRB を制御します。

設定値: H'00

ビット	ビット名	値	内容
7~4	IOB[3-0]	0000	0000: TGRB_4S はアウトプットコンペアレジスタ TIOC4BS 端子は出力保持
3~0	IOA[3-0]	0000	1000: TGRA_4S はアウトプットコンペアレジスタ TIOC4AS 端子は出力保持

9. タイマ I/O コントロールレジスタ L_4S (TIORL_4S)

TGRC, TGRD を制御します。

設定値: H'00

ビット	ビット名	値	内容
7~4	IOD[3-0]	0000	0000: TGRD_4S はアウトプットコンペアレジスタ TIOC4DS 端子は出力保持
3~0	IOC[3-0]	0000	0000: TGRC_4S はアウトプットコンペアレジスタ TIOC4CS 端子は出力保持

10. タイマインタラプトイネーブルレジスタ_4S (TIER_4S)

チャンネル 4 の割り込み要求の許可, 禁止を制御します。

設定値: H'00

ビット	ビット名	値	内容
7	TTGE	0	0: A/D 変換開始要求の発生を禁止
6	TTGE2	0	0: TCNT_4 のアンダフロー (谷) による A/D 変換要求を禁止
5	-	0	リザーブビット (チャンネル 0, 3, 4 ではリザーブビット)
4	TCIEV	0	0: TCFV ビットによる割り込み要求 (TCIV) を禁止
3	TGIED	0	0: TGFD ビットによる割り込み要求 (TGID) を禁止
2	TGIEC	0	0: TGFC ビットによる割り込み要求 (TGIC) を禁止
1	TGIEB	0	0: TGFB ビットによる割り込み要求 (TGIB) を禁止
0	TGIEA	0	0: TGFA ビットによる割り込み要求 (TGIA) を禁止

5.3.6 マルチファンクションタイマパルスユニット 2S (MTU2S) 共通の設定

1. タイマスタートレジスタ S (TSTRS)

チャンネル 3, 4 の TCNT の動作/停止を選択します。

設定値: H'80

ビット	ビット名	値	内容
7	CTS4	1	0: TCNT_4 のカウント動作
6	CTS3	0	0: TCNT_3 のカウント動作は停止
5~3	—	000	リザーブビット
2~0	—	000	リザーブビット (MTU2S ではリザーブビット)

2. タイマシンクロクリアレジスタ (TSYCR)

MTU2 からの MTU2S の TCNT_3, TCNT_4 の同期クリア条件設定を行います

設定値: H'80

ビット	ビット名	値	内容
7	CE0A	1	1: TSR_0 の TGFA フラグセットでのクリア許可
6	CE0B	0	0: TSR_0 の TGFB フラグセットでのクリア禁止
5	CE0C	0	0: TSR_0 の TGFC フラグセットでのクリア禁止
4	CE0D	0	0: TSR_0 の TGFD フラグセットでのクリア禁止
3	CE1A	0	0: TSR_1 の TGFA フラグセットでのクリア禁止
2	CE1B	0	0: TSR_1 の TGFB フラグセットでのクリア禁止
1	CE2A	0	0: TSR_2 の TGFA フラグセットでのクリア禁止
0	CE2B	0	0: TSR_2 の TGFB フラグセットでのクリア禁止

5.3.7 割り込みコントローラ (INTC) の設定

1. インタラプトプライオリティレジスタ D (IPRD)

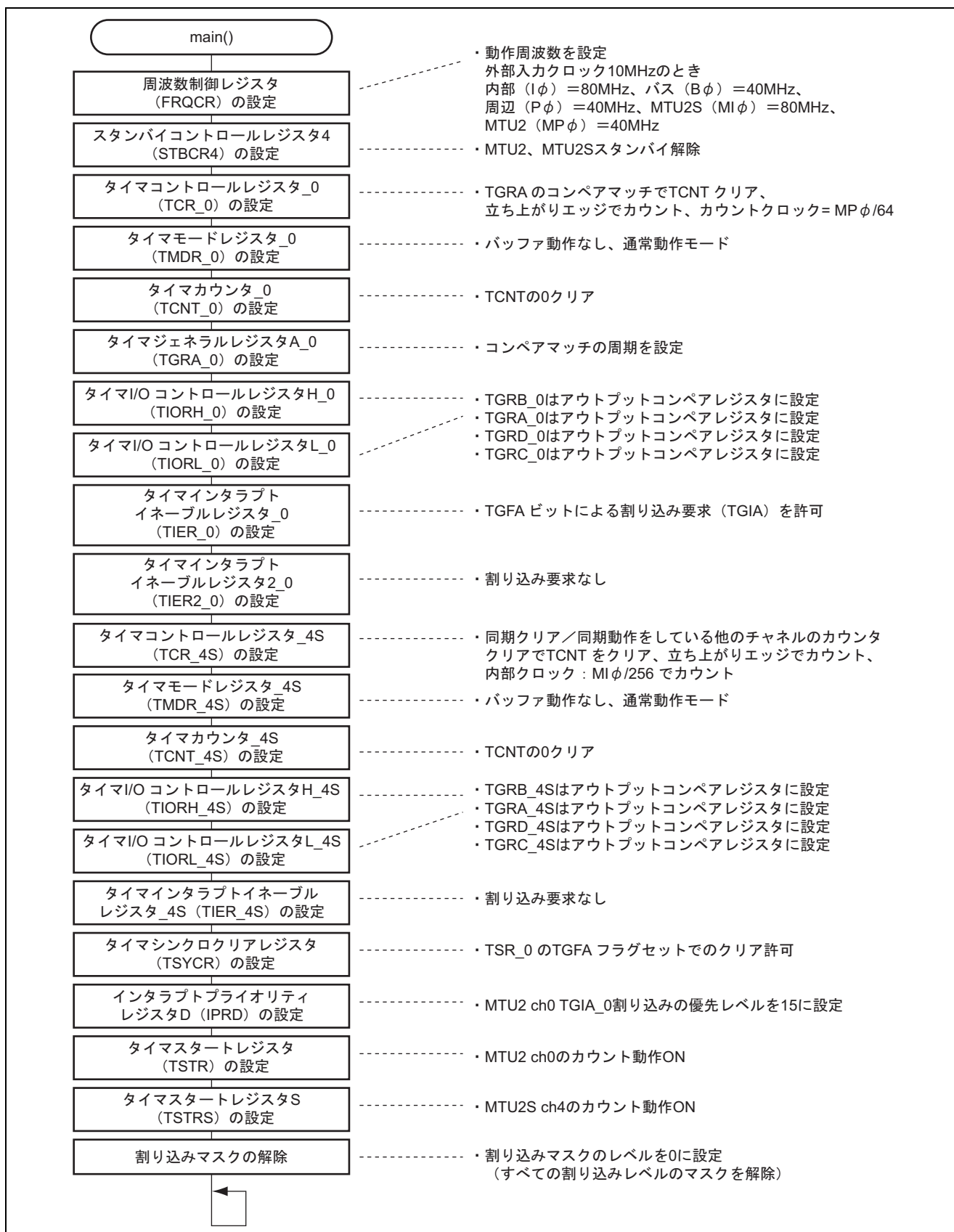
対応する割り込み要求の優先順位を設定します。

設定値: H'f000

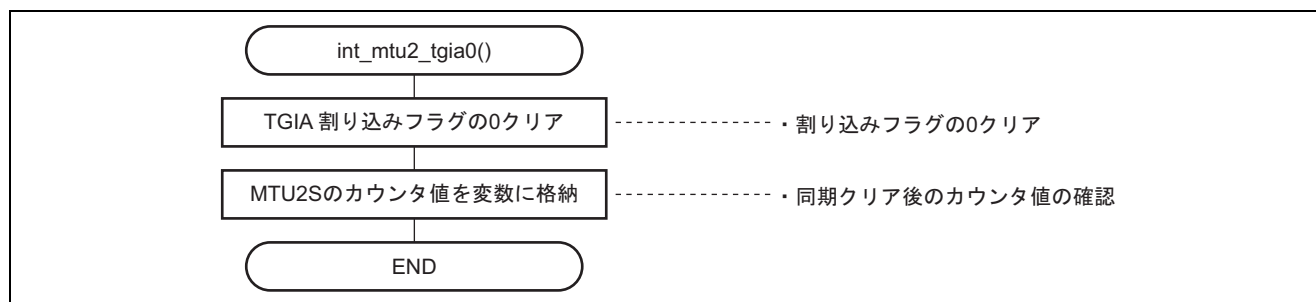
ビット	ビット名	値	内容
15~12	IPR[15-12]	1111	優先レベル 15, MTU2 ch0 の TGIA_0 割り込み
11~8	IPR[11- 8]	0000	優先レベル 0
7~4	IPR[7-4]	0000	優先レベル 0
3~0	IPR[3- 0]	0000	優先レベル 0

6. フローチャート

6.1 メインルーチン



6.2 TGRA_0 コンペアマッチ割り込みルーチン



改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.14	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。