M16C/80、M16C/64A グループ

M16C/80 と M16C/64A との相違点

R01AN3320JJ0101
Rev.1.01
2016.12.20

要旨

本アプリケーションノートでは、M16C/80 100 ピン版と M16C/64A 100 ピン版との機能の相違点を確認する際の参考資料です。

各機能の詳細については、ユーザーズマニュアル ハードウェア編または、ソフトウェアマニュアルを参照ください。

動作確認デバイス

- M16C/80 グループ 100 ピン版
- M16C/64A グループ 100 ピン版

目次

1. 概略比較

1.1 機能の概略比較

表 1.1 ～ 表 1.2に機能の相違点を示します。

表 1.1 機能の相違点(注 1)

項目		M16C/80	M16C/64A
基本命令数		106 命令	91 命令
最小命令実行時間		50ns(f(XIN) = 20MHz 時)	40ns(f(BCLK)=25MHz、VCC1=2.7～5.5V)
電源電圧		4.2V ～ 5.5V (20MHz 時) 2.7V ～ 5.5V (10MHz 時)	2.7V ～ 5.5V (25MHz)
ROM		フラッシュメモリ版、マスク ROM 版 ROM 外付け版	フラッシュメモリ版
消費電力		45mA(VCC = 5V, f(XIN) = 20Mhz 時、ウェイトなし)	25mA(f(BCLK) = 25MHz, VCC1 = 4.2～5.5V)
電圧検出	電圧検出回路	なし	パワーオンリセット 電圧監視回路 0（2 レベルより選択可） 電圧監視回路 1（3 レベルより選択可） 電圧監視回路 2（固定レベル）
クロック発生回路		XIN、XCIN	PLL、XIN、XCIN、オンチップオシレータ（125kHz）
外部バス	アドレス空間	16M バイト	1M バイト （メモリ空間拡張機能により 4M バイトに拡張可能）
	アドレスバス本数	24 本固定	12 本／16 本／20 本から選択可
パワーコントロール	スローリードモード	なし	あり
	低消費電流リードモード	なし	あり
リセット解除後の CPU クロック		メインクロックの 8 分周	125kHz オンチップオシレータクロックの 8 分周
入出力ポート		入出力 87 本、入力 1 本	入出力 88 本
割り込み		INT 割り込み : 6 NMI 割り込み : 1 キー入力割り込み : 1	INT 割り込み : 8 NMI 割り込み : 1 キー入力割り込み : 1
ウォッチドッグタイマ	リセットスタート機能	なし(停止のみ)	起動または停止を選択可能
	カウントソース	BCLK	CPU クロック、オンチップオシレータ（125kHz）
DMA	DMAC	4 チャネル 起動要因：31	4 チャネル 起動要因：43
タイマ	タイマ A、タイマ B カウントソース	f1, f8, f32, fc32 から選択	f1TIMAB, f2TIMAB, f8TIMAB, f32TIMAB, f64TIMAB, fOCO-S, fc32 から選択
	リアルタイムクロック	なし	秒、分、時、曜日カウント
	PWM 機能	なし	8 ビット×2
	リモコン信号受信機能	なし	2 回路

【注】 1. 詳細はハードウェアマニュアルを参照してください。

表 1.2 機能の相違点(注 1)

項目		M16C/80	M16C/64A
シリアル インタ フェース	UART	クロック同期／非同期兼用×5 チャネル （内、SIM インタフェース対応×3 チャネル、 IIC バスインタフェースモード×3 チャネル、 シリアルインタフェース特殊機能×2 チャネル）	クロック同期／非同期兼用×6 チャネル (内、SIM モード×1 チャネル、 I2C バスモード×6 チャネル 特殊モード 2(マスタ動作のみ)×6 チャネル) クロック同期専用×2 チャネル
	CEC 機能	なし	あり
	マルチマスタ I2C-bus インタフェース	なし	1 チャネル
A/D コンバータ	分解能	8 ビット/10 ビット選択	10 ビットのみ
	チャネル数	10 チャネル	26 チャネル
	サンプル ホールド	あり／なし選択可能	ありのみ
CRC 演算回路	生成多項式	CRC-CCITT(X16+X12+X5+1)	CRC-CCITT(X16+X12+X5+1)または CRC-16 (X16+X15+X2+1)から選択
	SFR アクセス 監視機能	なし	あり
XY 変換		あり	なし
DRAM コントローラ		あり	なし
フラッシュ メモリ	オプション機能 選択	なし	あり ・リセット後、ウォッチドッグタイマ自動起動選択 ・リセット後、カウントソース保護機能モード選択 ・ROM コードプロテクト選択
	ユーザ ROM ブロック分割 (256KB 時)	64K バイト×3 32K バイト×1 8K バイト×2 16K バイト×1	64K バイト×4 16K バイト×1（プログラム ROM2）
	データ フラッシュ	なし	あり
	メモリマップ	ユーザ ROM ・プログラム ROM 0FC0000H ～0FFFFFFH	ユーザ ROM ・プログラム ROM1　080000H ～ 0FFFFFH ・プログラム ROM2　010000H ～ 013FFFH データフラッシュ ・ブロック A　00E000H ～ 00EFFFH ・ブロック B　00F000H ～ 00FFFFH
	プログラム方式	ページ(256 バイト)単位	2 ワード単位

【注】 1. 詳細はハードウェアマニュアルを参照してください。

1.2　端子機能比較

表 1.3～表 1.5に端子機能の相違点を示します。

表 1.3 端子機能の相違点(1/3)

M16C/80	M16C/64A	M16C/80 からの変更点
P9_4/DA1/TB4IN/CTS4/RTS4/SS4	P9_4/DA1/TB4IN/PWM1	【追加】PWM1 【削除】CTS4/RTS4/SS4
P9_3/DA0/TB3IN/CTS3/RTS3/SS3	P9_3/DA0/TB3IN/PWM0	【追加】PMW0 【削除】CTS3/RTC3/SS3
P9_2/TB2IN/TXD3/SDA3/SRXD3	P9_2/TB2IN/PMC0/SOUT3	【追加】PMC0/SOUT3(注 2) 【削除】TXD3(注 2)/SDA3/ SRXD3
P9_1/TB1IN/RXD3/SCL3/STXD3	P9_1/TB1IN/PMC1/SIN3	【追加】PMC1/SIN3(注 2) 【削除】RXD3(注 2)/ SCL3/ STXD3
P9_0/TB0IN/CLK3	P9_0/TB0IN/CLK3	
BYTE	BYTE	
CNVSS	CNVSS	
P8_7/XCIN	P8_7/XCIN	
P8_6/XCOUT	P8_6/XCOUT	
RESET	RESET	
XOUT	XOUT	
VSS	VSS	
XIN	XIN	
VCC	VCC1	
P8_5/NMI	P8_5/NMI/SD/CEC(注 1)	【追加】SD/CEC
P8_4/INT2	P8_4/INT2/ZP	【追加】ZP
P8_3/INT1	P8_3/INT1	
P8_2/INT0	P8_2/INT0	
P8_1/TA4IN/$\overline{U}$	P8_1/TA4IN/$\overline{U}$/CTS5/RTS5	【追加】CTS5/RTS5
P8_0/TA4OUT/U	P8_0/TA4OUT/U/RXD5/SCL5	【追加】RXD5/SCL5
P7_7/TA3IN	P7_7/TA3IN/CLK5	【追加】CLK5
P7_6/TA3OUT	P7_6/TA3OUT/TXD5/SDA5	【追加】TXD5/SDA5
P7_5/TA2IN/$\overline{W}$	P7_5/TA2IN/$\overline{W}$	
P7_4/TA2OUT/W	P7_4/TA2OUT/W	
P7_3/CTS2/RTS2/TA1IN/$\overline{V}$	P7_3/CTS2/RTS2/TA1IN/$\overline{V}$	
P7_2/CLK2/TA1OUT/V	P7_2/CLK2/TA1OUT/V	
P7_1/RxD2/SCL2/TA0IN/TB5IN (注 1)	P7_1/RXD2/SCL2/SCLMM/TA0IN/ TB5IN(注 1)	【追加】SCLMM
P7_0/TXD2/SDA2/TA0OUT(注 1)	P7_0/TXD2/SDA2/SDAMM/ TA0OUT(注 1)	【追加】SDAMM

【注】 1. N チャネルオープンドレイン出力です。
2. クロック同期シリアル通信で使用する場合、SIN3 は RXD3 で、SOUT3 は TXD3 で同等の端子として使用できます。

表 1.4 端子機能の相違点(2/3)

M16C/80	M16C/64A	M16C/80 からの変更点
P6_7/TXD1	P6_7/TXD1/SDA1	【追加】SDA1
P6_6/RxD1	P6_6/RXD1/SCL1	【追加】SCL1
P6_5/CLK1	P6_5/CLK1	
P6_4/CTS1/RTS1/CTS0/CLKS1	P6_4/CTS1/RTS1/CTS0/CLKS1	
P6_3/TXD0	P6_3/TXD0/SDA0	【追加】SDA0
P6_2/RxD0	P6_2/RXD0/SCL0	【追加】SCL0
P6_1/CLK0	P6_1/CLK0	
P6_0/CTS0/RTS0	P6_0/RTCOUT/CTS0/RTS0	【追加】RTCOUT
P5_7/RDY	P5_7/RDY/CLKOUT	【追加】CLKOUT
P5_6/ALE/RAS	P5_6/ALE	【削除】RAS
P5_5/HOLD	P5_5/HOLD	
P5_4/HLDA/ALE	P5_4/HLDA	【削除】ALE
P5_3/BCLK/ALE/CLKOUT	P5_3/BCLK	【削除】ALE/CLKOUT
P5_2/RD/DW	P5_2/RD	【削除】DW
P5_1/WRH/BHE/CASH	P5_1/WRH/BHE	【削除】CASH
P5_0/WRL/WR/CASL	P5_0/WRL/WR	【削除】CASL
P4_7/CS0/A23	P4_7/PWM1/TXD7/SDA7/CS3	【追加】PWM1/TXD7/ SDA7/CS3 【削除】CS0/A23
P4_6/CS1/A22	P4_6/PWM0/RXD7/SCL7/CS2	【追加】PWM0/RXD7/ SCL7/CS2 【削除】CS1/A22
P4_5/CS2/A21	P4_5/CLK7/CS1	【追加】CLK7/CS1 【削除】CS2/A21
P4_4/CS3/A20(MA12)	P4_4/CTS7/RTS7/CS0	【追加】CTS7/RTS7/CS0 【削除】CS3/A20(MA12)
P4_3/A19(MA11)	P4_3/A19	【削除】(MA11)
P4_2/A18(MA10)	P4_2/A18	【削除】(MA10)
P4_1/A17(MA9)	P4_1/A17	【削除】(MA9)
P4_0/A16(MA8)	P4_0/A16	【削除】(MA8)
P3_7/A15(MA7)(/D15)	P3_7/A15	【削除】(MA7)(/D15)
P3_6/A14(MA6)(/D14)	P3_6/A14	【削除】(MA6)(/D14)
P3_5/A13(MA5)(/D13)	P3_5/A13	【削除】(MA5)(/D13)
P3_4/A12(MA4)(/D12)	P3_4/A12	【削除】(MA4)(/D12)
P3_3/A11(MA3)(/D11)	P3_3/A11	【削除】(MA3)(/D11)
P3_2/A10(MA2)(/D10)	P3_2/A10	【削除】(MA2)(/D10)
P3_1/A9(MA1)(/D9)	P3_1/A9	【削除】(MA1)(/D9)
VCC	VCC2	
P3_0/A8(MA0)(/D8)	P3_0/A8 [A8/D7]	【削除】(MA0) 【追加】[A8/D7]
VSS	VSS	

表 1.5 端子機能の相違点(3/3)

M16C/80	M16C/64A	M16C/80 からの変更点
P2_7/A7(/D7)	P2_7/AN2_7/A7, [A7/D7], [A7/D6]	【追加】AN2_7/[A7/D6]
P2_6/A6(/D6)	P2_6/AN2_6/A6, [A6/D6], [A6/D5]	【追加】AN2_6/[A6/D5]
P2_5/A5(/D5)	P2_5/INT7/AN2_5/A5, [A5/D5], [A5/D4]	【追加】AN2_5/[A5/D4]
P2_4/A4(/D4)	P2_4/INT6/AN2_4/A4, [A4/D4], [A4/D3]	【追加】AN2_4/[A4/D3]
P2_3/A3(/D3)	P2_3/AN2_3/A3, [A3/D3], [A3/D2]	【追加】AN2_3/[A3/D2]
P2_2/A2(/D2)	P2_2/AN2_2/A2, [A2/D2], [A2/D1]	【追加】AN2_2/[A2/D1]
P2_1/A1(/D1)	P2_1/AN2_1/A1, [A1/D1], [A1/D0]	【追加】AN2_1/[A1/D0]
P2_0/A0(/D0)	P2_0/AN2_0/A0, [A0/D0], A0	【追加】AN2_0
P1_7/D15/INT5	P1_7/INT5/IDU/D15	【追加】IDU
P1_6/D14/INT4	P1_6/INT4/IDW/D14	【追加】IDW
P1_5/D13/INT3	P1_5/INT3/IDV/D13	【追加】IDV
P1_4/D12	P1_4/D12	
P1_3/D11	P1_3/TXD6/SDA6/D11	【追加】TXD6/SDA6
P1_2/D10	P1_2/RXD6/SCL6/D10	【追加】RXD6/SCL6
P1_1/D9	P1_1/CLK6/D9	【追加】CLK6
P1_0/D8	P1_0/CTS6/RTS6/D8	【追加】CTS6/RTS6
P0_7/D7	P0_7/AN0_7/D7	【追加】AN0_7
P0_6/D6	P0_6/AN0_6/D6	【追加】AN0_6
P0_5/D5	P0_5/AN0_5/D5	【追加】AN0_5
P0_4/D4	P0_4/AN0_4/D4	【追加】AN0_4
P0_3/D3	P0_3/AN0_3/D3	【追加】AN0_3
P0_2/D2	P0_2/AN0_2/D2	【追加】AN0_2
P0_1/D1	P0_1/AN0_1/D1	【追加】AN0_1
P0_0/D0	P0_0/AN0_0/D0	【追加】AN0_0
P10_7/AN7/KI3	P10_7/AN7/KI3	
P10_6/AN6/KI2	P10_6/AN6/KI2	
P10_5/AN5/KI1	P10_5/AN5/KI1	
P10_4/AN4/KI0	P10_4/AN4/KI0	
P10_3/AN3	P10_3/AN3	
P10_2/AN2	P10_2/AN2	
P10_1/AN1	P10_1/AN1	
AVSS	AVSS	
P10_0/AN0	P10_0/AN0	
VREF	VREF	
AVCC	AVCC	
P9_7/ADTRG/RXD4/SCL4/STxD4	P9_7/ADTRG/SIN4	【追加】SIN4(注 1) 【削除】RXD4(注 1)/SCL4/STxD4
P9_6/ANEX1/TXD4/SDA4/SRxD4	P9_6/ANEX1/SOUT4	【追加】SOUT4(注 1) 【削除】TXD4(注 1)/SDA4/SRxD4
P9_5/ANEX0/CLK4	P9_5/ANEX0/CLK4	

【注】 1. クロック同期シリアル通信で使用する場合、SIN4 は RXD4 で、SOUT4 は TXD4 で同等の端子として使用できます。

2. 詳細比較

2.1 CPU 機能比較

表 2.1に内部レジスタの相違点、表 2.2に内部レジスタの相違点を示します。

表 2.1 命令の相違点(注 1)

項目	M16C/80	M16C/64A
追加命令	—	LDE, LDINTB, STE
削除命令	—	ADDX, BITINDEX, BRK2, CLIP, CMPX, EXTZ FREIT, INDEXB, INDEXBD, INDEXBS, INDEXL, INDEXLD, INDEXLS, INDEXW, INDEXWD, INDEXWS MAX, MIN, MOVX, MULEX, SCcnd, SCMPU SIN, SMOVU, SOUT, SUBX
ビット操作	レジスタのビット操作は 0～7 ビットまで可能 BSET bit, R0L　(bit 0～7) BSET bit, R0H　(bit 0～7)	レジスタのビット操作は 0～15 ビットまで可能 BSET bit, R0　(bit 0～15)

【注】 1. 共通の命令であってもバイト数／実行サイクル数が異なる場合があります。ソフトウェアループ等で待ち時間を挿入している場合など、実際の実行時間を測定して調整してください。

表 2.2 内部レジスタの相違点

<table>
<tr><th colspan="2">項目</th><th>M16C/80</th><th>M16C/64A</th></tr>
<tr><td>アドレスレジスタ</td><td>A0,A1</td><td rowspan="5">24 ビット</td><td rowspan="5">16 ビット</td></tr>
<tr><td>スタティックベースレジスタ</td><td>SB</td></tr>
<tr><td>フレームベースレジスタ</td><td>FB</td></tr>
<tr><td>ユーザスタックポインタ</td><td>USP</td></tr>
<tr><td>割り込みスタックポインタ</td><td>ISP</td></tr>
<tr><td>割り込みベクタテーブル</td><td>INTB</td><td>24 ビット</td><td>20 ビット
(b19-b16 : INTBH)
(b15-b0 : INTBL)</td></tr>
<tr><td>プログラムカウンタ</td><td>PC</td><td>24 ビット</td><td>20 ビット</td></tr>
<tr><td rowspan="3">高速割り込み関連レジスタ</td><td>SVF</td><td>16 ビット</td><td rowspan="3">—
（高速割り込みなし）</td></tr>
<tr><td>SVP</td><td>24 ビット</td></tr>
<tr><td>VCT</td><td>24 ビット</td></tr>
<tr><td rowspan="6">DMAC 関連レジスタ</td><td>DMD0,DMD1</td><td>8 ビット</td><td rowspan="6">—
（DMAC 関連レジスタは
SFR 領域に配置）</td></tr>
<tr><td>DCT0,DCT1,
DCT2(R0), DCT3(R1)</td><td>16 ビット</td></tr>
<tr><td>DRC0, DRC1,
DRC2(R2), DRC3(R3)</td><td>16 ビット</td></tr>
<tr><td>DMA0, DMA1,
DMA2(A0), DMA3(A1)</td><td>24 ビット</td></tr>
<tr><td>DRA0, DRA1
DRA2(SVP), DRA3(VCT)</td><td>24 ビット</td></tr>
<tr><td>DSA0, DSA1
DSA2(SB), DSA3(FB)</td><td>24 ビット</td></tr>
<tr><td colspan="2">レジスタバンク 1</td><td>R0,R1,R2,R3
A0,A1
FB
SB</td><td>R0,R1,R2,R3
A0,A1
FB</td></tr>
</table>

2.2 リセットの相違点

表 2.3にリセットの相違点を、表 2.4にRESET 端子のレベルが“L”の期間の端子の状態の相違点（マイクロプロセッサモード時）を、表 2.5にリセット関連 SFR の相違点を示します。

表 2.3 リセットの相違点

項目	M16C/80	M16C/64A
リセットの種類	ハードウェアリセット ウォッチドッグタイマリセット ソフトウェアリセット	ハードウェアリセット 電源監視 0 リセット 電源監視 1 リセット 電源監視 2 リセット パワーオンリセット 発振停止検出リセット ウォッチドッグタイマリセット ソフトウェアリセット
コールドスタート、ウォームスタート判定方法	−	RSTFR レジスタの CWR ビットにて判定

表 2.4 RESET 端子のレベルが“L”の期間の端子の状態の相違点（マイクロプロセッサモード時）

端子名	M16C/80	M16C/64A
P4_4	アドレス出力（不定）	CS0 出力（“H”を出力）
P4_7 ～ P4_5		入力ポート（プルアップあり）
P5_6	RAS 出力	ALE 出力（“L”を出力）

表 2.5 リセット関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
RSTFR	−	0018h	−	−	M16C/64A のみ

2.3 プロセッサモードの相違点

表 2.6にプロセッサモード関連 SFR の相違点を示します。

表 2.6 プロセッサモード関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
PM0	0004h	0004h	6	予約ビット	ポート P4_0～P4_3 機能選択
			7	BCLK 出力機能選択	BCLK 出力禁止
PM1	0005h	0005h	0	外部領域モード	CS2 領域切り替え
			1		ポート P3_7～P3_4 機能選択
			2	内部メモリウェイト	ウォッチドッグタイマ機能選択
			3	予約ビット	内部領域拡張
			4	ALE 端子選択	メモリ空間拡張
			5		
			6	予約ビット(“1” にしてください)	予約ビット(“0” にしてください)
			7	(注 1)	ウェイトビット
PRG2C	−	0010h	−	−	M16C/64A のみ

【注】 1. フラッシュメモリ版の場合
マスク ROM 版、ROM 外付け版では、何も配置されていない

2.4 バスの相違点

表 2.7にバスの相違点を、表 2.8にバス設定の相違点を、表 2.9にバス関連端子の相違点を、表 2.10にバス関連 SFR の相違点を示します。

表 2.7 バスの相違点

項目	M16C/80	M16C/64A
アドレス空間	16M バイト	1M バイト／4M バイト（メモリ空間拡張機能）
アドレスバス幅	24 ビット固定	12 ビット／16 ビット／20 ビット
HOLD 入力	可	不可 (HOLD 端子は抵抗を介して VCC2 に接続してください)
SFR 領域をアクセスしたときの外部バスの状態	アドレスバス：直前にアクセスした外部領域のアドレスを保持 データバス(リード時)：ハイインピーダンス データバス(ライト時)：ハイインピーダンス RD, WD, WRL, WRH：“H”を出力 BHE：直前にアクセスした外部領域の状態を保持 CS0～CS3：“H”を出力 ALE：ALE 出力	アドレスバス：アドレスを出力 データバス(リード時)：ハイインピーダンス データバス(ライト時)：データを出力 RD, WD, WRL, WRH：RD, WD, WRL, WRH を出力 BHE：BHE を出力 CS0～CS3：“H”を出力 ALE：“L”を出力
内部 ROM,RAM をアクセスしたときの外部バスの状態	ALE 端子は“L”を出力	ALE 端子は ALE 出力

表 2.8 バス設定の相違点

項目	M16C/80	M16C/64A
アドレスバス幅	ー(24 ビット固定)	PM0 レジスタの PM06 ビット PM1 レジスタの PM11 ビット
データバス幅	外部領域ごとにバス幅を設定 DS レジスタの DS0～DS3 ビット “0”: バス幅 8 ビット “1”: バス幅 16 ビット リセット後のバス幅設定 外部領域 3 のみ BYTE 端子で設定 BYTE 端子 “H”: バス幅 8 ビット “L”: バス幅 16 ビット	全領域のバス幅を設定 BYTE 端子 “H”: バス幅 8 ビット “L”: バス幅 16 ビット
チップセレクト信号	PM1 レジスタの PM10、PM11 ビット	CSR レジスタの CSi ビット(i = 0～3)
内部メモリウェイト数	PM1 レジスタの PM12 ビット	PM1 レジスタの PM17 ビット （外部領域にも影響を与えます）
外部領域ウェイト数(注 1)	WCR レジスタの WCR0～WCR7 ビット	CSR レジスタの CSiW ビット CSE レジスタの CSEi0、CSEi1 ビット (i = 0～3)

【注】 1. 外部ウェイト数の設定範囲は 0～3 ウェイトで相違なし

表 2.9 バス関連端子の相違点

項目	M16C/80	M16C/64A
ALE	P5_6 / RAS (注 1)	P5_6
	P5_4 / HLDA (注 1)	
	P5_3 / BCLK (注 1)	
CS0	P4_7 / A23	P4_4
CS1	P4_6 / A22	P4_5
CS2	P4_5 / A21	P4_6
CS3	P4_4 / A20	P4_7
マルチプレクスバス	P3_7 / A15 / (D15)	P3_7 / A15
	P3_6 / A14 / (D14)	P3_6 / A14
	P3_5 / A13 / (D13)	P3_5 / A13
	P3_4 / A12 / (D12)	P3_4 / A12
	P3_3 / A11 / (D11)	P3_3 / A11
	P3_2 / A10 / (D10)	P3_2 / A10
	P3_1 / A9 / (D9)	P3_1 / A9
	P3_0 / A8 / (D8)	P3_0 / A8 / (A8 / D7)
	P2_7 / A7 / (D7)	P2_7 / A7 / (A7 / D7) / (A7 / D6)
	P2_6 / A6 / (D6)	P2_6 / A6 / (A6 / D6) / (A6 / D5)
	P2_5 / A5 / (D5)	P2_5 / A5 / (A5 / D5) / (A5 / D4)
	P2_4 / A4 / (D4)	P2_4 / A4 / (A4 / D4) / (A4 / D3)
	P2_3 / A3 / (D3)	P2_3 / A3 / (A3 / D3) / (A3 / D2)
	P2_2 / A2 / (D2)	P2_2 / A2 / (A2 / D2) / (A2 / D1)
	P2_1 / A1 / (D1)	P2_1 / A1 / (A1 / D1) / (A1 / D0)
	P2_0 / A0 / (D0)	P2_0 / A0 / (A0 / D0) / (A0)

【注】 1. ALE 端子は PM1 レジスタの PM14、PM15 ビットで選択

表 2.10 バス関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
DS	000Bh	—	—	M16C/80 のみ	—
WCR	0008h	—	—	M16C/80 のみ	—
CSR	—	0008h	—	—	M16C/64 のみ
CSE	—	001Bh	—	—	M16C/64 のみ
DBR	—	000Bh	—	—	M16C/64 のみ

2.4.1　バスタイミングの相違点

図 2.1にリード時のバスタイミング例（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）を、図 2.2にRDY 信号のバスタイミングを、表 2.11にリード時のタイミング必要条件およびスイッチング特性（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）を、図 2.3にライト時のバスタイミング例（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）を、表 2.12にライト時のスイッチング特性（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）を示します。

【注】 M16C/64A では BCLK が 12.5MHz より大きい場合、2 ウェイト以上必要です。

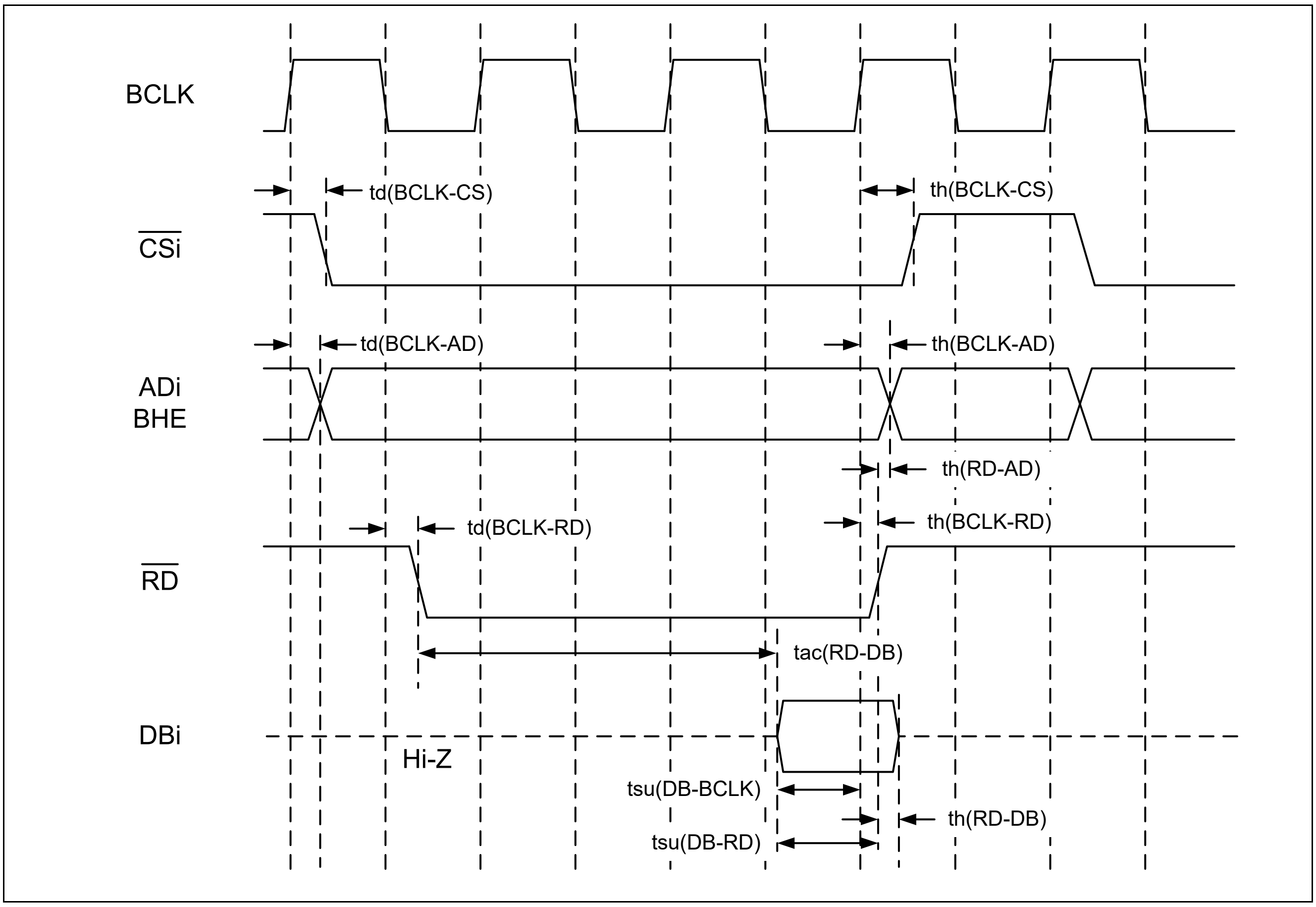


図 2.1　リード時のバスタイミング例（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）

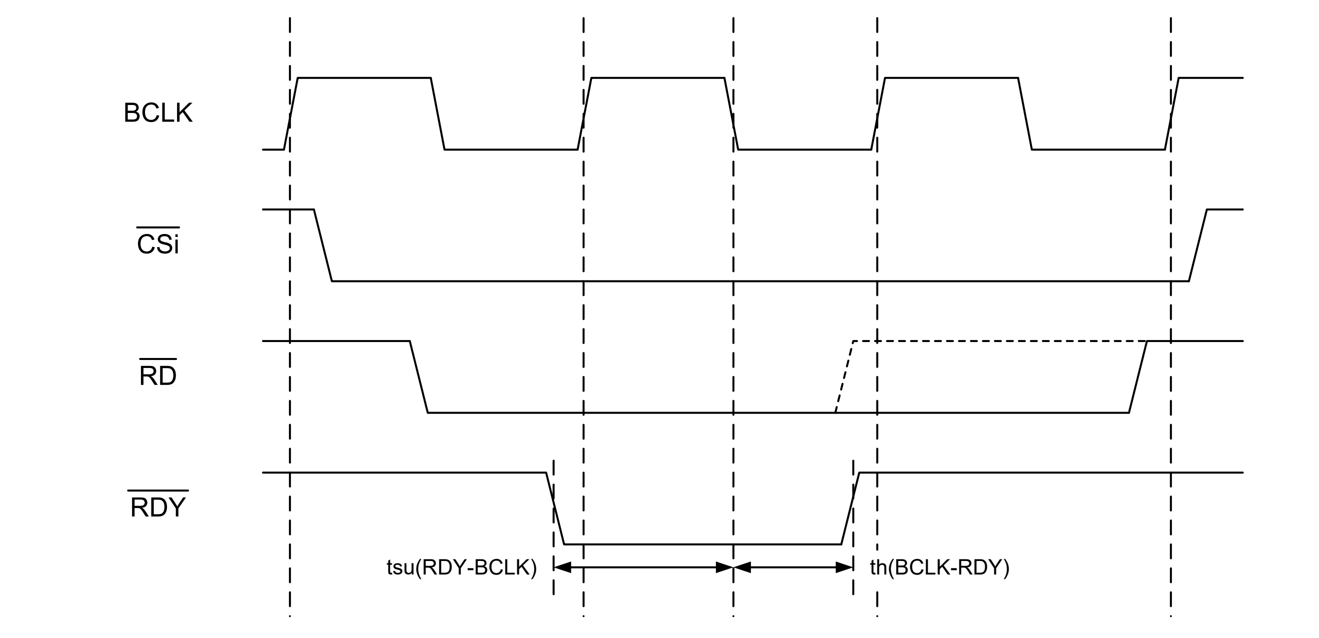


図 2.2　RDY 信号のバスタイミング

表 2.11 リード時のタイミング必要条件およびスイッチング特性
（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）

記号	項目	M16C/80	M16C/64A
td(BCLK-CS)	チップセレクト出力遅延時間	18ns.max	25ns.max
th(BCLK-CS)	チップセレクト出力保持時間(BCLK 基準)	-3ns.min	0ns.min
td(BCLK-AD)	アドレス出力遅延時間	18ns.max	25ns.max
th(BCLK-AD)	アドレス出力保持時間(BCLK 基準)	-3ns.min	0ns.min
th(RD-AD)	アドレス出力保持時間(RD 基準)	0ns.min	0ns.min
td(BCLK-RD)	RD 信号出力遅延時間	10ns.max	25ns.max
th(BCLK-RD)	RD 信号出力保持時間	-5ns.min	0ns.min
tac(RD-DB)	データ入力アクセス時間	121.25ns.max	111.25ns.max
tsu(DB-RD)	データ入力セットアップ時間	—	40ns.min
tsu(DB-BCLK)		26ns.min	—
th(RD-DB)	データ入力ホールド時間	0ns.min	0ns.min
tsu(RDY-BCLK)	RDY 入力セットアップ時間	26ns.min	80ns.min
th(BCLK-RDY)	RDY 入力ホールド時間	0ns.min	0ns.min

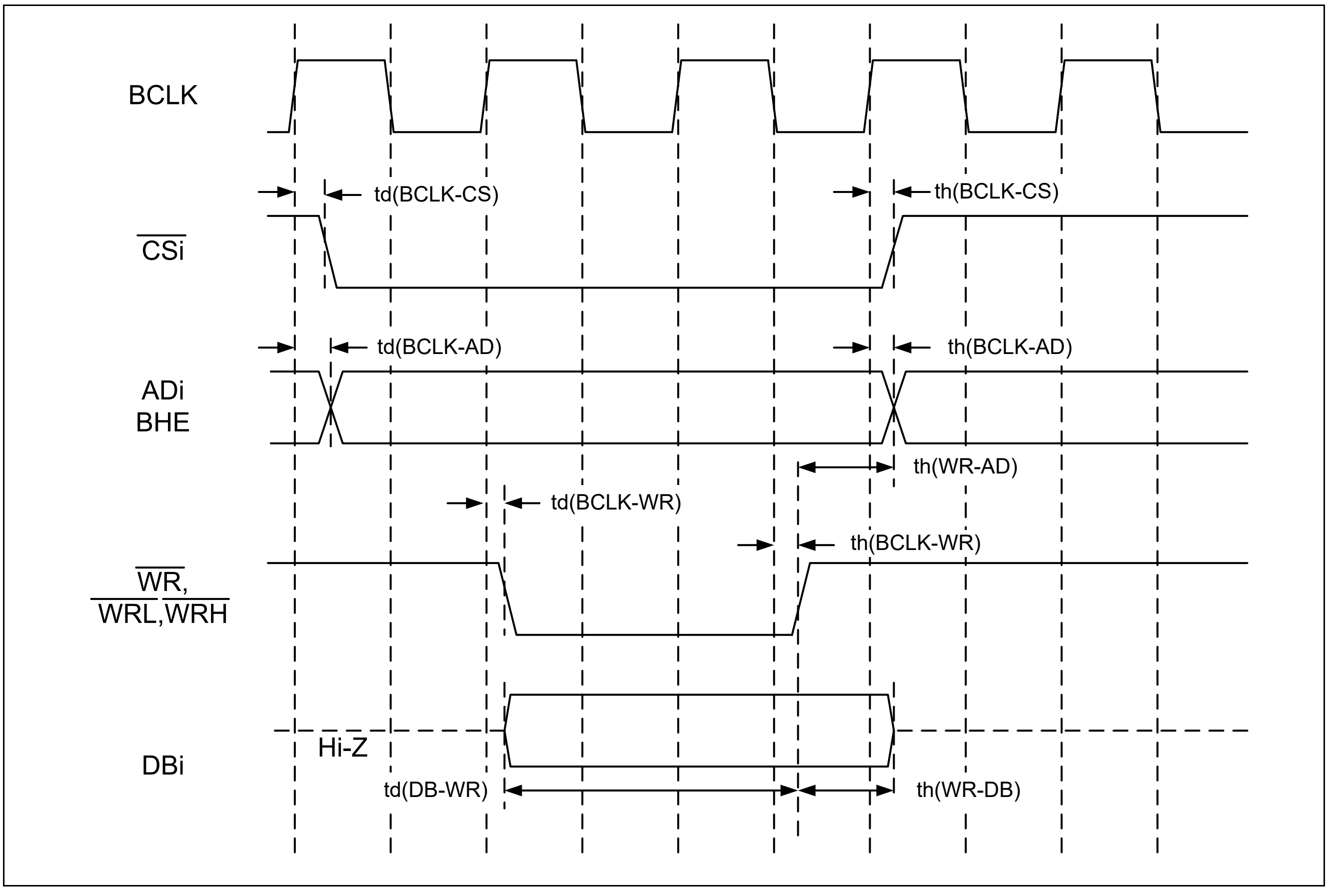


図 2.3　ライト時のバスタイミング例（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）

表 2.12 ライト時のスイッチング特性（セパレートバス、2 ウェイト、BCLK=16MHz、Vcc=5.0V 時）

記号	項目	M16C/80	M16C/64A
td(BCLK-CS)	チップセレクト出力遅延時間	18ns.max	25ns.max
th(BCLK-CS)	チップセレクト出力保持時間(BCLK 基準)	-3ns.min	0ns.min
td(BCLK-AD)	アドレス出力遅延時間	18ns.max	25ns.max
th(BCLK-AD)	アドレス出力保持時間(BCLK 基準)	-3ns.min	0ns.min
th(WR-AD)	アドレス出力保持時間(WR 基準)	21.25ns.min	21.25ns.min
td(BCLK-WR)	WR 信号出力遅延時間	18ns.max	25ns.max
th(BCLK-WR)	WR 信号出力保持時間(BCLK 基準)	-3ns.min	0ns.min
td(DB-WR)	データ出力遅延時間(WR 基準)	105ns.min	53.75ns.min
th(WR-DB)	データ出力保持時間(WR 基準)	21.25ns.min	21.25ns.min

2.5　クロックの相違点

表 2.13にクロックの相違点を、表 2.14にクロック関連設定の相違点を、表 2.15にクロック関連 SFR の相違点を示します。

表 2.13 クロックの相違点

項目	M16C/80	M16C/64A
PLL クロック	なし	あり
オンチップオシレータ	なし	125kHz
メインクロック分周	分周なし、2、3、4、6、8、10、12、14、16 分周から選択	分周なし、2、4、8、16 分周から選択
周辺機能クロック	f1、f8、f32 f1SIO2、f8SIO2、f32SIO2 fAD fc、fc32	f1、f2、f8、f32 f1SIO、f2SIO、f8SIO、f32SIO fAD fc、fc32
CLKOUT 出力	f8、f32、fc	f1、f8、f32、fc
システムクロック保護機能	なし	あり
発振停止／再発振検出機能	なし	あり
XIN-XOUT 帰還抵抗	XIN-XOUT 帰還抵抗接続のみ	XIN-XOUT 帰還抵抗接続／未接続選択

表 2.14 クロック関連設定の相違点

項目	M16C/80	M16C/64A
メインクロック分周	MCD レジスタの MCD0～MCD4 ビット	CM0 レジスタの CM06 ビット CM1 レジスタの CM16、CM17 ビット
CLKOUT 出力	CM0 レジスタの CM00、CM01 ビット	CM0 レジスタの CM00、CM01 ビット PCLKR レジスタの PCLK5 ビット

表 2.15 クロック関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
CM0	0006h	0006h	6	ウォッチドッグタイマ機能選択	メインクロック分周比選択 0
CM1	0007h	0007h	1	予約ビット	システムクロック選択 1
			3	予約ビット	XIN-XOUT 帰還抵抗選択
			4	予約ビット	125kHz オンチップオシレータ発振停止
			6-7	予約ビット	メインクロック分周比選択 1
MCD	000Ch	─	─	M16C/80 のみ	─
CM2	─	000Ch	─	─	M16C/64A のみ
PCLKR	─	0012h	─	─	M16C/64A のみ
PLC0	─	001Ch	─	─	M16C/64A のみ
PM2	─	001Eh	─	─	M16C/64A のみ

2.6 プロテクトの相違点

表 2.16にプロテクト関連 SFR の相違点を示します。

表 2.16 プロテクト関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
PRCR	000Ah	000Ah	0	プロテクトビット 0 CM0、CM1、MCD レジスタへの書き込み許可	プロテクトビット 0 CM0、CM1、CM2、PLC0、PCLKR レジスタへの書き込み許可
			1	プロテクトビット 1 PM0、PM1 レジスタへの書き込み許可	プロテクトビット 1 PM0、PM1、PM2、TB2SC、INVC0、INVC1 レジスタへの書き込み許可
			2	プロテクトビット 2 PD9、PS3 レジスタへの書き込み許可	プロテクトビット 2 PD9、S3C、S4C レジスタへの書き込み許可
			3	—	プロテクトビット 3 VCR2、VWCE、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可
			6	—	プロテクトビット 6 PRG2C レジスタへの書き込み許可

2.7 割り込みの相違点

表 2.17に割り込みの相違点を、表 2.18に割り込み設定の相違点を、表 2.19～表 2.21に割り込み関連 SFR の相違点を、表 2.22、表 2.23に割り込みベクタの相違点を示します。

表 2.17 割り込みの相違点

項目	M16C/80	M16C/64A
高速割り込み	あり	なし
割り込みシーケンス実行時間（注 1）	14 サイクル（注 2）	18 サイクル
スタック退避バイト数	6 バイト	4 バイト
INT 割り込み	エッジセンス／レベルセンス切り替え可	エッジセンスのみ
NMI 許可機能	許可のみ	許可／禁止切り替え可
NMI デジタルフィルタ	なし	なし、または CPU クロックの 2、4、8、16、32、64、128 分周から選択可

【注】 1. 以下の条件の場合
- 周辺機能割り込み
- 割り込みベクタテーブルを偶数番地に配置
- 16 ビットバス、ウェイトなし

2. 高速割り込み使用時、5 サイクル

表 2.18 割り込み設定の相違点

項目	M16C/80	M16C/64A
INT4 割り込み	INT4IC レジスタ	IFSR レジスタの IFSR6 ビット INT4IC レジスタ
INT5 割り込み	INT5IC レジスタ	IFSR レジスタの IFSR7 ビット INT5IC レジスタ
TB4 割り込み	TB4IC レジスタ	IFSR2 レジスタの IFSR27 ビット TB4IC レジスタ
TB3 割り込み	TB3IC レジスタ	IFSR2 レジスタの IFSR26 ビット TB3IC レジスタ
ストップ/ウェイト復帰用割り込み優先順位設定	RLVL レジスタの RLVL2～RLVL0 ビット(注 1)	フラグレジスタ(FLG)の IPL ビット

【注】 1. フラグレジスタ(FLG)に設定するプロセッサ割り込み優先レベル(IPL)と同じ値を設定してください

表 2.19 割り込み関連 SFR の相違点 (1/3)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
INT7IC	−	0042h	−	−	M16C/64A のみ
INT6IC	−	0043h	−	−	M16C/64A のみ
INT5IC	007Ah	0048h	−	アドレス変更	
			5	レベルセンス／エッジセンス切り替え	予約ビット
INT4IC	009Ah	0049h	−	アドレス変更	
			5	レベルセンス／エッジセンス切り替え	予約ビット
INT3IC	007Ch	0044h	−	アドレス変更	
			5	レベルセンス／エッジセンス切り替え	予約ビット
INT2IC	009Ch	005Fh	−	アドレス変更	
			5	レベルセンス／エッジセンス切り替え	予約ビット
INT1IC	007Eh	005Eh	−	アドレス変更	
			5	レベルセンス／エッジセンス切り替え	予約ビット
INT0IC	009Eh	005Dh	−	アドレス変更	
			5	レベルセンス／エッジセンス切り替え	予約ビット
TB5IC	0069h	0045h	−	アドレス変更	
TB4IC	0098h	0046h	−	アドレス変更	
TB3IC	0078h	0047h	−	アドレス変更	
TB2IC	0096h	005Ch	−	アドレス変更	
TB1IC	0076h	005Bh	−	アドレス変更	
TB0IC	0094h	005Ah	−	アドレス変更	
BCN2IC	008Fh	−	−	M16C/80 のみ	−
BCN3IC	0071h	−	−	M16C/80 のみ	−
BCN4IC	0091h	−	−	M16C/80 のみ	−
U1BCNIC	−	0046h	−	−	M16C/64A のみ
U0BCNIC	−	0047h	−	−	M16C/64A のみ
S4IC	−	0048h	−	−	M16C/64A のみ
S3IC	−	0049h	−	−	M16C/64A のみ
BCNIC	−	004Ah	−	−	M16C/64A のみ

表 2.20 割り込み関連 SFR の相違点 (2/3)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
DM0IC	0068h	004Bh	―	アドレス変更	
DM1IC	0088h	004Ch	―	アドレス変更	
DM2IC	006Ah	0069h	―	アドレス変更	
DM3IC	008Ah	006Ah	―	アドレス変更	
KUPIC	0093h	004Dh	―	アドレス変更	
ADIC	0073h	004Eh	―	アドレス変更	
S2TIC	0089h	004Fh	―	アドレス変更	
S2RIC	006Bh	0050h	―	アドレス変更	
S0TIC	0090h	0051h	―	アドレス変更	
S0RIC	0072h	0052h	―	アドレス変更	
S1TIC	0092h	0053h	―	アドレス変更	
S1RIC	0074h	0054h	―	アドレス変更	
S3TIC	008Bh	―	―	M16C/80 のみ	―
S3RIC	006Dh	―	―	M16C/80 のみ	―
S4TIC	008Dh	―	―	M16C/80 のみ	―
S4RIC	006Fh	―	―	M16C/80 のみ	―
TA0IC	006Ch	0055h	―	アドレス変更	
TA1IC	008Ch	0056h	―	アドレス変更	
TA2IC	006Eh	0057h	―	アドレス変更	
TA3IC	008Eh	0058h	―	アドレス変更	
TA4IC	0070h	0059h	―	アドレス変更	
U5BCNIC	―	006Bh	―	―	M16C/64A のみ
CEC1IC	―	006Bh	―	―	M16C/64A のみ
S5TIC	―	006Ch	―	―	M16C/64A のみ
CEC2IC	―	006Ch	―	―	M16C/64A のみ
S5RIC	―	006Dh	―	―	M16C/64A のみ
U6BCNIC	―	006Eh	―	―	M16C/64A のみ
RTCTIC	―	006Eh	―	―	M16C/64A のみ
S6TIC	―	006Fh	―	―	M16C/64A のみ
RTCCIC	―	006Fh	―	―	M16C/64A のみ
S6RIC	―	0070h	―	―	M16C/64A のみ
U7BCNIC	―	0071h	―	―	M16C/64A のみ
PMC0IC	―	0071h	―	―	M16C/64A のみ
S7TIC	―	0072h	―	―	M16C/64A のみ
PMC1IC	―	0072h	―	―	M16C/64A のみ
S7RIC	―	0073h	―	―	M16C/64A のみ

表 2.21 割り込み関連 SFR の相違点 (3/3)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
IICIC	―	007Bh	―	―	M16C/64A のみ
SCLDAIC		007Ch	―	―	M16C/64A のみ
IFSR3A	―	0205h	―	―	M16C/64A のみ
IFSR2A	―	0206h	―	―	M16C/64A のみ
IFSR	031Fh	0207h	―	アドレス変更	
			6	何も配置されていない	割り込み要因切り替え(SIO3 / INT4)
			7	何も配置されていない	割り込み要因切り替え(SIO4 / INT5)
AIER	009h	020Eh	―	アドレス変更	
			2	アドレス一致割り込み 2 許可	―
			3	アドレス一致割り込み 3 許可	―
AIER2	―	020Fh	―	―	M16C/64A のみ
RMAD0	0010h ～ 0012h	0210h ～ 0212h	―	アドレス変更	
			―	設定範囲：24 ビット	設定範囲：20 ビット
RMAD1	0014h ～ 0016h	0214h ～ 0216h	―	アドレス変更	
			―	設定範囲：24 ビット	設定範囲：20 ビット
RMAD2	0018h ～ 001Ah	0218h ～ 021Ah	―	アドレス変更	
			―	設定範囲：24 ビット	設定範囲：20 ビット
RMAD3	001Ch ～ 001Eh	021Ch ～ 021Eh	―	アドレス変更	
			―	設定範囲：24 ビット	設定範囲：20 ビット
RLVL	009Fh	―	―	M16C/80 のみ	―
PCR	03FFh	0366h	―	アドレス変更	
			4	何も配置されていない	CEC 出力許可
			5	何も配置されていない	INT6 入力許可
			6	何も配置されていない	INT7 入力許可
			7	何も配置されていない	キー入力許可
NMIDF	―	0369h	―	―	M16C/64A のみ

表 2.22 割り込みベクタの相違点 (1/2)

ソフトウェア割り込み番号	ベクタ番地	M16C/80	M16C/64A
0	+0 ～ +3 (0000h ～ 0003h)	BRK 命令	BRK 命令
1	+4 ～ +7 (0004h ～ 0007h)	予約	予約
2	+8 ～ +11 (0008h ～ 000Bh)		INT7
3	+12 ～ +15 (000Ch ～ 000Fh)		INT6
4	+16 ～ +19 (0010h ～ 0013h)		INT5
5	+20 ～ +23 (0014h ～ 0017h)		タイマ B5
6	+24 ～ +27 (0018h ～ 001Bh)		タイマ B4、UART1 スタート/ストップコンディション検出、バス衝突検出
7	+28 ～ +31 (001Ch ～ 001Fh)		タイマ B3、UART0 スタート/ストップコンディション検出、バス衝突検出
8	+32 ～ +35 (0020h ～ 0023h)	DMA0	SIO4、INT5
9	+36 ～ +39 (0024h ～ 0027h)	DMA1	SIO3、INT4
10	+40 ～ +43 (0028h ～ 002Bh)	DMA2	UART2 スタート/ストップコンディション検出、バス衝突検出
11	+44 ～ +47 (002Ch ～ 002Fh)	DMA3	DMA0
12	+48 ～ +51 (0030h ～ 0033h)	タイマ A0	DMA1
13	+52 ～ +55 (0034h ～ 0037h)	タイマ A1	キー入力割り込み
14	+56 ～ +59 (0038h ～ 003Bh)	タイマ A2	A/D コンバータ
15	+60 ～ +63 (003Ch ～ 003Fh)	タイマ A3	UART2 送信、NACK2
16	+64 ～ +67 (0040h ～ 0043h)	タイマ A4	UART2 受信、ACK2
17	+68 ～ +71 (0044h ～ 0047h)	UART0 送信	UART0 送信、NACK0
18	+72 ～ +75 (0048h ～ 004Bh)	UART0 受信	UART0 受信、ACK0
19	+76 ～ +79 (004Ch ～ 004Fh)	UART1 送信	UART1 送信、NACK1
20	+80 ～ +83 (0050h ～ 0053h)	UART1 受信	UART1 受信、ACK1
21	+84 ～ +87 (0054h ～ 0057h)	タイマ B0	タイマ A0
22	+88 ～ +91 (0058h ～ 005Bh)	タイマ B1	タイマ A1
23	+92 ～ +95 (005Ch ～ 005Fh)	タイマ B2	タイマ A2
24	+96 ～ +99 (0060h ～ 0063h)	タイマ B3	タイマ A3
25	+100 ～ +103 (0064h ～ 0067h)	タイマ B4	タイマ A4
26	+104 ～ +107 (0068h ～ 006Bh)	INT5	タイマ B0
27	+108 ～ +111 (006Ch ～ 006Fh)	INT4	タイマ B1
28	+112 ～ +115 (0070h ～ 0073h)	INT3	タイマ B2
29	+116 ～ +119 (0074h ～ 0077h)	INT2	INT0
30	+120 ～ +123 (0078h ～ 007Bh)	INT1	INT1

表 2.23 割り込みベクタの相違点 (2/2)

ソフトウェア割り込み番号	ベクタ番地	M16C/80	M16C/64A
31	+124 ～ +127 (007Ch ～ 007Fh)	INT0	INT2
32	+128 ～ +131 (0080h ～ 0083h)	タイマ B5	予約
33	+132 ～ +135 (0084h ～ 0087h)	UART2 送信/NACK	
34	+136 ～ +139 (0088h ～ 008Bh)	UART2 受信/ACK	
35	+140 ～ +143 (008Ch ～ 008Fh)	UART3 送信/NACK	
36	+144 ～ +147 (0090h ～ 0093h)	UART3 受信/ACK	
37	+148 ～ +151 (0094h ～ 0097h)	UART4 送信/NACK	
38	+152 ～ +155 (0098h ～ 009Bh)	UART4 受信/ACK	
39	+156 ～ +159 (009Ch ～ 009Fh)	バス衝突検出、スタート/ストップコンディション検出、障害エラー（UART2）	
40	+160 ～ +163 (00A0h ～ 00A3h)	バス衝突検出、スタート/ストップコンディション検出、障害エラー（UART3）	
41	+164 ～ +167 (00A4h ～ 00A7h)	バス衝突検出、スタート/ストップコンディション検出、障害エラー（UART4）	DMA2
42	+168 ～ +171 (00A8h ～ 00ABh)	A/D	DMA3
43	+172 ～ +175 (00ACh ～ 00AFh)	キー入力割り込み	UART5 スタート/ストップコンディション検出、バス衝突検出、CEC1
44	+176 ～ +179 (00B0h ～ 00B3h)	予約	UART5 送信、NACK5、CEC2
45	+180 ～ +183 (00B4h ～ 00B7h)		UART5 受信、ACK5
46	+184 ～ +187 (00B8h ～ 00BBh)		UART6 スタート/ストップコンディション検出、バス衝突検出、リアルタイムクロック周期
47	+188 ～ +191 (00BCh ～ 00BFh)		UART6 送信、NACK6、リアルタイムクロックコンペア
48	+192 ～ +195 (00C0h ～ 00C3h)		UART6 受信、ACK6
49	+196 ～ +199 (00C4h ～ 00C7h)		UART7 スタート/ストップコンディション検出、バス衝突検出、リモコン信号受信機能 0
50	+200 ～ +203 (00C8h ～ 00CBh)		UART7 送信、NACK7、リモコン受信機能 0
51	+204 ～ +207 (00CCh ～ 00CFh)		UART7 受信、ACK7
52 ～ 58	+208 ～ +211 (00D0h ～ 00D3h) ～ +232 ～ +235 (00E8h ～ 00EBh)		予約
59	+236 ～ +239 (00ECh ～ 00EFh)		I2C-bus インタフェース割り込み
60	+240 ～ +243 (00F0h ～ 00F3h)		SCL/SDA 割り込み
61 ～ 63	+244 ～ +247 (00F4h ～ 00F7h) ～ +252～ +255 (00FCh ～ 00FFh)		予約

2.7.1 割り込み応答時間の相違点

図 2.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求発生から割り込みルーチン内の命令が実行されるまでの時間です。この時間は、割り込み要求発生時点から、その時実行している命令が終了するまでの時間(図 2.4の(a)で、命令により異なる)と、割り込みシーケンスを実行する時間(図 2.4の(b))で構成されます。

表 2.24に割り込みシーケンス実行時間の相違点を示します。

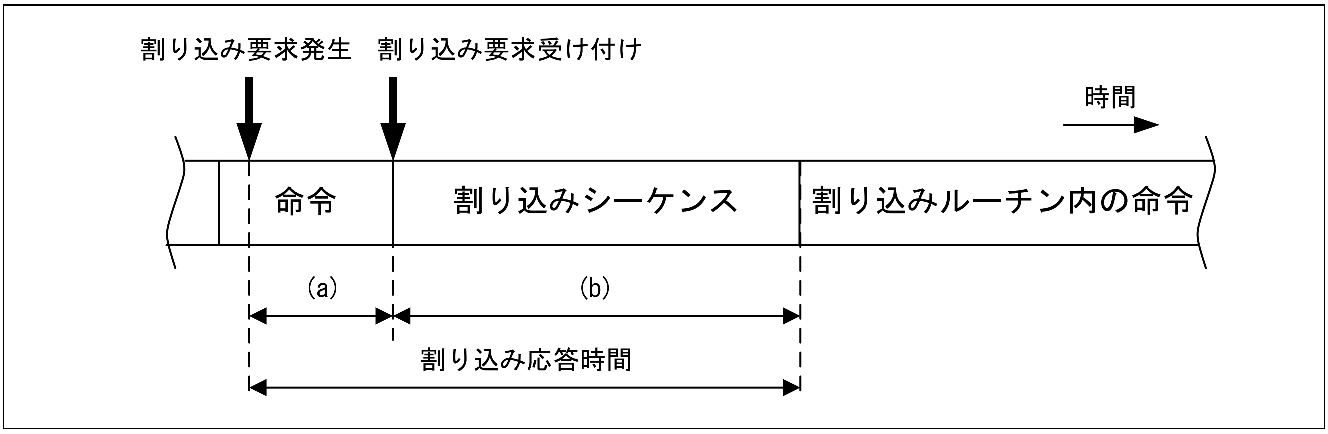


図 2.4　割り込み応答時間

表 2.24 割り込みシーケンス実行時間の相違点

割り込み	割り込みベクタの番地	バス幅	M16C/80	M16C/64A(注 1)
周辺 I/O	偶数	16 ビット	14 サイクル	18 サイクル
		8 ビット	16 サイクル	20 サイクル
	奇数	16 ビット	16 サイクル	19 サイクル
		8 ビット	16 サイクル	20 サイクル
INT 命令	偶数	16 ビット	12 サイクル	18 サイクル
		8 ビット	14 サイクル	20 サイクル
	奇数	16 ビット	14 サイクル	19 サイクル
		8 ビット	14 サイクル	20 サイクル
NMI ウォッチドッグタイマ 未定義命令	偶数	16 ビット	13 サイクル	18 サイクル
		8 ビット	15 サイクル	20 サイクル
アドレス一致	偶数	16 ビット	13 サイクル	19 サイクル
		8 ビット	15 サイクル	21 サイクル
オーバフロー	偶数	16 ビット	14 サイクル	18 サイクル
		8 ビット	16 サイクル	20 サイクル
BRK 命令(可変ベクタテーブル)	偶数	16 ビット	17 サイクル	18 サイクル
		8 ビット	19 サイクル	20 サイクル
	奇数	16 ビット	19 サイクル	19 サイクル
		8 ビット	19 サイクル	20 サイクル
BRK 命令(固定ベクタテーブル)	偶数	16 ビット	19 サイクル	18 サイクル
		8 ビット	21 サイクル	20 サイクル
高速割り込み	ベクタテーブルは 内部レジスタ	16 ビット	5 サイクル	―
		8 ビット	5 サイクル	―

【注】 1. SP の値が偶数の場合の値です。

2.8 ウォッチドッグタイマの相違点

表 2.25にウォッチドッグの相違点を、表 2.26にウォッチドッグ設定の相違点を、表 2.27にウォッチドッグ関連 SFR の相違点を示します。

表 2.25 ウォッチドッグの相違点

項目	M16C/80	M16C/64A
カウントソース保護モード	なし	あり
ウォッチドッグタイマの初期化	WDTS レジスタに対する書き込み命令を実行	WDTR レジスタに “00h”、“FFh”と続けて書く
カウント開始条件		・OFS1 の WDTON ビットを “0” にしてリセット解除（リセット解除後、自動的に起動） ・WDTS レジスタに対する書き込み命令を実行

表 2.26 ウォッチドッグ設定の相違点

項目	M16C/80	M16C/64A
ウォッチドッグタイマ機能選択 （割り込み/リセット切り替え）	CM0 レジスタの CM06 ビット	PM1 レジスタの PM12 ビット

表 2.27 ウォッチドッグ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
CSPR	−	037Ch	−	−	M16C/64A のみ
WDTR	−	037Dh	−	−	M16C/64A のみ
WDTS	000Eh	037Eh	−	アドレス変更	
WDC	000Fh	037Fh	−	アドレス変更	
OFS1(注 1)	−	FFFFFh	−	−	M16C/64A のみ

【注】 1. OFS1 はフラッシュメモリ領域に配置されています。フラッシュメモリにプログラムを書き込むときに同時に値を書き込んでください。

2.9 DMAC の相違点

表 2.28にDMAC の相違点を、表 2.29にDMAC 設定の相違点を、表 2.30、表 2.31にDMAC 関連 SFR の相違点を示します。

表 2.28 DMAC の相違点

項目	M16C/80	M16C/64A
DMAC 関連レジスタ	CPU 内部レジスタと SFR 領域に配置	SFR 領域に配置
転送空間	16M バイトの任意の空間から固定番地 固定番地から 16M バイトの任意の空間	1M バイトの任意の空間から固定番地 固定番地から 1M バイトの任意の空間 固定番地から固定番地
転送回数	DMAi 転送カウンタ(i=0～3)に設定した値	DMAi 転送カウンタ(i=0～3)に設定した値+1
転送サイクル	SFR、内部 RAM 間：3 サイクル 外部 I/O、外部メモリ間：最小 3 サイクル	SFR、内部 RAM 間：3 サイクル 外部 I/O、外部メモリ間：最小 3 サイクル
割り込み発生タイミング	DMAi 転送カウンタが"0001h"から"0000h"になったとき	DMAi 転送カウンタがアンダフローしたとき
カウント動作	要求発生ごとに DMAi 転送カウントレジスタの値をダウンカウント	DMiCON レジスタの DMAE ビットに“1”(DMA 許可)を書き込んだタイミングで、DMAi 転送カウンタリロードレジスタの値を DMAi 転送カウンタにリロード 要求発生ごとに DMAi 転送カウンタの値をダウンカウント
単転送終了時の動作	・割り込み要求が発生	・割り込み要求が発生 ・DMiCON レジスタの DMAE ビットが“0”(DMA 禁止)になる
リピート転送時のリロード動作	DRAi レジスタの値が DMAi レジスタに、DRCi レジスタの値が DCTi レジスタにリロード	SARi レジスタまたは DARi レジスタの値が DMAi 順方向アドレスポインタに（注 1）、DMAi 転送カウンタリロードレジスタの値が DMAi 転送カウンタにリロード（注 2）

【注】 1. 転送元を順方向に設定した場合 SARi レジスタが、転送先を順方向に設定した場合 DARi レジスタの値が DMAi 順方向アドレスポインタにリロードされます。
DMAi 順方向アドレスレジスタの値は、DMiCON レジスタの DMAE ビットに“1” (DMA 許可)を書き込んだタイミングでもリロードされます。
2. TCRi レジスタに書いた値は DMAi 転送カウンタリロードレジスタに格納されます。

表 2.29 DMAC 設定の相違点

項目	M16C/80	M16C/64A
DMA 転送要因の選択	DMiSL レジスタの DSEL0～DSEL4 ビットで選択	DMiSL レジスタの DSEL0～DSEL4 ビット、DMS ビットで選択
転送モード	DMDj レジスタ(j=0～1)	DMiCON レジスタ
転送元番地	転送元が固定番地の場合、DSAi レジスタ 転送元がメモリの場合、DMAi レジスタ	SARi レジスタ
転送先番地	転送先が固定番地の場合、DSi レジスタ 転送先がメモリの場合、DMAi レジスタ	DARi レジスタ
転送回数	DCTi レジスタに転送回数を設定	TCRi レジスタに転送回数-1 を設定
リピート動作時のメモリ番地初期化	DRAi レジスタの値が DMAi レジスタにリロードされる	転送元が順方向の場合、SARi レジスタの値が、転送先が順方向の場合、DARi レジスタの値が順方向アドレスポインタにリロードされる、
ソフトウェア DMA 要求	DMiSL レジスタの DSR ビットと DRQ ビットに同時に“1”書き込み	DMiSL レジスタの DSR ビットに“1”書き込み

表 2.30 DMAC 関連 SFR の相違点 (1/2)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
DM0SL	0378h	0398h	−	アドレス変更	
			5	ソフトウェア DMA 要求	何も配置されていない
			6	何も配置されていない	DMA 要因拡張選択
			7	DMA 要求	ソフトウェア DMA 要求
DM1SL	0379h	039Ah	−	アドレス変更	
			5	ソフトウェア DMA 要求	何も配置されていない
			6	何も配置されていない	DMA 要因拡張選択
			7	DMA 要求	ソフトウェア DMA 要求
DM1SL	037Ah	0390h	−	アドレス変更	
			5	ソフトウェア DMA 要求	何も配置されていない
			6	何も配置されていない	DMA 要因拡張選択
			7	DMA 要求	ソフトウェア DMA 要求
DM1SL	037Bh	0392h	−	アドレス変更	
			5	ソフトウェア DMA 要求	何も配置されていない
			6	何も配置されていない	DMA 要因拡張選択
			7	DMA 要求	ソフトウェア DMA 要求
DMD0	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DMD1	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DM0CON	−	018Ch	−	−	M16C/64A のみ
DM1CON	−	019Ch	−	−	M16C/64A のみ
DM2CON	−	01ACh	−	−	M16C/64A のみ
DM3CON	−	01BCh	−	−	M16C/64A のみ
DCT0	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DCT1	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DCT2	バンク 1 R0	−	−	M16C/80 のみ	−
DCT3	バンク 1 R1	−	−	M16C/80 のみ	−
DRC0	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DRC1	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DRC2	バンク 1 R2	−	−	M16C/80 のみ	−
DRC3	バンク 1 R3	−	−	M16C/80 のみ	−
TCR0	−	0189h～0188h	−	−	M16C/64A のみ
TCR1	−	0199h～0198h	−	−	M16C/64A のみ
TCR2	−	01A9h～01A8h	−	−	M16C/64A のみ
TCR3	−	01B9h～01B8h	−	−	M16C/64A のみ
DMA0	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DMA1	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DMA2	バンク 1 A0	−	−	M16C/80 のみ	−
DMA3	バンク 1 A1	−	−	M16C/80 のみ	−
DSA0	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DSA1	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DSA2	バンク 1 SB	−	−	M16C/80 のみ	−
DSA3	バンク 1 FB	−	−	M16C/80 のみ	−
DRA0	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DRA1	CPU 内部レジスタ	−	−	M16C/80 のみ	−
DRA2	バンク 1 SVP	−	−	M16C/80 のみ	−
DRA3	バンク 1 VCT	−	−	M16C/80 のみ	−

表 2.31 DMAC 関連 SFR の相違点 (2/2)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
SAR0	―	0182h～0180h	―	―	M16C/64A のみ
SAR1	―	0192h～0190h	―	―	M16C/64A のみ
SAR2	―	01A2h～01A0h	―	―	M16C/64A のみ
SAR3	―	01B2h～01B0h	―	―	M16C/64A のみ
DAR0	―	0186h～0184h	―	―	M16C/64A のみ
DAR1	―	0196h～0194h	―	―	M16C/64A のみ
DAR2	―	01A6h～01A4h	―	―	M16C/64A のみ
DAR3	―	01B6h～01B4h	―	―	M16C/64A のみ

2.10 タイマの相違点

表 2.32にタイマの相違点を、表 2.33、表 2.34にタイマ関連 SFR の相違点を示します。

表 2.32 タイマの相違点

項目	M16C/80	M16C/64A
カウントソース	f1、f8、f32、fc32	f1、f2、f8、f32、f64、fOCO-S、fc32
パルス出力機能選択	機能選択レジスタ	TAiMR レジスタの MR0 ビット(i=0～4)
出力極性反転機能	なし	あり
プログラマブル出力モード	なし	あり
TAiOUT 端子による アップダウン切り替え	あり	なし
パルス周期測定モード、 パルス幅測定モード時の初期値	不定	書き込み設定可
パルス周期測定モード、 パルス幅測定モード時の タイマレジスタ読み出し	TBj レジスタ(j=0～5)を読むと、 リロードレジスタの内容(測定結果)が 読める	・PPWFSk レジスタ(k=0、1)の PPWFSk2～PPWFSk0 ビットが “0” の場合 TBj レジスタを読むと、リロードレジスタの内容(測定結果)が読める ・PPWFSk レジスタ(k=0、1)の PPWFSk2～PPWFSk0 ビットが “1” の場合 TBj レジスタを読むと、カウンタの内容(カウント中の値)が読める TBj1 レジスタを読むと、リロードレジスタの内容(測定結果)が読める
オーバフローフラグクリア方法	TBjS ビットが “1” (カウント開始)の状態で、MR3 ビットが “1” (オーバフローあり)になった後の次のカウントタイミング以降に、TBjMR レジスタに値を書く	TBjMR レジスタに値を書く

表 2.33 タイマ関連 SFR の相違点 (1/2)

<table>
<tr><th rowspan="2">シンボル</th><th colspan="2">アドレス</th><th rowspan="2">bit</th><th colspan="2">変更箇所</th></tr>
<tr><th>M16C/80</th><th>M16C/64A</th><th>M16C/80</th><th>M16C/64A</th></tr>
<tr><td>PCLKR</td><td>－</td><td>0012h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td>TACS0</td><td>－</td><td>01D0h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td>TACS1</td><td>－</td><td>01D1h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td>TACS2</td><td>－</td><td>01D2h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td>PWMFS</td><td>－</td><td>01D4h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td>TAPOFS</td><td>－</td><td>01D5h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td>TAOW</td><td>－</td><td>01D8h</td><td>－</td><td>－</td><td>M16C/64A のみ</td></tr>
<tr><td rowspan="3">TA0MR</td><td rowspan="3">0356h</td><td rowspan="3">0336h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>2</td><td>予約ビット</td><td>パルス出力機能選択</td></tr>
<tr><td>4</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
アップ/ダウン切り替え要因選択</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
予約ビット</td></tr>
<tr><td rowspan="3">TA1MR</td><td rowspan="3">0357h</td><td rowspan="3">0337h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>2</td><td>予約ビット</td><td>パルス出力機能選択</td></tr>
<tr><td>4</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
アップ/ダウン切り替え要因選択</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
予約ビット</td></tr>
<tr><td rowspan="3">TA2MR</td><td rowspan="3">0358h</td><td rowspan="3">0338h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>2</td><td>予約ビット</td><td>パルス出力機能選択</td></tr>
<tr><td>4</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
アップ/ダウン切り替え要因選択</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
予約ビット</td></tr>
<tr><td rowspan="3">TA3MR</td><td rowspan="3">0359h</td><td rowspan="3">0339h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>2</td><td>予約ビット</td><td>パルス出力機能選択</td></tr>
<tr><td>4</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
アップ/ダウン切り替え要因選択</td><td>【イベントカウンタモード：二相パルス信号処理を使用しない場合】
予約ビット</td></tr>
<tr><td rowspan="3">TA4MR</td><td rowspan="3">035Ah</td><td rowspan="3">033Ah</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>2</td><td>予約ビット</td><td>パルス出力機能選択</td></tr>
<tr><td>4</td><td colspan="2">【イベントカウンタモード：二相パルス信号処理を使用しない場合】
アップ/ダウン切り替え要因選択</td></tr>
<tr><td>TA0</td><td>0347h～0346h</td><td>0327h～0326h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TA1</td><td>0349h～0348h</td><td>0329h～0328h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TA2</td><td>034Bh～034Ah</td><td>032Bh～032Ah</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TA3</td><td>034Dh～034Ch</td><td>032Dh～032Ch</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TA4</td><td>034Fh～034Eh</td><td>032Fh～032Eh</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TABSR</td><td>0340h</td><td>0320h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>UDF</td><td>0344h</td><td>0324h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>ONSF</td><td>0342h</td><td>0322h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TRGSR</td><td>0343h</td><td>0323h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>CPSRF</td><td>0341h</td><td>0015h</td><td>－</td><td colspan="2">アドレス変更</td></tr>
<tr><td>TA11</td><td>0303h～0302h</td><td>0303h～0302h</td><td>－</td><td>－</td><td>プログラマブル出力モードで使用</td></tr>
<tr><td>TA21</td><td>0303h～0302h</td><td>0305h～0304h</td><td>－</td><td>－</td><td>プログラマブル出力モードで使用</td></tr>
<tr><td>TA41</td><td>0303h～0302h</td><td>0307h～0306h</td><td>－</td><td>－</td><td>プログラマブル出力モードで使用</td></tr>
</table>

表 2.34 タイマ関連 SFR の相違点 (2/2)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
TB0MR	035Bh	033Bh	―	アドレス変更	
TB1MR	035Ch	033Ch	―	アドレス変更	
TB2MR	035Dh	033Dh	―	アドレス変更	
TB0	0351h～0350h	0331h～0330h	―	アドレス変更	
TB1	0353h～0352h	0333h～0332h	―	アドレス変更	
TB2	0355h～0354h	0335h～0334h	―	アドレス変更	
TB01	―	01C1h～01C0h	―	―	M16C/64A のみ
TB11	―	01C3h～01C2h	―	―	M16C/64A のみ
TB21	―	01C5h～01C4h	―	―	M16C/64A のみ
TB31	―	01E1h～01E0h	―	―	M16C/64A のみ
TB41	―	01E3h～01E2h	―	―	M16C/64A のみ
TB51	―	01E5h～01E4h	―	―	M16C/64A のみ
PPWFS1	―	01C6h	―	―	M16C/64A のみ
PPWFS2	―	01E6h	―	―	M16C/64A のみ
TBCS0	―	01C8h	―	―	M16C/64A のみ
TBCS1	―	01C9h	―	―	M16C/64A のみ
TBCS2	―	01E8h	―	―	M16C/64A のみ
TBCS3	―	01E9h	―	―	M16C/64A のみ

2.11 三相モータ制御用タイマ機能の相違点

表 2.35に三相モータ制御用タイマの相違点を、表 2.36に三相モータ制御タイマ設定の相違点を、表 2.37に三相モータ制御タイマ関連 SFR の相違点を示します。

表 2.35 三相モータ制御用タイマの相違点

項目	M16C/80	M16C/64A
カウントソース	f1、f8、f32、fc32	f1、f2、f8、f32、f64、fOCO-S、fc32
短絡防止時間	有効のみ	有効／無効選択可
位置データ保持機能	なし	あり
三相出力強制遮断機能	なし	SD 端子による強制遮断機能あり

表 2.36 三相モータ制御タイマ設定の相違点

項目	M16C/80	M16C/64A
三相 PWM 出力機能選択	機能選択レジスタ	TAiMR レジスタの MR0 ビット(i=1,2,4) PFCR レジスタの PFC0～PFC5 ビット
短絡防止時間タイマトリガ	固定	INV1 レジスタの INV16 ビット

表 2.37 三相モータ制御タイマ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
INVC1	0309h	0309h	5	何も配置されていない	短絡防止時間無効
			6		短絡防止時間タイマトリガ選択
TB2SC	―	033Eh	―	―	M16C/64A のみ
PDRF	―	030Eh	―	―	M16C/64A のみ
PFCR	―	0318h	―	―	M16C/64A のみ
TPRC	―	01DAh	―	―	M16C/64A のみ

2.12 シリアルインタフェースの相違点

表 2.38にシリアルインタフェースの相違点を、表 2.39～表 2.41にシリアルインタフェース関連 SFR の相違点を示します。

表 2.38 シリアルインタフェースの相違点

項目(注 1)	M16C/80	M16C/64A
クロック同期／非同期兼用	5 チャネル(UART0～4)	6 チャネル(UART0～2、UART5～7)
IIC バスインタフェースモード (I2C バスモード)	3 チャネル(UART2～4)	
シリアルインタフェース特殊機能マスタモード(特殊モード 2)	2 チャネル(UART3、4)	
SIM インタフェース対応 (SIM モード)	3 チャネル(UART2～4)	1 チャネル(UART2)
シリアルインタフェース特殊機能スレーブモード	2 チャネル(UART3、4)	なし
クロック同期専用	なし	2 チャネル(SIO3、SIO4)
カウントソース	f1、f8、f32	f1/f2、f8、f32
転送クロック複数端子出力機能	なし	UCON レジスタの CLKMD1 ビット(UART1 で選択可)
端子出力設定	機能選択レジスタで設定したとき	UiMR レジスタの SMD2～SMD0 ビットを設定したとき(i = 0～2、5～7)

【注】 1. ( )内は M16C/64A ハードウェアマニュアル上の記載

表 2.39 シリアルインタフェース関連 SFR の相違点 (1/3)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
PCLKR	－	0012h	－	－	M16C/64A のみ
U0TB	0363h～0362h	024Bh～024Ah	－	アドレス変更	
U1TB	036Bh～036Ah	025Bh～025Ah	－	アドレス変更	
U2TB	033Bh～033Ah	026Bh～026Ah	－	アドレス変更	
U3TB	032Bh～032Ah	－	－	M16C/80 のみ	－
U4TB	02FBh～02FAh	－	－	M16C/80 のみ	－
U5TB	－	028Bh～028Ah	－	－	M16C/64A のみ
U6TB	－	029Bh～029Ah	－	－	M16C/64A のみ
U7TB	－	02ABh～02AAh	－	－	M16C/64A のみ
U0RB	0367h～0366h	024Fh～024Eh	－	アドレス変更	
U1RB	036Fh～036Eh	025Fh～025Eh	－	アドレス変更	
U2RB	033Fh～033Eh	026Fh～026Eh	－	アドレス変更	
U3RB	032Fh～032Eh	－	－	M16C/80 のみ	－
U4RB	02FFh～02FEh	－	－	M16C/80 のみ	－
U5RB	－	028Fh～028Eh	－	－	M16C/64A のみ
U6RB	－	029Fh～029Eh	－	－	M16C/64A のみ
U7RB	－	02AFh～02AEh	－	－	M16C/64A のみ

表 2.40 シリアルインタフェース関連 SFR の相違点 (2/3)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
U0BRG	0361h	0249h	－	アドレス変更	
U1BRG	0369h	0259h	－	アドレス変更	
U2BRG	0339h	0269h	－	アドレス変更	
U3BRG	0329h	－	－	M16C/80 のみ	－
U4BRG	02F9h	－	－	M16C/80 のみ	－
U5BRG	－	0289h	－	－	M16C/64A のみ
U6BRG	－	0299h	－	－	M16C/64A のみ
U7BRG	－	02A9h	－	－	M16C/64A のみ
U0MR	0360h	0248h	－	アドレス変更	
			7	スリープ選択ビット	TXD、RXD 入出力極性切り替え
U1MR	0368h	0258h	－	アドレス変更	
			7	スリープ選択ビット	TXD、RXD 入出力極性切り替え
U2MR	0338h	0268h	－	アドレス変更	
U3MR	0328h	－	－	M16C/80 のみ	－
U4MR	02F8h	－	－	M16C/80 のみ	－
U5MR	－	0288h	－	－	M16C/64A のみ
U6MR	－	0298h	－	－	M16C/64A のみ
U7MR	－	02A8h	－	－	M16C/64A のみ
U0C0	0364h	024Ch	－	アドレス変更	
U1C0	036Ch	025Ch	－	アドレス変更	
U2C0	033Ch	026Ch	－	アドレス変更	
U3C0	032Ch	－	－	M16C/80 のみ	－
U4C0	02FCh	－	－	M16C/80 のみ	－
U5C0	－	028Ch	－	－	M16C/64A のみ
U6C0	－	029Ch	－	－	M16C/64A のみ
U7C0	－	02ACh	－	－	M16C/64A のみ
U0C1	0365h	024Dh	－	アドレス変更	
			6	何も配置されていない	データ論理選択
			7	何も配置されていない	エラー信号出力許可
U1C1	036Dh	025Dh	－	アドレス変更	
			6	何も配置されていない	データ論理選択
			7	何も配置されていない	エラー信号出力許可
U2C1	033Dh	026Dh	－	アドレス変更	
U3C1	032Dh	－	－	M16C/80 のみ	－
U4C1	02FDh	－	－	M16C/80 のみ	－
U5C1	－	028Dh	－	－	M16C/64A のみ
U6C1	－	029Dh	－	－	M16C/64A のみ
U7C1	－	02ADh	－	－	M16C/64A のみ
UCON	0370h	0250h	－	アドレス変更	
			4	何も配置されていない	UART1CLK、CLKS 選択 0
			5	何も配置されていない	UART1CLK、CLKS 選択 1

表 2.41 シリアルインタフェース関連 SFR の相違点 (3/3)

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
U0SMR	−	0247h	−	−	M16C/64A のみ
U1SMR	−	0257h	−	−	M16C/64A のみ
U2SMR	0337h	0267h	−	アドレス変更	
			3	SCLL 同期出力許可	予約ビット
U3SMR	0327h	−	−	M16C/80 のみ	−
U4SMR	02F7h	−	−	M16C/80 のみ	−
U5SMR	−	0287h	−	−	M16C/64A のみ
U6SMR	−	0297h	−	−	M16C/64A のみ
U7SMR	−	02A7h	−	−	M16C/64A のみ
U0SMR2	−	0246h	−	−	M16C/64A のみ
U1SMR2	−	0256h	−	−	M16C/64A のみ
U2SMR2	0336h	0266h	−	アドレス変更	
			4	STC(注 1)	STAC(注 1)
			7	スタート/ストップコンディション条件制御	何も配置されていない
U3SMR2	0326h	−	−	M16C/80 のみ	−
U4SMR2	02F6h	−	−	M16C/80 のみ	−
U5SMR2	−	0286h	−	−	M16C/64A のみ
U6SMR2	−	0296h	−	−	M16C/64A のみ
U7SMR2	−	02A6h	−	−	M16C/64A のみ
U0SMR3	−	0245h	−	−	M16C/64A のみ
U1SMR3	−	0255h	−	−	M16C/64A のみ
U2SMR3	0335h	0265h	−	アドレス変更	
			1	何も配置されていない	クロック位相設定
			3	何も配置されていない	クロック出力選択
U3SMR3	0325h	−	−	M16C/80 のみ	−
U4SMR3	02F5h	−	−	M16C/80 のみ	−
U5SMR3	−	0285h	−	−	M16C/64A のみ
U6SMR3	−	0295h	−	−	M16C/64A のみ
U7SMR3	−	02A5h	−	−	M16C/64A のみ
U0SMR4	−	0244h	−	−	M16C/64A のみ
U1SMR4	−	0254h	−	−	M16C/64A のみ
U2SMR4	−	0264h	−	−	M16C/64A のみ
U5SMR4	−	0284h	−	−	M16C/64A のみ
U6SMR4	−	0294h	−	−	M16C/64A のみ
U7SMR4	−	02A4h	−	−	M16C/64A のみ
S3TRR	−	0270h	−	−	M16C/64A のみ
S3C	−	0272h	−	−	M16C/64A のみ
S3BRG	−	0273h	−	−	M16C/64A のみ
S4TRR	−	0274h	−	−	M16C/64A のみ
S4C	−	0276h	−	−	M16C/64A のみ
S4BRG	−	0277h	−	−	M16C/64A のみ
S34C2	−	0278h	−	−	M16C/64A のみ

【注】 1. ビットシンボルの変更のみ

2.13　A/D コンバータの相違点

表 2.42にA/D コンバータの相違点を、表 2.43にA/D コンバータ関連 SFR の相違点を示します。

表 2.42 A/D コンバータの相違点

項目(注 1)	M16C/80	M16C/64A
動作クロック	fAD 、 fAD の 2 分周 、 fAD の 4 分周から選択	f1、f1 の 2 分周、f1 の 3 分周、f1 の 4 分周、f1 の 6 分周、f1 の 12 分周から選択
分解能	8 ビット、10 ビットから選択	10 ビット固定
サンプル&ホールド	あり、なしから選択	ありのみ
アナログ入力端子	10 本 AN0～AN7、ANEX0、ANEX1	26 本 AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7 ANEX0、ANEX1
1 端子あたりの変換速度	サンプル＆ホールドなし 分解能 8 ビットの場合 49φAD サイクル 分解能 10 ビットの場合 59φAD サイクル サンプル&ホールドあり 分解能 8 ビットの場合 28φAD サイクル 分解能 10 ビットの場合 33φAD サイクル	最短 43φAD サイクル
外部オペアンプ接続モード	あり	なし
断線検知アシスト機能	なし	あり

表 2.43 A/D コンバータ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
AINRST	－	03A2h	－	－	M16C/64A のみ
ADCON0	0396h	03D6h	－	アドレス変更	
ADCON1	0397h	03D7h	－	アドレス変更	
			3	8/10 ビットモード選択	何も配置されていない
			5	Vref 接続	A/D スタンバイ
			7,6	外部オペアンプ接続モード OPA1 OPA0 0 0 : ANEX0,ANEX1 は使用しない 0 1 : ANEX0 入力を A/D 変換 1 0 : ANEX1 入力を A/D 変換 1 1 : 外部オペアンプ接続モード	拡張端子設定 ADEX1 ADEX0 0 0 : ANEX0,ANEX1 は使用しない 0 1 : ANEX0 入力を A/D 変換 1 0 : ANEX1 入力を A/D 変換 1 1 : 設定しないでください
ADCON2	0394h	03D4h	－	アドレス変更	
			0	A/D 変換方式選択	何も配置されていない
			2,1	予約ビット	A/D 入力グループ選択
			4	何も配置されていない	周波数選択 2
AD0	0381h～ 0380h	03C1h～ 03C0h	－	アドレス変更	
AD1	0383h～ 0382h	03C3h～ 03C2h	－	アドレス変更	
AD2	0385h～ 0384h	03C5h～ 03C4h	－	アドレス変更	
AD3	0387h～ 0386h	03C7h～ 03C6h	－	アドレス変更	
AD4	0389h～ 0388h	03C9h～ 03C8h	－	アドレス変更	
AD5	038Bh～ 038Ah	03CBh～ 03CAh	－	アドレス変更	
AD6	038Dh～ 038Ch	03CDh～ 03CCh	－	アドレス変更	
AD7	038Fh～ 038Eh	03CFh～ 03CEh	－	アドレス変更	

2.14 D/A コンバータの相違点

表 2.44にD/A コンバータ関連 SFR の相違点を示します。

表 2.44 D/A コンバータ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
DACON	039Ch	03DCh	ー	アドレス変更	
DA0	0398h	03D8h	ー	アドレス変更	
DA1	039Ah	03DAh	ー	アドレス変更	

2.15 CRC 演算回路の相違点

表 2.45にCRC 演算回路の相違点を、表 2.46にCRC 演算回路関連 SFR の相違点を示します。

表 2.45 CRC 演算回路の相違点

項目	M16C/80	M16C/64A
生成多項式	CRC-CCITT (X^{16}+X^{12}+X^{5}+1)	CRC-CCITT (X^{16}+X^{12}+X^{5}+1)または CRC-16 (X^{16}+X^{15}+X^{2}+1)
MSB/LSB 選択	なし	あり
SFR アクセス監視機能	なし	あり

表 2.46 CRC 演算回路関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
CRCSAR	ー	03B5h～03B4h	ー	ー	M16C/64A のみ
CRCMR	ー	03B6h	ー	ー	M16C/64A のみ
CRCD	037Dh～037Ch	03BDh～03BCh	ー	アドレス変更	
CRCIN	037Eh	03BEh	ー	アドレス変更	

2.16　プログラマブル入出力ポートの相違点

表 2.47にプログラマブル入出力ポートの相違点を、表 2.48にプログラマブル入出力ポート関連 SFR の相違点を示します。

表 2.47 プログラマブル入出力ポートの相違点

項目	M16C/80	M16C/64A
機能選択レジスタ	あり	なし
NMI/SD フィルタ	なし	あり／なし選択可
ポート P1 制御	CMOS/Nch オープンドレイン切り替え	P1 入力レベル／P1 ポートラッチ読み出し切り替え

表 2.48 プログラマブル入出力ポート関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
PS0	03B0h	―	―	M16C/80 のみ	―
PS1	03B1h	―	―	M16C/80 のみ	―
PS2	03B4h	―	―	M16C/80 のみ	―
PS3	03B5h	―	―	M16C/80 のみ	―
PSL0	03B2h	―	―	M16C/80 のみ	―
PSL1	03B3h	―	―	M16C/80 のみ	―
PSL2	03B6h	―	―	M16C/80 のみ	―
PSL3	03B7h	―	―	M16C/80 のみ	―
PSC	03AFh	―	―	M16C/80 のみ	―
PUR0	03F0h	0360h	―	アドレス変更	
PUR1	03F1h	0361h	―	アドレス変更	
			4	何も配置されていない	P6_0～P6_3 のプルアップ
			5	何も配置されていない	P6_4～P6_7 のプルアップ
			6	何も配置されていない	P7_2～P7_3 のプルアップ
			7	何も配置されていない	P7_4～P7_7 のプルアップ
PUR2	03DAh	0362h	―	アドレス変更	
			0	P6_0～P6_3 のプルアップ	P8_0～P8_3 のプルアップ
			1	P6_4～P6_7 のプルアップ	P8_4、P8_6、P8_7 のプルアップ
			2	P7_2～P7_3 のプルアップ	P9_0～P9_3 のプルアップ
			3	P7_4～P7_7 のプルアップ	P9_4～P9_7 のプルアップ
			4	P8_0～P8_3 のプルアップ	P10_0～P10_3 のプルアップ
			5	P8_4、P8_6、P8_7 のプルアップ	P10_4～P10_7 のプルアップ
			6	P9_0～P9_3 のプルアップ	何も配置されていない
			7	P9_4～P9_7 のプルアップ	何も配置されていない
PUR3	03DBh	―	―	M16C/80 のみ	―
PCR	03FFh	0366h	―	アドレス変更	
			0	ポート P1 制御 (CMOS 出力形式/Nch オープンドレイン出力形式切り替え)	ポート P1 制御 (P1 読み出し時、入力レベル/ポートラッチ切り替え)
			4	何も配置されていない	CEC 出力許可
			5	何も配置されていない	INT6 入力許可
			6	何も配置されていない	INT7 入力許可
			7	何も配置されていない	キー入力許可

2.17 フラッシュメモリの相違点

表 2.49にフラッシュメモリの相違点を、表 2.50にフラッシュメモリ関連 SFR の相違点を、表 2.51にソフトウェアコマンドの相違点を示します。

表 2.49 フラッシュメモリの相違点

<table>
<tr><th colspan="2">項目</th><th>M16C/80</th><th>M16C/64A</th></tr>
<tr><td colspan="2">書き込み単位</td><td>ページ(256 バイト)単位</td><td>2 ワード(4 バイト)単位</td></tr>
<tr><td colspan="2">プログラム／イレーズ回数</td><td>100 回</td><td>プログラム ROM1：1,000 回
プログラム ROM2：1,000 回
データフラッシュ：10,000 回</td></tr>
<tr><td colspan="2">CPU 書き換えモード</td><td>EW0 モード相当</td><td>EW0 モード/EW1 モード</td></tr>
<tr><td rowspan="2">CPU 書き換え時の動作条件</td><td>動作速度</td><td>f(BCLK) = 12.5MHz 以下、1 ウェイト
f(BCLK) = 6.25MHz 以下、ウェイトなし</td><td>f(BCLK) = 10.0MHz 以下、1 ウェイト</td></tr>
<tr><td>電源電圧</td><td>4.2V～5.5V</td><td>2.7V～5.5V</td></tr>
<tr><td colspan="2">データ保持時間</td><td>10 年</td><td>20 年</td></tr>
<tr><td colspan="2">フラッシュメモリ供給電源 OFF</td><td>あり</td><td>なし</td></tr>
<tr><td colspan="2">スローリードモード</td><td>なし</td><td>あり</td></tr>
<tr><td colspan="2">低消費電力リードモード</td><td>なし</td><td>あり</td></tr>
<tr><td colspan="2">ユーザブート機能</td><td>なし</td><td>あり</td></tr>
<tr><td colspan="2">強制イレーズ機能</td><td>なし</td><td>あり</td></tr>
<tr><td colspan="2">ブロック分割</td><td>ブロック 6 : 0FC0000h～0FCFFFFh(64K バイト)
ブロック 5 : 0FD0000h～0FDFFFFh(64K バイト)
ブロック 4 : 0FE0000h～0FEFFFFh(64K バイト)
ブロック 3：0FF0000h～0FF7FFFh(32K バイト)
ブロック 2：0FF8000h～0FF9FFFh(8K バイト)
ブロック 1：0FFA000h～0FFBFFFh(8K バイト)
ブロック 0 : 0FFC000h～0FFFFFFh(16K バイト)</td><td>[データフラッシュ]
ブロック A：00E000h～0EFFFh(4K バイト)
ブロック B：00F000h～0FFFFh(4K バイト)
[プログラム ROM2]
プログラム ROM2：010000h～013FFFh
[プログラム ROM1]
ブロック 7：080000h～08FFFFh(64K バイト)
ブロック 6：090000h～09FFFFh(64K バイト)
ブロック 5：0A0000h～0AFFFFh(64K バイト)
ブロック 4：0B0000h～0BFFFFh(64K バイト)
ブロック 3：0C0000h～0CFFFFh(64K バイト)
ブロック 2：0D0000h～0DFFFFh(64K バイト)
ブロック 1：0E0000h～0EFFFFh(64K バイト)
ブロック 0：0F0000h～0FFFFFh(64K バイト)</td></tr>
<tr><td colspan="2">ステータスレジスタ</td><td>SR3(D3)：ブロックステータスアフタプログラム
SR4(D4)：プログラムステータス
SR5(D5)：イレーズステータス
SR7(D7)：ライトステートマシンステータス</td><td>SR4(D4)：プログラムステータス
SR5(D5)：イレーズステータス
SR7(D7)：シーケンサステータス</td></tr>
<tr><td colspan="2">0FFFFFFh (0FFFFFh) 番地機能</td><td>ROM コートプロテクト制御
bit
7-6 : ROM コードプロテクトレベル 1 設定</td><td>オプション機能選択
bit
0: ウォッチドッグタイマ機能選択
2: ROM コードプロテクト解除
3: ROM コードプロテクト
5: Vdet0 選択 1
6: 電圧検出 0 回路起動
7: リセット後カウントソース保護モード選択</td></tr>
</table>

表 2.50 フラッシュメモリ関連 SFR の相違点

シンボル	アドレス		bit	変更箇所	
	M16C/80	M16C/64A		M16C/80	M16C/64A
FMR0	0377h	0220h	−	アドレス変更	
			3	フラッシュメモリリセット	フラッシュメモリ停止
			5	ユーザ ROM 領域選択	予約ビット(注 3)
			6	何も配置されていない	プログラムステータスフラグ
			7	何も配置されていない	イレーズステータスフラグ
FMR1	0376h	0221h	−	アドレス変更	
			1	予約ビット	FMR6 レジスタへの書き込み許可
			3	フラッシュメモリ供給電源 OFF	予約ビット
			6	予約ビット	ロックビットステータスフラグ
			7	予約ビット	データフラッシュウェイト
FMR2	−	0222h	−	−	M16C/64A のみ
FMR6	−	0230h	−	−	M16C/64A のみ
OFS1(注 1)	−	0FFFFFh	−	−	M16C/64A のみ
ROMCP(注 2)	0FFFFFFh	−	−	M16C/80 のみ	−

【注】 1. OFS1 はフラッシュメモリ領域に配置されています。フラッシュメモリにプログラムを書き込むときに同時に値を書き込んでください。
2. ROMCP はフラッシュメモリ領域に配置されています。フラッシュメモリにプログラムを書き込むときに同時に値を書き込んでください。
3. ユーザブートモード以外では“0”に、ユーザブートモードでは“1”にしてください。

表 2.51 ソフトウェアコマンドの相違点

ソフトウェアコマンド	**M16C/80**				M16C/64A					
	第 1 コマンド		第 2 コマンド以降		第 1 コマンド		第 2 コマンド		第 3 コマンド	
ページプログラム	×	xx41h	WAn(注 1)	WDn(注 1)	−	−	−	−	−	−
プログラム	−	−	−	−	WA	xx41h	WA	WD0	WA	WD1
イレーズ全アンロックブロック	×	xxA7h	×	xxD0h	−	−	−	−	−	−
ロックビットプログラム	×	xx77h	BA	xxD0h	BA	xx77h	BA	xxD0h	−	−
ブロックブランクチェック	−	−	−	−	×	xx25h	BA	xxD0h		

WA　: 書き込み番地
WD　: 書き込みデータ(16 ビット)
BA　: ブロックの最上位アドレス(ただし、偶数番地)
×　: ユーザ ROM 領域内の任意の偶数番地
xx　: コマンドコードの上位 8 ビット(無視されます)

【注】 1. WAn と WDn は 00h から FEh (ただし偶数番地)へ順番に設定してください。ページサイズは 256 バイトです。

2.18 電気的特性の相違点

2.18.1 絶対最大定格の相違点

表 2.52に絶対最大定格の相違点を示します。

表 2.52 絶対最大定格の相違点

項目	M16C/80	M16C/64A
消費電力	500mW (Topr=25℃)	300mW (-40℃ ＜Topr ≦85℃)

2.18.2 推奨動作条件の相違点

表 2.53に推奨動作条件の相違点を示します。

表 2.53 推奨動作条件の相違点

項目	M16C/80	M16C/64A
メインクロック入力発振周波数	0MHz ～ 20MHz (Vcc=4.2V ～ 5.5V) 0MHz ～ 10MHz (Vcc=2.7V ～ 4.2V)	2MHz ～ 20MHz (Vcc1=2.7V ～ 5.5V)

2.18.3 A/D 変換特性の相違点

表 2.54にA/D 変換特性の相違点を示します。

表 2.54 A/D 変換特性の相違点

項目	M16C/80	M16C/64A
変換時間(10bit)、サンプル&ホールド機能あり	3.3µs (min)	1.6µs (min)
サンプリング時間	0.3µs(min) (φAD=10MHz)	0.6µs (min) (φAD=25MHz)
基準電圧	2.0V(min) (VREF=VCC=4.2V～5.5V) 2.7V(min) (VREF=VCC=2.7V～5.5V)	3.0V (min)

2.18.4 D/A 変換特性の相違点

表 2.55にD/A 変換特性の相違点を示します。

表 2.55 D/A 変換特性の相違点

項目	M16C/80	M16C/64A
出力抵抗	4kΩ (min) 10kΩ (typ) 20kΩ (max)	5kΩ (min) 6kΩ (typ) 8.2kΩ (max)

VCC1=VCC2=5V

2.18.5 電気的特性の相違点 (VCC1=VCC2=5V)

表 2.56に電気的特性の相違点を、表 2.57～表 2.59にタイミング必要条件の相違点を、表 2.60～表 2.62にスイッチング特性の相違点を示します。

表 2.56 電気的特性の相違点

項目		M16C/80	M16C/64A
"H"出力 XCOUT (無負荷時、Vcc=5.0V)	HIGH POWER	3.0V (typ)	2.6V (typ)
	LOW POWER	1.6V (typ)	2.2V (typ)
ヒステリシス(RESET 以外)		0.2V(min) ～ 1.0V(max)	0.5V(min) ～ 2.0V(max)
ヒステリシス(RESET)		0.2V(min) ～ 1.8V(max)	0.5V(min) ～ 2.5V(max)
プルアップ抵抗		30.0kΩ(min) 50.0kΩ(typ) 167.0kΩ(max)	30kΩ(min) 50kΩ(typ) 100kΩ(max)
帰還抵抗	XIN	1.0MΩ(typ)	1.5MΩ(typ)
	XCIN	6.0MΩ(typ)	8MΩ(typ)
RAM 保持電圧		クロック停止時：2.0V (min)	ストップモード時：1.8V (min)
電源電流	f(XIN)=20MHz 方形波、分周なし	50.0mA (typ) 80.0mA (max)	16.0mA (typ)
	f(XCIN)=32kHz 方形波	7.0mA (typ)	160μA (typ) (低消費電力モード時)
	f(XCIN)=32kHz ウェイトモード	4.0μA (typ)	6.0 μA (typ) (発振能力 Low)
	ストップモード	1.0μA (max)	1.7μA (typ)

表 2.57 タイミング必要条件の相違点 (外部クロック入力)

項目	M16C/80	M16C/64A
外部クロック入力 "H" パルス幅	22ns (min)	20ns (min)
外部クロック入力 "L" パルス幅	22ns (min)	20ns (min)
外部クロック立ち上がり時間	5ns (max)	9ns (max)
外部クロック立ち下がり時間	5ns (max)	9ns (max)

表 2.58 タイミング必要条件の相違点 (シリアルインタフェース)

項目	M16C/80	M16C/64A
RXDi 入力セットアップ時間	30ns (min)	70ns (min)

VCC1=VCC2=5V

表 2.59 タイミング必要条件の相違点 (メモリ拡張モード、マイクロプロセッサモード)

項目	M16C/80	M16C/64A
データ入力アクセス時間 (RD 基準、ウェイトなし)	$(10^9$ / (f(BCLK)×2)) -35 ns (max)	((0.5×10^9) / f(BCLK)) -45 ns (max)
データ入力アクセス時間 (RD 基準、1 ウェイト)	((3×10^9)/ (f(BCLK)×2)) -35 ns (max)	(((1+0.5)×10^9) / f(BCLK)) -45 ns (max)
データ入力アクセス時間 (RD 基準、2 ウェイト)	((5×10^9)/ (f(BCLK)×2)) -35 ns (max)	(((2+0.5)×10^9) / f(BCLK)) -45 ns (max)
データ入力アクセス時間 (RD 基準、3 ウェイト)	((7×10^9)/ (f(BCLK)×2)) -35 ns (max)	(((3+0.5)×10^9) / f(BCLK)) -45 ns (max)
データ入力アクセス時間(RD 基準、マルチプレクスバス領域をアクセスした場合)	((n×10^9)/ (f(BCLK)×2)) -35 ns (max) n は 2 ウェイト時 “3”、3 ウェイト時 “5”	(((n-0.5)×10^9) / f(BCLK)) -45 ns (max) n は 2 ウェイト時 “2”、3 ウェイト時 “3”
データ入力セットアップ時間	tsu(DB-BCLK) : 26ns(min)	tsu(DB-RD) : 40ns (min)
RDY 入力セットアップ時間	26ns (min)	80ns (min)

表 2.60 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトなし)

項目	M16C/80	M16C/64A
アドレス出力遅延時間	18ns (max)	25ns (max)
アドレス出力保持時間(BLCK 基準)	-3ns (min)	0ns (min)
チップセレクト出力遅延時間	18ns (max)	25ns (max)
チップセレクト出力保持時間(BCLK 基準)	-3ns (min)	0ns (min)
ALE 信号出力遅延時間	18ns (max)	15ns (max)
ALE 信号出力保持時間	-2ns (min)	-4ns (min)
RD 信号出力遅延時間	10ns (max)	25ns (max)
RD 信号出力保持時間	-5ns (min)	0ns (min)
WR 信号出力遅延時間	18ns (max)	25ns (max)
WR 信号出力保持時間	-3ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	$(10^9$ / f(BCLK)) -20 ns (min)	((0.5×10^9) / f(BCLK)) -40ns (min) f(BCLK)は 12.5MHz 以下

VCC1=VCC2=5V

表 2.61 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり)

項目	M16C/80	M16C/64A
アドレス出力遅延時間	18ns (max)	25ns (max)
アドレス出力保持時間(BLCK 基準)	-3ns (min)	0ns (min)
チップセレクト出力遅延時間	18ns (max)	25ns (max)
チップセレクト出力保持時間(BCLK 基準)	-3ns (min)	0ns (min)
ALE 信号出力遅延時間	18ns (max)	15ns (max)
ALE 信号出力保持時間	-2ns (min)	-4ns (min)
RD 信号出力遅延時間	10ns (max)	25ns (max)
RD 信号出力保持時間	-5ns (min)	0ns (min)
WR 信号出力遅延時間	18ns (max)	25ns (max)
WR 信号出力保持時間	-3ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	$((n \times 10^9) / f(BCLK))$ -20ns (min) (注 1)	$(((n-0.5) \times 10^9) / f(BCLK))$ -40ns (min) (注 1)

【注】 1. n は 1 ウェイト設定の場合は“1”、2 ウェイト設定の場合は“2” 、3 ウェイト設定の場合は“3”

表 2.62 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

項目	M16C/80	M16C/64A
アドレス出力遅延時間	18ns (max)	25ns (max)
アドレス出力保持時間(BLCK 基準)	-3ns (min)	0ns (min)
チップセレクト出力遅延時間	18ns (max)	25ns (max)
チップセレクト出力保持時間(BCLK 基準)	-3ns (min)	0ns (min)
RD 信号出力遅延時間	18ns (max)	25ns (max)
RD 信号出力保持時間	-5ns (min)	0ns (min)
WR 信号出力遅延時間	18ns (max)	25ns (max)
WR 信号出力保持時間	-3ns (min)	0ns (min)
データ出力保持期間(BCLK 基準)	-5ns (min)	0ns (min)
データ出力遅延時間(WR 基準)	$(n \times 10^9 / (f(BCLK) \times 2))$ -25ns (min) (注 1)	$(((n-0.5) \times 10^9) / f(BCLK))$ -40ns (min) (注 1)
ALE 信号出力遅延時間(BCLK 基準)	18ns (max)	15ns (max)
ALE 信号出力保持時間(BCLK 基準)	-2ns (min)	-4ns (min)
ALE 信号出力遅延時間(アドレス基準)	$(10^9 / (f(BCLK) \times 2))$ -23ns (min)	$((0.5 \times 10^9) / f(BCLK))$ -25ns (min)
ALE 信号出力保持時間(アドレス基準)	$(10^9 / (f(BCLK) \times 2))$ -10ns (min)	$((0.5 \times 10^9) / f(BCLK))$ -15ns (min)

【注】 1. n は 2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”

VCC1=VCC2=3V

2.18.6 電気的特性の相違点 (VCC1=VCC2=3V)

表 2.63に電気的特性の相違点を、表 2.64～表 2.67にタイミング必要条件の相違点を、表 2.68～表 2.70にスイッチング特性の相違点を示します。

表 2.63 電気的特性の相違点

項目		M16C/80	M16C/64A
“H”出力 XCOUT (無負荷時、Vcc=5.0V)	HIGH POWER	3.0V (typ)	2.6V (typ)
	LOW POWER	1.6V (typ)	2.2V (typ)
プルアップ抵抗		66.0kΩ(min) 120.0kΩ(typ) 500.0kΩ(max)	50kΩ(min) 80kΩ(typ) 150kΩ(max)
帰還抵抗	XCIN	10.0MΩ(typ)	16MΩ(typ)
RAM 保持電圧		クロック停止時：2.0V (min)	ストップモード時：1.8V (min)
電源電流	f(XIN)=20MHz 方形波、分周なし	―	16.0mA (typ)
	f(XIN)=10MHz 方形波、分周なし	14.0mA (typ) 23.0mA (max)	―
	f(XCIN)=32kHz 方形波	3.5mA (typ)	160µA (typ) (低消費電力モード時)
	f(XCIN)=32kHz ウェイトモード 発振能力 High	3.0µA (typ)	8.0 µA (typ)
	f(XCIN)=32kHz ウェイトモード 発振能力 Low	1.5µA (typ)	4.0 µA (typ)
	ストップモード	1.0µA (max)	1.6µA (typ)

表 2.64 タイミング必要条件の相違点 (外部クロック入力)

項目	M16C/80	M16C/64A
外部クロック入力サイクル時間	100ns (min)	50ns (min)
外部クロック入力 “H”パルス幅	40ns (min)	20ns (min)
外部クロック入力 “L”パルス幅	40ns (min)	20ns (min)
外部クロック立ち上がり時間	18ns (max)	9ns (max)
外部クロック立ち下がり時間	18ns (max)	9ns (max)

表 2.65 タイミング必要条件の相違点 (タイマ B イベントカウンタモードのカウント入力)

項目	M16C/80	M16C/64A
TBiIN 入力“H”パルス幅(両エッジカウント)	160ns (min)	120ns (min)
TBiIN 入力“L”パルス幅(両エッジカウント)	160ns (min)	120ns (min)

表 2.66 タイミング必要条件の相違点 (シリアルインタフェース)

項目	M16C/80	M16C/64A
RXDi 入力セットアップ時間	50ns (min)	100ns (min)

VCC1=VCC2=3V

表 2.67 タイミング必要条件の相違点 (メモリ拡張モード、マイクロプロセッサモード)

項目	M16C/80	M16C/64A
データ入力アクセス時間 (RD 基準、ウェイトなし)	(10^9 / (f(BCLK)×2)) -42 ns (max)	((0.5×10^9) / f(BCLK)) -60 ns (max)
データ入力アクセス時間 (RD 基準、1 ウェイト)	((3×10^9)/ (f(BCLK)×2)) -42 ns (max)	(((1+0.5)×10^9) / f(BCLK)) -60 ns (max)
データ入力アクセス時間 (RD 基準、2 ウェイト)	((5×10^9)/ (f(BCLK)×2)) -42 ns (max)	(((2+0.5)×10^9) / f(BCLK)) -60 ns (max)
データ入力アクセス時間 (RD 基準、3 ウェイト)	((7×10^9)/ (f(BCLK)×2)) -42 ns (max)	(((3+0.5)×10^9) / f(BCLK)) -60 ns (max)
データ入力アクセス時間(RD 基準、マルチプレクスバス領域をアクセスした場合)	((n×10^9)/ (f(BCLK)×2)) -55 ns (max) n は 2 ウェイト時 “3”、3 ウェイト時 “5”	(((n-0.5)×10^9) / f(BCLK)) -60 ns (max) n は 2 ウェイト時 “2”、3 ウェイト時 “3”
データ入力セットアップ時間	tsu(DB-BCLK) : 40ns(min)	tsu(DB-RD) : 50ns (min)
RDY 入力セットアップ時間	60ns (min)	85ns (min)

表 2.68 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトなし)

項目	M16C/80	M16C/64A
アドレス出力遅延時間	25ns (max)	30ns (max)
アドレス出力保持時間(WD 基準)	(10^9 / (f(BCLK)×2)) -20 ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力遅延時間	25ns (max)	30ns (max)
ALE 信号出力保持時間	-2ns (min)	-4ns (min)
RD 信号出力遅延時間	10ns (max)	30ns (max)
RD 信号出力保持時間	-3ns (min)	0ns (min)
WR 信号出力遅延時間	25ns (max)	30ns (max)
データ出力遅延時間(WR 基準)	(10^9 / f(BCLK)) -40 ns (min)	((0.5×10^9) / f(BCLK)) -40ns (min) f(BCLK)は 12.5MHz 以下
データ出力保持時間(WR 基準)	(10^9 / (f(BCLK)×2)) -20 ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)

VCC1=VCC2=3V

表 2.69 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり)

項目	M16C/80	M16C/64A
アドレス出力遅延時間	25ns (max)	30ns (max)
アドレス出力保持時間(WR 基準)	$(10^9$ / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力遅延時間	25ns (max)	30ns (max)
ALE 信号出力保持時間	-2ns (min)	-4ns (min)
RD 信号出力遅延時間	10ns (max)	30ns (max)
RD 信号出力保持時間	-3ns (min)	0ns (min)
WR 信号出力遅延時間	25ns (max)	30ns (max)
データ出力遅延時間(WR 基準)	((n×10^9) / f(BCLK)) -40ns (min) (注 1)	(((n-0.5)×10^9) / f(BCLK)) -40ns (min) (注 1)
データ出力保持時間(WR 基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)

【注】 1. n は 1 ウェイト設定の場合は“1”、2 ウェイト設定の場合は“2” 、3 ウェイト設定の場合は“3”

表 2.70 スイッチング特性の相違点 (メモリ拡張モード、マイクロプロセッサモード、ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

項目	M16C/80	M16C/64A
アドレス出力遅延時間	25ns (max)	50ns (max)
アドレス出力保持時間(RD 基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
アドレス出力保持時間(WR 基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力遅延時間	25ns (max)	50ns (max)
チップセレクト出力保持時間(RD 基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
チップセレクト出力保持時間(WR 基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
RD 信号出力遅延時間	25ns (max)	40ns (max)
RD 信号出力保持時間	-3ns (min)	0ns (min)
WR 信号出力遅延時間	25ns (max)	40ns (max)
データ出力遅延時間(WR 基準)	(n×10^9 / (f(BCLK)×2)) -40ns (min) (注 1)	(((n-0.5)×10^9) / f(BCLK)) -50ns (min) (注 1)
データ出力保持時間(WR 基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -10ns (min)
ALE 信号出力保持時間(BCLK 基準)	-2ns (min)	-4ns (min)
ALE 信号出力遅延時間(アドレス基準)	(10^9 / (f(BCLK)×2)) -27ns (min)	((0.5×10^9) / f(BCLK)) -40ns (min)
ALE 信号出力保持時間(アドレス基準)	(10^9 / (f(BCLK)×2)) -20ns (min)	((0.5×10^9) / f(BCLK)) -15ns (min)

【注】 1. n は 2 ウェイト設定の場合は“2”、3 ウェイト設定の場合は“3”

2.19 開発ツールの相違点

表 2.71に開発ツールの相違点を示します。

表 2.71 開発ツールの相違点

項目	M16C/80	M16C/64A
C コンパイラ (シミュレータデバッガを含む)	M3T-NC308WA	M3T-NC30WA
リアルタイム OS	M3T-MR308/4	M3T-MR30/4
エミュレータデバッガ フルスペックエミュレータ	PC4701U	E100
エミュレーションポッド MCU ユニット	M30803T-RPD-E	R0E530650MCU00 (E100 対応)
コンパクトエミュレータ オンチップデバッギングエミュレータ	M30800T-CPE	E8a

3. M16C/80 から M16C/64A 置き換え時の注意事項

3.1 ソフトウェア作成時の注意事項

3.1.1 ポインタ型変数の near/far 属性について

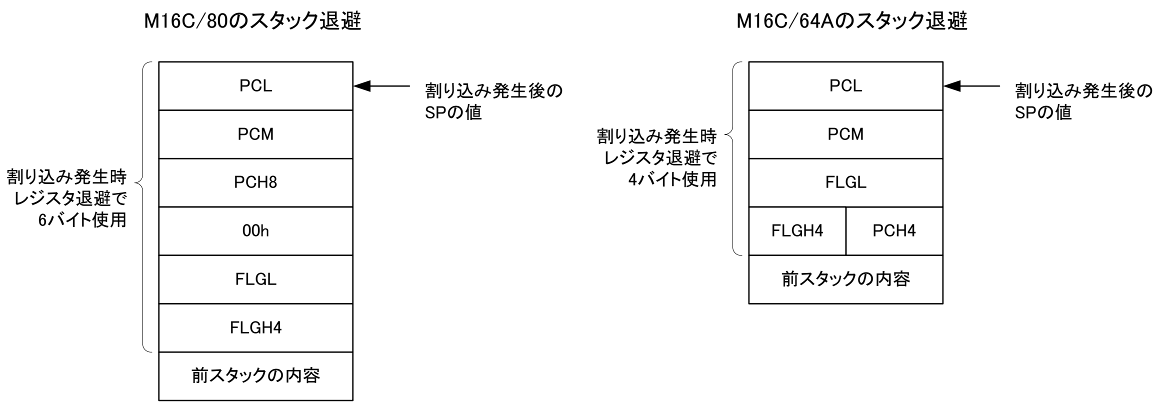
C コンパイラ M3T-NC308WA と M3T-NC30WA では､ポインタの near/far 属性のデフォルトが異なります。

M3T-NC308WA では、デフォルト far 型(4 バイト変数、アクセス範囲: 000000h ～ 0FFFFFFh 番地)、

M3T-NC30WA では、デフォルト near 型(2 バイト変数、アクセス範囲: 000000h ～ 00FFFF 番地)となっています。

3.1.2 割り込み発生時のレジスタ退避について

割り込み発生時のレジスタ退避内容が異なります。スタックの内容を読み出し、または書き込む場合はご注意ください。



【注】 PCL : PC の下位 8 ビット
PCM : PC の中位 8 ビット
PCH8 : PC の上位 8 ビット
PCH4 : PC の上位 4 ビット
FLGL : FLG の下位 8 ビット
FLGH8 : FLG の上位 8 ビット
FLGH4 : FLG の上位 4 ビット

図 3.1 割り込み発生時のスタック退避

3.1.3 OFS 番地について

M16C/64A ではユーザ ROM の最上位番地(0FFFFFh 番地)にオプション機能選択領域(OFS1)が配置されています。フラッシュメモリにプログラムを書き込むと同時に OFS1 番地にも値を書き込みます。あらかじめソフトウェアにて OFS1 番地に値を定義してください。

OFS1 番地への定義記載例：

```
_asm(" .ofsreg    0FFh");
```

3.2 回路設計上の注意事項

3.2.1 発振回路定数について

ご使用の基板に M16C/64A を実装した場合の最適な発振回路定数は、発振子メーカのマッチング測定で発振余裕度が十分にあると判定いただいた定数を設定してください。

3.2.2 端子入出力について

周辺機能で使用する端子のレイアウトは互換となっていますが、外部バスに関連するチップセレクト端子の配置が異なります。また、各チップセレクトのアドレス空間も異なります。

(「表 2.9 バス関連端子の相違点」参照)

3.2.3 SFR 書き込み直後の外部アクセスについて

M16C/64A では、SFR 領域にアクセスした場合も外部バスの状態が変化します。そのため、SFR 書き込みと外部デバイスアクセスが連続した場合、ライト信号と CSi 信号が同時に切り替わりますので、ライト信号が遅れないように各信号の容量を調整してください。

3.2.4 CNVSS 端子の接続について

CNVSS 端子は、E8a エミュレータがマイコン制御に使用します。
E8a エミュレータとマイコン端子をプルダウンした上で E8a エミュレータと接続してください。
CNVSS 端子にはコンデンサ等を接続しないでください。

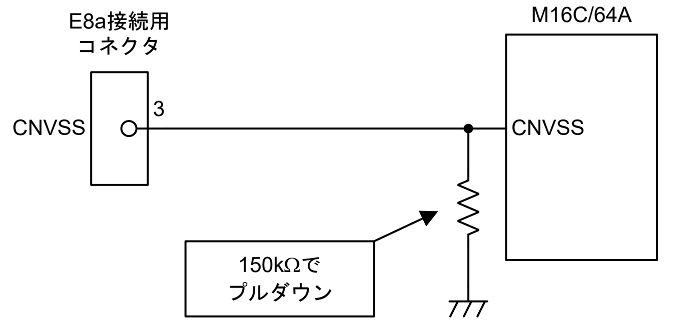


図 3.2　E8a エミュレータと CNVSS 端子の接続

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ
http://japan.renesas.com/

お問合せ先
http://japan.renesas.com/contact/

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.08.01	-	初版発行
1.01	2016.12.20	51	3.2.4　CNVSS 端子の接続について　追記

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

   CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

   【注意】電源投入時は，製品の状態は不定です。

   電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

   【注意】リセット時は、クロックが安定した後、リセットを解除してください。

   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

   同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/