

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## H8/36077 グループ

### 外部クロックバックアップ機能

#### 要旨

オンチップオシレータクロック動作を外部クロックの動作に切り替えます。その後、外部発振を停止し、外部クロックバックアップ機能により、オンチップオシレータクロック動作に切り替えます。

#### 動作確認デバイス

H8/36077

#### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	3
3. 動作説明 .....	4
4. ソフトウェア説明 .....	6
5. フローチャート .....	9
6. プログラムリスト .....	11

## 1. 仕様

- 図 1 に LSI のシステムクロック状態遷移図を示します。
- 初期状態では、オンチップオシレータクロックで動作します。
  - (1) 動作確認のため、初期設定で PCR2 レジスタの PCR20 ビットに 1 をセットします。P20 端子を出力ポートに設定します。
  - (2) オンチップオシレータクロック動作を外部クロックの動作に切り替えます。
  - (3) 動作確認のため、PDR2 レジスタの P20 ビットを 0 にセットします。
  - (4) 外部発振を停止し、外部クロックバックアップ機能により、オンチップオシレータクロック動作に切り替えます。
  - (5) 動作確認のため、PDR2 レジスタの P20 ビットを 1 にセットします。

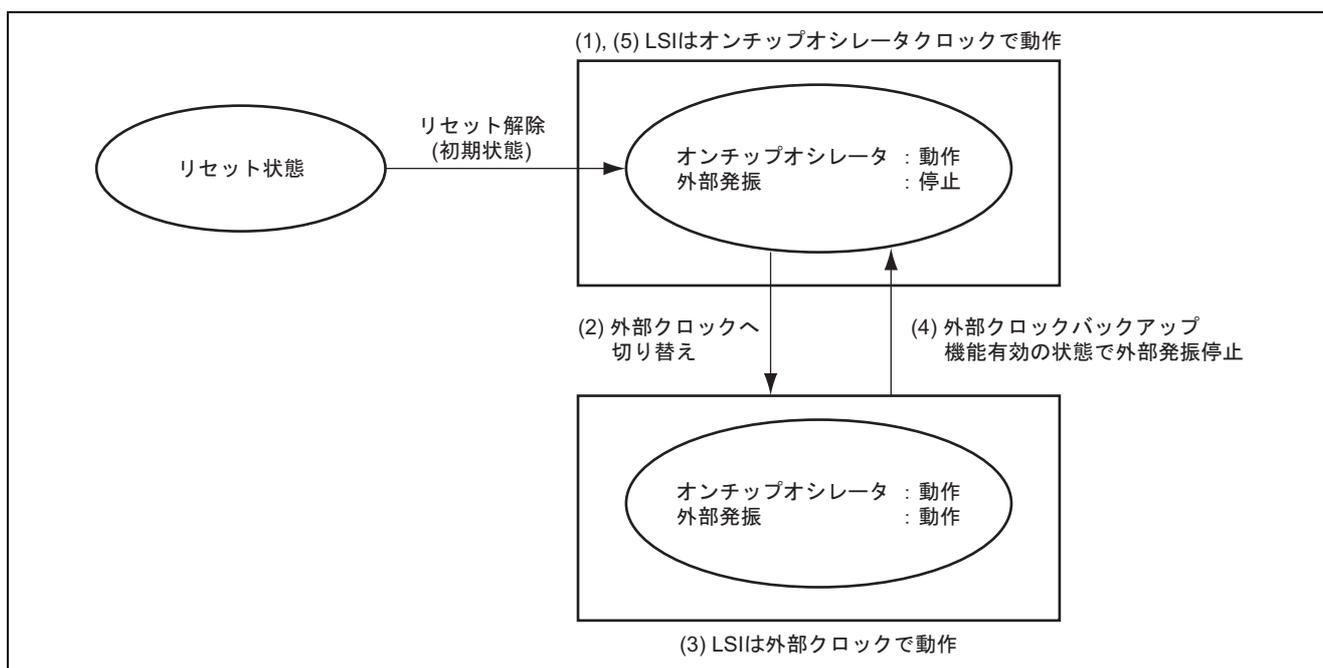


図 1 LSI のシステムクロック状態遷移図

2. 使用機能説明

2.1 使用機能

本タスク例では、システムクロックの切り替え動作をします。図2にクロック発生回路のブロック図を示します。以下に、クロック発生回路のブロック図、および本タスク例における使用機能を説明します。

- システムクロック ( $\phi$ )  
CPU および周辺機能を動作させるための基準クロックです。
- プリスケアラ S (PSS)  
 $\phi$ を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
- タイマコントロール/ステータスレジスタ WD (TCSRWD)  
8 ビットのリード/ライト可能なレジスタで、ウォッチドッグタイマの動作制御をします。
- クロックコントロールステータスレジスタ (CKCSR)  
CKCSR は、ポート C の機能選択やシステムクロックの切り替え制御、システムクロックの状態表示などを行ないます。
- ポートコントロールレジスタ 2 (PCR2)  
PCR2 は、ポート 2 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。
- ポートデータレジスタ 2 (PDR2)  
PDR2 は、ポート 2 の汎用入出力ポートデータレジスタです。

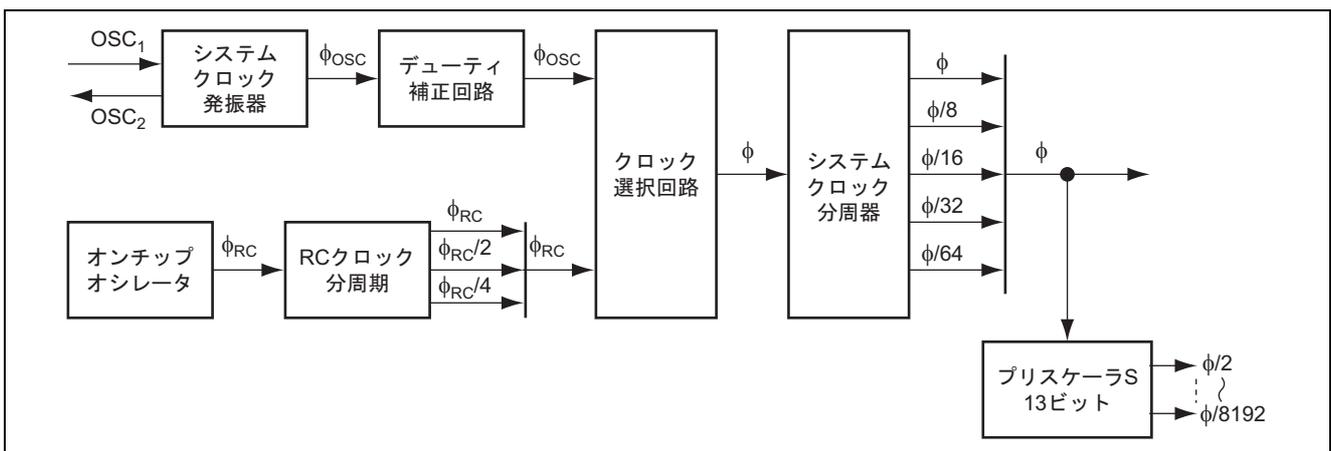


図2 クロック発生回路のブロック図

2.2 機能割り付け

本タスク例の機能割り付けを表1に示します。表1に示すように機能を割り付け、オンチップオシレータクロック動作を外部クロック動作に切り替えます。その後、外部発振を停止し、外部クロックバックアップ機能により、オンチップオシレータクロック動作に切り替えます。

表1 機能割り付け

機能	機能割り付け
CKCSR	ポート C の機能選択 , オンチップオシレータクロックと外部クロックのシステムクロック切り替え, システムクロックの状態表示
PCR2	P20 を出力機能に設定。P20 を動作確認用として使用
PDR2	P20 の出力値を表す。P20 を動作確認用として使用

3. 動作説明

3.1 オンチップオシレータクロックから外部クロックへの切り替えタイミング

図3に示すハードウェア、ソフトウェア処理により、オンチップオシレータクロックから外部クロックへの切り替えをします。プログラムを起動すると、オンチップオシレータクロック動作をします。動作確認のため、PCR2レジスタのPCR20ビットに1をセットします。P20端子を出力ポートに設定します。動作確認のため、外部クロック動作に切り替わると、PDR2レジスタのP20ビットに0をセットします。

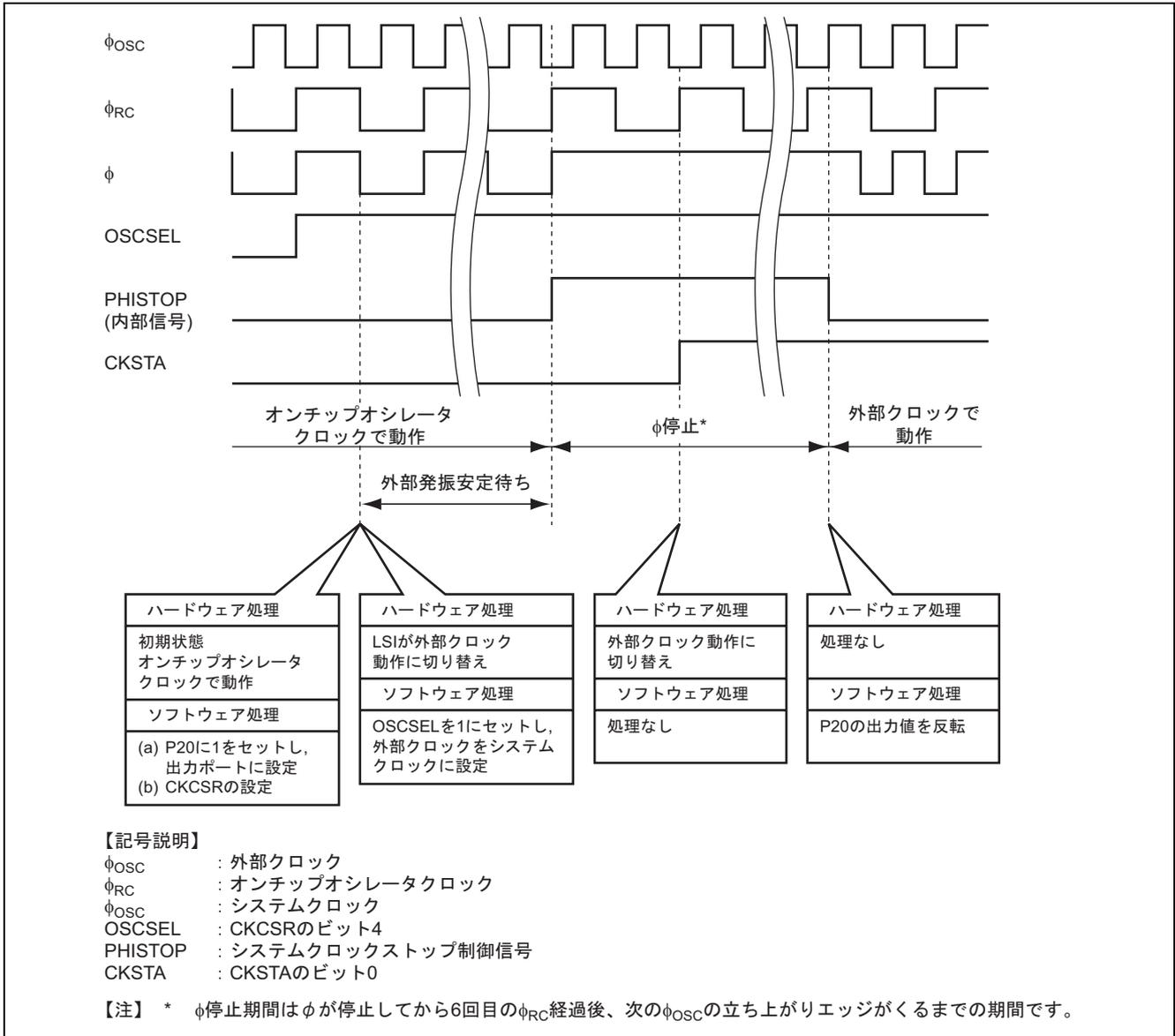


図3 オンチップオシレータクロックから外部クロックへ切り替えのタイミング

### 3.2 外部クロックバックアップタイミング

図4に示すソフトウェア、ハードウェア処理により、外部クロックバックアップ機能によるオンチップオシレータクロックへの切り替え動作をします。動作確認のため、外部クロック動作からオンチップオシレータクロック動作に切り替わると、PDR2レジスタのP20ビットを1にセットします。

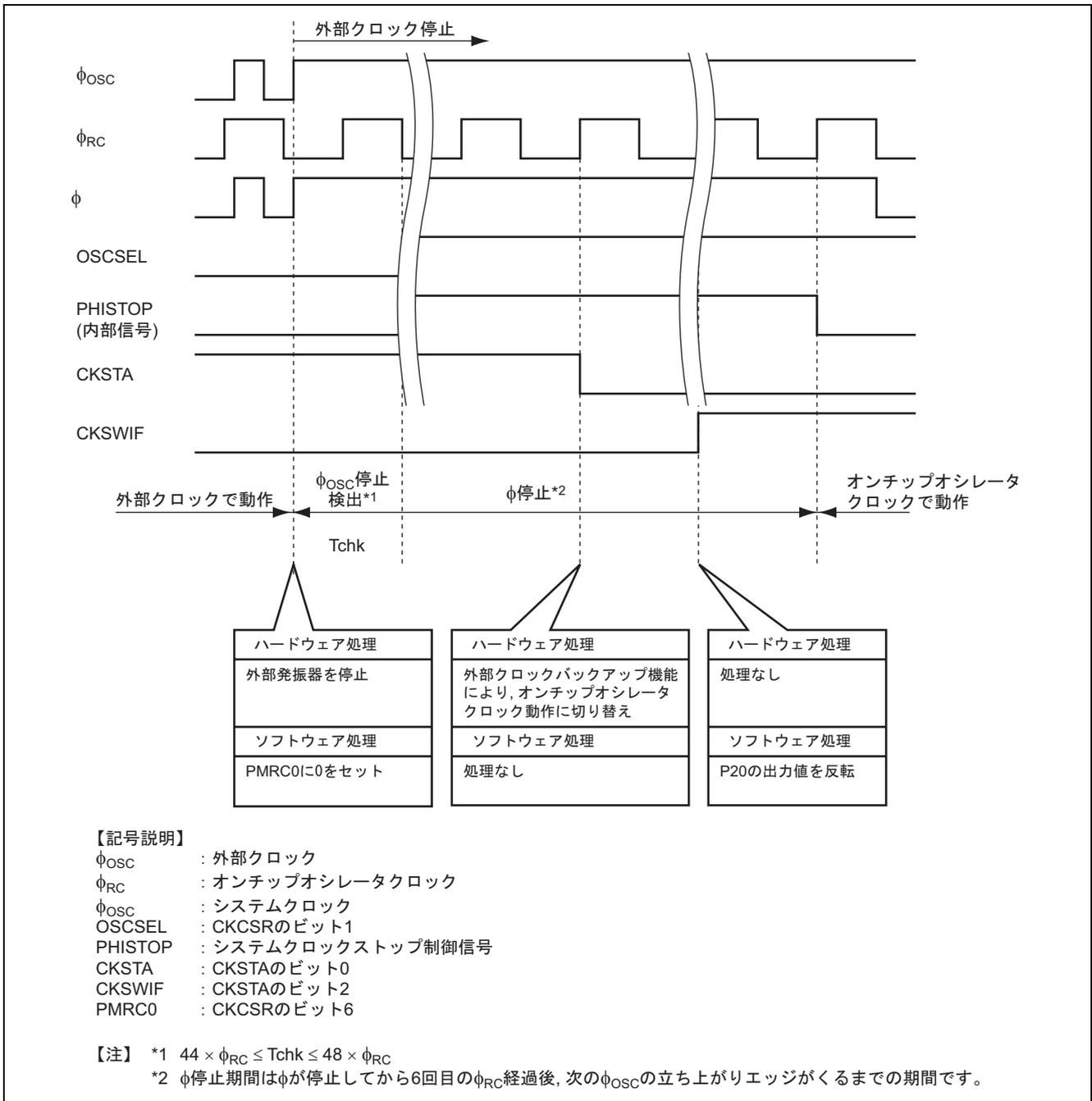


図4 外部クロックバックアップタイミング

## 4. ソフトウェア説明

### 4.1 モジュール説明

本タスク例のモジュールを表 2 に示します。

表 2 モジュール説明

関数名	機能
main	CKCSR の設定, システムクロックの切り替え, P20 端子を出力ポートに設定
swckint	クロック切り替え例外処理

### 4.2 引数の説明

本タスク例では, 引数を使用しません。

### 4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- CKCSR クロックコントロールステータスレジスタ アドレス: HF734

ビット	ビット名	設定値	R/W	機能																				
7 6	PMRC1 PMRC0	1 1	R/W R/W	ポート C 機能選択ビット 1, 0 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PMRC1</th> <th>PMRC0</th> <th>PC1</th> <th>PC0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>I/O</td> <td>I/O</td> </tr> <tr> <td>1</td> <td>0</td> <td>CLKOUT</td> <td>I/O</td> </tr> <tr> <td>0</td> <td>1</td> <td>I/O</td> <td>OSC1 (外部クロック)</td> </tr> <tr> <td>1</td> <td>1</td> <td>OSC2</td> <td>OSC1</td> </tr> </tbody> </table>	PMRC1	PMRC0	PC1	PC0	0	0	I/O	I/O	1	0	CLKOUT	I/O	0	1	I/O	OSC1 (外部クロック)	1	1	OSC2	OSC1
PMRC1	PMRC0	PC1	PC0																					
0	0	I/O	I/O																					
1	0	CLKOUT	I/O																					
0	1	I/O	OSC1 (外部クロック)																					
1	1	OSC2	OSC1																					
5	OSCBAKE	1	R/W	外部クロックバックアップイネーブル 0: 外部クロックバックアップ無効 1: 外部クロックバックアップ有効 このビットが 1 のとき、外部発振検出回路が有効になります。LSI が外部クロックで動作する場合に外部発振停止を検出したとき、このレジスタのビット 4 の値に関わらず、システムクロックは自動的にオンチップオシレータクロックに切り替わります。																				
4	OSCSEL	0	R/W	LSI 動作クロックセレクト OSCBAKE = 0 の状態 このビットは LSI のシステムクロックを強制的に選択するビットです。 0: オンチップオシレータクロックをシステムクロックとして選択 1: 外部クロックをシステムクロックとして選択 OSCBAKE = 1 の状態 このビットはオンチップオシレータクロックから外部クロックへの切り替え用ビットです。LSI がオンチップオシレータクロックで動作する状態で、このビットを 1 にセットすることでシステムクロックを外部クロックに切り替えます。 [セット条件] • CKSWIF ビットが 0 の状態で 1 をライトしたとき [クリア条件] • 0 をライトしたとき • OSCBAKE = 1 の状態で、外部発振停止を検出したとき																				
3	CKSWIE	0	R/W	クロック切り替えインタラプトイネーブル このビットを 1 にセットすると、クロック切り替え割り込み要求がイネーブルになります。																				
2	CKSWIF	0	R/W	クロック切り替え割り込み要求フラグ [セット条件] • 動作クロックが外部クロックからオンチップオシレータクロックに切り替わったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき																				

• CKCSR クロックコントロールステータスレジスタ アドレス：H'F734

ビット	ビット名	設定値	R/W	機能
1	OSCHLT	1	R	外部発振停止検出フラグ OSCBAKE = 1 の状態 このビットは外部発振検出結果を示します。 0: 外部発振が発振状態 1: 外部発振が停止状態 OSCBAKE = 0 の状態 このビットは意味をもちません。読み出すと常に 1 が読み出されます。
0	CKSTA	0	R	LSI 動作クロックステータス 0: LSI がオンチップオシレータクロックで動作 1: LSI が外部クロックで動作

• PDR2 ポートデータレジスタ 2 アドレス：H'FFD5

ビット	ビット名	設定値	R/W	機能
0	P20	0	R/W	ポート 2 の出力値を格納します。 このレジスタをリードすると、PCR2 がセットされているビットはこのレジスタの値が読み出されます。PCR2 がクリアされているビットはこのレジスタの値に関わらず、端子の状態が読み出されず。

• PCR2 ポートコントロールレジスタ 2 アドレス：H'FFE5

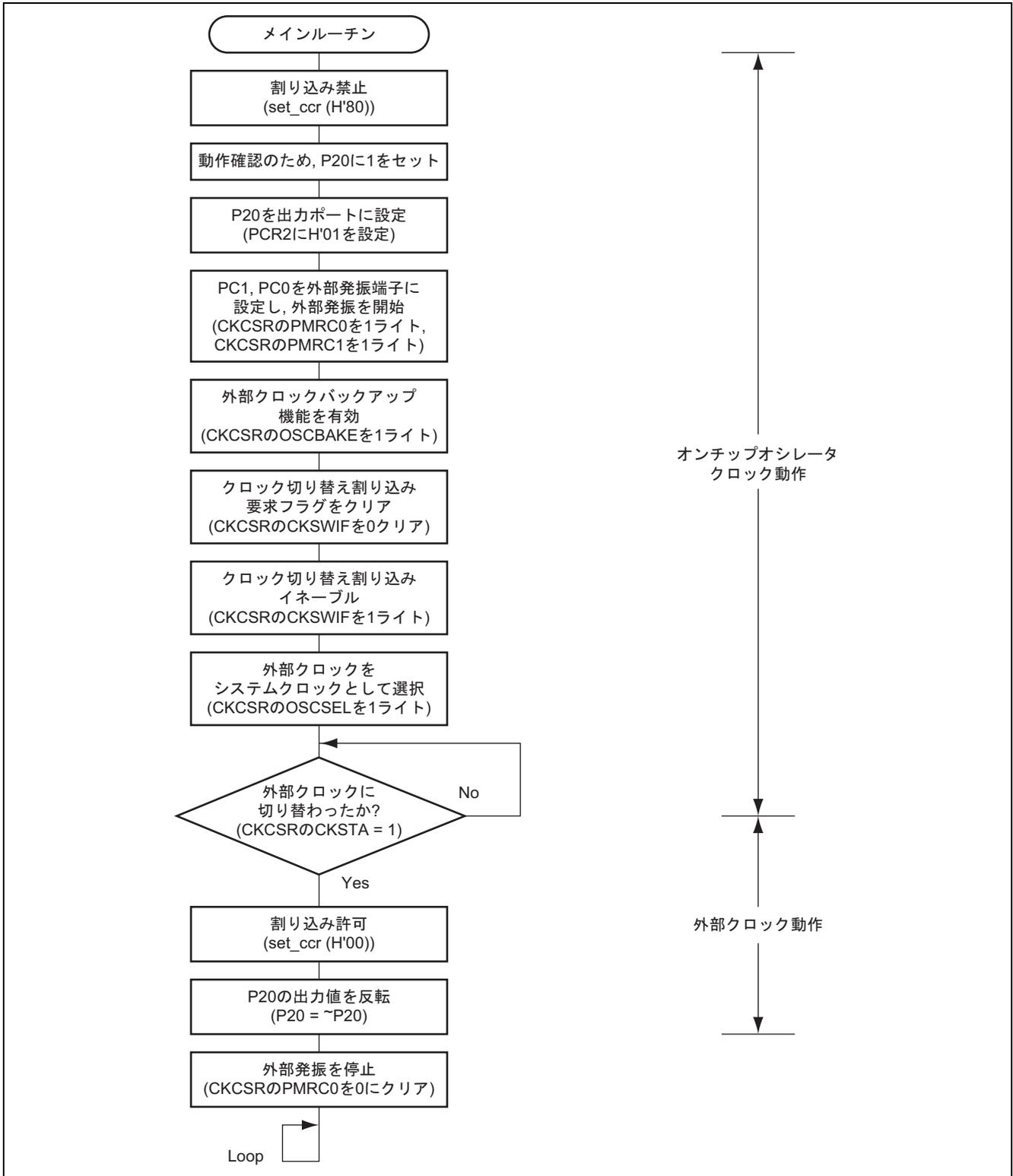
ビット	ビット名	設定値	R/W	機能
0	PCR20	1	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

#### 4.4 使用 RAM 説明

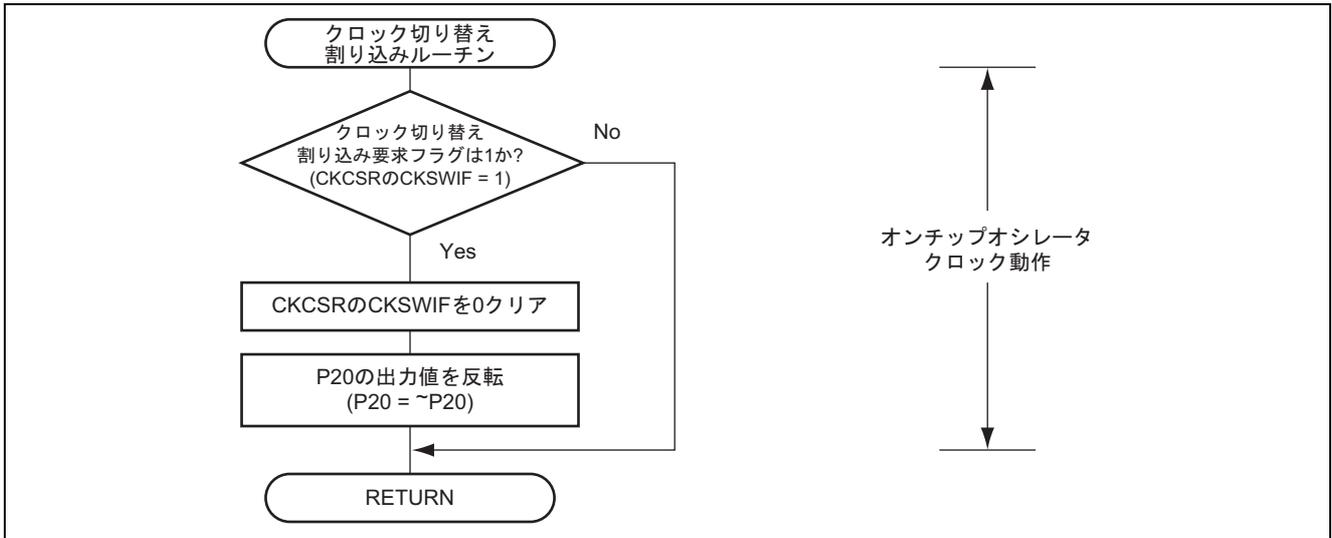
本タスク例では、RAM は使用しません。

5. フローチャート

5.1 メインルーチン



5.2 クロック切り替え割り込みルーチン



## 6. プログラムリスト

```

/*****
/*
/* H8/300H Series -H8/36077-
/* Application Note
/*
/* 'The External Clock Stop Detection'
/*
/* Function
/* : Internal Ring OSC
/*
/* <The external clock vessel>
/* External Clock : 10MHz
/* Internal Clock : 20MHz
/*
/* <The built-in ring>
/* External Clock : 10MHz
/* Internal Clock : 10MHz
/*
/* Sub Clock      : 32.768kHz
/*
*****/

#include <machine.h>

/*****
/* Symbol Definition
*****/
struct BIT {
    unsigned char    b7:1;      /* bit7
    unsigned char    b6:1;      /* bit6
    unsigned char    b5:1;      /* bit5
    unsigned char    b4:1;      /* bit4
    unsigned char    b3:1;      /* bit3
    unsigned char    b2:1;      /* bit2
    unsigned char    b1:1;      /* bit1
    unsigned char    b0:1;      /* bit0
};

#define CKCSR      *(volatile unsigned char *)0xF734 /* Clock Control Status Register */
#define CKCSR_BIT  (*(volatile struct BIT *)0xF734) /* Clock Control Status Register*/
#define PMRC1      CKCSR_BIT.b7 /* Port C
#define PMRC0      CKCSR_BIT.b6 /* Function Choice
#define OSCBAKE    CKCSR_BIT.b5 /* External Clock Back Up Enable */
#define OSCSEL     CKCSR_BIT.b4 /* LSI Move Clock Select
#define CKSWIE     CKCSR_BIT.b3 /* Clock Switching Interrupt Enable*/
#define CKSWIF     CKCSR_BIT.b2 /* Clock Switching Interrupt Request Flag */
#define OSCHLT     CKCSR_BIT.b1 /* The External Clock Stop Detection Flag */
#define CKSTA      CKCSR_BIT.b0 /* LSI Move Clock Status
#define PCR2       *(volatile unsigned char *)0xFFE5 /* Port Control Register 2 */
#define PCR2_BIT   (*(volatile struct BIT *)0xFFE5) /* Port Control Register 2 */
#define PCR20      PCR2_BIT.b0 /* Port Control Register 2 bit 0 */
#define PDR2       *(volatile unsigned char *)0xFFD5 /* Port Data Register 2
#define PDR2_BIT   (*(volatile struct BIT *)0xFFD5) /* Port Data Register 2
#define P20        PDR2_BIT.b0 /* Port Data Register 2 bit 0

```

```

/*****
/* Function Define
/*****
extern void INIT (void);          /* SP set
void main ( void );             /* Main Function
void swckint (void);            /* Switch Clock Interrupt

/*****
/* Vector Address
/*****
#pragma section V1              /* Vector Section Set
void (*const VEC_TBL1[])(void) = { /* 0x00 Reset
    INIT
};
#pragma section V2              /* Vector Section Set
void (*const VEC_TBL2[])(void) = { /* 0x44 Clock Exchange Interrupt
    swckint
};
#pragma section                 /* P

/*****
/* Main Program
/*****
void main ( void )
{
    set_ccr(0x80);              /* Interrupt Disable
    P20 = 1;                    /* For The Movement Confirmation
    PCR2 = 0x01;                /* P20 --> Output

    CKCSR |= 0xC0;              /* Set Port C
    OSCBAKE = 1;                /* Set External Clock Back Up Enable
    CKSWIF = 0;                 /* Clear CKSWIF Flag
    CKSWIE = 1;                 /* Switch Clock Interrupt Enable
    OSCSEL = 1;                 /* Change to External Clock

    while(CKSTA == 0);         /* Change to External Clock ?

    set_ccr(0x00);              /* Interrupt Enable

    P20 = ~P20;                 /* For The Movement Confirmation

    PMRC0 = 0;                  /* Stop External Clock

    while(1);
}

/*****
/* Switch Clock Interrupt
/*****
void swckint (void)
{
    if(CKSWIF==1){              /* Change to Internal Clock?
        CKSWIF = 0;            /* Clear CKSWIF Flag
        P20 = ~P20;            /* For The Movement Confirmation
    }
}

```

- リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'0044
P	H'0100
C\$BSEC	
C\$DSEC	
D	
R	H'FB80
B	

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.09	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。