

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8/36077 グループ

## リセット要因の判別方法

### 要旨

H8/36077 のリセットはパワーオンリセット, LVD リセット, 外部端子リセット, WDT リセットの 4 要因があります。リセット解除後にリセット要因判別レジスタ (LVDRF) をリードすることにより, リセットの要因を判別します。

### 動作確認デバイス

H8/36077

### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	4
3. 動作説明 .....	6
4. ソフトウェア説明 .....	10
5. フローチャート .....	18
6. プログラムリスト .....	21

### 1. 仕様

1. 図 1 に本タスクのマイコン接続図を示します。
2. 内蔵パワーオンリセット回路を用い、パワーオンリセット動作をします。
  - 外部にコンデンサを接続することにより、電源投入時に内部リセット信号が発生します。
  - リセット解除後、リセットの要因を判別するため、シリアルでリセット要因判別レジスタ (LVDRF) の値 (H'02) を PC へ出力します。
3. 内蔵低電圧検出回路 (LVDR) を使用し、電圧低下時のリセット動作をします (低電圧検出電圧は typ. 3.6 V に設定します)。
  - 電源電圧が 3.6 V 以下になると、内部リセット信号が発生します。
  - 低電圧リセット状態で電圧が 3.6 V を超えると、プリスケラ S (PSS) はカウントアップを始め、131,072 ステート経過すると、内部リセット信号を解除します。
  - リセットの要因を判別するため、シリアルで LVDRF レジスタの値 (H'02) を PC へ出力します。
4. ウォッチドッグタイマ (WDT) 機能を使用し、ウォッチドッグ動作をします。
  - パワーオンリセット解除後、タイマカウンタ WD (TCWD) はカウントアップを開始します。
  - TCWD のカウント値がオーバフローすると内部リセット信号が発生します。
  - リセット解除後、シリアルで LVDRF レジスタの値 (H'01) を PC へ出力します。
5. 外部リセット端子  $\overline{\text{RES}}$  よりリセット信号を入力し、外部リセット動作をします。
  - $\overline{\text{RES}}$  端子が Low レベルになると、リセット状態になります。
  - $\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになるとリセット解除します。
  - リセットの要因を判別するため、シリアルで LVDRF レジスタの値 (H'00) を PC へ出力します。

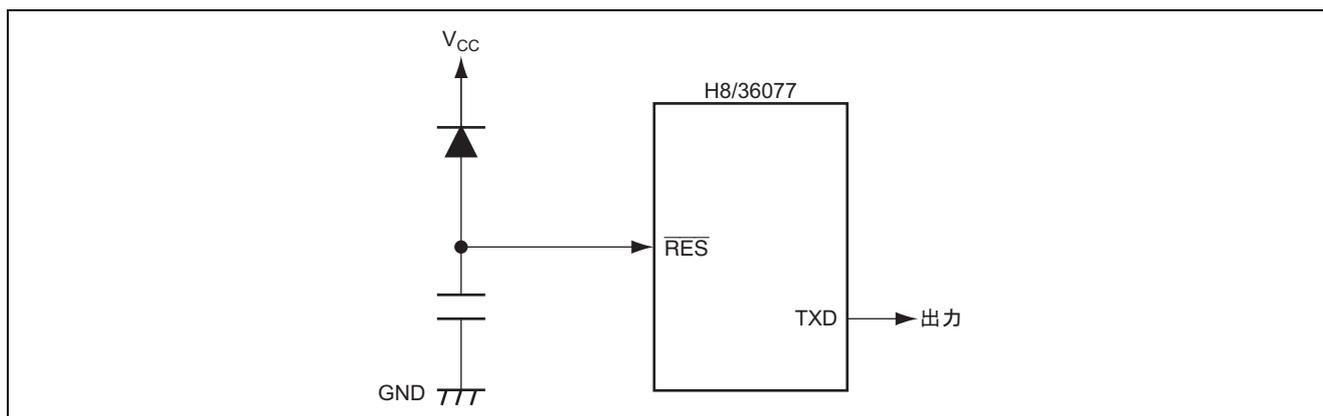


図 1 マイコン接続図

6. リセットの流れを示します。表 1 にリセット要因の判別を示します。
  - 最初にパワーオンリセットを行ない、LVDRF レジスタの値が H'02 であることを確認します。プログラムを続けて、ウォッチドッグ動作をします。WDT リセット解除後に、LVDRF レジスタの値が H'01 であることを確認します。
  - 次に外部リセット入力の準備を行ない、外部リセットを行ないます。このとき、LVDRF レジスタの値が H'00 であることを確認します。
  - 最後に低電圧検出リセットの準備を行ないます。電源電圧を 3.6 V に下げます。下げた後、再び電源電圧を 5.0 V に戻します。このとき、LVDRF レジスタの値が H'02 であることを確認します。

表1 リセット要因の判別

LVDRF レジスタ		リセット要因
PRST (1 ビット)	WRST (0 ビット)	
1	0	パワーオンリセットまたは LVDR によりリセットが発生
0	0	外部リセット端子より $\overline{\text{RES}}$ 信号を入力
0	1	WDT リセットが発生

【注】\*7~2 ビットはリザーブビットです。

2. 使用機能説明

2.1 使用機能

1. 本タスク例では、H8/36077 の内蔵パワーオンリセット回路および低電圧検出回路 (LVDR) を用い、パワーオンリセットおよび低電圧時のリセット動作をします。内蔵パワーオンリセット回路および低電圧検出回路のブロック図を図 2 に示します。以下に内蔵パワーオンリセット回路および低電圧検出回路について説明します。

- システムクロック ( $\phi$ )  
CPU および周辺機能を動作させるための基準クロックです。
- プリスケーラ S (PSS)  
 $\phi$  を入力とする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
- 低電圧検出コントロールレジスタ (LVDCR)  
低電圧検出回路を制御します。本タスク例では、低電圧検出回路を使用し、リセット検知電圧を 3.6 V に設定しています。

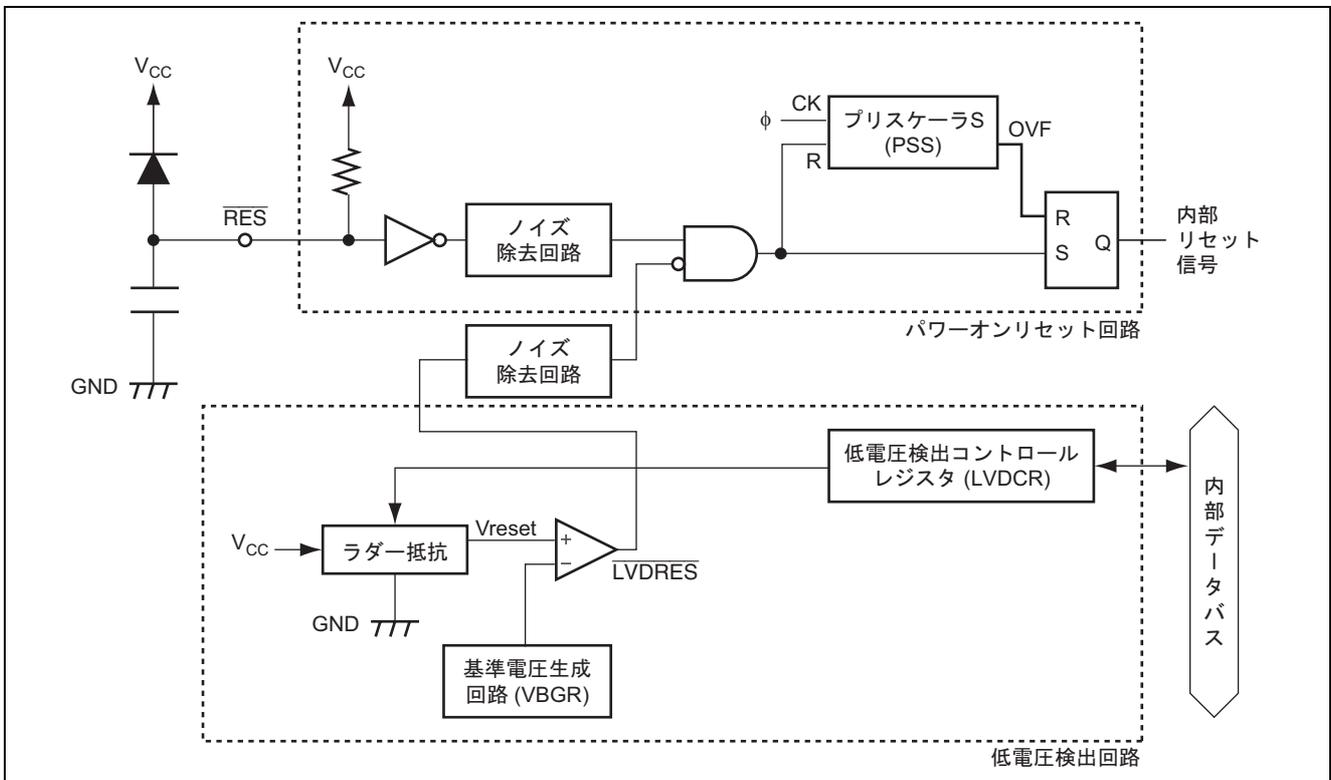


図 2 パワーオンリセット回路および低電圧検出回路のブロック図

2. 本タスク例では、ウォッチドッグタイマ (WDT) 機能を使用し、ウォッチドッグ動作をします。図3にウォッチドッグタイマのブロック図を示します。以下に、ウォッチドッグタイマについて説明します。
- システムクロック ( $\phi$ )  
10 MHz のクロックで、CPU および周辺機能を動作させるための基準クロックです。
  - プリスケーラ S (PSS)  
 $\phi$ を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
  - タイマコントロール / ステータスレジスタ WD (TCSRWD)  
8 ビットのリード / ライト可能なレジスタで、TCSRWD 自身と TCWD の書き込み制御、ウォッチドッグタイマの動作制御および動作状態を示します。ウォッチドッグタイマは初期状態で有効であり、リセット解除後動作を開始します。
  - タイマカウンタ WD (TCWD)  
8 ビットのリード / ライト可能なアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは $\phi/8192$ です。
  - タイマモードレジスタ WD (TMWD)  
入力クロックの選択を行いません。本タスク例では、 $\phi/8192$  を入力クロックとしています。

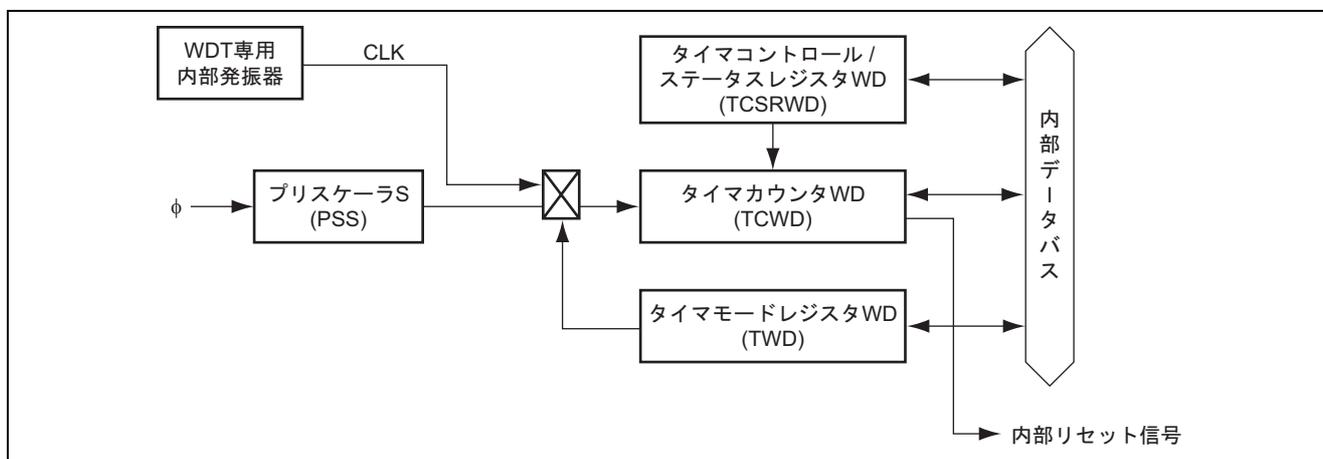


図3 ウォッチドッグタイマのブロック図

## 2.2 機能割り付け

本タスク例の機能割り付けを表2に示します。表2に示すように機能を割り付け、各リセット動作をします。

表2 機能割り付け

機能	機能割り付け
TCSRWD	ウォッチドッグタイマの停止
LVDRF	リセットが発生したとき、リセット解除後に LVDRF をリードすることにより、リセットの要因を判別する
LVDCR	低電圧検出回路の設定
SSR	SCI3 (シリアルコミュニケーションインタフェース3) の動作状態を示すステータスフラグ
SMR	通信フォーマットを調歩同期式モードに設定、SCI3 のクロックソースの選択
BRR	通信のビットレートを 9600 bps に設定
SCR3	送信動作の許可
PMR1	TXD 出力端子に設定

### 3. 動作説明

- 図4にパワーオンリセット回路の動作説明を示します。図4に示すようなハードウェア、ソフトウェア処理により、パワーオンリセットが発生したとき、リセット解除後にLVDRFレジスタをリードすることにより、リセットの要因を判別します。

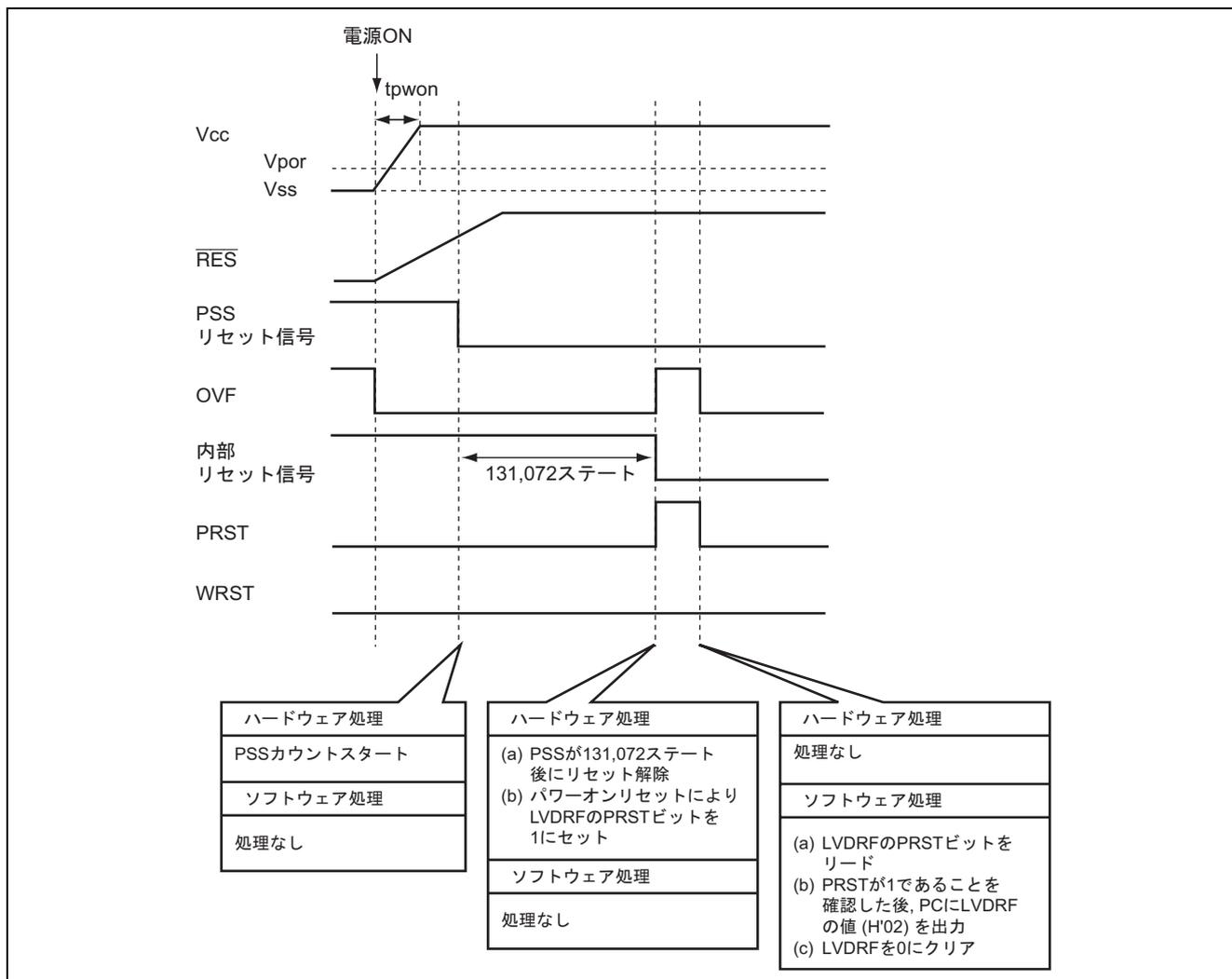


図4 パワーオンリセット回路の動作説明

2. 図5に低電圧検出リセット (LVDR) 回路の動作説明を示します。図5に示すようなハードウェア、ソフトウェア処理により、LVDRが発生したとき、リセット解除後にLVDRFレジスタをリードすることにより、リセットの要因を判別します。

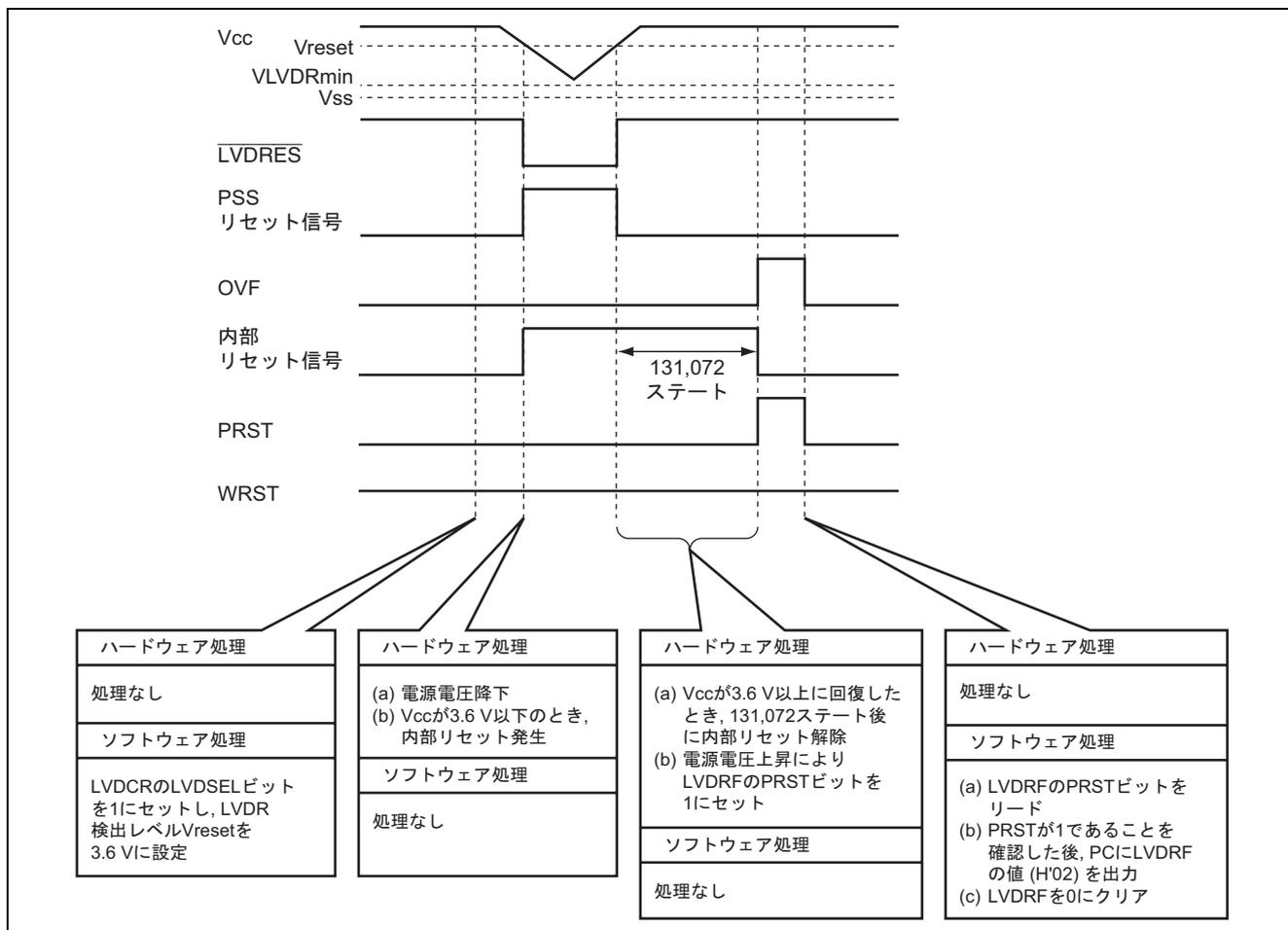


図5 低電圧検出リセット回路の動作説明

3. 図6にウォッチドッグタイマ (WDT) リセットの動作説明を示します。本CPUは初期状態でウォッチドッグタイマは動作します。本タスク例では、そのまま使用し、WDTリセットが発生します。図6に示すようにWDTリセットが発生したとき、リセット解除後にLVDRFレジスタをリードすることにより、リセットの要因を判別します。

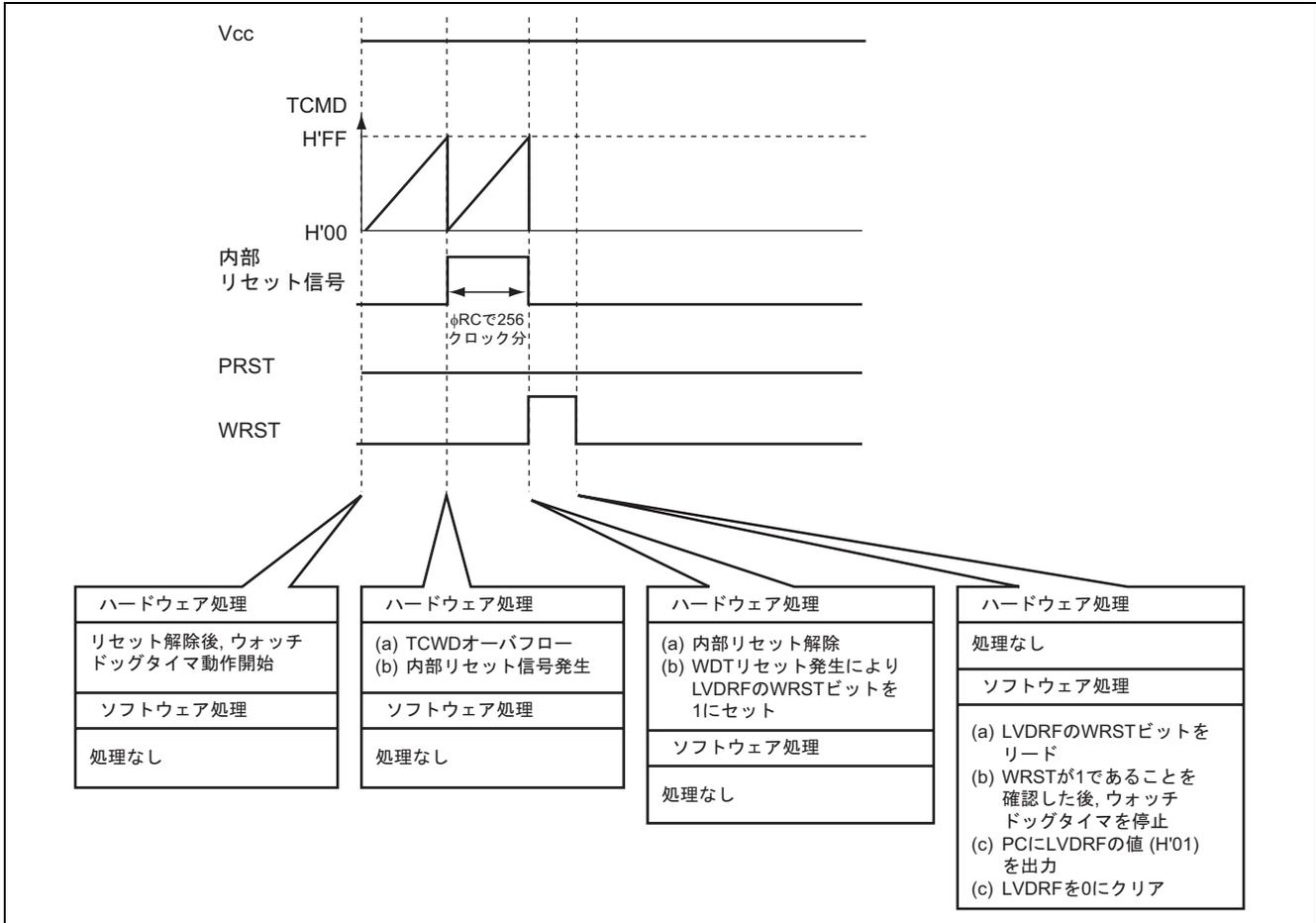


図6 ウォッチドッグタイマリセットの動作説明

4. 図7に外部リセットの動作説明を示します。図7に示すようなハードウェア、ソフトウェア処理により、外部リセット端子  $\overline{\text{RES}}$  よりリセット入力信号が発生したとき、リセット解除後にLVDRFレジスタをリードすることにより、リセットの要因を判別します。

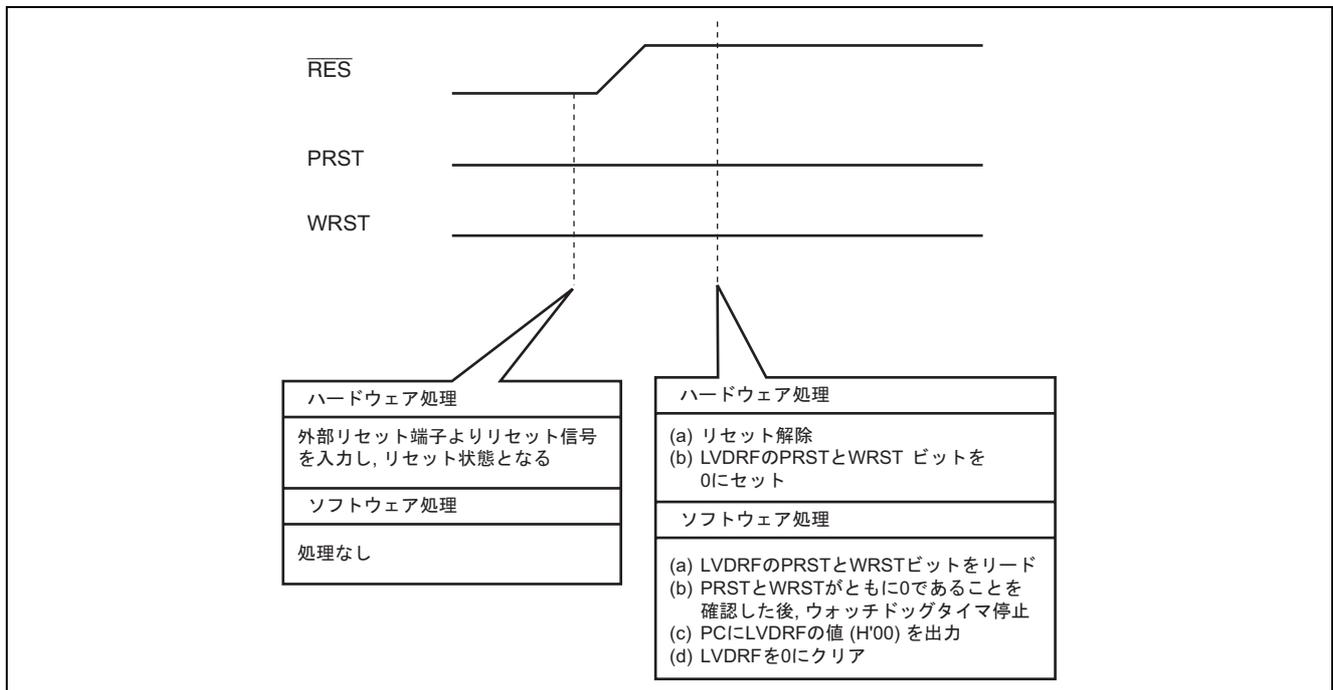


図7 外部リセット端子  $\overline{\text{RES}}$  によるリセットの動作説明

## 4. ソフトウェア説明

### 4.1 モジュール説明

本タスク例のモジュールを表 3 に示します。

表 3 モジュール説明

関数名	機能
main	SCI3 (シリアルコミュニケーションインタフェース 3) の初期化を行なう, 低電圧検出回路の設定, LVDRF をリードすることにより, 発生したりセットの要因を判別し, PC に出力する
sci_init	SCI3 の初期化を行なう
sci_print_hex_byte	1 バイトの 16 進数データに変換して PC に出力する
sci_write	SCI3 を介してデータ送信を行なう

### 4.2 引数の説明

表 4 に本タスク例における使用する引数の説明を示します。

表 4 使用引数の説明

ラベル名	機能	データ長	使用モジュールラベル名	入出力
d	送信データ	1 バイト	sci_write	入力
data	PC に出力する 16 進数データ	1 バイト	sci_print_hex_byte	入力

### 4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- LVDCR 低電圧検出コントロールレジスタ アドレス：HF730

ビット	ビット名	設定値	R/W	機能
5	VDDII	1	R/W	LVDI 外部比較電圧入力禁止 0: LVDI 比較電圧は外部電圧を使用 1: LVDI 比較電圧は内部電圧を使用
3	LVDSSEL	1	R/W	LVDR 検出レベル選択 0: リセット検知電圧 2.3 V (typ.) 1: リセット検知電圧 3.6 V (typ.) リセット検知のみの使用時は 3.6 V (typ.) リセットを使用してください。
1	LVDDE	0	R	電圧降下時割り込みイネーブル 0: 電圧降下時の割り込み要求を禁止 1: 電圧降下時の割り込み要求を許可
0	LVDUE	0	R	電圧上昇時割り込みイネーブル 0: 電圧上昇時の割り込み要求を禁止 1: 電圧上昇時の割り込み要求を許可

- LVDRF リセット要因判別レジスタ アドレス：HF732

ビット	ビット名	設定値	R/W	機能
1	PRST	*	R/W	POR/LVDR 検出 [セット条件] • パワーオンリセットまたはLVDRによりリセットが発生したとき [クリア条件] • 0をライトしたとき
0	WRST	*	R/W	WDT リセット検出 [セット条件] • WDTによりリセットが発生したとき [クリア条件] • パワーオンリセット, LVDRによるリセットが発生, 外部リセット端子よりリセット信号が入力されリセットが発生, または0をライトしたとき

【注】 \* セット条件 / クリア条件により変化します。

## ● TCSRWD タイマコントロール / ステータスレジスタ WD アドレス：H'FFC0

ビット	ビット名	設定値	R/W	機能
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD (タイマカウンタ WD) がライトイネーブルとなります。このビットに値を書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	0 または 1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	1	R/W	タイマコントロール / ステータスレジスタ WD 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1 または 0	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	1 または 0	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。ウォッチドッグタイマは初期値が有効になっています。ウォッチドッグタイマを使用しない場合は、本ビットを 0 にクリアしてください。 [クリア条件] <ul style="list-style-type: none"> <li>● TCSRWE = 1 の状態で B2WI に 0, WDON に 0 をライトしたとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>● リセット</li> <li>● TCSRWE = 1 の状態で B2WI に 0, WDON に 1 をライトしたとき</li> </ul>
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット [クリア条件] <ul style="list-style-type: none"> <li>● RES 端子の入力によるリセット</li> <li>● TCSRWE = 1 の状態で B2WI に 0, WDON に 0 をライトしたとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>● TCWD がオーバフローし、内部リセット信号が発生したとき</li> </ul>

- TCWD タイマカウンタ WD アドレス：H'FFC1  
機能： 8ビットのリード / ライト可能なアップカウンタです。TCWD が H'FF から H'00 にオーバーフローすると内部リセット信号が発生し、TCSRWD の WRST が 1 にセットされます。TCWD の初期値は H'00 です。  
設定値： H'00

- TMWD タイマモードレジスタ WD アドレス：H'FFC2

ビット	ビット名	設定値	R/W	機能
3	CKS3	1	R/W	クロックセレクト 3~0
2	CKS2	1	R/W	TCWD に入力するクロックを選択します。
1	CKS1	1	R/W	1111: 内部クロック : $\phi/8192$ をカウント
0	CKS0	1	R/W	

- TSR トランスミットシフトレジスタ  
機能: シリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD 端子に送出することでシリアルデータ送信を行ないます。CPU からは直接アクセスするとはできません。
- TDR トランスミットデータレジスタ アドレス：H'FFAB  
機能: 送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実にこなうため、TDR へ送信データをライトするときは、必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行なうようにしてください。TDR の初期値は H'FF です。  
設定値: H'xx

## ● SMR シリアルモードレジスタ アドレス：H'FFA8

ビット	ビット名	設定値	R/W	機能
7	COM	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットのフォーマットで送受信します。 1: データ長 7 ビットのフォーマットで送受信します。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行いません。
4	PM	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定値にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 PE, PM ビットの設定値は無効になります。クロック同期式モードではこのビットは 0 に設定してください。
1	CKS1	0	R/W	クロックセレクト 1~0
0	CKS0	0	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00: $\phi$ クロック (n = 0)

• SCR3 シリアルコントロールレジスタ 3 アドレス: H'FFAA

ビット	ビット名	設定値	R/W	機能
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	1	R/W	トランスミットイネーブル このビットが1のとき送信動作が可能になります。
4	RE	1	R/W	レシーブイネーブル このビットが1のとき受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1~0 クロックソースを選択します。 00: 内部ポーレートジェネレータ
0	CKE0	0	R/W	

## • SSR シリアルステータスレジスタ アドレス：H'FFAC

ビット	ビット名	設定値	R/W	機能
7	TDRE	0 または 1	R/W	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>SCR3 の TE が 0 のとき</li> <li>TDR から TSR にデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> <li>TDR へ送信データをライトしたとき</li> </ul>
6	RDRF	0	R/W	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>受信が正常終了し, RSR から RDR へ受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> <li>RDR のデータをリードしたとき</li> </ul>
5	OER	0	R/W	オーバランエラー [セット条件] <ul style="list-style-type: none"> <li>受信中にオーバランエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> </ul>
4	FER	0	R/W	フレーミングエラー [セット条件] <ul style="list-style-type: none"> <li>受信中にフレーミングエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> </ul>
3	PER	0	R/W	パリティエラー [セット条件] <ul style="list-style-type: none"> <li>受信中にパリティエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> </ul>
2	TEND	0 または 1	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>SCR3 の TE が 0 のとき</li> <li>送信キャラクタの最後尾ビット送信時, TDRE が 1 のとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TDRE=1 の状態をリードした後, TDRE フラグに 0 をライトしたとき</li> <li>TDR へ送信データをライトしたとき</li> </ul>
1	MPBR	0	R	マルチプロセッサビットレシーブ 受信キャラクタ中のマルチプロセッサビットを格納します。SCR3 の RE = 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信キャラクタに付加するマルチプロセッサビットを格納します。

- BRR ビットレートレジスタ アドレス：H'FFA9  
機能： ビットレートを設定する 8 ビットのレジスタです。BRR の初期値は H'FF です。  
設定値： H'1F

- PMR1 ポートモードレジスタ 1 アドレス：H'FFE0

ビット	ビット名	設定値	R/W	機能
7	IRQ3	0	R/W	P17 / $\overline{\text{IRQ}}3$ / TRGV 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{\text{IRQ}}3$ および TRGV 入力端子
6	IRQ2	0	R/W	P16 / $\overline{\text{IRQ}}2$ 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{\text{IRQ}}2$ 入力端子
5	IRQ1	0	R/W	P15 / $\overline{\text{IRQ}}1$ / TMIB1 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{\text{IEQ}}1$ および TMIB1 入力端子
4	IRQ0	0	R/W	P14 / $\overline{\text{IRQ}}0$ 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{\text{IRQ}}0$ 入力端子
3	TXD2	1	R/W	P72 / TXD_2 端子の機能を選択します。 0: 汎用入出力ポート 1: TXD_2 出力端子
2	PWM	1	R/W	P11 / PWM 端子の機能を選択します。 0: 汎用入出力ポート 1: PWM 出力端子
1	TXD	1	R/W	P22 / TXD 端子の機能を選択します。 0: 汎用入出力ポート 1: TXD 出力端子
0	TMOW	0	R/W	P10 / TMOW 端子の機能を選択します。 0: 汎用入出力ポート 1: TMOW 出力端子

#### 4.4 使用 RAM 説明

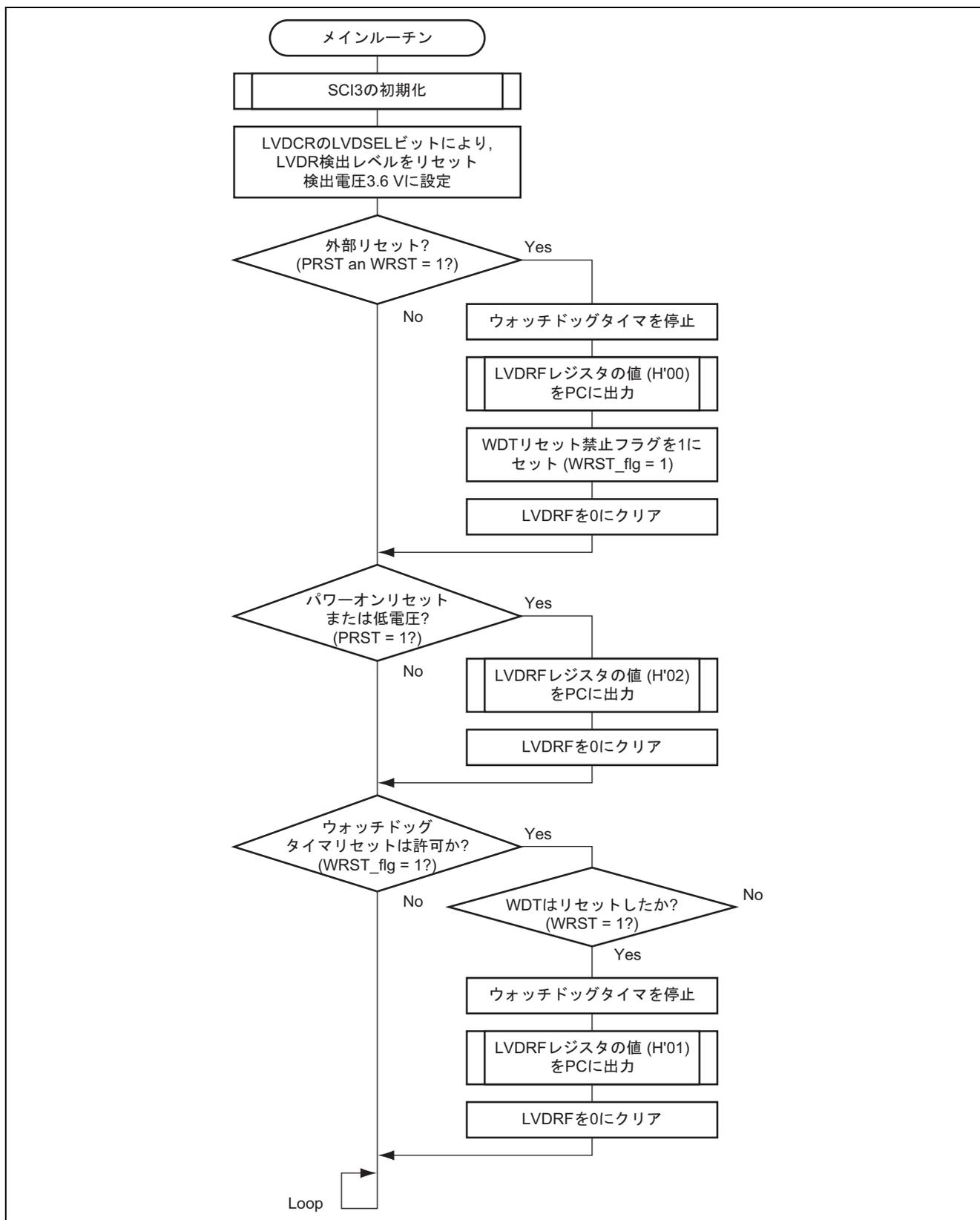
表 5 に本タスク例における使用 RAM の説明を示します。

表 5 使用 RAM の説明

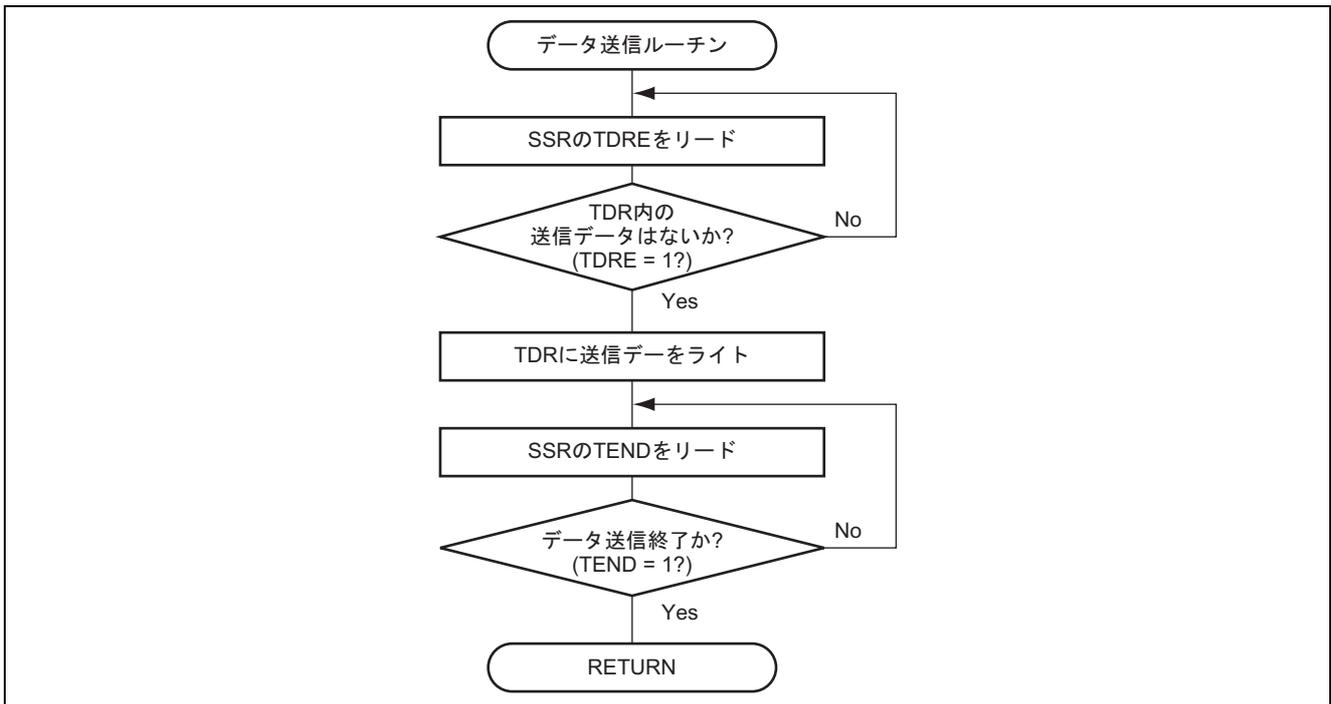
ラベル名	機能	アドレス	使用モジュールラベル名
disp_table	16 進のキャラクタ (1 から F まで) を格納する配列	H'FB80	sci_print_hex_byte

## 5. フローチャート

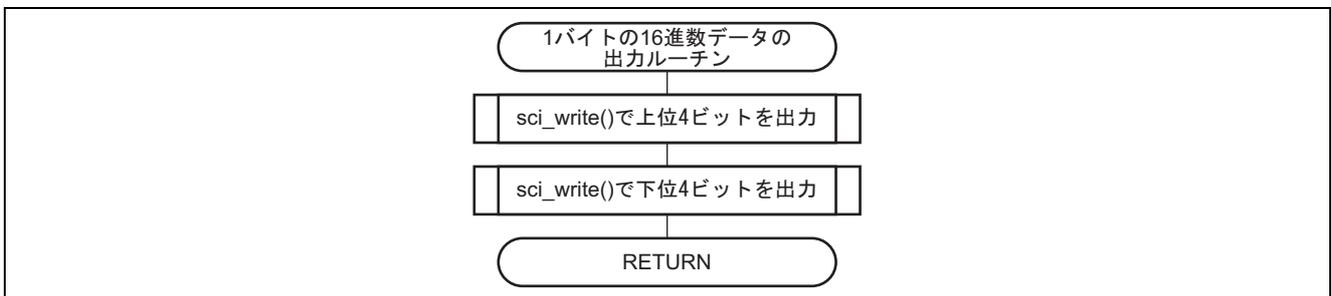
### 5.1 メインルーチン



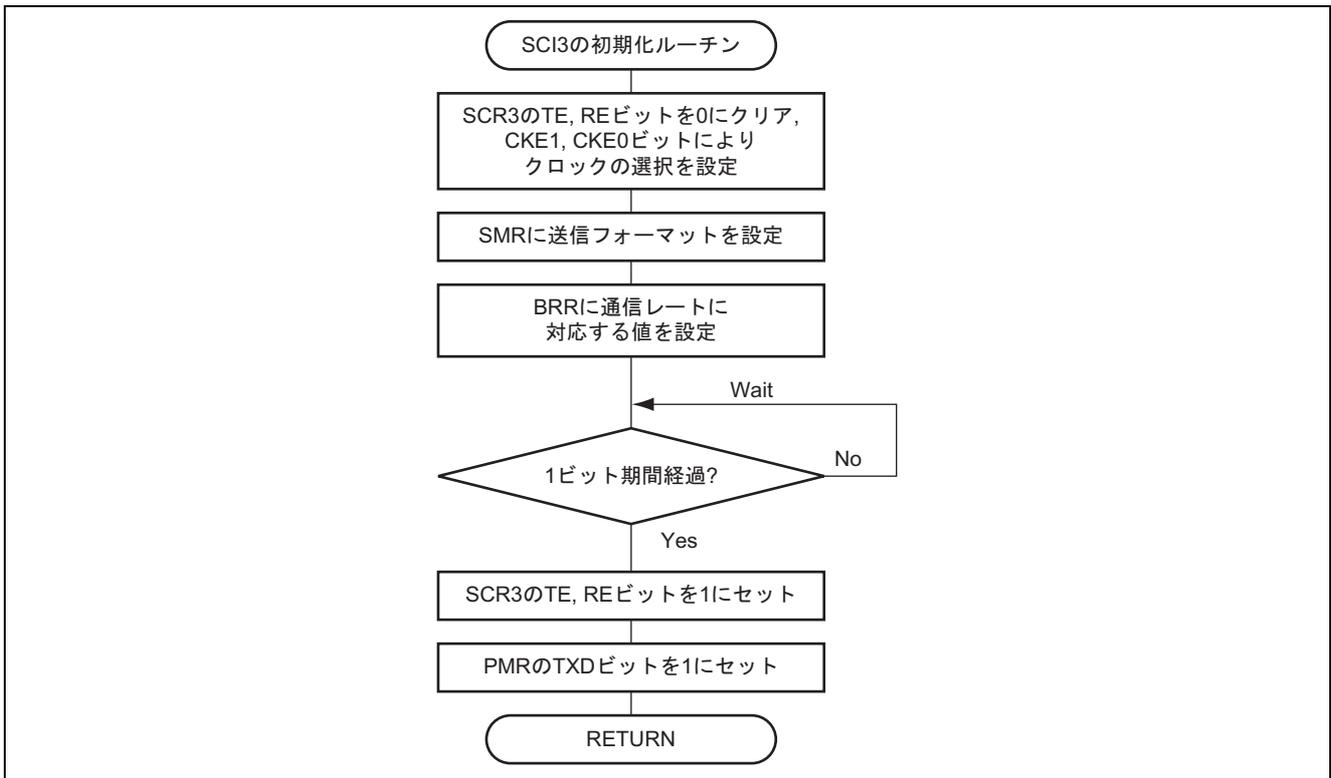
5.2 データ送信ルーチン



5.3 1バイトの16進数データの出カルーチン



5.4 SCI3の初期化ルーチン



## 6. プログラムリスト

```

/*****
/*
/* H8/300H Series -H8/36077-
/* Application Note
/*
/* Function
/* : How to Use Reset Factor Flag
/*
/* External Clock : 10MHz
/* Internal Clock : 10MHz
/*
/* Sub Clock      : 32.768kHz
/*
/*****

#include <machine.h>

/*****
/* Symbol Definition
/*****
struct BIT {
    unsigned char    b7:1;          /* bit7
    unsigned char    b6:1;          /* bit6
    unsigned char    b5:1;          /* bit5
    unsigned char    b4:1;          /* bit4
    unsigned char    b3:1;          /* bit3
    unsigned char    b2:1;          /* bit2
    unsigned char    b1:1;          /* bit1
    unsigned char    b0:1;          /* bit0
};

#define TDR          *(volatile unsigned char*)0xFFAB          /* Transmit Data Register */
#define SSR          *(volatile unsigned char*)0xFFAC          /* Serial Status Register */
#define SCR3        *(volatile unsigned char*)0xFFAA          /* Serial Control Register 3*/
#define SMR          *(volatile unsigned char*)0xFFA8          /* Serial Mode Register */
#define BRR          *(volatile unsigned char*)0xFFA9          /* Bit Rate Register */
#define PMR1        *(volatile unsigned char*)0xFFE0          /* Port Mode Register 1 */
#define TCSRWD      *(volatile unsigned char*)0xFFC0          /* Timer Control Status Register WD*/
#define TCSRWD_BIT (*(volatile struct BIT *)0xFFC0) /* Timer Control Status Register WD */
#define B6WI        TCSRWD_BIT.b7          /* Timer Control Status Register WD Bit 7 */
#define TCWE        TCSRWD_BIT.b6          /* Timer Control Status Register WD Bit 6 */
#define B4WI        TCSRWD_BIT.b5          /* Timer Control Status Register WD Bit 5 */
#define TCSRWE      TCSRWD_BIT.b4          /* Timer Control Status Register WD Bit 4 */
#define B2WI        TCSRWD_BIT.b3          /* Timer Control Status Register WD Bit 3 */
#define WDON        TCSRWD_BIT.b2          /* Timer Control Status Register WD Bit 2 */
#define B0WI        TCSRWD_BIT.b1          /* Timer Control Status Register WD Bit 1 */
#define WRST        TCSRWD_BIT.b0          /* Timer Control Status Register WD Bit 0 */
#define TCWD        *(volatile unsigned char*)0xFFC1          /* Timer Count WD */
#define TMWD        *(volatile unsigned char*)0xFFC2          /* Timer Mode Register WD */
#define LVDCR      *(volatile unsigned char*)0xF730/* Low Voltage Detect Control Register */
#define LVDSR      *(volatile unsigned char*)0xF731/* Low Voltage Detect Status Register */
#define LVDRF      *(volatile unsigned char *)0xF732/* Reset Factor Distinguish Register */
#define LVDRF_BIT (*(volatile struct BIT *)0xF732)/* Reset Factor Distinguish Register */
#define LVDRF_PRST LVDRF_BIT.b1          /* Reset Factor Distinguish Register Bit 1 */
#define LVDRF_WRST LVDRF_BIT.b0          /* Reset Factor Distinguish Register Bit 0 */

```

```

/*****
/* Function Define
/*****
extern void INIT (void);          /* SP Set
void main ( void );             /* Main Function
void sci_write ( unsigned char d); /* Serial Transmit Routine
void sci_init ( void );         /* SCI3 Serial Initial Setting
void sci_print_hex_byte ( unsigned char data ); /* 16Hex Byte Output

/*****
/* RAM Define
/*****
unsigned char disp_table[16];    /* 16Hex Display Table

/*****
/* Vector Address
/*****
#pragma section V1              /* Vector Section Setting
void (*const VEC_TBL1[])(void) = { /* 0x00 Reset
    INIT
};

#pragma section                /* P

/*****
/* Main Program
/*****
void main ( void )
{
    unsigned char WRST_flg = 0; /* WDT Reset Flag

    disp_table[0] = 0x30;      /* Define "0"
    disp_table[1] = 0x31;      /* Define "1"
    disp_table[2] = 0x32;      /* Define "2"
    disp_table[3] = 0x33;      /* Define "3"
    disp_table[4] = 0x34;      /* Define "4"
    disp_table[5] = 0x35;      /* Define "5"
    disp_table[6] = 0x36;      /* Define "6"
    disp_table[7] = 0x37;      /* Define "7"
    disp_table[8] = 0x38;      /* Define "8"
    disp_table[9] = 0x39;      /* Define "9"
    disp_table[10] = 0x41;     /* Define "A"
    disp_table[11] = 0x42;     /* Define "B"
    disp_table[12] = 0x43;     /* Define "C"
    disp_table[13] = 0x44;     /* Define "D"
    disp_table[14] = 0x45;     /* Define "E"
    disp_table[15] = 0x46;     /* Define "F"

    sci_init();               /* Serial Initial Setting

    LVDCR = 0xFC;             /* Set LVDR Detect Voltage 3.6V

    if ((LVDRF_PRST == 0) && (LVDRF_WRST == 0)) /* External Reset?
    {
        TCSRWD = 0x9E;        /* Watch Dog Timer Stop
        TCSRWD = 0xB2;        /* Watch Dog Timer Stop
        sci_print_hex_byte(LVDRF); /* Output LVDRF With 16Hex

```

```

        WRST_flg = 1;                /* Set WDT Reset Flag          */
        LVDRF = 0x00;                /* Clear LVDRF For Next Detection */
    }

    if (LVDRF_PRST == 1)             /* Power On Reset Or Low Voltage Detect Reset? */
    {
        sci_print_hex_byte(LVDRF);  /* Output LVDRF With 16Hex      */
        LVDRF = 0x00;                /* Clear LVDRF For Next Detection */
    }

    if (WRST_flg == 0)              /* WDT Reset Flag Clear?      */
    {
        while(LVDRF_WRST != 1);     /* Wait Until WRST=1          */

        TCSRWD = 0x9E;              /* Watch Dog Timer Stop       */
        TCSRWD = 0xB2;              /* Watch Dog Timer Stop       */

        sci_print_hex_byte(LVDRF);  /* Output LVDRF With 16Hex      */
        LVDRF = 0x00;                /* Clear LVDRF For Next Detection */
    }
    while(1);
}

/*****
/* Serial Transmit Routine
/*****
void sci_write ( unsigned char d)
{
    while(!(SSR & 0x80)){           /* Wait Until TDRE=1          */
    }
    TDR = d;                        /* Write Data To TDR          */
    while(!(SSR & 0x04)){           /* Wait Until TEND=1          */
    }
}

/*****
/* Output 16Hex Byte
/*****
void sci_print_hex_byte( unsigned char data )
{
    sci_write( disp_table[ ( data & 0xf0 ) >> 4 ] ); /* Output High 4 bits          */

    sci_write( disp_table[ ( data & 0xf ) ] );        /* Output Low 4 bits          */
}

/*****
/* Serial Initial Setting
/*****
void sci_init( void )
{
    unsigned long i = 0;

    SCR3 = 0x00;                    /* Clear TE And RE           */
    SMR = 0x00;                     /* Set Transmit Format And Clock Source */
    BRR = 0x1f;                     /* Set 9.8304MHz 9600bps     */
}

```

```

    for( i=0; i<10; i++ );                /* Wait 1 bit                */

    SCR3 = 0x30;                          /* Set TE And RE            */
    PMR1 = 0x0e;                          /* Set TXD Output Terminal  */
}

```

リンクアドレス指定

セクション名	アドレス
CV1	H'0000
P	H'0100
C\$BSEC	
C\$DSEC	
D	
R	H'FB80
B	

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.09	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。