

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7285グループ

バスステートコントローラ SDRAM インタフェース設定例

要旨

本アプリケーションノートは、SH7285 のバスステートコントローラの SDRAM インタフェース機能を用いた SDRAM との接続例を示します。

動作確認デバイス

SH7285

目次

1. はじめに.....	2
2. 応用例の説明.....	3
3. 参考プログラムリスト.....	18
4. 参考ドキュメント.....	22

1. はじめに

1.1 仕様

- 16M バイト (8M ワード×16 ビット) の SDRAM を使用し、16 ビットデータバス幅で接続します。
- SH7285 のバスステートコントローラに SDRAM にアクセスするための初期設定を行った後、SDRAM インタフェース機能を使用して SDRAM の初期化を行います。

1.2 使用機能

- バスステートコントローラ

1.3 適用条件

マイコン	SH7285
動作周波数	内部クロック : 100 MHz バスクロック : 50 MHz 周辺クロック : 50 MHz
統合開発環境	ルネサス テクノロジ製 High-performance Embedded Workshop Ver.4.04.01
C コンパイラ	ルネサス テクノロジ製 SuperH RISC engine ファミリ C/C++コンパイラパッケージ Ver.9.01 Release 01
コンパイルオプション	High-performance Embedded Workshop でのデフォルト設定 (-cpu=sh2a -debug -gbr=auto -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1)

1.4 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。合わせて参照してください。

- SH7285 グループ 初期設定例

2. 応用例の説明

SH7285 のバスステートコントローラを使用して、外部に接続された SDRAM を制御するための初期設定を行います。

2.1 使用機能の動作概要

SH7285 のバスステートコントローラは、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

表 1 にバスステートコントローラの特長を、表 2 にバスステートコントローラの SDRAM インタフェースの特長を示します。

表1 バスステートコントローラの特長

項目	内容
制御対象空間	CS0～CS7 の 8 空間、各空間最大 64M バイトまでサポート
メモリ種類	空間ごとに、以下のメモリ種類から選択可能 <ul style="list-style-type: none"> ● 通常空間インタフェース ● バイト選択付き SRAM インタフェース ● バースト ROM (クロック同期または非同期) ● MPX-I/O ● SDRAM インタフェース
データバス幅	空間ごとに、8 ビットまたは 16 ビットを選択可能
ウェイト制御	各空間のリードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
アイドル制御	連続するアクセスがリード→ライト (同一空間または別空間)、リード→リード (同一空間または別空間)、および先頭サイクルがライトの場合の 5 種類独立にアイドルサイクルを設定可能

表2 SDRAM インタフェースの特長

項目	仕様
制御対象空間	最大 2 つのエリアで SDRAM を設定可能 (CS2 空間、CS3 空間) 1 エリアのみ SDRAM を接続する場合は CS3 空間を使用
アドレス出力	ロウアドレス、カラムアドレスのマルチプレクス出力をサポート ロウアドレス : 11/12/13 ビット、カラムアドレス : 8/9/10 ビットに対応
バースト長	1 固定 SDRAM 接続データバス幅より大きなサイズのデータを連続アクセスする場合は、バースト長 1 のアクセスを必要回数連続実行
プリチャージ制御	オートプリチャージモード、バンクアクティブモードをサポート
リフレッシュ制御	オートリフレッシュ、セルフリフレッシュをサポート
その他	低周波数モード、パワーダウンモードのサポート MRS コマンド、EMRS コマンド発行のサポート

図1にバスステートコントローラのブロック図を示します。

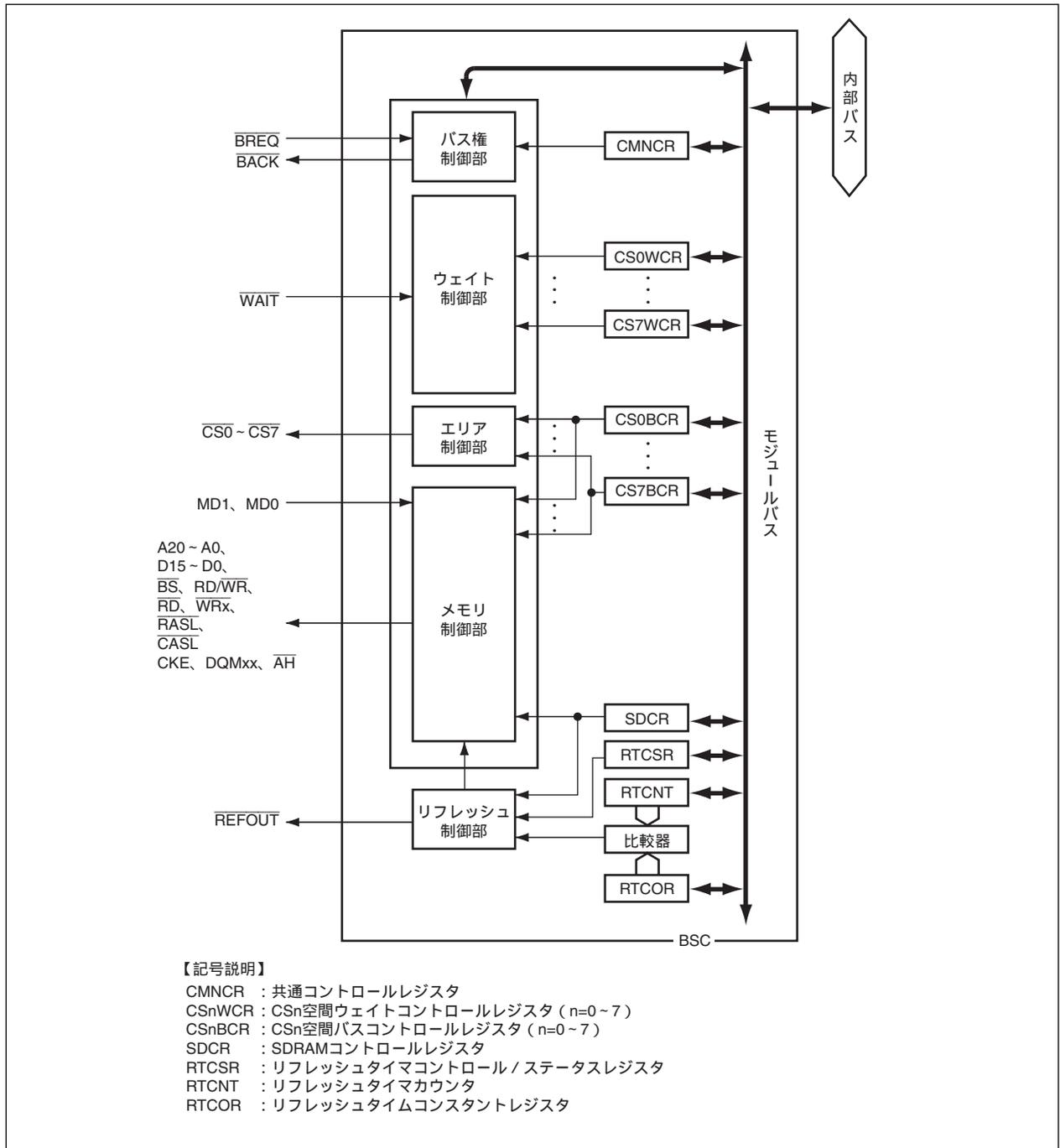


図1 バスステートコントローラのブロック図

2.2 接続例

表 3に本応用例で使用するSDRAMの仕様を示します。また 図 2にSDRAM接続回路例を、図 3にSDRAM関連メモリマップを示します。

表3 本応用例で使用する SDRAM の仕様

項目	仕様
型名	EDS1216AATA-75-E または EDS1216AHTA-75-E
容量、構成	128M ビット (2M ワード×16 ビット×4 バンク) × 1 個
データバス幅	16 ビット
アドレス構成	バンクアドレス : 2 ビット、ロウアドレス : 13 ビット、カラムアドレス : 9 ビット
リフレッシュ周期	4096 サイクル/64ms
CAS レイテンシ	2 または 3
動作電圧	3.3V±0.3V

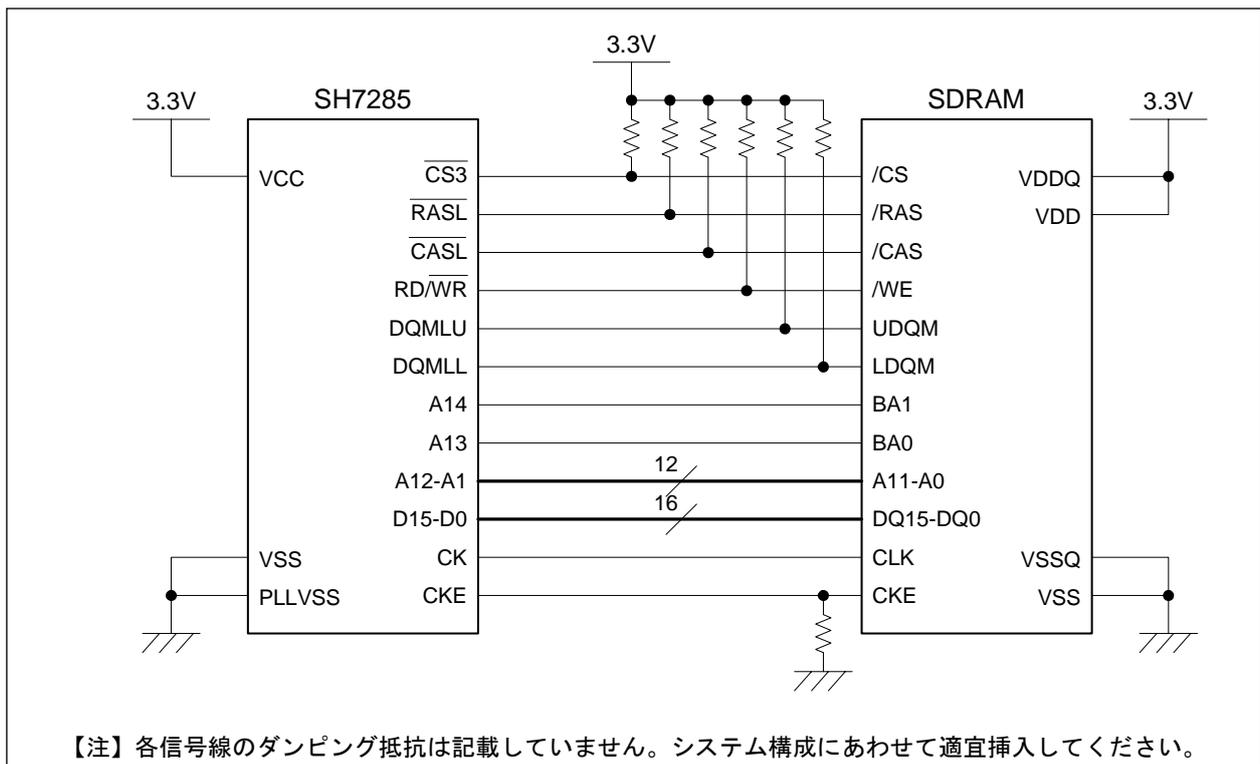


図2 SDRAM 接続回路例

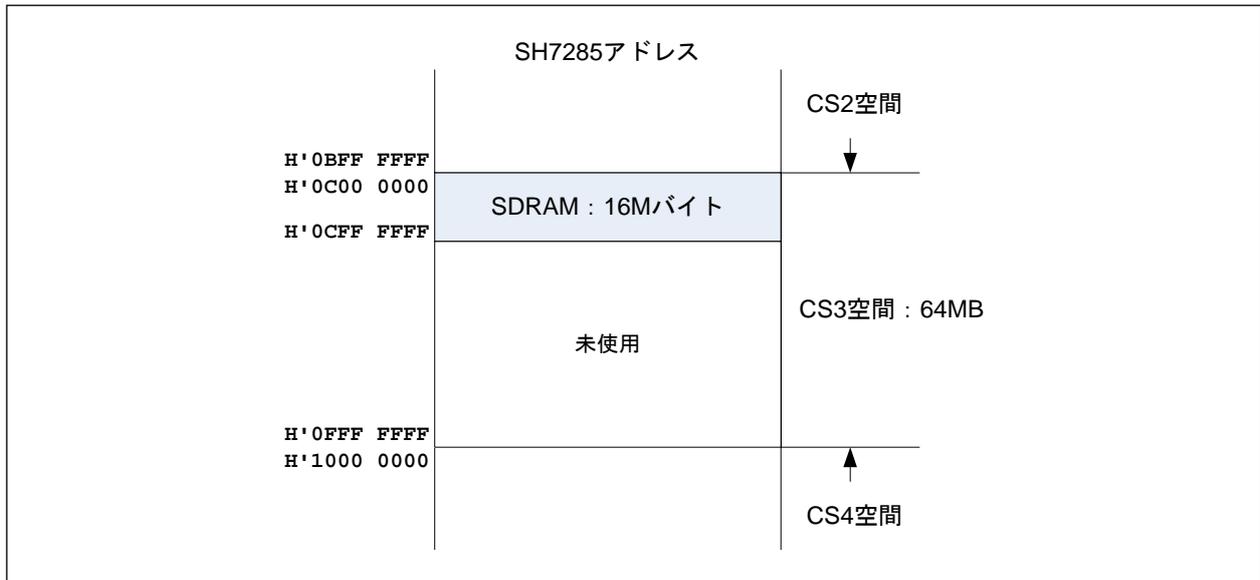


図3 SDRAM 関連メモリマップ

【補足 1】 RASL/CASL, RASU/CASUとアドレス空間の関係について

SH7285 では、同一 CS 空間内に RASU, RASL, CASU および CASL を用いることにより、32M バイト以下の SDRAM のセットを 2 つ接続することができます。この場合、同一 CS 空間内に RASL と CASL で指定される SDRAM の 4 バンクと、RASU と CASU で指定される SDRAM の 4 バンクの計 8 バンクが存在します。A25=0 のアドレスにアクセスした場合 RASL と CASL がアサートされ、A25=1 のアドレスにアクセスした場合は、RASU と CASU がアサートされます。このため、CS2, CS3 空間の各エリアでの最大アドレス空間の 64M バイトに対しては、512M ビットの SDRAM 1 個構成のみ接続することが可能で、RASL と CASL を用いて制御します。

【補足 2】 制御信号端子の外付け抵抗によるプルアップ/プルダウン処理について

CKE, CS3, RASL, CASL, RD/W \bar{R} , DQMLU, DQMLL の各制御端子は初期端子機能が I/O ポートになっていますので、ピンファンクションコントローラによる端子機能の切り替えが必要です。

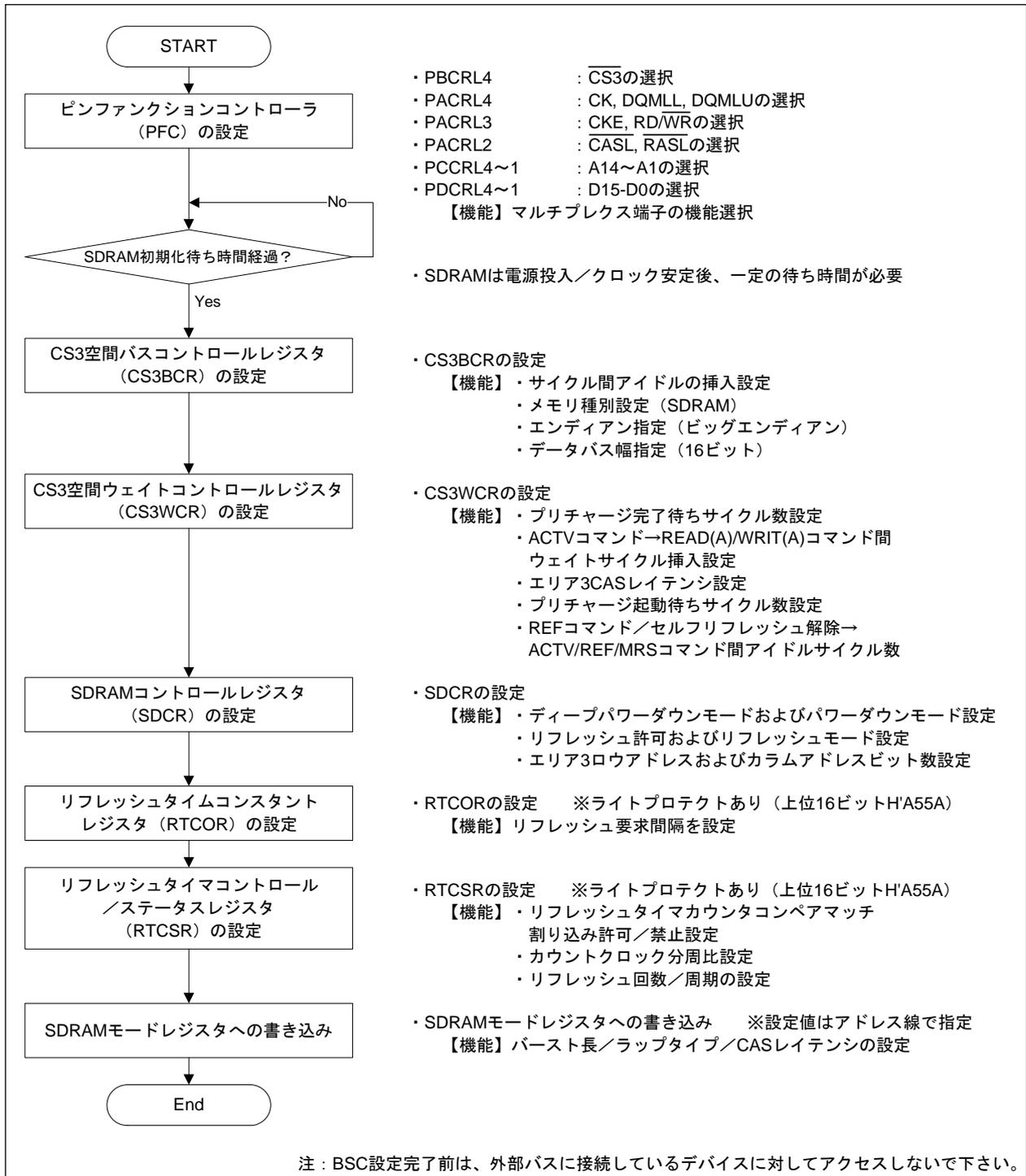
SH7285 の I/O ポートは初期状態では入力ポートとなるため、状態が決まらず不定となります。そこで不定状態の回避とメモリ動作を安定させるために、上記制御信号については外付け抵抗によるプルアップ/プルダウン処理を推奨します。

なお、制御信号に対するプルアップ/プルダウン処理の選択については、一般的には動作をより安定させる状態を選択しますので、CS3, RASL, CASL, RD/W \bar{R} , DQMLU, DQMLL 端子については外付け抵抗でプルアップ処理を行い、"H" レベルにすることを推奨します。

CKE 端子については上記理由とは別に、マイコンからの信号が停止した後も SDRAM のデータを保護するためにセルフリフレッシュを継続する場合を想定して、外付け抵抗でプルダウン処理を行い、"L" レベルにすることを推奨します。

2.3 使用機能の設定手順

図 4にCS3 空間にSDRAMを接続した場合の初期化手順例を示します。



- ・ PBCRL4 : $\overline{CS3}$ の選択
- ・ PACRL4 : CK, DQMLL, DQMLUの選択
- ・ PACRL3 : \overline{CKE} , $\overline{RD}/\overline{WR}$ の選択
- ・ PACRL2 : \overline{CASL} , \overline{RASL} の選択
- ・ PCCRL4~1 : A14~A1の選択
- ・ PDCRL4~1 : D15-D0の選択
- 【機能】マルチプレクス端子の機能選択
- ・ SDRAMは電源投入／クロック安定後、一定の待ち時間が必要
- ・ CS3BCRの設定
 - 【機能】
 - ・ サイクル間アイドルの挿入設定
 - ・ メモリ種別設定 (SDRAM)
 - ・ エンディアン指定 (ビッグエンディアン)
 - ・ データバス幅指定 (16ビット)
- ・ CS3WCRの設定
 - 【機能】
 - ・ プリチャージ完了待ちサイクル数設定
 - ・ ACTVコマンド→READ(A)/WRIT(A)コマンド間ウェイトサイクル挿入設定
 - ・ エリア3CASレイテンシ設定
 - ・ プリチャージ起動待ちサイクル数設定
 - ・ REFコマンド／セルフリフレッシュ解除→ACTV/REF/MRSコマンド間アイドルサイクル数
- ・ SDCRの設定
 - 【機能】
 - ・ ディープパワーダウンモードおよびパワーダウンモード設定
 - ・ リフレッシュ許可およびリフレッシュモード設定
 - ・ エリア3ロウアドレスおよびコラムアドレスビット数設定
- ・ RTCORの設定 ※ライトプロテクトあり (上位16ビットH'A55A)
 - 【機能】リフレッシュ要求間隔を設定
- ・ RTCSRの設定 ※ライトプロテクトあり (上位16ビットH'A55A)
 - 【機能】
 - ・ リフレッシュタイムカウンタコンペアマッチ割り込み許可／禁止設定
 - ・ カウントクロック分周比設定
 - ・ リフレッシュ回数／周期の設定
- ・ SDRAMモードレジスタへの書き込み ※設定値はアドレス線で指定
 - 【機能】バースト長／ラップタイプ／CASレイテンシの設定

図4 バスステートコントローラとピンファンクションコントローラの設定手順例 (CS3 空間)

2.3.1 パワーオンシーケンス

SDRAM の初期化を行うためには、バスステートコントローラのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行ってください。

SDRAM は、パワーオン後一定のアイドル期間が必要です。本応用例では、200 μ s 以上のアイドル期間をソフトウェアで設定しています。必要なアイドル期間は、SDRAM の仕様により異なりますので使用する SDRAM のマニュアルを参照してください。

SDRAM のモードレジスタへの書き込みは、 $\overline{CS3}$, \overline{RASL} , \overline{CASL} および $\overline{RD/WR}$ の組み合わせでモードレジスタセットコマンド (MRS) を発行し、その時のアドレスを SDRAM に対する入力データとして使用します。表 4 に、CS3 空間における SDRAM モードレジスタライト時のアクセスアドレスを示します。

表4 SDRAM モードレジスタライト時のアクセスアドレス (CS3 空間)

データ バス幅	CAS レイテンシ	バーストリード/ シングルライト (バースト長 1)		バーストリード/ バーストライト (バースト長 1)	
		アクセスアドレス	外部アドレス端子	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC 5440	H'0000 0440	H'FFFC 5040	H'0000 0040
	3	H'FFFC 5460	H'0000 0460	H'FFFC 5060	H'0000 0060

本応用例では、SDRAM のモードレジスタに対し下記の設定を行います。

- バースト長：バーストリード/シングルライト (バースト長 1)
- ラップタイプ：シーケンシャル
- CAS レイテンシ：2 サイクル

表 4 のとおり、SDRAM のモードレジスタに対して上記の設定を行うためには、H'FFFC 5440 番地に対して任意のデータのワードライトを行います (このときのライトデータは無視されます)。このワードライト動作により、SDRAM に対し下記のコマンドが順次発行されます。

1. 全バンクプリチャージコマンド (PALL) 発行

PALL と 1 回目の REF の間に CS3WCR レジスタの WTRP[1:0] ビットにより設定されたアイドルサイクル (T_{pw}) が挿入されます。

2. オートリフレッシュコマンド (REF) を 8 回発行

REF コマンド発行後に CS3WCR レジスタの WTRC[1:0] ビットにより設定されたアイドルサイクル (T_{rc}) が挿入されます。

3. モードレジスタセットコマンド (MRS) 発行

2.4 バスステートコントローラ、ピンファンクションコントローラの設定例

表5 にバスステートコントローラの設定例を、また表6にSDRAM接続に関するピンファンクションコントローラの設定例を示します。各レジスタの詳細については、「SH7280 グループハードウェアマニュアル 第9章 バスステートコントローラ (BSC) 」および「第23章 ピンファンクションコントローラ (PFC) 」を参照してください。

表5 バスステートコントローラの設定例

レジスタ名	アドレス	設定値	機能
CS3 空間バスコントロールレジスタ (CS3BCR)	H'FFFC0010	H'1000 4400	<ul style="list-style-type: none"> IWW[2:0]="B'001" ライト-リード/ライト-ライト間アイドル : 1 アイドルサイクル挿入 TYPE[2:0]="B'100" : SDRAM BSZ[1:0]="B'10" : 16 ビットバス幅
CS3 空間ウェイトコントロールレジスタ (CS3WCR)	H'FFFC0034	H'0000 0491	<ul style="list-style-type: none"> WTRP[1:0]="B'00" プリチャージ完了待ちサイクル数 : 0 サイクル WTRCD[1:0]="B'01" ACTV コマンド→READ/WRIT コマンド間ウェイトサイクル数 : 1 サイクル A3CL[1:0]="B'01" エリア 3CAS レイテンシ : 2 サイクル TRWL[1:0]="B'10" WRIT(A)コマンド→オートプリチャージ/PRE コマンドサイクル数 : 2 サイクル WTRC[1:0]="B'01" REF コマンド/セルフリフレッシュ解除→ACTV コマンドサイクル数 : 3 サイクル
SDRAM コントロールレジスタ (SDCR)	H'FFFC004C	H'0000 0809	<ul style="list-style-type: none"> RFSH="1" リフレッシュ制御 : リフレッシュする RMODE="0" リフレッシュ制御 : オートリフレッシュ BACTV="0" バンクアクティブモード : オートプリチャージモード A3ROW[1:0]="B'01" エリア 3 ロウアドレスビット数 : 12 ビット A3COL[1:0]="B'01" エリア 3 カラムアドレスビット数 : 9 ビット
リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	H'FFFC0050	H'A55A 0010	<ul style="list-style-type: none"> CMIE="B'0" コンペアマッチインタラプトイネーブル : CMF による割り込み要求禁止 CKS[2:0]="B'010" クロックセレクト : Bϕ/16 RRC[2:0]="B'000" リフレッシュ回数 : 1 回
リフレッシュタイムコンスタントレジスタ (RTCOR)	H'FFFC0058	H'A55A 0030	※リフレッシュ要求間隔は以下のとおりです。 1 サイクル : 320nsec(50MHz/16=3.125MHz) SDRAM のリフレッシュ要求間隔 : 15.625 μ sec/回 (64ms ごとの 4096 リフレッシュサイクル) 15.625 μ sec / 320nsec=48 サイクル

表6 SDRAM 接続に関連するピンファンクションコントローラの設定例

レジスタ名	アドレス	設定値	機能
ポート B コント ロールレジスタ L4 (PBCRL4)	H'FFFE3890	H'0007	<ul style="list-style-type: none"> ● PB12MD[2:0]="B'111"、 PB12 モード : $\overline{CS3}$ 出力
ポート A コント ロールレジスタ L4 (PACRL4)	H'FFFE3810	H'1101	<ul style="list-style-type: none"> ● PA15MD[2:0]="B'001"、 PA15 モード : CK 出力 ● PA14MD[2:0]="B'000"、 PA14 モード : PA14 入出力 ● PA13MD[2:0]="B'001"、 PA13 モード : \overline{WRL}, DQMLL 出力 ● PA12MD[2:0]="B'001"、 PA12 モード : \overline{WRH}, DQMLU 出力
ポート A コント ロールレジスタ L3 (PACRL3)	H'FFFE3812	H'0011	<ul style="list-style-type: none"> ● PA9MD[2:0]="B'001"、 PA9 モード : CKE 出力 ● PA8MD[2:0]="B'001"、 PA8 モード : RD/\overline{WR}出力
ポート A コント ロールレジスタ L2 (PACRL2)	H'FFFE3814	H'1100	<ul style="list-style-type: none"> ● PA7MD[2:0]="B'001"、 PA7 モード : \overline{CASL} 出力 ● PA6MD[2:0]="B'001"、 PA6 モード : \overline{RASL} 出力
ポート C コント ロールレジスタ L4 (PCCRL4)	H'FFFE3910	H'0111	<ul style="list-style-type: none"> ● PC15MD[2:0]="B'000"、 PC15 モード : PC15 入出力 ● PC14MD[2:0]="B'001"、 PC14 モード : A14 出力 ● PC13MD[2:0]="B'001"、 PC13 モード : A13 出力 ● PC12MD[2:0]="B'001"、 PC12 モード : A12 出力
ポート C コント ロールレジスタ L3 (PCCRL3)	H'FFFE3912	H'1111	<ul style="list-style-type: none"> ● PC11MD[2:0]=PC10MD[2:0]=PC9MD[2:0]= PC8MD[2:0]="B'001" PC11~PC8 : A11~A8 出力
ポート C コント ロールレジスタ L2 (PCCRL2)	H'FFFE3914	H'1111	<ul style="list-style-type: none"> ● PC7MD[2:0]=PC6MD[2:0]=PC5MD[2:0]= PC4MD[2:0]="B'001" PC7~PC4 : A7~A4 出力
ポート C コント ロールレジスタ L1 (PCCRL1)	H'FFFE3916	H'1110	<ul style="list-style-type: none"> ● PC3MD[2:0]="B'001"、 PC3 モード : A3 出力 ● PC2MD[2:0]="B'001"、 PC2 モード : A2 出力 ● PC1MD[2:0]="B'001"、 PC1 モード : A1 出力 ● PC0MD[2:0]="B'000"、 PC0 モード : PC0 入出力
ポート D コント ロールレジスタ L4 (PDCRL4)	H'FFFE3990	H'1111	<ul style="list-style-type: none"> ● PD15MD[2:0]=PD14MD[2:0]=PD13MD[2:0]= PD12MD[2:0]="B'001" PD15~PD12 : D15~D12 入出力
ポート D コント ロールレジスタ L3 (PDCRL3)	H'FFFE3992	H'1111	<ul style="list-style-type: none"> ● PD11MD[2:0]=PD10MD[2:0]=PD9MD[2:0]= PD8MD[2:0]="B'001" PD11~PD8 : D11~D8 入出力
ポート D コント ロールレジスタ L2 (PDCRL2)	H'FFFE3994	H'1111	<ul style="list-style-type: none"> ● PD7MD[2:0]=PD6MD[2:0]=PD5MD[2:0]= PD4MD[2:0]="B'001" PD7~PD4 : D7~D4 入出力
ポート D コント ロールレジスタ L1 (PDCRL1)	H'FFFE3996	H'1111	<ul style="list-style-type: none"> ● PD3MD[2:0]=PD2MD[2:0]=PD1MD[2:0]= PD0MD[2:0]="B'001" PD3~PD0 : D3~D0 入出力

2.5 SDRAM のタイミング設定参考例

SDRAM を接続する場合には、使用する SDRAM のアクセススピード（CAS レイテンシ）やその他 AC 特性に応じたウェイトサイクルと、SDRAM に必要なリフレッシュを設定する必要があります。ここではウェイトサイクル、リフレッシュサイクル設定の要点について参考例を示します。

なお、参考例の SH7285 の動作条件は、バスクロック 50MHz（ $t_{cyc} = 20\text{ns}$ ）です。

また SH7285 および SDRAM の AC 特性に関しては、各デバイスのデータシートを参照してください。SDRAM は CK の立ち上がりを起点として動作します。

2.5.1 アクセスウェイトサイクル

- (1) T_r サイクルと T_c サイクル間のウェイトサイクル（ T_{rw} ）を、CS3WCR レジスタの WTRCD[1:0]ビットで設定します。
- (2) T_c サイクルと T_d サイクル間のウェイトサイクル（ T_{cw} ）を、CS3WCR レジスタの A3CL[1:0]ビットで設定します。CAS レイテンシサイクル数-1 が T_{cw} サイクル数になります。
- (3) プリチャージが完了するまでのウェイトサイクル（ T_{ap} ）を、CS3WCR レジスタの WTRP[1:0]ビットで設定します。
- (4) オートプリチャージが起動されるまでのウェイトサイクル（ T_{rwl} ）を、CS3WCR レジスタの TRWL[1:0]ビットで設定します。

本設定において、SH7285 と使用する SDRAM のバスタイミングを満たしていることを確認します。参考例では $T_{rw} = 1$ 、 $T_{cw} = 1$ 、 $T_{ap} = 0$ 、 $T_{rwl} = 2$ を設定しています。

なお、下記計算式に使用している T_r 、 $T_{cn}(n=1\sim 8)$ 、 $T_{dn}(n=1\sim 8)$ 、 T_{de} は t_{cyc} とします。

- SDRAM の t_{RC} （リードサイクル時）
 $t_{RC}(\text{min}) \leq (t_{cyc} \times T_{rw}) + (T_{c1}) + (t_{cyc} \times T_{cw}) + (T_{d1}) + (T_{de}) + (t_{cyc} \times T_{ap}) + (T_r) \dots\dots\dots$ (図 5)
【注】 $T_r = T_c = T_{dn} = T_{de} = t_{cyc}$
- SDRAM の t_{RC} （ライトサイクル時）
 $t_{RC}(\text{min}) \leq (t_{cyc} \times T_{rw}) + (T_{c1}) + (t_{cyc} \times T_{rwl}) + (t_{cyc} \times T_{ap}) + (T_r) \dots\dots\dots$ (図 7)
- SDRAM の t_{RAS} （行活性時間）
 $t_{RAS}(\text{min}) \leq (t_{cyc} \times T_{rw}) + (T_{c1}) + (t_{cyc} \times T_{cw}) \dots\dots\dots$ (図 5)
- SDRAM の t_{RCD} （行から列への遅延時間）
 $t_{RCD}(\text{min}) \leq (t_{cyc} \times T_{rw}) + (T_{c1}) \dots\dots\dots$ (図 5)
- SDRAM の t_{RP} （行プリチャージ時間/リードサイクル時）
 $t_{RP}(\text{min}) \leq (t_{cyc} \times (T_{cw} - 1)) + (T_{d1}) + (T_{de}) + (t_{cyc} \times T_{ap}) + (T_r) \dots\dots\dots$ (図 5)
- SDRAM の t_{RP} （行プリチャージ時間/ライトサイクル時）
 $t_{RP}(\text{min}) \leq (t_{cyc} \times (T_{rwl} - 1)) + (t_{cyc} \times T_{ap}) + (T_r) \dots\dots\dots$ (図 7)
- SDRAM の t_{DAL} （データ入力後から Act への遅延時間）
 $t_{DAL}(\text{min}) \leq (t_{cyc} \times T_{rwl}) + (t_{cyc} \times T_{ap}) + (T_r) \dots\dots\dots$ (図 7)
- SDRAM の t_{RP} （行プリチャージ時間/オートリフレッシュ時）
 $t_{RP}(\text{min}) \leq (t_{cyc} \times T_{pw}) + (T_{rr}) \dots\dots\dots$ (図 9)
【注】 $T_{pw} = T_{ap}$

2.5.2 リフレッシュサイクル

- (1) SDRAM に対してリフレッシュを実施する間隔時間 (t_{REF}) を、RTCSR レジスタと RTCOR レジスタで設定します。
- (2) オートリフレッシュサイクルのウェイトサイクル (Trc) を、CS3WCR レジスタの WTRC[1:0]ビットで設定します。

本設定において、SH7285 と使用する SDRAM のバスタイミングを満たしていることを確認します。参考例では $Trc = 3$ を設定しています。

- SDRAM の t_{REF} (リフレッシュ間隔時間)

$$t_{REF(max)} \geq t_{cyc} \times CKS \times RTCOR \times Ref_Cyc$$

【注】 上記式内の Ref_Cyc はリフレッシュサイクル数で、本実施例では 4096、また $t_{cyc} \times CKS$ はリフレッシュカウンタのクロック周期で、このリフレッシュカウンタクロック数に RTCOR レジスタ設定値を乗じた値が 1 回当たりのリフレッシュ間隔時間になります。

【参考】

$T_{cyc} = 20ns$, $CKS = 16$, $RTCOR = 48$, $Ref_Cyc = 4096$ とすると、

- リフレッシュカウンタのクロック周期 : $t_{cyc} \times CKS = 320 (ns)$
- 1 回当たりのリフレッシュ間隔時間 : $t_{cyc} \times CKS \times RTCOR = 15.36 (\mu s)$
- 4096 回のリフレッシュ間隔時間 : $t_{cyc} \times CKS \times RTCOR \times Ref_Cyc = 62.91 (ms)$

- SDRAM の t_{RC} (リフレッシュサイクル時)

$$t_{RC(min)} \leq (t_{cyc} \times Trc) + (Tr) \dots\dots\dots (図 8)$$

【注】 $Tr = t_{cyc}$

図5にSDRAMシングルリードタイミング例、図6にSDRAMバーストリードタイミング例、図7にSDRAM
 シングルライトタイミング例、図8にSDRAMバーストライトタイミング例、そして図9にSDRAMオートリ
 フレッシュタイミング例を示します。いずれもCS3WCRレジスタの各ビットをWTRP[1:0]=B'00、
 WTRCD[1:0]=B'01、A3CL[1:0]=B'01、TRWL[1:0]=B'10、WTRC[1:0]=B'01 に設定した場合の例です。

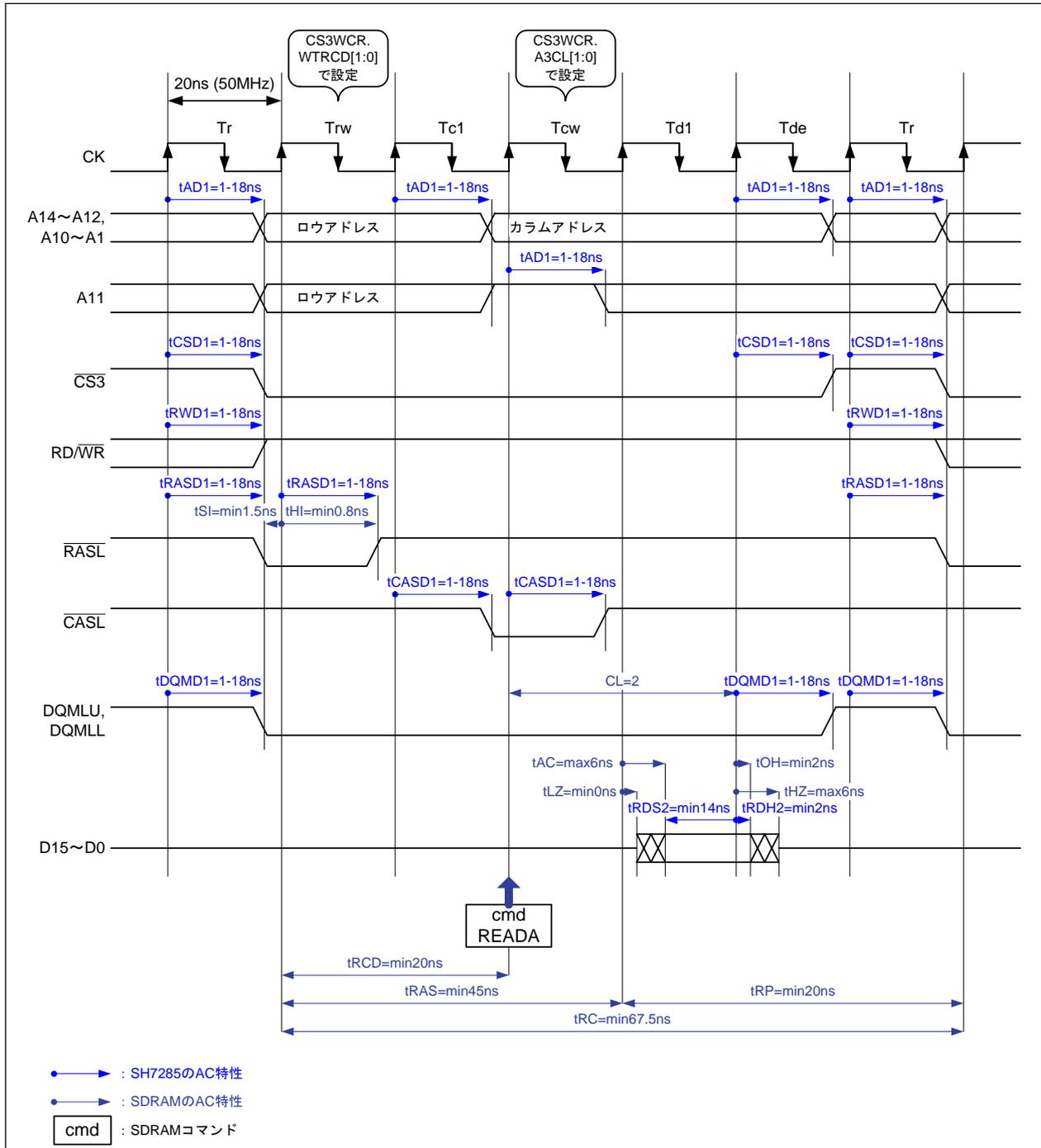


図5 SDRAM シングルリードタイミング例

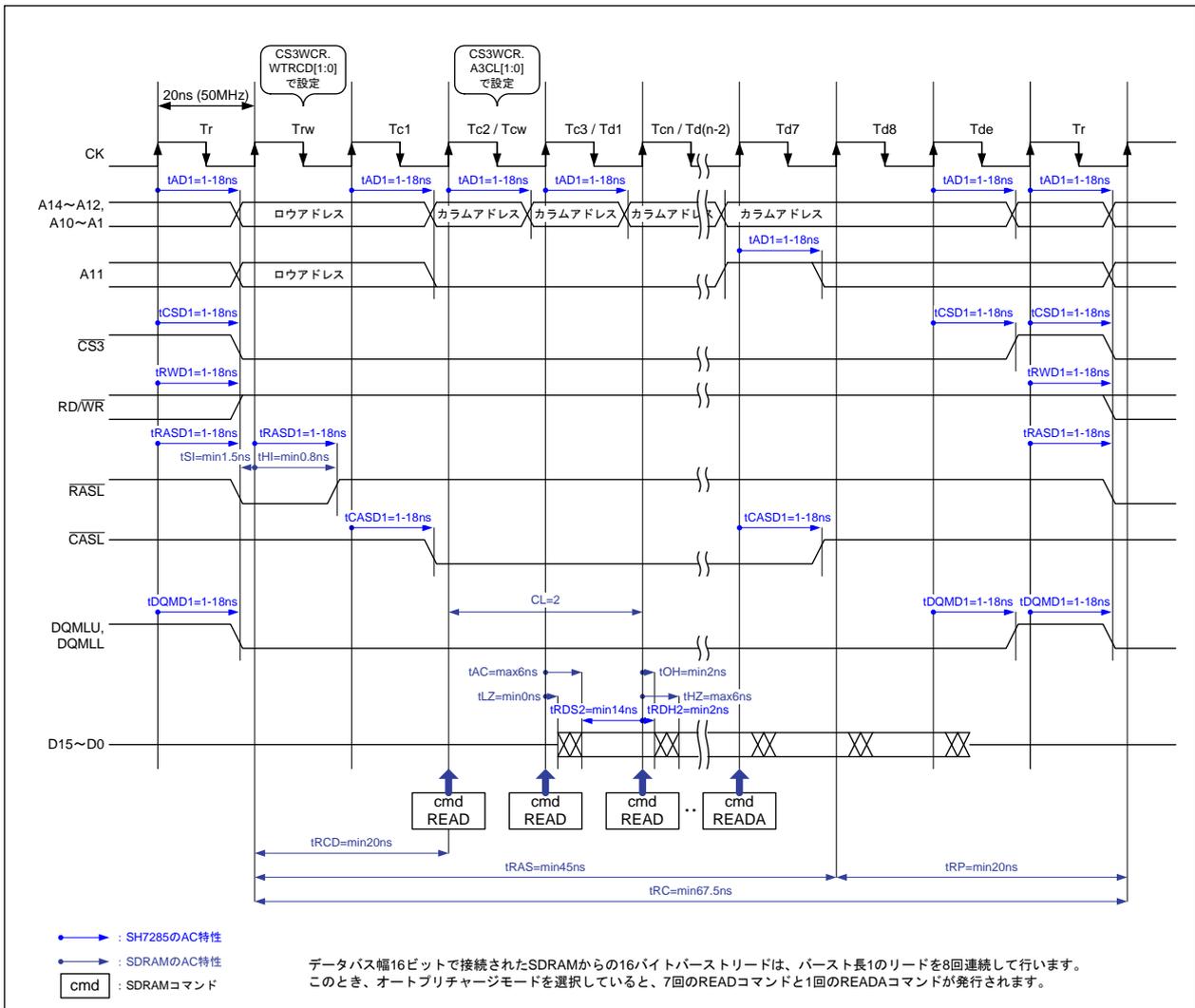


図6 SDRAM 16 バイトバーストリードタイミング例

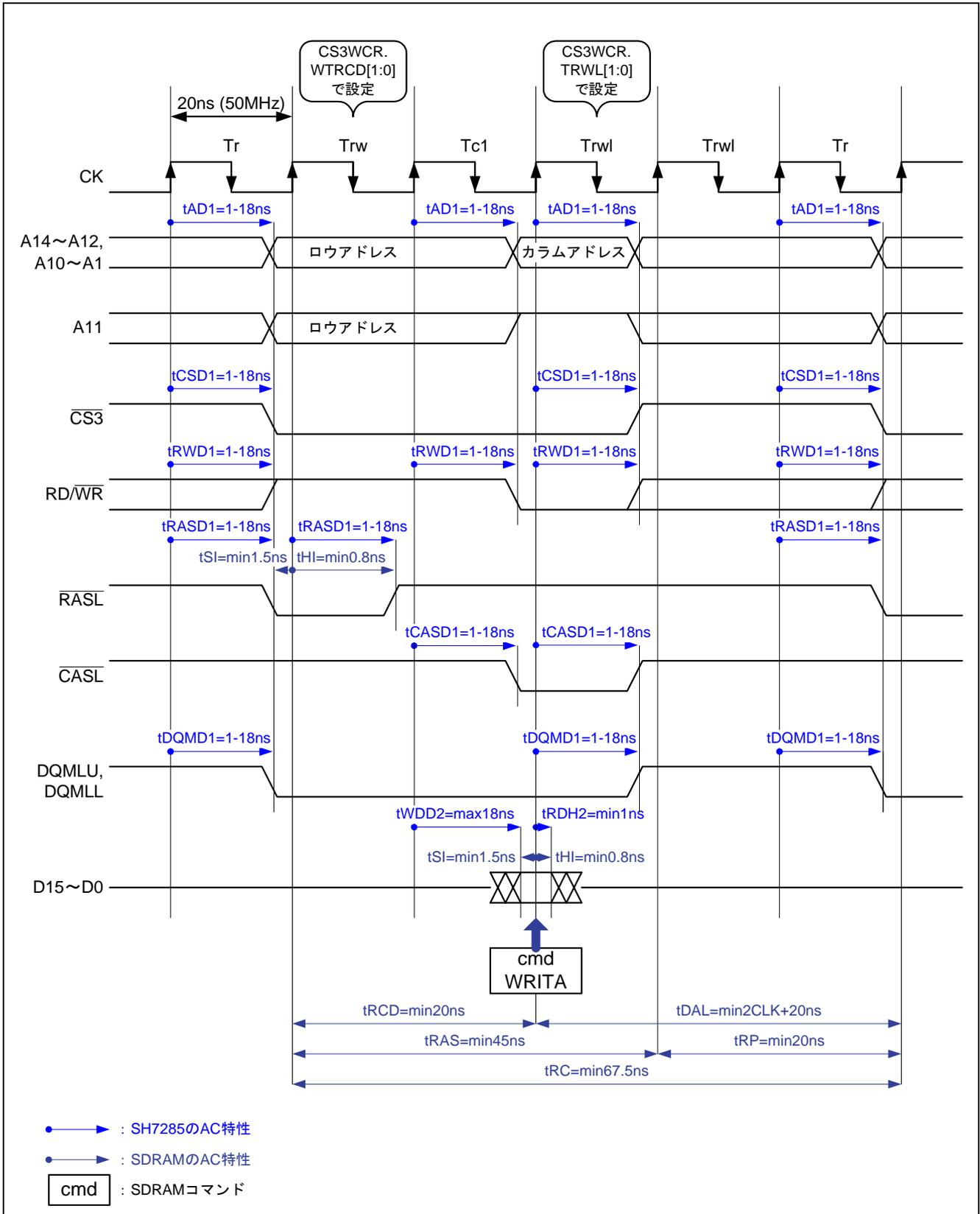


図7 SDRAM シングルライトタイミング例

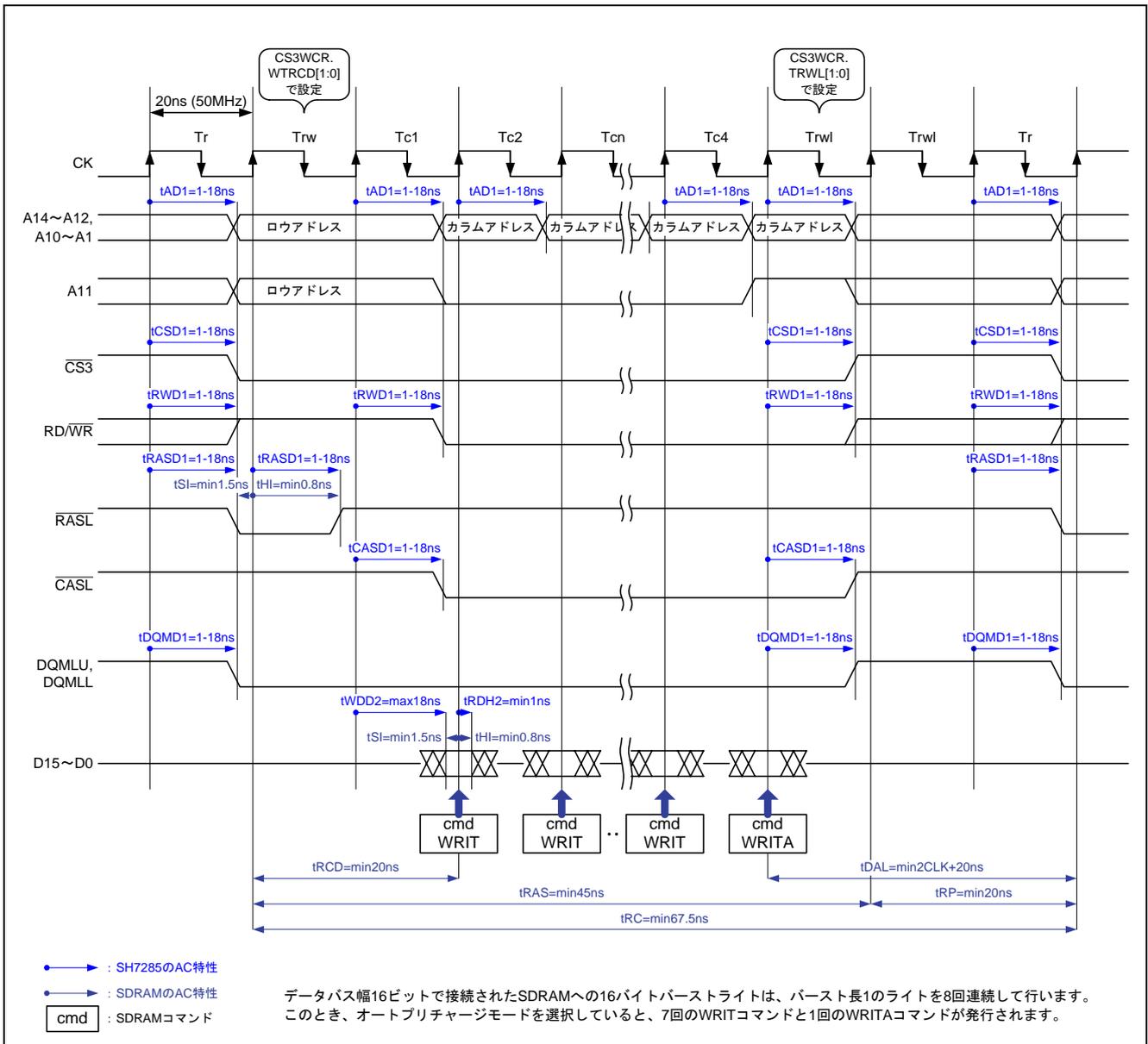


図8 SDRAM 16 バイトバーストライトタイミング例

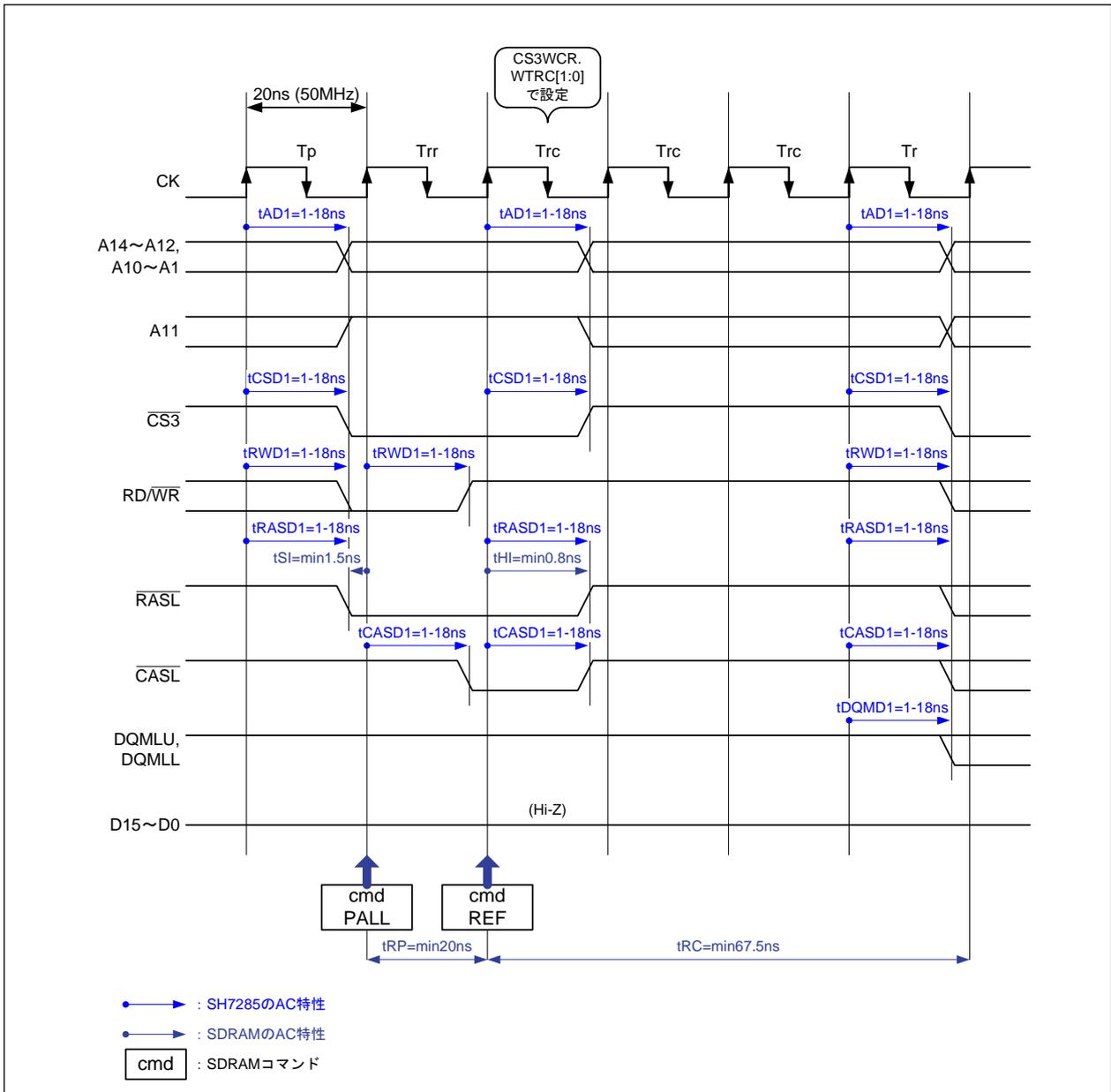


図9 SDRAM オートリフレッシュタイミング例

3. 参考プログラムリスト

3.1 サンプルプログラムリスト "bscsdram.c" (1)

```

1  /*****
2  *   DISCLAIMER
3  *
4  *   This software is supplied by Renesas Technology Corp. and is only
5  *   intended for use with Renesas products. No other uses are authorized.
6  *
7  *   This software is owned by Renesas Technology Corp. and is protected under
8  *   all applicable laws, including copyright laws.
9  *
10 *   THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *   REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *   INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *   PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *   DISCLAIMED.
15 *
16 *   TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *   TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *   FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *   FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *   AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *   Renesas reserves the right, without notice, to make changes to this
23 *   software and to discontinue the availability of this software.
24 *   By using this software, you agree to the additional terms and
25 *   conditions found by accessing the following link:
26 *   http://www.renesas.com/disclaimer
27 *****/
28 *   Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved.
29 *   "FILE COMMENT"***** Technical reference data *****
30 *   System Name : SH7285 Sample Program
31 *   File Name   : bscsdram.c
32 *   Abstract    : BSC Ch3 Setting Processing for SDRAM Interface
33 *   Version     : 1.00.00
34 *   Device      : SH7285
35 *   Tool-Chain  : High-performance Embedded Workshop (Ver.4.04.01).
36 *               : C/C++ compiler package for the SuperH RISC engine family
37 *               :                               (Ver.9.01 Release01).
38 *   OS          : None
39 *   H/W Platform: M3A-HS85 (CPU board)
40 *   Description :
41 *****/
42 *   History     : Nov.24,2009 Ver.1.00.00
43 *   "FILE COMMENT END"*****/
44 #include "iodefine.h"
45

```

3.2 サンプルプログラムリスト "bscsdram.c" (2)

```

46  /* ==== マクロ定義 ==== */
47  /* ---- ダミーアクセスチェック用アドレス、データ ---- */
48  #define SDRAM_TOP      0x0c000000ul /* SDRAM 先頭アドレス */
49  #define SDRAM_END      0x0cfffffful /* SDRAM 最終アドレス */
50  #define DUMMY_DATA1    0x55555555ul /* チェック用データ 1 */
51  #define DUMMY_DATA2    0xaaaaaaaaul /* チェック用データ 2 */
52
53  /* SDRAM モードレジスタ設定用アドレス */
54  #define SDRAM_MODE     (*(volatile unsigned short*)(0xfffc5440))
55
56  /* ==== プロトタイプ宣言 ==== */
57  void io_init_sdram(void);
58
59  /*"FUNC COMMENT"*****
60  * ID          :
61  * Outline     : BSC チャンネル 3 設定 (SDRAM 用)
62  *-----
63  * Include     : "iodefine.h"
64  *-----
65  * Declaration : void io_init_sdram(void);
66  *-----
67  * Description : バスステートコントローラ(BSC)チャンネル 3 とピンファンクションコン
68  *              : トローラ(PFC)の初期化を行います。
69  *              : BSC:チャンネル 3 を SDRAM インタフェースとして設定します
70  *              : PFC:バスと SDRAM 制御信号関連端子を設定します
71  *              : 上記の後、SDRAM モードレジスタ設定を行います。
72  *-----
73  * Argument    : void
74  *-----
75  * Return Value : void
76  *-----
77  * Note        : この関数は、Bφ=50MHz における、BSC チャンネル 3SDRAM インタフェース
78  *              : の設定例です。
79  *"FUNC COMMENT END"*****
80  void io_init_sdram(void)
81  {
82      volatile int j = 20000; /* 200usec ウェイトカウント (100MHz 時) */
83
84      volatile unsigned long *test_addrt, *test_addr;
85
86      /* ==== PFC 設定 ==== */
87      PFC.PBCRL4.BIT.PB12MD = 0x7; /* CS3#設定 */
88      PFC.PACRL4.BIT.PA15MD = 0x1; /* CK 設定 */
89      PFC.PACRL4.BIT.PA13MD = 0x1; /* DQMLL 設定 */
90      PFC.PACRL4.BIT.PA12MD = 0x1; /* DQMLU 設定 */
91      PFC.PACRL3.BIT.PA9MD  = 0x1; /* CKE 設定 */
92      PFC.PACRL3.BIT.PA8MD  = 0x1; /* RDWR 設定 */
93      PFC.PACRL2.BIT.PA7MD  = 0x1; /* CASL 設定 */
94      PFC.PACRL2.BIT.PA6MD  = 0x1; /* RASL 設定 */
95

```

3.3 サンプルプログラムリスト "bscsdram.c" (3)

```

96     PFC.PCCRL4.BIT.PC14MD = 0x1; /* A14 設定 */
97     PFC.PCCRL4.BIT.PC13MD = 0x1; /* A13 設定 */
98     PFC.PCCRL4.BIT.PC12MD = 0x1; /* A12 設定 */
99     PFC.PCCRL3.WORD      = 0x11111; /* A11-A8 設定 */
100    PFC.PCCRL2.WORD      = 0x11111; /* A7-A4 設定 */
101    PFC.PCCRL1.BIT.PC3MD  = 0x1; /* A3 設定 */
102    PFC.PCCRL1.BIT.PC2MD  = 0x1; /* A2 設定 */
103    PFC.PCCRL1.BIT.PC1MD  = 0x1; /* A1 設定 */
104
105    PFC.PDCRL4.WORD      = 0x11111; /* D15-D12 設定 */
106    PFC.PDCRL3.WORD      = 0x11111; /* D11-D8 設定 */
107    PFC.PDCRL2.WORD      = 0x11111; /* D7-D4 設定 */
108    PFC.PDCRL1.WORD      = 0x11111; /* D3-D0 設定 */
109
110    /* ==== CS3BCR 設定 ==== */
111    BSC.CS3BCR.LONG = 0x10004400ul; /* ライト-リード/ライト-ライト時サイクル間アイドル : 1
cycle */
112
113
114
115
116    /* ==== CS3WCR 設定 ==== */
117    BSC.CS3WCR = 0x00000491ul; /* プリチャージ完了待ちサイクル数 : 0 */
118
119    /* ACTV コマンド→READ(A)/WRIT(A)コマンド間
ウェイトサイクル数 : 1 */
120
121    /* エリア 3 CAS レイテンシ : 2 */
122
123    /* プリチャージ起動待ちサイクル数 : 2 */
124
125    /* REF コマンド/セルフリフレッシュ解除→
ACTV/REF/MRS コマンド間アイドル
サイクル数 : 3 */
126
127
128
129
130
131
132
133    /* ==== SDCR 設定 ==== */
134    BSC.SDCR.LONG = 0x00000809ul; /* リフレッシュ制御を行う */
135
136    /* オートリフレッシュ */
137
138    /* オートプリチャージモード */
139
140    /* エリア 3 ロウアドレスビット数 : 12 ビット */
141
142    /* エリア 3 カラムアドレスビット数 : 9 ビット */
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999

```

3.4 サンプルプログラムリスト "bscsdram.c" (4)

```

145     /* ==== SDRAM モードレジスタ設定 ==== */
146     SDRAM_MODE = 0;                /* CS3 エリア/16 ビットバス */
147                                     /* バーストリード/シングルライト
148                                     CAS レイテンシ=2、バースト長=1
149                                     バーストタイプ=シーケンシャル */
150
151     /* ==== ダミーデータライト/リードアクセスチェック ==== */
152     #if 0
153         test_addrt = (unsigned long *)SDRAM_TOP; /* テストアドレス (先頭) セット */
154         test_addr = (unsigned long *)SDRAM_END; /* テストアドレス (最終) セット */
155         *test_addrt = DUMMY_DATA1;             /* データ 1 ライト */
156         *test_addr = DUMMY_DATA1;
157         if(*test_addrt != DUMMY_DATA1){        /* リードチェック */
158             goto Err_exit;
159         }
160         *test_addrt = DUMMY_DATA2;             /* データ 2 ライト */
161         if(*test_addr != DUMMY_DATA1){        /* リードチェック */
162             goto Err_exit;
163         }
164         *test_addr = DUMMY_DATA2;             /* データ 2 ライト */
165         if(*test_addrt != DUMMY_DATA2){        /* リードチェック */
166             goto Err_exit;
167         }
168         if(*test_addr != DUMMY_DATA2){        /* リードチェック */
169             goto Err_exit;
170         }
171         return;
172     Err_exit:
173         while(1);                            /* エラーループ */
174     #endif
175 }
176
177 /* End of File */

```

4. 参考ドキュメント

- ソフトウェアマニュアル
SH-2A、SH2A-FPU ソフトウェアマニュアル Rev.3.00
(最新版をルネサステクノロジのホームページから入手してください。)

- ハードウェアマニュアル
SH7280 グループハードウェアマニュアル Rev.2.00
(最新版をルネサステクノロジのホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.03.05	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 - 1 1. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
 - 1 2. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
 - 1 3. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444