

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# 7542グループ レジスタ一覧

## 1. 要約

この資料は7542グループのレジスタについて説明しています。

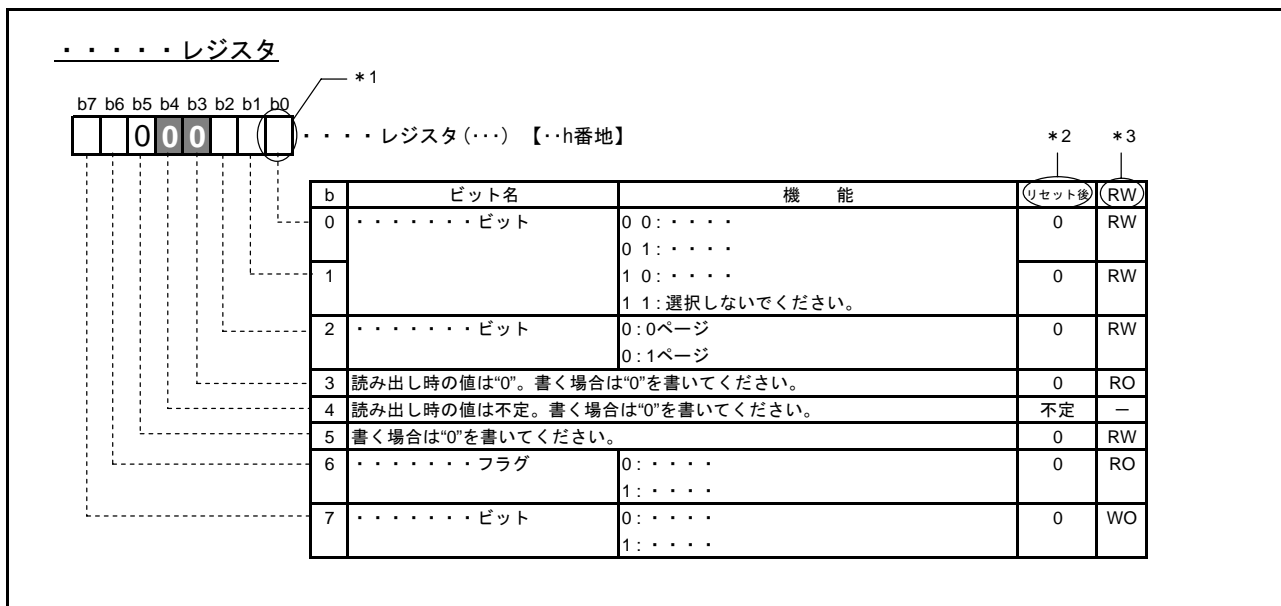
## 2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン : 7542グループ

## 3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- \* 1
- 空白 :用途に応じて"0"又は"1"を設定してください。
  - 0 :書く場合は"0"を書いてください。
  - 1 :書く場合は"1"を書いてください。
  - x :特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
  - :何も配置されていない。

- \* 2
- 0 :リセット後"0"になる。
  - 1 :リセット後"1"になる。
  - 不定 :リセット後、不定になる。

- \* 3
- RW :読み出し可能。書き込み可能。
  - RO :読み出し可能。書く場合の値は、それぞれのビットに依存します。
  - WO :書き込み可能。読み出し時の値は不定。
  - :読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. レジスタの説明

**ポートPiレジスタ**

ポートPiレジスタ (Pi) (i = 0, 2~3)  
【00h, 04h, 06h番地】

b	ビット名	機能	リセット後	RW
0	ポートPi0	●出力モード時	不定	RW
1	ポートPi1	書き込み: ポートラッチ	不定	RW
2	ポートPi2	読み出し: ポートラッチ	不定	RW
3	ポートPi3	●入力モード時	不定	RW
4	ポートPi4	書き込み: ポートラッチ	不定	RW
5	ポートPi5	読み出し: 端子の値	不定	RW
6	ポートPi6		不定	RW
7	ポートPi7		不定	RW

注. 32ピン版では、ポートP2のビット6及びビット7、ポートP3のビット5及びビット6には何も配置されていません。

図4.1 ポートPiレジスタの構成 (i = 0, 2~3)

**ポートPi方向レジスタ**

ポートPi方向レジスタ (PiD) (i = 0, 2~3)  
【01h, 05h, 07h番地】

b	ビット名	機能	リセット後	RW
0	ポートPi0方向レジスタ	0: 入力モード 1: 出力モード	0	WO
1	ポートPi1方向レジスタ	0: 入力モード 1: 出力モード	0	WO
2	ポートPi2方向レジスタ	0: 入力モード 1: 出力モード	0	WO
3	ポートPi3方向レジスタ	0: 入力モード 1: 出力モード	0	WO
4	ポートPi4方向レジスタ	0: 入力モード 1: 出力モード	0	WO
5	ポートPi5方向レジスタ	0: 入力モード 1: 出力モード	0	WO
6	ポートPi6方向レジスタ	0: 入力モード 1: 出力モード	0	WO
7	ポートPi7方向レジスタ	0: 入力モード 1: 出力モード	0	WO

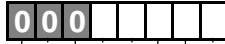
注1. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。  
注2. P26/AN6、P27/AN7、P35、P36の機能は32ピン版にはありませんので、次の設定を行ってください。

- ・ INT1機能にはP33を選択してください。
- ・ ポートP26、P27の方向レジスタを出力に設定してください。
- ・ ポートP35、P36の方向レジスタを出力に設定してください。

図4.2 ポートPi方向レジスタの構成 (i = 0, 2~3)

ポートP1レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ポートP1レジスタ(P1)

【02h番地】

b	ビット名	機能	リセット後	RW
0	ポートP1 <sub>0</sub>	●出力モード時：書き込み：ポータラッチ ：読み出し：ポータラッチ、 又は周辺機能の出力(注)	不定	RW
1	ポートP1 <sub>1</sub>		不定	RW
2	ポートP1 <sub>2</sub>		不定	RW
3	ポートP1 <sub>3</sub>		不定	RW
4	ポートP1 <sub>4</sub>	●入力モード時：書き込み：ポータラッチ ：読み出し：端子の値	不定	RW
5	読み出し時の値は不定。書く場合は“0”を書いてください。		不定	—
6			不定	—
7			不定	—

注：P14/CNTR0は、兼用の出力機能を選択している場合、その出力値を読みます。

図4.3 ポートP1レジスタの構成

ポートP1方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ポートP1方向レジスタ(P1D)

【03h番地】

b	ビット名	機能	リセット後	RW
0	ポートP1 <sub>0</sub> 方向レジスタ	0：入力モード 1：出力モード	0	WO
1	ポートP1 <sub>1</sub> 方向レジスタ	0：入力モード 1：出力モード	0	WO
2	ポートP1 <sub>2</sub> 方向レジスタ	0：入力モード 1：出力モード	0	WO
3	ポートP1 <sub>3</sub> 方向レジスタ	0：入力モード 1：出力モード	0	WO
4	ポートP1 <sub>4</sub> 方向レジスタ	0：入力モード 1：出力モード	0	WO
5	読み出し時の値は不定。書く場合は“0”を書いてください。		不定	—
6			不定	—
7			不定	—

図4.4 ポートP1方向レジスタの構成

割り込み要因設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要因設定レジスタ (INTSET) 【0Ah番地】

b	ビット名	機能	リセット後	RW
0	キーオンウェイクアップ 割り込み有効ビット	0: 割り込み無効 1: 割り込み有効	0	RW
1	UART1バス衝突検出 割り込み有効ビット	0: 割り込み無効 1: 割り込み有効	0	RW
2	A/D変換 割り込み有効ビット	0: 割り込み無効 1: 割り込み有効	0	RW
3	タイマ1 割り込み有効ビット	0: 割り込み無効 1: 割り込み有効	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

図4.5 割り込み要因設定レジスタの構成

割り込み要因判別レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要因判別レジスタ (INTDIS) 【0Bh番地】

b	ビット名	機能	リセット後	RW
0	キーオンウェイクアップ 割り込み判別ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW
1	UART1バス衝突検出 割り込み判別ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW
2	A/D変換 割り込み判別ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW
3	タイマ1 割り込み判別ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

注. 割り込み判別ビットをクリアする場合は、LDM命令を使用してください。

LDM #0n,\$0B

n: クリアしたい割り込み判別ビットに“0”、その他の割り込み判別ビットに“1”を設定します。

(例) キーオンウェイクアップ割り込み判別ビットをクリアする場合

LDM #00001110B, \$0B

図4.6 割り込み要因判別レジスタの構成

キャプチャレジスタ*i* (下位)

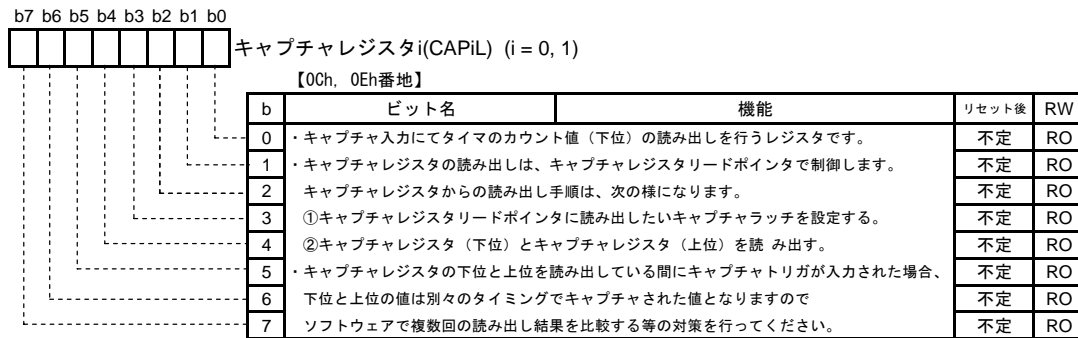


図4.7 キャプチャレジスタ*i* (下位) の構成

キャプチャレジスタ*i* (上位)

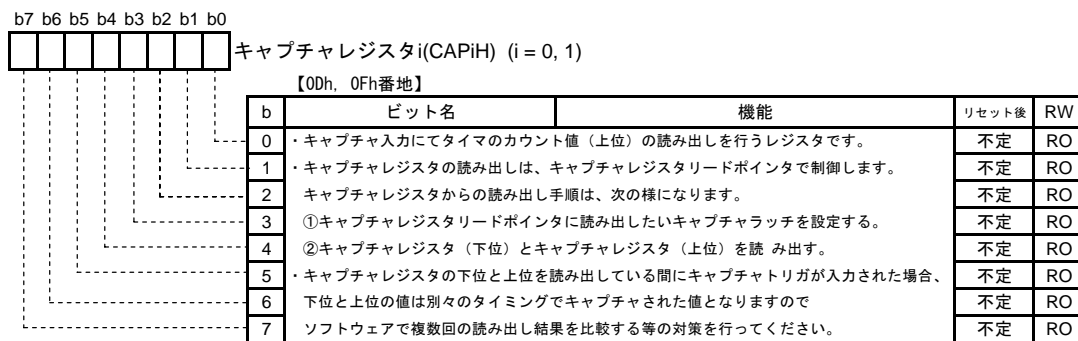
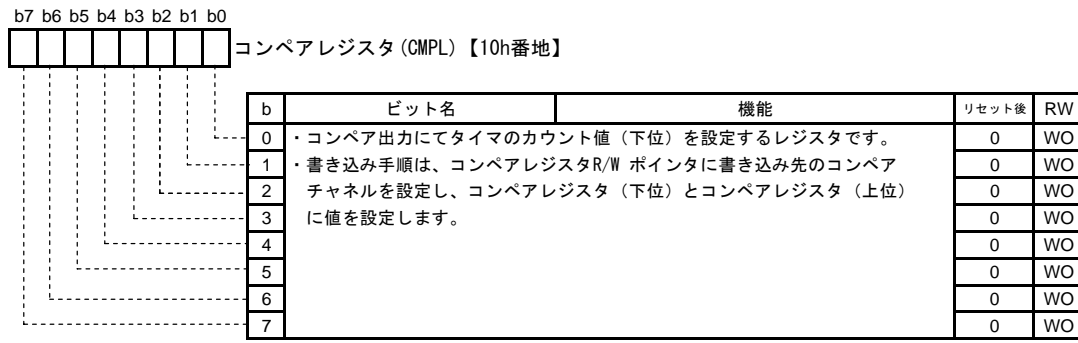


図4.8 キャプチャレジスタ*i* (上位) の構成

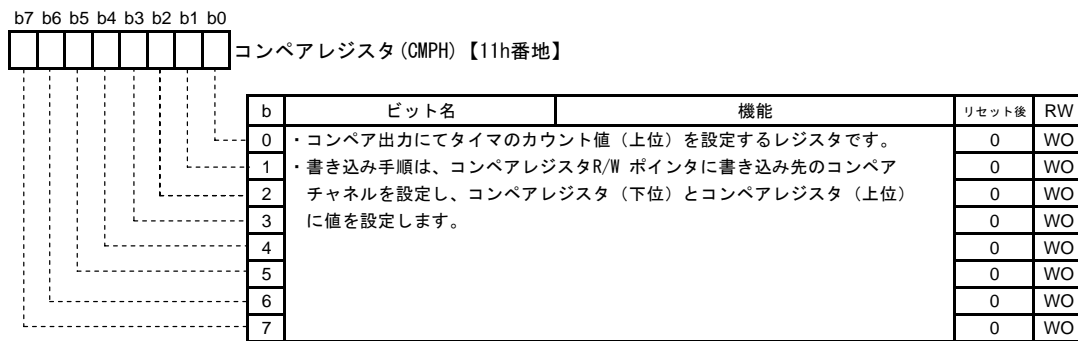
コンペアレジスタ（下位）



- 注1. それぞれのコンペアチャンネルのソースとして選択しているタイマが停止している場合、コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。
- 注2. コンペアラッチx0 とコンペアラッチx1 には、同一の値を設定しないでください (x = 0, 1, 2, 3)。
- 注3. コンペアレジスタの設定値がタイマの設定値より大きい場合はコンペア一致の信号が発生しません。従って出力波形は“H”又は“L”レベルに固定されます。ただし、もう一方のコンペアレジスタの設定値がタイマの設定値より小さい場合には、小さい側のコンペア一致の信号は発生しますので、コンペア一致割り込みは発生します。

図4.9 コンペアレジスタ（下位）の構成

コンペアレジスタ（上位）



- 注1. それぞれのコンペアチャンネルのソースとして選択しているタイマが停止している場合、コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。
- 注2. コンペアラッチx0 とコンペアラッチx1 には、同一の値を設定しないでください (x = 0, 1, 2, 3)。
- 注3. コンペアレジスタの設定値がタイマの設定値より大きい場合はコンペア一致の信号が発生しません。従って出力波形は“H”又は“L”レベルに固定されます。ただし、もう一方のコンペアレジスタの設定値がタイマの設定値より小さい場合には、小さい側のコンペア一致の信号は発生しますので、コンペア一致割り込みは発生します。

図4.10 コンペアレジスタ（上位）の構成



キャプチャ/コンペアレジスタR/Wポインタ

b7 b6 b5 b4 b3 b2 b1 b0  

 キャプチャ/コンペアレジスタR/Wポインタ (CCRP) 【12h番地】

b	ビット名	機能	リセット後	RW
0	コンペアレジスタR/Wポインタ	b2 b1 b0 000: コンペアラッチ00 001: コンペアラッチ01 010: コンペアラッチ10 011: コンペアラッチ11 100: コンペアラッチ20 101: コンペアラッチ21 110: コンペアラッチ30 111: コンペアラッチ31	0	RW
1			0	RW
2			0	RW
3	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
4	キャプチャレジスタ0 R/Wポインタ	0: キャプチャラッチ00 1: キャプチャラッチ01	0	RW
5	キャプチャレジスタ1 R/Wポインタ	0: キャプチャラッチ10 1: キャプチャラッチ11	0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7			0	RO

図4.11 キャプチャ/コンペアレジスタR/Wポインタの構成

キャプチャソフトウェアトリガレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

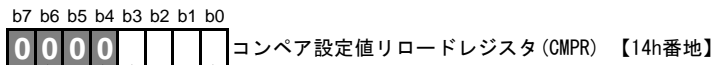
 キャプチャソフトウェアトリガレジスタ (GSTR) 【13h番地】

b	ビット名	機能	リセット後	RW
0	キャプチャラッチ00 ソフトウェアトリガビット	このビットに“1”を書き込むことにより、ソフトウェアトリガが発生します。 (読み出し時の値は“0”)	0	RW
1	キャプチャラッチ01 ソフトウェアトリガビット		0	RW
2	キャプチャラッチ10 ソフトウェアトリガビット		0	RW
3	キャプチャラッチ11 ソフトウェアトリガビット		0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

注. 同じチャンネル内の2つのキャプチャラッチ (x01及びx1)に、下記のように同時にキャプチャ入力が行われた場合、キャプチャステータスビットの値は不定となります。  
 ーキャプチャラッチx0及びx1のキャプチャラッチyソフトウェアトリガビットに同時に“1”を書いた場合  
 又は  
 ー一方のキャプチャラッチyソフトウェアトリガビットに“1”を書くのと同時に  
 もう一方のキャプチャラッチに外部トリガが入力された場合 (x = 0, 1, y = 00, 01, 10, 11)。

図4.12 キャプチャソフトウェアトリガレジスタの構成

コンペア設定値リロードレジスタ

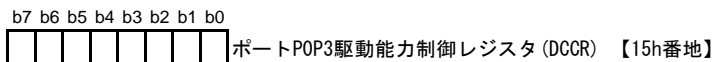


b	ビット名	機能	リセット後	RW
0	コンペアラッチ00、01 リロードビット	0: リロード無効 1: リロード有効 (次のアンダフロー時)	0	RW
1	コンペアラッチ10、11 リロードビット	0: リロード無効 1: リロード有効 (次のアンダフロー時)	0	RW
2	コンペアラッチ20、21 リロードビット	0: リロード無効 1: リロード有効 (次のアンダフロー時)	0	RW
3	コンペアラッチ30、31 リロードビット	0: リロード無効 1: リロード有効 (次のアンダフロー時)	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

注. コンペアラッチ y リロードビットに“1”を設定すると、コンペアレジスタに書き込まれた値は、それぞれのチャネルに対応するタイマの次のアンダフロー時にコンペアラッチに転送されます (y = 00, 01, 10, 11, 20, 21, 30, 31)。

図4.13 コンペア設定値リロードレジスタの構成

ポートP0P3駆動能力制御レジスタ



b	ビット名	機能	リセット後	RW
0	ポートP0 <sub>0</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
1	ポートP0 <sub>1</sub> 、P0 <sub>2</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
2	ポートP0 <sub>3</sub> ~P0 <sub>7</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
3	ポートP3 <sub>0</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
4	ポートP3 <sub>1</sub> 、P3 <sub>2</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
5	ポートP3 <sub>3</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
6	ポートP3 <sub>4</sub> 、P3 <sub>5</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW
7	ポートP3 <sub>6</sub> 、P3 <sub>7</sub> 駆動能力	0: 駆動能力=Low 1: 駆動能力=High	0	RW

注1. 「駆動能力=High」としてご使用いただけるポートの合計は、最大で8ポートまでです。  
 注2. P35、P36の機能は32ピン版にはありません。

図4.14 ポートP0P3駆動能力制御レジスタの構成

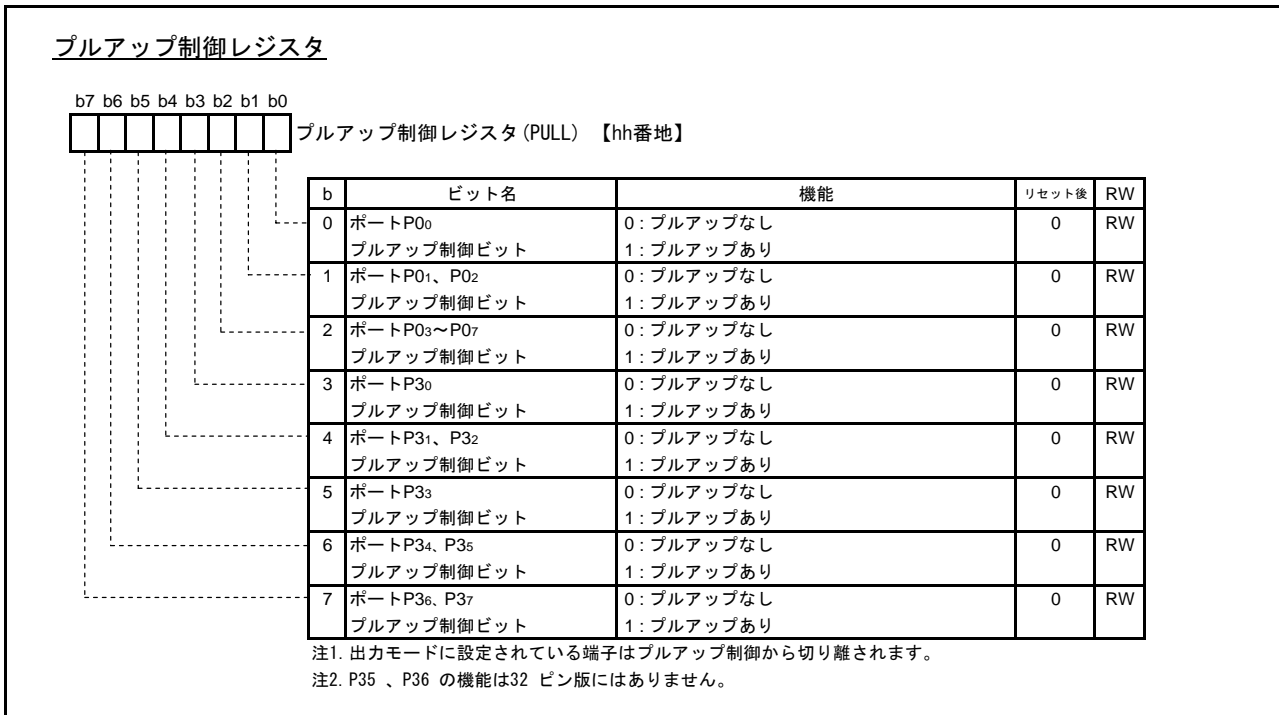


図4.15 プルアップ制御レジスタの構成

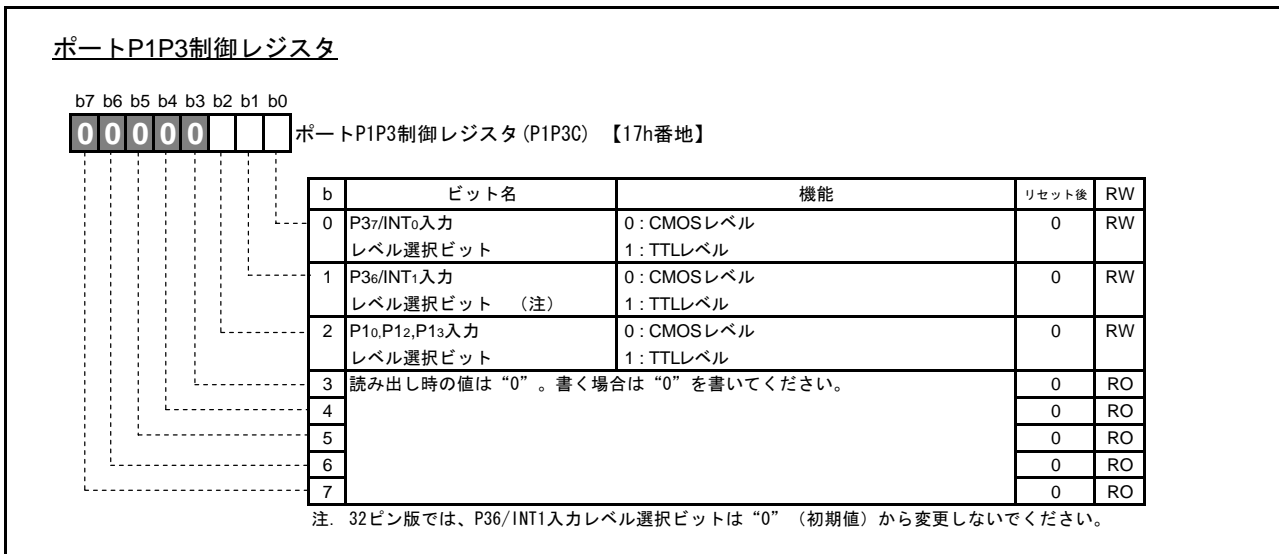
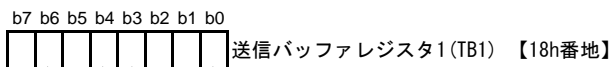


図4.16 ポートP1P3制御レジスタの構成

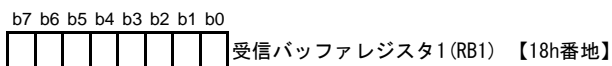
送信バッファレジスタ1



b	機 能	リセット後	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

受信バッファレジスタ1



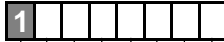
b	機 能	リセット後	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.17 送信バッファレジスタ1及び受信バッファレジスタ1の構成

シリアル/O1ステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O1ステータスレジスタ (S101STS) 【19h番地】

b	ビット名	機能	リセット後	RW
0	送信バッファエンプティフラグ(TBE) (注1)	0: バッファレジスタフル状態 1: バッファレジスタエンプティ状態	0	RO
1	受信バッファフルフラグ(RBF) (注1、2)	0: バッファレジスタエンプティ状態 1: バッファレジスタフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC) (注1)	0: 送信シフト中 1: 送信シフト終了	0	RO
3	オーバランエラーフラグ(OE) (注3)	0: オーバランエラーなし 1: オーバランエラー発生	0	RO
4	パリティエラーフラグ(PE) (注3)	0: パリティエラーなし 1: パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE) (注3)	0: フレーミングエラーなし 1: フレーミングエラー発生	0	RO
6	サミングエラーフラグ(SE) (注3)	0: (OE)U(PE)U(FE) = 0 1: (OE)U(PE)U(FE) = 1	0	RO
7	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO

注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタを読み出すと“0”にクリアされます。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.18 シリアル/O1ステータスレジスタの構成

シリアル/O1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O1制御レジスタ (S101CON) 【1Ah番地】

b	ビット名	機能	リセット後	RW
0	BRGカウントソース選択ビット(CSS)	0: f(XIN) 1: f(XIN)/4	0	RW
1	シリアル/O1同期クロック選択ビット(SCS)	クロック同期形シリアル/Oモード時 0: BRG出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	$\overline{\text{SRDY}}$ 出力許可ビット(SRDY)	0: 出力禁止(P13端子: 入出力ポート) 1: 出力許可(P13端子: $\overline{\text{SRDY}}$ 出力端子)	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファレジスタが空になったとき(TBE = 1) 1: 送信シフトレジスタのシフト動作終了時(TSC = 1)	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアル/O1モード選択ビット(SIOM)	0: UARTモード 1: クロック同期形シリアル/Oモード	0	RW
7	シリアル/O1許可ビット(SIOE)	0: シリアル/O1禁止(P10~P13端子: 入出力ポート) 1: シリアル/O1許可(P10~P13端子: シリアル/O1機能端子)	0	RW

図4.19 シリアル/O1制御レジスタの構成

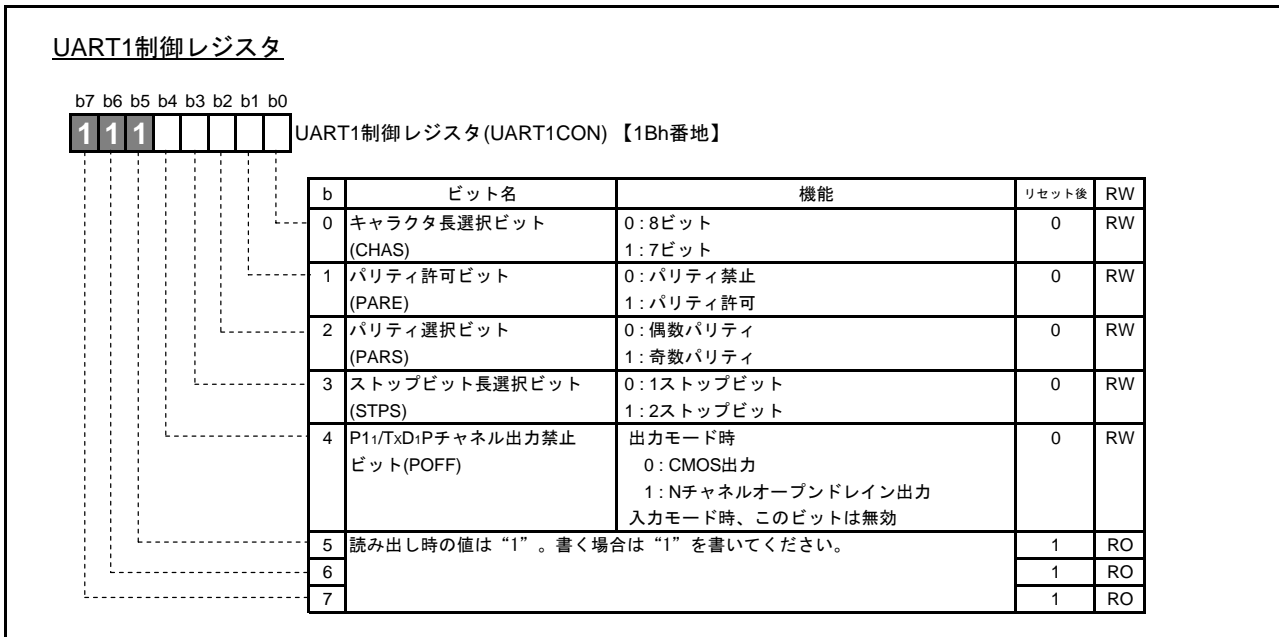


図4.20 UART1制御レジスタの構成

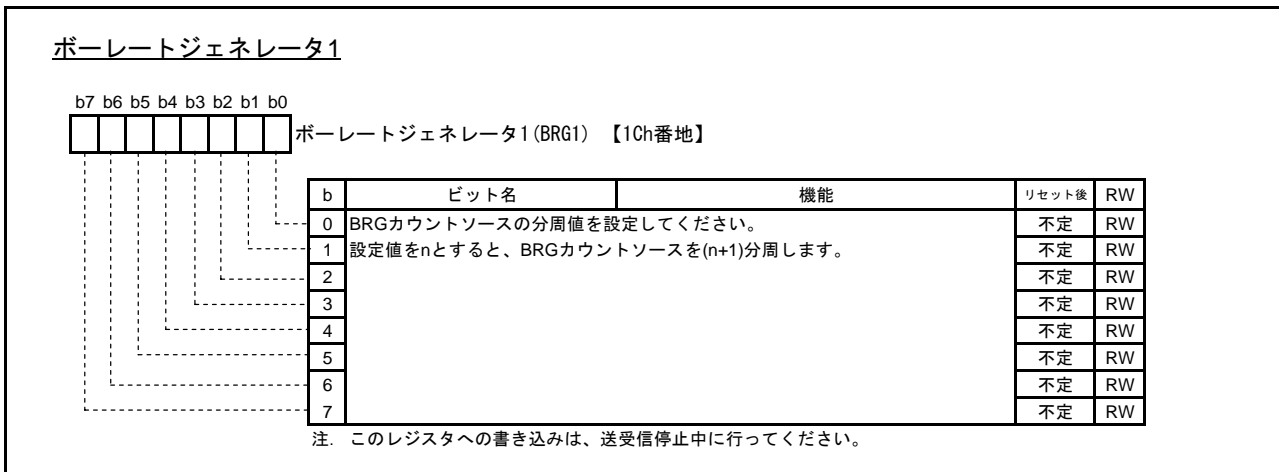
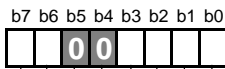


図4.21 ボーレートジェネレータ1の構成

タイマA,Bモードレジスタ



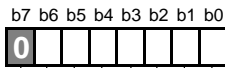
タイマA,Bモードレジスタ (TABM) 【1Dh番地】

b	ビット名	機能	リセット後	RW
0	タイマA書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
1	タイマAカウント停止ビット	0: カウント開始 1: カウント停止	0	RW
2	タイマB書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
3	タイマBカウント停止ビット	0: カウント開始 1: カウント停止	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6	コンペア0、1変調モードビット	0: 禁止 1: 許可	0	RW
7	コンペア2、3変調モードビット	0: 禁止 1: 許可	0	RW

注. タイマA,B書き込み制御ビットを「ラッチのみ書き込み」に設定している場合は、タイマの停止中であっても、書き込みデータはラッチのみに書き込まれます。したがって、タイマの初期設定において、タイマの停止中に値を設定する場合は、「ラッチ及びタイマ同時書き込み」を選択した状態で行ってください。

図4.22 タイマA,Bモードレジスタ

キャプチャ/コンペアポートレジスタ



キャプチャ/コンペアポートレジスタ (CCPR) 【1Eh番地】

b	機能	リセット後	RW	
0	キャプチャ0 入力ポート選択ビット	0	RW	
1		0	RW	
2	コンペア0出力ポート選択ビット	0	RW	
3	コンペア1出力ポート選択ビット	0	RW	
4	キャプチャ1 入力ポート選択ビット	0	RW	
5	コンペア2出力ポート選択ビット	0	RW	
6	コンペア3出力ポート選択ビット	0	RW	
7	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO

図4.23 キャプチャ/コンペアポートレジスタの構成

キャプチャ/コンペアタイマソース選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



キャプチャ/コンペアタイマソース選択レジスタ (TMSR) 【1Fh番地】

b	ビット名	機能	リセット後	RW
0	コンペア0タイマソース 選択ビット	0: タイマA 1: タイマB	0	RW
1	コンペア1タイマソース 選択ビット	0: タイマA 1: タイマB	0	RW
2	コンペア2タイマソース 選択ビット	0: タイマA 1: タイマB	0	RW
3	コンペア3タイマソース 選択ビット	0: タイマA 1: タイマB	0	RW
4	キャプチャ0タイマソース 選択ビット	0: タイマA 1: タイマB	0	RW
5	キャプチャ1タイマソース 選択ビット	0: タイマA 1: タイマB	0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7			0	RO

- 注1. CPUの動作クロック源がXIN発振の場合で、タイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマAはキャプチャ入力のソースタイマとして使用できません。
- 注2. CPUの動作クロック源がXIN発振の場合で、タイマBのカウントソースにタイマAアンダフローを選択し、かつタイマAのカウントソースにオンチップオシレータ出力を選択している場合は、タイマBはキャプチャ入力のソースタイマとして使用できません。

図4.24 キャプチャ/コンペアタイマソース選択レジスタの構成

キャプチャモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



キャプチャモードレジスタ (CAPM) 【20h番地】

b	機能	リセット後	RW
0	キャプチャ0割り込みエッジ 選択ビット	b1 b0 00: 立ち上がり及び立ち下がりエッジ 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 選択禁止	0 RW
1			
2	キャプチャ1割り込みエッジ 選択ビット	b3 b2 00: 立ち上がり及び立ち下がりエッジ 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 選択禁止	0 RW
3			
4	キャプチャ0ノイズフィルタ 選択ビット	b5 b4 00: フィルタなし 01: f(XIN) 10: f(XIN)/8 11: f(XIN)/32	0 RW
5			
6	キャプチャ1ノイズフィルタ 選択ビット	b7 b6 00: フィルタなし 01: f(XIN) 10: f(XIN)/8 11: f(XIN)/32	0 RW
7			

- 注1. 外部割り込みCAPO, CAP1 の割り込みエッジ選択ビット及びノイズフィルタ選択ビットを設定する際、割り込み要求ビットが“1”になる場合があります。割り込みエッジ選択ビット又はノイズフィルタ選択ビットの設定に同期した割り込みが不要な場合には以下の手順で設定してください。

- ①該当する割り込み許可ビットを“0”（禁止）にする。
- ②極性切り替えビットを設定する。
- ③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- ④該当する割り込み許可ビットを“1”（許可）にする。

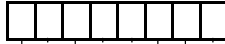
- 注2. キャプチャ割り込みをストップモードからの復帰用割り込みとして使用する場合は、キャプチャx ノイズフィルタ選択ビットを“00: フィルタなし”に設定してください (x = 0, 1)。

図4.25 キャプチャモードレジスタの構成



コンペア出力モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



コンペア出力モードレジスタ (CMOM) 【21h番地】

b	ビット名	機能	リセット後	RW
0	コンペア0出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
1	コンペア1出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
2	コンペア2出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
3	コンペア3出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
4	コンペア0トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW
5	コンペア1トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW
6	コンペア2トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW
7	コンペア3トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW

注. コンペアx トリガ有効ビットに“0”（無効）を設定すると、波形出力回路への一致トリガは禁止されるので、出力波形を“H”又は“L”に固定できます。ただし、この場合でもコンペア一致の信号は発生するのでコンペア一致割り込みの発生は可能です (x = 0, 1, 2, 3)。

図4.26 コンペア出力モードレジスタの構成

キャプチャ/コンペアステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



キャプチャ/コンペアステータスレジスタ (CCSR) 【22h番地】

b	機能	リセット後	RW
0	コンペア0出カステータスビット 0: "L"レベル出力 1: "H"レベル出力	0	RW
1	コンペア1出カステータスビット 0: "L"レベル出力 1: "H"レベル出力	0	RW
2	コンペア2出カステータスビット 0: "L"レベル出力 1: "H"レベル出力	0	RW
3	コンペア3出カステータスビット 0: "L"レベル出力 1: "H"レベル出力	0	RW
4	キャプチャ0ステータスビット 0: ラッチ00キャプチャ 1: ラッチ01キャプチャ	0	RW
5	キャプチャ1ステータスビット 0: ラッチ10キャプチャ 1: ラッチ11キャプチャ	0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。	0	RO
7		0	RO

注. コンペア出力の状態は、コンペアx出カステータスビットを読み出すことで、“H”レベル又は“L”レベルを確認できます (x = 0, 1, 2, 3)。

図4.27 キャプチャ/コンペアステータスレジスタの構成

コンペア割り込みソース設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



コンペア割り込みソース設定レジスタ (CISR) 【23h番地】

b	ビット名	機能	リセット後	RW
0	コンペアラッチ00 割り込みソースビット	0:無効 1:有効	0	RW
1	コンペアラッチ01 割り込みソースビット	0:無効 1:有効	0	RW
2	コンペアラッチ10 割り込みソースビット	0:無効 1:有効	0	RW
3	コンペアラッチ11 割り込みソースビット	0:無効 1:有効	0	RW
4	コンペアラッチ20 割り込みソースビット	0:無効 1:有効	0	RW
5	コンペアラッチ21 割り込みソースビット	0:無効 1:有効	0	RW
6	コンペアラッチ30 割り込みソースビット	0:無効 1:有効	0	RW
7	コンペアラッチ31 割り込みソースビット	0:無効 1:有効	0	RW

注. コンペア出力割り込みは、コンペアラッチの値とタイマカウント値が一致するタイミングで発生することができます。それぞれのコンペアラッチからの割り込み信号は、コンペアラッチ $y$  割り込みソース設定ビットで、有効又は無効に設定できます ( $y = 00, 01, 10, 11, 20, 21, 30, 31$ )。

図4.28 コンペア割り込みソース設定レジスタの構成

タイマA上位レジスタ、タイマA下位レジスタ

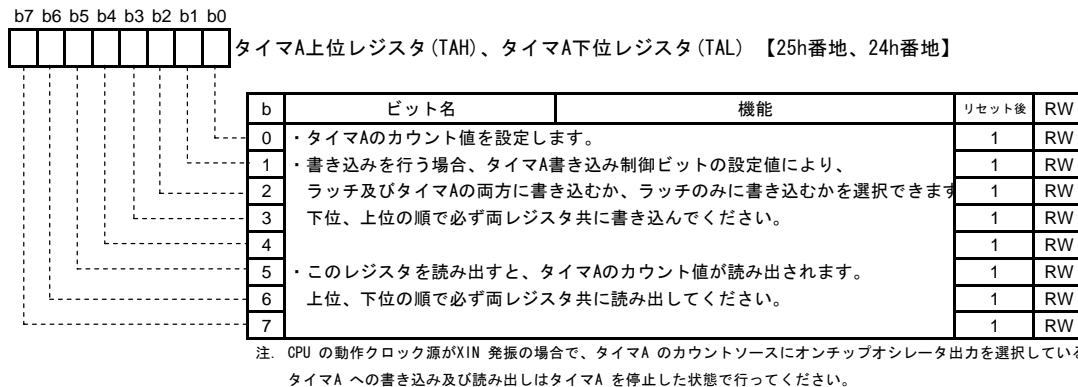


図4.29 タイマA上位レジスタ、タイマA下位レジスタの構成

タイマB上位レジスタ、タイマB下位レジスタ

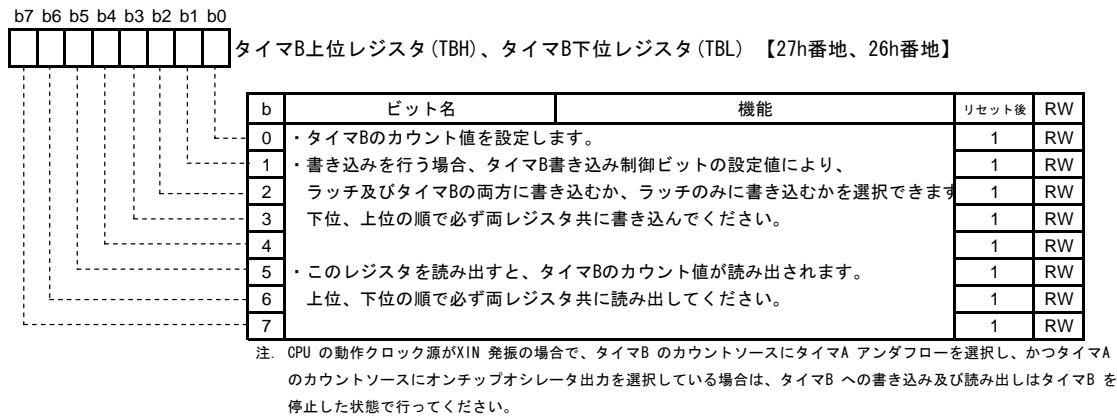


図4.30 タイマB上位レジスタ、タイマB下位レジスタの構成

プリスケアラ1

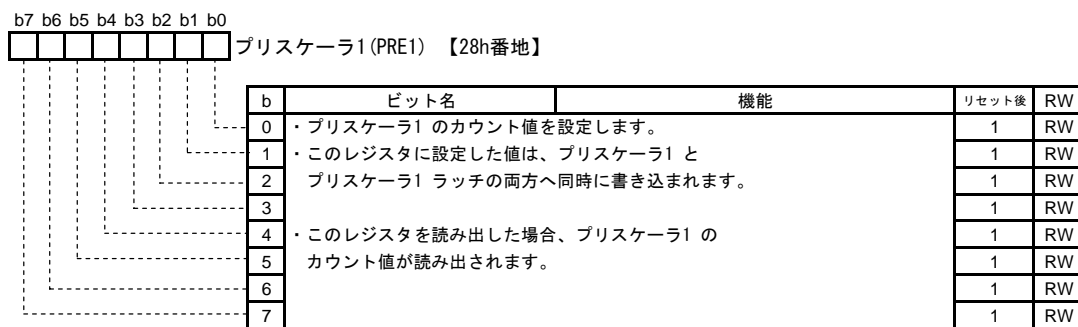


図4.31 プリスケアラ1の構成

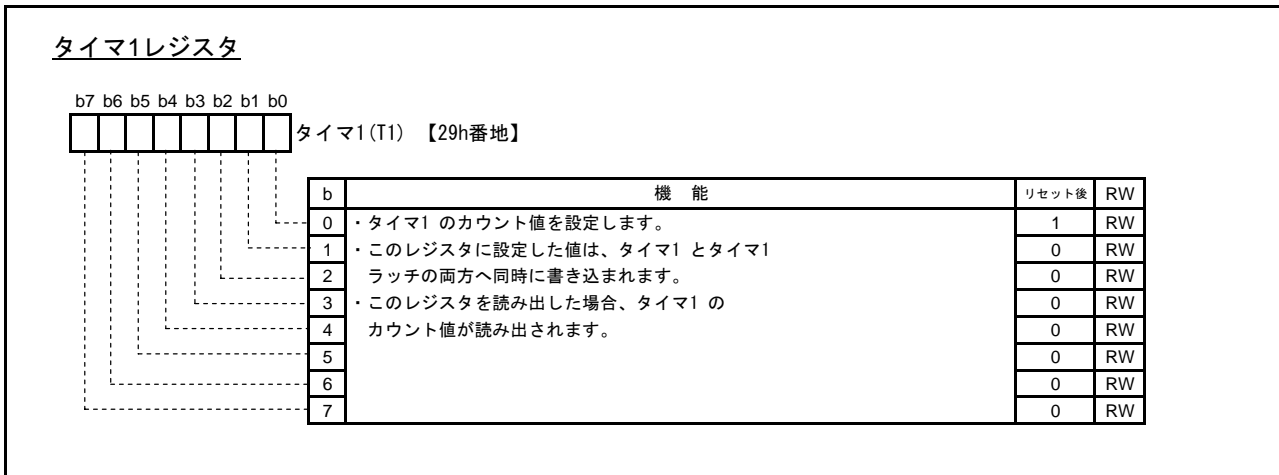


図4.32 タイマ1レジスタの構成

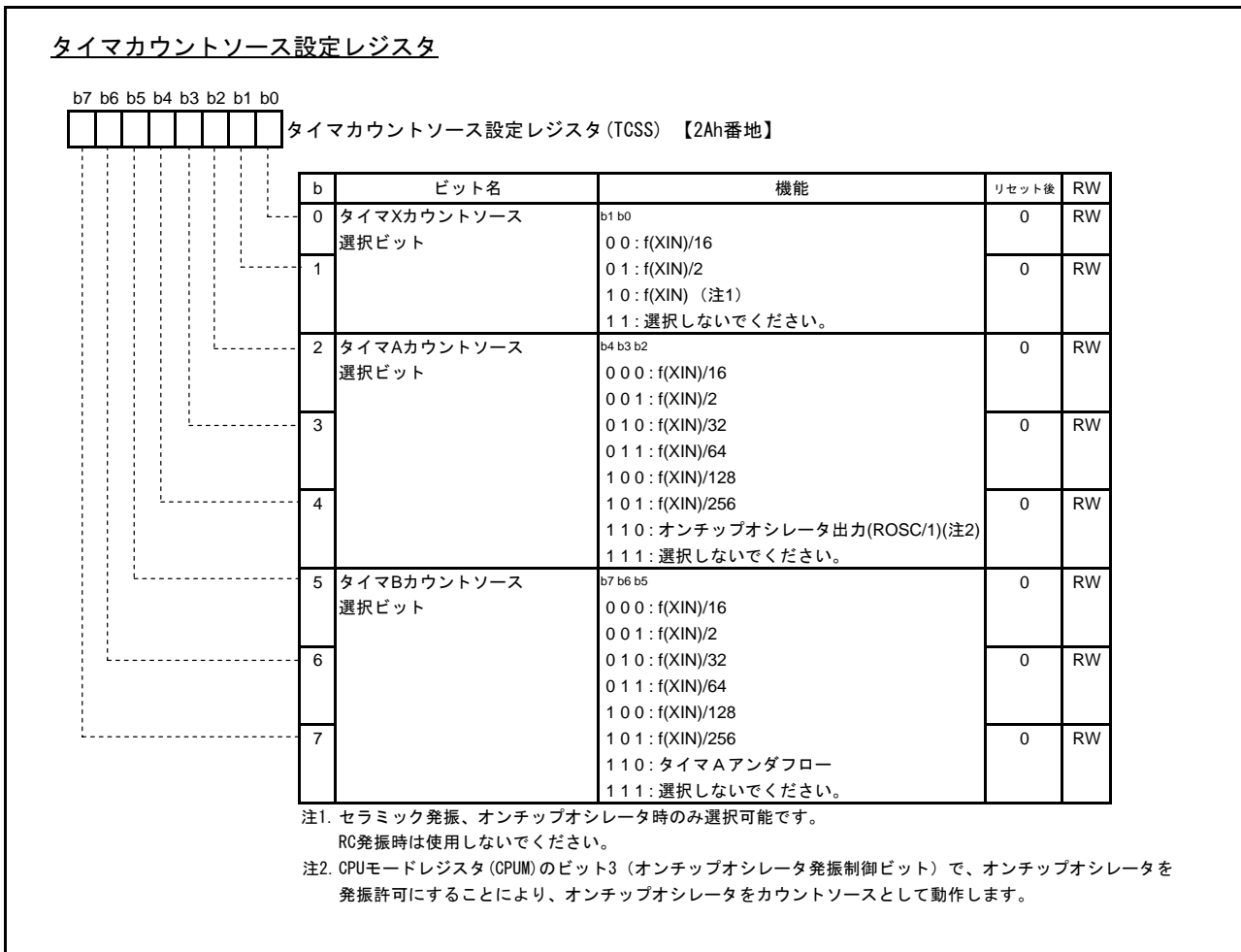


図4.33 タイマカウントソース設定レジスタの構成

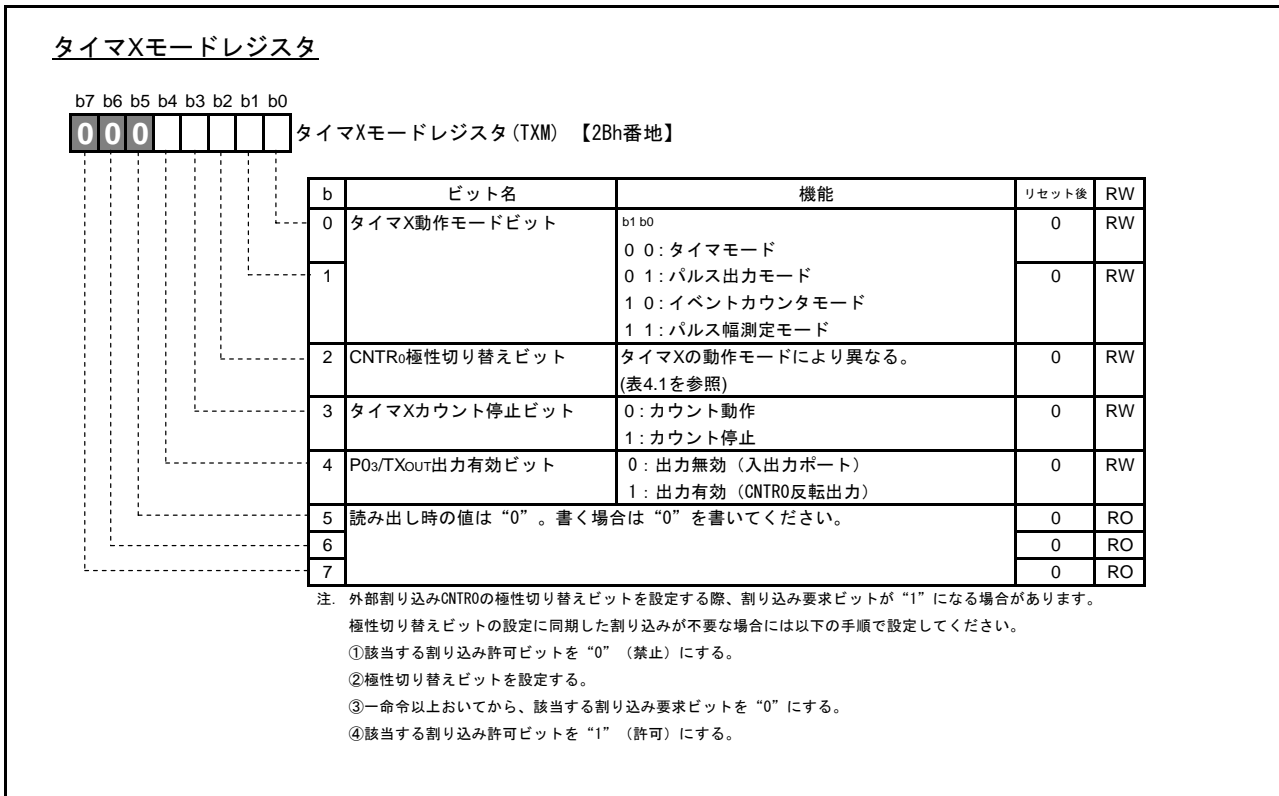
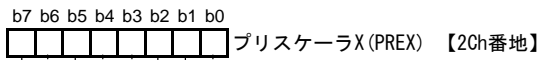


図4.34 タイマXモードレジスタの構成

表4.1 CNTR0極性切り替えビットの機能

タイマX動作モード	設定値	タイマ機能の選択	CNTR0割り込み要求発生要因
タイマモード	“0”	—	CNTR0の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	“1”	—	CNTR0の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
パルス出力モード	“0”	パルス出力開始: “H” から出力	出力信号の立ち下がりエッジ
	“1”	パルス出力開始: “L” から出力	出力信号の立ち上がりエッジ
イベントカウンタモード	“0”	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	“1”	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅測定モード	“0”	“H” 幅を測定	入力信号の立ち下がりエッジ
	“1”	“L” 幅を測定	入力信号の立ち上がりエッジ

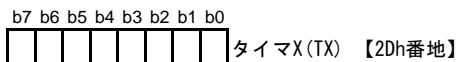
プリスケラX



b	ビット名	機能	リセット後	RW
0		・プリスケラXのカウンタ値を設定します。	1	RW
1		・このレジスタに設定した値は、プリスケラXと	1	RW
2		プリスケラXラッチの両方へ同時に書き込まれます。	1	RW
3			1	RW
4		・このレジスタを読み出した場合、プリスケラXの	1	RW
5		カウンタ値が読み出されます。	1	RW
6			1	RW
7			1	RW

図4.35 プリスケラXの構成

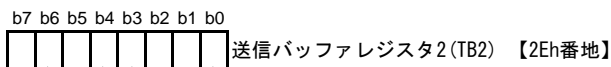
タイマXレジスタ



b	機能	リセット後	RW
0	・タイマXのカウンタ値を設定します。	1	RW
1	・このレジスタに設定した値は、タイマXとタイマX	1	RW
2	ラッチの両方へ同時に書き込まれます。	1	RW
3	・このレジスタを読み出した場合、タイマXの	1	RW
4	カウンタ値が読み出されます。	1	RW
5		1	RW
6		1	RW
7		1	RW

図4.36 タイマXレジスタの構成

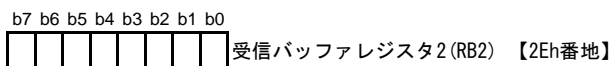
送信バッファレジスタ2



b	機 能	リセット後	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

受信バッファレジスタ2



b	機 能	リセット後	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.37 送信バッファレジスタ2及び受信バッファレジスタ2の構成

シリアルI/O2ステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアルI/O2ステータスレジスタ (S102STS) 【2Fh番地】

b	ビット名	機能	リセット後	RW
0	送信バッファエンプティフラグ(TBE) (注1)	0: バッファレジスタフル状態 1: バッファレジスタエンプティ状態	0	RO
1	受信バッファフルフラグ(RBF) (注1、2)	0: バッファレジスタエンプティ状態 1: バッファレジスタフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC) (注1)	0: 送信シフト中 1: 送信シフト終了	0	RO
3	オーバランエラーフラグ(OE) (注3)	0: オーバランエラーなし 1: オーバランエラー発生	0	RO
4	パリティエラーフラグ(PE) (注3)	0: パリティエラーなし 1: パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE) (注3)	0: フレーミングエラーなし 1: フレーミングエラー発生	0	RO
6	ザミングエラーフラグ(SE) (注3)	0: (OE)U(PE)U(FE) = 0 1: (OE)U(PE)U(FE) = 1	0	RO
7	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO

注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタを読み出すと“0”にクリアされます。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.38 シリアルI/O2ステータスレジスタの構成

シリアルI/O2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアルI/O2制御レジスタ (S102CON) 【30h番地】

b	ビット名	機能	リセット後	RW
0	BRGカウントソース選択ビット(CSS)	0: f(XIN) 1: f(XIN)/4	0	RW
1	シリアルI/O2同期クロック選択ビット(SCS)	クロック同期形シリアルI/Oモード時 0: BRG出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	SRDYz出力許可ビット(SRDY)	0: 出力禁止(P07端子: 入出力ポート) 1: 出力許可(P07端子: SRDYz出力端子)	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファレジスタが空になったとき (TBE = 1) 1: 送信シフトレジスタのシフト動作終了時 (TSC = 1)	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアルI/O2モード選択ビット(SIOM)	0: UARTモード 1: クロック同期形シリアルI/Oモード	0	RW
7	シリアルI/O2許可ビット(SIOE)	0: シリアルI/O2禁止 (P04~P07端子: 入出力ポート) 1: シリアルI/O2許可 (P04~P07端子: シリアルI/O機能端子)	0	RW

図4.39 シリアルI/O2制御レジスタの構成



UART2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



UART2制御レジスタ(UART2CON) 【31h番地】

b	ビット名	機能	リセット後	RW
0	キャラクタ長選択ビット (CHAS)	0: 8ビット 1: 7ビット	0	RW
1	パリティ許可ビット (PARE)	0: パリティ禁止 1: パリティ許可	0	RW
2	パリティ選択ビット (PARS)	0: 偶数パリティ 1: 奇数パリティ	0	RW
3	ストップビット長選択ビット (STPS)	0: 1ストップビット 1: 2ストップビット	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。 このビットには“1”を書き込まないでください。		0	RW
5	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO
6			1	RO
7			1	RO

図4.40 UART2制御レジスタの構成

ポーレートジェネレータ2

b7 b6 b5 b4 b3 b2 b1 b0



ポーレートジェネレータ2 (BRG2) 【32h番地】

b	ビット名	機能	リセット後	RW
0	BRGカウントソースの分周値を設定してください。		不定	RW
1	設定値をnとすると、BRGカウントソースを(n+1)分周します。		不定	RW
2			不定	RW
3			不定	RW
4			不定	RW
5			不定	RW
6			不定	RW
7			不定	RW

注. このレジスタへの書き込みは、送受信停止中に行ってください。

図4.41 ポーレートジェネレータ2の構成

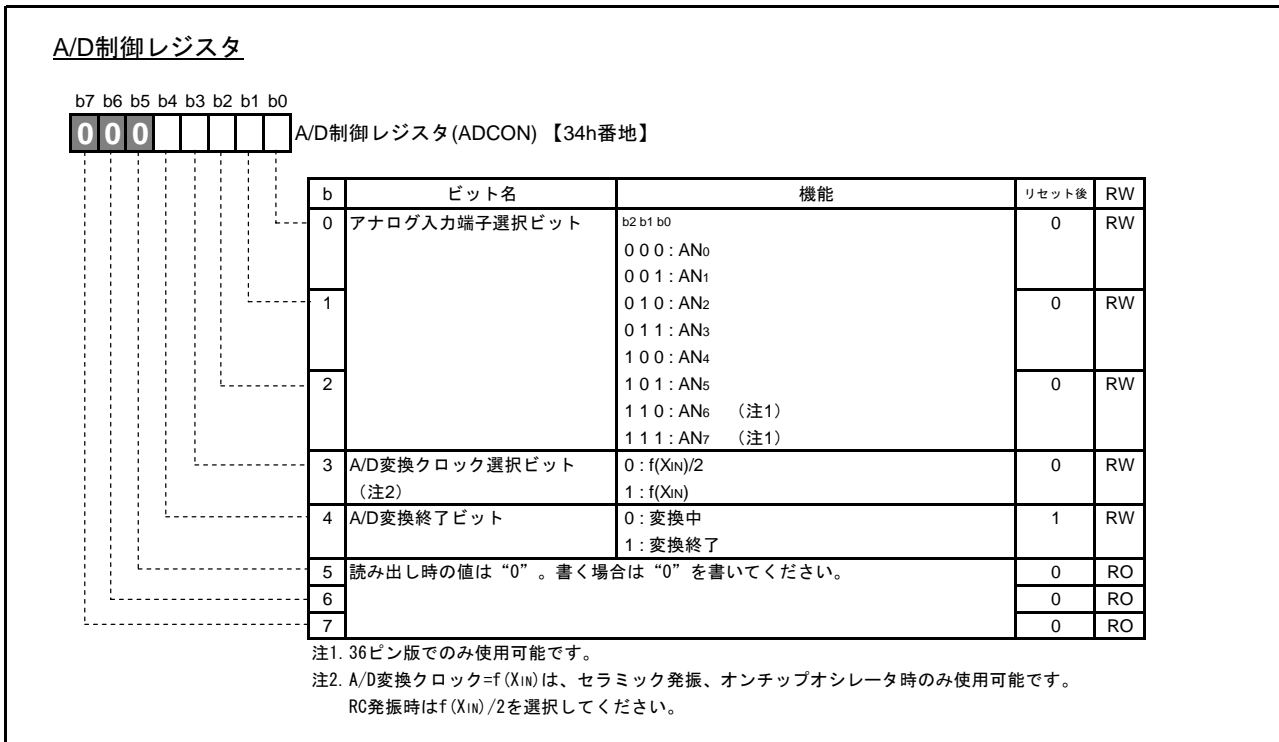


図4.42 A/D制御レジスタの構成

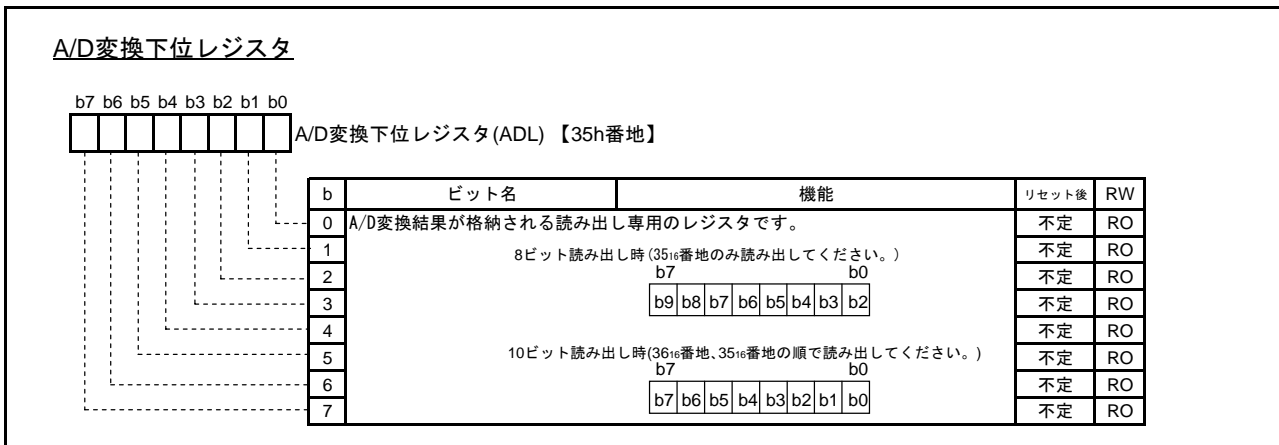


図4.43 A/D変換レジスタ下位の構成

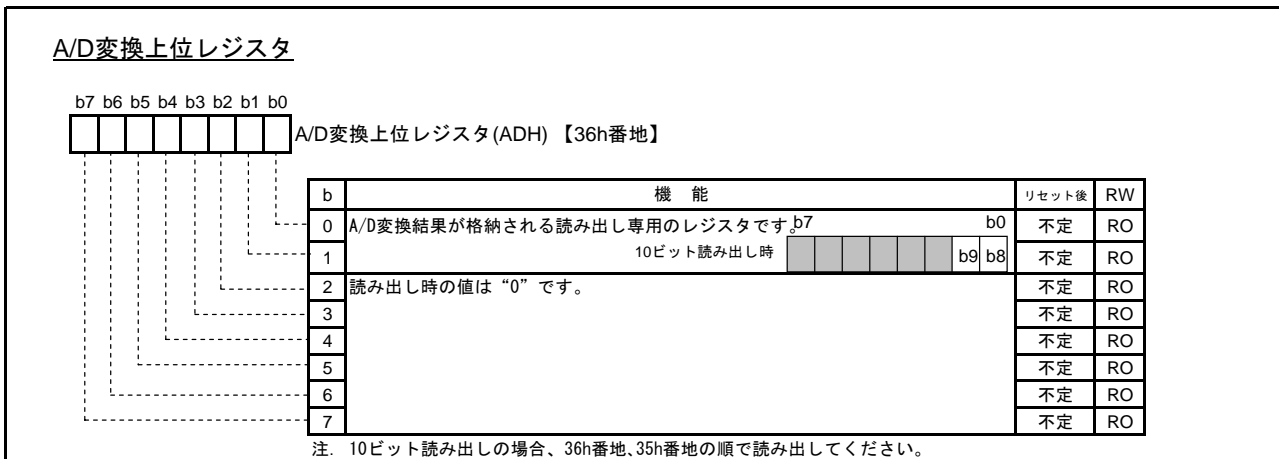



図4.44 A/D変換レジスタ上位の構成

オンチップオシレータ分周比選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 オンチップオシレータ分周比選択レジスタ (RODR) 【37h番地】

b	機能	リセット後	RW
0	オンチップオシレータ分周比 選択ビット b1 b0 0 0 : オンチップオシレータ倍速モード(Rosc/1) 0 1 : オンチップオシレータ高速モード(Rosc/2) 1 0 : オンチップオシレータ中速モード(Rosc/8) 1 1 : オンチップオシレータ低速モード(Rosc/128)	0	RW
1		1	RW
2	読み出し時の値は“0”。書く場合は“0”を書いてください。	0	RO
3		0	RO
4		0	RO
5		0	RO
6		0	RO
7		0	RO

図4.45 オンチップオシレータ分周比選択レジスタの構成

MISRGレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 MISRGレジスタ (MISRG) 【38h番地】

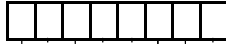
b	ビット名	機能	リセット後	RW
0	STP命令解除後発振安定時間 設定ビット	0 : タイマ1に"01h"、プリスケアラ1に"FFh"を 自動設定 1 : 自動設定しない	0	RW
1	セラミック又はRC発振停止 検出機能有効ビット	0 : 検出機能無効 1 : 検出機能有効	0	RW
2	発振停止リセットビット	0 : 発振停止リセット禁止 1 : 発振停止リセット許可	0	RW
3	発振停止検出ステータスビット	0 : 発振停止検出なし 1 : 発振停止検出あり	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5	予約ビットです。書く場合は“0”を書いてください。		0	RW
6	このビットには“1”を書き込まないでください。		0	RW
7			0	RW

- 注1. セラミック又はRC発振停止検出機能有効ビットは、発振停止リセットでは初期化されませんので、  
発振停止によるリセットからの復帰後は発振停止検出回路は有効となっています。
- 注2. 発振停止検出ステータスフラグは、以下の場合に初期化されます。
- ・外部リセット
  - ・セラミック又はRC発振停止検出機能有効ビットへの“0”書き込み。
- 注3. 発振停止検出回路はエミュレータ専用MCU “M37542RSS” にはありません。

図4.46 MISRGレジスタの構成

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



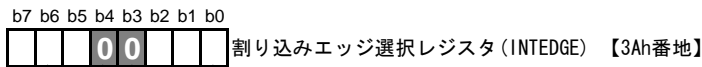
ウォッチドッグタイマ制御レジスタ (WDTCON) 【39h番地】

b	ビット名	機能	リセット後	RW
0	ウォッチドッグタイマH		1	RO
1	(上位6ビット読み出し専用)		1	RO
2			1	RO
3			1	RO
4			1	RO
5			1	RO
6	STP命令機能選択ビット (注1)	0: STP命令実行時、ストップモードへ移行 1: STP命令実行時、内部リセットを発生	0	RW
7	ウォッチドッグタイマH カウンタソース選択ビット (注2)	0: ウォッチドッグタイマLのアンダフロー 1: $f(X_{in})/16$	0	RW

- 注1. このビットはリセット解除後1回だけ書き込みが可能です。書き込み後はロックされるため、書き換えはできません。  
 2. このレジスタへの書き込みで、ウォッチドッグタイマは“FFFFh”になります。

図4.47 ウォッチドッグタイマ制御レジスタの構成

割り込みエッジ選択レジスタ

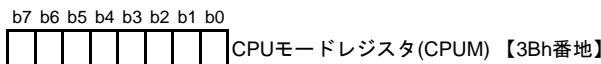


b	ビット名	機能	リセット後	RW
0	INT0割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
1	INT1割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	INT1入力ポート選択ビット (注)	0: P3 <sub>6</sub> 1: P3 <sub>3</sub>	0	RW
3	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
4			0	RO
5	P00キーオンウェイクアップ 選択ビット	0: キーオンウェイクアップ許可 1: キーオンウェイクアップ禁止	0	RW
6	P04キーオンウェイクアップ 選択ビット	0: キーオンウェイクアップ許可 1: キーオンウェイクアップ禁止	0	RW
7	P06キーオンウェイクアップ 選択ビット	0: キーオンウェイクアップ許可 1: キーオンウェイクアップ禁止	0	RW

注. P3<sub>6</sub>端子は32ピン版にはありませんので、INT1機能にはP3<sub>3</sub>端子を選択してください。

図4.48 割り込みエッジ選択レジスタの構成

CPUモードレジスタ



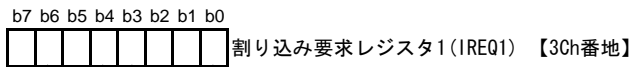
b	ビット名	機能	リセット後	RW
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: 選択しないでください。 10: 選択しないでください。 11: 選択しないでください。	0	RW
1			0	RW
2	スタックページビット	0: 0ページ 1: 1ページ	0	RW
3	オンチップオシレータ発振制御 ビット	0: オンチップオシレータ発振許可 1: オンチップオシレータ発振停止	0	RW
4	XIN発振制御ビット	0: セラミックまたはRC発振許可 1: セラミックまたはRC発振停止	0	RW
5	発振方式選択ビット (注1)	0: セラミック発振 1: RC発振	0	RW
6	クロック分周比選択ビット	b7 b6 00: $f(\phi) = f(XIN)/2$ (高速モード) 01: $f(\phi) = f(XIN)/8$ (中速モード) 10: オンチップオシレータから供給 11: $f(\phi) = f(XIN)$ (倍速モード) (注2)	0	RW
7			1	RW

注1. このビットはリセット解除後1回だけ書き込みが可能です。書き込み後はロックされるため、書き換えはできません。  
(エミュレータ専用MCU“M37542RSS”では、ロックされません。)

注2. セラミック発振時のみ使用可能です。RC発振時の使用はしないでください。

図4.49 CPUモードレジスタの構成

割り込み要求レジスタ1

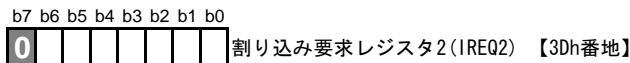


b	ビット名	機能	リセット後	RW
0	シリアルIO/1受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
1	シリアルIO/1送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
2	シリアルIO/2受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
3	シリアルIO/2送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
4	INT0割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
5	INT1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
6	キーオンウェイクアップ/UART1バス衝突検出割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
7	CNTR0割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)

注: 各ビットは、プログラムで“0”にできますが、“1”にはできません。

図4.50 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

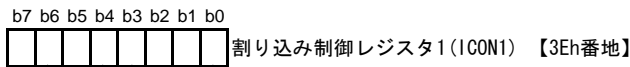


b	ビット名	機能	リセット後	RW
0	キャプチャ0割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
1	キャプチャ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
2	コンペア割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
3	タイマX割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
4	タイマA割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
5	タイマB割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
6	A/D変換/タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
7	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO

注: 各ビットは、プログラムで“0”にできますが、“1”にはできません。

図4.51 割り込み要求レジスタ2の構成

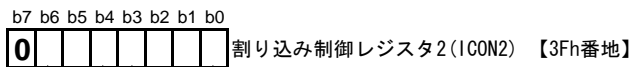
割り込み制御レジスタ1



b	ビット名	機能	リセット後	RW
0	シリアルIO/1受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
1	シリアルIO/1送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
2	シリアルIO/2受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
3	シリアルIO/2送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
4	INT0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
5	INT1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
6	キーオンウェイクアップ/UART1バス衝突検出割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
7	CNTR0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW

図4.52 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



b	ビット名	機能	リセット後	RW
0	キャプチャ0割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
1	キャプチャ1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
2	コンペア割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
3	タイマX割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
4	タイマA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
5	タイマB割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
6	A/D変換/タイマ1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
7	書く場合は“0”を書いてください。“1”を書かないでください。		0	RW

図4.53 割り込み制御レジスタ2の構成

フラッシュメモリ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0



フラッシュメモリ制御レジスタ0 (FMCRO) 【0FE0h番地】

b	ビット名	機能	リセット後	RW
0	RY/BYステータスフラグ	0: ビジー (自動書込/自動消去中) 1: レディ	1	RW
1	CPU書き換えモード選択ビット (注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	0	RW
2	8KBユーザーブロックE/W許可ビット (注1、2)	0: E/W禁止 1: E/W許可	0	RW
3	フラッシュメモリリセットビット (注3)	0: 通常動作 1: リセット	0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。 このビットには“1”を書き込まないでください。		0	RW
5	ユーザーROM領域選択ビット (注4)	0: ブートROM領域アクセス 1: ユーザーROM領域アクセス	0	RW
6	プログラムステータスフラグ	0: パス 1: エラー	0	RW
7	イレーズステータスフラグ	0: パス 1: エラー	0	RW

注1. “1”を設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。

“0”にする時は、“0”を書き込んでください。

注2. CPU書き換えモード選択ビットが“1”のときだけ書き込めます。

注3. CPU書き換えモード選択ビットが“1”のときだけ有効です。CPU書き換えモード選択ビットが“0”のときは“0”に固定してください。

注4. このビットへの書き込みはRAM上のプログラムから実行してください。

図4.54 フラッシュメモリ制御レジスタ0の構成

フラッシュメモリ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



フラッシュメモリ制御レジスタ1 (FMCRI) 【0FE1h番地】

b	ビット名	機能	リセット後	RW
0	イレーズサスペンド許可ビット (注1)	0: サスペンド無効 1: サスペンド有効	0	RW
1	イレーズサスペンド要求ビット (注2)	0: イレーズ再開 (要求なし) 1: イレーズ中断 (要求あり)	0	RW
2	読み出し時の値は“不定”。書く場合は“0”を書いてください。		0	RO
3			0	RO
4			0	RO
5			0	RO
6	イレーズサスペンドフラグ	0: イレーズ中 1: イレーズ停止中 (イレーズサスペンドモード)	1	RO
7	読み出し時の値は“0”。書く場合は“0”を書いてください。 このビットには“1”を書き込まないでください。		0	RW

注1. “1”を設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。

“0”にする時は、“0”を書き込んでください。

注2. イレーズサスペンド許可ビットが“1”のときだけ有効です。

図4.55 フラッシュメモリ制御レジスタ1の構成



フラッシュメモリ制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

000 0001

フラッシュメモリ制御レジスタ2 (FMCR2) 【0FE2h番地】

b	ビット名	機能	リセット後	RW
0	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO
1	読み出し時の値は“不定”。書く場合は“0”を書いてください。		0	RO
2			0	RO
3			0	RO
4	全ユーザーブロック E/W許可ビット (注1、2)	0: E/W禁止 1: E/W許可	0	RW
5	読み出し時の値は“不定”。書く場合は“0”を書いてください。		0	RO
6			0	RO
7			0	RO

注1. “1”を設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。

“0”にする時は、“0”を書き込んでください。

注2. CPU書き換えモード選択ビットが“1”のときだけ書き込めます。

図4.56 割り込み制御レジスタ2の構成

## 5. 参考ドキュメント

データシート

7542グループデータシート

最新版をルネサス テクノロジ ホームページから入手してください。

テクニカルニュース/テクニカルアップデート

最新版をルネサス テクノロジ ホームページから入手してください。

## ホームページとサポート窓口

ルネサス テクノロジ ホームページ  
<http://japan.renesas.com/>

お問合せ先  
<http://japan.renesas.com/inquiry>  
[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.03.10	—	初版発行
2.00	2004.07.01	全ページ	用語統一
		25	図4.46 MISRGレジスタ:ビット5~ビット7改訂
		30	図4.54 フラッシュメモリ制御レジスタ0:ビット4改訂
			図4.55 フラッシュメモリ制御レジスタ1:ビット2~ビット7改訂
31	図4.56 フラッシュメモリ制御レジスタ2: ビット1~ビット3、ビット5~ビット7改訂		
3.00	2005.07.01	23	図4.40 UART2制御レジスタ:ビット4改訂
4.00	2007.02.20	2	図4.2 ポートPi方向レジスタ:改訂
		3	図4.3 ポートP1レジスタ:改訂
			図4.4 ポートP1方向レジスタ:改訂
		7	図4.12 キャプチャソフトウェアトリガレジスタ:注改訂
		17	図4.31 プリスケーラ1:改訂
		18	図4.32 タイマ1レジスタ:改訂
			図4.35 プリスケーラX:改訂
		20	図4.36 タイマXレジスタ:改訂
			図4.44 AD変換上位レジスタ:改訂
		26	図4.47 ウォッチドックタイマ制御レジスタ:ビット6改訂
27	図4.49 CPUモードレジスタ:注1改訂		
29	図4.53 割り込み制御レジスタ2:ビット7改訂		

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たっては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

© 2007. Renesas Technology Corp., All rights reserved.