

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

78K/0 シリーズ

8 ビット・シングルチップ・マイクロコンピュータ

基礎編 ()

μPD78054 サブシリーズ	μPD78054Y サブシリーズ
μPD78064 サブシリーズ	μPD78064Y サブシリーズ
μPD78078 サブシリーズ	μPD78078Y サブシリーズ
μPD78083 サブシリーズ	
μPD780058 サブシリーズ	μPD780058Y サブシリーズ
μPD780308 サブシリーズ	μPD780308Y サブシリーズ
μPD78058F サブシリーズ	μPD78058FY サブシリーズ
μPD78064B サブシリーズ	μPD78070A, 78070AY
μPD78075B サブシリーズ	
μPD78098B サブシリーズ	

〔メモ〕

目次要約

第1章	概 説	...	25
第2章	ソフトウェアの基礎	...	67
第3章	システム・クロック切り替えの応用	...	87
第4章	ウォッチドッグ・タイマの応用	...	101
第5章	16ビット・タイマ/イベント・カウンタの応用	...	109
第6章	8ビット・タイマ/イベント・カウンタの応用	...	166
第7章	時計用タイマの応用	...	184
第8章	シリアル・インタフェースの応用	...	196
第9章	A/Dコンバータの応用	...	296
第10章	D/Aコンバータの応用	...	333
第11章	リアルタイム出力ポートの応用	...	340
第12章	LCDコントローラ/ドライバの応用	...	346
第13章	キー入力の応用	...	368
付録A	SPDチャートの説明	...	373
付録B	改版履歴	...	381

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは日本電気株式会社の登録商標です。

EEPROM，IEBusは日本電気株式会社の商標です。

注意： μ PD78054Y，78064Y，78078Y，780058Y，780308Y，78058FYサブシリーズ， μ PD78070AYはI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇所	内容
全般	対象製品として次の製品を削除 μ PD78094, 78095, 78096, 78098A, 78P098A, 780016, 780018, 78P0018A, 780016Y, 780018Y, 78P0018Y, 78074BY, 78075BY, 780058, 780058Y
	対象製品として次の製品を追加 μ PD780058B, 780058BY
p.102-104, 185, 186	タイマ・クロック選択レジスタ2 (TCL2) の注意文を変更
p.155	16ビット・タイマのソフトウェア・トリガによるワンショット・パルス出力使用時の注意点を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このアプリケーション・ノートは、78K/0シリーズの製品を理解し、それぞれのサブシリーズの製品を用いたアプリケーション・プログラムを設計するユーザのエンジニアを対象としています。

各サブシリーズの対象製品

- μ PD78054サブシリーズ : μ PD78052, 78053, 78054, 78P054, 78055, 78056, 78058, 78P058, 78052(A), 78053(A), 78054(A)
- μ PD78054Yサブシリーズ : μ PD78052Y, 78053Y, 78054Y, 78055Y, 78056Y, 78058Y, 78P058Y
- μ PD78064サブシリーズ : μ PD78062, 78063, 78064, 78P064, 78062(A), 78063(A), 78064(A)
- μ PD78064Yサブシリーズ : μ PD78062Y, 78063Y, 78064Y
- μ PD78078サブシリーズ : μ PD78076, 78078, 78P078
- μ PD78078Yサブシリーズ : μ PD78076Y, 78078Y, 78P078Y
- μ PD78083サブシリーズ : μ PD78081, 78082, 78P083, 78081(A), 78082(A), 78P083(A), 78081(A2)
- μ PD780058サブシリーズ : μ PD780053, 780054, 780055, 780056, 780058B^注, 78F0058
- μ PD780058Yサブシリーズ : μ PD780053Y, 780054Y, 780055Y, 780056Y, 780058BY^注, 78F0058Y
- μ PD780308サブシリーズ : μ PD780306, 780308, 78P0308
- μ PD780308Yサブシリーズ : μ PD780306Y, 780308Y, 78P0308Y
- μ PD78058Fサブシリーズ : μ PD78056F, 78058F, 78P058F, 78058F(A)
- μ PD78058FYサブシリーズ : μ PD78056FY, 78058FY, 78P058FY, 78P058FY(A)
- μ PD78064Bサブシリーズ : μ PD78064B, 78P064B, 78064B(A)
- μ PD78070A, 78070AY
- μ PD78075Bサブシリーズ : μ PD78074B, 78075B
- μ PD78098Bサブシリーズ : μ PD78095B, 78096B, 78098B, 78P098B

注 開発中

- 備考 1** . μ PD78052(A), 78053(A), 78054(A) は、μ PD78052, 78053, 78054に比べて高信頼性の製品です。
- 2** . μ PD78062(A), 78063(A), 78064(A) は、μ PD78062, 78063, 78064に比べて高信頼性の製品です。
- 3** . μ PD78081(A), 78082(A), 78P083(A), 78081(A2) は、μ PD78081, 78082, 78P083に比べて高信頼性の製品です。
- 4** . μ PD78058F(A), 78058FY(A) は、μ PD78058F, 78058FYに比べて高信頼性の製品です。
- 5** . μ PD78064B(A) は、μ PD78064Bに比べて高信頼性の製品です。

目的 このアプリケーション・ノートは、78K/0シリーズの製品の基礎的な機能について、プログラム例を用いてユーザに理解していただくことを目的としています。

なお、掲載しているプログラムおよびハードウェアの構成は例示的に示したものであり、量産設計を対象とするものではありません。

構成 このアプリケーション・ノートは、大きく分けて次の内容で構成しています。

概説

ソフトウェア

ハードウェア

なお、アプリケーション・ノートには次に示す種類があります。

資料名	資料番号		対象サブシリーズ	内 容
	和文	英文		
78K/0シリーズ アプリケーション・ノート 基礎編 ()	U12704J	U12704E	μ PD78018F, 78018FY μ PD780024A, 780024AY μ PD780034A, 780034AY μ PD78014H	78K/0シリーズの製品の基礎的な機能をプログラム例を用いて説明しています。
78K/0シリーズ アプリケーション・ノート 基礎編 ()	U10121J	U10121E	μ PD78044F μ PD78044H μ PD780208 μ PD780228	
78K/0シリーズ アプリケーション・ノート 基礎編 ()	この マニュアル	U10182E	μ PD78054, 78054Y μ PD78064, 78064Y μ PD78078, 78078Y μ PD78083 μ PD780058, 780058Y μ PD780308, 780308Y μ PD78058F, 78058FY μ PD78064B μ PD78070A, 78070AY μ PD78075B μ PD78098B	
78K/0シリーズ アプリケーション・ノート 浮動小数点演算 プログラム編	U13482J	IEA-1289	78K/0シリーズの 全サブシリーズ 〔 μ PD78002, 78002Y 〕 サブシリーズは除く	78K/0シリーズの製品の浮動小数点演算応用プログラムについて説明しています。

注意 このアプリケーション・ノートでは、メイン・システム・クロックが4.19 MHzで動作しているときの応用例およびプログラム・リストを記載しています。メイン・システム・クロックは5.0 MHz動作時のものではありません。

読み方 このアプリケーション・ノートは、78K/0シリーズの製品を対象としていますが、それぞれのサブシリーズの製品は機能の一部が異なります。各サブシリーズに対応する章は次のとおりです。それぞれのサブシリーズの応用例を知りたい場合は、印の章のみお読みください。

(1/2)

章	サブシリーズ	μ PD78054	μ PD78064	μ PD78078	μ PD78083	μ PD780058
		μ PD78054Y	μ PD78064Y	μ PD78078Y		μ PD780058Y
第1章 概説						
第2章 ソフトウェアの基礎						
第3章 システム・クロック切り替えの応用						
第4章 ウォッチドッグ・タイマの応用						
第5章 16ビット・タイマ/イベント・カウンタの応用						
第6章 8ビット・タイマ/イベント・カウンタの応用						
第7章 時計用タイマの応用						
第8章 シリアル・インタフェースの応用						
第9章 A/Dコンバータの応用						
第10章 D/Aコンバータの応用						
第11章 リアルタイム出力ポートの応用						
第12章 LCDコントローラ/ドライバの応用						
第13章 キー入力の応用						

(2/2)

章	サブシリーズ	μ PD780308	μ PD78058F	μ PD78064B	μ PD78070A	μ PD78075B	μ PD78098B
		μ PD780308Y	μ PD78058FY		μ PD78070AY		
第1章 概説							
第2章 ソフトウェアの基礎							
第3章 システム・クロック切り替えの応用							
第4章 ウォッチドッグ・タイマの応用							
第5章 16ビット・タイマ/イベント・カウンタの応用							
第6章 8ビット・タイマ/イベント・カウンタの応用							
第7章 時計用タイマの応用							
第8章 シリアル・インタフェースの応用							
第9章 A/Dコンバータの応用							
第10章 D/Aコンバータの応用							
第11章 リアルタイム出力ポートの応用							
第12章 LCDコントローラ/ドライバの応用							
第13章 キー入力の応用							

(A) 製品と標準品は品質水準のみが異なります。

μ PD78081(A2) は、標準品、(A) 製品と電源電圧、動作温度範囲が異なります。詳細は個別のデータ・シートを参照してください。

このマニュアルでは、(A) 製品、(A2) 製品については品名を次のように読み替えてください。

μ PD78052	μ PD78052(A)	μ PD78053	μ PD78053(A)
μ PD78054	μ PD78054(A)	μ PD78062	μ PD78062(A)
μ PD78063	μ PD78063(A)	μ PD78064	μ PD78064(A)
μ PD78081	μ PD78081(A)	μ PD78082	μ PD78082(A)
μ PD78P083	μ PD78P083(A)	μ PD78081	μ PD78081(A2)
μ PD78058F	μ PD78058F(A)	μ PD78058FY	μ PD78058FY(A)
μ PD78064B	μ PD78064B(A)		

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{x \times x}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $x \times x \times x$ または $x \times x \times B$ 10進数... $x \times x \times x$ 16進数... $x \times x \times H$

品質水準 標準 (一般電子機器用)

μ PD78052, 78053, 78054, 78P054, 78055, 78056, 78058, 78P058
μ PD78052Y, 78053Y, 78054Y, 78055Y, 78056Y, 78058Y, 78P058Y
μ PD78062, 78063, 78064, 78P064
μ PD78062Y, 78063Y, 78064Y
μ PD78076, 78078, 78P078
μ PD78076Y, 78078Y, 78P078Y
μ PD78081, 78082, 78P083
μ PD780053, 780054, 780055, 780056, 780058B, 78F0058
μ PD780053Y, 780054Y, 780055Y, 780056Y, 780058BY, 78F0058Y
μ PD780306, 780308, 78P0308
μ PD780306Y, 780308Y, 78P0308Y
μ PD78056F, 78058F, 78P058F
μ PD78056FY, 78058FY, 78P058FY
μ PD78064B, 78P064B
μ PD78070A, 78070AY
μ PD78074B, 78075B
μ PD78095B, 78096B, 78098B, 78P098B

特別（高信頼度電子機器用）

μ PD78052(A), 78053(A), 78054(A)

μ PD78062(A), 78063(A), 78064(A)

μ PD78082(A), 78083(A), 78P083(A), 78081(A2)

μ PD78058F(A), 78058FY(A)

μ PD78064B(A)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

応用分野 民生機器分野

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

共通資料一覧

資料名	資料番号	
	和文	英文
78K/0シリーズ アプリケーション・ノート 基礎編 ()	このマニュアル	U10182E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

μPD78054サブシリーズ

資料名	資料番号	
	和文	英文
μPD78052, 78053, 78054, 78055, 78056, 78058 データ・シート	U12327J	U12327E
μPD78P054, 78P058 データ・シート	U10417J	U10417E
μPD78054, 78054Yサブシリーズ ユーザーズ・マニュアル	U11747J	U11747E
μPD78052(A), 78053(A), 78054(A) データ・シート	U12171J	U12171E

μPD78054Yサブシリーズ

資料名	資料番号	
	和文	英文
μPD78052Y, 78053Y, 78054Y, 78056Y, 78058Y データ・シート	U10906J	U10906E
μPD78P058Y データ・シート	U10907J	U10907E
μPD78054, 78054Yサブシリーズ ユーザーズ・マニュアル	U11747J	U11747E

μPD78064サブシリーズ

資料名	資料番号	
	和文	英文
μPD78062, 78063, 78064 データ・シート	U12238J	U12238E
μPD78P064 データ・シート	U12589J	U12589E
μPD78062(A), 78063(A), 78064(A) データ・シート	U10335J	U10335E
μPD78064, 78064Yサブシリーズ ユーザーズ・マニュアル	U10105J	U10105E

μPD78064Yサブシリーズ

資料名	資料番号	
	和文	英文
μPD78062Y, 78063Y, 78064Y データ・シート	U10337J	U10337E
μPD78064, 78064Yサブシリーズ ユーザーズ・マニュアル	U10105J	U10105E

μPD78078サブシリーズ

資料名	資料番号	
	和文	英文
μPD78076, 78078 データ・シート	U10167J	U10167E
μPD78P078 データ・シート	U10168J	U10168E
μPD78078サブシリーズ ユーザーズ・マニュアル	U10641J	U10641E

μPD78078Yサブシリーズ

資料名	資料番号	
	和文	英文
μPD78076Y, 78078Y データ・シート	U10605J	U10605E
μPD78P078Y データ・シート	U10606J	U10606E
μPD78078, 78078Yサブシリーズ ユーザーズ・マニュアル	U10641J	U10641E

μPD78083サブシリーズ

資料名	資料番号	
	和文	英文
μPD78081, 78082 データ・シート	U11415J	U11415E
μPD78P083 データ・シート	U11006J	U11006E
μPD78081(A), 78082(A) データ・シート	U12436J	U12436E
μPD78P083(A) データ・シート	U12175J	U12175E
μPD78083サブシリーズ ユーザーズ・マニュアル	U12176J	U12176E

μPD780058, 780058Yサブシリーズ

資料名	資料番号	
	和文	英文
μPD780053, 780054, 780055, 780056, 780058, 780053Y, 780054Y, 780055Y, 780056Y データ・シート	U12182J	U12182E
μPD78F0058, 78F0058Y データ・シート	U12092J	U12092E
μPD780058, 780058Yサブシリーズ ユーザーズ・マニュアル	U12013J	U12013E

μPD780308サブシリーズ

資料名	資料番号	
	和文	英文
μPD780306, 780308 データ・シート	U11105J	U11105E
μPD78P0308 データ・シート	U11776J	U11776E
μPD780308, 780308Yサブシリーズ ユーザーズ・マニュアル	U11377J	U11377E

μPD780308Yサブシリーズ

資料名	資料番号	
	和文	英文
μPD780306Y, 780308Y データ・シート	U12251J	U12251E
μPD78P0308Y データ・シート	U11832J	U11832E
μPD780308, 780308Yサブシリーズ ユーザーズ・マニュアル	U11377J	U11377E

μPD78058Fサブシリーズ

資料名	資料番号	
	和文	英文
μPD78056F, 78058F データ・シート	U11795J	U11795E
μPD78P058F データ・シート	U11796J	U11796E
μPD78058F(A) データ・シート	U12325J	U12325E
μPD78058F, 78058FYサブシリーズ ユーザーズ・マニュアル	U12068J	U12068E

μPD78058FYサブシリーズ

資料名	資料番号	
	和文	英文
μPD78056FY, 78058FY データ・シート	U12142J	U12142E
μPD78P058FY データ・シート	U12076J	U12076E
μPD78058F, 78058FYサブシリーズ ユーザーズ・マニュアル	U12068J	U12068E

μPD78064Bサブシリーズ

資料名	資料番号	
	和文	英文
μPD78064B データ・シート	U11590J	U11590E
μPD78064B(A) データ・シート	U11597J	U11597E
μPD78P064B データ・シート	U11598J	U11598E
μPD78064B ユーザーズ・マニュアル	U10785J	U10785E

μPD78070A, 78070AY

資料名	資料番号	
	和文	英文
μPD78070A データ・シート	U10326J	U10326E
μPD78070AY データ・シート	U10542J	U10542E
μPD78070A, 78070AY ユーザーズ・マニュアル	U10200J	U10200E

μPD78075Bサブシリーズ

資料名	資料番号	
	和文	英文
μPD78074B, 78075B データ・シート	U12017J	U12017E
μPD78075B, 78075BYサブシリーズ ユーザーズ・マニュアル	U12560J	U12560E

μPD78098Bサブシリーズ

資料名	資料番号	
	和文	英文
μPD78095B, 78096B, 78098B データ・シート	U12735J	U12735E
μPD78P098B データ・シート	U12777J	U12777E
μPD78098Bサブシリーズ ユーザーズ・マニュアル	U12761J	U12761E

なお、上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	25
1.1 78K/0シリーズの展開 ...	26
1.2 78K/0シリーズの特徴 ...	29
第2章 ソフトウェアの基礎 ...	67
2.1 データ転送 ...	67
2.2 データ比較 ...	68
2.3 10進加算 ...	69
2.4 10進減算 ...	76
2.5 2進10進変換 ...	78
2.6 ビット演算操作命令 ...	79
2.7 2進乗算 (16ビット×16ビット) ...	80
2.8 2進除算 (32ビット÷16ビット) ...	83
第3章 システム・クロック切り替えの応用 ...	87
3.1 $\overline{\text{RESET}}$ 後のPCCの切り替え ...	96
3.2 パワーオン/オフ時の切り替え ...	98
第4章 ウォッチドッグ・タイマの応用 ...	101
4.1 ウォッチドッグ・タイマ・モードの設定 ...	106
4.2 インターバル・タイマ・モードの設定 ...	108
第5章 16ビット・タイマ/イベント・カウンタの応用 ...	109
5.1 インターバル・タイマの設定 ...	119
5.2 PWM出力 ...	121
5.3 リモコン受信 ...	124
5.3.1 カウンタ・クリアによるリモコン受信 ...	126
5.3.2 PWM出力とフリーランニングによるリモコン受信 ...	140
5.4 ワンショット・パルス出力 ...	155
5.5 PPG出力 ...	159
第6章 8ビット・タイマ/イベント・カウンタの応用 ...	166
6.1 インターバル・タイマの設定 ...	173
6.1.1 8ビット・タイマの設定 ...	174
6.1.2 16ビット・タイマの設定 ...	176
6.2 音階発生 ...	178
第7章 時計用タイマの応用 ...	184
7.1 時計とLED表示プログラム ...	189

第8章 シリアル・インタフェースの応用 ...	196
8.1 EEPROM™ (μ PD6252) とのインタフェース ...	240
8.1.1 2線式シリアルI/Oモードの通信 ...	242
8.1.2 I ² Cバス・モードの通信 ...	250
8.2 OSD用LSI (μ PD6451A) とのインタフェース ...	260
8.3 SBIモードのインタフェース ...	265
8.3.1 マスタCPUとしての応用 ...	267
8.3.2 スレーブCPUとしての応用 ...	275
8.4 3線式シリアルI/Oモードのインタフェース ...	278
8.4.1 マスタCPUとしての応用 ...	279
8.4.2 スレーブCPUとしての応用 ...	282
8.5 アシクロナス・シリアル・インタフェース (UART) モードの インタフェース ...	285
第9章 A/Dコンバータの応用 ...	296
9.1 レベル・メータ ...	303
9.2 温度計 ...	312
9.3 アナログ・キー入力 ...	322
9.4 4チャンネル入力A/D変換 ...	329
第10章 D/Aコンバータの応用 ...	333
10.1 SIN波形出力 ...	334
第11章 リアルタイム出力ポートの応用 ...	340
11.1 ステッピング・モータ ...	343
第12章 LCDコントローラ/ドライバの応用 ...	346
12.1 スタティック表示 ...	355
12.2 4時分割表示 ...	361
第13章 キー入力の応用 ...	368
付録A SPDチャートの説明 ...	373
付録B 改版履歴 ...	381

図の目次 (1/6)

図番号	タイトル, ページ
1 - 1	μPD78054サブシリーズのブロック図 ... 30
1 - 2	μPD78054Yサブシリーズのブロック図 ... 33
1 - 3	μPD78064サブシリーズのブロック図 ... 35
1 - 4	μPD78064Yサブシリーズのブロック図 ... 37
1 - 5	μPD78078サブシリーズのブロック図 ... 39
1 - 6	μPD78078Yサブシリーズのブロック図 ... 41
1 - 7	μPD78083サブシリーズのブロック図 ... 43
1 - 8	μPD780058サブシリーズのブロック図 ... 45
1 - 9	μPD780058Yサブシリーズのブロック図 ... 47
1 - 10	μPD780308サブシリーズのブロック図 ... 49
1 - 11	μPD780308Yサブシリーズのブロック図 ... 51
1 - 12	μPD78058Fサブシリーズのブロック図 ... 53
1 - 13	μPD78058FYサブシリーズのブロック図 ... 55
1 - 14	μPD78064Bサブシリーズのブロック図 ... 57
1 - 15	μPD78070Aのブロック図 ... 59
1 - 16	μPD78070AYのブロック図 ... 61
1 - 17	μPD78075Bサブシリーズのブロック図 ... 63
1 - 18	μPD78098Bサブシリーズのブロック図 ... 65
2 - 1	データ交換 ... 67
2 - 2	データ比較 ... 68
2 - 3	10進加算 ... 69
2 - 4	10進減算 ... 76
2 - 5	2進10進変換 ...78
2 - 6	ビット演算 ... 79
2 - 7	2進乗算 ... 80
2 - 8	2進除算 ... 83
3 - 1	プロセッサ・クロック・コントロール・レジスタのフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 89
3 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット (μPD78083サブシリーズ) ... 90
3 - 3	プロセッサ・クロック・コントロール・レジスタのフォーマット (μPD78098Bサブシリーズ) ... 91
3 - 4	発振モード選択レジスタのフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 92
3 - 5	発振モード選択レジスタのフォーマット (μPD78098Bサブシリーズ) ... 92
3 - 6	クロック切り替え選択レジスタ1のフォーマット (μPD78098Bサブシリーズ) ... 93
3 - 7	クロック切り替え選択レジスタ2のフォーマット (μPD78098Bサブシリーズ) ... 93
3 - 8	RESET後のCPUクロック切り替え例 (μPD78054サブシリーズの場合) ... 96

図の目次 (2/6)

図番号	タイトル, ページ
3 - 9	システム・クロック切り替え用回路例 ... 98
3 - 10	パワーオン/オフ時のシステム・クロックの切り替え例 (μPD78054サブシリーズの場合) ... 99
4 - 1	タイマ・クロック選択レジスタ2のフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 102
4 - 2	タイマ・クロック選択レジスタ2のフォーマット (μPD78083サブシリーズ) ... 103
4 - 3	タイマ・クロック選択レジスタ2のフォーマット (μPD78098Bサブシリーズ) ... 104
4 - 4	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 105
4 - 5	ウォッチドッグ・タイマのカウント・タイミング ... 108
5 - 1	タイマ・クロック選択レジスタ0のフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 110
5 - 2	タイマ・クロック選択レジスタ0のフォーマット (μPD78098Bサブシリーズ) ... 112
5 - 3	16ビット・タイマ・モード・コントロール・レジスタのフォーマット ... 114
5 - 4	キャプチャ/コンペア・コントロール・レジスタ0のフォーマット ... 115
5 - 5	16ビット・タイマ出力コントロール・レジスタのフォーマット ... 116
5 - 6	ポート・モード・レジスタ3のフォーマット ... 117
5 - 7	外部割り込みモード・レジスタ0のフォーマット ... 117
5 - 8	サンプリング・クロック選択レジスタのフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 118
5 - 9	サンプリング・クロック選択レジスタのフォーマット (μPD78098Bサブシリーズ) ... 118
5 - 10	リモコン受信回路例 ... 124
5 - 11	リモコン送信用IC出力信号 ... 125
5 - 12	受信プリアンプの出力信号 ... 125
5 - 13	リモコン信号のサンプリング ... 126
5 - 14	ソフトウエア・トリガによるワンショット・パルス出力動作のタイミング ... 156
5 - 15	PPG出力波形変更タイミング ... 159
6 - 1	タイマ・クロック選択レジスタ1のフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 167
6 - 2	タイマ・クロック選択レジスタ1のフォーマット (μPD78098Bサブシリーズ) ... 169
6 - 3	8ビット・タイマ・モード・コントロール・レジスタのフォーマット ... 170
6 - 4	8ビット・タイマ出力コントロール・レジスタのフォーマット ... 171
6 - 5	ポート・モード・レジスタ3のフォーマット ... 172
6 - 6	8ビット・タイマのカウント・タイミング ... 173
6 - 7	音階発生回路 ... 178

図の目次 (3/6)

図番号	タイトル, ページ
6 - 8	タイマ出力とインターバル ... 178
7 - 1	タイマ・クロック選択レジスタ2のフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 185
7 - 2	タイマ・クロック選択レジスタ2のフォーマット (μPD78098Bサブシリーズ) ... 186
7 - 3	時計用タイマ・モード・コントロール・レジスタのフォーマット (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 187
7 - 4	時計用タイマ・モード・コントロール・レジスタのフォーマット (μPD78098Bサブシリーズ) ... 188
7 - 5	時計データの概念図 ... 189
7 - 6	LED表示タイミング ... 190
7 - 7	時計用タイマの回路例 ... 190
8 - 1	タイマ・クロック選択レジスタ3のフォーマット (μPD78054, 78078, 780058, 78058F, 78075Bサブシリーズ, μPD78070A) ... 199
8 - 2	タイマ・クロック選択レジスタ3のフォーマット (μPD78054Y, 78078Y, 780058Y, 78058FYサブシリーズ, μPD78070AY) ... 200
8 - 3	タイマ・クロック選択レジスタ3のフォーマット (μPD78064, 780308, 78064Bサブシリーズ) ... 201
8 - 4	タイマ・クロック選択レジスタ3のフォーマット (μPD78064Y, 780308Yサブシリーズ) ... 202
8 - 5	タイマ・クロック選択レジスタ3のフォーマット (μPD78098Bサブシリーズ) ... 203
8 - 6	シリアル動作モード・レジスタ0のフォーマット (μPD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A) ... 204
8 - 7	シリアル動作モード・レジスタ0のフォーマット (μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AY) ... 206
8 - 8	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (μPD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A) ... 208
8 - 9	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AY) ... 210
8 - 10	割り込みタイミング指定レジスタのフォーマット (μPD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A) ... 212
8 - 11	割り込みタイミング指定レジスタのフォーマット (μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AY) ... 213
8 - 12	シリアル動作モード・レジスタ1のフォーマット (μPD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY) ... 215
8 - 13	自動データ送受信コントロール・レジスタのフォーマット (μPD78054, 78054Y, 78078, 78078Y, 78058F, 78058FY, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY) ... 216
8 - 14	自動データ送受信コントロール・レジスタのフォーマット (μPD780058, 780058Yサブシリーズ) ... 217
8 - 15	自動データ送受信間隔指定レジスタのフォーマット (μPD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY, 78075Bサブシリーズ, μPD78070A, 78070AY) ... 218

図の目次 (4/6)

図番号	タイトル, ページ
8 - 16	自動データ送受信間隔指定レジスタのフォーマット (μ PD78098Bサブシリーズ) ... 224
8 - 17	シリアル動作モード・レジスタ2のフォーマット (μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μ PD78070A, 78070AY) ... 227
8 - 18	アシンクロナス・シリアル・インタフェース・モード・レジスタのフォーマット (μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μ PD78070A, 78070AY) ... 228
8 - 19	アシンクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット (μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μ PD78070A, 78070AY) ... 234
8 - 20	ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット (μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY) ... 235
8 - 21	ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット (μ PD78098Bサブシリーズ) ... 237
8 - 22	シリアル・インタフェース端子選択レジスタのフォーマット (μ PD780058, 780058Yサブシリーズ) ... 239
8 - 23	シリアル・インタフェース端子選択レジスタのフォーマット (μ PD780308, 780308Yサブシリーズ) ... 239
8 - 24	μ PD6252の端子接続図 ... 240
8 - 25	μ PD6252との接続例 ... 242
8 - 26	μ PD6252の通信フォーマット ... 244
8 - 27	μ PD6252とI ² Cバス・モードの接続例 ... 250
8 - 28	μ PD6252動作タイミング ... 251
8 - 29	μ PD6451Aとの接続例 ... 260
8 - 30	μ PD6451Aの通信フォーマット ... 260
8 - 31	SBIモードの接続例 ... 265
8 - 32	SBIモードの通信フォーマット ... 266
8 - 33	タイム・アウトの $\overline{\text{ACK}}$ 信号 ... 267
8 - 34	バス・ラインのテスト ... 267
8 - 35	3線式シリアルI/Oモードの接続例 ... 278
8 - 36	3線式シリアルI/Oモードの通信フォーマット ... 278
8 - 37	ビジィ信号の出力 ... 282
8 - 38	通信ブロック図 ... 287
8 - 39	送信フォーマット ... 287
8 - 40	受信フォーマット ... 288
8 - 41	受信完了割り込みの発生タイミング (ISRM = 1 のとき) ... 293
8 - 42	受信バッファ・レジスタの読み出し禁止期間 ... 294

図の目次 (5/6)

図番号	タイトル, ページ
9 - 1	A/Dコンバータ・モード・レジスタのフォーマット (μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY) ... 297
9 - 2	A/Dコンバータ・モード・レジスタのフォーマット (μ PD78098Bサブシリーズ) ... 298
9 - 3	A/Dコンバータ入力選択レジスタのフォーマット ... 299
9 - 4	外部割り込みモード・レジスタ1のフォーマット (μ PD78054, 78054Y, 78078, 78078Y, 78058F, 78058FY, 78075B, 78098Bサブシリーズ, μ PD78070A, 78070AY) ... 300
9 - 5	外部割り込みモード・レジスタ1のフォーマット (μ PD78064, 78064Y, 780058, 780058Y, 780308, 780308Y, 78064Bサブシリーズ) ... 301
9 - 6	外部割り込みモード・レジスタ1のフォーマット (μ PD78083サブシリーズ) ... 302
9 - 7	A/D電流カット選択レジスタのフォーマット (μ PD78098Bサブシリーズ) ... 302
9 - 8	レベル・メータ回路例 ... 303
9 - 9	A/D変換結果とLED表示 ... 303
9 - 10	ピーク・ホールド概念図 ... 304
9 - 11	温度計の回路例 ... 312
9 - 12	温度と出力特性 ... 313
9 - 13	アナログ・キー入力回路例 ... 323
9 - 14	4チャンネル・スキャン・モードのタイミング・チャート ... 329
10 - 1	D/Aコンバータ・モード・レジスタのフォーマット ... 333
10 - 2	アナログ出力と出力データ格納タイミング ... 334
10 - 3	D/A出力波形 ... 334
10 - 4	SIN波形変換回路 ... 336
11 - 1	リアルタイム出力ポート・モード・レジスタのフォーマット ... 341
11 - 2	リアルタイム出力ポート・コントロール・レジスタのフォーマット ... 341
11 - 3	ポート・モード・レジスタ12のフォーマット ... 342
11 - 4	1相励磁出力パターンと出力タイミング ... 343
12 - 1	LCD表示モード・レジスタのフォーマット (μ PD78064, 78064Y, 78064Bサブシリーズ) ... 347
12 - 2	LCD表示モード・レジスタのフォーマット (μ PD780308, 780308Yサブシリーズ) ... 348
12 - 3	LCD表示コントロール・レジスタのフォーマット ... 349
12 - 4	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 ... 351
12 - 5	コモン信号波形 ... 353
12 - 6	コモン信号とセグメント信号の電圧の位相 ... 354
12 - 7	スタティックLCDの表示パターンと電極結線 ... 355
12 - 8	スタティックLCDの接続図 ... 356
12 - 9	スタティック表示モードによるLCD駆動用電源の接続例 (分割抵抗外付け時, $V_{DD} = 5V$, $V_{LCD} = 5V$ の例) ... 356
12 - 10	スタティックLCD駆動波形例 ... 357

図の目次 (6/6)

図番号	タイトル, ページ
12 - 11	4 時分割LCDの表示パターンと電極結線 ... 361
12 - 12	4 時分割LCDパネルの接続図 ... 362
12 - 13	4 時分割表示モードによるLCD駆動用電源の接続例 (分割抵抗外付け時, $V_{DD} = 5\text{ V}$, $V_{LCD} = 5\text{ V}$ の例) ... 362
12 - 14	4 時分割LCD駆動波形例 (1/3バイアス法) ... 363
13 - 1	キー・マトリクス回路 ... 368

表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	μPD78054サブシリーズの機能概要 ... 31
1 - 2	μPD78054Yサブシリーズの機能概要 ... 34
1 - 3	μPD78064サブシリーズの機能概要 ... 36
1 - 4	μPD78064Yサブシリーズの機能概要 ... 38
1 - 5	μPD78078サブシリーズの機能概要 ... 40
1 - 6	μPD78078Yサブシリーズの機能概要 ... 42
1 - 7	μPD78083サブシリーズの機能概要 ... 44
1 - 8	μPD780058サブシリーズの機能概要 ... 46
1 - 9	μPD780058Yサブシリーズの機能概要 ... 48
1 - 10	μPD780308サブシリーズの機能概要 ... 50
1 - 11	μPD780308Yサブシリーズの機能概要 ... 52
1 - 12	μPD78058Fサブシリーズの機能概要 ... 54
1 - 13	μPD78058FYサブシリーズの機能概要 ... 56
1 - 14	μPD78064Bサブシリーズの機能概要 ... 58
1 - 15	μPD78070Aの機能概要 ... 60
1 - 16	μPD78070AYの機能概要 ... 62
1 - 17	μPD78075Bサブシリーズの機能概要 ... 64
1 - 18	μPD78098Bサブシリーズの機能概要 ... 66
3 - 1	CPUクロックの切り替えに要する最大時間 ... 88
3 - 2	CPUクロックと最小命令実行時間の関係 (μPD78098Bサブシリーズ以外) ... 94
3 - 3	CPUクロック (f _{CPU}) 一覧 (μPD78098Bサブシリーズ) ... 95
5 - 1	入力信号の有効時間 ... 126
5 - 2	入力信号の有効時間 ... 140
6 - 1	音階と周波数 ... 179
8 - 1	各サブシリーズとシリアル・インタフェース・チャンネルの有無 ... 196
8 - 2	各サブシリーズに対応する項目一覧 ... 197
8 - 3	シリアル・インタフェースのレジスタ一覧 ... 198
8 - 4	シリアル・インタフェース・チャンネル2の動作モードの設定一覧 (μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY) ... 229
8 - 5	シリアル・インタフェース・チャンネル2の動作モードの設定一覧 (μPD780058, 780058Yサブシリーズ) ... 230
8 - 6	シリアル・インタフェース・チャンネル2の動作モードの設定一覧 (μPD780308, 780308Yサブシリーズ) ... 232
8 - 7	μPD6252の端子の説明 ... 241
8 - 8	μPD6252のコマンド一覧 ... 243

表の目次 (2/2)

表番号	タイトル, ページ
8 - 9	SBIモードの信号一覧 ... 266
8 - 10	メイン・システム・クロックとポー・レートの関係 ($f_x = 4.19$ MHz動作時) ... 286
9 - 1	A/D変換値と温度 ... 314
9 - 2	入力電圧とキー・コード ... 322
9 - 3	R1からR15の抵抗値 ... 323
10 - 1	SIN波形出力の電圧と設定値 ... 335
11 - 1	リアルタイム出力ポートの動作モードと出力トリガ ... 341
12 - 1	最大表示画素数 ... 350
12 - 2	COM信号 ... 352
12 - 3	選択, 非選択電圧 (COM0) ... 355
12 - 4	選択, 非選択電圧 (COM0, 1, 2, 3) ... 361
A - 1	SPD記号とフロー・チャートの対比 ... 373

第1章 概 説

★ 1.1 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

・ Yなしサブシリーズ

サブシリーズ名	機能	ROM容量	タイマ				8-bit A/D	10-bit A/D	8-bit D/A	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張			
			8-bit	16-bit	時計	WDT										
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	88本	1.8 V				
	μ PD78078	48 K-60 K									61本	2.7 V				
	μ PD78070A	-														
	μ PD780058	24 K-60 K	2ch							3ch(時分割UART:1ch)	68本	1.8 V				
	μ PD78058F	48 K-60 K								3ch(UART:1ch)	69本	2.7 V				
	μ PD78054	16 K-60 K										2.0 V				
	μ PD780065	40 K-48 K										2.7 V				
	μ PD780078	48 K-60 K								2ch	-	8ch		3ch(UART:2ch)	52本	1.8 V
	μ PD780034A	8 K-32 K								1ch				3ch(UART:1ch)	51本	
	μ PD780024A															
	μ PD78014H						8ch	-	2ch	53本						
	μ PD78018F	8 K-60 K														
μ PD78083	8 K-16 K		-	-				1ch(UART:1ch)	33本		-					
インバータ 制御用	μ PD780988	16 K-60 K	3ch	注	-	1ch	-	8ch	-	3ch(UART:2ch)	47本	4.0 V				
VFD 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-			
	μ PD780232	16 K-24 K	3ch	-	-		4ch				40本	4.5 V				
	μ PD78044H	32 K-48 K	2ch	1ch	1ch		8ch			1ch	68本	2.7 V				
	μ PD78044F	16 K-40 K								2ch						
LCD 駆動用	μ PD780338	48 K-60 K	3ch	2ch	1ch	1ch	-	10ch	1ch	2ch(UART:1ch)	54本	1.8 V	-			
	μ PD780328										62本					
	μ PD780318										70本					
	μ PD780308	48 K-60 K	2ch	1ch		8ch	-	-	3ch(時分割UART:1ch)	57本	2.0 V					
	μ PD78064B	32 K										2ch(UART:1ch)				
	μ PD78064	16 K-32 K														
バス・イン タフェース 対応	μ PD780948	60 K	2ch	2ch	1ch	1ch	8ch	-	-	3ch(UART:1ch)	79本	4.0 V				
	μ PD78098B	40 K-60 K		1ch							2ch	69本	2.7 V	-		
メータ 制御用	μ PD780958	48 K-60 K	4ch	2ch	-	1ch	-	-	-	2ch(UART:1ch)	69本	2.2 V	-			
ダッシュ ボード制御用	μ PD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	-	-	3ch(UART:1ch)	56本	4.0 V	-			
	μ PD780824	32 K-60 K								2ch(UART:1ch)	59本					

注 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

・ Yサブシリーズ

機能 サブシリーズ名		ROM容量	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張							
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A											
制御用	μ PD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART: 1ch, I ² C: 1ch)	88本	1.8 V								
	μ PD78070AY	-									61本	2.7 V								
	μ PD780018AY	48 K-60 K								2ch							-	3ch(I ² C: 1ch)	88本	1.8 V
	μ PD780058Y	24 K-60 K	68本	1.8 V																
	μ PD78058FY	48 K-60 K	3ch(UART: 1ch, I ² C: 1ch)	69本	2.7 V															
	μ PD78054Y	16 K-60 K		69本	2.0 V															
	μ PD780078Y	48 K-60 K	2ch	-	8ch	-	4ch(UART: 2ch, I ² C: 1ch)	52本	1.8 V											
	μ PD780034AY	8 K-32 K	1ch				8ch	-									3ch(UART: 1ch, I ² C: 1ch)	51本	1.8 V	
	μ PD780024AY	8 K-60 K															2ch(I ² C: 1ch)	53本		
	μ PD78018FY									53本										
LCD 駆動用	μ PD780308Y	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	3ch(時分割UART: 1ch, I ² C: 1ch)	57本	2.0 V	-							
	μ PD78064Y	16 K-32 K								2ch(UART: 1ch, I ² C: 1ch)										
バス・イン タフェース 対応	μ PD780701Y	60 K	3ch	2ch	1ch	1ch	16ch	-	-	4ch(UART: 1ch, I ² C: 1ch)	67本	3.5 V	-							
	μ PD780833Y										65本	4.5 V								

備考 YなしサブシリーズとYサブシリーズは、シリアル・インタフェース以外の機能は共通です（Yなしサブシリーズがある場合）。

1.2 78K/0シリーズの特徴

78K/0シリーズは、民生分野に最適な8ビット・シングルチップ・マイクロコンピュータです。

μPD78054, 78054YサブシリーズはA/Dコンバータ, D/Aコンバータ, タイマ, シリアル・インタフェース, リアルタイム出力ポート, 割り込み機能などの周辺ハードウェアを内蔵した製品です。

μPD78064, 78064Yサブシリーズは, LCDコントローラ/ドライバ, A/Dコンバータ, タイマ, シリアル・インタフェース, 割り込み機能などの周辺ハードウェアを内蔵した製品です。

μPD78078, 78078Yサブシリーズは, μPD78054, 78054Yサブシリーズにタイマを追加し, 外部インタフェース機能を強化した製品です。

μPD78083サブシリーズは, A/Dコンバータ, タイマ, シリアル・インタフェース, 割り込み機能などの周辺ハードウェアを内蔵した製品です。

μPD78098Bサブシリーズは, μPD78054サブシリーズにIEBusコントローラを追加した製品です。

μPD780058, 780058Yサブシリーズは, μPD78054, 78054Yサブシリーズのシリアル・インタフェースを強化(時分割転送機能付きシリアル・インタフェース内蔵)した製品です。EMIノイズ低減製品です。

μPD780308, 780308Yサブシリーズは, μPD78064, 78064YサブシリーズのROM, RAM拡張, シリアル・インタフェースを強化した製品です。

μPD78058F, 78058FY, 78064B, 78075Bサブシリーズは, それぞれμPD78054, 78054Y, 78064, 78078サブシリーズのEMIノイズ低減製品です。

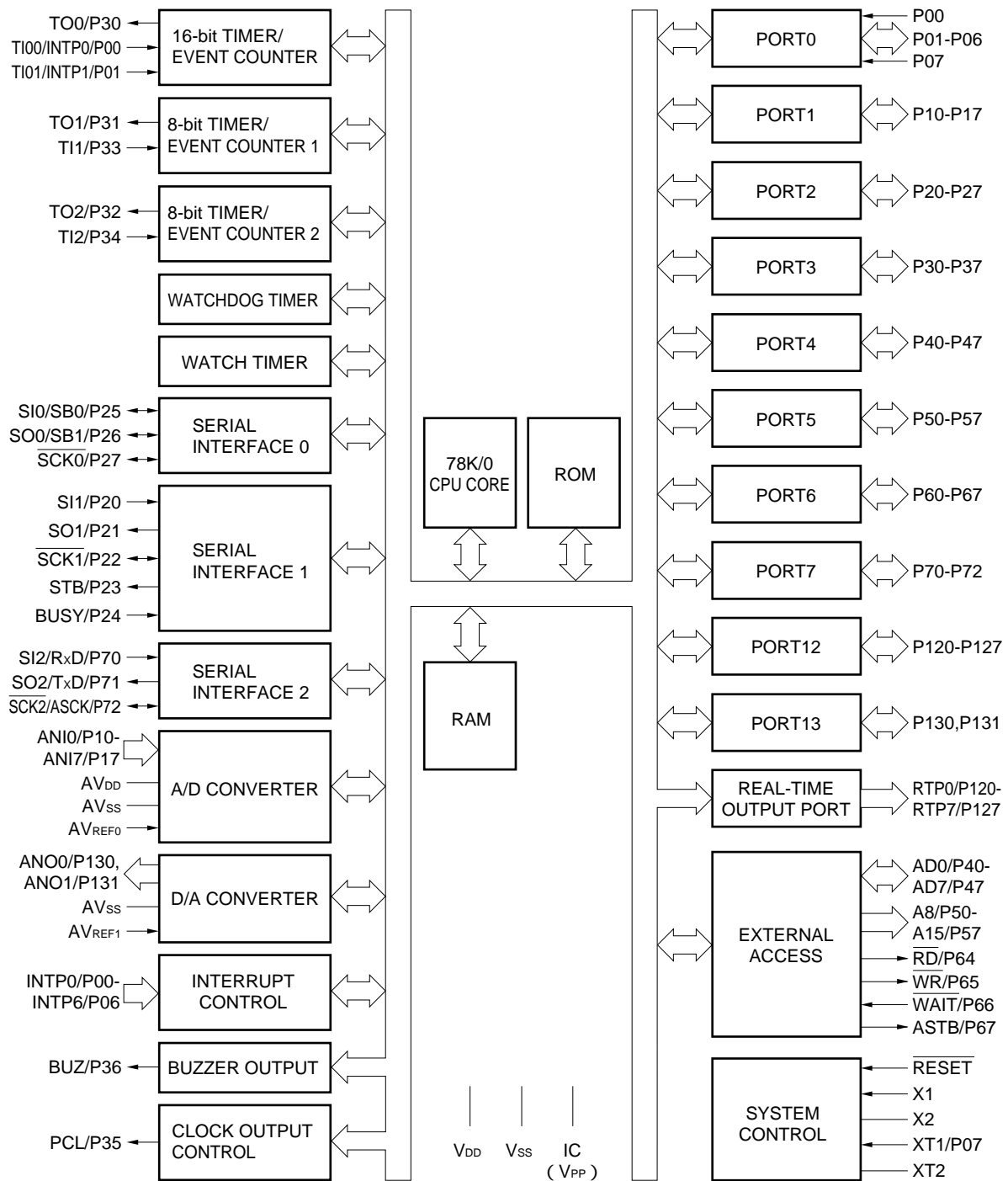
μPD78070A, 78070AYサブシリーズは, μPD78078, 78078YサブシリーズのROMレス製品です。

また, μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AYは, μPD78054, 78064, 78078, 780058, 780308, 78058Fサブシリーズ, μPD78070AのSBI機能に代わり, I²Cバス制御機能を追加しています。

また, マスクROM製品と同じ電源電圧で動作可能なワン・タイムPROM, EPROM, フラッシュ・メモリ製品も用意しており, 応用システムの早期立ち上げ, 少量生産時に最適です。

次ページ以降に各サブシリーズごとのブロック図と機能概要を示します。

図1-1 μPD78054サブシリーズのブロック図



備考1．内部ROM, RAM容量は製品によって異なります。

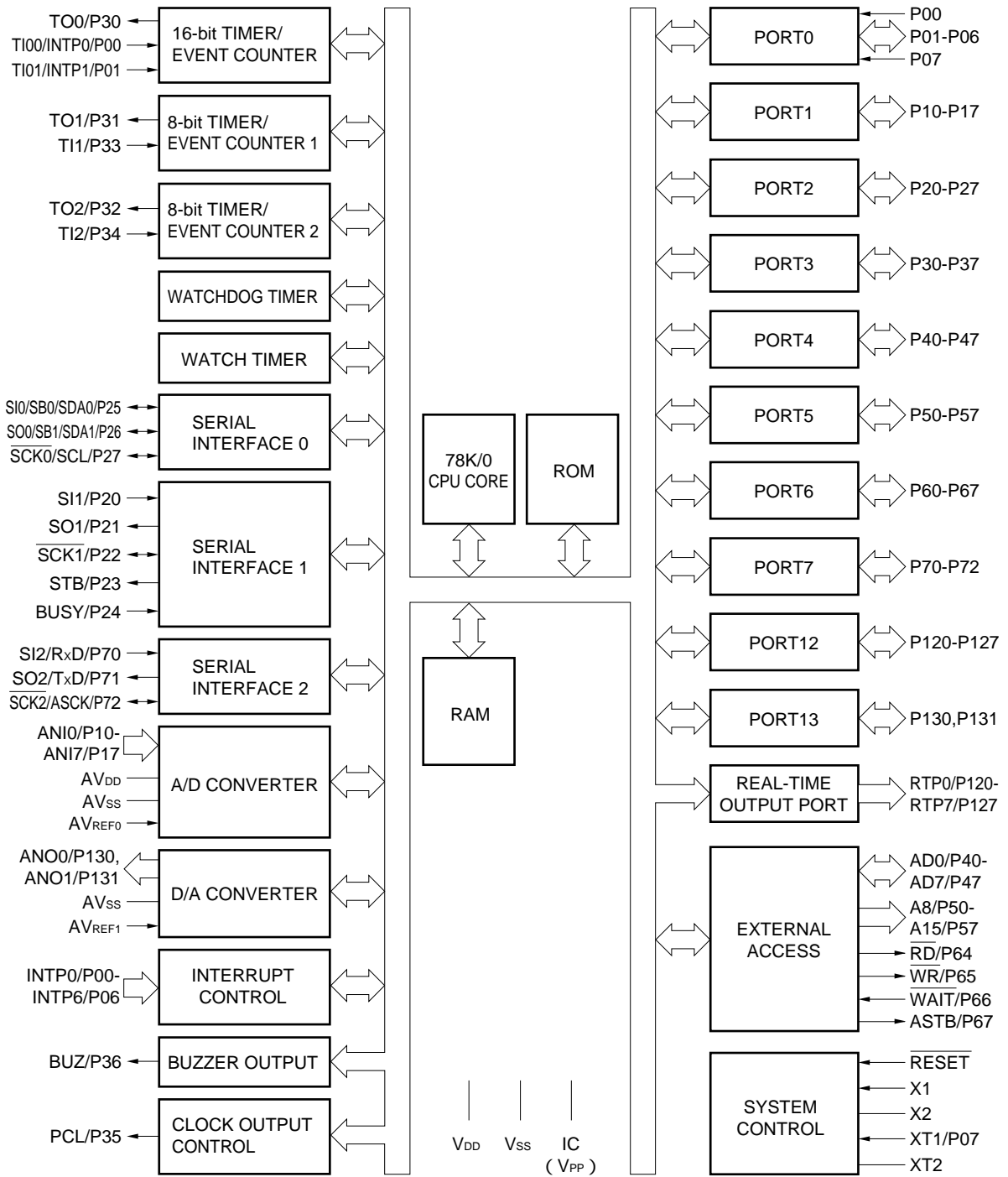
2．()内はμPD78P054, 78P058のとき

表1-1 μPD78054サブシリーズの機能概要

項 目		品 名							
		μPD78052	μPD78053	μPD78054	μPD78P054 ^{注1}	μPD78055	μPD78056	μPD78058	μPD78P058 ^{注2}
内部メモリ	ROM	マスクROM			PROM	マスクROM			PROM
		16 Kバイト	24 Kバイト	32 Kバイト	32 Kバイト ^{注3}	40 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト ^{注3}
	高速RAM	512バイト	1024バイト	1024バイト ^{注3}	1024バイト	1024バイト ^{注3}			
	バッファRAM	32バイト							
	拡張RAM	なし						1024バイト	1024バイト ^{注4}
メモリ空間		64 Kバイト							
汎用レジスタ		8ビット×8×4バンク							
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)							
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)							
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 							
I/Oポート		<ul style="list-style-type: none"> ・合計 : 69本 ・CMOS入力 : 2本 ・CMOS入出力 : 63本 ・N-chオープン・ドレイン入出力 : 4本 							
A/Dコンバータ		8ビット分解能×8チャンネル							
D/Aコンバータ		8ビット分解能×2チャンネル							
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 							
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 							
タイマ出力		3本 (14ビットPWM出力可能 : 1本)							
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)							
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)							
ベクタ 割り込み 要因	マスカブル	内部 : 13, 外部 : 7							
	ノンマスカブル	内部 : 1							
	ソフトウェア	1							
テスト入力		内部 : 1本, 外部 : 1本							
電源電圧		V _{DD} = 2.0 ~ 6.0 V							
パッケージ		<ul style="list-style-type: none"> ・80ピン・プラスチックQFP (14x14, 樹脂厚2.7 mm) ・80ピン・プラスチックQFP (14x14, 樹脂厚1.4 mm) ・80ピン・プラスチックTQFP (ファインピッチ) (12x12) (μPD78052, 78053, 78054, 78P054, 78058のみ) ・80ピン・セラミックWQFN (14x14) (μPD78P054, 78P058のみ) 							

- 注1 . μ PD78P054は μ PD78052, 78053, 78054に対応するPROM製品です。
- 2 . μ PD78P058は μ PD78055, 78056, 78058に対応するPROM製品です。
- 3 . メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM, 内部高速RAM容量の変更可能。
- 4 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

図1-2 μPD78054Yサブシリーズのブロック図



備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . () 内は μPD78P058Y のとき

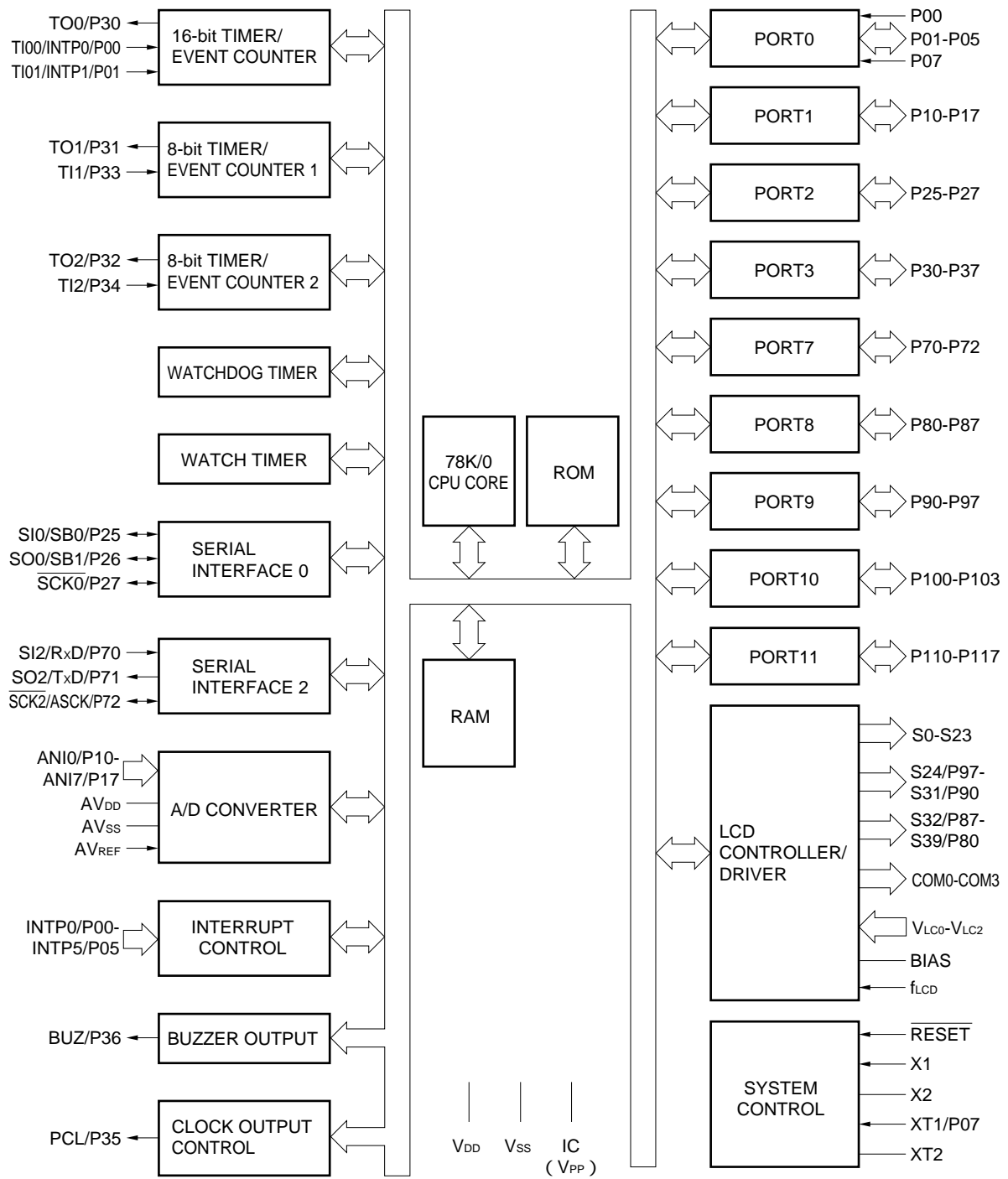
表1 - 2 μPD78054Yサブシリーズの機能概要

品 名		μPD78052Y	μPD78053Y	μPD78054Y	μPD78055Y	μPD78056Y	μPD78058Y	μPD78P058Y
内部メモリ	ROM	マスクROM			マスクROM			PROM
		16 Kバイト	24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト ^{注1}
	高速RAM	512バイト / 1024バイト						1024バイト ^{注1}
	バッファRAM	32バイト						
	拡張RAM	なし					1024バイト	1024バイト ^{注2}
メモリ空間		64 Kバイト						
汎用レジスタ		8 ビット × 8 × 4 バンク						
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs / 0.8 μs / 1.6 μs / 3.2 μs / 6.4 μs / 12.8 μs (5.0 MHz動作時)						
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)						
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 						
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 69本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 63本 ・ N-chオープン・ドレイン入出力 : 4本 						
A/Dコンバータ		8 ビット分解能 × 8 チャンネル						
D/Aコンバータ		8 ビット分解能 × 2 チャンネル						
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 						
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 						
タイマ出力		3本 (14ビットPWM出力可能 : 1本)						
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)						
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)						
ベクタ 割り込み 要因	マスカブル	内部 : 13, 外部 : 7						
	ノンマスカブル	内部 : 1						
	ソフトウェア	1						
テスト入力		内部 : 1本, 外部 : 1本						
電源電圧		V _{DD} = 2.0 ~ 6.0 V						
パッケージ		<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14, 樹脂厚2.7 mm) ・ 80ピン・プラスチックQFP (14x14, 樹脂厚1.4 mm) ・ 80ピン・セラミックWQFN (14x14) (μPD78P058Yのみ) 						

注1．メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM, 内部高速RAM容量の変更可能。

2．内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

図1-3 μPD78064サブシリーズのブロック図



備考1．内部ROM, RAM容量は製品によって異なります。

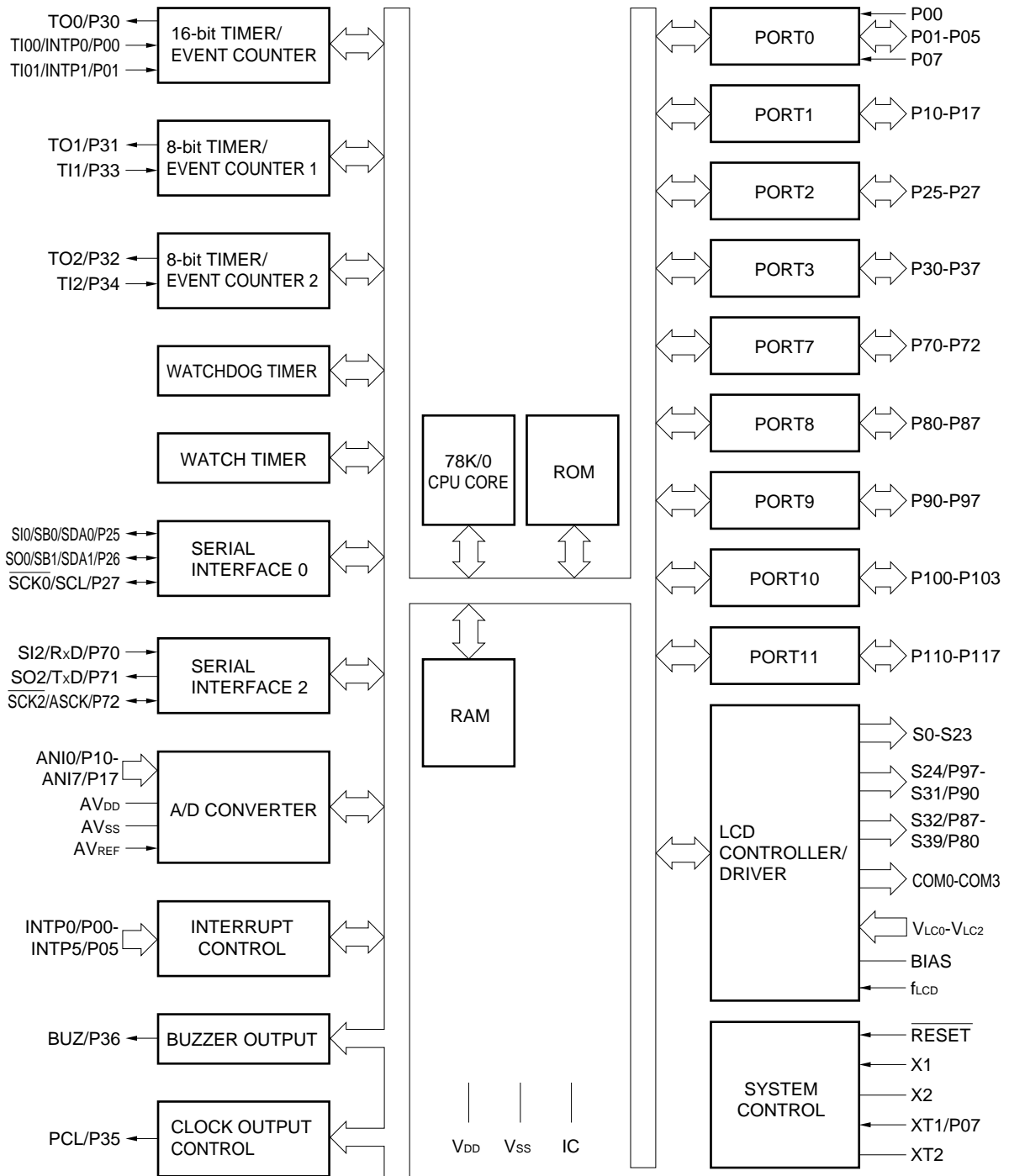
2．()内はμPD78P064のとき

表 1 - 3 μPD78064サブシリーズの機能概要

品 名		μ PD78062	μ PD78063	μ PD78064	μ PD78P064
内部メモリ	ROM	マスクROM			PROM
		16 Kバイト	24 Kバイト	32 Kバイト	32 Kバイト注
	高速RAM	512バイト	1024バイト		1024バイト注
	LCD表示用RAM	40×4ビット			
メモリ空間		64 Kバイト			
汎用レジスタ		8ビット×8×4バンク			
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)			
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)			
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 			
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・ 合計 : 57本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 			
A/Dコンバータ		8ビット分解能×8チャンネル			
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 			
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O/SBI/2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/O/UARTモード選択可能 : 1チャンネル 			
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 			
タイマ出力		3本 (14ビットPWM出力可能 : 1本)			
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)			
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)			
ベクタ 割り込み 要因	マスカブル	内部 : 12, 外部 : 6			
	ノンマスカブル	内部 : 1			
	ソフトウェア	1			
テスト入力		内部 : 1本, 外部 : 1本			
電源電圧		V _{DD} = 2.0 ~ 6.0 V			
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (ファインピッチ) (14x14, 樹脂厚1.45 mm) ・ 100ピン・プラスチックLQFP (ファインピッチ) (14x14, 樹脂厚1.4 mm) ・ 100ピン・プラスチックQFP (14x20) ・ 100ピン・セラミックWQFN (14x20) (μPD78P064のみ) 			

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM, 内部高速RAM容量の変更可能。

図1-4 μPD78064Yサブシリーズのブロック図

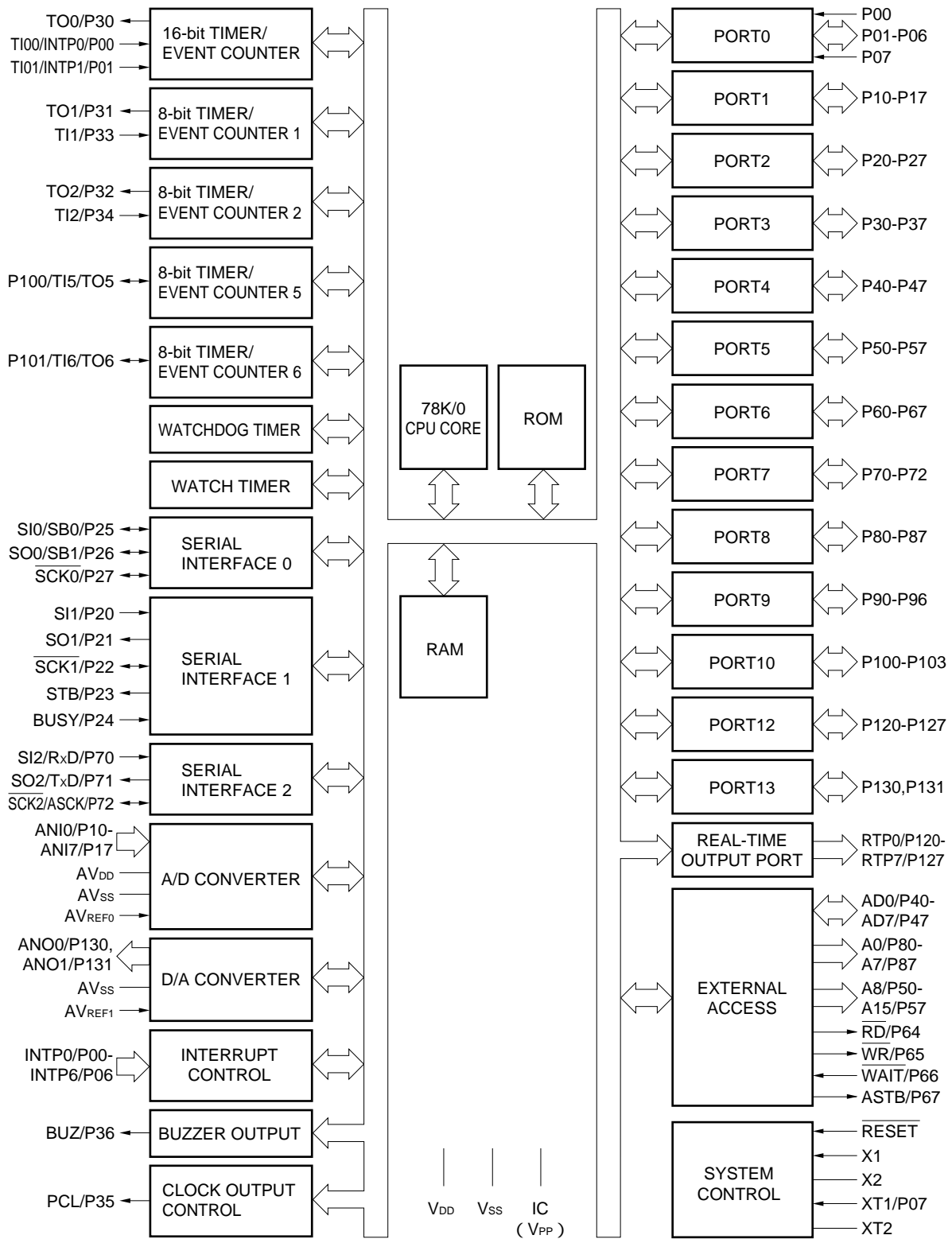


備考 内部ROM, RAM容量は製品によって異なります。

表1 - 4 μ PD78064Yサブシリーズの機能概要

品 名		μ PD78062Y	μ PD78063Y	μ PD78064Y
内部メモリ	ROM	マスクROM		
		16 Kバイト	24 Kバイト	32 Kバイト
	高速RAM	512バイト	1024バイト	
	LCD表示用RAM	40 × 4 ビット		
メモリ空間		64 Kバイト		
汎用レジスタ		8 ビット × 8 × 4 バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8 ビット × 8 ビット, 16ビット ÷ 8 ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 		
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・ 合計 : 57本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 		
A/Dコンバータ		8 ビット分解能 × 8 チャンネル		
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 		
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能 : 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)		
ベクタ	マスカブル	内部 : 12, 外部 : 6		
割り込み	ノンマスカブル	内部 : 1		
要因	ソフトウェア	1		
テスト入力		内部 : 1本, 外部 : 1本		
電源電圧		V _{DD} = 2.0 ~ 6.0 V		
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (ファインピッチ) (14x14, 樹脂厚1.45 mm) ・ 100ピン・プラスチックLQFP (ファインピッチ) (14x14, 樹脂厚1.4 mm) ・ 100ピン・プラスチックQFP (14x20) 		

図1-5 μPD78078サブシリーズのブロック図



備考1．内部ROM容量は製品によって異なります。

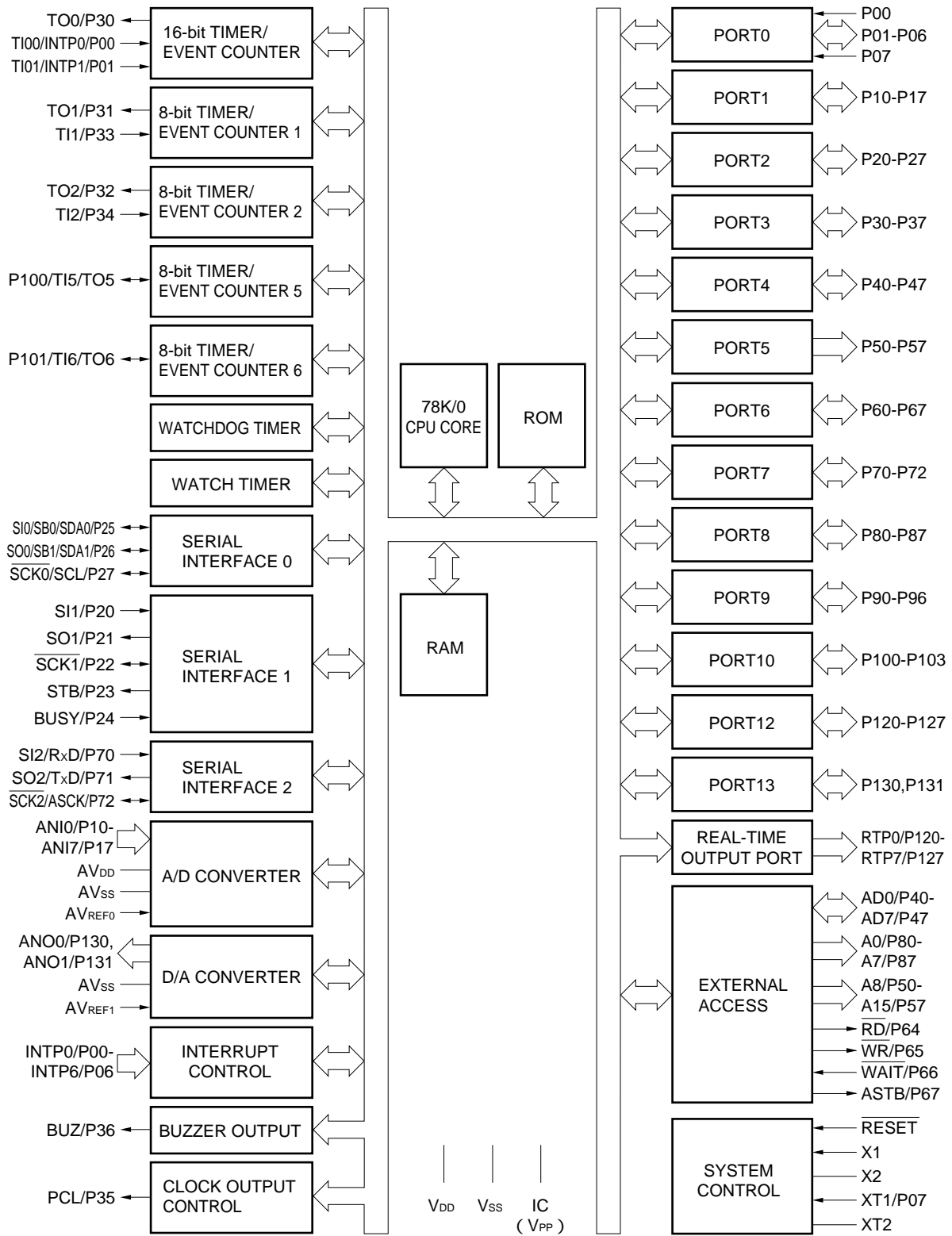
2．()内はμPD78P078のとき

表1-5 μPD78078サブシリーズの機能概要

品 名		μPD78076	μPD78078	μPD78P078
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^注
	高速RAM	1024バイト		
	バッファRAM	32バイト		
	拡張RAM	1024バイト		
メモリ空間		64 Kバイト		
汎用レジスタ		8ビット×8×4バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 		
I/Oポート		<ul style="list-style-type: none"> ・合計 : 88本 ・CMOS入力 : 2本 ・CMOS入出力 : 78本 ・N-chオープン・ドレイン入出力 : 8本 		
A/Dコンバータ		8ビット分解能×8チャンネル		
D/Aコンバータ		8ビット分解能×2チャンネル		
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 4チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		5本 (14ビットPWM出力可能: 1本, 8ビットPWM出力可能: 2本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)		
ベクタ 割り込み 要因	マスカブル	内部: 15, 外部: 7		
	ノンマスカブル	内部: 1		
	ソフトウェア	1		
テスト入力		内部: 1本, 外部: 1本		
電源電圧		V _{DD} = 1.8 ~ 5.5 V		
パッケージ		<ul style="list-style-type: none"> ・100ピン・プラスチックQFP (ファインピッチ) (14x14, 樹脂厚1.45 mm) ・100ピン・プラスチックLQFP (ファインピッチ) (14x14, 樹脂厚1.4 mm) ・100ピン・プラスチックQFP (14x20, 樹脂厚2.7 mm) ・100ピン・セラミックWQFN (14x20) (μPD78P078のみ) 		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

図1-6 μPD78078Yサブシリーズのブロック図



備考1．内部ROM容量は製品によって異なります。

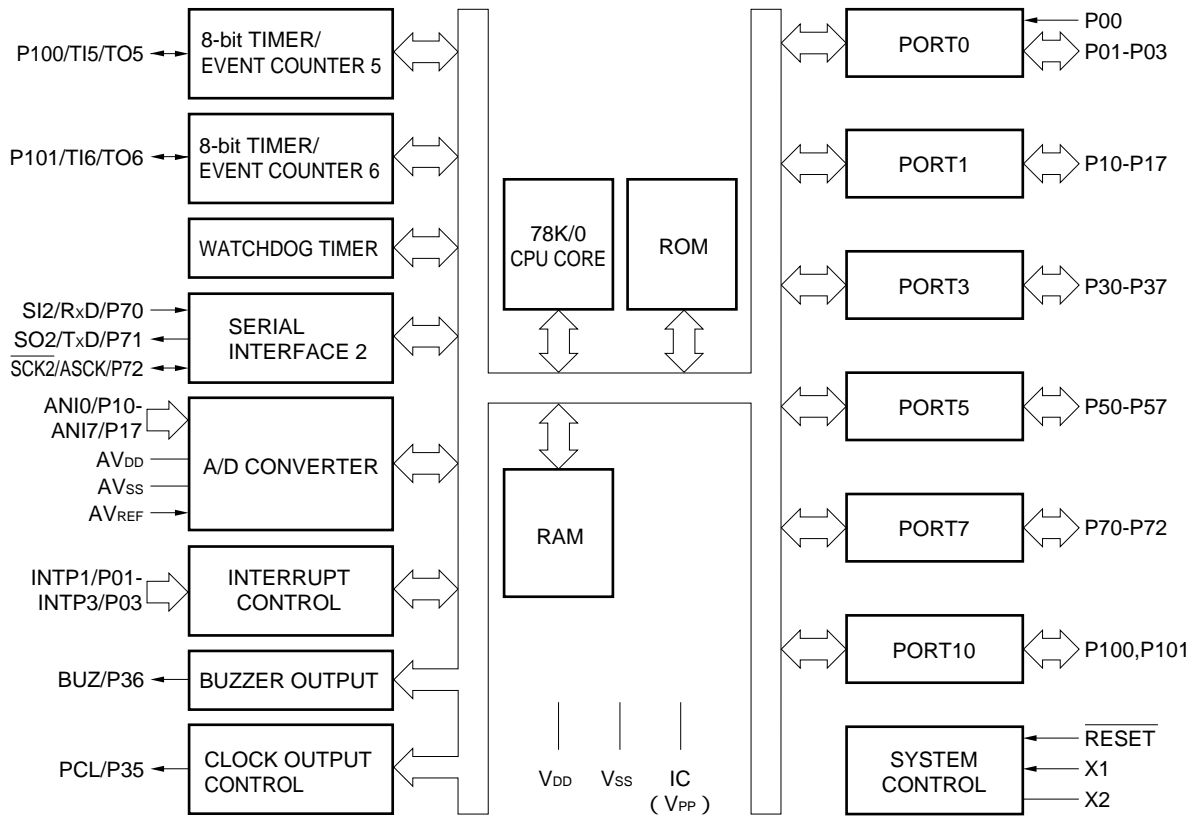
2．()内は、μPD78P078Yのとき

表1 - 6 μPD78078Yサブシリーズの機能概要

品 名		μPD78076Y	μPD78078Y	μPD78P078Y
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^注
	高速RAM	1024バイト		
	バッファRAM	32バイト		
	拡張RAM	1024バイト		
メモリ空間		64 Kバイト		
汎用レジスタ		8ビット×8×4バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 		
I/Oポート		<ul style="list-style-type: none"> ・合計 : 88本 ・CMOS入力 : 2本 ・CMOS入出力 : 78本 ・N-chオープン・ドレイン入出力 : 8本 		
A/Dコンバータ		8ビット分解能×8チャンネル		
D/Aコンバータ		8ビット分解能×2チャンネル		
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 4チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		5本 (14ビットPWM出力可能: 1本, 8ビットPWM出力可能: 2本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)		
ベクタ 割り込み 要因	マスカブル	内部: 15, 外部: 7		
	ノンマスカブル	内部: 1		
ソフトウェア		1		
テスト入力		内部: 1本, 外部: 1本		
電源電圧		V _{DD} = 1.8 ~ 5.5 V		
パッケージ		<ul style="list-style-type: none"> ・100ピン・プラスチックQFP (14x20, 樹脂厚2.7 mm) ・100ピン・プラスチックLQFP (ファインピッチ) (14x14, 樹脂厚1.4 mm) ・100ピン・セラミックWQFN (14x20) (μPD78P078Yのみ) 		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

図1-7 μPD78083サブシリーズのブロック図



備考1．内部ROM, RAM容量は製品によって異なります。

2．()内は, μPD78P083のとき

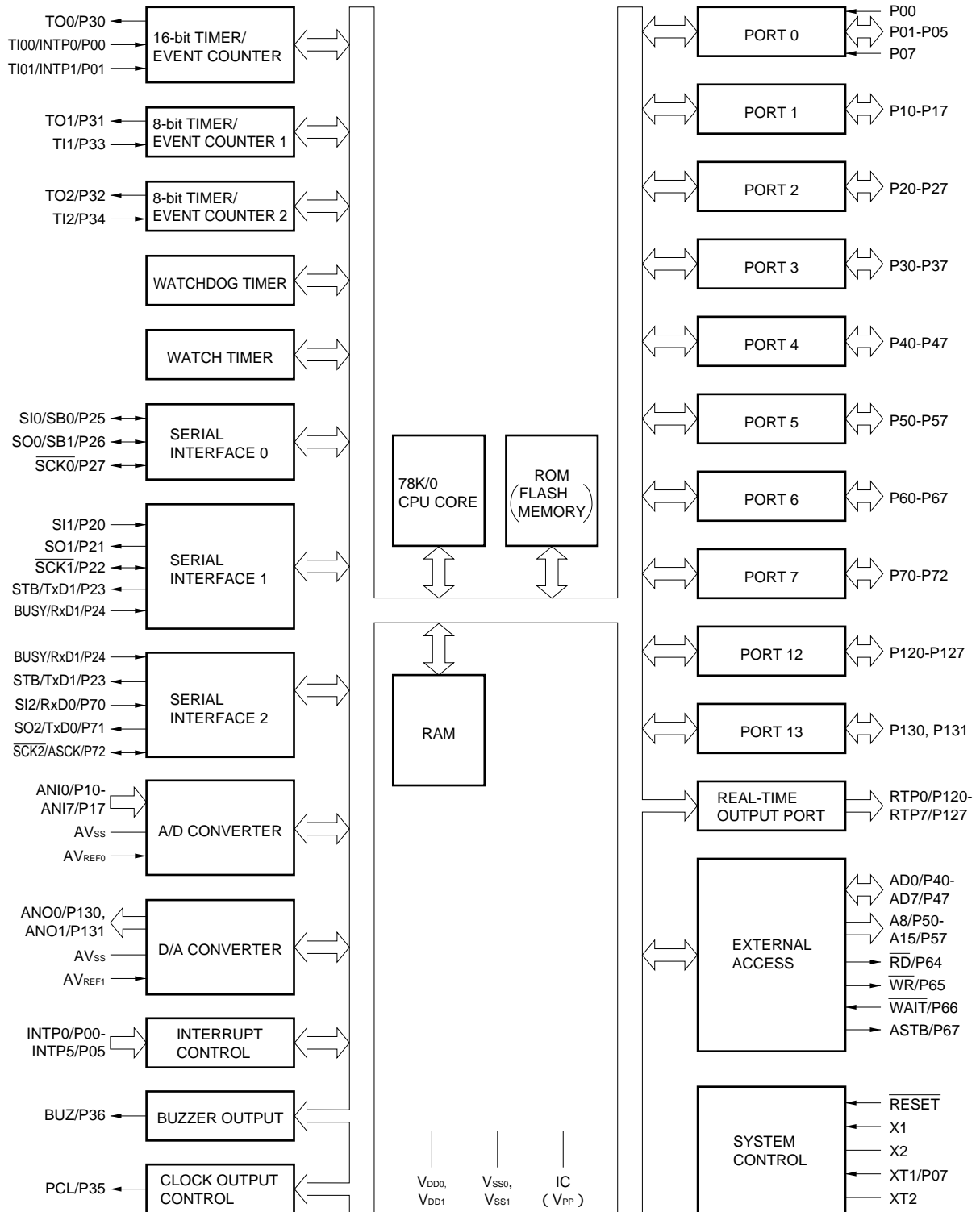
表1-7 μ PD78083サブシリーズの機能概要

品 名		μ PD78081	μ PD78082	μ PD78P083
内部メモリ	ROM	マスクROM		PROM
		8 Kバイト	16 Kバイト	24 Kバイト ^{注1}
	高速RAM	256バイト	384バイト	512バイト ^{注1}
メモリ空間		64 Kバイト		
汎用レジスタ		8ビット×8×4バンク		
最小命令実行時間		0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (メイン・システム・クロック：5.0 MHz動作時)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正など 		
I/Oポート		<ul style="list-style-type: none"> ・合計 : 33本 ・CMOS入力 : 1本 ・CMOS入出力 : 32本 		
A/Dコンバータ		8ビット分解能×8チャンネル		
シリアル・インタフェース		3線式シリアルI/O/UARTモード選択可能：1チャンネル		
タイマ		<ul style="list-style-type: none"> ・8ビット・タイマ/イベント・カウンタ：2チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		2本(8ビットPWM出力可能)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz(メイン・システム・クロック：5.0 MHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック：5.0 MHz動作時)		
ベクタ	マスカブル	内部：8, 外部3		
割り込み	ノンマスカブル	内部：1		
要因	ソフトウェア	1		
電源電圧		$V_{DD} = 1.8 \sim 5.5$ V ^{注2}		
パッケージ		<ul style="list-style-type: none"> ・42ピン・プラスチックSDIP(15.24 mm(600)) ・42ピン・セラミックSDIP(窓付き)(15.24 mm(600))(μPD78P083のみ) ・44ピン・プラスチックQFP(10x10) 		

注1．メモリ・サイズ切り替えレジスタ(IMS)により, 内部PROM, 内部高速RAM容量の変更可能。

2． μ PD78081(A2)の電源電圧は $V_{DD} = 4.5 \sim 5.5$ Vになります。

図1 - 8 μPD780058サブシリーズのブロック図



備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . () 内は μPD78F0058 のとき

表1-8 μPD780058サブシリーズの機能概要

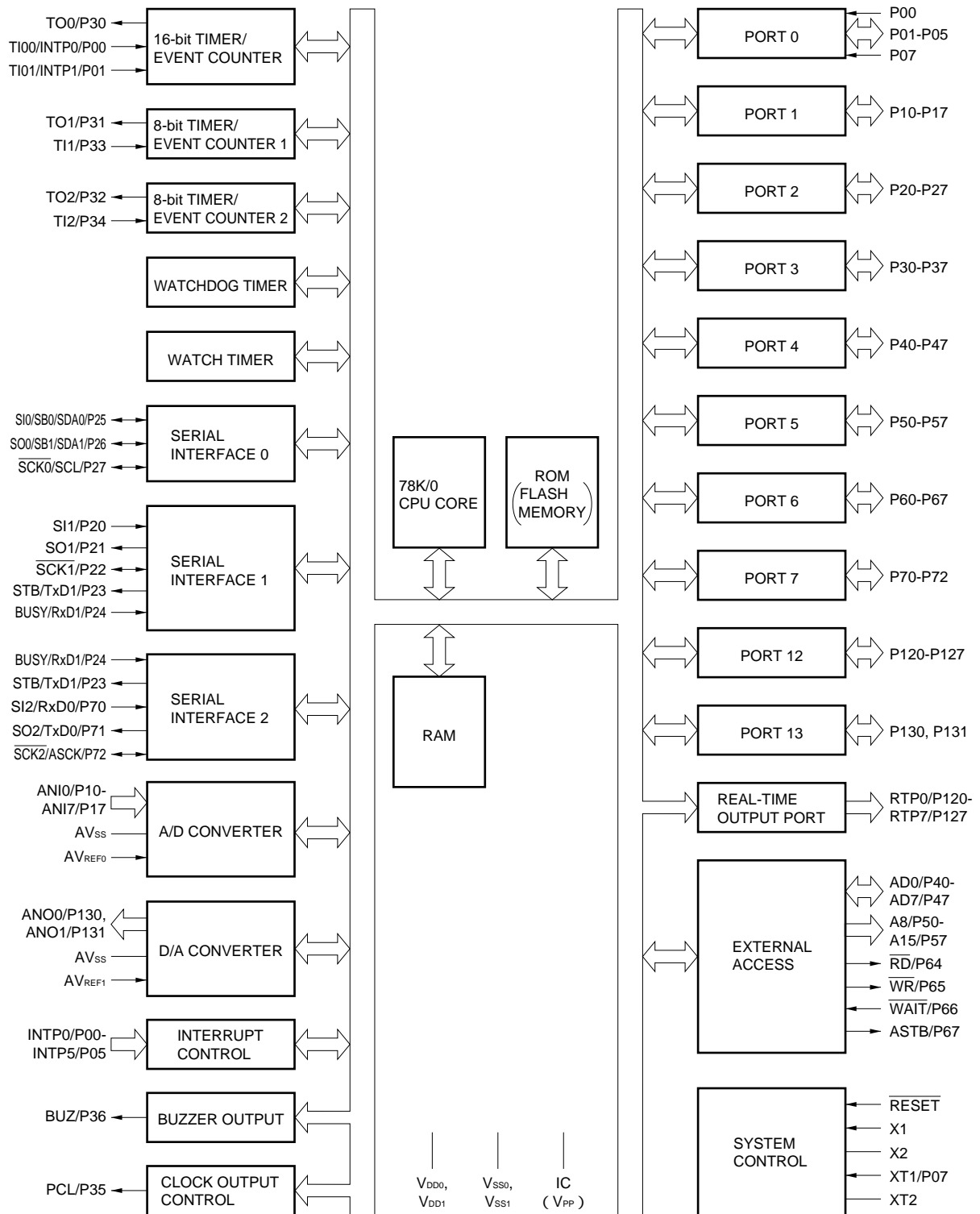
品 名		μPD780053	μPD780054	μPD780055	μPD780056	μPD780058B ^{注1}	μPD78F0058	
内部メモリ	ROM	マスクROM					フラッシュ・メモリ	
		24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト ^{注2}	
	高速RAM	1024バイト						
	バッファRAM	32バイト						
	拡張RAM	なし				1024バイト	1024バイト ^{注3}	
メモリ空間		64 Kバイト						
汎用レジスタ		8ビット×8×4バンク						
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)						
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)						
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正 など 						
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 68本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 62本 ・ N-chオープン・ドレイン入出力 : 4本 						
A/Dコンバータ		8ビット分解能×8チャンネル						
D/Aコンバータ		8ビット分解能×2チャンネル						
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O/SBI/2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O/UARTモード (時分割転送機能内蔵) 選択可能 : 1チャンネル 						
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 						
タイマ出力		3本 (14ビットPWM出力可能 : 1本)						
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)						
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)						
★	ベクタ	マスカブル	内部 : 13, 外部 : 6					
	割り込み	ノンマスカブル	内部 : 1					
	要因	ソフトウェア	1					
テスト入力		内部 : 1本, 外部 : 1本						
★	電源電圧		V _{DD} = 1.8 ~ 5.5 V				V _{DD} = 2.7 ~ 5.5 V	
動作周囲温度		T _A = -40 ~ +85						
パッケージ		<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14, 樹脂厚2.7 mm) ・ 80ピン・プラスチックQFP (14x14, 樹脂厚1.4 mm) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12x12) 						

注1 . 開発中。

2 . メモリ・サイズ切り替えレジスタ (IMS) により, フラッシュ・メモリ容量の変更可能。

3 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

図1-9 μPD780058Yサブシリーズのブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. () 内はμPD78F0058Yのとき

表1-9 μPD780058Yサブシリーズの機能概要

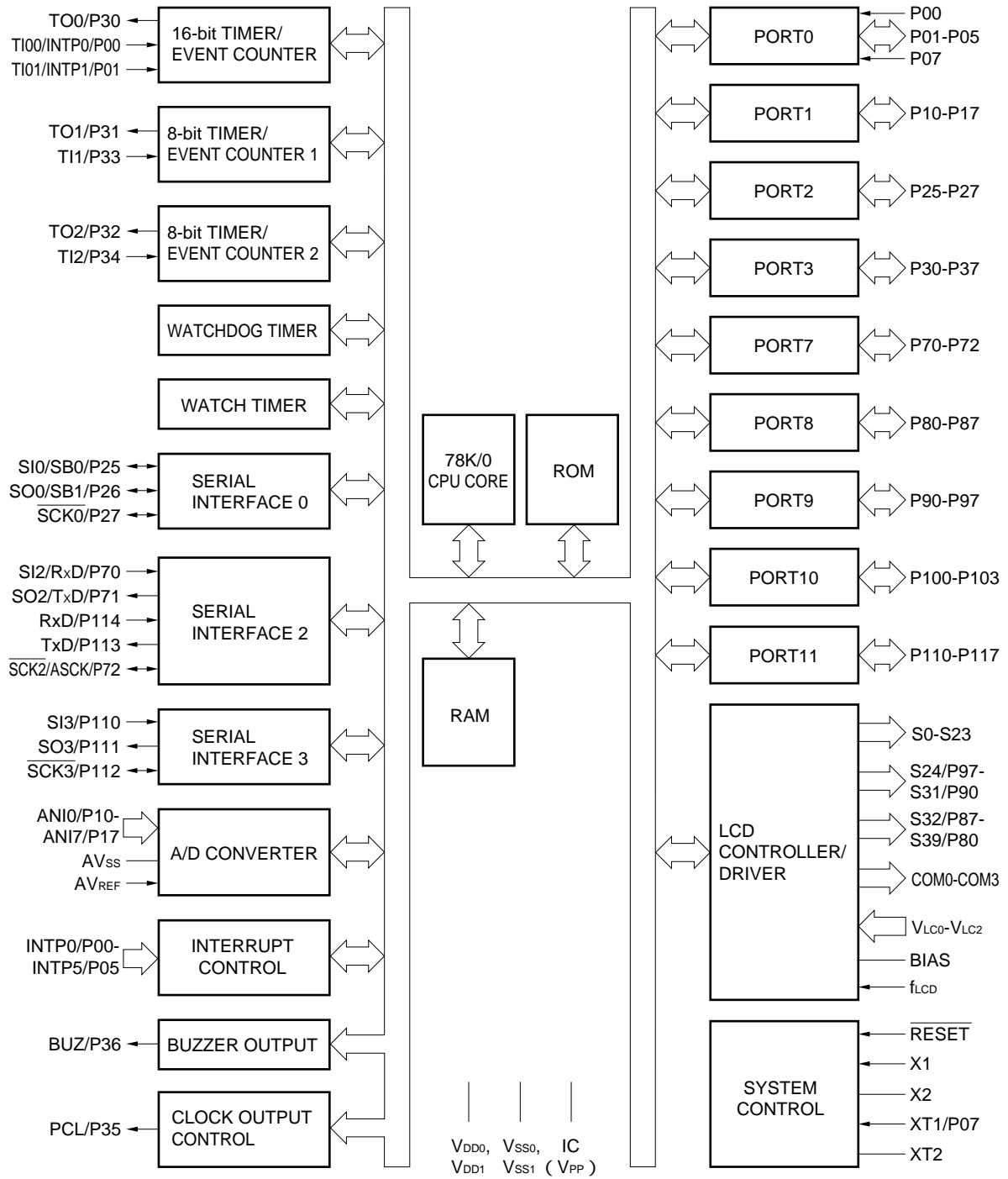
品 名		μPD780053Y	μPD780054Y	μPD780055Y	μPD780056Y	μPD780058BY ^{注1}	μPD78F0058Y	
内部メモリ	ROM	マスクROM					フラッシュ・メモリ	
		24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト ^{注2}	
	高速RAM	1024バイト						
	バッファRAM	32バイト						
	拡張RAM	なし				1024バイト	1024バイト ^{注3}	
メモリ空間		64 Kバイト						
汎用レジスタ		8ビット×8×4バンク						
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)						
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)						
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正 など 						
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 68本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 62本 ・ N-chオープン・ドレイン入出力 : 4本 						
A/Dコンバータ		8ビット分解能×8チャンネル						
D/Aコンバータ		8ビット分解能×2チャンネル						
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード (時分割転送機能内蔵) 選択可能 : 1チャンネル 						
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 						
タイマ出力		3本 (14ビットPWM出力可能 : 1本)						
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)						
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)						
★	ベクタ	マスクابل	内部 : 13, 外部 : 6					
	割り込み	ノンマスクابل	内部 : 1					
	要因	ソフトウェア	1					
テスト入力		内部 : 1本, 外部 : 1本						
★	電源電圧		V _{DD} = 1.8 ~ 5.5 V				V _{DD} = 2.7 ~ 5.5 V	
動作周囲温度		T _A = -40 ~ +85						
パッケージ		<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14, 樹脂厚2.7 mm) ・ 80ピン・プラスチックQFP (14x14, 樹脂厚1.4 mm) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12x12) 						

注1 . 開発中。

2 . メモリ・サイズ切り替えレジスタ (IMS) により, フラッシュ・メモリ容量の変更可能。

3 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

図1-10 μPD780308サブシリーズのブロック図



備考1．内部ROM容量は製品によって異なります。

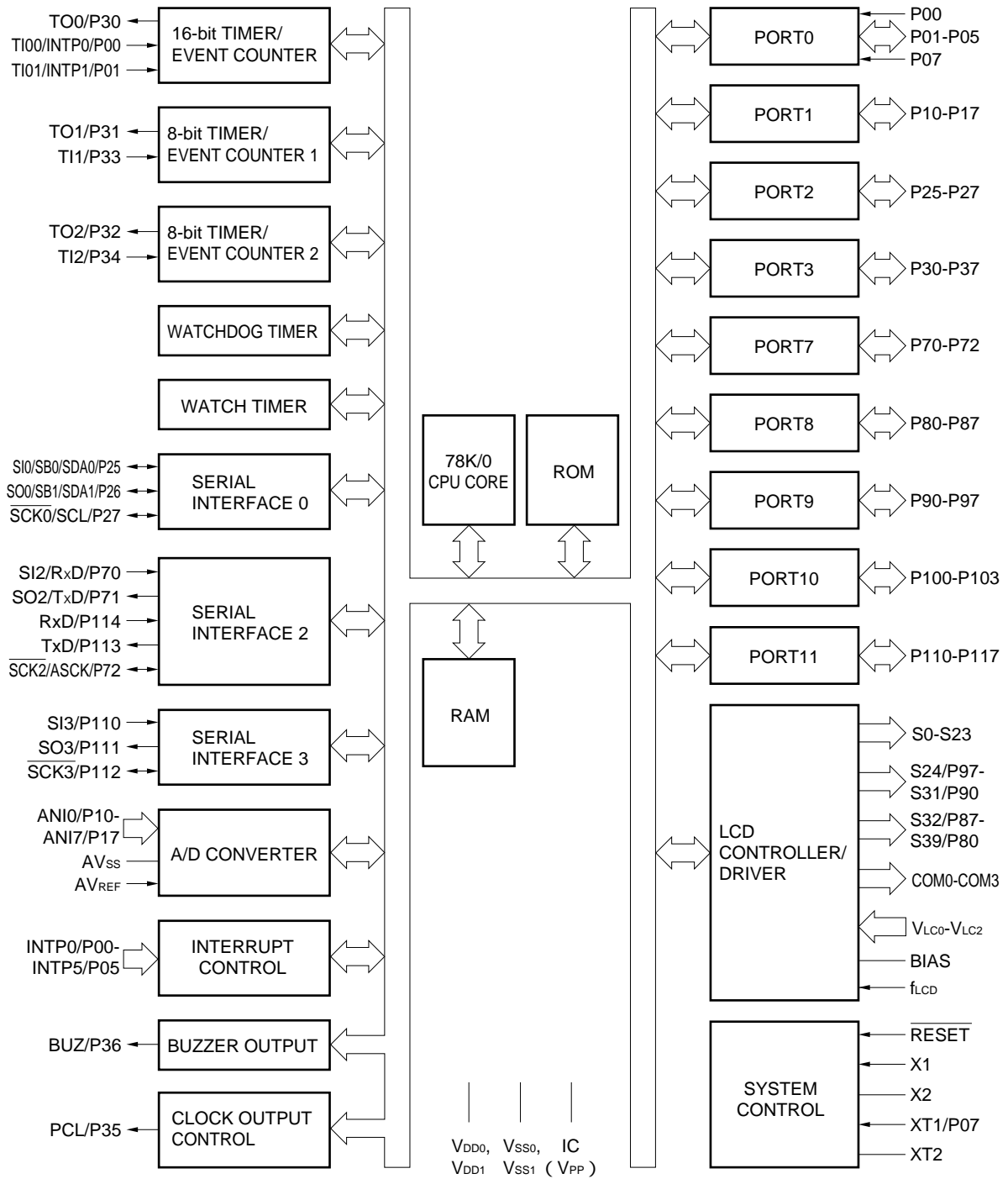
2．()内はμPD78P0308のとき

表1 - 10 μ PD780308サブシリーズの機能概要

品 名		μ PD780306	μ PD780308	μ PD78P0308
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^注
	高速RAM	1024バイト		
	拡張RAM	1024バイト		
	LCD表示用RAM	40 × 4 ビット		
メモリ空間		64 Kバイト		
汎用レジスタ		8 ビット × 8 × 4 バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8 ビット × 8 ビット, 16ビット ÷ 8 ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 		
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・ 合計 : 57本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 		
A/Dコンバータ		8 ビット分解能 × 8 チャンネル		
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 		
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能 : 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)		
ベクタ 割り込み 要因	マスカブル	内部 : 13, 外部 : 6		
	ノンマスカブル	内部 : 1		
要因		ソフトウェア		
テスト入力		内部 : 1本, 外部 : 1本		
電源電圧		V _{DD} = 2.0 ~ 5.5 V		
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (ファインピッチ) (14x14) ・ 100ピン・プラスチックQFP (14x20) ・ 100ピン・セラミックWQFN (14x20) (μPD78P0308のみ) 		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

図1-11 μPD780308Yサブシリーズのブロック図



備考1．内部ROM容量は製品によって異なります。

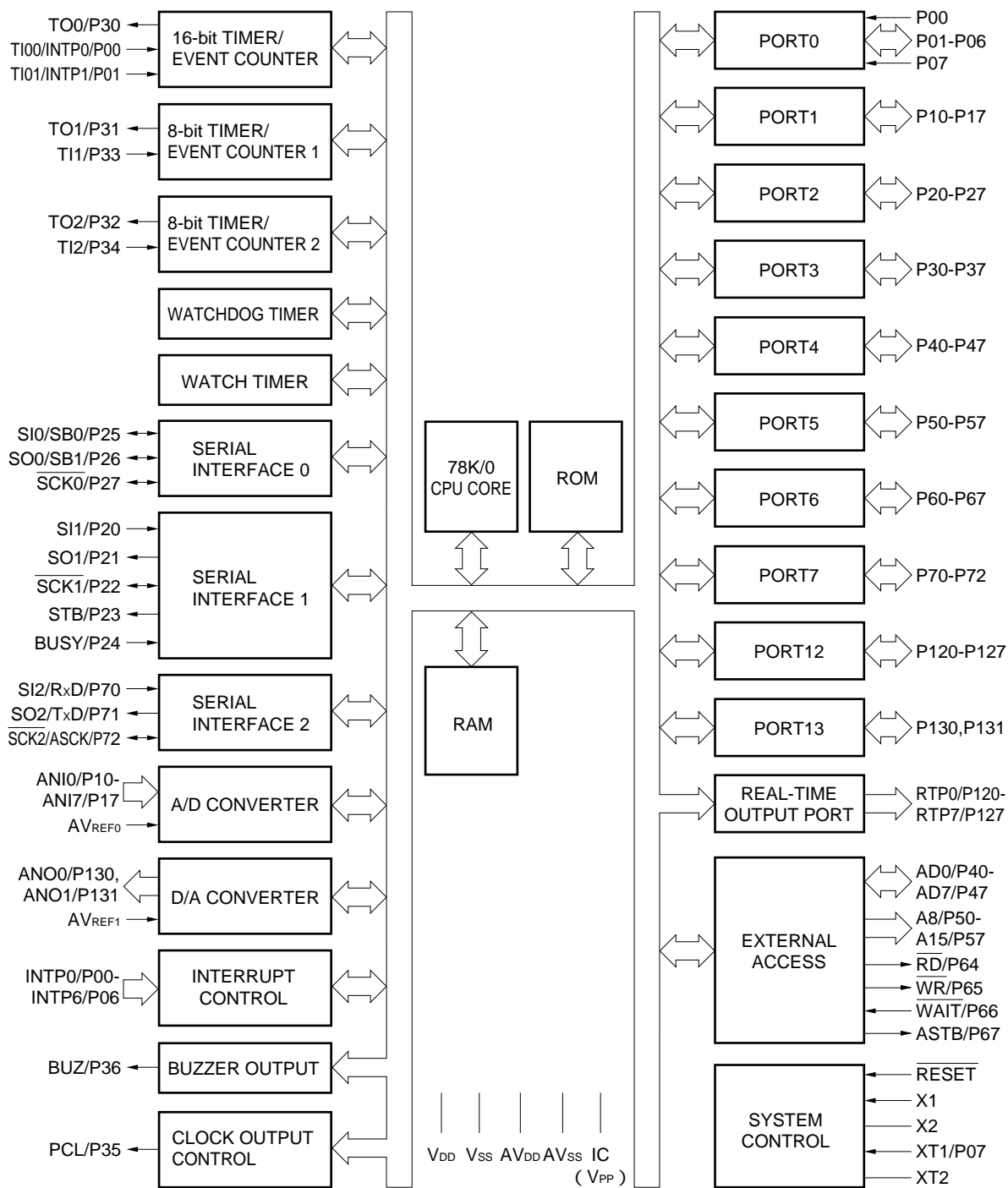
2．()内はμPD78P0308Yのとき

表1 - 11 μ PD780308Yサブシリーズの機能概要

品 名		μ PD780306Y	μ PD780308Y	μ PD78P0308Y
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^注
	高速RAM	1024バイト		
	拡張RAM	1024バイト		
	LCD表示用RAM	40 × 4 ビット		
メモリ空間		64 Kバイト		
汎用レジスタ		8 ビット × 8 × 4 バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8 ビット × 8 ビット, 16ビット ÷ 8 ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 		
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・ 合計 : 57本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 		
A/Dコンバータ		8 ビット分解能 × 8 チャンネル		
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 		
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル ・ 3線式シリアルI/O / モード : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能 : 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)		
ベクタ 割り込み	マスカブル	内部 : 13, 外部 : 6		
	ノンマスカブル	内部 : 1		
要因	ソフトウェア	1		
テスト入力		内部 : 1本, 外部 : 1本		
電源電圧		V _{DD} = 2.0 ~ 5.5 V		
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (14x20) ・ 100ピン・セラミックWQFN (14x20) (μPD78P0308Yのみ) 		

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

図1 - 12 μ PD78058Fサブシリーズのブロック図



備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . () 内は μ PD78P058Fのとき

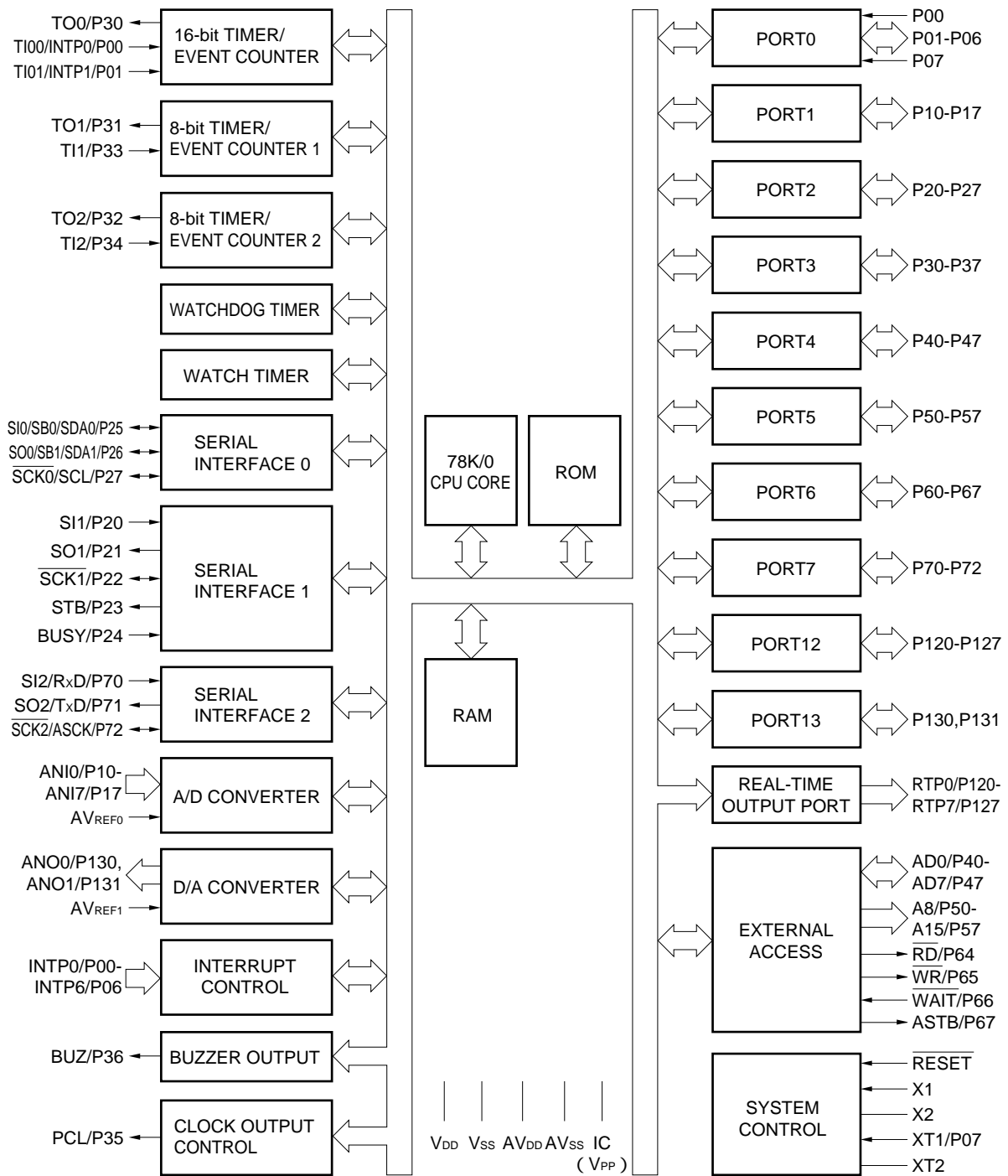
表1 - 12 μ PD78058Fサブシリーズの機能概要

品 名		μ PD78056F	μ PD78058F	μ PD78P058F
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^{注1}
	高速RAM	1024バイト		
	バッファRAM	32バイト		
	拡張RAM	なし	1024バイト	1024バイト ^{注2}
メモリ空間		64 Kバイト		
汎用レジスタ		8ビット×8×4バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 		
I/Oポート		<ul style="list-style-type: none"> ・合計 : 69本 ・CMOS入力 : 2本 ・CMOS入出力 : 63本 ・N-chオープン・ドレイン入出力 : 4本 		
A/Dコンバータ		8ビット分解能×8チャンネル		
D/Aコンバータ		8ビット分解能×2チャンネル		
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能: 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)		
ベクタ 割り込み 要因	マスカブル	内部: 13, 外部: 7		
	ノンマスカブル	内部: 1		
	ソフトウェア	1		
テスト入力		内部: 1本, 外部: 1本		
電源電圧		V _{DD} = 2.7 ~ 6.0 V		
パッケージ		<ul style="list-style-type: none"> ・80ピン・プラスチックQFP (14x14, 樹脂厚2.7 mm) ・80ピン・プラスチックQFP (14x14, 樹脂厚1.4 mm) ・80ピン・プラスチックTQFP (ファインピッチ) (12x12) (μPD78058Fのみ) 		

注1. メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

図1-13 μPD78058FYサブシリーズのブロック図



備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . () 内は μPD78P058FY のとき

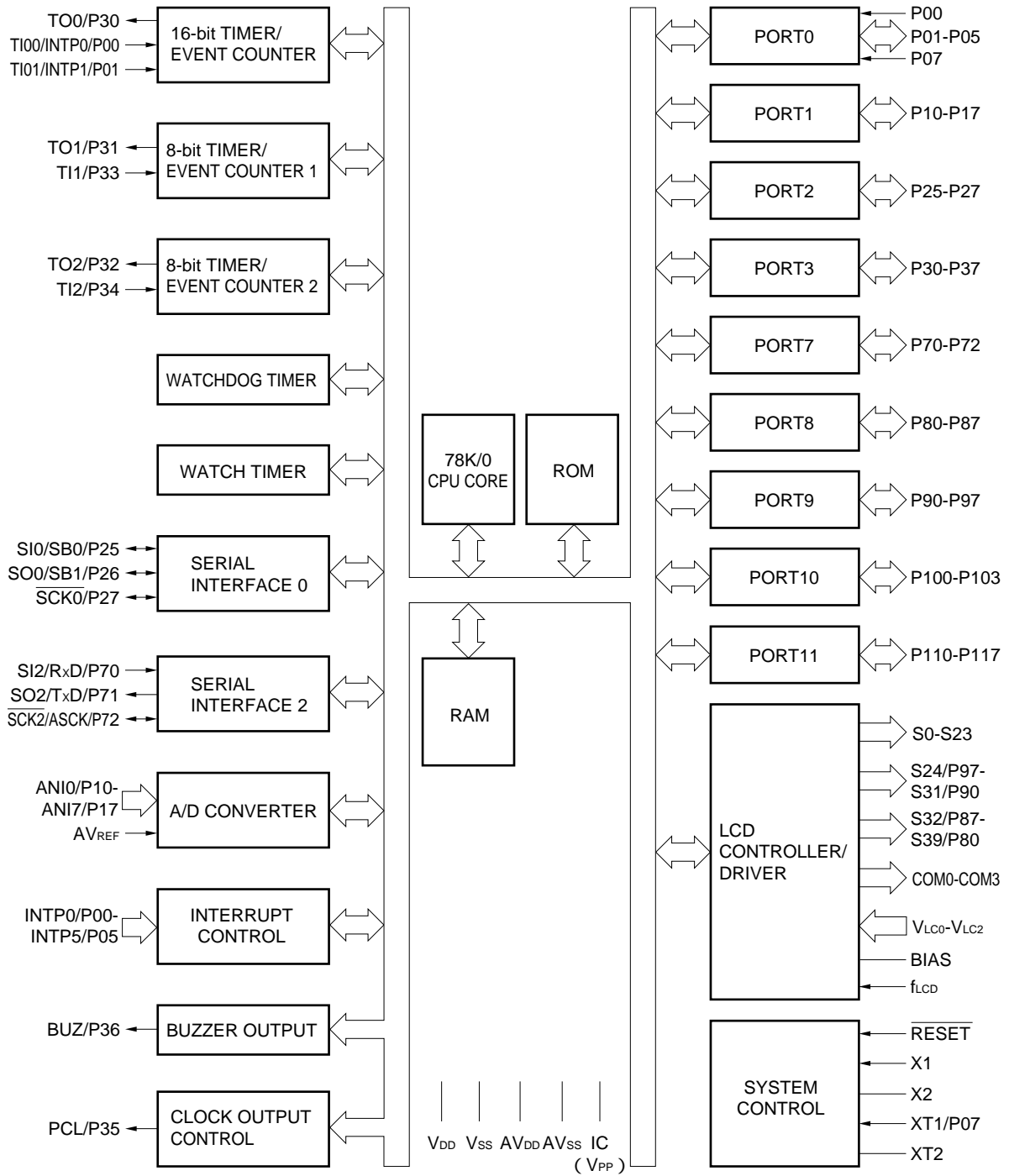
表1 - 13 μPD78058FYサブシリーズの機能概要

品 名		μPD78056FY	μPD78058FY	μPD78P058FY
内部メモリ	ROM	マスクROM		PROM
		48 Kバイト	60 Kバイト	60 Kバイト ^{注1}
	高速RAM	1024バイト		
	バッファRAM	32バイト		
	拡張RAM	なし	1024バイト	1024バイト ^{注2}
メモリ空間		64 Kバイト		
汎用レジスタ		8ビット×8×4バンク		
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)		
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 		
I/Oポート		<ul style="list-style-type: none"> ・合計 : 69本 ・CMOS入力 : 2本 ・CMOS入出力 : 63本 ・N-chオープン・ドレイン入出力 : 4本 		
A/Dコンバータ		8ビット分解能×8チャンネル		
D/Aコンバータ		8ビット分解能×2チャンネル		
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		3本 (14ビットPWM出力可能: 1本)		
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)		
ベクタ 割り込み 要因	マスカブル	内部: 13, 外部: 7		
	ノンマスカブル	内部: 1		
	ソフトウェア	1		
テスト入力		内部: 1本, 外部: 1本		
電源電圧		V _{DD} = 2.7 ~ 6.0 V		
パッケージ		<ul style="list-style-type: none"> ・80ピン・プラスチックQFP (14x14, 樹脂厚2.7 mm) ・80ピン・プラスチックQFP (14x14, 樹脂厚1.4 mm) ・80ピン・プラスチックTQFP (ファインピッチ) (12x12) (μPD78058FYのみ) 		

注1．メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

2．内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

図1 - 14 μ PD78064Bサブシリーズのブロック図



備考 ()内は μ PD78P064Bのとき

表1 - 14 μPD78064Bサブシリーズの機能概要

品 名		μPD78064B	μPD78P064B
内部メモリ	ROM	マスクROM	PROM
		32 Kバイト	
	高速RAM	1024バイト	
	LCD表示用RAM	40×4ビット	
メモリ空間		64 Kバイト	
汎用レジスタ		8ビット×8×4バンク	
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)	
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)	
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 	
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・合計 : 57本 ・CMOS入力 : 2本 ・CMOS入出力 : 55本 	
A/Dコンバータ		8ビット分解能×8チャンネル	
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> ・セグメント信号出力 : 最大40本 ・コモン信号出力 : 最大4本 ・バイアス : 1/2, 1/3バイアス切り替え可能 	
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O/SBI/2線式シリアルI/Oモード選択可能 : 1チャンネル ・3線式シリアルI/O/UARTモード選択可能 : 1チャンネル 	
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		3本 (14ビットPWM出力可能 : 1本)	
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)	
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)	
ベクタ	マスカブル	内部 : 12, 外部 : 6	
割り込み	ノンマスカブル	内部 : 1	
要因	ソフトウェア	1	
テスト入力		内部 : 1本, 外部 : 1本	
電源電圧		V _{DD} = 2.0 ~ 6.0 V	
パッケージ		<ul style="list-style-type: none"> ・100ピン・プラスチックQFP (ファインピッチ) (14x14) ・100ピン・プラスチックQFP (14x20) 	

図1 - 15 μ PD78070Aのブロック図

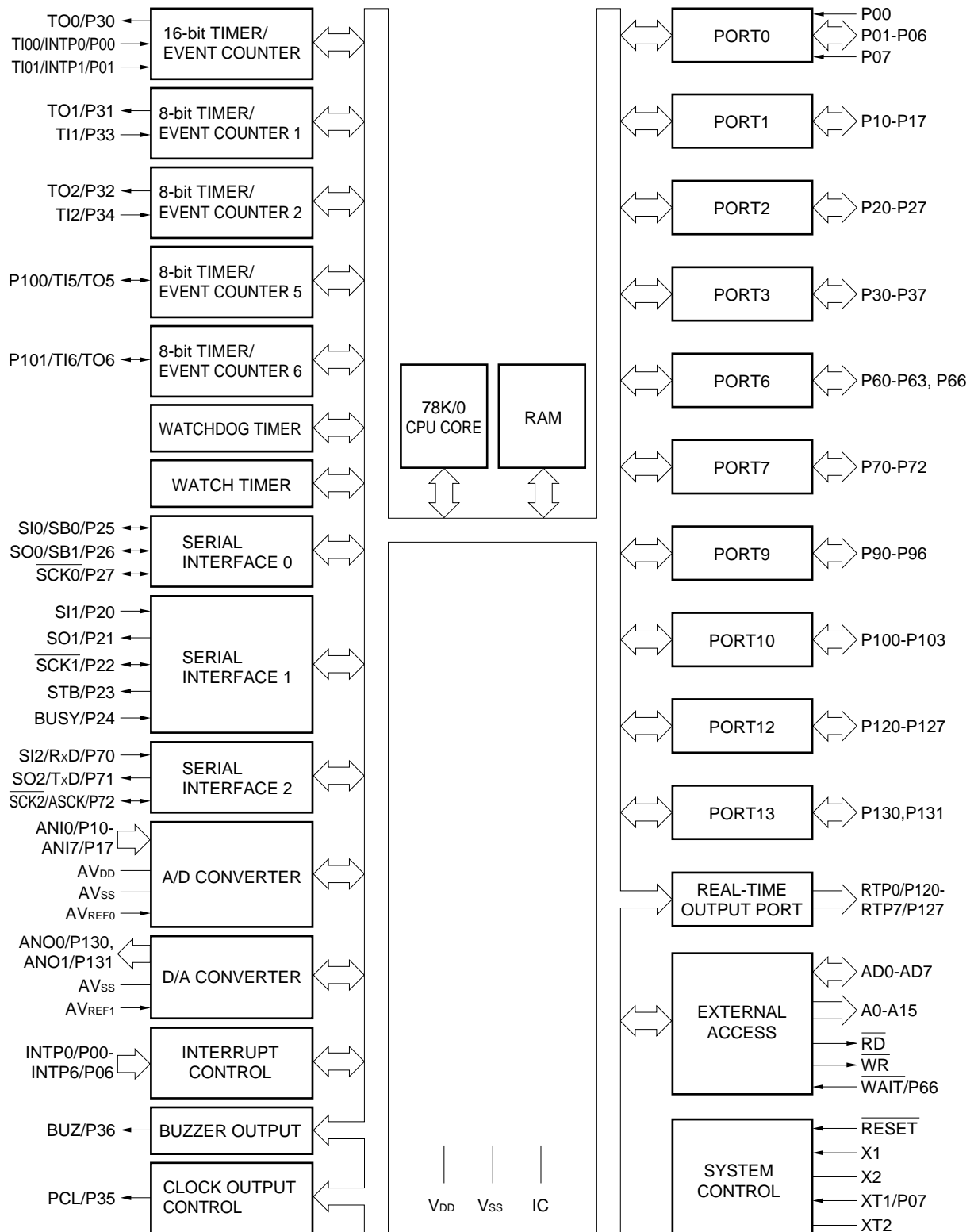


表 1 - 15 μ PD78070Aの機能概要

項 目		機 能
内部メモリ	ROM	なし
	高速RAM	1024バイト
	バッファRAM	32バイト
メモリ空間		64 Kバイト
汎用レジスタ		8ビット×8×4バンク
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, プール演算) ・ BCD補正など
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 61本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 51本 ・ N-chオープン・ドレイン入出力 : 8本
A/Dコンバータ		8ビット分解能×8チャンネル
D/Aコンバータ		8ビット分解能×2チャンネル
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 4チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル
タイマ出力		5本 (14ビットPWM出力可能: 1本, 8ビットPWM出力可能: 2本)
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)
ベクタ	マスカブル	内部: 15, 外部: 7
割り込み	ノンマスカブル	内部: 1
要因	ソフトウェア	1
テスト入力		内部: 1本
電源電圧		V _{DD} = 2.7 ~ 5.5 V
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (ファインピッチ) (14x14) ・ 100ピン・プラスチックQFP (14x20)

図1 - 16 μ PD78070AYのブロック図

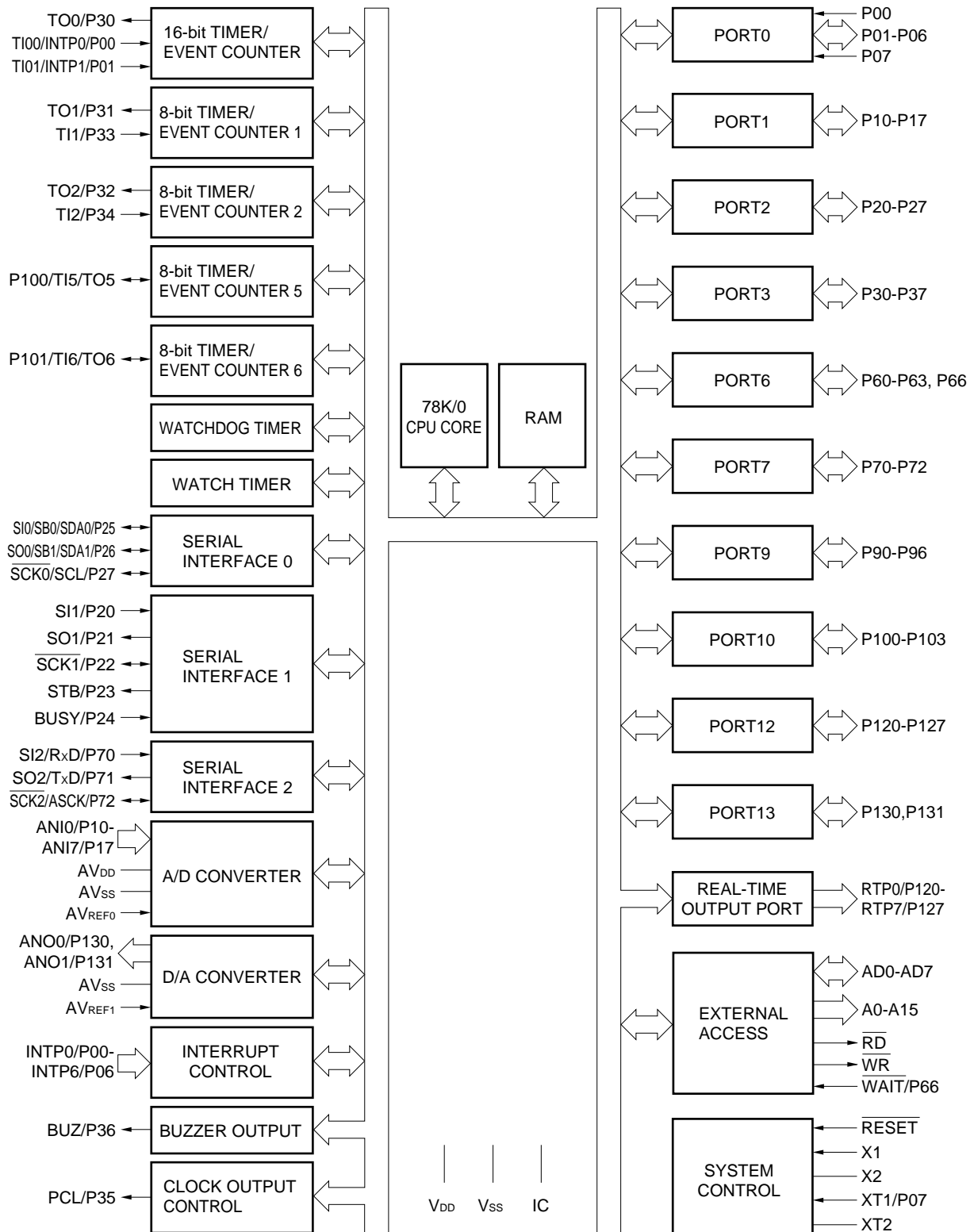
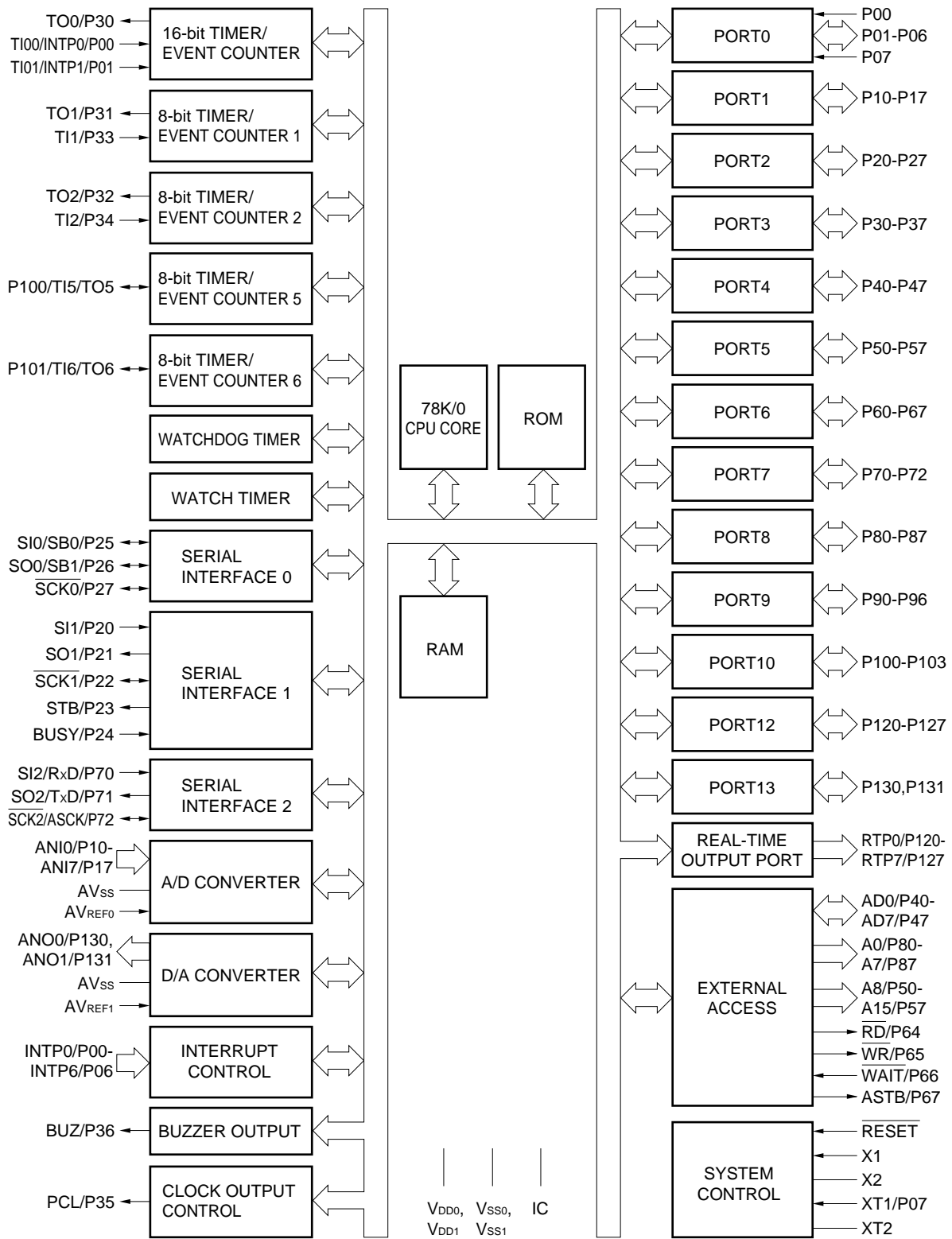


表1 - 16 μ PD78070AYの機能概要

項 目		機 能
内部メモリ	ROM	なし
	高速RAM	1024バイト
	バッファRAM	32バイト
メモリ空間		64 Kバイト
汎用レジスタ		8ビット×8×4バンク
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, プール演算) ・ BCD補正など
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 61本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 51本 ・ N-chオープン・ドレイン入出力 : 8本
A/Dコンバータ		8ビット分解能×8チャンネル
D/Aコンバータ		8ビット分解能×2チャンネル
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 4チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル
タイマ出力		5本 (14ビットPWM出力可能 : 1本, 8ビットPWM出力可能 : 2本)
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)
ベクタ	マスカブル	内部 : 15, 外部 : 7
割り込み	ノンマスカブル	内部 : 1
要因	ソフトウェア	1
テスト入力		内部 : 1本
電源電圧		V _{DD} = 2.7 ~ 5.5 V
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (14x20) ・ 100ピン・プラスチックQFP (ファインピッチ) (14x14)

図1 - 17 μ PD78075Bサブシリーズのブロック図

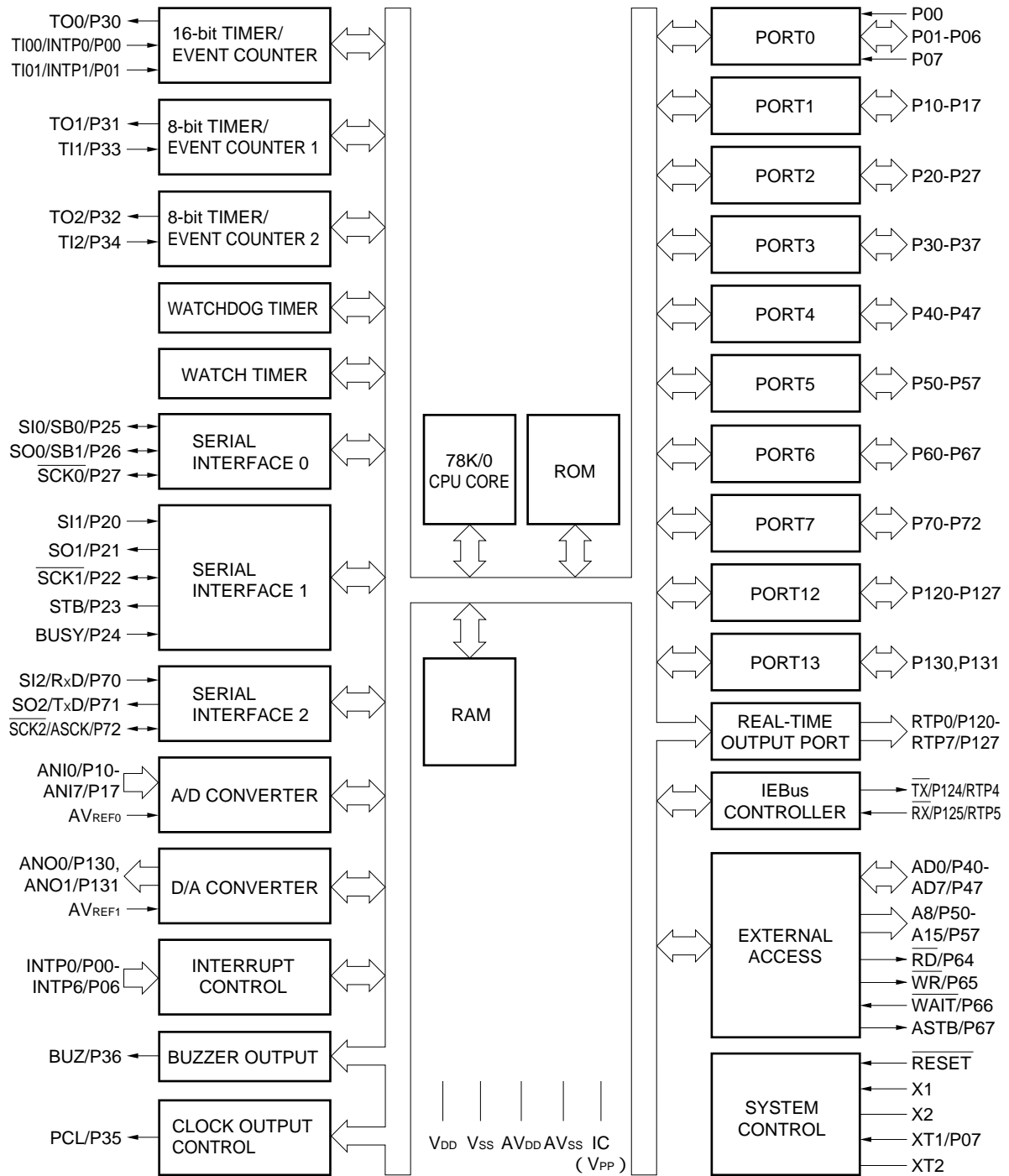


備考 内部ROM容量は製品によって異なります。

表1 - 17 μ PD78075Bサブシリーズの機能概要

品 名		μ PD78074B	μ PD78075B
内部メモリ	ROM	マスクROM	
		32 Kバイト	40 Kバイト
	高速RAM	1024バイト	
	バッファRAM	32バイト	
メモリ空間		64 Kバイト	
汎用レジスタ		8ビット×8×4バンク	
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μ s/0.8 μ s/1.6 μ s/3.2 μ s/6.4 μ s/12.8 μ s (5.0 MHz動作時)	
	サブシステム・ クロック選択時	122 μ s (32.768 kHz動作時)	
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 	
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 88本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 78本 ・ N-chオープン・ドレイン入出力 : 8本 	
A/Dコンバータ		8ビット分解能×8チャンネル	
D/Aコンバータ		8ビット分解能×2チャンネル	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 	
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 4チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		5本 (14ビットPWM出力可能 : 1本, 8ビットPWM出力可能 : 2本)	
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)	
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)	
ベクタ	マスカブル	内部 : 15, 外部 : 7	
割り込み	ノンマスカブル	内部 : 1	
要因	ソフトウェア	1	
テスト入力		内部 : 1本, 外部 : 1本	
電源電圧		$V_{DD} = 1.8 \sim 5.5 V$	
パッケージ		<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (ファインピッチ) (14x14, 樹脂厚1.45 mm) ・ 100ピン・プラスチックQFP (14x20, 樹脂厚2.7 mm) 	

図1 - 18 μ PD78098Bサブシリーズのブロック図



備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . () 内は μ PD78P098Bのとき

表1 - 18 μPD78098Bサブシリーズの機能概要

品 名		μ PD78095B	μ PD78096B	μ PD78098B	μ PD78P098B
内部メモリ	ROM	マスクROM			PROM
		40 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト ^{注1}
	高速RAM	1024バイト			
	バッファRAM	32バイト			
	拡張RAM	なし		2048バイト	2048バイト ^{注2}
メモリ空間		64 Kバイト			
汎用レジスタ		8 ビット × 8 × 4 バンク			
最小命令 実行時間	メイン・システム・ クロック選択時	0.5 μs/1.0 μs/2.0 μs/4.0 μs/8.0 μs/16.0 μs (6.0 MHz動作時)			
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)			
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット × 8ビット, 16ビット ÷ 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) ・ BCD補正など 			
I/Oポート		<ul style="list-style-type: none"> ・ 合計 : 69本 ・ CMOS入力 : 2本 ・ CMOS入出力 : 63本 ・ N-chオープン・ドレイン入出力 : 4本 			
IEBusコントローラ		実効伝送速度 : 3.9 kbps/17 kbps/26 kbps			
A/Dコンバータ		8 ビット分解能 × 8 チャンネル			
D/Aコンバータ		8 ビット分解能 × 2 チャンネル			
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 			
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 			
タイマ出力		3本 (14ビットPWM出力可能 : 1本)			
クロック出力		15.6 kHz, 31.3 kHz, 62.5 kHz, 125 kHz, 250 kHz, 500 kHz, 1.0 MHz, 2.0 MHz, 4.0 MHz (メイン・システム・クロック : 6.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)			
ブザー出力		977 Hz, 1.95 kHz, 3.9 kHz, 7.8 kHz (メイン・システム・クロック : 6.0 MHz動作時)			
ベクタ 割り込み 要因	マスカブル	内部 : 14, 外部 : 7			
	ノンマスカブル	内部 : 1			
	ソフトウェア	1			
テスト入力		内部 : 1本, 外部 : 1本			
電源電圧		V _{DD} = 2.7 ~ 6.0 V			
パッケージ		<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14) ・ 80ピン・セラミックWQFN (14x14) (μPD78P098Bのみ) 			

注1．メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

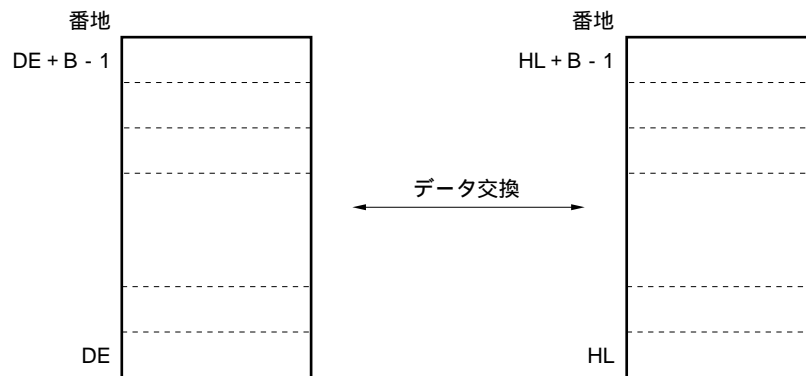
2．内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAMの変更可能。

第2章 ソフトウェアの基礎

2.1 データ転送

DEレジスタとHLレジスタで指定したアドレスを先頭アドレスとし、データの交換を行います。データ交換するバイト数は、Bレジスタで指定したバイト数になります。

図2 - 1 データ交換



(1) 使用するレジスタ

A, B, DE, HL

(2) プログラム・リスト

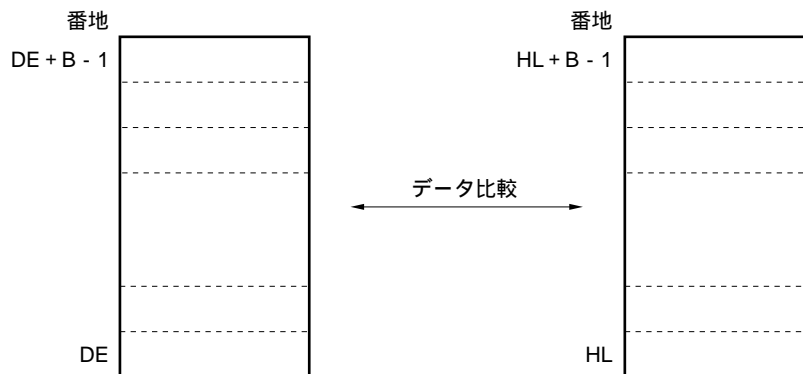
EXCH:

```
MOV    A,[DE]
XCH    A,[HL]
XCH    A,[DE]
INCW   DE
INCW   HL
DBNZ   B,$EXCH
RET
```

2.2 データ比較

DEレジスタとHLレジスタで指定したアドレスを先頭アドレスとし、データの比較を行います。データ比較するバイト数は、Bレジスタで指定したバイト数になります。比較結果が等しい場合はCY = 0, 等しくない場合はCY = 1でリターンします。

図2 - 2 データ比較



(1) 使用するレジスタ

A, B, DE, HL

(2) プログラム・リスト

COMP:

```

MOV    A,[DE]
CMP    A,[HL]
BNZ    $ERROR
INCW   DE
INCW   HL
DBNZ   B,$COMP
CLR1   CY
BR     RTN

```

ERROR:

```

SET1   CY

```

RTN:

```

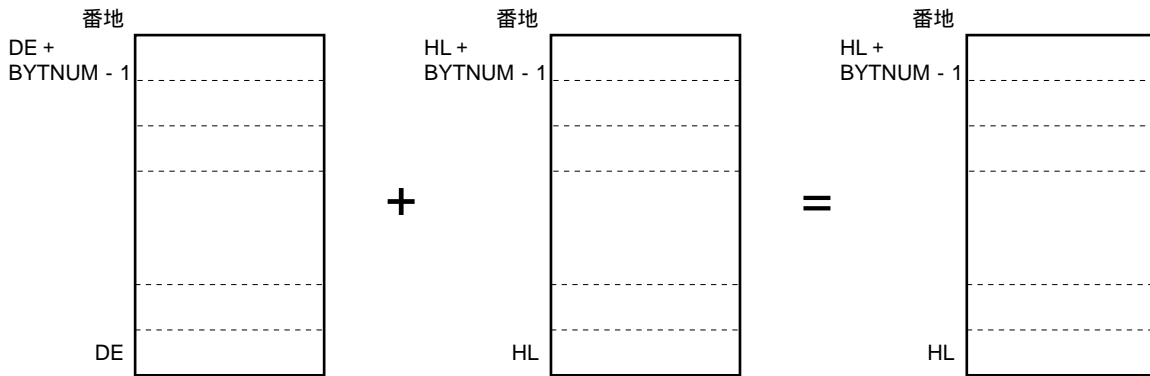
RET

```

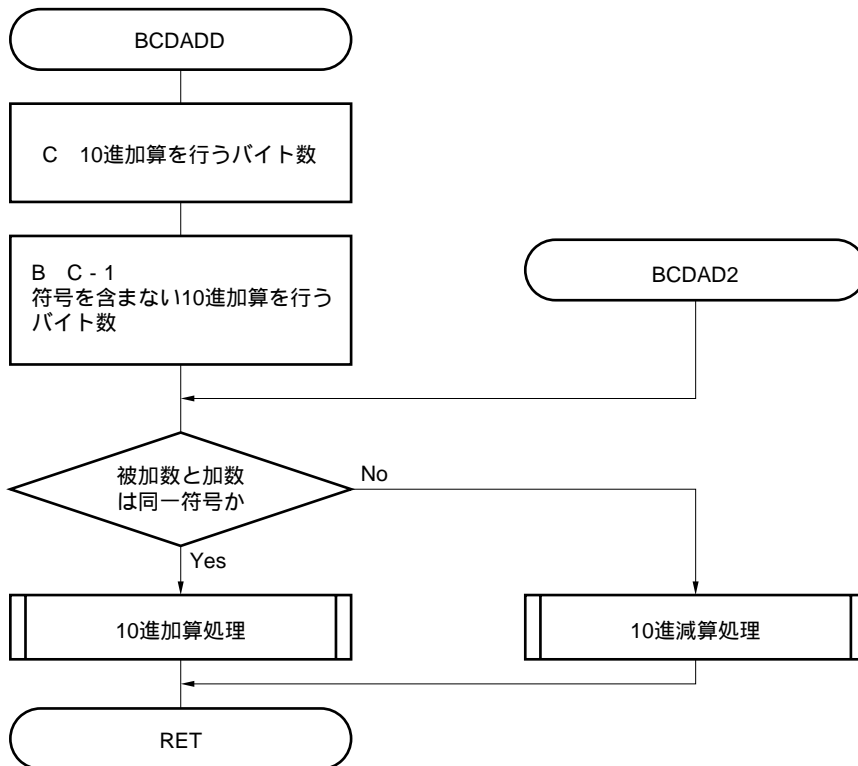
2.3 10進加算

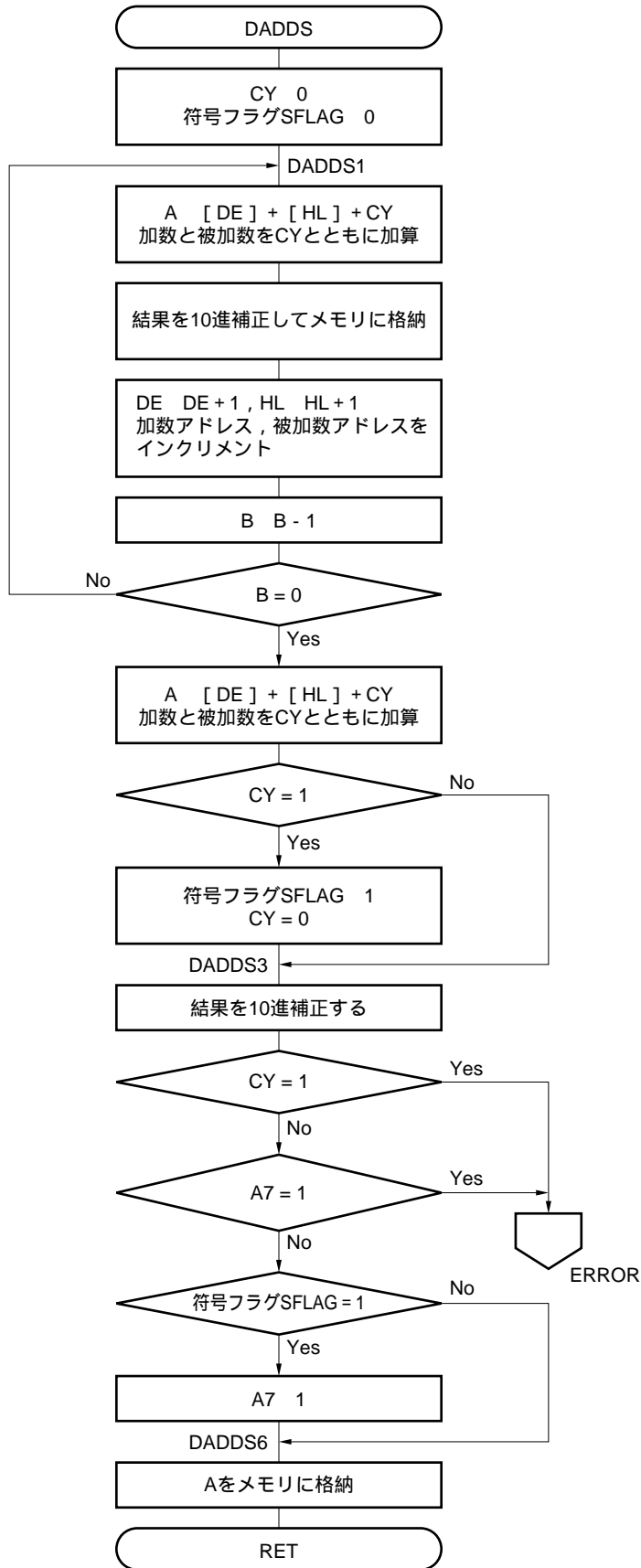
10進加算する最下位アドレスをDEレジスタとHLレジスタで指定し、BYTNUMで指定した桁数の加算を行います。加算結果は、HLレジスタで示される領域に格納します。また、加算した結果、オーバフロー、またはアンダフローが発生した場合は、エラー処理へ分岐します。分岐アドレスは、メインで'ERROR'と定義しパブリック宣言してください。

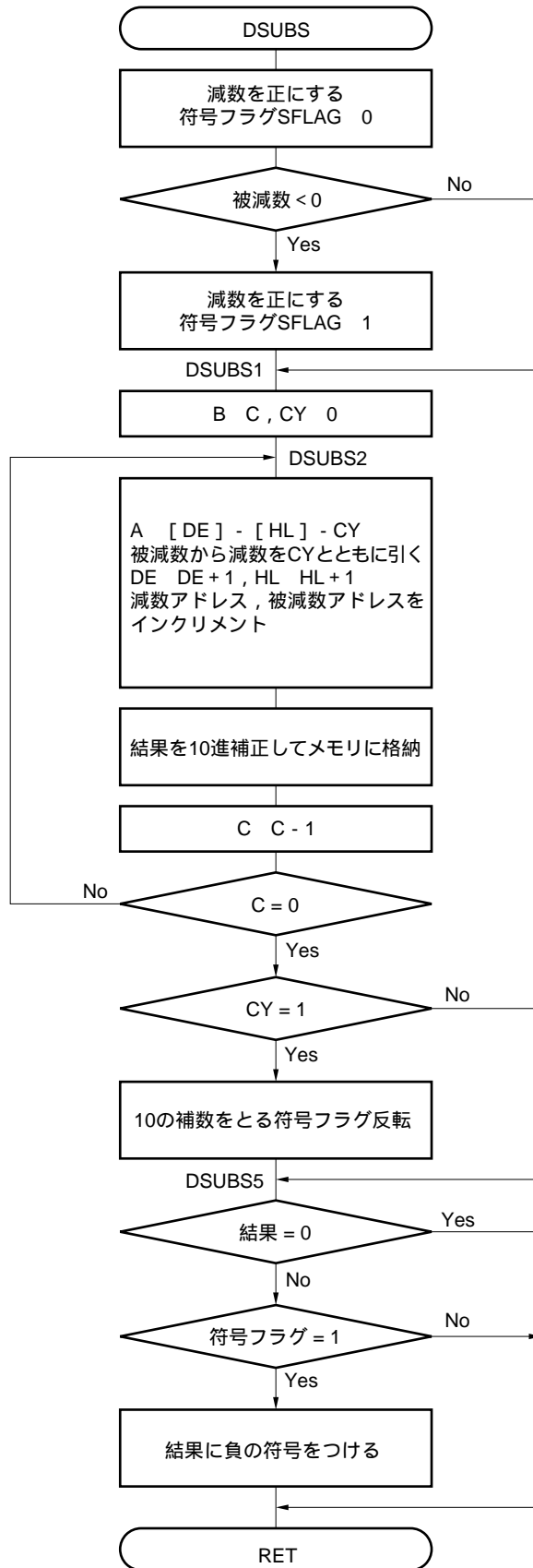
図2-3 10進加算



(1) フロー・チャート







(2) 使用するレジスタ

AX, BC, DE, HL

(3) プログラム・リスト

```

;*****
;
;      入力パラメータ
;          H L レジスタ:加数先頭アドレス
;          D E レジスタ:被加数先頭アドレス
;      出力パラメータ
;          H L レジスタ:演算結果先頭アドレス
;*****

PUBLIC BCDADD, BCDAD1, BCDAD2
PUBLIC DADDS
PUBLIC DSUBS
EXTRN  ERROR           ; エラー処理分岐アドレス
EXTBIT  SFLAG          ; 符号フラグ
;
BYTNUM EQU 4           ; 演算桁数の設定
;
CSEG
BCDADD:
MOV     C, #BYTNUM     ; 演算桁数をCレジスタに設定
BCDAD1:
MOV     A, C
MOV     B, A
DEC     B
BCDAD2:
MOV     A, [HL+BYTNUM-1] ; 被加数最上位ビット(符号データ)の取り込み
XCHW   AX, DE
XCHW   AX, HL
XCHW   AX, DE
XOR    A, [HL+BYTNUM-1] ; 被加数最上位ビット(符号データ)の取り込み
XCHW   AX, HL
XCHW   AX, DE
XCHW   AX, HL

BT     A, $BCDAD3      ; 符号一致? ELSE 減算処理
CALL   !DADDS          ; THEN 加算処理
RET
BCDAD3:
CALL   !DSUBS
RET

```

```

=====
;
;          ***** 10進加算 *****
;
=====

DADDS:
    CLR1    CY
    CLR1    SFLAG
DADDS1:
    MOV     A, [DE]           ; 最下位桁から加算開始
    ADDC   A, [HL]
    ADJBA
    MOV     [HL], A
    INCW   HL
    INCW   DE
    DBNZ   B, $DADDS1       ; (演算桁数-1) の加算終了

    MOV     A, [DE]
    ADDC   A, [HL]
DADDS2:
    BNC    $DADDS3           ; 負の加算
    SET1   SFLAG           ; THEN 負の状態に設定
    CLR1   CY
DADDS3:
    ADJBA
    BNC    $DADDS4
    BR     ERROR
DADDS4:
    BF     A, 7, $DADDS5
    BR     ERROR
DADDS5:
    BF     SFLAG, $DADDS6   ; 符号設定
    SET1   A, 7
DADDS6:
    MOV     [HL], A
    RET

```

```

;-----
;          ***** 10進減算 *****
;-----
DSUBS:
    PUSH    HL
    CLR1   SFLAG
    MOV     A, [HL+BYTNUM-1]      ; 減数を正の値に設定
    CLR1   A.7
    MOV     [HL+BYTNUM-1], A
    XCHW   AX, DE
    XCHW   AX, HL
    XCHW   AX, DE
    MOV     A, [HL+BYTNUM-1]
    BF     A.7, $DSUBS1          ; 被減数が負
    CLR1   A.7                  ; THEN 被減数を正の値に設定
    MOV     [HL+BYTNUM-1], A
    SET1   SFLAG                ; 符号を負に設定

DSUBS1:
    XCHW   AX, HL
    XCHW   AX, DE
    XCHW   AX, HL
    MOV     A, C
    MOV     B, A
    CLR1   CY

DSUBS2:
    MOV     A, [DE]
    SUBC   A, [HL]
    ADJBS
    MOV     [HL], A
    INCW   HL
    INCW   DE
    DBNZ   C, $DSUBS2          ; 演算桁数の減算終了

    BNC    $DSUBS5              ; THEN 減数>被減数
    POP    HL
    PUSH   HL
    MOV    A, B
    MOV    C, A

DSUBS3:
    MOV     A, #99H             ; 減算結果に対して補数演算
    SUB     A, [HL]            ;      (減算結果-99H)
    ADJBS
    MOV     [HL], A
    INCW   HL
    DBNZ   C, $DSUBS3

    POP    HL
    PUSH   HL
    SET1   CY

    MOV    A, B
    MOV    C, A

DSUBS4:
    MOV     A, #0               ; 補数演算結果に1を加算
    ADDC   A, [HL]
    ADJBA

```

```

MOV    [HL], A
INCW   HL
DBNZ   C, $DSUBS4
MOV1   CY, SFLAG
NOT1   CY
MOV1   SFLAG, CY
;=====
;    **** 演算結果0チェック ****
;=====

DSUBS5:
MOV    A, B
MOV    C, A
POP    HL
PUSH   HL
MOV    A, #0

DSUBS6:
CMP    A, [HL]           ; 最下桁から0チェック
INCW   HL
BNZ    $DSUBS7
DBNZ   C, $DSUBS6       ; 全桁0チェック終了
POP    HL               ; THEN 減算結果=0
RET

DSUBS7:
BF     SFLAG, $DSUBS8   ; 減算結果が負
POP    HL               ; THEN 符号設定
PUSH   HL
MOV    A, [HL+BYTNUM-1]
SET1   A, 7
MOV    [HL+BYTNUM-1], A

DSUBS8:
POP    HL
RET

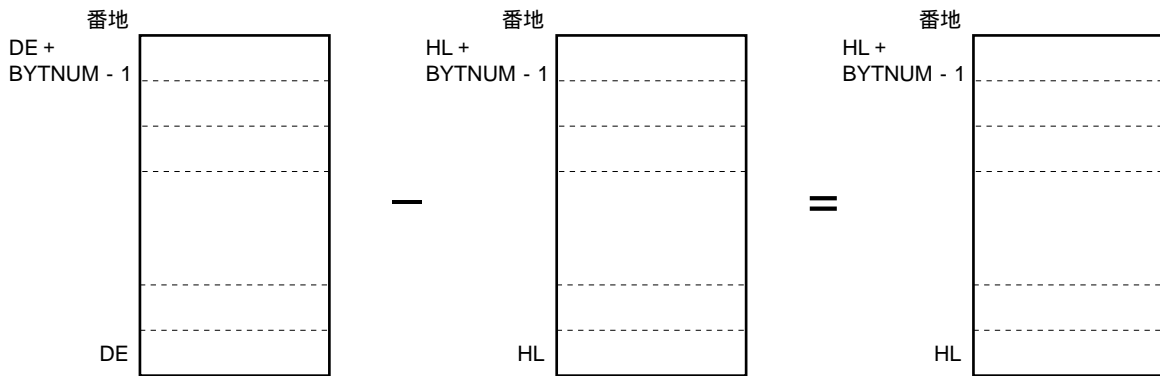
```

2.4 10進減算

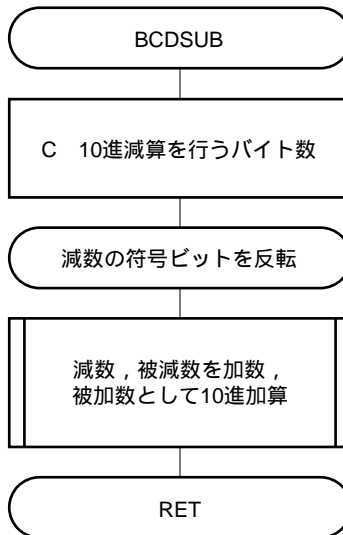
10進減算する最下位アドレスをDEレジスタとHLレジスタで指定し、BYTNUMで指定した桁数の減算を行います。減算結果は、HLレジスタで示される領域に格納します。また、減算した結果、オーバフロー、またはアンダフローが発生した場合は、エラー処理へ分岐します。分岐アドレスは、メインで'ERROR'と定義しパブリック宣言してください。

このプログラムは、被減数、減数を被加数、加数に置き換え、10進加算のプログラムをコールしています。

図2 - 4 10進減算



(1) フロー・チャート



(2) 使用するレジスタ

AX, BC, DE, HL

(3) プログラム・リスト

```

*****
;
;   入力パラメータ
;       H L レジスタ:減数先頭アドレス
;       D E レジスタ:被減数先頭アドレス
;   出力パラメータ
;       H L レジスタ:演算結果先頭アドレス
;
*****

        PUBLIC  BYTNUM
        PUBLIC  BCDSUB
        EXTRN   BCDADD, BCDAD2

;
BYTNUM EQU      4           ; 演算桁数の設定
;
        CSEG
BCDSUB:
        MOV     C, #BYTNUM   ; 演算桁数をCレジスタに設定
BCDSU1:
        MOV     A, C
        MOV     B, A
        DEC     B

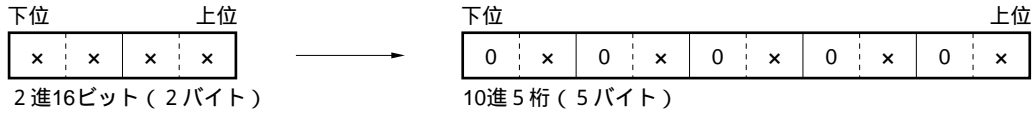
        MOV     A, [HL+BYTNUM-1] ; 減数の最上位ビット(符号データ)を加算用に設定
        MOV1    CY, A. 7       ; 符号データを反転
        NOT1    CY
        MOV1    A. 7, CY
        MOV     [HL+BYTNUM-1], A
        CALL    !BCDAD2       ; 10進加算処理をコール
        RET

```

2.5 2進10進変換

データ・メモリ内の2進16ビット・データを10進5桁のデータに変換し、データ・メモリ内に格納します。2進16ビットのデータを10進の10で桁数分(4回)除算し、そのときの演算結果と余りの値により変換しています。

図2-5 2進10進変換



例 FFHを10進変換



(1) 使用レジスタ

AX, BC, HL

(2) プログラム・リスト

```

PUBLIC B_DCONV
DATDEC EQU 10

DSEG SADDRP
REGA: DS 2 ; 2進16ビット・データ格納
REGB: DS 5 ; 10進5桁データ格納

COLNUM EQU 4

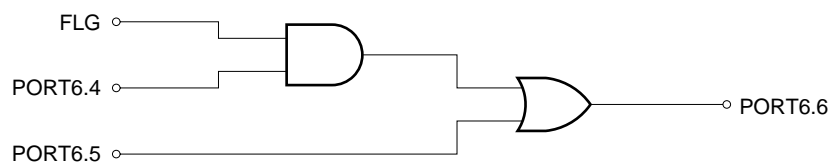
B_DCONV:
MOVW AX, REGA
MOV B, #COLNUM
MOVW HL, #REGB

B_D1:
MOV C, #DATDEC
DIVUW C
XCH A, C
MOV [HL], A
INCW HL
XCH A, C
DBNZ B, $B_D1
MOV A, X
MOV [HL], A
RET
    
```


2.6 ビット演算操作命令

データ・メモリ内のフラグ1ビットとポート6のビット4の論理積をとり，その結果とポート6のビット5の論理和をポート6のビット6に出力します。

図2 - 6 ビット演算



(1) プログラム・リスト

```
PUBLIC BIT_OP,FLG

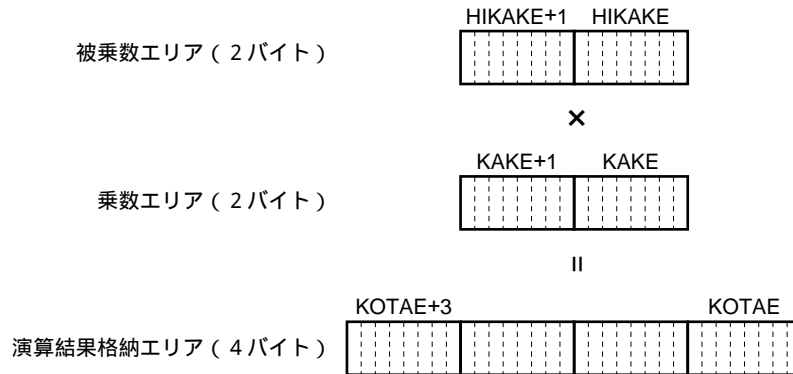
BSEG
FLG DBIT

BIT_OP:
MOV1 CY,FLG
AND1 CY,P6.4
OR1 CY,P6.5
MOV1 P6.6,CY
RET
```

2.7 2進乗算 (16ビット×16ビット)

被乗数エリア (HIKAKE ; 16ビット) , 乗数エリア (KAKE ; 16ビット) のデータを乗算し , 結果を , 演算結果格納エリア (KOTAE) に格納します。

図 2 - 7 2進乗算



<処理内容>

乗算は , 乗数のビット “ 1 ” の数だけ被乗数を加算する方法で , 実現しています。

<使用内容>

被乗数エリア (HIKAKE) , 乗数エリア (KAKE) にデータを設定し , サブルーチンS_KAKERUをコールしてください。

```

      EXTRN  S_KAKERU
      EXTRN  HIKAKE, KAKE, KOTAE
MAIN:                                ; 乗数
      .
      .
      HIKAKE=WORKA (A)                ;被乗数エリアに被乗数データを格納
      HIKAKE+1=WORKA+1 (A)            ;
      KAKE=WORKB (A)                  ;乗数エリアに乗数データを格納
      KAKE+1=WORKB+1 (A)              ;
      CALL  !S_KAKERU                  ;乗数計算ルーチンコール
      HL=#KOTAE                        ;HL←演算結果格納エリアのRAM番地
      .                                ;間接アドレス転送により結果を格納する
      .
      .

```

注意 データ・メモリの操作は , 8ビットで行ってください。

(1) 入出力条件

入力パラメータ

HIKAKE : 被乗数データを格納してください。

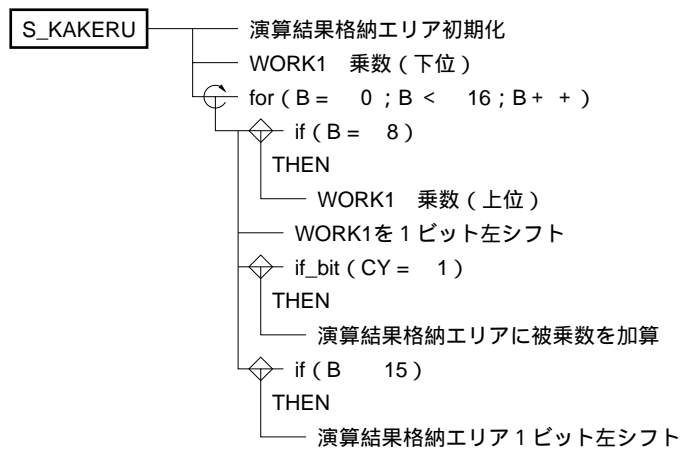
KAKE : 乗数データを格納してください。

出力パラメータ

KOTAE : 演算の結果を格納します。

(2) SPDチャート

[乗算サブルーチン]



(3) 使用するレジスタ

A , B

(4) プログラム・リスト

```

$PC(054)
;
PUBLIC HIKAKE, S_KAKERU, KAKE, KOTAE
;
;*****
;          R A M定義
;*****
          DSEG      SADDR
HIKAKE:   DS        2          ;被乗数エリア
KAKE:     DS        2          ;乗数エリア
WORK1:    DS        1          ;ワ-クエリア
KOTAE:    DS        4          ;演算結果格納エリア
;
;*****
;          乗算
;*****
          CSEG
S_KAKERU:
          WORK1=KAKE+1 (A)      ;ワ-クに乗数(下位)を格納
          KOTAE=#0             ;演算結果格納エリア初期化
          KOTAE+1=#0
          KOTAE+2=#0
          KOTAE+3=#0
          for(B=#0;B<#16;B++) (A) ;下位乗数が終了すれば
            if(B == #8) (A)      ;ワ-クに上位の乗数を格納
              WORK1=KAKE (A)
            endif
            A=WORK1              ;乗数1ビット左シフト
            CLR1 CY
            ROLC A, 1
            WORK1=A
            if_bit(CY)           ;キャリーがでたら
              KOTAE+=HIKAKE (A) ; 演算結果格納エリアに被乗数を加算する
              (KOTAE+1)+=HIKAKE+1, CY (A)
              (KOTAE+2)+=#0, CY (A)
              (KOTAE+3)+=#0, CY (A)
            endif
            if(B != #15) (A)
              KOTAE+=KOTAE (A) ;演算結果格納エリア1ビット左シフト
              KOTAE+1+=KOTAE+1, CY (A)
              KOTAE+2+=KOTAE+2, CY (A)
              KOTAE+3+=KOTAE+3, CY (A)
            endif
          next
          RET
          END

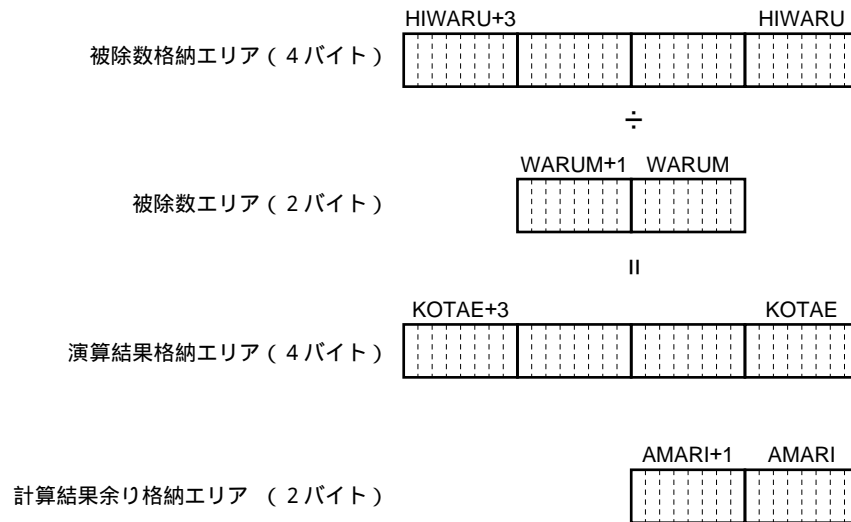
```

2.8 2進除算 (32ビット ÷ 16ビット)

被除数エリア (HIWARU ; 32ビット) , 除数エリア (WARUM ; 16ビット) で除算し , 結果を , 演算結果格納エリア (KOTAE) に格納します。余りが発生した場合は , 計算結果余り格納エリア (AMARI) に格納します。

除数を 0 として計算した場合は , エラーとします。

図 2 - 8 2進除算



<処理内容>

被除数の上位桁からワーク・エリアに左シフトします。ワーク・エリアの内容が除数より大きければ , ワーク・エリアから除数を減算し , 被除数の最下位ビットを 1 にします。以上の方法で被除数のビット数だけ実行することにより除算が実現します。

除数を 0 とした場合は , エラー・フラグ (F_ERR) をセットします。

<使用方法>

被除数エリア (HIWARU) , 除数エリア (WARUM) に , データを設定し , サブルーチンS_WARUをコールしてください。

```

EXTRN  S_WARU
EXTRN  HIWARU,WARUM,KOTAE
EXBIT  F_ERR

MAIN:
      .      ;
      .      ;
HIWARU=WORKA (A) ;被除数エリアに被乗数データ格納
HIWARU+1=WORKA+1 (A) ;
WARUM=WORKB (A) ;除数エリアに乗数データ格納
WARUM+1=WORKB+1 (A) ;
CALL   !S_WARU ;除数計算ルーチンコール
HL=#KOTAE ;HL←演算結果格納エリアのRAM番地格納
      .      ;
      .      ;
if_bit(F_ERR) ;
  計算エラー処理 ;
endif ;
      .
      .
      .

```

注意 データ・メモリの操作は , 8ビットで行ってください。

(1) 入出力条件

入力パラメータ

HIWARU : 被除数データを格納してください。

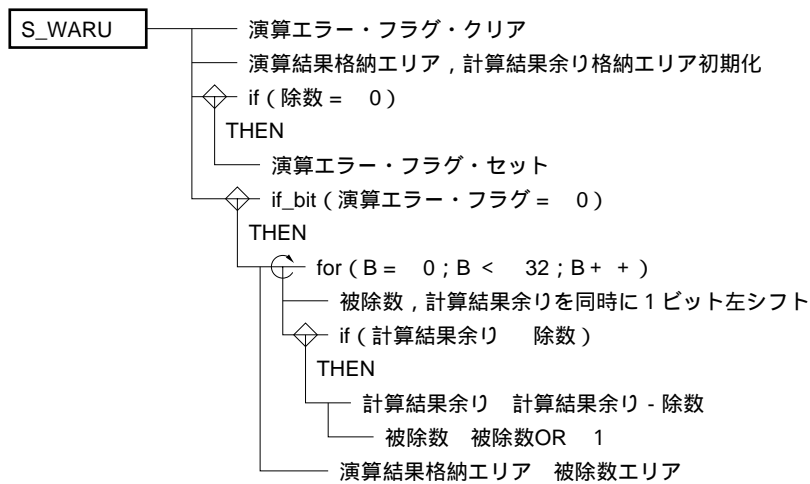
WARUM : 除数データを格納してください。

出力パラメータ

KOTAE : 計算の結果を格納します。

(2) SPDチャート

[除算サブルーチン]



(3) 使用するレジスタ

A, B

(4) プログラム・リスト

```

$PC(054)
;
PUBLIC S_WARU, HIWARU, WARUM, F_ERR
EXTRN KOTAE
;
;*****
;          R A M定義
;*****
          DSEG      SADDR
HIWARU:   DS        4          ;被除数エリア
WARUM:    DS        2          ;除数エリア
AMARI:    DS        2          ;計算結果余り格納エリア
          BSEG
F_ERR     DBIT       ;演算エラーフラグ
;*****
;          除算
;*****
          CSEG
S_WARU:
          CLR1      F_ERR      ;演算エラーフラグクリア
          AMARI=#0      ;計算結果余り格納エリアゼロクリア
          AMARI+1=#0
          KOTAE=#0      ;演算結果格納エリアゼロクリア
          KOTAE+1=#0
          KOTAE+2=#0
          KOTAE+3=#0
          if(WARUM == #0)      ;除数=0?
              if(WARUM+1 == #0)
                  SET1      F_ERR      ; 除数が0なら演算エラーフラグセット
              endif
          endif
          if_bit(!F_ERR)      ;演算エラー?
          for(B=#0;B < #32;B++) (A) ;32ビット除算開始
              HIWARU+=HIWARU (A)      ;被除数および余りを1ビット左シフト
              HIWARU+1+=HIWARU+1, CY (A)
              HIWARU+2+=HIWARU+2, CY (A)
              HIWARU+3+=HIWARU+3, CY (A)
              AMARI+=AMARI, CY (A)
              AMARI+1+=AMARI+1, CY (A)
              ;
              if(AMARI+1 > WARUM+1) (A) ;余り ≥ 除数?
                  AMARI-=WARUM (A)      ; 余り=余り-除数
                  AMARI+1-=WARUM+1, CY (A)
                  HIWARU |= #1          ;被除数エリアの1ビット目に1を格納
              elseif_bit(Z)
                  if(AMARI >= WARUM) (A)
                      AMARI-=WARUM(A)
                      AMARI+1-=WARUM+1, CY (A)
                      HIWARU |= #1
                  endif
              endif
          next
          KOTAE=HIWARU (A)      ;演算結果を格納する
          KOTAE+1=HIWARU+1 (A)
          KOTAE+2=HIWARU+2 (A)
          KOTAE+3=HIWARU+3 (A)
          endif
          RET
          END

```


第3章 システム・クロック切り替えの応用

78K/0シリーズは、プロセッサ・クロック・コントロール・レジスタ（PCC）、発振モード選択レジスタ（OSMS）、クロック切り替え選択レジスタ1、2（IECL1、IECL2）を書き換えることにより、CPUクロックの選択および発振器の動作を制御することができます。

CPUクロックを変更する場合は、PCCへの書き換え命令からCPUクロックが実際に切り替わるまで、表3 - 1に示す時間がかかります。したがって、PCCへの書き換え命令後、しばらくの間は、書き換え前後のどちらのクロックで動作しているか不定になりますので、メイン・システム・クロックの停止や、STOP命令を行う場合は、表3 - 1に示す命令分のウェイトが必要になります。

注意 IECL1、IECL2は μ PD78098Bサブシリーズのみ内蔵しています。

表3 - 1 CPUクロックの切り替えに要する最大時間

切り替え後の設定値					切り替え前の設定値																							
MCS	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
					0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
x	0	0	0	0	/				8 命令				4 命令				2 命令				1 命令				1 命令			
x	0	0	0	1					16 命令				4 命令				2 命令				1 命令				1 命令			
x	0	0	1	0					16 命令				8 命令				2 命令				1 命令				1 命令			
x	0	0	1	1					16 命令				8 命令				4 命令				1 命令				1 命令			
x	0	1	0	0					16 命令				8 命令				4 命令				2 命令				1 命令			
1	1	x	x	x					fx/2fx _T 命令 (77 命令)				fx/4fx _T 命令 (39 命令)				fx/8fx _T 命令 (20 命令)				fx/16fx _T 命令 (10 命令)				fx/32fx _T 命令 (5 命令)			
0	1	x	x	x	fx/4fx _T 命令 (39 命令)				fx/8fx _T 命令 (20 命令)				fx/16fx _T 命令 (10 命令)				fx/32fx _T 命令 (5 命令)				fx/64fx _T 命令 (3 命令)							

注意 CPUクロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを 0 1) を同時に行わないでください。
 ただし, CPUクロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを 1 0) は同時に設定可能です。

備考 1 . 1 命令は, 切り替え前のCPUクロックの最小命令実行時間となります。
 2 . () 内は, fx = 5.0 MHz, fx_T = 32.768 kHz動作時。

図3-1 プロセッサ・クロック・コントロール・レジスタのフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	FFFBH	04H	R/W ^{注1}

R/W	CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択		
					MCS=1		MCS=0
0	0	0	0	f _{xx}	f _x	f _x /2	
	0	0	1	f _{xx} /2	f _x /2	f _x /2 ²	
	0	1	0	f _{xx} /2 ²	f _x /2 ²	f _x /2 ³	
	0	1	1	f _{xx} /2 ³	f _x /2 ³	f _x /2 ⁴	
	1	0	0	f _{xx} /2 ⁴	f _x /2 ⁴	f _x /2 ⁵	
1	0	0	0	f _{xT} /2			
	0	0	1				
	0	1	0				
	0	1	1				
	1	0	0				
上記以外				設定禁止			

R	CLS	CPUクロックのステータス
	0	メイン・システム・クロック
	1	サブシステム・クロック

R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択
	0	内蔵フィードバック抵抗を使用する
	1	内蔵フィードバック抵抗を使用しない

R/W	MCC	メイン・システム・クロックの発振の制御 ^{注2}
	0	発振可能
	1	発振停止

注1 . ビット5は, Read Onlyです。

2 . CPUがサブシステム・クロックで動作しているとき, メイン・システム・クロックの発振の停止は, MCCを使用してください。STOP命令は使用しないでください。

注意 ビット3には, 必ず0を設定してください。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

2 . f_x : メイン・システム・クロック発振周波数

3 . f_{xT} : サブシステム・クロック 発振周波数

4 . MCS : 発振モード選択レジスタ (OSMS) のビット0

図3 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット (μ PD78083サブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	PCC2	PCC1	PCC0	FFF BH	04 H	R/W

PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択		
				MCS=1	MCS=0
0	0	0	f_{xx}	f_x	$f_x/2$
0	0	1	$f_{xx}/2$	$f_x/2$	$f_x/2^2$
0	1	0	$f_{xx}/2^2$	$f_x/2^2$	$f_x/2^3$
0	1	1	$f_{xx}/2^3$	$f_x/2^3$	$f_x/2^4$
1	0	0	$f_{xx}/2^4$	$f_x/2^4$	$f_x/2^5$
上記以外			設定禁止		

注意 ビット3-7には、必ず0を設定してください。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2 . f_x : メイン・システム・クロック発振周波数

3 . MCS : 発振モード選択レジスタ (OSMS) のビット0

図3 - 3 プロセッサ・クロック・コントロール・レジスタのフォーマット (μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	FFF BH	04 H	R/W ^{注1}	
R/W	CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択							
	0	0	0	0	f _{xx}							
		0	0	1	f _{xx} /2							
		0	1	0	f _{xx} /2 ²							
		0	1	1	f _{xx} /2 ³							
		1	0	0	f _{xx} /2 ⁴							
	1	0	0	0	f _{xT} /2							
		0	0	1								
		0	1	0								
		0	1	1								
		1	0	0								
	上記以外				設定禁止							
R	CLS	CPUクロックのステータス										
	0	メイン・システム・クロック										
	1	サブシステム・クロック										
R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択										
	0	内蔵フィードバック抵抗を使用する										
	1	内蔵フィードバック抵抗を使用しない										
R/W	MCC	メイン・システム・クロックの発振の制御 ^{注2}										
	0	発振可能										
	1	発振停止										

注1 . ビット5は、Read Onlyです。

2 . CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止は、MCCを使用してください。STOP命令は使用しないでください。

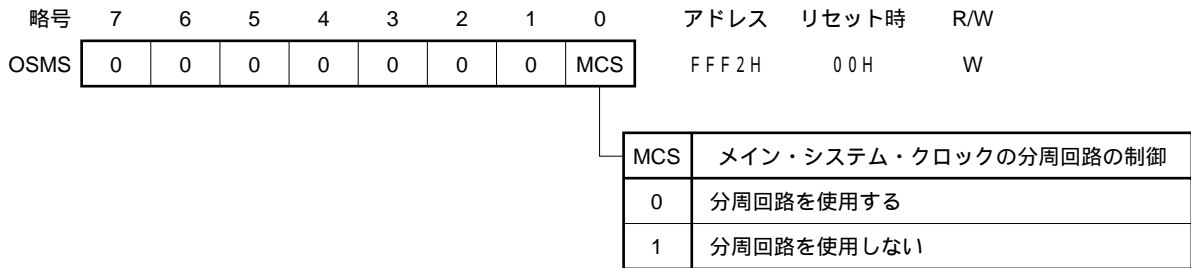
注意 ビット3には、必ず0を設定してください。

備考1 . f_{xx} : メイン・システム・クロック周波数

2 . f_{xT} : サブシステム・クロック発振周波数

図3 - 4 発振モード選択レジスタのフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)



注意1 . OSMSへの書き込み命令(同じ値を書き込む場合を含みます)を実行すると、書き込み命令実行時のみ、メイン・システム・クロック周期が最大2/fx長くなります。

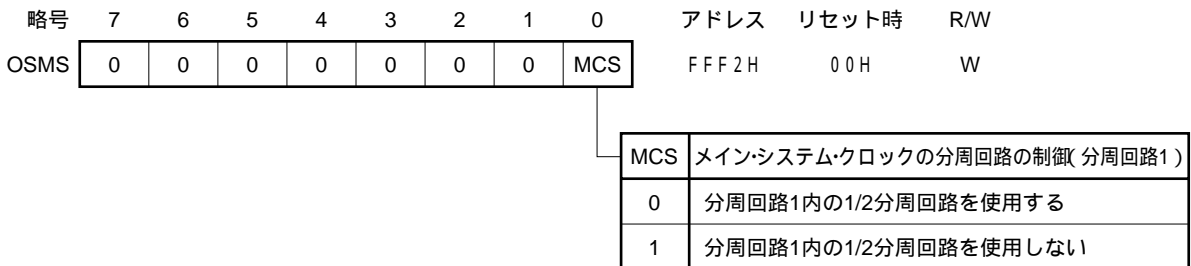
このため、周辺ハードウェアのうち、メイン・システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。

また、発振モードを切り替えた場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。

したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

2 . MCSに1を設定する場合は、V_{DD} 2.7 Vになってから行ってください。

図3 - 5 発振モード選択レジスタのフォーマット (μ PD78098Bサブシリーズ)



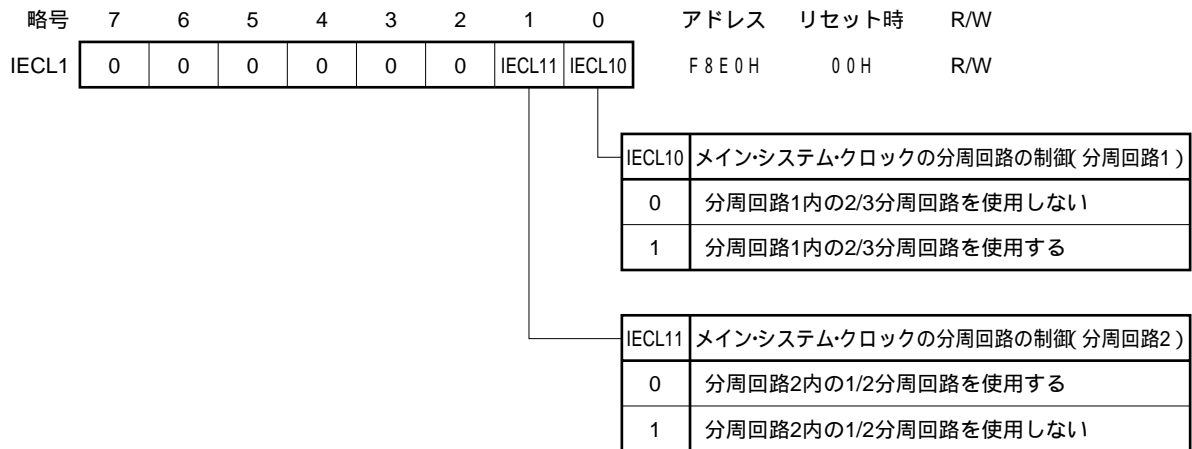
注意 OSMSへの書き込み命令(同じ値を書き込む場合を含みます)を実行すると、書き込み命令実行時のみ、メイン・システム・クロック周期が最大2/fx長くなります。

このため、周辺ハードウェアのうち、メイン・システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。

また、発振モードを切り替えた場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。

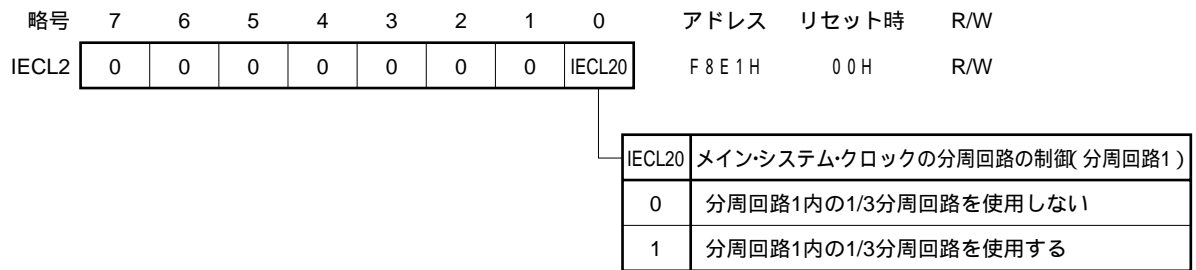
したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

図3 - 6 クロック切り替え選択レジスタ1のフォーマット (μPD78098Bサブシリーズ)



注意 ビット2-7には、必ず0を設定してください。

図3 - 7 クロック切り替え選択レジスタ2のフォーマット (μPD78098Bサブシリーズ)



注意 ビット1-7には、必ず0を設定してください。

一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表3 - 2、表3 - 3のようになります。

表3 - 2 CPUクロックと最小命令実行時間の関係 (μ PD78098Bサブシリーズ以外)

CPUクロック (f_{CPU})	最小命令実行時間 : $2/f_{CPU}$
f_x	0.4 μ s
$f_x/2$	0.8 μ s
$f_x/2^2$	1.6 μ s
$f_x/2^3$	3.2 μ s
$f_x/2^4$	6.4 μ s
$f_x/2^5$	12.8 μ s
f_{XT} ^注	122 μ s

注 μ PD78083サブシリーズを除く。

備考 $f_x = 5.0$ MHz, $f_{XT} = 32.768$ kHz

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

表3 - 3 CPUクロック (f_{CPU}) 一覧 (μPD78098Bサブシリーズ)

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択									
				MCS	0	0	0	0	1	1	1	1	
				IECL20	0	0	1	1	0	0	1	1	
				IECL10	0	1	0	1	0	1	0	1	
0	0	0	0	f _{xx}	f _x /2 (0.67 μs)	(2f _x /3) / 2 (1.00 μs)	(f _x /3) / 2 (2.00 μs)	(2f _x /9) / 2 (3.00 μs)	f _x (設定禁止)	2f _x /3 (0.50 μs)	f _x /3 (1.00 μs)	2f _x /9 (1.50 μs)	
	0	0	1	f _{xx} /2	f _x /2 ² (1.33 μs)	(2f _x /3) / 2 ² (2.00 μs)	(f _x /3) / 2 ² (4.00 μs)	(2f _x /9) / 2 ² (6.00 μs)	f _x /2 (0.67 μs)	(2f _x /3) / 2 (1.00 μs)	(f _x /3) / 2 (2.00 μs)	(2f _x /9) / 2 (3.00 μs)	
	0	1	0	f _{xx} /2 ²	f _x /2 ³ (2.67 μs)	(2f _x /3) / 2 ³ (4.00 μs)	(f _x /3) / 2 ³ (8.00 μs)	(2f _x /9) / 2 ³ (12.0 μs)	f _x /2 ² (1.33 μs)	(2f _x /3) / 2 ² (2.00 μs)	(f _x /3) / 2 ² (4.00 μs)	(2f _x /9) / 2 ² (6.00 μs)	
	0	1	1	f _{xx} /2 ³	f _x /2 ⁴ (5.33 μs)	(2f _x /3) / 2 ⁴ (8.00 μs)	(f _x /3) / 2 ⁴ (16.0 μs)	(2f _x /9) / 2 ⁴ (24.0 μs)	f _x /2 ³ (2.67 μs)	(2f _x /3) / 2 ³ (4.00 μs)	(f _x /3) / 2 ³ (8.00 μs)	(2f _x /9) / 2 ³ (12.0 μs)	
	1	0	0	f _{xx} /2 ⁴	f _x /2 ⁵ (10.7 μs)	(2f _x /3) / 2 ⁵ (16.0 μs)	(f _x /3) / 2 ⁵ (32.0 μs)	(2f _x /9) / 2 ⁵ (48.0 μs)	f _x /2 ⁴ (5.33 μs)	(2f _x /3) / 2 ⁴ (8.00 μs)	(f _x /3) / 2 ⁴ (16.0 μs)	(2f _x /9) / 2 ⁴ (24.0 μs)	
1	0	0	0	f _{xT} /2 (122 μs)									
	0	0	1										
	0	1	0										
	0	1	1										
	1	0	0										
上記以外				設定禁止									

備考1 . f_x : メイン・システム・クロック発振周波数

2 . f_{xx} : メイン・システム・クロック周波数

3 . f_{xT} : サブシステム・クロック発振周波数

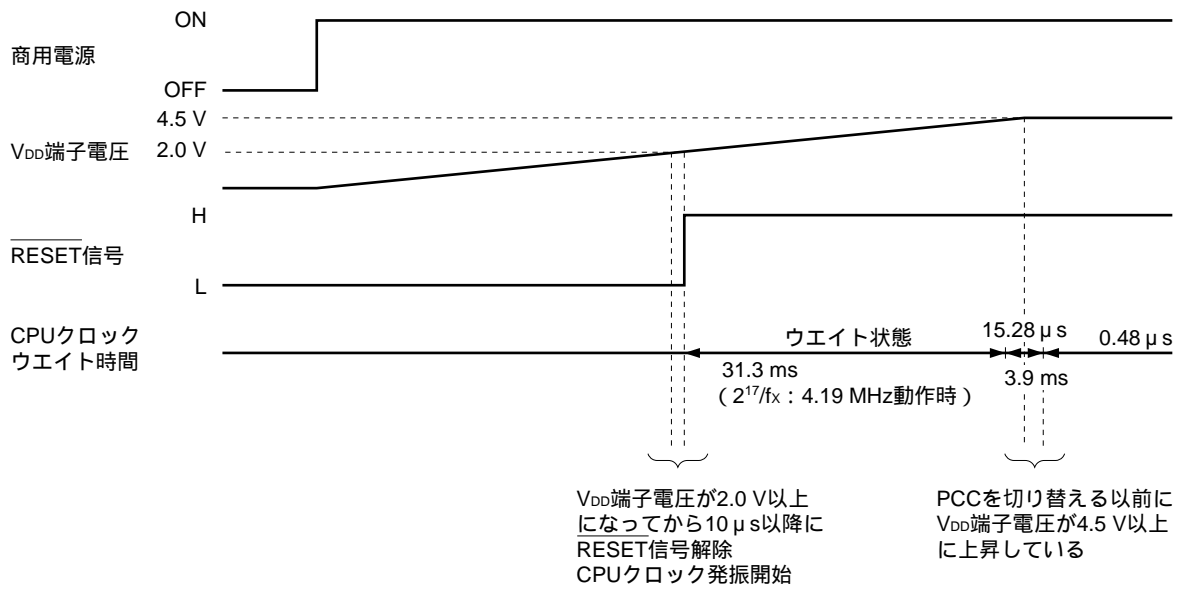
4 . () 内は , f_x = 6.0 MHzまたはf_{xT} = 32.768 kHz動作時の最小命令実行時間 : 2/f_{CPU}。

3.1 RESET後のPCCの切り替え

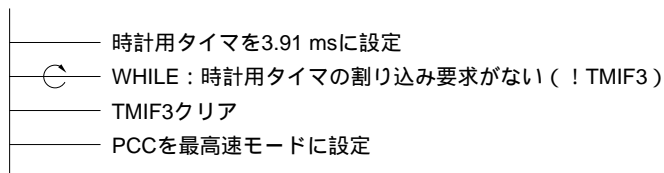
RESET信号発生により,CPUクロックはメイン・システム・クロックの最低速モード(プロセッサ・クロック・コントロールレジスタ:PCC=04H,発振モード選択レジスタ:OSMS=00H)が選択されます。したがって,高速処理で動作させる場合は,PCCを書き換えてCPUクロックを最高速(PCC=00H,OSMS=01H)に設定します。ただし,最高速モードで動作するためには,V_{DD}端子電圧が高速動作可能な範囲まで上昇し,安定している必要があります。

この例では,電圧が上昇するまでの時間を,時計用タイマ(インターバル時間は3.91 msを選択)でウエイトします。ウエイト後にCPUクロックを最高速に切り替えます。

図3 - 8 RESET後のCPUクロック切り替え例(μPD78054サブシリーズの場合)



(1) SPDチャート



(2) プログラム・リスト

```

:*****
:*      ウェイト設定
:*****
      TCL2=#00010000B
      TMC2=#00110110B      ; 時計用タイマ3.91msに設定
      while_bit(!TMIF3)   ; 3.91ms?
      endw
      CLR1      WTIF
      OSMS=#00000001B     ; 分周回路を使用しない
      PCC=#00000000B     ; CPUクロックを最高速に設定
  
```

3.2 パワーオン/オフ時の切り替え

78K/0シリーズは、プロセッサ・クロック・コントロール・レジスタ（PCC）の設定によりサブシステム・クロックを選択することで、超低消費電流で動作することができます。したがって、NiCd電池やスーパー・キャパシタなどのバックアップ電源をシステムに付加することにより、停電時でも動作を続けることができます。

この例では、電源のオン/オフをINTP1（検出エッジは、立ち上がり、立ち下りの両エッジ検出を選択）で検出し、そのときのポート・レベルにより、オン/オフを判別し、PCCの切り替えを行います。図3 - 9に回路例を、図3 - 10にシステム・クロックの切り替えタイミングを示します。

図3 - 9 システム・クロック切り替え用回路例

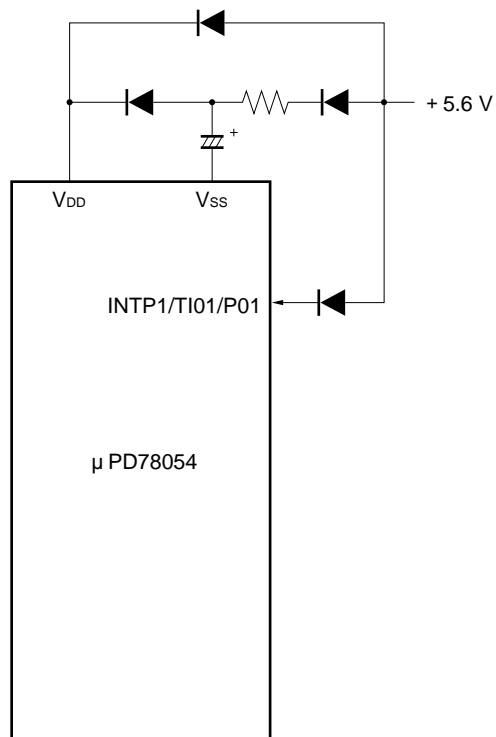
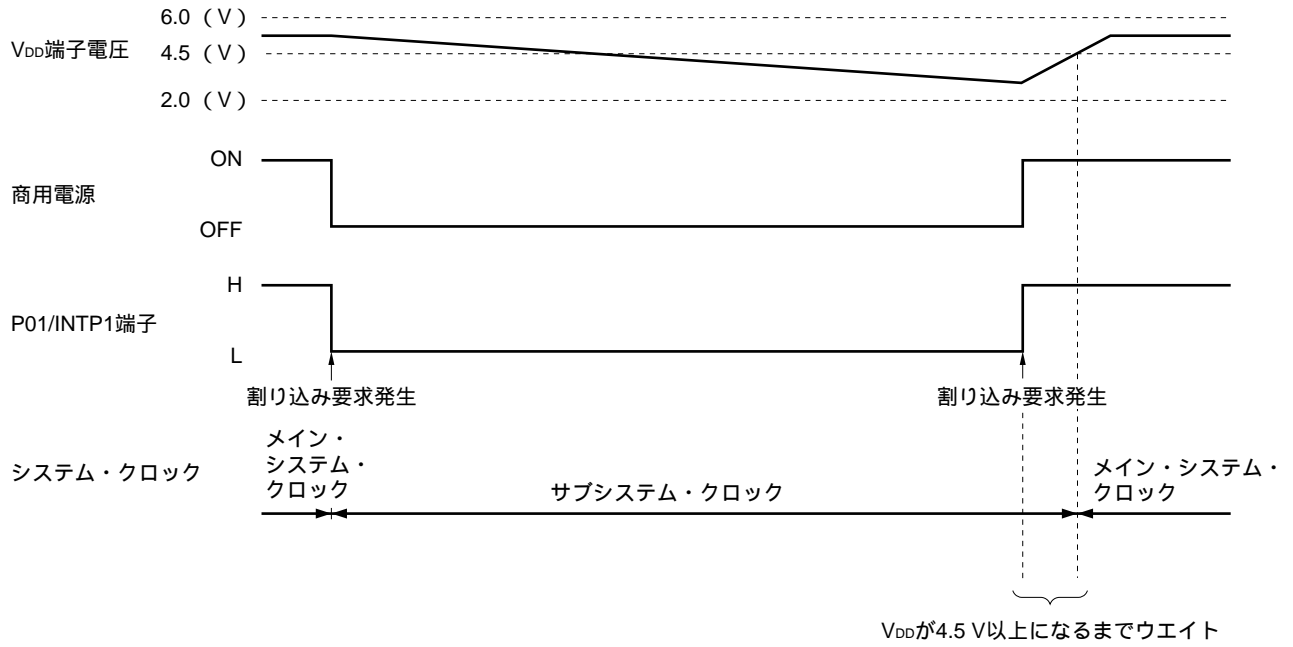
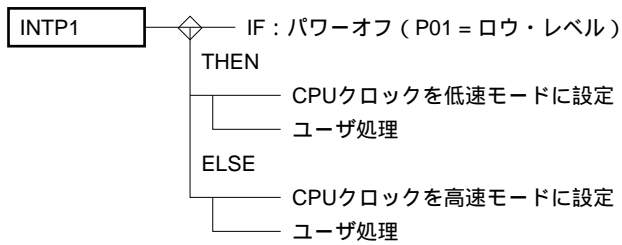


図3 - 10 パワーオン/オフ時のシステム・クロックの切り替え例 (μ PD78054サブシリーズの場合)



(1) SPDチャート



(2) プログラム・リスト

```

VEP0   CSEG   AT 08H
        DW     INTP1           ; I N T P 1 のベクタ・アドレスの設定

        MOV    INTMO, #00110000B ; 両エッジ検出モード
        CLR1   PMK1
        EI

;*****
;*       低速/高速モード設定
;*****
INTP1:
        if_bit(!P0.1)
;         内蔵ハードウェアの設定 (低速)
;         ユーザ処理

        PCC=#10010000B           ; 低速モードに設定

        else
;         内蔵ハードウェアの設定 (高速)
;         ユーザ処理

        PCC=#00000000B           ; 高速モードに設定

        endif
        RETI
    
```

第4章 ウォッチドッグ・タイマの応用

78K/0シリーズのウォッチドッグ・タイマには、マイコンの暴走を検出するウォッチドッグ・タイマ・モードと、インターバル・タイマ・モードの2種類の機能があります。

ウォッチドッグ・タイマは、タイマ・クロック選択レジスタ2 (TCL2) とウォッチドッグ・タイマ・モード・レジスタ (WDTM) により設定します。

図4 - 1 タイマ・クロック選択レジスタ2のフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
				MCS=1	MCS=0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
		MCS=1	MCS=0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{XT} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
				MCS=1	MCS=0
0	x	x	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

★ 注意1 . TCL2の書き換えは、変更対象の時計用タイマまたはブザーの動作を停止させて行ってください（同一データの上書きでは停止不要）。

停止方法は次のとおりです。

- ・ブザー出力 : TCL2のビット7 (TCL27) に0を入力
- ・時計用タイマ : 時計用タイマ・モード・コントロール・レジスタ (TMC2) のビット2 (TMC22) に0を入力

2 . ウォッチドッグ・タイマ動作開始後、カウンタ・クロックの変更 (TCL20-TCL22の書き換え) は禁止です。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2 . f_x : メイン・システム・クロック発振周波数

3 . f_{XT} : サブシステム・クロック発振周波数

4 . x : don't care

5 . MCS : 発振モード選択レジスタ (OSMS) のビット0

6 . () 内は、 $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

図4-2 タイマ・クロック選択レジスタ2のフォーマット(μPD78083サブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
				MCS=1	MCS=0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
				MCS=1	MCS=0
0	x	x	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

★ 注意1. TCL2の書き換えは、変更対象のブザーの動作を停止させて行ってください(同一データの上書きでは停止不要)。

停止方法は次のとおりです。

- ・ブザー出力 : TCL2のビット7 (TCL27) に0を入力
- 2. ウォッチドッグ・タイマ動作開始後、カウンタ・クロックの変更 (TCL20-TCL22の書き換え) は禁止です。
- 3. ビット3, 4には必ず0を設定してください。

- 備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. x : don't care
4. MCS : 発振モード選択レジスタ (OSMS) のビット0
5. () 内は、 $f_x = 5.0$ MHz動作時。

図4 - 3 タイマ・クロック選択レジスタ2のフォーマット (μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択
0	0	0	$f_{xx}/2^3$ (500 kHz)
0	0	1	$f_{xx}/2^4$ (250 kHz)
0	1	0	$f_{xx}/2^5$ (125 kHz)
0	1	1	$f_{xx}/2^6$ (62.5 kHz)
1	0	0	$f_{xx}/2^7$ (31.3 kHz)
1	0	1	$f_{xx}/2^8$ (15.6 kHz)
1	1	0	$f_{xx}/2^9$ (7.8 kHz)
1	1	1	$f_{xx}/2^{11}$ (2.0 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択
0	$f_{xx}/2^7$ (31.3 kHz)
1	f_{XT} (32.768 kHz)

TCL27	TCL26	TCL25	ブザー出力の周波数の選択
0	x	x	ブザー出力禁止
1	0	0	$f_{xx}/2^9$ (7.8 kHz)
1	0	1	$f_{xx}/2^{10}$ (3.9 kHz)
1	1	0	$f_{xx}/2^{11}$ (1.95 kHz)
1	1	1	設定禁止

★ 注意1 . TCL2の書き換えは、変更対象の時計用タイマまたはブザーの動作を停止させて行ってください(同一データの上書きでは停止不要)。

停止方法は次のとおりです。

- ・ブザー出力 : TCL2のビット7 (TCL27) に0を入力
- ・時計用タイマ : 時計用タイマ・モード・コントロール・レジスタ (TMC2) のビット2 (TMC22) に0を入力

2 . ウォッチドッグ・タイマ動作開始後、カウンタ・クロックの変更 (TCL20-TCL22の書き換え) は禁止です。

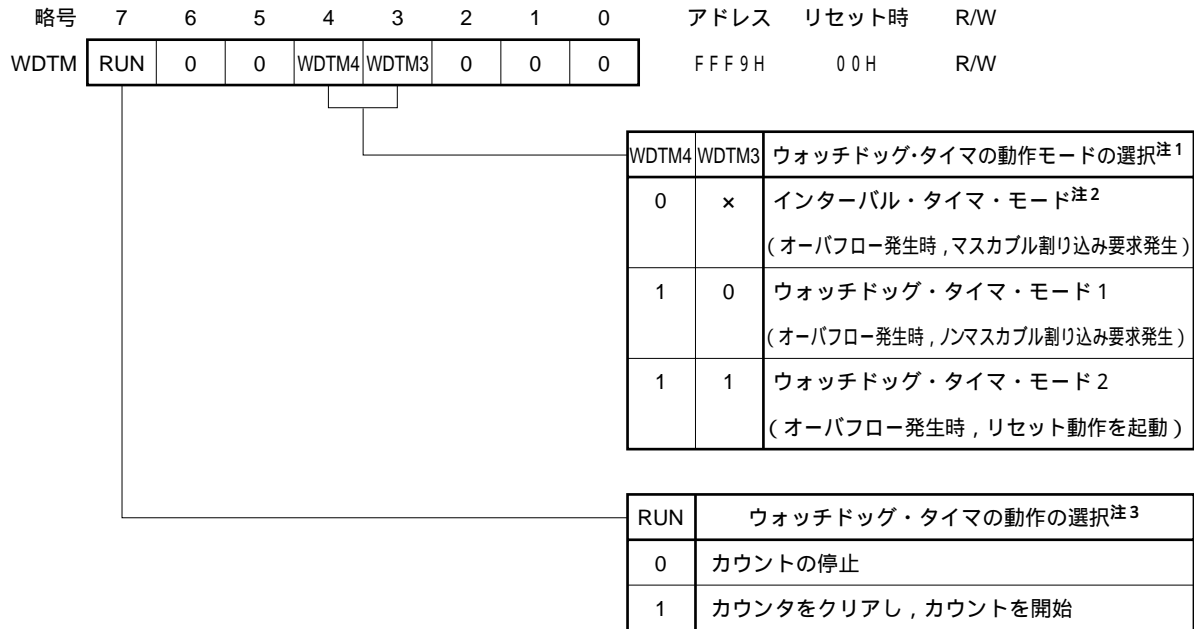
備考1 . f_{xx} : メイン・システム・クロック周波数

2 . f_{XT} : サブシステム・クロック発振周波数

3 . x : don't care

4 . () 内は、 $f_{xx} = 4.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

図4 - 4 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



注1 . WDTM3, WDTM4は, 一度1にセットされると, ソフトウェアで0にクリアすることはできません。

2 . RUNに, 1を設定した時点でインターバル・タイマとして動作を開始します。

3 . RUNは, 一度1にセットされると, ソフトウェアで0にクリアすることはできません。したがって, カウントを開始すると, $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

注意1 . RUNに1をセットし, ウォッチドッグ・タイマをクリアしたとき, 実際のオーバーフロー時間は, タイマ・クロック選択レジスタ2で設定した時間より最大0.5%短くなります。

2 . ウォッチドッグ・タイマ・モード1, 2を使用する場合は, 割り込み要求フラグ(TMIF4)が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態ではWDTM4を1にセットすると, WDTM3の内容にかかわらずノンマスカブル割り込み要求が発生します。

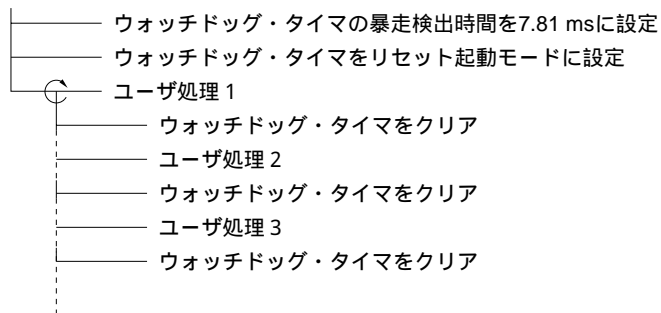
4.1 ウォッチドッグ・タイマ・モードの設定

ウォッチドッグ・タイマの暴走検出後の処理には、リセット処理、またはノンマスカブル割り込み処理があり、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) によりどちらかを選択することができます。ウォッチドッグ・タイマ・モードとして使用する場合は、設定した暴走検出時間より短い間隔でタイマをクリアする必要があります。タイマがクリアされないときはオーバフローが発生し、リセット、または割り込み処理を実行します。

ウォッチドッグ・タイマの暴走検出時間は、タイマ・クロック選択レジスタ 2 (TCL2) で設定します。

この例では、暴走検出時間に7.81 msを、オーバフロー発生時にはリセット処理の起動を選択しています。

(1) SPDチャート



(2) プログラム・リスト

```
*****
;*   ウォッチドッグ・タイマの設定
*****

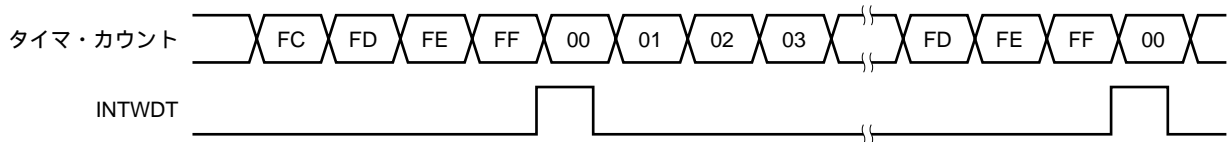
      OSMS=#00000001B           ; 分周回路を使用しない
      TCL2=#00000100B           ; ウォッチドッグ・タイマ7.81msに設定
      WDTM=#10011000B           ; リセット起動モードに設定
      ;
      ; ユーザ処理1
      ;
      SET1   RUN                 ; タイマ・クリア
      ;
      ; ユーザ処理2
      ;
      SET1   RUN                 ; タイマ・クリア
      ;
      ; ユーザ処理3
      ;
      SET1   RUN                 ; タイマ・クリア
      ;
```

4.2 インターバル・タイマ・モードの設定

インターバル・タイマ・モードとして使用する場合、インターバル時間はタイマ・クロック選択レジスタ2 (TCL2) で設定します (インターバル時間 = 0.488 ms-125 ms, $f_x = 4.19$ MHz動作時)。このインターバル・タイマは、タイマのオーバフローの発生により、割り込み要求フラグ (TMIF4) をセットします。

この例では、0.977 ms, 7.82 ms, 125 msの3種類の時間についての設定を示します。

図4 - 5 ウォッチドッグ・タイマのカウンタ・タイミング



(1) プログラム・リスト

0.977 msの設定

TCL2 = #00000001B ; 0.977 msに設定

WDTM = #10001000B ; インターバル・タイマ・モードを選択

7.82 msの設定

TCL2 = #00000100B ; 7.82 msに設定

WDTM = #10001000B ; インターバル・タイマ・モードを選択

125 msの設定

TCL2 = #00000111B ; 125 msに設定

WDTM = #10001000B ; インターバル・タイマ・モードを選択

備考 上記インターバル時間は、OSMS = 01H設定時の値です。

第5章 16ビット・タイマ/イベント・カウンタの応用

78K/0シリーズの16ビット・タイマ/イベント・カウンタには次の6種類の機能があります。

- ・インターバル・タイマ
- ・PWM出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

16ビット・タイマ/イベント・カウンタは次のレジスタにより設定します。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・16ビット・タイマ・モード・コントロール・レジスタ (TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ (TOC0)
- ・ポート・モード・レジスタ3 (PM3)
- ・外部割り込みモード・レジスタ (INTM0)
- ・サンプリング・クロック選択レジスタ (SCS)

図5 - 1 タイマ・クロック選択レジスタ0のフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	f _{XT} (32.768 kHz)		
0	1	0	1	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	0	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
0	1	1	1	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	0	0	0	f _{XX} /2 ³	f _X /2 ³ (625 kHz)	f _X /2 ⁴ (313 kHz)
1	0	0	1	f _{XX} /2 ⁴	f _X /2 ⁴ (313 kHz)	f _X /2 ⁵ (156 kHz)
1	0	1	0	f _{XX} /2 ⁵	f _X /2 ⁵ (156 kHz)	f _X /2 ⁶ (78.1 kHz)
1	0	1	1	f _{XX} /2 ⁶	f _X /2 ⁶ (78.1 kHz)	f _X /2 ⁷ (39.1 kHz)
1	1	0	0	f _{XX} /2 ⁷	f _X /2 ⁷ (39.1 kHz)	f _X /2 ⁸ (19.5 kHz)
上記以外				設定禁止		

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウンタ・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	TI00 (有効エッジ指定可能)		
0	0	1	2f _{XX}	設定禁止	f _X (5.0 MHz)
0	1	0	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
1	0	0	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)		
上記以外			設定禁止		

CLOE	PCL出力の制御
0	出力禁止
1	出力許可

- 注意1 . TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0 (INTM0)で行います。
また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタ(SCS)で行います。
- 2 . PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 - 3 . TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01)からではなく、TM0から読み出してください。
 - 4 . TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考**
- 1 . f_{XX} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 - 2 . f_x : メイン・システム・クロック発振周波数
 - 3 . f_{XT} : サブシステム・クロック発振周波数
 - 4 . TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 - 5 . TM0 : 16ビット・タイマ・レジスタ
 - 6 . MCS : 発振モード選択レジスタ (OSMS) のビット 0
 - 7 . () 内は, $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHzの動作時。

図5 - 2 タイマ・クロック選択レジスタ0のフォーマット (μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択
0	0	0	0	f_{XT} (32.768 kHz)
0	1	0	1	f_{XX} (4.0 MHz)
0	1	1	0	$f_{XX}/2$ (2.0 MHz)
0	1	1	1	$f_{XX}/2^2$ (1.0 MHz)
1	0	0	0	$f_{XX}/2^3$ (500 kHz)
1	0	0	1	$f_{XX}/2^4$ (250 kHz)
1	0	1	0	$f_{XX}/2^5$ (125 kHz)
1	0	1	1	$f_{XX}/2^6$ (62.5 kHz)
1	1	0	0	$f_{XX}/2^7$ (31.3 kHz)
上記以外				設定禁止

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウント・クロックの選択
0	0	0	TI00 (有効エッジ指定可能)
0	0	1	$2f_{XX}$ ^注
0	1	0	f_{XX} (4.0 MHz)
0	1	1	$f_{XX}/2$ (2.0 MHz)
1	0	0	$f_{XX}/2^2$ (1.0 MHz)
1	1	1	時計用タイマ出力 (INTTM3)
上記以外			設定禁止

CLOE	PCL出力の制御
0	出力禁止
1	出力許可

注 $f_{XX} > 2.5$ MHzのとき設定禁止

- 注意1. TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0 (INTM0)で行います。
また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタ(SCS)で行います。
- PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 - TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01) からではなく、TM0から読み出してください。
 - TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1 . f_{XX} : メイン・システム・クロック周波数
2 . f_{XT} : サブシステム・クロック発振周波数
3 . TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
4 . TM0 : 16ビット・タイマ・レジスタ
5 . () 内は, $f_{XX} = 4.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時。

図5 - 3 16ビット・タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0	FF48H	00H	R/W

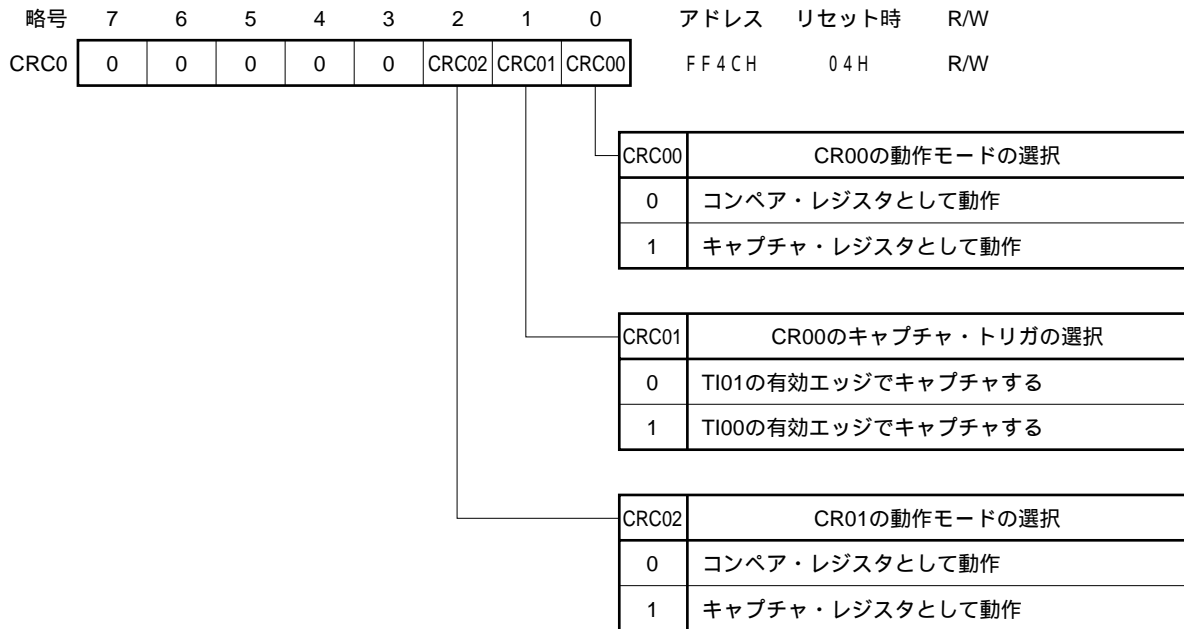
OVF0	16ビット・タイマ・レジスタのオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

TMC03	TMC02	TMC01	動作モードおよび クリア・モードの選択	TO0の出力タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1	PWMモード(フリーランニング)	PWMパルス出力	TM0とCR00の一致および TM0とCR01の一致で発生
0	1	0	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	
0	1	1		TM0とCR00の一致, TM0と CR01の一致またはTI00の有 効エッジ	
1	0	0	TI00の有効エッジで クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	0	1		TM0とCR00の一致, TM0と CR01の一致またはTI00の有 効エッジ	
1	1	0	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	1	1		TM0とCR00の一致, TM0と CR01の一致またはTI00の有 効エッジ	

- 注意1. クリア・モードおよびTO0の出力タイミングの切り替えは、タイマ動作を停止 (TMC01-TMC03に、0、0、0を設定) させたのちに行ってください。
2. TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0 (INTM0)で行います。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタ (SCS)で行います。
3. PWMモードを使用するときは、PWMモード設定後、CR00にデータを設定してください。
4. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。
5. 16ビット・タイマ・レジスタは、TMC01-TMC03に0、0、0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC01-TMC03に0、0、0を設定してください。

- 備考1 . TO0 : 16ビット・タイマ/イベント・カウンタの出力端子
 2 . TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 3 . TM0 : 16ビット・タイマ・レジスタ
 4 . CR00 : コンペア・レジスタ00
 5 . CR01 : コンペア・レジスタ01

図5 - 4 キャプチャ/コンペア・コントロール・レジスタ0のフォーマット



注意1 . CRC0の設定は、必ずタイマ動作を停止させたのちに行ってください。

- 2 . 16ビット・タイマ・モード・コントロール・レジスタで、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。

図5 - 5 16ビット・タイマ出力コントロール・レジスタのフォーマット



- 注意 1 . TOC0の設定は、必ずタイマ動作を停止させたのちに行ってください (ただしOSPTは除く)。
 2 . LVS0, LVR0は、データ設定後に読み出すと0になっています。
 3 . OSPTは、データ設定後自動的にクリアされますので、読み出すと0になっています。

図5 - 6 ポート・モード・レジスタ3のフォーマット

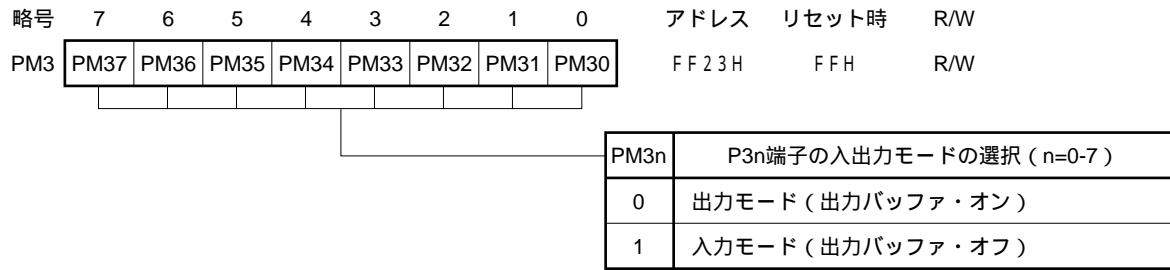


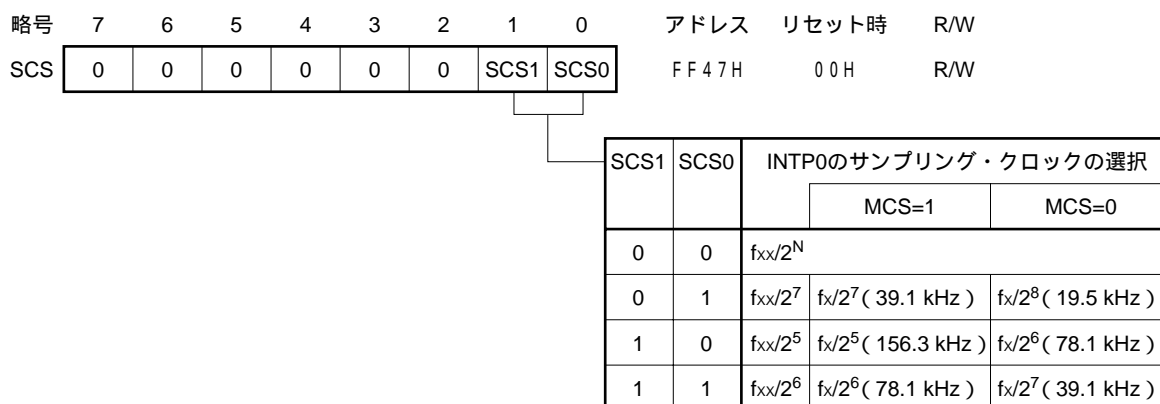
図5 - 7 外部割り込みモード・レジスタ0のフォーマット



注意 INTP0/TI00/P00端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに行ってください。

図5 - 8 サンプリング・クロック選択レジスタのフォーマット

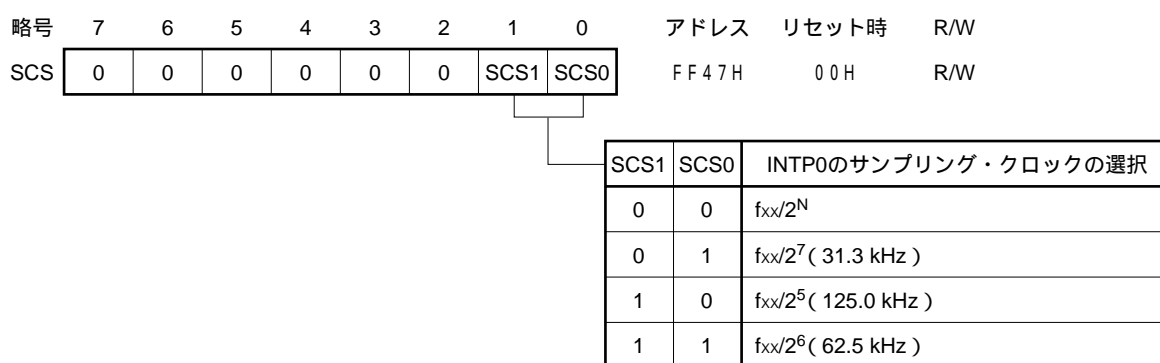
(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)



注意 $f_{xx}/2^N$ はCPUへ供給されるクロック, $f_{xx}/2^5$, $f_{xx}/2^6$, $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

- 備考1** . N : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) に設定した値 (N = 0-4)。
- 2 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 - 3 . f_x : メイン・システム・クロック発振周波数
 - 4 . MCS : 発振モード選択レジスタ (OSMS) のビット0
 - 5 . () 内は, $f_x = 5.0$ MHz動作時。

図5 - 9 サンプリング・クロック選択レジスタのフォーマット (μ PD78098Bサブシリーズ)



注意 $f_{xx}/2^N$ はCPUへ供給されるクロック, $f_{xx}/2^5$, $f_{xx}/2^6$, $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

- 備考1** . N : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) に設定した値 (N = 0-4)。
- 2 . f_{xx} : メイン・システム・クロック周波数
 - 3 . () 内は, $f_{xx} = 4.0$ MHz動作時。

5.1 インターバル・タイマの設定

インターバル・タイマとして使用する場合、まずタイマ・クロック選択レジスタ0 (TCL0) と16ビット・タイマ・モード・コントロール・レジスタ (TMC0) を設定します。16ビット・タイマのクリア・モードはTMC0で、インターバル時間はTCL0で設定します。

その後、設定時間とカウント・クロックからコンペア・レジスタ (CR00) の値を設定します。設定時間は、以下の式により決定します。

$$\text{設定時間} = (\text{コンペア・レジスタ値} + 1) \times \text{カウント・クロック周期}$$

この例では、インターバル・タイマの設定時間として、10 msと50 msの2種類について示します。

(a) 10msのインターバルの場合

TMC0の設定

TM0とCR00の一致でクリア&スタートを選択

TCL0の設定

10 ms以上の設定が可能で、分解能の最も高いf_{xx}モードを選択 (OSMS = 01H)

CR00の設定

$$10 \text{ ms} = (N + 1) \times \frac{1}{4.19 \text{ MHz}}$$

$$N = 10 \text{ ms} \times 4.19 \text{ MHz} - 1 = 41899$$

(1) プログラム・リスト

OSMS=#00000001B ; 分周回路を使用しない

CRC0=#00000000B ; CR00をコンペア・レジスタとして選択

CR00=#41899

TCL0=#00100000B ; カウント・クロックf_{xx}を選択

TMC0=#00001100B ; 16ビット・タイマ/イベント・カウンタをTM0とCR00の一致でクリア&スタートに設定

(b) 50 msのインターバルの場合

TMC0の設定

TM0とCR00の一致でクリア&スタートを選択

TCL0の設定

50 ms以上の設定が可能で、分解能の最も高い $f_{xx}/2^2$ モードを選択 (OSMS = 01H)

CR00の設定

$$50 \text{ ms} = (N + 1) \times \frac{1}{4.19 \text{ MHz}/2^2}$$

$$N = 50 \text{ ms} \times 4.19 \text{ MHz}/2^2 - 1 = 52374$$

(1) プログラム・リスト

OSMS=#00000001B ; 分周回路を使用しない

CRC0=#00000000B ; CR00をコンペア・レジスタとして選択

CR00=#52374

TCL0=#01000000B ; カウント・クロック $f_{xx}/2^2$ を選択

TMC0=#00001100B ; 16ビット・タイマ/イベント・カウンタをTM0とCR00の一致でクリア&スタートに設定

5.2 PWM出力

PWM出力として使用する場合、16ビット・タイマ・モード・コントロール・レジスタ (TMC0) でPWMモードに設定し、16ビット・タイマ出力コントロール・レジスタ (TOC0) で16ビット・タイマ/イベント・カウンタを出力許可の状態に設定します。

PWMのパルス幅 (アクティブ・レベル) は、キャプチャ/コンペア・レジスタ00 (CR00) に設定された値によって決定します。ただし、78K/0シリーズのPWMは14ビット分解能ですのでCR00の2-15ビットが有効となります (CR00の0, 1ビットは、'0, 0'を設定してください)。

この例では、PWMモードの基本周期を $61.0 \mu\text{s} \left(\frac{1}{f_{\text{xx}}} \times 2^8 \right)$ に、アクティブ・レベルをロウ・アクティブに設定しています。また、パルス幅の設定はパラメータ (00H-0FH) の値により、上位4ビットを書き換えるプログラムになっています。したがって、この応用例は、16段階 (CR00=0FFCH-FFFCH) のPWM出力が可能です。

(1) パッケージの説明

<パブリック宣言シンボル>

PWM : PWM出力サブルーチン名称
 PWMOUT : PWMアクティブ・レベルの入力パラメータ

<使用するレジスタ>

AX

<使用するRAM>

名称	用途	属性	バイト
PWMOUT	PWMアクティブ・レベルの設定	SADDR	1

<ネスティング>

1 レベル 2 バイト

<使用するハードウェア>

16ビット・タイマ/イベント・カウンタ
 P30/TO0

<初期設定>

OSMS=#00000001B	発振モード選択レジスタ	分周回路を使用しない
16ビット・タイマ/イベント・カウンタの設定		
CRC0=#00000000B	CR00をコンペア・レジスタとして選択	
TMC0=#00000010B	PWM出力モード	
TCL0=#00100000B	PWM基本周期	61.0 μs
TOC0=#00000011B	ロウ・アクティブ出力	
PM30=0	P30出力モード	
P30=0	P30出力ラッチ	

<起動方法>

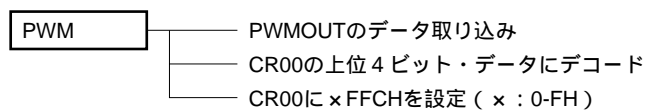
RAMのPWMOUTにデータ設定後、サブルーチンPWMをコールしてください。

(2) 使用例

```

EXTRN  PWM,PWMOUT
      :
OSMS=#00000001B      ;分周回路を使用しない
CRC0=#00000000B      ;CR00をコンペア・レジスタとして選択
TOC0=#00000011B      ;PWM出力,ロウ・アクティブの設定
TCL0=#00100000B      ;カウント・クロックfxxを選択
TMC0=#00000010B      ;PWMモードの設定
      :
PWMOUT=A              ;アクティブ・レベルの入力パラメータの設定
CALL  !PWM
    
```

(3) SPDチャート



(4) プログラム・リスト

```
        PUBLIC  PWM, PWMOUT
PWM_DAT DSEG  SADDR
PWMOUT: DS    1                ; PWM出力データ・エリア (0-15)
;*****
;*      PWM出力 (16段階)
;*****
PO_SEG  CSEG
PWM:
    A=PWMOUT                ; PWMOUT の上位データ取り込み
    A<<=1
    A<<=1
    A<<=1
    A<<=1
    A|=#0FH                ; 下位12ビットを0FFCHに設定
    X=#0FCH
    CROO=AX
    RET
```

5.3 リモコン受信

16ビット・タイマ/イベント・カウンタを使用して、リモコン受信を行うプログラム例を2種類紹介します。

リモコンの有効エッジ検出ごとにカウンタをクリアし、次の有効エッジを検出したときのタイマ・カウント値（キャプチャ・レジスタCR01）からパルス幅を測定します。

タイマをフリーランニングで動作させ、有効エッジ間のカウンタの差からパルス幅を測定します。また、PWM出力も同時に行います。

リモコン信号は、PIN受光ダイオードで受信され、リモコン用受信プリアンプμPC1490を介して、P00/TI00/INTP0端子に入力します。図5-10にリモコン受信回路例を、図5-11にリモコン信号のフォーマットを示します。

図5-10 リモコン受信回路例

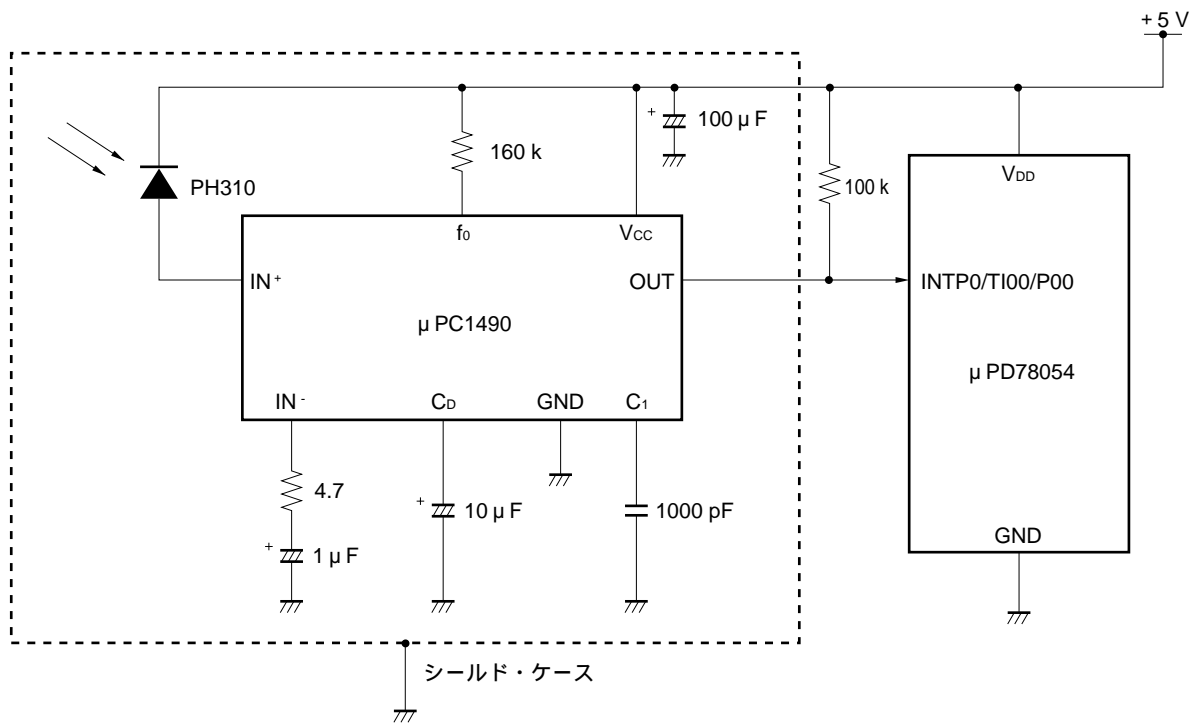
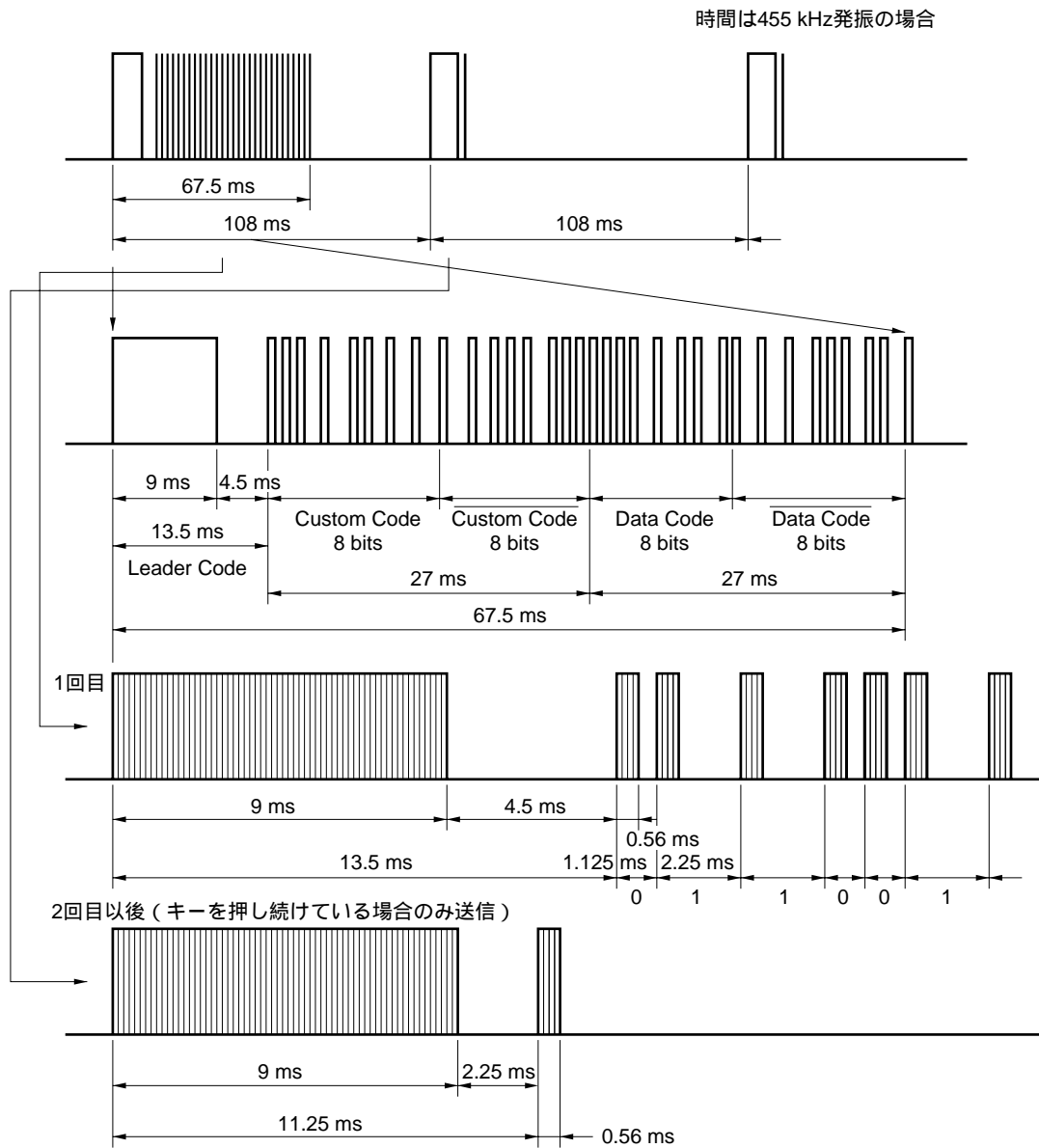
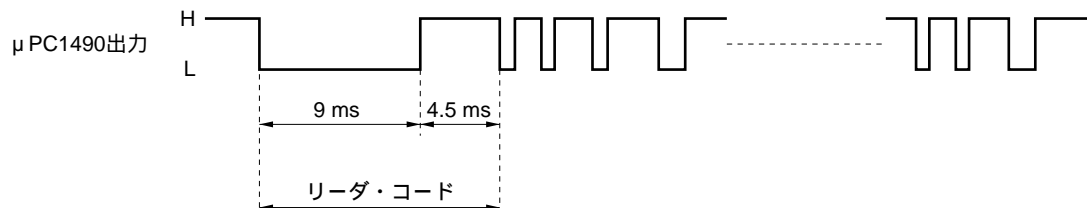


図5 - 11 リモコン送信用IC出力信号



回路例で使用しているリモコン用受信プリアンプ μ PC1490はロウ・アクティブとなるため、 μ PD78054サブシ
リーズに入力されるレベルはリモコン送信データの反転データになります。

図5 - 12 受信プリアンプの出力信号



5.3.1 カウンタ・クリアによるリモコン受信

このプログラム中で、リモコン信号を受信する場合のパルス有効幅を表5 - 1に、各信号の処理方法を から示します。リモコン信号のリピート信号は、有効入力があったから250 ms以内の場合のみ有効とします。また、正常データ取り込み後の3 msの時間内に信号を入力した場合もデータを無効とします。

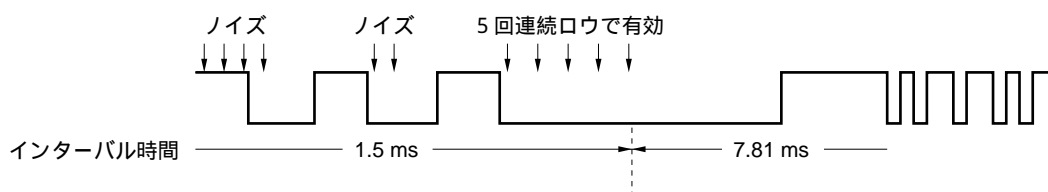
表5 - 1 入力信号の有効時間

信号名		出力時間	有効時間
リーダー・コード(ロウ)		9 ms	6.8 ms-11.8 ms
リーダー・コード (ハイ)	通常	4.5 ms	3 ms-5 ms
	リピート	2.25 ms	1.8 ms-3 ms
カスタム/ データ・コード	0	1.125 ms	0.5 ms-1.8 ms
	1	2.25 ms	1.8 ms-2.5 ms

リーダー・コード(ロウ)

16ビット・タイマ/イベント・カウンタのインターバルを1.5 msに設定し、割り込み処理でポート・レベルのサンプリングを行い、5回連続でロウ・レベルを検出したときにリーダー・コードと判断しインターバルを7.81 msに変更します。その後、INTP0の立ち上がりエッジの割り込み要求によって、リーダー・コードのロウ・レベルのパルス幅を計測します。

図5 - 13 リモコン信号のサンプリング



リーダー・コード(ハイ)

INTP0の立ち下がりエッジの割り込み要求によって、リーダー・コードのハイ・レベル間のパルス幅をタイマのカウンタ値により計測します。

カスタム/データ・コード

INTP0の立ち下がりエッジの割り込み要求によって、1ビット(1周期)ごとのパルス幅を計測します。32ビット目のデータ取り込み後に、反転データとカスタム・コードの一致をテストします。さらに、33ビット目にデータのないことを確認します。

リピート・コード検出

リーダー・コードのハイ・レベルが3 ms未満のときに、リーダー・コード出力後からINTP0立ち上がりまでのパルス幅を計測します。

リピート・コードの有効期間

有効なデータ入力後、16ビット・タイマ/イベント・カウンタの割り込み処理(1.5 msインターバル)でサンプリングし、リピート・コードの有効時間250 msを計測します。

パルス幅計測中のタイム・アウト

パルス幅計測中に16ビット・タイマ/イベント・カウンタの割り込み要求(7.81 ms)が発生したときは、タイム・アウトになりデータは無効になります。

(1) パッケージの説明

<パブリック宣言シンボル>

RMDATA : リモコン受信データを格納
RPT : リピート有効期間判断フラグ
IPDTFG : 有効データの有無判断フラグ
RMDTOK : 入力信号の有効の有無判断フラグ
RMDTSET : 入力信号の有無判断フラグ

<使用するレジスタ>

バンク0 : AX, BC, HL

<使用するRAM>

名称	用途	属性	バイト
RPTCT	リピート・コード有効時間カウンタ	SADDR	1
RMENDCT	データ入力後の無入力時間カウンタ		
SELMOD	モード選択		
LD_CT	リーダ信号検出カウンタ		
RMDATA	有効データ格納エリア		
WORKP	入力信号格納エリア	SADDRP	4

<使用するフラグ>

名称	用途
IPDFG	有効データの有無
RMDTOK	入力信号の有効の有無
RMDTSET	入力信号の有無
RPT	リピート有効期間が経過したかどうかの判断

<ネスティング>

5レベル12バイト

<使用するハードウェア>

16ビット・タイマ/イベント・カウンタ
P00/TI00/INTP0

<初期設定>

OSMS=#00000001B 発振モード選択レジスタ 分周回路を使用しない
16ビット・タイマ/イベント・カウンタの設定
CRC0=#00000100B CR00, CR01の動作モード選択
TMC0=#00001100B TM0とCR00一致でタイマ・クリア・モード
TCL0=#00100000B カウント/クロック f_{xx}
CR00=#6290 コンペア・レジスタ00
SCS=#00000011B INTP0サンプリング・クロック $f_{xx}/2^6$
PPR0=0 INTP0高優先順位割り込み
TMMK0=0 16ビット・タイマ/イベント・カウンタ割り込み許可
カスタム・コードをCSTMに定義し,パブリック宣言
RAMクリア

<起動方法>

INTP0, INTTM00の割り込み要求で起動

(2) 使用例

```

PUBLIC  CSTM
EXTRN  RMDATA, RPTCT
EXTBIT  RPT, RMDTSET, IPDTFG

CSTM   EQU      9DH                ; リモコン・カスタム・コード

OSMS=#00000001B                  ; 分周回路を使用しない
CRC0=#00000100B                  ; CR00, CR01の動作モード選択
CR00=#6290
TCL0=#00100000B                  ; 1.5msに設定
TMC0=#00001100B
SCS=#00000011B                  ; INTP0 サンプリング・クロックを  $f_{xx}/2^6$ 

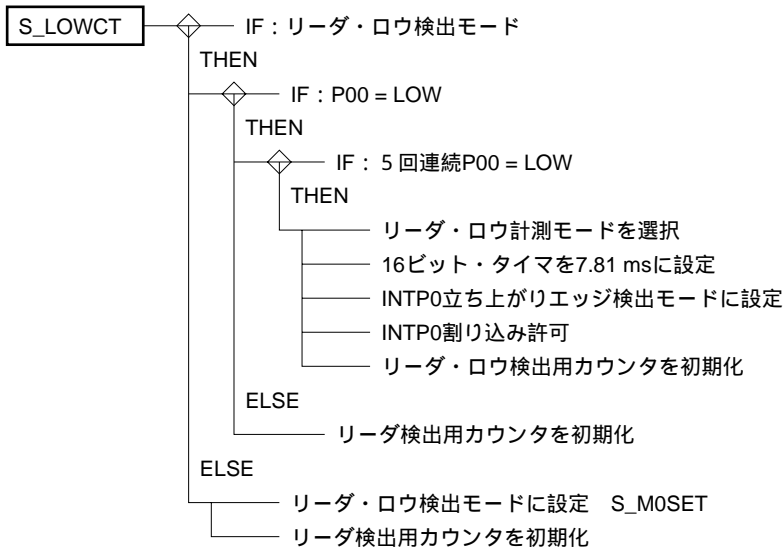
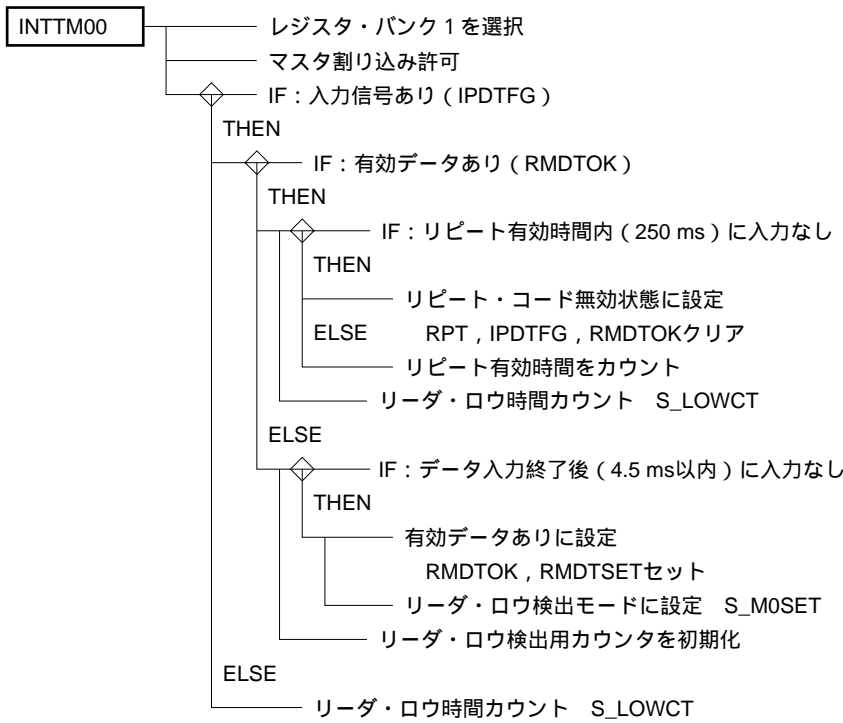
CLR1   PPR0                      ; INTP0 高優先
CLR1   RPT                       ; フラグ・クリア
CLR1   IPDTFG
CLR1   RMDTSET

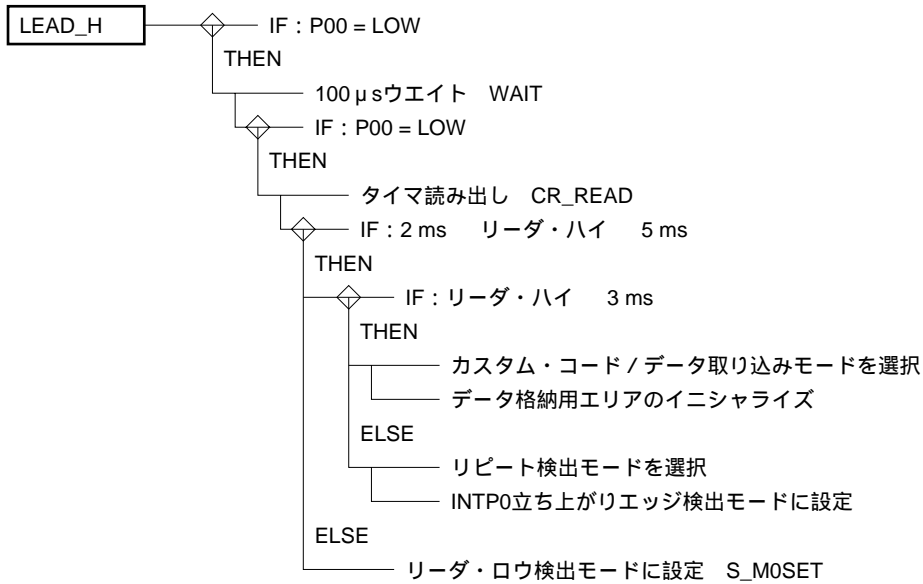
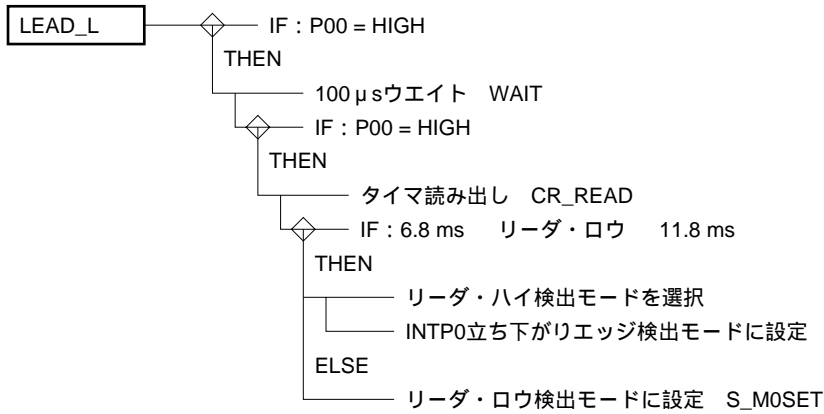
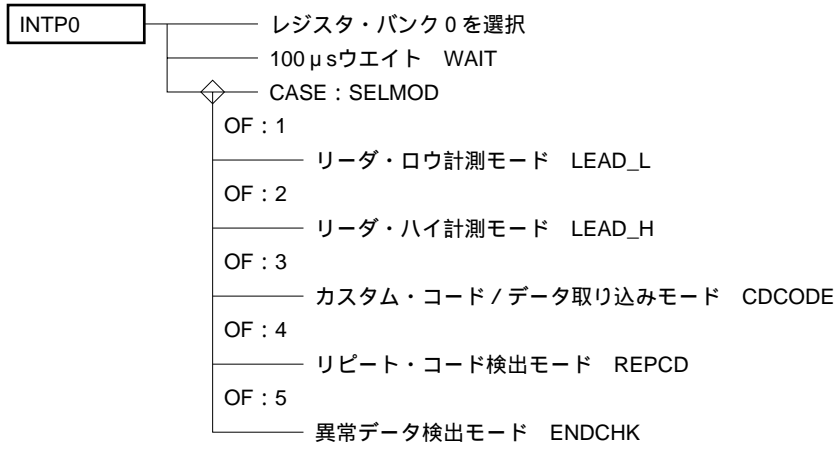
CLR1   TMMK0                      ; タイマ割り込み許可
EI

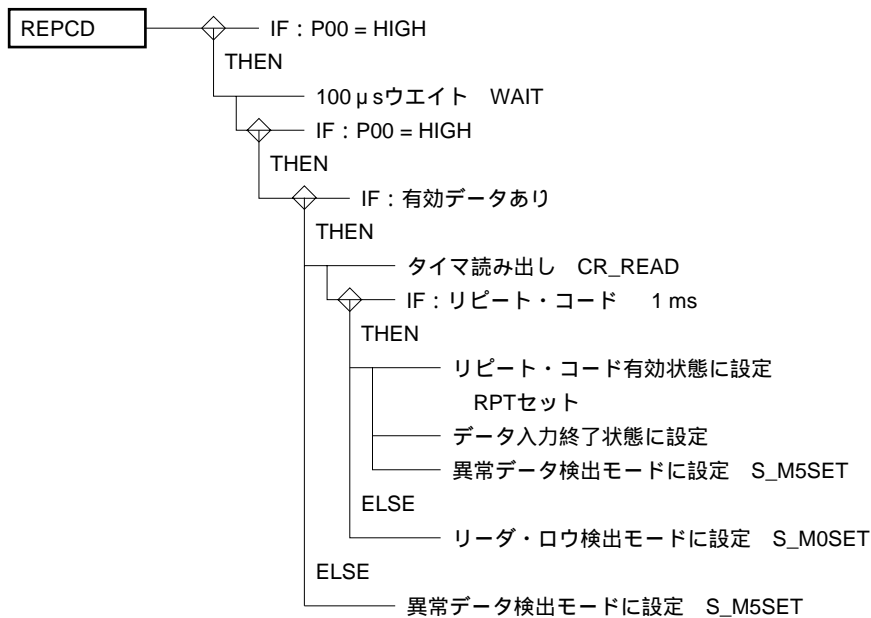
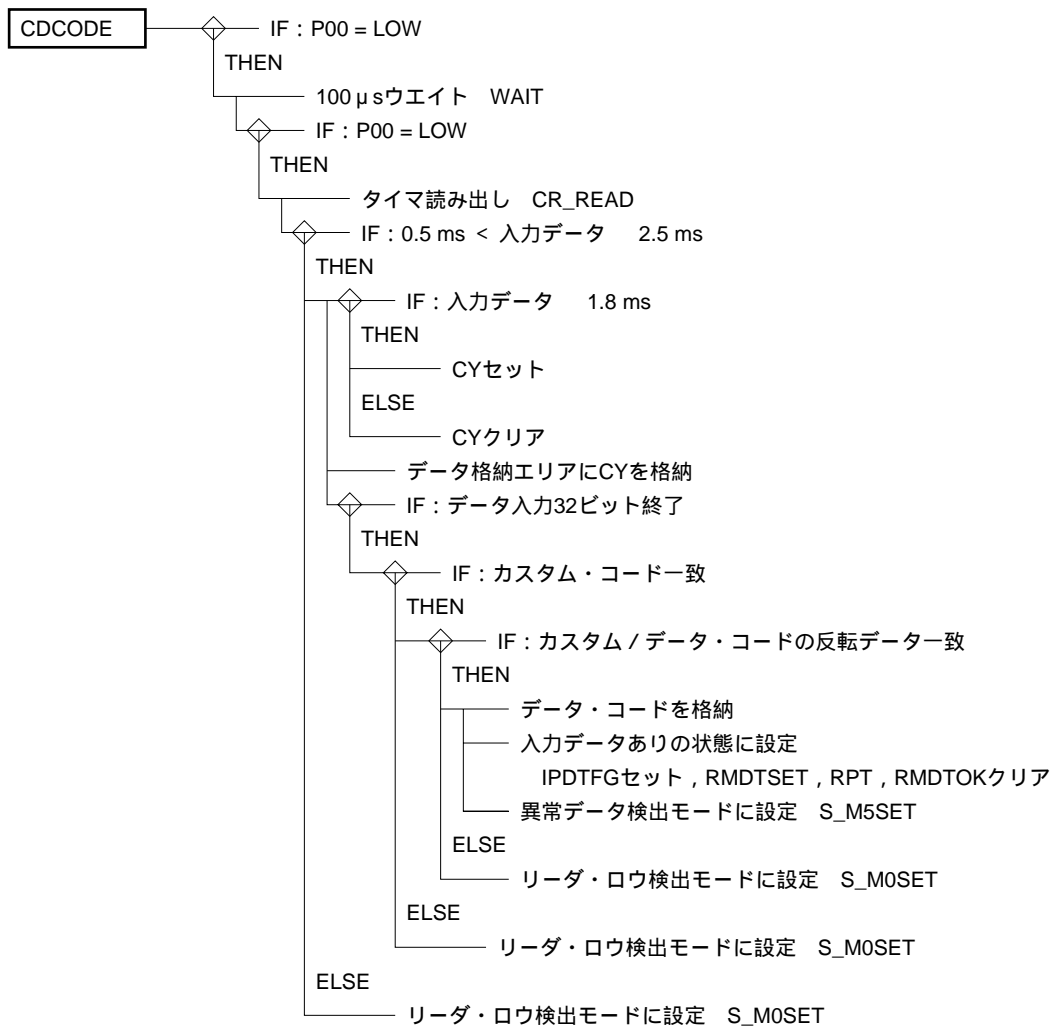
DT_TEST:
    if_bit(RMDTSET)
        CLR1   RMDTSET
        if_bit(RPT)
;
;           リピート処理
;
        else
;
;           入力ありの処理
;
        endif
    else
        if_bit(!RPT)
;
;           入力なしの処理
;
        endif
    endif
endif

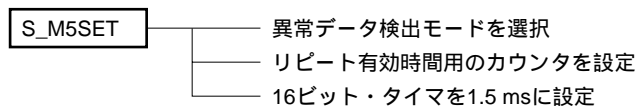
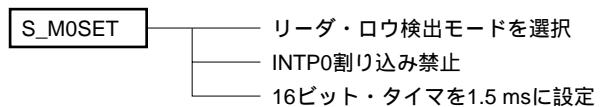
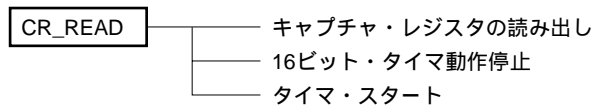
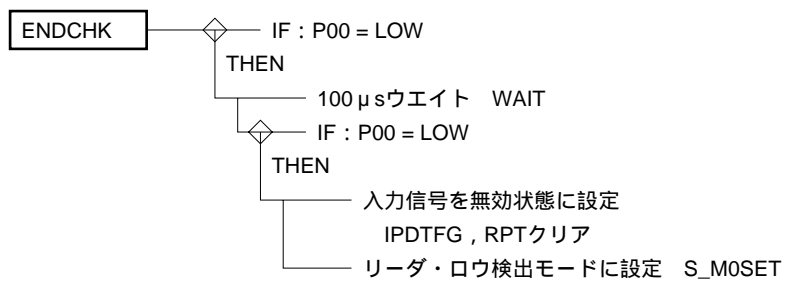
```

(3) SPDチャート









(4) プログラム・リスト

```

PUBLIC RPT, IPDTFG, RMDTOK, RMDTSET
PUBLIC RMENDCT, RPTCT, SELMOD, LD_CT, RMDATA
EXTRN  CSTM
RM_DAT DSEG  SADDR
RPTCT: DS    1                ; リピート・コード有効時間カウンタ
RMENDCT: DS  1                ; データ入力後の無入力時間カウンタ
SELMOD: DS    1                ; モード選択
LD_CT:  DS    1                ; リード信号検出カウンタ
RMDATA: DS    1                ; 有効データ格納エリア

RM_DATP DSEG  SADDRP
WORKP:  DS    4                ; 入力信号格納エリア

        BSEG
IPDTFG  DBIT                    ; 有効データあり
RMDTOK  DBIT                    ; 入力信号有効
RMDTSET DBIT                    ; 入力信号あり
RPT     DBIT                    ; リピート・コード有効期間

VEPO    CSEG  AT 06H
        DW    INTPO                ; INTPO のベクタ・アドレスの設定

VETMO   CSEG  AT 20H
        DW    INTTMO0              ; 16ビット・タイマのベクタ・アドレスの設定

;*****
;      リモコン信号タイマ処理
;*****
TMO_SEG  CSEG
INTTMO0:

        SEL  RB1
        EI                    ; 割り込み許可 (INTPO)
        if_bit(IPDTFG)        ; 入力信号あり?
            if_bit(RMDTOK)    ; 有効データあり?
                RPTCT--
                if(RPTCT==#0) ; リピート無効時間
                    CLR1  RPT    ; リピート・コード無効状態
                    CLR1  IPDTFG
                    CLR1  RMDTOK
                endif
                CALL    !S_LOWCT
            else
                RMENDCT--
                if(RMENDCT==#0)
                    SET1  RMDTOK    ; 有効データありに設定
                    SET1  RMDTSET
                    CALL  !S_MOSET   ; リード(ロウ)検出モードに設定
                endif
                LD_CT=#5
            endif
        else
            CALL    !S_LOWCT
        endif
        RETI

```



```

S_LOWCT:
    if(SELMOD==#0)                                ; リード(ロウ)検出モード?
        if_bit(!P0.0)
            LD_CT--
            if(LD_CT==#0)
                SELMOD=#1                        ; リード(ロウ)計測モード
                TMC0=#00000000B
                CR00=#32767                       ; タイマ 7.81ms
                TMC0=#00001100B
                INTM0=#00000100B
                CLR1 PIF0
                CLR1 PMK0                        ; INTPO 割り込み許可
                LD_CT=#5
            endif
        else
            LD_CT=#5
        endif
    else
        CALL !S_MOSET                            ; リード(ロウ)検出モードに設定
        LD_CT=#5
    endif
    RET
$EJECT
;*****
;*   リモコン信号エッジ検出処理
;*****
PO_SEG CSEG
INTPO:

    SEL    RBO
    CALL !WAIT                                ; 100μs ウェイト
    switch(SELMOD)
    case 1:
        CALL !LEAD_L                        ; リード・ロウ検出処理
        break
    case 2:
        CALL !LEAD_H                        ; リード・ハイ検出処理
        break
    case 3:
        CALL !CDCODE                        ; カスタム/データ・コード取り込み処理
        break
    case 4:
        CALL !REPCD                         ; リピート・コード検出処理
        break
    case 5:
        CALL !ENDCHK                        ; 異常データ検出処理
    ends
    RETI

```

```

;*****
;*      リーダ・ロウ検出
;*****
LEAD_L:

    if_bit(P0.0)                ; レベル・チェック P0.0 = 0 : ノイズ
    CALL    !WAIT              ; 100μs ウェイト
    if_bit(P0.0)
        CALL    !CR_READ        ; タイマ値読み出し
        if (AX>=#3354)          ; 6.8ms - (1.5ms * 4)
            if (AX<#18035)      ; 11.8ms - (1.5ms * 5)
                SELMOD=#2      ; リーダ・ハイ検出モード
                INTMO=#0000000B ; INT P0 立ち下がりエッジ
            else
                CALL    !S_M0SET ; リーダ(ロウ)検出モードに設定
            endif
        else
            CALL    !S_M0SET    ; リーダ(ロウ)検出モードに設定
        endif
    endif
    RET
$EJECT

;*****
;*      リーダ・ハイ検出
;*****
LEAD_H:

    if_bit(!P0.0)              ; レベル・チェック P0.0 = 1 : ノイズ
    CALL    !WAIT              ; 100μs ウェイト
    if_bit(!P0.0)
        CALL    !CR_READ        ; タイマ値読み出し
        if (AX>=#6710-160/2)    ; 1.8ms-100μs*2-160クロック(エッジ検出→タイマ・スタート)
            if (AX<#20132-160/2) ; 5ms-100μs*2-160クロック(エッジ検出→タイマ・スタート)
                if (AX>#11743-160/2) ; カスタム/データ・コード(3ms-100μs*2)?
                    SELMOD=#3      ; データ取り込みモード
                    WORKP=#0000H   ; ワーク・エリア・イニシャライズ
                    (WORKP)+2=#8000H ; 最上位ビットを1に設定(データ終了確認用)
                else
                    SELMOD=#4      ; リピート検出モード
                    INTMO=#00000100B ; INT P0 立ち上がり
                endif
            else
                CALL    !S_M0SET    ; リーダ(ロウ)検出モードに設定
            endif
        else
            CALL    !S_M0SET        ; リーダ(ロウ)検出モードに設定
        endif
    endif
    RET
$EJECT

```

```

;*****
;* カスタム/データ・コード取り込み
;*****
CDCODE:
    if_bit(!P0.0)                ; レベル・チェック P0.0 = 1 : ノイズ
        CALL !WAIT                ; 100 μs ウェイト
        if_bit(!P0.0)
            CALL !CR_READ          ; タイマ値読み出し
            if (AX>=#1257-190/2)   ; 0.5ms-100 μs*2-190クロック (エッジ検出→タイマ・スタート)
                if (AX<=#9646-190/2) ; 2.5ms-100 μs*2-190クロック (エッジ検出→タイマ・スタート)
                    if (AX>=#6710-190/2) ; 1.8ms-100 μs*2-190クロック (エッジ検出→タイマ・スタート)
                        SET1 CY
                    else
                        CLR1 CY
                endif
            HL=#WORKP+3            ; ワーク・エリア・アドレスを設定
            C=#4                  ; ワーク・エリア桁数設定
        WKSHFT:
            A=[HL]                ; 1ビット・データ格納
            RORC A,1              ; 1ビット・シフト
            [HL]=A
            HL--
            DBNZ C,$WKSHFT        ; 全桁シフト終了
            if_bit(CY)            ; 32ビット入力終了?
                if (WORKP+0==#CSTM) (A)
                    ; カスタム・コード・チェック

                    A^=WORKP+1
                    if (A==#OFFH) ; カスタム・コード反転データ・チェック
                        A=WORKP+2
                        A^=WORKP+3 ; データ・コード反転データ・チェック
                        if (A==#OFFH)
                            ; 入力データを格納
                            RMDATA=WORKP+2 (A)
                            ; 入力データありの状態に設定
                            SET1 IPDTFG
                            CLR1 RMDTSET
                            CLR1 RPT
                            CLR1 RMDTOK
                            CALL !S_M5SET
                        else
                            ; リーダ(ロウ)検出モードに設定
                            CALL !S_MOSET
                        endif
                    else
                            ; リーダ(ロウ)検出モードに設定
                            CALL !S_MOSET
                    endif
                else
                    CALL !S_MOSET
            endif
        endif
    endif
    else
        CALL !S_MOSET
    endif

```

```

        endif
    endif
    else
        CALL    !S_MOSET        ; リード（ロウ）検出モードに設定
    endif
    else
        CALL    !S_MOSET        ; リード（ロウ）検出モードに設定
    endif
    endif
endif
endif
RET
$EJECT
;*****
;*      リポート・コード検出
;*****
REPCD:
    if_bit(P0.0)                ; レベル・チェック P0.0 = 0 : ノイズ
        CALL    !WAIT          ; 100μs ウェイト
        if_bit(P0.0)
            if_bit(RMDTOK)      ; 有効データあり？
                CALL    !CR_READ ; タイマ値読み出し
                if(AX<=#3354-190/2) ; 1ms-100μs*2-190クロック（エッジ検出→タイマ・スタート）
                    SETi    RPT
                    CLR1    RMDTOK ; データ終了後の入力信号チェック
                    CLR1    RMDTSET
                    CALL    !S_M5SET
                else
                    CALL    !S_MOSET ; リード（ロウ）検出モードに設定
                endif
            else
                CALL    !S_MOSET ; リード（ロウ）検出モードに設定
            endif
        endif
    endif
endif
RET
$EJECT

```

```

;*****
;*      異常データ検出
;*****
ENDCHK:
    if_bit(!P0.0)                ; レベル・チェック P0.0 = 1 : ノイズ
        CALL !WAIT              ; 100 μs ウエイト
        if_bit(!P0.0)
            CLR1 IPDTFG          ; 異常データ入力
            CLR1 RPT             ; 入力信号無効
            CALL !S_MOSET       ; リード(ロウ)検出モードに設定
        endif
    endif
    RET

;*****
;*      100 μs ウエイト
;*****
WAIT:
    B=#(838-14-12-8)/12         ; CALL(14), RET(12), MOV(8)
WAITCT:
    DBNZ B,$WAITCT             ; 100 μs の設定
    RET                        ; 1命令12クロック

;*****
;*      リード(ロウ)検出モードの設定
;*****
S_MOSET:
    TMC0=#00000000B
    CRO0=#6290
    TCL0=#00100000B           ; タイマ1.5ms に設定
    TMC0=#00001100B
    SELMOD=#0                 ; リード(ロウ)検出モード
    SET1 PMK0
    RET

;*****
;*      異常データ検出モードの設定
;*****
S_M5SET:
    RPTCT=#173                ; 250ms 測定用カウンタ
    SELMOD=#5                 ; データ入力終了モード
    RMENDCT=#3                ; 無入力確認用カウンタ
    TMC0=#00000000B          ; 動作停止
    CRO0=#6290                ; 1.5ms に設定
    TMC0=#00001100B
    RET

;*****
;*      タイマ・カウント値の読み出し
;*****
CR_READ:
    AX=CR01
    TMC0=#00000000B          ; 動作停止
    TMC0=#00001100B          ; タイマ・スタート
    RET

```

5.3.2 PWM出力とフリーランニングによるリモコン受信

このプログラム中で、リモコン信号を受信する場合のパルス有効幅を表5 - 2に示します。また、各信号の処理方法を から に示します。

表5 - 2 入力信号の有効時間

信号名		出力時間	有効時間
リーダー・コード(ロウ)		9 ms	3 ms-10 ms
リーダー・コード (ハイ)	通常	4.5 ms	3 ms-5 ms
	リピート	2.25 ms	1.8 ms-3 ms
カスタム/ データ・コード	0	1.125 ms	0.5 ms-1.8 ms
	1	2.25 ms	1.8 ms-2.5 ms

リーダー・コード(ロウ)

INTP0の立ち下がりエッジ検出時の割り込み要求によって、キャプチャ/コンペア・レジスタ01 (CR01) の値をメモリに格納します。

立ち上がりエッジが発生したときのキャプチャ/コンペア・レジスタ00 (CR00) との差からパルス幅を計測します。

リーダー・コード(ハイ)

INTP0の立ち下がりエッジの割り込み要求によって、リーダー・コードのハイ・レベル間のパルス幅をタイマのカウント値により計測します。

カスタム/データ・コード

INTP0の立ち下がりエッジの割り込み要求によって、1ビット(1周期)ごとのパルス幅を計測します。32ビット目のデータ取り込み後に、反転データとカスタム・コードの一致をテストします。さらに、33ビット目にデータがないことを確認します。

リピート・コード検出

リーダー・コードのハイ・レベルが3 ms未満のときに、リーダー・コード出力後からINTP0立ち上がりまでのパルス幅を計測します。

リピート・コードの有効時間

有効なデータ入力後、16ビット・タイマ/イベント・カウンタのオーバーフロー・フラグ(OVF0)をメイン・プログラムでテストし、リピート・コード有効時間250 msを計測します。

パルス幅計測中のタイム・アウト

パルス幅計測中に16ビット・タイマ/イベント・カウンタのOVF0をメイン・プログラムでテストし、2回検出したときはタイム・アウトとしデータは無効とします。

また、この例では16ビット・タイマ/イベント・カウンタをPWM出力モードで動作させていますので、5.2 PWM出力のプログラムをリンクすることにより、リモコン受信とPWM出力を同時に行うことができます。

(1) パッケージの説明

<パブリック宣言シンボル>

TIM_PRO : タイマ・オーバフロー処理のサブルーチン名称
 RMDATA : リモコン受信データを格納
 RPT : リピート有効期間判断フラグ
 IPDTFG : 有効データの有無判断フラグ
 RMDTOK : 入力信号の有効の有無判断フラグ
 RMDTSET : 入力信号の有無判断フラグ
 OVSENS : INTP0処理タイマ・オーバフロー検出フラグ

<使用するレジスタ>

バンク0 : AX, BC, HL

<使用するRAM>

名 称	用 途	属 性	バイト
RPTCT	リピート・コード有効時間カウンタ	SADDR	1
RMENDCT	データ入力後の無入力時間カウンタ		
SELMOD	モード選択		
LD_CT	リーダ信号検出カウンタ		
RMDATA	有効データ格納エリア		
TO_CNT	タイマ・オーバフロー検出カウンタ		
CR01_NP	最新タイマ・カウント値格納エリア	SADDRP	2
CR01_OP	前回タイマ・カウント値格納エリア		
WORKP	入力信号格納エリア		

<使用するフラグ>

名 称	用 途
IPDTFG	有効データの有無
RMDTOK	有効な入力信号の有無
RMDTSET	入力信号の有無
RPT	リピート有効期間が経過したかどうかの判断
TO_FLG	タイマ・オーバフローあり
OVSENS	INTP0処理でタイマ・オーバフロー検出

<ネスティング>

5 レベル11バイト

<使用するハードウェア>

16ビット・タイマ/イベント・カウンタ

P00/TI00/INTP0

P30/TO0

<初期設定>

OSMS=#00000001B 発振モード選択レジスタ 分周回路を使用しない

16ビット・タイマ/イベント・カウンタの設定

CRC0=#00000100B CR00, CR01の動作モード選択

TMC0=#00000010B PWM出力モード

TCL0=#00100000B PWM基本周期61.0μs

TOC0=#00000011B ロウ・アクティブ出力

PM30=0 P30出力モード

SCS=#00000011B INTP0サンプリング・クロック $f_{xx}/2^6$

PPR0=0 INTP0高優先順位割り込み

PMK0=0 INTP0割り込み許可

カスタム・コードをCSTMに定義し、パブリック宣言

RAMクリア

<起動方法>

16ビット・タイマ/イベント・カウンタのOVF0をテストし、OVF0のセットのときは、サブルーチンTIM_PROをコールしてください。

リモコン信号のエッジ検出による割り込み要求で起動

(2) 使用例

```

PUBLIC  CSTM
EXTRN  RMDATA, RPTCT, PWM, PWMOUT, TIM_PRO
EXTBIT  RPT, RMDTSET, IPDTFG, TO_FLG, OVSENS
CSTM   EQU    9DH                ; カスタム・コード

OSMS=#00000001B                ; 分周回路を使用しない
CRC0=#00000100B                ; CR00, CR01の動作モード選択
TOC0=#00000011B                ; PWM出力, ロウ・アクティブの設定
TCL0=#00100000B                ; カウント・クロック fxxを選択
TMC0=#00000010B                ; PWMモード, オーバフローあり
INTMO=#00000000B               ; INTPO 立ち下がりエッジ
SCS=#00000011B                 ; INTPO サンプルング・クロック fxx/26

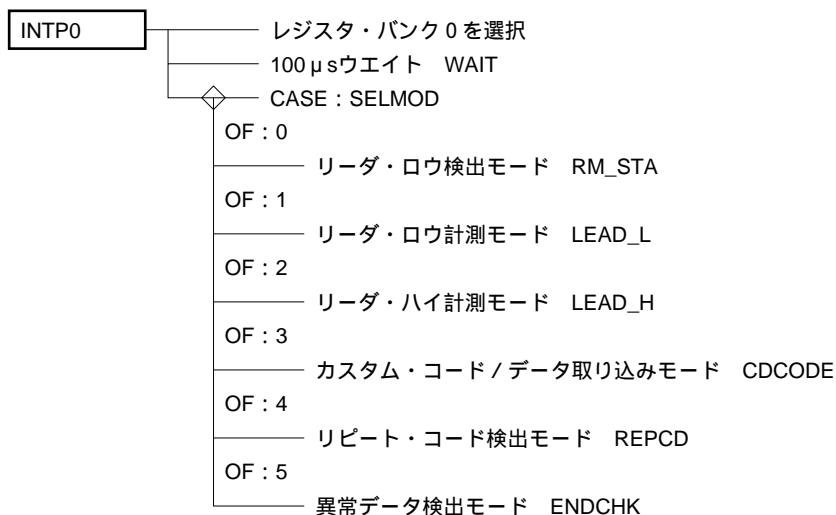
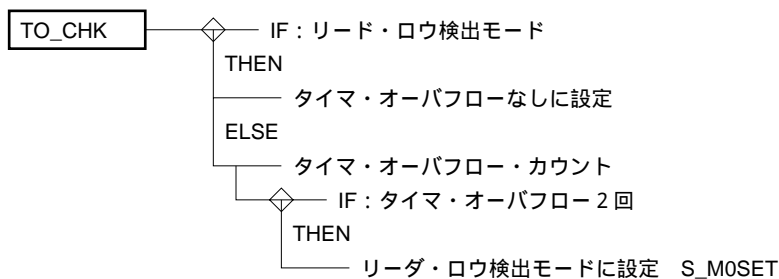
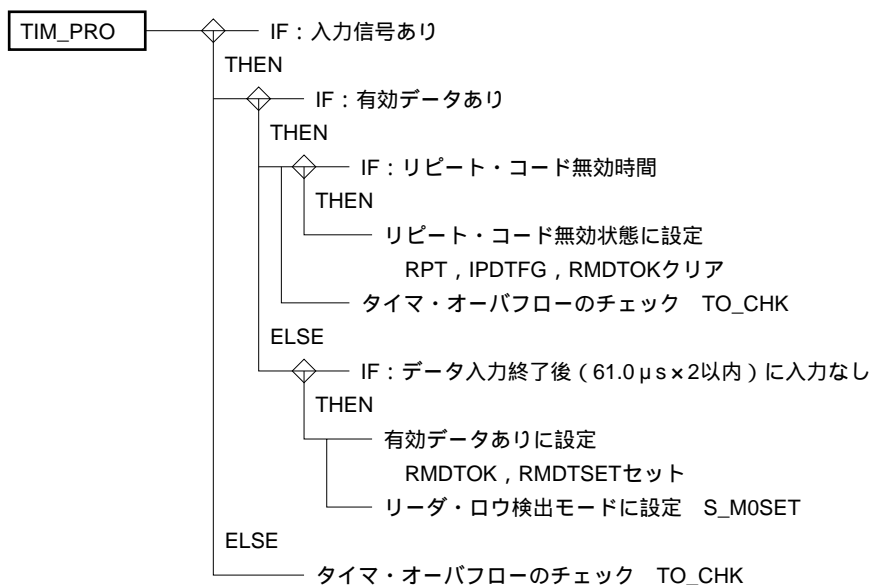
CLR1   PPRO                    ; INTPO 高優先
CLR1   RPT                     ; フラグ・クリア
CLR1   IPDTFG
CLR1   RMDTSET

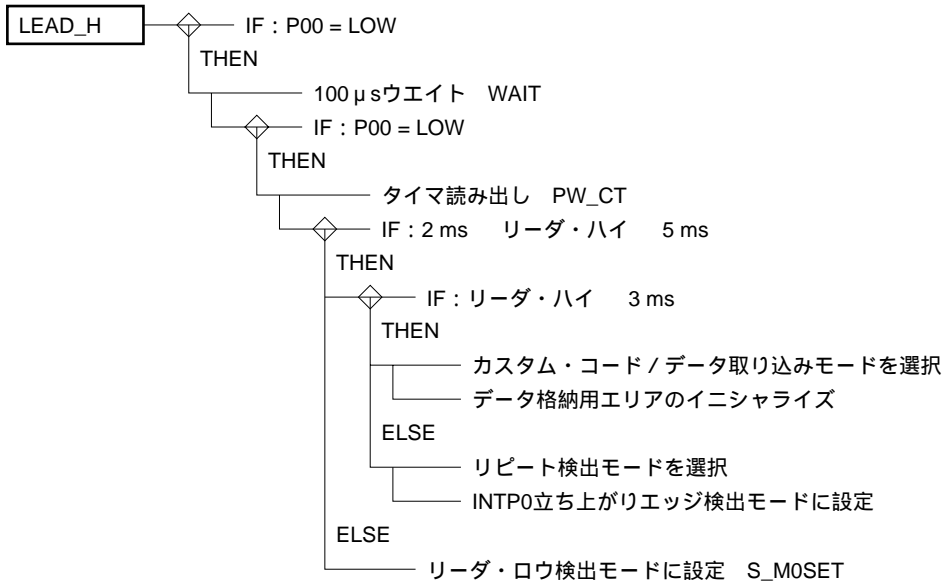
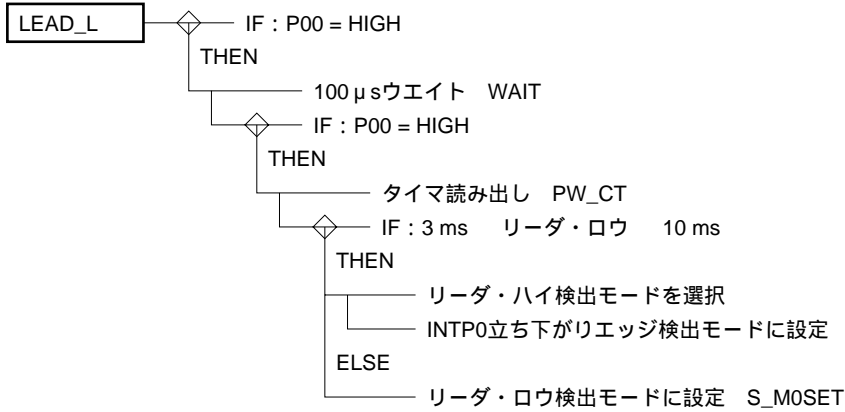
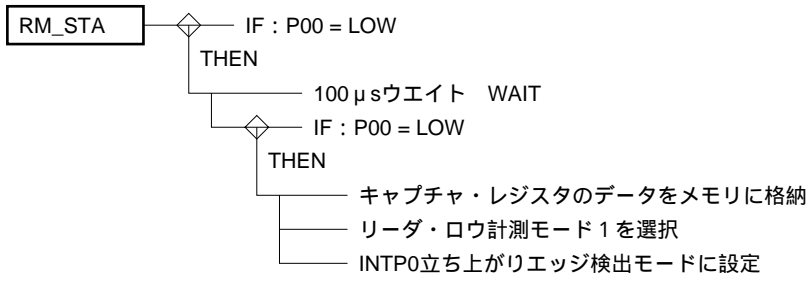
CLR1   PMKO                    ; INTPO 割り込み許可
EI

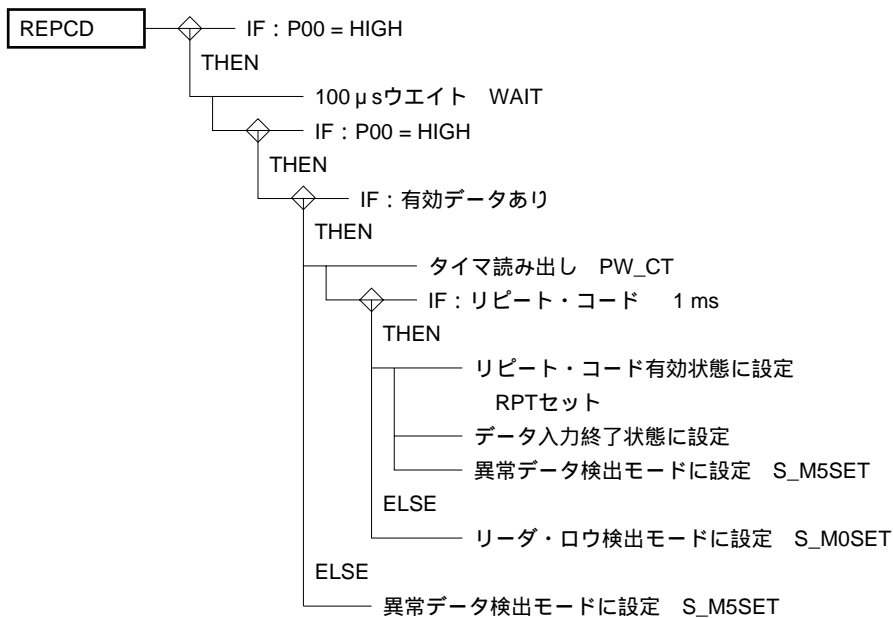
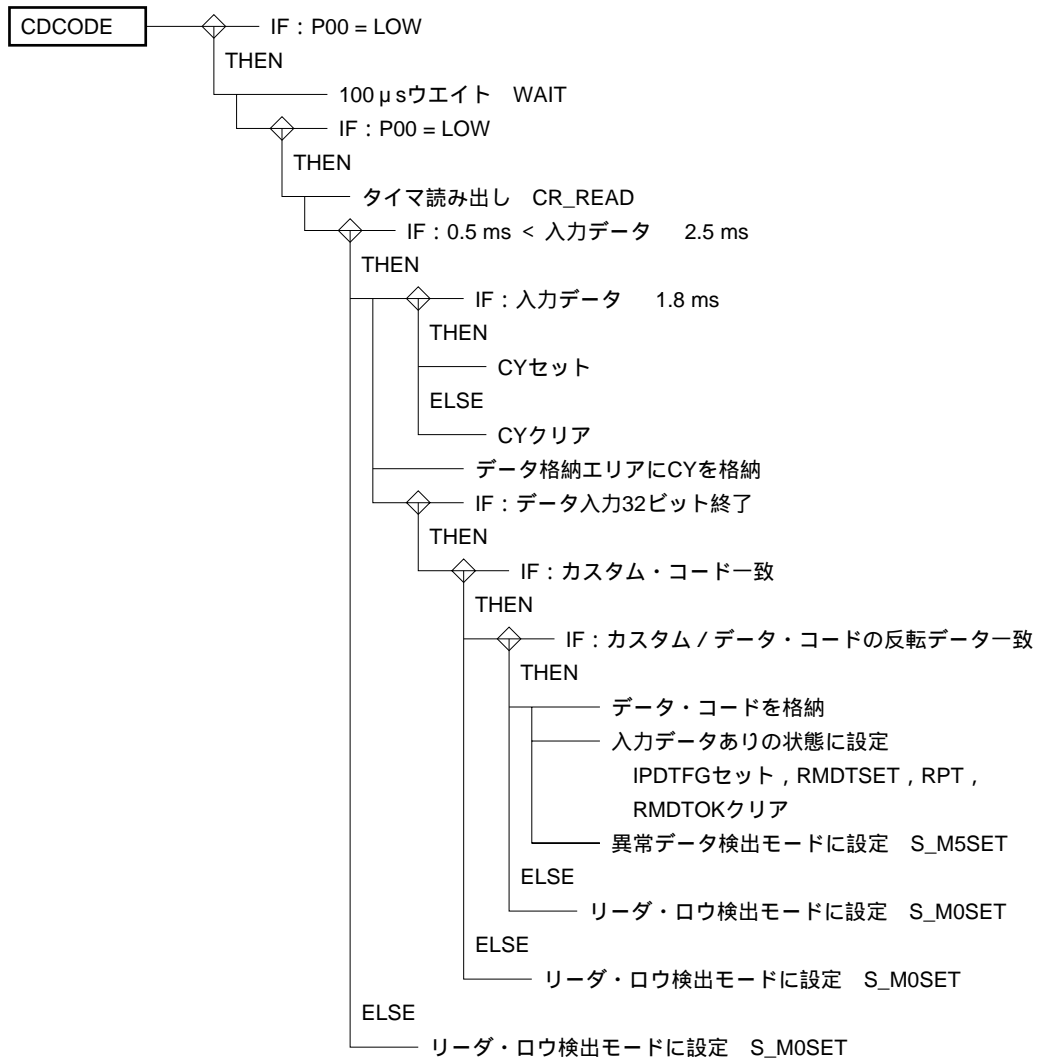
DT_TEST:
if_bit(OVSENS)                  ; INTPO 処理でタイマ・オーバフロー検出
    CLR1   OVSENS
    CALL   !TIM_PRO
elseif_bit(OVFO)                ; タイマ・オーバフローあり
    CLR1   OVFO
    SET1   TO_FLG
    CALL   !TIM_PRO
endif
if_bit(RMDTSET)
    CLR1   RMDTSET
    if_bit(RPT)
;
;           リポート処理
;
    else
;
;           入力ありの処理
;
    endif
else
    if_bit(!RPT)
;
;           入力なしの処理
;
    endif
endif
MOV     PWMOUT, A
CALL   !PWM

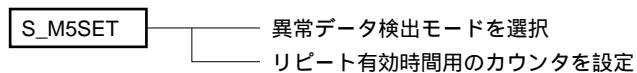
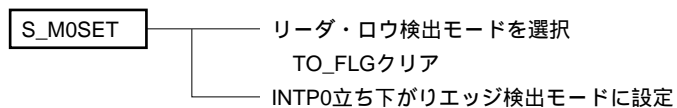
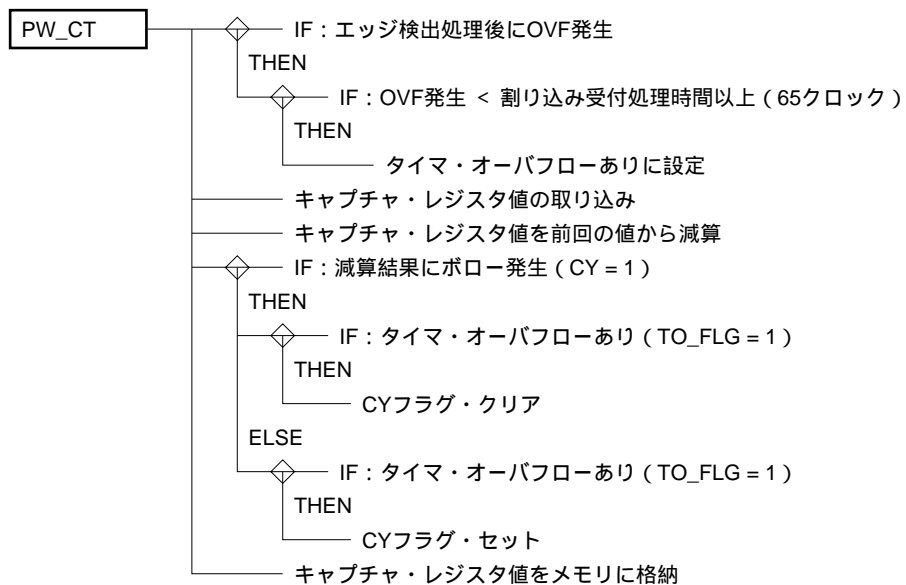
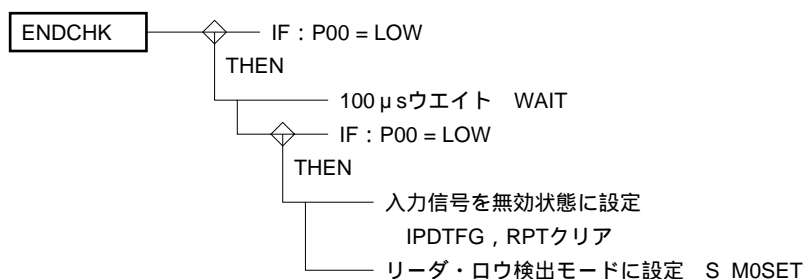
```

(3) SPDチャート









(4) プログラム・リスト

```

PUBLIC TIM_PRO, RPT, IPDTFG, RMDTOK, RMDTSET
PUBLIC RMENDCT, RPTCT, SELMOD, LD_CT, RMDATA
PUBLIC TO_FLG, OVSENS
EXTRN  CSTM

RM_DAT  DSEG  SADDR
RPTCT:  DS    1                ; リピート・コード有効時間カウンタ
RMENDCT:DS  1                ; データ入力後の無入力時間カウンタ
SELMOD: DS  1                ; モード選択
LD_CT:  DS    1                ; リード信号検出カウンタ
RMDATA: DS  1                ; 有効データ格納エリア
TO_CNT: DS  1                ; タイマ・オーバフロー・カウンタ

RM_DATP DSEG  SADDRP
CR01_NP:DS  2                ; 最新タイマ・カウンタ値格納エリア
CR01_OP:DS  2                ; 前回タイマ・カウンタ値格納エリア
WORKP:  DS   4                ; 入力信号格納エリア

        BSEG
IPDTFG  DBIT                ; 有効データあり
RMDTOK  DBIT                ; 入力信号有効
RMDTSET DBIT                ; 入力信号あり
RPT     DBIT                ; リピート・コード有効期間
TO_FLG  DBIT                ; タイマ・オーバフローあり
OVSENS  DBIT                ; INTPO 処理でタイマ・オーバフロー検出

VEPO    CSEG  AT 06H
        DW    INTPO                ; INTPO のベクタ・アドレスの設定

$EJECT
;*****
;      リモコン信号タイマ処理
;*****
TMO_SEG CSEG
TIM_PRO:
    if_bit(IPDTFG)                ; 入力信号あり?
        if_bit(RMDTOK)            ; 有効データあり?
            RPTCT--
            if(RPTCT==#0)          ; リピート無効時間
                CLR1  RPT          ; リピート・コード無効状態
                CLR1  IPDTFG
                CLR1  RMDTOK
            endif
        else
            RMENDCT--
            if(RMENDCT==#0)
                SET1  RMDTOK        ; 有効データありに設定
                SET1  RMDTSET
                CALL  !S_MOSET      ; リード(ロウ)検出モードに設定
            endif
        endif
    else
        CALL  !TO_CHK              ; タイマ・オーバフローのチェック
    endif
RET

```

```

TO_CHK:
  if (SELMOD==#0)
    CLR1 TO_FLG
  else
    TO_CNT++
    if (TO_CNT==#2)
      CALL !S_M0SET ; スタート・エッジ検出モードに設定
    endif
  endif
  RET
$EJECT
;*****
;* リモコン信号エッジ検出処理
;*****
PO_SEG CSEG
INTPO:
  SEL RBO

  CALL !WAIT ; 100μs ウェイト

  switch(SELMOD)

  case 0:
    CALL !RM_STA ; スタート・エッジ検出処理
    break
  case 1:
    CALL !LEAD_L ; リーダ・ロウ検出処理
    break
  case 2:
    CALL !LEAD_H ; リーダ・ハイ検出処理
    break
  case 3:
    CALL !CDCODE ; カスタム/データ・コード取り込み処理
    break
  case 4:
    CALL !REPCD ; リピート・コード検出処理
    break
  case 5:
    CALL !ENDCHK ; 異常データ検出処理
  ends
  RETI

;*****
;* スタート・エッジ検出
;*****
RM_STA:
  CLR1 TO_FLG ; タイマ・カウント開始
  if_bit(!P0.0) ; レベル・チェック P0.0 = 1 : ノイズ
    CALL !WAIT ; 100μs ウェイト
    if_bit(!P0.0)
      CRO1_OP=CRO1 (AX) ; キャプチャ・レジスタを格納
      SELMOD=#1 ; リーダ・ロウ検出モード
      INTMO=#00000100B ; INTPO 立ち上がりエッジ
      TO_CNT=#0
    endif
  endif
  RET

```

```

;*****
;*      リーダ・ロウ検出
;*****
LEAD_L:
    if_bit(P0.0)                ; レベル・チェック P0.0 = 1 : ノイズ
    CALL    !WAIT              ; 100μs ウェイト
    if_bit(P0.0)
        CALL    !PW_CT         ; タイマ値読み出し
        if_bit(!CY)
            TO_CNT=#0
            if (AX>#12582)      ; 3ms
                if (AX<#41942) ; 10ms
                    SELMOD=#2 ; リーダ・ハイ検出モード
                    INTMO=#0000000B ; INT P0 立ち下がりエッジ
                else
                    CALL    !S_MOSET ; スタート・エッジ検出モードに設定
                endif
            else
                CALL    !S_MOSET ; スタート・エッジ検出モードに設定
            endif
        else
            CALL    !S_MOSET ; スタート・エッジ検出モードに設定
        endif
    endif
    RET
$EJECT
;*****
;*      リーダ・ハイ検出
;*****
LEAD_H:
    if_bit(!P0.0)              ; レベル・チェック P0.0 = 0 : ノイズ
    CALL    !WAIT              ; 100μs ウェイト
    if_bit(!P0.0)
        CALL    !PW_CT         ; タイマ値読み出し
        if_bit(!CY)
            TO_CNT=#0
            if (AX>#7549)      ; 1.8ms
                if (AX<#20971) ; 5ms
                    if (AX>#12582) ; カスタム/データ・コード(3ms)?
                        SELMOD=#3 ; データ取り込みモード
                        WORKKP=#0000H ; ワーク・エリア・イニシャライズ
                        (WORKP)+2=#8000H ; 最上位ビットを1に設定(データ終了確認用)
                    else
                        SELMOD=#4 ; リピート検出モード
                        INTMO=#00000100B ; INT P0 立ち上がり
                    endif
                else
                    CALL    !S_MOSET ; スタート・エッジ検出モードに設定
                endif
            else
                CALL    !S_MOSET ; スタート・エッジ検出モードに設定
            endif
        else
            CALL    !S_MOSET ; スタート・エッジ検出モードに設定
        endif
    endif
    RET
$EJECT

```



```

;*****
;* カスタム/データ・コード取り込み
;*****
CDCODE:
    if_bit(!P0.0)                ; レベル・チェック P0.0 = 1 : ノイズ
        CALL !WAIT                ; 100μs ウェイト
        if_bit(!P0.0)
            CALL !PW_CT            ; タイマ値読み出し
            if_bit(!CY)
                TO_CNT=#0
                if (AX)>#2096      ; 0.5ms
                    if (AX)<#10485 ; 2.5ms
                        if (AX)>#7549 ; 1.8ms
                            SET1 CY
                        else
                            CLR1 CY
                        endif
                    endif

                    HL=#WORKP+3    ; ワーク・エリア・アドレスを設定
                    C=#4          ; ワーク・エリア桁数設定
                WKSHFT:
                    A=[HL]        ; 1ビット・データ格納
                    RORC A,1      ; 1ビット・シフト
                    [HL]=A
                    HL--
                    DBNZ C,$WKSHFT ; 全桁シフト終了

                if_bit(CY)        ; 32ビット入力終了?
                    ; カスタム・コード・チェック
                    if (WORKP+0==#CSTM) (A)
                        A^=WORKP+1
                        if (A==#0FFH); カスタム・コード反転データ・チェック
                            A=WORKP+2
                            ; データ・コード反転データ・チェック
                            A^=WORKP+3
                            if (A==#0FFH)
                                ; 入力データを格納
                                RMDATA=WORKP+2 (A)
                                ; 入力データありの状態に設定
                                SET1 IPDTFG
                                CLR1 RMDTSET
                                CLR1 RPT
                                CLR1 RMDTOK
                                CALL !S_M5SET
                            else
                                ; スタート・エッジ検出モードに設定
                                CALL !S_MOSET
                            endif
                        else
                            ; スタート・エッジ検出モードに設定
                            CALL !S_MOSET
                        endif
                    else
                        CALL !S_MOSET
                    endif
                endif
            else
                CALL !S_MOSET ; スタート・エッジ検出モードに設定
            endif
        else

```

```

                CALL    !S_MOSET      ; スタート・エッジ検出モードに設定
            endif
        else
            CALL    !S_MOSET      ; スタート・エッジ検出モードに設定
        endif
    endif
endif
endif
RET
$EJECT

;*****
;*      リポート・コード検出
;*****
REPCD:
    if_bit(P0.0)                ; レベル・チェック P0.0 = 1 : ノイズ
        CALL    !WAIT          ; 100μs ウェイト
        if_bit(P0.0)
            if_bit(RMDTOK)      ; 有効データあり?
                CALL    !PW_CT   ; タイマ値読み出し
                if_bit(!CY)
                    TO_CNT=#0
                    if (AX<=#4193) ; 1ms
                        SET1    RPT
                        CLR1    RMDTOK ; データ終了後の入力信号チェック
                        CLR1    RMDTSET
                        CALL    !S_MSSET
                    else
                        CALL    !S_MOSET ; スタート・エッジ検出モードに設定
                    endif
                else
                    CALL    !S_MOSET ; スタート・エッジ検出モードに設定
                endif
            else
                CALL    !S_MOSET ; スタート・エッジ検出モードに設定
            endif
        endif
    endif
endif
RET
$EJECT

```

```

;*****
;*      異常データ検出
;*****
ENDCHK:
    if_bit(!P0.0)                ; レベル・チェック P0.0 = 1 : ノイズ
        CALL    !WAIT            ; 100μs ウェイト
        if_bit(!P0.0)
            CLR1   IPDTFG         ; 異常データ入力
            CLR1   RPT            ; 入力信号無効
            CALL   !S_MOSET       ; スタート・エッジ検出モードに設定
        endif
    endif
    RET

;*****
;*      キャプチャ・レジスタ値の算出
;*****
PW_CT:
    if_bit(OVF0)                 ; エッジ検出後のOVF0?
        if(CR01<#10000-33) (AX) ; 割り込み受け付け処理時間=65クロック(MAX)
            CLR1   OVF0
            SET1   OVSNS
            SET1   TO_FLG
        endif
    endif

    CR01_NP=CR01 (AX)           ; キャプチャ・レジスタ値の取り込み

    A=CR01_NP+0                 ; AX=CR01_NP-CR01_OP
    A-=CR01_OP
    X=A
    A=CR01_NP+1
    SUBC    A,CR01_OP+1

    BC=AX                       ; 演算結果退避
    if_bit(CY)                   ; CR01_NP>CR01_OP
        if_bit(TO_FLG)          ; タイマ・オーバーフローあり(フラグ・テスト)
            CLR1   CY           ; 正常データ
        endif
    else
        if_bit(TO_FLG)          ; タイマ・オーバーフロー
            SET1   CY           ; エラー発生
        endif
    endif

    CR01_OP=CR01_NP (AX)
    AX=BC                       ; 演算結果復帰
    CLR1   TO_FLG
    RET

```

```

;*****
;*          100μs ウェイト
;*****
WAIT:
    B=#(838-14-12-8)/12                ; CALL (14), RET (12), MOV (8)
WAITCT:                                ; 100μs の設定
    DBNZ    B, $WAITCT                 ; 1命令12クロック
    RET

;*****
;*   スタート・エッジ検出モードの設定
;*****
S_M0SET:
    TO_CNT=#0
    SELMOD=#0                          ; スタート・エッジ検出モード
    INTMO=#00000000B                  ; INTPO 立ち下がりエッジ
    RET

;*****
;*   異常データ検出モードの設定
;*****
S_M5SET:
    RPTCT=#16                          ; 250ms 測定用カウンタ
    SELMOD=#5                          ; データ入力終了モード
    RMENDCT=#2                         ; 無入力確認用カウンタ
    RET

```

5.4 ワンショット・パルス出力

16ビット・タイマ/イベント・カウンタには、ソフトウェア・トリガおよび外部トリガ（INTP0/TI00/P00端子入力）に同期したワンショット・パルスを出力する機能があります。

ワンショット・パルス出力として使用する場合、16ビット・タイマ・モード・コントロール・レジスタ（TMC0）、キャプチャ/コンペア・コントロール・レジスタ0（CRC0）および16ビット・タイマ出力コントロール・レジスタ（TOC0）により設定します。

ここでは、ソフトウェア・トリガによるワンショット・パルス出力の設定を行います。

任意のタイミング（キー入力など）により、OSPTフラグ（TOC0レジスタのビット6）のセットを行います。

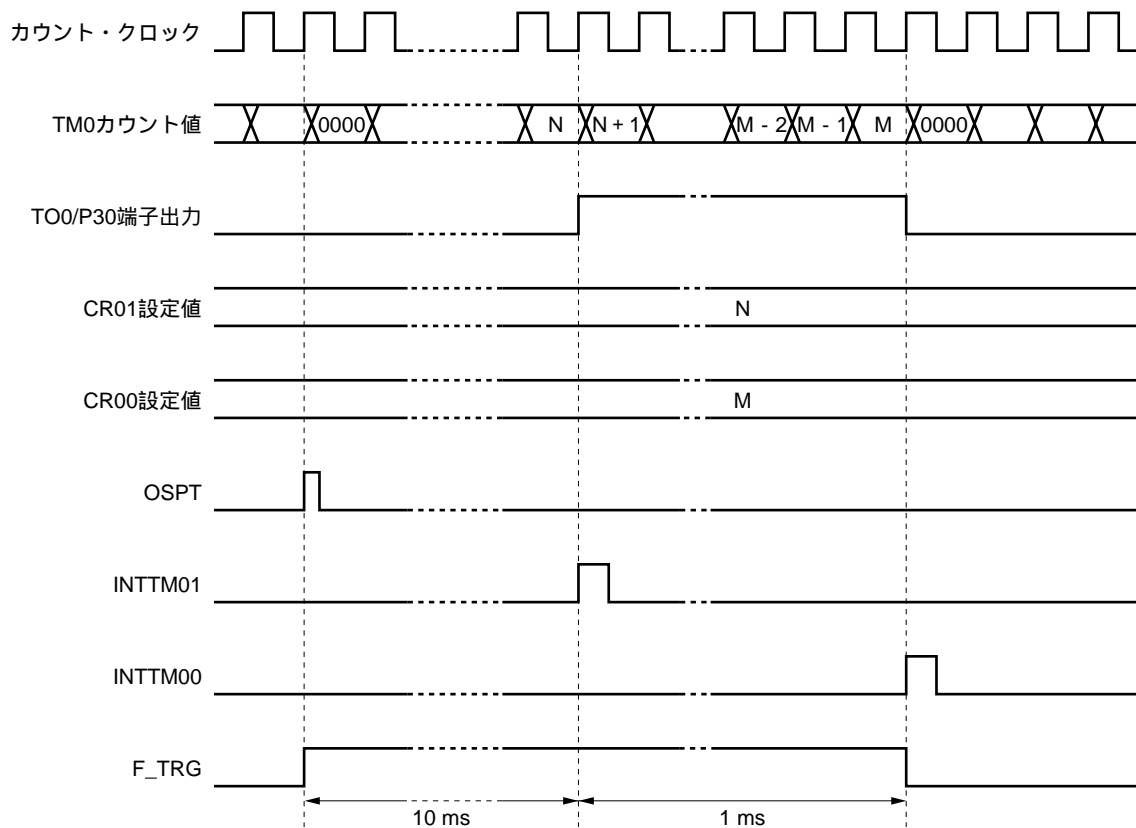
ソフトウェア・トリガ発生後、TM0カウンタがクリア&スタートされ、あらかじめCR01に設定されている値との一致によりTO0/P30端子の出力が反転されます（アクティブ・レベルになる）。その後、あらかじめCR00に設定されている値との一致により再度TO0/P30端子出力が反転されます（インアクティブ・レベルになる）。CR00との一致後のTM0カウンタは、クリアされ、再度カウント・アップされますが、次の一致が確認されてもTO0/P30端子の出力の反転は行われません。ソフトウェア・トリガが設定されたときのみクリア&スタートし、TO0/P30端子の出力反転を行います。アクティブ・レベルは、TOC0レジスタのTO0/P30端子出力F/Fの初期値を選択することにより決定されます。

ソフトウェア・トリガによるワンショット・パルス出力を使用するときの注意点を以下に示します。

- ・ワンショット・パルスを出力しているときは、OSPTフラグを1にセットしないでください。再度ワンショット・パルス出力をしたいときは、CR00との一致割り込み要求であるINTTM00が発生したあとに行ってください。
- ★ ・ソフトウェア・トリガで使用するときは、TI00端子またはその兼用ポートのレベルを、ハイまたはロウのどちらか一方に固定してください。固定にしないと、TI00端子またはその兼用ポートのレベルの変化でもタイマがクリア&スタートしてしまうので、意図しないタイミングでパルスが出力されてしまいます。

この例では、キー入力により、ソフトウェア・トリガを設計し、10 ms後、1 ms間“ H ” アクティブ出力を行います。

図5 - 14 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



備考 F_TRG : ワンショット・パルスが出力中であることを示すフラグです。詳細は(2)使用例を参照してください。

(1) パッケージの説明

<パブリック宣言シンボル>

SOP_INIT : ワンショット・パルス出力初期設定サブルーチン

<使用するレジスタ>

なし

<使用するRAM>

なし

<使用するフラグ>

なし

<ネスティング・レベル>

1 レベル 2 バイト

<使用するハードウェア>

16ビット・タイマ/イベント・カウンタ

<初期設定>

OSMS=#00000001B	発振モード選択レジスタ	分周回路を使用しない
CLR1 P3.0	ポート3のビット0	の出力ラッチを0に設定
CLR1 PM3.0	ポート・モード・レジスタ3	のビット0を出力モードに設定
CALL !SOP_INIT	サブルーチンSOP_INIT	で設定しています。

<起動方法>

16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット6 (OSPT) をセットしてください。

(2) 使用例

このパッケージの使用例では、パルス出力中に再度16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット6 (OSPT) のセットを行わないために、図5-14に示すように、OSPTフラグがセットされると同時に、F_TRGフラグをセットします。F_TRGフラグがセットされている間 (パルス出力中) に、次の出力要求が発生してもOSPTフラグのセットを行わないよう処理します。ワンショット・パルス出力終了後 (INTTM00発生時)、F_TRGフラグをクリアしてください。

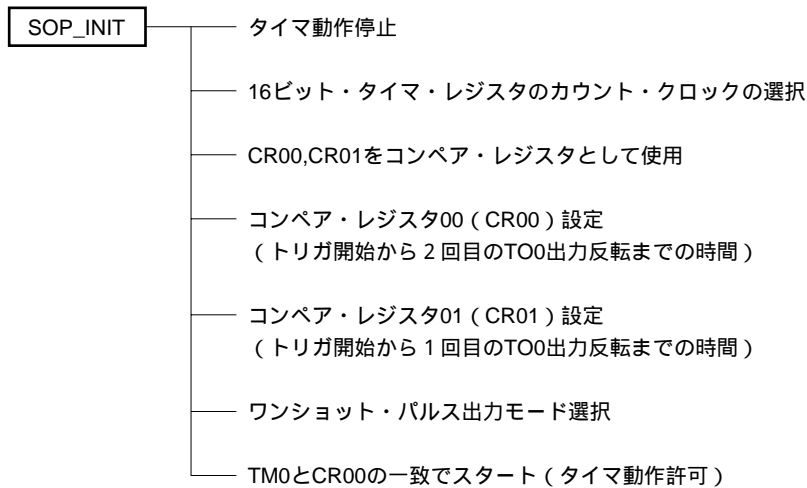
```

EXTRN  SOP_INIT

M1PRO  CSEG
RES_STA:
  OSMS=#00000001B      ;分周回路を使用しない
  CLR1  P3.0           ;兼用端子使用時は出力ラッチ0に設定
  CLR1  PM3.0         ;兼用端子使用時は出力モードに設定
  CALL  !SOP_INIT     ;ワンショットパルス出力初期設定ルーチン
  .
  .
  if(キ-要求あり)
    if_bit(!F_TRG)    ;前回の出力終了?
      SET1  OSPT      ;16ビットカウンタクリア&スタート
      SET1  F_TRG     ;ワンショットパルストリガフラグセット
    endif
  endif
  if_bit(TMIF00)      ;ワンショットパルス出力終了?
    CLR1  F_TRG      ;ワンショットトリガフラグクリア
    CLR1  TMIF00     ;TMIF00要求フラグクリア
  endif
  .
  .

```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC SOP_INIT

OTPINIT    CSEG
SOP_INIT:
    TMC0=#00000000B           ;タイマ動作停止
    TCLO=#01000000B         ;16ビット・タイマ・レジスタのカウント・クロック 1.05MHz
    CRC0=#00000000B         ;CR00,CR01をコンパ・レジスタとして使用
    CR00=#11550-1           ;コンパ・レジスタ設定 11ms
    CR01=#10500-1          ;コンパ・レジスタ設定 10ms
    TOC0=#00110111B        ;ワンショット・パルス・モード 選択
    TMC0=#00001100B        ;TMOとCR00の一致でスタート(タイマ動作許可)
    RET
    END

```

5.5 PPG出力

PPG (Programmable Pulse Generator) 出力として使用する場合、16ビット・タイマ・モード・コントロール・レジスタ (TMC0)、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) および16ビット・タイマ出力コントロール・レジスタ (TOC0) により設定します。

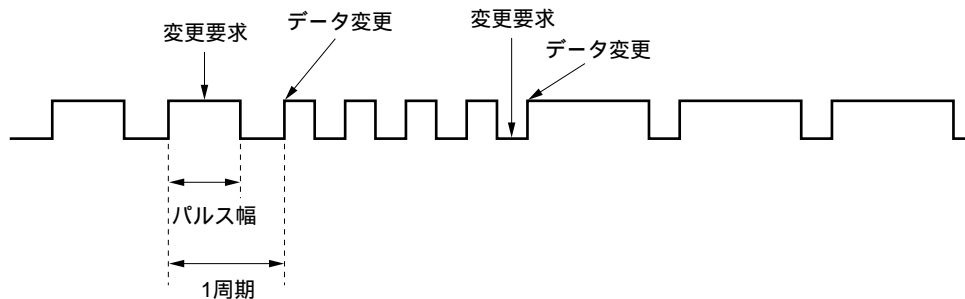
PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/P30端子から出力します。

この応用例は、PPG出力を用いて出力波形を変更するプログラムです。また、出力波形の1周期とパルス幅を示すデータをROMの中に持っていて、このデータをコンペア・レジスタに格納します。

このプログラムのPPG出力の周期とパルス幅は、1ms単位で10msまで変更可能です。したがって、設定範囲は、周期2ms-10ms、パルス幅1ms-9msとなります。出力波形変更タイミング時に、設定されたデータが周期パルス幅のときは、データの変更を行いません。

また、出力波形変更タイミングは、1周期出力終了後に行います。図5-15にPPG出力波形変更タイミングを示します。

図5-15 PPG出力波形変更タイミング



(1) パッケージの説明

<パブリック宣言シンボル>

サブルーチン名称

SPG_INIT : PPG出力初期設定サブルーチン

SPG_INITルーチンのデータ定義参照名

PDAT : コンペア・レジスタに格納するパルス幅用データ値の先頭番地

SDAT : コンペア・レジスタに格納する周期用データ値の先頭番地

SPG_INITルーチンの入力パラメータ

PARUSU : パルス幅時間格納エリア

SAIKURU : 1周期時間格納エリア

SPG_INITルーチンおよびINTTM00割り込みの入出力パラメータ

PARUSUP : パルス幅時間変更データ格納エリア

SAIKURUP : 1周期時間変更データ格納エリア

<使用するレジスタ>

SPG_INIT : バンク 0 AX,HL

INTTM00 : バンク 2 AX

<使用するRAM>

名 称	用 途	属 性	バイト
PARUSU	パルス幅時間の設定	SADDR	1
SAIKURU	1周期時間の設定	SADDR	1
PARUSUP	パルス幅時間に対応したコンペア・データ値の設定	SADDRP	2
SAIKURUP	1周期時間に対応したコンペア・データ値の設定	SADDRP	2

<使用するフラグ>

なし

<ネスティング・レベル>

1レベル3バイト

<使用するハードウェア>

16ビット・タイマ/イベント・カウンタ

<初期設定>

OSMS=#00000001B	発振モード選択レジスタ	分周回路を使用しない
CLR1 P3.0	ポート3のビット0	の出力ラッチを0に設定
CLR1 PM3.0	ポート・モード・レジスタ3のビット0	を出力モードに設定
CALL !PPG_INIT	サブルーチンPPG_INITで設定しています。	

<起動方法>

リセット・スタート後，RAMのPARUSUに設定可能範囲内のパルス幅時間，SAIKURUに設定可能範囲内の周期時間を設定し，サブルーチンPPG_INITをコールしてください。

また，PPG出力波形変更時には，PARUSUPに設定可能範囲内のパルス幅に対応したコンペア・データ値およびSAIKURUPに設定可能範囲内の周期時間に対応したコンペア・データ値を設定後，INTTM00割り込み要求フラグ・クリア，割り込み許可を行ってください。

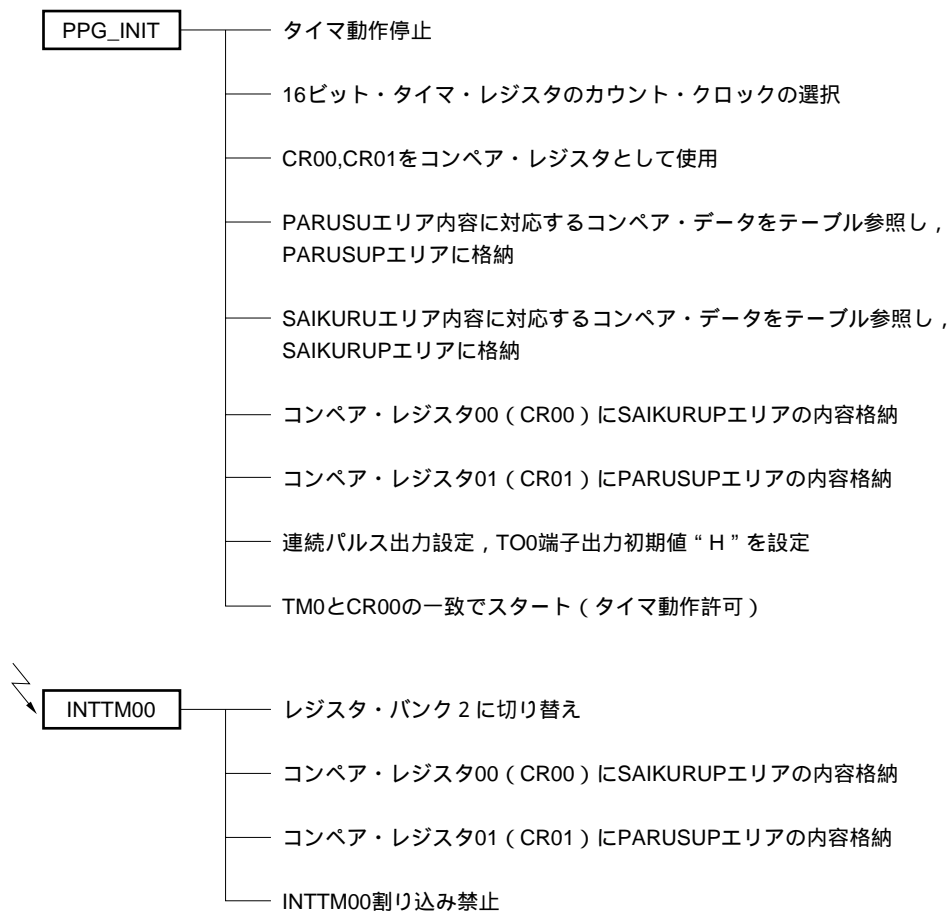
(2) 使用例

```

EXTRN  SPG_INIT
EXTRN  SAIKURUP, PARUSUP
EXTRN  SAIKURU, PARUSU
EXTRN  PDAT, SDAT
;
SMIN   EQU    02H           ;周期最小時間
PMIN   EQU    01H           ;パルス幅最小時間
.
.
OSMS=#00000001B           ;分周回路を使用しない
SAIKURU=#SMIN              ;周期初期値設定
PARUSU=#PMIN              ;パルス幅初期設定
CLR1   P3.0                ;兼用端子使用時は出力ラッチ0に設定
CLR1   PM3.0              ;兼用端子使用時は出力モードに設定
CALL   !SPG_INIT
EI
.
.
if(波形変更要求)
    if(SAIKURU > PARUSU) (A)
        A=PARUSU
        A--
        A <<= 1
        X=A
        A=#0
        AX+=#PDAT
        HL=AX
        X=[HL] (A)
        HL++
        A=[HL]
        PARUSUP=AX
    ;
    A=SAIKURU
    A--
    A--
    A <<= 1
    X=A
    A=#0
    AX+=#SDAT
    HL=AX
    X=[HL] (A)
    HL++
    A=[HL]
    SAIKURUP=AX
    CLR1   TMIF00
    CLR1   TMMK00
endif
endif
.
.

```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC SPG_INIT,PDAT,SDAT
PUBLIC SAIKURU,PARUSU
EXTRN SAIKURUP,PARUSUP
;
;
;*****
;
;          R A M 定 義
;*****
PPGRAM    DSEG    SADDR    ;
SAIKURU:  DS      1          ;1周期時間格納エリア
PARUSU:   DS      1          ;パルス幅時間格納エリア
;
;*****
;
;          PPG出力初期設定
;*****
PPGINIT   CSEG
SPG_INIT:
    TMC0=#0000000B          ;タイマ動作停止
    TCL0=#0010000B          ;16ビット・タイマレジスタのカウントクロック 4.19MHz
    CRC0=#0000000B          ;CR00,CR01をコンパレジスタとして使用
    A=PARUSU                 ; データ1 XXX0番地
    A--                       ; データ2 XXX2番地
    A <<= 1                   ; データ3 XXX4番地
    X=A                       ;
    A=#0                      ; コンパレジスタ格納値の下位8ビット
    AX+=#PDAT                 ; をテーブル参照する
    HL=AX                     ; レジスタ 下位8ビット
    X=[HL] (A)               ;
    HL++                      ; コンパレジスタ格納値の上位8ビットをテーブル参照する
    A=[HL]                   ; レジスタ 上位8ビット
    PARUSUP=AX               ;
;
;
;          周期時間格納処理
;
    A=SAIKURU                 ;
    A--                       ;
    A--                       ;
    A <<= 1                   ;
    X=A                       ;
    A=#0                      ;
    AX+=#SDAT                 ;
    HL=AX                     ;
    X=[HL] (A)               ;
    HL++                      ;
    A=[HL]                   ;
    SAIKURUP=AX              ;
    CRO0=SAIKURUP (AX)        ;コンパレジスタ設定 2ms
    CRO1=PARUSUP (AX)        ;コンパレジスタ設定 1ms
    TOC0=#00011011B          ;連続パルス出力設定,初期値'H'を設定
    TMC0=#00001100B          ;TMOとCRO0の一致でスタート(タイマ動作許可)
    RET                       ;
;

```

```

PDAT:
  DW 4201 ;XXX0番地
  DW 8403 ;XXX2番地
  DW 12605 ;XXX4番地
  DW 16807 ;
  DW 21009 ;
  DW 25211 ;
  DW 29413 ;
  DW 33615 ;
  DW 37817 ;
SDAT:
  DW 8403 ;XXX0番地
  DW 12605 ;XXX2番地
  DW 16807 ;XXX4番地
  DW 21009 ;
  DW 25211 ;
  DW 29413 ;
  DW 33615 ;
  DW 37817 ;
  DW 42019 ;
END

PUBLIC PARUSUP,SAIKURUP
;
VETMOO CSEG AT 20H
      DW INTTMOO
;
P2RAM DSEG SADDRP ;
PARUSUP: DS 2 ;パルス幅時間変更データ格納エリア
SAIKURUP: DS 2 ;1周期時間変更データ格納エリア
;*****
; PPG出力(周期・パルス幅時間変更割り込み)
;*****
TMOO CSEG ;
INTTMOO:
  SEL RB2 ;バンク2に切り替え
  CR01=PARUSUP (AX) ;CR00,CR01 パルス幅および周期時間変更データ格納
  CR00=SAIKURUP (AX) ;
  SET1 TMMK00 ;コンパレシスタ0割り込み禁止
  RETI ;
END

```

第6章 8ビット・タイマ/イベント・カウンタの応用

78K/0シリーズの8ビット・タイマ/イベント・カウンタには、インターバル・タイマ、外部イベント・カウンタ、方形波出力の3種類の機能があります。また、8ビット・タイマ/イベント・カウンタは2チャンネル内蔵していますが、カスケード接続することにより16ビット・タイマ/イベント・カウンタとしても使用することができます。

8ビット・タイマ/イベント・カウンタは、次のレジスタにより設定します。

- ・タイマ・クロック選択レジスタ1 (TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ (TMC1)
- ・8ビット・タイマ出力コントロール・レジスタ (TOC1)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート3 (P3)

図6-1 タイマ・クロック選択レジスタ1のフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	FF41H	00H	R/W

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウント・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI1の立ち下がりエッジ		
0	0	0	1	TI1の立ち上がりエッジ		
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
上記以外				設定禁止		

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウント・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI2の立ち下がりエッジ		
0	0	0	1	TI2の立ち上がりエッジ		
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
上記以外				設定禁止		

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
- 2 . f_x : メイン・システム・クロック発振周波数
- 3 . TI1 : 8ビット・タイマ・レジスタ1の入力端子
- 4 . TI2 : 8ビット・タイマ・レジスタ2の入力端子
- 5 . MCS : 発振モード選択レジスタ (OSMS) のビット0
- 6 . () 内は, $f_x = 5.0\text{MHz}$ 動作時。

図6-2 タイマ・クロック選択レジスタ1のフォーマット(μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	FF41H	00H	R/W

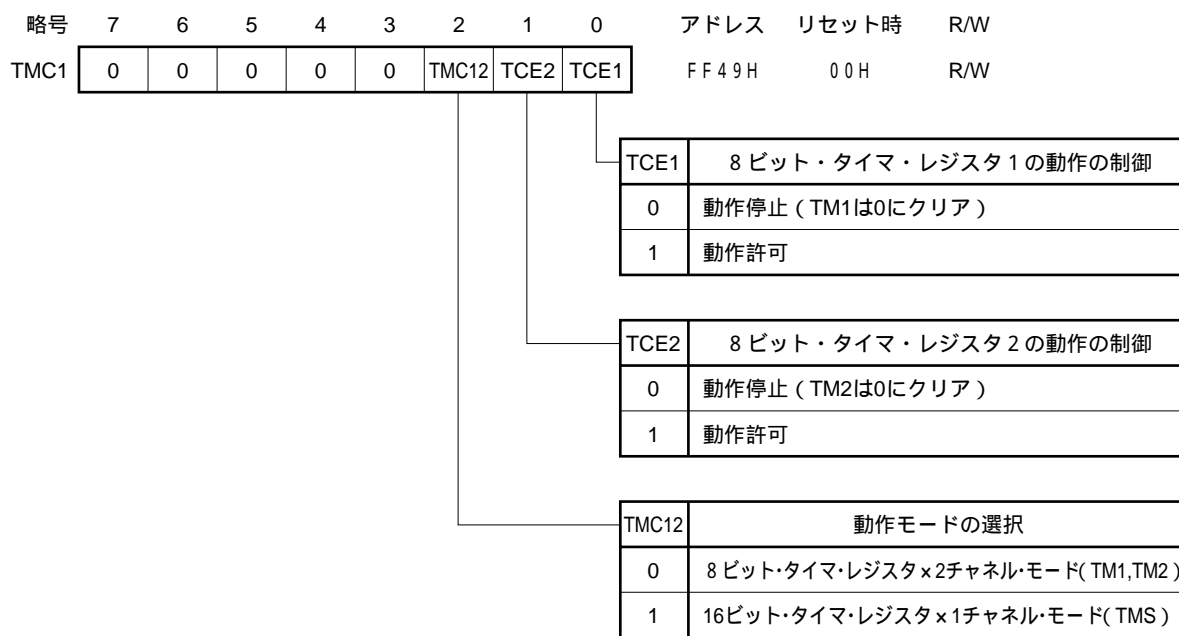
TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択
0	0	0	0	TI1の立ち下がりエッジ
0	0	0	1	TI1の立ち上がりエッジ
0	1	1	0	$f_{xx}/2$ (2.0 MHz)
0	1	1	1	$f_{xx}/2^2$ (1.0 MHz)
1	0	0	0	$f_{xx}/2^3$ (500 kHz)
1	0	0	1	$f_{xx}/2^4$ (250 kHz)
1	0	1	0	$f_{xx}/2^5$ (125 kHz)
1	0	1	1	$f_{xx}/2^6$ (62.5 kHz)
1	1	0	0	$f_{xx}/2^7$ (31.3 kHz)
1	1	0	1	$f_{xx}/2^8$ (15.6 kHz)
1	1	1	0	$f_{xx}/2^9$ (7.8 kHz)
1	1	1	1	$f_{xx}/2^{11}$ (2.0 kHz)
上記以外				設定禁止

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択
0	0	0	0	TI2の立ち下がりエッジ
0	0	0	1	TI2の立ち上がりエッジ
0	1	1	0	$f_{xx}/2$ (2.0 MHz)
0	1	1	1	$f_{xx}/2^2$ (1.0 MHz)
1	0	0	0	$f_{xx}/2^3$ (500 kHz)
1	0	0	1	$f_{xx}/2^4$ (250 kHz)
1	0	1	0	$f_{xx}/2^5$ (125 kHz)
1	0	1	1	$f_{xx}/2^6$ (62.5 kHz)
1	1	0	0	$f_{xx}/2^7$ (31.3 kHz)
1	1	0	1	$f_{xx}/2^8$ (15.6 kHz)
1	1	1	0	$f_{xx}/2^9$ (7.8 kHz)
1	1	1	1	$f_{xx}/2^{11}$ (2.0 kHz)
上記以外				設定禁止

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_{xx} : メイン・システム・クロック周波数
 2. TI1 : 8ビット・タイマ・レジスタ1の入力端子
 3. TI2 : 8ビット・タイマ・レジスタ2の入力端子
 4. ()内は、 $f_{xx} = 4.0$ MHz動作時。

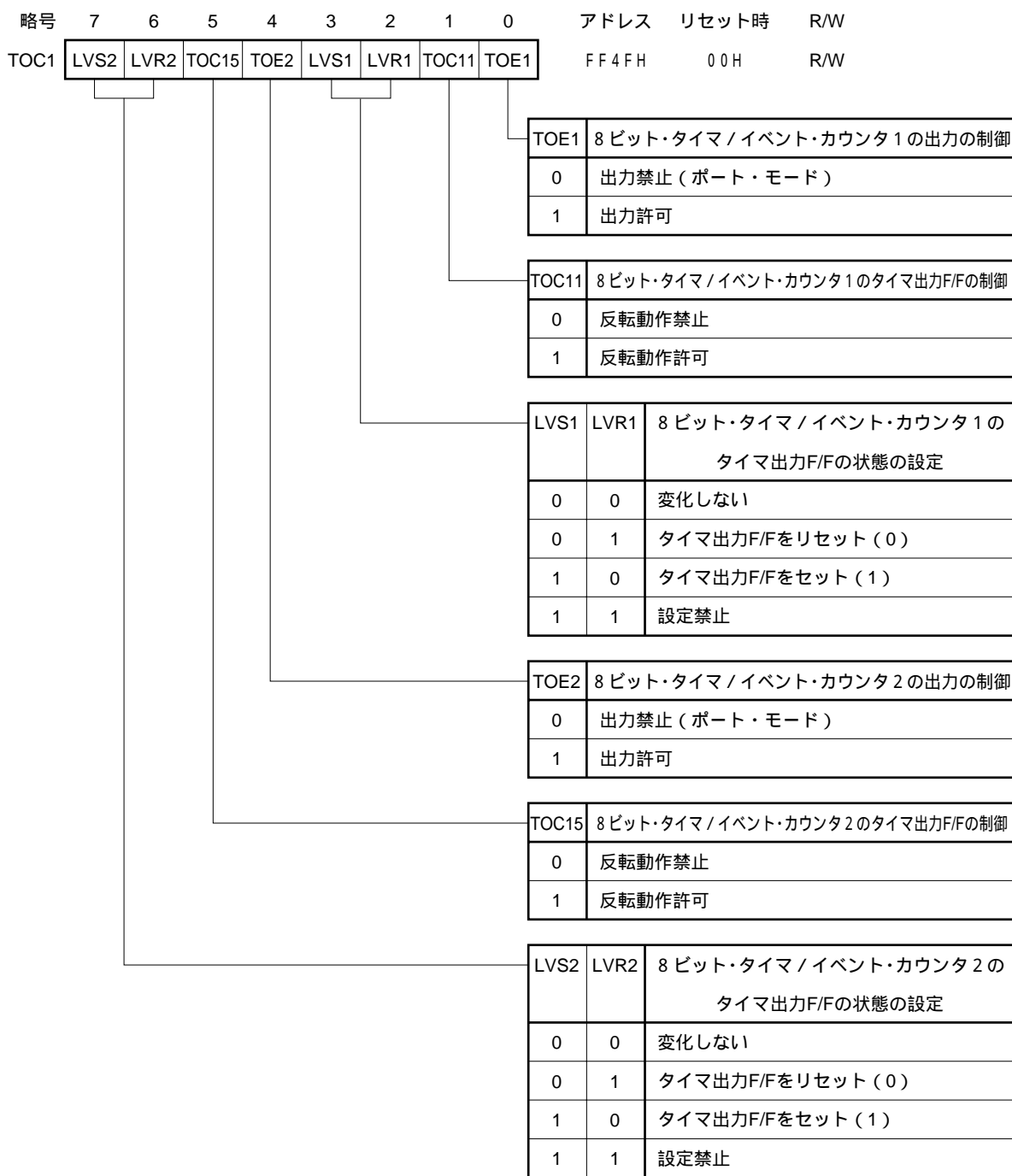
図6-3 8ビット・タイマ・モード・コントロール・レジスタのフォーマット



注意1．動作モードの切り替えは、タイマ動作を停止させたのちに行ってください。

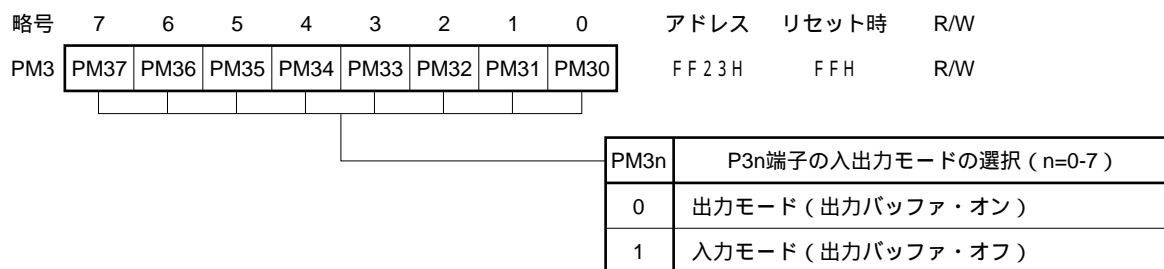
2．16ビット・タイマ・レジスタとして使用する場合、動作許可/停止はTCE1で行ってください。

図6-4 8ビット・タイマ出力コントロール・レジスタのフォーマット



- 注意1 . TOC1の設定は、必ずタイマ動作を停止させたのちに行ってください。
- 2 . LVS1, LVS2, LVR1, LVR2は、データ設定後に読み出すと0が読み出せます。

図6-5 ポート・モード・レジスタ3のフォーマット



6.1 インターバル・タイマの設定

インターバル・タイマとして使用する場合，8ビット・タイマの動作モードは8ビット・タイマ・モード・コントロール・レジスタ（TMC1）で，インターバル時間はタイマ・クロック選択レジスタ1（TCL1）で設定します。

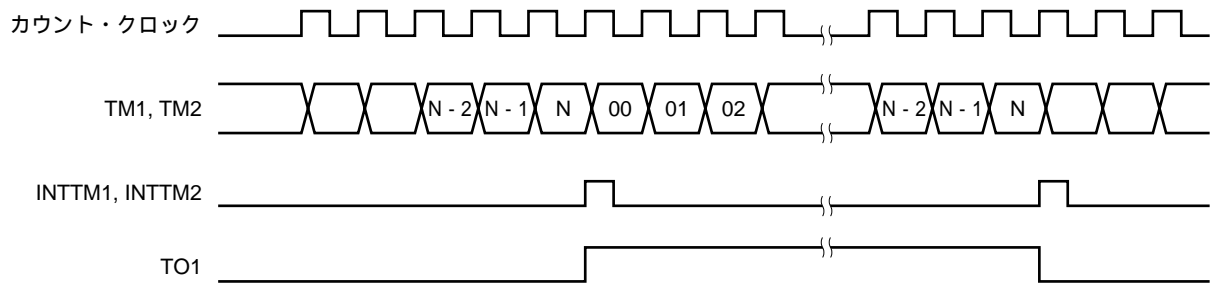
その後，設定時間とカウント・クロックからコンペア・レジスタ（CR10, CR20）の値を設定します。設定時間は，以下の式で決定します。

$$\text{設定時間} = (\text{コンペア・レジスタ値} + 1) \times \text{カウント・クロック周期}$$

設定時間は，8ビット・タイマとして使用する場合でも，16ビット・タイマとして使用する場合でも同様に求めることができます。ただし，16ビット・タイマとして使用するときのカウント・クロックは，TCL1のビット0-ビット3（TCL10-TCL13）で選択した値になります。

次に8ビット・タイマ/16ビット・タイマのそれぞれのモードについて例を示します。

図6 - 6 8ビット・タイマのカウント・タイミング



6.1.1 8ビット・タイマの設定

この例では、8ビット・タイマ2を使用し、インターバルの設定時間を500 μsと100 msとした2種類について示します。

(a) 500 μsのインターバルの場合

TMC1の設定

8ビット・タイマ・レジスタ×2チャンネル・モードを選択し8ビット・タイマ2を動作許可

TCL1の設定

500 μs以上の設定が可能で、分解能の最も高い $f_{xx}/2^4$ を選択 (OSMS = 01H)

CR20の設定

$$500 \mu s = (N + 1) \times \frac{1}{4.19 \text{ MHz}/2^4}$$

$$N = 500 \mu s \times 4.19 \text{ MHz}/2^4 - 1 = 130$$

(1) プログラム・リスト

OSMS = #00000001B ; 分周回路を使用しない

TCL1 = #10011001B ; カウント・クロックに $f_{xx}/2^4$ を選択

CR20 = #130

TMC1 = #00000010B

(b) 100 msのインターバルの場合

TMC1の設定

8ビット・タイマ・レジスタ×2チャンネル・モードを選択し8ビット・タイマ2を動作許可

TCL1の設定

100 ms以上の設定が可能で、分解能の最も高い $f_{xx}/2^{11}$ を選択 (OSMS = 01H)

CR20の設定

$$100 \text{ ms} = (N + 1) \times \frac{1}{4.19 \text{ MHz}/2^{11}}$$

$$N = 100 \text{ ms} \times 4.19 \text{ MHz}/2^{11} - 1 = 204$$

(1) プログラム・リスト

OSMS = #00000001B ; 分周回路を使用しない

TCL1 = #11111111B ; カウント・クロックに $f_{xx}/2^{11}$ を選択

CR20 = #204

TMC1 = #00000010B

6.1.2 16ビット・タイマの設定

この例では、8ビット・タイマ1と8ビット・タイマ2をカスケード接続し、インターバル・タイマの設定時間を500 msと10 sの2種類について示します。

(a) 500 msのインターバルの場合

TMC1の設定

16ビット・タイマ・レジスタ×1チャンネル・モードで8ビット・タイマ1, 2を動作許可

TCL1の設定

500 ms以上の設定が可能で、分解能の最も高い $f_{xx}/2^5$ を選択 (OSMS = 01H)

CR10, CR20の設定

$$500 \text{ ms} = \frac{N + 1}{4.19 \text{ MHz}/2^5}$$

$$N = 500 \text{ ms} \times 4.19 \text{ MHz}/2^5 - 1 \quad 65468 = \text{FF6CH}$$

$$\text{CR10} = \text{6CH}, \text{CR20} = \text{FFH}$$

(1) プログラム・リスト

OSMS = #00000001B ; 分周回路を使用しない

TCL1 = #00001010B

CR10 = #06CH ; CR10, CR20に65468を設定

CR20 = #0FFH ; CR10 = 6CH, CR20 = FFH

TMC1 = #00000111B

(b) 10 sのインターバルの場合

TMC1の設定

16ビット・タイマ・レジスタ×1チャンネル・モードで8ビット・タイマ1, 2を動作許可

TCL1の設定

10 s以上の設定が可能で, 分解能の最も高い $f_{xx}/2^{11}$ を選択 (OSMS = 01H)

CR10, CR20の設定

$$10 \text{ s} = \frac{N + 1}{4.19 \text{ MHz}/2^{11}}$$

$$N = 10 \text{ s} \times 4.19 \text{ MHz}/2^{11} - 1 \quad 20458 = 4\text{FEAH}$$

$$\text{CR10} = \text{EAH}, \text{CR20} = 4\text{FH}$$

(1) プログラム・リスト

OSMS = #00000001B ; 分周回路を使用しない

TCL1 = #00001111B

CR10 = #0EAH ; CR10, CR20に20458を設定

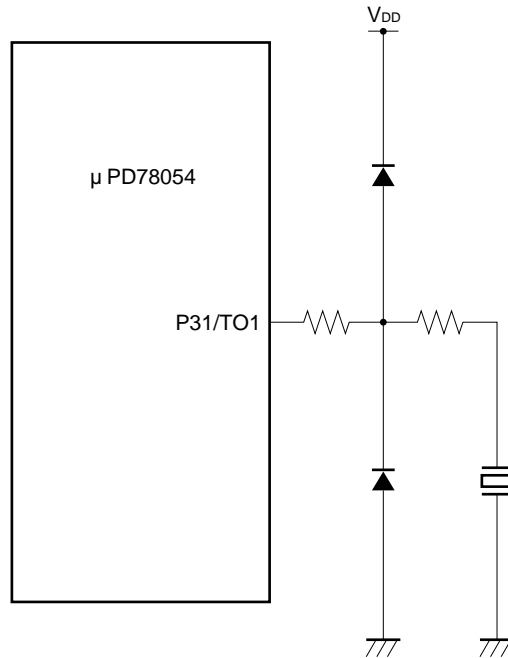
CR20 = #4FH ; CR10 = EAH, CR20 = 4FH

TMC1 = #00000111B

6.2 音階発生

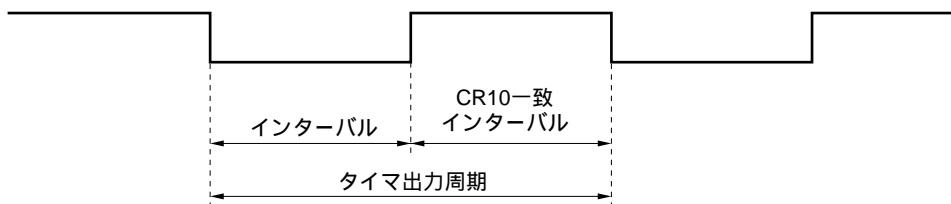
この例では、8ビット・タイマ/イベント・カウンタ1の方形波出力（P31/TO1）の機能を使用し、外付けのブザーなどにパルスを供給することで音階を発生するプログラムを示します。

図6-7 音階発生の回路



P31/TO1端子からの出力周波数は、カウント・クロックとコンペア・レジスタで設定されます。この例では、音階の周波数の中心を523 Hz-1046 Hzの範囲に設定していますので、カウント・クロックは $f_{xx}/2^5$ を選択しています（発振モード選択レジスタ：OSMS = 01H）。表6-1に音階とコンペア・レジスタの設定値および出力されるパルスの周波数を示します。ただし、タイマ出力はコンペア・レジスタと2回一致することで1周期が作られますので半周期の時間でインターバルの設定を行います。

図6-8 タイマ出力とインターバル



また、音の時間長については、8ビット・タイマ/イベント・カウンタ2でインターバル時間を設定し、その割り込み回数をカウントすることで出力時間を決定しています。この例では、8ビット・タイマ/イベント・カウンタ2を20msに設定しています。

表6-1 音階と周波数

音階	音階周波数Hz	コンペア・レジスタ値	出力周波数Hz
ド	523.25	124	524.3
レ	587.33	111	585.1
ミ	659.25	98	662.0
ファ	698.46	93	697.2
ソ	783.98	83	780.2
ラ	880.00	73	885.6
シ	987.77	65	993.0
ド	1046.5	62	1040

このプログラムでのデータ・テーブルのフォーマットを以下に示します。

TABLE :

```

DB 音階データ1, 音長データ1
DB 音階データ2, 音長データ2
   :           :
DB 音階データn, 音長データn
DB 0,         0
    
```

休符のときは、音階データを0に、データ終了のときは、音長データを0に設定します。

例 音を1秒間出力する場合の8ビット・タイマ/イベント・カウンタ2のカウント数
 カウント数=1s/20ms=50(カウント数のデータとして50を設定します)

このプログラムのデータは、ド、レ、ミ、...、ドを1秒ずつ順番に出力する例を示しています。

(1) パッケージの説明

<パブリック宣言シンボル>

MLDY : 音階発生プログラムのサブルーチン名称

<使用するレジスタ>

バンク0 : A, B, HL

<使用するRAM>

名 称	用 途	属 性	バイト
POINT	テーブル・データのポインタ値を格納	SADDR	1
LNG	音長データをカウント		

<ネスティング>

1レベル3バイト

<使用するハードウェア>

8ビット・タイマ/イベント・カウンタ1, 2
P31/TO1

<初期設定>

サブルーチンMLDYで設定しています。

割り込み許可

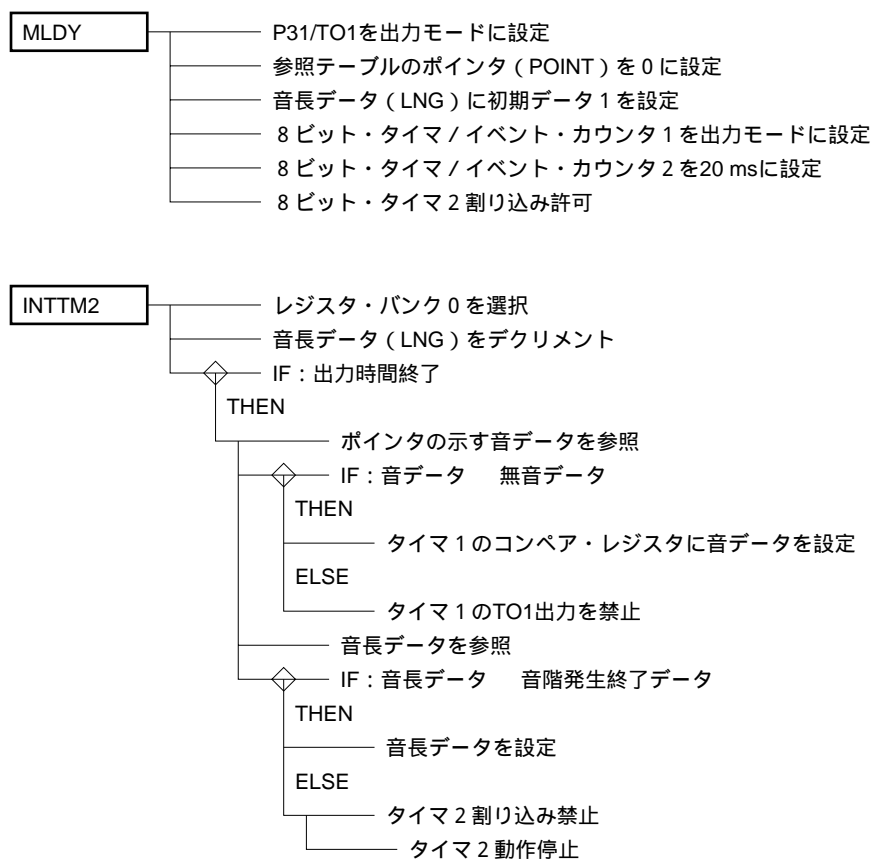
<起動方法>

サブルーチンMLDYをコールしてください。

(2) 使用例

```
EXTRN  MLDY
      :
CALL   !MLDY
EI
```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC  MLDY

VETM2  CSEG   AT 26H
        DW     INTTM2                ; 8ビット・タイマ/イベント・カウンタ2の
                                        ; ベクタ・アドレスの設定

ML_DAT  DSEG   SADDR
POINT:  DS     1                      ; テーブル・データ用ポインタ
LNG:    DS     1                      ; 音長データ

;*****
;*      音階発生イニシャライズ
;*****
ML_SEG  CSEG
MLDY:
        CLR1   PM3.1                  ; P3.1を出力モード
        POINT=#0                      ; ポインタの初期設定
        LNG=#1
        OSMS=#00000001B               ; 分周回路を使用しない
        TOC1=#00000011B               ; T01出力モードに設定
        TCL1=#11101010B
        CR20=#163                      ; タイマ2 20msに設定
        TMC1=#00000010B               ; タイマ2動作許可
        CLR1   TMMK2                  ; タイマ2割り込み許可
        RET

$EJECT

```



```

;*****
;*   音階発生データ設定
;*****
TM2_SEG CSEG
INTTM2:
    SEL RBO
    LNG--
    if(LNG==#0)
        B=POINT (A)
        HL=#TABLE                               ; テーブル先頭アドレス設定
        A=[HL+B]
        if(A!=#0)
            CLR1   TCE1                           ; 音データ設定
            CR10=A
            SET1   TOE1
            SET1   TCE1
        else
            CLR1   TOE1
        endif

        B++                                       ; ポインタ・インクリメント
        A=[HL+B]                                 ; 音長データ取り込み
        if(A!=#0)                                 ; 音出力中?
            LNG=A                                  ; 音長データ設定
            B++
            POINT=B (A)
        else
            SET1   TMMK2                           ; タイマ2 割り込み禁止
            CLR1   TCE2                           ; タイマ2 動作停止
        endif
    endif
    RETI
;*****
;*   音階データ・テーブル
;*****
TABLE:
    DB    124,50                                ; ド
    DB    111,50                                ; レ
    DB    98,50                                  ; ミ
    DB    93,50                                  ; ファ
    DB    83,50                                  ; ソ
    DB    73,50                                  ; ラ
    DB    65,50                                  ; シ
    DB    62,50                                  ; ド
    DB    00,00                                  ; 終了

```

第7章 時計用タイマの応用

78K/0シリーズの時計用タイマには、メイン・システム・クロックまたはサブシステム・クロックをソースとし0.5秒ごとにオーバーフローする時計用タイマ機能と、6種類の基準時間が設定できるインターバル・タイマ機能があります。この2種類の機能は、同時に使用することができます。

時計用タイマは、タイマ・クロック選択レジスタ2 (TCL2)、時計用タイマ・モード・コントロール・レジスタ (TMC2) により設定します。

図7-1 タイマ・クロック選択レジスタ2のフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
		MCS = 1	MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{XT} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
				MCS = 1	MCS = 0
0	x	x	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

★ 注意1 . TCL2の書き換えは、変更対象の時計用タイマまたはブザーの動作を停止させて行ってください(同一データの上書きでは停止不要)。

停止方法は次のとおりです。

- ・ブザー出力 : TCL2のビット7 (TCL27) に0を入力
- ・時計用タイマ : 時計用タイマ・モード・コントロール・レジスタ (TMC2) のビット2 (TMC22) に0を入力

2 . ウォッチドッグ・タイマ動作開始後、カウンタ・クロックの変更 (TCL20-TCL22の書き換え) は禁止です。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2 . f_x : メイン・システム・クロック発振周波数

3 . f_{XT} : サブシステム・クロック発振周波数

4 . x : don't care

5 . MCS : 発振モード選択レジスタ (OSMS) のビット0

6 . () 内は、 $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

図7-2 タイマ・クロック選択レジスタ2のフォーマット(μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択
0	0	0	$f_{xx}/2^3$ (500 kHz)
0	0	1	$f_{xx}/2^4$ (250 kHz)
0	1	0	$f_{xx}/2^5$ (125 kHz)
0	1	1	$f_{xx}/2^6$ (62.5 kHz)
1	0	0	$f_{xx}/2^7$ (31.3 kHz)
1	0	1	$f_{xx}/2^8$ (15.6 kHz)
1	1	0	$f_{xx}/2^9$ (7.8 kHz)
1	1	1	$f_{xx}/2^{11}$ (2.0 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択
0	$f_{xx}/2^7$ (31.3 kHz)
1	f_{XT} (32.768 kHz)

TCL27	TCL26	TCL25	ブザー出力の周波数の選択
0	x	x	ブザー出力禁止
1	0	0	$f_{xx}/2^9$ (7.8 kHz)
1	0	1	$f_{xx}/2^{10}$ (3.9 kHz)
1	1	0	$f_{xx}/2^{11}$ (1.95 kHz)
1	1	1	設定禁止

★ 注意1 . TCL2の書き換えは、変更対象の時計用タイマまたはブザーの動作を停止させて行ってください(同一データの上書きでは停止不要)。

停止方法は次のとおりです。

- ・ブザー出力 : TCL2のビット7 (TCL27) に0を入力
- ・時計用タイマ : 時計用タイマ・モード・コントロール・レジスタ (TMC2) のビット2 (TMC22) に0を入力

2 . ウォッチドッグ・タイマ動作開始後、カウンタ・クロックの変更 (TCL20-TCL22の書き換え) は禁止です。

備考1 . f_{xx} : メイン・システム・クロック周波数

2 . f_{XT} : サブシステム・クロック発振周波数

3 . x : don't care

4 . () 内は、 $f_{xx} = 4.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

図7-3 時計用タイマ・モード・コントロール・レジスタのフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC2	0	TMC26	TMC25	TMC24	TMC23	TMC22	TMC21	TMC20	FF4AH	00H	R/W

TMC20	時計動作モードの選択
0	通常動作モード ($f_w/2^{14}$ でフラグをセット)
1	早送り動作モード ($f_w/2^5$ でフラグをセット)

TMC21	プリスケアラの動作の制御
0	動作停止後クリア
1	動作許可

TMC22	5ビット・カウンタの動作の制御
0	動作停止後クリア
1	動作許可

TMC23	時計用フラグのセット時間の選択		
	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xT} = 32.768 \text{ kHz}$ 動作時
0	$2^{14}/f_w$ (0.4 sec)	$2^{14}/f_w$ (0.5 sec)	$2^{14}/f_w$ (0.5 sec)
1	$2^{13}/f_w$ (0.2 sec)	$2^{13}/f_w$ (0.25 sec)	$2^{13}/f_w$ (0.25 sec)

TMC26	TMC25	TMC24	プリスケアラのインターバル時間の選択		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4/f_w$ (410 μ s)	$2^4/f_w$ (488 μ s)	$2^4/f_w$ (488 μ s)
0	0	1	$2^5/f_w$ (819 μ s)	$2^5/f_w$ (977 μ s)	$2^5/f_w$ (977 μ s)
0	1	0	$2^6/f_w$ (1.64 ms)	$2^6/f_w$ (1.95 ms)	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.28 ms)	$2^7/f_w$ (3.91 ms)	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (6.55 ms)	$2^8/f_w$ (7.81 ms)	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (13.1 ms)	$2^9/f_w$ (15.6 ms)	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止		

注意 時計用タイマを使用するときは、ひんばんにプリスケアラをクリアしないでください。

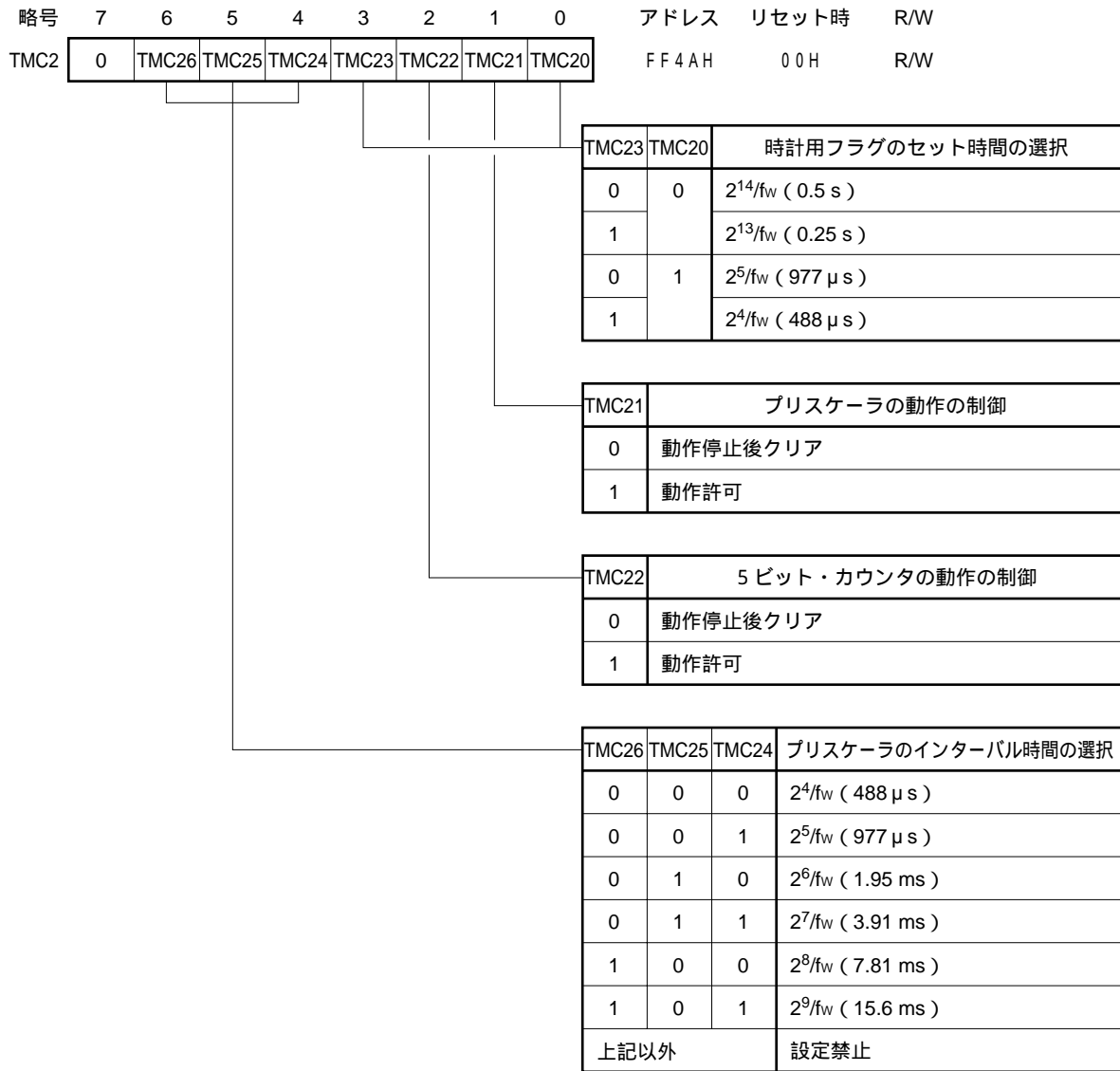
備考1 f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xT})

2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

3. f_x : メイン・システム・クロック発振周波数

4. f_{xT} : サブシステム・クロック発振周波数

図7-4 時計用タイマ・モード・コントロール・レジスタのフォーマット (μPD78098Bサブシリーズ)



注意 時計用タイマを使用するときは、ひんばんにプリスケアラをクリアしないでください。

備考1 . f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$ または f_{XT})

2 . () 内は, $f_w = 32.768$ kHz動作時。

7.1 時計とLED表示プログラム

時計用タイマを使った例として、0.5秒のオーバーフローを使用した時刻カウントと、1.95 msのインターバルを使用したLEDダイナミック表示を示します。

時刻カウントはサブルーチンがコールされるごとにオーバーフロー・フラグをテストし、セットされているときは秒のカウント・アップ処理を行います。オーバーフローは0.5秒で発生しますので、120回カウントされたときに1分のカウント・アップを行います。オーバーフローのテストは、取りこぼしのないように1.95 msのインターバルでテストしています。このプログラムの時計表示は、24時間表示で行います。分データ、時データは、上位下位桁を別々にメモリに持つようにします。

図7 - 5 時計データの概念図

秒データ	分データ		時データ	
0-120	下位 0-9	上位 0-5	下位 0-9	上位 0-2

LEDダイナミック表示は、1.95 msごとのインターバルに表示桁を切り替える4桁表示を行います。この例では、ディジット信号にP3の上位4ビットを、セグメント信号にLEDが直接ドライブできるP5を選択しています。

LED表示は、LED表示エリア (LEDDP) の表示桁エリア (DIGCT) で示された桁を表示します。また、ディジット信号を切り替えるときは、隣の桁表示がうつらないようにセグメント信号をオフにしてから行います。

図7 - 6 LED表示タイミング

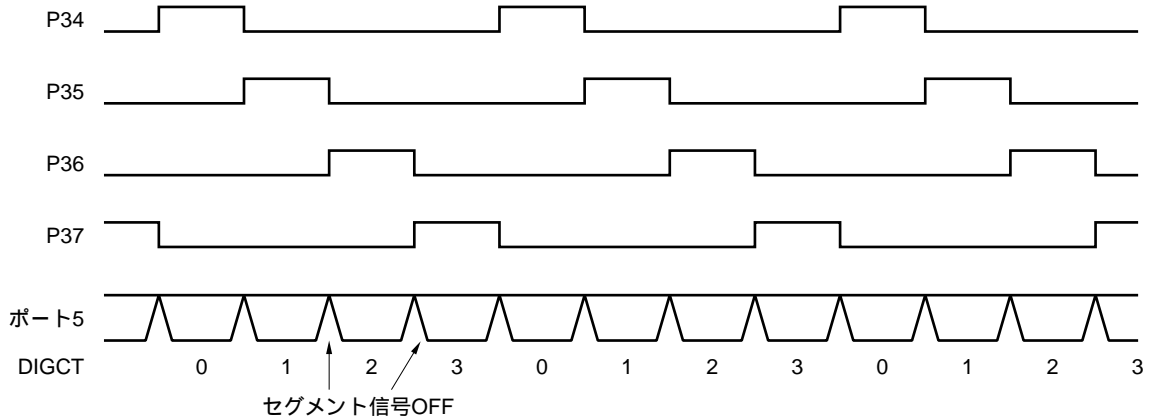
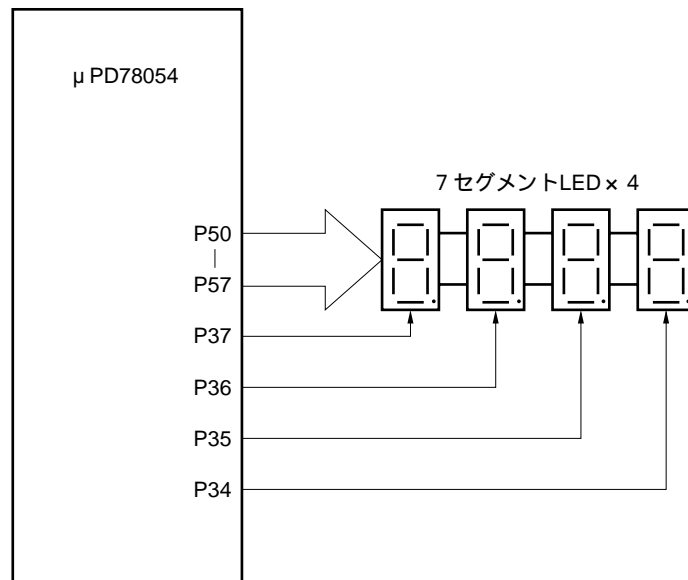
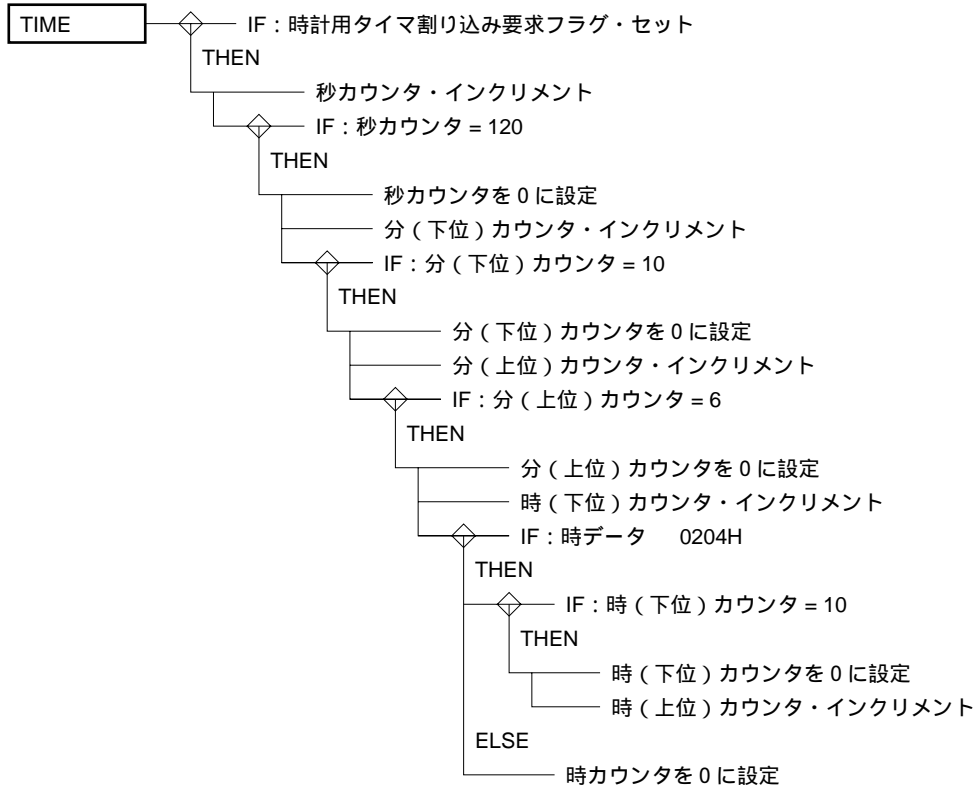
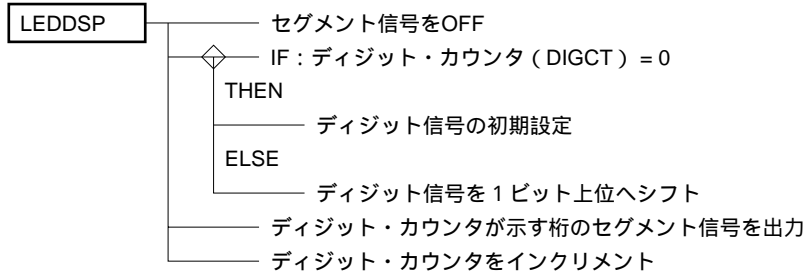
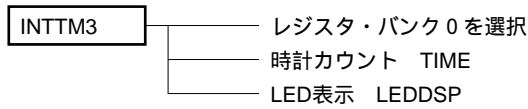


図7 - 7 時計用タイマの回路例



(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC  HOURDP, MINDP, SECD, LEDDP

WT_DATP DSEG  SADDRP
MINDP: DS    2                ; 分データ格納エリア
HOURDP: DS    2                ; 時データ格納エリア
SECD: DS     1                ; 秒データ格納エリア
DIGCT: DS     1                ; LED表示桁エリア
LEDDP: DS     4                ; LED表示エリア

VETM3   CSEG  AT 1EH
        DW    INTTM3          ; 時計用タイマのベクタ・アドレスの設定

;*****
;*   インターバル割り込み処理
;*****
TM3_SEG CSEG
INTTM3:
        SEL RBO
        CALL !TIME
        CALL !LEDDPSP
        RETI
    
```

```

;*****
;*          L E D 表示
;*****
LEDDPSP:
    P5=#0FFH                ; セグメント出力OFF
    DIGCT&=#00000011B      ; デジット・カウンタの補正(0-3)
    if(DIGCT==#0)
        A=P3
        A&=#00001111B      ; デジット信号初期設定(上位4ビット)
        A|=#00010000B
        P3=A
    else
        A=P3
        A&=#11110000B      ; 上位4ビット・シフト
        X=A
        A=P3
        A+=X
        P3=A
    endif

    B=DIGCT (A)             ; 表示データのアドレス設定
    HL=#LEDDP              ; 表示エリア先頭アドレス
    B=[HL+B] (A)           ; 表示データの設定
    HL=#SEGDT              ; セグメント・データに変換
    P5=[HL+B] (A)         ; セグメント信号出力

    DIGCT++
    RET

SEGDT:
    DB    11000000B        ; 0
    DB    11111001B        ; 1
    DB    10100100B        ; 2
    DB    10110000B        ; 3
    DB    10011001B        ; 4
    DB    10010010B        ; 5
    DB    10000010B        ; 6
    DB    11111000B        ; 7
    DB    10000000B        ; 8
    DB    10010000B        ; 9
    DB    10001000B        ; A
    DB    10000011B        ; B
    DB    11000110B        ; C
    DB    10100001B        ; D
    DB    10000110B        ; E
    DB    10001110B        ; F

$EJECT

```

```

;*****
;*      時計カウント・アップ
;*****
TIME:
    if_bit(WTIF)                ; 0.5 s テスト
        CLR1    WTIF
        SECD++                ; 120 = 60秒 / 0.5
        if(SECD=#120)
            SECD=#0
            (MINDP+0)++        ; 分下位インクリメント
            if((MINDP+0)==#10) ; 桁上げあり
                (MINDP+0)=#0
                (MINDP+1)++    ; 分上位インクリメント
                if(MINDP+1==#6) ; 桁上げあり
                    (MINDP+1)=#0
                    (HOURDP+0)++
                    if(HOURDP!=#0204H) (AX) ; 時データ 24?
                        if((HOURDP+0)==#10) ; 桁上げあり
                            (HOURDP+0)=#0
                            (HOURDP+1)++
                        endif
                    else
                        HOURDP=#0000H
                    endif
                endif
            endif
        endif
    endif
RET

```

第8章 シリアル・インタフェースの応用

78K/0シリーズのシリアル・インタフェースは、表8 - 1のようになります。

表8 - 1 各サブシリーズとシリアル・インタフェース・チャンネルの有無

シリアル・インタフェースの構成 サブシリーズ	チャンネル0				チャンネル1		チャンネル2		チャンネル3	チャンネル4	チャンネル5
	3線式	2線式	SBI	I ² Cバス	3線式	自動送受信機能付き3線式	3線式	UART	3線式	時分割機能付き3線式	I ² Cバス (マルチマスタ対応)
μ PD78054				×					×	×	×
μ PD78054Y			×						×	×	×
μ PD78064				×	×	×			×	×	×
μ PD78064Y			×		×	×			×	×	×
μ PD78078				×					×	×	×
μ PD78078Y			×						×	×	×
μ PD78083	×	×	×	×	×	×			×	×	×
μ PD780058				×				注	×	×	×
μ PD780058Y			×					注	×	×	×
μ PD780308				×	×	×		注		×	×
μ PD780308Y			×		×	×		注		×	×
μ PD78058F				×					×	×	×
μ PD78058FY			×						×	×	×
μ PD78064B				×	×	×			×	×	×
μ PD78070A				×					×	×	×
μ PD78070AY			×						×	×	×
μ PD78075B				×					×	×	×
μ PD78098B				×					×	×	×

注 時分割転送機能内蔵

備考 : 機能を持っている × : 機能を持っていない

78K/0シリーズのシリアル・インタフェースは、表8 - 1に示すように、サブシリーズごとに異なった機能を持っています。この章では、各機能ごとにその応用例について節あるいは項を分けて記載しています。各サブシリーズに対応する節および項を表8 - 2に示します。それぞれのサブシリーズのシリアル・インタフェース機能を使った応用例を知りたい場合は、 のついた節あるいは項のみお読みください。

表8 - 2 各サブシリーズに対応する項目一覧

項目 サブシリーズ	8.1.1 2線式シリアル I/Oモードの通信	8.1.2 I ² Cバス・モード の通信	8.2 OSD用LSI (μ PD6451A) とのインタフェース	8.3 SBIモードのイン タフェース	8.4 3線式シリアル I/Oモードの インタフェース	8.5 アシンクロナス・シリ アル・インタフェース (UART)モード のインタフェース
μ PD78054						
μ PD78054Y						
μ PD78064						
μ PD78064Y						
μ PD78078						
μ PD78078Y						
μ PD78083						
μ PD780058						
μ PD780058Y						
μ PD780308						
μ PD780308Y						
μ PD78058F						
μ PD78058FY						
μ PD78064B						
μ PD78070A						
μ PD78070AY						
μ PD78075B						
μ PD78098B						

シリアル・インタフェースは、次のレジスタで設定します。

表8 - 3 シリアル・インタフェースのレジスタ一覧

シリアル・インタフェース	使用するレジスタ
チャンネル0	<ul style="list-style-type: none"> ・ タイマ・クロック選択レジスタ(TCL3) ・ シリアル動作モード・レジスタ0(CSIM0) ・ シリアル・バス・インタフェース・コントロール・レジスタ(SBIC) ・ 割り込みタイミング指定レジスタ(SINT)
チャンネル1	<ul style="list-style-type: none"> ・ タイマ・クロック選択レジスタ(TCL3) ・ シリアル動作モード・レジスタ1(CSIM1) ・ 自動データ送受信コントロール・レジスタ(ADTC) ・ 自動データ送受信間隔指定レジスタ(ADTI)
チャンネル2	<ul style="list-style-type: none"> ・ シリアル動作モード・レジスタ2(CSIM2) ・ アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM) ・ アシクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS) ・ ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC) ・ シリアル・インタフェース端子選択レジスタ(SIPS)^注

注 SIPSはμPD780058, 780058Y, 780308, 780308Yサブシリーズのみ内蔵しています。

備考 この章ではシリアル・インタフェース・チャンネル0, 1, 2のレジスタ・フォーマット, 応用例のみ記載してあります。チャンネル3, 4, 5のレジスタ・フォーマットを知りたい場合は, 各サブシリーズのユーザーズ・マニュアルを参照してください。

図8 - 1 タイマ・クロック選択レジスタ3のフォーマット
 (μ PD78054, 78078, 780058, 78058F, 78075Bサブシリーズ, μ PD78070A)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

- 備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2 . f_x : メイン・システム・クロック発振周波数
 3 . MCS : 発振モード選択レジスタ (OSMS) のビット0
 4 . () 内は , $f_x = 5.0$ MHz動作時。

図8-2 タイマ・クロック選択レジスタ3のフォーマット
 (μ PD78054Y, 78078Y, 780058Y, 78058FYサブシリーズ, μ PD78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択					
				I ² Cバス・モード時のシリアル・クロック		3線式シリアル/Oモード時または2線式シリアル/Oモード時のシリアル・クロック			
					MCS = 1	MCS = 0		MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2^5$	設定禁止	$f_x/2^6$ (78.1 kHz)	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.77 kHz)	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.77 kHz)	$f_x/2^{10}$ (4.88 kHz)	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.88 kHz)	$f_x/2^{11}$ (2.44 kHz)	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.44 kHz)	$f_x/2^{12}$ (1.22 kHz)	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^{12}$	$f_x/2^{12}$ (1.22 kHz)	$f_x/2^{13}$ (0.61 kHz)	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止					

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

- 備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2 . f_x : メイン・システム・クロック発振周波数
 3 . MCS : 発振モード選択レジスタ (OSMS) のビット0
 4 . () 内は、 $f_x = 5.0$ MHz動作時。

図8 - 3 タイマ・クロック選択レジスタ3のフォーマット (μPD78064, 780308, 78064Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	1	0	0	0	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意1 . ビット4-6には0を, ビット7には1を設定してください。

- 2 . TCL3を同一データ以外に書き換える場合は, いったんシリアル転送を停止させたのちに行ってください。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2 . f_x : メイン・システム・クロック発振周波数

3 . MCS : 発振モード選択レジスタ (OSMS) のビット0

4 . () 内は, $f_x = 5.0$ MHz動作時。

図8 - 4 タイマ・クロック選択レジスタ3のフォーマット (μPD78064Y, 780308Yサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	1	0	0	0	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択					
				I ² Cバス・モード時のシリアル・クロック		3線式シリアル/Oモード時または2線式シリアル/Oモード時のシリアル・クロック			
					MCS = 1	MCS = 0		MCS = 1	MCS = 0
0	1	1	0	f _{xx} /2 ⁵	設定禁止	f _x /2 ⁶ (78.1 kHz)	f _{xx} /2	設定禁止	f _x /2 ⁶ (1.25 MHz)
0	1	1	1	f _{xx} /2 ⁶	f _x /2 ⁶ (78.1 kHz)	f _x /2 ⁷ (39.1 kHz)	f _{xx} /2 ²	f _x /2 ⁶ (1.25 MHz)	f _x /2 ⁶ (625 kHz)
1	0	0	0	f _{xx} /2 ⁷	f _x /2 ⁷ (39.1 kHz)	f _x /2 ⁸ (19.5 kHz)	f _{xx} /2 ³	f _x /2 ⁶ (625 kHz)	f _x /2 ⁷ (313 kHz)
1	0	0	1	f _{xx} /2 ⁸	f _x /2 ⁸ (19.5 kHz)	f _x /2 ⁹ (9.77 kHz)	f _{xx} /2 ⁴	f _x /2 ⁷ (313 kHz)	f _x /2 ⁸ (156 kHz)
1	0	1	0	f _{xx} /2 ⁹	f _x /2 ⁹ (9.77 kHz)	f _x /2 ¹⁰ (4.88 kHz)	f _{xx} /2 ⁵	f _x /2 ⁸ (156 kHz)	f _x /2 ⁹ (78.1 kHz)
1	0	1	1	f _{xx} /2 ¹⁰	f _x /2 ¹⁰ (4.88 kHz)	f _x /2 ¹¹ (2.44 kHz)	f _{xx} /2 ⁶	f _x /2 ⁹ (78.1 kHz)	f _x /2 ¹⁰ (39.1 kHz)
1	1	0	0	f _{xx} /2 ¹¹	f _x /2 ¹¹ (2.44 kHz)	f _x /2 ¹² (1.22 kHz)	f _{xx} /2 ⁷	f _x /2 ¹⁰ (39.1 kHz)	f _x /2 ¹¹ (19.5 kHz)
1	1	0	1	f _{xx} /2 ¹²	f _x /2 ¹² (1.22 kHz)	f _x /2 ¹³ (0.61 kHz)	f _{xx} /2 ⁸	f _x /2 ¹¹ (19.5 kHz)	f _x /2 ¹² (9.8 kHz)
上記以外				設定禁止					

注意1 . ビット4-6には0を, ビット7には1を設定してください。

2 . TCL3を同一データ以外に書き換える場合は, いったんシリアル転送を停止させたのちに行ってください。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

2 . f_x : メイン・システム・クロック発振周波数

3 . MCS : 発振モード選択レジスタ (OSMS) のビット0

4 . () 内は, f_x = 5.0 MHz動作時。

図8-5 タイマ・クロック選択レジスタ3のフォーマット(μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択
0	1	1	0	$f_{xx}/2$ ^注
0	1	1	1	$f_{xx}/2^2$ (1.0 MHz)
1	0	0	0	$f_{xx}/2^3$ (500 kHz)
1	0	0	1	$f_{xx}/2^4$ (250 kHz)
1	0	1	0	$f_{xx}/2^5$ (125 kHz)
1	0	1	1	$f_{xx}/2^6$ (62.5 kHz)
1	1	0	0	$f_{xx}/2^7$ (31.3 kHz)
1	1	0	1	$f_{xx}/2^8$ (15.6 kHz)
上記以外				設定禁止

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択
0	1	1	0	$f_{xx}/2$ ^注
0	1	1	1	$f_{xx}/2^2$ (1.0 MHz)
1	0	0	0	$f_{xx}/2^3$ (500 kHz)
1	0	0	1	$f_{xx}/2^4$ (250 kHz)
1	0	1	0	$f_{xx}/2^5$ (125 kHz)
1	0	1	1	$f_{xx}/2^6$ (62.5 kHz)
1	1	0	0	$f_{xx}/2^7$ (31.3 kHz)
1	1	0	1	$f_{xx}/2^8$ (15.6 kHz)
上記以外				設定禁止

注 メイン・システム・クロック周波数が5.0 MHz以下のときのみ設定できます。

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1 . f_{xx} : メイン・システム・クロック周波数

2 . ()内は、 $f_{xx} = 4.0$ MHz動作時。

図8-6 シリアル動作モード・レジスタ0のフォーマット

(μ PD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B, 78098Bサブシリーズ, μ PD78070A) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE 0	COI	WUP	CSIM 04	CSIM 03	CSIM 02	CSIM 01	CSIM 00	FF60H	00H	R/W ^{注1}

R/W	CSIM 01	CSIM 00	シリアル・インタフェース・チャンネル0のクロックの選択									
	0	x	SCK0端子への外部からの入力クロック									
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力									
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック									

R/W	CSIM 04	CSIM 03	CSIM 02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	x	0	注2 1	注2 x	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	0	0	注3 x	注3 x	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (CMOS入出力)
			1	0	0	注3 x	注3 x	0	1			SB0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	
	1	1	0	注3 x	注3 x	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (N-chオープン・ ドレイン入出力)
			1	0	0	注3 x	注3 x	0	1			SB0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウエイク・アップ機能の制御 ^{注4}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	SBIモード使用時、バス・リリース後 (CMDD = RELD = 1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生									

注1 . ビット6 (COI) は、Read Onlyです。

2 . 送信のみ使用するときには、P25 (CMOS入出力) として使用できます。

3 . ポート機能として自由に使用できます。

4 . ウエイク・アップ機能を使用 (WUP = 1) するときには、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード (3線式シリアルI/O / 2線式シリアルI/O / SBI) を切り替えないでください。動作モードを切り替える場合は、いったんシリアル動作を停止させたのちに行ってください。

備考 x : don't care

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

図8 - 6 シリアル動作モード・レジスタ0のフォーマット
 (μ PD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B,
 78098Bサブシリーズ, μ PD78070A) (2/2)

R	COI	スレーブ・アドレス比較結果フラグ ^注
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注 CSIE0 = 0のとき, COIは0になります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード(3線式シリアルI/O / 2線式シリアルI/O / SBI)を切り替えないでください。動作モードを切り替える場合は, いったんシリアル動作を停止させたのちに行ってください。

図8 - 7 シリアル動作モード・レジスタ0のフォーマット

(μ PD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μ PD78070AY) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE 0	COI x	WUP 0	CSIM 04	CSIM 03	CSIM 02	CSIM 01	CSIM 00	FF60H	00H	R/W ^{注1}

R/W	CSIM 01	CSIM 00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	x	SCK0/SCL端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力 ^{注2}								
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック								

R/W	CSIM 04	CSIM 03	CSIM 02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/P25 端子の機能	SO0/SB1/SDA1/P26 端子の機能	SCK0/SCL/P27 端子の機能
	0	x	0	注3 1	注3 x	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注3} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	1	0	注4 x	注4 x	0	0	0	1	2線式シリアル I/Oモードまたは I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
			1	0	0	注4 x	注4 x	0	1			SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注5}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	I ² Cバス・モード使用時、スタート・コンディション検出後 (CMDD = 1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生									

注1 . ビット6 (COI) は、Read Onlyです。

2 . I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

3 . 送信のみ使用するときには、P25 (CMOS入出力) として使用できます。

4 . ポート機能として自由に使用できます。

5 . ウェイク・アップ機能を使用 (WUP = 1) するときには、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。また、WUP = 1の期間にシリアルI/Oソフト・レジスタ0 (SIO0) への書き込み命令を実行しないでください。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード (3線式シリアルI/O / 2線式シリアルI/O / I²Cバス) を切り替えないでください。動作モードを切り替える場合は、いったんシリアル動作を停止させたのちに行ってください。

備考 x : don't care

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

図8 - 7 シリアル動作モード・レジスタ0のフォーマット

(μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AY) (2/2)

R	COI	スレーブ・アドレス比較結果フラグ ^注
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注 CSIE0 = 0のとき, COIは0になります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード(3線式シリアルI/O / 2線式シリアルI/O / I²Cバス)を切り替えないでください。動作モードを切り替える場合は, いったんシリアル動作を停止させたのちに行ってください。

図8 - 8 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット
 (μ PD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B,
 78098Bサブシリーズ, μ PD78070A) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注
R/W	RELT	バス・リリース信号出力のために使用する。 RELT=1により, SOラッチがセット(1)される。SOラッチをセット後, 自動的にクリア(0)される。 また, CSIE0=0のときもクリア(0)される。									
R/W	CMDT	コマンド信号出力のために使用する。 CMDT=1により, SOラッチがクリア(0)される。SOラッチをクリア後, 自動的にクリア(0)される。 また, CSIE0=0のときもクリア(0)される。									
R	RELD	バス・リリース検出									
		クリアされる条件 (RELD=0)					セットされる条件 (RELD=1)				
		転送スタート命令実行時 アドレス受信時にSIO0とSVAの値が一致しないとき CSIE0=0のとき RESET入力時					バス・リリース信号 (REL) 検出時				
R	CMDD	コマンド検出									
		クリアされる条件 (CMDD=0)					セットされる条件 (CMDD=1)				
		転送スタート命令実行時 バス・リリース信号 (REL) 検出時 CSIE0=0のとき RESET入力時					コマンド信号 (CMD) 検出時				
R/W	ACKT	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し, 出力後, 自動的にクリア(0)される。ACKE=0として使用する。 また, シリアル・インタフェースの転送開始, CSIE0=0のときもクリア(0)される。									

注 ビット 2, 3, 6 (RELD, CMDD, ACKD) はRead Onlyです。

備考1 . ビット 0, 1, 4 (RELT, CMDT, ACKT) は, データ設定後, 読み出すと0になります。

2 . CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図8 - 8 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット
 (μ PD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B,
 78098Bサブシリーズ, μ PD78070A) (2/2)

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により, 自動出力される)。
		転送完了後	セット (1) する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により, 自動出力される)。ただし, アクノリッジ信号を出力後, 自動的にクリア (0) されない。
R	ACKD	アクノリッジ検出	
	クリアされる条件 (ACKD = 0)		セットされる条件 (ACKD = 1)
	転送スタート命令実行後, ビジィ・モードを解除した直後のSCK0のクロックの立ち下がり時 CSIE0 = 0のとき RESET入力時		転送完了後のSCK0のクロックの立ち上がりエッジで アクノリッジ信号 (ACK) 検出時
R/W	BSYE ^注	同期ビジィ信号出力の制御	
	0	クリア (0) する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した, ビジィ信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジィ信号を出力する。	

注 シリアル・インタフェースの転送開始, またはアドレス信号受信によってビジィ・モードを解除できません。ただし, BSYEフラグは0にクリアされません。

備考 CSIE0: シリアル動作モード・レジスタ0 (CSIM0) のビット7

図8 - 9 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット
 (μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AY) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注
R/W	RELT	ストップ・コンディション出力のために使用する。 RELT=1により, SOラッチがセット(1)される。SOラッチをセット後, 自動的にクリア(0)される。 また, CSIE0=0のときもクリア(0)される。									
R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT=1により, SOラッチがクリア(0)される。SOラッチをクリア後, 自動的にクリア(0)される。 また, CSIE0=0のときもクリア(0)される。									
R	RELD	ストップ・コンディション検出									
		クリアされる条件 (RELD=0)					セットされる条件 (RELD=1)				
		転送スタート命令実行時 アドレス受信時にSIO0とSVAの値が一致しないとき CSIE0=0のとき RESET入力時					ストップ・コンディション検出時				
R	CMDD	スタート・コンディション検出									
		クリアされる条件 (CMDD=0)					セットされる条件 (CMDD=1)				
		転送スタート命令実行時 ストップ・コンディション検出時 CSIE0=0のとき RESET入力時					スタート・コンディション検出時				
R/W	ACKT	セット命令 (ACKT=1) 実行直後から次のSCLの立ち下がりまでSDA0 (SDA1) をロウ・レベルにする。 8クロック・ウェイト選択時に, ソフトウェアで $\overline{\text{ACK}}$ 信号を生成するために使用する。 シリアル・インタフェースの転送開始, CSIE0=0のときクリア(0)される。									

注 ビット 2, 3, 6 (RELD, CMDD, ACKD) はRead Onlyです。

備考 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図8 - 9 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット
 (μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μPD78070AY) (2/2)

R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}	
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)。 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}	
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する (ACKE = 1により、自動出力される)。出力後、自動的にクリア (0) されない。 9クロック・ウェイト選択時で受信の場合に使用する。	
R	ACKD	アクノリッジ検出	
		クリアされる条件 (ACKD = 0)	セットされる条件 (ACKD = 1)
		転送スタート命令実行時 CSIE0 = 0のとき RESET入力時	転送完了後のSCLのクロックの立ち上がりエッジで アクノリッジ信号検出時
R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注4}	
	0	出力許可 (送信)	
	1	出力禁止 (受信)	

注1 . 転送開始前に設定してください。

2 . 8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。

3 . シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できます。ただし、BSYEはクリア (0) されません。

4 . ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

備考 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図8 - 10 割り込みタイミング指定レジスタのフォーマット
 (μPD78054, 78064, 78078, 780058, 780308, 78058F, 78064B, 78075B,
 78098Bサブシリーズ, μPD78070A)



注1 . ビット6 (CLD) は , Read Onlyです。

2 . SBIモードでウエイク・アップ機能を使用するときは , SICに0を設定してください。

3 . CSIE0 = 0のとき , CLDは0になります。

注意 ビット0-3には , 必ず0を設定してください。

備考 SVA :スレーブ・アドレス・レジスタ

CSIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図8 - 11 割り込みタイミング指定レジスタのフォーマット

(μ PD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μ PD78070AY) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	WAT1	WAT0	ウエイトおよび割り込み処理要求の制御
	0	0	SCK0の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード使用時に使用する(8クロック・ウエイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合, 8クロック出力後, SCL出力をロウ・レベルにしてウエイトする。スレーブの場合, 8クロック入力後, SCL端子をロウ・レベルにしてウエイト要求する)。
	1	1	I ² Cバス・モード使用時に使用する(9クロック・ウエイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合, 9クロック出力後, SCL出力をロウ・レベルにしてウエイトする。スレーブの場合, 9クロック入力後, SCL端子をロウ・レベルにしてウエイト要求する)。

R/W	WREL	ウエイト解除の制御
	0	ウエイト解除状態
	1	ウエイト状態を解除する。 解除後自動的にクリア(0)される(WAT1, WAT0によるウエイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御 ^{注2}
	0	I ² Cバス・モード使用時に使用する。 シリアル転送時以外の場合, SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード使用時に使用する。 シリアル転送時以外の場合, SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

注1 . ビット6 (CLD) は, Read Onlyです。

2 . I²Cバス・モードを使用しない場合は, CLCに0を設定してください。

図8 - 11 割り込みタイミング指定レジスタのフォーマット

(μ PD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μ PD78070AY) (2/2)

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-7
	1	ビット1-7
R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時, またはストップ・コンディション検出時にCSIF0をセット(1)する。
R/W	CLD	$\overline{\text{SCK0/SCL/P27}}$ 端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1 . I²Cバス・モードでウエイク・アップ機能を使用するときは, SICに1を設定してください。

2 . CSIE0=0のとき, CLDは0になります。

備考 SVA : スレーブ・アドレス・レジスタ

CSIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

図8 - 12 シリアル動作モード・レジスタ1のフォーマット
 (μ PD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY,
 78075B, 78098Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE 1	DIR	ATE	0	0	0	CSIM 11	CSIM 10	FF68H	00H	R/W

CSIM	CSIM	シリアル・インタフェース・チャンネル1のクロックの選択
11	10	
0	x	SCK1端子への外部クロック入力 ^{注1}
1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット4-ビット7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	S11端子の機能	SO1端子の機能
0	MSB	S11/P20	SO1
1	LSB	(入力)	(CMOS出力)

CSIE	CSIM	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ の動作	シリアル・クロック・ カウンタの動作の制御	S11/P20 端子の機能	SO1/P21 端子の機能	$\overline{\text{SCK1}}$ /P22 端子の機能
1	11											
0	x	注2 x	注2 x	注2 x	注2 x	注2 x	注2 x	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	注3 1	注3 x	0	0	1	x	動作許可	カウント動作	S11 ^{注3} (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)
	1					0	1					$\overline{\text{SCK1}}$ (CMOS出力)

注1 . CSIM11を0にして外部クロック入力を選択したとき, 自動データ送受信コントロール・レジスタ (ADTC) のビット2 (STRB), ビット1 (BUSY1) を0, 0に設定してください。

2 . ポート機能として自由に使用できます。

3 . 送信のみ使用するとき, P20 (CMOS入出力) として使用できます (自動データ送受信コントロール・レジスタ (ADTC) のビット7 (RE) に0を設定してください)。

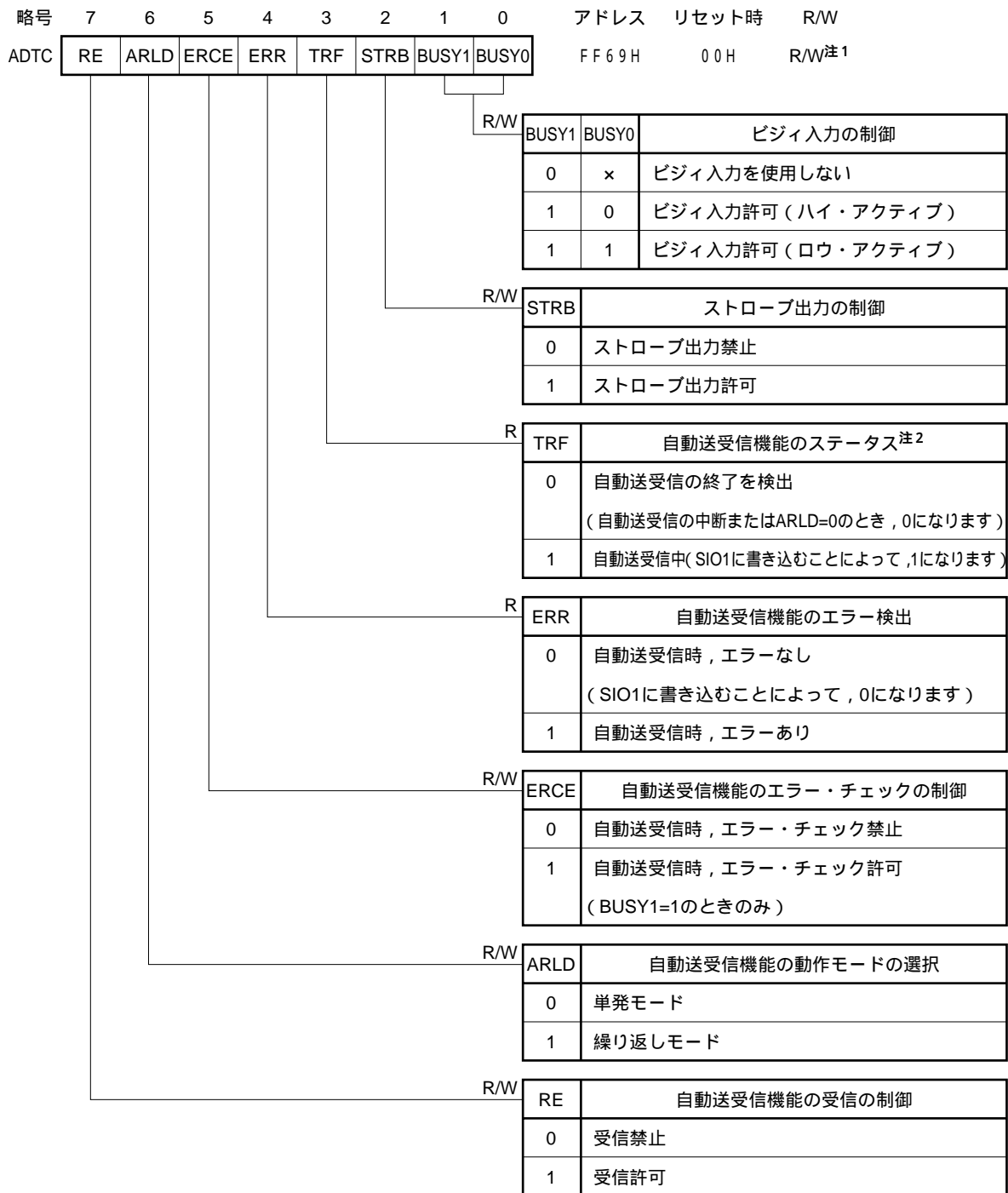
備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図8 - 13 自動データ送受信コントロール・レジスタのフォーマット

(μ PD78054, 78054Y, 78078, 78078Y, 78058F, 78058FY, 78075B, 78098Bサブシリーズ,
 μ PD78070A, 78070AY)



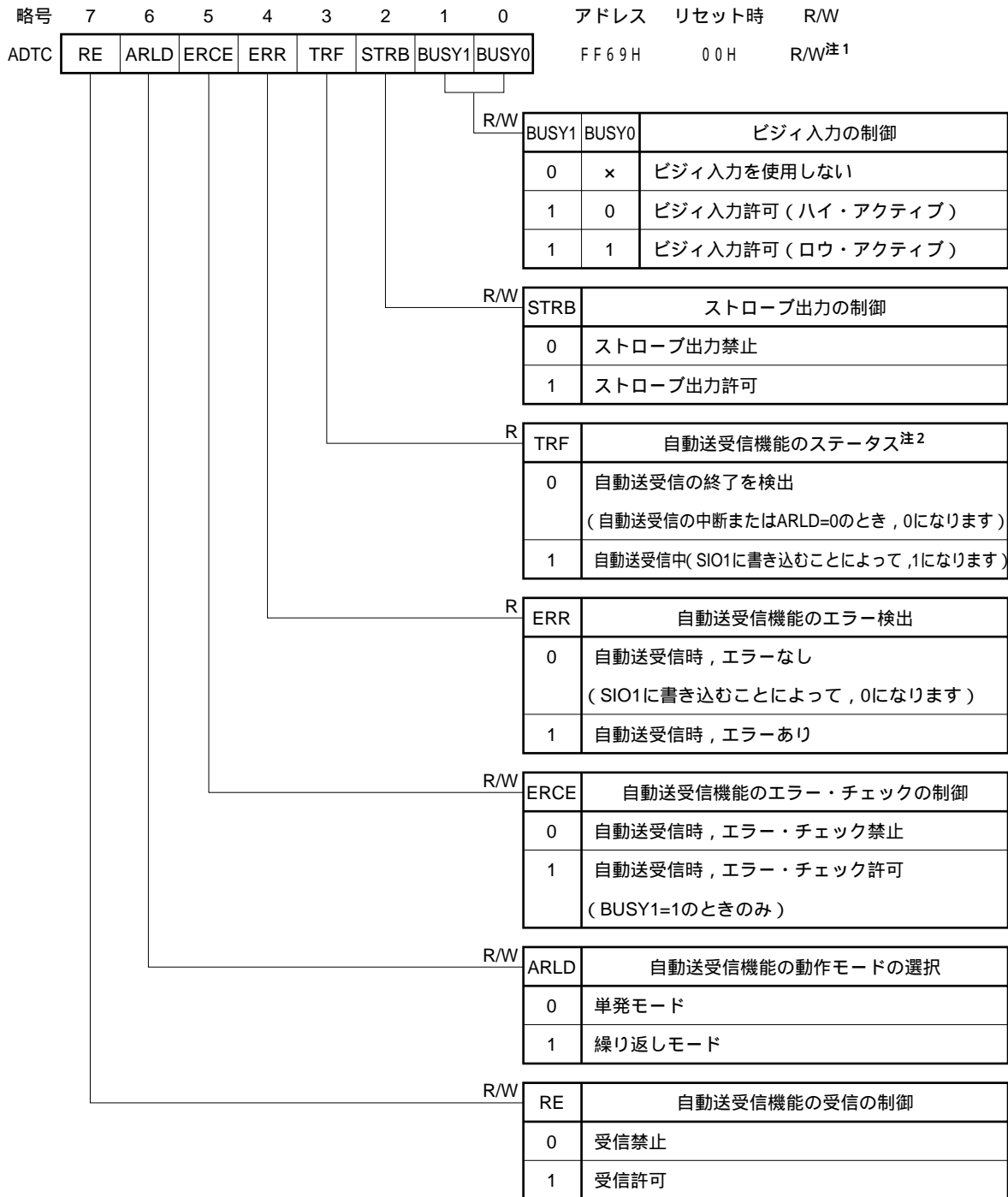
注1 . ビット3 , 4 (TRF, ERR) は , Read Onlyです。

2 . 自動送受信の終了判定はCSIF1 (割り込み要求フラグ) ではなくTRFで行ってください。

注意 シリアル動作モード・レジスタ1 (CSIM1) のビット1 (CSIM11) を0にして外部クロック入力を選択したとき , ADTCのSTRB, BUSY1を0 , 0に設定してください。

備考 x : don't care

図8 - 14 自動データ送受信コントロール・レジスタのフォーマット (μPD780058, 780058Yサブシリーズ)



注1 . ビット 3 , 4 (TRF, ERR) は , Read Only です。

2 . 自動送受信の終了判定はCSIF1 (割り込み要求フラグ) ではなくTRFで行ってください。

注意1 . シリアル動作モード・レジスタ1 (CSIM1) のビット1 (CSIM11) を0にして外部クロック入力を選択したとき, ADTCのSTRB, BUSY1を0, 0に設定してください。

2 . シリアル・インタフェース・チャンネル2のアシクロナス・シリアル・インタフェース (UART) モードでP23/STB/TxD1, P24/BUSY/RxD1端子を使用する場合は, ビジー制御オプション, ビジー&ストローブ制御オプションは無効になります。

備考 x : don't care

図8 - 15 自動データ送受信間隔指定レジスタのフォーマット

(μ PD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY, 78075Bサブシリーズ, μ PD78070A, 78070AY) (1/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 ($f_{xx} = 5.0 \text{ MHz}$ 動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	$18.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$20.0 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	0	0	1	$31.2 \mu\text{s} + 0.5/f_{\text{sck}}$	$32.8 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	0	1	0	$44.0 \mu\text{s} + 0.5/f_{\text{sck}}$	$45.6 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	0	1	1	$56.8 \mu\text{s} + 0.5/f_{\text{sck}}$	$58.4 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	1	0	0	$69.6 \mu\text{s} + 0.5/f_{\text{sck}}$	$71.2 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	1	0	1	$82.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$84.0 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	1	1	0	$95.2 \mu\text{s} + 0.5/f_{\text{sck}}$	$96.8 \mu\text{s} + 1.5/f_{\text{sck}}$
0	0	1	1	1	$108.0 \mu\text{s} + 0.5/f_{\text{sck}}$	$109.6 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	0	0	0	$120.8 \mu\text{s} + 0.5/f_{\text{sck}}$	$122.4 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	0	0	1	$133.6 \mu\text{s} + 0.5/f_{\text{sck}}$	$135.2 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	0	1	0	$146.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$148.0 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	0	1	1	$159.2 \mu\text{s} + 0.5/f_{\text{sck}}$	$160.8 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	1	0	0	$172.0 \mu\text{s} + 0.5/f_{\text{sck}}$	$173.6 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	1	0	1	$184.8 \mu\text{s} + 0.5/f_{\text{sck}}$	$186.4 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	1	1	0	$197.6 \mu\text{s} + 0.5/f_{\text{sck}}$	$199.2 \mu\text{s} + 1.5/f_{\text{sck}}$
0	1	1	1	1	$210.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$212.0 \mu\text{s} + 1.5/f_{\text{sck}}$

注1 . インターバル時間は , CPU処理にのみ依存します。

2 . データ転送のインターバル時間には , 誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし , 次の式から計算された最小値が $2/f_{\text{sck}}$ よりも小さい場合 , インターバル時間の最小値は $2/f_{\text{sck}}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{\text{sck}}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{\text{sck}}}$$

- 注意** 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。
- 2 . ビット 5, 6 には、必ず 0 を設定してください。
- 3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御は無効になります。

- 備考** 1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
- 2 . f_x : メイン・システム・クロック発振周波数
- 3 . f_{sck} : シリアル・クロック周波数

図8 - 15 自動データ送受信間隔指定レジスタのフォーマット
 (μPD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY,
 78075Bサブシリーズ, μPD78070A, 78070AY) (2/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 5.0 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	223.2 μs + 0.5/f _{sck}	224.8 μs + 1.5/f _{sck}
1	0	0	0	1	236.0 μs + 0.5/f _{sck}	237.6 μs + 1.5/f _{sck}
1	0	0	1	0	248.8 μs + 0.5/f _{sck}	250.4 μs + 1.5/f _{sck}
1	0	0	1	1	261.6 μs + 0.5/f _{sck}	263.2 μs + 1.5/f _{sck}
1	0	1	0	0	274.4 μs + 0.5/f _{sck}	276.0 μs + 1.5/f _{sck}
1	0	1	0	1	287.2 μs + 0.5/f _{sck}	288.8 μs + 1.5/f _{sck}
1	0	1	1	0	300.0 μs + 0.5/f _{sck}	301.6 μs + 1.5/f _{sck}
1	0	1	1	1	312.8 μs + 0.5/f _{sck}	314.4 μs + 1.5/f _{sck}
1	1	0	0	0	325.6 μs + 0.5/f _{sck}	327.2 μs + 1.5/f _{sck}
1	1	0	0	1	338.4 μs + 0.5/f _{sck}	340.0 μs + 1.5/f _{sck}
1	1	0	1	0	351.2 μs + 0.5/f _{sck}	352.8 μs + 1.5/f _{sck}
1	1	0	1	1	364.0 μs + 0.5/f _{sck}	365.6 μs + 1.5/f _{sck}
1	1	1	0	0	376.8 μs + 0.5/f _{sck}	378.4 μs + 1.5/f _{sck}
1	1	1	0	1	389.6 μs + 0.5/f _{sck}	391.2 μs + 1.5/f _{sck}
1	1	1	1	0	402.4 μs + 0.5/f _{sck}	404.0 μs + 1.5/f _{sck}
1	1	1	1	1	415.2 μs + 0.5/f _{sck}	416.8 μs + 1.5/f _{sck}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5, 6には、必ず0を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ピジィ制御は無効になります。

備考 1 . f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

2 . f_x : メイン・システム・クロック発振周波数

3 . f_{sck} : シリアル・クロック周波数

図8 - 15 自動データ送受信間隔指定レジスタのフォーマット

(μ PD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY, 78075Bサブシリーズ, μ PD78070A, 78070AY) (3/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 ($f_{xx} = 2.5 \text{ MHz}$ 動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	$36.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	$40.0 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	0	0	1	$62.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	$65.6 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	0	1	0	$88.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	$91.2 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	0	1	1	$113.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	$116.8 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	0	0	$139.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	$142.4 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	0	1	$164.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	$168.0 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	1	0	$190.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	$193.6 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	1	1	$216.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	$219.2 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	0	0	$241.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	$244.8 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	0	1	$267.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	$270.4 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	1	0	$292.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	$296.0 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	1	1	$318.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	$321.6 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	0	0	$344.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	$347.2 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	0	1	$369.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	$372.8 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	1	0	$395.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	$398.4 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	1	1	$420.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	$424.0 \mu\text{s} + 1.5/f_{\text{SCK}}$

注1 . インターバル時間は、CPU処理にのみ依存します。

2 . データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{\text{SCK}}$ よりも小さい場合、インターバル時間の最小値は $2/f_{\text{SCK}}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{\text{SCK}}}$$

- 注意**
- 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。
 - 2 . ビット5,6には、必ず0を設定してください。
 - 3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御は無効になります。

- 備考**
- 1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 - 2 . f_x : メイン・システム・クロック発振周波数
 - 3 . f_{sck} : シリアル・クロック周波数

図8 - 15 自動データ送受信間隔指定レジスタのフォーマット
 (μ PD78054, 78054Y, 78078, 78078Y, 780058, 780058Y, 78058F, 78058FY,
 78075Bサブシリーズ, μ PD78070A, 78070AY) (4/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 ($f_{xx} = 2.5 \text{ MHz}$ 動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	$446.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$449.6 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	0	0	1	$472.0 \mu\text{s} + 0.5/f_{\text{sck}}$	$475.2 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	0	1	0	$497.6 \mu\text{s} + 0.5/f_{\text{sck}}$	$500.8 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	0	1	1	$523.2 \mu\text{s} + 0.5/f_{\text{sck}}$	$526.4 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	1	0	0	$548.8 \mu\text{s} + 0.5/f_{\text{sck}}$	$552.0 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	1	0	1	$574.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$577.6 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	1	1	0	$600.0 \mu\text{s} + 0.5/f_{\text{sck}}$	$603.2 \mu\text{s} + 1.5/f_{\text{sck}}$
1	0	1	1	1	$625.6 \mu\text{s} + 0.5/f_{\text{sck}}$	$628.8 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	0	0	0	$651.2 \mu\text{s} + 0.5/f_{\text{sck}}$	$654.4 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	0	0	1	$676.8 \mu\text{s} + 0.5/f_{\text{sck}}$	$680.0 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	0	1	0	$702.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$705.6 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	0	1	1	$728.0 \mu\text{s} + 0.5/f_{\text{sck}}$	$731.2 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	1	0	0	$753.6 \mu\text{s} + 0.5/f_{\text{sck}}$	$756.8 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	1	0	1	$779.2 \mu\text{s} + 0.5/f_{\text{sck}}$	$782.4 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	1	1	0	$804.8 \mu\text{s} + 0.5/f_{\text{sck}}$	$808.0 \mu\text{s} + 1.5/f_{\text{sck}}$
1	1	1	1	1	$830.4 \mu\text{s} + 0.5/f_{\text{sck}}$	$833.6 \mu\text{s} + 1.5/f_{\text{sck}}$

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{\text{sck}}$ よりも小さい場合、インターバル時間の最小値は $2/f_{\text{sck}}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{\text{sck}}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{\text{sck}}}$$

注意1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5, 6には、必ず0を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ピジィ制御は無効になります。

備考1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2 . f_x : メイン・システム・クロック発振周波数

3 . f_{sck} : シリアル・クロック周波数

図8 - 16 自動データ送受信間隔指定レジスタのフォーマット(μPD78098BサブシリーズⅠ1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 4.0 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	23.0 μs + 0.5/f _{sck}	25.0 μs + 1.5/f _{sck}
0	0	0	0	1	39.0 μs + 0.5/f _{sck}	41.0 μs + 1.5/f _{sck}
0	0	0	1	0	55.0 μs + 0.5/f _{sck}	57.0 μs + 1.5/f _{sck}
0	0	0	1	1	71.0 μs + 0.5/f _{sck}	73.0 μs + 1.5/f _{sck}
0	0	1	0	0	87.0 μs + 0.5/f _{sck}	89.0 μs + 1.5/f _{sck}
0	0	1	0	1	103.0 μs + 0.5/f _{sck}	105.0 μs + 1.5/f _{sck}
0	0	1	1	0	119.0 μs + 0.5/f _{sck}	121.0 μs + 1.5/f _{sck}
0	0	1	1	1	135.0 μs + 0.5/f _{sck}	137.0 μs + 1.5/f _{sck}
0	1	0	0	0	151.0 μs + 0.5/f _{sck}	153.0 μs + 1.5/f _{sck}
0	1	0	0	1	167.0 μs + 0.5/f _{sck}	169.0 μs + 1.5/f _{sck}
0	1	0	1	0	183.0 μs + 0.5/f _{sck}	185.0 μs + 1.5/f _{sck}
0	1	0	1	1	199.0 μs + 0.5/f _{sck}	201.0 μs + 1.5/f _{sck}
0	1	1	0	0	215.0 μs + 0.5/f _{sck}	217.0 μs + 1.5/f _{sck}
0	1	1	0	1	231.0 μs + 0.5/f _{sck}	233.0 μs + 1.5/f _{sck}
0	1	1	1	0	247.0 μs + 0.5/f _{sck}	249.0 μs + 1.5/f _{sck}
0	1	1	1	1	263.0 μs + 0.5/f _{sck}	265.0 μs + 1.5/f _{sck}

注1．インターバル時間は、CPU処理にのみ依存します。

2．データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n: ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

- 注意** 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。
- 2 . ビット5,6には、必ず0を設定してください。
- 3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ピジィ制御は無効になります。

- 備考** 1 . f_{xx} : メイン・システム・クロック周波数
- 2 . f_{sck} : シリアル・クロック周波数

図8 - 16 自動データ送受信間隔指定レジスタのフォーマット(μPD78098BサブシリーズⅠ2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 4.0 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	279.0 μs + 0.5/f _{sck}	281.0 μs + 1.5/f _{sck}
1	0	0	0	1	295.0 μs + 0.5/f _{sck}	297.0 μs + 1.5/f _{sck}
1	0	0	1	0	311.0 μs + 0.5/f _{sck}	313.0 μs + 1.5/f _{sck}
1	0	0	1	1	327.0 μs + 0.5/f _{sck}	329.0 μs + 1.5/f _{sck}
1	0	1	0	0	343.0 μs + 0.5/f _{sck}	345.0 μs + 1.5/f _{sck}
1	0	1	0	1	359.0 μs + 0.5/f _{sck}	361.0 μs + 1.5/f _{sck}
1	0	1	1	0	375.0 μs + 0.5/f _{sck}	377.0 μs + 1.5/f _{sck}
1	0	1	1	1	391.0 μs + 0.5/f _{sck}	393.0 μs + 1.5/f _{sck}
1	1	0	0	0	407.0 μs + 0.5/f _{sck}	409.0 μs + 1.5/f _{sck}
1	1	0	0	1	423.0 μs + 0.5/f _{sck}	425.0 μs + 1.5/f _{sck}
1	1	0	1	0	439.0 μs + 0.5/f _{sck}	441.0 μs + 1.5/f _{sck}
1	1	0	1	1	455.0 μs + 0.5/f _{sck}	457.0 μs + 1.5/f _{sck}
1	1	1	0	0	471.0 μs + 0.5/f _{sck}	473.0 μs + 1.5/f _{sck}
1	1	1	0	1	487.0 μs + 0.5/f _{sck}	489.0 μs + 1.5/f _{sck}
1	1	1	1	0	503.0 μs + 0.5/f _{sck}	505.0 μs + 1.5/f _{sck}
1	1	1	1	1	519.0 μs + 0.5/f _{sck}	521.0 μs + 1.5/f _{sck}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5,6には、必ず0を設定してください。

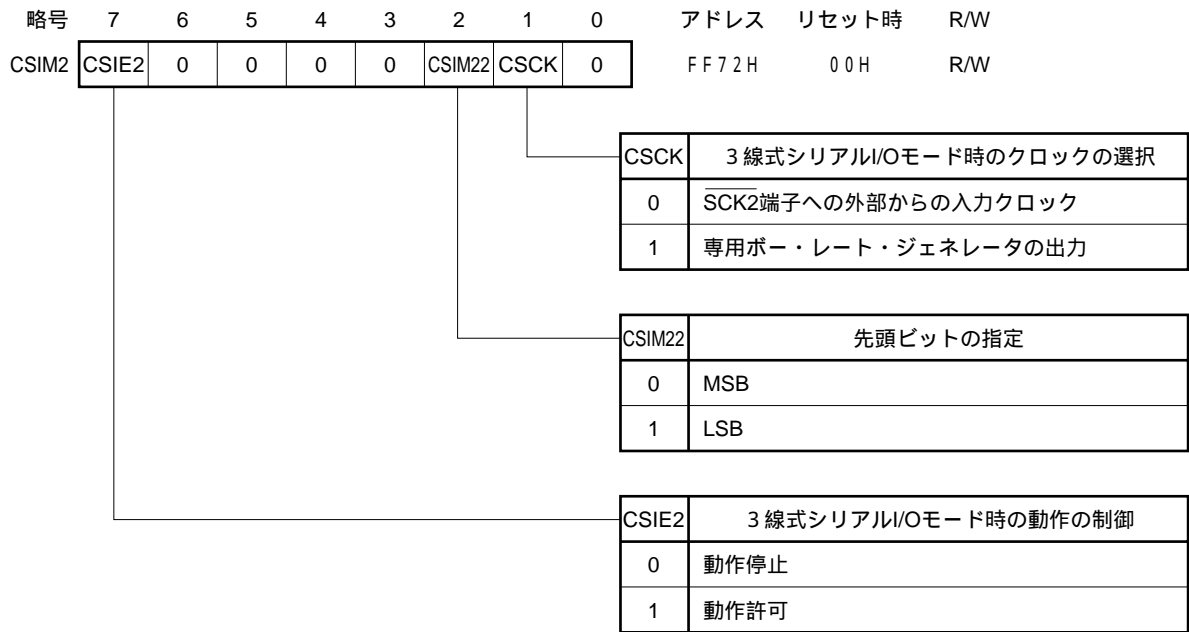
3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御は無効になります。

備考1 . f_{xx} : メイン・システム・クロック周波数

2 . f_{sck} : シリアル・クロック周波数

図8 - 17 シリアル動作モード・レジスタ2のフォーマット

(μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY)

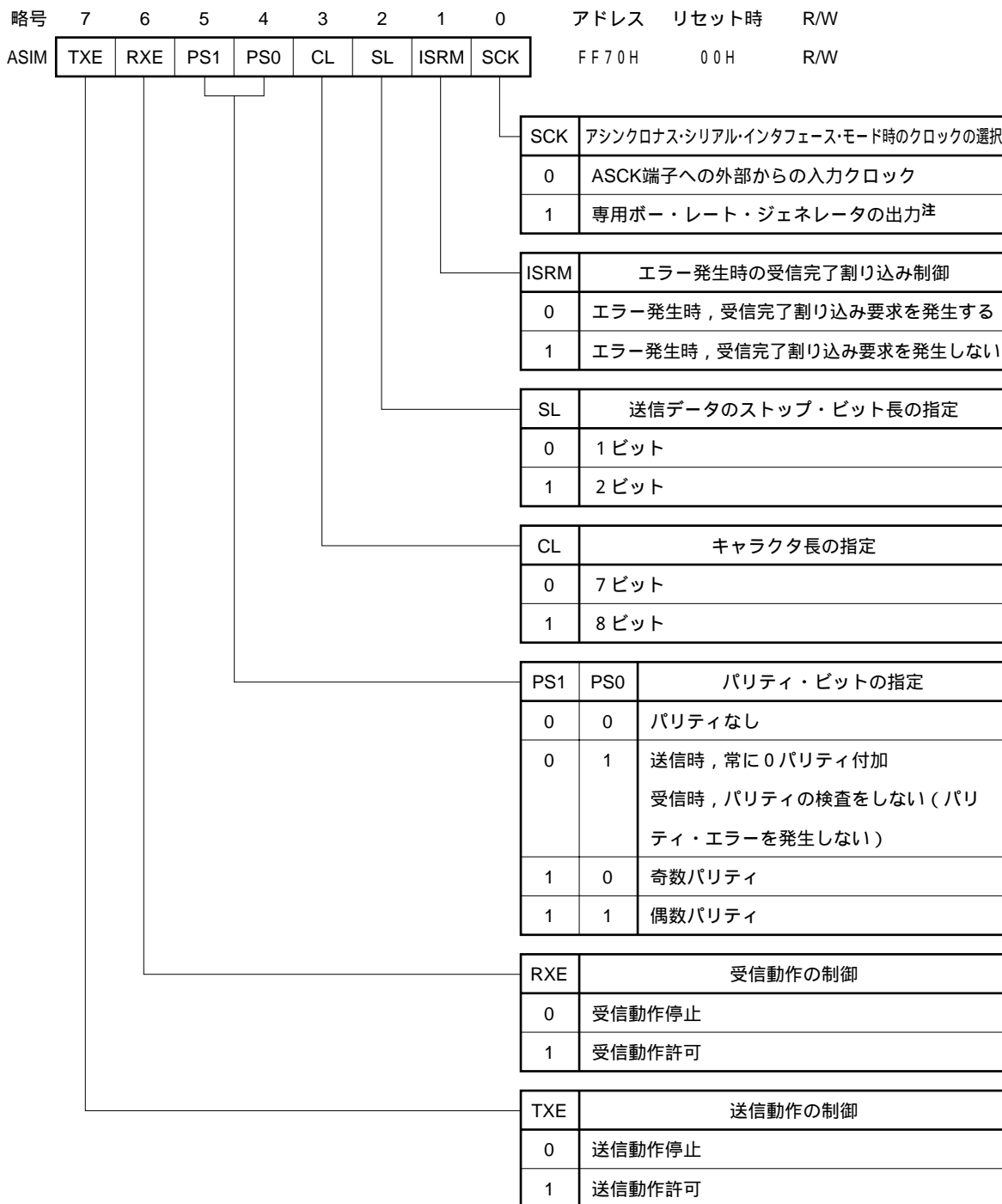


注意1 . ビット0 , 3-6 には , 必ず0を設定してください。

2 . UARTモード選択時は , CSIM2に00Hを設定してください。

図8 - 18 アシクロナス・シリアル・インタフェース・モード・レジスタのフォーマット

(μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY)



注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき, ASCK端子は入出力ポートとして使用できます。

注意1 3線式シリアルI/Oモード選択時は, ASIMに00Hを設定してください。

2 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

表8 - 4 シリアル・インタフェース・チャンネル2の動作モードの設定一覧

(μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY)

(1) 動作停止モード

ASIM			CSIM2			PM70	P70	PM71	P71	PM72	P72	先頭 ビット	シフト・ クロック	P70/SI2/RxD 端子の機能	P71/SO2/TxD 端子の機能	P72/SCK2/ASCK 端子の機能
TXE	RXE	SCK	CSIE2	CSIM22	CSCK											
0	0	x	0	x	x	x注1	x注1	x注1	x注1	x注1	x注1	-	-	P70	P71	P72
上記以外												設定禁止				

(2) 3線式シリアル/Oモード

ASIM			CSIM2			PM70	P70	PM71	P71	PM72	P72	先頭 ビット	シフト・ クロック	P70/SI2/RxD 端子の機能	P71/SO2/TxD 端子の機能	P72/SCK2/ASCK 端子の機能
TXE	RXE	SCK	CSIE2	CSIM22	CSCK											
0	0	0	1	0	0	1注2	x注2	0	1	1	x	MSB	外部	SI2注2	SO2 (CMOS出力)	SCK2入力
													クロック			SCK2出力
			内部													
			クロック													
1	1	0	1	1	0	1	x	LSB	外部	SI2注2	SO2 (CMOS出力)	SCK2入力				
									クロック			SCK2出力				
内部																
クロック																
上記以外												設定禁止				

(3) アシンクロナス・シリアル・インタフェース・モード

ASIM			CSIM2			PM70	P70	PM71	P71	PM72	P72	先頭 ビット	シフト・ クロック	P70/SI2/RxD 端子の機能	P71/SO2/TxD 端子の機能	P72/SCK2/ASCK 端子の機能
TXE	RXE	SCK	CSIE2	CSIM22	CSCK											
1	0	0	0	0	0	x注1	x注1	0	1	1	x	LSB	外部	P70	TxD (CMOS出力)	ASCK入力
		クロック											P72			
1	1	0	0	0	0	1	x	x注1	x注1	1	x	内部	外部	RxD	P71	ASCK入力
		クロック											P72			
1	1	0	0	0	0	1	x	0	1	1	x	外部	外部	TxD (CMOS出力)	ASCK入力	
		クロック											P72			
1	1	1	0	0	0	1	x	0	1	1	x	内部	外部	TxD (CMOS出力)	ASCK入力	
		クロック											P72			
1	1	1	0	0	0	1	x	0	1	1	x	内部	外部	TxD (CMOS出力)	ASCK入力	
		クロック											P72			
上記以外												設定禁止				

注1 . ポート機能として自由に使用できます。

2 . 送信のみ使用する場合は, P70 (CMOS入出力) として使用できます。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

表 8 - 5 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧 (μPD780058, 780058Y サブシリーズ) (1/2)

(1) 動作停止モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM23	P23	PM24	P24	PM72	P72	先頭ビット	ソフト・クロック	P70/SI2/RxD0	P71/SO2/TxD0	P23/STB/TxD1	P24/BUSY/RxD1	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能
0	0	x	0	x	x	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	-	-	P70	P71	P23/STB	P24/BUSY	P72
上記以外																		設定禁止						

(2) 3線式シリアル/Oモード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM23	P23	PM24	P24	PM72	P72	先頭ビット	ソフト・クロック	P70/SI2/RxD0	P71/SO2/TxD0	P23/STB/TxD1	P24/BUSY/RxD1	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能
0	0	0	1	0	0	x	x	1 ^{注2}	x ^{注2}	0	1	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	1	x	MSB	外部クロック	SI2 ^{注2}	SO2	P23/STB	P24/BUSY	SCK2入力
																0	1							内部クロック
			1	1	0	x	1	x	LSB	外部クロック	SI2 ^{注2}	SO2	(CMOS出力)	SCK2入力										
														0	1	内部クロック	SCK2出力							
上記以外																		設定禁止						

注 1 . ポート機能として自由に使用できます。

2 . 送信のみ使用する場合は , P70 (CMOS入出力) として使用できます。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

表 8 - 5 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧 (μPD780058, 780058Y サブシリーズ) (2/2)

(3) アシクロナス・シリアル・インタフェース・モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM23	P23	PM24	P24	PM72	P72	先頭ビット	シフト・クロック	P70/SI2/RxD0	P71/SO2/TxD0	P23/STB/TxD1	P24/BUSY/RxD1	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能
1	0	0	0	0	0	0	0	x注	x注	0	1	x注	x注	x注	x注	1	x注	LSB	外部クロック	P70	TxD0 (CMOS出力)	P23/STB	P24/BUSY	ASCK入力
		内部クロック																	x注					x注
0	1	0	0	0	0	0	0	1	x	x注	x注	x注	x注	x注	x注	1	x注		外部クロック	RxD0	P71	P23/STB	P24/BUSY	ASCK入力
		内部クロック																	x注					x注
1	1	0	0	0	0	0	0	1	x	0	1	x注	x注	x注	x注	1	x注		外部クロック	P70	TxD0 (CMOS出力)	P23/STB	P24/BUSY	ASCK入力
		内部クロック																	x注					x注
1	0	0	0	0	0	1	0	x注	x注	0	1	0	1	x注	x注	1	x注		外部クロック	P70	ハイ出力	TxD1	P24/BUSY	ASCK入力
		内部クロック																	x注					x注
0	1	0	0	0	0	0	1	1	x	x注	x注	x注	x注	1	x	1	x注		外部クロック	P70	P71	P23/STB	RxD1	ASCK入力
		内部クロック																	x注					x注
1	1	0	0	0	0	1	1	1	x	0	1	0	1	1	x	1	x注		外部クロック	P70	ハイ出力	TxD1	RxD1	ASCK入力
		内部クロック																	x注					x注
上記以外																		設定禁止						

注 ポート機能として自由に使用できます。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

表 8 - 6 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧 (μPD780308, 780308Y サブシリーズ) (1/2)

(1) 動作停止モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM113	P113	PM114	P114	PM72	P72	先頭ビット	ソフト・クロック	P70/SI2/RxD	P71/SO2/TxD	P113/TxD	P114/RxD	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能
0	0	x	0	x	x	x	x	x注1	x注1	x注1	x注1	x注1	x注1	x注1	x注1	x注1	x注1	-	-	P70	P71	P113	P114	P72
上記以外																		設定禁止						

(2) 3線式シリアル/Oモード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM113	P113	PM114	P114	PM72	P72	先頭ビット	ソフト・クロック	P70/SI2/RxD	P71/SO2/TxD	P113/TxD	P114/RxD	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能
0	0	0	1	0	0	x	x	1注2	x注2	0	1	x注1	x注1	x注1	x注1	1	x	MSB	外部クロック	SI2注2	SO2	P113	P114	SCK2入力
																								内部クロック
			1	1	0	1注2	x注2	0	1	x注1	x注1	x注1	x注1	1	x	LSB	外部クロック	SI2注2	SO2	P113	P114	SCK2入力		
																						内部クロック	(CMOS出力)	SCK2出力
上記以外																		設定禁止						

注 1 . ポート機能として自由に使用できます。

2 . 送信のみ使用する場合は , P70 (CMOS入出力) として使用できます。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

表 8 - 6 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧(μ PD780308, 780308Yサブシリーズ) 2/2)

(3) アシクロナス・シリアル・インタフェース・モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM113	P113	PM114	P114	PM72	P72	先頭ビット	シフト・クロック	P70/SI2/RxD	P71/SO2/TxD	P113/TxD	P114/RxD	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20												端子の機能	端子の機能	端子の機能	端子の機能	端子の機能	
1	0	0	0	0	0	0	0	x注	x注	0	1	x注	x注	x注	x注	1	x注	LSB	外部クロック	P70	TxD (CMOS出力)	P113	P114	ASCK入力
		1						x注	x注	ASCK入力														
0	1	0	0	0	0	0	0	1	x	x注	x注	x注	x注	x注	x注	1	x注	外部クロック	RxD	P71	P113	P114	ASCK入力	
		1						x注	x注	P72														
1	1	0	0	0	0	0	0	1	x	0	1	x注	x注	x注	x注	1	x注	外部クロック	RxD	TxD (CMOS出力)	P113	P114	ASCK入力	
		1						x注	x注	P72														
1	0	0	0	0	0	1	0	x注	x注	0	1	0	1	x注	x注	1	x注	外部クロック	P70	ハイ出力	TxD	P113	P114	ASCK入力
		1						x注	x注	P72														
0	1	0	0	0	0	0	1	1	x	x注	x注	x注	x注	1	x	1	x注	外部クロック	P70	P71 (入力)	P113	RxD	P114	ASCK入力
		1						x注	x注	P72														
1	1	0	0	0	0	1	1	1	x	0	1	0	1	1	x	1	x注	外部クロック	P70	ハイ出力 (入力)	TxD	RxD	P114	ASCK入力
		1						x注	x注	P72														
上記以外																		設定禁止						

注 ポート機能として自由に使用できます。

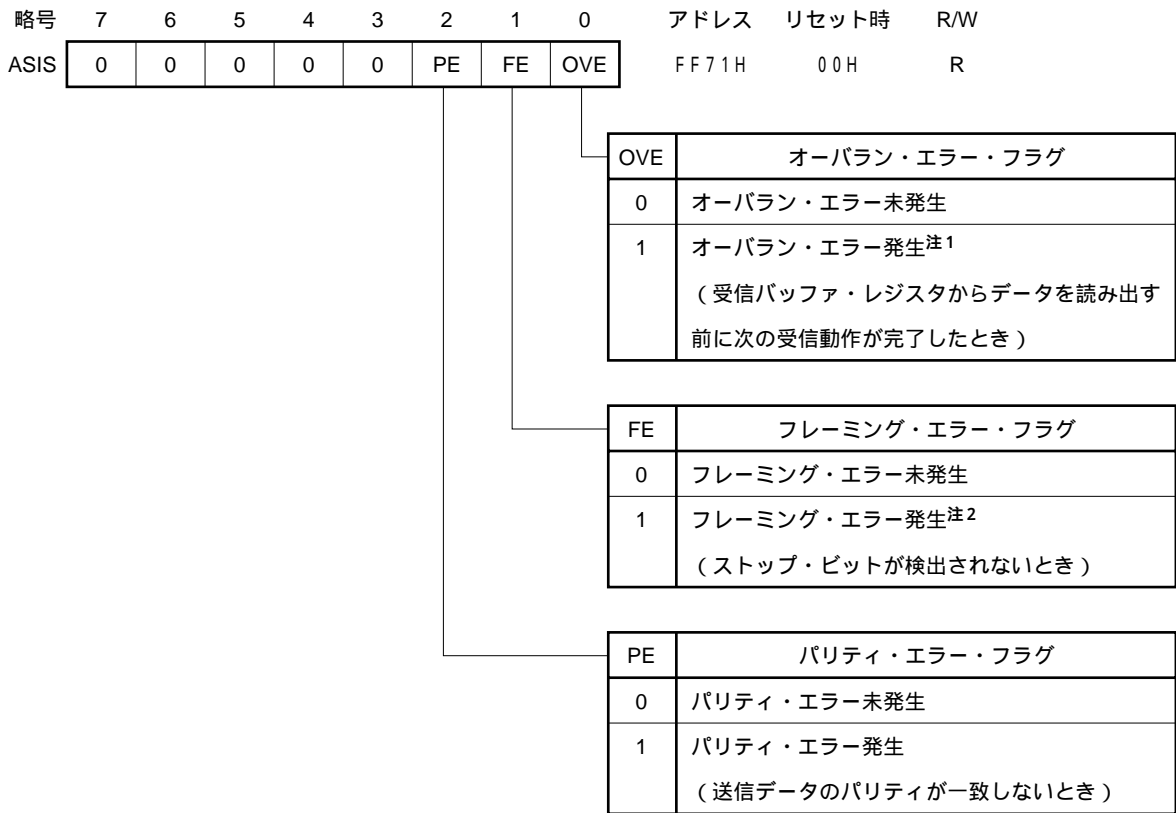
備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図8 - 19 アシクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット

(μPD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78098Bサブシリーズ, μPD78070A, 78070AY)



注1 . オーバラン・エラーが発生したとき, 受信バッファ・レジスタ(RXB)を必ず読み出してください。RXBを読み出すまで, データ受信のたびにオーバーラン・エラーが発生し続けます。

2 . アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット2 (SL) でストップ・ビット長を2ビットに設定した場合も, 受信時のストップ・ビット検出は1ビットのみです。

図8-20 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	f _{sck} ^注	-

注 3線式シリアル/Oモード時にのみ使用できます。

備考1 . f_{sck} : 5ビット・カウンタのソース・クロック

2 . k : MDL0-MDL3で設定した値 (0 k 14)

図8 - 20 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY) (2/2)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

備考1 f_x : メイン・システム・クロック発振周波数

2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

3. MCS : 発振モード選択レジスタ (OSMS) のビット0

4. n : TPS0-TPS3で設定した値 (1 n 11)

5. () 内は、 $f_x = 5.0$ MHz動作時。

図8 - 21 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット
(μ PD78098Bサブシリーズ) (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	fscK/16	0
0	0	0	1	fscK/17	1
0	0	1	0	fscK/18	2
0	0	1	1	fscK/19	3
0	1	0	0	fscK/20	4
0	1	0	1	fscK/21	5
0	1	1	0	fscK/22	6
0	1	1	1	fscK/23	7
1	0	0	0	fscK/24	8
1	0	0	1	fscK/25	9
1	0	1	0	fscK/26	10
1	0	1	1	fscK/27	11
1	1	0	0	fscK/28	12
1	1	0	1	fscK/29	13
1	1	1	0	fscK/30	14
1	1	1	1	fscK ^注	-

注 3線式シリアルI/Oモード時にのみ使用できます。

- 備考1 . fscK : 5ビット・カウンタのソース・クロック
 2 . k : MDL0-MDL3で設定した値 (0 k 14)

図8 - 21 ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット
(μ PD78098Bサブシリーズ) (2/2)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_{xx}/2^{10}$ (3.91 kHz)	11
0	1	0	1	f_{xx} (4.0 MHz)	1
0	1	1	0	$f_{xx}/2$ (2.0 MHz)	2
0	1	1	1	$f_{xx}/2^2$ (1.0 MHz)	3
1	0	0	0	$f_{xx}/2^3$ (500 kHz)	4
1	0	0	1	$f_{xx}/2^4$ (250 kHz)	5
1	0	1	0	$f_{xx}/2^5$ (125 kHz)	6
1	0	1	1	$f_{xx}/2^6$ (62.5 kHz)	7
1	1	0	0	$f_{xx}/2^7$ (31.3 kHz)	8
1	1	0	1	$f_{xx}/2^8$ (15.6 kHz)	9
1	1	1	0	$f_{xx}/2^9$ (7.81 kHz)	10
上記以外				設定禁止	

注意 通信動作中にBRGCへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

- 備考** 1 . f_{xx} : メイン・システム・クロック周波数
 2 . n : TPS0-TPS3で設定した値 (1 n 11)
 3 . () 内は、 $f_{xx} = 4.0$ MHz動作時。

図8 - 22 シリアル・インタフェース端子選択レジスタのフォーマット
(μ PD780058, 780058Yサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SIPS	0	0	SIPS21	SIPS20	0	0	0	0	FF75H	00H	R/W

SIPS21	SIPS20	アンシクロナス・シリアル・インタフェースの入出力端子の選択
0	0	入力端子：RxD0/SI2/P70 出力端子：TxD0/SO2/P71
0	1	入力端子：RxD1/BUSY/P24 出力端子：TxD0/SO2/P71
1	0	入力端子：RxD0/SI2/P70 出力端子：TxD1/STB/P23
1	1	入力端子：RxD1/BUSY/P24 出力端子：TxD1/STB/P23

注意1．入出力端子の切り替えは、シリアル送受信動作を停止させたのちに行ってください。

- 2．シリアル・インタフェース・チャンネル1の自動送受信機能付き3線式シリアル/Oモードでビジィ制御オプション、ビジィ&ストローブ制御オプションを使用する場合は、RxD1/BUSY/P24, TxD1/STB/P23をデータ入出力端子として使用できません。

図8 - 23 シリアル・インタフェース端子選択レジスタのフォーマット
(μ PD780308, 780308Yサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SIPS	0	0	SIPS21	SIPS20	0	0	0	0	FF75H	00H	R/W

SIPS21	SIPS20	アンシクロナス・シリアル・インタフェースの入出力端子の選択
0	0	入力端子：RxD/SI2/P70 出力端子：TxD/SO2/P71
0	1	入力端子：RxD/P114 出力端子：TxD/SO2/P71
1	0	入力端子：RxD0/SI2/P70 出力端子：TxD/P113
1	1	入力端子：RxD/P114 出力端子：TxD/P113

注意1．入出力端子の切り替えは、シリアル送受信動作を停止させたのちに行ってください。

- 2．ポート11には立ち下がりエッジ検出機能があります。兼用機能の端子として使用する端子を、立ち下がりエッジ入力に選択しないでください。

8.1 EEPROM™ (μ PD6252) とのインタフェース

μ PD6252^註は、2048ビットの電氣的に書き込み消去可能なEEPROMです。 μ PD6252への書き込み / 読み出し方法は、3線式シリアル・インタフェースで行います。

注 μ PD6252は保守製品です。

図8 - 24 μ PD6252の端子接続図

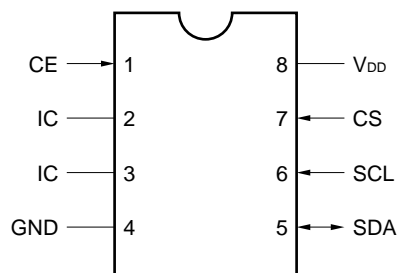


表 8 - 7 μ PD6252の端子の説明

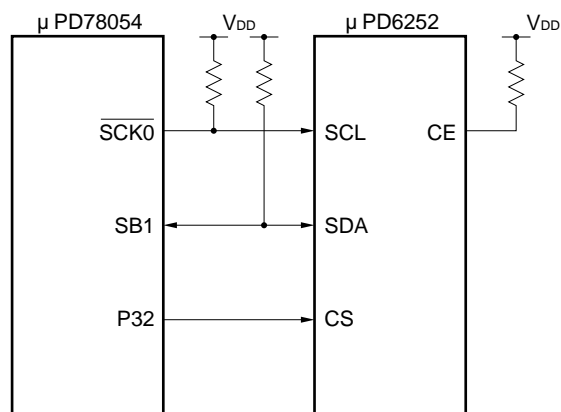
端子番号	端子名称	入出力	機能
1	CE	CMOS入力	データ転送中はハイ・レベルにしてください。 注意 データ転送中にこの端子をハイ・レベルからロウ・レベルに切り替えないでください。 この端子をハイ・レベルからロウ・レベルに切り替える場合は、CS端子（7ピン）をロウ・レベルに設定した状態で行ってください。なお、CE端子およびCS端子をどちらもロウ・レベルにすることで、スタンバイ状態となります。スタンバイ状態では低消費電力となります。
2	IC	-	IC端子は外部で個別に抵抗を介して、ハイ・レベルまたはロウ・レベルに固定してください。
3			
4	GND	-	グラウンド
5	SDA	CMOS入力 / Nchオープン・ドレイン出力	データ入出力用端子です。 Nchオープン・ドレインの入出力のため外部にプルアップ抵抗を付加して使用してください。 
6	SCL	CMOS入力	データ転送用のクロック入力端子です。
7	CS	CMOS入力	チップ・セレクト端子です。ハイ・レベル入力により μ PD6252は動作可能となります。 ロウ・レベルにすることによりメモリ・セルの読み出しや書き込み動作ができなくなります。 SCL端子がハイの状態、この端子をロウからハイへ変化させることがシリアル・バス・インタフェースの動作開始の信号となり、また、この端子をハイからロウへ変化させることがシリアル・バス・インタフェースの動作終了の信号となります。
8	V _{DD}	-	正電源 + 5V \pm 10%

8.1.1 2線式シリアルI/Oモードの通信

μPD6252^注の3線式とは、シリアル・クロック（SCL）、データ（SDA）、チップ・セレクト（CS）の3本を示しています。したがって、ハンドシェイクを除くと、インタフェースに必要な線はクロックとデータの2線になりますので、78K/0シリーズを使用してインタフェースを行うときは2線式シリアルI/Oモードを選択します。ここではμPD78054サブシリーズを例に説明します。

注 μPD6252は保守製品です。

図8 - 25 μPD6252との接続例



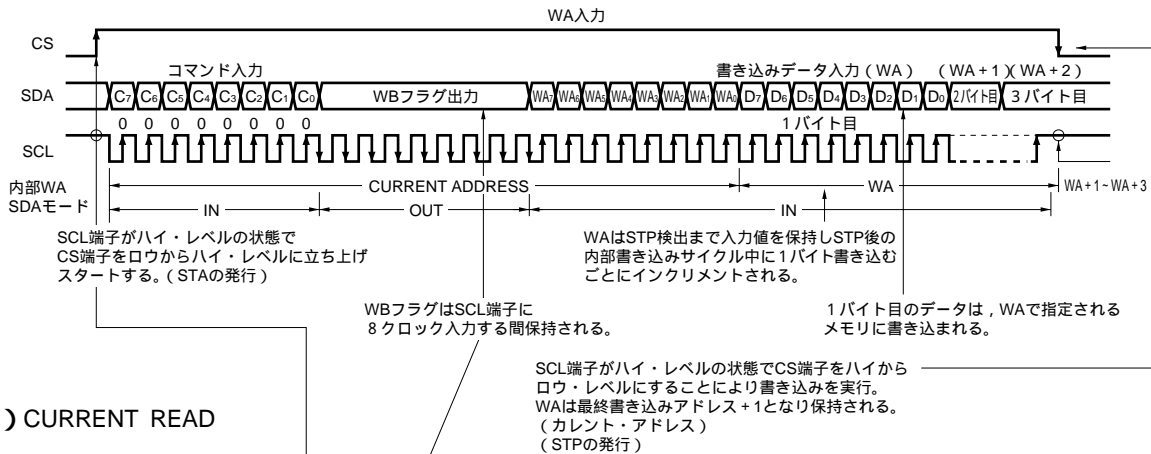
μPD6252への書き込み、読み出しを行うときのコマンド、および通信フォーマットを表8 - 8、図8 - 26に示します。

表8 - 8 μPD6252のコマンド一覧

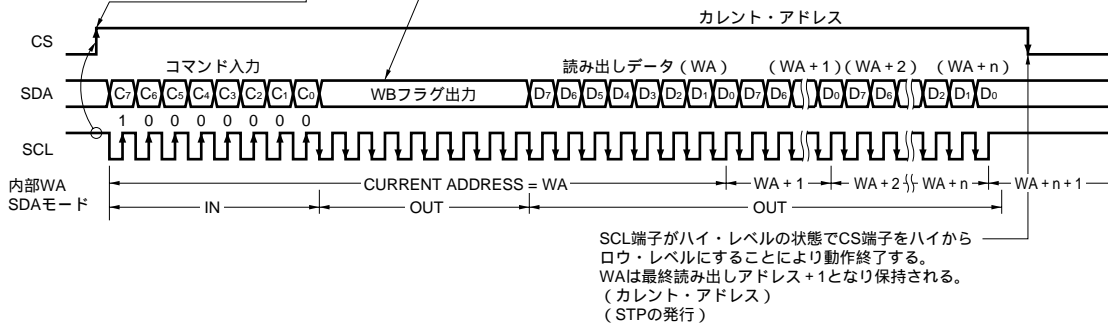
コマンド名	コマンド	動作内容								
RANDOM WRITE	0000000B〔00H〕 MSB C7-C0	<p>ワード・アドレス(WA)(8ビット)を設定後書き込みデータを転送します。書き込みデータは連続して、3バイトまで設定できます。</p> <table border="1" style="margin-left: 20px;"> <tr> <td colspan="2">ワード・アドレスとの対応</td> </tr> <tr> <td>WA</td> <td>1バイト目のデータ</td> </tr> <tr> <td>WA+1</td> <td>2バイト目のデータ</td> </tr> <tr> <td>WA+2</td> <td>3バイト目のデータ</td> </tr> </table> <p>書き込み動作はCS端子をハイからロウへ立ち下げたタイミング後の内部書き込みサイクルで実行されます。</p>	ワード・アドレスとの対応		WA	1バイト目のデータ	WA+1	2バイト目のデータ	WA+2	3バイト目のデータ
ワード・アドレスとの対応										
WA	1バイト目のデータ									
WA+1	2バイト目のデータ									
WA+2	3バイト目のデータ									
CURRENT READ	1000000B〔80H〕 MSB C7-C0	<p>コマンドを設定したときのワード・アドレス(WA)(カレント・アドレス)で指定されるメモリの内容が読み出し用データ・バッファへ転送されます。SDA端子よりデータを読み出すと、8ビット読み出すごとにワード・アドレス(WA)はインクリメントされ、対応するメモリの内容が読み出し用データ・バッファへ転送されます。</p>								
RANDOM READ	1100000B〔C0H〕 MSB C7-C0	<p>ワード・アドレス(WA)を設定後、設定したワード・アドレス(WA)を先頭番地としてデータ読み取りを実行します。</p> <p>CURRENT READと異なる点は、コマンドを実行後、ワード・アドレス(WA)を設定することです。</p> <p>ワード・アドレス(WA)の設定後は、CURRENT READと同じ動作をします。</p>								

図8-26 μ PD6252の通信フォーマット

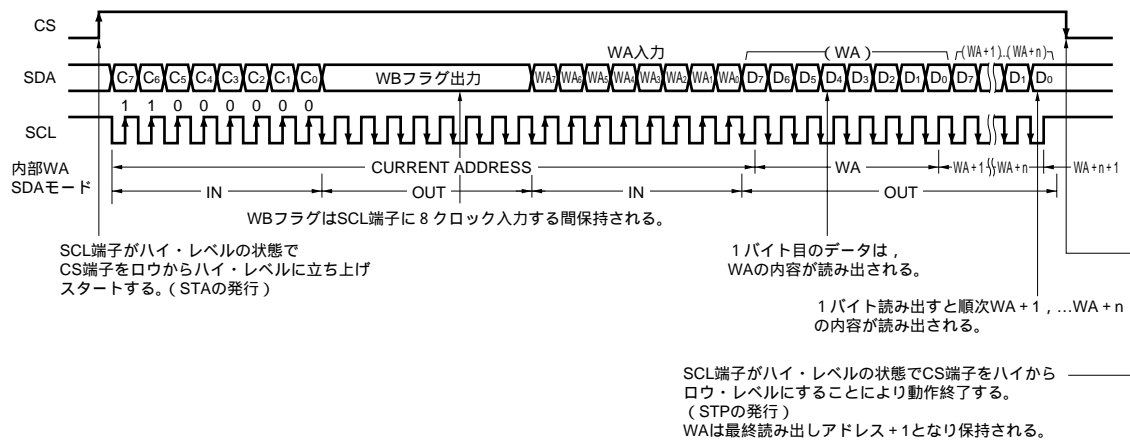
(1) RANDOM WRITE



(2) CURRENT READ



(3) RANDOM READ



から にμPD6252の手順を示します。この例では、1回のインタフェースでの書き込み、読み出しのデータ数は1バイト固定で行います。また、インタフェース時にμPD6252がライト・ビジィ(WB)であったときは、ビジィ・フラグをセットします。

インタフェースを開始するためにCS端子(P32)をハイ・レベルにします。

書き込み、読み出しのコマンドを送信します。

WRITE BUSYのデータを受信します。μPD6252のインタフェース可能な状態であれば、00Hを受信します。00H以外を受信したときは、WRITE BUSY状態と判断します。そして、通信の中止処理を行います。

コマンドに対応したデータ転送を行います。

通信を終了するためにCS端子(P32)をロウ・レベルに設定します。

(1) パッケージの説明

<パブリック宣言シンボル>

- T3_6252 : μPD6252転送サブルーチン名称
- RWRITE : RANDOM WRITEコマンド値
- RREAD : RANDOM READコマンド値
- CREAD : CURRENT READコマンド値
- WADAT : ワード・アドレス格納エリア
- TRNDAT : 送信データ格納エリア
- RCVDAT : 受信データ格納エリア
- CMDDAT : コマンド・データ格納エリア
- BUSYFG : ビジィ状態テスト用フラグ
- CS6252 : μPD6252のCS端子(P32)

<使用するレジスタ>

A

<使用するRAM>

名称	用途	属性	バイト
WAADR	ワード・アドレスを格納(転送開始前)	SADDR	1
TRNDAT	送信データを格納(転送開始前)		
RCVDAT	受信データを格納(転送終了後)		
CMDDAT	コマンド・データを格納(転送開始前)		

<使用するフラグ>

名称	用途
BUSYFG	WRITE BUSY状態の設定

<ネスティング>

1レベル3バイト

<使用するハードウェア>

シリアル・インタフェース・チャンネル0

P32

<初期設定>

OSMS = #00000001B 発振モード選択レジスタ 分周回路を使用しない

シリアル・インタフェース・チャンネル0の設定

CSIM0 = #10011011B 2線式シリアルI/Oモード, SB1端子選択

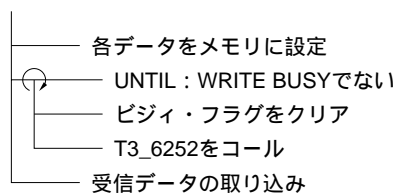
TCL3 = #x x x x 1001B シリアル・クロック $f_{xx}/2^4$

RELT=1 SB1ラッチをハイ・レベル

<起動方法>

コマンドに対応した必要なデータを設定し, T3_6252をコールします。サブルーチンから復帰後, ビジィ・フラグ (BUSYFG) のテストを行います。ビジィ・フラグがセットされているときは転送が行われていませんので, 再度転送を行う必要があります。受信モードのときは, サブルーチンから復帰後, 受信データがRCVDATに格納されています。

(2) 使用例



```

EXTRN  RWRITE, RREAD, CREAD
EXTRN  WADAT, TRNDAT, RCVDAT, CMDDAT, T3_6252
EXTBIT  BUSYFG, CS6252

```

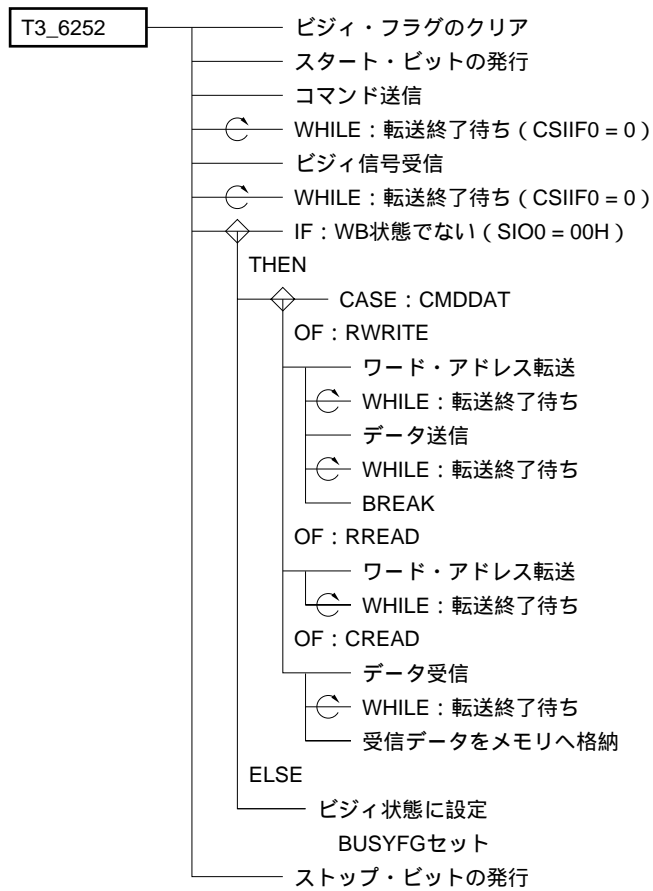
```

OSMS=#00000001B          ; 分周回路を使用しない
CSIMO=#10011011B         ; 2線式シリアルI/Oモード, SB1端子の設定
TCL3=#10011001B         ; SCK0 = 262kHzに設定
CLR1   SB0
CLR1   CS6252            ; μPD6252のCSをロウ・レベルに設定
CLR1   PM3.2

CMDDAT=A
:
WADAT=A
:
TRNDAT=A
:
repeat
    CLR1   BUSYFG
    CALL   !T3_6252
until_bit(!BUSYFG)
:
A=RCVDAT

```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC RWRITE, RREAD, CREAD
PUBLIC WADAT, TRNDAT, RCVDAT, CMDDAT, T3_6252
PUBLIC BUSYFG, CS6252
CSI_DAT DSEG SADDR
WADAT: DS 1 ; ワード・アドレス格納エリア
TRNDAT: DS 1 ; 送信データ格納エリア
RCVDAT: DS 1 ; 受信データ格納エリア
CMDDAT: DS 1 ; コマンド・データ格納エリア

CSI_FLG BSEG
BUSYFG DBIT ; ビジィ状態の設定

RWRITE EQU 00H ; RANDOM WRITE モード
RREAD EQU 0COH ; RANDOM READ モード
CREAD EQU 080H ; CURRENT READ モード
CS6252 EQU 0FF03H.2 ; 0FF03H=PORT3

CSI_SEG CSEG
;*****
;* μ P D 6 2 5 2 (3線式)通信
;*****
T3_6252:
CLR1 BUSYFG
SET1 CS6252 ; スタート・ビット発行
SIO0=CMDDAT (A) ; コマンド転送
while_bit(!CSIIF0) ; 転送終了待ち
endw
CLR1 CSIIF0
SIO0=#OFFH ; ビジィ信号受信開始
while_bit(!CSIIF0) ; 転送終了待ち
endw
CLR1 CSIIF0
if(SIO0==#00H) ; ビジィ・チェック
switch (CMDDAT)
case RWRITE:
SIO0=WADAT (A) ; ワード・アドレス転送
while_bit(!CSIIF0) ; 転送終了待ち
endw
CLR1 CSIIF0
SIO0=TRNDAT (A) ; データ送信開始
while_bit(!CSIIF0) ; 転送終了待ち
endw
CLR1 CSIIF0
break
case RREAD:
SIO0=WADAT (A) ; ワード・アドレス転送
while_bit(!CSIIF0) ; 転送終了待ち
endw
CLR1 CSIIF0
case CREAD:
SIO0=#OFFH ; データ受信開始
while_bit(!CSIIF0) ; 転送終了待ち
endw
CLR1 CSIIF0
RCVDAT=SIO0 (A) ; 受信データ格納
ends
else
SET1 BUSYFG ; ビジィ状態に設定
endif
CLR1 CS6252
RET

```

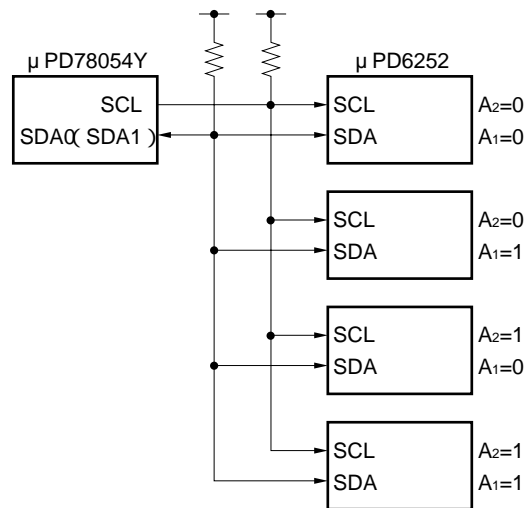
8.1.2 I²Cバス・モードの通信

μPD6252^注の2線式モードは、シリアル・クロック（SCL）とデータ（SDA）の2本で通信を行っており、I²Cの通信フォーマットにも準拠しています。したがって、μPD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ、μPD78070AYを使用して通信を行う場合は、I²Cバス・モードを設定します。

ここでは、μPD78054Yサブシリーズを例に説明します。

注 μPD6252は、保守製品です。

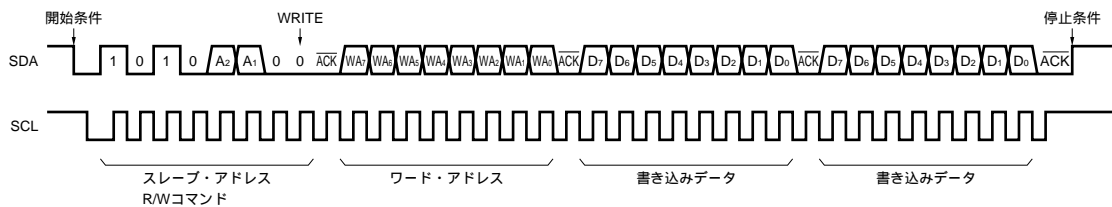
図8 - 27 μPD6252とI²Cバス・モードの接続例



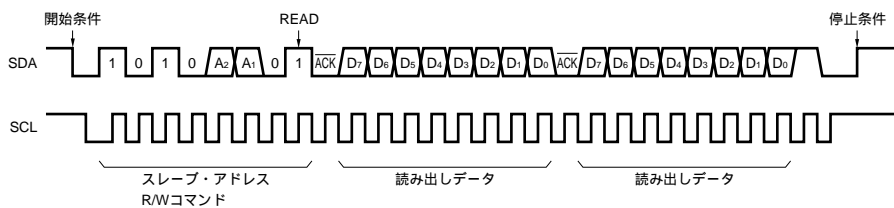
μPD6252へ書き込み、読み出しを行うときの通信フォーマットを図8 - 28に示します。

図 8 - 28 μ PD6252動作タイミング

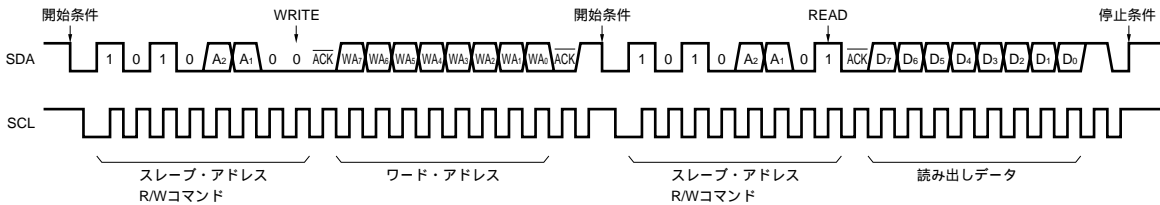
(a) μ PD6252への送信



(b) μ PD6252からの受信 (ワード・アドレス指定なし)



(c) μ PD6252からの受信 (ワード・アドレス指定あり)

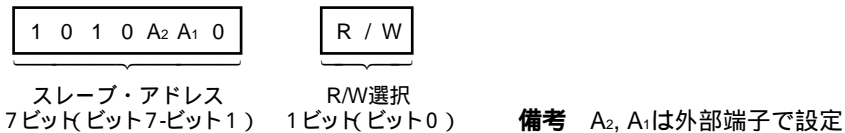


から μ PD6252の通信手順を示します。ここでは、書き込み、読み出しのデータ数は、1バイト固定で行います。I²Cフォーマットで、マスタが受信の場合、最終データを受信したときは $\overline{\text{ACK}}$ 信号を出力しません。この例では、マスタ側で $\overline{\text{ACK}}$ 信号を出力することはないため、 $\overline{\text{ACK}}$ は常に0で使用します。

通信を開始するために開始条件を設定します。

シリアル・クロック=ハイ・レベルの状態データを立ち下げます。

μ PD6252のスレーブ・アドレス値（ビット1-ビット7）と書き込み（ビット0=0）/読み出し（ビット0=1）選択ビットを送信します。



データを転送します。

送信モードの場合

- (i) μ PD6252のワード・アドレスを送信します。
- (ii) 書き込みデータを送信します。

受信モードの場合

読み出しデータを受信します。

通信を終了するために終了条件を設定します。

シリアル・クロック=ハイ・レベルの状態データを立ち上げます。

ワード・アドレスの指定は、書き込みモードのみになっているので、アドレス指定による読み出しを行うときは、一度書き込みモードでアドレス指定する必要があります。

各データ転送中で、 μ PD6252から $\overline{\text{ACK}}$ 信号が返ってこないときは、通信を中止します。

開始、終了条件は、シリアル・クロックの操作をするときはCLCで設定し、データの操作をするときはRELT, CMDTで設定します。

(1) パッケージの説明

<パブリック宣言シンボル>

T2_6252 : μ PD6252転送サブルーチン名称
 WAADR : ワード・アドレス格納エリア
 TRNDAT : 送信データ格納エリア
 RCVDAT : 受信データ格納エリア
 SLVADR : スレーブ・アドレス格納エリア
 BUSYFG : ビジィ状態テスト用フラグ
 WRCHG : 書き込み 読み出しモード変更フラグ
 ERRFG : エラー状態テスト用フラグ

<使用するレジスタ>

A

<使用するRAM>

名 称	用 途	属 性	バイト
WAADR	ワード・アドレスを格納(転送開始前)	SADDR	1
TRNDAT	送信データを格納(転送開始前)		
RCVDAT	受信データを格納(転送終了後)		
SLVADR	スレーブ・アドレスを格納		

<使用するフラグ>

名 称	用 途
BUSYFG	WRITE BUSY状態の設定
WRCHG	書き込み 読み出しモード変更
ERRFG	エラー状態の設定

<ネスティング>

1 レベル 2 バイト

<使用するハードウェア>

シリアル・インタフェース 0

<初期設定>

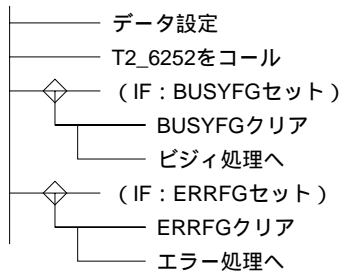
OSMS = #00000001B 発振モード選択レジスタ 分周回路を使用しない
 シリアル・インタフェース・チャンネル 0 の設定
 CSIM0 = #10011011B 2 線式シリアルI/Oモード, SB0端子選択
 TCL3 = #x x x x 1000B シリアル・クロック $f_{xx}/2^3$, 16 選択
 SINT = #00001011B シリアル・クロック 9 発立ち上がりで割り込み,
 クロック・ラインをハイ・レベルに設定

< 起動方法 >

コマンドに対応した必要なデータを設定し、T2_6252をコールします。受信モードのときは、サブルーチン復帰後に受信データがRCVDATに格納されています。

通信開始のときにシリアル・クロックがロウ・レベルだったり（ビジィ状態）、データ転送でACKが受信できなかったときは、BUSYFG, ERRFGがセットされるので、メイン処理でテスト、クリアを行ってください。

(2) 使用例

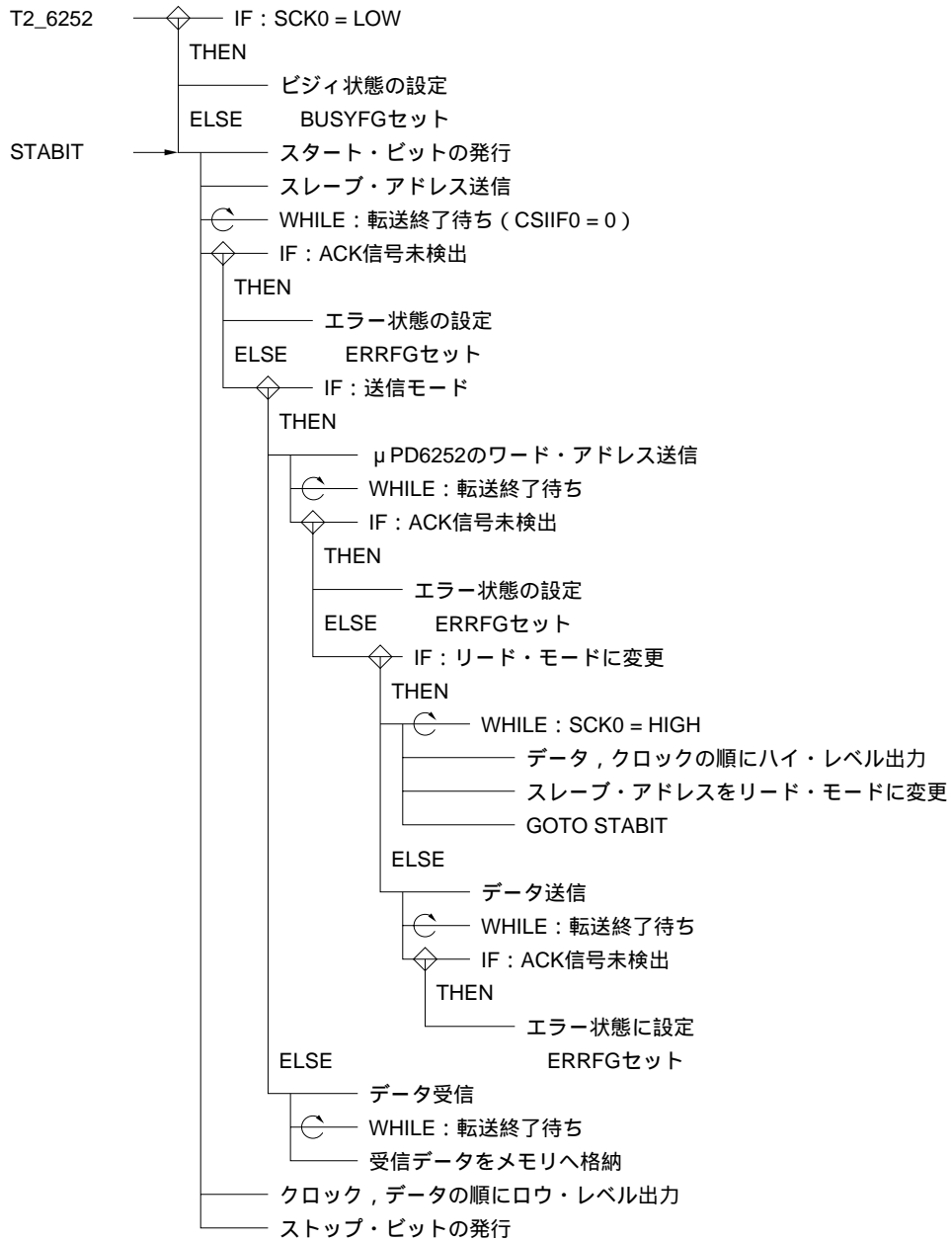


```

EXTRN  WAADR, TRNDAT, RCVDAT, SLVADR, T2_6252
EXTBIT  BUSYFG, WRCHG, ERRFG

SET1    SBO
OSMS=#00000001B          ; 分周回路を使用しない
CSIMO=#10011011B        ; シリアル・インタフェース2線式, SBO
SINT=#00001011B        ; I2Cモードに設定
TCL3=#10001000B        ; SCK=32.7kHz
SET1    RELT
SET1    SCK0
CLR1    SBO
...
WAADR=A
...
TRNDAT=A
...
SLVADR=A
CALL    !T2_6252
if_bit(BUSYFG)
    CLR1    BUSYFG
    ...
endif
...
if_bit(ERRFG)
    CLR1    ERRFG
    ...
ENDIF
  
```


(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC WAADR, TRNDAT, RCVDAT, SLVADR, T2_6252
PUBLIC BUSYFG, WRCHG, ERRFG

CSI_DAT DSEG SADDR
WAADR: DS 1 ; ワード・アドレス格納エリア
TRNDAT: DS 1 ; 送信データ格納エリア
RCVDAT: DS 1 ; 受信データ格納エリア
SLVADR: DS 1 ; スレーブ・アドレス格納エリア

CSI_FLG BSEG
BUSYFG DBIT ; ビジィ状態の設定
WRCHG DBIT ; モード変更
ERRFG DBIT ; エラー状態の設定

SCK0 EQU P2.7

CSI_SEG CSEG
;*****
;* μ P D 6 2 5 2 (2線式) 通信
;*****
T2_6252:
    if_bit(!CLD)
        SET1 BUSYFG ; ビジィ状態
    else
STABIT:
        SET1 CMDT ; スタート・ビットの発行
        NOP ; スタート・ビット有効幅ウエイト
        NOP
        NOP
        NOP
        NOP
        CLR1 CLC ; クロックをロウ・レベルに設定
        SIO0=SLVADR (A) ; スレーブ・アドレス送信開始
        while_bit(!CSIIF0) ; 転送終了待ち
        endw
        CLR1 CSIIF0
        if_bit(!ACKD) ; ACK信号未検出
            SET1 ERRFG
        elseif_bit(!SLVADR.0) ; 送信モード
            SIO0=WAADR (A) ; ワード・アドレス送信開始
            while_bit(!CSIIF0) ; 転送終了待ち
            endw
            CLR1 CSIIF0
            if_bit(!ACKD) ; ACK信号未検出
                SET1 ERRFG
            elseif_bit(WRCHG)
                while_bit(CLD)
                endw
                SET1 RELT
                SET1 CLC
                while_bit(!CLD) ; クロックのハイ・レベル確認
                endw
                NOP ; クロックのハイ・レベル有効幅ウエイト
                NOP
                NOP
                NOP
                NOP
                NOP
                SET1 SLVADR.0 ; リード・モード・アドレスに変更
            goto STABIT
    else

```

```
        SIO0=TRNDAT (A)      ; データ送信開始
        while_bit(!CSIIF0)  ; 転送終了待ち
        endw
        CLR1    CSIIF0
        if_bit(!ACKD)       ; ACK信号検出
            SET1    ERRFG
        endif
    endif
else
    SIO0=#0FFH              ; データ受信開始
    while_bit(!CSIIF0)     ; 転送終了待ち
    endw
    CLR1    CSIIF0
    RCVDAT=SIO0 (A)        ; 受信データ格納
endif

while_bit(CLD)
endw
SET1    CMDT
SET1    CLC
while_bit(!CLD)           ; クロックのハイ・レベル確認
endw
NOP                                           ; クロックのハイ・レベル有効幅ウエイト
NOP
NOP
NOP
NOP
NOP
NOP
NOP
SET1    RELT              ; ストップ・ビット発行
endif
RET
```

(5) I²Cバス・モード使用時の制限事項

μ PD78054Y, 78064Y, 78078Y, 780058Y, 780308Y, 78058FYサブシリーズ, μ PD78070AYには, 次の制限事項があります。ここでは, μ PD78054Yを例に説明します。

・I²Cバス・モードのスレーブ・デバイスとして使用する場合の制限事項

内 容: シリアル転送状態^注でウエイク・アップ機能を実行 (WUPフラグ (シリアル動作モード・レジスタ0 (CSIM0) のビット5) をセット (1) することにより実行) すると, 他のスレーブ・デバイスとマスタ・デバイス間のデータに対してアドレス判定を行ってしまいます。したがって, そのときのデータがμ PD78054Yのスレーブ・アドレスと一致すると, μ PD78054Yが通信に参加し, 通信データを破壊してしまいます。

注 シリアル転送状態とは, シリアルI/Oシフト・レジスタ0 (SIO0) の書き込み後, シリアル転送終了により割り込み要求フラグ (CSIF0) がセット (1) されるまでの状態を示します。

回避策: この制限事項はプログラムを変更することによって回避できます。

ウエイク・アップ機能を実行する前に, 次に示すシリアル転送状態を解除するプログラムを実行してください。また, ウエイク・アップ機能を実行するときは, SIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても, ウエイク・アップ機能実行時にデータ受信は可能です。

このプログラムは, シリアル転送状態を解除するためのプログラムです。シリアル転送状態を解除するためには, 一度シリアル・インタフェース・チャンネル0を動作停止状態 (CSIE0フラグ (シリアル動作モード・レジスタ (CSIM0) のビット7) をクリア (0)) にする必要があります。ただし, I²Cバス・モードでシリアル・インタフェース・チャンネル0を動作停止状態にすると, SCL端子からはハイ・レベルを, SDA0 (SDA1) 端子からはロウ・レベルを出力してしまい, I²Cバスの通信に影響を与える可能性があります。そのためこのプログラムは, I²Cバスへの影響を避けるためにSCL端子およびSDA0 (SDA1) 端子をハイ・インピーダンス状態にしています。

また, この例ではシリアル・データ入力/出力端子をSDA0 (/P25) として説明しています。シリアル・データ入力/出力端子をSDA1 (/P26) にしている場合は, プログラム中のP2.5, PM2.5をそれぞれP2.6, PM2.6に読み替えてください。

・シリアル転送状態を解除するプログラム例

```
SET1 P2.5      ;
SET1 PM2.5     ;
SET1 PM2.7     ;
CLR1 CSIE0     ;
SET1 CSIE0     ;
SET1 RELT      ;
CLR1 PM2.7     ;
CLR1 P2.5      ;
CLR1 PM2.5     ;
```

の命令でI²Cバス・モードに復帰したときに、SDA0端子からロウ・レベルを出力しないようにします。SDA0端子の出力はハイ・インピーダンス状態になります。

の命令でポート・モードに移行したときに、SDA0ラインに影響を与えないようにするために、P25 (/SDA0) 端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

の命令でポート・モードに移行したときに、SCLラインに影響を与えないようにするために、P27 (/SCL) 端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

I²Cバス・モードからポート・モードに移行します。

ポート・モードからI²Cバス・モードに復帰します。

の命令でSDA0端子からロウ・レベルを出力しないようにします。

I²Cバス・モードでは、P27端子を出力モードにする必要がありますので、P27端子を出力モードにします。

I²Cバス・モードでは、P25端子を出力ラッチに0を設定する必要がありますので、P25端子の出力ラッチに0を設定します。

I²Cバス・モードでは、P25端子を出力モードにする必要がありますので、P25端子を出力モードにします。

備考 RELT : シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0

8.2 OSD用LSI (μ PD6451A) とのインタフェース

OSD (On Screen Display) 用LSIである μ PD6451Aは、マイコンと組み合わせて使用することにより、ディスプレイ上にVTRのプログラム情報や、TVのチャンネルなどの表示をします。 μ PD6451Aとのインタフェースは、DATA, CLK, STB, BUSYの4本の線により行います。ここでは μ PD78054サブシリーズを例に説明します。

図8 - 29 μ PD6451Aとの接続例

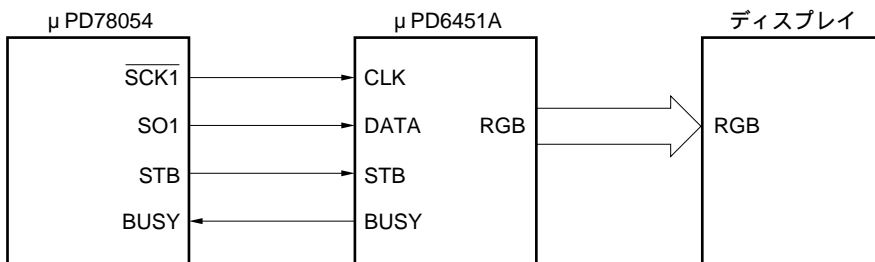
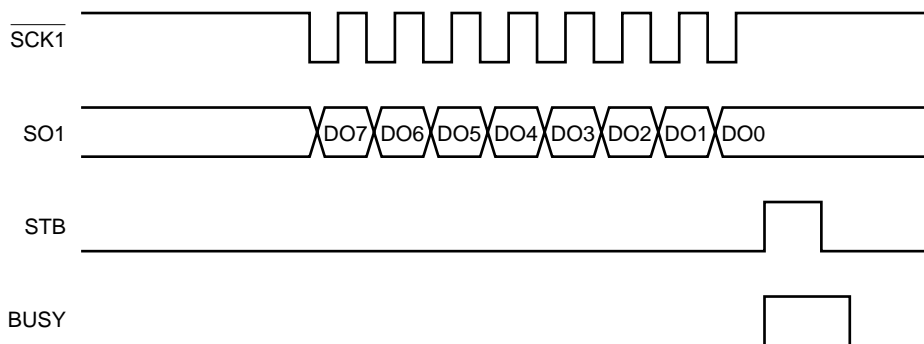


図8 - 30 μ PD6451Aの通信フォーマット



μ PD6451Aとのインタフェースで使用しているハンドシェイク用のストローブ信号 (STB) の出力とビジー信号 (BUSY) のテストは、78K/0シリーズのシリアル・インタフェース・チャンネル1で自動的に行います。 μ PD6451Aの通信フォーマットに合わせるため、ストローブ信号出力許可、ビジー信号入力許可 (ハイ・アクティブ) モードを選択します。バッファRAM領域 (FAC0H-FADFH) に送信データ (最大32バイト) を、自動データ送受信アドレス・ポインタ (ADTP) に送信データ数を設定することで、複数のデータを連続して自動送信します。

(1) パッケージの説明

<パブリック宣言シンボル>

TR6451 : μ PD6451A転送サブルーチン名称

DTVAL : 送信データ数設定エリア

<使用するレジスタ>

A

<使用するRAM>

名 称	用 途	属 性	バイト
DTVAL	送信データ数を格納	SADDR	1

<ネスティング>

1レベル2バイト

<使用するハードウェア>

シリアル・インタフェース・チャンネル1

<初期設定>

シリアル・インタフェース・チャンネル1の設定

CSIM1=#10100011B 自動送受信動作許可, MSB先頭

ADTC=#00000110B ビジィ入力許可(ハイ・アクティブ), ストローブ出力許可, 単発モード

ADTI=#00000000B データ転送のインターバル時間

OSMS=#00000001B 発振モード選択レジスタ 分周回路を使用しない

TCL3=#1001 x x x x B シリアル・クロック $f_{xx}/2^4$

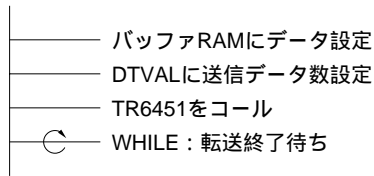
P22出力ラッチをハイ・レベル

PM2=#x x x 1000 x B P21, P22, P23出力モード, P24入力モード

<起動方法>

バッファRAMに送信するデータ(上位アドレスから送信)を, DTVALに送信データ数を設定し, TR6451をコールします。データ転送の終了は, 自動データ送受信コントロール・レジスタ(ADTC)のビット3(TRF)をテストすることで確認できます。

(2) 使用例



```

        EXTRN    TR6451, DTVAL

SCK1    EQU     P2.2
        :
        :
        OSMS=#00000001B      ; 分周回路を使用しない
        P2=#00000100B
        PM2=#11110001B
        CSIM1=#10100011B    ; 自動送受信機能に設定
        TCL3=#10011001B    ; SCK1 = 262 kHz
        ADTC=#00000110B    ; ストローブ・ビジィ信号あり
        ADTI=#00000000B    ; データ転送のインターバル時間
        :
        DE=#TABLE1          ; 送信データのテーブル参照アドレス設定
        HL=#0FAC0H         ; バッファRAMの先頭アドレス設定
        B=32               ; 送信データ数の設定

        while(B>#0)        ; 送信データをバッファRAMに転送
            B--
            [HL+B]=[DE] (A)
            DE++
        endw

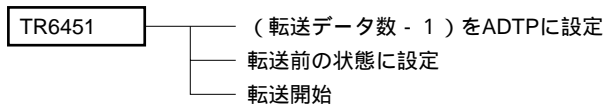
        DATVAL=#32         ; 送信データ数の設定
        CALL    !TR6451
        while_bit(TRF)     ; 転送終了待ち
        endw
    
```


TABLE1:

DB	11111111B	; パワーオン・リセット, コマンド1
DB	01000000B	; 垂直アドレス0
DB	11000000B	; 水平アドレス0
DB	10000000B	; 文字サイズ
DB	11111100B	; コマンド0
DB	11101001B	; LC発信ON, 点滅OFF, 表示ON
DB	10001100B	; ブリンクON, 文字: 赤
DB	11011011B	; 色指定, 背景ベタ: シアン
DB	10010101B	; 表示行5
DB	10100000B	; 表示桁0
DB	07H	; 7
DB	08H	; 8
DB	1BH	; K
DB	6DH	; /
DB	00H	; 0
DB	10H	
DB	11H	; A
DB	20H	; P
DB	20H	; P
DB	1CH	; L
DB	19H	; I
DB	13H	; C
DB	11H	; A
DB	24H	; T
DB	19H	; I
DB	00H	; 0
DB	1EH	; N
DB	10H	
DB	1EH	; N
DB	00H	; 0
DB	24H	; T
DB	15H	; E

備考 出力テーブル・データのコマンド, およびデータについては, μ PD6451A データ・シート(資料番号 IC-7812)を参照してください。

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC TR6451, DTVAL

CSI_DAT DSEG SADDR
DTVAL: DS 1 ; データ数設定エリア

CSI_SEG CSEG
;*****
;* μ P D 6 4 5 1 A通信
;*****
TR6451:
A=DTVAL ; データ数の設定
A--
ADTP=A
SIO1=#0FFH ; 転送開始
RET
  
```

8.3 SBIモードのインタフェース

78K/0シリーズは、NECシリアル・バス・フォーマット準拠のSBIモードを持っています。SBIモードは、クロックとデータの2線により、1つのマスタCPUが複数のスレーブCPUと通信を行うことができます。ここではμPD78054サブシリーズを例に説明します。

SBIモードを使用するときの接続例を図8-31に、通信フォーマットを図8-32に示します。

図8-31 SBIモードの接続例

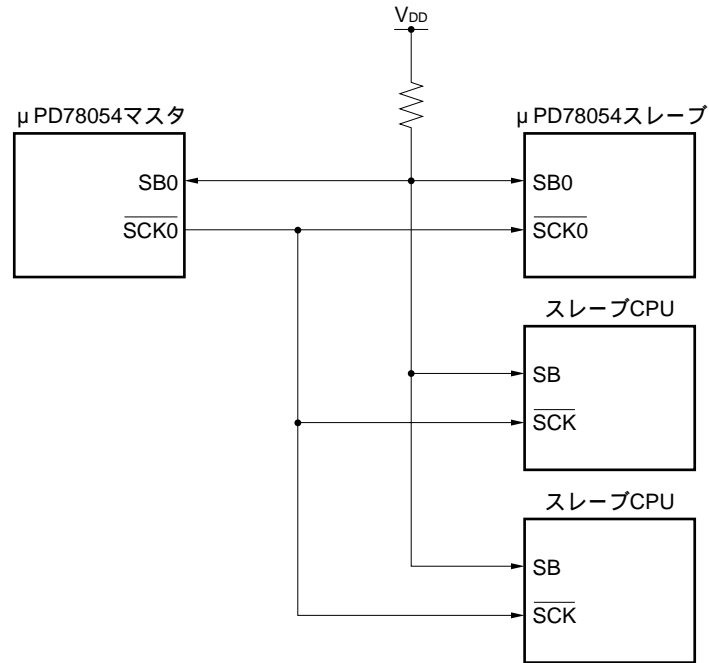


図8-32 SBIモードの通信フォーマット

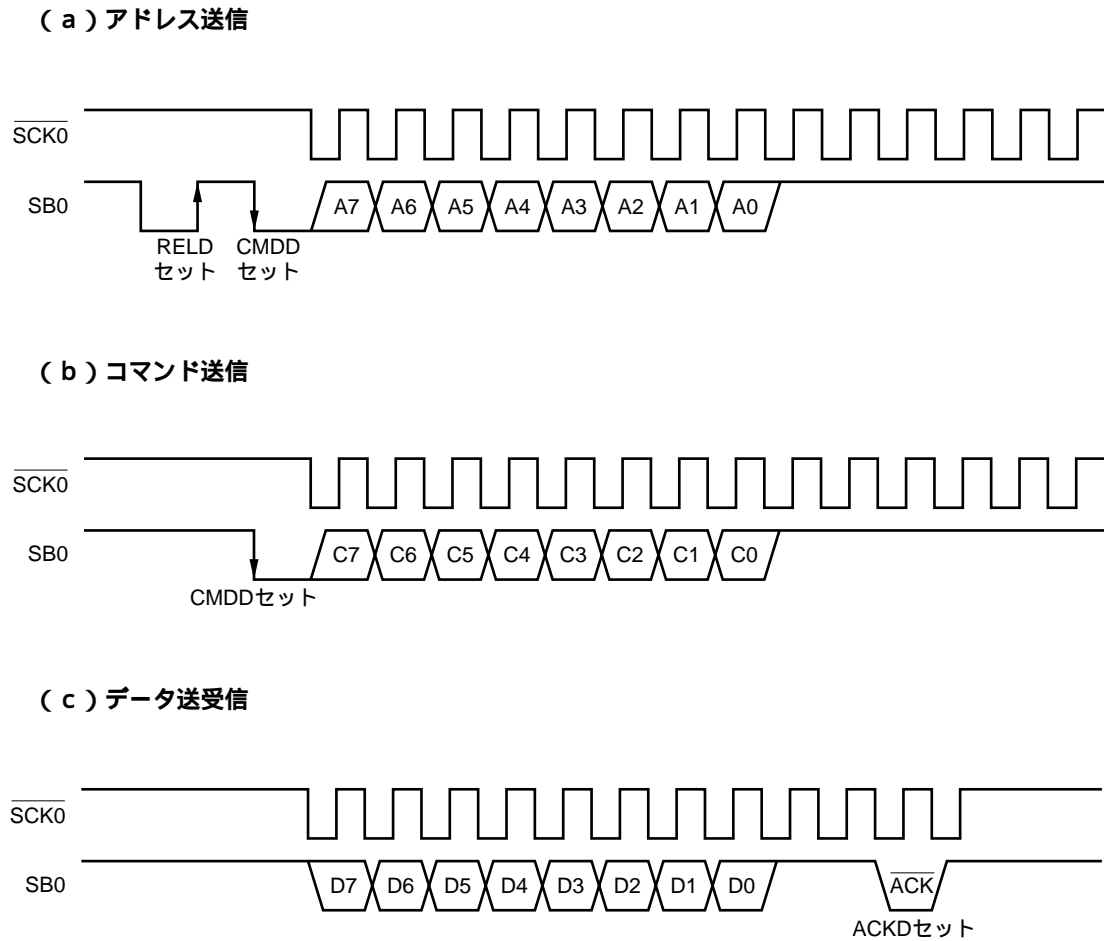


表8-9 SBIモードの信号一覧

信号名	出力側	意味
アドレス	マスタ	スレーブ・デバイスの選択
コマンド	マスタ	スレーブ・デバイスへの指示
データ	マスタ/スレーブ	スレーブ、またはマスタが処理するデータ
クロック	マスタ	シリアル・データの送受信同期信号
ACK	受信側 ^注	受信応答信号
BUSY	スレーブ	通信不可能状態

注 正常動作時は、受信側が出力しますがタイム・アウト処理のようなエラー発生時は、マスタCPUが出力します。

8.3.1 マスタCPUとしての応用

スレーブCPUに対して (a) から (d) の処理を行います。

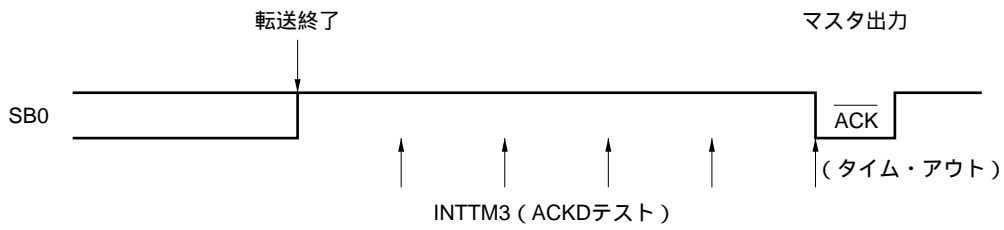
- (a) アドレス送信
- (b) コマンド送信
- (c) データ送信
- (d) データ受信

(a) から (d) の通信において, , のエラー・チェックを行います。

タイム・アウト処理

マスタCPUが送信したとき, 一定時間内 (ここでは, 時計用タイマの割り込み要求5回発生以内) に $\overline{\text{ACK}}$ 信号が返ってこない場合はエラーと判断し, マスタCPUが $\overline{\text{ACK}}$ 信号を出力して処理を終了します。

図8 - 33 タイム・アウトの $\overline{\text{ACK}}$ 信号



バス・ラインのテスト

マスタCPUは, 送信データをシリアルI/Oシフト・レジスタ0 (SIO0) とスレーブ・アドレス・レジスタ (SVA) に設定することにより, バス・ラインに正しくデータが出力されたかをテストします。バス・ラインのデータは, SIO0で受信されますので, 転送終了後のシリアル動作モード・レジスタ0 (CSIM0) のビット6 (COI) (SIO0とSVAの一致でセット) のテストにより, 正常にデータが出力されたことを確認します。

図8 - 34 バス・ラインのテスト

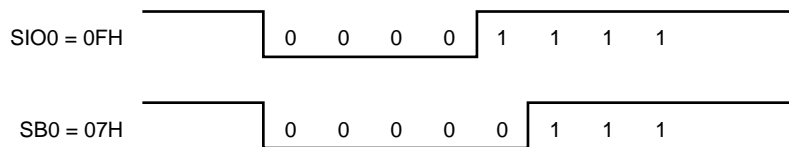


図8 - 34では, 転送終了後の値が不一致 (SIO0=07H, SVA=0FH) ですので, COI=0となりバス・ラインでエラーが発生します。

(1) パッケージの説明

<パブリック宣言シンボル>

M_TRANS : マスタSBI転送サブルーチン名称
 TR_MODE : 転送モードの選択値の格納エリア
 TRNDAT : 送信データ格納エリア
 RCVDAT : 受信データ格納エリア
 TRADR : アドレス送信モードの選択値
 TRCMD : コマンド送信モードの選択値
 TRDAT : データ送信モードの選択値
 RCDAT : データ受信モードの選択値
 ERRORF : エラー状態テスト用フラグ

<使用するレジスタ>

サブルーチン A

<使用するRAM>

名 称	用 途	属 性	バイト
TR_MODE	転送モードの選択値を格納	SADDR	1
ACKCT	タイム・アウト用カウンタ		
TRNDAT	送信データを格納		
RCVDAT	受信データを格納		

<使用するフラグ>

名 称	用 途
RCVFLG	受信モードの設定
BUSYFG	ビジー状態の設定
ERRORF	エラー状態の設定
ACKWFG	ACK信号待ち状態の設定

<ネスティング>

2レベル5バイト

<使用するハードウェア>

シリアル・インタフェース・チャンネル0
 時計用タイマ

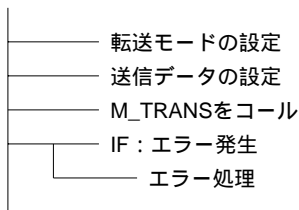
<初期設定>

OSMS=#0000001B 発振モード選択レジスタ 分周回路を使用しない
 シリアル・インタフェース・チャンネル0の設定
 CSIM0=#10010011B SBIモード, SB1端子選択
 TCL3=#x x x x 1001B シリアル・クロック $f_{xx}/2^4$
 RELT=1 SO0ラッチをハイ・レベル
 P27=1 P27出力ラッチをハイ・レベル
 TMC2=#00100110B 時計用タイマのインターバル1.95 ms
 時計用タイマ割り込み許可

<起動方法>

転送モードに必要なデータを設定し, M_TRANSをコールします。サブルーチンから復帰後, エラー・フラグ (ERRORF) のテストにより, 転送エラーの有無を判断することができます。また, 受信モードのときは, サブルーチンから復帰後, 受信データがRCVDATに格納されています。

(2) 使用例

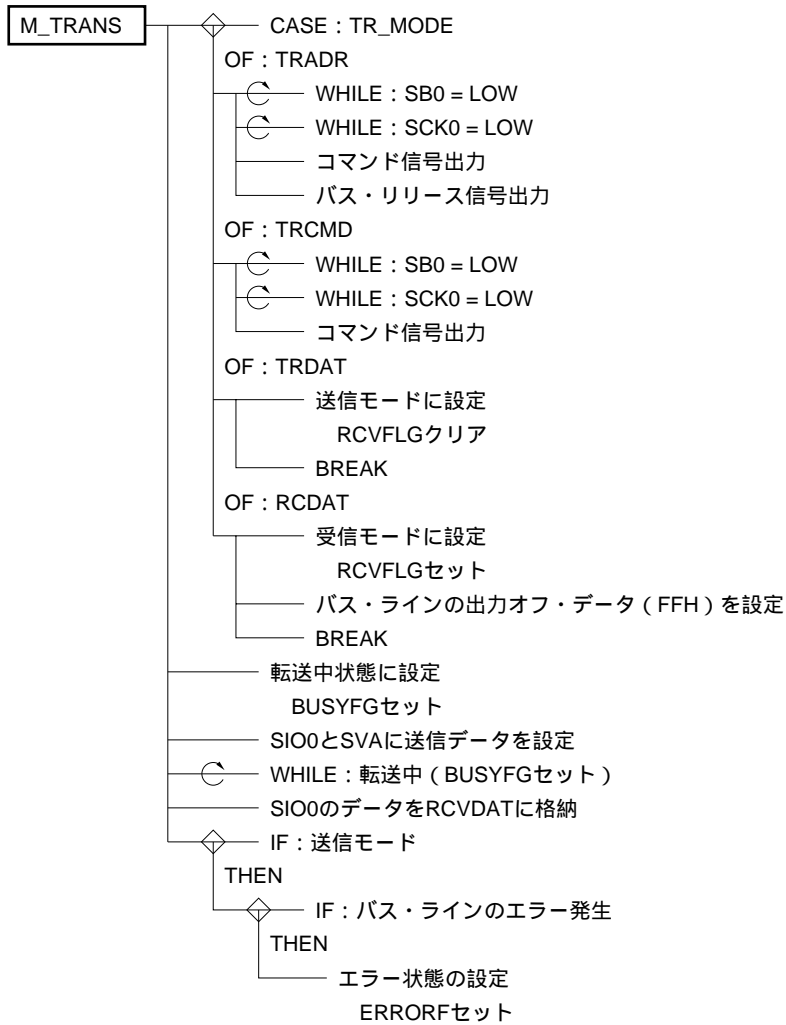


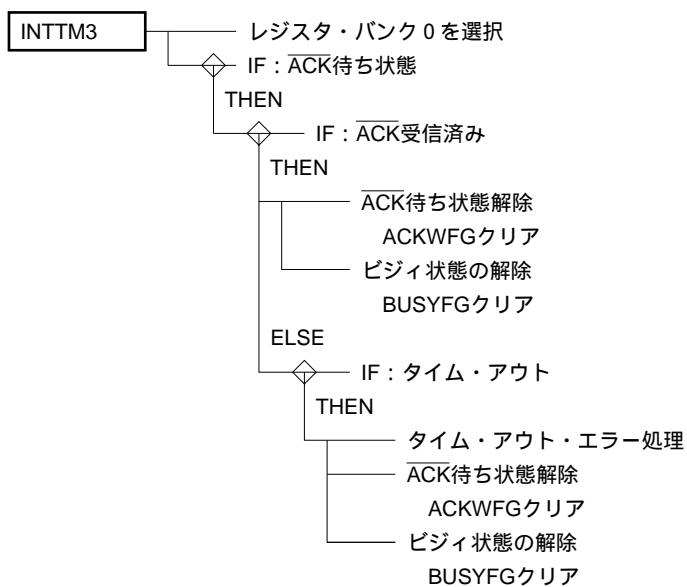
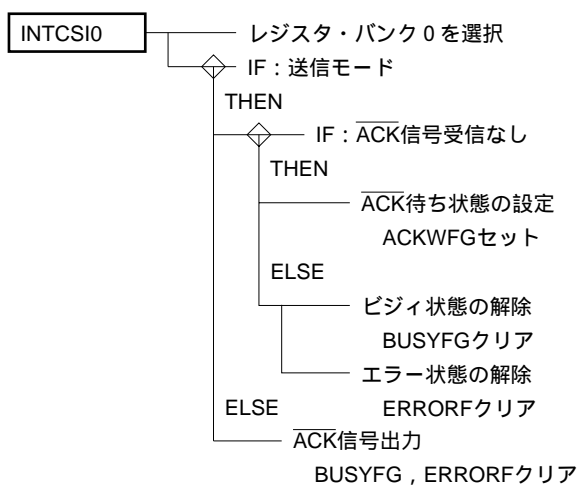
```

EXTRN  M_TRANS, TR_MODE, TRADR, TRCMD, TRDAT, RCDAT
EXTRN  TRNDAT, RCVDAT
EXTBIT  ERRORF

SCK0   EQU    P2.7
SB1    EQU    P2.5
      :
OSMS=#0000001B      ; 分周回路を使用しない
SET1   SB1
CSIM0=#10010011B   ; SBIモードで動作
TCL3=#10011001B    ; SCK0 = 262kHz
TMC2=#00100110B    ; 時計用タイマのインターバル1.95msに設定
CLR1   BSYE        ; ビジィ信号出力禁止
SET1   RELT        ; 出力ラッチをセット
SET1   SCK0
CLR1   SB1
CLR1   CSIMK0      ; シリアル・インタフェース・チャンネル0割り込み許可
CLR1   TMMK3       ; 時計用タイマ割り込み許可
EI      ; マスタ割り込み許可
      :
TR_MODE=#TRADR
TRNDAT=#5AH
CALL   !M_TRANS
if_bit(ERRORF)
    エラー処理
endif
  
```

(3) SPDチャート





(4) プログラム・リスト

```

PUBLIC M_TRANS, TR_MODE, TRADR, TRCMD, TRDAT, RCDAT
PUBLIC TRNDAT, RCVDAT, ERRORF

VECS10 CSEG AT 14H
        DW INTCS10 ; シリアル・インタフェース・チャンネル0のベクタ・アドレスの設定
VETM3  CSEG AT 1EH
        DW INTTM3 ; 時計用タイマのベクタ・アドレスの設定

SBI_DAT DSEG SADDR
TRNDAT: DS 1 ; 送信データ
RCVDAT: DS 1 ; 受信データ
TR_MODE: DS 1 ; 転送モード設定
ACKCT: DS 1 ; ACKタイム・アウト・カウント

SBI_FLG BSEG
RCVFLG DBIT ; 受信モード設定
BUSYFG DBIT ; 転送中状態
ERRORF DBIT ; エラー表示
ACKWFG DBIT ; ACK待ち状態

SBO EQU P2.5
SCK0 EQU P2.7

TRADR EQU 1 ; アドレス送信モード選択
TRCMD EQU 2 ; コマンド送信モード選択
TRDAT EQU 3 ; データ送信モード選択
RCDAT EQU 4 ; データ受信モード選択

```

```

;*****
;*      S B I データ転送処理
;*****
SBI_SEG CSEG
M_TRANS:
  switch(TR_MODE)
  case TRADR:
    SET1    PM2.5
    while_bit(!SB0)           ; S B 0 = ハイ?
    CLR1    PM2.5
    endw
    while_bit(!SCK0)         ; S C K = ハイ?
    endw
    SET1    CMDT             ; コマンド信号出力
    NOP                                           ; ウェイト
    SET1    RELT             ; バス・リリース信号出力
    A=#TRCMD
  case TRCMD:
    SET1    PM2.5
    while_bit(!SB0)           ; S B 0 = ハイ?
    CLR1    PM2.5
    endw
    while_bit(!SCK0)         ; S C K = ハイ?
    endw
    SET1    CMDT             ; コマンド信号出力
    A=#TRDAT
  case TRDAT:
    CLR1    RCVFLG           ; 送信モードに設定
    A=TRNDAT                 ; 送信データの設定
    break
  case RCDAT:
    SET1    RCVFLG           ; 受信モードに設定
    MOV     A, #OFFH         ; 受信バッファ・オフ
    break
  ends

  SET1    BUSYFG             ; 転送中状態に設定
  SVA=A                       ; バス・ライン・テスト用
  SIO0=A                       ; 転送開始

  while_bit(BUSYFG)           ; 転送中
  endw
  RCVDAT=SIO0 (A)             ; 受信データ格納
  if_bit(!RCVFLG)             ; 送信モード
    if_bit(!COI)              ; バス・ライン出力NG
      SET1    ERRORF         ; エラー状態に設定
    endif
  endif
  RET

```

```

;*****
;*   I N T C S I O 割り込み処理
;*****
CSI_SEG CSEG
INTCS10:
    SEL RBO
    if_bit(!RCVFLG)                ; 送信モード
        if_bit(!ACKD)              ; アクノリッジ信号受信なし
            ACKCT=#5                ; アクノリッジ信号待ち状態の設定
            SET1    ACKWFG
        else
            CLR1    BUSYFG          ; ビジィ状態の解除
            CLR1    ERRORF         ; エラー状態の解除
        endif
    else
        SET1    ACKT                ; アクノリッジ信号出力
        CLR1    BUSYFG              ; ビジィ状態の解除
        CLR1    ERRORF              ; エラー状態の解除
    endif
    RETI

;*****
;*   タイム・アウト処理
;*****
TM3_SEG CSEG
INTTM3:
    SEL RBO
    if_bit(ACKWFG)                 ; アクノリッジ信号待ち状態?
        if_bit(ACKD)               ; アクノリッジ信号受信済み?
            CLR1    ACKWFG          ; アクノリッジ信号待ち状態解除
            CLR1    BUSYFG          ; ビジィ状態の解除
        else
            ACKCT--
            if(ACKCT==#0)           ; タイム・アウト?
                SET1    ACKT        ; タイム・アウト・エラー処理
                SET1    ERRORF
            else
                CLR1    ACKWFG      ; アクノリッジ信号待ち状態解除
                CLR1    BUSYFG      ; ビジィ状態解除
            endif
        endif
    endif
endif

```

8.3.2 スレーブCPUとしての応用

マスタCPUからのアドレス/コマンド/データの受信とマスタCPUへのデータの送信を行います。

この例では、ウエイク・アップ機能を使用してアドレス受信を行います。ウエイク・アップ機能とは、SBIモード使用時、マスタが送信したアドレス値とスレーブ・アドレス・レジスタ（SVA）に設定された値が一致したときのみ、割り込み要求信号が発生する機能です。したがって、マスタCPUから選択されたスレーブCPUのみINTCSI0が発生し、選択されていないスレーブCPUは不用意な割り込み要求を発生させずに動作させることができます。

スレーブCPUは、選択されたときにウエイク・アップ機能を解除し（転送終了で割り込み要求信号発生）、マスタCPUとインタフェースします。また、通信中のアドレス/コマンド/データの判別は、シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のビット2, 3（RELD, CMDD）をテストして行います。

なお、自動的にスレーブCPUを選択されていない状態に戻しませんので、マスタ-スレーブ間で、コマンド処理などにより、非選択状態に戻すプログラムを作る必要があります。

(1) パッケージの説明

<パブリック宣言シンボル>

RCVDAT : 受信データ格納エリア

<使用するレジスタ>

バンク0 : A

<使用するRAM>

名 称	用 途	属 性	バイト
RCVDAT	受信データを格納	SADDR	1

<使用するフラグ>

名 称	用 途
RCVFLG	受信モードの設定

<ネスティング>

1 レベル3 バイト

<使用するハードウェア>

シリアル・インタフェース・チャンネル0

<初期設定>

シリアル・インタフェース・チャンネル0の設定

CSIM0=#10010011B

SBIモード, SB1端子, ウエイク・アップ・モード,
シリアル・クロックを外部クロック入力

BYSE=1

同期ビジィ信号出力

RELT=1

SO0ラッチをハイ・レベル

SVA=#SLVADR

スレーブ・アドレス

シリアル・インタフェース・チャンネル0 割り込み許可

< 起動方法 >

INTCSIOの発生により、割り込み処理を起動します。割り込み処理では、以下の処理を行っています。

- アドレス / コマンド / データの判別
- ACK信号の出力
- 受信データをRCVDATに格納

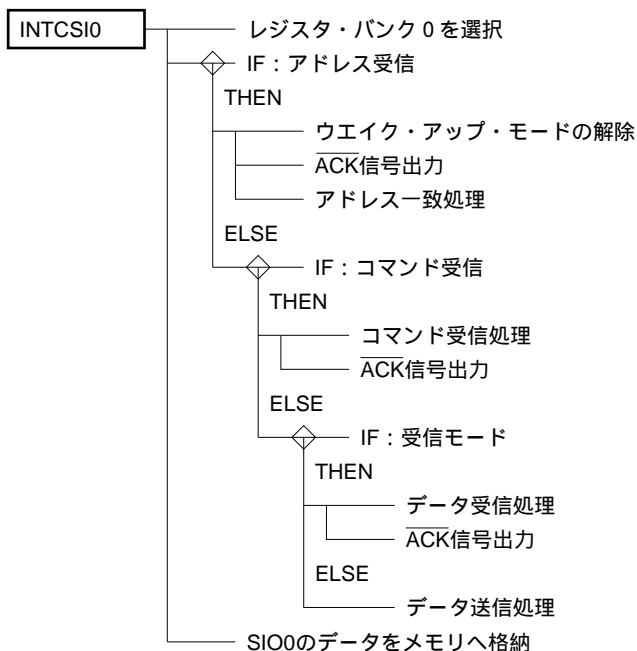
(2) 使用例

```

EXTRN  RCVDAT
EXTBIT  RCVFLG

SLVADR  EQU    5AH
SB1     EQU    P2.5
:
:
SET1    SB1
CSIM0=#10110100B ; 外部クロック入力, S B 1 端子, ウェイク・アップ・モード選択
SET1    RELT      ; 出力ラッチをハイ・レベルに設定
SET1    BSYE     ; ビジィ自動出力モードに設定
SVA=#SLVADR     ; スレーブ・アドレスの設定
SIO0=#0FFH     ; シリアル転送スタート指示
CLR1    SB1
CLR1    CSIMK0  ; シリアル・インタフェース・チャンネル0 割り込み許可
EI      ; マスタ割り込み許可
    
```

(3) SPDチャート



(4) プログラム・リスト

```

VECS10 CSEG AT 14H
        DW INTCS10 ; シリアル・インタフェース・チャンネル0の
                   ; ベクタ・アドレス設定

CSI_DAT DSEG SADDR
RCVDAT: DS 1 ; 受信データ格納エリア

CSI_FLG BSEG
RCVFLG DBIT ; 受信モード設定

CSI_SEG CSEG
;*****
;* INTCS10 割り込み処理
;*****
INTCS10:
        SEL RBO
        if_bit(RELD) ; アドレス受信へ
            CLR1 WUP ; ウェイク・アップ・モード解除
            SET1 ACKT ; アクノリッジ信号出力
; ユーザ処理 (アドレス受信)

;*****

        elseif_bit(CMDD) ; コマンド受信へ
; ユーザ処理 (コマンド受信)

            SET1 ACKT ; アクノリッジ信号出力
        else

            if_bit(RCVFLG)
; ユーザ処理 (データ受信処理)
                SET1 ACKT ; アクノリッジ信号出力
            else
; ユーザ処理 (データ送信処理)
            endif
;*****
        endif
        RCVDAT=S100 (A)

        RETI
    
```

8.4 3線式シリアルI/Oモードのインタフェース

78K/0シリーズのシリアル・チャンネル0の3線式シリアルI/Oモード（シリアル・クロック，データ入力，データ出力）の機能を使用して，マスター・スレーブ間での通信を行います。この例では，ハンドシェイク用の信号として，ビジー信号を1本追加したマスター・スレーブの同時送受信を示します。ビジー信号はロウ・アクティブとしスレーブ側が出力します。また，データは8ビット，MSB先頭で通信します。ここではμPD78054サブシリーズを例に説明しています。

図8 - 35 3線式シリアルI/Oモードの接続例

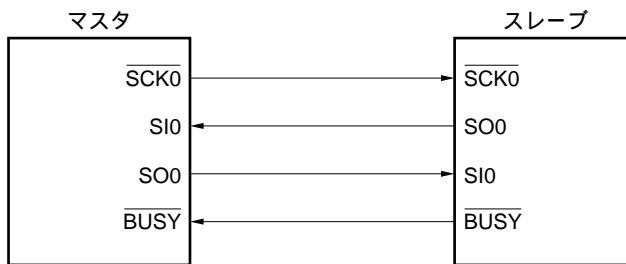
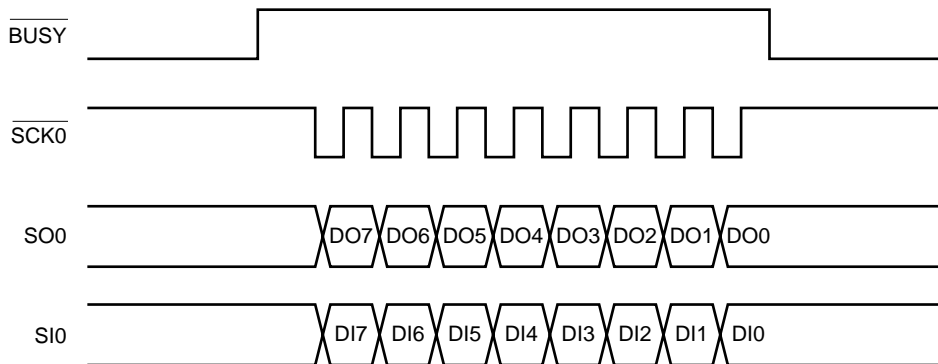


図8 - 36 3線式シリアルI/Oモードの通信フォーマット



8.4.1 マスタCPUとしての応用

シリアル・クロックを $f_{xx}/2^4$ に設定し、このシリアル・クロックに同期してスレーブCPUとの通信を行います。

マスタCPUは、送信データ設定後、転送を開始します。ただし、スレーブCPUがビジー状態（ビジー信号がロウ・レベル）のときは転送を行わず、ビジー・フラグ（BUSYFG）をセットします。

(1) パッケージの説明

<パブリック宣言シンボル>

TRANS : マスタ3線式転送サブルーチン名称
 TDATA : 送信データ格納エリア
 RDATA : 受信データ格納エリア
 BUSY : ビジー信号入力用ポート
 TREND : 転送終了テスト用フラグ
 BUSYFG : ビジー状態テスト用フラグ

<使用するレジスタ>

割り込み バンク 0 A
 サブルーチン A

<使用するRAM>

名称	用途	属性	バイト
TDATA	送信データを格納	SADDR	1
RDATA	受信データを格納		

<使用するフラグ>

名称	用途
TREND	転送終了状態の設定
BUSYFG	ビジー状態の設定

<ネスティング>

2レベル5バイト

<使用するハードウェア>

シリアル・インタフェース・チャンネル0
 P33

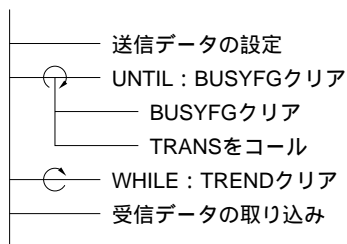
<初期設定>

OSMS=#00000001B 発振モード選択レジスタ 分周回路を使用しない
 シリアル・インタフェース・チャンネル0の設定
 CSIM0=#10000011B 3線式シリアルI/Oモード, MSB先頭
 TCL3=#x x x x 1001B シリアル・クロック $f_{xx}/2^4$
 P27=1 P27出力ラッチをハイ・レベル
 P33入力モード
 シリアル・インタフェース・チャンネル0割り込み許可

< 起動方法 >

送信データをTDATAに設定し、TRANSをコールします。サブルーチンから復帰後ビジィ・フラグ (BUSYFG) のテストを行います。ビジィ・フラグがセットされているときは、転送が行われていませ んので再度転送を行う必要があります。また、ビジィ・フラグがクリアされているときは、転送が終了 していますので受信データがRDATAに格納されています。

(2) 使用例

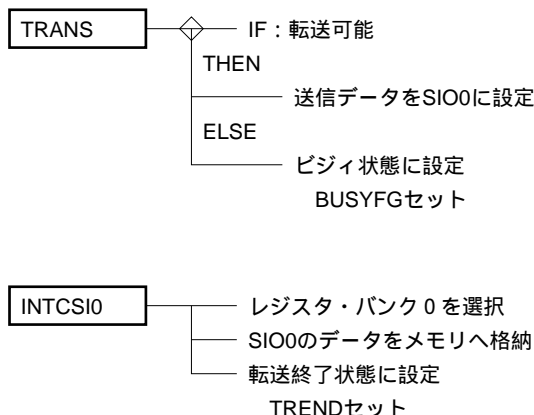


```

EXTRN  TDATA, RDATA, TRANS
EXTBIT  TREND, BUSYFG, BUSY

SCK0   EQU    P2.7
      :
      :
OSMS=#00000001B      ; 分周回路を使用しない
CSIMO=#10000011B     ; 3線式シリアルI/Oモード, MSB先頭に設定
TCL3=#10011001B     ; SCK0 = 262kHzに設定
SET1   SCK0
SET1   PM3.3        ; P3.3入力モード
CLR1   CSIMKO       ; シリアル・インタフェース・チャンネル0割り込み許可
EI
      :
      :
TDATA=A              ; 送信データの設定
repeat
      CLR1   BUSYFG      ; ビジィ・テスト
      CALL   !TRANS
until_bit(!BUSYFG)
while_bit(!TREND)    ; 転送終了
endw
A=RDATA              ; 受信データの取り込み
  
```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC TRANS, RDATA, TDATA, BUSY, TREND, BUSYFG
VECS10 CSEG AT 14H
        DW INTCS10 ; シリアル・インタフェース・チャンネル0の
                   ; ベクタ・アドレス設定
BUSY EQU OFF03H.3 ; 0 F F 0 3 H = P O R T 3

CSI_DAT DSEG SADDR
RDATA: DS 1 ; 受信データ格納エリア
TDATA: DS 1 ; 送信データ格納エリア

CSI_FLG BSEG
TREND DBIT ; 転送終了状態設定
BUSYFG DBIT ; ビジィ状態設定

CSI_SEG CSEG

;*****
;* INTCS10 割り込み処理
;*****
INTCS10:
        SEL RBO
        RDATA=S100 (A) ; 受信データを格納
        SET1 TREND ; 転送終了状態に設定
        RET1

;*****
;* 3線式(マスタ)
;*****
TRANS:
        if_bit(BUSY) ; 転送可能状態
            S100=TDATA (A) ; 送信データの設定
        else
            SET1 BUSYFG ; ビジィ状態に設定
        endif
        RET

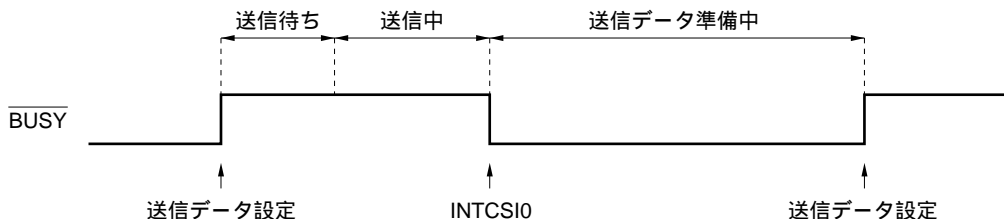
```

8.4.2 スレーブCPUとしての応用

マスタCPUからのシリアル・クロックに同期し、8ビット・データの同時送受信を行います。スレーブCPUが出力するビジー信号は、送信データの準備をしている間、ロウ・レベル（ビジー状態）を出力します。このビジー信号の出力タイミングは、送信データの設定（CALL !TRANS）により、ビジー信号を解除（ハイ・レベル）し、転送終了時のINTCSI0の割り込み処理により、ビジー信号（ロウ・レベル）を出力します。

したがって、転送終了後からデータ設定までの間がビジー状態になります。

図8 - 37 ビジー信号の出力



(1) パッケージの説明

<パブリック宣言シンボル>

- TRANS : スレーブ3線式転送サブルーチン名称
- TDATA : 送信データ格納エリア
- RDATA : 受信データ格納エリア
- BUSY : ビジー信号出力用ポート
- TREND : 転送終了テスト用フラグ

<使用するレジスタ>

- 割り込み バンク 0 A
- サブルーチン A

<使用するRAM>

名称	用途	属性	バイト
TDATA	送信データを格納	SADDR	1
RDATA	受信データを格納		

<使用するフラグ>

名称	用途
TREND	転送終了状態の設定

<ネスティング>

2レベル5バイト

<使用するハードウェア>

- シリアル・インタフェース・チャンネル0
- P33

<初期設定>

シリアル・インタフェース・チャンネル0の設定

CSIM0=#10000000B

3線式シリアルI/Oモード MSB先頭 外部クロック入力

P33=0

P33出力モード

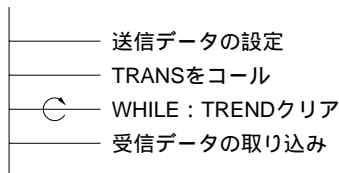
ビジー状態の設定

シリアル・インタフェース・チャンネル0 割り込み許可

<起動方法>

送信データをTDATAに設定し、TRANSをコールします。TRANSの処理で、ビジー信号の解除を行っていますので、マスタCPUとの通信待ち状態になります。通信終了後は、INTCSI0の発生により割り込み処理が起動されます。転送終了は、TRENDをテストすることで確認できます。TRENDセット後は、受信データがRDATAに格納されています。

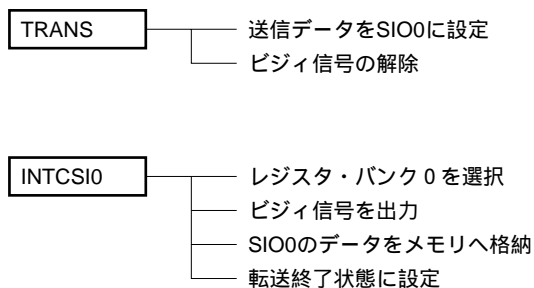
(2) 使用例



```

EXTRN  TDATA, RDATA, TRANS
EXTBIT  TREND, BUSY
      :
      :
CSIM0=#10000000B      ; 3線式シリアルI/Oモード, MSB先頭に設定
CLR1   BUSY           ; ビジー状態
CLR1   PM3.3         ; P3.3出力モード
CLR1   CSIMK0        ; シリアル・インタフェース・チャンネル0 割り込み許可
EI
      :
      :
TDATA=A               ; 送信データの設定
CALL   !TRANS
while_bit(!TREND)    ; 転送終了
endw
A=RDATA              ; 受信データの取り込み
  
```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC RDATA, TDATA, BUSY, TREND, BUSYFG
PUBLIC TRANS
VECSIO CSEG AT 14H
      DW INTCSIO ; シリアル・インタフェース・チャンネル0の
                ベクタ・アドレス設定

CSI_DAT DSEG SADDR
RDATA: DS 1 ; 受信データ格納
TDATA: DS 1 ; 送信データ格納

CSI_FLG BSEG
TREND DBIT ; 転送終了状態設定
BUSYFG DBIT ; ビジィ状態設定

BUSY EQU 0FF03H.3 ; 0FF03H = PORT 3

CSI_SEG CSEG
;*****
;* INTCSIO 割り込み処理
;*****
INTCSIO:
      SEL RBO
      CLR1 BUSY ; ビジィ状態に設定
      RDATA=SIO0 (A) ; 受信データ格納
      SET1 TREND ; 転送終了状態に設定
      RETI

;*****
;* 3線式 (スレーブ)
;*****
TRANS:
      SIO0=TDATA (A) ; 送信データの設定
      SET1 BUSY ; ビジィ状態を解除
      RET

```

8.5 アシクロナス・シリアル・インタフェース (UART) モードのインタフェース

シリアル・インタフェース・チャンネル2は、アシクロナス・シリアル・インタフェース (以下UART) モード、3線式シリアルI/Oモードの2種類があります。

シリアル・インタフェース・チャンネル2は、次のレジスタで設定します。

- ・シリアル動作モード・レジスタ2 (CSIM2)
- ・アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)
- ・アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)
- ・発振モード選択レジスタ (OSMS)

シリアル・インタフェース・チャンネル2を用いたUARTについて簡単に説明します。

シリアル・インタフェース・チャンネル2のUARTモードは、スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART通信の動作について次に示します。

(a) 通信フォーマット

送受信データのフォーマットは、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

(b) ポー・レートの設定

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。また、ASCK端子への入力クロックを分周してポー・レートを定義することもできます。

ポー・レート用の送受信クロックは、メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するポー・レートは次の式によって求められます。

また、表8-10にメイン・システム・クロックとポー・レートの関係 ($f_x = 4.19$ MHz動作時) を示します。

$$[\text{ポー・レート}] = \frac{f_{xx}}{2^n \times (k+16)} [\text{Hz}]$$

備考1 . f_x : メイン・システム・クロック発振周波数

2 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

3 . n : TPS0-TPS3 (ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のビット4-7) で設定した値 (1 n 11)

4 . k : MDL0-MDL3 (BRGCのビット0-3) で設定した値 (0 k 14)

表8 - 10 メイン・システム・クロックとボー・レートの関係 ($f_x = 4.19$ MHz動作時)

ボー・レート (bps)	MCS = 1		MCS = 0	
	BRGCの設定値	誤差 (%)	BRGCの設定値	誤差 (%)
75	0BH	1.14	EBH	1.14
110	03H	- 2.01	E3H	- 2.01
150	EBH	1.14	DBH	1.14
300	DBH	1.14	CBH	1.14
600	CBH	1.14	BBH	1.14
1200	BBH	1.14	ABH	1.14
2400	ABH	1.14	9BH	1.14
4800	9BH	1.14	8BH	1.14
9600	8BH	1.14	7BH	1.14
19200	7BH	1.14	6BH	1.14
31250	71H	- 1.31	61H	- 1.31
38400	6BH	1.14	5BH	1.14
76800	5BH	1.14	-	-

備考 MCS : 発振モード選択レジスタ (OSMS) のビット 0

(c) 送信

送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

(d) 受信

受信動作は, アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット 6 (RXE) はセット (1) されると許可状態になり, RxD端子入力のサンプリングを行います。1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ (RXB) に転送し, 受信完了割り込み要求 (INTSR) を発生します。

(e) 受信エラー

受信動作時のエラーには, パリティ・エラー, フレーミング・エラー, オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) 内に立つと同時に, 受信エラー割り込み (INTSER) を発生します。受信エラー割り込み処理 (INTSER) 内で, ASISの内容を読み出すことによって, どのエラーが発生したかを検出することができます。ASISの内容は, 受信バッファ・レジスタ (RXB) を読み出すか, 次のデータを受信することによってリセット (0) されます (次のデータにエラーがあれば, そのエラー・フラグがセットされます)。

- 注意 1 . アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は, 受信バッファ・レジスタ (RXB) を読み出すか, 次のデータを受信することにより, リセット (0) されます。エラーの内容が知りたい場合には, 必ずRXBを読み出す前にASISを読み出して下さい。
- 2 . 受信エラー発生時にも受信バッファ・レジスタ (RXB) は必ず読み出して下さい。RXBを読み出さないと次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。

通信は、ターミナルと送受信を行い、ハンドシェイクに $\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$ の制御を行います。通信プロトコルを次に示します。

- ・ボー・レート 9600 bps
- ・パリティなし
- ・ストップ・ビット 2ビット
- ・LSB先頭
- ・ $\overline{\text{CTS}}$ 入力端子 P31
- ・ $\overline{\text{RTS}}$ 出力端子 P32

送信開始時、前回の送信完了（送信完了割り込み要求フラグ（STIF）がセット（1））を確認し、 $\overline{\text{CTS}}$ 入力状態がレディ状態（“L”）なら送信を行います。

受信時は、受信完了割り込み要求（INTSR）が発生したときに $\overline{\text{RTS}}$ 出力端子にビジー信号（“H”）出力を行います。受信許可状態になった時点で $\overline{\text{RTS}}$ 出力端子に“L”出力を行います。

また、受信エラー（パリティ・エラー、フレーミング・エラー、オーバラン・エラー）によって、受信エラー割り込み要求（INTSER）が発生し、エラー・フラグがセットされます。図8-38に通信ブロック図を図8-39、図8-40に送受信フォーマットを示します。

図8-38 通信ブロック図

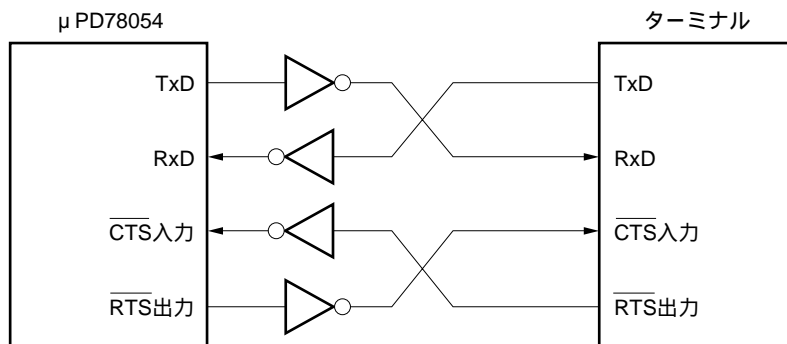


図8-39 送信フォーマット

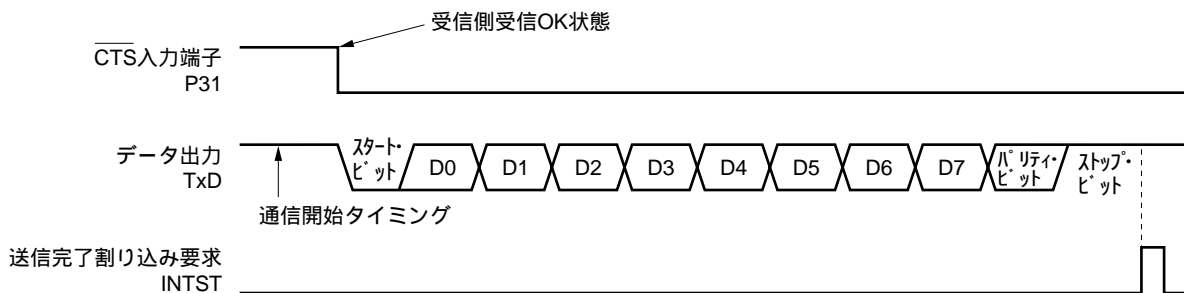
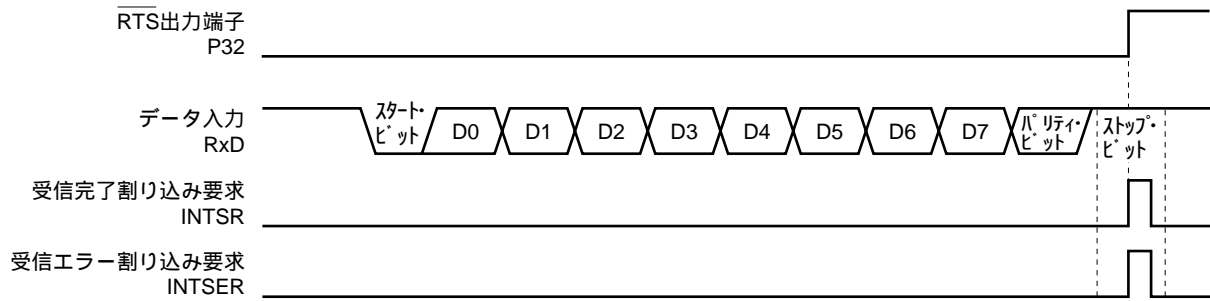


図8 - 40 受信フォーマット



(1) パッケージの説明

<パブリック宣言シンボル>

サブルーチン名

S_SOSHIN : 送信ルーチン

S_SOSHINルーチンの入力パラメータ

SOSHIN : 送信データ格納エリア

S_SOSHINルーチンの出力パラメータ

F_BUSY : 送信ビジー・フラグ

INTSR割り込みの出力パラメータ

JUSHIN : 受信データ格納エリア

F_TUSHIN : 受信終了フラグ

INTSER割り込みの出力パラメータ

F_ERR : 受信エラー・フラグ

<使用するレジスタ>

S_SOSHIN : バンク 0 A

INTSR : バンク 3 A

INTSER : バンク 3 A

<使用するRAM>

名称	用途	属性	バイト
SOSHIN	送信データ格納エリア	SADDR	1
JUSHIN	受信データ格納エリア	SADDR	1

<使用するフラグ>

名称	用途
F_TUSHIN	受信終了時セット
F_BUSY	送信開始時, CTS入力端子により送信できなかったときセット, 送信できたときクリア
F_ERR	受信エラー発生時セット

<ネスティング・レベル>

2レベル5バイト

<使用するハードウェア>

シリアル・インタフェース・チャンネル2 (UARTモード)

<初期設定>

OSMS = #00000001B	発振モード選択レジスタ 分周回路を使用しない
CLR1 P3.2	P31 = $\overline{\text{CTS}}$ 入力, P32 = $\overline{\text{RTS}}$ 出力
PM3 = #x x x x 01 x B	
BRGC = #10001011B	ボー・レート設定 9600 bps (誤差1.14%)
CSIM2 = #00000000B	シリアル動作モード・レジスタ2 UART使用時は, 0設定
ASIM = #11001101B	アシンクロナス・シリアル・インタフェース・モード・レジスタ設定
CLR1 SRIF	受信完了, 受信エラー割り込み要求フラグ・クリア
CLR1 SERIF	
SET1 STIF	送信完了割り込み要求フラグ・セット (送信完了状態にする)
CLR1 SRMK	受信完了, 受信エラー割り込み許可
CLR1 SERMK	

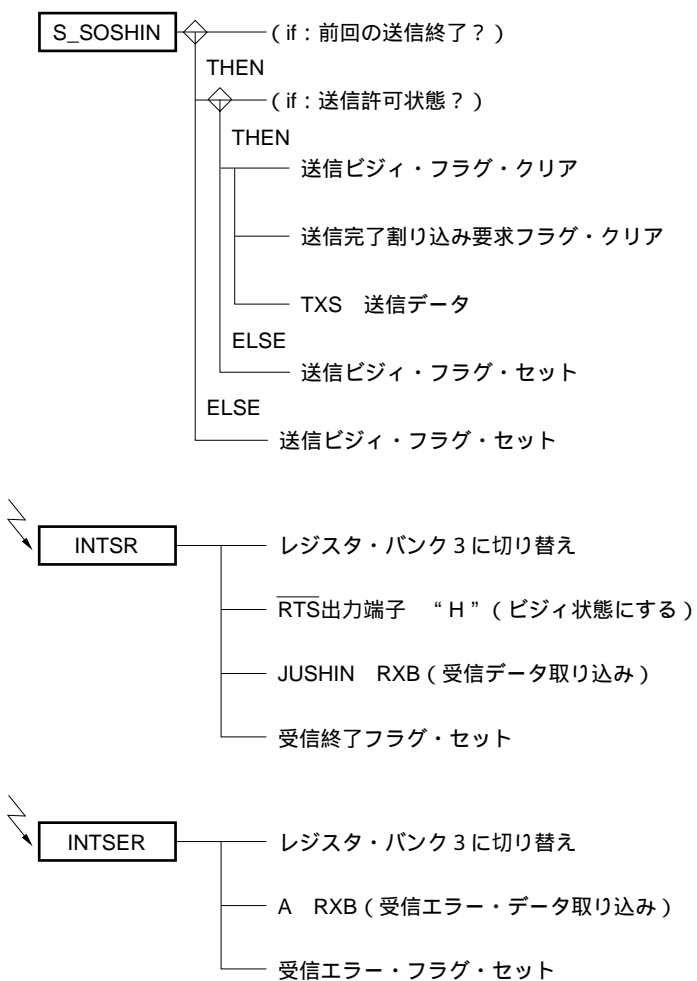
注意 送信中に再度送信しないようにするため, 送信完了割り込み要求フラグ (STIF) を確認してから送信を開始します。したがってリセット・スタート後は, 送信完了割り込み要求フラグ (STIF) をセットしてください。

備考 送信完了割り込みを使用する (割り込み要求を発生させる) 場合, 任意のフラグを追加してください。追加したフラグも, 初期設定としてセットしておき, 送信開始時にクリアし, 割り込み処理内でセットしてください。

<起動方法>

送信開始時にSOSHINエリアに送信データを格納後, S_SOSHINルーチンをコールしてください。

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC S_SOSHIN
PUBLIC SOSHIN,JUSHIN
PUBLIC F_TUSHIN,F_ERR,F_BUSY
;
VESR   CSEG   AT 1AH
      DW     INTSR
VESER  CSEG   AT 18H
      DW     INTSER
;
RTS_O   EQU   P3.2           ;RTS出力ポート
CTS_I   EQU   P3.1           ;CTS入力ポート
;
UARTRAM DSEG   SADDR
SOSHIN: DS    1             ;送信データ格納エリア
JUSHIN:  DS    1             ;受信データ格納エリア
;
UARTFLG BSEG
F_TUSHIN DBIT                ;受信終了フラグ
F_BUSY   DBIT                ;通信ビジーフラグ
F_ERR    DBIT                ;受信エラーフラグ
;
;*****
;                               送信ルーチン
;*****
UARTPRO CSEG
S_SOSHIN:
  if_bit(STIF)                ; 前回の送信終了?
  if_bit(!CTS_I)              ; 送信許可?
    CLR1  STIF                ; 送信完了割り込み要求フラグ・クリア
    TXS=SOSHIN (A)           ; 送信データ格納
    CLR1  F_BUSY              ; 送信ビジーフラグ・クリア
  else
    SET1  F_BUSY              ; 送信禁止 送信ビジーフラグ・セット
  endif
  else
    SET1  F_BUSY
  endif
  RET
;*****
;                               受信完了ルーチン
;*****
INTSR:
  SEL    RB3                  ;
  SET1   RTS_O                ;RTS H
  JUSHIN=RXB (A)              ;受信データ取り込み
  SET1   F_TUSHIN             ;受信終了フラグ・セット
  RETI
;*****
;                               受信エラー・ルーチン
;*****
INTSER:
  SEL    RB3                  ;ポート3に切り替える
  A=RXB                          ;エラーデータを読み込む
  SET1   F_ERR                ;受信エラーフラグ・セット
  RETI
;
END

```

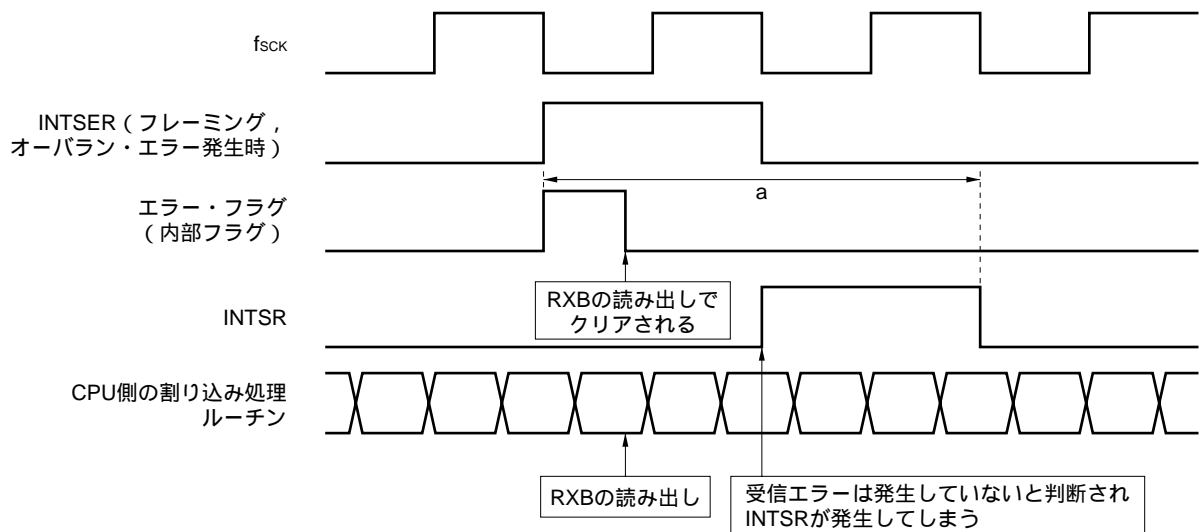
(f) UARTモード使用時の制限事項

UARTモードでは、受信完了割り込み (INTSR) は、受信エラー割り込み (INTSER) が発生し、クリアされてから一定時間遅れて発生します。これにより、次に示す現象が起こることがあります。

内 容

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット1 (ISRM) を1にセットした場合、受信エラー発生時に受信完了割り込み (INTSR) が発生しない設定になります。しかし、受信エラー割り込み (INTSER) 処理において、あるタイミング (図8 - 41の a) で受信バッファ・レジスタ (RXB) を読み出すと、内部のエラー・フラグがクリア (0) されてしまいます。したがって、受信エラーは発生していないと判断され、発生するはずのないINTSRが発生します。上記の動作について、図8 - 41に示します。

図8 - 41 受信完了割り込みの発生タイミング (ISRM = 1 のとき)



備考 ISRM : アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット1
 f_{sck} : ボー・レート・ジェネレータの5ビット・カウンタのソース・クロック
 RXB : 受信バッファ・レジスタ

この現象を回避するために、次の回避策を行ってください。

回 避 策

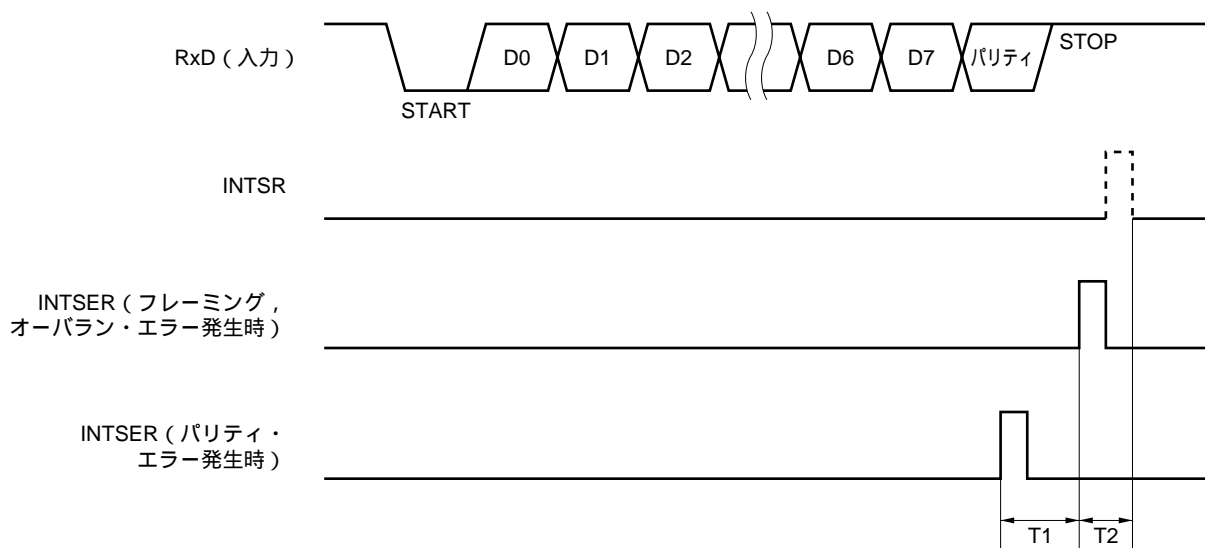
・フレーミング・エラー，オーバラン・エラーの場合

受信エラー割り込み (INTSER) が発生してから一定の期間 (図8 - 42のT₂)，受信バッファ・レジスタ (RXB) の読み出しを禁止する

・パリティ・エラーの場合

受信エラー割り込み (INTSER) が発生してから一定の期間 (図8 - 42のT₁ + T₂)，受信バッファ・レジスタ (RXB) の読み出しを禁止する

図8-42 受信バッファ・レジスタの読み出し禁止期間



- T1 : ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で選択したボー・レートの 1 データ分の時間 (1/ボー・レート)
- T2 : BRGCで選択した 5 ビット・カウンタのソース・クロック (tsck) の 2 クロック分の時間

回避策の例

回避策の例を次に示します。

【条 件】

- fx = 5.0 MHz
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 00H
- 発振モード選択レジスタ (OSMS) = 01H
- ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) = B0H (ボー・レートに2400 bps を選択)

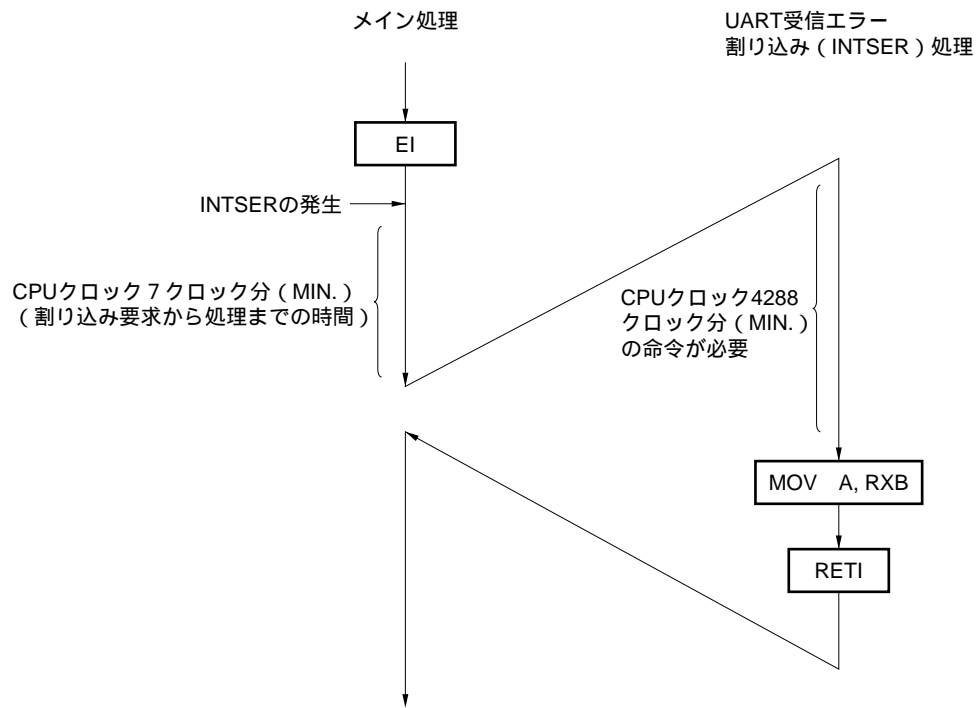
$$T_{CY} = 0.4 \mu s \quad (t_{CY} = 0.2 \mu s)$$

$$T1 = \frac{1}{2400} = 833.4 \mu s$$

$$T2 = 12.8 \times 2 = 25.6 \mu s$$

$$\frac{T1 + T2}{t_{CY}} = 4295 \text{ (クロック)}$$

【例】



第9章 A/Dコンバータの応用

78K/0シリーズのA/Dコンバータは、8ビット分解能8チャンネルの逐次比較型になっています。動作モードは、セレクト・モードのみですが外部トリガによる変換開始指定も可能です。また、外部トリガをしないときは、選択されたチャンネルを繰り返しA/D変換します。

A/Dコンバータは、A/Dコンバータ・モード・レジスタ (ADM)、A/Dコンバータ入力選択レジスタ (ADIS)、外部割り込みモード・レジスタ1 (INTM1)、A/D電流カット選択レジスタ (IEAD) により設定します。

注意 IEADは μ PD78098Bサブシリーズのみ内蔵しています。

図9-1 A/Dコンバータ・モード・レジスタのフォーマット

(μ PD78054, 78054Y, 78064, 78064Y, 78078, 78078Y, 78083, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075Bサブシリーズ, μ PD78070A, 78070AY)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}			
			fx = 5.0 MHz動作時		fx = 4.19 MHz動作時	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	1	80/fx (設定禁止 ^{注2})	160/fx (32.0 μ s)	80/fx (19.1 μ s)	160/fx (38.1 μ s)
0	1	1	40/fx (設定禁止 ^{注2})	80/fx (設定禁止 ^{注2})	40/fx (設定禁止 ^{注2})	80/fx (19.1 μ s)
1	0	0	50/fx (設定禁止 ^{注2})	100/fx (20.0 μ s)	50/fx (設定禁止 ^{注2})	100/fx (23.8 μ s)
1	0	1	100/fx (20.0 μ s)	200/fx (40.0 μ s)	100/fx (23.8 μ s)	200/fx (47.7 μ s)
上記以外			設定禁止			

TRG	外部トリガの選択
0	外部トリガなし (ソフトウェア・スタート)
1	外部トリガにより変換開始 (ハードウェア・スタート)

CS	A/D変換動作の制御
0	動作停止
1	動作開始

注1 . A/D変換時間が19.1 μ s以上になるように設定してください。

2 . A/D変換時間が19.1 μ s未満になりますので, 設定禁止です。

注意1 . スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには, ビット7(CS)を0にクリアし, A/D変換動作を停止させてから, HALT命令またはSTOP命令を実行してください。

2 . 停止しているA/D変換動作を再開するときは, 割り込み要求フラグ (ADIF) を0にクリアしたのちにA/D変換動作を開始してください。

備考1 . fx : メイン・システム・クロック発振周波数

2 . MCS : 発振モード選択レジスタ (OSMS) のビット0

図9 - 2 A/Dコンバータ・モード・レジスタのフォーマット (μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}
0	0	1	80/f _{xx} (20.0μs)
0	1	1	40/f _{xx} (設定禁止 ^{注2})
1	0	0	50/f _{xx} (設定禁止 ^{注2})
1	0	1	100/f _{xx} (25.0μs)
上記以外			設定禁止

TRG	外部トリガの選択
0	外部トリガなし(ソフトウェア・スタート)
1	外部トリガにより変換開始(ハードウェア・スタート)

CS	A/D変換動作の制御
0	動作停止
1	動作開始

注1 . A/D変換時間が19.1μs以上になるように設定してください。

2 . A/D変換時間が19.1μs未満となりますので、設定禁止です。

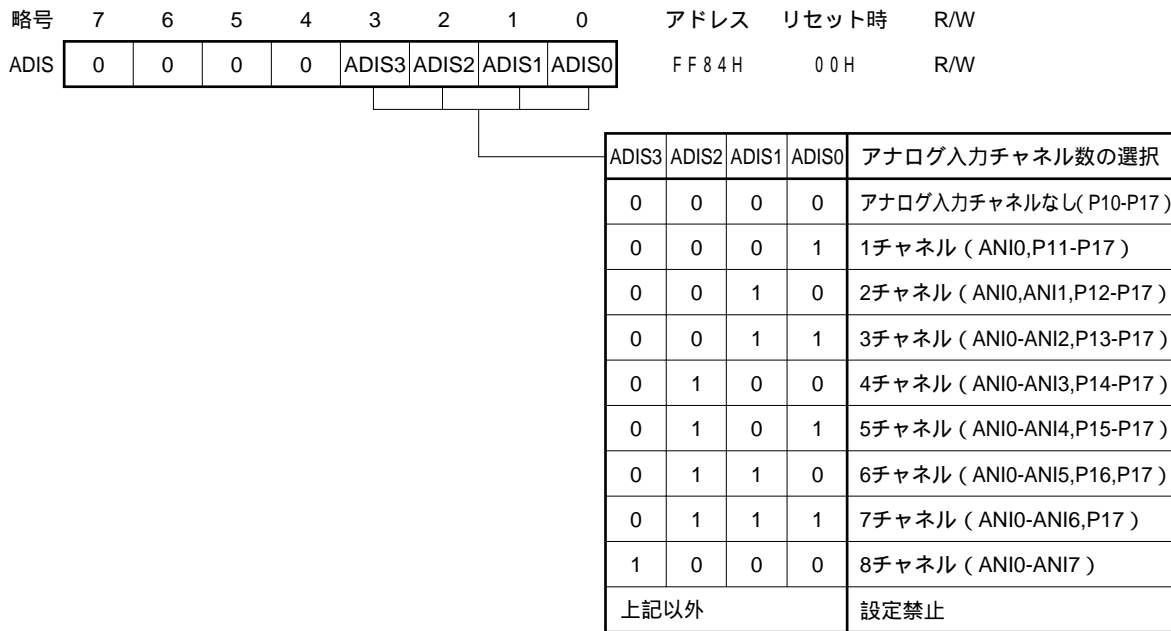
注意1 . スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには、ビット7(CS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

2 . 停止しているA/D変換動作を再開するときは、割り込み要求フラグ(ADIF)を0にクリアしたのちにA/D変換動作を開始してください。

備考1 . f_{xx} : メイン・システム・クロック周波数

2 . ()内は、f_{xx} = 4.0 MHz動作時。

図9 - 3 A/Dコンバータ入力選択レジスタのフォーマット



注意1 . アナログ入力のチャンネルの設定は、次の順序で行ってください。

ADISでアナログ入力のチャンネル数を設定します。

ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ (ADM) で1チャンネル選択します。

2 . ADISでアナログ入力として設定したチャンネルでは、プルアップ抵抗オプション・レジスタL (PUOL) のビット1 (PUO1) の値にかかわらず、内蔵プルアップ抵抗が使用されません。

図9 - 4 外部割り込みモード・レジスタ1のフォーマット

(μ PD78054, 78054Y, 78078, 78078Y, 78058F, 78058FY, 78075B, 78098Bサブシリーズ,
 μ PD78070A, 78070AY)

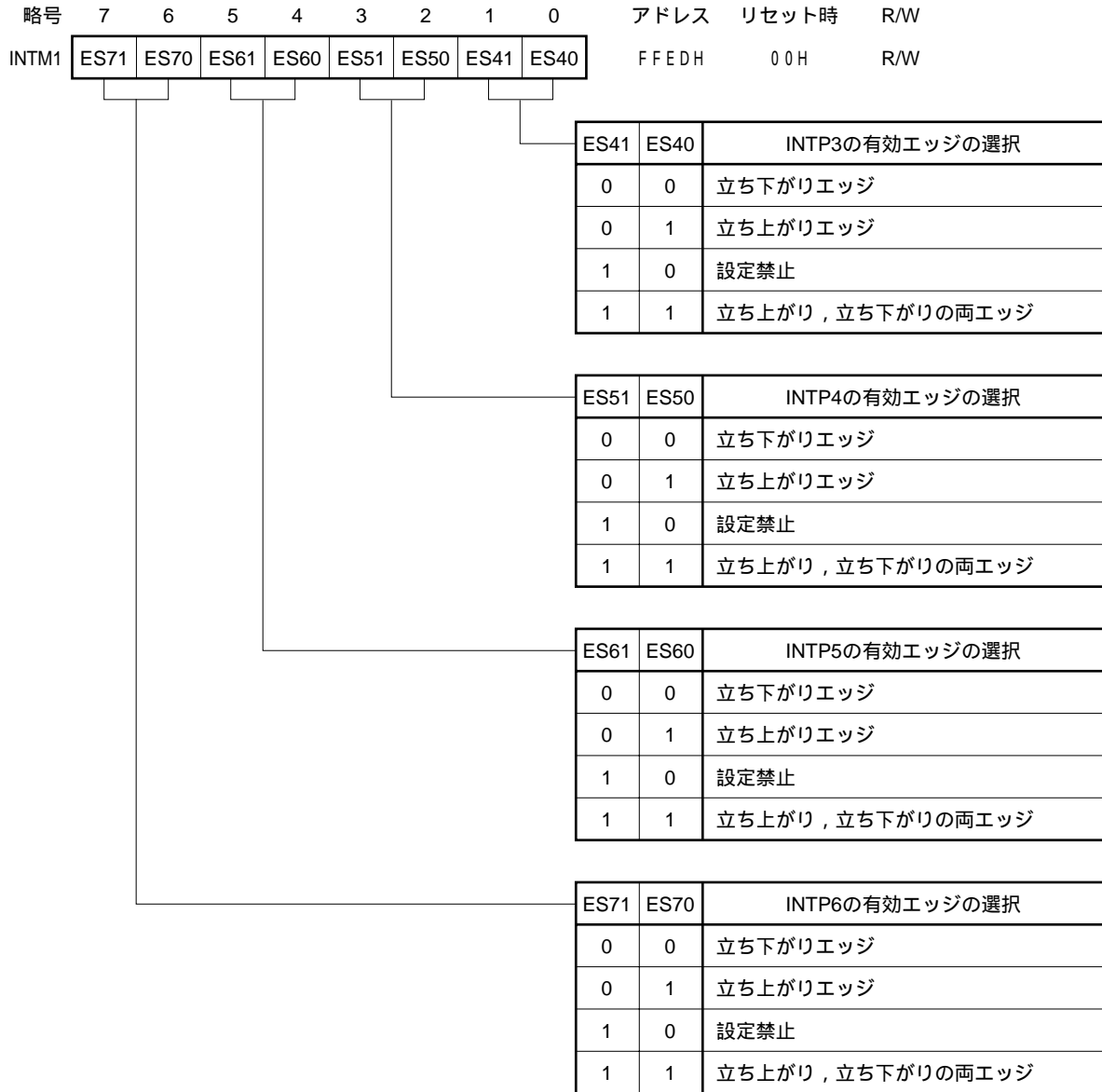


図9 - 5 外部割り込みモード・レジスタ1のフォーマット
 (μPD78064, 78064Y, 780058, 780058Y, 780308, 780308Y, 78064Bサブシリーズ)



図9 - 6 外部割り込みモード・レジスタ1のフォーマット (μPD78083サブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	0	0	0	0	ES41	ES40	FFEDH	00H	R/W

ES41	ES40	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

注意 ビット2-ビット7には必ず0を設定してください。

図9 - 7 A/D電流カット選択レジスタのフォーマット (μPD78098Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IEAD	0	0	0	0	0	0	0	IEAD0	F8E2H	00H	R/W

IEAD0	AV _{DD} -AV _{REF0} 間の接続制御
0	AV _{DD} -AV _{REF0} 間を切断
1	AV _{DD} -AV _{REF0} 間を接続

9.1 レベル・メータ

A/Dコンバータに入力されたアナログ電圧を，16個のLEDで表示します。LED表示は，4 × 4マトリクスで行います。

この例ではレベル・メータが対象となっていますので，LEDはデシベル表示で行います。図9 - 8にレベル・メータの回路を，図9 - 9にA/D変換結果と表示桁数の関係を示します。

図9 - 8 レベル・メータ回路例

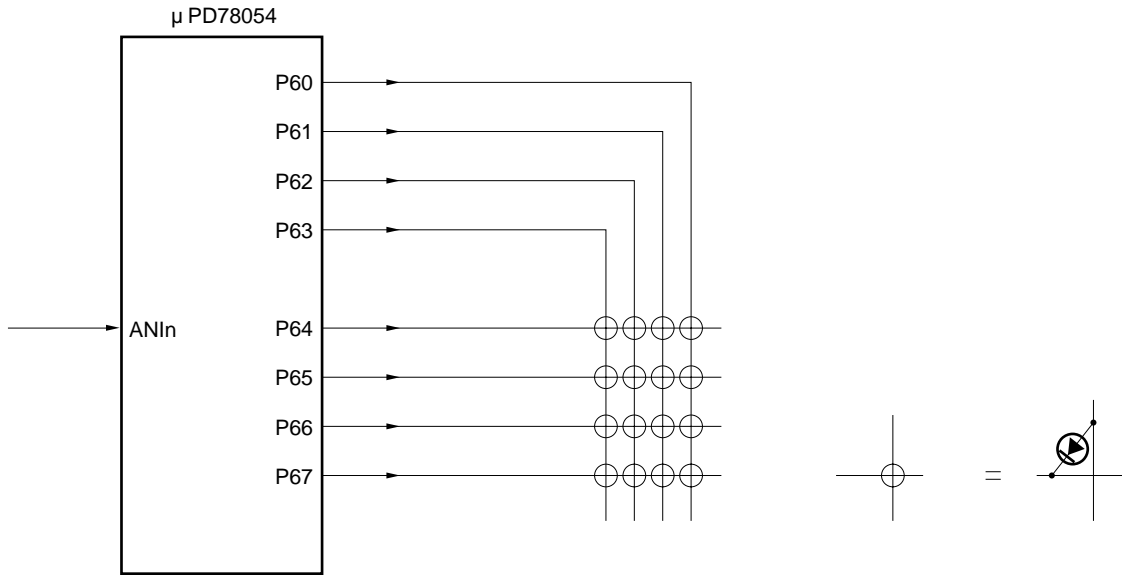
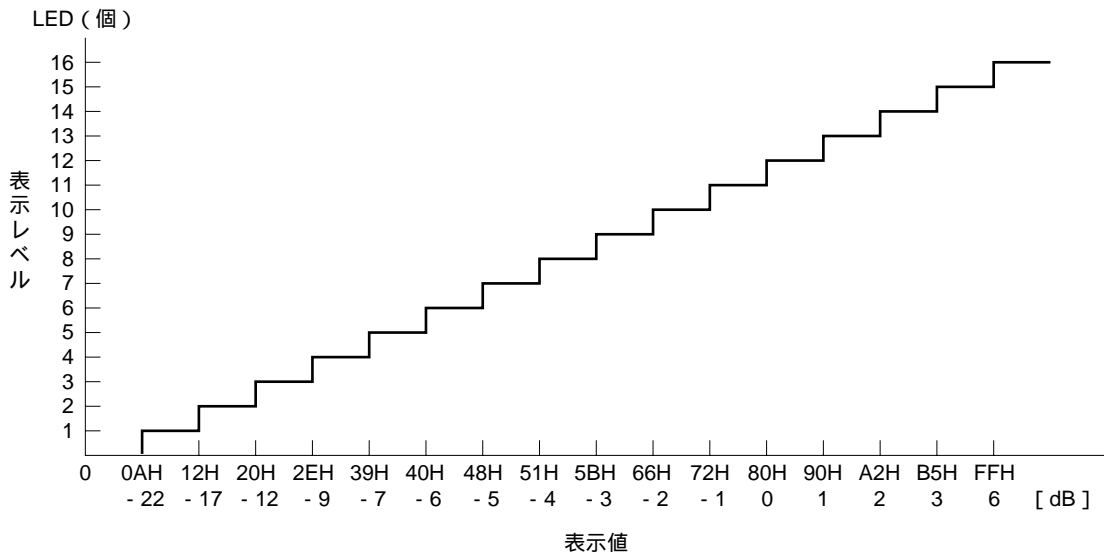


図9 - 9 A/D変換結果とLED表示



この例でのレベル・メータは， から に示す仕様で動作しています。

計測方法

20 msごとにA/D変換を行い，過去4回のデータを平均してLED表示データに使用します。

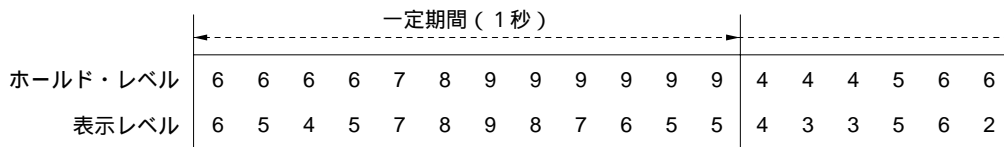
表示方法

LED表示は20 msごとに更新します。LED表示は，4 x 4=16のダイナミック表示で行います。ダイナミック表示用に8ビット・タイマ/イベント・カウンタ1（インターバル時間：2 ms）を使用しています。

ピーク・ホールド

一定期間（1秒）内の最大表示レベル・ホールドすることをピーク・ホールドといいます。一定期間内に表示レベルが下がった場合でも，最大表示レベルのLEDのみホールドします。したがって，ホールド・レベルのホールド期間は，20 msから1 sになります。

図9 - 10 ピーク・ホールド概念図



(1) パッケージの説明

<パブリック宣言シンボル>

- LEVEL : LED表示サブルーチン名称
- DSPLEV : 表示レベル格納エリア
- HLDLEV : ホールド・レベル格納エリア
- CT20MS : 20 ms計測用カウンタ
- CT1S : 1 s計測用カウンタ

<使用するレジスタ>

- AX, HL, BC (サブルーチン処理)
- バンク0 : A, HL, B (割り込み処理)

<使用するRAM>

名 称	用 途	属 性	バイト
ADDAT	A/D変換値格納	SADDR	4
DSPLEV	表示レベル格納		1
HLDLEV	ホールド・レベル格納		
CT20MS	20 ms計測用カウンタ		
CT1S	1 s計測用カウンタ		
DIGCNT	表示桁カウンタ		
DSPDAT	表示データ格納		4
WORKCT	ループ処理用ワーク・カウンタ		1

<使用するフラグ>

名 称	用 途
T20MSF	20 msごとにセット
T1SF	1 sごとにセット

<ネスティング>

2 レベル 5 バイト

<使用するハードウェア>

A/Dコンバータ

8 ビット・タイマ/イベント・カウンタ 1

P6

<初期設定>

OSMS=#00000001B 発振モード選択レジスタ 分周回路を使用しない

ADM=#1000 x x x 1B A/Dコンバータのチャンネル選択, 動作開始

TCL1=#10111011B 8 ビット・タイマ/イベント・カウンタ 1 のインターバル 2 ms

TMC1=#00000001B

CR10=130

P6出力モード

P6出力ラッチをロウ・レベル

INTTM1割り込み許可

<起動方法>

このプログラムは、A/D変換処理（サブルーチン）と、LED表示処理（割り込み）の2つに別れています。

A/D変換処理

メイン処理から20 msに1回以上LEVELをコールしてください。LEVEL処理では、20 ms経過したときのみA/D変換処理を行います。

LED表示

4 × 4マトリクスLED表示は、8ビット・タイマ/イベント・カウンタ1の割り込み処理（インターバル：2 ms）で、ダイナミック表示を行っています。また、8ビット・タイマ/イベント・カウンタ1の割り込み処理では、A/D変換処理で使用するT20MSF（A/D変換値の取り込み）とT1SF（ホールド期間の終了）のフラグを、インターバル（2 ms）を利用してセットしています。

(2) 使用例

```

EXTRN  LEVEL, CT20MS, CT1S

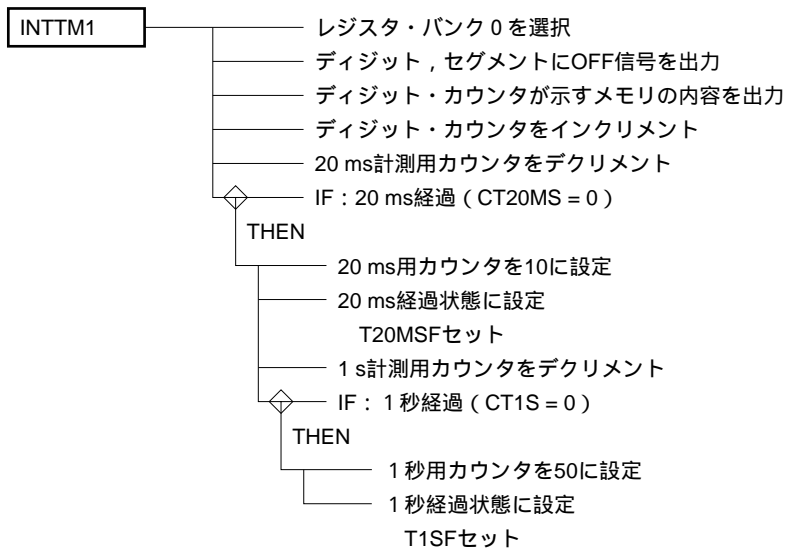
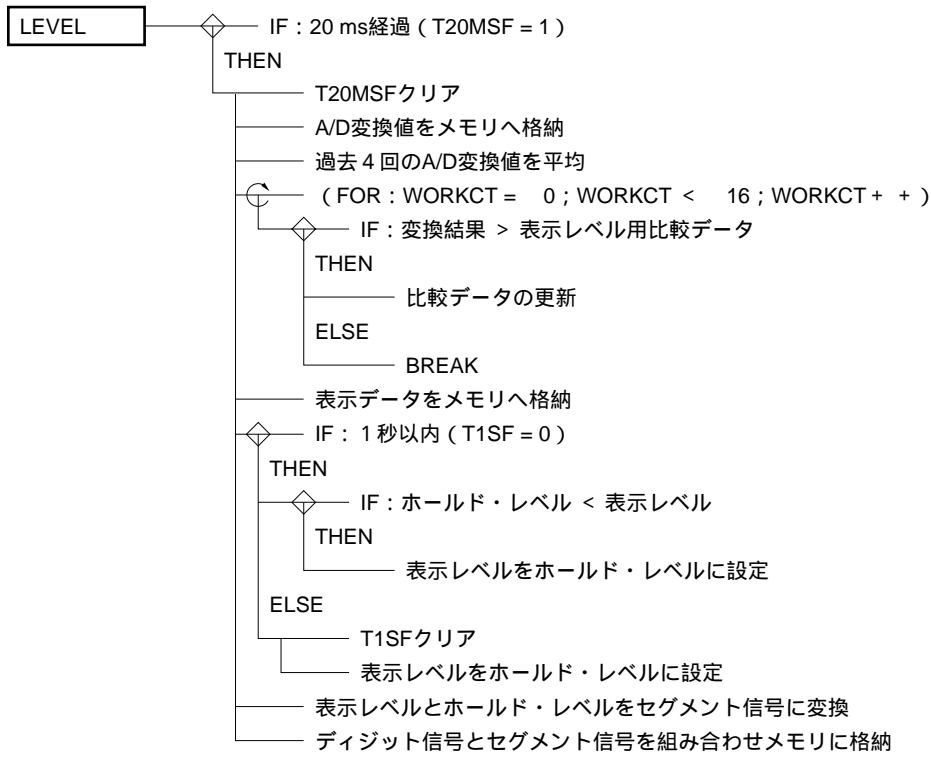
MOV    CT20MS, #10
MOV    CT1S, #50
MOV    TMC2, #00100110B
CLR1   TMMK3

P6=#00H                ; LED表示OFF
PM6=#00000000B
OSMS=#00000001B       ; 分周回路を使用しない
ADM=#10000001B        ; ANI0端子, 動作開始
TCL1=#10111011B       ; 8ビット・タイマ/イベント・カウンタ1を
                        ; 2msに設定

CR10=#130
TMC1=#00000001B
CLR1   TMMK1           ; 8ビット・タイマ/イベント・カウンタ1割り込み許可
EI

```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC LEVEL, HLDLEV, DSPLEV, CT20MS, CT1S

AD_DAT DSEG SADDR
ADDAT: DS 4 ; A/D変換結果格納エリア
DSPLEV: DS 1 ; 表示レベル値
HLDLEV: DS 1 ; ホールド・レベル値
CT20MS: DS 1 ; 20ms計測カウンタ
CT1S: DS 1 ; 1s計測カウンタ
DIGCNT: DS 1 ; 表示桁カウンタ
DSPDAT: DS 4 ; 表示データ
WORKCT: DS 1

AD_FLG BSEG
T20MSF DBIT ; 20ms測定
T1SF DBIT ; 1s測定

VETM1 CSEG AT 24H
DW INTTM1 ; 8ビット・タイマ/イベント・カウンタ1のベクタ・アドレス設定

AD_SEG CSEG
;*****
;* レベル・メータ・データ設定
;*****
LEVEL:
IF_BIT(T20MSF) ; 20msチェック
CLR1 T20MSF
A=ADCR ; A/D変換値入力
A<->ADDAT ; A/D変換値を格納
A<->ADDAT+1
A<->ADDAT+2
A<->ADDAT+3 ; A/D変換値4回の平均化

AX=#0H
HL=#ADDAT ; データ格納アドレス
for(WORKCT=#0;WORKCT<#4;WORKCT++)
A+=[HL]
HL++
if_bit(CY) ; 桁上げ
X++ ; 上位桁
endif
next

A<->X
C=#4 ; 4回の平均
AX/=C ; AX/C=AX(商)・・・C(余り)
if(C>=#2)(A) ; 余り処理(2以上桁上げ)
X++ ; 桁上げ処理
endif

HL=#LEVTBL
B=#0 ; 変換結果格納用レジスタ
for(WORKCT=#0;WORKCT<#16;WORKCT++)
if(X>=[HL+B])(A) ; データ比較
B++
else
break
endif
next

```

```

DSPLEV=B (A) ; 表示データ決定

if_bit(!T1SF) ; 1 s (ホールド更新)
    X=HLDLEV (A) ; ホールド, 表示レベルの比較
    if(X<DSPLEV) (A)
        HLDLEV=DSPLEV (A)
    endif
else
    CLR1 T1SF
    HLDLEV=DSPLEV (A)
endif

HL=#DSPTBL ; 表示レベル作成
A=DSPLEV
A+=A
B=A
A=HLDLEV
A+=A
C=A
X=[HL+B] (A)
B++
A=[HL+B]
HL=#HLDTBL ; ホールド・レベル作成
A<->X
A|=[HL+C]
A<->X
C++
A|=[HL+C]
BC=AX

HL=#DSPDAT ; 1桁目セグメント信号の設定
A=C
A&=#0FH
A|=#00010000B ; デジタル信号の設定
[HL]=A
HL++
A=C ; 2桁目セグメント信号の設定
A>>=1
A>>=1
A>>=1
A>>=1
A&=#0FH
A|=#00100000B ; デジタル信号の設定
[HL]=A
HL++
A=B ; 3桁目セグメント信号の設定
A&=#0FH
A|=#01000000B ; デジタル信号の設定
[HL]=A
HL++
A=B ; 4桁目セグメント信号の設定
A>>=1
A>>=1
A>>=1
A>>=1
A&=#0FH
A|=#10000000B ; デジタル信号の設定
[HL]=A
endif

```

```

RET
LEVTBL:
DB      0AH
DB      12H
DB      20H
DB      2EH
DB      39H
DB      40H
DB      48H
DB      51H
DB      5BH
DB      66H
DB      72H
DB      80H
DB      90H
DB      0A2H
DB      0B5H
DB      0FFH

DSPTBL:
DW      0000000000000000B
DW      0000000000000001B
DW      0000000000000011B
DW      0000000000000111B
DW      0000000000001111B
DW      0000000000111111B
DW      0000000011111111B
DW      0000000111111111B
DW      0000001111111111B
DW      0000011111111111B
DW      0000111111111111B
DW      0001111111111111B
DW      0011111111111111B
DW      0111111111111111B
DW      1111111111111111B

HLDTBL:
DW      0000000000000000B
DW      0000000000000001B
DW      0000000000000010B
DW      0000000000000100B
DW      0000000000001000B
DW      0000000000100000B
DW      0000000010000000B
DW      0000000100000000B
DW      0000001000000000B
DW      0000010000000000B
DW      0000100000000000B
DW      0001000000000000B
DW      0010000000000000B
DW      0100000000000000B
DW      1000000000000000B

$EJECT

```



```
*****
;*      レベル・メータ出力
*****
TM1_SEG CSEG
INTTM1:
    SEL RBO
    P6=#0000000B          ; デジット,セグメント信号OFF
    HL=#DSPDAT
    B=DIGCNT (A)
    P6=[HL+B] (A)
    DIGCNT++
    DIGCNT&=#0000011B
    CT20MS--             ; 20ms?
    if(CT20MS==#0)
        CT20MS=#10      ; 初期カウンタ値設定
        SET1    T20MSF
        CT1S--         ; 1s?
        if(CT1S==#0)
            CT1S=#50    ; 初期カウンタ値設定
            SET1    T1SF
        endif
    endif
    RETI
```

9.2 温度計

この例では、温度センサにサーミスタ（6k / 0）を使用して、- 20 から + 50 の温度を計測します。サーミスタの温度に対する抵抗の変化は、次の式で表すことができます。

$$R=R_0\exp \{ B (1/T - 1/T_0) \}$$

R : 任意の温度T [°K] における抵抗値

T : 任意の温度 [°K]

R₀ : 基準となる温度T₀ [°K] における抵抗値

T₀ : 基準となる温度 [°K]

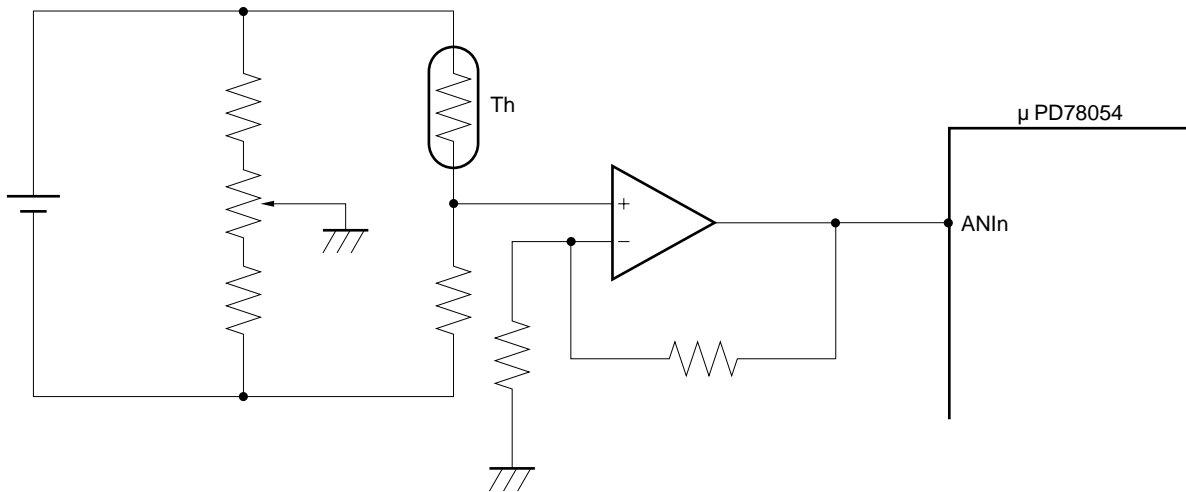
B : 基準となる温度T₀ [°K] とT₀ [°K] において求められる定数

ただし、B定数は一定ではなく温度により変化します。B定数は、上記の式を変形して次の式で求めることができます。

$$B= \frac{1}{(1/T - 1/T_0)} \ln \frac{R}{R_0}$$

回路例を図9 - 11に示します。本回路は、- 20 で0V、+ 50 で5Vが入力されるように設定されているものとします。

図9 - 11 温度計の回路例



この回路例ではサーミスタの特性が直線的でないため、入力されたアナログ電圧を計算方式で行わず、テーブル・データとの比較により - 20 から + 50 の温度に変換します。この変換結果は、BCD 2桁でRAM (DSPDAT) に格納します。図9 - 12にサーミスタの特性を、表9 - 1に温度とA/D変換値の関係を示します。

また、計測方法は4回の変換結果の平均値を温度に変換します。変換した結果を表示エリアに格納します。したがって、4回に1回データの更新が行われることになります。たとえば、250 msごとに計測処理を実行した場合、表示更新周期は1秒となります。

図9 - 12 温度と出力特性

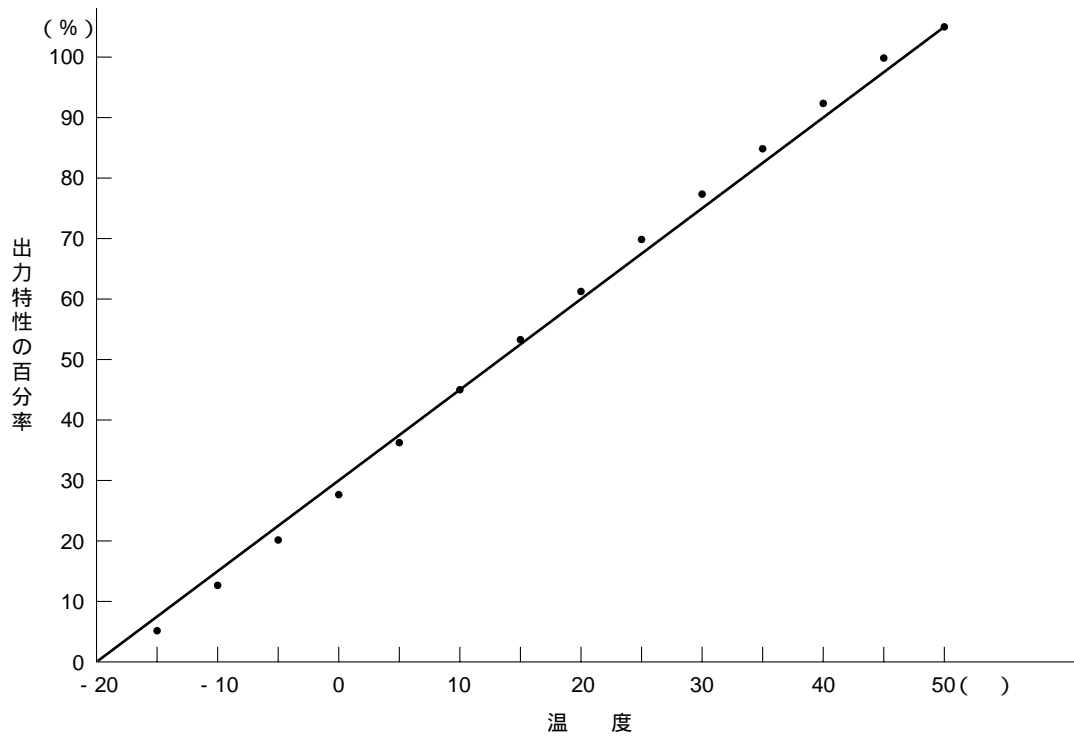


表9 - 1 A/D変換値と温度

変換値	温度 []	変換値	温度 []	変換値	温度 []	変換値	温度 []
00	- 20.0	38	- 2.5	82	15.5	CB	33.5
01	- 19.5	3C	- 1.5	86	16.5	CE	34.5
04	- 18.5	40	- 0.5	8B	17.5	D2	35.5
07	- 17.5	44	0.5	8F	18.5	D6	36.5
0A	- 16.5	48	1.5	93	19.5	D9	37.5
0C	- 15.5	4C	2.5	97	20.5	DC	38.5
0F	- 14.5	50	3.5	9B	21.5	E0	39.5
12	- 13.5	54	4.5	9F	22.5	E3	40.5
16	- 12.5	58	5.5	A3	23.5	E7	41.5
19	- 11.5	5C	6.5	A8	24.5	EA	42.5
1C	- 10.5	60	7.5	AC	25.5	ED	43.5
1F	- 9.5	64	8.5	B0	26.5	F0	44.5
23	- 8.5	69	9.5	B4	27.5	F3	45.5
26	- 7.5	6D	10.5	B7	28.5	F6	46.5
2A	- 6.5	71	11.5	BB	29.5	F9	47.5
2D	- 5.5	75	12.5	BF	30.5	FC	48.5
31	- 4.5	7A	13.5	C3	31.5	FE	49.5
35	- 3.5	7E	14.5	C7	32.5	FF	50.0

(1) パッケージの説明

<パブリック宣言シンボル>

THMETER : 温度計サブルーチン・コール名称

DSPDAT : 表示データ格納エリア

CNTPRO : 入力回数のテスト用カウンタ

MINUSF : マイナス温度表示用フラグ

T250MSF : 250 ms設定用フラグ

<使用するレジスタ>

AX, BC, HL

<使用するRAM>

名 称	用 途	属 性	バイト
ADDAT	A/D変換値格納	SADDR	4
DSPDAT	表示データ格納		2
CNTPRO	入力回数のテスト用カウンタ		1
WORKCT	ループ処理用ワーク・カウンタ		

<使用するフラグ>

名 称	用 途
T250MSF	セットされることで計測処理を実行
MINUSF	温度がマイナスのときセット

<ネスティング>

1 レベル 2 バイト

<使用するハードウェア>

A/Dコンバータ

<初期設定>

ADM=#1000 x x x 1B A/Dコンバータのチャンネル選択, 動作開始

<起動方法>

タイマ処理などで, 計測周期ごとにT250MSFフラグをセットしてください。その後, 計測周期以内にTHMETERを1回以上コールしてください。

(2) 使用例

```

        EXTRN  THMETER, DSPDAT, CNTPRO
        EXTBIT  MINUSF, T250MSF

AD_DAT  DSEG   SADDR
CT250MS:DS  1           ; 250ms計測カウンタ
LEDD:   DS    4           ; LED表示エリア
DIGCT:  DS    1           ; LED表示桁カウンタ

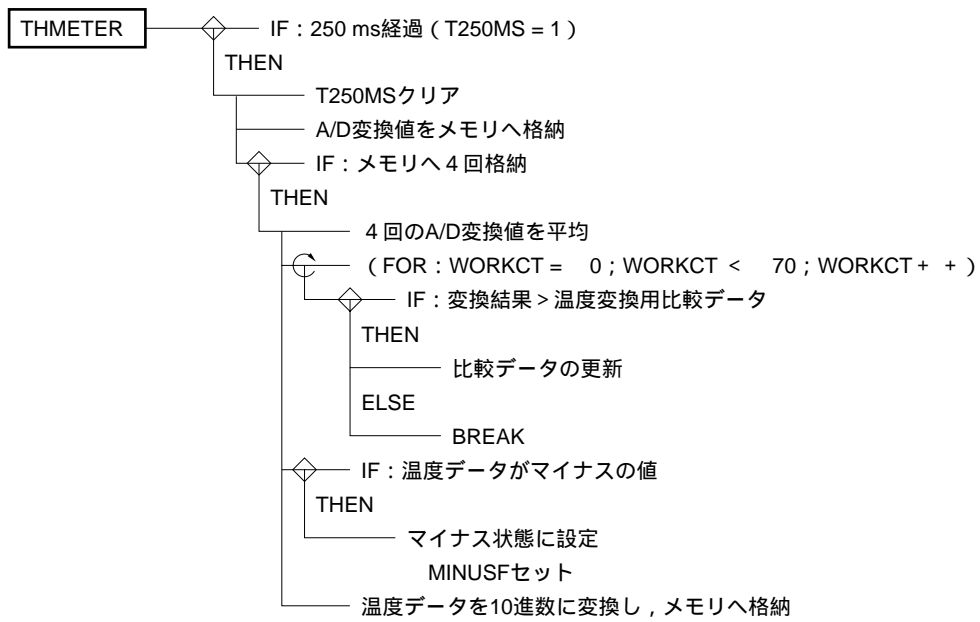
VETM3   CSEG   AT 1EH
        DW    INTM3       ; 時計用タイマのベクタ・アドレス設定

        MOV   TMC2, #00100110B ; 時計用タイマ1.95msの設定
        CLR1  TMMK3
        :
        :
        CT250MS=#128
        CNTPRO=#4
        ADM=#10000011B       ; ANI1端子,動作開始
        :
        :

;*****
;   時計用タイマ割り込み処理
;   インターバル1.95ms
;*****
INTM3:  ; 1.95ms割り込み処理
        :
        :
        DBNZ  CT250MS, $RTM3
        MOV   CT250MS, #128   ; 250ms経過
        SET1  T250MSF

RTM3:   :
        :
        RETI
    
```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC THMETER, DSPDAT, CNTPRO, T250MSF, MINUSF

AD_DAT DSEG SADDR
ADDAT: DS 4 ; A/D変換結果格納エリア
DSPDAT: DS 2 ; 表示データ
CNTPRO: DS 1 ; 入力回数のテスト
WORKCT: DS 1

AD_FLG BSEG
T250MSF DBIT ; 250ms設定
MINUSF DBIT ; マイナス・データの設定

TH_SEG CSEG
;*****
;* 温度データ設定
;*****
THMETER:
    if_bit(T250MSF) ; 250ms
        CLR1 T250MSF
        A=ADCR
        A<->ADDAT
        A<->ADDAT+1
        A<->ADDAT+2
        A<->ADDAT+3

        CNTPRO--
        if(CNTPRO==#0)
            CNTPRO=#4
            AX=#0H
            HL=#ADDAT ; データ格納アドレス
            for(WORKCT=#0;WORKCT<#4;WORKCT++)
                A+=[HL]
                HL++
                if_bit(CY) ; 桁上げあり
                X++ ; 桁上げ
            endif
        next

        A<->X
        C=#4
        AX/=C ; AX/C = AX(商) ... C(余り)
        if(C>=#2) (A) ; 余り処理(2以上桁上げ)
            X++ ; 桁上げ処理
        endif

        A=X ; 温度データに変換
        B=#0
        HL=#THRTBL
        if(A==#0FFH)
            B=#70
        else
            for(WORKCT=#0;WORKCT<#70;WORKCT++)
                if(X>=[HL+B]) (A)
                    B++
                else
                    break
                endif
            next

```



```
endif
CLR1    MINUSF
A=#20           ; 温度データ 2 0
B=A
if_bit(CY)     ; 1 0 進変換へ
    SET1    MINUSF
    A=#0
    A-=B           ; データの絶対値化
    A<->B
endif
X=#0           ; 1 0 進変換
A=B
A<->X
C=#10
AX/=C           ; 温度データ / 1 0
DSPDAT=C (A)   ; 表示データの更新
(DSPDAT+1)=X (A)
endif
endif
RET
```

THRTBL:

;

DB	1	; -19.5
DB	4	; -18.5
DB	7	; -17.5
DB	0AH	; -16.5
DB	0CH	; -15.5
DB	0FH	; -14.5
DB	12H	; -13.5
DB	16H	; -12.5
DB	19H	; -11.5
DB	1CH	; -10.5
DB	1FH	; -9.5
DB	23H	; -8.5
DB	26H	; -7.5
DB	2AH	; -6.5
DB	2DH	; -5.5
DB	31H	; -4.5
DB	35H	; -3.5
DB	38H	; -2.5
DB	3CH	; -1.5
DB	40H	; -0.5
DB	44H	; +0.5
DB	48H	; 1.5
DB	4CH	; 2.5
DB	50H	; 3.5
DB	54H	; 4.5
DB	58H	; 5.5
DB	5CH	; 6.5
DB	60H	; 7.5
DB	64H	; 8.5
DB	69H	; 9.5
DB	6DH	; 10.5
DB	71H	; 11.5
DB	75H	; 12.5
DB	7AH	; 13.5
DB	7EH	; 14.5
DB	82H	; 15.5
DB	86H	; 16.5
DB	8BH	; 17.5
DB	8FH	; 18.5
DB	93H	; 19.5
DB	97H	; 20.5
DB	9BH	; 21.5
DB	9FH	; 22.5
DB	0A3H	; 23.5
DB	0A8H	; 24.5
DB	0ACH	; 25.5
DB	0B0H	; 26.5
DB	0B4H	; 27.5
DB	0B7H	; 28.5
DB	0BBH	; 29.5
DB	0BFH	; 30.5
DB	0C3H	; 31.5
DB	0C7H	; 32.5
DB	0CBH	; 33.5
DB	0CEH	; 34.5
DB	0D2H	; 35.5
DB	0D6H	; 36.5

DB	0D9H	; 37.5
DB	0DCH	; 38.5
DB	0EOH	; 39.5
DB	0E3H	; 40.5
DB	0E7H	; 41.5
DB	0EAH	; 42.5
DB	0EDH	; 43.5
DB	0FOH	; 44.5
DB	0F3H	; 45.5
DB	0F6H	; 46.5
DB	0F9H	; 47.5
DB	0FCH	; 48.5
DB	0FFH	; 49.5

9.3 アナログ・キー入力

A/Dコンバータを使用して、16個のキーを取り込みます。キー入力を行うためには、キーが押されたときにそのキー固有の電圧がA/Dコンバータに入力されるように回路を構成します。

この例では16個のキーを取り込みますので、 V_{DD} を16分割し、そのときの電圧からキー・コードに変換します。入力電圧とキー・コード(00H-0FH)の関係を表9-2に示します。また、キー入力がないときはキー・コードを10Hとします。

表9-2 入力電圧とキー・コード

入力電圧V	A/D変換値	キー・コード
GND	00-07H	00H
1/16 V_{DD}	08-17H	01H
2/16 V_{DD}	18-27H	02H
3/16 V_{DD}	28-37H	03H
4/16 V_{DD}	38-47H	04H
5/16 V_{DD}	48-57H	05H
6/16 V_{DD}	58-67H	06H
7/16 V_{DD}	68-77H	07H
8/16 V_{DD}	78-87H	08H
9/16 V_{DD}	88-97H	09H
10/16 V_{DD}	98-A7H	0AH
11/16 V_{DD}	A8-B7H	0BH
12/16 V_{DD}	B8-C7H	0CH
13/16 V_{DD}	C8-D7H	0DH
14/16 V_{DD}	D8-E7H	0EH
15/16 V_{DD}	E8-F7H	0FH
V_{DD}	F8-FFH	10H

入力電圧とキー・コードの関係を実現するための回路例を図9-13に示します。ただし、この回路では、2個以上のキーが押された場合、番号の小さいキーを優先して取り込みます。

図9 - 13 アナログ・キー入力回路例

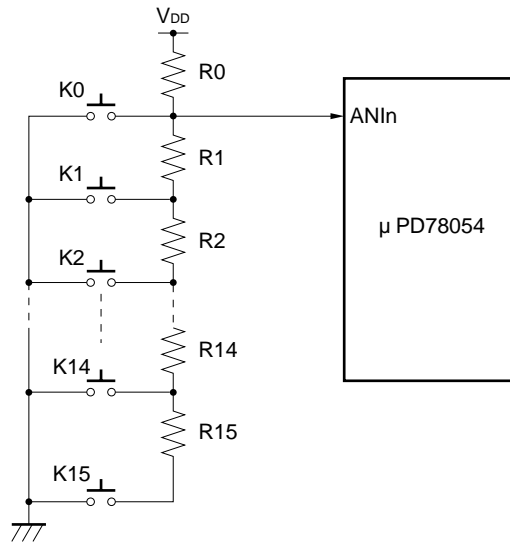


図9 - 13の回路で使用している抵抗R0からR15は、次の式で求めることができます。

$$R_k = \frac{n \times R_0}{16 - n}$$

この式でR0を1k にしたときのR1からR15の抵抗値を表9 - 3に示します（抵抗値は市販されている抵抗のカラー・コード表示の値などに置き換えていますので、算出結果とは誤差があります）。

表9 - 3 R1からR15の抵抗値

抵抗番号	抵抗値	抵抗番号	抵抗値	抵抗番号	抵抗値
R1	68	R6	150	R11	560
R2	75	R7	180	R12	750
R3	82	R8	220	R13	1.3 k
R4	100	R9	270	R14	2.7 k
R5	120	R10	390	R15	8.2 k

このプログラムでは、入力したアナログ電圧を表9 - 2のキー・コードに変換し、チャタリング吸収後にRAMに格納します。チャタリングの吸収は、キー・コードが5回連続一致したときに、キーを有効にする方法を用いています。たとえば5 msごとにサンプリングを行ったときは、20 msから25 msのチャタリングを吸収することになります。また、キー入力に変化があったときは、キー変化フラグ (KEYCHG) をセットします。

(1) パッケージの説明

<パブリック宣言シンボル>

AKEYIN : アナログ・キー入力サブルーチン名称
 KEYDAT : キー・コード格納エリア
 PASTDT : チャタリング吸収用キー・コード格納エリア
 CHATCT : チャタリング吸収カウンタ
 KEYCHG : キー変化テスト用フラグ
 CHTENDF : チャタリング吸収終了のテスト用フラグ
 KEYOFF : キー入力がないときのキー・コード

<使用するレジスタ>

A

<使用するRAM>

名 称	用 途	属 性	バイト
PASTDAT	チャタリング吸収用キー・コード格納	SADDR	1
KEYDAT	キー・コード格納		
CHATCNT	チャタリング・カウンタ		

<使用するフラグ>

名 称	用 途
KEYCHG	キーの変化でセット
CHTENDF	チャタリング吸収終了でセット

<ネスティング>

1 レベル 2 バイト

<使用するハードウェア>

A/Dコンバータ

<初期設定>

ADM=#1000 x x x 1B A/Dコンバータのチャンネル選択, 動作開始

<起動方法>

一定のインターバルごとにAKEYINをコールしてください。

キー変化フラグをテストしてから, キー・コードを取り込んでください。また, キー変化フラグはサブルーチンでクリアしていませんので, フラグのテストのあとにクリアしてください。

(2) 使用例

```

EXTRN  AKEYIN, KEYDAT, PASTDT, CHATCT
EXTRN  KEYOFF

EXTBIT  KEYCHG, CHTENDF

VETM3  CSEG  AT 1EH
      DW    INTTM3           ; 時計用タイマのベクタ・アドレス設定

MAINDAT DSEG  SADDR
CT5MS:  DS    1

TMC2=#00100110B
CLR1   TMMK3
CT5MS=#3

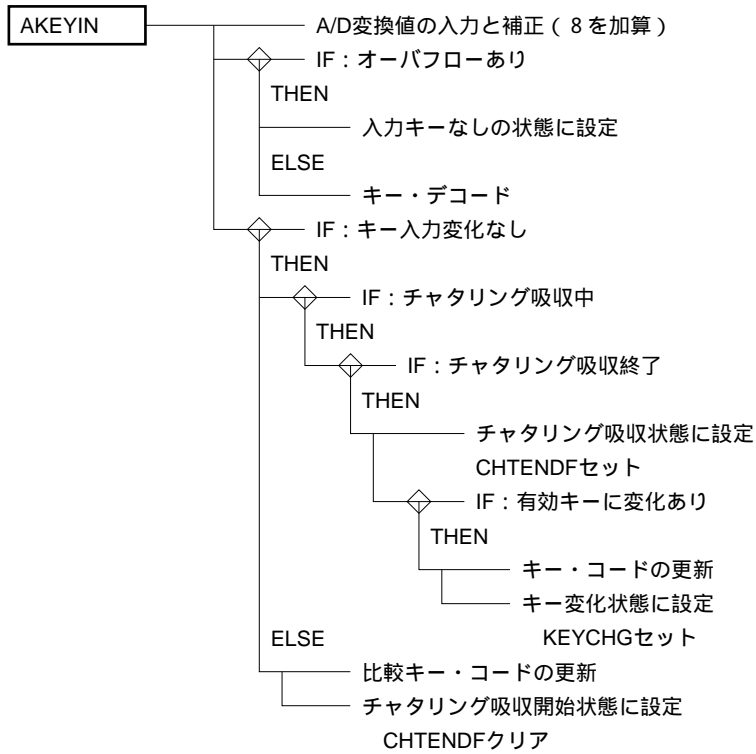
KEYDAT=#KEYOFF           ; キー・データにOFFデータを設定
PASTDT=#KEYOFF
CHATCT=#CHAVAL          ; チャタリング回数を5回に設定
CLR1   CHTENDF
CLR1   KEYCHG
ADM=#10000101B         ; ANI2端子,動作開始
EI
:
:
if_bit(KEYCHG)          ; キー変化あり?
      CLR1   KEYCHG
      ; キー入力処理
endif
:
:

;*****
;      時計用タイマ割り込み処理
;      インターバル1.95ms
;*****
INTTM3:           ; 1.95ms 割り込み処理
:
:
      DBNZ   CT5MS, $RTNTM3
      MOV    CT5MS, #3      ; 1.95ms x 3 経過
      CALL  !AKEYIN

RTNTM3:
:
:
      RETI

```


(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC  AKEYIN, KEYDAT, PASTDT
PUBLIC  CHATCT, KEYOFF
PUBLIC  KEYCHG, CHTENDF
AK_DAT  DSEG   SADDR
KEYDAT: DS    1           ; キー・データ格納エリア
PASTDT: DS    1           ; チャタリング・キー・データ
CHATCT: DS    1           ; チャタリング・カウンタ

AK_FLG  BSEG
KEYCHG  DBIT           ; キー変化
CHTENDF DBIT           ; チャタリング吸収終了状態

KEYOFF  EQU    10H      ; OFFキー・データ
CHAVAL  EQU    5        ; チャタリング吸収の回数

AK_SEG  CSEG
;*****
;*      アナログ・キー入力
;*****
AKEYIN:
    A=ADCR           ; A/D変換値入力
    A+=#8            ; データ補正
    if_bit(CY)
        A=#KEYOFF    ; 入力キーなしの状態に設定
    else
        A>>=1        ; キー・デコード
        A>>=1
        A>>=1
        A>>=1
        A&=#0FH
    endif
    if(A==PASTDT)   ; キー変化なし
        if_bit(!CHTENDF) ; チャタリング吸収中
            CHATCT--    ; チャタリング吸収終了
            if(CHATCT==#0)
                SET1  CHTENDF ; チャタリング吸収終了状態に設定
                A=PASTDT
                if(A!=KEYDAT) ; 有効キー変化あり
                    KEYDAT=A ; キー・データ更新
                    SET1  KEYCHG ; キー変化状態に設定
                endif
            endif
        endif
    else
        PASTDT=A      ; 前キー・データ更新
        CHATCT=#CHAVAL-1 ; チャタリング吸収開始
        CLR1  CHTENDF
    endif
RET

```

9.4 4チャンネル入力A/D変換

ここでは、4チャンネルをスキャンし、A/D変換する方法を説明します。A/D変換動作の起動は、ソフトウェア・スタートにより行います。

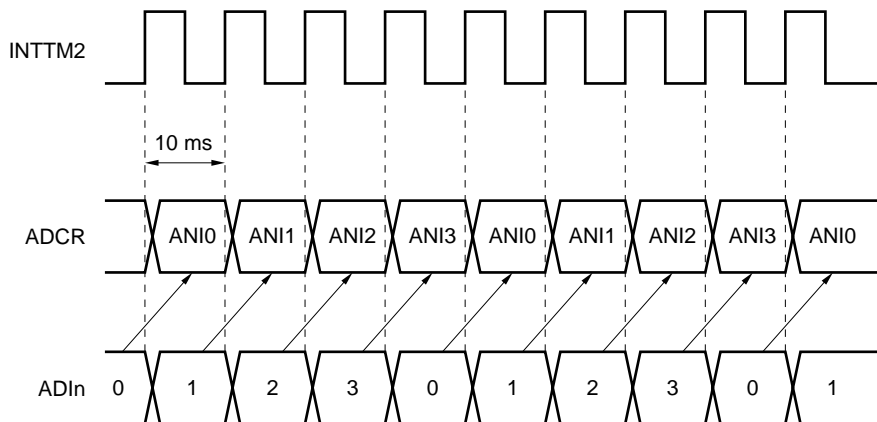
選択した4チャンネルに入力されたアナログ電圧をA/D変換し、各チャンネルの変換結果をRAMに格納します。

8ビット・タイマ/イベント・カウンタ1により、割り込み要求を発生させ、その割り込み要求内の処理で変換結果を取り込み、チャンネル変換を行います。ここでは、8ビット・タイマ/イベント・カウンタ1の時間を10msで設定しているため、A/D変換の待ち時間を計測する必要はありません。

注意 割り込み時間を変更するときは、次の設定をしてください。

- ・ タイマを $\left\{ \begin{array}{l} \text{A/D変換終了時間} + \text{割り込み移行} \\ \text{復帰時間} + \text{割り込み処理時間} \end{array} \right\}$ より長く設定する。
- ・ 変換終了のフラグ・テスト処理をする。

図9-14 4チャンネル・スキャン・モードのタイミング・チャート



(1) パッケージの説明

<パブリック宣言シンボル>

出力パラメータ

M_CH0 : チャンネル0 変換結果を格納します。

M_CH1 : チャンネル1 変換結果を格納します。

M_CH2 : チャンネル2 変換結果を格納します。

M_CH3 : チャンネル3 変換結果を格納します。

<使用するレジスタ>

A

<使用するRAM>

名 称	用 途	属 性	バイト
M_CH0	チャンネル0 変換結果格納エリア	SADDR	1
M_CH1	チャンネル1 変換結果格納エリア	SADDR	1
M_CH2	チャンネル2 変換結果格納エリア	SADDR	1
M_CH3	チャンネル3 変換結果格納エリア	SADDR	1
M_MODE	モード格納エリア	SADDR	1

<ネスティング>

1 レベル 3 バイト

<使用するハードウェア>

A/Dコンバータ

8ビット・タイマ/イベント・カウンタ1

ポート1 (P10-P13)

<初期設定>

OSMS=#00000001B 発振モード選択レジスタ 分周回路を使用しない
 ADM=#1000 x x x B A/Dコンバータのチャンネル選択, 動作開始
 ADIS=#00000100B A/Dコンバータのチャンネル数選択
 TCL1=#00001110B 8ビット・タイマ/イベント・カウンタ1のインターバル10 ms
 TMC1=#00000001B
 CR10=#81
 TMMK1割り込み許可

(2) 使用例

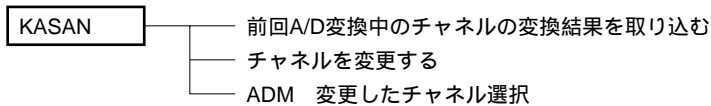
```

EXTRN    M_CH0, M_CH1, M_CH2, M_CH3, M_MODE
;*****
;          イニシャライズ
;*****
M4       CSEG                               ;
RES_STA:
    SEL RBO                                ;
    DI                                     ;
    .
    .
OSMS=#00000001B                          ; 分周回路を使用しない
ADM=#10000001B                            ; A/D動作開始, 外部トリガなし, チャンネル0選択
ADIS=#00000100B                          ; アナログ入力4チャンネル選択
CR10=#81                                  ; モジュロレジスタ81設定
TCL1=#00001110B                          ; カウント/クロック 8.2kHz
TMC1=#00000001B                          ; 8ビット/タイム/レジスタ1動作許可
CLR1    TMIF1                             ; タイマ割り込み要求フラグクリア
CLR1    TMMK1                             ; タイマ割り込み許可
EI                                             ;
M_MODE=#0                                  ; モードエリアに初期値(0チャンネル)設定
    .
    .
while(forever)                             ;
    .
    A=M_CH0                               ; A←チャンネル0のデータ
    .
    .
    A=M_CH1                               ; A←チャンネル1のデータ
    .
    .
    A=M_CH2                               ; A←チャンネル2のデータ
    .
    .
    A=M_CH3                               ; A←チャンネル3のデータ
    .
    .

```

(3) SPDチャート

[A/D変換処理]



(4) プログラム・リスト

```

;
;*****
;                               A/D変換
;*****
;
$PC(054)                               ;
;
PUBLIC  M_CH0, M_CH1, M_CH2, M_CH3, M_MODE ;
;
VEINTM1 CSEG   AT 24H
        DW  KASAN
;*****
;                               R A M定義
;*****
        DSEG   SADDR
M_CH0:   DS     1           ;チャンネル0加算用RAMエリア
M_CH1:   DS     1           ;チャンネル1加算用RAMエリア
M_CH2:   DS     1           ;チャンネル2加算用RAMエリア
M_CH3:   DS     1           ;チャンネル3加算用RAMエリア
M_MODE:  DS     1           ;モード格納エリア
;
        CSEG                               ;
KASAN:
        SEL  RB2           ;バンク2に切り換える
        switch(M_MODE)    ;現在選択中のチャンネル?
        case 0:           ;チャンネル0:
            M_CH0=ADCR (A) ;変換結果をRAMに転送する
            M_MODE++
            ADM=#10000011B ;チャンネル選択を1に変更する
            break
        case 1:           ;チャンネル1:
            M_CH1=ADCR (A) ;変換結果をRAMに転送する
            M_MODE++
            ADM=#10000101B ;チャンネル選択を2に変更する
            break
        case 2:           ;チャンネル2:
            M_CH2=ADCR (A) ;変換結果をRAMに転送する
            M_MODE++
            ADM=#10000111B ;チャンネル選択を3に変更する
            break
        case 3:           ;チャンネル3:
            M_CH3=ADCR (A) ;変換結果をRAMに転送する
            M_MODE=#0
            ADM=#10000001B ;チャンネル選択を0に変更する
            break
        ends
        RETI
        END

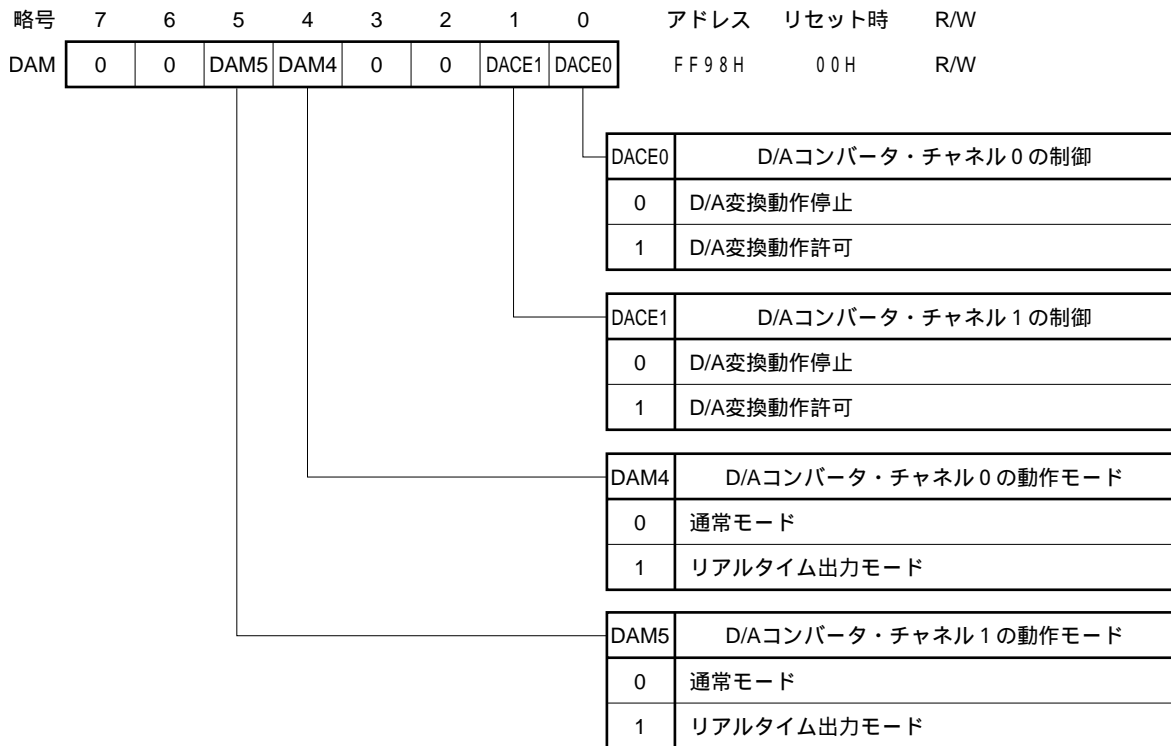
```

第10章 D/Aコンバータの応用

78K/0シリーズのD/Aコンバータは、8ビット分解能の電圧出力型D/Aコンバータ2チャンネルの構成になっています。動作モードには、通常モードとリアルタイム出力モードがあります。通常モードでは、D/A変換値設定レジスタ0、1（DACS0,1）への書き込みによる出力トリガとなり、リアルタイム出力モードでは、8ビット・タイマ/イベント・カウンタ1、2の割り込み要求（INTTM1,2）による出力トリガとなります。リアルタイム出力モード時の、DACS0, DACS1へのデータの設定は、出力トリガが発生してから次の出力トリガが発生するまでに行ってください。

D/Aコンバータは、D/Aコンバータ・モード・レジスタ（DAM）により設定します。

図10 - 1 D/Aコンバータ・モード・レジスタのフォーマット



注意 1 . D/Aコンバータを使用するときには、兼用ポート端子を入力モードに設定するとともに、プルアップ抵抗を切断してください。

2 . ビット2、3、6、7には、必ず0を設定してください。

3 . D/A変換動作停止時の出力は、ハイ・インピーダンス状態になります。

4 . リアルタイム出力モード時の出力トリガは、チャンネル0ではINTTM1、チャンネル1ではINTTM2です。

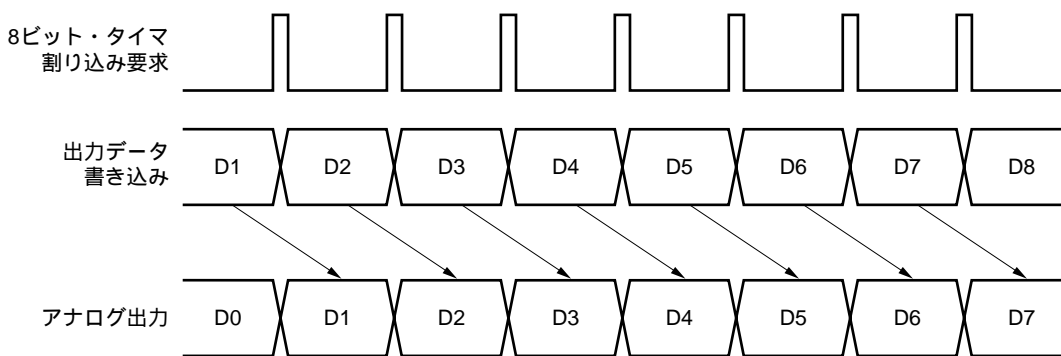
10.1 SIN波形出力

D/Aコンバータ・チャンネル0のリアルタイム出力モードを使用し，周波数50 HzのSIN波形の出力を行う例を示します。

出力動作開始後，8ビット・タイマ/イベント・カウンタ1のタイミングによりD/A変換値設定レジスタ0（DACSO）の設定値による変換結果のアナログ出力を行い，割り込み処理内で，次の出力データをDACSOに設定します。割り込み処理内で設定された値は，次の8ビット・タイマ/イベント・カウンタ1のタイミングで出力されます。

図10 - 2 に出力データの書き込みタイミングとアナログ出力タイミングを示します。

図10 - 2 アナログ出力と出力データ格納タイミング



8ビット・タイマ/イベント・カウンタ1のインターバルを約668 μ sに設定し，図10 - 3 に示すような50 HzのD/A出力波形を作成します。

SIN波形出力データは，ROMに配置し，8ビット・タイマ/イベント・カウンタ1の割り込み処理内で順次，データ参照を行い，DACSOに書き込みます。

表10 - 1 にSIN波形出力の電圧と設定値を示します。

図10 - 3 D/A出力波形

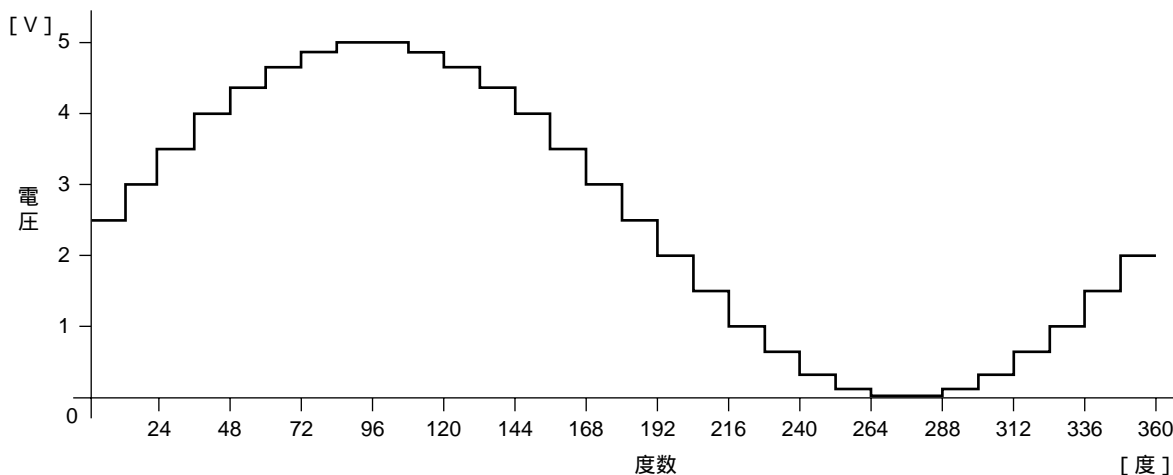


表10 - 1 SIN波形出力の電圧と設定値

度数	電圧 (V)	設定値	度数	電圧 (V)	設定値
0	2.5000	80H	180	2.5000	80H
12	3.0200	9BH	192	1.9802	65H
24	3.5168	B4H	204	1.4832	4CH
36	3.9695	CBH	216	1.0305	35H
48	4.3579	DFH	228	0.6421	21H
60	4.6651	EFH	240	0.3349	11H
72	4.8776	FAH	252	0.1224	06H
84	4.9863	FFH	264	0.0137	01H
96	4.9863	FFH	276	0.0137	01H
108	4.8776	FAH	288	0.1224	06H
120	4.6651	EFH	300	0.3349	11H
132	4.3579	DFH	312	0.6421	21H
144	3.9695	CBH	324	1.0305	35H
156	3.5168	B4H	336	1.4832	4CH
168	3.0200	9BH	348	1.9802	65H

備考 ANO0端子に出力されるアナログ電圧は、次の式で決定されます。

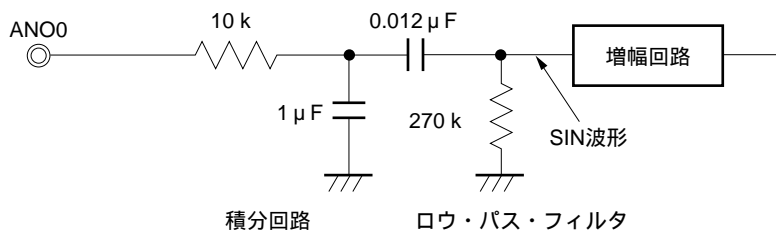
$$\text{ANO0端子出力電圧} = \frac{AV_{REF1} \times \text{DACS0}}{256}$$

注意 表10 - 1 に示した電圧値は、小数第 5 位で四捨五入したデータです。

ただし、設定値は、四捨五入する前のデータで計算し、その結果データを小数第 1 位で四捨五入したデータです。

出力されたアナログ値を図10 - 4 に示すSIN波形変換回路を通して、段差のないSIN波形を生成します。

図10 - 4 SIN波形変換回路



(1) パッケージの説明

<パブリック宣言シンボル>

データ定義参照名

SDATA : DACS0レジスタに格納するSIN波形出力データ値の先頭番地

ENDDAT : SIN波形データの最終ポインタ

入出力パラメータ

C_DATA : ROMデータ取り出しカウンタ

<使用するレジスタ>

バンク3 AX, HL, B

<使用するRAM>

名称	用途	属性	バイト
C_DATA	SIN波形出力データを取り出すためのポインタを示すカウンタ	SADDR	1

<使用するフラグ>

なし

<ネスティング・レベル>

1レベル3バイト

<使用するハードウェア>

D/Aコンバータ

8ビット・タイマ/イベント・カウンタ1

<初期設定>

OSMS = #00000001B	発振モード選択レジスタ	分周回路を使用しない
PM13 = #x x x x x x x 1B	ポート13入力モードに設定	
TCL1 = #x x x x 1001B	8ビット・タイマ/イベント・カウンタ1のインターバル	668 μs
TMC1 = #000000 x 0B		
CR10 = #174		
DACS0 = #80H	D/Aコンバータの設定	
DAM = #00000001B		
SET1 DAM.4	D/Aコンバータ	リアルタイム出力モードに設定
SET1 TCE1	8ビット・タイマ/イベント・カウンタ1	動作許可, 割り込み許可
CLR1 TMIF1		
CLR1 TMMK1		

注意 リセット・スタート時の値(0H)の出力を防ぐため、一度通常モードにして、D/A変換値設定レジスタ0(DACS0)に初期値を書き込み、初期値の出力を行ってください。その後、リアルタイム出力モードにし、8ビット・タイマ/イベント・カウンタ1の動作、割り込みの許可を行ってください。

リセット・スタート後、DACS0レジスタに初期値を設定して、リアルタイム出力モードでD/A変換開始を行うと、0Vが出力されるため注意が必要です(図10-2 アナログ出力と出力データ格納タイミングでのD0データに当たります)。

<起動方法>

出力開始時は、D/Aコンバータの動作許可(D/Aコンバータ・モード・レジスタ(DAM)のビット4(DAM4)をセット)、8ビット・タイマ/イベント・カウンタ1の動作(8ビット・タイマ・モード・コントロール・レジスタ(TMC1)のビット0(TCE)をセット)および割り込み許可(TMIF1, TMMK1クリア)にしてください。

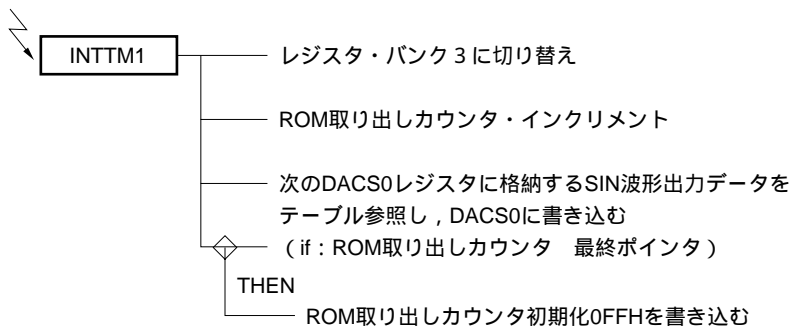
(2) 使用例

```

EXTRN  C_DATA,SDATA,ENDDAT
;
F_RIARU  EQU      DAM.4          ;リアルタイム出力モード設定フラグ
;
.
.
OSMS=#00000001B                ;分周回路を使用しない
TCL1=#00001001B                ;SIN_DAT:8ビット・タイマ1 カウント・クロック262kHz
CR10=#175-1                    ;8ビット・タイマ1 インターバル 1668 μs
TMC1=#00000000B                ;8ビット・タイマ1動作禁止
;
HL=#SDATA                      ;
B=C_DATA (A)                   ;
DACS0=[HL+B] (A)               ;
DAM=#00000001B                 ;チャネルD/A変換動作許可,通常モード
PM13=#11111111B                ;P130 入力ポート設定
EI
.
.
.
if_bit(SIN波形出力開始)       ;
SET1  F_RIARU                  ; チャネル0をリアルタイム出力モードに設定
C_DATA=#0                      ; 変換値設定レジスタに初期値設定
HL=#SDATA                      ;
B=C_DATA (A)                   ;
DACS0=[HL+B] (A)               ;
SET1  TCE1                     ; 8ビット・タイマ1動作許可
CLR1  TMIF1                    ; 8ビット・タイマ1要求フラグ・クリア
CLR1  TMMK1                    ; 8ビット・タイマ1割り込み許可
SET1  DACE0                    ; D/A動作許可
endif
.
.
.

```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC C_DATA,SDATA,ENDDAT
;
VETIM1 CSEG AT 24H
        DW INTTM1

ENDDAT EQU 1DH ;SIN波形データ1周期終了値
;
SINRAM DSEG SADDR
C_DATA: DS 1 ;ROMデータ取り出しカウンタ
;*****
; SIN波形データ変更割り込み処理
;*****
SINDAT CSEG
INTTM1:
        SEL RB3 ;バンク3設定
        C_DATA++ ;ROMデータ取り出しカウンタ・インクリメント
        B=C_DATA (A) ;SIN波形出力データ参照
        HL=#SDATA
        DACSO=[HL+B] (A) ;データ格納
        if (C_DATA >= #ENDDAT) ;SIN波形1周期終了?
            C_DATA=#OFFH ; ROMデータ取り出しカウンタ初期化
        endif
        RETI
SDATA:
        DB 09BH ;SIN波形データ
        DB 0B4H
        DB 0CBH
        DB 0DFH
        DB 0EFH
        DB 0FAH
        DB 0FFH
        DB 0FFH
        DB 0FAH
        DB 0EFH
        DB 0DFH
        DB 0CBH
        DB 0B4H
        DB 09BH
        DB 080H
        DB 065H
        DB 04CH
        DB 035H
        DB 021H
        DB 011H
        DB 006H
        DB 001H
        DB 001H
        DB 006H
        DB 011H
        DB 021H
        DB 035H
        DB 04CH
        DB 065H
        DB 080H
END
    
```

第11章 リアルタイム出力ポートの応用

78K/0シリーズのリアルタイム出力機能について次に説明します。

リアルタイム出力バッファ・レジスタ (RTBL, RTBH) にあらかじめ設定したデータを、タイマ割り込み要求または外部割り込み要求の発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できますので、ステップング・モータなどの制御に最適です。1ビット単位でポート・モード/リアルタイム出力ポート・モードの指定ができます。

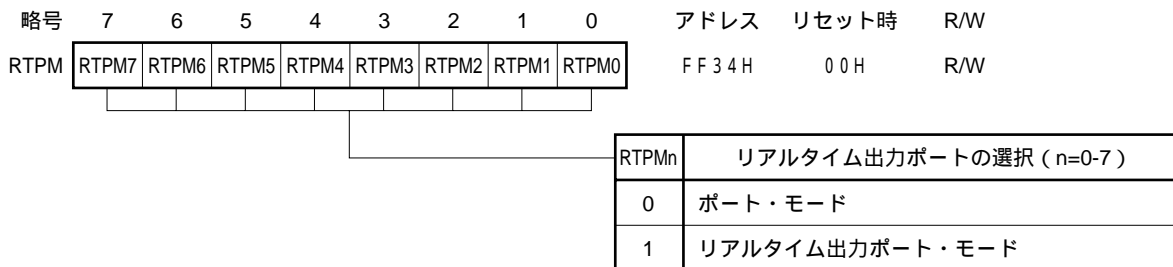
リアルタイム出力データは、リアルタイム出力バッファ・レジスタ (RTBL, RTBH) に書き込みます。RTBL, RTBH は、SFR領域内でそれぞれ独立したアドレスにマッピングしています。

4ビット×2チャンネルの動作モードを指定したときは、RTBL, RTBHはそれぞれ独立にデータを設定することができます。

8ビット×1チャンネルの動作モードを指定したときは、RTBL, RTBHのどちらか一方に8ビット・データを書き込むことにより、RTBL, RTBHそれぞれにデータを設定することができます。

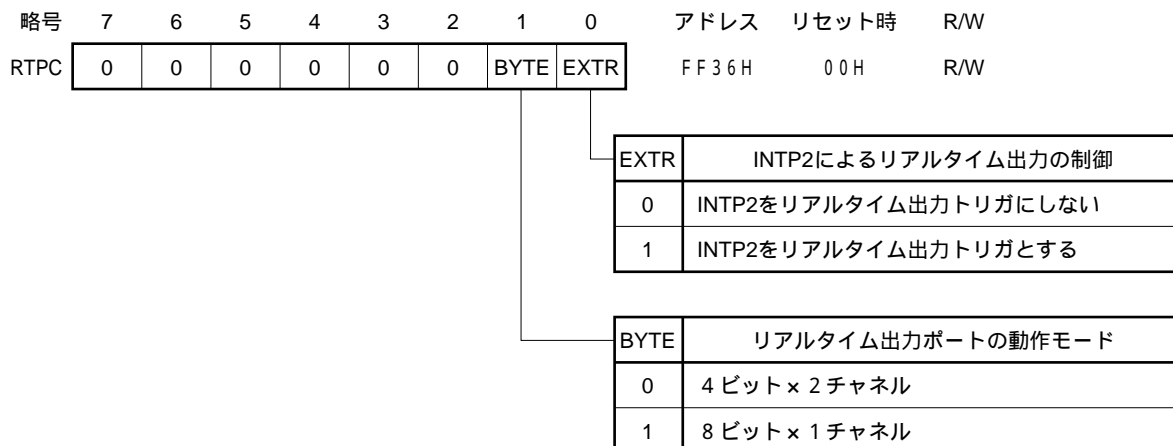
リアルタイム出力ポートは、リアルタイム出力ポート・モード・レジスタ (RTPM)、リアルタイム出力ポート・コントロール・レジスタ (RTPC)、ポート・モード・レジスタ12 (PM12) により設定します。

図11 - 1 リアルタイム出力ポート・モード・レジスタのフォーマット



- 注意 1 . リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モード (ポート・モード・レジスタ12 (PM12) の該当ビットに 0 を設定) にしてください。
- 2 . リアルタイム出力ポートに指定したポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください。

図11 - 2 リアルタイム出力ポート・コントロール・レジスタのフォーマット

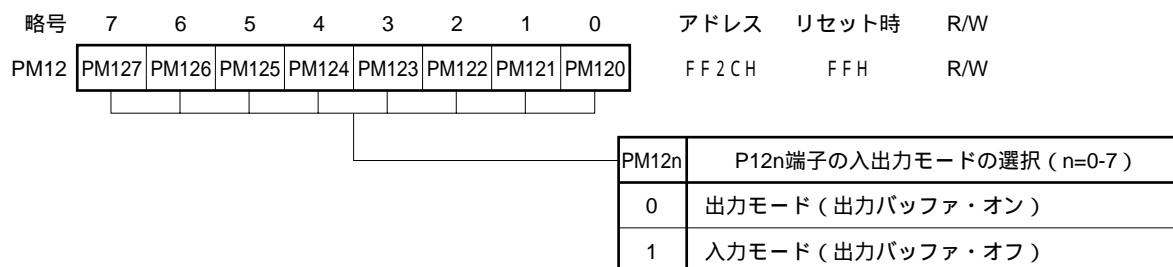


リアルタイム出力ポートの動作モードと出力トリガについて表11-1に示すような関係があります。

表11 - 1 リアルタイム出力ポートの動作モードと出力トリガ

BYTE	EXTR	動作モード	RTBH ポート出力	RTBL ポート出力
0	0	4ビット×2チャンネル	INTTM2	INTTM1
	1		INTTM1	INTP2
1	0	8ビット×1チャンネル	INTTM1	
	1		INTP2	

図11 - 3 ポート・モード・レジスタ12のフォーマット



11.1 ステッピング・モータ

リアルタイム出力ポートを使用して、4相ステッピング・モータをリアルタイム出力ポート（P120-P123）に接続し、1相励磁のパターンで制御を行います。1相励磁に、1ステップ1.8度回転するモータを使用し、200回転/分で駆動させます。

1ステップの時間を、次の計算式で求めます。

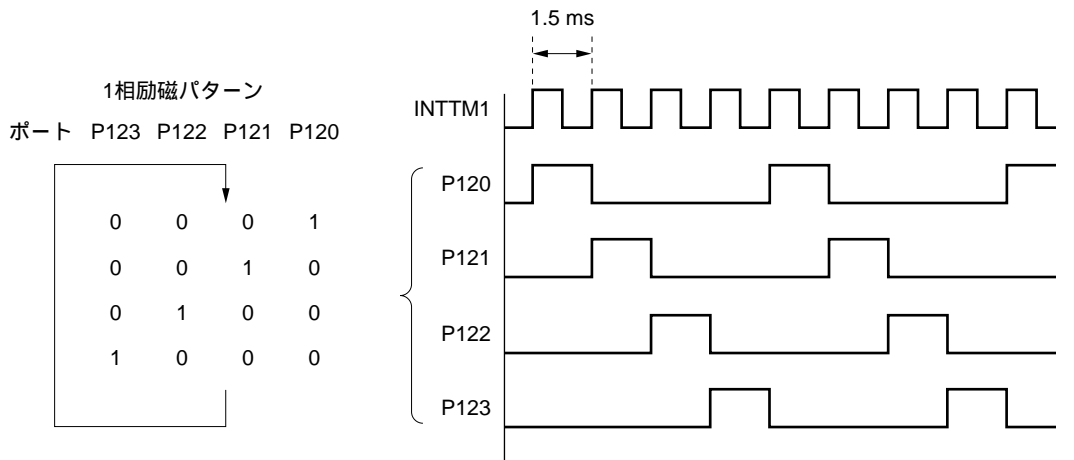
$$1 \text{ ステップ} = \frac{60 \text{ 秒}}{200 \text{ 回転} \times \frac{360 \text{ 度}}{1.8 \text{ 度}} \text{ ステップ}} = 1.5 \text{ ms}$$

8ビット・タイマ/イベント・カウンタ1のコンペア・レジスタ（CR10）を1.5msに設定し、リアルタイム出力バッファ・レジスタ（RTBL）の設定を行います。

リアルタイム出力ポート・コントロール・レジスタ（RTPC）の設定は、リアルタイム出力モードを4ビット×2チャンネルに、また出力トリガを8ビット・タイマ/イベント・カウンタ1の一致割り込み（INTTM1）にしてください（表11-1参照）。

図11-4に1相励磁出力パターンと出力タイミングを示します。

図11-4 1相励磁出力パターンと出力タイミング



(1) パッケージの説明

<パブリック宣言シンボル>

なし

<使用するレジスタ>

バンク3 A

<使用するRAM>

なし

<使用するフラグ>

なし

<ネスティング・レベル>

1レベル3バイト

<使用するハードウェア>

リアルタイム出力ポート
8ビット・タイマ/イベント・カウンタ1

<初期設定>

OSMS=#00000001B	発振モード選択レジスタ 分周回路を使用しない
P12=# x x x x 0000B	P120-P123出力ポートに設定
PM12=# x x x x 0000B	
TCL1=# x x x x 1010B	タイマ・クロック選択レジスタ1 (カウント・クロック131 kHz)
CR10=#195	コンペア・レジスタ (1.5 ms設定)
TMC1=#000000 x 1B	8ビット・タイマ・モード・コントロール・レジスタ1 (8ビット・タイマ/イベント・カウンタ1動作許可)
RTPM= x x x x 1111B	リアルタイム出力ポート・モード・レジスタ (下位4ビットをリアルタイム出力ポートとして使用)
RTPC=#00000000B	リアルタイム出力ポート・コントロール・レジスタ (4ビット×2チャンネル, INTTM1出力トリガにする)
RTBL=#00000001B	リアルタイム出力バッファ・レジスタ初期値設定
CLR1 TMIF1	8ビット・タイマ/イベント・カウンタ1割り込み要求フラグ・クリア
CLR1 TMMK1	8ビット・タイマ/イベント・カウンタ1割り込み許可

<起動方法>

動作開始時に、8ビット・タイマ/イベント・カウンタ1の割り込み要求フラグをクリアし、割り込みを許可してください。

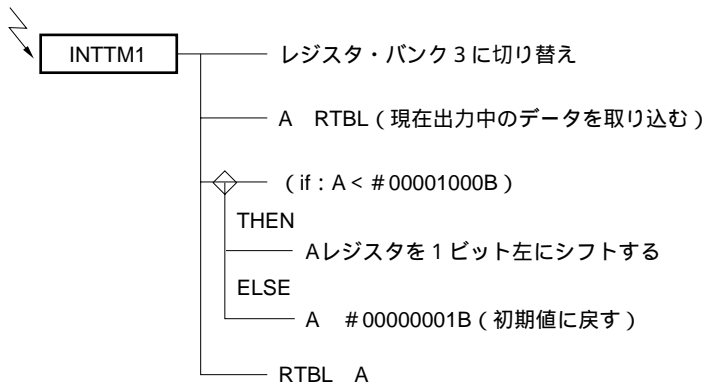
(2) 使用例

```

.
.
OSMS=#00000001B ;分周回路を使用しない
TCL1=#00001010B ;MORTER_DAT:8ビットタイマ1 カウントクロック131kHz
CR10=#196-1 ;コンパレータレジスタ1.5ms設定
P12=#00000000B ;
PM12=#11110000B ;P120-P123出力ポート設定
RTPM=#00001111B ;下位4ビット出力ポートに設定
RTPC=#00000000B ;INTTM1出力トリガにする
RTBL=#00000001B ;
TMC1=#00000001B ;8ビットタイマ1動作許可
CLR1 TMIF1 ;8ビットタイマ1割り込み要求フラグクリア
CLR1 TMMK1 ;8ビットタイマ1割り込み許可
EI ;
.
.

```

(3) SPDチャート



(4) プログラム・リスト

```

VET1M1 CSEG AT 24H
        DW INTTM1
;*****
; ステッピング・モータデータ出力処理
;*****
MOTER CSEG
INTTM1:
    SEL RB3 ;バンク3
    A=RTBL ;
    if(A < #8) ;次の出力データの用意
        A <<= 1 ;
    else ;
        A=#01H ;
    endif ;
    RTBL=A ;RTPL 出力データ
    RETI ;
    END ;

```

第12章 LCDコントローラ/ドライバの応用

μPD78064, 78064Y, 780308, 780308Y, 78064Bサブシリーズに内蔵しているLCDコントローラ/ドライバは、LCD表示モード・レジスタ(LCDM)、LCD表示コントロール・レジスタ(LCDC)により設定されます。

図12 - 1 LCD表示モード・レジスタのフォーマット
(μ PD78064, 78064Y, 78064Bサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDM	LCDON	LCDM6	LCDM5	LCDM4	0	LCDM2	LCDM1	LCDM0	FFB0H	00H	R/W

LCDM2	LCDM1	LCDM0	時分割表	バイアス法
0	0	0	4	1/3
0	0	1	3	1/3
0	1	0	2	1/2
0	1	1	3	1/2
1	0	0	スタティック	
上記以外			設定禁止	

LCDM6	LCDM5	LCDM4	LCDクロックの選択 ^注		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$f_w/2^9$ (76 Hz)	$f_w/2^9$ (64 Hz)	$f_w/2^9$ (64 Hz)
0	0	1	$f_w/2^8$ (153 Hz)	$f_w/2^8$ (128 Hz)	$f_w/2^8$ (128 Hz)
0	1	0	$f_w/2^7$ (305 Hz)	$f_w/2^7$ (256 Hz)	$f_w/2^7$ (256 Hz)
0	1	1	$f_w/2^6$ (610 Hz)	$f_w/2^6$ (512 Hz)	$f_w/2^6$ (512 Hz)
上記以外			設定禁止		

LCDON	LCD表示の許可 / 禁止
0	表示オフ (セグメント出力はすべて非選択信号出力)
1	表示オン

注 LCDクロックは時計用タイマから供給されています。LCD表示を行う場合には時計用タイマ・モード・コントロール・レジスタ (TMC2) のビット1 (TMC21) を1にセットしてください。
LCD表示中にTMC21を0にリセットするとLCDクロックの供給が停止し表示が乱れます。

- 備考1 . f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xT})
 2 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3 . f_x : メイン・システム・クロック発振周波数
 4 . f_{xT} : サブシステム・クロック発振周波数

図12-2 LCD表示モード・レジスタのフォーマット (μPD780308, 780308Yサブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDM	LDON	LCDM6	LCDM5	LCDM4	LCDM3	LCDM2	LCDM1	LCDM0	FFB0H	00H	R/W

LCDM2	LCDM1	LCDM0	時分割表	バイアス法
0	0	0	4	1/3
0	0	1	3	1/3
0	1	0	2	1/2
0	1	1	3	1/2
1	0	0	スタティック	
上記以外			設定禁止	

LCDM3 ^{注1}	LCDコントローラ/ ドライバの動作モード	LCDコントローラ/ドライバの電源電圧		
		スタティック表示モード	1/3バイアス法	1/2バイアス法
0	通常動作	2.0~5.5V	2.5~5.5V	2.7~5.5V
1	低電圧動作	2.0~3.4V		

LCDM6	LCDM5	LCDM4	LCDクロックの選択 ^{注2}		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$f_w/2^9$ (76 Hz)	$f_w/2^9$ (64 Hz)	$f_w/2^9$ (64 Hz)
0	0	1	$f_w/2^8$ (153 Hz)	$f_w/2^8$ (128 Hz)	$f_w/2^8$ (128 Hz)
0	1	0	$f_w/2^7$ (305 Hz)	$f_w/2^7$ (256 Hz)	$f_w/2^7$ (256 Hz)
0	1	1	$f_w/2^9$ (610 Hz)	$f_w/2^6$ (512 Hz)	$f_w/2^6$ (512 Hz)
上記以外			設定禁止		

LDON	LCD表示の許可/禁止
0	表示オフ (セグメント出力はすべて非選択信号出力)
1	表示オン

注1 . 消費電力低減のため、LCD表示を行わない場合は、LCDM3に0を設定してください。また、LCDM3を操作する場合は、必ずLCD表示をオフにしてから行ってください。

LCD表示中にTMC21を0にクリアすると、LCDクロックの供給が停止し表示が乱れます。

2 . LCDクロックは時計用タイマから供給されています。LCD表示を行う場合には時計用タイマ・モード・コントロール・レジスタ (TMC2) のビット1 (TMC21) を1にセットしてください。

LCD表示中にTMC21を0にリセットするとLCDクロックの供給が停止し表示が乱れます。

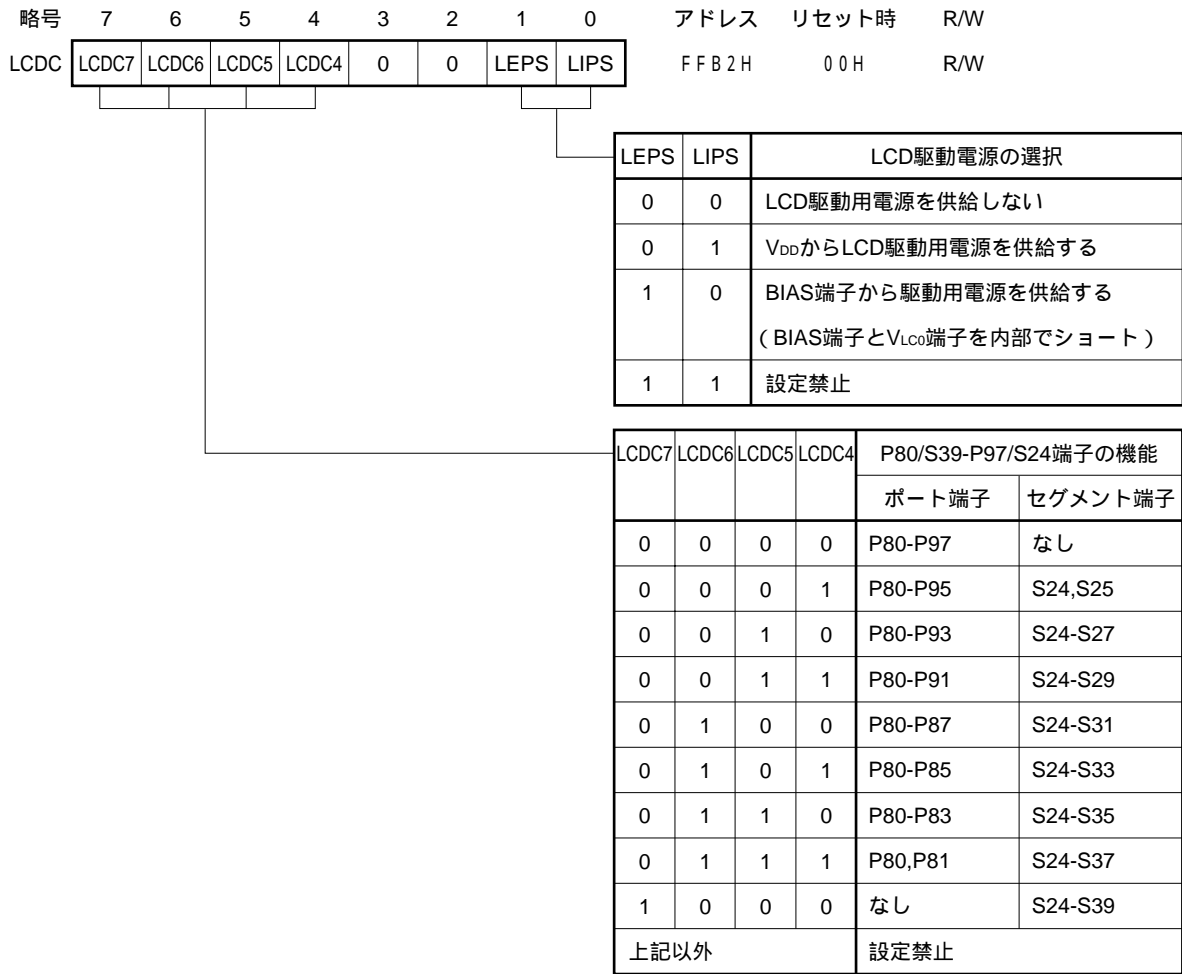
備考1 . f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})

2 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

3 . f_x : メイン・システム・クロック発振周波数

4 . f_{XT} : サブシステム・クロック発振周波数

図12 - 3 LCD表示コントロール・レジスタのフォーマット



- 注意1 . セグメント出力を行っている端子は、ポート・モード・レジスタに0を設定しても出力ポートとして使用できません。
- 2 . セグメント出力を行っている端子をポートとして読み出したときは0になります。
- 3 . LCDCでセグメント出力として設定した端子は、プルアップ抵抗オプション・レジスタH (PUOH) のビット0 , 1 (PUO8, PUO9) の値にかかわらず、内蔵プルアップ抵抗が使用されません。

μPD78064, 78064Y, 780308, 780308Yサブシリーズに内蔵しているLCDコントローラ/ドライバについて次に示します。

(a) LCDコントローラ/ドライバの機能

LCDコントローラ/ドライバの機能説明を次に示します。

表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。

5種類の表示モードが選択可能。

- ・スタティック・モード
- ・1/2デューティ・モード(1/2バイアス)
- ・1/3デューティ・モード(1/2バイアス)
- ・1/3デューティ・モード(1/3バイアス)
- ・1/4デューティ・モード(1/3バイアス)

各表示モードにおいて、4種類のフレーム周波数を選択可能。

セグメント信号出力は最大40本(S0-S39)、コモン信号出力は4本(COM0-COM3)。

セグメント信号出力のうち16本は、2本単位で入出力ポートに切り替え可能(P80/S39-P87/S32, P90/S31-P97/S24)。

マスクROM製品は、マスク・オプションでLCD駆動電圧発生用の分割抵抗の内蔵可能。

サブシステム・クロックによる動作も可能。

各表示モードにおける表示可能な最大画素数を表12 - 1 に示します。

表12 - 1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
-	スタティック	COM0 (COM0-COM3)	40 (40セグメント × 1 コモン) 注1
1/2	2	COM0, COM1	80 (40セグメント × 2 コモン) 注2
	3	COM0-COM2	120 (40セグメント × 3 コモン) 注3
1/3	3	COM0-COM2	
	4	COM0-COM3	160 (40セグメント × 4 コモン) 注4

注1 . 8セグ形のLCDパネルで8セグメント/桁を5桁表示可能。

2 . 8セグ形のLCDパネルで4セグメント/桁を10桁表示可能。

3 . 8セグ形のLCDパネルで3セグメント/桁を13桁表示可能。

4 . 8セグ形のLCDパネルで2セグメント/桁を20桁表示可能。

(b) LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。なお、LCDコントローラ/ドライバを使用する場合、あらかじめ時計用タイマを動作状態にしておいてください。

タイマ・クロック選択レジスタ2 (TCL2)、時計用タイマ・モード・コントロール・レジスタ (TMC2) に時計動作許可を設定する。

表示データ・メモリ (FA58H-FA7FH) に初期値を設定する。

LCD表示コントロール・レジスタ (LCDC) にセグメント出力として使用する端子を設定する。

LCD表示モード・レジスタ (LCDM) に表示モード、LCDクロックを設定する。

以後、表示内容に応じて表示データ・メモリにデータを設定してください。

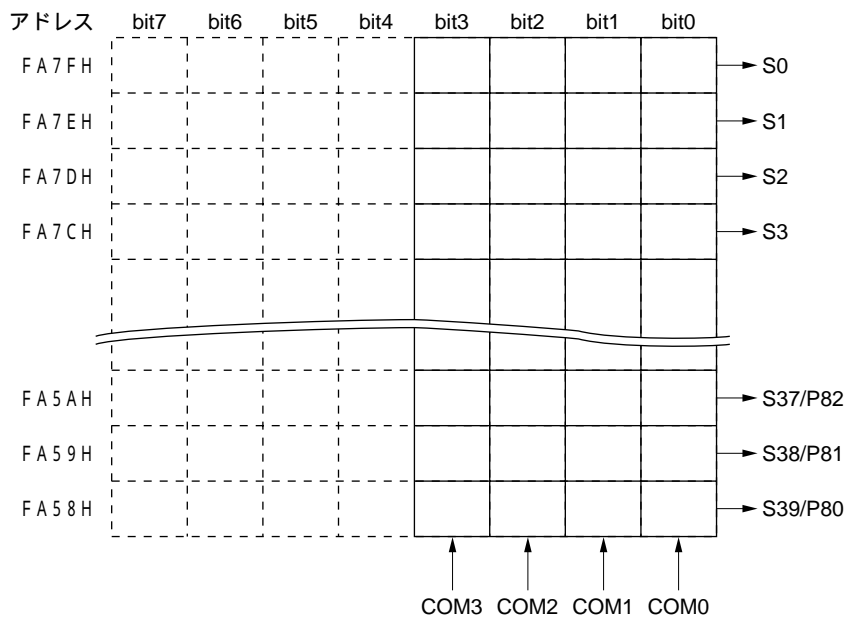
(c) LCD表示データ・メモリ

LCD表示データ・メモリは、FA58H-FA7FH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図12 - 4 にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図12 - 4 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

(d) コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

コモン信号

コモン信号は、設定する時分割数に応じて表12 - 2 に示す順序で選択タイミングとなり、それらを1周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2、COM3端子および3時分割の場合のCOM3端子は、オープンにしてください。

表12 - 2 COM信号

COM信号	COM0	COM1	COM2	COM3
時分割数				
スタティック				
2時分割			オープン	オープン
3時分割				オープン
4時分割				

セグメント信号

セグメント信号は、40バイトのLCD表示データ・メモリ（FA58H-FA7FH）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S39）に出力されます（ただし、S24-S39は入出力ポートと兼用になっています）。

したがって、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1-3、2時分割方式の場合のビット2、3、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できます。

なお、ビット4-7は0固定となっています。

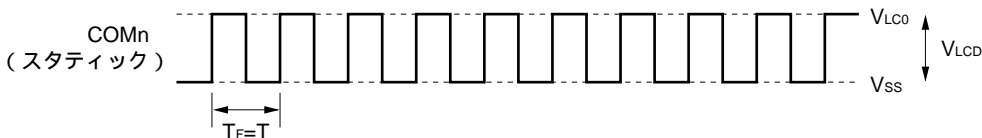
コモン信号とセグメント信号の出力波形

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ (LCD駆動電圧) の点灯電圧となり, それ以外の組み合わせで消灯電圧となります。

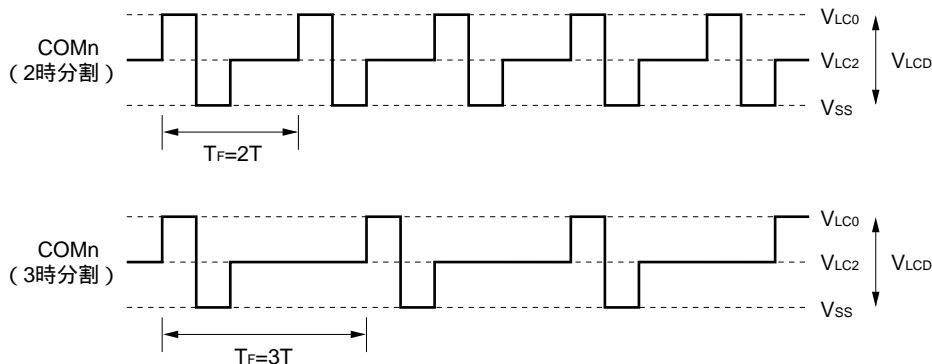
図12 - 5 にコモン信号波形を, 図12 - 6 にコモン信号とセグメント信号の電圧の位相を示します。

図12 - 5 コモン信号波形

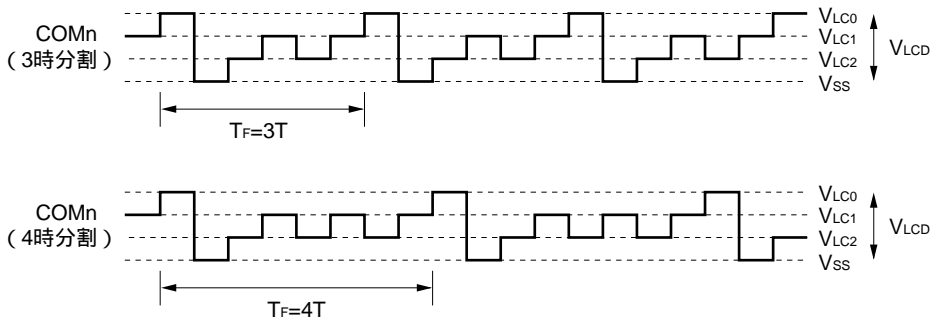
(a) スタティック表示モード



(b) 1/2バイアス法



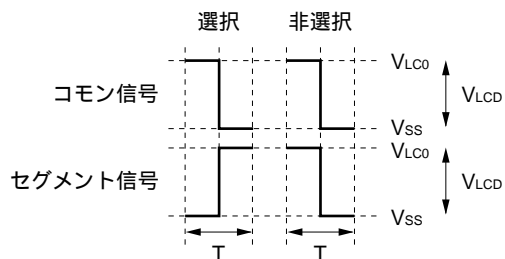
(c) 1/3バイアス法



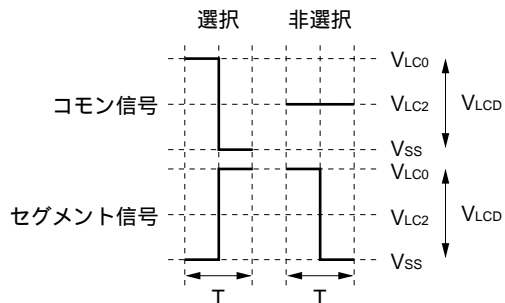
- 備考 1 . T : LCDCLの1周期分
- 2 . T_F : フレーム周波数
- 3 . V_{LCD} : LCD駆動電圧

図12 - 6 コモン信号とセグメント信号の電圧の位相

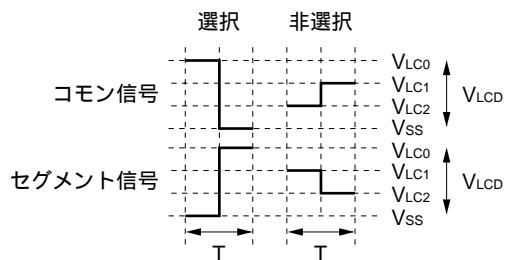
(a) スタティック表示モード



(b) 1/2バイアス法



(c) 1/3バイアス法



備考 1 . T : LCDCLの1周期分

2 . V_{LCD} : LCD駆動電圧

(e) LCD駆動電圧の供給

マスクROM製品は、LCD駆動電圧を作るための分割抵抗を、マスク・オプションにより内蔵することができます（PROM製品には、分割抵抗を内蔵していません）。分割抵抗を内蔵することにより、外付け分割抵抗なしで各バイアス法に応じたLCD駆動電圧を作ることができます。

また、各種LCD駆動電圧に対応するために、BIAS端子にLCD駆動電圧を供給することができます。

12.1 スタティック表示

ここでは、 μ PD78064サブシリーズを例に説明します。

セグメント信号32本 (S0-S31) およびコモン信号 (COM0) を使用したスタティック方式による4桁のLCD表示を行います。図12-7にスタティックLCDの表示パターンと電極結線、図12-8にLCDとセグメント信号、コモン信号との接続を示します。また、図12-9にスタティック表示モードによるLCD駆動用電源の接続例 (分割抵抗外付け時、 $V_{DD} = 5V$ 、 $V_{LCD} = 5V$ の例) を示します。図12-8のLCD表示例は“1234”で、表示データ・メモリ (FA60H-FA7FH番地) の内容はこれに対応しています。

ここでは、2桁目の“3”を例にとって説明します。図12-8の表示パターンに従って、COM0のコモン信号のタイミングで表12-3に示すような選択、非選択電圧をS8-S15端子に出力する必要があります。

表12-3 選択、非選択電圧 (COM0)

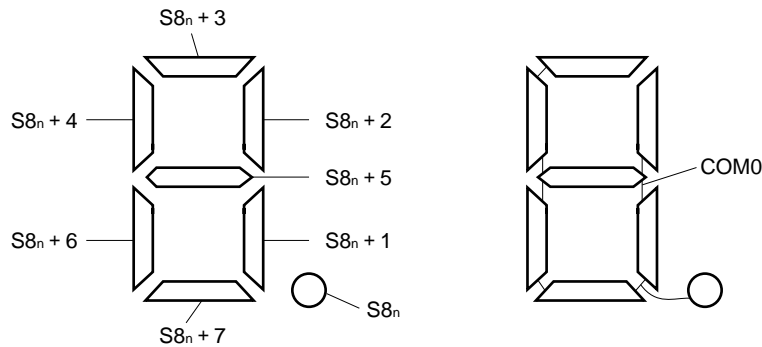
セグメント \ コモン	S8	S9	S10	S11	S12	S13	S14	S15
COM0	非	選	選	選	非	選	非	選

表12-3よりS8-S15に対応する表示データ・メモリ (FA70H-FA77H番地) のビット0には、10101110を用意すればよいことが分かります。

S11, S12とCOM0とのLCD駆動波形を図12-10に示します。

COM1-COM3には、COM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図12-7 スタティックLCDの表示パターンと電極結線



備考 n = 0-3

図12 - 8 スタティックLCDの接続図

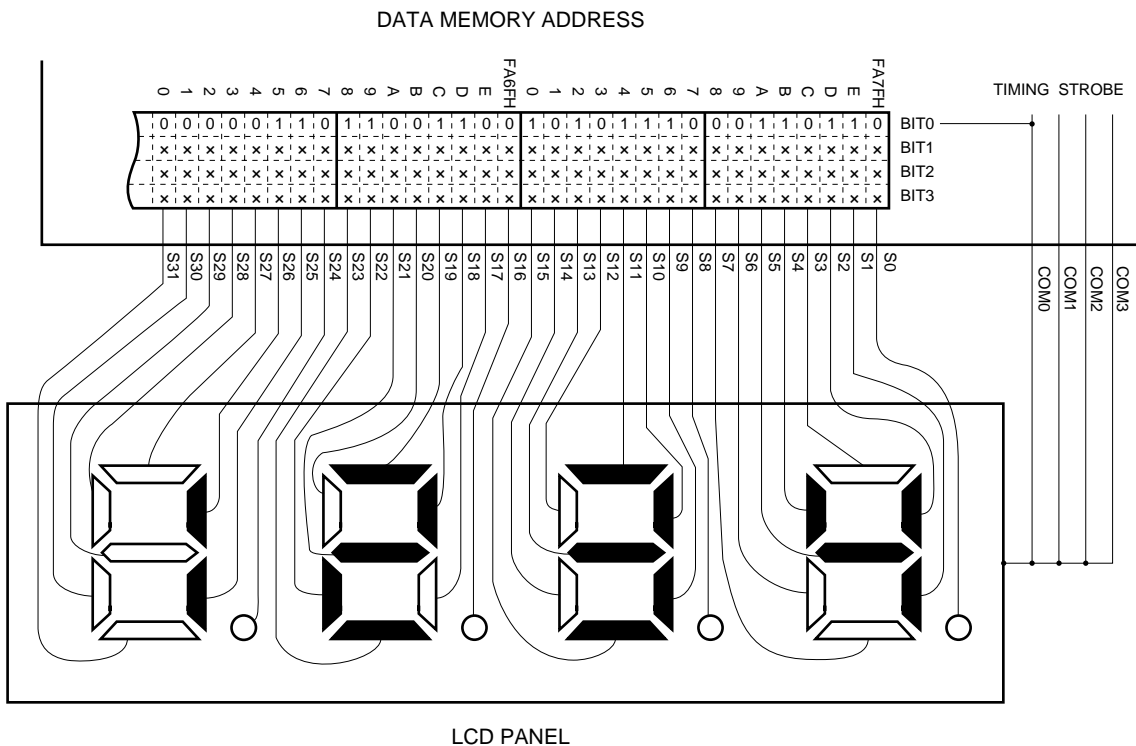


図12 - 9 スタティック表示モードによるLCD駆動用電源の接続例
(分割抵抗外付け時, $V_{DD} = 5V$, $V_{LCD} = 5V$ の例)

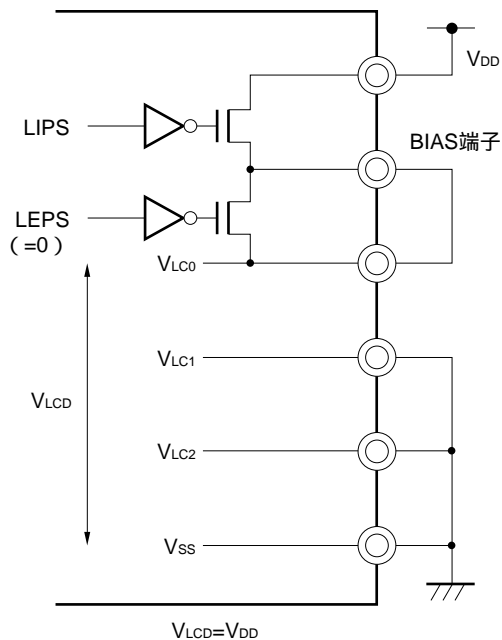
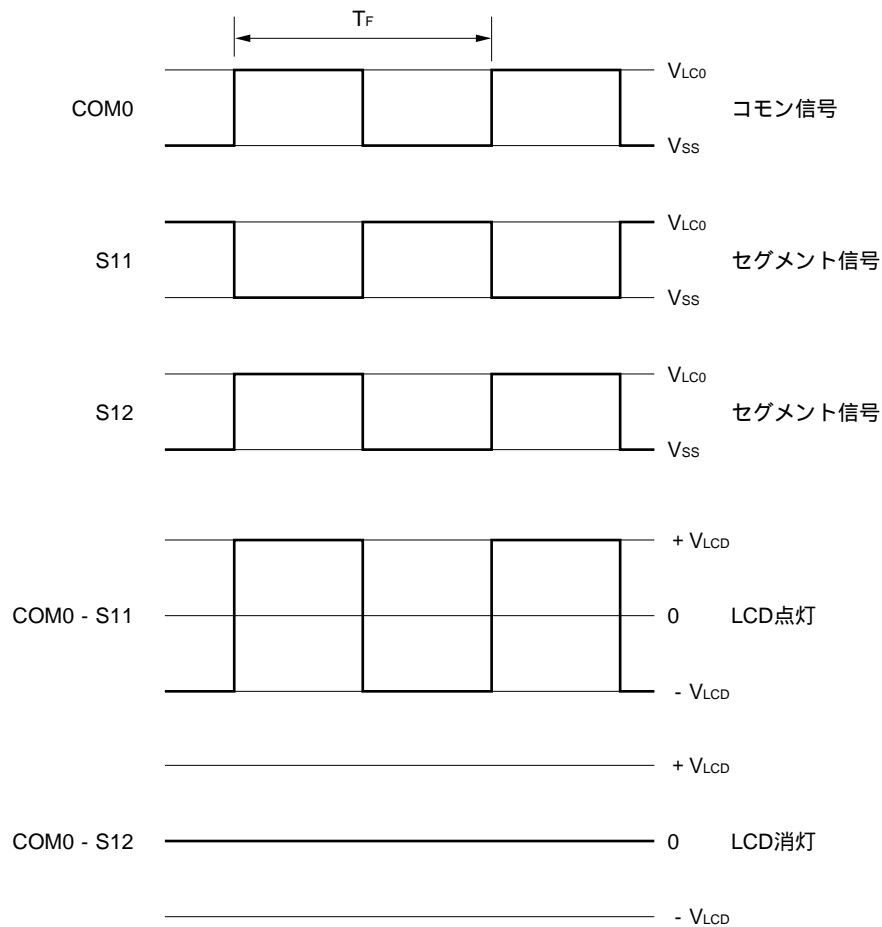


図12 - 10 スタティックLCD駆動波形例



備考 T_F : フレーム周波数

LCD表示は、コモン信号の波形を基本として、セグメント信号を出力します。

スタティックLCD表示は、図12 - 10に示すようなコモン信号 (COM0) に対して、フレーム周波数を半周期ずらして出力されたセグメント信号 (S11) により点灯します。これによりコモン信号とセグメント信号の電位差が常に発生し、この電位差によりLCDは点灯するのです。図12 - 10に示すCOM0 - S11を参照すると分かるように常に $\pm V_{LCD}$ (LCD駆動電圧) の電位差が生じています。

また、逆に消灯するときは、セグメント信号 (S12) をコモン信号 (COM0) の信号と同期した波形にして出力すれば、COM0 - S12のように電位差はなく、LCDが消灯したままであることが分かります。

(1) パッケージの説明

<パブリック宣言シンボル>

サブルーチン名

S_LCD : スタティック用表示データ格納ルーチン

入力パラメータ

B_LCD : LCD表示内容格納バッファ・エリア

データ定義参照名

S0 : LCD表示データ・メモリ参照番地 (FA7FH)

<使用するレジスタ>

バンク0 AX, DE, HL

<使用するRAM>

名称	用途	属性	バイト
B_LCD	LCD表示データ格納バッファ・エリア	SADDR	1
i	表示桁用ループ・カウンタ	SADDR	1
j	セグメント設定用ループ・カウンタ	SADDR	1
WORKP	表示データ格納エリア番地退避用エリア	SADDRP	2

<使用するフラグ>

なし

<ネスティング・レベル>

1レベル2バイト

<使用するハードウェア>

LCDコントローラ/ドライバ

<初期設定>

OSMS = #00000001B 発振モード選択レジスタ

TCL2 = #x x x 00 x x x B 時計用タイマのカウント・クロック = システム・クロック選択

TMC2 = #0 x x x x 1 x B LCDクロックの供給 (プリスケアラ動作許可)

LCDC = #01000010B LCD表示コントロール・レジスタ
(BIAS端子からLCD駆動電源供給, セグメントS24-S31端子使用)LCDM = #10100100B LCD表示モード・レジスタ
(スタティック表示設定, LCDクロックの選択, 表示オン)

注意 LCD表示オンに設定する前にLCD表示データ・メモリ (FA58H-FA7FH) に初期値を設定してください。

<起動方法>

B_LCDエリアに表示内容を設定してからS_LCDルーチンをコールしてください。

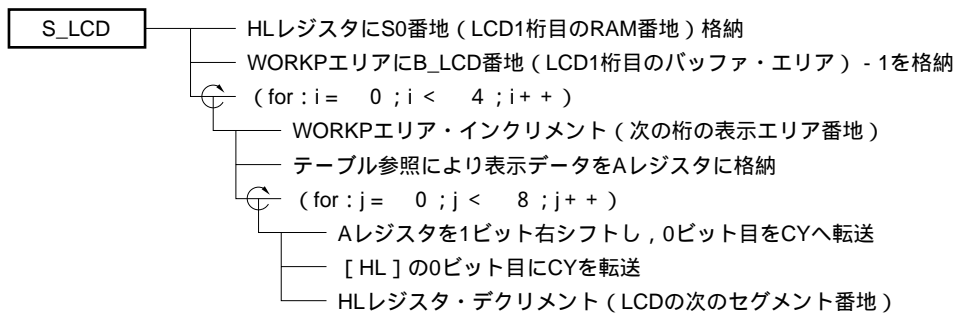
(2) 使用例

```

EXTRN  S_LCD,B_LCD,S0
      .
      .
      .
      HL=#S0                ;LCDRAM クリア
      BC=#0FA80H-0FA58H    ; (from FA58H to FA7FH)
      while(BC!=#0) (AX)   ;
      A=#0                  ;
      [HL]=A                ;
      HL--                  ;
      BC--                  ;
      endw                  ;
;
      B_LCD=#0              ;
      B_LCD+1=#0            ;
      B_LCD+2=#0            ;
      B_LCD+3=#0            ;
;
      TCL2=#00000000B      ;時計用タイマのカウント・クロック=メイン・システム・クロック選択
      TMC2=#00000010B      ;プリスケラの動作許可
      LCDC=#01000010B      ;BIAS端子からLCD駆動電源供給,セグメントS24-S31使用
      LCDM=#10100100B      ;スタティック表示,クロック256Hz選択,表示ON
;
      .
      .
      B_LCD+3=A            ;
      .
      .
      B_LCD+2=A            ;
      .
      .
      B_LCD+1=A            ;
      .
      .
      B_LCD=A              ;
      CALL  !S_LCD         ;
      .
      .

```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC S_LCD,B_LCD,S0
;
S0 EQU 0FA7FH ;LCD1桁目
;
LCDRAM1 DSEG SADDR
B_LCD: DS 4 ;表示用BUFエリア
i: DS 1 ;ワーク・カウンタ
j: DS 1 ;ワーク・カウンタ
LCDRAM2 DSEG SADDRP
WORKP: DS 2 ;ワーク・エリア
;*****
; LCD表示(スタティック表示)処理
;*****
LSDS CSEG
S_LCD:
HL=#S0 ;HL S0番地
WORKP=#B_LCD-1 ;ワーク・エリア B_LCD-1の番地
for(i=#0;i<#4;i++)
DE=WORKP (AX)
DE++ ;次の桁の内容の表示データを参照
WORKP=DE (AX)
X=[DE] (A)
A=#0
AX+=#LCDDAT
DE=AX
A=[DE]
for(j=#0;j<#8;j++)
RORC A,1 ;表示データをS0番地からの各ビット0に格納
[HL].0=CY
HL--
next
next
RET
LCDDAT:
DB 11011110B ;0
DB 00000110B ;1
DB 11101100B ;2
DB 10101110B ;3
DB 00110110B ;4
DB 10111010B ;5
DB 11111010B ;6
DB 00011110B ;7
DB 11111110B ;8
DB 10111110B ;9
DB 01111110B ;A
DB 11110010B ;B
DB 11011000B ;C
DB 11100110B ;D
DB 11111000B ;E
DB 01111000B ;F
DB 00000000B ;消灯
END

```

12.2 4時分割表示

ここでは、 μ PD78064サブシリーズを例に説明します。

セグメント信号16本 (S0-S15) およびコモン信号4本 (COM0-COM3) を使用した1/3バイアス法による4桁の4時分割表示を行います。図12-12に図12-11の表示パターンを持つ4時分割方式の4桁のLCDパネルと μ PD78064サブシリーズのセグメント信号 (S0-S15) およびコモン信号 (COM0-COM3) との接続を示します。また、図12-13に4時分割表示モードによるLCD駆動用電源の接続例 (分割抵抗外付け時, $V_{DD} = 5V$, $V_{LCD} = 5V$ の例) を示します。図12-12の表示例は“12345678”で、表示データ・メモリ (FA70H-FA7FH番地) の内容はこれに対応しています。

ここでは、3桁目の“6”を例にとって説明します。図12-12の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表12-4に示すような選択、非選択電圧をS4, S5端子に出力する必要があります。

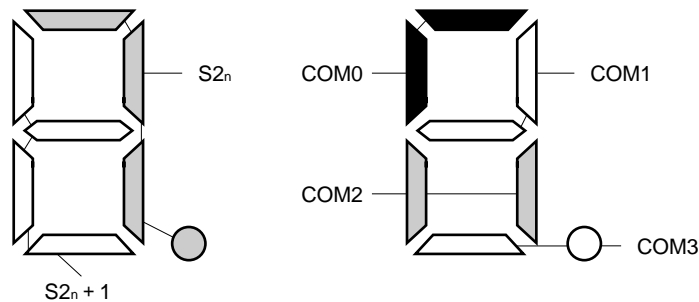
表12-4 選択、非選択電圧 (COM0, 1, 2, 3)

セグメント	S4	S5
コモン		
COM0	選 (a)	選 (e)
COM1	非 (b)	選 (f)
COM2	選 (c)	選 (g)
COM3	非 (d)	選 (h)

備考 表中の (a) - (h) は、図12-12のセグメントa-hに対応しています。

表12-4よりS4に対応する表示データ・メモリ (FA7BH番地) には、0101を用意すればよいことが分かります。S4とCOM0, COM1信号間のLCD駆動波形を図12-14に示します。

図12-11 4時分割LCDの表示パターンと電極結線



備考 n = 0-7

図12 - 12 4時分割LCDパネルの接続図

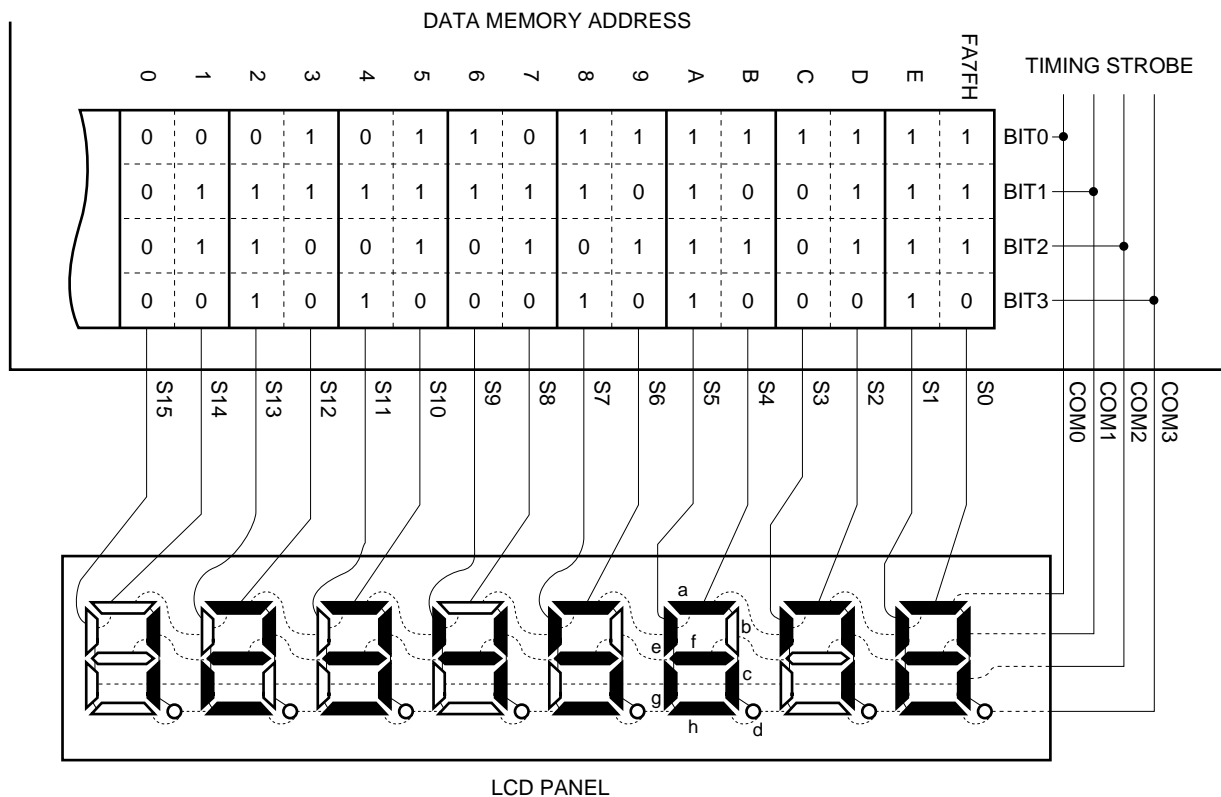


図12 - 13 4時分割表示モードによるLCD駆動用電源の接続例（分割抵抗外付け時， $V_{DD} = 5V$ ， $V_{LCD} = 5V$ の例）

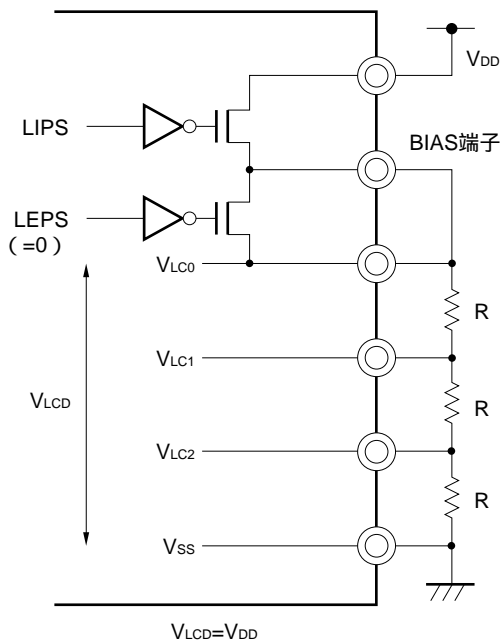
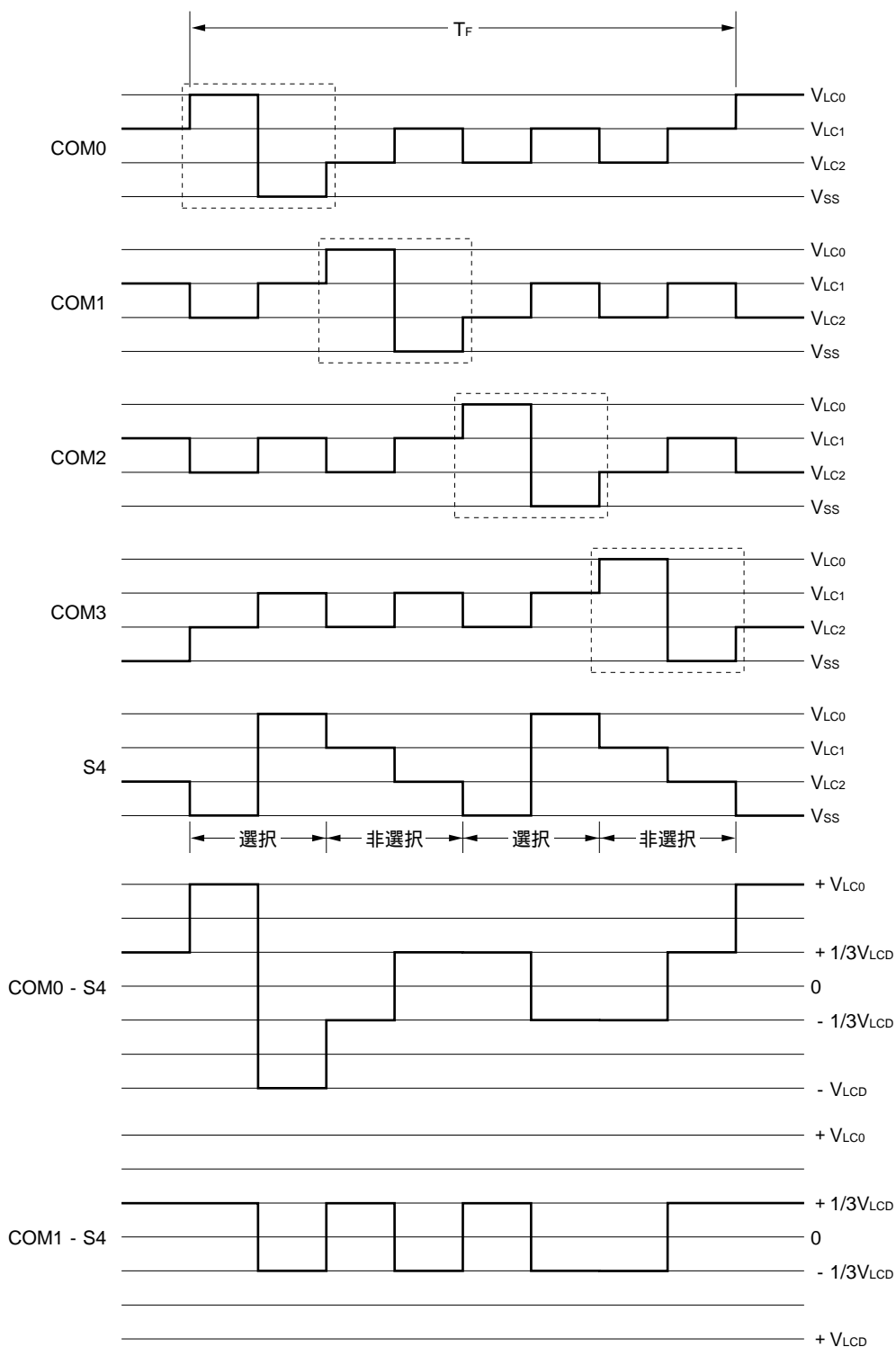


図12 - 14 4時分割LCD駆動波形例 (1/3バイアス法)



備考1 . T_F : フレーム周波数

2 . 点線による枠内が各コモン信号の有効波形です。

4時分割LCD表示は、図12-14に示すようにフレーム周波数(T_F)に対して4分の1ずつの周期により各コモン信号の有効タイミング(図12-14の点線による枠内)を出力しています。そのタイミングに対して各セグメント信号の出力を行い、LCDの消灯および点灯を行います。

たとえば、図12-14の各コモン信号(COM0-COM3)に対して、セグメント信号(S4)は、COM0とCOM2のタイミングでLCDが点灯する波形を出力しています。

各コモン信号とS4をそれぞれ見てみると、COM0とS4の場合はCOM0-S4の波形で分かるように、COM0の選択タイミング時に $\pm V_{LCD}$ (LCD駆動電圧)の電位差が生じています。また、COM2とS4の場合でも、COM2の選択タイミング時に $\pm V_{LCD}$ (LCD駆動電圧)の電位差が生じています。したがってCOM0、COM2とS4が指し示すセグメントが点灯します。

COM1とS4の場合は、COM1の選択タイミング時(図12-14のCOM1)のS4との電位差が $\pm 1/3V_{LCD}$ (図12-14のCOM1-S4)なのでLCDは消灯していることが分かります。

(1) パッケージの説明

<パブリック宣言シンボル>

サブルーチン名

S_4LCD : 4時分割用表示データ格納ルーチン

入力パラメータ

B_LCD : LCD表示内容格納バッファ・エリア

データ定義参照名

S0 : LCD表示データ・メモリ参照番地 (FA7FH)

<使用するレジスタ>

バンク0 AX, DE, HL

<使用するRAM>

名 称	用 途	属 性	バイト
B_LCD	LCD表示データ格納バッファ・エリア	SADDR	1
i	表示桁用ループ・カウンタ	SADDR	1
WORKP	表示データ格納エリア番地退避用エリア	SADDRP	2

<使用するフラグ>

なし

<ネスティング・レベル>

1レベル2バイト

<使用するハードウェア>

LCDコントローラ/ドライバ

<初期設定>

OSMS = #00000001B	発振モード選択レジスタ
TCL2 = #x x x 00 x x x B	時計用タイマのカウント・クロック = システム・クロック選択
TMC2 = #0 x x x x 1 x B	LCDクロックの供給 (プリスケアラ動作許可)
LCDC = #00000001B	LCD表示コントロール・レジスタ (V _{DD} からLCD駆動電源供給, セグメントS24-S31端子使用しない)
LCDM = #10100000B	LCD表示モード・レジスタ (4時分割表示設定, LCDクロックの選択, 表示オン)

注意 LCD表示オンに設定する前にLCD表示データ・メモリ (FA58H-FA7FH) に初期値を設定してください。

<起動方法>

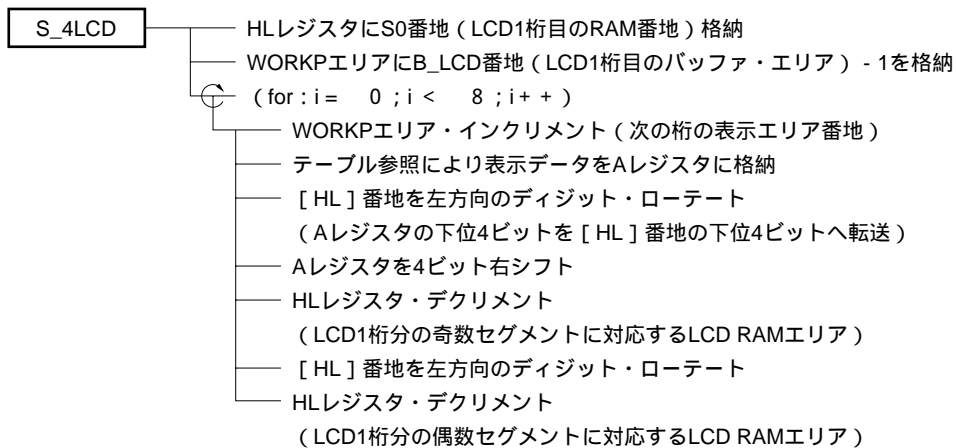
B_LCDエリアに表示内容を設定してからS_4LCDルーチンをコールしてください。

(2) 使用例

```

EXTRN  S_4LCD,B_LCD,S0
      .
      .
      .
      HL=#S0                ;LCDRAM クリア
      BC=#0FA80H-0FA58H    ; (from FA58H to FA7FH)
      while(BC!=#0) (AX)   ;
      A=#0                  ;
      [HL]=A                ;
      HL--                  ;
      BC--                  ;
      endw                  ;
;
      B_LCD=#0              ;
      B_LCD+1=#0            ;
      B_LCD+2=#0            ;
      B_LCD+3=#0            ;
;
      TCL2=#00000000B      ;時計用タイマのカウント・クロック=メイン・システム・クロック選択
      TMC2=#00000010B      ;プリスケラの動作許可
      LCDC=#00000001B      ;VDDから駆動電源供給,セグメントS24-S31使用しない
      LCDM=#10100000B      ;4時分割表示,クロック256Hz選択,表示ON
;
      .
      .
      B_LCD+3=A             ;
      .
      .
      B_LCD+2=A             ;
      .
      .
      B_LCD+1=A             ;
      .
      .
      B_LCD=A               ;
      CALL    !S_4LCD       ;
      .
      .
  
```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC S_4LCD,B_LCD,S0

S0      EQU      0FA7FH          ;LCD1桁目

LCD4RAM1 DSEG    SADDR
B_LCD:  DS      8              ;表示用BUFEリア
i:      DS      1              ;ワーク・カウンタ
LCD4RAM2 DSEG    SADDRP
WORKP:  DS      2              ;ワーク・エリア
;*****
;                               LCD表示(4時分割表示)処理
;*****
LSD4    CSEG
S_4LCD:
    HL=#S0                      ;HL S0番地
    WORKP=#B_LCD-1              ;
    for(i=#0;i<#8;i++)          ;
        DE=WORKP (AX)           ;
        DE++                     ;次の桁の内容の表示データを参照
        WORKP=DE (AX)           ;
        X=[DE] (A)              ;
        A=#0                     ;
        AX+=#LCDDAT             ;
        DE=AX                    ;
        A=[DE]                  ;
        ROL4 [HL]                ;[HL] アルジスタの下位4ビット
        A >>= 1                  ;アルジスタの上位4ビットを下位4ビットへシフト
        A >>= 1                  ;
        A >>= 1                  ;
        A >>= 1                  ;
        HL--                      ;HL--
        ROL4 [HL]                ;[HL] アルジスタの下位4ビット
        HL--                      ;HL--
    next                          ;
    RET                            ;
LCDDAT:
    DB 11010111B                 ;0
    DB 00000110B                 ;1
    DB 11100011B                 ;2
    DB 10100111B                 ;3
    DB 00110110B                 ;4
    DB 10110101B                 ;5
    DB 11110101B                 ;6
    DB 00010111B                 ;7
    DB 11110111B                 ;8
    DB 10110111B                 ;9
    DB 01110111B                 ;A
    DB 11110100B                 ;B
    DB 11010001B                 ;C
    DB 11100110B                 ;D
    DB 11110001B                 ;E
    DB 01110001B                 ;F
    DB 00000000B                 ;消灯
END

```

第13章 キー入力の実用

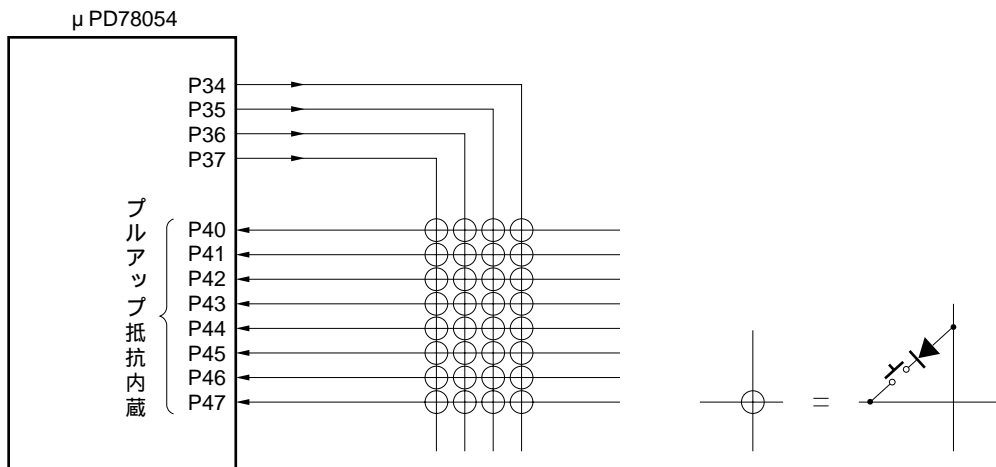
4 × 8 キー・マトリクスでのキー入力を行うプログラム例を示します。キー入力の使用は、連続押し、多重押しを可能とします。この回路の構成は、キー・スキャン信号にポート3の上位4ビット (P34-P37) を使用し、キー・リターン信号にポート4^注を使用しています。ポート4のキー・リターン用プルアップ抵抗は、ソフトウェアの設定による内蔵プルアップ抵抗を使用しています (図13-1参照)。

また、78K/0シリーズのポート4は8本並列に立ち下がりエッジ検出ができる機能を持っています。したがって、ポート4をキー・リターン信号用に使用すれば、立ち下がりエッジ検出、つまりキー入力により、スタンバイ状態の解除を行うことができます。

ここでは、μPD78054サブシリーズを例に説明します。

注 μPD78064, 78064Y, 780308, 780308Y, 78064Bサブシリーズの場合、ポート4をポート11に置き換えてください。

図13-1 キー・マトリクス回路



入力キーを1キー・1ビット対応でRAMに格納します。RAMデータは、押されているキーに対応するビットをセットし、離されているキーをクリアしています。したがって、RAMデータを先頭から1ビットずつテストしていくことで、キーの状態を知ることができます。チャタリングの吸収は、キー・コードが4回連続一致したときに、キーを有効にする方法を用いています。たとえば5msごとにサンプリングを行ったときは、15msから20msのチャタリングを吸収することになります。また、キー入力に変化があったときは、キー変化フラグ (KEYCHG) をセットします。

(1) パッケージの説明

<パブリック宣言シンボル>

KEYIN : キー入力サブルーチン名称
 KEYDATA : キー・データ格納エリア
 CHATCT : チャタリング・カウンタ
 KEYCHG : キー変化テスト用フラグ

<使用するレジスタ>

AX, DE, HL

<使用するRAM>

名 称	用 途	属 性	バイト
KEYDATA	有効なキー・データ格納	SADDR	4
WORK	チャタリング中のキー・データ格納		
CHATCT	チャタリング・カウンタ		1
WORKCT	ループ処理用ワーク・カウンタ		

<使用するフラグ>

名 称	用 途
CHGFG	キー入力変化でセット
KEYCHG	有効キーの変化でセット
CHTEND	チャタリング吸収終了確認

<ネスティング>

1 レベル 2 バイト

<使用するハードウェア>

P4
 P3 (P34-P37)

<初期設定>

PUO4=1 P4プルアップ抵抗内蔵
 PM3=#0000 x x x x B P3上位 4 ビット出力モード

<起動方法>

一定のインターバルごとにKEYINをコールしてください。
 キー変化フラグをテストしてから、キー・データを取り込んでください。また、キー変化フラグはサブルーチンでクリアしていませんので、フラグのテストのあとにクリアしてください。

(2) 使用例

```

        EXTRN  KEYDATA, CHATCT, KEYIN
        EXTBIT KEYCHG

VETM3  CSEG  AT 1EH
        DW    INTTM3                ; 時計用タイマのベクタ・アドレス設定

MAINDAT DSEG  SADDR
CT5MS:  DS    1

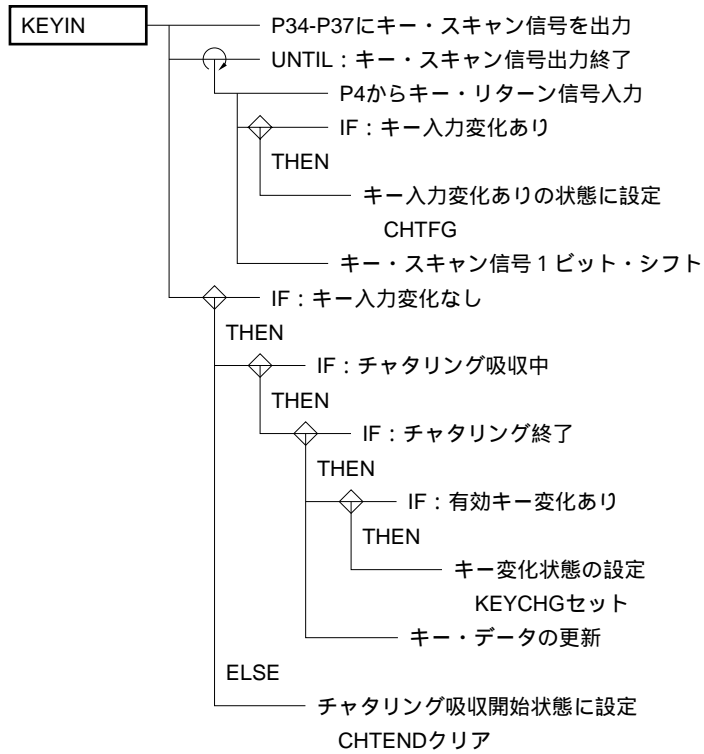
        :
        :
        TMC2=#00100110B
        CLR1  TMMK3
        CT5MS=#3

        PM3=#00000000B              ; P3を出力モードに設定
        SET1  PU0.4                  ; P4をプルアップ
        CHATCT=#3                    ; チャタリング・カウンタの初期設定
        :
        :
        if_bit(KEYCHG)               ; キー変化あり?
                CLR1  KEYCHG
                ; キー入力処理
        endif
        :
        :

;*****
;      時計用タイマ割り込み処理
;      インターバル1.95ms
;*****
INTTM3:                ; 1.95ms 割り込み処理
        :
        :
        DBNZ  CT5MS, $RTNTM3
        MOV   CT5MS, #3              ; 1.95ms x 3 経過
        CALL  !ANKEYIN

RTNTM3:
        :
        :
        RETI
    
```

(3) SPDチャート



(4) プログラム・リスト

```

PUBLIC KEYDATA, KEYCHG, KEYIN, CHATCT

KEY_DAT DSEG   SADDR
KEYDATA: DS    4           ; キー・データ格納エリア
WORK:   DS    4           ; チャタリング・キー・データ
CHATCT: DS    1           ; チャタリング・カウンタ
WORKCT: DS    1

KEY_FLG BSEG
CHGFG   DBIT           ; キー変更状態
KEYCHG  DBIT           ; キー変化あり
CHTEND  DBIT           ; チャタリング吸収終了状態

KEY_SEG CSEG
;*****
;*      マトリクス・キー入力
;*****
KEYIN:
    CLR1   CHGFG
    P3&=#00001111B
    P3|=#00010000B
    HL=#WORK           ; キー・ワーク・エリアのアドレス設定
    repeat
        A=P4
        A^=#11111111B   ; データ反転
        if(A!=[HL])     ; キー変化あり?
            SET1   CHGFG
            [HL]=A
        endif
        HL++
        A=P3           ; キー・スキャン1ビット・シフト
        A&=#11110000B
        X=A
        A=P3
        A+=X
        P3=A
    until_bit(CY)

    if_bit(!CHGFG)     ; キー変化
        if_bit(!CHTEND) ; チャタリング吸収中
            CHATCT--    ; チャタリング終了
            if(CHATCT==#0)
                SET1   CHTEND
                DE=#WORK
                HL=#KEYDATA
                for(WORKCT=#0;WORKCT<#4;WORKCT++)
                    if([DE]!=[HL]) (A) ; キー変化あり
                        SET1   KEYCHG
                    endif
                    A<->[HL]         ; WORKをKEYDATAに転送
                    HL++
                    DE++
                next
            endif
        endif
    else
        CHATCT=#3
        CLR1   CHTEND
    endif
RET

```

付録A SPDチャートの説明

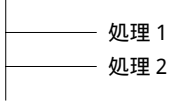

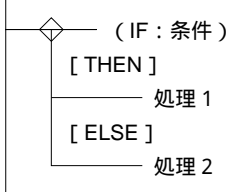
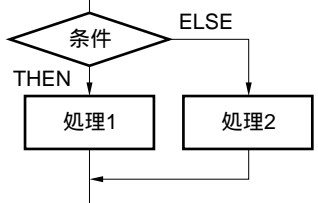
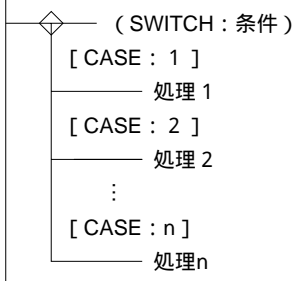
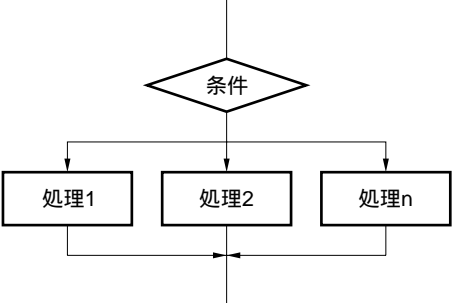
SPDとは、Structured Programming Diagramsの頭文字をとったもので、文字どおり訳せば「構造化プログラム図」と言えます。

構造化というのは、プログラムの論理処理の構造化のことで、論理の基本構造を用いて論理の設計、組み立てを行うことです。

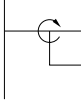
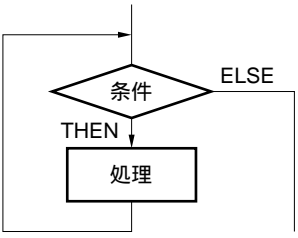
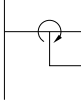
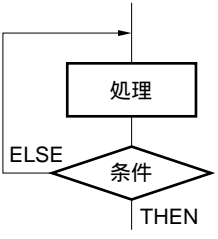

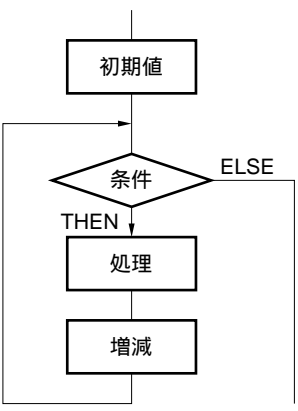
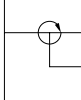
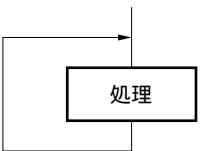
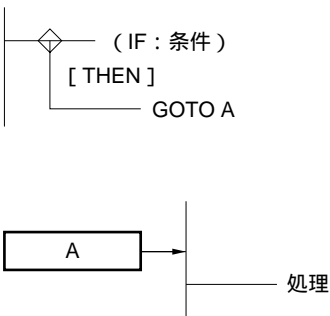
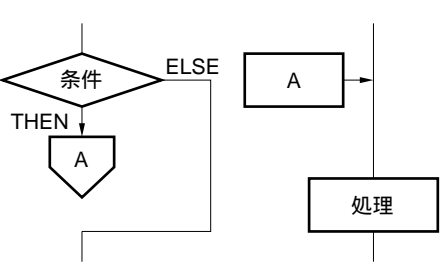
すべてのプログラムは、論理の基本構造（順次、選択、繰り返し）の組み合わせのみで作成することができ（これを構造化定理といいます）、構造化することでプログラムの流れが明確になり、信頼性が向上します。プログラムの構造化を表現するには、いろいろな方法がありますが、当社では、SPDという図式化技法を用いています。

以下に、SPD技法で用いるSPD記号の説明、およびフロー・チャート記号との対比を示します。

表A - 1 SPD記号とフロー・チャートの対比 (1/2)

処理名称	SPD記号	フロー・チャート記号
順次処理		
条件分岐 (IF)		
条件分岐 (SWITCH)		

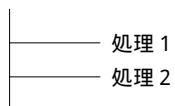
表A - 1 SPD記号とフロー・チャートの対比 (2/2)

処理名称	SPD記号	フロー・チャート記号
条件ループ (WHILE)	 <p>(WHILE : 条件) 処理</p>	
条件ループ (UNTIL)	 <p>(UNTIL : 条件) 処理</p>	
条件ループ (FOR)	 <p>(FOR : 初期値 ; 条件 ; 増減指定) 処理</p>	
無限ループ	 <p>(WHILE : forever) 処理</p>	
結合子	 <p>(IF : 条件) [THEN] GOTO A</p> <p>A</p> <p>処理</p>	

1. 順次処理

順次処理は、処理を上から下へ出現順に実行します。

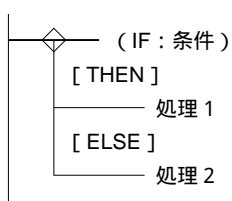
SPDチャート



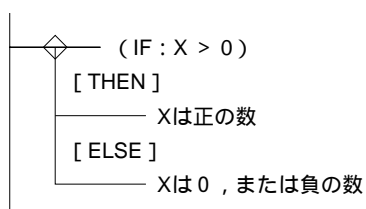
2. 条件分岐：2分岐 (IF)

IFに示した条件の真偽 (THEN/ELSE) により処理内容を選択します。

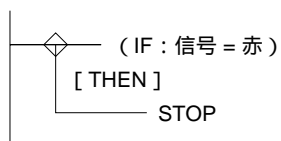
SPDチャート



例 1. Xの正負判別



2. 信号が赤ならSTOPする

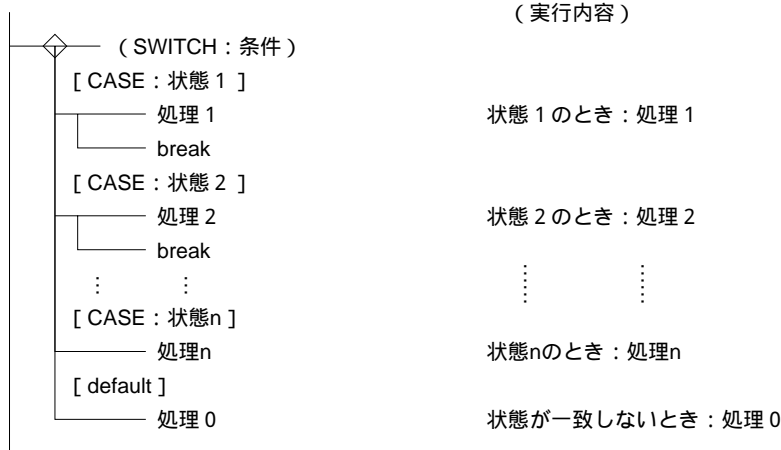


3 . 条件分岐：多分岐 (SWITCH)

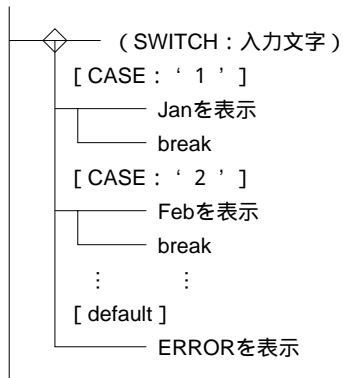
SWITCHに示した条件を，CASEで示された状態と比較し，処理を選択します。SWITCH文の処理は，一致した状態のみの処理を実行する場合と，一致した状態から下へ処理を続ける場合の二通りがあります（処理が下へ続かない場合は，‘ break ’ を記述）。また，一致した状態がない場合は，‘ default ’ の処理を実行します（‘ default ’ の記述は任意）。

(1) 一致した状態のみの場合

SPDチャート

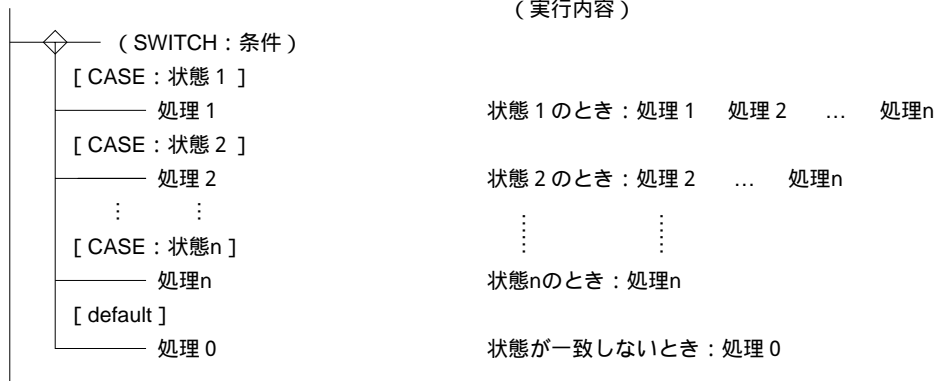


例 . 入力文字により，月名を表示する

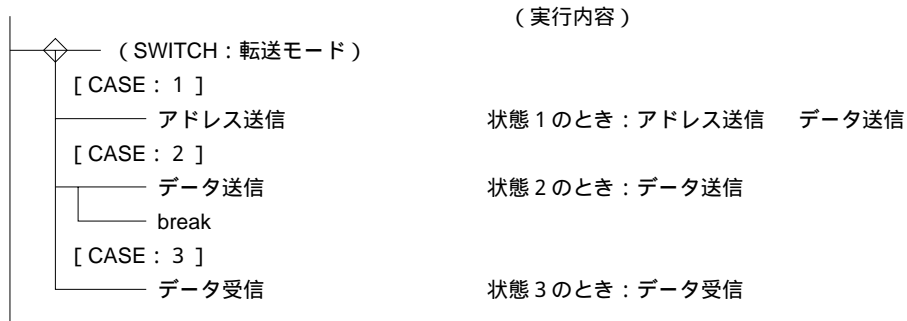


(2) 一致した状態から処理が続く場合

SPDチャート



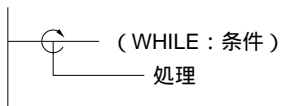
例 . シリアル・インタフェースの送受信



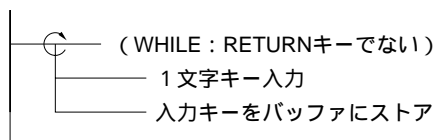
4 . 条件ループ (WHILE)

WHILEに示した条件を判定し、条件が成立している間、処理を繰り返し実行します（初めから条件が不成立の場合は、処理を実行しません）。

SPDチャート



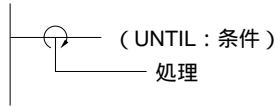
例 . RETURNキー入力があるまで、キーをバッファリングする



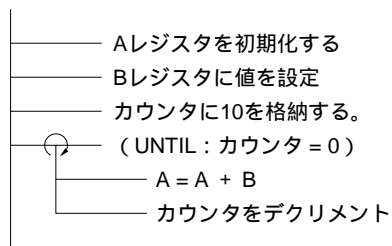
5. 条件ループ (UNTIL)

処理を行ったあとにUNTILに示した条件を判定し、条件が成立するまで処理を繰り返し実行します（初めから条件が不成立の場合でも、処理を一度実行します）。

SPDチャート



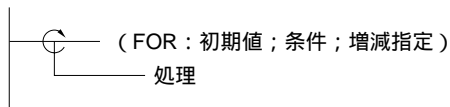
例. Bレジスタの値を10倍してAレジスタに格納する



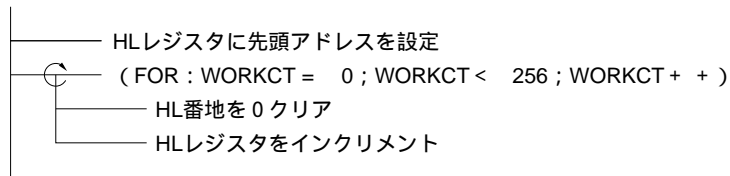
6. 条件ループ (FOR)

FORに示されたパラメータの条件が成立している間、処理を繰り返し実行します。

SPDチャート



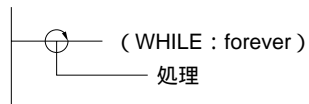
例. HL番地から256バイトを0クリアする



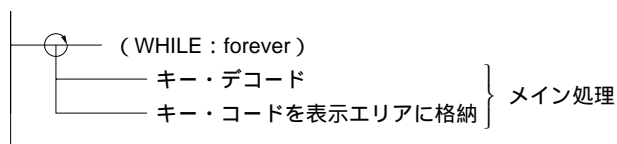
7. 無限ループ

WHILEの条件として ' forever ' を設定すると、処理を無限に繰り返し実行します。

SPDチャート



例．メイン処理を繰り返し実行する

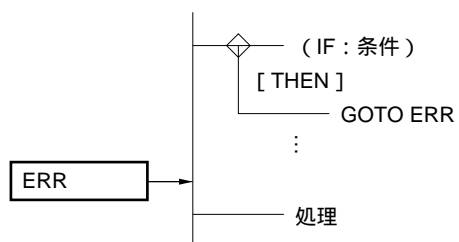


8. 結合子 (GOTO)

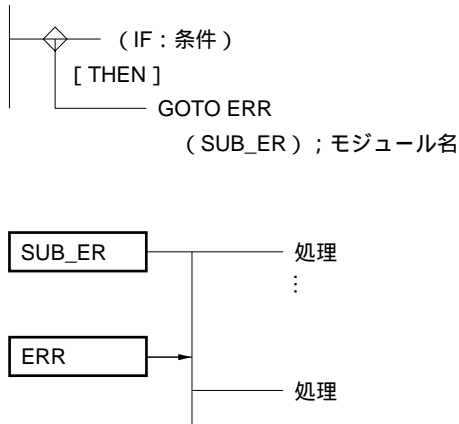
無条件に指定されたアドレスに分岐します。

SPDチャート

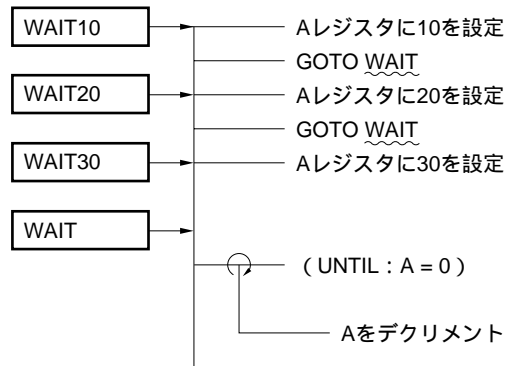
(1) 同じモジュールに分岐



(2) 異なるモジュールに分岐



例．サブルーチンの開始アドレスで，パラメータを選択しウエイトを設定する



9 . 結合子 (継続)

1 モジュールのSPDが，複数のページにおよぶ場合に使用し，処理の流れを示します。

SPDチャート



付録B 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版 数	前版からの主な改版内容	適用箇所
第 2 版	対象製品として次の製品を追加 μ PD780018, 780018Y, 780058, 780058Y, 780308, 780308Y, 78058F, 78058FY, 78064B, 78075B, 78075BY, 78098Bサブシリーズ, μ PD78070A, 78070AY μ PD78052(A), 78053(A), 78054(A) μ PD78062(A), 78063(A), 78064(A) μ PD78081(A), 78082(A), 78P083(A), 78081(A2) μ PD78058F(A), 78058FY(A) μ PD78064B(A)	全般
	対象製品から次の製品を削除 μ PD78P054Y, 78P064Y, 78074, 78075, 78074Y, 78075Y	
	図 4 - 5 ウォッチドッグ・タイマ・モード・レジスタのフォーマット に注 2 , 注意 2 を追加	第 4 章 ウォッチドッグ・タイマの応用
	図 5 - 8 外部割り込みモード・レジスタ 0 のフォーマット に注意を追加	第 5 章 16ビット・タイマ/イベント・カウンタの応用
	表 8 - 2 各サブシリーズに対応する項目一覧 を追加	第 8 章 シリアル・インタフェースの応用
	表 8 - 3 シリアル・インタフェースのレジスタ一覧 を追加	
	図 8 - 7 , 8 - 8 シリアル動作モード・レジスタ 0 のフォーマット にウエイク・アップ使用時の注を追加, 動作モードを切り替える場合の注意を追加	
	図 8 - 16 , 8 - 17 自動データ送受信間隔指定レジスタのフォーマット に注意を追加	
	図 8 - 23 , 8 - 24 シリアル・インタフェース端子選択レジスタのフォーマット を追加	
	8.1 EEPROM™ (μ PD6252) とのインタフェース μ PD6252を保守製品化	
	8.1.2 I²Cバス・モードの通信に (5) I²Cバス・モード使用時の制限事項 を追加	
	8.5 アシンクロナス・シリアル・インタフェース (UART) モードのインタフェースに (f) UARTモード使用時の制限事項 を追加	

版 数	前版からの主な改版内容	適用箇所
第2版	次のレジスタのフォーマット，表をサブシリーズごとに分けて記載 図8-14，8-15 自動データ送受信コントロール・レジスタのフォーマット 表8-4，8-5，8-6 シリアル・インタフェース・チャネル2の動作モードの設定一覧	第8章 シリアル・インタフェースの応用
	図11-3 ポート・モード・レジスタ12のフォーマットを追加	第11章 リアルタイム出力ポートの応用
	次のレジスタのフォーマットをサブシリーズごとに分けて記載 図12-1，12-2 LCD表示モード・レジスタのフォーマット	第12章 LCDコントローラ/ドライバの応用
第3版	対象製品として次の製品を削除 μPD78094, 78095, 78096, 78098A, 78P098A, 780016, 780018, 78P0018A, 780016Y, 780018Y, 78P0018Y, 78074BY, 78075BY, 780058, 780058Y	全般
	対象製品として次の製品を追加 μPD780058B, 780058BY	
	タイマ・クロック選択レジスタ2(TCL2)の注意文を変更	第4章 ウォッチドッグ・タイマの応用
	16ビット・タイマのソフトウェア・トリガによるワンショット・パルス出力使用時の注意点を追加	第5章 16ビット・タイマ/イベント・カウンタの応用
	タイマ・クロック選択レジスタ2(TCL2)の注意文を変更	第7章 時計用タイマの応用

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] 78K/0シリーズ アプリケーション・ノート 基礎編 ()
(U10182JJ3V0AN00 (第3版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名,その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に)をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン,字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章,第 章,第 章,第 章,その他)
理由 []

3. わかりにくい所(第 章,第 章,第 章,第 章,その他)
理由 []

4. ご意見,ご要望

5. このドキュメントをお届けしたのは
NEC販売員,特約店販売員,その他()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか,最寄りの販売員にコピーをお渡ししてください。

日本電気(株)NECエレクトロニクス
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6