

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX シリーズ

PPG を用いた 4 相パルス出力

要旨

H8SX シリーズは、H8/300、H8/300H、H8S の各 CPU の上位互換のアーキテクチャを持ち、豊富な周辺機能を継承するとともに、更なる性能向上をコンセプトに乗算/除算器を内蔵した最高動作周波数 50MHz、内部 32 ビット構成の H8SX CPU を核としたマイクロコンピュータです。

H8SX シリーズアプリケーションノートは、H8SX シリーズの内蔵周辺機能を単独で使用した場合の動作例を示した“基礎編”により構成されており、ユーザにてソフトウェア設計およびハードウェア設計の際、ご参考として役立てていただけるようにまとめたものです。

なお、本アプリケーションノートに掲載されているプログラム、回路等の動作は確認しておりますが、実際にご使用になる場合は、必ず動作確認の上ご使用くださいますようお願い致します。

目次

1. 概要	2
2. 構成	2
3. サンプルプログラム	4

1. 概要

H8SX シリーズの 16 ビットタイマパルスユニット (TPU) の 1 つのチャンネルとプログラマブルパルスジェネレータ (PPG) の 1 つの出力グループを用いて、4 相のパルス出力を行います。TPU0 ~ TPU3 のタイマ 4 チャンネルと PPG 出力グループ 0 ~ 3 の全てを使用すると 4 ビット × 4 系統の非同期パルス出力を行うこともできます。

PPG の起動要因には TPU のコンペアマッチを使用します。また複数のパルス出力間でノンオーバーラップ期間を設定することができます。

2. 構成

16 ビットタイマパルスユニットのチャンネル 3 (TPU3) とプログラマブルパルスジェネレータ (PPG) の出力グループ 3 を用いたサンプルを示します。TPU3 のタイマジェネラルレジスタ A (TGRA_3) とタイマジェネラルレジスタ B (TGRB_3) のコンペアマッチをパルス出力のトリガとして使用します。PPG ではコンペアマッチ B ではパルス出力の "H" "L" が行われ、コンペアマッチ A ではパルス出力の "L" "H" が行われます。したがってコンペアマッチ B 発生からコンペアマッチ A 発生までの間がノンオーバーラップ期間となります。PPG のネクストデータレジスタ (NDR) の更新処理はコンペアマッチ B 発生からコンペアマッチ A 発生までの間には行わず、コンペアマッチ A 発生からコンペアマッチ B 発生までの間に行う (実装としてはコンペアマッチ A 割り込み処理内で行う) ことになります。パルス出力のタイミングはタイマジェネラルレジスタに設定できる値の範囲で任意に設定できます。周辺モジュールクロック (P) 25MHz 動作時でカウントクロックを P / 1 とした場合、タイマジェネラルレジスタに設定できるのは最大 2.62msec までとなります。図 1 にブロック図を示します。

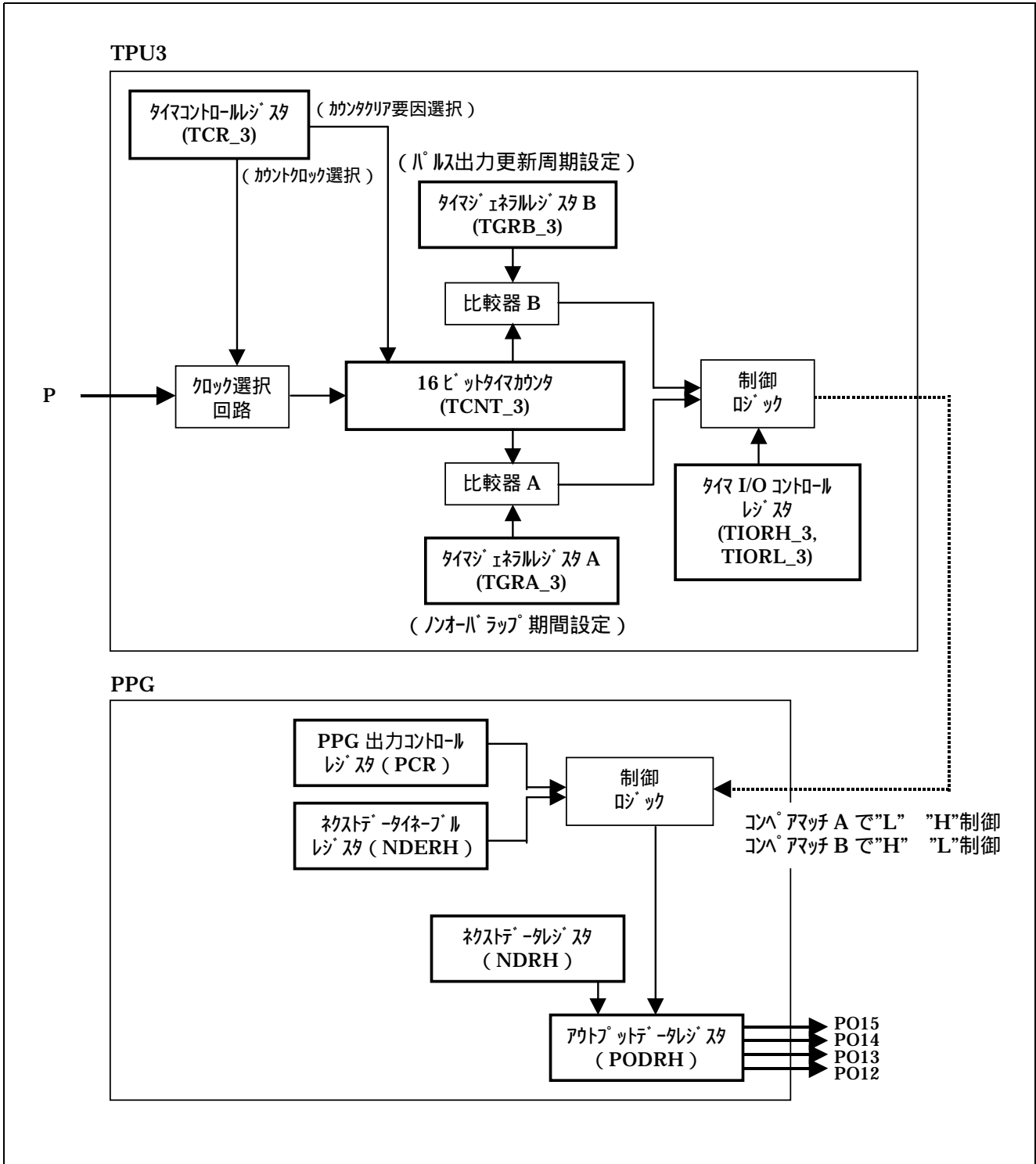


図 1 PPG を用いた 4 相パルス出力ブロック図

また、ノンオーバーラップ 4 相パルス出力例を図 2 に示します。

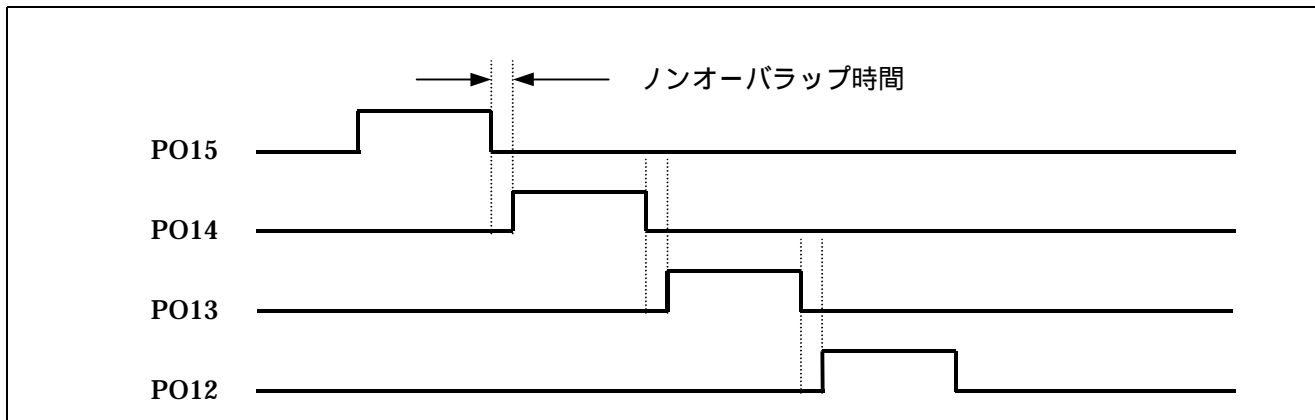


図2 ノンオーバーラップ 4 相パルス出力例

3. サンプルプログラム

3.1 機能

パルス出力のトリガ周期（パルス出力を更新する周期）、ノンオーバーラップ期間のそれぞれに相当するタイマカウント値がタイマジェネラルレジスタ B、タイマジェネラルレジスタ A への設定値となりますが、2 つの時間に相当するタイマ値は次の式から算出することができます。

$$\text{トリガ周期} = \text{TGRB}_3 \text{ に設定するタイマ値} \times \text{TPU3 のカウントクロック}$$

$$\text{ノンオーバーラップ期間} = \text{TGRA}_3 \text{ に設定するタイマ値} \times \text{TPU3 のカウントクロック}$$

ここでは TPU3 のカウントクロックは周辺モジュール (P) / 1 としますので、P = 25MHz 時には TPU3 のカウントクロック = 40nsec となります。また、ノンオーバーラップ期間 < トリガ周期 (TGRA_3 < TGRB_3) でなければいけません。動作例を図 3 に示します。

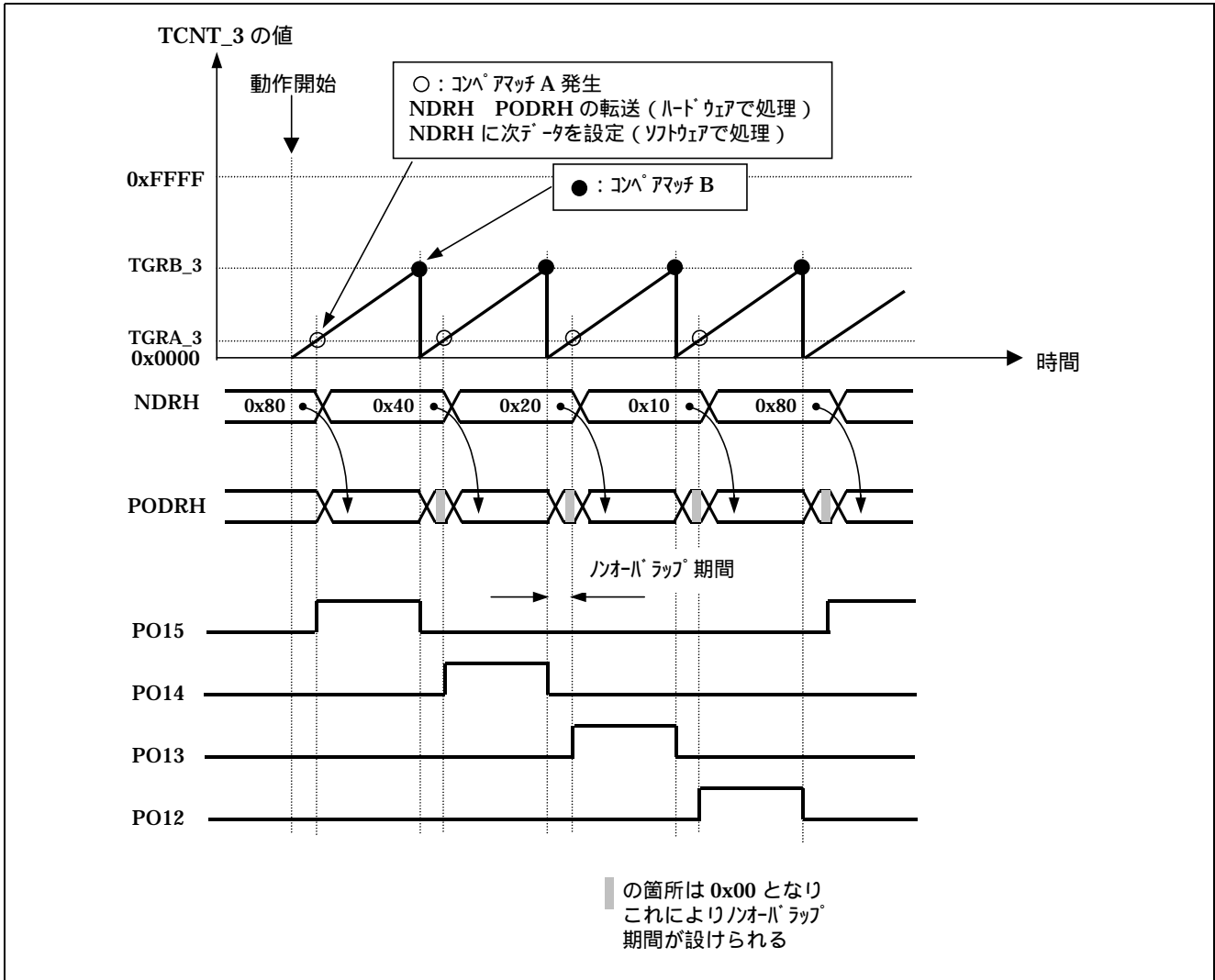


図 3 ノンオーバーラップ 4 相パルス出力動作例

使用する TPU3 および PPG の機能設定を表 1 に示します。

表 1 TPU3 および PPG の機能設定

区分	名称	機能	
共通	レジスタ	MSTPCRA	TPU および PPG のモジュールストップモードの解除
	レジスタ	TSTR	TPU3 のタイマカウント動作 / 停止の設定
TPU3	レジスタ	TCR_3	TCNT_3 のカウントクロック、カウンタクリア要因の設定
	レジスタ	TGRA_3	ノンオーバーラップ期間に相当するコンペアマッチカウンタ値
	レジスタ	TGRB_3	パルス出力トリガ周期に相当するコンペアマッチカウンタ値
	レジスタ	TIORH_3	コンペアマッチ発生時の出力なしの設定
	レジスタ	TIER_3	コンペアマッチ A による割り込み許可
PPG	レジスタ	PMR	ノンオーバーラップモードの設定
	レジスタ	PCR	パルス出力トリガの設定
	レジスタ	NDERH	PO15 ~ PO12 のパルス出力の許可
	レジスタ	NDRH	PO15 ~ PO12 の次の出力データを格納
	レジスタ	PODRH	PO15 ~ PO12 の出力データを格納
出力端子	PO15 ~ PO12	パルス出力端子	

3.2 関数仕様

パルス出力の設定を行う関数をサンプルプログラムとして示します。以下に関数仕様を示します。

(1) PPG による 4 相パルス出力の設定ルーチン

```
void ppg4_set ( unsigned short non_overlap_count, unsigned short trigger_count )
```

引数	説明
non_overlap_count	ノンオーバーラップ期間に相当するタイマ値を指定します。 non_overlap_count < trigger_count でなければ正常な動作が行われません。 カウントクロックは P / 1 固定としています。
trigger_count	パルス出力のトリガ周期に相当するタイマ値を指定します。 trigger_count > non_overlap_count でなければ正常な動作が行われません。 カウントクロックは P / 1 固定としています。

戻り値	説明
なし	-

(2) コンペアマッチ A 割り込みハンドラ

```
void inthdr_compareA ( void )
```

TPU3 の割り込みハンドラであるため、引数および戻り値はありません。また、割り込みベクタテーブルに本割り込みハンドラを登録する必要があります。

使用例)

```
#define TRIGGER_TIME      2000      // 遅延時間 : 2000 μ sec
#define NON_OVERLAP_TIME  100      // High 幅   : 100 μ sec
#define P_CLOCK           25       // P   ( MHz )
                                // 外部関数参照宣言

extern void ppg4_set ( unsigned short, unsigned short );

void main( void )              // メインルーチン
{
    unsigned short  trigger;
    unsigned short  nonoverlap;

    trigger = ((unsigned short)TRIGGER_TIME *P_CLOCK);
    nonoverlap = ((unsigned short)NON_OVERLAP_TIME *P_CLOCK);
                                // ノンオーバーラップパルス

    ppg4_set ( nonoverlap, trigger );

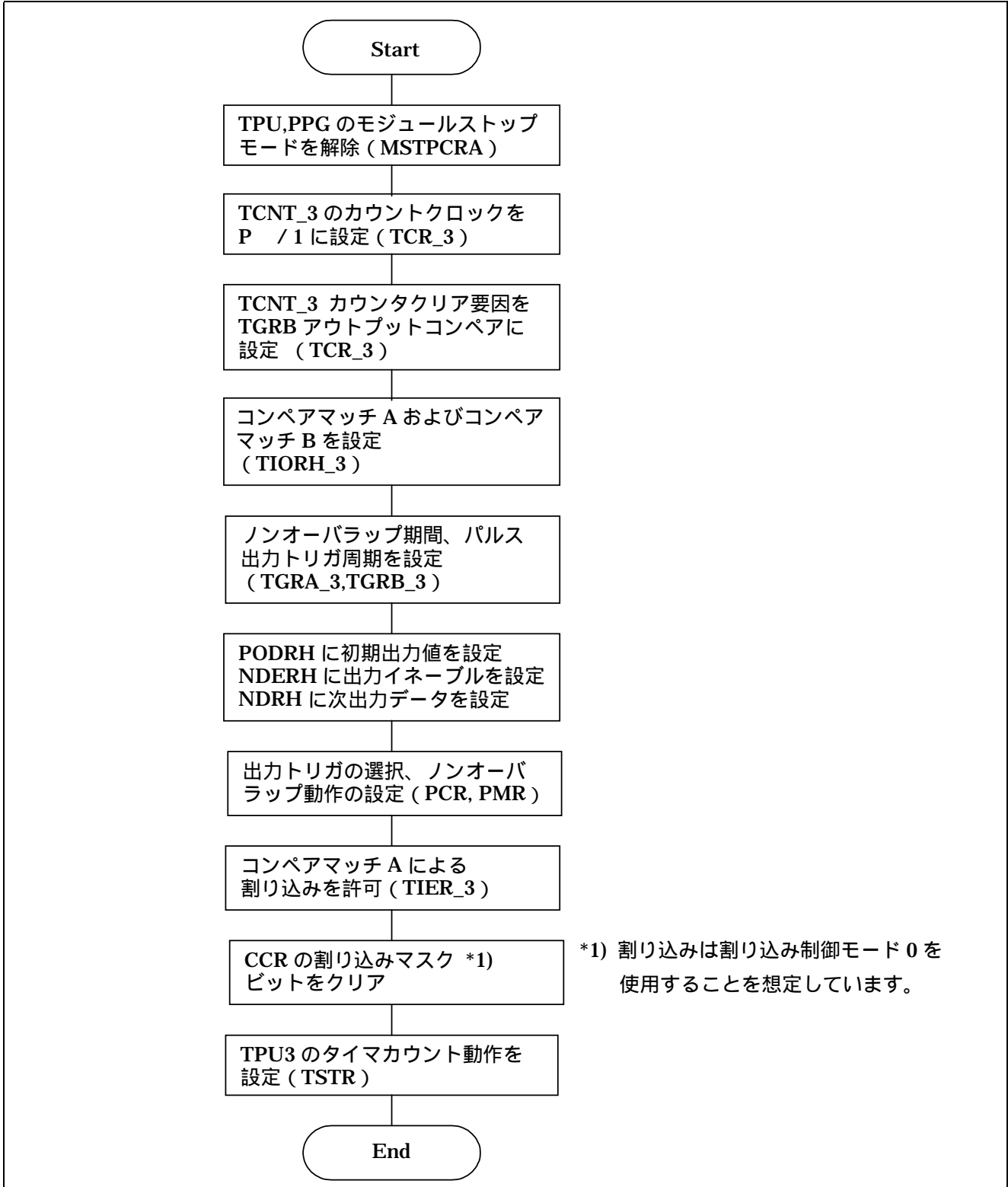
    . . .

}
```

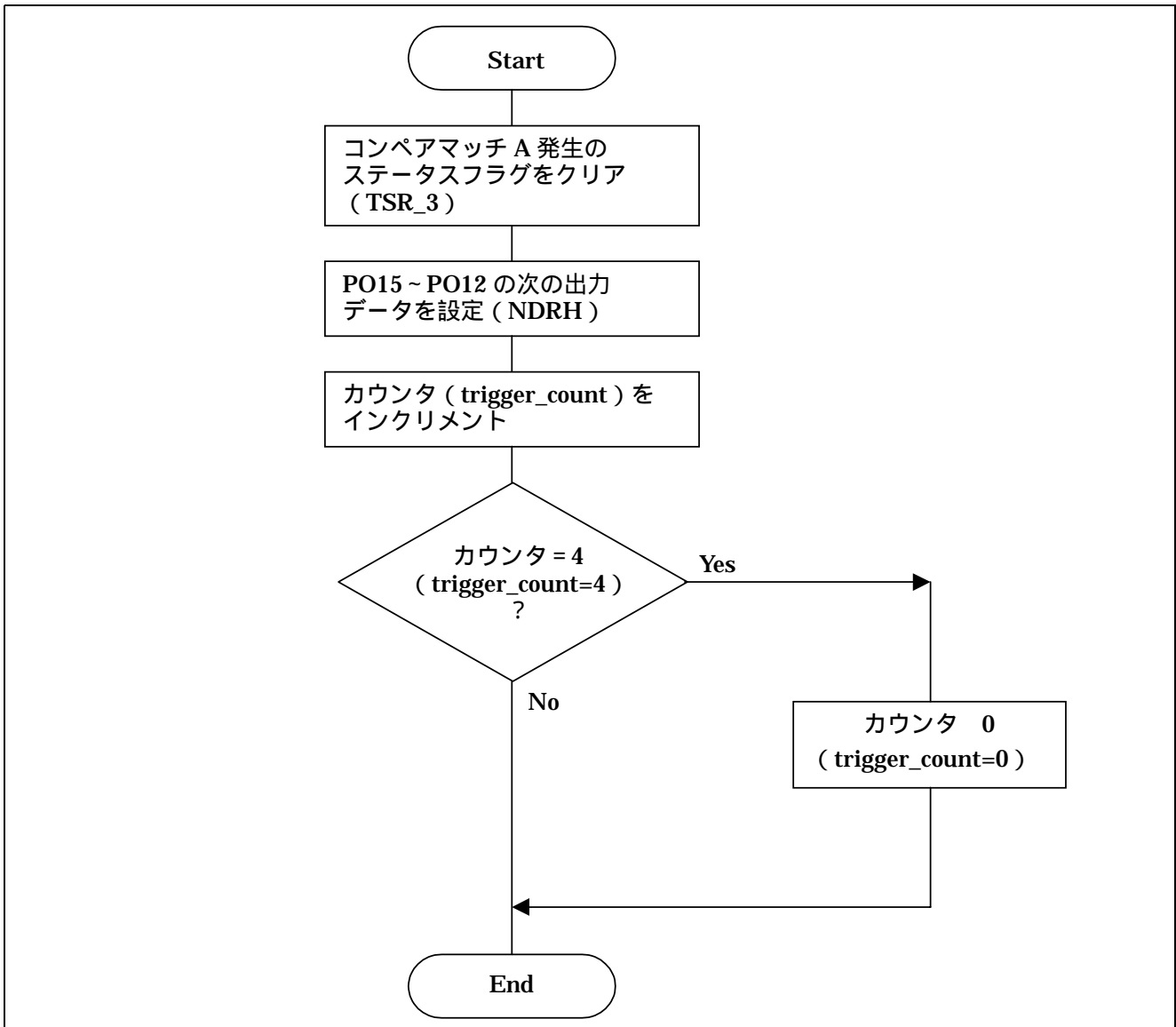

3.3 フローチャート

処理フローを以下に示します。

(1) void ppg4_set (unsigned short, unsigned short)



(2) void inthdr_compareA (void)



3.4 プログラムリスト

ソースプログラムリストを以下に示しますが、I/O レジスタの構造体定義は弊社の標準的なもの (High-performance Embedded Workshop により自動生成されるファイル : iodef.h) を使用していますので、独自に作成されたものを使用される場合にはサンプルプログラム中の I/O レジスタの構造体を変更する必要があります。

```

/*****
/* include file
/*****
#include <machine.h>
#include "iodef.h"

/*****
/* function prototype
/*****
void ppg4_set( unsigned short, unsigned short );
  
```

```

/*****/
/* static variable */
/*****/
static const unsigned char next_data[4]
    = { 0x80, 0x40, 0x20, 0x10 };
static unsigned char trigger_count;

/*****/
/* function definition */
/*****/
void ppg4_set( unsigned short non_overlap_count,
              unsigned short trigger_count )
{
    P_MSTPCRA.BIT.MSTPA0 = 0;    // reset module-standby for TPU
    P_MSTPCRB.BIT.MSTPB15 = 0;  // reset module-standby for PPG
    P_TPU3.TCR.BIT.TPSC = 0;    // set TPU3 countup clock source
    P_TPU3.TCR.BIT.CCLR = 2;    // set TPU3 counter clear cause
    P_TPU3.TIOR.BIT.IOA = 0;    // set TPU3 compare-match-A
    P_TPU3.TIOR.BIT.IOB = 0;    // set TPU3 compare-match-B
    P_TPU3.TGRA = (unsigned int)non_overlap_count;
    P_TPU3.TGRB = (unsigned int)trigger_count;
    P_PPG.PODR.BIT.POD15 = 0;   // set PPG initial pulse data
    P_PPG.PODR.BIT.POD14 = 0;
    P_PPG.PODR.BIT.POD13 = 0;
    P_PPG.PODR.BIT.POD12 = 0;
    trigger_count = 0;         // set PPG next pulse data
    P_PPG.NDRH1.BYTE = next_data[trigger_count++];
    P_PPG.NDER.BIT.NDER15 = 1;  // set PPG next pulse enable
    P_PPG.NDER.BIT.NDER14 = 1;
    P_PPG.NDER.BIT.NDER13 = 1;
    P_PPG.NDER.BIT.NDER12 = 1;
    P_PPG.PMR.BIT.G3NOV = 1;    // set PPG non-overlap mode
    P_PPG.PCR.BIT.G3CMS = 3;    // set PPG output trigger
    P_TPU3.TIER.BIT.TGIEA = 1; // set TGI3A-interrupt enable
    set_imask_ccr(0);          // clear interrupt mask
    P_TPU.TSTR.BIT.CST3 = 1;   // start TPU3
}

/*****/
/* interrupt handler definition */
/*****/
#pragma interrupt ( inthdr_compareA )
void inthdr_compareA( void )
{
    volatile unsigned char dummy;
    dummy = P_TPU3.TSR.BYTE;    // read TPU3 interrupt status
    P_TPU3.TSR.BIT.TGFA = 0;    // clear TGI3A-interrupt status
                                // set PPG next pulse data
    P_PPG.NDRH1.BYTE = next_data[trigger_count++];
    if ( 4 <= trigger_count )  trigger_count = 0;
}

```

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.09.18	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。