

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# 3803グループ(H仕様)

## レジスタ一覧

### 1. 要約

この資料は3803グループ(H仕様)のレジスタについて説明しています。

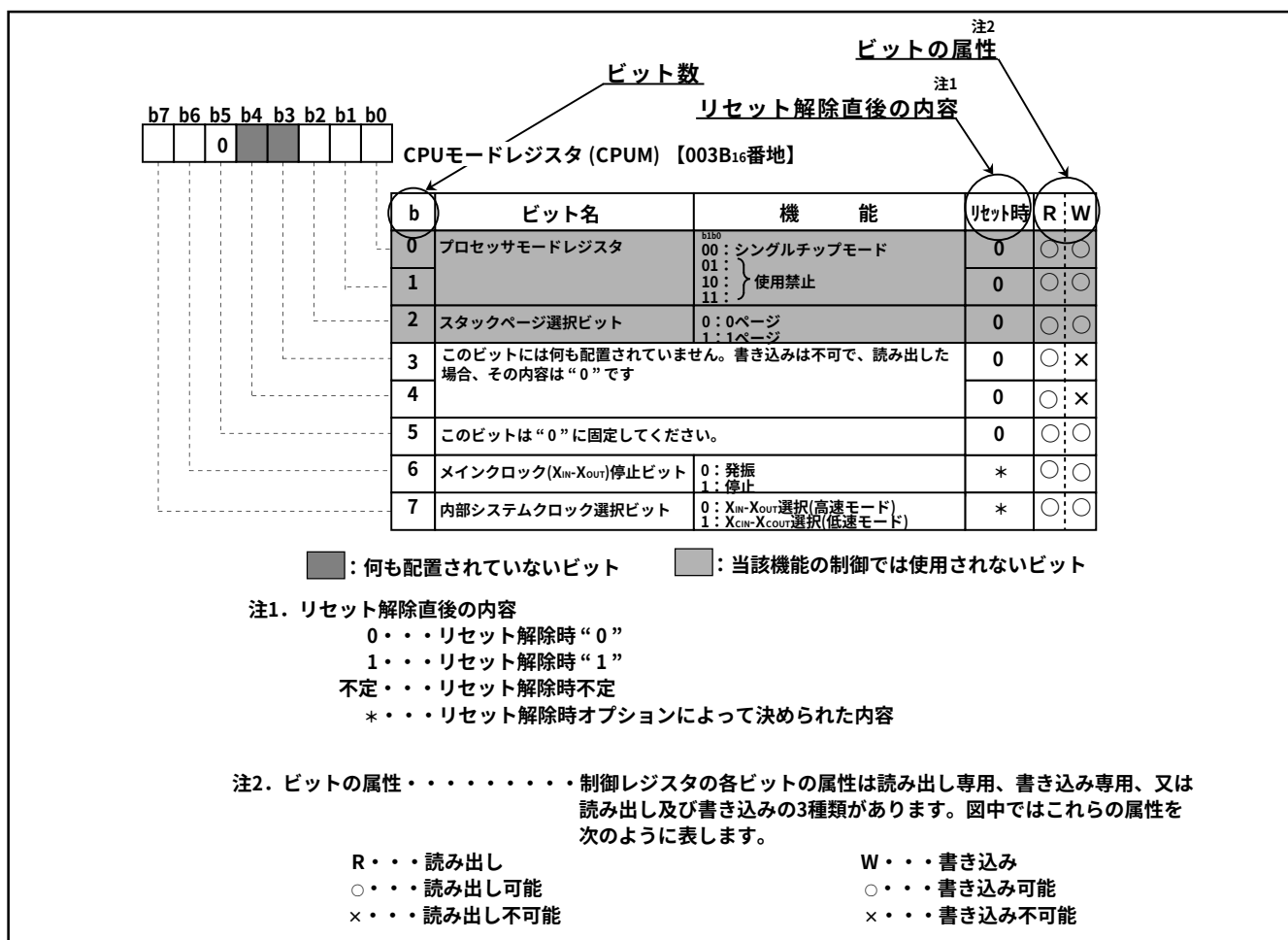
### 2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン：3803 グループ(H仕様)

### 3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



## 4 レジスタ一覧

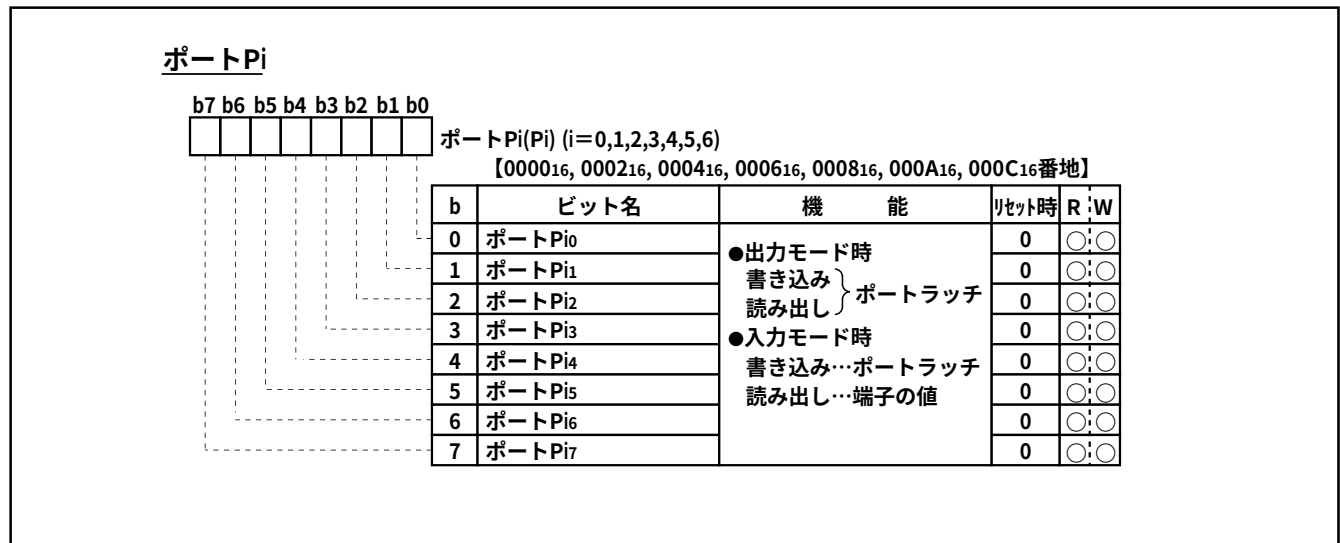


図4.1 ポートPiの構成 (i = 0～6)

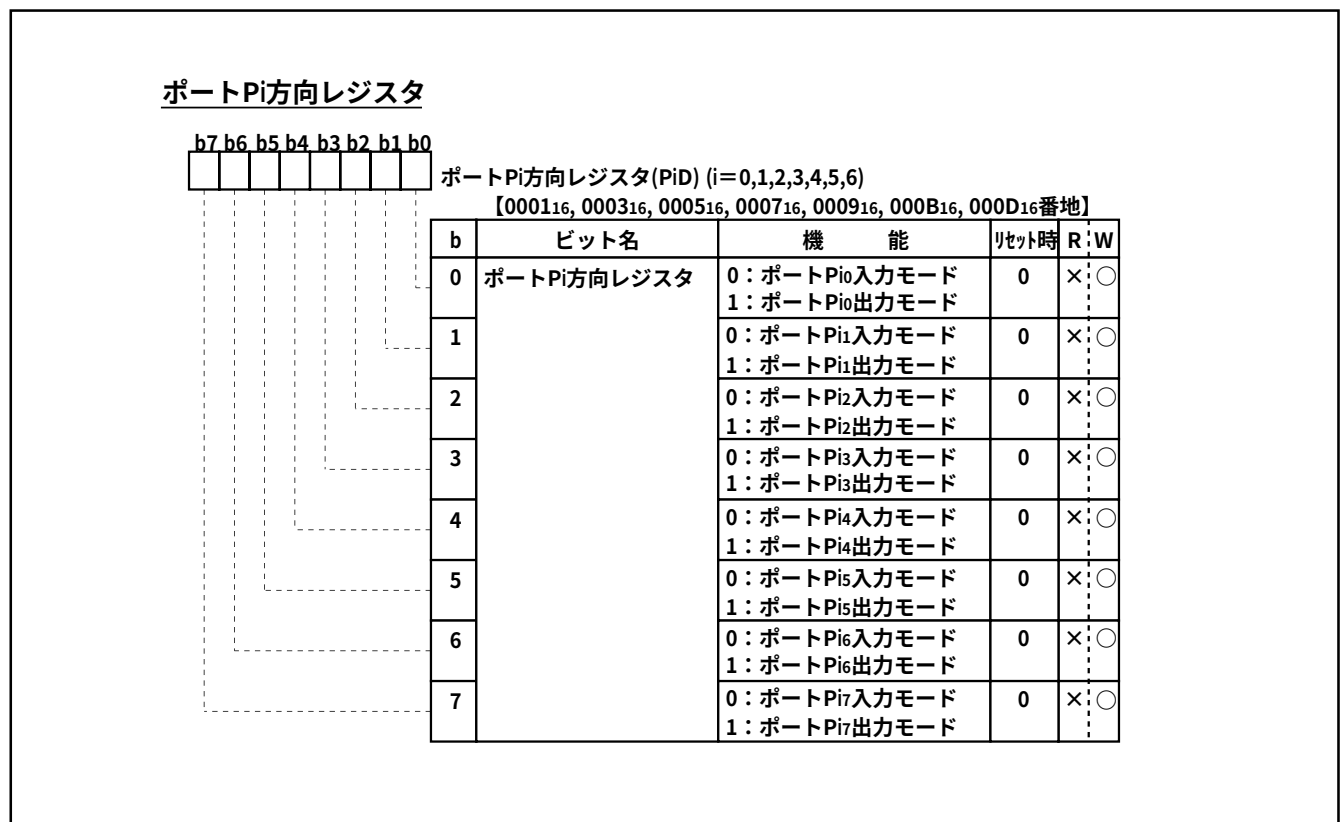
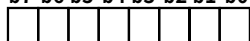


図4.2 ポートPi方向レジスタの構成 (i = 0～6)

### タイマ12, Xカウントソース選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



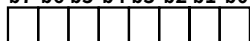
タイマ12, Xカウントソース選択レジスタ(T12XCSS) 【000E16番地】

| b | ビット名                  | 機 能                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | リセット時 | R : W |
|---|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|-------|
| 0 | タイマ12カウント<br>ソース選択ビット | b3 b2 b1 b0<br>0 0 0 0 : $f(X_{IN})/2$ or $f(X_{CIN})/2$<br>0 0 0 1 : $f(X_{IN})/4$ or $f(X_{CIN})/4$<br>0 0 1 0 : $f(X_{IN})/8$ or $f(X_{CIN})/8$<br>0 0 1 1 : $f(X_{IN})/16$ or $f(X_{CIN})/16$<br>0 1 0 0 : $f(X_{IN})/32$ or $f(X_{CIN})/32$<br>0 1 0 1 : $f(X_{IN})/64$ or $f(X_{CIN})/64$<br>0 1 1 0 : $f(X_{IN})/128$ or $f(X_{CIN})/128$<br>0 1 1 1 : $f(X_{IN})/256$ or $f(X_{CIN})/256$<br>1 0 0 0 : $f(X_{IN})/512$ or $f(X_{CIN})/512$<br>1 0 0 1 : $f(X_{IN})/1024$ or $f(X_{CIN})/1024$<br>1 0 1 0 ~ 1 1 1 1 : 選択禁止                           | 1     | ○ : ○ |
| 1 |                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1     | ○ : ○ |
| 2 |                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |
| 3 |                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |
| 4 | タイマXカウントソース<br>選択ビット  | b7 b6 b5 b4<br>0 0 0 0 : $f(X_{IN})/2$ or $f(X_{CIN})/2$<br>0 0 0 1 : $f(X_{IN})/4$ or $f(X_{CIN})/4$<br>0 0 1 0 : $f(X_{IN})/8$ or $f(X_{CIN})/8$<br>0 0 1 1 : $f(X_{IN})/16$ or $f(X_{CIN})/16$<br>0 1 0 0 : $f(X_{IN})/32$ or $f(X_{CIN})/32$<br>0 1 0 1 : $f(X_{IN})/64$ or $f(X_{CIN})/64$<br>0 1 1 0 : $f(X_{IN})/128$ or $f(X_{CIN})/128$<br>0 1 1 1 : $f(X_{IN})/256$ or $f(X_{CIN})/256$<br>1 0 0 0 : $f(X_{IN})/512$ or $f(X_{CIN})/512$<br>1 0 0 1 : $f(X_{IN})/1024$ or $f(X_{CIN})/1024$<br>1 0 1 0 : $f(X_{CIN})$<br>1 0 1 1 ~ 1 1 1 1 : 選択禁止 | 1     | ○ : ○ |
| 5 |                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1     | ○ : ○ |
| 6 |                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |
| 7 |                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |

図4.3 タイマ12, Xカウントソース選択レジスタの構成

### タイマY, Zカウントソース選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



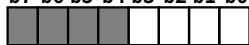
タイマY, Zカウントソース選択レジスタ(TYZCSS) 【000F16番地】

| b | ビット名                 | 機 能                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | リセット時 | R : W |
|---|----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|-------|
| 0 | タイマYカウントソース<br>選択ビット | b3 b2 b1 b0<br>0 0 0 0 : $f(X_{IN})/2$ or $f(X_{CIN})/2$<br>0 0 0 1 : $f(X_{IN})/4$ or $f(X_{CIN})/4$<br>0 0 1 0 : $f(X_{IN})/8$ or $f(X_{CIN})/8$<br>0 0 1 1 : $f(X_{IN})/16$ or $f(X_{CIN})/16$<br>0 1 0 0 : $f(X_{IN})/32$ or $f(X_{CIN})/32$<br>0 1 0 1 : $f(X_{IN})/64$ or $f(X_{CIN})/64$<br>0 1 1 0 : $f(X_{IN})/128$ or $f(X_{CIN})/128$<br>0 1 1 1 : $f(X_{IN})/256$ or $f(X_{CIN})/256$<br>1 0 0 0 : $f(X_{IN})/512$ or $f(X_{CIN})/512$<br>1 0 0 1 : $f(X_{IN})/1024$ or $f(X_{CIN})/1024$<br>1 0 1 0 : $f(X_{CIN})$<br>1 0 1 1 ~ 1 1 1 1 : 選択禁止 | 1     | ○ : ○ |
| 1 |                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1     | ○ : ○ |
| 2 |                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |
| 3 |                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |
| 4 | タイマZカウントソース<br>選択ビット | b7 b6 b5 b4<br>0 0 0 0 : $f(X_{IN})/2$ or $f(X_{CIN})/2$<br>0 0 0 1 : $f(X_{IN})/4$ or $f(X_{CIN})/4$<br>0 0 1 0 : $f(X_{IN})/8$ or $f(X_{CIN})/8$<br>0 0 1 1 : $f(X_{IN})/16$ or $f(X_{CIN})/16$<br>0 1 0 0 : $f(X_{IN})/32$ or $f(X_{CIN})/32$<br>0 1 0 1 : $f(X_{IN})/64$ or $f(X_{CIN})/64$<br>0 1 1 0 : $f(X_{IN})/128$ or $f(X_{CIN})/128$<br>0 1 1 1 : $f(X_{IN})/256$ or $f(X_{CIN})/256$<br>1 0 0 0 : $f(X_{IN})/512$ or $f(X_{CIN})/512$<br>1 0 0 1 : $f(X_{IN})/1024$ or $f(X_{CIN})/1024$<br>1 0 1 0 : $f(X_{CIN})$<br>1 0 1 1 ~ 1 1 1 1 : 選択禁止 | 1     | ○ : ○ |
| 5 |                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1     | ○ : ○ |
| 6 |                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |
| 7 |                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 0     | ○ : ○ |

図4.4 タイマY, Zカウントソース選択レジスタの構成

# MISRG

b7 b6 b5 b4 b3 b2 b1 b0



MISRG 【0010<sub>16</sub>番地】

| b | ビット名                         | 機 能                            | リセット時 | R | W |
|---|------------------------------|--------------------------------|-------|---|---|
| 0 | STP命令解除後の発振安定時間設定ビット         | 0：自動設定 (注1)<br>1：禁止            | 0     | ○ | ○ |
| 1 | 中速モード自動切り替え設定ビット             | 0：禁止<br>1：自動切り替え許可 (注2)        | 0     | ○ | ○ |
| 2 | 中速モード自動切り替え待ち時間設定ビット         | 0：4.5～5.5サイクル<br>1：6.5～7.5サイクル | 0     | ○ | ○ |
| 3 | 中速モード自動切り替え開始ビット (ソフトウェアに依存) | 0：無効<br>1：自動切り替え開始 (注2)        | 0     | ○ | ○ |
| 4 | これらのビットには何も配置されていません。        |                                | 0     | ○ | × |
| 5 | 書き込み不可で、読み出した場合、その内容は        |                                | 0     | ○ | × |
| 6 | “0”です。                       |                                | 0     | ○ | × |
| 7 |                              |                                | 0     | ○ | × |

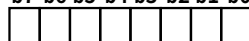
注1. タイマ1に“01<sub>16</sub>”、プリスケアラ12に“FF<sub>16</sub>”が自動設定される。

2. 低速モードから中速モードに自動切り替えが行われた場合、CPUモードレジスタ(3B<sub>16</sub>番地)の値も変化する。

図4.5 MISRGの構成

# 送信／受信バッファレジスタ1、送信／受信バッファレジスタ3

b7 b6 b5 b4 b3 b2 b1 b0



送信／受信バッファレジスタ1 (TB1/RB1) 【0018<sub>16</sub>番地】

送信／受信バッファレジスタ3 (TB3/RB3) 【0030<sub>16</sub>番地】

| b | 機 能                                                                                                    | リセット時 | R | W |
|---|--------------------------------------------------------------------------------------------------------|-------|---|---|
| 0 | 送信データの書き込み及び受信データの読み出しを行うためのバッファレジスタです。<br>●書き込み時：送信バッファレジスタへ書き込まれます。<br>●読み出し時：受信バッファレジスタの内容が読み出されます。 | 不定    | ○ | ○ |
| 1 |                                                                                                        | 不定    | ○ | ○ |
| 2 |                                                                                                        | 不定    | ○ | ○ |
| 3 |                                                                                                        | 不定    | ○ | ○ |
| 4 |                                                                                                        | 不定    | ○ | ○ |
| 5 |                                                                                                        | 不定    | ○ | ○ |
| 6 |                                                                                                        | 不定    | ○ | ○ |
| 7 |                                                                                                        | 不定    | ○ | ○ |

注．送信バッファレジスタの内容を読み出すことはできません。  
受信バッファレジスタへ書き込むことはできません。

図4.6 送信/受信バッファレジスタ1、送信/受信バッファレジスタ3の構成

シリアル/O1ステータスレジスタ、シリアル/O3ステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアル/O1ステータスレジスタ(SIO1STS) 【0019<sub>16</sub>番地】

シリアル/O3ステータスレジスタ(SIO3STS) 【0031<sub>16</sub>番地】

| b | ビット名                                           | 機 能                                        | リセット時 | R | W |
|---|------------------------------------------------|--------------------------------------------|-------|---|---|
| 0 | 送信バッファエンブティフラグ(TBE)                            | 0: バッファフル状態<br>1: バッファエンブティ状態              | 0     | ○ | × |
| 1 | 受信バッファフルフラグ(RBF)                               | 0: バッファエンブティ状態<br>1: バッファフル状態              | 0     | ○ | × |
| 2 | 送信シフトレジスタシフト終了フラグ(TSC)                         | 0: 送信シフト中<br>1: 送信シフト終了                    | 0     | ○ | × |
| 3 | オーバランエラーフラグ(OE)                                | 0: オーバランエラーなし<br>1: オーバランエラー発生             | 0     | ○ | × |
| 4 | パリティエラーフラグ(PE)                                 | 0: パリティエラーなし<br>1: パリティエラー発生               | 0     | ○ | × |
| 5 | フレーミングエラーフラグ(FE)                               | 0: フレーミングエラーなし<br>1: フレーミングエラー発生           | 0     | ○ | × |
| 6 | サミングエラーフラグ(SE)                                 | 0: (OE)U(PE)U(FE)=0<br>1: (OE)U(PE)U(FE)=1 | 0     | ○ | × |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“1”です。 |                                            | 1     | ○ | × |

図4.7 シリアル/O1ステータスレジスタ、シリアル/O3ステータスレジスタの構成

シリアル/O1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアル/O1制御レジスタ(SIO1CON) 【001A<sub>16</sub>番地】

| b | ビット名                    | 機 能                                                                                             | リセット時 | R | W |
|---|-------------------------|-------------------------------------------------------------------------------------------------|-------|---|---|
| 0 | BRGカウントソース選択ビット(CSS)    | 0: f(XIN)<br>1: f(XIN)/4                                                                        | 0     | ○ | ○ |
| 1 | シリアル/O1同期クロック選択ビット(SCS) | クロック同期形シリアル/O選択時<br>0: BRG出力の4分周<br>1: 外部クロック入力<br>UART選択時<br>0: BRG出力の16分周<br>1: 外部クロック入力の16分周 | 0     | ○ | ○ |
| 2 | SRDY1出力許可ビット(SRDY)      | 0: 入出力ポート (P47)<br>1: SRDY1出力端子                                                                 | 0     | ○ | ○ |
| 3 | 送信割り込み要因選択ビット(TIC)      | 0: 送信バッファエンブティ<br>1: 送信シフト動作終了                                                                  | 0     | ○ | ○ |
| 4 | 送信許可ビット(TE)             | 0: 送信禁止<br>1: 送信許可                                                                              | 0     | ○ | ○ |
| 5 | 受信許可ビット(RE)             | 0: 受信禁止<br>1: 受信許可                                                                              | 0     | ○ | ○ |
| 6 | シリアル/O1モード選択ビット(SIOM)   | 0: UART<br>1: クロック同期形シリアル/O                                                                     | 0     | ○ | ○ |
| 7 | シリアル/O1許可ビット(SIOE)      | 0: シリアル/O1禁止<br>(P44~P47: 入出力ポート)<br>1: シリアル/O1許可<br>(P44~P47: シリアル/O機能端子)                      | 0     | ○ | ○ |

図4.8 シリアル/O1制御レジスタの構成

### UART1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

UART1制御レジスタ(UART1CON) 【001B16番地】

| b | ビット名                            | 機 能                                           | リセット時 | R | W |
|---|---------------------------------|-----------------------------------------------|-------|---|---|
| 0 | キャラクタ長選択ビット (CHAS)              | 0: 8ビット<br>1: 7ビット                            | 0     | ○ | ○ |
| 1 | パリティ許可ビット (PARE)                | 0: パリティ禁止<br>1: パリティ許可                        | 0     | ○ | ○ |
| 2 | パリティ選択ビット (PARS)                | 0: 偶数パリティ<br>1: 奇数パリティ                        | 0     | ○ | ○ |
| 3 | ストップビット長選択ビット(STPS)             | 0: 1ストップビット<br>1: 2ストップビット                    | 0     | ○ | ○ |
| 4 | P4s/TxD1 Pチャネル<br>出力禁止ビット(POFF) | 出力モード時<br>0: CMOS出力<br>1: Nチャネルオープン<br>ドレイン出力 | 0     | ○ | ○ |
| 5 | これらのビットには何も配置されていません。           |                                               | 1     | ○ | × |
| 6 | 書き込み不可で、読み出した場合、その内容は<br>“1”です。 |                                               | 1     | ○ | × |
| 7 |                                 |                                               | 1     | ○ | × |

図4.9 UART1制御レジスタの構成

### ボーレートジェネレータ i ( i=1, 3)

b7 b6 b5 b4 b3 b2 b1 b0

ボーレートジェネレータi (BRGi)(i=1,3) 【001C16, 002F16番地】

| b | 機 能                      | リセット時 | R | W |
|---|--------------------------|-------|---|---|
| 0 | ボーレートジェネレータのカウンタ値を設定します。 | 不定    | ○ | ○ |
| 1 |                          | 不定    | ○ | ○ |
| 2 |                          | 不定    | ○ | ○ |
| 3 |                          | 不定    | ○ | ○ |
| 4 |                          | 不定    | ○ | ○ |
| 5 |                          | 不定    | ○ | ○ |
| 6 |                          | 不定    | ○ | ○ |
| 7 |                          | 不定    | ○ | ○ |

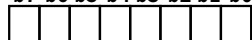
注: このレジスタへの書き込みは、送受信停止中に行ってください。

図4.10 ボーレートジェネレータiの構成



### シリアル/O2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



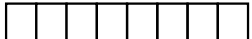
シリアル/O2制御レジスタ (SIO2CON) 【001D16番地】

| b | ビット名                   | 機 能                                                                                                                                                                   | リセット時 | R | W |
|---|------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0 | 内部同期クロック選択ビット          | b2 b1 b0<br>0 0 0 : $f(X_{IN})/8$<br>0 0 1 : $f(X_{IN})/16$<br>0 1 0 : $f(X_{IN})/32$<br>0 1 1 : $f(X_{IN})/64$<br>1 1 0 : $f(X_{IN})/128$<br>1 1 1 : $f(X_{IN})/256$ | 0     | ○ | ○ |
| 1 |                        |                                                                                                                                                                       | 0     | ○ | ○ |
| 2 |                        |                                                                                                                                                                       | 0     | ○ | ○ |
| 3 | シリアル/O2ポート選択ビット        | 0 : 入出力ポート(P51, P52)<br>1 : SOUT2, SCLK2出力端子                                                                                                                          | 0     | ○ | ○ |
| 4 | SRDY2出力許可ビット           | 0 : 入出力ポート(P53)<br>1 : SRDY2 出力端子                                                                                                                                     | 0     | ○ | ○ |
| 5 | 転送方向選択ビット              | 0 : LSBファースト<br>1 : MSBファースト                                                                                                                                          | 0     | ○ | ○ |
| 6 | シリアル/O2同期クロック選択ビット     | 0 : 外部クロック<br>1 : 内部クロック                                                                                                                                              | 0     | ○ | ○ |
| 7 | P51/SOUT2 Pチャネル出力禁止ビット | 0 : CMOS出力<br>1 : Nチャネルオープンドレイン出力                                                                                                                                     | 0     | ○ | ○ |

図4.11 シリアル/O2制御レジスタの構成

### ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ウォッチドッグタイマ制御レジスタ(WDTCON) 【001E16番地】

| b | ビット名                    | 機 能                                                            | リセット時 | R | W |
|---|-------------------------|----------------------------------------------------------------|-------|---|---|
| 0 | ウォッチドッグタイマH(読み出し専用)     |                                                                | 1     | ○ | × |
| 1 |                         |                                                                | 1     | ○ | × |
| 2 |                         |                                                                | 1     | ○ | × |
| 3 |                         |                                                                | 1     | ○ | × |
| 4 |                         |                                                                | 1     | ○ | × |
| 5 |                         |                                                                | 1     | ○ | × |
| 6 | STP命令禁止ビット              | 0 : STP命令許可<br>1 : STP命令禁止                                     | 0     | ○ | ○ |
| 7 | ウォッチドッグタイマHカウントソース選択ビット | 0 : ウォッチドッグタイマLアンタフロー<br>1 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ | 0     | ○ | ○ |

図4.12 ウォッチドッグタイマ制御レジスタの構成

### シリアル/O2レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



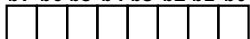
シリアル/O2レジスタ (SIO2) 【001F16番地】

| b | 機 能                  | リセット時 | R | W |
|---|----------------------|-------|---|---|
| 0 | シリアル送受信を行うシフトレジスタです。 | 不定    | ○ | ○ |
| 1 | ●送信時：送信データを設定します。    | 不定    | ○ | ○ |
| 2 | ●受信時：受信データが格納されます。   | 不定    | ○ | ○ |
| 3 |                      | 不定    | ○ | ○ |
| 4 |                      | 不定    | ○ | ○ |
| 5 |                      | 不定    | ○ | ○ |
| 6 |                      | 不定    | ○ | ○ |
| 7 |                      | 不定    | ○ | ○ |

図4.13 シリアル/O2レジスタの構成

### プリスケラ12、プリスケラX、プリスケラY

b7 b6 b5 b4 b3 b2 b1 b0



プリスケラ12(PRE12)、プリスケラX(PREX)、プリスケラY(PREY)  
【002016, 002416, 002616番地】

| b | 機 能                    | リセット時 | R | W |
|---|------------------------|-------|---|---|
| 0 | ●各プリスケラのカウンタ値を設定します。   | 1     | ○ | ○ |
| 1 | ●このレジスタに設定した値は、各プリスケラと | 1     | ○ | ○ |
| 2 | 対応するプリスケララッチの両方へ同時に書き  | 1     | ○ | ○ |
| 3 | 込まれます。                 | 1     | ○ | ○ |
| 4 | ●このレジスタを読み出した場合、対応するプリ | 1     | ○ | ○ |
| 5 | スケラのカウンタ値が読み出されます。     | 1     | ○ | ○ |
| 6 |                        | 1     | ○ | ○ |
| 7 |                        | 1     | ○ | ○ |

図4.14 プリスケラ12、プリスケラX、プリスケラYの構成

### タイマ1

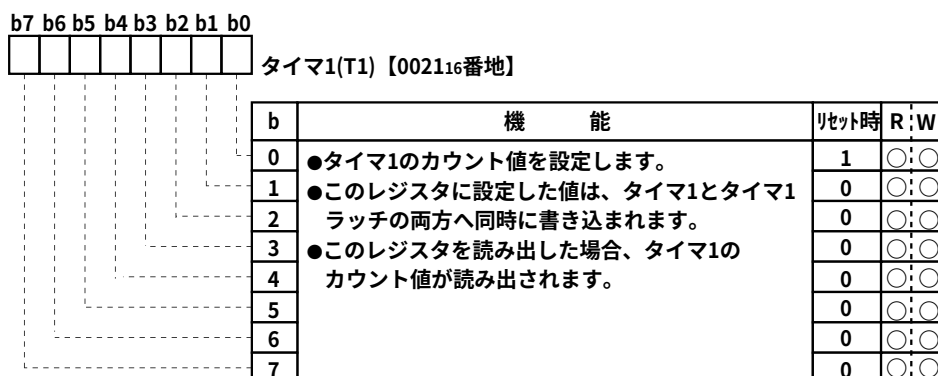


図4.15 タイマ1の構成

### タイマ2、タイマX、タイマY

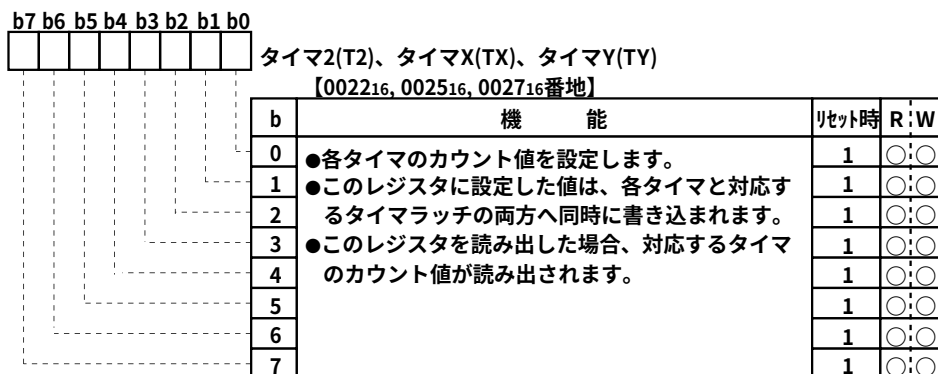
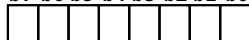


図4.16 タイマ2、タイマX、タイマYの構成

タイマXYモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



タイマXYモードレジスタ(TM)【0023<sub>16</sub>番地】

| b | ビット名           | 機 能                                                                     | リセット時 | R | W |
|---|----------------|-------------------------------------------------------------------------|-------|---|---|
| 0 | タイマX動作モードビット   | b1 b0<br>00: タイマモード<br>01: パルス出力モード<br>10: イベントカウンタモード<br>11: パルス幅測定モード | 0     | ○ | ○ |
| 1 |                |                                                                         | 0     | ○ | ○ |
| 2 | CNTR0極性切り替えビット | タイマXの動作モードによって異なります(表3.5.1を参照)。                                         | 0     | ○ | ○ |
| 3 | タイマXカウント停止ビット  | 0: カウント開始<br>1: カウント停止                                                  | 0     | ○ | ○ |
| 4 | タイマY動作モードビット   | b5 b4<br>00: タイマモード<br>01: パルス出力モード<br>10: イベントカウンタモード<br>11: パルス幅測定モード | 0     | ○ | ○ |
| 5 |                |                                                                         | 0     | ○ | ○ |
| 6 | CNTR1極性切り替えビット | タイマYの動作モードによって異なります(表3.5.1を参照)。                                         | 0     | ○ | ○ |
| 7 | タイマYカウント停止ビット  | 0: カウント開始<br>1: カウント停止                                                  | 0     | ○ | ○ |

図4.17 タイマXYモードレジスタの構成

表4.1 CNTR0/CNTR1極性切り替えビットの機能

| タイマX/タイマY<br>の動作モード | CNTR0/CNTR1極性切り替えビット<br>(0023 <sub>16</sub> 番地のビット2、6)の内容 |                                                                |
|---------------------|-----------------------------------------------------------|----------------------------------------------------------------|
| タイマモード              | “0”                                                       | ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)                |
|                     | “1”                                                       | ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)                |
| パルス出力<br>モード        | “0”                                                       | ・ パルス出力開始: “H”レベルから<br>・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ        |
|                     | “1”                                                       | ・ パルス出力開始: “L”レベルから<br>・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ        |
| イベントカウ<br>ンタモード     | “0”                                                       | ・ タイマX/タイマY: 立ち上がりエッジをカウント<br>・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ |
|                     | “1”                                                       | ・ タイマX/タイマY: 立ち下がりエッジをカウント<br>・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ |
| パルス幅測定<br>モード       | “0”                                                       | ・ タイマX/タイマY: “H”レベル幅を測定<br>・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ    |
|                     | “1”                                                       | ・ タイマX/タイマY: “L”レベル幅を測定<br>・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ    |

### タイマZ下位、タイマZ上位

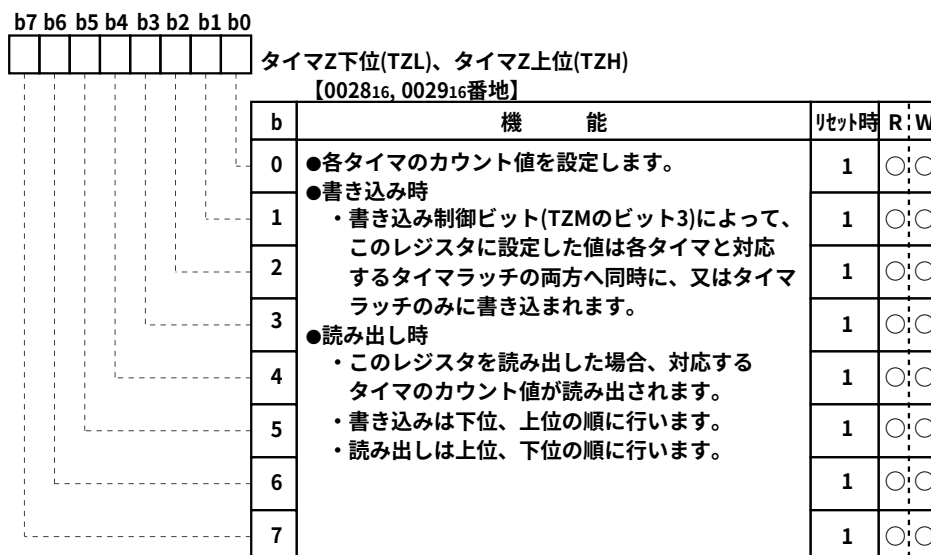
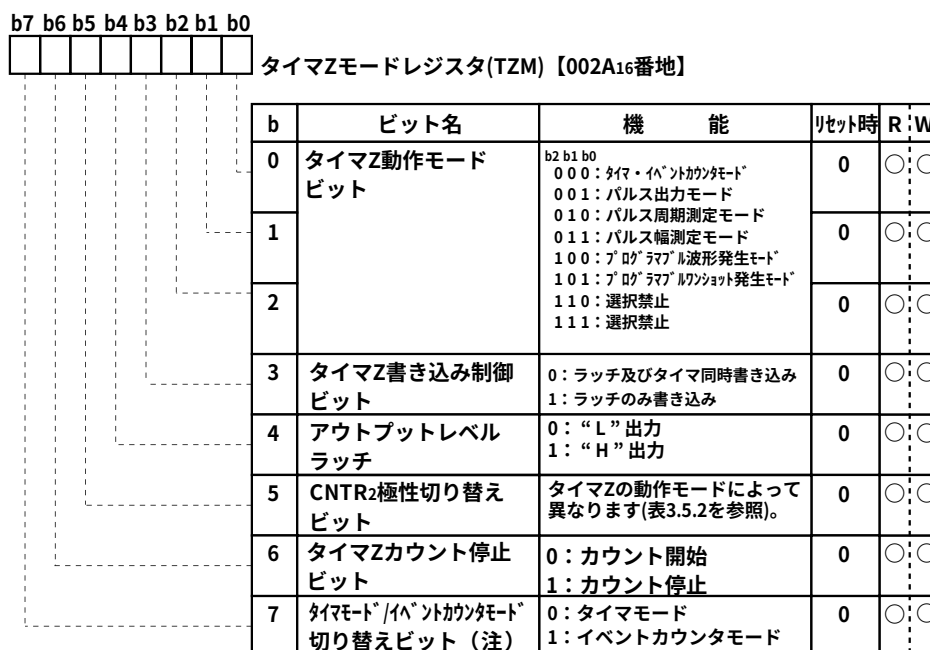


図4.18 タイマZ下位、上位の構成

### タイマZモードレジスタ



注. タイマモード/イベントカウンタモード以外のモードを選択しているときは、“0”を設定してください。

図4.19 タイマZモードレジスタの構成

表4.2 CNTR2極性切り替えビットの機能

| タイマZ<br>の動作モード     | CNTR2極性切り替えビット<br>(002A16番地のビット5)の内容 |                                                                                   |
|--------------------|--------------------------------------|-----------------------------------------------------------------------------------|
|                    |                                      |                                                                                   |
| タイマモード             | “ 0 ”                                | ・ CNTR2割り込み要求の発生：立ち下がりエッジ(タイマのカウントに影響なし)                                          |
|                    | “ 1 ”                                | ・ CNTR2割り込み要求の発生：立ち上がりエッジ(タイマのカウントに影響なし)                                          |
| イベントカウンタモード        | “ 0 ”                                | ・ タイマZ：立ち上がりエッジをカウント<br>・ CNTR2割り込み要求の発生：立ち下がりエッジ                                 |
|                    | “ 1 ”                                | ・ タイマZ：立ち下がりエッジをカウント<br>・ CNTR2割り込み要求の発生：立ち上がりエッジ                                 |
| パルス出力モード           | “ 0 ”                                | ・ パルス出力開始：“ H ”レベルから<br>・ CNTR2割り込み要求の発生：立ち下がりエッジ                                 |
|                    | “ 1 ”                                | ・ パルス出力開始：“ L ”レベルから<br>・ CNTR2割り込み要求の発生：立ち上がりエッジ                                 |
| パルス周期測定モード         | “ 0 ”                                | ・ タイマZ：立ち下がりエッジから次の立ち下がりエッジの期間を測定<br>・ CNTR2割り込み要求の発生：立ち下がりエッジ                    |
|                    | “ 1 ”                                | ・ タイマZ：立ち上がりエッジから次の立ち上がりエッジの期間を測定<br>・ CNTR2割り込み要求の発生：立ち上がりエッジ                    |
| パルス幅測定モード          | “ 0 ”                                | ・ タイマZ：“ H ”レベル幅を測定<br>・ CNTR2割り込み要求の発生：立ち下がりエッジ                                  |
|                    | “ 1 ”                                | ・ タイマZ：“ L ”レベル幅を測定<br>・ CNTR2割り込み要求の発生：立ち上がりエッジ                                  |
| プログラマブルワンショット発生モード | “ 0 ”                                | ・ タイマZ：パルス出力を“ L ”レベルから開始し、“ H ”レベルのワンショットパルス<br>を出力<br>・ CNTR2割り込み要求の発生：立ち下がりエッジ |
|                    | “ 1 ”                                | ・ タイマZ：パルス出力を“ H ”レベルから開始し、“ L ”レベルのワンショットパルス<br>を出力<br>・ CNTR2割り込み要求の発生：立ち上がりエッジ |

### PWM制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

PWM制御レジスタ(PWMCON) 【002B16番地】

| b | ビット名                                                 | 機 能                                  | リセット時 | R | W |
|---|------------------------------------------------------|--------------------------------------|-------|---|---|
| 0 | PWM機能許可ビット                                           | 0 : PWM禁止<br>1 : PWM許可               | 0     | ○ | ○ |
| 1 | カウントソース選択ビット                                         | 0 : $f(X_{IN})$<br>1 : $f(X_{IN})/2$ | 0     | ○ | ○ |
| 2 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                      | 0     | ○ | × |
| 3 |                                                      |                                      | 0     | ○ | × |
| 4 |                                                      |                                      | 0     | ○ | × |
| 5 |                                                      |                                      | 0     | ○ | × |
| 6 |                                                      |                                      | 0     | ○ | × |
| 7 |                                                      |                                      | 0     | ○ | × |

図4.20 PWM制御レジスタの構成

### PWMプリスケアラ

b7 b6 b5 b4 b3 b2 b1 b0

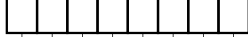
PWMプリスケアラ(PREPWM) 【002C16番地】

| b | 機 能                       | リセット時 | R | W |
|---|---------------------------|-------|---|---|
| 0 | ●PWM周期を設定します。             | 不定    | ○ | ○ |
| 1 | ●このレジスタに設定した値は、PWMプリスケアラ  | 不定    | ○ | ○ |
| 2 | プリラッチとPWMプリスケアララッチの両方へ    | 不定    | ○ | ○ |
| 3 | 同時に書き込まれます。               | 不定    | ○ | ○ |
| 4 | ●PWM出力中にデータを書き込んだ場合、次の周期  | 不定    | ○ | ○ |
| 5 | から変更した内容に対応するパルスが出力されます。  | 不定    | ○ | ○ |
| 6 | ●このレジスタを読み出した場合、PWMプリスケアラ | 不定    | ○ | ○ |
| 7 | ラッチの内容が読み出されます。           | 不定    | ○ | ○ |

図4.21 PWMプリスケアラの構成

### PWMレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



PWMレジスタ(PWM) 【002D16番地】

| b | 機 能                       | リセット時 | R | W |
|---|---------------------------|-------|---|---|
| 0 | ● PWMの“H”レベル出力期間を設定します。   | 不定    | ○ | ○ |
| 1 | ● このレジスタに設定した値は、PWMレジスタプリ | 不定    | ○ | ○ |
| 2 | ラッチとPWMレジスタラッチの両方へ同時に書き   | 不定    | ○ | ○ |
| 3 | 込まれます。                    | 不定    | ○ | ○ |
| 4 | ● PWM出力中にデータを書き込んだ場合、次の周期 | 不定    | ○ | ○ |
| 5 | から変更した内容に対応するパルスが出力されます。  | 不定    | ○ | ○ |
| 6 | ● このレジスタを読み出した場合、PWMレジスタ  | 不定    | ○ | ○ |
| 7 | ラッチの内容が読み出されます。           | 不定    | ○ | ○ |

図4.22 PWMレジスタの構成

### シリアルI/O3制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアルI/O3制御レジスタ(SIO3CON) 【003216番地】

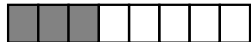
| b | ビット名                     | 機 能                                                                                              | リセット時 | R | W |
|---|--------------------------|--------------------------------------------------------------------------------------------------|-------|---|---|
| 0 | BRGカウントソース選択ビット(CSS)     | 0: $f(XIN)$<br>1: $f(XIN)/4$                                                                     | 0     | ○ | ○ |
| 1 | シリアルI/O3同期クロック選択ビット(SCS) | クロック同期形シリアルI/O選択時<br>0: BRG出力の4分周<br>1: 外部クロック入力<br>UART選択時<br>0: BRG出力の16分周<br>1: 外部クロック入力の16分周 | 0     | ○ | ○ |
| 2 | SRDY3出力許可ビット(SRDY)       | 0: 入出力ポート (P37)<br>1: SRDY3出力端子                                                                  | 0     | ○ | ○ |
| 3 | 送信割り込み要因選択ビット(TIC)       | 0: 送信バッファエンプティ<br>1: 送信シフト動作終了                                                                   | 0     | ○ | ○ |
| 4 | 送信許可ビット(TE)              | 0: 送信禁止<br>1: 送信許可                                                                               | 0     | ○ | ○ |
| 5 | 受信許可ビット(RE)              | 0: 受信禁止<br>1: 受信許可                                                                               | 0     | ○ | ○ |
| 6 | シリアルI/O3モード選択ビット(SIOM)   | 0: UART<br>1: クロック同期形シリアルI/O                                                                     | 0     | ○ | ○ |
| 7 | シリアルI/O3許可ビット(SIOE)      | 0: シリアルI/O3禁止<br>(P34~P37: 入出力ポート)<br>1: シリアルI/O3許可<br>(P34~P37: シリアルI/O機能端子)                    | 0     | ○ | ○ |

図4.23 シリアルI/O3制御レジスタの構成



### UART3制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



UART3制御レジスタ(UART3CON) 【0033<sub>16</sub>番地】

| b | ビット名                        | 機 能                                       | リセット時 | R:W |
|---|-----------------------------|-------------------------------------------|-------|-----|
| 0 | キャラクタ長選択ビット (CHAS)          | 0: 8ビット<br>1: 7ビット                        | 0     | ○:○ |
| 1 | パリティ許可ビット (PARE)            | 0: パリティ禁止<br>1: パリティ許可                    | 0     | ○:○ |
| 2 | パリティ選択ビット (PARS)            | 0: 偶数パリティ<br>1: 奇数パリティ                    | 0     | ○:○ |
| 3 | ストップビット長選択ビット(STPS)         | 0: 1ストップビット<br>1: 2ストップビット                | 0     | ○:○ |
| 4 | P3s/TxD3 Pチャネル出力禁止ビット(POFF) | 出力モード時<br>0: CMOS出力<br>1: Nチャネルオープンドレイン出力 | 0     | ○:○ |
| 5 | これらのビットには何も配置されていません。       |                                           | 1     | ○:× |
| 6 | 書き込み不可で、読み出した場合、その内容は       |                                           | 1     | ○:× |
| 7 | “1”です。                      |                                           | 1     | ○:× |

図4.24 UART3制御レジスタの構成

### AD/DA制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



AD/DA制御レジスタ(ADCON) 【0034<sub>16</sub>番地】

| b | ビット名                                           | 機 能                                                                                                                                                                                                                                                    | リセット時 | R:W |
|---|------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|-----|
| 0 | アナログ入力端子選択ビット1                                 | b2 b1 b0<br>0 0 0: P60/AN0 or P00/AN8<br>0 0 1: P61/AN1 or P01/AN9<br>0 1 0: P62/AN2 or P02/AN10<br>0 1 1: P63/AN3 or P03/AN11<br>1 0 0: P64/AN4 or P04/AN12<br>1 0 1: P65/AN5 or P05/AN13<br>1 1 0: P66/AN6 or P06/AN14<br>1 1 1: P67/AN7 or P07/AN15 | 0     | ○:○ |
| 1 |                                                |                                                                                                                                                                                                                                                        |       |     |
| 2 |                                                |                                                                                                                                                                                                                                                        |       |     |
| 3 |                                                |                                                                                                                                                                                                                                                        |       |     |
| 4 |                                                |                                                                                                                                                                                                                                                        |       |     |
| 5 |                                                |                                                                                                                                                                                                                                                        |       |     |
| 6 |                                                |                                                                                                                                                                                                                                                        |       |     |
| 3 | AD変換終了ビット                                      | 0: 変換中<br>1: 変換終了                                                                                                                                                                                                                                      | 1     | ○:○ |
| 4 | アナログ入力端子選択ビット2                                 | 0: AN0 ~ AN7側を選択<br>1: AN8 ~ AN15側を選択                                                                                                                                                                                                                  | 0     | ○:○ |
| 5 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                                                                                                                                                                                                                                                        | 0     | ○:× |
| 6 | DA1出力許可ビット                                     | 0: DA1出力禁止<br>1: DA1出力許可                                                                                                                                                                                                                               | 0     | ○:○ |
| 7 | DA2出力許可ビット                                     | 0: DA2出力禁止<br>1: DA2出力許可                                                                                                                                                                                                                               | 0     | ○:○ |

図4.25 AD/DA制御レジスタの構成

### A-D変換レジスタ1

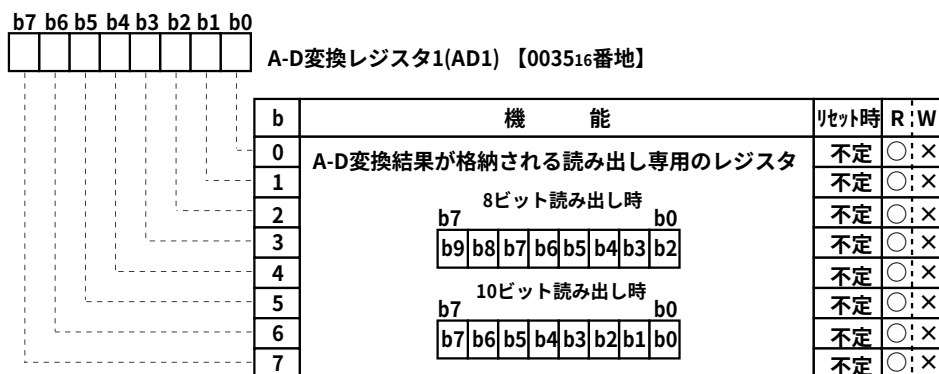


図4.26 A-D変換レジスタ1の構成

### D-Ai変換レジスタ

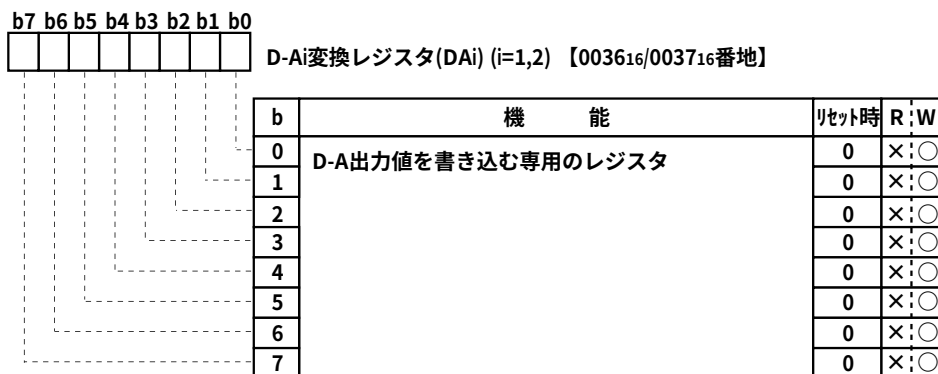


図4.27 D-Ai変換レジスタの構成(i = 1,2)

### A-D変換レジスタ2

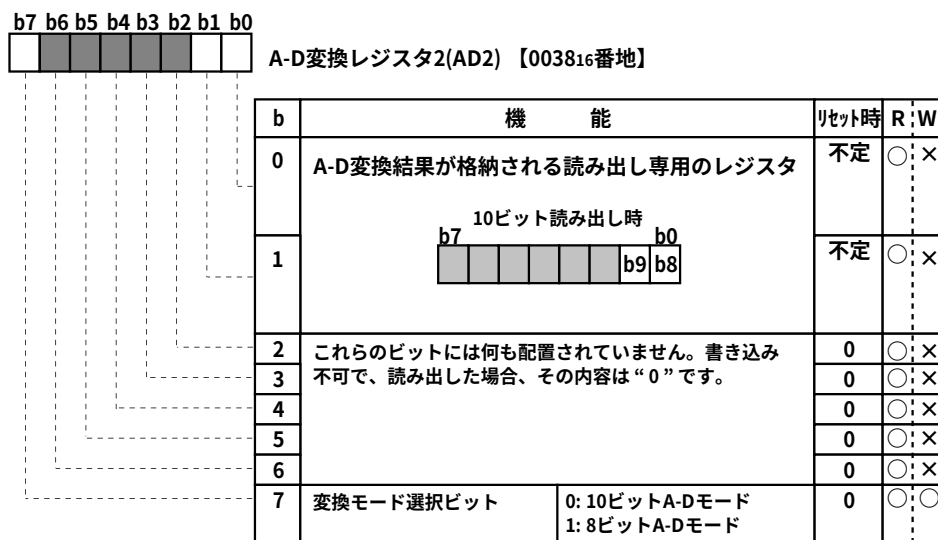
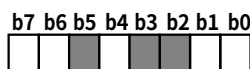


図4.28 A-D変換レジスタ2の構成

### 割り込み要因選択レジスタ



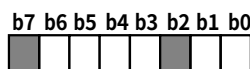
割り込み要因選択レジスタ(INTSEL) 【0039<sub>16</sub>番地】

| b | ビット名                                                       | 機 能                             | リセット時 | R | W |
|---|------------------------------------------------------------|---------------------------------|-------|---|---|
| 0 | INT0/タイマZ割り込み<br>要因選択ビット                                   | 0:INT0割り込み<br>1:タイマZ割り込み (注)    | 0     | ○ | ○ |
| 1 | シリアル/O2/タイマZ<br>割り込み要因選択ビット                                | 0:シリアル/O2割り込み<br>1:タイマZ割り込み (注) | 0     | ○ | ○ |
| 2 | このビットには何も配置されていません。 “1” を書き込まないでください。読み出した場合、その内容は “0” です。 |                                 | 0     | ○ | ○ |
| 3 | このビットには何も配置されていません。 “1” を書き込まないでください。読み出した場合、その内容は “0” です。 |                                 | 0     | ○ | ○ |
| 4 | INT4/CNTR2割り込み<br>要因選択ビット                                  | 0:INT4割り込み<br>1:CNTR2割り込み       | 0     | ○ | ○ |
| 5 | このビットには何も配置されていません。 “1” を書き込まないでください。読み出した場合、その内容は “0” です。 |                                 | 0     | ○ | ○ |
| 6 | CNTR1/シリアル/O3受信<br>割り込み要因選択ビット                             | 0:CNTR1割り込み<br>1:シリアル/O3受信割り込み  | 0     | ○ | ○ |
| 7 | A-D変換/シリアル/O3送信<br>割り込み要因選択ビット                             | 0:A-D変換割り込み<br>1:シリアル/O3送信割り込み  | 0     | ○ | ○ |

注. 同時に “1” を書き込まないでください。

図4.29 割り込み要因選択レジスタの構成

### 割り込みエッジ選択レジスタ



割り込みエッジ選択レジスタ(INTEDGE) 【003A<sub>16</sub>番地】

| b | ビット名                                             | 機 能                                    | リセット時 | R | W |
|---|--------------------------------------------------|----------------------------------------|-------|---|---|
| 0 | INT0割り込みエッジ<br>選択ビット                             | 0:立ち下がりエッジアクティブ<br>1:立ち上がりエッジアクティブ     | 0     | ○ | ○ |
| 1 | INT1割り込みエッジ<br>選択ビット                             | 0:立ち下がりエッジアクティブ<br>1:立ち上がりエッジアクティブ     | 0     | ○ | ○ |
| 2 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は “0” です。 |                                        | 0     | ○ | × |
| 3 | INT2割り込みエッジ<br>選択ビット                             | 0:立ち下がりエッジアクティブ<br>1:立ち上がりエッジアクティブ     | 0     | ○ | ○ |
| 4 | INT3割り込みエッジ<br>選択ビット                             | 0:立ち下がりエッジアクティブ<br>1:立ち上がりエッジアクティブ     | 0     | ○ | ○ |
| 5 | INT4割り込みエッジ<br>選択ビット                             | 0:立ち下がりエッジアクティブ<br>1:立ち上がりエッジアクティブ     | 0     | ○ | ○ |
| 6 | INT0、INT4割り込み<br>切り替えビット                         | 0:INT00、INT40割り込み<br>1:INT01、INT41割り込み | 0     | ○ | ○ |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は “0” です。 |                                        | 0     | ○ | × |

図4.30 割り込みエッジ選択レジスタの構成

### CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

CPUモードレジスタ(CPUM) 【003B<sub>16</sub>番地】

| b | ビット名                                             | 機 能                                                               | リセット時 | R | W |
|---|--------------------------------------------------|-------------------------------------------------------------------|-------|---|---|
| 0 | プロセッサモードビット                                      | b1 b0<br>0 0:シングルチップモード                                           | 0     | ○ | ○ |
|   |                                                  | 0 1:選択禁止                                                          |       |   |   |
| 1 |                                                  | 1 0:選択禁止                                                          | 0     | ○ | ○ |
|   |                                                  | 1 1:選択禁止                                                          |       |   |   |
| 2 | スタックページ選択ビット                                     | 0:0ページ<br>1:1ページ                                                  | 0     | ○ | ○ |
| 3 | このビットは“1”に固定してください。                              |                                                                   | 1     | ○ | ○ |
| 4 | ポートXc切り替えビット                                     | 0:入出力ポート機能<br>(発振停止)<br>1:X <sub>CIN</sub> -X <sub>COU</sub> 発振機能 | 0     | ○ | ○ |
| 5 | メインクロック(X <sub>IN</sub> -X <sub>OUT</sub> )停止ビット | 0:発振<br>1:停止                                                      | 0     | ○ | ○ |
| 6 | メインクロック分周比選択ビット                                  | b7 b6<br>0 0:φ = f(X <sub>IN</sub> )/2(高速モード)                     | 1     | ○ | ○ |
|   |                                                  | 0 1:φ = f(X <sub>IN</sub> )/8(中速モード)                              |       |   |   |
|   |                                                  | 1 0:φ = f(X <sub>CIN</sub> )/2(低速モード)                             | 0     | ○ | ○ |
| 7 |                                                  | 1 1:選択禁止                                                          |       |   |   |

図4.31 CPUモードレジスタの構成

### 割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

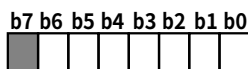
割り込み要求レジスタ1(IREQ1) 【003C<sub>16</sub>番地】

| b | ビット名               | 機 能                      | リセット時 | R | W |
|---|--------------------|--------------------------|-------|---|---|
| 0 | INT0/タイマZ割り込み要求ビット | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 1 | INT1割り込み要求ビット      | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 2 | シリアル/O1受信割り込み要求ビット | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 3 | シリアル/O1送信割り込み要求ビット | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 4 | タイマX割り込み要求ビット      | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 5 | タイマY割り込み要求ビット      | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 6 | タイマ1割り込み要求ビット      | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |
| 7 | タイマ2割り込み要求ビット      | 0:割り込み要求なし<br>1:割り込み要求あり | 0     | ○ | * |

\*ソフトウェアによって“0”にできますが、“1”にはできません。

図4.32 割り込み要求レジスタ1の構成

### 割り込み要求レジスタ2



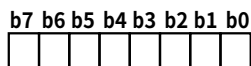
割り込み要求レジスタ2(IREQ2) 【003D16番地】

| b | ビット名                                           | 機 能                        | リセット時 | R | W |
|---|------------------------------------------------|----------------------------|-------|---|---|
| 0 | CNTR0割り込み要求ビット                                 | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 1 | CNTR1/シリアル/O3受信割り込み要求ビット                       | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 2 | シリアル/O2/タイマZ割り込み要求ビット                          | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 3 | INT2割り込み要求ビット                                  | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 4 | INT3割り込み要求ビット                                  | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 5 | INT4/CNTR2割り込み要求ビット                            | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 6 | A-D変換/シリアル/O3送信割り込み要求ビット                       | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | ○ | * |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                            | 0     | ○ | × |

\*ソフトウェアによって“0”にできますが、“1”にはできません。

図4.33 割り込み要求レジスタ2の構成

### 割り込み制御レジスタ1



割り込み制御レジスタ1(ICON1) 【003E16番地】

| b | ビット名               | 機 能                    | リセット時 | R | W |
|---|--------------------|------------------------|-------|---|---|
| 0 | INT0/タイマZ割り込み許可ビット | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 1 | INT1割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 2 | シリアル/O1受信割り込み許可ビット | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 3 | シリアル/O1送信割り込み許可ビット | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 4 | タイマX割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 5 | タイマY割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 6 | タイマ1割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 7 | タイマ2割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |

図4.34 割り込み制御レジスタ1の構成

### 割り込み制御レジスタ2

| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|----|----|----|----|----|----|----|----|
| 0  |    |    |    |    |    |    |    |

割り込み制御レジスタ2(ICON2) 【003F16番地】

| b | ビット名                     | 機 能                    | リセット時 | R | W |
|---|--------------------------|------------------------|-------|---|---|
| 0 | CNTR0割り込み許可ビット           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 1 | CNTR1/シリアル/O3受信割り込み許可ビット | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 2 | シリアル/O2/タイマZ割り込み許可ビット    | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 3 | INT2割り込み許可ビット            | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 4 | INT3割り込み許可ビット            | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 5 | INT4/CNTR2割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 6 | A-D変換/シリアル/O3送信割り込み許可ビット | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | ○ | ○ |
| 7 | このビットは“0”に固定してください。      |                        | 0     | ○ | ○ |

図4.35 割り込み制御レジスタ2の構成

### フラッシュメモリ制御レジスタ0

| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|----|----|----|----|----|----|----|----|
|    |    |    |    |    |    |    |    |

フラッシュメモリ制御レジスタ0(FMCR0) 【0FE016番地】

| b | ビット名                       | 機 能                                                                | リセット時 | R | W |
|---|----------------------------|--------------------------------------------------------------------|-------|---|---|
| 0 | RY/BYステータスフラグ              | 0: ビジー (自動書き込み、自動消去中)<br>1: レディ                                    | 1     | ○ | × |
| 1 | CPU書き換えモード選択ビット (注1)       | 0: CPU書き換えモード無効 (ソフトウェアコマンド無効)<br>1: CPU書き換えモード有効 (ソフトウェアコマンド受付可能) | 0     | ○ | ○ |
| 2 | 8KBユーザブロックE/W許可ビット (注1, 2) | 0: E/W禁止<br>1: E/W許可                                               | 0     | ○ | ○ |
| 3 | フラッシュメモリリセットビット (注3, 4)    | 0: 通常動作<br>1: リセット                                                 | 0     | ○ | ○ |
| 4 | 不使用 (“1”を書き込まないでください。)     |                                                                    | 0     | ○ | ○ |
| 5 | ユーザ領域/ブート領域選択ビット (注5)      | 0: ユーザROM領域アクセス<br>1: ブートROM領域アクセス                                 | 0     | ○ | ○ |
| 6 | プログラムステータスフラグ              | 0: パス<br>1: エラー                                                    | 0     | ○ | × |
| 7 | イレーズステータスフラグ               | 0: パス<br>1: エラー                                                    | 0     | ○ | × |

- 注1. “1”を設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。
2. CPU書き換えモード選択ビットが“1”のときだけ書き込めます。
3. CPU書き換えモード選択ビットが“1”のときだけ有効です。CPU書き換えモード選択ビットが“0”のときは“0”に固定してください。
4. このビットを“1”にする (フラッシュメモリの制御回路をリセットする) と、10μs間フラッシュメモリにアクセスできません。
5. このビットへの書き込みはRAM上のプログラムから実行してください。

図4.36 フラッシュメモリ制御レジスタ0の構成(フラッシュメモリ版のみ)

### フラッシュメモリ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



フラッシュメモリ制御レジスタ1(FMC R1) 【0FE1<sub>16</sub>番地】

| b | ビット名                                                        | 機 能                                   | リセット時 | R | W |
|---|-------------------------------------------------------------|---------------------------------------|-------|---|---|
| 0 | イレーズサスペンド許可ビット (注1)                                         | 0: サスペンド無効<br>1: サスペンド有効              | 0     | ○ | ○ |
| 1 | イレーズサスペンド要求ビット (注2)                                         | 0: イレーズ再開 (要求なし)<br>1: イレーズ中断 (要求あり)  | 0     | ○ | ○ |
| 2 | これらのビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。 |                                       | 0     | ○ | × |
| 3 |                                                             |                                       | 0     | ○ | × |
| 4 |                                                             |                                       | 0     | ○ | × |
| 5 |                                                             |                                       | 0     | ○ | × |
| 6 | イレーズサスペンドフラグ                                                | 0: イレーズ中<br>1: イレーズ停止中 (イレーズサスペンドモード) | 1     | ○ | × |
| 7 | このビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。   |                                       | 0     | ○ | × |

注1. “1”に設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。

“0”にする場合は“0”を書き込んでください。

2. イレーズサスペンド許可ビットが“1”のときだけ有効です。

図4.37 フラッシュメモリ制御レジスタ1の構成(フラッシュメモリ版のみ)

### フラッシュメモリ制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



フラッシュメモリ制御レジスタ2(FMC R2) 【0FE2<sub>16</sub>番地】

| b | ビット名                                                        | 機 能                  | リセット時 | R | W |
|---|-------------------------------------------------------------|----------------------|-------|---|---|
| 0 | これらのビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。 |                      | 1     | ○ | × |
| 1 |                                                             |                      | 0     | ○ | × |
| 2 |                                                             |                      | 1     | ○ | × |
| 3 |                                                             |                      | 0     | ○ | × |
| 4 | 全ユーザブロックE/W許可ビット (注1、2)                                     | 0: E/W禁止<br>1: E/W許可 | 0     | ○ | ○ |
| 5 | これらのビットには何も配置されていません。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定です。 |                      | 0     | ○ | × |
| 6 |                                                             |                      | 1     | ○ | × |
| 7 |                                                             |                      | 0     | ○ | × |

注1. “1”に設定する場合は“0”を書き込んだ後、続けて“1”を書き込んでください。

“0”にする場合は“0”を書き込んでください。

2. CPU書き換えモード選択ビットが“1”のときだけ書き込みます。

図4.38 フラッシュメモリ制御レジスタ2の構成(フラッシュメモリ版のみ)

ポートPiプルアップ制御レジスタ(i= 0, 1, 2, 4, 5, 6)

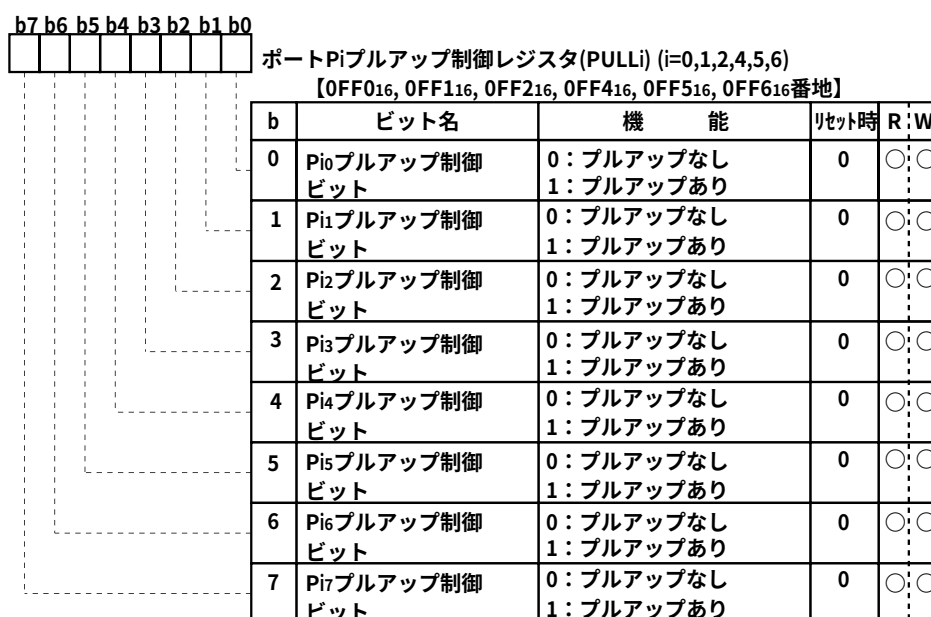


図4.39 ポートPiプルアップ制御レジスタの構成

ポートP3プルアップ制御レジスタ

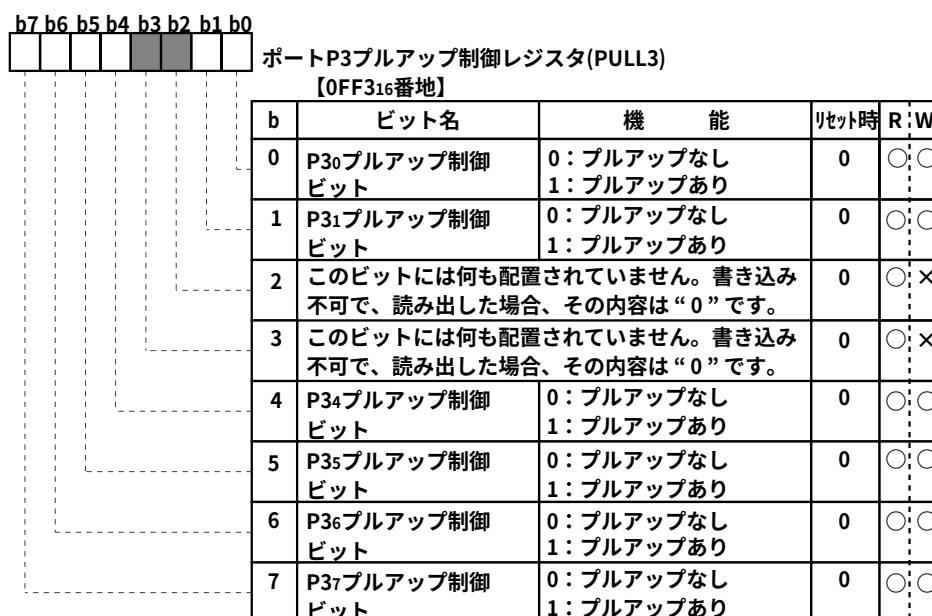


図4.40 ポートP3プルアップ制御レジスタの構成



## 5. 参考ドキュメント

### データシート

3803グループ(H仕様)データシート

最新版をルネサス テクノロジホームページから入手してください。

### テクニカルニュース／テクニカルアップデート

最新の情報をルネサス テクノロジホームページから入手してください。

## 6. ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

ルネサス製品全般に関するお問合せ先

カスタマ・サポート・センター：csc@renesas.com

改訂記録

| Rev. | 発行日        | 改訂内容 |                                                                        |
|------|------------|------|------------------------------------------------------------------------|
|      |            | ページ  | ポイント                                                                   |
| 1.00 | 2005.11.14 | －    | 3803グループ(H仕様) ユーザーズマニュアル Rev.2.02<br>「3.5 レジスタ一覧」をアプリケーションノートに様式変更して発行 |
|      |            |      |                                                                        |
|      |            |      |                                                                        |
|      |            |      |                                                                        |

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。