

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

# アプリケーションノート

## DC ブラシレスモータ制御 (H8/3687)

### 要旨

H8/3687 を使用し DC ブラシレスモータを制御します。

### 動作確認デバイス

H8/300H Tiny シリーズ - H8/3687 -

### 目次

ご注意.....	2
1. 仕様.....	3
2. 考え方.....	4
3. 使用機能説明.....	5
4. 動作説明.....	14
5. ソフトウェア説明.....	17
5.1 モジュール説明.....	17
5.2 引数の説明.....	17
5.3 使用内部レジスタ説明.....	18
5.4 使用 RAM 説明.....	22
6. フローチャート.....	23
7. プログラムリスト.....	27

## ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

Copyright©Hitachi, Ltd., 2003. All rights reserved.

## 1. 仕様

1. 図 1.1 に示すように、H8/3687 を使用し DC ブラシレスモータを制御します。
2. DC ブラシレスモータは、ロータの磁極位置信号を検出し、各位置信号にあった回転磁界制御用信号をポートおよびタイマ Z から出力することで回転します。
3. H8/3687 内蔵タイマにより、PWM 波形を生成し、チョッピング制御します。
4. DC ブラシレスモータの磁極位置を検出して、I/O ポートとタイマ Z で 6 相のレベルを切り替え、ベースドライバへ出力します。

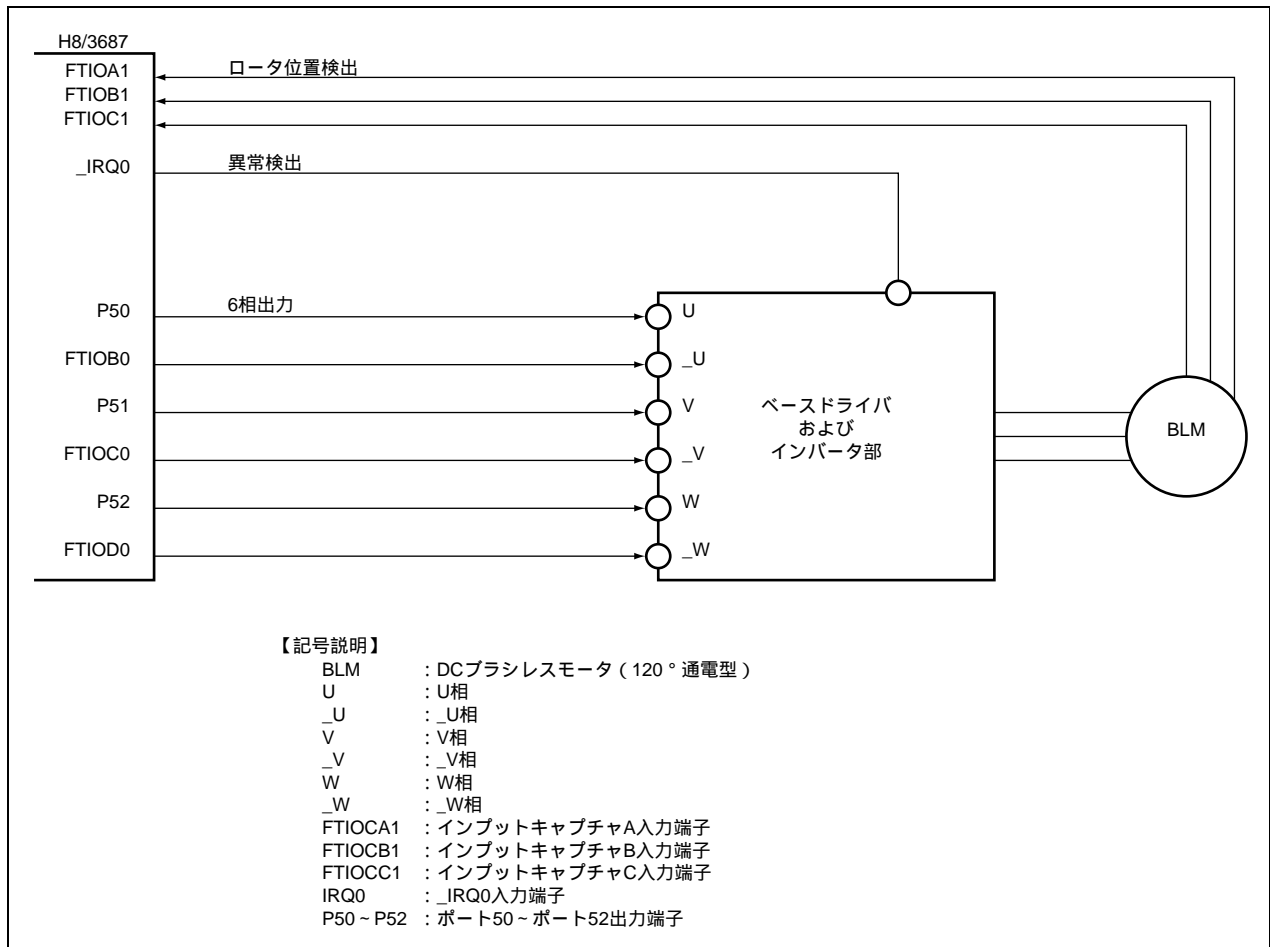


図 1.1 DC ブラシレスモータ制御

## 2. 考え方

1. DC ブラシレスモータを制御するための PWM 波形を I/O ポートとタイマ Z から出力します。
2. モータの回り始めは、励磁する相を一定周期ごとに順に切り換え、ポートとタイマ Z から制御用信号を出力します。
3. 励磁する相の切り換えを 12 回行なった後、モータより出力されるロータ位置信号を検出して制御する方法に遷移します。
4. モータより出力されるロータ位置検出信号は、タイマ Z (CH0) のインプットキャプチャ端子で取り込み、割り込みを発生させます。
5. 割り込みにより、回転磁界を切り替え、励磁する相をチョッピング制御します。



### 3. 使用機能説明

1. 図 3.1 に示すように H8/3687 のタイマ Z (インプットキャプチャ、アウトプットコンペア機能)、I/O ポート (ポート 5 機能)、IRQ (外部割り込み機能) の各機能を割り付け、DC ブラシレスモータ制御を行ないます。

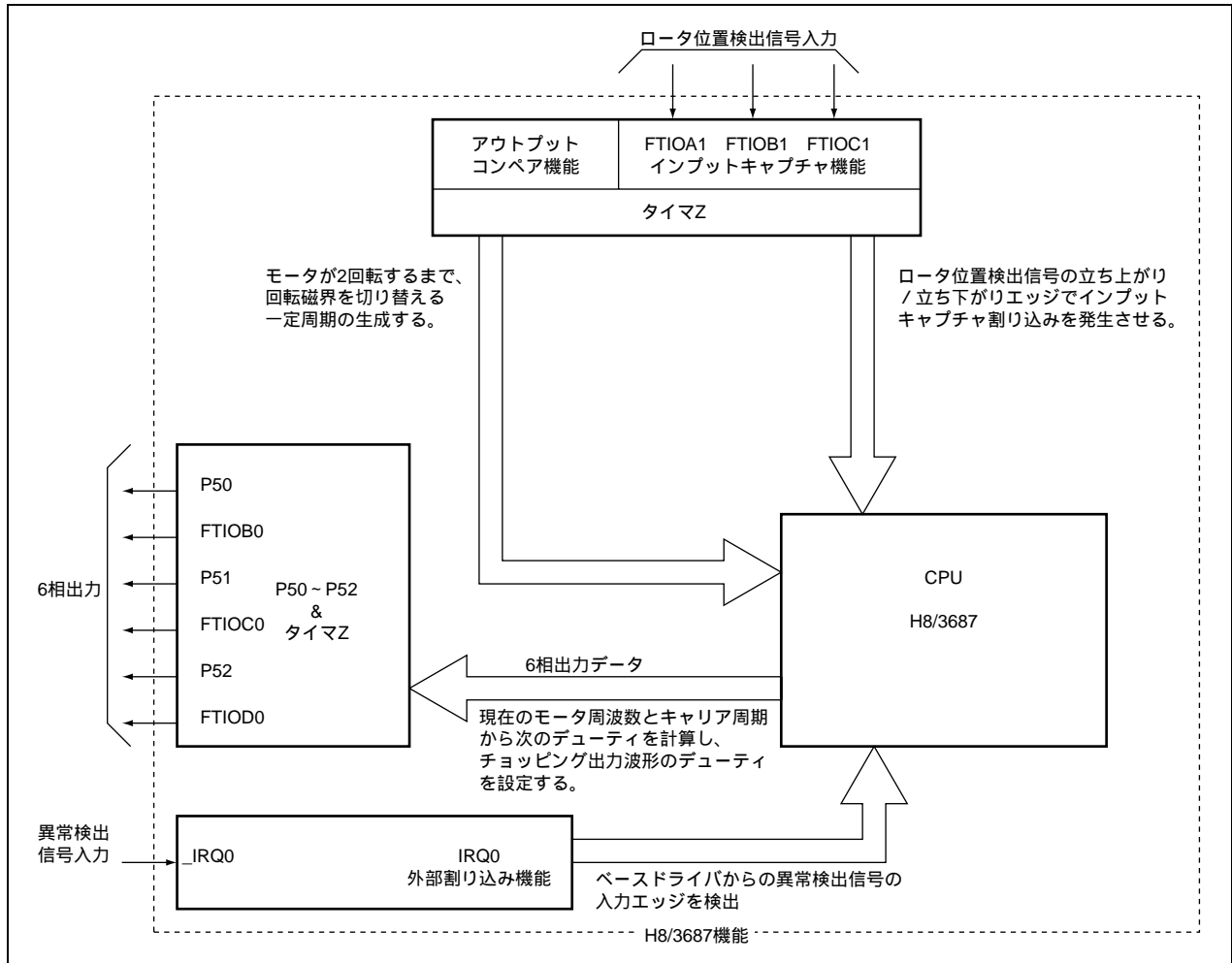


図 3.1 DC ブラシレスモータ制御ブロック図

以下に H8/3687 の機能割り付けについて説明します。

- タイマ Z(CH1)インプットキャプチャ機能：ロータ位置検出信号の立ち上がり/立ち下がりエッジを検出し、CPU に割り込みを要求します。
- タイマ Z(CH1)アウトプットコンペア機能：モータが 2 回転するまで、回転磁界切り換え周期（モータの回転周波数の 60° 分に相当する時間）ごとに CPU に割り込みを要求します。
- タイマ Z(CH0)PWM モード機能：ドライバが ON する際にチョッピング制御を行なうためのチョッピング波形の生成を行い、ドライバへ出力する逆相 3 相分のデータを TIOCBO～TIOCDO 端子から出力します。
- ポート 5 機能：ドライバへ出力する正相 3 相分のデータを出力します。
- IRQ 外部割り込み機能：ドライバからの異常検出信号によりモータを停止させます。

## 2. 以下に各機能ごとに説明します。

- (a) タイマ Z (CH1) は、ロータ位置検出信号の立ち上がり／立ち下がりエッジを検出し割り込みを発生させるインプットキャプチャ機能と、初期モータ制御時の回転磁界切り換え周期を測定するためのアウトプットコンペア機能で使用します。以下にタイマ Z のインプットキャプチャ機能とアウトプットコンペア機能で共通に使用する機能について説明します。
- システムクロック ( $\phi$ ) は、16MHz のクロックで、CPU および周辺機能を動作させるための基準クロックです。
  - タイマ Z のタイマカウンタ 1 (TCNT1) は、16 ビットのリード／ライト可能なアップカウンタで、入力するクロックはシステムクロックの分周なし、2 分周、4 分周、8 分周および外部クロックの計 5 種のクロックから選択可能です。TCNT1 の入力クロックは TCR1 により設定します。本タスク例では、の入力クロックにシステムクロックの分周なしを選択しています。
  - タイマ Z のタイマコントロールレジスタ 1 (TCR1) は、8 ビットのリード／ライト可能なレジスタで、タイマカウンタ 1 のクリア要因の選択、外部クロック選択時の外部入力エッジの選択、タイマカウンタ 1 のカウントクロックを選択します。
  - タイマ I/O コントロールレジスタ 1 (TIOR1) は、8 ビットのリード／ライト可能なレジスタで、ジェネラルタイマ Z のジェネラルレジスタ (GR) の制御を行います。アウトプットコンペアレジスタに選択しコンペアマッチ時の出力を選択します。インプットキャプチャレジスタに選択し、エッジ入力の選択を行います。
  - タイマ Z のタイマステータスレジスタ (TSR1) は、8 ビットのリード／ライト可能なレジスタで、インプットキャプチャ／アウトプットコンペアレジスタ、オーバーフローのステータスを示します。
  - タイマ Z の PWM モードアウトプットレベルコントロールレジスタ (POCR) は、8 ビットのリード／ライト可能なレジスタで、PWM モード時の各アクティブレベルの設定を行います。本タスク例では、FTIOB1～FTIOD の出力アクティブレベルは、ハイアクティブを選択しています。
  - タイマ Z のタイマ PWM モードレジスタ (TPMR) は、8 ビットのリード／ライト可能なレジスタで、FTIOB～FTIOD のコンペアマッチ波形出力時の動作モード (通常動作/PWM モード) を選択します。本タスク例では、FTIOB0～FTIOD0 を PWM モードに選択しています。
  - タイマ Z のタイマアウトプットイネーブルレジスタ (TOER) は、8 ビットのリード／ライト可能なレジスタで、チャンネル 1,2 の出力設定を禁止/許可します。本タスク例では、FTIOB0～FTIOD0 の端子を出力に設定しています。
  - タイマ Z のタイマアウトプットコントロールレジスタ (TOCR) は、8 ビットのリード／ライト可能なレジスタで、コンペアマッチが最初に起こるまでの初期出力を設定します。本タスク例では、FTIOB0～FTIOD0 は 0 出力を設定しています。
  - タイマ Z のタイマインタラプトイネーブルレジスタ (TIER) は、8 ビットのリード／ライト可能なレジスタで、IMFA～IMFD、OVF 各割り込み要求の許可/禁止を制御します。本タスク例では、IMIFA1 による割り込み要求 (IMIA1) を許可しています。
  - タイマ Z のタイマスタートレジスタ (TSTR) は、8 ビットのリード／ライト可能なレジスタで、チャンネル 0/1 の動作/停止を選択します。本タスク例では、TCNT0/1 をカウント動作に設定しています。

(b) タイマ Z (CH1) インพุットキャプチャ機能によりロータ位置検出信号の立ち上がり／立ち下がりエッジを検出し、割り込みを発生させます。図 3.2 にインพุットキャプチャ機能によるロータ位置検出信号の入力エッジによる割り込み要求のブロック図を示します。以下にブロックについて説明します

- インพุットキャプチャ入力端子 A、B、C (FTIOA1、FTIOB1、FTIOC1) は、ロータ位置検出信号の入力端子として機能します。
- インพุットキャプチャレジスタとして設定した A、B、C (GRA1、GRB1、GRC1) は、16 ビットのリード専用のレジスタで、インพุットキャプチャ入力信号の入力エッジが検出されると、その時の TCNT1 の値が GRA1、GRB1、GRC1 に転送され、TSR1 の IMFA1、IMFB1、IMFC1 が 1 にセットされます。このとき、TIER の IMIAE、IMIBE、IMICE が 1 ならば CPU に割り込みを要求します。

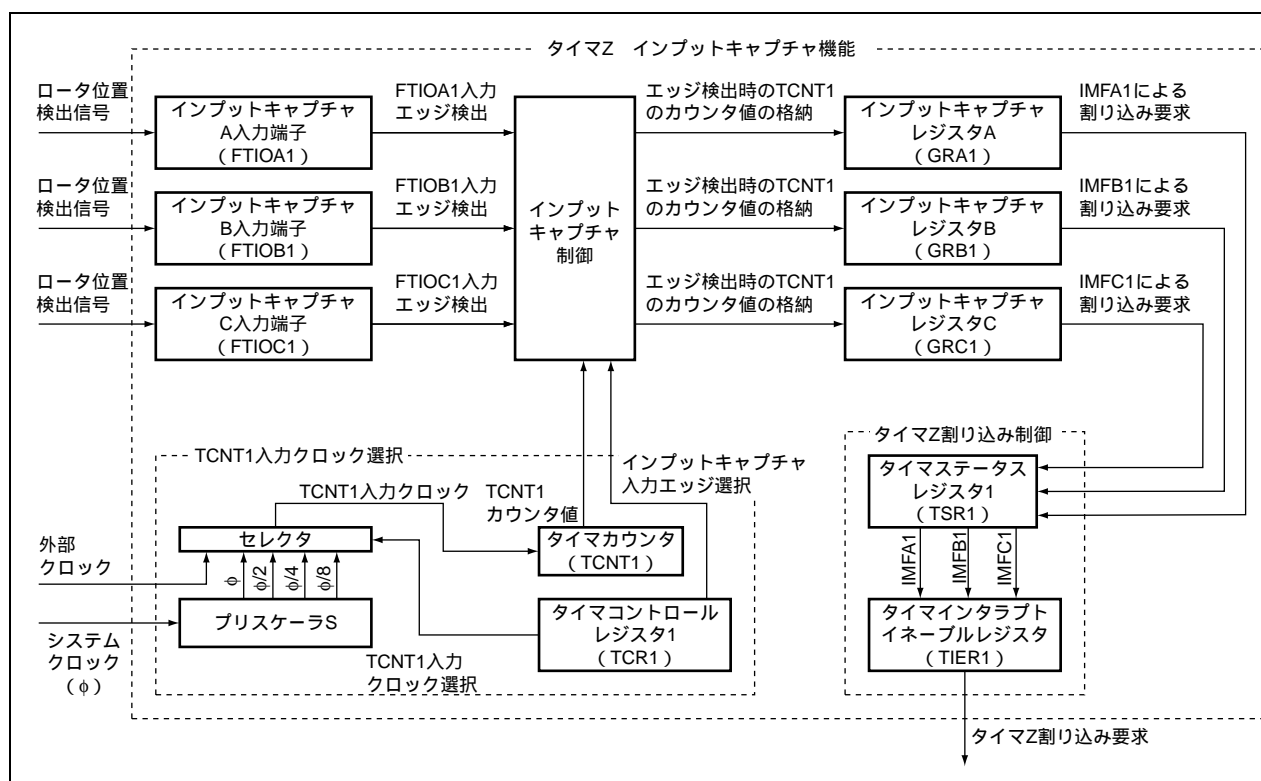


図 3.2 インพุットキャプチャ機能を使用したロータ位置検出信号の入力エッジ検出による割り込み要求ブロック図

- (c) タイマ Z (CH1) アウトプットコンペア機能によりモータが 10 回転するまで、回転磁界切り換え周期 (モータの回転周波数の  $60^\circ$  分に相当する時間) ごとに CPU に割り込みを要求します。図 3.3 にタイマ Z アウトプットコンペア機能を使用した回転磁界切り換え周期ごとの割り込み要求のブロック図を示します。
- アウトプットコンペアレジスタに設定した A1 (GRA1) は、16 ビットのリード/ライト可能なレジスタです。GRA1 の内容は TCNT1FRC と常に比較されており、両者の値が一致すると TSR1 の IMFA1 が 1 にセットされます。このとき、TIER の OCIAE が 1 ならば CPU に割り込みを要求します。

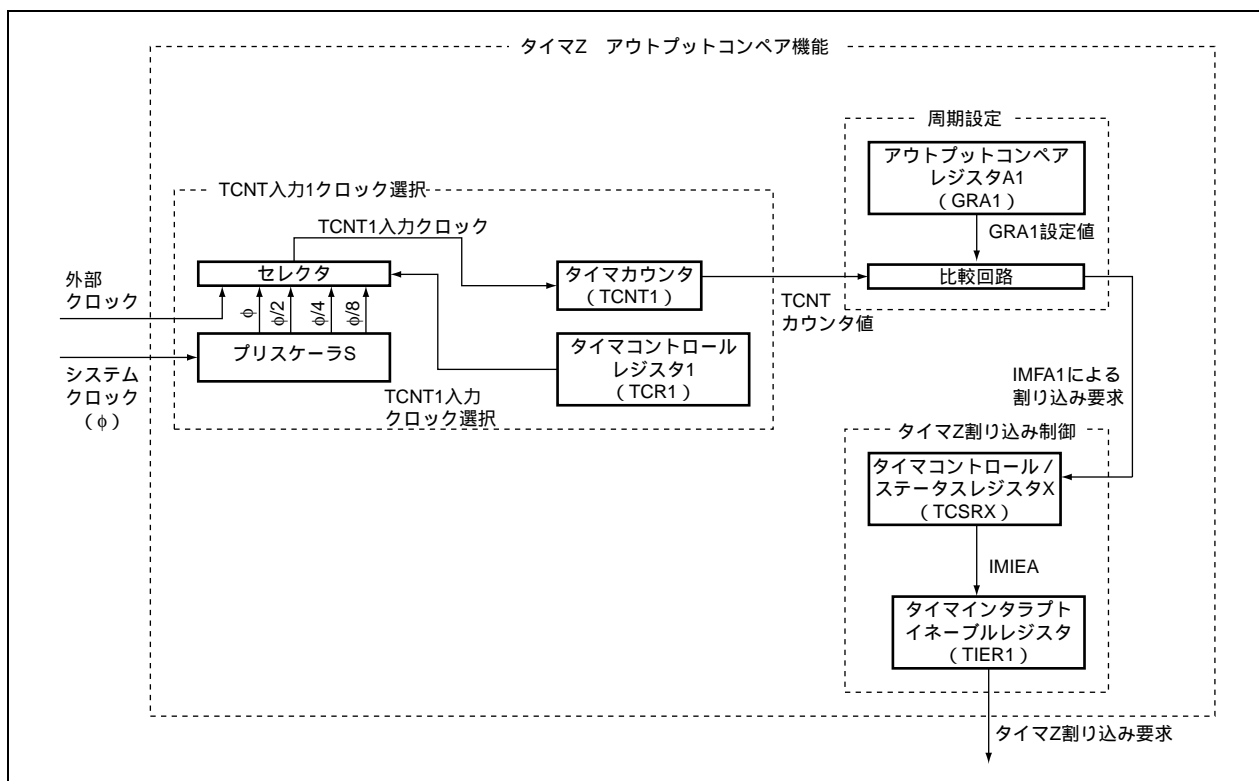


図 3.3 タイマ Z アウトプットコンペア機能を使用した回転磁界切り換え周期ごとの割り込み要求ブロック図

- (d) タイマ Z (CH0) のを PWM モードに設定しコンペアマッチ機能により、FTIOB0~FTIOD0 端子からチョッピング波形を出力します。図 3.4 にタイマ Z の PWM モードのコンペアマッチ機能によるチョッピング波形出力のブロック図を示します。以下にブロック図について説明します。
- タイマ Z のタイマカウンタ 0 (TCNT0) は、16 ビットのリード/ライト可能なカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、TCR1 の TPSC2~TPSC0 により選択します。TCNT0 の値は、CPU から常にリード/ライトできます。TCNT1 の値は、外部リセット入力信号またはコンペアマッチ信号 (GRA1、GRB1、GRC1、GRD1) により、クリアすることができます。いずれの信号でクリアするかは、TSR1 の CCLR2~CCLR0 により選択します。
  - ジェネラルレジスタ 1 (GRA1) は、8 ビットのリード/ライト可能なレジスタです。GRA1 の内容は TCNT1 と常に比較されており、両者の値が一致すると TSR の IMIFA が 1 にセットされます。このとき TIER1 の IMIEA が 1 ならば CPU に割り込みを要求します。
  - タイムコントロールレジスタ TCR1 (TCR1) は、8 ビットのリード/ライト可能なレジスタで、TCNT1 の入力クロックの選択、TCNT1 のクリア指定、および割り込み要求の許可を行ないます。本タスク例では、IMFA による割り込み要求を許可し、それ以外の割り込み要求を禁止しています。また、TCNT1 のクリア指定はコンペアマッチ IMFA によるクリアを選択しています。TCNT1 の入力クロックは、TCR1 の TPSC2~TPSC0 を設定することで選択しています。
  - タイマステータスレジスタ 1 (TSR1) は、8 ビットのレジスタで、コンペアマッチフラグのセット、およびコンペアマッチ出力の制御を行ないます。本タスク例では、コンペアマッチ B により 0 出力、コンペアマッチ A により 1 出力を選択しています。
  - タイマ PWM モードレジスタ (TPMR) は、8 ビットのリード/ライト可能なレジスタで、コンペアマッチ出力波形 (FTIOB0~FTIOD0、FTIOB1~FTIOD1) の動作モードを選択します。TCNTV の入力クロックの選択を行ないます。
  - タイマアウトプットマスタイネーブルレジスタ (TOER) は、8 ビットのリード/ライト可能なレジスタで、チャンネル 0,1 の出力設定を許可/禁止します。
  - タイマアウトプットコントロールレジスタ (TOCR) は、8 ビットのリード/ライト可能なレジスタで、コンペアマッチが最初に起こるまでの初期出力を設定します。
  - タイマ Z (Ch1) 出力端子 (FTIOB0、FTIOC0、FTIOD0) によりチョッピング波形を出力します。

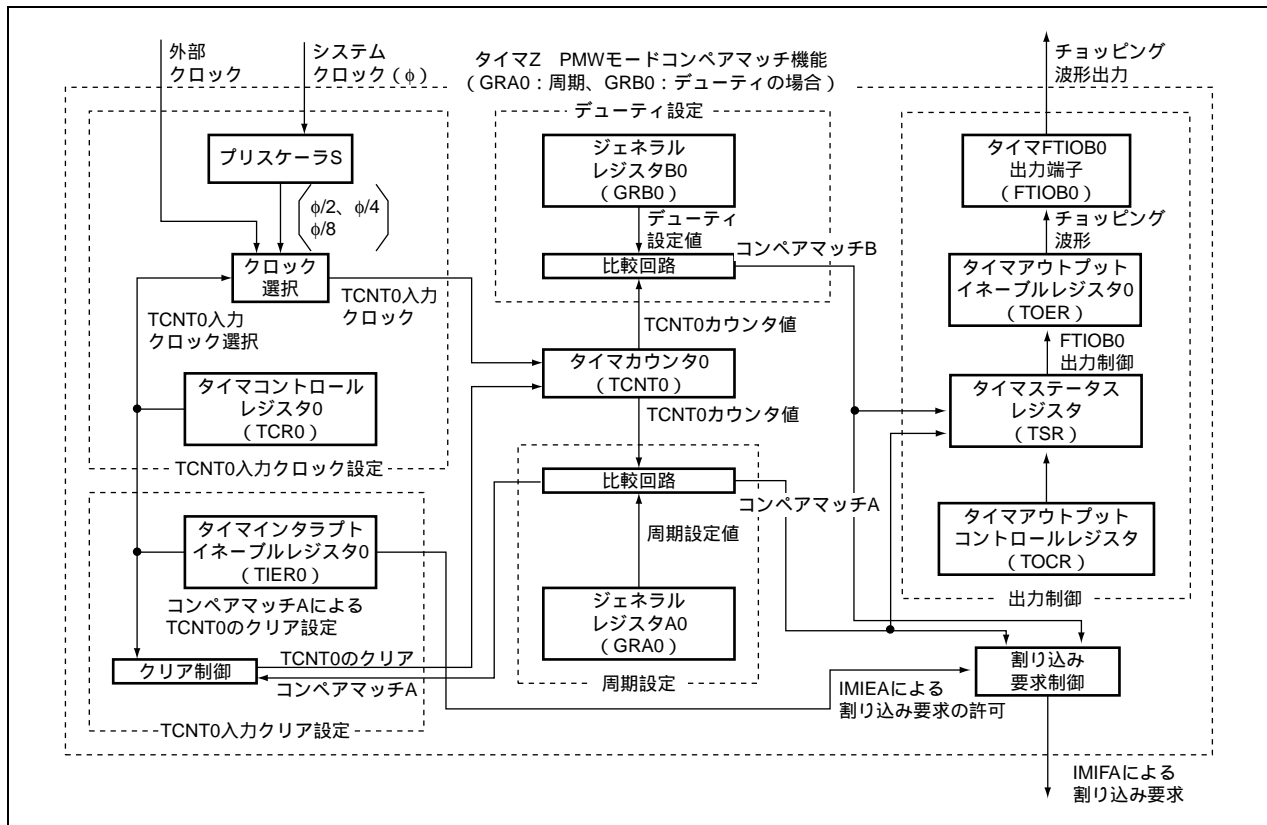


図 3.4 タイマ Z (CH0) コンペアマッチ機能PWMモードを使用したチョッピング波形出力ブロック図

(e) ポート 5 機能により 6 相出力の正相側、およびモータ停止スイッチ入力の検出を行いません。  
 ポート 5 機能により 6 相出力の正相側、およびモータ停止スイッチ入力の検出を行いません。  
 図 3.5 にポート 5 機能による 6 相出力、およびモータ停止信号の検出のブロック図を示します。  
 以下にブロック図について説明します。

- ポート 50 端子 (P50) は、ベースドライバの U 相への出力端子として機能します。
- ポート 51 端子 (P51) は、ベースドライバの V 相への出力端子として機能します。
- ポート 52 端子 (P52) は、ベースドライバの W 相への出力端子として機能します。
- ポートデータレジスタ 5 (PDR5) は、ポート 5 の各端子 P50～P57 のデータを格納する 8 ビットのレジスタです。PCR5 が 1 のとき、ポート 5 のリードを行なうと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行なうと、端子状態が読み出されます。
- ポートコントロールレジスタ 5 (PCR5) は、ポート 5 の各端子 P50～P57 の入出力をビットごとに制御します。本タスク例では、端子 P50～P52 を出力端子機能に、端子 P53～P57 を入力端子機能に設定します。

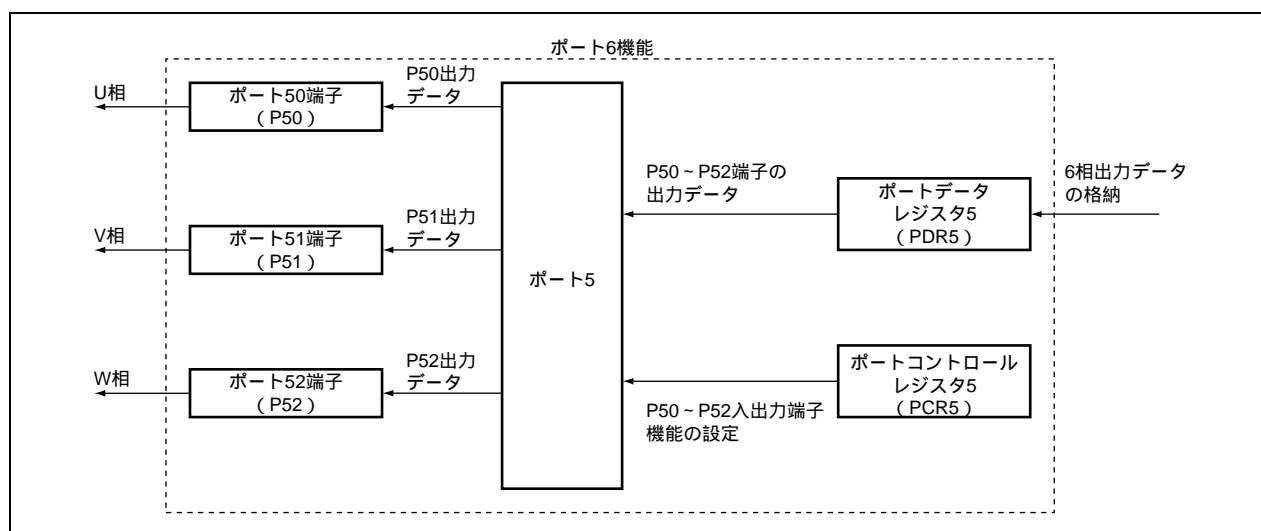


図 3.5 ポート 5 を使用した 6 相正相側出力ブロック図

(f) IRQ 外部割り込み機能により異常検出入力信号の検出を行いません。図 3.6 に IRQ 外部割り込み機能を使用した異常検出入力信号の検出のブロック図を示します。以下にブロック図について説明します。

- $\_IRQ0$  端子はベースドライバからの異常検出信号の入力端子として機能します。
- $\_IRQ0$  端子の入力エッジの検出により IRQ0 割り込みを要求します。 $\_IRQ0$  端子の入力エッジセンスは立ち上がり／立ち下がりより選択可能です。
- 割り込みエッジセレクトレジスタ 1 (IEGR1) は、8 ビットのリード／ライト可能なレジスタで、 $\_IRQ0$  端子の立ち上がり／立ち下がりエッジを指定します。
- 割り込み許可レジスタ 1 (IENR1) は、8 ビットのリード／ライト可能なレジスタで、割り込み要求の許可／禁止を制御します。本タスク例では、IRQ0 割り込み要求を許可し、直接遷移割り込み、タイマ A、ウェイクアップ割り込み IRQ1、IRQ2、IRQ3 割り込み要求は禁止します。
- 割り込み要求レジスタ 1 (IRR1) は、8 ビットのリード／ライト可能なレジスタで、直接遷移割り込み、タイマ A、IRQ0～IRQ3 割り込み要求が発生すると対応するフラグが 1 にセットされます。各割り込み要求フラグは割り込みが受け付けられてもオートクリアされません。各割り込み要求フラグをクリアする場合は 0 をライトしてください。

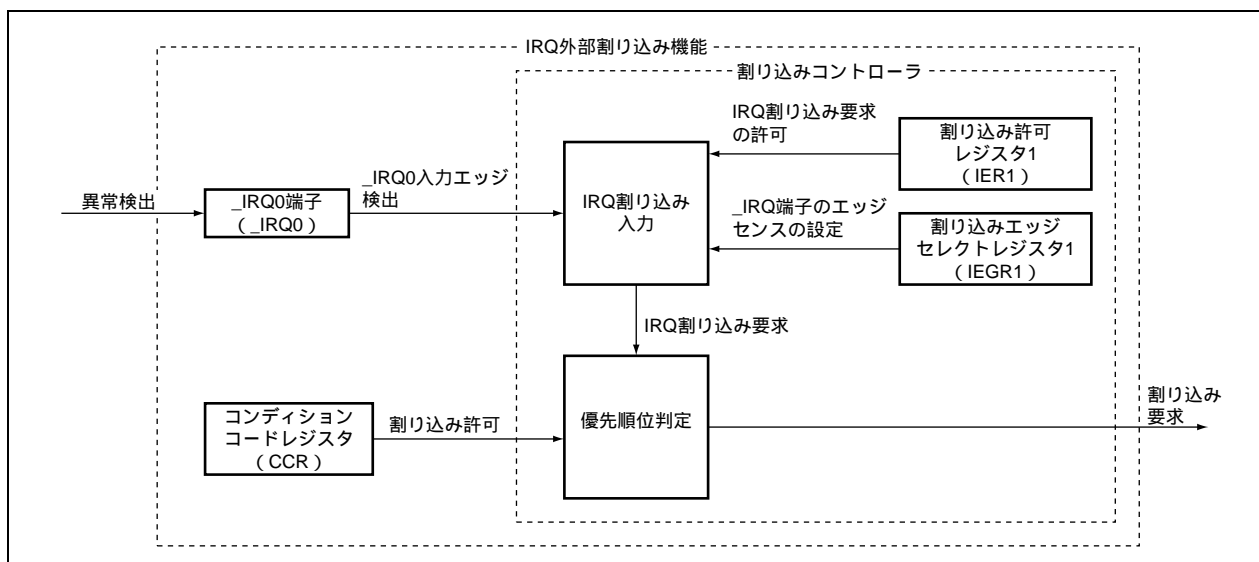


図 3.6 IRQ 外部割り込み機能を使用した異常検出入力信号の検出ブロック図



3. 表 3.1 に本タスク例の機能割り付けを示します。表 3.1 に示すように H8/3687 の機能を割り付け、DC ブラシレスモータ制御を行ないます。

表 3.1 H8/3687 機能割り付け

H8/3687 機能	機能割り付け
FTIOA1 FTIOB1 FTIOC1	ロータ位置検出信号入力
TMPR	コンペアマッチ波形出力の動作モードを選択
GRA1	初期モータ回転磁界切り換え周期の設定
TSR1	タイマ Z (CH1) の割り込み要求 (IMIFA) の有無を反映
TIER1	タイマ Z (CH1) の割り込み要求 (IMIFA) 許可または禁止を設定
FTIOB0 FTIOC0 FTIOD0	6 相逆相側波形出力
TCNT0	16 ビットアップカウンタ (Timer Z : CH0)
TCNT1	16 ビットアップカウンタ (Timer Z : CH1)
GRA0	チョッピング出力波形の周期を設定
GRB0 GRC0 GRD0	チョッピング出力波形のデューティを設定
TCR0	TCNT0 カウンタクリア要因、クロックエッジ、カウントクロックの設定
TCR1	TCNT1 カウンタクリア要因、クロックエッジ、カウントクロックの設定
TIOR	ジェネラルレジスタ (GR) の機能を設定
TOER	Timer Z CH0、CH1 の出力を許可/禁止の設定
TOCR	コンペアマッチが最初に起こるまでの初期出力を設定
P50~P52	6 相正相側波形出力
PCR5	P50~P52 入出力端子機能の設定
PDR5	P50~P52 入出力端子のデータの格納、端子レベルの読み出し
_IRQ0	異常検出信号入力
IEGR1	_IRQ0 端子の入力エッジの設定
IER1	IRQ0 割り込み要求の有無を反映

## 4. 動作説明

- 図 4.1 に初期モータ制御時（モータが 10 回転するまで、一定周期ごとに回転磁界を切り換えモータを回転させる）の動作原理を示します。図 4.1 に示すように H8/3687 のハードウェア処理、およびソフトウェア処理により初期モータ制御時の DC ブラシレスモータ制御を行ないます。

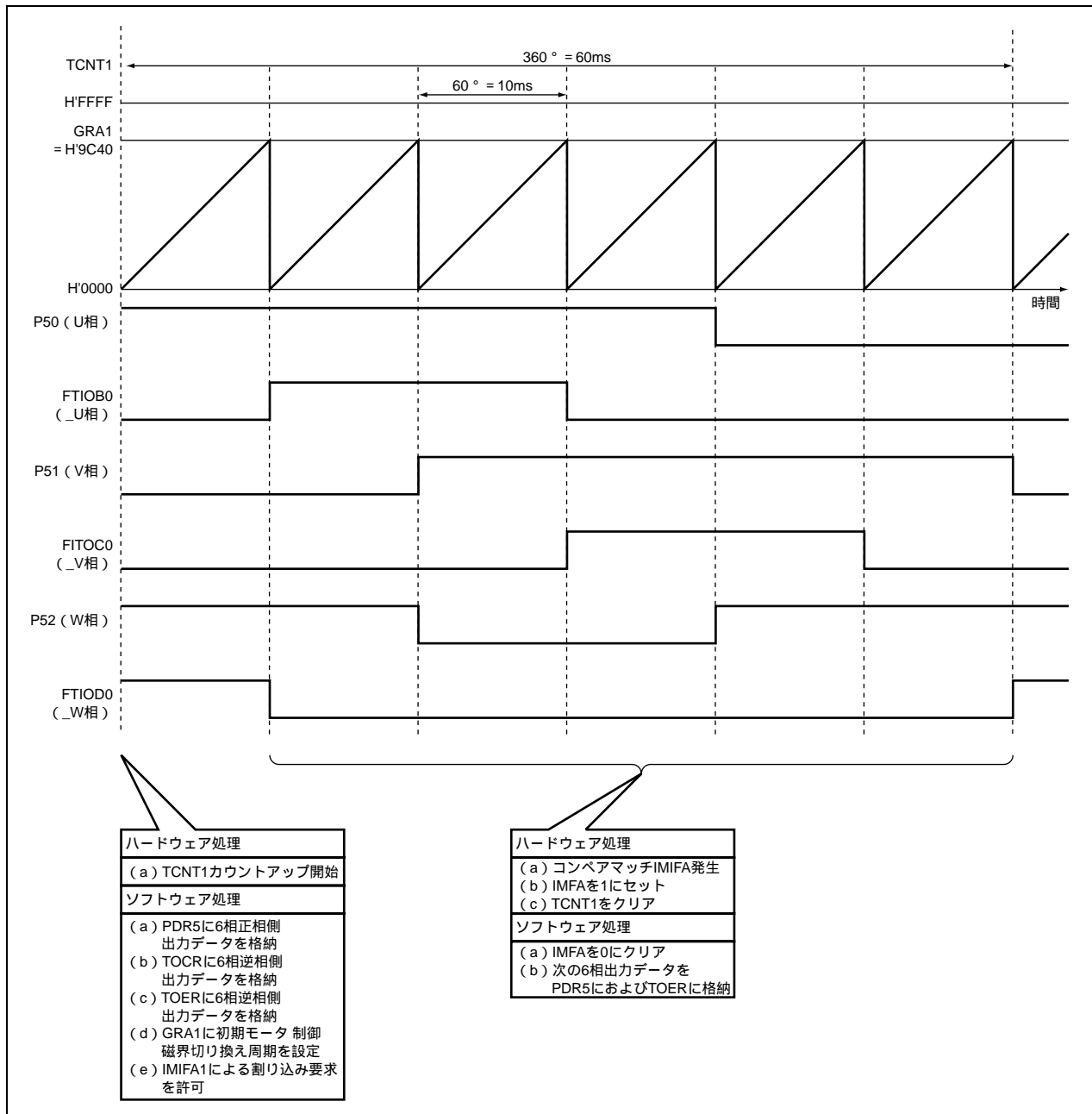


図 4.1 初期モータ制御時の DC ブラシレスモータ制御の動作原理

2. 図 4.2 にロータ位置信号の検出により回転磁界の切り換えを行なうことによる DC ブラシレスモータ制御の動作原理を示します。図 4.2 に示すように H8/3687 のハードウェア処理、およびソフトウェア処理によりロータ位置信号の検出による DC ブラシレスモータ制御を行ないます。

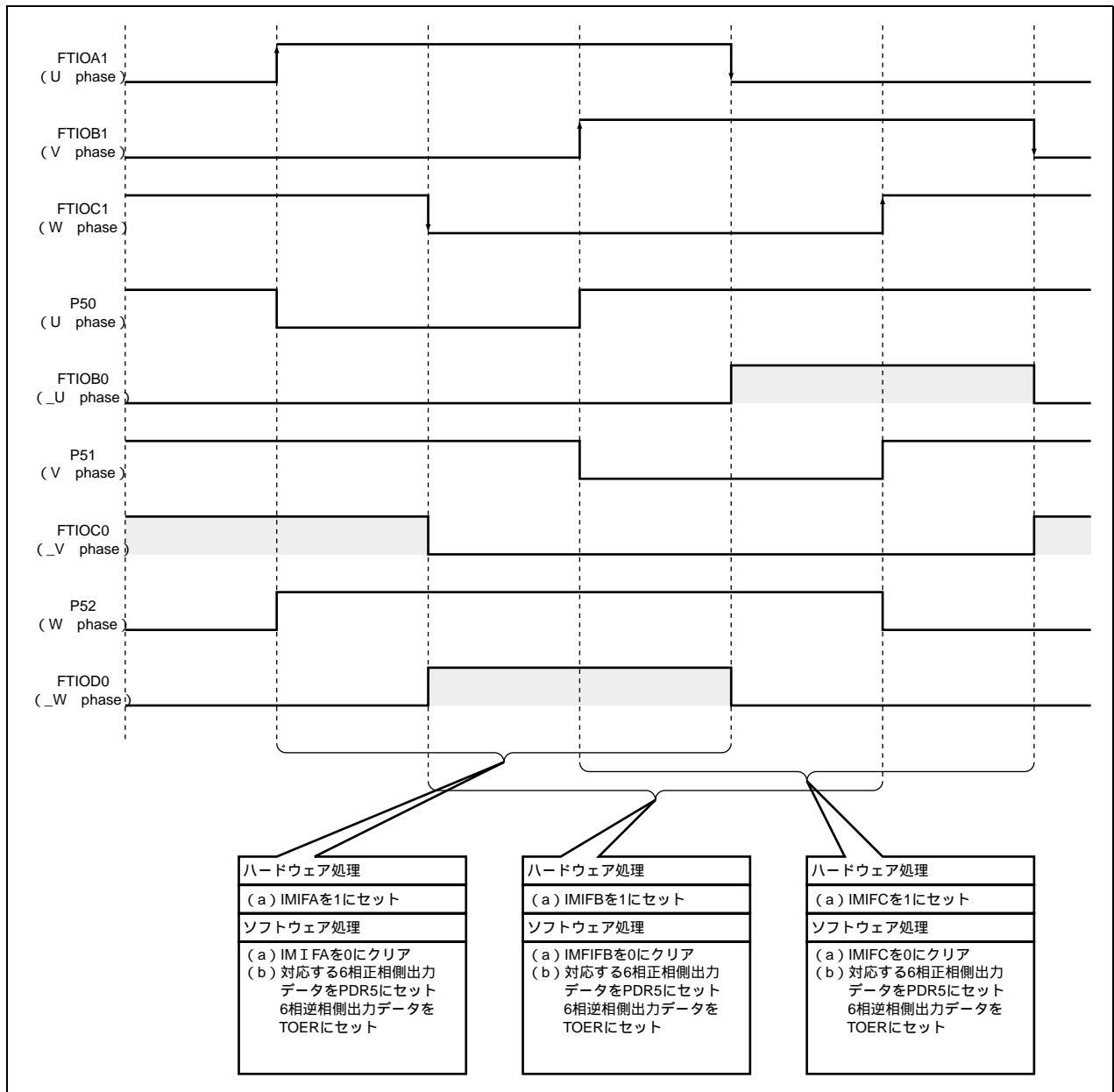


図 4.2 ロータ位置信号検出による DC ブラシレスモータ制御の動作原理

3. 本制御例では、ドライバが ON する際にチョッピング制御を行いません。チョッピング波形は、タイマ V コンペアマッチ機能により生成し、TMOV 端子から出力します。図 4.3 にチョッピング波形出力の動作原理を示します。

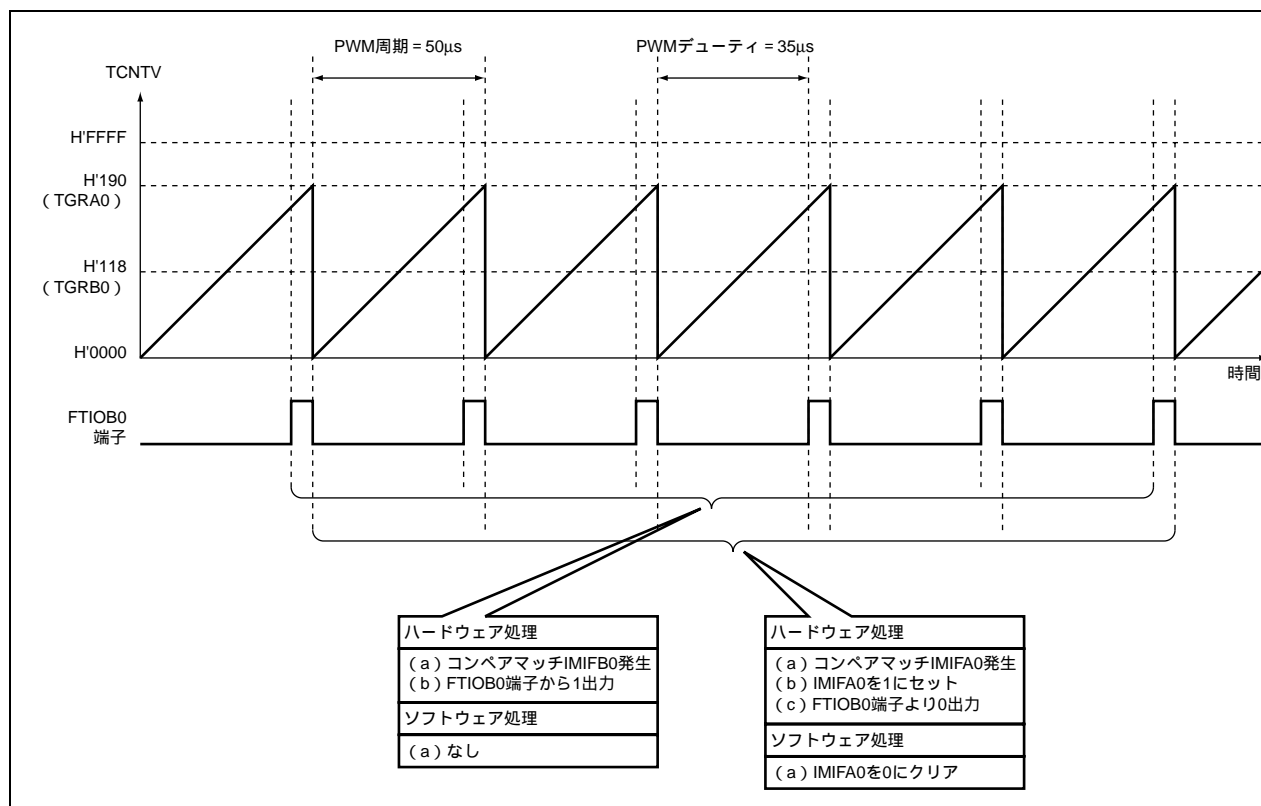


図 4.3 チョッピング波形出力の動作原理

- 位相の計算方法と PWM デューティ設定方法

IMIFA 割り込みルーチン内で、次のデューティを計算し、GRB0 に設定します。デューティの計算は、現在のモータ周波数とキャリア周期により、1 キャリアでの位相の進みを求めます。

$$360^\circ / (\text{キャリア周期} / \text{モータ周波数}) = 1 \text{ キャリアでの位相の進み} \cdots (1)$$

(1) 式を変形すると、

$$(360^\circ \times \text{モータ周期}) / \text{キャリア周期} = 1 \text{ キャリアでの位相の進み}$$

となり、計算された位相に対応するデューティをデータテーブルから参照して、GRB0 に設定します。

**【注】** 本タスク例では、PWM 周期 (GRA0 設定値) を 50µs (H'320)、および PWM デューティ (GRB0 設定値) を 35µs (H'230) の値に固定して制御を行なっています。

## 5. ソフトウェア説明

### 5.1 モジュール説明

表 5.1 に本タスク例におけるモジュール説明を示します。

表 5.1 モジュール説明

モジュール名	ラベル名	機 能
メインルーチン	Reset	スタックポインタのイニシャライズ、IRQ0 割り込みの設定、ポートの設定、タイマ Z(CH0)PWM タイマモードの設定、タイマ Z (CH1) アウトプットコンペア機能の設定、使用 RAM の設定、および各割り込みの設定を行なう。
タイマ Z 割り込み処理ルーチン	TimerZ	タイマ Z 割り込み処理ルーチンで、割り込み要求フラグのクリアおよび 6 相出力の制御を行なう。
IRQ0 割り込み処理ルーチン	IRQ0	IRQ0 割り込み処理ルーチンで、割り込み要求フラグのクリアおよびエラーフラグをたて、モータ停止処理を行なう。

### 5.2 引数の説明

表 5.2 に本タスク例における引数の説明を示します。

表 5.2 引数の説明

引数名	機 能	使用モジュール名	データ長	入出力
GRA1	初期モータ制御時、回転磁界切り換え周期を設定	main	1 バイト	入力
GRA0	チョッピング出力波形の周期を設定	TimerZ	1 バイト	入力
GRB0	チョッピング出力波形のデューティを設定	TimerZ	1 バイト	入力
GRC0	チョッピング出力波形のデューティを設定	TimerZ	1 バイト	入力
GRD0	チョッピング出力波形のデューティを設定	TimerZ	1 バイト	入力

### 5.3 使用内部レジスタ説明

表 5.3 に本タスク例における使用内部レジスタ説明を示します。

表 5.3 使用内部レジスタの説明

レジスタ名		機能	アドレス	設定値
PDR5		ポートデータレジスタ 5 : P5n が 0 のとき、P5n 端子レベルは Low (n=0~7) : P5n が 1 のとき、P5n 端子レベルは High (n=0~7)	H'FFD8	H'04
PCR5		ポートコントロールレジスタ 5 : PCR5n が 0 のとき、P5n 端子は入力端子機能 (n=0~7) : PCR5n が 1 のとき、P5n 端子は出力端子機能 (n=0~7)	H'FFE8	H'07
TCR0	CCLR2 CCLR1 CCLR0	タイマコントロールレジスタ 0 (カウンタクリア 2~0) : CCLR2=、0CCLR1=0、CCLR0=1 のとき、GRA0 のコンペアマッチで TCNT0 クリアに設定	H'F700 ビット 7 ビット 6 ビット 5	CCLR2=0 CCLR1=0 CCLR0=1
	CKEG1 CKEG0	タイマコントロールレジスタ 0 (クロックエッジ 1、0) : CKEG1=0、CKEG0=0 のとき、立ち上がりエッジでカウント	H'F700 ビット 4 ビット 3	CKEG=0 CKEG=0
	TPSC2 TPSC1 TPSC0	タイマコントロールレジスタ 0 (タイムプリスケラ 2~0) : TPSC2=0、TPSC1=0、TPSC0=0 のとき内部クロック φ でカウント	H'F700 ビット 2 ビット 1 ビット 0	TPSC2=0 TPSC1=0 TPSC0=0
TIORB0	IOB2 IOB1 IOB0	タイマ I/O コントロールレジスタ 0 (I/O コントロール B2~B0) : IOB2=0、IOB1=0、IOB0=0 のとき、GRB0 のコンペアマッチによる 端子出力禁止	H'F701 ビット 6 ビット 5 ビット 4	IOB2=0 IOB1=0 IOB0=0
TIORA0	IOA2 IOA1 IOA0	タイマ I/O コントロールレジスタ 0 (I/O コントロール A2~A0) : IOA2=0、IOA1=0、IOA0=0 のとき、GRA0 のコンペアマッチによる 端子出力禁止	H'F701 ビット 2 ビット 1 ビット 0	IOA2=0 IOA1=0 IOA0=0
TIORD0	IOD2 IOD1 IOD0	タイマ I/O コントロールレジスタ 0 (I/O コントロール D2~D0) : IOD2=0、IOD1=0、IOD0=0 のとき、GRD0 のコンペアマッチによる 端子出力禁止	H'F702 ビット 6 ビット 5 ビット 4	IOD2=0 IOD1=0 IOD0=0
TIORC0	IOC2 IOC1 IOC0	タイマ I/O コントロールレジスタ 0 (I/O コントロール C2~C0) : IOC2=0、IOC1=0、IOC0=0 のとき、GRC0 のコンペアマッチによる 端子出力禁止	H'F702 ビット 2 ビット 1 ビット 0	IOC2=0 IOC1=0 IOC0=0

表 5.3 使用内部レジスタの説明（つづき）

レジスタ名		機能	アドレス	設定値
TSR0	IMFA	タイマステータスレジスタ 0 (インプットキャプチャ/アウトプットコンペアマッチフラグ A) : IMFA=0 のときインプットキャプチャ/コンペアマッチが発生していないことを示す IMFA=1 のときインプットキャプチャ/コンペアマッチが発生していることを示す	H'F703 ビット 0	0
TIER0	IMIEA	タイムインタラプトイネーブルレジスタ 0 (インプットキャプチャ/アウトプットコンペアインタラプト A イネーブル) : IMIEA=0 のとき、ICFA による割り込み要求を禁止 : IMIEA=1 のとき、ICFA による割り込み要求を許可	H'F704 ビット 0	0
POCR0	POLD POLC POLB	PWM モードアウトプットレベルコントロールレジスタ 0 (PWM アウトプットコントロールレジスタ B~D) : POLD=0、POLC=0、POLB=0 のとき、FTIOD0、FTIOC0、FTIOB0 の出力アクティブレベルはそれぞれローアクティブ	H'F705 ビット 2 ビット 1 ビット 0	POLD=0 POLC=0 POLB=0
GRA0		ジェネラルレジスタ A0 (インプットキャプチャ/アウトプットコンペア兼用レジスタ) : GRA0=H'1F4 のとき、TCNT1 が H'1F4 までカウントアップするとコンペアマッチ IMFA0 が発生し、FTIOB0~FTIOD0 はローレベルになります	H'F708	H'320
GRB0		ジェネラルレジスタ B0 (インプットキャプチャ/アウトプットコンペア兼用レジスタ) : GRB0=H'15E のとき、TCNT1 が H'15E までカウントアップするとコンペアマッチ IMFB0 が発生し FTIOB はハイレベルになります	H'F70A	H'230
GRC0		ジェネラルレジスタ C0 (インプットキャプチャ/アウトプットコンペア兼用レジスタ) : GRB0=H'15E のとき、TCNT1 が H'15E までカウントアップするとコンペアマッチ IMFC0 が発生し FTIOC はハイレベルになります	H'F70C	H'230
GRD0		ジェネラルレジスタ D0 (インプットキャプチャ/アウトプットコンペア兼用レジスタ) : GRB0=H'15E のとき、TCNT1 が H'15E までカウントアップするとコンペアマッチ IMFD0 が発生し FTIOD はハイレベルになります	H'F70E	H'230
TCR1	CCLR2 CCLR1 CCLR0	タイマコントロールレジスタ 1 (カウンタクリア 2~0) : CCLR2=1、CCLR1=1、CCLR0=0 のとき、GRD0 のコンペアマッチで TCNT0 クリアに設定	H'F710 ビット 7 ビット 6 ビット 5	CCLR2=1 CCLR1=1 CCLR0=0
	CKEG1 CKEG0	タイマコントロールレジスタ 1 (クロックエッジ 1、0) : CKEG1=0、CKEG0=0 のとき、立ち上がりエッジでカウント	H'F710 ビット 4 ビット 3	CKEG=0 CKEG=0
	TPSC2 TPSC1 TPSC0	タイマコントロールレジスタ 1 (タイマプリスケラ 2~0) : TPSC2=0、TPSC1=0、TPSC0=1 のとき、内部クロック $\phi/2$ でカウント	H'F710 ビット 2 ビット 1 ビット 0	TPSC2=0 TPSC1=0 TPSC0=1

表 5.3 使用内部レジスタの説明 (つづき)

レジスタ名		機能	アドレス	設定値
TIORB1	IOB2	タイマ I/O コントロールレジスタ 1 (I/O コントロール B2~B0) : IOB2=1、IOB1=0、IOB0=0 のとき、立ち上がりエッジで GRA1 へ インプットキャプチャ	H'F711	IOB2=1
	IOB1		ビット 6	IOB1=0
	IOB0		ビット 5 ビット 4	IOB0=0
TIORA1	IOA2	タイマ I/O コントロールレジスタ 1 (I/O コントロール A2~A0) : IOA2=1、IOA1=0、IOA0=0 のとき、立ち上がりエッジで GRB1 へ インプットキャプチャ	H'F711	IOA2=1
	IOA1		ビット 2	IOA1=0
	IOA0		ビット 1 ビット 0	IOA0=0
TIORD1	IOD2	タイマ I/O コントロールレジスタ 1 (I/O コントロール D2~D0) : IOD2=0、IOD1=0、IOD0=0 のとき、GRD0 のコンペアマッチによる 端子出力禁止	H'F712	IOD2=1
	IOD1		ビット 6	IOD1=0
	IOD0		ビット 5 ビット 4	IOD0=0
TIORC1	IOC2	タイマ I/O コントロールレジスタ 1 (I/O コントロール C2~C0) : IOC2=1、IOC1=0、IOC0=0 のとき、立ち上がりエッジで GRC1 へ インプットキャプチャ	H'F712	IOC2=1
	IOC1		ビット 2	IOC1=0
	IOC0		ビット 1 ビット 0	IOC0=0
TSR1	IMFA1	タイマステータスレジスタ 1 (インプットキャプチャ/アウトプットコンペアマッチフラグ A) : IMFA1=0 のときインプットキャプチャ/コンペアマッチが発生していないこと を示す IMFA1=1 のときインプットキャプチャ/コンペアマッチが発生していることを 示す	H'F713 ビット 0	0
	IMFB1	タイマステータスレジスタ 1 (インプットキャプチャ/アウトプットコンペアマッチフラグ B) : IMFB1=0 のときインプットキャプチャ/コンペアマッチが発生していないこと を示す IMFB1=1 のときインプットキャプチャ/コンペアマッチが発生していることを 示す	H'F713 ビット 1	0
	IMFC1	タイマステータスレジスタ 1 (インプットキャプチャ/アウトプットコンペアマッチフラグ C) : IMFC1=0 のときインプットキャプチャ/コンペアマッチが発生していないこと を示す IMFC1=1 のときインプットキャプチャ/コンペアマッチが発生していることを 示す	H'F713 ビット 2	0
	IMFD1	タイマステータスレジスタ 1 (インプットキャプチャ/アウトプットコンペアマッチフラグ D) : IMFD1=0 のときインプットキャプチャ/コンペアマッチが発生していないこと を示す IMFD1=1 のときインプットキャプチャ/コンペアマッチが発生していることを 示す	H'F713 ビット 3	0
GRD1	ジェネラルレジスタ D1 (インプットキャプチャ/アウトプットコンペア兼用レジスタ) : GRD1=H'9c40 のとき、TCNT1 が H'9c40 までカウントアップすると コンペアマッチ IMFD1 が発生します	H'F71E	H'9c40	



表 5.3 使用内部レジスタの説明（つづき）

レジスタ名		機能	アドレス	設定値
TSTR	STR1	タイマスタートレジスタ（カウンタスタート 0、1） ：STR1=0 のとき、TCNT1 のカウント動作は停止 ：STR1=1 のとき、TCNT1 はカウント動作	H'F720 ビット 1	1
	STR0	タイマスタートレジスタ（カウンタスタート 0、1） ：STR0=0 のとき、TCNT0 のカウント動作は停止 ：STR0=1 のとき、TCNT0 はカウント動作	H'F720 ビット 0	1
TPMR	PWMD0	タイマ PWM モードレジスタ（PWM モード） ：PWMD0=0 のとき、FTIOD0 は通常動作 ：PWMD0=1 のとき、FTIOD0 は PWM モード	H'F722 ビット 2	1
	PWMC0	タイマ PWM モードレジスタ（PWM モード） ：PWMC0=0 のとき、FTIOC0 は通常動作 ：PWMC0=1 のとき、FTIOC0 は PWM モード	H'F722 ビット 1	1
	PWMB0	タイマ PWM モードレジスタ（PWM モード） ：PWMB0=0 のとき、FTIOB0 は通常動作 ：PWMB0=1 のとき、FTIOB0 は PWM モード	H'F722 ビット 0	1
TOER	ED0	タイマアウトプットマスタイネーブルレジスタ（マスタイネーブル B0～D0） ：EA3=0 のとき、TPMRE、TFCR、TIORC1 の設定に従い、FTIOD0 の端子の出力は許可端子の出力は許可 ：EA3=1 のとき、TPMR、TFCR、TIORC1 の設定にかかわらず FTIOD0 端子のタイマ出力は禁止（FTIOD0 端子は入出力ポートとして動作）として動作） WKP4N 入力設定時、WKP4N に Low レベルをいれた場合 1 にセット	H'F724 ビット 3	0
	EC0	タイマアウトプットマスタイネーブルレジスタ（マスタイネーブル B0～D0） ：EA2=0 のとき、TPMRE、TFCR、TIORC1 の設定に従い、FTIOC0 の端子の出力は許可端子の出力は許可 ：EA2=1 のとき、TPMR、TFCR、TIORC1 の設定にかかわらず FTIOC0 端子のタイマ出力は禁止（FTIOC0 端子は入出力ポートとして動作）として動作） WKP4N 入力設定時、WKP4N に Low レベルをいれた場合 1 にセット	H'F724 ビット 2	0
	EB0	タイマアウトプットマスタイネーブルレジスタ（マスタイネーブル B0～D0） ：EA1=0 のとき、TPMRE、TFCR、TIORC1 の設定に従い、FTIOB0 の端子の出力は許可端子の出力は許可 ：EA1=1 のとき、TPMR、TFCR、TIORC1 の設定にかかわらず FTIOB0 端子のタイマ出力は禁止（FTIOB0 端子は入出力ポートとして動作）として動作） WKP4N 入力設定時、WKP4N に Low レベルをいれた場合 1 にセット	H'F724 ビット 1	0
TOCR	TOD0	タイマアウトプットコントロールレジスタ（出力レベルセレクト B0～D0） ：TOD0=0 のとき、FTIOD0 は 0 出力 ：TOD0=1 のとき、FTIOD0 は 1 出力	H'F725 ビット 3	1
	TOC0	タイマアウトプットコントロールレジスタ（出力レベルセレクト B0～D0） ：TOC0=0 のとき、FTIOC0 は 0 出力 ：TOC0=1 のとき、FTIOC0 は 1 出力	H'F725 ビット 2	1
	TOB0	タイマアウトプットコントロールレジスタ（出力レベルセレクト B0～D0） ：TOB0=0 のとき、FTIOB0 は 0 出力 ：TOB0=1 のとき、FTIOB0 は 1 出力	H'F725 ビット 1	1

表 5.3 使用内部レジスタの説明（つづき）

レジスタ名		機 能	アドレス	設定値
IEGR1	IEG0	インタラプトエッジセレクトレジスタ 1 (IRQ0 エッジセレクト) : IEG0=0 のとき、IRQ0 端子入力の立ち下がりエッジを検出 : IEG0=1 のとき、IRQ0 端子入力の立ち上がりエッジを検出	H'FFF2 ビット 0	0
IENR1	IEN0	インタラプトイネーブルレジスタ 1 (IRQ0 インタラプトイネーブル) : IEN0=0 のとき、IRQ0 割り込み要求を禁止 : IEN0=1 のとき、IRQ0 割り込み要求を許可	H'FFF4 ビット 0	0
IRR1	IRRI0	インタラプトリクエストレジスタ 1 (IRQ0 インタラプトリクエストフラグ) : IRRI0=0 のとき、IRQ0 割り込みが要求されていないことを示す : IRRI0=1 のとき、IRQ0 割り込みが要求されていることを示す	H'FFF6 ビット 0	0

## 5.4 使用 RAM 説明

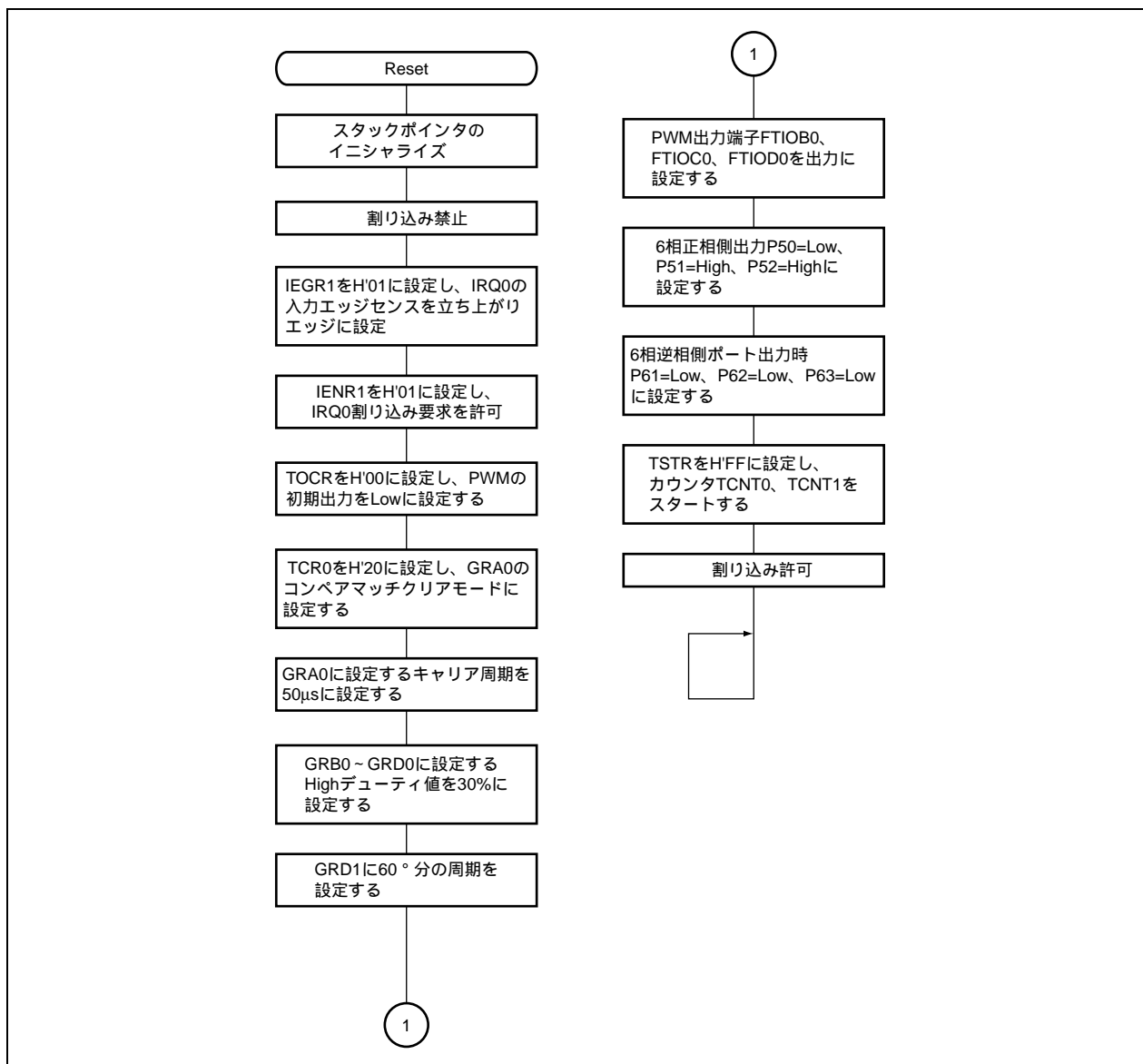
表 5.4 に本タスク例における使用 RAM 説明を示します。

表 5.4 使用 RAM 説明

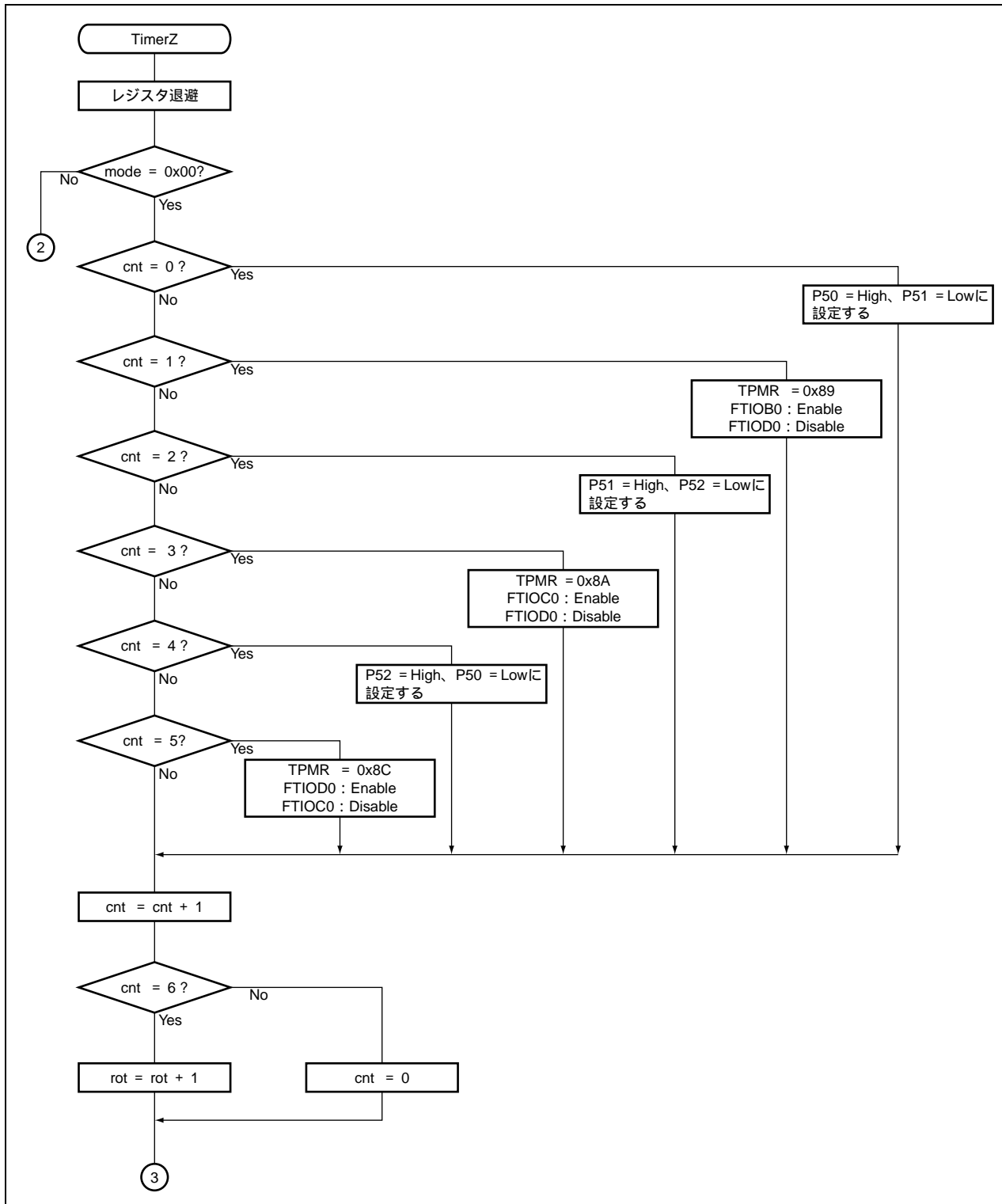
ラベル名	機 能	使用モジュール
cnt	60°毎の出力波形切り換え用カウンタ	timerz
rot	モータ初期動作回転数用カウンタ	timerz
mode	モータ初期動作から通常動作への切り換え用フラグ	timerz

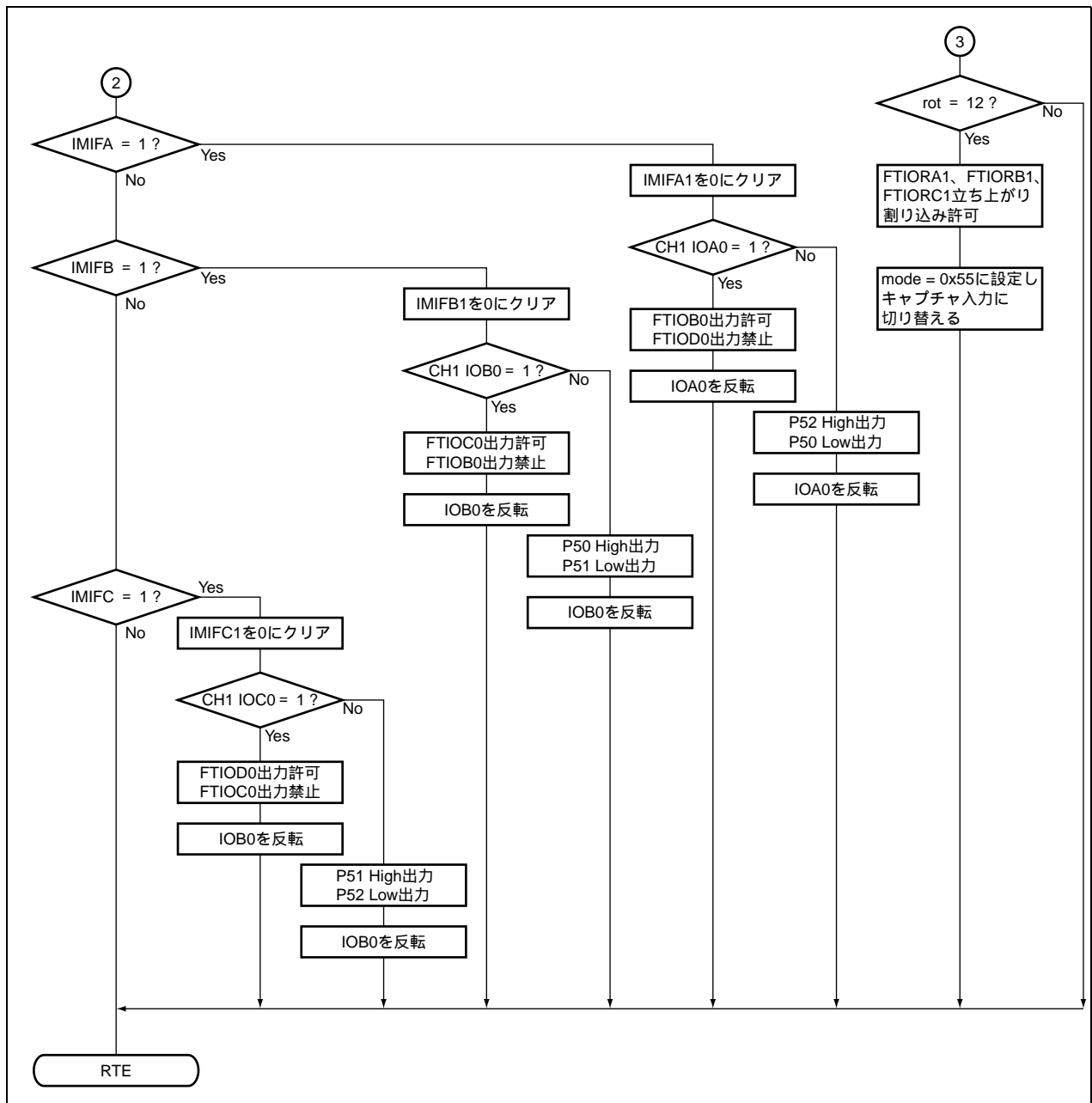
## 6. フローチャート

## (a) メインルーチン

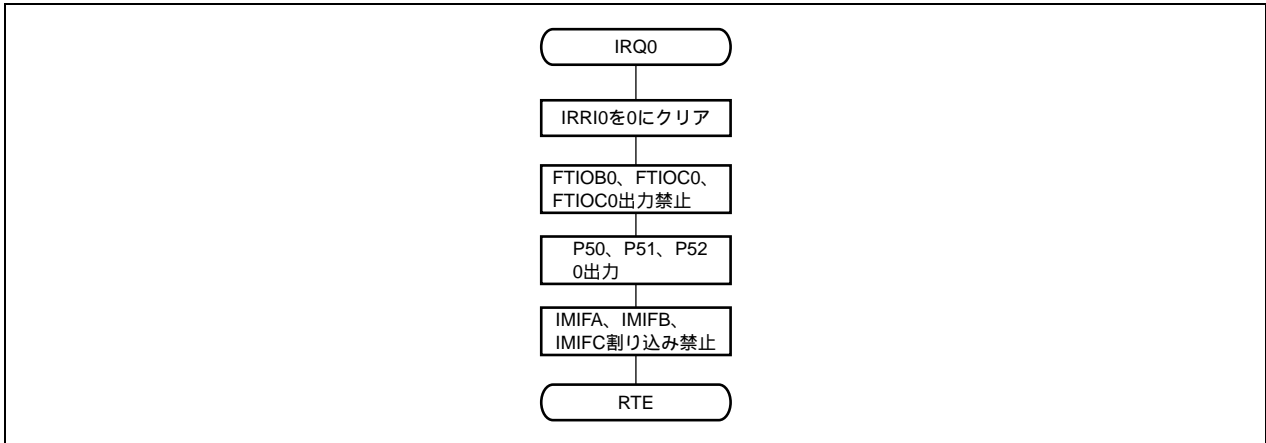


(b) タイマ Z 割り込み処理ルーチン





(c) IRQ0 割り込み処理ルーチン



## 7. プログラムリスト

INIT. SRC (プログラムリスト)

```
.EXPORT  _INIT
.import  _main

;

.section P, CODE

_INIT:

MOV.W   #H'FF80,R7
LDC.B   #B'10000000,CCR
JMP     @_main

;

.END
```

```

/*****
/*
/* H8/300HN Series -H8/3687-
/* Application Note
/*
/* 'DC brushless motor control function'
/*
/* Function
/* :Timer Z PWM mode &input capture
/*
/* External Clock :16MHz
/* Internal Clock :16MHz
/* Sub Clock :32.768kHz
/*
/*****
#include <machine.h>
/*****
/*Symbol Definition
/*****
struct BIT {
unsigned char b7:1;/*bit7
unsigned char b6:1;/*bit6
unsigned char b5:1;/*bit5
unsigned char b4:1;/*bit4
unsigned char b3:1;/*bit3
unsigned char b2:1;/*bit2
unsigned char b1:1;/*bit1
unsigned char b0:1;/*bit0
}

```

```

#define TCR0 *(volatile unsigned char *)0xF700          /*Timer Control Register 0          */
#define TCR0_BIT (*(struct BIT *)0xF700)              /*Timer Control Register 0          */
#define CCLR2_0 TCR0_BIT.b7                          /*Counter Clear 2                   */
#define CCLR1_0 TCR0_BIT.b6                          /*Counter Clear 1                   */
#define CCLR0_0 TCR0_BIT.b 5                         /*Counter Clear 0                   */
#define CKEG1_0 TCR0_BIT.b4                          /*Clock Select 1                    */
#define CKEG0_0 TCR0_BIT.b3                          /*Clock Select 0                    */
#define TPSC2_0 TCR0_BIT.b2                          /*Timer Prescaler 2                 */
#define TPSC1_0 TCR0_BIT.b1                          /*Timer Prescaler 1                 */
#define TPSC0_0 TCR0_BIT.b0                          /*Timer Prescaler 0                 */
#define TIORA0 *(volatile unsigned char *)0xF701      /*Timer I/O Control Register A0     */
#define TIORA0_BIT (*(struct BIT *)0xF701)          /*Timer I/O Control Register A0     */
#define IOB2_0 TIORA0_BIT.b6                         /*I/O Control B2                   */
#define IOB1_0 TIORA0_BIT.b5                         /*I/O Control B1                   */
#define IOB0_0 TIORA0_BIT.b4                         /*I/O Control B0                   */
#define IOA2_0 TIORA0_BIT.b2                         /*I/O Control A2                   */
#define IOA1_0 TIORA0_BIT.b1                         /*I/O Control A1                   */
#define IOA0_0 TIORA0_BIT.b0                         /*I/O Control A0                   */
#define TIORC0 *(volatile unsigned char *)0xF702     /*Timer I/O Control Register C0     */
#define TIORC0_BIT (*(struct BIT *)0xF702)          /*Timer I/O Control Register C0     */
#define IOD2_0 TIORC0_BIT.b6                         /*I/O Control B2                   */
#define IOD1_0 TIORC0_BIT.b5                         /*I/O Control B1                   */
#define IOD0_0 TIORC0_BIT.b4                         /*I/O Control B0                   */
#define IOC2_0 TIORC0_BIT.b2                         /*I/O Control A2                   */
#define IOC1_0 TIORC0_BIT.b1                         /*I/O Control A1                   */
#define IOC0_0 TIORC0_BIT.b0                         /*I/O Control A0                   */
#define TSR0 *(volatile unsigned char *)0xF703       /*Timer Status Register 0           */
#define TSR0_BIT (*(struct BIT *)0xF703)            /*Timer Status Register 0           */
#define UDF_0 TSR0_BIT.b5                            /*Under Flow Flag                   */
#define OVF_0 TSR0_BIT.b4                            /*Over Flow Flag                    */
#define IMIFD_0 TSR0_BIT.b3                          /*Input Caputure/Compare match Flag D */
#define IMIFC_0 TSR0_BIT.b2                          /*Input Caputure/Compare match Flag C */
#define IMIFB_0 TSR0_BIT.b1                          /*Input Caputure/Compare match Flag B */
#define IMIFA_0 TSR0_BIT.b0                          /*Input Caputure/Compare match Flag A */
#define TIER0 *(volatile unsigned char *)0xF704      /*Timer Interrupt Enable Register 0  */
#define TIER0_BIT (*(struct BIT *)0xF704)          /*Timer Interrupt Enable Register 0  */
#define OVIE_0 TIER0_BIT.b4                          /*Over Flow Interrupt Enable        */
#define IMIED_0 TIER0_BIT.b3                          /*Input Capture/compare match Interrupt Enable D */
#define IMIEC_0 TIER0_BIT.b2                          /*Input Capture/compare match Interrupt Enable C */
#define IMIEB_0 TIER0_BIT.b1                          /*Input Capture/compare match Interrupt Enable B */
#define IMIEA_0 TIER0_BIT.b0                          /*Input Capture/compare match Interrupt Enable A */
#define POCR0 *(volatile unsigned char *)0xF705     /*Port Output Level Control Register */
#define POCR0_BIT (*(struct BIT *)0xF705)          /*Port Output Level Control Register */

```



```

#define POLD_0 POCR0_BIT.b2 /*PWM Mode Outputr Level Control Register D */
#define POLC_0 POCR0_BIT.b1 /*PWM Mode Outputr Level Control Register C */
#define POLB_0 POCR0_BIT.b0 /*PWM Mode Outputr Level Control Register B */
#define TCNT0 *(volatile unsigned short *)0xF706 /*Timer Counter 0 */
#define GRA0 *(volatile unsigned short *)0xF708 /*General Register A0 */
#define GRB0 *(volatile unsigned short *)0xF70A /*General Register B0 */
#define GRC0 *(volatile unsigned short *)0xF70C /*General Register C0 */
#define GRD0 *(volatile unsigned short *)0xF70E /*General Register D0 */

#define TCR1 *(volatile unsigned char *)0xF710 /*Timer Control Register 1 */
#define TCR1_BIT (*(struct BIT *)0xF710) /*Timer Control Register 1 */
#define CCLR2_1 TCR1_BIT.b7 /*Counter Clear 2 */
#define CCLR1_1 TCR1_BIT.b6 /*Counter Clear 1 */
#define CCLR0_1 TCR1_BIT.b5 /*Counter Clear 0 */
#define CKEG1_1 TCR1_BIT.b4 /*Clock Select 1 */
#define CKEG0_1 TCR1_BIT.b3 /*Clock Select 0 */
#define TPSC2_1 TCR1_BIT.b2 /*Timer Prescaler 2 */
#define TPSC1_1 TCR1_BIT.b1 /*Timer Prescaler 1 */
#define TPSC0_1 TCR1_BIT.b0 /*Timer Prescaler 0 */

#define TIORAI *(volatile unsigned char *)0xF711 /*Timer I/O Control Register A1 */
#define TIORAI_BIT (*(struct BIT *)0xF711) /*Timer I/O Control Register A1 */
#define IOB2_1 TIORAI_BIT.b6 /*I/O Control B2 */
#define IOB1_1 TIORAI_BIT.b5 /*I/O Control B1 */
#define IOB0_1 TIORAI_BIT.b4 /*I/O Control B0 */
#define IOA2_1 TIORAI_BIT.b2 /*I/O Control A2 */
#define IOA1_1 TIORAI_BIT.b1 /*I/O Control A1 */
#define IOA0_1 TIORAI_BIT.b0 /*I/O Control A0 */

#define TIORC1 *(volatile unsigned char *)0xF712 /*Timer I/O Control Register C1 */
#define TIORC1_BIT (*(struct BIT *)0xF712) /*Timer I/O Control Register C1 */
#define IOD2_1 TIORC1_BIT.b6 /*I/O Control D2 */
#define IOD1_1 TIORC1_BIT.b5 /*I/O Control D1 */
#define IOD0_1 TIORC1_BIT.b4 /*I/O Control D0 */
#define IOC2_1 TIORC1_BIT.b2 /*I/O Control C2 */
#define IOC1_1 TIORC1_BIT.b1 /*I/O Control C1 */
#define IOC0_1 TIORC1_BIT.b0 /*I/O Control C0 */

#define TSR1 *(volatile unsigned char *)0xF713 /*Timer Status Register 1 */
#define TSR1_BIT (*(struct BIT *)0xF713) /*Timer Status Register 1 */
#define UDF_1 TSR1_BIT.b5 /*Under Flow Flag */
#define OVF_1 TSR1_BIT.b4 /*Over Flow Flag */
#define IMIFD_1 TSR1_BIT.b2 /*Input Capture/Compare match Flag D */
#define IMIFC_1 TSR1_BIT.b1 /*Input Capture/Compare match Flag C */
#define IMIFB_1 TSR1_BIT.b0 /*Input Capture/Compare match Flag B */

```

```

#define IMIFA_1 TSR1_BIT.b0 /*Input Caputure/Compare match Flag A */
#define TIER1 *(volatile unsigned char *)0xF714 /*Timer Interrupt Enable Register 0 */
#define TIER1_BIT (*(struct BIT *)0xF714) /*Timer Interrupt Enable Register 0 */
#define OVIE_1 TIER1_BIT.b4 /*Over Flow Interrupt Enable */
#define IMIED_1 TIER1_BIT.b3 /*Input Capture/compare match Interrupt Enable D */
#define IMIEC_1 TIER1_BIT.b2 /*Input Capture/compare match Interrupt Enable C */
#define IMIEB_1 TIER1_BIT.b1 /*Input Capture/compare match Interrupt Enable B */
#define IMIEA_1 TIER1_BIT.b0 /*Input Capture/compare match Interrupt Enable A */
#define POCR1 *(volatile unsigned char *)0xF715 /*Port Output Level Control Register */
#define POCR1_BIT (*(struct BIT *)0xF715) /*Port Output Level Control Register */
#define POLD_1 POCR1_BIT.b2 /*PWM Mode Outputr Level Control Register D */
#define POLC_1 POCR1_BIT.b1 /*PWM Mode Outputr Level Control Register C */
#define POLB_1 POCR1_BIT.b0 /*PWM Mode Outputr Level Control Register B */
#define TCNT1 *(volatile unsigned short *)0xF716 /*Timer Counter 1 */
#define GRA1 *(volatile unsigned short *)0xF718 /*General Register A1 */
#define GRB1 *(volatile unsigned short *)0xF71A /*General Register B1 */
#define GRC1 *(volatile unsigned short *)0xF71C /*General Register C1 */
#define GRD1 *(volatile unsigned short *)0xF71E /*General Register D1 */

#define TSTR *(volatile unsigned char *)0xF720 /*Timer Start Register */
#define TSTR_BIT (*(struct BIT *)0xF720) /*Timer Start Register */
#define STR1 TSTR_BIT.b1 /*Counter Start 1 */
#define STRO TSTR_BIT.b0 /*Counter Start 0 */
#define TMDR *(volatile unsigned char *)0xF721 /*Timer Mode Register */
#define TMDR_BIT (*(struct BIT *)0xF721) /*Timer Mode Register */
#define BFD1 TMDR_BIT.b7 /*Buffer Register D1 */
#define BFC1 TMDR_BIT.b6 /*Buffer Register D0 */
#define BFD0 TMDR_BIT.b5 /*Buffer Register C1 */
#define BFC0 TMDR_BIT.b4 /*Buffer Register C0 */
#define SYNC TMDR_BIT.b0 /*timer Synchonous Mode */
#define TPMR *(volatile unsigned char *)0xF722 /*Timer PWM Mode Register */
#define TPMR_BIT (*(struct BIT *)0xF722) /*Timer PWM Mode Register */
#define PWMD1 TPMR_BIT.b6 /*PWM Mode D1 */
#define PWMC1 TPMR_BIT.b5 /*PWM Mode C1 */
#define PWMB1 TPMR_BIT.b4 /*PWM Mode B1 */
#define PWMD0 TPMR_BIT.b2 /*PWM Mode D0 */
#define PWMC0 TPMR_BIT.b1 /*PWM Mode C0 */
#define PWMB0 TPMR_BIT.b0 /*PWM Mode B0 */
#define TFCR *(volatile unsigned char *)0xF723 /*Timer Function Control Register */
#define TFCR_BIT (*(struct BIT *)0xF723) /*Timer Function Control Register */
#define STCLK TOER_BIT.b0 /*External Clock Select */
#define ADEG TOER_BIT.b2 /*A/D Egde Trigger Select */
#define ADTRG TOER_BIT.b1 /*A/D Trigger Disable */

```

```

#define OLS1 TOER_BIT.b0 /*Output Level Select 1 */
#define OLS0 TOER_BIT.b2 /*Output Level Select 0 */
#define CMD1 TOER_BIT.b1 /*Combination Mode 1 */
#define CMD0 TOER_BIT.b0 /*Combination Mode 0 */
#define TOER *(volatile unsigned char *)0xF724 /*Timer Output Master Enable Register */
#define TOER_BIT (*(struct BIT *)0xF724) /*Timer Output Master Enable Register */
#define ED1 TOER_BIT.b7 /*Master Enable D1 */
#define EC1 TOER_BIT.b6 /*Master Enable C1 */
#define EB1 TOER_BIT.b5 /*Master Enable B1 */
#define EA1 TOER_BIT.b4 /*Master Enable A1 */
#define ED0 TOER_BIT.b3 /*Master Enable D0 */
#define EC0 TOER_BIT.b2 /*Master Enable C0 */
#define EB0 TOER_BIT.b1 /*Master Enable B0 */
#define EA0 TOER_BIT.b0 /*Master Enable A0 */

#define TOCR *(volatile unsigned char *)0xF725 /*Timer Output Master Enable Register */
#define TOCR_BIT (*(struct BIT *)0xF725) /*Timer Output Master Enable Register */
#define TOD1 TOCR_BIT.b7 /*Output Level Select D1 */
#define TOC1 TOCR_BIT.b6 /*Output Level Select C1 */
#define TOB1 TOCR_BIT.b5 /*Output Level Select B1 */
#define TOA1 TOCR_BIT.b4 /*Output Level Select A1 */
#define TOD0 TOCR_BIT.b3 /*Output Level Select D0 */
#define TOC0 TOCR_BIT.b2 /*Output Level Select C0 */
#define TOB0 TOCR_BIT.b1 /*Output Level Select B0 */
#define TOA0 TOCR_BIT.b0 /*Output Level Select A0 */

#define IEGR1 *(volatile unsigned char *)0xFFF2 /*Interrupt Edge Select Register 1 */
#define IEGR1_BIT (*(struct BIT *)0xFFF2) /*Interrupt Edge Select Register 1 */
#define IEG0 IEGR1_BIT.b0 /*IRQ0 Edge Select */
#define IENR1 *(volatile unsigned char *)0xFFF4 /*Interrupt Enable Register 1 */
#define IENR1_BIT (*(struct BIT *)0xFFF4) /*Interrupt Enable Register 1 */
#define IEN0 IENR1_BIT.b0 /*IRQ0 Interrupt Enable */
#define IRR1 *(volatile unsigned char *)0xFFF6 /*Interrupt Flag Register 1 */
#define IRR1_BIT (*(struct BIT *)0xFFF6) /*Interrupt Flag Register 1 */
#define IRR10 IRR1_BIT.b0 /*IRQ0 Interrupt Request Flag */

#define PMR1 *(volatile unsigned char *)0xFFE0 /*Port Mode Register */
#define PMR1_BIT (*(struct BIT *)0xFFE0) /*Port Mode Register */
#define IRQ0 PMR1_BIT.b4 /*IRQ0 Pin Select */
#define PDR5 *(volatile unsigned char *)0xFFD8 /*Port5 Data Register */
#define PDR5_BIT (*(struct BIT *)0xFFD8) /*Port5 Data Register */
#define P5B2 PDR5_BIT.b2 /*Output Level Select D1 */
#define P5B1 PDR5_BIT.b1 /*Output Level Select C1 */

```

```

#define P5B0 PDR5_BIT.b0 /*Output Level Select B1 */
#define PDR6 *(volatile unsigned char *)0xFFD9 /*Port6 Data Register */
#define PCR5 *(volatile unsigned char *)0xFFE8 /*Port5 Control Register */
#define PCR6 *(volatile unsigned char *)0xFFE9 /*Port6 Control Register */

#pragma interrupt (timerz)
#pragma interrupt (irq0)

/*****
/* 定義関数
*****/
extern void INIT (void ); /*SP Set */
void main (void );
void timerz (void );
void irq0 (void );

/*****
/*RAM define
*****/
unsigned char mode; /*User Flag Erea */
unsigned char cnt; /*User Flag Erea */
unsigned char rot; /*User Flag Erea */

extern void _INITSCT();

/*****
/*Vector Address
*****/
#pragma section V1 /*VECTOR SECTOIN SET */
void (*const VEC_TBL1[])(void)={
/*0x00 -0x0f
INIT /*00 Reset */
}
#pragma section V2 /*VECTOR SECTOIN SET */
void (*const VEC_TBL2[])(void)={
irq0 /*1C IRQ0 Interrupt */
}
#pragma section V3 /*VECTOR SECTOIN SET */
void (*const VEC_TBL3[])(void)={
timerz /*38 Timer Z Interrupt */
}

#pragma section /**P */

```

```

/*****
/*Main Program
/*****

void main (void )
{
    _INITSCT();

    set_imask_ccr(1);                /*Interrupt Disable          */

    mode =0x00;
    cnt =0x00;
    rot =0x00;

    IEG0 =1;                        /*_IRQ Falling Edge Detection */
    IEN0 =1;                        /*_IRQ Interrupt Request Enable */
    IRQ0 =1;

    TSTR =0xFC;                     /*Timer Stop                  */
    TOCR =0x00;                     /*PWM Initial Output "0"      */

    TCR0 =0x21;                     /*GRA Compare Match Clear Mode, φ=1/2 */
    POCCR0 =0xFF;                   /*FTIOB0,FTIOC0,FTIOD0 High Active */

    GRA0 =0x320;                    /*Carrier Cycle 50us          */
    GRB0 =0x230;                    /*Duty 30%                    */
    GRC0 =0x230;                    /*Duty 30%                    */
    GRD0 =0x230;                    /*Duty 30%                    */

    TCR1 =0xC2;                     /*GRD1 Compare Match Clear,φ=1/4 */
    TIER1 =0x08;                    /*TGRD1 Compare Match Interrupt Enable */

    GRD1 =0x9c40;                   /*60 Degree cycle =10ms       */
    TOE R =0xF1;                    /*FTIOB0,FTIOC0,FTIOD0 Output Enable */

    PDR5 =0x00;                     /*P50,P51,P52 =Low           */
    PDR6 =0x00;                     /*P61,P62,P63 =Low           */
    PCR5 =0x07;                     /*P50,P51,P52 Output         */
    PCR6 =0x0E;                     /*P61,P62,P63 Output         */
    PDR5 =0x06;                     /*P50 =Low,P51 =High,P52 =High */

    TSTR =0xFF;                     /*TCNT0,TCNT1 Start          */

```

```

set_imask_ccr(0);                                /*Interrupt Enable          */

while(1){
    ;
}

/*****
/*Timer Z Interrupt
*****/
void timerz (void )
{
    if (mode ==0x00 )
    {

        IMIFD_1 =0;                                /*Clear IMIFD to 0          */

        switch(cnt){
            case 0x00:
                P5B0 =1;                            /*U Phase High Output      */
                P5B1 =0;                            /*V Phase Low Output       */
                break;

            case 0x01:
                TPMR =0x89;                          /*_U Phase(FTIOB0)Output Enable */
                break;

            case 0x02:
                P5B1 =1;                            /*V Phase High Output      */
                P5B2 =0;                            /*W Phase Low Output       */
                break;

            case 0x03:
                TPMR =0x8A;                          /*_V Phase(FTIOC0)Output Enable */
                break;

            case 0x04:
                P5B2 =1;                            /*W Phase High Output      */
                P5B0 =0;                            /*U Phase Low Output       */
                break;

            case 0x05:
                TPMR =0x8C;                          /*_W Phase(FTIOD0)Output Enable */
                break;

        }

    }
}

```

```

cnt =cnt +1;

if (cnt ==0x06)
{
    cnt =0x00;
}

rot =rot +1;

if (rot ==0x12)
{
    TIORA1 =0xCC;          /*FTIOA1,FTIOB1 Rising Edge Interrupt Enable */
    TIORC1 =0x8C;          /*FTIOC1 Rising Edge Interrupt Enable */
    TIER1 =0xE7;

    mode =0x5 5;          /*Change initial rotation to normal rotation */
}
}

else{

if (IMIFA_1 ==1){
    IMIFA_1 =0;          /*Interrupt Flag Clear */
    if(IOA0_1 ==1 ){
        TPMR =0x89;          /*FTIOD0:disable,FTIOB0:enable */
        IOA0_1 =0;          /*Falling Edge Select */
    }
    else{
        P5B2 =1;          /*W phase high,U phase low */
        P5B0 =0;
        IOA0_1 =1;          /*Rising Edge Select */
    }
}

else if (IMIFB_1 ==1){
    IMIFB_1 =0;          /*Interrupt Flag Clear */
    if(IOB0_1 ==1 ){
        TPMR =0x8A;          /*FTIOB0:disable,FTIOC0:enable */
        IOB0_1 =0;          /*Falling Edge Select */
    }
    else{
        P5B0 =1;          /*U phase high,V phase low */
        P5B1 =0;
    }
}
}

```

```

        IOB0_1 =1;                /*Rising Edge Select          */
    }
}
else if (IMIFC_1 ==1){
    IMIFC_1 =0;                /*Interrupt Flag Clear        */
    if(IOC0_1 ==1 ){
        TPMR =0x8C;            /*FTIOC0:disable,FTIOD0:enable */
        IOC0_1 =0;            /*Falling Edge Select          */
    }
    else{
        P5B1 =1;                /*V phase high,W phase low     */
        P5B2 =0;
        IOC0_1 =1;            /*Rising Edge Select           */
    }
}
}
}

/*****
/*IRQ0 Interrupt
*****/
void irq0 (void )
{
    IRRIO =0;
    TOER =0xFF;                /*FTIOB0,FTIOC0,FTIOD0 Output Disable */
    PDR5 =0x00;
    TIER1 =0xE0;
    while(1){
        ;
    }
}

```

## リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'001C
CV3	H'0036
P	H'0100
B	H'FD80