

致尊敬的顾客

---

## 关于产品目录等资料中的旧公司名称

---

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日  
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

## Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
  - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
  - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
  - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

# M16C/26A 群

瑞萨 16 位单片机

M16C 族 / M16C/Tiny 系列

M16C/26A

M16C/26B

M16C/26T

## Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
  - (1) artificial life support devices or systems
  - (2) surgical implantations
  - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
  - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

## 注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

### 关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页（<http://www.renesas.com>）等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统（如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等）而设计和制造的，特别是对于品质和可靠性要求极高的机器和系统等（将本公司指定用于汽车方面的产品用于汽车时除外）。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
  - 1) 生命维持装置。
  - 2) 植埋于人体使用的装置。
  - 3) 用于治疗（切除患部、给药等）的装置。
  - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计（包括硬件和软件两方面的设计）以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。

## 产品使用上的注意事项

本文对适用于微型计算机所有产品的“使用上的注意事项”进行说明。有关个别的使用上的注意事项请参照本文。此外，如果在记载上有与本说明书的本文有差异之处，以本文的记载为标准。

### 1. 未使用的引脚的处理

**【注意】**将未使用的引脚按照本文的“未使用引脚的处理”进行处理。

CMOS产品的输入引脚一般为高阻抗输入。如果将未使用的输入引脚处于开放状态运行，由于感应现象，外加LSI周围的噪声，在LSI内部产生穿透电流，被误认为是输入信号，引起误动作。未使用的引脚，按照本文的“未使用引脚的处理”中说明的指示进行处理。

### 2. 通电时的处理

**【注意】**通电时产品处于不定状态。

通电时，LSI内部电路处于不确定状态，寄存器的设定和各引脚的状态不定。通过外部复位引脚对产品复位时，从通电到复位有效期间，不能保证引脚的状态。

同样，使用内置上电复位功能对产品进行复位时，从上电开始到复位产生的一定电压的期间，不能保证引脚的状态。

### 3. 禁止存取未定义的地址

**【注意】**禁止存取未定义的地址

在地址区域中，有被分配将来用作功能扩展的未定义地址。因为无法保证存取这些地址时的运行，所以请不要进行存取。

### 4. 关于时钟

**【注意】**复位时，时钟稳定后请解除复位。

在程序运行中切换时钟时，请在要切换成的时钟稳定之后进行。复位时，在通过使用外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，在时钟充分稳定后，解除复位。另外，在程序运行中，切换成使用外部振荡器（或者外部振荡电路）的时钟时，在要切换成的时钟充分稳定后进行。

### 5. 关于产品间的差异

**【注意】**在变更不同型号的产品时，请事先确认是否没问题。

即使是同一个群中的微型计算机，如果产品型号不同，由于内部存储器、版图模式等不同，有可能特性也不同。因此，在变更不同型号的产品时，请对每一个型号的产品进行系统评价测试。

# 本手册的使用方法

## 1 目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册。它以使用本手册设计应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性、使用上的注意事项几大部分组成。

必须在充分确认过注意事项后使用本单片机。注意事项记录在各章的正文中、各章的最后和注意事项章中。

修订记录归纳了对旧本记载内容的更正或追加的主要位置。并不是修订内容的全部记载。详情请确认本手册的正文。

M16C/26A（M16C/26A、M16C/26B、M16C/26T）群准备了以下的文献。请使用最新的文献。最新版本刊登在瑞萨科技的主页上。

文献的种类	记载内容	资料名	资料号
硬件手册	硬件的说明（引脚配置、存储器映像、外围功能的说明、电特性、时序）和工作说明 ※外围功能的使用方法必须参照应用注意事项。	M16C/26A 群 (M16C/26A、M16C/26B、M16C/26T 群) 硬件手册	本硬件手册
软件手册	CPU 指令设定的说明	M16C/60 M16C/20 M16C/ Tiny 系列软件说明	RCJ09B0202- 0200
应用手册	外围功能的使用方法、应用例子 参考程序 应用汇编语言、C 语言编程方法	刊登在瑞萨科技的主页上	
RENESAS TECHNICAL UPDATE	相关产品说明、文献等的快速公告		

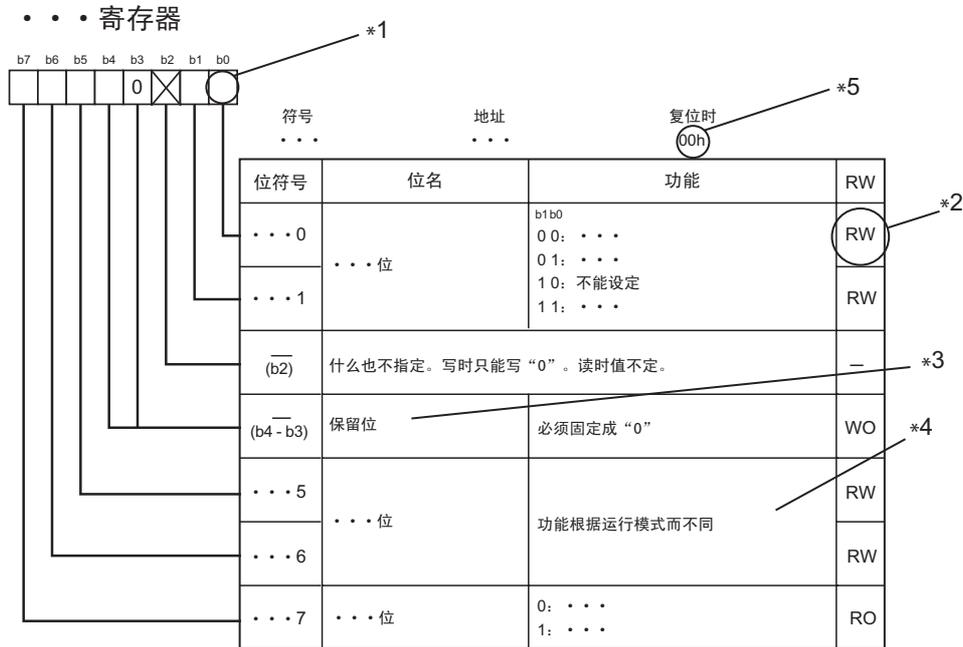
## 2 数字、符号的表示

本手册使用的寄存器名或位名、数字或符号的表示范例如下所示。

1. 寄存器名、位名、引脚名  
在正文中用符号表示。符号后面带有寄存器、位、引脚字样加以区别。  
(例) PM0 寄存器的 PM03 位  
P3\_5 引脚、VCC 引脚
2. 数字的表示  
2 进制数的后面带有“b”。不过，只有 1 位时数字后面什么也没有。16 进制数后面带有“h”。  
十进制数后面什么也没有。  
(例) 2 进制数: 11b  
16 进制数: EEA0h  
10 进制数: 1234

### 3 寄存器图表的阅读方法

说明在寄存器图表中使用的符号和用语



\*1

空白：按用途，置“0”或“1”。

0：置“0”。

1：置“1”。

×：什么也不指定。

\*2

RW：可读，可写。

RO：可读，写数据无效。

WO：可写，不能读取位的状态。

—：什么也不指定。

\*3

- 保留位

保留位，必须写指定值。

\*4

- 什么也不指定

对该位，什么也不指定。根据将来外围功能的发展，可能出现新的功能。写数据时只能写“0”。

- 不能设定

不保证设定后的运行。

- 功能根据运行模式而不同

位功能根据外围功能的模式发生变化，请参照各模式的寄存器图表。

\*5

2进制或者16进制的记数法按各手册而定。

#### 4 省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步式通信适配器
bps	bits per second	传送速度单位
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NEC 电子公司提倡的通信方式
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉冲宽度调制
SFR	Special Function Registers	外围电路控制寄存器组
SIM	Subscriber Identity Module	ISO-7816 规定的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	异步串行接口
VCO	Voltage Controlled Oscillator	电压控制振荡器

全部的商标及注册商标，归属各自的所有者。  
IEBus 是 NEC 电气株式会社商标。

# 目 录

地址 - 页速查表.....	速查表 -1
1. 概要 .....	1
1.1 应用 .....	1
1.2 性能概要 .....	2
1.3 框图 .....	5
1.4 产品一览表 .....	7
1.5 引脚连接图 .....	12
1.6 引脚功能说明 .....	16
2. 中央运算处理器 .....	18
2.1 数据寄存器 (R0、R1、R2、R3) .....	19
2.2 地址寄存器 (A0、A1) .....	19
2.3 帧基址寄存器 (FB) .....	19
2.4 中断表寄存器 (INTB) .....	19
2.5 程序计数器 (PC) .....	19
2.6 用户堆栈指针 (USP)、中断堆栈指针 (ISP) .....	19
2.7 静态基址寄存器 (SB) .....	19
2.8 标志寄存器 (FLG) .....	19
2.8.1 进位标志 (C 标志) .....	19
2.8.2 调试标志 (D 标志) .....	19
2.8.3 零标志 (Z 标志) .....	19
2.8.4 符号标志 (S 标志) .....	19
2.8.5 寄存器组指定标志 (B 标志) .....	19
2.8.6 溢出标志 (O 标志) .....	20
2.8.7 中断允许标志 (I 标志) .....	20
2.8.8 堆栈指针指定标志 (U 标志) .....	20
2.8.9 处理器中断优先级 (IPL) .....	20
2.8.10 保留位 .....	20
3. 存储器 .....	21
4. SFRs .....	22
5. 复位 .....	33
5.1 硬件复位 .....	33
5.1.1 硬件复位 1 .....	33
5.1.1.1 电源稳定时 .....	33
5.1.1.2 上电时 .....	33
5.1.2 硬件复位 2 .....	34
5.2 软件复位 .....	34
5.3 看门狗定时器复位 .....	34
5.4 振荡停止检测复位 .....	35
5.5 电压检测电路 .....	37
5.5.1 低电压检测中断 .....	40
5.5.2 停止模式的限制 .....	42
5.5.3 等待模式的限制 .....	42
6. 处理器模式 .....	43

7.	时钟发生电路 .....	46
7.1	主时钟 .....	54
7.2	副时钟 .....	55
7.3	内部振荡器时钟 .....	55
7.4	PLL 时钟 .....	56
7.5	CPU 时钟与外围功能时钟 .....	58
7.5.1	CPU 时钟 .....	58
7.5.2	外围功能时钟 ( $f_1$ 、 $f_2$ 、 $f_8$ 、 $f_{32}$ 、 $f_{1SIO}$ 、 $f_{2SIO}$ 、 $f_{8SIO}$ 、 $f_{32SIO}$ 、 $f_{AD}$ 、 $f_{C32}$ ) .....	58
7.5.3	时钟输出功能 .....	58
7.6	功耗控制 .....	59
7.6.1	正常运行模式 .....	59
7.6.1.1	高速模式 .....	59
7.6.1.2	PLL 运行模式 .....	59
7.6.1.3	中速模式 .....	59
7.6.1.4	低速模式 .....	59
7.6.1.5	低功耗模式 .....	59
7.6.1.6	内部振荡器模式 .....	59
7.6.1.7	内部振荡器低功耗模式 .....	60
7.6.2	等待模式 .....	61
7.6.2.1	外围功能时钟停止功能 .....	61
7.6.2.2	向等待模式转换 .....	61
7.6.2.3	等待模式时的引脚状态 .....	61
7.6.2.4	从等待模式的返回 .....	62
7.6.3	停止模式 .....	63
7.6.3.1	向停止模式转换 .....	63
7.6.3.2	停止模式时的引脚状态 .....	63
7.6.3.3	从停止模式的返回 .....	63
7.7	系统时钟的保护功能 .....	68
7.8	振荡停止 / 重新振荡检测功能 .....	68
7.8.1	CM27 位为 “0” (复位) 时的运行 .....	68
7.8.2	CM27 位为 “1” (振荡停止 / 重新振荡检测中断) 时的运行 .....	69
7.8.3	振荡停止 / 重新振荡检测功能的使用方法 .....	70
8.	保护 .....	71
9.	中断 .....	72
9.1	中断的分类 .....	72
9.1.1	软件中断 .....	73
9.1.1.1	未定义指令中断 .....	73
9.1.1.2	溢出中断 .....	73
9.1.1.3	BRK 中断 .....	73
9.1.1.4	INT 指令中断 .....	73
9.1.2	硬件中断 .....	74
9.1.2.1	特殊中断 .....	74
9.1.2.2	外围功能中断 .....	74
9.2	中断与中断向量 .....	75
9.2.1	固定向量表 .....	75
9.2.2	可变向量表 .....	76
9.3	中断控制 .....	77
9.3.1	I 标志 .....	80
9.3.2	IR 位 .....	80
9.3.3	ILVL2 ~ ILVL0 位、IPL .....	80

9.4	中断顺序 .....	81
9.4.1	中断响应时间 .....	82
9.4.2	接受中断请求时的 IPL 变化 .....	82
9.4.3	寄存器压栈 .....	83
9.4.4	中断程序的返回 .....	85
9.5	中断优先级 .....	85
9.5.1	中断优先级判断电路 .....	85
9.6	<u>INT</u> 中断 .....	87
9.7	<u>NMI</u> 中断 .....	87
9.8	键输入中断 .....	88
9.9	地址匹配中断 .....	89
10.	看门狗定时器 .....	91
10.1	计数源保护模式 .....	93
11.	DMAC .....	94
11.1	发送周期 .....	99
11.1.1	发送源地址、发送目标地址的影响 .....	99
11.1.2	软件等待的影响 .....	99
11.2	DMA 发送周期数 .....	101
11.3	DMA 允许 .....	102
11.4	DMA 请求 .....	102
11.5	通道的优先顺序与 DMA 发送时序 .....	103
12.	定时器 .....	104
12.1	定时器 A .....	106
12.1.1	定时器模式 .....	110
12.1.2	事件计数器模式 .....	112
12.1.2.1	二相脉冲信号处理的计数器初始化 .....	116
12.1.3	单次触发定时器模式 .....	117
12.1.4	脉宽调制模式 (PWM 模式) .....	119
12.2	定时器 B .....	122
12.2.1	定时器模式 .....	125
12.2.2	事件计数器模式 .....	126
12.2.3	脉冲周期测量模式、脉宽测量模式 .....	128
12.2.4	A/D 触发模式 .....	132
12.3	用于三相马达控制的定时器功能 .....	134
12.3.1	位置数据保持功能 .....	145
12.3.1.1	位置数据保持功能的运行说明 .....	145
12.3.1.2	位置数据保持功能的控制寄存器 .....	146
12.3.2	三相 / 端口输出切换功能 .....	147
13.	串行 I/O .....	149
13.1	UART <sub>i</sub> (i=0 ~ 2) .....	149
13.1.1	时钟同步串行 I/O 模式 .....	158
13.1.1.1	发生通信错误时的处理方法 .....	162
13.1.1.2	CLK 极性选择 .....	162
13.1.1.3	选择 LSB 先发送或 MSB 先发送 .....	163
13.1.1.4	连续接收模式 .....	163
13.1.1.5	串行数据的逻辑切换 (UART <sub>2</sub> ) .....	164
13.1.1.6	<u>传送时钟</u> 多引脚的输出选择 (UART <sub>1</sub> ) .....	164
13.1.1.7	CTS / RTS 独立功能 (UART <sub>0</sub> ) .....	165

13.1.2	时钟异步串行 I/O (UART) 模式 .....	166
13.1.2.1	位速率 .....	170
13.1.2.2	发生通信错误时的处理方法 .....	171
13.1.2.3	选择 LSB 先发送或者 MSB 先发送 .....	171
13.1.2.4	串行数据的逻辑切换 (UART2) .....	172
13.1.2.5	T <sub>x</sub> D、R <sub>x</sub> D 输入 / 输出极性的切换功能 (UART2) .....	172
13.1.2.6	CTS /RTS 独立功能 (UART0) .....	173
13.1.3	特殊模式 1 (I <sup>2</sup> C bus 模式) (UART2) .....	174
13.1.3.1	开始条件和停止条件的检测 .....	180
13.1.3.2	开始条件和停止条件的输出 .....	181
13.1.3.3	仲裁 .....	182
13.1.3.4	传送时钟 .....	182
13.1.3.5	SDA 输出 .....	182
13.1.3.6	SDA 输入 .....	182
13.1.3.7	ACK、NACK .....	183
13.1.3.8	发送和接收初始化 .....	183
13.1.4	特殊模式 2 (UART2) .....	184
13.1.4.1	时钟相位设定功能 .....	187
13.1.5	特殊模式 3 (IEBus 模式) (UART2) .....	189
13.1.6	特殊模式 4 (SIM 模式) (UART2) .....	191
13.1.6.1	奇偶校验错误信号的输出功能 .....	194
13.1.6.2	格式 .....	195
14.	A/D 转换器 .....	196
14.1	模式的说明 .....	202
14.1.1	单次模式 .....	202
14.1.2	重复模式 .....	204
14.1.3	单次扫描模式 .....	206
14.1.4	重复扫描模式 0 .....	208
14.1.5	重复扫描模式 1 .....	210
14.1.6	同时采样扫描模式 .....	212
14.1.7	延迟触发模式 0 .....	215
14.1.8	延迟触发模式 1 .....	221
14.2	分辨率选择功能 .....	226
14.3	采样 & 保持 .....	226
14.4	降低功耗功能 .....	226
14.5	A/D 转换时的传感器输出阻抗 .....	227
15.	CRC 运算电路 .....	228
15.1	SFR 存取监视功能 .....	228
16.	可编程输入 / 输出端口 .....	231
16.1	端口 P <sub>i</sub> 方向寄存器 (PDi 寄存器 i=1、6 ~ 10) .....	231
16.2	端口 P <sub>i</sub> 寄存器 (Pi 寄存器 i=1、6 ~ 10) .....	231
16.3	上拉控制寄存器 0 ~ 上拉控制寄存器 2 (PUR0 ~ PUR2 寄存器) .....	231
16.4	端口控制寄存器 (PCR 寄存器) .....	231
16.5	引脚配置控制寄存器 (PACR 寄存器) .....	232
16.6	数字消抖动功能 .....	232
17.	闪存版 .....	245
17.1	闪存的性能 .....	245
17.1.1	引导模式 .....	246

17.2	存储器配置 .....	247
17.3	闪存改写禁止功能 .....	250
17.3.1	ROM 代码保护功能 .....	250
17.3.2	ID 码检查功能 .....	250
17.4	CPU 改写模式 .....	252
17.4.1	EW0 模式 .....	253
17.4.2	EW1 模式 .....	253
17.5	寄存器的说明 .....	254
17.5.1	闪存控制寄存器 0 (FMR0) .....	254
17.5.2	闪存控制寄存器 1 (FMR1) .....	255
17.5.3	闪存控制寄存器 4 (FMR4) .....	255
17.6	CPU 改写模式的注意事项 .....	259
17.6.1	运行速度 .....	259
17.6.2	禁止使用的指令 .....	259
17.6.3	中断 .....	260
17.6.3.1	EW0 模式 .....	260
17.6.3.2	EW1 模式 .....	260
17.6.4	存取方法 .....	260
17.6.5	用户 ROM 区的改写 .....	260
17.6.5.1	EW0 模式 .....	260
17.6.5.2	EW1 模式 .....	260
17.6.6	DMA 传送 .....	261
17.6.7	命令、数据的写 .....	261
17.6.8	等待模式 .....	261
17.6.9	停止模式 .....	261
17.6.10	低功耗模式、内部振荡器低功耗模式 .....	261
17.7	软件命令 .....	262
17.7.1	读阵列命令 ( $FF_{16}$ ) .....	262
17.7.2	读状态寄存器命令 ( $70_{16}$ ) .....	262
17.7.3	清除状态寄存器命令 ( $50_{16}$ ) .....	262
17.7.4	编程命令 ( $40_{16}$ ) .....	263
17.7.5	块擦除 .....	264
17.8	状态寄存器 .....	266
17.8.1	定序器状态 (SR7、FMR00 位) .....	266
17.8.2	擦除状态 (SR5、FMR07 位) .....	266
17.8.3	编程状态 (SR4、FMR06 位) .....	266
17.8.4	全状态检查 .....	267
17.9	标准串行输入 / 输出模式 .....	269
17.9.1	ID 码检查功能 .....	269
17.9.2	标准串行输入 / 输出模式时的引脚处理例 .....	272
17.10	并行输入 / 输出模式 .....	273
17.10.1	ROM 代码保护功能 .....	273
18.	电气特性 .....	274
18.1	M16C/26A、M16C/26B (Normal-ver.) .....	274
18.2	M16C/26T (T-ver.) .....	298
19.	使用时的注意事项 .....	321
19.1	SFR .....	321
19.1.1	48 引脚版的注意事项 .....	321
19.1.2	42 引脚版的注意事项 .....	321
19.1.3	设定寄存器时的注意事项 .....	321

19.2	在使用 PLL 频率合成器时 .....	322
19.3	功耗控制 .....	323
19.4	保护 .....	324
19.5	中断 .....	325
19.5.1	读取 00000 <sub>16</sub> 地址 .....	325
19.5.2	SP 的设定 .....	325
19.5.3	NMI 中断 .....	325
19.5.4	中断源的变更 .....	325
19.5.5	INT 中断 .....	327
19.5.6	中断控制寄存器的变更 .....	327
19.5.7	看门狗定时器中断 .....	328
19.6	DMAC 的注意事项 .....	329
19.6.1	对 DMAiCON 寄存器的 DMAE 位写数据 (i=0 ~ 1) .....	329
19.6.1.1	条件 .....	329
19.6.1.2	步骤 .....	329
19.7	定时器 .....	330
19.7.1	定时器 A .....	330
19.7.1.1	定时器 A (定时器模式) .....	330
19.7.1.2	定时器 A (事件计数器模式) .....	330
19.7.1.3	定时器 A (单次触发定时器模式) .....	331
19.7.1.4	定时器 A (脉宽调制模式) .....	332
19.7.2	定时器 B .....	333
19.7.2.1	定时器 B (定时器模式) .....	333
19.7.2.2	定时器 B (事件计数器模式) .....	333
19.7.2.3	定时器 B (脉冲周期测定 / 脉宽测量模式) .....	334
19.7.3	三相马达控制用定时器功能 .....	334
19.8	串行 I/O .....	335
19.8.1	串行 I/O (时钟同步串行 I/O 模式) .....	335
19.8.1.1	发送 / 接收 .....	335
19.8.1.2	发送 .....	335
19.8.1.3	接收 .....	335
19.8.2	串行 I/O (UART 模式) .....	336
19.8.2.1	特殊模式 1 (I <sup>2</sup> C bus 模式) .....	336
19.8.2.2	特殊模式 2 .....	336
19.8.2.3	特殊模式 4 (SIM 模式) .....	336
19.9	A/D 转换器 .....	337
19.10	可编程输入 / 输出端口 .....	338
19.11	闪存版和掩模型 ROM 版的不同点 .....	338
19.12	掩模型 ROM 版 .....	338
19.12.1	内部 ROM 区 .....	338
19.12.2	保留位 .....	338
19.13	闪存版 .....	339
19.13.1	禁止闪存改写功能 .....	339
19.13.2	停止模式 .....	339
19.13.3	等待模式 .....	339
19.13.4	低功耗模式、内部振荡器低功耗模式 .....	339
19.13.5	命令、数据的写 .....	339
19.13.6	编程命令 .....	339
19.13.7	运行速度 .....	339
19.13.8	禁止使用的指令 .....	339
19.13.9	中断 .....	340
19.13.9.1	EW0 模式 .....	340

19.13.9.2	EW1 模式 .....	340
19.13.10	存取方法 .....	340
19.13.11	用户 ROM 区的改写 .....	340
19.13.11.1	EW0 模式 .....	340
19.13.11.2	EW1 模式 .....	340
19.13.12	DMA 传送 .....	340
19.13.13	有关编程、擦除次数和执行时间 .....	340
19.13.14	编程、擦除次数的定义 .....	341
19.13.15	关于进行多次改写的系统（产品代码 :U7、 U9） .....	341
19.13.16	引导模式的注意事项 .....	341
19.14	噪声 .....	342
19.15	有关器件的使用注意事项 .....	342
<b>附录</b>	.....	<b>343</b>
附录 1.	封装尺寸图.....	343
附录 2.	功能不同点.....	345
附录 2.1	M16C/26A、 M16C/26B 和 M16C/26T 的功能不同点.....	345
附录 2.2	M16C/26A 群和 M16C/26 群的功能不同点 .....	346
<b>索引</b>	.....	<b>347</b>

# 地址 - 页速查表

地址	寄存器	符号	记载页
0000 <sub>16</sub>			
0001 <sub>16</sub>			
0002 <sub>16</sub>			
0003 <sub>16</sub>			
0004 <sub>16</sub>	处理器模式寄存器 0	PM0	43
0005 <sub>16</sub>	处理器模式寄存器 1	PM1	43
0006 <sub>16</sub>	系统时钟控制寄存器 0	CM0	48
0007 <sub>16</sub>	系统时钟控制寄存器 1	CM1	49
0008 <sub>16</sub>			
0009 <sub>16</sub>	地址匹配中断允许寄存器	AIER	90
000A <sub>16</sub>	保护寄存器	PRCR	71
000B <sub>16</sub>			
000C <sub>16</sub>	振荡停止检测寄存器	CM2	51
000D <sub>16</sub>			
000E <sub>16</sub>	看门狗定时器启动寄存器	WDTS	92
000F <sub>16</sub>	看门狗定时器控制寄存器	WDC	92
0010 <sub>16</sub>	地址匹配中断寄存器 0	RMAD0	90
0011 <sub>16</sub>			
0012 <sub>16</sub>			
0013 <sub>16</sub>			
0014 <sub>16</sub>	地址匹配中断寄存器 1	RMAD1	90
0015 <sub>16</sub>			
0016 <sub>16</sub>			
0017 <sub>16</sub>			
0018 <sub>16</sub>			
0019 <sub>16</sub>	电压检测寄存器 1	VCR1	38
001A <sub>16</sub>	电压检测寄存器 2	VCR2	38
001B <sub>16</sub>			
001C <sub>16</sub>	PLL 控制寄存器 0	PLC0	53
001D <sub>16</sub>			
001E <sub>16</sub>	处理器模式寄存器 2	PM2	44
001F <sub>16</sub>	低电压检测中断寄存器	D4INT	38
0020 <sub>16</sub>	DMA0 源指针	SAR0	98
0021 <sub>16</sub>			
0022 <sub>16</sub>			
0023 <sub>16</sub>			
0024 <sub>16</sub>	DMA0 目标指针	DAR0	98
0025 <sub>16</sub>			
0026 <sub>16</sub>			
0027 <sub>16</sub>			
0028 <sub>16</sub>	DMA0 传送计数器	TCR0	98
0029 <sub>16</sub>			
002A <sub>16</sub>			
002B <sub>16</sub>			
002C <sub>16</sub>	DMA0 控制寄存器	DM0CON	97
002D <sub>16</sub>			
002E <sub>16</sub>			
002F <sub>16</sub>			
0030 <sub>16</sub>	DMA1 源指针 SAR1	SAR1	98
0031 <sub>16</sub>			
0032 <sub>16</sub>			
0033 <sub>16</sub>			
0034 <sub>16</sub>	DMA1 目标指针 DAR1	DAR1	98
0035 <sub>16</sub>			
0036 <sub>16</sub>			
0037 <sub>16</sub>			
0038 <sub>16</sub>	DMA1 传送计数器 TCR1	TCR1	98
0039 <sub>16</sub>			
003A <sub>16</sub>			
003B <sub>16</sub>			
003C <sub>16</sub>	DMA1 控制寄存器 DM1CON	DM1CON	97
003D <sub>16</sub>			
003E <sub>16</sub>			
003F <sub>16</sub>			

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
0040 <sub>16</sub>			
0041 <sub>16</sub>			
0042 <sub>16</sub>			
0043 <sub>16</sub>			
0044 <sub>16</sub>	INT3 中断控制寄存器	INT31C	78
0045 <sub>16</sub>			
0046 <sub>16</sub>			
0047 <sub>16</sub>			
0048 <sub>16</sub>	INT5 中断控制寄存器	INT51C	78
0049 <sub>16</sub>	INT4 中断控制寄存器	INT41C	78
004A <sub>16</sub>	UART2 总线冲突检测中断控制寄存器	BCNIC	78
004B <sub>16</sub>	DMA0 中断控制寄存器	DM0IC	78
004C <sub>16</sub>	DMA1 中断控制寄存器	DM1IC	78
004D <sub>16</sub>	键输入中断控制寄存器	KUPIC	78
004E <sub>16</sub>	A/D 转换中断控制寄存器	ADIC	78
004F <sub>16</sub>	UART2 发送中断控制寄存器	S2TIC	78
0050 <sub>16</sub>	UART2 接收中断控制寄存器	S2RIC	78
0051 <sub>16</sub>	UART0 发送中断控制寄存器	S0TIC	78
0052 <sub>16</sub>	UART0 接收中断控制寄存器	S0RIC	78
0053 <sub>16</sub>	UART1 发送中断控制寄存器	S1TIC	78
0054 <sub>16</sub>	UART1 接收中断控制寄存器	S1RIC	78
0055 <sub>16</sub>	定时器 A0 中断控制寄存器	TA0IC	78
0056 <sub>16</sub>	定时器 A1 中断控制寄存器	TA1IC	78
0057 <sub>16</sub>	定时器 A2 中断控制寄存器	TA2IC	78
0058 <sub>16</sub>	定时器 A3 中断控制寄存器	TA3IC	78
0059 <sub>16</sub>	定时器 A4 中断控制寄存器	TA4IC	78
005A <sub>16</sub>	定时器 B0 中断控制寄存器	TB0IC	78
005B <sub>16</sub>	定时器 B1 中断控制寄存器	TB1IC	78
005C <sub>16</sub>	定时器 B2 中断控制寄存器	TB2IC	78
005D <sub>16</sub>	INT0 中断控制寄存器	INT0IC	78
005E <sub>16</sub>	INT1 中断控制寄存器	INT1IC	78
005F <sub>16</sub>	INT2 中断控制寄存器	INT2IC	78
0060 <sub>16</sub>			
0061 <sub>16</sub>			
0062 <sub>16</sub>			
0063 <sub>16</sub>			
0064 <sub>16</sub>			
0065 <sub>16</sub>			
0066 <sub>16</sub>			
0067 <sub>16</sub>			
0068 <sub>16</sub>			
0069 <sub>16</sub>			
006A <sub>16</sub>			
006B <sub>16</sub>			
006C <sub>16</sub>			
006D <sub>16</sub>			
006E <sub>16</sub>			
006F <sub>16</sub>			
0070 <sub>16</sub>			
0071 <sub>16</sub>			
0072 <sub>16</sub>			
0073 <sub>16</sub>			
0074 <sub>16</sub>			
0075 <sub>16</sub>			
0076 <sub>16</sub>			
0077 <sub>16</sub>			
0078 <sub>16</sub>			
0079 <sub>16</sub>			
007A <sub>16</sub>			
007B <sub>16</sub>			
007C <sub>16</sub>			
007D <sub>16</sub>			
007E <sub>16</sub>			
007F <sub>16</sub>			

地址	寄存器	符号	记载页
0080 <sub>16</sub>			
0081 <sub>16</sub>			
0082 <sub>16</sub>			
0083 <sub>16</sub>			
0084 <sub>16</sub>			
0085 <sub>16</sub>			
0086 <sub>16</sub>			
01B0 <sub>16</sub>			
01B1 <sub>16</sub>			
01B2 <sub>16</sub>			
01B3 <sub>16</sub>	闪存控制寄存器 4 (注 2)	FMR4	257
01B4 <sub>16</sub>			
01B5 <sub>16</sub>	闪存控制寄存器 1 (注 2)	FMR1	256
01B6 <sub>16</sub>			
01B7 <sub>16</sub>	闪存控制寄存器 0 (注 2)	FMR0	256
01B8 <sub>16</sub>			
01B9 <sub>16</sub>			
01BA <sub>16</sub>			
01BB <sub>16</sub>			
01BC <sub>16</sub>			
01BD <sub>16</sub>			
01BE <sub>16</sub>			
01BF <sub>16</sub>			
0250 <sub>16</sub>			
0251 <sub>16</sub>			
0252 <sub>16</sub>			
0253 <sub>16</sub>			
0254 <sub>16</sub>			
0255 <sub>16</sub>			
0256 <sub>16</sub>			
0257 <sub>16</sub>			
0258 <sub>16</sub>			
0259 <sub>16</sub>			
025A <sub>16</sub>	三相保护控制寄存器	TPRC	148
025B <sub>16</sub>			
025C <sub>16</sub>	内部振荡器控制寄存器	ROCR	50
025D <sub>16</sub>	引脚分配控制寄存器	PACR	155, 241
025E <sub>16</sub>	外围时钟选择寄存器	PCLKR	52
025F <sub>16</sub>			
0330 <sub>16</sub>			
0331 <sub>16</sub>			
0332 <sub>16</sub>			
0333 <sub>16</sub>			
0334 <sub>16</sub>			
0335 <sub>16</sub>			
0336 <sub>16</sub>			
0337 <sub>16</sub>			
0338 <sub>16</sub>			
0339 <sub>16</sub>			
033A <sub>16</sub>			
033B <sub>16</sub>			
033C <sub>16</sub>			
033D <sub>16</sub>			
033E <sub>16</sub>	NMI 数字消抖动寄存器	NDDR	242
033F <sub>16</sub>	端口 P17 数字消抖动寄存器	P17DDR	242

注 1. 空白部分全部为保留区，不能存取。

注 2. 闪存版有此寄存器。

地址	寄存器	符号	记载页
0340 <sub>16</sub>			
0341 <sub>16</sub>			
0342 <sub>16</sub>	定时器 A1-1 寄存器	TA11	139
0343 <sub>16</sub>			
0344 <sub>16</sub>	定时器 A2-1 寄存器	TA21	139
0345 <sub>16</sub>			
0346 <sub>16</sub>	定时器 A4-1 寄存器	TA41	139
0347 <sub>16</sub>			
0348 <sub>16</sub>	三相 PWM 控制寄存器 0	INVC0	136
0349 <sub>16</sub>	三相 PWM 控制寄存器 1	INVC1	137
034A <sub>16</sub>	三相输出缓冲寄存器 0	IDB0	138
034B <sub>16</sub>	三相输出缓冲寄存器 1	IDB1	138
034C <sub>16</sub>	死区时间定时器	DTT	138
034D <sub>16</sub>	定时器 B2 中断产生频率设置计数器	ICTB2	138
034E <sub>16</sub>	位置数据保持功能控制寄存器	PDRF	146
034F <sub>16</sub>			
0350 <sub>16</sub>			
0351 <sub>16</sub>			
0352 <sub>16</sub>			
0353 <sub>16</sub>			
0354 <sub>16</sub>			
0355 <sub>16</sub>			
0356 <sub>16</sub>			
0357 <sub>16</sub>			
0358 <sub>16</sub>	端口功能控制寄存器	PFCR	148
0359 <sub>16</sub>			
035A <sub>16</sub>			
035B <sub>16</sub>			
035C <sub>16</sub>			
035D <sub>16</sub>			
035E <sub>16</sub>	中断源选择寄存器 2	IFSR2A	79
035F <sub>16</sub>	中断源选择寄存器	IFSR	79,87
0360 <sub>16</sub>			
0361 <sub>16</sub>			
0362 <sub>16</sub>			
0363 <sub>16</sub>			
0364 <sub>16</sub>			
0365 <sub>16</sub>			
0366 <sub>16</sub>			
0367 <sub>16</sub>			
0368 <sub>16</sub>			
0369 <sub>16</sub>			
036A <sub>16</sub>			
036B <sub>16</sub>			
036C <sub>16</sub>			
036D <sub>16</sub>			
036E <sub>16</sub>			
036F <sub>16</sub>			
0370 <sub>16</sub>			
0371 <sub>16</sub>			
0372 <sub>16</sub>			
0373 <sub>16</sub>			
0374 <sub>16</sub>	UART2 特殊模式寄存器 4	U2SMR4	157
0375 <sub>16</sub>	UART2 特殊模式寄存器 3	U2SMR3	157
0376 <sub>16</sub>	UART2 特殊模式寄存器 2	U2SMR2	156
0377 <sub>16</sub>	UART2 特殊模式寄存器	U2SMR	156
0378 <sub>16</sub>	UART2 发送 / 接收模式寄存器	U2MR	153
0379 <sub>16</sub>	UART2 传送速度寄存器	U2BRG	152
037A <sub>16</sub>	UART2 发送缓冲寄存器	U2TB	152
037B <sub>16</sub>			
037C <sub>16</sub>	UART2 发送 / 接收控制寄存器 0	U2C0	154
037D <sub>16</sub>	UART2 发送 / 接收控制寄存器 1	U2C1	155
037E <sub>16</sub>	UART2 接收缓冲寄存器	U2RB	152
037F <sub>16</sub>			

地址	寄存器	符号	记载页
0380 <sub>16</sub>	计数开始标志	TABSR	108, 124, 141
0381 <sub>16</sub>	时钟用预分频器复位标志寄存器	CPSRF	109
0382 <sub>16</sub>	单触发开始标志	ONSF	109
0383 <sub>16</sub>	触发选择寄存器	TRGSR	109, 141
0384 <sub>16</sub>	递增 / 递减标志	UDF	108
0385 <sub>16</sub>			
0386 <sub>16</sub>	定时器 A0 寄存器	TA0	108
0387 <sub>16</sub>			
0388 <sub>16</sub>	定时器 A1 寄存器	TA1	108, 139
0389 <sub>16</sub>			
038A <sub>16</sub>	定时器 A2 寄存器	TA2	108, 139
038B <sub>16</sub>			
038C <sub>16</sub>	定时器 A3 寄存器	TA3	108
038D <sub>16</sub>			
038E <sub>16</sub>	定时器 A4 寄存器	TA4	108, 139
038F <sub>16</sub>			
0390 <sub>16</sub>	定时器 B0 寄存器	TB0	124
0391 <sub>16</sub>			
0392 <sub>16</sub>	定时器 B1 寄存器	TB1	124
0393 <sub>16</sub>			
0394 <sub>16</sub>	定时器 B2 寄存器	TB2	124, 141
0395 <sub>16</sub>			
0396 <sub>16</sub>	定时器 A0 模式寄存器	TA0MR	107
0397 <sub>16</sub>	定时器 A1 模式寄存器	TA1MR	107, 142
0398 <sub>16</sub>	定时器 A2 模式寄存器	TA2MR	107, 142
0399 <sub>16</sub>	定时器 A3 模式寄存器	TA3MR	107
039A <sub>16</sub>	定时器 A4 模式寄存器	TA4MR	107, 142
039B <sub>16</sub>	定时器 B0 模式寄存器	TB0MR	123
039C <sub>16</sub>	定时器 B1 模式寄存器	TB1MR	123
039D <sub>16</sub>	定时器 B2 模式寄存器	TB2MR	123, 142
039E <sub>16</sub>	定时器 B2 特殊模式寄存器	TB2SC	133, 201
039F <sub>16</sub>			
03A0 <sub>16</sub>	UART0 发送 / 接收模式寄存器	U0MR	153
03A1 <sub>16</sub>	UART0 传送速度寄存器	U0BRG	152
03A2 <sub>16</sub>	UART0 发送缓冲寄存器	U0TB	152
03A3 <sub>16</sub>			
03A4 <sub>16</sub>	UART0 发送 / 接收控制寄存器 0	U0C0	154
03A5 <sub>16</sub>	UART0 发送 / 接收控制寄存器 1	U0C1	155
03A6 <sub>16</sub>	UART0 接收缓冲寄存器	U0RB	154
03A7 <sub>16</sub>			
03A8 <sub>16</sub>	UART1 发送 / 接收模式寄存器	U1MR	155
03A9 <sub>16</sub>	UART1 传送速度寄存器	U1BRG	152
03AA <sub>16</sub>	UART1 发送缓冲寄存器	U1TB	152
03AB <sub>16</sub>			
03AC <sub>16</sub>	UART1 发送 / 接收控制寄存器 0	U1C0	154
03AD <sub>16</sub>	UART1 发送 / 接收控制寄存器 1	U1C1	155
03AE <sub>16</sub>	UART1 接收缓冲寄存器	U1RB	152
03AF <sub>16</sub>			
03B0 <sub>16</sub>	UART 发送 / 接收控制寄存器 2	UCON	154
03B1 <sub>16</sub>			
03B2 <sub>16</sub>			
03B3 <sub>16</sub>			
03B4 <sub>16</sub>	SFR 监视地址寄存器	CRCSAR	229
03B5 <sub>16</sub>			
03B6 <sub>16</sub>	CRC 模式寄存器	CRCMR	229
03B7 <sub>16</sub>			
03B8 <sub>16</sub>	DMA0 源选择寄存器	DM0SL	96
03B9 <sub>16</sub>			

注 1. 空白部分全部为保留区，不能存取。

地址	寄存器	符号	记载页
03BA <sub>16</sub>	DMA1 源选择寄存器	DM1SL	97
03BB <sub>16</sub>			
03BC <sub>16</sub>	CRC 数据寄存器	CRCD	229
03BD <sub>16</sub>			
03BE <sub>16</sub>	CRC 输入寄存器	CRGIN	229
03BF <sub>16</sub>			
03C0 <sub>16</sub>	A/D 寄存器 0	AD0	200
03C1 <sub>16</sub>			
03C2 <sub>16</sub>	A/D 寄存器 1	AD1	200
03C3 <sub>16</sub>			
03C4 <sub>16</sub>	A/D 寄存器 2	AD2	200
03C5 <sub>16</sub>			
03C6 <sub>16</sub>	A/D 寄存器 3	AD3	200
03C7 <sub>16</sub>			
03C8 <sub>16</sub>	A/D 寄存器 4	AD4	200
03C9 <sub>16</sub>			
03CA <sub>16</sub>	A/D 寄存器 5	AD5	200
03CB <sub>16</sub>			
03CC <sub>16</sub>	A/D 寄存器 6	AD6	200
03CD <sub>16</sub>			
03CE <sub>16</sub>	A/D 寄存器 7	AD7	200
03CF <sub>16</sub>			
03D0 <sub>16</sub>			
03D1 <sub>16</sub>			
03D2 <sub>16</sub>	A/D 触发控制寄存器	ADTRGCON	199
03D3 <sub>16</sub>	A/D 状态寄存器 0	ADSTAT0	200
03D4 <sub>16</sub>	A/D 控制寄存器 2	ADCON2	198
03D5 <sub>16</sub>			
03D6 <sub>16</sub>	A/D 控制寄存器 0	ADCON0	198
03D7 <sub>16</sub>	A/D 控制寄存器 1	ADCON1	198
03D8 <sub>16</sub>			
03D9 <sub>16</sub>			
03DA <sub>16</sub>			
03DB <sub>16</sub>			
03DC <sub>16</sub>			
03DD <sub>16</sub>			
03DE <sub>16</sub>			
03DF <sub>16</sub>			
03E0 <sub>16</sub>			
03E1 <sub>16</sub>	端口 P1 寄存器	P1	239
03E2 <sub>16</sub>			
03E3 <sub>16</sub>	端口 P1 方向寄存器	PD1	238
03E4 <sub>16</sub>			
03E5 <sub>16</sub>			
03E6 <sub>16</sub>			
03E7 <sub>16</sub>			
03E8 <sub>16</sub>			
03E9 <sub>16</sub>			
03EA <sub>16</sub>			
03EB <sub>16</sub>			
03EC <sub>16</sub>	端口 P6 寄存器	P6	239
03ED <sub>16</sub>	端口 P7 寄存器	P7	239
03EE <sub>16</sub>	端口 P6 方向寄存器	PD6	238
03EF <sub>16</sub>	端口 P7 方向寄存器	PD7	238
03F0 <sub>16</sub>	端口 P8 寄存器	P8	239
03F1 <sub>16</sub>	端口 P9 寄存器	P9	239
03F2 <sub>16</sub>	端口 P8 方向寄存器	PD8	238
03F3 <sub>16</sub>	端口 P9 方向寄存器	PD9	238
03F4 <sub>16</sub>	端口 P10 寄存器	P10	239
03F5 <sub>16</sub>			
03F6 <sub>16</sub>	端口 P10 方向寄存器	PD10	238
03F7 <sub>16</sub>			
03F8 <sub>16</sub>			
03F9 <sub>16</sub>			
03FA <sub>16</sub>			
03FB <sub>16</sub>			
03FC <sub>16</sub>	上拉控制寄存器 0	PUR0	240
03FD <sub>16</sub>	上拉控制寄存器 1	PUR1	240
03FE <sub>16</sub>	上拉控制寄存器 2	PUR2	240
03FF <sub>16</sub>	端口控制寄存器	PCR	241

## M16C/26A 群 (M16C/26A、M16C/26B、M16C/26T)

瑞萨 16 位单片机

---

### 1. 概要

M16C/26A 群 (M16C/26A、M16C/26B、M16C/26T) 为采用高性能硅栅 CMOS 工艺并安装了 M16C/60 系列 CPU 内核的单片机，采用 42 引脚或 48 引脚塑封。此单片机具有高性能指令的同时，又具有高效率指令，并且具备快速执行指令的能力。另外，M16C/26A 群 (M16C/26A、M16C/26B、M16C/26T) 具有乘法器与 DMAC，所以适用于需要高速运算处理的 OA、通信设备及工业设备的控制。

M16C/26A、M16C/26B 群有 Normal-ver.、M16C/26T 群有 T-ver. 与 V-ver.。

#### 1.1 应用

音频、照相机、办公设备、通信设备、便携式装置、空调、变频家电、汽车等。

## 1.2 性能概要

性能概要（48 引脚版）如表 1.1 所示，性能概要（42 引脚版）如表 1.2 所示。

表 1.1 性能概要（48 引脚版）（M16C/26A、M16C/26B、M16C/26T）

项目		性能
CPU	基本指令数	91 条指令
	最短指令 执行时间	41.7ns (f(BCLK)=24MHz (注 3), V <sub>CC</sub> =4.2 ~ 5.5V) (M16C/26B)
		50ns (f(BCLK)=20MHz、V <sub>CC</sub> =3.0 ~ 5.5V) (M16C/26A, M16C/26B, M16C/26T(T-ver.))
		100ns (f(BCLK)=10MHz、V <sub>CC</sub> =2.7 ~ 5.5V) (M16C/26A, M16C/26B)
		50ns (f(BCLK)=20MHz、V <sub>CC</sub> =4.2 ~ 5.5V -40 ~ 105 °C) (M16C/26T(V-Ver.))
		62.5ns (f(BCLK)=16MHz、V <sub>CC</sub> =4.2 ~ 5.5V -40 ~ 125 °C) (M16C/26T(V-Ver.))
	运行模式	单芯片模式
地址空间	1M 字节	
存储器容量	ROM/RAM: 请参考表 1.3 ~ 表 1.6	
外围功能	端口	输入 / 输出: 39 个
	多功能定时器	定时器 A: 16 位 × 5 个通道、定时器 B: 16 位 × 3 个通道 三相马达控制电路
	串行 I/O	2 个通道 (UART、时钟同步串行 I/O) 1 个通道 (UART、时钟同步串行 I/O、I <sup>2</sup> C bus、IEBus (注 1))
	A/D 转换器	10 位 A/D 转换器: 1 个电路、12 个通道
	DMAC	2 个通道
	CRC 运算电路	1 个电路: 可以选择 MSB/LSB、并对应 CRC-CCITT 与 CRC-16
	看门狗定时器	15 位 × 1 个通道 (带预分频器)
	中断	内部: 20 个中断源、外部: 8 个中断源、软件: 4 个中断源 中断优先级: 7 级
	时钟产生电路	4 个电路 主时钟振荡电路 (*)、副时钟振荡电路 (*)、内部振荡器、PLL 频率合成器 (* ) 振荡电路内置反馈电阻
	振荡停止检测	主时钟振荡停止、重新振荡检测功能
电压检测电路	有 (M16C/26A、M16C/26B) 无 (M16C/26T)	
电气特性	电源电压	V <sub>CC</sub> =4.2 ~ 5.5V (f(BCLK)=24MHz) (注 3) (M16C/26B)
		V <sub>CC</sub> =3.0 ~ 5.5V (f(BCLK)=20MHz) (M16C/26A, M16C/26B)
		V <sub>CC</sub> =2.7 ~ 5.5V (f(BCLK)=10MHz)
		V <sub>CC</sub> =3.0 ~ 5.5V (M16C/26T(T-ver.))
		V <sub>CC</sub> =4.2 ~ 5.5V (M16C/26T(V-ver.))
消耗电流	20mA (V <sub>CC</sub> =5V、f(BCLK)=24MHz) (M16C/26B)	
	16mA (V <sub>CC</sub> =5V、f(BCLK)=20MHz)	
	25μA (f(X <sub>CIN</sub> )=32kHz、RAM 上)	
	3μA (V <sub>CC</sub> =3V、f(X <sub>CIN</sub> )=32kHz、等待模式时)	
	0.7μA (V <sub>CC</sub> =3V、停止模式时)	

项目		性能
闪存版	编程、擦除电压	2.7V ~ 5.5V (M16C/26A, M16C/26B) 3.0V ~ 5.5V (M16C/26T(T-ver.)) 4.2V ~ 5.5V (M16C/26T(V-ver.))
	编程、擦除次数	100 次 (全区域) 或 1,000 次 (块 0 ~ 3) / 10,000 次 (块 A、块 B) (注 2)
工作环境温度		-20 ~ 85°C / -40 ~ 85°C (注 2) (M16C/26A, M16C/26B)
		-40°C ~ 85°C (M16C/26T(T-ver.))
		-40°C ~ 105°C / -40°C ~ 125°C (M16C/26T(T-ver.))
封装		48 引脚塑封 QFP

注 1. IEBus 为 NEC 电气株式会社商标。

注 2. 有关改写次数以及工作环境的温度，请参考表 1.7 ~ 表 1.10 产品代码。

注 3. 在  $f(\text{BCLK}) = 24 \text{ MHz}$  使用 M16C/26B 群时，请使用 PLL 频率合成器。

表 1.2 性能概要 (42 引脚版) (M16C/26A、M16C/26B)

项目	性能	
CPU	基本指令数	91 条指令
	最短指令执行时间	41.7ns (f(BCLK)=24MHz (注 3)、V <sub>CC</sub> =4.2 ~ 5.5V) (M16C/26B) 50ns (f(BCLK)=20MHz、V <sub>CC</sub> =3.0 ~ 5.5V) (M16C/26A, M16C/26B) 100ns (f(BCLK)=10MHz、V <sub>CC</sub> =2.7 ~ 5.5V) (M16C/26A, M16C/26B)
	运行模式	单芯片模式
	地址空间	1M 字节
	存储器容量	ROM/RAM 请参考表 1.3 ~ 表 1.4
外围功能	端口	输入 / 输出: 33 个
	多功能定时器	定时器 A: 16 位 × 5 个通道、定时器 B: 16 位 × 3 个通道 三相马达控制电路
	串行 I/O	1 个通道 (UART、时钟同步串行 I/O) 1 个通道 (UART、时钟同步串行 I/O、I <sup>2</sup> C bus、IEBus (注 1))
	A/D 转换器	10 位 A/D 转换器: 1 个电路、10 个通道
	DMAC	2 个通道
	CRC 运算电路	1 个电路: 可以选择 MSB/LSB、并对应 CRC-CCITT 与 CRC-16
	看门狗定时器	15 位 × 1 个通道 (带预分频器)
	中断	内部: 18 个中断源、外部: 8 个中断源、软件: 4 个中断源 中断优先级: 7 级
	时钟产生电路	4 个电路 主时钟振荡电路 (*)、副时钟振荡电路 (*)、内部振荡器、PLL 频率合成器 (*) 振荡电路中内置反馈电阻
	振荡停止检测	主时钟振荡停止、重新振荡检测功能
	电压检测电路	有
电气特性	电源电压	V <sub>CC</sub> =4.2 ~ 5.5V (f(BCLK)=24MHz) (注 3) (M16C/26B)
		V <sub>CC</sub> =3.0 ~ 5.5V (f(BCLK)=20MHz) (M16C/26A, M16C/26B)
		V <sub>CC</sub> =2.7 ~ 5.5V (f(BCLK)=10MHz)
消耗电流	20mA (V <sub>CC</sub> =5V、f(BCLK)=24MHz) (M16C/26B)	
	16mA (V <sub>CC</sub> =5V、f(BCLK)=20MHz)	
	25μA (f(X <sub>CIN</sub> )=32kHz、RAM 上)	
	3μA (V <sub>CC</sub> =3V、f(X <sub>CIN</sub> )=32kHz、等待模式时)	
	0.7μA (V <sub>CC</sub> =3V、停止模式时)	
闪存版	编程、擦除电压	2.7V ~ 5.5V
	编程、擦除次数	100 次 (全区域) 或 1,000 次 (块 0 ~ 3) / 10,000 次 (块 A、块 B) (注 2)
工作环境温度	-20°C ~ 85°C / -40°C ~ 85°C (注 2)	
封装	42 引脚塑封 SSOP	

注 1. IEBus 为 NEC 电气株式会社的商标。

注 2. 有关改写次数以及工作环境的温度, 请参考表 1.7、表 1.8 产品码。

注 3. 在 f(BCLK) = 24 MHz 使用 M16C/26B 群时, 请使用 PLL 频率合成器。

1.3 框图

框图（48 引脚版）如图 1.1 所示，框图（42 引脚版）如图 1.2 所示。

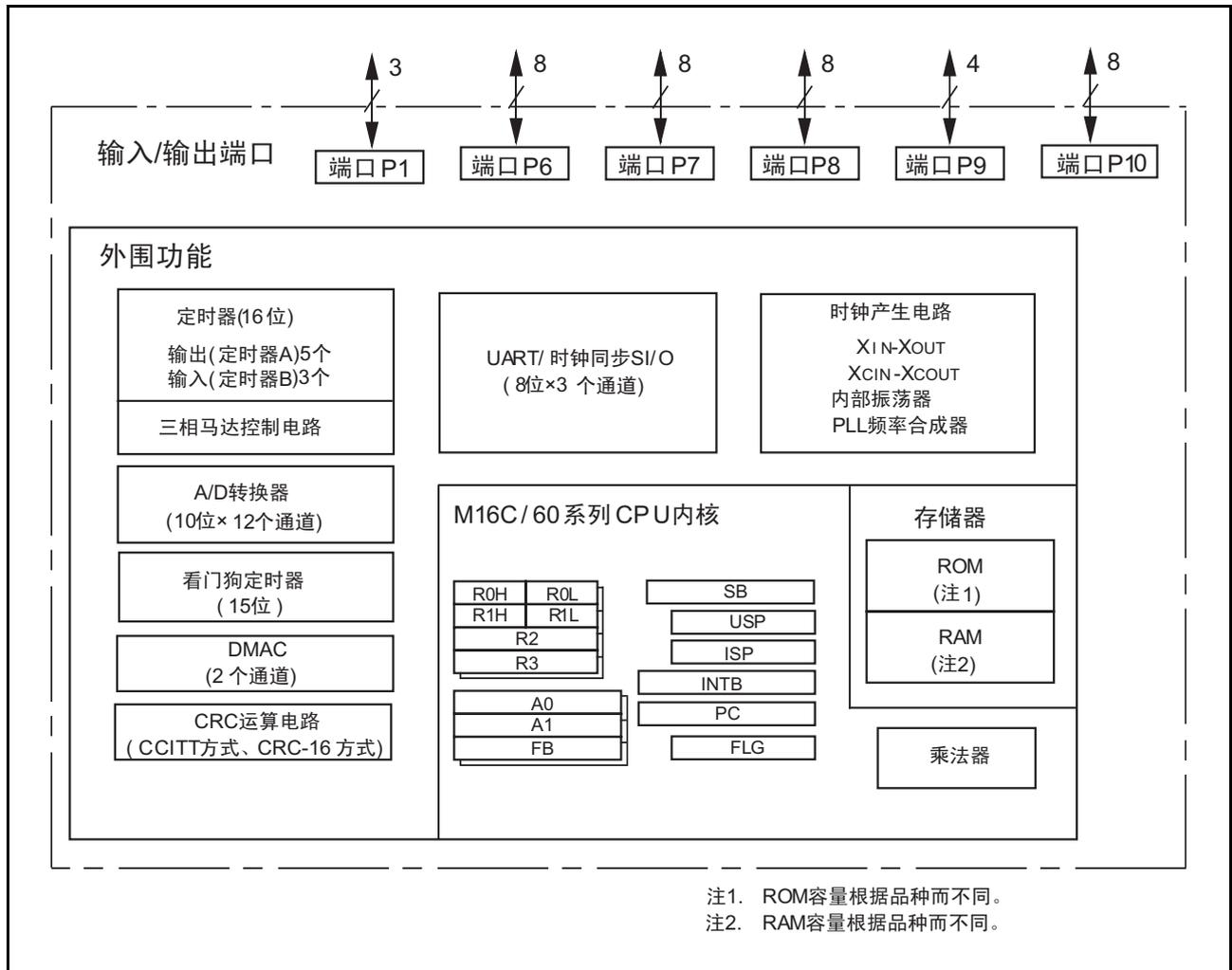


图 1.1 框图（48 引脚版）

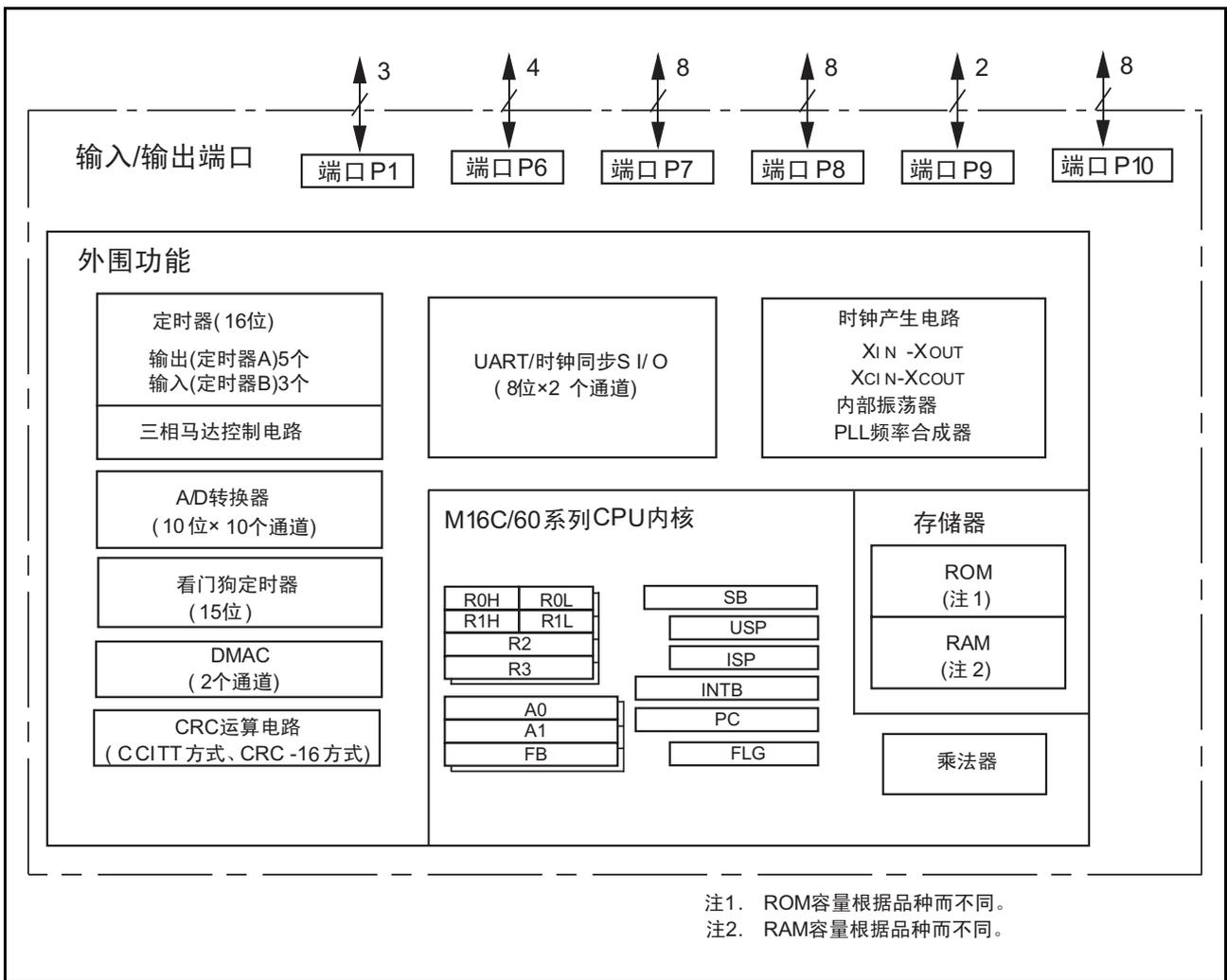


图 1.2 框图 (42 引脚版)

## 1.4 产品一览表

产品一览表如表 1.3 ~ 表 1.6 所示；产品型号与存储器容量、封装如图 1.3 所示；M16C/26A、M16C/26B 的闪存版与掩模 ROM 版的产品代码如表 1.7 所示；M16C/26A、M16C/26B 的闪存版与掩模 ROM 版的标记图如图 1.4 所示。

关于 M16C/26T 的掩模 ROM 版的产品，请向瑞萨科技、瑞萨销售或特约经销店咨询。

表 1.3 产品一览表 (1)-M16C/26A 群

2007 年 2 月

型号	ROM 容量	RAM 容量	封装	备注	产品代码	
M30260F3AGP (新)	24K+4K	1K	PLQP0048KB-A (48P6Q-A)	闪存版	U3, U5, U7, U9	
M30260F6AGP (新)	48K+4K	2K				
M30260F8AGP (新)	64K+4K	2K				
M30263F3AFP (新)	24K+4K	1K	PRSP0042GA-B (42P2R)		掩模 ROM 版	U5, U9
M30263F6AFP (新)	48K+4K	2K				
M30263F8AFP (新)	64K+4K	2K				
M30260M3A-XXXGP (新)	24K	1K	PLQP0048KB-A (48P6Q-A)	掩模 ROM 版		U3, U5
M30260M6A-XXXGP (新)	48K	2K				
M30260M8A-XXXGP (新)	64K	2K				
M30263M3A-XXXFP (新)	24K	1K	PRSP0042GA-B (42P2R)		掩模 ROM 版	U5
M30263M6A-XXXFP (新)	48K	2K				
M30263M8A-XXXFP (新)	64K	2K				

(新) : 新产品

表 1.4 产品一览表 (2)-M16C/26B

2007 年 2 月

型号	ROM 容量	RAM 容量	封装	备注	产品代码
M30260F8BGP (新)	64K + 4K	2K	PLQP0048KB-A (48P6Q-A)	闪存版	U7
M30263F8BFP (新)	64K + 4K	2K			PRSP0042GA-B (42P2R)

(新) : 新产品

表 1.5 产品一览表 (3)-M16C/26T T-ver

2007 年 2 月

型号	ROM 容量	RAM 容量	封装	备注	产品代码
M30260F3TGP	24K + 4K	1K	PLQP0048KB-A (48P6Q-A)	闪存版	U3, U7
M30260F6TGP	48K + 4K	2K			
M30260F8TGP	64K + 4K	2K			

注 1. 仅限闪存版

表 1.6 产品一览表 (4)-M16C/26T V-ver

2007 年 2 月

型号	ROM 容量	RAM 容量	封装	备注	产品代码
M30260F8VGP	64K + 4K	2K	PLQP0048KB-A (48P6Q-A)	闪存版	U3, U7

注 1. 仅限闪存版

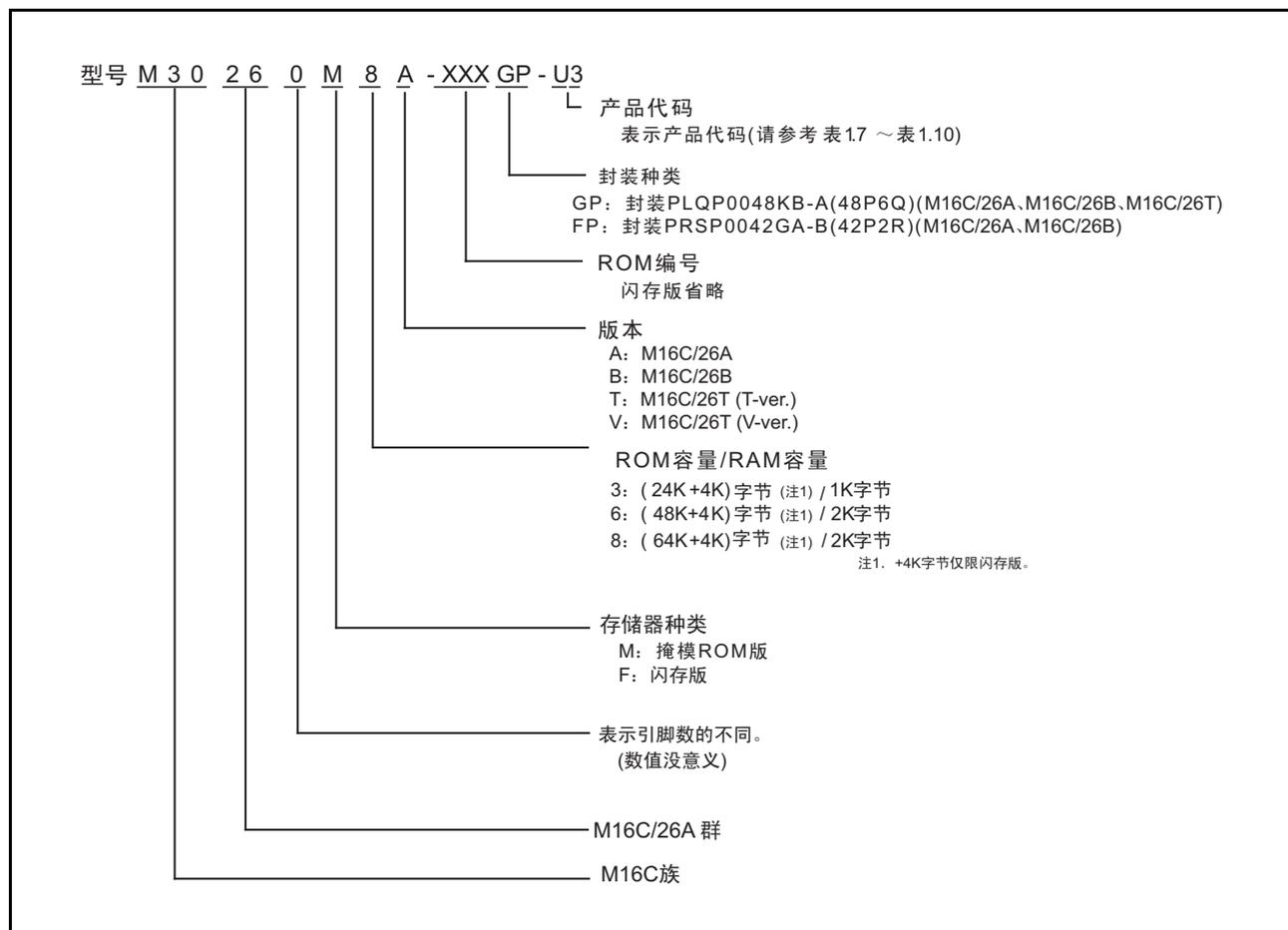


图 1.3 产品型号、存储器容量与封装

表 1.7 产品代码（闪存版：M16C/26A, M16C/26B）

产品代码	封装	内部 ROM (程序区: 块 0 ~ 3)		内部 ROM (数据区: 块 A、B)		MCU 工作环境温度
		改写次数	温度范围	改写次数	温度范围	
U3	无铅	100	0°C ~ 60°C	100	0°C ~ 60°C	-40°C ~ 85°C
U5						-20°C ~ 85°C
U7		1,000		10,000	-40°C ~ 85°C	-40°C ~ 85°C
U9					-20°C ~ 85°C	-20°C ~ 85°C

表 1.8 产品代码（掩模 ROM 版：M16C/26A）

产品代码	封装	MCU 工作环境温度
U3	无铅	-40°C ~ 85°C
U5		-20°C ~ 85°C

注 1. 产品代码 D3、D5、D7、D9（含铅封装）产品分别与 U3、U5、U7、U9（无铅封装）产品相对应。无铅封装可适用以前的 Sn-Pb 焊膏与无铅焊锡膏（Sn-Ag-Cu 等）。

表 1.9 产品代码（闪存版）-M16C/26T T-ver

产品代码	封装	内部 ROM (程序区: 块 0 ~ 3)		内部 ROM (数据区: 块 A、B)		MCU 工作环境温度
		改写次数	温度范围	改写次数	温度范围	
U3	无铅	100	0°C ~ 60°C	100	-40°C ~ 85°C	-40°C ~ 85°C
U7		1,000		10,000		

表 1.10 产品代码（闪存版）-M16C/26T V-ver

产品代码	封装	内部 ROM (程序区: 块 0 ~ 3)		内部 ROM (数据区: 块 A、B)		MCU 工作环境温度
		改写次数	温度范围	改写次数	温度范围	
U3	无铅	100	0°C ~ 60°C	100	-40°C ~ 125°C	-40°C ~ 125°C
U7		1,000		10,000		

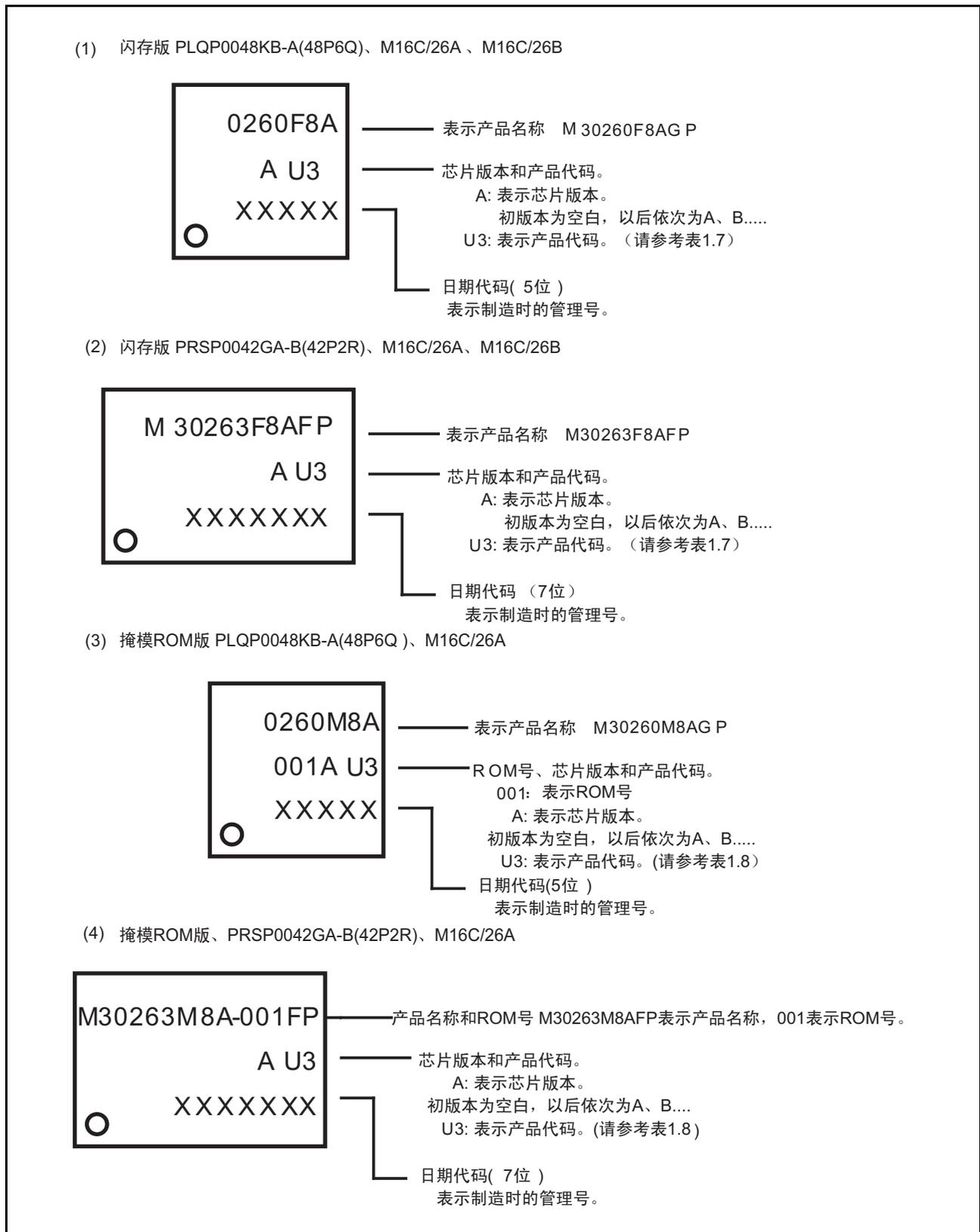


图 1.4 标记图 (俯视图 M16C/26A、M16C/26B)

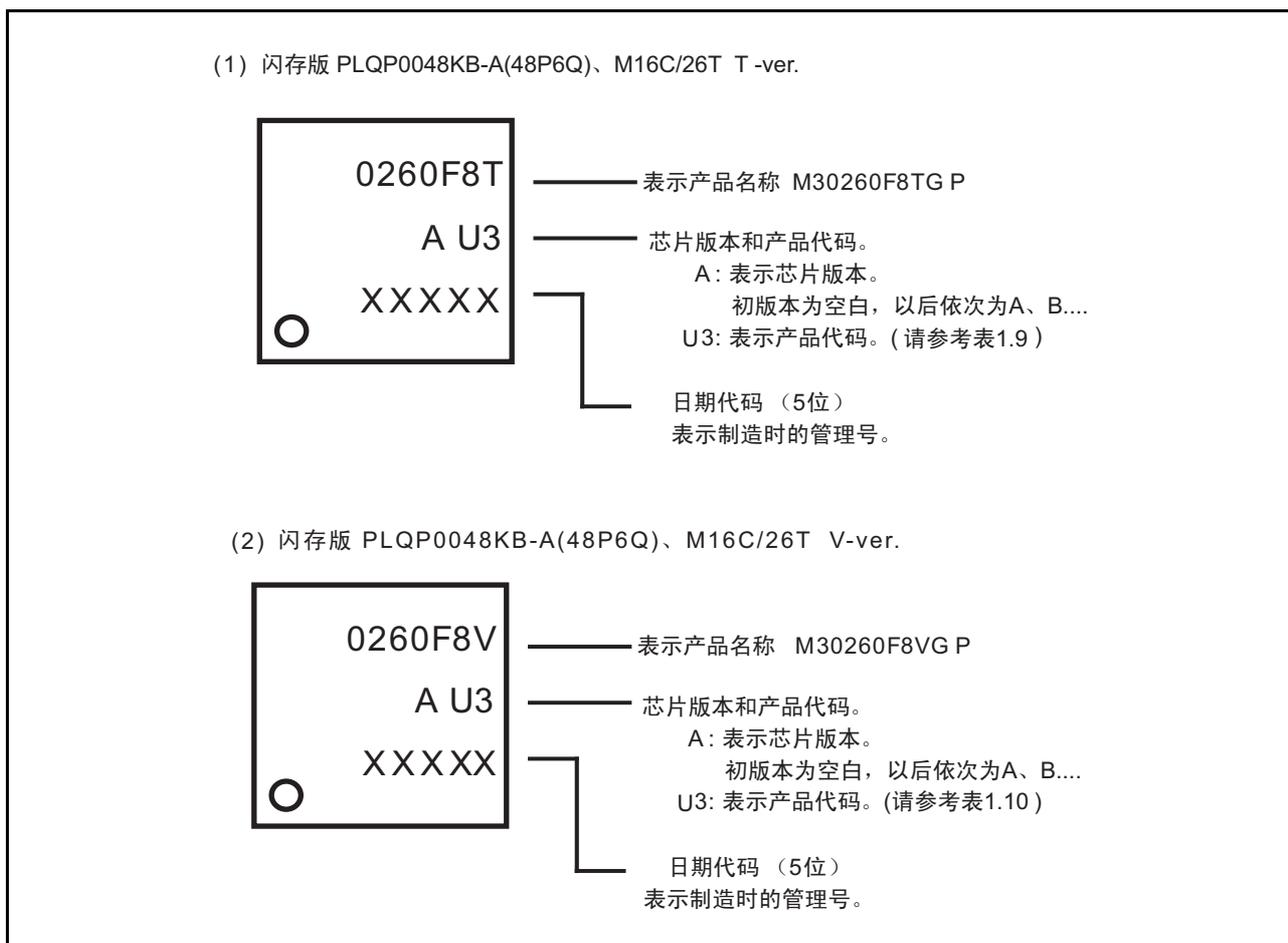


图 1.5 标记图 (俯视图 M16C/26T)

1.5 引脚连接图

图 1.6 所示为 48 引脚版连接图（俯视图），图 1.7 所示为是 42 引脚版连接图（俯视图）。

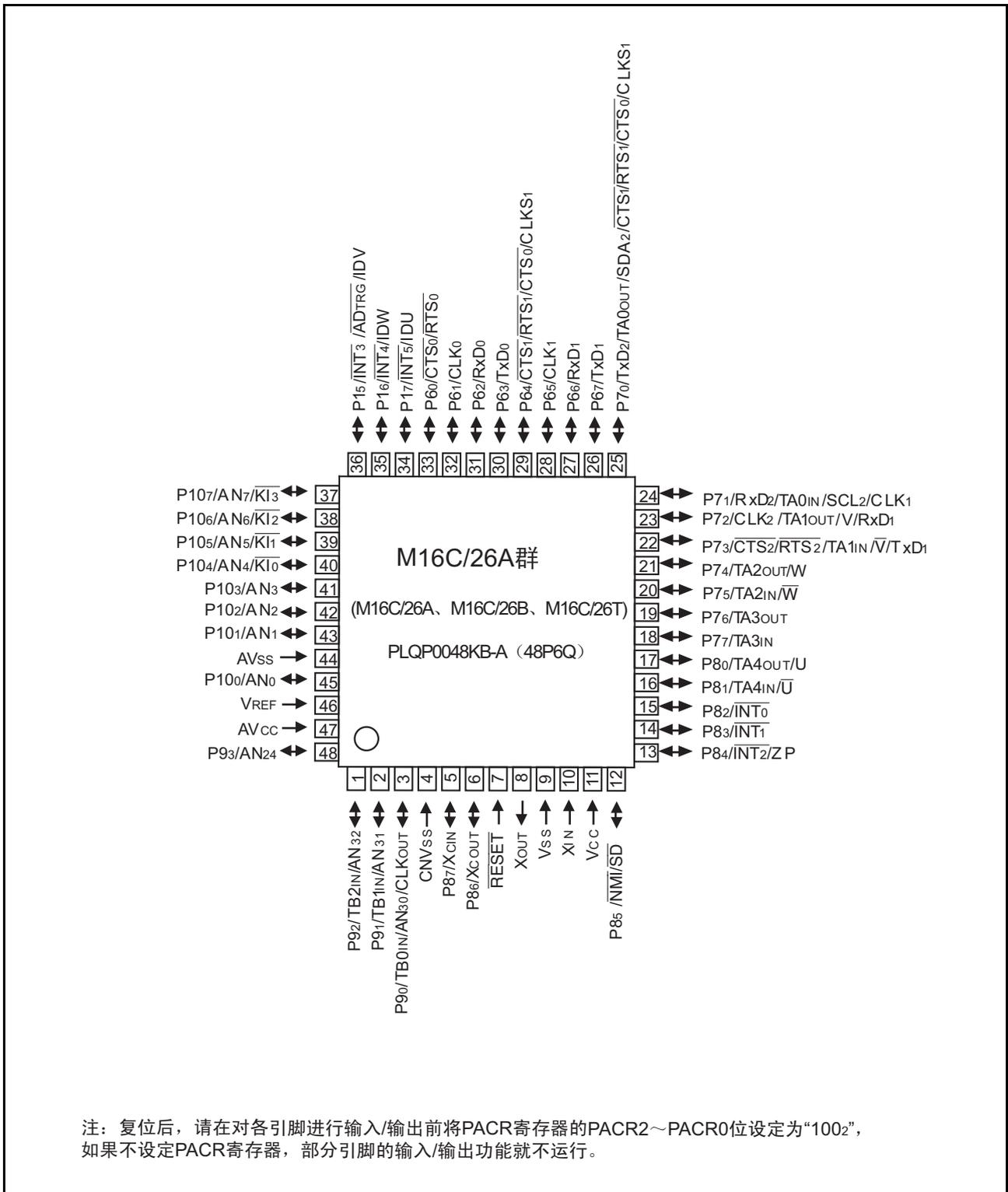


图 1.6 引脚连接图（俯视图）

表 1.11 48 引脚版的引脚名一览表

Pin No	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚
1		P9 <sub>2</sub>		TB <sub>2</sub> IN		AN <sub>3</sub> <sub>2</sub>
2		P9 <sub>1</sub>		TB <sub>1</sub> IN		AN <sub>3</sub> <sub>1</sub>
3		P9 <sub>0</sub>		TB <sub>0</sub> IN	CLKOUT	AN <sub>3</sub> <sub>0</sub>
4	CNV <sub>SS</sub>					
5	X <sub>C</sub> IN	P8 <sub>7</sub>				
6	X <sub>C</sub> OUT	P8 <sub>6</sub>				
7	$\overline{\text{RESET}}$					
8	X <sub>O</sub> UT					
9	V <sub>SS</sub>					
10	X <sub>I</sub> IN					
11	V <sub>CC</sub>					
12		P8 <sub>5</sub>	$\overline{\text{NMI}}$	$\overline{\text{SD}}$		
13		P8 <sub>4</sub>	$\overline{\text{INT}}_2$	ZP		
14		P8 <sub>3</sub>	$\overline{\text{INT}}_1$			
15		P8 <sub>2</sub>	$\overline{\text{INT}}_0$			
16		P8 <sub>1</sub>		TA <sub>4</sub> IN/ $\overline{\text{U}}$		
17		P8 <sub>0</sub>		TA <sub>4</sub> OUT/U		
18		P7 <sub>7</sub>		TA <sub>3</sub> IN		
19		P7 <sub>6</sub>		TA <sub>3</sub> OUT		
20		P7 <sub>5</sub>		TA <sub>2</sub> IN/ $\overline{\text{W}}$		
21		P7 <sub>4</sub>		TA <sub>2</sub> OUT/W		
22		P7 <sub>3</sub>		TA <sub>1</sub> IN/ $\overline{\text{V}}$	$\overline{\text{CTS}}_2 / \overline{\text{RTS}}_2 / \text{TxD}_1$	
23		P7 <sub>2</sub>		TA <sub>1</sub> OUT/V	CLK <sub>2</sub> /RxD <sub>1</sub>	
24		P7 <sub>1</sub>		TA <sub>0</sub> IN	RxD <sub>2</sub> /SCL <sub>2</sub> /CLK <sub>1</sub>	
25		P7 <sub>0</sub>		TA <sub>0</sub> OUT	TxD <sub>2</sub> /SDA <sub>2</sub> / $\overline{\text{RTS}}_1 / \overline{\text{CTS}}_1 / \overline{\text{CTS}}_0 / \text{CLKS}_1$	
26		P6 <sub>7</sub>			TxD <sub>1</sub>	
27		P6 <sub>6</sub>			RxD <sub>1</sub>	
28		P6 <sub>5</sub>			CLK <sub>1</sub>	
29		P6 <sub>4</sub>			$\overline{\text{RTS}}_1 / \overline{\text{CTS}}_1 / \overline{\text{CTS}}_0 / \text{CLKS}_1$	
30		P6 <sub>3</sub>			TxD <sub>0</sub>	
31		P6 <sub>2</sub>			RxD <sub>0</sub>	
32		P6 <sub>1</sub>			CLK <sub>0</sub>	
33		P6 <sub>0</sub>			$\overline{\text{RTS}}_0 / \overline{\text{CTS}}_0$	
34		P1 <sub>7</sub>	$\overline{\text{INT}}_5$	IDU		
35		P1 <sub>6</sub>	$\overline{\text{INT}}_4$	IDW		

Pin No	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚
36		P15	$\overline{\text{INT}}_3$	IDV		$\overline{\text{ADTRG}}$
37		P107	$\overline{\text{KI}}_3$			AN7
38		P106	$\overline{\text{KI}}_2$			AN6
39		P105	$\overline{\text{KI}}_1$			AN5
40		P104	$\overline{\text{KI}}_0$			AN4
41		P103				AN3
42		P102				AN2
43		P101				AN1
44	AVss					
45		P100				AN0
46	VREF					
47	AVcc					
48		P93				AN24

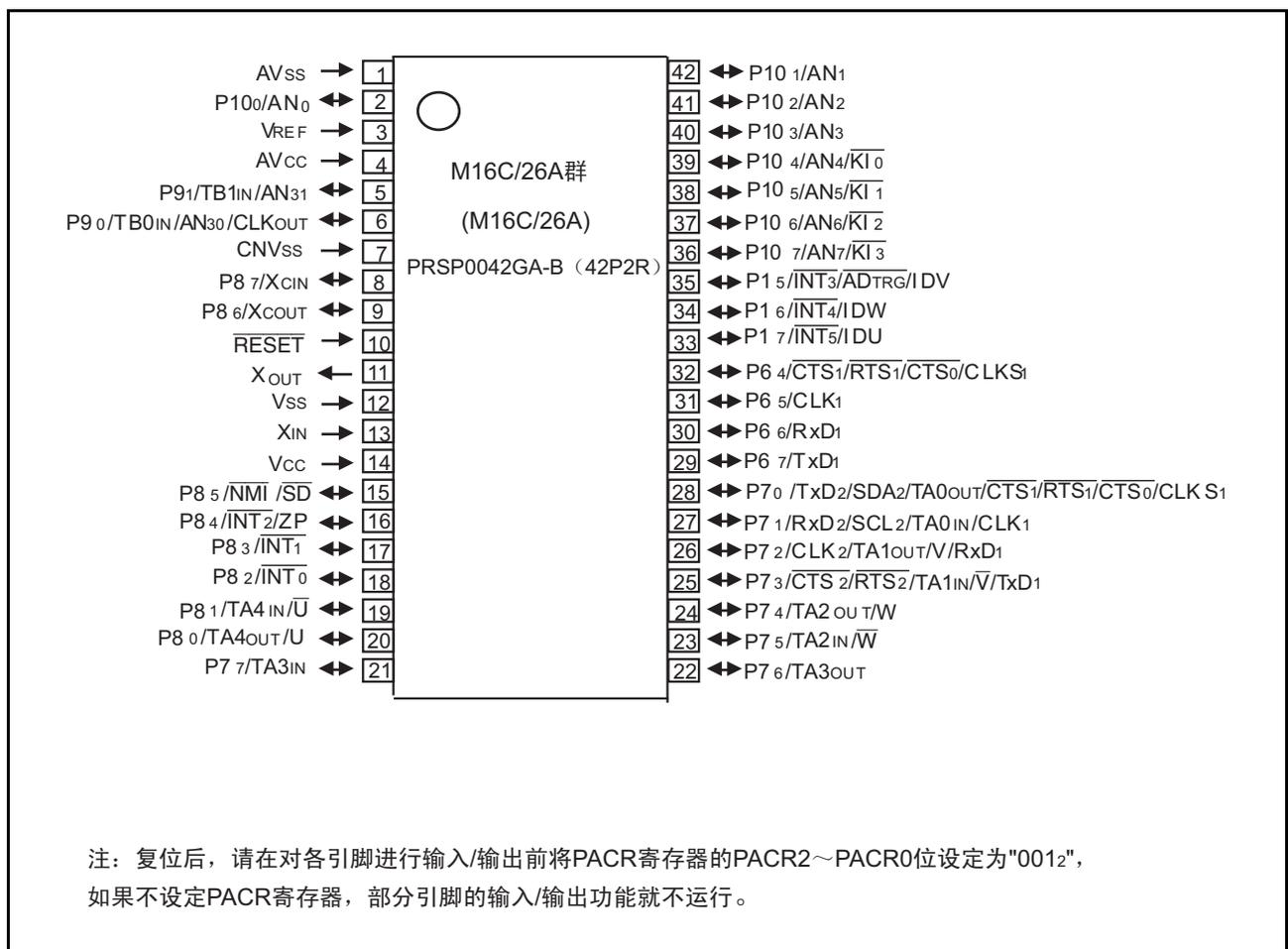


图 1.7 引脚连接图（俯视图）

表 1.12 42 引脚版的引脚名一览表

Pin No	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚
1	AVSS					
2		P10 <sub>0</sub>				AN <sub>0</sub>
3	VREF					
4	AVCC					
5		P9 <sub>1</sub>		TB <sub>1</sub> IN		AN <sub>31</sub>
6		P9 <sub>0</sub>		TB <sub>0</sub> IN	CLKOUT	AN <sub>30</sub>
7	CNVSS					
8	XCIN	P8 <sub>7</sub>				
9	XCOU <sub>T</sub>	P8 <sub>6</sub>				
10	RESET					
11	VOUT					
12	VSS					
13	X <sub>I</sub> IN					
14	VCC					
15		P8 <sub>5</sub>	$\overline{\text{NMI}}$	$\overline{\text{SD}}$		
16		P8 <sub>4</sub>	$\overline{\text{INT}}_2$	ZP		
17		P8 <sub>3</sub>	$\overline{\text{INT}}_1$			
18		P8 <sub>2</sub>	$\overline{\text{INT}}_0$			
19		P8 <sub>1</sub>		TA <sub>4</sub> IN/ $\overline{\text{U}}$		
20		P8 <sub>0</sub>		TA <sub>4</sub> OUT/U		
21		P7 <sub>7</sub>		TA <sub>3</sub> IN		
22		P7 <sub>6</sub>		TA <sub>3</sub> OUT		
23		P7 <sub>5</sub>		TA <sub>2</sub> IN/ $\overline{\text{W}}$		
24		P7 <sub>4</sub>		TA <sub>2</sub> OUT/W		
25		P7 <sub>3</sub>		TA <sub>1</sub> IN/ $\overline{\text{V}}$	$\overline{\text{CTS}}_2 / \overline{\text{RTS}}_2 / \text{TxD}_1$	
26		P7 <sub>2</sub>		TA <sub>1</sub> OUT/V	CLK <sub>2</sub> /RxD <sub>1</sub>	
27		P7 <sub>1</sub>		TA <sub>0</sub> IN	RxD <sub>2</sub> /SCL <sub>2</sub> /CLK <sub>1</sub>	
28		P7 <sub>0</sub>		TA <sub>0</sub> OUT	TxD <sub>2</sub> /SDA <sub>2</sub> / $\overline{\text{RTS}}_1 / \overline{\text{CTS}}_1 / \overline{\text{CTS}}_0 / \text{CLKS}_1$	
29		P6 <sub>7</sub>			TxD <sub>1</sub>	
30		P6 <sub>6</sub>			RxD <sub>1</sub>	
31		P6 <sub>5</sub>			CLK <sub>1</sub>	
32		P6 <sub>4</sub>			$\overline{\text{RTS}}_1 / \overline{\text{CTS}}_1 / \overline{\text{CTS}}_0 / \text{CLKS}_1$	
33		P1 <sub>7</sub>	$\overline{\text{INT}}_5$	IDU		
34		P1 <sub>6</sub>	$\overline{\text{INT}}_4$	IDW		
35		P1 <sub>5</sub>	$\overline{\text{INT}}_3$	IDV		$\overline{\text{ADTRG}}$
36		P10 <sub>7</sub>	$\overline{\text{KI}}_3$			AN <sub>7</sub>
37		P10 <sub>6</sub>	$\overline{\text{KI}}_2$			AN <sub>6</sub>
38		P10 <sub>5</sub>	$\overline{\text{KI}}_1$			AN <sub>5</sub>
39		P10 <sub>4</sub>	$\overline{\text{KI}}_0$			AN <sub>4</sub>
40		P10 <sub>3</sub>				AN <sub>3</sub>
41		P10 <sub>2</sub>				AN <sub>2</sub>
42		P10 <sub>1</sub>				AN <sub>1</sub>

## 1.6 引脚功能说明

本单片机引脚的功能说明如表 1.13 所示。

表 1.13 引脚的功能说明（48 引脚版、42 引脚版共通）（2/1）

分类	引脚名	输入 / 输出	功能
电源输入	Vcc、Vss	输入	请给 Vss 引脚输入 0V，给 Vcc 引脚输入如下的电压：2.7 ~ 5.5V（M16C/26A、M16C/26B）、3.0 ~ 5.5V（M16C/26T T-ver.）、4.2 ~ 5.5V（M16C/26T V-ver.）
模拟电源输入	AVcc AVss	输入	为 A/D 转换器的电源输入。请将 AVcc 连接至 Vcc，并且将 AVss 连接至 Vss
复位输入	RESET	输入	向此引脚输入“L”电平时，单片机为复位状态
CNVss	CNVss	输入	请将 CNVss 连接至 Vss
主时钟输入	XIN	输入	为主时钟振荡电路的输入 / 输出引脚。请在 XIN 引脚与 XOUT 引脚之间连接陶瓷谐振器或晶振。输入外部生成的时钟时，请从 XIN 引脚输入时钟、将 XOUT 引脚置为开路。如果不使用主时钟振荡电路时，就请将 XIN 引脚连接 Vcc，并且将 XOUT 引脚置为开路
主时钟输出	XOUT	输出	
副时钟输入	XCIN	输入	为副时钟振荡电路的输入 / 输出引脚。请在 XCIN 引脚与 XCOUT 引脚之间连接陶瓷谐振器或晶振
副时钟输出	XCOUT	输出	
时钟输出	CLKOUT	输出	输出具有与 f <sub>1</sub> 、f <sub>8</sub> 、f <sub>32</sub> 或 f <sub>c</sub> 相同周期的时钟
INT 中断输入	INT0 ~ INT5	输入	为 INT 中断输入。INT2 为定时器 A 的 Z 相输入
NMI 中断输入	NMI	输入	为 NMI 中断输入引脚。在使用 3 相输出时，不可作为通常的端口来使用。在使用 3 相输出时，将方向寄存器置“0”后，通常固定输入“H”
键输入中断	KI0 ~ KI3	输入	为键输入中断功能的输入
定时器 A	TA0OUT ~ TA4OUT	输入 / 输出	为定时器 A0 ~ A4 的输入 / 输出
	TA0IN ~ TA4IN	输入	为定时器 A0 ~ A4 的输入
	ZP	输入	为 Z 相的输入
定时器 B	TB0IN ~ TB1IN	输入	为定时器 B0 ~ B1 的输入
用于三相马达控制的定时器输出	U, $\bar{U}$ , V, $\bar{V}$ , W, $\bar{W}$	输出	用于三相马达控制用定时器输出
	IDU, IDW, IDV, SD	输入 / 输出	用于三相马达控制用定时器输入 / 输出
串行 I/O	CTS1 ~ CTS2	输入	为发送控制用输入
	RTS1 ~ RTS2	输出	为接收控制用输出
	CLK1 ~ CLK2	输入 / 输出	为传送时钟输入 / 输出
	RxD1 ~ RxD2	输入	为串行数据输入
	TxD1 ~ TxD2	输出	为串行数据输出
	CLKS1	输出	为传送时钟的输出
基准电压输入	VREF	输入	为 A/D 转换器的基准电压输入

分类	引脚名	输入 / 输出	功能
A/D 转换器	AN <sub>0</sub> ~ AN <sub>7</sub> AN <sub>30</sub> ~ AN <sub>31</sub>	输入	为 A/D 转换器的模拟输入
	ADTRG	输入	为 A/D 外部触发输入
输入 / 输出端口	P1 <sub>5</sub> ~ P1 <sub>7</sub>	输入 / 输出	为 CMOS 的输入 / 输出。具有用于选择输入 / 输出的方向寄存器，每个引脚均可设定为输入端口或输出端口。输入端口可以 3 位为单位来选择有无上拉电阻
	P6 <sub>4</sub> ~ P6 <sub>7</sub> P7 <sub>0</sub> ~ P7 <sub>7</sub> P8 <sub>0</sub> ~ P8 <sub>7</sub> P10 <sub>0</sub> ~ P10 <sub>7</sub> P9 <sub>0</sub> ~ P9 <sub>1</sub>	输入 / 输出	为 CMOS 的输入 / 输出。具有用于选择输入 / 输出的方向寄存器，每个引脚均可设定为输入端口或输出端口。输入端口可以 4 位为单位来选择有无上拉电阻

表 1.13 引脚功能的说明（仅限 48 引脚版）（2/2）

分类	引脚名	输入 / 输出	功能
串行 I/O	CTS0	输入	为发送控制用输入
	RTS0	输出	为接收控制用输出
	CLK0	输入 / 输出	为传送时钟输入 / 输出
	RxD0	输入	为串行数据输入
	TxD0	输出	为串行数据输出
定时器 B	TB2IN	输入	为定时器 B2 的输入
A/D 转换器	AN <sub>24</sub> AN <sub>32</sub>	输入	为 A/D 转换器的模拟输入
输入 / 输出端口	P6 <sub>0</sub> ~ P6 <sub>3</sub> P9 <sub>2</sub> ~ P9 <sub>3</sub>	输入 / 输出	为 CMOS 的输入 / 输出。具有用于选择输入 / 输出的方向寄存器，每个引脚均可设定为输入端口或输出端口 输入端口可以 4 位为单位来选择有无上拉电阻

## 2. 中央运算处理器

CPU 寄存器如图 2.1 所示。CPU 具有 13 个寄存器。其中 R0、R1、R2、R3、A0、A1、FB 构成寄存器组。寄存器组有 2 组。

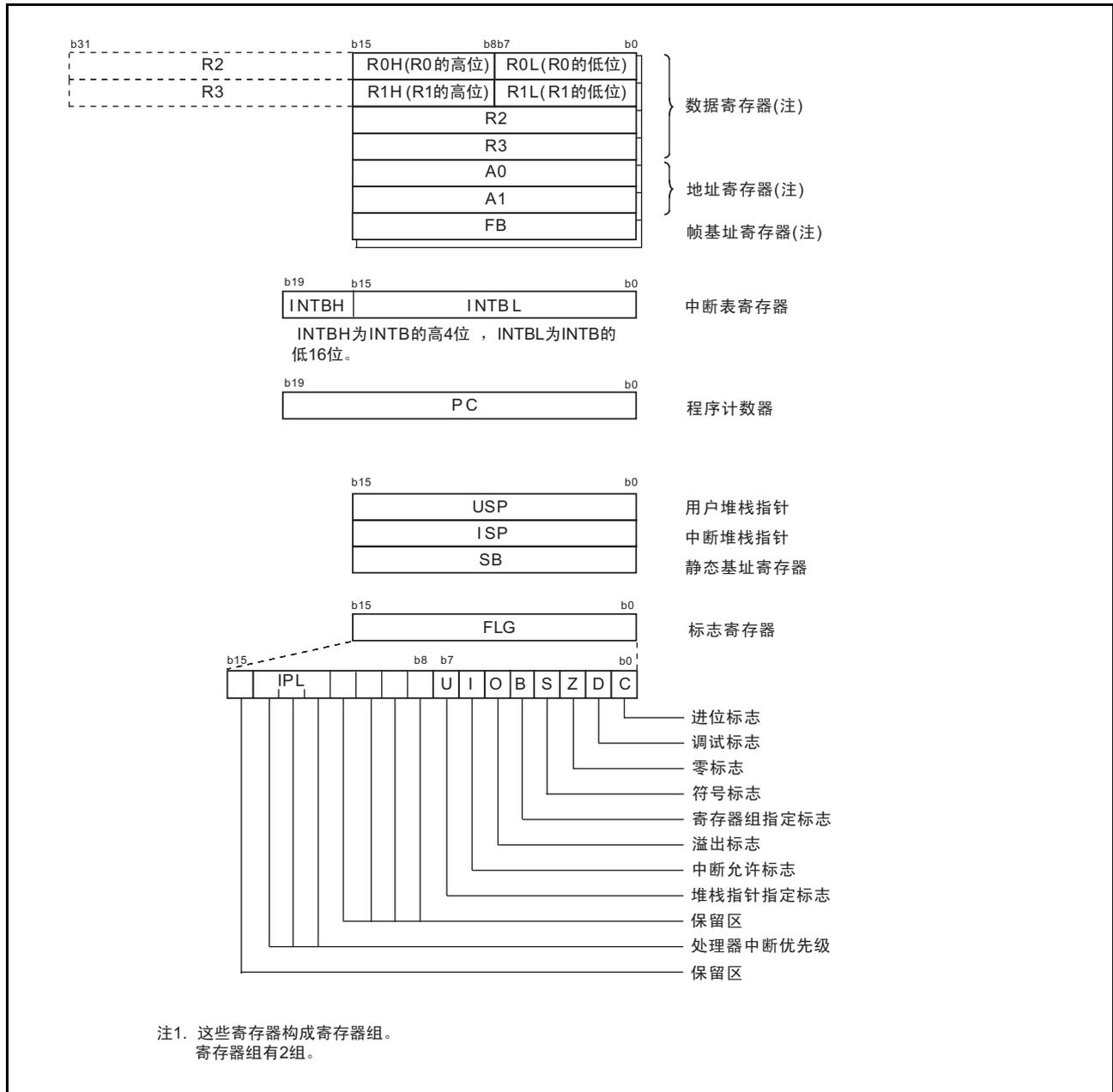


图 2.1 CPU 寄存器

## 2.1 数据寄存器 (R0、R1、R2、R3)

R0 由 16 位构成，主要用于传送、算术与逻辑运算。R1 ~ R3 与 R0 相同。

R0 可作为 8 位数据寄存器分别使用高位 (R0H) 与低位 (R0L)，R1H、R1L 与 R0H、R0L 相同。将 R2 与 R0 组合，可作为 32 位数据寄存器 (R2R0) 来使用。R3R1 与 R2R0 相同。

## 2.2 地址寄存器 (A0、A1)

A0 由 16 位构成，用于地址寄存器间接寻址、地址寄存器相对寻址。还可用于传送与算术、逻辑运算。A1 与 A0 相同。

能将 A1 与 A0 组合，可作为 32 位地址寄存器 (A1A0) 来使用。

## 2.3 帧基址寄存器 (FB)

FB 由 16 位构成，用于 FB 相对寻址。

## 2.4 中断表寄存器 (INTB)

INTB 由 20 位构成，表示可变中断向量表的起始地址。

## 2.5 程序计数器 (PC)

PC 由 20 位构成，表示下一个将执行的指令地址。

## 2.6 用户堆栈指针 (USP)、中断堆栈指针 (ISP)

堆栈指针 (SP) 有 USP 与 ISP 两种，均由 16 位构成。

可通过 FLG 的 U 标志来选择 USP 与 ISP。

## 2.7 静态基址寄存器 (SB)

SB 由 16 位构成，用于 SB 相对寻址。

## 2.8 标志寄存器 (FLG)

FLG 由 11 位构成，表示 CPU 的状态。

### 2.8.1 进位标志 (C 标志)

保存算术逻辑单元所产生的进位、借位、移出的位等。

### 2.8.2 调试标志 (D 标志)

D 标志为调试专用。请置“0”。

### 2.8.3 零标志 (Z 标志)

运算结果为 0 时，成为“1”，此外为“0”。

### 2.8.4 符号标志 (S 标志)

运算结果为负时，成为“1”，此外为“0”。

### 2.8.5 寄存器组指定标志 (B 标志)

B 标志为“0”时，指定寄存器组 0、为“1”时，指定寄存器组 1。

### 2.8.6 溢出标志（O 标志）

运算结果溢出时为“1”，此外为“0”。

### 2.8.7 中断允许标志（I 标志）

为允许可屏蔽中断的允许标志。

I 标志为“0”时，禁止可屏蔽中断、为“1”时，允许。

接受中断请求时，I 标志就变为“0”。

### 2.8.8 堆栈指针指定标志（U 标志）

U 标志为“0”时，指定 ISP、为“1”时，指定 USP。

接受硬件中断请求或者执行软件中断号 0～31 的 INT 指令时，U 标志为“0”。

### 2.8.9 处理器中断优先级（IPL）

IPL 由 3 位构成，指定 0～7 级 8 个级别的处理器中断优先级。

有请求的中断优先级比 IPL 值高时，允许此中断请求。

### 2.8.10 保留位

写时，请写“0”。读时，此值不定。

### 3. 存储器

存储器配置如图 3.1 所示。地址空间为从  $00000_{16}$  地址至  $FFFFFF_{16}$  地址的 1M 字节。

内部 ROM 分配在从  $FFFFFF_{16}$  地址开始向低位方向延伸的区域。例如：64K 字节内部 ROM 分配在  $F0000_{16}$  地址至  $FFFFFF_{16}$  地址。闪存版，作为数据区具有块 A（2K 字节）及块 B（2K 字节）2 个内部 ROM 区，这些块配置在  $F000_{16}$  地址至  $FFFF_{16}$  地址。

固定中断向量表分配在  $FFFDC_{16}$  地址至  $FFFFFF_{16}$  地址。在此保存中断程序起始地址。详细内容请参考中断。

内部 RAM 分配在  $00400_{16}$  地址向高位方向延伸的区域。例如：1K 字节内部 RAM 配置在  $00400_{16}$  地址至  $007FF_{16}$  地址。内部 RAM 除保存数据外，还可作为子程序调用与中断时的堆栈来使用。

SFR 分配在  $00000_{16}$  地址至  $003FF_{16}$  地址之间。在此，分配了外围功能的控制寄存器。SFR 中未被分配的区域全部是保留区，用户不可使用。

专用页向量表配置在  $FFE00_{16}$  地址至  $FFFDB_{16}$  地址之间。此向量地址在 JMPS 指令或 JSRS 指令中使用。详细内容请参考 M16C/60、M16C/20 系列软件手册。

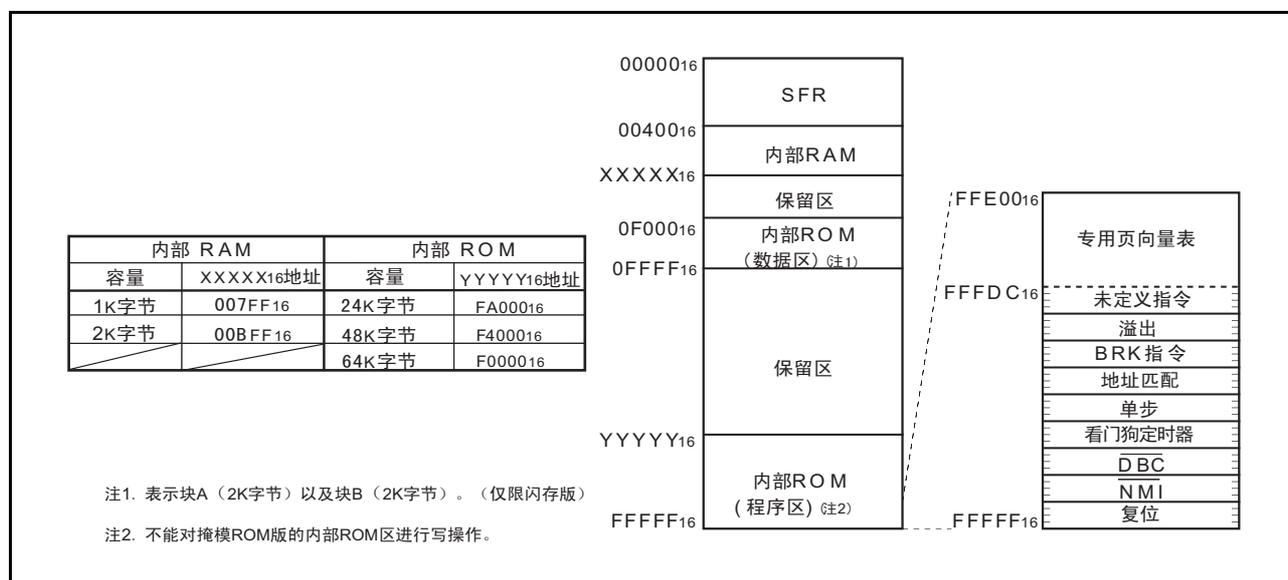


图 3.1 存储器配置

## 4. SFRs

SFRs (Special Function Register) 为外围功能控制寄存器。SFR 一览表如表 4.1- 表 4.11 所示。

表 4.1 SFR 一览表 (1)

地址	寄存器	符号	复位后的值
0000 <sub>16</sub>			
0001 <sub>16</sub>			
0002 <sub>16</sub>			
0003 <sub>16</sub>			
0004 <sub>16</sub>	处理器模式寄存器 0	PM0	00 <sub>16</sub>
0005 <sub>16</sub>	处理器模式寄存器 1	PM1	00001000 <sub>2</sub>
0006 <sub>16</sub>	系统时钟控制寄存器 0	CM0	01001000 <sub>2</sub> (注 5) 01101000 <sub>2</sub> (M16C/26T)
0007 <sub>16</sub>	系统时钟控制寄存器 1	CM1	00100000 <sub>2</sub>
0008 <sub>16</sub>			
0009 <sub>16</sub>	地址匹配中断允许寄存器	AIER	XXXXXX00 <sub>2</sub>
000A <sub>16</sub>	保护寄存器	PRCR	XX000000 <sub>2</sub>
000B <sub>16</sub>			
000C <sub>16</sub>	振荡停止检测寄存器 (注 2)	CM2	0X000010 <sub>2</sub>
000D <sub>16</sub>			
000E <sub>16</sub>	看门狗定时器启动寄存器	WDTS	XX <sub>16</sub>
000F <sub>16</sub>	看门狗定时器控制寄存器	WDC	00XXXXXX <sub>2</sub>
0010 <sub>16</sub>	地址匹配中断寄存器 0	RMAD0	00 <sub>16</sub>
0011 <sub>16</sub>			00 <sub>16</sub>
0012 <sub>16</sub>			X0 <sub>16</sub>
0013 <sub>16</sub>			
0014 <sub>16</sub>	地址匹配中断寄存器 1	RMAD1	00 <sub>16</sub>
0015 <sub>16</sub>			00 <sub>16</sub>
0016 <sub>16</sub>			X0 <sub>16</sub>
0017 <sub>16</sub>			
0018 <sub>16</sub>			
0019 <sub>16</sub>	电压检测寄存器 1 (注 3、注 4)	VCR1	00001000 <sub>2</sub>
001A <sub>16</sub>	电压检测寄存器 2 (注 3、注 4)	VCR2	00 <sub>16</sub>
001B <sub>16</sub>			
001C <sub>16</sub>	PLL 控制寄存器 0	PLC0	0001X010 <sub>2</sub>
001D <sub>16</sub>			
001E <sub>16</sub>	处理器模式寄存器 2	PM2	XXX00000 <sub>2</sub>
001F <sub>16</sub>	低电压检测中断寄存器 (注 4)	D4INT	00 <sub>16</sub>

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。

注 2. CM20、CM21、CM27 位在振荡停止检测复位时无变化。

注 3. 在软件复位、看门狗定时器复位、振荡停止检测复位时无变化。

注 4. 不可在 M16C/26T 中使用。

注 5. M16C/26A, M16C/26B。

X: 为不定。

表 4.2 SFR 一览表 (2)

地址	寄存器	符号	复位后的值
0020 <sub>16</sub>	DMA0 源指针	SAR0	XX <sub>16</sub>
0021 <sub>16</sub>			XX <sub>16</sub>
0022 <sub>16</sub>			XX <sub>16</sub>
0023 <sub>16</sub>			
0024 <sub>16</sub>	DMA0 目标指针	DAR0	XX <sub>16</sub>
0025 <sub>16</sub>			XX <sub>16</sub>
0026 <sub>16</sub>			XX <sub>16</sub>
0027 <sub>16</sub>			
0028 <sub>16</sub>	DMA0 发送计数器	TCR0	XX <sub>16</sub>
0029 <sub>16</sub>			XX <sub>16</sub>
002A <sub>16</sub>			
002B <sub>16</sub>			
002C <sub>16</sub>	DMA0 控制寄存器	DM0CON	00000X00 <sub>2</sub>
002D <sub>16</sub>			
002E <sub>16</sub>			
002F <sub>16</sub>			
0030 <sub>16</sub>	DMA1 源指针	SAR1	XX <sub>16</sub>
0031 <sub>16</sub>			XX <sub>16</sub>
0032 <sub>16</sub>			XX <sub>16</sub>
0033 <sub>16</sub>			
0034 <sub>16</sub>	DMA1 目标指针	DAR1	XX <sub>16</sub>
0035 <sub>16</sub>			XX <sub>16</sub>
0036 <sub>16</sub>			XX <sub>16</sub>
0037 <sub>16</sub>			
0038 <sub>16</sub>	DMA1 传送计数器	TCR1	XX <sub>16</sub>
0039 <sub>16</sub>			XX <sub>16</sub>
003A <sub>16</sub>			
003B <sub>16</sub>			
003C <sub>16</sub>	DMA1 控制寄存器	DM1CON	00000X00 <sub>2</sub>
003D <sub>16</sub>			
003E <sub>16</sub>			
003F <sub>16</sub>			
0040 <sub>16</sub>			
0041 <sub>16</sub>			
0042 <sub>16</sub>			
0043 <sub>16</sub>			
0044 <sub>16</sub>	INT3 中断控制寄存器	INT3IC	XX00X000 <sub>2</sub>
0045 <sub>16</sub>			
0046 <sub>16</sub>			
0047 <sub>16</sub>			
0048 <sub>16</sub>	INT5 中断控制寄存器	INT5IC	XX00X000 <sub>2</sub>
0049 <sub>16</sub>	INT4 中断控制寄存器	INT4IC	XX00X000 <sub>2</sub>

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。  
X: 为不定。

表 4.3 SFR 一览表 (3)

地址	寄存器	符号	复位后的值
004A <sub>16</sub>	UART2 总线冲突检测中断控制寄存器	BCNIC	XXXXX000 <sub>2</sub>
004B <sub>16</sub>	DMA0 中断控制寄存器	DM0IC	XXXXX000 <sub>2</sub>
004C <sub>16</sub>	DMA1 中断控制寄存器	DM1IC	XXXXX000 <sub>2</sub>
004D <sub>16</sub>	键输入中断控制寄存器	KUPIC	XXXXX000 <sub>2</sub>
004E <sub>16</sub>	A/D 转换中断控制寄存器	ADIC	XXXXX000 <sub>2</sub>
004F <sub>16</sub>	UART2 发送中断控制寄存器	S2TIC	XXXXX000 <sub>2</sub>
0050 <sub>16</sub>	UART2 接收中断控制寄存器	S2RIC	XXXXX000 <sub>2</sub>
0051 <sub>16</sub>	UART0 发送中断控制寄存器	S0TIC	XXXXX000 <sub>2</sub>
0052 <sub>16</sub>	UART0 接收中断控制寄存器	S0RIC	XXXXX000 <sub>2</sub>
0053 <sub>16</sub>	UART1 发送中断控制寄存器	S1TIC	XXXXX000 <sub>2</sub>
0054 <sub>16</sub>	UART1 接收中断控制寄存器	S1RIC	XXXXX000 <sub>2</sub>
0055 <sub>16</sub>	定时器 A0 中断控制寄存器	TA0IC	XXXXX000 <sub>2</sub>
0056 <sub>16</sub>	定时器 A1 中断控制寄存器	TA1IC	XXXXX000 <sub>2</sub>
0057 <sub>16</sub>	定时器 A2 中断控制寄存器	TA2IC	XXXXX000 <sub>2</sub>
0058 <sub>16</sub>	定时器 A3 中断控制寄存器	TA3IC	XXXXX000 <sub>2</sub>
0059 <sub>16</sub>	定时器 A4 中断控制寄存器	TA4IC	XXXXX000 <sub>2</sub>
005A <sub>16</sub>	定时器 B0 中断控制寄存器	TB0IC	XXXXX000 <sub>2</sub>
005B <sub>16</sub>	定时器 B1 中断控制寄存器	TB1IC	XXXXX000 <sub>2</sub>
005C <sub>16</sub>	定时器 B2 中断控制寄存器	TB2IC	XXXXX000 <sub>2</sub>
005D <sub>16</sub>	INT0 中断控制寄存器	INT0IC	XX00X000 <sub>2</sub>
005E <sub>16</sub>	INT1 中断控制寄存器	INT1IC	XX00X000 <sub>2</sub>
005F <sub>16</sub>	INT2 中断控制寄存器	INT2IC	XX00X000 <sub>2</sub>
0060 <sub>16</sub>			
0061 <sub>16</sub>			
0062 <sub>16</sub>			
0063 <sub>16</sub>			
0064 <sub>16</sub>			
0065 <sub>16</sub>			
0066 <sub>16</sub>			
0067 <sub>16</sub>			
0068 <sub>16</sub>			
0069 <sub>16</sub>			
006A <sub>16</sub>			
006B <sub>16</sub>			
006C <sub>16</sub>			
006D <sub>16</sub>			
006E <sub>16</sub>			
006F <sub>16</sub>			

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。  
X: 为不定。

表 4.4 SFR 一览表 (4)

地址	寄存器	符号	复位后的值
0070 <sub>16</sub>			
0071 <sub>16</sub>			
0072 <sub>16</sub>			
0073 <sub>16</sub>			
0074 <sub>16</sub>			
0075 <sub>16</sub>			
0076 <sub>16</sub>			
0077 <sub>16</sub>			
0078 <sub>16</sub>			
0079 <sub>16</sub>			
007A <sub>16</sub>			
007B <sub>16</sub>			
007C <sub>16</sub>			
007D <sub>16</sub>			
007E <sub>16</sub>			
007F <sub>16</sub>			
0080 <sub>16</sub>			
0081 <sub>16</sub>			
0082 <sub>16</sub>			
0083 <sub>16</sub>			
0084 <sub>16</sub>			
0085 <sub>16</sub>			
0086 <sub>16</sub>			
~			
01B0 <sub>16</sub>			
01B1 <sub>16</sub>			
01B2 <sub>16</sub>			
01B3 <sub>16</sub>	闪存控制寄存器 4 (注 2)	FMR4	01000000 <sub>2</sub>
01B4 <sub>16</sub>			
01B5 <sub>16</sub>	闪存控制寄存器 1 (注 2)	FMR1	000XXX0X <sub>2</sub>
01B6 <sub>16</sub>			
01B7 <sub>16</sub>	闪存控制寄存器 0 (注 2)	FMR0	01 <sub>16</sub>
01B8 <sub>16</sub>			
01B9 <sub>16</sub>			
01BA <sub>16</sub>			
01BB <sub>16</sub>			
01BC <sub>16</sub>			
01BD <sub>16</sub>			
01BE <sub>16</sub>			
01BF <sub>16</sub>			
~			

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。

注 2. 此寄存器在闪存版中。

X: 为不定。

表 4.5 SFR 一览表 (5)

地址	寄存器	符号	复位后的值
0250 <sub>16</sub>			
0251 <sub>16</sub>			
0252 <sub>16</sub>			
0253 <sub>16</sub>			
0254 <sub>16</sub>			
0255 <sub>16</sub>			
0256 <sub>16</sub>			
0257 <sub>16</sub>			
0258 <sub>16</sub>			
0259 <sub>16</sub>			
025A <sub>16</sub>	三相保护控制寄存器	TPRC	00 <sub>16</sub>
025B <sub>16</sub>			
025C <sub>16</sub>	内部振荡器控制寄存器	ROCR	X0000101 <sub>2</sub>
025D <sub>16</sub>	引脚分配控制寄存器	PACR	00 <sub>16</sub>
025E <sub>16</sub>	外围时钟选择寄存器	PCLKR	00000011 <sub>2</sub>
025F <sub>16</sub>			
~			
0330 <sub>16</sub>			
0331 <sub>16</sub>			
0332 <sub>16</sub>			
0333 <sub>16</sub>			
0334 <sub>16</sub>			
0335 <sub>16</sub>			
0336 <sub>16</sub>			
0337 <sub>16</sub>			
0338 <sub>16</sub>			
0339 <sub>16</sub>			
033A <sub>16</sub>			
033B <sub>16</sub>			
033C <sub>16</sub>			
033D <sub>16</sub>			
033E <sub>16</sub>	NMI 数字消抖动寄存器	NDDR	FF <sub>16</sub>
033F <sub>16</sub>	端口 P17 数字消抖动寄存器	P17DDR	FF <sub>16</sub>

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。  
X: 为不定。

表 4.6 SFR 一览表 (6)

地址	寄存器	符号	复位后的值
0340 <sub>16</sub>			
0341 <sub>16</sub>			
0342 <sub>16</sub> 0343 <sub>16</sub>	定时器 A1-1 寄存器	TA11	XX <sub>16</sub> XX <sub>16</sub>
0344 <sub>16</sub> 0345 <sub>16</sub>	定时器 A2-1 寄存器	TA21	XX <sub>16</sub> XX <sub>16</sub>
0346 <sub>16</sub> 0347 <sub>16</sub>	定时器 A4-1 寄存器	TA41	XX <sub>16</sub> XX <sub>16</sub>
0348 <sub>16</sub>	三相 PWM 控制寄存器 0	INVC0	00 <sub>16</sub>
0349 <sub>16</sub>	三相 PWM 控制寄存器 1	INVC1	00 <sub>16</sub>
034A <sub>16</sub>	三相输出缓冲寄存器 0	IDB0	00111111 <sub>2</sub>
034B <sub>16</sub>	三相输出缓冲寄存器 1	IDB1	00111111 <sub>2</sub>
034C <sub>16</sub>	死区时间定时器	DTT	XX <sub>16</sub>
034D <sub>16</sub>	定时 B2 中断发生频率设定计数器	ICTB2	XX <sub>16</sub>
034E <sub>16</sub>	位置数据保持功能控制寄存器	PDRF	XXXX0000 <sub>2</sub>
034F <sub>16</sub>			
0350 <sub>16</sub>			
0351 <sub>16</sub>			
0352 <sub>16</sub>			
0353 <sub>16</sub>			
0354 <sub>16</sub>			
0355 <sub>16</sub>			
0356 <sub>16</sub>			
0357 <sub>16</sub>			
0358 <sub>16</sub>	端口功能控制寄存器	PFCR	00111111 <sub>2</sub>
0359 <sub>16</sub>			
035A <sub>16</sub>			
035B <sub>16</sub>			
035C <sub>16</sub>			
035D <sub>16</sub>			
035E <sub>16</sub>	中断源选择寄存器 2	IFSR2A	XXXXXXXX <sub>02</sub> (注 2)
035F <sub>16</sub>	中断源选择寄存器	IFSR	00 <sub>16</sub>

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。

注 2. 复位后, 请将 1 写入 b0。

X: 为不定。

表 4.7 SFR 一览表 (7)

地址	寄存器	符号	复位后的值
0360 <sub>16</sub>			
0361 <sub>16</sub>			
0362 <sub>16</sub>			
0363 <sub>16</sub>			
0364 <sub>16</sub>			
0365 <sub>16</sub>			
0366 <sub>16</sub>			
0367 <sub>16</sub>			
0368 <sub>16</sub>			
0368 <sub>16</sub>			
0369 <sub>16</sub>			
036A <sub>16</sub>			
036B <sub>16</sub>			
036C <sub>16</sub>			
036D <sub>16</sub>			
036E <sub>16</sub>			
036F <sub>16</sub>			
0370 <sub>16</sub>			
0371 <sub>16</sub>			
0372 <sub>16</sub>			
0373 <sub>16</sub>			
0374 <sub>16</sub>	UART2 特殊模式寄存器 4	U2SMR4	00 <sub>16</sub>
0375 <sub>16</sub>	UART2 特殊模式寄存器 3	U2SMR3	000X0X0X <sub>2</sub>
0376 <sub>16</sub>	UART2 特殊模式寄存器 2	U2SMR2	X0000000 <sub>2</sub>
0377 <sub>16</sub>	UART2 特殊模式寄存器	U2SMR	X0000000 <sub>2</sub>
0378 <sub>16</sub>	UART2 发送 / 接收模式寄存器	U2MR	00 <sub>16</sub>
0379 <sub>16</sub>	UART2 传送速度寄存器	U2BRG	XX <sub>16</sub>
037A <sub>16</sub>	UART2 发送缓冲寄存器	U2TB	XXXXXXXX <sub>2</sub>
037B <sub>16</sub>			XXXXXXXX <sub>2</sub>
037C <sub>16</sub>	UART2 发送 / 接收控制寄存器 0	U2C0	00001000 <sub>2</sub>
037D <sub>16</sub>	UART2 发送 / 接收控制寄存器 1	U2C1	00000010 <sub>2</sub>
037E <sub>16</sub>	UART2 接收缓冲寄存器	U2RB	XXXXXXXX <sub>2</sub>
037F <sub>16</sub>			XXXXXXXX <sub>2</sub>

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。  
X: 为不定。

表 4.8 SFR 一览表 (8)

地址	寄存器	符号	复位后的值
0380 <sub>16</sub>	计数开始标志寄存器	TABSR	00 <sub>16</sub>
0381 <sub>16</sub>	时钟用预分频器复位标志寄存器	CPSRF	0XXXXXXXX <sub>2</sub>
0382 <sub>16</sub>	单触发开始标志	ONSF	00 <sub>16</sub>
0383 <sub>16</sub>	触发选择寄存器	TRGSR	00 <sub>16</sub>
0384 <sub>16</sub>	递增 / 递减标志寄存器	UDF	00 <sub>16</sub>
0385 <sub>16</sub>			
0386 <sub>16</sub> 0387 <sub>16</sub>	定时器 A0 寄存器	TA0	XX <sub>16</sub> XX <sub>16</sub>
0388 <sub>16</sub> 0389 <sub>16</sub>	定时器 A1 寄存器	TA1	XX <sub>16</sub> XX <sub>16</sub>
038A <sub>16</sub> 038B <sub>16</sub>	定时器 A2 寄存器	TA2	XX <sub>16</sub> XX <sub>16</sub>
038C <sub>16</sub> 038D <sub>16</sub>	定时器 A3 寄存器	TA3	XX <sub>16</sub> XX <sub>16</sub>
038E <sub>16</sub> 038F <sub>16</sub>	定时器 A4 寄存器	TA4	XX <sub>16</sub> XX <sub>16</sub>
0390 <sub>16</sub> 0391 <sub>16</sub>	定时器 B0 寄存器	TB0	XX <sub>16</sub> XX <sub>16</sub>
0392 <sub>16</sub> 0393 <sub>16</sub>	定时器 B1 寄存器	TB1	XX <sub>16</sub> XX <sub>16</sub>
0394 <sub>16</sub> 0395 <sub>16</sub>	定时器 B2 寄存器	TB2	XX <sub>16</sub> XX <sub>16</sub>
0396 <sub>16</sub>	定时器 A0 模式寄存器	TA0MR	00 <sub>16</sub>
0397 <sub>16</sub>	定时器 A1 模式寄存器	TA1MR	00 <sub>16</sub>
0398 <sub>16</sub>	定时器 A2 模式寄存器	TA2MR	00 <sub>16</sub>
0399 <sub>16</sub>	定时器 A3 模式寄存器	TA3MR	00 <sub>16</sub>
039A <sub>16</sub>	定时器 A4 模式寄存器	TA4MR	00 <sub>16</sub>
039B <sub>16</sub>	定时器 B0 模式寄存器	TB0MR	00XX0000 <sub>2</sub>
039C <sub>16</sub>	定时器 B1 模式寄存器	TB1MR	00XX0000 <sub>2</sub>
039D <sub>16</sub>	定时器 B2 模式寄存器	TB2MR	00XX0000 <sub>2</sub>
039E <sub>16</sub>	定时器 B2 特殊模式寄存器	TB2SC	X0000000 <sub>2</sub>
039F <sub>16</sub>			

注 1. 空白栏目为什么也未配置的区域。此区域为保留区。不能使用。  
X: 为不定。

表 4.9 SFR 一览表 (9)

地址	寄存器	符号	复位后的值
03A0 <sub>16</sub>	UART0 发送 / 接收模式寄存器	U0MR	00 <sub>16</sub>
03A1 <sub>16</sub>	UART0 传送速度寄存器	U0BRG	XX <sub>16</sub>
03A2 <sub>16</sub> 03A3 <sub>16</sub>	UART0 发送缓冲寄存器	U0TB	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03A4 <sub>16</sub>	UART0 发送 / 接收控制寄存器 0	U0C0	00001000 <sub>2</sub>
03A5 <sub>16</sub>	UART0 发送 / 接收控制寄存器 1	U0C1	00000010 <sub>2</sub>
03A6 <sub>16</sub> 03A7 <sub>16</sub>	UART0 接收缓冲寄存器	U0RB	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03A8 <sub>16</sub>	UART1 发送 / 接收模式寄存器	U1MR	00 <sub>16</sub>
03A9 <sub>16</sub>	UART1 传送速度寄存器	U1BRG	XX <sub>16</sub>
03AA <sub>16</sub> 03AB <sub>16</sub>	UART1 发送缓冲寄存器	U1TB	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03AC <sub>16</sub>	UART1 发送 / 接收控制寄存器 0	U1C0	00001000 <sub>2</sub>
03AD <sub>16</sub>	UART1 发送 / 接收控制寄存器 1	U1C1	00000010 <sub>2</sub>
03AE <sub>16</sub> 03AF <sub>16</sub>	UART1 接收缓冲寄存器	U1RB	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03B0 <sub>16</sub> 03B1 <sub>16</sub>	UART 发送 / 接收控制寄存器 2	UCON	X0000000 <sub>2</sub>
03B2 <sub>16</sub> 03B3 <sub>16</sub>			
03B4 <sub>16</sub> 03B5 <sub>16</sub>	SFR 监视地址寄存器	CRCSAR	XX <sub>16</sub> 00XXXXXX <sub>2</sub>
03B6 <sub>16</sub> 03B7 <sub>16</sub>	CRC 模式寄存器	CRCMR	0XXXXXXX <sub>2</sub>
03B8 <sub>16</sub> 03B9 <sub>16</sub>	DMA0 触发源选择寄存器	DM0SL	00 <sub>16</sub>
03BA <sub>16</sub> 03BB <sub>16</sub>	DMA1 触发源选择寄存器	DM1SL	00 <sub>16</sub>
03BC <sub>16</sub> 03BD <sub>16</sub>	CRC 数据寄存器	CRCD	XX <sub>16</sub> XX <sub>16</sub>
03BE <sub>16</sub> 03BF <sub>16</sub>	CRC 输入寄存器	CRCIN	XX <sub>16</sub>

注 1. 空栏为保留区，不能使用。

X: 不定

表 4.10 SFR 一览表 (10)

地址	寄存器	符号	复位后的值
03C0 <sub>16</sub> 03C1 <sub>16</sub>	A/D 寄存器 0	AD0	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03C2 <sub>16</sub> 03C3 <sub>16</sub>	A/D 寄存器 1	AD1	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03C4 <sub>16</sub> 03C5 <sub>16</sub>	A/D 寄存器 2	AD2	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03C6 <sub>16</sub> 03C7 <sub>16</sub>	A/D 寄存器 3	AD3	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03C8 <sub>16</sub> 03C9 <sub>16</sub>	A/D 寄存器 4	AD4	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03CA <sub>16</sub> 03CB <sub>16</sub>	A/D 寄存器 5	AD5	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03CC <sub>16</sub> 03CD <sub>16</sub>	A/D 寄存器 6	AD6	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03CE <sub>16</sub> 03CF <sub>16</sub>	A/D 寄存器 7	AD7	XXXXXXXX <sub>2</sub> XXXXXXXX <sub>2</sub>
03D0 <sub>16</sub> 03D1 <sub>16</sub>			
03D2 <sub>16</sub>	A/D 触发控制寄存器	ADTRGCON	00 <sub>16</sub>
03D3 <sub>16</sub>	A/D 状态寄存器 0	ADSTAT0	00000X00 <sub>2</sub>
03D4 <sub>16</sub> 03D5 <sub>16</sub>	A/D 控制寄存器 2	ADCON2	00 <sub>16</sub>
03D6 <sub>16</sub>	A/D 控制寄存器 0	ADCON0	00000XXX <sub>2</sub>
03D7 <sub>16</sub>	A/D 控制寄存器 1	ADCON1	00 <sub>16</sub>
03D8 <sub>16</sub> 03D9 <sub>16</sub> 03DA <sub>16</sub> 03DB <sub>16</sub> 03DC <sub>16</sub> 03DD <sub>16</sub> 03DE <sub>16</sub> 03DF <sub>16</sub>			

注 1. 空栏为保留区，不能使用。

X: 不定

表 4.11 SFR 一览表 (11)

地址	寄存器	符号	复位后的值
03E0 <sub>16</sub>			
03E1 <sub>16</sub>	端口 P1 寄存器	P1	XX <sub>16</sub>
03E2 <sub>16</sub>			
03E3 <sub>16</sub>	端口 P1 方向寄存器	PD1	00 <sub>16</sub>
03E4 <sub>16</sub>			
03E5 <sub>16</sub>			
03E6 <sub>16</sub>			
03E7 <sub>16</sub>			
03E8 <sub>16</sub>			
03E9 <sub>16</sub>			
03E8 <sub>16</sub>			
03E9 <sub>16</sub>			
03EA <sub>16</sub>			
03EB <sub>16</sub>			
03EC <sub>16</sub>	端口 P6 寄存器	P6	XX <sub>16</sub>
03ED <sub>16</sub>	端口 P7 寄存器	P7	XX <sub>16</sub>
03EE <sub>16</sub>	端口 P6 方向寄存器	PD6	00 <sub>16</sub>
03EF <sub>16</sub>	端口 P7 方向寄存器	PD7	00 <sub>16</sub>
03F0 <sub>16</sub>	端口 P8 寄存器	P8	XX <sub>16</sub>
03F1 <sub>16</sub>	端口 P9 寄存器	P9	XXXXXXXX <sub>2</sub>
03F2 <sub>16</sub>	端口 P8 方向寄存器	PD8	00 <sub>16</sub>
03F3 <sub>16</sub>	端口 P9 方向寄存器	PD9	XXXX0000 <sub>2</sub>
03F4 <sub>16</sub>	端口 P10 寄存器	P10	XX <sub>16</sub>
03F5 <sub>16</sub>			
03F6 <sub>16</sub>	端口 P10 方向寄存器	PD10	00 <sub>16</sub>
03F7 <sub>16</sub>			
03F8 <sub>16</sub>			
03F9 <sub>16</sub>			
03FA <sub>16</sub>			
03FB <sub>16</sub>			
03FC <sub>16</sub>	上拉控制寄存器 0	PUR0	00 <sub>16</sub>
03FD <sub>16</sub>	上拉控制寄存器 1	PUR1	00 <sub>16</sub>
03FE <sub>16</sub>	上拉控制寄存器 2	PUR2	00 <sub>16</sub>
03FF <sub>16</sub>	端口控制寄存器	PCR	00 <sub>16</sub>

注 1. 空栏为保留区，不能使用。

X: 不定

## 5. 复位

复位有硬件复位、软件复位、看门狗定时器复位与振荡停止检测复位。

### 5.1 硬件复位

硬件复位有硬件复位 1 与硬件复位 2。

#### 5.1.1 硬件复位 1

硬件复位 1 通过  $\overline{\text{RESET}}$  引脚产生复位。电源电压满足推荐运行条件时，如果  $\overline{\text{RESET}}$  引脚接“L”电平，引脚就被初始化（请参考表 5.1  $\overline{\text{RESET}}$  引脚电平为“L”期间的引脚状态）。另外，振荡电路初始化，内部振荡器为 CPU 时钟。将  $\overline{\text{RESET}}$  引脚的输入电平从“L”变为“H”时，CPU 与 SFR 进行初始化，并从由复位向量指向的地址开始执行程序。内部 RAM 不进行初始化。另外，写入内部 RAM 的过程中  $\overline{\text{RESET}}$  引脚为“L”电平时，内部 RAM 为不定。

复位电路例如图 5.1、复位时序如图 5.2 所示， $\overline{\text{RESET}}$  引脚电平为“L”期间的引脚状态如表 5.1、复位后的 CPU 寄存器状态如图 5.3 所示。复位后的 SFR 状态，请参考 4. SFRs。

##### 5.1.1.1 电源稳定时

- (1) 将“L”电平输入  $\overline{\text{RESET}}$  引脚
- (2) 等待  $t_d(\text{ROC})$
- (3) 将“H”电平输入  $\overline{\text{RESET}}$  引脚

##### 5.1.1.2 上电时

- (1) 将“L”电平输入  $\overline{\text{RESET}}$  引脚
- (2) 使电源电压上升至满足推荐运行条件的电平
- (3) 等待  $t_d(\text{P-R})$  至内部电源稳定
- (4) 等待  $t_d(\text{ROC})$
- (5) 将“H”电平输入  $\overline{\text{RESET}}$  引脚

### 5.1.2 硬件复位 2

#### 注意

M16C/26T 不能使用此功能。

硬件复位 2 为通过内置在单片机中的电压检测电路产生的复位。电压检测电路监视输入  $V_{CC}$  引脚的电压。

$VCR2$  寄存器的  $VC26$  位为“1”（复位电平检测电路有效）时，如果输入至  $V_{CC}$  引脚的电压下降到  $V_{det3}$  以下，即产生复位。

输入  $V_{CC}$  引脚的电压上升到  $V_{det3r}$  以上时，引脚、CPU、SFR 进行初始化，并从由复位向量指向的地址开始执行程序。检测  $V_{det3r}$ 、并等待  $td(S-R)$  后执行程序。初始化的引脚、寄存器及它们的状态与硬件复位 1 相同。

不能从通过低电压检测复位（硬件复位 2）从停止模式返回。

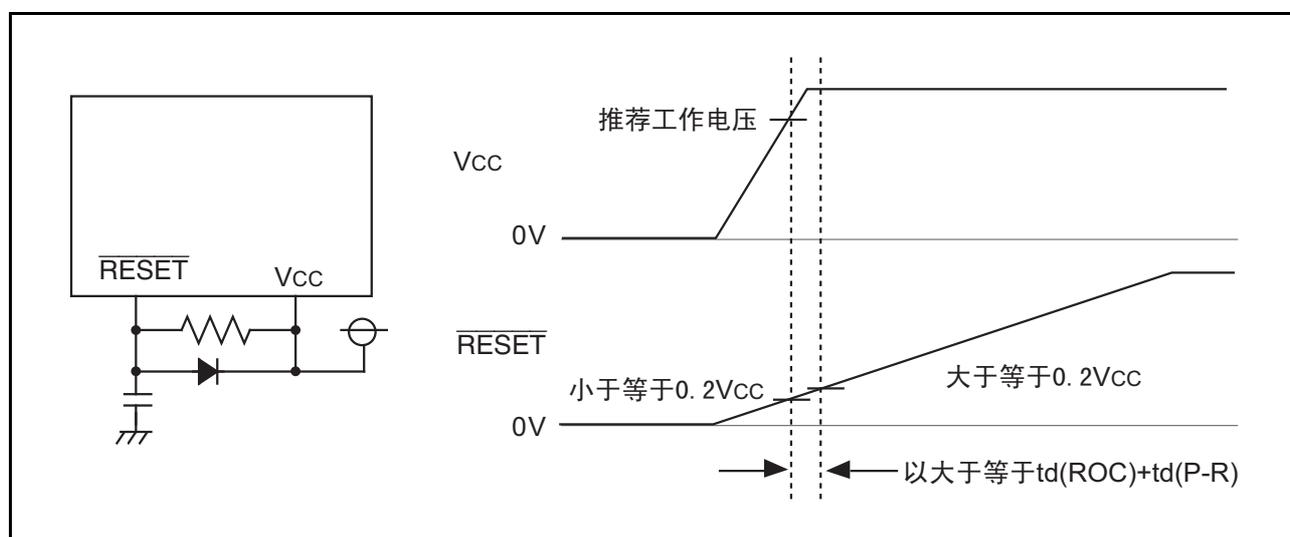


图 5.1 复位电路的例子

## 5.2 软件复位

将  $PM0$  寄存器的  $PM03$  位置“1”（复位单片机）时，单片机将引脚、CPU、SFR 初始化。此后，从由复位向量指向的地址开始执行程序。

复位后使用内部振荡器作为 CPU 时钟。

软件复位中，一部分 SFR 不进行初始化。详细内容请参考 SFRs。

## 5.3 看门狗定时器复位

$PM1$  寄存器的  $PM12$  位为“1”（看门狗定时器下溢时复位）时，如果看门狗定时器下溢，单片机初始化引脚、CPU、SFR。此后，从由复位向量指向的地址开始执行程序。

复位后使用内部振荡器作为 CPU 时钟。

看门狗定时器复位中，一部分 SFR 不进行初始化。详细内容请参考 SFRs。

## 5.4 振荡停止检测复位

CM2 寄存器的 CM27 位置 “0”（振荡停止检测时复位）时，如果检测到主时钟振荡电路的停止，单片机初始化引脚、CPU、SFR，并且停止。详细内容请参考 振荡停止 / 重新振荡检测功能。

振荡停止检测复位中，一部分 SFR 不进行初始化。详细内容请参考 SFRs。

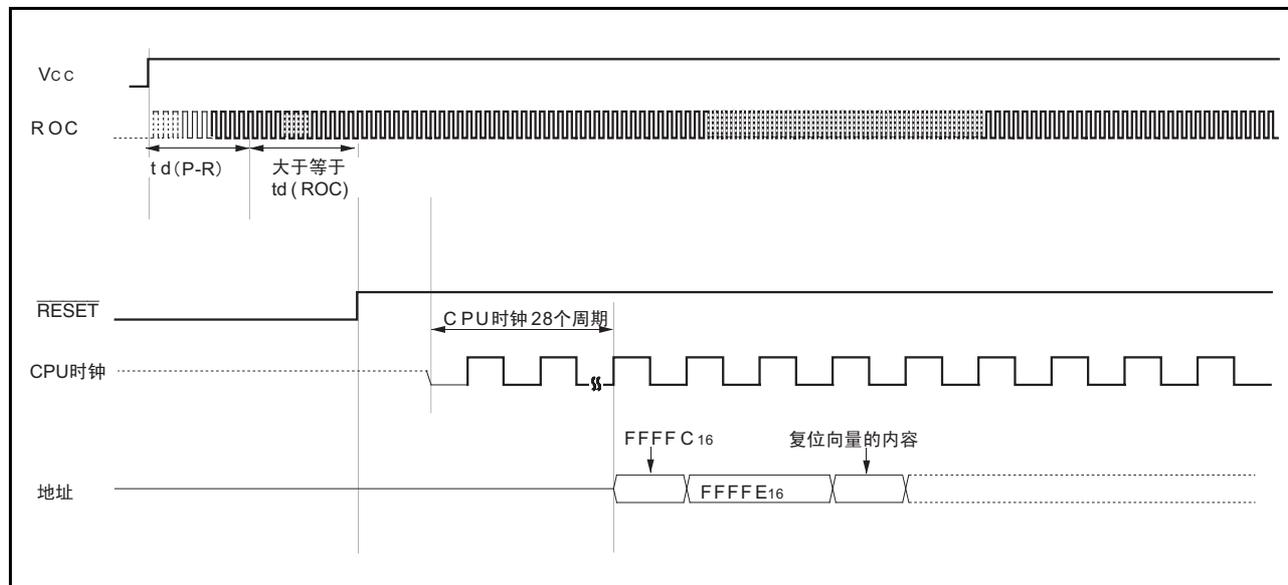


图 5.2 复位时序

表 5.1 RESET 引脚电平为 “L” 期间的引脚状态

引脚名	引脚状态
P1、P6~P10	输入端口（高阻抗）

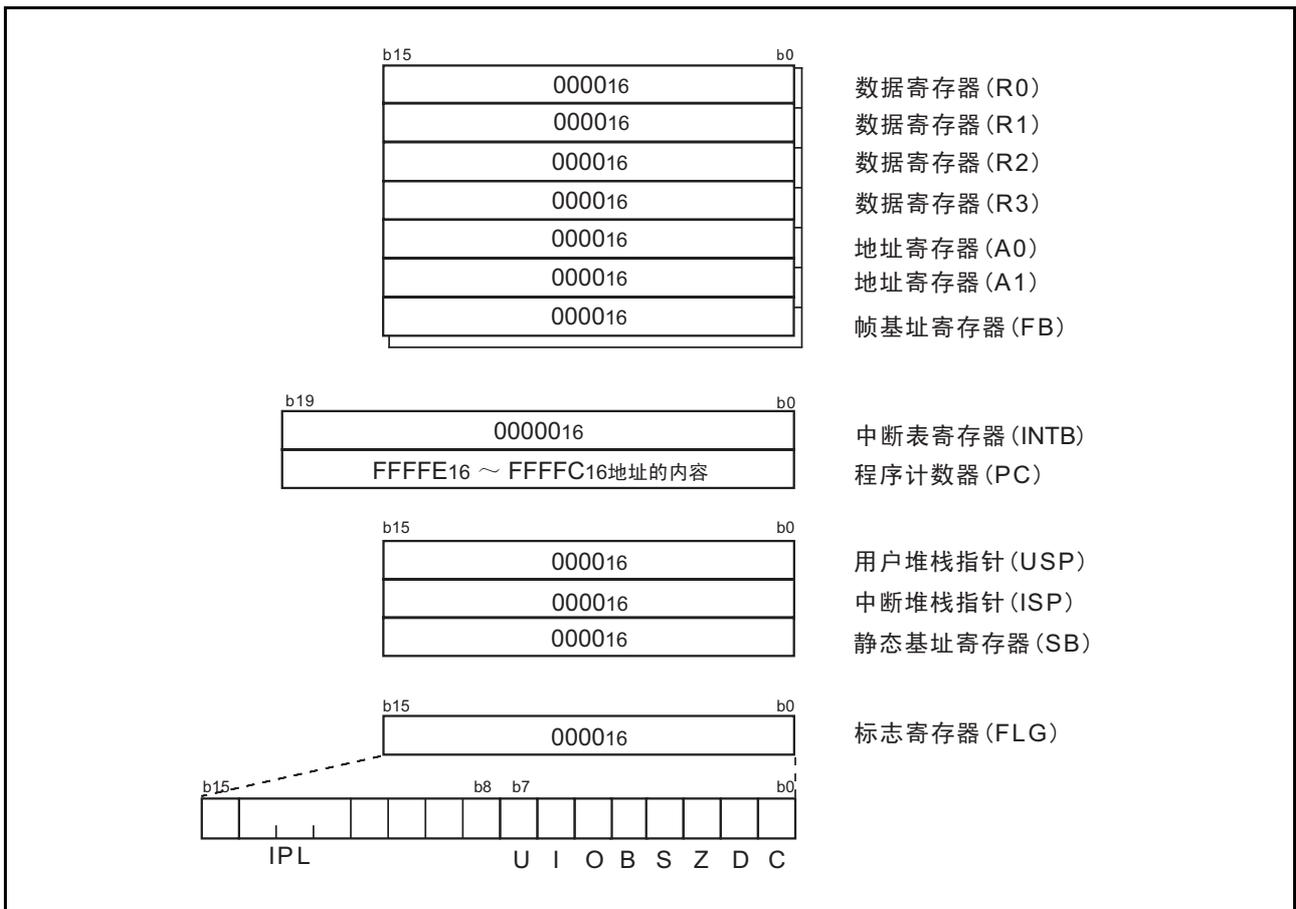


图 5.3 复位后的 CPU 寄存器状态

## 5.5 电压检测电路

## 注意

5.5 电压检测电路以  $V_{CC}=5V$  的条件下使用为前提。

M16C/26T 不能使用此功能。

电压检测电路具有通过  $V_{det3}$ 、 $V_{det4}$  监视输入  $V_{CC}$  引脚的电压电路，可通过  $VCR2$  寄存器的  $VC26 \sim VC27$  位来选择将这些电路设定为有效或无效。

复位电平检测电路在低电压检测复位（硬件复位 2）时使用。

低电压检测电路可通过  $VCR1$  寄存器的  $VC13$  位来检测为大于等于  $V_{det4}$  还是为小于等于  $V_{det4}$ 。另外，可使用低电压检测中断。

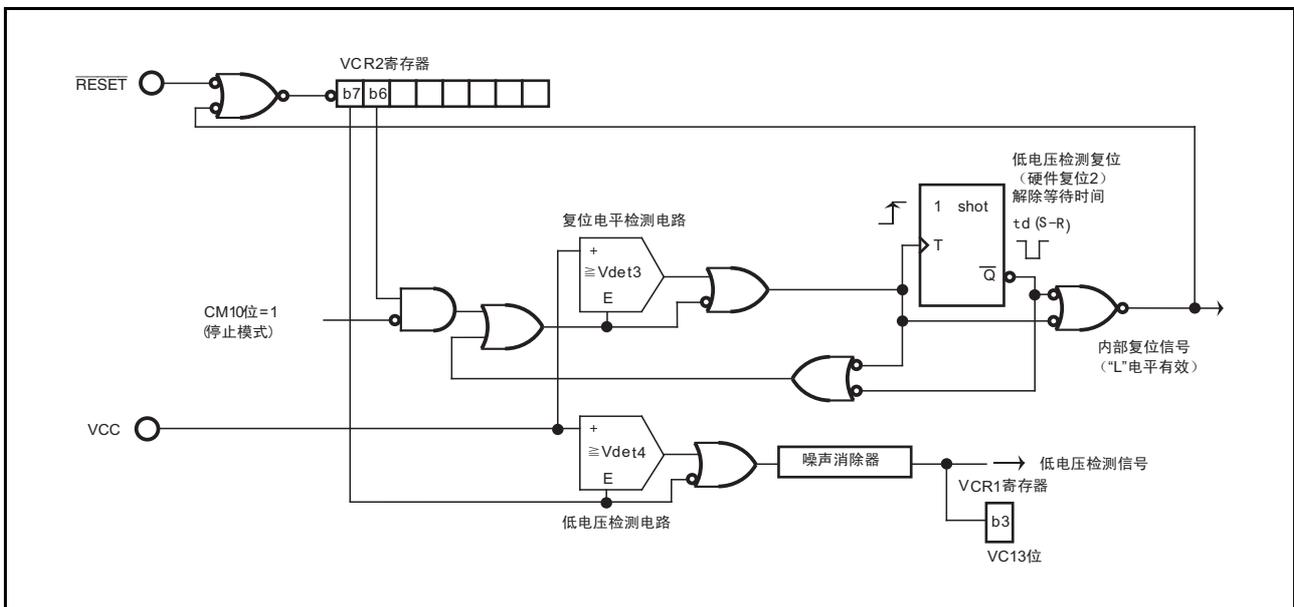


图 5.4 电压检测电路框图

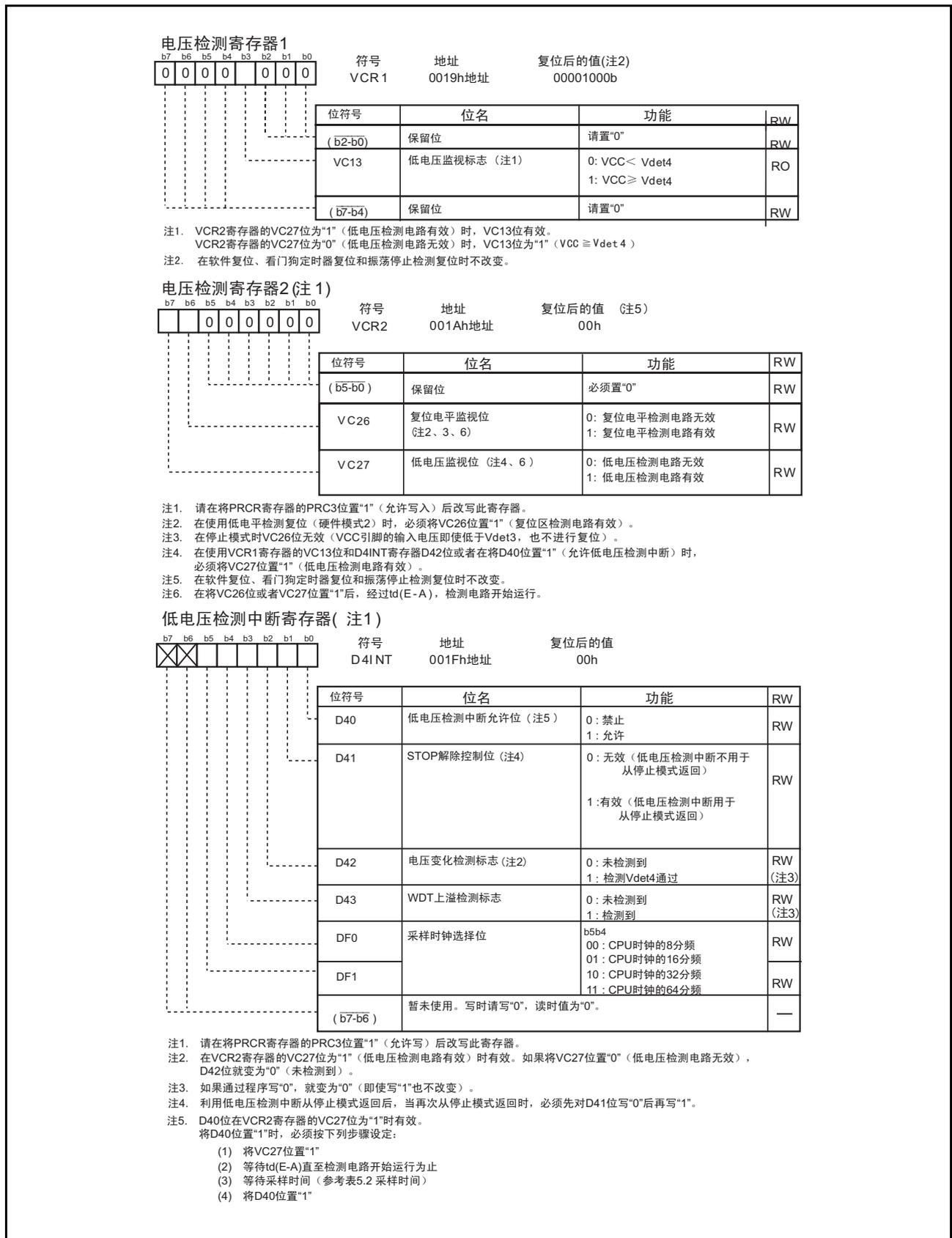


图 5.5 VCR1、VCR2、D4INT 寄存器

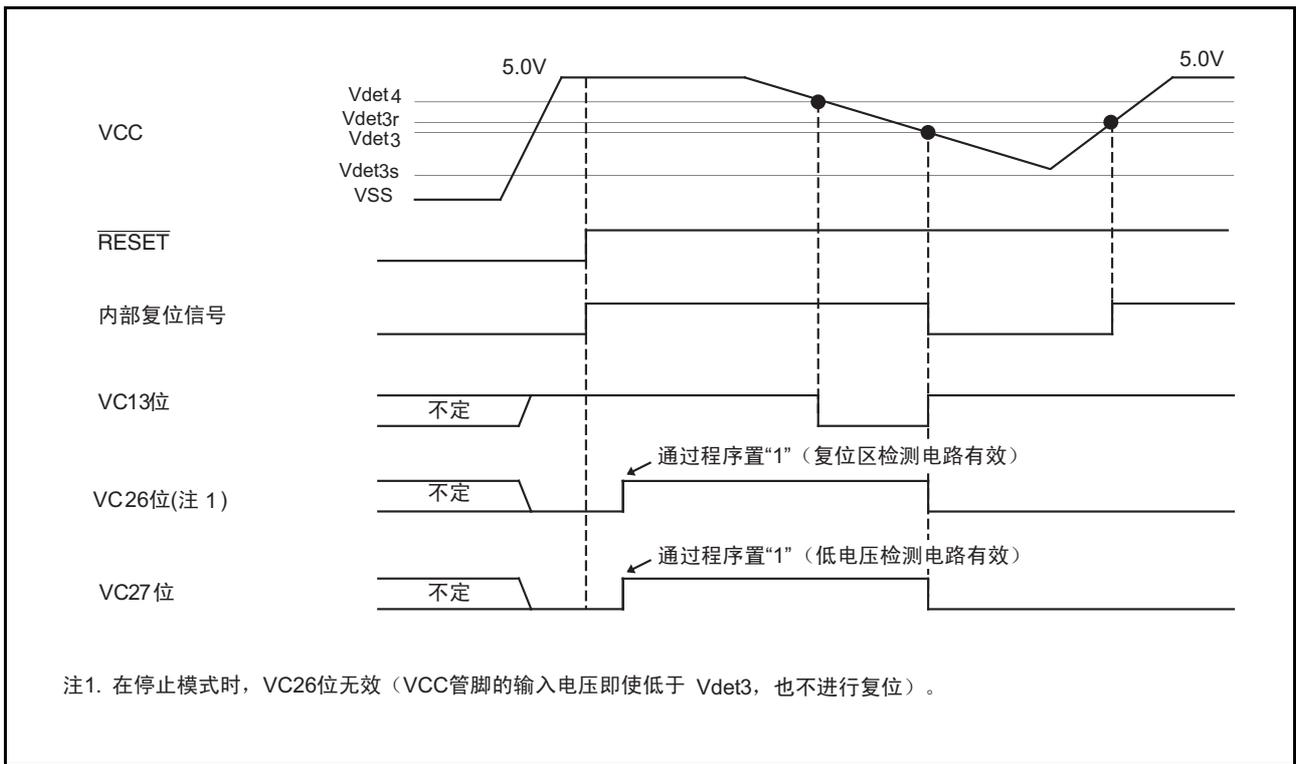


图 5.6 低电压检测复位（硬件复位 2）运行示例

### 5.5.1 低电压检测中断

D4INT 寄存器的 D40 位为“1”（允许低电压检测中断）的情况下，输入 VCC 引脚的电压上升至 Vdet4 以上或下降至 Vdet4 以下时，发生低电压检测中断请求。低电压检测中断与看门狗定时器中断、振荡停止 / 重新振荡检测中断等共享中断向量。

低电压检测中断用于从停止模式的返回时，请将 D4INT 寄存器的 D41 位置“1”（有效）。

检测 VCC 引脚的输入电压与 Vdet4 的比较结果发生变化时，D4INT 寄存器的 D42 位为“1”。D42 位从“0”变为“1”时，发生低电压检测中断请求。请通过程序将 D42 位置“0”。但是，D41 位为“1”并且为停止模式时，如果检测出 VCC 引脚的输入电压上升至 Vdet4 以上时，无论 D42 位的状态如何，均会发生低电压检测中断请求，并从停止模式返回。

低电压中断请求的产生条件如表 5.2 所示。

检测 VCC 引脚的输入电压通过 Vdet4 的采样时钟可通过 D4INT 寄存器的 DF1 ~ DF0 位来设定。采样时间如表 5.3 所示。

表 5.2 低电压检测中断请求的产生条件

运行模式	VC27 位	D40 位	D41 位	D42 位	CM02 位	VC13 位	
正常运行模式 (注 1)	1	1	—	0 → 1	—	0 → 1 (注 3)	
						1 → 0 (注 3)	
等待模式 (注 2)			—	0 → 1	0	0 → 1 (注 3)	
					1	1 → 0 (注 3)	
停止模式 (注 2)			—	1	—	0	0 → 1
							0 → 1

—: “0” 或 “1”

注 1. 将等待模式、停止模式以外的状态设定为正常运行模式（请参考 7. 时钟发生电路）。

注 2. 请参考 5.5.2 停止模式的限制与 5.5.3 等待模式的限制。

注 3. 从 VC13 位的值变化开始，经过采样时间后，发生中断请求。  
详细内容请参考图 5.8 低电压检测中断发生电路的运行示例。

表 5.3 采样时间

CPU 时钟 (MHz)	采样时间 (ms)			
	DF1 ~ DF0=00 (CPU 时钟的 8 分频)	DF1 ~ DF0=01 (CPU 时钟的 16 分频)	DF1 ~ DF0=10 (CPU 时钟的 32 分频)	DF1 ~ DF0=11 (CPU 时钟的 64 分频)
16	3.0	6.0	12.0	24.0

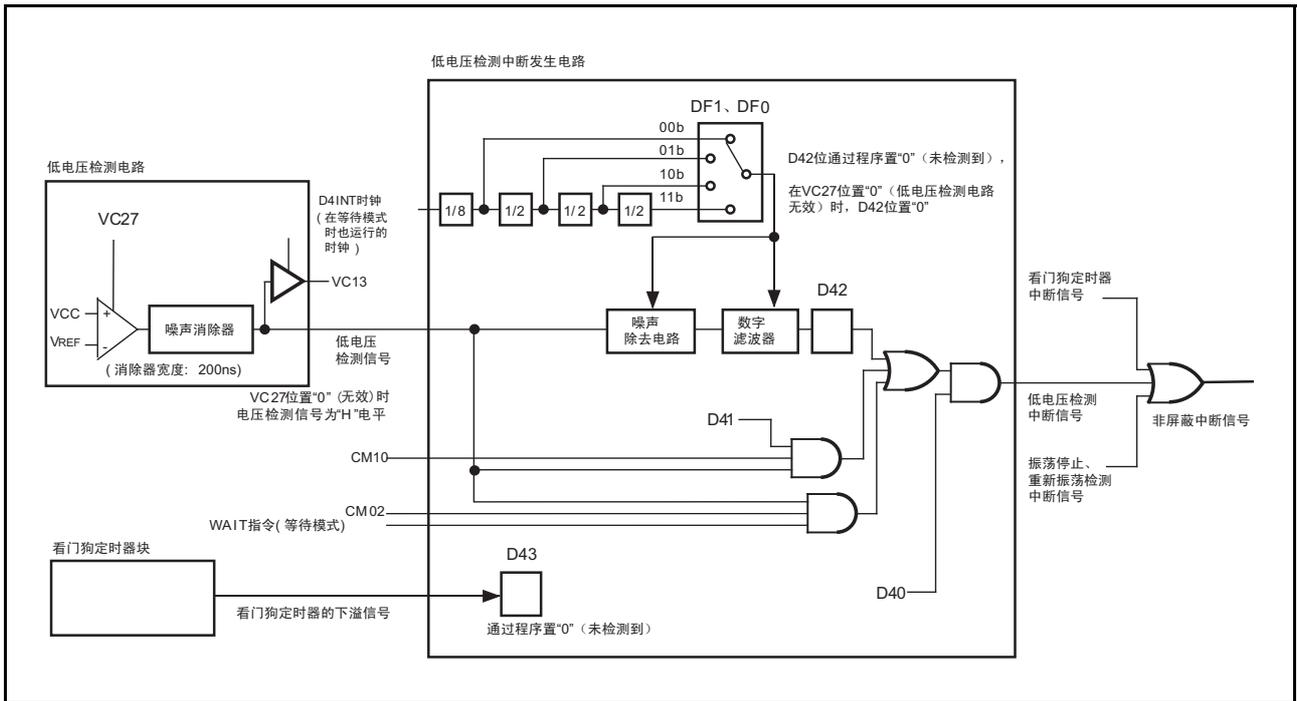


图 5.7 低电压检测中断发生电路的框图

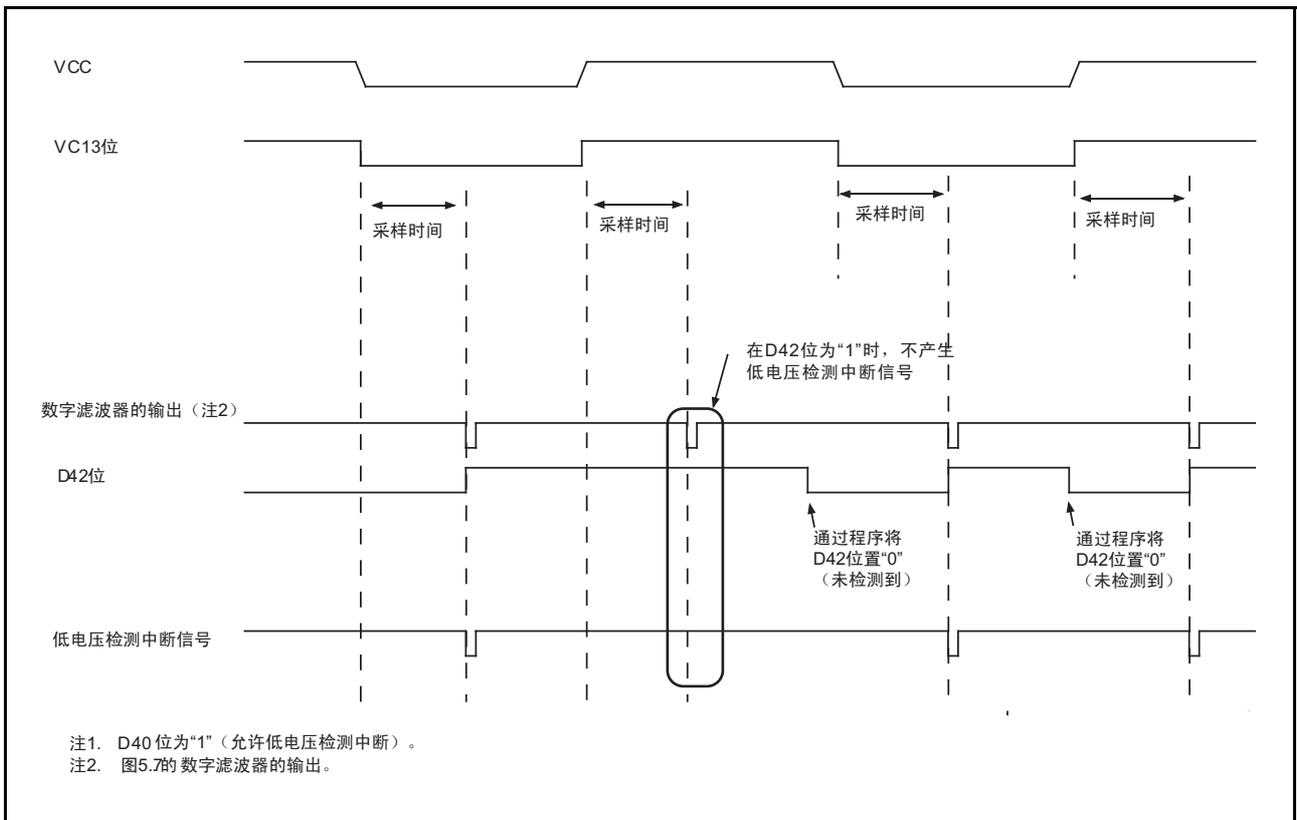


图 5.8 低电压检测中断发生电路的运行示例

### 5.5.2 停止模式的限制

全部满足以下 4 个条件时，如果将 CM1 寄存器的 CM10 位置“1”（停止模式），立即发生低电压检测中断，并从停止模式返回。

- VCR2 寄存器的 VC27 位置“1”（低电压检测电路有效）
- D4INT 寄存器的 D40 位置“1”（允许低电压检测中断）
- D41 位置“1”（将低电压检测中断用于从停止模式的返回）
- Vcc 引脚的输入电压大于等于 Vdet4 时（VCR1 寄存器的 VC13 位为“1”）

Vcc 引脚的输入电压下降到 Vdet4 以下时转移至停止模式；上升到 Vdet4 以上时，从停止模式返回。VC13 位为“0”（Vcc < Vdet4）时，请将 CM10 位置“1”。

### 5.5.3 等待模式的限制

全部满足以下 5 个条件时，如果执行 WAIT 指令，立即发生低电压检测中断，从等待模式返回。

- CM0 寄存器的 CM02 位置“1”（停止外围功能时钟）
- VCR2 寄存器的 VC27 位置“1”（低电压检测电路有效）
- D4INT 寄存器的 D40 位置“1”（允许低电压检测中断）
- D41 位置“1”（将低电压检测中断用于从等待模式返回）
- Vcc 引脚的输入电压大于等于 Vdet4 时（VCR1 寄存器的 VC13 位为“1”）

Vcc 引脚的输入电压下降到 Vdet4 以下时转移至等待模式；上升到 Vdet4 以上时，从等待模式返回。VC13 位为“0”（Vcc < Vdet4）时，请执行 WAIT 指令。

## 6. 处理器模式

对处理器模式，只能使用单芯片模式。相关寄存器的详细内容如图 6.1、图 6.2 所示。

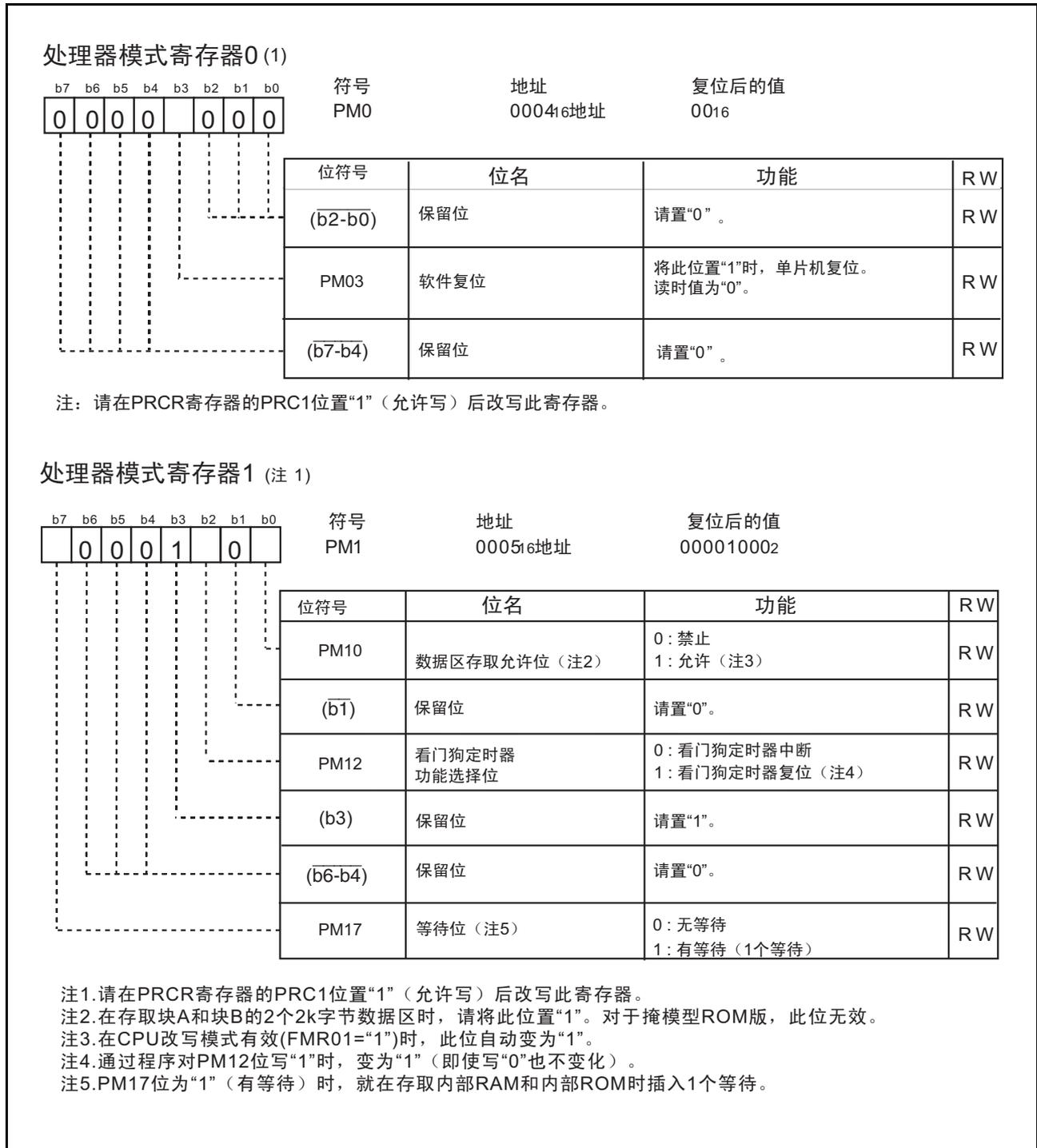


图 6.1 PM0、PM1 寄存器

处理器模式寄存器2 (注1)

位符号	位名	功能	RW
PM20	指定PLL运行时SFR存取 的等待 (注2)	0:2个等待 1:1个等待	RW
PM21	系统时钟保护位 (注3、4)	0:通过PRCR寄存器保护时钟 1:禁止改变时钟	RW
PM22	WDT计数源保护位 (注3、5)	0:看门狗定时器计数源为CPU时钟 1:看门狗定时器计数源为内部振荡 器时钟	RW
( $\bar{b}3$ )	保留位	请置“0”	RW
PM24	P8 <sub>5</sub> / $\overline{\text{NMI}}$ 功能切换位 (注6、7)	0:选择 P8 <sub>5</sub> (禁止 $\overline{\text{NMI}}$ 功能) 1:选择 $\overline{\text{NMI}}$	RW
( $\bar{b}7\text{-}\bar{b}5$ )	不使用, 写时请写“0”。读时值不定。		—

注1. 必须在PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。

注2. PLC07为“1”(PLL运行)时, PM20位有效。必须在PLC07位为“0”(PLL停止)时改变。

另外, PLL时钟>16MHz时, 请置“0”(2个等待)。

注3. 一旦置“1”, 就不能通过程序置“0”。

注4. 将PM21位置“1”时, 即使写以下位, 也不改变。

CM0寄存器的CM02位。

CM0寄存器的CM05位(主时钟不停止)。

CM0寄存器的CM07位(CPU时钟的时钟源不变化)。

CM1寄存器的CM10位(不转换至停止模式)。

CM1寄存器的CM11位(CPU时钟的时钟源不变化)。

CM2寄存器的CM20位(振荡停止/重新振荡检测功能的设定不变化)。

PLC0寄存器的所有位(PLL频率合成器的设定不变化)。

并且PM21位为“1”时, 不能执行WAIT指令。

注5. 将PM22位置“1”时, 就进入以下状态。

即使将CM2寄存器的CM21位置“0”(主时钟或PLL时钟), 内部振荡器也不停止(CM21位设定的系统时钟的计数源为有效)。

开始内部振荡器的振荡, 内部振荡器时钟变为看门狗定时器的计数源。

禁止写入CM1寄存器的CM10位(即使写“1”也不变化, 不转换至停止模式)。

等待模式时, 不停止看门狗定时器。

注6. 使用 $\overline{\text{NMI}}$ 功能时, 必须将PM24位置“1”(选择 $\overline{\text{NMI}}$ )。一旦置“1”不能通过程序置“0”。

注7. 与PM24的设定无关SD输入为有效。

图 6.2 PM2 寄存器

内部总线分为 CPU 总线、存储器总线与外围总线。通过总线接口单元（BIU）切换 CPU 总线、存储器总线或外围总线。内部总线框图如图 6.3 所示。

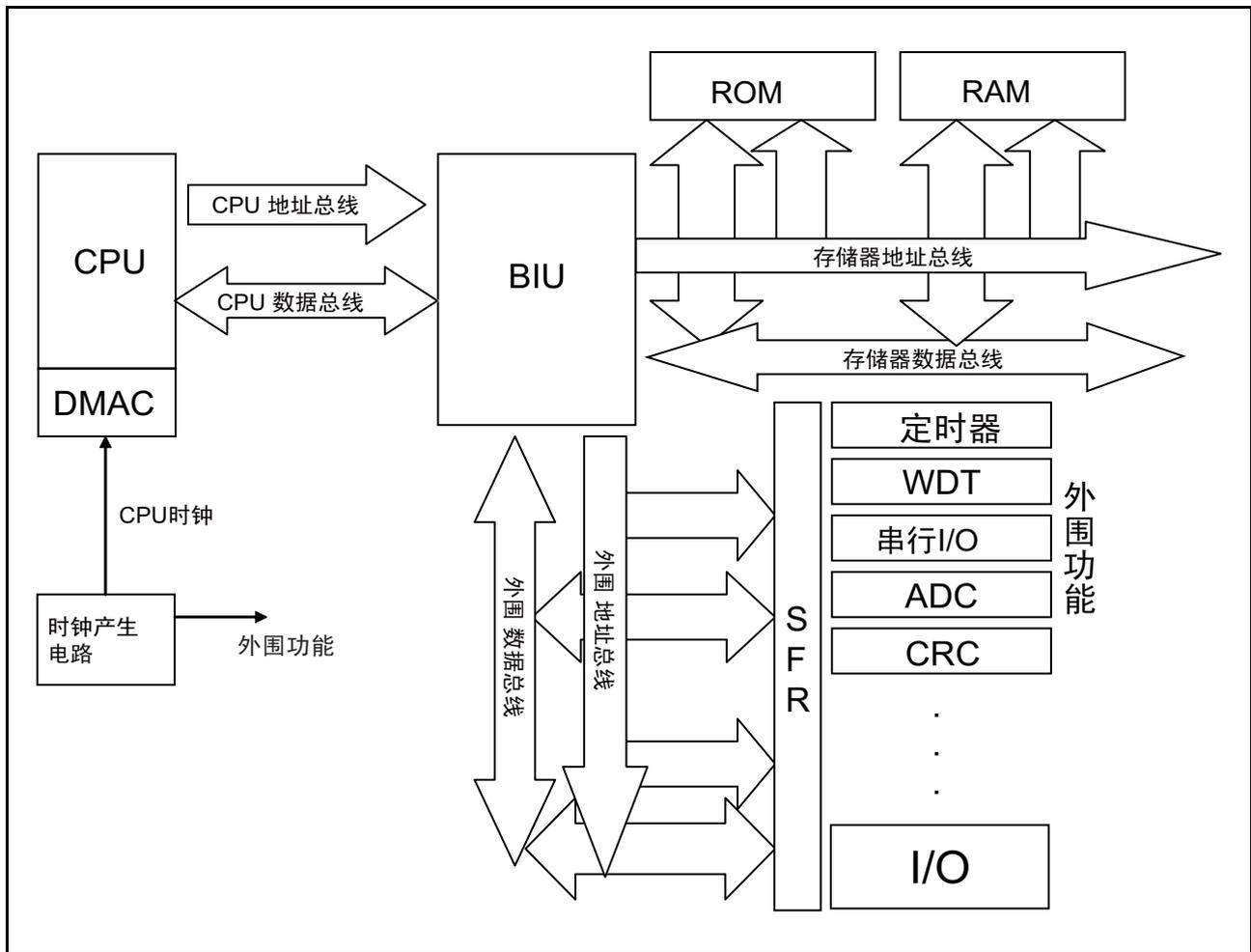


图 6.3 内部总线框图

ROM/RAM 与 SFR 在存取时的总线周期不同。对应存取区的总线周期如表 6.1 所示。

表 6.1 总线周期

	存取区	总线周期
SFR	PM20 位为“0”（2 个等待）	3 个 CPU 时钟周期
	PM20 位为“1”（1 个等待）	2 个 CPU 时钟周期
ROM/RAM	PM17 位为“0”（无等待）	1 个 CPU 时钟周期
	PM17 位为“1”（1 个等待）	2 个 CPU 时钟周期

## 7. 时钟发生电路

作为时钟发生电路内置 4 种电路：

- 主时钟振荡电路
- 副时钟振荡电路
- 内部振荡器
- PLL 频率合成器

时钟发生电路的概略规格如表 7.1 所示，系统时钟发生电路的框图如图 7.1 所示，与时钟相关的寄存器如图 7.2 ~ 图 7.6 所示。

表 7.1 时钟发生电路的概略规格

项目	主时钟振荡电路	副时钟振荡电路	内部振荡器	PLL 频率合成器
用途	<ul style="list-style-type: none"> <li>• CPU 的时钟源</li> <li>• 外围功能的时钟源</li> </ul>	<ul style="list-style-type: none"> <li>• CPU 的时钟源</li> <li>• 定时器 A、B 的时钟源</li> </ul>	<ul style="list-style-type: none"> <li>• CPU 的时钟源</li> <li>• 外围功能的时钟源</li> <li>• 主时钟停止振荡时的 CPU 与外围功能的时钟源</li> </ul>	<ul style="list-style-type: none"> <li>• CPU 的时钟源</li> <li>• 外围功能的时钟源</li> </ul>
时钟频率	0 ~ 20MHz	32.768kHz	<ul style="list-style-type: none"> <li>• 频率: f1(ROC)、f2(ROC)、f3(ROC)</li> <li>• 分频: 1/2、1/4、1/8</li> </ul>	10 ~ 20MHz (M16C/26A、M16C/26T) 10 ~ 24MHz (M16C/26B)
可连接的谐振器	<ul style="list-style-type: none"> <li>• 陶瓷谐振器</li> <li>• 晶振</li> </ul>	<ul style="list-style-type: none"> <li>• 晶振</li> </ul>	—	—
谐振器的连接引脚	XIN、XOUT	XCIN、XCOUT	—	—
振荡停止、再开始功能	有	有	有	有
复位后的状态	振荡 (M16C/26A、M16C/26B) 停止 (M16C/26T)	停止	振荡 (CPU 的时钟源)	停止
其它	可输入外部生成的时钟		—	—

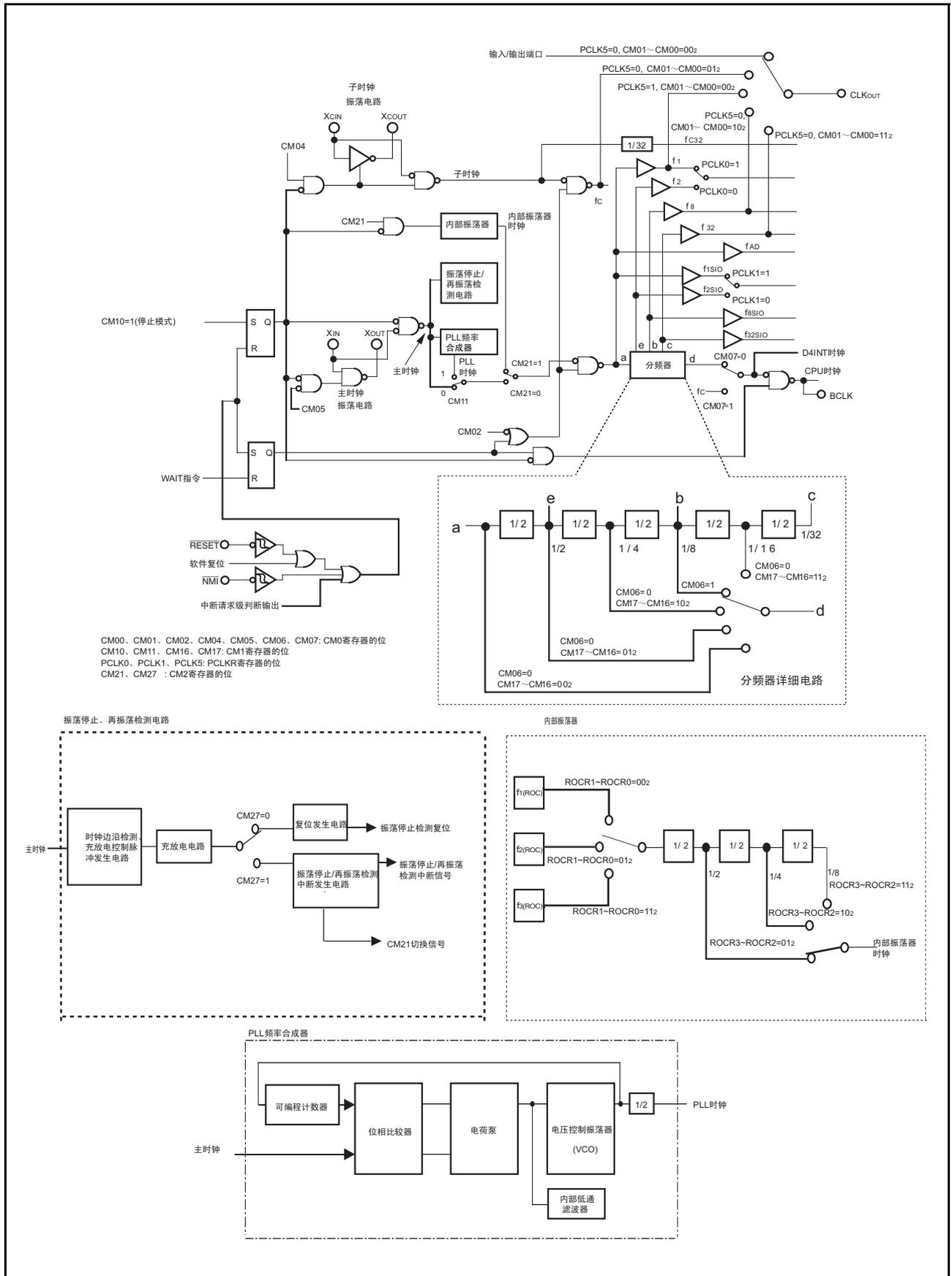


图 7.1 时钟发生电路



图 7.2 CM0 寄存器



图 7.3 CM1 寄存器



图 7.4 ROCR 寄存器

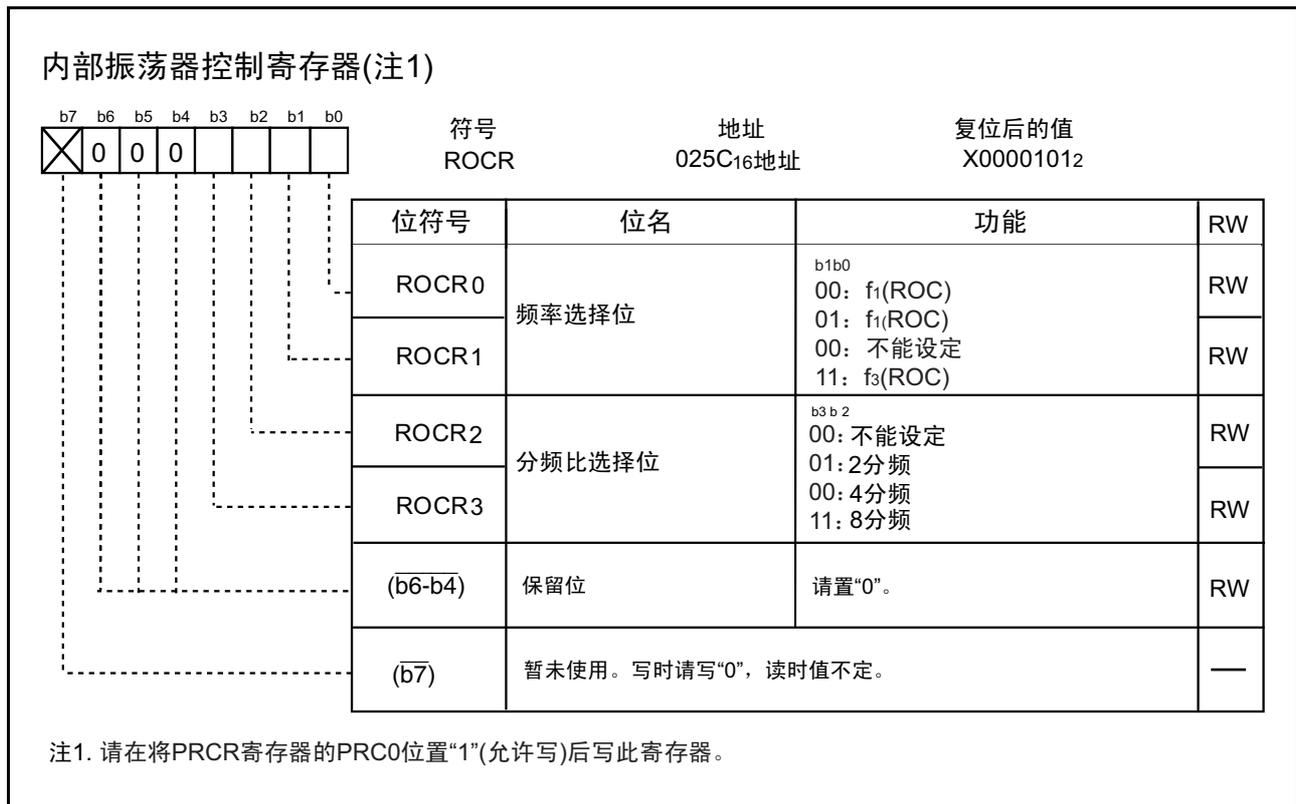


图 7.5 CM2 寄存器

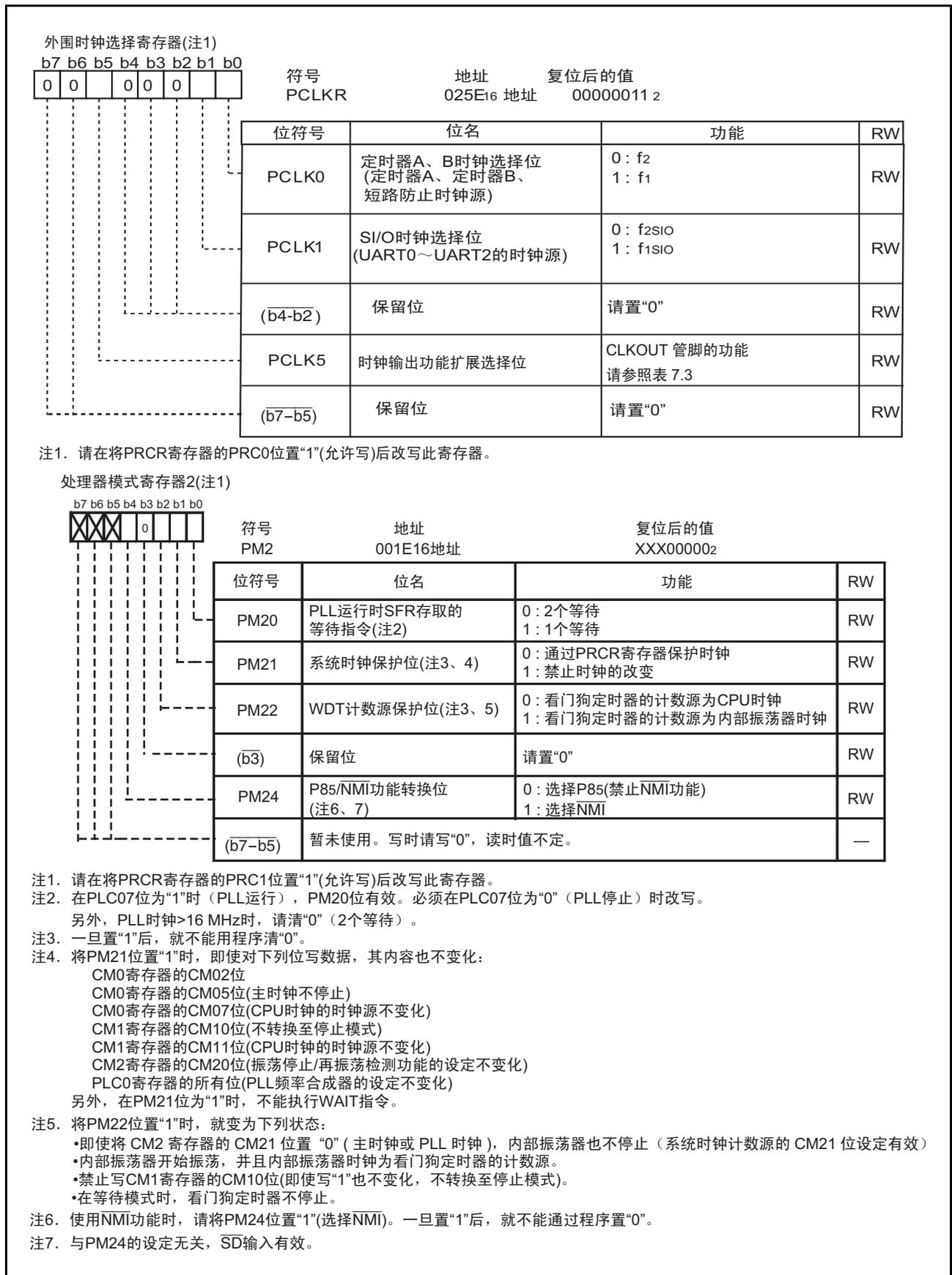


图 7.6 PCLKR 寄存器与 PM2 寄存器

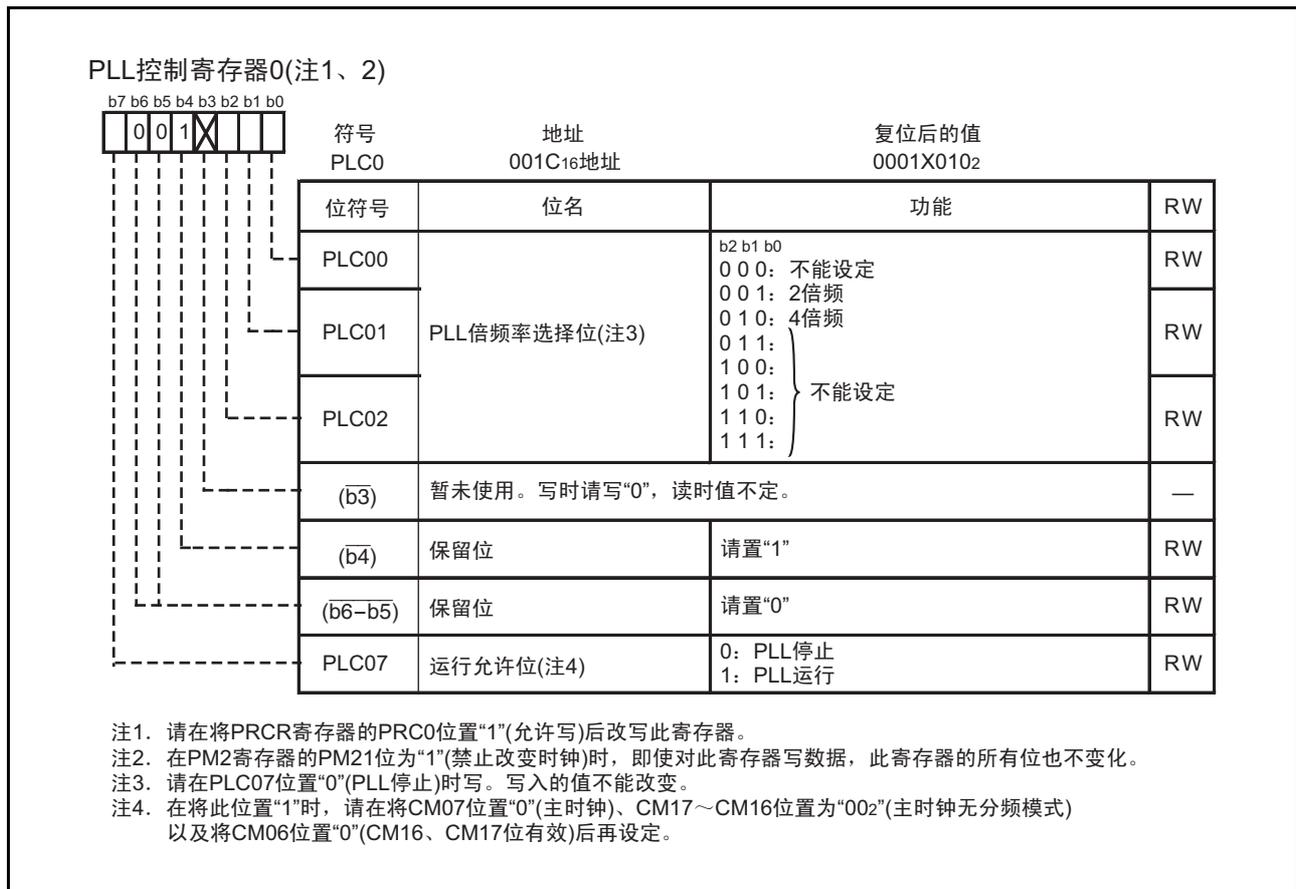


图 7.7 PLC0 寄存器

## 7.1 主时钟

主时钟为主时钟振荡电路供给的时钟，是 CPU 时钟与外围功能时钟的时钟源。主时钟振荡电路通过在 X<sub>IN</sub>-X<sub>OUT</sub> 引脚之间连接谐振器构成振荡电路。主时钟振荡电路内置反馈电阻，为了在停止模式时降低功耗，将反馈电阻从振荡电路分离。对于主时钟振荡电路，也可以将外部生成的时钟作为振荡源输入至 X<sub>IN</sub> 引脚。主时钟连接电路例如图 7.8 所示。

复位后，主时钟在 M16C/26A 与 M16C/26B 中振荡；在 M16C/26T 中停止。

将 CPU 时钟的时钟源切换为副时钟或内部振荡器时钟后、将 CM0 寄存器的 CM05 位置“1”（主时钟振荡电路的振荡停止）时，可降低功耗，此时，X<sub>OUT</sub> 为“H”电平。另外，内置反馈电阻处于 ON 状态，所以 X<sub>IN</sub> 通过反馈电阻成为上拉至 X<sub>OUT</sub> 的状态。

停止模式时，含主时钟在内的所有时钟停止。详细内容请参考功耗控制。

不使用主时钟时，为了降低复位中的功耗，请将 X<sub>IN</sub> 引脚连接至 V<sub>CC</sub>。

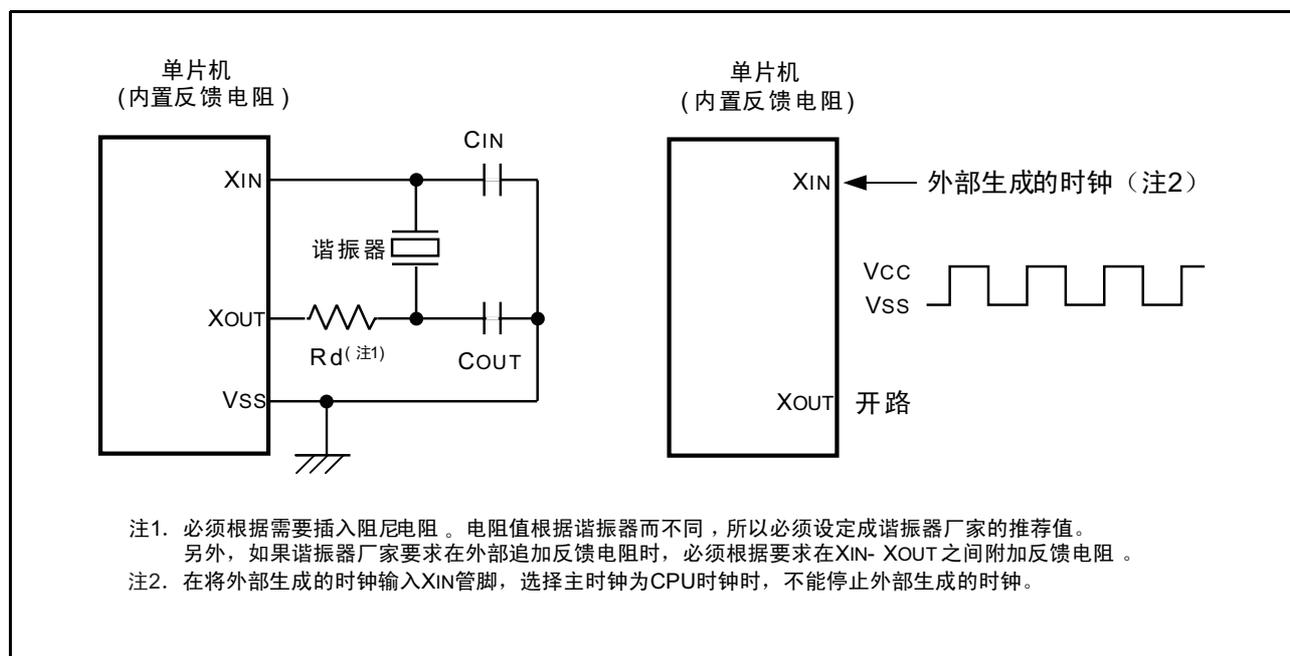


图 7.8 主时钟连接电路例

## 7.2 副时钟

副时钟为副时钟振荡电路供给的时钟，为 CPU 时钟、定时器 A、定时器 B 计数源的时钟源。

副时钟振荡电路通过在 XCIN-XCOUT 引脚之间连接晶振构成振荡电路。副时钟振荡电路内置反馈电阻，为了在停止模式时降低功耗，将反馈电阻从振荡电路分离。对于副时钟振荡电路，也可以将外部生成的时钟输入至 XCIN 引脚。副时钟连接电路例如图 7.9 所示。

复位后，副时钟停止。此时，反馈电阻从振荡电路分离。

副时钟的振荡稳定后，将 CM0 寄存器的 CM07 位置“1”（副时钟）时，副时钟成为 CPU 时钟。

停止模式时，含副时钟的所有时钟停止。详细内容请参考功耗控制。图 7.8 主时钟连接电路例说明时钟发生电路生成的时钟。

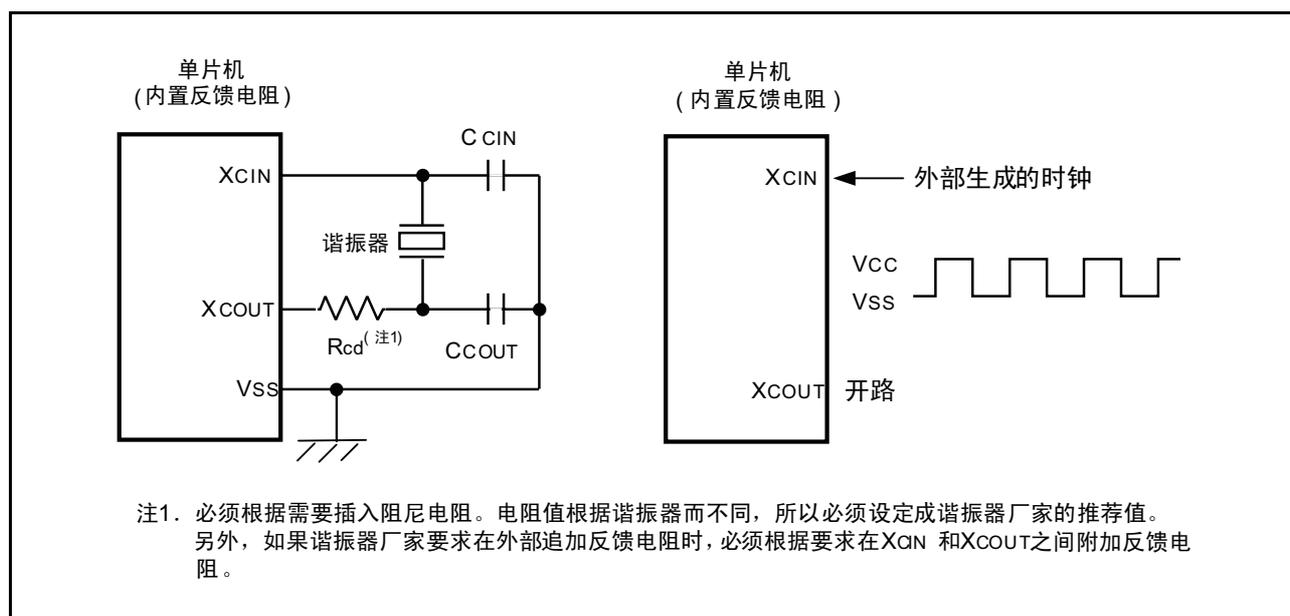


图 7.9 主时钟连接电路例

## 7.3 内部振荡器时钟

内部振荡器时钟为内部振荡器提供的时钟，为 CPU 时钟与外围功能时钟的时钟源。另外，PM2 寄存器的 PM22 位为“1”（看门狗定时器的计数源为内部振荡器时钟）时，成为看门狗定时器的计数源（请参考 10.1 计数源保护模式）。

复位后，内部振荡器开始振荡，内部振荡器时钟  $f_2(\text{ROC})$  的 16 分频时钟为 CPU 时钟。将 CM2 寄存器的 CM21 位置“0”（主时钟或 PLL 时钟）时，内部振荡器停止。CM2 寄存器的 CM20 位为“1”（振荡停止 / 重新振荡检测功能有效）并且 CM27 位为“1”（振荡停止 / 重新振荡检测功能中断）的情况下，主时钟停止时，内部振荡器自动开始运行并供给时钟。

## 7.4 PLL 时钟

PLL 时钟为 PLL 频率合成器生成的时钟，为 CPU 时钟与外围功能时钟的时钟源。复位后，PLL 频率合成器停止。将 PLC07 位置“1”（PLL 运行）时，PLL 频率合成器就开始运行。将 PLL 时钟置为 CPU 时钟的时钟源时，请在 PLL 时钟稳定之前，等待  $t_{su}(PLL)$  后，将 CM1 寄存器的 CM11 位置“1”。

向等待模式或停止模式转换时，请将 CM11 位置“0”（CPU 时钟源为主时钟）。而且，停止模式，请在将 PLC0 寄存器的 PLC07 位置“0”（PLL 停止）后转换至停止模式。将 PLL 时钟设定为 CPU 时钟源的步骤如图 7.10 所示。

PLL 时钟频率如下所示：

PLL 时钟频率 =  $f(X_{IN}) \times$  （由 PLC0 寄存器的 PLC02 ~ PLC00 位设定的倍频率）

（但是， $10\text{MHz} \leq \text{PLL 时钟频率} \leq 20\text{MHz}$ （M16C/26A、M16C/26T）、 $0\text{MHz} \leq \text{PLL 时钟频率} \leq 24\text{MHz}$ （M16C/26B））。

PLC02 ~ PLC00 位复位后，仅可设定 1 次。PLL 时钟频率的设定例如表 7.2 所示。

表 7.2 PLL 时钟频率的设定例

$X_{IN}$ (MHz)	PLC02	PLC01	PLC00	倍频率	PLL 时钟 (MHz) (注 1)
10	0	0	1	2	20
5	0	1	0	4	

注 1.  $10\text{MHz} \leq \text{PLL 时钟频率} \leq 24\text{MHz}$ （M16C/26B）、 $10\text{MHz} \leq \text{PLL 时钟频率} \leq 20\text{MHz}$ （M16C/26A、M16C/26T）

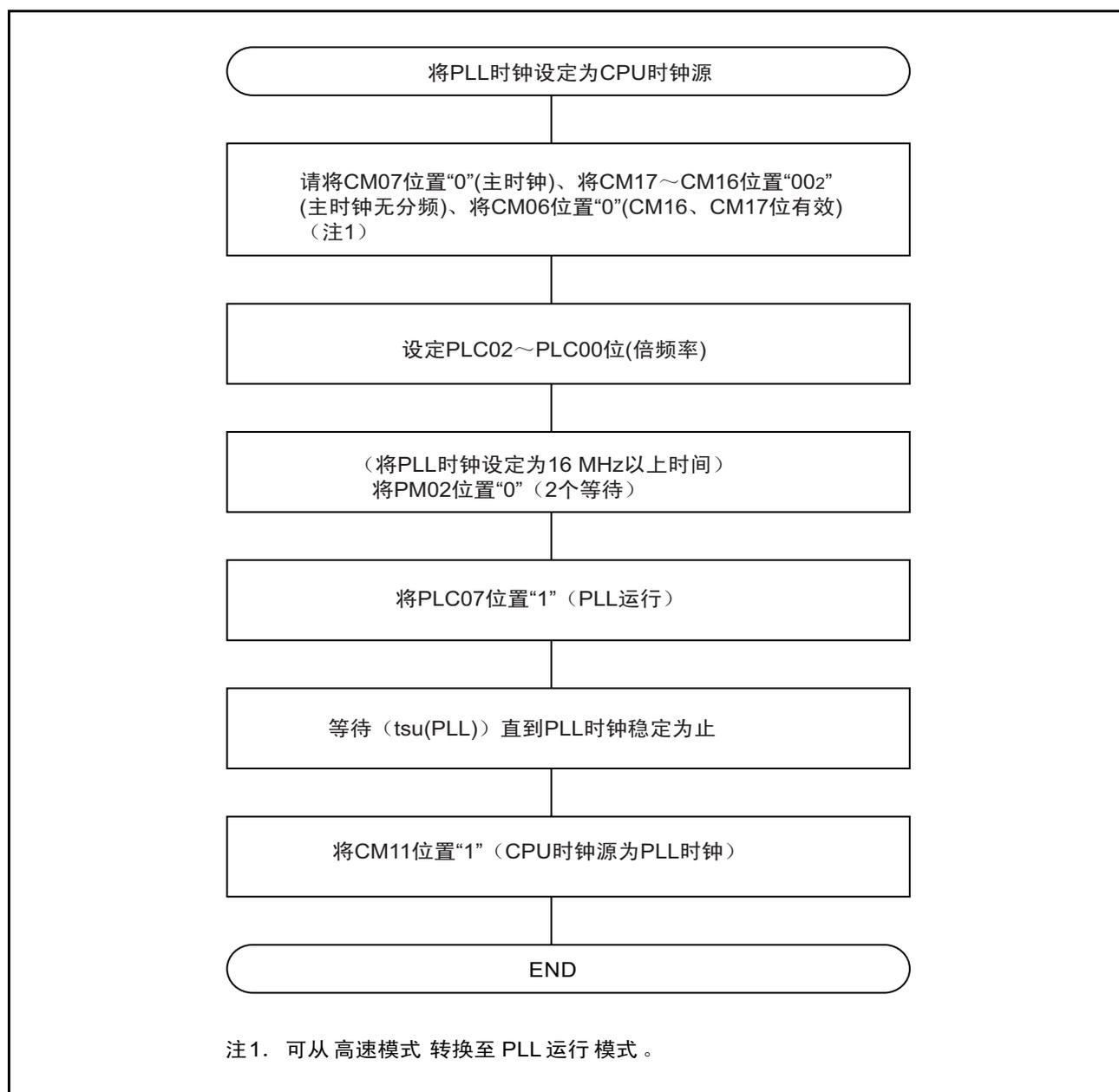


图 7.10 将 PLL 时钟设定为 CPU 时钟源的步骤

## 7.5 CPU 时钟与外围功能时钟

具有使 CPU 运行的 CPU 时钟以及使外围功能运行的外围功能时钟。

### 7.5.1 CPU 时钟

CPU 时钟为 CPU 与看门狗定时器的运行时钟。

作为 CPU 时钟的时钟源可选择主时钟、副时钟、内部振荡器时钟或 PLL 时钟。

作为 CPU 时钟的时钟源，选择主时钟或内部振荡器时钟时，将所选时钟 1 分频（无分频）或 2、4、8、16 分频成为 CPU 时钟。可通过 CM0 寄存器的 CM06 位与 CM1 寄存器的 CM17 ~ CM16 位来选择分频。

选择 PLL 时钟作为 CPU 时钟的时钟源时，请将 CM06 位置“0”并且将 CM17 ~ CM16 位置“002”（无分频）。

复位后，内部振荡器时钟的 16 分频时钟为 CPU 系统时钟。

另外，从高速模式、中速模式、内部振荡器模式、内部振荡器低功耗模式转换至停止模式或低速模式中，将 CM0 寄存器的 CM05 位置“1”（停止）时，CM0 寄存器的 CM06 位为“1”（8 分频模式）。

### 7.5.2 外围功能时钟（ $f_1$ 、 $f_2$ 、 $f_8$ 、 $f_{32}$ 、 $f_{1SIO}$ 、 $f_{2SIO}$ 、 $f_{8SIO}$ 、 $f_{32SIO}$ 、 $f_{AD}$ 、 $f_{C32}$ ）

外围功能时钟为外围功能的运行时钟。

$f_i$ （ $i=1、2、8、32$ ）与  $f_{iSIO}$  是将主时钟、PLL 时钟、或内部振荡器时钟进行  $i$  分频的时钟。 $f_i$  用于定时器 A、定时器 B， $f_{iSIO}$  用于 UART0 ~ UART2。 $f_1$  与  $f_2$  也能用于死区时间定时器。

$f_{AD}$  将主时钟、PLL 时钟或内部振荡器时钟作为时钟源，用于 A/D 转换器。

在将 CM0 寄存器的 CM02 位置“1”（在等待模式时停止外围功能时钟）后，执行 WAIT 指令时或在低功耗模式时， $f_i$ 、 $f_{iSIO}$ 、 $f_{AD}$  停止运行。

$f_{C32}$  将副时钟作为时钟源，用于定时器 A 与定时器 B。 $f_{C32}$  可在供给副时钟时使用。

### 7.5.3 时钟输出功能

可从 CLKOUT 引脚输出  $f_1$ 、 $f_8$ 、 $f_{32}$  或  $f_C$ 。请用 PCLKR 寄存器的 PCLK5 位及 CM0 寄存器的 CM01 ~ CM00 位选择。CLKOUT 引脚的功能如表 7.3 所示。

表 7.3 CLKOUT 引脚的功能

PCLK5	CM01	CM00	CLKOUT 引脚功能
0	0	0	输入 / 输出端口 P9 <sub>0</sub>
0	0	1	输出 $f_C$
0	1	0	输出 $f_8$
0	1	1	输出 $f_{32}$
1	0	0	输出 $f_1$
1	0	1	不能设定
1	1	0	不能设定
1	1	1	不能设定

## 7.6 功耗控制

功耗控制有 3 种模式。为了方便起见，在此将等待模式与停止模式以外的状态称为正常运行模式。

### 7.6.1 正常运行模式

正常运行模式又分为 7 种模式。

在正常运行模式中同时供给 CPU 时钟与外围功能时钟，因此 CPU 与外围功能均进行运行。通过控制 CPU 时钟频率进行功耗控制。CPU 时钟频率越高处理能力越强、频率越低功耗越小。另外，如果停止不必要的振荡电路，功耗将变得更小。

在切换 CPU 时钟的时钟源时，切换的目标时钟必须处于稳定振荡状态。切换的目标时钟为主时钟、副时钟、PLL 时钟时，请以程序控制等待时间至振荡稳定之后再行切换。

而且，不能从低功耗模式切换至内部振荡器模式或内部振荡器低功耗模式。同样也不能从内部振荡器模式或内部振荡器低功耗模式切换至低速模式。

将 CPU 时钟的时钟源从内部振荡器时钟切换为主时钟时，请在内部振荡器模式下，8 分频（CM0 寄存器的 CM06 位 = “1”）后切换至中速模式（8 分频）。

#### 7.6.1.1 高速模式

主时钟的 1 分频时钟为 CPU 时钟。在供给副时钟的情况下，f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。

#### 7.6.1.2 PLL 运行模式

主时钟的 2 倍频或 4 倍频时钟为 PLL 时钟，PLL 时钟为 CPU 时钟。在供给副时钟的情况下，f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。可从高速模式转换至 PLL 运行模式。在转换至等待模式或停止模式时，请在转换至高速模式之后再行转换。

#### 7.6.1.3 中速模式

主时钟的 2 分频、4 分频、8 分频或 16 分频时钟为 CPU 时钟。在供给副时钟的情况下，f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。

#### 7.6.1.4 低速模式

副时钟为 CPU 时钟。外围功能时钟的时钟源在 CM21 位 = “0”（内部振荡器停止）时为主时钟，在 CM21 位 = “1”（内部振荡器振荡）时为内部振荡器时钟。

f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。

#### 7.6.1.5 低功耗模式

设定为低速模式后，为停止主时钟的状态。副时钟为 CPU 时钟。f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。外围功能时钟仅限 f<sub>C32</sub>。

设定为此模式的同时，CM0 寄存器的 CM06 位变为 “1”（8 分频模式）。在低功耗模式下，不能更改 CM06 位，因此在下次主时钟运行时变为中速模式（8 分频）。

#### 7.6.1.6 内部振荡器模式

内部振荡器时钟的 1 分频（无分频）、2、4、8、16 分频为 CPU 时钟。另外，内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。可通过 ROCR 寄存器的 ROCR3 ~ ROCR0 位选择内部振荡器频率。返回至高速、中速模式时，请将 CM06 位置 “1”（8 分频模式）。

## 7.6.1.7 内部振荡器低功耗模式

设定为内部振荡器模式之后，为停止主时钟状态。与内部振荡器模式相同，可选择 CPU 时钟。内部振荡器时钟为外围功能时钟的时钟源。供给副时钟的情况下，f<sub>C32</sub> 可用于定时器 A 与定时器 B 的计数源。

表 7.4 时钟相关位的设定与模式

模式		CM2 寄存器	CM1 寄存器		CM0 寄存器			
		CM21	CM11	CM17、CM16	CM07	CM06	CM05	CM04
PLL 运行模式		0	1	00 <sub>2</sub>	0	0	0	—
高速模式		0	0	00 <sub>2</sub>	0	0	0	—
中速模式	2 分频	0	0	01 <sub>2</sub>	0	0	0	—
	4 分频	0	0	10 <sub>2</sub>	0	0	0	—
	8 分频	0	0	—	0	1	0	—
	16 分频	0	0	11 <sub>2</sub>	0	0	0	—
低速模式		—	—	—	1	—	0	1
低功耗模式		—	—	—	1	1 (注 1)	1 (注 1)	1
内部振荡器 模式 (注 3)	无分频	1	—	00 <sub>2</sub>	0	0	0	—
	2 分频	1	—	01 <sub>2</sub>	0	0	0	—
	4 分频	1	—	10 <sub>2</sub>	0	0	0	—
	8 分频	1	—	—	0	1	0	—
	16 分频	1	—	11 <sub>2</sub>	0	0	0	—
内部振荡器低功耗模式		1	—	(注 2)	0	(注 2)	1	—

注 1. 如果在低速模式中将 CM05 位置“1”（主时钟停止），就变为低功耗模式。同时，CM06 位变为“1”（8 分频模式）。

注 2. 与内部振荡器模式相同，可选择分频值。

注 3. 关于内部振荡器频率，在内部振荡器模式中有记述。

## 7.6.2 等待模式

在等待模式中，CPU 时钟停止，因此用 CPU 时钟运行的 CPU 与看门狗定时器停止运行。但是，在 PM2 寄存器的 PM22 位为“1”（看门狗定时器的计数源为内部振荡器时钟）时，看门狗定时器运行。因为主时钟、副时钟、内部振荡器时钟不停止，所以使用这些时钟的外围功能保持运行状态。

### 7.6.2.1 外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时停止外围功能时钟）时，在等待模式时  $f_1$ 、 $f_2$ 、 $f_8$ 、 $f_{32}$ 、 $f_{1SIO}$ 、 $f_{2SIO}$ 、 $f_{8SIO}$ 、 $f_{32SIO}$ 、 $f_{AD}$  处于停止状态，因此可降低功耗。 $f_{C32}$  不停止。

### 7.6.2.2 向等待模式转换

一旦执行 WAIT 指令，就转换至等待模式。

在 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，请在将 CM11 位置“0”（CPU 时钟的时钟源为主时钟）后转换至等待模式。如果将 PLC07 位置“0”（PLL 停止），就能降低功耗。

### 7.6.2.3 等待模式时的引脚状态

等待模式时引脚的状态如表 7.5 所示。

表 7.5 等待模式时引脚的状态

输入 / 输出端口		保持进入等待模式前的状态
CLKOUT	选择 $f_C$ 时	不停止
	选择 $f_1$ 、 $f_8$ 、 $f_{32}$ 时	CM02 位为“0”时，不停止。
		CM02 位为“1”时，保持进入等待模式前的状态。

#### 7.6.2.4 从等待模式的返回

通过硬件复位、 $\overline{\text{NMI}}$  中断或外围功能中断，从等待模式返回。

在通过硬件复位或  $\overline{\text{NMI}}$  中断返回时，请在将外围功能中断的 ILVL2 ~ ILVL0 位置 “0002”（中断禁止）后执行 WAIT 指令。

外围功能中断受 CM02 位的影响。CM02 位为 “0”（在等待模式中，外围功能时钟不停止）时，外围功能中断可用于从等待模式的返回。CM02 位为 “1”（在等待模式中，停止外围功能时钟）时，使用外围功能时钟的外围功能处于停止状态，所以根据外部信号运行的外围功能中断可用于从等待模式的返回。

能用于从等待模式返回的中断如表 7.6 所示。

表 7.6 能用于从等待模式返回的中断

中断	CM02=0	CM02=1
$\overline{\text{NMI}}$ 中断	可使用	可使用
串行 I/O 中断	可用于内部时钟与外部时钟	可用于外部时钟
键输入中断	可使用	可使用
A/D 转换中断	可用于单次模式或单次扫描模式	—（不能使用）
定时器 A 中断定时器 B 中断	可用于所有模式	在事件计数器模式或计数源为 fC32 时可使用
$\overline{\text{NMI}}$ 中断	可使用	可使用

在使用外围功能中断从等待模式返回时，请在执行 WAIT 指令前进行如下设定：

1. 对用于从等待模式返回的外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。另外，将不用于从等待模式返回的外围功能中断的 ILVL2 ~ ILVL0 位全部置 “0002”（中断禁止）。
2. 将 I 标志置 “1”。
3. 运行用于从等待模式返回的外围功能。

在通过外围功能中断返回时，一旦产生中断请求并且开始供给 CPU 时钟，就执行中断程序。

通过外围功能中断从等待模式返回后的 CPU 时钟与执行 WAIT 指令时的 CPU 时钟相同。

### 7.6.3 停止模式

在停止模式中，停止所有振荡。因此，CPU 时钟与外围功能时钟也停止，使用这些时钟运行的 CPU 与外围功能也停止。这是功耗最小的模式。而且，当 VCC 引脚的外加电压在 V<sub>RAM</sub> 以上时，内部 RAM 处于保持状态。当 VCC 引脚的外加电压设定在 2.7V 以下时，必须设定 V<sub>CC</sub> ≥ V<sub>RAM</sub>。

另外，根据外部信号运行的外围功能保持运行状态。可用于从停止模式返回的中断如下：

- $\overline{\text{NMI}}$  中断
- 键输入中断
- $\overline{\text{INT}}$  中断
- 定时器 A 中断与定时器 B 中断（在事件计数器模式中，对外部脉冲进行计数时）
- 串行 I/O 中断（选择外部时钟时）
- 低电压检测中断（使用条件请参考 5.5.1 低电压检测中断）

#### 7.6.3.1 向停止模式转换

将 CM1 寄存器的 CM10 位置“1”（全部时钟停止）时，为停止模式。同时，CM0 寄存器的 CM06 位变为“1”（8 分频模式），CM1 寄存器的 CM15 位变为“1”（主时钟振荡电路的驱动能力为 HIGH）。

在使用停止模式时，请先将 CM20 位置“0”（振荡停止 / 重新振荡检测功能无效）。

另外，在 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，请在将 CM11 位置“0”（CPU 时钟的时钟源为主时钟）以及将 PLC07 位置“0”（PLL 停止）后再转换至停止模式。

#### 7.6.3.2 停止模式时的引脚状态

各输入 / 输出端口保持进入停止模式前的状态。

#### 7.6.3.3 从停止模式的返回

通过硬件复位、 $\overline{\text{NMI}}$  中断或外围功能中断，从停止模式返回。

在通过硬件复位或  $\overline{\text{NMI}}$  中断返回时，请在将全部外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位置“0002”（中断禁止）后将 CM10 位置“1”。

在通过外围功能中断返回时，请在进行如下设定后将 CM10 位置“1”。

1. 对用于从停止模式返回的外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。而对不用于从停止模式返回的外围功能中断的 ILVL2 ~ ILVL0 位全部置“0002”（中断禁止）。
2. I 标志置“1”。
3. 运行用于从停止模式返回的外围功能。在通过外围功能中断返回时，一旦在发生中断请求并且 CPU 时钟开始供给，就执行中断程序。

根据停止模式转换前的 CPU 时钟，通过外围功能中断或  $\overline{\text{NMI}}$  中断从停止模式返回后的 CPU 时钟如下：

停止模式转换前的 CPU 时钟为副时钟时：副时钟

停止模式转换前的 CPU 时钟为主时钟时：主时钟的 8 分频

停止模式转换前的 CPU 时钟为内部振荡器时钟时：内部振荡时钟的 8 分频

从正常运行模式向停止模式、等待模式的状态转换如图 7.11 所示，正常运行模式的状态转换如图 7.12 所示。必须按照各图所示的状态转换进行。

可从当前状态转换至下一个状态与设定方法如表 7.7 所示。表中的纵轴表示当前状态，横轴表示转换至下一个状态。

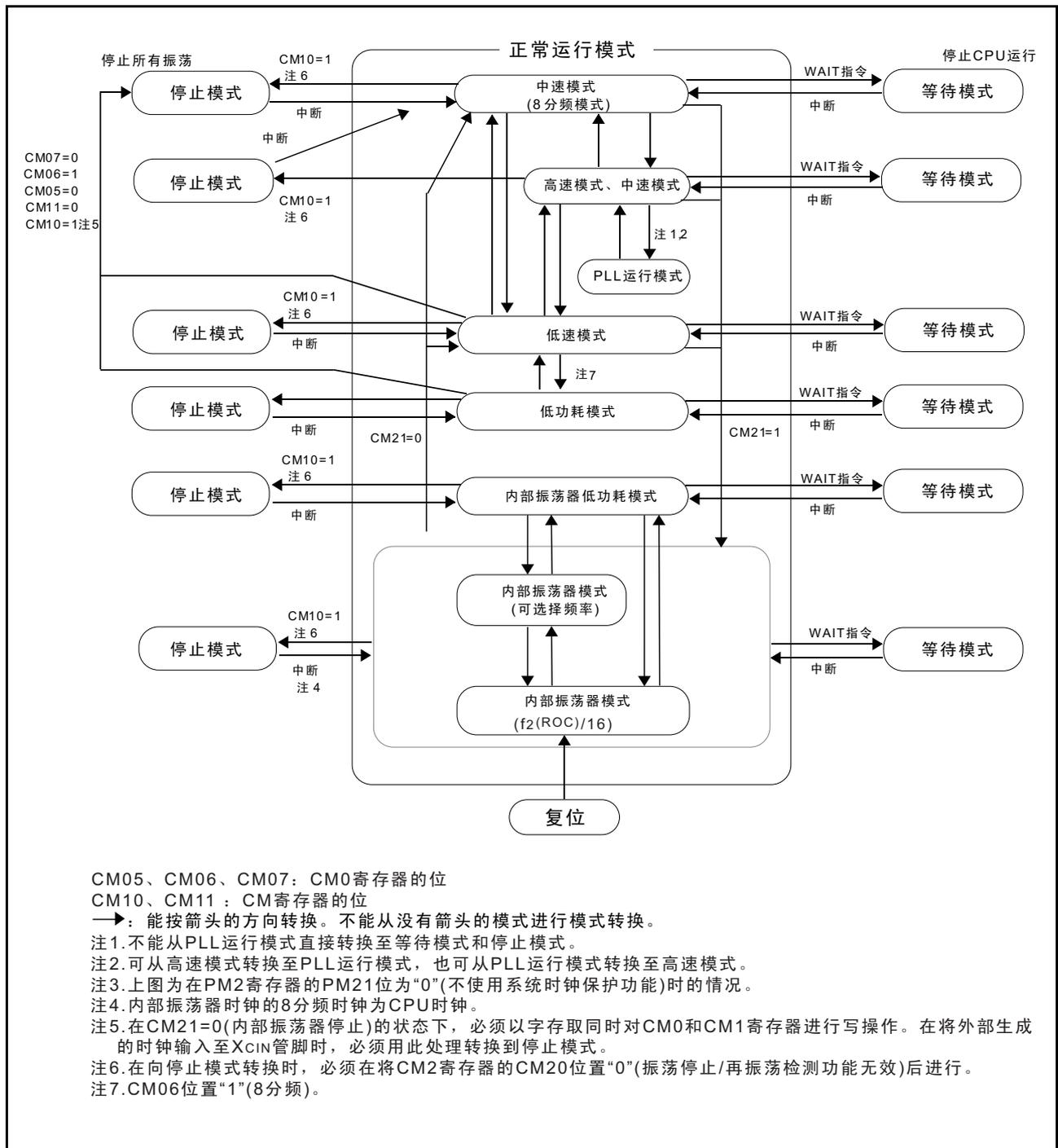


图 7.11 停止模式、等待模式的状态转换

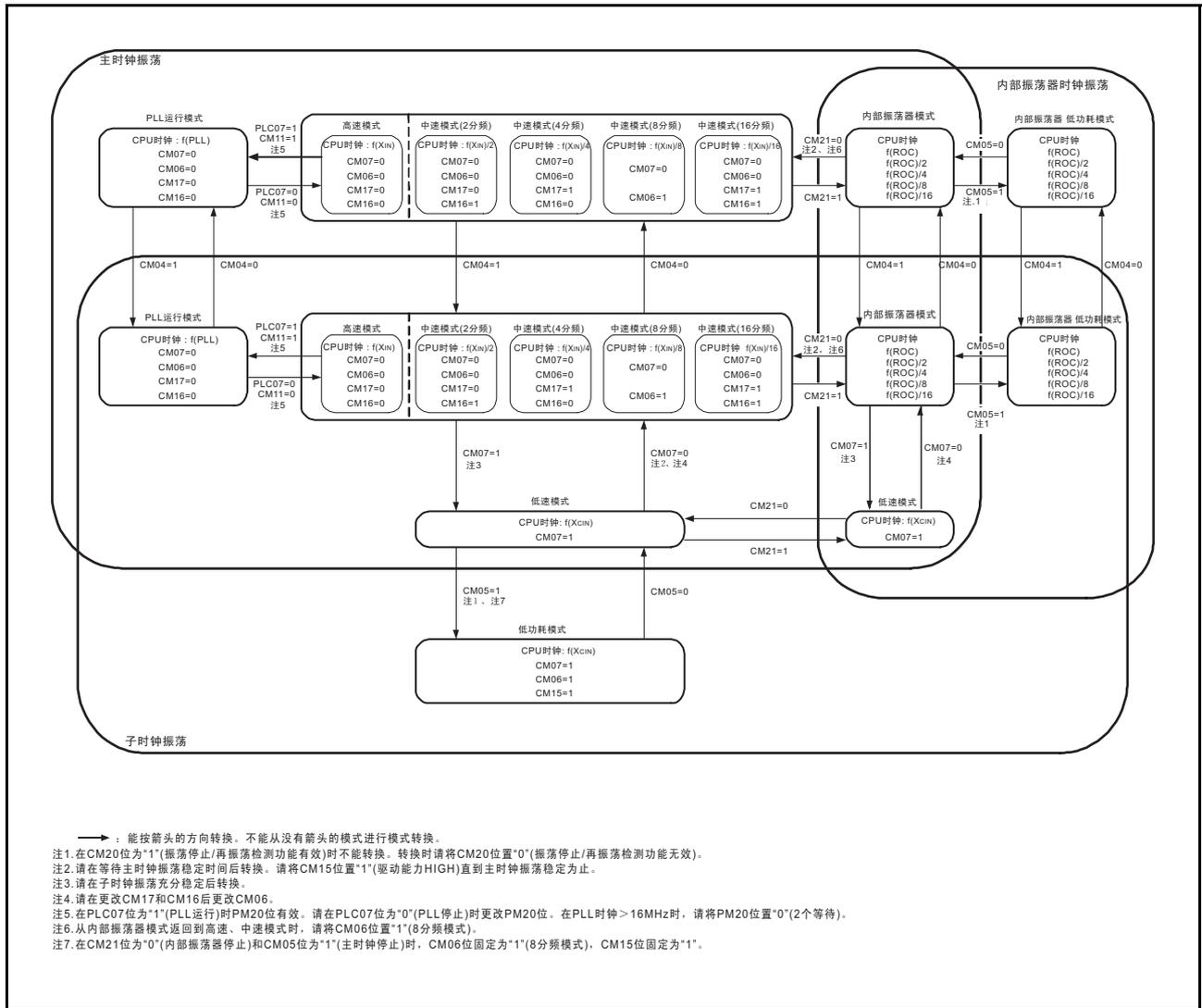


图 7.12 正常运行模式的状态转换

表 7.7 可从目前状态转换至下一个状态与设定方法

		下一个状态							
		高速、中速模式	低速模式 (注 2)	低功耗模式	PLL 运行模式 (注 2)	内部振荡器模式	内部振荡器低功耗模式	停止模式	等待模式
当前状态	高速、中速模式	(注 8)	(9) (注 7)	—	(13) (注 3)	(15)	—	(16) (注 1)	(17)
	低速模式 (注 2)	(8)		(11) (注 1、6)	—	(8)	—	(16) (注 1)	(17)
	低功耗模式	—	(10)		—	—	—	(16) (注 1)	(17)
	PLL 运行模式 (注 2)	(12) (注 3)	—	—	—	—	—	—	—
	内部振荡器模式	(14) (注 4)	(9) (注 7)	—	—	(注 8)	(11) (注 1)	(16) (注 1)	(17)
	内部振荡器低功耗模式	—	—	—	—	(10)	(注 8)	(16) (注 1)	(17)
	停止模式	(18) (注 5)	(18)	(18)	—	(18) (注 5)	(18) (注 5)		—
	等待模式	(18)	(18)	(18)	—	(18)	(18)	—	

注 1. 在 CM20 位为“1”振荡停止 / 重新振荡检测功能有效) 时不能转换。转换时请将 CM20 位置“0” (振荡停止 / 重新振荡检测功能无效)。

注 2. 在低速模式时, 可控制内部振荡器时钟的振荡或停止。此时的内部振荡器时钟可用作外围功能时钟。在 PLL 运行模式时, 可控制副时钟的振荡或停止。此时的副时钟可用作定时器 A 与定时器 B 的时钟。

注 3. 向 PLL 运行模式的转换只能从高速模式进行。另外, 从 PLL 运行模式只能转换至高速模式。

注 4. 在从内部振荡器模式转换至高速、中速模式时, 请将 CM06 位置“1” (8 分频模式)。

注 5. 从停止模式返回时, CM06 位为“1” (8 分频模式)。

注 6. 将 CM05 位置“1” (主时钟停止) 时, CM06 位就变为“1” (8 分频模式)。

注 7. 可在副时钟振荡时转换。

注 8. 同模式内的转换 (分频的变更与副时钟振荡或停止) 如下:

		副时钟振荡					副时钟停止				
		无分频	2 分频	4 分频	8 分频	16 分频	无分频	2 分频	4 分频	8 分频	16 分频
副时钟 振荡	无分频		(4)	(5)	(7)	(6)	(1)	—	—	—	—
	2 分频	(3)		(5)	(7)	(6)	—	(1)	—	—	—
	4 分频	(3)	(4)		(7)	(6)	—	—	(1)	—	—
	8 分频	(3)	(4)	(5)		(6)	—	—	—	(1)	—
	16 分频	(3)	(4)	(5)	(7)		—	—	—	—	(1)
副时钟 停止	无分频	(2)	—	—	—	—		(4)	(5)	(7)	(6)
	2 分频	—	(2)	—	—	—	(3)		(5)	(7)	(6)
	4 分频	—	—	(2)	—	—	(3)	(4)		(7)	(6)
	8 分频	—	—	—	(2)	—	(3)	(4)	(5)		(6)
	16 分频	—	—	—	—	(2)	(3)	(4)	(5)	(7)	

—: 不可转换。

注 9. ( ) 内为以下的设定方法:

	设定内容	运行内容
(1)	CM04 = 0	副时钟停止
(2)	CM04 = 1	副时钟振荡
(3)	CM06 = 0, CM17 = 0, CM16 = 0	CPU 时钟无分频模式
(4)	CM06 = 0, CM17 = 0, CM16 = 1	CPU 时钟 2 分频模式
(5)	CM06 = 0, CM17 = 1, CM16 = 0	CPU 时钟 4 分频模式
(6)	CM06 = 0, CM17 = 1, CM16 = 1	CPU 时钟 16 分频模式
(7)	CM06 = 1	CPU 时钟 8 分频模式
(8)	CM07 = 0	选择主时钟、PLL 时钟 或内部振荡器时钟
(9)	CM07 = 1	选择副时钟
(10)	CM05 = 0	主时钟振荡
(11)	CM05 = 1	主时钟停止
(12)	PLC07 = 0, CM11 = 0	选择主时钟
(13)	PLC07 = 1, CM11 = 1	选择 PLL 时钟
(14)	CM21 = 0	选择主时钟或 PLL 时钟
(15)	CM21 = 1	选择内部振荡器时钟
(16)	CM10 = 1	转换至停止模式
(17)	wait 指令	转换至等待模式
(18)	硬件中断	从停止模式、等待模式返回

CM04, CM05, CM06, CM07 : CM0 寄存器的位  
 CM10, CM11, CM16, CM17 : CM1 寄存器的位  
 CM20, CM21 : CM2 寄存器的位  
 PLC07 : PLC0 寄存器的位

## 7.7 系统时钟的保护功能

系统时钟的保护功能是在选择主时钟作为 CPU 时钟的时钟源时，为了在失控时不使 CPU 时钟停止而禁止更改时钟的功能。

将 PM2 寄存器的 PM21 位置 “1”（禁止更改时钟）时，不能写以下位：

- CM0 寄存器的 CM02 位、CM05 位、CM07 位
- CM1 寄存器的 CM10 位、CM11 位
- CM2 寄存器的 CM20 位
- PLC0 寄存器的全部位

使用系统时钟的保护功能时，必须在 CM0 寄存器 CM05 位为 “0”（主时钟振荡）并且 CM07 位为 “0”（CPU 时钟的时钟源为主时钟）的状态下进行以下处理：

1. 将 PRCR 寄存器的 PRC1 位置 “1”（允许写入 PM2 寄存器）
  2. 将 PM2 寄存器的 PM21 位置 “1”（禁止更改时钟）
  3. 将 PRCR 寄存器的 PRC1 位置 “0”（禁止写入 PM2 寄存器）
- 在 PM21 位为 “1” 时，不能执行 WAIT 指令。

## 7.8 振荡停止 / 重新振荡检测功能

振荡停止 / 重新振荡检测功能是检测主时钟振荡电路的停止与重新振荡的功能。在检测到振荡停止或重新振荡时，产生复位或振荡停止 / 重新振荡检测中断。可根据 CM2 寄存器的 CM27 位选择产生复位还是中断。

可根据 CM2 寄存器的 CM20 位选择振荡停止 / 重新振荡检测功能是否有效。

振荡停止 / 重新振荡检测功能的规格如表 7.8 所示。

表 7.8 振荡停止 / 重新振荡检测功能的规格

项目	规格
能检测振荡停止的时钟与频率范围	$f(X_{IN}) \geq 2\text{MHz}$
振荡停止 / 重新振荡检测功能的有效条件	CM20 置 “1”（有效）
检测到振荡停止 / 重新振荡时的运行	产生复位（CM27 位 = 0）产生振荡停止 / 重新振荡检测中断（CM27 位 = 1）

### 7.8.1 CM27 位为 “0”（复位）时的运行

在 CM20 位为 “1”（振荡停止 / 重新振荡检测功能有效）时，如果检测到主时钟停止，就初始化单片机，并停止单片机运行（有关振荡停止检测复位，请参考 SFRs 与复位）。

通过硬件复位 1 或硬件复位 2 解除此状态。虽然在检测到重新振荡时也能初始化单片机和停止单片机运行，但是不能使用这种方法（在主时钟的停止状态下，不要将 CM20 位置 “1”、CM27 位置 “0”）。

### 7.8.2 CM27 位为“1”（振荡停止 / 重新振荡检测中断）时的运行

在主时钟为 CPU 时钟源并且 CM20 位为“1”（振荡停止 / 重新振荡检测功能有效）时，一旦主时钟停止，就成为以下的状态：

- 产生振荡停止 / 重新振荡检测中断请求
- 内部振荡器开始振荡，内部振荡器时钟取代主时钟，成为 CPU 时钟或外围功能时钟的时钟源
- CM21 位 = 1（内部振荡器时钟为 CPU 时钟）
- CM22 位 = 1（检测主时钟停止）
- CM23 位 = 1（主时钟停止）

在 PLL 时钟为 CPU 时钟源并且 CM20 位为“1”时，一旦主时钟停止，就成为以下的状态。因为 CM21 位无变化，所以请在中断程序中将 CM21 置“1”（内部振荡器时钟）。

- 产生振荡停止 / 重新振荡检测中断请求
- CM22 位 = 1（检测主时钟停止）
- CM23 位 = 1（主时钟停止）
- CM21 位无变化

在 CM20 位为“1”时，一旦主时钟从停止状态重新振荡，就成为以下的状态：

- 产生振荡停止 / 重新振荡检测中断请求
- CM22 位 = 1（检测主时钟重新振荡）
- CM23 位 = 0（主时钟振荡）
- CM21 无变化

### 7.8.3 振荡停止 / 重新振荡检测功能的使用方法

- 振荡停止/重新振荡检测中断与看门狗定时器中断共用一个中断向量地址。在使用振荡停止/重新振荡检测中断与看门狗定时器中断时，必须通过中断程序读取CM22位，判断是哪个中断源产生的中断请求。
- 在振荡停止后，主时钟重新振荡时，必须通过程序将主时钟返回至CPU时钟或外围功能的时钟源。从内部振荡器时钟切换至主时钟的步骤如图7.13所示。
- 在发生振荡停止/重新振荡检测中断的同时，CM22位变为“1”。在CM22位为“1”时，禁止振荡停止/重新振荡检测中断。通过程序将CM22位置“0”时，允许振荡停止/重新振荡检测中断。
- 在低速模式时，如果CM20位为“1”且主时钟停止，就产生振荡停止/重新振荡检测中断请求。同时，内部振荡器开始振荡。此时，CPU时钟的时钟源仍然为副时钟，但是外围功能时钟的时钟源变为内部振荡器时钟。
- 在使用振荡停止/重新振荡检测功能中转换至等待模式时，请将CM02位置“0”（在等待模式时不停止外围功能时钟）。
- 因为振荡停止/重新振荡检测功能具有通过外部源停止主时钟的功能，所以在通过程序使主时钟停止或振荡时，即；在转换至停止模式或更改CM05位时，请将CM20位置“0”（振荡停止/重新振荡检测功能无效）。
- 如果主时钟的频率在2MHz以下，就不能使用此功能，所以请将CM20位置“0”。

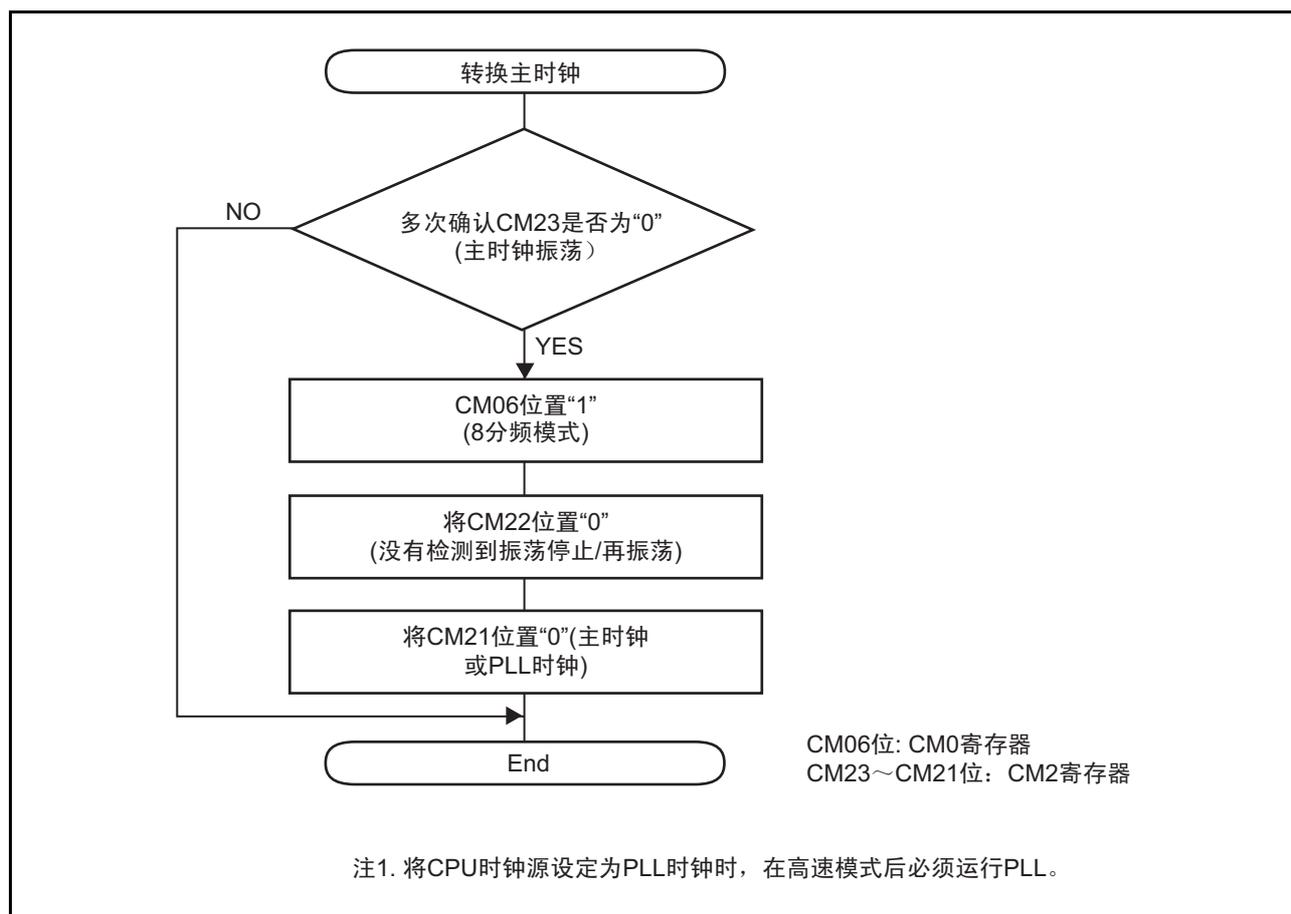


图 7.13 从内部振荡器时钟切换至主时钟的步骤

## 8. 保护

## 注意

M16C/26T 不能使用 PRCR 寄存器的 PRC3 位。

保护功能是为了在程序失控时使重要的寄存器不被轻易改写的功能。PRCR 寄存器如图 8.1 所示。

PRCR 寄存器保护的寄存器如下所示：

- 由 PRC0 位保护的寄存器：CM0、CM1、CM2、PLC0、ROCR、PCLKR 寄存器
- 由 PRC1 位保护的寄存器：PM0、PM1、PM2、TB2SC、INVC0、INVC1 寄存器
- 由 PRC2 位保护的寄存器：PD9、PACR、NDDR 寄存器
- 由 PRC3 位保护的寄存器：VCR2、D4INT 寄存器

将 PRC2 位置“1”（允许写状态）后对 SFR 区进行写操作时，PRC2 位置“0”（禁止写状态）。请在 PRC2 位置“1”后的下一条指令更改由 PRC2 位保护的寄存器。在将 PRC2 位置“1”的指令与下一条指令之间不能进行中断与 DMA 发送。即使对 SFR 区进行写操作，PRC0、PRC1、PRC3 位也不会变为“0”，所以请通过程序将 PRC0、PRC1、PRC3 位置“0”。

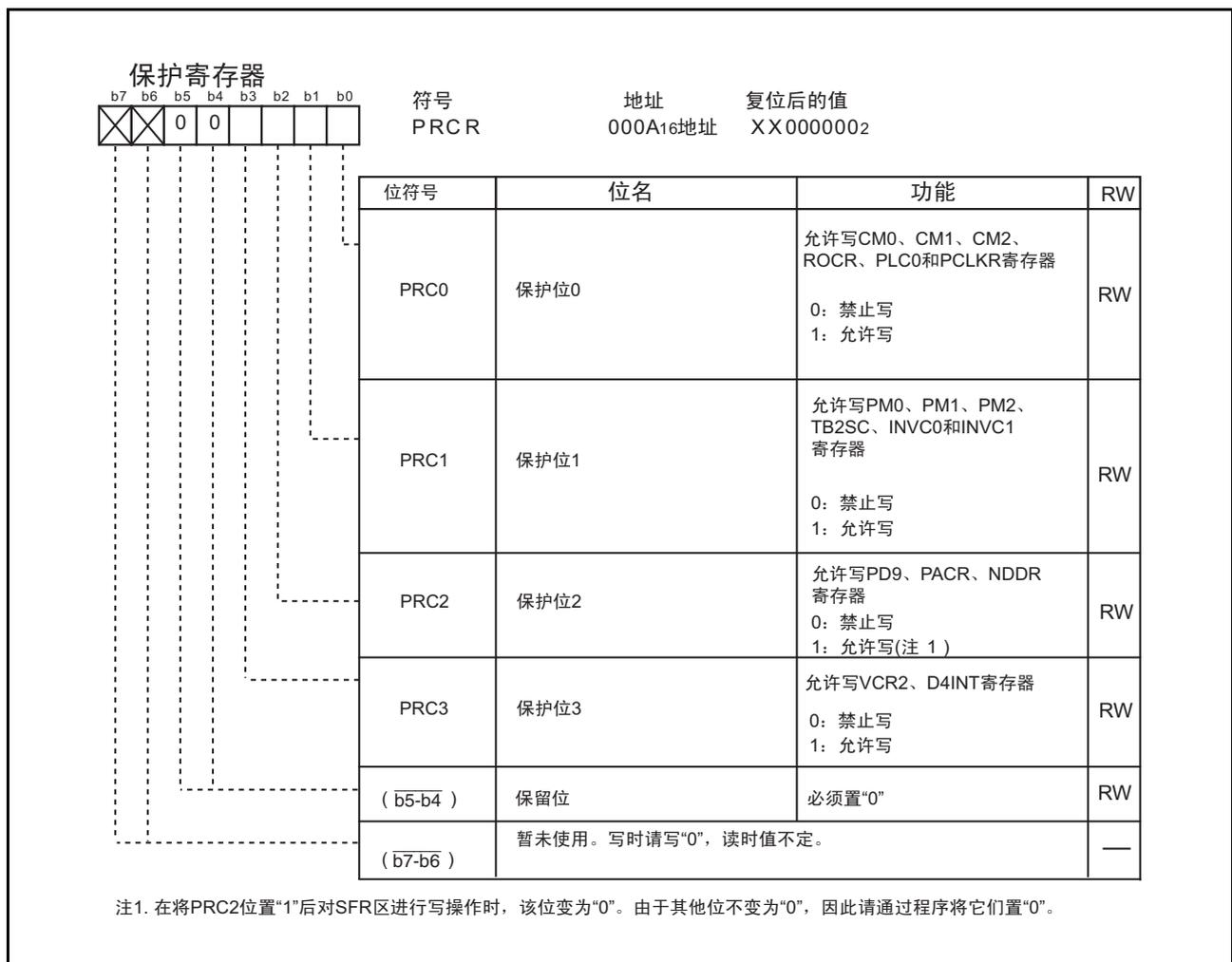


图 8.1 PRCR 寄存器

## 9. 中断

### 注意

对于 42 引脚版，不能使用外围功能中断的 UART0 发送中断及 UART0 接收中断。

M16C/26T 不能使用低电压检测中断。

### 9.1 中断的分类

中断的分类如图 9.1 所示。

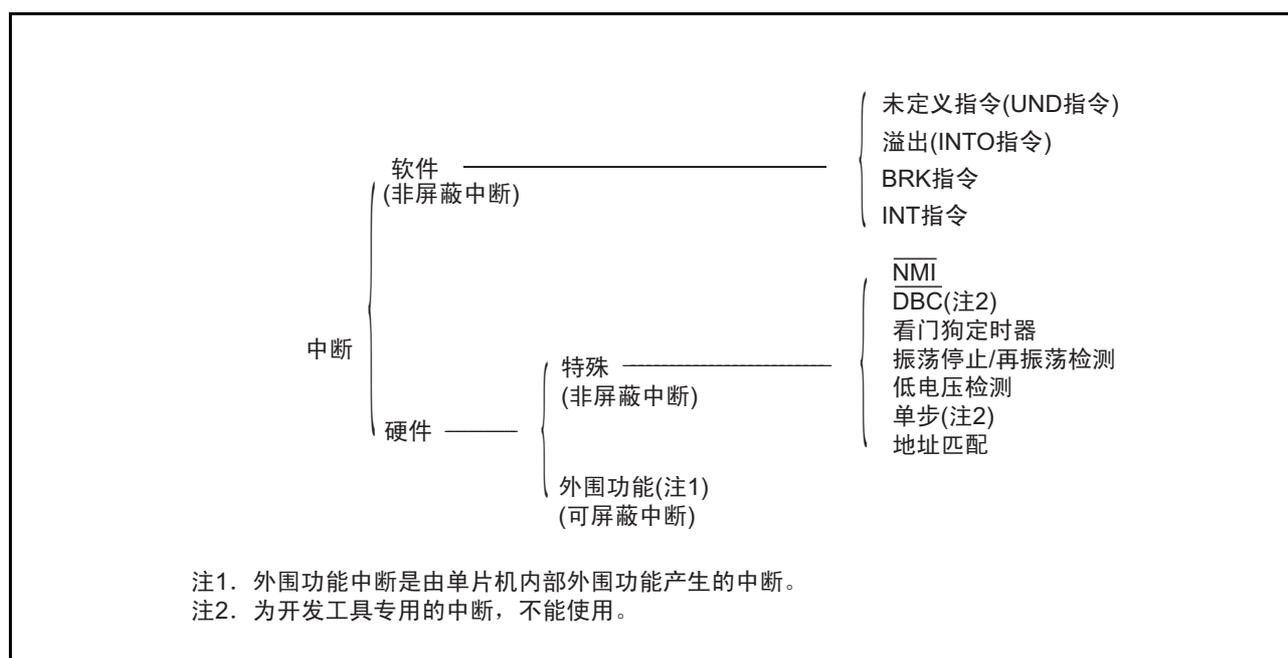


图 9.1 中断的分类

- 可屏蔽中断：可通过中断允许标志（I 标志）允许 / 禁止中断或可通过中断优先级更改中断优先权
- 非可屏蔽中断：不可通过中断允许标志（I 标志）允许 / 禁止中断或不可通过中断优先级更改中断优先权

## 9.1.1 软件中断

通过执行指令产生软件中断。软件中断为非屏蔽中断。

### 9.1.1.1 未定义指令中断

执行 UND 指令时，产生未定义指令中断。

### 9.1.1.2 溢出中断

在 O 标志为“1”（运算结果溢出）时执行 INTO 指令，则产生溢出中断。通过运算会影响 O 标志变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

### 9.1.1.3 BRK 中断

执行 BRK 指令时，产生 BRK 中断。

### 9.1.1.4 INT 指令中断

执行 INT 指令时，产生 INT 指令中断。可用 INT 指令指定的软件中断序号为 0 ~ 63。因为软件中断序号 4 ~ 31 分配给外围功能中断，所以通过执行 INT 指令，可执行与外围功能中断一样的中断程序。

对于软件中断序号 0 ~ 31，在执行指令时将 U 标志压栈，然后在将 U 标志置“0”（选择 ISP）后执行中断顺序。从中断程序返回时恢复被压栈的 U 标志。对于软件中断序号 32 ~ 63，执行指令时 U 标志不变，使用当时选择的 SP。

## 9.1.2 硬件中断

有特殊中断与外围功能中断。

### 9.1.2.1 特殊中断

特殊中断为非屏蔽中断。

#### (1) $\overline{\text{NMI}}$ 中断

$\overline{\text{NMI}}$  引脚的输入从 “H” 电平变为 “L” 电平时，发生  $\overline{\text{NMI}}$  中断。 $\overline{\text{NMI}}$  中断的详细内容请参考  $\overline{\text{NMI}}$  中断。

#### (2) $\overline{\text{DBC}}$ 中断

为开发工具专用的中断，不能使用。

#### (3) 看门狗定时器中断

为通过看门狗定时器产生的中断。必须在看门狗定时器中断发生后初始化看门狗定时器。看门狗定时器的详细内容请参考 10. 看门狗定时器。

#### (4) 振荡停止 / 重新振荡检测中断

为通过振荡停止 / 重新振荡检测功能产生的中断。振荡停止 / 重新振荡检测功能的详细内容请参考 7. 时钟发生电路。

#### (5) 低电压检测中断

为通过电压检测电路产生的中断。电压检测电路的详细内容请参考 5.5 电压检测电路。

#### (6) 单步中断

为开发工具专用中断，不能使用。

#### (7) 地址匹配中断

对应允许位（AIER 寄存器的 AIER0 位或者 AIER1 位）为 “1” 时，在执行 RMAD0 或者 RMAD1 寄存器指向的地址的指令前发生地址匹配中断。地址匹配中断的详细内容请参考地址匹配中断。

### 9.1.2.2 外围功能中断

外围功能中断为通过单片机内部的外围功能产生的中断，为可屏蔽中断。外围功能中断的中断源请参考表 9.2 可变量表。另外，外围功能的详细内容请参考各外围功能的说明。

## 9.2 中断与中断向量

1 个向量为 4 个字节。请在各中断向量中设定各中断程序的起始地址。中断请求被接受时，转移至设定在中断向量的地址。中断向量如图 9.2 所示。

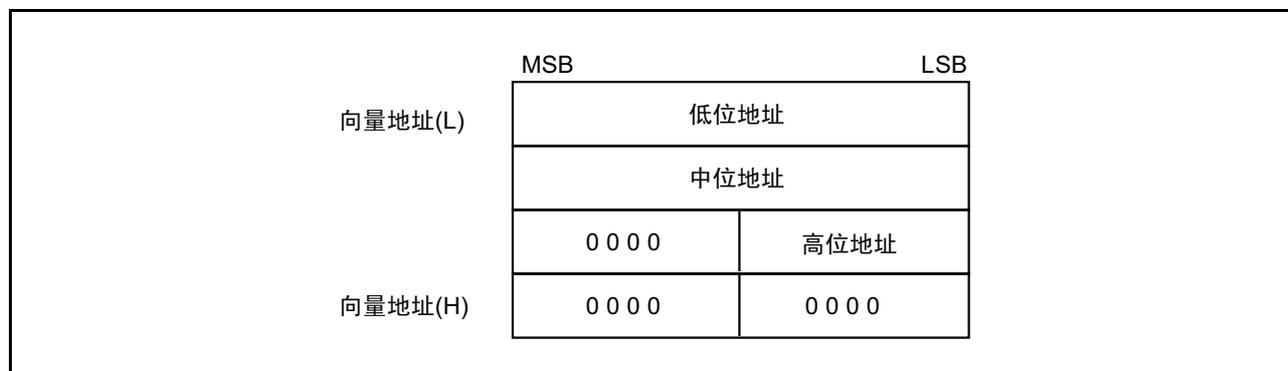


图 9.2 中断向量

### 9.2.1 固定向量表

分配在 FFFDC<sub>16</sub> 地址到 FFFFF<sub>16</sub> 地址。固定向量表如表 9.1 所示。在闪存版，固定向量的向量地址（H）用于 ID 码检查功能。详细内容请参考 闪存改写禁止功能。

表 9.1 固定向量表

中断源	向量地址 地址（L）～地址（H）	备注	参考
未定义指令	FFFDC <sub>16</sub> ~ FFFDF <sub>16</sub>	由 UND 指令产生的中断	M16C/60、M16C/20 系列软件手册
溢出	FFFE0 <sub>16</sub> ~ FFFE3 <sub>16</sub>	由 INTO 指令产生的中断	
BRK 指令	FFFE4 <sub>16</sub> ~ FFFE7 <sub>16</sub>	在 FFFE7 <sub>16</sub> 地址的内容为 FF <sub>16</sub> 时，从可变向量表内的向量指向的地址执行	
地址匹配	FFFE8 <sub>16</sub> ~ FFFEB <sub>16</sub>		地址匹配中断
单步（注 1）	FFFE <sub>16</sub> ~ FFFE <sub>16</sub>		
看门狗定时器、振荡停止 / 重新振荡检测、低电压检测	FFFF0 <sub>16</sub> ~ FFFF3 <sub>16</sub>		看门狗定时器、时钟发生电路、电压检测电路
DBC（注 1）	FFFF4 <sub>16</sub> ~ FFFF7 <sub>16</sub>		
NMI	FFFF8 <sub>16</sub> ~ FFFFB <sub>16</sub>		NMI 中断
复位（注 2）	FFFC <sub>16</sub> ~ FFFF <sub>16</sub>		复位

注 1. 为开发工具专用中断，不能使用。

注 2. 在 FFFFF<sub>16</sub> 地址的 b3 ~ b0 为保留位。请设定为“11112”。

## 9.2.2 可变向量表

从设定在 INTB 寄存器起始地址开始的 256 个字节为可变向量表区。可变向量表如表 9.2 所示。在 INTB 寄存器内设定偶数地址时，可比设定为奇数地址时更快地执行中断顺序。

表 9.2 可变向量表

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	参考
BRK 指令 (注 4)	+0~+3 (0000 <sub>16</sub> ~0003 <sub>16</sub> )	0	M16C/60、M16C/20 系列软件手册
— (保留)		1~3	
$\overline{\text{INT3}}$	+16~+19 (0010 <sub>16</sub> ~0013 <sub>16</sub> )	4	$\overline{\text{INT}}$ 中断
— (保留)		5~7	
$\overline{\text{INT5}}$ (注 2)	+32~+35 (0020 <sub>16</sub> ~0023 <sub>16</sub> )	8	$\overline{\text{INT}}$ 中断
$\overline{\text{INT4}}$ (注 2)	+36~+39 (0024 <sub>16</sub> ~0027 <sub>16</sub> )	9	
UART2 总线冲突检测 (注 5)	+40~+43 (0028 <sub>16</sub> ~002B <sub>16</sub> )	10	串行 I/O
DMA0	+44~+47 (002C <sub>16</sub> ~002F <sub>16</sub> )	11	DMAC
DMA1	+48~+51 (0030 <sub>16</sub> ~0033 <sub>16</sub> )	12	
键输入中断	+52~+55 (0034 <sub>16</sub> ~0037 <sub>16</sub> )	13	键输入中断
A/D	+56~+59 (0038 <sub>16</sub> ~003B <sub>16</sub> )	14	A/D 转换器
UART2 发送、NACK2 (注 3)	+60~+63 (003C <sub>16</sub> ~003F <sub>16</sub> )	15	串行 I/O
UART2 接收、ACK2 (注 3)	+64~+67 (0040 <sub>16</sub> ~0043 <sub>16</sub> )	16	
UART0 发送	+68~+71 (0044 <sub>16</sub> ~0047 <sub>16</sub> )	17	
UART0 接收	+72~+75 (0048 <sub>16</sub> ~004B <sub>16</sub> )	18	
UART1 发送	+76~+79 (004C <sub>16</sub> ~004F <sub>16</sub> )	19	
UART1 接收	+80~+83 (0050 <sub>16</sub> ~0053 <sub>16</sub> )	20	
定时器 A0	+84~+87 (0054 <sub>16</sub> ~0057 <sub>16</sub> )	21	
定时器 A1	+88~+91 (0058 <sub>16</sub> ~005B <sub>16</sub> )	22	
定时器 A2	+92~+95 (005C <sub>16</sub> ~005F <sub>16</sub> )	23	
定时器 A3	+96~+99 (0060 <sub>16</sub> ~0063 <sub>16</sub> )	24	
定时器 A4	+100~+103 (0064 <sub>16</sub> ~0067 <sub>16</sub> )	25	
定时器 B0	+104~+107 (0068 <sub>16</sub> ~006B <sub>16</sub> )	26	
定时器 B1	+108~+111 (006C <sub>16</sub> ~006F <sub>16</sub> )	27	
定时器 B2	+112~+115 (0070 <sub>16</sub> ~0073 <sub>16</sub> )	28	
$\overline{\text{INT0}}$	+116~+119 (0074 <sub>16</sub> ~0077 <sub>16</sub> )	29	$\overline{\text{INT}}$ 中断
$\overline{\text{INT1}}$	+120~+123 (0078 <sub>16</sub> ~007B <sub>16</sub> )	30	
$\overline{\text{INT2}}$	+124~+127 (007C <sub>16</sub> ~007F <sub>16</sub> )	31	
软件中断 (注 4)	+128~+131 (0080 <sub>16</sub> ~0083 <sub>16</sub> ) ~ +252~+255 (00FC <sub>16</sub> ~00FF <sub>16</sub> )	32 ~ 63	M16C/60、M16C/20 系列软件手册

- 注 1. 从 INTB 寄存器指向地址开始的相对地址
- 注 2. 请用 IFSR 寄存器的 IFSR6 及 IFSR7 位设定。
- 注 3. I<sup>2</sup>C bus 模式时, NACK、ACK 为中断源。
- 注 4. 不可通过 I 标志禁止。
- 注 5. 总线冲突检测:
  - 在 IEBus 模式时, 总线冲突检测为中断源。
  - 在 I<sup>2</sup>C bus 模式时, 开始条件检测、停止条件检测为中断源。

### 9.3 中断控制

说明如何允许或禁止可屏蔽中断以及如何设定能接受的优先级。在此说明的内容不适用于非屏蔽中断。

根据 FLG 寄存器的 I 标志、IPL、各中断控制寄存器的 ILVL2 ~ ILVL0 位进行可屏蔽中断的允许或禁止控制。各中断控制寄存器的 IR 位表示有无中断请求。

中断控制寄存器如图 9.3 所示。

IFSR 寄存器与 IFSR2A 寄存器如图 9.4 所示。

中断控制寄存器(注2)

符号	地址	复位后的值
BCNIC	004A <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
DM0IC、DM1IC	004B <sub>16</sub> 、004C <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
KUPIC	004D <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
ADIC	004E <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
S0TIC~S2TIC	0051 <sub>16</sub> 、0053 <sub>16</sub> 、004F <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
S0RIC~S2RIC	0052 <sub>16</sub> 、0054 <sub>16</sub> 、0050 <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
TA0IC~TA4IC	0055 <sub>16</sub> ~0059 <sub>16</sub> 地址	XXXXX000 <sub>2</sub>
TB0IC~TB2IC	005A <sub>16</sub> ~005C <sub>16</sub> 地址	XXXXX000 <sub>2</sub>

位符号	位名	功能	RW
ILVL0	中断优先级选择位	b2 b1 b0 0 0 0:0级 (禁止中断)	RW
ILVL1		0 0 1:1级 0 1 0:2级 0 1 1:3级	RW
ILVL2		1 0 0:4级 1 0 1:5级 1 1 0:6级 1 1 1:7级	RW
IR	中断请求位	0:无中断请求 1:有中断请求	RW (注1)
(b7~b4)	暂未使用。写时请写“0”，读时值不定。		—

注1. IR位只能写“0”(不能写“1”)。

注2. 请在不发生该寄存器所对应的中断请求的位置更改中断控制寄存器。详细内容请参考19.5 中断。

符号	地址	复位后的值
INT3IC	0044 <sub>16</sub> 地址	XX00X000 <sub>2</sub>
INT5IC	0048 <sub>16</sub> 地址	XX00X000 <sub>2</sub>
INT4IC	0049 <sub>16</sub> 地址	XX00X000 <sub>2</sub>
INT0IC~INT2IC	005D <sub>16</sub> ~005F <sub>16</sub> 地址	XX00X000 <sub>2</sub>

位符号	位名	功能	RW
ILVL0	中断优先级选择位	b2 b1 b0 0 0 0:0级 (禁止中断)	RW
ILVL1		0 0 1:1级 0 1 0:2级 0 1 1:3级	RW
ILVL2		1 0 0:4级 1 0 1:5级 1 1 0:6级 1 1 1:7级	RW
IR	中断请求位	0:无中断请求 1:有中断请求	RW (注1)
POL	极性切换位	0:选择下降沿(注3) 1:选择上升沿	RW
(b5)	保留位	必须置“0”。	RW
(b7~b6)	暂未使用。写时请写“0”，读时值不定。		—

注1. IR位只能写“0”(不能写“1”)。

注2. 请在不发生该寄存器所对应的中断请求的位置，更改中断控制寄存器。详细内容请参考19.5 中断。

注3. 在IFSR寄存器的IFSRi位(i=0~5)为“1”(双边沿)时，请将INTiIC寄存器的POL位置“0”(下降沿)。

图 9.3 中断控制寄存器

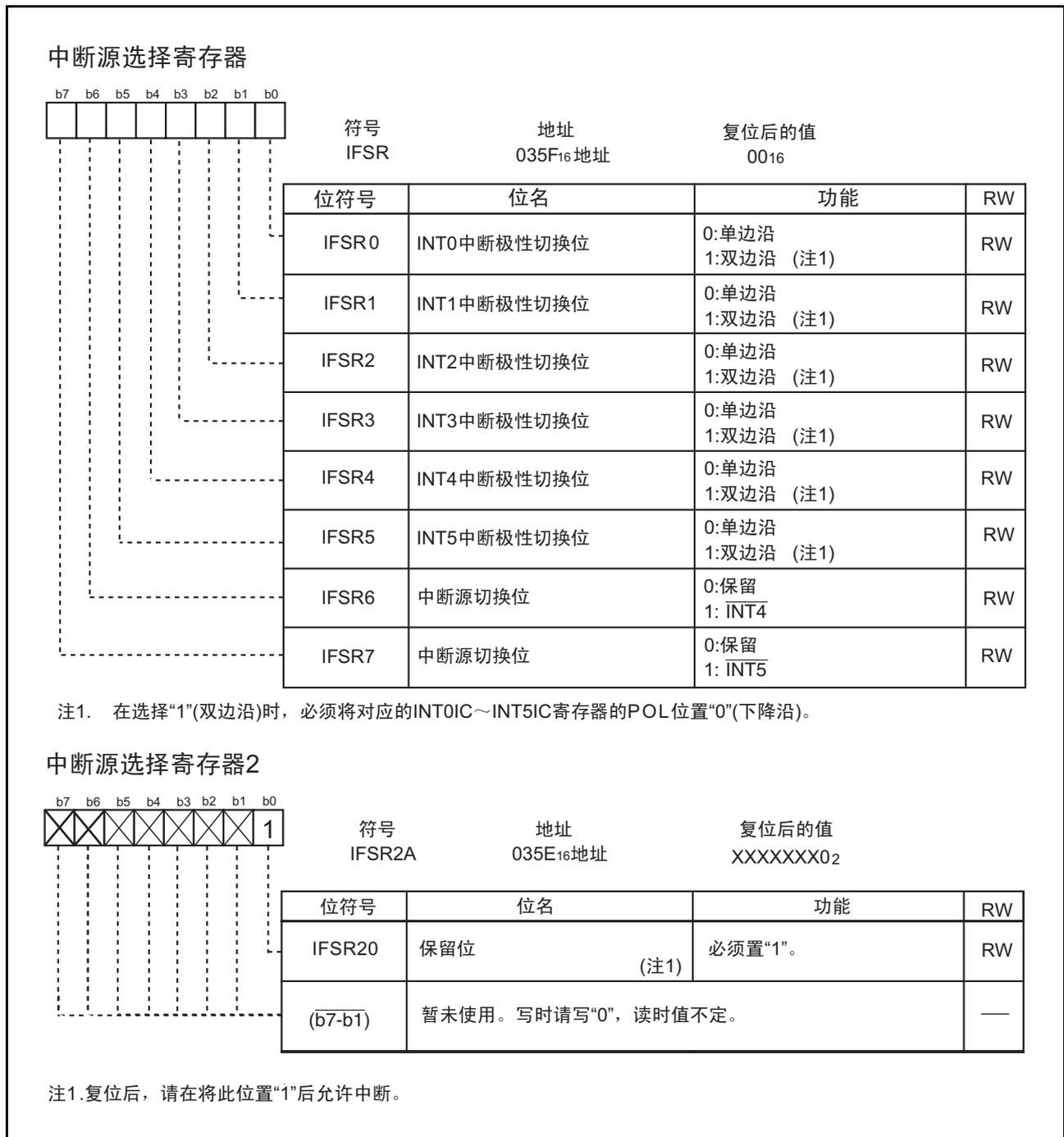


图 9.4 IFSR 寄存器与 IFSR2A 寄存器

### 9.3.1 I 标志

用于允许或禁止可屏蔽中断。将 I 标志置“1”（允许）时，允许可屏蔽中断；置“0”（禁止）时，禁止所有可屏蔽中断。

### 9.3.2 IR 位

发生中断请求时，IR 位变为“1”（有中断请求）。在中断请求被接受并且转移至对应的中断向量后，IR 位变为“0”（无中断请求）。

IR 位可通过程序置“0”，但是不能写“1”。

### 9.3.3 ILVL2 ~ ILVL0 位、IPL

可通过 ILVL2 ~ ILVL0 位设定中断优先级。

中断优先级的设定如表 9.3 所示，由 IPL 允许的中断优先级如表 9.4 所示。

接受中断请求的条件如下所示：

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2 ~ ILVL0 位、IPL 各自独立，互不影响。

表 9.3 中断优先级的设定

ILVL2 ~ ILVL0 位	中断优先级	优先级
000 <sub>2</sub>	0 级（中断禁止）	—
001 <sub>2</sub>	1 级	低  高
010 <sub>2</sub>	2 级	
011 <sub>2</sub>	3 级	
100 <sub>2</sub>	4 级	
101 <sub>2</sub>	5 级	
110 <sub>2</sub>	6 级	
111 <sub>2</sub>	7 级	

表 9.4 由 IPL 允许的中断优先级

IPL	允许的中断优先级
000 <sub>2</sub>	允许 1 级及 1 级以上
001 <sub>2</sub>	允许 2 级及 2 级以上
010 <sub>2</sub>	允许 3 级及 3 级以上
011 <sub>2</sub>	允许 4 级及 4 级以上
100 <sub>2</sub>	允许 5 级及 5 级以上
101 <sub>2</sub>	允许 6 级及 6 级以上
110 <sub>2</sub>	允许 7 级及 7 级以上
111 <sub>2</sub>	禁止所有可屏蔽中断

## 9.4 中断顺序

说明从接受中断请求开始到执行中断程序的中断顺序。指令执行中发生中断请求时，在该指令执行结束后判断优先级，从下一个周期开始转移至中断顺序。

但是，对于 SMOVB、SMOVF、SSTR、RMPA 各指令，指令执行中发生中断请求时，暂时中断指令运行，转移至中断顺序。

中断顺序的运行如下。中断顺序执行时间如图 9.5 所示。

1. 通过读  $00000_{16}$  地址，在 CPU 获得中断信息（中断序号及中断请求级）后，相应中断的 IR 位变为“0”（无中断请求）。
2. 将中断顺序前的 FLG 寄存器压栈到 CPU 内的暂时寄存器（注1）。
3. 在 FLG 寄存器中的 I 标志、D 标志、U 标志的状态如下：  
I 标志为“0”（禁止中断）  
D 标志为“0”（禁止单步中断）  
U 标志为“0”（指定 ISP）  
但是，在执行软件中断序号 32 ~ 63 的 INT 指令时，U 标志不变。
4. 将 CPU 内部的暂时寄存器（注1）压栈。
5. 将 PC 压栈。
6. 对 IPL 设定接受中断的中断优先级。
7. 将设定在中断向量的中断程序的起始地址输入至 PC。

中断顺序结束后，从中断程序的起始地址开始执行指令。

注 1. 用户不能使用。

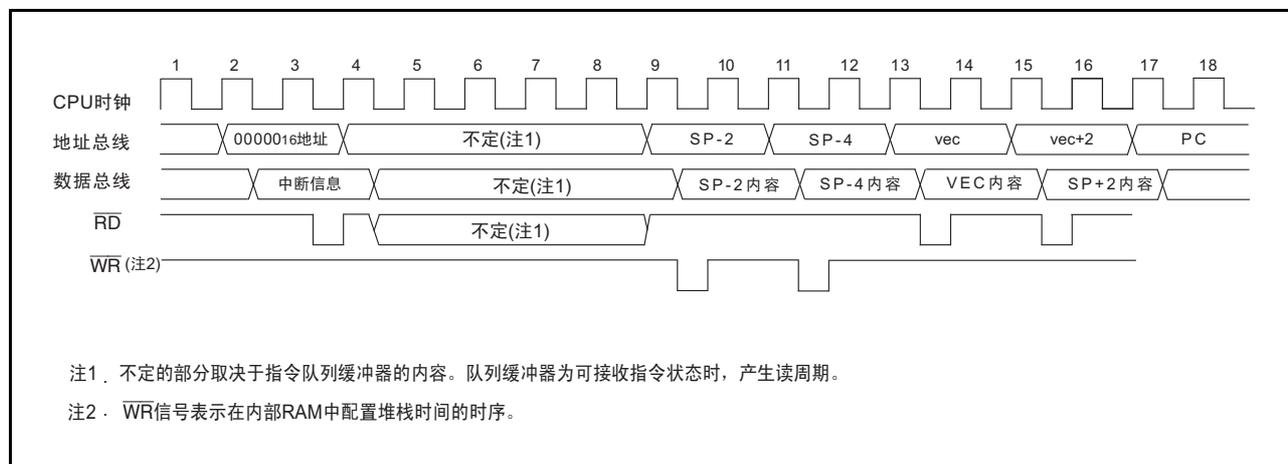


图 9.5 中断顺序执行时间

### 9.4.1 中断响应时间

中断响应时间如图 9.6 所示。中断响应时间是从发生中断请求开始到执行中断程序内的第一条指令为止的时间。这个时间由从发生中断请求时开始到此时正在执行的指令结束为止的时间（图 9.6(a)）与执行中断顺序的时间（图 9.6(b)）构成。

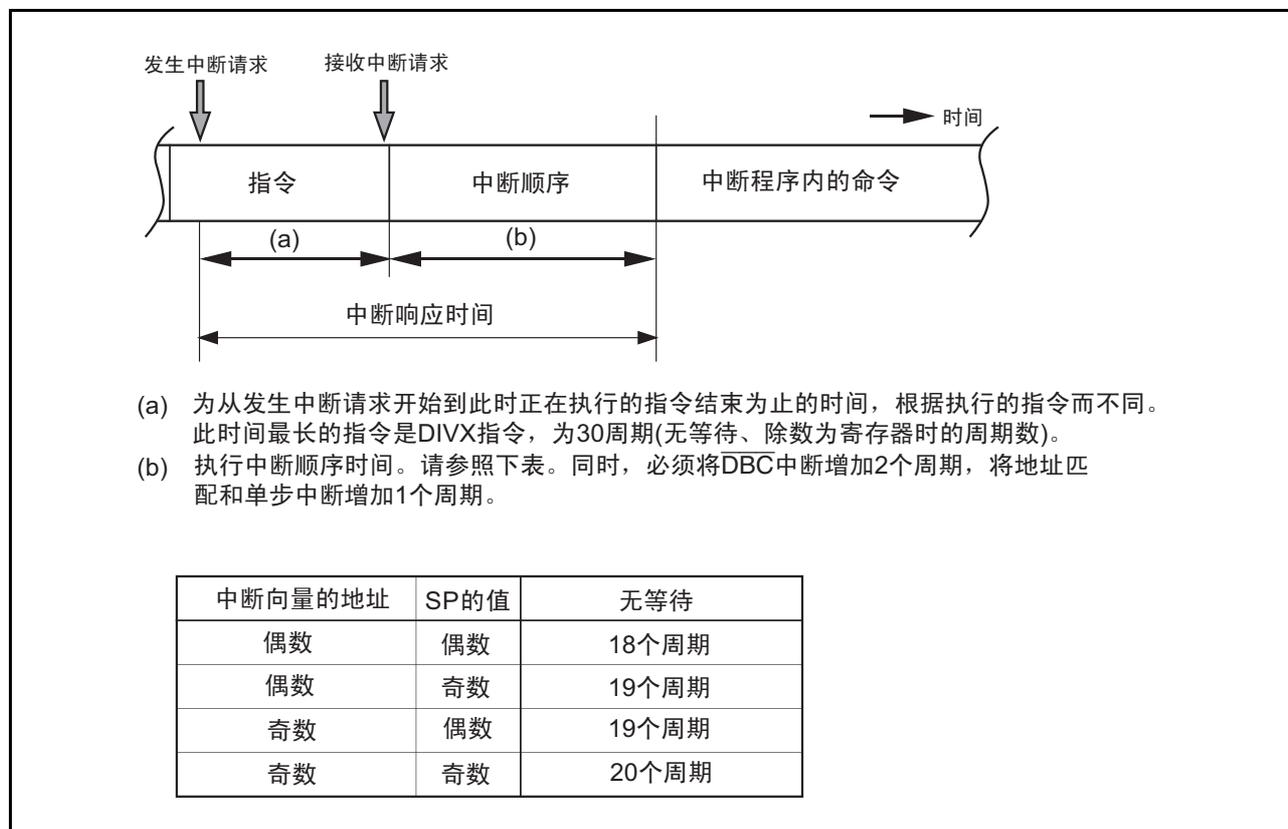


图 9.6 中断响应时间

### 9.4.2 接受中断请求时的 IPL 变化

接受可屏蔽中断的中断请求时，对 IPL 设定接受中断的中断优先级。

接受软件中断或特殊中断请求时，将表 9.5 中所示的值设定到 IPL。接受软件中断或特殊中断时的 IPL 值如表 9.5 所示。

表 9.5 接受软件中断或特殊中断时的 IPL 值

中断源	IPL 值
看门狗定时器、 $\overline{NMI}$ 、振荡停止 / 重新振荡检测、低电压检测	7
软件、地址匹配、 $\overline{DBC}$ 、单步	不变

### 9.4.3 寄存器压栈

在中断顺序中，将 FLG 寄存器与 PC 压栈。

首先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）与低 8 位压栈（共 16 位），然后将 PC 的低 16 位压栈。中断请求接受前后的堆栈状态如图 9.7 所示。

必须在中断程序的开始通过程序压栈其它所需的寄存器。使用 PUSHM 指令时，可用 1 条指令压栈除 SP 以外全部寄存器。

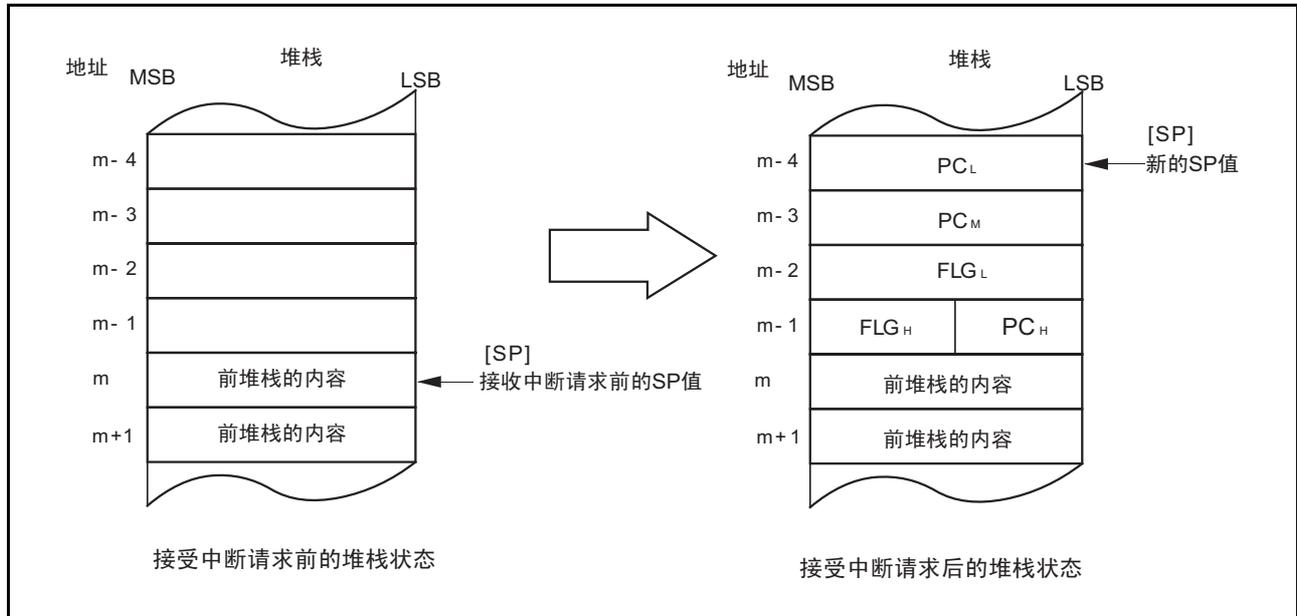


图 9.7 中断请求接受前后的堆栈状态

根据接受中断请求时 SP（注 1）为偶数或者奇数，中断顺序进行的寄存器压栈操作不同。SP（注 1）为偶数时，同时压栈 FLG 寄存器与 PC 的各 16 位；为奇数时，按 8 位分 2 次压栈。寄存器的压栈操作如图 9.8 所示。

注 1. 执行软件序号 32 ~ 63 的 INT 指令时，为 U 标志表示的 SP。否则为 ISP。

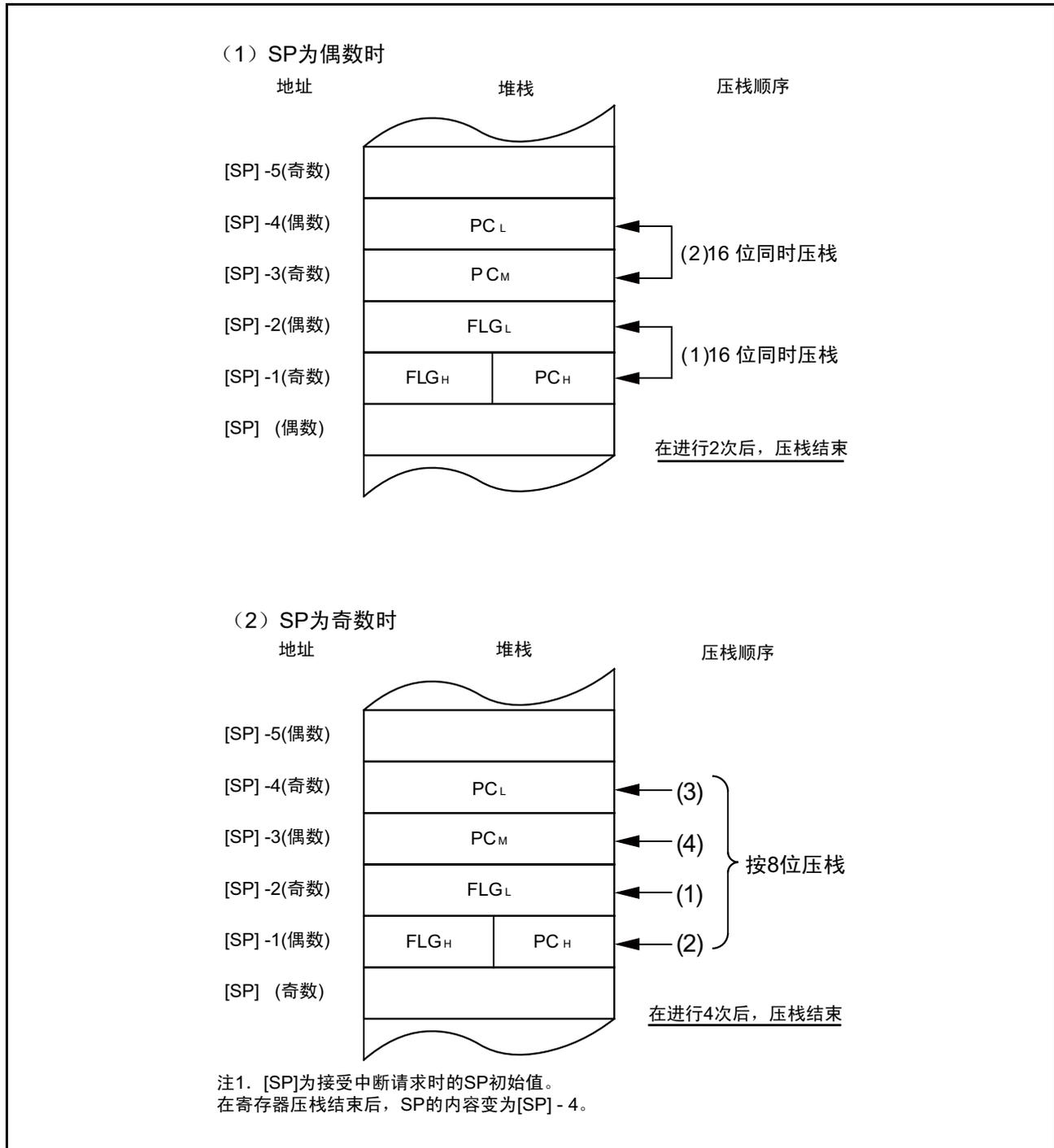


图 9.8 寄存器的压栈操作

#### 9.4.4 中断程序的返回

在中断程序最后执行 REIT 指令时，恢复被压栈的中断顺序前的 FLG 寄存器及 PC，随即返回接受中断请求前执行的程序。

在中断程序内通过程序压栈的寄存器请在执行 REIT 指令前用 POPM 等指令恢复。

#### 9.5 中断优先级

一条指令执行中发生 2 个或者 2 个以上的中断请求时，接受优先级高的中断。

可通过 ILVL2 ~ ILVL0 位任意选择可屏蔽中断（外围功能）的优先级。但是，中断优先级为相同设定值时，接受硬件设定的优先级高的中断。

通过硬件设定看门狗定时器中断等特殊中断的优先级。硬件中断的中断优先级如图 9.9 所示。软件中断不受中断优先级的影响。执行指令时，执行中断程序。

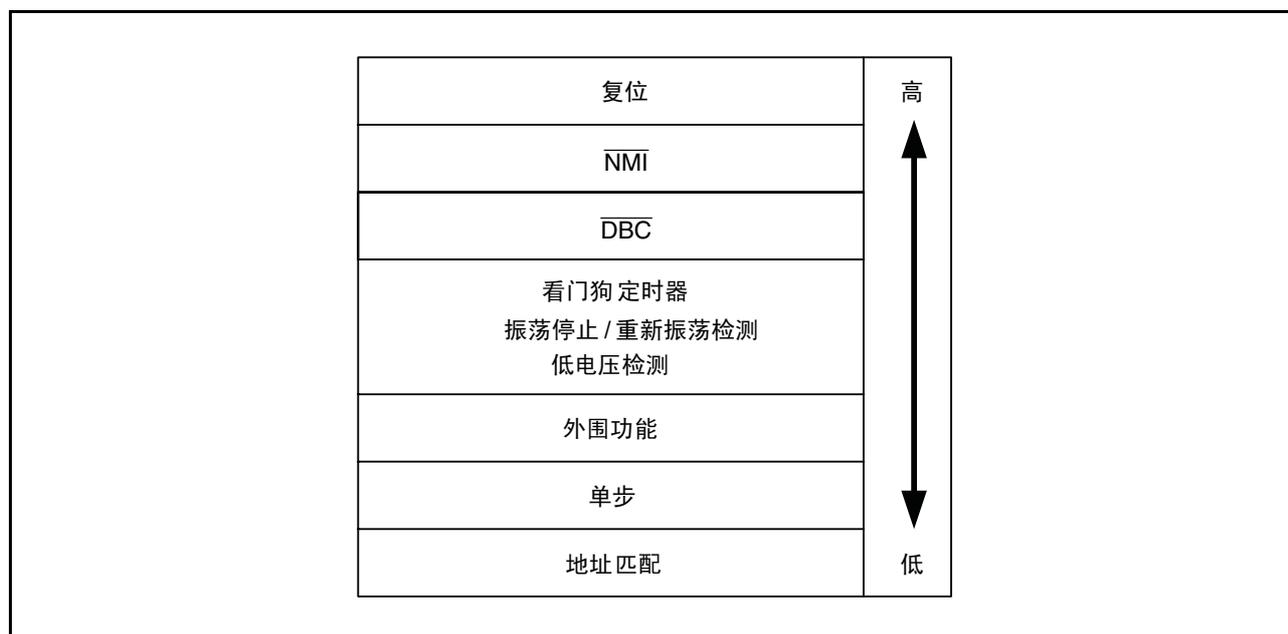


图 9.9 硬件中断的中断优先级

##### 9.5.1 中断优先级判断电路

中断优先级判断电路是用来选择最高优先级中断的电路。

中断优先级的判断电路如图 9.10 所示。

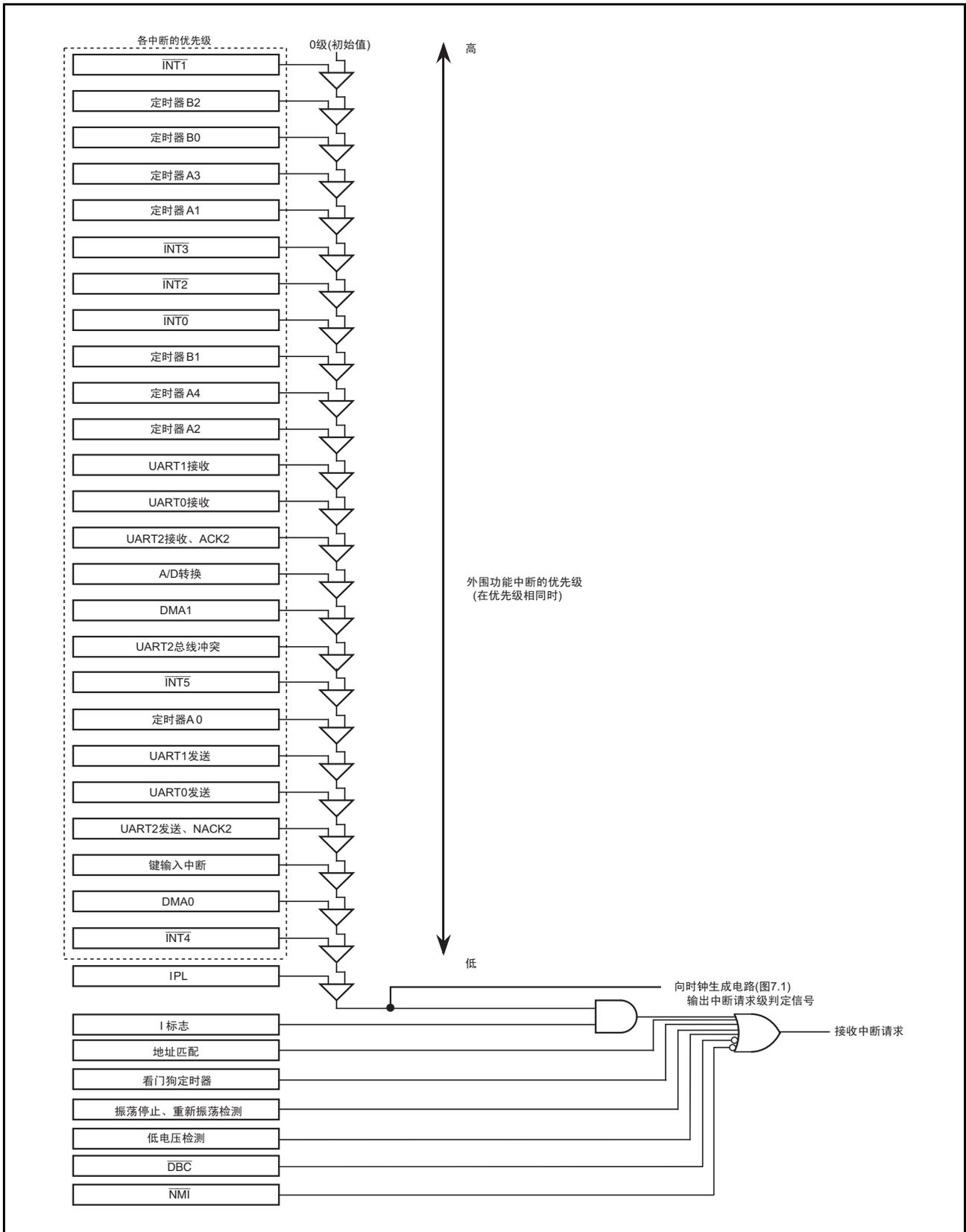


图 9.10 中断优先级的判断电路

## 9.6 $\overline{\text{INT}}$ 中断

$\overline{\text{INT}}_i$  中断 ( $i=0 \sim 5$ ) 为由外部输入产生的中断。 $\overline{\text{INT}}_i$  中断的极性可由 IFSR 寄存器的 IFSR $i$  位设定。使用 INT4 中断时, 请将 IFSR 寄存器的 IFSR6 位置 “1” ( $\overline{\text{INT}}_4$ ), 使用  $\overline{\text{INT}}_5$  中断时, 请将 IFSR 寄存器的 IFSR7 位置 “1” ( $\overline{\text{INT}}_5$ )。

请在更改 IFSR6、IFS7 位后将对应的 IR 位置 “0” (无中断请求), 然后允许中断。

$\overline{\text{INT}}_5$  输入具有数字消抖动功能, 能有效地消除噪声, 详细内容请参考 16.6 数字消抖动功能。另外, 在将  $\overline{\text{INT}}_5$  中断用于从停止模式返回时, 请在进入停止模式前将 P17DDR 寄存器设定为 “FF<sub>16</sub>”。

IFSR 寄存器如图 9.11 所示。

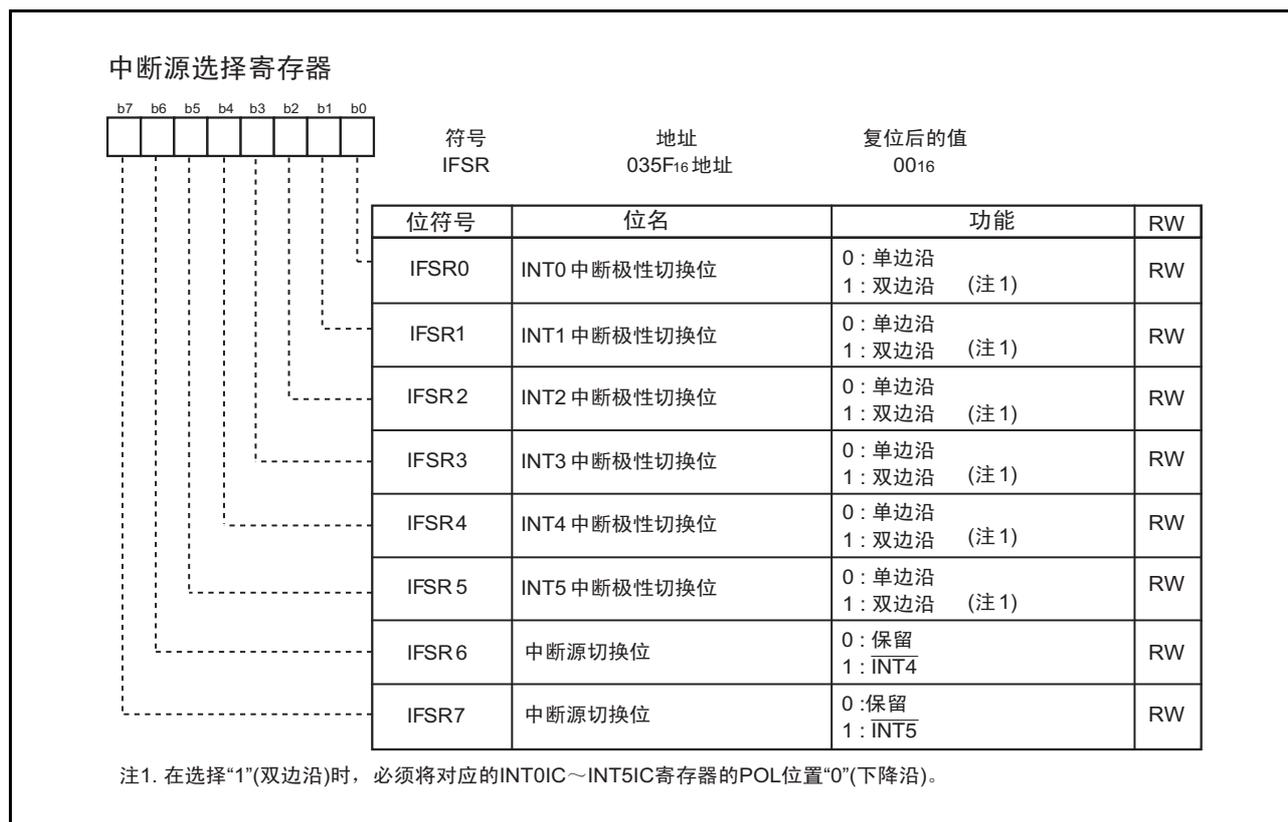


图 9.11 IFSR 寄存器

## 9.7 $\overline{\text{NMI}}$ 中断

通过将 PM2 寄存器的 PM24 位置 “1” ( $\overline{\text{NMI}}$  中断) 允许  $\overline{\text{NMI}}$  中断后, 若  $\overline{\text{NMI}}$  引脚的输入从 “H” 变为 “L”, 则产生  $\overline{\text{NMI}}$  中断请求,  $\overline{\text{NMI}}$  中断为非屏蔽中断。复位后  $\overline{\text{NMI}}$  中断无效, 通过将 PM24 位置 “1” 使其变为有效。允许  $\overline{\text{NMI}}$  中断后, 不能通过程序再次置为无效。另外, 可通过 P8 寄存器的 P8\_5 位读取此引脚的输入电平。

$\overline{\text{NMI}}$  输入具有数字消抖动功能, 可有效消除噪声, 详细内容请参考 16.6 数字消抖动功能。另外, 在将  $\overline{\text{NMI}}$  中断用于从停止模式返回时, 请在进入停止模式前将 NDDR 寄存器设定为 “FF<sub>16</sub>”。

## 9.8 键输入中断

P10<sub>4</sub> ~ P10<sub>7</sub> 中，PD10 寄存器的 PD10\_4 ~ PD10\_7 位为“0”（输入）的任意端口输入为下降沿时，产生键输入中断请求。键输入中断也可用作解除等待模式或停止模式的键唤醒功能，但是在使用键输入中断时，不能将 P10<sub>4</sub> ~ P10<sub>7</sub> 用作模拟输入引脚。键输入中断的框图如图 9.12 所示。另外，给对应 PD10\_4 ~ PD10\_7 位为“0”（输入模式）的任意引脚输入“L”电平时，检测不到其它引脚的输入中断。

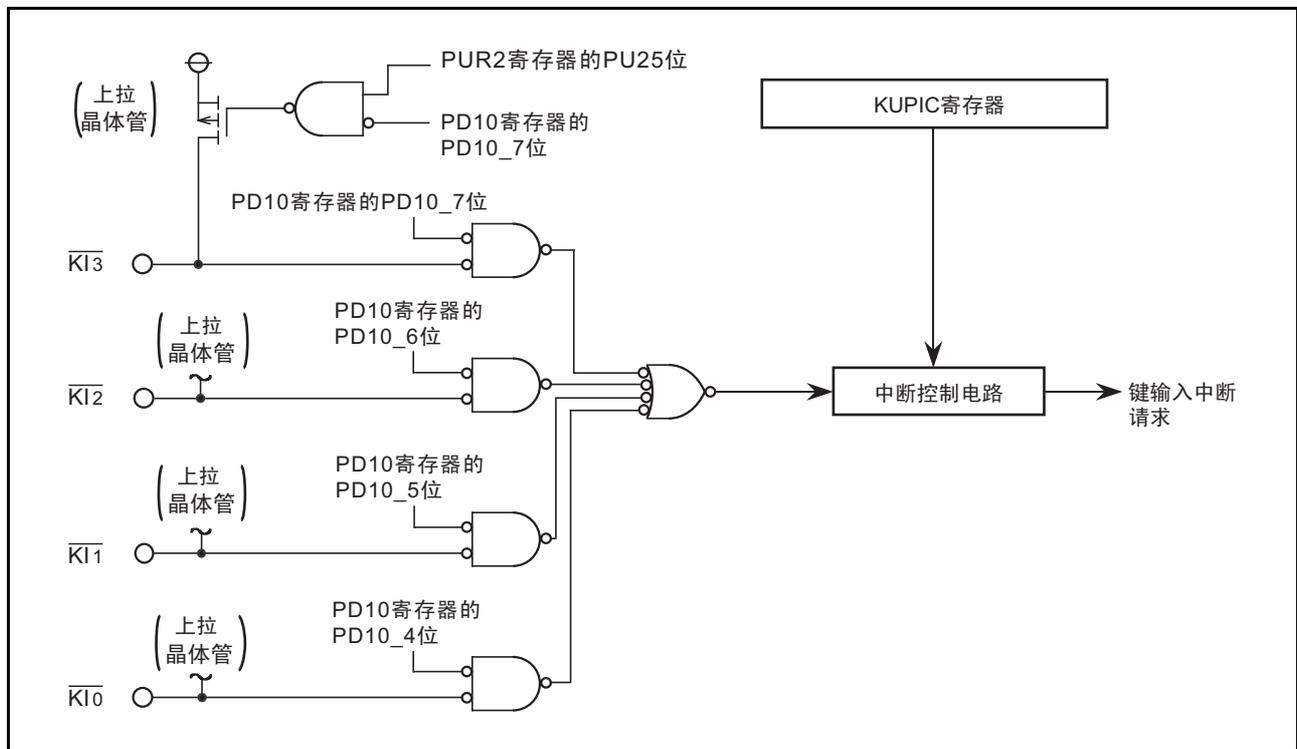


图 9.12 键输入中断的框图

## 9.9 地址匹配中断

执行  $RMAD_i$  ( $i=0 \sim 1$ ) 寄存器指向地址的指令前, 产生地址匹配中断请求。请将指令的起始地址设定到  $RMAD_i$  寄存器。可通过 AIER 寄存器的 AIER0 与 AIER1 位选择禁止或允许中断。地址匹配中断不受 I 标志、IPL 影响。接受地址匹配中断请求时被压栈的 PC 值 (请参考寄存器压栈) 根据  $RMAD_i$  寄存器指向的地址的指令而不同 (在堆栈中压栈的不是正确的返回地址)。因此, 在从地址匹配中断返回时, 请使用以下的任何一种方法进行:

- 在改写堆栈的内容后, 用 REIT 指令返回
- 在使用 POP 等指令将堆栈恢复到中断请求接受前的状态后, 用跳转指令返回。

接受地址匹配中断请求时被压栈的 PC 值如表 9.6 所示。

AIER、 $RMAD_0 \sim RMAD_1$  寄存器如图 9.13 所示。

表 9.6 接受地址匹配中断请求时压栈的 PC 值

RMAD <sub>i</sub> 寄存器指向的地址的指令	被压栈的 PC 值
<ul style="list-style-type: none"> <li>• 2 字节操作码的指令</li> <li>• 在 1 字节操作码的指令中, 为以下所示指令:            ADD.B: S #IMM8,dest SUB.B: S #IMM8,dest AND.B: S #IMM8,dest            OR.B: S #IMM8,dest MOV.B: S #IMM8,dest STZ.B #IMM8,dest            STNZ.B #IMM8,dest STZX.B #IMM81,#IMM82,dest            CMP.B: S #IMM8,dest PUSHM src POPM dest            JMPS #IMM8 JSRS #IMM8            MOV.B: S #IMM,dest (其中, dest = A0 或 A1)</li> </ul>	RMAD <sub>i</sub> 寄存器指向的地址 +2
除上述以外的指令	RMAD <sub>i</sub> 寄存器指向的地址 +1

被压栈的 PC 值: 请参考寄存器压栈

请参考 M16C/60、M16C/20 系列软件手册。4. SFRs 的各章节下有表示命令码的图。其粗框部分为操作码。

表 9.7 地址匹配中断源与相关寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断 0	AIER0	RMAD0
地址匹配中断 1	AIER1	RMAD1

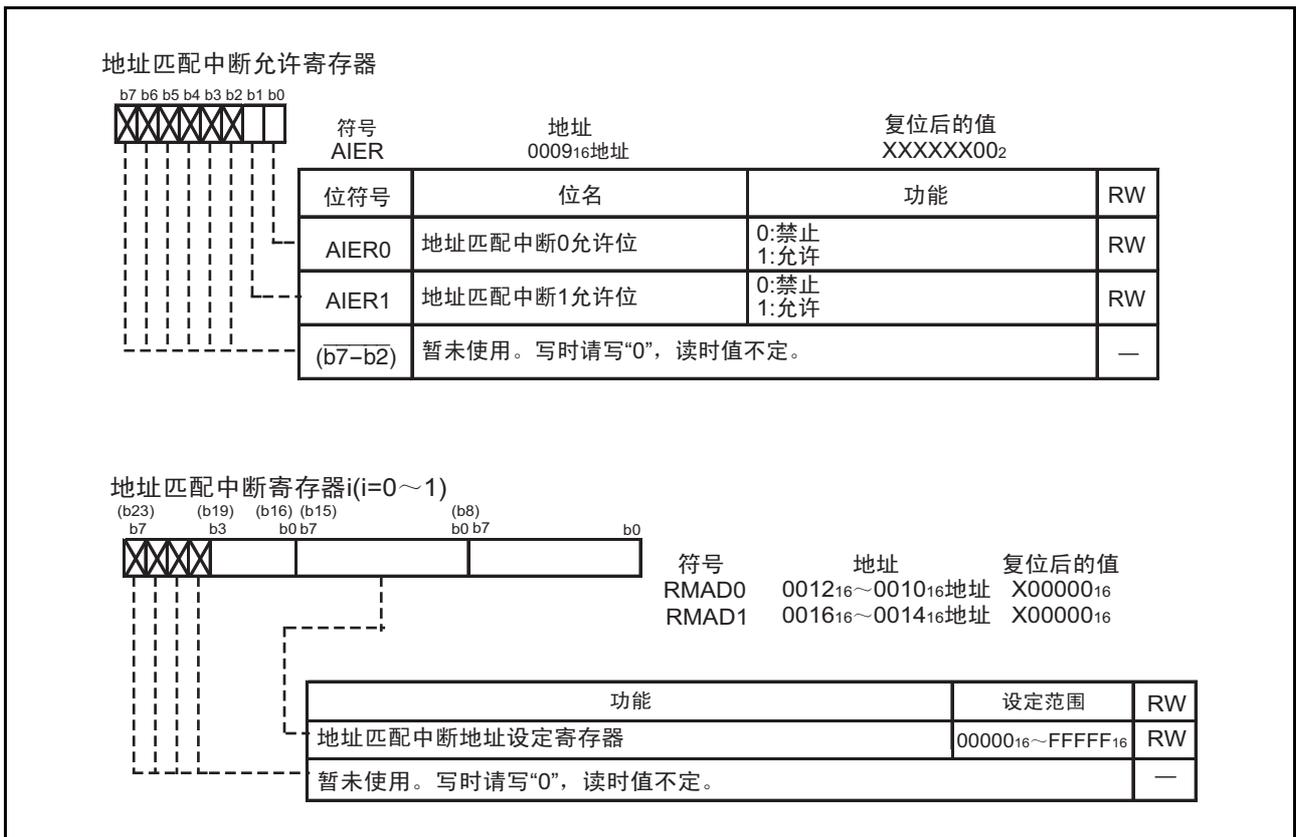


图 9.13 AIER、RMAD0、RMAD1 寄存器

## 10. 看门狗定时器

看门狗定时器具有检测程序是否失控的功能。因此，为了提高系统的可靠性，建议使用看门狗定时器。看门狗定时器具有 15 位计数器，对由预分频器将 CPU 时钟分频后的时钟进行递减计数。可以通过对 PM1 寄存器的 PM12 位的设定，选择当看门狗定时器发生下溢时，是产生看门狗定时器中断请求，还是进行看门狗定时器复位。PM12 位只能置“1”（看门狗定时器复位）。一旦将 PM12 位置“1”，就不可通过程序将其变为“0”（看门狗定时器中断）。看门狗定时器复位的详细内容请参考 5.3 看门狗定时器复位。

选择主时钟、内部振荡器时钟或 PLL 时钟为 CPU 时钟源时，可通过 WDC 寄存器的 WDC7 位将预分频器选择为 16 分频还是 128 分频。选择副时钟为 CPU 时钟源时，与 WDC7 位无关，预分频器总为 2 分频。因此，能用以下公式计算看门狗定时器周期。但是，看门狗定时器周期会因预分频器产生误差。

选择主时钟、内部振荡器时钟或 PLL 时钟为 CPU 时钟源时，

$$\text{看门狗定时器的周期} = \frac{\text{预定标器的分频 (16或128)} \times \text{看门狗定时器的计数值 (32768)}}{\text{CPU时钟}}$$

选择副时钟为 CPU 时钟源时，

$$\text{看门狗定时器的周期} = \frac{\text{预定标器的分频 (2)} \times \text{看门狗定时器的计数值 (32768)}}{\text{CPU时钟}}$$

例如，CPU 时钟为 16MHz 并且预分频器为 16 分频器时，看门狗定时器周期大约为 32.8ms。

看门狗定时器在写 WDTS 寄存器时被初始化，预分频器在复位后被初始化。而且，在复位后看门狗定时器与预分频器处于停止状态，因此可通过写 WDTS 寄存器启动计数。

请通过比看门狗定时器周期短的周期写 WDTS 寄存器。另外，请在看门狗定时器的中断程序的起始位置进行 WDTS 寄存器的写操作。

在停止模式、等待模式或 EW1 模式的执行指令中（擦除挂起模式中除外），看门狗定时器与预分频器处于停止状态，当状态解除时就从被保持的值开始计数。

看门狗定时器的框图如图 10.1 所示，看门狗定时器的相关寄存器如图 10.2 所示。

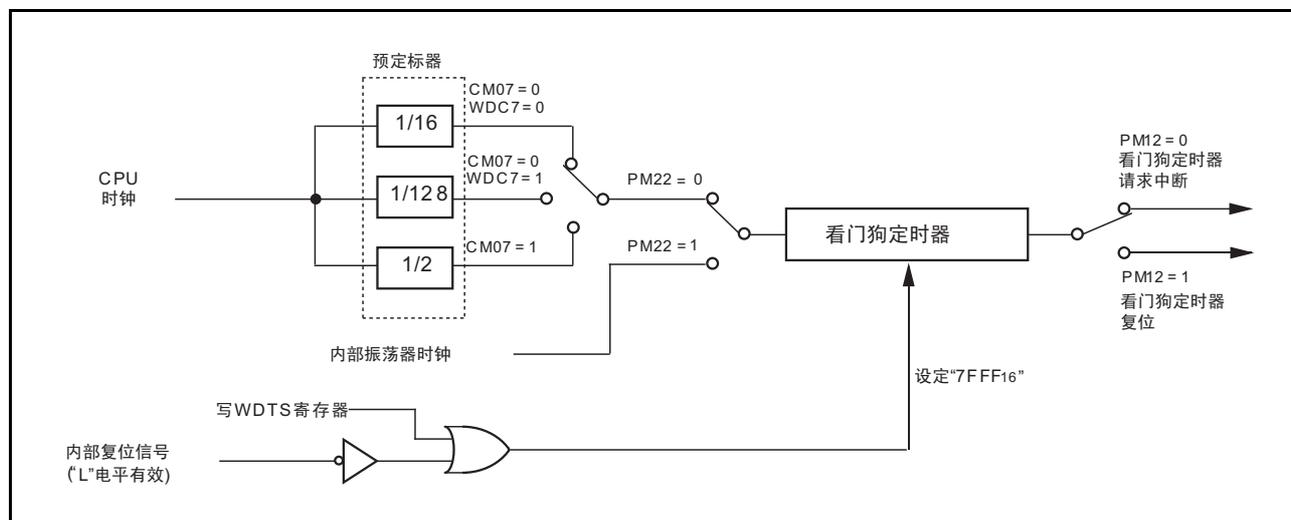


图 10.1 看门狗定时器的框图

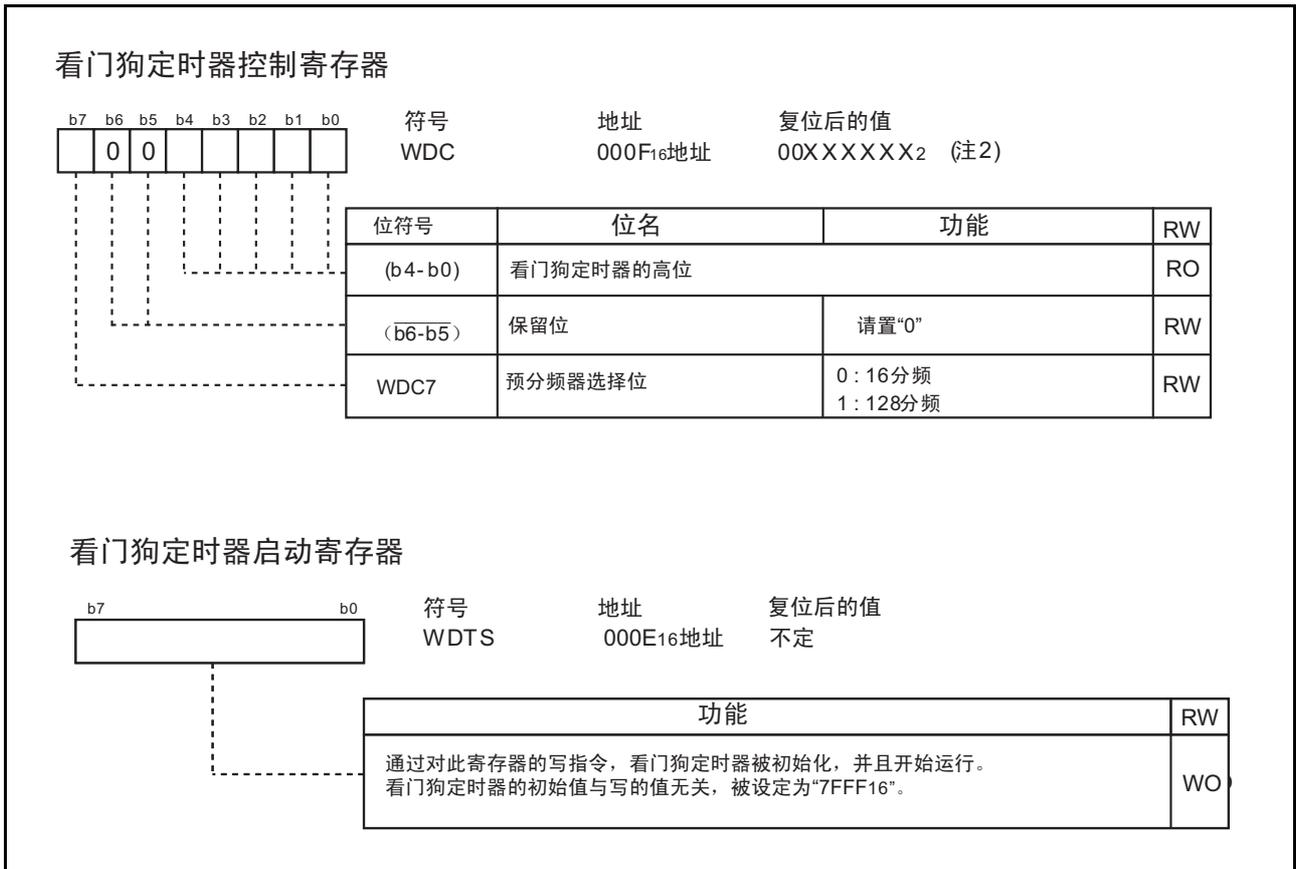


图 10.2 WDC、WDTS 寄存器

## 10.1 计数源保护模式

将内部振荡器时钟用作看门狗定时器计数源的模式。程序失控时即使 CPU 时钟停止，也能给看门狗定时器提供时钟。

使用此模式时，请进行以下寄存器设置：

1. 将PRCR寄存器的PRC1位置“1”（允许写PM1与PM2寄存器）
2. 将PM1寄存器的PM12位置“1”（看门狗定时器下溢时复位）
3. 将PM2寄存器的PM22位置“1”（看门狗定时器的计数源为内部振荡器时钟）
4. 将PRCR寄存器的PRC1位置“0”（禁止写PM1与PM2寄存器）
5. 写WDTS寄存器（看门狗定时器开始计数）

将PM22位置“1”时，变为以下状态：

- 即使CM21位为“0”（主时钟或PLL时钟），内部振荡器也不停止（通过CM21设定系统时钟的计数源有效）
- 内部振荡器开始振荡，内部振荡器时钟变为看门狗定时器的计数源

$$\text{看门狗定时器的周期} = \frac{\text{看门狗定时器的计数值 (32768)}}{\text{内部振荡器时钟}}$$

- 禁止写CM1寄存器的CM10位（即使写“1”也不变，不转换至停止模式）
- 等待模式时，看门狗定时器不停止运行

## 11. DMAC

## 注意

对于 42 引脚版，不能将 UART0 发送和 UART0 接收中断请求用于 DMA 请求源。

DMAC（直接存储器存取控制器）是不使用 CPU 直接发送数据的功能，有两个通道。每次发生 DMA 请求时，DMAC 将发送源地址的 1 个数据（8 位或 16 位）发送至发送目标地址。DMAC 使用与 CPU 相同的数据总线。因为 DMAC 的总线使用权高于 CPU 并采用周期挪用方式，所以能快速地进行从发生 DMA 请求到结束 1 个字（16 位）或 1 个字节（8 位）的数据发送。DMAC 框图如图 11.1 所示，DMAC 的规格如表 11.1 所示，DMAC 关联寄存器如图 11.2 ~ 图 11.4 所示。

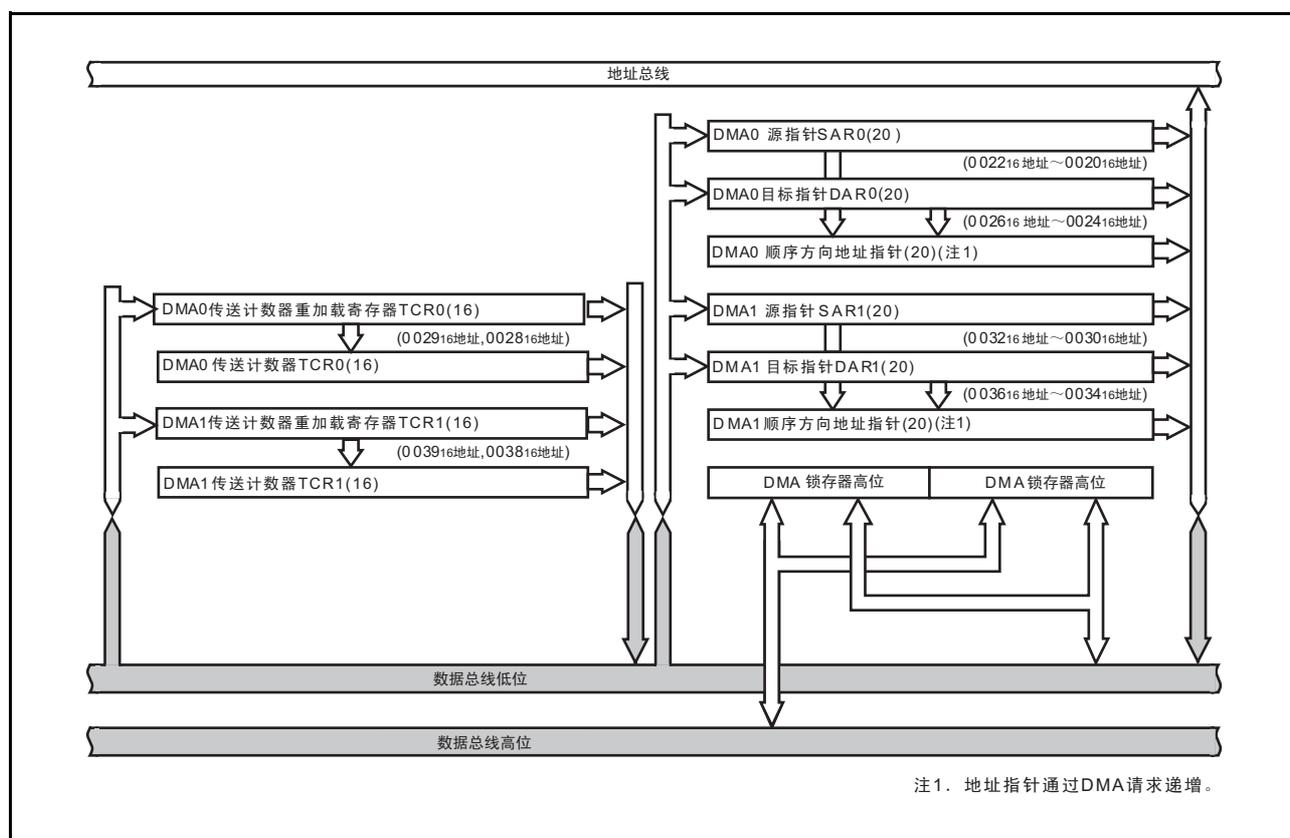


图 11.1 DMAC 框图

DMA 请求可以通过对 DMiSL 寄存器（ $i=0 \sim 1$ ）的 DSR 位进行写操作的方式实现，或通过 DMiSL 寄存器的 DMS 位、DSEL3 ~ DSEL0 位所指定的功能而产生中断请求的方式实现。但是，DMA 发送与中断请求的运行不同，不受 I 标志与中断控制寄存器的影响，所以在中断禁止时，即使不接受中断请求，也能接受 DMA 请求。另外，因为 DMAC 不影响中断，所以 DMA 发送时中断控制寄存器的 IR 位不变。

如果 DMiCON 寄存器的 DMAE 位为“1”（允许 DMA），就在每次发生 DMA 请求时开始数据发送。但是，DMA 请求的发生周期快于 DMA 发送周期时，会出现发送请求次数与发送次数不一致的情况。详细内容请参考 11.4 DMA 请求。

表 11.1 DMAC 的规格

项目		规格
通道数		2 个通道（周期挪用方式）
发送空间		<ul style="list-style-type: none"> <li>从 1M 字节的任意空间地址到固定地址</li> <li>从固定地址开始的 1M 字节的任意空间</li> <li>从固定地址到固定地址</li> </ul>
最大发送字节数		128K 字节（16 位发送时）、64K 字节（8 位发送时）
DMA 请求源（注 1、2）		$\overline{\text{INT0}}$ 或 $\overline{\text{INT1}}$ 引脚的下降沿 $\overline{\text{INT0}}$ 或 $\overline{\text{INT1}}$ 引脚的双边沿 定时器 A0 ~ 定时器 A4 中断请求 定时器 B0 ~ 定时器 B2 中断请求 UART0 发送、UART0 接收中断请求 UART1 发送、UART1 接收中断请求 UART2 发送、UART2 接收中断请求 A/D 转换中断请求 软件触发器
通道优先级		DMA0 > DMA1（DMA0 优先）
发送单位		8 位或 16 位
发送地址方向		正向或固定（不能将发送源与发送目标同时设定为正向）
发送模式	单次发送	DMA <sub>i</sub> 发送计数器（ $i=0 \sim 1$ ）下溢时结束发送
	重复发送	在 DMA <sub>i</sub> 发送计数器下溢后，DMA <sub>i</sub> 发送计数器重加载寄存器的值被重加载到 DMA <sub>i</sub> 发送计数器，继续 DMA 发送
DMA 中断请求的产生时序		DMA <sub>i</sub> 发送计数器下溢时
DMA 发送开始		将 DMA <sub>i</sub> CON 寄存器的 DMAE 位置“1”（允许）时，就在每次发生 DMA 请求时开始发送数据
DMA 发送停止	单次发送	<ul style="list-style-type: none"> <li>将 DMAE 位置“0”（禁止）</li> <li>DMA<sub>i</sub> 发送计数器下溢后</li> </ul>
	重复发送	<ul style="list-style-type: none"> <li>将 DMAE 位置“0”（禁止）</li> </ul>
正向地址指针、DMA <sub>i</sub> 发送计数器的重加载时序		在将 DMAE 位置“1”（允许）后开始数据发送时，将 SAR <sub>i</sub> 指针或 DAR <sub>i</sub> 指针中被指定为正向指针的值重加载到正向地址指针，将 DMA <sub>i</sub> 发送计数器重加载寄存器的值重加载到 DMA <sub>i</sub> 发送计数器

注 1. DMA 发送不影响各中断，也不受 I 标志与中断控制寄存器的影响。

注 2. 可选择的请求源根据通道而不同。

注 3. 不可通过 DMAC 存取 DMAC 的关联寄存器（0020<sub>16</sub> ~ 003F<sub>16</sub> 地址）。



图 11.2 DM0SL 寄存器

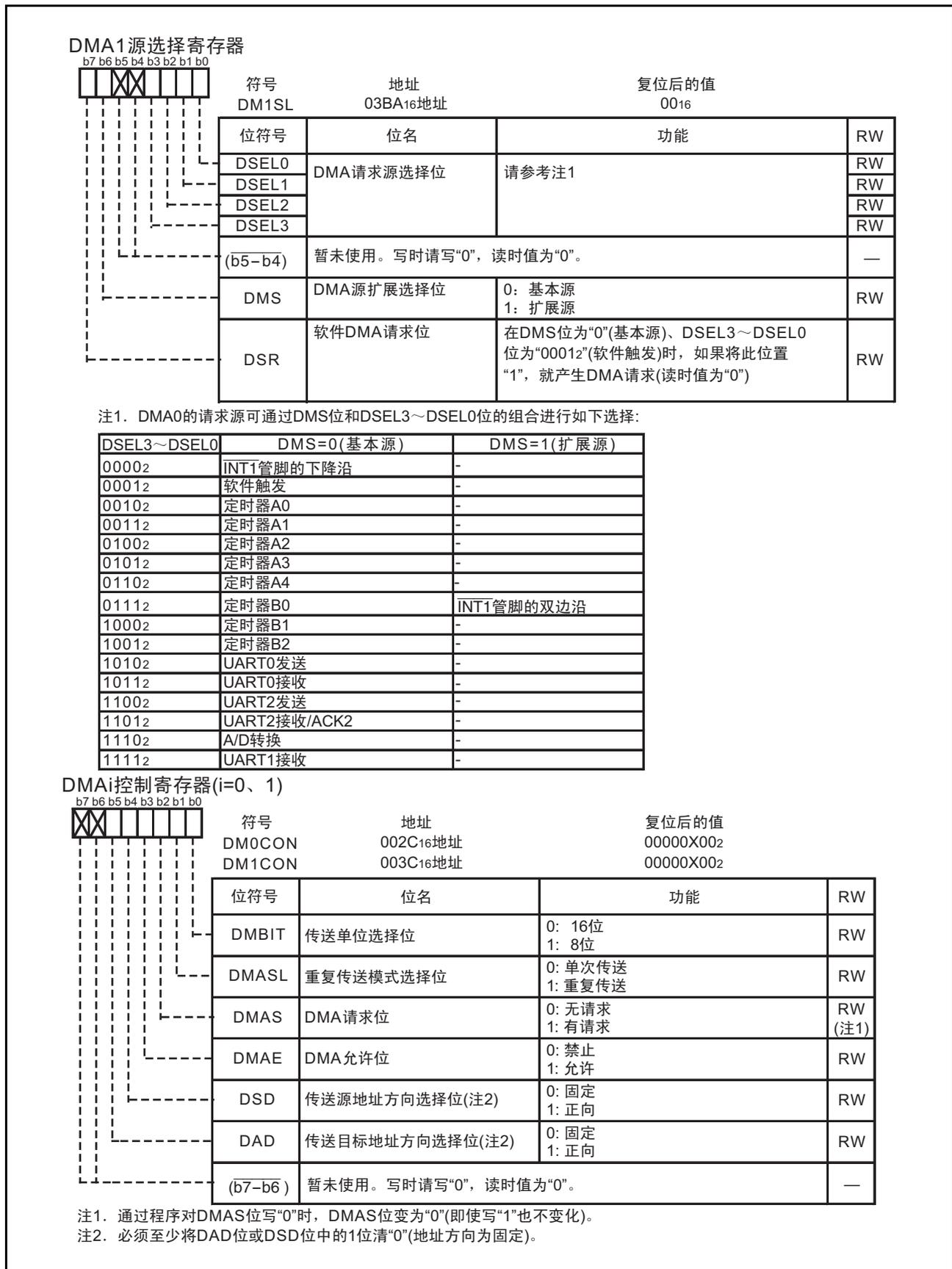


图 11.3 DM1SL 寄存器、DM0CON 寄存器与 DM1CON 寄存器

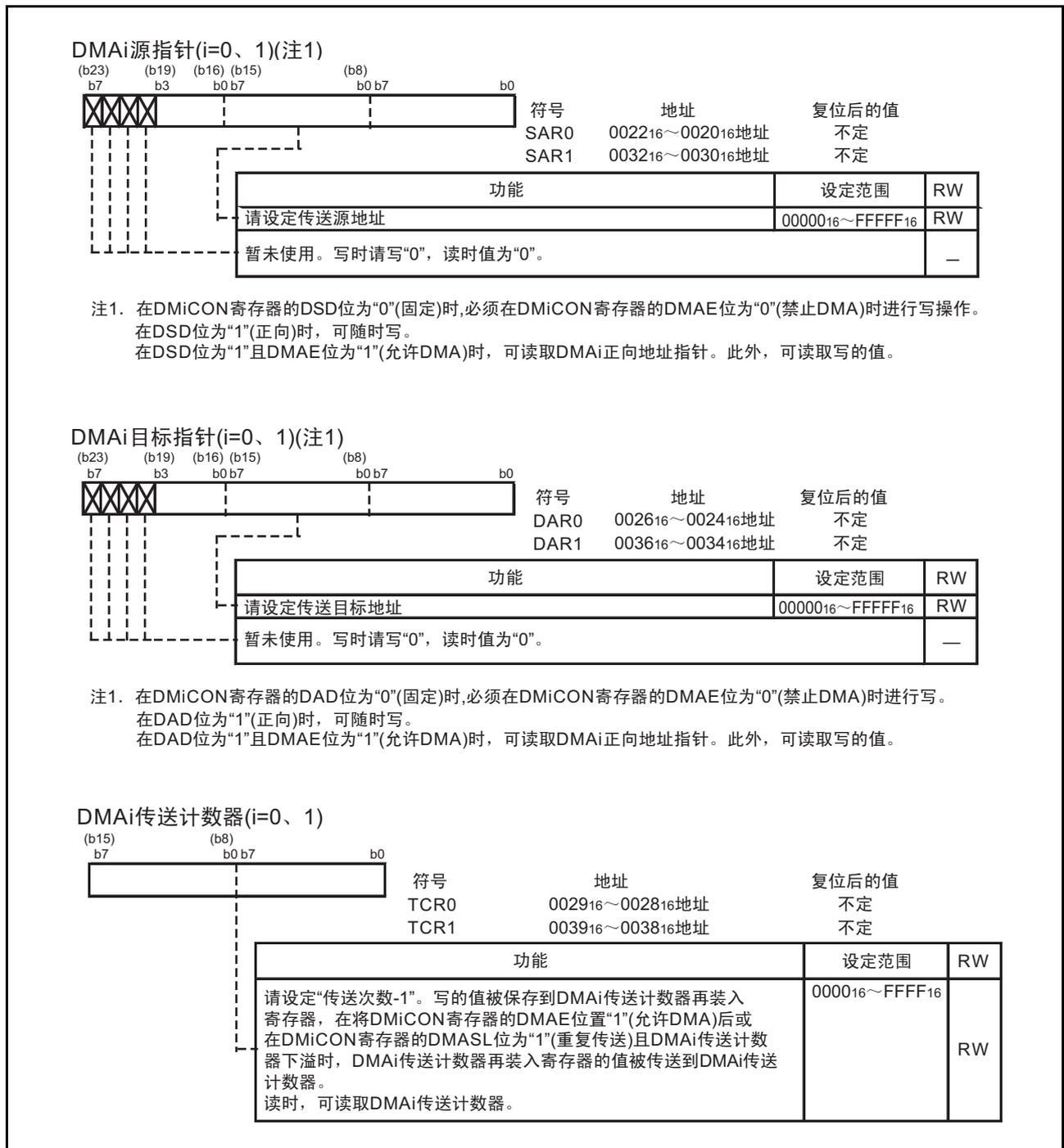


图 11.4 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1 寄存器

## 11.1 发送周期

发送周期由存储器或 SFR 的读（源读）总线周期与写（目标写）总线周期构成。读与写总线周期次数受发送源地址与发送目标地址的影响。而且，由于软件等待的影响，总线周期变长。

### 11.1.1 发送源地址、发送目标地址的影响

在发送单位为 16 位并且发送源地址从奇数地址开始时，源读周期比从偶数地址开始时增加 1 个总线周期。

同样，在发送单位为 16 位并且发送目标地址从奇数地址开始时，目标写周期比从偶数地址开始时增加 1 个总线周期。

### 11.1.2 软件等待的影响

在存取插入软件等待的存储器或 SFR 时，只增加软件等待数所需的总线周期数。

源读周期的例子如图 11.5 所示。在此图中，为方便起见，假设目标写周期为 1 个周期，列出不同条件的源读周期数。实际上与源读周期一样，目标写周期也受各种条件的影响，发送周期会相应变化。请根据目标写周期与源读周期的各种条件计算发送周期。例如，在发送单位为 16 位并且源地址与目标地址都为奇数地址时（图 11.5(2)），源读周期与目标写周期各需要 2 个总线周期。

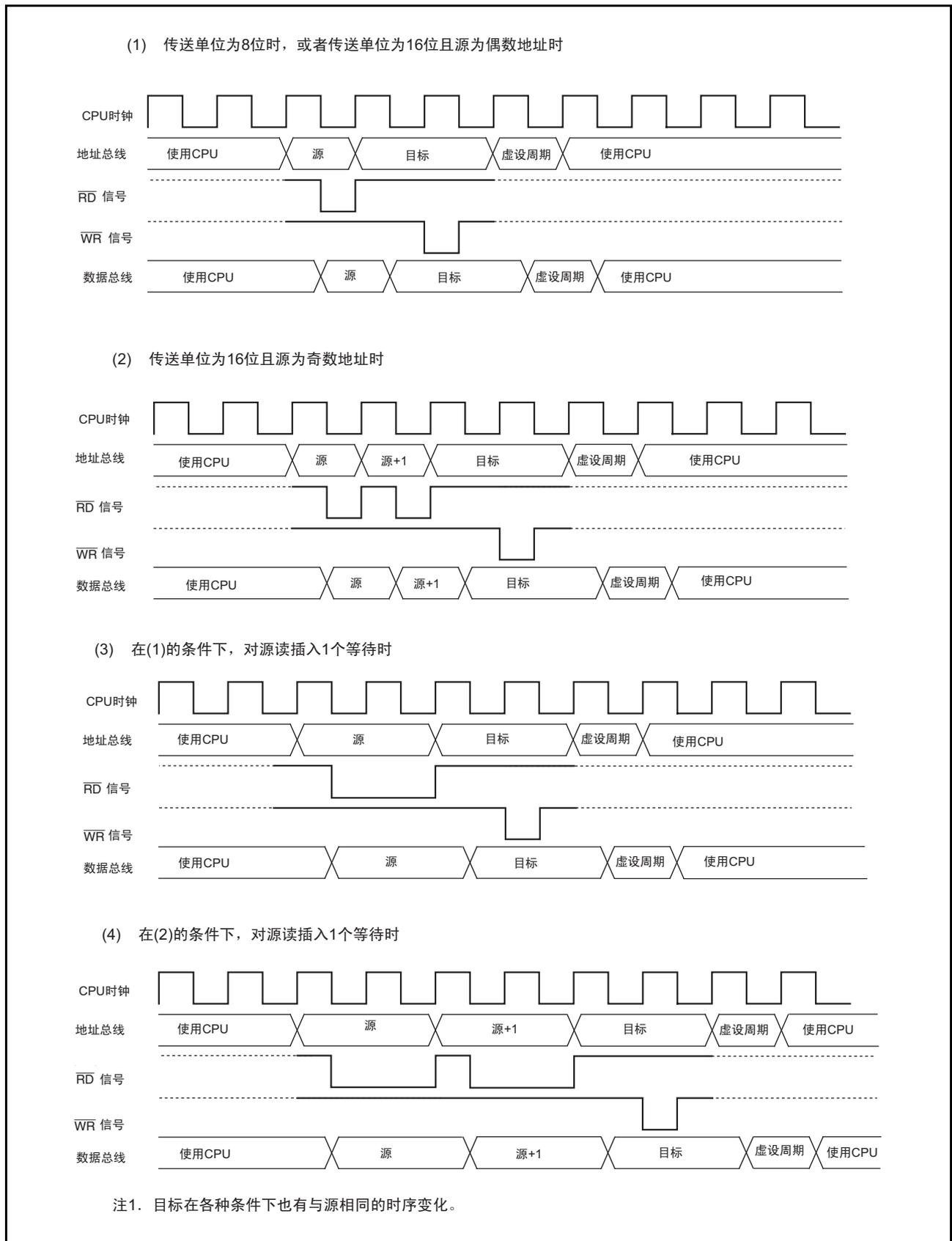


图 11.5 源读周期的例子

## 11.2 DMA 发送周期数

DMA 发送周期数可通过以下的计算式计算。

DMA 发送周期数如表 11.2 所示，计数 j、k 如表 11.3 所示。

$$1 \text{ 个发送单位的发送周期数} = \text{读周期数} \times j + \text{写周期数} \times k$$

表 11.2 DMA 发送周期数

发送单位	存取地址	读周期数	写周期数
8 位发送 (DMBIT = “1”)	偶数	1	1
	奇数	1	1
16 位发送 (DMBIT = “0”)	偶数	1	1
	奇数	2	2

表 11.3 j 计数 j、k

	内部区域			
	内部 ROM、RAM		SFR	
	无等待	有等待	1 个等待 (注)	2 个等待 (注)
j	1	2	2	3
k	1	2	2	3

注. 取决于 PM2 寄存器的 PM20 位的设定值。

### 11.3 DMA 允许

在将 DMiCON 寄存器 ( $i = 0, 1$ ) 的 DMAE 位置 “1” (允许) 后开始发送数据时, DMAC 进行如下的动作:

1. 在 DMiCON 寄存器的 DSD 位为 “1” (正向) 时, 将 SARi 寄存器的值重加载到正向地址指针; 在 DMiCON 寄存器的 DAD 位为 “1” (正向) 时, 将 DARi 寄存器的值重加载到正向地址指针。
2. 将 DMAi 发送计数器重加载寄存器的值重加载到 DMAi 发送计数器

如果在 DMAE 位为 “1” 时再次写 “1”, 就进行上述运行。

但是, 在写 DMAE 位的同时有可能发生 DMA 请求的情况下, 请按以下步骤写:

1. 对 DMiCON 寄存器的 DMAE 位与 DMAS 位同时写 “1”。
2. 通过程序确认 DMAi 是否处于初始状态 (上述 a、b 的状态)。  
在 DMAi 没处于初始状态的情况下, 重复 1、2 的操作。

### 11.4 DMA 请求

DMAC 能对各通道根据 DMiSL 寄存器 ( $i = 0, 1$ ) 的 DMS 位与 DESL3 ~ DESL0 位选择的请求源作为触发源来产生 DMA 请求。DMAS 位变化的时序如表 11.4 所示。

与 DMAE 位的状态无关, 发生 DMA 请求时, 变为 “1” (有请求)。DMAE 位为 “1” (允许) 的情况下, 在即将开始发送数据前, DMAS 位变为 “0” (无请求)。另外, 通过程序能将 DMAS 位置 “0” 而不能置 “1”。

更改 DMS 位与 DSEL3 ~ DESL0 位时, DMAS 位有可能变为 “1”。因此, 必须在更改 DMS 位与 DSEL3 ~ DESL0 位后, 将 DMAS 位置 “0”。

如果 DMAE 位为 “1”, 就在发生 DMA 请求后立刻开始发送数据, 所以在通过程序读 DMAS 位时, 大部分情况下读到的是 “0”。在判断 DMAC 是否为允许状态时, 请读 DMAE 位。

表 11.4 DMAS 位变化的时序

DMA 源	DMiCON 寄存器的 DMAS 位	
	变为 “1” 的时序	变为 “0” 的时序
软件触发	在将 DMiSL 寄存器的 DSR 位置 “1” 时	<ul style="list-style-type: none"> <li>• 在即将开始数据发送前</li> <li>• 在通过程序写 “0” 时</li> </ul>
外围功能	在由 DMiSL 寄存器的 DSEL3 ~ DSEL0 位与 DMS 位选择的外围功能的中断控制寄存器的 IR 位变为 “1” 时	

### 11.5 通道的优先顺序与 DMA 发送时序

在 DMA0 与 DMA1 都为允许状态时，如果 DMA0 与 DMA1 的 DMA 发送请求信号出现在同一个采样周期（CPU 时钟的下降沿到下一个下降沿的一个周期），各通道的 DMAS 位就同时变为“1”（有请求）。此时的通道优先级为  $\text{DMA0} > \text{DMA1}$ 。以下说明 DMA0 与 DMA1 的请求出现在同一个采样周期时的运行。由外部源产生 DMA 发送的例子如图 11.6 所示。

因为在图 11.6 中同时产生了 DMA0 与 DMA1 的请求，所以先接受通道优先级高的 DMA0 请求开始发送。在 DMA0 结束 1 个发送单位后将总线使用权让给 CPU。然后，在 CPU 结束 1 次总线存取后 DMA1 开始发送，在 DMA1 结束 1 个发送单位后将总线使用权还给 CPU。

另外，因为 DMAS 位是各通道的 1 个位，所以无法对 DMA 的请求次数进行计数。因此，如同图 11.6 中的 DMA1，在获得总线使用权前即使发生多次 DMA 请求，也在获得总线使用权后将 DMAS 位置“0”，并且在结束 1 个发送单位后将总线使用权还给 CPU。

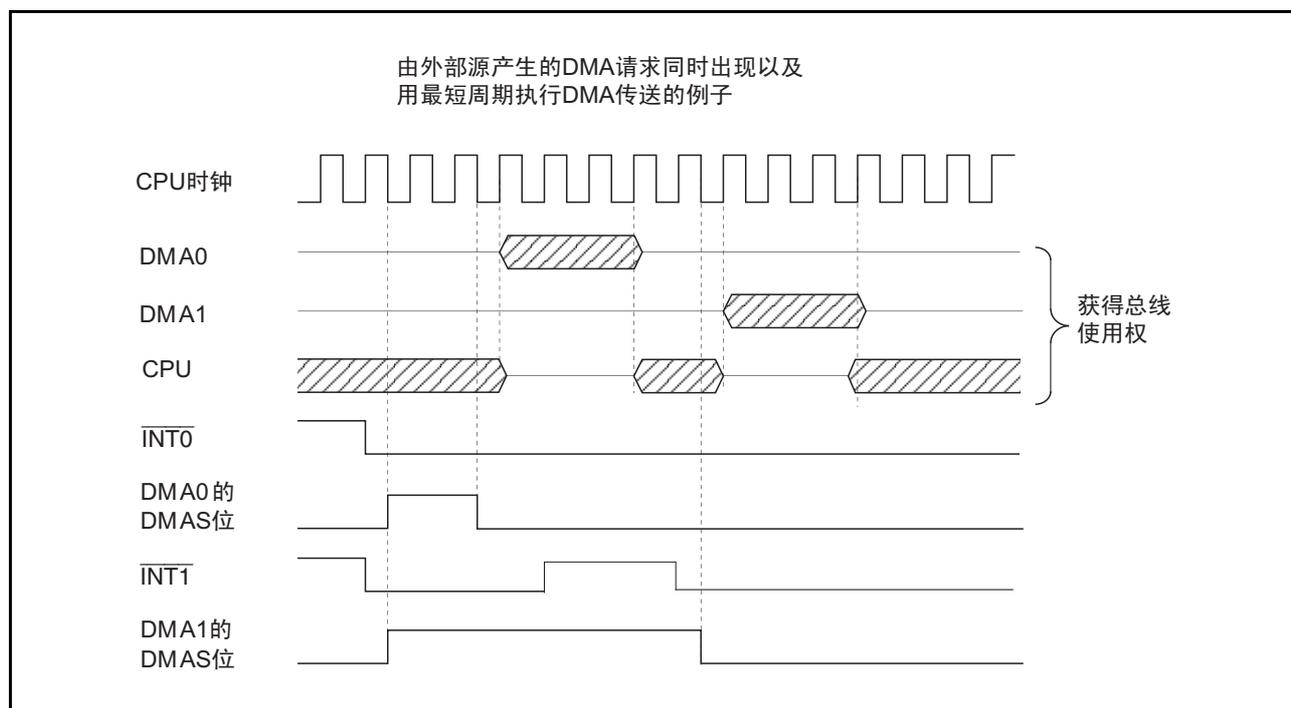


图 11.6 由外部源产生的 DMA 发送的例子

## 12. 定时器

### 注意

12. 定时器是对 M16C/26A（48 引脚版）、M16C/26T 举例说明。

42 引脚版没有 TB2<sub>IN</sub> 引脚。不能使用此引脚的功能。

有 8 个 16 位定时器，根据功能分为定时器 A（5 个）与定时器 B（3 个）两类。所有定时器都独立运行，各定时器的计数源为计数、重加载等定时器运行的运行时钟。定时器 A 的结构如图 12.1 所示，定时器 B 的结构如图 12.2 所示。

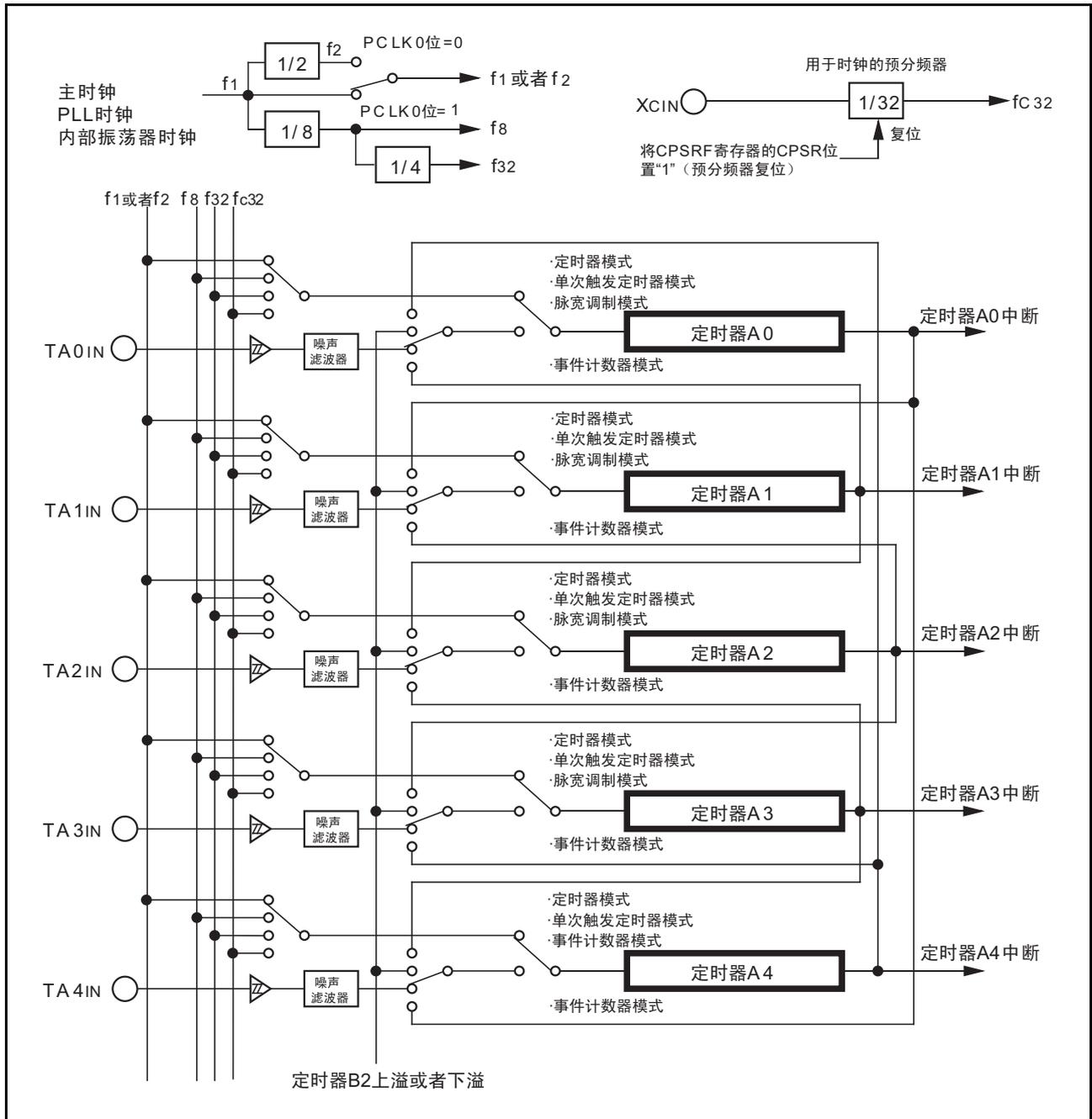


图 12.1 定时器 A 的结构

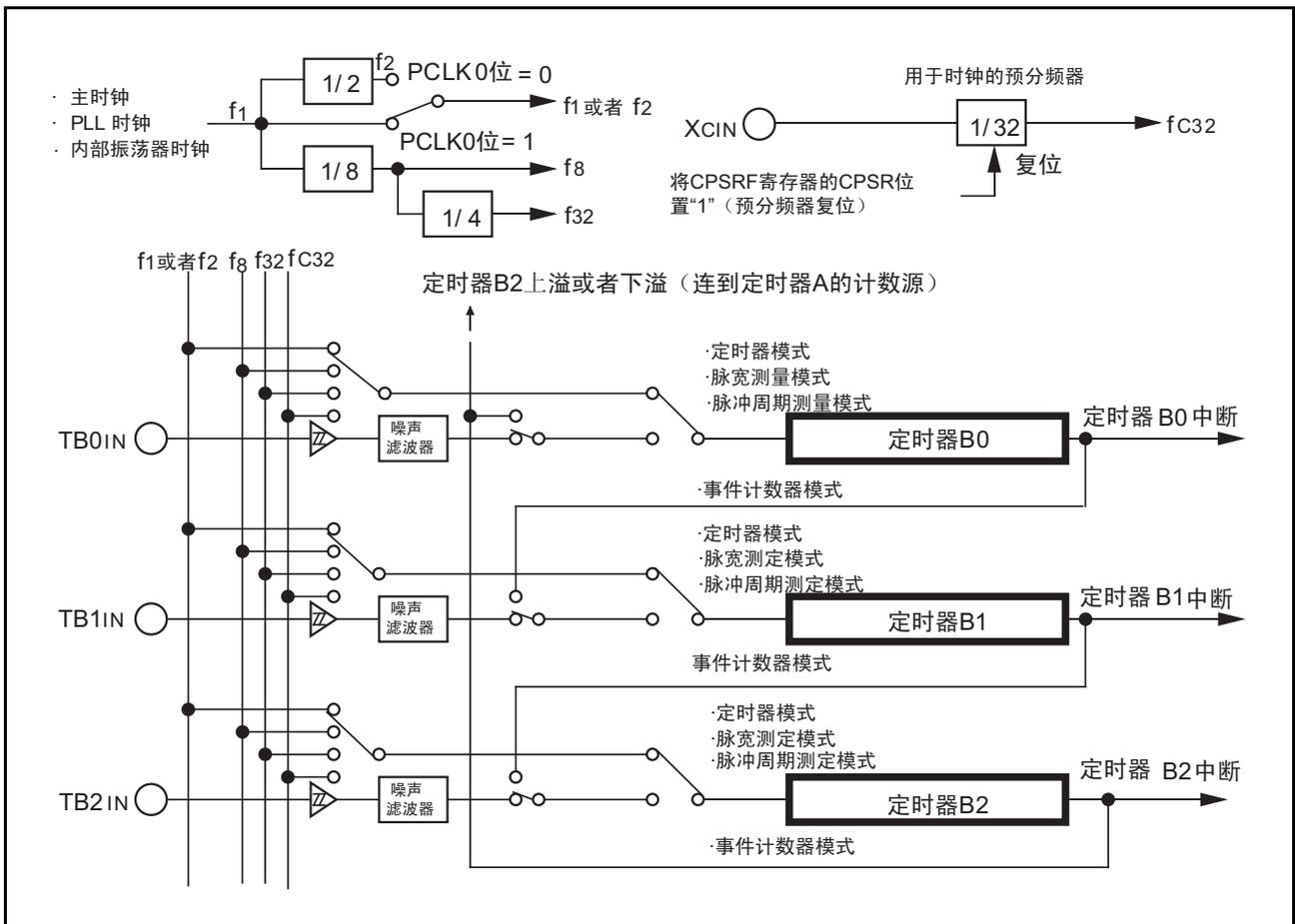


图 12.2 定时器 B 的结构

## 12.1 定时器 A

定时器 A 的框图如图 12.3 所示，定时器 A 的相关寄存器如图 12.4 ~ 图 12.6 所示。

定时器 A 有以下 4 种模式。除了事件计数器模式外，定时器 A0 ~ A4 具有相同功能。通过 TAI<sub>MR</sub> 寄存器 (i=0 ~ 4) 的 TMOD1 ~ TMOD0 位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器模式 对来自外部的脉冲、其它定时器的上溢或其它定时器的下溢进行计数的模式
- 单次触发定时器模式 计数值变为“0000<sub>16</sub>”之前，只输出 1 次脉冲的模式
- 脉宽调制模式 连续输出任意宽度的脉冲模式

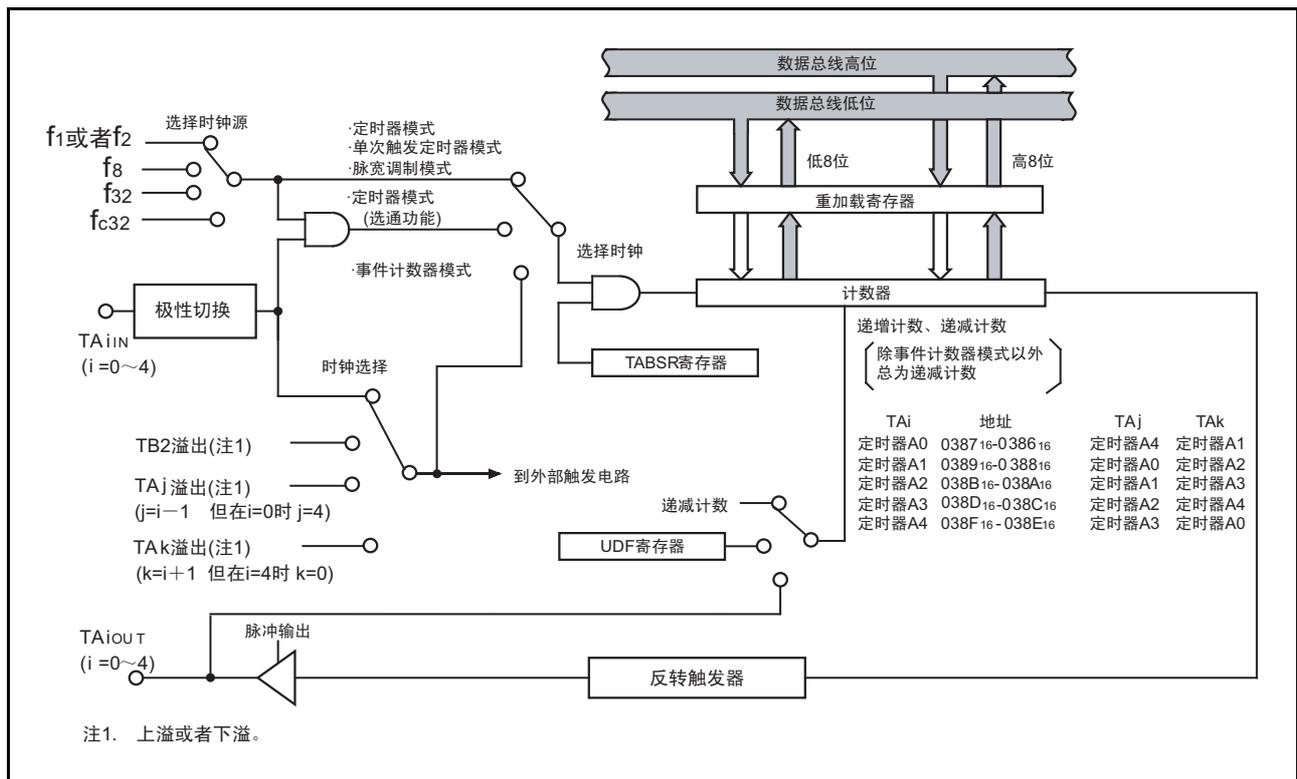


图 12.3 定时器 A 的框图

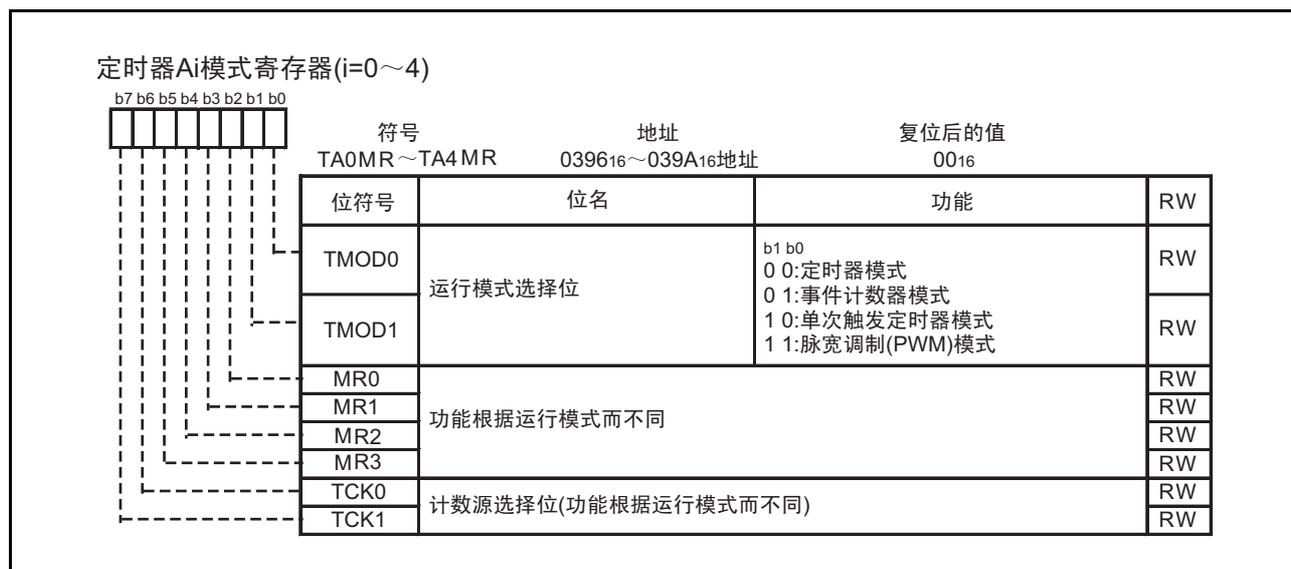
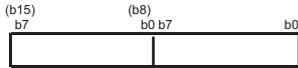


图 12.4 TA0MR ~ TA4MR 寄存器

定时器Ai寄存器(i=0~4)(注1)

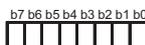


符号	地址	复位后的值
TA0	0387 <sub>16</sub> ~0386 <sub>16</sub> 地址	不定
TA1	0389 <sub>16</sub> ~0388 <sub>16</sub> 地址	不定
TA2	038B <sub>16</sub> ~038A <sub>16</sub> 地址	不定
TA3	038D <sub>16</sub> ~038C <sub>16</sub> 地址	不定
TA4	038F <sub>16</sub> ~038E <sub>16</sub> 地址	不定

模式	功能	设定范围	RW
定时器模式	如果设定值为n, 就将计数源进行“n+1”分频	0000 <sub>16</sub> ~FFFF <sub>16</sub>	RW
事件计数器模式	如果设定值为n, 就在递增计数时将计数源进行“FFFF <sub>16</sub> -n+1”分频, 而在递减计数时将计数源进行“n+1”分频(注5)	0000 <sub>16</sub> ~FFFF <sub>16</sub>	RW
单次触发定时器模式	如果设定值为n, 就将计数源进行n分频, 并停止运行	0000 <sub>16</sub> ~FFFF <sub>16</sub> (注2、注4)	WO
脉宽调制模式 (16位PWM)	如果设定值为n、计数源的频率为fj, 将进行如下的运行: PWM的周期: $(2^{16}-1)/fj$ PWM脉冲的“H”电平宽度: $n/fj$	0000 <sub>16</sub> ~FFFE <sub>16</sub> (注3、注4)	WO
脉宽调制模式 (8位PWM)	如果高位地址的设定值为n、低位地址的设定值为m、计数源的频率为fj, 将进行如下的运行: PWM的周期: $(2^8-1) \times (m+1)/fj$ PWM脉冲的“H”电平宽度: $(m+1)n/fj$	0016~FE16 (高位地址) 0016~FF16 (低位地址) (注3、注4)	WO

- 注1. 必须以16位为单位进行存取。
- 注2. 在TAi寄存器为“0000<sub>16</sub>”时, 计数器不运行, 不产生定时器Ai中断请求。另外, 在选择有脉冲输出时, 不从TAiOUT管脚输出脉冲。
- 注3. 在TAi寄存器为“0000<sub>16</sub>”时, 脉宽调制器不运行, TAiOUT管脚的输出保持“L”电平, 也不产生定时器Ai中断请求。另外, 在作为8位脉宽调制器运行时, 与将TAi寄存器的高8位设定成“00<sub>16</sub>”的情况相同。
- 注4. 请使用MOV指令写TAi寄存器。
- 注5. 对来自外部的脉冲、其它定时器的溢出或者其它定时器的下溢进行计数。

计数起始标志寄存器



符号	地址	复位后的值
TABSR	0380 <sub>16</sub> 地址	00 <sub>16</sub>

位符号	位名	功能	RW
TA0S	定时器A0计数起始标志	0:停止计数 1:开始计数	RW
TA1S	定时器A1计数起始标志		RW
TA2S	定时器A2计数起始标志		RW
TA3S	定时器A3计数起始标志		RW
TA4S	定时器A4计数起始标志		RW
TB0S	定时器B0计数起始标志		RW
TB1S	定时器B1计数起始标志		RW
TB2S	定时器B2计数起始标志		RW

递增/递减标志(注1)



符号	地址	复位后的值
UDF	0384 <sub>16</sub> 地址	00 <sub>16</sub>

位符号	位名	功能	RW
TA0UD	定时器A0递增/递减标志	0:递减计数 1:递增计数	RW
TA1UD	定时器A1递增/递减标志		RW
TA2UD	定时器A2递增/递减标志		RW
TA3UD	定时器A3递增/递减标志		RW
TA4UD	定时器A4递增/递减标志	在事件计数器模式并将TAiMR寄存器的MR2位置“0”(切换源为UDF寄存器)时有效	RW
TA2P	定时器A2二相脉冲信号处理功能选择位	0:禁止二相脉冲信号处理功能 1:允许二相脉冲信号处理功能 (注2、注3)	WO
TA3P	定时器A3二相脉冲信号处理功能选择位		WO
TA4P	定时器A4二相脉冲信号处理功能选择位		WO

- 注1. 请使用MOV指令写UDF寄存器。
- 注2. 必须将对应TA2IN~TA4IN和TA2OUT~TA4OUT管脚的端口方向位置“0”(输入模式)。
- 注3. 在不使用二相脉冲信号处理功能时, 必须将对应定时器A2~定时器A4的位置“0”。

图 12.5 TA0 ~ TA4、TABSR 与 UDF 寄存器

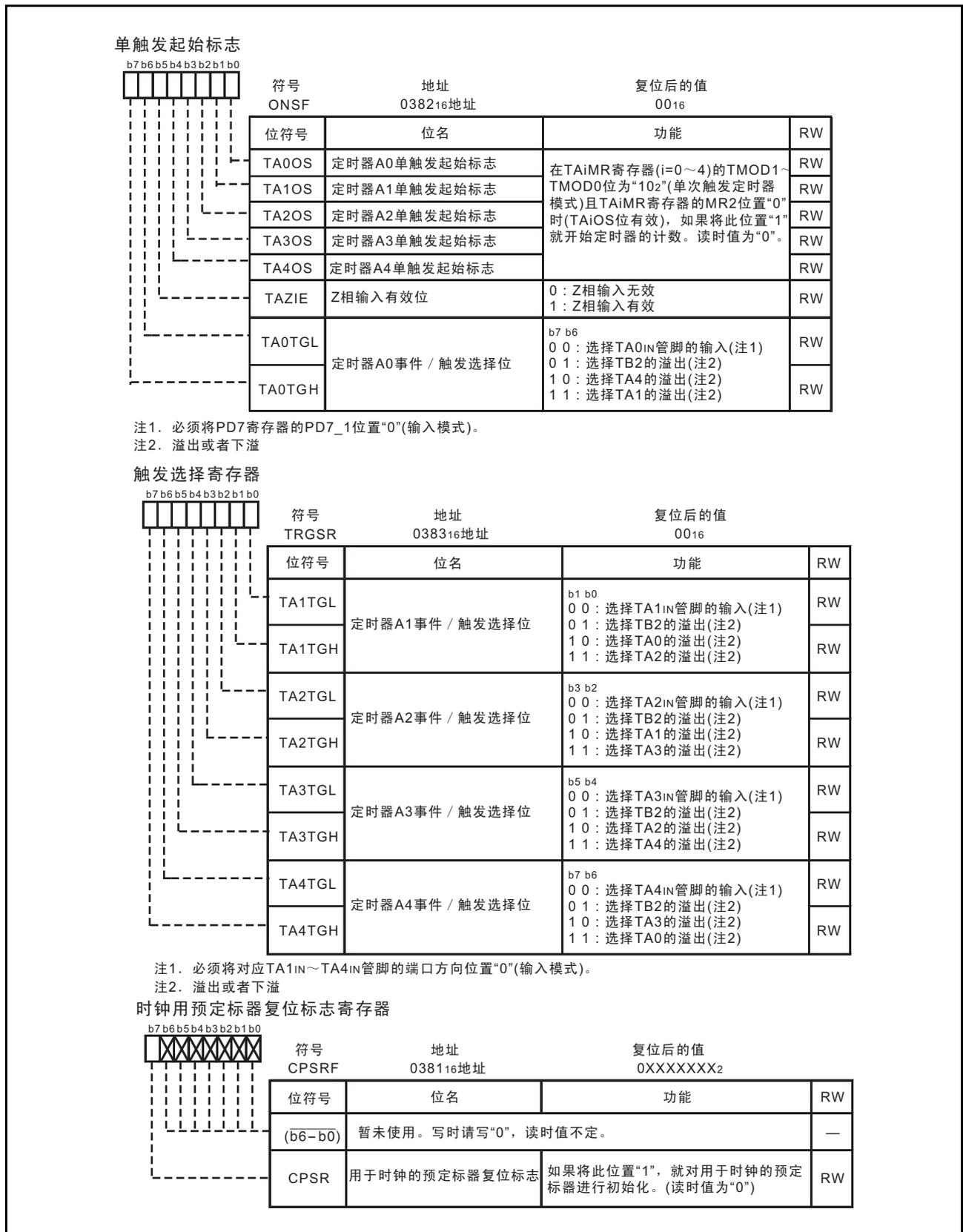


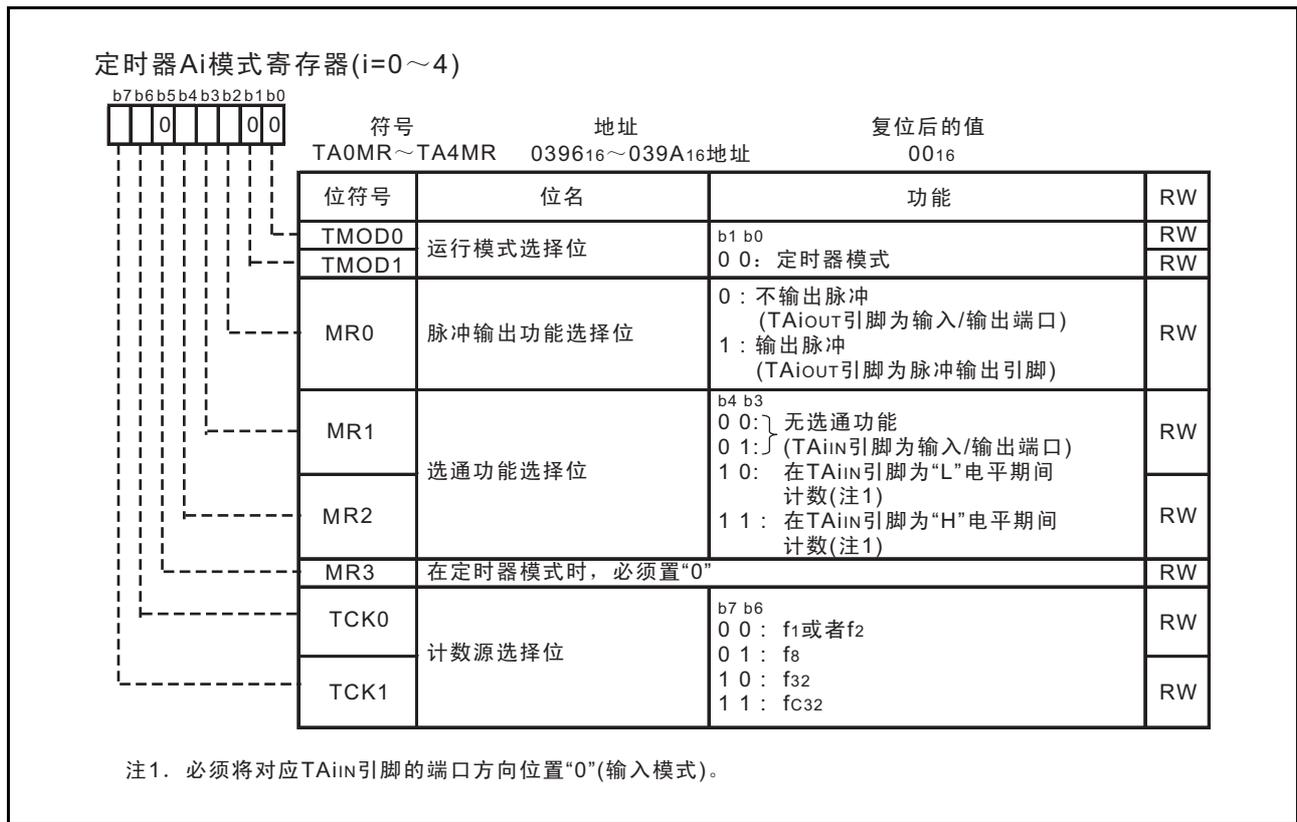
图 12.6 ONSF、TRGSR 与 CPSRF 寄存器

### 12.1.1 定时器模式

定时器模式是对在内部生成的计数源进行计数的模式（表 12.1）。定时器模式时的 TAI<sub>MR</sub> 寄存器如图 12.7 所示。

表 12.1 定时器模式的规格

项目	规格
计数源	f <sub>1</sub> 、f <sub>2</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C32</sub>
计数运行	<ul style="list-style-type: none"> <li>• 递减计数</li> <li>• 下溢时，将重加载寄存器的内容重加载后继续计数</li> </ul>
分频比	1/(n+1)    n: TAI 寄存器 (i=0 ~ 4) 的设定值为 0000 <sub>16</sub> ~ FFFF <sub>16</sub>
计数开始条件	将 TABSR 寄存器的 TAI <sub>S</sub> 位置 “1” (计数开始)
计数停止条件	将 TAI <sub>S</sub> 位置 “0” (计数停止)
中断请求产生时序	下溢时
TAI <sub>IN</sub> 引脚功能	输入 / 输出端口或选通输入
TAI <sub>OUT</sub> 引脚功能	输入 / 输出端口或脉冲输出
定时器的读出	读 TAI 寄存器，可读取计数值
定时器的写入	<ul style="list-style-type: none"> <li>• 计数停止时，或计数开始后到输入第一个计数源之前，如果给 TAI 寄存器写数据，它将同时被写入重加载寄存器与计数器中</li> <li>• 如果在进行计数时（但要在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（在下次重加载时传送）</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 选通功能 可通过 TAI<sub>IN</sub> 引脚的输入信号选择计数开始或计数停止</li> <li>• 脉冲输出功能 每次下溢时，反转 TAI<sub>OUT</sub> 引脚的输出极性。在计数停止时输出 “L” 电平</li> </ul>

图 12.7 定时器模式时的 TAI<sub>i</sub>MR 寄存器

### 12.1.2 事件计数器模式

事件计数器模式是对外部信号、其它定时器的上溢或下溢进行计数的模式。定时器 A2、A3、A4 能对二相外部信号进行计数。事件计数器模式的规格（不使用二相脉冲信号处理功能时）如表 12.2、事件计数器模式的规格（定时器 A2、A3、A4 使用二相脉冲信号处理功能时）如表 12.3 所示。

事件计数器模式时的 TAI<sub>MR</sub> 寄存器（不使用二相脉冲信号处理功能时）如图 12.8、事件计数器模式时的 TA2<sub>MR</sub> ~ TA4<sub>MR</sub> 寄存器（定时器 A2、A3、A4 使用二相脉冲信号处理功能时）如图 12.9 所示。

表 12.2 事件计数器模式的规格（不使用二相脉冲信号处理功能时）

项目	规格
计数源	<ul style="list-style-type: none"> <li>输入至 TAI<sub>iN</sub> 引脚（i=0 ~ 4）的外部信号（可通过程序选择有效沿）</li> <li>定时器 B2 上溢或下溢</li> <li>定时器 A<sub>j</sub>（j=i-1，但在 i=0 时 j=4）上溢或下溢、</li> <li>定时器 A<sub>k</sub>（k=i+1，但在 i=4 时 k=0）上溢或下溢</li> </ul>
计数运行	<ul style="list-style-type: none"> <li>可通过外部信号或程序选择递增计数或递减计数</li> <li>上溢或下溢时，将重加载寄存器的内容重加载后继续计数。选择自由运行功能时，不进行重加载而继续计数。</li> </ul>
分频比	<ul style="list-style-type: none"> <li>递增计数时为 <math>1/(FFFF_{16} - n + 1)</math></li> <li>递减计数时为 <math>1/(n + 1)</math>      n: TAI 寄存器的设定值为 <math>0000_{16} \sim FFFF_{16}</math></li> </ul>
计数开始条件	将 TABSR 寄存器的 TAI <sub>S</sub> 位置“1”（计数开始）
计数停止条件	将 TAI <sub>S</sub> 位置“0”（计数停止）
中断请求产生时序	上溢或下溢时
TAI <sub>iN</sub> 引脚功能	输入 / 输出端口或计数源输入
TAI <sub>iOUT</sub> 引脚功能	输入 / 输出端口、脉冲输出或递增计数 / 递减计数的切换输入
定时器的读出	读 TAI 寄存器，可读取计数值
定时器的写入	<ul style="list-style-type: none"> <li>计数停止时，或计数开始后到输入第一个计数源之前，如果给 TAI 寄存器写数据，它将同时被写入重加载寄存器与计数器中。</li> <li>如果进行计数时（但是在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（下一次重加载时传送）</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>自由运行计数功能 即使发生上溢或下溢，也不从重加载寄存器进行重加载</li> <li>脉冲输出功能 每次上溢或下溢时，反转 TAI<sub>iOUT</sub> 引脚的输出极性。计数停止时输出“L”电平</li> </ul>

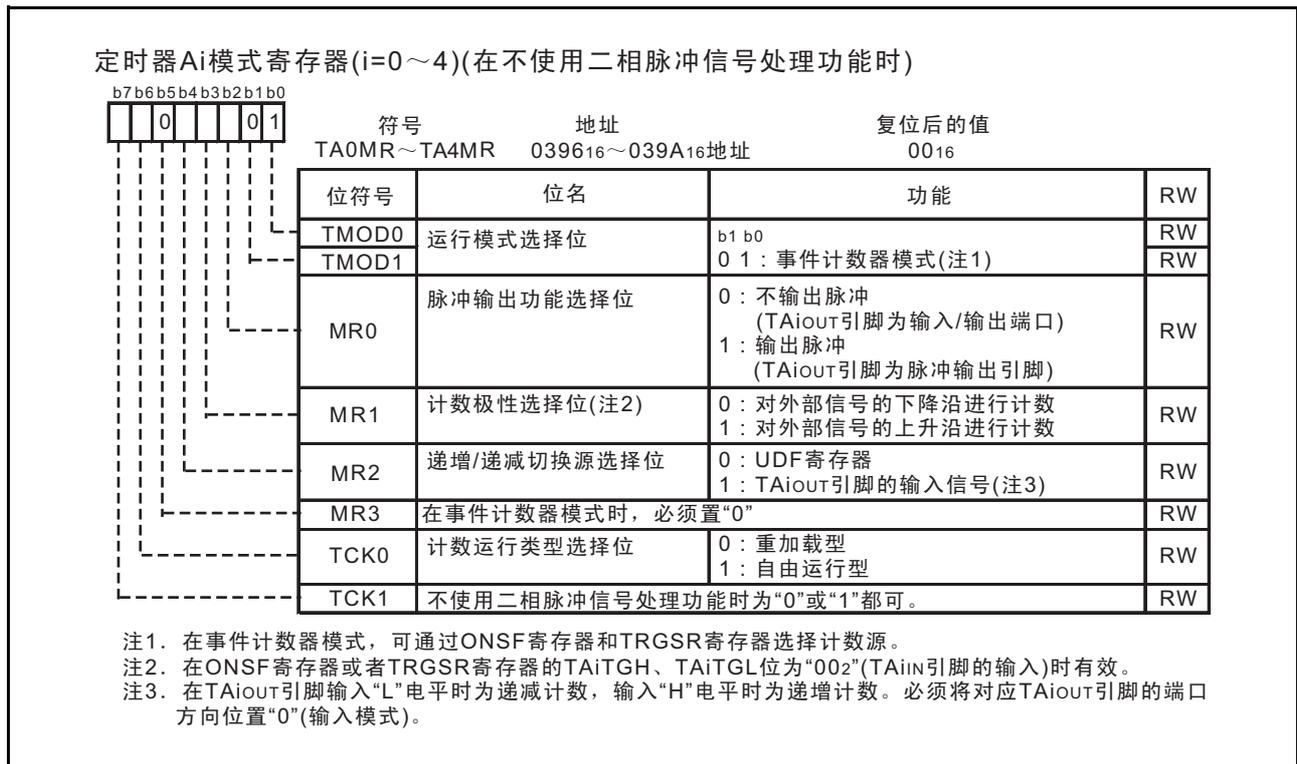


图 12.8 事件计数器模式时的 TAiMR 寄存器 (在定时器 A2、A3、A4 不使用二相脉冲信号处理功能时)

表 12.3 事件计数器模式的规格（在定时器 A2、A3、A4 使用二相脉冲信号处理功能时）

项目	规格
计数源	• 输入至 TAI <sub>i</sub> IN、TAI <sub>i</sub> OUT 引脚 (i = 2 ~ 4) 的二相脉冲信号
计数运行	• 可通过二相脉冲信号切换递增计数或递减计数 • 上溢或下溢时, 将重加载寄存器的内容重加载后继续计数。选择自由运行功能时, 不进行重加载而继续计数
分频比	• 递增计数时, 为 $1/(FFFF_{16} - n + 1)$ • 递减计数时, 为 $1/(n + 1)$ n: TAI 寄存器的设定值为 $0000_{16} \sim FFFF_{16}$
计数开始条件	将 TABSR 寄存器的 TAI <sub>S</sub> 位置 “1” (计数开始)
计数停止条件	将 TAI <sub>S</sub> 位置 “0” (计数停止)
中断请求产生时序	上溢或下溢时
TAI <sub>i</sub> IN 引脚功能	二相脉冲输入
TAI <sub>i</sub> OUT 引脚功能	二相脉冲输入
定时器的读出	读定时器 A2、A3、A4 的寄存器时, 可读取计数值
定时器的写入	• 计数停止时, 或计数开始后到输入第一个计数源之前, 如果给 TAI 寄存器写数据, 它将同时被写入重加载寄存器与计数器中 • 当进行计数时 (但是在输入第 1 次计数源后) 给 TAI 寄存器写数据, 数据就被写到重加载寄存器 (在下次重加载时传送)
选择功能 (注 1)	<ul style="list-style-type: none"> <li>正常处理运行 (定时器 A2、定时器 A3) TAJ<sub>OUT</sub> 引脚 (j=2、3) 的输入信号为 “H” 电平期间, 对 TAJ<sub>IN</sub> 引脚的上升沿进行递增计数, 对其下降沿进行递减计数  <p>(j=2、3) 递增计数 递增计数 递增计数 递减计数 递减计数 递减计数</p> </li> <li>4 倍频处理运行 (定时器 A3、定时器 A4) TAK<sub>OUT</sub> 引脚 (k=3、4) 的输入信号为 “H” 电平期间, 如果与 TAK<sub>IN</sub> 引脚的上升沿存在相位关系, 就对 TAK<sub>OUT</sub> 引脚与 TAK<sub>IN</sub> 引脚的上升沿与下降沿进行递增计数 TAK<sub>OUT</sub> 引脚的输入信号为 “H” 电平期间, 如果与 TAK<sub>IN</sub> 引脚的下降沿存在相位关系, 就对 TAK<sub>OUT</sub> 引脚与 TAK<sub>IN</sub> 引脚的上升沿与下降沿进行递减计数  <p>对所有边沿进行递增计数      对所有边沿进行递减计数</p> <p>对所有边沿进行递增计数      对所有边沿进行递减计数</p> </li> <li>通过 Z 相输入进行计数器的初始化 (定时器 A3) 通过 Z 相输入将定时器的计数值置 “0”</li> </ul>

注 1. 定时器 A3 能选择两种运行方式。定时器 A2 只能选择正常处理运行方式, 定时器 A4 只能选择为 4 倍频处理运行方式。



图 12.9 事件计数器模式时的 TA2MR 寄存器~ TA4MR 寄存器  
(在定时器 A2、A3、A4 使用二相脉冲信号处理功能时)

### 12.1.2.1 二相脉冲信号处理的计数器初始化

这是在二相脉冲信号处理时，通过 Z 相（计数器初始化）输入将定时器的计数值置“0”的功能。

此功能只能用于定时器 A3 的事件计数器模式、二相脉冲信号处理、自由运行型与 4 倍频处理，Z 相从  $\overline{\text{INT2}}$  引脚输入。

将“0000<sub>16</sub>”写到 TA3 寄存器，并将 ONSF 寄存器的 TAZIE 位置“1”（Z 相输入有效）时，可通过 Z 相的输入进行计数器初始化。

通过检测 Z 相的输入边沿进行计数器初始化。边沿的极性可通过 INT2IC 寄存器的 POL 位选择。输入的 Z 相脉宽应大于等于定时器 A3 计数源的 1 个周期。

接受 Z 相输入之后，当下一个计数时序到来时对计数器进行初始化。二相脉冲（A 相、B 相）与 Z 相的关系如图 12.10 所示。

如果定时器 A3 的上溢或下溢时序与 Z 相输入的计数器初始化时序重叠，定时器 A3 的中断请求就连续产生 2 次，所以使用此功能时不能使用定时器 A3 中断。

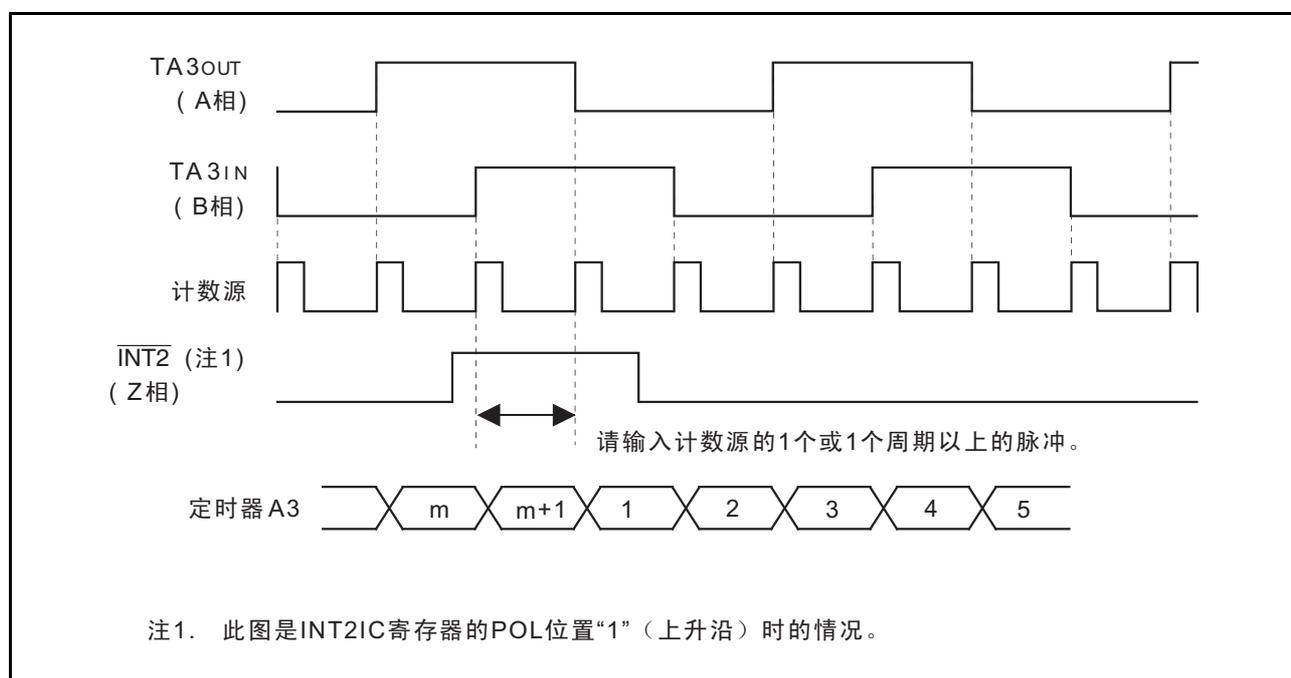


图 12.10 二相脉冲（A 相、B 相）与 Z 相的关系

### 12.1.3 单次触发定时器模式

单次触发定时器模式是对 1 次触发定时器只运行 1 次的模式（表 12.4）。在从发生触发后的任意期间定时器运行。单次触发定时器模式时的 TAI<sub>i</sub>MR 寄存器如图 12.11 所示。

表 12.4 单次触发定时器模式的规格

项目	规格
计数源	f <sub>1</sub> 、f <sub>2</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C32</sub>
计数运行	<ul style="list-style-type: none"> <li>• 递减计数</li> <li>• 计数值变为“0000<sub>16</sub>”的时序进行重加载，然后停止计数</li> <li>• 在计数中发生触发时，进行重加载，然后继续计数</li> </ul>
分频比	1/n n: TAI <sub>i</sub> 寄存器 (i=0 ~ 4) 的设定值为 0000 <sub>16</sub> ~ FFFF <sub>16</sub> 但设定为“0000 <sub>16</sub> ”时，计数器不运行。
计数开始条件	TABSR 寄存器的 TAI <sub>S</sub> 位置“1”（计数开始）并发生以下的触发： <ul style="list-style-type: none"> <li>• 从 TAI<sub>i</sub>N 引脚输入外部触发</li> <li>• 定时器 B2 上溢或下溢、 定时器 A<sub>j</sub> (j=i-1, 但 i=0 时 j=4) 上溢或下溢、 定时器 A<sub>k</sub> (k=i+1, 但 i=4 时 k=0) 上溢或下溢</li> <li>• 将 ONSF 寄存器的 TAI<sub>OS</sub> 位置“1”（定时器开始运行）</li> </ul>
计数停止条件	<ul style="list-style-type: none"> <li>• 计数值变为“0000<sub>16</sub>”并进行重加载后</li> <li>• 将 TAI<sub>S</sub> 位置“0”（计数停止）</li> </ul>
中断请求产生时序	计数值变为“0000 <sub>16</sub> ”时
TAI <sub>i</sub> N 引脚功能	输入 / 输出端口或触发输入
TAI <sub>i</sub> OUT 引脚功能	输入 / 输出端口或脉冲输出
定时器的读出	读 TAI 寄存器，读取的值不定。
定时器的写入	<ul style="list-style-type: none"> <li>• 计数停止时，或计数开始后到输入第一个计数源之前，如果给 TAI 寄存器写数据，它将同时被写入重加载寄存器与计数器中。</li> <li>• 当进行计数时（但是要在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（下一次重加载时传送）</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 脉冲输出功能 计数停止时输出“L”电平，计数时输出“H”电平</li> </ul>

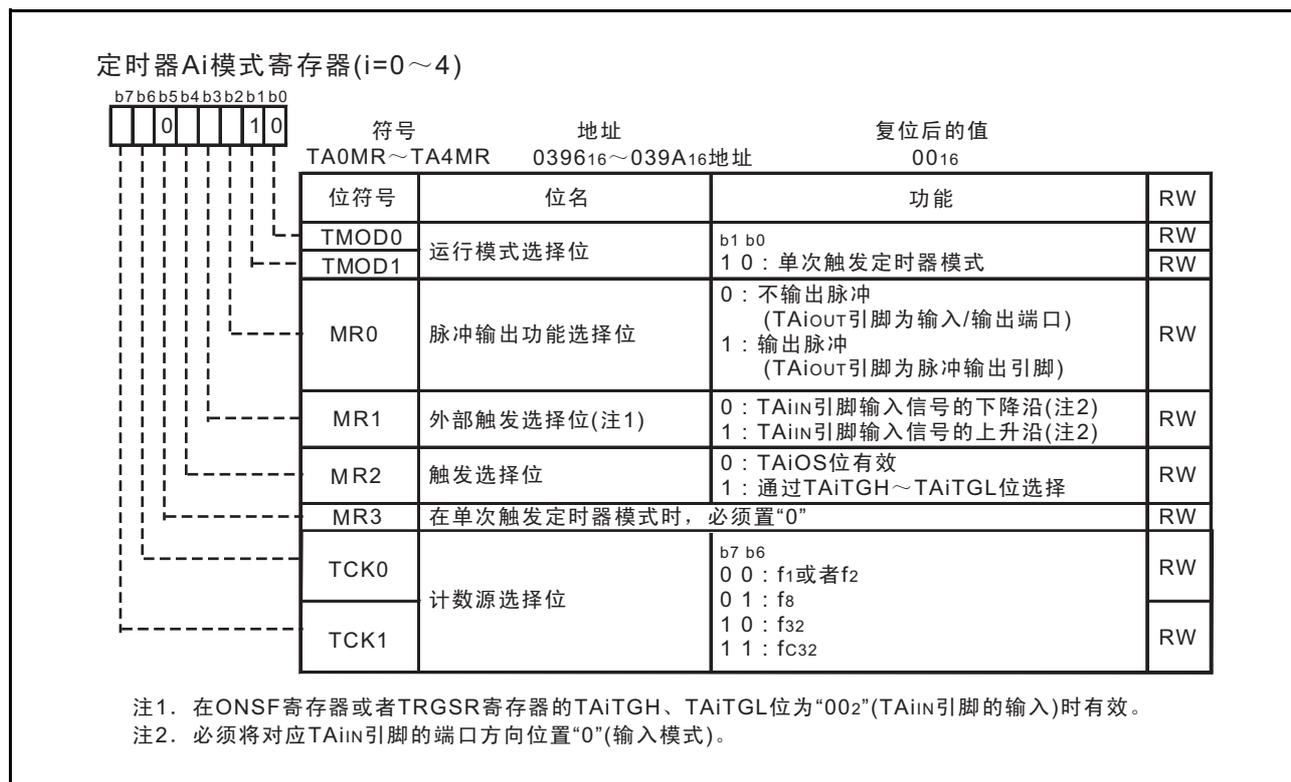


图 12.11 单次触发定时器模式时的 TAiMR 寄存器

### 12.1.4 脉宽调制模式（PWM 模式）

脉宽调制模式是连续输出任意宽度的脉冲模式（表 12.5）。此模式中，计数器作为 16 位或 8 位脉宽调制器运行。脉宽调制模式时的 TAI<sub>MR</sub> 寄存器如图 12.12 所示，16 位脉宽调制器的运行示例如图 12.13 所示，8 位脉宽调制器的运行示例如图 12.14 所示。

表 12.5 脉宽调制模式的规格

项目	规格
计数源	f <sub>1</sub> 、f <sub>2</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C32</sub>
计数运行	<ul style="list-style-type: none"> <li>• 递减计数（作为 8 位或 16 位脉宽调制器运行）</li> <li>• 在 PWM 脉冲的上升沿处，定时器进行重加载，然后继续计数</li> <li>• 当计数中发生触发，不影响计数</li> </ul>
16 位 PWM	<ul style="list-style-type: none"> <li>• “H”电平宽度为 n/f<sub>j</sub> n: TAI 寄存器的设定值 (i=0 ~ 4)</li> <li>• 周期固定为 (2<sup>16</sup> - 1)/f<sub>j</sub> f<sub>j</sub>: 计数源的频率 (f<sub>1</sub>、f<sub>2</sub>、f<sub>8</sub>、f<sub>32</sub>、f<sub>C32</sub>)</li> </ul>
8 位 PWM	<ul style="list-style-type: none"> <li>• “H”电平宽度为 n × (m+1)/f<sub>j</sub> n: TAI 寄存器的高位地址设定值</li> <li>• 周期为 (2<sup>8</sup> - 1) × (m+1)/f<sub>j</sub> m: TAI 寄存器的低位地址设定值</li> </ul>
计数开始条件	<ul style="list-style-type: none"> <li>• 将 TABSR 寄存器的 TAI<sub>S</sub> 位置 “1”（计数开始）</li> <li>• TAI<sub>S</sub> 位置 “1” 且外部触发由 TAI<sub>IN</sub> 引脚输入</li> <li>• TAI<sub>S</sub> 位置 “1” 且发生以下的触发： 定时器 B2 上溢或下溢 定时器 A<sub>j</sub> (j=i-1, 但 i=0 时 j=4) 上溢或下溢 定时器 A<sub>k</sub> (k=i+1, 但 i=4 时 k=0) 上溢或下溢</li> </ul>
计数停止条件	将 TAI <sub>S</sub> 位置 “0”（计数停止）
中断请求产生时序	PWM 脉冲下降沿时
TAI <sub>IN</sub> 引脚功能	输入 / 输出端口或触发输入
TAI <sub>OUT</sub> 引脚功能	脉冲输出
定时器的读出	读 TAI 寄存器，读取的值不定
定时器的写入	<ul style="list-style-type: none"> <li>• 计数停止时，或计数开始后到输入第一个计数源之前，如果给 TAI 寄存器写数据，它将同时被写入重加载寄存器与计数器中</li> <li>• 当进行计数时（但是要在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（下一次重加载时传送）</li> </ul>

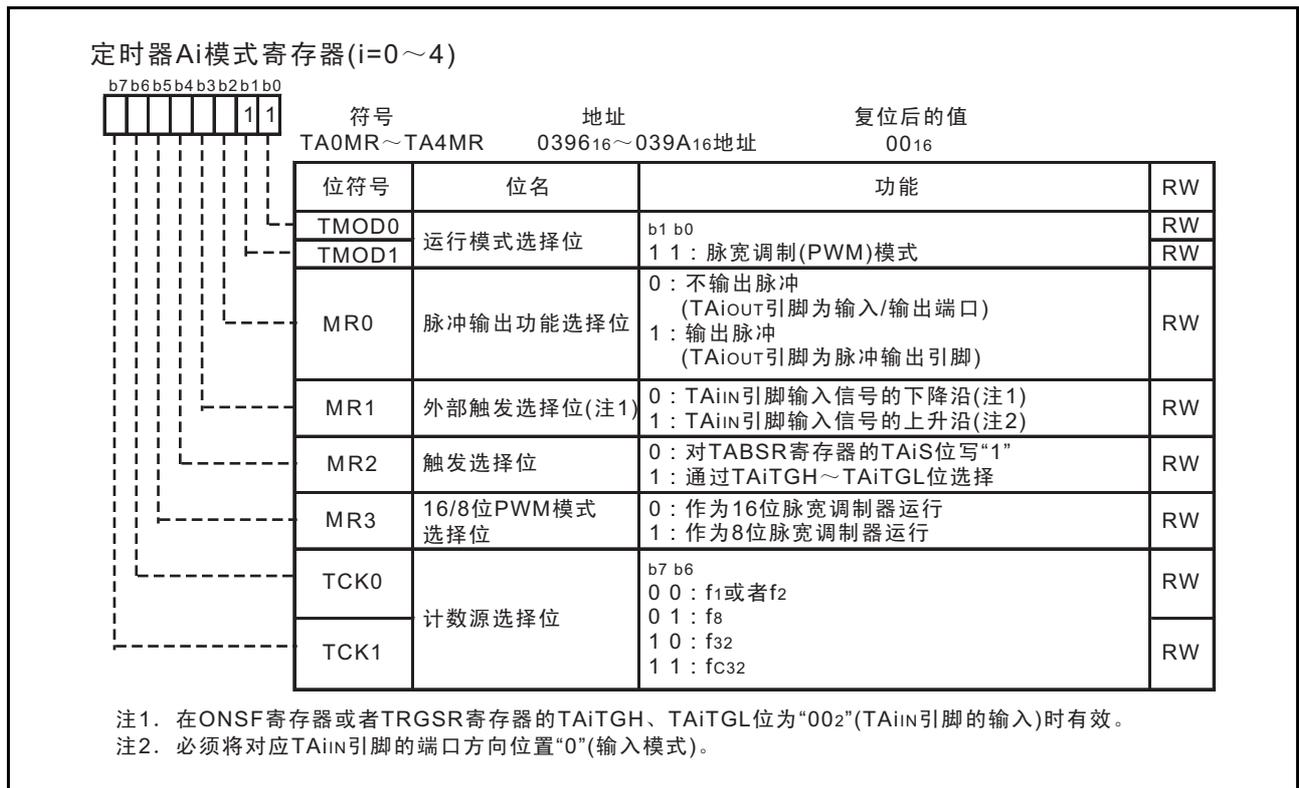


图 12.12 脉宽调制模式时的 TAiMR 寄存器

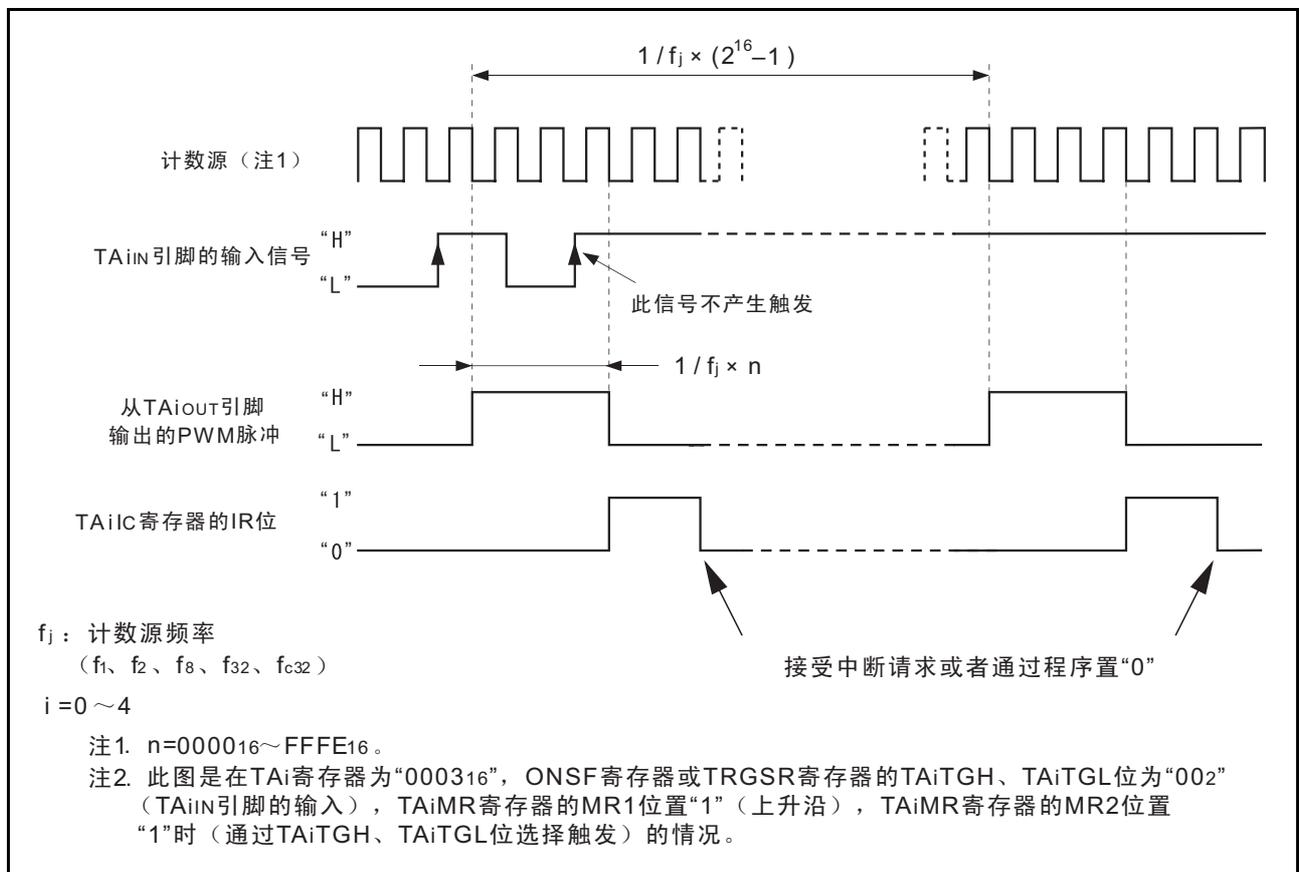


图 12.13 16 位脉宽调制器的运行例子

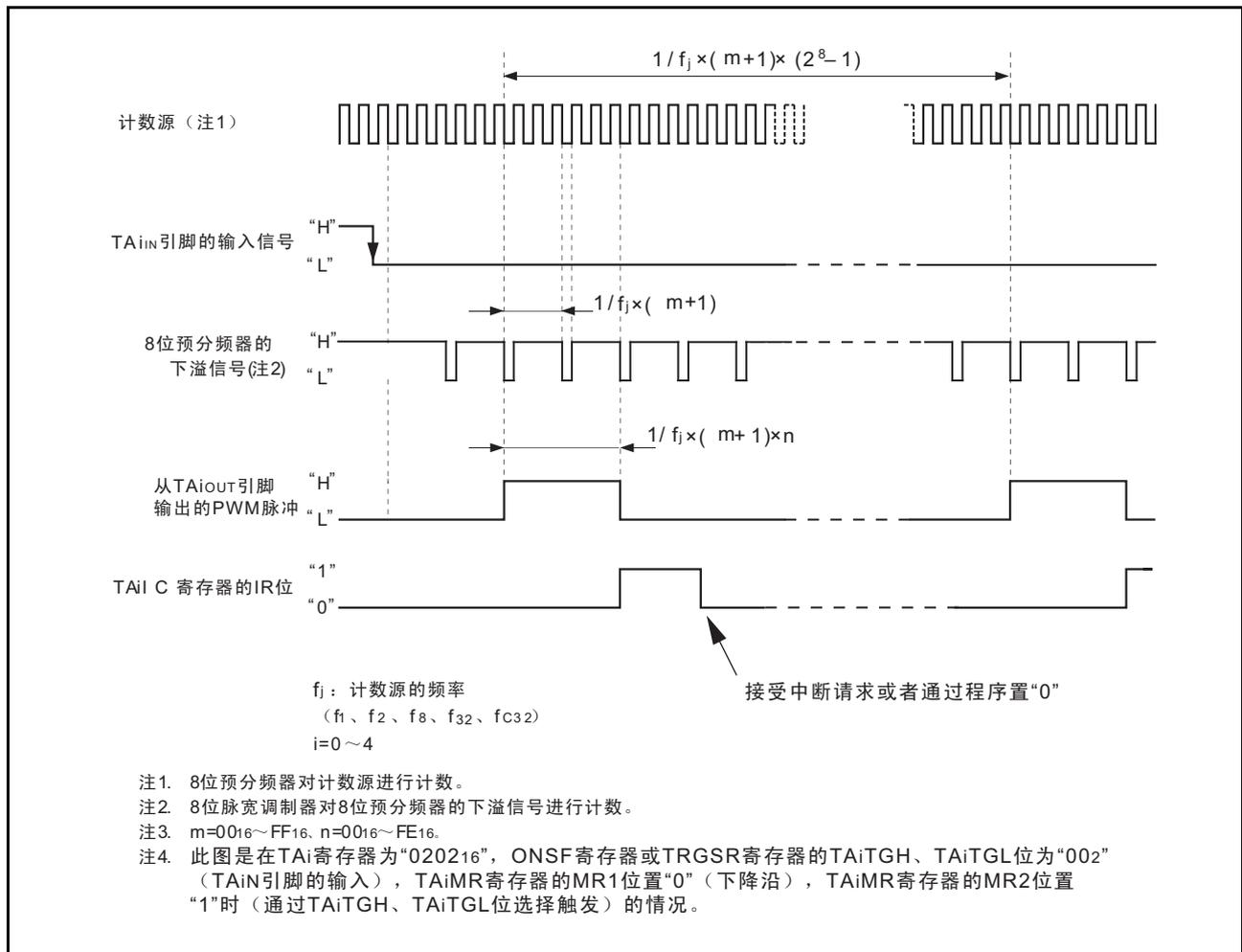


图 12.14 8 位脉宽调制器的运行例子

## 12.2 定时器 B

## 注意

42 引脚版没有定时器 B2 的 TB2IN 引脚。

## 【使用定时器 B2 时的注意事项】

- 事件计数器模式 不能对外部输入信号进行计数。使用事件计数器模式时，请将 TB2MR 寄存器的 TCK1 位置“1”。
- 脉冲周期测量 / 脉宽测量模式 不能使用此模式

定时器 B 框图如图 12.15 所示，定时器 B 的相关寄存器如图 12.16、图 12.17 所示。

定时器 B 有以下 4 种模式，可通过 TB<sub>i</sub>MR 寄存器（ $i=0 \sim 2$ ）的 TMOD1 ~ TMOD0 位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器模式 对来自外部的脉冲、其它定时器的上溢或下溢进行计数的模式
- 脉冲周期测量模式、脉宽测量模式 测定外部脉冲周期或脉宽的模式
- A/D 触发模式 在计数值变为 0000<sub>16</sub> 前，对一次触发只进行一次计数的模式。  
与 A/D 转换的同时采样模式或者延迟触发模式 0 组合，用作 A/D 转换开始的触发

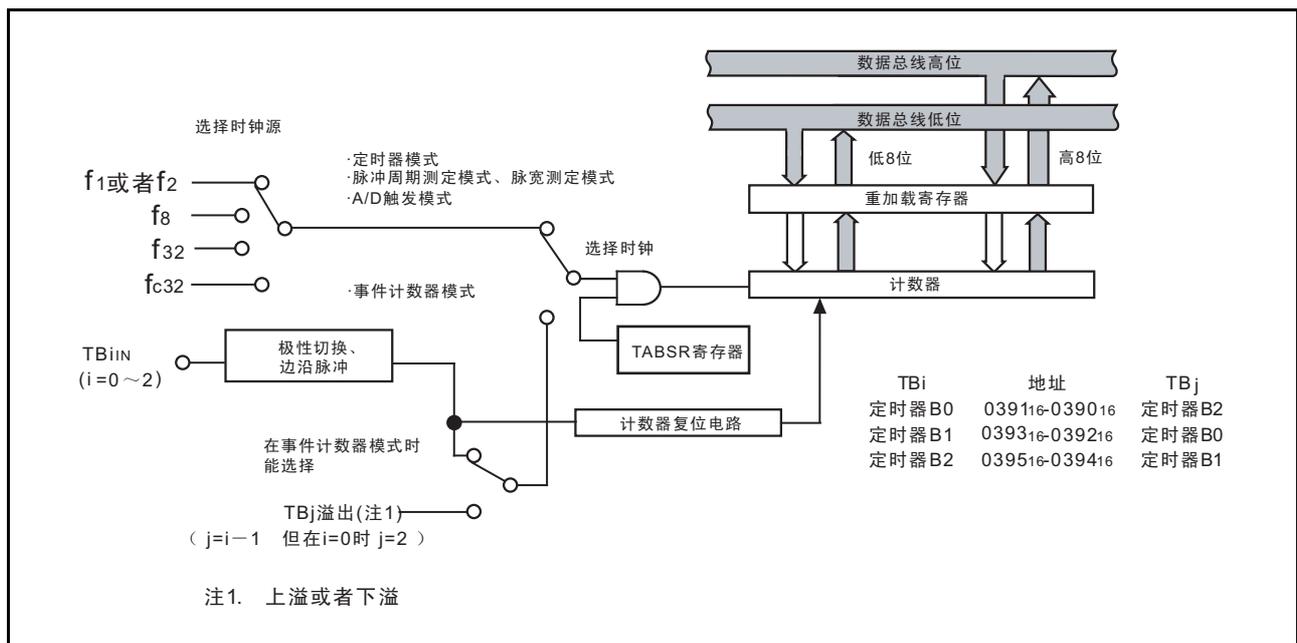


图 12.15 定时器 B 框图

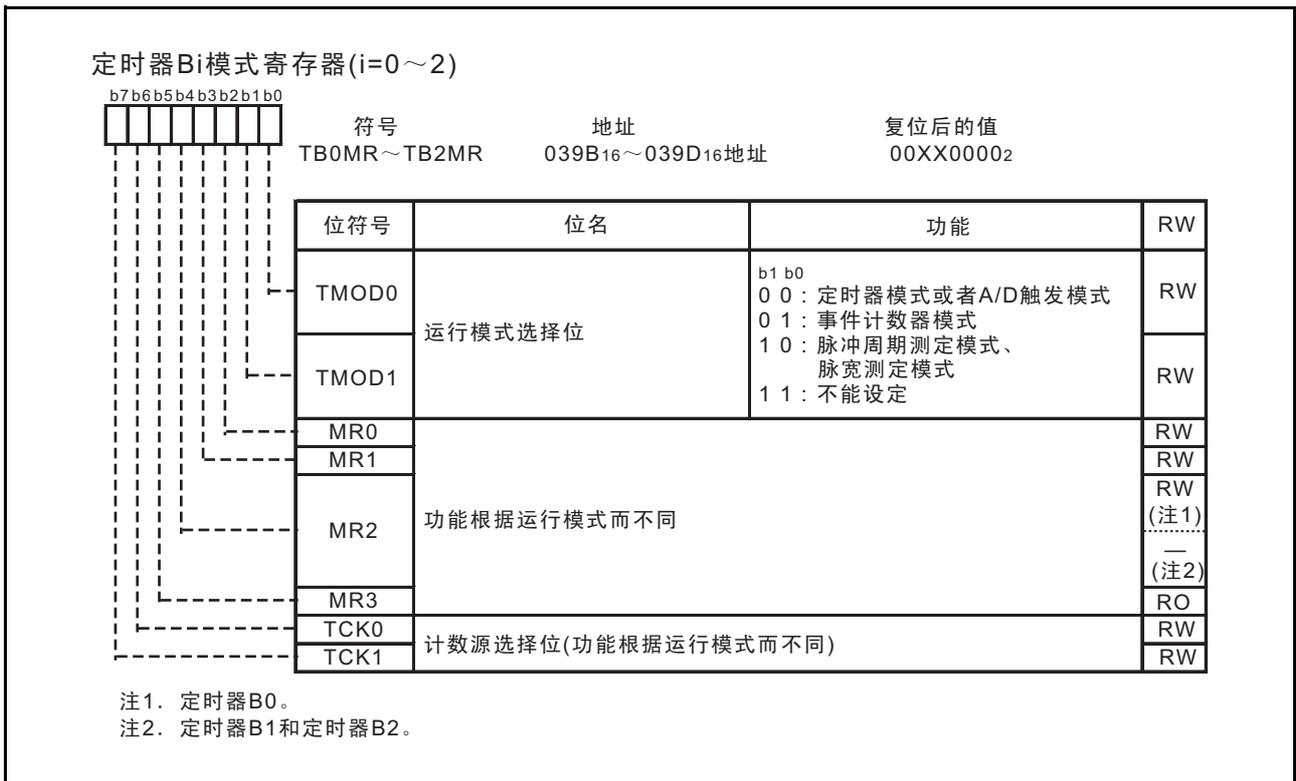


图 12.16 TB0MR ~ TB2MR 寄存器

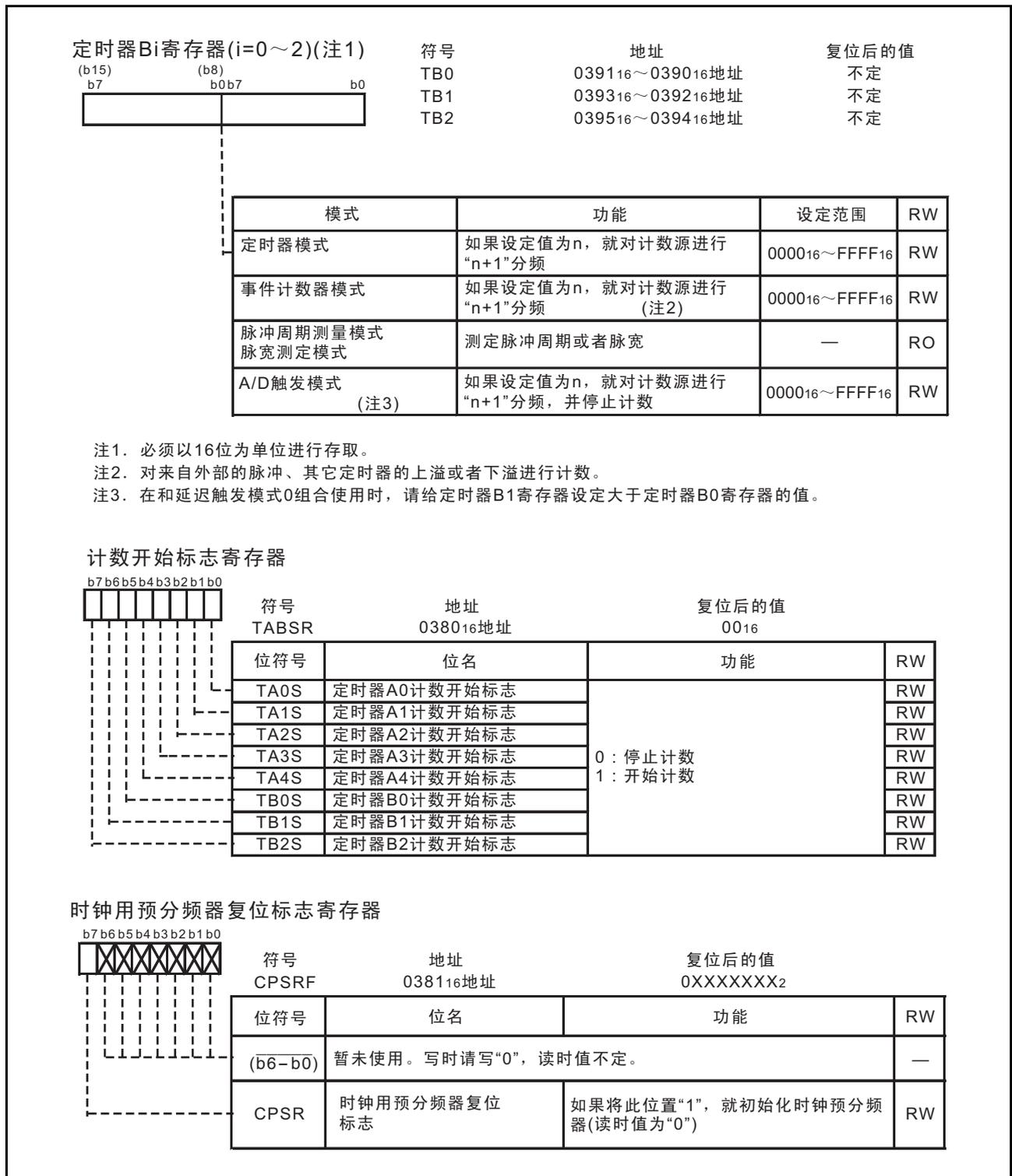


图 12.17 TB0 ~ TB2 寄存器、TABSR 寄存器与 CPSRF 寄存器

### 12.2.1 定时器模式

定时器模式是对内部生成的计数源进行计数的模式（表 12.6）。定时器模式时的 TBiMR 寄存器如图 12.18 所示。

表 12.6 定时器模式的规格

项目	规格
计数源	f <sub>1</sub> 、f <sub>2</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C32</sub>
计数运行	<ul style="list-style-type: none"> <li>递减计数</li> <li>下溢时，将重加载寄存器的内容重加载后继续计数</li> </ul>
分频比	1/(n+1)    n: TBi 寄存器的设定值 (i=0 ~ 2) 0000 <sub>16</sub> ~ FFFF <sub>16</sub>
计数开始条件	将 TBiS 位（注 1）置“1”（计数开始）
计数停止条件	将 TBiS 位置“0”（计数停止）
中断请求产生时序	下溢时
TBi <sub>iN</sub> 引脚功能	输入 / 输出端口
定时器的读出	读 TBi 寄存器，可读取计数值
定时器的写入	<ul style="list-style-type: none"> <li>计数停止时，或计数开始后到输入第一个计数源之前，如果给 TBi 寄存器写数据，它将同时被写入重加载寄存器与计数器中</li> <li>当进行计数时（但要在输入第 1 次计数源后）给 TBi 寄存器写数据，数据就被写到重加载寄存器（下一次重加载时传送）</li> </ul>

注 1. TB0S ~ TB2S 位是 TABSR 寄存器的 Bit5 ~ Bit7。

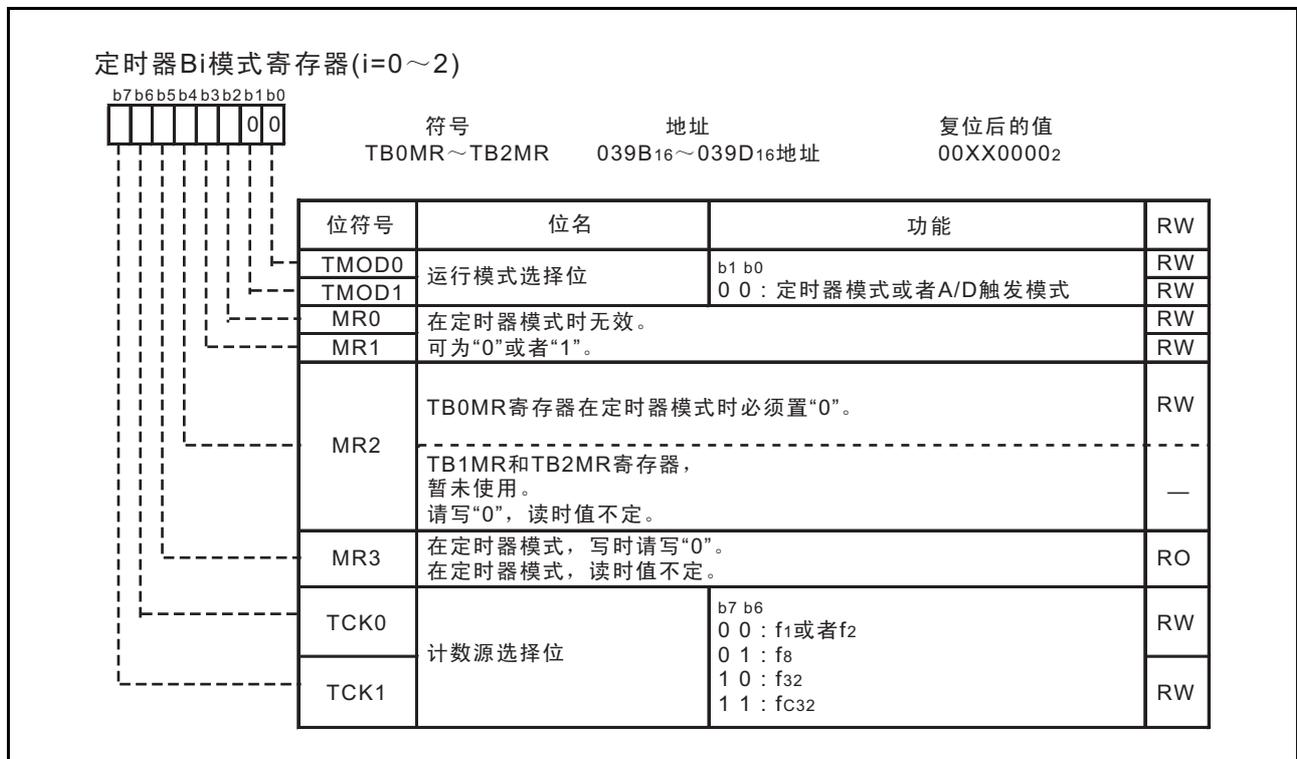


图 12.18 定时器模式时的 TBiMR 寄存器

### 12.2.2 事件计数器模式

事件计数器模式是对外部信号、其它定时器的上溢或下溢进行计数的模式（表 12.7）。事件计数器模式时的 TBiMR 寄存器如图 12.19 所示。

表 12.7 事件计数器模式的规格

项目	规格
计数源	<ul style="list-style-type: none"> <li>输入至 TBiN 引脚（<math>i=0 \sim 2</math>）的外部信号（可通过程序选择有效沿）</li> <li>定时器 Bj 的上溢或下溢（<math>j=i-1</math>，但在 <math>i=0</math> 时 <math>j=2</math>）</li> </ul>
计数运行	<ul style="list-style-type: none"> <li>递减计数</li> <li>下溢时，将重加载寄存器的内容重加载后继续计数</li> </ul>
分频比	<ul style="list-style-type: none"> <li><math>1/(n+1)</math>    n: TBi 寄存器的设定值 <math>0000_{16} \sim FFFF_{16}</math></li> </ul>
计数开始条件	将 TBiS 位（注 1）置“1”（计数开始）
计数停止条件	将 TBiS 位置“0”（计数停止）
中断请求产生时序	下溢时
TBiN 引脚功能	计数源输入
定时器的读出	读 TBi 寄存器，可读取计数值
定时器的写入	<ul style="list-style-type: none"> <li>计数停止时，或计数开始后到输入第一个计数源之前，如果给 TBi 寄存器写数据，它将同时被写入重加载寄存器与计数器中</li> <li>当进行计数时（但要在输入第 1 次计数源后）给 TBi 寄存器写数据，数据就被写到重加载寄存器（下一次重加载时传送）</li> </ul>

注 1. TB0S ~ TB2S 位是 TABSR 寄存器的 Bit5 ~ Bit7。

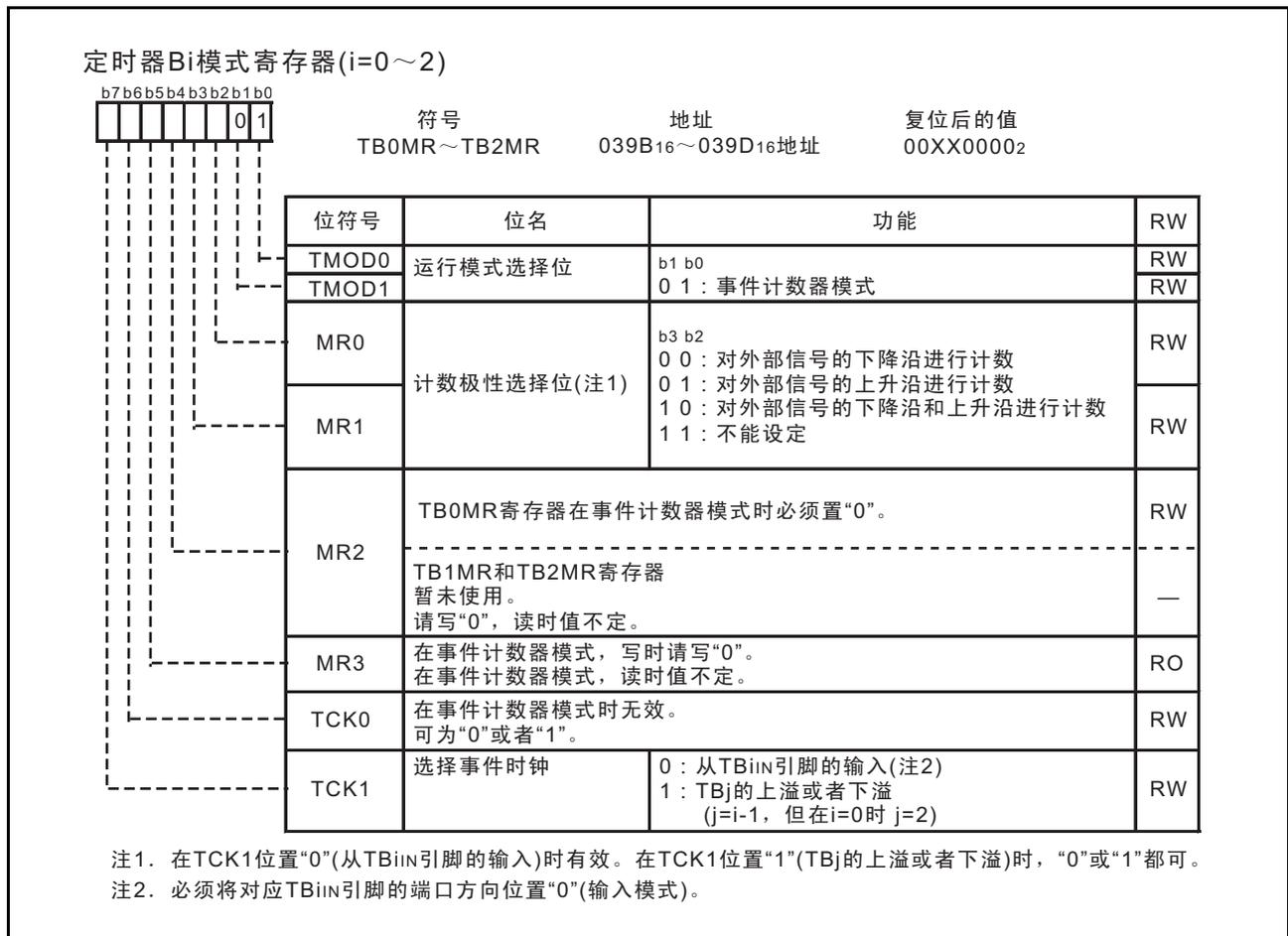


图 12.19 事件计数器模式时的 TBIMR 寄存器

### 12.2.3 脉冲周期测量模式、脉宽测量模式

脉冲周期测量模式、脉宽测量模式是测定外部信号的脉冲周期或脉宽的模式（表 12.8）。脉冲周期测量模式、脉宽测量模式时的 TBiMR 寄存器如图 12.20 所示。脉冲周期测定时的运行图如图 12.21 所示，脉宽测定时的运行图如图 12.22 所示。

表 12.8 脉冲周期测量模式、脉宽测量模式的规格

项目	规格
计数源	f <sub>1</sub> 、f <sub>2</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C32</sub>
计数运行	<ul style="list-style-type: none"> <li>递增计数</li> <li>测定脉冲的有效沿，将计数器的值发送到重加载寄存器，后将其置“0000<sub>16</sub>”，并继续计数</li> </ul>
计数开始条件	<ul style="list-style-type: none"> <li>将 TBiS 位（i=0 ~ 2）（注 3）置“1”（计数开始）</li> </ul>
计数停止条件	<ul style="list-style-type: none"> <li>将 TBiS 位置“0”（计数停止）</li> </ul>
中断请求产生时序	<ul style="list-style-type: none"> <li>输入测定脉冲的有效沿时（注 1）</li> <li>上溢时。上溢的同时 TBiMR 寄存器的 MR3 位置“1”（有溢出）。TBiS 位置“1”时（计数开始），如果 MR3 位置“1”后的下一次计数时序以后写 TBi MR 寄存器，MR3 位就置“0”（没有溢出）</li> </ul>
TBiIn 引脚功能	测定脉冲输入
定时器的读出	读 TBi 寄存器，可读取重加载寄存器的内容（测量结果）（注 2）
定时器的写入	给 TBi 寄存器写的值既不被写到重加载寄存器也不被写到计数器

注 1. 计数开始后第 1 次输入有效沿时，不发生中断请求。

注 2. 计数开始后到第 2 次输入有效沿之前，从 TBi 寄存器读取的值不定。

注 3. TB0S ~ TB2S 位是 TABSR 寄存器的 Bit5 ~ Bit7。

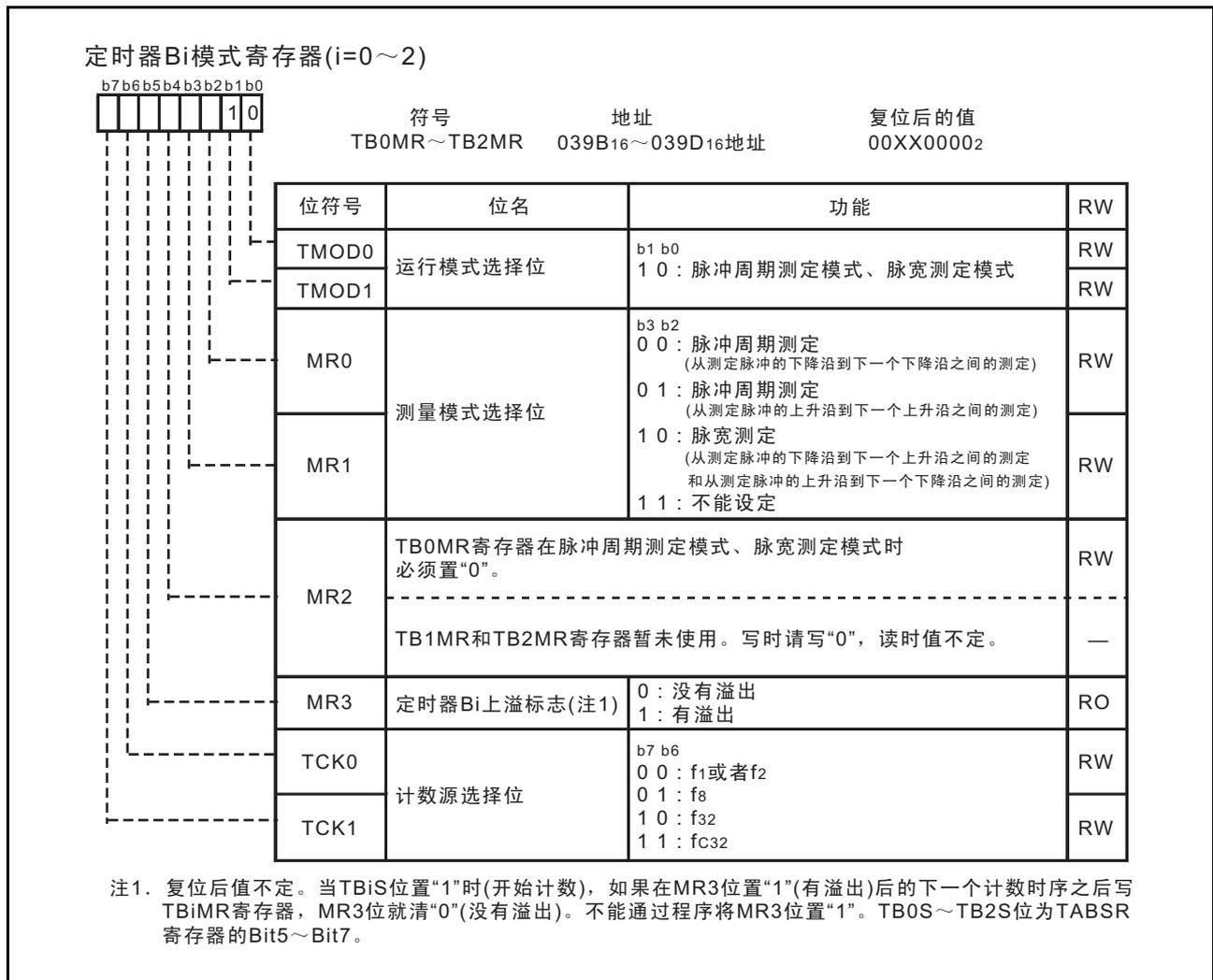


图 12.20 脉冲周期测量模式、脉宽测量模式时的 TBiMR 寄存器

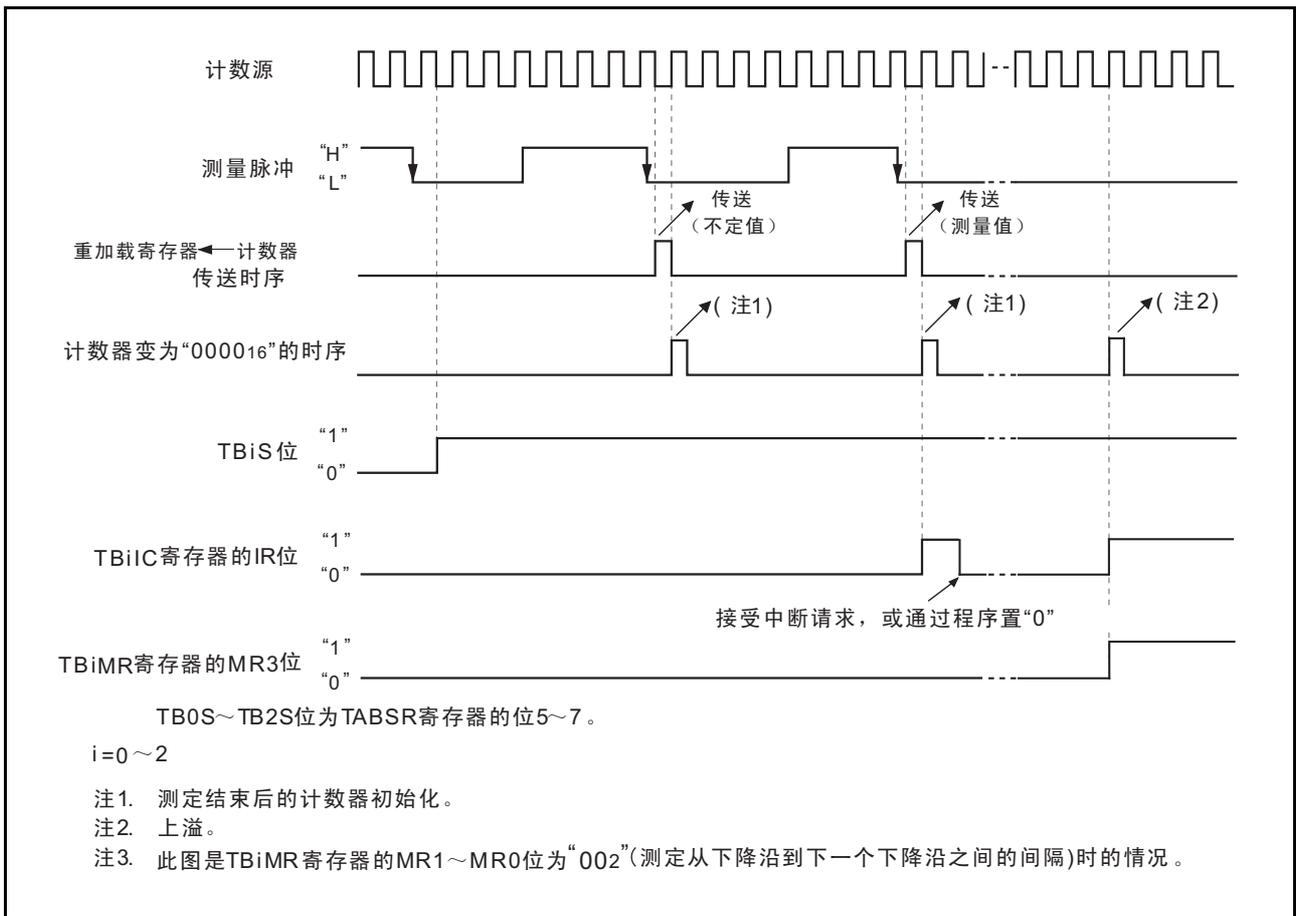


图 12.21 脉冲周期测量时的运行图

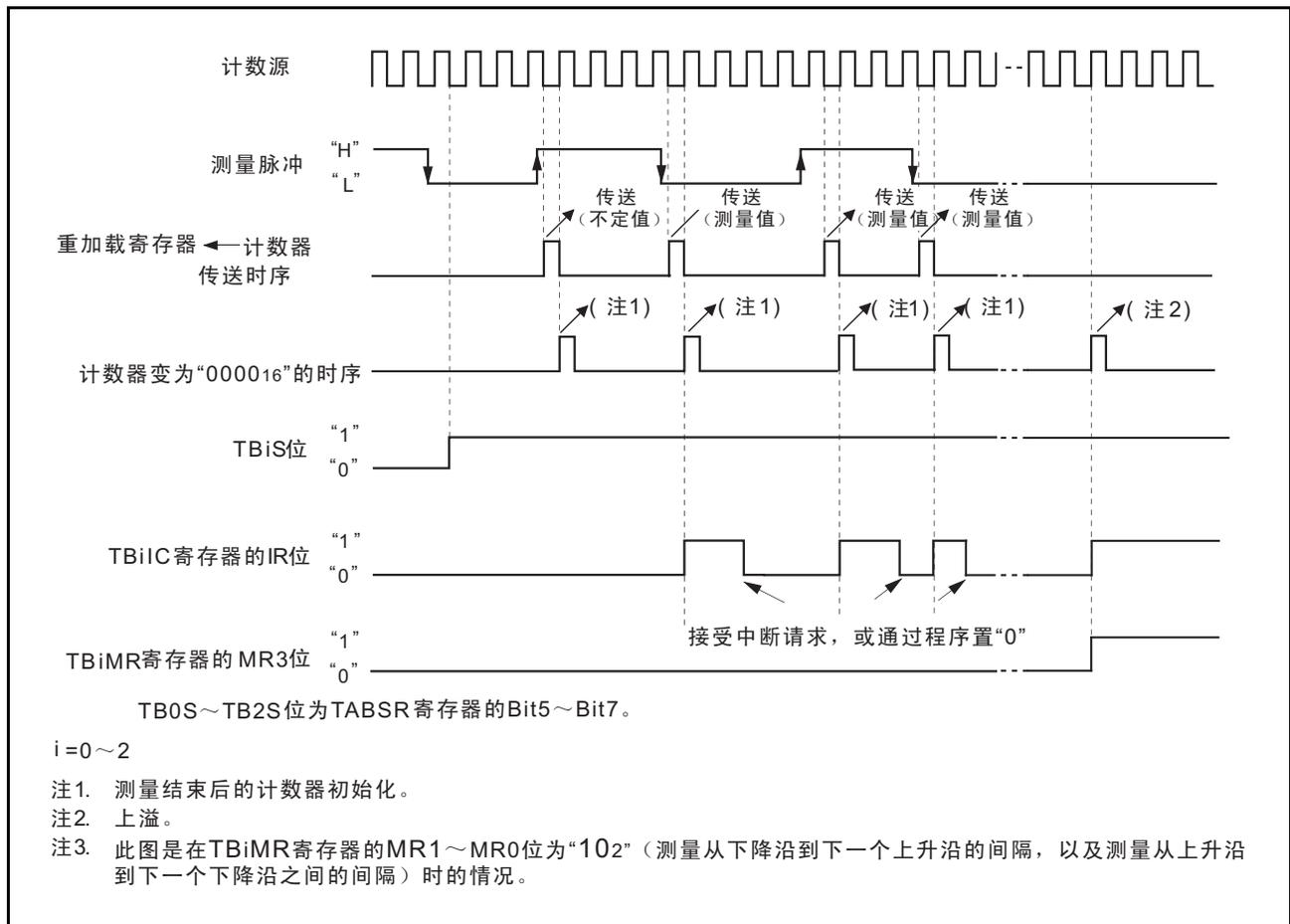


图 12.22 脉宽测量时的运行图

### 12.2.4 A/D 触发模式

本模式与 A/D 转换的同时采样扫描模式或延迟触发模式 0 组合，用作 A/D 转换器的转换开始触发。

本模式中，对一次的触发，定时器在计数值达到“0000<sub>16</sub>”为止进行计数。A/D 触发模式对定时器 B0 与定时器 B1 有效。A/D 触发模式时的 TBiMR 寄存器如图 12.23、TB2SC 寄存器如图 12.24 所示。

表 12.9 A/D 触发模式的规格

项目	规格
计数源	f <sub>1</sub> 、f <sub>2</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>C32</sub>
计数运行	<ul style="list-style-type: none"> <li>递减计数</li> <li>下溢时，重新加载重加载寄存器的内容，并停止计数</li> <li>计数运行中发生触发时，不影响计数</li> </ul>
分频比	1/(n+1) n: TBi 寄存器 (i=0、1) 的设定值 0000 <sub>16</sub> ~ FFFF <sub>16</sub>
计数开始条件	TABS <sub>R</sub> 寄存器的 TBiS 位 (i=0、1) 为“1” (计数开始)、TB2SC 寄存器的 TBiEN 位 (i=0、1) 为“1” (A/D 触发模式) 且发生以下触发时 (通过 TB2SC 寄存器的 TB2SEL 位进行选择) <ul style="list-style-type: none"> <li>定时器 B2 的中断</li> <li>定时器 B2 的中断发生频率设定计数器的下溢</li> </ul>
计数停止条件	<ul style="list-style-type: none"> <li>计数值为“0000<sub>16</sub>”且重加载后</li> <li>将 TBiS 位置“0” (计数停止)</li> </ul>
中断请求产生时序	下溢时 (注 1)
TBi <sub>IN</sub> 引脚功能	输入 / 输出端口
定时器的读出	读 TBi 寄存器，可读取计数值
定时器的写入 (注 2)	<ul style="list-style-type: none"> <li>计数停止时，如果给 TBi 寄存器写数据，数据就同时被写到重加载寄存器与计数器</li> <li>计数时如果给 TBi 寄存器写数据，数据就被写到重加载寄存器 (下一次重加载时传送)</li> </ul>

注 1. 通过定时器的下溢开始 A/D 转换，详细内容请参考 14. A/D 转换器。

注 2. 使用延迟触发模式 0 时，请设定定时器 B1 寄存器的值大于定时器 B0 寄存器的值。

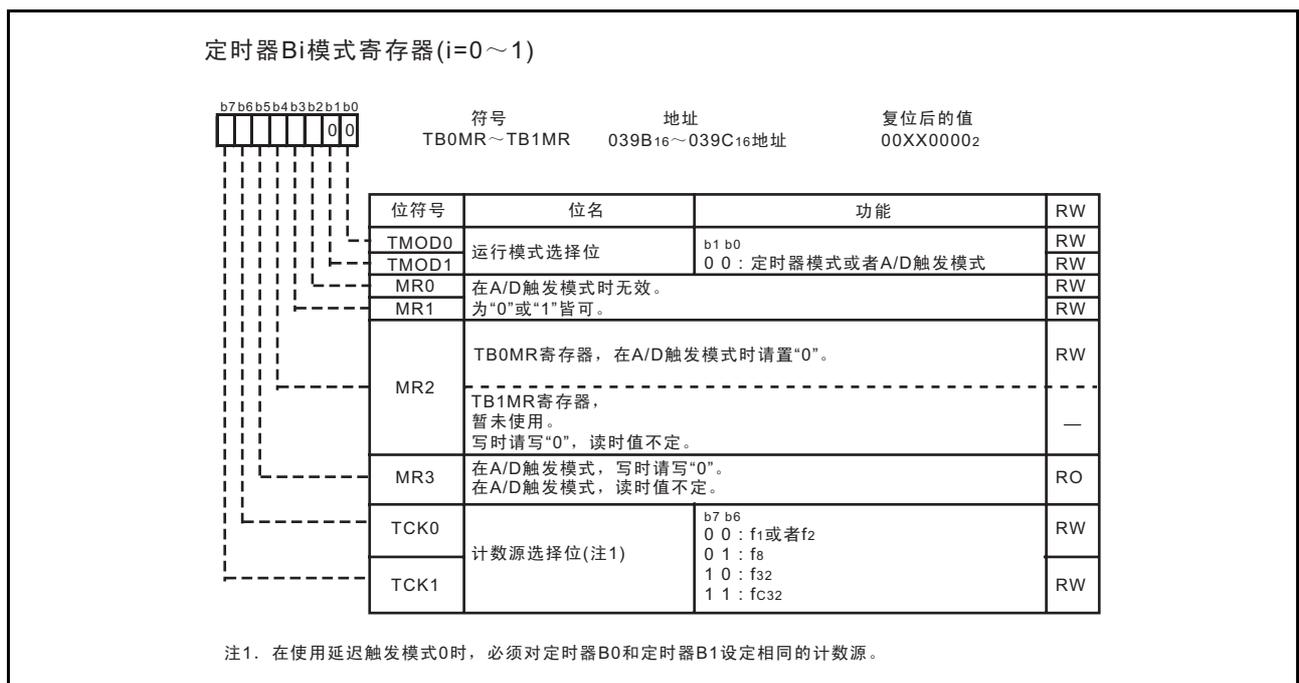
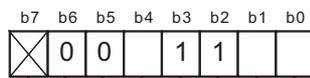


图 12.23 A/D 触发模式时的 TBiMR 寄存器

## 定时器B2特殊模式寄存器(注1)



符号

TB2SC

地址

039E16地址

复位后的值

X00000002

位符号	位名	功能	RW
PWCON	定时器B2重加载时序切换位(注2)	0: 定时器B2下溢 1: 奇数次的定时器A输出	RW
IVPCR1	三相输出端口 $\overline{SD}$ 控制位1(注3、注4、注7)	0: 禁止通过 $\overline{SD}$ 引脚输入进行的三相输出强制切断(高阻抗) 1: 允许通过 $\overline{SD}$ 引脚输入进行的三相输出强制切断(高阻抗)	RW
TB0EN	定时器B0运行模式选择位	0: 非A/D触发模式 1: A/D触发模式(注5)	RW
TB1EN	定时器B1运行模式选择位	0: 非A/D触发模式 1: A/D触发模式(注5)	RW
TB2SEL	触发选择位(注6)	0: TB2中断 1: TB2中断发生频率设定计数器(ICTB2)下溢	RW
(b6-b5)	保留位	必须置“0”。	RW
(b7)	暂未使用。写时请写“0”，读时值为“0”。		—

注1. 必须将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。

注2. INV11位为“0”(三相模式0)或者INV06位为“1”时(锯齿波调制模式), 请将此位置“0”(定时器B2下溢)。

注3. 将IVPCR1位置“1”时(允许通过 $\overline{SD}$ 引脚输入进行的三相输出强制切断), 请将PD85位置“0”(输入)。

注4. 相关引脚为U(P80)、 $\overline{U}$ (P81)、V(P72)、 $\overline{V}$ (P73)、W(P74)和 $\overline{W}$ (P75)。在强制切断后, 如果给 $\overline{SD}$ 引脚输入“H”电平并且将IVPCR1位置“0”, 就解除强制切断(高阻抗); 如果给 $\overline{SD}$ 引脚输入“L”电平, 就禁止对象引脚的用于三相马达控制的定时器输出(INV03=“0”)。此时, 对象引脚与使用的功能无关, 在IVPCR1位为“0”时为普通端口, 在IVPCR1位为“1”时变为高阻抗状态。

注5. 在延迟触发模式0中使用, 请将TB0EN位和TB1EN位都置“1”(A/D触发模式)。

注6. 在将此位置“1”时(TB2中断发生频率设定计数器(ICTB2)下溢), 请将INVC0寄存器的INV02位置“1”(用于三相马达控制的定时器功能)。

注7. 有关 $\overline{SD}$ 输入, 请参考16.6 数字消抖动功能。

图 12.24 A/D 触发模式时的 TB2SC 寄存器

### 12.3 用于三相马达控制的定时器功能

可使用定时器 A1、A2、A4、B2 输出三相马达驱动波形。用于三相马达控制的定时器功能的规格如表 12.10 所示，用于三相马达控制的定时器功能的框图如图 12.25 所示。另外，用于三相马达控制的定时器功能的相关寄存器如图 12.26 ~ 图 12.32 所示。

表 12.10 用于三相马达控制的定时器功能的规格

项目	规格
三相波形输出引脚	6 个 (U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ )
强制切断输入 (注 1)	将 $\bar{SD}$ 引脚接 “L” 电平
使用的定时器	定时器 A4、A1、A2 (用于单次触发定时器模式) <ul style="list-style-type: none"> <li>定时器 A4: U、<math>\bar{U}</math> 相波形控制</li> <li>定时器 A1: V、<math>\bar{V}</math> 相波形控制</li> <li>定时器 A2: W、<math>\bar{W}</math> 相波形控制</li> </ul> 定时器 B2 (用于定时器模式) <ul style="list-style-type: none"> <li>载波周期控制</li> </ul> 死区时间定时器 (3 个 8 位定时器, 共享重加载寄存器) <ul style="list-style-type: none"> <li>死区时间控制</li> </ul>
输出波形	三角波调制、锯齿波调制 <ul style="list-style-type: none"> <li>可在 1 个周期中输出 “H” 电平或 “L” 电平</li> <li>可独立设定正相电平与反相电平</li> </ul>
载波周期	三角波调制: 计数源 $\times (m+1) \times 2$ 锯齿波调制: 计数源 $\times (m+1)$ m: TB2 寄存器设定值。0 ~ 65535 计数源: $f_1$ 、 $f_2$ 、 $f_8$ 、 $f_{32}$ 、 $f_{c32}$
三相 PWM 输出宽度	三角波调制: 计数源 $\times n \times 2$ 锯齿波调制: 计数源 $\times n$ n: TA4、TA1、TA2 寄存器的设定值 (INV11 置 “1” 时, 为 TA4、TA41、TA11、TA11、TA2、TA21)。1 ~ 65535 计数源: $f_1$ 、 $f_2$ 、 $f_8$ 、 $f_{32}$ 、 $f_{c32}$
死区时间 (宽度)	计数源 $\times p$ 或没有死区时间 p: DTT 寄存器的设定值。1 ~ 255 计数源: $f_1$ 、 $f_2$ 、 $f_1$ 的 2 分频、 $f_2$ 的 2 分频
有效电平	可选择 “H” 电平或 “L” 电平
禁止正反相同时有效的功能	有禁止正反相同时有效的功能与检测正反相同时有效的功能
中断频率	对于定时器 B2 中断, 选择 1 个载波周期 ~ 15 个载波周期

注 1. 在 INVC0 寄存器的 INV02 位置 “1” 时 (用于三相马达控制的定时器功能),  $P85/\bar{SD}$  引脚为  $\bar{SD}$  功能有效。此时,  $P85$  不能用作可编程输入 / 输出端口。不使用  $\bar{SD}$  功能时, 请给  $P85/\bar{SD}$  引脚输入 “H” 电平。  
 TB2SC 寄存器的 IVPCR1 位置 “1” 时 (允许通过  $\bar{SD}$  引脚的输入进行三相输出的强制切断), 给  $\bar{SD}$  引脚输入 “L” 电平时, 对象引脚与使用的功能无关变为高阻抗状态; 如果在 IVPCR1 位置 “0” 时 (禁止通过  $\bar{SD}$  引脚的输入进行三相输出的强制切断) 给  $\bar{SD}$  引脚输入 “L” 电平, 对象引脚就为可编程输入 / 输出端口, 可由端口寄存器与端口方向寄存器进行设定。

对象引脚:  $P72/CLK2/TA1OUT/V/RxD1$   
 $P73/CTS2/RTS2/TA1IN/V/TxD1$   
 $P74/TA2OUT/W$   
 $P75/TA2IN/W$   
 $P80/TA4OUT/U$   
 $P81/TA4IN/U$

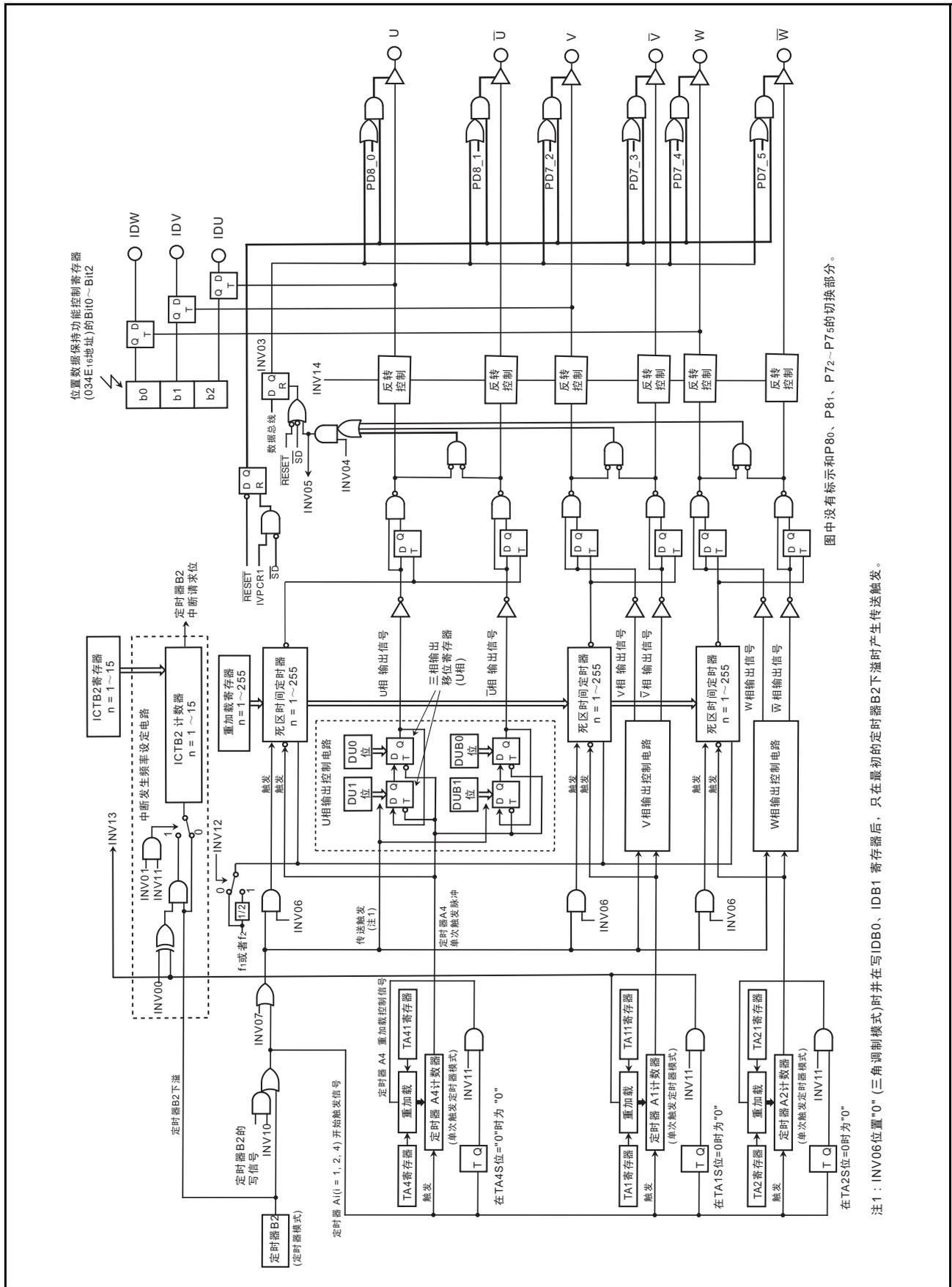


图 12.25 用于三相马达控制的定时器功能的框图



图 12.26 INVC0 寄存器

## 三相PWM控制寄存器1(注1)

位	符号	地址	复位后的值	
b7b6b5b4b3b2b1b0	INVC1	0349 <sub>16</sub> 地址	00 <sub>16</sub>	
	位符号	位名	功能	RW
	INV10	定时器A1、A2和A4开始触发选择位	0: 定时器B2下溢 1: 定时器B2下溢以及写TB2寄存器(注2)	RW
	INV11	定时器A1-1、A2-1和A4-1控制位(注3)	0: 三相模式0(注4) 1: 三相模式1	RW
	INV12	死区时间定时器计数源选择位	0: f1或者f2 1: f1的2分频或者f2的2分频	RW
	INV13	载波状态检测标志(注5)	0: 定时器A1重加载控制信号为“0” 1: 定时器A1重加载控制信号为“1”	RO
	INV14	输出极性控制位	0: 输出波形“L”电平有效 1: 输出波形“H”电平有效	RW
	INV15	死区时间无效位	0: 死区时间有效 1: 死区时间无效	RW
	INV16	死区时间定时器触发选择位	0: 定时器(A4、A1、A2)的单个触发脉冲的下降沿(注6) 1: 三相输出移位寄存器(U、V、W相)输出的上升沿	RW
	(b7)	保留位	必须置“0”。	RW

注1. 请将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。另外, 必须在定时器A1、A2、A4和B2的停止状态下改写此寄存器。

注2. 仅在定时器B2处于停止状态下, 才能通过写TB2寄存器产生开始触发。

注3. INV11位的影响如下表所示:

项目	INV11=0时	INV11=1时
模式	三相模式0	三相模式1
TA11、TA21、TA41寄存器	不使用	使用
INV00位、INV01位	无效。与INV00、INV01位的值无关, 在定时器B2每次下溢时ICTB2进行计数	有效
INV13位	无效	在INV11=1且INV06=0时有效

注4. INV0寄存器的INV06位置“1”时(锯齿波调制模式), 请将此位置“0”(三相模式0)。另外, INV11位为“0”时, 请将TB2SC寄存器的PWCON位置“0”(通过定时器B2的下溢进行定时器B2的再装入)。

注5. 仅在INV06位置“0”(三角波调制模式)且INV11位置“1”(三相模式1)时, INV13位才有效。

注6. 在满足以下所有条件时, 请将INV16位置“1”(死区时间定时器的触发为三相输出移位寄存器的输出上升沿)。

- INV15位置“0”(使用死区时间定时器)
- INV03位置“1”(允许用于三相马达控制的定时器输出)时, Dij位(i: U、V或者W、j: 0~1)与DiBj位的值总是不同(在短路防止以外的期间, 正相与反相总是输出相反的电平)。

另外, 在不满足上述的某个条件时, 请将INV16位置“0”(死区时间定时器的触发为定时器的单个触发脉冲的下降沿)。

图 12.27 INVC1 寄存器

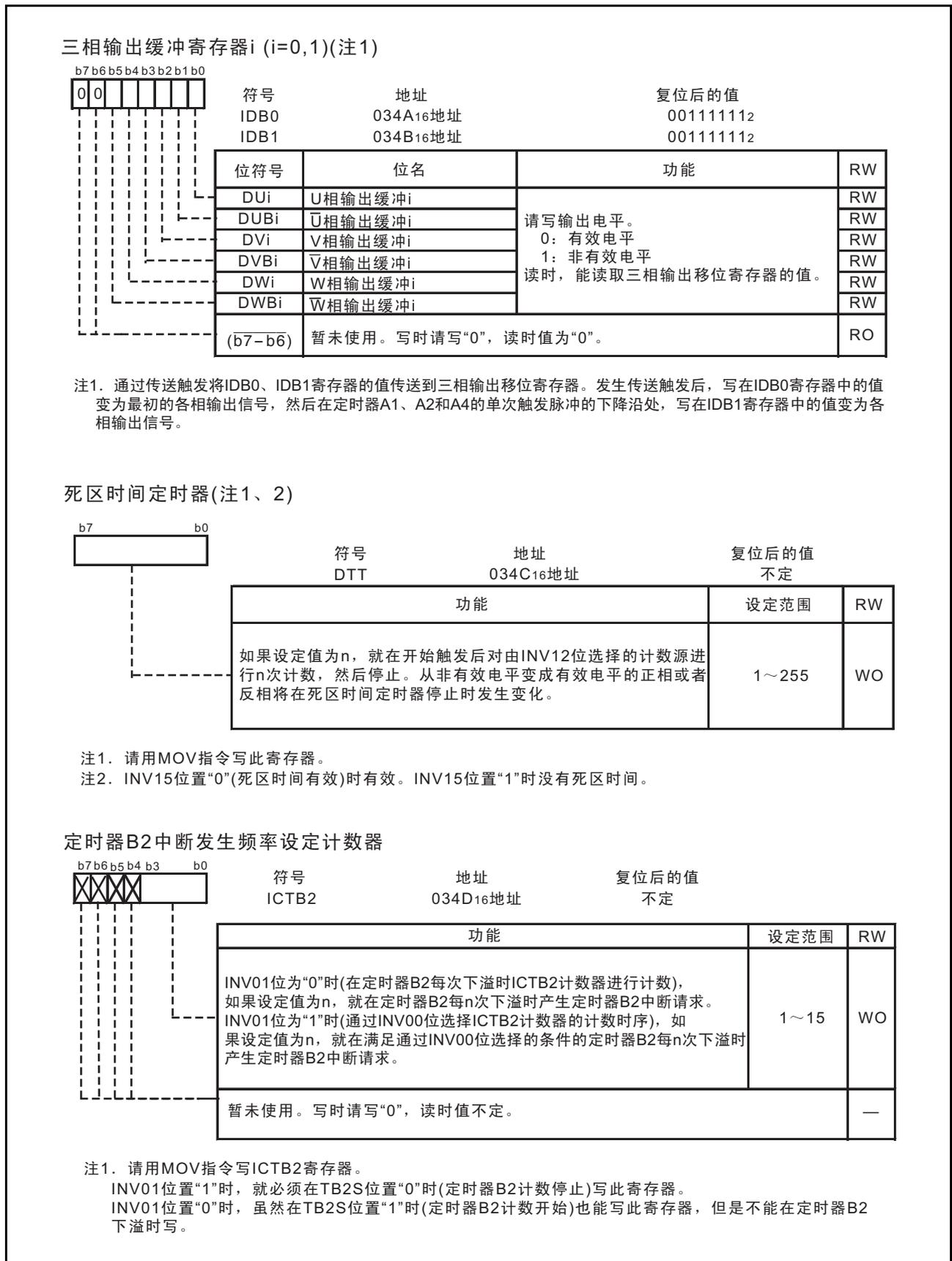


图 12.28 IDB0、IDB1、DTT、ICTB2 寄存器

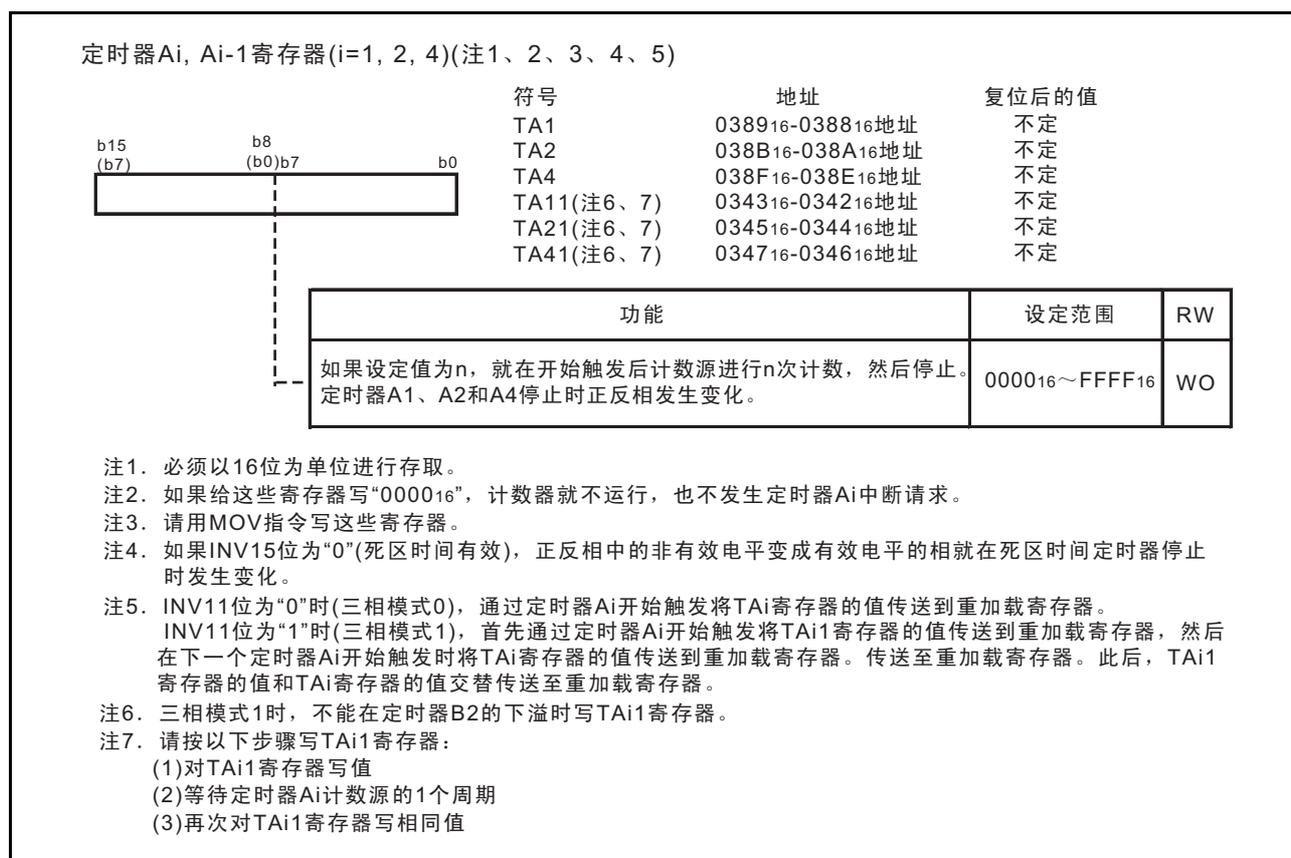


图 12.29 TA1、TA2、TA4、TA11、TA21、TA41 寄存器

## 定时器B2特殊模式寄存器(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号 TB2SC	地址 039E16地址	复位后的值 X0000002
0	0									

位符号	位名	功能	RW
PWCON	定时器B2重加载时序切换位	0: 定时器B2下溢 1: 奇数次的定时器A输出(注2)	RW
IVPCR1	三相输出端口SD控制位1 (注3、注4、注7)	0: 禁止通过SD引脚输入进行的三相输出强制切断(高阻抗) 1: 允许通过SD引脚输入进行的三相输出强制切断(高阻抗)	RW
TB0EN	定时器B0运行模式选择位	0: 非A/D触发模式 1: A/D触发模式(注5)	RW
TB1EN	定时器B1运行模式选择位	0: 非A/D触发模式 1: A/D触发模式(注5)	RW
TB2SEL	触发选择位	0: TB2中断 1: TB2中断发生频率设定计数器(ICTB2)下溢(注6)	RW
(b6-b5)	保留位	请置“0”。	RW
(b7)	暂未使用。写时请写“0”，读时值为“0”。		—

- 注1. 请将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。
- 注2. INV11位为“0”(三相模式0)或者INV06位为“1”时(锯齿波调制模式), 请将此位置“0”(定时器B2下溢)。
- 注3. 将IVPCR1位置“1”时(允许通过SD引脚输入进行的三相输出强制切断), 请将PD8s位置“0”(输入)。
- 注4. 对象引脚为U(P80)、 $\bar{U}$ (P81)、V(P72)、 $\bar{V}$ (P73)、W(P74)和 $\bar{W}$ (P75)。在强制切断后, 如果给SD引脚输入“H”电平并将IVPCR1位置“0”, 就解除强制切断(高阻抗)。如果给SD引脚输入“L”电平, 就禁止对象引脚用于三相马达控制的定时器输出(INV03=“0”)。此时, 对象引脚与使用的功能无关, IVPCR1位为“0”时为通常端口, IVPCR1位置“1”时变为高阻抗状态。
- 注5. 在延迟触发模式0使用时, 请将TB0EN位和TB1EN位都置“1”(A/D触发模式)。
- 注6. 将此位置“1”时(TB2中断发生频率设定计数器(ICTB2)下溢), 请将INVC0寄存器的INV02位置“1”(用于三相马达控制的定时器功能)。
- 注7. 有关SD输入, 请参考“19.6 数字消抖动功能”。

SD引脚输入的影响如下:

## 1. INV03位为“1”时(允许用于三相马达控制的定时器输出)

IVPCR1位	SD引脚输入(注3)	U/V/W对应引脚的状态	备注
“1” (允许三相输出强制切断)	H	三相PWM输出	
	L(注1)	高阻抗(注4)	三相输出强制切断
“0” (禁止三相输出强制切断)	H	三相PWM输出	
	L(注1)	输入/输出端口(注2)	

- 注1. 如果给SD引脚输入“L”电平, 同时INV03位就变为“0”。
- 注2. 端口寄存器和端口方向寄存器的值有效。
- 注3. 不使用SD功能时, 请将PD8s位置“0”(输入)后从外部将SD引脚上拉为“H”电平。
- 注4. 三相PWM输出强制切断, SD引脚输入变为“H”电平后, 因IVPCR1位置“0”, 强制切断被解除。

## 2. INV03位为“0”时(禁止用于三相马达控制的定时器输出)时

IVPCR1位	SD引脚输入	U/V/W对应引脚的状态	备注
“1” (允许三相输出强制切断)	H	外围功能的输入/输出或者输入/输出端口	
	L	高阻抗	三相输出强制切断(注1)
“0” (禁止三相输出强制切断)	H	外围功能的输入/输出或者输入/输出端口	
	L	外围功能的输入/输出或者输入/输出端口	

- 注1. 即使INV03位为“0”时(禁止用于三相马达控制的定时器输出), 只要IVPCR1位置“1”(允许三相输出强制切断), 三相输出强制切断功能就为有效。

图 12.30 TB2SC 寄存器

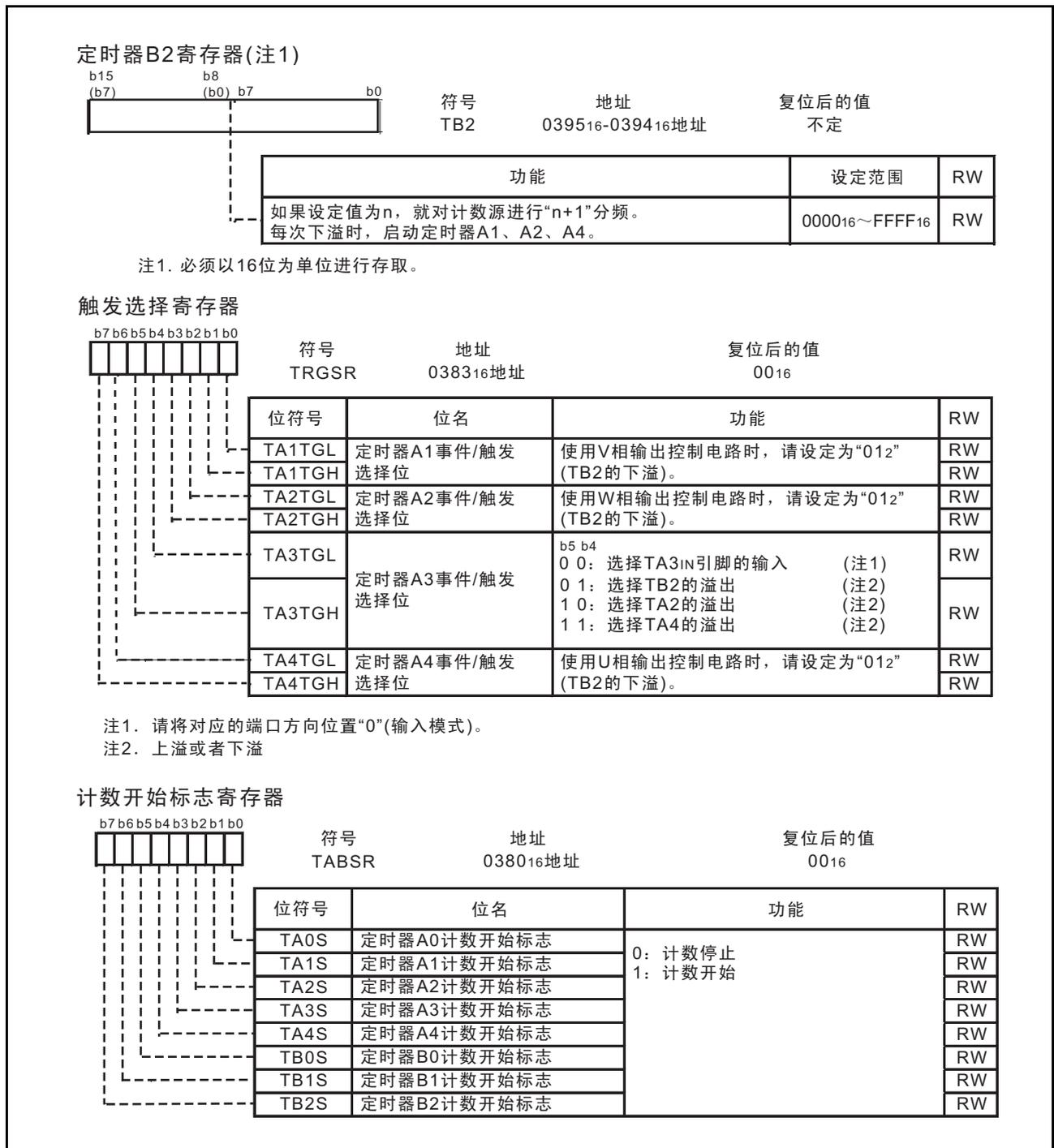


图 12.31 TB2、TRGSR、TABSR 寄存器

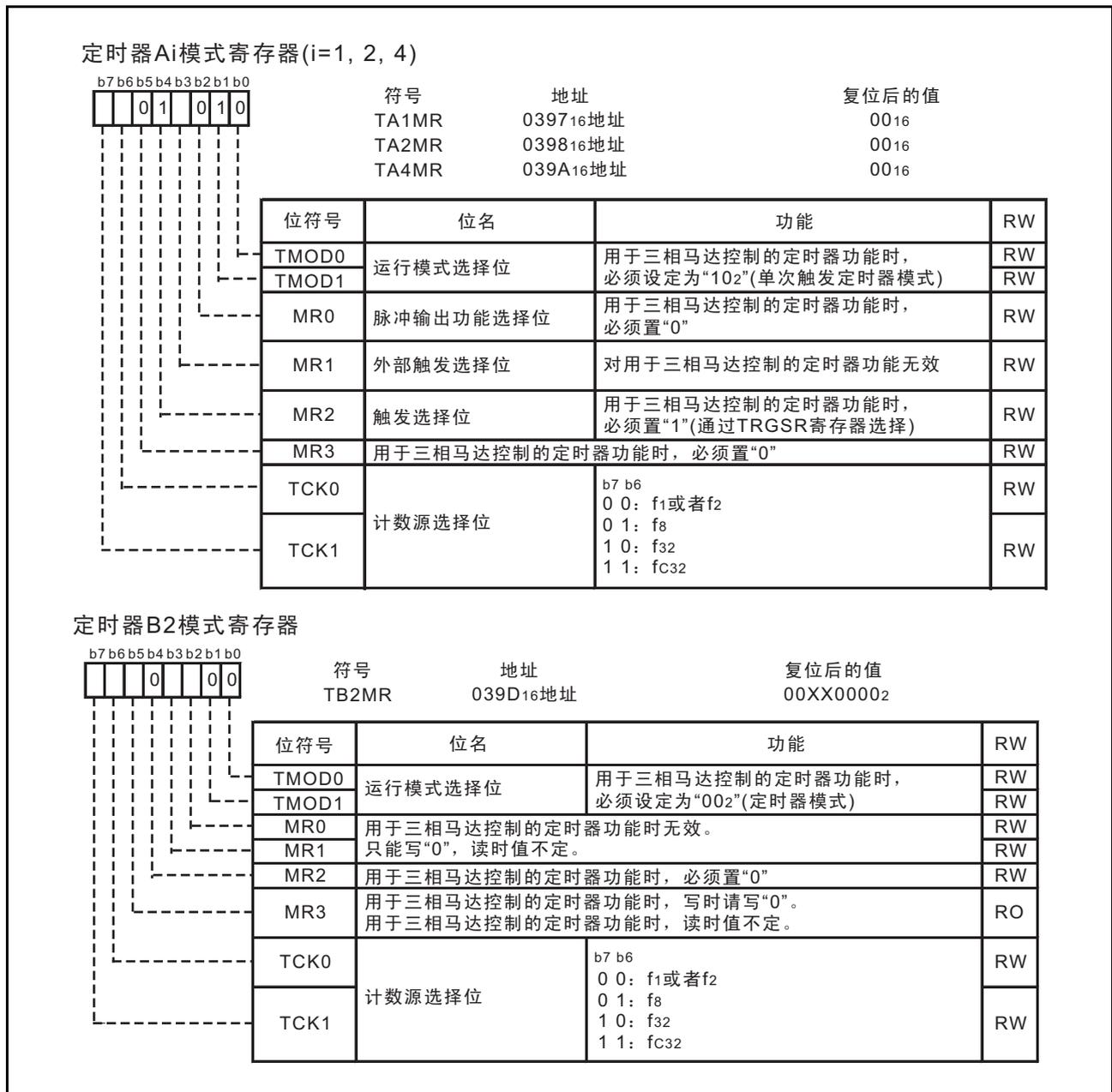


图 12.32 TA1MR、TA2MR、TA4MR、TB2MR 寄存器

将 INVC0 寄存器的 INV02 位置“1”时，变为用于三相马达控制的定时器功能。在此功能中，定时器 B2 用于载波控制，定时器 A4、A1、A2 用于三相 PWM 输出（U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ ）的控制。死区时间由专用死区时间定时器控制。三角波调制波形的例子如图 12.33 所示，锯齿波调制波形的例子如图 12.34 所示。

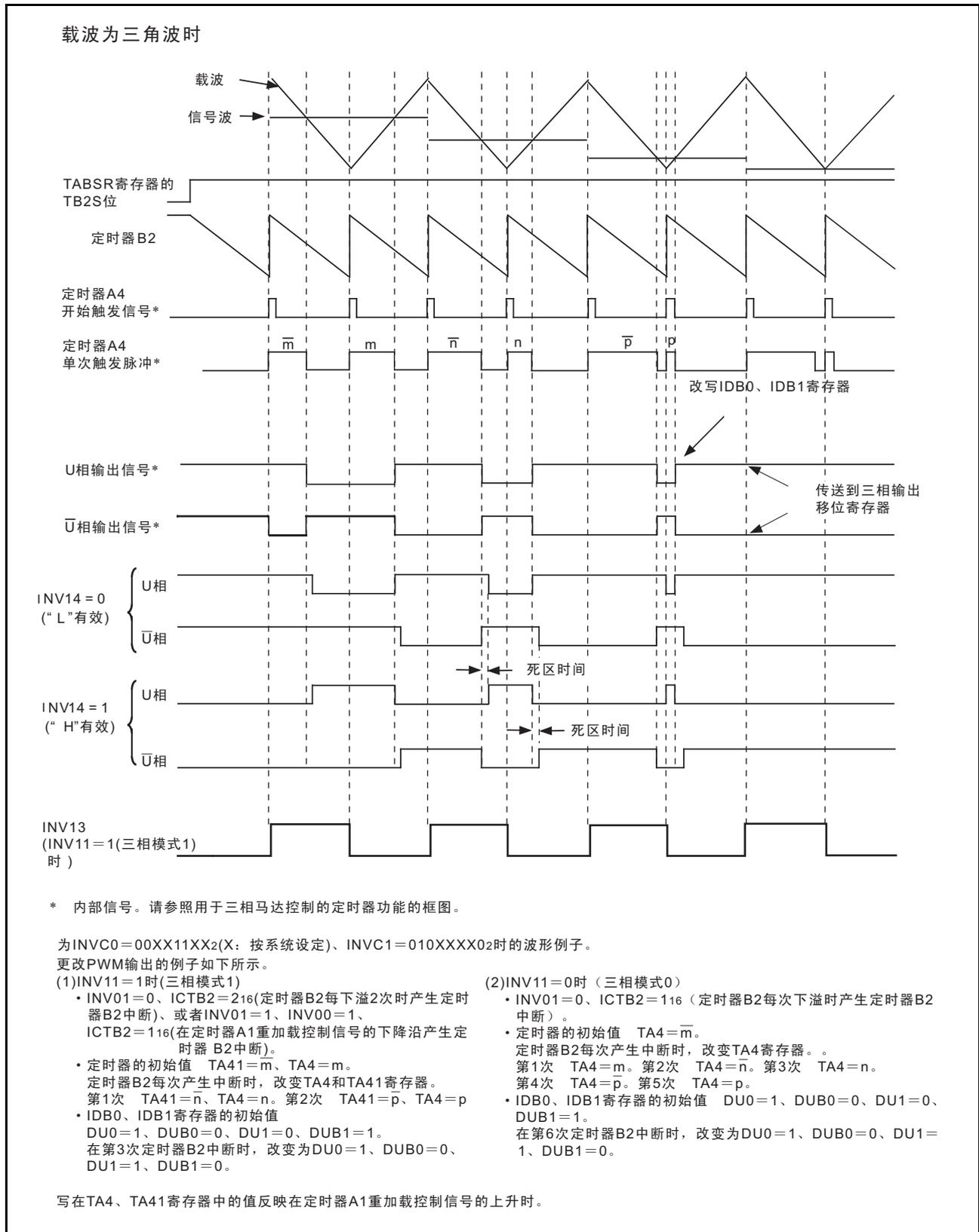


图 12.33 三角波调制运行的例子

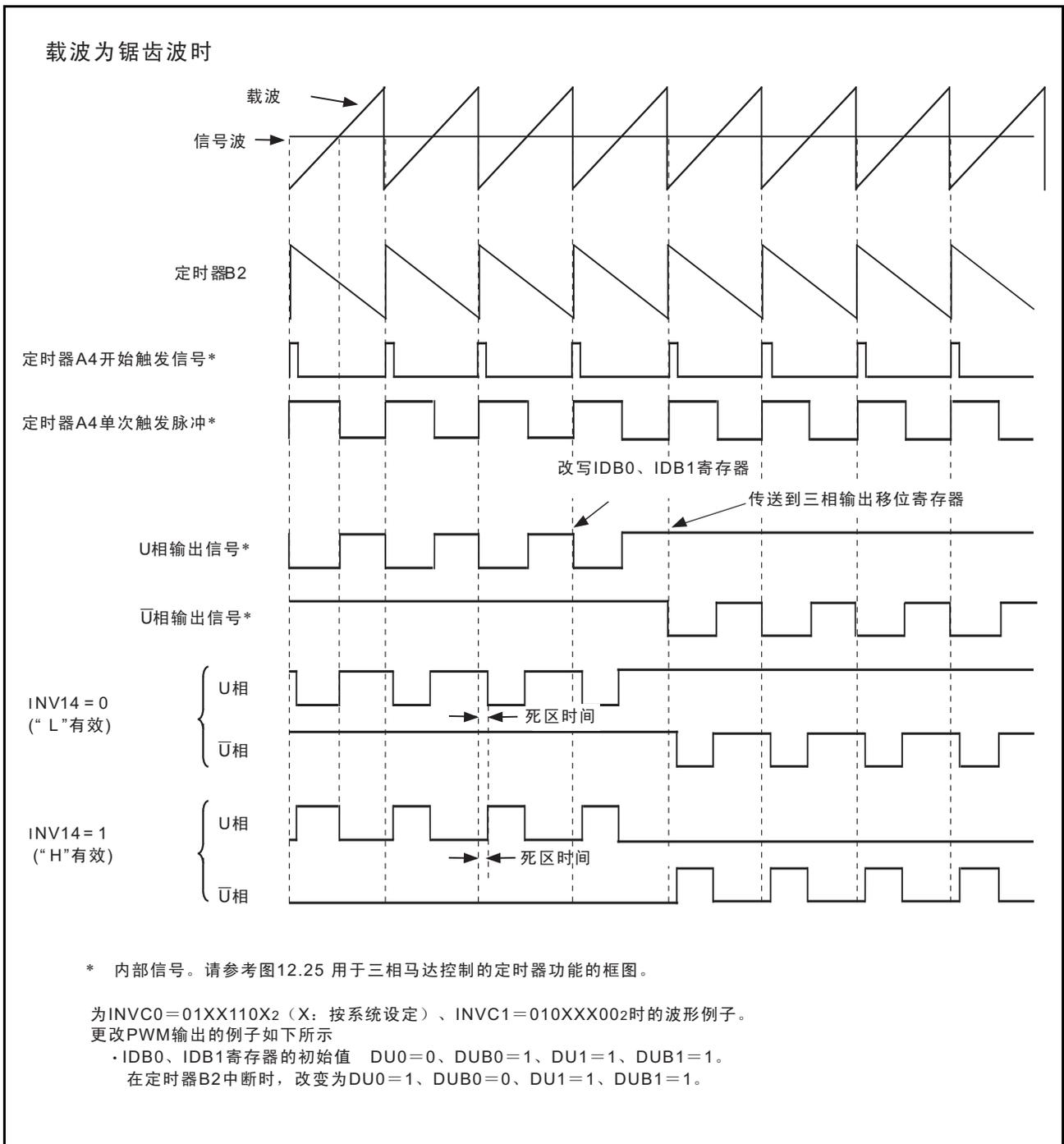


图 12.34 锯齿波调制的例子

### 12.3.1 位置数据保持功能

与三相波形输出同步并保持位置数据的功能，有 U 相、V 相与 W 相 3 相。

用于保持位置数据的触发（以下将此触发简称为“保持触发”）可通过保持触发极性选择位（PDRF 寄存器的 PDRT 位），选择各相的正相下降沿或上升沿。

#### 12.3.1.1 位置数据保持功能的运行说明

保持触发为正相的下降沿的信号时，位置数据保持功能的输入示例（U 相）如图 12.35 所示。

1. 在 U 相波形输出的下降沿，将 IDU 引脚的状态发送至 U 相位置数据保持位（PDRF 寄存器的 PDRU 位）。
2. 该值被保持到下一个 U 相波形输出的下降沿为止。

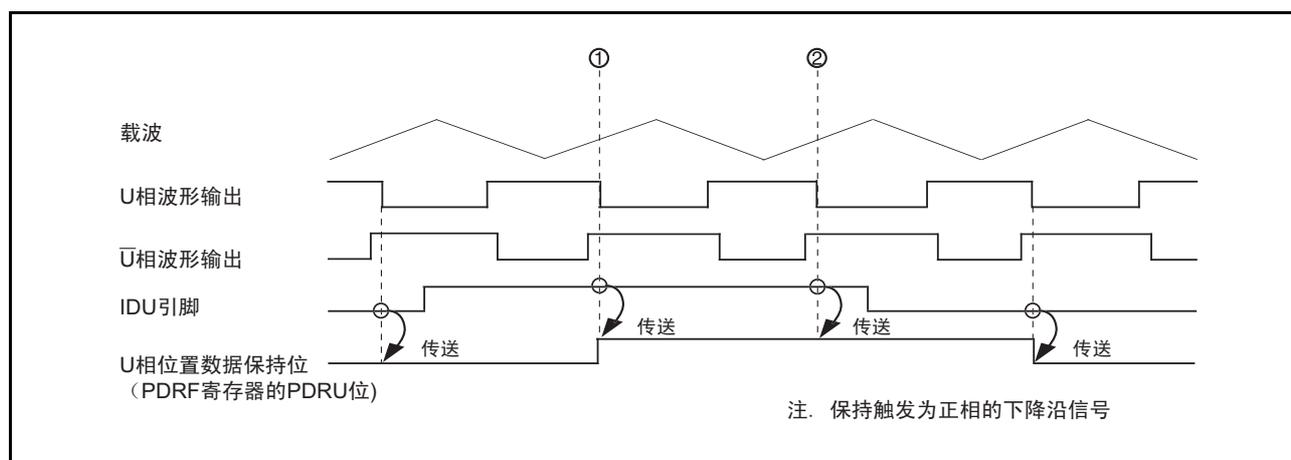


图 12.35 位置数据保持功能的输入例子（U 相）

## 12.3.1.2 位置数据保持功能的控制寄存器

位置数据保持功能控制寄存器的结构如图 12.36 所示。

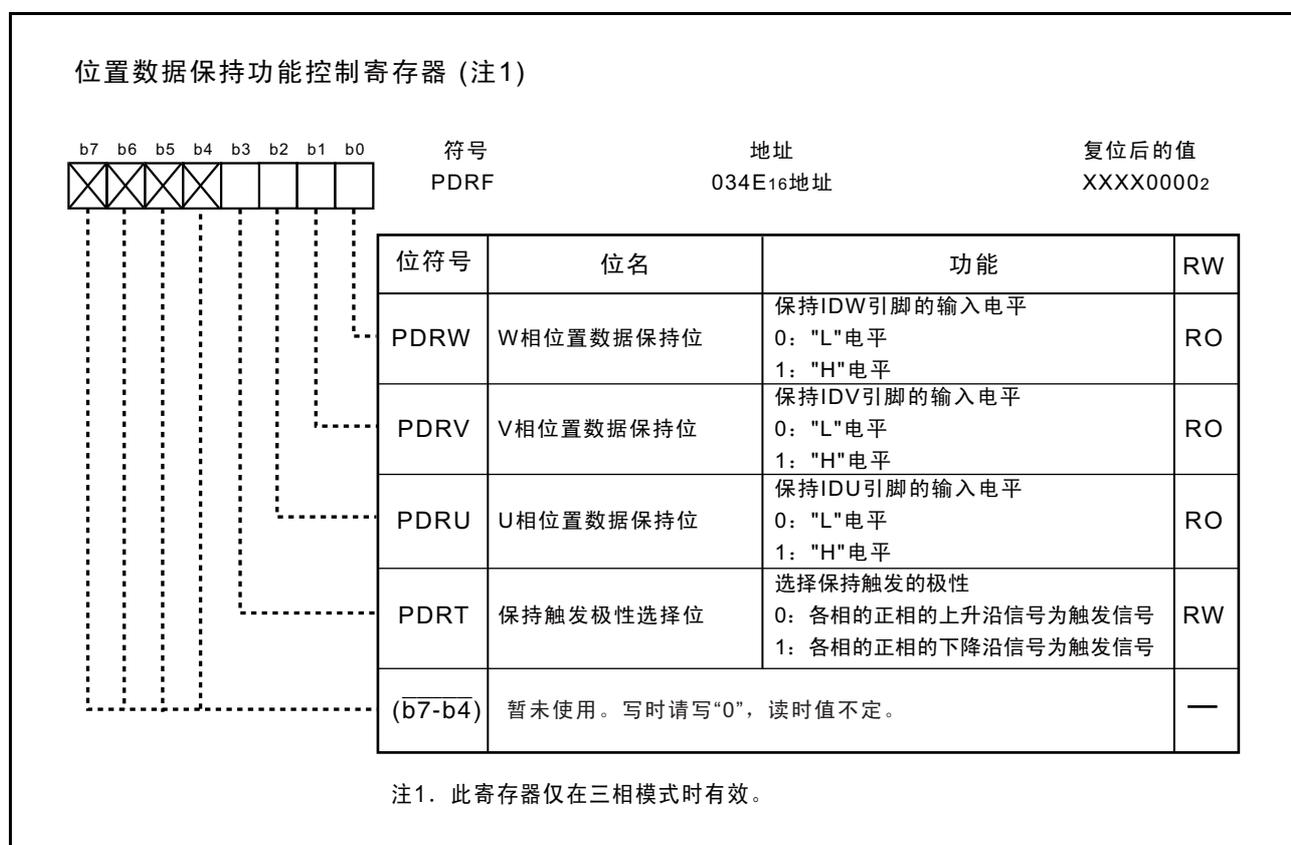


图 12.36 位置数据保持功能控制寄存器

## (1) W相位置数据保持位 (PDRW)

这是保持 IDW 引脚输入电平的位。

## (2) V相位置数据保持位 (PDRV)

这是保持 IDV 引脚输入电平的位。

## (3) U相位置数据保持位 (PDRU)

这是保持 IDU 引脚输入电平的位。

## (4) 保持触发极性选择位 (PDRT)

这是选择保持触发的极性的位。

此位置“0”时，各相的正相的上升沿信号为触发信号。

此位置“1”时，各相的正相的下降沿信号为触发信号。

### 12.3.2 三相 / 端口输出切换功能

INVC0 寄存器的 INV03 位置 “1” 时（允许用于三相马达控制定时器输出），如果 PFCR 寄存器的 PFCi 位（ $i=0 \sim 5$ ）置 “0”（输入 / 输出端口），三相 PWM 输出引脚（U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ ）就作为输入 / 输出端口运行。

PFCi 位（ $i=0 \sim 5$ ）的各位分别与三相 PWM 输出端口一一对应。三相 / 端口输出切换功能的运行例如图 12.37 所示，PFCR 寄存器与三相保护控制寄存器如图 12.38 所示。

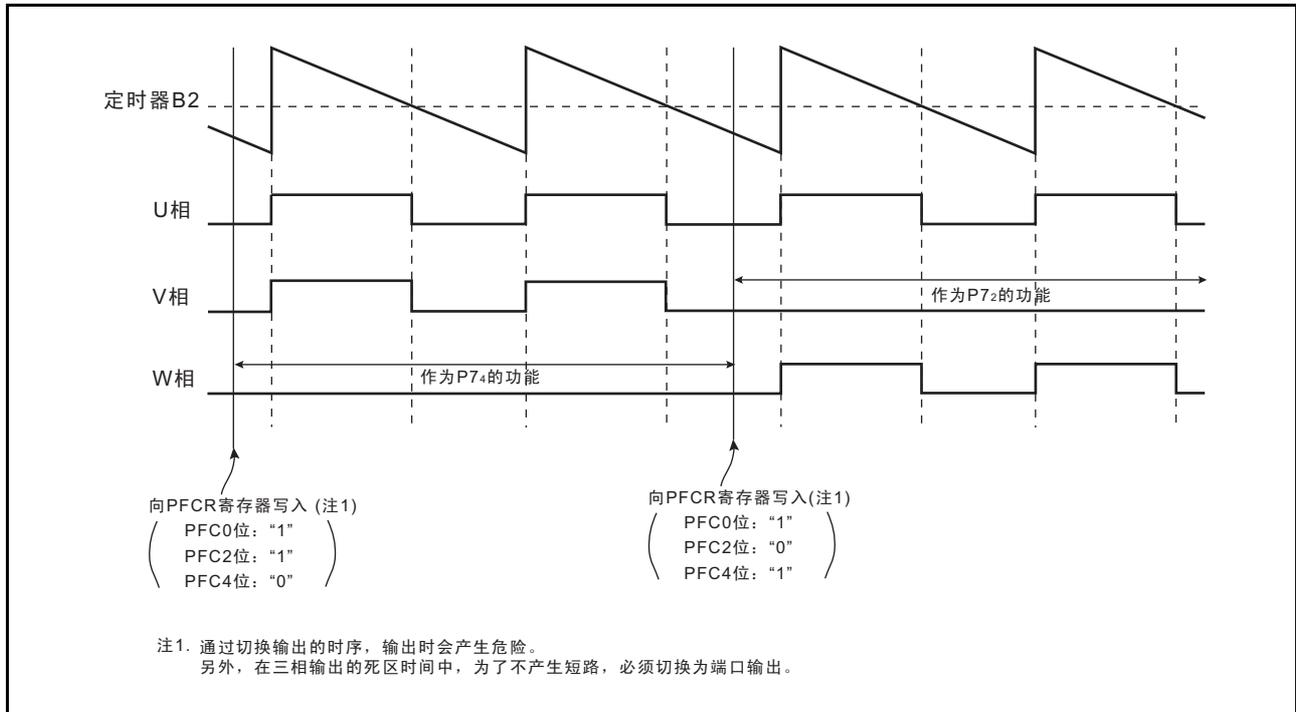


图 12.37 三相 / 端口输出切换功能的运行示例

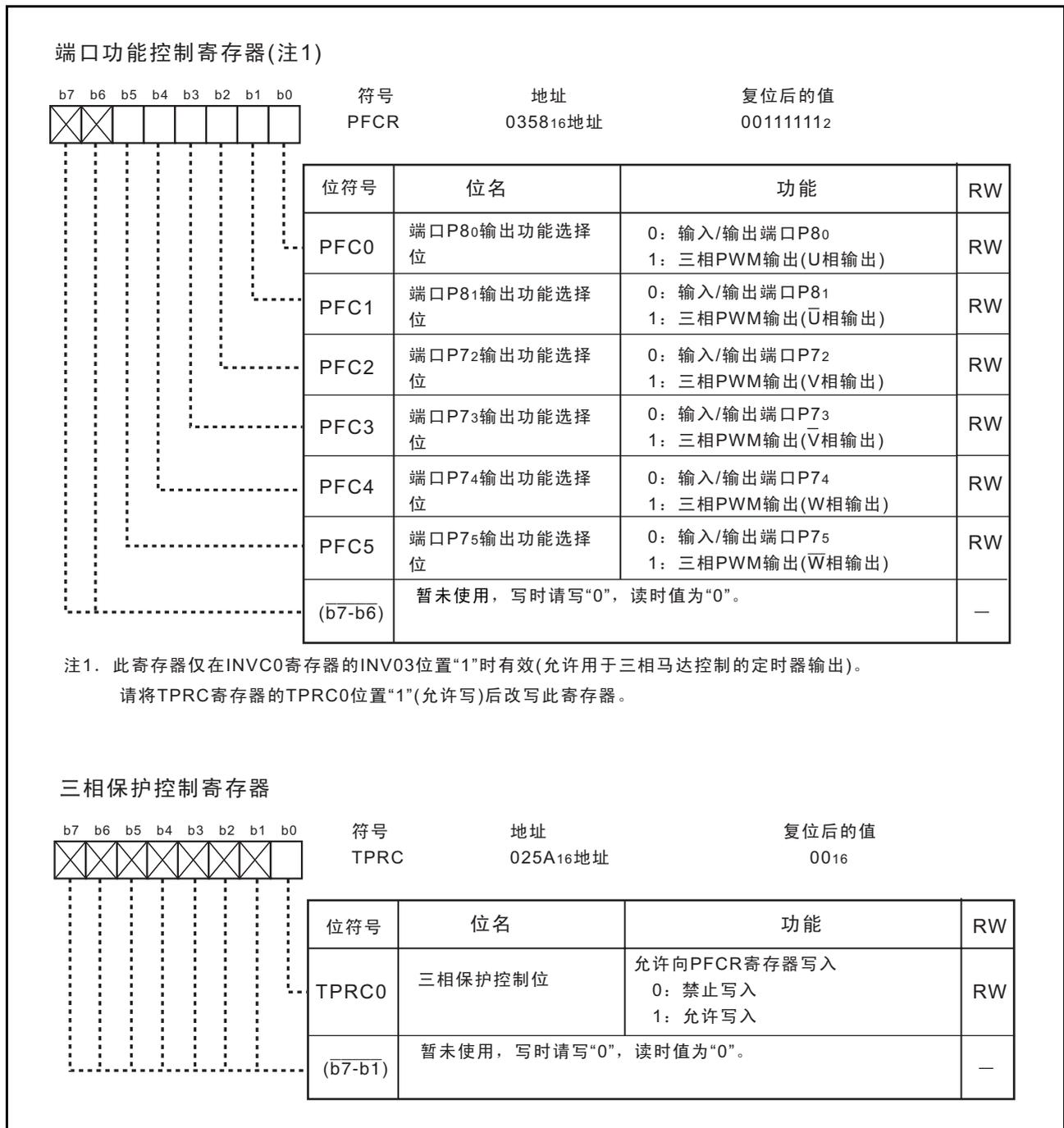


图 12.38 PFCR、TPRC 寄存器

## 13. 串行 I/O

**注意**

对于 42 引脚版，不能使用 UART0。

串行 I/O 由 UART0 ~ UART2 的 3 个通道构成。  
以下分别进行说明。

### 13.1 UART<sub>i</sub> (i=0 ~ 2)

UART<sub>i</sub> 分别具有专用的传送时钟发生定时器，可以独立运行。  
UART<sub>i</sub> 框图如图 13.1 所示，UART<sub>i</sub> 发送单元和接收单元的框图如图 13.2 所示。

UART<sub>i</sub> 有以下模式：

- 时钟同步串行 I/O 模式
- 时钟异步串行 I/O 模式 (UART 模式)
- 特殊模式 1 (I<sup>2</sup>C bus 模式)：UART2
- 特殊模式 2：UART2
- 特殊模式 3 (总线冲突检测功能、IEBus 模式)：UART2
- 特殊模式 4 (SIM 模式)：UART2

UART<sub>i</sub> 相关寄存器如图 13.3 ~ 图 13.8 所示。  
有关寄存器的设定，请参考各模式说明中的列表。

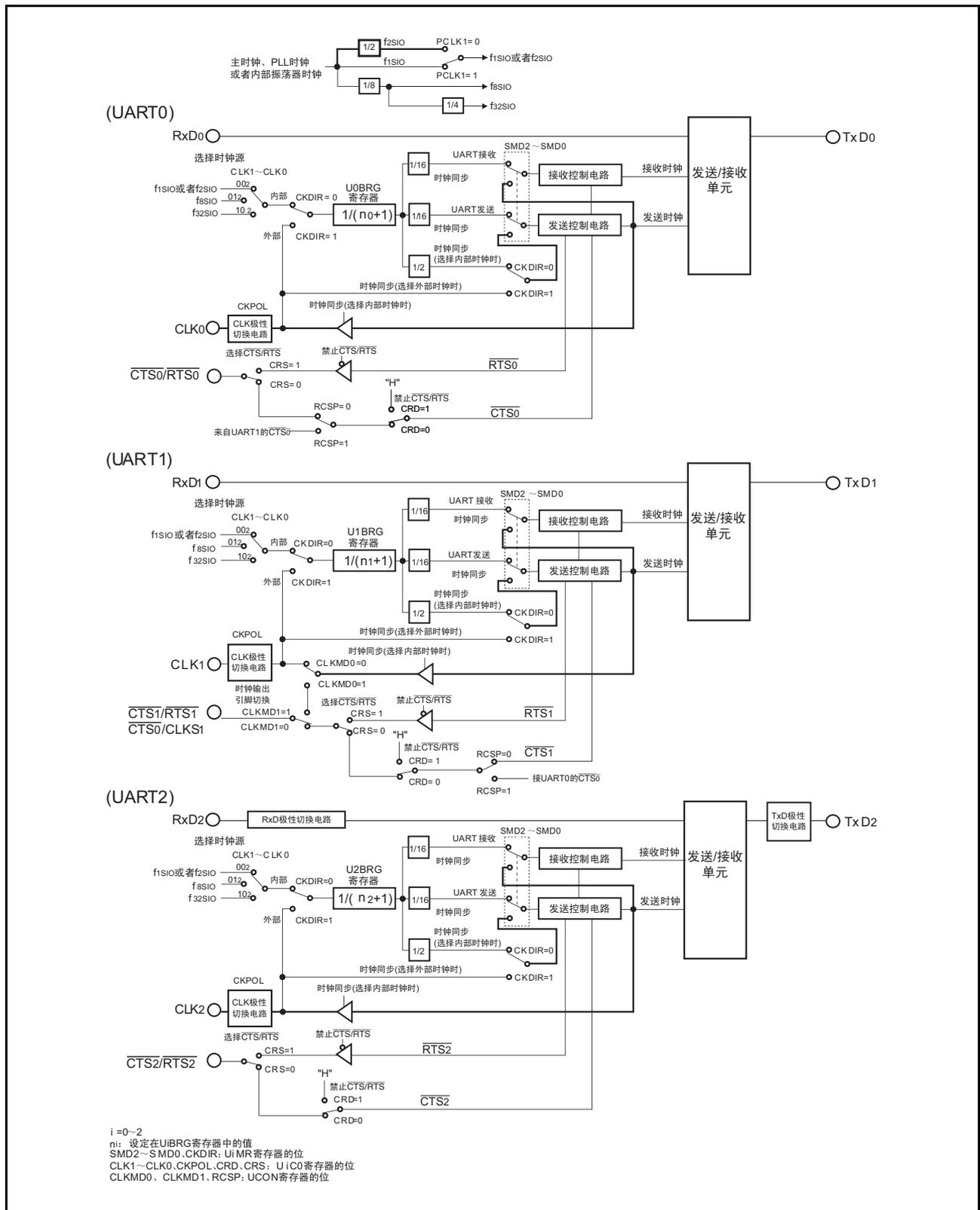


图 13.1 UART<sub>i</sub>框图

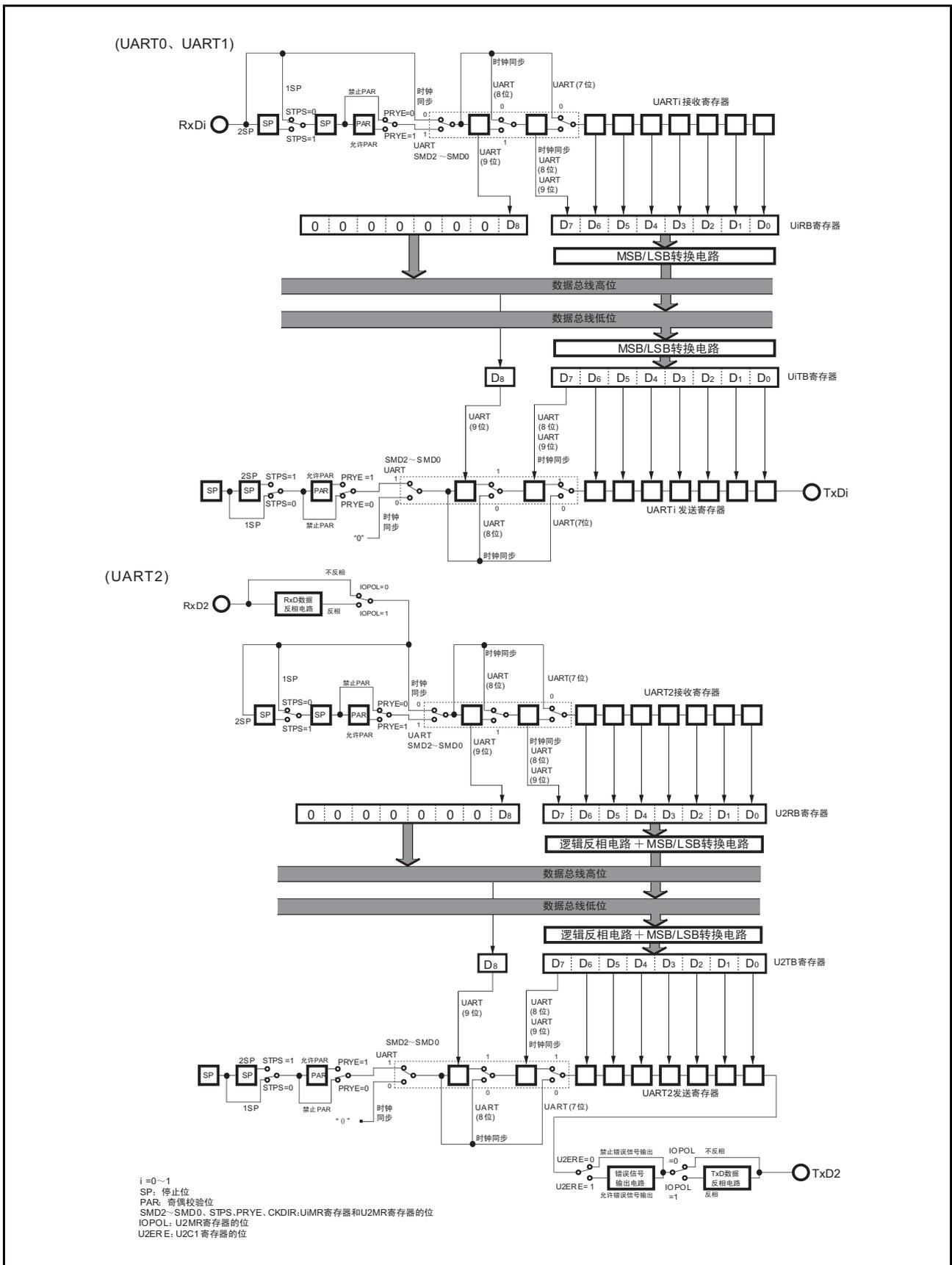


图 13.2 UARTi 发送单元和接收单元的框图

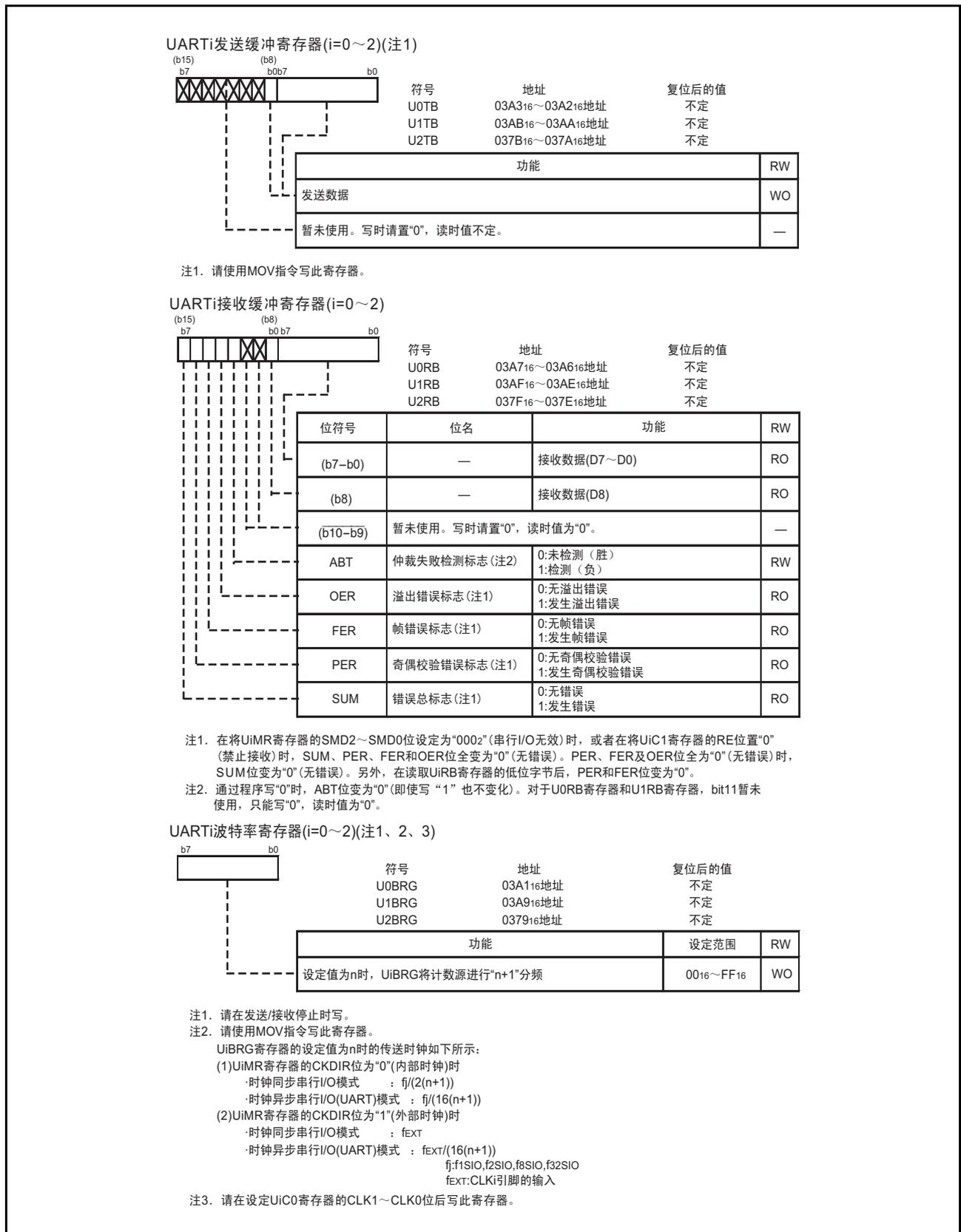


图 13.3 U0TB ~ U2TB、U0RB ~ U2RB、U0BRG ~ U2BRG 寄存器

UART<sub>i</sub>发送/接收模式寄存器(i=0~1)

符号		地址	复位后的值
U0MR、U1MR		03A0 <sub>16</sub> 、03A8 <sub>16</sub> 地址	00 <sub>16</sub>
位符号	位名	功能	RW
SMD0	串行I/O模式选择位(注2)	b2 b1 b0 0 0 0: 串行I/O无效 0 0 1: 时钟同步串行I/O模式 1 0 0: UART模式, 传送数据长度为7位 1 0 1: UART模式, 传送数据长度为8位 1 1 0: UART模式, 传送数据长度为9位 上述以外: 不能设定	RW
SMD1		RW	
SMD2		RW	
CKDIR	内部/外部时钟选择位	0: 内部时钟 1: 外部时钟(注1)	RW
STPS	停止位长度选择位	0: 1个停止位 1: 2个停止位	RW
PRY	奇偶校验的奇/偶选择位	在PRYE=1时有效 0: 奇校验 1: 偶校验	RW
PRYE	奇偶校验允许位	0: 禁止奇偶校验 1: 允许奇偶校验	RW
(b7)	保留位	写时请置“0”。	RW

注1. 请将对应CLK<sub>i</sub>引脚的端口方向位置“0”(输入模式)。

注2. 在接收时, 请将对应RxD<sub>i</sub>引脚的端口方向位置“0”(输入模式)。

UART<sub>2</sub>发送/接收模式寄存器

符号		地址	复位后的值
U2MR		0378 <sub>16</sub> 地址	00 <sub>16</sub>
位符号	位名	功能	RW
SMD0	串行I/O模式选择位(注2)	b2 b1 b0 0 0 0: 串行I/O无效 0 0 1: 时钟同步串行I/O模式 0 1 0: I <sup>2</sup> C bus模式(注3) 1 0 0: UART模式, 传送数据长度为7位 1 0 1: UART模式, 传送数据长度为8位 1 1 0: UART模式, 传送数据长度为9位 在上述情况以外时 不能设定	RW
SMD1		RW	
SMD2		RW	
CKDIR	内部/外部时钟选择位	0: 内部时钟 1: 外部时钟(注1)	RW
STPS	停止位长度选择位	0: 1个停止位 1: 2个停止位	RW
PRY	奇偶校验的奇/偶选择位	在PRYE=1时有效 0: 奇校验 1: 偶校验	RW
PRYE	奇偶校验允许位	0: 禁止奇偶校验 1: 允许奇偶校验	RW
IOPOL	TxD、RxD输入/输出极性切换位	0: 不反相 1: 反相	RW

注1. 请将对应CLK<sub>2</sub>引脚的端口方向位置“0”(输入模式)。

注2. 在接收时, 请将对应RxD<sub>2</sub>引脚的端口方向位置“0”(输入模式)。

注3. 请将对应SDA<sub>2</sub>、SCL<sub>2</sub>引脚的端口方向位置“0”(输入模式)。

图 13.4 U0MR ~ U2MR 寄存器

UARTi发送/接收控制寄存器0(i=0~2)

符号	地址	复位后的值
U0C0~U2C0	03A4 <sub>16</sub> 、03AC <sub>16</sub> 、037C <sub>16</sub> 地址	00001000 <sub>2</sub>

位符号	位名	功能	RW
CLK0	BRG计数源选择位 (注7)	b1 b0 0 0 : 选择f <sub>1SIO</sub> 或者f <sub>2SIO</sub> 0 1 : 选择f <sub>8SIO</sub> 1 0 : 选择f <sub>32SIO</sub> 1 1 : 不能设定	RW
CLK1		RW	
CRS	CTS/RTS功能选择位(注3)	在CRD=0时有效 0 : 选择CTS功能(注1) 1 : 选择RTS功能	RW
TXEPT	发送寄存器空标志	0 : 发送寄存器中有数据(在发送中) 1 : 发送寄存器中无数据(发送结束)	RO
CRD	CTS/RTS禁止位	0 : 允许CTS/RTS功能 1 : 禁止CTS/RTS功能 (P6 <sub>0</sub> 、P6 <sub>4</sub> 、P7 <sub>3</sub> 可作为输入/输出端口使用) (注6)	RW
NCH	数据输出选择位(注5)	0 : TxDi/SDA2、SCL2引脚为CMOS输出 (注4) 1 : TxDi/SDA2、SCL2引脚为N通道漏极开路	RW
CKPOL	CLK极性选择位	0 : 在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据 1 : 在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据	RW
UFORM	传送格式选择位(注2)	0 : LSB先发送 1 : MSB先发送	RW

- 注1. 请将对应CTS<sub>i</sub>引脚的端口方向位置“0”(输入模式)。
- 注2. 在UIMR寄存器的SMD2~SMD0位为“001<sub>2</sub>”(时钟同步串行I/O模式)或者为“101<sub>2</sub>”(UART模式, 传送数据长度为8位)时有效。请在SMD2~SMD0位为“010<sub>2</sub>”(I<sup>2</sup>C bus模式)时将UFORM位置“1”, 在“100<sub>2</sub>”(UART模式, 传送数据长度为7位)或者“110<sub>2</sub>”(UART模式, 传送数据长度为9位)时置“0”。
- 注3. 在UCON寄存器的CLKMD1位为“0”(CLK输出仅为CLK1)且UCON寄存器的RCSP位为“0”(CTS<sub>0</sub>/RTS<sub>0</sub>不独立)时, 可使用CTS<sub>i</sub>/RTS<sub>i</sub>。
- 注4. SDA2、SCL2在i=2时有效。
- 注5. 在UIMR寄存器的SMD2~SMD0位为“000<sub>2</sub>”(串行I/O无效)时, 不能将NCH位设定为“1”(TxDi/SDA2、SCL2引脚为N通道漏极开路输出)。
- 注6. 在PACR寄存器的U1MAP位为“1”(P7<sub>3</sub>~P7<sub>0</sub>)时,UART1的CTS/RTS引脚为P7<sub>0</sub>。
- 注7. 在更改CLK1~CLK0位时, 请设定UiBRG寄存器。

UART发送/接收控制寄存器2

符号	地址	复位后的值
UCON	03B0 <sub>16</sub> 地址	X0000000 <sub>2</sub>

位符号	位名	功能	RW
U0IRS	UART0发送中断源选择位	0 : 发送缓冲器空(TI=1) 1 : 发送结束(TXEPT=1)	RW
U1IRS	UART1发送中断源选择位	0 : 发送缓冲器空(TI=1) 1 : 发送结束(TXEPT=1)	RW
U0RRM	UART0连续接收模式允许位	0 : 禁止连续接收模式 1 : 允许连续接收模式	RW
U1RRM	UART1连续接收模式允许位	0 : 禁止连续接收模式 1 : 允许连续接收模式	RW
CLKMD0	UART1的CLK、CLKS选择位0	在CLKMD1=1时有效 0 : 从CLK1输出时钟 1 : 从CLKS1输出时钟	RW
CLKMD1	UART1的CLK、CLKS选择位1(注1)	0 : CLK输出仅为CLK1 1 : 选择传送时钟多引脚输出功能	RW
RCSP	UART0 CTS/RTS独立位	0 : CTS/RTS共通引脚 1 : CTS/RTS独立(从P6 <sub>4</sub> 引脚输入CTS <sub>0</sub> )(注2)	RW
(b7)	暂未使用。写时请置“0”, 读时值不定。		—

- 注1. 在使用多个传送时钟输出引脚时, 请满足以下条件:  
U1MR寄存器的CKDIR位=0(内部时钟)
- 注2. 在PACR寄存器的U1MAP位为“1”(P7<sub>3</sub>~P7<sub>0</sub>)时,从P7<sub>0</sub>引脚输入CTS<sub>0</sub>。

图 13.5 U0C0 ~ U2C0、UCON 寄存器

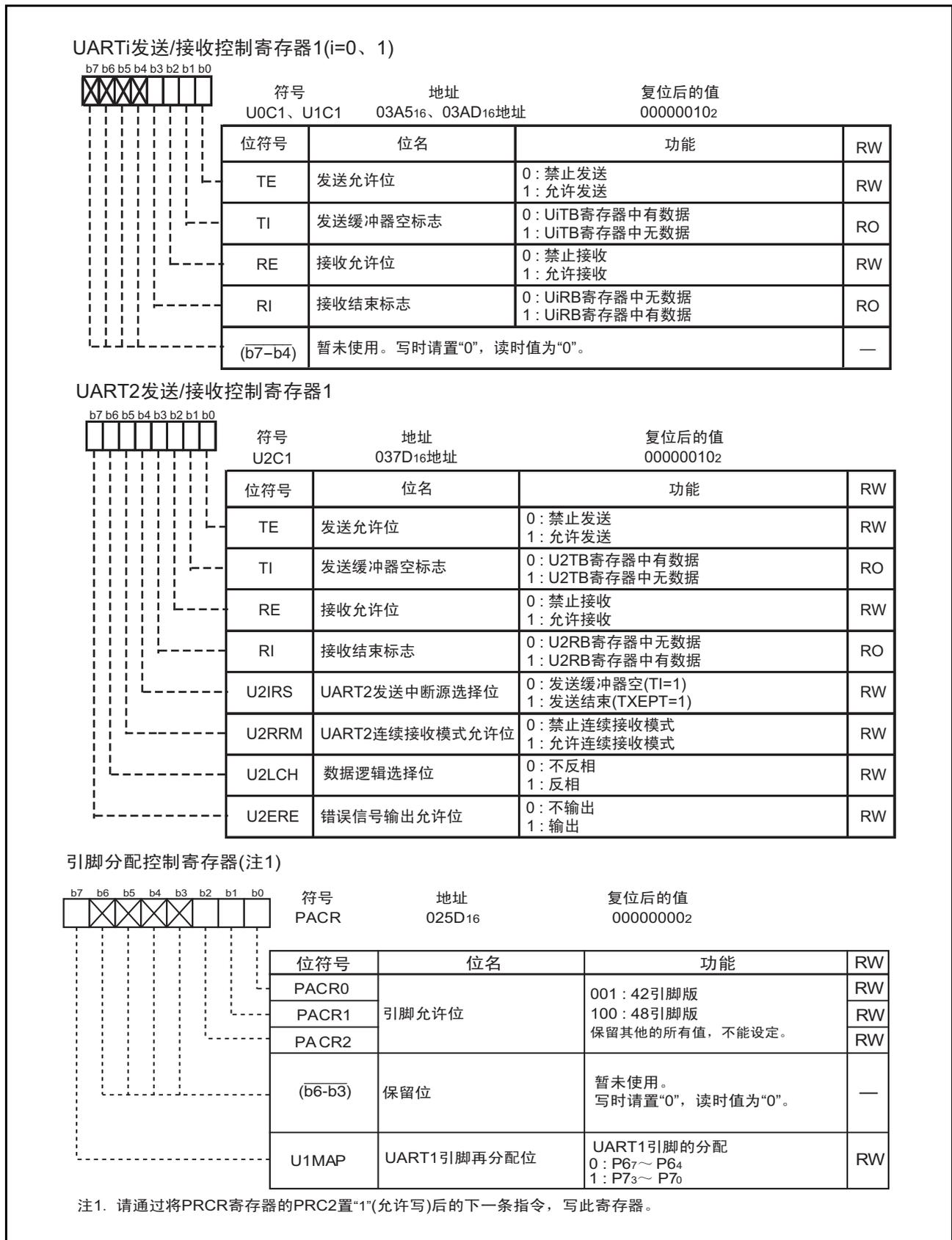


图 13.6 U0C1 ~ U2C1、PACR 寄存器



图 13.7 U2SMR 及 U2SMR2 寄存器

UART2特殊模式寄存器3

符号		地址	复位后的值
U2SMR3		0375 <sub>16</sub> 地址	000X0X0X <sub>2</sub>
位符号	位名	功能	RW
(b0)	暂未使用。写时请置“0”，读时值不定。		—
CKPH	时钟相位设定位	0: 无时钟延迟 1: 有时钟延迟	RW
(b2)	暂未使用。写时请置“0”，读时值不定。		—
NODC	时钟输出选择位	0: CLK2为CMOS输出 1: CLK2为N通道漏极开路输出	RW
(b4)	暂未使用。写时请置“0”，读时值不定。		—
DL0	SDA2数字延迟值设定位 (注1、2)	b7 b6 b5 0 0 0: 无延时 0 0 1: U2BRG计数源的1~2周期 0 1 0: U2BRG计数源的2~3周期 0 1 1: U2BRG计数源的3~4周期 1 0 0: U2BRG计数源的4~5周期 1 0 1: U2BRG计数源的5~6周期 1 1 0: U2BRG计数源的6~7周期 1 1 1: U2BRG计数源的7~8周期	RW
DL1		RW	
DL2		RW	

注1. DL2~DL0位在I<sup>2</sup>C bus模式下，对SDA2输出产生数字延迟；在I<sup>2</sup>C bus模式以外的模式时，请置为“000<sub>2</sub>”(无延迟)。

注2. 延迟量根据SCL<sub>2</sub>引脚和SDA<sub>2</sub>引脚的负载而变化。另外，在使用外部时钟时，延迟增大100ns左右。

UART2特殊模式寄存器4

符号		地址	复位后的值
U2SMR4		0374 <sub>16</sub> 地址	00 <sub>16</sub>
位符号	位名	功能	RW
STAREQ	开始条件生成位(注1)	0: 清除 1: 开始	RW
RSTAREQ	重新开始条件生成位(注1)	0: 清除 1: 开始	RW
STPREQ	停止条件生成位(注1)	0: 清除 1: 开始	RW
STPSEL	SCL <sub>2</sub> 、SDA <sub>2</sub> 输出选择位	0: 不输出开始条件和停止条件 1: 输出开始条件和停止条件	RW
ACKD	ACK数据位	0: ACK 1: NACK	RW
ACKC	ACK数据输出允许位	0: 串行I/O数据输出 1: ACK数据输出	RW
SCLHI	SCL <sub>2</sub> 输出停止允许位	0: 禁止 1: 允许	RW
SWC9	SCL <sub>2</sub> 等待位3	0: 禁止SCL <sub>2</sub> 保持“L”电平 1: 允许SCL <sub>2</sub> 保持“L”电平	RW

注1. 在生成各条件时，此位请置“0”。

图 13.8 U2SMR3 及 U2SMR4 寄存器

### 13.1.1 时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是使用传送时钟进行发送及接收的模式。其规格如表 13.1 所示、使用寄存器及设定值如表 13.2 所示。

表 13.1 时钟同步串行 I/O 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>传送数据长度 8 位</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>UiMR 寄存器 (i=0 ~ 2) 的 CKDIR 位为 “0” (内部时钟): <math>f_j/2(n+1)</math>  <math>f_j=f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}</math> n=UiBRG 寄存器的设定值 00<sub>16</sub> ~ FF<sub>16</sub></li> <li>CKDIR 位为 “1” (外部时钟): CLK<sub>i</sub> 引脚的输入</li> </ul>
发送控制、接收控制	可选择 $\overline{CTS}$ 功能、 $\overline{RTS}$ 功能、禁止 $\overline{CTS/RTS}$ 的功能
发送开始条件	开始发送时需要以下条件 (注 1): <ul style="list-style-type: none"> <li>UiC1 寄存器的 TE 位为 “1” (允许发送)</li> <li>UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据)</li> <li>选择 CTS 功能时, CTS<sub>i</sub> 引脚的输入为 “L” 电平</li> </ul>
接收开始条件	开始接收时需要以下条件 (注 1): <ul style="list-style-type: none"> <li>UiC1 寄存器的 RE 位为 “1” (允许接收)</li> <li>UiC1 寄存器的 TE 位为 “1” (允许发送)</li> <li>UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据)</li> </ul>
中断请求产生时序	在发送时, 可任意选择以下的条件: <ul style="list-style-type: none"> <li>UiIRS 位 (注 3) 为 “0” (发送缓冲器空): 在从 UiTB 寄存器向 UART<sub>i</sub> 发送寄存器传送数据时 (发送开始时)</li> <li>UiIRS 位为 “1” (发送结束): 在从 UART<sub>i</sub> 发送寄存器结束数据发送时</li> <li>在接收时 在从 UART<sub>i</sub> 接收寄存器向 UiRB 寄存器传送数据时 (接收结束时)</li> </ul>
错误检测	溢出错误 (注 2) 在读取 UiRB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位时, 发生溢出错误
选择功能	<ul style="list-style-type: none"> <li>选择 CLK 极性 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿</li> <li>选择 LSB 先发送或 MSB 先发送 可选择是从位 0 还是从位 7 开始发送和接收</li> <li>选择连续接收模式 通过读取 UiRB 寄存器, 同时变为允许接收状态</li> <li>串行数据的逻辑切换 (UART2) 发送和接收数据的逻辑值反相功能</li> <li>选择传送时钟多引脚的输出 (UART1) 可将 UART1 的传送时钟引脚设定为 2 个, 并可通程序选择输出引脚</li> <li><math>\overline{CTS/RTS}</math> 独立功能 (UART0) 从其它引脚输入 / 输出 CTS<sub>0</sub> 和 RTS<sub>0</sub></li> <li>选择 UART1 引脚分配 可从 P6<sub>7</sub> ~ P6<sub>4</sub> 或者 P7<sub>3</sub> ~ P7<sub>0</sub> 选择 UART1 引脚</li> </ul>

注 1. 在选择外部时钟时, 必须满足以下条件: UiC0 寄存器的 CKPOL 位为 “0” (在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据) 时, 外部时钟为 “H” 电平状态; CKPOL 位为 “1” (在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据) 时, 外部时钟为 “L” 电平状态。

注 2. 如果发生溢出错误, UiRB 寄存器的内容不定。另外, SiRIC 寄存器的 IR 位不变。

注 3. U0IRS、U1IRS 位为 UCON 寄存器的位 0 和位 1, U2IRS 位为 U2C1 寄存器的位 4。

表 13.2 时钟同步串行 I/O 模式下使用的寄存器及设定值

寄存器	位	功能
UiTB (注 3)	0 ~ 7	设定发送数据
UiRB (注 3)	0 ~ 7	可读取接收数据
	OER	溢出错误标志
UiBRG	0 ~ 7	设定位速率
UiMR (注 3)	SMD2 ~ SMD0	置“001 <sub>2</sub> ”
	CKDIR	选择内部时钟或者外部时钟
	IOPOL (i=2) (注 4)	置“0”
UiC0	CLK1 ~ CLK0	选择 UiBRG 寄存器的计数源
	CRS	在使用 CTS 或者 RTS 时, 选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择 CTS 或者 RTS 功能的允许或者禁止
	NCH	选择 TxDi 引脚的输出形式
	CKPOL	选择传送时钟的极性
	UFORM	选择 LSB 先发送或 MSB 先发送
UiC1	TE	在允许发送及接收时, 置“1”
	TI	发送缓冲空标志
	RE	允许接收时, 置“1”
	RI	接收结束标志
	U2IRS (注 1)	选择 UART2 发送中断源
	U2RRM (注 1)	在使用 UART2 的连续接收模式时, 置“1”
	U2LCH (注 3)	在使用 UART2 的数据逻辑反相时, 置“1”
	U2ERE (注 3)	置“0”
U2SMR	0 ~ 7	置“0”
U2SMR2	0 ~ 7	置“0”
U2SMR3	0 ~ 2	置“0”
	NODC	选择时钟输出形式
	4 ~ 7	置“0”
U2SMR4	0 ~ 7	置“0”
UCON	U0IRS、U1IRS	选择 UART0、1 发送中断源
	U0RRM、U1RRM	在使用连续接收模式时, 置“1”
	CLKMD0	CLKMD1=1 时, 选择输出传送时钟引脚
	CLKMD1	从 2 个引脚输出 UART1 传送时钟时, 置“1”
	RCSP	从 P6 <sub>4</sub> 引脚或者 P7 <sub>0</sub> 引脚输入 UART0 的 $\overline{\text{CTS}}_0$ 信号时, 置“1”
	7	置“0”

注 1. 请将 U0C1、U1C1 寄存器的位 4、位 5 置“0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。

注 2. 在时钟同步串行 I/O 模式进行写操作时, 请将此表中没有记述的位置“0”。

注 3. 请将 U0C1、U1C1 寄存器的位 6、位 7 置“0”。

注 4. 请将 U0MR、U1MR 寄存器的位 7 置“0”。

i=0 ~ 2

时钟同步串行 I/O 模式下输入 / 输出引脚的功能如表 13.3 所示。表 13.3 为不选择传送时钟多引脚输出功能时的情况。另外，时钟同步串行 I/O 模式下 P64 引脚功能如表 13.4 所示。

并且，在选择 UARTi 运行模式后到开始传送为止，TxDi 引脚输出“H”电平（选择 N 通道漏极开路输出时为高阻抗状态）。

表 13.3 时钟同步串行 I/O 模式下的输入 / 输出引脚功能（不选择传送时钟多引脚输出功能时）（注 1）

引脚名	功能	选择方法
TxDi (i=0 ~ 2) (P63、P67、P70)	串行数据输出	(只进行接收时输出虚设数据)
RxDi (P62、P66、P71)	串行数据输入	PD6 寄存器的 PD6_2 位 =0、PD6_6 位 =0, PD7 寄存器的 PD7_1 位 =0 (只进行发送时可用作输入端口)
CLKi (P61、P65、P72)	传送时钟输出	UiMR 寄存器的 CKDIR 位 =0
	传送时钟输入	UiMR 寄存器的 CKDIR 位 =1 PD6 寄存器的 PD6_1 位 =0、PD6_5 位 =0, PD7 寄存器的 PD7_2 位 =0
$\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (P60、P64、P73)	$\overline{\text{CTS}}$ 输入	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =0 PD6 寄存器的 PD6_0 位 =0、PD6_4 位 =0, PD7 寄存器的 PD7_3 位 =0
	RTS 输出	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =1
	输入 / 输出端口	UiC0 寄存器的 CRD 位 =1

注 1. 在 PACR 寄存器的 U1MAP 位为“1”（P73 ~ P70）时，UART1 引脚为 P73 ~ P70。

表 13.4 时钟同步串行 I/O 模式下 P64 引脚功能（注 1）

引脚的功能	位的设定值					
	U1C0 寄存器		UCON 寄存器			PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	输入：0、输出：1
$\overline{\text{CTS}}_1$	0	0	0	0	—	0
$\overline{\text{RTS}}_1$	0	1	0	0	—	—
$\overline{\text{CTS}}_0$ (注 2)	0	0	1	0	—	0
CLKS <sub>1</sub>	—	—	—	1 (注 3)	1	—

注 1. 在 PARC 寄存器的 U1MAP 位为“1”（P73 ~ P70）时，表示 P70 引脚的功能。

注 2. 除此以外，还请将 U0C0 寄存器的 CRD 位置“0”（允许  $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ ）、U0C0 寄存器的 CRS 位置“1”（选择 RTS<sub>0</sub>）。

注 3. 在 CLKMD1 位为“1”并且 CLKMD0 位为“0”时，输出以下电平：

- U1C0 寄存器的 CKPOL 位为“0”：H 电平
- U1C0 寄存器的 CKPOL 位为“1”：L 电平

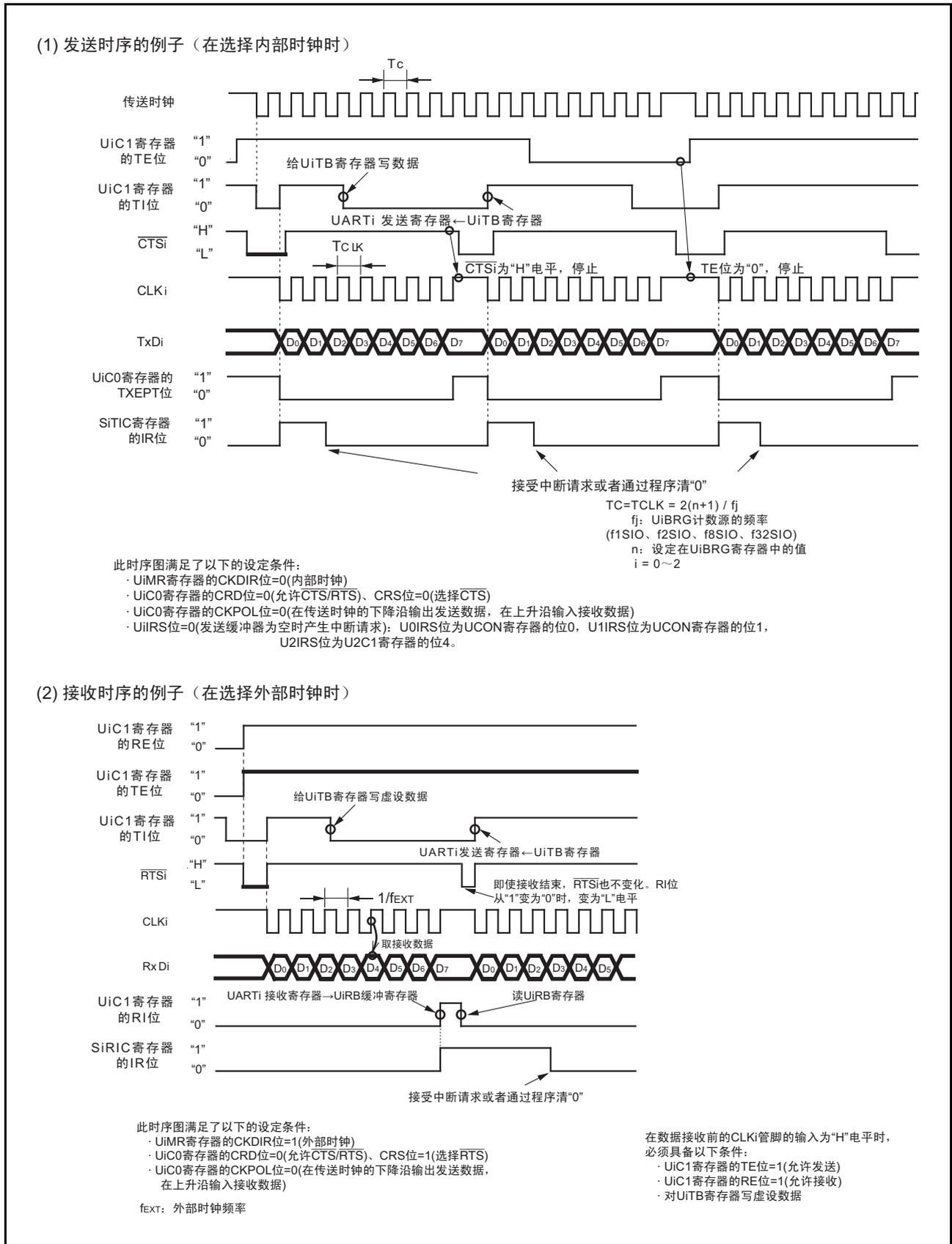


图 13.9 时钟同步串行 I/O 模式下的发送和接收时序的例子

## 13.1.1.1 发生通信错误时的处理方法

在时钟同步串行 I/O 模式下，如果在接收或者发送时发生通信错误，就请按以下步骤重新设定：

- UiRB 寄存器 (i=0~2) 的初始化步骤：
  - A. 将 UiC1 寄存器的 RE 位置 “0” (禁止接收)。
  - B. 将 UiMR 寄存器的 SMD2~SMD0 位置 “000<sub>2</sub>” (串行 I/O 无效)。
  - C. 将 UiMR 寄存器的 SMD2~SMD0 位置 “001<sub>2</sub>” (时钟同步串行 I/O 模式)。
  - D. 将 UiC1 寄存器的 RE 位置 “1” (允许接收)。
- UiTB 寄存器的初始化步骤：
  - A. 将 UiMR 寄存器的 SMD2~SMD0 位置 “000<sub>2</sub>” (串行 I/O 无效)。
  - B. 将 UiMR 寄存器的 SMD2~SMD0 位置 “001<sub>2</sub>” (时钟同步串行 I/O 模式)。
  - C. 与 UiC1 寄存器的 TE 位的值无关，写 “1” (允许接收)。

## 13.1.1.2 CLK 极性选择

可通过 UiC0 寄存器 (i=0~2) 的 CKPOL 位选择传送时钟的极性。传送时钟的极性如图 13.10 所示。

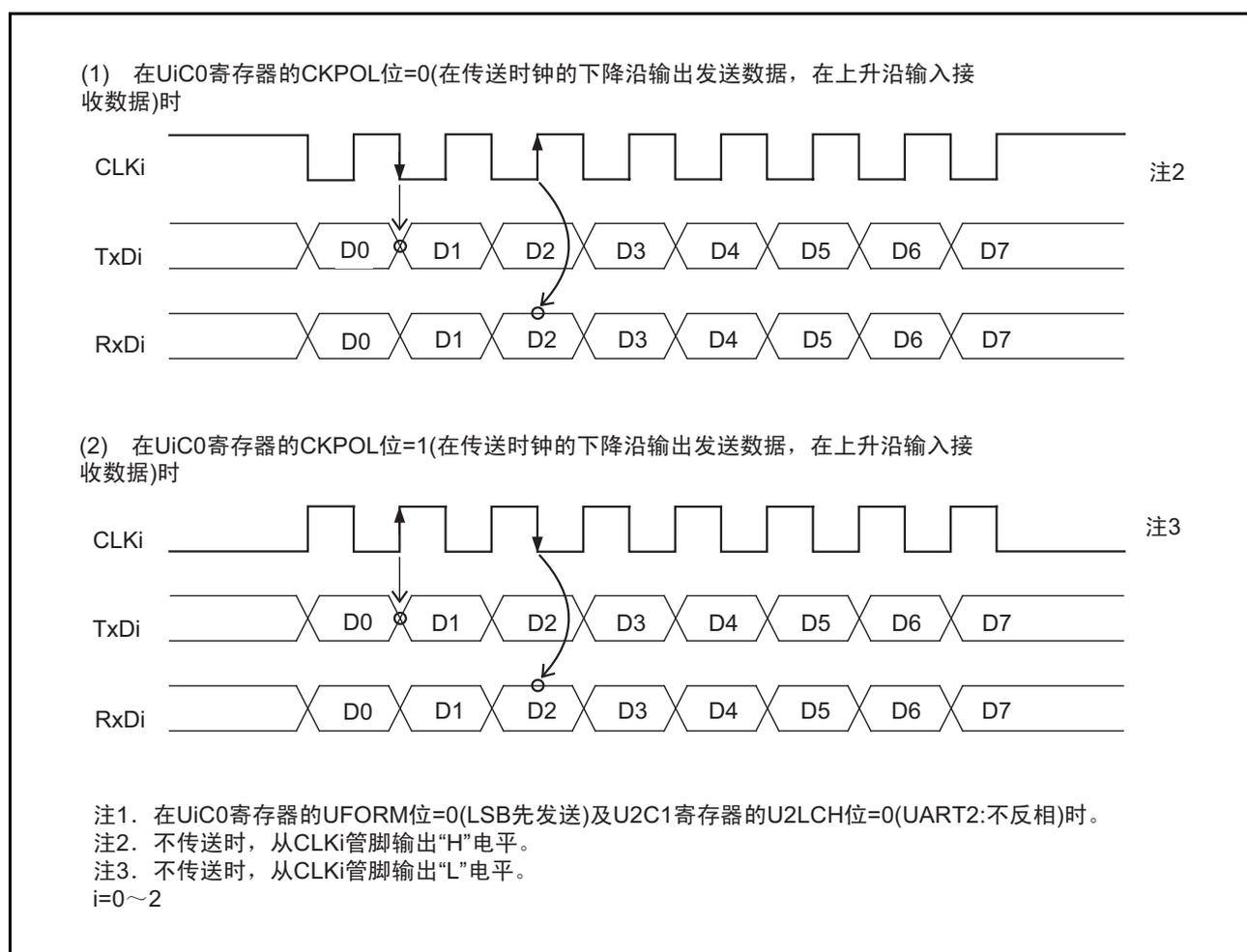


图 13.10 传送时钟的极性

## 13.1.1.3 选择 LSB 先发送或 MSB 先发送

可通过 UiC0 寄存器 (i=0 ~ 2) 的 UFORM 位选择传送格式。传送格式如图 13.11 所示。

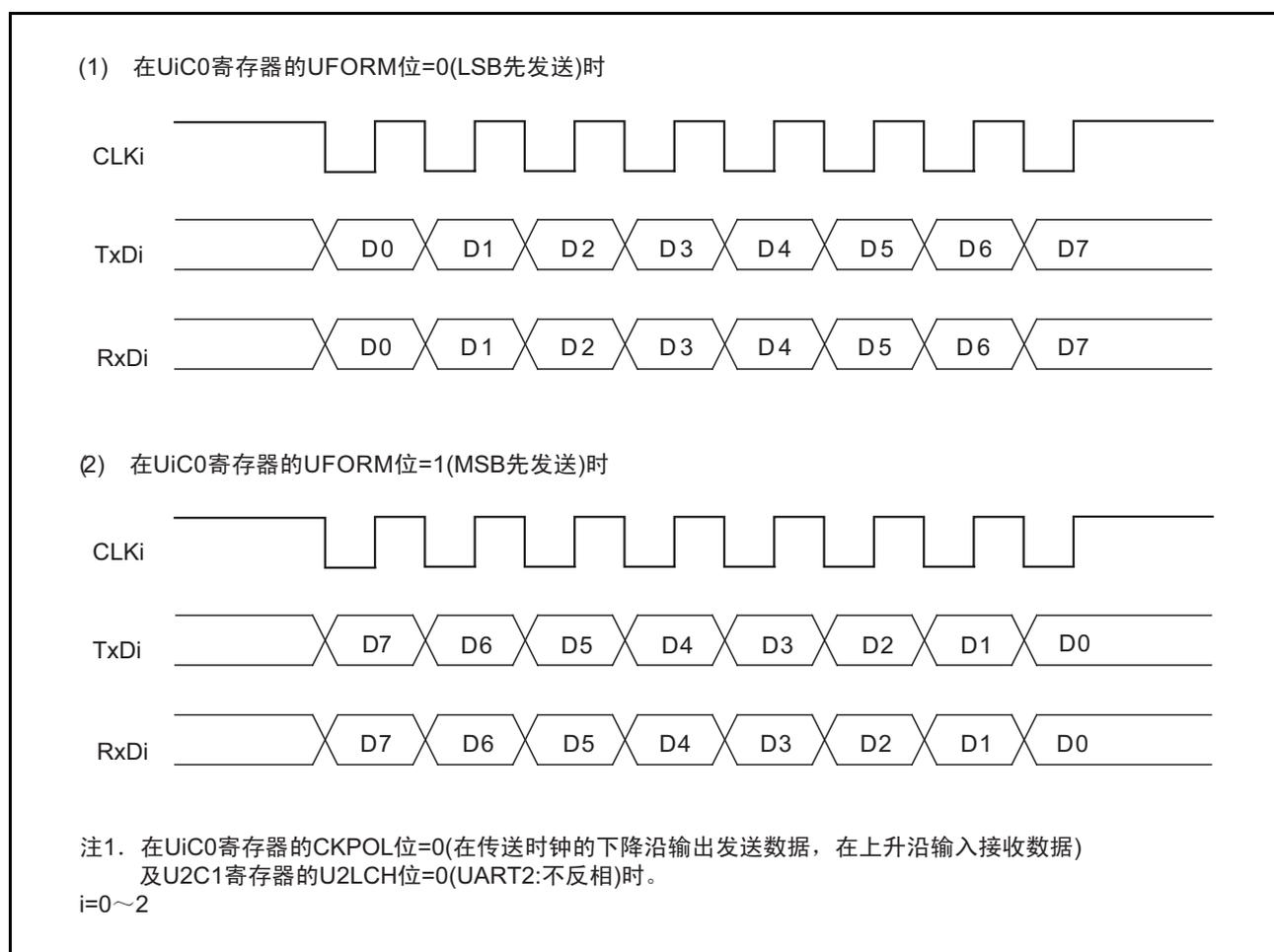


图 13.11 传送格式

## 13.1.1.4 连续接收模式

将 UiRRM 位 (i=0 ~ 2) 置“1” (连续接收模式) 时, 通过读取 UiRB 寄存器, UiC1 寄存器的 TI 位变为“0” (UiTB 寄存器中有数据)。UiRRM 为“1”时, 不能通过程序对 UiTB 寄存器写虚设数据。U0RRM、U1RRM 位为 UCON 寄存器的位 2 及位 3, U2RRM 位为 U2C1 寄存器的位 5。

13.1.1.5 串行数据的逻辑切换 (UART2)

U2C1 寄存器的 U2LCH 位为 “1” (反相) 时, 将写在 U2TB 寄存器的值进行逻辑反相后发送。如果读取 U2RB 寄存器, 就能读取接收数据逻辑反相后的值。串行数据逻辑如图 13.12 所示。

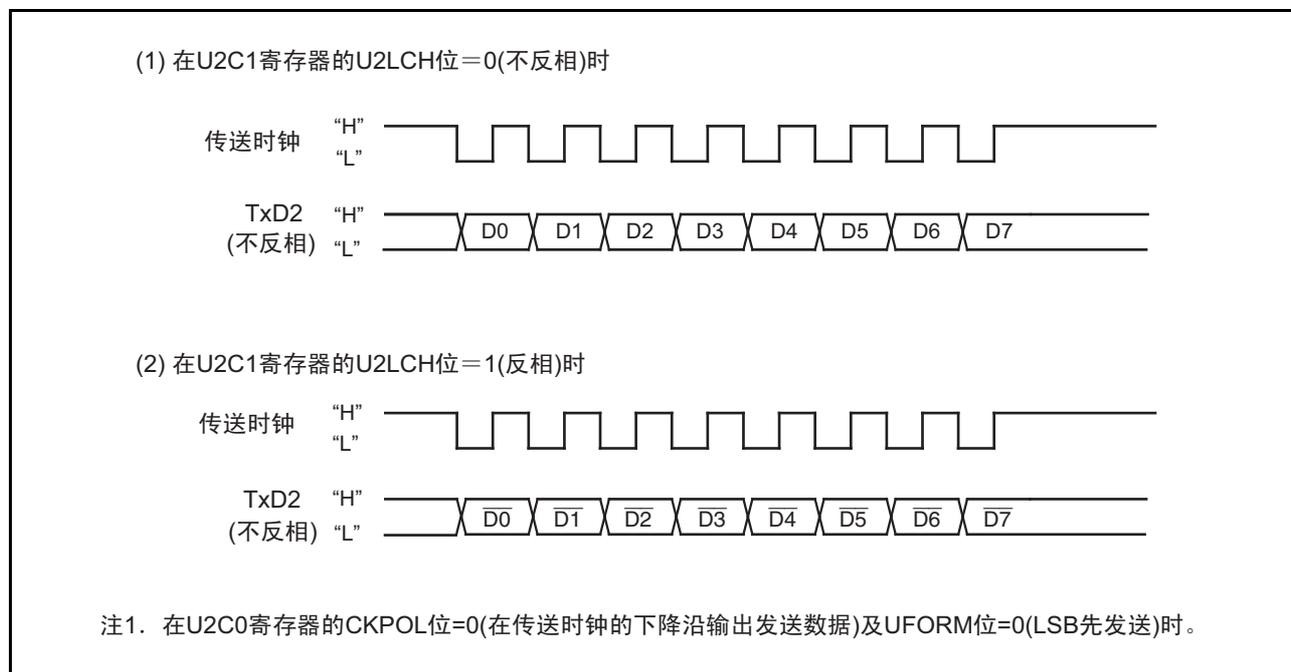


图 13.12 串行数据逻辑

13.1.1.6 传输时钟多引脚的输出选择 (UART1)

可通过 UCON 寄存器的 CLKMD1 ~ CLKMD0 位从 2 个传输时钟输出引脚中选择 1 个输出引脚 (图 13.13)。在 UART1 的传输时钟为内部时钟时可使用此功能。

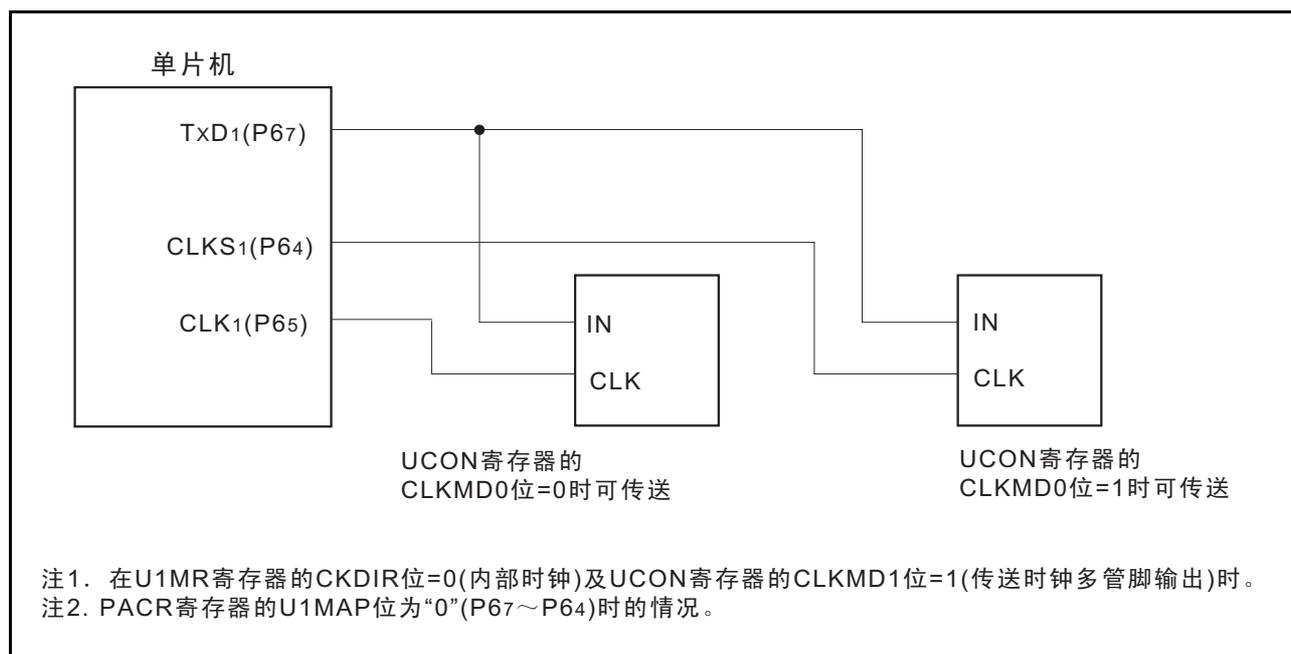


图 13.13 使用传输时钟多引脚输出功能示例

13.1.1.7  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能 (UART0)

$\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能是使  $\overline{\text{CTS}}_0$  与  $\overline{\text{RTS}}_0$  引脚相互独立，从 P60 引脚输出  $\overline{\text{RTS}}_0$ 、从 P64 引脚或者 P70 引脚输入  $\overline{\text{CTS}}_0$  的功能。在使用此功能时，请进行以下设定：

- U0C0 寄存器的 CRD 位=0 (允许 UART0 的  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$ )
- U0C0 寄存器的 CRS 位=1 (UART0 的  $\overline{\text{RTS}}$  输出)
- U1C0 寄存器的 CRD 位=0 (允许 UART1 的  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$ )
- U1C0 寄存器的 CRS 位=0 (UART1 的  $\overline{\text{CTS}}$  输入)
- UCON 寄存器的 RCSP 位=1 (从 P64 引脚或者 P70 引脚输入  $\overline{\text{CTS}}_0$ )
- UCON 寄存器的 CLKMD1 位=0 (不使用  $\text{CLKS}_1$ )

另外，在使用  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能时，不能使用 UART1 的  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  功能。

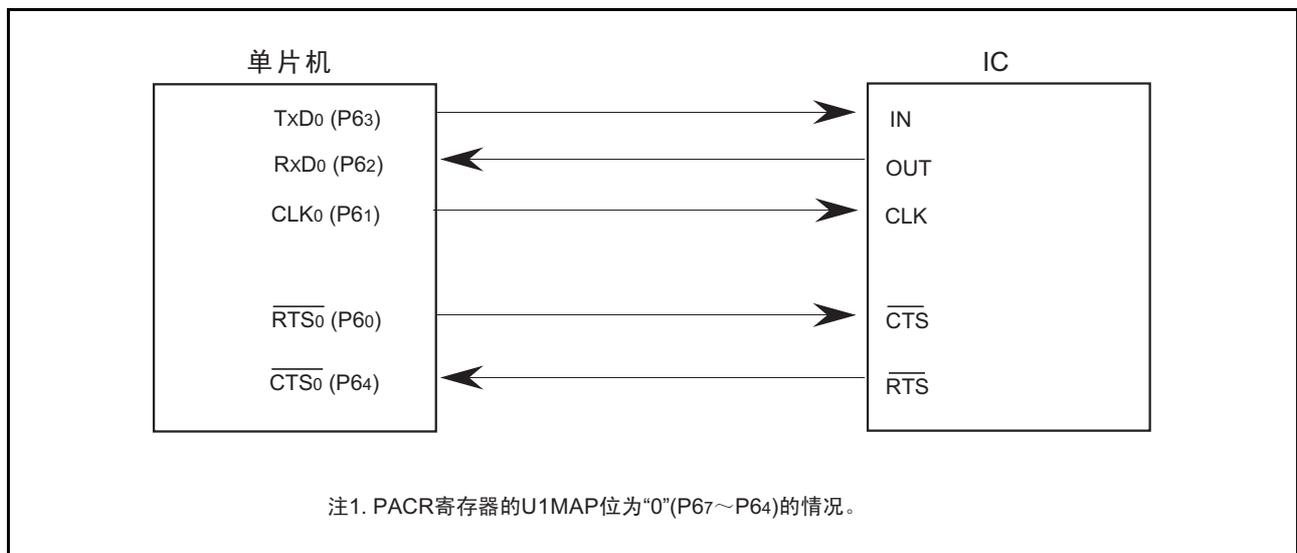


图 13.14 使用  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能的例子

### 13.1.2 时钟异步串行 I/O (UART) 模式

UART 模式是在设定任意位速率及传送数据格式后进行发送及接收的模式。其规格如表 13.5 所示。

表 13.5 UART 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>• 字符位 (传送数据) 可选择 7 位、8 位或者 9 位</li> <li>• 开始位 1 位</li> <li>• 奇偶校验位 可选择奇数校验、偶数校验或者无校验</li> <li>• 停止位 可选择 1 位或者 2 位</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>• UIMR 寄存器 (i=0 ~ 2) 的 CKDIR 位为 “0” (内部时钟): <math>f_j/(16(n+1))</math>  <math>f_j=f_{1SIO}</math>、<math>f_{2SIO}</math>、<math>f_{8SIO}</math>、<math>f_{32SIO}</math>。n=UiBRG 寄存器的设定值 00<sub>16</sub> ~ FF<sub>16</sub></li> <li>• CKDIR 位为 “1” (外部时钟): <math>f_{EXT}/(16(n+1))</math> <math>f_{EXT}</math> 为从 CLKi 引脚的输入。  n=UiBRG 寄存器的设定值 00<sub>16</sub> ~ FF<sub>16</sub></li> </ul>
发送控制、接收控制	<ul style="list-style-type: none"> <li>• 可选择 <math>\overline{CTS}</math> 功能、<math>\overline{RTS}</math> 功能、禁止 <math>\overline{CTS}/\overline{RTS}</math> 功能</li> </ul>
发送开始条件	<ul style="list-style-type: none"> <li>• 开始发送时需要具备以下条件: <ul style="list-style-type: none"> <li>— UiC1 寄存器的 TE 位为 “1” (允许发送)</li> <li>— UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据)</li> <li>— 选择 CTS 功能时, CTSi 引脚的输入为 “L” 电平</li> </ul> </li> </ul>
接收开始条件	<ul style="list-style-type: none"> <li>• 开始接收时需要以下条件: <ul style="list-style-type: none"> <li>— UiC1 寄存器的 RE 位为 “1” (允许接收)</li> <li>— 检测到开始位</li> </ul> </li> </ul>
中断请求产生时序	<ul style="list-style-type: none"> <li>• 在发送时可选择以下的任意条件: <ul style="list-style-type: none"> <li>— UiIRS 位为 “0” (注2) (发送缓冲器空):  在从 UiTB 寄存器向 UARTi 发送寄存器传送数据时 (发送开始时)</li> <li>— UiIRS 位为 “1” (发送结束):  在从 UARTi 发送寄存器结束数据发送时</li> </ul> </li> <li>• 在接收时  在从 UARTi 接收寄存器向 UiRB 寄存器传送数据时 (接收结束时)</li> </ul>
错误检测	<ul style="list-style-type: none"> <li>• 溢出错误 (注 1): 在读取 UiRB 寄存器前开始接收下一个数据, 在接收下一个数据的最后停止位的前 1 位时, 发生溢出错误</li> <li>• 帧错误: 当检测到的停止位个数不同于所设定的个数时, 产生帧错误</li> <li>• 奇偶校验错误: 在允许奇偶校验时, 奇偶校验位和字符位中的 “1” 的个数与设定的个数不等时, 发生奇偶校验错误</li> <li>• 错误和标志: 在发生溢出错误、帧错误或者奇偶校验错误中任意一个错误时, 错误和标志为 “1”</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 选择 LSB 先发送或者 MSB 先发送  可选择从位 0 或者位 7 开始发送和接收。</li> <li>• 串行数据的逻辑切换 (UART2)  发送及接收数据的逻辑值反相功能。不反相开始位及停止位。</li> <li>• TxD、RxD 输入 / 输出极性切换 (UART2)  使 TxD 引脚输出与 RxD 引脚输入反相的功能。反相所有的输入 / 输出数据的电平。</li> <li>• <math>\overline{CTS}/\overline{RTS}</math> 独立功能 (UART0)  从其它引脚输入 / 输出 <math>\overline{CTS}_0</math> 及 <math>\overline{RTS}_0</math></li> <li>• 选择 UART1 引脚分配  可从 P67 ~ P64 或者 P73 ~ P70 选择 UART1 引脚</li> </ul>

注 1. 发生溢出错误时, UiRB 寄存器内容不定。另外, SiRIC 寄存器的 IR 位不变。

注 2. U0IRS、U1IRS 位为 UCON 寄存器的位 0 及位 1, U2IRS 位为 U2C1 寄存器的位 4。

表 13.6 UART 模式下使用的寄存器及设定值

寄存器	位	功能
UiTB	0 ~ 8	设定发送数据 (注 1)
UiRB	0 ~ 8	可读取接收数据 (注 1)
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	设定位速率
UiMR	SMD2 ~ SMD0	传送数据为 7 位时, 置 “100 <sub>2</sub> ” 传送数据为 8 位时, 置 “101 <sub>2</sub> ” 传送数据为 9 位时, 置 “110 <sub>2</sub> ”
	CKDIR	选择内部时钟或者外部时钟
	STPS	选择停止位
	PRY、PRYE	选择奇偶校验的有无、偶数校验或者奇数校验
	IOPOL (i=2) (注 4)	选择 TxD/RxD 输入 / 输出极性
UiC0	CLK0、CLK1	选择 UiBRG 的计数源
	CRS	使用 $\overline{\text{CTS}}$ 或者 $\overline{\text{RTS}}$ 功能时, 选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 功能的允许或者禁止
	NCH	选择 TxDi 引脚的输出形式
	CKPOL	置 “0”
	UFORM	传送数据长度为 8 位时, 可选择 LSB 先发送或 MSB 先发送。传送数据长度为 7 位或者 9 位时, 置 “0”。
UiC1	TE	允许发送时, 置 “1”
	TI	发送缓冲器空标志
	RE	允许接收时, 置 “1”
	RI	接收结束标志
	U2IRS (注 2)	选择 UART2 发送中断源
	U2RRM (注 2)	置 “0”
	U2LCH (注 3)	使用 UART2 的数据逻辑反相时, 置 “1”
	U2ERE (注 3)	置 “0”
U2SMR	0 ~ 7	置 “0”
U2SMR2	0 ~ 7	置 “0”
U2SMR3	0 ~ 7	置 “0”
U2SMR4	0 ~ 7	置 “0”
UCON	U0IRS、U1IRS	选择 UART0、1 发送中断源
	U0RRM、U1RRM	置 “0”
	CLKMD0	因为 CLKMD1=0, 所以无效
	CLKMD1	置 “0”
	RCSP	从 P64 引脚或 P70 引脚输入 UART0 的 $\overline{\text{CTS}}_0$ 信号时, 置 “1”。
	7	置 “0”

注 1. 使用位如下: 传送数据长度为 7 位: 位 0 ~ 6、传送数据长度为 8 位: 位 0 ~ 7、传送数据为 9 位: 位 0 ~ 8

注 2. 请将 U0C1、U1C1 寄存器的位 4 及位 5 置 “0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。

注 3. 请将 U0C1、U1C1 寄存器的位 6、位 7 置 “0”。

注 4. 请将 U0MR、U1MR 寄存器的位 7 置 “0”。

i=0 ~ 2

UART 模式下输入 / 输出引脚功能如表 13.7 所示，UART 模式下 P64 引脚功能如表 13.8 所示。

另外，选择 UARTi 运行模式后到开始传送为止，TxDi 引脚输出“H”电平（选择 N 通道漏极开路输出时为高阻抗状态）。

表 13.7 UART 模式下输入 / 输出引脚功能（注 1）

引脚名	功能	选择方法
TxDi (i=0 ~ 2) (P63、P67、P70)	串行数据输出	(只进行接收时输出“H”电平)
RxDi (P62、P66、P71)	串行数据输入	PD6 寄存器的 PD6_2 位 =0、PD6_6 位 =0，PD7 寄存器的 PD7_1 位 =0 (只进行发送时可用作输入端口)
CLKi (P61、P65、P72)	输入 / 输出端口	UiMR 寄存器的 CKDIR 位 =0
	传送时钟输入	UiMR 寄存器的 CKDIR 位 =1 PD6 寄存器的 PD6_1 位 =0、PD6_5 位 =0，PD7 寄存器的 PD7_2 位 =0
CTS <sub>i</sub> / $\overline{\text{RTS}}_i$ (P60、P64、P73)	$\overline{\text{CTS}}$ 输入	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =0 PD6 寄存器的 PD6_0 位 =0、PD6_4 位 =0，PD7 寄存器的 PD7_3 位 =0
	$\overline{\text{RTS}}$ 输出	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =1
	输入 / 输出端口	UiC0 寄存器的 CRD 位 =1

注 1. 在 PARC 寄存器的 U1MAP 位为“1”（P73 ~ P70）时，UART1 引脚为 P73 ~ P70。

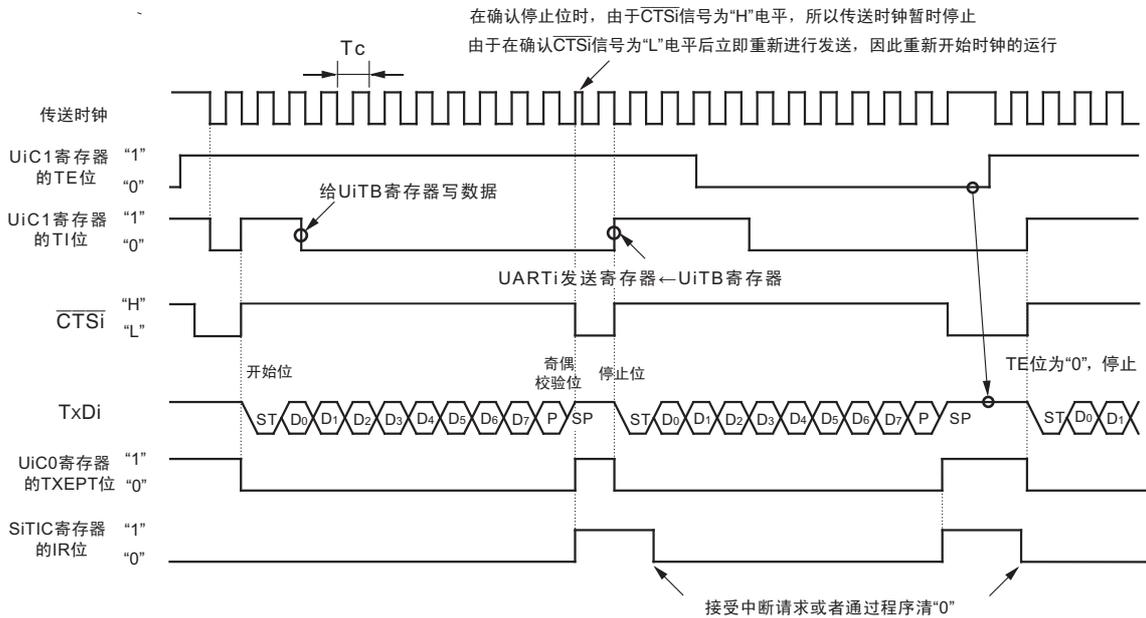
表 13.8 UART 模式下 P64 引脚功能（注 1）

引脚的功能	位的设定值				
	U1C0 寄存器		U1CON 寄存器		PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	输入: 0、输出: 1
$\overline{\text{CTS}}_1$	0	0	0	0	0
$\overline{\text{RTS}}_1$	0	1	0	0	—
$\overline{\text{CTS}}_0$ (注 2)	0	0	1	0	0

注 1. 在 PARC 寄存器的 U1MAP 位为“1”（P73 ~ P70）时，表示 P70 引脚的功能。

注 2. 此外，还将 U0C0 寄存器的 CRD 位置“0”（允许  $\overline{\text{CTS}}_0$  /  $\overline{\text{RTS}}_0$ ）、U0C0 寄存器的 CRS 位置“1”（选择  $\overline{\text{RTS}}_0$ ）。

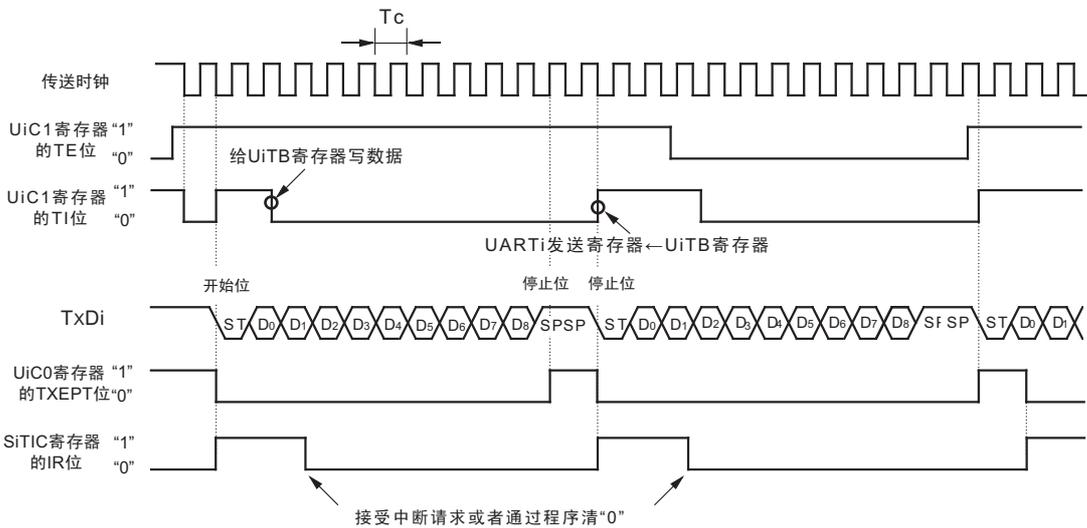
(1) 传送数据长度为8位时的发送时序的例子（允许奇偶校验，1个停止位）



上述时序图满足了以下的设定条件：  
 · UIMR寄存器的PRYE位=1(允许奇偶校验)  
 · UIMR寄存器的STPS位=0(1个停止位)  
 · UIC0寄存器的CRD位=0(允许CTS/RTS)、CRS位=0(选择CTS)  
 · UiiRS位=1(发送一结束就产生中断请求)  
 : U0IRS位为UCON寄存器的位0, U1IRS位为UCON寄存器的位1, U2IRS位为U2C1寄存器的位4。

$Tc = 16(n+1)/fj$  或者  $16(n+1)/fEXT$   
 fj: UiBRG计数源的频率(f1SIO、f2SIO、f8SIO、f32SIO)  
 fEXT: UiBRG计数源的频率(外部时钟)  
 n: 设定在UiBRG寄存器中的值  
 i=0~2

(2) 传送数据长度为9位时的发送时序的例子（禁止奇偶校验，2个停止位）



上述时序图满足了以下的设定条件：  
 · UIMR寄存器的PRYE位=0(禁止奇偶校验)  
 · UIMR寄存器的STPS位=1(2个停止位)  
 · UIC0寄存器的CRD位=1(禁止CTS/RTS)  
 · UiiRS位=0(发送缓冲器一变为空就产生中断请求)  
 : U0IRS位为UCON寄存器的位0, U1IRS位为UCON寄存器的位1, U2IRS位为U2C1寄存器的位4。

$Tc = 16(n+1)/fj$  或者  $16(n+1)/fEXT$   
 fj: UiBRG计数源的频率(f1SIO、f2SIO、f8SIO、f32SIO)  
 fEXT: UiBRG计数源的频率(外部时钟)  
 n: 设定在UiBRG寄存器中的值  
 i=0~2

图 13.15 UART 模式下发送时序示例

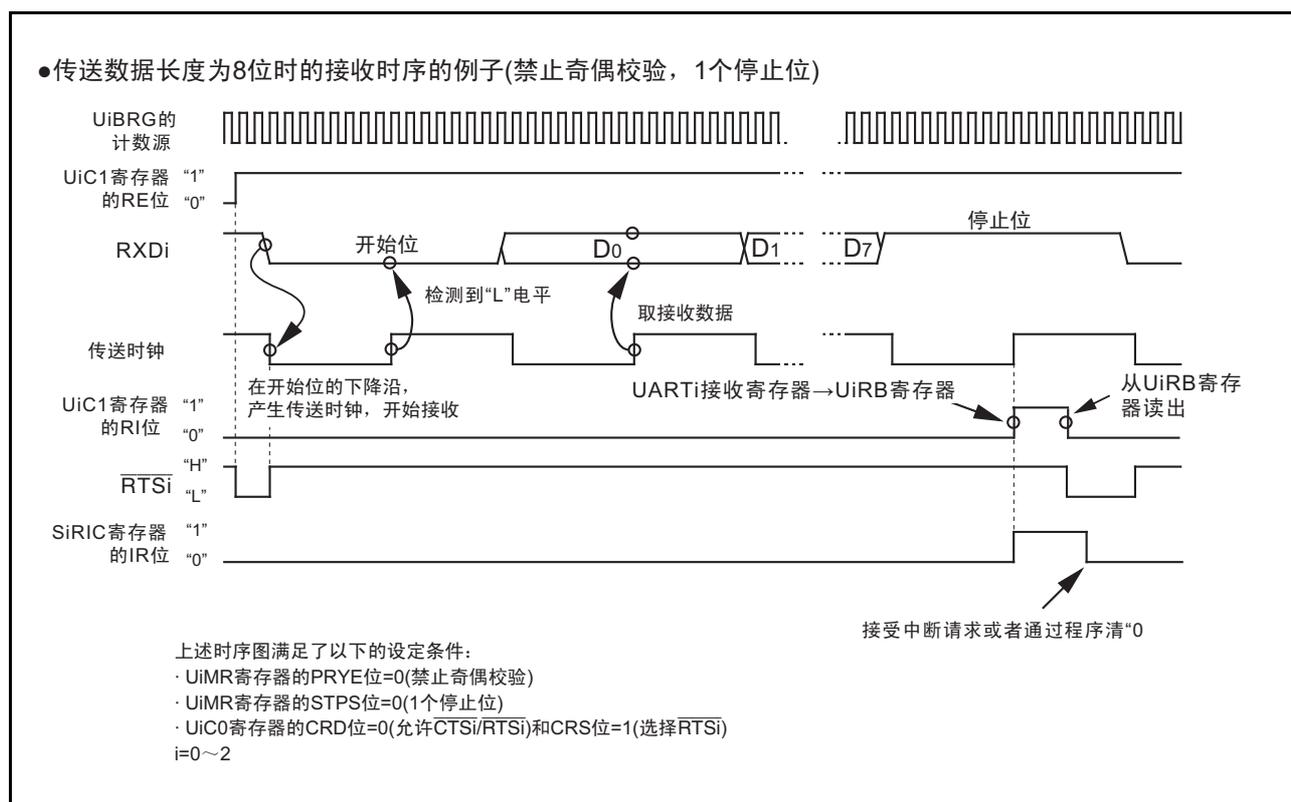


图 13.16 UART 模式下接收时序示例

### 13.1.2.1 位速率

在 UART 模式下, 位速率为 UiBRG 寄存器 (i=0 ~ 2) 分频后频率的 16 分频。位速率设定示例如表 13.9 所示。

表 13.9 位速率

位速率 (bps)	BRG 的计数源	外围功能时钟: 16MHz		外围功能时钟: 20MHz	
		BRG 的设定值: n	实际时间 (bps)	BRG 的设定值: n	实际时间 (bps)
1200	f8	103(67h)	1202	129(81h)	1202
2400	f8	51(33h)	2404	64(40h)	2404
4800	f8	25(19h)	4808	32(20h)	4735
9600	f1	103(67h)	9615	129(81h)	9615
14400	f1	68(44h)	14493	86(56h)	14368
19200	f1	51(33h)	19231	64(40h)	19231
28800	f1	34(22h)	28571	42(2Ah)	29070
31250	f1	31(1Fh)	31250	39(27h)	31250
38400	f1	25(19h)	38462	32(20h)	37879
51200	f1	19(13h)	50000	24(18h)	50000

## 13.1.2.2 发生通信错误时的处理方法

在 UART 模式下，如果在接收或者发送时发生通信错误，就请按以下步骤重新设定：

- UiRB 寄存器的 (i=0~2) 初始化步骤：
  - A. 将 UiC1 寄存器的 RE 位置 “0” (禁止接收)。
  - B. 将 UiC1 寄存器的 RE 位置 “1” (允许接收)。
- UiTB 寄存器的初始化步骤：
  - A. 将 UiMR 寄存器的 SMD2~SMD0 位置 “0002” (串行 I/O 无效)。
  - B. 将 UiMR 寄存器的 SMD2~SMD0 位设为重新设定 (“0012”、“1012”、“1102”)。
  - C. 与 UiC1 寄存器的 TE 位的值无关，写 “1” (允许接收)。

## 13.1.2.3 选择 LSB 先发送或者 MSB 先发送

如图 13.17 所示，可通过 UiC0 寄存器的 UFORM 位选择传送格式。此功能在传送数据长度为 8 位时有效。

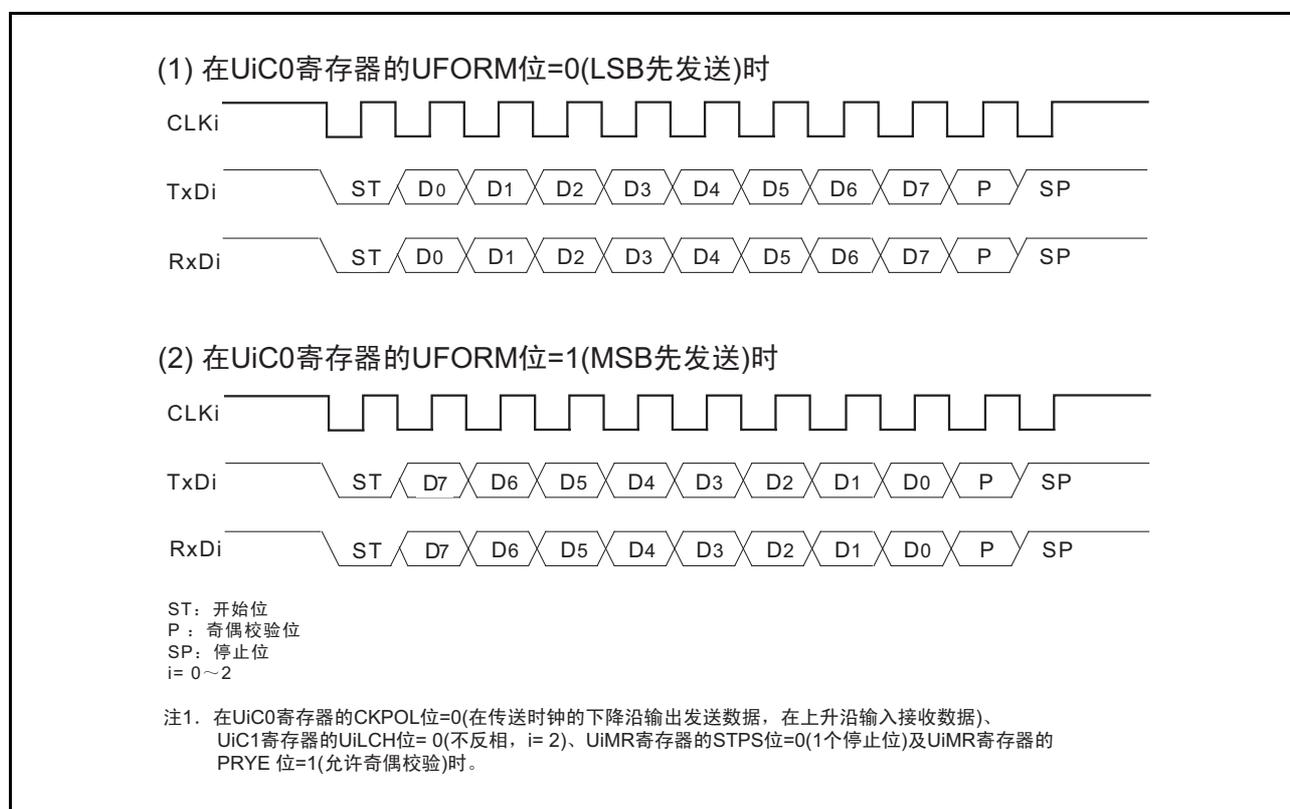


图 13.17 传送格式

## 13.1.2.4 串行数据的逻辑切换 (UART2)

将写在 U2TB 寄存器的值逻辑反相后发送。读取 U2RB 寄存器时, 可读取将接收数据逻辑反相后的值。串行数据逻辑如图 13.18 所示。

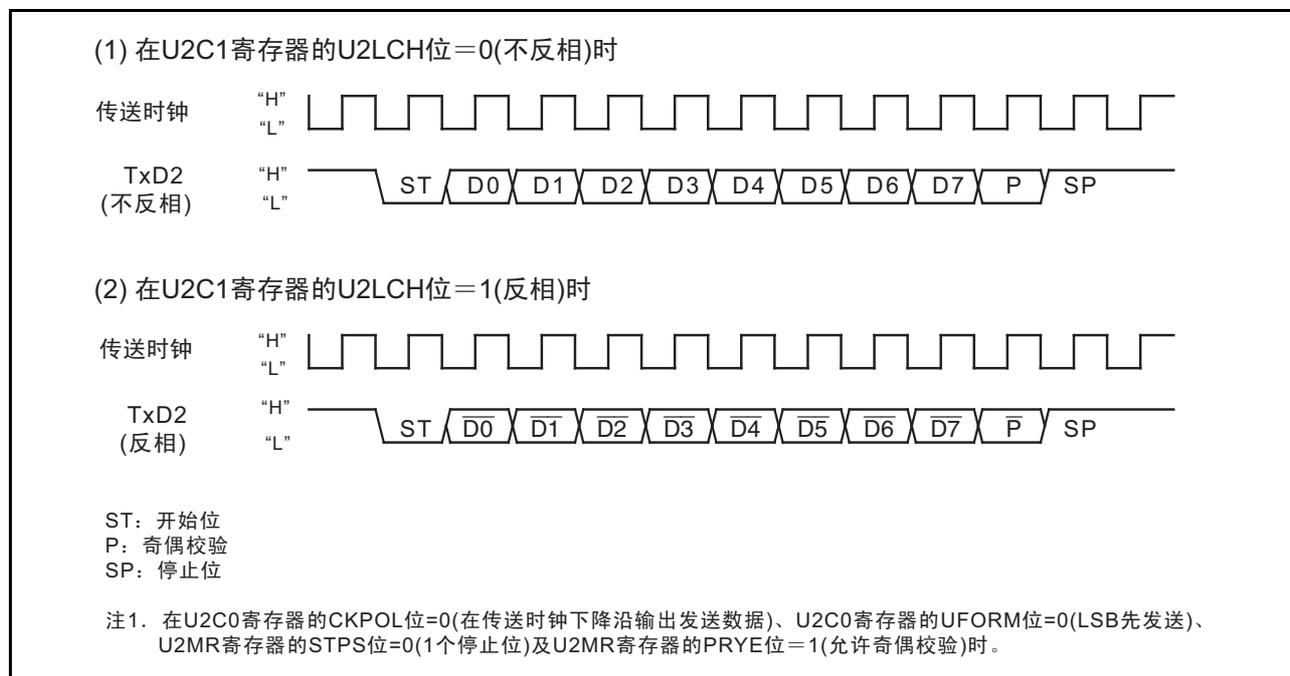


图 13.18 串行数据逻辑

## 13.1.2.5 TxD、RxD 输入 / 输出极性的切换功能 (UART2)

它是将 TxD2 引脚输出和 RxD2 引脚输入进行反相的功能。将输入 / 输出数据的电平 (包括开始位、停止位、奇偶校验位) 全部反相。TxD、RxD 输入 / 输出极性的切换如图 13.19 所示。

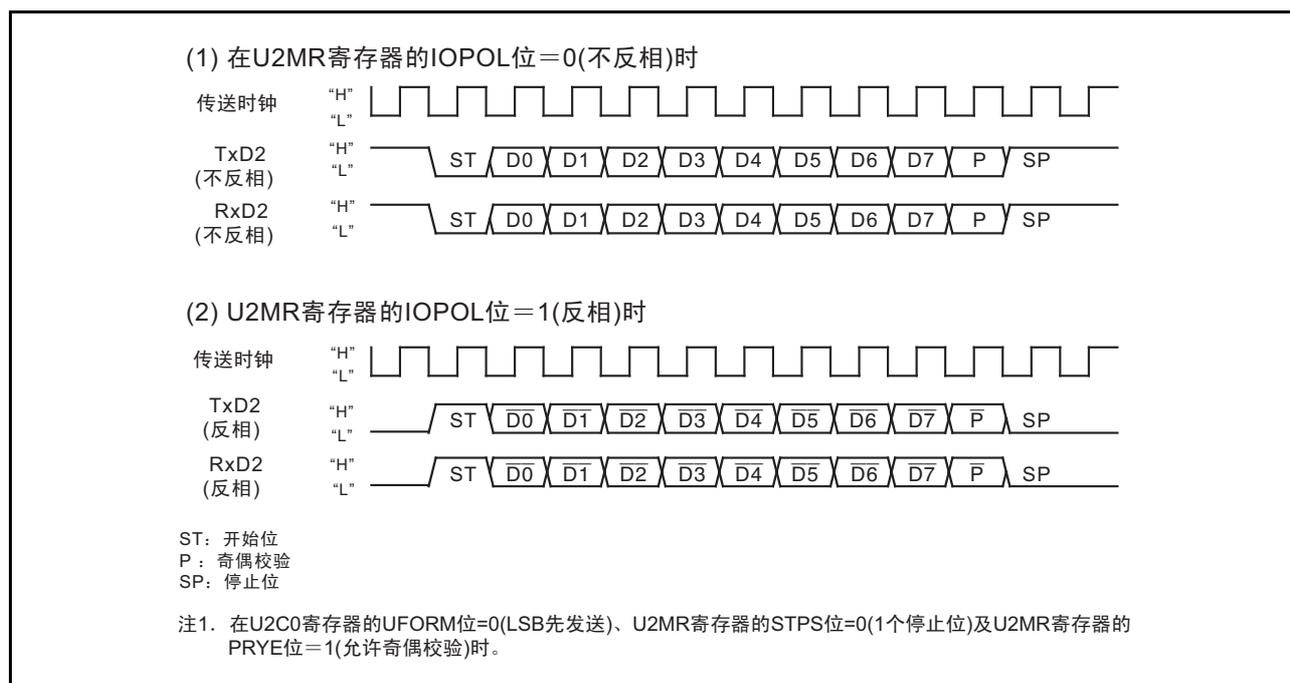


图 13.19 TxD、RxD 输入 / 输出极性的切换

13.1.2.6  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能 (UART0)

$\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能是使  $\overline{\text{CTS}}_0$  /  $\overline{\text{RTS}}_0$  引脚相互独立，并从 P60 引脚输出  $\overline{\text{RTS}}_0$ 、从 P64 引脚或者 P70 引脚输入  $\overline{\text{CTS}}_0$  的功能。在使用此功能时，请进行以下的设定：

- U0C0 寄存器的 CRD 位=0 (允许 UART0 的  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$ )
- U0C0 寄存器的 CRS 位=1 (UART0 的  $\overline{\text{RTS}}$  输出)
- U1C0 寄存器的 CRD 位=0 (允许 UART1 的  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$ )
- U1C0 寄存器的 CRS 位=0 (UART1 的  $\overline{\text{CTS}}$  输入)
- UCON 寄存器的 RCSP 位=1 (从 P64 引脚或者 P70 引脚输入  $\overline{\text{CTS}}_0$ )
- UCON 寄存器的 CLKMD1 位=0 (不使用 CLKS1)

另外，在使用  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能时，不能使用 UART1 的  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  功能。

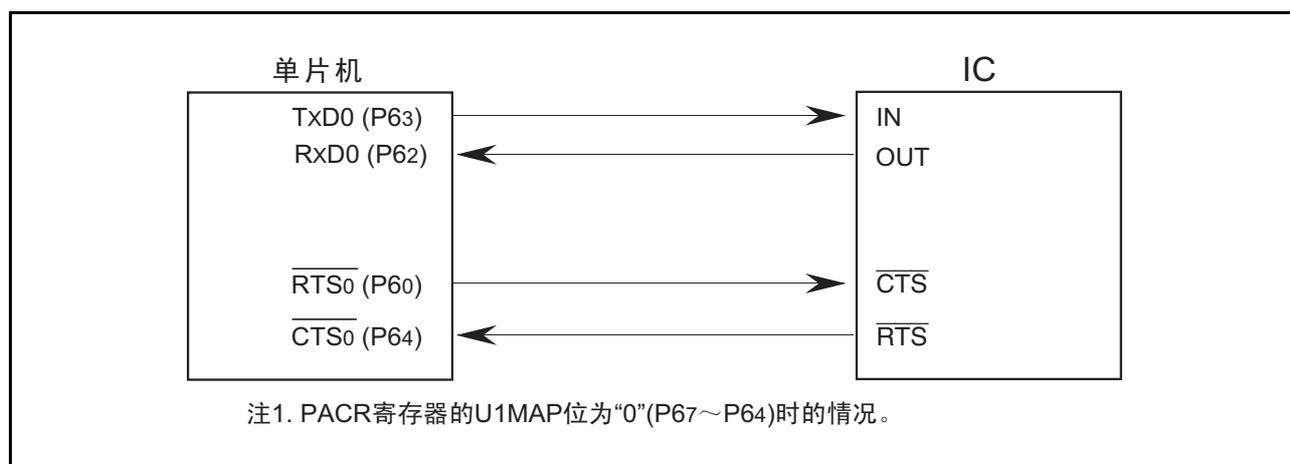


图 13.20  $\overline{\text{CTS}}$  /  $\overline{\text{RTS}}$  独立功能的使用例子

### 13.1.3 特殊模式 1 (I<sup>2</sup>C bus 模式) (UART2)

I<sup>2</sup>C bus 模式是对应简易型 I<sup>2</sup>C bus 接口的模式。I<sup>2</sup>C bus 模式的规格如表 13.10、I<sup>2</sup>C bus 模式使用的寄存器和设定值如表 13.11 和表 13.12、I<sup>2</sup>C bus 模式下的各功能如表 13.13、I<sup>2</sup>C bus 模式的框图如图 13.21、SCL<sub>2</sub> 时序如图 13.22 所示。

如表 13.13 所示，将 SMD<sub>2</sub> ~ SMD<sub>0</sub> 位置“010<sub>2</sub>”、ICM 位置“1”时，就为 I<sup>2</sup>C bus 模式。因为 SDA<sub>2</sub> 发送输出附带延迟电路，所以在 SCL<sub>2</sub> 为“L”电平并稳定后，SDA<sub>2</sub> 输出才发生变化。

表 13.10 I<sup>2</sup>C bus 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>传送数据长度 8 位</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>在主模式时 U2MR 寄存器的 CKDIR 位为“0”（内部时钟）：<math>f_j/2(n+1)</math>  <math>f_j=f_{1SIO}</math>、<math>f_{2SIO}</math>、<math>f_{8SIO}</math>、<math>f_{32SIO}</math> <math>n=U2BRG</math> 寄存器的设定值 00<sub>16</sub> ~ FF<sub>16</sub></li> <li>在从属模式时            CKDIR 位为“1”（外部时钟）：从 SCL<sub>2</sub> 引脚的输入</li> </ul>
发送开始条件	开始发送时需要以下条件（注 1）： <ul style="list-style-type: none"> <li>U2C1 寄存器的 TE 位为“1”（允许发送）</li> <li>U2C1 寄存器的 TI 位为“0”（U2TB 寄存器中有数据）</li> </ul>
接收开始条件	开始接收时需要以下条件（注 1）： <ul style="list-style-type: none"> <li>U2C1 寄存器的 RE 位为“1”（允许接收）</li> <li>U2C1 寄存器的 TE 位为“1”（允许发送）</li> <li>U2C1 寄存器的 TI 位为“0”（U2TB 寄存器中有数据）</li> </ul>
中断请求产生时序	检测出开始条件、检测出停止条件、未检测出应答、检测出应答
错误检测	<ul style="list-style-type: none"> <li>溢出错误（注 2）            在读取 U2RB 寄存器前开始接收下一个数据并在接收下一个数据的第 8 位时发生溢出错误</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>仲裁失败            可选择 U2RB 寄存器的 ABT 位的更新时序</li> <li>SDA<sub>2</sub> 数字延迟            可选择无数字延迟或者 U2BRG 计数源的 2 ~ 8 个周期的延迟</li> <li>时钟相位的设定            可选择有时钟延迟或者无时钟延迟</li> </ul>

注 1. 在选择外部时钟时，必须在外部时钟为“H”电平的状态下满足条件。

注 2. 如果发生溢出错误，U2RB 寄存器的内容不定。另外，S2RIC 寄存器的 IR 位不变。

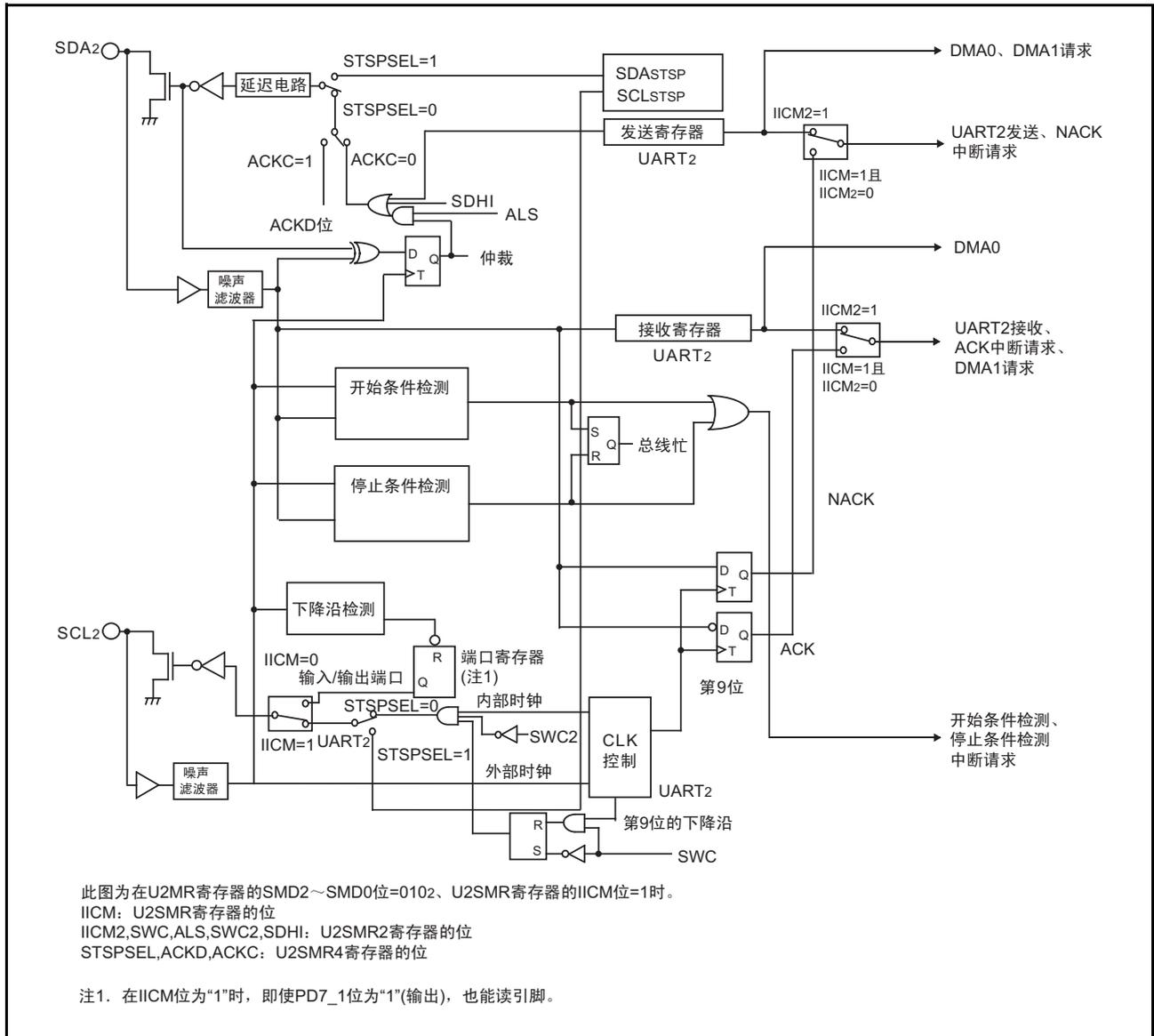


图 13.21 I<sup>2</sup>C bus 模式的框图

表 13.11 I<sup>2</sup>C bus 模式下使用的寄存器和设定值 (1)

寄存器	位	功能	
		主模式时	从属模式时
U2TB (注 1)	0 ~ 7	设定发送数据	设定发送数据
U2RB (注 1)	0 ~ 7	可读取接收数据	可读取接收数据
	8	置 ACK 或者 NACK	置 ACK 或者 NACK
	ABT	仲裁失败检测标志	无效
	OER	溢出错误标志	溢出错误标志
U2BRG	0 ~ 7	设定位速率	无效
U2MR (注 1)	SMD2 ~ SMD0	置 “010 <sub>2</sub> ”	置 “010 <sub>2</sub> ”
	CKDIR	置 “0”	置 “1”
	IOPOL	置 “0”	置 “0”
U2C0	CLK1 ~ CLK0	选择 U2BRG 的计数源	无效
	CRS	因为 CRD=1, 所以无效	因为 CRD=1, 所以无效
	TXEPT	发送寄存器空标志	发送寄存器空标志
	CRD	置 “1”	置 “1”
	NCH	置 “1”	置 “1”
	CKPOL	置 “0”	置 “0”
	UFORM	置 “1”	置 “1”
U2C1	TE	在允许发送时, 置 “1”	在允许发送时, 置 “1”
	TI	发送缓冲器空标志	发送缓冲器空标志
	RE	在允许接收时, 置 “1”	在允许接收时, 置 “1”
	RI	接收结束标志	接收结束标志
	U2IRS	无效	无效
	U2RRM、 U2LCH、U2ERE	置 “0”	置 “0”
U2SMR	IICM	置 “1”	置 “1”
	ABC	选择仲裁失败检测时序	无效
	BBS	总线忙标志	总线忙标志
	3 ~ 7	置 “0”	置 “0”

注 1. I<sup>2</sup>C bus 模式下对此表中未记述的位进行写操作时, 只能写 “0”。

表 13.12 I<sup>2</sup>C 模式下使用的寄存器和设定值 (2)

寄存器	位	功能	
		主模式时	从属模式时
U2SMR2	IICM2	请参考表 13.13 I <sup>2</sup> C bus 模式下的各功能	请参考表 13.13 I <sup>2</sup> C bus 模式下的各功能
	CSC	在允许时钟同步时, 置“1”	置“0”
	SWC	在时钟第 9 位的下降沿将 SCL <sub>2</sub> 输出固定为“L”电平输出时, 置“1”	在时钟第 9 位的下降沿将 SCL <sub>2</sub> 输出固定为“L”电平输出时, 置“1”
	ALS	如果在检测出仲裁失败时停止 SDA <sub>2</sub> 输出, 置“1”	置“0”
	STAC	置“0”	通过开始条件检测初始化 UART2 时, 置“1”
	SWC2	将 SCL <sub>2</sub> 的输出强制置“L”电平时, 置“1”	将 SCL <sub>2</sub> 的输出强制置“L”电平时, 置“1”
	SDHI	禁止 SDA <sub>2</sub> 输出时, 置“1”	禁止 SDA <sub>2</sub> 输出时, 置“1”
	7	置“0”	置“0”
U2SMR3	0、2、4、NODC	置“0”	置“0”
	CKPH	请参考表 13.13 I <sup>2</sup> C bus 模式下的各功能	请参考表 13.13 I <sup>2</sup> C bus 模式下的各功能
	DL2 ~ DL0	设定 SDA <sub>2</sub> 的数字延迟值	设定 SDA <sub>2</sub> 的数字延迟值
U2SMR4	STAREQ	在生成开始条件时, 置“1”	置“0”
	RSTAREQ	在生成再启动条件时, 置“1”	置“0”
	STPREQ	在生成停止条件时, 置“1”	置“0”
	STSPSEL	在输出各条件时, 置“1”	置“0”
	ACKD	选择 ACK 或者 NACK	选择 ACK 或者 NACK
	ACKC	在输出 ACK 数据时, 置“1”	在输出 ACK 数据时, 置“1”
	SCLHI	如果在检测出停止条件时停止 SCL <sub>2</sub> 输出, 请置“1”	置“0”
	SWC9	置“0”	在时钟第 9 位的下一个下降沿将 SCL <sub>2</sub> 保持“L”电平时, 置“1”

注 1. I<sup>2</sup>C bus 模式下对此表中未记述的位进行写操作时, 只能写“0”。

表 13.13 I<sup>2</sup>C bus 模式下的各功能

功能	时钟同步串行 I/O 模式 (SMD2 ~ SMD0=001 <sub>2</sub> 、 IICM=0)	I <sup>2</sup> C bus 模式 (SMD2 ~ SMD0=010 <sub>2</sub> 、IICM=1)			
		IICM2=0 (NACK/ ACK 中断)		IICM2=1 (UART 发送 /UART 接收中断)	
		CKPH=0 (无时钟 延迟)	CKPH=1 (有时钟 延迟)	CKPH=0 (无 时钟延迟)	CKPH=1 (有时钟 延迟)
中断序号 10 的源 (注 1) (参考图 13.24)	—	开始条件检测、停止条件检测 (请参考表 13.14 STSPSEL 位的 功能)			
中断序号 15 的源 (注 1) (参考图 13.22)	UART2 发送 发送开始或者发送结束 (通过 U2IRS 选择)	无应答检测 (NACK) 第 9 位的 SCL2 的上升沿	UART2 发送 第 9 位的 SCL2 的上升 沿	UART2 发送 第 9 位的下一个 SCL2 下 降沿	
中断序号 16 的源 (注 1) (参考图 13.22)	UART2 接收 接收第 8 位时 CKPOL=0 (上升) CKPOL=1 (下降)	应答检测 (ACK) 第 9 位的 SCL2 的 上升沿	UART2 接收 第 9 位的 SCL2 的下降沿		
从 UART 接收移位寄存 器将数据传送至 U2RB 寄存器的时序	CKPOL=0 (上升) CKPOL=1 (下降)	第 9 位的 SCL2 的 上升沿	第 9 位的 SCL2 的下降 沿	第 9 位的 SCL2 的下降沿 和上升沿	
UART2 发送输出延迟	无延迟	有延迟			
P7 <sub>0</sub> 引脚的功能	TxD2 输出	SDA2 输入 / 输出			
P7 <sub>1</sub> 引脚的功能	RxD2 输入	SCL2 输入 / 输出			
P7 <sub>2</sub> 引脚的功能	选择 CLK2 输入或者输出	— (不用于 I <sup>2</sup> C bus 模式)			
噪声滤波器宽度	15ns	200ns			
RxD2、SCL2 引脚电平 的读取	对应的端口方向位为 “0” 时能读取	与对应的方向位的内容无关, 总是能读取			
TxD2、SDA2 输出的初 始值	CKPOL=0 (H) CKPOL=1 (L)	在 I <sup>2</sup> C bus 模式设定前, 设定在端口寄存器的值 (注 2)			
SCL2 的初始值和结束值	—	H	L	H	L
DMA1 源 (参考图 13.22)	UART2 接收	应答检测 (ACK)	UART2 接收 第 9 位的 SCL2 下降沿		
接收数据的保存	将第 1 ~ 8 位保存到 U2RB 寄存器的 bit0 ~ 7	将第 1 ~ 8 位保存 到 U2RB 寄存器的 bit0 ~ 7	将第 1 ~ 7 位保存到 U2RB 寄存器的 bit6 ~ 0、第 8 位保存到 U2RB 寄存器的 bit8		
			将第 1 ~ 8 位保存到 U2RB 寄存器的 bit7 ~ 0 (注 3)		
接收数据的读取	原原本本地读出 U2RB 寄存器的状态			U2RB 寄存器的 bit6 ~ 0 作为 bit7 ~ 1、bit8 作为 bit0 来读 (注 4)	

注 1. 更改中断源时, 被更改中断的中断控制寄存器的 IR 位有可能变为 “1” (有中断请求) (请参考注意事项集的 “中  
断注意事项”)。如果更改 U2MR 寄存器的 SMD2 ~ SMD0 位、U2SMR 寄存器的 IICM 位、U2SMR2 寄存器的  
IICM2 位、U2SMR3 寄存器的 CKPH 位, 因为中断源和中断时序等发生变化, 所以必须在更改这些位后, 将 IR 位  
置 “0” (无中断请求)。

注 2. 请在 U2MR 寄存器的 SMD2 ~ SMD0 位为 “000<sub>2</sub>” (串行 I/O 无效) 的状态下设定 SDA<sub>2</sub> 输出的初始值。

注 3. 第 2 次给 U2RB 寄存器传送数据 (第 9 位的 SCL<sub>2</sub> 上升时)

注 4. 第 1 次给 U2RB 寄存器传送数据（第 9 位的 SCL<sub>2</sub> 下降时）

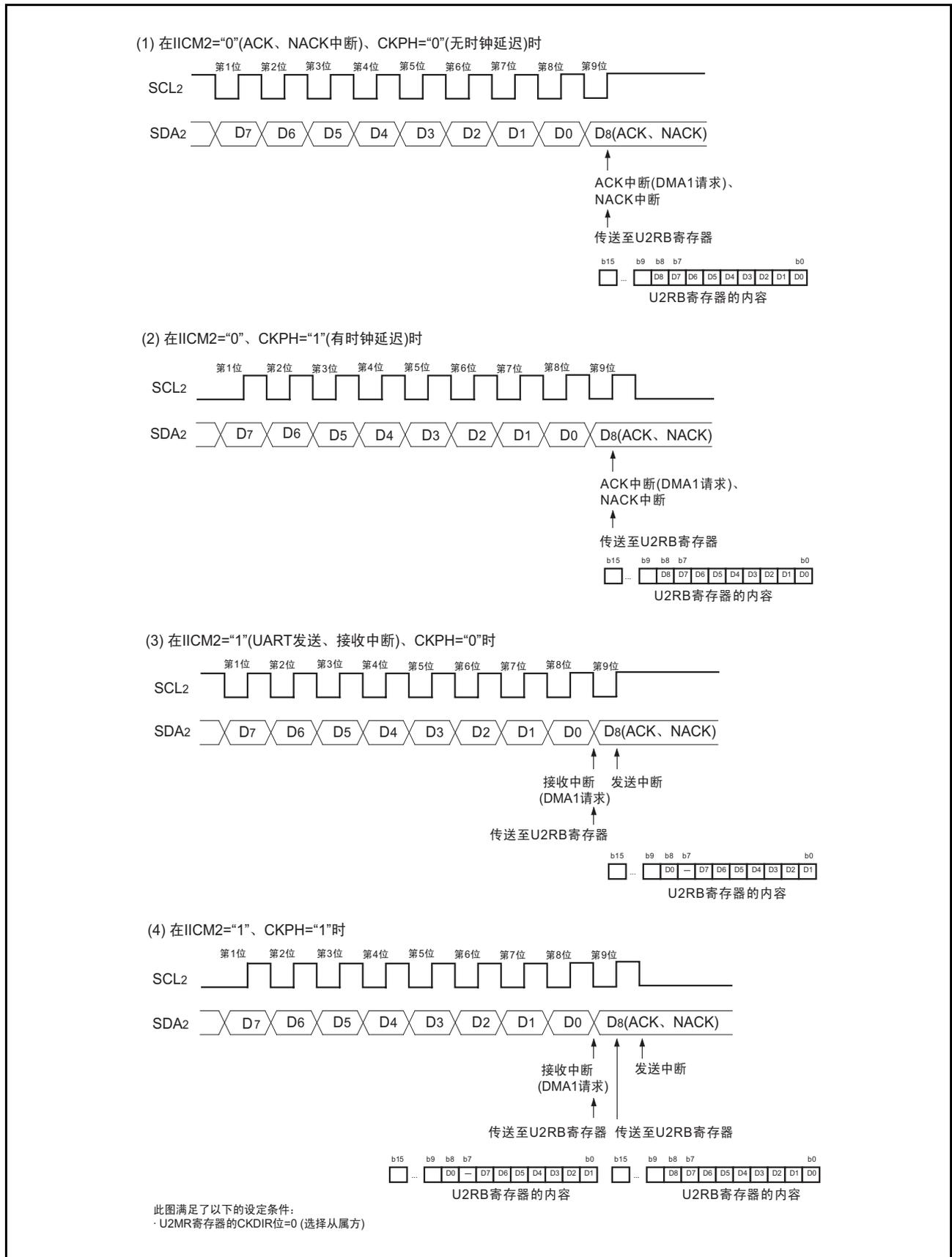


图 13.22 向 U2RB 寄存器的传送和中断时序

## 13.1.3.1 开始条件和停止条件的检测

判断开始条件或者停止条件的检测。

在 SCL<sub>2</sub> 引脚为“H”电平的状态下，如果 SDA<sub>2</sub> 引脚从“H”电平变为“L”电平，就产生开始条件检测中断请求；如果 SDA<sub>2</sub> 引脚从“L”电平变为“H”电平，就产生停止条件检测中断请求。

因为开始条件检测中断和停止条件检测中断复用中断控制寄存器和向量，所以请用 U2SMR 寄存器的 BBS 位来判断是由哪个请求产生的中断。

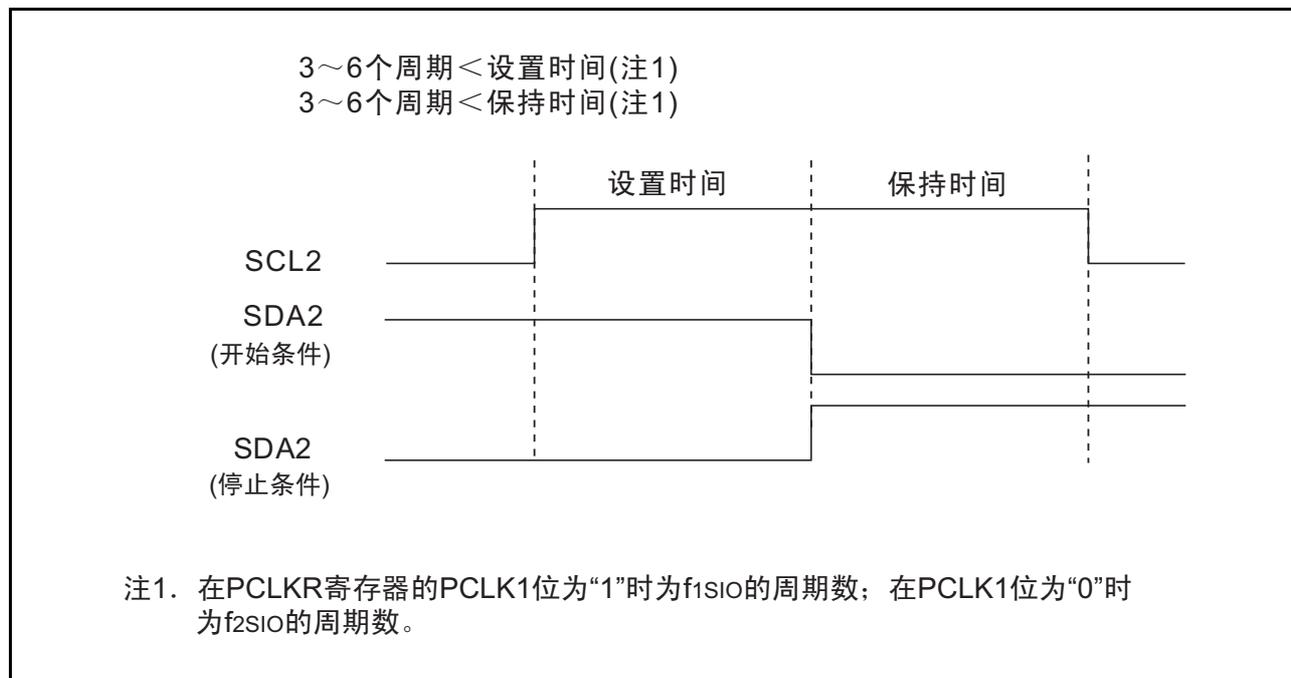


图 13.23 开始条件和停止条件的检测

13.1.3.2 开始条件和停止条件的输出

将 U2SMR4 寄存器的 STAREQ 位置 “1” (开始条件) 时, 生成开始条件。

将 U2SMR4 寄存器的 RSTAREQ 位置 “1” (重新开始条件) 时, 生成重新开始条件。

将 U2SMR4 寄存器的 STPREQ 位置 “1” (停止条件) 时, 生成停止条件。

输出的步骤如下:

1. 将 STAREQ 位、RSTAREQ 位或者 STPREQ 位置 “1” (条件开始)
2. 将 U2SMR4 寄存器的 STSPSEL 位置 “1” (输出)

STSPSEL 位的功能如表 13.14 及图 13.24 所示。

表 13.14 STSPSEL 位的功能

功能	STSPSEL=0	STSPSEL=1
SCL2、SDA2 引脚的输出	输出传送时钟和数据。通过程序采用端口实现开始条件和停止条件的输出 (不通过硬件自动生成)	根据 STAREQ 位、RSTAREQ 位或者 STPREQ 位输出开始条件和停止条件
开始条件和停止条件的中断请求产生时序	开始条件和停止条件检测	开始条件和停止条件生成结束

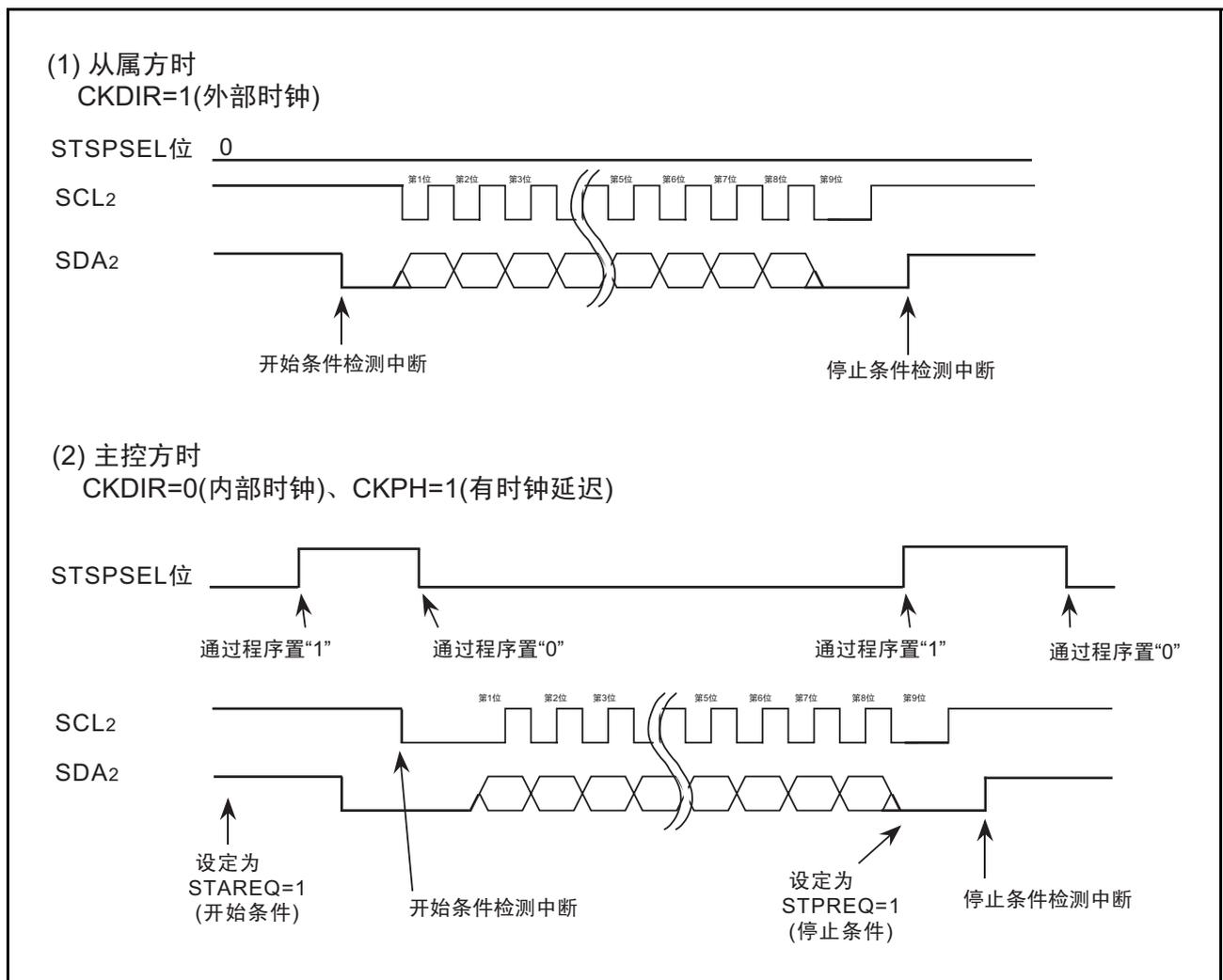


图 13.24 STSPSEL 位的功能

### 13.1.3.3 仲裁

通过 SCL<sub>2</sub> 的上升沿的时序判断发送数据和 SDA<sub>2</sub> 引脚输入数据是否不一致。通过 U2SMR 寄存器的 ABC 位选择 U2RB 寄存器的 ABT 位的更新时序。在 ABC 位为“0”（按位更新）时，如果在判断时检测出不一致，ABT 位就为“1”；如果没检测出不一致，ABT 位就为“0”。如果将 ABC 位置“1”，只要在判断时检测出一次不一致，就在第 9 个时钟的下降沿 ABT 位变为“1”（不一致检测）。而且，在按字节更新时，请在第 1 个字节的应答检测结束后，先将 ABT 位置“0”（未检测），然后传送下一个字节。

如果将 U2SMR2 寄存器的 ALS 位置“1”（允许 SDA<sub>2</sub> 输出停止），就发生仲裁失败，并在 ABT 位变为“1”（不一致检测）的同时，SDA<sub>2</sub> 引脚变为高阻抗状态。

### 13.1.3.4 传送时钟

通过如图 13.24 所示的传送时钟进行发送和接收。

U2SMR2 寄存器的 CSC 位是使内部生成的时钟（内部 SCL<sub>2</sub>）和 SCL<sub>2</sub> 引脚输入的外部时钟同步的位。如果将 CSC 位置“1”（允许时钟同步），在内部 SCL<sub>2</sub> 为“H”电平时，如果检测到 SCL<sub>2</sub> 引脚的下降沿，就将内部 SCL<sub>2</sub> 就变为“L”电平，在将 U2BRG 寄存器的值重加载后开始 L 区间的计数。另外，在 SCL<sub>2</sub> 引脚为“L”电平时，如果内部 SCL<sub>2</sub> 从“L”电平变为“H”电平，就停止计数，此后，如果 SCL<sub>2</sub> 引脚为“H”电平，就重新开始计数。因此，UART2 的传送时钟为内部 SCL<sub>2</sub> 和 SCL<sub>2</sub> 引脚信号的逻辑与。而且，传送时钟在从内部 SCL<sub>2</sub> 的第 1 位的下降沿的半个周期前到第 9 位的上升沿的期间运行。使用此功能时，对传送时钟请选择内部时钟。

能通过 U2SMR2 寄存器的 SWC 位并在时钟的第 9 位下降沿，选择是将 SCL<sub>2</sub> 引脚固定为“L”电平输出还是解除固定的“L”电平输出。

如果将 U2SMR4 寄存器的 SCLHI 位置“1”（允许），就在检测停止条件时停止 SCL<sub>2</sub> 输出（高阻抗状态）。

如果 U2SMR2 寄存器的 SWC2 位置“1”（0 输出），即使在发送和接收中也能从 SCL<sub>2</sub> 引脚强制输出“L”电平。如果将 SWC2 位置“0”（传送时钟），就解除从 SCL<sub>2</sub> 引脚输出“L”电平，并输入/输出传送时钟。

在 U2SMR3 寄存器的 CKPH 位为“1”时，如果将 U2SMR4 寄存器的 SWC9 位置“1”（允许 SCL<sub>2</sub> 保持“L”电平），就在时钟第 9 位的下一个下降沿将 SCL<sub>2</sub> 引脚固定为“L”电平输出；如果将 SWC9 位置“0”（禁止 SCL<sub>2</sub> 保持“L”电平），就解除固定的“L”电平输出。

### 13.1.3.5 SDA 输出

从 D<sub>7</sub> 按顺序输出写在 U2TB 寄存器的 bit7 ~ 0（D<sub>7</sub> ~ D<sub>0</sub>）的值，第 9 位（D<sub>8</sub>）为 ACK 或者 NACK。

必须在 IICM=1（I<sup>2</sup>C bus 模式）并且 U2MR 寄存器的 SMD2 ~ SMD0 位为“000<sub>2</sub>”（串行 I/O 无效）的状态下设定 SDA<sub>2</sub> 发送输出的初始值。

能根据 U2SMR3 寄存器的 DL2 ~ DL0 位设定 SDA<sub>2</sub> 的输出无延迟或者设定延迟 U2BRG 计数源的 2 ~ 8 个周期。

如果将 U2SMR2 寄存器的 SDHI 位置“1”（禁止 SDA<sub>2</sub> 输出），SDA<sub>2</sub> 引脚就被强制变为高阻抗状态。另外，不能在 UART2 传送时钟的上升沿时写 SDHI 位，因为这样操作有可能使 ABT 位置“1”（检测）。

### 13.1.3.6 SDA 输入

在 IICM2 位为“0”时，将接收数据的第 1 ~ 8 位（D<sub>7</sub> ~ D<sub>0</sub>）保存到 U2RB 寄存器的 bit7 ~ bit0，第 9 位（D<sub>8</sub>）为 ACK 或者 NACK。

在 IICM2 位为“1”时，将接收数据的第 1 ~ 7 位（D<sub>7</sub> ~ D<sub>1</sub>）保存到 U2RB 寄存器的 bit6 ~ bit0、第 8 位（D<sub>0</sub>）保存到 U2RB 寄存器的 bit8。即使在 IICM2 位为“1”时，只要 CKPH 位为“1”，也能在第 9 位的时钟上升沿后通过读取 U2RB 寄存器来读取和 IICM2 位为“0”时的相同数据。

### 13.1.3.7 ACK、NACK

U2SMR4 寄存器的 STSPSEL 位为 “0”（不生成开始条件和停止条件）并且 U2SMR4 寄存器的 ACKC 位为 “1”（输出 ACK 数据）时，从 SDA<sub>2</sub> 引脚输出 U2SMR4 寄存器的 ACKD 位的值。

IICM2 位为 “0” 时，如果在发送时钟的第 9 位上升沿时 SDA<sub>2</sub> 引脚一直为 “H” 电平，就产生 NACK 中断请求；如果在发送时钟的第 9 位上升沿时 SDA<sub>2</sub> 引脚一直为 “L” 电平，就产生 ACK 中断请求。

如果对 DMA1 请求源选择 ACK，就能通过应答检测启动 DMA 传送。

### 13.1.3.8 发送和接收初始化

如果将 STAC 位置 “1”（允许 UART2 初始化）并检测出开始条件，就进行如下运行：

- 初始化发送移位寄存器，将 U2TB 寄存器的内容传送至发送移位寄存器。把下一个输入时钟作为第 1 位开始发送数据。但是，在从时钟输入至输出第 1 位数据之间，UART2 输出值不变而一直为检测出开始条件时的值。
- 初始化接收移位寄存器，把下一个输入时钟开始作为第 1 位开始接收数据。
- SWC 位变为 “1”（允许 SCL 等待输出）。在时钟第 9 位的下降沿 SCL<sub>2</sub> 引脚变为 “L” 电平。

而且，在使用此功能并开始 UART2 的发送和接收时，TI 位不变。另外，在使用此功能时，必须选择外部时钟作为传送时钟。

### 13.1.4 特殊模式 2 (UART2)

特殊模式 2 可以使 1 个主控方与多个从属方进行串行通讯，并且可以选择传送时钟的极性和相位。

特殊模式 2 的规格如表 13.15、特殊模式 2 下使用的寄存器和设定值如表 13.16、特殊模式 2 的通信控制的例子如图 13.25 所示。

表 13.15 特殊模式 2 的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>传送数据长度 8 位</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>主模式 U2MR 寄存器的 CKDIR 位为 “0” (选择内部时钟): <math>f_j/(2(n+1))</math> <math>f_j=f_{1SIO}</math>、<math>f_{2SIO}</math>、<math>f_{8SIO}</math>、<math>f_{32SIO}</math> n: U2BRG 寄存器的设定值 00<sub>16</sub> ~ FF<sub>16</sub>。</li> <li>从属模式 CKDIR 位为 “1” (选择外部时钟): 从 CLK2 引脚的输入</li> </ul>
发送控制、接收控制	通过输入 / 输出端口控制
发送开始条件	<ul style="list-style-type: none"> <li>开始发送时需要以下条件 (注 1): <ul style="list-style-type: none"> <li>U2C1 寄存器的 TE 位为 “1” (允许发送)</li> <li>U2C1 寄存器的 TI 位为 “0” (U2TB 寄存器中有数据)</li> </ul> </li> </ul>
接收开始条件	<ul style="list-style-type: none"> <li>开始接收时需要以下条件 (注 1): <ul style="list-style-type: none"> <li>U2C1 寄存器的 RE 位为 “1” (允许接收)</li> <li>TE 位为 “1” (允许发送)</li> <li>TI 位为 “0” (U2TB 寄存器中有数据)</li> </ul> </li> </ul>
中断请求产生时序	<ul style="list-style-type: none"> <li>发送时可选择以下的任意条件: <ul style="list-style-type: none"> <li>U2C1 寄存器的 U2IRS 位为 “0” (发送缓冲器空): 在从 U2TB 寄存器给 UART2 发送寄存器传送数据时 (发送开始时)</li> <li>U2IRS 位为 “1” (发送结束): 在从 UART2 发送寄存器结束数据传送时</li> </ul> </li> <li>接收时 <ul style="list-style-type: none"> <li>在从 UART2 接收寄存器给 U2RB 寄存器传送数据时 (接收结束时)</li> </ul> </li> </ul>
错误检测	<ul style="list-style-type: none"> <li>溢出错误 (注 2) 在读取 U2RB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位时, 发生溢出错误</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>选择时钟相位 可选择传送时钟的极性和相位的 4 种组合</li> </ul>

注 1. 在选择外部时钟时, 必须满足以下条件: U2C0 寄存器的 CKPOL 位为 “0” (在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据) 时, 外部时钟为 “H” 电平状态; CKPOL 位为 “1” (在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据) 时, 外部时钟为 “L” 电平状态。

注 2. 如果发生溢出错误, U2RB 寄存器的内容不定。另外, S2RIC 寄存器的 IR 位不变。

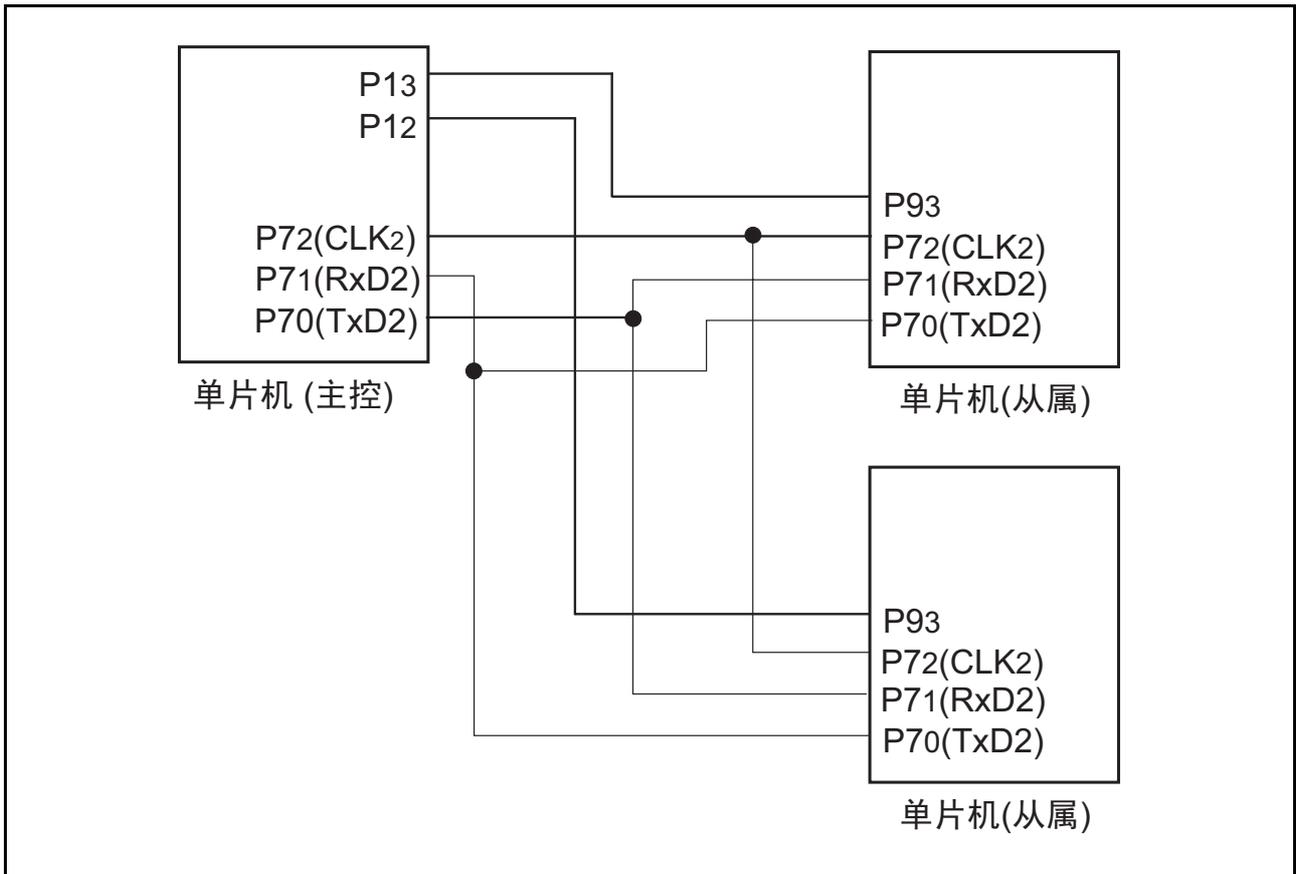


图 13.25 特殊模式 2 的通信控制例子 (UART2)

表 13.16 特殊模式 2 下使用的寄存器和设定值

寄存器	位	功能
U2TB (注 1)	0 ~ 7	设定发送数据
U2RB (注 1)	0 ~ 7	能读取接收数据
	OER	溢出错误标志
U2BRG	0 ~ 7	设定位速率
U2MR (注 1)	SMD2 ~ SMD0	置 “001 <sub>2</sub> ”
	CKDIR	主模式时置 “0”，从属模式时置 “1”
	IOPOL	置 “0”
U2C0	CLK0,CLK1	选择 U2BRG 的计数源
	CRS	因为 CRD=1, 所以无效
	TXEPT	发送寄存器空标志
	CRD	置 “1”
	NCH	选择 TxD <sub>2</sub> 引脚的输出形式
	CKPOL	能通过和 U2SMR3 寄存器的 CKPH 位的组合设定时钟的相位
	UFORM	置 “0”
U2C1	TE	在允许发送和接收时, 置 “1”
	TI	发送缓冲器空标志
	RE	在允许接收时, 置 “1”
	RI	接收结束标志
	U2IRS	选择 UART2 发送中断源
	U2RRM、U2LCH、U2ERE	置 “0”
U2SMR	0 ~ 7	置 “0”
U2SMR2	0 ~ 7	置 “0”
U2SMR3	CKPH	能通过和 U2C0 寄存器的 CKPOL 位的组合设定相位
	NODC	置 “0”
	0、2、4 ~ 7	置 “0”
U2SMR4	0 ~ 7	置 “0”

注 1. 在特殊模式 2 下对此表中没有记述的位进行写操作时, 只能写 “0”。

## 13.1.4.1 时钟相位设定功能

传送时钟的相位和极性共有 4 种组合，可以通过 U2SMR3 寄存器的 CKPH 位和 U2C0 寄存器的 CKPOL 位进行选择。

必须在进行传送的主控方和从属方设定相同的传送时钟的极性和相位。

## (1) 主控方（内部时钟）

主控方（内部时钟）的发送和接收时序如图 13.26 所示。

## (2) 从属方（外部时钟）

从属方（外部时钟）的发送和接收时序（CKPH=0）如图 13.27、从属方（外部时钟）的发送和接收时序（CKPH=1）如图 13.28 所示。

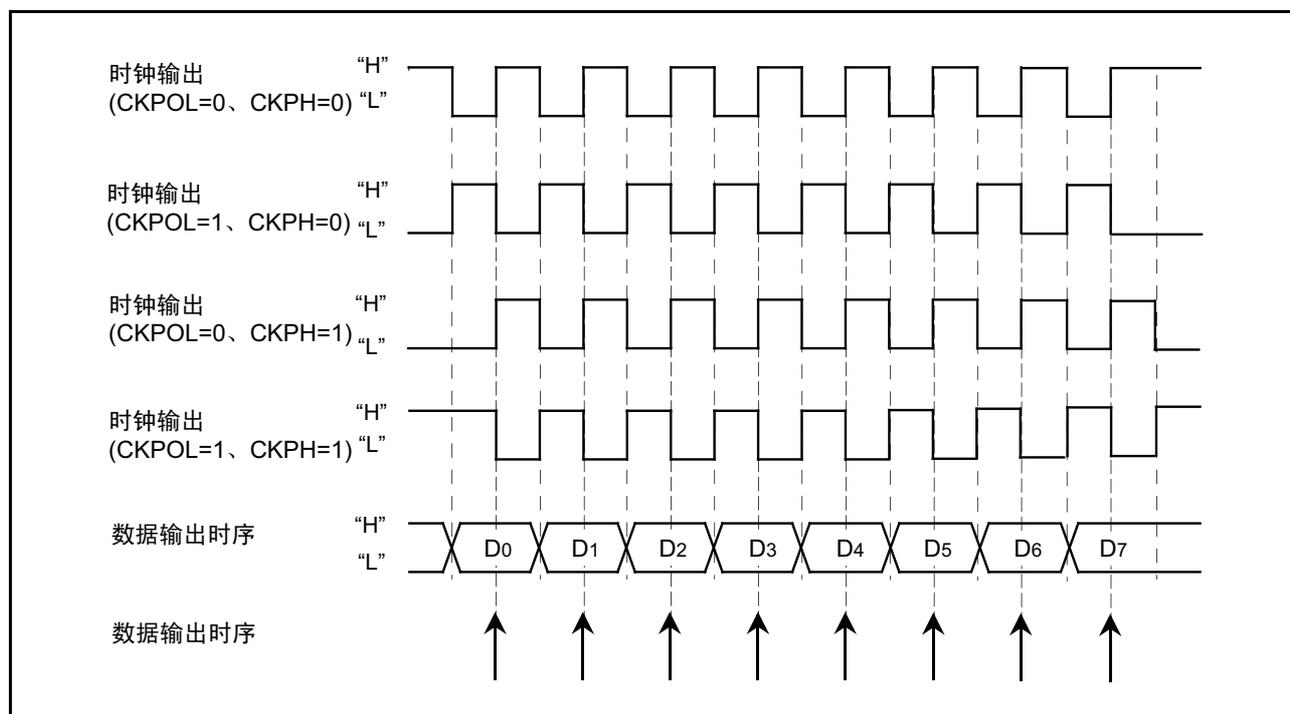


图 13.26 主控方（内部时钟）的发送和接收时序

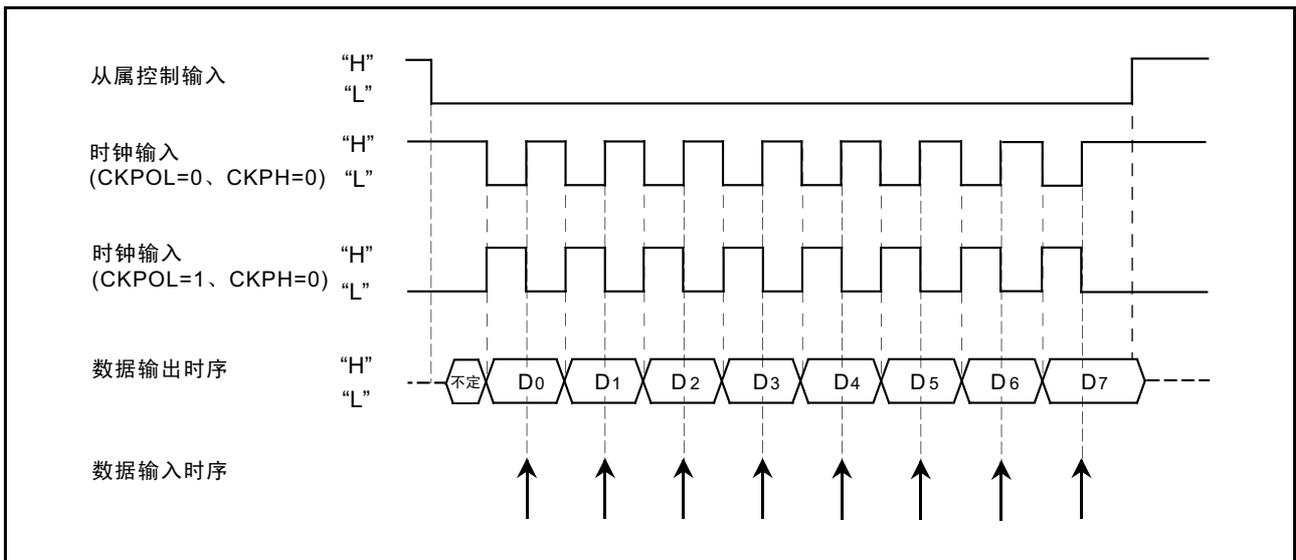


图 13.27 从属方（外部时钟）的发送和接收时序（CKPH=0）

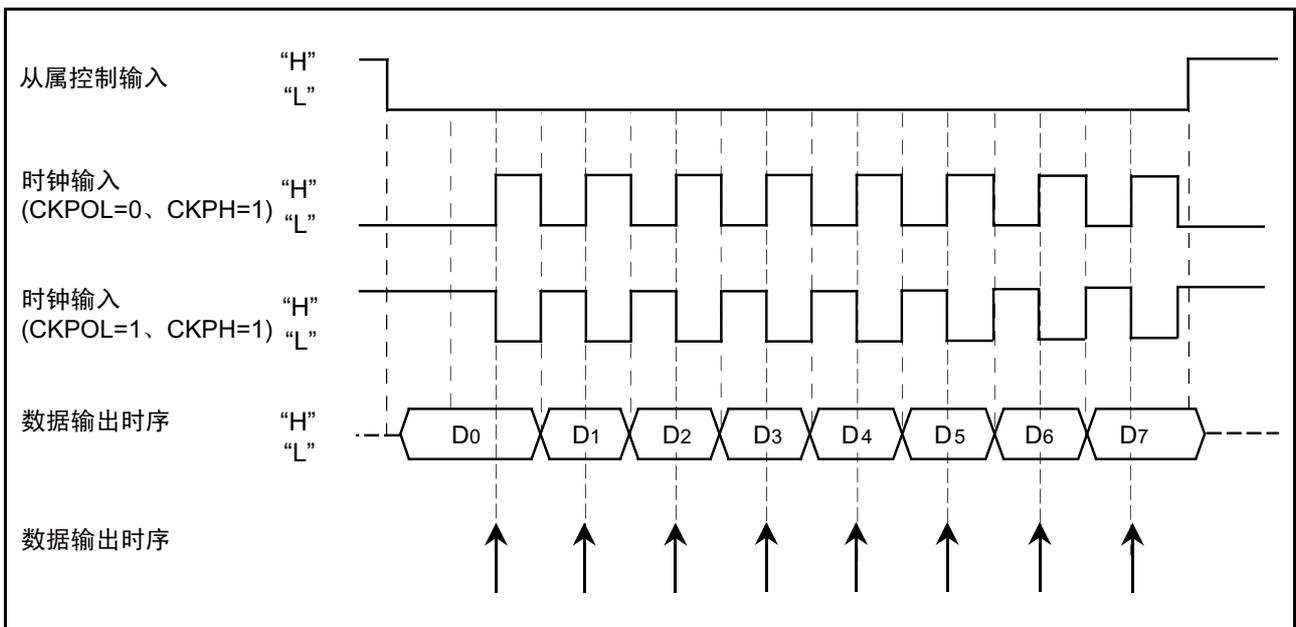


图 13.28 从属方（外部时钟）的发送和接收时序（CKPH=1）

### 13.1.5 特殊模式 3 (IEBus 模式) (UART2)

特殊模式 3 是通过 UART 模式的 1 个字节的波形使它接近 IEBus 的 1 位的模式。

IEBus 模式使用的寄存器和设定值如表 13.17、总线冲突检测功能关联位的功能如图 13.29 所示。

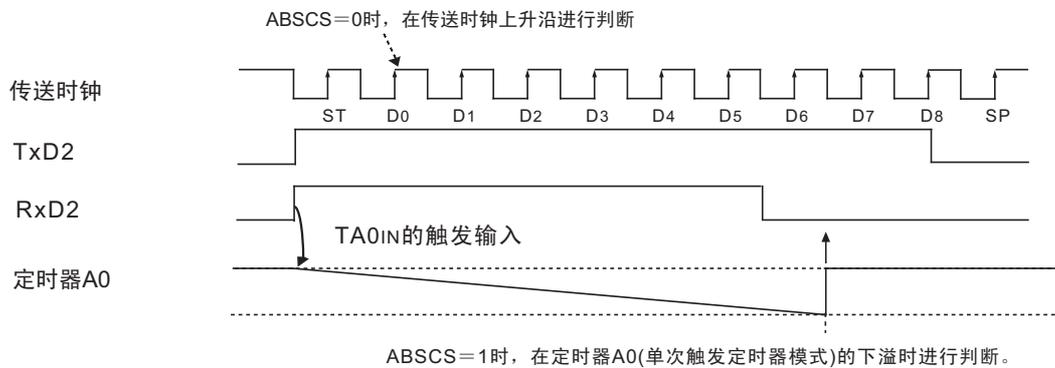
在 TxD2 引脚的输出电平与 RxD2 引脚的输入电平不同时，产生 UART2 总线冲突检测中断请求。

表 13.17 IEBus 模式下使用的寄存器和设定值

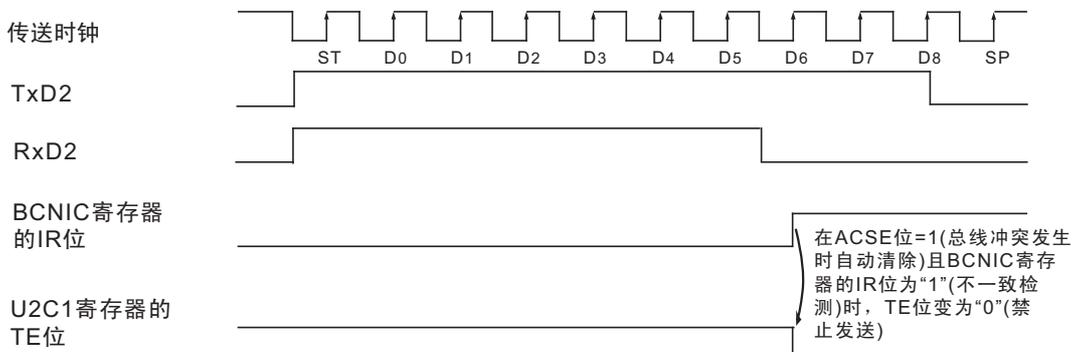
寄存器	位	功能
U2TB	0 ~ 8	设定发送数据
U2RB (注 1)	0 ~ 8	能读取接收数据
	OER、FER、PER、SUM	错误标志
U2BRG	0 ~ 7	设定位速率
U2MR	SMD2 ~ SMD0	置“110 <sub>2</sub> ”
	CKDIR	选择内部时钟或者外部时钟
	STPS	置“0”
	PRY	因为 PRYE=0, 所以无效
	PRYE	置“0”
	IOPOL	选择 TxD 和 RxD 输入 / 输出极性
U2C0	CLK1 ~ CLK0	选择 U2BRG 的计数源
	CRS	因为 CRD=1, 所以无效
	TXEPT	发送寄存器空标志
	CRD	置“1”
	NCH	选择 TxD2 引脚的输出形式
	CKPOL	置“0”
	UFORM	置“0”
U2C1	TE	在允许发送时, 置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时, 置“1”
	RI	接收结束标志
	U2IRS	选择 UART2 发送中断源
	U2RRM、U2LCH、U2ERE	置“0”
U2SMR	0 ~ 3、7	置“0”
	ABSCS	选择总线冲突检测的采样时序
	ACSE	在使用发送允许位自动清除时, 置“1”
	SSS	选择发送开始条件
U2SMR2	0 ~ 7	置“0”
U2SMR3	0 ~ 7	置“0”
U2SMR4	0 ~ 7	置“0”

注 1. 在 IEBus 模式下对此表中没有记述的位进行写操作时, 只能写“0”。

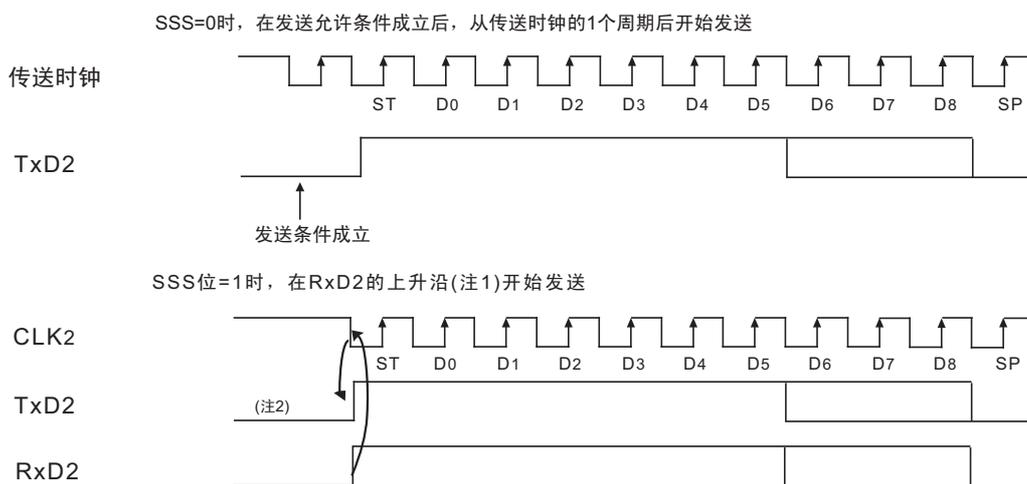
(1) U2SMR寄存器的ABSCS位 (选择总线冲突检测采样时钟)



(2) U2SMR寄存器的ACSE位 (发送允许位自动清除)



(3) U2SMR寄存器的SSS位(选择发送开始条件)



注1. 在IOPOL=0时, 为RxD2的下降沿。在IOPOL=1时, 为RxD2的上升沿。  
 注2. 发送条件必须在RxD2的下降沿(注1)前成立。

此图为IOPOL=1(有反相)时的情况

图 13.29 总线冲突检测功能关联位的功能

### 13.1.6 特殊模式 4（SIM 模式）（UART2）

特殊模式 4 是基于 UART 模式，兼容 SIM 接口的模式。能实现正向格式和反向格式，并且能在检测奇偶校验错误时，从 TxD2 引脚输出“L”电平。SIM 模式的规格如表 13.18、SIM 模式下使用的寄存器和设定值如表 13.19 所示。

表 13.18 SIM 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>正向格式</li> <li>反向格式</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>U2MR 寄存器的 CKDIR 位为“0”（内部时钟）：<math>f_i / (16(n+1))</math>  <math>f_i = f_{1SIO}</math>、<math>f_{2SIO}</math>、<math>f_{8SIO}</math>、<math>f_{32SIO}</math> <math>n = U2BRG</math> 寄存器的设定值 <math>00_{16} \sim FF_{16}</math></li> <li>CKDIR 位为“1”（外部时钟）：<math>f_{EXT} / (16(n+1))</math>  <math>f_{EXT}</math> 是从 CLK2 引脚的输入。 <math>n = U2BRG</math> 寄存器的设定值 <math>00_{16} \sim FF_{16}</math></li> </ul>
发送开始条件	开始发送时需要以下条件： <ul style="list-style-type: none"> <li>U2C1 寄存器的 TE 位为“1”（允许发送）</li> <li>U2C1 寄存器的 TI 位为“0”（U2TB 寄存器中有数据）</li> </ul>
接收开始条件	开始接收时需要以下条件： <ul style="list-style-type: none"> <li>U2C1 寄存器的 RE 位为“1”（允许接收）</li> <li>检测到开始位</li> </ul>
中断请求产生时序 （注 2）	<ul style="list-style-type: none"> <li>在发送时 从 UART2 发送寄存器数据传送结束时（U2IRS 位 = “1”）</li> <li>在接收时 从 UART2 接收寄存器给 U2RB 寄存器传送数据（接收结束）时</li> </ul>
错误检测	<ul style="list-style-type: none"> <li>溢出错误（注 1） 在读取 U2RB 寄存器前开始接收下一个数据，在接收下一个数据的最后停止位的前 1 位时发生溢出错误</li> <li>帧错误 当检测到的停止位个数不同于设定值时，产生帧错误</li> <li>奇偶校验错误 在接收时检测出溢出错误时，从 TxD2 引脚端子输出奇偶校验错误信号 如果在发送时发生发送中断，就根据 RxD2 引脚的输入电平检测奇偶校验错误</li> <li>错误和标志 如果发生溢出错误、帧错误或者奇偶校验错误中的任何一个错误，错误和标志就为“1”</li> </ul>

注 1. 如果发生溢出错误，U2RB 寄存器的内容不定。另外，S2RIC 寄存器的 IR 位不变。

注 2. 在解除复位后将 U2C1 寄存器的 U2IRS 位置“1”（发送结束）、U2ERE 位置“1”（输出错误信号）时，产生发送中断请求。因此，在使用 SIM 模式时，必须在设定后将 IR 位置“0”（无中断请求）。

表 13.19 SIM 模式下使用的寄存器和设定值

寄存器	位	功能
U2TB (注 1)	0 ~ 7	设定发送数据
U2RB (注 1)	0 ~ 7	能读取接收数据
	OER、FER、PER、SUM	错误标志
U2BRG	0 ~ 7	设定位速率
U2MR	SMD2 ~ SMD0	置 “1012”
	CKDIR	选择内部时钟或者外部时钟
	STPS	置 “0”
	PRY	在正向格式时, 置 “1”; 在反向格式时, 置 “0”
	PRYE	置 “1”
	IOPOL	置 “0”
U2C0	CLK0,CLK1	选择 U2BRG 的计数源
	CRS	因为 CRD=1, 所以无效
	TXEPT	发送寄存器空标志
	CRD	置 “1”
	NCH	置 “1”
	CKPOL	置 “0”
	UFORM	在正向格式时, 置 “0”; 在反向格式时, 置 “1”
U2C1	TE	在允许发送时, 置 “1”
	TI	发送缓冲器空标志
	RE	在允许接收时, 置 “1”
	RI	接收结束标志
	U2IRS	置 “1”
	U2RRM	置 “0”
	U2LCH	在正向格式时, 置 “0”; 在反向格式时, 置 “1”
	U2ERE	置 “1”
U2SMR (注 1)	0 ~ 3	置 “0”
U2SMR2	0 ~ 7	置 “0”
U2SMR3	0 ~ 7	置 “0”
U2SMR4	0 ~ 7	置 “0”

注 1. 在 SIM 模式下对此表中没有记述的位进行写操作时, 只能写 “0”

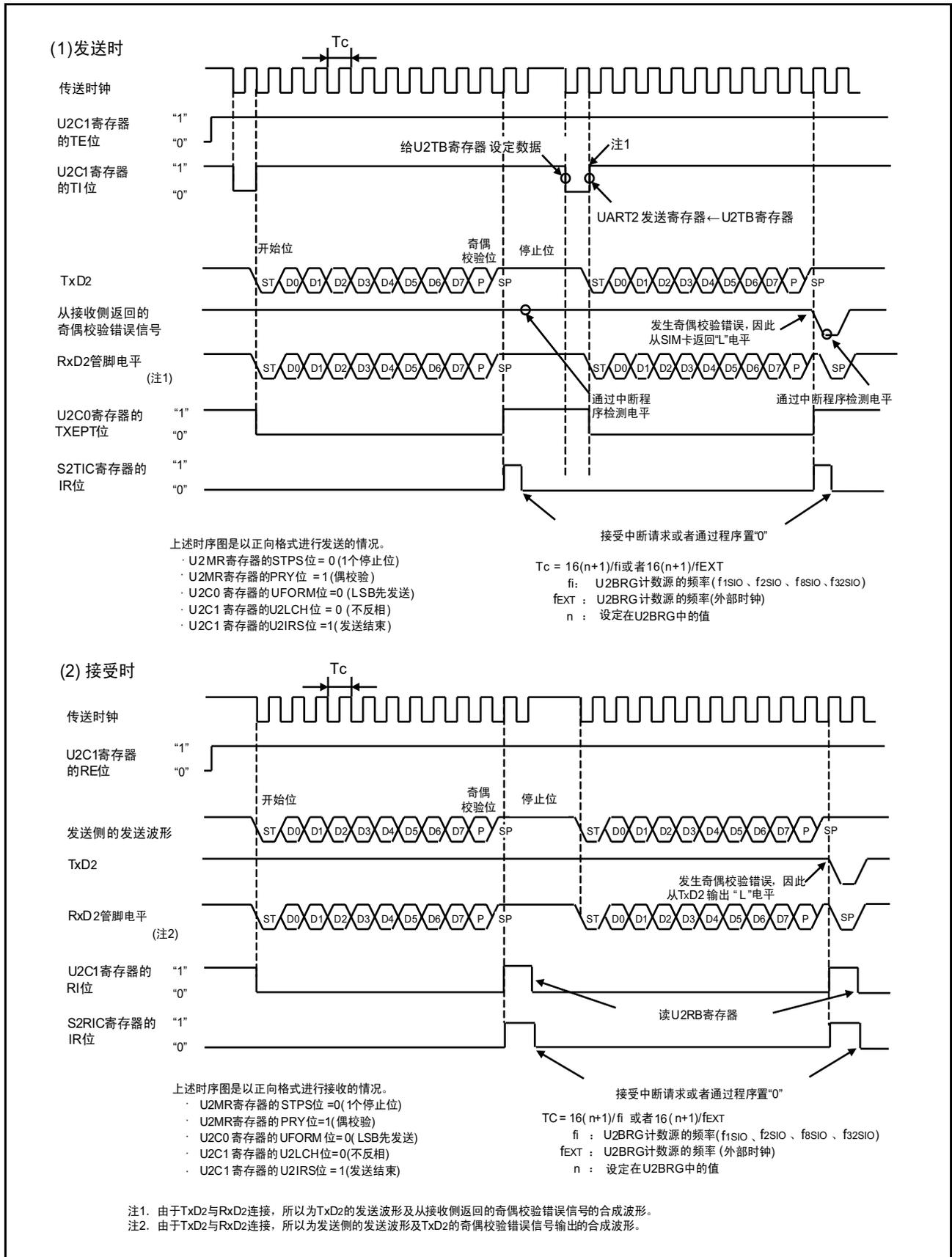


图 13.30 SIM模式的发送和接收时序的例子

SIM 接口的连接例子如图 13.31 所示，请将 TxD2 和 RxD2 连接后上拉。

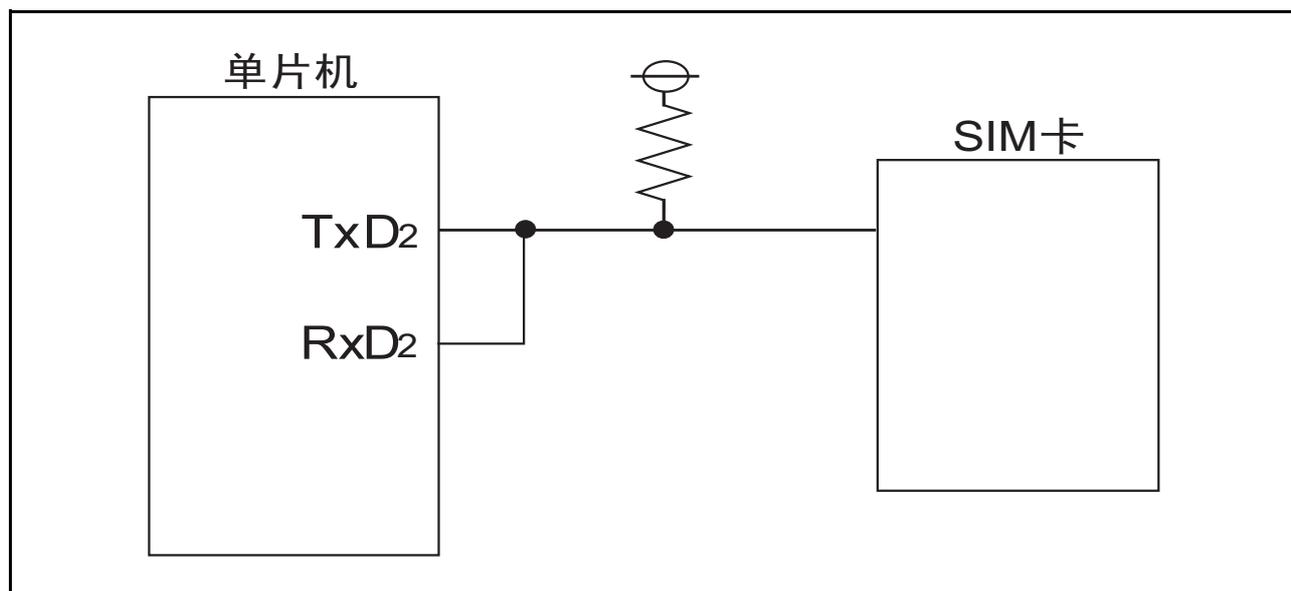


图 13.31 SIM 接口的连接示例

### 13.1.6.1 奇偶校验错误信号的输出功能

将 U2C1 寄存器的 U2ERE 位置“1”时，可使用奇偶校验错误信号。

- 接收时

如果在接收时检测出奇偶校验错误，奇偶校验错误信号就为输出信号，并在如图 13.32 所示的时序里 TxD2 输出变为“L”电平。但是，在输出奇偶校验错误信号中读取 U2RB 寄存器时，PER 位就变为“0”，同时 TxD2 输出也恢复到“H”电平。

- 发送时

发送时，在输出停止位的下一个传送时钟下降沿产生发送结束中断请求。因此，通过发送结束中断程序读取 RxD2 和引脚复用的端口时，可判断奇偶校验错误信号是否被返回。

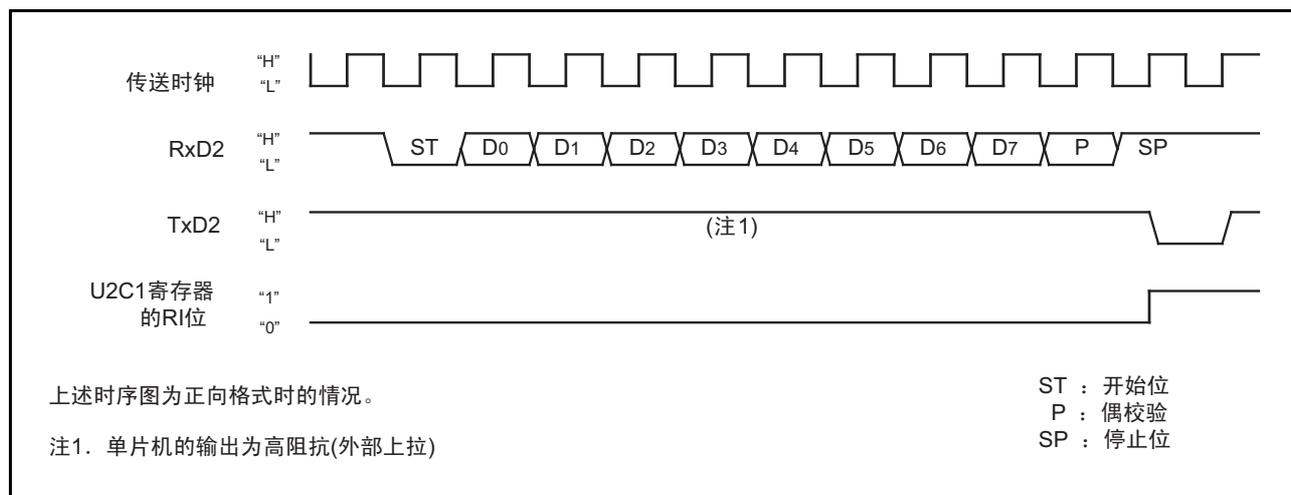


图 13.32 奇偶校验错误信号的输出时序

## 13.1.6.2 格式

- 正向格式  
请将 U2MR 寄存器的 PRY 位置 “1”、U2C0 寄存器的 UFORM 位置 “0”、U2C1 寄存器的 U2LCH 位置 “0”
- 反向格式  
请 PRY 位置 “0”、UFORM 位置 “1”、U2LCH 位置 “1”。

SIM 接口格式如图 13.33 所示。

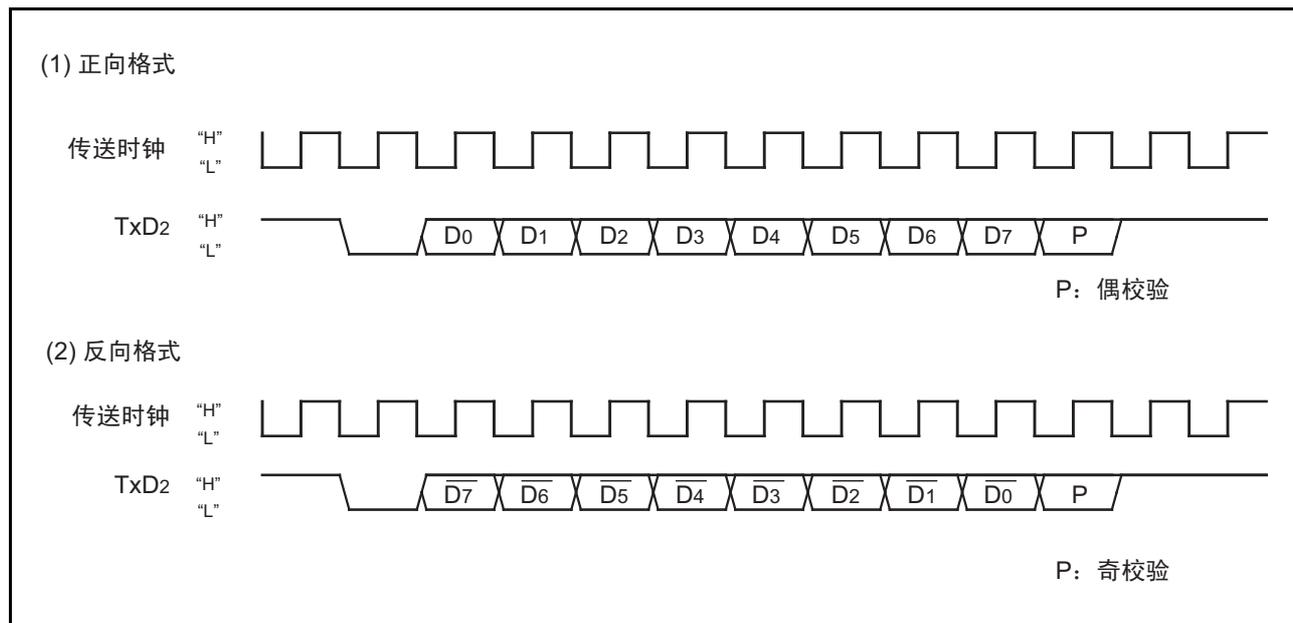


图 13.33 SIM 接口格式

## 14. A/D 转换器

## 注意

在 42 引脚版中没有 P9<sub>2</sub> ~ P9<sub>3</sub> (AN<sub>32</sub>、AN<sub>24</sub>)。

在 42 引脚版中 P9<sub>2</sub> ~ P9<sub>3</sub> (AN<sub>32</sub>、AN<sub>24</sub>) 不作为模拟输入引脚使用。

本单片机具有 1 个由电容耦合放大器构成的 10 位逐次逼近转换方式的 A/D 转换器电路。模拟输入和 P10<sub>0</sub> ~ P10<sub>7</sub> (AN<sub>0</sub> ~ AN<sub>7</sub>)、P9<sub>0</sub> ~ P9<sub>3</sub> (AN<sub>30</sub> ~ AN<sub>32</sub>、AN<sub>24</sub>) 引脚复用，另外，AD<sub>TRG</sub> 输入和 P1<sub>5</sub> 引脚复用。因此，使用这些输入时，必须将对应的端口方向位置“0”（输入模式）。

不使用 A/D 转换器时，如果将 VCUT 位置“0”（V<sub>REF</sub> 未连接），电流就不从 V<sub>REF</sub> 引脚流到梯形电阻，能降低功耗。

A/D 转换的结果保存到对应 AN<sub>i</sub>、AN<sub>3i</sub>、AN<sub>2i</sub> 引脚的 A/D 寄存器 i (i=0 ~ 7)。

A/D 转换器的规格如表 14.1、A/D 转换器的框图如图 14.1、A/D 转换器的相关寄存器如图 14.2 ~ 图 14.4 所示。

表 14.1 A/D 转换器的规格

项目	规格
A/D 转换方式	逐次逼近转换方式（电容耦合放大器）
模拟输入电压（注 1）	0V ~ AV <sub>CC</sub> (V <sub>CC</sub> )
运行时钟 φ AD （注 2）	f <sub>AD</sub> 、f <sub>AD</sub> 的 2 分频、f <sub>AD</sub> 的 3 分频、f <sub>AD</sub> 的 4 分频、f <sub>AD</sub> 的 6 分频或者 f <sub>AD</sub> 的 12 分频
分辨率	8 位或者 10 位
积分非线性误差	AV <sub>CC</sub> = V <sub>REF</sub> = 5V 时 <ul style="list-style-type: none"> <li>• 8 位分辨率时 ± 2LSB</li> <li>• 10 位分辨率时 ± 3LSB</li> </ul> AV <sub>CC</sub> = V <sub>REF</sub> = 3.3V 时 <ul style="list-style-type: none"> <li>• 8 位分辨率时 ± 2LSB</li> <li>• 10 位分辨率时 ± 5LSB</li> </ul>
运行模式	单次模式、重复模式、单次扫描模式、重复扫描模式 0、重复扫描模式 1、同时采样扫描模式、延迟触发模式 0、延迟触发模式 1
模拟输入引脚	8 个 (AN <sub>0</sub> ~ AN <sub>7</sub> ) + 3 个 (AN <sub>30</sub> ~ AN <sub>32</sub> ) + 1 个 (AN <sub>24</sub> ) (48 引脚版) 8 个 (AN <sub>0</sub> ~ AN <sub>7</sub> ) + 2 个 (AN <sub>30</sub> ~ AN <sub>31</sub> ) (42 引脚版)
每个引脚的转换速度	<ul style="list-style-type: none"> <li>• 无采样 &amp; 保持                8 位分辨率时 49 个 φ AD 周期                10 位分辨率时 59 个 φ AD 周期</li> <li>• 有采样 &amp; 保持                8 位分辨率时 28 个 φ AD 周期                10 位分辨率时 33 个 φ AD 周期</li> </ul>

注 1. 与是否有采样 & 保持功能无关。

注 2. 请将 φ AD 的频率设定为 10MHz 以下（M16C/26B 为 12MHz 以下）。

无采样 & 保持功能时，请将 φ AD 的频率设定为 250kHz 以上。

有采样 & 保持功能时，请将 φ AD 的频率设定为 1MHz 以上。

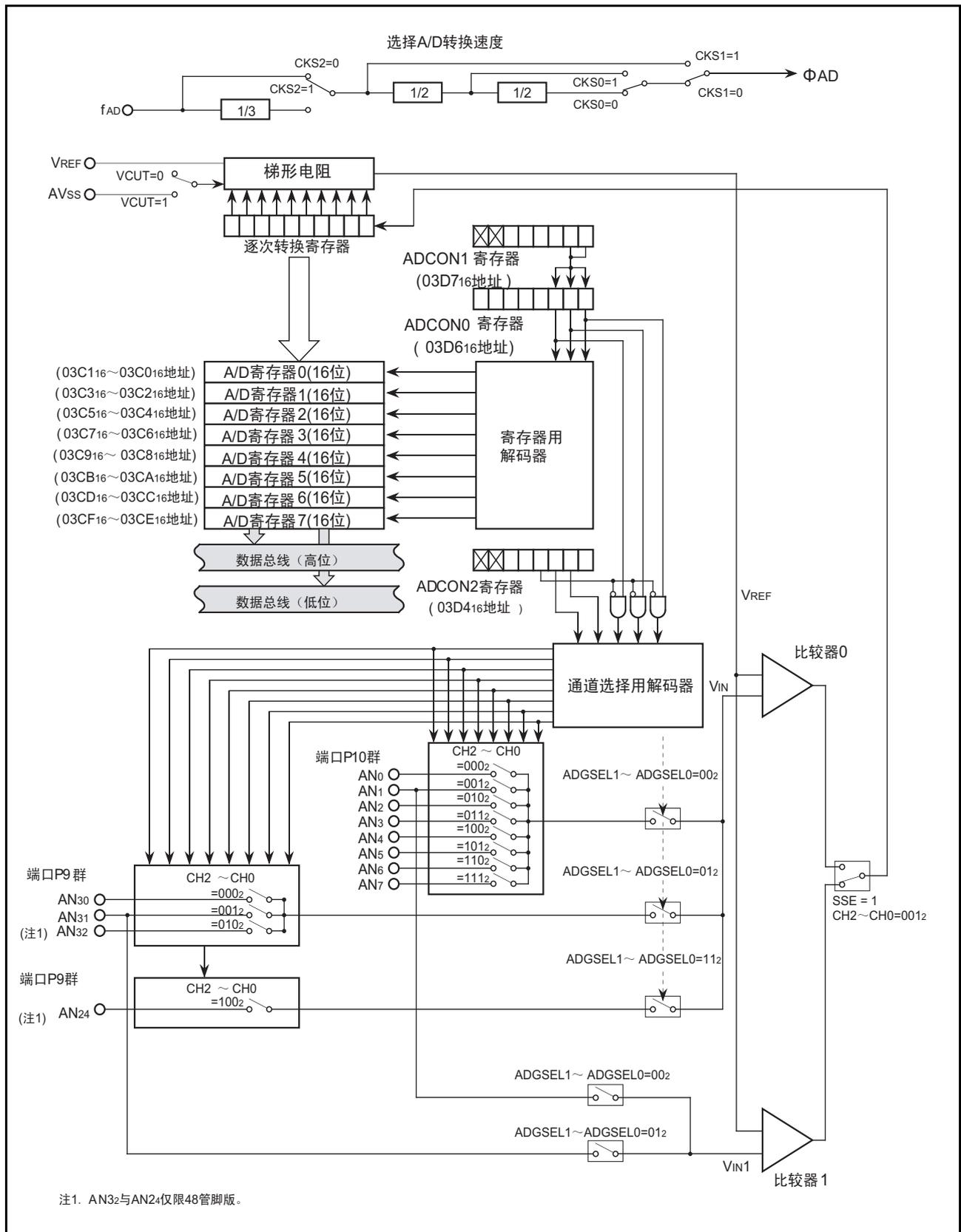


图 14.1 A/D 转换器的框图

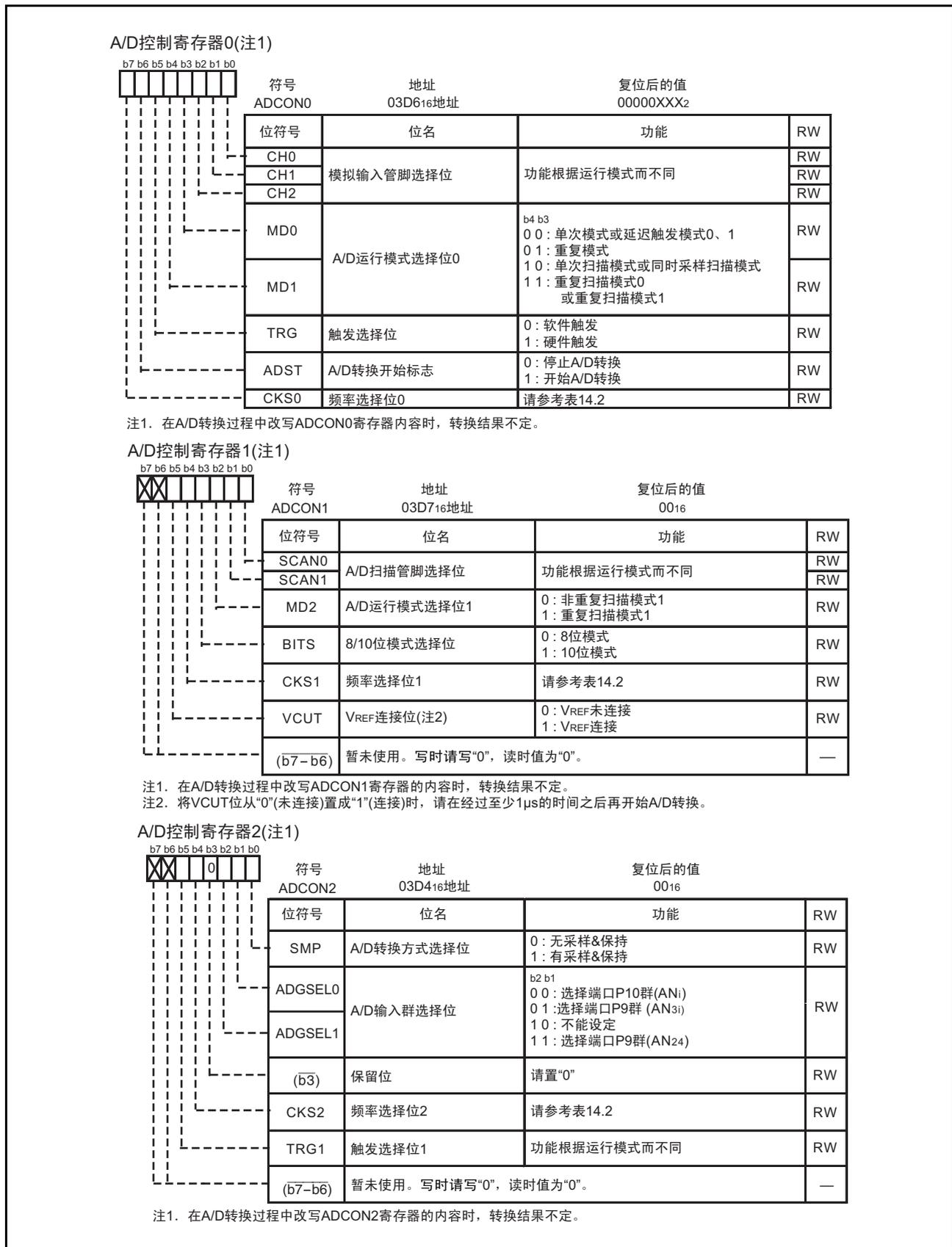


图 14.2 ADCON0 ~ ADCON2 寄存器

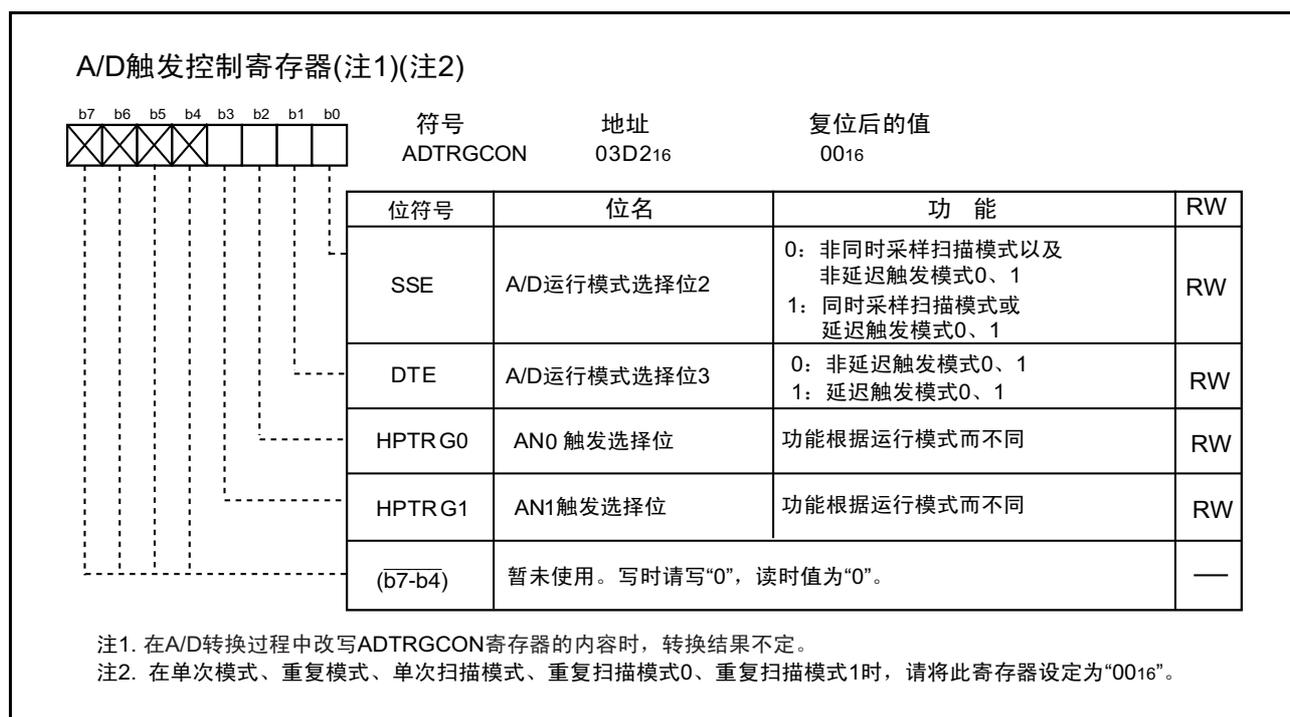


图 14.3 ADTRGCON 寄存器

表 14.2 A/D 转换频率的选择

CKS2	CKS1	CKS0	$\phi$ AD
0	0	0	$f_{AD}$ 的 4 分频
0	0	1	$f_{AD}$ 的 2 分频
0	1	0	$f_{AD}$
0	1	1	
1	0	0	$f_{AD}$ 的 12 分频
1	0	1	$f_{AD}$ 的 6 分频
1	1	0	$f_{AD}$ 的 3 分频
1	1	1	

注 1.  $\phi$  AD 的频率必须是 10MHz 以下 (M16C/26B 为 12MHz 以下)。能通过 ADCON0 寄存器的 CKS0 位、ADCON1 寄存器的 CKS1 位和 ADCON2 寄存器的 CKS2 位的组合，选择  $\phi$  AD。



图 14.4 ADSTAT0 寄存器和 AD0 ~ AD7 寄存器

## 定时器B2特殊模式寄存器(注1)

位	符号	地址	复位后的值
b7	×	TB2SC 039E <sub>16</sub> 地址	X0000000 <sub>2</sub>
b6	0		
b5	0		
b4			
b3	1		
b2	1		
b1			
b0			

位符号	位名	功能	RW
PWCON	定时器B2再装入时序切换位 (注2)	0: 定时器B2下溢 1: 奇数次的定时器A输出	RW
IVPCR1	三相输出端口SD控制位1 (注3、注4、注7)	0: 禁止通过SD管脚输入的三相输出 强制切断(高阻抗) 1: 允许通过SD管脚输入的三相输出 强制切断(高阻抗)	RW
TB0EN	定时器B0运行模式选择位	0: 非A/D触发模式 1: A/D触发模式(注5)	RW
TB1EN	定时器B1运行模式选择位	0: 非A/D触发模式 1: A/D触发模式(注5)	RW
TB2SEL	触发选择位(注6)	0: TB2中断 1: TB2中断发生频率设定计数器(ICTB2) 下溢	RW
(b6-b5)	保留位	必须置“0”。	RW
(b7)	暂未使用。写时请写“0”，读时值为“0”。		—

注1. 请在将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。

注2. 在INV11位为“0”(三相模式0)或INV06位为“1”(锯齿波调制模式)时, 请将此位置“0”(定时器B2下溢)。

注3. 在将IVPCR1位置“1”(允许通过SD管脚输入的三相输出强制切断)时, 请将PD8<sub>5</sub>位置“0”(输入)。

注4. 对象管脚为U(P8<sub>0</sub>)、 $\bar{U}$ (P8<sub>1</sub>)、V(P7<sub>2</sub>)、 $\bar{V}$ (P7<sub>3</sub>)、W(P7<sub>4</sub>)和 $\bar{W}$ (P7<sub>5</sub>)。强制切断后, 如果给SD管脚输入“H”电平并且将IVPCR1位置“0”, 就解除强制切断; 如果给SD管脚输入“L”电平, 就禁止对象管脚的三相马达控制用定时器输出(INV03=“0”)。此时, 对象管脚与使用的功能无关, 在IVPCR1位为“0”时为通常端口, 在IVPCR1位为“1”时变为高阻抗状态。

注5. 使用在延迟触发模式0时, 请将TB0EN位和TB1EN位一同置“1”(A/D触发模式)。

注6. 在将此位置“1”(TB2中断发生频率设定计数器(ICTB2)下溢)时, 请将INVC0寄存器的INV02位置“1”(三相马达控制用定时器功能)。

注7. 有关SD输入, 请参考16.6 数字消抖动功能。

图 14.5 TB2SC 寄存器

## 14.1 模式的说明

### 14.1.1 单次模式

单次模式是对所选的 1 个引脚的输入电压进行 1 次 A/D 转换的模式。单次模式的规格如表 14.3、单次模式的运行例子如图 14.6、单次模式中的 ADCON0 ~ ADCON2 寄存器如图 14.7 所示。

表 14.3 单次模式的规格

项目	规格
功能	对由 ADCON0 寄存器的 CH2 ~ CH0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选的 1 个引脚的输入电压进行 1 次 A/D 转换
A/D 转换开始条件	<ul style="list-style-type: none"> <li>在 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）</li> <li>在 ADCON0 寄存器的 TRG 位为 “1”（硬件触发）时将 ADST 位置 “1”（开始 A/D 转换）后，ADTRG 引脚的输入从 “H” 电平变为 “L” 电平（可再次触发）</li> </ul>
A/D 转换停止条件	<ul style="list-style-type: none"> <li>A/D 转换结束（在选择软件触发时，ADST 位为 “0”（停止 A/D 转换））</li> <li>将 ADST 位置 “0”</li> </ul>
中断请求产生时序	A/D 转换结束时
模拟输入引脚	从 AN0 ~ AN7、AN30 ~ AN32、AN24 中选择 1 个引脚
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

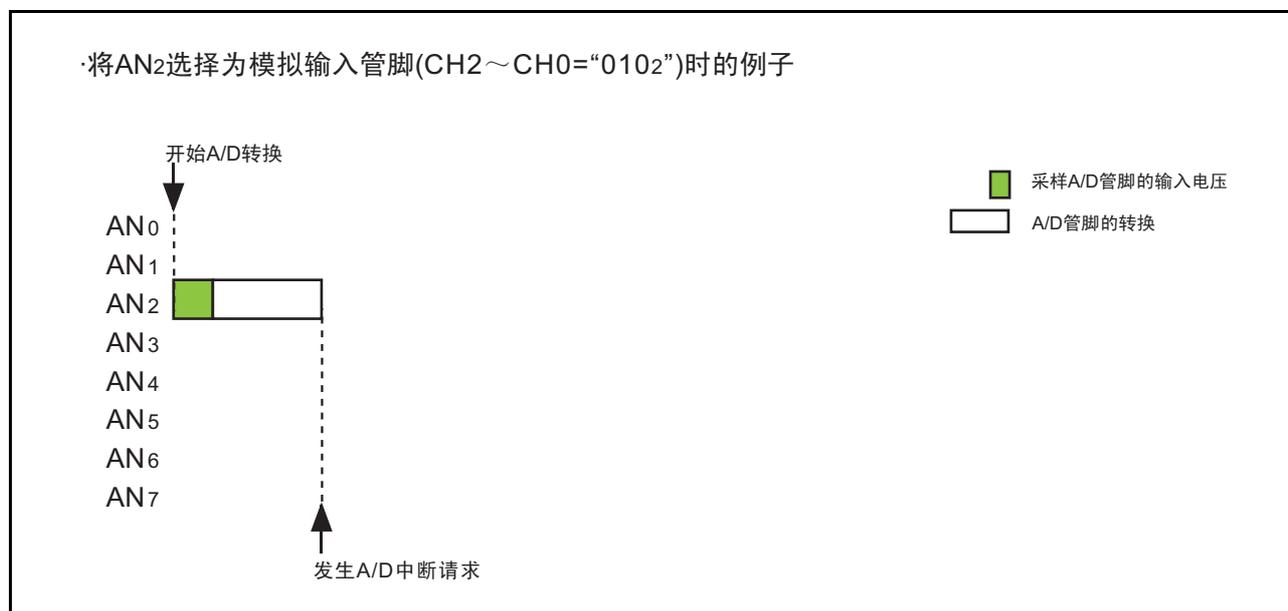


图 14.6 单次模式的运行示例



图 14.7 单次模式下的 ADCON0 ~ ADCON2 寄存器

### 14.1.2 重复模式

重复模式是对所选的 1 个引脚的输入电压重复进行 A/D 转换的模式。重复模式的规格如表 14.4、重复模式的运行示例如图 14.8、重复模式下的 ADCON0 ~ ADCON2 寄存器如图 14.9 所示。

表 14.4 重复模式的规格

项目	规格
功能	对由 ADCON0 寄存器的 CH2 ~ CH0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选的 1 个引脚的输入电压重复进行 A/D 转换
A/D 转换开始条件	<ul style="list-style-type: none"> <li>在 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）</li> <li>在 ADCON0 寄存器的 TRG 位为 “1”（硬件触发）时将 ADST 位置 “1”（开始 A/D 转换）后，ADTRG 引脚的输入从 “H” 电平变为 “L” 电平（可再次触发）</li> </ul>
A/D 转换停止条件	将 ADST 位置 “0”（停止 A/D 转换）
中断请求产生时序	不产生中断请求
模拟输入引脚	从 AN <sub>0</sub> ~ AN <sub>7</sub> 、AN <sub>30</sub> ~ AN <sub>32</sub> 、AN <sub>24</sub> 中选择 1 个引脚
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

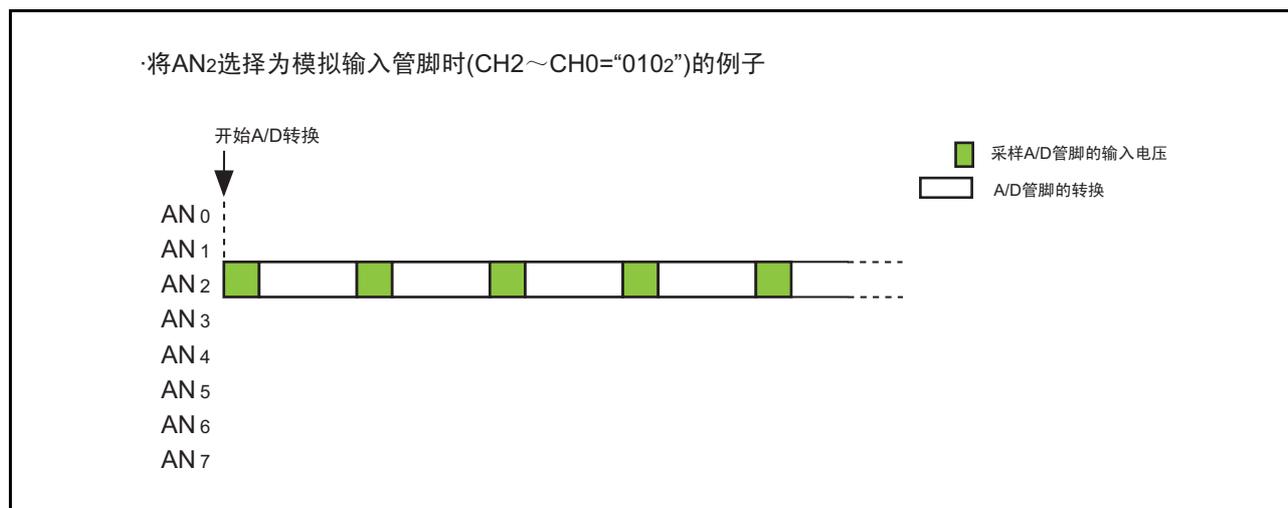


图 14.8 重复模式的运行示例

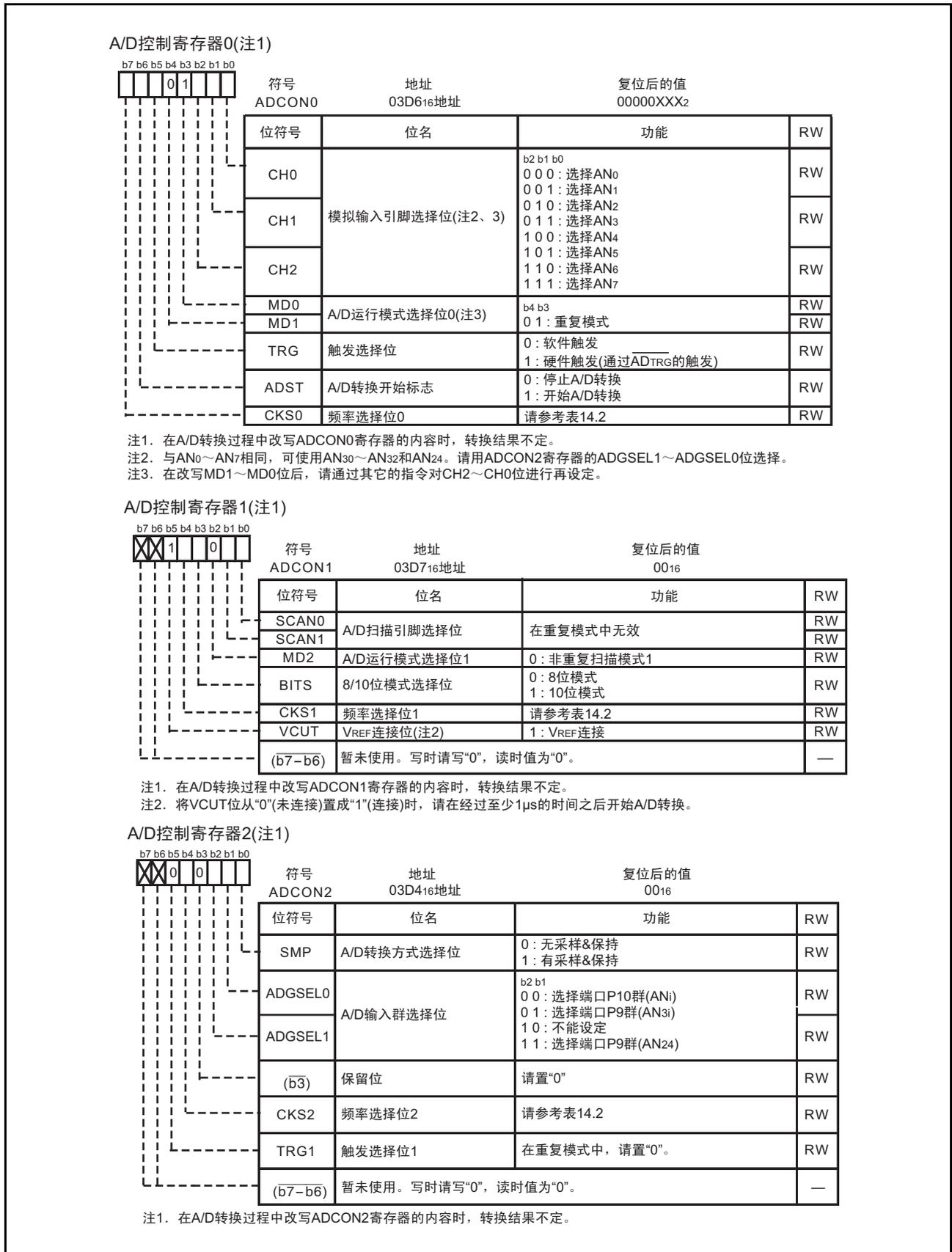


图 14.9 重复模式下的 ADCON0 ~ ADCON2 寄存器

### 14.1.3 单次扫描模式

单次扫描模式是对所选引脚的输入电压逐次进行 A/D 转换的模式。单次扫描模式的规格如表 14.5、单次扫描模式的运行示例如图 14.10、单次扫描模式下的 ADCON0 ~ ADCON2 寄存器如图 14.11 所示。

表 14.5 单次扫描模式的规格

项目	规格
功能	对由 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选引脚的输入电压逐次进行 A/D 转换
A/D 转换开始条件	<ul style="list-style-type: none"> <li>在 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）</li> <li>在 ADCON0 寄存器的 TRG 位为 “1”（硬件触发）时将 ADST 位置 “1”（开始 A/D 转换）后，ADTRG 引脚的输入从 “H” 电平变为 “L” 电平（可再次触发）</li> </ul>
A/D 转换停止条件	<ul style="list-style-type: none"> <li>A/D 转换结束（选择软件触发时，ADST 位为 “0”（停止 A/D 转换））</li> <li>将 ADST 位置 “0”</li> </ul>
中断请求产生时序	AN <sub>0</sub> 引脚的单次扫描转换结束时
模拟输入引脚	从 AN <sub>0</sub> ~ AN <sub>1</sub> （2 个引脚）、AN <sub>0</sub> ~ AN <sub>3</sub> （4 个引脚）、AN <sub>0</sub> ~ AN <sub>5</sub> （6 个引脚）、AN <sub>0</sub> ~ AN <sub>7</sub> （8 个引脚）中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

注 1. 与 AN<sub>0</sub> ~ AN<sub>7</sub> 相同，能使用 AN<sub>30</sub> ~ AN<sub>32</sub>、AN<sub>24</sub>。但是，全部的输入引脚必需属于相同的群。

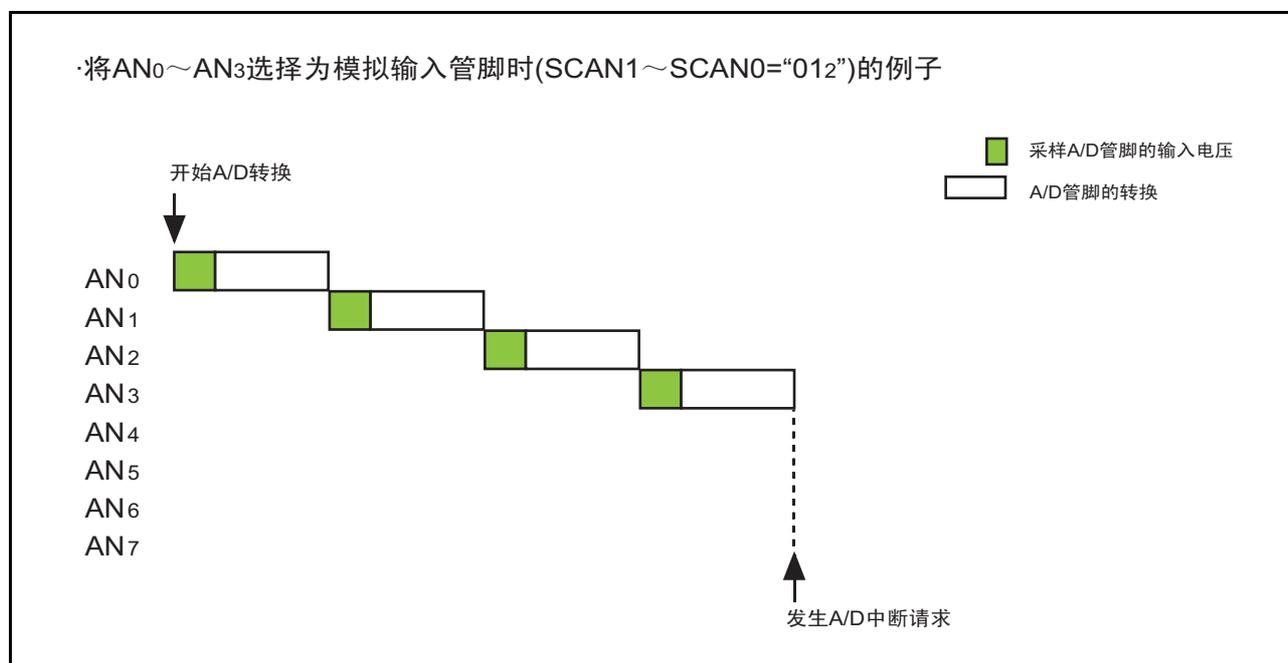


图 14.10 单次扫描模式的运行示例



图 14.11 单次扫描模式中的 ADCON0 ~ ADCON2 寄存器

### 14.1.4 重复扫描模式 0

重复扫描模式 0 是对所选引脚的输入电压重复进行 A/D 转换的模式。重复扫描模式 0 的规格如表 14.6、重复扫描模式 0 的运行示例如图 14.12、重复扫描模式 0 下的 ADCON0 ~ ADCON2 寄存器如图 14.13 所示。

表 14.6 重复扫描模式 0 的规格

项目	规格
功能	对由 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选引脚的输入电压重复进行 A/D 转换
A/D 转换开始条件	<ul style="list-style-type: none"> <li>在 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）</li> <li>在 ADCON0 寄存器的 TRG 位为 “1”（硬件触发）时将 ADST 位置 “1”（开始 A/D 转换）后，AD<sub>TRG</sub> 引脚的输入从 “H” 电平变为 “L” 电平（可再次触发）</li> </ul>
A/D 转换停止条件	将 ADST 位置 “0”（停止 A/D 转换）
中断请求产生时序	不产生中断请求
模拟输入引脚	从 AN <sub>0</sub> ~ AN <sub>1</sub> （2 个引脚）、AN <sub>0</sub> ~ AN <sub>3</sub> （4 个引脚）、AN <sub>0</sub> ~ AN <sub>5</sub> （6 个引脚）、AN <sub>0</sub> ~ AN <sub>7</sub> （8 个引脚）中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

注 1. 与 AN<sub>0</sub> ~ AN<sub>7</sub> 相同，能使用 AN<sub>30</sub> ~ AN<sub>32</sub>、AN<sub>24</sub>。但是，全部的输入引脚必需属于相同的群。

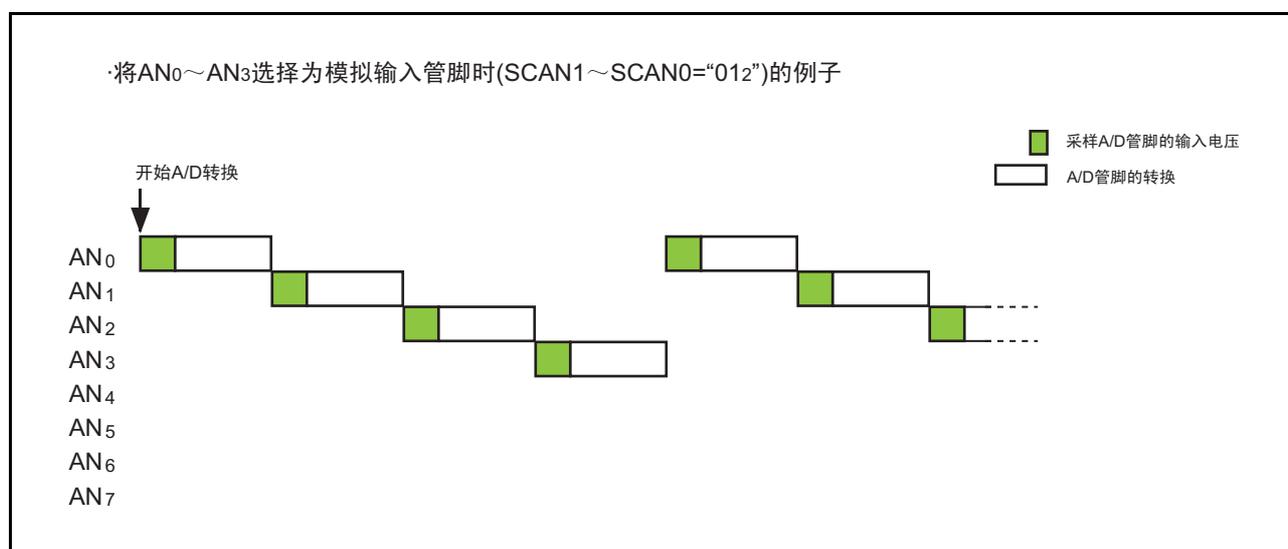


图 14.12 重复扫描模式 0 的运行示例



图 14.13 重复扫描模式 0 下的 ADCON0 ~ ADCON2 寄存器

### 14.1.5 重复扫描模式 1

重复扫描模式 1 是以所选引脚为重点，对所有引脚的输入电压重复进行 A/D 转换的模式。重复扫描模式 1 的规格如表 14.7、重复扫描模式 1 的运行示例如图 14.14、重复扫描模式 1 下的 ADCON0 ~ ADCON2 寄存器如图 14.15 所示。

表 14.7 重复扫描模式 1 的规格

项目	规格
功能	以由 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位选择的引脚为重点，对由 ADGSEL1 ~ ADGSEL0 位所选的全部引脚的输入电压重复进行 A/D 转换 例：如果选择 AN <sub>0</sub> 按 AN <sub>0</sub> → AN <sub>1</sub> → AN <sub>0</sub> → AN <sub>2</sub> → AN <sub>0</sub> → AN <sub>3</sub> ..... 的顺序进行 A/D 转换
A/D 转换开始条件	<ul style="list-style-type: none"> <li>在 ADCON0 寄存器的 TRG 位为“0”（软件触发）时将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）</li> <li>在 ADCON0 寄存器的 TRG 位为“1”（硬件触发）时将 ADST 位置“1”（开始 A/D 转换）后，AD<sub>TRG</sub> 引脚的输入从“H”电平变为“L”电平（可再次触发）</li> </ul>
A/D 转换停止条件	将 ADST 位置“0”（停止 A/D 转换）
中断请求产生时序	不产生中断请求
重点进行 A/D 转换的模拟输入引脚	从 AN <sub>0</sub> （1 个引脚）、AN <sub>0</sub> ~ AN <sub>1</sub> （2 个引脚）、AN <sub>0</sub> ~ AN <sub>2</sub> （3 个引脚）、AN <sub>0</sub> ~ AN <sub>3</sub> （4 个引脚）中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

注 1. 与 AN<sub>0</sub> ~ AN<sub>7</sub> 相同，能使用 AN<sub>30</sub> ~ AN<sub>32</sub>、AN<sub>24</sub>。但是，全部的输入引脚必需属于相同的群。

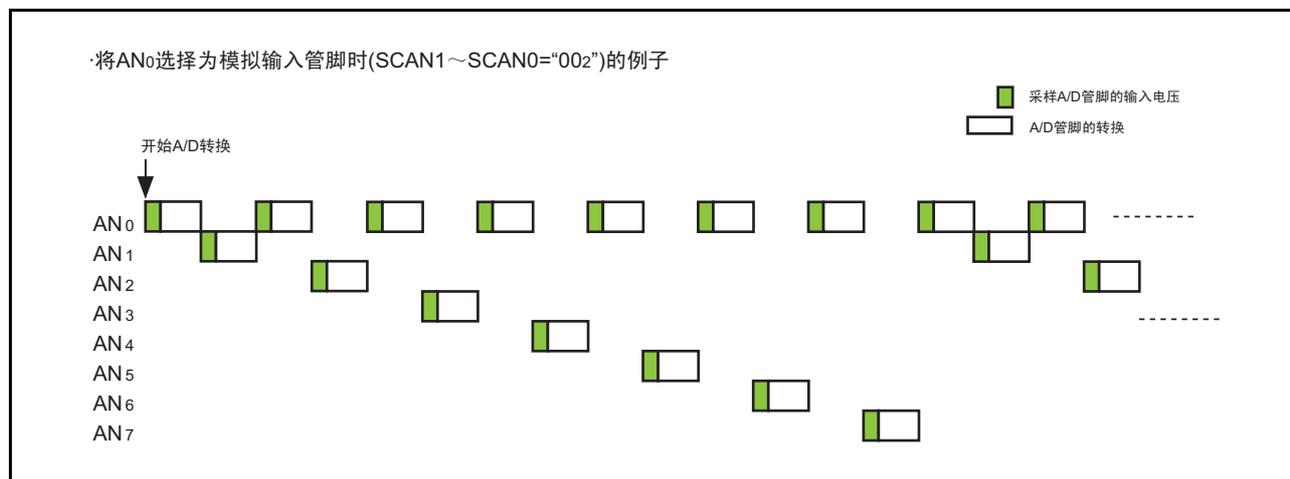


图 14.14 重复扫描模式 1 的运行示例



图 14.15 重复扫描模式 1 下的 ADCON0 ~ ADCON2 寄存器

### 14.1.6 同时采样扫描模式

同时采样扫描模式是对所选引脚的输入电压逐次进行 A/D 转换的模式。此时，使用 2 个采样 & 保持电路，同时进行 AN<sub>0</sub> 和 AN<sub>1</sub> 的输入电压的采样。

同时采样扫描模式的规格如表 14.8、同时采样扫描模式的运行示例如图 14.16、同时采样扫描模式中的 ADCON0 ~ ADCON2 寄存器如图 14.17、同时采样扫描模式下的 ADTRGCON 寄存器如图 14.18、同时采样扫描模式下的触发选择位的设定如表 14.9 所示。在同时采样扫描模式中，除了软件触发和通过 ADTRG 的触发以外，还能通过与定时器 B2 的下溢、定时器 B2 的中断发生频率设定计数器的下溢或者定时器 B 的 A/D 触发模式的组合，将定时器 B0 的下溢选择为触发。

表 14.8 同时采样扫描模式的规格

项目	规格
功能	对由 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选引脚的输入电压逐次进行 A/D 转换。此时，同时进行 AN <sub>0</sub> 和 AN <sub>1</sub> 的输入电压的采样。
A/D 转换开始条件	<ul style="list-style-type: none"> <li>在 ADCON0 寄存器的 TRG 位为“0”（软件触发）时将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）</li> <li>在 ADCON0 寄存器的 TRG 位为“1”（硬件触发）时根据 TRG1、HPTRG0 位进行选择（参考表 14.9） <ul style="list-style-type: none"> <li>将 ADST 位置“1”（开始 A/D 转换）后，ADTRG 引脚的输入从“H”电平变为“L”电平（可再次触发）</li> <li>将 ADST 位置“1”（开始 A/D 转换）后，定时器 B0 的下溢、定时器 B2 的下溢或者定时器 B2 中断发生频率设定计数器的下溢</li> </ul> </li> </ul>
A/D 转换停止条件	<ul style="list-style-type: none"> <li>A/D 转换结束（在选择软件触发时，ADST 位为“0”（A/D 转换停止））</li> <li>将 ADST 位置“0”（A/D 转换停止）</li> </ul>
中断请求产生时序	A/D 转换结束时
模拟输入引脚	从 AN <sub>0</sub> ~ AN <sub>1</sub> （2 个引脚）、AN <sub>0</sub> ~ AN <sub>3</sub> （4 个引脚）、AN <sub>0</sub> ~ AN <sub>5</sub> （6 个引脚）、AN <sub>0</sub> ~ AN <sub>7</sub> （8 个引脚）中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AN <sub>0</sub> ~ AN <sub>7</sub> 寄存器

注 1. 与 AN<sub>0</sub> ~ AN<sub>7</sub> 相同，能使用 AN<sub>030</sub> ~ AN<sub>032</sub>。但是，全部的输入引脚必需属于相同的群。

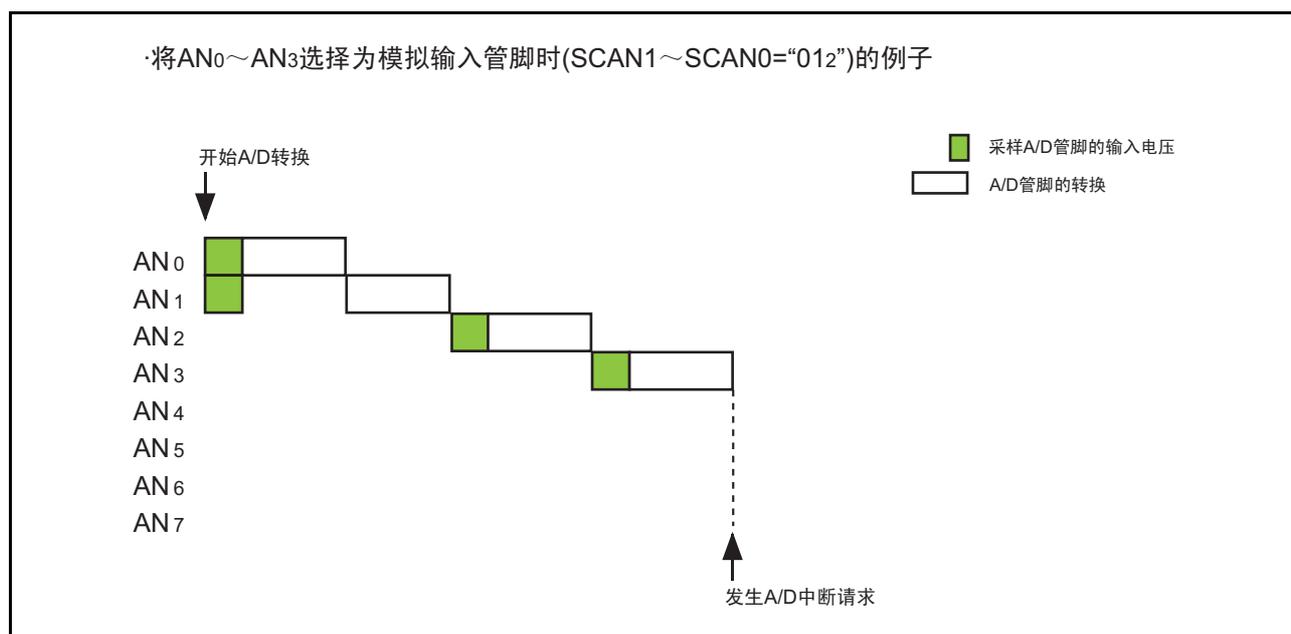


图 14.16 同时采样扫描模式的运行示例

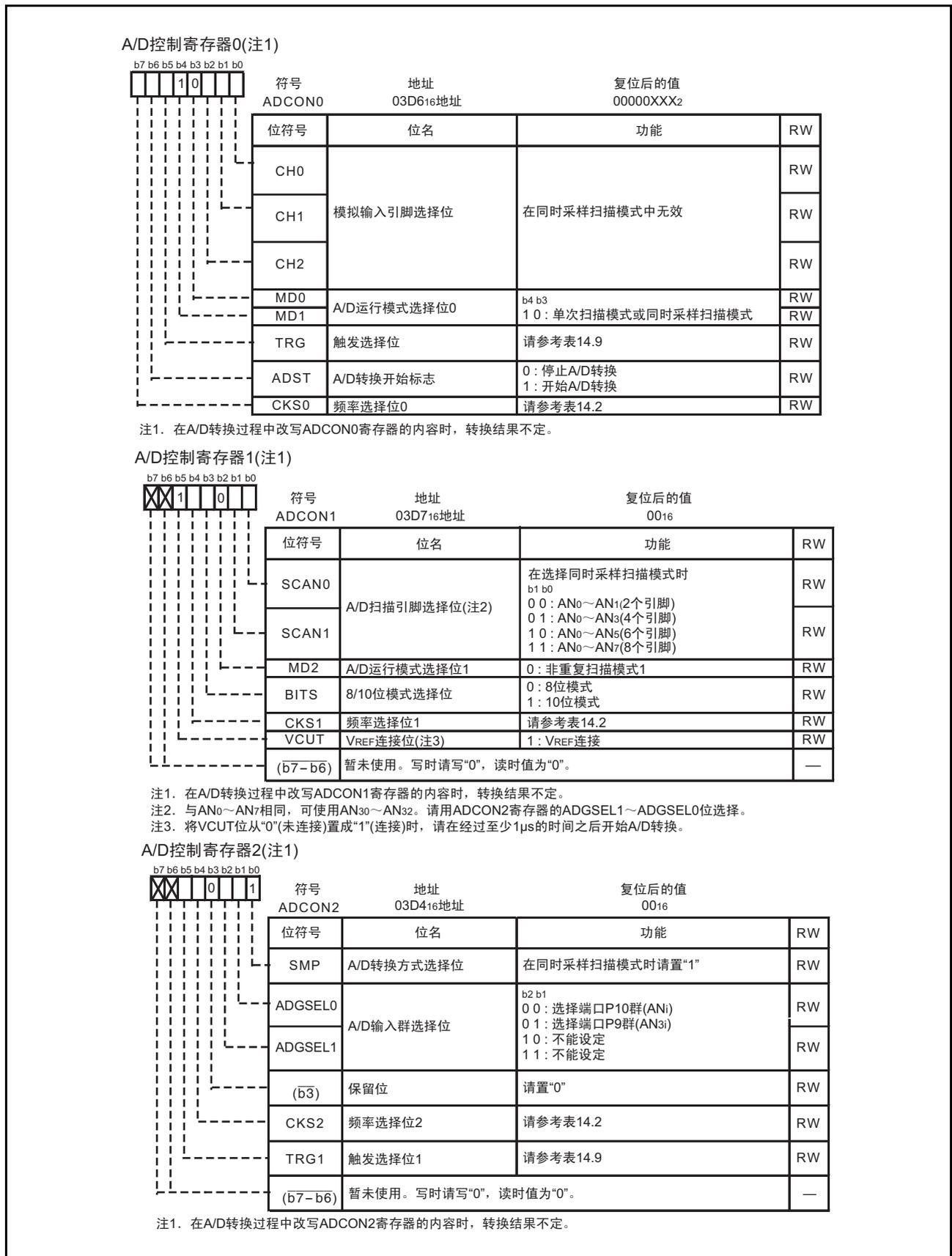


图 14.17 同时采样扫描模式下的 ADCON0 ~ ADCON2 寄存器

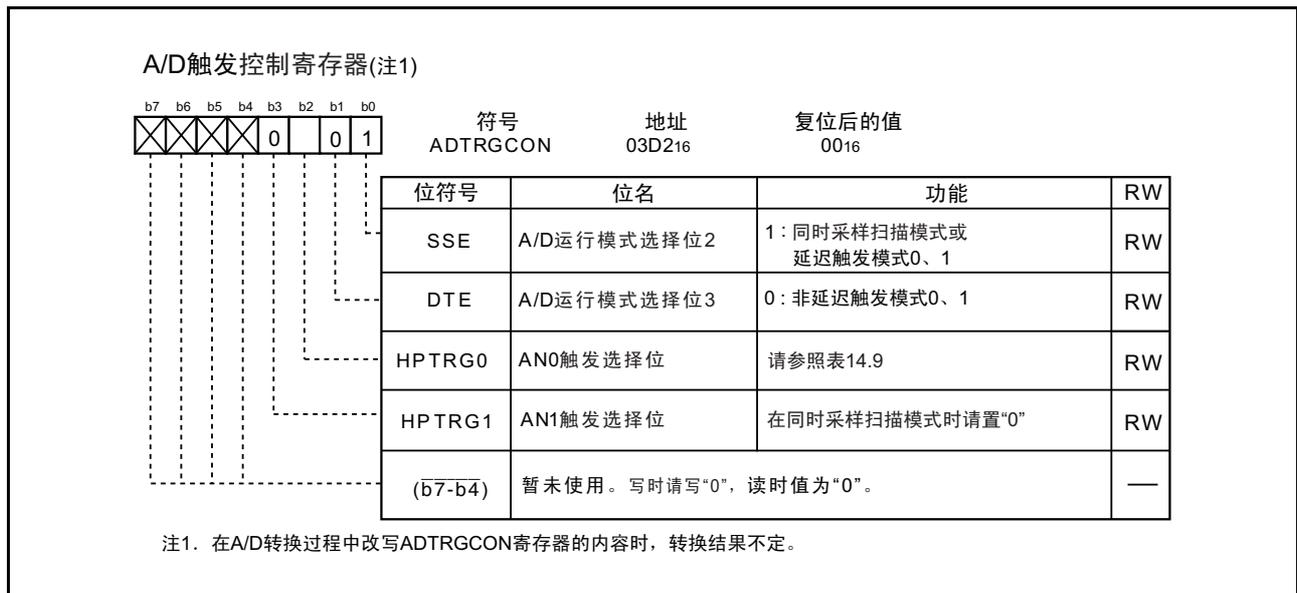


图 14.18 同时采样扫描模式下的 ADTRGCON 寄存器

表 14.9 同时采样扫描模式中的触发选择位的设定

TRG	TRG1	HPTRG0	触发
0	-	-	软件触发
1	-	1	定时器 B0 的下溢 (注 1)
1	0	0	由 $\overline{\text{ADTRG}}$ 引起的触发
1	1	0	定时器 B2 中断或者定时器 B2 中断发生频率设定计数器的下溢 (注 2)

注 1. 通过与定时器 B 的 A/D 触发模式的组合，能将定时器 B2 中断、定时器 B2 中断发生频率设定计数器的下溢或者 INT 5 引脚的下降沿作为定时器 B0 的计数开始条件，开始计数。

注 2. 通过 TB2SC 寄存器的 TB2SEL 位选择定时器 B2 或者定时器 B2 中断发生频率设定计数器。

### 14.1.7 延迟触发模式 0

延迟触发模式 0 对所选引脚进行单次扫描转换。此模式与定时器 B 的 A/D 触发模式组合使用，通过定时器 B0 的下溢开始单次扫描转换。在 AN<sub>0</sub> 引脚转换结束后，定时器 B1 发生下溢前不对 AN<sub>1</sub> 引脚进行采样和转换，当定时器 B1 发生下溢时，重新开始 AN<sub>1</sub> 引脚以后的单次扫描转换。

延迟触发模式 0 的规格如表 14.10、延迟触发模式 0 的运行示例如图 14.19、对应运行示例的 ADSTAT0 寄存器的各标志的运行如图 14.20 ~ 图 14.21、延迟触发模式 0 中的 ADCON0 ~ ADCON2 寄存器如图 14.22、延迟触发模式 0 中的 ADTRGCON 寄存器如图 14.23、延迟触发模式 0 下的触发选择位的设定如表 14.11 所示。

表 14.10 延迟触发模式 0 的规格

项目	规格
功能	对由 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选引脚的输入电压进行单次扫描转换。此时，通过定时器 B0 发生下溢开始对 AN <sub>0</sub> 引脚进行转换，通过定时器 B1 下溢的发生，开始 AN <sub>1</sub> 引脚以后的转换（注 1）
A/D 转换开始条件	<ul style="list-style-type: none"> <li>• AN<sub>0</sub> 引脚转换开始条件               <ul style="list-style-type: none"> <li>— 从定时器 B0 发生下溢后到定时器 B1 发生下溢前，即使定时器 B0 再次发生下溢，也不影响转换</li> <li>— 在对 AN<sub>1</sub> 引脚以后的引脚进行 A/D 转换期间，如果定时器 B0 再次发生下溢，就中止转换而再次由 AN<sub>0</sub> 引脚进行 A/D 转换</li> </ul> </li> <li>• AN<sub>1</sub> 引脚转换开始条件               <ul style="list-style-type: none"> <li>— 在对 AN<sub>0</sub> 引脚进行 A/D 转换期间，如果定时器 B1 发生下溢，就在下溢时采样 AN<sub>1</sub> 引脚的输入电压，在 AN<sub>0</sub> 引脚的 A/D 转换结束后继续进行 AN<sub>1</sub> 引脚以后的单次扫描转换</li> </ul> </li> </ul>
A/D 转换停止条件	<ul style="list-style-type: none"> <li>• AN<sub>0</sub> 引脚的单次扫描转换结束时</li> <li>• 将 ADST 位置“0”（A/D 转换停止）（注 2）</li> </ul>
中断请求产生时序	AN <sub>0</sub> 引脚的单次扫描转换结束时
模拟输入引脚	从 AN <sub>0</sub> ~ AN <sub>1</sub> （2 个引脚）、AN <sub>0</sub> ~ AN <sub>3</sub> （4 个引脚）、AN <sub>0</sub> ~ AN <sub>5</sub> （6 个引脚）、AN <sub>0</sub> ~ AN <sub>7</sub> （8 个引脚）中选择（注 3）
A/D 转换值的读取	读取与所选引脚对应的 AN <sub>0</sub> ~ AN <sub>7</sub>

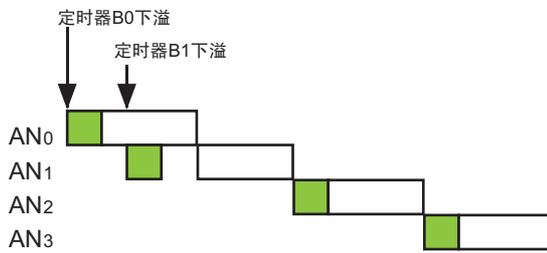
注 1. 定时器 B1 的寄存器的设定值必须大于定时器 B0 的寄存器的值，定时器 B0 和定时器 B1 的计数源必须相同。

注 2. 在延迟触发模式 0 中，不能给 ADST 写“1”（A/D 转换开始）。如果写“1”，就可能发生意想不到的中断。

注 3. 与 AN<sub>0</sub> ~ AN<sub>7</sub> 相同，能使用 AN<sub>30</sub> ~ AN<sub>32</sub>。但是，全部的输入引脚必需属于相同的群。

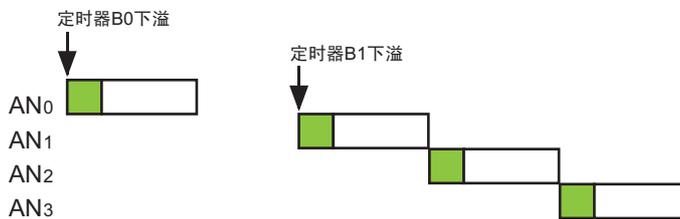
·将AN0~AN3选择为模拟输入管脚时(SCAN1~SCAN0="012")的例子

●例1: 在AN0管脚转换中定时器B1发生下溢时

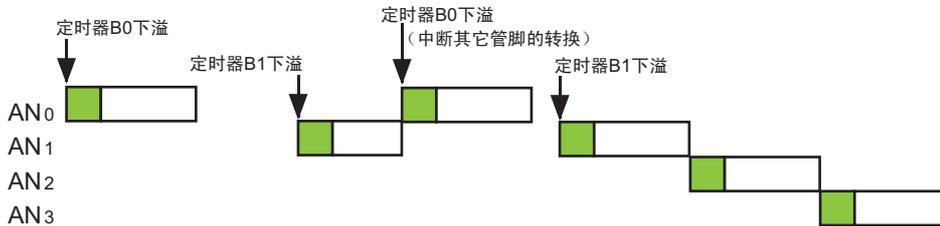


■ 采样A/D管脚的输入电压  
□ A/D管脚的转换

●例2: 在AN0管脚转换后定时器B1发生下溢时



●例3: 在除了AN0管脚以外的任何管脚的转换过程中定时器B0发生下溢时



●例4: 从定时器B0发生下溢后到定时器B1发生下溢期间定时器B0再次发生下溢时

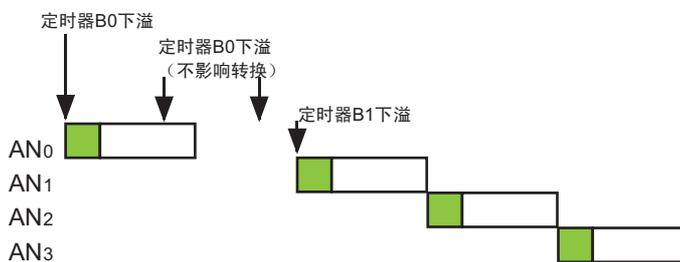


图 14.19 延迟触发模式 0 的运行示例

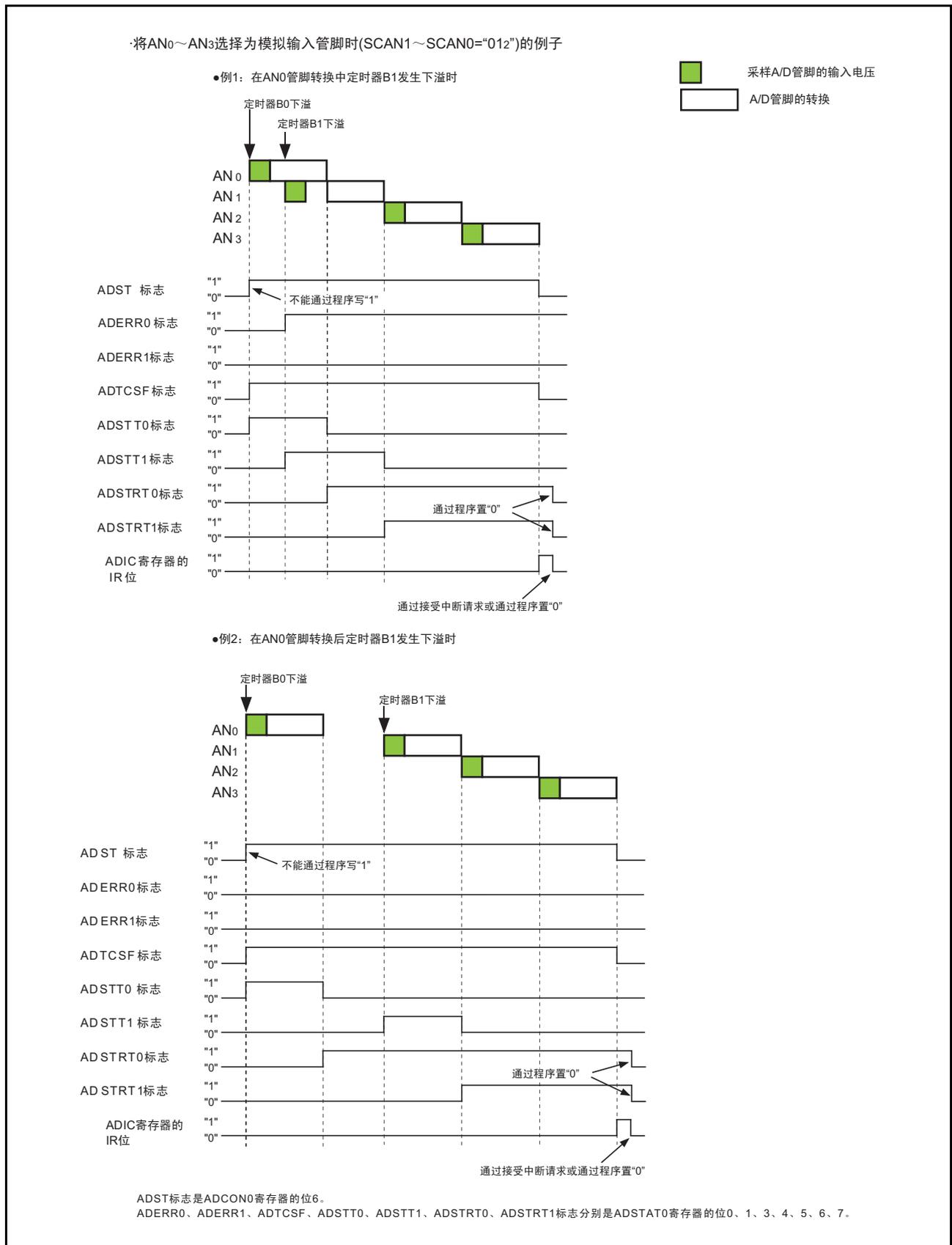


图 14.20 对应延迟触发模式 0 的运行示例的 ADSTAT0 寄存器的各标志的运行 (1)

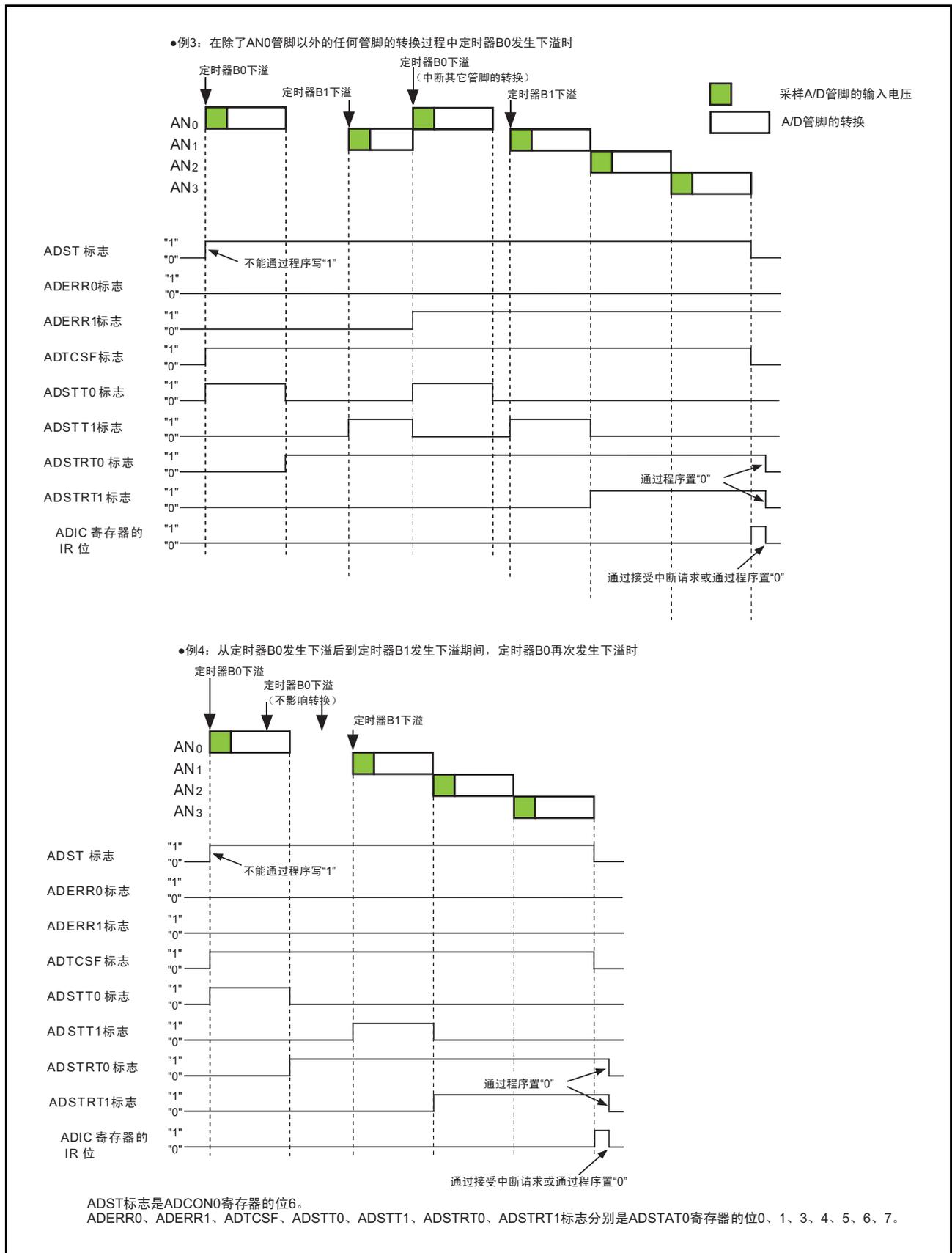


图 14.21 对应延迟触发模式 0 的运行示例的 ADSTAT0 寄存器的各标志的运行 (2)

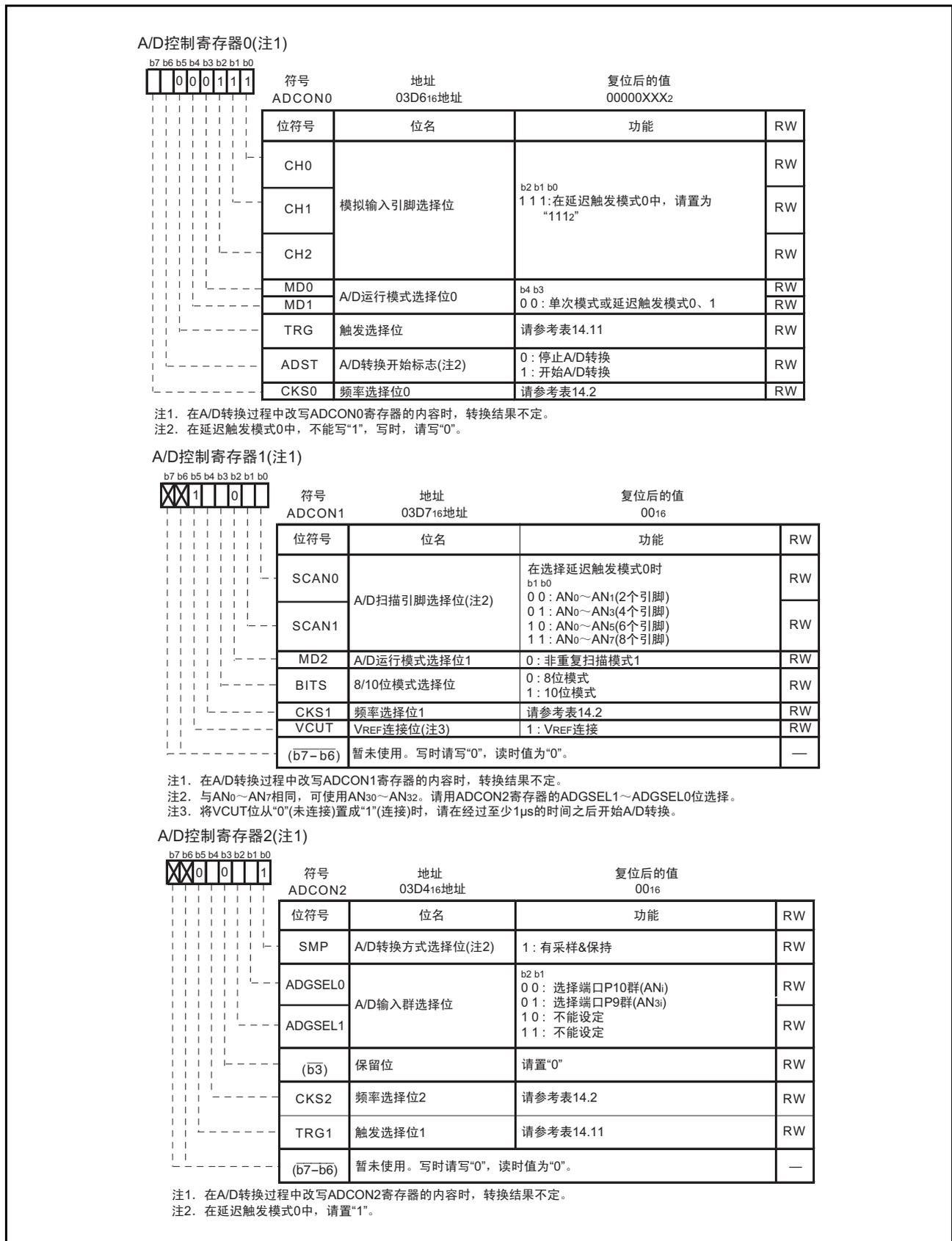


图 14.22 延迟触发模式 0 下的 ADCON0 ~ ADCON2 寄存器



图 14.23 延迟触发模式 0 下的 ADTRGCON 寄存器

表 14.11 延迟触发模式 0 中的触发选择位的设定

TRG	TRG1	HPTRG0	HPTRG1	触发
0	0	1	1	定时器 B0、定时器 B1 的下溢

### 14.1.8 延迟触发模式 1

延迟触发模式 1 对所选引脚进行单次扫描转换。此模式在  $\overline{\text{ADTRG}}$  引脚的输入从“H”电平变为“L”电平（下降）时开始单次扫描转换。AN<sub>0</sub> 引脚转换结束后，就在  $\overline{\text{ADTRG}}$  引脚发生第二次下降前不对 AN<sub>1</sub> 引脚进行采样和转换，当  $\overline{\text{ADTRG}}$  引脚发生第二次下降时，重新开始 AN<sub>1</sub> 引脚以后的单次扫描转换。

延迟触发模式 1 的规格如表 14.12、延迟触发模式 1 的运行示例如图 14.24、对应运行示例的 ADSTAT0 寄存器的各标志的运行如图 14.25 ~ 图 14.26、延迟触发模式 1 下的 ADCON0 ~ ADCON2 寄存器如图 14.27、延迟触发模式 1 下的 ADTRGCON 寄存器如图 14.28、延迟触发模式 1 下的触发选择位的设定如表 14.13 所示。

表 14.12 延迟触发模式 1 的规格

项目	规格
功能	对由 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位所选引脚的输入电压进行单次扫描转换。此时，通过 $\overline{\text{ADTRG}}$ 引脚的下降沿开始对 AN <sub>0</sub> 引脚进行转换，通过 $\overline{\text{ADTRG}}$ 引脚的第二个下降沿开始 AN <sub>1</sub> 引脚以后的转换
A/D 转换开始条件	<ul style="list-style-type: none"> <li>• AN<sub>0</sub> 引脚转换开始条件 <math>\overline{\text{ADTRG}}</math> 引脚的输入从“H”电平变为“L”电平（下降沿）时（注 1）</li> <li>• AN<sub>1</sub> 引脚转换开始条件（注 2）               <ul style="list-style-type: none"> <li>— <math>\overline{\text{ADTRG}}</math> 引脚的输入从“H”电平变为“L”电平（下降沿）时 在对 AN<sub>0</sub> 引脚进行 A/D 转换期间，如果 <math>\overline{\text{ADTRG}}</math> 引脚发生第二次下降，就在 <math>\overline{\text{ADTRG}}</math> 引脚发生下降时采样 AN<sub>1</sub> 引脚的输入电压，在 AN<sub>0</sub> 引脚的 A/D 转换结束后继续 AN<sub>1</sub> 引脚以后的单次扫描转换</li> <li>— 在进行 AN<sub>1</sub> 引脚以后的单次扫描转换期间，即使 <math>\overline{\text{ADTRG}}</math> 引脚再次发生下降，也不影响转换</li> </ul> </li> </ul>
A/D 转换停止条件	<ul style="list-style-type: none"> <li>• A/D 转换结束时</li> <li>• 将 ADST 位置“0”（停止 A/D 转换）（注 3）</li> </ul>
中断请求产生时序	AN <sub>0</sub> 引脚的单次扫描转换结束时
模拟输入引脚	从 AN <sub>0</sub> ~ AN <sub>1</sub> （2 个引脚）、AN <sub>0</sub> ~ AN <sub>3</sub> （4 个引脚）、AN <sub>0</sub> ~ AN <sub>5</sub> （6 个引脚）、AN <sub>0</sub> ~ AN <sub>7</sub> （8 个引脚）中选择（注 4）
A/D 转换值的读取	读取与所选引脚对应的 AN <sub>0</sub> ~ AN <sub>7</sub>

注 1. 在 AN<sub>1</sub> 引脚转换开始后，不能在所选引脚的全部 A/D 转换结束前使  $\overline{\text{ADTRG}}$  引脚发生下一次下降。如果在 A/D 转换过程中  $\overline{\text{ADTRG}}$  引脚再次发生下降，此触发就会被忽视，而在所选引脚的全部 A/D 转换结束后输入的  $\overline{\text{ADTRG}}$  引脚的下降沿作为下一次 AN<sub>0</sub> 引脚转换的开始条件。

注 2. 与运行时钟  $\phi_{\text{AD}}$  同步检测  $\overline{\text{ADTRG}}$  引脚的下降沿。因此，如果在短于  $\phi_{\text{AD}}$  的周期中  $\overline{\text{ADTRG}}$  引脚发生下降，就有可能无法检测到  $\overline{\text{ADTRG}}$  引脚的第二次下降，所以不能使  $\overline{\text{ADTRG}}$  引脚在短于  $\phi_{\text{AD}}$  的周期中发生下降。

注 3. 在延迟触发模式 1 下，不能给 ADST 写“1”（开始 A/D 转换）。如果写“1”，就可能发生意想不到的中断，

注 4. 与 AN<sub>0</sub> ~ AN<sub>7</sub> 相同，能使用 AN<sub>30</sub> ~ AN<sub>32</sub>。但是，全部的输入引脚必需属于相同的群。

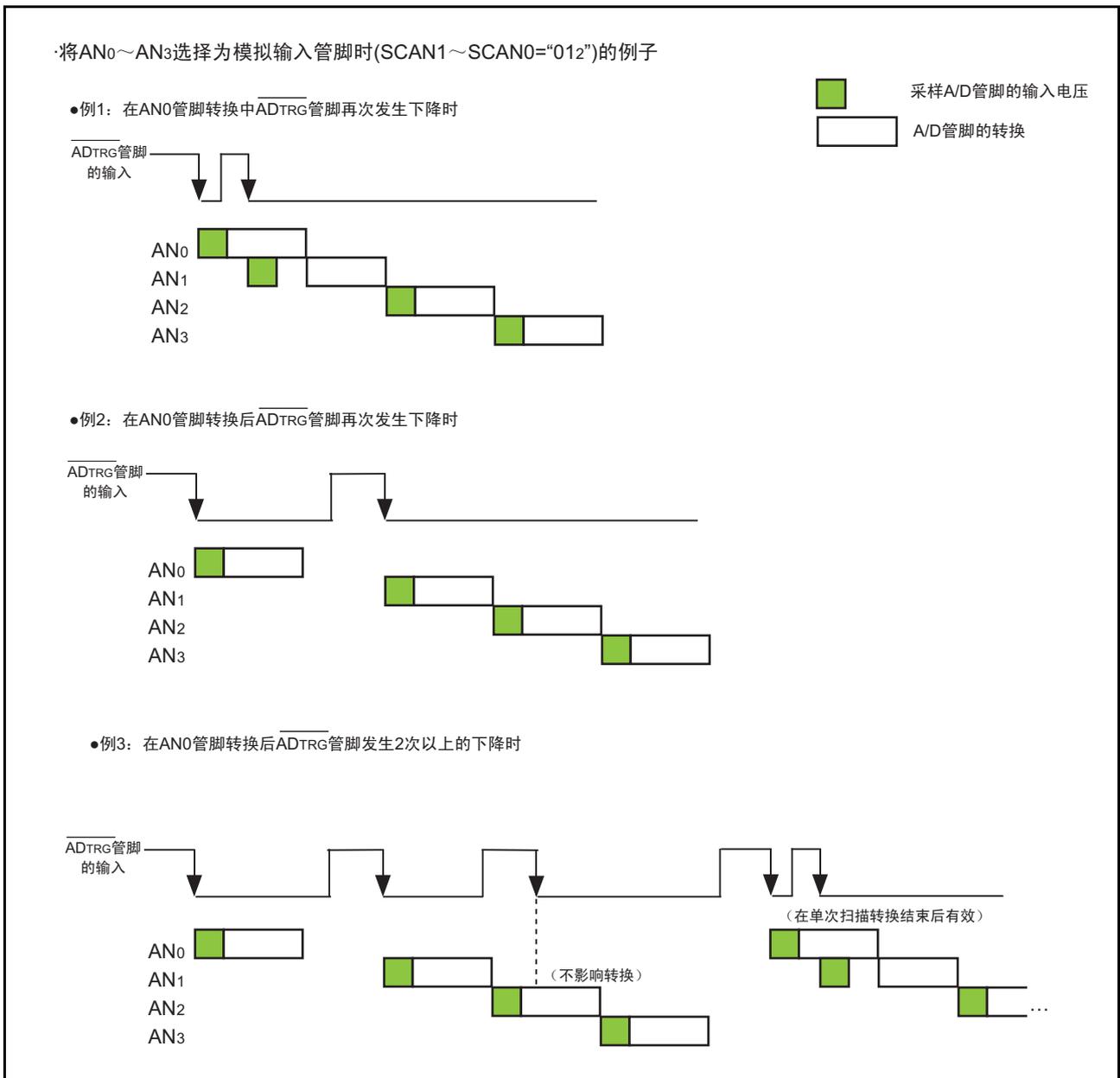


图 14.24 延迟触发模式 1 的运行示例

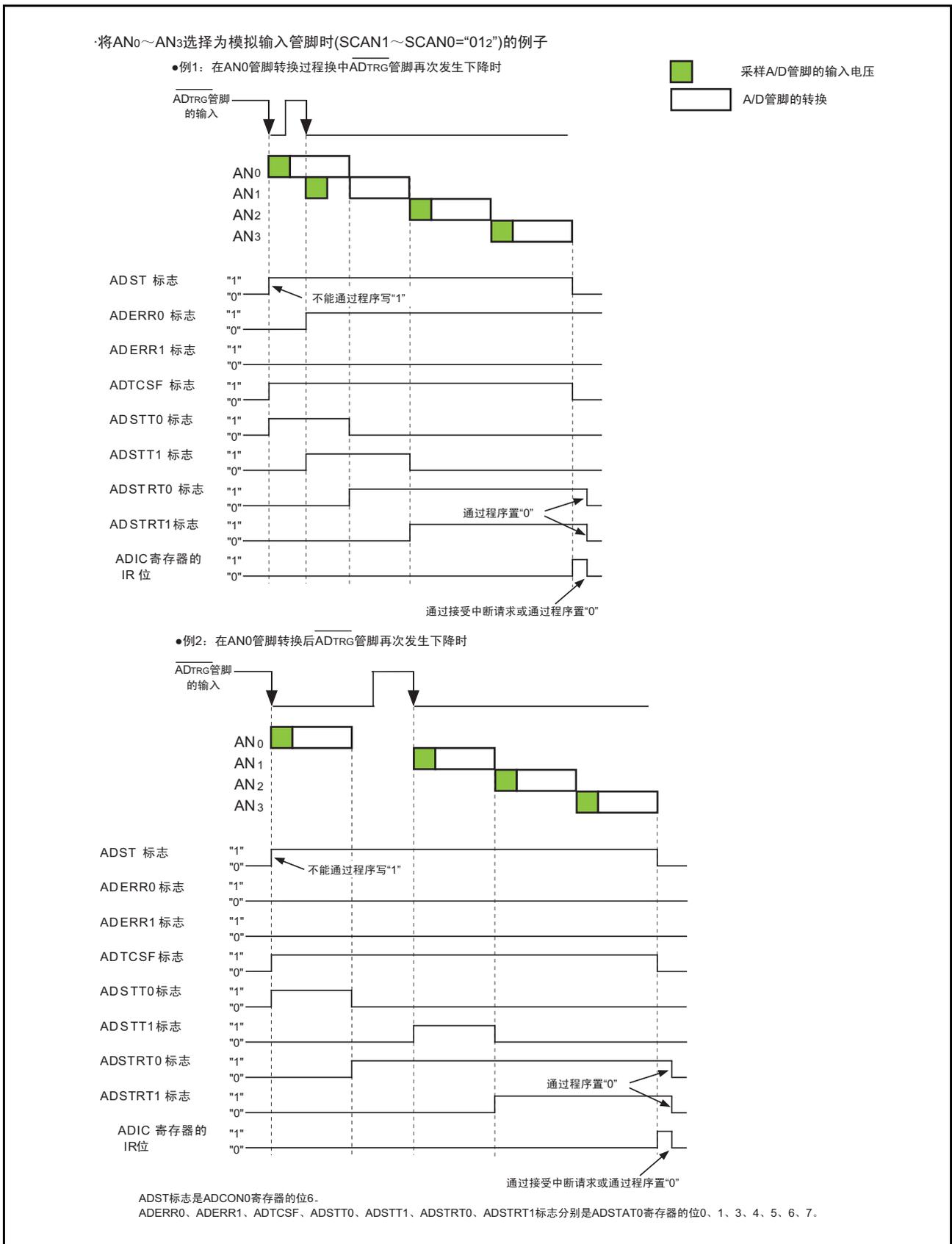


图 14.25 对应延迟触发模式 1 的运行示例的 ADSTAT0 寄存器的各标志的运行 (1)

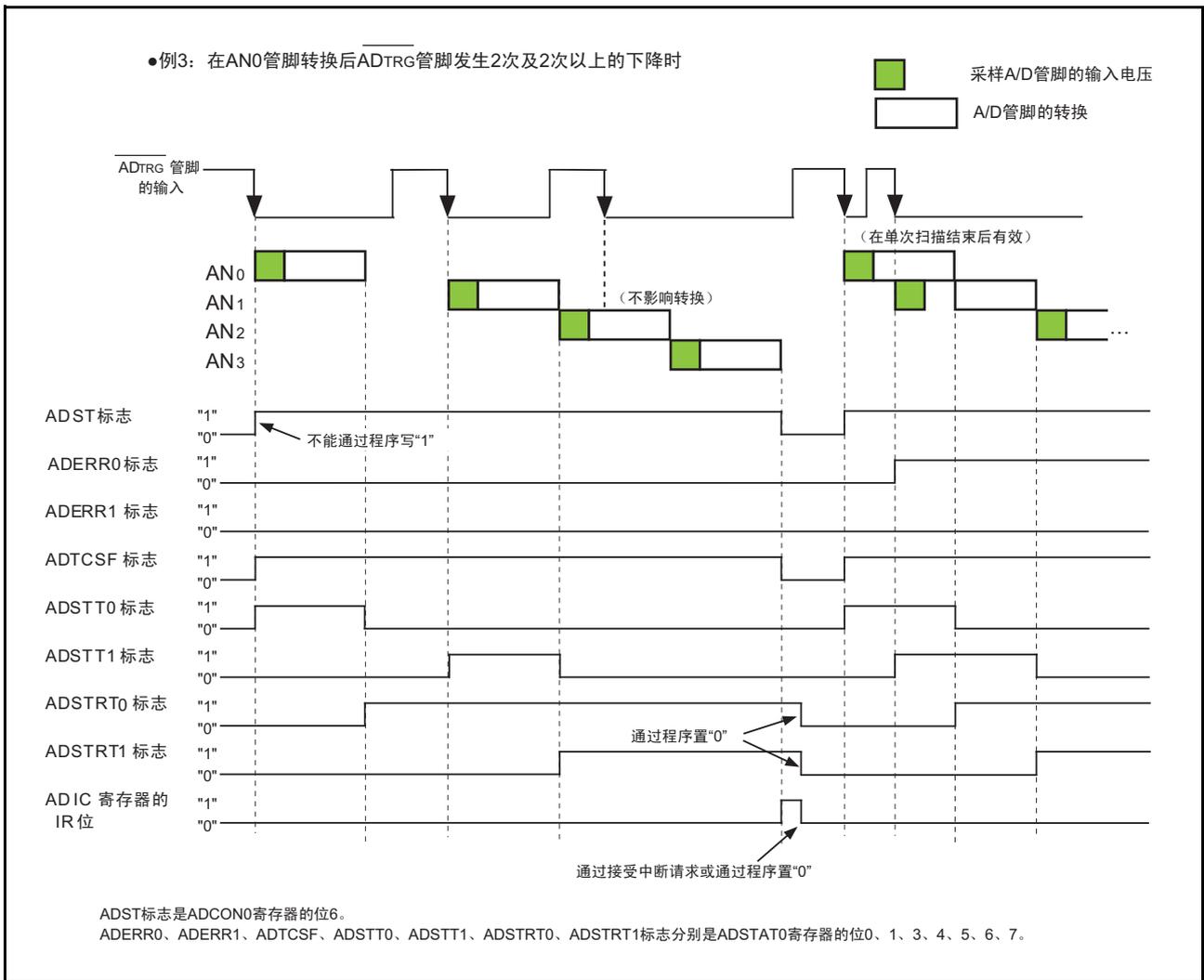


图 14.26 对应延迟触发模式 1 的运行示例的 ADSTAT0 寄存器的各标志的运行 (2)

A/D控制寄存器0(注1)



注1. 在A/D转换过程中改写ADCON0寄存器的内容时, 转换结果不定。  
 注2. 在延迟触发模式1中, 不能写“1”。写时请写“0”。

A/D控制寄存器1(注1)



注1. 在A/D转换过程中改写ADCON1寄存器的内容时, 转换结果不定。  
 注2. 与AN<sub>0</sub>~AN<sub>7</sub>相同, 可使用AN<sub>30</sub>~AN<sub>32</sub>。请用ADCON2寄存器的ADGSEL1~ADGSEL0位选择。  
 注3. 将VCUT位从“0”(未连接)置成“1”(连接)时, 请在经过至少1μs的时间之后开始A/D转换。

A/D控制寄存器2(注1)



注1. 在A/D转换过程中改写ADCON2寄存器的内容时, 转换结果不定。  
 注2. 在延迟触发模式1中, 请置为“1”。

图 14.27 延迟触发模式 1 下的 ADCON0 ~ ADCON2 寄存器



图 14.28 延迟触发模式 1 下的 ADTRGCON 寄存器

表 14.13 延迟触发模式 1 中的触发选择位的设定

TRG	TRG1	HPTRG0	HPTRG1	触发
0	1	0	0	$\overline{\text{ADTRG}}$

## 14.2 分辨率选择功能

能通过 ADCON1 寄存器的 BITS 位选择分辨率。将 BITS 位置“1”（转换精度为 10 位）时，A/D 转换结果保存到 A/D 寄存器 i（i=0~7）的位 0~9；将 BITS 位置“0”（转换精度为 8 位）时，A/D 转换结果保存到 A/D 寄存器 i 的位 0~7。

## 14.3 采样 & 保持

将 ADCON2 寄存器的 SMP 位置“1”（有采样 & 保持）时，可提高每个引脚的转换速度。分辨率为 8 位时为 28 个  $\phi$  AD 周期；分辨率为 10 位时为 33 个  $\phi$  AD 周期。能在单次模式、重复模式、单次扫描模式、重复扫描模式 0 或者重复扫描模式 1 中选择采样 & 保持，请在这些模式中选择有无采样 & 保持，然后再开始进行 A/D 转换。在同时采样扫描模式、延迟触发模式 0 或者延迟触发模式 1 中，请在使用时总是将 SMP 位置“1”（有采样 & 保持）。

## 14.4 降低功耗功能

不使用 A/D 转换器时，能通过 ADCON1 寄存器的 VCUT 位将 A/D 转换器的梯形电阻和基准电压输入引脚（VREF）断开，断开后电流不从 VREF 引脚流到梯形电阻，从而降低功耗。

使用 A/D 转换器时，请在将 VCUT 位置“1”（VREF 连接）后，将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）。ADST 位和 VCUT 位不能同时写“1”。

另外，在 A/D 转换中不能将 VCUT 位置“0”（VREF 未连接）。

### 14.5 A/D 转换时的传感器输出阻抗

为了正确进行 A/D 转换，需要在规定的时间内结束如图 14.29 中的内部电容器 C 的充电。假设此规定时间（采样时间）为 T、传感器等效电路的输出阻抗为 R<sub>0</sub>、单片机的内部电阻为 R、A/D 转换器的精度（误差）为 X、分辨率为 Y（Y 在 10 位模式时为 1024；在 8 位模式时为 256）。

$$V_C \text{ 一般为 } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)}t} \right\}$$

在  $t = T$  时，根据  $V_C = V_{IN} - \frac{X}{Y} V_{IN} = V_{IN} \left( 1 - \frac{X}{Y} \right)$  得出：

$$e^{-\frac{1}{C(R_0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)}T = \ln \frac{X}{Y}$$

$$\text{因此, } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

模拟输入引脚和外部传感器等效电路的示例如图 14.29 所示。在  $V_{IN}$  与  $V_C$  的差为 0.1LSB 时，求在时间 T 内电容器 C 的引脚间电压  $V_C$  从 0 变为  $V_{IN} - (0.1/1024)V_{IN}$  的阻抗  $R_0$ 。(0.1/1024) 表示在 10 位模式的 A/D 转换时，将因电容器充电不足而引起的 A/D 转换精度下降范围控制在 0.1LSB 以内。但是，实际误差是 0.1LSB 加上绝对精度的值。 $f(XIN)=10\text{MHz}$  时，在带采样 & 保持的 A/D 转换模式中  $T=0.3 \mu\text{s}$ 。可按以下的计算式求出在此时间 T 内能充分进行电容器 C 充电的输出阻抗  $R_0$ ：

因为  $T=0.3 \mu\text{s}$ 、 $R=7.8\text{k} \Omega$ 、 $C=1.5\text{pF}$ 、 $X=0.1$ 、 $Y=1024$ ，

$$R_0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

所以，将 A/D 转换器精度（误差）控制在 0.1LSB 以下的传感器电路的输出阻抗  $R_0$  最大为  $13.9\text{k} \Omega$ 。

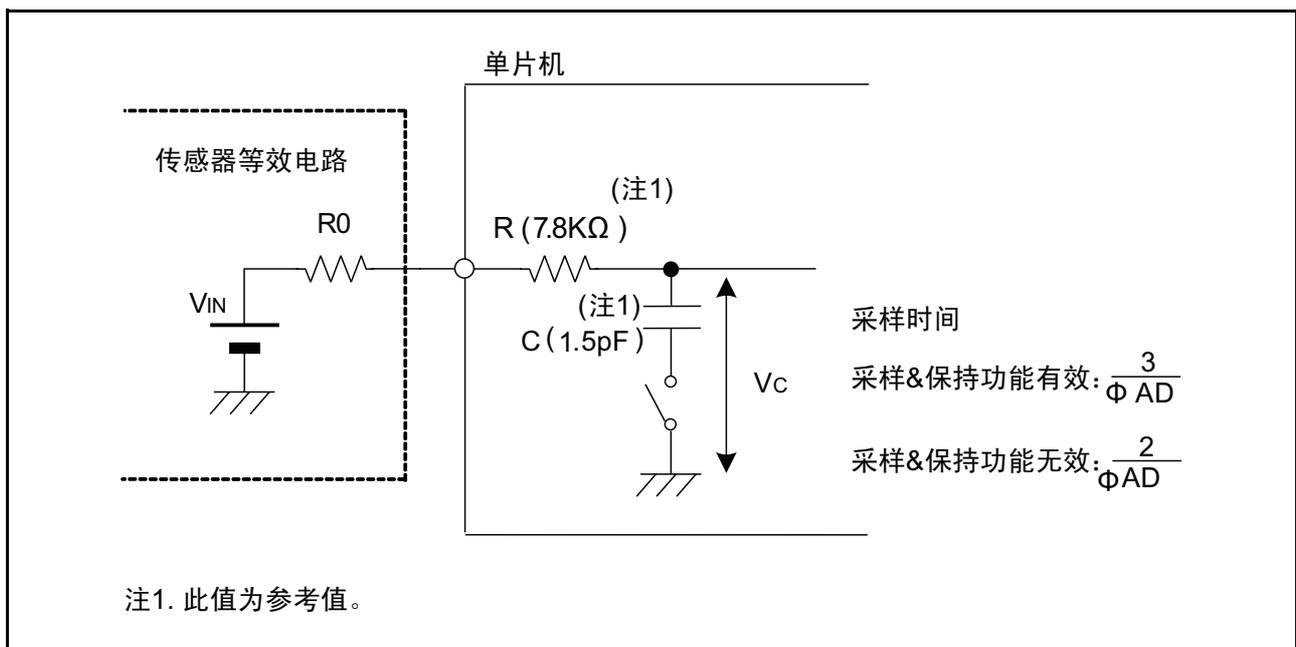


图 14.29 模拟输入引脚和外部传感器等效电路的例子

## 15. CRC 运算电路

CRC (Cyclic Redundancy Check) 运算电路检测数据块的错误。在生成 CRC 码时, 使用 CRC\_CCITT( $X^{16}+X^{12}+X^5+1$ ) 或者 CRC-16( $X^{16}+X^{15}+X^2+1$ ) 的生成多项式。

CRC 码是对以 8 位为单位且数据为任意长的块生成的 16 位码。在给 CRC 数据寄存器 (CRCD) 设定初始值后, 每次将 1 字节数据传送到 CRC 输入寄存器 (CRCIN) 时, CRC 码就被设定到 CRC 数据寄存器。在 2 个机器周期内结束 1 字节数据的 CRC 码的生成。

CRC 的框图和 CRC 的相关寄存器分别如图 15.1 和图 15.2 所示。使用 CRC-CCITT 时的 CRC 运算电路的运算示例如图 15.3 所示。

### 15.1 SFR 存取监视功能

CRC 运算电路监视 SFR 的读写, 且具有进行 CRC 自动运算的功能 (SFR 的存取监视功能)。由于对写入 SFR 或者从 SFR 读取的数据进行 CRC 运算, 所以不需要给 CRC 输入寄存器重新设定数据。对象 SFR 是  $0020_{16}$  以后的 SFR 全区域。如可用于监视对 UART 发送缓冲寄存器的写操作或者从 UART 接收缓冲器的读操作。

为了监视对 SFR 的写操作和监视从 SFR 读取的操作, 将对象 SFR 地址设定到 SFR 监视地址寄存器 (CRCSAR 的 Bit0~Bit9)。通过写监视允许位 (CRCSAR 的位 15) 允许监视对于对象 SFR 的写操作, 通过读监视允许位 (CRCSAR 的位 14) 允许监视对象 SFR 的读操作。

在将写监视允许位设定为“1”的情况下, 如果通过 CPU 或者 DMA 对监视对象 SFR 进行写操作, CRC 运算电路就将写到对象 SFR 的数据保存到 CRC 输入寄存器, 进行 CRC 运算。同样, 在将读监视允许位设定为“1”的情况下, 如果通过 CPU 或者 DMA 从监视对象 SFR 读数据, CRC 运算电路就将从对象 SFR 读取的数据保存到 CRC 输入寄存器, 并进行 CRC 运算。

CRC 运算电路每次能进行 1 字节的 CRC 运算, 因此, 在以字为单位存取监视对象 SFR 时, 只能将 1 字节数据保存到 CRC 输入寄存器。

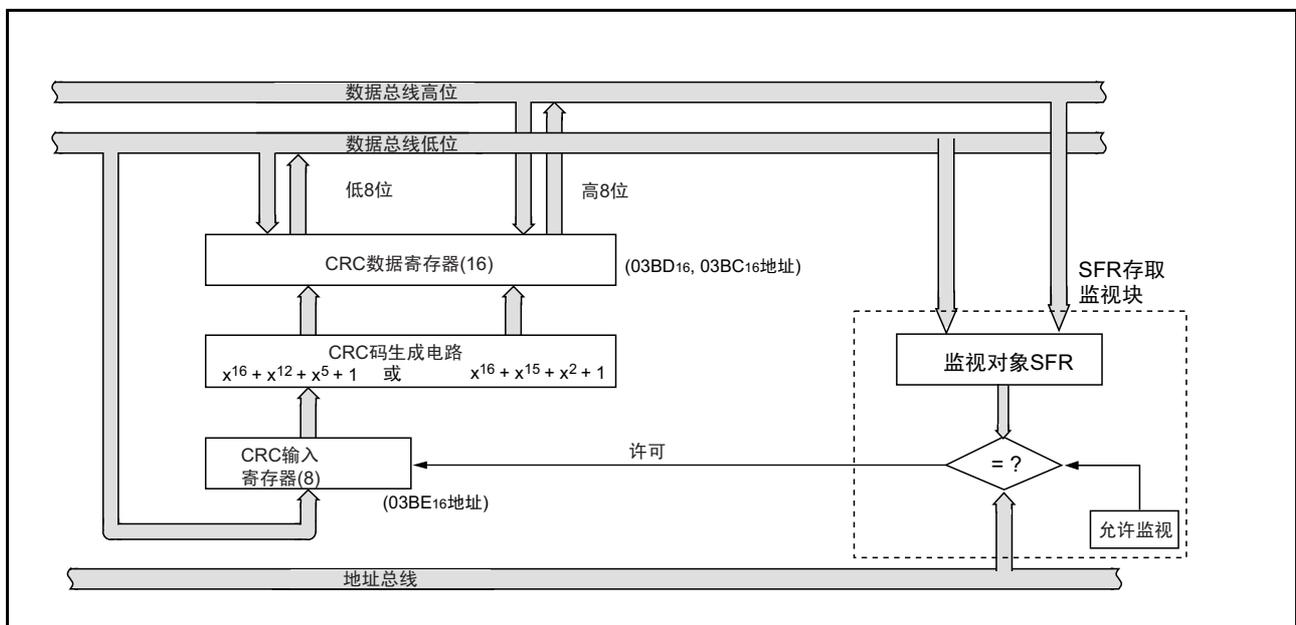


图 15.1 CRC 框图

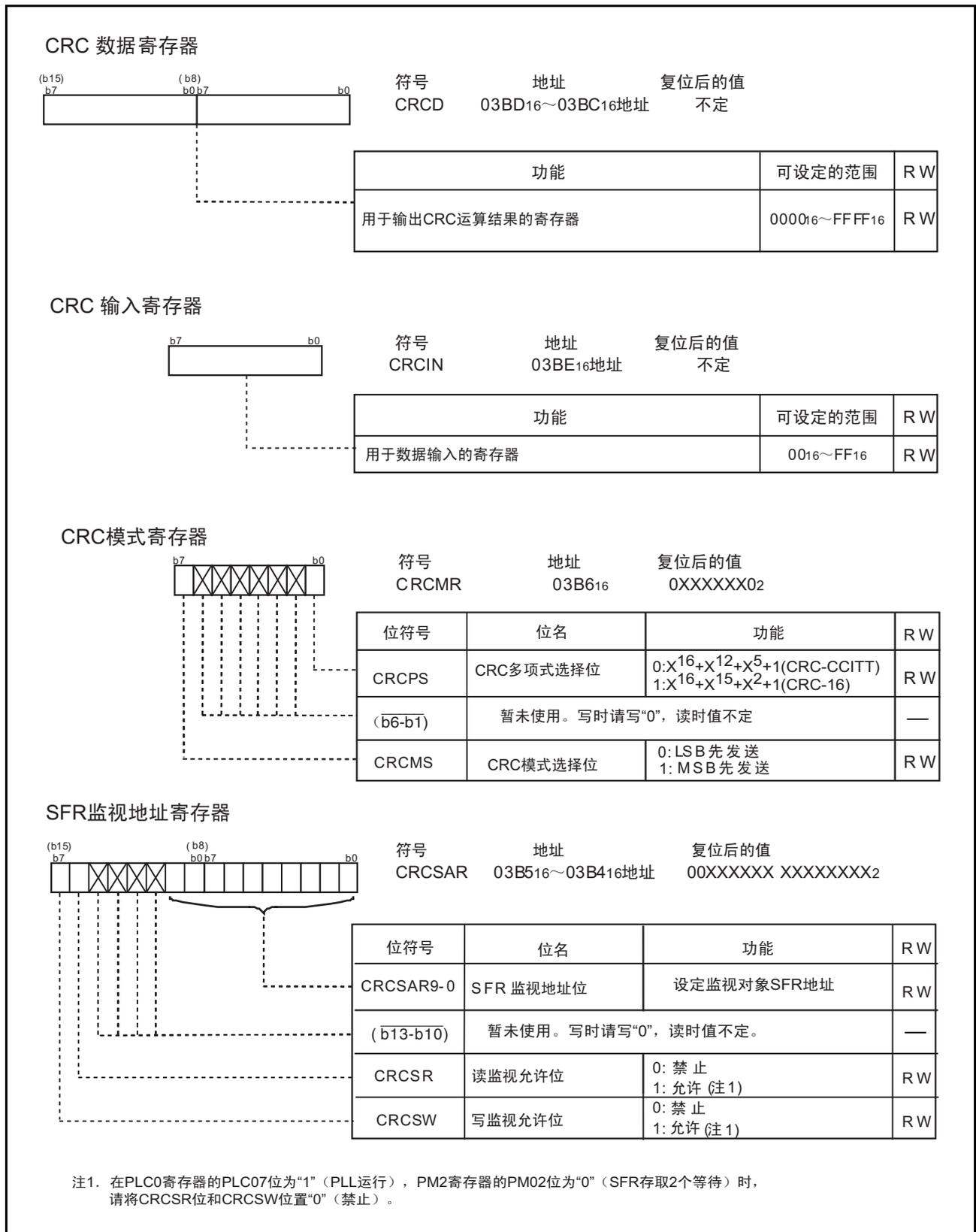


图 15.2 CRCD、CRCIN、CRCMR、CRCSAR 寄存器

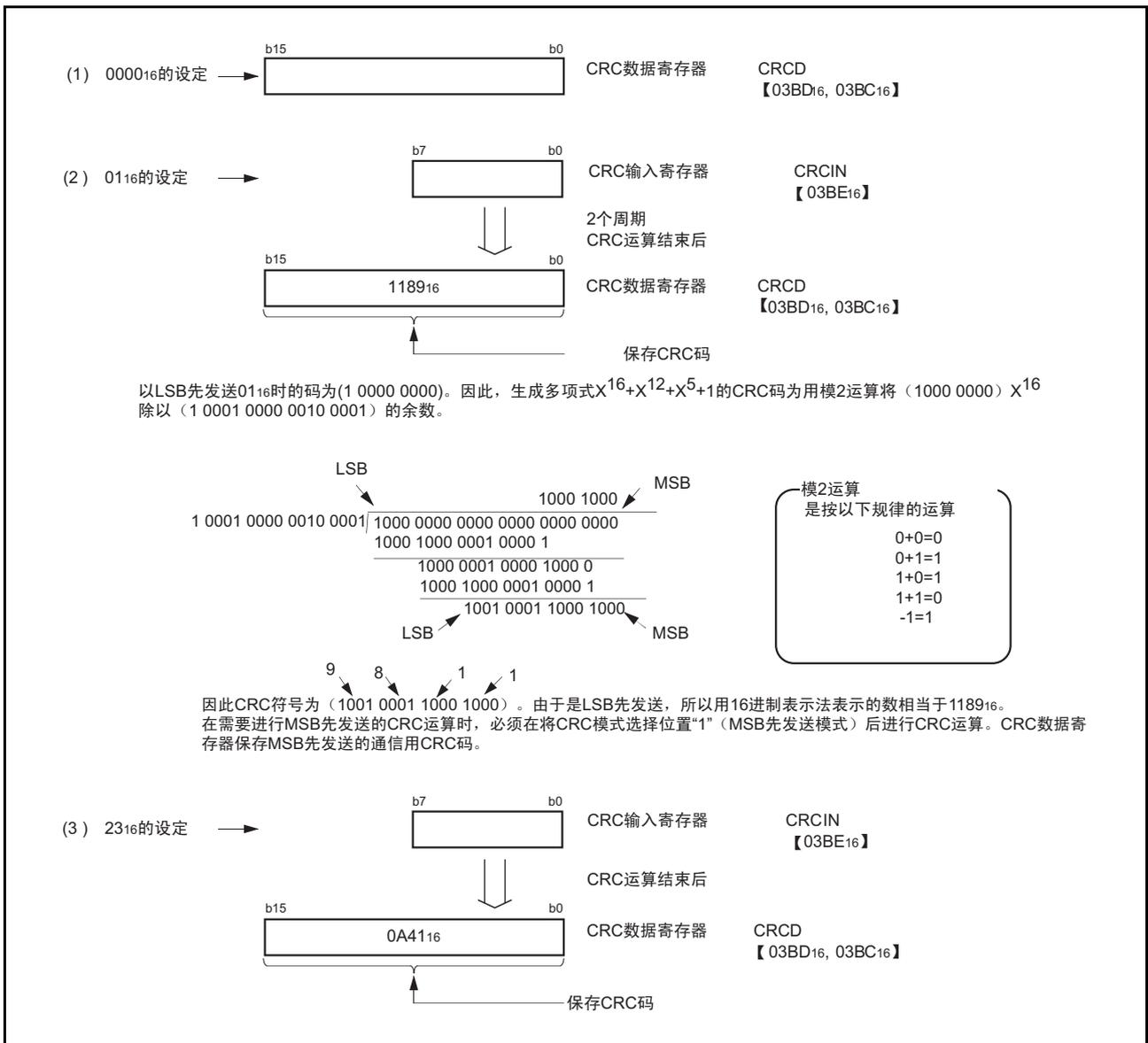


图 15.3 CRC 运算电路的运算示例（使用 CRC-CCITT 时）

## 16. 可编程输入 / 输出端口

### 注意

在 42 引脚版中没有 P60 ~ P63、P92、P93。

可编程输入 / 输出端口（以下称为输入 / 输出端口）在 48 引脚版中有 39 个（P15 ~ P17、P6、P7、P8、P90 ~ P93、P10），在 42 引脚版中有 33 个（P15 ~ P17、P64 ~ P67、P7、P8、P90 ~ P91、P10）。各端口的输入输出状态可以通过方向寄存器逐位设定，并且能以 4 位为单位选择是否上拉。

输入 / 输出端口的结构如图 16.1 ~ 图 16.4、引脚的结构如图 16.5 所示。

各引脚作为输入 / 输出端口、外围功能的输入 / 输出使用。

外围功能的设定方法请参考各功能说明。用作外围功能的输入引脚时，请将对应的引脚方向位置“0”（输入模式）；用作外围功能的输出引脚时，与方向位无关，为外围功能的输出引脚。

### 16.1 端口 Pi 方向寄存器（PDi 寄存器 i=1、6 ~ 10）

PDi 寄存器如图 16.6 所示。

选择将输入 / 输出端口用作输入还是输出的寄存器。此寄存器的每 1 位对应 1 个端口。

### 16.2 端口 Pi 寄存器（Pi 寄存器 i=1、6 ~ 10）

Pi 寄存器如图 16.7 所示。

通过读写 Pi 寄存器，进行与外部设备的输入 / 输出。Pi 寄存器由保持输出数据的端口锁存器和读引脚状态的电路构成。读取设定为输入模式的端口的 Pi 寄存器时，可读取引脚的输入电平；写数据时，将数据写到端口锁存器。

读取设定为输出模式的端口的 Pi 寄存器时，可能读取端口锁存器；写数据时，将数据写到端口锁存器。写在端口锁存器的值从引脚输出。Pi 寄存器的每 1 位对应 1 个端口。

### 16.3 上拉控制寄存器 0 ~ 上拉控制寄存器 2（PUR0 ~ PUR2 寄存器）

PUR0 ~ PUR2 寄存器如图 16.8 所示。

能通过 PUR0 ~ PUR2 寄存器的各位，以 4 个端口为单位选择是否上拉。将方向位设定为输入模式时，选择上拉的端口连接上拉电阻。该设定不管外围功能是否正在使用都有效。

### 16.4 端口控制寄存器（PCR 寄存器）

端口控制寄存器如图 16.9 所示。

将 PCR 寄存器的 PCR0 位置“1”后读取 P1 寄存器时，与 PD1 寄存器的设定无关，读取对应的端口锁存器。

## 16.5 引脚配置控制寄存器 (PACR 寄存器)

PACR 寄存器如图 16.10 所示。复位后, 进行输入 / 输出前必须对各引脚设定 PACR2 ~ PACR0 位, 如果不设定 PACR2 ~ PACR0 位, 一部分引脚的输入 / 输出功能就不运行。

- PACR2 ~ PACR0 位: 控制有效的引脚。
- 复位时, 这些位为 “000<sub>2</sub>”。
- 使用 48 引脚版时, 必须置 “100<sub>2</sub>”。
- 使用 42 引脚版时, 必须置 “001<sub>2</sub>”。

UIMAP 位: 控制 UART1 引脚的配置

- UIMAP 位置 “0” 时 (P67 ~ P64), 将 UART1 功能配置于 P64/ $\overline{\text{CTS}}_1$  /  $\overline{\text{RTS}}_1$ 、P65/CLK<sub>1</sub>、P66/RxD<sub>1</sub>、P67/TxD<sub>1</sub> 的引脚。
- UIMAP 位置 “1” 时 (P73 ~ P70), 将 UART1 功能配置于 P70/ $\overline{\text{CTS}}_1$  /  $\overline{\text{RTS}}_1$ 、P71/CLK<sub>1</sub>、P72/RxD<sub>1</sub>、P73/TxD<sub>1</sub> 的引脚。

通过 PRCR 寄存器的 PRC2 位, 对 PACR 寄存器进行写保护。对 PACR 寄存器的写操作必须在将 PRC2 位置位后进行。

## 16.6 数字消抖动功能

内置 2 个数字消抖动功能的电路。在输入上升沿或者下降沿后的电平在保持超过由程序设定的滤波器宽度的时间时才被确定, 所以数字消抖动功能可有效地消除噪声。

此功能被配置于  $\overline{\text{INT}}_5$  / INPC17 和  $\overline{\text{NMI}}_1$  /  $\overline{\text{SD}}_1$ , 通过 NDDR 寄存器或者 P17DDR 寄存器设定数字滤波器宽度。另外, 对于端口 P17 的输入和端口 P85 的输入, 数字消抖动功能无效。NDDR 寄存器和 P17DDR 寄存器如图 16.11 所示。

滤波器宽度:  $(n+1) \times 1/f_8$     n: NDDR 寄存器或者 P17DDR 寄存器的设定值

NDDR 寄存器或者 P17DDR 寄存器以  $f_8$  为计数源, 对设定值进行递减计数。在读 NDDR 寄存器或者 P17DDR 寄存器时, 能读取计数值。如果对引脚输入上升沿或者下降沿, 就重新加载设定值。

在使用数字消抖动功能时, NDDR 寄存器或者 P17DDR 寄存器可设定值为 “00<sub>16</sub> ~ FF<sub>16</sub>”, 如果设定 “FF<sub>16</sub>”, 就为无数字滤波器。详细内容如图 16.12 所示。

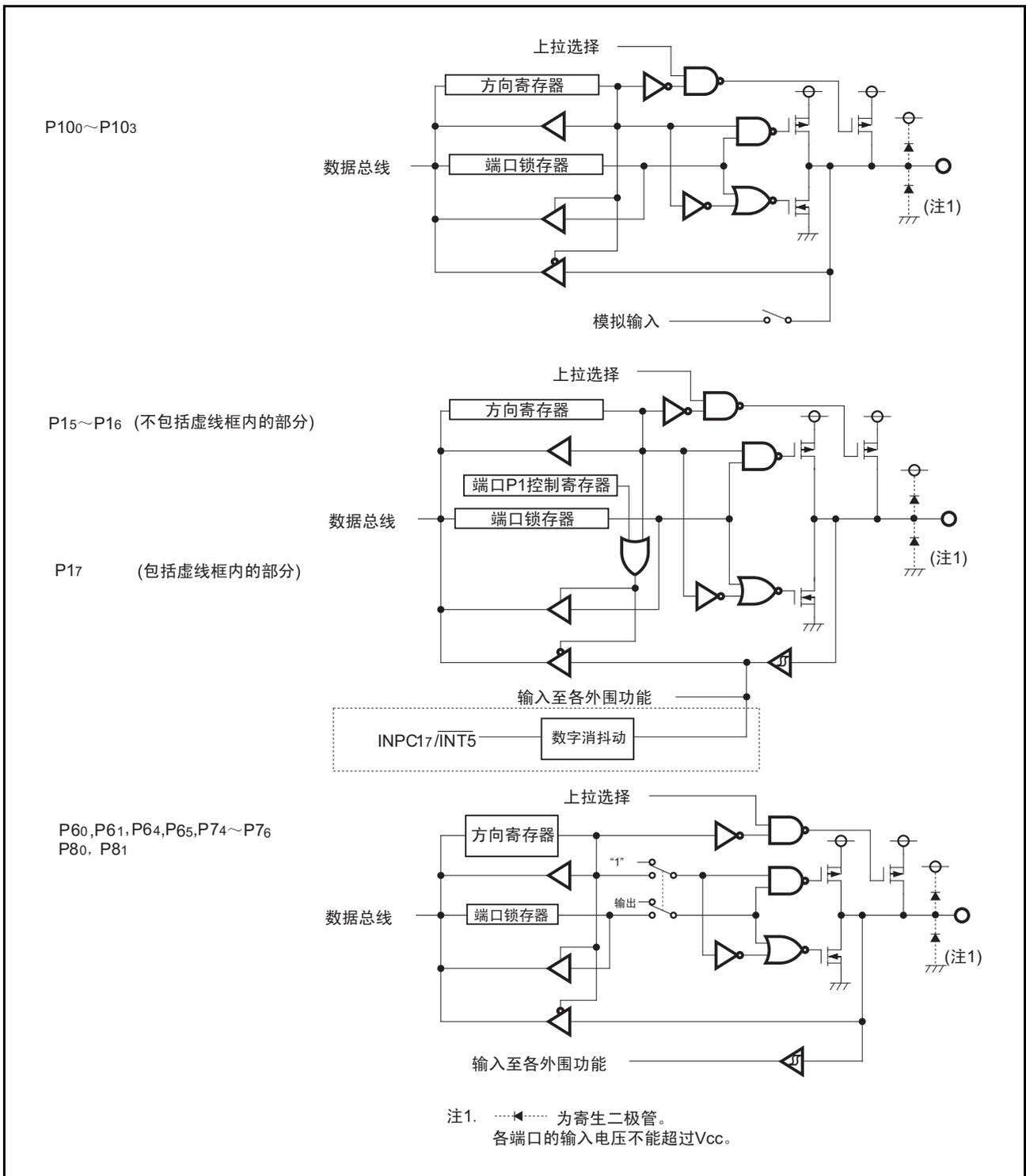


图 16.1 输入 / 输出端口 (1)

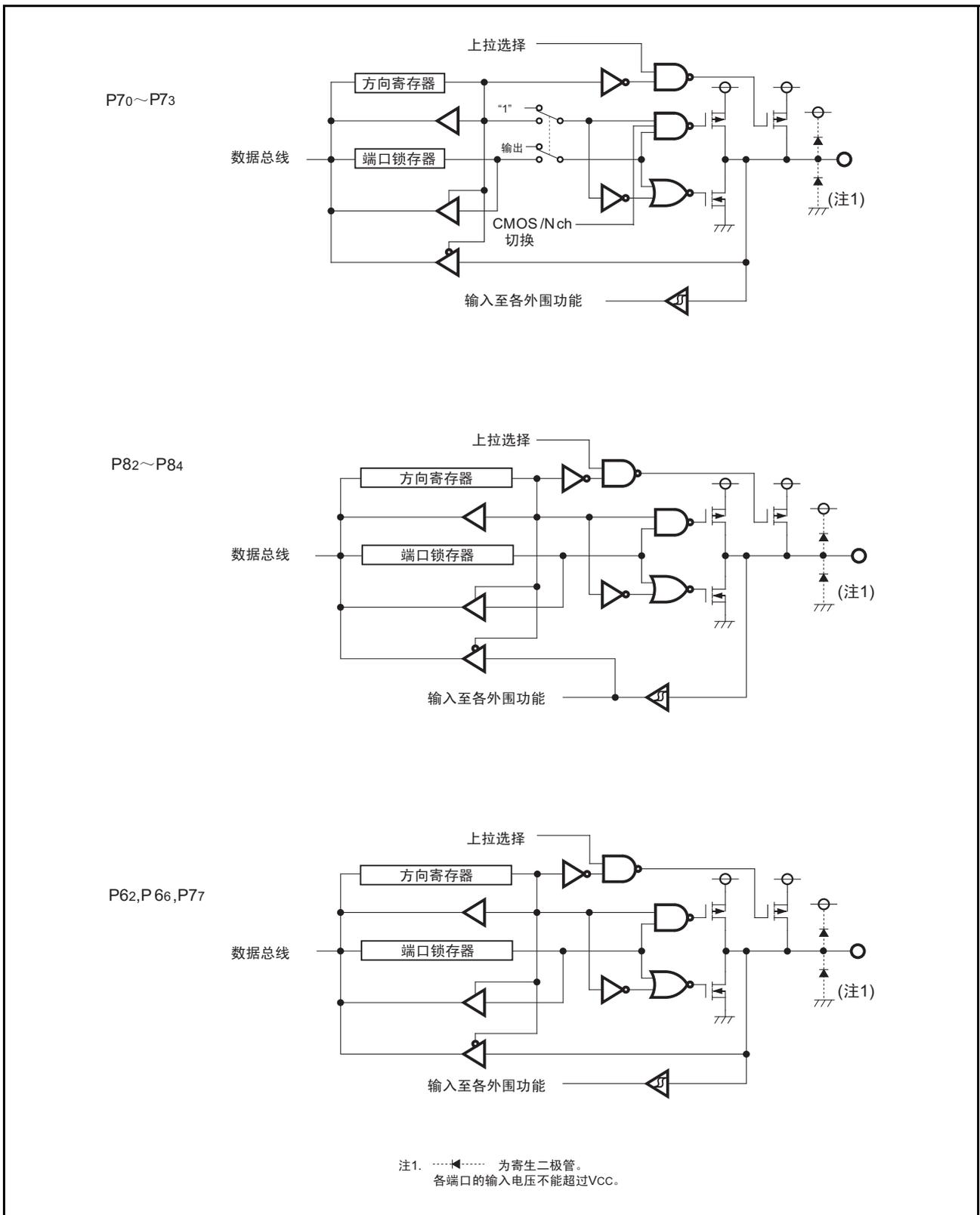


图 16.2 输入 / 输出端口 (2)

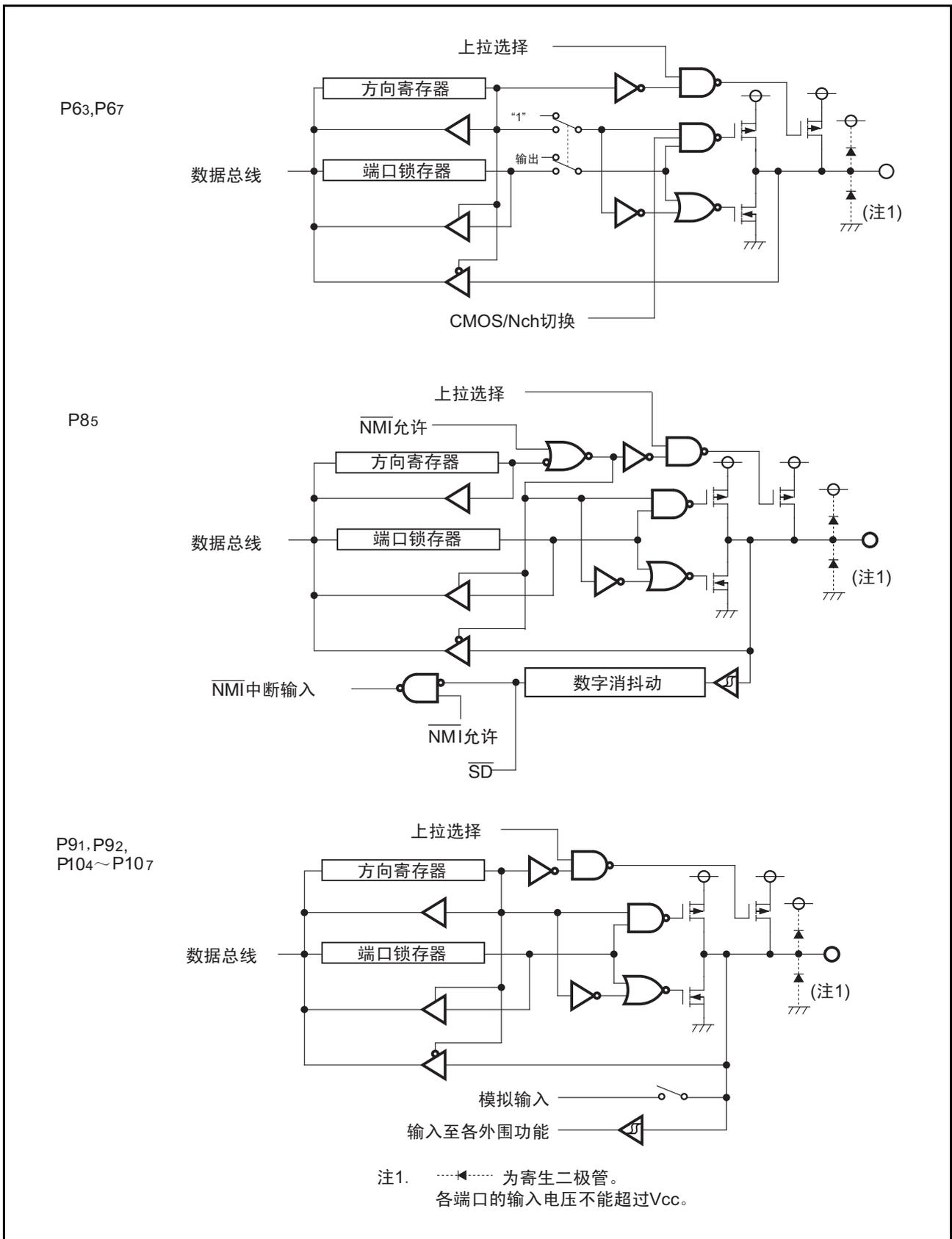


图 16.3 输入 / 输出端口 (3)

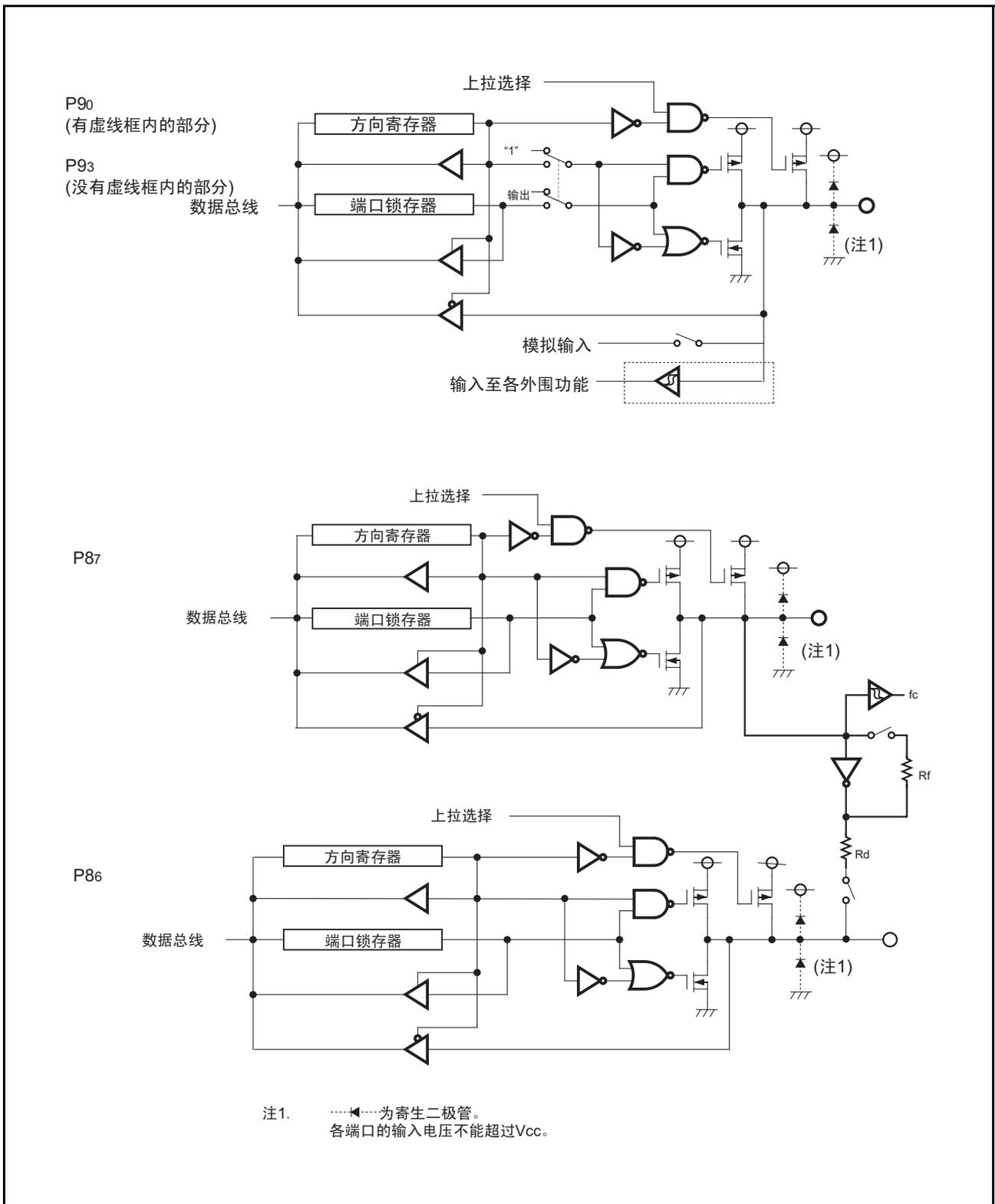


图 16.4 输入 / 输出端口 (4)

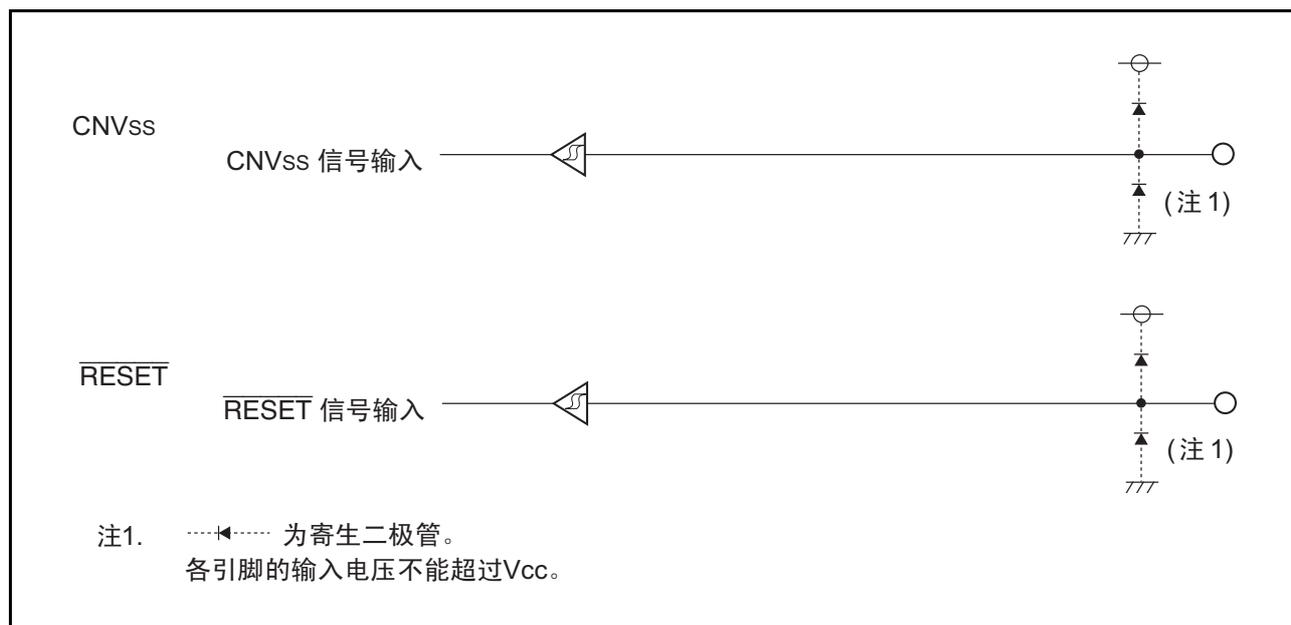


图 16.5 输入引脚

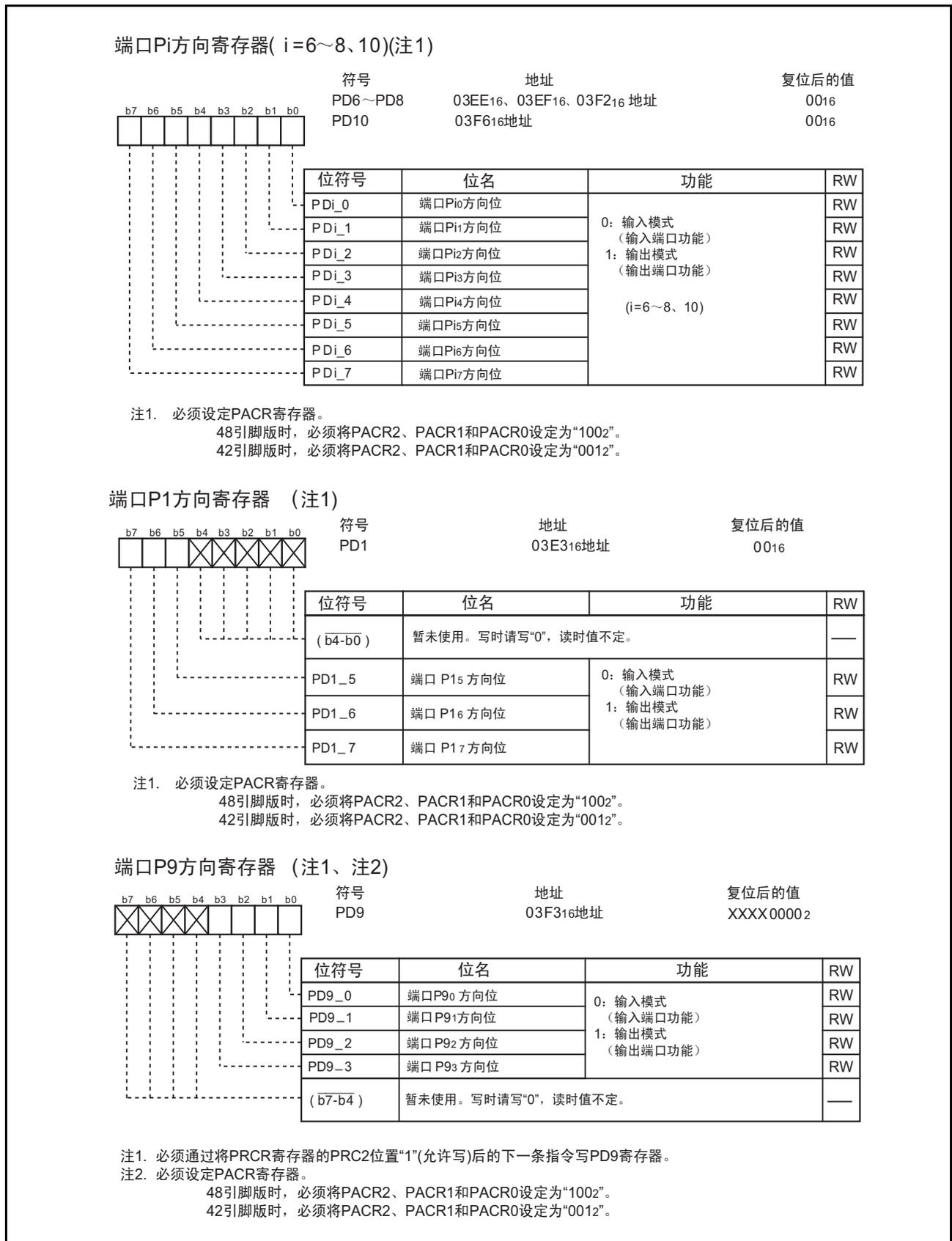


图 16.6 PD1、PD6、PD7、PD8、PD9、PD10 寄存器

端口Pi寄存器 (i=6~8、10) (注1)



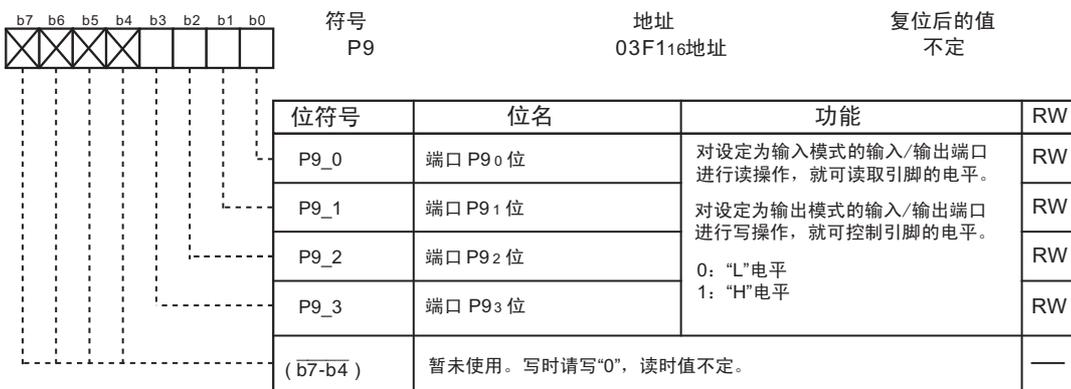
注1. 必须设定PACR寄存器。  
48引脚版时, 必须将PACR2、PACR1和PACR0设定为“1002”。  
42引脚版时, 必须将PACR2、PACR1和PACR0设定为“0012”。

端口P1方向寄存器 (注1)



注1. 必须设定PACR寄存器。  
48引脚版时, 必须将PACR2、PACR1和PACR0设定为“1002”。  
42引脚版时, 必须将PACR2、PACR1和PACR0设定为“0012”。

端口P9寄存器 (注1)



注1. 必须设定PACR寄存器。  
48引脚版时, 必须将PACR2、PACR1和PACR0设定为“1002”。  
42引脚版时, 必须将PACR2、PACR1和PACR0设定为“0012”。

图 16.7 P1、P6、P7、P8、P9、P10 寄存器

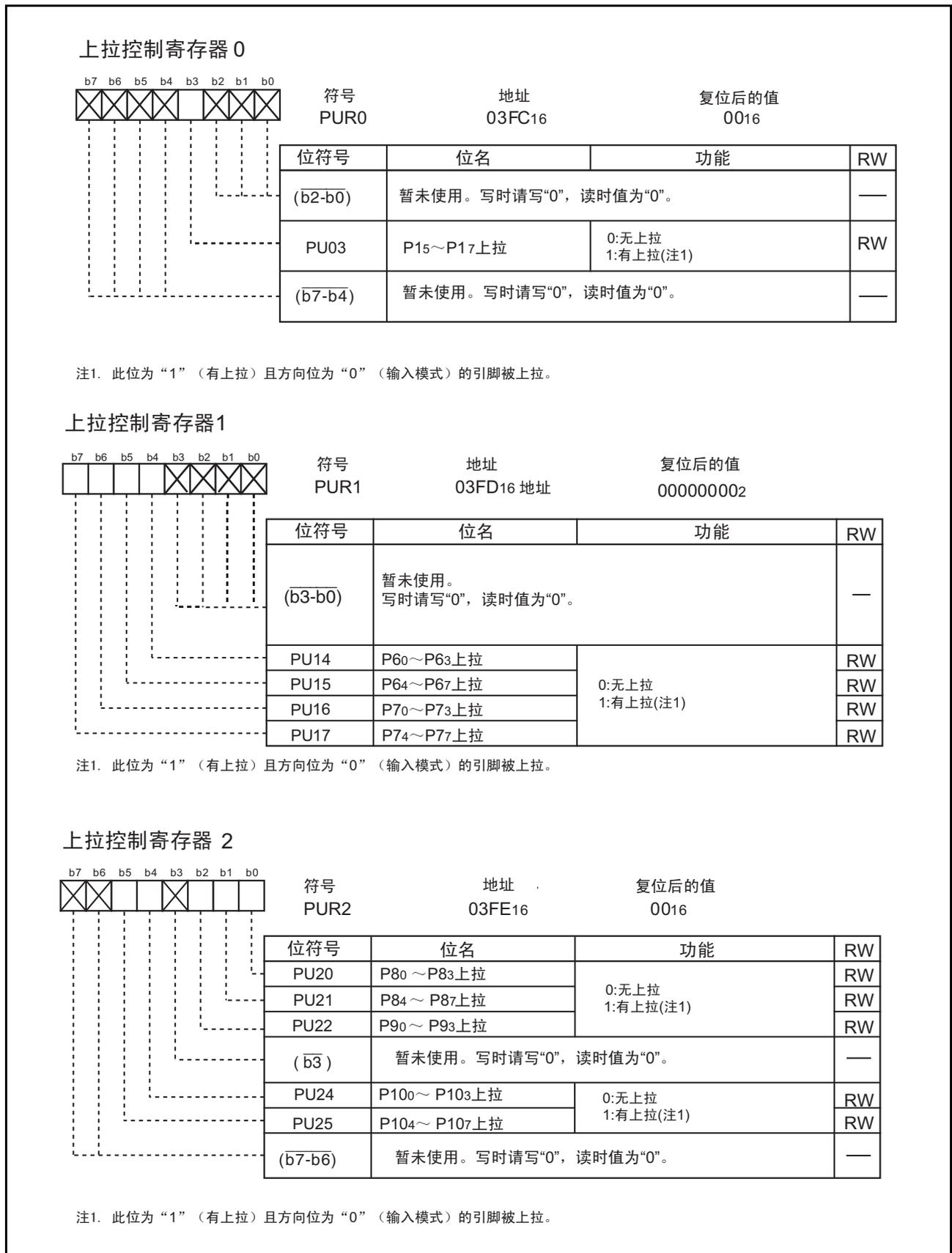


图 16.8 PUR0 ~ PUR2 寄存器



图 16.9 PCR 寄存器

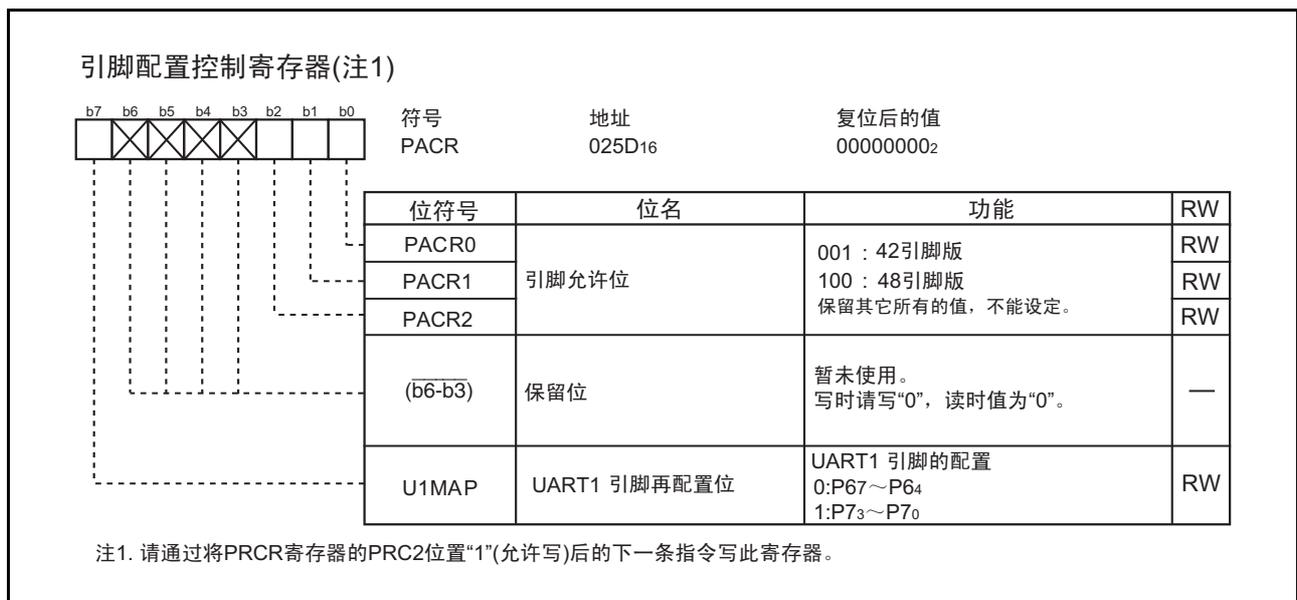


图 16.10 PACR 寄存器

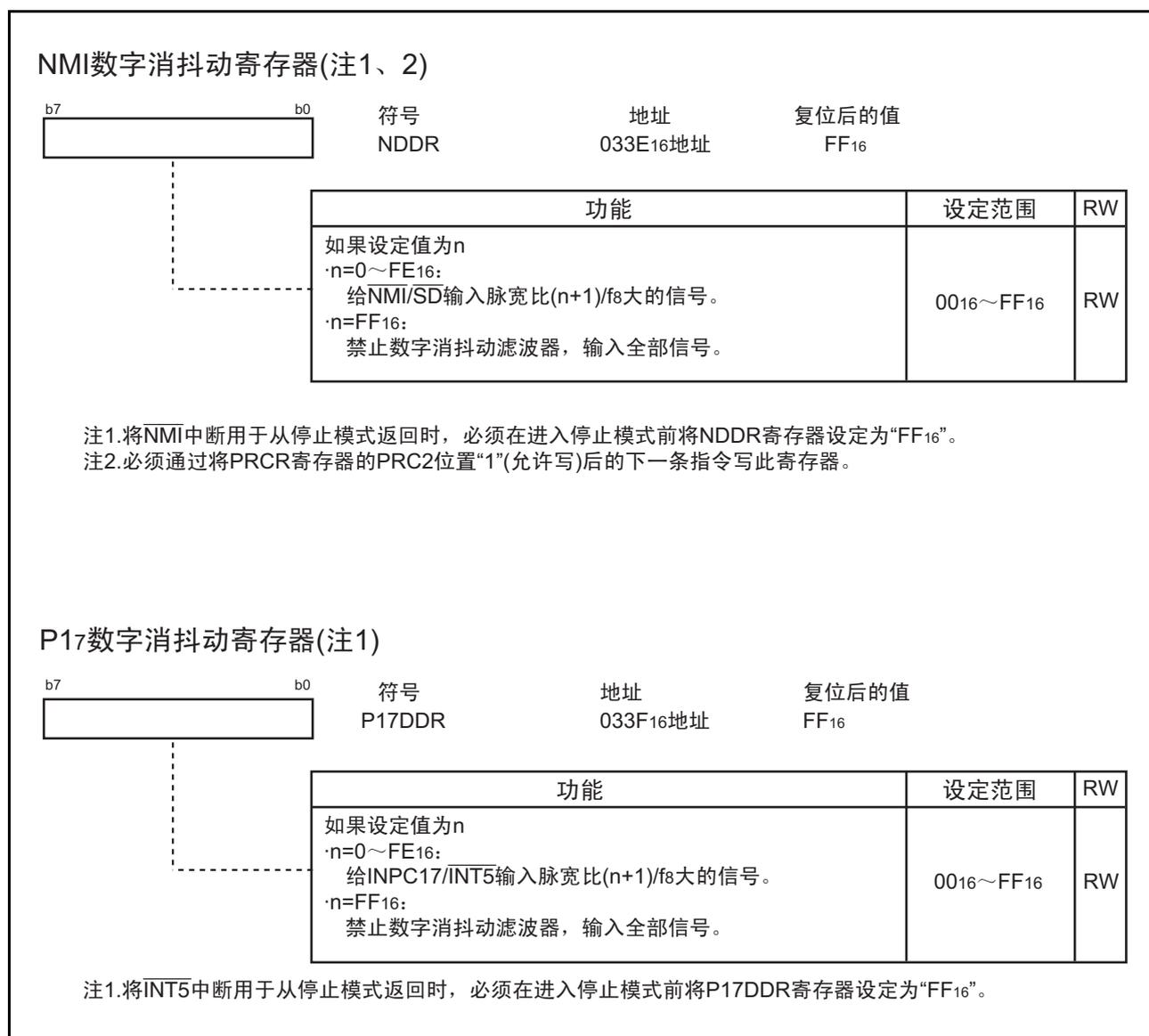
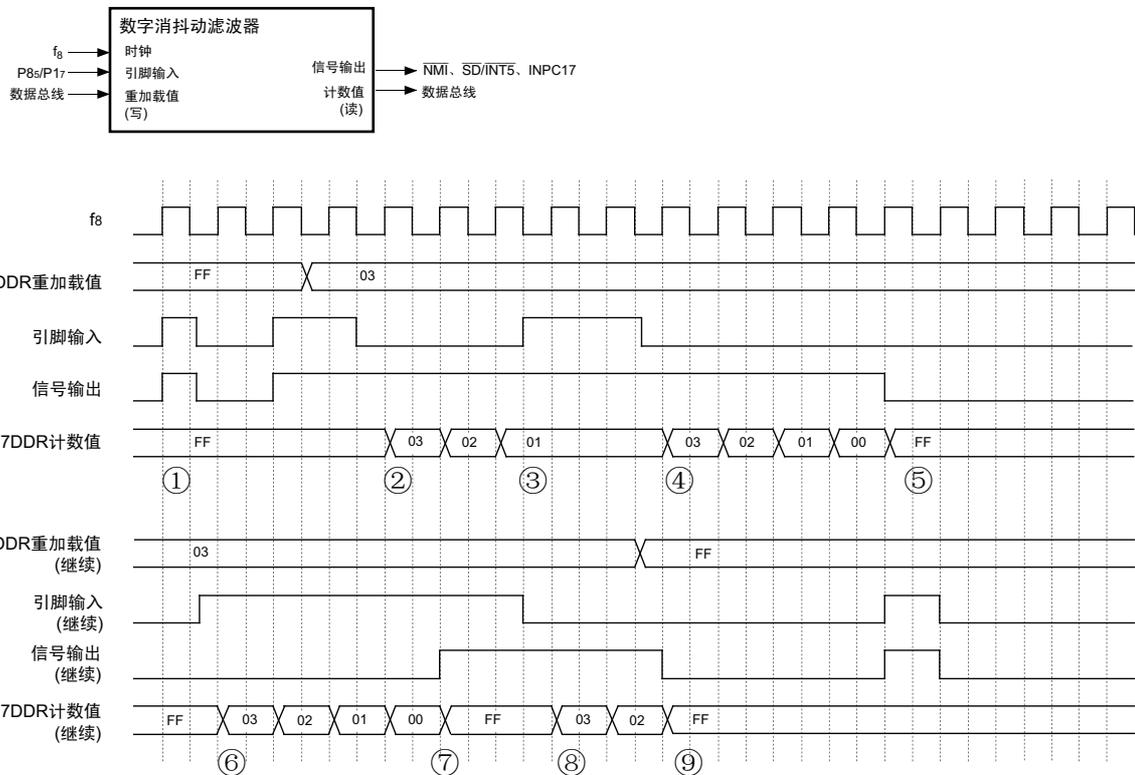


图 16.11 NDDR 寄存器和 P17DDR 寄存器

·INT5的数字消抖动功能、P17DDR="03<sub>16</sub>"时的例子

- ①(复位后) P17DDR=FF<sub>16</sub>，引脚的输入信号被输出。
- ②将P17DDR寄存器设定为“03<sub>16</sub>”。如果引脚的输入电平(“L”)和信号的输出电平(“H”)不同，P17DDR就以f8为计数源开始递减计数。
- ③在计数中途引脚的输入电平和信号的输出电平一致(“H”)时，P17DDR停止计数。
- ④引脚的输入电平(“L”)和信号的输出电平(“H”)再一次不同时，P17DDR就在重加载设定值后开始递减计数。
- ⑤P17DDR下溢时，停止计数，输出引脚的输入电平(“L”)。
- ⑥引脚的输入电平(“H”)和信号的输出电平(“L”)再一次不同时，P17DDR就在重加载设定值后开始递减计数。
- ⑦P17DDR下溢时，停止计数，输出引脚的输入电平(“H”)。
- ⑧引脚的输入电平(“H”)和信号的输出电平(“L”)再一次不同时，P17DDR在重加载设定值后开始递减计数。
- ⑨将P17DDR寄存器设定为“FF<sub>16</sub>”时，P17DDR就在重加载设定值后停止计数，引脚的输入信号被输出。

图 16.12 数字消抖动滤波器功能

表 16.1 单芯片模式下的未使用引脚的处理

引脚名	处理内容
端口 P1、P6 ~ P10	设定为输入模式，每个引脚通过电阻连接到 V <sub>SS</sub> （下拉）或设定为输出模式，引脚开路（注 1、注 2、注 4）
XOUT	开路（注 3）
XIN	通过电阻连接到 V <sub>CC</sub> （上拉）（注 5）
AV <sub>CC</sub>	连接到 V <sub>CC</sub>
AV <sub>SS</sub> 、V <sub>REF</sub>	连接到 V <sub>SS</sub>

注 1. 设定为输出模式且引脚开路时，由于在复位后到通过程序将端口切换为输出模式前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。另外，考虑到由于噪声或者噪声引起的失控等而导致方向寄存器的内容变化的情况，如果通过软件定期地重新设定方向寄存器内容，就能提高程序的可靠性。

注 2. 尽量用较短的布线（2cm 以内）处理单片机的未使用引脚。

注 3. 将外部时钟或者 V<sub>CC</sub> 输入至 X<sub>IN</sub> 引脚时。

注 4. 使用 42 引脚版时，请将 PACR2、PACR1 和 PACR 位设定为“001<sub>2</sub>”。

使用 48 引脚版时，请将 PACR2、PACR1 和 PACR 位设定为“100<sub>2</sub>”。

注 5. 不使用主时钟振荡电路时，为了降低消耗电流，请将 CM0 寄存器的 CM05 位置“1”（主时钟停止）。

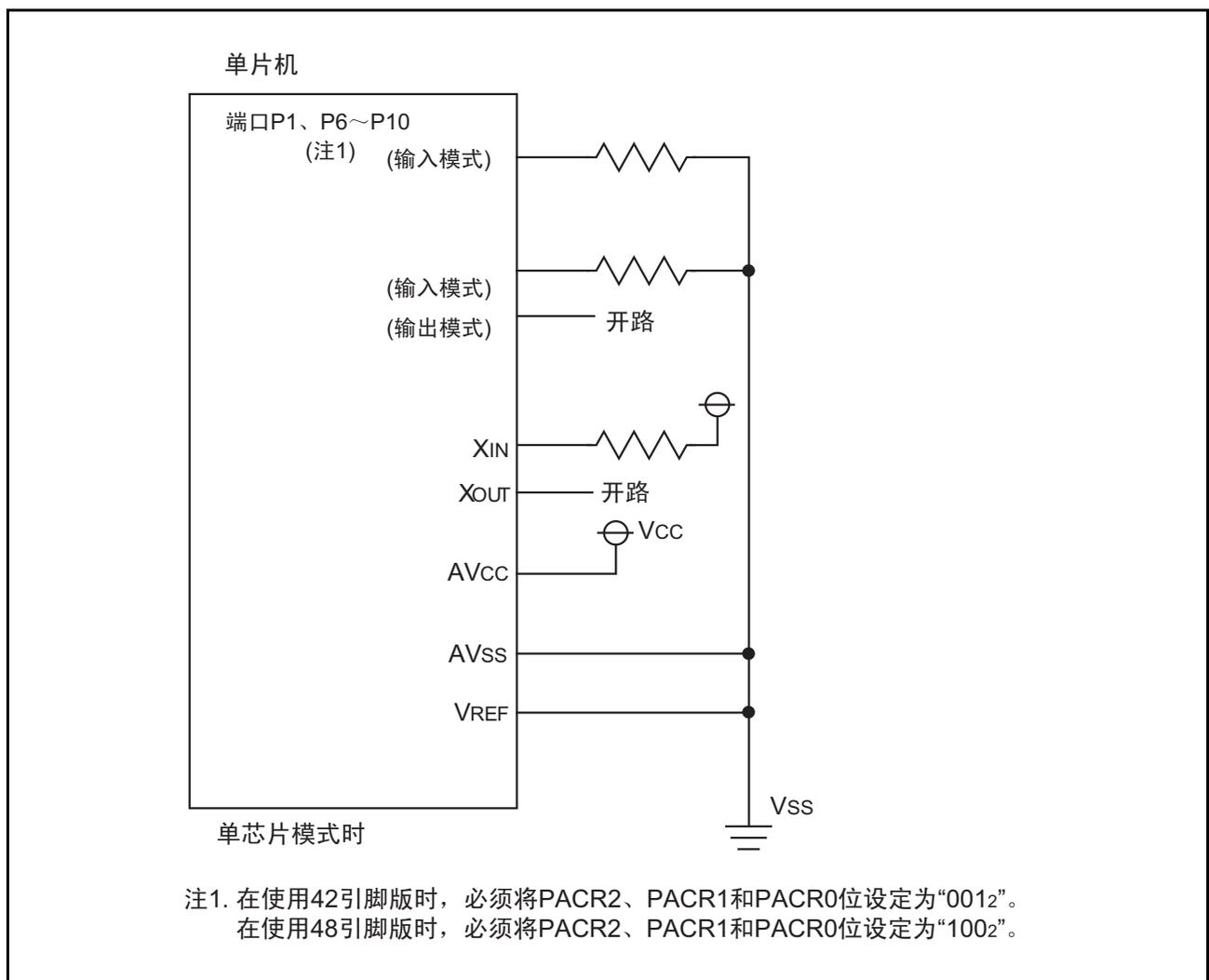


图 16.13 未使用引脚的处理

## 17. 闪存版

### 17.1 闪存的性能

闪存版除了内置闪存以外，具有和掩模型 ROM 版相同的功能。

闪存版能通过 CPU 改写模式、标准串行输入 / 输出模式和并行输入 / 输出模式 3 种改写模式进行闪存的操作。

闪存版的性能概要如表 17.1 所示，表 17.1 所示以外的项目请参考表 1.1 性能概要（48 引脚版）（M16C/26A、M16C/26B、M16C/26T）或者表 1.2 性能概要（42 引脚版）（M16C/26A、M16C/26B）。

表 17.1 闪存版的性能概要

项目		性能
闪存运行模式		3 种模式（CPU 改写、标准串行输入 / 输出、并行输入 / 输出）
擦除块分配		请参考图 17.1 ~ 图 17.3 闪存框图
编程方式		以字为单位
擦除方式		块擦除
编程、擦除控制方式		通过软件命令进行的编程、擦除控制
保护方式		块 0 ~ 块 3 通过 FMR16 位保护，块 0 ~ 块 1 通过 FMR02 位保护
命令数		5 个命令
编程、擦除次数 (注 1)	块 0 ~ 块 3（程序区）	100 次、或 1,000 次（请参考表 1.7、表 1.9、表 1.10 产品代码表）
	块 A、块 B（数据区） (注 2)	100 次、或 10,000 次（请参考表 1.7、表 1.9、表 1.10 产品代码表）
数据保持		20 年（Topr=55°C）
ROM 代码保护		对应并行输入 / 输出模式、标准串行输入 / 输出模式

注 1. 编程、擦除次数的定义。

编程、擦除次数为各块的擦除次数。

假设编程、擦除次数为 n 次（n=100、1,000、10,000）时，就能按块分别擦除 n 次。例如，对 2K 字节的块 A 的不同地址进行 1,024 次的 1 个字的写操作后擦除此块，编程 / 擦除次数就被计为 1 次。但是，对于 1 次的擦除，不能对同一地址进行多次写操作（禁止覆盖写）。

注 2. 对于进行多次改写的系统，作为有效地减少改写次数的方法，采取错开写地址等手段，编程（写）时尽可能不留有空区，在编程（写）后，请进行 1 次擦除。例如，进行 1 组 8 字的编程时，如果在进行最大 128 组的写操作后执行 1 次擦除，就能有效地减少改写次数。并且，如果使块 A 和块 B 的擦除次数均等，就能更有效地减少改写次数。建议对各块实施的擦除次数的信息进行记录以及设置限制次数。

表 17.2 闪存改写模式的概要

闪存改写模式	CPU 改写模式	标准串行输入 / 输出模式	并行输入 / 输出模式
功能概要	能通过 CPU 执行软件命令改写用户 ROM 区 EW0 模式： • 能改写闪存以外的区域 EW1 模式： • 能改写闪存	能使用专用串行编程器改写用户 ROM 区 标准串行输入 / 输出模式 1： • 时钟同步串行 I/O 标准串行输入 / 输出模式 2： • 异步串行 I/O	能使用专用并行编程器改写用户 ROM 区
能改写的区域	用户 ROM 区	用户 ROM 区	用户 ROM 区
运行模式	单芯片模式	引导模式	并行输入 / 输出模式
ROM 编程器	—	串行编程器	并行编程器

### 17.1.1 引导模式

向 CNV<sub>SS</sub> 引脚和 P8<sub>6</sub> 引脚输入 “H” 电平或向 CNV<sub>SS</sub> 引脚和 P1<sub>6</sub> 引脚输入 “H” 电平同时向 P8<sub>5</sub> 引脚输入 “L” 电平，一旦产生硬件复位就变为引导模式，执行引导 ROM 区的程序。引导 ROM 区为保留区。保存有出货时标准串行输入 / 输出模式的改写控制程序，不能改写。

## 17.2 存储器配置

闪存版的 ROM 分为用户 ROM 区和引导 ROM 区（保留区）。闪存框图如图 17.1 ~ 图 17.3 所示。用户 ROM 区除了保存单芯片模式时的单片机运行程序的区域以外，还有 2K 字节的块 A 和块 B。

用户 ROM 区被分为几个块。能通过 CPU 改写模式、标准串行输入 / 输出模式或者并行输入 / 输出模式改写用户 ROM 区。在通过 CPU 改写模式改写块 0 和块 1 时，请将 FMR0 寄存器的 FMR02 位置“1”（允许改写块 0 和块 1）并将 FMR1 寄存器的 FMR16 位置“1”（允许改写块 0 ~ 块 3）；在通过 CPU 改写模式改写块 2 ~ 块 3 时，请将 FMR1 寄存器的 FMR16 位置“1”（允许改写块 0 ~ 块 3）。

将 PM1 寄存器的 PM10 位置“1”（允许存取数据区）时，可使用块 A 和块 B。

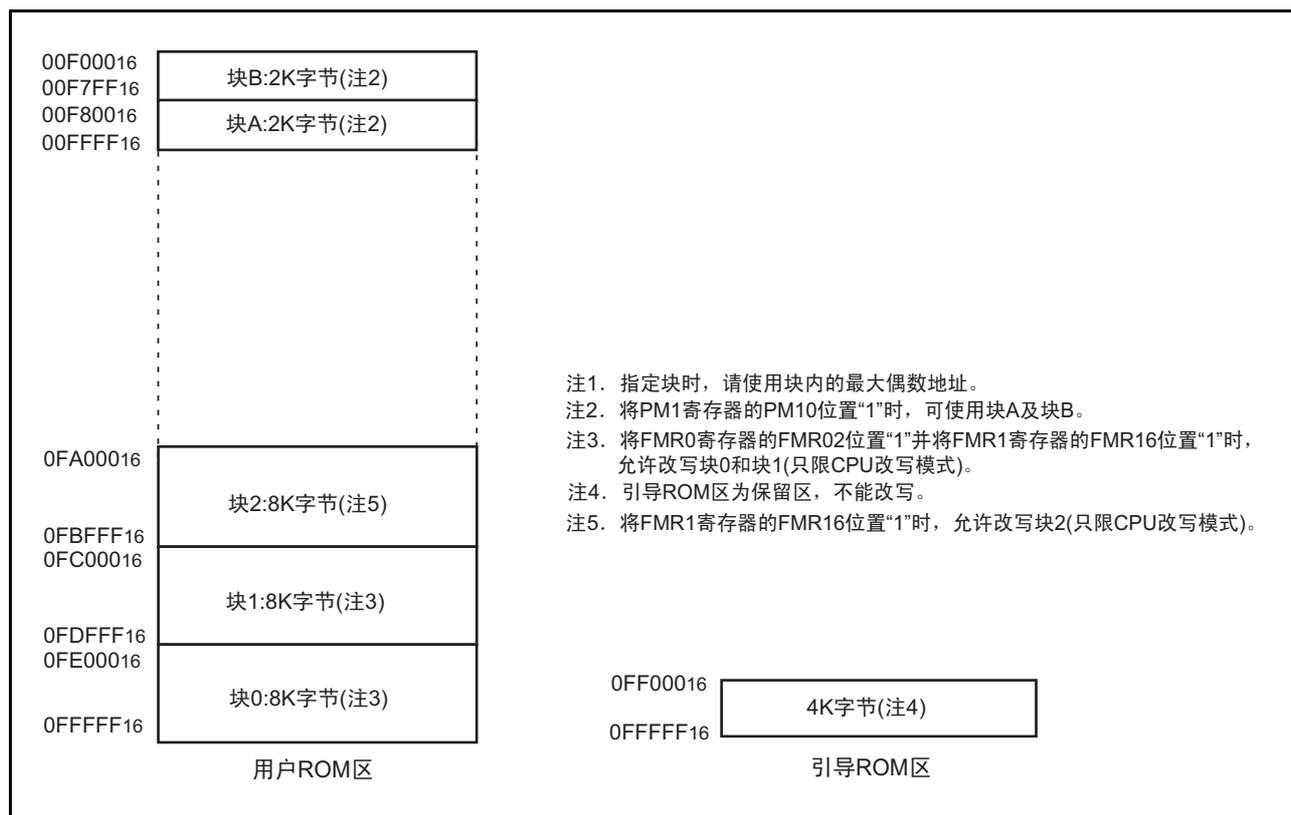


图 17.1 闪存框图（ROM 容量 24K 字节）

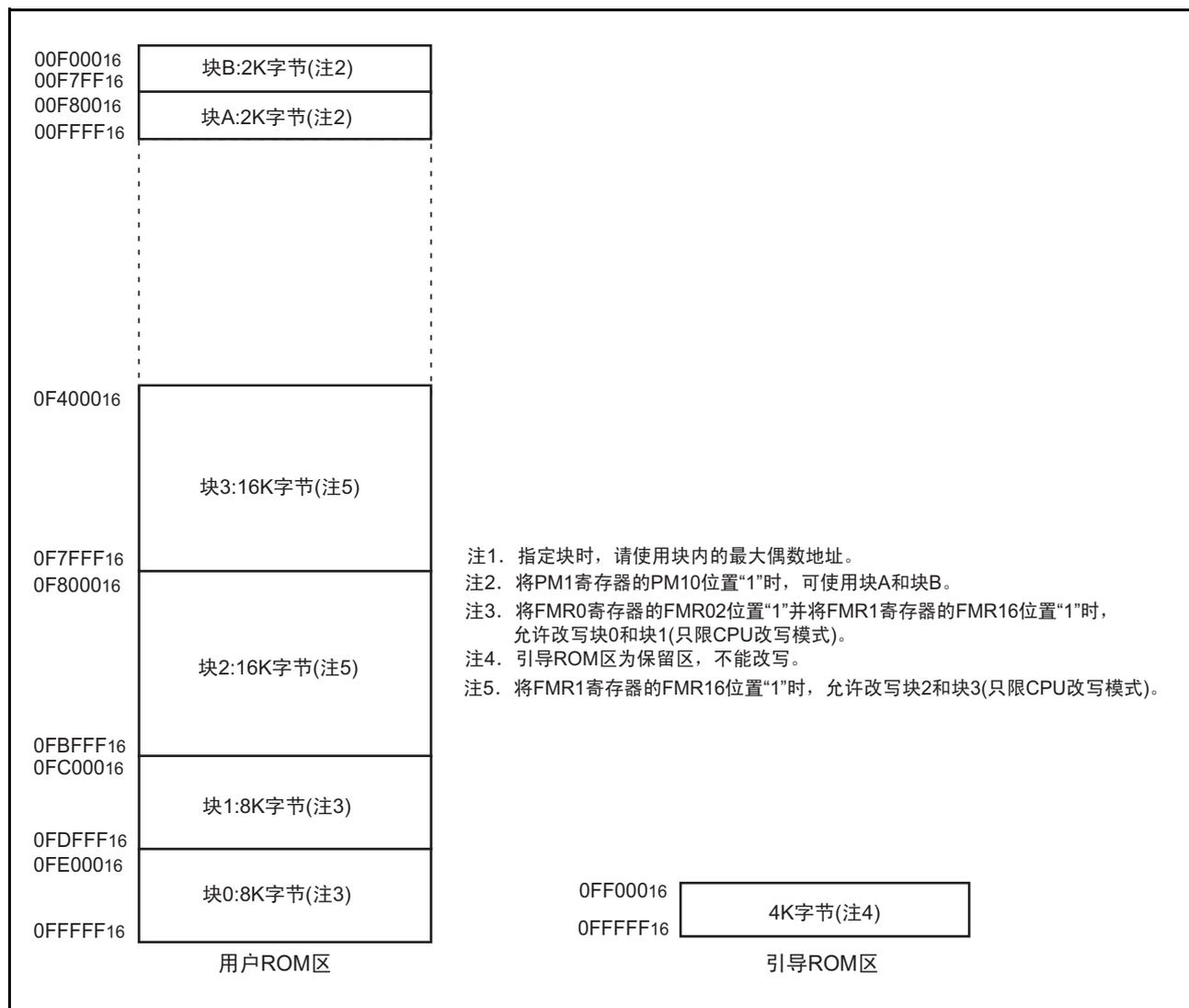


图 17.2 闪存框图 (ROM 容量 48K 字节)

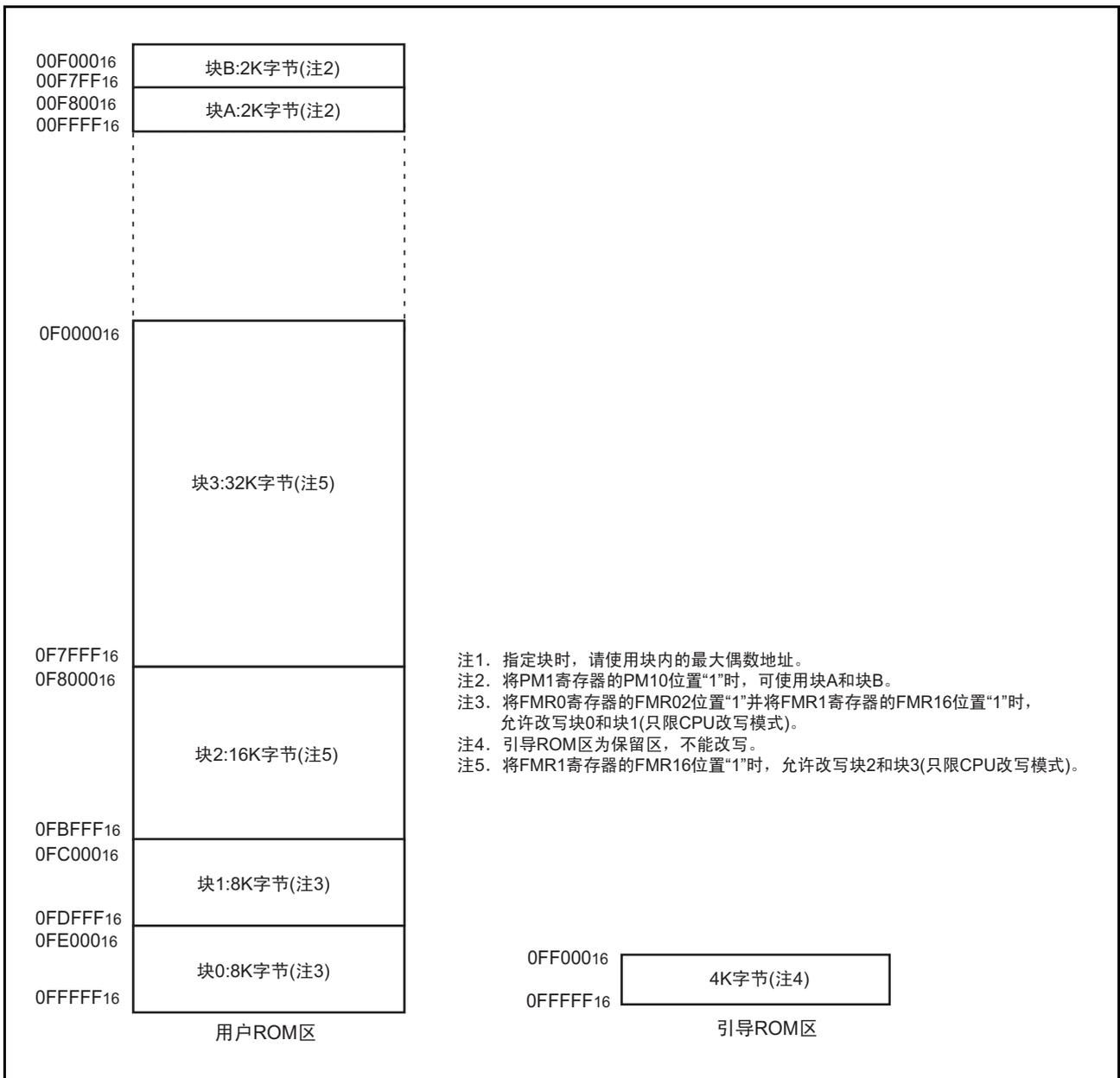


图 17.3 闪存框图 (ROM 容量 64K 字节)

## 17.3 闪存改写禁止功能

为了使闪存不容易被读取或被改写，并行输入 / 输出模式有 ROM 代码保护功能，标准串行输入 / 输出模式有 ID 码检查功能。

### 17.3.1 ROM 代码保护功能

ROM 代码保护是在使用并行输入 / 输出模式时禁止读取或者改写闪存的功能。ROMCP 寄存器如图 17.4 所示。ROMCP 寄存器存在于用户 ROM 区。

在 ROMCP1 位为“112”以外的情况时，ROM 代码保护有效。此时请将 bit 5 ~ bit 0 设定为“111112”。

在解除 ROM 代码保护时，请在标准串行输入 / 输出模式或 CPU 改写模式中擦除包含 ROMCP 寄存器的块。

### 17.3.2 ID 码检查功能

在标准串行输入 / 输出模式下使用此功能。在闪存不是空白闪存时，判断从编程器送来的 ID 码是否和写在闪存中的 7 字节的 ID 码一致，如果 ID 码不一致，就不接受从编程器送来的命令。ID 码分别是 8 位数据，该区域第 1 个字节开始分别为 0FFFD<sub>16</sub>、0FFFE<sub>316</sub>、0FFFEB<sub>16</sub>、0FFFEF<sub>16</sub>、0FFFF<sub>316</sub>、0FFFF<sub>716</sub>、0FFFFB<sub>16</sub> 地址。请将给这些地址事先设定 ID 码的程序写入闪存。

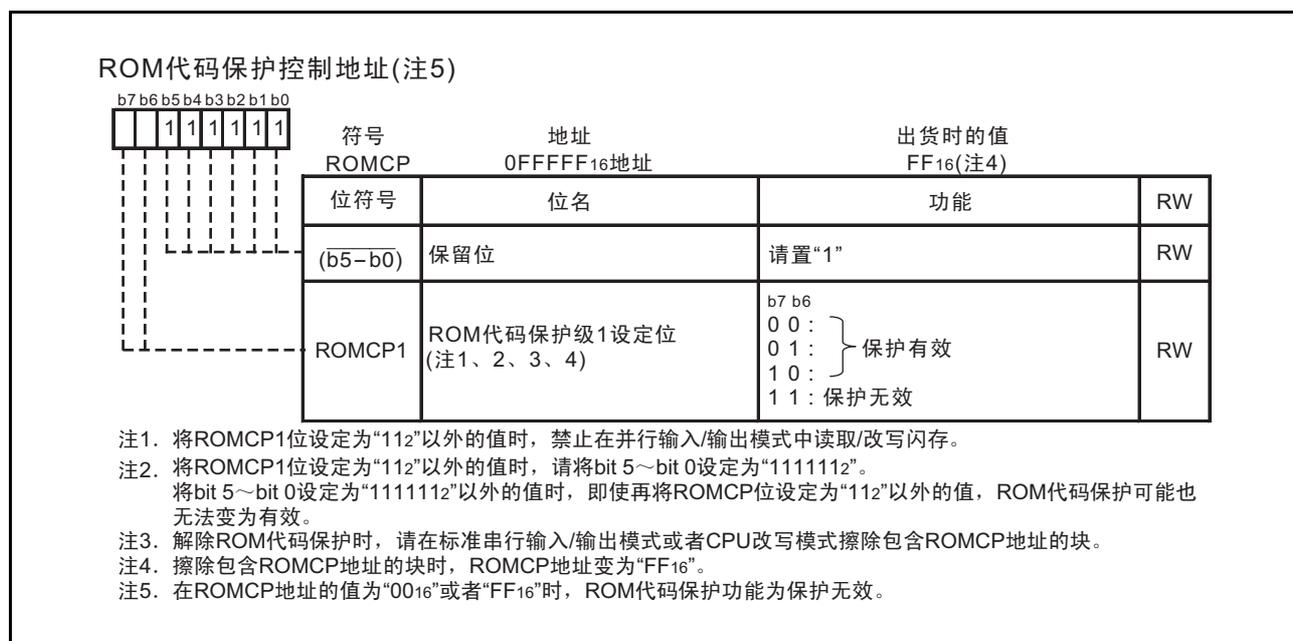


图 17.4 ROMCP 寄存器

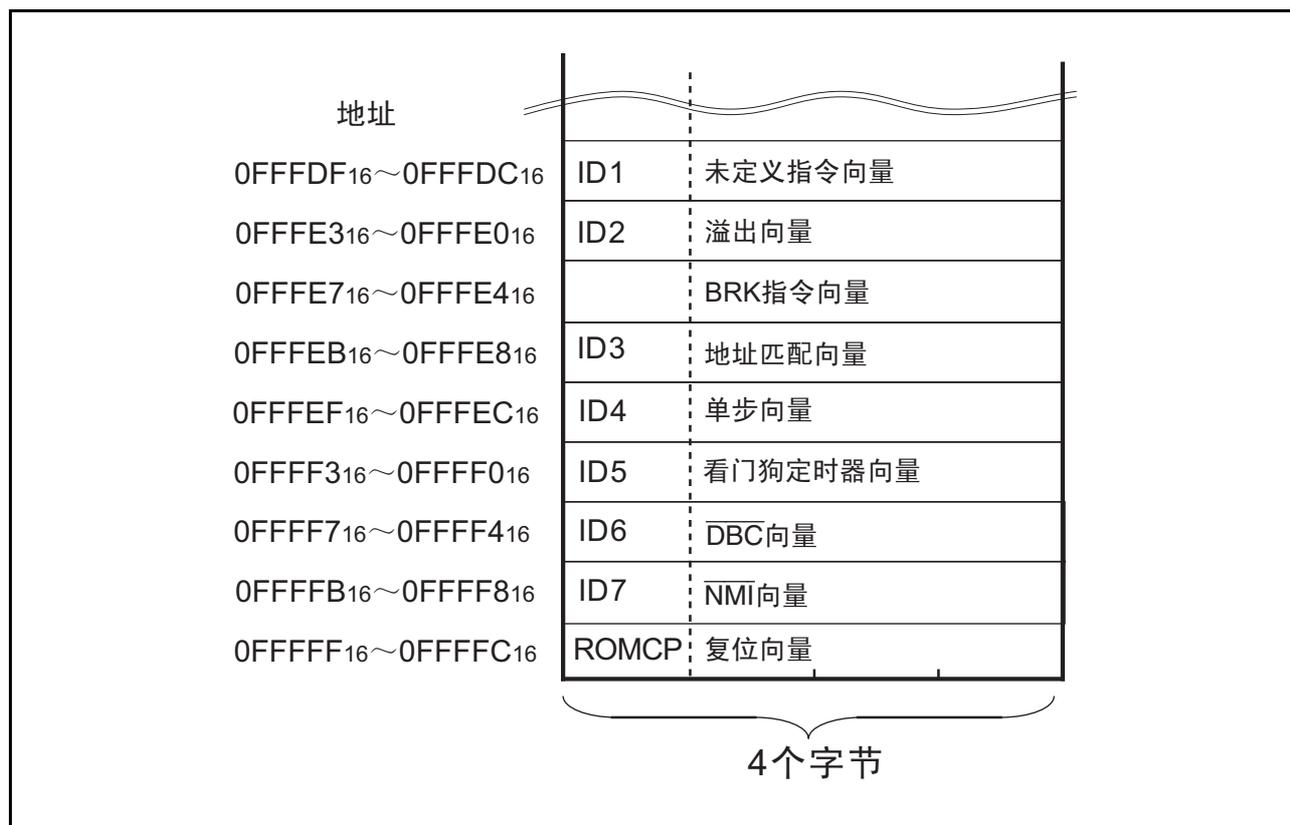


图 17.5 ID 码的保存地址

## 17.4 CPU 改写模式

在 CPU 改写模式下，能通过 CPU 执行软件命令改写用户 ROM 区。

因此，能在不使用 ROM 编程器等而将单片机安装在电路板的状态下，改写用户 ROM 区。只能对用户 ROM 区的各块区域执行编程和块擦除命令。

另外，还具有擦除挂起功能。在 CPU 改写模式的擦除运行过程中发生中断请求时，能暂时停止擦除运行而进行中断处理。在擦除挂起过程中，能通过程序读取用户 ROM 区。

CPU 改写模式有擦除编程 0 模式（EW0 模式）和擦除编程 1 模式（EW1 模式）。EW0 模式和 EW1 模式的不同点如表 17.3 所示。CPU 擦除编程操作需要 1 个等待。

表 17.3 EW0 模式和 EW1 模式的不同点

项目	EW0 模式	EW1 模式
运行模式	单芯片模式	单芯片模式
能存放改写控制程序的区域	用户 ROM 区	用户 ROM 区
能执行改写控制程序的区域	必须在传送至闪存以外（RAM 等）的区域后执行	可在用户 ROM 区执行
能改写的区域 (注 2)	用户 ROM 区	用户 ROM 区 但是，存有改写控制程序的块除外
软件命令的限制	无	<ul style="list-style-type: none"> <li>编程、块擦除命令 对于存有改写控制程序的块，禁止执行</li> <li>读状态寄存器命令 禁止执行</li> </ul>
编程、擦除后的模式	读状态寄存器模式	读阵列模式
自动编程、自动擦除时的 CPU 状态	运行	保持状态（输入 / 输出端口保持命令执行前的状态 (注 1)）
闪存的状态检测	<ul style="list-style-type: none"> <li>通过程序读取 FMR0 寄存器的 FMR00、FMR06、FMR07 位</li> <li>执行读状态寄存器命令，读取状态寄存器的 SR7、SR5、SR4 位</li> </ul>	通过编程读取 FMR0 寄存器的 FMR00、FMR06、FMR07 位
转换至擦除挂起的条件 (注 3)	通过程序将 FMR4 寄存器的 FMR40 和 FMR41 位置“1”	FMR4 寄存器的 FMR40 位为“1”并且发生被允许的中断请求

注 1. 不能进行 DMA 传送。

注 2. 如果将 FMR0 寄存器的 FMR02 位置“1”并将 FMR1 寄存器的 FMR16 位置“1”，就允许改写块 0 和块 1；如果将 FMR1 寄存器的 FMR16 位置“1”，就允许改写块 2～块 3。

注 3. 从条件成立后，到转换至擦除挂起且变为能读取闪存为止的时间最大为  $t_d(\text{SR-ES})$ 。

### 17.4.1 EW0 模式

将 FMR0 寄存器的 FMR01 位置 “1”（CPU 改写模式有效）时，可进入 CPU 改写模式，接受软件命令。此时，如果 FMR1 寄存器的 FMR11 位为 “0”，就为 EW0 模式。在将 FMR01 位置 “1” 时，请在写 “0” 后继续写 “1”。

通过软件命令进行编程和擦除运行的控制。能通过 FMR0 寄存器或者状态寄存器，确认编程或者擦除结束时的状态等。

如果要在自动擦除过程中转换至擦除挂起，就请将 FMR40 位置 “1”（允许擦除挂起）并将 FMR41 位置 “1”（请求挂起），然后等待 td(SR-ES)，在确认 FMR46 位为 “1”（停止自动擦出）后，存取用户 ROM 区。将 FMR41 位置 “0”（开始擦除）时，重新开始自动擦除。

### 17.4.2 EW1 模式

在将 FMR01 位置 “1”（在写 “0” 后再写 “1”）后，将 FMR11 位置 “1”（在写 “0” 后再写 “1”）时，进入 EW1 模式。

能通过 FMR0 寄存器确认编程或者擦除结束时的状态等。不能在 EW1 模式读取状态寄存器。

执行编程或者擦除的命令时，在命令执行结束前或者擦除挂起请求发生前，CPU 停止其他所有程序运行。

如果要将擦除挂起置为有效，就请在将 FMR40 位置 “1”（允许擦除挂起）后执行块擦除命令。另外，请将用于转换至擦除挂起的中断预先置为中断允许。从中断请求经过 td(SR-ES) 后转换至擦除挂起时，可接受中断。

发生中断请求时，FMR41 位自动为 “1”（请求挂起），并且停止自动擦除。在中断处理结束后，自动擦除还没有结束（FMR00 位为 “0”）时，请在将 FMR41 位置 “0”（开始擦除）后，再次执行块擦除命令。

## 17.5 寄存器的说明

闪存控制寄存器 0 和闪存控制寄存器 1 如图 17.6，闪存控制寄存器 4 如图 17.7 所示。

### 17.5.1 闪存控制寄存器 0 (FMR0)

- FMR00 位

这是表示闪存运行状况的位。在编程、擦除、擦除挂起过程中为“0”，否则为“1”。

- FMR01 位

将 FMR01 位置“1”（CPU 改写模式）时，可接受命令。要将此位置“1”时，需要在写“0”后继续写“1”。要将此位写“0”时，写“0”。

- FMR02 位

和 FMR16 组合，允许对用户 ROM 区的编程和擦除，有关设定方法请参考表 17.4。要将此位置“1”时，需要在写“0”后再写“1”。此位在 FMR01 位为“1”时有效（CPU 改写模式有效）。

- FMSTP 位

这是用于对闪存的控制电路进行初始化和降低闪存消耗电流的位。将 FMSTP 位置“1”时，不能存取内部闪存。因此，请通过闪存以外的区域的程序写 FMSTP 位。

在以下情况，请将 FMSTP 位置“1”：

- 在 EW0 模式的擦除或者写过程中，如果闪存的存取发生异常（FMR00 位不能恢复到“1”（就绪））
- 在设定成低功耗模式或者内部振荡器低功耗模式时

低功耗模式前后的处理如图 17.10 所示，请根据该流程图操作。

另外，如果在 CPU 改写模式无效时转换至停止模式或者等待模式，内部闪存的电源就自动切断，返回时自动连接，因此不需要设定 FMR0 寄存器。

- FMR06 位

这是表示自动编程状况的只读位。在发生编程错误时为“1”，否则为“0”。详细内容请参考全状态检查。

- FMR07 位

这是表示自动擦除状况的只读位。在发生擦除错误时为“1”，否则为“0”。详细内容请参考全状态检查。

EW0 模式的设定和解除方法如图 17.8、EW1 模式的设定和解除方法如图 17.9 所示。

### 17.5.2 闪存控制寄存器 1 (FMR1)

- FMR11 位

将 FMR11 位置 “1” (EW1 模式) 时, 为 EW1 模式。此位只在 FMR01 位为 “1” 时有效。

- FMR16 位

这是允许对用户 ROM 区进行编程和擦除的位, 和 FMR02 位组合使用。

要将此位置 “1” 时, 需要在写入 “0” 后再写 “1”。要将此位写 “0” 时, 则直接写 “0”。此位只在 FMR01 位为 “1” 时有效。

- FMR17 位

将 FMR17 位置 “1” (有等待) 时, 与 PM17 位无关, 在存取块 A 和块 B 时插入 1 个等待。在存取其他块和内部 RAM 时, 与 FMR17 位无关为 PM17 的设定。在进行 100 次以上的改写时 (U7、U9), 请将此位置 “1” (有等待)。

表 17.4 由 FMR16 和 FMR02 进行的保护

FMR16	FMR02	块 A 和块 B	块 0 和块 1	其他块
0	0	允许写	禁止写	禁止写
0	1	允许写	禁止写	禁止写
1	0	允许写	禁止写	允许写
1	1	允许写	允许写	允许写

### 17.5.3 闪存控制寄存器 4 (FMR4)

- FMR40 位

将 FMR40 位置 “1” (允许) 时, 允许擦除挂起功能。

- FMR41 位

在 EW0 模式下, 如果在自动擦除过程中通过程序将 FMR41 位置 “1”, 就转换至擦除挂起模式。在 EW1 模式下, 如果发生被允许的的中断的中断请求, FMR41 位就自动变为 “1” (请求挂起模式), 转换至擦除挂起。

在重新开始自动擦除时, 请将 FMR41 位置 “0” (开始擦除)。

- FMR46 位

FMR46 位在执行自动擦除过程中为 “0”, 在擦除挂起模式中为 “1”。在 “0” 期间, 禁止存取闪存。



图 17.6 FMR0 和 FMR1 寄存器

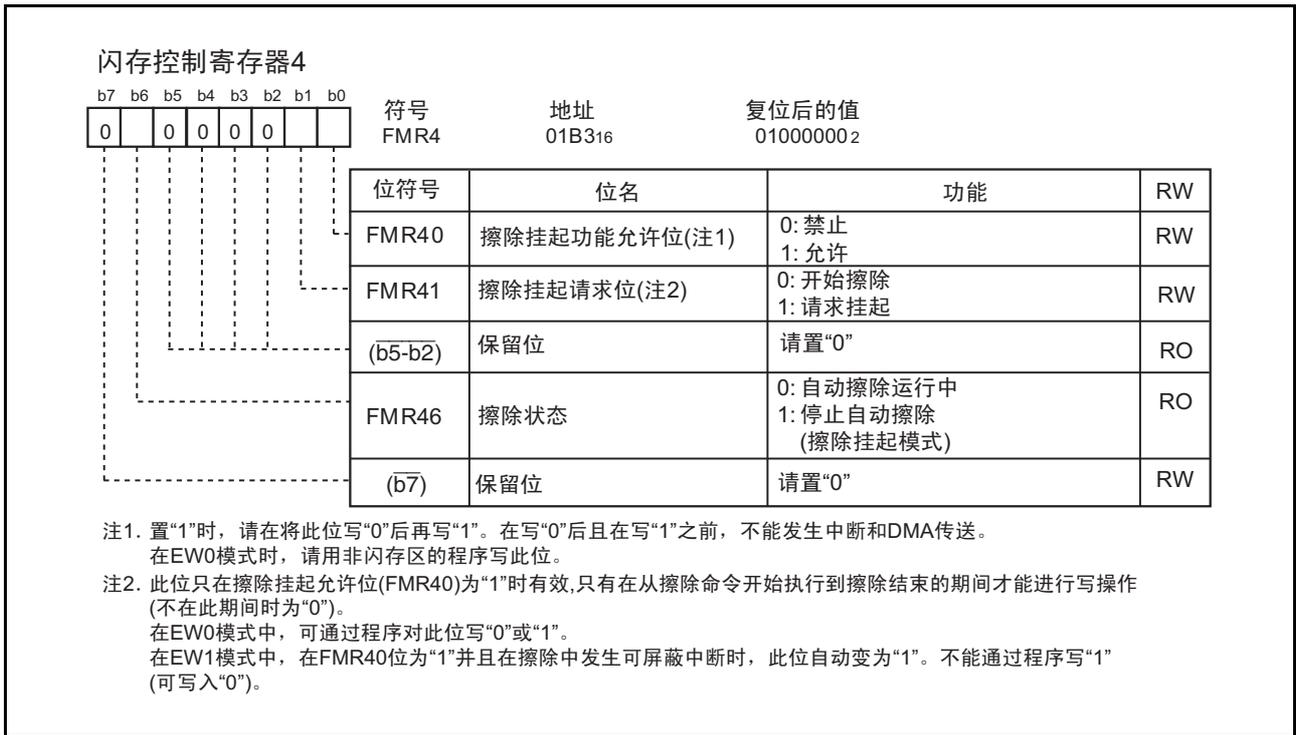


图 17.7 FMR4 寄存器

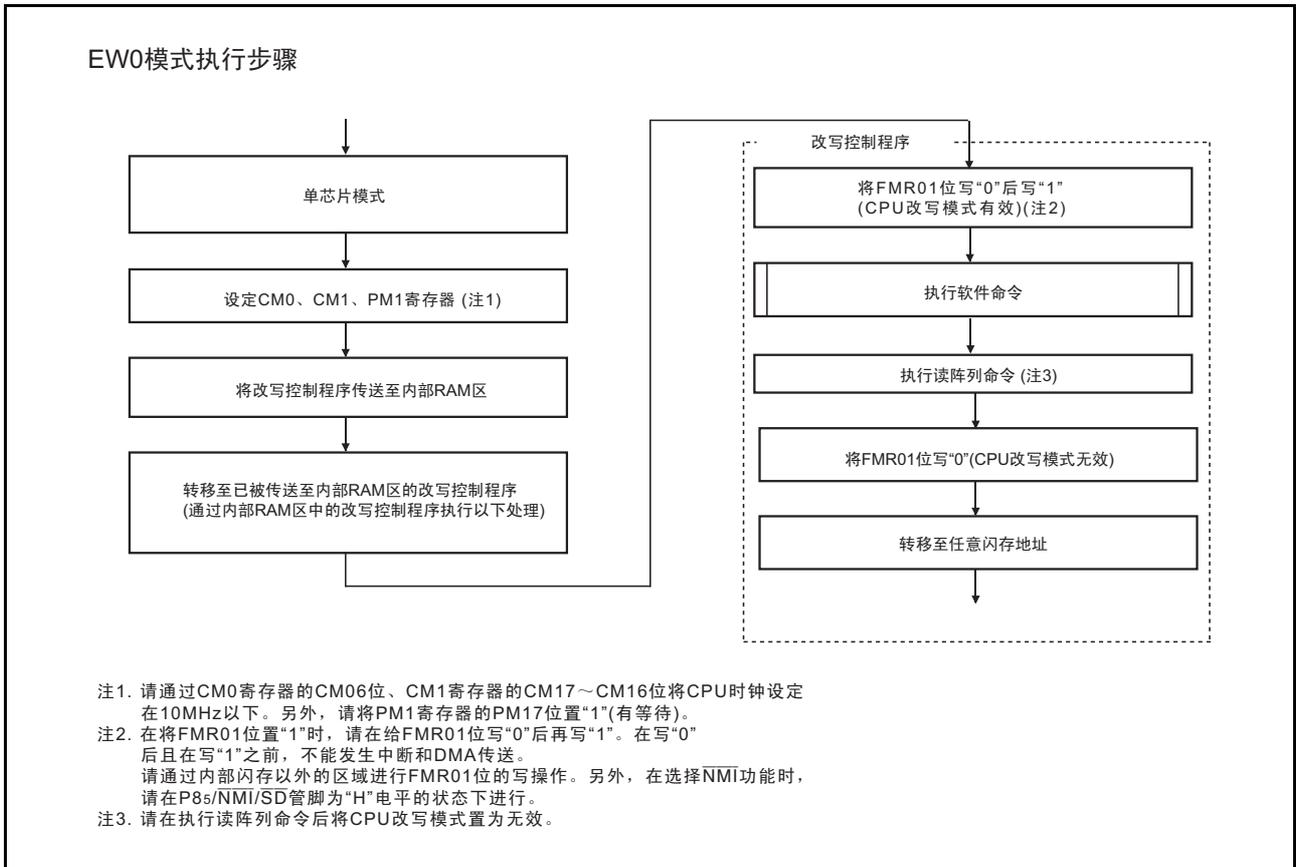


图 17.8 EW0 模式的设定和解除方法

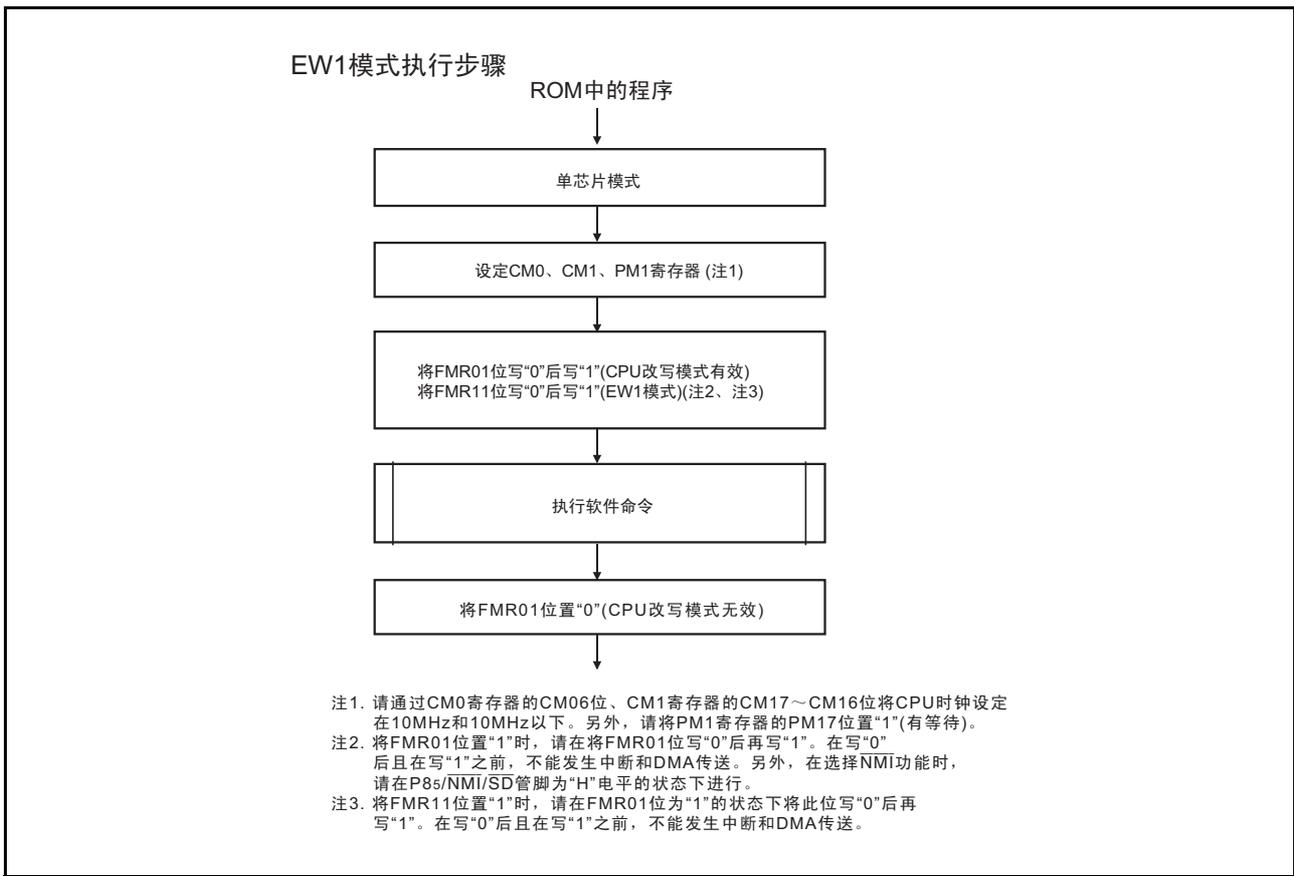


图 17.9 EW1 模式的设定和解除方法

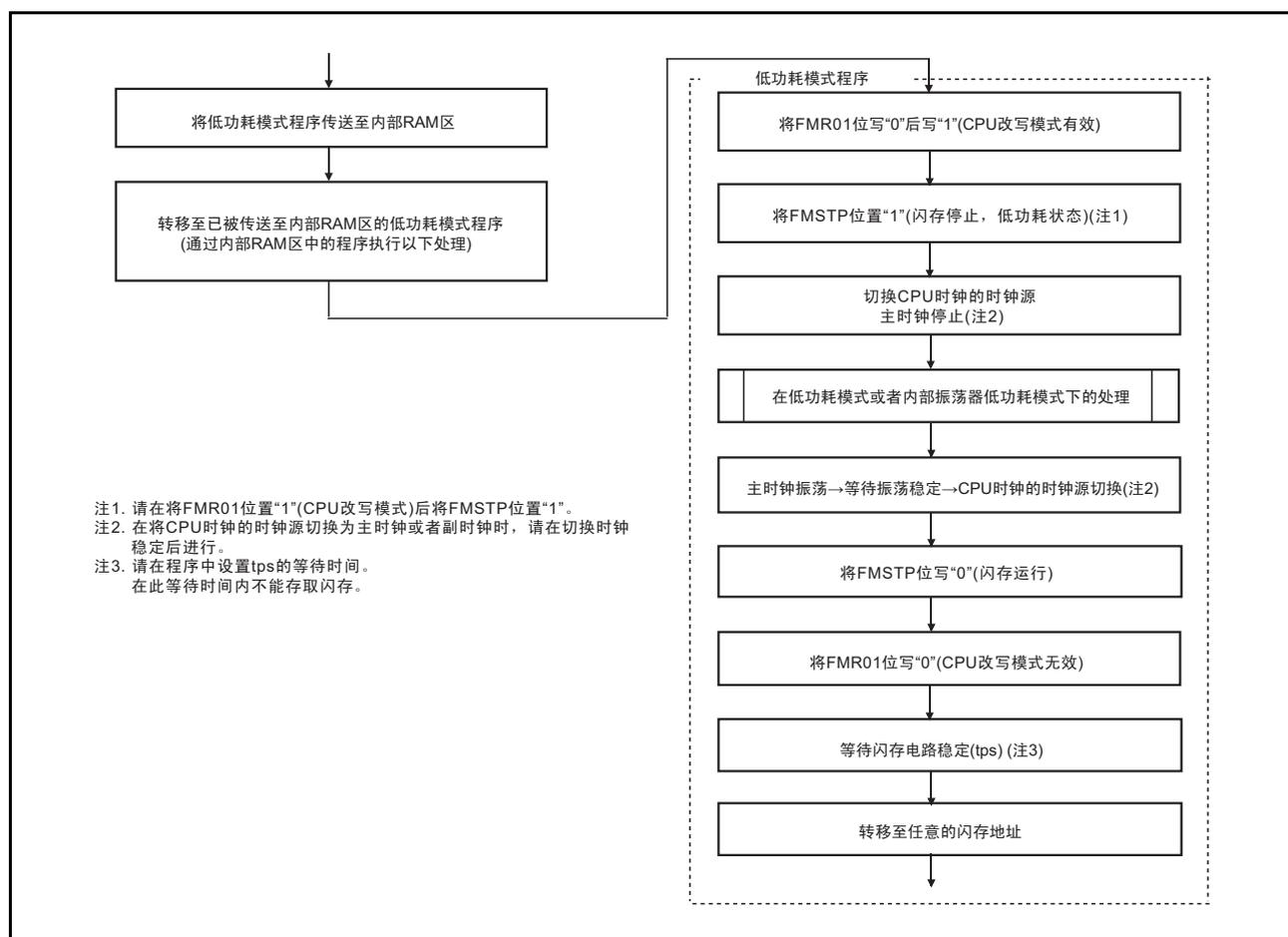


图 17.10 低功耗模式前后的处理

## 17.6 CPU 改写模式的注意事项

在 CPU 改写模式下改写闪存时的注意事项如下所示。

### 17.6.1 运行速度

CPU 时钟源为主时钟时, 在进入 CPU 改写模式 (EW0、EW1 模式) 前, 必须通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位将 CPU 时钟设定为不超过 10MHz; 另外, 通过内部振荡器将 CPU 时钟源选择为  $f_3$ (ROC) 时, 在进入 CPU 改写模式 (EW0、EW1 模式) 前, 将 ROCR 寄存器的 ROCR3 ~ ROCR2 位设定为 4 分频或者 8 分频。

不论是何种情况, 都必须将 PM1 寄存器的 PM17 位置 “1” (有等待)。

### 17.6.2 禁止使用的指令

在 EW0 模式下, 由于以下指令参考闪存内的数据, 所以不能使用:  
UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令

### 17.6.3 中断

#### 17.6.3.1 EW0 模式

- 可变向量表中有向量的中断可以将向量移到 RAM 区来使用。
- 因为在中断发生时强制初始化 FMR0 寄存器和 FMR1 寄存器，所以能使用  $\overline{\text{NMI}}$  中断和看门狗定时器中断。但是，在给固定向量表设定各中断程序的转移地址之前，需要确保有中断程序。在发生  $\overline{\text{NMI}}$  中断、看门狗定时器中断时，中止改写运行，所以在中断程序结束后需要再次将 FRM01 位置“1”，重新进行擦除或者编程的运行。
- 由于地址匹配中断参考闪存内的数据，所以不能使用。

#### 17.6.3.2 EW1 模式

- 在自动编程或者禁止擦除挂起功能的自动擦除期间，不能接受可变向量表中具有向量的中断或者地址匹配中断。

### 17.6.4 存取方法

在将 FMR01 位、FMR02 位、FMR11 和 FMR16 位置“1”时，必须在给对象位写“0”后再写“1”。在写“0”后并且在写“1”之前，不能发生中断和 DMA 传送。另外，在选择  $\overline{\text{NMI}}$  功能时，必须在 P85/ $\overline{\text{NMI}}$ /SD 引脚为“H”电平的状态下进行。

### 17.6.5 用户 ROM 区的改写

#### 17.6.5.1 EW0 模式

- 在对保存改写控制程序的块进行改写过程中，电源电压降低时，改写控制程序就不能被正常改写，此后有可能发生闪存不能改写的情况。此时，必须使用标准串行输入/输出模式或者并行输入/输出模式。

#### 17.6.5.2 EW1 模式

- 不能改写保存改写控制程序的块。

### 17.6.6 DMA 传送

在 EW1 模式并且 FMR0 寄存器的 FMR00 位为 “0”（自动编程、自动擦除期间）期间，不能进行 DMA 传送。

### 17.6.7 命令、数据的写

必须给偶数地址写命令码和数据。

### 17.6.8 等待模式

在转换至等待模式时，必须在将 FMR01 位写 “0”（CPU 改写模式无效）后执行 WAIT 指令。

### 17.6.9 停止模式

在转换至停止模式时，必须在将 FMR01 位写 “0”（CPU 改写模式无效）、禁止 DMA 传送后执行将 CM10 位置 “1”（停止模式）的指令。

### 17.6.10 低功耗模式、内部振荡器低功耗模式

在 CM05 位为 “1”（主时钟停止）时不能执行以下命令：

- 编程
- 块擦除

## 17.7 软件命令

以下说明软件命令。以 16 位为单位对用户 ROM 区内的偶数地址进行命令和数据的读写操作。写命令码时，忽视高 8 位（D<sub>15</sub> ~ D<sub>8</sub>）。

表 17.5 软件命令一览表

软件命令	第 1 总线周期			第 2 总线周期		
	模式	地址	数据 (D <sub>15</sub> ~ D <sub>0</sub> )	模式	地址	数据 (D <sub>15</sub> ~ D <sub>0</sub> )
读阵列	写	x	xxFF <sub>16</sub>			
读状态寄存器	写	x	xx70 <sub>16</sub>	读	x	SRD
清除状态寄存器	写	x	xx50 <sub>16</sub>			
编程	写	WA	xx40 <sub>16</sub>	写	WA	WD
块擦除	写	x	xx20 <sub>16</sub>	写	BA	xxD0 <sub>16</sub>

SRD: 状态寄存器数据 (D<sub>7</sub> ~ D<sub>0</sub>)

WA: 写地址 (但是必须为偶数地址)

WD: 写数据 (16 位)

BA: 块的最高位地址 (但是必须为偶数地址)

x: 用户 ROM 区内的任意偶数地址

xx: 命令码的高 8 位 (被忽视)

### 17.7.1 读阵列命令 (FF<sub>16</sub>)

这是读闪存的命令。

在第 1 总线周期写 “xxFF<sub>16</sub>” 时，进入读阵列模式。下一个总线周期以后输入读地址时，可以 16 位为单位读取指定地址的内容。

读阵列模式被保持到写其它命令为止，所以能读取多个地址的内容。

### 17.7.2 读状态寄存器命令 (70<sub>16</sub>)

这是读状态寄存器的命令。

在第 1 总线周期写 “xx70<sub>16</sub>” 时，可在第 2 总线周期读取状态寄存器 (请参考状态寄存器)。必须读取用户 ROM 区内的偶数地址。

不能在 EW1 模式执行此命令。

### 17.7.3 清除状态寄存器命令 (50<sub>16</sub>)

这是将状态寄存器清 “0” 的命令。

在第 1 总线周期写 “xx50<sub>16</sub>” 时，FMR0 寄存器的 FMR06 ~ FMR07 位和状态寄存器的 SR4 ~ SR5 位就变为 “0”。

### 17.7.4 编程命令 (40<sub>16</sub>)

这是以 1 字 (2 个字节) 为单位对闪存写数据的命令。

在第 1 总线周期写 “xx40<sub>16</sub>”，并且在第 2 总线周期给写地址写数据时，就开始自动编程 (数据的编程和验证)。第 1 总线周期的地址值必须与在第 2 总线周期指定的编程地址相同，且为偶数地址。

能通过 FMR0 寄存器的 FMR00 位确认自动编程结束。FMR00 位在自动编程期间为 “0”，在结束后变为 “1”。

在自动编程结束后，能通过 FMR0 寄存器的 FMR06 位获知自动编程的结果 (请参考全状态检查)。

另外，能禁止各块的编程 (参考表 17.4)。

不能对已编程的地址进行追加写。

如果在编程命令的后面立即执行非编程命令，必须将和在编程命令的第 2 总线周期指定的编程地址相同的地址改为在下一个命令的第 1 总线周期指定的地址值。

在 EW1 模式下，不能对已装入改写控制程序的地址执行此命令。

在 EW0 模式下，开始自动编程的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的位 7 (SR7) 在开始自动编程的同时变为 “0”，在结束自动编程的同时恢复为 “1”。此时的读状态寄存器模式被继续保持到下次读写阵列命令为止。另外，在自动编程结束后，能通过读取状态寄存器获知自动编程的结果。

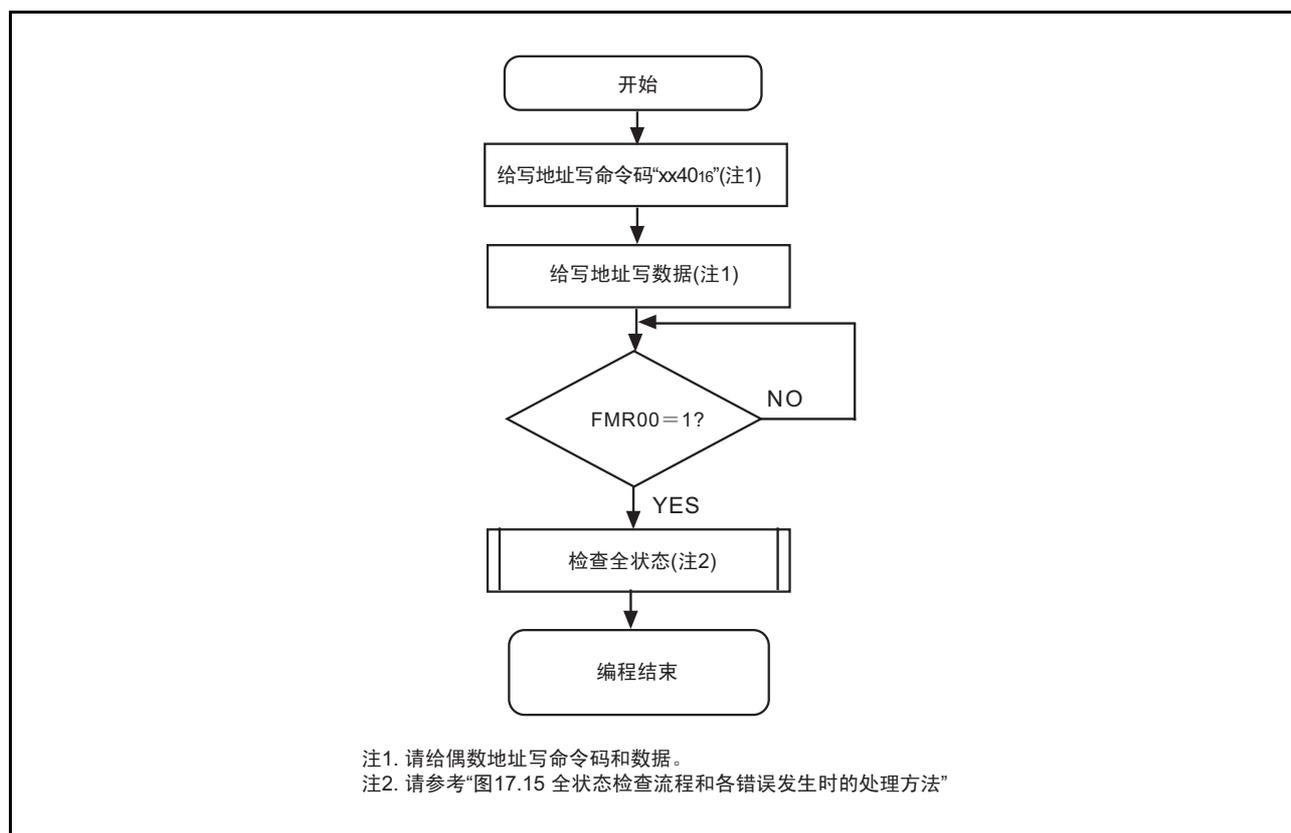


图 17.11 编程流程

### 17.7.5 块擦除

在第 1 总线周期写 “xx20<sub>16</sub>”，并且在第 2 总线周期给块的最高位地址（偶数地址）写 “xxD0<sub>16</sub>”，就开始自动擦除（擦除和擦除验证）指定的块。

通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束。

FMR00 位在自动擦除期间为 “0”（忙），在结束后变为 “1”（就绪）。

在 EW0 模式下使用擦除挂起功能时，必须通过 FMR4 寄存器的 FMR46 位确认擦除挂起的转换。FMR46 位在自动擦除运行过程中为 “0”，在自动擦除停止（转换至擦除挂起）后为 “1”。

在自动擦除结束后，能通过 FMR0 寄存器的 FMR07 位获知自动擦除的结果（参考全状态检查）。

另外，能禁止各块的擦除（参考表 17.4）。

不使用擦除挂起功能时的块擦除流程示例如图 17.13、使用擦除挂起功能时的块擦除流程示例如图 17.14 所示。

在 EW1 模式下，不能对已装入改写控制程序的块执行此命令。

在 EW0 模式下，开始自动擦除的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的位 7（SR7）在开始自动擦除的同时变为 “0”，在结束的同时恢复为 “1”。此时的读状态寄存器模式被继续保持到下次写读阵列命令为止。

另外，在发生擦除错误后，必须至少执行 3 次清除状态寄存器命令→块擦除命令，直至不发生擦除错误为止。

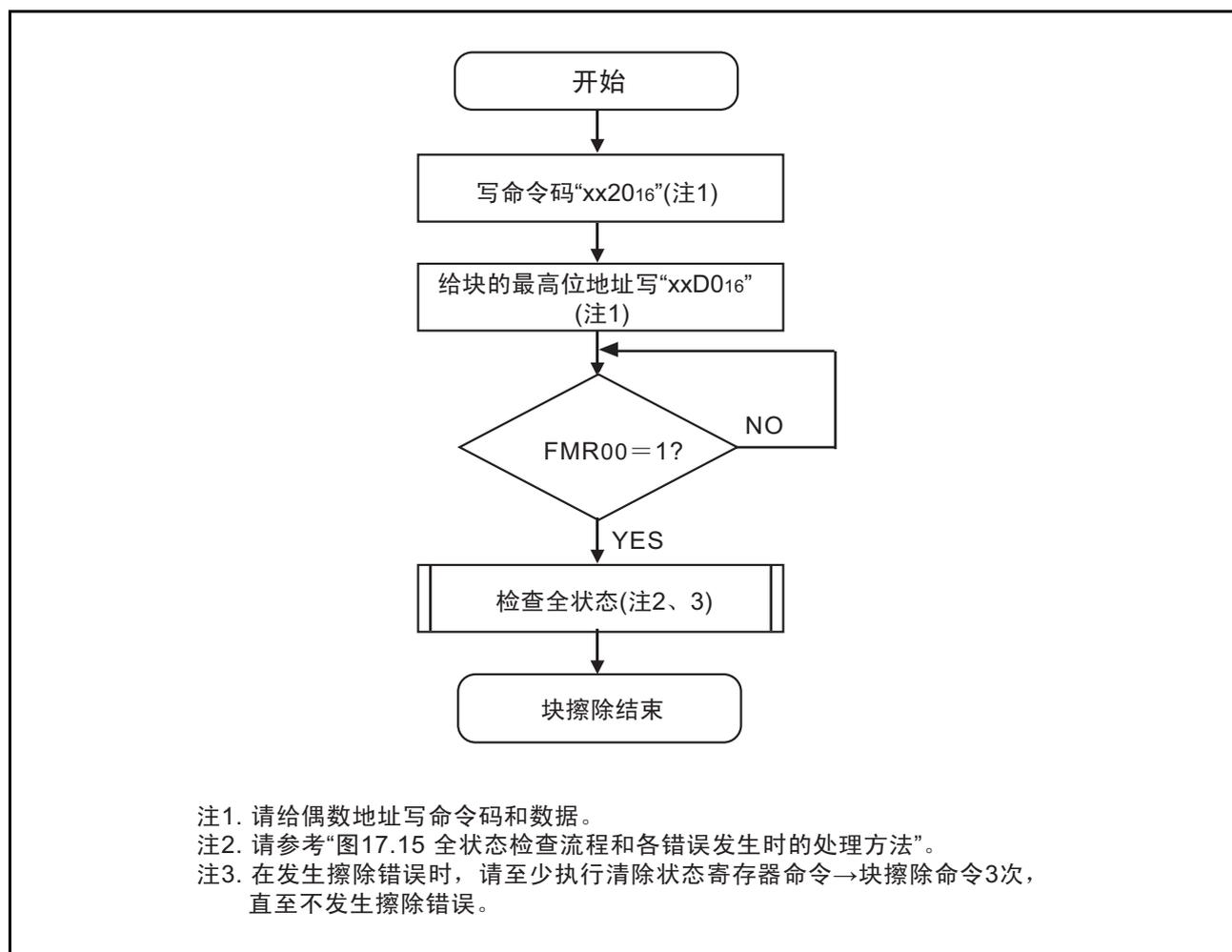


图 17.12 块擦除流程（未使用擦除挂起功能时）

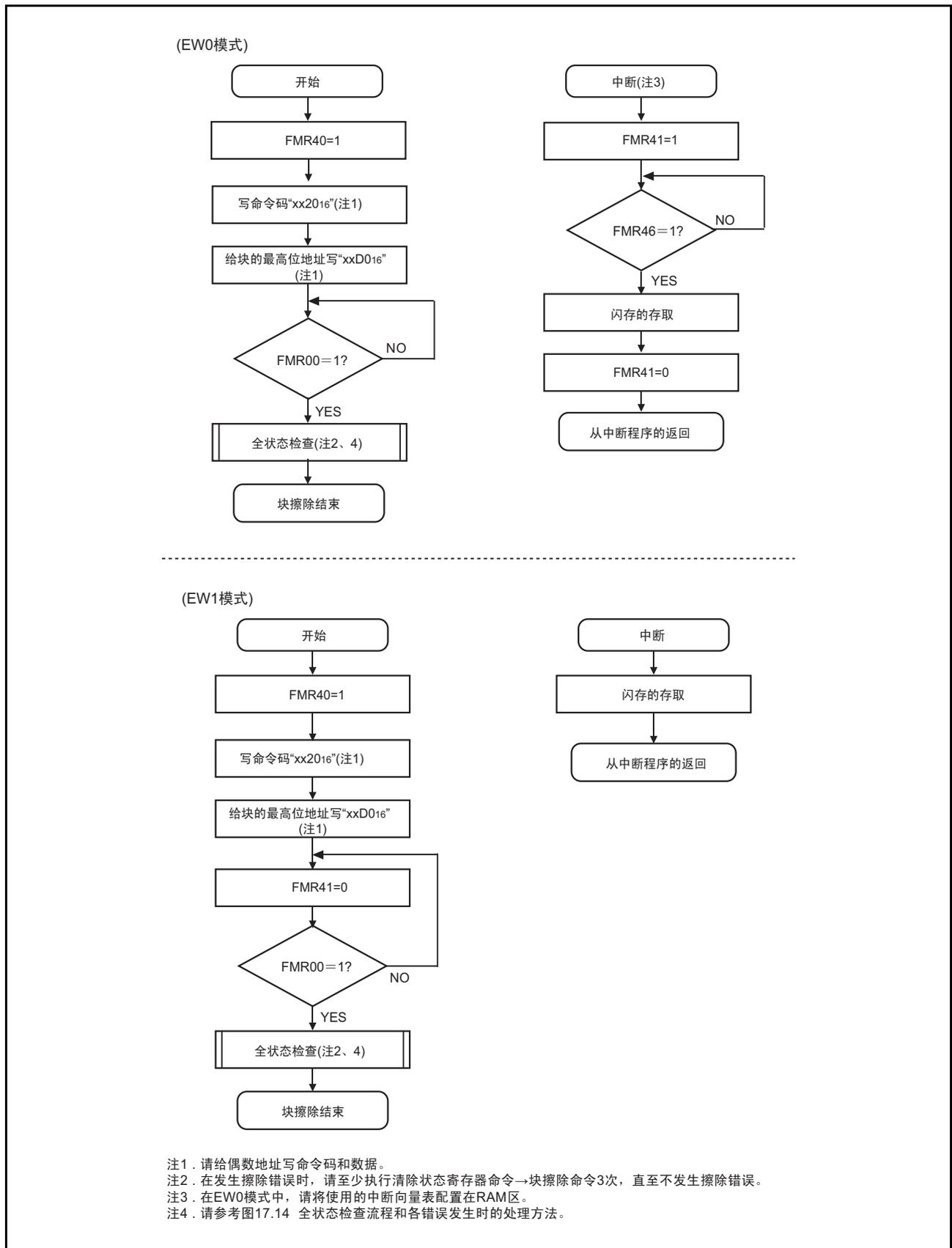


图 17.13 块擦除流程 (使用擦除挂起功能时)

## 17.8 状态寄存器

状态寄存器是表示闪存的运行状态、擦除和编程的正常 / 错误结束等状态寄存器。能通过 FMR0 寄存器的 FMR00、FMR06、FMR07 位读取状态寄存器的状态。

状态寄存器如表 17.6 所示。

另外，能在 EW0 模式下读取以下情况时的状态寄存器。

1. 在读写状态寄存器命令后读取用户 ROM 区内的任意偶数地址时
2. 在执行编程命令、块擦除命令后到执行读阵列命令之前，读取用户 ROM 区内的任意偶数地址时。

### 17.8.1 定序器状态（SR7、FMR00 位）

定序器状态表示闪存的运行状况，在自动编程或者自动擦除时为“0”（忙），在这些运行结束的同时变为“1”（就绪）；在擦除挂起模式下为“0”（忙）。

### 17.8.2 擦除状态（SR5、FMR07 位）

请参考全状态检查。

### 17.8.3 编程状态（SR4、FMR06 位）

请参考全状态检查。

表 17.6 状态寄存器

状态寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR7(D7)	FMR00	定序器状态	忙	就绪	1
SR6(D6)	—	保留位	—	—	—
SR5(D5)	FMR07	擦除状态	正常结束	错误结束	0
SR4(D4)	FMR06	编程状态	正常结束	错误结束	0
SR3(D3)	—	保留位	—	—	—
SR2(D2)	—	保留位	—	—	—
SR1(D1)	—	保留位	—	—	—
SR0(D0)	—	保留位	—	—	—

D7 ~ D0: 在执行读状态寄存器命令时，表示读取的数据总线。

执行清除状态寄存器命令时，FMR07 位（SR5）和 FMR06 位（SR4）变为“0”。

在 FMR07 位（SR5）或者 FMR06 位（SR4）为“1”时，不能接受编程、块擦除命令。

### 17.8.4 全状态检查

在发生错误时，FMR0 寄存器的 FMR06 ~ FMR07 位为“1”，表示各错误的发生。因此，能通过检查这些状态（全状态检查）确认执行结果。

错误和 FMR0 寄存器的状态如表 17.7、全状态检查流程和各错误发生时的处理方法如图 17.14 所示。

表 17.7 错误和 FMR0 寄存器的状态

FMR0 寄存器（状态寄存器） 的状态		错误	错误发生条件
FMR07 位 (SR5)	FMR06 位 (SR4)		
1	1	命令 顺序错误	<ul style="list-style-type: none"> <li>没有正确写命令时</li> <li>块擦除命令的第 2 总线周期写了无效数据（有效数据为“xxD0<sub>16</sub>”或者“xxFF<sub>16</sub>”）时（注 1）</li> <li>对保护块执行了块擦除命令时</li> <li>对保护块执行了编程命令时</li> </ul>
1	0	擦除错误	<ul style="list-style-type: none"> <li>对没保护的块执行了块擦除命令，但是没有被正确自动擦除时</li> </ul>
0	1	编程错误	<ul style="list-style-type: none"> <li>对没保护的块执行了编程命令，但是没有被正确自动编程时</li> </ul>

注 1. 在这些命令的第 2 总线周期写“xxFF<sub>16</sub>”时，变为读阵列模式，同时第 1 总线周期写的令码无效。

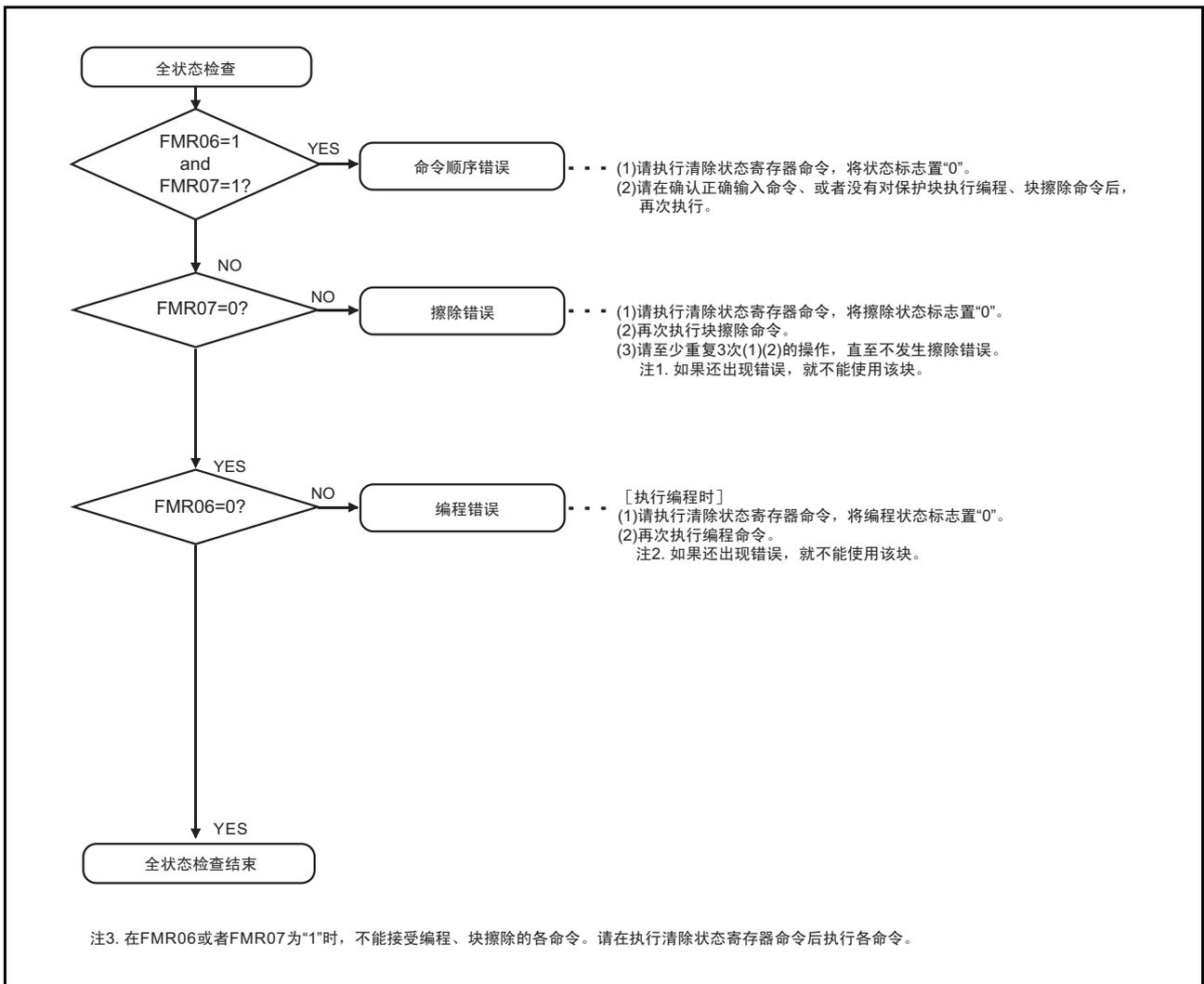


图 17.14 全状态检查流程和各错误发生时的处理方法

## 17.9 标准串行输入 / 输出模式

在标准串行输入 / 输出模式下，使用对应 M16C/26A 群的串行编程器，在将单片机安装在电路板上的状态下，能改写用户 ROM 区。关于串行编程器，请向各厂商查询。另外，关于串行编程器的操作方法，请参考串行编程器的用户手册。

引脚的功能说明（闪存标准串行输入 / 输出模式）如表 17.8、标准串行输入 / 输出模式时的引脚接线图如图 17.15 ~ 图 17.16 所示。

### 17.9.1 ID 码检查功能

判断从串行编程器送来的 ID 码和写在快速擦写存储器中的 ID 码是否一致（请参考 17.3 闪存改写禁止功能）。

表 17.8 引脚的功能说明（闪存标准串行输入 / 输出模式）

引脚名	名称	输入 / 输出	功能
V <sub>CC</sub> 、V <sub>SS</sub>	电源输入		必须给 V <sub>CC</sub> 引脚输入编程、擦除的保证电压，给 V <sub>SS</sub> 输入 0V
CNV <sub>SS</sub>	CNV <sub>SS</sub>	输入	必须连接到 V <sub>CC</sub>
RESET	复位输入	输入	是复位输入引脚。在 td(ROC) 期间，必须将 RESET 引脚置为“L”电平
X <sub>IN</sub>	时钟输入	输入	必须在 X <sub>IN</sub> 引脚和 X <sub>OUT</sub> 引脚之间连接陶瓷谐振器或者晶振。在输入外部生成的时钟时，必须从 X <sub>IN</sub> 引脚输入，并且 X <sub>OUT</sub> 引脚开路
X <sub>OUT</sub>	时钟输出	输出	
AV <sub>CC</sub> 、AV <sub>SS</sub>	模拟电源输入		AV <sub>CC</sub> 必须连接到 V <sub>CC</sub> ，AV <sub>SS</sub> 必须连接到 V <sub>SS</sub>
V <sub>REF</sub>	基准电压输入	输入	是 A/D 转换器的基准电压输入引脚
P <sub>15</sub> 、P <sub>17</sub>	输入端口 P1	输入	必须输入“H”或“L”电平，或者开路
P <sub>16</sub>	P16 输入	输入	在 RESET 引脚为“L”电平期间，必须连接 V <sub>CC</sub> （注 2）
P <sub>60</sub> ~ P <sub>63</sub>	输入端口 P6	输入	必须输入“H”或“L”电平，或者开路
P <sub>64</sub>	BUSY 输出	输出	标准串行输入 / 输出模式 1: 为 BUSY 信号的输出引脚 标准串行输入 / 输出模式 2: 为用于引导程序运行检查的监视信号输出引脚
P <sub>65</sub>	SCLK 输入	输入	标准串行输入 / 输出模式 1: 为串行时钟的输入引脚 标准串行输入 / 输出模式 2: 必须输入“L”电平
P <sub>66</sub>	RxD 输入	输入	是串行数据的输出引脚
P <sub>67</sub>	TxD 输出	输出	是串行数据的输出引脚（注 1）
P <sub>70</sub> ~ P <sub>77</sub>	输入端口 P7	输入	必须输入“H”或“L”电平，或者开路
P <sub>80</sub> ~ P <sub>84</sub> 、 P <sub>87</sub>	输入端口 P8	输入	必须输入“H”或“L”电平，或者开路
P <sub>85</sub>	RP 输入	输入	在 RESET 引脚为“L”电平期间，必须连接 V <sub>SS</sub> （注 2）
P <sub>86</sub>	CE 输入	输入	在 RESET 引脚为“L”电平期间，必须连接 V <sub>SS</sub> （注 2）
P <sub>90</sub> ~ P <sub>93</sub>	输入端口 P9	输入	必须输入“H”或“L”电平，或者开路
P <sub>100</sub> ~ P <sub>107</sub>	输入端口 P10	输入	必须输入“H”或“L”电平，或者开路

注 1. 使用标准串行输入 / 输出模式 1 时，必须在 RESET 引脚为“L”电平期间给 TxD 引脚输入“H”电平。因此，必须经过电阻连接到 V<sub>CC</sub>。在复位后，此引脚变为数据输出引脚，所以必须调整系统的上拉电阻值，使其不影响数据的传送。

注 2. 在 RESET 引脚为“L”电平期间，必须进行以下的 1 项或者 2 项的设定：

- 将 CE 引脚连接 V<sub>CC</sub>
- 将 RP 引脚连接 V<sub>SS</sub>、P16 引脚连接 V<sub>CC</sub>

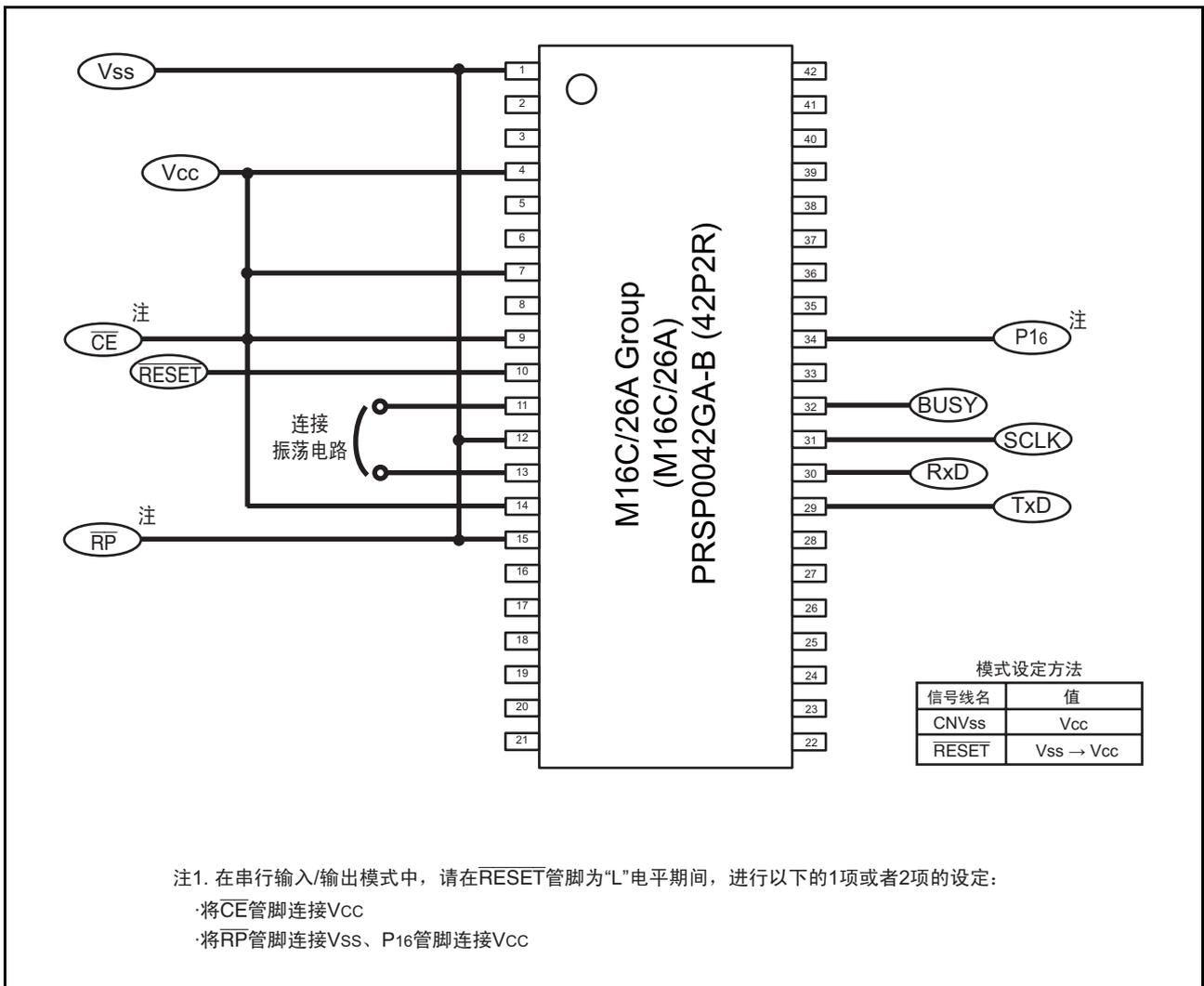


图 17.15 标准串行输入 / 输出模式时的引脚接线图 (1)

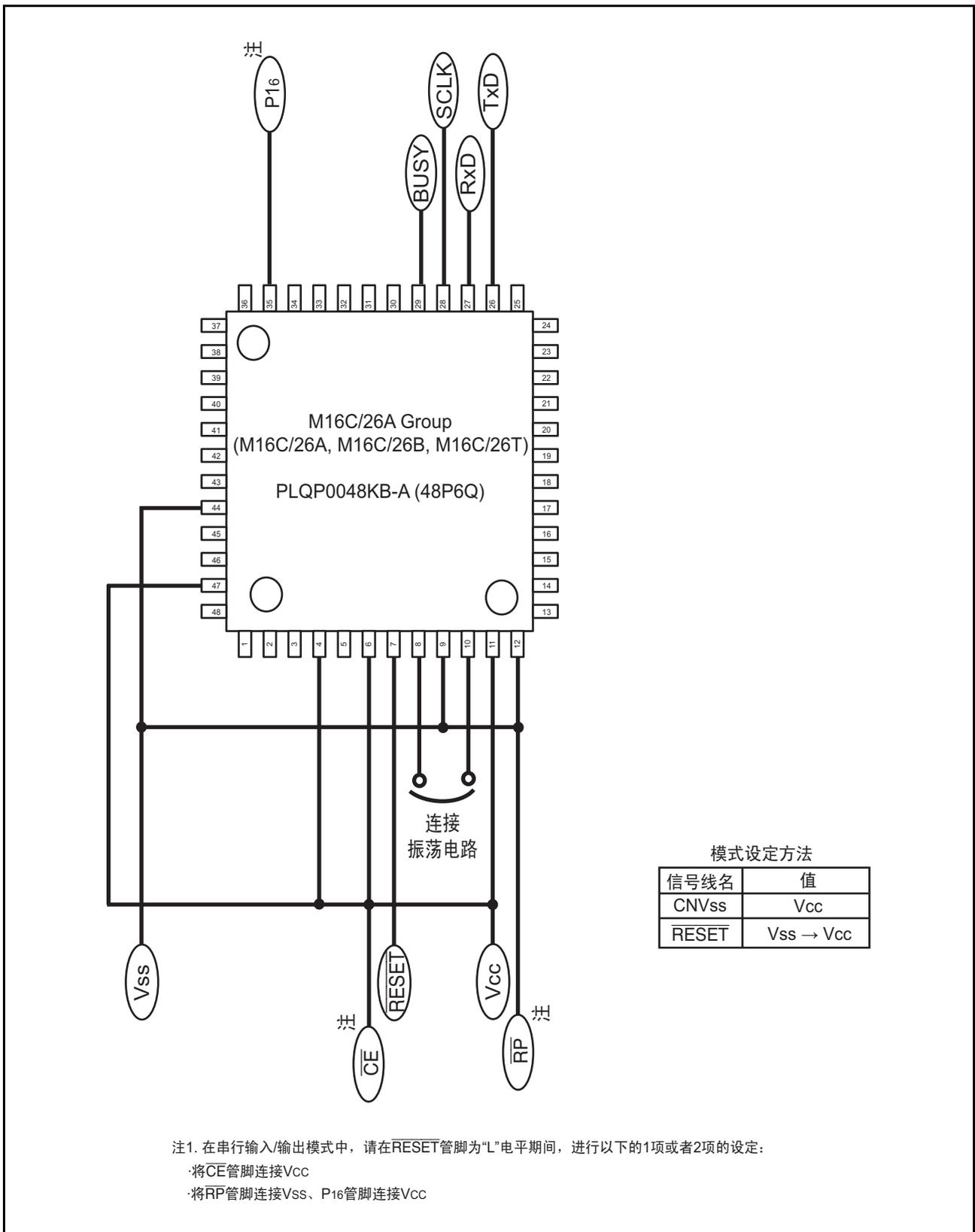


图 17.16 标准串行输入 / 输出模式时的引脚接线图 (2)

### 17.9.2 标准串行输入 / 输出模式时的引脚处理例

使用标准串行输入 / 输出模式 1 时的引脚处理例如图 17.17、使用标准串行输入 / 输出模式 2 时的引脚处理例如图 17.18 所示。控制的引脚等因编程器而不同，所以详细内容请参考编程器手册。

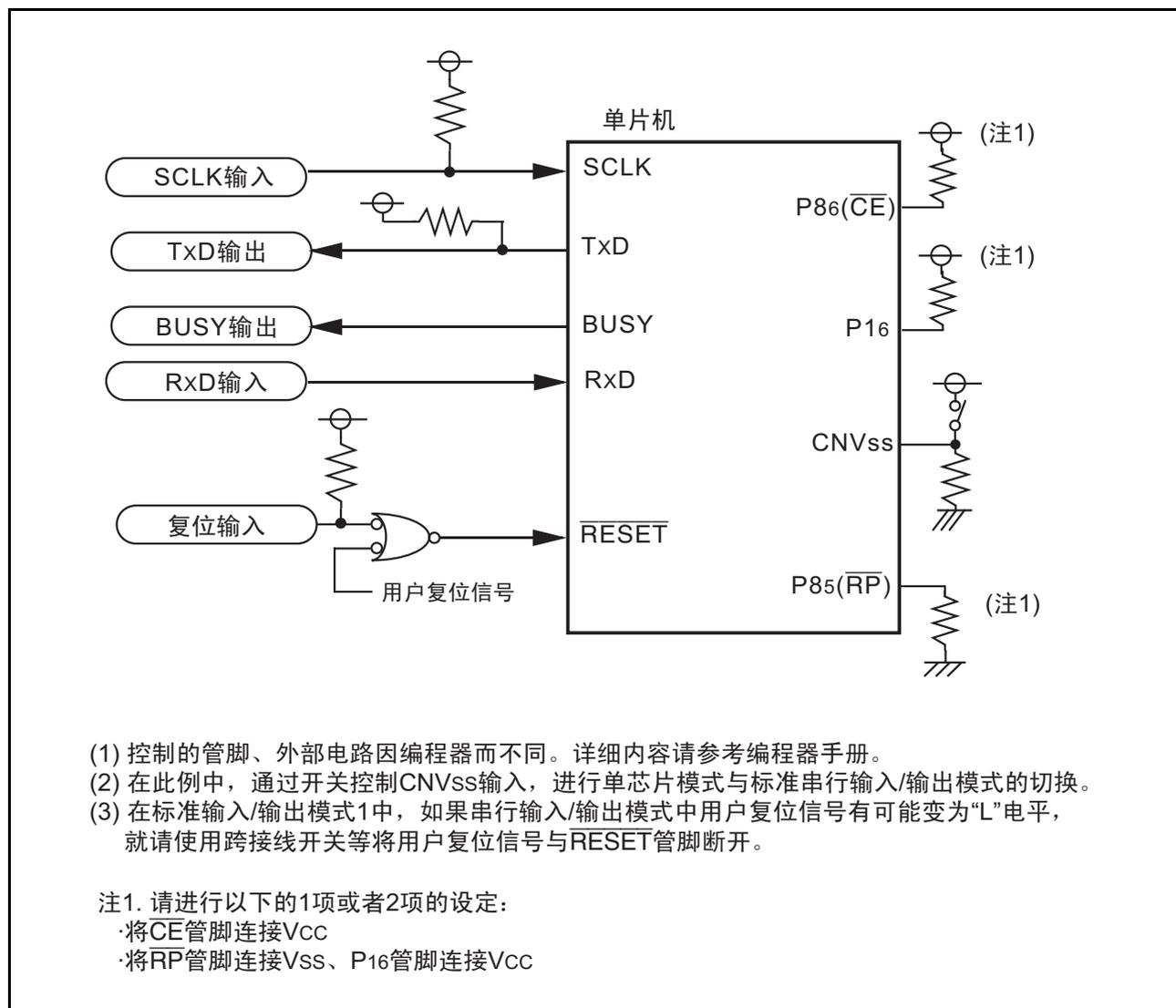


图 17.17 使用标准串行输入 / 输出模式 1 时的引脚处理例

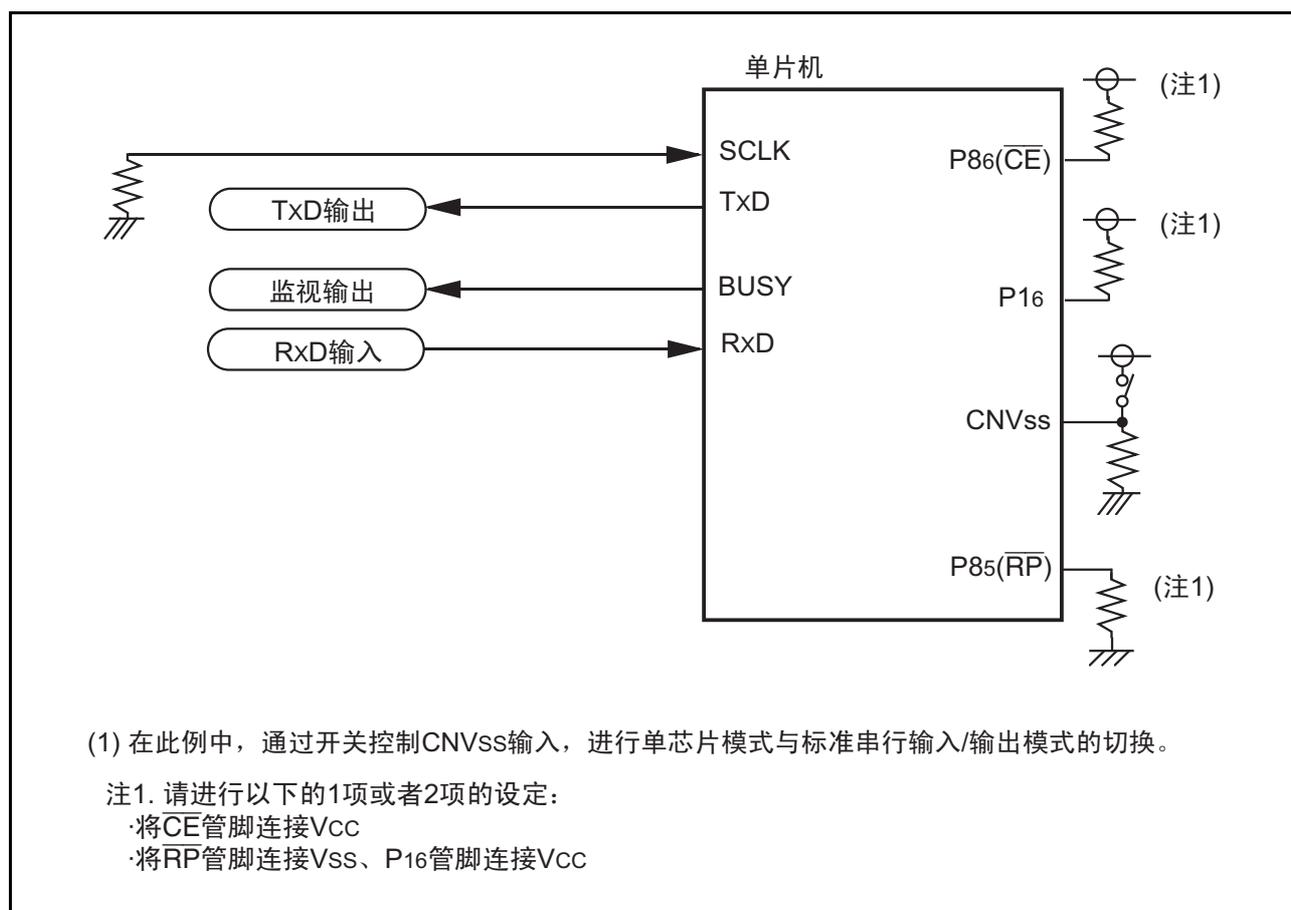


图 17.18 使用标准串行输入 / 输出模式 2 时的引脚处理例

## 17.10 并行输入 / 输出模式

在并行输入 / 输出模式，使用对应 M16C/26A 群的并行编程器，能改写用户 ROM 区。关于并行编程器，请向各厂商查询。另外，关于并行编程器的操作方法，请参考并行编程器的用户手册。

### 17.10.1 ROM 代码保护功能

是禁止读或者改写闪存的功能（请参考 17.3 闪存改写禁止功能）。

## 18. 电气特性

关于 V-ver. 的电气特性请向瑞萨科技、瑞萨销售或特约经销店咨询。

### 18.1 M16C/26A、M16C/26B (Normal-ver.)

表 18.1 绝对最大额定值

符号	项目		条件	额定值	单位
V <sub>CC</sub>	电源电压		V <sub>CC</sub> =AV <sub>CC</sub>	-0.3 ~ 6.5	V
AV <sub>CC</sub>	模拟电源电压		V <sub>CC</sub> =AV <sub>CC</sub>	-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、V <sub>REF</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>O</sub>	输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>OUT</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
P <sub>d</sub>	功耗		-40°C ≤ T <sub>opr</sub> ≤ 85°C	300	mW
T <sub>opr</sub>	工作环境温度	单片机运行时		-20 ~ 85/ -40 ~ 85 (1)	°C
		闪存编程 / 擦除时	程序区 (块 0 ~ 3)	0 ~ 60	°C
			数据区 (块 A 和块 B)	0 ~ 60/ -20 ~ 85/ -40 ~ 85 (1)	°C
T <sub>stg</sub>	保存温度			-65 ~ 150	°C

注 1. 请参考表 1.7 和表 1.8 的产品代码表

表 18.2 推荐运行条件（注 1）

符号	项目		额定值			单位
			最小	典型	最大	
V <sub>CC</sub>	电源电压		2.7		5.5	V
AV <sub>CC</sub>	模拟电源电压			V <sub>CC</sub>		V
V <sub>SS</sub>	电源电压			0		V
AV <sub>SS</sub>	模拟电源电压			0		V
V <sub>IH</sub>	“H”电平 输入电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	0.7V <sub>CC</sub>		V <sub>CC</sub>	V
		X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	“L”电平 输入电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	0		0.3V <sub>CC</sub>	V
		X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	0		0.2V <sub>CC</sub>	V
I <sub>OH(peak)</sub>	“H”电平峰值输出电 流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			-10.0	mA
I <sub>OH(avg)</sub>	“H”电平平均输出电 流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			-5.0	mA
I <sub>OL(peak)</sub>	“L”电平峰值输出电 流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			10.0	mA
I <sub>OL(avg)</sub>	“L”电平平均输出电 流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			5.0	mA
f(X <sub>IN</sub> )	主时钟输入振荡频率（注 4）		V <sub>CC</sub> =3.0 ~ 5.5V	0	20	MHz
			V <sub>CC</sub> =2.7 ~ 3.0V	0	33 × V <sub>CC</sub> -80	MHz
f(X <sub>CIN</sub> )	副时钟振荡频率			32.768	50	kHz
f <sub>1(ROC)</sub>	内部振荡器的振荡频率 1		0.5	1	2	MHz
f <sub>2(ROC)</sub>	内部振荡器的振荡频率 2		1	2	4	MHz
f <sub>3(ROC)</sub>	内部振荡器的振荡频率 3		8	16	26	MHz
f(PLL)	PLL 时钟振荡频率（注 4）		V <sub>CC</sub> =4.2 ~ 5.5V（M16C/26B）	10	24	MHz
			V <sub>CC</sub> =3.0 ~ 4.2V（M16C/26B）	10	3.33 × V <sub>CC</sub> +10	MHz
			V <sub>CC</sub> =3.0 ~ 5.5V（M16C/26A）	10	20	MHz
			V <sub>CC</sub> =2.7 ~ 3.0V	10	33 × V <sub>CC</sub> -80	MHz
f(BCLK)	CPU 运行频率		M16C/26A	0	20	MHz
			M16C/26B	0	24	MHz
tsu(PLL)	PLL 频率合成器稳定等待时间		V <sub>CC</sub> =5.0V		20	ms
			V <sub>CC</sub> =3.0V		50	ms

注 1. 无指定时，V<sub>CC</sub>=2.7V ~ 5.5V、T<sub>opr</sub>=-20 ~ 85°C/-40 ~ 85°C。

注 2. 平均输出电流为 100ms 期间的平均值。

注 3. 全部端口的 I<sub>OL(peak)</sub> 总计必须小于等于 80mA；全部端口的 I<sub>OH(peak)</sub> 总计必须小于等于 -80mA。

注 4. 主时钟输入频率、PLL 时钟频率和电源电压的关系如下图所示：

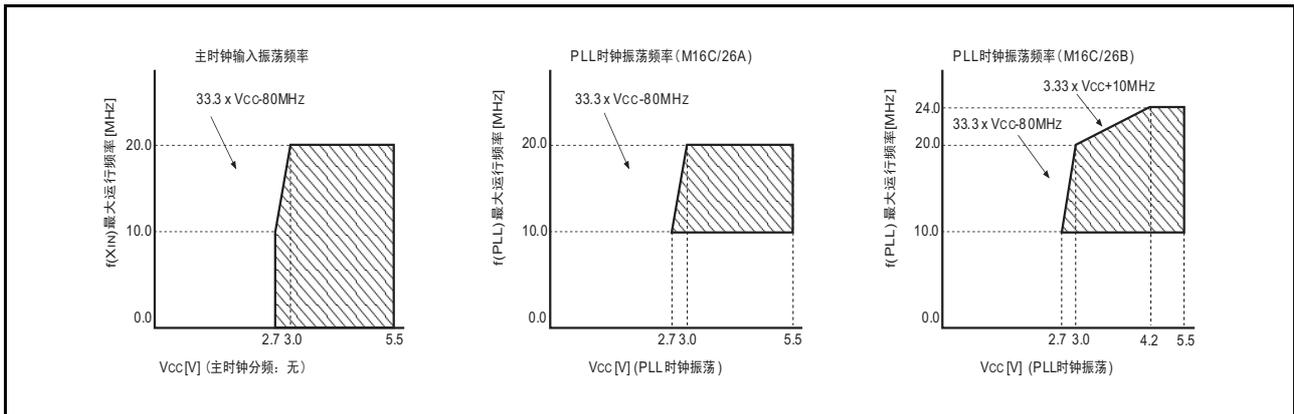


表 18.3 A/D 转换特性 (注 1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
-	分辨率		$V_{REF}=V_{CC}$			10	Bits
INL	积分非线性误差	10bit	$V_{REF}=V_{CC}=5V$			$\pm 3$	LSB
			$V_{REF}=V_{CC}=3.3V$			$\pm 5$	LSB
		8bit	$V_{REF}=V_{CC}=3.3V、5V$			$\pm 2$	LSB
-	绝对精度	10bit	$V_{REF}=V_{CC}=5V$			$\pm 3$	LSB
			$V_{REF}=V_{CC}=3.3V$			$\pm 5$	LSB
		8bit	$V_{REF}=V_{CC}=3.3V、5V$			$\pm 2$	LSB
DNL	微分非线性误差					$\pm 1$	LSB
-	偏移误差					$\pm 3$	LSB
-	增益误差					$\pm 3$	LSB
RLADDER	梯形电阻		$V_{REF}=V_{CC}$	10		40	$k\Omega$
tCONV	转换时间 (10bit)、有采样 & 保持功能		$V_{REF}=V_{CC}=5V、\phi_{AD}=10\text{MHz}$	3.3			$\mu\text{s}$
tCONV	转换时间 (8bit)、有采样 & 保持功能		$V_{REF}=V_{CC}=5V、\phi_{AD}=10\text{MHz}$	2.8			$\mu\text{s}$
VREF	基准电压			2.0		$V_{CC}$	V
VIA	模拟输入电压			0		$V_{REF}$	V

注 1. 无指定时,  $V_{CC}=AV_{CC}=V_{REF}=3.3 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20 \sim 85^\circ\text{C}/-40 \sim 85^\circ\text{C}$ 。

注 2. AD 运行时钟频率 ( $\phi_{AD}$  的频率) 必须设定小于等于 10MHz (M16C/26B 小于等于 12MHz)。另外, 在  $V_{CC}$  小于 4.2V 时, 必须将  $\phi_{AD}$  分频并且将  $\phi_{AD}$  的频率设定小于等于  $f_{AD}/2$ 。

注 3. 没有采样 & 保持功能时, 加上注 2 的限制,  $\phi_{AD}$  的频率必须大于等于 250kHz。  
有采样 & 保持功能时, 加上注 2 的限制,  $\phi_{AD}$  的频率必须大于等于 1MHz。

注 4. 有采样 & 保持功能时, 采样时间为频率  $3/\phi_{AD}$ 。  
没有采样 & 保持功能时, 采样时间为频率  $2/\phi_{AD}$ 。

表 18.4 闪存的电气特性（注 1）产品代码：U3 和 U5 的程序区和数据区、U7 和 U9 的程序区

符号	项目	额定值			单位
		最小	典型（注 2）	最大	
-	编程、擦除次数（注 3）	100/1000（注 4、11）			次
-	字编程时间（ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ）		75	600	$\mu s$
-	块擦除时间 （ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ）	2K 字节块	0.2	9	s
		8K 字节块	0.4	9	s
		16K 字节块	0.7	9	s
		32K 字节块	1.2	9	s
td(SR-ES)	擦除运行→擦除挂起的转换时间			8	ms
tps	闪存电路的稳定等待时间			15	$\mu s$
-	数据保持时间（注 5）	20			年

表 18.5 闪存的电气特性（注 6）产品代码：U7 和 U9 的数据区（注 7）

符号	项目	额定值			单位
		最小	标准（注 2）	最大	
-	编程、擦除次数（注 3、8、9）	10000（注 4、10）			次
-	字编程时间（ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ）		100		$\mu s$
-	块擦除时间（ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ） （2K 字节块）		0.3		s
td(SR-ES)	擦除运行→擦除挂起的转换时间			8	ms
tps	闪存电路的稳定等待时间			15	$\mu s$
-	数据保持时间（注 5）	20			年

注 1. 无指定时， $V_{CC}=2.7 \sim 5.5V$ 、 $T_{opr}=0 \sim 60^{\circ}C$ （程序区）、 $-40 \sim 85^{\circ}C$ （数据区）。

注 2.  $V_{CC}=5V$ 、 $T_{opr}=25^{\circ}C$  时。

注 3. 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为 n 次（ $n=100$ 、 $1,000$ 、 $10,000$ ）时，能按块分别擦除 n 次。

例如，对 2K 字节的块 A 的不同地址进行 1024 次的 1 个字的写操作后擦除此块，编程/擦除次数就被计为 1 次。但是，对于 1 次的擦除，不能对同一地址进行多次写操作（禁止重写）。

注 4. 保证编程 / 擦除后的所有电气特性的最小次数（保证值为 1 ~ “最小”值的范围）。

注 5. 条件是  $T_{opr}=55^{\circ}C$ 。

注 6. 无指定时， $V_{CC}=2.7 \sim 5.5V$ 、 $T_{opr}=-40 \sim 85^{\circ}C(U7)/-20 \sim 85^{\circ}C(U9)$ 。

注 7. 是编程、擦除次数超过 1,000 次时的规格。

对于 1,000 次为止的字编程时间和块擦除时间与程序区相同（参考表 18.4）。

注 8. 对于进行多次改写的系统，作为有效地减少改写次数的方法，采取错开写地址等手段，在进行尽可能不留有空区的编程（写）后，执行 1 次擦除。例如，进行 1 组 8 字的编程时，如果在进行最大 128 组的写操作后执行 1 次擦除，就能有效地减少改写次数。并且，如果均等地对块 A 和块 B 进行擦除，就能更有效地减少改写次数。建议记录各块擦除次数的信息以及设置限制次数。

注 9. 块擦除发生擦除错误时，至少执行 3 次的清除状态寄存器命令→块擦除命令，直至不发生擦除错误为止。

注 10. 在进行 100 次以上的改写时，块 A 和块 B 的读取需要 1 个等待。如果将 FMR1 寄存器的 FMR17 位设定为“1”（有等待），就与 PM17 位无关，在存取块 A 和块 B 时插入 1 个等待。在存取其他块和内部 RAM 时，与 FMR17 位无关，而为 PM17 位的设定。

注 11. U3 和 U5 的程序区和数据区为 100 次，U7 和 U9 的程序区为 1,000 次。

注 12. 有关故障率，请向瑞萨科技，瑞萨销售公司及特约销售店查询。

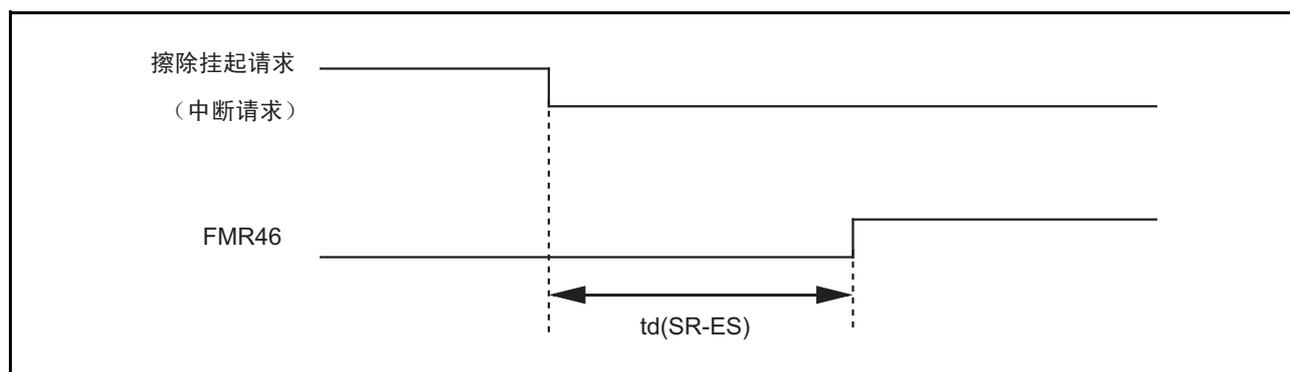


表 18.6 电压检测电路的电气特性 (注 1) (注 3)

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
Vdet4	低电压检测电压 (注 1)	$V_{CC}=0.8 \sim 5.5V$	3.2	3.8	4.45	V
Vdet3	复位区检测电压 (注 1)		2.3	2.8	3.4	V
Vdet3s	低电压复位保持电压 (注 2)				1.7	V
Vdet3r	低电压复位解除电压		2.35	2.9	3.5	V

注 1.  $V_{det4} > V_{det3}$

注 2.  $V_{det3s}$  为保持“硬件复位 2”的最低电压。

注 3. 电压检测电路的使用前提条件为:  $V_{CC}=5V$

注 4. 复位区检测电压小于 2.7V 时, 如果电源电压不低于复位区检测电压, 就可保证  $f_{(BCLK)} \leq 10\text{MHz}$  的运行。但是, A/D 转换精度、串行 I/O、闪存的编程和擦除除外。

表 18.7 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
$t_d(\text{P-R})$	接通电源时的内部电源稳定时间	$V_{CC}=2.7 \sim 5.5V$			2	ms
$t_d(\text{ROC})$	接通电源时的内部振荡器的振荡稳定时间				40	$\mu\text{s}$
$t_d(\text{R-S})$	STOP 解除时间				150	$\mu\text{s}$
$t_d(\text{W-S})$	低功耗模式 / 等待模式的解除时间				150	$\mu\text{s}$
$t_d(\text{S-R})$	硬件复位 2 的解除等待时间	$V_{CC}=V_{det3r} \sim 5.5V$		6 (注 1)	20	ms
$t_d(\text{E-A})$	电压检测电路的运行开始时间	$V_{CC}=2.7 \sim 5.5V$			20	$\mu\text{s}$

注 1.  $V_{CC}=5V$  时的典型值。

<p><math>t_d(P-R)</math> 接通电源时的内部电源稳定时间</p> <p><math>t_d(ROC)</math> 接通电源时内部振荡器的振荡稳定时间</p>	
<p><math>t_d(R-S)</math> STOP解除时间</p> <p><math>t_d(W-S)</math> 低功耗模式、等待模式的解除时间</p>	<p>(a) 解除停止模式的中断</p> <p>(b) 解除等待模式的中断</p>
<p><math>t_d(S-R)</math> 低电压检测复位(硬件复位2)的解除等待时间</p>	
<p><math>t_d(E-A)</math> 电压检测电路的运行时间</p>	<p>VC26, VC27</p> <p>电压检测电路</p>

V<sub>CC</sub>=5V

表 18.8 电气特性 (注 1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
V <sub>OH</sub>	“H”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OH</sub> = -5mA	V <sub>CC</sub> -2.0		V <sub>CC</sub>	V
V <sub>OH</sub>	“H”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OH</sub> = -200μA	V <sub>CC</sub> -0.3		V <sub>CC</sub>	V
V <sub>OH</sub>	“H”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OH</sub> = -1mA	V <sub>CC</sub> -2.0	V <sub>CC</sub>	V
			Low Power	I <sub>OH</sub> = -0.5mA	V <sub>CC</sub> -2.0	V <sub>CC</sub>	
	“H”电平输出电压	X <sub>COUT</sub>	High Power	无负载时		2.5	V
			Low Power	无负载时		1.6	
V <sub>OL</sub>	“L”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OL</sub> = 5mA			2.0	V
V <sub>OL</sub>	“L”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OL</sub> = 200μA			0.45	V
V <sub>OL</sub>	“L”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OL</sub> =1mA		2.0	V
			Low Power	I <sub>OL</sub> = 0.5mA		2.0	
	“L”电平输出电压	X <sub>COUT</sub>	High Power	无负载时		0	V
			Low Power	无负载时		0	
V <sub>T+</sub> -V <sub>T-</sub>	滞后	TA0 <sub>IN</sub> -TA4 <sub>IN</sub> 、TB0 <sub>IN</sub> -TB2 <sub>IN</sub> 、 $\overline{\text{INT0}}$ - $\overline{\text{INT5}}$ 、 NMI、AD <sub>TRG</sub> 、CTS <sub>0</sub> -CTS <sub>2</sub> 、 CLK <sub>0</sub> -CLK <sub>2</sub> 、TA2 <sub>OUT</sub> -TA4 <sub>OUT</sub> 、 $\overline{\text{KI0}}$ - $\overline{\text{KI3}}$ 、 RXD <sub>0</sub> -RXD <sub>2</sub>		0.2		1.0	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	$\overline{\text{RESET}}$		0.2		2.5	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	X <sub>IN</sub>		0.2		0.8	V
I <sub>IH</sub>	“H”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	V <sub>I</sub> =5V			5.0	μA
I <sub>IL</sub>	“L”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	V <sub>I</sub> =0V			-5.0	μA
R <sub>PULLUP</sub>	上拉电阻	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	V <sub>I</sub> =0V	30	50	170	kΩ
R <sub>fXIN</sub>	反馈电阻	X <sub>IN</sub>			1.5		MΩ
R <sub>fXCIN</sub>	反馈电阻	X <sub>CIN</sub>			15		MΩ
V <sub>RAM</sub>	RAM 保持电压		停止模式时	2.0			V

注 1. 无指定时, V<sub>CC</sub>=4.2 ~ 5.5V、V<sub>SS</sub>=0V、Topr=-20 ~ 85°C/-40 ~ 85°C、f<sub>(BCLK)</sub>=20MHz。

V<sub>CC</sub>=5V

表 18.9 电气特性 (2) (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I <sub>CC</sub>	电源电流 (V <sub>CC</sub> =4.0 ~ 5.5V)	输出引脚为开路、 其它引脚为 V <sub>SS</sub>	掩模型 ROM	f(BCLK)=20MHz、 主时钟、无分频		12	17	mA
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz		1		mA
			闪存	在 f(BCLK)=24MHz 且 PLL 运 行时, 无分频 (M16C/26B)		20	23	mA
				f(BCLK)=20MHz、 主时钟、无分频		16	19	mA
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz		1		mA
			闪存编程	f(BCLK)=10MHz、V <sub>CC</sub> =5.0V		11		mA
			闪存擦除	f(BCLK)=10MHz、V <sub>CC</sub> =5.0V		12		mA
			掩模型 ROM	在 f(BCLK)=32kHz 且为低功耗 模式时, 在 ROM 上 (注 3)		25		μA
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz、 等待模式时		30		μA
			闪存	在 f(BCLK)=32kHz 且为低功耗 模式时, 在 RAM 上 (注 3)		25		μA
				在 f(BCLK)=32kHz 且为低功耗 模式时, 在闪存上 (注 3)		450		μA
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz、 等待模式时		50		μA
			掩模型 ROM、 闪存	在 f(BCLK)=32kHz 且为等待模 式时 (注 2), 振荡能力为 High		10		μA
				在 f(BCLK)=32kHz 且为等待模 式时 (注 2), 振荡能力为 Low		3		μA
停止模式、Topr=25°C		0.8		3	μA			
I <sub>det4</sub>	低电压检测消耗电流 (注 4)				0.7	4	μA	
I <sub>det3</sub>	复位区检测消耗电流 (注 4)				1.2	8	μA	

注 1. 无指定时, V<sub>CC</sub>=4.2 ~ 5.5V、V<sub>SS</sub>=0V、Topr=-20 ~ 85°C/-40 ~ 85°C、f(BCLK)=20MHz。

注 2. 通过 fc32 使 1 个定时器运行的状态。

注 3. 表示存放执行程序的存储器。

注 4. I<sub>det</sub> 为将以下位置 “1” 时 (检测电路有效) 的消耗电流

I<sub>det4</sub>: VCR2 寄存器的 VC27 位

I<sub>det3</sub>: VCR2 寄存器的 VC26 位

$V_{CC}=5V$ 

时序必要条件

(无指定时,  $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20 \sim 85^{\circ}C/-40 \sim 85^{\circ}C$ )表 18.10 外部时钟输入 (X<sub>IN</sub> 输入)

符号	项目	额定值		单位
		最小	最大	
tc	外部时钟输入周期时间	50		ns
tw(H)	外部时钟输入“H”电平脉宽	20		ns
tw(L)	外部时钟输入“L”电平脉宽	20		ns
tr	外部时钟上升时间		9	ns
tf	外部时钟下降时间		9	ns

$V_{CC}=5V$ 

时序必要条件

(无指定时,  $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20 \sim 85^{\circ}C/-40 \sim 85^{\circ}C$ )

表 18.11 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	100		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	40		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	40		ns

表 18.12 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	400		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	200		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	200		ns

表 18.13 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	200		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	100		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	100		ns

表 18.14 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	100		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	100		ns

表 18.15 定时器 A 输入（事件计数器模式的递增 / 递减输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(UP)}$	TAiOUT 输入周期时间	2000		ns
$t_{w(UPH)}$	TAiOUT 输入“H”电平脉宽	1000		ns
$t_{w(UPL)}$	TAiOUT 输入“L”电平脉宽	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 输入准备时间	400		ns
$t_h(TIN-UP)$	TAiOUT 输入保持时间	400		ns

表 18.16 定时器 A 输入（事件计数器模式的二相脉冲输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	800		ns
$t_{su(TAIN-TAOUT)}$	TAiOUT 输入准备时间	200		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 输入准备时间	200		ns

V<sub>CC</sub>=5V

## 时序必要条件

(无指定时, V<sub>CC</sub>=5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20 ~ 85°C/-40 ~ 85°C)

表 18.17 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
t <sub>c</sub> (TB)	TBiIN 输入周期时间 (单边沿计数)	100		ns
t <sub>w</sub> (TBH)	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	40		ns
t <sub>w</sub> (TBL)	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	40		ns
t <sub>c</sub> (TB)	TBiIN 输入周期时间 (双边沿计数)	200		ns
t <sub>w</sub> (TBH)	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	80		ns
t <sub>w</sub> (TBL)	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	80		ns

表 18.18 定时器 B 输入 (脉冲周期测量模式)

符号	项目	额定值		单位
		最小	最大	
t <sub>c</sub> (TB)	TBiIN 输入周期时间	400		ns
t <sub>w</sub> (TBH)	TBiIN 输入 “H” 电平脉宽	200		ns
t <sub>w</sub> (TBL)	TBiIN 输入 “L” 电平脉宽	200		ns

表 18.19 定时器 B 输入 (脉宽测量模式)

符号	项目	额定值		单位
		最小	最大	
t <sub>c</sub> (TB)	TBiIN 输入周期时间	400		ns
t <sub>w</sub> (TBH)	TBiIN 输入 “H” 电平脉宽	200		ns
t <sub>w</sub> (TBL)	TBiIN 输入 “L” 电平脉宽	200		ns

表 18.20 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
t <sub>c</sub> (AD)	ADTRG 输入周期时间 (触发可能最小)	1000		ns
t <sub>w</sub> (ADL)	ADTRG 输入 “L” 电平脉宽	125		ns

表 18.21 串行 I/O

符号	项目	额定值		单位
		最小	最大	
$t_c(\text{CK})$	CLKi 输入周期时间	200		ns
$t_w(\text{CKH})$	CLKi 输入 “H” 电平脉宽	100		ns
$t_w(\text{CKL})$	CLKi 输入 “L” 电平脉宽	100		ns
$t_d(\text{C-Q})$	TxDi 输出延迟时间		80	ns
$t_h(\text{C-Q})$	TxDi 保持时间	0		ns
$t_{su}(\text{D-C})$	RxDi 输入准备时间	70		ns
$t_h(\text{C-D})$	RxDi 输入保持时间	90		ns

表 18.22 外部中断  $\overline{\text{INTi}}$  输入

符号	项目	额定值		单位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 输入 “H” 电平脉宽	250		ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 输入 “L” 电平脉宽	250		ns

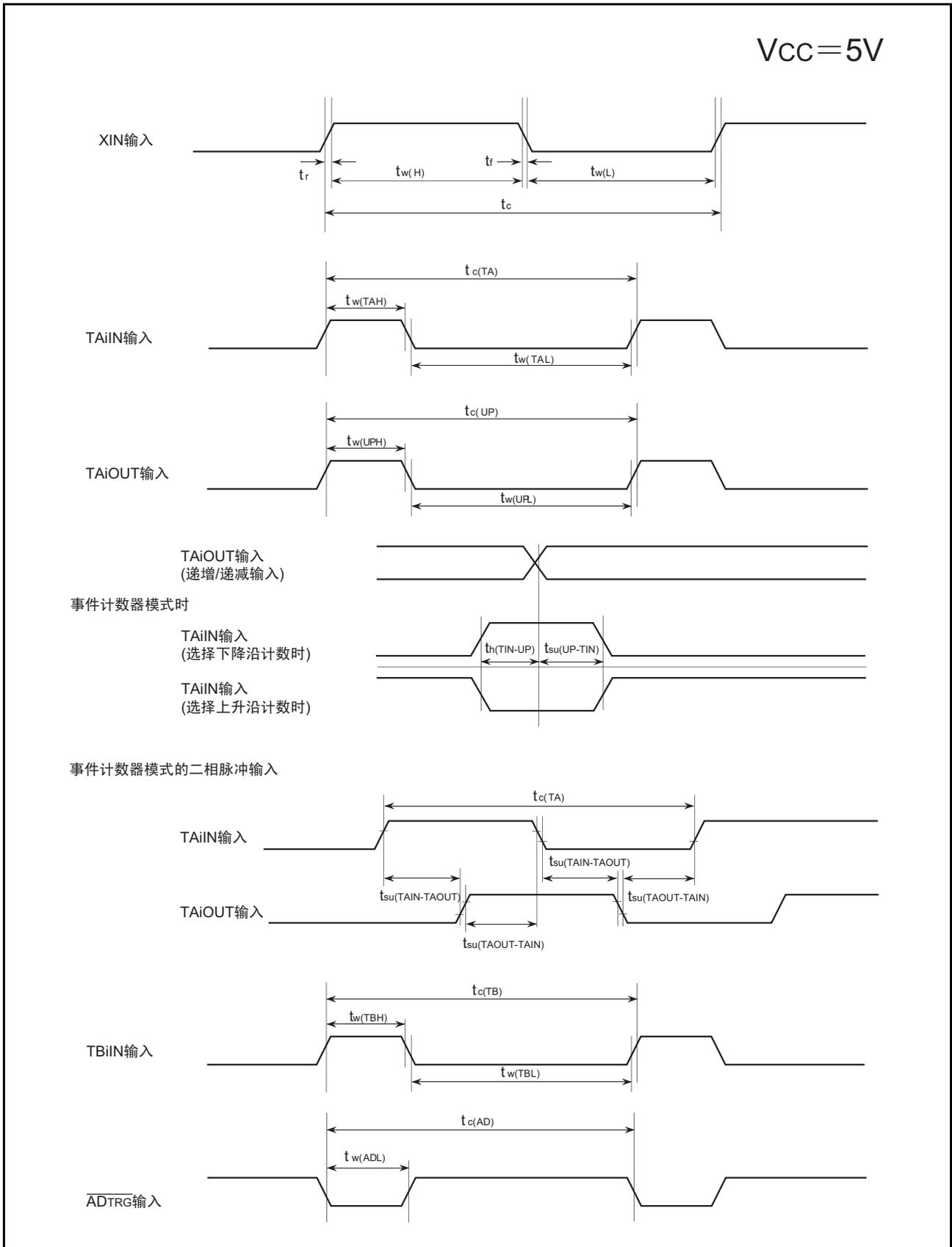


图 18.1 时序图 (1)

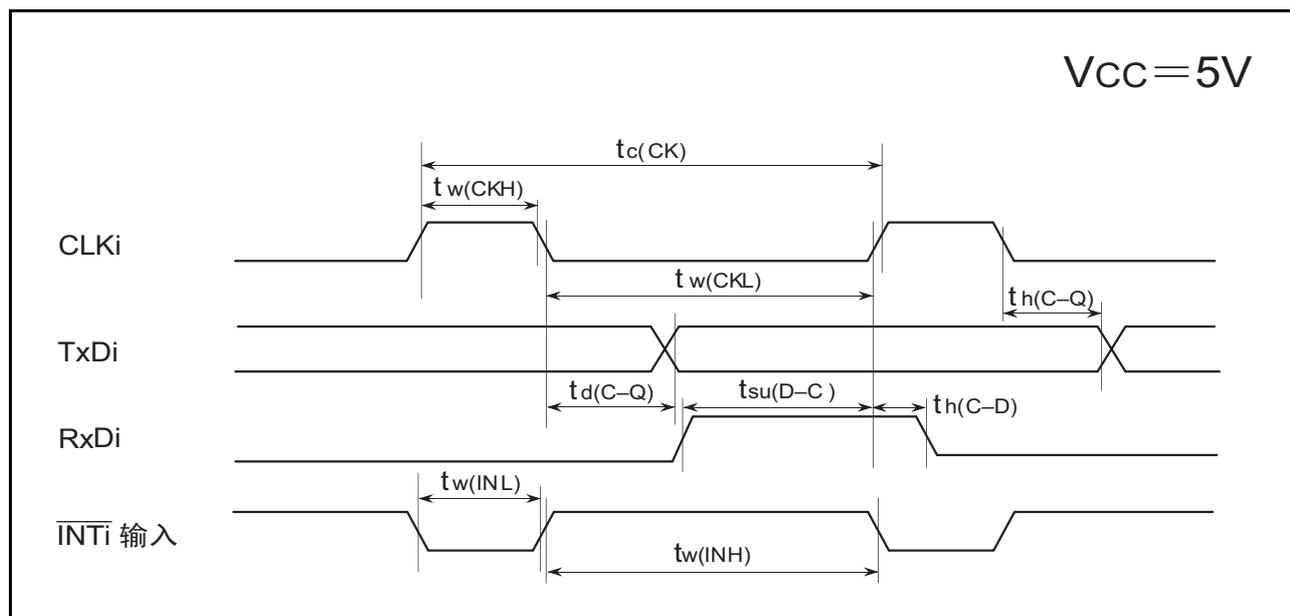


图 18.2 时序图 (2)

V<sub>CC</sub>=3V

表 18.23 电气特性 (注 1)

符号	项目		测定条件	额定值			单位	
				最小	典型	最大		
V <sub>OH</sub>	“H”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OH</sub> =-1mA	V <sub>CC</sub> -0.5		V <sub>CC</sub>	V	
V <sub>OH</sub>	“H”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OH</sub> =-0.1mA	V <sub>CC</sub> -0.5	V <sub>CC</sub>	V	
			Low Power	I <sub>OH</sub> =-50μA	V <sub>CC</sub> -0.5	V <sub>CC</sub>		
	“H”电平输出电压	X <sub>COU</sub> T	High Power	无负载时		2.5		V
			Low Power	无负载时		1.6		
V <sub>OL</sub>	“L”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OL</sub> =1mA			0.5	V	
V <sub>OL</sub>	“L”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OL</sub> =0.1mA		0.5	V	
			Low Power	I <sub>OL</sub> =50μA		0.5		
	“L”电平输出电压	X <sub>COU</sub> T	High Power	无负载时		0		V
			Low Power	无负载时		0		
V <sub>T+</sub> -V <sub>T-</sub>	滞后	TA0 <sub>IN</sub> -TA4 <sub>IN</sub> 、TB0 <sub>IN</sub> -TB2 <sub>IN</sub> 、 $\overline{\text{INT}}_0$ - $\overline{\text{INT}}_5$ 、 $\overline{\text{NMI}}$ 、 $\overline{\text{ADTRG}}$ 、 $\overline{\text{CTS}}_0$ - $\overline{\text{CTS}}_2$ 、 CLK <sub>0</sub> -CLK <sub>2</sub> 、TA2 <sub>OUT</sub> -TA4 <sub>OUT</sub> 、 $\overline{\text{Kl}}_0$ - $\overline{\text{Kl}}_3$ 、 RxD <sub>0</sub> -RxD <sub>2</sub>				0.8	V	
V <sub>T+</sub> -V <sub>T-</sub>	滞后	$\overline{\text{RESET}}$				1.8	V	
V <sub>T+</sub> -V <sub>T-</sub>	滞后	X <sub>IN</sub>				0.8	V	
I <sub>IH</sub>	“H”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	V <sub>I</sub> =3V			4.0	μA	
I <sub>IL</sub>	“L”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	V <sub>I</sub> =0V			-4.0	μA	
R <sub>PULLUP</sub>	上拉电阻	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	V <sub>I</sub> =0V	50	100	500	kΩ	
R <sub>fXIN</sub>	反馈电阻	X <sub>IN</sub>			3.0		MΩ	
R <sub>fXCIN</sub>	反馈电阻	X <sub>CIN</sub>			25		MΩ	
V <sub>RAM</sub>	RAM 保持电压		停止模式时	2.0			V	

注 1. 无指定时, V<sub>CC</sub>=2.7 ~ 3.6V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20 ~ 85°C/-40 ~ 85°C、f<sub>(BCLK)</sub>=10MHz。

$V_{CC}=3V$ 

表 18.24 电气特性 (2) (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I <sub>CC</sub>	电源电流 ( $V_{CC}=2.7 \sim 3.6V$ )	输出引脚为开路、 其它引脚为 $V_{SS}$	掩模型 ROM	f(BCLK)=10MHz, 主时钟, 无分频		7	10	mA
				选择内部振荡器振荡运行和 f <sub>2(ROC)</sub> 时, f(BCLK)=1MHz		1		mA
			闪存	在 f(BCLK)=10MHz, 主时钟, 无分频		7	12	mA
				选择内部振荡器振荡运行和 f <sub>2(ROC)</sub> 时, f(BCLK)=1MHz		1		mA
			闪存编程	f(BCLK)=10MHz、 $V_{CC}=3.0V$		10		mA
			闪存擦除	f(BCLK)=10MHz、 $V_{CC}=3.0V$		11		mA
			掩模型 ROM	在 f(BCLK)=32kHz 且为低功耗 模式时, 在 ROM 上 (注 3)		25		$\mu A$
				选择内部振荡器振荡运行和 f <sub>2(ROC)</sub> 时, f(BCLK)=1MHz、 等待模式时		25		$\mu A$
			闪存	在 f(BCLK)=32kHz 且为低功耗 模式时, 在 RAM 上 (注 3)		25		$\mu A$
				在 f(BCLK)=32kHz 且为低功耗 模式时, 在闪存上 (注 3)		450		$\mu A$
				选择内部振荡器振荡运行和 f <sub>2(ROC)</sub> 时, f(BCLK)=1MHz、 等待模式时		45		$\mu A$
			掩模型 ROM、 闪存	在 f(BCLK)=32kHz 且为等待模 式时 (注 2), 振荡能力为 High		10		$\mu A$
				在 f(BCLK)=32kHz 且为等待模 式时 (注 2), 振荡能力为 Low		3		$\mu A$
				停止模式时、 $Topr=25^{\circ}C$		0.7	3	$\mu A$
I <sub>det4</sub>	低电压检测消耗电流 (注 4)				0.6	4	$\mu A$	
I <sub>det3</sub>	复位区检测消耗电流 (注 4)				1.0	5	$\mu A$	

注 1. 无指定时,  $V_{CC}=2.7 \sim 3.6V$ 、 $V_{SS}=0V$ 、 $Topr=-20 \sim 85^{\circ}C/-40 \sim 85^{\circ}C$ 、f(BCLK)=10MHz。

注 2. 通过 f<sub>C32</sub> 使 1 个定时器运行的状态。

注 3. 表示存放执行程序的存储器。

注 4. I<sub>det</sub> 为将以下位置 “1” 时 (检测电路有效) 的消耗电流

I<sub>det4</sub>: VCR2 寄存器的 VC27 位

I<sub>det3</sub>: VCR2 寄存器的 VC26 位

$V_{CC}=3V$ 

时序必要条件

(无指定时,  $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20 \sim 85^{\circ}C/-40 \sim 85^{\circ}C$ )表 18.25 外部时钟输入 (X<sub>IN</sub> 输入)

符号	项目	额定值		单位
		最小	最大	
tc	外部时钟输入周期时间	100		ns
tw(H)	外部时钟输入“H”电平脉宽	40		ns
tw(L)	外部时钟输入“L”电平脉宽	40		ns
tr	外部时钟上升时间		18	ns
tf	外部时钟下降时间		18	ns

$V_{CC}=3V$ 

时序必要条件

(无指定时,  $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20 \sim 85^{\circ}C/-40 \sim 85^{\circ}C$ )

表 18.26 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	150		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	60		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	60		ns

表 18.27 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	600		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	300		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	300		ns

表 18.28 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	300		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	150		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	150		ns

表 18.29 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	150		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	150		ns

表 18.30 定时器 A 输入（事件计数器模式的递增 / 递减输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(UP)}$	TAiOUT 输入周期时间	3000		ns
$t_{w(UPH)}$	TAiOUT 输入“H”电平脉宽	1500		ns
$t_{w(UPL)}$	TAiOUT 输入“L”电平脉宽	1500		ns
$t_{su(UP-TIN)}$	TAiOUT 输入准备时间	600		ns
$t_{h(TIN-UP)}$	TAiOUT 输入保持时间	600		ns

表 18.31 定时器 A 输入（事件计数器模式的二相脉冲输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	2		$\mu$ s
$t_{su(TAIN-TAOUT)}$	TAiOUT 输入准备时间	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 输入准备时间	500		ns

$V_{CC}=3V$ 

## 时序必要条件

(无指定时,  $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20 \sim 85^{\circ}C/-40 \sim 85^{\circ}C$ )

表 18.32 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间 (单边沿计数)	150		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	60		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	60		ns
$t_{c(TB)}$	TBiIN 输入周期时间 (双边沿计数)	300		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	120		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	120		ns

表 18.33 定时器 B 输入 (脉冲周期测量模式)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间	600		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽	300		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽	300		ns

表 18.34 定时器 B 输入 (脉宽测量模式)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间	600		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽	300		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽	300		ns

表 18.35 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
$t_{c(AD)}$	ADTRG 输入周期时间 (触发可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG 输入 “L” 电平脉宽	200		ns

表 18.36 串行 I/O

符号	项目	额定值		单位
		最小	最大	
$t_c(\text{CK})$	CLKi 输入周期时间	300		ns
$t_w(\text{CKH})$	CLKi 输入 “H” 电平脉宽	150		ns
$t_w(\text{CKL})$	CLKi 输入 “L” 电平脉宽	150		ns
$t_d(\text{C-Q})$	TxDi 输出延迟时间		160	ns
$t_h(\text{C-Q})$	TxDi 保持时间	0		ns
$t_{su}(\text{D-C})$	RxDi 输入准备时间	100		ns
$t_h(\text{C-D})$	RxDi 输入保持时间	90		ns

表 18.37 外部中断  $\overline{\text{INTi}}$  输入

符号	项目	额定值		单位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 输入 “H” 电平脉宽	380		ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 输入 “L” 电平脉宽	380		ns

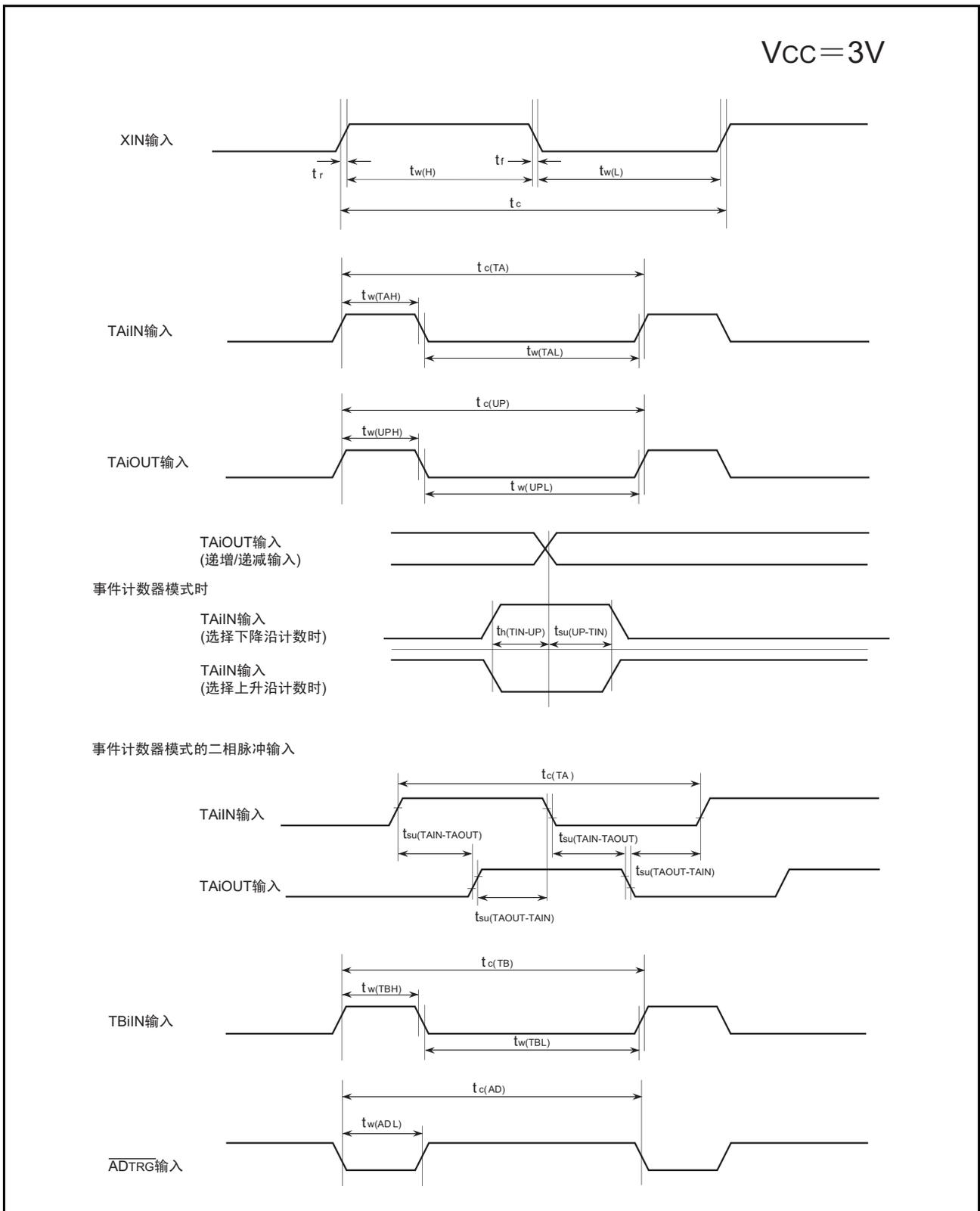


图 18.3 时序图 (1)

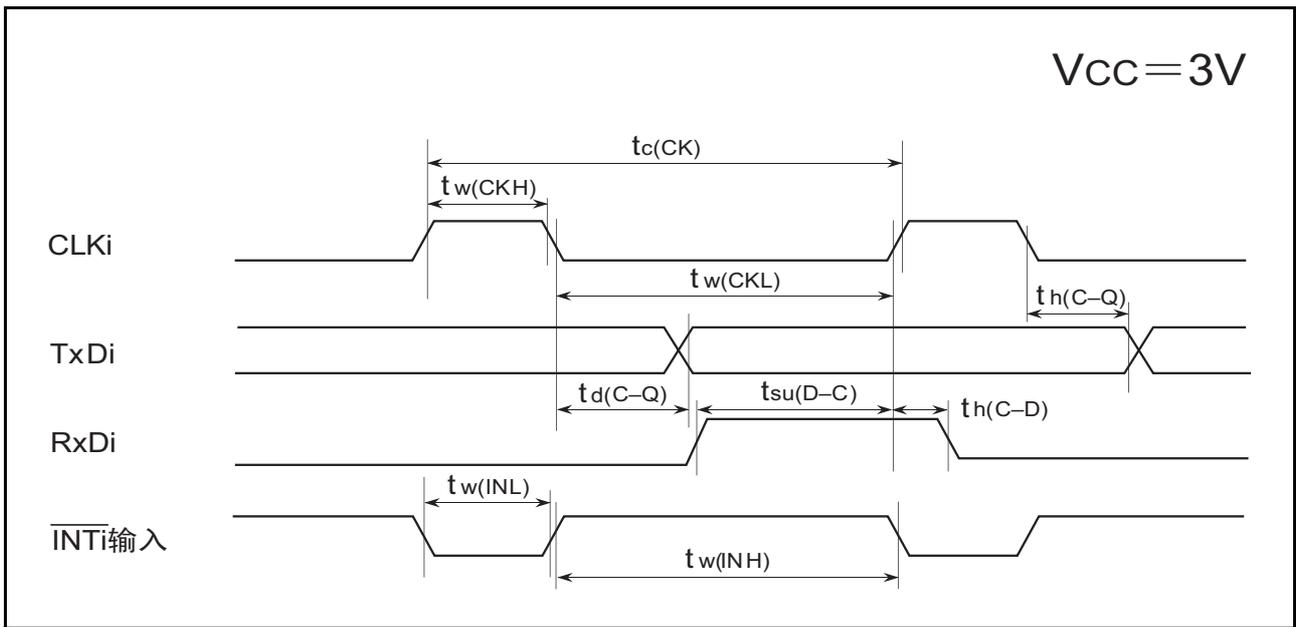


图 18.4 时序图 (2)

## 18.2 M16C/26T (T-ver.)

表 18.38 绝对最大额定值

符号	项目		条件	额定值	单位
V <sub>CC</sub>	电源电压		V <sub>CC</sub> =AV <sub>CC</sub>	-0.3 ~ 6.5	V
AV <sub>CC</sub>	模拟电源电压		V <sub>CC</sub> =AV <sub>CC</sub>	-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、V <sub>REF</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>O</sub>	输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>OUT</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
P <sub>d</sub>	功耗		-40°C ≤ Topr ≤ 85°C	300	mW
Topr	工作环境温度	单片机运行时		-40 ~ 85	°C
		闪存编程 / 擦除时	程序区 (块 0 ~ 3)	0 ~ 60	°C
			数据区 (块 A 和块 B)	-40 ~ 85	°C
Tstg	保存温度			-65 ~ 150	°C

表 18.39 推荐运行条件（注 1）

符号	项目		额定值			单位
			最小	典型	最大	
V <sub>CC</sub>	电源电压		3.0		5.5	V
AV <sub>CC</sub>	模拟电源电压			V <sub>CC</sub>		V
V <sub>SS</sub>	电源电压			0		V
AV <sub>SS</sub>	模拟电源电压			0		V
V <sub>IH</sub>	“H”电平 输入电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	0.7V <sub>CC</sub>		V <sub>CC</sub>	V
		X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	“L”电平 输入电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	0		0.3V <sub>CC</sub>	V
		X <sub>IN</sub> 、 $\overline{\text{RESET}}$ 、CNV <sub>SS</sub>	0		0.2V <sub>CC</sub>	V
I <sub>OH(peak)</sub>	“H”电平峰值输出电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			-10.0	mA
I <sub>OH(avg)</sub>	“H”电平平均输出电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			-5.0	mA
I <sub>OL(peak)</sub>	“L”电平峰值输出电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			10.0	mA
I <sub>OL(avg)</sub>	“L”电平平均输出电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107			5.0	mA
f(X <sub>IN</sub> )	主时钟输入振荡频率（注 4）		0		20	MHz
f(X <sub>CIN</sub> )	副时钟振荡频率			32.768	50	kHz
f <sub>1</sub> (ROC)	内部振荡器的振荡频率 1		0.5	1	2	MHz
f <sub>2</sub> (ROC)	内部振荡器的振荡频率 2		1	2	4	MHz
f <sub>3</sub> (ROC)	内部振荡器的振荡频率 3		8	16	26	MHz
f(PLL)	PLL 时钟振荡频率（注 4）		10		20	MHz
f(BCLK)	CPU 运行频率		0		20	MHz
tsu(PLL)	PLL 频率合成器稳定等待时间		V <sub>CC</sub> =5.0V		20	ms
			V <sub>CC</sub> =3.0V		50	ms

注 1. 无指定时，V<sub>CC</sub>=3.0V ~ 5.5V、Topr=-40 ~ 85°C。

注 2. 平均输出电流为 100ms 期间的平均值。

注 3. 全部端口的 I<sub>OL(peak)</sub> 总计必须小于等于 80mA；全部端口的 I<sub>OH(peak)</sub> 总计必须小于等于 -80mA。

注 4. 主时钟输入频率、PLL 时钟频率和电源电压的关系如下图所示：

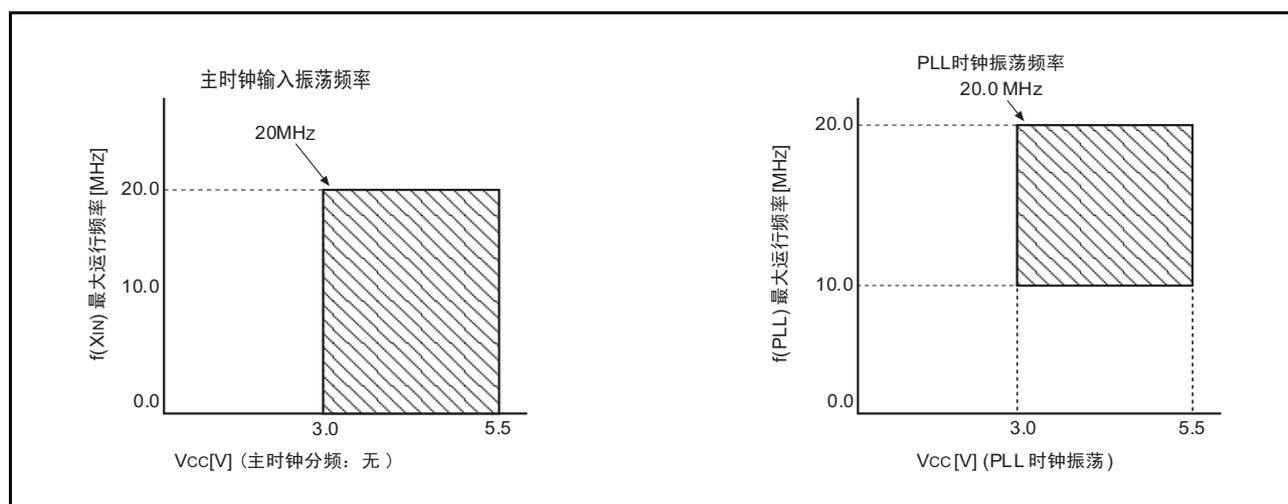


表 18.40 A/D 转换特性 (注 1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
-	分辨率		$V_{REF}=V_{CC}$			10	Bits
INL	积分非线性误差	10bit	$V_{REF}=V_{CC}=5V$			$\pm 3$	LSB
			$V_{REF}=V_{CC}=3.3V$			$\pm 5$	LSB
		8bit	$V_{REF}=V_{CC}=3.3V、5V$			$\pm 2$	LSB
-	绝对精度	10bit	$V_{REF}=V_{CC}=5V$			$\pm 3$	LSB
			$V_{REF}=V_{CC}=3.3V$			$\pm 5$	LSB
		8bit	$V_{REF}=V_{CC}=3.3V、5V$			$\pm 2$	LSB
DNL	微分非线性误差					$\pm 1$	LSB
-	偏移误差					$\pm 3$	LSB
-	增益误差					$\pm 3$	LSB
RLADDER	梯形电阻		$V_{REF}=V_{CC}$	10		40	$k\Omega$
tCONV	转换时间 (10bit)、有采样 & 保持功能		$V_{REF}=V_{CC}=5V、\phi_{AD}=10MHz$	3.3			$\mu s$
tCONV	转换时间 (8bit)、有采样 & 保持功能		$V_{REF}=V_{CC}=5V、\phi_{AD}=10MHz$	2.8			$\mu s$
VREF	基准电压			2.0		$V_{CC}$	V
VIA	模拟输入电压			0		$V_{REF}$	V

注 1. 无指定时,  $V_{CC}=AV_{CC}=V_{REF}=3.3 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ 。

注 2. AD 运行时钟频率 ( $\phi_{AD}$  的频率) 必须设定小于等于 10MHz。另外, 在  $V_{CC}$  小于 4.2V 时, 必须将  $\phi_{AD}$  分频并且将  $\phi_{AD}$  的频率设定小于等于  $f_{AD}/2$ 。

注 3. 没有采样 & 保持功能时, 除了注 2 的限制以外,  $\phi_{AD}$  的频率必须大于等于 250kHz。  
有采样 & 保持功能时, 除了注 2 的限制以外,  $\phi_{AD}$  的频率必须大于等于 1MHz。

注 4. 有采样 & 保持功能时, 采样时间为频率  $3/\phi_{AD}$ 。  
没有采样 & 保持功能时, 采样时间为频率  $2/\phi_{AD}$ 。

表 18.41 闪存的电气特性（注 1）产品代码：U3 的程序区和数据区、U7 的程序区

符号	项目	额定值			单位
		最小	典型（注 2）	最大	
-	编程、擦除次数（注 3）	100/1000（注 4、11）			次
-	字编程时间（ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ）		75	600	$\mu s$
-	块擦除时间 （ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ）	2K 字节块	0.2	9	s
		8K 字节块	0.4	9	s
		16K 字节块	0.7	9	s
		32K 字节块	1.2	9	s
td(SR-ES)	擦除运行→擦除挂起的转换时间			8	ms
t <sub>ps</sub>	闪存电路的稳定等待时间			15	$\mu s$
-	数据保持时间（注 5）	20			年

表 18.42 闪存的电气特性（注 6）产品代码：U7 的数据区（注 7）

符号	项目	额定值			单位
		最小	标准（注 2）	最大	
-	编程、擦除次数（注 3、8、9）	10000（注 4、10）			次
-	字编程时间（ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ）		100		$\mu s$
-	块擦除时间（ $V_{CC}=5.0V$ 、 $T_{opr}=25^{\circ}C$ ） （2K 字节块）		0.3		s
td(SR-ES)	擦除运行→擦除挂起的转换时间			8	ms
t <sub>ps</sub>	闪存电路的稳定等待时间			15	$\mu s$
-	数据保持时间（注 5）	20			年

注 1. 无指定时， $V_{CC}=3.0 \sim 5.5V$ 、 $T_{opr}=0 \sim 60^{\circ}C$ （程序区）、 $-40 \sim 85^{\circ}C$ （数据区）。

注 2.  $V_{CC}=5V$ 、 $T_{opr}=25^{\circ}C$  时。

注 3. 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为 n 次（ $n=100$ 、 $1,000$ 、 $10,000$ ）时，能按块分别擦除 n 次。

例如，对 2K 字节的块 A 的不同地址进行 1024 次的 1 个字的写操作后擦除此块，编程/擦除次数就被计为 1 次。但是，对于 1 次的擦除，不能对同一地址进行多次写操作（禁止重写）。

注 4. 保证编程 / 擦除后的所有电气特性的最小次数（保证值为 1 ~ “最小”值的范围）。

注 5. 条件是  $T_{opr}=55^{\circ}C$ 。

注 6. 无指定时， $V_{CC}=3.0 \sim 5.5V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ 。

注 7. 是编程、擦除次数超过 1,000 次时的规格。

对于 1,000 次为止的字编程时间和块擦除时间与程序区相同（参考表 18.41）。

注 8. 对于进行多次改写的系统，作为有效地减少改写次数的方法，采取错开写地址等手段，在进行尽可能不留有空区的编程（写）后，执行 1 次擦除。例如，进行 1 组 8 字的编程时，如果在进行最大 128 组的写操作后执行 1 次擦除，就能有效地减少改写次数。并且，如果均等地对块 A 和块 B 进行擦除，就能更有效地减少改写次数。建议记录各块擦除次数的信息以及设置限制次数。

注 9. 块擦除发生擦除错误时，至少执行 3 次的清除状态寄存器命令→块擦除命令，直至不发生擦除错误为止。

注 10. 在进行 100 次以上的改写时，块 A 和块 B 的读取需要 1 个等待。如果将 FMR1 寄存器的 FMR17 位设定为“1”（有等待），就与 PM17 位无关，在存取块 A 和块 B 时插入 1 个等待。在存取其他块和内部 RAM 时，与 FMR17 位无关，而为 PM17 位的设定。

注 11. U3 的程序区和数据区为 100 次，U7 的程序区为 1,000 次。

注 12. 有关故障率，请向瑞萨科技，瑞萨销售公司及特约销售店查询。

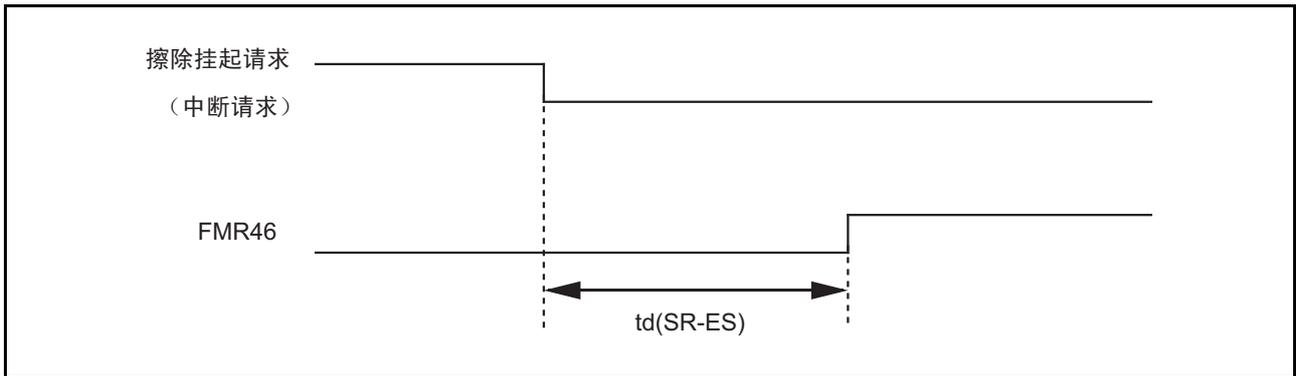
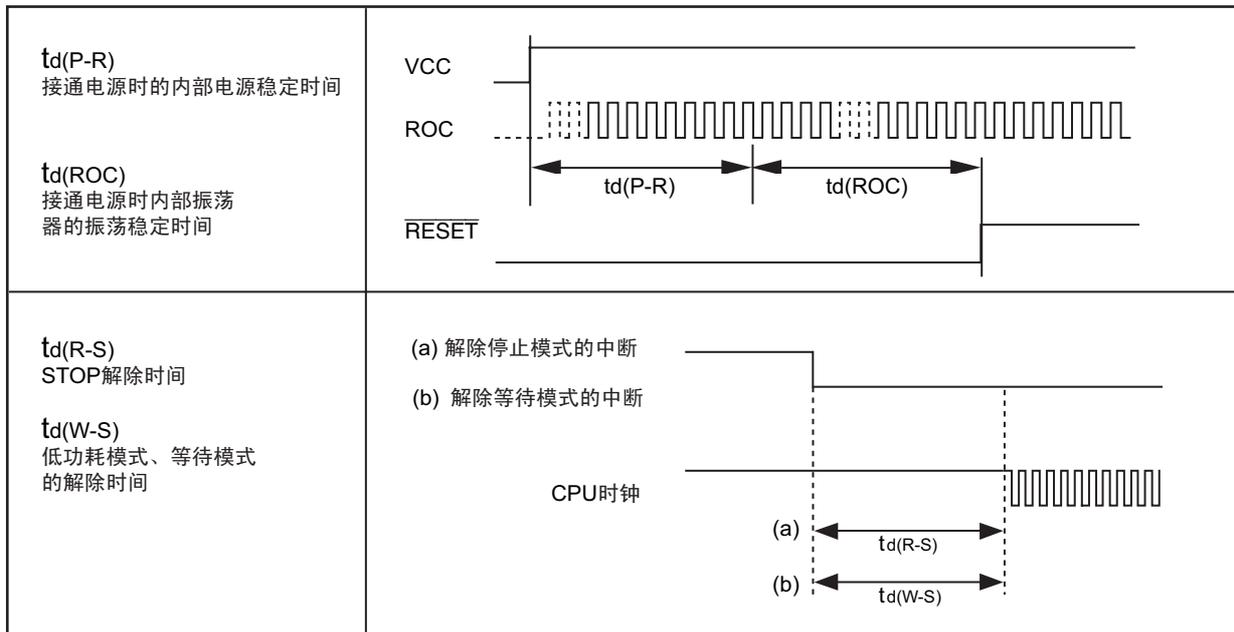


表 18.43 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
$t_d(P-R)$	接通电源时的内部电源稳定时间	$V_{CC}=3.0 \sim 5.5V$			2	ms
$t_d(ROC)$	接通电源时的内部振荡器的振荡稳定时间				40	$\mu s$
$t_d(R-S)$	STOP 解除时间				1.5	ms
$t_d(W-S)$	低功耗模式 / 等待模式的解除时间				250	$\mu s$



V<sub>CC</sub>=5V

表 18.44 电气特性 (注 1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
V <sub>OH</sub>	“H”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OH</sub> = -5mA	V <sub>CC</sub> -2.0		V <sub>CC</sub>	V
V <sub>OH</sub>	“H”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OH</sub> = -200μA	V <sub>CC</sub> -0.3		V <sub>CC</sub>	V
V <sub>OH</sub>	“H”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OH</sub> = -1mA	V <sub>CC</sub> -2.0	V <sub>CC</sub>	V
			Low Power	I <sub>OH</sub> = -0.5mA	V <sub>CC</sub> -2.0	V <sub>CC</sub>	
	“H”电平输出电压	X <sub>COU</sub> T	High Power	无负载时		2.5	V
			Low Power	无负载时		1.6	
V <sub>OL</sub>	“L”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OL</sub> = 5mA			2.0	V
V <sub>OL</sub>	“L”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OL</sub> = 200μA			0.45	V
V <sub>OL</sub>	“L”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OL</sub> =1mA		2.0	V
			Low Power	I <sub>OL</sub> = 0.5mA		2.0	
	“L”电平输出电压	X <sub>COU</sub> T	High Power	无负载时		0	V
			Low Power	无负载时		0	
V <sub>T+</sub> -V <sub>T-</sub>	滞后	TA0 <sub>IN</sub> -TA4 <sub>IN</sub> 、TB0 <sub>IN</sub> -TB2 <sub>IN</sub> 、 $\overline{\text{INT}}_0$ - $\overline{\text{INT}}_5$ 、 NMI、AD <sub>TRG</sub> 、CTS <sub>0</sub> -CTS <sub>2</sub> 、 CLK <sub>0</sub> -CLK <sub>2</sub> 、TA2 <sub>OUT</sub> -TA4 <sub>OUT</sub> 、 $\overline{\text{K}}_0$ - $\overline{\text{K}}_3$ 、 RxD <sub>0</sub> -RxD <sub>2</sub>		0.2		1.0	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	RESET		0.2		2.5	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	X <sub>IN</sub>		0.2		0.8	V
I <sub>IH</sub>	“H”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、RESET、CNV <sub>SS</sub>	V <sub>I</sub> =5V			5.0	μA
I <sub>IL</sub>	“L”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、RESET、CNV <sub>SS</sub>	V <sub>I</sub> =0V			-5.0	μA
R <sub>PULLUP</sub>	上拉电阻	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	V <sub>I</sub> =0V	30	50	170	kΩ
R <sub>fXIN</sub>	反馈电阻	X <sub>IN</sub>			1.5		MΩ
R <sub>fXCIN</sub>	反馈电阻	X <sub>CIN</sub>			15		MΩ
V <sub>RAM</sub>	RAM 保持电压		停止模式时	2.0			V

注 1. 无指定时, V<sub>CC</sub>=4.2 ~ 5.5V、V<sub>SS</sub>=0V、Topr= -40 ~ 85°C、f(BCLK)=20MHz。

$V_{CC}=5V$ 

表 18.45 电气特性 (2) (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I <sub>CC</sub>	电源电流 ( $V_{CC}=4.0 \sim 5.5V$ )	输出引脚为开路、 其它引脚为 $V_{SS}$	闪存	f(BCLK)=20MHz、主时钟、无分频		16	19	mA
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz		1		mA
			闪存编程	f(BCLK)=10MHz、 $V_{CC}=5.0V$		11		mA
			闪存擦除	f(BCLK)=10MHz、 $V_{CC}=5.0V$		12		mA
			闪存	在 f(BCLK)=32kHz 且为低功耗模式时, 在 RAM 上 (注 3)		25		$\mu A$
				在 f(BCLK)=32kHz 且为低功耗模式时, 在闪存上 (注 3)		450		$\mu A$
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz、等待模式时		50		$\mu A$
				在 f(BCLK)=32kHz 且为等待模式时 (注 2), 振荡能力为 High		10		$\mu A$
				在 f(BCLK)=32kHz 且为等待模式时 (注 2), 振荡能力为 Low		3		$\mu A$
			停止模式、 $T_{opr}=25^{\circ}C$		0.8	3	$\mu A$	

注 1. 无指定时,  $V_{CC}=4.2 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ 、 $f(X_{IN})=20MHz$ 。

注 2. 通过 fc32 使 1 个定时器运行的状态。

注 3. 表示存放执行程序的存储器。

$V_{CC}=5V$ 

时序必要条件

(无指定时,  $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ )表 18.46 外部时钟输入 (X<sub>IN</sub> 输入)

符号	项目	额定值		单位
		最小	最大	
tc	外部时钟输入周期时间	50		ns
tw(H)	外部时钟输入“H”电平脉宽	20		ns
tw(L)	外部时钟输入“L”电平脉宽	20		ns
tr	外部时钟上升时间		9	ns
tf	外部时钟下降时间		9	ns

$V_{CC}=5V$ 

时序必要条件

(无指定时,  $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ )

表 18.47 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	100		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	40		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	40		ns

表 18.48 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	400		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	200		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	200		ns

表 18.49 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	200		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	100		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	100		ns

表 18.50 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	100		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	100		ns

表 18.51 定时器 A 输入（事件计数器模式的递增 / 递减输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(UP)}$	TAiOUT 输入周期时间	2000		ns
$t_{w(UPH)}$	TAiOUT 输入“H”电平脉宽	1000		ns
$t_{w(UPL)}$	TAiOUT 输入“L”电平脉宽	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 输入准备时间	400		ns
$t_{h(TIN-UP)}$	TAiOUT 输入保持时间	400		ns

表 18.52 定时器 A 输入（事件计数器模式的二相脉冲输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	800		ns
$t_{su(TAIN-TAOUT)}$	TAiOUT 输入准备时间	200		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 输入准备时间	200		ns

$V_{CC}=5V$ 

时序必要条件

(无指定时,  $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ )

表 18.53 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间 (单边沿计数)	100		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	40		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	40		ns
$t_{c(TB)}$	TBiIN 输入周期时间 (双边沿计数)	200		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	80		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	80		ns

表 18.54 定时器 B 输入 (脉冲周期测量模式)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间	400		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽	200		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽	200		ns

表 18.55 定时器 B 输入 (脉宽测量模式)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间	400		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽	200		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽	200		ns

表 18.56 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
$t_{c(AD)}$	ADTRG 输入周期时间 (触发可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG 输入 “L” 电平脉宽	125		ns

表 18.57 串行 I/O

符号	项目	额定值		单位
		最小	最大	
$t_c(\text{CK})$	CLKi 输入周期时间	200		ns
$t_w(\text{CKH})$	CLKi 输入“H”电平脉宽	100		ns
$t_w(\text{CKL})$	CLKi 输入“L”电平脉宽	100		ns
$t_d(\text{C-Q})$	TxDi 输出延迟时间		80	ns
$t_h(\text{C-Q})$	TxDi 保持时间	0		ns
$t_{su}(\text{D-C})$	RxDi 输入准备时间	70		ns
$t_h(\text{C-D})$	RxDi 输入保持时间	90		ns

表 18.58 外部中断  $\overline{\text{INTi}}$  输入

符号	项目	额定值		单位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 输入“H”电平脉宽	250		ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 输入“L”电平脉宽	250		ns

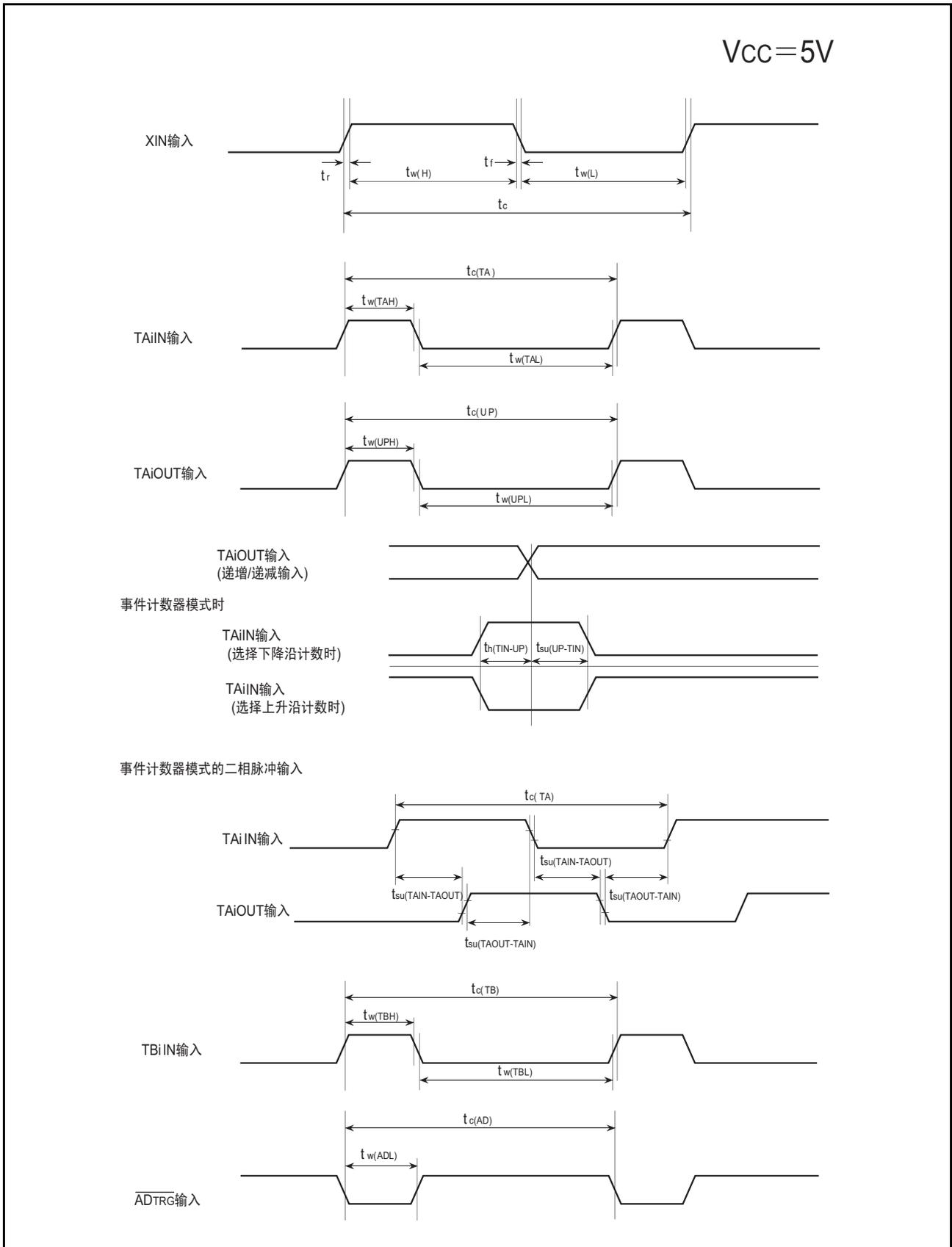


图 18.5 时序图 (1)

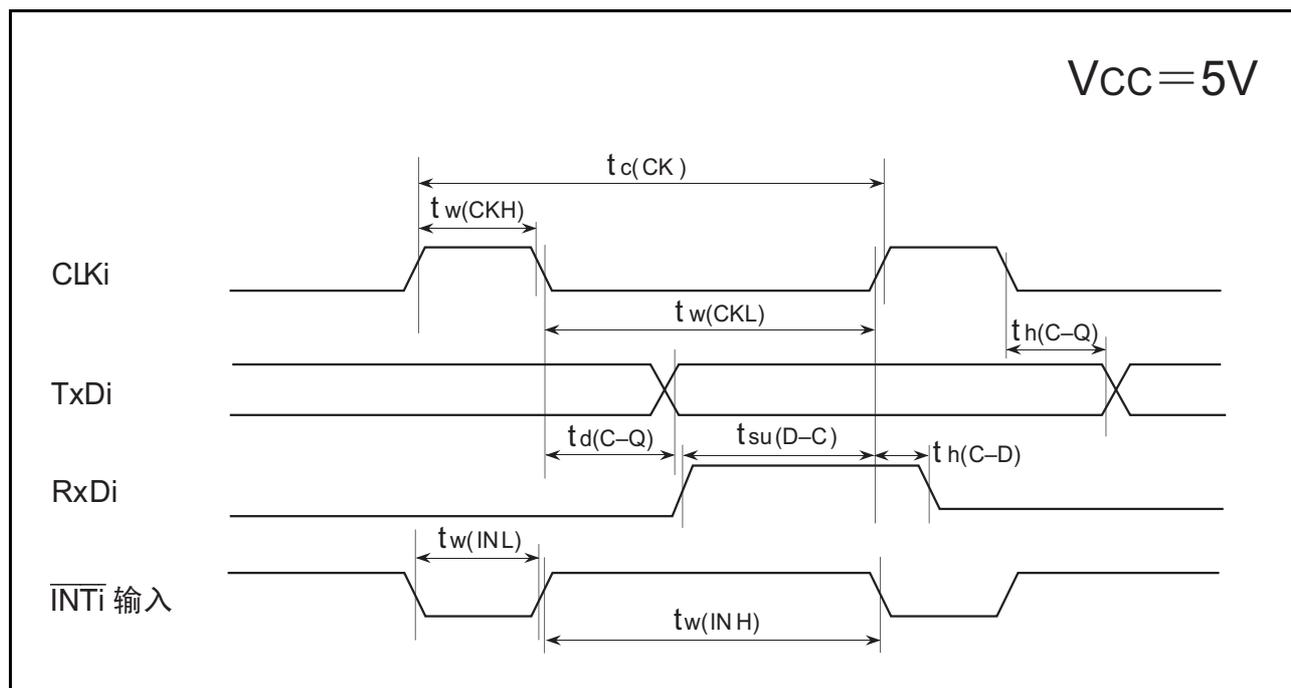


图 18.6 时序图 (2)

V<sub>CC</sub>=3V

表 18.59 电气特性 (注 1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
V <sub>OH</sub>	“H”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OH</sub> =-1mA	V <sub>CC</sub> -0.5		V <sub>CC</sub>	V
V <sub>OH</sub>	“H”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OH</sub> =-0.1mA	V <sub>CC</sub> -0.5	V <sub>CC</sub>	V
			Low Power	I <sub>OH</sub> =-50μA	V <sub>CC</sub> -0.5	V <sub>CC</sub>	
	“H”电平输出电压	X <sub>COU</sub>	High Power	无负载时		2.5	V
			Low Power	无负载时		1.6	
V <sub>OL</sub>	“L”电平输出电压	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	I <sub>OL</sub> =1mA			0.5	V
V <sub>OL</sub>	“L”电平输出电压	X <sub>OUT</sub>	High Power	I <sub>OL</sub> =0.1mA		0.5	V
			Low Power	I <sub>OL</sub> =50μA		0.5	
	“L”电平输出电压	X <sub>COU</sub>	High Power	无负载时		0	V
			Low Power	无负载时		0	
V <sub>T+</sub> -V <sub>T-</sub>	滞后	TA0 <sub>IN</sub> -TA4 <sub>IN</sub> 、TB0 <sub>IN</sub> -TB2 <sub>IN</sub> 、 <u>INT</u> <sub>0</sub> - <u>INT</u> <sub>5</sub> 、 <u>NMI</u> 、 <u>AD</u> <sub>TRG</sub> 、 <u>CTS</u> <sub>0</sub> - <u>CTS</u> <sub>2</sub> 、 <u>CLK</u> <sub>0</sub> - <u>CLK</u> <sub>2</sub> 、TA2 <sub>OUT</sub> -TA4 <sub>OUT</sub> 、 <u>KI</u> <sub>0</sub> - <u>KI</u> <sub>3</sub> 、 RxD0-RxD2				0.8	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	<u>RESET</u>				1.8	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	X <sub>IN</sub>				0.8	V
I <sub>IH</sub>	“H”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、 <u>RESET</u> 、CNV <sub>SS</sub>	V <sub>I</sub> =3V			4.0	μA
I <sub>IL</sub>	“L”电平输入电流	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107 X <sub>IN</sub> 、 <u>RESET</u> 、CNV <sub>SS</sub>	V <sub>I</sub> =0V			-4.0	μA
R <sub>PULLUP</sub>	上拉电阻	P15 ~ P17、P60 ~ P67、P70 ~ P77、 P80 ~ P87、P90 ~ P93、P100 ~ P107	V <sub>I</sub> =0V	50	100	500	kΩ
R <sub>fXIN</sub>	反馈电阻	X <sub>IN</sub>				3.0	MΩ
R <sub>fXCIN</sub>	反馈电阻	X <sub>CIN</sub>				25	MΩ
V <sub>RAM</sub>	RAM 保持电压		停止模式时	2.0			V

注 1. 无指定时, V<sub>CC</sub>=3.0 ~ 3.6V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-40 ~ 85°C、f(BCLK)=20MHz。

$V_{CC}=3V$ 

表 18.60 电气特性 (2) (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I <sub>CC</sub>	电源电流 ( $V_{CC}=3.0 \sim 3.6V$ )	输出引脚为开路、 其它引脚为 $V_{SS}$	闪存	f(BCLK)=10MHz、 主时钟、无分频		7	12	mA
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz		1		mA
			闪存编程	f(BCLK)=10MHz、 $V_{CC}=3.0V$		10		mA
			闪存擦除	f(BCLK)=10MHz、 $V_{CC}=3.0V$		11		mA
			闪存	在 f(BCLK)=32kHz 且为低功耗 模式时, 在 RAM 上 (注 3)		25		$\mu A$
				在 f(BCLK)=32kHz 且为低功耗 模式时, 在闪存上 (注 3)		450		$\mu A$
				选择内部振荡器振荡运行和 f <sub>2</sub> (ROC) 时, f(BCLK)=1MHz、 等待模式时		45		$\mu A$
				在 f(BCLK)=32kHz 且为等待模 式时 (注 2), 振荡能力为 High		10		$\mu A$
				在 f(BCLK)=32kHz 且为等待模 式时 (注 2), 振荡能力为 Low		3		$\mu A$
			停止模式时、 $Topr=25^{\circ}C$		0.7	3	$\mu A$	

注 1. 无指定时,  $V_{CC}=3.0 \sim 3.6V$ 、 $V_{SS}=0V$ 、 $Topr=-40 \sim 85^{\circ}C$ 、f(BCLK)=20MHz。

注 2. 通过 fc32 使 1 个定时器运行的状态。

注 3. 表示存放执行程序的存储器。

$V_{CC}=3V$ 

时序必要条件

(无指定时,  $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ )表 18.61 外部时钟输入 (X<sub>IN</sub> 输入)

符号	项目	额定值		单位
		最小	最大	
tc	外部时钟输入周期时间	100		ns
tw(H)	外部时钟输入“H”电平脉宽	40		ns
tw(L)	外部时钟输入“L”电平脉宽	40		ns
tr	外部时钟上升时间		18	ns
tf	外部时钟下降时间		18	ns

$V_{CC}=3V$ 

时序必要条件

(无指定时,  $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ )

表 18.62 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	150		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	60		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	60		ns

表 18.63 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	600		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	300		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	300		ns

表 18.64 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	300		ns
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	150		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	150		ns

表 18.65 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{w(TAH)}$	TAiIN 输入 “H” 电平脉宽	150		ns
$t_{w(TAL)}$	TAiIN 输入 “L” 电平脉宽	150		ns

表 18.66 定时器 A 输入（事件计数器模式的递增 / 递减输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(UP)}$	TAiOUT 输入周期时间	3000		ns
$t_{w(UPH)}$	TAiOUT 输入“H”电平脉宽	1500		ns
$t_{w(UPL)}$	TAiOUT 输入“L”电平脉宽	1500		ns
$t_{su(UP-TIN)}$	TAiOUT 输入准备时间	600		ns
$t_{h(TIN-UP)}$	TAiOUT 输入保持时间	600		ns

表 18.67 定时器 A 输入（事件计数器模式的二相脉冲输入）

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIN 输入周期时间	2		$\mu$ s
$t_{su(TAIN-TAOUT)}$	TAiOUT 输入准备时间	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 输入准备时间	500		ns

$V_{CC}=3V$ 

时序必要条件

(无指定时,  $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40 \sim 85^{\circ}C$ )

表 18.68 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间 (单边沿计数)	150		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	60		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	60		ns
$t_{c(TB)}$	TBiIN 输入周期时间 (双边沿计数)	300		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	120		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	120		ns

表 18.69 定时器 B 输入 (脉冲周期测量模式)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间	600		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽	300		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽	300		ns

表 18.70 定时器 B 输入 (脉宽测量模式)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TB)}$	TBiIN 输入周期时间	600		ns
$t_{w(TBH)}$	TBiIN 输入 “H” 电平脉宽	300		ns
$t_{w(TBL)}$	TBiIN 输入 “L” 电平脉宽	300		ns

表 18.71 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
$t_{c(AD)}$	ADTRG 输入周期时间 (触发可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG 输入 “L” 电平脉宽	200		ns

表 18.72 串行 I/O

符号	项目	额定值		单位
		最小	最大	
$t_c(\text{CK})$	CLKi 输入周期时间	300		ns
$t_w(\text{CKH})$	CLKi 输入 “H” 电平脉宽	150		ns
$t_w(\text{CKL})$	CLKi 输入 “L” 电平脉宽	150		ns
$t_d(\text{C-Q})$	TxDi 输出延迟时间		160	ns
$t_h(\text{C-Q})$	TxDi 保持时间	0		ns
$t_{su}(\text{D-C})$	RxDi 输入准备时间	100		ns
$t_h(\text{C-D})$	RxDi 输入保持时间	90		ns

表 18.73 外部中断  $\overline{\text{INTi}}$  输入

符号	项目	额定值		单位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INTi}}$ 输入 “H” 电平脉宽	380		ns
$t_w(\text{INL})$	$\overline{\text{INTi}}$ 输入 “L” 电平脉宽	380		ns

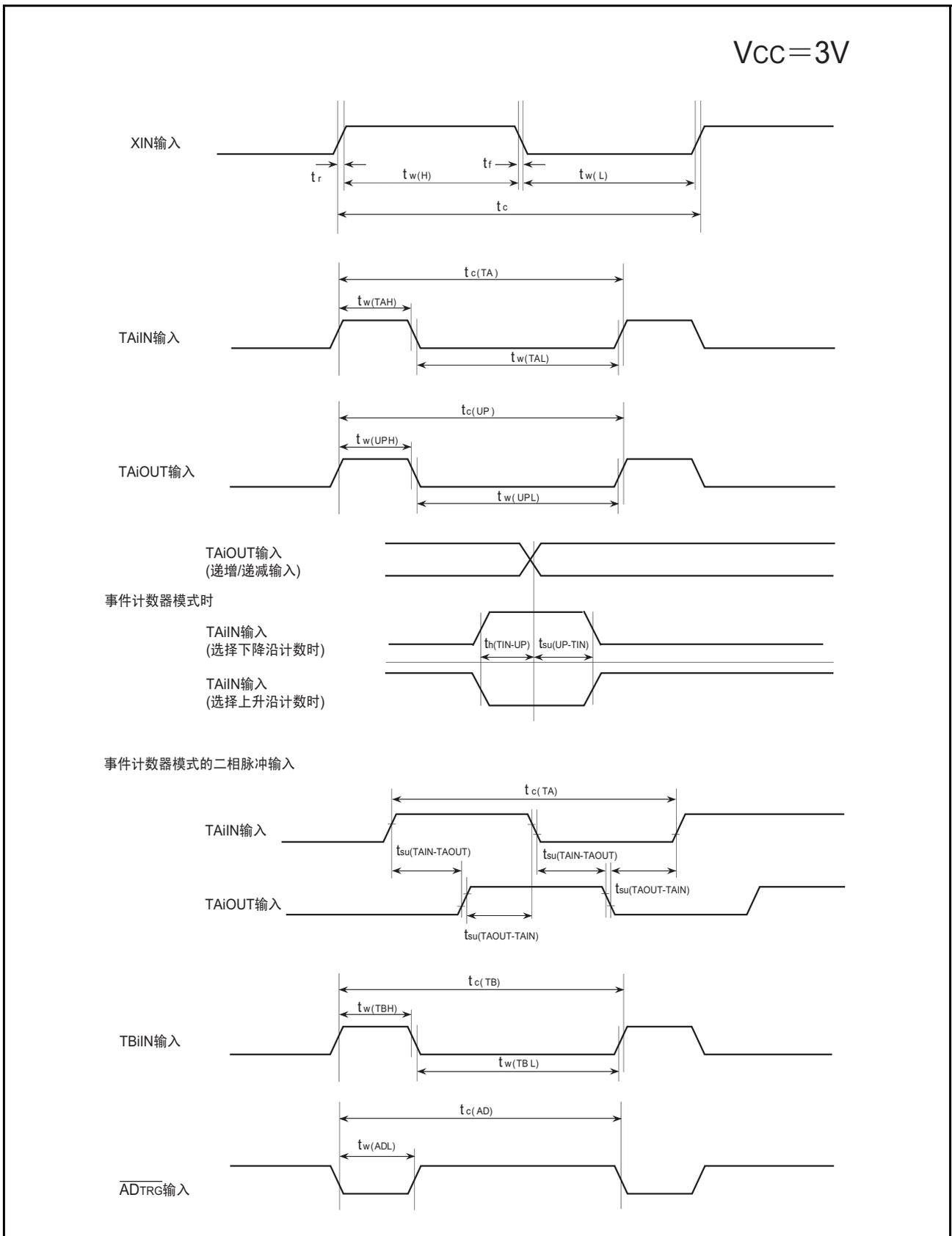


图 18.7 时序图 (1)

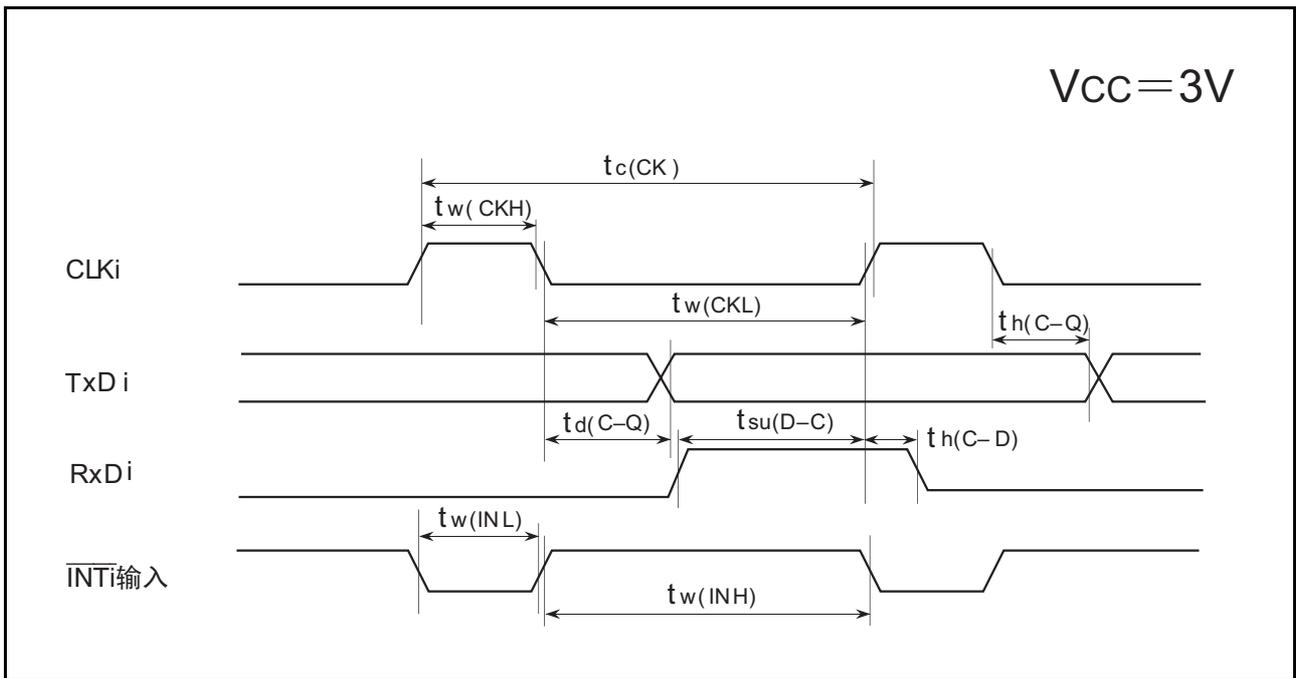


图 18.8 时序图 (2)

## 19. 使用时的注意事项

### 19.1 SFR

#### 19.1.1 48 引脚版的注意事项

在复位后，请将 IFSR2A 寄存器的 IFSR20 位设定为“1”，并且将 PACR 寄存器的 PACR2 ~ PACR0 位设定为“100<sub>2</sub>”。

#### 19.1.2 42 引脚版的注意事项

在复位后，请将 IFSR2A 寄存器的 IFSR20 位设定为“1”，并且将 PACR 寄存器的 PACR2 ~ PACR0 位设定为“001<sub>2</sub>”。

#### 19.1.3 设定寄存器时的注意事项

对包含只能写入的位的寄存器，必须设定立即值。处理前次的值并决定下一个值时，将写入寄存器的值写入到 RAM 中，下一个值改变 RAM 的内容后，必须传送至寄存器。

注 1. 只能写入的位，在各寄存器图的 RW 栏中，表示为 WO。

## 19.2 在使用 PLL 频率合成器时

在使用 PLL 频率合成器时，必须满足电源纹波规格，使电源电压稳定。

符号	项目	额定值			单位
		最小	典型	最大	
$f_{\text{ripple}}$	电源纹波容许频率 (VCC)			10	kHz
$V_{\text{p-p(ripple)}}$	电源纹波容许振幅电压	(VCC=5V 时)		0.5	V
		(VCC=3V 时)		0.3	V
$V_{\text{CC}}( \Delta V /\Delta T)$	电源纹波上升 / 下降斜率	(VCC=5V 时)		0.3	V/ms
		(VCC=3V 时)		0.3	V/ms

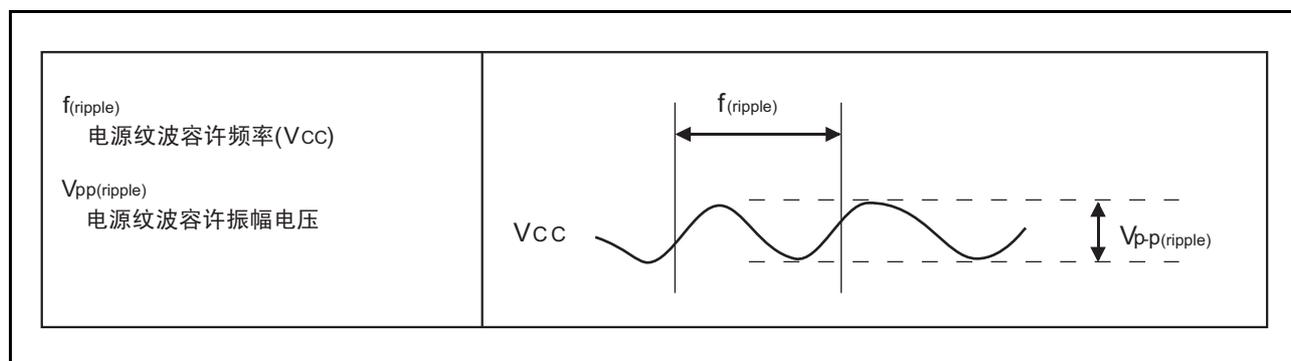


图 19.1 电源纹波的时序图

### 19.3 功耗控制

1. 通过复位从停止模式返回时，使用内部振荡器返回。
2. 使用定时器 A 从停止模式返回时，请将 TAI<sub>MR</sub> 寄存器 (i=0~4) 的 MR0 位置 “0” (无脉冲输出)。
3. 在转换至等待模式时，请在 WAIT 指令前插入 JMP.B 指令。在 JMP.B 指令和 WAIT 指令之间，不能执行对 RAM 进行写操作的指令。在 JMP.B 指令和 WAIT 指令之间有可能发生 DMA 传送时，必须禁止 DMA 传送。

另外，请在 WAIT 指令的后面插入至少 4 条 NOP 指令。转换至等待模式时，指令队列已经预先读取了 WAIT 指令后面的几个指令运行且程序停止运行，因此根据指令的组合和执行时序，在进入等待模式前有可能执行下一条指令。

转换至等待模式时的程序例子如下所示：

```
例：          JMP.B          L1 ; 在 WAIT 指令前插入 JMP.B 指令
              L1:
                FSET    I          ;
                WAIT    ; 转换至等待模式
                NOP     ; 插入至少 4 条 NOP 指令
                NOP
                NOP
                NOP
```

4. 转换至停止模式时，要在将 CM1 寄存器的 CM10 位置 “1” 的指令后插入一条 JMP.B 指令，然后插入至少 4 条 NOP 指令。在转换至停止模式时，由于指令队列预先读取到将 CM10 位置 “1” (停止所有时钟) 的指令后面的指令，所以在进入停止模式前有可能执行预先读取的指令，也有可能从停止模式返回的中断程序之前执行。

转换至停止模式时的程序的例子如下所示：

```
例：          FSET    I
              BSET    CM10; 转换至停止模式
              JMP.B   L2 ; 插入 JMP.B 指令
              L2:
                NOP     ; 插入至少 4 条 NOP 指令
                NOP
                NOP
                NOP
```

5. 将 CPU 时钟的时钟源切换至主时钟时，请在等待主时钟振荡稳定后切换。  
将 CPU 时钟的时钟源切换至副时钟时，请在等待副时钟振荡稳定后切换。

## 6. 减少功耗的要点

以下为减少功耗的要点。请在设计系统和编制程序时参考。

### — 端口

即使转换至等待模式或者停止模式，也保持输入/输出端口的状态。激活状态的输出端口有电流流过。成为高阻抗状态的输入端口有穿透电流流过。所以，请事先将不需要的端口设定为输入端口，固定成稳定的电位，然后转换至等待模式或者停止模式。

### — A/D转换器

不进行A/D转换时，请将ADCON1寄存器的VCUT位置“0”（V<sub>REF</sub>未连接）。另外，进行A/D转换时，请在将VCUT位置“1”（V<sub>REF</sub>连接）后等待1 μs以后，才能开始A/D转换。

### — 停止外围功能

在等待模式时，请通过CM0寄存器的CM02位将不必要的外围功能停止。

但是，由于副时钟生成的外围功能时钟（f<sub>C32</sub>）不停止运行，所以不会降低功耗。从低速模式或者低功耗模式转换至等待模式时，请在将CM02位置“0”（等待模式时，外围功能时钟不停止运行）后转换至等待模式。

### — 切换振荡驱动能力

请在振荡处于稳定状态时，将驱动能力置为“LOW”

## 19.4 保护

在将PRC2位置“1”（允许写状态）后对任意地址进行写操作时，PRC2位就变为“0”（禁止写状态）。必须通过将PRC2位置“1”后的下一条指令更改由PRC2位保护的寄存器。在将PRC2位置“1”的指令和下一条指令之间，不能发生中断或者DMA传送。

## 19.5 中断

### 19.5.1 读取 00000<sub>16</sub> 地址

不要通过程序读 00000<sub>16</sub> 地址。在接受可屏蔽中断的中断请求时，CPU 从 00000<sub>16</sub> 地址读取在中断顺序中的中断信息（中断号和中断请求级）。此时，接受的中断的 IR 位为“0”。

通过程序读 00000<sub>16</sub> 地址时，在被允许的中断里，优先级最高的中断的 IR 位为“0”。因此，就有可能取消中断或者产生预想外的中断请求。

### 19.5.2 SP 的设定

在接受中断前，请给 SP（USP、ISP）设定值。在复位后，SP（USP、ISP）为“0000<sub>16</sub>”。因此，如果在给 SP（USP、ISP）设定值前接受中断，将成为程序失控的一个重要原因。

### 19.5.3 $\overline{\text{NMI}}$ 中断

1. 在复位后， $\overline{\text{NMI}}$  中断无效。通过将 PM2 寄存器的 PM24 位置“1”，变为有效。在将“H”电平输入至  $\overline{\text{NMI}}$  引脚的状态下，请将 PM24 位设定为“1”。在将“L”电平输入至  $\overline{\text{NMI}}$  引脚的状态下，如果将 PM24 位设定为“1”，此时就发生  $\overline{\text{NMI}}$  中断。并且，一旦  $\overline{\text{NMI}}$  中断有效，除了被复位外，无法置为无效。
2. 通过读 P8 寄存器的 P85 位，可读取  $\overline{\text{NMI}}$  引脚的值。
3. 在  $\overline{\text{NMI}}$  中断有效时，如果将“L”电平输入至  $\overline{\text{NMI}}$  引脚，就不能转换至停止模式。如果将“L”电平输入至  $\overline{\text{NMI}}$  引脚，CM1 寄存器的 CM10 位被固定为“0”。
4. 如果将“L”电平输入至  $\overline{\text{NMI}}$  引脚，就不能转换至等待模式。如果将“L”电平输入至  $\overline{\text{NMI}}$  引脚，虽然 CPU 停止运行，但是 CPU 时钟不停止，所以消耗电流并没有减少。在这种情况下，能通过此后的中断进行正常返回。
5.  $\overline{\text{NMI}}$  引脚输入信号的“L”和“H”电平宽度都必须大于等于 CPU 时钟的 2 个周期 + 300ns。
6. 在将  $\overline{\text{NMI}}$  中断用于从停止模式的返回时，请在转换至停止模式前将 NDDR 寄存器设定为“FF<sub>16</sub>”（禁止数字消抖动滤波器功能）。

### 19.5.4 中断源的变更

更改中断源时，中断控制寄存器的 IR 位就可能变为“1”（有中断请求）。使用中断时，必须在更改中断源后将 IR 位置“0”（无中断请求）。

另外，在此所说的中断源的变更包括更改分配在各软件中断号中的中断源、极性及时序的所有要素。因此，变更与中断源、极性及时序有关的外围功能的模式时，必须在更改这些内容后将 IR 位置“0”（无中断请求）。有关外围功能的中断，请参考各外围功能的说明。

中断源的变更步骤的例子如图 19.2 所示。

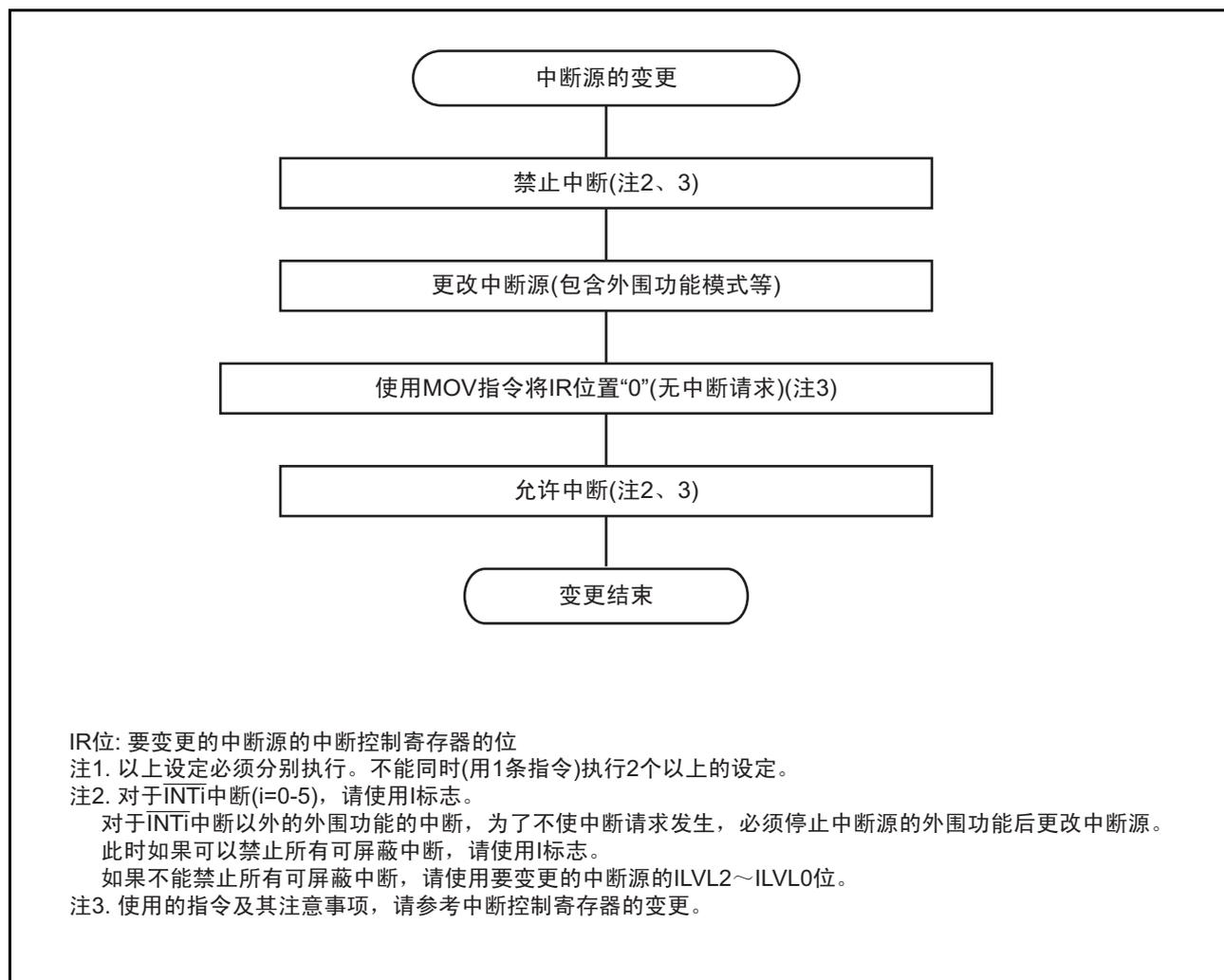


图 19.2 中断源的变更步骤的例子

### 19.5.5 $\overline{\text{INT}}$ 中断

1.  $\overline{\text{INT0}} \sim \overline{\text{INT5}}$  引脚输入的信号与 CPU 时钟无关，需要不低于  $t_{w(\text{INL})}$  的“L”电平宽度或者不低于  $t_{w(\text{INH})}$  的“H”电平宽度。
2. 更改  $\text{INT0IC} \sim \text{INT5IC}$  寄存器的 POL 位和 IFSR 寄存器的 IFSR7  $\sim$  IFSR0 位时，IR 位就可能为“1”（有中断请求）。所以必须在更改这些位后将 IR 位置“0”（无中断请求）。
3. 在将  $\overline{\text{INT5}}$  中断用于从停止模式的返回时，请在转换至停止模式前将 P17DDR 寄存器设定为“FF16”（禁止数字消抖动滤波器功能）。

### 19.5.6 中断控制寄存器的变更

1. 必须在对应中断控制寄存器的不发生中断请求的位置更改中断控制寄存器。在有可能发生中断请求时，必须在禁止中断后更改中断控制寄存器。
2. 在禁止中断后更改中断控制寄存器时，必须注意使用的指令。
  - IR 位以外位的变更  
如果在指令执行过程中发生对应该寄存器的中断请求，IR 位就有可能不变为“1”（有中断请求），中断将被忽略。在出现这种问题时，必须用以下指令更改寄存器：  
对象指令 … AND、OR、BCLR、BSET
  - IR 位的变更  
在将 IR 位置“0”（无中断请求）时，根据使用的指令，IR 位有可能不变为“0”。必须使用 MOV 指令将 IR 位置“0”。
3. 使用 I 标志禁止中断时，必须按以下的参考程序的例子进行 I 标志的设定（有关参考程序例子的中断控制寄存器的变更，请参考(2)）。

例 1～例 3 是防止因内部总线和指令队列缓冲器的影响而在更改中断控制寄存器前使 I 标志变为 “1”（允许中断）的方法。

- 例 1: 通过 NOP 指令等待中断控制寄存器被更改的例子

```
INT_SWITCH1:
    FCLR      I                ; 禁止中断
    AND.B     #00H, 0055H     ; 将 TA0IC 寄存器置 “0016”
    NOP
    NOP
    FSET      I                ; 允许中断
```

NOP 指令如下

PM20=1（1 个等待）的时候，2 条。PM20=0（2 个等待）的时候，3 条。

- 例 2: 通过虚读使 FSET 指令等待的例子

```
INT_SWITCH2:
    FCLR      I                ; 禁止中断
    AND.B     #00H, 0055H     ; 将 TA0IC 寄存器置 “0016”
    MOV.W     MEM, R0         ; 虚读
    FSET      I                ; 允许中断
```

- 例 3: 通过 POPC 指令更改 I 标志的例子

```
INT_SWITCH3:
    PUSHC     FLG
    FCLR      I                ; 禁止中断
    AND.B     #00H, 0055H     ; 将 TA0IC 寄存器置 “0016”
    POPC      FLG             ; 允许中断
```

### 19.5.7 看门狗定时器中断

在发生看门狗定时器中断后，请将看门狗定时器进行初始化。

## 19.6 DMAC 的注意事项

### 19.6.1 对 DMAiCON 寄存器的 DMAE 位写数据 (i=0 ~ 1)

在 19.6.1.1 表示的条件下, 请按 19.6.1.2 所示的步骤写。

#### 19.6.1.1 条件

- DMAE 位为 “1” (DMAi 为激活状态) 时, 再次给 DMAE 位写 “1”。
- 有可能在对 DMAE 位写数据的同时发生 DMA 请求。

#### 19.6.1.2 步骤

1. 同时给 DMAiCON 寄存器的 DMAE 位和 DMAS 位写 “1” (注1)。
2. 通过程序确认 DMAi 是否为初始状态 (注2)。  
DMAi 不为初始状态时, 重复 1. 2. 的操作。

注 1. 即使对 DMAS 位写 “1” 也不变。写 “0” 时, 变为 “0” (无 DMA 请求)。因此, 为了给 DMAE 位写 “1”, 在给 DMAiCON 寄存器写数据时, 如果对要给 DMAS 写的值预先置 “1”, DMAS 就能保持即将写前的状态。对于 DMAE 位的写, 即使使用读改写指令, 只要对要给 DMAS 写的值预先置 “1”, 就能保持指令执行过程中发生的 DMA 请求时。

注 2. 通过 TCRi 寄存器的值进行确认。

读取 TCRi 寄存器, 如果能读取 DMA 传送开始前写给 TCRi 寄存器的值 (对 DMAE 位写数据后发生 DMA 请求时, 为 “给 TCRi 寄存器写的值 -1”), 就判断为处于初始状态; 如果读到的值是正在传送的值, 就判断为非初始状态。

## 19.7 定时器

### 19.7.1 定时器 A

#### 19.7.1.1 定时器 A（定时器模式）

1. 在复位后，定时器停止运行。通过TAiMR（i=0~4）寄存器和TAi寄存器，在设定模式、计数源、计数器的值等后，必须将TABS R寄存器的TAiS位置“1”（开始计数）。另外，与是否为复位后无关，必须在TAiS位为“0”（停止计数）的状态下更改TAiMR寄存器。
2. 通过读取TAi寄存器，能在任何时序读取正在计数的计数器值。但是，在重加载时序中读取时，能读取“FFFF<sub>16</sub>”。另外，在计数停止时，如果在给TAi寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。
3. 在TB2SC寄存器的IVPCR1位为“1”（允许根据 $\overline{SD}$ 引脚的输入强制切断三相输出）时，给 $\overline{SD}$ 引脚输入“L”电平时，TA1OUT、TA2OUT、TA4OUT引脚为高阻抗。

#### 19.7.1.2 定时器 A（事件计数器模式）

1. 在复位后，定时器停止运行。通过TAiMR（i=0~4）寄存器、TAi寄存器、UDF寄存器、ONSF寄存器的TAZIE、TA0TGL和TA0TGH位、TRGSR寄存器，在设定模式、计数源、计数器的值等后，必须将TABS R寄存器的TAiS位置“1”（开始计数）。另外，与是否在复位后无关，必须在TAiS位为“0”（停止计数）的状态下更改TAiMR寄存器、UDF寄存器、ONSF寄存器的TAZIE、TA0TGL和TA0TGH位、TRGSR寄存器。
2. 通过读取TAi寄存器，能在任何时序读取正在计数的计数器值。但是，如果在重加载时序中，下溢时能读取“FFFF<sub>16</sub>”，在溢出时能读取“0000<sub>16</sub>”。在计数停止时，如果在给TAi寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。
3. 在TB2SC寄存器的IVPCR1位为“1”（允许通过 $\overline{SD}$ 引脚的输入电平强制切断三相输出）时，给 $\overline{SD}$ 引脚输入“L”电平时，TA1OUT、TA2OUT、TA4OUT引脚为高阻抗。

### 19.7.1.3 定时器 A（单次触发定时器模式）

1. 在复位后，定时器停止运行。通过TAiMR（i=0~4）寄存器、TAi寄存器、ONSF寄存器的TA0TGL和TA0TGH位、TRGSR寄存器，在设定模式、计数源、计数器的值之后，必须将TABSR寄存器的TAiS位置“1”（开始计数）。  
另外，与是否复位无关，必须在TAiS位为“0”（停止计数）的状态下更改TAiMR寄存器、ONSF寄存器的TA0TGL和TA0TGH位、TRGSR寄存器。
2. 在计数过程中将TAiS位置“0”（停止计数）时，进行以下的运行。
  - 计数器停止计数，将重加载寄存器的内容进行重加载。
  - TAiOUT引脚输出“L”电平。
  - 在CPU时钟的1个周期后，TAiC寄存器的IR位变为“1”（有中断请求）。
3. 由于单次触发定时器的输出与内部生成的计数源同步，所以在选择外部触发时，从给TAiIN引脚触发输入至单次触发定时器输出，最大产生计数源1个周期的延迟。
4. 在通过以下任何一个方法进行定时器运行模式的设定时，IR位变为“1”。
  - 在复位后选择单次触发定时器模式时
  - 将运行模式从定时器模式更改为单次触发定时器模式时
  - 将运行模式从事件计数器模式更改为单次触发定时器模式时因此，在使用定时器Ai中断（IR位）时，请在进行上述设定后将IR位置“0”。
5. 如果在计数过程中发生触发，计数器就在再次发生触发后进行1次递减计数，然后进行重加载寄存器的重加载，并继续进行计数。如果在计数过程中产生触发，就必须从前次的触发发生开始至少经过定时器计数源的1个周期以后使之再次产生触发。
6. 如果通过定时器A的单次触发定时器模式给计数开始条件选择外部触发，就不能在定时器A的计数值变为“0000<sub>16</sub>”前的300ns期间再次输入外部触发。否则，单次触发定时器有可能停止，不继续计数。
7. 在TB2SC寄存器的IVPCR1位为“1”（允许通过 $\overline{SD}$ 引脚输入的强制切断三相输出）时，给 $\overline{SD}$ 引脚输入“L”电平时，TA1OUT、TA2OUT、TA4OUT引脚为高阻抗。

#### 19.7.1.4 定时器 A（脉宽调制模式）

1. 在复位后，定时器停止运行。通过TAiMR（i=0~4）寄存器、TAi寄存器、ONSF寄存器的TA0TGL和TA0TGH位、TRGSR寄存器，设定模式、计数源、计数器的值之后，必须将TABS R寄存器的TAiS位置“1”（开始计数）。  
另外，与是否为复位后的状态无关，必须在TAiS位为“0”（停止计数）的状态下更改TAiMR寄存器、ONSF寄存器的TA0TGL和TA0TGH位、TRGSR寄存器。
2. 在通过以下的任何一个方法设定定时器运行模式时，IR位变为“1”。
  - 在复位后选择PWM模式时
  - 将运行模式从定时器模式更改为PWM模式时
  - 将运行模式从事件计数器模式更改为PWM模式时因此，在使用定时器Ai中断（IR位）时，请在进行上述设定后通过程序将IR位置“0”
3. 在输出PWM脉冲的过程中将TAiS位置“0”（停止计数）时，进行如下的运行。
  - 计数器停止计数。
  - 在从TAiOUT引脚输出“H”电平时，输出电平变为“L”，并且IR位为“1”。
  - 在从TAiOUT引脚输出“L”电平时，输出电平和IR位都不变。
4. 在TB2SC寄存器的IVPCR1位为“1”（通过 $\overline{SD}$ 引脚输入允许三相强制截止）时，给 $\overline{SD}$ 引脚输入“L”电平时，TA1OUT、TA2OUT、TA4OUT引脚就高阻抗。

## 19.7.2 定时器 B

### 19.7.2.1 定时器 B（定时器模式）

1. 在复位后，定时器停止运行。通过 TBiMR (i=0~2) 寄存器和 TBi 寄存器，在设定模式、计数源、计数器的值之后，必须将 TABSR 寄存器的 TBiS 位置 “1”（开始计数）。  
另外，与是否为复位后的状态无关，必须在 TBiS 位为 “0”（停止计数）的状态下更改 TBiMR 寄存器。
2. 通过读取 TBi 寄存器，能在任何时序读取正在计数的计数器值。但是，在重加载时序中读取时，只能读取 “FFFF<sub>16</sub>”。另外，在计数停止时，如果在给 TBi 寄存器设定值以后并且在计数器开始计数前读取时，就能读取设定值

### 19.7.2.2 定时器 B（事件计数器模式）

1. 在复位后，定时器停止运行。通过 TBiMR (i=0~2) 寄存器和 TBi 寄存器，在设定模式、计数源、计数器的值之后，必须将 TABSR 寄存器的 TBiS 位置 “1”（开始计数）。  
另外，与是否在复位后的状态无关，必须在 TBiS 位为 “0”（停止计数）的状态下更改 TBiMR 寄存器。
2. 通过读取 TBi 寄存器，能在任何时序读取正在计数的计数器值。但是，在重加载时序中读取时，只能读取 “FFFF<sub>16</sub>”。另外，在计数停止时，如果在给 TBi 寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

### 19.7.2.3 定时器 B（脉冲周期测定 / 脉宽测量模式）

1. 在复位后，定时器停止运行。通过 TBiMR（i=0~2）寄存器，在设定模式、计数源等之后，必须将 TABSR 寄存器的 TBiS 位置 “1”（开始计数）。  
另外，与是否为复位后的状态无关，必须在 TBiS 位为 “0”（停止计数）的状态下更改 TBiMR 寄存器。为了将 MR3 位置 “0”，在 TBiS 位为 “1”（开始计数）的状态下写 TBiMR 寄存器时，必须给 TM0D0、TM0D1、MR0、MR1、TCK0、TCK1 位写与前次写的值相同的值，并且给 MR2 写 “0”。
2. 在输入测定脉冲的有效边沿时或者在定时器 Bi 溢出时，TBiIC 寄存器（i=0~2）的 IR 位变为 “1”（有中断请求）。在中断程序内用 TBiMR 寄存器的 MR3 位判断中断请求源。
3. 用 MR3 位不能判断测定脉冲输入重叠于定时器溢出时序等中断源时，必须用其它定时器对溢出次数进行计数
4. 将 MR3 位置 “0”（无溢出）时，请在 TBiS 位为 “1”（开始计数）的状态下并且在 MR3 位变为 “1”（有溢出）后的下一个计数源的计数时序以后写 TBiMR 寄存器。
5. 在只检测溢出时，使用 TBiIC 寄存器的 IR 位。在中断程序内只判断中断源时使用 MR3 位。
6. 在开始计数后的第 1 次有效边沿输入时，不定值被传送至重加载寄存器。此时，不发生定时器 Bi 中断请求。
7. 在开始计数时，计数器值不定。因此，在开始计数后且在有效边沿输入前，MR3 位可能为 “1”，并且定时器 Bi 可能发生中断请求。
8. 在脉宽测量模式时连续测定脉冲宽度，必须用程序判断测定结果是 “H” 电平还是 “L” 电平。

### 19.7.3 三相马达控制用定时器功能

将 TB2SC 寄存器的 IVPCR1 位置 “1”（通过  $\overline{SD}$  引脚输入允许三相强制截止）并将 INVC0 寄存器的 INV03 位置 “1”（允许三相马达控制用定时器输出），输出三相 PWM 时，向  $\overline{SD}$  引脚输入 “L” 电平时，产生强制截止的对象引脚就为高阻抗。同时，INV03 位变为 “0”（禁止三相马达控制用定时器输出）。

从对象引脚重新开始三相 PWM 输出时，在 SD 引脚变为 “H” 电平后，必须将 INV03 位置 “1”，并将 IVPCR1 位置 “0”（禁止三相强制截止）。此后通过将 IVPCR1 位置 “1”（允许三相强制截止），由 SD 引脚输入的三相强制截止功能重新有效。

另外，在 SD 引脚为 “L” 电平期间，不能将 INV03 位置 “1”。在强制截止后的返回处理中，对 INV03 位写 “1” 后读出，必须通过程序确认 INV03 位变为 “1”。此后，必须将 IVPCR1 位置 “0” 后再置 “1”。

## 19.8 串行 I/O

### 19.8.1 串行 I/O（时钟同步串行 I/O 模式）

#### 19.8.1.1 发送 / 接收

1. 在选择外部时钟和  $\overline{\text{RTS}}$  功能时，如果进入可接收状态， $\overline{\text{RTSi}}$  引脚的输出电平就变为“L”，将已成为可接收的状态通知发送方。开始接收时， $\overline{\text{RTSi}}$  引脚的输出电平变为“H”。因此，将  $\overline{\text{RTSi}}$  引脚连接到发送方的  $\overline{\text{CTS}}$  引脚时，可匹配发送/接收的时序。在选择内部时钟时， $\overline{\text{RTS}}$  功能无效。
2. 在 TB2SC 寄存器的 IVPCR1 位为“1”（通过  $\overline{\text{SD}}$  引脚输入允许三相强制截止）时，如果给  $\overline{\text{SD}}$  引脚输入“L”电平，P7<sub>3</sub>/ $\overline{\text{RTS2}}$ / $\overline{\text{TxD1}}$  引脚（ $\overline{\text{TxD1}}$  引脚在 PACR 寄存器的 U1MAP 位为“1”时有效）和 CLK2 引脚就为高阻抗。

#### 19.8.1.2 发送

在选择外部时钟时，如果 UiC0 寄存器的 CKPOL 位为“0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据），外部时钟就为“H”状态；如果 CKPOL 位为“1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据），外部时钟就为“L”状态。并且必须满足以下条件：

- UiC1 寄存器的 TE 位为“1”（允许发送）
- UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）
- 在选择  $\overline{\text{CTS}}$  功能时， $\overline{\text{CTS}}$  引脚的输入为“L”电平

#### 19.8.1.3 接收

1. 在时钟同步串行 I/O 中，通过发送器的运行产生移位时钟。因此，即使只用于接收，也必须进行发送的设定。接收时从  $\overline{\text{TxDi}}$  引脚将虚设数据输出至外部。
2. 在选择内部时钟时，如果将 UiC1 寄存器（ $i=0\sim 2$ ）的 TE 位置“1”（允许发送），并且将虚设数据设定到 UiTB 寄存器，就产生移位时钟；在选择外部时钟时，如果将 TE 位置“1”、将虚设数据设定到 UiTB 寄存器，并且将外部时钟输入至 CLK<sub>i</sub> 引脚，就产生移位时钟。
3. 在连续接收数据时，如果 UiC1 寄存器（ $i=0\sim 2$ ）的 RE 位为“1”（UiRB 寄存器中有数据），并且 UART<sub>i</sub> 接收寄存器已有下一个接收数据，就发生溢出错误，UiRB 寄存器的 OER 位变为“1”（发生溢出错误）。此时，由于 UiRB 寄存器不定，所以必须在发送方和接收方的程序中，对溢出错误发生时的前一次数据进行再次发送处理。另外，在发生溢出错误时，SiRIC 寄存器的 IR 位不变。
4. 在连续接收数据时，请在每次接收时给 UiTB 寄存器的低位字节设定虚设数据。
5. 在选择外部时钟时，如果 CKPOL 位为“0”，外部时钟就为“H”状态；如果 CKPOL 位为“1”，外部时钟就为“L”状态。并且必须满足以下条件：
  - UiC1 寄存器的 RE 位为“1”（允许接收）
  - UiC1 寄存器的 TE 位为“1”（允许发送）
  - UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）

## 19.8.2 串行 I/O (UART 模式)

### 19.8.2.1 特殊模式 1 (I<sup>2</sup>C bus 模式)

生成开始条件、停止条件、重新开始条件时，必须在将 U2SMR4 寄存器的 STSPSEL 位置“0”后等待传送时钟的半个及半个周期以上后，将各条件生成位 (STAREQ、RTAREQ、STPREQ) 从“0”置成“1”

### 19.8.2.2 特殊模式 2

在 TB2SC 寄存器的 IVPCR1 位为“1” (通过  $\overline{SD}$  引脚输入允许三相强制截止) 时，如果给  $\overline{SD}$  引脚输入“L”电平， $\overline{RTS2}$  引脚和 CLK2 引脚就为高阻抗。

### 19.8.2.3 特殊模式 4 (SIM 模式)

在复位解除后，如果将 U2C1 寄存器的 U2IRS 位置“1” (发送结束)、U2ERE 位置“1” (错误信号输出)，就产生发送中断请求。因此，在使用 SIM 模式时，必须在设定后将 IR 位置“0” (无中断请求)。

## 19.9 A/D 转换器

1. 请在 A/D 转换停止时（发生触发前）写 ADCON0 寄存器（bit6 除外）、ADCON1 寄存器、ADCON2 寄存器。
2. 在将 ADCON1 寄存器的 VCUT 位从“0”（V<sub>REF</sub> 未连接）置成“1”（V<sub>REF</sub> 连接）时，等待 1 μs 或 1 μs 以上之后再开始进行 A/D 转换。
3. 为了防止因噪声引起的误动作和门锁、降低转换误差，请在 AV<sub>CC</sub> 引脚、V<sub>REF</sub> 引脚、模拟输入引脚（AN<sub>i</sub>(i=0~7)、AN<sub>24</sub>、AN<sub>3i</sub>(i=0~2)）和 AV<sub>SS</sub> 引脚之间分别插入电容。同样，也请在 V<sub>CC</sub> 引脚和 V<sub>SS</sub> 引脚之间插入电容。各引脚的处理例如图 19.3 所示。
4. 必须将对应用作模拟输入引脚的端口方向位置“0”（输入模式）。另外，在 ADCON0 寄存器的 TRG 位为“1”（外部触发）时，必须将对应 AD<sub>TRG</sub> 引脚的端口方向位置“0”（输入模式）。
5. 使用键输入中断时，AN<sub>4</sub>~AN<sub>7</sub> 的 4 个都不能用作模拟输入引脚（A/D 输入电压为“L”电平时，产生键输入中断请求）。
6. φ<sub>AD</sub> 的频率不能超过 10MHz（M16C/26B 为 12MHz 以下）。在无采样&保持功能时，φ<sub>AD</sub> 的频率必须大于等于 250kHz；在有采样&保持功能时，φ<sub>AD</sub> 的频率必须大于等于 1MHz。
7. 在改变 A/D 运行模式时，请通过 ADCON0 寄存器的 CH<sub>2</sub>~CH<sub>0</sub> 位或者 ADCON1 寄存器的 SCAN<sub>1</sub>~SCAN<sub>0</sub> 位重新选择模拟输入引脚。

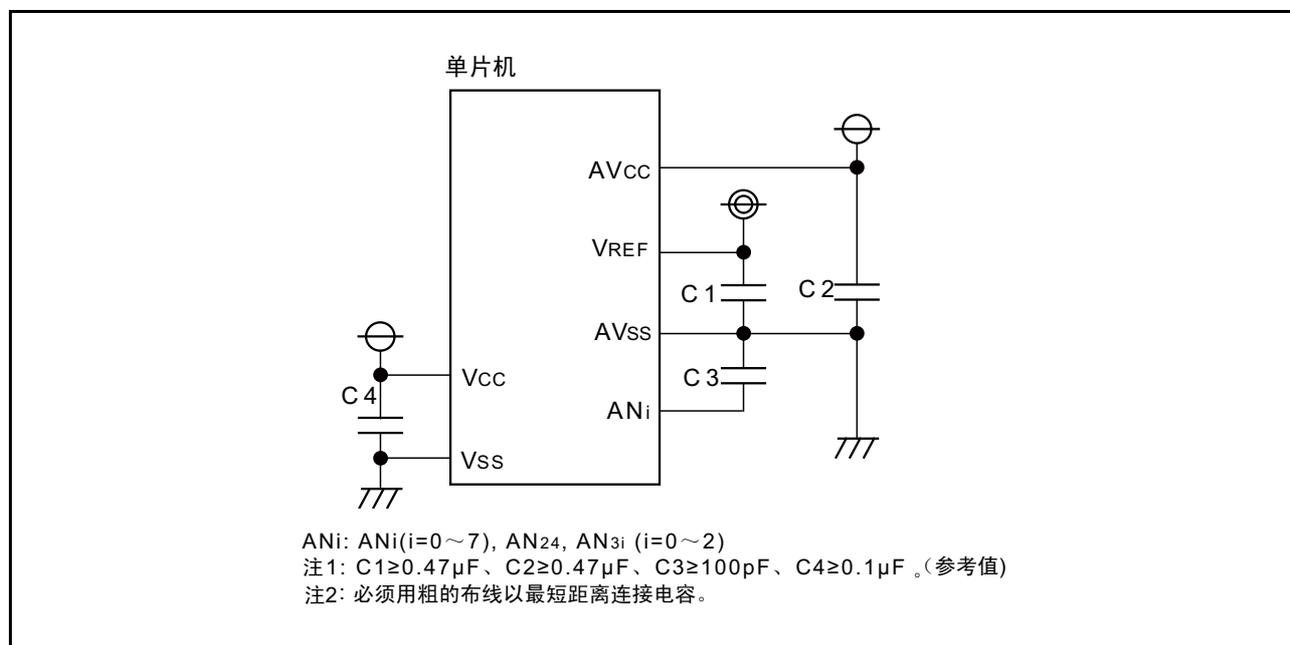


图 19.3 各引脚的处理例

8. 在A/D转换结束后将转换结果保存到A/D寄存器*i* ( $i=0\sim 7$ )时, 如果CPU读取A/D寄存器*i*, 错误值就被保存到A/D寄存器*i*。在对CPU时钟选择主时钟的分频时钟或者副时钟时, 发生此现象。
  - 在使用单次模式、单次扫描模式、同时采样扫描模式、延迟触发模式0或者延迟触发模式1时请在确认了A/D转换结束后读对象A/D寄存器*i* (能用ADIC寄存器的IR位判断A/D转换结束)。
  - 在重复模式、重复扫描模式0或者重复扫描模式1下使用时, CPU时钟必须是没有分频的主时钟。
9. 如果在A/D转换运行中通过程序将ADCON0寄存器的ADST位置“0”(停止A/D转换)来强制结束转换, A/D转换器的转换结果就不定。另外, 不进行A/D转换的A/D寄存器*i*的内容也可能不定。如果在A/D转换运行过程中通过程序将ADST位置“0”, 就不能使用所有A/D寄存器*i*的值。
10. 在单次扫描转换模式、延迟触发模式0或者延迟触发模式1的A/D转换过程中, 如果将ADCON寄存器的ADST位置“0”来中止A/D转换, 就必须在将ADST位置“0”前禁止中断。

### 19.10 可编程输入 / 输出端口

1. 在TB2SC寄存器的IVPCR1位为“1”(通过 $\overline{SD}$ 引脚输入允许三相强制截止)时如果给 $\overline{SD}$ 引脚输入“L”电平P7<sub>2</sub>~P7<sub>5</sub>、P8<sub>0</sub>~P8<sub>1</sub>引脚就为高阻抗。
2. 对于可编程输入/输出端口和外围功能, 其输入阈电压不同。  
因此, 在可编程输入/输出端口和外围功能复用引脚时, 如果此引脚的输入电平为推荐运行条件V<sub>IH</sub>和V<sub>IL</sub>的范围以外(即不为“H”也不为“L”电平), 在可编程输入/输出端口、外围功能中对电平判断的结果就有可能不同。
3. 在INVC0寄存器的INV03位为“1”(允许用于控制三相马达的定时器输出)时, 如果给P8<sub>5</sub>/ $\overline{NMI}/\overline{SD}$ 引脚输入“L”电平, 就变为以下状态:
  - 在TB2SC寄存器的IVPCR1位为“1”(通过 $\overline{SD}$ 引脚输入允许三相强制截止)时, U $\overline{U}$ /V $\overline{V}$ /W $\overline{W}$ 相引脚为高阻抗。
  - 在TB2SC寄存器的IVPCR1位为“0”(禁止通过 $\overline{SD}$ 引脚输入禁止三相强制截止)时, U $\overline{U}$ /V $\overline{V}$ /W $\overline{W}$ 相引脚为通常的端口。

因此, 在INV03位为“1”时, 不能将P8<sub>5</sub>用作可编程输入/输出端口。

在不使用 $\overline{SD}$ 功能时, 请在将PD8<sub>5</sub>位置“0”(输入)后从外部将P8<sub>5</sub>/ $\overline{NMI}/\overline{SD}$ 引脚上拉到“H”电平。

### 19.11 闪存版和掩模型 ROM 版的不同点

闪存版和掩模型 ROM 版根据内部 ROM 和版图模式的不同, 其电气特性范围内的特性值、运行容限、噪声耐量、噪声辐射量等有可能不同。在切换到掩模型 ROM 版时, 必须进行和闪存版同等的系统评价试验。

### 19.12 掩模型 ROM 版

#### 19.12.1 内部 ROM 区

不能对掩模型 ROM 版的内部 ROM 区进行写操作。写时有增加消耗电流的可能性。

#### 19.12.2 保留位

0FFFF<sub>16</sub>地址的b<sub>3</sub>~b<sub>0</sub>是保留位, 请设定为“1111<sub>2</sub>”。

## 19.13 闪存版

### 19.13.1 禁止闪存改写功能

0FFFDF<sub>16</sub>、0FFFE3<sub>16</sub>、0FFFEB<sub>16</sub>、0FFFEF<sub>16</sub>、0FFFF3<sub>16</sub>、0FFFF7<sub>16</sub>、0FFFFB<sub>16</sub> 地址是保存 ID 码的地址。对这些地址写错误数据时，就不能进行由标准串行输入 / 输出模式进行的闪存的读写。

另外，0FFFFFF<sub>16</sub> 地址为 ROMCP 寄存器。对此地址写错误数据时，就不能进行由并行输入 / 输出模式进行的闪存的读写。这些地址被分配到固定向量的向量地址 (H)。0FFFFFF<sub>16</sub> 地址的 b3 ~ b0 是保留位，请设定“1111<sub>2</sub>”。

### 19.13.2 停止模式

转换至停止模式时，请在将 FMR01 位置“0”（CPU 改写模式无效）且禁止 DMA 传送后执行将 CM10 位置“1”（停止模式）的指令。

### 19.13.3 等待模式

转换至等待模式时，请在将 FMR01 位置“0”（CPU 改写模式无效）后执行 WAIT 指令。

### 19.13.4 低功耗模式、内部振荡器低功耗模式

在 CM05 位为“1”（主时钟停止）时，不能执行以下的命令：

- 编程、块擦除

### 19.13.5 命令、数据的写

必须给偶数地址写命令码和数据。

### 19.13.6 编程命令

在第 1 总线周期写“xx40<sub>16</sub>”，并且在第 2 总线周期给写入地址写数据时，开始自动写（数据的编程和验证）。第 1 总线周期的地址值必须与在第 2 总线周期指定的写地址相同并且是偶数地址。

### 19.13.7 运行速度

在 CPU 时钟源为主时钟时，请在进入 CPU 改写模式（EW0、EW1 模式）前，通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位将 CPU 时钟设定为 10MHz 以下。另外，在 CPU 时钟源为内部振荡器并且选择 f<sub>3</sub>(ROC) 时，请在进入 CPU 改写模式（EW0、EW1 模式）前，将 ROCR 寄存器的 ROCR3 ~ ROCR2 位设定为 4 分频或者 8 分频。

无论是何种情况，都请将 PM1 寄存器的 PM17 位置“1”（有等待）。

### 19.13.8 禁止使用的指令

在 EW0 模式下，由于以下指令参考闪存内的数据，所以不能使用。

UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令

### 19.13.9 中断

#### 19.13.9.1 EW0 模式

- 可变向量表中有向量的中断，可按向量地址移至RAM区。
- 因为在中断发生时强制初始化FMR0寄存器和FMR1寄存器，所以能使用 $\overline{\text{NMI}}$ 中断、看门狗定时器中断。必须给固定向量表设定各中断程序的转移地址。因为在发生 $\overline{\text{NMI}}$ 中断、看门狗定时器中断时，中止改写运行，所以必须在中断程序结束后重新执行改写程序。
- 由于地址匹配中断参考闪存内的数据，所以不能使用。

#### 19.13.9.2 EW1 模式

- 在自动写或者禁止擦除挂起功能的自动擦除期间，不能接受具有可变向量表中有向量的中断或者地址匹配中断。
- 因为在中断发生时强制初始化FMR0寄存器和FMR1寄存器，所以能使用 $\overline{\text{NMI}}$ 中断。必须给固定向量表设定各中断程序的转移地址。因为在发生 $\overline{\text{NMI}}$ 中断时，中止改写运行，所以必须在中断程序结束后重新执行改写程序。

### 19.13.10 存取方法

在将FMR01位、FMR02位、FMR11和FMR16位置“1”时，必须在将对象位写“0”后再写“1”。在写“0”后并且在写“1”前，不能发生中断和DMA传送。另外，必须在PM24=“1”（选择 $\overline{\text{NMI}}$ ）的条件下并且给 $\overline{\text{NMI}}$ 引脚输入“H”电平的状态下进行。

### 19.13.11 用户ROM区的改写

#### 19.13.11.1 EW0 模式

- 在对保存改写控制程序的块进行改写的过程中，电源电压降低时，改写控制程序就不能被正常改写，此后有可能发生闪存不能改写的情况。此时，必须使用标准串行输入/输出模式。

#### 19.13.11.2 EW1 模式

- 不能改写保存改写控制程序的块。

### 19.13.12 DMA 传送

在EW1模式下并且FMR0寄存器的FMR00位为“0”（自动写、自动擦除期间）时不能进行DMA传送。

### 19.13.13 有关编程、擦除次数和执行时间

软件命令（编程命令、块擦除命令）的执行时间随着编程、擦除次数变长。

通过硬件复位1、硬件复位2、 $\overline{\text{NMI}}$ 中断、看门狗定时器中断，能暂停软件命令。在暂停软件命令后，必须在擦除该块后再次执行。

#### 19.13.14 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为  $n$  次 ( $n=100$ 、 $1,000$ 、 $10,000$ ) 时，能按块分别擦除  $n$  次。

例如，对 2K 字节的块 A 的不同地址进行 1,024 次的 1 个字的写操作后擦除此块，编程 / 擦除次数就被计为 1 次。但是，对于 1 次的擦除，不能对同一地址进行多次写操作（禁止覆盖写）。

#### 19.13.15 关于进行多次改写的系统（产品代码 :U7、U9）

如果可能对块 A 和块 B 进行 100 次以上的改写（U7、U9），就必须在复位后将 FMR1 寄存器的 FMR17 位总是设定为“1”（有等待）。如果将 FMR17 位设定为“1”（有等待），就与 PM17 位无关而在存取块 A 和块 B 时插入 1 个等待。在存取其他块和内部 RAM 时，与 FMR17 位无关为 PM17 的设定。

作为有效地减少改写次数的方法，采取错开写地址等手段，在进行尽可能不留有空区的编程（写）后，执行 1 次擦除。例如，进行 1 组 8 字的编程时，如果在进行最大 128 组的写操作后执行 1 次擦除，就能有效地减少改写次数。

块 A 和块 B 的擦除次数相等时，可更有效地减少改写次数。

另外，建议记录对每块实施的擦除次数的信息以及设置限制次数。

#### 19.13.16 引导模式的注意事项

如接通电源时等，内部电源还不稳定的状态时，如果给 CNV<sub>SS</sub> 引脚输入“H”电平并且给  $\overline{\text{RESET}}$  引脚输入“L”电平，可在内部电源稳定前从输入 / 输出端口输出不定值。

在给 CNV<sub>SS</sub> 引脚输入“H”电平时，必须按以下的步骤进行：

1. 将“L”电平分别输入至  $\overline{\text{RESET}}$  引脚和 CNV<sub>SS</sub> 引脚
2. 在 V<sub>CC</sub> 引脚上升到 2.7V 及 2.7V 以上之后，等待不低于 2ms 的时间（内部电源稳定等待时间）
3. 将“H”电平输入至 CNV<sub>SS</sub> 引脚
4. 将“H”电平输入至  $\overline{\text{RESET}}$  引脚（解除复位）

在 CNV<sub>SS</sub> 引脚为“H”电平和  $\overline{\text{RESET}}$  引脚为“L”电平期间，P67 连接上拉电阻。

### 19.14 噪声

作为噪声对策，必须在 VCC 引脚和 VSS 引脚之间使用最短的且较粗的布线连接旁路电容（0.1  $\mu\text{F}$  左右）。旁路电容的连接例如图 19.4 所示。

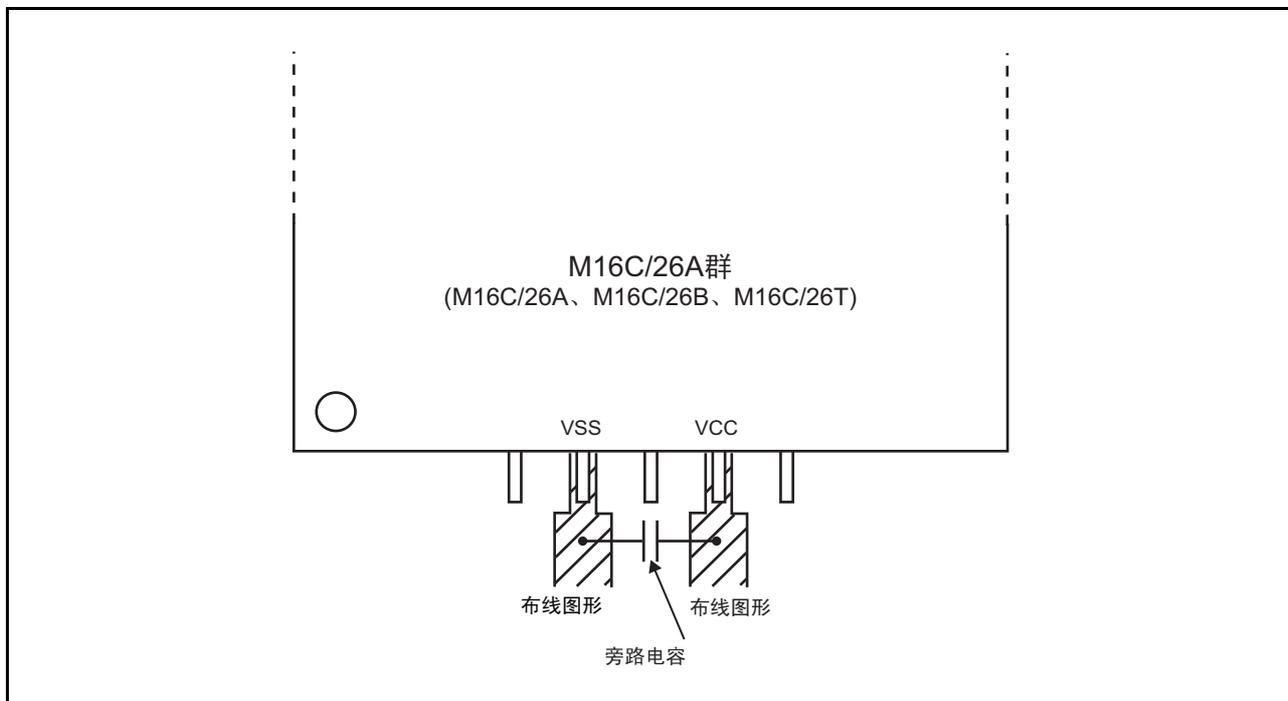


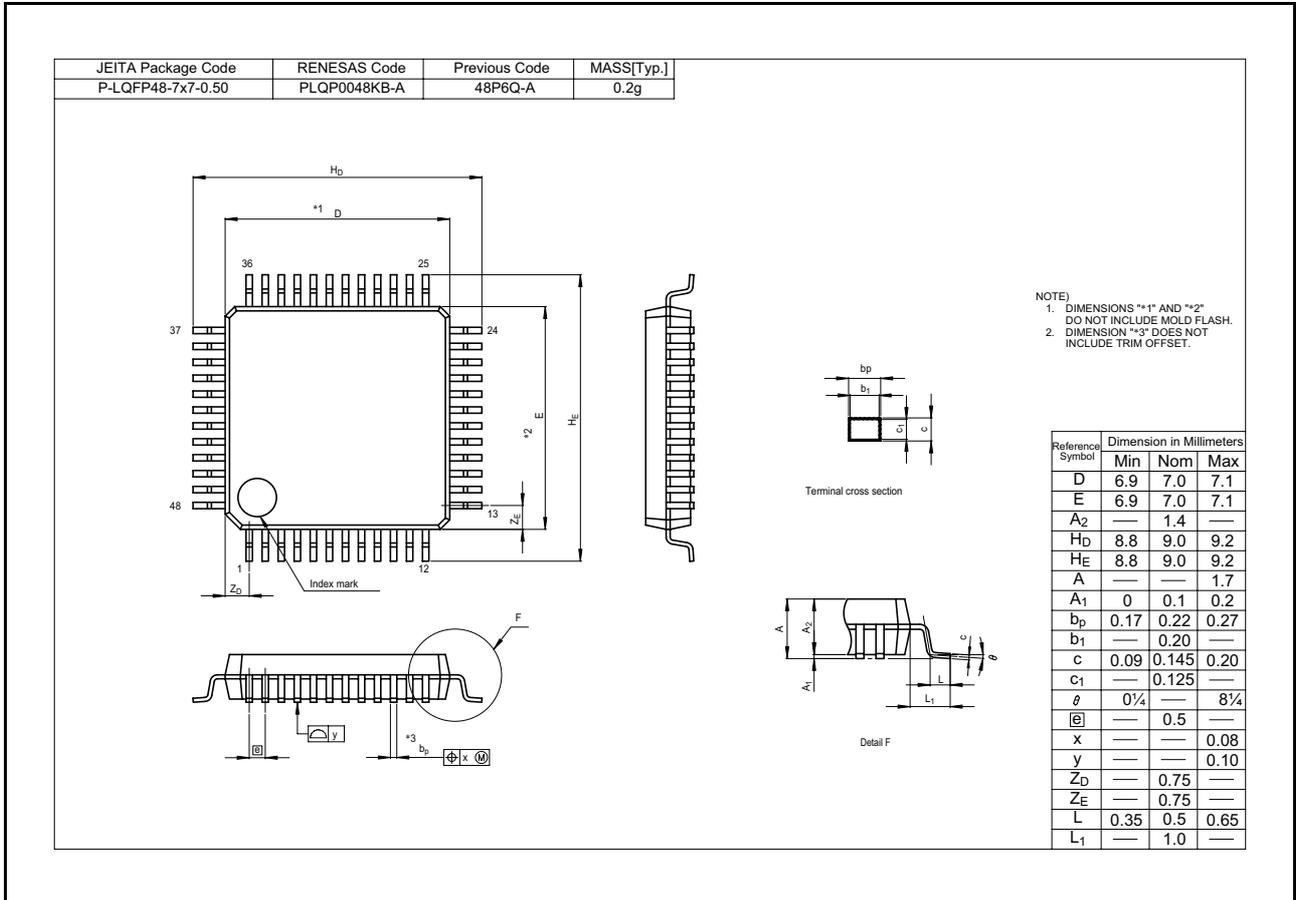
图 19.4 旁路电容的连接例

### 19.15 有关器件的使用注意事项

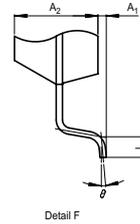
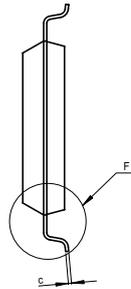
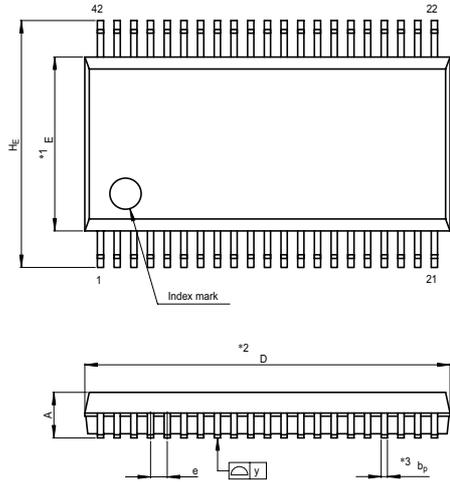
为了防止静电放电时的器件损坏，需要注意器件的使用。在可靠性手册中，举例说明了有关防止器件的静电破坏所需注意的事项。

# 附录

## 附录 1. 封装尺寸图



JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-SSOP42-8.4x17.5-0.80	PRSP0042GA-B	42P2R-E	0.6g



NOTE)  
 1. DIMENSIONS \*\*1\* AND \*\*2\* DO NOT INCLUDE MOLD FLASH.  
 2. DIMENSION \*3\* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	17.3	17.5	17.7
E	8.2	8.4	8.6
A <sub>2</sub>	—	2.0	—
A	—	—	2.4
A <sub>1</sub>	0.05	—	—
b <sub>p</sub>	0.25	0.3	0.4
c	0.13	0.15	0.2
θ	0¼	—	10¼
H <sub>E</sub>	11.63	11.93	12.23
e	0.65	0.8	0.95
y	—	—	0.15
L	0.3	0.5	0.7

## 附录 2. 功能不同点

## 附录 2.1 M16C/26A、M16C/26B 和 M16C/26T 的功能不同点

项目	M16C/26A、M16C/26B	M16C/26T
复位中及复位后的主时钟	振荡（CM05 位的复位中及复位后的初始值“1”）	停止（CM05 位的复位中及复位后的初始值“1”）
低电压检测电路 （0019 <sub>16</sub> ,001A <sub>16</sub> ,001F <sub>16</sub> 地址的功能）	有（选项）（VCR1 寄存器、VCR2 寄存器、D4INT 寄存器）	无（保留寄存器）
封装	PLQP0048KB-A（48P6Q）， PRSP0042GA-B（42P2R）	PLQP0048KB-A（48P6Q）

注 1. 由于 M16C/26A 群和 M16C/29 群的仿真器是共通的，所以仿真器具备 M16C/29 的全部功能。在评价 M16C/26 群时，不能存取 M16C/26A 群中没有的特殊功能寄存器。有关详细内容和电气特性，请参考各硬件手册。

## 附录 2.2 M16C/26A 群和 M16C/26 群的功能不同点

项目	M16C/26A 群	M16C/26 群
时钟发生电路	4 个电路（主时钟振荡电路、副时钟振荡电路、内部振荡器、PLL 频率合成器）	3 个电路（主时钟振荡电路、副时钟振荡电路、内部振荡器）
复位后的系统时钟源 （CM2 寄存器 CM21 位的初始值）	内部振荡器（CM21 位的初始值“1”）	主时钟（CM21 位的初始值为“0”）
内部振荡器时钟	可选择（8MHz/1MHz/500kHz）	固定（1MHz）
PACR 寄存器的 PACR2 ~ PACR0 的设定	复位后，有必要设定 48 引脚：“100 <sub>2</sub> ”、42 引脚：“001 <sub>2</sub> ”	无 PACR 寄存器
IFSR2A 寄存器的 IFSR20 位的设定	复位后，有必要设定为“1”	无 IFSR2A 寄存器
外部中断	8 个源（追加 $\overline{\text{INT2}}$ ）	7 个源
13pin（48 引脚版）的功能	P84/INT2 /ZP	IVcc
P7 <sub>0</sub> , P7 <sub>1</sub>	S/W 可选择 N 通道漏极开路输出与 CMOS 输出	N 通道漏极开路输出
A/D 输入引脚（48 引脚版）	12 通道	8 通道
A/D 运行模式	8 种模式（单次模式、重复模式、单次扫描模式、重复扫描模式 0、重复扫描模式 1、同时采样扫描模式、延迟触发模式 0、延迟触发模式 1） 对应 1 并联电流测量功能	5 种模式（单次模式、重复模式、单次扫描模式、重复扫描模式 0、重复扫描模式 1）
定时器 B 运行模式	5 种模式（定时器模式、事件计数器模式、脉冲周期测量模式、脉宽测量模式、A/D 触发模式） 对应 1 并联电流测量功能	4 种模式（定时器模式、事件计数器模式、脉冲周期测量模式、脉宽测量模式）
CRC 运算	有（对应 CRC-CCITT 方式和 CRC-16 方式）	无
三相马达控制	<ul style="list-style-type: none"> <li>可通过 S/W 切换端口输出 / 波形输出</li> <li>有位置数据保持功能</li> </ul>	<ul style="list-style-type: none"> <li>不能通过 S/W 切换端口输出 / 波形输出</li> <li>无位置数据保持功能</li> </ul>
数字消抖动功能	有 $\overline{\text{NMI}}$ / $\overline{\text{SD}}$ 引脚、 $\overline{\text{INT5}}$ 引脚	无
3pin（48 引脚版）的功能	P9 <sub>0</sub> /CLKOUT/TB0IN/AN3 <sub>0</sub> （CLKOUT: f <sub>1</sub> 、f <sub>8</sub> 、f <sub>32</sub> 、f <sub>c</sub> 输出）	P9 <sub>0</sub> /TB0IN
UART1 对应引脚	可切换 P6 <sub>4</sub> ~ P6 <sub>7</sub> 或 P7 <sub>0</sub> ~ P7 <sub>3</sub>	P6 <sub>4</sub> ~ P6 <sub>7</sub>
闪存保护功能	通过 FMR02 位对块 0,1 保护 通过 FMR16 位对块 0 ~ 3 保护	通过 FMR02 位对块 0,1 保护
封装	PLQP0048KB-A（48P6Q）, PRSP0042GA-B（42P2R）	PLQP0048KB-A（48P6Q）

注. 由于 M16C/26A 群和 M16C/29 群的仿真器是共通的，所以仿真器具备 M16C/29 的全部功能。在评价 M16C/26A 群时，不能存取 M16C/26A 群中没有的特殊功能寄存器。有关详细内容和电气特性，请参考各硬件手册。

## 索引

<b>A</b>		INVC1 .....	137
AD0 ~ AD7 .....	200	<b>K</b>	
ADCON0 ~ ADCON2 .....	198	KUPIC .....	78
ADIC .....	78	<b>N</b>	
ADTRGCON .....	199	NDDR .....	242
AIER .....	90	<b>O</b>	
<b>B</b>		ONSF .....	109
BCNIC .....	78	<b>P</b>	
<b>C</b>		P1 .....	239
CM0 .....	48	P10 .....	239
CM1 .....	49	P17DDR .....	242
CM2 .....	51	P6 .....	239
CPSRF .....	109,124	P7 .....	239
CRCD .....	229	P8 .....	239
CRCIN .....	229	P9 .....	239
CRCMR .....	229	PACR .....	155,241
CRCSAR .....	229	PCLKR .....	52
<b>D</b>		PD1 .....	238
D4INT .....	38	PD10 .....	238
DAR0 .....	98	PD6 .....	238
DAR1 .....	98	PD7 .....	238
DM0CON .....	97	PD8 .....	238
DM0IC .....	78	PD9 .....	238
DM0SL .....	96	PFCR .....	148
DM1CON .....	97	PLC0 .....	53
DM1IC .....	78	PM0 .....	43
DM1SL .....	97	PM1 .....	43
DTT .....	138	PM2 .....	44
<b>F</b>		PRCR .....	71
FMR0 .....	256	PUR0 ~ PUR2 .....	240
FMR1 .....	256	<b>R</b>	
FMR4 .....	257	RMAD0 .....	90
<b>I</b>		RMAD1 .....	90
ICTB2 .....	138	ROCR .....	50
IDB0 .....	138	ROMCP .....	250
IDB1 .....	138	<b>S</b>	
IFSR .....	79	S0RIC ~ S2RIC .....	78
IFSR2A .....	79	S0TIC ~ S2TIC .....	78
INT0IC ~ INT2IC .....	78	SAR0 .....	98
INT3IC .....	78	SAR1 .....	98
INT4IC .....	78		
INT5IC .....	78		
INVC0 .....	136		

**T**

TA0IC ~ TA4IC .....	78
TA0MR.....	107
TA0MR ~ TA4MR .....	107
TA1 .....	139
TA11 .....	139
TA1MR.....	142
TA2 .....	139
TA21 .....	139
TA2MR.....	115,142
TA4 .....	139
TA41 .....	139
TA4MR.....	107,115,142
TABSR.....	124,141
TB0IC ~ TB2IC .....	78
TB0MR ~ TB2MR .....	123
TB0 ~ TB2 .....	124
TB2 .....	141
TB2MR.....	142
TB2SC .....	133,140
TCR0 .....	98
TCR1 .....	98
TPRC .....	148
TRGSR.....	109,141

**U**

U0BRG ~ U2BRG.....	152
U0C0 ~ U2C0.....	154
U0C1 ~ U2C1.....	155
U0MR ~ U2MR .....	153
U0RB ~ U2RB .....	152
U0TB ~ U2TB.....	152
U2SMR.....	156
U2SMR2 .....	156
U2SMR3 .....	157
U2SMR4 .....	157
UCON .....	154

**V**

VCR1 .....	38
VCR2 .....	38

**W**

WDC .....	92
WDTS .....	92



---

**瑞萨 16 位单片机  
硬件手册  
M16C/26A 群**

Publication Date: Rev.1.00, Sep. 27, 2007  
Published by: Sales Strategic Planning Div.  
Renesas Technology Corp.  
Edited by: Customer Support Department  
Global Strategic Communication Div.  
Renesas Solutions Corp.

**Renesas Technology Corp.** Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan

---



**RENESAS SALES OFFICES**

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

**Renesas Technology America, Inc.**

450 Holger Way, San Jose, CA 95134-1368, U.S.A  
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

**Renesas Technology Europe Limited**

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.  
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

**Renesas Technology (Shanghai) Co., Ltd.**

Unit 204, 205, AZIACenter, No.1233 Lujiiazui Ring Rd, Pudong District, Shanghai, China 200120  
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

**Renesas Technology Hong Kong Ltd.**

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong  
Tel: <852> 2265-6688, Fax: <852> 2730-6071

**Renesas Technology Taiwan Co., Ltd.**

10th Floor, No.99, Fushing North Road, Taipei, Taiwan  
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

**Renesas Technology Singapore Pte. Ltd.**

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632  
Tel: <65> 6213-0200, Fax: <65> 6278-8001

**Renesas Technology Korea Co., Ltd.**

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea  
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

**Renesas Technology Malaysia Sdn. Bhd**

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia  
Tel: <603> 7955-9390, Fax: <603> 7955-9510



M16C/26A群



瑞萨电子株式会社

RCJ09B0053-0100