

R-IN32M4-CL3

ユーザーズ・マニュアル ボード設計編

R9A06G064MGBG

R9A06G064SGBG

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

資料番号 : R18UZ0074JJ0100

発行年月 : 2019.12.24

ルネサス エレクトロニクス

www.renesas.com

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

○Arm® およびCortex® は、Arm Limited（またはその子会社）のEUまたはその他の国における登録商標です。 All rights reserved.

○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○TRONは” The Real-time Operation system Nucleus” の略称です。

○ITRONは” Industrial TRON” の略称です。

○ μ ITRONは” Micro Industrial TRON” の略称です。

○TRON、ITRON、および μ ITRONは、特定の商品ないし商品群を指す名称ではありません。

○CC-Link、CC-Link IE Field及びCC-Link IE TSNは、三菱電機株式会社の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは産業イーサネット通信向け ASSP (Application Specific Standard Product) 「R-IN32M4-CL3」 (R9A06G064MGBG, R9A06G064SGBG) の機能を理解し、それを用いた応用設計をするユーザを対象とします。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

本製品は、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。当社ホームページより最新版をダウンロードして参照ください。

R-IN32M4-CL3に関する資料

資料名	資料番号
R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編	R18UZ0073JJ0100
R-IN32M4-CL3 ユーザーズ・マニュアル Gigabit Ethernet PHY 編	R18UZ0075JJ0100
R-IN32M4-CL3 ユーザーズ・マニュアル ボード設計編 (本マニュアル)	R18UZ0074JJ0100
R-IN32M4-CL3 ユーザーズ・マニュアル CC-Link IE TSN 編	R18UZ0070JJ0100
R-IN32M4-CL3 ユーザーズ・マニュアル CC-Link IE Field 編	R18UZ0071JJ0100
R-IN32M4-CL3 プログラミング・マニュアル ドライバ編	R18UZ0076JJ0100
R-IN32M4-CL3 プログラミング・マニュアル OS 編	R18UZ0072JJ0100

2. 数や記号の表記

データ表記の重み：左が上位桁、右が下位桁

アクティブ・ローの表記：

xxxZ（端子、信号名称のあとにZ）

またはxxx_N（端子、信号名称のあとに_N）

またはxxnx（端子、信号名称にnを含む）

注：

本文中につけた注の説明

注意：

気をつけて読んでいただきたい内容

備考：

本文の補足説明

数の表記：

2 進数 … xxxx、xxxxBまたはn'bxxxx（nビット）

10 進数 … xxxx

16 進数 … xxxxHまたはn'hxxxx（nビット）

2のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ）… $2^{10} = 1024$

M（メガ）… $2^{20} = 1024^2$

G（ギガ）… $2^{30} = 1024^3$

データ・タイプ：

ワード … 32 ビット

ハーフワード … 16 ビット

バイト … 8 ビット

目次

1. 概要.....	1
1.1 本書内の端子処置およびシンボル定義.....	1
2. 電源／リセット端子	2
2.1 電源投入／遮断順序	2
2.1.1 2.5V 内蔵レギュレータ未使用時の電源投入／遮断規定	3
2.1.2 2.5V 内蔵レギュレータ使用時の電源投入／遮断規定	4
2.2 電源端子	5
2.3 リセット端子	6
3. クロック入力端子	7
3.1 端子機能	7
3.2 発振回路構成上の注意	8
3.3 発振回路構成例	9
4. PLL 電源端子	10
4.1 推奨フィルタ構成	10
4.2 周辺部品の注意点	11
5. 汎用ポート端子	12
6. Gigabit Ethernet PHY 端子	13
6.1 電源周辺回路	13
6.1.1 回路構成	13
6.1.2 推奨部品	14
6.2 パルストランス周辺回路	15
6.2.1 回路構成例	15
6.2.2 推奨部品	16
6.3 REF_REXT, REF_FILT端子	17
6.3.1 回路構成例	17
6.3.2 推奨抵抗	17
6.3.3 推奨セラミックコンデンサ.....	17
6.4 基板配線の注意事項	18
6.5 GbE-PHY未使用時.....	20

7.	2.5V 内蔵レギュレータ周辺回路構成	21
7.1	2.5V内蔵レギュレータ使用時の周辺接続構成	21
7.2	2.5V内蔵レギュレータ未使用時の周辺接続構成	21
7.3	インダクタ、コンデンサ推奨部品	22
7.4	ショットキーバリアダイオード推奨仕様	22
7.5	23□ PKG PCBレイアウトイメージ例	23
7.5.1	L1, L2 (23□ PKG)	23
7.5.2	L3, L4 (23□ PKG)	23
7.6	17□ PKG PCBレイアウトイメージ例	24
7.6.1	L1, L2 (17□ PKG)	24
7.6.2	L3, L4 (17□ PKG)	24
7.7	PCBでの寄生抵抗と寄生インダクタンスの要求値	25
8.	熱設計	26
8.1	放熱対策の要否の判定	26
8.1.1	T_j の見積り	26
8.1.2	消費電力の見積もり	26
8.1.3	JEDEC 条件での熱抵抗値 (θ_{ja} 、 Ψ_{jt})	26
8.2	放熱対策例	27
8.2.1	実装基板設計での対策案	28
8.2.2	デバイス周辺（筐体込）での対策案	30
8.3	注意事項	31
8.3.1	未使用時端子処理	31
9.	外部マイコン／メモリ・インタフェース端子	32
9.1	外部マイコン・インタフェース	33
9.1.1	非同期 SRAM 対応 MCU 接続モード	34
9.1.2	同期 SRAM 対応 MCU 接続モード	35
9.1.3	同期バースト転送対応 MCU 接続モード	36
9.2	外部メモリ・インタフェース	40
9.2.1	非同期 SRAM MEMC	40
9.2.2	同期式バースト・アクセス MEMC	43

10. シリアル・フラッシュ ROM 接続端子	46
11. アシンクロナス・シリアル・インタフェース J 接続端子	47
12. I ² C 接続端子	48
13. CAN 端子	49
14. CSH 端子	50
14.1 マスタ1、スレーブ1の場合	50
14.2 マスタ1、スレーブ2の場合	50
15. JTAG/トレース端子	51
16. 実装条件	55
17. パッケージ情報	56
18. マウントパッド情報	58
19. BSCAN 情報	59
19.1 BSCANの動作条件	59
19.2 TCKの最大動作周波数	59
19.3 IDCODEについて	59
19.4 BSCAN非対応端子	59
19.5 BSDLの入手方法	59
20. IBIS 情報	60
21. 捺印情報	61
22. ノイズ対策	62
22.1 クロック出力の停止	62

図の目次

図1.1	GNDのシンボル定義.....	1
図2.1	電源投入／遮断シーケンス（2.5V内蔵レギュレータ未使用時）	3
図2.2	R-IN32M4-CL3電源供給経路（2.5V内蔵レギュレータ未使用時）	3
図2.3	電源投入／遮断シーケンス（2.5V内蔵レギュレータ使用時）	4
図2.4	R-IN32M4-CL3電源供給経路（2.5V内蔵レギュレータ使用時）	4
図3.1	外部定数部分のGNDパターン例.....	8
図3.2	発振回路の構成例	9
図4.1	推奨フィルタ構成	10
図4.2	ボードの裏から見たイメージ.....	11
図6.1	Gigabit Ethernet PHY電源周辺回路構成	13
図6.2	フェライトビーズの推奨インピーダンス周波数特性例.....	14
図6.3	パルストランス周辺接続例.....	15
図6.4	パルストランスのリターンロス例.....	16
図6.5	REF_REXT, REF_FILTの回路構成例	17
図6.6	差動信号伝送ペア配線例（1）	18
図6.7	差動信号伝送路の配線例（2）	19
図6.8	差動信号伝送路の配線例（3）	19
図6.9	差動信号伝送路の配線例（4）	20
図7.1	2.5V内蔵レギュレータ使用時の周辺接続構成.....	21
図7.2	2.5V内蔵レギュレータ未使用時の周辺接続構成.....	21
図7.3	23□ PKG PCBレイアウトイメージ例（L1, L2）	23
図7.4	23□ PKG PCBレイアウトイメージ例（L3, L4）	23
図7.5	17□ PKG PCBレイアウトイメージ例（L1, L2）	24
図7.6	17□ PKG PCBレイアウトイメージ例（L3, L4）	24
図9.1	32ビット幅外部マイコン・インタフェース接続例（非同期SRAM対応MCU接続モード）	34
図9.2	16ビット幅外部マイコン・インタフェース接続例（非同期SRAM対応MCU接続モード）	34
図9.3	32ビット幅外部マイコン・インタフェース接続例（同期SRAM対応MCU接続モード）	35
図9.4	16ビット幅外部マイコン・インタフェース接続例（同期SRAM対応MCU接続モード）	35
図9.5	32ビット幅外部マイコン・インタフェース接続例.....	36
図9.6	16ビット幅外部マイコン・インタフェース接続例.....	36
図9.7	32ビット幅外部マイコン・インタフェース接続例.....	38
図9.8	16ビット幅外部マイコン・インタフェース接続例.....	38
図9.9	32ビット幅SRAMとの接続例（非同期SRAM MEMC）	41
図9.10	16ビット幅SRAMとの接続例（非同期SRAM MEMC）	41
図9.11	32ビット幅ページROMとの接続例（非同期SRAM MEMC）	42
図9.12	16ビット幅ページROMとの接続例（非同期SRAM MEMC）	42
図9.13	32ビット幅SRAMとの接続例（同期式バースト・アクセスMEMC）	44
図9.14	16ビット幅SRAMとの接続例（同期式バースト・アクセスMEMC）	44
図9.15	32ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）	45
図9.16	16ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）	45

図10.1	シリアル・フラッシュROMとの接続図.....	46
図11.1	R-IN32M4-CL3とUARTデバイスとの接続例.....	47
図12.1	R-IN32M4-CL3とI ² Cスレーブデバイスとの接続例	48
図13.1	R-IN32M4-CL3とCANトランシーバとの接続例	49
図14.1	マスタ／スレーブ間の直接の接続.....	50
図14.2	マスタ／スレーブ間の直接の接続.....	50
図15.1	JTAGインタフェース接続例（20pinハーフピッチ、トレースなし）	51
図15.2	JTAGインタフェース接続例（20pinハーフピッチ、トレースあり）	52
図15.3	SWDインタフェース接続例（20pinハーフピッチ、トレースなし）	53
図15.4	JTAGインタフェース接続例（20pinフルピッチ）	54
図16.1	実装フロー	55
図17.1	パッケージ情報（23□）	56
図17.2	パッケージ情報（17□）	57
図18.1	マウントパッド寸法（23□）	58
図18.2	マウントパッド寸法（17□）	58
図21.1	R-IN32M4-CL3捺印情報（23□）	61
図21.2	R-IN32M4-CL3捺印情報（17□）	61

表の目次

表1.1	端子処置の定義	1
表2.1	外部供給電源	2
表6.1	セラミックコンデンサの推奨部品例.....	14
表6.2	フェライトビーズの推奨部品例.....	14
表7.1	インダクタの推奨部品例	22
表7.2	C_{IN} , C_{OUT} 容量定義.....	22
表7.3	セラミックコンデンサの推奨部品例.....	22
表7.4	ショットキーバリアダイオードの推奨部品例.....	22
表7.5	PCBでの寄生抵抗と寄生インダクタンスの要求値	25
表9.1	外部マイコン／メモリ接続モード選択.....	32
表19.1	BSCAN非対応端子一覧	59

1. 概要

本書は、ルネサス製イーサネット通信 LSI「R-IN32M4-CL3」を搭載したボード設計を行う方を対象に、ボード設計時の注意事項および実装に関連する事項を記載しています。

対象デバイスは、R-IN32M4-CL3 です。ボード設計時には、本書を参考にして設計を行ってください。

1.1 本書内の端子処理およびシンボル定義

本書内における端子処理およびシンボルを以下のように定義します。

表1.1 端子処理の定義

	意味
ロー・レベル	GNDに接続することを意味します。
ハイ・レベル	VDD33（3.3V）を供給することを意味します。

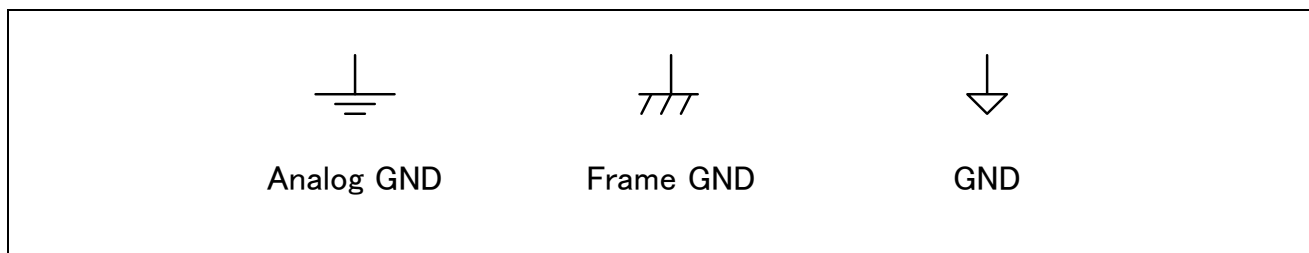


図1.1 GND のシンボル定義

2. 電源／リセット端子

2.1 電源投入／遮断順序

R-IN32M4-CL3 に対する外部供給電源を表 2.1 に示します。電源投入／遮断シーケンスを図 2.1 と図 2.3 に示します。

電源投入順序について特に規定はありませんが、外部供給電源 VDD11 を投入した後に、外部供給電源 VDD33 を投入することを推奨します。逆に、電源遮断では、VDD33 を遮断した後に、VDD11 を遮断することを推奨します。

VDD33 を先に投入した場合は、VDD33 が立ち上がってから VDD11 が立ち上がるまでの期間、I/O バッファの入出力モードが確定せず不定出力となりますので、ご注意願います。

入力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

表2.1 外部供給電源

外部供給電源	電圧[V]	外部端子名
VDD33	3.3 ± 0.165	VDD33 VDDREG_33 AVDDREG_33
VDD25	2.5 ± 0.125	VDD25A
VDD11	1.15 ± 0.06	VDD11 VDD11A PLL_VDD

2.1.1 2.5V 内蔵レギュレータ未使用時の電源投入／遮断規定

(1) 電源投入時

以下の2つの条件を同時に満たすように電源を投入してください。

- ① VDD33、VDD25、VDD11のうち、いずれかの電源が最初に10% VDD となってから全ての電源が90% VDD 以上となるまでの時間が100ms 以内
- ② VDD33、VDD25、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以上となる時間が50ms 以内

(2) 電源遮断時

以下の2つの条件を同時に満たすように電源を遮断してください。

- ① VDD33、VDD25、VDD11のうち、いずれかの電源が最初に90% VDD となってから全ての電源が10% VDD 以下となるまでの時間が100ms 以内
- ② VDD33、VDD25、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以下となる時間が50ms 以内

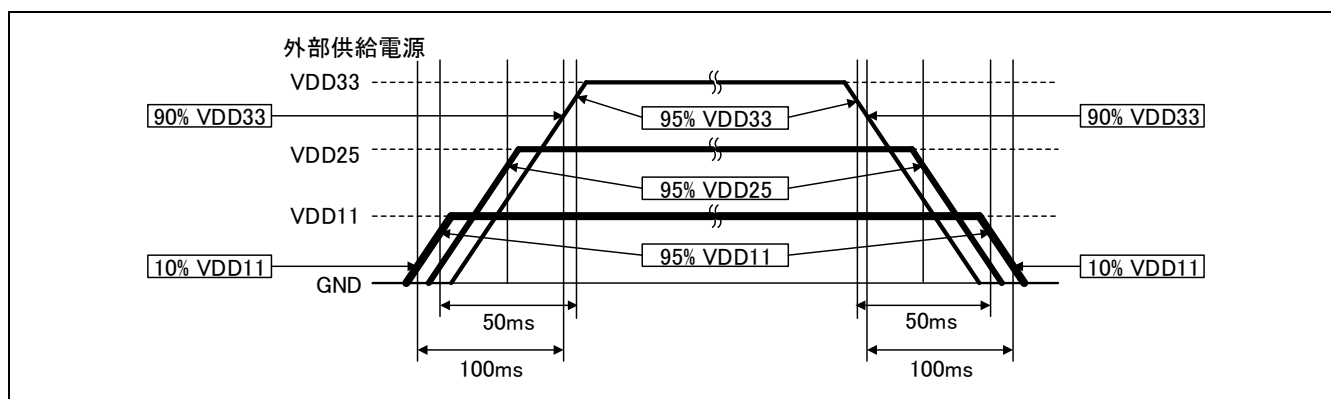


図2.1 電源投入／遮断シーケンス（2.5V 内蔵レギュレータ未使用時）

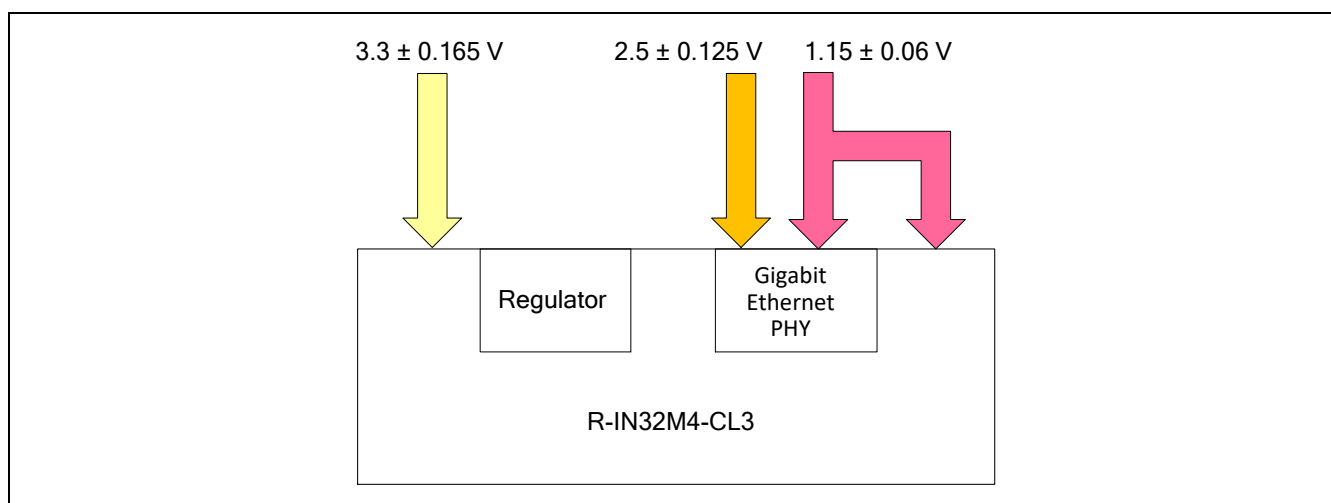


図2.2 R-IN32M4-CL3 電源供給経路（2.5V 内蔵レギュレータ未使用時）

2.1.2 2.5V 内蔵レギュレータ使用時の電源投入／遮断規定

(1) 電源投入時

以下の2つの条件を同時に満たすように電源を投入してください。

- ① VDD33、VDD11のうち、いずれかの電源が最初に10% VDD となってから全ての電源が90% VDD 以上となるまでの時間が100ms 以内
- ② VDD33、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以上となる時間が49ms 以内

(2) 電源遮断時

以下の2つの条件を同時に満たすように電源を遮断してください。

- ① VDD33、VDD11のうち、いずれかの電源が最初に90% VDD となってから全ての電源が10% VDD 以下となるまでの時間が100ms 以内
- ② VDD33、VDD11のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以下となる時間が49ms 以内

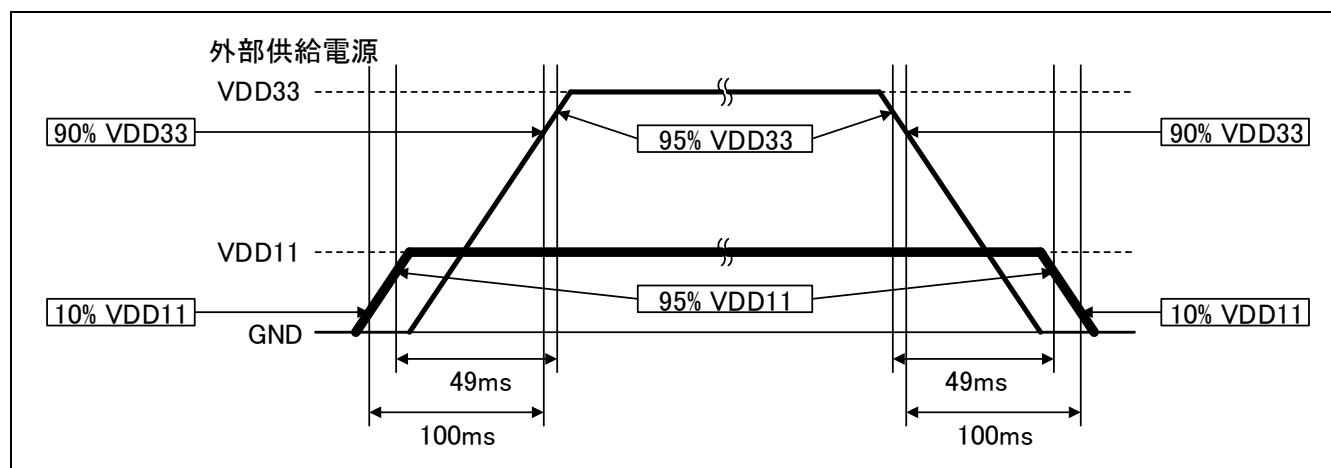


図2.3 電源投入／遮断シーケンス（2.5V 内蔵レギュレータ使用時）

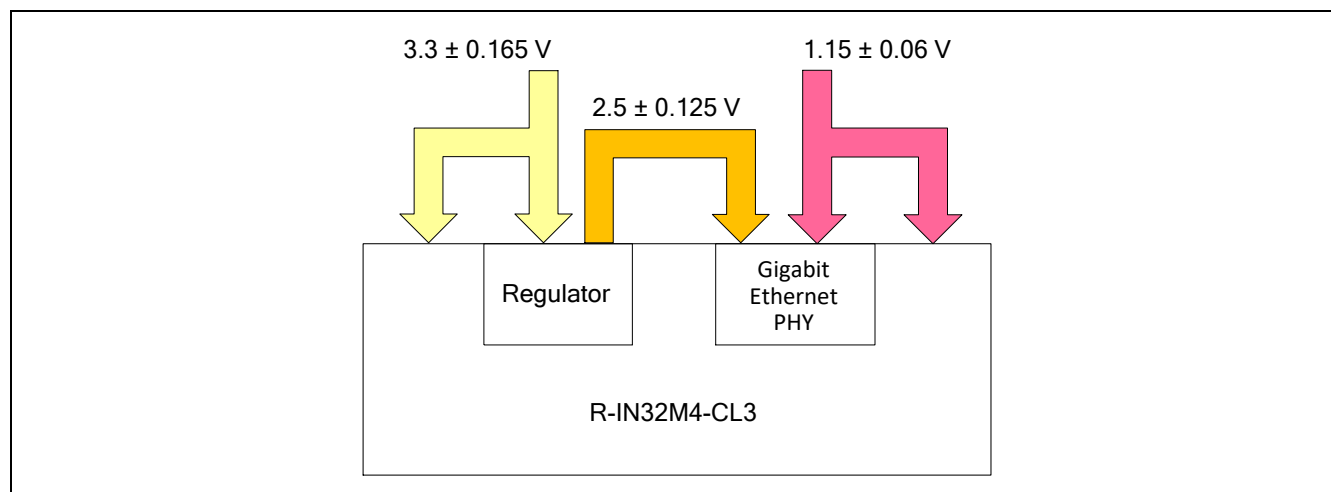


図2.4 R-IN32M4-CL3 電源供給経路（2.5V 内蔵レギュレータ使用時）

2.2 電源端子

R-IN32M4-CL3 の電源端子一覧です。接続例の情報を参考に設計を行ってください。

端子名称	機能	接続例参照先
PLL_VDD	PLL電源 (1.15V)	「4. PLL電源端子」を参照してください。
PLL_GND	PLL_GND	「4. PLL電源端子」を参照してください。
VDD33	R-IN32M4 I/O電源 (3.3V)	レギュレータ、またはDC-DCコンバータ等の電源ユニットから電源を供給してください。
VDD11	R-IN32M4 内部電源 (1.15V)	レギュレータ、またはDC-DCコンバータ等の電源ユニットから電源を供給してください。
GND	電源用グランド電位 (GND)	システム (ボード) のGNDを接続してください。
VDD25A	GbE-PHYアナログ電源 (2.5V)	「6.1 電源周辺回路」を参照してください。
VDD11A	GbE-PHYアナログ電源 (1.15V)	「6.1 電源周辺回路」を参照してください。
VDDREG_33	2.5V内蔵レギュレータ電源 (3.3V)	「7. 2.5V内蔵レギュレータ周辺回路構成」を参照してください。
AVDDREG_33	2.5V内蔵レギュレータ電源 (3.3V)	「7. 2.5V内蔵レギュレータ周辺回路構成」を参照してください。
AGND	2.5V内蔵レギュレータ電源用グランド電位 (GND)	「7. 2.5V内蔵レギュレータ周辺回路構成」を参照してください。

2.3 リセット端子

R-IN32M4-CL3 のリセット端子一覧です。

各リセット入力信号の必要なロー・レベル幅は $1\mu\text{s}$ 以上ですが、外部発振器（25MHz）の発振安定時間を各リセット入力信号のロー・レベル入力により確保してください。

なお、RESETZ および HOTRESETZ 信号は、PONRZ 信号の解除以降にリセット解除するようにしてください。

端子名称	機能	接続例参照先
PONRZ	パワーオンリセット入力（内蔵 RAM 初期化含む）	—
RESETZ	リセット入力	—
HOTRESETZ	ホットリセット入力（CC-Link IE Field のバイパス・モード対応リセット端子）	—
TRSTZ	JTAG リセット信号	「15. JTAG/トレース端子」を参照してください。
RSTOUTZ	外部へのリセット出力	—

3. クロック入力端子

3.1 端子機能

クロック入力端子の端子機能を記載します。

端子名	属性	機能
XT1	入出力	外付け振動子接続端子です。 OSCTH = 0 の時は、出力となります。 外部クロック入力モード (OSCTH = 1) の時は、XT1 をロー・レベルにしてください。
XT2	入力	外付け振動子接続端子です。 外部クロック入力モード (OSCTH = 1) の時は、XT2 から外部発振器からのクロックを入力してください。
OSCTH ^注	入力	クロック端子に接続するクロック発振源を選択します。 ロー・レベル : XT1 と XT2 に振動子を接続します。 ハイ・レベル : XT2 に発振器を接続します。

注意. 入力クロックの AC 特性は、「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」の「29.8.1(1) 入力クロック」を参照してください。

注. 発振器接続を推奨します。

3.2 発振回路構成上の注意

R-IN32M4-CL3 では発振ブロックを内蔵し、パッケージ外部に振動子および外部定数を接続することにより発振回路を構成できます。容易に発振回路を構成できるメリットがありますが、発振回路は高周波で動作するアナログ回路のため、ロジック回路とは違った注意事項があります。

安定した発振動作を得るためには、外部定数（入力側コンデンサ、出力側コンデンサおよび制限抵抗）を最適値に設定することが必要で、アナログ回路として扱う必要があるため、以下の点に注意してください。

- ・発振回路は、R-IN32M4-CL3 の近くに配置してください。
- ・発振回路の配置箇所は、CLK 端子などの高周波入力端子から極力離して配置してください。
- ・発振回路の入力、出力端子と振動子と外部定数はすぐ近くに配置し、最短の経路で配線してください。
- ・コンデンサの接地側と R-IN32M4-CL3 の GND 端子との配線も最短とし、極力太くしてください。
- ・振動子およびコンデンサのリード線は極力短くしてください。
- ・外部定数部分はできるだけ GND で囲むパターンにしてください。

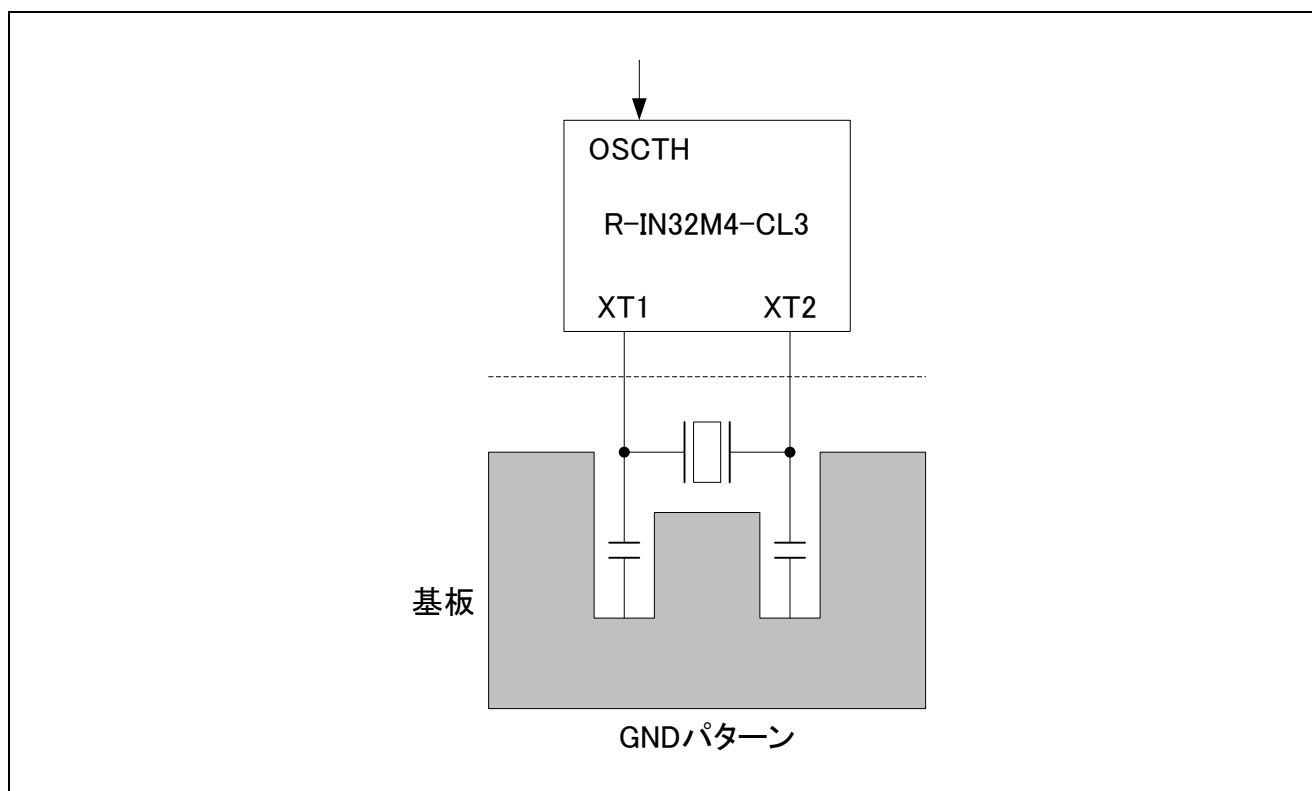


図3.1 外部定数部分の GND パターン例

さらに外部定数を決定する評価においても次の注意が必要です。

- ・実際に使用するプリント基板を用いてください。
（基板の誘電率などにより発振動作範囲が変動する場合があります）
- ・開発した R-IN32M4-CL3 搭載ボードおよび実際に使用する振動子を用いて確認してください。

3.3 発振回路構成例

発振回路の構成例を示します。

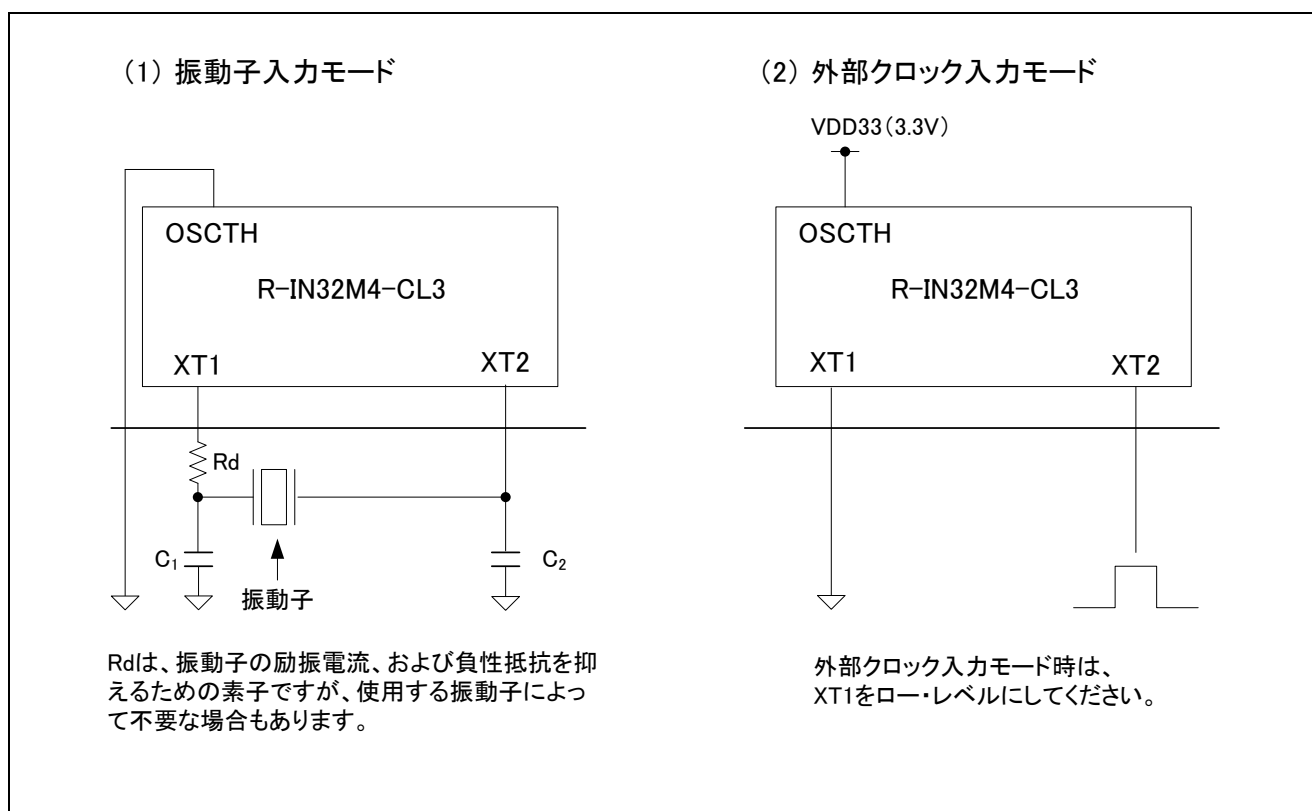


図3.2 発振回路の構成例

注意. R-IN32M4-CL3 は、25MHz 入力固定です。

振動子をご使用の場合は、発振子取り扱いメーカーに、型番／外部定数などのご相談をお願いします。
弊社が推奨する発振器、および発振子取り扱いメーカーを以下に記載します。

●日本電波工業株式会社様

URL : <http://www.ndk.com/jp/index.html/>

●京セラクリスタルデバイス株式会社様

URL : <http://www.kyocera-crystal.jp/>

4. PLL 電源端子

PLL は、ノイズの影響が大きい回路です。ノイズの影響を低減させるため、PLL の電源端子はフィルタを構成してください。また、ボード電源と PLL 電源のノイズ干渉を避けるため、フェライトビーズ (FB) のご使用を推奨します。

4.1 推奨フィルタ構成

PLL 電源端子の推奨するフィルタ構成を以下に示します。

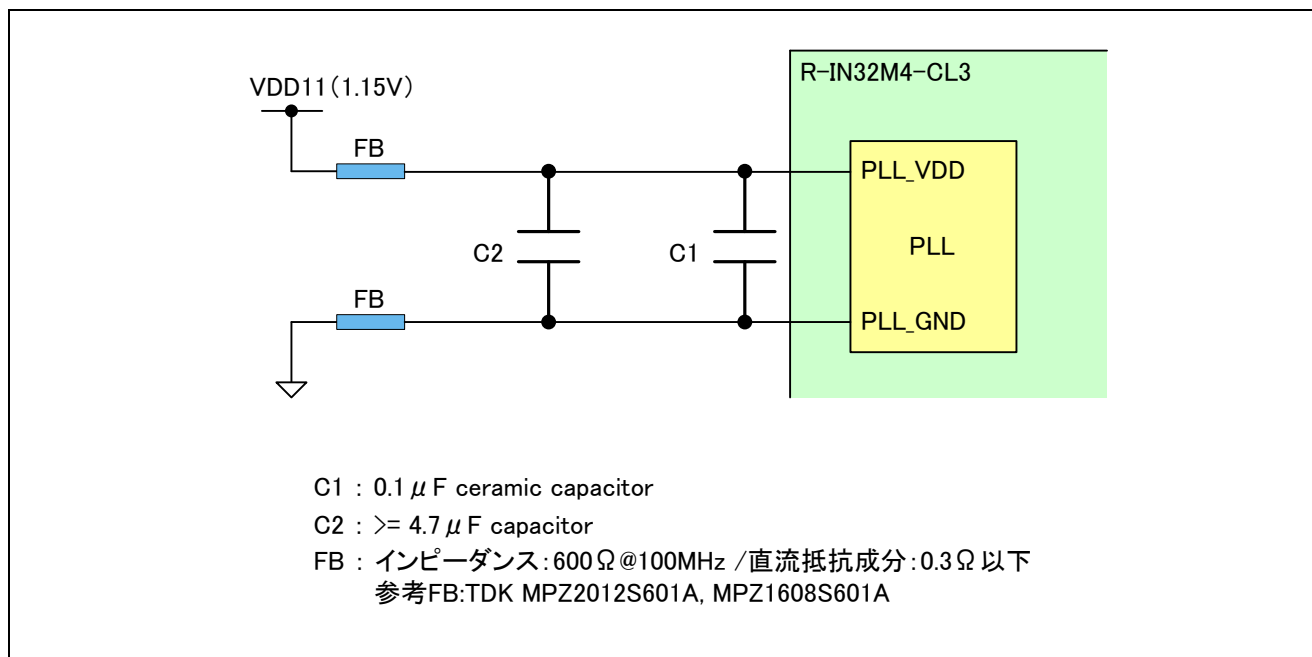


図4.1 推奨フィルタ構成

注意. C1 は R-IN32M4-CL3 直近に配置してください。

C2 は R-IN32M4-CL3 直近に配置できなくても問題ありません。

4.2 周辺部品の注意点

0.1 μ F のセラミックコンデンサ (C1) は R-IN32M4-CL3 直近 (端子近傍) に配置してください。

図 4.2は、ボードの裏から見たイメージ図です。

また、C2 の電解コンデンサおよびフェライトビーズを配置する際に、その配線パターンは他の信号線との併走を避けてください。

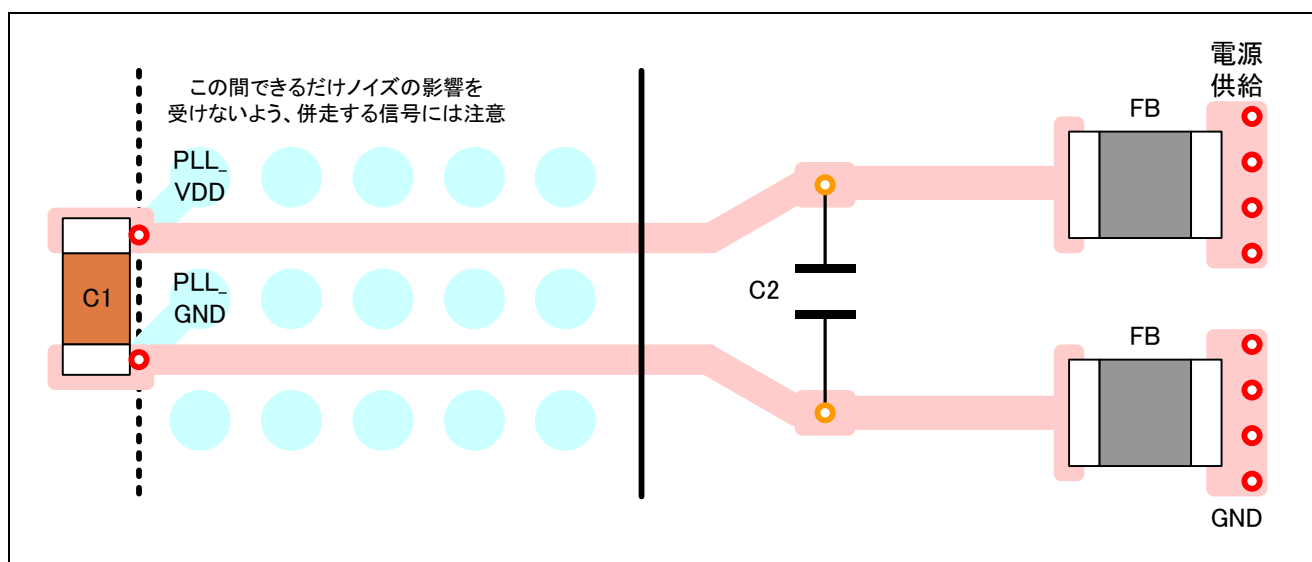


図4.2 ボードの裏から見たイメージ

注意. PCB 配線において、PLL_VDD/PLL_GND はできるだけ太く、短いパターンで配線してください。
長いパターンで配線された場合、配線の LC 成分が増加するため、クロストークの影響を受けやすくなります。

5. 汎用ポート端子

GPIO は汎用ポートであり、内部構成は以下のドキュメントを参照してください

「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」の「27. ポート機能」

6. Gigabit Ethernet PHY 端子

Gigabit Ethernet PHY インタフェースは、高速通信のため、基板のパターン設計時には十分な配慮が必要です。以下の記載内容を守り設計してください。

6.1 電源周辺回路

6.1.1 回路構成

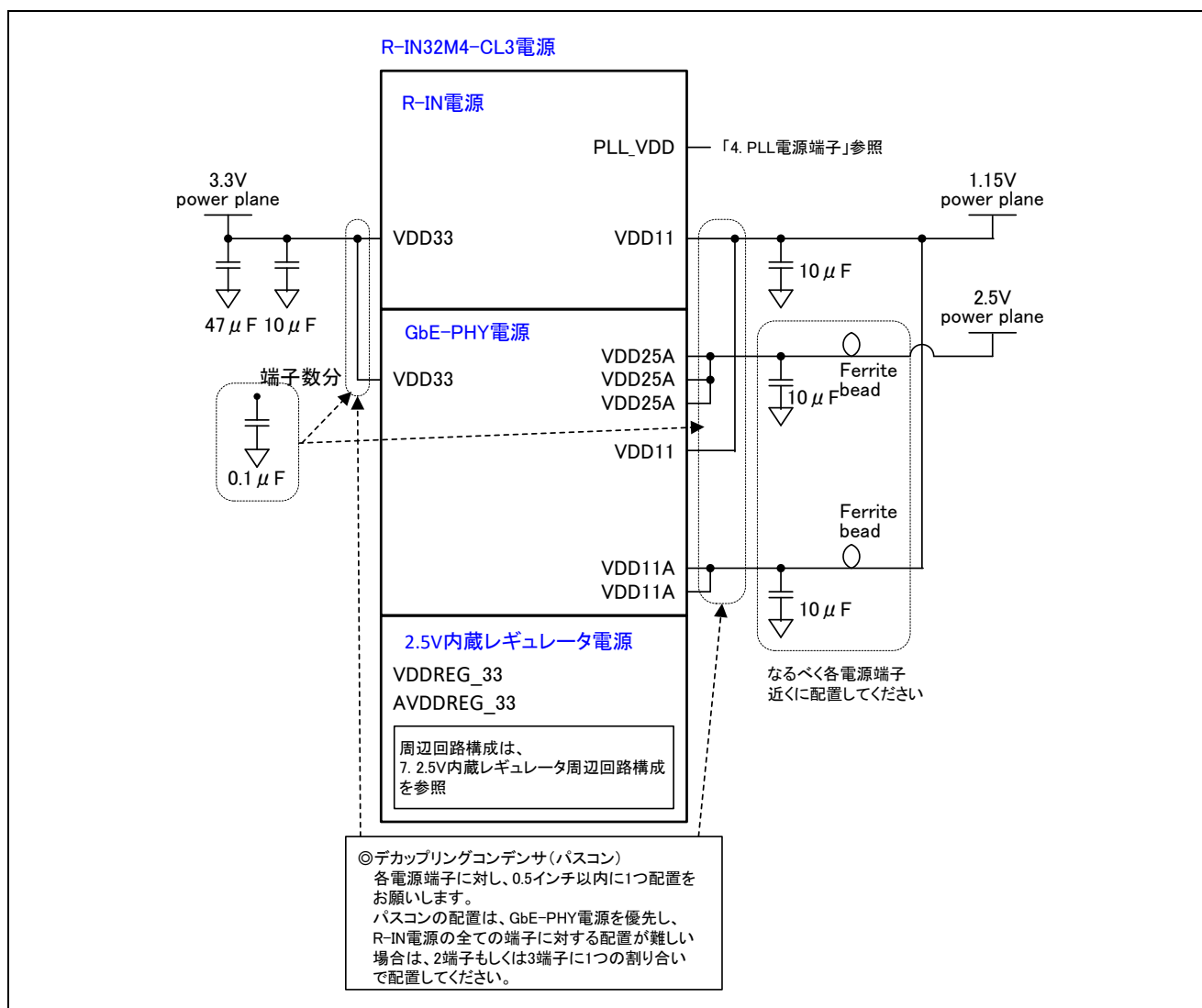


図6.1 Gigabit Ethernet PHY 電源周辺回路構成

6.1.2 推奨部品

(1) セラミックコンデンサ

下記条件の部品をご使用ください。

容量 : 47 μ F, 10 μ F, 0.1 μ F

温度特性 : X5R or X7R

ESR : MAX 0.1 Ω (100kHz~100MHz)

表6.1 セラミックコンデンサの推奨部品例

メーカー	型番	容量
TDK	C32165R1C476M1160AB	47 μ F
TDK	C2012X5R1C106K085AC	10 μ F

(2) フェライトビーズ

下記の条件の部品をご使用ください。

インピーダンス : Min 80 Ω (at 100MHz)

インピーダンスが高く、レジスタ成分が支配的なものをご使用ください。

定格電流 : Min 2A

直流抵抗 : Max 50m Ω

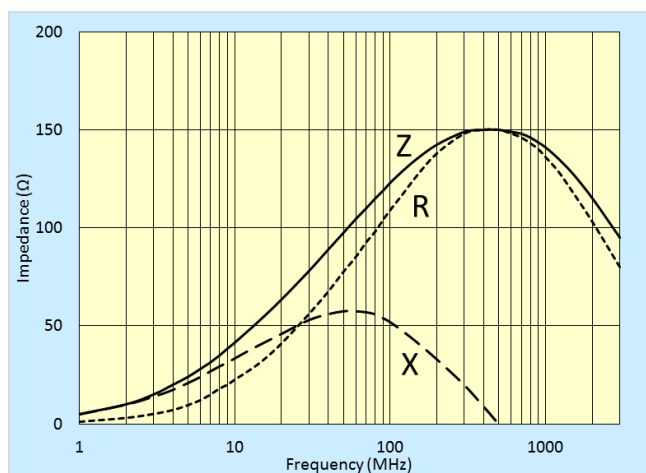


図6.2 フェライトビーズの推奨インピーダンス周波数特性例

表6.2 フェライトビーズの推奨部品例

メーカー	型番	インピーダンス	定格電流	直流抵抗
muRata	BLM18PG121SN1	120 Ω ±25%	2A	50m Ω
muRata	BLM21PG121SN1	120 Ω ±25%	3A	30m Ω

6.2 パルストランス周辺回路

Gigabit Ethernet PHY、パルストランス、RJ-45 コネクタの回路構成例およびパルストランスの推奨品を以下に示します。

6.2.1 回路構成例

下図のように接続してください。

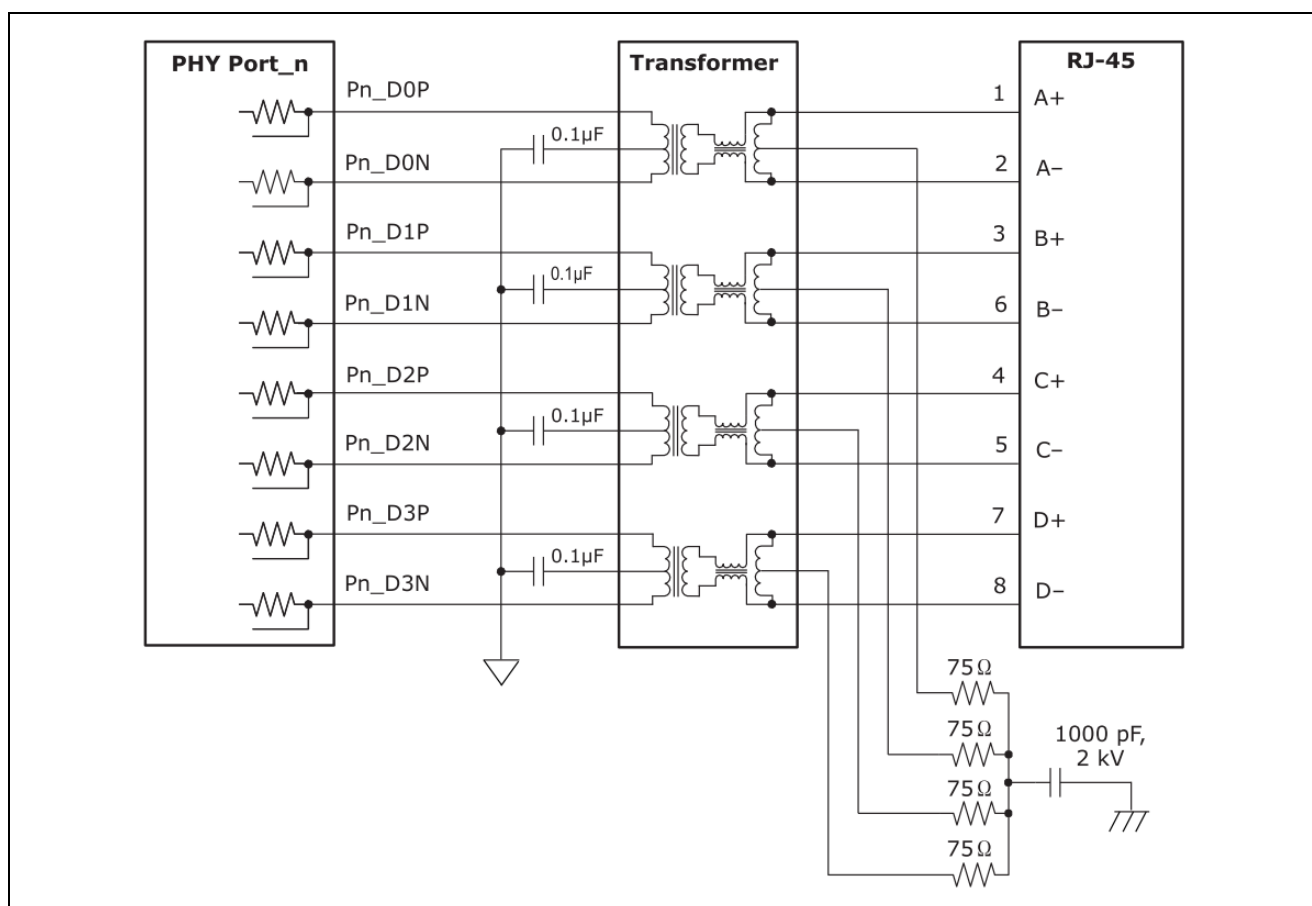


図6.3 パルストランス周辺接続例

備考. $n = 0, 1$

6.2.2 推奨部品

下記条件のパルストランスをご使用ください。

パルストランスは図 6.3 の Transformer 内に示す構成を推奨します。

コモンモードチョークは R-IN32M4-CL3 側 (PHY 側) ではなく、コネクタ側に搭載してください。

巻数比 : 1:1 (±2%以下 or ±3%) が推奨

リターンロス (図 6.4 参照) : -18dB 以下 (1.0MHz~40MHz)

- (12-20log(f/80)) dB 以下 (40MHz~100MHz) ※f : 周波数

注意. 1.0MHz~40MHz のリターンロス変動は、なるべくフラットであることを推奨します。

インピーダンスは、85Ω, 100Ω, 115Ωです。

詳細は、メーカーにご確認ください。

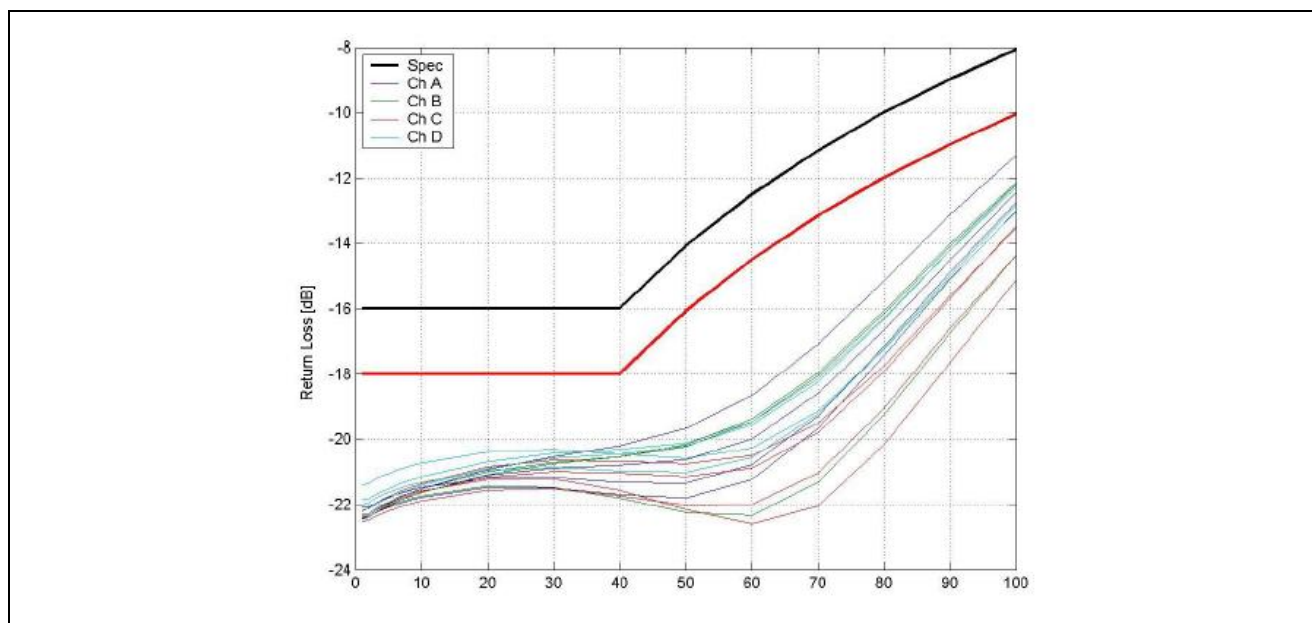


図6.4 パルストランスのリターンロス例

パルストランスの推奨部品は下記になります。

メーカー	型名
Pulse	H5008NL

6.3 REF_REXT, REF_FILT 端子

REF_REXT, REF_FILT 端子の端子処置および推奨部品を示します。

6.3.1 回路構成例

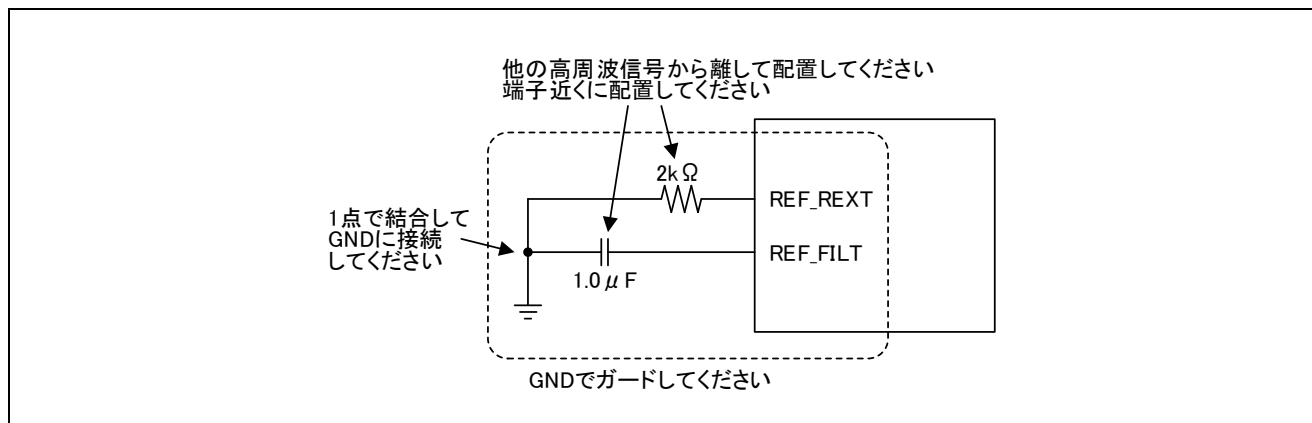


図6.5 REF_REXT, REF_FILT の回路構成例

6.3.2 推奨抵抗

下記条件の部品をご使用ください。

抵抗値 : 2k Ω , 1%精度

定格電力 : Min 0.0625[W]

6.3.3 推奨セラミックコンデンサ

下記条件の部品をご使用ください。

容量 : 1.0 μ F, 10%精度

温度特性 : C0G or X7R or X5R

6.4 基板配線の注意事項

基板上の配線は、以下の事項に注意してください。

- 長い配線は避け R-IN32M4-CL3 とパルストランス及びコネクタは極力近くに配置することを推奨します。
- TxP/N や RxP/N の差動信号伝送路がクロスしないような向きに部品配置してください。
- 差動信号伝送路は可能な限りまっすぐ、短くしてください。
- 配線を曲げる際には 135 度より大きい角度にしてください。（図 6.7 差動信号伝送路の配線例（2））
- R-IN32M4-CL3、パルストランスおよび RJ-45 コネクタ間の各差動信号伝送路は、 $100\Omega \pm 10\%$ の差動特性インピーダンス、GND に対しては 50Ω のインピーダンスで構成してください。
- R-IN32M4-CL3 とパルストランスおよび RJ45 コネクタとの差動信号伝送路は等長にしてください。最大偏差は、0.5mm 以下です。また、各ペア間でも極力等長にしてください。
- 差動信号の各信号ラインは、左右対称に設計する必要があります。配線は、同一層で信号間隔も固定にしてください。コンポーネントおよびビアなども対称となるようにしてください。
- スタブ（信号分岐）は避けてください。
- 差動信号伝送路は、他の信号と分離して配線してください。他の信号との間隔は、差動信号の間隔の 5 倍以上を推奨します。
- 差動信号伝送路は、他の層において電源/GND プレーンが交差しないようにしてください。
差動信号伝送路の下層は GND プレーンが望ましいです。
- パルストランスの下に、配線や電源/GND プレーンは配線しないようにしてください。
- 差動信号伝送路は、できるだけ少ないビアで配線するようにしてください。
ビアが必要な場合は、以下の内容に注意してください。
 - 関連する電源/GND プレーンのビアは、信号ビアの近くに配置することを推奨します。
信号ビアと GND ビアの間隔は、インピーダンスを保持するために、層間の距離に等しくなるようにしてください。
 - 差動信号のビアの近くに金属（配線やビア）がある場合、インピーダンスに影響を与える可能性があります。
 - ビアの直径は、配線幅とほぼ同等にすることを推奨します。

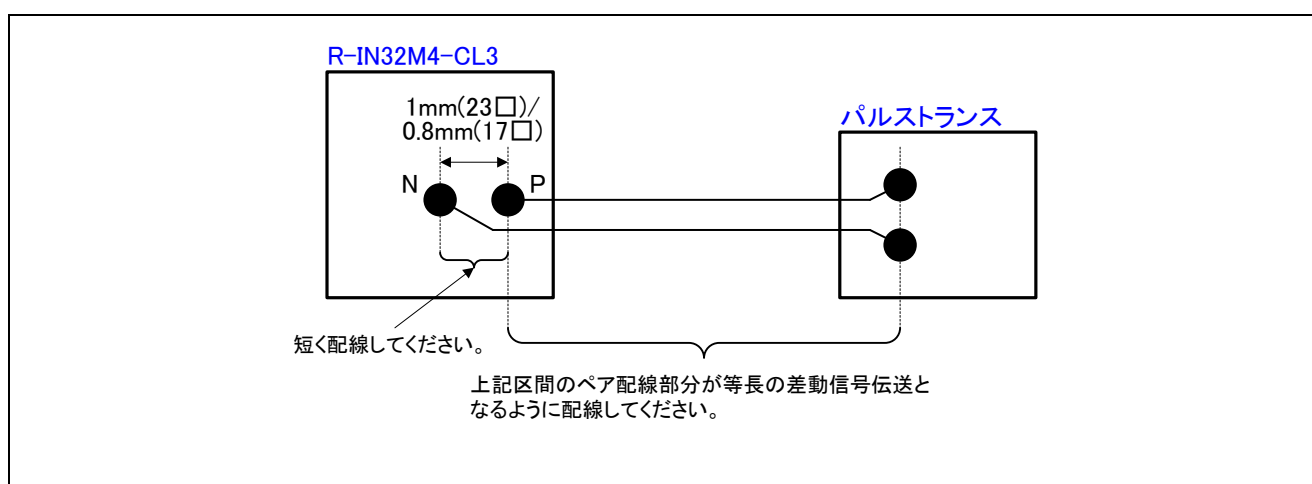


図6.6 差動信号伝送ペア配線例（1）

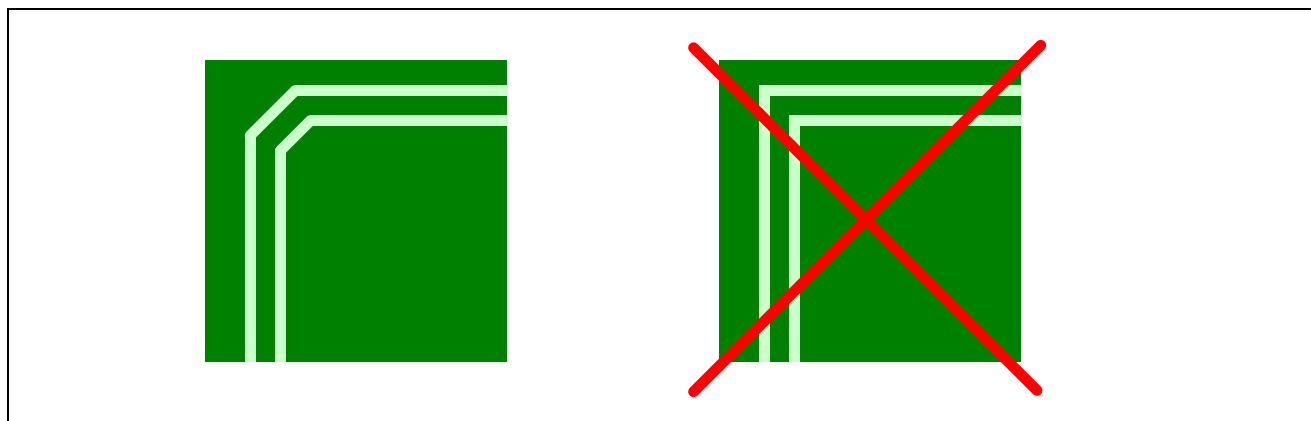


図6.7 差動信号伝送路の配線例 (2)

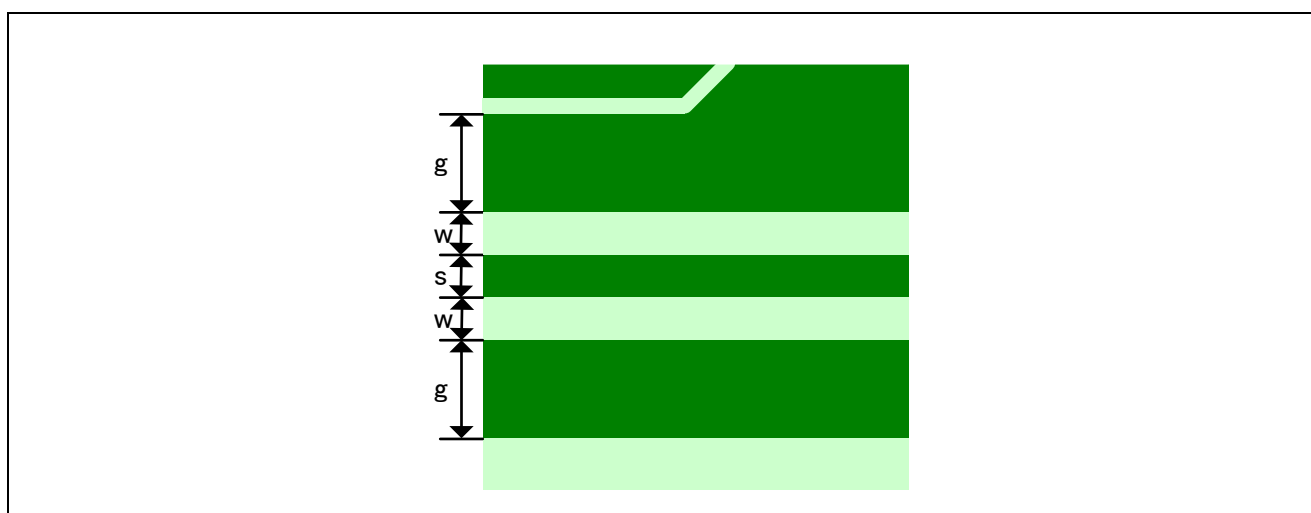


図6.8 差動信号伝送路の配線例 (3)

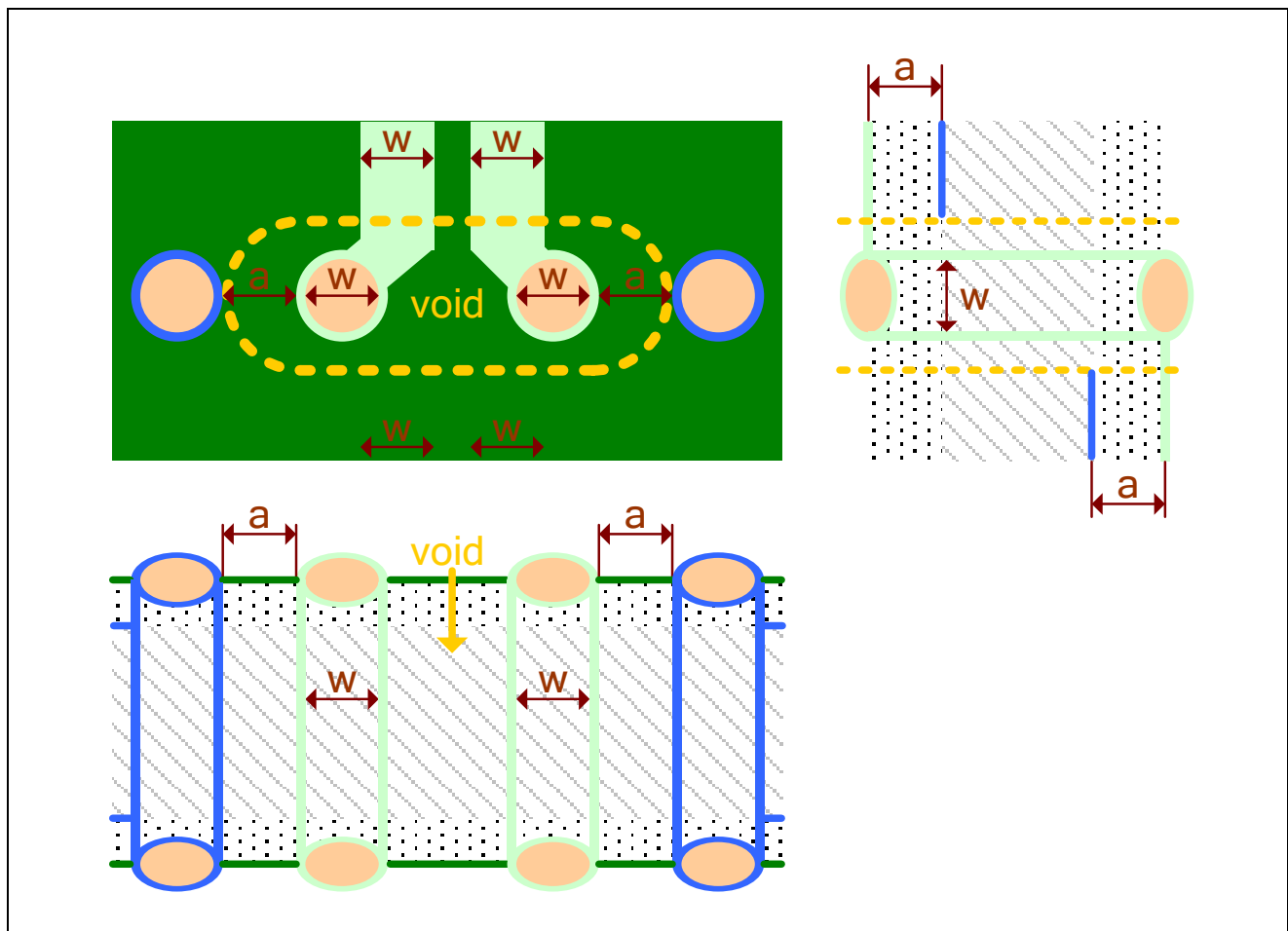


図6.9 差動信号伝送路の配線例 (4)

6.5 GbE-PHY 未使用時

GbE-PHY は未使用時でも下記を守ってください。

- VDD25A と VDD11A は常時供給してください。
- REF_REXT と REF_FILT は通常の動作と同じ接続をしてください。
(「6.3 REF_REXT, REF_FILT 端子」参照)
- MDI 信号 (P[0:1]_D[3:0]N, P[0:1]_D[3:0]P) はオープン。

7. 2.5V 内蔵レギュレータ周辺回路構成

R-IN32M4-CL3 に搭載されている 2.5V 内蔵レギュレータの周辺回路構成について示します。

7.1 2.5V 内蔵レギュレータ使用時の周辺接続構成

2.5V 内蔵レギュレータ使用時の周辺接続構成を示します。

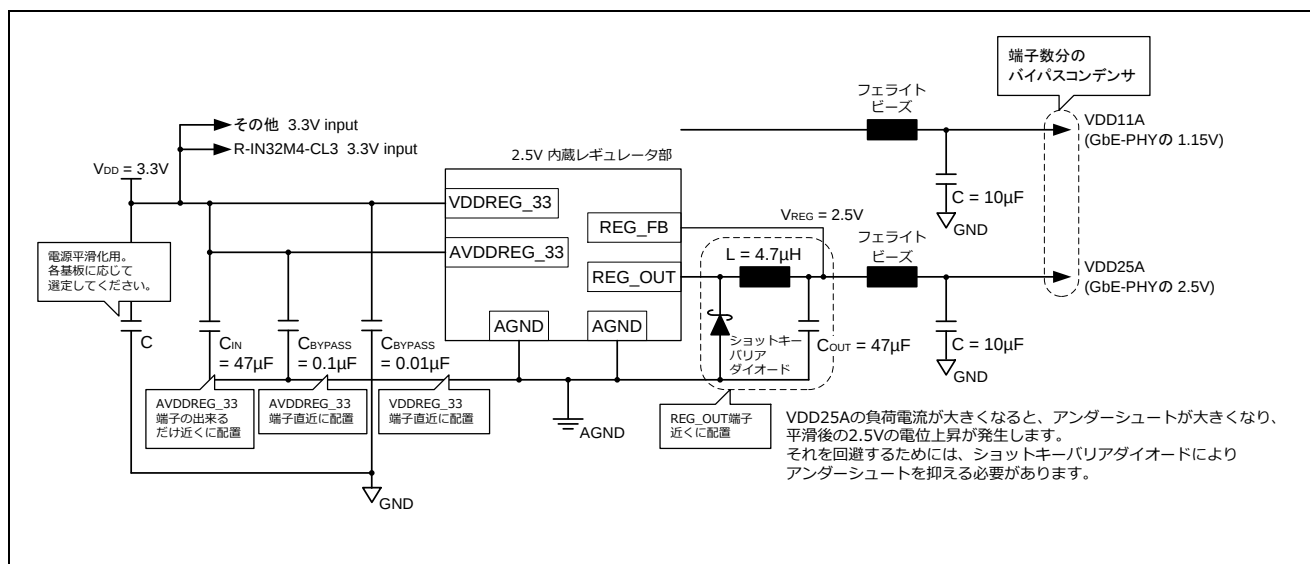


図7.1 2.5V 内蔵レギュレータ使用時の周辺接続構成

7.2 2.5V 内蔵レギュレータ未使用時の周辺接続構成

2.5V 内蔵レギュレータ未使用時の周辺接続構成を示します。

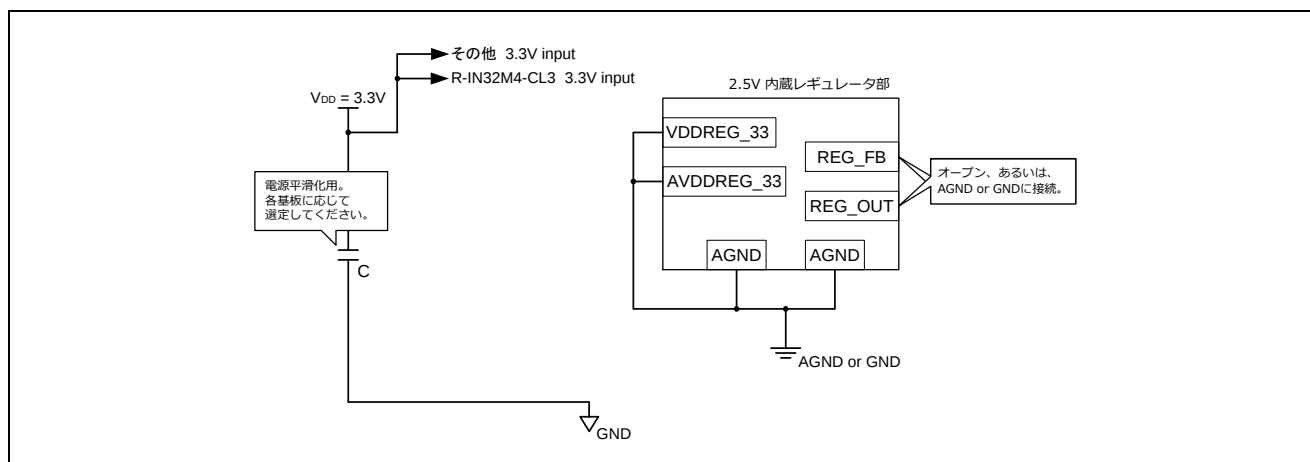


図7.2 2.5V 内蔵レギュレータ未使用時の周辺接続構成

7.3 インダクタ、コンデンサ推奨部品

L と C_{IN} , C_{OUT} , C_{BYPASS} に推奨する、インダクタとセラミックコンデンサを示します。

(1) インダクタ (L)

- インダクタンス : $4.7\mu\text{H} \pm 30\%$
- 直流抵抗 : Max $100\text{m}\Omega$
- 定格電流 : Min 600mA

表7.1 インダクタの推奨部品例

メーカー	型番	インダクタンス
TDK	VLS5045EX-4R7M	$4.7\mu\text{H}$

(2) セラミックコンデンサ (C_{IN} , C_{OUT} , C_{BYPASS})

- 容量 : $47\mu\text{F}$ (C_{IN} 用)、 $47\mu\text{F}$ (C_{OUT} 用)、 $0.1\mu\text{F}$ (AVDDREG_33 の C_{BYPASS} 用)、 $0.01\mu\text{F}$ (VDDREG_33 の C_{BYPASS} 用)
- 温度特性 : X5R or X7R
- ESR (C_{IN}) : Max $20\text{m}\Omega$ ($700\text{kHz} \sim 1.3\text{MHz}$)
ESR (C_{OUT}) : Max $100\text{m}\Omega$ ($700\text{kHz} \sim 1.3\text{MHz}$)

表7.2 C_{IN} , C_{OUT} 容量定義

C	容量	lower limit	upper limit
C_{IN}	$47\mu\text{F}$	$10\mu\text{F}$	定義なし
C_{OUT}	$47\mu\text{F}$	$14\mu\text{F}$	$200\mu\text{F}$

DCバイアスと温度特性を考慮して、使用部品を選定してください。

表7.3 セラミックコンデンサの推奨部品例

C	メーカー	型番	容量
C_{IN}	TDK	C2012X5R1A476M125AC	$47\mu\text{F}$
C_{OUT}	TDK	C2012X5R1A476M125AC	$47\mu\text{F}$

7.4 ショットキーバリアダイオード推奨仕様

推奨するショットキーバリアダイオード仕様を示します。

- 順方向電圧 : 0.4V 程度 (小さい方がよい)
- 順方向電流 : 1.0A 以上
- 端子間容量 : 60pF 程度 @ 3V (小さい方がよい)

表7.4 ショットキーバリアダイオードの推奨部品例

メーカー	型番
TOSHIBA	CUS10F30
ROHM	RSX101VAM30

上記はスペックから選定したものです。お客様で評価の上、部品を選定してください。

7.5 23□ PKG PCB レイアウトイメージ例

R-IN32M4-CL3, 23□ PKG に搭載されている 2.5V 内蔵レギュレータ周辺回路構成について示します。

7.5.1 L1, L2 (23□ PKG)

PCB でのレイアウトイメージ例 (L1, L2 の左下部) および条件を下記に示します。

- 内蔵レギュレータの AGND は、極力 Digital GND と分けてください。
- AGND は、MDI 信号とインダクタ (L) の下を通さないでください。

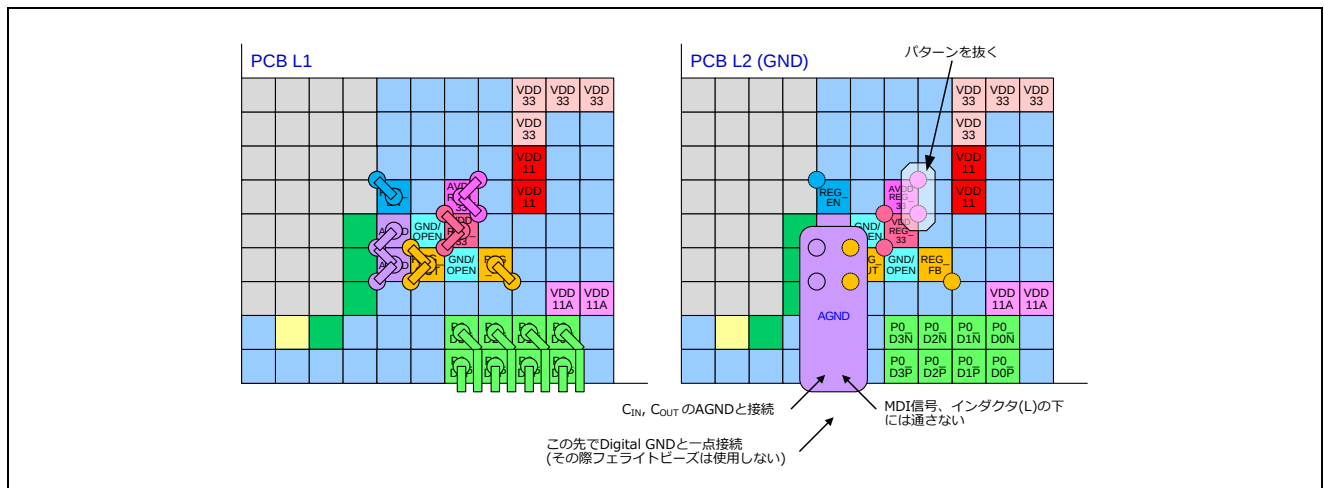


図7.3 23□ PKG PCB レイアウトイメージ例 (L1, L2)

7.5.2 L3, L4 (23□ PKG)

PCB でのレイアウトイメージ例 (L3, L4 の左下部) および条件を下記に示します。

- C_{BYPASS} は、VDDREG_33 端子の直近と AVDDREG_33 端子の直近に配置してください。
- L, C_{IN} , C_{OUT} は、できるだけ関係端子近くに配置してください。特に C_{IN} を優先してください。
- AVDDREG_33 パターンの寄生インダクタンスを極力低く抑えてください。

AVDDREG_33, AGND, REG_OUT は、他の信号に影響を与えないようにケアすべき信号になります。

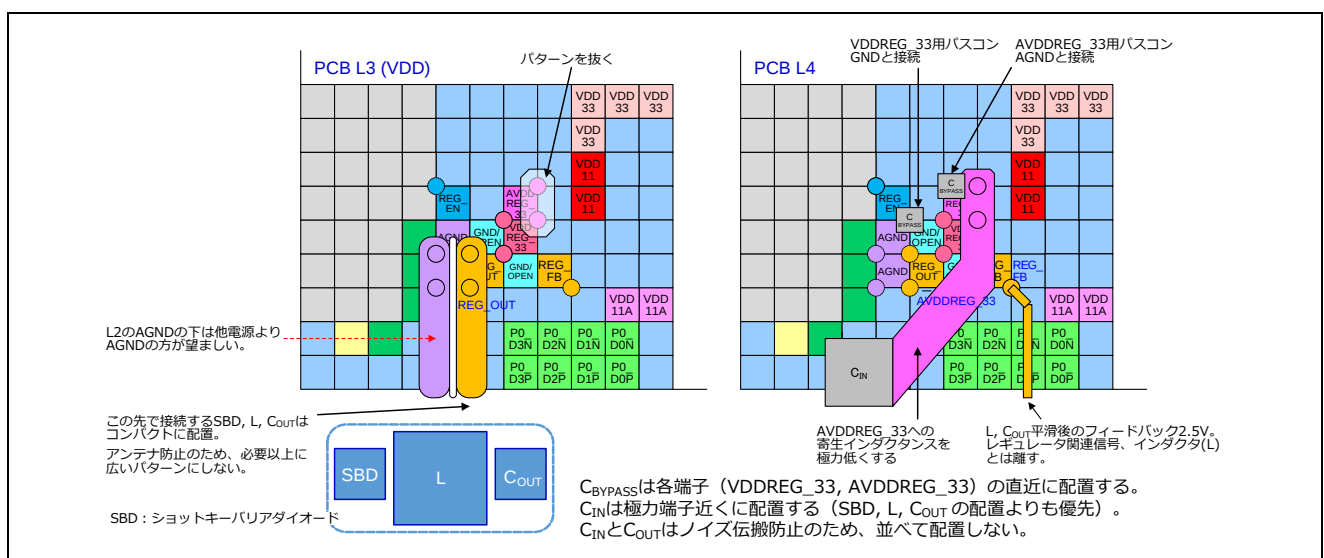


図7.4 23□ PKG PCB レイアウトイメージ例 (L3, L4)

7.6 17□ PKG PCB レイアウトイメージ例

R-IN32M4-CL3, 17□ PKG に搭載されている 2.5V 内蔵レギュレータ周辺回路構成について示します。

7.6.1 L1, L2 (17□ PKG)

PCB でのレイアウトイメージ例 (L1, L2 の左下部) および条件を下記に示します。

- 内蔵レギュレータの AGND は、極力 Digital GND と分けてください。
- AGND は、MDI 信号とインダクタ (L) の下を通さないでください。
- C_{BYPASS} は端子直近に、L, C_{IN}, C_{OUT} はできるだけ関係端子近くに配置してください。特に C_{IN} を優先してください。
- AVDDREG_33 のパターンの寄生インダクタンスを極力低く抑えてください。

AVDDREG_33, AGND, REG_OUT は、他の信号に影響を与えないようにケアすべき信号になります。

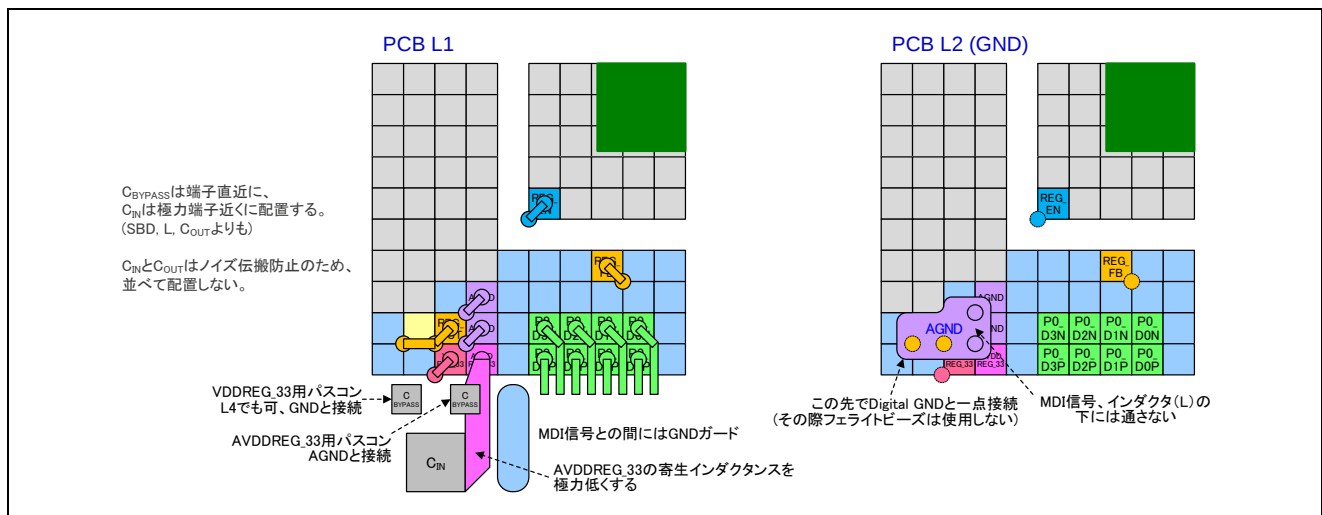


図7.5 17□ PKG PCB レイアウトイメージ例 (L1, L2)

7.6.2 L3, L4 (17□ PKG)

PCB でのレイアウトイメージ例 (L3, L4 の左下部) および条件を下記に示します。

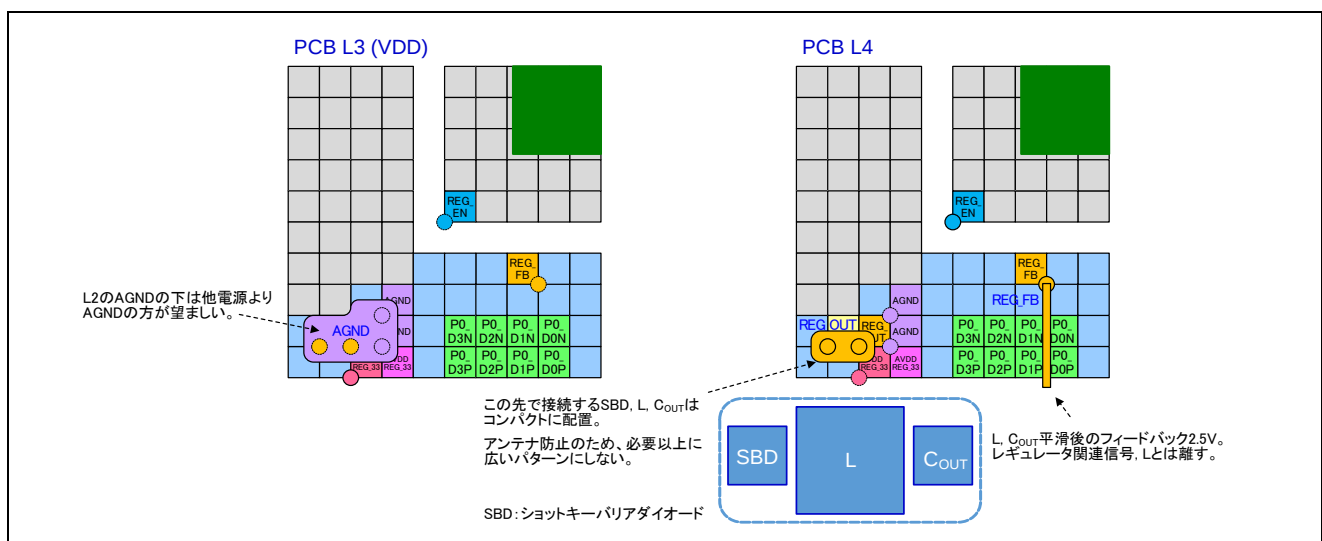


図7.6 17□ PKG PCB レイアウトイメージ例 (L3, L4)

7.7 PCB での寄生抵抗と寄生インダクタンスの要求値

PCB のレイアウトでは、寄生抵抗と寄生インダクタンスが下記を満たすようにパターンを引いてください。

表7.5 PCB での寄生抵抗と寄生インダクタンスの要求値

23mm□ ボール位置	17mm□ ボール位置	端子名	寄生抵抗	寄生インダクタンス	範囲
G6	D1	AVDDREG_33	$\leq 40\text{m}\Omega$	$\leq 4\text{nH}$	ボールからC _{IN} まで
E4, E5	D2, D3	AGND	$\leq 40\text{m}\Omega$	$\leq 4\text{nH}$	ボールからC _{IN} まで
F4	C2	REG_OUT	$\leq 40\text{m}\Omega$	—	ボールからLまで
H4	H4	REG_FB	$\leq 400\text{m}\Omega$	$\leq 15\text{nH}$	ボールからLとC _{OUT} を結ぶノードまで

8. 熱設計

本章では、R-IN32M4-CL3 の熱特性について記載するとともに、実装基板を設計する上での放熱対策や異常発熱を起こさないための注意事項について記載します。特に R-IN32M4-CL3 は、Gigabit Ethernet PHY、大容量内蔵メモリを搭載しているため、熱への配慮がより必要となります。

放熱を考慮した基板設計及び筐体設計をお願いします。

8.1 放熱対策の要否の判定

8.1.1 T_j の見積り

R-IN32M4-CL3 の基準として、 $T_j \leq 125^\circ\text{C}$ を満たしてください。T_j は以下の式で見積もります。

$$T_j = T_t + \Psi_{jt} \times \text{Power} \quad \text{あるいは} \quad T_j = T_a + \theta_{ja} \times \text{Power}$$

T_j : ジャンクション温度 [°C]

T_t : パッケージ表面温度 [°C]

T_a : 周囲温度 [°C]

θ_{ja} : ジャンクション温度 (T_j) と周囲温度 (T_a) 間の熱抵抗値 [°C/W]

(「8.1.3 JEDEC条件での熱抵抗値 (θ_{ja}, Ψ_{jt})」参照)

Ψ_{jt} : ジャンクション温度 (T_j) とパッケージ表面温度 (T_t) 間の熱抵抗値 [°C/W]

(「8.1.3 JEDEC条件での熱抵抗値 (θ_{ja}, Ψ_{jt})」参照)

Power : 消費電力 [W]

(1.15V系+2.5V系+3.3V系)

$T_j \leq 125^\circ\text{C}$ を満たせる環境であれば、半導体デバイスとしての放熱対策は不要です。ただし、半導体デバイスが実装される装置毎に温度上昇の判定基準がある場合は、必要に応じて放熱対策を実施してください。

$T_j \leq 125^\circ\text{C}$ を満たせない場合は、放熱対策が必要です。

8.1.2 消費電力の見積もり

3.3V, 2.5V, 1.15V は、R-IN32M4-CL3 ユーザーズ・マニュアル記載の電流で見積もってください。

8.1.3 JEDEC 条件での熱抵抗値 (θ_{ja}, Ψ_{jt})

JEDEC-2S2P 条件での熱抵抗値は下記の通りです。

ただし、実装基板、筐体、周辺部品などによって熱抵抗値は変動するため注意してください。

	θ _{ja} [°C/W]	Ψ _{jt} [°C/W]
R-IN32M4-CL3, 23□	19.8	0.35
R-IN32M4-CL3, 17□	20.6	0.36

R-IN32M4-CL3 の熱抵抗値 θ_{ja} は、搭載する実装基板、筐体、周辺部品により変動します。

最終製品として温度上昇 (Δt = T_t - T_a) の基準がある場合、目標の Δt に対して、それを実現するような θ_{ja} となるように、「8.2 放熱対策例」を参考にして対策を実施してください。

8.2 放熱対策例

放熱対策は、主に以下の2通りに分類されます。対策の詳細については、次頁以降に記載しています。

- (1) 実装基板設計での熱対策
 - ・実装基板設計時には必ず本対策を検討してください。
 - ・以下の対策は特に効果が高いため原則実施してください。
 - (Ⅰ) サーマルVIA
 - (Ⅱ) VDD/GNDパターン
 - (Ⅲ) 基板層数増加、表層へのGNDパターン配置^{注1}
 - (Ⅳ) 配置適正化^{注2}
- (2) デバイス周辺（筐体込）での熱対策
 - ・上記（1）の対策でも、お客様の Δt の基準もしくは $T_j = 125^\circ\text{C}$ 以下を満足できない場合はヒートシンクや放熱ジェルなど筐体含めた熱対策を検討してください。

注 1. 基板層数増加が難しい場合は、表層への GND パターン配置と VIA による層間の GND パターンの接続は出来る限り実施してください。

2. 特に高温となるレギュレータの配置に注意してください。

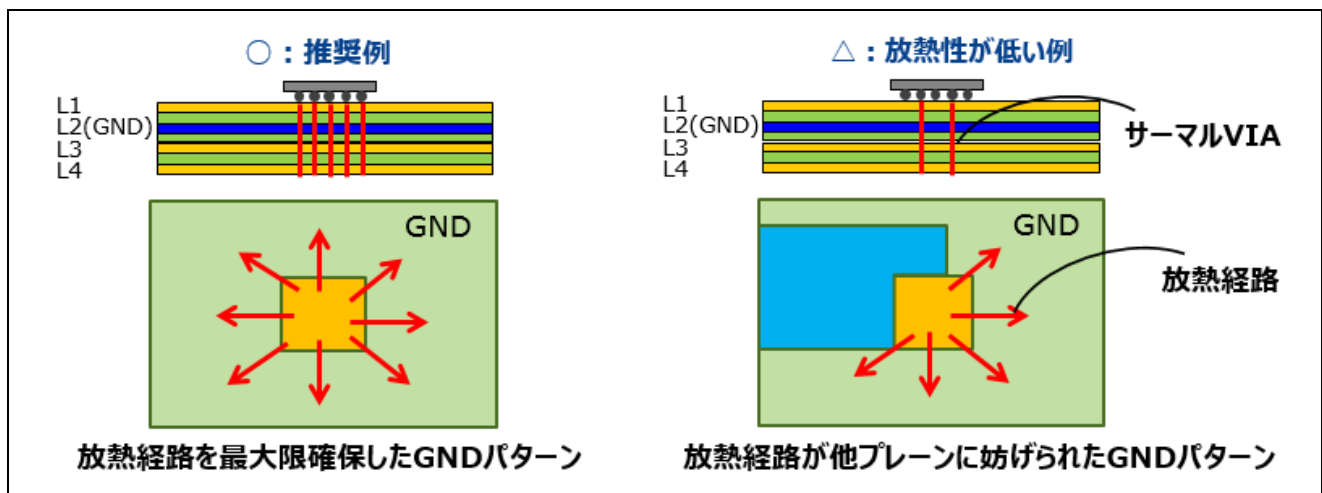
8.2.1 実装基板設計での対策案

(1) サーマル VIA

PKG 中央の電源/GND エリアに出来るだけ多くの VIA を配置することで、z 方向への放熱経路を増やすことが出来ます。1つの電源/GND ボールに付き、1つの VIA を配置することを推奨します。

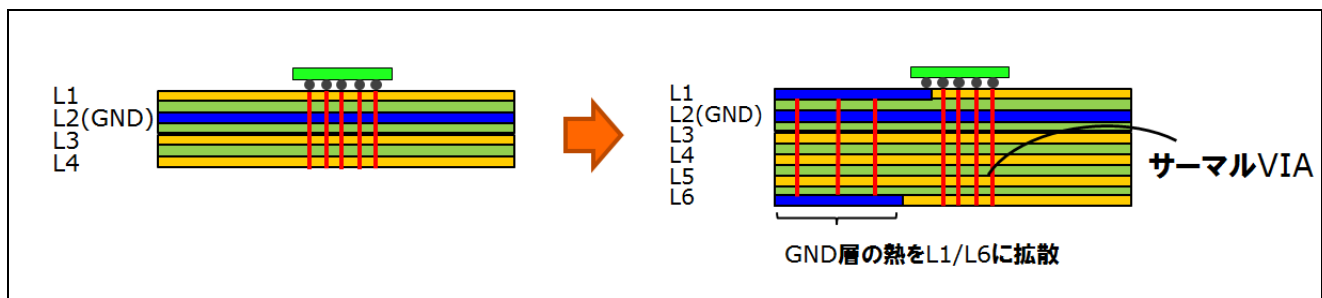
(2) 電源/GND プレーン構成

実装基板の電源/GND プレーンを出来るだけ大きくすることで、VIA を介して伝わる熱を各プレーンの面方向に広く拡散出来ます。放熱経路を分断するようなプレーン形状になると、放熱効果が減ってしまうため、できる限り分断しない GND パターンにしてください。GND 層は L2 を推奨します。



(3) 基板層数増加、表層への GND パターン配置

実装基板の Cu 配線層数を増やすことで放熱面積を増やすことが出来ます。さらに、表層にできるだけ GND パターンを配置し、サーマル VIA で GND パターンを接続することで放熱性が向上します。基板層数は 4 層以上を必須とし、6 層を推奨します。



(4) 部品配置適正化

本デバイスの近くに発熱部品がある場合、その部品から受ける熱の影響により、本デバイスの放熱性が悪化する要因となります。本デバイス周辺に他の発熱部品を配置しないでください。

注意. 例えば、高い消費電力を持つレギュレータが本デバイスの近傍に配置されると、その影響を受け、本デバイスの放熱性が著しく低下します。

(5) Cu 層残銅率

実装基板全層の残銅率が上がることで、放熱経路の増加につながります。

(6) Cu 厚

実装基板全層の Cu を厚く設計すると、放熱経路の体積増加につながります。Cu 厚の薄い基板を使用してしまうと放熱効果が悪化するため、注意が必要です。電源／GND 層に関しては、35um 以上を推奨します。

8.2.2 デバイス周辺（筐体込）での対策案

(1) ヒートシンクの搭載

ヒートシンク搭載により放熱面積を増やすことが出来、デバイス上面からの放熱をより効率的に実施することが出来ます。

(2) 筐体への熱伝導

デバイス表面に放熱ジェル等を付け、その先に筐体の金属面を接触させることで、デバイス上面への放熱性を上げることが出来ます。

(3) 筐体へのファンの設置

ファンの設置により対流熱伝導率の向上と周囲温度の低減につなげることが出来ます。

(4) 煙突効果の利用

熱は z 方向へ逃げる性質があるため、基板を立てることでデバイス上面に熱対流が発生し、デバイス上面の熱伝導率を向上させることが出来ます。

(5) 通風孔の拡大

通風孔を拡大することで、より筐体内外の熱交換が促進され、デバイス周囲温度を下げる事が出来ます。

(6) 遮蔽板での断熱

筐体内に大きな発熱源がある場合は、遮蔽板を使用した熱源分離が有効です。大きな熱源からの影響を遮蔽することで、本デバイスへの熱の影響を軽減することが出来ます。

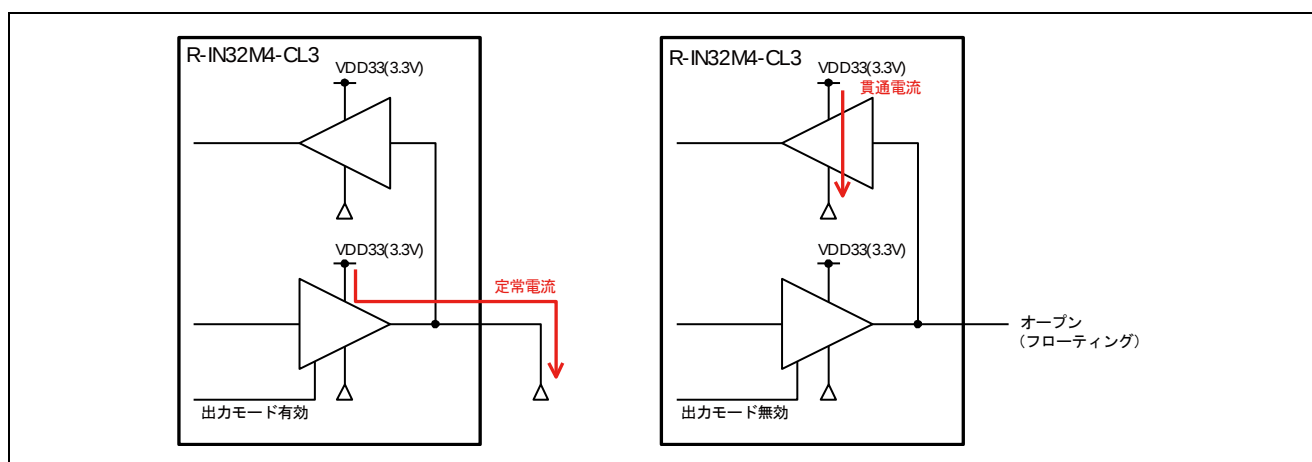
8.3 注意事項

8.3.1 未使用時端子処置

未使用端子を基板上で GND や電源にクランプしている場合、該当端子は入力属性に固定する必要があります。これを出力属性に設定していると、クランプの極性と反対の出力状態の場合には、出力バッファに大きな定常電流が流れ続けます。

反対に未使用端子を基板上でオープンにしている場合、該当端子は出力属性かプルアップ／プルダウン抵抗を有効にした入力属性に固定する必要があります。これをプルアップ／プルダウン抵抗の無い入力属性に設定していると、端子がフローティング状態となり貫通電流が流れる可能性があります。

これらの電流は異常発熱の原因となりますので、ソフトウェアの設定を十分に確認してください。



9. 外部マイコン／メモリ・インタフェース端子

外部マイコンもしくは外部メモリと接続することができます。

接続モードは、MEMIFSEL 端子、MEMCSEL 端子、HIFSYNC 端子および ADMUXMODE 端子の状態により「表 9.1 外部マイコン／メモリ接続モード選択」のように決定されます。

表9.1 外部マイコン／メモリ接続モード選択

モード設定				外部接続モード
MEMIFSEL	MEMCSEL	HIFSYNC	ADMUXMODE	
ロー	ロー	—	—	外部メモリ・インタフェース 非同期 SRAM MEMC
	ハイ	—	—	外部メモリ・インタフェース 同期式バースト・アクセス MEMC
ハイ	ロー	ロー	—	外部マイコン・インタフェース 非同期 SRAM 対応 MCU 接続モード
		ハイ	—	外部マイコン・インタフェース 同期 SRAM 対応 MCU 接続モード ^注
	ハイ	ロー	—	設定禁止
		—	—	設定禁止
	ハイ	ハイ	ロー	外部マイコン・インタフェース 同期バースト転送対応 MCU 接続モード (アドレス／データ分離)
			ハイ	外部マイコン・インタフェース 同期バースト転送対応 MCU 接続モード (アドレス／データ多重)

注. CC-Link IE Field にアクセスする場合は、同期 SRAM 対応 MCU 接続モードに設定する必要があります。(MEMIFSEL = ハイ、MEMCSEL = ロー、HIFSYNC = ハイ)

9.1 外部マイコン・インタフェース

外部マイコン・インタフェースは、外部メモリ・インタフェースを兼用しています。MEMIFSEL 端子がハイ・レベルのときに、外部マイコン・インタフェースが機能します。

非同期 SRAM 対応 MCU 接続モードおよび同期 SRAM 対応 MCU 接続モードに対応しています。HIFSYNC 端子のレベルがハイ・レベルのときに同期 SRAM インタフェースとなり、HIFSYNC がロー・レベルのときに非同期 SRAM インタフェースになります。（「表 9.1 外部マイコン／メモリ接続モード選択」参照）。

また、大容量のデータを高速にアクセスできるように、クロック同期式の同期バースト転送対応 MCU 接続モードをサポートします。MEMIFSEL 端子および MEMCSEL 端子をハイ・レベルにすることで、使用することができます。

注意. 各信号の接続方法は、接続先のマイコンのバス・インタフェース仕様に依存します。

接続先の製品仕様をご確認のうえ、接続方法を決定してください。

9.1.1 非同期 SRAM 対応 MCU 接続モード

非同期 SRAM 対応 MCU 接続モードにて、外部マイコンからスレーブ機器として接続する場合の一般的な接続例を示します。

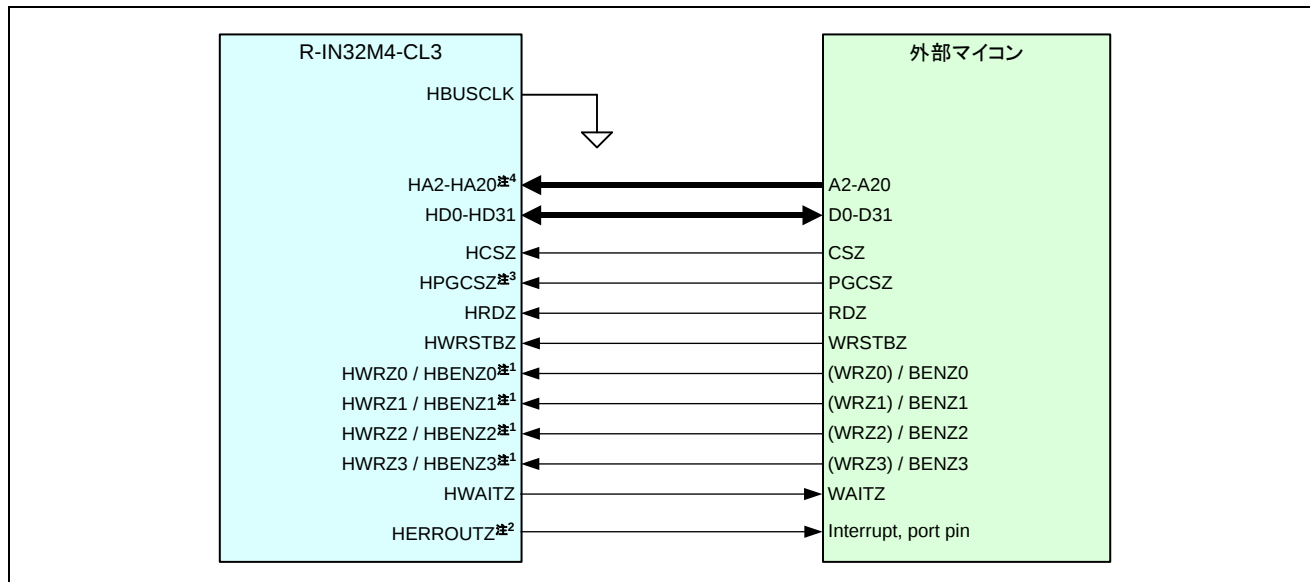


図9.1 32ビット幅外部マイコン・インタフェース接続例（非同期 SRAM 対応 MCU 接続モード）

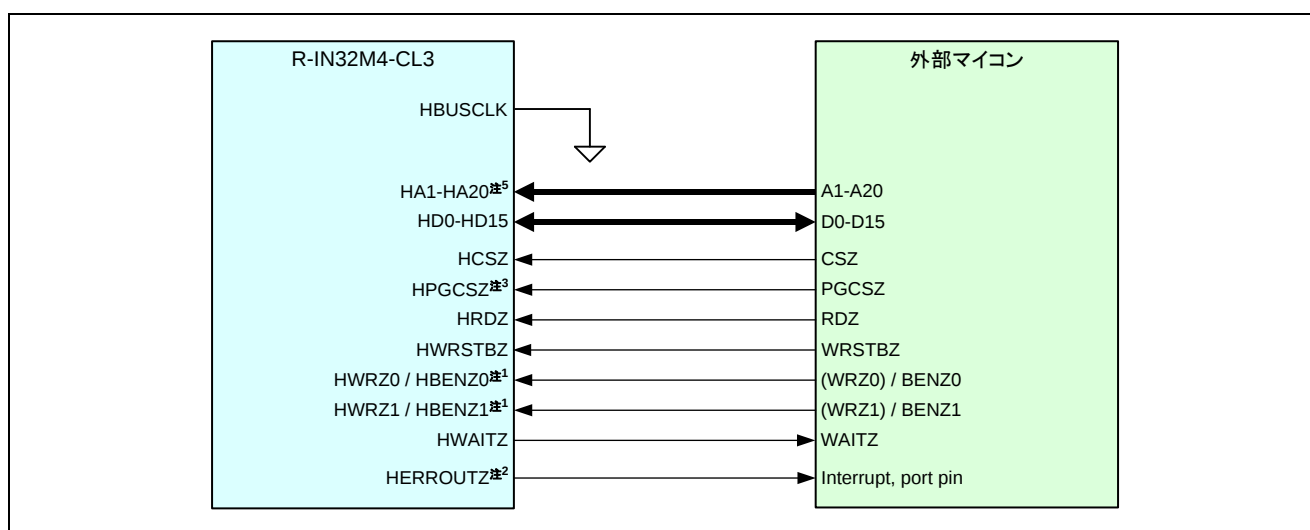


図9.2 16ビット幅外部マイコン・インタフェース接続例（非同期 SRAM 対応 MCU 接続モード）

- 注 1. HWRZ0-HWRZ3 と HBENZ0-HBENZ3 は兼用されています。
 どちらの機能を使用するかは、HWRZSEL 端子の入力するレベルにより決まります。
2. HERROUTZ 信号の接続は必須ではありません。
 必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。
3. ページアクセス可能なチップ・セレクト信号です。必要に応じて接続ください。
4. R-IN32M4-CL3 の HA2 端子に接続する信号は、接続先の 4 バイト境界のアドレス信号としてください。
5. R-IN32M4-CL3 の HA1 端子に接続する信号は、接続先の 2 バイト境界のアドレス信号としてください。

9.1.2 同期 SRAM 対応 MCU 接続モード

同期 SRAM 対応 MCU 接続モードにて、外部マイコンからスレーブ機器として接続する場合の接続例を示します。

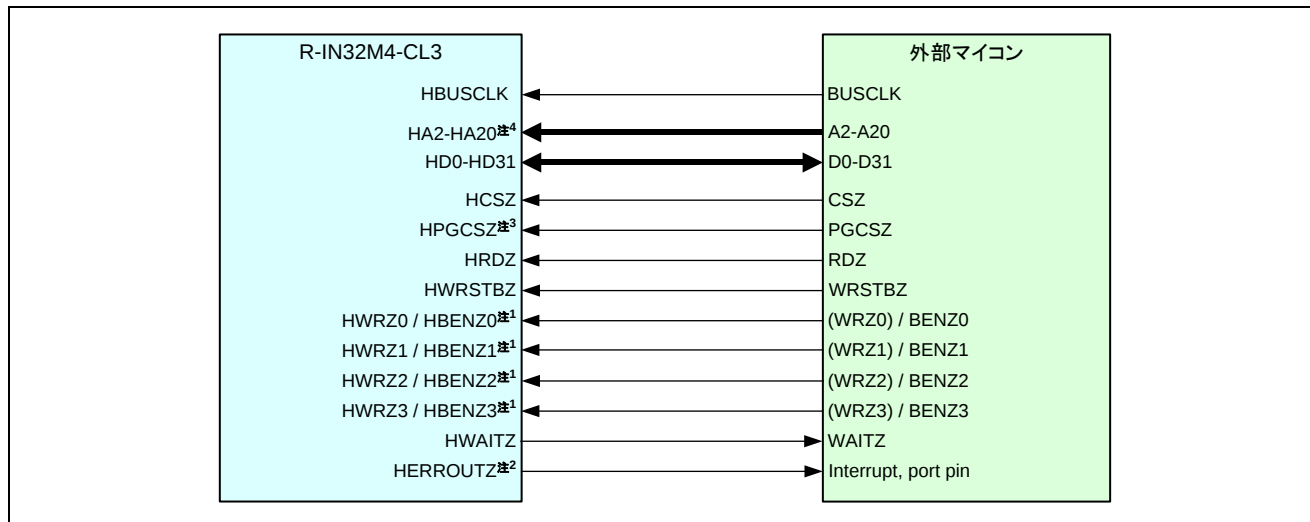


図9.3 32ビット幅外部マイコン・インタフェース接続例（同期SRAM対応MCU接続モード）

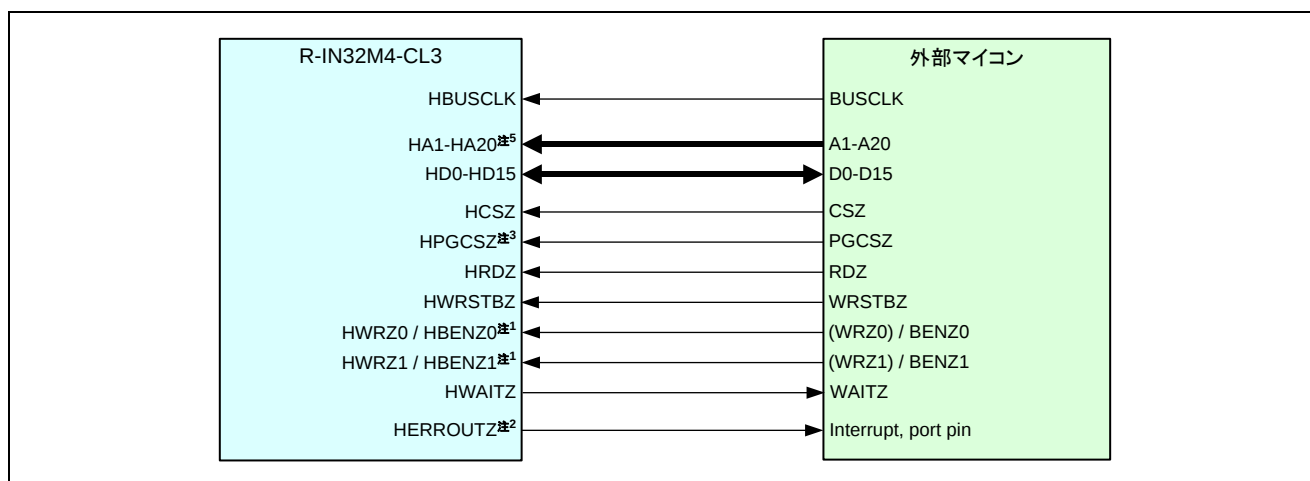


図9.4 16ビット幅外部マイコン・インタフェース接続例（同期SRAM対応MCU接続モード）

注1 HWRZ0-HWRZ3 と HBENZ0-HBENZ3 は兼用されています。

どちらの機能を使用するかは、HWRZSEL 端子の入力するレベルにより決まります。

2. HERROUTZ 信号の接続は必須ではありません。

必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。

3. ページアクセス可能なチップ・セレクト信号です。必要に応じて接続ください。

4. R-IN32M4-CL3 の HA2 端子に接続する信号は、接続先の4バイト境界のアドレス信号としてください。

5. R-IN32M4-CL3 の HA1 端子に接続する信号は、接続先の2バイト境界のアドレス信号としてください。

9.1.3 同期バースト転送対応 MCU 接続モード

同期バースト転送対応 MCU 接続モードにて、外部マイコンからスレーブ機器として接続する場合の一般的な接続例を示します。

9.1.3.1 アドレス／データ・マルチプレクス・モード (ADMUXMODE = H)

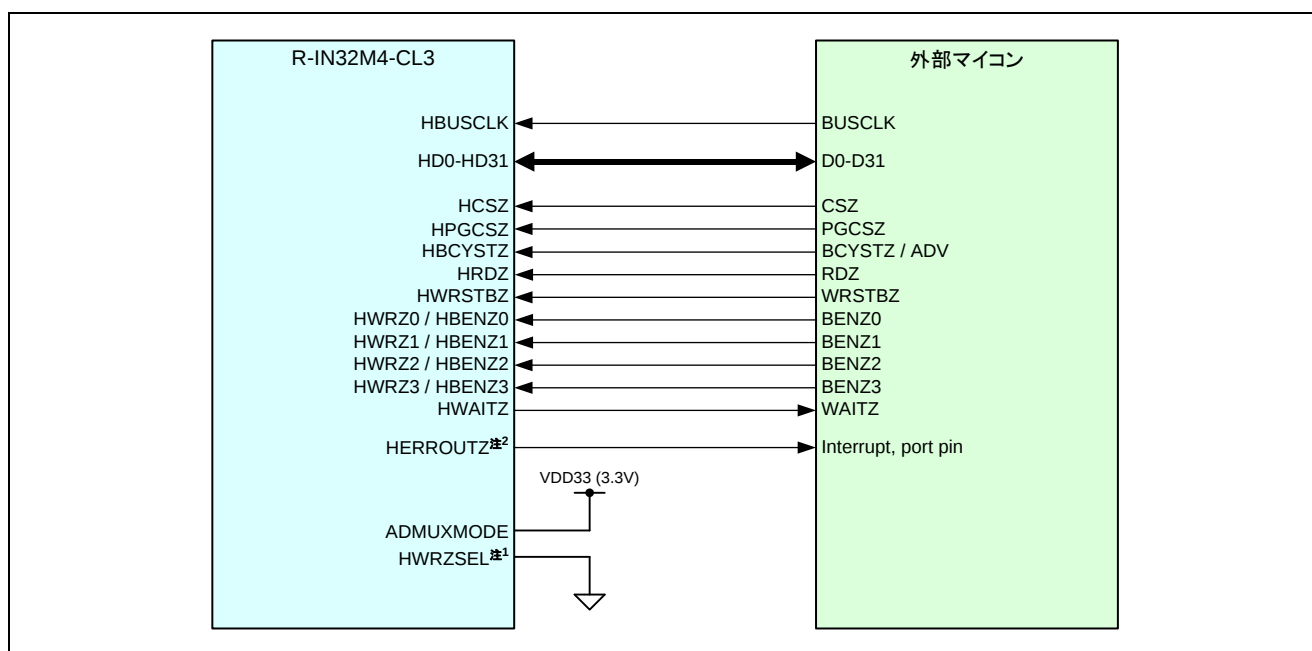


図9.5 32ビット幅外部マイコン・インタフェース接続例

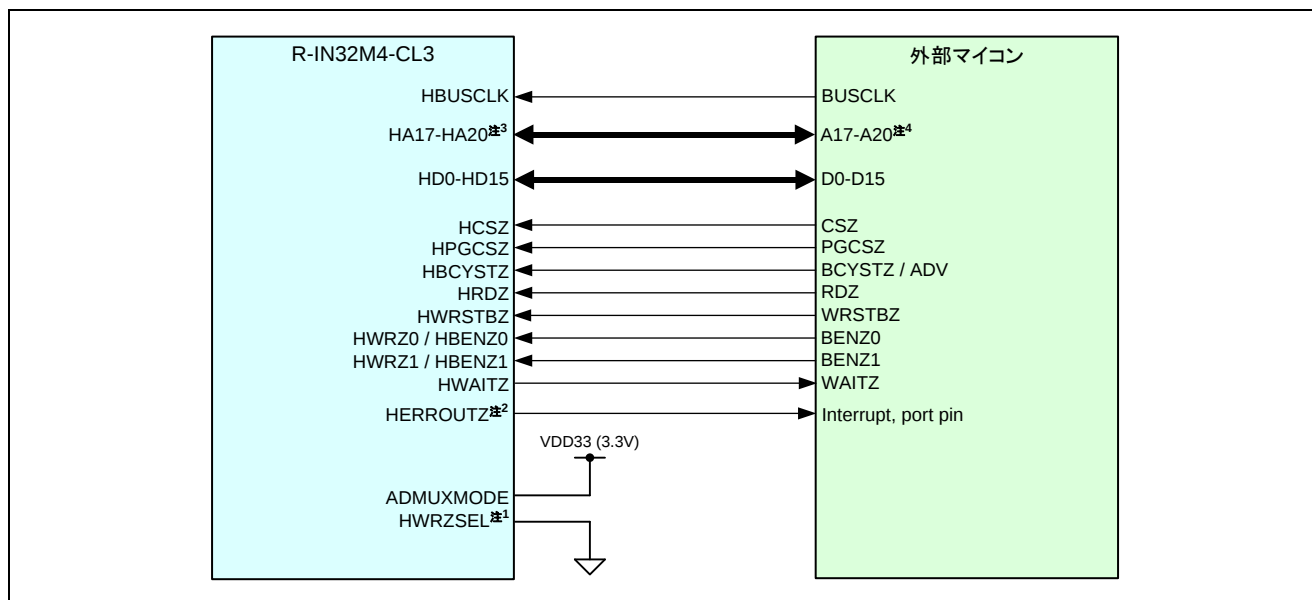


図9.6 16ビット幅外部マイコン・インタフェース接続例

- 注 1. 本モード時、HWRZSEL 端子はロー・レベルを入力してください。
2. HERROUTZ 信号の接続は必須ではありません。
必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。
3. R-IN32M4-CL3 の HA17 端子に接続する信号は、接続先の 128K バイト境界のアドレス信号と
してください。
4. バイト・アドレッシングによるアクセスです。

9.1.3.2 アドレス・データ・セパレート・モード (ADMUXMODE = L)

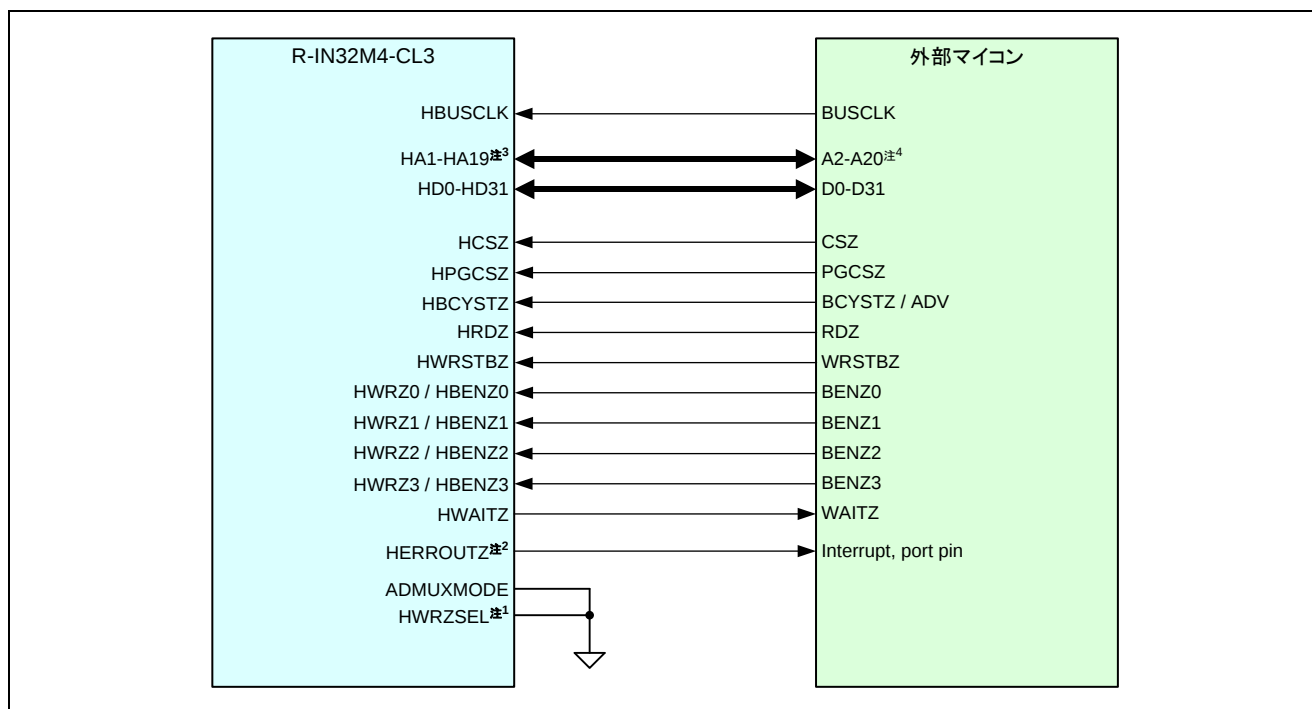


図9.7 32ビット幅外部マイコン・インタフェース接続例

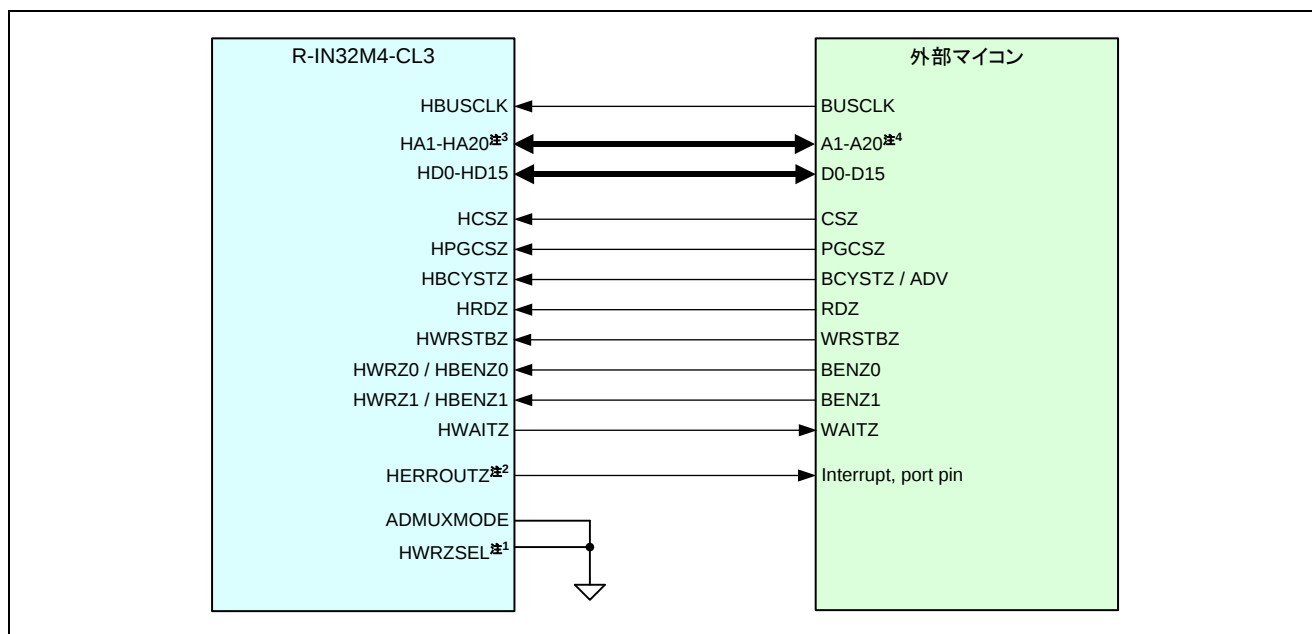


図9.8 16ビット幅外部マイコン・インタフェース接続例

- 注 1. 本モード時、HWRZSEL 端子はロー・レベルを入力してください。
2. HERROUTZ 信号の接続は必須ではありません。
必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。
3. 32 ビット幅 : HA1 には、32 ビット境界のアドレス信号を接続してください。
16 ビット幅 : HA1 には、16 ビット境界のアドレス信号を接続してください。
4. バイト・アドレッシングによるアクセスです。

9.2 外部メモリ・インタフェース

外部メモリに対してマスタ機器として接続する場合について説明します。

外部メモリ・インタフェースは、MEMCSEL 端子の端子状態により、動作接続モードが異なります（「表 9.1 外部マイコン／メモリ接続モード選択」参照）。

9.2.1 非同期 SRAM MEMC

非同期 SRAM MEMC は、32/16 ビット・バスで外部にページ ROM／ROM／SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。

非同期 SRAM MEMC は、同期式バースト・アクセス MEMC と外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子および MEMIFSEL 端子がともにロー・レベルに設定のときに非同期 SRAM MEMC を使用できます。

BOOT0、BOOT1 端子が共にロー・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。

9.2.1.1 SRAM の接続例

SRAM との接続例は次のようになります。

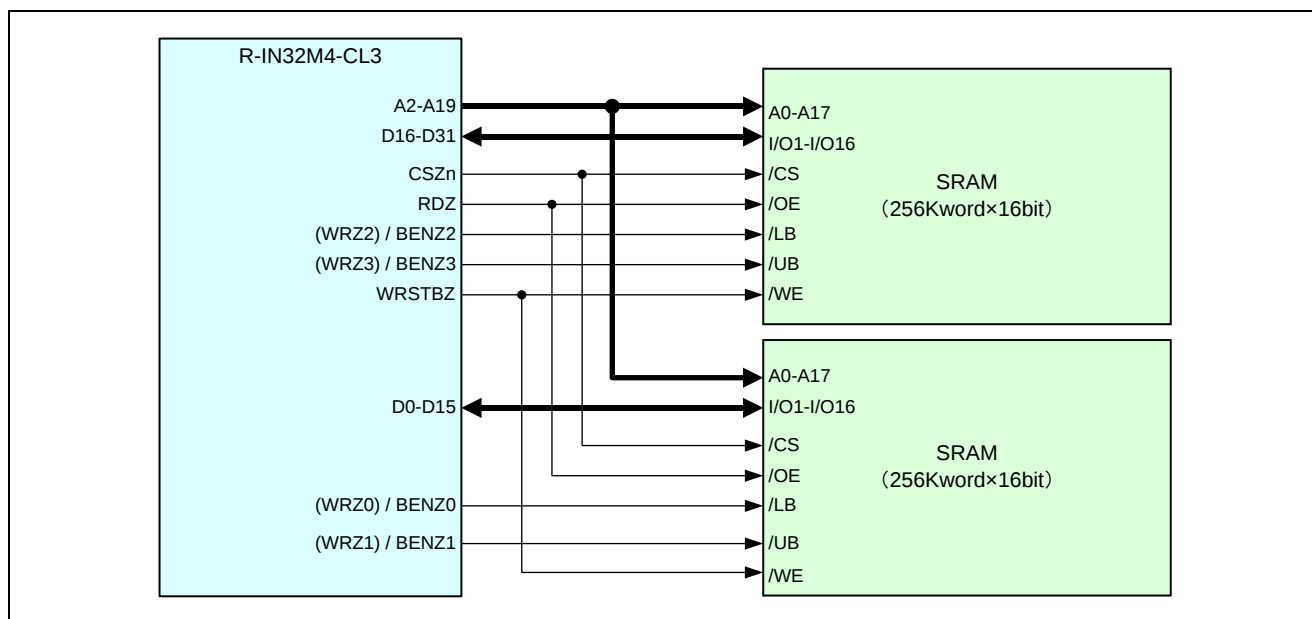


図9.9 32 ビット幅 SRAM との接続例（非同期 SRAM MEMC）

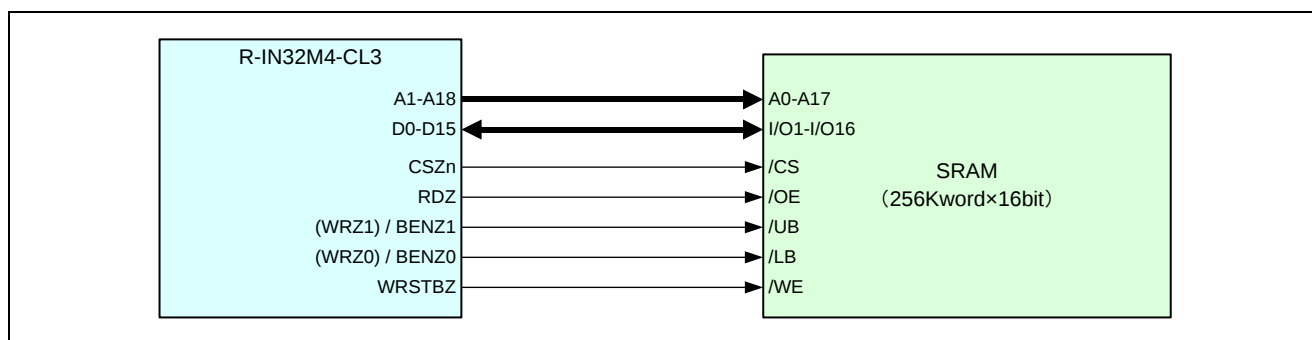


図9.10 16 ビット幅 SRAM との接続例（非同期 SRAM MEMC）

備考. n = 0-3

9.2.1.2 ページ ROM の接続例

ページ ROM との接続例は次のようになります。

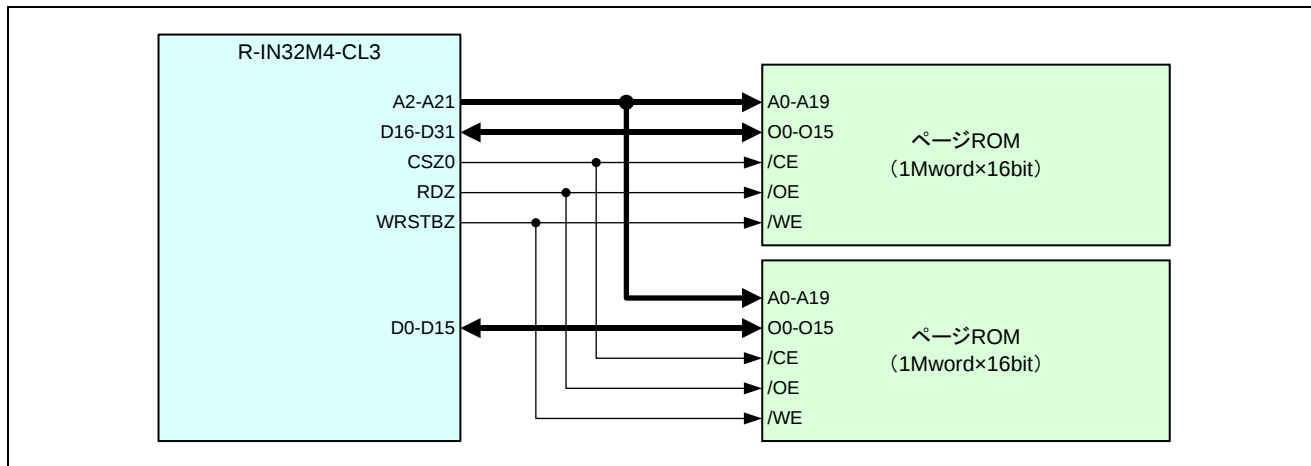


図9.11 32ビット幅ページROMとの接続例（非同期SRAM MEMC）

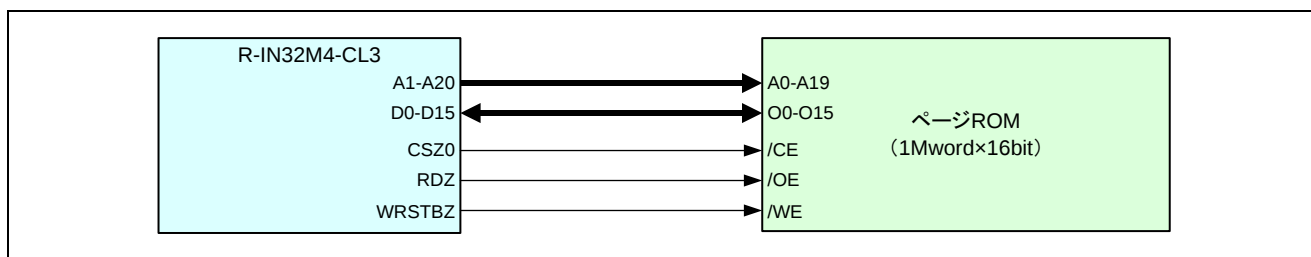


図9.12 16ビット幅ページROMとの接続例（非同期SRAM MEMC）

注意. ページROMのオンページ・モードは、CSZ0に接続した場合のみ利用できます。

9.2.2 同期式バースト・アクセス MEMC

同期式バースト・アクセス MEMC は、32/16 ビット・バスで外部にページ ROM／ROM／SRAM／PSRAM／NOR-Flash のほか、SRAM インタフェースに準ずる周辺デバイスも接続できます。

また、ADMUXMODE 端子をハイ・レベルに設定することで、データ端子にアドレス信号をマルチプレクスして出力することができます。

また同期式バースト・アクセス MEMC は、非同期式 SRAM MEMC と、外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子がハイ・レベル、MEMIFSEL 端子がロー・レベルのときに、同期式バースト・アクセス MEMC が選択されます。

BOOT0、BOOT1 端子が共にロー・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。

9.2.2.1 SRAM の接続例

SRAM との接続例は次のようになります。

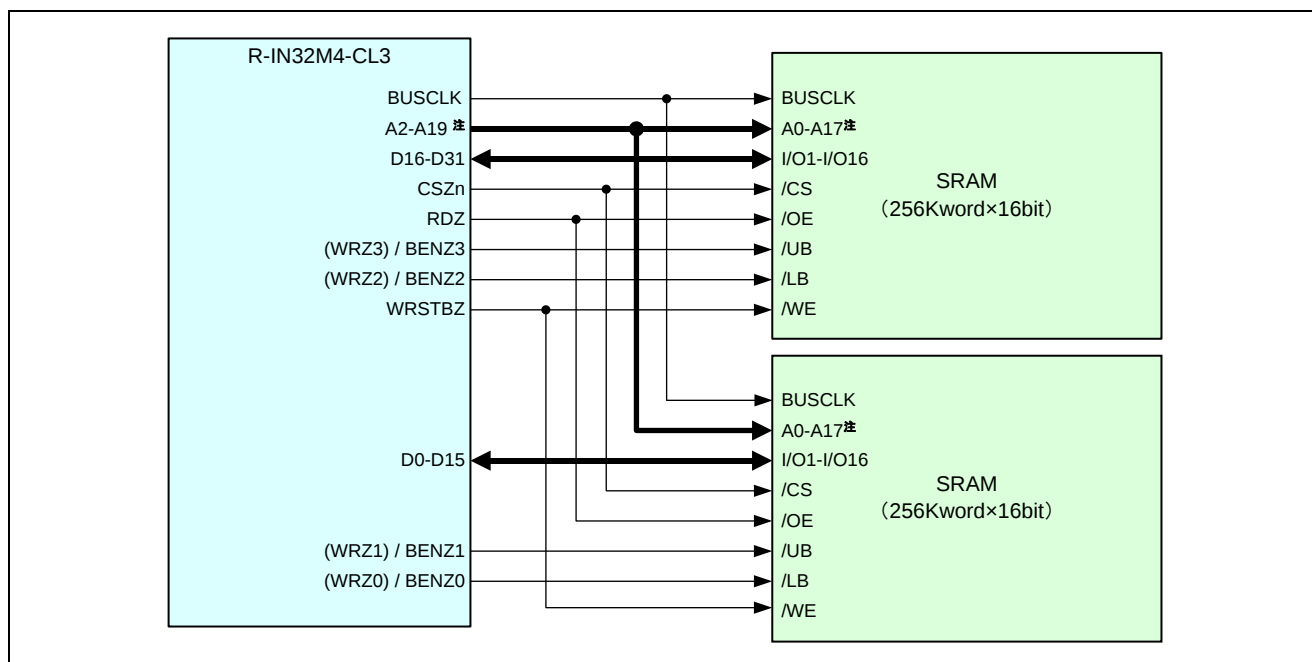


図9.13 32ビット幅 SRAM との接続例（同期式バースト・アクセス MEMC）

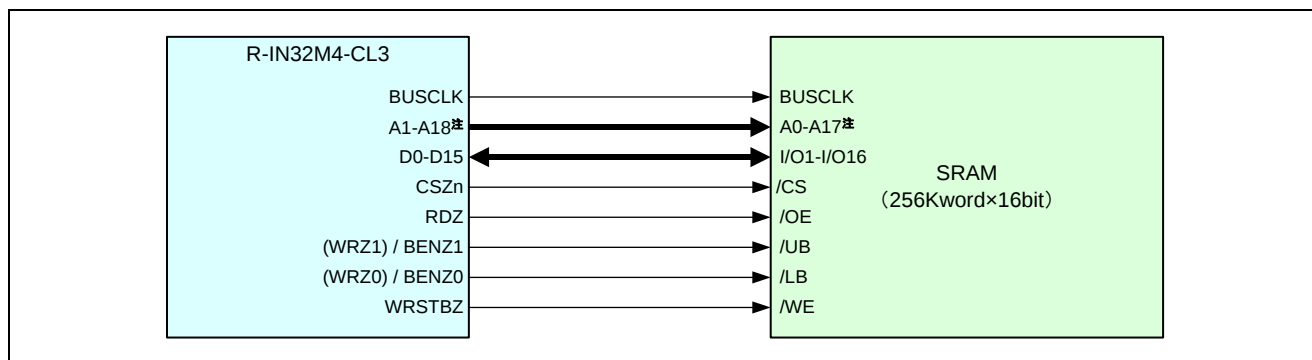


図9.14 16ビット幅 SRAM との接続例（同期式バースト・アクセス MEMC）

備考. n = 0-3

注. 「アドレス／データ・マルチプレクス」機能が有効（ADMUXMODE 端子がハイ・レベル）のときは、アドレス・バスの接続は不要となります。

9.2.2.2 ページ ROM の接続例

ページ ROM との接続例は次のようになります。

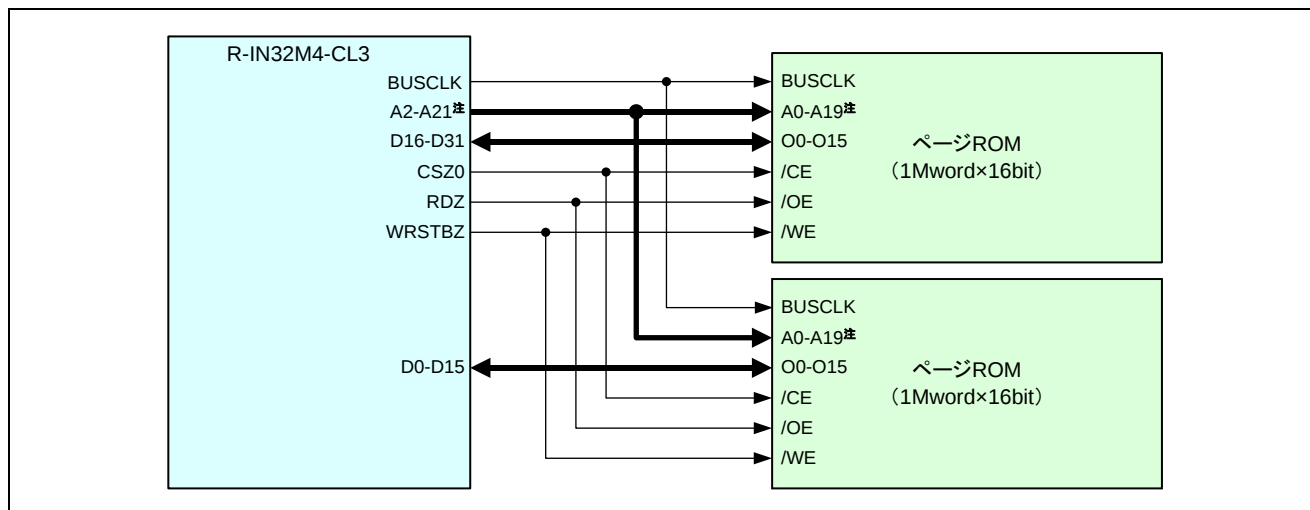


図9.15 32 ビット幅ページ ROM との接続例（同期式バースト・アクセス MEMC）

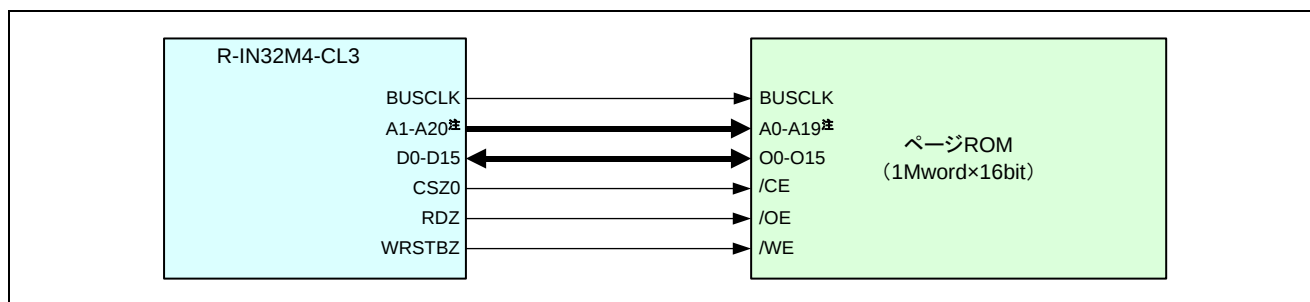


図9.16 16 ビット幅ページ ROM との接続例（同期式バースト・アクセス MEMC）

注意. ページ ROM のオンページ・モードは、CSZ0 に接続した場合のみ利用できます。

注. 「アドレス／データ・マルチプレクス」機能が有効（ADMUXMODE 端子がハイ・レベル）のときは、アドレス・バスの接続は不要となります。

10. シリアル・フラッシュ ROM 接続端子

SPI 互換のインターフェースに対応したシリアル・フラッシュ ROM を接続するためのメモリ・コントローラを内蔵しています。

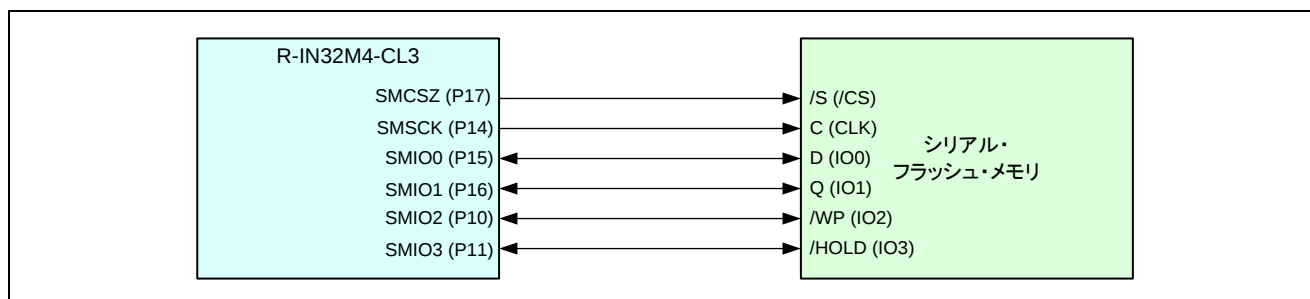


図10.1 シリアル・フラッシュ ROM との接続図

11. アシクロナス・シリアル・インタフェース J 接続端子

R-IN32M4-CL3 とアシクロナス・シリアル・インタフェース J (UARTJ) デバイスとの接続例を、以下に示します。

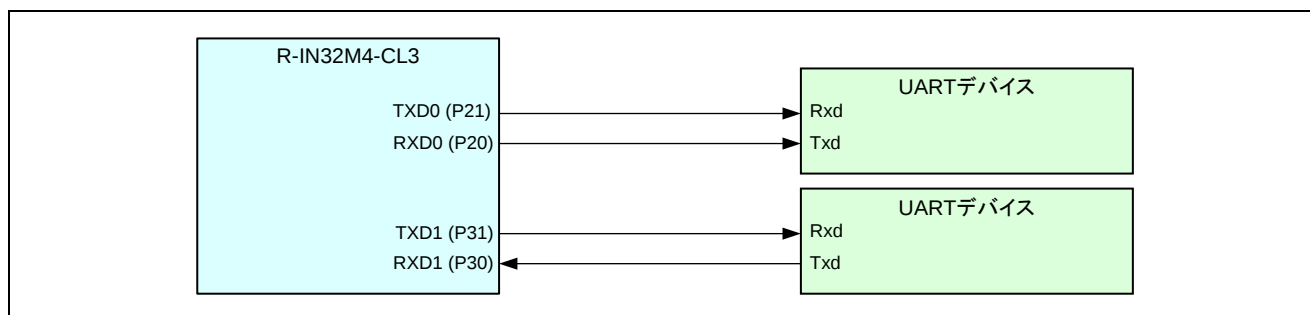


図11.1 R-IN32M4-CL3 と UART デバイスとの接続例

12. I²C 接続端子

R-IN32M4-CL3 と I²C スレーブデバイスとの接続例を「図 12.1 R-IN32M4-CL3 と I2C スレーブデバイスとの接続例」に示します。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、N チャネル オープン・ドレイン出力のため、外部にプルアップ抵抗が必要になります。

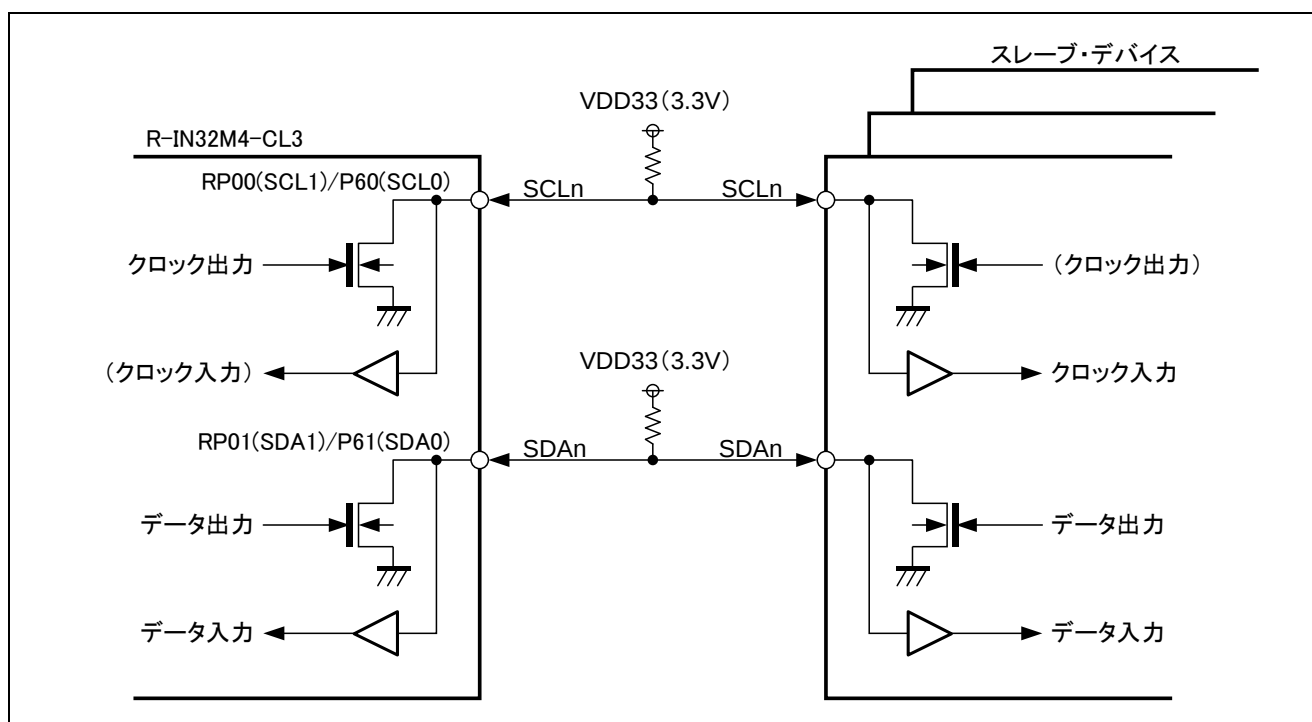


図12.1 R-IN32M4-CL3 と I²C スレーブデバイスとの接続例

備考. n = 0-3

13. CAN 端子

R-IN32M4-CL3 と CAN トランシーバとの接続例です。

CAN バスと接続するには、CAN トランシーバをご使用ください。

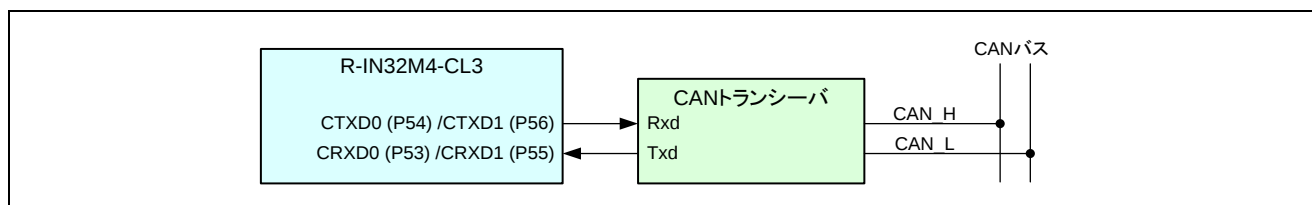


図13.1 R-IN32M4-CL3 と CAN トランシーバとの接続例

14. CSIH 端子

R-IN32M4-CL3 と CSI マスタおよび CSI スレーブを接続する際の接続例です。

14.1 マスタ 1、スレーブ 1 の場合

1 つのマスタと 1 つのスレーブの間の接続例を示します。

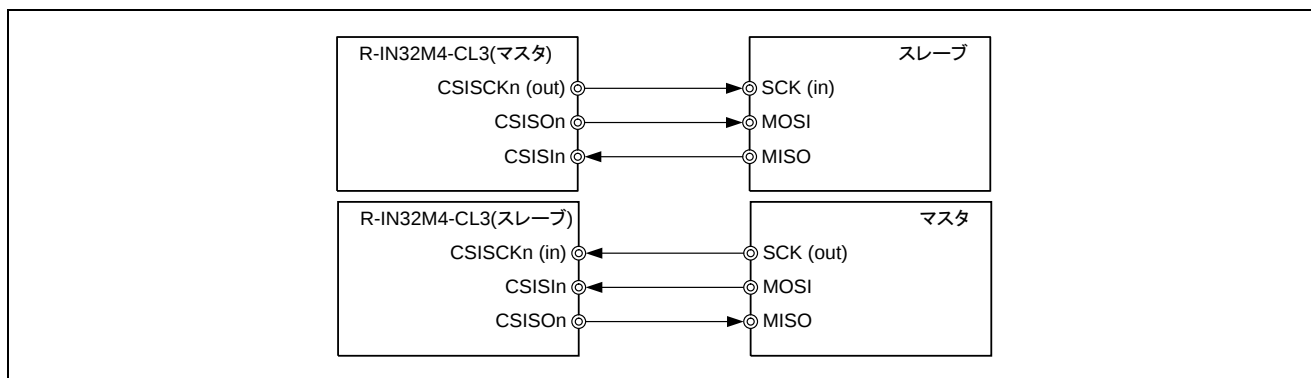


図14.1 マスタ／スレーブ間の直接の接続

備考 $n = 0, 1$

14.2 マスタ 1、スレーブ 2 の場合

R-IN32M4-CL3 をマスタとした 2 つのスレーブとの接続を示します。

この例では、R-IN32M4-CL3 が各スレーブに 1 つずつチップ・セレクト (CS) 信号を供給し、スレーブ・デバイスのスレーブ選択入力 (SSI) へ接続しています。

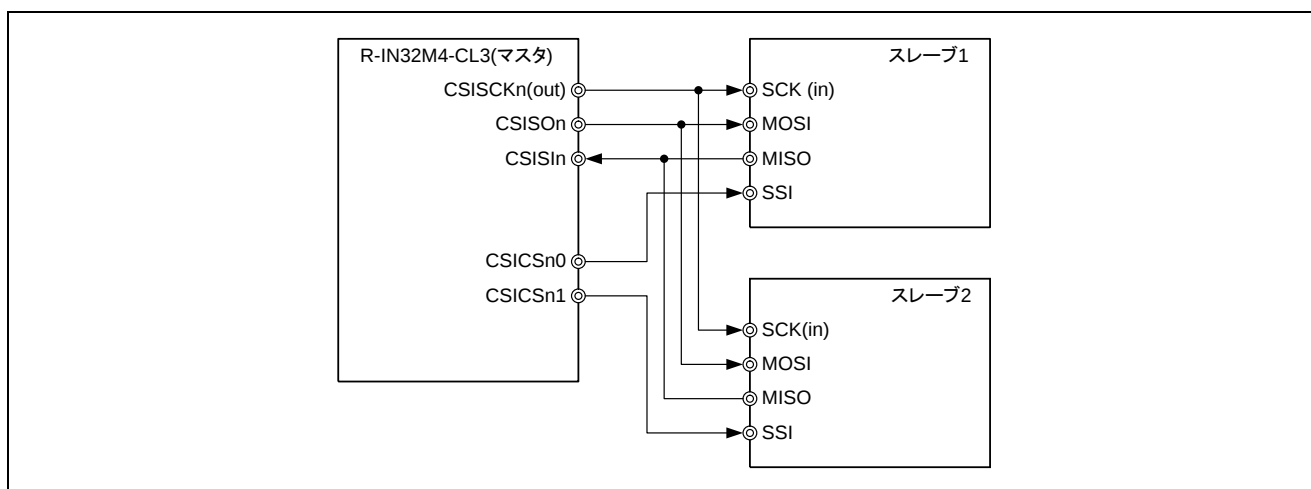


図14.2 マスタ／スレーブ間の直接の接続

備考 $n = 0, 1$

15. JTAG/トレース端子

ICE (In Circuit Emulator) のコネクタとの接続例を示します。

nRESET 信号は、RESETZ に繋いでいれば HOTRESETZ への入力は不要です。

RESETZ は LSI 全体をリセットしますが、HOTRESETZ のみの場合には内部 PLL はリセットされません。
用途に合わせてお使いください。

また、nRESET 信号を PONRZ 信号には接続しないようにしてください。

標準コネクタである 20pin ハーフピッチコネクタおよび 20pin フルピッチコネクタの接続例を示します。

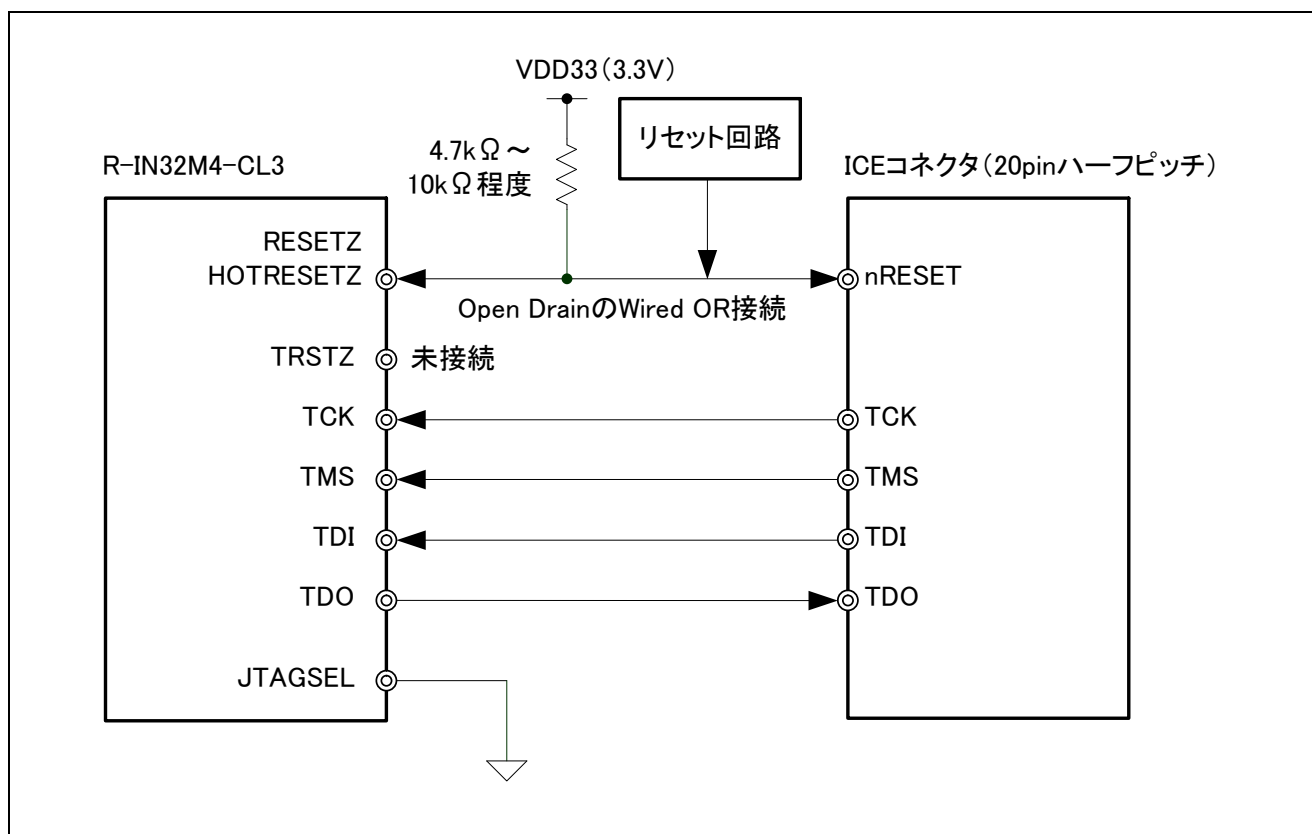


図15.1 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースなし)

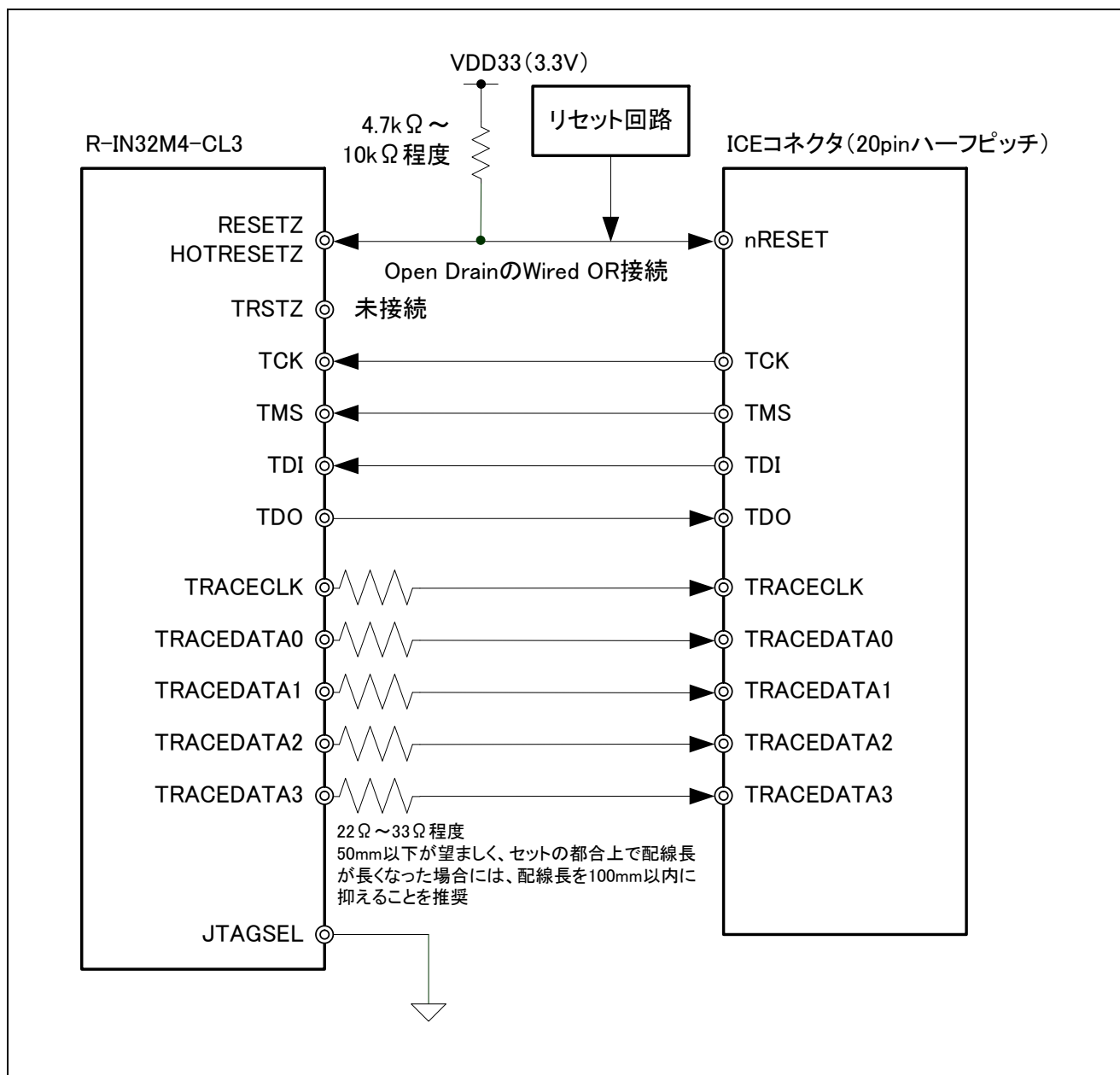


図15.2 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースあり)

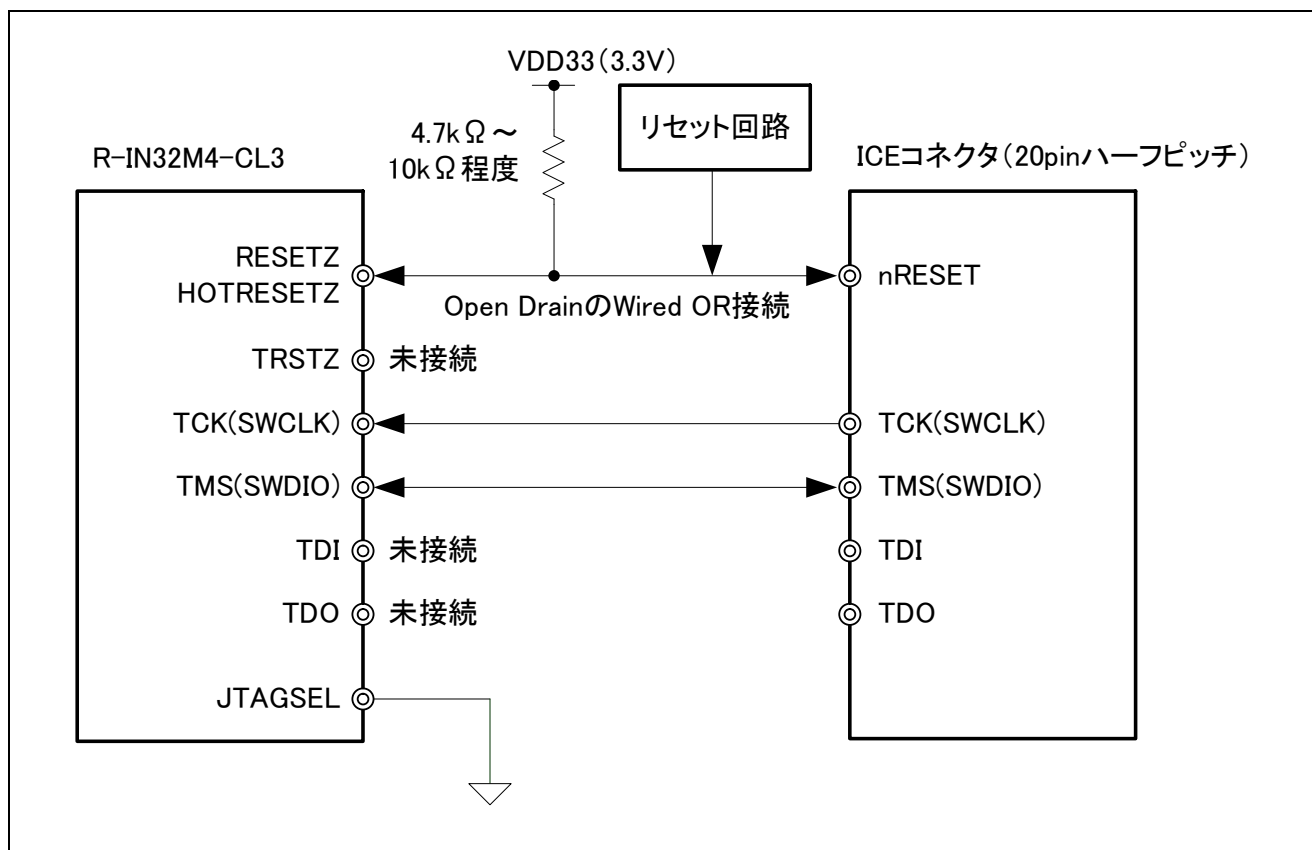


図15.3 SWD インタフェース接続例 (20pin ハーフピッチ、トレースなし)

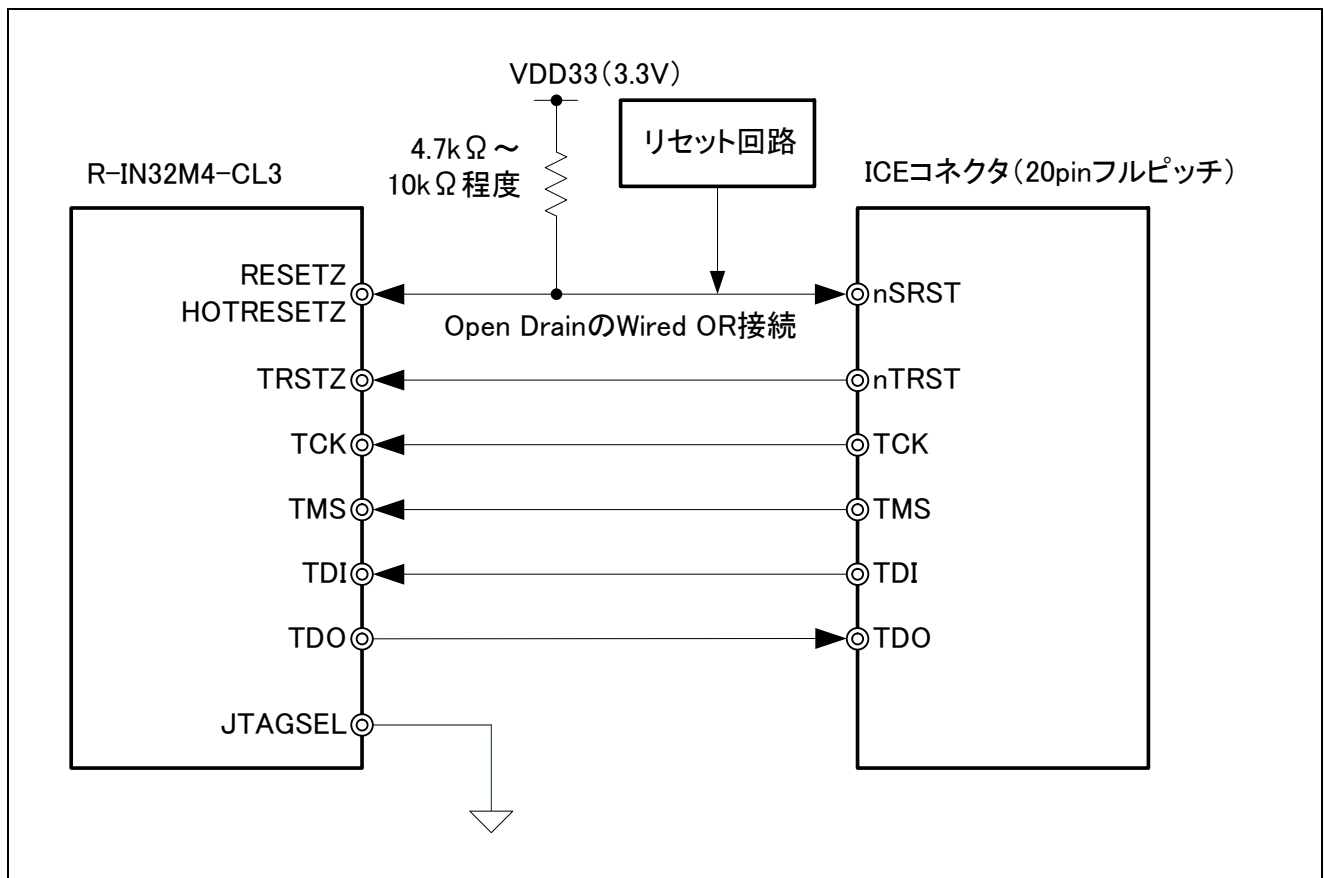


図15.4 JTAG インタフェース接続例 (20pin フルピッチ)

16. 実装条件

R-IN32M4-CL3 の実装条件を以下に示します。

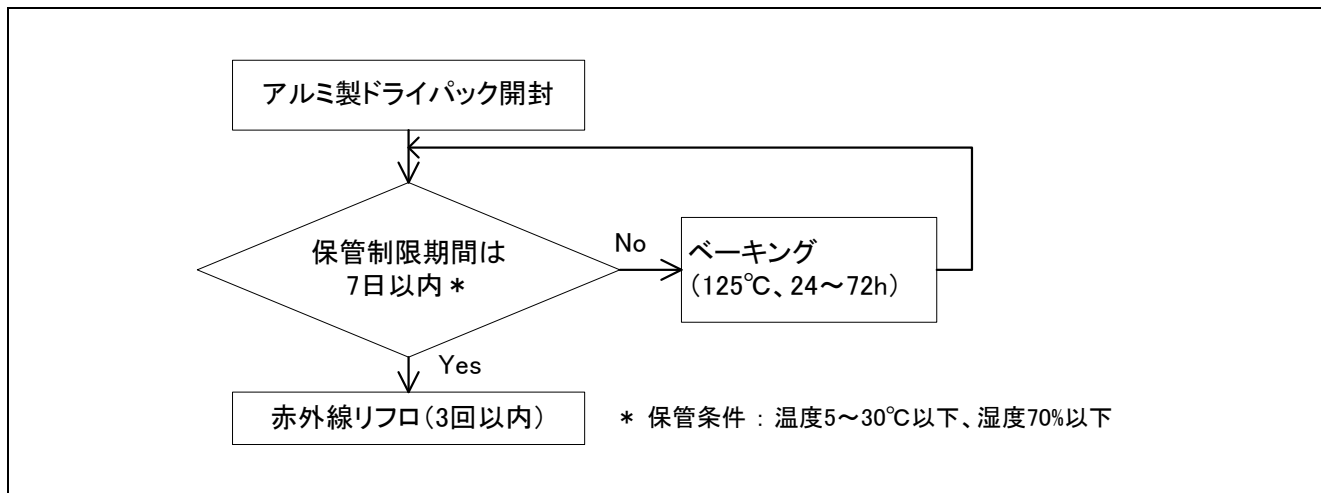


図16.1 実装フロー

- | | |
|---------------------------|-----------|
| ・ 最高温度 (パッケージ表面温度) | : 250°C以下 |
| ・ 最高温度の時間 | : 30s 以内 |
| ・ 217°C以上の時間 | : 150s 以内 |
| ・ プリヒート温度 (150~200°C) の時間 | : 60~120s |
| ・ 最多リフロ回数 | : 3 回 |
| ・ ドライパック開封後の保管制限期間 | : 7 日以内 |

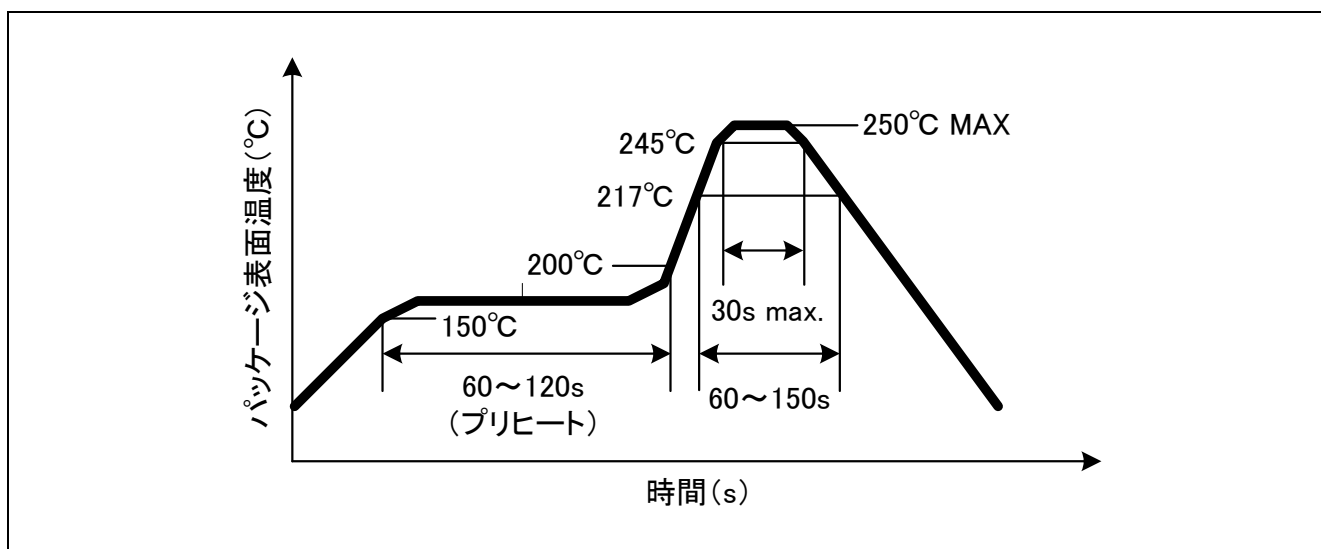
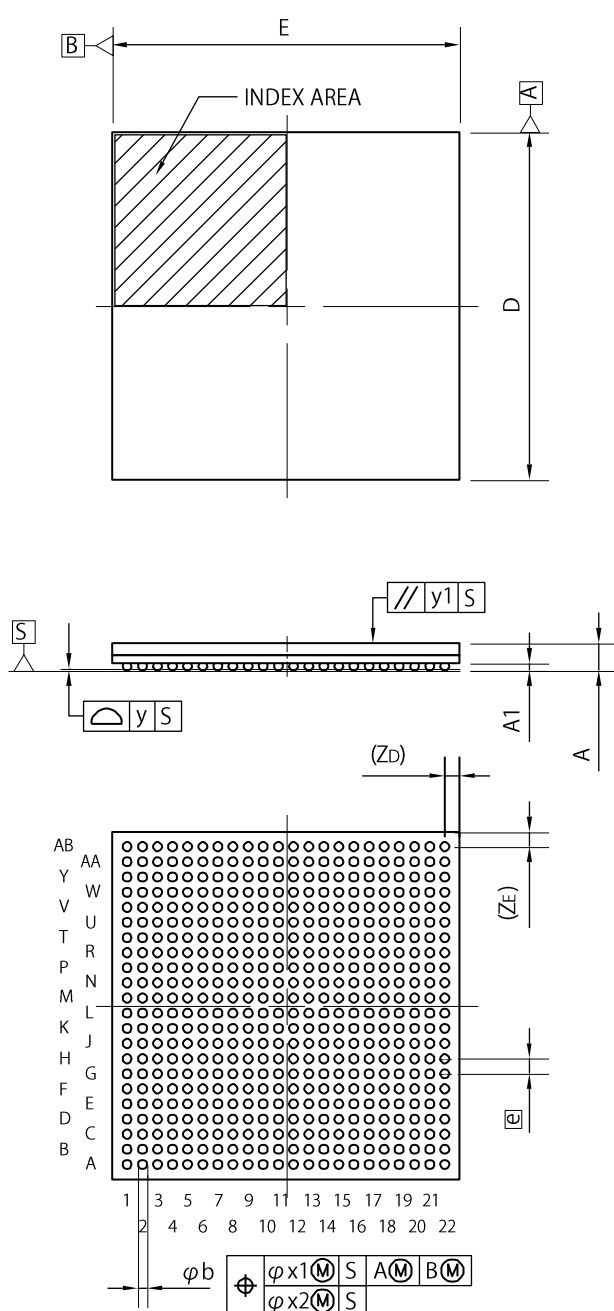


図16.2 赤外線リフロ温度プロファイル

17. パッケージ情報

R-IN32M4-CL3 のパッケージ情報です。

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-BGA484-23x23-1.00	PRBG0484FC-A	1.93



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	22.85	23.00	23.15
E	22.85	23.00	23.15
A	—	—	2.03
A1	0.40	0.50	0.60
⌀	—	1.00	—
b	0.50	0.60	0.70
x1	—	—	0.25
x2	—	—	0.10
y	—	—	0.15
y1	—	—	0.35
n	—	484	—
Z _D	—	1.00	—
Z _E	—	1.00	—

図17.1 パッケージ情報 (23□)

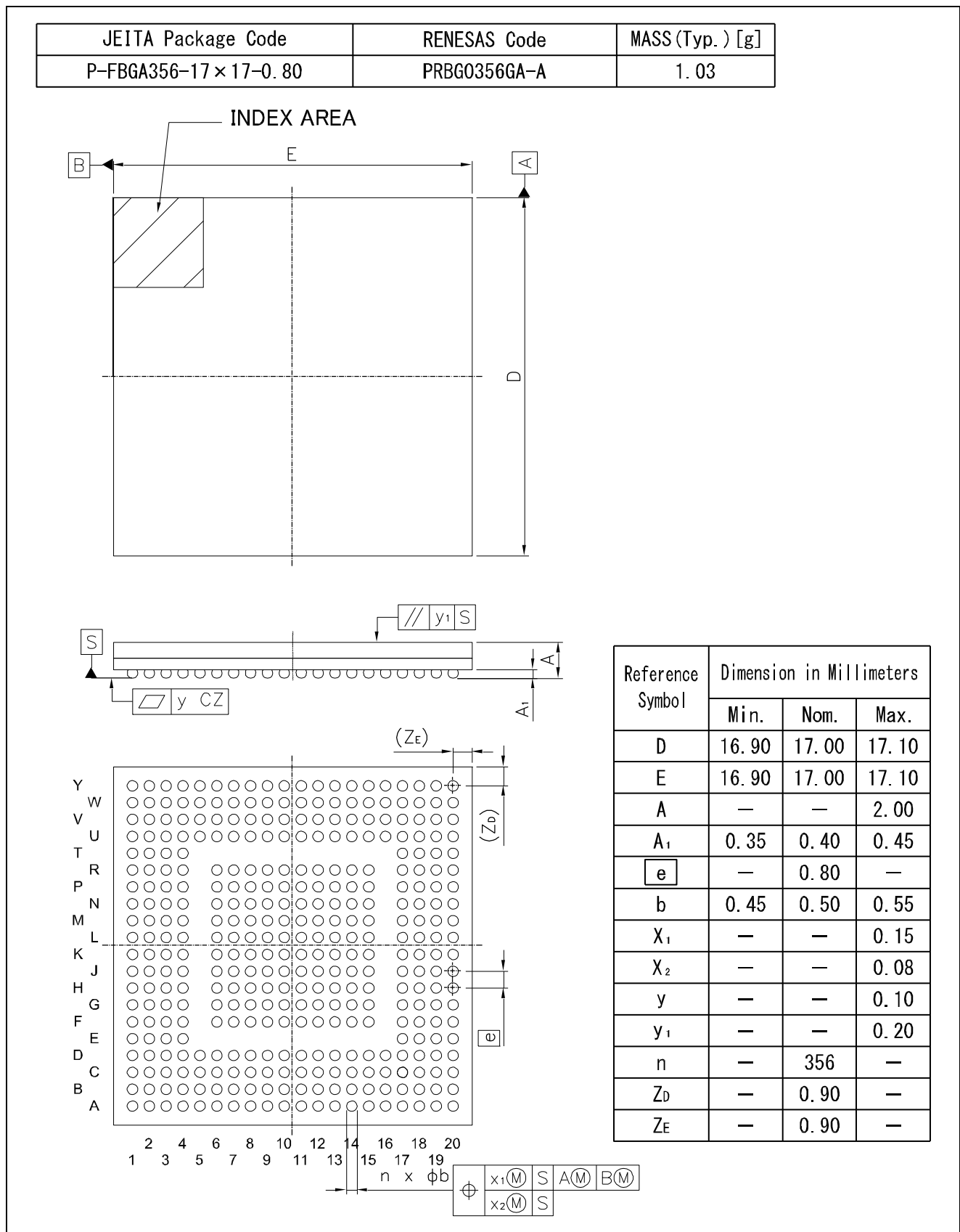


図17.2 パッケージ情報 (17□)

18. マウントパッド情報

R-IN32M4-CL3 のマウントパッド情報です。

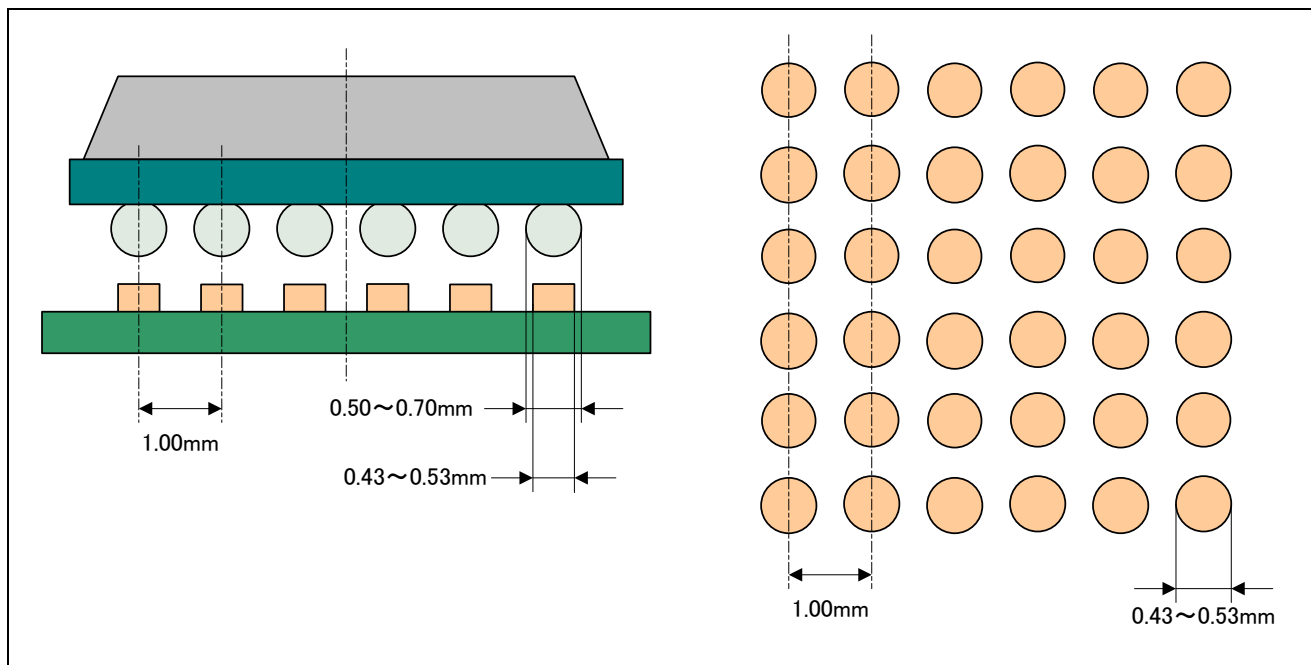


図18.1 マウントパッド寸法 (23□)

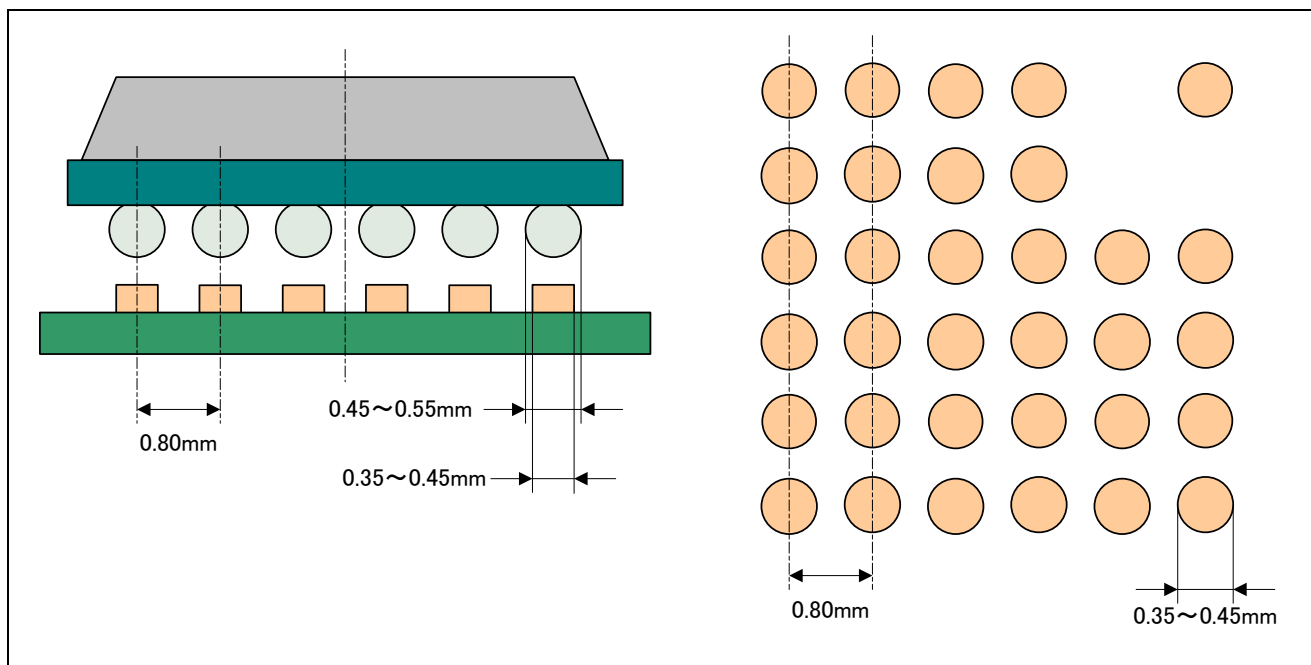


図18.2 マウントパッド寸法 (17□)

19. BSCAN 情報

R-IN32M4-CL3 では、BSDL ファイルを用意しています。

注意. Pull-up/Pull-down 無しの入力端子へ接続する対向のデバイスは、ボード上でクランプまたは対向デバイスで論理を確定してください。
3 ステート端子で Hi-Z 状態になるとフローティング電流が流れる可能性があります。

19.1 BSCAN の動作条件

下記の端子のレベルを固定してください。

- JTAGSEL : ハイ・レベルに固定
- TMODE0 : ロー・レベルに固定
- TMODE1 : ロー・レベルに固定
- TMODE2 : ロー・レベルに固定

19.2 TCK の最大動作周波数

TCK の最大動作周波数は 10MHz です。

19.3 IDCODE について

IDCODE は下記のようになっています。

IDCODE 0x082C7447	
<内約>	
バージョン	0000
パーツ番号	1000 0011 1110 0000
製造者番号 : ルネサスエレクトロニクス	0100 0100 011
固定コード	1

19.4 BSCAN 非対応端子

下記の端子は BSCAN に非対応です。

表19.1 BSCAN 非対応端子一覧

R-IN32M4-CL3
XT1, XT2, PONRZ, JTAGSEL, CTRSTBYB, TMODE0-TMODE2, TMS, TDI, TDO, TRSTZ, TCK, P[0:1]_D[3:0]P/N, REF_FILT, REF_REXT, TANA_[1:0], REG_FB, REG_OUT

19.5 BSDL の入手方法

BSDL ファイルの入手につきましては、販売代理店までご相談ください。

20. IBIS 情報

IBIS 情報は、販売代理店までお問い合わせください。

21. 捺印情報

R-IN32M4-CL3 の捺印情報です。

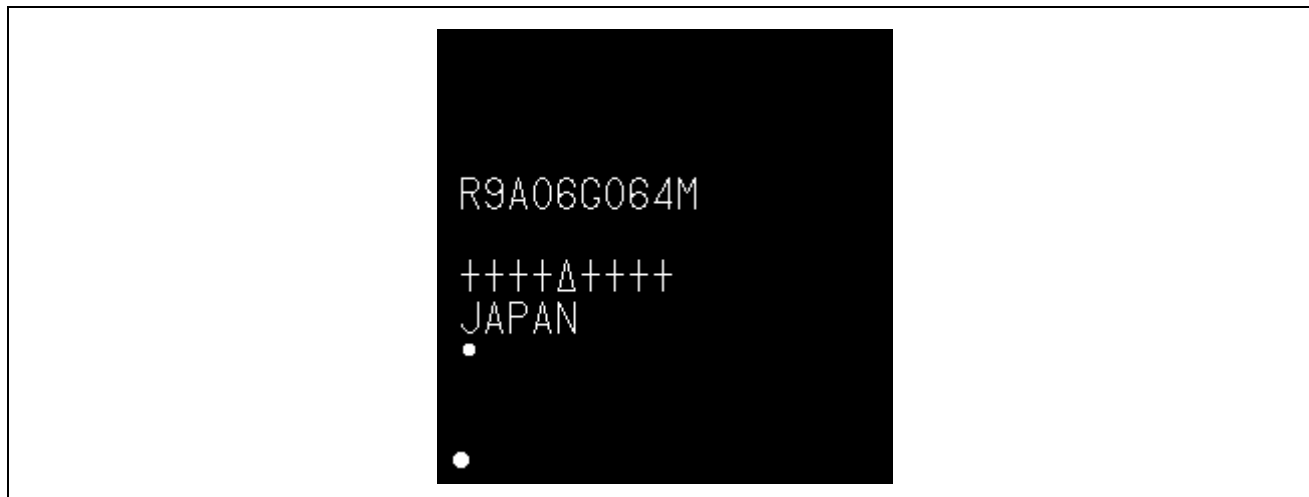


図21.1 R-IN32M4-CL3 捺印情報 (23□)

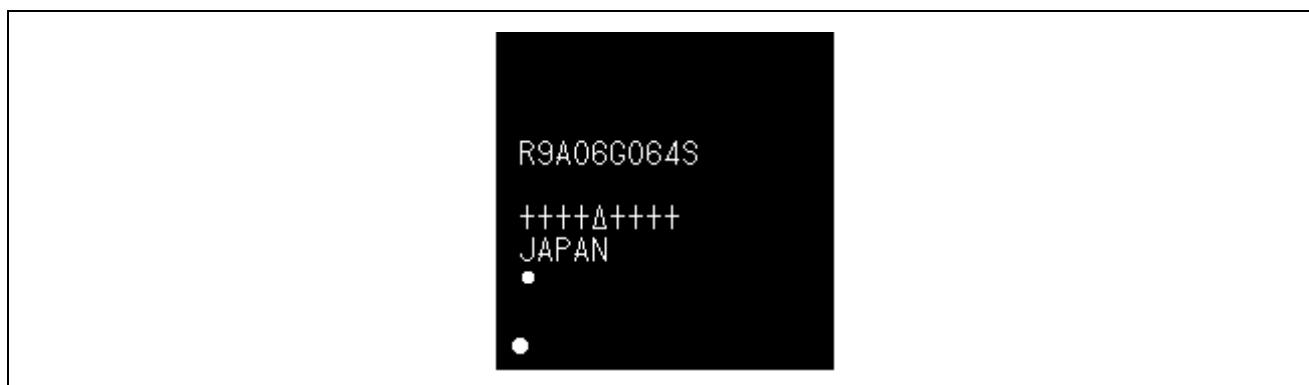


図21.2 R-IN32M4-CL3 捺印情報 (17□)

22. ノイズ対策

本項では、R-IN32M4-CL3 のノイズ抑制について記載します。

22.1 クロック出力の停止

R-IN32M4-CL3 から出力される BUSCLK を使用していない場合、出力の停止が可能です。

「R-IN32M4-CL3 ユーザーズ・マニュアル ハードウェア編」の「4.2.2. クロック制御レジスタ (CLKGTD0, CLKGTD1, CLKGTD2)」に記載されている、CLKGTD1 レジスタの GCBCLK ビットの制御を行ってください。

改訂記録	R-IN32M4-CL3 ユーザーズ・マニュアル ボード設計編
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.12.24	—	初版発行

[メ モ]

R-IN32M4-CL3 ユーザーズ・マニュアル
ボード設計編

発行年月日 2019年 12月24日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

R-IN32M4-CL3 ユーザーズ・マニュアル

ボード設計編