

RH850/C1M-A1 RH850/C1M-A2

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態：電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序：内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号：当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、RH850/C1M-A の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示す RH850/C1M-A のハードウェア機能をユーザに理解していただくことを目的としています。

構成 RH850/C1M-A のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、ソフトウェア編「RH850G3MH ユーザズマニュアル ソフトウェア編」（R01US0143J）の 2 冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU 機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング

ソフトウェア編

- ・概要
- ・プロセッサ・モデル
- ・レジスタ・リファレンス
- ・例外／割り込み
- ・メモリ管理
- ・命令リファレンス
- ・リセット
- ・付録

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

→一通り RH850/C1M-A の機能を理解しようとするとき

→目次にしたがってお読みください。

命令機能の詳細を理解しようとするとき

→別冊の「RH850G3MH ユーザズマニュアル ソフトウェア編」（R01US00143J）を参照してください。

このマニュアルでは、「xxx レジスタの yyy ビット」を「xxx.yyy ビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

凡例 データ表記の重み：左が上位桁，右が下位桁
 アクティブ・ロウの表記： $\overline{\text{xxx}}$ （端子，信号名称に上線）
 メモリ・マップのアドレス：上部－上位，下部－下位
 注：本文中に付けた注の説明
 注意：気を付けて読んでいただきたい内容
 備考：本文の補足説明
 数の表記： 2進数 ... xxxx または xxxxB
 10進数 ... xxxx
 16進数 ... xxxxH

 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 K（キロ）： $2^{10} = 1024$
 M（メガ）： $2^{20} = 1024^2$
 G（ギガ）： $2^{30} = 1024^3$

レジスタの説明

各レジスタの説明には、レジスタのアクセス、アドレス、リセット後の値の説明、ビットの並びを示す図、ビットに設定する内容を説明する表があります。

下記にその例を示します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1

RW R R R R R R/RW R R R R/RW R/W R/W R/W R/W

(1) アクセス 16ビット単位でリード/ライト可能です。
 (2) アドレス <CSIHn_base> + 1040H
 (3) リセット後の値 001FH

(4) (5) (6) (7) (8)

表 11.20 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
15~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
9, 8	CSIHnMMS[1:0]	メモリモードを選択します。 <table border="1"> <thead> <tr> <th>CSIHnMMS1</th> <th>CSIHnMMS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FIFO モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>デュアルバッファモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>送信専用バッファモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table> <p>メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファポイントをクリアしてください。 ダイレクトアクセスモードでは、これらのビットの設定は無視されます。</p>	CSIHnMMS1	CSIHnMMS0	説明	0	0	FIFO モード	0	1	デュアルバッファモード	1	0	送信専用バッファモード	1	1	禁止
CSIHnMMS1	CSIHnMMS0	説明															
0	0	FIFO モード															
0	1	デュアルバッファモード															
1	0	送信専用バッファモード															
1	1	禁止															
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4~0	CSIHnTO[4:0]	FIFO モードのタイムアウトの設定を選択します。 <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>タイムアウトを検出しません。</td> </tr> <tr> <td>00001_B</td> <td></td> </tr> </tbody> </table>	CSIHnTO[4:0]	説明	0000 _B	タイムアウトを検出しません。	00001 _B										
CSIHnTO[4:0]	説明																
0000 _B	タイムアウトを検出しません。																
00001 _B																	

(1) アクセス

レジスタのアクセス単位を示します。

(2) アドレス

レジスタのアドレスを示します。
 ベースアドレスは各章のベースアドレスを参照してください。

(3) リセット後の値 (16 進数表記)

レジスタの各ビットのリセット後の値を示します。
 16 進数表記では 0 ~ 9、A ~ F または不定値が含まれる場合 X で表記します。

(4) ビット位置

レジスタのビット番号を示します。

32 ビットレジスタの場合は 31 から 0 の順に、16 ビットレジスタの場合は 15 から 0 の順に、8 ビットレジスタの場合は 7 から 0 の順に示します。

(5) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、CSIHnMMS[1:0] のように桁数の表記を追加します。

また、予約ビットの場合は「—」と表記します。

(6) リセット後の値（2 進数表記）

レジスタの各ビットのリセット後の値を示します。

0 : リセット後の値は 0 であることを示します。

1 : リセット後の値は 1 であることを示します。

— : リセット後の値は不定であることを示します。

(7) R/W

レジスタの各ビットのリード／ライト属性を示します。

R/W : リードおよびライト可能なビットまたはフィールドです。

R : リードが可能なビットまたはフィールドです。

ただし、予約ビットはすべて「R」と表記します。ライト時は、ビット表で指定された値またはリセット後の値を書いてください。

リザーブビットではない R 属性ビットが混在するライト可能なレジスタにライトする場合、指定が無い限り R 属性ビットへの書き込みは無視されます。

W : ライトが可能なビットまたはフィールドです。

リード時の値は不定です。ただし、ビット表に記載がある場合はその値が読み出されます。

(8) 機能

レジスタのビット機能について説明しています。

目次

第 1 章	概要	59
1.1	RH850/C1M-A 製品の特長	59
1.1.1	RH850/C1M-A の機能	60
1.1.2	開発およびデバッグ対応	62
1.1.3	内部ブロック図	63
1.2	端子接続図 (Top View)	65
1.2.1	RH850/C1M-A2 (252 ピン BGA)	65
1.2.2	RH850/C1M-A1 (176 ピン QFP)	72
第 2 章	端子	77
2.1	ポート機能	77
2.1.1	特長	77
2.1.2	概説	78
2.1.2.1	用語	78
2.1.2.2	端子機能概要	79
2.1.2.3	端子データ入力/出力	81
2.1.3	ポートタイプ	83
2.1.4	ポートグループコンフィグレーションレジスタ	85
2.1.4.1	概要	85
2.1.4.2	端子機能の設定	86
2.1.4.3	端子データ入力/出力	94
2.1.4.4	電気的特性の設定	99
2.1.4.5	端子単位のレジスタ	101
2.1.4.6	ポート設定のフロー例	103
2.1.5	機能選択	108
2.1.5.1	兼用機能使用時のレジスタ設定	108
2.1.5.2	直接 I/O 制御兼用モードで使用する兼用機能	108
2.1.5.3	ERROROUT_C 端子の設定	109
2.1.5.4	デバッグ用 JTAG ポートの機能の選択	109
2.2	ポートグループ構成	110
2.2.1	C1M-A2 ポート機能 (BGA)	110
2.2.1.1	C1M-A2 ポートレジスタ一覧 (BGA)	110
2.2.1.2	C1M-A2 (BGA) 端子兼用機能一覧	119
2.2.2	C1M-A1 ポート機能 (QFP)	127
2.2.2.1	C1M-A1 ポートレジスタ一覧 (QFP)	127
2.2.2.2	C1M-A1 (QFP) 端子兼用機能一覧	136
2.3	DNF	142
2.3.1	ノイズ除去例	142
2.3.2	周辺機能 DNF	142
2.3.2.1	機能概要	142
2.3.2.2	制御レジスタ詳細	143
2.3.2.3	DNFP01nCTLm – デジタルノイズ除去コントロールレジスタ	144
2.3.2.4	周辺機能 DNF の設定手順	145
2.3.2.5	DNF 挿入対象の周辺機能端子	146
2.4	端子説明	149

2.4.1	概要	149
2.4.2	端子機能一覧	149
2.4.3	端子状態	155
2.4.4	未使用端子の処理	158
第 3 章 CPU システム		160
3.1	概要	160
3.1.1	ブロック構成	160
3.1.2	Peripheral Group 構成	162
3.2	CPU	166
3.2.1	コア機能	166
3.2.1.1	特長	166
3.2.1.2	レジスタセット	167
3.2.2	命令キャッシュ、データバッファ	206
3.2.2.1	特長	206
3.2.2.2	命令キャッシュ機能	207
3.2.2.3	データバッファ機能	208
3.2.3	プロセッサ間割り込み	209
3.2.3.1	プロセッサ間割り込み制御レジスタ	209
3.2.4	信頼性機能	210
3.2.4.1	PE ガード機能 (PEG)	210
3.2.4.2	PE 内部周辺装置保護機能 (IPG)	218
3.2.4.3	システムエラー通知制御機能 (SEG)	224
3.2.4.4	Checker Core	230
3.2.5	ブートコントロール機能	231
3.2.5.1	BOOTCTRL – ブートコントロールレジスタ	231
3.3	CPU 間機能	232
3.3.1	プロセッサエレメント識別子	232
3.3.2	プロセッサ間割り込み機能	232
3.3.3	排他制御	233
3.3.3.1	排他制御用レジスタ (MEV)	233
3.3.3.2	LDL.W / STC.W 命令の動作	234
3.4	使用上の注意	235
3.4.1	ストア命令の完了と後続命令の同期化	235
3.4.1.1	制御レジスタの更新結果を、後続命令の実行に反映させる場合	235
3.4.1.2	制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合	236
3.4.1.3	Code Flash の領域を切り替える場合	236
3.4.2	ビット操作命令のレジスタ・アクセス	237
3.4.3	CodeFlash 書き換え後のコヒーレンシ確保	237
3.4.4	多重例外受け付け時のコンテキスト上書き	237
3.4.5	プリフェッチに関する注意事項	237
第 4 章 アドレス空間		239
4.1	RH850/C1M-A アドレス空間	239
4.1.1	アドレス空間 (C1M-A2)	239
4.1.2	アドレス空間 (C1M-A1)	240

4.1.3	各バスマスタから見たアドレス空間	241
4.1.3.1	命令フェッチ可能空間	241
4.1.3.2	CPU1 によるデータアクセス可能空間	241
4.1.3.3	CPU2 によるデータアクセス可能空間 (C1M-A2 のみ)	241
4.1.3.4	EMU/SubCPU によるデータアクセス可能空間	241
4.1.3.5	DMA (DMAC、DTS) によるデータアクセス可能空間	241
4.1.4	Global RAM 領域	244
4.2	Code Flash 空間	245
4.2.1	ユーザ領域に対する並列アクセスについて (C1M-A2 のみ)	245
第 5 章	動作モード	246
5.1	特長	246
5.2	動作モード	246
5.2.1	ユーザブートモード	246
5.2.2	シリアルプログラミングモード	246
5.2.3	バウンダリスキャンモード	246
第 6 章	割り込み	247
6.1	概要	247
6.2	レジスタ仕様	249
6.2.1	レジスタ構成	249
6.2.2	EIC0~EIC383 — EI レベル割り込み制御レジスタ 0~383	251
6.2.3	IMR0~IMR11 — EI レベル割り込みマスクレジスタ 0~11	253
6.2.4	EIBD0~EIBD383 — EI レベル割り込みバインドレジスタ 0~383	254
6.2.5	EXINTCTL — 外部割り込みコントロールレジスタ	255
6.2.6	EXINTSTR — 外部割り込みステータスレジスタ	256
6.2.7	EXINTSTC — 外部割り込みステータスクリアレジスタ	257
6.2.8	SINTR0~SINTR7 — ソフトウェア割り込みレジスタ	257
6.2.9	ESINTR0~ESINTR7 — EMU ソフトウェア割り込みレジスタ	258
6.2.10	PINT0~PINT7、PINTCLR0~PINTCLR7 — 周辺割り込みステータスレジスタ、 周辺割り込みステータスクリアレジスタ	259
6.3	割り込み要因	263
6.3.1	IRQ 割り込み	263
6.3.2	ECM 割り込み	263
6.3.3	プロセッサ間割り込み	263
6.3.4	ソフトウェア割り込み	263
6.3.5	EMU ソフトウェア割り込み	263
6.3.6	内蔵周辺モジュール割り込み	264
6.4	割り込み例外ハンドラと優先順位動作説明	265
6.5	動作説明	280
6.5.1	外部割り込み (IRQ)	280
6.5.2	プロセッサ間割り込み	280
6.5.3	ソフトウェア割り込み	280
6.5.4	EMU ソフトウェア割り込み	280

6.5.5	DTS 割り込みのマージ機能	280
6.5.6	割り込み処理フロー	280
6.5.6.1	外部割り込み処理フロー	280
6.5.6.2	プロセッサ割り込みフロー	282
6.5.6.3	ソフトウェア割り込み処理フロー	283
6.5.6.4	DTS 割り込み処理フロー	284
6.6	割り込み応答時間	286
6.6.1	割り込み応答時間	286
6.7	割り込み要求信号によるデータ転送	287
第 7 章	DMA 機能	288
7.1	概要	288
7.1.1	概要	288
7.1.2	語句の定義	288
7.2	DMA 機能	289
7.2.1	DMA 転送基本動作	289
7.2.1.1	転送モード	289
7.2.1.2	DMA サイクルの実行	289
7.2.1.3	転送情報の更新	289
7.2.1.4	最終転送とアドレスリロード転送	290
7.2.1.5	転送完了割り込み、転送回数一致割り込み出力	290
7.2.1.6	連続転送	291
7.2.2	チャンネルの優先順位	292
7.2.2.1	DMAC チャンネルアービトレーション	292
7.2.2.2	DTS チャンネルアービトレーション	294
7.2.2.3	インタフェースアービトレーション	295
7.2.3	リロード機能	296
7.2.3.1	リロード機能の概要	296
7.2.3.2	リロード機能 1 の動作	296
7.2.3.3	リロード機能 2	297
7.2.3.4	DMAC のリロードレジスタ設定タイミング	299
7.2.3.5	DTS のリロード情報設定タイミング	299
7.2.4	チェイン機能	300
7.2.4.1	概要	300
7.2.4.2	チェイン動作の設定方法	301
7.2.4.3	チェイン機能使用時の注意	301
7.2.5	DMAC 動作	302
7.2.5.1	DMA 転送要求の種類と割り当て	302
7.2.5.2	ソフトウェア DMA 転送要求の発生と受け付け	302
7.2.6	DTS 動作	302
7.2.6.1	DMA 転送要求の種類と割り当て	302
7.2.6.2	DMA 転送要求の発生と受け付け	303
7.2.6.3	DMA 転送の実行	303
7.2.6.4	DTSRAM アクセス	303
7.3	一時中断／再開、転送中止および DMA 転送要求のクリア	304
7.3.1	ソフトウェア制御による DMA 一時中断／再開	304
7.3.2	DMAC チャンネルの一時中断／再開および転送中止	304
7.3.3	DTS の一時中断／再開および転送中止	306

7.3.4	DTFR のハードウェア DMA 転送要求マスクおよびクリア	307
7.3.5	DTSFSL の DMA 転送要求マスクおよびクリア	307
7.3.6	一時中断／再開転送中止機能一覧	308
7.4	エラー制御	309
7.4.1	エラーの種類	309
7.4.2	DMA 転送エラー	309
7.4.2.1	DMAC の DMA 転送エラー発生時の動作	309
7.4.2.2	DTS の DMA 転送エラー発生時の動作	310
7.4.3	DTSRAM エラー	310
7.5	信頼性機能	311
7.5.1	概要	311
7.5.2	レジスタアクセス保護機能	311
7.5.2.1	アクセス元マスタの識別	311
7.5.2.2	マスタアクセス	311
7.5.2.3	チャンネル割り当て	311
7.5.2.4	違反アクセス	312
7.5.3	マスタ情報継承機能	312
7.5.4	その他の信頼性機能	313
7.5.4.1	チェーン先の制限	313
7.6	DMA 転送の設定手順	314
7.6.1	DMA 設定手順概要	314
7.6.2	DMA 全体動作設定手順	315
7.6.3	DMA チャンネル設定手順	315
7.6.3.1	DMAC チャンネル設定手順	315
7.6.3.2	DTS チャンネル設定手順	317
7.7	DMA トリガ要因	318
7.7.1	DMA トリガ要因一覧	318
7.8	DTS トリガ要因	322
7.8.1	DTS トリガ要因一覧	322
7.9	グローバルレジスタ	327
7.9.1	グローバルレジスタアドレス一覧	327
7.9.2	グローバルレジスタ詳細	329
7.9.2.1	DMACTL – DMA 制御レジスタ	329
7.9.2.2	DTSCCTL1 – DTS 制御レジスタ 1	330
7.9.2.3	DTSCCTL2 – DTS 制御レジスタ 2	331
7.9.2.4	DTSSTS – DTS 状態レジスタ	332
7.9.2.5	DMACER – DMAC エラーレジスタ	333
7.9.2.6	DTSER1 – DTS エラーレジスタ 1	334
7.9.2.7	DTSER2 – DTS エラーレジスタ 2	335
7.9.2.8	DTSERC – DTS エラークリアレジスタ	337
7.9.2.9	DMOCMV – DMAC0 レジスタアクセス保護違反レジスタ	338
7.9.2.10	DM1CMV – DMAC1 レジスタアクセス保護違反レジスタ	339
7.9.2.11	DTSCMV – DTS レジスタアクセス保護違反レジスタ	340
7.9.2.12	CMVC – レジスタアクセス保護違反クリアレジスタ	341
7.9.2.13	DTSPRn – DTS チャンネル優先度設定レジスタ (n = 0~7)	342
7.9.2.14	DTRECCTL – DTSRAM ECC コントロールレジスタ	346
7.9.2.15	DTRERINT – DTSRAM エラー通知コントロールレジスタ	347
7.9.2.16	DTRTSCTL – DTSRAM テストコントロールレジスタ	348

7.9.2.17	DTRTWDAT – DTSRAM テスト書き込みデータレジスタ	349
7.9.2.18	DTRTRDAT – DTSRAM テスト読み出しデータレジスタ	350
7.9.2.19	DMnnCM – DMAC チャンルマスタ設定レジスタ (nn = 00~07、10~17)	351
7.9.2.20	DTSnnnCM – DTS チャンルマスタ設定レジスタ (nnn = 000~127)	352
7.10	DMAC チャンルレジスタ	353
7.10.1	DMAC チャンルレジスタアドレス	353
7.10.2	DMAC チャンルレジスタ詳細	355
7.10.2.1	DSAn – DMAC ソースアドレスレジスタ	355
7.10.2.2	DDAn – DMAC ディスティネーションアドレスレジスタ	356
7.10.2.3	DTCn – DMAC 転送回数レジスタ	357
7.10.2.4	DTCTn – DMAC 転送制御レジスタ	358
7.10.2.5	DRSAn – DMAC リロードソースアドレスレジスタ	361
7.10.2.6	DRDAn – DMAC リロードディスティネーションアドレスレジスタ	362
7.10.2.7	DRTCn – DMAC リロード転送回数レジスタ	363
7.10.2.8	DTCCn – DMAC 転送回数コンペアレジスタ	364
7.10.2.9	DCENn – DMAC チャンル動作有効設定レジスタ	365
7.10.2.10	DCSTn – DMAC 転送ステータスレジスタ	366
7.10.2.11	DCSTSn – DMAC 転送ステータスセットレジスタ	367
7.10.2.12	DCSTCn – DMAC 転送ステータスクリアレジスタ	368
7.10.2.13	DTFRn – DTFR 設定レジスタ	369
7.10.2.14	DTFRRQn – DTFR 転送要求ステータスレジスタ	370
7.10.2.15	DTFRRQCn – DTFR 転送要求クリアレジスタ	371
7.11	DTS チャンルレジスタ	372
7.11.1	DTS の転送情報 (TI)	372
7.11.1.1	TI 構成	372
7.11.1.2	DTSRAM 内の TI 配置	372
7.11.1.3	TI へのアクセス方法	373
7.11.1.4	TI アクセスの際の注意点	374
7.11.2	DTS チャンルレジスタアドレス	375
7.11.3	DTS チャンルレジスタ詳細	376
7.11.3.1	DTSAnnn – DTS ソースアドレスレジスタ	376
7.11.3.2	DTDAnnn – DTS ディスティネーションアドレスレジスタ	377
7.11.3.3	DTTCnnn – DTS 転送回数レジスタ	378
7.11.3.4	DTTCTnnn – DTS 転送制御レジスタ	379
7.11.3.5	DTRSAnnn – DTS リロードソースアドレスレジスタ	382
7.11.3.6	DTRDAnnn – DTS リロードディスティネーションアドレスレジスタ	383
7.11.3.7	DTRTCnnn – DTS リロード転送回数レジスタ	384
7.11.3.8	DTTCCnnn – DTS 転送回数コンペアレジスタ	385
7.11.3.9	DTFSLnnn – DTSFSL 動作設定レジスタ	386
7.11.3.10	DTFSTnnn – DTSFSL 転送要求ステータスレジスタ	387
7.11.3.11	DTFSSnnn – DTSFSL 転送要求セットレジスタ	388
7.11.3.12	DTFSCnnn – DTSFSL 転送要求クリアレジスタ	389
7.12	DMA/DTS トリガ要因選択レジスタ	390
7.12.1	DMA/DTS トリガ要因選択レジスタアドレス	390
7.12.2	DMA/DTS トリガ要因選択レジスタ詳細	390
7.12.2.1	DTSTRGSELn – DTS トリガ要因選択レジスタ n	390
7.12.2.2	DMATRGSSELn – DMA トリガ要因選択レジスタ n	392
第 8 章	リセット	394
8.1	RH850/C1M-A リセットの特長	394
8.2	リセット状態	395

8.2.1	外部リセット状態	395
8.2.2	内部リセット状態	395
8.3	リセット要因	396
8.4	レジスタ	397
8.4.1	レジスタ一覧	397
8.4.2	RESF – リセット要因判定レジスタ	398
8.4.3	RESFC – リセット要因クリアレジスタ	399
8.4.4	SWRESA – ソフトウェアリセット要求レジスタ	400
8.5	手順	402
8.5.1	ソフトウェアリセット	402
8.6	注意事項	403
第 9 章	電源回路	404
9.1	RH850/C1M-A 電源回路の特長	404
9.2	手順	405
9.2.1	電源投入シーケンス	405
9.3	注意事項	405
9.3.1	電源端子の外付けコンデンサ例	405
第 10 章	クロックコントローラ	407
10.1	RH850/C1M-A クロックコントローラの特長	407
10.1.1	クロック種類	407
10.1.2	外部入出力端子	409
10.1.3	水晶振動子の接続方法	409
10.2	レジスタ	410
10.2.1	レジスタ一覧	410
10.2.2	PLL0CLKS – PLL0 ステータスレジスタ	411
10.2.3	PLL0CLKC1 – PLL0 制御レジスタ 1	412
10.2.4	CKSC0CTL – クロック 0 選択制御レジスタ	414
10.2.5	CKSC0ACT – クロック 0 選択アクティブレジスタ	415
10.2.6	CLKD0DIV – クロック 0 分周レジスタ	416
10.2.7	CLKD0STAT – クロック 0 分周ステータスレジスタ	417
10.2.8	CKSC1CTL – クロック 1 選択制御レジスタ	418
10.2.9	CKSC1ACT – クロック 1 選択アクティブレジスタ	419
10.2.10	PROT1PHCMD – プロテクト 1 コマンドレジスタ	420
10.2.11	PROT1PS – プロテクト 1 ステータスレジスタ	422
10.3	機能	423
10.3.1	分周機能使用時の動作説明	423
10.4	注意事項	425
10.4.1	ボード設計上の注意	425

第 11 章	クロック同期シリアルインタフェース H (CSIH)	426
11.1	RH850/C1M-A CSIH の特長	426
11.1.1	ユニット数	426
11.1.2	レジスタベースアドレス	427
11.1.3	クロック供給	427
11.1.4	割り込み要求	427
11.1.5	リセット要因	428
11.1.6	外部入出力信号	428
11.1.7	データ整合性チェック	429
11.2	概要	430
11.2.1	機能概要	430
11.2.2	機能概要説明	431
11.2.3	ブロック図	432
11.3	レジスタ	433
11.3.1	レジスタ一覧	433
11.3.2	CSIHnCTL0 – CSIHn 制御レジスタ 0	434
11.3.3	CSIHnCTL1 – CSIHn 制御レジスタ 1	435
11.3.4	CSIHnCTL2 – CSIHn 制御レジスタ 2	438
11.3.5	CSIHnSTR0 – CSIHn ステータスレジスタ 0	440
11.3.6	CSIHnSTCR0 – CSIHn ステータスクリアレジスタ 0	444
11.3.7	CSIHnMCTL0 – CSIHn メモリ制御レジスタ 0	445
11.3.8	CSIHnMCTL1 – CSIHn メモリ制御レジスタ 1	446
11.3.9	CSIHnMCTL2 – CSIHn メモリ制御レジスタ 2	447
11.3.10	CSIHnMRWP0 – CSIHn メモリ読み出し/書き込みポインタレジスタ 0	449
11.3.11	CSIHnCFGx – CSIHn コンフィギュレーションレジスタ x	451
11.3.12	CSIHnTX0W – CSIHn ワードアクセス用送信データレジスタ 0	456
11.3.13	CSIHnTX0H – CSIHn ハーフワードアクセス用送信データレジスタ 0	457
11.3.14	CSIHnRX0W – CSIHn ワードアクセス用受信データレジスタ 0	458
11.3.15	CSIHnRX0H – CSIHn ハーフワードアクセス用受信データレジスタ 0	459
11.3.16	CSIHnBRSy – CSIHn ボーレート設定レジスタ y (y = 0~3)	460
11.4	機能	461
11.4.1	割り込み機能の概要	461
11.4.2	割り込み遅延	462
11.4.3	INTCSIHTIC (通信ステータス割り込み)	463
11.4.3.1	ダイレクトアクセスモードでの INTCSIHTIC	463
11.4.3.2	FIFO モードでの INTCSIHTIC	464
11.4.3.3	ジョブモードでの INTCSIHTIC	465
11.4.4	INTCSIHTIR (受信ステータス割り込み)	466
11.4.4.1	ダイレクトアクセスモードでの INTCSIHTIR	466
11.4.4.2	デュアルバッファモードでの INTCSIHTIR	467
11.4.5	INTCSIHTIRE (通信エラー割り込み)	468
11.4.6	INTCSIHTIJC (ジョブ完了割り込み)	469
11.4.7	動作モード (マスタ/スレーブ)	470
11.4.7.1	マスタモード	470

11.4.7.2	スレーブモード	471
11.4.8	マスタ／スレーブの接続	472
11.4.8.1	マスタ 1、スレーブ 1 の場合	472
11.4.8.2	マスタ 1、スレーブ複数の場合	472
11.4.9	チップセレクト (CS) 機能	474
11.4.9.1	コンフィギュレーションレジスタ	474
11.4.9.2	CS の例	476
11.4.9.3	ジョブ概念	476
11.4.10	チップセレクトのタイミングの詳細	477
11.4.10.1	クロック位相の変更	477
11.4.10.2	データ位相の変更	479
11.4.11	送信クロックの選択	480
11.4.12	CSIH のバッファメモリ	482
11.4.12.1	FIFO モード	482
11.4.12.2	デュアルバッファモード	483
11.4.12.3	送信専用バッファモード	483
11.4.12.4	ダイレクトアクセスモード	483
11.4.13	データ転送モード	484
11.4.13.1	送信専用モード	484
11.4.13.2	受信専用モード	484
11.4.13.3	送受信モード	484
11.4.13.4	まとめ	484
11.4.14	データ長の選択	485
11.4.14.1	2～16 ビットのデータ長	485
11.4.14.2	16 ビットを上回るデータ長	486
11.4.15	シリアルデータ方向選択機能	488
11.4.16	SS (スレーブセレクト) 機能	489
11.4.16.1	SS 機能を使用した通信のタイミング	489
11.4.16.2	CSIHTSSO オペレーション	490
11.4.17	ハンドシェイク機能	491
11.4.17.1	スレーブモード	491
11.4.17.2	マスタモード	493
11.4.18	エラー検出	495
11.4.18.1	データ整合性チェック	495
11.4.18.2	パリティチェック	496
11.4.18.3	タイムアウトエラー	497
11.4.18.4	オーバフローエラー	498
11.4.18.5	オーバランエラー	500
11.4.19	ループバックモード	503
11.4.20	CPU 制御による高優先通信機能	504
11.4.21	強制 CS アイドル設定	507
11.5	手順	508
11.5.1	ダイレクトアクセスモードでの手順	508
11.5.1.1	マスタモードでジョブモードが無効になっているときの送受信	508
11.5.1.2	マスタモードでジョブモードが有効になっているときの送受信	510
11.5.2	送信専用バッファモードでの手順	512
11.5.2.1	マスタモードでジョブモードが無効になっているときの送受信	512
11.5.2.2	マスタモードでジョブモードが有効になっているときの送受信	514
11.5.3	デュアルバッファモードでの手順	516
11.5.3.1	マスタモードでジョブモードが無効になっているときの送受信	516

11.5.3.2	マスタモードでジョブモードが有効になっているときの送受信	518
11.5.3.3	スレーブモードでジョブモードが無効になっているときの送受信	520
11.5.4	FIFO モードでの手順	522
11.5.4.1	マスタモードでジョブモードが無効になっているときの送受信	522
11.5.4.2	マスタモードでジョブモードが有効になっている送受信	524
11.6	注意事項	526
第 12 章	シリアルコミュニケーションインタフェース 3 (SCI3)	529
12.1	RH850/C1M-A SCI3 の特長	529
12.1.1	ユニット数	529
12.1.2	レジスタベースアドレス	529
12.1.3	クロック供給	529
12.1.4	割り込みと DMA	530
12.1.5	リセット要因	530
12.1.6	外部入出力信号	530
12.2	概要	531
12.2.1	機能概要	531
12.2.2	ブロック図	532
12.3	レジスタ	533
12.3.1	レジスタ一覧	533
12.3.2	SCI3nRDR – レシーブデータレジスタ	534
12.3.3	SCI3nTDR – トランスミットデータレジスタ	534
12.3.4	SCI3nSMR – シリアルモードレジスタ	535
12.3.5	SCI3nSCR – シリアルコントロールレジスタ	536
12.3.6	SCI3nSSR – シリアルステータスレジスタ	538
12.3.7	SCI3nSCMR – シリアル通信フォーマットレジスタ	540
12.3.8	SCI3nSEMR – シリアル拡張モードレジスタ	541
12.3.9	SCI3nBRR – ビットレートレジスタ	542
12.3.10	SCI3nMDDR – モジュレーションデューティレジスタ	545
12.4	機能	546
12.4.1	調歩同期式モードの動作	546
12.4.1.1	送受信フォーマット	547
12.4.1.2	受信データサンプリングタイミングと受信マージン	548
12.4.1.3	クロック	549
12.4.1.4	倍速動作	549
12.4.1.5	SCI3 の初期化 (調歩同期式)	550
12.4.1.6	シリアルデータ送信 (調歩同期式)	551
12.4.1.7	シリアルデータ受信 (調歩同期式)	554
12.4.2	マルチプロセッサ通信機能	558
12.4.2.1	概要と接続例	558
12.4.2.2	マルチプロセッサシリアルデータ送信	559
12.4.2.3	マルチプロセッサシリアルデータ受信	560
12.4.3	クロック同期式モードの動作	564
12.4.3.1	クロック	565
12.4.3.2	SCI3 の初期化 (クロック同期式)	565
12.4.3.3	シリアルデータ送信 (クロック同期式)	566

12.4.3.4	シリアルデータ受信（クロック同期式）	569
12.4.3.5	シリアルデータ送受信同時動作（クロック同期式）	571
12.4.4	ビットレートモジュレーション機能	573
12.4.5	割り込み要因	574
12.5	注意事項	575
12.5.1	ブレークの検出と処理	575
12.5.2	マーク状態とブレーク送出	575
12.5.3	クロック同期式モードの受信エラーフラグと送信動作	575
12.5.4	SCI3nTDR へのライトと TDRE フラグの関係	575
12.5.5	クロック同期式モード送信での外部クロック使用の制約事項	576
12.5.6	クロック同期式モードの外部クロック入力	576
第 13 章	LIN/UART インタフェース（RLIN3）	577
13.1	RH850/C1M-A RLIN3 の特長	577
13.1.1	ユニット数とチャンネル数	577
13.1.2	レジスタベースアドレス	577
13.1.3	クロック供給	578
13.1.4	割り込み要求	578
13.1.5	リセット要因	578
13.1.6	外部入出力信号	579
13.2	概要	580
13.2.1	機能概要	580
13.2.2	ブロック図	583
13.2.3	ブロック図の説明	583
13.3	レジスタ	584
13.3.1	レジスタ一覧	584
13.3.2	LIN マスタ関連レジスタ	585
13.3.2.1	RLN3nLWBR — LIN ウェイクアップポーレート選択レジスタ	585
13.3.2.2	RLN3nLBRP0 — LIN ポーレートプリスケラ 0 レジスタ	586
13.3.2.3	RLN3nLBRP1 — LIN ポーレートプリスケラ 1 レジスタ	587
13.3.2.4	RLN3nLSTC — LIN セルフテスト制御レジスタ	588
13.3.2.5	RLN3nLMD — LIN モードレジスタ	589
13.3.2.6	RLN3nLBFC — LIN ブレークフィールド設定レジスタ	591
13.3.2.7	RLN3nLSC — LIN スペース設定レジスタ	592
13.3.2.8	RLN3nLWUP — LIN ウェイクアップ設定レジスタ	593
13.3.2.9	RLN3nLIE — LIN 割り込み許可レジスタ	594
13.3.2.10	RLN3nLEDE — LIN エラー検出許可レジスタ	596
13.3.2.11	RLN3nLCUC — LIN 制御レジスタ	598
13.3.2.12	RLN3nLTRC — LIN 送信制御レジスタ	599
13.3.2.13	RLN3nLMST — LIN モードステータスレジスタ	600
13.3.2.14	RLN3nLST — LIN ステータスレジスタ	601
13.3.2.15	RLN3nLEST — LIN エラーステータスレジスタ	603
13.3.2.16	RLN3nLDFC — LIN データフィールド設定レジスタ	605
13.3.2.17	RLN3nLIDB — LIN ID バッファレジスタ	607
13.3.2.18	RLN3nLCBR — LIN チェックサムバッファレジスタ	608
13.3.2.19	RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1~8)	609
13.3.3	LIN スレーブ関連レジスタ	611

13.3.3.1	RLN3nLWBR	— LIN ウェイクアップボーレート選択レジスタ	611
13.3.3.2	RLN3nLBRP01	— LIN ボーレートプリスケアラ 01 レジスタ	612
13.3.3.3	RLN3nLSTC	— LIN セルフテスト制御レジスタ	613
13.3.3.4	RLN3nLMD	— LIN モードレジスタ	614
13.3.3.5	RLN3nLBFC	— LIN ブレークフィールド設定レジスタ	615
13.3.3.6	RLN3nLSC	— LIN スペース設定レジスタ	616
13.3.3.7	RLN3nLWUP	— LIN ウェイクアップ設定レジスタ	617
13.3.3.8	RLN3nLIE	— LIN 割り込み許可レジスタ	618
13.3.3.9	RLN3nLEDE	— LIN エラー検出許可レジスタ	620
13.3.3.10	RLN3nLCUC	— LIN 制御レジスタ	622
13.3.3.11	RLN3nLTRC	— LIN 送信制御レジスタ	623
13.3.3.12	RLN3nLMST	— LIN モードステータスレジスタ	624
13.3.3.13	RLN3nLST	— LIN ステータスレジスタ	625
13.3.3.14	RLN3nLEST	— LIN エラーステータスレジスタ	627
13.3.3.15	RLN3nLDFC	— LIN データフィールド設定レジスタ	629
13.3.3.16	RLN3nLIDB	— LIN ID バッファレジスタ	631
13.3.3.17	RLN3nLCBR	— LIN チェックサムバッファレジスタ	632
13.3.3.18	RLN3nLDBRb	— LIN データバッファ b レジスタ (b = 1~8)	633
13.3.4	UART 関連レジスタ		634
13.3.4.1	RLN3nLWBR	— LIN ウェイクアップボーレート選択レジスタ	634
13.3.4.2	RLN3nLBRP01	— UART ボーレートプリスケアラ 01 レジスタ	635
13.3.4.3	RLN3nLMD	— UART モードレジスタ	636
13.3.4.4	RLN3nLBFC	— UART 設定レジスタ	637
13.3.4.5	RLN3nLSC	— UART スペース設定レジスタ	640
13.3.4.6	RLN3nLEDE	— UART エラー検出許可レジスタ	641
13.3.4.7	RLN3nLCUC	— UART 制御レジスタ	642
13.3.4.8	RLN3nLTRC	— UART 送信制御レジスタ	643
13.3.4.9	RLN3nLMST	— UART モードステータスレジスタ	644
13.3.4.10	RLN3nLST	— UART ステータスレジスタ	645
13.3.4.11	RLN3nLEST	— UART エラーステータスレジスタ	647
13.3.4.12	RLN3nLDFC	— UART データフィールド設定レジスタ	649
13.3.4.13	RLN3nLIDB	— UART ID バッファレジスタ	650
13.3.4.14	RLN3nLUDB0	— UART データバッファ 0 レジスタ	651
13.3.4.15	RLN3nLDBRb	— UART データバッファ b レジスタ (b = 1~8)	652
13.3.4.16	RLN3nLUOER	— UART オペレーション許可レジスタ	653
13.3.4.17	RLN3nLUOR1	— UART オプションレジスタ 1	654
13.3.4.18	RLN3nLUTDR	— UART 送信データレジスタ	656
13.3.4.19	RLN3nLURDR	— UART 受信データレジスタ	657
13.3.4.20	RLN3nLUWTDR	— UART ウェイト用送信データレジスタ	658
13.4	割り込み要因		659
13.5	モード		660
13.6	LIN リセットモード		662
13.7	LIN モード		663
13.7.1	LIN マスタモード		666
13.7.1.1	ヘッダ送信		666
13.7.1.2	レスポンス送信		667
13.7.1.3	レスポンス受信		668
13.7.2	LIN スレーブモード		669
13.7.2.1	ヘッダ受信		669
13.7.2.2	レスポンス送信		671
13.7.2.3	レスポンス受信		673
13.7.2.4	レスポンス要求なし		674

13.7.3	データ送信／受信	675
13.7.3.1	データ送信	675
13.7.3.2	データ受信	676
13.7.4	送信／受信データのバッファ処理	677
13.7.4.1	LIN フレームの送信	677
13.7.4.2	LIN フレームの受信	678
13.7.4.3	多バイトレスポンス送受信機能	679
13.7.5	ウェイクアップ送信／受信	680
13.7.5.1	ウェイクアップ送信動作	680
13.7.5.2	ウェイクアップ受信動作	681
13.7.5.3	ウェイクアップ衝突	681
13.7.6	ステータス	682
13.7.7	エラーステータス	684
13.7.7.1	LIN マスタモード	684
13.7.7.2	LIN スレーブモード	686
13.8	UART モード	688
13.8.1	送信	688
13.8.1.1	連続送信	689
13.8.1.2	UART バッファ送信	690
13.8.1.3	データ送信	692
13.8.1.4	送信開始ウェイト機能	694
13.8.2	受信	695
13.8.2.1	データ受信	696
13.8.3	拡張ビット	697
13.8.3.1	拡張ビット送信	697
13.8.3.2	拡張ビット受信	697
13.8.3.3	拡張ビット受信（拡張ビット比較あり）	698
13.8.3.4	拡張ビット受信（データ比較あり）	699
13.8.4	ステータス	700
13.8.5	エラーステータス	701
13.9	LIN セルフテストモード	702
13.9.1	LIN セルフテストモードへの移行	703
13.9.2	LIN マスタセルフテストモードにおける送信	704
13.9.3	LIN マスタセルフテストモードにおける受信	705
13.9.4	LIN スレーブセルフテストモードにおける送信	707
13.9.5	LIN スレーブセルフテストモードにおける受信	708
13.9.6	LIN セルフテストモード終了	709
13.10	ボーレートジェネレータ	710
13.10.1	LIN マスタモード	710
13.10.2	LIN スレーブモード	711
13.10.3	UART モード	712
13.11	ノイズフィルタ	713
13.12	使用上の注意事項	715
13.12.1	LIN マスタモードに関する注意	715
13.12.2	LIN スレーブモード（固定ボーレート）に関する注意	715
13.12.3	LIN スレーブモード（オートボーレート）に関する注意	715

第 14 章	CAN インタフェース (RS-CANFD)	716
14.1	RH850/C1M-A RS-CANFD の特長	716
14.1.1	ユニット数とチャンネル数	716
14.1.2	レジスタベースアドレス	717
14.1.3	クロック供給	717
14.1.4	割り込み要求	718
14.1.5	リセット要因	719
14.1.6	外部入出力信号	719
14.2	概要	720
14.2.1	機能概要	720
14.2.2	インタフェースモード	722
14.2.3	CAN FD プロトコル切り替え	722
14.2.4	ブロック図	723
14.3	レジスタ (クラシカル CAN モード)	724
14.3.1	レジスタ一覧	724
14.3.2	インタフェースモード関連レジスタの詳細	729
14.3.2.1	RSCANnGRMCFG – グローバルインタフェースモード選択レジスタ	729
14.3.3	チャンネル関連レジスタの詳細	730
14.3.3.1	RSCANnCmCFG – チャンネルコンフィグレーションレジスタ (m = 0~3)	730
14.3.3.2	RSCANnCmCTR – チャンネル制御レジスタ (m = 0~3)	732
14.3.3.3	RSCANnCmSTS – チャンネルステータスレジスタ (m = 0~3)	737
14.3.3.4	RSCANnCmERFL – チャンネルエラーフラグレジスタ (m = 0~3)	740
14.3.4	グローバル関連レジスタの詳細	744
14.3.4.1	RSCANnGCFG – グローバルコンフィグレーションレジスタ	744
14.3.4.2	RSCANnGCTR – グローバル制御レジスタ	747
14.3.4.3	RSCANnGSTS – グローバルステータスレジスタ	749
14.3.4.4	RSCANnGERFL – グローバルエラーフラグレジスタ	751
14.3.4.5	RSCANnGTSC – グローバルタイムスタンプカウンタレジスタ	753
14.3.4.6	RSCANnGTINTSTS0 – グローバル TX 割り込みステータスレジスタ 0	754
14.3.4.7	RSCANnGFDCFG – グローバル FD コンフィグレーションレジスタ	757
14.3.5	受信ルール関連レジスタの詳細	758
14.3.5.1	RSCANnGAFLECTR – 受信ルールエントリ制御レジスタ	758
14.3.5.2	RSCANnGAFLCFG0 – 受信ルールコンフィグレーションレジスタ 0	759
14.3.5.3	RSCANnGAFLIDj – 受信ルール ID レジスタ (j = 0~15)	761
14.3.5.4	RSCANnGAFLMj – 受信ルールマスクレジスタ (j = 0~15)	763
14.3.5.5	RSCANnGAFLP0_j – 受信ルールポインタ 0 レジスタ (j = 0~15)	765
14.3.5.6	RSCANnGAFLP1_j – 受信ルールポインタ 1 レジスタ (j = 0~15)	767
14.3.6	受信バッファ関連レジスタの詳細	768
14.3.6.1	RSCANnRMNB – 受信バッファナンバレジスタ	768
14.3.6.2	RSCANnRMNDy – 受信バッファ新データレジスタ (y = 0, 1)	769
14.3.6.3	RSCANnRMIDq – 受信バッファ ID レジスタ (q = 0~63)	770
14.3.6.4	RSCANnRMPTRq – 受信バッファポインタレジスタ (q = 0~63)	771
14.3.6.5	RSCANnRMDf0_q – 受信バッファデータフィールド 0 レジスタ (q = 0~63)	773
14.3.6.6	RSCANnRMDf1_q – 受信バッファデータフィールド 1 レジスタ (q = 0~63)	774
14.3.7	受信 FIFO バッファ関連レジスタの詳細	775
14.3.7.1	RSCANnRFCCx – 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0~7)	775
14.3.7.2	RSCANnRFSTsx – 受信 FIFO バッファステータスレジスタ (x = 0~7)	777
14.3.7.3	RSCANnRFPCTRx – 受信 FIFO バッファポインタ制御レジスタ (x = 0~7)	779

14.3.7.4	RSCANnRFIDx – 受信 FIFO バッファアクセス ID レジスタ (x = 0~7)	780
14.3.7.5	RSCANnRFPTRx – 受信 FIFO バッファアクセスポインタレジスタ (x = 0~7)	781
14.3.7.6	RSCANnRDF0_x – 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0~7)	783
14.3.7.7	RSCANnRDF1_x – 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0~7)	784
14.3.8	送受信 FIFO バッファ関連レジスタの詳細	785
14.3.8.1	RSCANnCFCK – 送受信 FIFO バッファコンフィグレーション/制御 レジスタ (k = 0~11)	785
14.3.8.2	RSCANnCFSTSk – 送受信 FIFO バッファステータスレジスタ (k = 0~11)	789
14.3.8.3	RSCANnCFPCTRk – 送受信 FIFO バッファポインタ制御レジスタ (k = 0~11)	793
14.3.8.4	RSCANnCFIDk – 送受信 FIFO バッファアクセス ID レジスタ (k = 0~11)	795
14.3.8.5	RSCANnCFPTRk – 送受信 FIFO バッファアクセスポインタレジスタ (k = 0~11)	797
14.3.8.6	RSCANnCFDF0_k – 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0~11)	799
14.3.8.7	RSCANnCFDF1_k – 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0~11)	800
14.3.9	FIFO ステータス関連レジスタの詳細	801
14.3.9.1	RSCANnFESTS – FIFO エンプティステータスレジスタ	801
14.3.9.2	RSCANnFFSTS – FIFO フルステータスレジスタ	803
14.3.9.3	RSCANnFMSTS – FIFO メッセージロストステータスレジスタ	805
14.3.9.4	RSCANnRFISTS – 受信 FIFO バッファ割り込みフラグステータスレジスタ	807
14.3.9.5	RSCANnCFRISTS – 送受信 FIFO バッファ 受信割り込みフラグステータス レジスタ	808
14.3.9.6	RSCANnCFRISTS – 送受信 FIFO バッファ 送信割り込みフラグステータス レジスタ	809
14.3.10	送信バッファ関連レジスタの詳細	810
14.3.10.1	RSCANnTMCp – 送信バッファ制御レジスタ (p = 0~63)	810
14.3.10.2	RSCANnTMSTSp – 送信バッファステータスレジスタ (p = 0~63)	812
14.3.10.3	RSCANnTMIDp – 送信バッファ ID レジスタ (p = 0~63)	814
14.3.10.4	RSCANnTMPTRp – 送信バッファポインタレジスタ (p = 0~63)	816
14.3.10.5	RSCANnTMDf0_p – 送信バッファデータフィールド 0 レジスタ (p = 0~63)	818
14.3.10.6	RSCANnTMDf1_p – 送信バッファデータフィールド 1 レジスタ (p = 0~63)	819
14.3.10.7	RSCANnTMIECy – 送信バッファ割り込みイネーブルコンフィグレーション レジスタ (y = 0, 1)	820
14.3.11	送信バッファステータス関連レジスタの詳細	822
14.3.11.1	RSCANnTMTRSTSy – 送信バッファ送信要求ステータスレジスタ (y = 0, 1)	822
14.3.11.2	RSCANnTMTARSTSy – 送信バッファ送信アポート要求ステータス レジスタ (y = 0, 1)	824
14.3.11.3	RSCANnTMTCASTSy – 送信バッファ送信完了ステータスレジスタ (y = 0, 1)	826
14.3.11.4	RSCANnTMTASTSy – 送信バッファ送信アポートステータスレジスタ (y = 0, 1)	828
14.3.12	送信キュー関連レジスタの詳細	830
14.3.12.1	RSCANnTXQCCm – 送信キューコンフィグレーション/制御レジスタ (m = 0~3)	830
14.3.12.2	RSCANnTXQSTSm – 送信キューステータスレジスタ (m = 0~3)	832
14.3.12.3	RSCANnTXQPCTRM – 送信キューポインタ制御レジスタ (m = 0~3)	834
14.3.13	送信履歴関連レジスタの詳細	835
14.3.13.1	RSCANnTHLCCm – 送信履歴コンフィグレーション/制御レジスタ (m = 0~3)	835

14.3.13.2	RSCANnTHLSTSm	送信履歴ステータスレジスタ (m = 0~3)	837
14.3.13.3	RSCANnTHLPCTRM	送信履歴ポインタ制御レジスタ (m = 0~3)	839
14.3.13.4	RSCANnTHLACCm	送信履歴アクセスレジスタ (m = 0~3)	840
14.3.14	テスト関連レジスタの詳細		842
14.3.14.1	RSCANnGTSTCFG	グローバルテストコンフィグレーションレジスタ	842
14.3.14.2	RSCANnGTSTCTR	グローバルテスト制御レジスタ	844
14.3.14.3	RSCANnGLOCKK	グローバルロックキーレジスタ	845
14.3.14.4	RSCANnRPGACCr	RAM テストページアクセスレジスタ (r = 0~63)	846
14.4	レジスタ (CAN FD モード)		847
14.4.1	レジスタ一覧		847
14.4.2	インタフェースモード関連レジスタの詳細		852
14.4.2.1	RSCFDnCFDGRMCFG	グローバルインタフェースモード選択レジスタ	852
14.4.3	チャンネル関連レジスタの詳細		853
14.4.3.1	RSCFDnCFDCmNCFG	チャンネル通常ビットレートコンフィグレーション レジスタ (m = 0~3)	853
14.4.3.2	RSCFDnCFDCmCTR	チャンネル制御レジスタ (m = 0~3)	856
14.4.3.3	RSCFDnCFDCmSTS	チャンネルステータスレジスタ (m = 0~3)	862
14.4.3.4	RSCFDnCFDCmERFL	チャンネルエラーフラグレジスタ (m = 0~3)	865
14.4.3.5	RSCFDnCFDCmDCFG	チャンネルデータビットレートコンフィグレーション レジスタ (m = 0~3)	869
14.4.3.6	RSCFDnCFDCmFDCFG	チャンネル CAN FD コンフィグレーションレジスタ (m = 0~3)	872
14.4.3.7	RSCFDnCFDCmFDCTR	チャンネル CAN FD 制御レジスタ (m = 0~3)	876
14.4.3.8	RSCFDnCFDCmFDSTS	チャンネル CAN FD ステータスレジスタ (m = 0~3)	877
14.4.3.9	RSCFDnCFDCmFDCRC	チャンネル CAN FD CRC レジスタ (m = 0~3)	880
14.4.4	グローバル関連レジスタの詳細		882
14.4.4.1	RSCFDnCFDGCFCFG	グローバルコンフィグレーションレジスタ	882
14.4.4.2	RSCFDnCFDGCCTR	グローバル制御レジスタ	885
14.4.4.3	RSCFDnCFDGCSTS	グローバルステータスレジスタ	887
14.4.4.4	RSCFDnCFDGERFL	グローバルエラーフラグレジスタ	889
14.4.4.5	RSCFDnCFDGTSC	グローバルタイムスタンプカウンタレジスタ	891
14.4.4.6	RSCFDnCFDGTINTSTS0	グローバル TX 割り込みステータスレジスタ 0	892
14.4.4.7	RSCFDnCFDGFDCFG	グローバル FD コンフィグレーションレジスタ	895
14.4.4.8	RSCFDnCFDGCRCFCFG	グローバル CRC コンフィグレーションレジスタ	896
14.4.5	受信ルール関連レジスタの詳細		897
14.4.5.1	RSCFDnCFDGAFLCTR	受信ルールエントリ制御レジスタ	897
14.4.5.2	RSCFDnCFDGAFLCFG0	受信ルールコンフィグレーションレジスタ 0	899
14.4.5.3	RSCFDnCFDGAFLIDj	受信ルール ID レジスタ (j = 0~15)	901
14.4.5.4	RSCFDnCFDGAFLMj	受信ルールマスクレジスタ (j = 0~15)	903
14.4.5.5	RSCFDnCFDGAFLP0_j	受信ルールポインタ 0 レジスタ (j = 0~15)	905
14.4.5.6	RSCFDnCFDGAFLP1_j	受信ルールポインタ 1 レジスタ (j = 0~15)	907
14.4.6	受信バッファ関連レジスタの詳細		908
14.4.6.1	RSCFDnCFDRMNB	受信バッファナンバレジスタ	908
14.4.6.2	RSCFDnCFDRMNDy	受信バッファ新データレジスタ (y = 0, 1)	909
14.4.6.3	RSCFDnCFDRMIDq	受信バッファ ID レジスタ (q = 0~63)	910
14.4.6.4	RSCFDnCFDRMPTRq	受信バッファポインタレジスタ (q = 0~63)	912
14.4.6.5	RSCFDnCFDRMFDSTSq	受信バッファ CAN FD ステータスレジスタ (q = 0~63)	914
14.4.6.6	RSCFDnCFDRMDFb_q	受信バッファデータフィールド b レジスタ (b = 0~4, q = 0~63)	916
14.4.7	受信 FIFO バッファ関連レジスタの詳細		917

14.4.7.1	RSCFDnCFDRFCCx – 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0~7)	917
14.4.7.2	RSCFDnCFDRFSTSx – 受信 FIFO バッファステータスレジスタ (x = 0~7) ..	920
14.4.7.3	RSCFDnCFDRFPCTRx – 受信 FIFO バッファポインタ制御レジスタ (x = 0~7)	922
14.4.7.4	RSCFDnCFDRFIDx – 受信 FIFO バッファアクセス ID レジスタ (x = 0~7)	923
14.4.7.5	RSCFDnCFDRFPTRx – 受信 FIFO バッファアクセスポインタレジスタ (x = 0~7)	925
14.4.7.6	RSCFDnCFDRFFDSTSx – 受信 FIFO CAN FD ステータスレジスタ (x = 0~7)	927
14.4.7.7	RSCFDnCFDRFDFd_x – 受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0~15、x = 0~7)	929
14.4.8	送受信 FIFO バッファ関連レジスタの詳細	930
14.4.8.1	RSCFDnCFDCFCCK – 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0~11)	930
14.4.8.2	RSCFDnCFDCFSTSx – 送受信 FIFO バッファステータスレジスタ (k = 0~11)	935
14.4.8.3	RSCFDnCFDCFPCTRk – 送受信 FIFO バッファポインタ制御レジスタ (k = 0~11)	938
14.4.8.4	RSCFDnCFDCFIDk – 送受信 FIFO バッファアクセス ID レジスタ (k = 0~11)	940
14.4.8.5	RSCFDnCFDCFPTRk – 送受信 FIFO バッファアクセスポインタレジスタ (k = 0~11)	942
14.4.8.6	RSCFDnCFDCFFDCSTSx – 送受信 FIFO CAN FD コンフィグレーション/ステータスレジスタ (k = 0~11)	944
14.4.8.7	RSCFDnCFDCFDf_k – 送受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0~15、k = 0~11)	946
14.4.9	FIFO ステータス関連レジスタの詳細	947
14.4.9.1	RSCFDnCFDFESTS – FIFO エンプティステータスレジスタ	947
14.4.9.2	RSCFDnCFDFFSTS – FIFO フルステータスレジスタ	949
14.4.9.3	RSCFDnCFDFMSTS – FIFO メッセージロスステータスレジスタ	951
14.4.9.4	RSCFDnCFDRFISTS – 受信 FIFO バッファ割り込みフラグステータスレジスタ	953
14.4.9.5	RSCFDnCFDCFRISTS – 送受信 FIFO バッファ受信割り込みフラグステータスレジスタ	954
14.4.9.6	RSCFDnCFDCFTISTS – 送受信 FIFO バッファ送信割り込みフラグステータスレジスタ	955
14.4.10	FIFO DMA 関連レジスタの詳細	956
14.4.10.1	RSCFDnCFDCDTCT – DMA 許可レジスタ	956
14.4.10.2	RSCFDnCFDCDTSTS – DMA ステータスレジスタ	958
14.4.11	送信バッファ関連レジスタの詳細	960
14.4.11.1	RSCFDnCFDTMCp – 送信バッファ制御レジスタ (p = 0~63)	960
14.4.11.2	RSCFDnCFDTMSTSp – 送信バッファステータスレジスタ (p = 0~63)	962
14.4.11.3	RSCFDnCFDTMIDp – 送信バッファ ID レジスタ (p = 0~63)	964
14.4.11.4	RSCFDnCFDTMPTRp – 送信バッファポインタレジスタ (p = 0~63)	966
14.4.11.5	RSCFDnCFDTMFDCTRp – 送信バッファ CAN FD コンフィグレーションレジスタ (p = 0~63)	968
14.4.11.6	RSCFDnCFDTMDFb_p – 送信バッファデータフィールド b レジスタ (b = 0~4、p = 0~63)	970
14.4.11.7	RSCFDnCFDTMIECy – 送信バッファ割り込みイネーブルコンフィグレーションレジスタ (y = 0, 1)	971
14.4.12	送信バッファステータス関連レジスタの詳細	973
14.4.12.1	RSCFDnCFDTMTRSTSy – 送信バッファ送信要求ステータスレジスタ (y = 0, 1)	973

14.4.12.2	RSCFDnCFDnTMTARSTSy – 送信バッファ送信アボート要求ステータスレジスタ (y = 0, 1)	975
14.4.12.3	RSCFDnCFDnTMCSTSy – 送信バッファ送信完了ステータスレジスタ (y = 0, 1)	977
14.4.12.4	RSCFDnCFDnTMASTSy – 送信バッファ送信アボートステータスレジスタ (y = 0, 1)	979
14.4.13	送信キュー関連レジスタの詳細	981
14.4.13.1	RSCFDnCFDnTXQCCm – 送信キューコンフィグレーション/制御レジスタ (m = 0~3)	981
14.4.13.2	RSCFDnCFDnTXQSTSm – 送信キューステータスレジスタ (m = 0~3)	983
14.4.13.3	RSCFDnCFDnTXQPCTRM – 送信キューポインタ制御レジスタ (m = 0~3)	985
14.4.14	送信履歴関連レジスタの詳細	986
14.4.14.1	RSCFDnCFDnTHLCCm – 送信履歴コンフィグレーション/制御レジスタ (m = 0~3)	986
14.4.14.2	RSCFDnCFDnTHLSTSm – 送信履歴ステータスレジスタ (m = 0~3)	988
14.4.14.3	RSCFDnCFDnTHLPCTRM – 送信履歴ポインタ制御レジスタ (m = 0~3)	990
14.4.14.4	RSCFDnCFDnTHLACCM – 送信履歴アクセスレジスタ (m = 0~3)	991
14.4.15	テスト関連レジスタの詳細	993
14.4.15.1	RSCFDnCFDnGTSTCFG – グローバルテストコンフィグレーションレジスタ	993
14.4.15.2	RSCFDnCFDnGTSTCTR – グローバルテスト制御レジスタ	995
14.4.15.3	RSCFDnCFDnGLOCKK – グローバルロックキーレジスタ	997
14.4.15.4	RSCFDnCFDnRPGACCr – RAM テストページアクセスレジスタ (r = 0~63)	998
14.5	割り込み要因と DMA トリガ	999
14.5.1	割り込み要因	999
14.5.2	DMA トリガ (CAN FD モードのみ)	1003
14.6	CAN モード	1003
14.6.1	グローバルモード	1003
14.6.1.1	グローバルストップモード	1004
14.6.1.2	グローバルリセットモード	1005
14.6.1.3	グローバルテストモード	1005
14.6.1.4	グローバル動作モード	1005
14.6.2	チャンネルモード	1006
14.6.2.1	チャンネルストップモード	1007
14.6.2.2	チャンネルリセットモード	1007
14.6.2.3	チャンネル待機モード	1007
14.6.2.4	チャンネル通信モード	1008
14.6.2.5	バスオフ状態	1009
14.6.3	CAN モード遷移によるレジスタ初期化	1010
14.7	受信機能	1012
14.7.1	受信ルールテーブルを用いたデータ処理	1012
14.7.1.1	アクセプタンスフィルタ処理	1013
14.7.1.2	DLC フィルタ処理	1014
14.7.1.3	ルーティング処理	1014
14.7.1.4	ラベル付加処理	1014
14.7.1.5	ミラー機能の処理	1014
14.7.1.6	タイムスタンプ	1015
14.8	送信機能	1016
14.8.1	送信の優先順位判定	1017
14.8.2	送信バッファを用いた送信	1017
14.8.2.1	送信アボート機能	1017

14.8.2.2	ワンショット送信機能（再送信禁止機能）	1018
14.8.2.3	送信バッファマージモード（CAN FD モードのみ）	1018
14.8.3	FIFO バッファによる送信	1018
14.8.3.1	インターバル送信機能	1019
14.8.4	送信キューによる送信	1021
14.8.5	送信データパディング（CAN FD モードのみ）	1021
14.8.6	送信履歴機能	1022
14.9	ゲートウェイ機能	1024
14.9.1	CAN-CAN FD ゲートウェイ（CAN FD モードのみ）	1024
14.10	テスト機能	1025
14.10.1	標準テストモード	1025
14.10.2	リッスンオンリモード	1025
14.10.3	セルフテストモード（ループバックモード）	1026
14.10.3.1	セルフテストモード 0（外部ループバックモード）	1026
14.10.3.2	セルフテストモード 1（内部ループバックモード）	1027
14.10.4	制限動作モード（CAN FD モードのみ）	1027
14.10.5	RAM テスト	1027
14.10.6	チャンネル間通信テスト	1028
14.10.6.1	CRC エラーテスト	1029
14.11	RS-CANFD の設定手順	1029
14.11.1	初期設定	1029
14.11.1.1	クロックの設定	1031
14.11.1.2	ビットタイミングの設定	1031
14.11.1.3	通信速度の設定	1032
14.11.1.4	受信ルールの設定	1034
14.11.1.5	バッファの設定	1036
14.11.1.6	送信遅延補正（CAN FD モードのみ）	1039
14.11.2	受信手順	1040
14.11.2.1	受信バッファの読み出し手順	1040
14.11.2.2	FIFO バッファの読み出し手順	1042
14.11.2.3	FIFO バッファの DMA 転送による読み出し手順	1046
14.11.3	送信手順	1047
14.11.3.1	送信バッファからの送信手順	1047
14.11.3.2	送受信 FIFO バッファからの送信手順	1053
14.11.3.3	送信キューからの送信手順	1057
14.11.3.4	送信履歴バッファの読み出し手順	1058
14.11.4	テスト設定	1059
14.11.4.1	セルフテストモードの設定手順	1059
14.11.4.2	プロテクト解除手順	1060
14.11.4.3	RAM テストの設定手順	1061
14.11.4.4	チャンネル間通信テストの設定手順	1062
14.12	RS-CANFD モジュールの注意事項	1063
第 15 章	Single Edge Nibble Transmission (RSENT)	1065
15.1	RH850/C1M-A RSENT の特長	1065
15.1.1	ユニット数	1065
15.1.2	レジスタベースアドレス	1065
15.1.3	クロック供給	1065

15.1.4	割り込み要求.....	1066
15.1.5	リセット要因.....	1066
15.1.6	外部入出力信号.....	1067
15.2	概要.....	1068
15.2.1	機能概要.....	1068
15.2.2	ブロック図.....	1069
15.3	レジスタ.....	1070
15.3.1	レジスタ一覧.....	1070
15.3.2	RSENTnTSPC — RSENT タイムスタンプレジスタ.....	1071
15.3.3	RSENTnTSC — RSENT タイムスタンプカウンタレジスタ.....	1073
15.3.4	RSENTnCC — RSENT 通信設定レジスタ.....	1074
15.3.5	RSENTnBRP — RSENT ポーレートプリスケアラレジスタ.....	1078
15.3.6	RSENTnIDE — RSENT 割り込み/DMA イネーブルレジスタ.....	1080
15.3.7	RSENTnMDC — RSENT モード制御レジスタ.....	1083
15.3.8	RSENTnSPCT — RSENT SPC 送信レジスタ.....	1084
15.3.9	RSENTnMST — RSENT モードステータスレジスタ.....	1085
15.3.10	RSENTnCS — RSENT 通信ステータスレジスタ.....	1086
15.3.11	RSENTnCSC — RSENT 通信ステータスクリアレジスタ.....	1091
15.3.12	RSENTnSRTS — RSENT 低速チャンネル受信タイムスタンプレジスタ.....	1094
15.3.13	RSENTnSRXD — RSENT 低速チャンネル受信データレジスタ.....	1095
15.3.14	RSENTnCPL — RSENT キャリブレーションパルス長レジスタ.....	1097
15.3.15	RSENTnML — RSENT メッセージ長レジスタ.....	1098
15.3.16	RSENTnFRTS — RSENT 高速チャンネル受信タイムスタンプレジスタ.....	1099
15.3.17	RSENTnFRXD — RSENT 高速チャンネル受信データレジスタ.....	1100
15.4	機能.....	1102
15.4.1	動作モード.....	1102
15.4.1.1	RESET モード.....	1103
15.4.1.2	CONFIGURATION モード.....	1103
15.4.1.3	OPERATION IDLE モード.....	1103
15.4.1.4	OPERATION ACTIVE モード.....	1103
15.4.1.5	動作モードにおけるレジスタ動作.....	1104
15.4.2	クロック設定.....	1105
15.4.2.1	タイムスタンプ.....	1105
15.4.2.2	通信クロック設定.....	1107
15.4.3	RSENT 動作.....	1108
15.4.3.1	動作モードの移行.....	1108
15.4.3.2	メッセージの受信.....	1111
15.4.3.3	キャリブレーションパルス受信.....	1111
15.4.3.4	データニブル受信.....	1112
15.4.3.5	高速チャンネルメッセージ受信.....	1113
15.4.3.6	高速チャンネル受信フロー.....	1118
15.4.3.7	低速チャンネルメッセージ受信.....	1119
15.4.3.8	低速チャンネル受信フロー.....	1121
15.4.3.9	DMA フロー.....	1122
15.4.3.10	エラーのフラグ.....	1123
15.4.4	SPC 機能.....	1125

15.4.5	割り込みとチェック	1127
第 16 章	ウインドウウォッチドッグタイマ (WDTA)	1129
16.1	RH850/C1M-A WDTA の特長	1129
16.1.1	ユニット数	1129
16.1.2	レジスタベースアドレス	1129
16.1.3	クロック供給	1130
16.1.4	割り込み	1130
16.1.5	リセット要因	1130
16.1.6	WDTA の起動オプション	1130
16.2	概要	1131
16.2.1	機能概要	1131
16.2.2	ブロック図	1132
16.3	レジスタ	1133
16.3.1	レジスタ一覧	1133
16.3.2	WDTAnWDTE – WDTA イネーブルレジスタ	1133
16.3.3	WDTAnMD – WDTA モードレジスタ	1135
16.4	割り込み要因	1137
16.5	機能	1137
16.5.1	リセット解除後の WDTA	1137
16.5.1.1	スタートモード	1137
16.5.1.2	スタートモードの選択 (WDTA0 のみ)	1137
16.5.1.3	リセット解除後の WDTA 設定	1138
16.5.1.4	デフォルトスタートモードのタイミング (WDTA0 のみ)	1138
16.5.1.5	ソフトウェアトリガスタートモードのタイミング (WDTA0、WDTA1 共通)	1139
16.5.1.6	WDTA トリガ	1139
16.5.2	エラー検出	1140
16.5.3	WDTA エラーモード	1140
16.5.4	75%割り込み要求信号	1141
16.5.5	ウインドウ機能	1142
第 17 章	OS タイマ (OSTM)	1143
17.1	RH850/C1M-A OSTM の特長	1143
17.1.1	ユニット数	1143
17.1.2	レジスタベースアドレス	1143
17.1.3	クロック供給	1144
17.1.4	割り込み要求	1144
17.1.5	リセット要因	1144
17.2	概要	1145
17.2.1	機能概要	1145
17.2.2	ブロック図	1145
17.2.3	カウントクロック	1146
17.2.4	割り込み要求 (OSTMnTINT)	1146
17.3	レジスタ	1147

17.3.1	レジスタ一覧	1147
17.3.2	OSTMnCMP – OSTMn コンペアレジスタ	1147
17.3.3	OSTMnCNT – OSTMn カウンタレジスタ	1148
17.3.4	OSTMnTO – OSTMn 出力レジスタ	1149
17.3.5	OSTMnTOE – OSTMn 出カインーブルレジスタ	1150
17.3.6	OSTMnTE – OSTMn カウントインーブルステータスレジスタ	1151
17.3.7	OSTMnTS – OSTMn カウント開始トリガレジスタ	1152
17.3.8	OSTMnTT – OSTMn カウント停止トリガレジスタ	1152
17.3.9	OSTMnCTL – OSTMn 制御レジスタ	1153
17.4	機能	1154
17.4.1	タイマの起動と停止	1154
17.4.2	インターバルタイマモード	1155
17.4.2.1	インターバルタイマモードの基本動作	1155
17.4.2.2	OSTMnCMP = 0000 0000 _H の場合の動作	1157
17.4.2.3	インターバルタイマモードの設定手順	1158
17.4.3	フリーランニングコンペアモード	1159
17.4.3.1	フリーランニングコンペアモードの基本動作	1159
17.4.3.2	OSTMnCMP = 0000 0000 _H の場合の動作	1160
17.4.3.3	フリーランニングコンペアモードの設定手順	1161
第 18 章	タイマアレイユニット D (TAUD)	1162
18.1	C1M-A TAUD の特長	1162
18.1.1	ユニット数	1162
18.1.2	レジスタベースアドレス	1162
18.1.3	クロック供給	1162
18.1.4	割り込み要求	1163
18.1.5	リセット要因	1165
18.1.6	外部入出力信号	1165
18.2	概要	1166
18.2.1	機能概要	1166
18.2.2	用語	1167
18.2.3	タイマ動作機能一覧	1168
18.2.4	入出力と割り込み要求信号	1169
18.2.5	ブロック図	1170
18.2.6	ブロック図の説明	1171
18.3	レジスタ	1172
18.3.1	レジスタ一覧	1172
18.3.2	TAUDnTPS – TAUDn プリスケラクロック選択レジスタ	1173
18.3.3	TAUDnBRS – TAUDn プリスケラポーレート設定レジスタ	1176
18.3.4	TAUDnCDRm – TAUDn チャネルデータレジスタ	1177
18.3.5	TAUDnCNTm – TAUDn チャネルカウンタレジスタ	1178
18.3.6	TAUDnCMORm – TAUDn チャネルモード OS レジスタ	1180
18.3.7	TAUDnCMURm – TAUDn チャネルモードユーザレジスタ	1183
18.3.8	TAUDnCSRm – TAUDn チャネルステータスレジスタ	1184

18.3.9	TAUDnCSCm – TAUDn チャンネルステータスクリアレジスタ	1185
18.3.10	TAUDnTS – TAUDn チャンネルスタートトリガレジスタ	1185
18.3.11	TAUDnTE – TAUDn チャンネル許可ステータスレジスタ	1186
18.3.12	TAUDnTT – TAUDn チャンネルストップトリガレジスタ	1186
18.3.13	TAUDnRDE – TAUDn チャンネルリロードデータ許可レジスタ	1187
18.3.14	TAUDnRDS – TAUDn チャンネルリロードデータ制御チャンネル選択レジスタ	1187
18.3.15	TAUDnRDM – TAUDn チャンネルリロードデータモードレジスタ	1188
18.3.16	TAUDnRDC – TAUDn チャンネルリロードデータ制御レジスタ	1188
18.3.17	TAUDnRDT – TAUDn チャンネルリロードデータトリガレジスタ	1189
18.3.18	TAUDnRSF – TAUDn チャンネルリロードステータスレジスタ	1189
18.3.19	TAUDnTOE – TAUDn チャンネル出力許可レジスタ	1190
18.3.20	TAUDnTO – TAUDn チャンネル出力レジスタ	1190
18.3.21	TAUDnTOM – TAUDn チャンネル出力モードレジスタ	1191
18.3.22	TAUDnTOC – TAUDn チャンネル出力コンフィギュレーションレジスタ	1192
18.3.23	TAUDnTOL – TAUDn チャンネル出力レベルレジスタ	1193
18.3.24	TAUDnTDE – TAUDn チャンネルデッドタイム出力許可レジスタ	1193
18.3.25	TAUDnTDM – TAUDn チャンネルデッドタイム出力モードレジスタ	1194
18.3.26	TAUDnTDL – TAUDn チャンネルデッドタイム出力レベルレジスタ	1194
18.3.27	TAUDnTRE – TAUDn チャンネルリアルタイム出力許可レジスタ	1195
18.3.28	TAUDnTRC – TAUDn チャンネルリアルタイム出力制御レジスタ	1195
18.3.29	TAUDnTRO – TAUDn チャンネルリアルタイム出力レジスタ	1196
18.3.30	TAUDnTME – TAUDn チャンネル変調出力許可レジスタ	1196
18.4	機能	1197
18.4.1	基本操作手順	1197
18.4.2	チャンネル連動動作の概念	1198
18.4.2.1	チャンネル連動動作のルール	1198
18.4.2.2	連動チャンネルカウンタの同時動作開始/停止	1200
18.4.3	一斉書き換え	1200
18.4.3.1	動作概要	1200
18.4.3.2	一斉書き換えの制御方法	1202
18.4.3.3	一斉書き換えのその他の基本ルール	1204
18.4.3.4	一斉書き換えの種類	1205
18.4.4	チャンネル出力モード	1213
18.4.4.1	チャンネル出力モードを指定するための基本手順	1215
18.4.4.2	TAUDn 信号により単体制御されるチャンネル出力モード	1215
18.4.4.3	TAUDn 信号により連動制御されるチャンネル出力モード	1218
18.4.5	各動作モードでのカウント開始タイミング	1222
18.4.5.1	インターバルタイマモード、ジャッジモード、キャプチャモード、 アップ/ダウンカウントモード、カウントキャプチャモード	1222
18.4.5.2	イベントカウントモード	1223
18.4.5.3	その他の動作モード	1223
18.4.6	カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成	1224
18.4.7	オーバフロー時の割り込み発生	1225
18.4.7.1	カウントキャプチャモード	1225
18.4.8	TAUDTTINm エッジ検出	1226
18.4.9	チャンネル単体動作機能	1227

18.4.9.1	インターバルタイマ機能	1227
18.4.9.2	TAUDTTINm 入力インターバルタイマ機能	1234
18.4.9.3	クロック分周機能	1238
18.4.9.4	外部イベントカウント機能	1246
18.4.9.5	ディレイカウント機能	1252
18.4.9.6	ワンパルス出力機能	1256
18.4.9.7	TAUDTTINm 入力パルスインターバル測定機能	1261
18.4.9.8	TAUDTTINm 入力信号幅測定機能	1269
18.4.9.9	TAUDTTINm 入力位置検出機能	1277
18.4.9.10	TAUDTTINm 入力期間カウント検出機能	1282
18.4.9.11	TAUDTTINm 入力パルスインターバル判定機能	1287
18.4.9.12	TAUDTTINm 入力信号幅判定機能	1291
18.4.10	チャンネル単体リアルタイム機能	1295
18.4.10.1	リアルタイム出力機能タイプ 1	1295
18.4.10.2	リアルタイム出力機能タイプ 2	1302
18.4.11	チャンネル単体一斉書き換え機能	1310
18.4.11.1	一斉書き換えトリガ生成機能タイプ 1	1310
18.4.12	チャンネル連動動作機能	1317
18.4.12.1	PWM 出力機能	1317
18.4.12.2	ワンショットパルス出力機能	1329
18.4.12.3	トリガスタート PWM 出力機能	1341
18.4.12.4	ディレイパルス出力機能	1351
18.4.12.5	オフセットトリガ出力機能	1365
18.4.12.6	A/D 変換トリガ出力機能タイプ 1	1374
18.4.12.7	三角波 PWM 出力機能	1376
18.4.12.8	デッドタイム付き三角波 PWM 出力機能	1387
18.4.12.9	A/D 変換トリガ出力機能タイプ 2	1402
18.4.12.10	割り込み要求信号間引き機能	1404
18.4.12.11	1 相 PWM 出力機能	1412
18.4.13	連動非相補方式変調出力機能と連動相補方式変調出力機能	1419
18.4.13.1	非相補方式変調出力機能タイプ 1	1419
18.4.13.2	非相補方式変調出力機能タイプ 2	1431
18.4.13.3	相補方式変調出力機能	1443

第 19 章 タイマアレイユニット J (TAUJ) 1460

19.1	RH850/C1M-A TAUJ の特長	1460
19.1.1	ユニット	1460
19.1.2	レジスタベースアドレス	1460
19.1.3	クロック供給	1461
19.1.4	割り込みと DMA/DTS	1461
19.1.5	リセット要因	1461
19.1.6	外部入出力信号	1462
19.2	概要	1463
19.2.1	機能概要	1463
19.2.1.1	用語	1463
19.2.1.2	動作機能一覧	1464
19.2.1.3	入出力と割り込み要求信号	1465
19.2.2	ブロック図	1466
19.2.2.1	ブロック図の説明	1467
19.3	レジスタ	1468

19.3.1	レジスタ一覧	1468
19.3.2	TAUJnTPS — TAUJn プリスケークロック選択レジスタ	1469
19.3.3	TAUJnBRS — TAUJn プリスケークラボーレート設定レジスタ	1472
19.3.4	TAUJnCDRm — TAUJn チャネルデータレジスタ	1473
19.3.5	TAUJnCNTm — TAUJn チャネルカウンタレジスタ	1474
19.3.6	TAUJnCMORm — TAUJn チャネルモード OS レジスタ	1475
19.3.7	TAUJnCMURm — TAUJn チャネルモードユーザレジスタ	1478
19.3.8	TAUJnCSRm — TAUJn チャネルステータスレジスタ	1479
19.3.9	TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ	1479
19.3.10	TAUJnTS — TAUJn チャネルスタートトリガレジスタ	1480
19.3.11	TAUJnTE — TAUJn チャネル許可ステータスレジスタ	1480
19.3.12	TAUJnTT — TAUJn チャネルストップトリガレジスタ	1481
19.3.13	TAUJnTOE — TAUJn チャネル出力許可レジスタ	1481
19.3.14	TAUJnTO — TAUJn チャネル出力レジスタ	1482
19.3.15	TAUJnTOM — TAUJn チャネル出力モードレジスタ	1482
19.3.16	TAUJnTOC — TAUJn チャネル出力コンフィギュレーションレジスタ	1483
19.3.17	TAUJnTOL — TAUJn チャネル出力レベルレジスタ	1484
19.3.18	TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ	1484
19.3.19	TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ	1485
19.3.20	TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ	1485
19.3.21	TAUJnRSF — TAUJn チャネルリロードステータスレジスタ	1486
19.4	機能	1487
19.4.1	基本操作手順	1487
19.4.2	連動動作機能の概念	1488
19.4.2.1	連動動作機能のルール	1488
19.4.2.2	連動チャネルカウンタの同時動作開始/停止	1490
19.4.3	一斉書き換え機能	1491
19.4.3.1	一斉書き換えの制御方法	1491
19.4.3.2	一斉書き換えのその他の基本ルール	1492
19.4.3.3	一斉書き換えの方法	1493
19.4.4	チャネル出力モード	1495
19.4.4.1	チャネル出力モードを指定するための基本手順	1496
19.4.4.2	TAUJn 信号により単体制御されるチャネル出力モード	1497
19.4.4.3	TAUJn 信号により連動制御されるチャネル出力モード	1497
19.4.5	各動作モードでのカウント開始タイミング	1498
19.4.5.1	インターバルタイマモード、キャプチャモード、カウントキャプチャモード	1498
19.4.5.2	その他の動作モード	1499
19.4.6	カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成	1500
19.4.7	オーバフロー時の割り込み発生	1501
19.4.7.1	TAUJTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ	1502
19.4.8	TAUJTINm エッジ検出	1503
19.4.9	チャネル単体動作機能	1504
19.4.9.1	インターバルタイマ機能	1504
19.4.9.2	TAUJTINm 入力インターバルタイマ機能	1510
19.4.9.3	TAUJTINm 入力パルスインターバル測定機能	1516
19.4.9.4	TAUJTINm 入力信号幅測定機能	1524

19.4.9.5	TAUJTTINm 入力位置検出機能	1531
19.4.9.6	TAUJTTINm 入力期間カウンタ検出機能	1536
19.4.10	チャンネル連動動作機能	1541
19.4.10.1	PWM 出力機能	1541
第 20 章	モータコントロールタイマ (TSG3)	1551
20.1	RH850/C1M-A TSG3 の特長	1551
20.1.1	ユニット数	1551
20.1.2	レジスタベースアドレス	1551
20.1.3	クロック供給	1551
20.1.4	割り込み要求	1552
20.1.5	リセット要因	1554
20.1.6	外部入出力信号	1554
20.2	概要	1555
20.2.1	機能概要	1555
20.2.2	ブロック図	1557
20.3	レジスタ	1559
20.3.1	レジスタ一覧	1559
20.3.2	TSG3nCTL0 – TSG3n 制御レジスタ 0	1562
20.3.3	TSG3nCTL1 – TSG3n 制御レジスタ 1	1563
20.3.4	TSG3nCTL3 – TSG3n 制御レジスタ 3	1565
20.3.5	TSG3nCTL4 – TSG3n 制御レジスタ 4	1566
20.3.6	TSG3nCTL5 – TSG3n 制御レジスタ 5	1568
20.3.7	TSG3nCTL6 – TSG3n 制御レジスタ 6	1570
20.3.8	TSG3nCTL7 – TSG3n 制御レジスタ 7	1572
20.3.9	TSG3nCTL8 – TSG3n 制御レジスタ 8	1573
20.3.10	TSG3nIOC0 – TSG3nI/O 制御レジスタ 0	1574
20.3.11	TSG3nIOC1 – TSG3nI/O 制御レジスタ 1	1575
20.3.12	TSG3nIOC2 – TSG3nI/O 制御レジスタ 2	1576
20.3.13	TSG3nIOC3 – TSG3nI/O 制御レジスタ 3	1577
20.3.14	TSG3nSTR0 – TSG3n ステータスレジスタ 0	1578
20.3.15	TSG3nSTR1 – TSG3n ステータスレジスタ 1	1579
20.3.16	TSG3nSTR2 – TSG3n ステータスレジスタ 2	1580
20.3.17	TSG3nSTC – TSG3n ステータスクリアトリガレジスタ	1582
20.3.18	TSG3nOPT0 – TSG3n オプションレジスタ 0	1584
20.3.19	TSG3nOPT1 – TSG3n オプションレジスタ 1	1586
20.3.20	TSG3nOPT2 – TSG3n オプションレジスタ 2	1587
20.3.21	TSG3nOPT2BF – TSG3n オプション 2 バッファレジスタ	1588
20.3.22	TSG3nTRG0 – TSG3n トリガレジスタ 0	1589
20.3.23	TSG3nTRG1 – TSG3n トリガレジスタ 1	1589
20.3.24	TSG3nTRG2 – TSG3n トリガレジスタ 2	1590
20.3.25	TSG3nCNT – TSG3n カウンタリードバッファレジスタ	1590
20.3.26	TSG3nCnTE – TSG3n ビット拡張カウンタリードバッファレジスタ	1591

20.3.27	TSG3nSBC – TSG3n サブカウンタリードバッファレジスタ	1591
20.3.28	TSG3nSBCE – TSG3n ビット拡張サブカウンタリードバッファレジスタ	1592
20.3.29	TSG3nCMP0 – TSG3n コンペアレジスタ 0	1593
20.3.30	TSG3nCMP0E – TSG3n ビット拡張コンペアレジスタ 0	1594
20.3.31	TSG3nCMP1W – TSG3n コンペアレジスタ 1、2	1595
20.3.32	TSG3nCMP3W – TSG3n コンペアレジスタ 3、4	1595
20.3.33	TSG3nCMP5W – TSG3n コンペアレジスタ 5、6	1596
20.3.34	TSG3nCMP7W – TSG3n コンペアレジスタ 7、8	1596
20.3.35	TSG3nCMP9W – TSG3n コンペアレジスタ 9、10	1597
20.3.36	TSG3nCMP11W – TSG3n コンペアレジスタ 11、12	1597
20.3.37	TSG3nCMP1-TSG3nCMP12 – TSG3n コンペアレジスタ 1~12	1598
20.3.38	TSG3nCMP1E-TSG3nCMP12E – TSG3n ビット拡張コンペアレジスタ 1~12	1599
20.3.39	TSG3nDCMP0W – TSG3n ダイアグ出力用コンペアレジスタ 0、1	1601
20.3.40	TSG3nDCMP2 – TSG3n ダイアグ出力用コンペアレジスタ 2	1601
20.3.41	TSG3nDCMP0E-2E – TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0~2	1602
20.3.42	TSG3nPAT0W – TSG3n パタンレジスタ 0	1603
20.3.43	TSG3nPAT1W – TSG3n パタンレジスタ 1	1604
20.3.44	TSG3nDTC0W – TSG3n デッドタイム設定レジスタ 0	1605
20.3.45	TSG3nDTC1W – TSG3n デッドタイム設定レジスタ 1	1606
20.3.46	TSG3nCMPU – TSG3n HT-PWM U 相用コンペアレジスタ	1606
20.3.47	TSG3nCMPV – TSG3n HT-PWM V 相用コンペアレジスタ	1607
20.3.48	TSG3nCMPW – TSG3n HT-PWM W 相用コンペアレジスタ	1607
20.3.49	TSG3nCMPUE – TSG3n ビット拡張 HT-PWM U 相用コンペアレジスタ	1608
20.3.50	TSG3nCMPVE – TSG3n ビット拡張 HT-PWM V 相用コンペアレジスタ	1609
20.3.51	TSG3nCMPWE – TSG3n ビット拡張 HT-PWM W 相用コンペアレジスタ	1610
20.3.52	TSG3nUPW – TSG3n SP-PWM U 相アクティブ幅レジスタ	1611
20.3.53	TSG3nVPW – TSG3n SP-PWM V 相アクティブ幅レジスタ	1611
20.3.54	TSG3nWPW – TSG3n SP-PWM W 相アクティブ幅レジスタ	1612
20.3.55	TSG3nUPWE – TSG3n ビット拡張 SP-PWM U 相アクティブ幅レジスタ	1613
20.3.56	TSG3nVPWE – TSG3n ビット拡張 SP-PWM V 相アクティブ幅レジスタ	1614
20.3.57	TSG3nWPWE – TSG3n ビット拡張 SP-PWM W 相アクティブ幅レジスタ	1615
20.3.58	TSG3nHSPCMUE – TSG3n HSP-PWM モード U 相コンペアレジスタ	1616
20.3.59	TSG3nHSPCMVE – TSG3n HSP-PWM モード V 相コンペアレジスタ	1616
20.3.60	TSG3nHSPCMWE – TSG3n HSP-PWM モード W 相コンペアレジスタ	1617
20.3.61	TSG3nHSPSHUE – TSG3n HSP-PWM モード U 相シフトレジスタ	1617
20.3.62	TSG3nHSPSHVE – TSG3n HSP-PWM モード V 相シフトレジスタ	1618
20.3.63	TSG3nHSPSHWE – TSG3n HSP-PWM モード W 相シフトレジスタ	1618
20.3.64	TSG3nDTPR – TSG3n デッドタイムプロテクションレジスタ	1619
20.4	機能	1620
20.4.1	基本動作	1620
20.4.1.1	18 ビットカウンタ基本動作	1620
20.4.1.2	コンペアレジスタの機能	1622
20.4.1.3	コンペアレジスタの書き換え操作	1624
20.4.1.4	各モード時における出力一覧	1633

20.4.2	一致割り込み	1636
20.4.3	フラグ	1641
20.4.3.1	アップカウントフラグ (TSG3nCUF, TSG3nSUF)	1642
20.4.3.2	正相／逆相同時アクティブ検出フラグ (TSG3nTBF0-TSG3nTBF2)	1644
20.4.3.3	リロード要求フラグ (TSG3nRSF)	1645
20.4.3.4	ノイズ検出フラグ (TSG3nNDF)	1646
20.4.3.5	パタン順序検出フラグ (TSG3nTSF)	1647
20.4.3.6	パタンエラー検出フラグ (TSG3nPEF)	1649
20.4.3.7	パタン反転検出フラグ (TSG3nPRF)	1650
20.4.3.8	TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)	1652
20.4.3.9	TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)	1653
20.4.3.10	パタン位相差異検出フラグ (TSG3nPPF)	1654
20.4.3.11	タイマ出力パタンフラグ (TSG3nOPF2-TSG3nOPF0)	1655
20.4.3.12	パタン切り替え検出信号 (TSG3nPTE)	1655
20.4.4	割り込み間引き機能	1657
20.4.4.1	割り込み間引き機能の動作	1657
20.4.4.2	山割り込みを発生する場合の動作例 (PWM モード時)	1661
20.4.5	A/D 変換トリガ機能	1662
20.4.5.1	A/D 変換トリガの動作	1663
20.4.6	エラー／ワーニング割り込み	1668
20.4.6.1	エラー割り込み機能	1668
20.4.6.2	ワーニング割り込み機能	1671
20.4.7	各モードの動作	1672
20.4.7.1	PWM モード	1672
20.4.7.2	HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)	1683
20.4.7.3	EMU3 からのデータ転送について	1707
20.4.7.4	ESW 機能	1710
20.4.7.5	SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)	1713
20.4.7.6	120-DC モード	1724
20.4.7.7	HSP-PWM モード (High accuracy Shifted-pulse - Pulse Width Modulation モード)	1758
20.4.7.8	HSP-PWM モードのコンペア設定	1765
20.4.7.9	HSP-PWM モードのタイマ出力動作	1766
20.4.7.10	ソフトウェア出力制御機能	1776
第 21 章	タイマオプション (TAPA)	1777
21.1	RH850/C1M-A TAPA の特長	1777
21.1.1	ユニット数	1777
21.1.2	レジスタベースアドレス	1777
21.1.3	クロック供給	1777
21.1.4	割り込み要求	1778
21.1.5	リセット要因	1778
21.1.6	周辺構成図	1779
21.2	概要	1780
21.2.1	機能概要	1780
21.2.2	用語	1780
21.2.3	ブロック図	1781
21.3	レジスタ	1782

21.3.1	レジスタ一覧	1782
21.3.2	TAPAnCTL0 – TAPAn 制御レジスタ 0	1783
21.3.3	TAPAnCTL1 – TAPAn 制御レジスタ 1	1784
21.3.4	TAPAnFLG – TAPAn フラグレジスタ	1785
21.3.5	TAPAnACWE – TAPAn 非同期制御ライトイネーブルレジスタ	1786
21.3.6	TAPAnACTS – TAPAn 非同期制御スタートトリガレジスタ	1786
21.3.7	TAPAnACTT – TAPAn 非同期制御ストップトリガレジスタ	1787
21.3.8	TAPAnOPHS – TAPAn Hi-Z スタートトリガレジスタ	1787
21.3.9	TAPAnOPHT – TAPAn Hi-Z ストップトリガレジスタ	1788
21.4	機能	1789
21.4.1	非同期 Hi-Z 制御機能	1789
21.4.1.1	概要	1789
21.4.1.2	システム構成例	1790
21.4.1.3	基本動作	1791
21.4.1.4	ソフトウェアトリガによる非同期 Hi-Z 制御	1793
21.4.1.5	操作手順	1794
21.4.2	割り込み出力選択機能	1795
21.4.2.1	構成	1795
21.4.2.2	基本動作	1795
21.4.2.3	操作手順	1796
21.4.3	A/D コンバータ変換トリガ選択機能	1797
21.4.3.1	構成	1797
21.4.3.2	基本動作	1798
21.4.3.3	操作手順	1800
第 22 章 タイマパタンバッファ (TPBA)		1801
22.1	RH850/C1M-A TPBA の特長	1801
22.1.1	ユニット数	1801
22.1.2	レジスタベースアドレス	1801
22.1.3	クロック供給	1801
22.1.4	割り込み要求	1802
22.1.5	リセット要因	1802
22.1.6	外部入出力信号	1802
22.2	概要	1803
22.2.1	機能概要	1803
22.2.2	ブロック図	1804
22.3	レジスタ	1805
22.3.1	レジスタ一覧	1805
22.3.2	TPBAnCTL – TPBAn 制御レジスタ	1806
22.3.3	TPBAnRDM – TPBAn リロードデータモードレジスタ	1807
22.3.4	TPBAnRSF – TPBAn リロードステータスレジスタ	1808
22.3.5	TPBAnRDT – TPBAn リロードデータトリガレジスタ	1809
22.3.6	TPBAnTOE – TPBAn タイマ出力許可レジスタ	1809
22.3.7	TPBAnTO – TPBAn タイマ出力レジスタ	1810
22.3.8	TPBAnTOL – TPBAn タイマ出力レベルレジスタ	1811

22.3.9	TPBAnCMP0 – TPBAn 周期設定レジスタ	1812
22.3.10	TPBAnBUFm – TPBAn デューティ設定レジスタ	1813
22.3.11	TPBAnCMP1 – TPBAn パターン数設定レジスタ	1814
22.3.12	TPBAnCNT0 – TPBAn タイマカウンタレジスタ	1815
22.3.13	TPBAnCNT1 – TPBAn アドレスカウンタレジスタ	1815
22.3.14	TPBAnTE – TPBAn イネーブルステータスレジスタ	1816
22.3.15	TPBAnTS – TPBAn スタートトリガレジスタ	1816
22.3.16	TPBAnTT – TPBAn ストップトリガレジスタ	1817
22.4	機能	1818
22.4.1	基本動作	1818
22.4.1.1	16 ビットカウンタ (TPBAnCNT0) の基本動作	1818
22.4.1.2	7 ビットカウンタ (TPBAnCNT1) の基本動作	1818
22.4.2	コンペアレジスタの書き換え操作	1819
22.4.3	デューティの書き換え操作	1822
22.4.3.1	TPBAnBUFm レジスタの設定フロー	1822
22.4.3.2	TPBAnBUFm レジスタのアクセス	1823
22.4.3.3	TPBAnCNT1 レジスタのリード値と TPBAnBUFm の関係	1824
22.4.4	基本動作例	1825
22.4.4.1	動作一覧	1825
第 23 章	エンコーダタイマ (ENCA)	1829
23.1	RH850/C1M-A ENCA の特長	1829
23.1.1	ユニット数	1829
23.1.2	レジスタベースアドレス	1829
23.1.3	クロック供給	1829
23.1.4	割り込みと DMA / DTS	1830
23.1.5	リセット要因	1830
23.1.6	外部入出力信号	1831
23.2	概要	1832
23.2.1	機能概要	1832
23.2.2	ブロック図	1833
23.3	レジスタ	1834
23.3.1	レジスタ一覧	1834
23.3.2	ENCAAnCTL – ENCAAn 制御レジスタ	1835
23.3.3	ENCAAnIOC0 – ENCAAn I/O 制御レジスタ 0	1837
23.3.4	ENCAAnIOC1 – ENCAAn I/O 制御レジスタ 1	1838
23.3.5	ENCAAnFLG – ENCAAn ステータスフラグレジスタ	1840
23.3.6	ENCAAnFGC – ENCAAn ステータスフラグクリアレジスタ	1841
23.3.7	ENCAAnCCR0 – ENCAAn キャプチャ/コンペアレジスタ 0	1842
23.3.8	ENCAAnCCR1 – ENCAAn キャプチャ/コンペアレジスタ 1	1843
23.3.9	ENCAAnCNT – ENCAAn カウンタレジスタ	1844
23.3.10	ENCAAnTE – ENCAAn タイマイネーブルステータスレジスタ	1845
23.3.11	ENCAAnTS – ENCAAn タイマスタートトリガレジスタ	1845
23.3.12	ENCAAnTT – ENCAAn タイマストップトリガレジスタ	1846

23.4	機能	1847
23.4.1	タイマカウンタの動作	1847
23.4.2	タイマカウンタのアップ/ダウン制御	1849
23.4.2.1	ENCAnCTL レジスタの ENCAnUDS1、ENCAnUDS0 ビット = 00 _B の場合	1849
23.4.2.2	ENCAnCTL レジスタの ENCAnUDS1、ENCAnUDS0 ビット = 01 _B の場合	1850
23.4.2.3	ENCAnCTL レジスタの ENCAnUDS1、ENCAnUDS0 ビット = 10 _B の場合	1851
23.4.2.4	ENCAnCTL レジスタの ENCAnUDS1、ENCAnUDS0 ビット = 11 _B の場合	1852
23.4.3	エンコーダ入力によるタイマカウンタクリア制御	1853
23.4.3.1	ENCAnSCE = 0 のときのクリア方法	1853
23.4.3.2	ENCAnSCE = 1 のときのクリア方法	1853
23.4.4	ENCAnCCR0 の機能	1855
23.4.4.1	コンペア機能	1855
23.4.4.2	キャプチャ機能	1855
23.4.5	ENCAnCCR1 の機能	1856
23.4.5.1	コンペア機能	1856
23.4.5.2	キャプチャ機能	1857
23.4.5.3	コンペアレジスタが一致したときのタイマカウンタのクリア	1858
23.4.6	タイマカウンタの起動/停止	1859
23.4.6.1	タイマの起動	1859
23.4.6.2	タイマの停止	1859
23.4.6.3	ENCAn を 2 ユニット使用時の接続例	1860
23.5	手順	1861
23.5.1	ENCAn の設定手順	1861
23.5.1.1	カウンタの初期設定手順	1861
23.5.1.2	カウンタクリアのための初期設定手順	1862
23.5.1.3	ENCAnCCR0 レジスタの設定手順	1862
23.5.1.4	ENCAnCCR1 レジスタの設定手順	1863
23.6	エンコーダ動作図	1864
23.6.1	エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①)	1864
23.6.2	エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②)	1865
23.6.3	エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③)	1866
23.6.4	エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード)	1867
23.6.5	エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード)	1868
23.6.6	オーバフローの発生とオーバフローフラグクリア操作	1869
23.6.7	アンダフローの発生とアンダフローフラグクリア操作	1870
23.6.8	エンコーダクリア入力 (ENCAnEC 端子) によるカウントクリアとキャプチャ動作	1871
23.6.9	オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合	1872
23.6.10	アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合	1873
23.6.11	開始直後のオーバフロー動作	1874
23.6.12	開始直後のアンダフロー動作	1875
23.6.13	開始直後の ENCAnLDE 機能の利用	1876
23.6.14	ENCAnLDE 機能 (カウント値のロード)	1877
23.6.15	ENCAnLDE 機能 (カウンタ値のロード) と ENCAnCCR0 レジスタの書き換えとの競合	1879

23.6.16	ENCAnLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合	1880
23.6.17	ENCAnLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント	1882
23.6.18	カウントクロック間のキャプチャ動作 (ENCAnCCR1)	1883
23.6.19	カウントクロック間のキャプチャ動作 (ENCAnCCR0)	1884
23.6.20	コンペアー一致クリア制御有効かつ ENCAnCTS = 0 のときのエンコーダの動作	1885
23.6.21	コンペアー一致クリア制御有効かつ ENCAnCTS = 1 のときのエンコーダの動作	1886
23.6.22	コンペアー一致クリア制御無効時のエンコーダの動作	1887
23.6.23	ENCAnSCE = 1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアの タイミングで行われるキャプチャ動作	1888
23.6.23.1	付随するキャプチャ動作	1888
23.6.23.2	アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力の タイミングより遅かった場合	1889
23.6.23.3	アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力の タイミングと同じだった場合	1890
23.6.23.4	アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力の タイミングより早かった場合	1890
23.6.23.5	ダウンカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力の タイミングより遅かった場合	1891
23.6.24	ENCAnSCE = 0 のときに ENCAnEC によるクリアのタイミングで行われる キャプチャ動作	1892

第 24 章 ペリフェラルインタコネクション (PIC) 1893

24.1	RH850/C1M-A PIC の特長	1893
24.1.1	ユニット数	1893
24.1.2	レジスタベースアドレス	1893
24.1.3	クロック供給	1894
24.1.4	リセット要因	1894
24.1.5	外部入出力信号	1894
24.2	ペリフェラルインタコネクション 1 (PIC1B) 1895	1895
24.2.1	概要	1895
24.2.1.1	機能概要	1895
24.2.2	レジスタ	1897
24.2.2.1	レジスタ一覧	1897
24.2.2.2	PIC1BSST0 – 同時スタートトリガ制御レジスタ 0	1900
24.2.2.3	PIC1BSST1 – 同時スタートトリガ制御レジスタ 1 ^{注 1}	1901
24.2.2.4	PIC1BSSTSGSEL0 – TSG3 同時スタートトリガ選択レジスタ 0	1902
24.2.2.5	PIC1BSSTSGSEL1 – TSG3 同時スタートトリガ選択レジスタ 1 ^{注 1}	1903
24.2.2.6	PIC1BSSTOUTENk – 同時スタートトリガ出力制御レジスタ k ^{注 1}	1904
24.2.2.7	PIC1BSSErk0 – 同時スタート制御レジスタ k0	1905
24.2.2.8	PIC1BSSErk1 – 同時スタート制御レジスタ k1	1906
24.2.2.9	PIC1BSSEr02 – 同時スタート制御レジスタ 02	1907
24.2.2.10	PIC1BSSEr12 – 同時スタート制御レジスタ 12 ^{注 1}	1909
24.2.2.11	PIC1BSSEr03 – 同時スタート制御レジスタ 03	1910
24.2.2.12	PIC1BSSEr13 – 同時スタート制御レジスタ 13 ^{注 1}	1911
24.2.2.13	PIC1BINIn0 – RS フリップフロップ回路初期化レジスタ n0 ^{注 1}	1912
24.2.2.14	PIC1BINIn1 – DT 初期化レジスタ n1	1913

24.2.2.15	PIC1BLHSEL0 – TSG30 出力のロウレベル/ハイレベル出力選択レジスタ	1913
24.2.2.16	PIC1BTSGOUTCTR0 – TSG30 出力制御レジスタ	1914
24.2.2.17	PIC1BLHSEL1 – TSG31 出力のロウレベル/ハイレベル出力選択レジスタ	1915
24.2.2.18	PIC1BTSGOUTCTR1 – TSG31 出力制御レジスタ	1916
24.2.2.19	PIC1BLHSEL2 – TSG32 出力のロウレベル/ハイレベル出力選択レジスタ ^{注 1}	1917
24.2.2.20	PIC1BTSGOUTCTR2 – TSG32 出力制御レジスタ ^{注 1}	1918
24.2.2.21	PIC1BTSGHALLSEL – ホールセンサ入力選択レジスタ	1919
24.2.2.22	PIC1BTAUD0SEL – TAUD0 入力選択レジスタ	1920
24.2.2.23	PIC1BTAUD1SEL – TAUD1 入力選択レジスタ	1921
24.2.2.24	PIC1BTAUD2SEL – TAUD2 入力選択レジスタ ^{注 1}	1922
24.2.2.25	PIC1BTAUD3SEL – TAUD3 入力選択レジスタ ^{注 1}	1923
24.2.2.26	PIC1BHIZCEN00 – Hi-Z 制御レジスタ 00	1924
24.2.2.27	PIC1BHIZCEN01 – Hi-Z 制御レジスタ 01	1925
24.2.2.28	PIC1BHIZCEN02 – Hi-Z 制御レジスタ 02	1926
24.2.2.29	PIC1BHIZCEN03 – Hi-Z 制御レジスタ 03	1927
24.2.2.30	PIC1BHIZCEN10 – Hi-Z 制御レジスタ 10 ^{注 1}	1928
24.2.2.31	PIC1BHIZCEN12 – Hi-Z 制御レジスタ 12 ^{注 1}	1929
24.2.2.32	PIC1BENCSEL400 – ENCATIN1 入力選択レジスタ 400	1930
24.2.2.33	PIC1BENCSEL410 – ENCATIN1 入力選択レジスタ 410	1931
24.2.2.34	PIC1BREG200 – タイマ入出力制御レジスタ 200	1932
24.2.2.35	PIC1BREG210 – タイマ入出力制御レジスタ 210	1934
24.2.2.36	PIC1BREG220 – タイマ入出力制御レジスタ 220 ^{注 1}	1936
24.2.2.37	PIC1BREG230 – タイマ入出力制御レジスタ 230 ^{注 1}	1938
24.2.2.38	PIC1BREG2n1 – タイマ入出力制御レジスタ 2n1 ^{注 1}	1939
24.2.2.39	PIC1BREG2n2 – タイマ入出力制御レジスタ 2n2 ^{注 1}	1941
24.2.2.40	PIC1BREG2n3 – タイマ入出力制御レジスタ 2n3 ^{注 1}	1943
24.2.2.41	PIC1BREG30 – タイマ入出力制御レジスタ 30	1946
24.2.2.42	PIC1BREG31 – タイマ入出力制御レジスタ 31	1948
24.2.2.43	PIC1BREG50 – タイマ入出力制御レジスタ 50	1950
24.2.2.44	PIC1BREG51 – タイマ入出力制御レジスタ 51	1951
24.2.3	機能	1952
24.2.3.1	同時スタートトリガ機能	1952
24.2.3.2	TSG 同時スタート機能 (外部トリガ)	1958
24.2.3.3	デッドタイム付き PWM 出力機能	1960
24.2.3.4	デッドタイム付き高精度三角波 PWM 出力機能	1969
24.2.3.5	デッドタイム付きディレイパルス出力機能	1982
24.2.3.6	トリガ&パルス間隔測定機能	1988
24.2.3.7	エンコーダキャプチャトリガ選択機能	1995
24.2.3.8	2 相エンコーダ制御機能 (制御方式 1)	2002
24.2.3.9	2 相エンコーダ制御機能 (制御方式 2)	2008
24.2.3.10	2 相エンコーダ制御機能 (制御方式 3)	2014
24.2.3.11	3 相パルス入力制御機能	2021
24.2.3.12	3 相エンコーダ制御機能	2030
24.2.3.13	ENCA 入力選択機能	2034
24.2.3.14	TAUD 入力選択機能	2040
24.2.3.15	TSG 出力とロウレベル/ハイレベル出力切り替え機能	2043
24.2.3.16	Hi-Z 制御機能	2047
24.3	ペリフェラルインタコネクション 2 (PIC2D)	2049
24.3.1	概要	2049
24.3.1.1	機能概要	2049
24.3.2	レジスタ	2049
24.3.2.1	レジスタ一覧	2049
24.3.2.2	PIC2DADCCnTSELx – A/D コンバータ n トリガ選択制御レジスタ x	2051
24.3.2.3	PIC2DADCCnEDGSEL – A/D コンバータ n トリガエッジ選択制御レジスタ	2054

24.3.2.4	PIC2DADTEN4nx – A/D コンバータトリガ出力制御レジスタ ^{注1}	2055
24.3.3	機能	2056
24.3.3.1	ADCC トリガ選択機能	2056
24.3.3.2	TAUD トリガ出力機能	2061
第 25 章	エンハンスドモータコントロールユニット (EMU3)	2063
25.1	RH850/C1M-A の EMU3 の特長	2063
25.1.1	ユニット数	2063
25.1.1.1	EMU3 のサブユニット数	2063
25.1.2	レジスタベースアドレス	2064
25.1.3	クロック供給	2064
25.1.4	割り込み要求	2065
25.1.5	リセット要因	2065
25.2	概要	2066
25.2.1	機能概要	2066
25.2.1.1	SubCPU	2066
25.2.1.2	H/W アクセラレータ	2067
25.2.2	ブロック図	2068
25.3	レジスタ	2069
25.3.1	レジスタ一覧	2069
25.3.2	レジスタ詳細	2084
25.3.2.1	EMU3n プロテクトレジスタ (EMU3nPRT)	2084
25.3.2.2	EMU3n 制御レジスタ (EMU3nCTR)	2085
25.3.2.3	EMU3n レジスタ値反映制御レジスタ (EMU3nREFCTR)	2086
25.3.2.4	EMU3n IP 起動トリガ要因選択レジスタ (EMU3nIPTRG)	2087
25.3.2.5	EMU3n IP ソフトウェア起動レジスタ (EMU3nIPSFT)	2088
25.3.2.6	EMU3n A/D 変換完了タイミング選択レジスタ (EMU3nADEND)	2089
25.3.2.7	EMU3n A/D 変換開始トリガ要因選択レジスタ (EMU3nADTRG)	2090
25.3.2.8	EMU3n A/D 変換開始トリガ要因判別レジスタ (EMU3nADMON)	2093
25.3.2.9	EMU3n A/D 変換開始トリガ要因判別クリアレジスタ (EMU3nADMONC)	2096
25.3.2.10	EMU3n データ遅延カウンタ設定レジスタ (EMU3nDDCNT)	2098
25.3.2.11	EMU3n 割り込み要因選択 k レジスタ (EMU3nINTk) (k = 0~7)	2099
25.3.2.12	EMU3n 割り込み要因判別レジスタ (EMU3nINTSD)	2102
25.3.2.13	EMU3n 割り込み要因判別クリアレジスタ (EMU3nINTSDC)	2105
25.3.2.14	EMU3n オーバフロー検出結果レジスタ (EMU3nOFMON)	2107
25.3.2.15	EMU3n ゼロ除算検出結果レジスタ (EMU3nZDMON)	2108
25.3.2.16	EMU3n オーバフロー検出結果クリアレジスタ (EMU3nOFMONC)	2108
25.3.2.17	EMU3n ゼロ除算検出結果クリアレジスタ (EMU3nZDMONC)	2109
25.3.2.18	EMU3n パルス周期計測タイマ制御レジスタ (EMU3nPMTCTR)	2110
25.3.2.19	EMU3n パルス周期計測タイマカウンタレジスタ (EMU3nPMTCNT)	2111
25.3.2.20	EMU3n パルス周期計測タイマキャプチャレジスタ (EMU3nPMTCAP)	2112
25.3.2.21	EMU3n パルス周期計測タイマオーバーフローレジスタ (EMU3nPMTOF)	2113
25.3.2.22	EMU3n レゾルバ角度計測タイマ制御レジスタ (EMU3nPMT2CTR)	2114
25.3.2.23	EMU3n レゾルバ角度計測タイマソフトトリガレジスタ (EMU3nPMT2SFT)	2114
25.3.2.24	EMU3n レゾルバ角度計測タイマカウンタレジスタ (EMU3nPMT2CNT)	2115
25.3.2.25	EMU3n レゾルバ角度計測タイマキャプチャレジスタ (EMU3nPMT2CAP)	2116
25.3.2.26	EMU3n レゾルバ角度計測タイマキャプチャ間隔設定レジスタ (EMU3nPMT2INVL)	2117
25.3.2.27	EMU3n A/D 変換開始ソフトトリガレジスタ (EMU3nADSFTTRG)	2118
25.3.2.28	EMU3n H/W 演算ブロック IDLE 時起動指定 A0 レジスタ (EMU3nFUNCIDLEGRPA0)	2119

25.3.2.29	EMU3n H/W 演算ブロック IDLE 時起動指定 A1 レジスタ (EMU3nFUNCIDLEGRPA1)	2120
25.3.2.30	EMU3n H/W 演算ブロック IDLE 時起動指定 A2 レジスタ (EMU3nFUNCIDLEGRPA2)	2121
25.3.2.31	EMU3n H/W 演算ブロック完了判別 A レジスタ (EMU3nFUNCINGRPA).....	2123
25.3.2.32	EMU3n H/W 演算ブロック IDLE 時起動指定 B レジスタ (EMU3nFUNCIDLEGRP)	2125
25.3.2.33	EMU3n H/W 演算ブロック完了判別 B レジスタ (EMU3nFUNCINGRP).....	2126
25.3.2.34	EMU3n H/W 演算ブロック WAIT 時起動指定 A レジスタ (EMU3nFUNCWAITGRPA)	2127
25.3.2.35	EMU3n H/W 演算ブロック WAIT 時起動指定 B レジスタ (EMU3nFUNCWAITGRP)	2129
25.3.2.36	EMU3n 機能 IP 状態判別 A レジスタ (EMU3nFSMSTGRPA).....	2130
25.3.2.37	EMU3n 機能 IP 状態判別 B レジスタ (EMU3nFSMSTGRP).....	2131
25.3.2.38	EMU3n H/W 演算ブロック完了後遷移制御 A0 レジスタ (EMU3nFUNCFLGRPA0)	2132
25.3.2.39	EMU3n H/W 演算ブロック完了後遷移制御 A1 レジスタ (EMU3nFUNCFLGRPA1)	2133
25.3.2.40	EMU3n H/W 演算ブロック完了後遷移制御 A2 レジスタ (EMU3nFUNCFLGRPA2)	2134
25.3.2.41	EMU3n H/W 演算ブロック完了後遷移制御 B レジスタ (EMU3nFUNCFLGRP)	2135
25.3.2.42	EMU3n 角度生成 IP 制御レジスタ (EMU3nANGCTR).....	2136
25.3.2.43	EMU3n コンペア判定補正 0 レジスタ (EMU3nCPJUD0).....	2136
25.3.2.44	EMU3n コンペア判定補正 1 レジスタ (EMU3nCPJUD1).....	2137
25.3.2.45	EMU3n レゾルバ角ソフト入力レジスタ (EMU3nRESTHSFT).....	2137
25.3.2.46	EMU3n レゾルバ角オフセット値レジスタ (EMU3nANGOFS)	2138
25.3.2.47	EMU3n 電気角生成用係数レジスタ (EMU3nPXR).....	2138
25.3.2.48	EMU3n レゾルバ角レジスタ (EMU3nRESTHETA).....	2139
25.3.2.49	EMU3n 電気角レジスタ (EMU3nTHTEFIX)	2139
25.3.2.50	EMU3n レゾルバ角極数設定レジスタ (EMU3nRESRLD).....	2140
25.3.2.51	EMU3n レゾルバ角周期カウント値レジスタ (EMU3nRESCNT).....	2140
25.3.2.52	EMU3n 誤差重畳後レゾルバ角レジスタ (EMU3nTHTRESFIX).....	2141
25.3.2.53	EMU3n 入力 IP 制御レジスタ (EMU3nCTRINMD).....	2142
25.3.2.54	EMU3n レゾルバ角モニタレジスタ (EMU3nTHTRESFIXIN) EMU3n 電気角保持レジスタ (EMU3nTHTE) EMU3n 入力 IP 用電気角ソフト入力レジスタ (EMU3nTHTESFT) EMU3n 電気角応答遅れ補正変数レジスタ (EMU3nEARD) EMU3n 電気角入力バッファレジスタ (EMU3nTHTEIBUF) EMU3n 入力 IP 補正後電気角レジスタ (EMU3nTHTESEL).....	2143
25.3.2.55	EMU3n A/D データ k レジスタ (EMU3nADk) (k = 0, 1, 2).....	2144
25.3.2.56	EMU3n A/D データ k 入力バッファレジスタ (EMU3nADkIBUF) (k = 0, 1, 2).....	2145
25.3.2.57	EMU3n A/D データ k 変換値レジスタ (EMU3nADkFIX) (k = 0, 1, 2).....	2145
25.3.2.58	EMU3n A/D データ k 原点補正值レジスタ (EMU3nADkOFS) (k = 0, 1, 2).....	2146
25.3.2.59	EMU3n dq 軸電流変換係数レジスタ (EMU3nSR2).....	2147
25.3.2.60	EMU3n LSB 調整レジスタ (EMU3nDIVLSB)	2148
25.3.2.61	EMU3n U 相電流値レジスタ (EMU3nIUFIX) EMU3n V 相電流値レジスタ (EMU3nIVFIX) EMU3n W 相電流値レジスタ (EMU3nIWFIX) EMU3n d 軸電流値レジスタ (EMU3nIDFIX) EMU3n q 軸電流値レジスタ (EMU3nIQFIX)	2149
25.3.2.62	EMU3n U 相電流値出力バッファレジスタ (EMU3nIUFIXOBUF) EMU3n V 相電流値出力バッファレジスタ (EMU3nIVFIXOBUF) EMU3n W 相電流値出力バッファレジスタ (EMU3nIWFIXOBUF) EMU3n d 軸電流値出力バッファレジスタ (EMU3nIDFIXOBUF)	

	EMU3n q 軸電流値出力バッファレジスタ (EMU3nIQFIXOBUF).....	2150
25.3.2.63	EMU3n キルヒホッフ電流則判定閾値レジスタ (EMU3nKCLJUD).....	2151
25.3.2.64	EMU3n A/D データ入力バッファ選択レジスタ (EMU3nADBUFSEL).....	2152
25.3.2.65	EMU3n A/D データ k 変換値出力バッファレジスタ (EMU3nADkFIXOBUF) (k = 0, 1, 2).....	2153
25.3.2.66	EMU3n PI 制御 IP 制御レジスタ (EMU3nPICTR).....	2154
25.3.2.67	EMU3n d 軸電流指令値レジスタ (EMU3nIDIN) EMU3n q 軸電流指令値レジスタ (EMU3nIQIN) EMU3n d 軸電流値ソフト入力レジスタ (EMU3nID) EMU3n q 軸電流値ソフト入力レジスタ (EMU3nIQ) EMU3n d 軸積分値ソフト入力レジスタ (EMU3nSUMID) EMU3n q 軸積分値ソフト入力レジスタ (EMU3nSUMIQ) EMU3n d 軸積分値モニタレジスタ (EMU3nSUMIDM) EMU3n q 軸積分値モニタレジスタ (EMU3nSUMIQM) EMU3n d 軸電圧値レジスタ (EMU3nVD) EMU3n q 軸電圧値レジスタ (EMU3nVQ) EMU3n d 軸電圧値出力バッファレジスタ (EMU3nVDOBUF) EMU3n q 軸電圧値出力バッファレジスタ (EMU3nVQOBUF).....	2155
25.3.2.68	EMU3n d 軸比例ゲイン 0 レジスタ (EMU3nGPD0) EMU3n q 軸比例ゲイン 0 レジスタ (EMU3nGPQ0) EMU3n d 軸比例ゲインレジスタ (EMU3nGPD) EMU3n q 軸比例ゲインレジスタ (EMU3nGPQ) EMU3n d 軸積分ゲインレジスタ (EMU3nGID) EMU3n q 軸積分ゲインレジスタ (EMU3nGIQ).....	2157
25.3.2.69	EMU3n d 軸積分最大値レジスタ (EMU3nGIDMAX) EMU3n q 軸積分最大値レジスタ (EMU3nGIQMAX) EMU3n d 軸電圧最大値レジスタ (EMU3nVDMAX) EMU3n q 軸電圧最大値レジスタ (EMU3nVQMAX).....	2158
25.3.2.70	EMU3n PWM IP 制御レジスタ (EMU3nPWMCTR).....	2159
25.3.2.71	EMU3n PWM データソフト転送レジスタ (EMU3nPWMMDT).....	2161
25.3.2.72	EMU3n d 軸電圧補正值レジスタ (EMU3nVDCRCT) EMU3n q 軸電圧補正值レジスタ (EMU3nVQCRCT).....	2162
25.3.2.73	EMU3n 角速度値レジスタ (EMU3nVEL) EMU3n 角速度値ソフト入力レジスタ (EMU3nVELSFT).....	2163
25.3.2.74	EMU3n 非干渉化制御係数角速度値ゲインレジスタ (EMU3nDECVELG) EMU3n 非干渉化制御係数磁束値レジスタ (EMU3nDECFLUX) EMU3n 非干渉化制御係数 Ld 値レジスタ (EMU3nDECLD) EMU3n 非干渉化制御係数 Lq 値レジスタ (EMU3nDECLQ).....	2164
25.3.2.75	EMU3n 非干渉化制御 d 軸最大値レジスタ (EMU3nVD2MAX).....	2165
25.3.2.76	EMU3n 非干渉化制御 q 軸最大値レジスタ (EMU3nVQ2MAX).....	2166
25.3.2.77	EMU3n PWM IP 用電気角オフセットレジスタ (EMU3nPHI).....	2166
25.3.2.78	EMU3n PWM IP 用電気角調整用係数レジスタ (EMU3nGTHT).....	2167
25.3.2.79	EMU3n PWM IP 用電気角ソフト入力レジスタ (EMU3nTHTFORESFT).....	2167
25.3.2.80	EMU3n PWM IP 補正後電気角レジスタ (EMU3nTHTEPWM).....	2168
25.3.2.81	EMU3n dq 軸電圧位相角ソフト入力レジスタ (EMU3nTHTVSFT).....	2168
25.3.2.82	EMU3n dq 軸電圧値ソフト入力レジスタ (EMU3nVDQSFT).....	2169
25.3.2.83	EMU3n 三相電圧変換係数レジスタ (EMU3nSR23).....	2170
25.3.2.84	EMU3n 三相電圧変換後 U 相電圧値レジスタ (EMU3nVU) EMU3n 三相電圧変換後 V 相電圧値レジスタ (EMU3nVV) EMU3n 三相電圧変換後 W 相電圧値レジスタ (EMU3nVW) EMU3n PWM 変調後 U 相電圧値レジスタ (EMU3nVU0) EMU3n PWM 変調後 V 相電圧値レジスタ (EMU3nVV0) EMU3n PWM 変調後 W 相電圧値レジスタ (EMU3nVW0) EMU3n デューティ比算出後 U 相電圧値レジスタ (EMU3nVU1) EMU3n デューティ比算出後 V 相電圧値レジスタ (EMU3nVV1)	

EMU3n デューティ比算出後 W 相電圧値レジスタ (EMU3nVW1)	
EMU3n オフセット加算後 U 相電圧値レジスタ (EMU3nVU2)	
EMU3n オフセット加算後 V 相電圧値レジスタ (EMU3nVV2)	
EMU3n オフセット加算後 W 相電圧値レジスタ (EMU3nVW2)	
EMU3n 補正後 d 軸電圧値レジスタ (EMU3nVD2)	
EMU3n 補正後 q 軸電圧値レジスタ (EMU3nVQ2)	
EMU3n リミット処理後 U 相電圧値レジスタ (EMU3nVUFIX)	
EMU3n リミット処理後 V 相電圧値レジスタ (EMU3nVVFIX)	
EMU3n リミット処理後 W 相電圧値レジスタ (EMU3nVWFIX)	
EMU3n U 相 PWM 値レジスタ (EMU3nPWMU0)	
EMU3n V 相 PWM 値レジスタ (EMU3nPWMV0)	
EMU3n W 相 PWM 値レジスタ (EMU3nPWMW0)	
EMU3n PWM 変調用波高値レジスタ (EMU3nTMAX)	
EMU3n デューティ比上限値レジスタ (EMU3nDTUL)	
EMU3n デューティ比下限値レジスタ (EMU3nDTLL)	2171
25.3.2.85 EMU3n 桁数あわせ 1 レジスタ (EMU3nPWMK1)	2173
25.3.2.86 EMU3n 入力電圧レジスタ (EMU3nVOLV)	2174
25.3.2.87 EMU3n U 相電圧補正值レジスタ (EMU3nVUOFS)	2174
25.3.2.88 EMU3n V 相電圧補正值レジスタ (EMU3nVVOFS)	2175
25.3.2.89 EMU3n W 相電圧補正值レジスタ (EMU3nVWOFS)	2175
25.3.2.90 EMU3n 桁数あわせ 2 レジスタ (EMU3nPWMK2)	2176
25.3.2.91 EMU3n 短絡防止時間設定レジスタ (EMU3nDTT)	2176
25.3.2.92 EMU3n キャリア周期レジスタ (EMU3nCARR)	2177
25.3.2.93 EMU3n キャリア周期バッファレジスタ (EMU3nCARRBUF)	2177
25.3.2.94 EMU3n デッドタイム補償閾値レジスタ (EMU3nDTOTH)	2178
25.3.2.95 EMU3n デッドタイム補償正電流時加算値レジスタ (EMU3nDTOPV)	2178
25.3.2.96 EMU3n デッドタイム補償負電流時加算値レジスタ (EMU3nDTONV)	2179
25.3.2.97 EMU3n デッドタイム補償後 U 相 PWM 値レジスタ (EMU3nPWMUDT)	
EMU3n デッドタイム補償後 V 相 PWM 値レジスタ (EMU3nPWMVDT)	
EMU3n デッドタイム補償後 W 相 PWM 値レジスタ (EMU3nPWMWDT)	2180
25.3.2.98 EMU3n PWM 上限値レジスタ (EMU3nPWMUL)	2181
25.3.2.99 EMU3n PWM 下限値レジスタ (EMU3nPWMML)	2181
25.3.2.100 EMU3n U 相 PWM コンペア値レジスタ (EMU3nPWMUIP)	
EMU3n V 相 PWM コンペア値レジスタ (EMU3nPWMVIP)	
EMU3n W 相 PWM コンペア値レジスタ (EMU3nPWMWIP)	2182
25.3.2.101 EMU3n U 相 PWM コンペア値ソフト入力レジスタ (EMU3nPWMU)	
EMU3n V 相 PWM コンペア値ソフト入力レジスタ (EMU3nPWMV)	
EMU3n W 相 PWM コンペア値ソフト入力レジスタ (EMU3nPWMW)	2182
25.3.2.102 EMU3n 矩形 IP 制御レジスタ (EMU3nRECCTR)	2183
25.3.2.103 EMU3n 矩形出力ソフト制御用パターンレジスタ (EMU3nPTNN)	2184
25.3.2.104 EMU3n 矩形出力パターン AB レジスタ (EMU3nPTNAB)	2185
25.3.2.105 EMU3n 矩形出力パターン CD レジスタ (EMU3nPTNCD)	2186
25.3.2.106 EMU3n 矩形出力パターン EF レジスタ (EMU3nPTNEF)	2187
25.3.2.107 EMU3n 角度コンペア 0 用比較値ソフト入力レジスタ (EMU3nCMP0)	2188
25.3.2.108 EMU3n 角度コンペア 1 用比較値ソフト入力レジスタ (EMU3nCMP1)	2188
25.3.2.109 EMU3n q 軸基準電圧位相ソフト入力レジスタ (EMU3nPHQSFT)	2189
25.3.2.110 EMU3n スイッチング指令ソフト入力レジスタ (EMU3nPSWSFT)	2189
25.3.2.111 EMU3n スイッチング指令レジスタ (EMU3nPSW)	2190
25.3.2.112 EMU3n 角度コンペア 0 用比較値 IP 出力レジスタ (EMU3nIPCMP0)	2190
25.3.2.113 EMU3n 独立矩形 IP1 制御レジスタ (EMU3nIRECCTR)	2191
25.3.2.114 EMU3n 独立矩形 IP1 出力パターン更新レジスタ (EMU3nIRPTN)	2192
25.3.2.115 EMU3n 独立矩形 IP1 フラグセレクト信号初期化レジスタ (EMU3nIRCTRST)	2193
25.3.2.116 EMU3n 独立矩形 IP1 U 相角度コンペア 0 一致検出用比較値 / パターン設定 0 レジスタ (EMU3nIRUCPPN0)	

EMU3n 独立矩形 IP1 U 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ (EMU3nIRUCPPN1)	
EMU3n 独立矩形 IP1 U 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ (EMU3nIRUCPPN2)	
EMU3n 独立矩形 IP1 V 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ (EMU3nIRVCPPN0)	
EMU3n 独立矩形 IP1 V 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ (EMU3nIRVCPPN1)	
EMU3n 独立矩形 IP1 V 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ (EMU3nIRVCPPN2)	
EMU3n 独立矩形 IP1 W 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ (EMU3nIRWCPPN0)	
EMU3n 独立矩形 IP1 W 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ (EMU3nIRWCPPN1)	
EMU3n 独立矩形 IP1 W 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ (EMU3nIRWCPPN2)	2194
25.3.2.117 EMU3n 独立矩形 IP1 フラグモニタレジスタ (EMU3nIRFLGM)	2196
25.3.2.118 EMU3n 独立矩形 IP1 セレクト信号モニタレジスタ (EMU3nIRSELM)	2197
25.3.2.119 EMU3n 独立矩形 IP2 制御レジスタ (EMU3nNRECCTR)	2198
25.3.2.120 EMU3n 独立矩形 IP2 三相共通角度補正值レジスタ (EMU3nNRECDFSALL)	2198
25.3.2.121 EMU3n 独立矩形 IP2 U 相角度補正值レジスタ (EMU3nNRECDFSU)	
EMU3n 独立矩形 IP2 V 相角度補正值レジスタ (EMU3nNRECDFSU)	
EMU3n 独立矩形 IP2 W 相角度補正值レジスタ (EMU3nNRECDFSU)	2199
25.3.2.122 EMU3n 独立矩形 IP2 U 相コンペア制御 k レジスタ (EMU3nNRECUk)	
(k = 0~7)	2200
25.3.2.123 EMU3n 独立矩形 IP2 V 相コンペア制御 k レジスタ (EMU3nNRECVk)	
(k = 0~7)	2201
25.3.2.124 EMU3n 独立矩形 IP2 W 相コンペア制御 k レジスタ (EMU3nNRECWk)	
(k = 0~7)	2202
25.3.2.125 EMU3n IIR フィルタチャンネル k 制御レジスタ (EMU3nIIRCTRk) (k = 0~2)	2204
25.3.2.126 EMU3n IIR フィルタ初期化レジスタ (EMU3nIIRINIT)	2205
25.3.2.127 EMU3n IIR フィルタソフトウェア起動レジスタ (EMU3nIIRSFT)	2206
25.3.2.128 EMU3n IIR フィルタ係数シフト量リロードレジスタ (EMU3nIIRRLD)	2207
25.3.2.129 EMU3n IIR フィルタ完了フラグレジスタ (EMU3nIIRSTAT)	2208
25.3.2.130 EMU3n IIR フィルタ完了フラグクリアレジスタ (EMU3nIIRSTATC)	2209
25.3.2.131 EMU3n IIR フィルタ係数 k 指定レジスタ (EMU3nIIRCOEFFk) (k = 0~5)	2210
25.3.2.132 EMU3n IIR フィルタシフト量指定レジスタ (EMU3nIIRSHIFT)	2211
25.3.2.133 EMU3n IIR フィルタチャンネル k 係数 m モニタレジスタ	
(EMU3nIIRCOEFFMk) (m = 0~5) (k = 0~2)	2212
25.3.2.134 EMU3n IIR フィルタチャンネル k シフト量モニタレジスタ	
(EMU3nIIRSHIFTMk) (k = 0~2)	2213
25.3.2.135 EMU3n IIR フィルタチャンネル k データソフト入力レジスタ	
(EMU3nIIRSFTDATk) (k = 0~2)	2214
25.3.2.136 EMU3n IIR フィルタチャンネル k 遅延 1 データレジスタ	
(EMU3nIIRZn1DATk) (k = 0~2)	2215
25.3.2.137 EMU3n IIR フィルタチャンネル k 遅延 2 データレジスタ	
(EMU3nIIRZn2DATk) (k = 0~2)	2216
25.3.2.138 EMU3n IIR フィルタチャンネル k 出力データレジスタ	
(EMU3nIIROUTDATk) (k = 0~2)	2217
25.3.2.139 EMU3n 検算用バッファ制御レジスタ (EMU3nCBCTR0)	2218
25.3.2.140 EMU3n 検算用バッファタイミング選択レジスタ (EMU3nCBTIM)	2220
25.3.2.141 EMU3n A/D データ k 検算用バッファレジスタ (EMU3nCBADk) (k = 0, 1, 2)	2221
25.3.2.142 EMU3n レゾルバ角検算用バッファレジスタ (EMU3nCBHTRESFIXIN)	2221
25.3.2.143 EMU3n d 軸電流値検算用バッファレジスタ (EMU3nCBIDFIX)	2222
25.3.2.144 EMU3n q 軸電流値検算用バッファレジスタ (EMU3nCBIQFIX)	2222

25.3.2.145	EMU3n U 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMUIP)	2223
25.3.2.146	EMU3n V 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMVIP)	2224
25.3.2.147	EMU3n W 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMWIP)	2225
25.3.2.148	EMU3n 矩形パタン値検算用バッファレジスタ (EMU3nCBBREC)	2226
25.3.2.149	EMU3n 独立矩形 IP1 パタン値検算用バッファレジスタ (EMU3nCBIREC)	2226
25.3.2.150	EMU3n データセット WBk 転送トリガレジスタ (EMU3nDATSETWBk)	
	(k = 0~2)	2227
25.3.2.151	EMU3n データセット BRk 転送トリガレジスタ (EMU3nDATSETBRk)	
	(k = 0~2)	2229
25.3.2.152	EMU3n データセット kWRITEm レジスタ (EMU3nDATSETWkm)	
	(k = 0~5) (m = 0~3)	2231
25.3.2.153	EMU3n データセット kREADm レジスタ (EMU3nDATSETRkm)	
	(k = 0~5) (m = 0~3)	2233
25.3.2.154	SubCPU 起動レジスタ (EMU3CPUINIT)	2234
25.3.2.155	ADC 選択レジスタ (EMU3ADCSEL)	2235
25.4	機能	2236
25.4.1	演算部の記述	2236
25.4.2	角度生成 IP	2238
25.4.3	入力 IP	2246
25.4.4	PI 制御 IP	2253
25.4.5	PWM IP	2255
25.4.6	矩形 IP	2274
25.4.7	矩形波生成部	2276
25.4.7.1	一括矩形 IP	2276
25.4.7.2	独立矩形 IP1	2280
25.4.7.3	独立矩形 IP2	2281
25.4.8	A/D 変換制御、角度値ラッチ制御	2284
25.4.9	IIR フィルタ	2287
25.4.10	パルス周期計測タイマ	2291
25.4.11	レゾルバ角度計測タイマ	2292
25.4.12	内部バッファレジスタ	2293
25.4.13	非同期データ受け渡し機能	2299
25.4.14	故障検出機能	2300
25.4.15	割り込み制御	2301
25.5	動作説明	2302
25.5.1	EMU3 の初期化	2302
25.5.2	H/W アクセラレータの各 IP の初期設定・割り込み処理の実行手順	2303
25.5.3	CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)	2306
25.5.3.1	関連レジスタ	2308
25.5.3.2	細粒度化した各 IP のステート遷移	2309
25.5.3.3	設定例	2311
25.5.4	三相 PWM 波形出力制御	2316
25.5.4.1	H/W アクセラレータで三相 PWM 制御を行う場合	2316
25.5.4.2	H/W アクセラレータと CPU で三相 PWM 制御を行う場合	2317
25.5.5	矩形波出力制御	2318
第 26 章	R/D コンバータ (RDC3A)	2319
26.1	RH850/C1M-A RDC3A の特長	2319

26.1.1	ユニット数	2319
26.1.2	レジスタベースアドレス	2319
26.1.3	クロック供給	2319
26.1.4	割り込み要求	2320
26.1.5	リセット要因	2320
26.1.6	外部入出力信号	2321
26.2	概要	2322
26.2.1	機能概要	2322
26.2.2	ブロック図	2324
26.2.3	動作原理	2325
26.3	レジスタ	2327
26.3.1	レジスタ一覧	2327
26.3.2	RDC3AnRDSTP – RDC 停止レジスタ	2328
26.3.3	RDC3AnPI0 – 制御ゲイン選択レジスタ 0	2329
26.3.4	RDC3AnPI1 – 制御ゲイン選択レジスタ 1	2335
26.3.5	RDC3AnPHICP0 – PHI コンペア設定レジスタ 0	2337
26.3.6	RDC3AnPHICP1 – PHI コンペア設定レジスタ 1	2338
26.3.7	RDC3AnPHICP2 – PHI コンペア設定レジスタ 2	2339
26.3.8	RDC3AnSCCOR0 – sin,cos 角度補正レジスタ	2340
26.3.9	RDC3AnSCCOR1 – sin,cos 補正レジスタ 0	2341
26.3.10	RDC3AnSCCOR2 – sin,cos 補正レジスタ 1	2344
26.3.11	RDC3AnSCCOR3 – sin,cos 補正レジスタ 2	2345
26.3.12	RDC3AnATMNT0 – 振幅自動調整レジスタ 0	2346
26.3.13	RDC3AnATMNT1 – 振幅自動調整レジスタ 1	2349
26.3.14	RDC3AnDIAG0 – 異常検知レジスタ 0	2350
26.3.15	RDC3AnDIAG1 – 異常検知レジスタ 1	2351
26.3.16	RDC3AnDIAG2 – 異常検知レジスタ 2	2353
26.3.17	RDC3AnDGOUT0 – 異常検知出力レジスタ 0	2355
26.3.18	RDC3AnDGOUT1 – 異常検知出力レジスタ 1	2357
26.3.19	RDC3AnBIST0 – BIST レジスタ 0	2359
26.3.20	RDC3AnBIST1 – BIST レジスタ 1	2361
26.3.21	RDC3AnREF – 励磁設定レジスタ	2363
26.3.22	RDC3AnENC0 – エンコーダレジスタ 0	2366
26.3.23	RDC3AnENC1 – エンコーダレジスタ 1	2368
26.3.24	RDC3AnENC2 – エンコーダレジスタ 2	2369
26.3.25	RDC3AnOMG – 角速度レジスタ	2370
26.3.26	RDC3AnTBUS – テストバスレジスタ	2371
26.3.27	RDC3AnADRD – 角度変換モード選択レジスタ	2372
26.3.28	RDC3AnETEN – ET 制御レジスタ	2373
26.3.29	RDC3AnETCAP – ET キャプチャレジスタ	2375
26.3.30	RDC3AnETMCNT – ET ゼロクロスカウンタレジスタ	2376
26.3.31	RDC3AnDCUR0 – デジタル演算レジスタ 0	2377
26.3.32	RDC3AnDCUR1 – デジタル演算レジスタ 1	2378

26.3.33	RDC3AnBISTFX0 – BIST 終了時設定レジスタ 0	2379
26.3.34	RDC3AnBISTFX1 – BIST 終了時設定レジスタ 1	2380
26.3.35	RDC3AnADSTD1 – 12bit SAR-ADC デジタル回路部設定レジスタ 1	2381
26.3.36	RDC3AnDIAG3 – 異常検知レジスタ 3	2382
26.3.37	RDC3AnDIAG4 – 異常検知レジスタ 4	2384
26.4	機能説明	2385
26.4.1	トラッキンググループ	2385
26.4.1.1	PI 補償器帯域設定機能	2385
26.4.1.2	強制ゲイン制御機能	2385
26.4.1.3	励磁信号源選択機能	2386
26.4.1.4	使用センサ選択機能	2386
26.4.1.5	励磁成分抽出機能	2386
26.4.1.6	最大角速度設定機能	2386
26.4.1.7	コンペアー致割り込み	2387
26.4.1.8	エンコーダパルス出力機能	2389
26.4.1.9	PHI 角速度情報読み出し機能	2392
26.4.1.10	モニタ機能	2393
26.4.2	sin, cos 補正機能	2394
26.4.2.1	ADC ノイズ除去機能	2394
26.4.2.2	SIN、COS ゲイン補正機能	2395
26.4.2.3	SIN、COS コモンオフセット補正機能	2397
26.4.2.4	SIN、COS 位相補正機能	2398
26.4.2.5	SIN、COS 角度補正機能	2400
26.4.3	励磁信号出力	2401
26.4.3.1	励磁信号出力 (RDC3AnRSO、RDC3AnCOM) 機能	2401
26.4.3.2	振幅自動調整機能	2401
26.4.4	異常検出	2402
26.4.4.1	異常検出機能	2402
26.4.4.2	レゾルバ信号異常検出機能	2402
26.4.4.3	レゾルバ信号断線異常検出機能	2403
26.4.4.4	R/D 変換異常検出機能	2404
26.4.4.5	2 経路比較変換異常検出機能	2404
26.4.4.6	レゾルバ信号 天絡・地絡異常検出機能	2405
26.4.4.7	二乗和振幅異常検出機能	2407
26.4.5	自己診断	2409
26.4.5.1	自己診断 (Built-In Self Test) 機能	2409
26.4.5.2	ADC ソフトウェア BIST 機能	2415
26.4.6	励磁タイマ (ET) 機能	2417
26.4.6.1	周期計測タイマ	2418
26.4.6.2	イベント生成タイマ	2419
26.4.6.3	励磁ゼロクロス信号	2420
26.4.7	PGA 反転機能	2421
26.5	初期動作手順	2423
26.6	レゾルバインタフェース回路	2425
26.6.1	レゾルバ信号入力 (差動) 回路	2425
26.6.2	励磁電圧昇圧アンプ回路	2427
26.6.2.1	励磁電圧昇圧アンプ回路 (単電源の場合)	2427
26.6.2.2	励磁電圧昇圧アンプ回路 (両電源の場合)	2428
26.6.2.3	励磁電圧昇圧アンプ回路の定数設定方法	2429
26.6.3	レゾルバ励磁信号外部入力方法	2430

26.6.3.1	レゾルバ励磁信号入力回路（単電源）	2430
26.6.3.2	レゾルバ励磁信号入力回路（両電源）	2431
26.7	使用上の注意事項	2432
26.7.1	磁気的外乱ノイズへの対応	2432
26.7.2	電気的外乱ノイズへの対応	2432
26.7.3	その他の一般的対応	2433
第 27 章	A/D コンバータ（ADCC）	2434
27.1	RH850/C1M-A ADCC の特長	2434
27.1.1	ユニット数	2434
27.1.2	レジスタベースアドレス	2434
27.1.3	クロック供給	2435
27.1.4	割り込み要求	2435
27.1.5	リセット要因	2436
27.1.6	外部入出力信号	2436
27.1.7	アナログ入力端子の命名規則	2437
27.2	概要	2438
27.2.1	機能概要	2438
27.2.2	ブロック図	2439
27.2.3	仮想チャンネル（仮想 ch）	2443
27.2.4	スキヤングループ（SG）	2444
27.3	レジスタ	2445
27.3.1	レジスタ一覧	2445
27.3.2	ADCC0ADSYNSTCR – AD 同期開始制御レジスタ	2447
27.3.3	ADCC0ADTSYNSTCR – AD タイマ同期開始制御レジスタ	2447
27.3.4	ADCCnVCRj – 仮想チャンネルレジスタ j	2448
27.3.5	ADCCnDRj – データレジスタ j	2451
27.3.6	ADCCnDIRj – データ付帯情報レジスタ j	2453
27.3.7	ADCCnADHALTR – AD 終了レジスタ	2455
27.3.8	ADCCnADCR1 – AD 制御レジスタ 1	2455
27.3.9	ADCCnADCR2 – AD 制御レジスタ 2	2456
27.3.10	ADCCnTHSMPSTCR – T&H サンプリング開始制御レジスタ	2457
27.3.11	ADCCnTHSTPCR – T&H 停止制御レジスタ	2457
27.3.12	ADCCnTHCR – T&H 制御レジスタ	2458
27.3.13	ADCCnTHAHLDDSTCR – T&H グループ A ホールド開始制御レジスタ	2458
27.3.14	ADCCnTHBHLDDSTCR – T&H グループ B ホールド開始制御レジスタ	2459
27.3.15	ADCCnTHACR – T&H グループ A 制御レジスタ	2460
27.3.16	ADCCnTHBCR – T&H グループ B 制御レジスタ	2461
27.3.17	ADCCnTHER – T&H イネーブルレジスタ	2462
27.3.18	ADCCnTHGSR – T&H グループ選択レジスタ	2462
27.3.19	ADCCnSFTCR – セーフティ制御レジスタ	2463
27.3.20	ADCCnTDCR – 端子レベル自己診断制御レジスタ	2464
27.3.21	ADCCnODCR – 断線検出制御レジスタ	2465

27.3.22	ADCCnULLMTBR0~2 – 上限/下限テーブルレジスタ 0~2	2466
27.3.23	ADCCnECR – エラークリアレジスタ	2467
27.3.24	ADCCnULER – 上限/下限エラーレジスタ	2468
27.3.25	ADCCnOWER – オーバーライトエラーレジスタ	2469
27.3.26	ADCCnPER – パリティエラーレジスタ	2470
27.3.27	ADCCnIDER – ID エラーレジスタ	2471
27.3.28	ADCCnSGSTCRx – スキャングループ x 開始制御レジスタ	2472
27.3.29	ADCCnADTSTCRy – AD タイマ y 開始制御レジスタ	2472
27.3.30	ADCCnADTENDCRy – AD タイマ y 終了制御レジスタ	2473
27.3.31	ADCCnSGCRx – スキャングループ x 制御レジスタ	2474
27.3.32	ADCCnSGVCSPx – スキャングループ x 開始仮想チャネルポインタ	2476
27.3.33	ADCCnSGVCEPx – スキャングループ x 終了仮想チャネルポインタ	2477
27.3.34	ADCCnSGMCYCRx – スキャングループ x マルチサイクルレジスタ	2478
27.3.35	ADCCnSGSRx – スキャングループ x ステータスレジスタ	2479
27.3.36	ADCCnADTIPRy – AD タイマ初期位相レジスタ y	2480
27.3.37	ADCCnADTPRRy – AD タイマ周期レジスタ y	2481
27.3.38	ADCCnULLMSRx – スキャングループ x 上限値/下限値テーブル選択レジスタ	2482
27.3.39	ADCCnVCULLMTBR0~6 – 仮想チャネルしきい値テーブルレジスタ 0~6	2483
27.3.40	ADCCnSGVCPRx – スキャングループ x 仮想チャネルポインタレジスタ	2484
27.4	機能	2485
27.4.1	A/D 変換の方法	2485
27.4.2	A/D 変換機能	2486
27.4.2.1	通常 A/D 変換機能	2486
27.4.2.2	同時トラック & ホールド機能	2486
27.4.2.3	加算 A/D 変換機能	2488
27.4.2.4	マルチサイクルスキャンモード	2488
27.4.2.5	連続スキャンモード	2488
27.4.3	トリガ機能	2489
27.4.3.1	スキャングループのトリガ入力選択	2489
27.4.3.2	HW トリガによるスキャングループの起動	2490
27.4.3.3	SW トリガによるスキャングループの起動	2491
27.4.4	サスペンド機能	2493
27.4.4.1	同期サスペンド動作	2493
27.4.4.2	非同期サスペンド動作	2494
27.4.4.3	同期/非同期ミックス型サスペンド動作	2495
27.4.5	割り込み要求機能	2496
27.4.5.1	スキャングループ x 終了割り込み	2496
27.4.5.2	AD エラー割り込み要求	2497
27.4.5.3	AD パリティエラートリガ	2497
27.4.6	EMU への A/D 変換結果転送機能	2498
27.4.7	自己診断	2499
27.4.7.1	端子レベル自己診断機能	2499
27.4.7.2	A/D 変換回路自己診断機能	2500
27.4.7.3	断線検出自己診断機能	2500
27.5	手順	2501
27.5.1	A/D 変換設定手順	2501

27.5.2	A/D 変換起動手順.....	2503
27.5.3	A/D 変換停止手順.....	2504
27.5.4	端子レベル自己診断設定手順.....	2505
27.5.5	断線検出自己診断設定手順.....	2506
27.6	A/D 変換精度の定義.....	2508
27.7	注意事項.....	2509
27.7.1	レジスタ設定上の注意事項.....	2509
第 28 章	A/D コンバータオプション (ADPA)	2511
28.1	RH850 / C1M-A ADPA の特長.....	2511
28.1.1	ユニット数	2511
28.1.2	レジスタベースアドレス	2511
28.1.3	クロック供給.....	2511
28.1.4	割り込み要求.....	2512
28.1.5	リセット要因.....	2512
28.1.6	外部入出力信号	2512
28.2	概要.....	2513
28.2.1	機能概要	2513
28.2.2	ブロック図	2514
28.3	レジスタ.....	2516
28.3.1	レジスタ一覧.....	2516
28.3.2	ADPAHIZSTCm – Hi-Z 制御ステータスレジスタ m	2517
28.3.3	ADPAINTSTCm – 割り込み制御レジスタ m.....	2518
28.3.4	ADPACNTSTSm – カウンタステータスレジスタ m.....	2519
28.3.5	ADPAMDCTRm – Hi-Z 制御解除モード選択レジスタ m.....	2520
28.3.6	ADPACNTENCTRm – カウンタイネーブルレジスタ m	2521
28.3.7	ADPACNTRQSTSm –Hi-Z 制御要求ステータスレジスタ m.....	2522
28.3.8	ADPACNTCFGj – カウンタ設定レジスタ j.....	2523
28.3.9	ADPACNTCTRj – カウンタコントロールレジスタ j.....	2524
28.3.10	ADPADMASELq – DMA リソース選択レジスタ q.....	2525
28.3.11	ADPATPUL0 – テストパルス注入レジスタ 0	2526
28.3.12	ADPATPUL1 – テストパルス注入レジスタ 1	2527
28.3.13	ADPATPUL2 – テストパルス注入レジスタ 2	2528
28.4	機能.....	2529
28.4.1	ノイズカウント方式.....	2529
28.5	手順.....	2531
28.5.1	通常使用.....	2531
28.5.2	スタートアップ診断機能	2531
第 29 章	ファンクショナルセーフティ	2532
29.1	概要.....	2532
29.2	ECC および EDC.....	2533

29.2.1	概要	2533
29.2.1.1	ECC	2533
29.2.1.2	アドレスパリティ	2535
29.2.1.3	データパリティ	2535
29.2.2	Code Flash の ECC およびアドレスパリティ	2536
29.2.2.1	概要	2536
29.2.2.2	レジスター一覧	2539
29.2.2.3	レジスタ詳細	2540
29.2.2.4	テスト機能	2551
29.2.3	Data Flash の ECC	2552
29.2.3.1	概要	2552
29.2.3.2	レジスター一覧	2553
29.2.3.3	レジスタ詳細	2554
29.2.3.4	テスト機能	2560
29.2.4	Local RAM (CPU1、CPU2、SubCPU) の ECC およびアドレスパリティ	2561
29.2.4.1	概要	2561
29.2.4.2	レジスター一覧	2563
29.2.4.3	レジスタ詳細	2564
29.2.4.4	テスト機能	2577
29.2.5	Global RAM の ECC およびアドレスパリティ	2579
29.2.5.1	概要	2579
29.2.5.2	レジスター一覧	2584
29.2.5.3	レジスタ詳細	2585
29.2.5.4	テスト機能	2599
29.2.6	命令キャッシュの ECC および EDC	2602
29.2.6.1	概要	2602
29.2.6.2	レジスター一覧	2603
29.2.6.3	レジスタ詳細	2605
29.2.6.4	テスト機能	2617
29.2.7	DTS 用 RAM の ECC	2618
29.2.8	周辺 RAM (32 ビット) の ECC	2618
29.2.8.1	概要	2618
29.2.8.2	レジスター一覧	2619
29.2.8.3	レジスタ詳細	2621
29.2.8.4	ECM への通知	2631
29.2.8.5	テスト機能	2632
29.2.9	データ転送経路のデータパリティ	2633
29.2.9.1	レジスター一覧	2634
29.2.9.2	レジスタ詳細	2635
29.3	ロックステップ	2639
29.3.1	レジスター一覧	2639
29.3.2	レジスタ詳細	2640
29.3.2.1	TESTCOMPREG0 – 比較器テストレジスタ 0	2640
29.3.2.2	TESTCOMPREG1 – 比較器テストレジスタ 1	2641
29.3.2.3	LS_ERR_CNT – ロックステップエラーコントロールレジスタ	2642
29.3.2.4	LS_ERR_ST – ロックステップエラーステータスレジスタ	2643
29.3.2.5	LS_ERR_ADDRESS – ロックステップエラーアドレスレジスタ	2645
29.3.2.6	LS_ERR_DATA – ロックステップエラーデータレジスタ	2646
29.4	メモリ保護	2647
29.4.1	概要	2647
29.4.1.1	スレーブガードの識別子	2648

29.4.2	GRG (Global RAM Guard)	2649
29.4.2.1	レジスタ一覧	2649
29.4.2.2	レジスタ詳細	2651
29.4.3	PBG	2661
29.4.3.1	レジスタ一覧	2665
29.4.3.2	レジスタ詳細	2666
29.5	マルチインプットシグネチャジェネレータ MISG	2672
29.5.1	概要	2672
29.5.2	ブロック図	2673
29.5.2.1	MISG	2673
29.5.2.2	シグネチャ生成	2674
29.5.3	機能仕様	2675
29.5.3.1	シグネチャ生成条件	2675
29.5.3.2	シグネチャ自動比較機能	2677
29.5.3.3	データカウンタ	2677
29.5.3.4	エラー通知	2677
29.5.4	レジスタ仕様	2678
29.5.4.1	レジスタマップ	2678
29.5.4.2	MISRCDR_PE1/PE2/PE3 – MISR カルキュレーションデータレジスタ	2680
29.5.4.3	MISR1_PE1/PE2/PE3 – マルチインプットシグネチャレジスタ 1	2681
29.5.4.4	MISR2_PE1/PE2/ PE3 – マルチインプットシグネチャレジスタ 2	2682
29.5.4.5	MISRRCR_PE1/PE2/ PE3 – MISR コントロールレジスタ	2683
29.5.4.6	MISRBASEADR_PE1/PE2/ PE3 – MISR 監視領域ベースアドレスレジスタ	2684
29.5.4.7	MISRADRMASK_PE1/PE2/PE3 – MISR 監視領域アドレスマスクレジスタ	2685
29.5.4.8	MISRDCNTCTL_PE1/PE2/ PE3 – MISR データカウンタコントロール レジスタ	2687
29.5.4.9	MISRDCNT_PE1/PE2/ PE3 – MISR データカウンタレジスタ	2688
29.5.4.10	MISRCMPCTL – MISR コンパレータコントロールレジスタ	2689
29.5.4.11	MISRCMPERSTR – MISR コンペアエラーステータスレジスタ	2690
29.5.4.12	MISRCMPERRSTC – MISR コンペアエラーステータスクリアレジスタ	2691
29.5.4.13	MISRERRCTL – MISR エラー通知コントロールレジスタ	2692
29.5.5	使用例	2693
29.5.5.1	使用例 1	2693
29.5.5.2	使用例 2	2694
29.6	クロックモニタ	2695
29.6.1	概要	2695
29.6.2	レジスタ一覧	2696
29.6.2.1	クロックモニタチャンネルレジスタ	2696
29.6.2.2	共通レジスタ	2696
29.6.3	レジスタ詳細	2697
29.6.3.1	CLMAnCTL0 – CLMAn 制御レジスタ 0	2697
29.6.3.2	CLMAnCMPL – CLMAn 比較レジスタ L	2698
29.6.3.3	CLMAnCMPH – CLMAn 比較レジスタ H	2698
29.6.3.4	CLMAnPCMD – CLMAn 保護命令レジスタ	2699
29.6.3.5	CLMAnPS – CLMAn 保護命令ステータスレジスタ	2699
29.6.3.6	CLMATEST – CLMA セルフテストレジスタ	2700
29.6.3.7	CLMATESTS – CLMA セルフテストステータスレジスタ	2701
29.6.4	異常クロック周波数の検出	2702
29.6.5	自己診断	2705
29.6.6	レジスタ設定時の注意事項	2706
29.6.6.1	保護レジスタへの書き込み	2706

29.6.6.2	CLMAnCMPL/CLMAnCMPH レジスタの設定	2706
29.7	ECM	2707
第 30 章	エラーコントロールモジュール (ECM)	2708
30.1	RH850/C1M-A ECM の特長	2708
30.1.1	ユニット数	2708
30.1.2	レジスタベースアドレス	2708
30.1.3	クロック供給	2708
30.1.4	割り込みと DMA/DTS	2709
30.1.5	リセット要因	2709
30.1.6	外部入出力信号	2709
30.2	概要	2710
30.2.1	機能概要	2710
30.2.2	ブロック図	2711
30.2.3	エラー要因とセーフティ処理	2712
30.3	レジスタ	2716
30.3.1	レジスタ一覧	2716
30.3.2	ECMmESET (m = M/C) – ECM マスタ/チェッカエラーセットトリガレジスタ	2718
30.3.3	ECMmECLR (m = M/C) – ECM マスタ/チェッカエラークリアトリガレジスタ	2719
30.3.4	ECMmESSTR0 (m = M/C) – ECM マスタ/チェッカエラーソースステータス レジスタ 0	2720
30.3.5	ECMmESSTR1 (m = M/C) – ECM マスタ/チェッカエラーソースステータス レジスタ 1	2721
30.3.6	ECMmPCMD0 (m = M/C) – ECM マスタ/チェッカ保護コマンドレジスタ	2722
30.3.7	ECMEPCFG – ECM エラーパルスコンフィグレーションレジスタ	2723
30.3.8	ECMMICFG0 – ECM マスカブル割り込みコンフィグレーションレジスタ 0	2724
30.3.9	ECMMICFG1 – ECM マスカブル割り込みコンフィグレーションレジスタ 1	2725
30.3.10	ECMNMICFG0 – ECM FE レベル割り込みコンフィグレーションレジスタ 0	2726
30.3.11	ECMNMICFG1 – ECM FE レベル割り込みコンフィグレーションレジスタ 1	2727
30.3.12	ECMIRCFG0 – ECM 内部リセットコンフィグレーションレジスタ 0	2728
30.3.13	ECMIRCFG1 – ECM 内部リセットコンフィグレーションレジスタ 1	2729
30.3.14	ECMEMK0 – ECM エラーマスクレジスタ 0	2730
30.3.15	ECMEMK1 – ECM エラーマスクレジスタ 1	2731
30.3.16	ECMESSTC0 – ECM エラーソースステータスクリアトリガレジスタ 0	2732
30.3.17	ECMESSTC1 – ECM エラーソースステータスクリアトリガレジスタ 1	2733
30.3.18	ECMPCMD1 – ECM 保護コマンドレジスタ	2734
30.3.19	ECMPS – ECM 保護ステータスレジスタ	2735
30.3.20	ECMPE0 – ECM 擬似エラートリガレジスタ 0	2736
30.3.21	ECMPE1 – ECM 擬似エラートリガレジスタ 1	2737
30.3.22	ECMDTMCTL – ECM ディレイタイマコントロールレジスタ	2738
30.3.23	ECMDTMR – ECM ディレイタイマレジスタ	2739
30.3.24	ECMDTMCMP – ECM ディレイタイマコンペアレジスタ	2739
30.3.25	ECMDTMCFG0 – ECM ディレイタイマコンフィグレーションレジスタ 0	2740

30.3.26	ECMDTMCFG1 – ECM ディレイタイマコンフィグレーションレジスタ 1	2741
30.3.27	ECMDTMCFG2 – ECM ディレイタイマコンフィグレーションレジスタ 2	2742
30.3.28	ECMDTMCFG3 – ECM ディレイタイマコンフィグレーションレジスタ 3	2743
30.4	機能	2744
30.4.1	ERROROUT 出力動作	2744
30.4.1.1	ダイナミックモード	2744
30.4.1.2	ノンダイナミックモード	2744
30.4.2	ループバック機能	2745
30.4.3	疑似エラー発生	2745
30.4.4	エラー状態	2745
30.4.5	書き込み保護レジスタ	2745
30.4.5.1	書き込み保護されたレジスタへの書き込みシーケンス	2745
30.4.6	割り込み処理のタイムアウト機能	2746
第 31 章	データ CRC (DCRA)	2747
31.1	RH850/C1M-A DCRA の特長	2747
31.1.1	ユニット数	2747
31.1.2	レジスタベースアドレス	2747
31.1.3	クロック供給	2747
31.1.4	リセット要因	2748
31.2	概要	2749
31.2.1	機能概要	2749
31.2.2	ブロック図	2749
31.2.3	演算回路	2750
31.3	レジスタ	2751
31.3.1	レジスタ一覧	2751
31.3.2	DCRAnCIN – CRC 入力レジスタ	2751
31.3.3	DCRAnCOUT – CRC データレジスタ	2752
31.3.4	DCRAnCTL – CRC 制御レジスタ	2753
31.4	機能	2754
第 32 章	インテリジェントクリプトグラフィックユニット E (ICUSE)	2755
第 33 章	セキュアウォッチドッグタイマ A (SWDTA)	2756
第 34 章	オンチップデバッグユニット (OCD)	2757
34.1	デバッグ機能	2757
34.2	トレースコントロール機能	2759
34.3	ペリフェラルブレークの制御	2760
34.3.1	概要	2760
34.4	AUD-RAM モニタ (AUDR)	2761
34.4.1	概要	2761
34.4.2	入出力端子	2763

34.4.3	レジスタの説明	2764
34.4.3.1	AUDISR — AUDR Configuration 情報保持レジスタ	2765
34.4.3.2	AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ	2766
34.4.4	RAM モニタ機能	2768
34.4.4.1	通信プロトコル	2768
34.4.4.2	動作説明	2768
34.4.4.3	AUDR 機能に関する使用上の注意事項	2776
34.4.4.4	RAM モニタ機能の有効／無効設定	2776
34.5	オンチップデバッグ使用上の注意	2777
第 35 章	フラッシュメモリ	2778
35.1	特長	2778
35.2	メモリ構成	2779
35.3	フラッシュメモリ関連の動作モード	2782
35.4	機能概要	2783
35.5	シリアルプログラミング	2788
35.5.1	プログラミング環境	2788
35.5.2	通信方式の選択	2789
35.6	セルフプログラミング	2790
35.6.1	概要	2790
35.6.2	BGO 機能	2790
35.7	フラッシュメモリの読み出し	2791
35.7.1	Code Flash メモリの読み出し	2791
35.7.2	Data Flash メモリの読み出し	2791
35.8	レジスタの説明	2792
35.8.1	Data Flash メモリ関連のレジスタ	2792
35.8.1.1	FRDCYCLD — Data Flash メモリ読み出しサイクル設定レジスタ	2792
35.8.2	フラッシュメモリ書き込み消去プロテクト関連レジスタ	2793
35.8.2.1	FHVE15 — FHVE15 コントロールレジスタ	2793
35.8.2.2	FHVE3 — FHVE3 コントロールレジスタ	2794
35.8.3	製品情報関連レジスタ	2795
35.8.3.1	PRDNAME _n (n = 1~4) — 製品名格納レジスタ	2796
35.9	オプションバイト	2797
35.9.1	OPBT0 — オプションバイト 0 レジスタ	2797
35.9.2	OPBT2 — オプションバイト 2 レジスタ	2799
35.9.3	OPBT3 — オプションバイト 3 レジスタ	2800
35.9.4	OPBT4 — オプションバイト 4 レジスタ	2801
35.9.5	OPBT6 — オプションバイト 6 レジスタ	2803
35.10	注意事項	2804
第 36 章	フラッシュセキュリティ	2806
36.1	特長	2806
36.1.1	コードフラッシュおよびデータフラッシュ、ID コード保護	2806
36.1.1.1	ユーザブートモード固有機能	2806
36.1.1.2	シリアルプログラミングモード固有機能	2806

36.1.1.3	ユーザブートモードおよびシリアルプログラミングモード共通機能	2807
36.1.2	デバッグインターフェースの接続制限機能	2807
36.2	ユーザブートモード時のセキュリティ機能	2808
36.2.1	SELF ID 認証	2808
36.2.2	SELF ID 認証とセキュリティ状態	2808
36.3	シリアルプログラミングモード時のセキュリティ機能	2810
36.4	デバッグインターフェースの接続制限機能	2811
36.4.1	セキュリティレベルとデバッグインターフェースの接続制限状態	2811
第 37 章	RAM	2814
37.1	搭載 RAM 一覧	2814
37.2	特長	2814
37.3	注意事項	2814
第 38 章	バウンダリスキャン	2815
38.1	概要	2815
38.2	特長	2815
38.3	入出力端子	2817
38.4	レジスタの説明	2818
38.4.1	インストラクションレジスタ (SDIR)	2819
38.4.2	ID レジスタ (SDID)	2819
38.4.3	バイパスレジスタ (SDBPR)	2819
38.4.4	バウンダリスキャンレジスタ (SDBSR)	2819
38.5	動作説明	2820
38.5.1	TAP コントローラ	2820
38.5.2	サポートするコマンド	2821
38.5.2.1	BYPASS	2821
38.5.2.2	SAMPLE/PRELOAD	2821
38.5.2.3	EXTTEST	2821
38.5.2.4	CLAMP	2821
38.5.2.5	HIGHZ	2821
38.5.2.6	IDCODE	2822
38.5.3	注意事項	2822
38.6	使用上の注意	2823
第 39 章	電気的特性	2824
39.1	絶対最大定格	2824
39.2	DC 特性	2825
39.2.1	電源名と端子の関係	2825
39.2.2	推奨動作条件	2826
39.2.3	入力電圧特性	2826
39.2.4	入力リーク電流特性	2827
39.2.5	プルアップ／プルダウン MOS 電流特性	2827

39.2.6	出力電圧特性	2828
39.2.7	許容出力電流	2828
39.2.8	注入電流	2829
39.2.9	入力容量	2829
39.2.10	消費電流特性	2830
39.3	AC 特性	2832
39.3.1	電源投入／切断タイミング	2833
39.3.2	クロックタイミング	2834
39.3.2.1	スペクトラム拡散クロックジェネレータ	2834
39.3.2.2	オンチップオシレータ発振周波数精度	2834
39.3.3	出力スルーレート	2835
39.3.4	制御信号タイミング	2836
39.3.5	CSIH タイミング	2837
39.3.5.1	マスタモード	2837
39.3.5.2	スレーブモード	2842
39.3.6	SCI/FLSCI タイミング	2846
39.3.7	RS-CANFD タイミング	2848
39.3.8	RLIN3 タイミング	2849
39.3.9	モータ制御信号タイミング	2849
39.3.10	タイマタイミング	2850
39.3.11	JTAG, NEXUS タイミング	2851
39.3.12	LPD (4-pin) タイミング	2852
39.3.13	AUD RAM モニタ	2853
39.4	A/D 変換器特性	2854
39.5	R/D 変換器特性	2856
39.5.1	RDC 変換性能	2856
39.5.2	RDC アナログ端子	2858
39.5.3	異常検出の特性	2859
39.6	Code Flash 特性	2860
39.7	Data Flash 特性	2861
39.8	熱特性	2862
39.8.1	パラメータ	2862
39.8.2	想定基板	2862

付録 A	外形寸法図	2863
------	-------	------

第1章 概要

RH850/C1M-A は、ルネサスエレクトロニクスのシングルチップマイクロコンピュータ「RH850 ファミリ」の 1 製品です。この章では、RH850/C1M-A の概要を説明します。

1.1 RH850/C1M-A 製品の特長

この製品は、RH850 ファミリの「G3MH」CPU を搭載しており、320、240MHz の周波数で動作し、高い処理能力を実現しています。

ROM、RAM、DMA、モータコントロールタイマをはじめとする各種タイマ、CAN を含めた各種シリアルインタフェース、12 ビット A/D コンバータ (ADCC) を搭載しています。また、レゾルバの出力信号をデジタルの角度データに変換する R/D コンバータ (RDC3A)、CPU と並列動作可能なモータ制御ユニット (EMU3) など HEV/EV 用モータ制御に最適な周辺機能を備えています。

2 モータ制御仕様と 1 モータ制御仕様の 2 製品をラインナップしており、それぞれ 252 ピン BGA (2 モータ制御)、176 ピン QFP (1 モータ制御) パッケージがあります。

応用分野

自動車 (HEV/EV のモータ制御)

1.1.1 RH850/C1M-A の機能

表 1.1 製品概要 (1/2)

項目		C1M-A2	C1M-A1
CPU	CPU システム	G3MH (LSDC ^{注1}) + G3MH	G3MH (LSDC ^{注1})
	CPU 周波数	320MHz	240MHz
	PE 内部周辺装置保護機能 (IPG)	搭載	搭載
	システムエラー通知制御機能 (SEG)	搭載	搭載
	メモリプロテクションユニット (MPU)	搭載	搭載
	浮動小数点ユニット (FPU)	搭載	搭載
	排他制御用レジスタ (MEV)	搭載	非搭載
内蔵メモリ	Code Flash	2MB × 2	2MB
	Instruction cache (Icache)	8KB × 2	8KB
	Local RAM	64KB × 2	64KB
	Data Flash	64KB	64KB
	Global RAM	128KB	64KB
外部割込み	マスカブル割込み (IRQ)	8	8
DMA、DTS		16 チャンネル、128 チャンネル	16 チャンネル、128 チャンネル
クロック	メインオシレータ (メイン OSC)	20MHz	20MHz
	PLL	搭載	搭載
セキュリティ	インテリジェントクリプトグラフィックユニット E (ICUSE)	搭載	搭載
	セキュアウォッチドッグタイマ A (SWDTA)	2	1
IO ポート		99	81
タイマ	タイマアレユニット D (TAUD)	4 ユニット	2 ユニット
	タイマアレユニット J (TAUJ)	2 ユニット	1 ユニット
	モータコントロールタイマ (TSG3)	3 ユニット	2 ユニット
	タイマオプション (TAPA)	6 ユニット	4 ユニット
	タイマパターンバッファ (TPBA)	2 ユニット	1 ユニット
	OS タイマ (OSTM)	4 ユニット	3 ユニット
	エンコーダタイマ (ENCA)	2 ユニット	2 ユニット
	ウォッチドックタイマ (WDTA)	2 ユニット	1 ユニット
シリアルインタフェース	クロック同期シリアルインタフェース H (CSIH)	3 チャンネル	3 チャンネル
	CAN インタフェース (RS-CANFD)	4 チャンネル	4 チャンネル
	LIN インタフェース (RLIN3)	3 チャンネル	3 チャンネル
	シリアルコミュニケーションインタフェース (SCI3)	3 チャンネル	3 チャンネル
	RSENT (Single Edge Nibble Transmission)	4 チャンネル	4 チャンネル

表 1.1 製品概要 (2/2)

項目		C1M-A2	C1M-A1
A/D コンバータ	12bit A/D コア	3 ユニット	3 ユニット
	ADCC0 : 入力端子数	16	11
	ADCC0 : T&H 数	6	6
	ADCC1 : 入力端子数	16	14
	ADCC1 : T&H 数	6	6
	ADCC2 : 入力端子数	16	5
	ADCC2 : T&H 数	4	4
モータ制御	R/D コンバータ (RDC3A)	2 ユニット	1 ユニット
	エンハンスドモータコントロールユニット (EMU3) : 搭載数	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)
	エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数	320MHz	240MHz
その他の機能	エラーコントロールモジュール (ECM)	搭載	搭載
	クロックモニタ (CLMA)	搭載	搭載
	データ CRC (DCRA)	2 ユニット	2 ユニット
	エラーコレクションコーディング (ECC)	搭載	搭載
	オンチップデバッグ (OCD)	搭載	搭載
	バウンダリスキャン	搭載	搭載
	ペリフェラルインタコネクション 1 (PIC1B)	2 ユニット	1 ユニット
	ペリフェラルインタコネクション 2 (PIC2D)	1 ユニット	1 ユニット
電源電圧	内部電源	1.25V±0.1V	1.25V±0.1V
	I/O 電源	5.0V±0.5V	5.0V±0.5V
	R/D コンバータ電源	5.0V±0.5V	5.0V±0.5V
	A/D コンバータ電源	5.0V±0.5V	5.0V±0.5V
温度	ジャンクション温度 (Tj)	-40°C to 150°C	-40°C to 150°C
パッケージ		252pin BGA	176pin QFP

注 1. LSDC (Lock Step Dual Core)

表 1.2 製品一覧

グループ名	型名	パッケージ
RH850/C1M-A2	R7F701275EABG	252 ピンプラスチック BGA (0.8mm ボールピッチ) (17×17mm)
RH850/C1M-A1	R7F701278EAFF	176 ピンプラスチック QFP (0.5mm ピンピッチ) (24×24mm)

1.1.2 開発およびデバッグ対応

表 1.3 開発ツール一覧

機能	概要
オンチップデバッグ (OCD)	オンチップデバッグ用インタフェース <ul style="list-style-type: none"> IEEE 1149.1 規格の NEXUS クラス 3 対応デバッグ用 JTAG インタフェース ロウピンデバッグ (LPD) インタフェース : 4 ピン
オンチップデバッグエミュレータ	E1 エミュレータ
RAM モニタ	アドバンスドユーザデバッガ - II RAM モニタ機能
	NEXUS RAM モニタ機能
コンパイラ/デバッガ	CubeSuite+
	GreenHills 製 MULTI 環境
アプリケーション対応ハードウェア	RH850 評価プラットフォーム
フラッシュプログラミング	PG-FP5 フラッシュプログラマ
	RFP (ルネサスフラッシュプログラマ) + E1 エミュレータ
	セルフプログラミングライブラリ
ソフトウェアツール (オプション)	AUTOSAR MCAL

1.1.3 内部ブロック図

CPU1 や CPU2、SubCPU 内には、CPU Peripheral を内蔵しています。CPU Peripheral は、これが内蔵されている CPU1 や CPU2、SubCPU からしかアクセスすることはできません。CPU1 と CPU2、SubCPU の CPU Peripheral には同じアドレスが割り当てられていますが、CPU1 からアクセスした場合は CPU1 の CPU Peripheral が、CPU2 からアクセスした場合は CPU2 の CPU Peripheral が、SubCPU からアクセスした場合は SubCPU の CPU Peripheral が、それぞれアクセスされます。

Peripheral Group と周辺モジュールの対応については「**3.1.2 Peripheral Group 構成**」をご参照ください。

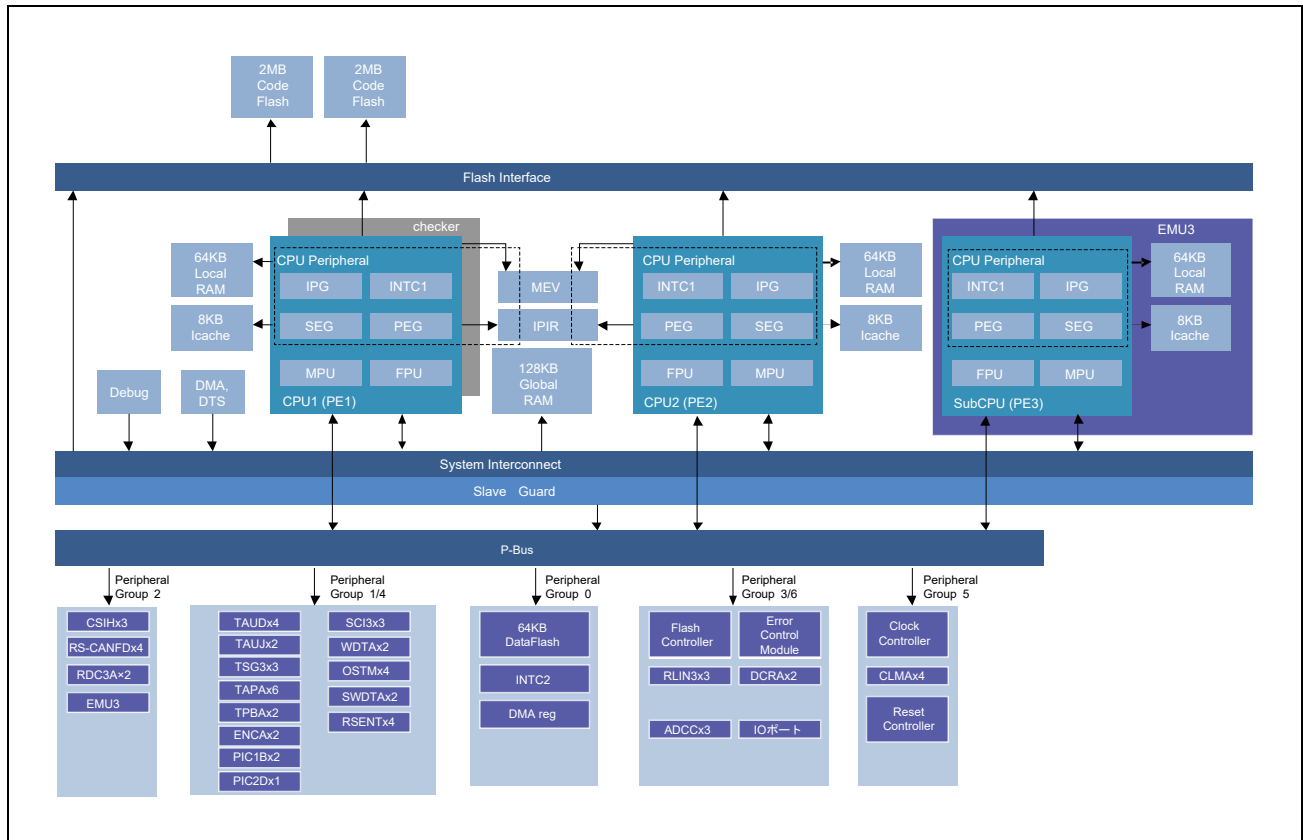


図 1.1 RH850/C1M-A2 内部ブロック図

CPU1、SubCPU 内には、CPU Peripheral を内蔵しています。CPU Peripheral は、これが内蔵されている CPU1、SubCPU からしかアクセスすることはできません。

Peripheral Group と周辺モジュールの対応については「**3.1.2 Peripheral Group 構成**」をご参照ください。

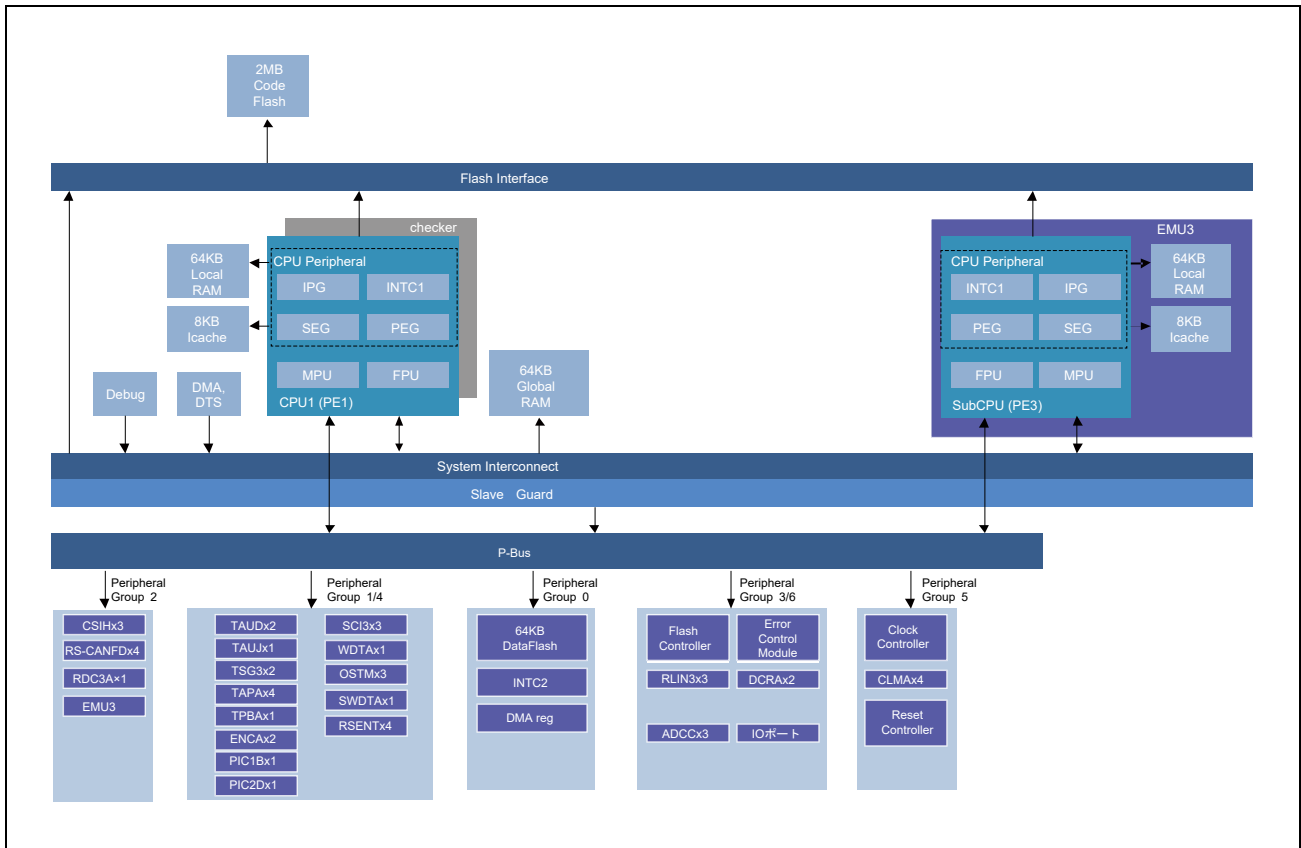


図 1.2 RH850/C1M-A1 内部ブロック図

1.2 端子接続図 (Top View)

1.2.1 RH850/C1M-A2 (252 ピン BGA)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	A0VSS (N.C.)	A0VSS (N.C.)	ADCC010 1	ADCC011 0	ADCC011 3	ADCC012 2	RDC3A1 S2	RDC3A1 RSO	RDC3A0 RSO	RDC3A0 S2	ADCC113 1	ADCC110 3	ADCC111 0	ADCC112 1	ADCC112 3	A2VSS	A2VCC	ADCC210 0	A2VSS (N.C.)	A2VSS (N.C.)	A
B	A0VSS (N.C.)	A0VREF H	ADCC010 0	ADCC010 3	ADCC011 2	ADCC012 1	RDC3A1 S1	RDC3A1 COM	RDC3A0 COM	RDC3A0 S1	ADCC113 0	ADCC110 1	ADCC111 1	ADCC112 2	ADCC113 3	A1VREF H	A2VREF H	ADCC212 2	ADCC210 1	A2VSS (N.C.)	B
C	ADCC013 2	ADCC013 3	ADCC012 3	ADCC010 2	ADCC011 1	ADCC012 0	RDC3A1 S3	RVSS	RVCC	RDC3A0 S3	ADCC110 0	ADCC110 2	ADCC111 3	ADCC113 2	A1VSS	A1VCC	ADCC212 0	ADCC212 1	ADCC210 2	ADCC210 3	C
D	ADCC013 0	ADCC013 1	A0VSS				RDC3A1 S4	RVSS	RVCC	RDC3A0 S4	VDD	VSS	ADCC111 2	ADCC112 0				ADCC213 1	ADCC212 3	ADCC213 0	D
E	P7_2	P7_0	A0VCC															ADCC213 3	ADCC213 2	ADCC211 0	E
F	P7_5	P7_3	P7_1															ADCC211 1	ADCC211 2	ADCC211 3	F
G	P7_4	P7_7	P7_6	VDD													VSS	P3_7	P3_6	P3_5	G
H	P5_0	P5_2	P5_1	VSS													VDD	P3_3	P3_2	P3_4	H
J	P5_3	P5_4	P5_6	P5_5					VDD	VSS	VSS	VDD					VSS	P2_7	P3_1	P3_0	J
K	P5_7	P5_8	P5_9	VCC					VDD	VSS	VSS	VDD					VCC	P2_6	P2_5	P2_4	K
L	P4_0	P4_1	P4_2	VSS					VDD	VSS	VSS	VDD					P2_1	P2_2	P2_3	P2_0	L
M	P4_3	P4_5	P4_4	VSS					VDD	VSS	VSS	VDD					P1_15	P1_12	P1_13	P1_14	M
N	P4_6	P4_7	P4_8	VDD													VSS	P1_9	P1_10	P1_11	N
P	P4_9	P4_10	P4_13	P4_12													VDD	P1_6	P1_7	P1_8	P
R	P4_11	P4_14	VDD															P1_3	P1_4	P1_5	R
T	P4_15	P6_10	VSS															P1_1	P1_0	P1_2	T
U	P6_11	AUDRST	AUDUCK				VDD	VSS	VSS	VCC	VSS	VDD	MD1	VSS				P6_8	P0_5	P6_9	U
V	P6_12	AUDSYN C	AUDATA 3	AUDATA 1	P6_2	P6_3	P6_6	P0_8	P0_12	P0_15	VSS	VDD	DCUTRS T	VSS	SYSVCC	VCC	VSS	P0_2	P0_3	P0_4	V
W	VSS (N.C.)	P6_13	AUDATA 2	AUDATA 0	P6_0	P6_4	ERRORO UT_M	P0_9	P0_11	P0_14	DCUTDO	DCUTDI	DCUTMS	P7_8	SYSVCC	RESET	FLMODE	P0_0	P6_7	VSS (N.C.)	W
Y	VSS (N.C.)	VSS (N.C.)	P6_14	P6_15	P6_1	P6_5	P0_6	P0_7	P0_10	P0_13	DCURDY	DCUTCK	VSS	X2	X1	VCC	MD0	P0_1	VSS (N.C.)	VSS (N.C.)	Y
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	

図 1.3 RH850/C1M-A2 端子接続図

注 意

電源名 (N.C.) と記載されている端子は、開放であってもマイコン動作には影響を及ぼしませんが、電源安定の観点から (N.C.) 記載が無い同名の電源に接続することを推奨します。

また半田ボールは必ず基板に実装してください。なお、電源名 (N.C.) と記載されている端子は、(N.C.) 記載が無い同名の電源と内部で接続されています。

表 1.4 RH850/C1M-A2 ピン配置 (1/6)

ピン番号	端子名
1A	N.C.
1B	N.C.
1C	ADCC0I32
1D	ADCC0I30
1E	P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO
1F	P7_5/CSIH2CSS0
1G	P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI
1H	P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3
1J	P5_3/RLIN31TX/SCI1SCK
1K	P5_7/SCI2SCK
1L	P4_0/CSIH1SI
1M	P4_3/CAN0RX/CSIH1CSS0
1N	P4_6/CAN1TX/CSIH0CSS3/CSIH1CSS3
1P	P4_9/CSIH0SC
1R	P4_11/CAN2TX/CSIH0CSS1
1T	P4_15/CAN3TX/ $\overline{\text{ERROROUT_C}}$
1U	P6_11/TAUD3I11/TAUD3O11
1V	P6_12/TAUD3I12/TAUD3O12
1W	N.C.
1Y	N.C.
2A	N.C.
2B	A0VREFH
2C	ADCC0I33
2D	ADCC0I31
2E	P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC
2F	P7_3/ENCA1TIN1/CSIH2CSS2
2G	P7_7
2H	P5_2/RLIN31RX/SCI0SCK/CSIH2RYI/CSIH2RYO
2J	P5_4/RLIN30RX/SCI1RXD
2K	P5_8/SCI2RXD
2L	P4_1/CSIH1SO
2M	P4_5/CAN1RX/CSIH0CSS2/CSIH1CSS2
2N	P4_7/CSIH0SI/CSIH1SSI
2P	P4_10/TPBA0O/CAN2RX/CSIH0CSS0
2R	P4_14/CAN3RX
2T	P6_10/TAUD3I10/TAUD3O10
2U	$\overline{\text{AUDRST}}$
2V	$\overline{\text{AUDSYNC}}$
2W	P6_13/TAUD3I13/TAUD3O13
2Y	N.C.
3A	ADCC0I01
3B	ADCC0I00
3C	ADCC0I23
3D	A0VSS

表 1.4 RH850/C1M-A2 ピン配置 (2/6)

ピン番号	端子名
3E	A0VCC
3F	P7_1/ENCA1TIN0/ADCC0TRG/CSIH2CSS1
3G	P7_6
3H	P5_1/RLIN32TX/SCI0TXD/CSIH2SSI
3J	P5_6/TPBA10/TAPA0ESO
3K	P5_9/SCI2TXD
3L	P4_2/CSIH1SC
3M	P4_4/CAN0TX/CSIH1CSS1
3N	P4_8/CSIH0SO/CSIH1RYI/CSIH1RYO
3P	P4_13/RLIN30TX/CSIH0RYI/CSIH0RYO
3R	VDD
3T	VSS
3U	AUDCK
3V	AUDATA3
3W	AUDATA2
3Y	P6_14/TAUD3I14/TAUD3O14
4A	ADCC0I10
4B	ADCC0I03
4C	ADCC0I02
4G	VDD
4H	VSS
4J	P5_5/RLIN30TX/SCI1TXD/ <u>ERROROUT_C</u>
4K	VCC
4L	VSS
4M	VSS
4N	VDD
4P	P4_12/RLIN30RX/CSIH0SSI
4V	AUDATA1
4W	AUDATA0
4Y	P6_15/TAUD3I15/TAUD3O15
5A	ADCC0I13/RDC3A1COSMNT
5B	ADCC0I12/RDC3A1SINMNT
5C	ADCC0I11
5V	P6_2/TAUD3I2/TAUD3O2/ENCA1TIN0/RDC3A0_OUT_W/ADCC0TRG
5W	P6_0/TAUD3I0/TAUD3O0/TAUJ1I2/TAUJ1O2/ <u>ERROROUT_C</u>
5Y	P6_1/TAUD3I1/TAUD3O1/TAUJ1I3/TAUJ1O3
6A	ADCC0I22
6B	ADCC0I21
6C	ADCC0I20
6V	P6_3/TAUD3I3/TAUD3O3/RDC3A1_OUT_W
6W	P6_4/TAUD3I4/TAUD3O4/ENCA1TIN1/RDC3A0_OUT_V
6Y	P6_5/TAUD3I5/TAUD3O5/RDC3A1_OUT_V
7A	RDC3A1S2
7B	RDC3A1S1

表 1.4 RH850/C1M-A2 ピン配置 (3/6)

ピン番号	端子名
7C	RDC3A1S3
7D	RDC3A1S4
7U	VDD
7V	P6_6/TAUD3I6/TAUD3O6/RDC3A0_OUT_U/TAPA0ESO
7W	ERROROUT_M
7Y	P0_6/TAUD0I6/TAUD0O6/TAUJ0I1/TAUJ0O1/ENCA0E0/RDC3A0_OUT_U/INTP3
8A	RDC3A1RSO
8B	RDC3A1COM
8C	RVSS
8D	RVSS
8U	VSS
8V	P0_8/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/ENCA0EC/RDC3A0_OUT_W/INTP5
8W	P0_9/TAUD0I9/TAUD0O9/TAUD3I3/TAUD3O3/TAPA5ESO/INTP6
8Y	P0_7/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/ENCA0E1/RDC3A0_OUT_V/INTP4
9A	RDC3A0RSO
9B	RDC3A0COM
9C	RVCC
9D	RVCC
9J	VDD
9K	VDD
9L	VDD
9M	VDD
9U	VSS
9V	P0_12/TAUD0I12/TAUD0O12/TAPA0VP/TAUD3I9/TAUD3O9/RSENT0RX/RSENT0SPCO
9W	P0_11/TAUD0I11/TAUD0O11/TAPA0UN/TAUD3I7/TAUD3O7/TSGTRG
9Y	P0_10/TAUD0I10/TAUD0O10/TAPA0UP/TAUD3I5/TAUD3O5/INTP7
10A	RDC3A0S2
10B	RDC3A0S1
10C	RDC3A0S3
10D	RDC3A0S4
10J	VSS
10K	VSS
10L	VSS
10M	VSS
10U	VCC
10V	P0_15/TAUD0I15/TAUD0O15/TAPA0WN/TAUD3I15/TAUD3O15/RSENT1SPCO
10W	P0_14/TAUD0I14/TAUD0O14/TAPA0WP/TAUD3I13/TAUD3O13/RSENT1RX/RSENT1SPCO
10Y	P0_13/TAUD0I13/TAUD0O13/TAPA0VN/TAUD3I11/TAUD3O11/RSENT0SPCO
11A	ADCC1I31
11B	ADCC1I30
11C	ADCC1I00/RDC3A0SINMNT
11D	VDD
11J	VSS
11K	VSS

表 1.4 RH850/C1M-A2 ピン配置 (4/6)

ピン番号	端子名
11L	VSS
11M	VSS
11U	VSS
11V	VSS
11W	DCUTDO
11Y	$\overline{\text{DCURDY}}$
12A	ADCC1I03
12B	ADCC1I01/RDC3A0COSMNT
12C	ADCC1I02
12D	VSS
12J	VDD
12K	VDD
12L	VDD
12M	VDD
12U	VDD
12V	VDD
12W	DCUTDI
12Y	DCUTCK
13A	ADCC1I10
13B	ADCC1I11
13C	ADCC1I13
13D	ADCC1I12
13U	MD1
13V	$\overline{\text{DCUTRST}}$
13W	DCUTMS
13Y	VSS
14A	ADCC1I21
14B	ADCC1I22
14C	ADCC1I32
14D	ADCC1I20
14U	VSS
14V	VSS
14W	P7_8
14Y	X2
15A	ADCC1I23
15B	ADCC1I33
15C	A1VSS
15V	SYSVCC
15W	SYSVCC
15Y	X1
16A	A2VSS
16B	A1VREFH
16C	A1VCC
16V	VCC

表 1.4 RH850/C1M-A2 ピン配置 (5/6)

ピン番号	端子名
16W	RESET
16Y	VCC
17A	A2VCC
17B	A2VREFH
17C	ADCC2I20
17G	VSS
17H	VDD
17J	VSS
17K	VCC
17L	P2_1/TAUD2I1/TAUD2O1/TSG3I07/INTP1
17M	P1_15/TAUD1I15/TAUD1O15/TAPA1WN/TSG32O6
17N	VSS
17P	VDD
17V	VSS
17W	FLMODE
17Y	MD0
18A	ADCC2I00
18B	ADCC2I22
18C	ADCC2I21
18D	ADCC2I31
18E	ADCC2I33
18F	ADCC2I11
18G	P3_7/TAUD2I15/TAUD2O15/TAPA2WN/ADCC2TRG/RSENT3SPCO
18H	P3_3/TAUD2I11/TAUD2O11/TAPA2UN/ENCA1E0/RDC3A1_OUT_U
18J	P2_7/TAUD2I7/TAUD2O7/TSG3I06/INTP7
18K	P2_6/TAUD2I6/TAUD2O6/TSG3I04/INTP6
18L	P2_2/TAUD2I2/TAUD2O2/TSG3I01/INTP2
18M	P1_12/TAUD1I12/TAUD1O12/TAPA1VP/TAUD1O13/TSG32O5
18N	P1_9/TAUD1I9/TAUD1O9/TSG32O7/TAPA4ESO
18P	P1_6/TAUD1I6/TAUD1O6/TAUD1O7/TSG30O4
18R	P1_3/TAUD1I3/TAUD1O3/TSG30O3
18T	P1_1/TAUD1I1/TAUD1O1/ENCA0TIN1/TSG30O7
18U	P6_8/TAUD3I8/TAUD3O8/TAUJ1I0/TAUJ1O0
18V	P0_2/TAUD0I2/TAUD0O2/TAUJ0I2/TAUJ0O2/TAPA3ESO
18W	P0_0/TAUD0I0/TAUD0O0/TAUJ0I0/TAUJ0O0
18Y	P0_1/TAUD0I1/TAUD0O1/TAUJ0I1/TAUJ0O1/TAPA5ESO
19A	N.C.
19B	ADCC2I01
19C	ADCC2I02
19D	ADCC2I23
19E	ADCC2I32
19F	ADCC2I12
19G	P3_6/TAUD2I14/TAUD2O14/TAPA2WP/RSENT3RX/RSENT3SPCO
19H	P3_2/TAUD2I10/TAUD2O10/TAPA2UP/ADCC1TRG

表 1.4 RH850/C1M-A2 ピン配置 (6/6)

ピン番号	端子名
19J	P3_1/TAUD219/TAUD209/ADCC0TRG/RSENT2SPCO/TAPA2ESO
19K	P2_5/TAUD215/TAUD205/TSG31O2/INTP5
19L	P2_3/TAUD213/TAUD203/TSG31O3/INTP3
19M	P1_13/TAUD1113/TAUD1013/TAPA1VN/TSG32O2
19N	P1_10/TAUD1110/TAUD1010/TAPA1UP/TAUD1011/TSG32O1
19P	P1_7/TAUD117/TAUD107/TSG30O6
19R	P1_4/TAUD114/TAUD104/TAUD105/TSG30O5
19T	P1_0/TAUD110/TAUD100/ENCA0TIN0/TAUD101/TSG30O0
19U	P0_5/TAUD015/TAUD005/TAUJ010/TAUJ000/TAPA4ESO/INTP2
19V	P0_3/TAUD013/TAUD003/TAUJ013/TAUJ003/CAN2RX/INTP0
19W	P6_7/TAUD317/TAUD307/RDC3A1_OUT_U/TAPA1ESO
19Y	N.C.
20A	N.C.
20B	N.C.
20C	ADCC2I03
20D	ADCC2I30
20E	ADCC2I10
20F	ADCC2I13
20G	P3_5/TAUD2113/TAUD2013/TAPA2VN/ENCA1EC/RDC3A1_OUT_W/TAPA0ESO
20H	P3_4/TAUD2112/TAUD2012/TAPA2VP/ENCA1E1/RDC3A1_OUT_V/ADCC0TRG/TAPA3ESO
20J	P3_0/TAUD218/TAUD208/RSENT2RX/RSENT2SPCO/TAPA1ESO
20K	P2_4/TAUD214/TAUD204/TSG31O5/INTP4
20L	P2_0/TAUD210/TAUD200/TSG31O0/INTP0
20M	P1_14/TAUD1114/TAUD1014/TAPA1WP/TAUD1015/TSG32O4
20N	P1_11/TAUD1111/TAUD1011/TAPA1UN/TSG32O3
20P	P1_8/TAUD118/TAUD108/TAUD109/TSG32O0/TAPA2ESO
20R	P1_5/TAUD115/TAUD105/TSG30O2
20T	P1_2/TAUD112/TAUD102/TAUD103/TSG30O1
20U	P6_9/TAUD319/TAUD309/TAUJ111/TAUJ101
20V	P0_4/TAUD014/TAUD004/TAUD311/TAUD301/CAN2TX/INTP1
20W	N.C.
20Y	N.C.

1.2.2 RH850/C1M-A1 (176 ピン QFP)

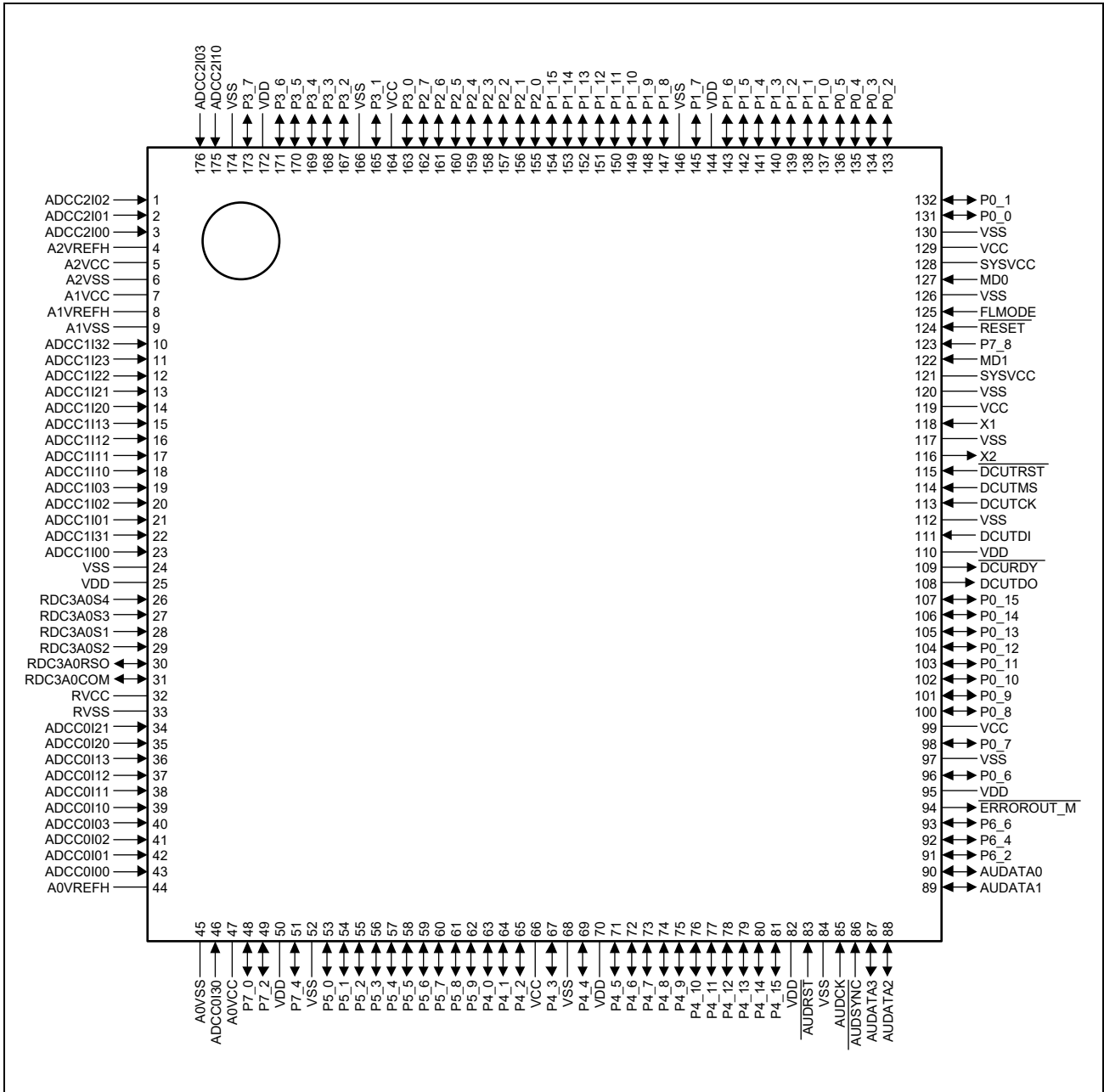


図 1.4 RH850/C1M-A1 端子接続図

表 1.5 RH850/C1M-A1 ピン配置 (1/4)

ピン番号	端子名
1	ADCC2I02
2	ADCC2I01
3	ADCC2I00
4	A2VREFH
5	A2VCC
6	A2VSS
7	A1VCC
8	A1VREFH
9	A1VSS
10	ADCC1I32
11	ADCC1I23
12	ADCC1I22
13	ADCC1I21
14	ADCC1I20
15	ADCC1I13
16	ADCC1I12
17	ADCC1I11
18	ADCC1I10
19	ADCC1I03
20	ADCC1I02
21	ADCC1I01/RDC3A0COSMNT
22	ADCC1I31
23	ADCC1I00/RDC3A0SINMNT
24	VSS
25	VDD
26	RDC3A0S4
27	RDC3A0S3
28	RDC3A0S1
29	RDC3A0S2
30	RDC3A0RSO
31	RDC3A0COM
32	RVCC
33	RVSS
34	ADCC0I21
35	ADCC0I20
36	ADCC0I13
37	ADCC0I12
38	ADCC0I11
39	ADCC0I10
40	ADCC0I03
41	ADCC0I02
42	ADCC0I01
43	ADCC0I00
44	A0VREFH

表 1.5 RH850/C1M-A1 ピン配置 (2/4)

ピン番号	端子名
45	A0VSS
46	ADCC0I30
47	A0VCC
48	P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC
49	P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO
50	VDD
51	P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI
52	VSS
53	P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3
54	P5_1/RLIN32TX/SCI0TXD/CSIH2SSI
55	P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RYI/CSIH2RYO
56	P5_3/RLIN31TX/SCI1SCK/SCI1SCK
57	P5_4/RLIN30RX/SCI1RXD
58	P5_5/RLIN30TX/SCI1TXD/ $\overline{\text{ERROROUT_C}}$
59	P5_6/TAPA0ESO
60	P5_7/SCI2SCK
61	P5_8/SCI2RXD
62	P5_9/SCI2TXD
63	P4_0/CSIH1SI
64	P4_1/CSIH1SO
65	P4_2/CSIH1SC
66	VCC
67	P4_3/CAN0RX/CSIH1CSS0
68	VSS
69	P4_4/CAN0TX/CSIH1CSS1
70	VDD
71	P4_5/CAN1RX/CSIH0CSS2/CSIH1CSS2
72	P4_6/CAN1TX/CSIH0CSS3/CSIH1CSS3
73	P4_7/CSIH0SI/CSIH1SSI
74	P4_8/CSIH0SO/CSIH1RYI/CSIH1RYO
75	P4_9/CSIH0SC
76	P4_10/TPBA0O/CAN2RX/CSIH0CSS0
77	P4_11/CAN2TX/CSIH0CSS1
78	P4_12/RLIN30RX/CSIH0SSI
79	P4_13/RLIN30TX/CSIH0RYI/CSIH0RYO
80	P4_14/CAN3RX
81	P4_15/CAN3TX/ $\overline{\text{ERROROUT_C}}$
82	VDD
83	$\overline{\text{AUDRST}}$
84	VSS
85	AUDCK
86	$\overline{\text{AUDSYNC}}$
87	AUDATA3
88	AUDATA2

表 1.5 RH850/C1M-A1 ピン配置 (3/4)

ピン番号	端子名
89	AUDATA1
90	AUDATA0
91	P6_2/ENCA1TIN0/RDC3A0_OUT_W/ADCC0TRG
92	P6_4/ENCA1TIN1/RDC3A0_OUT_V
93	P6_6/RDC3A0_OUT_U/TAPA0ESO
94	$\overline{\text{ERROROUT_M}}$
95	VDD
96	P0_6/TAUD0I6/TAUD0O6/TAUJ0I1/TAUJ0O1/ENCA0E0/RDC3A0_OUT_U/INTP3
97	VSS
98	P0_7/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/ENCA0E1/RDC3A0_OUT_V/INTP4
99	VCC
100	P0_8/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/ENCA0E2/RDC3A0_OUT_W/INTP5
101	P0_9/TAUD0I9/TAUD0O9/INTP6
102	P0_10/TAUD0I10/TAUD0O10/TAPA0UP/INTP7
103	P0_11/TAUD0I11/TAUD0O11/TAPA0UN/TSGTRG
104	P0_12/TAUD0I12/TAUD0O12/TAPA0VP/RSENT0RX/RSENT0SPCO
105	P0_13/TAUD0I13/TAUD0O13/TAPA0VN/RSENT0SPCO
106	P0_14/TAUD0I14/TAUD0O14/TAPA0WP/RSENT1RX/RSENT1SPCO
107	P0_15/TAUD0I15/TAUD0O15/TAPA0WN/RSENT1SPCO
108	DCUTDO
109	$\overline{\text{DCURDY}}$
110	VDD
111	DCUTDI
112	VSS
113	DCUTCK
114	DCUTMS
115	$\overline{\text{DCUTRST}}$
116	X2
117	VSS
118	X1
119	VCC
120	VSS
121	SYSVCC
122	MD1
123	P7_8
124	$\overline{\text{RESET}}$
125	FLMODE
126	VSS
127	MD0
128	SYSVCC
129	VCC
130	VSS
131	P0_0/TAUD0I0/TAUD0O0/TAUJ0I0/TAUJ0O0
132	P0_1/TAUD0I1/TAUD0O1/TAUJ0I1/TAUJ0O1

表 1.5 RH850/C1M-A1 ピン配置 (4/4)

ピン番号	端子名
133	P0_2/TAUD0I2/TAUD0O2/TAUJ0I2/TAUJ0O2/TAPA3ESO
134	P0_3/TAUD0I3/TAUD0O3/TAUJ0I3/TAUJ0O3/CAN2RX/INTP0
135	P0_4/TAUD0I4/TAUD0O4/CAN2TX/INTP1
136	P0_5/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/TAPA4ESO/INTP2
137	P1_0/TAUD1I0/TAUD1O0/ENCA0TIN0/TAUD1O1/TSG30O0
138	P1_1/TAUD1I1/TAUD1O1/ENCA0TIN1/TSG30O7
139	P1_2/TAUD1I2/TAUD1O2/TAUD1O3/TSG30O1
140	P1_3/TAUD1I3/TAUD1O3/TSG30O3
141	P1_4/TAUD1I4/TAUD1O4/TAUD1O5/TSG30O5
142	P1_5/TAUD1I5/TAUD1O5/TSG30O2
143	P1_6/TAUD1I6/TAUD1O6/TAUD1O7/TSG30O4
144	VDD
145	P1_7/TAUD1I7/TAUD1O7/TSG30O6
146	VSS
147	P1_8/TAUD1I8/TAUD1O8/TAUD1O9
148	P1_9/TAUD1I9/TAUD1O9/TAPA4ESO
149	P1_10/TAUD1I10/TAUD1O10/TAPA1UP/TAUD1O11
150	P1_11/TAUD1I11/TAUD1O11/TAPA1UN
151	P1_12/TAUD1I12/TAUD1O12/TAPA1VP/TAUD1O13
152	P1_13/TAUD1I13/TAUD1O13/TAPA1VN
153	P1_14/TAUD1I14/TAUD1O14/TAPA1WP/TAUD1O15
154	P1_15/TAUD1I15/TAUD1O15/TAPA1WN
155	P2_0/TSG31O0/INTP0
156	P2_1/TSG31O7/INTP1
157	P2_2/TSG31O1/INTP2
158	P2_3/TSG31O3/INTP3
159	P2_4/TSG31O5/INTP4
160	P2_5/TSG31O2/INTP5
161	P2_6/TSG31O4/INTP6
162	P2_7/TSG31O6/INTP7
163	P3_0/RSENT2RX/RSENT2SPCO/TAPA1ESO
164	VCC
165	P3_1/ADCC0TRG/RSENT2SPCO
166	VSS
167	P3_2/ADCC1TRG
168	P3_3/ENCA1E0
169	P3_4/ENCA1E1/ADCC0TRG/TAPA3ESO
170	P3_5/ENCA1EC/TAPA0ESO
171	P3_6/RSENT3RX/RSENT3SPCO
172	VDD
173	P3_7/ADCC2TRG/RSENT3SPCO
174	VSS
175	ADCC2I10
176	ADCC2I03

第2章 端子

本章では、ポート機能および端子について説明します。

最初の節では、ポート機能について説明します。

それ以降の節では、ポートグループ、Digital Noise Filter、端子について説明します。

2.1 ポート機能

2.1.1 特長

ポートグループ

この製品には下記番号のポートグループがあります。

表 2.1 本製品のポートグループ

製品名		グループ数	グループ名
RH850/C1M-A	BGA252/ QFP176	8	P0~P7

ポートグループインデックス n

この章を通して、個々のポートグループはインデックス “n” (n=0~7) により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMCn です。

レジスタベースアドレスポートのベースアドレスを以下の表に示します。ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORT_base>	FFC1 0000 _H

2.1.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。端子、ポート、またはポートグループの用語の説明は、「**2.1.2.1 用語**」を参照してください。

2.1.2.1 用語

この章で使用されている用語について説明します。

- ポートグループ

1つのポートグループは最大で 16本の端子から成り、ポートグループにより端子数が異なります。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。

- ポートモード/ポート ポートモードでは、端子は汎用入出力として機能します。汎用入出力機能

「ポート」と呼び、Pn_mの名称で示します。たとえば、P0_7はポートグループ0のポート7を示します。

- 兼用モード

兼用モードでは、端子は周辺機能の入出力として機能します。1つの端子に複数の周辺機能を兼用しており、使用する周辺機能を制御レジスタで選択できます。

2.1.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポートモード (PMnCn.PMCn_m = 0)

ポートモードでは、端子は汎用入出力ポートとして動作します。PMn.PMn_m で入力/出力を選択します。

- S/W I/O 制御兼用モード (PMnCn.PMCn_m = 1、PIPCn.PIPCn_m = 0)

S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力/出力の選択は、S/W による PMn.PMn_m コントロールビットの設定によって行われます。

- 直接 I/O 制御兼用モード (PMnCn.PMCn_m = 1、PIPCn.PIPCn_m = 1)

直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力/出力が直接制御されます。

レジスタ設定の概要は表 2.3 に示します。

表 2.3 端子機能の設定 (概要)

モード	ビット			I/O
	PMnCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	0/1	出力モード
		1	0/1	入力モード ^{注1}
S/W I/O 制御兼用モード	1	0	0	出力モード
		1	0	入力モード ^{注2}
直接 I/O 制御兼用モード		0/1	1	兼用機能による制御 ^{注2}

注 1. 入力バッファを必ず許可 (PIBCn_m = 1) してください。

注 2. 兼用モードの入力端子として使用する場合、必ず PIBCn_m = 0 に設定してください。

端子が兼用モード (PMnCn.PMCn_m = 1) の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

- S/W I/O 制御兼用モード (PIPCn.PIPCn_m = 0) :

- 出力 (PMn_m = 0) : ALT-OUT1~ALT-OUT7
- 入力 (PMn_m = 1) : ALT-IN1~ALT-IN7

- 直接 I/O 制御兼用モード (PIPCn.PIPCn_m = 1) :

- ALT-OUT1~ALT-OUT7、ALT-IN1~ALT-IN7 の入出力は、兼用機能によって直接選択されます。

表 2.4 兼用モード選択の概要 (PM_{Cn}.PM_{Cn_m} = 1)

機能	レジスタ				I/O
	PFCAE	PFCE	PFC	PM ^{注1}	
兼用出力モード1 (ALT-OUT1)	0	0	0	0	O
兼用入力モード1 (ALT-IN1)	0	0	0	1	I
兼用出力モード2 (ALT-OUT2)	0	0	1	0	O
兼用入力モード2 (ALT-IN2)	0	0	1	1	I
兼用出力モード3 (ALT-OUT3)	0	1	0	0	O
兼用入力モード3 (ALT-IN3)	0	1	0	1	I
兼用出力モード4 (ALT-OUT4)	0	1	1	0	O
兼用入力モード4 (ALT-IN4)	0	1	1	1	I
兼用出力モード5 (ALT-OUT5)	1	0	0	0	O
兼用入力モード5 (ALT-IN5)	1	0	0	1	I
兼用出力モード6 (ALT-OUT6)	1	0	1	0	O
兼用入力モード6 (ALT-IN6)	1	0	1	1	I
兼用出力モード7 (ALT-OUT7)	1	1	0	0	O
兼用入力モード7 (ALT-IN7)	1	1	0	1	I

注 1. PIP_{Cn}.PIP_{Cn_m} = 1 の場合は、入出力方向は周辺 (兼用) 機能によって直接制御され、PMは無視されます。

端子が兼用モード (PM_{Cn}.PM_{Cn_m} = 1) の場合、複数の兼用機能の1つを PFC_n、PFCE_n、PFCAE_n レジスタによって選択します。

2.1.2.3 端子データ入力/出力

データの入力/出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

出力データ

ポートモード (PMcn.PMCn_m = 0) では Pn.Pn_m の値が Pn_m 端子から出力されます。

入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを表 2.5 に示します。

表 2.5 PPRn_m リード値

PMC n_m	PM n_m	PIBC n_m	PIPC n_m	モード	PPRn_m リード値
0	1	0	X	ポート入力、入力バッファ禁止	Pn.Pn_m ビット
		1		ポート入力、入力バッファ許可	Pn_m 端子
	0	X		ポートプッシュプル出力	Pn.Pn_m ビット ^{注1}
1	1	X	0	S/W I/O 制御兼用入力	Pn_m 端子
	0			S/W I/O 制御兼用出力	兼用機能内部出力信号 ^{注1}
	X	1	直接 I/O 制御兼用モード	兼用モードでの入出力ポート： 入力：Pn_m 端子 出力：兼用機能からの出力信号 ^{注1}	

注 1. PBDCn_m = 1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

表 2.5 に示す各制御レジスタの効果：

- PMcn.PMCn_m
このビットは、ポートモード (PMcn_m = 0) または兼用モード (PMcn_m = 1) を選択します。
- PMn.PMn_m
このビットは、ポートモード (PMcn_m = 0) と S/W I/O 制御兼用モード (PMcn_m = 1、PIPCn_m = 0) 時に入力 (PMn_m = 1) または出力 (PMn_m = 0) を選択します。
- PIBcn.PIBcn_m
このビットは、入力ポートモード (PMcn_m = 0 と PMn_m = 1) 時に入力バッファを使用不可 (PIBCn_m = 0) または使用許可 (PIBCn_m = 1) を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。
- PIPcn.PIPcn_m
このビットは、S/W I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- PBDCn.PBDCn_m
出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

Pn レジスタへのライト

ポートモード (PMCN.PMCn_m = 0) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されません。

Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

新しいデータは Pn レジスタに直接ライトすることができます。

- 間接的な Pn レジスタへのビット操作 (set/reset/not)

Pn レジスタへのビット操作 (set/reset/not) は 2 つのレジスタを使って間接的に可能です。

- ポートセット/リセットレジスタ PSRn

PSRn.PSRn_(m+16) ビット = 1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。

- ポートノットレジスタ PNOTn

PNOTn.PNOTn_m = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

2.1.3 ポートタイプ

端子機能の全体構成を **図 2.1** に示します。ポートブロックの詳細は、**図 2.2** を参照してください。

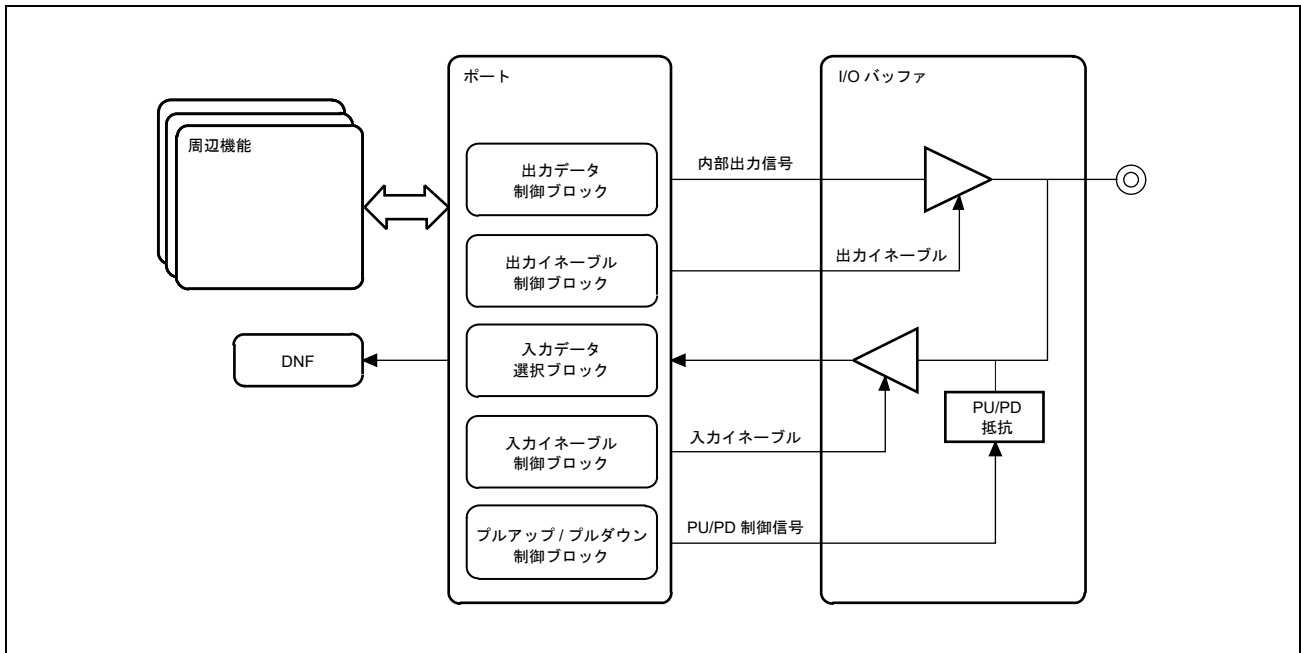


図 2.1 端子全体構成ブロック図

ポートの制御論理を図 2.2 に示します。実際の回路を表現するものではありません。

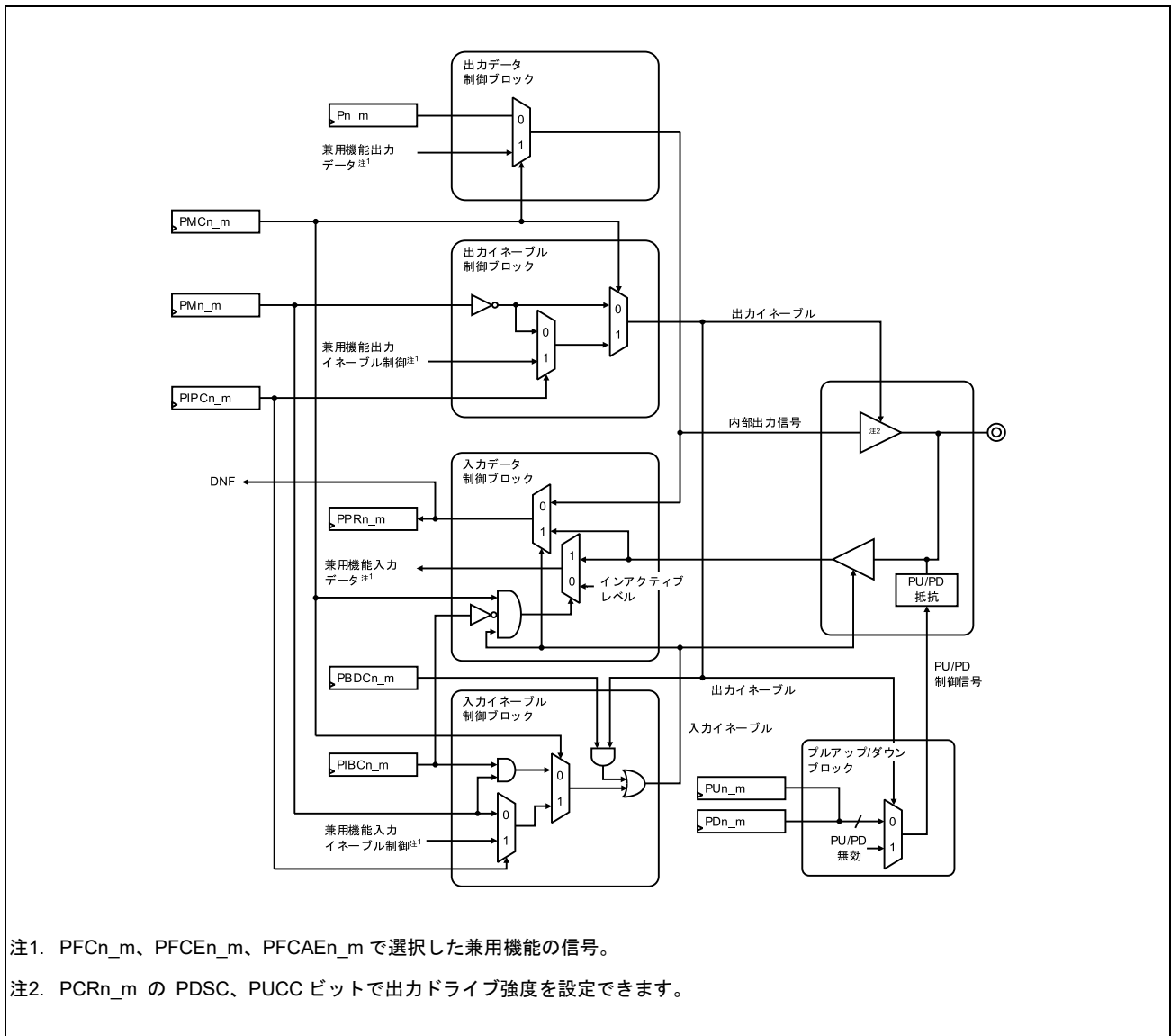


図 2.2 ポート制御論理

2.1.4 ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 「2.1.4.2 端子機能の設定」
- 「2.1.4.3 端子データ入力/出力」
- 「2.1.4.4 電気的特性の設定」
- 「2.1.4.5 端子単位のレジスタ」

2.1.4.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

表 2.6 ポートグループコンフィグレーションレジスタ

レジスタ名	記号	レジスタ設定単位	アドレス
ポートレジスタ	Pn	ポートグループ単位	<PORT_base> + 0000 _H + n × 40 _H
ポートセット/リセットレジスタ	PSRn	ポートグループ単位	<PORT_base> + 0004 _H + n × 40 _H
ポートノットレジスタ	PNOTn	ポートグループ単位	<PORT_base> + 0008 _H + n × 40 _H
ポート端子リードレジスタ	PPRn	ポートグループ単位	<PORT_base> + 000C _H + n × 40 _H
ポートモードレジスタ	PMn	ポートグループ単位	<PORT_base> + 0010 _H + n × 40 _H
ポートモードコントロールレジスタ	PMCN	ポートグループ単位	<PORT_base> + 0014 _H + n × 40 _H
ポート機能コントロールレジスタ	PFCn	ポートグループ単位	<PORT_base> + 0018 _H + n × 40 _H
ポート機能コントロール拡張レジスタ	PFCEn	ポートグループ単位	<PORT_base> + 001C _H + n × 40 _H
ポートモードセット/リセットレジスタ	PMSRn	ポートグループ単位	<PORT_base> + 0020 _H + n × 40 _H
ポートモードコントロールセット/リセットレジスタ	PMCSRn	ポートグループ単位	<PORT_base> + 0024 _H + n × 40 _H
ポート機能コントロール追加拡張レジスタ	PFCAEn	ポートグループ単位	<PORT_base> + 0028 _H + n × 40 _H
ポート入力バッファコントロールレジスタ	PIBCn	ポートグループ単位	<PORT_base> + 4000 _H + n × 40 _H
ポート双方向コントロールレジスタ	PBDCn	ポートグループ単位	<PORT_base> + 4004 _H + n × 40 _H
ポート IP コントロールレジスタ	PIPCn	ポートグループ単位	<PORT_base> + 4008 _H + n × 40 _H
プルアップオプションレジスタ	PUn	ポートグループ単位	<PORT_base> + 400C _H + n × 40 _H
プルダウンオプションレジスタ	PDn	ポートグループ単位	<PORT_base> + 4010 _H + n × 40 _H
ポートコントロールレジスタ	PCRN _m	端子単位	<PORT_base> + 2000 _H + n × 40 _H + m × 4 _H

備考 n: ポートグループ番号

m: ポートグループ内のビット番号

ベースアドレス

PORTn のベースアドレス<PORT_base>は、「2.1.1 特長」のレジスタベースアドレスで定義しています。

レジスタリセット後の値

リセット解除後の値はポートに依存します。リセット後の値については、以降のレジスタ説明ではなく、「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」に記載します。

2.1.4.2 端子機能の設定

(1) PMCn — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 0014_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.7 PMCn レジスタの内容

ビット位置	ビット名	機能
15~0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

(2) PMCSRn — ポートモードコントロールセット/リセットレジスタ

このレジスタは、PMCn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PMCSRn の上位 16 ビットは、対応する PMCSRn の下位 16 ビットのデータを PMCn.PMCn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31~16 は常に 0000_H がリードされます。ビット 15~0 は PMCn レジスタの値がリードされます。

アドレス <PORT_base> + 0024_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCS Rn_31	PMCS Rn_30	PMCS Rn_29	PMCS Rn_28	PMCS Rn_27	PMCS Rn_26	PMCS Rn_25	PMCS Rn_24	PMCS Rn_23	PMCS Rn_22	PMCS Rn_21	PMCS Rn_20	PMCS Rn_19	PMCS Rn_18	PMCS Rn_17	PMCS Rn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCS Rn_15	PMCS Rn_14	PMCS Rn_13	PMCS Rn_12	PMCS Rn_11	PMCS Rn_10	PMCS Rn_9	PMCS Rn_8	PMCS Rn_7	PMCS Rn_6	PMCS Rn_5	PMCS Rn_4	PMCS Rn_3	PMCS Rn_2	PMCS Rn_1	PMCS Rn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.8 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31~16	PMCSRn_[31:16]	対応する PMCSRn_m の下位ビットの値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMCn_m は PMCSRn_m に依存しません。 1 : PMCn_m は PMCSRn_m の値になります。 例： PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15~0	PMCSRn_[15:0]	対応する上位ビットの PMCSRn_(m+16) が 1 の場合、PMCn_m の値を指定するデータビットです。 0 : PMCn_m = 0 1 : PMCn_m = 1

(3) PIPCn — ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御されるかを指定します。

Pn_m 端子が兼用モード (PMn.PMn_m = 1) となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 4008_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.9 PIPCn レジスタの内容

ビット位置	ビット名	機能
15~0	PIPCn_[15:0]	入出力モードを指定します。 0 : 入出力モードは PMn.PMn_m (S/W 入出力制御) によって制御します。 1 : 入出力モードは周辺機能 (直接入出力制御) によって制御します。

(4) PMn — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス $\langle \text{PORT_base} \rangle + 0010_{\text{H}} + n \times 40_{\text{H}}$

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.10 PMn レジスタの内容

ビット位置	ビット名	機能
15~0	PMn_[15:0]	対応する端子の入力/出力モードを指定します。 0: 出力モード (出力許可) 1: 入力モード (出力禁止)

備 考

1. 端子を入力ポートモード (PMnCn.PMCn_m = 0 かつ PMn.PMn_m = 1) で使用する場合は、入力バッファを許可する必要があります (PIBCn.PIBCn_m = 1)。
2. リセット後は PIPCn.PIPCn_m = 0 なので、PMn_m はポートモード (PMnCn.PMCn_m = 0) と兼用モード (PMnCn.PMCn_m = 1) の入出力方向を指定します。

(5) PMSRn — ポートモードセット/リセットレジスタ

このレジスタは、PMn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PMSRn の上位 16 ビットは、対応する PMSRn の下位 16 ビットのデータを PMn.PMn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31~16 は常に 0000_H がリードされます。ビット 15~0 は PMn レジスタの値がリードされます。

アドレス <PORT_base> + 0020_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSR n_31	PMSR n_30	PMSR n_29	PMSR n_28	PMSR n_27	PMSR n_26	PMSR n_25	PMSR n_24	PMSR n_23	PMSR n_22	PMSR n_21	PMSR n_20	PMSR n_19	PMSR n_18	PMSR n_17	PMSR n_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSR n_15	PMSR n_14	PMSR n_13	PMSR n_12	PMSR n_11	PMSR n_10	PMSR n_9	PMSR n_8	PMSR n_7	PMSR n_6	PMSR n_5	PMSR n_4	PMSR n_3	PMSR n_2	PMSR n_1	PMSR n_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.11 PMSRn レジスタの内容

ビット位置	ビット名	機能
31~16	PMSRn_[31:16]	対応する PMSRn_m の下位ビットの値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMn_m は PMSRn_m に依存しません。 1 : PMn_m は PMSRn_m の値になります。 例： PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15~0	PMSRn_[15:0]	対応する上位ビットの PMSRn_(m+16) が 1 の場合、PMn_m 値を指定するデータビットです。 0 : PMn_m = 0 1 : PMn_m = 1

(6) PIBCn — ポート入力バッファコントロールレジスタ

このレジスタは、端子を入力ポートモード（PMcn.PMCn_m = 0 かつ PMn.PMn_m = 1）で使用する場合、入力バッファの許可/禁止を設定します。ただし、S/W I/O 制御兼用モード（PMcn.PMCn_m = 1 かつ PIPcn.PIPCn_m = 0）や直接 I/O 制御兼用モード（PMcn.PMCn_m = 1 かつ PIPcn.PIPCn_m = 1）の入力端子として使用する場合は、PIBCn.PIBCn_m = 0 に設定してください。

また、端子が双方向モード（PBDCn.PBDCn_m = 1）のとき、PIBCn.PIBCn_m の設定で兼用 出力レベルループバック機能と端子出力レベルリード機能を選択できます。詳細は、「2.1.4.3 端子データ入力/出力

(1) PBDCn — ポート双方向コントロールレジスタ」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 4000_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.12 PIBCn レジスタの内容

ビット位置	ビット名	機能
15~0	PIBCn_[15:0]	入力ポートモード時、入力バッファの許可/禁止を設定します。 0：入力バッファ禁止 1：入力バッファ許可

備 考

入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。

(7) PFCn — ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 0018_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.13 PFCn レジスタの内容

ビット位置	ビット名	機能
15~0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMcn.PMCn_m = 1)」を参照してください。

(8) PFCEn — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 001CH + n × 40H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn _15	PFCEn _14	PFCEn _13	PFCEn _12	PFCEn _11	PFCEn _10	PFCEn _9	PFCEn _8	PFCEn _7	PFCEn _6	PFCEn _5	PFCEn _4	PFCEn _3	PFCEn _2	PFCEn _1	PFCEn _0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.14 PFCEn レジスタの内容

ビット位置	ビット名	機能
15~0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMcN.PMcN_m = 1)」を参照してください。

(9) PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCn、PFCEn レジスタとともに、端子の兼用機能を指定します。いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 0028H + n × 40H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAE n_15	PFCAE n_14	PFCAE n_13	PFCAE n_12	PFCAE n_11	PFCAE n_10	PFCAE n_9	PFCAE n_8	PFCAE n_7	PFCAE n_6	PFCAE n_5	PFCAE n_4	PFCAE n_3	PFCAE n_2	PFCAE n_1	PFCAE n_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.15 PFCAEn レジスタの内容

ビット位置	ビット名	機能
15~0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.4 兼用モード選択の概要 (PMcN.PMcN_m = 1)」を参照してください。

2.1.4.3 端子データ入力/出力

(1) PBDCn — ポート双方向コントロールレジスタ

このレジスタは、端子を出力モードで使用時に入力バッファも許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

- 兼用出力レベルループバック機能

Pn_m 端子を兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 0 に設定すると、兼用出力機能による実際の端子出力レベルを、兼用入力側にループバックすることができます。たとえば、第1兼用機能による端子出力レベルを、同じ第1兼用の入力側にループバックすることができます。また、PPRn.PPRn_m で端子出力レベルをリードすることもできます。

- 端子出力レベルリード機能

Pn_m 端子を汎用出力ポート機能もしくは兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 1 に設定すると、PPRn.PPRn_m で実際の端子出力レベルをリードすることができます。兼用出力モードであっても、端子出力レベルが兼用入力側にループバックすることはありません。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 4004_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn _15	PBDCn _14	PBDCn _13	PBDCn _12	PBDCn _11	PBDCn _10	PBDCn _9	PBDCn _8	PBDCn _7	PBDCn _6	PBDCn _5	PBDCn _4	PBDCn _3	PBDCn _2	PBDCn _1	PBDCn _0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.16 PBDCn レジスタの内容

ビット位置	ビット名	機能
15~0	PBDCn_[15:0]	対応する端子の双方向モードの許可/禁止を指定します。 0: 双方向モードを禁止 1: 双方向モードを許可

(2) PPRn — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。リードする値は、「表 2.5 PPRn_m リード値」に示すように、制御設定によって異なります。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PORT_base> + 000CH + n × 40H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2.17 PPRn レジスタの内容

ビット位置	ビット名	機能
15~0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

(3) Pn — ポートレジスタ

このレジスタは、出力ポートモード時（ $PMCn.PMCn_m = 0$ 、 $PMn.PMn_m = 0$ ）に、ポート Pn_m から出力される Pn.Pn_m データを設定／保持します。

アクセス 16ビット単位でリード／ライト可能です。

アドレス $\langle \text{PORT_base} \rangle + 0000\text{H} + n \times 40\text{H}$

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.18 Pn レジスタの内容

ビット位置	ビット名	機能
15~0	Pn_[15:0]	m 端子 (m = 0~15) の出力レベルを設定します。 0 : ロウレベル出力 1 : ハイレベル出力

備 考

このレジスタのビットは、さまざまな手段で操作できます。「2.1.2.3 端子データ入力／出力」の「Pn レジスタへのライト」を参照してください。

(4) PNOTn — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます。

アクセス 16 ビット単位でライト可能です。常に 0000_H としてリードされます。

アドレス <PORT_base> + 0008_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn _15	PNOTn _14	PNOTn _13	PNOTn _12	PNOTn _11	PNOTn _10	PNOTn _9	PNOTn _8	PNOTn _7	PNOTn _6	PNOTn _5	PNOTn _4	PNOTn _3	PNOTn _2	PNOTn _1	PNOTn _0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 2.19 PNOTn レジスタの内容

ビット位置	ビット名	機能
15~0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0 : Pn.Pn_m を反転しない (Pn_m → Pn_m) 1 : Pn.Pn_m を反転する (Pn_m → Pn_m)

(5) PSRn — ポートセット/リセットレジスタ

このレジスタは、Pn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PSRn の上位 16 ビットは、対応する PSRn の下位 16 ビットのデータを Pn.Pn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

ビット 31~16 は常に 0000_H がリードされます。ビット 15~0 は Pn レジスタの値がリードされます。

アドレス <PORT_base> + 0004_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.20 PSRn レジスタの内容

ビット位置	ビット名	機能
31~16	PSRn_[31:16]	対応する PSRn_m の下位ビットの値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0 : Pn_m は PSRn_m に依存しません。 1 : Pn_m は PSRn_m の値になります。 例： PSRn.PSRn_31 = 1 の場合、PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15~0	PSRn_[15:0]	対応する上位ビットの PSRn_(m+16) が 1 の場合、Pn_m 値を指定するデータビットです。 0 : Pn_m = 0 1 : Pn_m = 1

2.1.4.4 電気的特性の設定

(1) PUn — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 400CH + n × 40H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn _15	PUn _14	PUn _13	PUn _12	PUn _11	PUn _10	PUn _9	PUn _8	PUn _7	PUn _6	PUn _5	PUn _4	PUn _3	PUn _2	PUn _1	PUn _0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.21 PUn レジスタの内容

ビット位置	ビット名	機能
15~0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルアップ抵抗を接続しない 1 : 内蔵プルアップ抵抗を接続する

備 考

- 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
- 2 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

(2) PDn — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 4010_H + n × 40_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.1.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn _15	PDn _14	PDn _13	PDn _12	PDn _11	PDn _10	PDn _9	PDn _8	PDn _7	PDn _6	PDn _5	PDn _4	PDn _3	PDn _2	PDn _1	PDn _0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.22 PDn レジスタの内容

ビット位置	ビット名	機能
15~0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルダウン抵抗を接続しない 1 : 内蔵プルダウン抵抗を接続する

備 考

- 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
- 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

2.1.4.5 端子単位のレジスタ

(1) PCRn_m — ポートコントロールレジスタ

このレジスタ経由でポートグループ単位の各レジスタにアクセスすることができ、1 端子の全機能を 1 つの PCRn_m レジスタで設定可能です。たとえば、PCRn_m レジスタのビット 6 に 1 をセットすると、PMcn レジスタのビット m も 1 になります。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 2000_H + n × 40_H + m × 4_H

リセット後の値 「2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)」および「2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PUCC	PDSC	—	—	—	—	PU	PD	PBDC	PIBC
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	P	—	—	—	PPR	—	PMC	PIPC	PM	—	PFCAE	PFCE	PFC
R/W	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 2.23 PCRn_m レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PUCC	PUCC PDSC 出力時のドライブ強度を選択 0 0: Low 0 1: High 1 0: Mid 上記以外は設定禁止
24	PDSC	
23~20	予約ビット	
19	PU	PU _n レジスタのビット m と同じ機能
18	PD	PD _n レジスタのビット m と同じ機能
17	PBDC	PBDC _n レジスタのビット m と同じ機能
16	PIBC	PIBC _n レジスタのビット m と同じ機能
15~13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	P	P _n レジスタのビット m と同じ機能
11~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	PPR	PPR _n レジスタのビット m と同じ機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PMC	PMC _n レジスタのビット m と同じ機能
5	PIPC	PIPC _n レジスタのビット m と同じ機能

表 2.23 PCRn_m レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	PM	PMn レジスタのビット m と同じ機能
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PFCAE	PFCAEn レジスタのビット m と同じ機能
1	PFCE	PFCEn レジスタのビット m と同じ機能
0	PFC	PFCn レジスタのビット m と同じ機能

2.1.4.6 ポート設定のフロー例

ポート設定のフローチャート例を次に示します。各フローチャートの「ポートフィルタの設定」については、「**2.3.2.4 周辺機能 DNF の設定手順**」を参照してください。

注 意

ポートを SW I/O 制御兼用モードで使用するとき、本紙のポート設定フロー例では一時的に兼用入力モードになる場合があるので注意してください。下図の例では、PMcn_m = 1 に設定してから、PMn_m = 0 に設定するまでの期間が該当します。

(1) 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

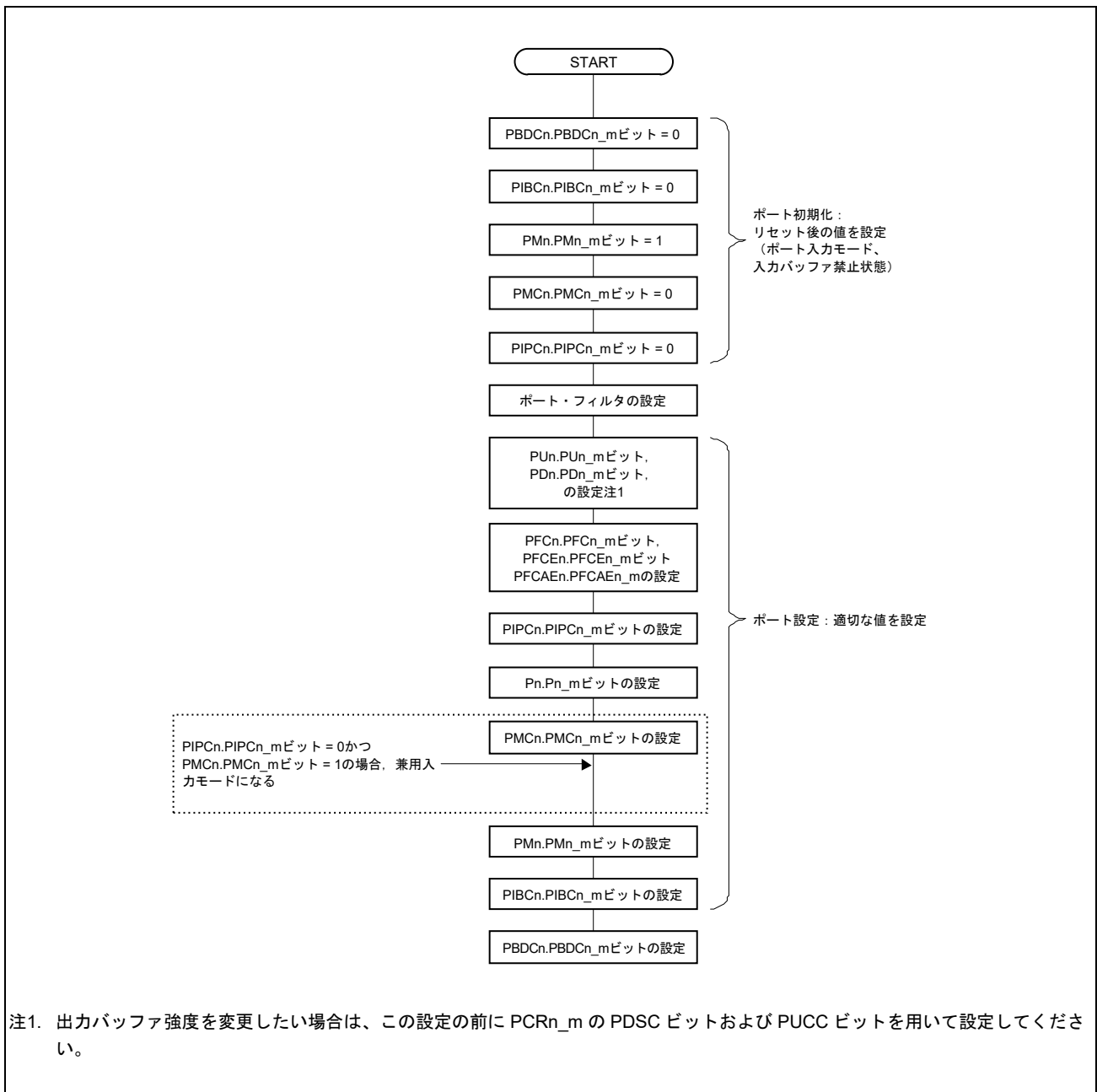


図 2.3 ポート設定のフローチャート例（一括設定の場合）

(2) 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

また、PCRn_m レジスタを使用すれば、下図の設定範囲内の複数ビットを一括設定できます。

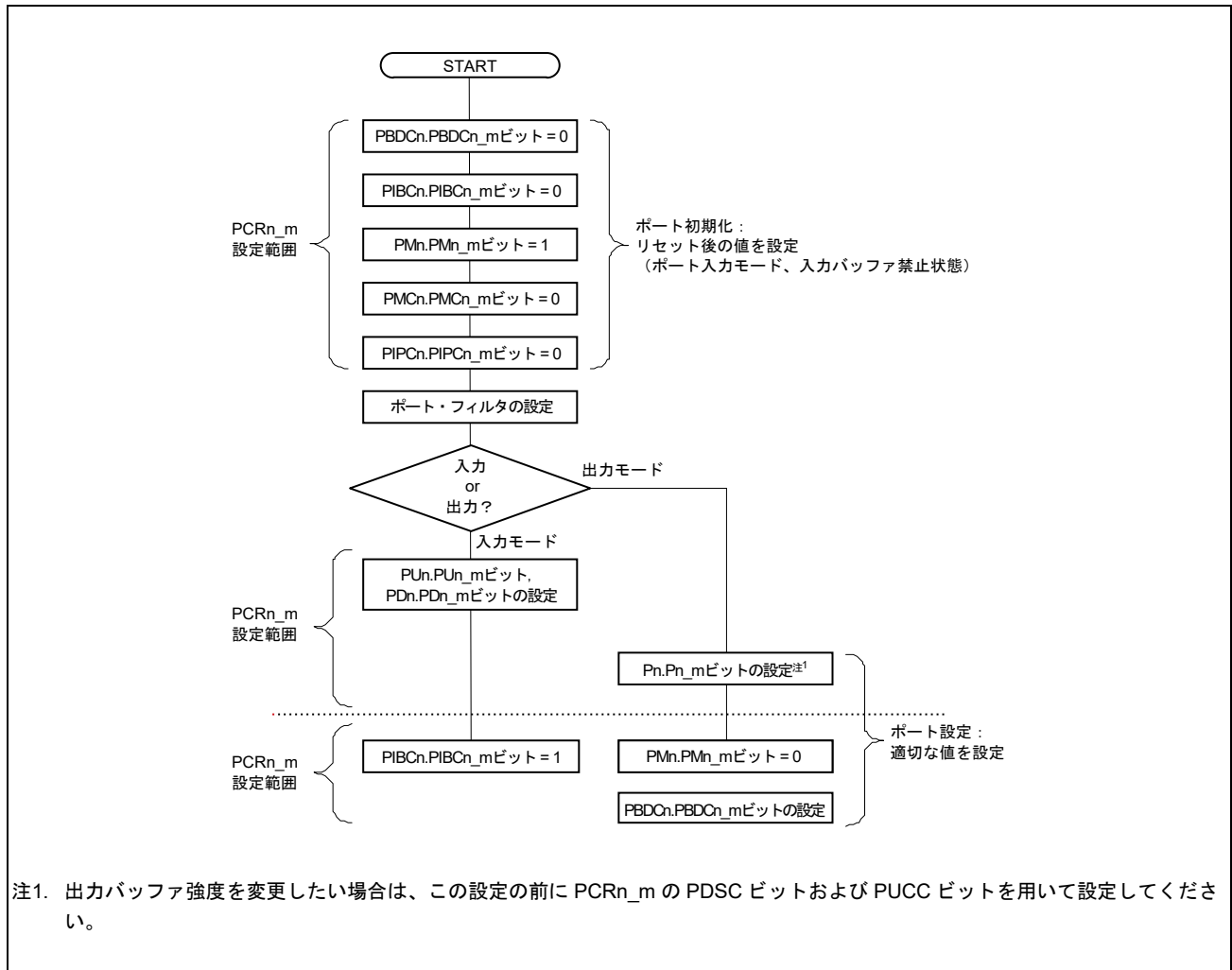


図 2.4 ポート設定のフローチャート例 (ポートモードの場合)

(a) IP コントロールありの場合 (PIPC = 1)

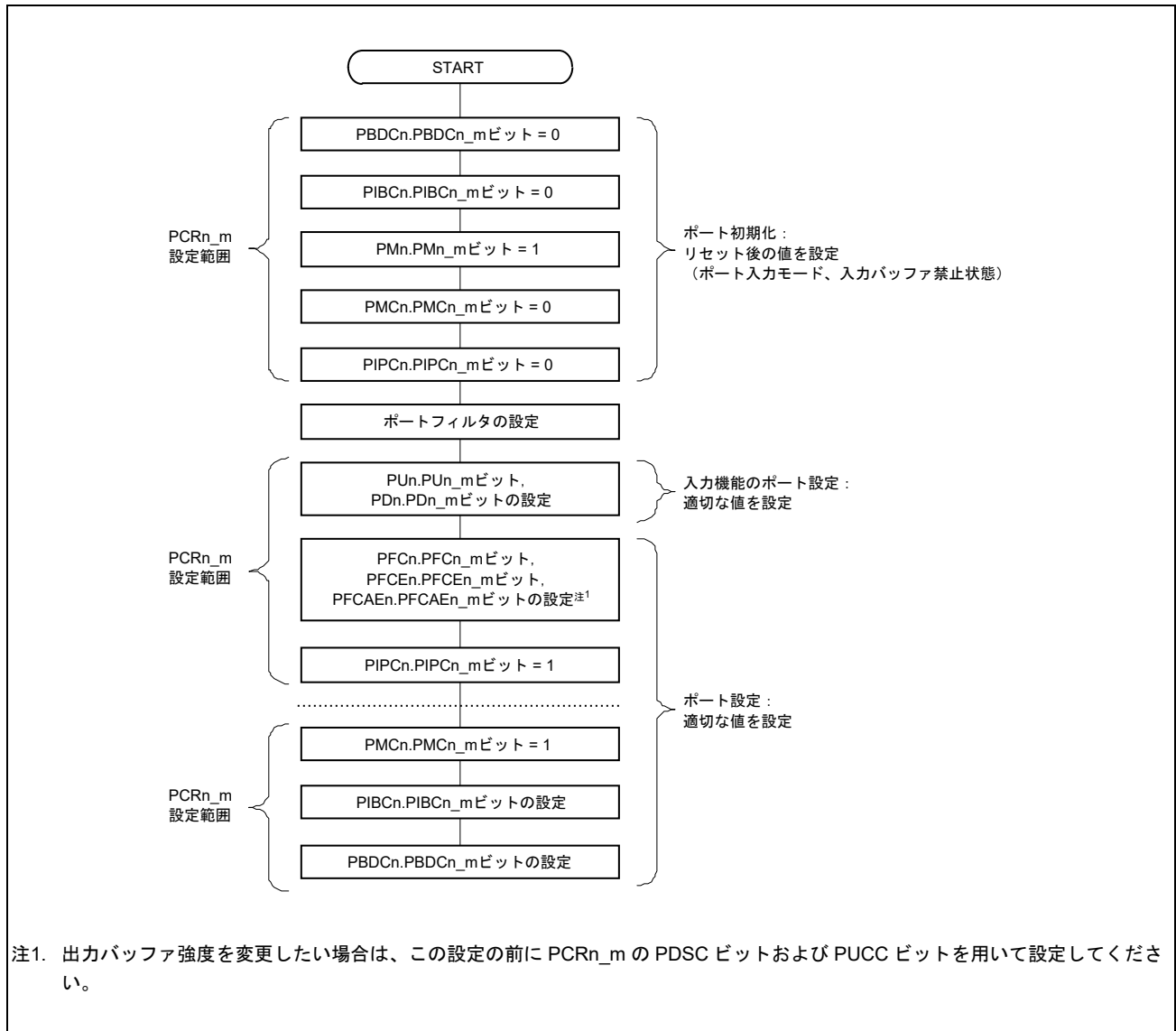


図 2.5 ポート設定のフローチャート例（兼用モードの場合）（1/2）

(b) IP コントロールなしの場合 (PIPC = 0)

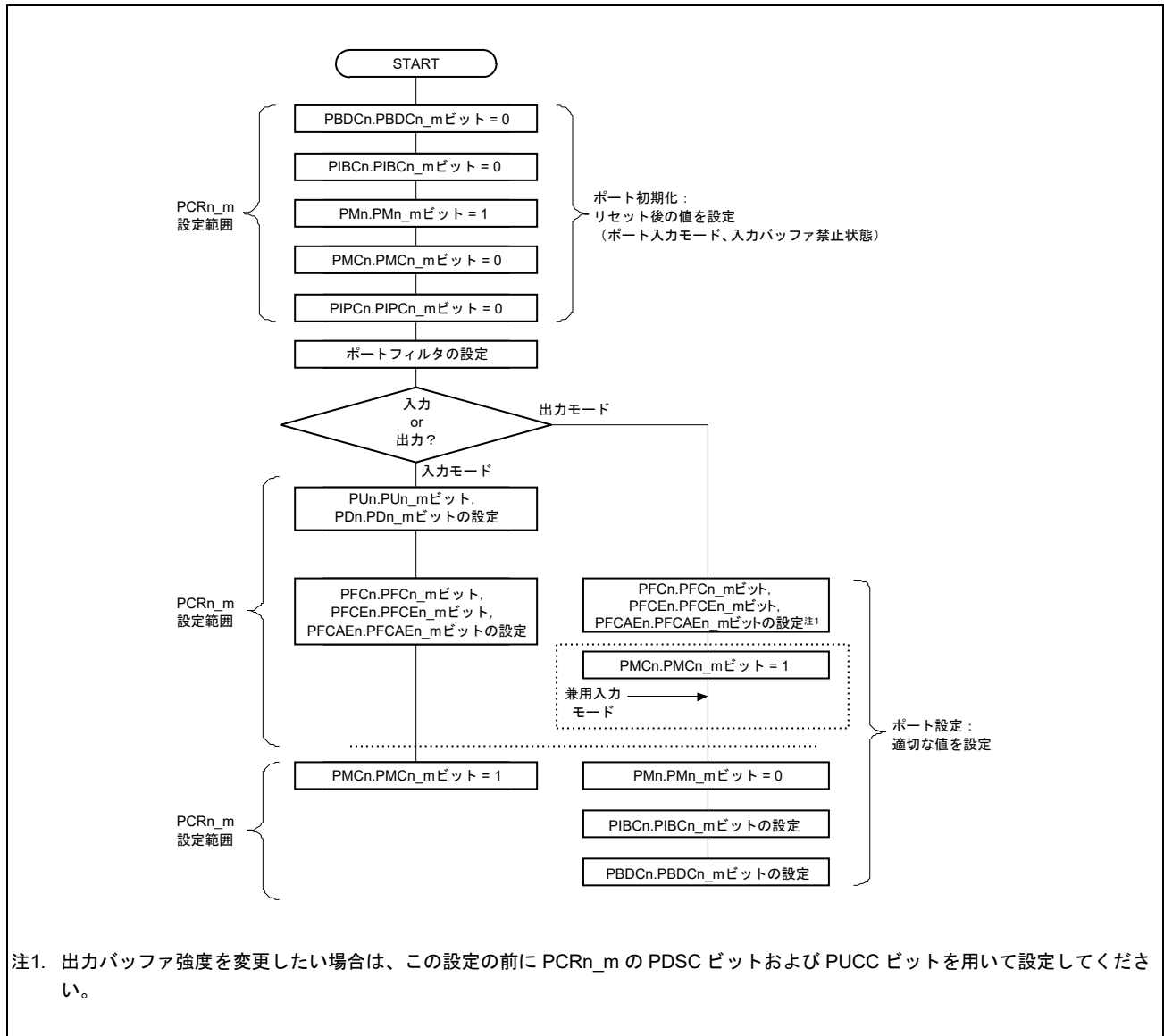


図 2.6 ポート設定のフローチャート例 (兼用モードの場合) (2/2)

2.1.5 機能選択

2.1.5.1 兼用機能使用時のレジスタ設定

端子の兼用機能を使用するとき、 $PMCN_m = 1$ に設定し、 $PFCn_m$ 、 $PFCEn_m$ 、 $PFCAEn_m$ で兼用番号を選択してください。また、いくつかの周辺機能では、1つの兼用入出力機能を複数の端子に割り当てています。しかし、これらの兼用機能を、複数の端子で有効にすることは禁止です。

2.1.5.2 直接 I/O 制御兼用モードで使用する兼用機能

表 2.24 の兼用機能を使用ときは、直接 I/O 制御兼用モードに設定してください。 $PIPCn_m = 1$ に設定すると、周辺機能がバッファの入力、出力許可を制御するため、 PMn_m の設定値は無視されます。なお、**表 2.24** 以外の兼用機能を使用ときは、 $PIPCn_m = 0$ に設定してください。

表 2.24 PIPC レジスタの設定が必要な端子一覧

分類	端子名	I/O	機能
SCIn (n = 0~2)	SCInRXD	I	受信データ入力
	SCInTXD	O	送信データ出力
	SCInSCK	I/O	シリアルクロック入出力
CSIHn (n = 0~2)	CSIHnSO	O	送信データ出力
	CSIHnSC	I/O	シリアルクロック入出力
	CSIHnRYI/CSIHnRYO	I/O	ハンドシェイク信号入出力
TSG3n ^{注 1}	TSG3nO1	O	3相 PWM 出力 (Hi-Z 制御)
	TSG3nO2	O	
	TSG3nO3	O	
	TSG3nO4	O	
	TSG3nO5	O	
	TSG3nO6	O	
TAPAn ^{注 2}	TAPAn UN	O	3相 PWM 出力 (Hi-Z 制御)
	TAPAn UP	O	
	TAPAn VN	O	
	TAPAn VP	O	
	TAPAn WN	O	
	TAPAn WP	O	
RSENT(n = 0~3)	RSENTnRX	I	RSENTn 受信データ入力
	RSENTnSPCO	O	RSENTn SPC 拡張出力

注 1. C1M-A2 : n = 0~2、C1M-A1 : n = 0~1

注 2. C1M-A2 : n = 0~5、C1M-A1 : n = 0~1, 3~4

2.1.5.3 ERROROUT_C 端子の設定

ERROROUT_C 端子のエラー出力機能を使用するときは、故障診断のために兼用出力レベルループバック機能を有効にしてください。

2.1.5.4 デバッグ用 JTAG ポートの機能の選択

JTAG ポートは複数のツール接続用の I/F を兼用しており、モード端子設定とオプションバイト設定の組み合わせにより I/F が決定します。動作モードがユーザブートモードの場合、オプションバイトの OPBT2 の設定で I/F を選択できます。それ以外の動作モードの場合 OPBT2 の設定は無効となり、各動作モードに対応した I/F が選択されます。詳細は「**5.2 動作モード**」を参照してください。

2.2 ポートグループ構成

2.2.1 C1M-A2 ポート機能 (BGA)

2.2.1.1 C1M-A2 ポートレジスタ一覧 (BGA)

各ポートの制御レジスタ詳細ビット配置について、**表 2.25**～**表 2.32**に示します。ビットマップにおいて“○”は有効ビット、“—”は予約ビットを表します。予約ビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んでください。

表 2.30 C1M-A2 (BGA) ポートグループ 5 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考			
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
PORT	5	P5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0		
PORT		PSR5	RW	0000 0000 _H	32	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
							—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	上位 16 ビット
PORT		PPR5	R	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PM5	RW	FFFF _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PMC5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PFC5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PFCE5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PFCAE5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PNOT5	W	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PMSR5	RW	0000 FFFF _H	32	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
							—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	上位 16 ビット
PORT		PMCSR5	RW	0000 0000 _H	32	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
							—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	上位 16 ビット
PORT		PIBC5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PBDC5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT	PIPC5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0		
PORT	PU5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0		
PORT	PD5	RW	0000 _H	16	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0		

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																	
						25	24	19	18	17	16	12	8	6	5	4	2	1	0				
						PUC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC				
PORT	5	PCR5_0	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PCR5_1	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PCR5_2	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PCR5_3	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PCR5_4	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PCR5_5	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
PORT		PCR5_6	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	—	0	0	0	0	0		
PORT		PCR5_7	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
PORT		PCR5_8	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
PORT		PCR5_9	RW	0000 0010 _H	32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

2.2.1.2 C1M-A2 (BGA) 端子兼用機能一覧

各ポートの端子兼用機能一覧を、表 2.33～表 2.40 に示します。表の“—”の記載は予約ですので、選択しないでください。

表 2.33 C1M-A2 (BGA) ポートグループ 0 端子兼用機能一覧

ポート	況用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P0_0	IO	TAUD00	TAUD000	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	—	—	—	—
P0_1	IO	TAUD01	TAUD001	TAUJ01	TAUJ001	—	—	—	—	—	—	—	—	—	—	—	—
P0_2	IO	TAUD02	TAUD002	TAUJ02	TAUJ002	—	—	—	—	—	—	—	—	—	—	—	—
P0_3	IO	TAUD03	TAUD003	TAUJ03	TAUJ003	—	—	—	—	CAN2RX	—	—	—	—	—	—	—
P0_4	IO	TAUD04	TAUD004	—	—	—	—	TAUD31	TAUD301	—	—	—	—	—	—	—	—
P0_5	IO	TAUD05	TAUD005	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	—	—	—	—
P0_6	IO	TAUD06	TAUD006	TAUJ01	TAUJ001	ENCA0E0	RDC3A0_OU T_U	—	—	—	—	—	—	—	—	—	—
P0_7	IO	TAUD07	TAUD007	TAUJ02	TAUJ002	ENCA0E1	RDC3A0_OU T_V	—	—	—	—	—	—	—	—	—	—
P0_8	IO	TAUD08	TAUD008	TAUJ03	TAUJ003	ENCA0EC	RDC3A0_OU T_W	—	—	—	—	—	—	—	—	—	—
P0_9	IO	TAUD09	TAUD009	—	—	—	—	TAUD33	TAUD303	—	—	—	—	—	—	—	—
P0_10	IO	TAUD010	TAUD010	—	TAPA0UP	—	—	TAUD35	TAUD305	—	—	—	—	—	—	—	—
P0_11	IO	TAUD011	TAUD011	—	TAPA0UN	—	—	TAUD37	TAUD307	—	—	—	—	—	—	—	—
P0_12	IO	TAUD012	TAUD012	—	TAPA0VP	—	—	TAUD39	TAUD309	RSENT0RX	—	—	—	—	—	—	—
P0_13	IO	TAUD013	TAUD013	—	TAPA0VN	—	—	TAUD311	TAUD311	—	—	—	—	—	—	—	—
P0_14	IO	TAUD014	TAUD014	—	TAPA0WP	—	—	TAUD313	TAUD313	RSENT1RX	—	—	—	—	—	—	—
P0_15	IO	TAUD015	TAUD015	—	TAPA0WN	—	—	TAUD315	TAUD315	—	—	—	—	—	—	—	—

表 2.34 C1M-A2 (BGA) ポートグループ 1 端子兼用機能一覧

ポート	況用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P1_0	IO	TAUD10	TAUD10	—	—	ENCA0T10	—	—	TAUD101	—	TSG3000	—	—	—	—	—	—
P1_1	IO	TAUD11	TAUD101	—	—	ENCA0T11	—	—	—	—	TSG3007	—	—	—	—	—	—
P1_2	IO	TAUD12	TAUD102	—	—	—	—	—	TAUD103	—	TSG3001	—	—	—	—	—	—
P1_3	IO	TAUD13	TAUD103	—	—	—	—	—	—	—	TSG3003	—	—	—	—	—	—
P1_4	IO	TAUD14	TAUD104	—	—	—	—	TAUD105	—	—	TSG3005	—	—	—	—	—	—
P1_5	IO	TAUD15	TAUD105	—	—	—	—	—	—	—	TSG3002	—	—	—	—	—	—
P1_6	IO	TAUD16	TAUD106	—	—	—	—	TAUD107	—	—	TSG3004	—	—	—	—	—	—
P1_7	IO	TAUD17	TAUD107	—	—	—	—	—	—	—	TSG3006	—	—	—	—	—	—
P1_8	IO	TAUD18	TAUD108	—	—	—	—	TAUD109	—	—	TSG3200	TAPA2ESO	—	—	—	—	—
P1_9	IO	TAUD19	TAUD109	—	—	—	—	—	—	—	TSG3207	TAPA4ESO	—	—	—	—	—
P1_10	IO	TAUD110	TAUD110	—	—	—	—	—	TAUD111	—	TSG3201	—	—	—	—	—	—
P1_11	IO	TAUD111	TAUD111	—	—	—	—	—	—	—	TSG3203	—	—	—	—	—	—
P1_12	IO	TAUD112	TAUD112	—	—	—	—	—	TAUD113	—	TSG3205	—	—	—	—	—	—
P1_13	IO	TAUD113	TAUD113	—	—	—	—	—	—	—	TSG3202	—	—	—	—	—	—
P1_14	IO	TAUD114	TAUD114	—	—	—	—	—	TAUD115	—	TSG3204	—	—	—	—	—	—
P1_15	IO	TAUD115	TAUD115	—	—	—	—	—	—	—	TSG3206	—	—	—	—	—	—

表 2.35 C1M-A2 (BGA) ポートグループ 2 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P2_0	IO	TAUD20	TAUD200	—	—	—	—	—	—	TSG3IO0	—	—	—	INTP0	—	—	—
P2_1	IO	TAUD21	TAUD201	—	—	—	—	—	—	TSG3IO7	—	—	—	INTP1	—	—	—
P2_2	IO	TAUD22	TAUD202	—	—	—	—	—	—	TSG3IO1	—	—	—	INTP2	—	—	—
P2_3	IO	TAUD23	TAUD203	—	—	—	—	—	—	TSG3IO3	—	—	—	INTP3	—	—	—
P2_4	IO	TAUD24	TAUD204	—	—	—	—	—	—	TSG3IO5	—	—	—	INTP4	—	—	—
P2_5	IO	TAUD25	TAUD205	—	—	—	—	—	—	TSG3IO2	—	—	—	INTP5	—	—	—
P2_6	IO	TAUD26	TAUD206	—	—	—	—	—	—	TSG3IO4	—	—	—	INTP6	—	—	—
P2_7	IO	TAUD27	TAUD207	—	—	—	—	—	—	TSG3IO6	—	—	—	INTP7	—	—	—

表 2.36 C1M-A2 (BGA) ポートグループ 3 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P3_0	IO	TAUD28	TAUD208	—	—	—	—	—	—	RSENT2RX	RSENT2SPCO	TAPA1ESO	—	—	—	—	—
P3_1	IO	TAUD29	TAUD209	—	—	—	—	ADCC0TRG	—	—	—	TAPA2ESO	—	—	—	—	—
P3_2	IO	TAUD210	TAUD2010	—	—	—	—	ADCC1TRG	—	—	—	—	—	—	—	—	—
P3_3	IO	TAUD211	TAUD2011	—	—	ENCA1E0	RDC3A1_OU T_U	—	—	—	—	—	—	—	—	—	—
P3_4	IO	TAUD212	TAUD2012	—	—	ENCA1E1	RDC3A1_OU T_V	ADCC0TRG	—	—	—	TAPA3ESO	—	—	—	—	—
P3_5	IO	TAUD213	TAUD2013	—	—	ENCA1EC	RDC3A1_OU T_W	—	—	—	—	TAPA0ESO	—	—	—	—	—
P3_6	IO	TAUD214	TAUD2014	—	—	—	—	—	—	RSENT3RX	RSENT3SPCO	—	—	—	—	—	—
P3_7	IO	TAUD215	TAUD2015	—	—	—	—	ADCC2TRG	—	—	—	—	—	—	—	—	—

表 2.37 C1M-A2 (BGA) ポートグループ 4 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P4_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSH1S1	—	—	—
P4_1	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSH1SO	—	—	—
P4_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSH1SC	—	—	—
P4_3	IO	—	—	—	—	—	—	—	—	CAN0RX	—	—	—	—	CSH1CSS0	—	—
P4_4	IO	—	—	—	—	—	—	—	—	CAN0TX	—	—	—	—	CSH1CSS1	—	—
P4_5	IO	—	—	—	—	—	—	—	—	CAN1RX	—	—	CSIH0CSS2	—	CSH1CSS2	—	—
P4_6	IO	—	—	—	—	—	—	—	—	CAN1TX	—	—	CSIH0CSS3	—	CSH1CSS3	—	—
P4_7	IO	—	—	—	—	—	—	—	—	—	CSIH0SI	—	—	CSIH1TSSI	—	—	—
P4_8	IO	—	—	—	—	—	—	—	—	—	—	CSIH0SO	—	CSIH1RYI	CSIH1RYO	—	—
P4_9	IO	—	—	—	—	—	—	—	—	—	CSIH0SC	CSIH0SC	—	—	—	—	—
P4_10	IO	—	—	—	—	—	—	—	—	CAN2RX	—	—	CSIH0CSS0	—	—	—	—
P4_11	IO	—	—	—	—	—	—	—	—	—	CAN2TX	—	CSIH0CSS1	—	—	—	—
P4_12	IO	—	—	—	—	—	—	—	—	—	—	—	CSIH0SSI	—	—	—	—
P4_13	IO	—	—	—	—	—	—	—	—	—	—	RLIN30TX	CSIH0RYI	—	CSIH0RYO	—	—
P4_14	IO	—	—	—	—	—	—	—	—	CAN3RX	—	—	—	—	—	—	—
P4_15	IO	—	—	—	—	—	—	—	—	—	CAN3TX	—	—	—	—	—	—
													ERROROUT_C	—	—	—	—

表 2.38 C1M-A2 (BGA) ポートグループ 5 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P5_0	IO	—	—	—	—	RLIN32RX	—	—	—	—	—	—	—	—	—	—	—
P5_1	IO	—	—	—	—	—	RLIN32TX	—	—	—	—	—	—	—	—	—	—
P5_2	IO	—	—	—	—	RLIN31RX	—	—	—	—	—	—	—	—	—	—	—
P5_3	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_4	IO	—	—	—	—	RLIN30RX	—	—	—	—	—	—	—	—	—	—	—
P5_5	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_6	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_7	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_8	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_9	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.39 C1M-A2 (BGA) ポートグループ 6 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P6_0	IO	TAUD30	TAUD300	TAUJ12	TAUJ102	—	—	—	—	—	—	—	—	—	—	—	—
P6_1	IO	TAUD31	TAUD301	TAUJ13	TAUJ103	—	—	—	—	—	—	—	—	—	—	—	—
P6_2	IO	TAUD32	TAUD302	—	—	ENCA1T10	RDC3A0_OU T_W	ADCC0TRG	—	—	—	—	—	—	—	—	—
P6_3	IO	TAUD33	TAUD303	—	—	—	RDC3A1_OU T_W	—	—	—	—	—	—	—	—	—	—
P6_4	IO	TAUD34	TAUD304	—	—	ENCA1T11	RDC3A0_OU T_V	—	—	—	—	—	—	—	—	—	—
P6_5	IO	TAUD35	TAUD305	—	—	—	RDC3A1_OU T_V	—	—	—	—	—	—	—	—	—	—
P6_6	IO	TAUD36	TAUD306	—	—	—	RDC3A0_OU T_U	—	—	—	TAPA0ESO	—	—	—	—	—	—
P6_7	IO	TAUD37	TAUD307	—	—	—	RDC3A1_OU T_U	—	—	—	TAPA1ESO	—	—	—	—	—	—
P6_8	IO	TAUD38	TAUD308	TAUJ10	TAUJ100	—	—	—	—	—	—	—	—	—	—	—	—
P6_9	IO	TAUD39	TAUD309	TAUJ11	TAUJ101	—	—	—	—	—	—	—	—	—	—	—	—
P6_10	IO	TAUD310	TAUD3010	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_11	IO	TAUD311	TAUD3011	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_12	IO	TAUD312	TAUD3012	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_13	IO	TAUD313	TAUD3013	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_14	IO	TAUD314	TAUD3014	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_15	IO	TAUD315	TAUD3015	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.40 C1M-A2 (BGA) ポートグループ 7 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P7_0	IO	TAUD05	TAUD005	TAUJ00	TAUJ000	—	—	ADCC1TRG	—	—	—	—	CSIH2SC	CSIH2SC	—	—	
P7_1	IO	—	—	—	—	ENCA1TIN0	—	ADCC0TRG	—	—	—	—	—	CSIH2CSS1	—	—	
P7_2	IO	TAUD07	TAUD007	TAUJ02	TAUJ002	—	—	—	—	—	SCI0RXD	—	—	—	—	—	
P7_3	IO	—	—	—	—	ENCA1TIN1	—	—	—	—	—	—	—	CSIH2CSS2	—	—	
P7_4	IO	TAUD08	TAUD008	TAUJ03	TAUJ003	—	—	—	—	—	—	SCI0TXD	CSIH2SI	—	—	—	
P7_5	IO	—	—	—	—	—	—	—	—	—	—	—	—	CSIH2CSS0	—	—	
P7_6	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
P7_7	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
P7_8	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

2.2.2 C1M-A1 ポート機能 (QFP)

2.2.2.1 C1M-A1 ポートレジスタ一覧 (QFP)

各ポートの制御レジスタ詳細ビット配置について、**表 2.41**～**表 2.48**に示します。ビットマップにおいて“○”は有効ビット、“—”は予約ビットを表します。予約ビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んでください。

表 2.46 C1M-A1 (QFP) ポートグループ 5 レジスタ一覧

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考		
						15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
PORT	5	P5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○		
PORT		PSR5	RW	0000 0000 _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
							—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
PORT		PPR5	R	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PM5	RW	FFFF _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMC5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFC5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCE5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PFCAE5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PNOT5	W	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PMSR5	RW	0000 FFFF _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
							—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
PORT		PMCSR5	RW	0000 0000 _H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
							—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
PORT		PIBC5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PBDC5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
PORT	PIPC5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	—	○	○	○	○	○	○	○	○		
PORT	PU5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○		
PORT	PD5	RW	0000 _H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○		

モジュール名	ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
						25	24	19	18	17	16	12	8	6	5	4	2	1	0		
PORT	5	PCR5_0	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_1	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_2	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_3	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_4	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_5	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
PORT		PCR5_6	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	—	○	○	○	○	○	
PORT		PCR5_7	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR5_8	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
PORT		PCR5_9	RW	00000010 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	

2.2.2.2 C1M-A1 (QFP) 端子兼用機能一覧

各ポートの端子兼用機能一覧を、表 2.49～表 2.56 に示します。表の“—”の記載は予約ですので、選択しないでください。

表 2.49 C1M-A1 (QFP) ポートグループ 0 端子兼用機能一覧

ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P0_0	TAUD00	TAUD000	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	—	—	—	—
P0_1	TAUD01	TAUD001	TAUJ01	TAUJ001	—	—	—	—	—	—	—	—	—	—	—	—
P0_2	TAUD02	TAUD002	TAUJ02	TAUJ002	—	—	—	—	—	—	TAPA3ESO	—	—	—	—	—
P0_3	TAUD03	TAUD003	TAUJ03	TAUJ003	—	—	—	—	CAN2RX	—	—	—	INTP0	—	—	—
P0_4	TAUD04	TAUD004	—	—	—	—	—	—	—	CAN2TX	—	—	INTP1	—	—	—
P0_5	TAUD05	TAUD005	TAUJ00	TAUJ000	—	—	—	—	—	—	TAPA4ESO	—	INTP2	—	—	—
P0_6	TAUD06	TAUD006	TAUJ01	TAUJ001	ENCA0E0	RDC3A0_OU T_U	—	—	—	—	—	—	INTP3	—	—	—
P0_7	TAUD07	TAUD007	TAUJ02	TAUJ002	ENCA0E1	RDC3A0_OU T_V	—	—	—	—	—	—	INTP4	—	—	—
P0_8	TAUD08	TAUD008	TAUJ03	TAUJ003	ENCA0EC	RDC3A0_OU T_W	—	—	—	—	—	—	INTP5	—	—	—
P0_9	TAUD09	TAUD009	—	—	—	—	—	—	—	—	—	—	INTP6	—	—	—
P0_10	TAUD010	TAUD010	—	TAPA0UP	—	—	—	—	—	—	—	—	INTP7	—	—	—
P0_11	TAUD011	TAUD011	—	TAPA0UN	—	—	—	—	—	—	TSGTRG	—	—	—	—	—
P0_12	TAUD012	TAUD012	—	TAPA0VP	—	—	—	—	RSENT0RX	RSENT0SPCO	—	—	—	—	—	—
P0_13	TAUD013	TAUD013	—	TAPA0VN	—	—	—	—	—	RSENT0SPCO	—	—	—	—	—	—
P0_14	TAUD014	TAUD014	—	TAPA0WP	—	—	—	—	RSENT1RX	RSENT1SPCO	—	—	—	—	—	—
P0_15	TAUD015	TAUD015	—	TAPA0WN	—	—	—	—	—	RSENT1SPCO	—	—	—	—	—	—

表 2.50 C1M-A1 (QFP) ポートグループ 1 端子兼用機能一覧

ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用		
	況用 入出力 ポート	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P1_0	IO	TAUD10	TAUD10	—	—	ENCA0T1N0	—	—	TAUD101	—	TSG3000	—	—	—	—	—	—
P1_1	IO	TAUD11	TAUD101	—	—	ENCA0T1N1	—	—	—	—	TSG3007	—	—	—	—	—	—
P1_2	IO	TAUD12	TAUD102	—	—	—	—	—	TAUD103	—	TSG3001	—	—	—	—	—	—
P1_3	IO	TAUD13	TAUD103	—	—	—	—	—	—	—	TSG3003	—	—	—	—	—	—
P1_4	IO	TAUD14	TAUD104	—	—	—	—	—	TAUD105	—	TSG3005	—	—	—	—	—	—
P1_5	IO	TAUD15	TAUD105	—	—	—	—	—	—	—	TSG3002	—	—	—	—	—	—
P1_6	IO	TAUD16	TAUD106	—	—	—	—	—	TAUD107	—	TSG3004	—	—	—	—	—	—
P1_7	IO	TAUD17	TAUD107	—	—	—	—	—	—	—	TSG3006	—	—	—	—	—	—
P1_8	IO	TAUD18	TAUD108	—	—	—	—	—	TAUD109	—	—	—	—	—	—	—	—
P1_9	IO	TAUD19	TAUD109	—	—	—	—	—	—	—	—	TAPA4ESO	—	—	—	—	—
P1_10	IO	TAUD110	TAUD110	—	TAPA1UP	—	—	—	TAUD111	—	—	—	—	—	—	—	—
P1_11	IO	TAUD111	TAUD111	—	TAPA1UN	—	—	—	—	—	—	—	—	—	—	—	—
P1_12	IO	TAUD112	TAUD112	—	TAPA1VP	—	—	—	TAUD113	—	—	—	—	—	—	—	—
P1_13	IO	TAUD113	TAUD113	—	TAPA1VN	—	—	—	—	—	—	—	—	—	—	—	—
P1_14	IO	TAUD114	TAUD114	—	TAPA1WP	—	—	—	TAUD115	—	—	—	—	—	—	—	—
P1_15	IO	TAUD115	TAUD115	—	TAPA1WN	—	—	—	—	—	—	—	—	—	—	—	—

表 2.51 C1M-A1 (QFP) ポートグループ 2 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P2_0	IO	—	—	—	—	—	—	—	—	TSG3IO0	—	—	—	INTP0	—	—	—
P2_1	IO	—	—	—	—	—	—	—	—	TSG3IO7	—	—	—	INTP1	—	—	—
P2_2	IO	—	—	—	—	—	—	—	—	TSG3IO1	—	—	—	INTP2	—	—	—
P2_3	IO	—	—	—	—	—	—	—	—	TSG3IO3	—	—	—	INTP3	—	—	—
P2_4	IO	—	—	—	—	—	—	—	—	TSG3IO5	—	—	—	INTP4	—	—	—
P2_5	IO	—	—	—	—	—	—	—	—	TSG3IO2	—	—	—	INTP5	—	—	—
P2_6	IO	—	—	—	—	—	—	—	—	TSG3IO4	—	—	—	INTP6	—	—	—
P2_7	IO	—	—	—	—	—	—	—	—	TSG3IO6	—	—	—	INTP7	—	—	—

表 2.52 C1M-A1 (QFP) ポートグループ 3 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P3_0	IO	—	—	—	—	—	—	—	—	RSENT2RX	RSENT2SPCO	TAPA1ESO	—	—	—	—	—
P3_1	IO	—	—	—	—	—	—	ADCC0TRG	—	—	RSENT2SPCO	—	—	—	—	—	—
P3_2	IO	—	—	—	—	—	—	ADCC1TRG	—	—	—	—	—	—	—	—	—
P3_3	IO	—	—	—	—	ENCA1E0	—	—	—	—	—	—	—	—	—	—	—
P3_4	IO	—	—	—	—	ENCA1E1	—	ADCC0TRG	—	—	TAPA3ESO	—	—	—	—	—	—
P3_5	IO	—	—	—	—	ENCA1EC	—	—	—	—	TAPA0ESO	—	—	—	—	—	—
P3_6	IO	—	—	—	—	—	—	—	RSENT3RX	RSENT3SPCO	—	—	—	—	—	—	—
P3_7	IO	—	—	—	—	—	—	ADCC2TRG	—	—	RSENT3SPCO	—	—	—	—	—	—

表 2.53 C1M-A1 (QFP) ポートグループ 4 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P4_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_1	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_3	IO	—	—	—	—	—	—	—	—	CAN0RX	—	—	—	—	—	—	—
P4_4	IO	—	—	—	—	—	—	—	—	CAN0TX	—	—	—	—	—	—	—
P4_5	IO	—	—	—	—	—	—	—	—	CAN1RX	—	—	—	—	—	—	—
P4_6	IO	—	—	—	—	—	—	—	—	CAN1TX	—	—	—	—	—	—	—
P4_7	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_8	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_9	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_10	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_11	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_12	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_13	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_14	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P4_15	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.54 C1M-A1 (QFP) ポートグループ 5 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P5_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_1	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_3	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_4	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_5	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_6	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_7	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_8	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5_9	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.55 C1M-A1 (QFP) ポートグループ 6 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P6_2	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_4	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P6_6	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 2.56 C1M-A1 (QFP) ポートグループ 7 端子兼用機能一覧

ポート	汎用 入出力 ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		第 8 兼用	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	ALT_IN8	ALT_OUT8
P7_0	IO	TAUD05	TAUD005	TAUJ00	TAUJ000	—	—	—	—	—	—	—	—	—	—	—	—
P7_2	IO	TAUD07	TAUD007	TAUJ02	TAUJ002	—	—	—	—	—	—	—	—	—	—	—	—
P7_4	IO	TAUD08	TAUD008	TAUJ03	TAUJ003	—	—	—	—	—	—	—	—	—	—	—	—
P7_8	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

2.3 DNF

Digital Noise Filter（以下 DNF）は、製品外部からの入力信号に対してデジタルノイズ除去を実現します。本製品には周辺機能 DNF を搭載しています。

2.3.1 ノイズ除去例

周辺機能 DNF のノイズ除去例を、**図 2.7** に示します。この例では、サンプリングクロックを DNF 入力クロックの 1/2、サンプリング回数を 2 回に設定し、現状の出力レベルをロウレベルにしています。また、図の“o”は、ハイレベルを検出したことを意味しています。

入力例 1、2、3 では 2 回連続で同一レベルが検出されたことにより、出力がロウレベル→ハイレベルに変化します。入力例 4、5、6 では 2 回連続で同一レベルが検出されず、結果としてノイズとみなされたことにより、入力信号の状態が除去されていることを示します。

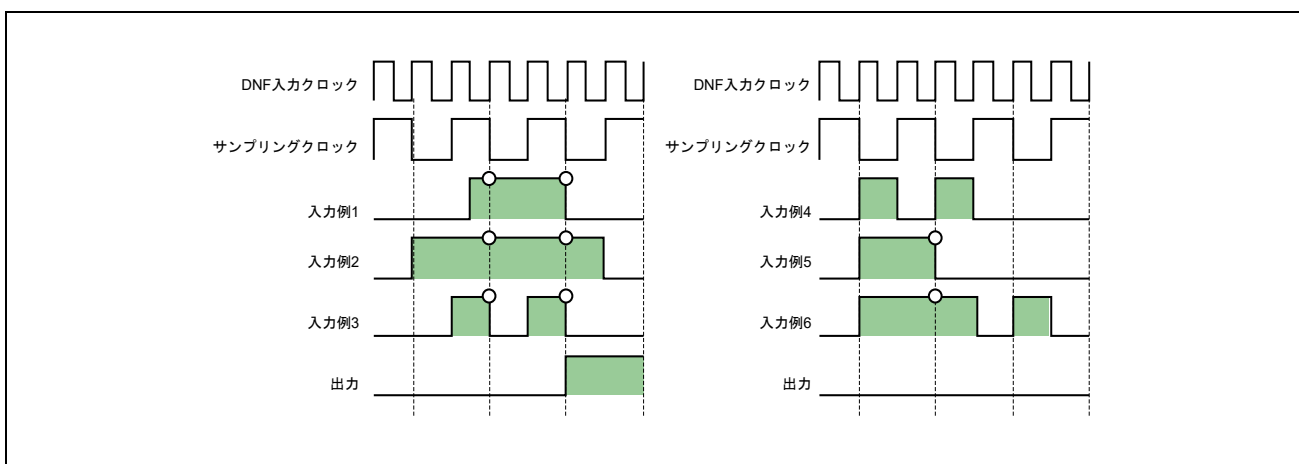


図 2.7 デジタルノイズ除去タイミングチャート

2.3.2 周辺機能 DNF

2.3.2.1 機能概要

周辺機能の入力機能端子に対してノイズ除去を実現します。

周辺機能 DNF は以下の機能を持っています。

デジタルノイズを入力信号から取り除き、ノイズが取り除かれた信号を出力します。

デジタルノイズ除去信号またはデジタルノイズ非除去信号のどちらを出力するか選択する機能を持ちます。

デジタルノイズ除去幅は、サンプリングクロックの 2、3、4、5 回分の中から選択することができます。

5 タイプのサンプリング周波数を選択することができます。サンプリング周波数は以下のとおりです。

DNF 入力クロックの 1/1、1/2、1/4、1/8、1/16 分周

ノイズ除去条件を 1 チャンネル毎にレジスタ設定できます。

DNF グループ番号 0 の DNF 入力クロックは低速周辺クロックです。

DNF グループ番号 1、2、3、4、5、6、7 の DNF 入力クロックは非変調高速周辺クロックです。

DNF グループ番号 8 の DNF 入力クロックは非変調低速周辺クロックです。

2.3.2.2 制御レジスタ詳細

周辺機能 DNF のベースアドレスを以下の表に示します。

周辺機能 DNF のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2.57 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DNF0_base>	FFC3 0000 _H
<DNF1_base>	FFC3 0400 _H
<DNF2_base>	FFC3 0800 _H
<DNF3_base>	FFC3 0C00 _H
<DNF4_base>	FFC3 1000 _H
<DNF5_base>	FFC3 1400 _H
<DNF6_base>	FFC3 1800 _H
<DNF7_base>	FFC3 1C00 _H
<DNF8_base>	FFC3 2000 _H

2.3.2.3 DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ

DNF グループ番号 n、チャネル番号 m のノイズ除去条件を設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <DNFn_base> + 4H × m (m : チャネル番号)

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	NFEN	SLST[1:0]		—	—	PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
RW	R/W	R/W	R/W	R	R	R/W	R/W	R/W

表 2.58 DNFP01nCTLm レジスタの内容

ビット位置	ビット名	機能
7	NFEN	デジタルノイズ除去許可/禁止設定 0 : デジタルノイズ除去しない 1 : デジタルノイズ除去する
6、5	SLST[1:0]	デジタルノイズ除去サンプリング回数設定 00 : 2回 01 : 3回 10 : 4回 11 : 5回
4、3	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
2~0	PRS[2:0]	デジタルノイズ除去サンプリングクロック分周比設定 000 : DNF 入力クロック/1 001 : DNF 入力クロック/2 010 : DNF 入力クロック/4 011 : DNF 入力クロック/8 100 : DNF 入力クロック/16 上記以外 : 設定禁止

2.3.2.4 周辺機能 DNF の設定手順

周辺機能 DNF の設定手順を示します。(4)と(5)の期間に製品端子への入力レベルが変化すると、予期しない信号が周辺機能に入力される可能性があるため、(6)で周辺機能側のフラグクリア等を実施してください。

- (1) DNFP01nCTLm レジスタの[2:0]PRS2-0 と[6:5]SLST1-0 を設定する。
- (2) DNFP01nCTLm レジスタの[7]NFEN をセットする。上記(1)と同時設定可。
- (3) ポートレジスタを設定して兼用機能を選択する。
- (4) サンプルングクロック × サンプルング回数 + DNF 入力クロック × 2 の時間待機する。
- (5) DNF 接続先の周辺機能の動作を許可する。
- (6) 周辺機能のフラグクリア等。

また、DNF が動作している状態から設定を変更する場合、DNFP01nCTLm レジスタの[7]NFEN をクリアしてから、上記(1)～(6)の手順で再設定してください。

2.3.2.5 DNF 挿入対象の周辺機能端子

DNF 挿入対象は以下の信号です。

表 2.59 DNF 挿入対象 (1/3)

DNF グループ番号 n	DNF チャンネル番号 m	DNF 挿入対象端子			
		端子名	端子機能	周辺 IP	
0	0	INTP0	外部割り込み入力	INTC	
	1	INTP1			
	2	INTP2			
	3	INTP3			
	4	INTP4			
	5	INTP5			
	6	INTP6			
	7	INTP7			
	8	TAPA0ESO	緊急時 Hi-Z 要求入力 (TAUD0 PWM 用)	TAPA (PIC1B 経由)	
	9	TAPA1ESO	緊急時 Hi-Z 要求入力 (TAUD1 PWM 用)		
	10	TAPA2ESO 注1	緊急時 Hi-Z 要求入力 (TAUD2 PWM 用)		
	11	TAPA3ESO	緊急時 Hi-Z 要求入力 (TSG30 PWM 用)		
	12	TAPA4ESO	緊急時 Hi-Z 要求入力 (TSG31 PWM 用)		
13	TAPA5ESO 注1	緊急時 Hi-Z 要求入力 (TSG32 PWM 用)			
1	0	ADCC0TRG	SAR-AD 変換起動トリガ入力	SAR-AD0	
	1	ADCC1TRG		SAR-AD1	
	2	ADCC2TRG		SAR-AD2	
	3	TSGTRG	PIC 外部トリガ入力	PIC1B	
2	0	ENCA0TIN0	キャプチャトリガ入力	ENCA0	
	1	ENCA0TIN1			
	2	ENCA0E0			エンコーダ入力
	3	ENCA0E1			
	4	ENCA0EC			
	5	ENCA1TIN0	キャプチャトリガ入力	ENCA1	
	6	ENCA1TIN1			
	7	ENCA1E0			エンコーダ入力
	8	ENCA1E1			
9	ENCA1EC				

表 2.59 DNF 挿入対象 (2/3)

DNF グループ番号 n	DNF チャンネル番号 m	DNF 挿入対象端子		
		端子名	端子機能	周辺 IP
3	0	TAUD0I0	TAUD0 チャンネル入力	TAUD0
	1	TAUD0I1		
	2	TAUD0I2		
	3	TAUD0I3		
	4	TAUD0I4		
	5	TAUD0I5		
	6	TAUD0I6		
	7	TAUD0I7		
	8	TAUD0I8		
	9	TAUD0I9		
	10	TAUD0I10		
	11	TAUD0I11		
	12	TAUD0I12		
	13	TAUD0I13		
	14	TAUD0I14		
15	TAUD0I15			
4	0	TAUD1I0	TAUD1 チャンネル入力	TAUD1
	1	TAUD1I1		
	2	TAUD1I2		
	3	TAUD1I3		
	4	TAUD1I4		
	5	TAUD1I5		
	6	TAUD1I6		
	7	TAUD1I7		
	8	TAUD1I8		
	9	TAUD1I9		
	10	TAUD1I10		
	11	TAUD1I11		
	12	TAUD1I12		
	13	TAUD1I13		
	14	TAUD1I14		
15	TAUD1I15			
5	0	TAUJ0I0	TAUJ0 チャンネル入力	TAUJ0
	1	TAUJ0I1		
	2	TAUJ0I2		
	3	TAUJ0I3		

表 2.59 DNF 挿入対象 (3/3)

DNF グループ番号 n	DNF チャンネル番号 m	DNF 挿入対象端子		
		端子名	端子機能	周辺 IP
5	4	TAUJ110 注1	TAUJ1 チャンネル入力	TAUJ1
	5	TAUJ111 注1		
	6	TAUJ112 注1		
	7	TAUJ113 注1		
6	0	TAUD210 注1	TAUD2 チャンネル入力	TAUD2
	1	TAUD211 注1		
	2	TAUD212 注1		
	3	TAUD213 注1		
	4	TAUD214 注1		
	5	TAUD215 注1		
	6	TAUD216 注1		
	7	TAUD217 注1		
	8	TAUD218 注1		
	9	TAUD219 注1		
	10	TAUD2110 注1		
	11	TAUD2111 注1		
	12	TAUD2112 注1		
	13	TAUD2113 注1		
	14	TAUD2114 注1		
15	TAUD2115 注1			
7	0	TAUD310 注1	TAUD3 チャンネル入力	TAUD3
	1	TAUD311 注1		
	2	TAUD312 注1		
	3	TAUD313 注1		
	4	TAUD314 注1		
	5	TAUD315 注1		
	6	TAUD316 注1		
	7	TAUD317 注1		
	8	TAUD318 注1		
	9	TAUD319 注1		
	10	TAUD3110 注1		
	11	TAUD3111 注1		
	12	TAUD3112 注1		
	13	TAUD3113 注1		
	14	TAUD3114 注1		
15	TAUD3115 注1			
8	0	RSENT0RX	RSENT0 受信データ入力	RSENT0
	1	RSENT1RX	RSENT1 受信データ入力	RSENT1
	2	RSENT2RX	RSENT2 受信データ入力	RSENT2
	3	RSENT3RX	RSENT3 受信データ入力	RSENT3

注 1. C1M-A1 では非対応です。

2.4 端子説明

2.4.1 概要

本節では、端子機能および外部端子の一覧と、リセット時および各状態での外部端子の端子状態を示します。

2.4.2 端子機能一覧

各端子の機能を以下に示します。

表 2.60 C1M-A2 端子機能 (1/3)

端子名	I/O	機能
AnVREFH (n = 0~2)	—	ADCCn 電圧供給と基準電圧
AnVSS (n = 0~2)	—	ADCCn グランド
$\overline{\text{ADCCnTRG}}$ (n = 0~2)	I	ADCCn トリガ
ADCCnlpq (n = 0~2, p = 0~3, q = 0~3)	I	ADCCn 入力チャネル pq
AUDATAm (m = 0~3)	IO	AUDR コマンド/アドレス/データ/フラグ m
AUDCK	I	AUDR クロック
$\overline{\text{AUDRST}}$	I	AUDR リセット
$\overline{\text{AUDSYNC}}$	I	AUDR タイミング制御
AnVCC (n = 0~2)	—	ADCCn 電圧供給
CANmRX (m = 0~3)	I	CANm 受信データ入力
CANmTX (m = 0~3)	O	CANm 送信データ出力
CSIHnCSS0 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 0
CSIHnCSS1 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 1
CSIHnCSS2 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 2
CSIHnCSS3 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 3
CSIHnRYI (n = 0~2)	I	CSIHn レディ (1) / ビジー (0) 入力信号
CSIHnRYO (n = 0~2)	O	CSIHn レディ (1) / ビジー (0) 出力信号
CSIHnSC (n = 0~2)	IO	CSIHn シリアルクロック信号
CSIHnSI (n = 0~2)	I	CSIHn シリアルデータ入力
CSIHnSO (n = 0~2)	O	CSIHn シリアルデータ出力
$\overline{\text{CSIHnSSI}}$ (n = 0~2)	I	CSIHn スレーブ選択入力信号
DCURDY	O	デバッグレディ
DCUTCK	I	デバッグクロック
DCUTDI	I	デバッグデータ入力
DCUTDO	O	デバッグデータ出力
DCUTMS	I	デバッグモード選択
$\overline{\text{DCUTRST}}$	I	デバッグリセット
FLSCI3TX (FPDT)	O	送信データ出力
FLSCI3RX (FPDR)	I	受信データ入力
FLSCI3SCK (FPCK)	I	シリアルクロック入力
ENCAAnE0 (n = 0, 1)	I	ENCAAn エンコーダ入力 (カウントパルス 0)
ENCAAnE1 (n = 0, 1)	I	ENCAAn エンコーダ入力 (カウントパルス 1)

表 2.60 C1M-A2 端子機能 (2/3)

端子名	I/O	機能
ENCA _n TIN _m (n = 0, 1, m = 0, 1)	I	ENCA _n キャプチャトリガ入力 nm
ENCA _n EC (n = 0, 1)	I	ENCA _n エンコーダ入力 (クリアパルス)
$\overline{\text{ERROROUT_M}}$	O	ECM エラー出力 (MAIN)
$\overline{\text{ERROROUT_C}}$	O	ECM エラー出力 (Checker)
FLMODE	I	動作モード選択端子
MD0	I	動作モード選択端子 0
MD1	I	動作モード選択端子 1
INTP _m (m = 0~7)	I	外部割り込み入力 m
LPDCLK	I	LPD クロック入力 (4 ピンモード)
LPDCLKOUT	O	LPD クロック出力 (4 ピンモード)
LPDI	I	LPD データ入力 (4 ピンモード)
LPDO	O	LPD データ出力 (4 ピンモード)
$\overline{\text{LPDRST}}$	I	LPD リセット (4 ピンモード)
P0 _m (m = 0~15)	IO	ポート 0 _m
P1 _m (m = 0~15)	IO	ポート 1 _m
P2 _m (m = 0~7)	IO	ポート 2 _m
P3 _m (m = 0~7)	IO	ポート 3 _m
P4 _m (m = 0~15)	IO	ポート 4 _m
P5 _m (m = 0~9)	IO	ポート 5 _m
P6 _m (m = 0~15)	IO	ポート 6 _m
P7 _m (m = 0~7)	IO	ポート 7 _m
P7 _m (m = 8)	I	ポート 7 _m
SYSVCC	—	システム用電圧供給、PLL 用電圧供給
VCC	—	発振器、Flash 用電圧供給、ポートバッファ電圧供給
VDD	—	電圧レギュレータ電圧供給
VSS	—	グランド
RVCC	—	RDC 用電圧供給
RVSS	—	RDC 用グランド
$\overline{\text{RESET}}$	I	外部リセット入力
RDC3AnCOM (n = 0, 1)	IO	励磁用コモン信号出力
RDC3AnCOSMNT (n = 0, 1)	O	COS 側モニタ信号出力
RDC3AnRSO (n = 0, 1)	IO	励磁信号出力
RDC3AnS1 (n = 0, 1)	I	レゾルバ信号入力
RDC3AnS2 (n = 0, 1)	I	レゾルバ信号入力
RDC3AnS3 (n = 0, 1)	I	レゾルバ信号入力
RDC3AnS4 (n = 0, 1)	I	レゾルバ信号入力
RDC3AnSINMNT (n = 0, 1)	O	SIN 側モニタ信号出力
RLIN3mRX (m = 0~2)	I	RLIN3m 受信データ入力
RLIN3mTX (m = 0~2)	O	RLIN3m 送信データ出力
SCInRXD (n = 0~2)	I	SCIn 受信データ

表 2.60 C1M-A2 端子機能 (3/3)

端子名	I/O	機能
SCI _n SCK (n = 0~2)	IO	SCI _n クロック
SCI _n TXD (n = 0~2)	O	SCI _n 送信データ
TAPAnESO (n = 0~5)	I	Hi-Z 制御
TAPAnUN (n = 0~2)	O	モータ制御出力 U フェーズ (ネガティブ)
TAPAnUP (n = 0~2)	O	モータ制御出力 U フェーズ (ポジティブ)
TAPAnVN (n = 0~2)	O	モータ制御出力 V フェーズ (ネガティブ)
TAPAnVP (n = 0~2)	O	モータ制御出力 V フェーズ (ポジティブ)
TAPAnWN (n = 0~2)	O	モータ制御出力 W フェーズ (ネガティブ)
TAPAnWP (n = 0~2)	O	モータ制御出力 W フェーズ (ポジティブ)
TPBAnO (n = 0, 1)	O	TPBAn チャネル出力
TAUDnIm (n = 0~3, m = 0~15)	I	TAUDn チャネル入力 m
TAUDnOm (n = 0~3, m = 0~15)	O	TAUDn チャネル出力 m
TAUJnIm (n = 0~1, m = 0~3)	I	TAUJn チャネル入力 m
TAUJnOm (n = 0~1, m = 0~3)	O	TAUJn チャネル出力 m
TSG3nOm (n = 0~2, m = 0~7)	O	TSG3n チャネル出力 m
X1,X2	—	水晶振動子接続
RSENTnRX (n = 0~3)	I	SENT 入力
RSENTnSPCO (n = 0~3)	O	SENT 制御出力
RDC3An_OUT_U (n = 0, 1)	O	RDC U 相出力
RDC3An_OUT_V (n = 0, 1)	O	RDC V 相出力
RDC3An_OUT_W (n = 0, 1)	O	RDC W 相出力

注 意

C1M-A2 で SCI30 を使用する場合、同一ポートグループの兼用機能を使用してください。

- シリアルクロック入出力信号を使用する場合
 - P5_0(SCI0RXD)、P5_1(SCI0TXD)、P5_2(SCI0SCK)
- シリアルクロック入出力信号を使用しない場合
 - P5_0(SCI0RXD)、P5_1(SCI0TXD)
 - P7_2(SCI0RXD)、P7_4(SCI0TXD)

表 2.61 C1M-A1 端子機能 (1/3)

端子名	I/O	機能
AnVREFH (n = 0~2)	—	ADCCn 電圧供給と基準電圧
AnVSS (n = 0~2)	—	ADCCn グランド
$\overline{\text{ADCCnTRG}}$ (n = 0~2)	I	ADCCn トリガ
ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く	I	ADCC0 入力チャネル pq
ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く	I	ADCC1 入力チャネル pq
ADCC2lpq (p = 1, q = 1~3)	I	ADCC2 入力チャネル pq
AUDATAm (m = 0~3)	IO	AUDR コマンド/アドレス/データ/フラグ m
AUDCK	I	AUDR クロック
$\overline{\text{AUDRST}}$	I	AUDR リセット
$\overline{\text{AUDSYNC}}$	I	AUDR タイミング制御
AnVCC (n = 0~2)	—	ADCCn 電圧供給
CANmRX (m = 0~3)	I	CANm 受信データ入力
CANmTX (m = 0~3)	O	CANm 送信データ出力
CSIHnCSS0 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 0
CSIHnCSS1 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 1
CSIHnCSS2 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 2
CSIHnCSS3 (n = 0~2)	O	CSIHn シリアル周辺チップ選択信号 3
CSIHnRYI (n = 0~2)	I	CSIHn レディ (1) / ビジー (0) 入力信号
CSIHnRYO (n = 0~2)	O	CSIHn レディ (1) / ビジー (0) 出力信号
CSIHnSC (n = 0~2)	IO	CSIHn シリアルクロック信号
CSIHnSI (n = 0~2)	I	CSIHn シリアルデータ入力
CSIHnSO (n = 0~2)	O	CSIHn シリアルデータ出力
$\overline{\text{CSIHnSSI}}$ (n = 0~2)	I	CSIHn スレーブ選択入力信号
$\overline{\text{DCURDY}}$	O	デバッグレディ
DCUTCK	I	デバッグクロック
DCUTDI	I	デバッグデータ入力
DCUTDO	O	デバッグデータ出力
DCUTMS	I	デバッグモード選択
$\overline{\text{DCUTRST}}$	I	デバッグリセット
FLSCI3TX (FPDT)	O	送信データ出力
FLSCI3RX (FPDR)	I	受信データ入力
FLSCI3SCK (FPCK)	I	シリアルクロック入力
ENCAAnE0 (n = 0, 1)	I	ENCAAn エンコーダ入力 (カウントパルス 0)
ENCAAnE1 (n = 0, 1)	I	ENCAAn エンコーダ入力 (カウントパルス 1)

表 2.61 C1M-A1 端子機能 (2/3)

端子名	I/O	機能
ENCA _n TIN _m (n = 0, 1, m = 0, 1)	I	ENCA _n キャプチャトリガ入力 nm
ENCA _n EC (n = 0, 1)	I	ENCA _n エンコーダ入力 (クリアパルス)
$\overline{\text{ERROROUT_M}}$	O	ECM エラー出力 (MAIN)
$\overline{\text{ERROROUT_C}}$	O	ECM エラー出力 (Checker)
FLMODE	I	動作モード選択端子
MD0	I	動作モード選択端子 0
MD1	I	動作モード選択端子 1
INTP _m (m = 0~7)	I	外部割り込み入力 m
LPDCLK	I	LPD クロック入力 (4 ピンモード)
LPDCLKOUT	O	LPD クロック出力 (4 ピンモード)
LPDI	I	LPD データ入力 (4 ピンモード)
LPDO	O	LPD データ出力 (4 ピンモード)
$\overline{\text{LPDRST}}$	I	LPD リセット (4 ピンモード)
P0 _m (m = 0~15)	IO	ポート 0 _m
P1 _m (m = 0~15)	IO	ポート 1 _m
P2 _m (m = 0~7)	IO	ポート 2 _m
P3 _m (m = 0~7)	IO	ポート 3 _m
P4 _m (m = 0~15)	IO	ポート 4 _m
P5 _m (m = 0~9)	IO	ポート 5 _m
P6 _m (m = 2,4,6)	IO	ポート 6 _m
P7 _m (m = 0,2,4)	IO	ポート 7 _m
P7 _m (m = 8)	I	ポート 7 _m
SYSVCC	—	システム用電圧供給、PLL 用電圧供給
VCC	—	発振器、Flash 用電圧供給、ポートバッファ電圧供給
VDD	—	電圧レギュレータ電圧供給
VSS	—	グランド
RVCC	—	RDC 用電圧供給
RVSS	—	RDC 用グランド
$\overline{\text{RESET}}$	I	外部リセット入力
RDC3AnCOM (n = 0)	IO	励磁用コモン信号出力
RDC3AnCOSMNT (n = 0)	O	COS 側モニタ信号出力
RDC3AnRSO (n = 0)	IO	励磁信号出力
RDC3AnS1 (n = 0)	I	レゾルバ信号入力
RDC3AnS2 (n = 0)	I	レゾルバ信号入力
RDC3AnS3 (n = 0)	I	レゾルバ信号入力
RDC3AnS4 (n = 0)	I	レゾルバ信号入力
RDC3AnSINMNT (n = 0)	O	SIN 側モニタ信号出力
RLIN3mRX (m = 0~2)	I	RLIN3m 受信データ入力
RLIN3mTX (m = 0~2)	O	RLIN3m 送信データ出力
SCInRXD (n = 0~2)	I	SCIn 受信データ

表 2.61 C1M-A1 端子機能 (3/3)

端子名	I/O	機能
SCInSCK (n = 0~2)	IO	SCIn クロック
SCInTXD (n = 0~2)	O	SCIn 送信データ
TAPAnESO (n = 0~1, 3~4)	I	Hi-Z 制御
TAPAnUN (n = 0~1)	O	モータ制御出力 U フェーズ (ネガティブ)
TAPAnUP (n = 0~1)	O	モータ制御出力 U フェーズ (ポジティブ)
TAPAnVN (n = 0~1)	O	モータ制御出力 V フェーズ (ネガティブ)
TAPAnVP (n = 0~1)	O	モータ制御出力 V フェーズ (ポジティブ)
TAPAnWN (n = 0~1)	O	モータ制御出力 W フェーズ (ネガティブ)
TAPAnWP (n = 0~1)	O	モータ制御出力 W フェーズ (ポジティブ)
TPBAnO (n = 0)	O	TPBAn チャネル出力
TAUDnIm (n = 0~1, m = 0~15)	I	TAUDn チャネル入力 m
TAUDnOm (n = 0~1, m = 0~15)	O	TAUDn チャネル出力 m
TAUJnIm (n = 0, m = 0~3)	I	TAUJn チャネル入力 m
TAUJnOm (n = 0, m = 0~3)	O	TAUJn チャネル出力 m
TSG3nOm (n = 0~1, m = 0~7)	O	TSG3n チャネル出力 m
X1, X2	—	水晶振動子接続
RSENTnRX (n = 0~3)	I	SENT 入力
RSENTnSPCO (n = 0~3)	O	SENT 制御出力
RDC3An_OUT_U (n = 0)	O	RDC U 相出力
RDC3An_OUT_V (n = 0)	O	RDC V 相出力
RDC3An_OUT_W (n = 0)	O	RDC W 相出力

注 意

C1M-A1 で SCI30 を使用する場合、同一ポートグループの兼用機能を使用してください。

- シリアルクロック入出力信号を使用する場合
 - － P5_0(SCI0RXD)、P5_1(SCI0TXD)、P5_2(SCI0SCK)
- シリアルクロック入出力信号を使用しない場合
 - － P5_0(SCI0RXD)、P5_1(SCI0TXD)
 - － P7_2(SCI0RXD)、P7_4(SCI0TXD)

2.4.3 端子状態

リセット状態の定義

端子状態の記載において、各リセット状態を**表 2.62**のように定義しています。

表 2.62 リセット状態の定義

リセット状態	定義
外部リセット	外部端子からのリセット状態 ($\overline{\text{RESET}} = \text{L}$)
内部リセット	外部リセット解除から内部リセット解除までの間
内部リセット解除後	内部リセットが解除された状態

各状態の端子状態を**表 2.62**、**表 2.63**に示します。製品グレードやパッケージの種別によっては、非搭載の端子もあります。端子搭載の有無は、「**1.2 端子接続図 (Top View)**」を参照してください。

表 2.63 端子状態 (1/2)

端子機能		端子状態		
分類	端子名	RESET = L	RESET = H	
		外部リセット状態	内部リセット解除前	内部リセット解除後
クロック	X1	I	I	I
	X2	O	O	O
システム制御	$\overline{\text{RESET}}$	I (Pull-down)	I (Pull-down)	I (Pull-down)
	MD0	I (Pull-down)	I (Pull-down)	I (Pull-down)
	MD1	I (Pull-down)	I (Pull-down)	I (Pull-down)
	FLMODE	I (Pull-down)	I (Pull-down)	I (Pull-down)
ECM	$\overline{\text{ERROROUT_M}}$	O	O	O
汎用入出力ポート	P0_x	Z	Z	Z
	P1_x	Z	Z	Z
	P2_x	Z	Z	Z
	P3_x	Z	Z	Z
	P4_x	Z	Z	Z
	P5_x	Z	Z	Z
	P6_x	Z	Z	Z
	P7_x (x=0-7) P7_8	Z I (Pull-down)	Z I (Pull-down)	Z I (Pull-down)
SAR A/D	ADCC0lxx	Z	Z	Z
	ADCC1lxx	Z	Z	Z
	ADCC2lxx	Z	Z	Z
レゾルバ信号入力	RDC3A0Sx	Z	Z	Z
	RDC3A1Sx	Z	Z	Z
励磁信号出力	RDC3A0RSO, RDC3A0COM	Z	Z	Z
	RDC3A1RSO, RDC3A1COM	Z	Z	Z
AUD RAM モニタ	$\overline{\text{AUDRST}}$	I (Pull-down)	I (Pull-down)	I (Pull-down)
	AUDCK	I (Pull-up)	I (Pull-up)	I (Pull-up)
	$\overline{\text{AUDSYNC}}$	I (Pull-up)	I (Pull-up)	I (Pull-up)
	AUDATA0~AUDATA3	I (Pull-up)	I (Pull-up)	I (Pull-up)

表 2.63 端子状態 (2/2)

端子機能		端子状態			
分類	端子名	RESET = L	RESET = H		
		外部リセット状態	内部リセット解除前	内部リセット解除後	
デバッグ系	DCUTDI/LPDI/FLSCI3RX	Nexus: DCUTDI	Z	I (Pull-up)	I (Pull-up)
		LPD-4pin: LPDI	Z	I (Pull-up)	I (Pull-up)
		ライタ I/F: FLSCI3RX	Z	Z	Z
		BSCAN: DCUTDI	I (Pull-up)	I (Pull-up)	I (Pull-up)
	DCUTDO/LPDO/ FLSCI3TX	Nexus: DCUTDO	Z	Z	Z
		LPD-4pin: LPDO	Z	O	O
		ライタ I/F: FLSCI3TX	Z	Z	Z
		BSCAN: DCUTDO	Z	Z	Z
	DCUTCK/LPDCLK/ FLSCI3SCK	Nexus: DCUTCK	Z	I (Pull-up)	I (Pull-up)
		LPD-4pin: LPDCLK	Z	I (Pull-up)	I (Pull-up)
		ライタ I/F: FLSCI3SCK	Z	Z	Z
		BSCAN: DCUTCK	I (Pull-up)	I (Pull-up)	I (Pull-up)
	DCUTMS	Nexus: DCUTMS	Z	I (Pull-up)	I (Pull-up)
		LPD-4pin: EVTO 注1	Z	O	O
		ライタ I/F: (機能なし)	Z	Z	Z
		BSCAN: DCUTMS	I (Pull-up)	I (Pull-up)	I (Pull-up)
	DCUTRST / LPDRST	Nexus: DCUTRST	I (Pull-down)	I (Pull-down)	I (Pull-down)
		LPD-4pin: LPDRST			
		ライタ I/F: (機能なし)			
		BSCAN: DCUTRST			
	DCURDY /LPDCLKOUT	Nexus: DCURDY	Z	O	O
		LPD-4pin: LPDCLKOUT	Z	O	O
		ライタ I/F: (機能なし)	Z	Z	Z
		BSCAN: (機能なし)	Z	Z	Z

備考 I: 入力

O: 出力

Z: ハイインピーダンス

Pull-up: 内蔵プルアップ抵抗

Pull-down: 内蔵プルダウン抵抗

注 1. EVTO は本製品では使用しません。

2.4.4 未使用端子の処理

表 2.64 に未使用端子の処理例を示します。

表 2.64 未使用端子の処理例 (1/2)

分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗
クロック	X1	I	(必ず使用する。)	なし
	X2	O	(必ず使用する。)	なし
システム制御	$\overline{\text{RESET}}$	I	(必ず使用する。)	内蔵プルダウン抵抗を搭載しています。
	MD0, FLMODE	I	(必ず使用する。ユーザブートモードで使用する場合は、個別に抵抗を介して VSS に接続する。)	内蔵プルダウン抵抗を搭載しています。
	MD1	I	個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。
ECM	$\overline{\text{ERROROUT_M}}$	O	端子オープン処理。	なし
汎用入出力ポート	P0_m, P1_m, P2_m, P3_m, P4_m, P5_m, P6_m, P7_m (m = 0-7)	IO	<p>[入力モード]</p> <ul style="list-style-type: none"> 端子オープン処理で、入力インネーブルを禁止に設定 (PMcn_m = 0, PMn_m = 1, PIBcn_m = 0 リセット後の値) する。 端子オープン処理で、内蔵プルアップ/ダウン抵抗を有効に設定 (PUn_m, PDn_m を使用) する。 個別に抵抗を介して各端子の電源/GND に接続する。 <p>[出力モード]</p> <ul style="list-style-type: none"> 端子オープン処理。 	レジスタで設定可能な内蔵プルアップ/ダウン抵抗を搭載しています。
汎用入力ポート	P7_8	I	<ul style="list-style-type: none"> 端子オープン処理 個別に抵抗を介して VSS に接続する。 	内蔵プルダウン抵抗を搭載しています。
ADCC	ADCCnlpq (アナログ入力専用)	I	端子オープン処理。	なし
RDC3A	RDC3AnCOM, RDC3AnRSO	I/O	端子オープン処理かつアナログ回路停止	なし
	RDC3AnS1, RDC3AnS2, RDC3AnS3, RDC3AnS4	I	端子オープン処理かつアナログ回路停止	なし
デバッグ系 (AUDRAM)	$\overline{\text{AUDRST}}$	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VSS に接続する。 	内蔵プルダウン抵抗を搭載しています。
	AUDCK, $\overline{\text{AUDSYNC}}$	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VCC に接続する。 	内蔵プルアップ抵抗を搭載しています。
	AUDATAn	IO	端子オープン処理。	内蔵プルアップ抵抗を搭載しています。

表 2.64 未使用端子の処理例 (2/2)

分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗
デバッグ系 (NEXUS/LPD)	DCUTDI	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止) 	内蔵プルアップ抵抗を搭載しています。
	DCUTDO	O	<ul style="list-style-type: none"> 端子オープン処理。 (シリアルプログラミングモードは動作禁止) 	なし
	DCUTCK	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止) 	内蔵プルアップ抵抗を搭載しています。
	$\overline{\text{DCUTMS}}$	I	<ul style="list-style-type: none"> 端子オープン処理。 個別に抵抗を介して VCC に接続する。 	内蔵プルアップ抵抗を搭載しています。
	$\overline{\text{DCUTRST}}$	I	個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。
	DCURDY	O	端子オープン処理。	なし
N.C.	A0VSS(N.C.), A2VSS(N.C.), VSS(N.C.)	—	(N.C.) 記載がない同名の電源に接続する。	なし
電源系	SYSVCC	—	(必ず使用する。)	
	VCC	—	(必ず使用する。)	
	VDD	—	(必ず使用する。)	
	VSS	—	(必ず使用する。)	
	AnVCC	—	(必ず使用する。)	
	AnVSS	—	(必ず使用する。)	
	AnVREFH	—	(必ず使用する。)	
	RVCC	—	(必ず使用する。)	
	RVSS	—	(必ず使用する。)	

注 1. 製品外部で抵抗を介してプルアップ/ダウンする場合は、抵抗値を 1kΩ 以上にしてください。

注 2. 内蔵プルアップ/ダウン抵抗を搭載している端子を、製品外部でも抵抗を介してプルアップ/ダウンする場合は、抵抗分圧にご注意ください。

第3章 CPU システム

3.1 概要

3.1.1 ブロック構成

RH850/C1M-A のブロック構成を図 3.1 に示します。

RH850/C1M-A1 は CPU2 (PE2) 非搭載です。

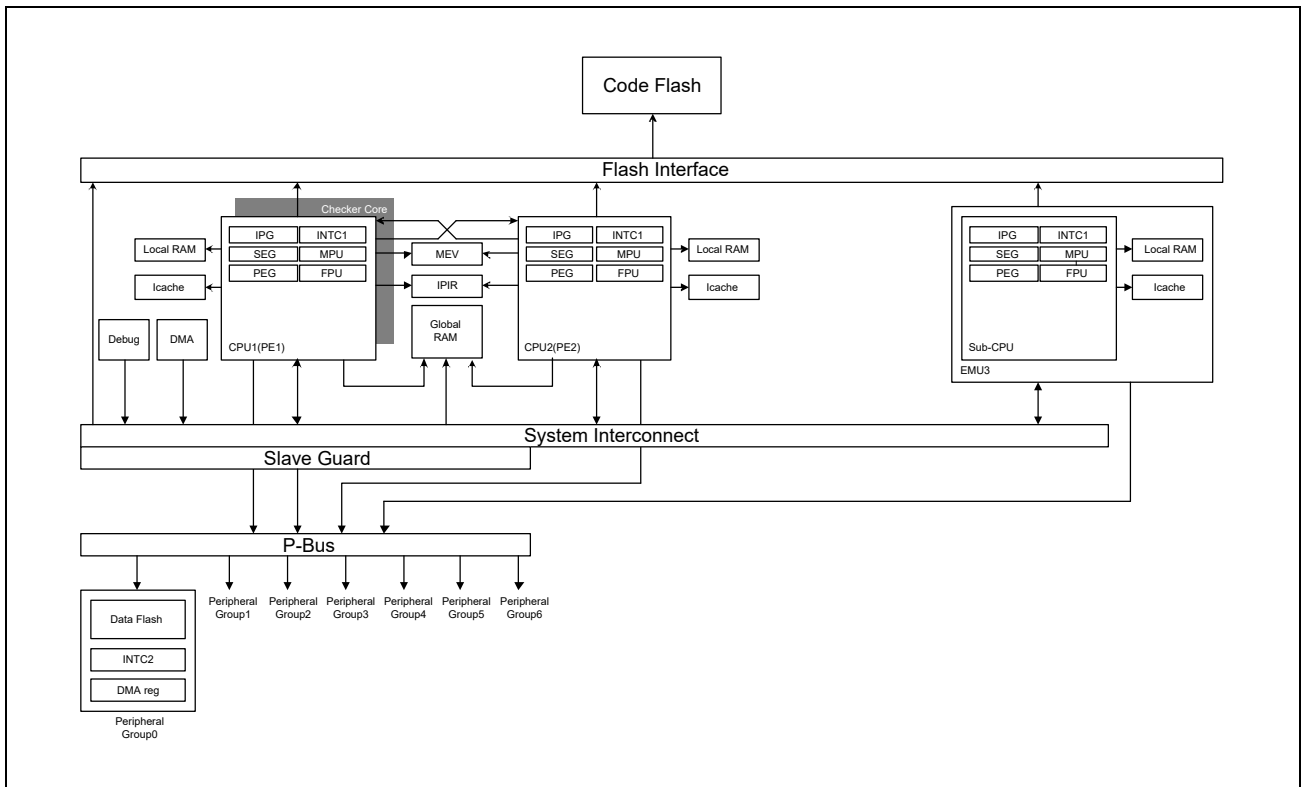


図 3.1 RH850/C1M-A1、2 ブロック構成図

CPU1 (PE1)

メイン CPU として、RH850 G3MH コアを搭載します。また、CPU1 はセーフティ対応として、Checker Core を備えます。

CPU2 (PE2)

パフォーマンス CPU として、RH850 G3MH コアを搭載します。(RH850/C1M-A2)

EMU3 内蔵 SubCPU (PE3)

モータ制御 IP EMU3 内に SubCPU (PE3) として G3MH コアを搭載します。

Local RAM

PE ごとに、高速アクセス可能な RAM です。

Global RAM

共用可能な大容量 RAM です。

Code Flash

プログラム格納用に、大容量のフラッシュメモリです。CPU1 と CPU2、SubCPU で Code Flash を共用しており、Flash Interface を介して接続されています。

Data Flash

CPU から書き換え可能なフラッシュメモリです。

P-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 0~6 に分かれています。詳細は、「**3.1.2 Peripheral Group 構成**」を参照してください。

INTC1、INTC2

INTC1 は PE ごとに固有の割り込みコントローラです。INTC2 は PE 共有の割り込みコントローラで、割り込み要求のバインド先 PE をレジスタで設定できます。

DMA

DMAC と DTS の 2 種類の DMA 転送モジュールを搭載しています。

Slave Guard

特定のバスマスタからの不正アクセスを防止する機構です。次のガード機能で構成されています。

(1) PE ガード (PEG)

自 PE 以外のバスマスタから PE 内資源への不正なアクセスを防止する機構です。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。詳細は「**3.2.4.1 PE ガード機能 (PEG)**」をご参照ください。

(2) Global RAM ガード (GRG)

バスマスタから Global RAM への不正なアクセスを防止する機構です。リセット解除後はガードされていない状態 (すべてのバスマスタがアクセス可能) になっています。

詳細は、「**第 29 章 ファンクショナルセーフティ**」の「**29.4.2 GRG (Global RAM Guard)**」をご参照ください。

(3) 周辺ガード (PBG)

バスマスタから周辺装置への不正なアクセスを防止する機構です。リセット解除後は、ガードされていない状態 (すべてのバスマスタがアクセス可能) になっています。

詳細は、「**第 29 章 ファンクショナルセーフティ**」の「**29.4.3 PBG**」をご参照ください。

3.1.2 Peripheral Group 構成

P-Bus は Peripheral Group 0~6 および CPU に接続されており、各モジュールはいずれかの Peripheral Group に属しています。以下に Peripheral Group とモジュールの関係を示します。モジュール名については、各章のレジスタ一覧を参照してください。

表 3.1 Peripheral Group 構成一覧 (1/4)

Peripheral Group	モジュール名 ^{注1}
CPU	INTC1
	IPIRSS
	IPG
	MEV
	PEG
	SEG
	TESTCOMP
CPU (DEBUG)	AUDR
0	APDP[INTC2]
	APDP[PDMA]
	DMASS
	ECCCPU1
	ECCCPU2
	ECCEEP
	ECCEEPC
	ECCFLI
	ECCGRAM
	ECCIC1
	ECCIC2
	FACI[FCUFAREA ^{注2}]
	FLASH[FRDCYCLD]
	INTC2
	MGDGR
	MISG (CPU1, CPU2)
	PBG[PBG0, PBG1]
	ICUSE
	DataFlash

表 3.1 Peripheral Group 構成一覧 (2/4)

Peripheral Group	モジュール名 ^{注1}
1	OSTMn (n = 0, 2)
	WDTAn (n = 0)
	SWDTAn (n = 0)
	SCI3n (n = 0, 2)
	RSENTn (n = 0, 2)
	APDP[RSENTn (n = 0, 2)]
	PBG[PBG2]
	TAUDn (n = 0, 2, 3)
	TAUJn (n = 0)
	TSG3n (n = 0, 2)
	TAPAn (n = 0, 2, 3, 5)
	TPBAn (n = 0)
	ENCAn (n = 0)
	PIC1Bn (n = 0)
	PIC2D
	PBG[PBG4]
2	CSIHn (n = 0, 1, 2)
	APDP[CSIHn (n = 0, 1, 2)]
	E7RC1M/C
	E7RC2M/C
	E7CS0M/C
	E7CS1M/C
	E7CS2M/C
	INTIF
	APDP[INFTIF]
	RS-CANFD
	DMA/DTSTRGSEL
	EMU3 ^{注3}
	ECCCPU3
	ECCIC3
	MISG (SubCPU)
	RDC3An (n = 0, 1)
	APDP[RDC3An (n = 0, 1)]
	PBG[PBG6]
	PBG[PBG7]
	PBG[PBG8]

表 3.1 Peripheral Group 構成一覧 (3/4)

Peripheral Group	モジュール名 ^{注1}
3	ADCCn (n = 0, 2)
	APDP[ADCCn (n = 0, 2)]
	ADPA
	DCRAn (n = 0)
	DNFn (n = 0~8)
	APDP[DNFn (n = 0~8)]
	RLIN3n (n = 0, 2)
	ECM
	ECM[ECMC]
	ECM[ECMM]
	EINT
	APDP[EINT]
	EMUSINT
	APDP[EMUEINT]
	FACI[FCUFAREA 以外]
	FLASH[SELFID, SELFIDST]
	FLASH[OPBT, PRDNAME]
	PORT
	APDP[PORT]
	PBG[PBG9]
PBG[PBG10]	
PBG[PBG11]	
4	OSTMn (n = 1, 3)
	WDTAn (n = 1)
	SWDTn (n = 1)
	SCI3n (n = 1)
	RSENTn (n = 1, 3)
	APDP[RSENTn (n = 1, 3)]
	PBG[PBG3]
	TAUDn (n = 1)
	TAUJn (n = 1)
	TSG3n (n = 1)
	TAPAn (n = 1, 4)
	TPBAn (n = 1)
	ENCAAn (n = 1)
	PIC1B (n = 1)
	PBG[PBG5]

表 3.1 Peripheral Group 構成一覧 (4/4)

Peripheral Group	モジュール名 ^{注1}
5	CLMAC
	CLMA _n (n = 0~3)
	FLASH[FHVE15]
	FLASH[FHVE3]
	SYS
	PBG[PBG13]
6	ADCC _n (n = 1)
	APDP[ADCC _n (n = 1)]
	DCRA _n (n = 1)
	RLIN3 _n (n = 1)
	PBG[PBG12]

注 1. [] 内は、対象となるモジュールまたはレジスタを示します。

注 2. 「RH850/C1M-A フラッシュメモリ ユーザーズマニュアルハードウェアインタフェース編」を参照ください。

注 3. SubCPU から EMU3 のアクセスは、Peripheral Group 2 経由のアクセスではなく、専用経路によるアクセスです。

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850G3MH コアの特長を表 3.2 に示します。

表 3.2 RH850G3MH コアの特長

項目	特長
CPU	<ul style="list-style-type: none"> ● 組み込み制御用高性能 32 ビットアーキテクチャ ● 32 ビット内部データバス ● 32 本の 32 ビット汎用レジスタ ● RISC タイプ命令セット <ul style="list-style-type: none"> – ロング/ショート形式を持つロード/ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット ● CPU 動作モード <ul style="list-style-type: none"> – ユーザモード、スーパバイザモード ● アドレス空間：データ/命令ともに 4G バイトリニア ● 命令：SNOOZE 命令による一時停止期間は CPU クロック (CLK_CPU^{注 1}) で 32 クロック
コプロセッサ	<ul style="list-style-type: none"> ● 浮動小数点演算コプロセッサ (FPU) 搭載 <ul style="list-style-type: none"> – 単精度 (32 ビット) および倍精度 (64 ビット) をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、+∞方向、-∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外/割り込み	<ul style="list-style-type: none"> ● チャンネルごとに設定可能な 16 レベルの割り込み優先度 ● 性能要求/メモリ消費量によって選択可能なベクタ選択方式 <ul style="list-style-type: none"> – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ ● 専用命令 (PUSHSP, POPSP) による割り込み時のコンテキスト高速退避/復帰処理の支援
メモリ管理	<ul style="list-style-type: none"> ● メモリ保護機能搭載 (MPU) : 16 領域設定可能
キャッシュ	<ul style="list-style-type: none"> ● 命令キャッシュ搭載

注 1. EMU3 内蔵 SubCPU の場合は CLK_EMU_H です。

3.2.1.2 レジスタセット

本章では本 CPU に搭載しているプログラムレジスタとシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ (r0~r31) とプログラムカウンタ (PC) があります。汎用レジスタの r0 は常に 0 を保持していますが、r1~r31 のリセット後の値は不定です。

表 3.3 プログラムレジスタ一覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス/データ変数用レジスタ (使用するリアルタイム OS がこのレジスタを使用していない場合)	
	r3	スタックポインタ (SP)	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ (GP)	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ (TP)	テキスト領域 (プログラムコードを配置する領域) の先頭を示すレジスタとして使用
	r6-29	アドレス/データ変数用レジスタ	
	r30	エレメントポインタ (EP)	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ (LP)	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備考 アセンブラや C コンパイラで使用される r1、r3~r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0～r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。r0は常に0を保持していますが、r1～r31のリセット後の値は不定です。

汎用レジスタのうち、r0～r5、r30、r31は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やベースアドレスが0のアドレッシングで使用されます。

r3はPREPARE命令、DISPOSE命令、PUSHSP命令、POPSP命令により、暗黙的に使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベースポインタとして使用されます。

2. r1、r4、r5、r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。

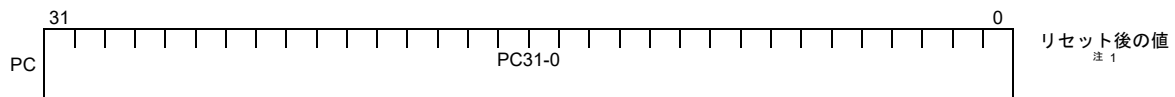


表 3.4 PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	PC31-1	実行中の命令アドレスです。	R/W	注1
0	PC0	常に0を示します。奇数番地への分岐はできません。	R/W	0

注1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第4章 アドレス空間」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPU の状態制御、例外情報保持などを行います。

システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.5 基本システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス権限
SR0, 0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1, 0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2, 0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3, 0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5, 0	PSW	プログラムステータスワード	注 1
SR6, 0	FPSR	(「(4) FPU 機能レジスタ」参照)	CU0 かつ SV
SR7, 0	FPEPC	(「(4) FPU 機能レジスタ」参照)	CU0 かつ SV
SR8, 0	FPST	(「(4) FPU 機能レジスタ」参照)	CU0
SR9, 0	FPCC	(「(4) FPU 機能レジスタ」参照)	CU0
SR10, 0	FPCFG	(「(4) FPU 機能レジスタ」参照)	CU0
SR13, 0	EIIC	EI レベル例外要因	SV
SR14, 0	FEIC	FE レベル例外要因	SV
SR16, 0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17, 0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20, 0	CTBP	CALLT ベースポインタ	UM
SR28, 0	EIWR	EI レベル例外用作業レジスタ	SV
SR29, 0	FEWR	FE レベル例外用作業レジスタ	SV
SR0, 1	MCFG0	マシンコンフィグレーション	SV
SR2, 1	RBASE	リセットベクタベースアドレス	SV
SR3, 1	EBASE	例外ハンドラベクタアドレス	SV
SR4, 1	INTBP	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5, 1	MCTL	CPU の制御	SV
SR6, 1	PID	プロセッサ識別子	SV
SR11, 1	SCCFG	SYSCALL の動作設定	SV
SR12, 1	SCBP	SYSCALL ベースポインタ	SV
SR0, 2	HTCFG0	スレッドコンフィグレーション	SV
SR6, 2	MEA	メモリエラーアドレス	SV
SR7, 2	ASID	アドレス空間識別子	SV
SR8, 2	MEI	メモリエラー情報	SV

注 1. ビットによってアクセス権限が異なります。詳細は「(e) PSW — プログラムステータスワード」の説明を参照してください。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「RH850G3MH ユーザーズマニュアルソフトウェア編」の「4.1.3 例外の実行形態」を参照してください）。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

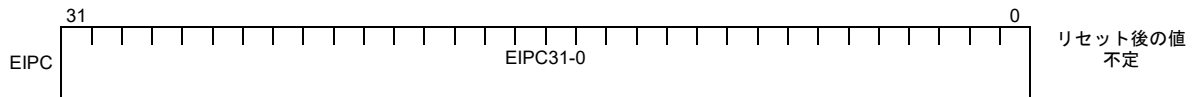


表 3.6 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~1	EIPC31-1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11-9 はデバッグ機能に関わるため、通常は変更できません。

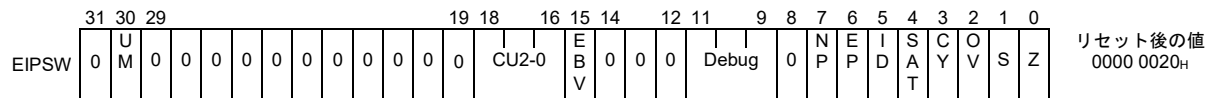


表 3.7 EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
30	UM	レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29~19	予約	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
18~16	CU2-0	EI レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 (CU2-1 ビットは将来のための予約です。必ず0を設定してください)	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14~12	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
11~9	Debug	EI レベル例外受け付け時の PSW.Debug フィールドを退避します。	R/W	0
8	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「RH850G3MH ユーザーズマニュアルソフトウェア編」の「4.1.3 例外の実行形態」を参照してください）。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

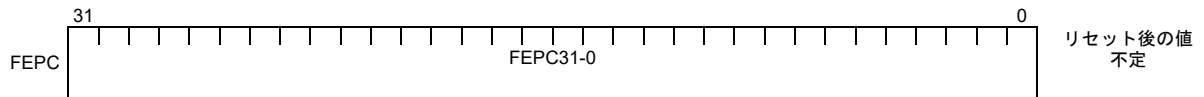


表 3.8 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~1	FEPC31-1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11-9 はデバッグ機能に関わるため、通常は変更できません。

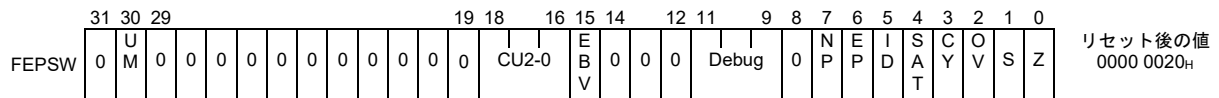


表 3.9 FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29~19	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
18~16	CU2-0	FE レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。(CU2-1 ビットは将来のための予約です。必ず0を設定してください)	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14~12	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
11~9	Debug	FE レベル例外受け付け時の PSW.Debug ビットを退避します。	R/W	0
8	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグやCPUの動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

注 意

LDSR 命令を使用して、このレジスタのビット 7~0 の内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。

PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「表 3.10 PSW レジスタビットのアクセス権限」を参照してください。

表 3.10 PSW レジスタビットのアクセス権限

ビット		読み出し時アクセス権限	書き込み時アクセス権限
30	UM	UM	SV ^{注1}
18~16	CU2-0	UM	SV ^{注1}
15	EBV	UM	SV ^{注1}
11~9	Debug	UM	特殊 ^{注1}
7	NP	UM	SV ^{注1}
6	EP	UM	SV ^{注1}
5	ID	UM	SV ^{注1}
4	SAT	UM	UM
3	CY	UM	UM
2	OV	UM	UM
1	S	UM	UM
0	Z	UM	UM

注 1. PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM = 1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

表 3.11 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
5	ID	<p>EI レベル例外の受け付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット (1) され、EI レベル例外の受け付けを禁止します。ID ビットによって、受け付けが禁止される例外は、「RH850G3MH ユーザーズマニュアルソフトウェア編」の「表 4.1 例外要因一覧」を参照してください。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット (1) し、EI 命令の実行によってクリア (0) します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。</p> <p>0: EI レベル例外の受け付けを許可する 1: EI レベル例外の受け付けを禁止する</p>	R/W	1
4	SAT ^{注 1}	<p>飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット (1) もクリア (0) も行いません。</p> <p>0: 飽和していない 1: 飽和している</p>	R/W	0
3	CY	<p>演算結果にキャリー、またはボローがあったかどうかを示します。</p> <p>0: キャリー、およびボローが発生していない 1: キャリー、またはボローが発生した</p>	R/W	0
2	OV ^{注 1}	<p>演算中にオーバーフローが発生したかどうかを示します。</p> <p>0: オーバーフローが発生していない 1: オーバーフローが発生した</p>	R/W	0
1	S ^{注 1}	<p>演算の結果が負かどうかを示します。</p> <p>0: 演算の結果は、正または 0 であった 1: 演算の結果は負であった</p>	R/W	0
0	Z	<p>演算の結果が 0 かどうかを示します。</p> <p>0: 演算の結果は 0 でなかった 1: 演算の結果は 0 であった</p>	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFF FFFF _H
負の最大値を越えた	1	1	1	8000 0000 _H
正 (最大値を越えない)	演算前の値を保持	0	0	演算結果そのもの
負 (最大値を越えない)			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

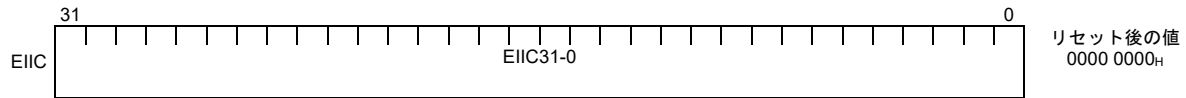


表 3.12 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	EIIC31-0	EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2)」、「表 6.12 割り込み例外ハンドラと優先順位 (EMU3 内蔵 SubCPU)」および「RH850G3MH ユーザーズマニュアルソフトウェア編」の例外要因一覧を参照してください。 EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

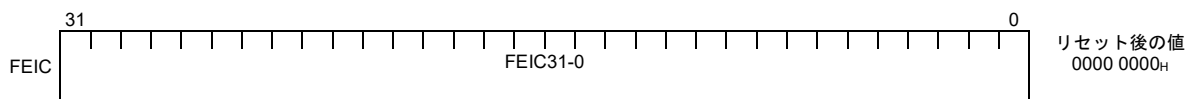


表 3.13 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	FEIC31-0	FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2)」および「RH850G3MH ユーザーズマニュアルソフトウェア編」の例外要因一覧を参照してください。 FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

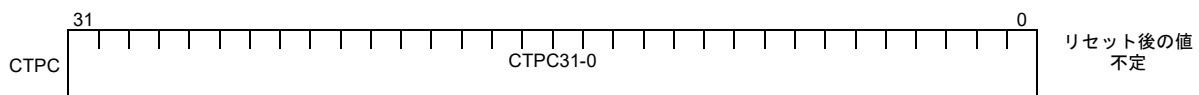


表 3.14 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~1	CTPC31-1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

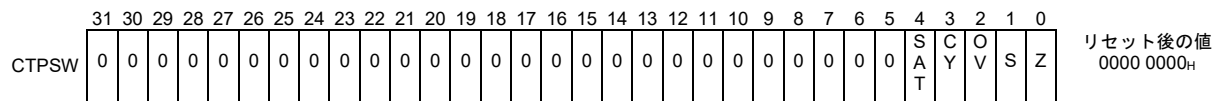


表 3.15 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~5	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

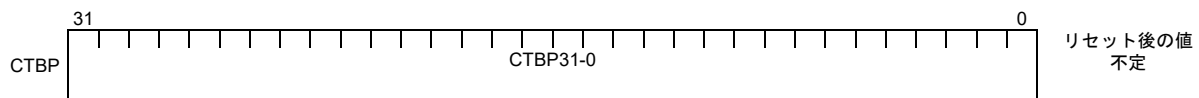


表 3.16 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~1	CTBP31-1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に0を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

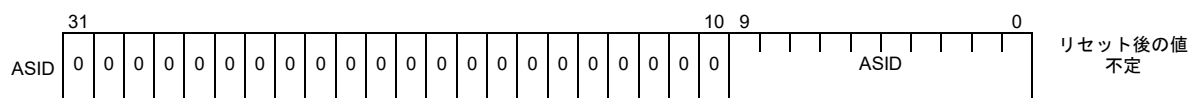


表 3.17 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~10	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
9~0	ASID9-0	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

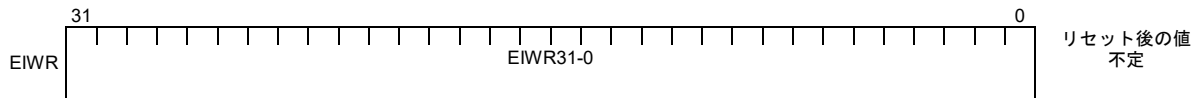


表 3.18 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	EIWR31-0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。



表 3.19 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	FEWR31-0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

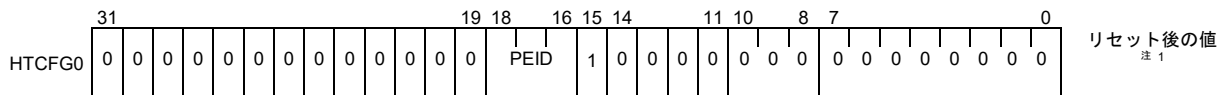
(n) HTCFCG0 — スレッドコンフィグレーション

表 3.20 HTCFCG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~19	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
18~16	PEID	プロセッサエレメント番号を示します。	R	注2
15	予約ビット	リードした場合は1が読めます。ライトする場合は1を書いてください。	R	1
14~0	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0

注 1. 本製品の CPU1 (PE1) では 0001 8000_H、CPU2 (PE2) では 0002 8000_H、SubCPU (PE3) では 0003 8000_H です。

注 2. 本製品の CPU1 (PE1) では 001_B、CPU2 (PE2) では 010_B、SubCPU (PE3) では 011_B です。

(o) MEA — メモリエラーアドレス

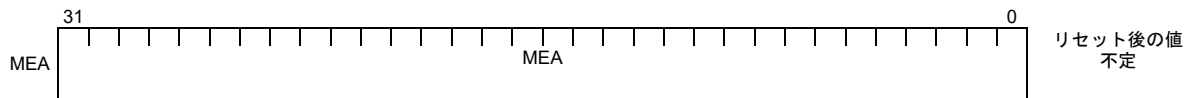


表 3.21 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	MEA	MAE (ミスアライン) /MPU 違反時のアドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスアライン例外 (MAE)、メモリ保護例外 (MDP) 発生時に、例外を引き起こした命令の情報を格納します。

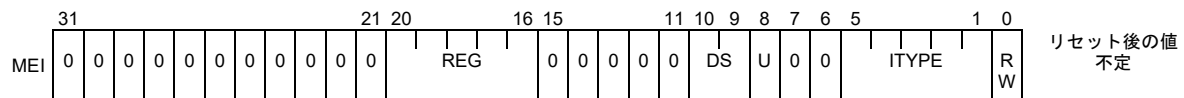


表 3.22 MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~21	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
20~16	REG	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。 詳細は、「表 3.23 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
15~11	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
10、9	DS	例外を引き起こした命令のデータタイプを示します ^{注1} 。 0: バイト (8 ビット) 1: ハーフワード (16 ビット) 2: ワード (32 ビット) 3: ダブルワード (64 ビット) 詳細は、「表 3.23 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0: Signed 1: Unsigned 詳細は、「表 3.23 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
7、6	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
5~1	ITYPE	例外を引き起こした命令を示します。 詳細は、「表 3.23 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード (Load-memory) だったのか、ライト (Store-memory) だったのかを示します。 0: リード (Load-memory) 1: ライト (Store-memory) 詳細は、「表 3.23 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.23 例外を引き起こした命令と MEI レジスタの値

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0 (Byte)	0 (Signed)	0 (Read)	00000 _B
SLD.BU	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00000 _B
SLD.H	dst	1 (Half-word)	0 (Signed)	0 (Read)	00000 _B
SLD.HU	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00000 _B
SLD.W	dst	2 (Word)	0 (Signed)	0 (Read)	00000 _B
SST.B	src	0 (Byte)	0 (Signed)	1 (Write)	00000 _B
SST.H	src	1 (Half-word)	0 (Signed)	1 (Write)	00000 _B
SST.W	src	2 (Word)	0 (Signed)	1 (Write)	00000 _B
LD.B (disp16)	dst	0 (Byte)	0 (Signed)	0 (Read)	00001 _B
LD.BU (disp16)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00001 _B
LD.H (disp16)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00001 _B
LD.HU (disp16)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00001 _B
LD.W (disp16)	dst	2 (Word)	0 (Signed)	0 (Read)	00001 _B
ST.B (disp16)	src	0 (Byte)	0 (Signed)	1 (Write)	00001 _B
ST.H (disp16)	src	1 (Half-word)	0 (Signed)	1 (Write)	00001 _B
ST.W (disp16)	src	2 (Word)	0 (Signed)	1 (Write)	00001 _B
LD.B (disp23)	dst	0 (Byte)	0 (Signed)	0 (Read)	00010 _B
LD.BU (disp23)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00010 _B
LD.H (disp23)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00010 _B
LD.HU (disp23)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00010 _B
LD.W (disp23)	dst	2 (Word)	0 (Signed)	0 (Read)	00010 _B
ST.B (disp23)	src	0 (Byte)	0 (Signed)	1 (Write)	00010 _B
ST.H (disp23)	src	1 (Half-word)	0 (Signed)	1 (Write)	00010 _B
ST.W (disp23)	src	2 (Word)	0 (Signed)	1 (Write)	00010 _B
LD.DW (disp23)	dst	3 (Double-word)	0 (Signed)	0 (Read)	00010 _B
ST.DW (disp23)	src	3 (Double-word)	0 (Signed)	1 (Write)	00010 _B
LDL.W	dst	2 (Word)	0 (Signed)	0 (Read)	00111 _B
STC.W	src	2 (Word)	0 (Signed)	1 (Write)	00111 _B
CAXI	dst	2 (Word)	0 (signed) 注1	0 (Read) 注2	01000 _B
SET1	—	0 (Byte)	0 (signed) 注1	0 (Read) 注2	01001 _B
CLR1	—	0 (Byte)	0 (signed) 注1	0 (Read) 注2	01001 _B
NOT1	—	0 (Byte)	0 (signed) 注1	0 (Read) 注2	01001 _B
TST1	—	0 (Byte)	0 (signed) 注1	0 (Read)	01001 _B
PREPARE	src 注1	2 (Word)	0 (signed) 注1	1 (Write)	01100 _B
DISPOSE	dst 注1	2 (Word)	0 (signed) 注1	0 (Read)	01100 _B
PUSHSP	src 注1	2 (Word)	0 (signed) 注1	1 (Write)	01101 _B
POPSP	dst 注1, 注3	2 (Word)	0 (signed) 注1	0 (Read)	01101 _B
SWITCH	—	1 (Half-word)	0 (Signed)	0 (Read)	10000 _B
CALLT	—	1 (Half-word)	1 (Unsigned)	0 (Read)	10001 _B
SYSCALL	—	2 (Word)	0 (signed) 注1	0 (Read)	10010 _B
CACHE	—	—	—	0 (Read)	10100 _B
割り込み (テーブル参照) 注4	—	2 (Word)	0 (signed) 注1	0 (Read)	10101 _B

- 注 1. G3M と値が異なります。
 注 2. リード時点で例外が発生します。
 注 3. 汎用レジスタ r3 が対象の場合、0 が格納されます。
 注 4. テーブル参照方式の割り込みベクタ読み込み時

備考

dst : ディスティネーションレジスタ番号、src : ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア (0) されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

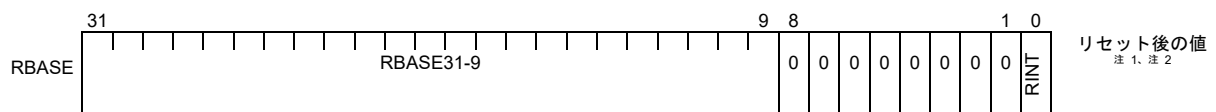


表 3.24 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~9	RBASE31-9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。RBASE8-0 は、暗黙的に 0 が利用されます。	R	注 1
8~1	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
0	RINT ^{注 2}	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「RH850G3MH ユーザーズマニュアルソフトウェア編」の「4.4.1 (1) 直接ベクタ方式」を参照してください。このビットは PSW.EBV = 0 のときに有効です。	R	注 2

注 1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第4章 アドレス空間」を参照してください。

注 2. 本製品では 0_B です。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット (1) されている場合に有効です。

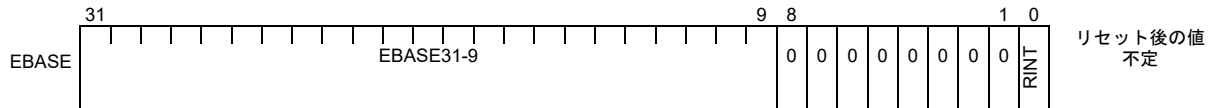


表 3.25 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~9	EBASE31-9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8-0 は、暗黙的に 0 が利用されます。	R/W	不定
8~1	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「RH850G3MH ユーザーズマニュアルソフトウェア編」の「4.4.1 (1) 直接ベクタ方式」を参照してください。	R/W	不定

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

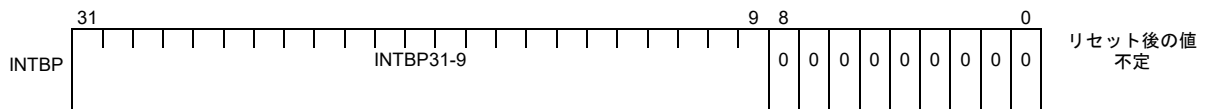


表 3.26 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~9	INTBP31-9	拡張仕様の割り込みのベースポインタアドレスです。 拡張仕様に指定された割り込み (EIINT0-383) 受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8-0 は、暗黙的に 0 が利用されます。	R/W	不定
8~0	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注 意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィグレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。



表 3.27 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05 _H
23~8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載/非搭載を示します (1: 搭載、0: 非搭載)。 ビット 23-11: 予約 ビット 10 : 倍精度浮動小数点演算機能 ビット 9 : 単精度浮動小数点演算機能 ビット 8 : メモリ保護機能(MPU)	R	8007 _H
7~0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	81 _H

注 1. 本製品では 0580 0781_Hです。

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

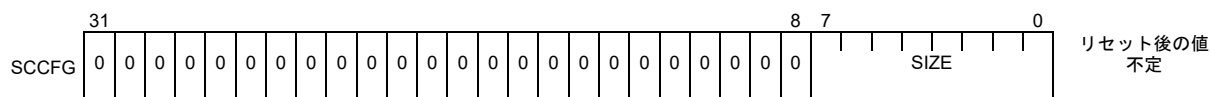


表 3.28 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~8	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
7~0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

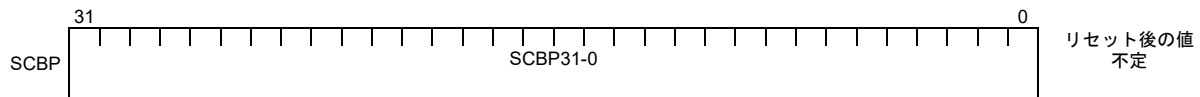


表 3.29 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~2	SCBP31-2	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1-0	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィギュレーションを表すレジスタです。

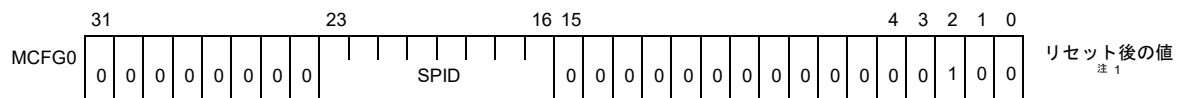


表 3.30 MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~24	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
23~16	SPID	ビット 23~18: 本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください。) ビット 17、16: システムプロテクション番号を示します。	R/W	注 2
15~3	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
2	予約ビット	リードした場合は 1 が読めます。ライトする場合は 1 を書いてください。	R	1
1、0	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0

注 1. 本製品の CPU1 (PE1) では 0001 0004_H、CPU2 (PE2) では 0002 0004_H、SubCPU (PE3) では 0003 0004_H です。

注 2. 本製品の CPU1 (PE1) では 01_H、CPU2 (PE2) では 02_H、SubCPU (PE3) では 03_H です。

(3) 割り込み機能レジスタ

割り込み機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.32 割り込み機能システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR10, 2	ISPR	受け付け中割り込み優先度	SV
SR11, 2	PMR	割り込み優先度マスク	SV
SR12, 2	ICSR	割り込み制御ステータス	SV
SR13, 2	INTCFG	割り込み機能の設定	SV

(a) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

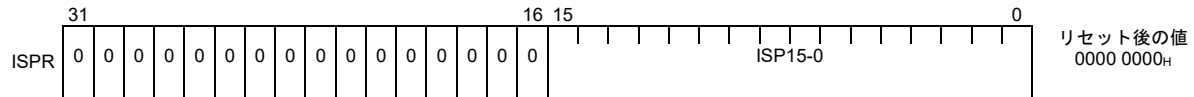


表 3.33 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値												
31~16	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0												
15~0	ISP15-0	<p>ビット位置に対応した優先度^{注 1}の割り込み (EIINTn) の受け付け状況を示します。</p> <p>0: ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない</p> <p>1: ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">⋮</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15</td> </tr> </tbody> </table> <p>割り込み (EIINTn) 要求を受け付けた場合、受け付けた割り込み (EIINTn) 要求に対応するビットが自動的にセット (1) されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15-0 でセット (1) されているビットのうち、最も高優先度 (0 が高優先度側) のビットがクリア (0) されます^{注 2}。</p> <p>このビットがセット (1) されている間、その優先度以下の割り込み (EIINTn) がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません。詳細は、「RH850G3MH ユーザーズマニュアル ソフトウェア編」の「4.1.5 割り込みの例外優先度と優先度マスク」を参照してください。</p> <p>PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。</p>	ビット	優先度	0	優先度 0 (最高優先度)	1	優先度 1	⋮		14	優先度 14	15	優先度 15	R ^{注 3}	0
ビット	優先度															
0	優先度 0 (最高優先度)															
1	優先度 1															
⋮																
14	優先度 14															
15	優先度 15															

注 1. 詳細は、ソフトウェア編「RH850G3MH ユーザーズマニュアルソフトウェア編」の「4.1.5 割り込みの例外優先度と優先度マスク」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(b) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

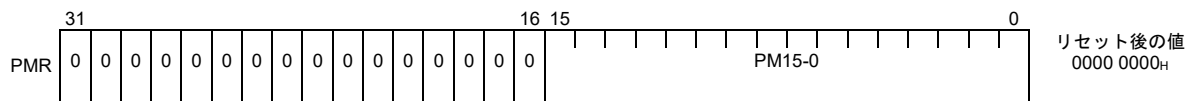


表 3.34 PMR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値												
31~16	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0												
15~0	PM15-0	<p>ビット位置に対応した割り込み要求をマスクします。</p> <p>0：ビット位置に対応する優先度の割り込み処理を許可 1：ビット位置に対応する優先度の割り込み処理を禁止</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">:</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15 および優先度 16 (最低優先度)</td> </tr> </tbody> </table> <p>このビットがセット（1）されている間、その優先度の割り込み（EIINTn）がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません^{注1}。</p>	ビット	優先度	0	優先度 0 (最高優先度)	1	優先度 1	:		14	優先度 14	15	優先度 15 および優先度 16 (最低優先度)	R/W	0
ビット	優先度															
0	優先度 0 (最高優先度)															
1	優先度 1															
:																
14	優先度 14															
15	優先度 15 および優先度 16 (最低優先度)															

注 1. マスクは低優先側から、連続して1を設定してください。例えば FF00_H のような設定は可能ですが、 F0F0_H や 00FF_H のような設定は禁止します。

(c) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

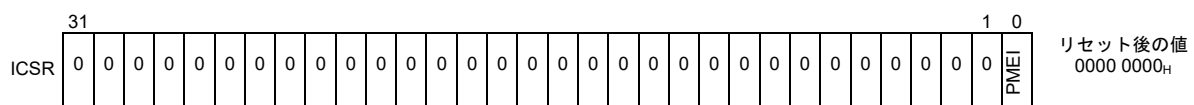


表 3.35 ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~1	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み（EIINTn）が存在することを示します。	R	0

(4) FPU 機能レジスタ

(a) 浮動小数点レジスタ

FPU は CPU の汎用レジスタ (r0~r31) を使用します。浮動小数点演算専用のレジスタファイルはありません。

- 単精度浮動小数点演算命令：
32 個の 32 ビットレジスタを指定できます。これは汎用レジスタの r0 ~ r31 に相当します。
- 倍精度浮動小数点演算命令：
16 個の 64 ビットレジスタを指定できます。これは汎用レジスタを 1 対ずつ使用するレジスタペア ({r1, r0}, {r3, r2}…{r31, r30}) に相当します。レジスタペアは命令形式上、偶数レジスタで指定します。r0 がゼロレジスタ (常に 0 を保持) であるので、原則として {r1, r0} は倍精度浮動小数点演算命令では使用するべきではありません。

(b) 浮動小数点機能システムレジスタ

FPU では浮動小数点演算制御のために以下のシステムレジスタが使用できます。浮動小数点機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。レジスタ詳細は「RH850G3MH ユーザーズマニュアルソフトウェア編」の「3.4.2 浮動小数点機能システム・レジスタ」を参照してください。

表 3.37 FPU 機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR6, 0	FPSR	浮動小数点演算の設定/ステータス	CU0 かつ SV
SR7, 0	FPEPC	浮動小数点演算例外プログラムカウンタ	CU0 かつ SV
SR8, 0	FPST	浮動小数点のステータス	CU0
SR9, 0	FPCC	浮動小数点演算の比較結果	CU0
SR10, 0	FPCFG	浮動小数点機能の設定	CU0

(5) MPU 機能レジスタ

(a) MPU 機能システムレジスタ

MPU 機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.38 MPU 機能システムレジスタ一覧 (1/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPCR	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV
SR8, 7	MPLA10	保護領域の下限アドレス	SV

表 3.38 MPU 機能システムレジスタ一覧 (2/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV
SR13, 7	MPUA11	保護領域の上限アドレス	SV
SR14, 7	MPAT11	保護領域の属性	SV
SR16, 7	MPLA12	保護領域の下限アドレス	SV
SR17, 7	MPUA12	保護領域の上限アドレス	SV
SR18, 7	MPAT12	保護領域の属性	SV
SR20, 7	MPLA13	保護領域の下限アドレス	SV
SR21, 7	MPUA13	保護領域の上限アドレス	SV
SR22, 7	MPAT13	保護領域の属性	SV
SR24, 7	MPLA14	保護領域の下限アドレス	SV
SR25, 7	MPUA14	保護領域の上限アドレス	SV
SR26, 7	MPAT14	保護領域の属性	SV
SR28, 7	MPLA15	保護領域の下限アドレス	SV
SR29, 7	MPUA15	保護領域の上限アドレス	SV
SR30, 7	MPAT15	保護領域の属性	SV

(f) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

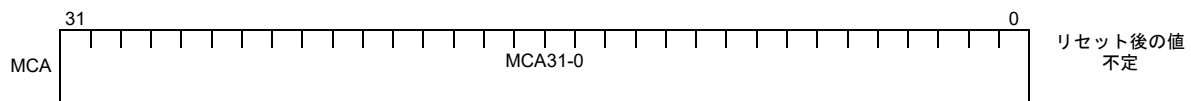


表 3.43 MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	MCA31-MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(g) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

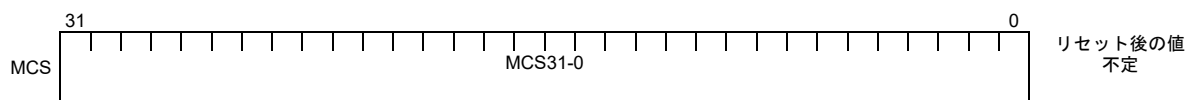


表 3.44 MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	MCS31-MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。 MCS レジスタには 0000 0000 _H を設定しないでください。	R/W	不定

(h) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンド・レジスタです。

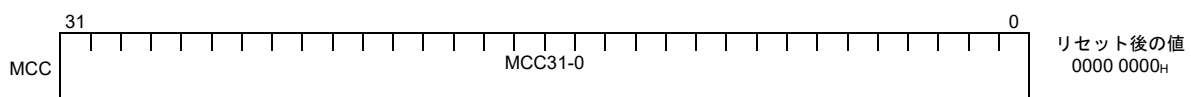


表 3.45 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	MCC31-MCC0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。 任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。 また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定に従った結果を反映します。 MCC レジスタからの読み出し値は、常に 0000 0000 _H となります。	R/W	0

(j) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです (n = 0~15)。本製品の保護領域数は 16 です。

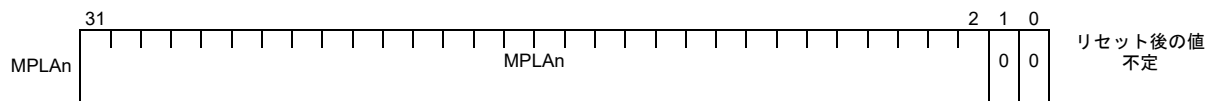


表 3.47 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~2	MPLA31-2	領域 n の下限アドレスを示します。 MPLA1-0 は暗黙的に 0 を使用します。	R/W	不定
1、0	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0

(k) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです (n = 0~15)。本製品の保護領域数は 16 です。

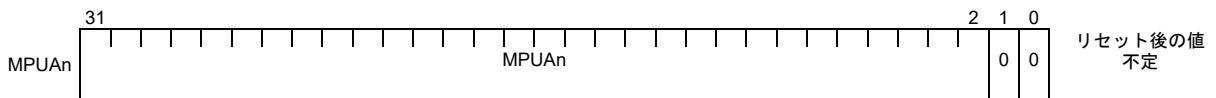


表 3.48 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~2	MPUA31-2	領域 n の上限アドレスを示します。 MPUA1-0 は暗黙的に 1 を使用します。	R/W	不定
1、0	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0

(I) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです (n = 0~15)。本製品の保護領域数は 16 です。

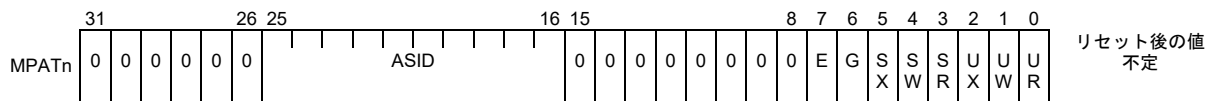


表 3.49 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~26	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
25~16	ASID	領域一致の条件として利用する ASID の値を示します。	R/W	不定
15~8	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
7	E	領域 n の有効/無効を示します。 0: 領域 n を無効とする 1: 領域 n を有効とする	R/W	0
6	G	0: ASID 一致を条件とする 1: ASID 一致を条件としない このビットが0の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが1の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパーバイザモードでの実行権を示します ^{注1} 。 0: 実行禁止 1: 実行許可	R/W	不定
4	SW	スーパーバイザモードでの書き込み許可を示します ^{注1} 。 0: 書き込み禁止 1: 書き込み許可	R/W	不定
3	SR	スーパーバイザモードでの読み出し許可を示します ^{注1} 。 0: 読み出し禁止 1: 読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0: 実行禁止 1: 実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0: 書き込み禁止 1: 書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0: 読み出し禁止 1: 読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ**(a) キャッシュ制御機能システムレジスタ**

キャッシュ制御機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.50 キャッシュ操作機能システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR16, 4	ICTAGL	命令キャッシュタグ Lo アクセス	SV
SR17, 4	ICTAGH	命令キャッシュタグ Hi アクセス	SV
SR18, 4	ICDATL	命令キャッシュデータ Lo アクセス	SV
SR19, 4	ICDATH	命令キャッシュデータ Hi アクセス	SV
SR24, 4	ICCTRL	命令キャッシュ制御	SV
SR26, 4	ICCFG	命令キャッシュコンフィグ	SV
SR28, 4	ICERR	命令キャッシュエラー	SV

(b) ICTAGL — 命令キャッシュタグ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

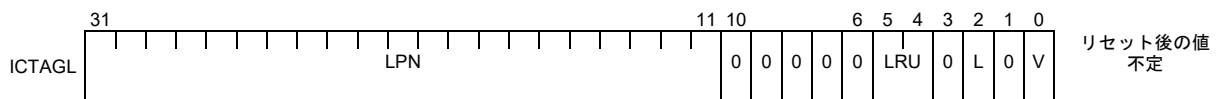


表 3.51 ICTAGL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~11	LPN	物理ページ番号のビット 24~11 を保持します。ビット 31~25 には必ず 0 を設定してください。	R/W	不定
10~6	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
5, 4	LRU	指定したキャッシュラインの LRU 情報を示します。LRU 情報は CIST 命令で任意の値に変更することはできません。	R/W	不定
3	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
2	L	ロック情報を保持します。	R/W	不定
1	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
0	V	指定したキャッシュラインの有効/無効情報を保持します。	R/W	不定

(c) ICTAGH — 命令キャッシュタグ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

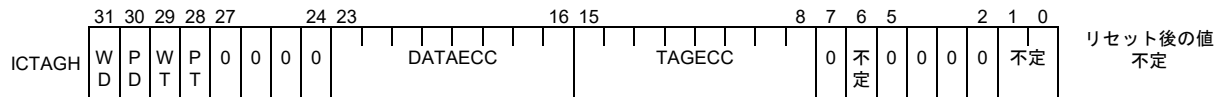


表 3.52 ICTAGH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	WD	CIST の実行時にセット (1) しておくでキャッシュのデータ RAM を更新します。	R/W	不定
30	PD	CIST の実行時にセット (1) しておくで DATAECC フィールドの値をデータ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
29	WT	CIST の実行時にセット (1) しておくでキャッシュのタグ RAM を更新します。	R/W	不定
28	PT	CIST の実行時にをセット (1) しておくで TAGECC フィールドの値をタグ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
27~24	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
23~16	DATAECC	データ RAM の ECC を保持します。	R/W	不定
15~8	TAGECC	タグ RAM の ECC を保持します。 ビット 15~14 には 0 を書き込んでください。	R/W	不定
7	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
6	予約ビット	リードした場合は不定値が読めます。ライトする場合は 0 を書いてください。	R	不定
5~2	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。	R	0
1, 0	予約ビット	リードした場合は不定値が読めます。ライトする場合は 0 を書いてください。	R	不定

(d) ICDATL — 命令キャッシュデータ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

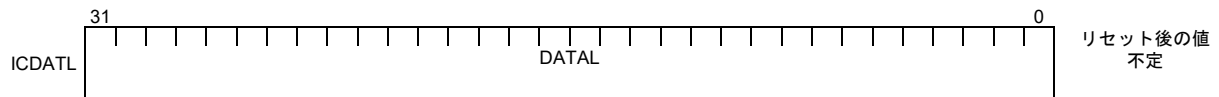


表 3.53 ICDATL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	DATAL	指定したキャッシュライン内ブロックの命令データ 64 ビットのうち下位 32 ビットを保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 00000 : ビット 31~0 インデックスの Offset = 01000 : ビット 95~64 インデックスの Offset = 10000 : ビット 159~128 インデックスの Offset = 11000 : ビット 223~192 データ配置は図 3.4 に対応しています。	R/W	不定

(e) ICDATH — 命令キャッシュデータ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

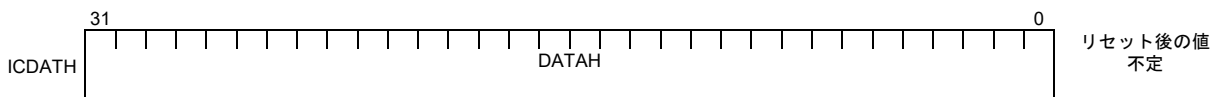


表 3.54 ICDATH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~0	DATAH	指定したキャッシュライン内ブロックの命令データ 64 ビットのうち上位 32 ビットを保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 00000 : ビット 63~32 インデックスの Offset = 01000 : ビット 127~96 インデックスの Offset = 10000 : ビット 191~160 インデックスの Offset = 11000 : ビット 255~224 データ配置は図 3.4 に対応しています。	R/W	不定

(7) データバッファ操作機能レジスタ**(a) データバッファ制御機能システムレジスタ**

データバッファ制御機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.58 データバッファ操作機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR24, 13	CDBCR	データバッファ制御レジスタ	SV

(b) CDBCR — データバッファ制御レジスタ

データバッファを制御するためのレジスタです。

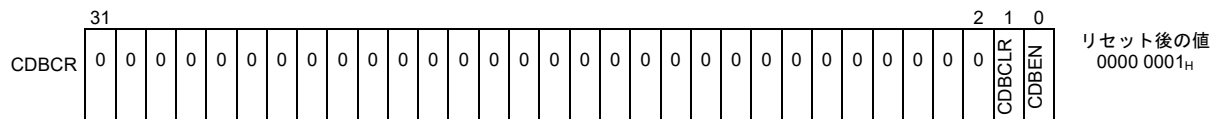


表 3.59 CDBCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31~2	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。	R	0
1	CDBCLR	1をセットすると、データバッファを一括クリアします。このビットは常に0が読み出されます。	W	0
0	CDBEN	データバッファの有効/無効を指定します。 0: データバッファは無効 1: データバッファは有効	R/W	1

3.2.2 命令キャッシュ、データバッファ

3.2.2.1 特長

CPU と Code Flash 間に、8K バイト 4Way セットアソシアティブの命令キャッシュを搭載しています。命令キャッシュと Code Flash 間は 256 ビットの専用バスで接続されており、キャッシュミス時のペナルティを最小にします。また、CPU と Code Flash 間にデータバッファを搭載しており、高速なデータアクセスが可能です。アドレス空間上、0000 0000_H～01FF FFFF_H の 32MB 領域が、命令キャッシュおよびデータバッファ対象です

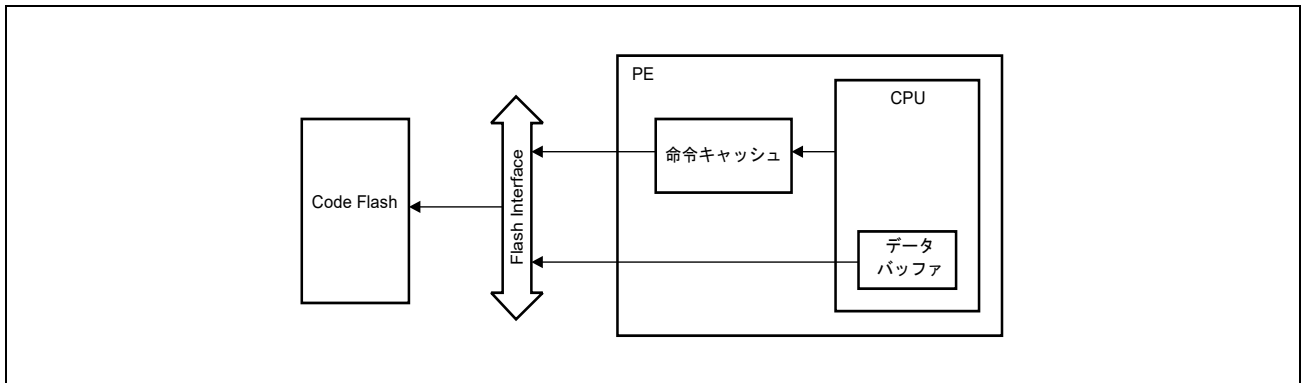


図 3.2 命令キャッシュ、データバッファ

3.2.2.2 命令キャッシュ機能

命令キャッシュは4Wayセットアソシアティブで構成し、合計の容量は8Kバイトです。キャッシュラインのサイズは32バイトです。キャッシュミスが発生した場合は、LRUによる入れ替えアルゴリズムにより1ライン単位のリフィルを行います。フェッチデータサイズは8バイトです。1ライン中のオフセットで指定された8バイトデータを選択します。Wayは2つのグループに分かれており、Way0、Way1がWayグループ0、Way2、Way3がWayグループ1です。アクセス対象のアドレス情報をデコードし、使用するWayグループを選択します。Code Flash領域への命令フェッチアクセスがキャッシュ対象です。

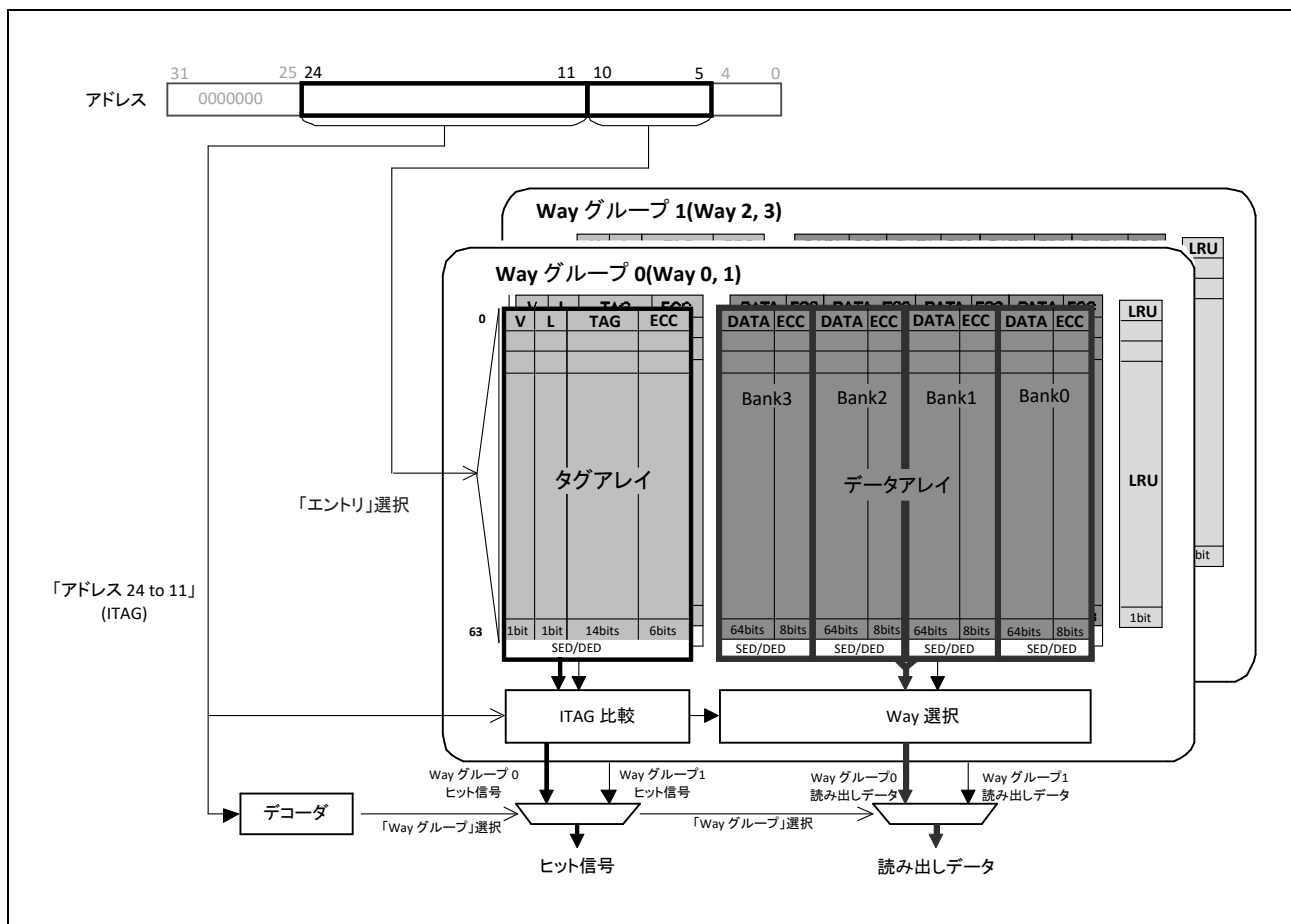


図 3.3 命令キャッシュの構成

タグアレイ

- TAG キャッシュされるデータラインの操作アドレス32ビットのうち、ビット24～11を格納します。TAGはリセットで初期化されません。
- ECC タグアレイのECCを格納します。ECCはリセットで初期化されません。

Valid/Lock

- Vビット キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはリセットで0に初期化されます。
- Lビット キャッシュラインがロック状態か否かを示します。このビットが1のとき、そのキャッシュラインはロック状態であり、新たなデータで置換されることはありません。LビットはVビットが1のときのみ有効です。Lビットはリセットで初期化されます。

データアレイ

DATA キャッシュラインのデータ 256 ビットを 64 ビットごとに各バンクに格納します。各データの格納位置は Way とオフセットにより決定します。データ配置は図 3.4 を参照してください。DATA はリセットで初期化されません。

ECC データアレイの ECC を格納します。ECC はリセットで初期化されません。

LRU

LRU Way グループ内での LRU 情報を格納します。LRU はリセットで初期化されます。

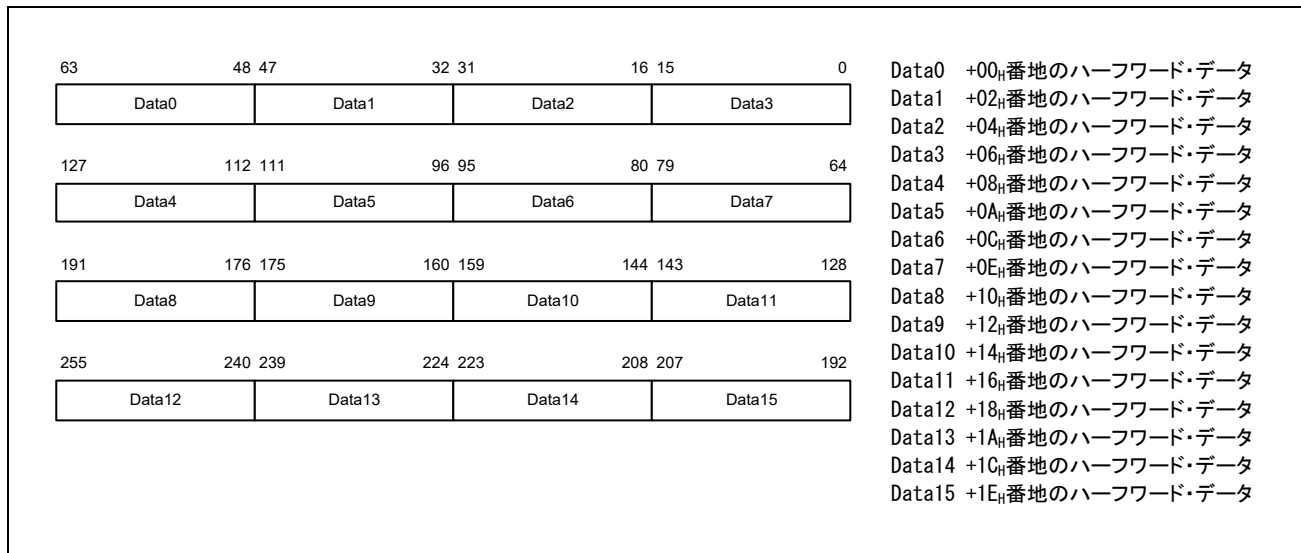


図 3.4 キャッシュ内のデータ配置

3.2.2.3 データバッファ機能

データバッファとして、1 ラインあたり 128 ビットのバッファを、8 ライン搭載しています。Code Flash からリードされる 256 ビットのデータを 128 ビット単位で、データバッファに格納します。次回以降、同一アドレスにアクセスした場合、データバッファから読み出すため、Code Flash へのアクセスは発生しません。

3.2.3 プロセッサ間割り込み

PE1 と PE2 の間で割り込み通信を行うためのレジスタ (IPIR_CHn) を 4CH 分持っています。

IPIR_CH0-3 はユーザ割り込み (EIINT) の CH0-3 にアサインされます。各 PE に対応したビットを操作することで特定の PE (自身を含む) に対して割り込みを要求することが可能です。

3.2.3.1 プロセッサ間割り込み制御レジスタ

本レジスタは、各 PE の CPU Peripheral に配置されています。各 PE は各々 IPIR_CH0-3 レジスタを持っており、他 PE のレジスタにアクセスすることはできません。

表 3.60 レジスタ一覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ				アドレス
				1	8	16	32	
IPIR_CH0	PE 間割り込みレジスタ 0	R/W	0000 0000 _H	○	○	○	○	FFFE EC80 _H
IPIR_CH1	PE 間割り込みレジスタ 1	R/W	0000 0000 _H	○	○	○	○	FFFE EC84 _H
IPIR_CH2	PE 間割り込みレジスタ 2	R/W	0000 0000 _H	○	○	○	○	FFFE EC88 _H
IPIR_CH3	PE 間割り込みレジスタ 3	R/W	0000 0000 _H	○	○	○	○	FFFE EC8C _H

(1) IPIR_CHn — PE 間割り込みレジスタ n (n = 0~3)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PE2	PE1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 3.61 IPIR_CHn レジスタの内容

ビット位置	ビット名	機能
31~2	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
1	PE2	PE2 宛て PE 間割り込み要求 本ビットに 1 を書き込むことで、PE2 に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に 0 にクリアされます。 0 : PE 間割り込み要求出力を指示しない、または割り込み要求出力中でない 1 : 割り込み要求出力を指示する、または割り込み要求出力中
0	PE1	PE1 宛て PE 間割り込み要求 本ビットに 1 を書き込むことで、PE1 に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に 0 にクリアされます。 0 : PE 間割り込み要求出力を指示しない、または割り込み要求出力中でない 1 : 割り込み要求出力を指示する、または割り込み要求出力中

3.2.4 信頼性機能

3.2.4.1 PE ガード機能 (PEG)

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから PE 内資源への不正なアクセスを防止します。PE 内部の Local RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。「3.2.4.1(3) PEG 保護設定レジスタ一覧」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

(a) PE ガード違反の検出

PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(b) 不正アクセスの防止

PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(c) 違反発生の通知

PE ガード違反を検出した場合、ECM に通知します。また、DMAC や DTS が不正アクセスを実行した場合は、DMA 転送エラーが検出されます

(2) PEID と SPID による保護

- PEG 保護設定
 - 自 PE の LocalRAM アドレスによって 4 領域まで設定できます。
 - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4kB～最大 16MB）。
 - 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
 - 各領域に対して「システム保護識別子 (SPID)」および「プロセッサ・エレメント番号 (PEID)」ごとに許可/禁止を選択できます。

- 「プロセッサ・エレメント (PEID)」「システム保護識別子 (SPID)」によるアクセス許可 (図 3.5 を参照)

1. アクセス対象が「LocalRAM 領域」なら 2 へ。
さもなければ「エラー応答」を返します。
2. アクセス対象が「有効な領域 0~3」のどれかの範囲内であれば 3 へ。
さもなければ「エラー応答」を返します。
3. 該当領域に対して以下の条件すべてを満たすか
 - 「システム保護識別子 (SPID)」が許可
 - 「プロセッサ・エレメント (PEID)」が許可
 - 「要求されている操作 (リード、ライト)」が許可
 さもなければ「エラー応答」を返します。

メモリアクセスタイプについて、以下の表に示す操作が許可されていなければエラー応答を返します。
BitOp (ビット操作命令) と CAXI は Read 操作と Write 操作の両方が許可されていないと通過しません。

表 3.62 リクエストタイプ毎に必要なメモリアクセス操作

リクエストタイプ	Read	Write
READ	○	—
WRITE	—	○
BitOp	○	○
CAXI	○	○
LDL	○	—
STC	—	○

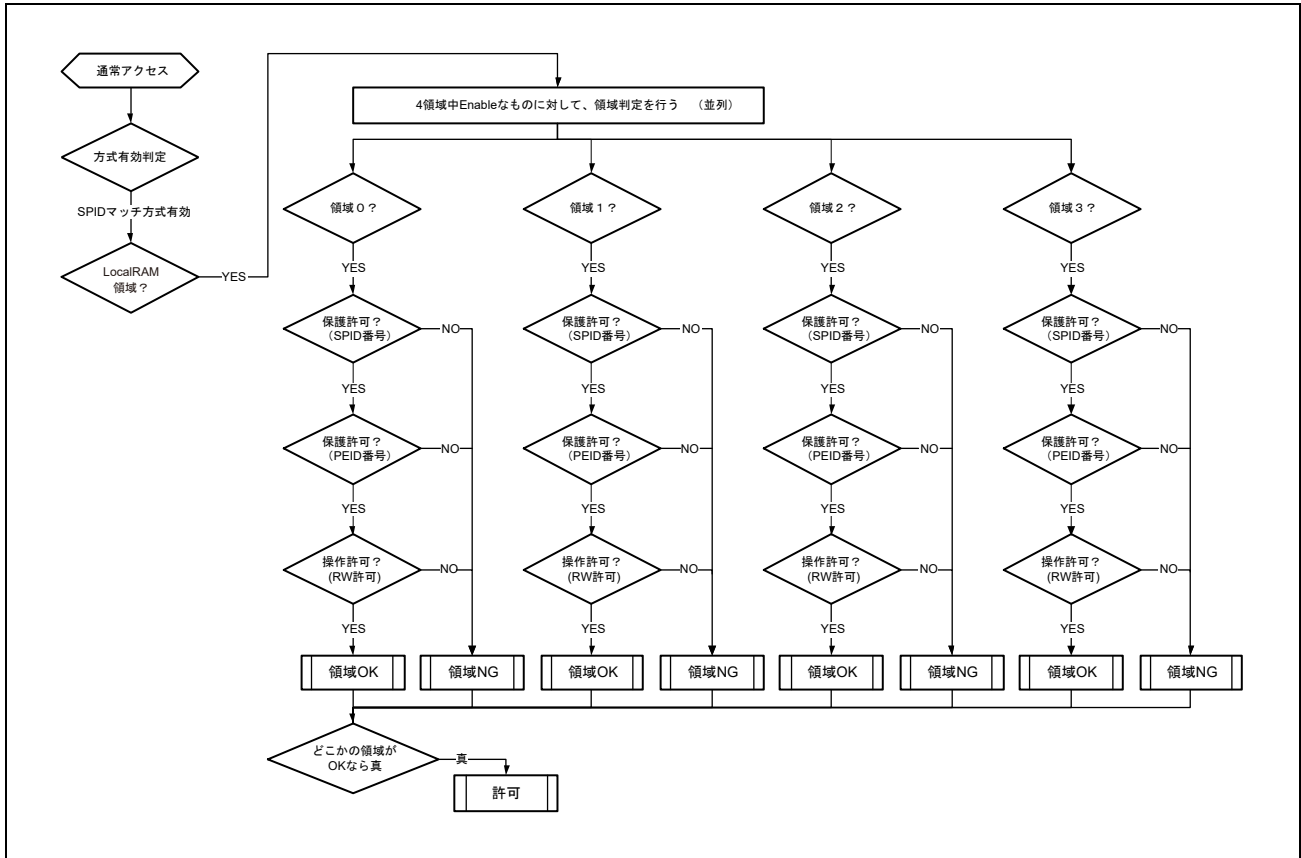


図 3.5 プロセッサ・エレメント (PEID) 及びシステム保護識別子 (SPID) によるアクセス許可

(3) PEG 保護設定レジスタ一覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部の周辺装置領域、Local RAM 領域へのアクセスを検出対象として許可を与えます。
- レジスタ・セットへのアクセスに対しては、PEG 機能独自にアクセス制限を実施していません。必要に応じて IPG などによるアクセス保護設定を行なってください。

表 3.63 PEG レジスタのベースアドレス : FFFE E600_H

アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の 値
						1	8	16	32	
+00C _H	2	PE ガード PEID&SPID マスタ判定制御 レジスタ	PEGSP	—	R/W	—	○	○	—	0000 _H
+080 _H	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	FFE0 0000 _H
+084 _H	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	注 1
+088 _H	4	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	—	R/W	—	○	○	○	0000 0000 _H
+08C _H	4	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	—	R/W	—	○	○	○	0000 0000 _H
+090 _H	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	FFE0 0000 _H
+094 _H	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	注 1
+098 _H	4	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	—	R/W	—	○	○	○	0000 0000 _H
+09C _H	4	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	—	R/W	—	○	○	○	0000 0000 _H
+0A0 _H	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	FFE0 0000 _H
+0A4 _H	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	注 1
+0A8 _H	4	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	—	R/W	—	○	○	○	0000 0000 _H
+0AC _H	4	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	—	R/W	—	○	○	○	0000 0000 _H
+0B0 _H	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	FFE0 0000 _H
+0B4 _H	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	注 1
+0B8 _H	4	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	—	R/W	—	○	○	○	0000 0000 _H
+0BC _H	4	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	—	R/W	—	○	○	○	0000 0000 _H

注 1. CPU1 (PE1) のリセット後の値は FEA0_0000_H、CPU2 (PE2) のリセット後の値は FE80_0000_H、SubCPU (PE3) のリセット後の値は FE60_0000_H です。

(4) レジスタセット

(a) PEGSP — PE ガード PEID & SPID マスタ判定制御レジスタ

外部マスタから PE 内資源へのアクセス許可設定を有効にするレジスタです。SPEN ビットの初期状態は 0 であり、外部マスタから PE 内資源へのアクセスはできません。SPEN ビットに 1 をセットすると、PEGnMK と PEGnBA で設定した条件で、外部マスタからのアクセスを許可します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3.64 PEGSP レジスタの内容

ビット位置	ビット名	機能
15~1	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
0	SPEN	PEID と SPID を持つ外部マスタによるアクセスの検出を有効にします。 0 : PEID と SPID を持つ外部マスタによるアクセスの検出は無効です。 1 : PEID と SPID を持つ外部マスタによるアクセスの検出は有効です。

(b) PEGGnMK — PE ガード領域 n マスク設定レジスタ

PE ガード保護領域 n の範囲を、PEGGnBA レジスタとの組み合わせで指定するレジスタです。GnMASK ビットに 1 をセットすると、PEGGnBA レジスタの対応するアドレスビットがマスクされ、PE ガード保護領域 n の範囲内に指定できます。なお、PE ガード保護領域 n の最小設定単位は 4KB です。

PEGGnMK[31:21]は読み書き可能ですが、PEID&SPID アクセス判定時には下記のように扱われ、PEGGnMK[31:21]の値は無視されます。

- PEGGnMK[31:21] = 1111_1111_111B

PEGGnBA レジスタと組み合わせることにより、CPU1 (PE1) の場合には FEA0_0000_H~FEBF_FFFF_H の領域を外部マスタから保護することができ、CPU2 (PE2) の場合には FE80_0000_H~FE9F_FFFF_H の領域を外部マスタから保護することができ、SubCPU (PE3) の場合には FE60_0000_H~FE7F_FFFF_H の領域を外部マスタから保護することができます。これは各 PE の Local RAM 領域に相当します。

例 : PEGGnBA[31:12] = FEBF6_H、PEGGnMK[31:12] = 00008_H に設定した場合、PE ガード保護領域 n は FEBF_6000_H~FEBF_6FFF_H と FEBF_E000_H~FEBF_EFFF_H になります。

PEGGnMK レジスタに書き込みを行うとグループ n の PEGGnBA レジスタの GnEN レジスタが自動的に 0 にセットされます。これは、アクセス領域の設定中に外部マスタからの意図しないアクセスを防ぐためです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3.65 PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31~12	GnMASK	PE ガード保護領域 n の範囲を指定するベースアドレス PEGGnBA[31:12]に対するマスク有無を設定します。 0 : 対象となるアドレスビットは、PE ガード領域判定時の比較対象 1 : 対象となるアドレスビットは、PE ガード領域判定時の比較対象外
11~0	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。

(c) PEGGnBA — PE ガード領域 n ベース設定レジスタ

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定し、その領域内に対するアクセス許可条件を設定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。PEGGnBA[31:21]は読み書き可能ですが、SPID&PEID アクセス判定時には下記のように扱われ、PEGGnBA[31:21]の値は無視されます。

- CPU1 (PE1) の内部資源へのアクセス検出: PEGGnBA[31:21] = 1111_1110_101_B
- CPU2 (PE2) の内部資源へのアクセス検出: PEGGnBA[31:21] = 1111_1110_100_B
- SubCPU (PE3) の内部資源へのアクセス検出: PEGGnBA[31:21] = 1111_1110_011_B

PEGGnMK レジスタと組み合わせることにより、CPU1 (PE1) の場合には FEA0_0000_H~FEBF_FFFF_H の領域を外部マスタから保護することができ、CPU2 (PE2) の場合には FE80_0000_H~FE9F_FFFF_H の領域を外部マスタから保護することができ、SubCPU (PE3) の場合には FE60_0000_H~FE7F_FFFF_H の領域を外部マスタから保護することができます。これは各 PE の Local RAM 領域に相当します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE															
リセット後の値	1	1	1	1	1	1	1	0	注1	注1	注1	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE				—	—	—	—	—	—	—	GnLOCK	—	GnWR	GnRD	GnEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

注 1. 本製品の CPU1 (PE1) では 101_B、CPU2 (PE2) では 100_B、SubCPU (PE3) では 011_B です。

表 3.66 PEGGnBA レジスタの内容

ビット位置	ビット名	機能
31~12	GnBASE	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11~5	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
4	GnLOCK	保護領域 n のシステムレジスタへの書き込みを禁止します。本ビットは 1 をセットすることができますが、0 をセットすることはできません。 0: PEGGnMK、PEGGnBA、PEGGnSP、PEGGnBA への書き込みを許可します。 1: PEGGnMK、PEGGnBA、PEGGnSP、PEGGnBA への書き込みを許可しません。
3	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0: ライト・アクセスをガード 1: ライト・アクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0: リード・アクセスをガード 1: リード・アクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0: アクセス許可条件の設定無効 1: アクセス許可条件の設定有効

注 意

PEGGnBA.GnEN は、PEGGnMK のレジスタライトによってクリアされます。

(d) PEGGnSP — PE ガード領域 n SPID 設定レジスタ

PE ガード保護領域 n に対する SPID の外部マスタによるアクセス許可を設定します。

PEGGnSP[m] ビットを 1 にすることにより、SPID = m の外部マスタからのアクセスを許可します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GnSP				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 3.67 PEGGnSP レジスタの内容

ビット位置	ビット名	機能
31~4	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
3~0	GnSP	PE ガード保護領域 n に対する SPID の外部マスタによるアクセス許可を設定します。ビット位置 m について 0 : SPID = m の外部マスタからのアクセスをガード 1 : SPID = m の外部マスタからのアクセスを許可

(e) PEGGnPE — PE ガード領域 n PEID 設定レジスタ

PE ガード保護領域 n に対する PEID の外部マスタによるアクセス許可を設定します。

PEGGnPE[m] ビットを 1 にすることにより、PEID = m の外部マスタからのアクセスを許可します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GnPE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3.68 PEGGnPE レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
7~0	GnPE	PE ガード保護領域 n に対する PEID の外部マスタによるアクセス許可を設定します。ビット位置 m について 0 : PEID = m の外部マスタからのアクセスをガード 1 : PEID = m の外部マスタからのアクセスを許可

3.2.4.2 PE 内部周辺装置保護機能 (IPG)

(1) IPG 機能概要

IPG は、IPG を備える CPU コアから周辺装置への不正なアクセスを防止する機構であり、以下の機能を実現します。CPU 内に搭載される周辺装置へのアクセスが対象です。

(a) 周辺装置保護違反の検出

周辺装置保護を設定した領域（周辺装置）に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として検出します。

(b) 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

(c) 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

(d) 違反発生の通知

周辺装置保護違反を検出した場合、CPU に対して処理中断を促すべくシステムエラー例外（SYSERR 例外）の発生を要求します。

システムエラー例外（SYSERR 例外）は、「**3.2.4.3 システムエラー通知制御機能 (SEG)**」を参照してください。

(e) 後続アクセスの無効化

周辺装置保護違反を検出した場合、CPU からの指示があるまで（不正に限らず）全対象領域への全転送種別の後続アクセスを阻止します。

備 考

上記 (d) で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず（IPG からの要求を受け付ける前）に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります（違反発生後のアクセスは結果的に不正になります）。

(2) IPG 機能

1. アクセスの属性（アドレス／転送種別／アクセス権限）に基づいて周辺装置保護違反を検出してアクセスを無効化します。
2. アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア外部からのアクセスに対しては行われません。また、無効化動作は、アドレスとは無関係に行われます。
3. ミスアラインダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 対不正ユーザ IPG 保護設定レジスタ一覧

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタに必要な設定を行います。

- ユーザモードによるアクセスを検出対象とします。
- 本レジスタセットはユーザモードに関連した IPG 設定やその読み出しを目的としています。

表 3.69 IPG レジスタのベースアドレス：FFFE E000_H

アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限 注 1	R/W	操作可能ビット				リセット 後の値
						1	8	16	32	
+002 _H	2	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	SV	R/W	—	—	○	—	不定 (保持)
+008 _H	4	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	SV	R/W	—	—	—	○	不定 (保持)
+00D _H	1	周辺装置保護イネーブルレジスタ	IPGENUM	SV	R/W	○	○	—	—	00 _H
+022 _H	1	周辺装置保護設定レジスタ 2	IPGPMTUM2	SV	R/W	○	○	—	—	00 _H
+023 _H	1	周辺装置保護設定レジスタ 3	IPGPMTUM3	SV	R/W	○	○	—	—	00 _H
+024 _H	1	周辺装置保護設定レジスタ 4	IPGPMTUM4	SV	R/W	○	○	—	—	00 _H

注 1. 「SV」と記載されたレジスタは、SV 特権 (UM = 0) でのみアクセス可能です。

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DS				EX	WR	RD	VD
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 x : 不定 (保持)

表 3.70 IPGECRUM レジスタの内容

ビット位置	ビット名	機能
15~8	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
7~4	DS	違反を起こしたアクセスのデータサイズが格納されます。 0100 : ワード (4byte) 0010 : ハーフワード (2byte) 0001 : バイト 上記以外は、予約
3	EX	違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット (1) されます。それ以外の場合はクリア (0) されます。
2	WR	違反を起こしたアクセスがライトアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア (0) されます。
1	RD	違反を起こしたアクセスがリードアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア (0) されます。
0	VD	該当する権限によるプログラムによる周辺装置保護違反を検出するとセット (1) されます。セットされている場合、新たに周辺装置保護違反を検出しても、本レジスタ IPGECRUM、および IPGADRUM レジスタを更新せず保持します。

備 考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、検出対象のモードおよびユーザで動作するプログラムにより検出された周辺装置保護違反の転送種別が命令フェッチリードアクセスの場合には、本レジスタのすべてのビットは更新されません。

(b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 x : 不定 (保持)

表 3.71 IPGADRUM レジスタの内容

ビット位置	ビット名	機能
31~0	EADR	違反を起こしたアクセスアドレスを格納します

備 考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、検出対象のモードおよびユーザで動作するプログラムにより検出された周辺装置保護違反の転送種別が命令フェッチリードアクセスの場合には、本レジスタのすべてのビットは更新されません。

(c) IPGENUM — 周辺装置保護イネーブルレジスタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IRE	E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3.72 IPGENUM レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
1	IRE	周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します 0 : 命令フェッチアクセスのアクセス情報を保存しません 1 : 命令フェッチアクセスのアクセス情報を保存します 注意: 投機的な命令フェッチ (命令を実行しない場合がある) に対する検出を望まない場合に本ビットを 0 にクリアしてください。
0	E	該当する権限によるアクセスに対して、周辺装置保護機能の有効/無効を設定します。 0 : 周辺装置保護機能は無効です 1 : 周辺装置保護機能は有効です

(d) IPGPMTUM2 — 周辺装置保護設定レジスタ 2

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	RW	R	R	RW	RW

表 3.73 IPGPMTUM2 レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
5	W1	IPIR、MEV、TESTCOMP へのライトアクセスを許可するかどうかを設定します。 ^{注1} 0: IPIR、MEV、TESTCOMP へのライトアクセスを違反とします。 1: IPIR、MEV、TESTCOMP へのライトアクセスを制限しません。
4	R1	IPIR、MEV、TESTCOMP へのリードアクセスを許可するかどうかを設定します。 ^{注1} 0: IPIR、MEV、TESTCOMP へのリードアクセスを違反とします。 1: IPIR、MEV、TESTCOMP へのリードアクセスを制限しません。
3, 2	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
1	W0	INTC1 へのライトアクセスを許可するかどうかを設定します。 0: INTC1 へのライトアクセスを違反とします。 1: INTC1 へのライトアクセスを制限しません。
0	R0	INTC1 へのリードアクセスを許可するかどうかを設定します。 0: INTC1 へのリードアクセスを違反とします。 1: INTC1 へのリードアクセスを制限しません。

注 1. CPU2 から TESTCOMP にはアクセスできません。SubCPU から IPIR、MEV、TESTCOMP にはアクセスできません。

(e) IPGPMTUM3 — 周辺装置保護設定レジスタ 3

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	RW	R	R	R	R

表 3.74 IPGPMTUM3 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
5	W1	SysErrGen へのライトアクセスを許可するかどうかを設定します。 0 : SysErrGen へのライトアクセスを違反とします。 1 : SysErrGen へのライトアクセスを制限しません。
4	R1	SysErrGen へのリードアクセスを許可するかどうかを設定します。 0 : SysErrGen へのリードアクセスを違反とします。 1 : SysErrGen へのリードアクセスを制限しません。
3~0	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。

(f) IPGPMTUM4 — 周辺装置保護設定レジスタ 4

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 3.75 IPGPMTUM4 レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
1	W0	PEG へのライトアクセスを許可するかどうかを設定します。 0 : PEG へのライトアクセスを違反とします。 1 : PEG へのライトアクセスを制限しません。
0	R0	PEG へのリードアクセスを許可するかどうかを設定します。 0 : PEG へのリードアクセスを違反とします。 1 : PEG へのリードアクセスを制限しません。

3.2.4.3 システムエラー通知制御機能 (SEG)

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰/回復が不可能な FE レベル例外です。

システムエラー例外の要因コード (FEIC) とエラー内容の対応は、**表 3.78** を参照してください。

データアクセスによるエラーは、SEG(SysErrGen)で通知・記録を制御します。命令フェッチアクセスによるエラーは SEG を経由しませんが、命令キャッシュの RAM 上で発生したエラーは SEG に通知されます。詳細は「**3.2.4.3(2)(a) SEGCONT — エラー通知制御レジスタ**」と「**3.2.4.3(3)(c) SYSERR 例外に関する補足事項**」を参照してください。

複数のエラー発生入力エラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外 (SYSERR) を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラー情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラー情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3.76 SEG レジスタのベースアドレス : FFFE E980_H

アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット 後の値
						1	8	16	32	
+00 _H	2	エラー通知制御レジスタ	SEGCONT	—	R/W 注1	—	—	○	—	0000 _H
+02 _H	2	エラー発生保持レジスタ	SEGFLAG	—	R/W 注1	—	—	○	—	0000 _H
+08 _H	4	エラー要因保持レジスタ (アドレス)	SEGADDR	—	R/W 注1	—	—	○	○	不定 (保持)

注 1. ユーザモードからのライトアクセスは無視します。

備 考

上記以外の「アドレスオフセット」「操作可能ビット」でアクセスすると「エラー応答」を返します。

ライトアクセスについては、スーパーバイザモード (UM = 0) のみ有効です。その他のアクセス権限によるライトアクセスはエラー応答になります。

リードアクセスは、アクセス制限を設けていません。

ほかの保護機構が許可する範囲内であればいつでも読み出し可能です。

(2) レジスタセット

(a) SEGCNT — エラー通知制御レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SYSERR 要求の通知許可 (= 1) / 不許可 (= 0) を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBPE	HBPE	GRME ^{注1}	LRME	CFBE	LSUE	—	ICCE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R

注 1. SubCPU では本ビットは予約ビットです。

表 3.77 SEGCNT レジスタの内容 (1/2)

ビット位置	ビット名	機能
15~10	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
9	PBPE	P-Bus の読み出しデータで下記エラーが生じた場合。 ● バスパリティエラーの発生
8	HBPE	CPU1、2 から SubCPU リソースの読み出しデータで下記エラーが生じた場合。 SubCPU から CPU1、2 リソースと Global RAM の読み出しデータで下記エラーが生じた場合。 ● バスパリティエラーの発生
7	GRME ^{注1}	Global RAM へのデータアクセスで下記エラーが生じた場合。 ● 訂正できない ECC エラーの発生 (1bit 訂正禁止時を含む) ● アドレスパリティエラーの発生 (2 重化ビット訂正禁止時を含む)
6	LRME	自 Local RAM へのデータアクセスで下記エラーが生じた場合。 ● 訂正できない ECC エラーの発生 (1bit 訂正禁止時を含む) ● アドレスパリティエラーの発生 (2 重化ビット訂正禁止時を含む)
5	CFBE	Code Flash へのアクセスで下記エラーが生じた場合。 ● 訂正できない ECC エラーの発生 (1bit 訂正禁止時を含む) ● アドレスパリティエラーの発生 (2 重化ビット訂正禁止時を含む)
4	LSUE	データアクセスに伴う下記ガードエラー、エラー応答が生じる場合。 ● P-Bus エラー応答通知 (P-Bus ライトエラーを除く) – 未実装領域 (FFFF 7900 _H ~FFFF 7EFF _H) アクセス時 – PE 内部周辺装置保護 (IPG) エラー時 – 他 PE の Local RAM へのアクセスガード (PEG) エラー時 – P-Bus ガードエラー (INTC2、PDMA、Global RAM ガードの、各レジスタに対する P-Bus ガード) ● 内蔵 I/O レジスタ (self 領域) の未実装領域へのアクセス ● Global RAM エラー応答 – 保護違反アクセス発生 – 未実装領域アクセス発生 ● Local RAM エラー応答 – 未実装領域アクセス発生 ● Code Flash エラー応答 – ストアアクセス時 ● Data Flash エラー応答 ^{注2} – 訂正できない ECC エラーの発生
3	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。

表 3.77 SEGCONT レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ICCE	命令キャッシュエラー通知イネーブル 命令キャッシュのシステムレジスタ ICCTRL.ICHEMK = 0 (リセット後の値 = 1) に設定した場合に命令キャッシュで発生したエラーを扱います。命令キャッシュのエラーについては「3.2.1.2(6)(h) ICERR — 命令キャッシュエラー」を参照してください。
1, 0	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。

注 1. SubCPU では本ビットは予約ビットです。リードした場合は0が読めます。ライトする場合は0を書いてください。

注 2. ECC のエラー通知設定が有効な状態で、訂正できない ECC エラーが発生した場合です。

表 3.78 G3MH コアのシステムエラー例外の要因コードとエラー内容の対応

要因コード	エラー内容
10	予約
11	命令フェッチに伴うガードエラー、エラー応答が生じた場合
12	SEGCONT 2bit 目 (ICCE) により通知許可されるエラー
13	命令フェッチに伴う下記エラーが生じた場合 <ul style="list-style-type: none"> バスパリティエラーの発生 訂正できない ECC エラーの発生 (1bit 訂正禁止時を含む) アドレスパリティエラーの発生 (2 重化ビット訂正禁止時を含む)
14	SEGCONT 4bit 目 (LSUE) により通知許可されるエラー
15	SEGCONT 5bit 目 (CFBE) により通知許可されるエラー
16	SEGCONT 6bit 目 (LRME) により通知許可されるエラー
17	SEGCONT 7bit 目 (GRME) により通知許可されるエラー ^{注 1}
18	SEGCONT 8bit 目 (HBPE) により通知許可されるエラー
19	SEGCONT 9bit 目 (PBPE) により通知許可されるエラー
1A	予約
1B	予約
1C	予約
1D	予約
1E	予約
1F	予約

注 1. SubCPU では予約です。

(b) SEGFLAG — エラー発生保持レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット (=1) されます。自動クリア (=0) はありません。
- レジスタへの書き込みであれば、セット/クリアの両方が可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBPF	HBPF	GRMF ^{注1}	LRMF	CFBF	LSUF	—	ICCF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R

注1. SubCPU では本ビットは予約ビットです。

表 3.79 SEGFLAG レジスタの内容

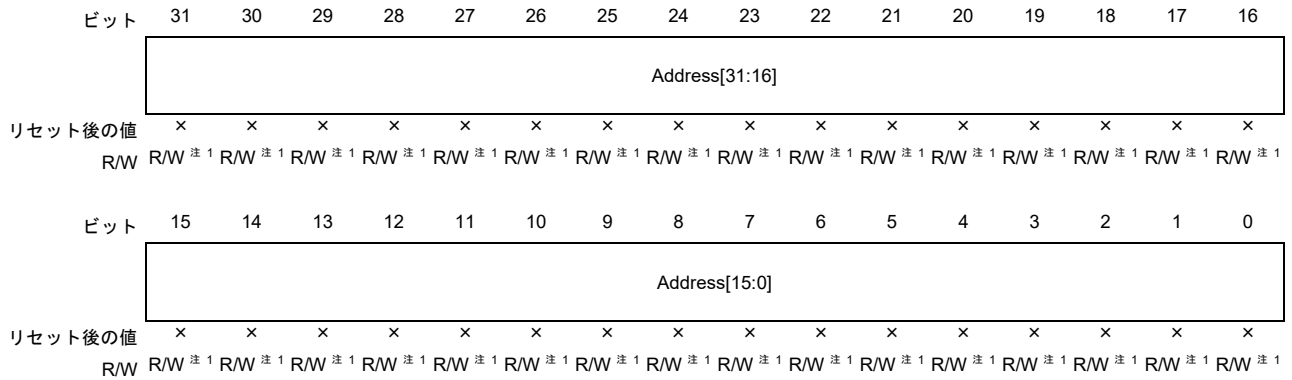
ビット位置	ビット名	機能
15~10	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
9	PBPF	SEGCONT レジスタのビット9に対応したフラグ。
8	HBPF	SEGCONT レジスタのビット8に対応したフラグ。
7	GRMF ^{注1}	SEGCONT レジスタのビット7に対応したフラグ。
6	LRMF	SEGCONT レジスタのビット6に対応したフラグ。
5	CFBF	SEGCONT レジスタのビット5に対応したフラグ。
4	LSUF	SEGCONT レジスタのビット4に対応したフラグ。
3	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。
2	ICCF	SEGCONT レジスタのビット2に対応したフラグ。
1, 0	予約ビット	リードした場合は0が読めます。ライトする場合は0を書いてください。

注1. SubCPU では本ビットは予約ビットです。リードした場合は0が読めます。ライトする場合は0を書いてください。

(c) SEGADDR — エラー要因保持レジスタ（アドレス）

SYSERR 要求の通知を行ったエラー要因の情報（1履歴）が記録されます。SEGFLAG レジスタのうち4～9ビットのエラー要因（PBPF、HBPF、GRMF^{注1}、LRMF、CFBF、LSUF）がエラーアドレスの記録対象です。通知許可のエラー発生フラグがセットされた状態では変更されません。

注1. SubCPU では GRMF は対象外です。



備考 x：不定（保持）

注1. 通知許可のエラー発生フラグがセットされた状態では変更されません。

表 3.80 SEGADDR アドレスの内容

ビット位置	ビット名	機能
31～0	Address[31:0]	SYSERR 要因が発生したアドレスを保持します。 （命令キャッシュエラー（ICCE）が発生した場合、0 が格納されます。ICERR レジスタを参照してください）

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知

- 各エラー発生フラグはセット優先
 - － 同時のクリア操作は無視します。
- エラー要因の優先順位
 - － 通知許可の SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
 - － エラー要因のビット位置を「SYSERR 要因コード」として通知します。
- SYSERR 要求の通知開始条件
 - － 通知不許可のフラグをセットしても通知しません。
 - － 通知許可のフラグをセットした直後に通知します。
 - － クリア操作後はフラグ状態次第で通知します（再調停）。
- SYSERR 要求応答で通知を終了
 - － 通知を終了しても、フラグを自動クリアしません。
 - － 新たなセットもしくは、クリア操作による再調停があるまで通知しません。
 - － 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SYSERR 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因の情報記録

- 通知許可のエラー発生入力時にそのエラーアドレスを上記レジスタに保持します。
 - － 「**3.2.4.3(3)(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知**」の「エラー発生フラグのセット/クリア操作」では情報の保持は行われません。
 - － 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- 「**3.2.4.3(3)(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知**」の「通知許可のエラー発生フラグがセットされている状態」では上記レジスタに対する上書きを抑制します。
 - － エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
 - － レジスタ上書き抑制を解除するには、SEGCONT レジスタ/SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。
- 命令キャッシュでのエラー検出

命令キャッシュの RAM 上でエラーが発生しても、命令フェッチ要因の再実行型 SYSERR 例外は発生しません。命令キャッシュはエラーが発生した対象エントリを自動的にインバリデートし、Code Flash から再フェッチすることで、CPU の命令実行を継続します。システム・レジスタの ICCTRL.ICHEMK ビットを 0 に設定すると、命令キャッシュで発生したエラーを SEG に通知することができます。命令キャッシュのエラーについては「**3.2.1.2(6)(h) ICERR — 命令キャッシュエラー**」を参照してください。

3.2.4.4 Checker Core

CPU1 はセーフティ対応として Checker Core を備えており、高信頼性のシステムを実現します。CPU1 と Checker Core からの出力を常時比較器で監視することで、CPU1 の異常動作を直ちに検出できます。Checker Core による2重化の範囲は、CPU コアと FPU、MPU、PEG、IPG、SEG、INTC1 です。また、COMPTEST モジュールで擬似エラーを発生させ、比較器自体の故障診断テストをすることができます。COMPTEST モジュールの詳細は、「**第29章 ファンクショナルセーフティ**」を参照してください。

注 意

PE 内のリセット値が不定のレジスタを初期化せずに読み出し、PE 外のメモリやレジスタに書き込むと、ロックステップコンペアエラーが発生する場合があります。プログラム・レジスタやシステム・レジスタの一部はリセット値が不定なので、RAM へのスタック退避時などご注意ください。

3.2.5 ブートコントロール機能

本製品では、リセット解除によって CPU1 (PE1) と CPU2 (PE2) を同時に起動させるか、CPU1 (PE1) のみ起動し、CPU2 (PE2) は停止状態とするか CPU の起動モードを選択することが可能です。CPU の起動モードの選択はオプションバイトで設定を行います。オプションバイトの設定の詳細については、「**35 章 フラッシュメモリ**」のオプションバイト 6 レジスタ STARTUPPE ビットを参照ください。

CPU2 (PE2) を停止状態から起動させるには、CPU1 (PE1) によるソフトウェア処理を行いブートコントロールレジスタを設定します。

EUM3 内蔵 SubCPU は CPU の起動モードによらずリセット解除後は停止状態です。CPU1 (PE1) または CPU2 (PE2) によるソフトウェア処理にて起動します。詳細は「**25 章 エンハンスドモータコントロールユニット (EMU3)**」を参照ください。

表 3.81 ブートコントロールレジスタ

アドレス	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
						1	8	16	32	
FFC5 8000 _H	4	ブートコントロールレジスタ	BOOTCTRL	—	R/W	—	○	○	○	注 1

注 1. 0000 003X_H (オプションバイト 6 レジスタ STARTUPPE の設定値に依存します。)

3.2.5.1 BOOTCTRL — ブートコントロールレジスタ

CPU1 (PE1)、CPU2 (PE2) の起動を制御するレジスタです。本レジスタの対応したビットを“1”に設定することにより、対応した CPU が起動し命令フェッチを開始します。ビットをセットされない場合 CPU はリセット解除後、何もせず待ち続けます。RH850/C1M-A1 では、BC2 は無効です。BC2 の初期値はオプションバイトの設定によって決まります。値が 1 の場合は 0 を書き込んでも無視されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	BC2	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	1	X	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

表 3.82 ブートコントロールレジスタの内容

ビット位置	ビット名	機能
31~6	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。
5~3	予約ビット	リードした場合は 1 が読めます。ライトする場合は 1 を書いてください。
2	BC2	ブートコントロール 2 1 に設定することにより CPU2 (PE2) が起動します。 0 : CPU2 (PE2) は起動しません。 1 : CPU2 (PE2) が起動します。 値が 1 の場合、0 書き込みは無視されます。
1	予約ビット	リードした場合は 1 が読めます。ライトする場合は 1 を書いてください。
0	予約ビット	リードした場合は 0 が読めます。ライトする場合は 0 を書いてください。

3.3 CPU 間機能

3.3.1 プロセッサエレメント識別子

各プロセッサのプロセッサエレメント番号 PEID は、HTCFG0 レジスタの PEID フィールドより読み出せます。PEID を参照することで、プログラム自身がいずれの CPU コアで実行されているのを知ることができます。本製品の PEID は以下のとおりです。

CPU コア	PEID
CPU1 (PE1)	001 _B
CPU2 (PE2)	010 _B
EMU3 内蔵 SubCPU (PE3)	011 _B

3.3.2 プロセッサ間割り込み機能

CPU1 と CPU2 は各々 CPU Peripheral 機能として、IPIR レジスタを持っています。IPIR レジスタを設定することで、ある PE から他の PE に EI レベル割り込みを要求することができます。詳細は、「**3.2.3 プロセッサ間割り込み**」を参照してください。

EMU3 内蔵 SubCPU には本機能はありません。

3.3.3 排他制御

CPU1、CPU2 は Local RAM (CPU1、CPU2)、Global RAM、排他制御用レジスタ (MEV) を、排他制御用のリソースとして利用可能です。アトミック操作命令として、Local RAM、Global RAM に対しては、LDL /STC、CAXI、SET1、CLR1、NOT1 命令を、排他制御用レジスタ (MEV) に対しては CAXI、SET1、CLR1、NOT1 命令を実行可能です。なお、LD、ST 命令でもアクセス可能ですが、アトミック操作にはなりません。

注 意

1. EMU3 内蔵 SubCPU から CAXI 命令、ビット操作命令による Local RAM (SubCPU) へのアクセスはアトミック性が保証されますが、Local RAM (CPU1、CPU2)、Global RAM へのアクセスはアトミック性が保証されません。
2. EMU3 内蔵 SubCPU から LDL、STC 命令による Local RAM (SubCPU) へのアクセスでは、アトミック操作成功時は成功の結果となりますが、Local RAM (CPU1、CPU2)、Global RAM へのアクセスでは、アトミック操作は常に失敗の結果になります。
3. CPU1、CPU2 から CAXI 命令、ビット操作命令による Local RAM (SubCPU) へのアクセスはアトミック性は保証されません。
4. CPU1、CPU2 から LDL、STC 命令による Local RAM (SubCPU) へのアクセスでは、アトミック操作は常に失敗の結果になります。
5. EMU3 内蔵 SubCPU から MEV へのアクセスはできません。

3.3.3.1 排他制御用レジスタ (MEV)

PE 間で共有される変数 (共有リソース) に対しての排他制御を支援するためのレジスタです。
(MEV : Mutual Exclusion Variable Register)

- 32 本の MEV (32bit レジスタ) を搭載しています。
- 各 MEV は 32/16/8/1 ビットアクセスが可能です。
- CPU1 (PE1)、CPU2 (PE2) からアクセス可能です。EMU3 内蔵 SubCPU からはアクセスできません。
- アトミック操作命令は、CAXI、SET1、CLR1、NOT1 を実行可能です。

MEV に対し、CPU1 (PE1) と CPU2 (PE2) はそれぞれ独立したアクセス経路を持ちます。このことから、CPU1 (PE1) と CPU2 (PE2) が異なる MEV レジスタにアクセスする場合、待ち合わせすることなくアクセス可能です。同じ MEV レジスタにアクセスする場合は、待ち合わせが発生します。

表 3.83 レジスタ一覧 (ベースアドレス : FFFE EC00_H)

レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ				オフセットアドレス
				1	8	16	32	
G0MEV0	排他制御専用レジスタ 0	R/W	0000 0000 _H	○	○	○	○	+00 _H
G0MEV1	排他制御専用レジスタ 1	R/W	0000 0000 _H	○	○	○	○	+04 _H
G0MEV2	排他制御専用レジスタ 2	R/W	0000 0000 _H	○	○	○	○	+08 _H
G0MEV3	排他制御専用レジスタ 3	R/W	0000 0000 _H	○	○	○	○	+0C _H
:	:	:	:	:	:	:	:	:
G0MEV31	排他制御専用レジスタ 31	R/W	0000 0000 _H	○	○	○	○	+7C _H

3.3.3.2 LDL.W/STC.W 命令の動作

LDL.W 命令と STC.W 命令を使い、アトミックな Read-Modify-Write を実現し、これによってマルチコア・システムでのメモリ更新を正確に処理できます。LDL.W 命令と STC.W 命令の動作は以下の通りです。LDL.W/STC.W 命令の動作については、「RH850G3MH ユーザーズマニュアルソフトウェア編」を参照してください。

- リンクの生成：CPU では、Local RAM と Global RAM のそれぞれに対してリンクを生成できます。操作対象に、LDL.W 命令を実行してリードすると、リンクアドレスを登録しリンクフラグをセットしてリンクを生成します。リンクフラグは、以下の 2 系統が用意されています。

(1) 自 Local RAM 用：1 個

(2) (1)以外：1 個

このリンクフラグは互いに独立に生成されるため、CPU から一方の系統（例：自 Local RAM）へリンク生成後、異なる系統（例：Global RAM）への LDL.W 命令実行によって、先に生成した（例：自 Local RAM への）リンクが消失することはありません。

- ストアの成功：リンクが生成された状態で、生成されたリンクに対応した STC.W 命令を実行した場合にだけストア処理を実行します。
- ストアの失敗：リンクが消失した状態では、STC.W 命令を実行してもストア処理は実行されません。また、リンクに対応していない STC.W 命令の実行でもストア処理は実行されません。
- ストア成功の条件：以下の条件を満たす場合に、その STC.W 命令はリンクに対応していると判断されず。
 - リンクを生成した LDL.W 命令とアドレスが一致する。
- リンクの消失：以下のいずれかが起こるとリンクフラグはクリアされ、リンクが消失します。

リンクを生成した CPU に以下の事象が発生した場合：

- CLL 命令の実行
- STC.W 命令の実行。ストアの成功/失敗に関わらず対応する上記 (1) または (2) のリンクは消失します。
- 全ての EI レベル割り込み/例外の発生。
- 全ての FE レベル割り込み/例外の発生。
- 例外からの復帰命令 (FERET、EIRET) の実行。
上記 (1) と (2) のリンクフラグはすべてクリアされます。
- EST 命令の実行。
- 上記 (1) または (2) のリンクフラグに対して複数の LDL.W 命令を連続して実行。上記 (1) または (2) において先行する LDL.W 命令で生成したリンクが消失します。このような処理は実行しないでください。
- リンク生成時のアドレス^{注1}を含む 32 バイト整列のアドレス範囲に対して、STC.W 以外のストア動作を実行。このような処理は実行しないでください。
- 他のバスマスタによって、リンク生成時のアドレス^{注1}を含む 32 バイト整列のアドレス範囲に対して STC.W 命令実行を含むストア動作を実行。対応するリンクは消失します。

注1. リンクアドレス上位 27 ビットと一致するアドレスを指します。

- STC.W 命令が成功した場合は、LDL.W 命令と STC.W 命令によってアトミックな Read-Modify-Write が実現されたこととなります。

3.4 使用上の注意

3.4.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPU による命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要となります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステム・レジスタの更新と後続命令の同期化に関する手続きについては、「RH850G3MH ユーザーズマニュアルソフトウェア編」の「付録A システム・レジスタのハザード解消手続き」をご参照ください。

3.4.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合

例 1. INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合などが考えられます。この場合は以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など) ^{注1}
- (3) SYNCNP
- (4) 後続命令 (EI など)

例 2. ある制御レジスタ A の確実な更新を待ってから、他の制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ Peripheral Group であれば、この処理は不要です。Peripheral Group の詳細は、「3.1.2 Peripheral Group 構成」をご参照ください。

- (1) 制御レジスタ A を更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など) ^{注1}
- (3) SYNCNP
- (4) 制御レジスタ B にアクセスするストア命令 (ST.W、LD.W など)

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

注1. 同じ Peripheral Group のレジスタのダミーリードでも代替できます。

3.4.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

- (1) メモリを更新するストア命令 (ST.W など)
- (2) 上記メモリのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 制御レジスタのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

3.4.1.3 Code Flash の領域を切り替える場合

この場合は、「RH850/C1M-A フラッシュメモリユーザズマニュアルハードウェアインタフェース編」の「第9章 使用上の注意点 (7) FCUFAREA レジスタの更新」をご参照ください。

3.4.2 ビット操作命令のレジスタ・アクセス

ビット操作命令によるライトは、8ビット単位のアトミックなリード・モディファイ・ライト処理です。このため、8ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグ・ビットを共有しているレジスタには、リード・モディファイ・ライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

3.4.3 CodeFlash 書き換え後のコヒーレンシ確保

CPUはCodeFlash領域に対して有効な命令キャッシュとデータバッファを搭載しています。このため、セルフプログラミングでCodeFlashを書き換えた後は、コヒーレンシ確保のために命令キャッシュとデータバッファをクリアしてください。命令キャッシュはICCTRLレジスタで、データバッファはCDBCRレジスタでクリアできます。

3.4.4 多重例外受け付け時のコンテキスト上書き

例外要因の種類によっては、PSWレジスタのID、NPビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰/回復の可否については「RH850G3MH ユーザーズマニュアルソフトウェア編」の例外要因一覧を参照してください。

3.4.5 プリフェッチに関する注意事項

CPUは命令フェッチのスルーポットを維持するために、実行中のプログラムより後方の領域に対して投機的な命令フェッチを実施します。このプリフェッチにより、命令コードを配置していない領域（**図 3.6**の注1）からもメモリの読み出しが発生する場合がありますため、以下の点にご注意ください。なお、該当領域（**図 3.6**の注1）からメモリの読み出しが発生しても、読み出した値を命令実行することはありません。

本注意事項は命令フェッチが可能な全メモリが対象です。

- メモリ値不定状態によるECCエラーの発生

このプリフェッチにより、消去状態のCodeFlashや初期化前のLocalRAM、GlobalRAMでECCエラーが発生する可能性があります。命令コードをメモリに配置する際は、該当領域（**図 3.6**の注1）を任意のデータで初期化してください。

- GRG、IPG機能による違反アクセスの検出

このプリフェッチを、GRG、IPG機能が違反アクセスとして検出する可能性があります。違反アクセスとして検出させたくない場合、該当領域（**図 3.6**の注1）とGRG、IPGによるアクセス禁止領域が重ならないようにしてください。なお、MPUで保護している領域に対してこのメモリ読み出しが発生しても、メモリ保護例外が発生することはありません。

- アクセス禁止領域へのアクセス

該当領域（**図 3.6**の注1）とアクセス禁止領域が重ならないよう、命令コードをメモリに配置してください。

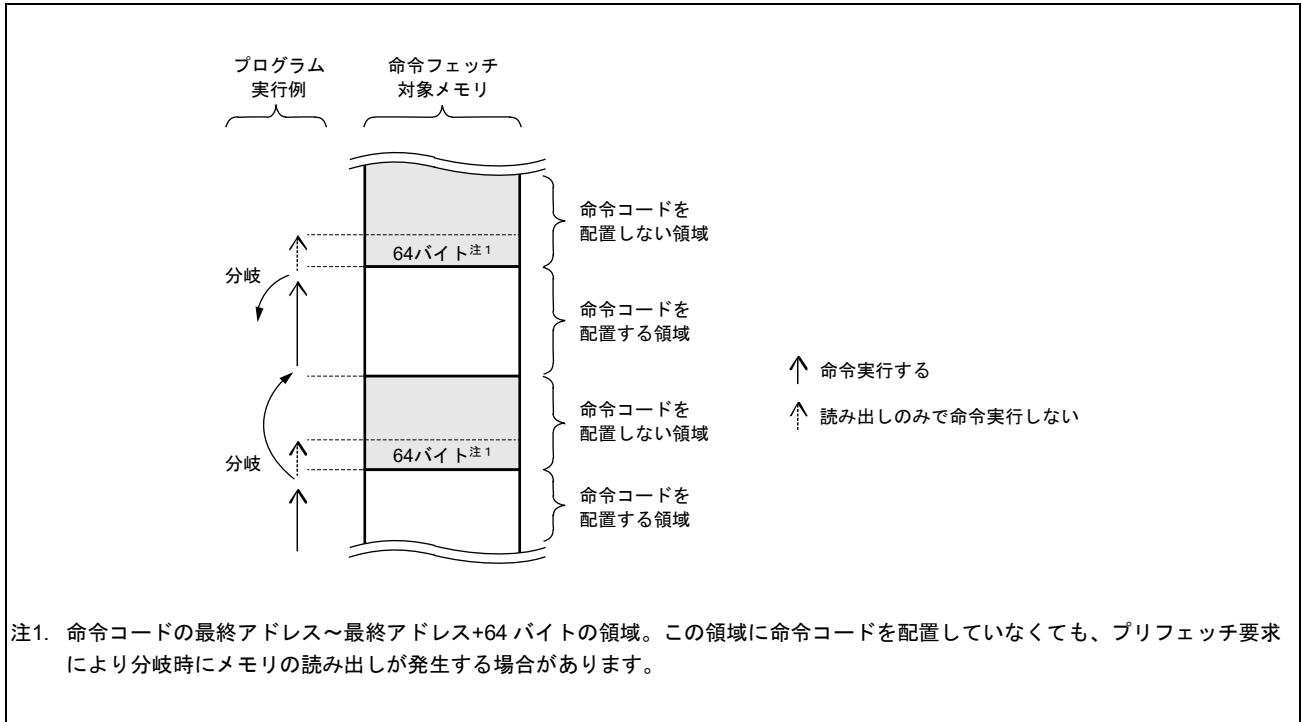


図 3.6 プリフェッチに対する注意が必要な領域

第4章 アドレス空間

4.1 RH850/C1M-A アドレス空間

4.1.1 アドレス空間 (C1M-A2)

表 4.1 に RH850/C1M-A2 のアドレス空間を示します。

内蔵 I/O レジスタ空間において、レジスタがマッピングされていないアドレスにアクセスしないでください。表 4.1 に記載のないアドレスおよび予約エリアにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 4.1 アドレス空間 (C1M-A2)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~001F FFFF _H (0001 7000 _H ~0001 7FFF _H)	内蔵 ROM (ユーザ領域 リード、バンク A) (FCU ファーム領域 (FCUFAREA レジスタで Map を切替)) 注 3	2.0MB (4KB)
0020 0000 _H ~003F FFFF _H	内蔵 ROM (ユーザ領域 リード、バンク B)	2.0MB
0040 0000 _H ~00FF FFFF _H	予約エリア	—
0100 0000 _H ~0100 7FFF _H	内蔵 ROM (ユーザブート領域リード)	32KB
0100 8000 _H ~0103 6FFF _H	予約エリア	—
0103 7000 _H ~0103 7FFF _H	FCU ファーム領域注 3	4KB
0103 8000 _H ~FBFF FFFF _H	予約エリア	—
FC00 0000 _H ~FC07 FFFF _H	EMU 内蔵 I/O レジスタ注 4	512KB
FC08 0000 _H ~FE7E FFFF _H	予約エリア	—
FE7F 0000 _H ~FE7F FFFF _H	内蔵 RAM (Local RAM EMU/SubCPU 領域)	64KB
FE80 0000 _H ~FE9E FFFF _H	予約エリア	—
FE9F 0000 _H ~FE9F FFFF _H	内蔵 RAM (Local RAM CPU2 領域)	64KB
FEA0 0000 _H ~FEBE FFFF _H	予約エリア	—
FEBF 0000 _H ~FEBF FFFF _H	内蔵 RAM (Local RAM CPU1 領域)	64KB
FEC0 0000 _H ~FEDE FFFF _H	予約エリア	—
FEDF 0000 _H ~FEDF FFFF _H	内蔵 RAM (Local RAM self 領域注 1)	64KB
FEE0 0000 _H ~FEEE FFFF _H	予約エリア	—
FEEF 0000 _H ~FEEF FFFF _H	内蔵 RAM (Global RAM 領域 バンク A)	64KB
FEF0 0000 _H ~FEF0 FFFF _H	内蔵 RAM (Global RAM 領域 バンク B)	64KB
FEF1 0000 _H ~FEFF FFFF _H	予約エリア	—
FF00 0000 _H ~FFFD FFFF _H (FF20 0000 _H ~FF20 FFFF _H) (FFA1 2000 _H ~FFA1 2FFF _H)	内蔵 I/O レジスタ (Data Flash (リード/ライト)) (FCU RAM 領域)	16MB-128KB (64KB) (4KB)
FFFE 0000 _H ~FFFE DFFF _H	予約エリア	—
FFFE E000 _H ~FFFE FFFF _H	内蔵 I/O レジスタ (self 領域注 2)	8KB
FFFF 0000 _H ~FFFF 4FFF _H	予約エリア	—
FFFF 5000 _H ~FFFF FFFF _H	内蔵 I/O レジスタ	44KB

注 1. Local RAM self 領域は、各 CPU (CPU1/CPU2/SubCPU) が持つ自身の Local RAM にアクセスする為のアドレス領域です。

注 2. 内蔵 I/O レジスタ (self 領域) は、各 CPU (CPU1/CPU2/SubCPU) が持つ自身の内蔵 I/O レジスタにアクセスする為のアドレス領域です。

注 3. 詳細は「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

注 4. EMU3/SubCPU からのみアクセス可能な領域です。

4.1.2 アドレス空間 (C1M-A1)

表 4.2 に RH850/C1M-A1 のアドレス空間を示します。

内蔵 I/O レジスタ空間において、レジスタがマッピングされていないアドレスにアクセスしないでください。表 4.2 に記載のないアドレスおよび予約エリアにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 4.2 アドレス空間 (C1M-A1)

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~001F FFFF _H (0001 7000 _H ~0001 7FFF _H)	内蔵 ROM (ユーザ領域 リード、バンク A) (FCU ファーム領域 (FCUFAREA レジスタで Map を切替)) 注 3	2.0MB (4KB)
0020 0000 _H ~00FF FFFF _H	予約エリア	—
0100 0000 _H ~0100 7FFF _H	内蔵 ROM (ユーザブート領域 リード)	32KB
0100 8000 _H ~0103 6FFF _H	予約エリア	—
0103 7000 _H ~0103 7FFF _H	FCU ファーム領域注 3	4KB
0103 8000 _H ~FBFF FFFF _H	予約エリア	—
FC00 0000 _H ~FC07 FFFF _H	EMU 内蔵 I/O レジスタ注 4	512KB
FC08 0000 _H ~FE7E FFFF _H	予約エリア	—
FE7F 0000 _H ~FE7F FFFF _H	内蔵 RAM (Local RAM EMU/SubCPU 領域)	64KB
FE80 0000 _H ~FEBE FFFF _H	予約エリア	—
FEBF 0000 _H ~FEBF FFFF _H	内蔵 RAM (Local RAM CPU1 領域)	64KB
FEC0 0000 _H ~FEDE FFFF _H	予約エリア	—
FEDF 0000 _H ~FEDF FFFF _H	内蔵 RAM (Local RAM self 領域注 1)	64KB
FEE0 0000 _H ~FEEE FFFF _H	予約エリア	—
FEF0 0000 _H ~FEF0 FFFF _H	内蔵 RAM (Global RAM 領域 バンク A)	64KB
FEF00000 _H ~FEFF FFFF _H	予約エリア	—
FF00 0000 _H ~FFFD FFFF _H (FF20 0000 _H ~FF20 FFFF _H) (FFA1 2000 _H ~FFA1 2FFF _H)	内蔵 I/O レジスタ (Data Flash (リード/ライト)) (FCU RAM 領域)	16MB-128KB (64KB) (4KB)
FFFE 0000 _H ~FFFE DFFF _H	予約エリア	—
FFFE E000 _H ~FFFE FFFF _H	内蔵 I/O レジスタ (self 領域注 2)	8KB
FFFF 0000 _H ~FFFF 4FFF _H	予約エリア	—
FFFF 5000 _H ~FFFF FFFF _H	内蔵 I/O レジスタ	44KB

注 1. Local RAM self 領域は、各 CPU (CPU1/SubCPU) が持つ自身の Local RAM にアクセスする為のアドレス領域です。

注 2. 内蔵 I/O レジスタ (self 領域) は、各 CPU (CPU1/SubCPU) が持つ自身の内蔵 I/O レジスタにアクセスする為のアドレス領域です。

注 3. 詳細は「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

注 4. EMU3/SubCPU からのみアクセス可能な領域です。

4.1.3 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を図 4.1 (C1M-A2) 及び図 4.2 (C1M-A1) に示します。

4.1.3.1 命令フェッチ可能空間

1. CPU1、CPU2 (C1M-A2 のみ) および EMU/SubCPU は、内蔵 ROM、内蔵 RAM (Local RAM 領域、Global RAM 領域) から命令フェッチ可能です。
2. CPU1、CPU2 (C1M-A2 のみ) および EMU/SubCPU のリセットベクタ (RBASE 初期値) について、
 - 起動領域は「ユーザブート領域」の場合、先頭アドレスは「0100 0000_H」です。
 - 起動領域は「ユーザ領域」の場合、先頭アドレスは「0000 0000_H」です。

4.1.3.2 CPU1 によるデータアクセス可能空間

CPU1 からアクセス可能な空間について、図 4.1 および図 4.2 を参照してください。

4.1.3.3 CPU2 によるデータアクセス可能空間 (C1M-A2 のみ)

CPU2 からアクセス可能な空間について、図 4.1 および図 4.2 を参照してください。

4.1.3.4 EMU/SubCPU によるデータアクセス可能空間

EMU/SubCPU からアクセス可能な空間について、図 4.1 および図 4.2 を参照してください。

4.1.3.5 DMA (DMAC、DTS) によるデータアクセス可能空間

DMA からアクセス可能な空間について、図 4.1 および図 4.2 を参照してください。

	CPU1からのアクセス	CPU2からのアクセス	SubCPUからのアクセス	DMAからのアクセス
FFFF FFFF _h	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ
FFFF 5000 _h FFFF 4FFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FFFF 0000 _h FFFF FFFF _h	内蔵I/Oレジスタ (self領域)	内蔵I/Oレジスタ (self領域)	内蔵I/Oレジスタ (self領域)	
FFFF E000 _h FFFF DFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	
FFFF 0000 _h FFFD FFFF _h	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ
FF40 0000 _h FF3F FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FF21 0000 _h FF20 FFFF _h	Data Flash (64KB)	Data Flash (64KB)	Data Flash (64KB)	Data Flash (64KB)
FF20 0000 _h FF1F FFFF _h	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ
FF00 0000 _h FEFF FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FEF1 0000 _h FEF0 FFFF _h	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM
FEF0 0000 _h FEFF FFFF _h	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM
FEF0 0000 _h FEFE FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FEEO 0000 _h FEDF FFFF _h	内蔵RAM (64KB) Local RAM self領域	内蔵RAM (64KB) Local RAM self領域	内蔵RAM (64KB) Local RAM self領域	
FEDF 0000 _h FEDB FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	
FEC0 0000 _h FEBF FFFF _h	内蔵RAM (64KB) Local RAM CPU1領域	内蔵RAM (64KB) Local RAM CPU1領域	内蔵RAM (64KB) Local RAM CPU1領域	内蔵RAM (64KB) Local RAM CPU1領域
FEBF 0000 _h FEBE FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FEA0 FFFF _h FE9F FFFF _h	内蔵RAM (64KB) Local RAM CPU2領域	内蔵RAM (64KB) Local RAM CPU2領域	内蔵RAM (64KB) Local RAM CPU2領域	内蔵RAM (64KB) Local RAM CPU2領域
FE9F 0000 _h FE9E FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FE80 0000 _h FE7F FFFF _h	内蔵RAM (64KB) Local RAM SubCPU領域	内蔵RAM (64KB) Local RAM SubCPU領域	内蔵RAM (64KB) Local RAM SubCPU領域	内蔵RAM (64KB) Local RAM SubCPU領域
FE7F 0000 _h FE7E FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
FC08 0000 _h FC07 FFFF _h			EMU内蔵I/Oレジスタ	
FC00 0000 _h FBFF FFFF _h			アクセス禁止	
0103 8000 _h 0103 7FFF _h	FCUファーム領域	FCUファーム領域	FCUファーム領域	アクセス禁止
0103 7000 _h 0103 6FFF _h	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
0100 8000 _h 0100 7FFF _h	Code Flash (32KB) ユーザブート領域	Code Flash (32KB) ユーザブート領域	Code Flash (32KB) ユーザブート領域	
0100 0000 _h 00FF FFFF _h	アクセス禁止	アクセス禁止	アクセス禁止	
0040 0000 _h 003F FFFF _h	Code Flash (マット2 2MB) ユーザ領域	Code Flash (マット2 2MB) ユーザ領域	Code Flash (マット2 2MB) ユーザ領域	Code Flash (マット2 2MB) ユーザ領域
0020 0000 _h 001F FFFF _h	Code Flash (マット1 2MB) ユーザ領域	Code Flash (マット1 2MB) ユーザ領域	Code Flash (マット1 2MB) ユーザ領域	Code Flash (マット1 2MB) ユーザ領域
0000 0000 _h				

備考 上記マップ中の色は以下の区別を行っています。

フェッチ可能
データアクセス可能
データアクセス可能
アクセス禁止

図 4.1 各バスマスタから見たアドレス空間 (C1M-A2)

	CPU1からのアクセス	SubCPUからのアクセス	DMAからのアクセス	
FFFF FFFF _H	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ	
FFFF 5000 _H FFFF 4FFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
FFFF 0000 _H FFFE FFFF _H	内蔵I/Oレジスタ (self領域)	内蔵I/Oレジスタ (self領域)		
FFFE E000 _H FFFE DFFF _H	アクセス禁止	アクセス禁止		
FFFE 0000 _H FFFD FFFF _H	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ	
FF40 0000 _H FF3F FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
FF21 0000 _H FF20 FFFF _H	Data Flash (64KB)	Data Flash (64KB)	Data Flash (64KB)	
FF20 0000 _H FF1F FFFF _H	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ	
FF00 0000 _H FEFF FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
FEF0 0000 _H FEFF FFFF _H	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM	内蔵RAM (64KB) Global RAM	
FEF0 0000 _H FEFE FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
FEF0 0000 _H FEDF FFFF _H	内蔵RAM (64KB) Local RAM self領域	内蔵RAM (64KB) Local RAM self領域		
FEDF 0000 _H FEDE FFFF _H	アクセス禁止	アクセス禁止		
FEC0 0000 _H FEBF FFFF _H	内蔵RAM (64KB) Local RAM CPU1領域	内蔵RAM (64KB) Local RAM CPU1領域	内蔵RAM (64KB)Local RAM CPU1領域	
FEBF 0000 _H FEBE FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
FE80 0000 _H FE7F FFFF _H	内蔵RAM (64KB) Local RAM SubCPU領域	内蔵RAM (64KB) Local RAM SubCPU領域	内蔵RAM (64KB) Local RAM SubCPU領域	
FE7F 0000 _H FE7E FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
FC08 0000 _H FC07 FFFF _H		EMU内蔵I/Oレジスタ		
FC00 0000 _H FBFF FFFF _H		アクセス禁止		
0103 8000 _H 0103 7FFF _H	FCUファーム領域	FCUファーム領域	アクセス禁止	
0103 7000 _H 0103 6FFF _H	アクセス禁止	アクセス禁止		
0100 8000 _H 0100 7FFF _H	Code Flash (32KB) ユーザブート領域	Code Flash (32KB) ユーザブート領域		
0100 0000 _H 00FF FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止	
0020 0000 _H 001F FFFF _H	Code Flash (マット1 2MB) ユーザ領域	Code Flash (マット1 2MB) ユーザ領域		Code Flash (マット1 2MB) ユーザ領域
0000 0000 _H				

備考 上記マップ中の色は以下の区別を行っています。

フェッチ可能
データアクセス可能
データアクセス可能
アクセス禁止

図 4.2 各バスマスタから見たアドレス空間 (C1M-A1)

4.1.4 Global RAM 領域

図 4.3 に C1M-A2 における Global RAM のアドレスマップ、図 4.4 に C1M-A1 における Global RAM のアドレスマップを示します。C1M-A2 の Global RAM はバンク A とバンク B の 2 つに分かれており、異なるバンクに対しては並列にアクセス可能です。

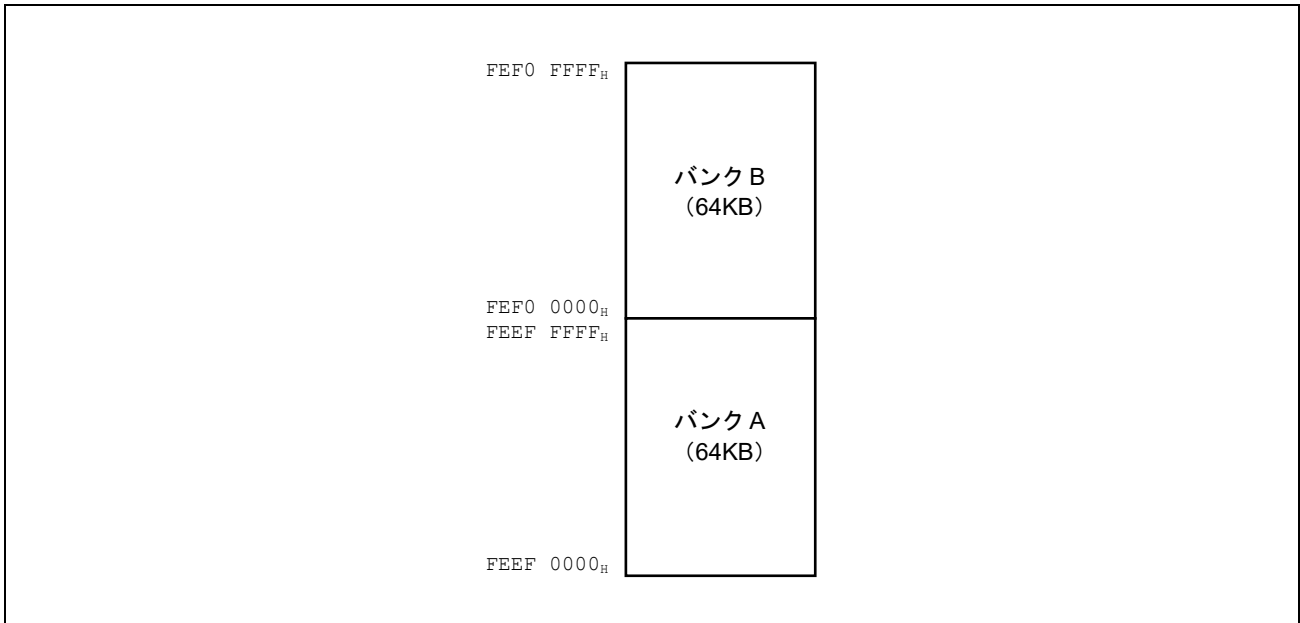


図 4.3 GRAM バンク領域 (C1M-A2)

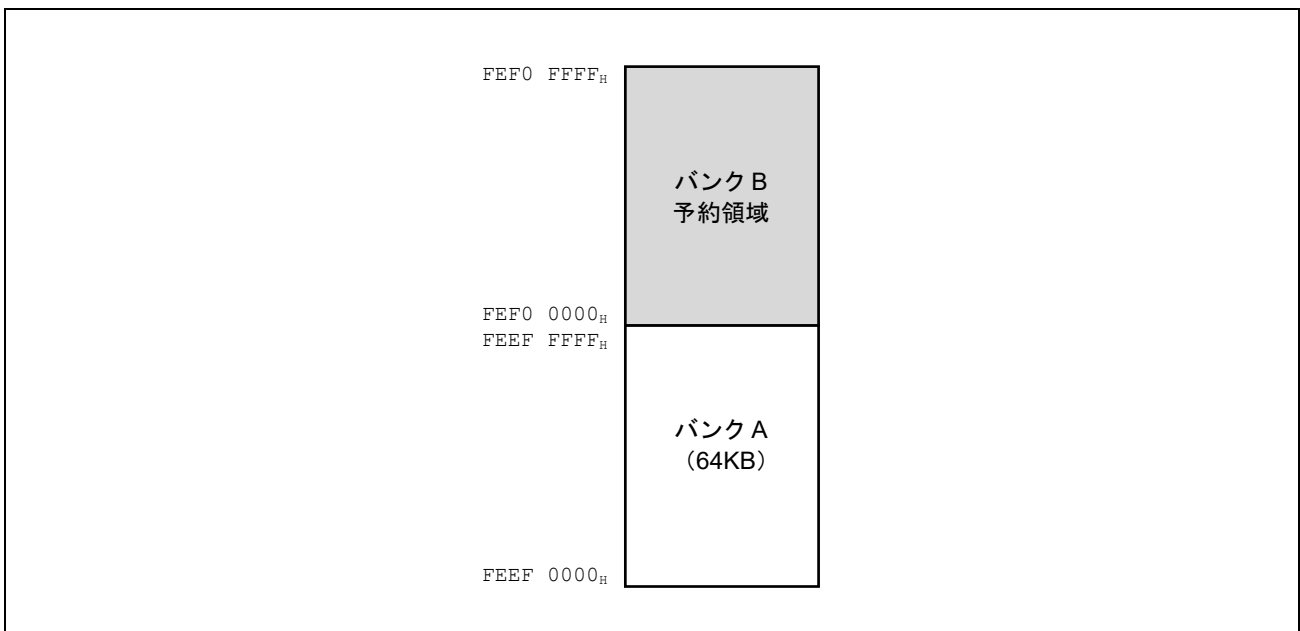


図 4.4 GRAM バンク領域 (C1M-A1)

4.2 Code Flash 空間

4.2.1 ユーザ領域に対する並列アクセスについて (C1M-A2 のみ)

Code Flash のユーザ領域は 2 個の Mat 構成を持ちます。この 2 個の Mat はそれぞれバンク A、バンク B として割り当てられます。2 つのバスマスタからこのバンク A、バンク B のそれぞれ同時にアクセスする場合、アクセス経路の競合の調停のためのウェイトの発生なしにアクセスすることができます。

バンク A、バンク B の同じバンクに複数のバスマスタからアクセスを行った場合はラウンドロビン方式で調停が行われます。

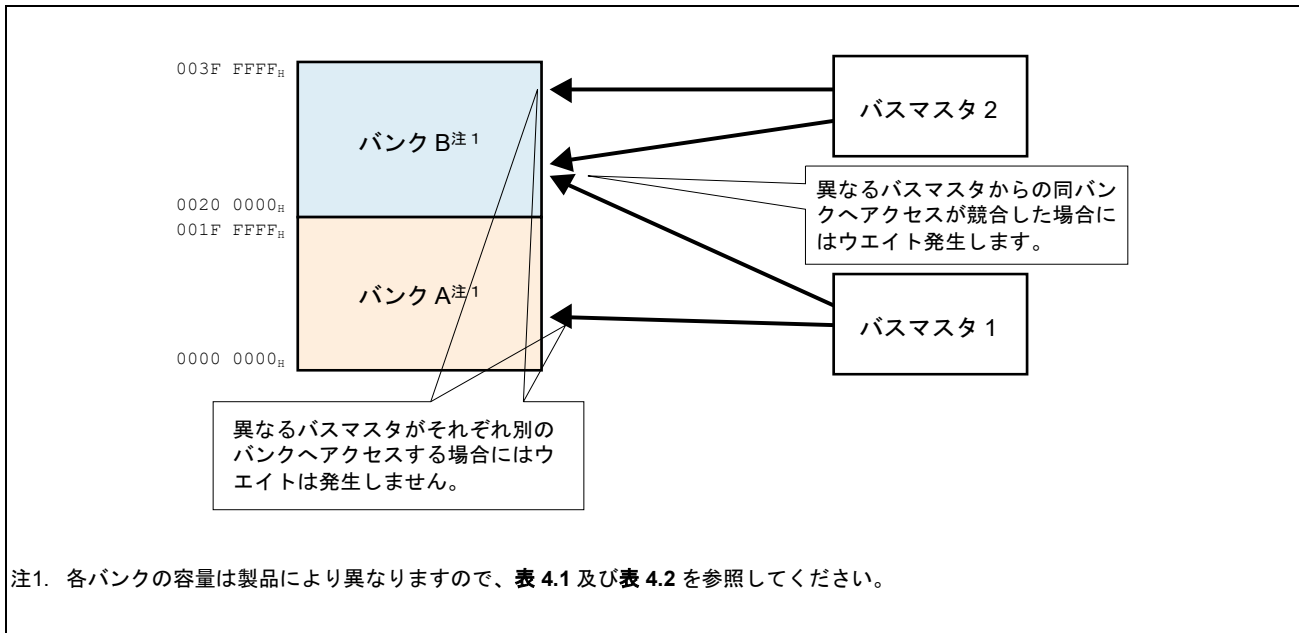


図 4.5 バンク A/B のアクセス競合

第5章 動作モード

5.1 特長

動作モードを決定するモード端子を 3 本搭載。(MD1, MD0, FLMODE)

5.2 動作モード

本 LSI は複数の動作モードを持ち、MD1、MD0、FLMODE の 3 つの端子、およびオプションバイト 0 の STMSEL1/STMSEL0 の設定で選択できます。STMSEL1/STMSEL0 の設定方法に関しては、「**第 35 章 フラッシュメモリ**」を参照してください。表 5.1 に動作モードの一覧を示します。

表 5.1 動作モードの選択

端子 設定値	端子 設定値	端子 設定値	オプショ ンバイト0 設定値	オプショ ンバイト0 設定値	動作モード	起動領域	IF の種類 ^{注 1}	備考
MD1	MD0	FLMODE	STMSEL1	STMSEL0				
0	0	0	0	0	ユーザブ ートモード	ユーザ 領域	オプションバイトの OPBT2 で I/F を選択 可能。詳細は「 35.9.2 OPBT2 - オプション バイト 2 レジスタ 」 を参照。	オンチップデバッグ 可能
0	0	0	0	1	ユーザブ ートモード	ユーザ ブート 領域		
0	0	0	1	X	シリアルプ ログラミン グモード	ブート 領域	ライタ I/F (2 線 UART)	シリアルプログラミ ング可能
0	0	1	X	X	バウンダリ スキャン モード	—	JTAG	バウンダリスキャン 可能
0	1	0	X	X	シリアルプ ログラミン グモード	ブート 領域	ライタ I/F (2 線 UART)	シリアルプログラミ ング可能
0	1	1	X	X	シリアルプ ログラミン グモード	ブート 領域	ライタ I/F (3 線クロ ック同期)	シリアルプログラミ ング可能

備考 X = Don't care

注 1. 各 I/F での端子機能や端子状態との対応は「**2.4.3 端子状態**」を参照してください。

5.2.1 ユーザブートモード

リセット解除後、ユーザブート領域もしくはユーザ領域から命令フェッチを行います。

5.2.2 シリアルプログラミングモード

リセット解除後、内蔵のブートプログラムから起動し、設定した通信方式で接続を開始します。詳細は「**第 35 章 フラッシュメモリ**」を参照してください。

5.2.3 バウンダリスキャンモード

IEEE1149.1 規格に準拠した、バウンダリスキャン機能を使用できるモードです。詳細は「**第 38 章 バウンダリスキャン**」を参照してください。

第6章 割り込み

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 概要

- 割り込み要因の複数コアへの同時分配対応
 - 1つの割り込み要因を複数の CPU コアに分配可能 (分配するコア : CPU1/CPU2)
 - 対象割り込み要因 : FE レベル割り込み 1 要因、
EI レベル割り込み C1M-A1 : 21 要因 / C1M-A2 : 26 要因
 - 一部の割り込み要因については、EMU3 内蔵 SubCPU への同時分配対応
- 割り込み要因
 - FE レベル割り込み
ECM 割り込み (FEINT) 1 要因
 - EI レベル割り込み (マスカブル) (EIINT)
高速割り込み (EIINT0-31) C1M-A1 : 21 要因 / C1M-A2 : 26 要因
 - ・プロセッサ間割り込み
 - ・ECM 割り込み
 - ・外部端子 IRQ 割り込み
 - ・ソフトウェア割り込み
 - ・定周期タイマ (OSTM)
 - ・DMA エラー通知割り込み
 - 低速割り込み (EIINT32-383) C1M-A1 : 221 要因 / C1M-A2 : 287 要因
 - ・タイマ系
 - ・通信系
 - ・AD 変換器
 - ・DMAC/DTS など
 - ・ICU-S 割り込み
- 割り込み優先順位を設定可能
384本の割り込み制御レジスタにより、IRQ (外部割り込み) および、マスカブル割り込みの優先順位を要求別に 16 レベルで設定することができます。
- 外部割り込み (IRQ) のセンス方法
IRQ 要因については、ロウレベル、ハイレベル、Fall エッジ、Rise エッジの 4 種類から選択可能です。
- 2 種類の割り込みハンドラアドレス指定
レジスタ設定により、直接分岐方式とテーブル参照方式から選択可能です。
- プロセッサ間割り込み
CPU1、CPU2 は高速なプロセッサ間割り込みが可能です。
- ソフトウェア割り込み (SINT)
ソフトウェア割り込みレジスタにより、任意の優先順位の割り込みをプログラムから発生させることができます。

- 割り込み要因の共有化
複数の割り込み要因をマージして、例外ハンドラアドレスを削減します。

割り込みは以下の割り込みコントローラで制御されます。

- INTC1

CPU1、CPU2、EMU3 内蔵 SubCPU で独立して持つ割り込みコントローラです。

各 CPU で INTC1 レジスタにアクセスした場合、各 CPU に対応した INTC1 のレジスタにアクセスされます。

高速割り込みを制御します。

以下の機能を提供します。

- 優先度設定
- 割り込みマスク設定

- INTC2

CPU1、CPU2、EMU3 内蔵 SubCPU で共有する割り込みコントローラです。

低速割り込みを制御します。

以下の機能を提供します。

- 優先度設定
- 割り込みマスク設定
- バインド設定

6.2 レジスタ仕様

INTCには以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

6.2.1 レジスタ構成

表 6.1 割り込み制御

モジュール名	アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値
INTC1 (EIC0-31)	FFFE EA00 _H -FFFE EA3E _H (EIC0-31)	EIC _n 注 1	EI レベル割り込み制御レジスタ	R/W	008F _H 注 2 808F _H 注 3
INTC2 (EIC32-383)	FFFF B040 _H -FFFF B2FE _H (EIC32-383)				
INTC1 (IMR0)	FFFE EAF0 _H (IMR0)	IMR _n 注 4	EI レベル割り込みマスクレジスタ	R/W	FFFF FFFF _H
INTC2 (IMR1-IMR11)	FFFF B404 _H -FFFF B42C _H (IMR1-IMR11)				
INTC1 (EIBD0-31)	FFFE EB00 _H -FFFE EB7C _H (EIBD0-31)	EIBD _n 注 5	EI レベル割り込みバインドレジスタ	R/W	注 6
INTC2 (EIBD32-383)	FFFF B880 _H -FFFF BDFC _H (EIBD32-383)				

注 1. n = 0~383

注 2. エッジ検出時

注 3. レベル検出時

注 4. n = 0~11

注 5. n = 0~383

注 6. n = 0~31 : PEID ビットと同じ値

n = 32~383 : 0000 0001_H

表 6.1 に示すレジスタのうち、EIC0~31、IMR0、EIBD0~31 は、各 CPU が内蔵する CPU Peripheral 領域内の INTC1 に配置されています。これらのレジスタは、これらのレジスタを内蔵している CPU1、CPU2 または EMU3 内蔵 SubCPU からしかアクセスすることはできません。また、書き込みは、スーパバイザモード (PSW.UM = 0) のみが実行可能です。

表 6.1 に示すレジスタのうち、EIC32~383、IMR1~11、EIBD32~383 は、Peripheral Group 0 内の INTC2 に配置されています。これらのレジスタへの書き込みは、EIBD_n (n = 32~383) によってバインドされた CPU のスーパバイザモードのみが実行可能です。IMR1~11 への書き込みでは、上記条件に一致するビットのみが書き換えられ、条件に一致しなかったビットは更新されません。

表 6.1 に示すレジスタのうち、**表 6.11** で Reserved となっているチャンネル番号に対応するレジスタの設定値は初期値から変更しないでください。

表 6.2 外部割り込み/ソフトウェア割り込み

モジュール名	アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値
EINT	FFC0 0010 _H	EXINTCTL	外部割り込みコントロールレジスタ	R/W	0000 _H
EINT	FFC0 0014 _H	EXINTSTR	外部割り込みステータスレジスタ	R	00 _H
EINT	FFC0 0018 _H	EXINTSTC	外部割り込みステータスクリアレジスタ	W	00 _H
EINT	FFC0 0020 _H	SINTR0	ソフトウェア割り込みレジスタ	R/W	00 _H
EINT	FFC0 0024 _H	SINTR1	ソフトウェア割り込みレジスタ 1	R/W	00 _H
EINT	FFC0 0028 _H	SINTR2	ソフトウェア割り込みレジスタ 2	R/W	00 _H
EINT	FFC0 002C _H	SINTR3	ソフトウェア割り込みレジスタ 3	R/W	00 _H
EINT	FFC0 0030 _H	SINTR4	ソフトウェア割り込みレジスタ 4	R/W	00 _H
EINT	FFC0 0034 _H	SINTR5	ソフトウェア割り込みレジスタ 5	R/W	00 _H
EINT	FFC0 0038 _H	SINTR6	ソフトウェア割り込みレジスタ 6	R/W	00 _H
EINT	FFC0 003C _H	SINTR7	ソフトウェア割り込みレジスタ 7	R/W	00 _H
EMUEINT	FFC0 1020 _H	ESINTR0	EMU ソフトウェア割り込みレジスタ	R/W	00 _H
EMUEINT	FFC0 1024 _H	ESINTR1	EMU ソフトウェア割り込みレジスタ 1	R/W	00 _H
EMUEINT	FFC0 1028 _H	ESINTR2	EMU ソフトウェア割り込みレジスタ 2	R/W	00 _H
EMUEINT	FFC0 102C _H	ESINTR3	EMU ソフトウェア割り込みレジスタ 3	R/W	00 _H
EMUEINT	FFC0 1030 _H	ESINTR4	EMU ソフトウェア割り込みレジスタ 4	R/W	00 _H
EMUEINT	FFC0 1034 _H	ESINTR5	EMU ソフトウェア割り込みレジスタ 5	R/W	00 _H
EMUEINT	FFC0 1038 _H	ESINTR6	EMU ソフトウェア割り込みレジスタ 6	R/W	00 _H
EMUEINT	FFC0 103C _H	ESINTR7	EMU ソフトウェア割り込みレジスタ 7	R/W	00 _H

表 6.3 割り込みマージ機能

モジュール名	アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値
INTIF	FFF9 8000 _H	PINT0	周辺割り込みステータスレジスタ 0	R	0000 0000 _H
INTIF	FFF9 8004 _H	PINT1	周辺割り込みステータスレジスタ 1	R	0000 0000 _H
INTIF	FFF9 8008 _H	PINT2	周辺割り込みステータスレジスタ 2	R	0000 0000 _H
INTIF	FFF9 800C _H	PINT3	周辺割り込みステータスレジスタ 3	R	0000 0000 _H
INTIF	FFF9 8010 _H	PINT4	周辺割り込みステータスレジスタ 4	R	0000 0000 _H
INTIF	FFF9 8014 _H	PINT5	周辺割り込みステータスレジスタ 5	R	0000 0000 _H
INTIF	FFF9 8018 _H	PINT6	周辺割り込みステータスレジスタ 6	R	0000 0000 _H
INTIF	FFF9 801C _H	PINT7	周辺割り込みステータスレジスタ 7	R	0000 0000 _H
INTIF	FFF9 8020 _H	PINTCLR0	周辺割り込みステータスクリアレジスタ 0	W	0000 0000 _H
INTIF	FFF9 8024 _H	PINTCLR1	周辺割り込みステータスクリアレジスタ 1	W	0000 0000 _H
INTIF	FFF9 8028 _H	PINTCLR2	周辺割り込みステータスクリアレジスタ 2	W	0000 0000 _H
INTIF	FFF9 802C _H	PINTCLR3	周辺割り込みステータスクリアレジスタ 3	W	0000 0000 _H
INTIF	FFF9 8030 _H	PINTCLR4	周辺割り込みステータスクリアレジスタ 4	W	0000 0000 _H
INTIF	FFF9 8034 _H	PINTCLR5	周辺割り込みステータスクリアレジスタ 5	W	0000 0000 _H
INTIF	FFF9 8038 _H	PINTCLR6	周辺割り込みステータスクリアレジスタ 6	W	0000 0000 _H
INTIF	FFF9 803C _H	PINTCLR7	周辺割り込みステータスクリアレジスタ 7	W	0000 0000 _H

6.2.2 EIC0~EIC383 — EI レベル割り込み制御レジスタ 0~383

EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。それぞれの要因は表 6.11、表 6.12 を参照してください。

注 意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、EIRFn ビットに“0”を書き込んだ場合は、要求が失われる場合があります。

また、CPU によって割り込みが受け付けられた直後に、EIRFn ビットに“1”を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。

ビット操作命令については、「3.4.2 ビット操作命令でのレジスタ・アクセス」もご参照ください。

EIMKn ビットを含む下位バイトへのビット操作命令実行時には、EIRFn ビットは影響を受けません。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EICTn	—	—	EIRFn	—	—	—	—	EIMKn	EITBn	—	—	EIP3n	EIP2n	EIP1n	EIP0n
リセット後の値	注 1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注 1. エッジ検出時 0、レベル検出時 1

表 6.4 EIC0-EIC383 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EICTn	割り込みチャンネルタイプビットです。割り込み入カインタフェースにより以下の値がリードされます。リードのみ可能です。 0: エッジ検出 1: レベル検出 ライトする場合はリセット後の値を書いてください。
14, 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
12	EIRFn	割り込み要求フラグです。割り込み入カインタフェースにより動作が異なります。 0: 割り込み要求なし（初期値） 1: 割り込み要求あり ● エッジ検出 CPU コアに自チャンネルの割り込み要求が受け付けられると自動的にクリアされます。 ソフトウェアによるビットのセット・クリアが可能です。 ● レベル検出 ソフトウェアによるビットのセット・クリアはできません。リードのみ可能です。
11~8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
7	EIMKn	割り込みマスクビットです。本ビットがセットされている場合は割り込み要求フラグ（EIRFn）へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また、本ビットがセットされているチャンネルからは未処理割り込みの存在通知と ICSR レジスタの PMEI ビットのセットは行われません。本ビットで割り込み処理を禁止に設定した場合も、割り込み信号の入力そのもののマスクは行われず、割り込み要求フラグはセットされます。割り込みマスクレジスタ（IMR）の対応するビットの設定も反映されます。 0: 割り込み処理を許可 1: 割り込み処理を禁止（初期値）

表 6.4 EIC0-EIC383 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	EITBn	割り込みベクタ方式選択ビットです。 0: 優先度に基づいた直接分岐方式 1: テーブル参照方式
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
3~0	EIPn	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。本ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

備考 n = 0~383

表 6.11、表 6.12 で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

6.2.3 IMR0～IMR11 — EI レベル割り込みマスクレジスタ 0～11

EIC レジスタの EIMK ビットの集合レジスタです。IMRn レジスタの各ビットは対応する EIMK ビットの設定が反映されます。また IMRn レジスタへの設定は対応する EIMK ビットへ反映されます。

IMR0																
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR0H	EIMK 31	EIMK 30	EIMK 29	EIMK 28	EIMK 27	EIMK 26	EIMK 25	EIMK 24	EIMK 23	EIMK 22	EIMK 21	EIMK 20	EIMK 19	EIMK 18	EIMK 17	EIMK 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット																
IMR0L	EIMK 15	EIMK 14	EIMK 13	EIMK 12	EIMK 11	EIMK 10	EIMK9	EIMK8	EIMK7	EIMK6	EIMK5	EIMK4	EIMK3	EIMK2	EIMK1	EIMK0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
IMR1																
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR1H	EIMK 63	EIMK 62	EIMK 61	EIMK 60	EIMK 59	EIMK 58	EIMK 57	EIMK 56	EIMK 55	EIMK 54	EIMK 53	EIMK 52	EIMK 51	EIMK 50	EIMK 49	EIMK 48
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット																
IMR1L	EIMK 47	EIMK 46	EIMK 45	EIMK 44	EIMK 43	EIMK 42	EIMK 41	EIMK 40	EIMK 39	EIMK 38	EIMK 37	EIMK 36	EIMK 35	EIMK 34	EIMK 33	EIMK 32
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
:																
:																
IMR11																
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR11H	EIMK 383	EIMK 382	EIMK 381	EIMK 380	EIMK 379	EIMK 378	EIMK 377	EIMK 376	EIMK 375	EIMK 374	EIMK 373	EIMK 372	EIMK 371	EIMK 370	EIMK 369	EIMK 368
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット																
IMR11L	EIMK 367	EIMK 366	EIMK 365	EIMK 364	EIMK 363	EIMK 362	EIMK 361	EIMK 360	EIMK 359	EIMK 358	EIMK 357	EIMK 356	EIMK 355	EIMK 354	EIMK 353	EIMK 352
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 表 6.11、表 6.12 で Reserved となっているチャンネル番号に対応する EIMK ビットには、必ず“1”を設定してください。

6.2.4 EIBD0~EIBD383 — EI レベル割り込みバインドレジスタ 0~383

EI レベル INT の要因ごとに用意され、各要因と CPU の対応付けを行います。それぞれの要因は表 6.11、表 6.12 を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIBDnH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GPID	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIBDnL	—	—	—	—	—	—	—	—	—	—	—	—	—	PEID		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	注 1		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

注 1. EIBD32~383 : 001

表 6.5 EIBD0~EIBD383 レジスタの内容

ビット位置	ビット名	機能
31~18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
17, 16	GPID	本ビットは、EIBD32~383 にのみ実装されています。本ビットには、PEID の設定に応じて以下のいずれかを設定してください。 00 : PEID でバインド先に CPU1 を選択した場合 01 : PEID でバインド先に CPU2 を選択した場合 02 : PEID でバインド先に EMU3 内蔵 SubCPU を選択した場合 EIBD0~31 では予約ビットであり、書き込む値は“0”を設定してください。読み出した場合は必ず“0”が読み出されます。
15~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は、リセット後の値を書いてください。
2~0	PEID	割り込みをバインド（要求）する先を指定します。 ただし、EIBD0~EIBD31 の PEID ビットは固定されており、変更することはできません。 001 : CPU1 に割り込みをバインドします 010 : CPU2 に割り込みをバインドします 011 : EMU3 内蔵 SubCPU に割り込みをバインドします 対応する要因の割り込みを実行する場合は、必ず上記のいずれかを設定してください。

備考 表 6.11 で Reserved となっているチャンネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

注 意

EIINT の要求を処理中に対応する EIBDn レジスタの値を変更する事は禁止です。

6.2.5 EXINTCTL — 外部割り込みコントロールレジスタ

本レジスタは外部割り込み入力端子 IRQ7~IRQ0 に対してロウレベル、ハイレベル、Fall エッジ、Rise エッジの検出モードを個別に指定する 16 ビットレジスタです。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ7S		IRQ6S		IRQ5S		IRQ4S		IRQ3S		IRQ2S		IRQ1S		IRQ0S	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.6 EXINTCTL レジスタの内容

ビット位置	ビット名	機能
15、14	IRQ7S	外部割り込みセンス選択ビット IRQ7~IRQ0 端子に対する割り込み信号のセンス方法をロウレベル、ハイレベル、Fall エッジ、Rise エッジから選択します。 00 : 割り込み要求を IRQn 入力のロウレベルで検出する ^{注1} 01 : 割り込み要求を IRQn 入力のハイレベルで検出する ^{注1} 10 : 割り込み要求を IRQn 入力の Fall エッジで検出する 11 : 割り込み要求を IRQn 入力の Rise エッジで検出する
13、12	IRQ6S	
11、10	IRQ5S	
9、8	IRQ4S	
7、6	IRQ3S	
5、4	IRQ2S	
3、2	IRQ1S	
1、0	IRQ0S	

注 1. レベルセンス選択時は、割り込みが受け付けられるまでアクティブレベルを保持してください。

6.2.6 EXINTSTR — 外部割り込みステータスレジスタ

EXINTSTR は 8 ビットレジスタで、外部割り込み入力端子 IRQ7～IRQ0 の割り込み要求を示します。IRQ7～IRQ0 割り込みをエッジ検出に設定している場合は、EXINTSTC レジスタで保持されている割り込み要求を取り下げることができます。

ビット	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 6.7 EXINTSTR レジスタの内容

ビット位置	ビット名	機能
7	IRQ7F	外部割り込み要求ビット IRQ7～IRQ0 割り込み要求ステータスを表示します。 ● レベル検出選択時 0 : IRQn 割り込み要求が存在しません 1 : IRQn 割り込み要求が存在します [クリア条件] IRQn 入力が EXINTCTL の IRQn1S, IRQn0S に対応するレベルでないとき [セット条件] IRQn 入力が EXINTCTL の IRQn1S, IRQn0S に対応するレベルのとき
6	IRQ6F	
5	IRQ5F	
4	IRQ4F	
3	IRQ3F	
2	IRQ2F	
1	IRQ1F	
0	IRQ0F	
		● エッジ検出選択時 0 : IRQn 割り込み要求が検出されていません 1 : IRQn 割り込み要求が検出されています [クリア条件] EXINTSTC の IRQnC ビットへ 1 書き込み [セット条件] EXINTCTL の IRQn1S, IRQn0S に対応するエッジが発生したとき

備考 n = 0～7

6.2.7 EXINTSTC — 外部割り込みステータスクリアレジスタ

EXINTSTC レジスタは8ビットレジスタで、IRQ_nのセンス方法にエッジ検出を選択したときのEXINTSTRのIRQ_nFをクリアするためのレジスタです。IRQ_nCに1を書き込むと対応するEXINTSTRのIRQ_nFがクリアされます。

ビット	7	6	5	4	3	2	1	0
	IRQ7C	IRQ6C	IRQ5C	IRQ4C	IRQ3C	IRQ2C	IRQ1C	IRQ0C
リセット後の値	0	0	0	0	0	0	0	0
RW	W	W	W	W	W	W	W	W

表 6.8 EXINTSTC レジスタの内容

ビット位置	ビット名	機能
7	IRQ7C	外部割り込み要求クリアビット IRQ7~IRQ0 割り込みのセンス方法にエッジ検出を選択したときの割り込み要求ステータスをクリアします。 ● レベル検出選択時 本ビットに機能はありません。 ● エッジ検出選択時 1書き込みで対応するEXINTSTRレジスタのIRQ _n Fビットをクリアします。
6	IRQ6C	
5	IRQ5C	
4	IRQ4C	
3	IRQ3C	
2	IRQ2C	
1	IRQ1C	
0	IRQ0C	

備考 n = 0~7

6.2.8 SINTR0~SINTR7 — ソフトウェア割り込みレジスタ

本レジスタは、ソフトウェア割り込み0~7 (SINT0~SINT7) を制御する8ビットのレジスタです。

本レジスタに、01_Hをライトすることでカウンタ値をインクリメントします。また、00_Hをライトすることでカウンタ値をデクリメントします。本レジスタのカウンタ値が1以上のとき、ソフトウェア割り込み0~7 (SINT0~SINT7) が発生します。

リードした場合、現在のカウンタ値が読み出されます。

ビット	7	6	5	4	3	2	1	0
	SINTC _n							
リセット後の値	0	0	0	0	0	0	0	0
RW	RW	RW	RW	RW	RW	RW	RW	RW

表 6.9 SINTR0~SINTR7 レジスタの内容

ビット位置	ビット名	機能
7~0	SINTC _n [7:0]	ソフトウェア割り込み要求 ソフトウェア割り込みを発生します。 [リード動作] SINT _n の割り込み要求回数カウンタ値が読み出されます。 [ライト動作] 01 _H をライト: カウンタをインクリメントします。 ^{注1} 00 _H をライト: カウンタをデクリメントします。 ^{注2}

注1. カウンタがFF_Hのときに01_Hをライトした場合、インクリメントされず、FF_Hのままとなります。

注2. カウンタが00_Hのときに00_Hをライトした場合、デクリメントされず、00_Hのままとなります。

6.2.9 ESINTR0~ESINTR7 — EMU ソフトウェア割り込みレジスタ

本レジスタは、EMU ソフトウェア割り込み 0~7 (ESINT0~ESINT7) を制御する 8 ビットのレジスタです。

本レジスタに、01_Hをライトすることでカウンタ値をインクリメントします。また、00_Hをライトすることでカウンタ値をデクリメントします。本レジスタのカウンタ値が 1 以上のとき、EMU ソフトウェア割り込み 0~7 (ESINT0~ESINT7) が発生します。

リードした場合、現在のカウンタ値が読み出されます。

ビット	7	6	5	4	3	2	1	0
	ESINTCn7	ESINTCn6	ESINTCn5	ESINTCn4	ESINTCn3	ESINTCn2	ESINTCn1	ESINTCn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.10 ESINTR0~ESINTR7 レジスタの内容

ビット位置	ビット名	機能
7~0	ESINTCn[7:0]	EMU ソフトウェア割り込み要求 EMU ソフトウェア割り込みが発生します。 [リード動作] ESINTn の割り込み要求回数カウンタ値が読み出されます。 [ライト動作] 01 _H をライト：カウンタをインクリメントします。 ^{注1} 00 _H をライト：カウンタをデクリメントします。 ^{注2}

注 1. カウンタが FF_Hのときに 01_Hをライトした場合、インクリメントされず、FF_Hのままとなります。

注 2. カウンタが 00_Hのときに 00_Hをライトした場合、デクリメントされず、00_Hのままとなります。

6.2.10 PINT0~PINT7、PINTCLR0~PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ

PINT0~PINT7 は、32 チャンネル単位でマージされている DTS の転送完了割り込みおよび転送回数一致割り込みについて、チャンネルごとの割り込みステータスを確認することができます。PINT0~PINT7 の同一レジスタ内で複数の割り込み要因が発生した場合、下位ビット側の 1 ビットのみセットされます。

割り込みハンドラ内で、周辺割り込みステータスレジスタ (PINT0~PINT7) のリード値を、同チャンネルの割り込みクリアレジスタ (PINTCLR0~PINTCLR7) にライトすることにより、割り込みをクリアします。

PINT n + x (n = 0~3, x = 0)

ビット	31	30	29	28	27	26	25	24
	INTDTS [31+32*n]	INTDTS [30+32*n]	INTDTS [29+32*n]	INTDTS [28+32*n]	INTDTS [27+32*n]	INTDTS [26+32*n]	INTDTS [25+32*n]	INTDTS [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	23	22	21	20	19	18	17	16
	INTDTS [23+32*n]	INTDTS [22+32*n]	INTDTS [21+32*n]	INTDTS [20+32*n]	INTDTS [19+32*n]	INTDTS [18+32*n]	INTDTS [17+32*n]	INTDTS [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8
	INTDTS [15+32*n]	INTDTS [14+32*n]	INTDTS [13+32*n]	INTDTS [12+32*n]	INTDTS [11+32*n]	INTDTS [10+32*n]	INTDTS [9+32*n]	INTDTS [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
	INTDTS [7+32*n]	INTDTS [6+32*n]	INTDTS [5+32*n]	INTDTS [4+32*n]	INTDTS [3+32*n]	INTDTS [2+32*n]	INTDTS [1+32*n]	INTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

PINT n + x (n = 0~3, x = 4)

ビット	31	30	29	28	27	26	25	24
	INTCTDTS [31+32*n]	INTCTDTS [30+32*n]	INTCTDTS [29+32*n]	INTCTDTS [28+32*n]	INTCTDTS [27+32*n]	INTCTDTS [26+32*n]	INTCTDTS [25+32*n]	INTCTDTS [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	23	22	21	20	19	18	17	16
	INTCTDTS [23+32*n]	INTCTDTS [22+32*n]	INTCTDTS [21+32*n]	INTCTDTS [20+32*n]	INTCTDTS [19+32*n]	INTCTDTS [18+32*n]	INTCTDTS [17+32*n]	INTCTDTS [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8
	INTCTDTS [15+32*n]	INTCTDTS [14+32*n]	INTCTDTS [13+32*n]	INTCTDTS [12+32*n]	INTCTDTS [11+32*n]	INTCTDTS [10+32*n]	INTCTDTS [9+32*n]	INTCTDTS [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
	INTCTDTS [7+32*n]	INTCTDTS [6+32*n]	INTCTDTS [5+32*n]	INTCTDTS [4+32*n]	INTCTDTS [3+32*n]	INTCTDTS [2+32*n]	INTCTDTS [1+32*n]	INTCTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

PINTCLR n + x (n = 0~3, x = 0)

ビット	31	30	29	28	27	26	25	24
	INTCLR [31+32*n]	INTCLR [30+32*n]	INTCLR [29+32*n]	INTCLR [28+32*n]	INTCLR [27+32*n]	INTCLR [26+32*n]	INTCLR [25+32*n]	INTCLR [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	23	22	21	20	19	18	17	16
	INTCLR [23+32*n]	INTCLR [22+32*n]	INTCLR [21+32*n]	INTCLR [20+32*n]	INTCLR [19+32*n]	INTCLR [18+32*n]	INTCLR [17+32*n]	INTCLR [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8
	INTCLR [15+32*n]	INTCLR [14+32*n]	INTCLR [13+32*n]	INTCLR [12+32*n]	INTCLR [11+32*n]	INTCLR [10+32*n]	INTCLR [9+32*n]	INTCLR [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	7	6	5	4	3	2	1	0
	INTCLR [7+32*n]	INTCLR [6+32*n]	INTCLR [5+32*n]	INTCLR [4+32*n]	INTCLR [3+32*n]	INTCLR [2+32*n]	INTCLR [1+32*n]	INTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PINTCLR n + x (n = 0~3, x = 4)

ビット	31	30	29	28	27	26	25	24
	INTCTCLR [31+32*n]	INTCTCLR [30+32*n]	INTCTCLR [29+32*n]	INTCTCLR [28+32*n]	INTCTCLR [27+32*n]	INTCTCLR [26+32*n]	INTCTCLR [25+32*n]	INTCTCLR [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	23	22	21	20	19	18	17	16
	INTCTCLR [23+32*n]	INTCTCLR [22+32*n]	INTCTCLR [21+32*n]	INTCTCLR [20+32*n]	INTCTCLR [19+32*n]	INTCTCLR [18+32*n]	INTCTCLR [17+32*n]	INTCTCLR [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8
	INTCTCLR [15+32*n]	INTCTCLR [14+32*n]	INTCTCLR [13+32*n]	INTCTCLR [12+32*n]	INTCTCLR [11+32*n]	INTCTCLR [10+32*n]	INTCTCLR [9+32*n]	INTCTCLR [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	7	6	5	4	3	2	1	0
	INTCTCLR [7+32*n]	INTCTCLR [6+32*n]	INTCTCLR [5+32*n]	INTCTCLR [4+32*n]	INTCTCLR [3+32*n]	INTCTCLR [2+32*n]	INTCTCLR [1+32*n]	INTCTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PINT0

ビット位置	ビット名	機能
31~0	INTDTS[31:0]	DTS ch31~0 転送完了割り込みステータス

PINT1

ビット位置	ビット名	機能
31~0	INTDTS[63:32]	DTS ch63~32 転送完了割り込みステータス

PINT2

ビット位置	ビット名	機能
31~0	INTDTS[95:64]	DTS ch95~64 転送完了割り込みステータス

PINT3

ビット位置	ビット名	機能
31~0	INTDTS[127:96]	DTS ch127~96 転送完了割り込みステータス

PINT4

ビット位置	ビット名	機能
31~0	INTCTDTS[31:0]	DTS ch31~0 転送回数一致割り込みステータス

PINT5

ビット位置	ビット名	機能
31~0	INTCTDTS[63:32]	DTS ch63~32 転送回数一致割り込みステータス

PINT6

ビット位置	ビット名	機能
31~0	INTCTDTS[95:64]	DTS ch95~64 転送回数一致割り込みステータス

PINT7

ビット位置	ビット名	機能
31~0	INTCTDTS[127:96]	DTS ch127~96 転送回数一致割り込みステータス

PINTCLR0

ビット位置	ビット名	機能
31~0	INTCLR[31:0]	DTS ch31~0 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT0 の読み出し値を書き込みます。

PINTCLR1

ビット位置	ビット名	機能
31~0	INTCLR[63:32]	DTS ch63~32 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT1 の読み出し値を書き込みます。

PINTCLR2

ビット位置	ビット名	機能
31~0	INTCLR[95:64]	DTS ch95~64 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT2 の読み出し値を書き込みます。

PINTCLR3

ビット位置	ビット名	機能
31~0	INTCLR[127:96]	DTS ch127~96 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT3 の読み出し値を書き込みます。

PINTCLR4

ビット位置	ビット名	機能
31~0	INTCTCLR[31:0]	DTS ch31~0 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT4 の読み出し値を書き込みます。

PINTCLR5

ビット位置	ビット名	機能
31~0	INTCTCLR[63:32]	DTS ch63~32 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT5 の読み出し値を書き込みます。

PINTCLR6

ビット位置	ビット名	機能
31~0	INTCTCLR[95:64]	DTS ch95~64 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT6 の読み出し値を書き込みます。

PINTCLR7

ビット位置	ビット名	機能
31~0	INTCTCLR[127:96]	DTS ch127~96 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT7 の読み出し値を書き込みます。

6.3 割り込み要因

割り込み要因は、外部割り込み（IRQ）、ECM 割り込み、プロセッサ間割り込み、ソフトウェア割り込み、EMU ソフトウェア割り込み、周辺モジュール割り込みの6つに分類されます。

6.3.1 IRQ 割り込み

IRQ 割り込みは IRQ7～IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、外部割り込みコントロール（EXINTCTL）の外部割り込みセンス選択ビット（IRQ7S～IRQ0S）の設定によって、端子ごとにロウレベル、ハイレベル、Fall エッジ、Rise エッジを選択できます。また、割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

IRQ 割り込みをロウレベル検出に設定している場合、IRQ7～IRQ0 端子がロウレベルの期間、INTC に割り込み要求信号が送られます。IRQ7～IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。割り込みが受け付けられるまでアクティブレベルを保持してください。外部割り込みステータスレジスタ（EXINTSTR）の IRQ 割り込み要求ビット（IRQ7F～IRQ0F）をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7～IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。

EXINTSTR の IRQ7F～IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認できます。また、エッジ検出時は EXINTSTC の対応するビットへ 1 をライトすることにより IRQ 割り込み要求をクリアできます。

IRQ 割り込み例外ハンドラから復帰する際は、誤って再度受け付けないように、外部割り込みステータスレジスタ（EXINTSTR）をクリアしてから、割り込み復帰命令を実行してください。

6.3.2 ECM 割り込み

ECM（Error Control Module）で複数の割り込み要求をマージして生成される要因です。詳細は、「第30章 エラーコントロールモジュール（ECM）」を参照してください。

6.3.3 プロセッサ間割り込み

CPU1、CPU2 間で割り込み通信を行うためのレジスタ（IPIR_CHn）を 4CH 分持っています。IPIR_CH0-3 はユーザ割り込み（EIINT）の CH0～3 にアサインされます。各 CPU に対応したビットを操作することで特定の CPU（自身を含む）に対して割り込みを要求することが可能です。

割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

6.3.4 ソフトウェア割り込み

ソフトウェア割り込み（SINT）は、SINTR0～SINTR7 レジスタを設定することで発生する割り込みです。複数回の割り込み要求をキューイングすることができます。

割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

6.3.5 EMU ソフトウェア割り込み

EMU ソフトウェア割り込み（ESINT）は、ESINTR0～ESINTR7 レジスタを設定することで発生する割り込みです。EMU3 内蔵 SubCPU 専用の割り込み要因です。複数回の割り込み要求をキューイングすることができます。

割り込み制御レジスタによって、優先レベルを要因ごとに 16 レベルで設定できます。

6.3.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- コードフラッシュ/データフラッシュ
- シリアルコミュニケーションインタフェース 3 (SCI3)
- OS タイマ (OSTM)
- ウィンドウウォッチドッグタイマ (WDTA)
- モータコントロールタイマ (TSG3)
- A/D コンバータ (ADCC)
- クロック同期シリアルインタフェース H (CSIH)
- CAN インタフェース (RS-CANFD)
- LIN/UART インタフェース (RLIN3)
- ダイレクトメモリアクセスコントローラ (DMAC、DTS)
- エンハンスドモータコントロールユニット (EMU3)
- R/D コンバータ (RDC3A)
- タイマアレイユニット J (TAUJ)
- タイマアレイユニット D (TAUD)
- エンコーダタイマ (ENCA)
- タイマオプション (TAPA)
- タイマパタンバッファ (TPBA)
- ペリフェラルインタコネクション 1 (PIC1B)
- A/D コンバータオプション (ADPA)
- インテリジェントクリプトグラフィックユニット (ICU-S)

要因ごとに異なる割り込みベクタが割り当てられているため、割り込み例外ハンドラで要因を判定する必要はありません。優先順位は、割り込み要因ごとに優先レベルを 16 レベルで設定できます。

6.4 割り込み例外ハンドラと優先順位動作説明

表 6.11 に CPU1、CPU2 の割り込み要因と要因コード、例外ハンドラアドレスオフセット、割り込み優先順位を示します。EMU3 内蔵 SubCPU の EIINT 割り込みチャンネル番号 0~7 は CPU1、CPU2 と異なります。表 6.12 に EMU3 内蔵 SubCPU のチャンネル番号 0~7 の割り込み要因と要因コード、例外ハンドラアドレスオフセット、割り込み優先順位を示します。その他のチャンネル番号について、CPU1、CPU2 と EMU3 内蔵 SubCPU で同じです。

例外ハンドラアドレスは、CPU コア内の PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって決定する標準仕様に加えて、割り込みに関しては、チャンネルごとに例外ハンドラアドレスを個別に指定する拡張仕様があります。

標準仕様は、CPU コア内にあるベースアドレス（RBASE レジスタ/EBASE レジスタ）に、オフセットアドレスを加算して例外ハンドラアドレスとします。割り込みのオフセットアドレスの与え方には、以下の 2 通りの方式があります。なお、割り込みチャンネル以外は指定のオフセットアドレスとなります。

- 割り込みチャンネルに関係なく、チャンネルごとに設定する優先度（0~15）によって+100_H~+1F0_Hの範囲で決定する。（表 6.11、表 6.12 の注 1）
- 優先度に無関係に、一律+100_Hとなる。これは、例外ハンドラのメモリ占有サイズを小さくするための機能です。（表 6.11、表 6.12 の注 2）

拡張仕様は、割り込みチャンネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求められます。

（表 6.11、表 6.12 の注 3）INTBP レジスタは、CPU コア内のレジスタです。

$$\text{例外ハンドラアドレス読み出し位置} = \text{INTBP レジスタ} + \text{チャンネル番号} \times 4 \text{ バイト}$$

RH850G3MH 例外については「RH850G3MH シリーズ ユーザーズマニュアル ソフトウェア編」を参照してください。

システムエラー例外については「第 3 章 CPU システム」を参照してください。

優先順位は、チャンネルごとに設定できます。指定した優先レベルが同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (1/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
FE レベル割り 込み	エラーコントロールモ ジュール (ECM) FE レベル割り込み		(FEINT)	F0 _H	+0F0 _H	+0F0 _H	—		○	○	注 6
プロセッサ間 割り込み	IPIR_CH0		0	1000	注 4	注 5	+000 _H	0~15(15)	○	×	注 6
	IPIR_CH1		1	1001	注 4	注 5	+004 _H	0~15(15)	○	×	注 6
	IPIR_CH2		2	1002	注 4	注 5	+008 _H	0~15(15)	○	×	注 6
	IPIR_CH3		3	1003	注 4	注 5	+00C _H	0~15(15)	○	×	注 6
	Reserved		4	1004	注 4	注 5			×	×	注 6
	Reserved		5	1005	注 4	注 5			×	×	注 6
	Reserved		6	1006	注 4	注 5			×	×	注 6
	Reserved		7	1007	注 4	注 5			×	×	注 6
エラーコント ロールモジ ュール	エラーコントロールモ ジュール (ECM) マスカブル割り込み		8	1008	注 4	注 5	+020 _H	0~15(15)	○	○	注 6
IRQ (外部割り 込み)	IRQ0 割り込み	○	9	1009	注 4	注 5	+024 _H	0~15(15)	○	○	注 6
	IRQ1 割り込み	○	10	100A	注 4	注 5	+028 _H	0~15(15)	○	○	注 6
	IRQ2 割り込み	○	11	100B	注 4	注 5	+02C _H	0~15(15)	○	○	注 6
	IRQ3 割り込み	○	12	100C	注 4	注 5	+030 _H	0~15(15)	○	○	注 6
	IRQ4 割り込み	○	13	100D	注 4	注 5	+034 _H	0~15(15)	○	○	注 6
	IRQ5 割り込み	○	14	100E	注 4	注 5	+038 _H	0~15(15)	○	○	注 6
	IRQ6 割り込み	○	15	100F	注 4	注 5	+03C _H	0~15(15)	○	○	注 6
	IRQ7 割り込み	○	16	1010	注 4	注 5	+040 _H	0~15(15)	○	○	注 6
SINT (ソフト ウェア割り 込み)	SINT0 割り込み	○	17	1011	注 4	注 5	+044 _H	0~15(15)	○	○	注 6
	SINT1 割り込み	○	18	1012	注 4	注 5	+048 _H	0~15(15)	○	○	注 6
	SINT2 割り込み	○	19	1013	注 4	注 5	+04C _H	0~15(15)	○	○	注 6
	SINT3 割り込み	○	20	1014	注 4	注 5	+050 _H	0~15(15)	○	○	注 6
	SINT4 割り込み	○	21	1015	注 4	注 5	+054 _H	0~15(15)	○	○	注 6
	SINT5 割り込み	○	22	1016	注 4	注 5	+058 _H	0~15(15)	○	○	注 6
	SINT6 割り込み	○	23	1017	注 4	注 5	+05C _H	0~15(15)	○	○	注 6
	SINT7 割り込み	○	24	1018	注 4	注 5	+060 _H	0~15(15)	○	○	注 6
OSTM	OSTM0 割り込み (OSTM0TINT)		25	1019	注 4	注 5	+064 _H	0~15(15)	○	○	注 6
	OSTM1 割り込み (OSTM1TINT)		26	101A	注 4	注 5	+068 _H	0~15(15)	○	○	注 6
	OSTM2 割り込み (OSTM2TINT)		27	101B	注 4	注 5	+06C _H	0~15(15)	○	○	注 6
	OSTM3 割り込み (OSTM3TINT)		28	101C	注 4	注 5	+070 _H	0~15(15)	○	×	注 6
DMA	DMA 転送エラー (DMAERR)		29	101D	注 4	注 5	+074 _H	0~15(15)	○	○	注 6
	Reserved		30	101E	注 4	注 5	+078 _H	0~15(15)	×	×	注 6
	Reserved		31	101F	注 4	注 5	+07C _H	0~15(15)	×	×	注 6
	Reserved	○	32	1020	注 4	注 5	+080 _H	0~15(15)	×	×	注 6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (2/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
Code Flash/Data Flash	フラッシュシーケンサ 処理完了割り込み 備考 1		33	1021	注 4	注 5	+084 _H	0~15(15)	○	○	注 6
	Reserved	○	34	1022	注 4	注 5	+088 _H	0~15(15)	×	×	注 6
	Reserved		35	1023	注 4	注 5	+08C _H	0~15(15)	×	×	注 6
	Reserved		36	1024	注 4	注 5	+090 _H	0~15(15)	×	×	注 6
	Reserved	○	37	1025	注 4	注 5	+094 _H	0~15(15)	×	×	注 6
DMAC	ch0 転送完了割り込み / ch0 転送回数一致割り 込み		38	1026	注 4	注 5	+098 _H	0~15(15)	○	○	注 6
	ch1 転送完了割り込み / ch1 転送回数一致割り 込み		39	1027	注 4	注 5	+09C _H	0~15(15)	○	○	注 6
	ch2 転送完了割り込み / ch2 転送回数一致割り 込み		40	1028	注 4	注 5	+0A0 _H	0~15(15)	○	○	注 6
	ch3 転送完了割り込み / ch3 転送回数一致割り 込み		41	1029	注 4	注 5	+0A4 _H	0~15(15)	○	○	注 6
	ch4 転送完了割り込み / ch4 転送回数一致割り 込み		42	102A	注 4	注 5	+0A8 _H	0~15(15)	○	○	注 6
	ch5 転送完了割り込み / ch5 転送回数一致割り 込み		43	102B	注 4	注 5	+0AC _H	0~15(15)	○	○	注 6
	ch6 転送完了割り込み / ch6 転送回数一致割り 込み		44	102C	注 4	注 5	+0B0 _H	0~15(15)	○	○	注 6
	ch7 転送完了割り込み / ch7 転送回数一致割り 込み		45	102D	注 4	注 5	+0B4 _H	0~15(15)	○	○	注 6
	ch8 転送完了割り込み / ch8 転送回数一致割り 込み		46	102E	注 4	注 5	+0B8 _H	0~15(15)	○	○	注 6
	ch9 転送完了割り込み / ch9 転送回数一致割り 込み		47	102F	注 4	注 5	+0BC _H	0~15(15)	○	○	注 6
	ch10 転送完了割り込み / ch10 転送回数一致割 り込み		48	1030	注 4	注 5	+0C0 _H	0~15(15)	○	○	注 6
	ch11 転送完了割り込み / ch11 転送回数一致割 り込み		49	1031	注 4	注 5	+0C4 _H	0~15(15)	○	○	注 6
	ch12 転送完了割り込み / ch12 転送回数一致割 り込み		50	1032	注 4	注 5	+0C8 _H	0~15(15)	○	○	注 6
	ch13 転送完了割り込み / ch13 転送回数一致割 り込み		51	1033	注 4	注 5	+0CC _H	0~15(15)	○	○	注 6
	ch14 転送完了割り込み / ch14 転送回数一致割 り込み		52	1034	注 4	注 5	+0D0 _H	0~15(15)	○	○	注 6
ch15 転送完了割り込み / ch15 転送回数一致割 り込み		53	1035	注 4	注 5	+0D4 _H	0~15(15)	○	○	注 6	

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (3/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注3		C1M- A2	C1M- A1	
					RINT=0 注1	RINT=1 注2					
WDTA	WDTA0TIT インターバル タイマ割り込み (75%割り込み)		54	1036	注4	注5	+0D8 _H	0~15(15)	○	○	注6
	WDTA1TIT インターバル タイマ割り込み (75%割り込み)		55	1037	注4	注5	+0DC _H	0~15(15)	○	×	注6
EMU3	EMU30 割り込み 0		56	1038	注4	注5	+0E0 _H	0~15(15)	○	○	注6
	EMU30 割り込み 1		57	1039	注4	注5	+0E4 _H	0~15(15)	○	○	注6
	EMU30 割り込み 2		58	103A	注4	注5	+0E8 _H	0~15(15)	○	○	注6
	EMU30 割り込み 3		59	103B	注4	注5	+0EC _H	0~15(15)	○	○	注6
	EMU30 割り込み 4		60	103C	注4	注5	+0F0 _H	0~15(15)	○	○	注6
	EMU30 割り込み 5		61	103D	注4	注5	+0F4 _H	0~15(15)	○	○	注6
	EMU30 割り込み 6		62	103E	注4	注5	+0F8 _H	0~15(15)	○	○	注6
	EMU30 割り込み 7		63	103F	注4	注5	+0FC _H	0~15(15)	○	○	注6
	Reserved		64	1040	注4	注5	+100 _H	0~15(15)	×	×	注6
	Reserved		65	1041	注4	注5	+104 _H	0~15(15)	×	×	注6
	EMU31 割り込み 0		66	1042	注4	注5	+108 _H	0~15(15)	○	○	注6
	EMU31 割り込み 1		67	1043	注4	注5	+10C _H	0~15(15)	○	○	注6
	EMU31 割り込み 2		68	1044	注4	注5	+110 _H	0~15(15)	○	○	注6
	EMU31 割り込み 3		69	1045	注4	注5	+114 _H	0~15(15)	○	○	注6
	EMU31 割り込み 4		70	1046	注4	注5	+118 _H	0~15(15)	○	○	注6
	EMU31 割り込み 5		71	1047	注4	注5	+11C _H	0~15(15)	○	○	注6
	EMU31 割り込み 6		72	1048	注4	注5	+120 _H	0~15(15)	○	○	注6
	EMU31 割り込み 7		73	1049	注4	注5	+124 _H	0~15(15)	○	○	注6
	Reserved		74	104A	注4	注5	+128 _H	0~15(15)	×	×	注6
	Reserved		75	104B	注4	注5	+12C _H	0~15(15)	×	×	注6
RDC_0	RDC3A0 Z 相割り込み		76	104C	注4	注5	+130 _H	0~15(15)	○	○	注6
	RDC3A0 RDC 異常割り 込み		77	104D	注4	注5	+134 _H	0~15(15)	○	○	注6
	RDC3A0 コンペア 0 一致割り込み		78	104E	注4	注5	+138 _H	0~15(15)	○	○	注6
	RDC3A0 コンペア 1 一致割り込み		79	104F	注4	注5	+13C _H	0~15(15)	○	○	注6
	RDC3A0 コンペア 2 一致割り込み		80	1050	注4	注5	+140 _H	0~15(15)	○	○	注6
	RDC3A0 励磁タイマ (ET) 割り込み		81	1051	注4	注5	+144 _H	0~15(15)	○	○	注6
	RDC3A0 BIST 終了割り 込み		82	1052	注4	注5	+148 _H	0~15(15)	○	○	注6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (4/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注3		C1M- A2	C1M- A1	
					RINT=0 注1	RINT=1 注2					
RDC_1	RDC3A1 Z 相割り込み		83	1053	注4	注5	+14C _H	0~15(15)	○	×	注6
	RDC3A1 RDC 異常割り 込み		84	1054	注4	注5	+150 _H	0~15(15)	○	×	注6
	RDC3A1 コンペア0 一致割り込み		85	1055	注4	注5	+154 _H	0~15(15)	○	×	注6
	RDC3A1 コンペア1 一致割り込み		86	1056	注4	注5	+158 _H	0~15(15)	○	×	注6
	RDC3A1 コンペア2 一致割り込み		87	1057	注4	注5	+15C _H	0~15(15)	○	×	注6
	RDC3A1 励磁タイマ (ET) 割り込み		88	1058	注4	注5	+160 _H	0~15(15)	○	×	注6
	RDC3A1 BIST 終了割り 込み		89	1059	注4	注5	+164 _H	0~15(15)	○	×	注6
TAUJ_0	INTTAUJ0I0 割り込み		90	105A	注4	注5	+168 _H	0~15(15)	○	○	注6
	INTTAUJ0I1 割り込み		91	105B	注4	注5	+16C _H	0~15(15)	○	○	注6
	INTTAUJ0I2 割り込み		92	105C	注4	注5	+170 _H	0~15(15)	○	○	注6
	INTTAUJ0I3 割り込み		93	105D	注4	注5	+174 _H	0~15(15)	○	○	注6
TAUJ_1	INTTAUJ1I0 割り込み		94	105E	注4	注5	+178 _H	0~15(15)	○	×	注6
	INTTAUJ1I1 割り込み		95	105F	注4	注5	+17C _H	0~15(15)	○	×	注6
	INTTAUJ1I2 割り込み		96	1060	注4	注5	+180 _H	0~15(15)	○	×	注6
	INTTAUJ1I3 割り込み		97	1061	注4	注5	+184 _H	0~15(15)	○	×	注6
TAUD_0	INTTAUD0I0 割り込み		98	1062	注4	注5	+188 _H	0~15(15)	○	○	注6
	INTTAUD0I1 割り込み		99	1063	注4	注5	+18C _H	0~15(15)	○	○	注6
	INTTAUD0I2 割り込み		100	1064	注4	注5	+190 _H	0~15(15)	○	○	注6
	INTTAUD0I3 割り込み		101	1065	注4	注5	+194 _H	0~15(15)	○	○	注6
	INTTAUD0I4 割り込み		102	1066	注4	注5	+198 _H	0~15(15)	○	○	注6
	INTTAUD0I5 割り込み		103	1067	注4	注5	+19C _H	0~15(15)	○	○	注6
	INTTAUD0I6 割り込み		104	1068	注4	注5	+1A0 _H	0~15(15)	○	○	注6
	INTTAUD0I7 割り込み		105	1069	注4	注5	+1A4 _H	0~15(15)	○	○	注6
	INTTAUD0I8 割り込み		106	106A	注4	注5	+1A8 _H	0~15(15)	○	○	注6
	INTTAUD0I9 割り込み		107	106B	注4	注5	+1AC _H	0~15(15)	○	○	注6
	INTTAUD0I10 割り込み		108	106C	注4	注5	+1B0 _H	0~15(15)	○	○	注6
	INTTAUD0I11 割り込み		109	106D	注4	注5	+1B4 _H	0~15(15)	○	○	注6
	INTTAUD0I12 割り込み		110	106E	注4	注5	+1B8 _H	0~15(15)	○	○	注6
	INTTAUD0I13 割り込み		111	106F	注4	注5	+1BC _H	0~15(15)	○	○	注6
	INTTAUD0I14 割り込み		112	1070	注4	注5	+1C0 _H	0~15(15)	○	○	注6
INTTAUD0I15 割り込み		113	1071	注4	注5	+1C4 _H	0~15(15)	○	○	注6	

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (5/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
TAUD_1	INTTAUD110 割り込み		114	1072	注 4	注 5	+1C8 _H	0~15(15)	○	○	注 6
	INTTAUD111 割り込み		115	1073	注 4	注 5	+1CC _H	0~15(15)	○	○	注 6
	INTTAUD112 割り込み		116	1074	注 4	注 5	+1D0 _H	0~15(15)	○	○	注 6
	INTTAUD113 割り込み		117	1075	注 4	注 5	+1D4 _H	0~15(15)	○	○	注 6
	INTTAUD114 割り込み		118	1076	注 4	注 5	+1D8 _H	0~15(15)	○	○	注 6
	INTTAUD115 割り込み		119	1077	注 4	注 5	+1DC _H	0~15(15)	○	○	注 6
	INTTAUD116 割り込み		120	1078	注 4	注 5	+1E0 _H	0~15(15)	○	○	注 6
	INTTAUD117 割り込み		121	1079	注 4	注 5	+1E4 _H	0~15(15)	○	○	注 6
	INTTAUD118 割り込み		122	107A	注 4	注 5	+1E8 _H	0~15(15)	○	○	注 6
	INTTAUD119 割り込み		123	107B	注 4	注 5	+1EC _H	0~15(15)	○	○	注 6
	INTTAUD1110 割り込み		124	107C	注 4	注 5	+1F0 _H	0~15(15)	○	○	注 6
	INTTAUD1111 割り込み		125	107D	注 4	注 5	+1F4 _H	0~15(15)	○	○	注 6
	INTTAUD1112 割り込み		126	107E	注 4	注 5	+1F8 _H	0~15(15)	○	○	注 6
	INTTAUD1113 割り込み		127	107F	注 4	注 5	+1FC _H	0~15(15)	○	○	注 6
	INTTAUD1114 割り込み		128	1080	注 4	注 5	+200 _H	0~15(15)	○	○	注 6
INTTAUD1115 割り込み		129	1081	注 4	注 5	+204 _H	0~15(15)	○	○	注 6	
TAUD_2	INTTAUD210 割り込み		130	1082	注 4	注 5	+208 _H	0~15(15)	○	×	注 6
	INTTAUD211 割り込み		131	1083	注 4	注 5	+20C _H	0~15(15)	○	×	注 6
	INTTAUD212 割り込み		132	1084	注 4	注 5	+210 _H	0~15(15)	○	×	注 6
	INTTAUD213 割り込み		133	1085	注 4	注 5	+214 _H	0~15(15)	○	×	注 6
	INTTAUD214 割り込み		134	1086	注 4	注 5	+218 _H	0~15(15)	○	×	注 6
	INTTAUD215 割り込み		135	1087	注 4	注 5	+21C _H	0~15(15)	○	×	注 6
	INTTAUD216 割り込み		136	1088	注 4	注 5	+220 _H	0~15(15)	○	×	注 6
	INTTAUD217 割り込み		137	1089	注 4	注 5	+224 _H	0~15(15)	○	×	注 6
	INTTAUD218 割り込み		138	108A	注 4	注 5	+228 _H	0~15(15)	○	×	注 6
	INTTAUD219 割り込み		139	108B	注 4	注 5	+22C _H	0~15(15)	○	×	注 6
	INTTAUD2110 割り込み		140	108C	注 4	注 5	+230 _H	0~15(15)	○	×	注 6
	INTTAUD2111 割り込み		141	108D	注 4	注 5	+234 _H	0~15(15)	○	×	注 6
	INTTAUD2112 割り込み		142	108E	注 4	注 5	+238 _H	0~15(15)	○	×	注 6
	INTTAUD2113 割り込み		143	108F	注 4	注 5	+23C _H	0~15(15)	○	×	注 6
	INTTAUD2114 割り込み		144	1090	注 4	注 5	+240 _H	0~15(15)	○	×	注 6
INTTAUD2115 割り込み		145	1091	注 4	注 5	+244 _H	0~15(15)	○	×	注 6	

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (6/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
TAUD_3	INTTAUD310 割り込み		146	1092	注 4	注 5	+248 _H	0~15(15)	○	×	注 6
	INTTAUD311 割り込み		147	1093	注 4	注 5	+24C _H	0~15(15)	○	×	注 6
	INTTAUD312 割り込み		148	1094	注 4	注 5	+250 _H	0~15(15)	○	×	注 6
	INTTAUD313 割り込み		149	1095	注 4	注 5	+254 _H	0~15(15)	○	×	注 6
	INTTAUD314 割り込み		150	1096	注 4	注 5	+258 _H	0~15(15)	○	×	注 6
	INTTAUD315 割り込み		151	1097	注 4	注 5	+25C _H	0~15(15)	○	×	注 6
	INTTAUD316 割り込み		152	1098	注 4	注 5	+260 _H	0~15(15)	○	×	注 6
	INTTAUD317 割り込み		153	1099	注 4	注 5	+264 _H	0~15(15)	○	×	注 6
	INTTAUD318 割り込み		154	109A	注 4	注 5	+268 _H	0~15(15)	○	×	注 6
	INTTAUD319 割り込み		155	109B	注 4	注 5	+26C _H	0~15(15)	○	×	注 6
	INTTAUD3110 割り込み		156	109C	注 4	注 5	+270 _H	0~15(15)	○	×	注 6
	INTTAUD3111 割り込み		157	109D	注 4	注 5	+274 _H	0~15(15)	○	×	注 6
	INTTAUD3112 割り込み		158	109E	注 4	注 5	+278 _H	0~15(15)	○	×	注 6
	INTTAUD3113 割り込み		159	109F	注 4	注 5	+27C _H	0~15(15)	○	×	注 6
	INTTAUD3114 割り込み		160	10A0	注 4	注 5	+280 _H	0~15(15)	○	×	注 6
INTTAUD3115 割り込み		161	10A1	注 4	注 5	+284 _H	0~15(15)	○	×	注 6	
	Reserved		162	10A2	注 4	注 5	+288 _H	0~15(15)	×	×	注 6
	Reserved		163	10A3	注 4	注 5	+28C _H	0~15(15)	×	×	注 6
PIC1B	ENCA0 コンペア 0 一致 またはキャプチャ 0 割 り込み		164	10A4	注 4	注 5	+290 _H	0~15(15)	○	○	注 6
	ENCA1 コンペア 0 一致 またはキャプチャ 0 割 り込み		165	10A5	注 4	注 5	+294 _H	0~15(15)	○	○	注 6
ENCA_0	オーバーフロー割り込 み		166	10A6	注 4	注 5	+298 _H	0~15(15)	○	○	注 6
	コンペア 1 一致 またはキャプチャ 1 割 り込み		167	10A7	注 4	注 5	+29C _H	0~15(15)	○	○	注 6
	アンダーフロー割り込 み		168	10A8	注 4	注 5	+2A0 _H	0~15(15)	○	○	注 6
	エンコーダクリア入力 によるクリア割り込み		169	10A9	注 4	注 5	+2A4 _H	0~15(15)	○	○	注 6
ENCA_1	オーバーフロー割り込 み		170	10AA	注 4	注 5	+2A8 _H	0~15(15)	○	○	注 6
	コンペア 1 一致 またはキャプチャ 1 割 り込み		171	10AB	注 4	注 5	+2AC _H	0~15(15)	○	○	注 6
	アンダーフロー割り込 み		172	10AC	注 4	注 5	+2B0 _H	0~15(15)	○	○	注 6
	エンコーダクリア入力 によるクリア割り込み		173	10AD	注 4	注 5	+2B4 _H	0~15(15)	○	○	注 6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (7/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
	Reserved		174	10AE	注 4	注 5	+2B8 _H	0~15(15)	×	×	注 6
	Reserved		175	10AF	注 4	注 5	+2BC _H	0~15(15)	×	×	注 6
TAPA_0	TAPA0 山割り込み 0		176	10B0	注 4	注 5	+2C0 _H	0~15(15)	○	○	注 6
	TAPA0 谷割り込み 0		177	10B1	注 4	注 5	+2C4 _H	0~15(15)	○	○	注 6
TAPA_1	TAPA1 山割り込み 0		178	10B2	注 4	注 5	+2C8 _H	0~15(15)	○	○	注 6
	TAPA1 谷割り込み 0		179	10B3	注 4	注 5	+2CC _H	0~15(15)	○	○	注 6
TAPA_2	TAPA2 山割り込み 0		180	10B4	注 4	注 5	+2D0 _H	0~15(15)	○	×	注 6
	TAPA2 谷割り込み 0		181	10B5	注 4	注 5	+2D4 _H	0~15(15)	○	×	注 6
	Reserved		182	10B6	注 4	注 5	+2D8 _H	0~15(15)	×	×	注 6
	Reserved		183	10B7	注 4	注 5	+2DC _H	0~15(15)	×	×	注 6
TPBA_0	周期一致検出割り込み		184	10B8	注 4	注 5	+2E0 _H	0~15(15)	○	○	注 6
	デューティ一致検出割 り込み		185	10B9	注 4	注 5	+2E4 _H	0~15(15)	○	○	注 6
	パタン数一致検出割 り込み		186	10BA	注 4	注 5	+2E8 _H	0~15(15)	○	○	注 6
TPBA_1	周期一致検出割り込み		187	10BB	注 4	注 5	+2EC _H	0~15(15)	○	×	注 6
	デューティ一致検出割 り込み		188	10BC	注 4	注 5	+2F0 _H	0~15(15)	○	×	注 6
	パタン数一致検出割 り込み		189	10BD	注 4	注 5	+2F4 _H	0~15(15)	○	×	注 6
TSG3_0	TSG30CMP1E コンペ ア一致割り込み		190	10BE	注 4	注 5	+2F8 _H	0~15(15)	○	○	注 6
	TSG30CMP2E コンペ ア一致割り込み		191	10BF	注 4	注 5	+2FC _H	0~15(15)	○	○	注 6
	TSG30CMP3E コンペ ア一致割り込み		192	10C0	注 4	注 5	+300 _H	0~15(15)	○	○	注 6
	TSG30CMP4E コンペ ア一致割り込み		193	10C1	注 4	注 5	+304 _H	0~15(15)	○	○	注 6
	TSG30CMP5E コンペ ア一致割り込み		194	10C2	注 4	注 5	+308 _H	0~15(15)	○	○	注 6
	TSG30CMP6E コンペ ア一致割り込み		195	10C3	注 4	注 5	+30C _H	0~15(15)	○	○	注 6
	TSG30CMP7E コンペ ア一致割り込み		196	10C4	注 4	注 5	+310 _H	0~15(15)	○	○	注 6
	TSG30CMP8E コンペ ア一致割り込み		197	10C5	注 4	注 5	+314 _H	0~15(15)	○	○	注 6
	TSG30CMP9E コンペ ア一致割り込み		198	10C6	注 4	注 5	+318 _H	0~15(15)	○	○	注 6
	TSG30CMP10E コンペ ア一致割り込み		199	10C7	注 4	注 5	+31C _H	0~15(15)	○	○	注 6
	TSG30CMP11E コンペ ア一致割り込み		200	10C8	注 4	注 5	+320 _H	0~15(15)	○	○	注 6
	TSG30CMP12E コンペ ア一致割り込み		201	10C9	注 4	注 5	+324 _H	0~15(15)	○	○	注 6
	エラー割り込み		202	10CA	注 4	注 5	+328 _H	0~15(15)	○	○	注 6
ワーニング割り込み		203	10CB	注 4	注 5	+32C _H	0~15(15)	○	○	注 6	

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (8/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
TSG3_1	TSG31CMP1E コンペ ア一致割り込み		204	10CC	注 4	注 5	+330 _H	0~15(15)	○	○	注 6
	TSG31CMP2E コンペ ア一致割り込み		205	10CD	注 4	注 5	+334 _H	0~15(15)	○	○	注 6
	TSG31CMP3E コンペ ア一致割り込み		206	10CE	注 4	注 5	+338 _H	0~15(15)	○	○	注 6
	TSG31CMP4E コンペ ア一致割り込み		207	10CF	注 4	注 5	+33C _H	0~15(15)	○	○	注 6
	TSG31CMP5E コンペ ア一致割り込み		208	10D0	注 4	注 5	+340 _H	0~15(15)	○	○	注 6
	TSG31CMP6E コンペ ア一致割り込み		209	10D1	注 4	注 5	+344 _H	0~15(15)	○	○	注 6
	TSG31CMP7E コンペ ア一致割り込み		210	10D2	注 4	注 5	+348 _H	0~15(15)	○	○	注 6
	TSG31CMP8E コンペ ア一致割り込み		211	10D3	注 4	注 5	+34C _H	0~15(15)	○	○	注 6
	TSG31CMP9E コンペ ア一致割り込み		212	10D4	注 4	注 5	+350 _H	0~15(15)	○	○	注 6
	TSG31CMP10E コンペ ア一致割り込み		213	10D5	注 4	注 5	+354 _H	0~15(15)	○	○	注 6
	TSG31CMP11E コンペ ア一致割り込み		214	10D6	注 4	注 5	+358 _H	0~15(15)	○	○	注 6
	TSG31CMP12E コンペ ア一致割り込み		215	10D7	注 4	注 5	+35C _H	0~15(15)	○	○	注 6
	エラー割り込み		216	10D8	注 4	注 5	+360 _H	0~15(15)	○	○	注 6
	ワーニング割り込み		217	10D9	注 4	注 5	+364 _H	0~15(15)	○	○	注 6
TSG3_2	TSG32CMP1E コンペ ア一致割り込み		218	10DA	注 4	注 5	+368 _H	0~15(15)	○	×	注 6
	TSG32CMP2E コンペ ア一致割り込み		219	10DB	注 4	注 5	+36C _H	0~15(15)	○	×	注 6
	TSG32CMP3E コンペ ア一致割り込み		220	10DC	注 4	注 5	+370 _H	0~15(15)	○	×	注 6
	TSG32CMP4E コンペ ア一致割り込み		221	10DD	注 4	注 5	+374 _H	0~15(15)	○	×	注 6
	TSG32CMP5E コンペ ア一致割り込み		222	10DE	注 4	注 5	+378 _H	0~15(15)	○	×	注 6
	TSG32CMP6E コンペ ア一致割り込み		223	10DF	注 4	注 5	+37C _H	0~15(15)	○	×	注 6
	TSG32CMP7E コンペ ア一致割り込み		224	10E0	注 4	注 5	+380 _H	0~15(15)	○	×	注 6
	TSG32CMP8E コンペ ア一致割り込み		225	10E1	注 4	注 5	+384 _H	0~15(15)	○	×	注 6
	TSG32CMP9E コンペ ア一致割り込み		226	10E2	注 4	注 5	+388 _H	0~15(15)	○	×	注 6
	TSG32CMP10E コンペ ア一致割り込み		227	10E3	注 4	注 5	+38C _H	0~15(15)	○	×	注 6
	TSG32CMP11E コンペ ア一致割り込み		228	10E4	注 4	注 5	+390 _H	0~15(15)	○	×	注 6
	TSG32CMP12E コンペ ア一致割り込み		229	10E5	注 4	注 5	+394 _H	0~15(15)	○	×	注 6
	エラー割り込み		230	10E6	注 4	注 5	+398 _H	0~15(15)	○	×	注 6
	ワーニング割り込み		231	10E7	注 4	注 5	+39C _H	0~15(15)	○	×	注 6
TSG3_0	TSG30CMP0E コンペ ア一致割り込み		232	10E8	注 4	注 5	+3A0 _H	0~15(15)	○	○	注 6
	山割り込み		233	10E9	注 4	注 5	+3A4 _H	0~15(15)	○	○	注 6
	谷割り込み		234	10EA	注 4	注 5	+3A8 _H	0~15(15)	○	○	注 6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (9/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
TSG3_1	TSG31CMP0E コンペ ア一致割り込み		235	10EB	注 4	注 5	+3AC _H	0~15(15)	○	○	注 6
	山割り込み		236	10EC	注 4	注 5	+3B0 _H	0~15(15)	○	○	注 6
	谷割り込み		237	10ED	注 4	注 5	+3B4 _H	0~15(15)	○	○	注 6
TSG3_2	TSG32CMP0E コンペ ア一致割り込み		238	10EE	注 4	注 5	+3B8 _H	0~15(15)	○	×	注 6
	山割り込み		239	10EF	注 4	注 5	+3BC _H	0~15(15)	○	×	注 6
	谷割り込み		240	10F0	注 4	注 5	+3C0 _H	0~15(15)	○	×	注 6
ICUSE	ブロックデータ書き込 み要求割り込み		241	10F1	注 4	注 5	+3C4 _H	0~15(15)	○	○	注 6
	ブロックデータ読み出 し要求割り込み/コマ ンド終了通知割り込み		242	10F2	注 4	注 5	+3C8 _H	0~15(15)	○	○	注 6
ADC	ADI00 ADCC0 スキャン グループ 0 終了割り込 み		243	10F3	注 4	注 5	+3CC _H	0~15(15)	○	○	注 6
	ADI01 ADCC0 スキャン グループ 1 終了割り込 み		244	10F4	注 4	注 5	+3D0 _H	0~15(15)	○	○	注 6
	ADI02 ADCC0 スキャン グループ 2 終了割り込 み		245	10F5	注 4	注 5	+3D4 _H	0~15(15)	○	○	注 6
	ADI03 ADCC0 スキャン グループ 3 終了割り込 み		246	10F6	注 4	注 5	+3D8 _H	0~15(15)	○	○	注 6
	ADI04 ADCC0 スキャン グループ 4 終了割り込 み		247	10F7	注 4	注 5	+3DC _H	0~15(15)	○	○	注 6
	ADI10 ADCC1 スキャン グループ 0 終了割り込 み		248	10F8	注 4	注 5	+3E0 _H	0~15(15)	○	○	注 6
	ADI11 ADCC1 スキャン グループ 1 終了割り込 み		249	10F9	注 4	注 5	+3E4 _H	0~15(15)	○	○	注 6
	ADI12 ADCC1 スキャン グループ 2 終了割り込 み		250	10FA	注 4	注 5	+3E8 _H	0~15(15)	○	○	注 6
	ADI13 ADCC1 スキャン グループ 3 終了割り込 み		251	10FB	注 4	注 5	+3EC _H	0~15(15)	○	○	注 6
	ADI14 ADCC1 スキャン グループ 4 終了割り込 み		252	10FC	注 4	注 5	+3F0 _H	0~15(15)	○	○	注 6
	ADI20 ADCC2 スキャン グループ 0 終了割り込 み		253	10FD	注 4	注 5	+3F4 _H	0~15(15)	○	○	注 6
	ADI21 ADCC2 スキャン グループ 1 終了割り込 み		254	10FE	注 4	注 5	+3F8 _H	0~15(15)	○	○	注 6
	ADI22 ADCC2 スキャン グループ 2 終了割り込 み		255	10FF	注 4	注 5	+3FC _H	0~15(15)	○	○	注 6
	ADI23 ADCC2 スキャン グループ 3 終了割り込 み		256	1100	注 4	注 5	+400 _H	0~15(15)	○	○	注 6
ADI24 ADCC2 スキャン グループ 4 終了割り込 み		257	1101	注 4	注 5	+404 _H	0~15(15)	○	○	注 6	

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (10/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
ADC	ADE0 ADC0AD エラー割り込み		258	1102	注 4	注 5	+408 _H	0~15(15)	○	○	注 6
	ADE1 ADC1AD エラー割り込み		259	1103	注 4	注 5	+40C _H	0~15(15)	○	○	注 6
	ADE2 ADC2AD エラー割り込み		260	1104	注 4	注 5	+410 _H	0~15(15)	○	○	注 6
	Reserved		261	1105	注 4	注 5	+414 _H	0~15(15)	×	×	注 6
	Reserved		262	1106	注 4	注 5	+418 _H	0~15(15)	×	×	注 6
RS-CANFD	CAN 受信 FIFO 割り込み	○	263	1107	注 4	注 5	+41C _H	0~15(15)	○	○	注 6
	CAN グローバルエラー 割り込み	○	264	1108	注 4	注 5	+420 _H	0~15(15)	○	○	注 6
RS-CANFD ch0	CAN0 送受信 FIFO 受信 完了割り込み	○	265	1109	注 4	注 5	+424 _H	0~15(15)	○	○	注 6
	CAN0 エラー割り込み	○	266	110A	注 4	注 5	+428 _H	0~15(15)	○	○	注 6
	CAN0 送信割り込み	○	267	110B	注 4	注 5	+42C _H	0~15(15)	○	○	注 6
RS-CANFD ch1	CAN1 送受信 FIFO 受信 完了割り込み	○	268	110C	注 4	注 5	+430 _H	0~15(15)	○	○	注 6
	CAN1 エラー割り込み	○	269	110D	注 4	注 5	+434 _H	0~15(15)	○	○	注 6
	CAN1 送信割り込み	○	270	110E	注 4	注 5	+438 _H	0~15(15)	○	○	注 6
RS-CANFD ch2	CAN2 送受信 FIFO 受信 完了割り込み	○	271	110F	注 4	注 5	+43C _H	0~15(15)	○	○	注 6
	CAN2 エラー割り込み	○	272	1110	注 4	注 5	+440 _H	0~15(15)	○	○	注 6
	CAN2 送信割り込み	○	273	1111	注 4	注 5	+444 _H	0~15(15)	○	○	注 6
RS-CANFD ch3	CAN3 送受信 FIFO 受信 完了割り込み	○	274	1112	注 4	注 5	+448 _H	0~15(15)	○	○	注 6
	CAN3 エラー割り込み	○	275	1113	注 4	注 5	+44C _H	0~15(15)	○	○	注 6
	CAN3 送信割り込み	○	276	1114	注 4	注 5	+450 _H	0~15(15)	○	○	注 6
RLIN3_0	RLIN30 割り込み		277	1115	注 4	注 5	+454 _H	0~15(15)	○	○	注 6
	RLIN30 送信割り込み		278	1116	注 4	注 5	+458 _H	0~15(15)	○	○	注 6
	RLIN30 受信完了割り 込み		279	1117	注 4	注 5	+45C _H	0~15(15)	○	○	注 6
	RLIN30 ステータス割 り込み		280	1118	注 4	注 5	+460 _H	0~15(15)	○	○	注 6
RLIN3_1	RLIN31 割り込み		281	1119	注 4	注 5	+464 _H	0~15(15)	○	○	注 6
	RLIN31 送信割り込み		282	111A	注 4	注 5	+468 _H	0~15(15)	○	○	注 6
	RLIN31 受信完了割 り込み		283	111B	注 4	注 5	+46C _H	0~15(15)	○	○	注 6
	RLIN31 ステータス割 り込み		284	111C	注 4	注 5	+470 _H	0~15(15)	○	○	注 6
RLIN3_2	RLIN32 割り込み		285	111D	注 4	注 5	+474 _H	0~15(15)	○	○	注 6
	RLIN32 送信割り込み		286	111E	注 4	注 5	+478 _H	0~15(15)	○	○	注 6
	RLIN32 受信完了割 り込み		287	111F	注 4	注 5	+47C _H	0~15(15)	○	○	注 6
	RLIN32 ステータス割 り込み		288	1120	注 4	注 5	+480 _H	0~15(15)	○	○	注 6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (11/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注 3		C1M- A2	C1M- A1	
					RINT=0 注 1	RINT=1 注 2					
SCI_0	ERI (受信エラー)	○	289	1121	注 4	注 5	+484 _H	0~15(15)	○	○	注 6
	RXI (受信データフル)		290	1122	注 4	注 5	+488 _H	0~15(15)	○	○	注 6
	TXI (送信データエンブ ティ)		291	1123	注 4	注 5	+48C _H	0~15(15)	○	○	注 6
	TEI (送信終了)	○	292	1124	注 4	注 5	+490 _H	0~15(15)	○	○	注 6
SCI_1	ERI (受信エラー)	○	293	1125	注 4	注 5	+494 _H	0~15(15)	○	○	注 6
	RXI (受信データフル)		294	1126	注 4	注 5	+498 _H	0~15(15)	○	○	注 6
	TXI (送信データエンブ ティ)		295	1127	注 4	注 5	+49C _H	0~15(15)	○	○	注 6
	TEI (送信終了)	○	296	1128	注 4	注 5	+4A0 _H	0~15(15)	○	○	注 6
SCI_2	ERI (受信エラー)	○	297	1129	注 4	注 5	+4A4 _H	0~15(15)	○	○	注 6
	RXI (受信データフル)		298	112A	注 4	注 5	+4A8 _H	0~15(15)	○	○	注 6
	TXI (送信データエンブ ティ)		299	112B	注 4	注 5	+4AC _H	0~15(15)	○	○	注 6
	TEI (送信終了)	○	300	112C	注 4	注 5	+4B0 _H	0~15(15)	○	○	注 6
CSIH_0	通信ステータス割り込 み		301	112D	注 4	注 5	+4B4 _H	0~15(15)	○	○	注 6
	受信ステータス割り込 み		302	112E	注 4	注 5	+4B8 _H	0~15(15)	○	○	注 6
	通信エラー割り込み		303	112F	注 4	注 5	+4BC _H	0~15(15)	○	○	注 6
	ジョブ完了割り込み		304	1130	注 4	注 5	+4C0 _H	0~15(15)	○	○	注 6
CSIH_1	通信ステータス割り込 み		305	1131	注 4	注 5	+4C4 _H	0~15(15)	○	○	注 6
	受信ステータス割り込 み		306	1132	注 4	注 5	+4C8 _H	0~15(15)	○	○	注 6
	通信エラー割り込み		307	1133	注 4	注 5	+4CC _H	0~15(15)	○	○	注 6
	ジョブ完了割り込み		308	1134	注 4	注 5	+4D0 _H	0~15(15)	○	○	注 6
CSIH_2	通信ステータス割り込 み		309	1135	注 4	注 5	+4D4 _H	0~15(15)	○	○	注 6
	受信ステータス割り込 み		310	1136	注 4	注 5	+4D8 _H	0~15(15)	○	○	注 6
	通信エラー割り込み		311	1137	注 4	注 5	+4DC _H	0~15(15)	○	○	注 6
	ジョブ完了割り込み		312	1138	注 4	注 5	+4E0 _H	0~15(15)	○	○	注 6
DTS	ch0-31 転送完了割り込 み	○	313	1139	注 4	注 5	+4E4 _H	0~15(15)	○	○	注 6
	ch32-63 転送完了割り 込み	○	314	113A	注 4	注 5	+4E8 _H	0~15(15)	○	○	注 6
	ch64-95 転送完了割り 込み	○	315	113B	注 4	注 5	+4EC _H	0~15(15)	○	○	注 6
	ch96-127 転送完了割 り込み	○	316	113C	注 4	注 5	+4F0 _H	0~15(15)	○	○	注 6
	ch0-31 転送回教一致割 り込み	○	317	113D	注 4	注 5	+4F4 _H	0~15(15)	○	○	注 6
	ch32-63 転送回教一致 割り込み	○	318	113E	注 4	注 5	+4F8 _H	0~15(15)	○	○	注 6
	ch64-95 転送回教一致 割り込み	○	319	113F	注 4	注 5	+4FC _H	0~15(15)	○	○	注 6
	ch96-127 転送回教一致 割り込み	○	320	1140	注 4	注 5	+500 _H	0~15(15)	○	○	注 6
RSENT_0	RSENT 受信割り込み		321	1141	注 4	注 5	+504 _H	0~15(15)	○	○	注 6
	RSENT ステータス割 り込み	○	322	1142	注 4	注 5	+508 _H	0~15(15)	○	○	注 6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (12/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注3		C1M- A2	C1M- A1	
					RINT=0 注1	RINT=1 注2					
RSENT_1	RSENT 受信割り込み		323	1143	注4	注5	+50C _H	0~15(15)	○	○	注6
	RSENT ステータス割り 込み	○	324	1144	注4	注5	+510 _H	0~15(15)	○	○	注6
RSENT_2	RSENT 受信割り込み		325	1145	注4	注5	+514 _H	0~15(15)	○	○	注6
	RSENT ステータス割り 込み	○	326	1146	注4	注5	+518 _H	0~15(15)	○	○	注6
RSENT_3	RSENT 受信割り込み		327	1147	注4	注5	+51C _H	0~15(15)	○	○	注6
	RSENT ステータス割り 込み	○	328	1148	注4	注5	+520 _H	0~15(15)	○	○	注6
	Reserved		329	1149	注4	注5	+524 _H	0~15(15)	×	×	注6
	Reserved		330	114A	注4	注5	+528 _H	0~15(15)	×	×	注6
	Reserved		331	114B	注4	注5	+52C _H	0~15(15)	×	×	注6
	Reserved		332	114C	注4	注5	+530 _H	0~15(15)	×	×	注6
ADPA	ADPA 制御通知割り込 み0		333	114D	注4	注5	+534 _H	0~15(15)	○	○	注6
	ADPA 制御通知割り込 み1		334	114E	注4	注5	+538 _H	0~15(15)	○	○	注6
	ADPA 制御通知割り込 み2		335	114F	注4	注5	+53C _H	0~15(15)	○	○	注6
	Reserved		336	1150	注4	注5	+540 _H	0~15(15)	×	×	注6
	Reserved		337	1151	注4	注5	+544 _H	0~15(15)	×	×	注6
	Reserved		338	1152	注4	注5	+548 _H	0~15(15)	×	×	注6
	Reserved		339	1153	注4	注5	+54C _H	0~15(15)	×	×	注6
	Reserved		340	1154	注4	注5	+550 _H	0~15(15)	×	×	注6
	Reserved		341	1155	注4	注5	+554 _H	0~15(15)	×	×	注6
	Reserved		342	1156	注4	注5	+558 _H	0~15(15)	×	×	注6
	Reserved		343	1157	注4	注5	+55C _H	0~15(15)	×	×	注6
	Reserved		344	1158	注4	注5	+560 _H	0~15(15)	×	×	注6
	Reserved		345	1159	注4	注5	+564 _H	0~15(15)	×	×	注6
	Reserved		346	115A	注4	注5	+568 _H	0~15(15)	×	×	注6
	Reserved		347	115B	注4	注5	+56C _H	0~15(15)	×	×	注6
	Reserved		348	115C	注4	注5	+570 _H	0~15(15)	×	×	注6
	Reserved		349	115D	注4	注5	+574 _H	0~15(15)	×	×	注6
	Reserved		350	115E	注4	注5	+578 _H	0~15(15)	×	×	注6
	Reserved		351	115F	注4	注5	+57C _H	0~15(15)	×	×	注6
	Reserved		352	1160	注4	注5	+580 _H	0~15(15)	×	×	注6
	Reserved		353	1161	注4	注5	+584 _H	0~15(15)	×	×	注6
	Reserved		354	1162	注4	注5	+588 _H	0~15(15)	×	×	注6
	Reserved		355	1163	注4	注5	+58C _H	0~15(15)	×	×	注6
	Reserved		356	1164	注4	注5	+590 _H	0~15(15)	×	×	注6
	Reserved		357	1165	注4	注5	+594 _H	0~15(15)	×	×	注6
	Reserved		358	1166	注4	注5	+598 _H	0~15(15)	×	×	注6
	Reserved		359	1167	注4	注5	+59C _H	0~15(15)	×	×	注6

表 6.11 割り込み例外ハンドラと優先順位 (CPU1、CPU2) (13/13)

機能・ モジュール	割り込み要因名	レベル 割り込み 注	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	対象 製品		デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 注3		C1M- A2	C1M- A1	
					RINT=0 注1	RINT=1 注2					
	Reserved		360	1168	注4	注5	+5A0 _H	0~15(15)	×	×	注6
	Reserved		361	1169	注4	注5	+5A4 _H	0~15(15)	×	×	注6
	Reserved		362	116A	注4	注5	+5A8 _H	0~15(15)	×	×	注6
	Reserved		363	116B	注4	注5	+5AC _H	0~15(15)	×	×	注6
	Reserved		364	116C	注4	注5	+5B0 _H	0~15(15)	×	×	注6
	Reserved		365	116D	注4	注5	+5B4 _H	0~15(15)	×	×	注6
	Reserved		366	116E	注4	注5	+5B8 _H	0~15(15)	×	×	注6
	Reserved		367	116F	注4	注5	+5BC _H	0~15(15)	×	×	注6
	Reserved		368	1170	注4	注5	+5C0 _H	0~15(15)	×	×	注6
	Reserved		369	1171	注4	注5	+5C4 _H	0~15(15)	×	×	注6
	Reserved		370	1172	注4	注5	+5C8 _H	0~15(15)	×	×	注6
	Reserved		371	1173	注4	注5	+5CC _H	0~15(15)	×	×	注6
	Reserved		372	1174	注4	注5	+5D0 _H	0~15(15)	×	×	注6
	Reserved		373	1175	注4	注5	+5D4 _H	0~15(15)	×	×	注6
	Reserved		374	1176	注4	注5	+5D8 _H	0~15(15)	×	×	注6
	Reserved		375	1177	注4	注5	+5DC _H	0~15(15)	×	×	注6
	Reserved		376	1178	注4	注5	+5E0 _H	0~15(15)	×	×	注6
	Reserved		377	1179	注4	注5	+5E4 _H	0~15(15)	×	×	注6
	Reserved		378	117A	注4	注5	+5E8 _H	0~15(15)	×	×	注6
	Reserved		379	117B	注4	注5	+5EC _H	0~15(15)	×	×	注6
	Reserved		380	117C	注4	注5	+5F0 _H	0~15(15)	×	×	注6
	Reserved		381	117D	注4	注5	+5F4 _H	0~15(15)	×	×	注6
	Reserved		382	117E	注4	注5	+5F8 _H	0~15(15)	×	×	注6
	Reserved		383	117F	注4	注5	+5FC _H	0~15(15)	×	×	注6

注： レベル割り込みの割り込み要求を取り下げるには、割り込み処理内でソフトウェアで各モジュールにあるステータスレジスタをクリアする必要があります。ステータスレジスタのクリアについては、「3.4.1 ストア命令の完了と後続命令の同期化」もご参照ください。また、EICn.EICTn ビットは“1”になります。EICn.EIRFn ビットはソフトウェアでクリアできません。

注1. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注2. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注3. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注4. オフセットアドレスは、チャンネルによる違いはなく、優先順位により+100_H~+1F0_Hの間で決定する。

注5. オフセットアドレスの縮小化のため、優先度に関係なく、一律+100_H。

注6. 上の項目ほど、優先順位は高い。

備考1. 「RH850/C1M-A フラッシュメモリユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

表 6.12 割り込み例外ハンドラと優先順位 (EMU3 内蔵 SubCPU)

機能・ モジュール	割り込み要因名	レベル 割り込み ^注	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス			割り込み 優先順位 (初期値)	デフォルト 優先順位
					直接分岐 方式	直接分岐 方式	テーブル 参照方式 ^{注 3}		
					RINT=0 ^{注 1}	RINT=1 ^{注 2}			
ESINT (EMU ソフトウ ェア割り込み)	ESINT0 割り込み	○	0	1000	^{注 4}	^{注 5}	+000 _H	0~15(15)	^{注 6}
	ESINT1 割り込み	○	1	1001	^{注 4}	^{注 5}	+004 _H	0~15(15)	^{注 6}
	ESINT2 割り込み	○	2	1002	^{注 4}	^{注 5}	+008 _H	0~15(15)	^{注 6}
	ESINT3 割り込み	○	3	1003	^{注 4}	^{注 5}	+00C _H	0~15(15)	^{注 6}
	ESINT4 割り込み	○	4	1004	^{注 4}	^{注 5}	+010 _H	0~15(15)	^{注 6}
	ESINT5 割り込み	○	5	1005	^{注 4}	^{注 5}	+014 _H	0~15(15)	^{注 6}
	ESINT6 割り込み	○	6	1006	^{注 4}	^{注 5}	+018 _H	0~15(15)	^{注 6}
	ESINT7 割り込み	○	7	1007	^{注 4}	^{注 5}	+01C _H	0~15(15)	^{注 6}

備考 EIINT 割り込みチャンネル 0~7 以外については表 6.11 を参照ください。

注： レベル割り込みの割り込み要求を取り下げるには、割り込み処理内でソフトウェアで各モジュールにあるステータスレジスタをクリアする必要があります。ステータスレジスタのクリアについては、「3.4.1 ストア命令の完了と後続命令の同期化」もご参照ください。また、EICn.EICTn ビットは“1”になります。EICn.EIRFn ビットはソフトウェアでクリアできません。

注 1. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注 2. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注 3. 「6.4 割り込み例外ハンドラと優先順位動作説明」をご参照ください。

注 4. オフセットアドレスは、チャンネルによる違いはなく、優先順位により+100_H~+1F0_Hの間で決定する。

注 5. オフセットアドレスの縮小化のため、優先度に関係なく、一律+100_H。

注 6. 上の項目ほど、優先順位は高い。

6.5 動作説明

6.5.1 外部割り込み (IRQ)

外部から入力される割り込みは IRQ があります。IRQ は 4 種類のセンス方法から選択可能です。割り込みフローについては「**6.5.6 割り込み処理フロー**」を参照してください。

6.5.2 プロセッサ間割り込み

動作説明は「**3.2.3.1 プロセッサ間割り込み制御レジスタ**」、および「**6.5.6.2 プロセッサ割り込みフロー**」を参照してください。

6.5.3 ソフトウェア割り込み

動作説明は、「**6.2.8 SINTR0~SINTR7 — ソフトウェア割り込みレジスタ**」、および「**6.5.6 割り込み処理フロー**」を参照してください。

6.5.4 EMU ソフトウェア割り込み

動作説明は、「**6.2.9 ESINTR0~ESINTR7 — EMU ソフトウェア割り込みレジスタ**」、および「**6.5.6 割り込み処理フロー**」を参照してください。

6.5.5 DTS 割り込みのマージ機能

転送完了割り込み (128 本) と転送回数一致割り込み (128 本) は、32 本単位で 1 本にまとめられています。

複数の割り込み要因が発生した場合、どの割り込みを受け付けたかを判断できるよう、ステータスレジスタ (PINT0~7) は、受け付けた割り込み要因のうち、下位ビット側の 1 ビットのみセットされます。DTS 割り込みのマージによる割り込みフローについては、「**6.5.6 割り込み処理フロー**」を参照してください。

表 6.13 DTS 割り込み関連レジスタ

割り込み要因	CH	ステータスレジスタ	クリアレジスタ
DTS 転送完了割り込み	0~31	PINT0	PINTCLR0
	32~63	PINT1	PINTCLR1
	64~95	PINT2	PINTCLR2
	96~127	PINT3	PINTCLR3
DTS 転送回数一致割り込み	0~31	PINT4	PINTCLR4
	32~63	PINT5	PINTCLR5
	64~95	PINT6	PINTCLR6
	96~127	PINT7	PINTCLR7

6.5.6 割り込み処理フロー

6.5.6.1 外部割り込み処理フロー

IRQ (外部割り込み) 処理フロー例を図 6.1 に示します。

- IRQ は、EXINTCTL レジスタの設定により、検出方法 (エッジ検出/レベル検出) を選択します。
- IRQ 検出後、INTC へ割り込み要求を出します。

- レベル検出時、INTC 内での割り込み処理が終了し復帰する際は、IRQn 端子のネゲートを確認してから、割り込み復帰命令を実行してください。
- エッジ検出時、INTC 内での割り込み処理が終了し復帰する際は、EXINTSTR レジスタの割り込み要求をクリアしてから、割り込み復帰命令を実行してください。

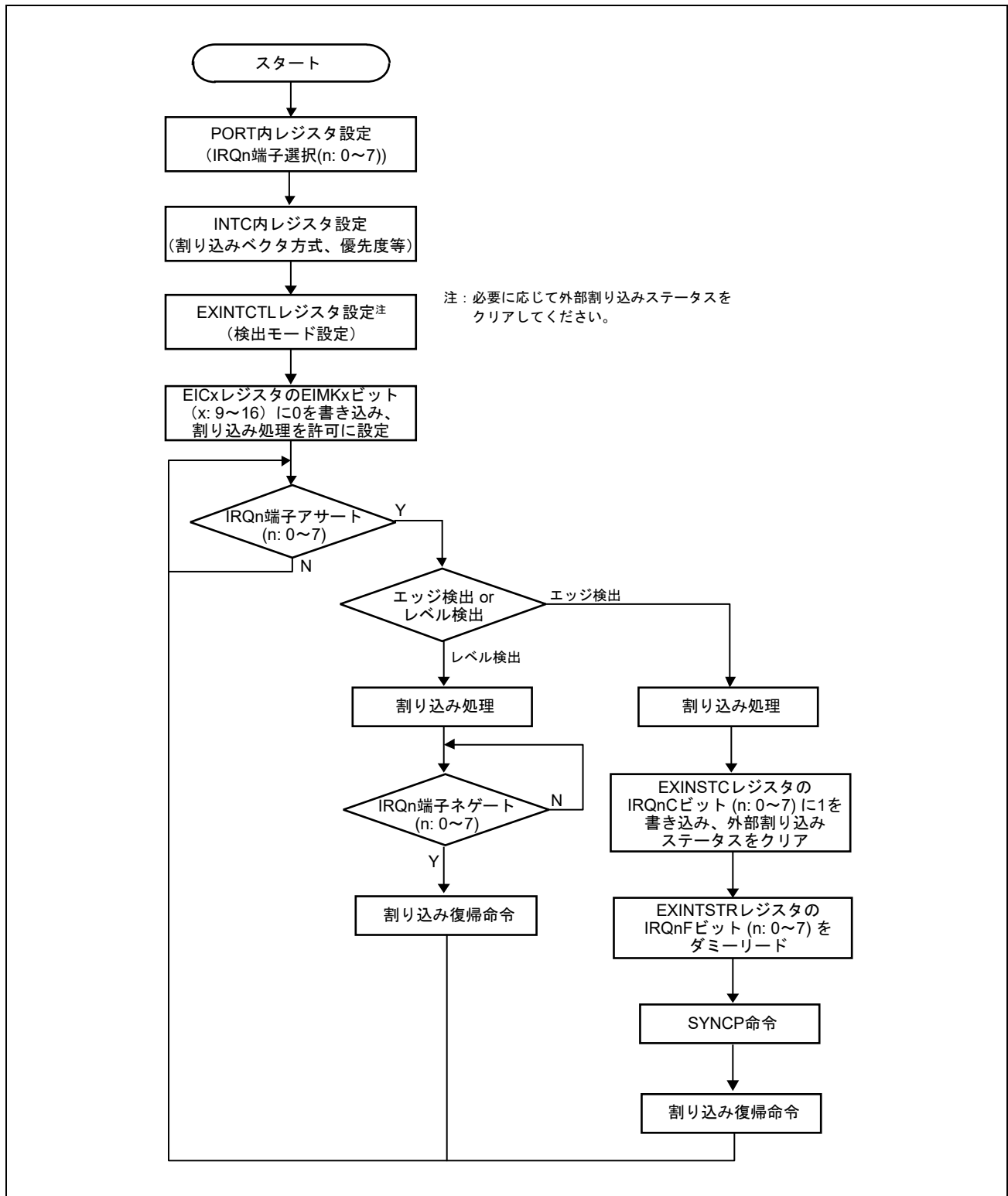


図 6.1 外部割り込み処理フロー例

6.5.6.2 プロセッサ割り込みフロー

プロセッサ間割り込み処理フロー例を図 6.2 に示します。

- プロセッサ間割り込みは PE 間割り込みレジスタ (IPIR0~3) の割り込み要求先 CPU の該当ビットに 1 を書き込むことで割り込み要求を発生します。
- PE 間割り込みレジスタ (IPIR0~3) の割り込み要求設定は、割り込み要求の通知を完了したら自動的に 0 にクリアされます。

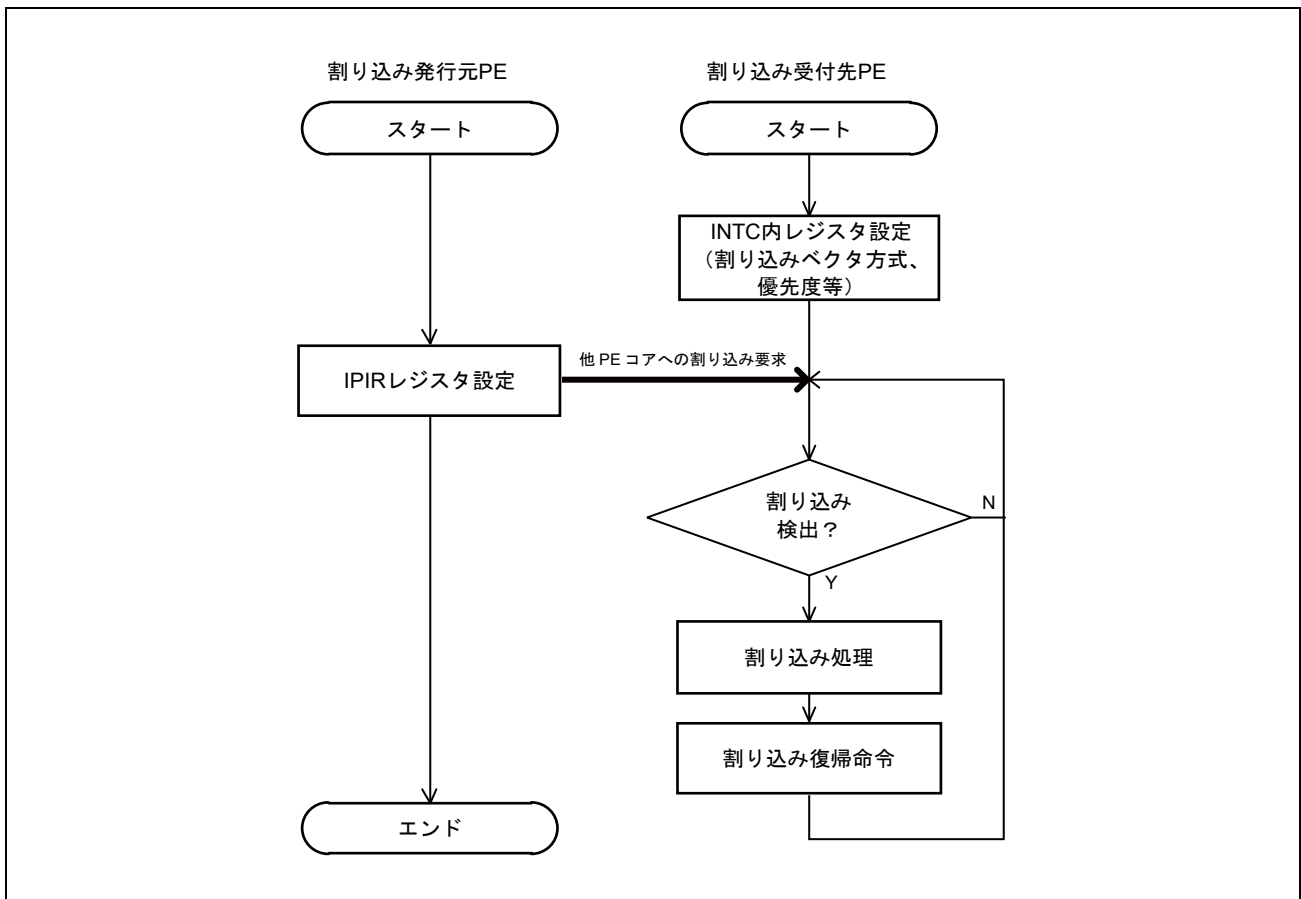


図 6.2 プロセッサ間割り込み処理フロー例

6.5.6.3 ソフトウェア割り込み処理フロー

ソフトウェア割り込みの割り込み処理フロー例を図 6.3 に示します。

- ソフトウェア割り込みは、カウンタレジスタ（SINTR0～SINTR7）に、00_Hまたは、01_Hを書き込む事で、割り込み要求を制御します。
- 00_Hを書き込んだ場合、カウンタ値は、1デクリメントされます。
- 01_Hを書き込んだ場合、カウンタ値は、1インクリメントされます。
- インクリメントされたカウンタ値が、1以上の場合、INTCへ割り込み要求を出します。
- INTC内での割り込み処理にて、1デクリメントを行い、割り込み復帰命令を実行した後、SINTR_nが00_Hであれば、SINTR_nへのアクセスを待ちます。SINTR_nへの01_H書き込みを待ちます。
- EMUソフトウェア割り込みの処理フローについても同様です。

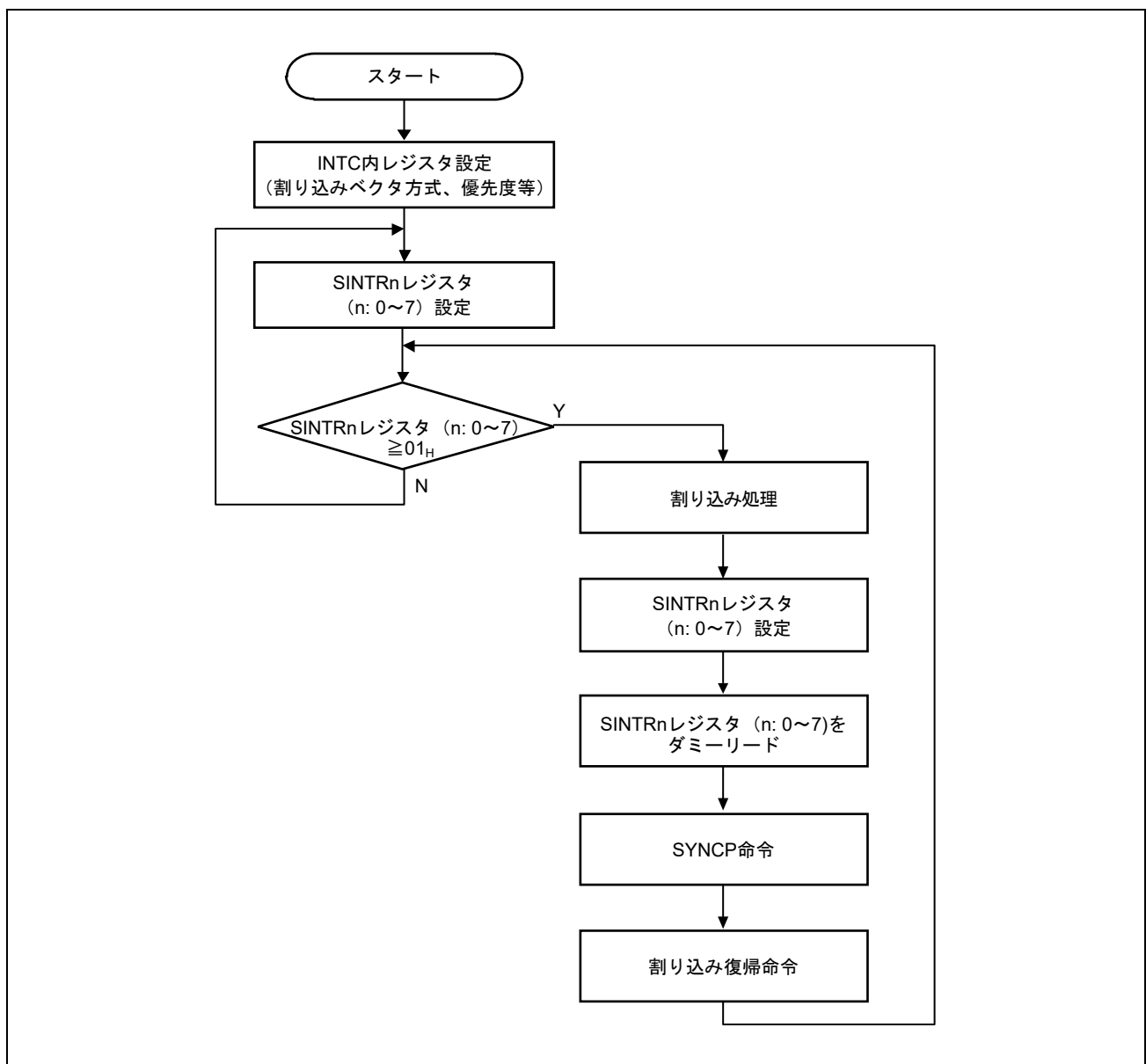


図 6.3 ソフトウェア割り込み処理フロー例

6.5.6.4 DTS 割り込み処理フロー

DTS 割り込み処理フロー例を図 6.4 に示します。

- 32 本に束ねた割り込み要因に対して、1 本のみ割り込み要求が発生した場合
 - PINTn レジスタの割り込み要求のあったビットに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) に 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行し、次の割り込み要求を待ちます。
- 32 本に束ねた割り込み要因に対して、複数の割り込み要因が発生した場合
 - 割り込み要求のある複数ビットの内、下位側ビットを抽出し、PINTn レジスタのその抽出したビットのみに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) の対象ビットに 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行します。
 - 割り込み処理を行った割り込み要求をクリアすることで、前回同様に割り込み要求に対応する PINTn レジスタの下位側ビットを抽出し、割り込み要求を出します。
 - 以後、32 ビットに束ねた割り込み要因がなくなるまで、繰り返されます。

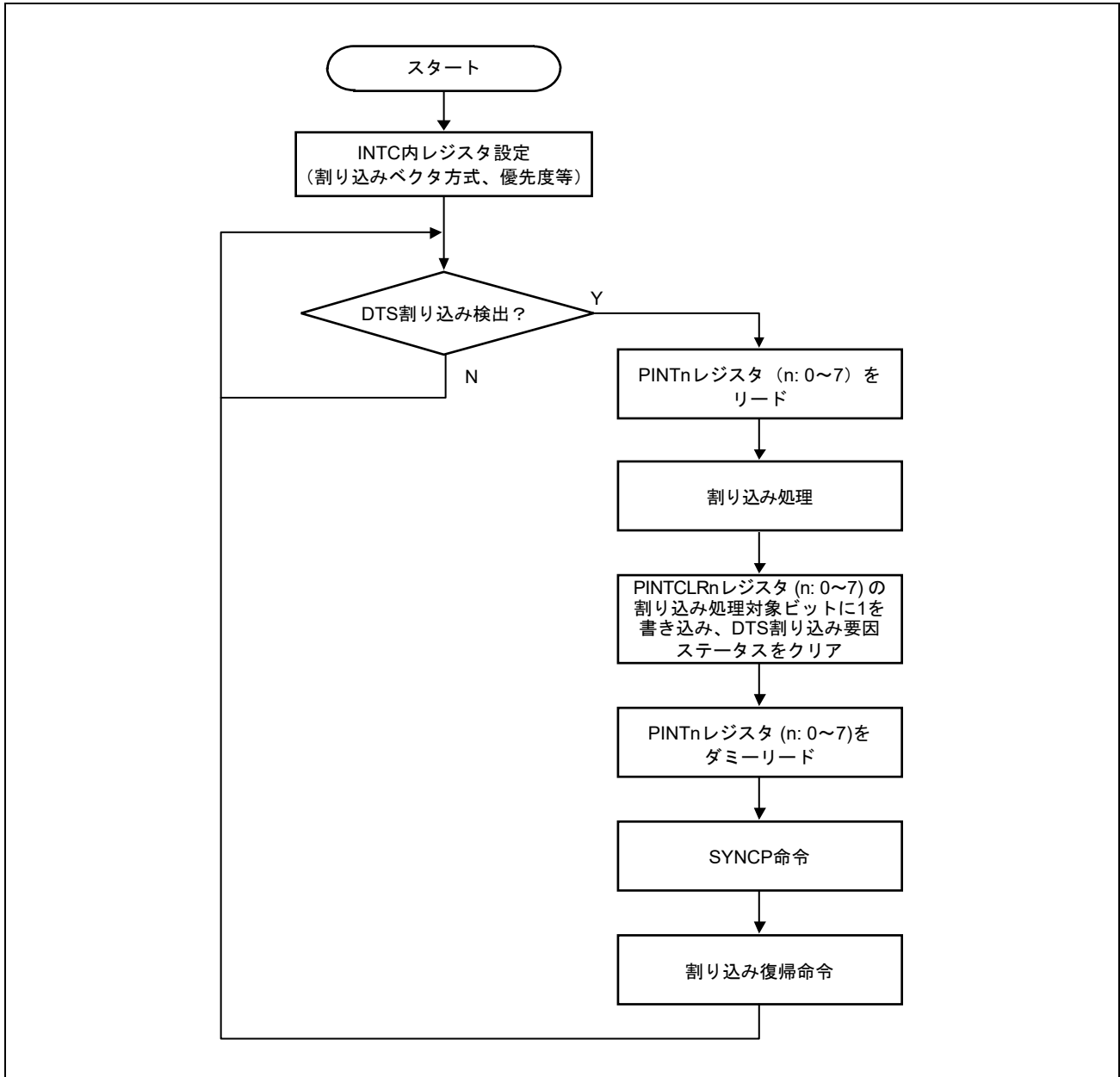


図 6.4 DTS 割り込み処理フロー例

6.6 割り込み応答時間

6.6.1 割り込み応答時間

表 6.14 割り込み応答時間

対象	割り込み要求元		処理サイクル				
	INTC 接続	動作クロック	同期化	INTC2	INTC1	CPU1, CPU2, SubCPU 内	合計 (エッジ検出で固定ベクタ方式 a) の場合)
CPU1/ CPU2/ Sub CPU	INTC1 に 直接入力	高速/低速周辺クロック	0	—	$2 \times l\phi$ $<1 \times l\phi>$	下記の CPU1, CPU2, SubCPU 内 を参照	$7 \times l\phi$
		非変調高速クロック	—	—			—
		非変調低速クロック	$5 \times P\phi$ $<2 \times P\phi>$	—			$5 \times P\phi + 7 \times l\phi$
	INTC2 経由で入力	高速/低速周辺クロック	0	$3 \times P\phi + 1 \times l\phi$ $<2 \times P\phi + 1 \times l\phi>$	—		$3 \times P\phi + 6 \times l\phi$
		非変調高速クロック	$4 \times P\phi$ $<2 \times P\phi>$				$7 \times P\phi + 6 \times l\phi$
		非変調低速クロック	$5 \times P\phi$ $<2 \times P\phi>$				$5 \times P\phi + 6 \times l\phi$

備考1. < >内は、レベル検出時のサイクル数を示します。

備考2. $P\phi = 4l\phi@320\text{MHz}$, $P\phi=3l\phi@240\text{MHz}$

$l\phi$: CPU クロック (CPU1、2: CLK_CPU、SubCPU: CLK_EMU_H)、 $P\phi$: 高速周辺クロック (CLK_HSB)

ベクタ方式	Cache HIT/MISS	CPU1, CPU2, SubCPU 内	ベクタ方式
固定ベクタ方式	a) ISR エントリ IS HIT	$5 \times l\phi$	a) 固定ベクタ方式
	b) ISR エントリ IS MISS	$9 \times l\phi$	
ベクタテーブル参照方式	c) ベクタ Code Flash 配置、ISR エントリ IS HIT	$13 \times l\phi$	b) ベクタテーブル参照方式 Code Flash 配置
	d) ベクタ Code Flash 配置、ISR エントリ IS MISS	$18 \times l\phi$	

備考 $P\phi = 4l\phi@320\text{MHz}$, $P\phi=3l\phi@240\text{MHz}$

6.7 割り込み要求信号によるデータ転送

割り込み要求信号により、DMAC・DTS を起動し、データ転送を行うことができます。
詳細は、「**第7章 DMA 機能**」を参照してください。

第7章 DMA 機能

7.1 概要

7.1.1 概要

DMA (Direct Memory Access) 機能とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC と DTS という 2 種類の方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ち、DTS は転送情報を専用の RAM (DTSRAM) に格納します。DMA は 8 チャンネルの DMAC モジュールを 2 つ、128 チャンネルの DTS モジュールを 1 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR、DTS の各チャンネルの DMA 転送要求を保持する機能を DTSFSL と称しています。DTFR と DTSFSL はそれぞれ 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、「**第4章 アドレス空間**」を参照してください。

7.1.2 語句の定義

本章で使用する語句を表 7.1 に示します。

表 7.1 語句の定義

語句	意味
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量 (8/16/32/64/128 ビット) のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC および DTS で DMA 転送を開始するトリガ
転送情報 (TI)	ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI (Transfer Information) と呼ぶ
DTSRAM	DTS が転送情報を格納するための RAM
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

7.2 DMA 機能

7.2.1 DMA 転送基本動作

7.2.1.1 転送モード

DMA には3種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを1回実行します。

ブロック転送1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行します。

7.2.1.2 DMA サイクルの実行

DMA は必ずリードサイクルが完了したあとで、ライトサイクルを実行します。

たとえば、転送データサイズが128ビットの場合は、128ビット分のデータのリードサイクルが完了したあとで、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

7.2.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレス/ディスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、ディスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、**表 7.2**のように更新します。

表 7.2 ソースアドレス/ディスティネーションアドレスの更新

カウント方向	転送データサイズ	更新後のアドレス
インクリメント	8ビット	更新前のアドレス + 0000_0001 _H
	16ビット	更新前のアドレス + 0000_0002 _H
	32ビット	更新前のアドレス + 0000_0004 _H
	64ビット	更新前のアドレス + 0000_0008 _H
	128ビット	更新前のアドレス + 0000_0010 _H
デクリメント	8ビット	更新前のアドレス - 0000_0001 _H
	16ビット	更新前のアドレス - 0000_0002 _H
	32ビット	更新前のアドレス - 0000_0004 _H
	64ビット	更新前のアドレス - 0000_0008 _H
	128ビット	更新前のアドレス - 0000_0010 _H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は**表 7.2**とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**7.2.3 リロード機能**」を参照してください。

転送回数/アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に1ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能2またはブロック転送2を使用する場合はDMA サイクルを実行するごとに常に1ずつ減算して更新されます。リロード機能2またはブロック転送2を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**7.2.3 リロード機能**」を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

7.2.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が1回の状態で実行されるDMA サイクルを指します。最終転送では、最終転送でないDMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされます。(DMACのみ)
- 最終転送が完了するとチャンネル動作有効 (DCENn.DTE) ビットがクリアされます。(DMACのみ、連続転送機能が無効の場合)
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能1が有効の場合は、最終転送でリロード機能1の動作が実行されます。
詳細は、「**7.2.3 リロード機能**」を参照してください。

アドレスリロード転送とは、リロード機能2が有効で、かつアドレスリロードカウントが1回の状態で実行されるDMA サイクルを指します。アドレスリロード転送では、リロード機能2の動作が実行されます。詳細は、「**7.2.3 リロード機能**」を参照してください。

7.2.1.5 転送完了割り込み、転送回数一致割り込み出力

DMA は、転送完了割り込みまたは転送回数一致割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル (DTCTn.TCE) がセットされている場合、最終転送が完了すると DMAC 転送完了割り込みを要求します。

DTS は、転送制御レジスタで転送完了割り込みイネーブル (DTTCTn.TCE) がセットされている場合、最終転送が完了すると DTS 転送完了割り込みを要求します。

転送回数一致割り込み出力

DMAC は、転送制御レジスタで転送回数一致割り込みイネーブル (DTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DMAC 転送回数一致割り込みを要求します。

DTS は、転送制御レジスタで転送回数一致割り込みイネーブル (DTTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DTS 転送回数一致割り込みを要求します。

図 7.1 に転送完了割り込み転送回数一致割り込みの動作を示します。

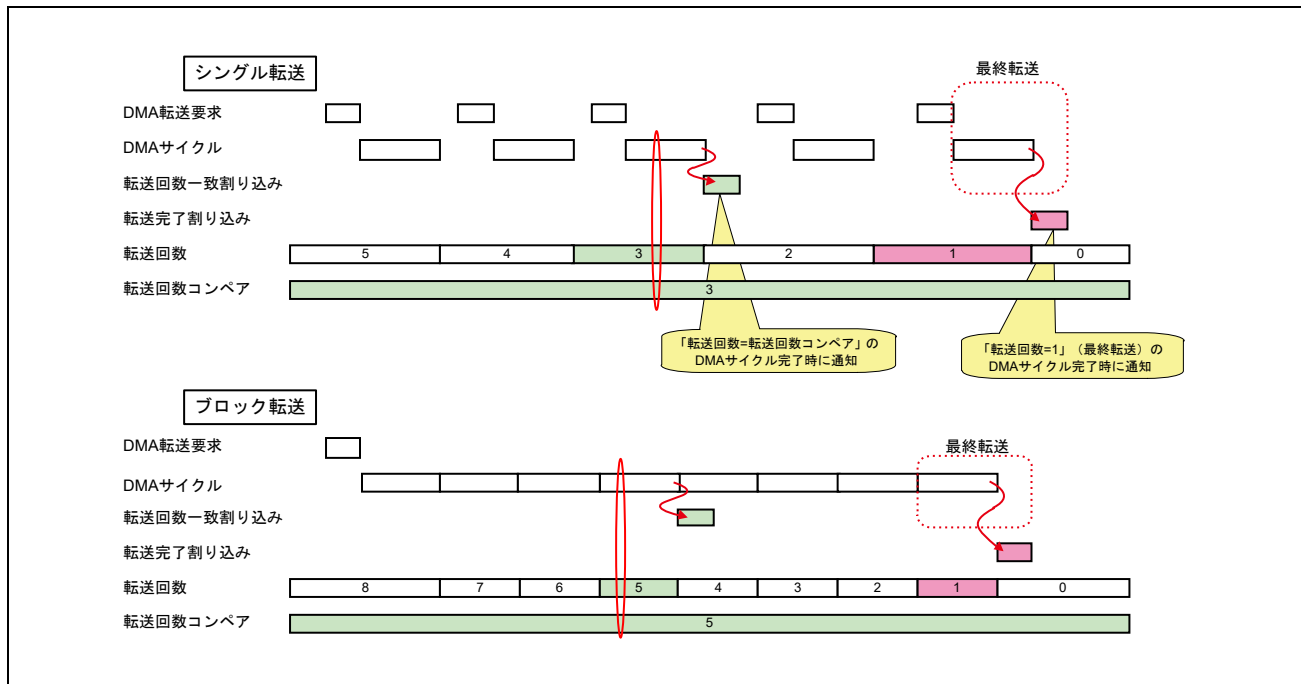


図 7.1 転送完了割り込み・転送回数一致割り込み

7.2.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされ、チャンネル動作有効 (DCENn.DTE) ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャンネル動作有効 (DCENn.DTE) ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数 of DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャンネル動作有効ビットのセットのためのソフトウェア処理のオーバーヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル (DTCTn.MLE) をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

DTS では、DMAC の連続転送イネーブル (DTCTn.MLE) に該当する設定はありません。DTS には DMAC の転送完了フラグ (DCSTn.TC) やチャンネル動作有効 (DCENn.DTE) の各ビットが存在しないためです。

DTS では、転送回数が 0 回の状態で DMA 転送要求が発生すると DMA 転送は行われません (DMAC で連続転送機能を利用しない場合の動作に相当します)。

DTS でリロード機能 1 を利用して、最終転送の完了時に転送回数を 0 回以外の値でリロードしておけば、次の DMA 転送要求を受け付けた際に DMA 転送を実行することができます（DMAC で連続転送機能を利用する場合の動作に相当します）。

図 7.2 に DMAC の連続転送の動作イメージを示します。

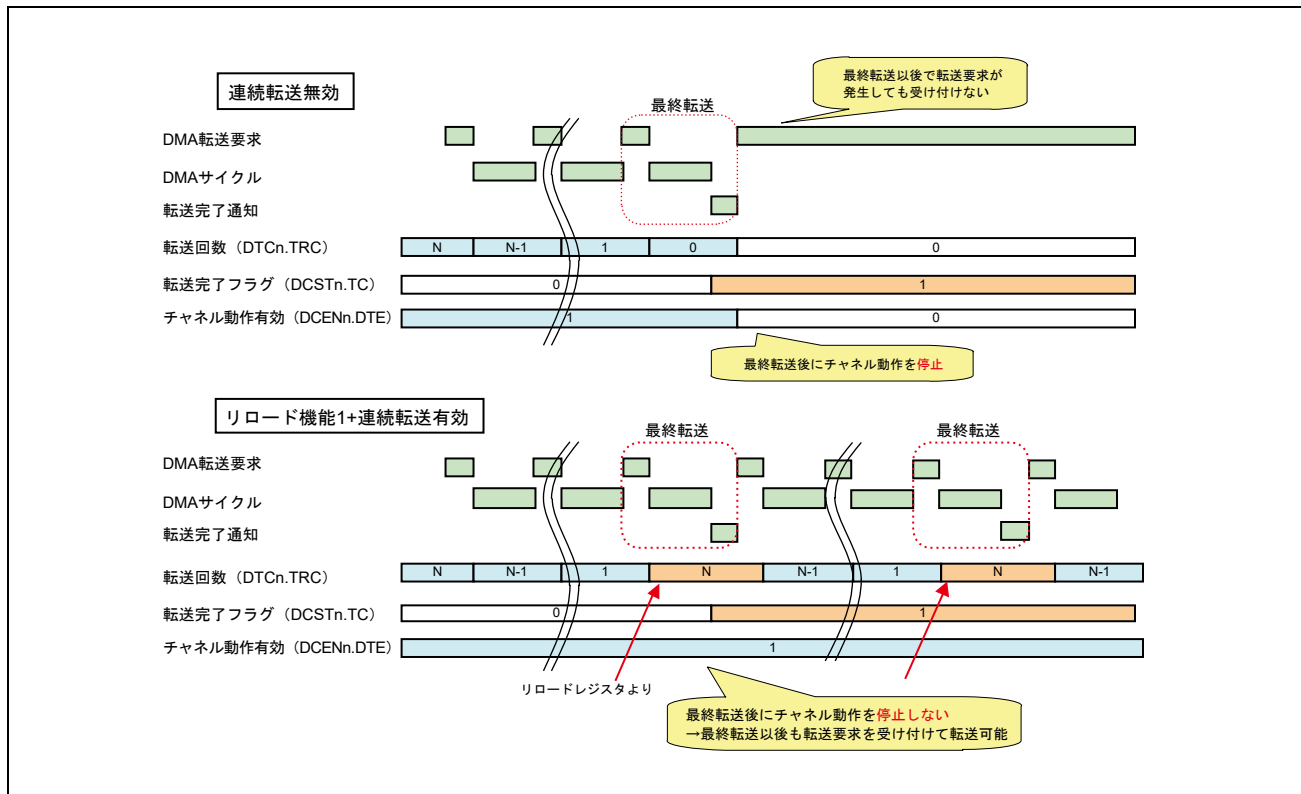


図 7.2 DMAC の連続転送の動作イメージ

7.2.2 チャンネルの優先順位

DMA の複数のチャンネル間のアービトレーションについて説明します。

7.2.2.1 DMAC チャンネルアービトレーション

DMAC では 8 チャンネルから 1 チャンネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 > チャンネル 4 > チャンネル 5 > チャンネル 6 > チャンネル 7」、DMAC1 では「チャンネル 8 > チャンネル 9 > チャンネル 10 > チャンネル 11 > チャンネル 12 > チャンネル 13 > チャンネル 14 > チャンネル 15」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャンネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャンネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャンネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャンネルアービトレーションを行うため、他の優先順位の高い DMAC チャンネルの DMA サイクルが割り込むことがあります。

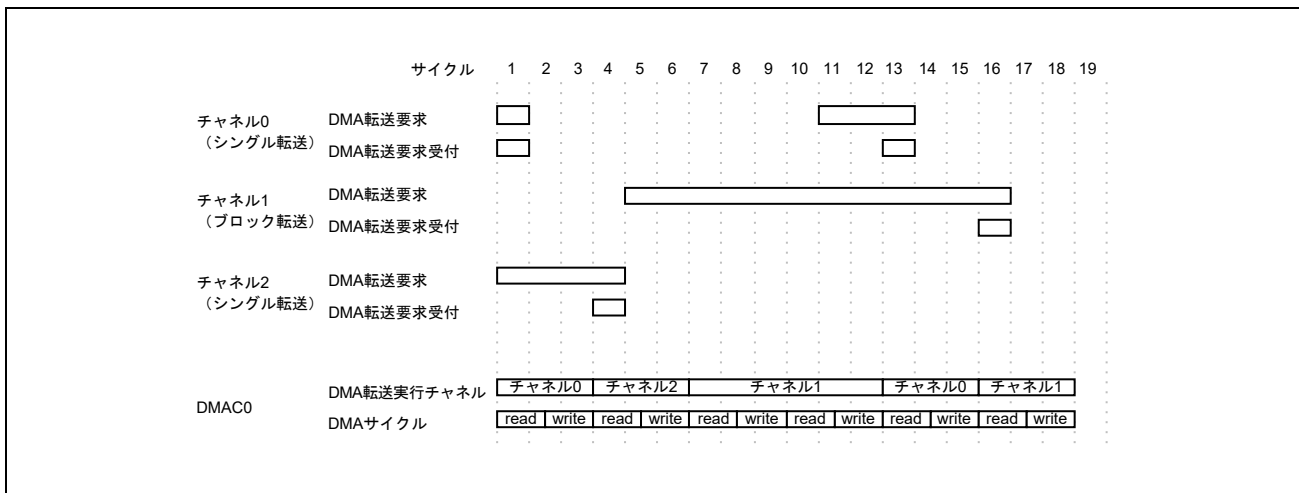


図 7.3 DMAC チャンネルアービトレーション

図 7.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.3 において、サイクル 1 でチャンネル 0 とチャンネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャンネル 1 の DMA 転送要求が発生しますが、チャンネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャンネル 1 の DMA サイクルを実行します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャンネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャンネル 0 とチャンネル 1 のアービトレーションの結果チャンネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャンネル 1 よりも優先度の高いチャンネル 0 の DMA サイクルを実行していることに注意してください。サイクル 15 でチャンネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャンネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャンネル 1 のブロック転送の最後の DMA サイクルが完了しています。

7.2.2.2 DTS チャンネルアービトレーション

複数の DTS チャンネルで DMA 転送要求がある場合、DTSFSL で DTS チャンネルアービトレーションを行います。DTS の各チャンネルは、DTS チャンネル優先度設定レジスタで 4 段階の優先度が設定可能です。

複数の DTS チャンネルで DMA 転送要求がある場合のアービトレーションは、

1. DTS チャンネル優先度設定レジスタで設定した優先度の高いチャンネルを優先
2. DTS チャンネル優先度設定レジスタで設定した優先度が同一の場合は、チャンネル番号が小さいチャンネルを優先します。

DTSFSL は、アービトレーションにより選択したチャンネルの DMA 転送要求を DTS に伝えます。DTS は、DMA 転送要求を受け付けると DMA 転送を実行します。

DMAC での DMA 転送と異なり、DTS での DMA 転送ではブロック転送の途中で DTS チャンネル間のアービトレーションは行われません。つまり、あるチャンネルのブロック転送を実行中に、優先順位の高いチャンネルの DMA 転送要求があった場合でも、優先順位の低いチャンネルのブロック転送が終了する^{注1}までは、優先順位の高いチャンネルの DMA 転送は実行されません。

注1. ブロック転送が終了するのは、ブロック転送 1 の最終転送か、ブロック転送 2 の最終転送またはアドレスリロード転送が発生した時点

DTS がブロック転送 1 またはブロック転送 2 を実行する場合は、最終転送まで他の優先順位の高い DTS チャンネルの DMA サイクルが割り込むことはありません。

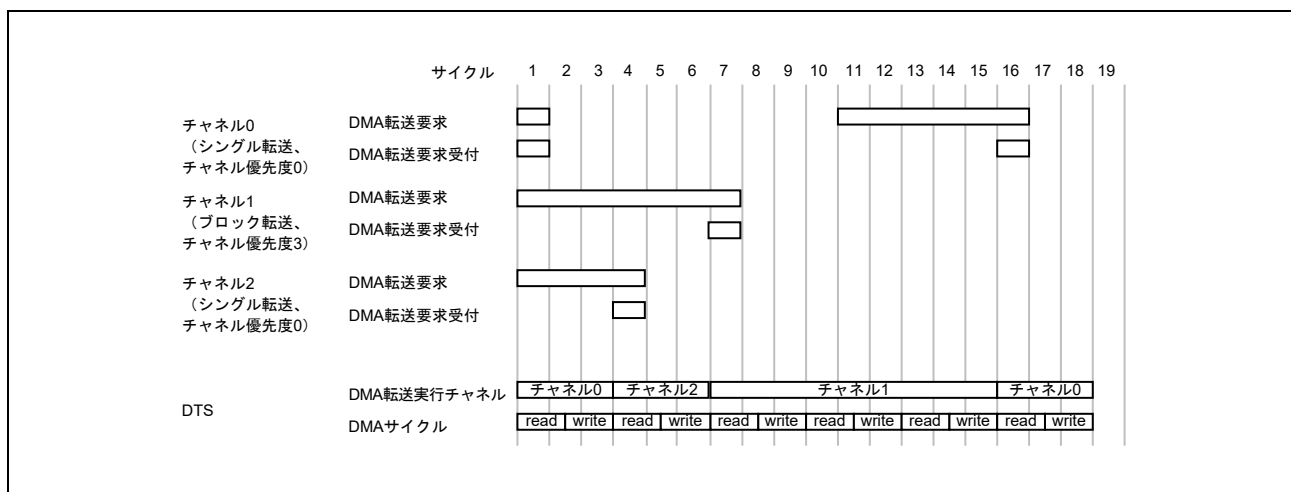


図 7.4 DTS チャンネルアービトレーション

図 7.4 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.4 において、サイクル 1 でチャンネル 0 とチャンネル 1 とチャンネル 2 の DMA 転送要求があります。チャンネル 0 およびチャンネル 2 のチャンネル優先度は 0 でチャンネル 1 のチャンネル優先度 3 よりも高く、またチャンネル優先度が同一の場合はチャンネル番号の小さいチャンネルが優先度が高くなるため、アービトレーションの優先度は「チャンネル 0 > チャンネル 2 > チャンネル 1」となり、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 1 とチャンネル 2 のアービトレーションの結果チャンネル 2 の DMA サイクルの実行を開始します。サイクル 7 でチャンネル 1 の DMA サイクルの実行を開始します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であ

るため、チャンネル 1 のブロック転送が終了するまでアービトレーションは行われません。サイクル 15 でチャンネル 1 のブロック転送が終了し、サイクル 16 でチャンネル 0 の DMA サイクルの実行を開始します。

7.2.2.3 インタフェースアービトレーション

DMAC0、DMAC1、DTS はそれぞれ独立して動作し、DMA 転送を実行します。

DMAC0、DMAC1、DTS の要求が競合した場合は、ラウンドロビンによるアービトレーションを行います。

7.2.3 リロード機能

7.2.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

7.2.3.2 リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって表 7.3 の動作を行います。

表 7.3 リロード機能 1 動作

リロード機能 1 設定 (DTCTn.RLD1M[1:0])	レジスタ	最終転送時の動作
00 (リロード機能 1 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 1 有効、ソースアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
10 (リロード機能 1 有効、ディスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
11 (リロード機能 1 有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー

図 7.5 にリロード機能 1 の動作イメージを示します。

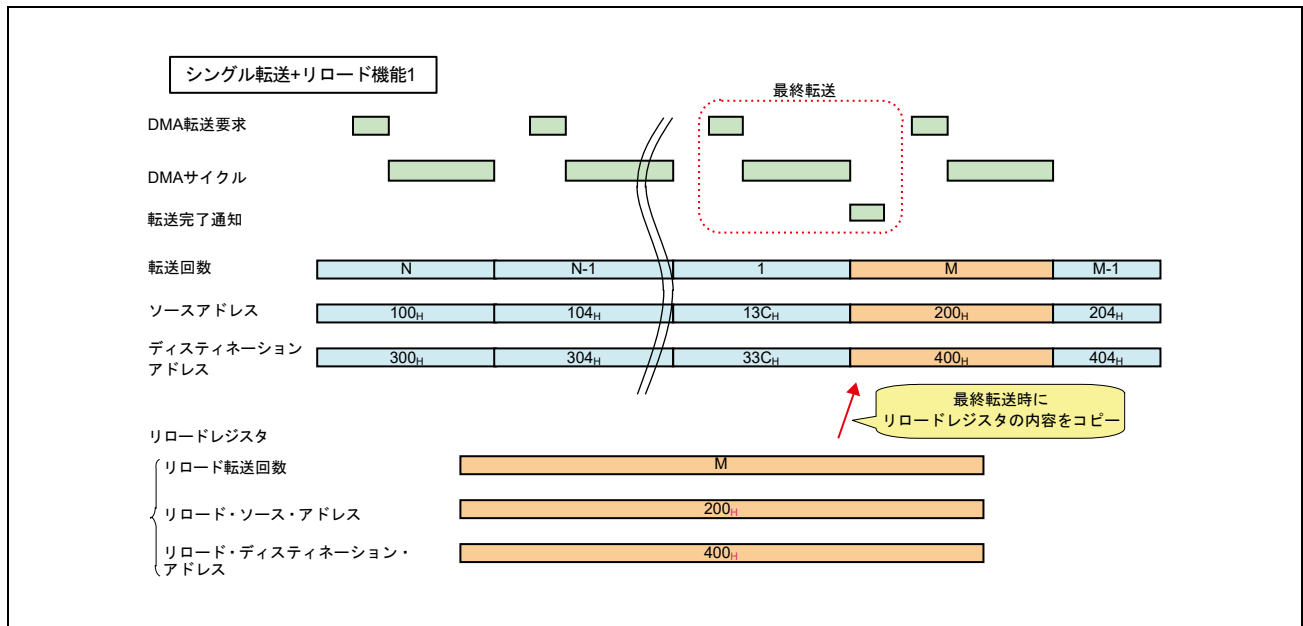


図 7.5 リロード機能 1 動作イメージ

7.2.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって表 7.4 の動作を行います。

表 7.4 リロード機能 2 動作

リロード機能 2 設定 (DTCTn.RLD2M[1:0])	レジスタ	アドレスリロード転送時の動作
00 (リロード機能 2 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 2 有効、ソースアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 (リロード機能 2 有効、ディスティネーションアドレスをリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 (リロード機能 2 有効、ソースアドレスとディスティネーションアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

図 7.6 にリロード機能 2 の動作イメージを示します。

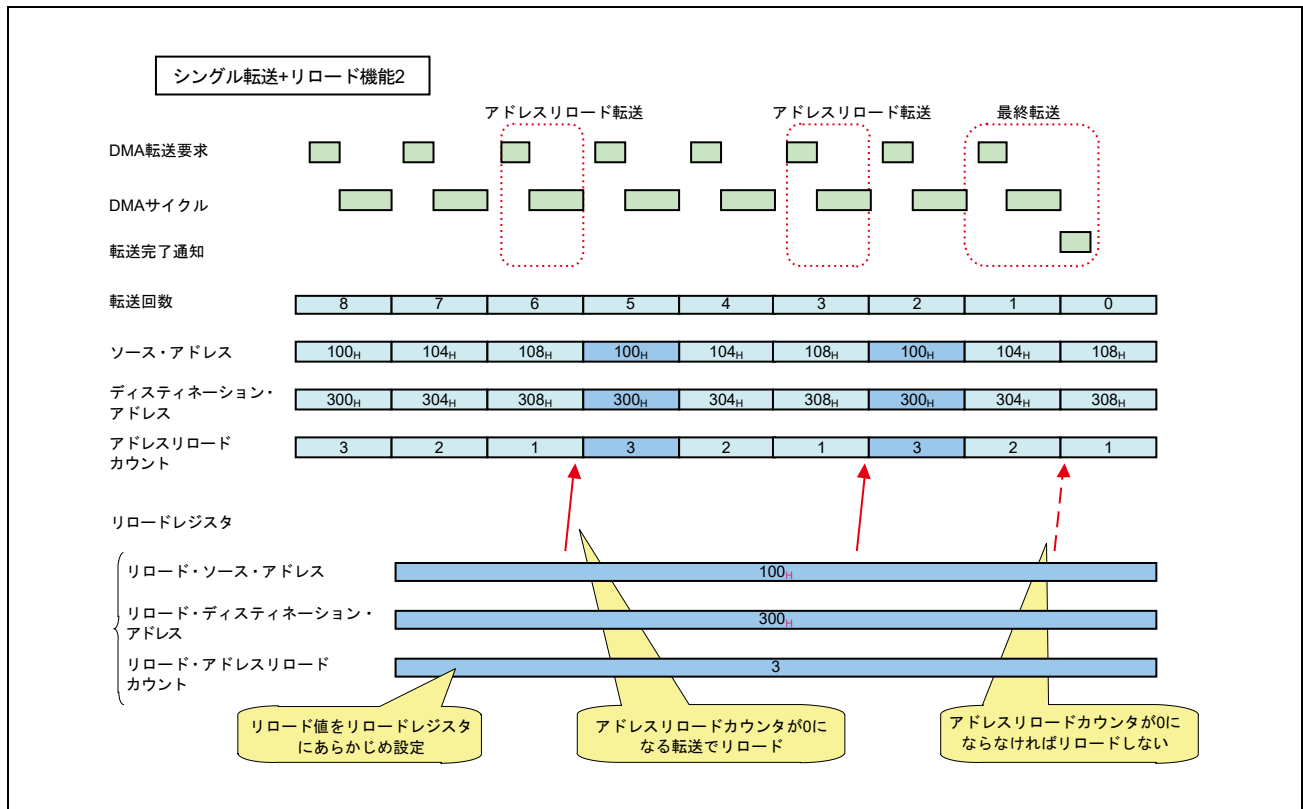


図 7.6 リロード機能 2 動作イメージ

図 7.7 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

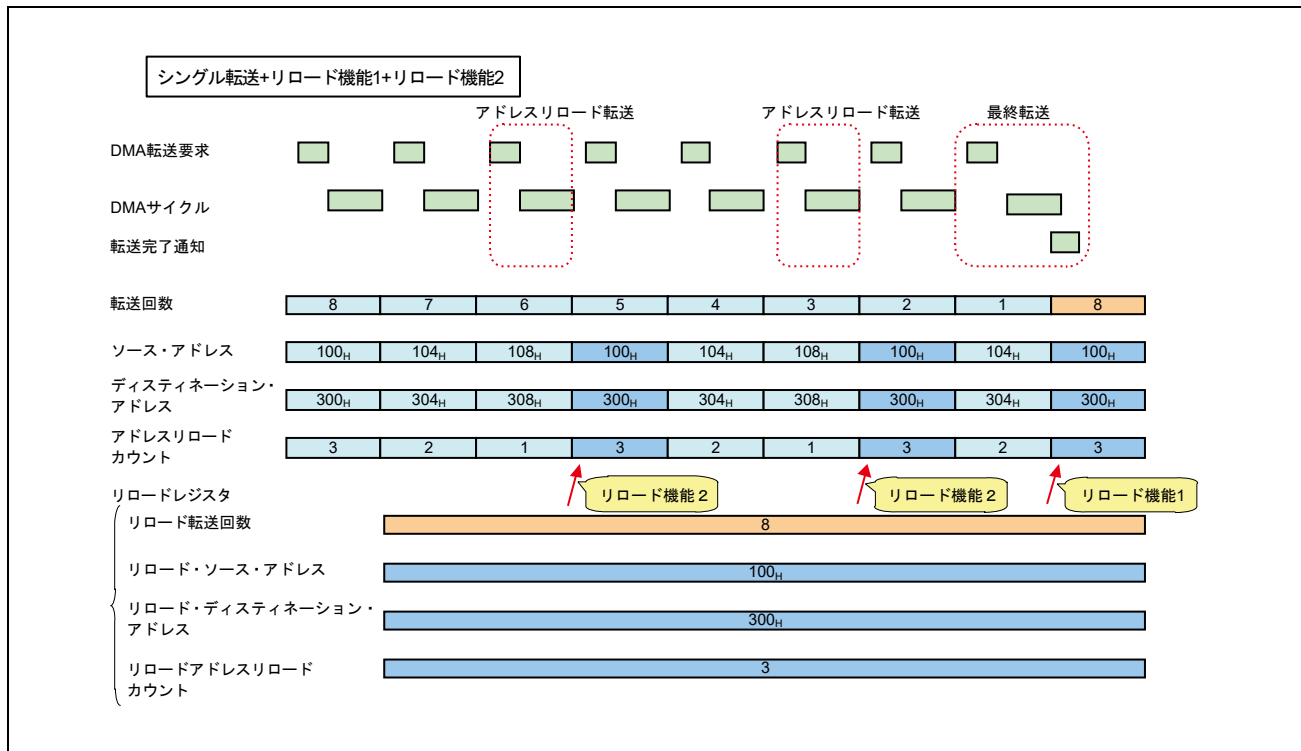


図 7.7 リロード機能 1 + リロード機能 2 動作イメージ

7.2.3.4 DMAC のリロードレジスタ設定タイミング

リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタはいつでも（DMA 転送中でも）設定が可能です。ただし、DMA 転送中にリロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

DMA 転送中にリロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタの内容を書き換える必要がある場合、書き換えのタイミングを知る方法として、DMA 転送回数一致割り込みを使用する方法があります。その場合、リロードレジスタの内容を書き換えるのに必要な時間を十分確保できるように DMA 転送回数コンペアレジスタ（DTCCn）を設定してください。

7.2.3.5 DTS のリロード情報設定タイミング

DTS のリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報の設定のタイミングは、転送モードによって異なるため注意が必要です。

シングル転送の場合には、最終転送またはアドレスリロード転送の開始時に TI フェッチした内容をもとに、DMA サイクル完了時にリロード動作を行います。このため、シングル転送でリロード機能を使用する場合には、最終転送またはアドレスリロード転送の開始前に、TI のリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報を設定しておく必要があります。

ブロック転送の場合には、TI フェッチが行われるのは DMA 転送の開始時のみです。最終転送またはアドレスリロード転送時には、DMA 転送の開始時に TI フェッチした情報にしたがってリロード動作を行います。このため、ブロック転送でリロード機能を使用する場合には、DMA 転送の開始前に TI のリロードソースアド

レス情報、リロードディスティネーションアドレス情報、リロード転送回数情報を設定しておく必要があります。ブロック転送の実行の途中でTIのリロードソースアドレス情報、リロードディスティネーションアドレス情報、リロード転送回数情報を書き換えた場合には、そのブロック転送の完了時のリロード動作には反映されません。

7.2.4 チェイン機能

7.2.4.1 概要

DMA は、あるチャンネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャンネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャンネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の2つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 7.8 に常にチェインの動作イメージを示します。

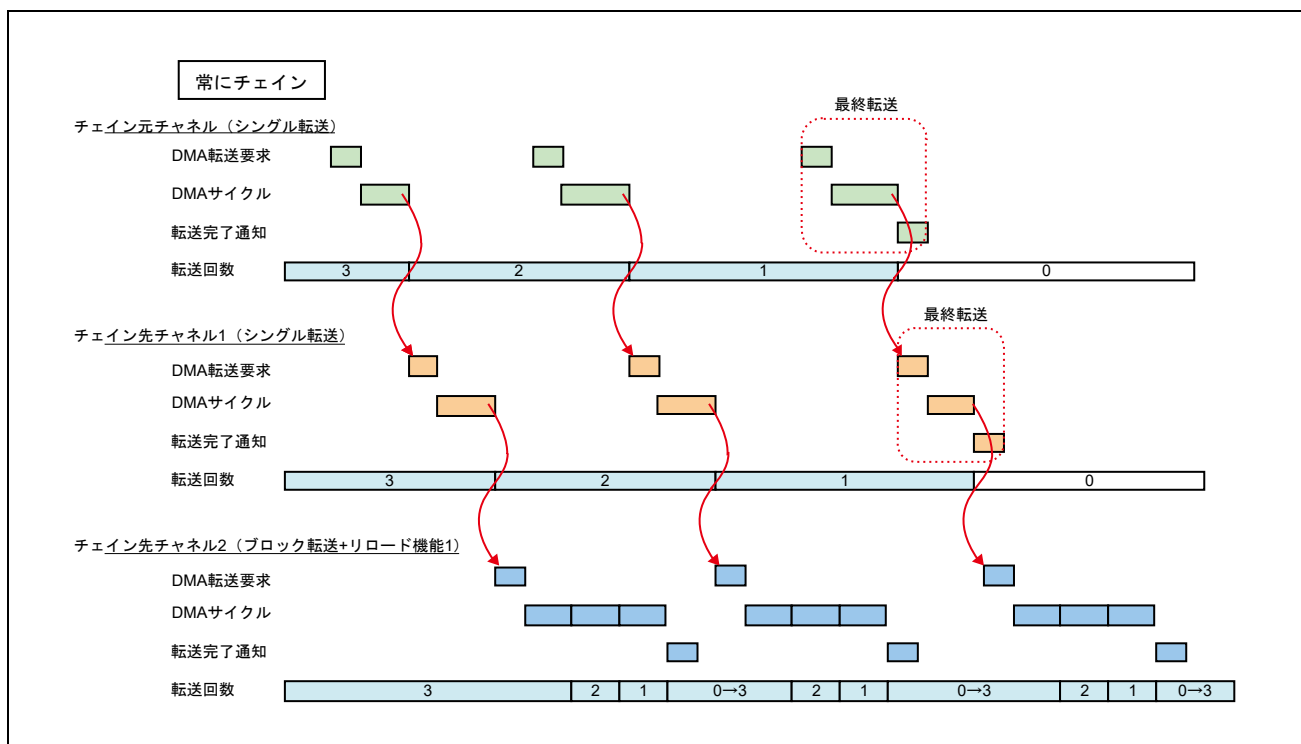


図 7.8 常にチェインの動作イメージ

図 7.9 に最終転送でチェーンの動作イメージを示します。

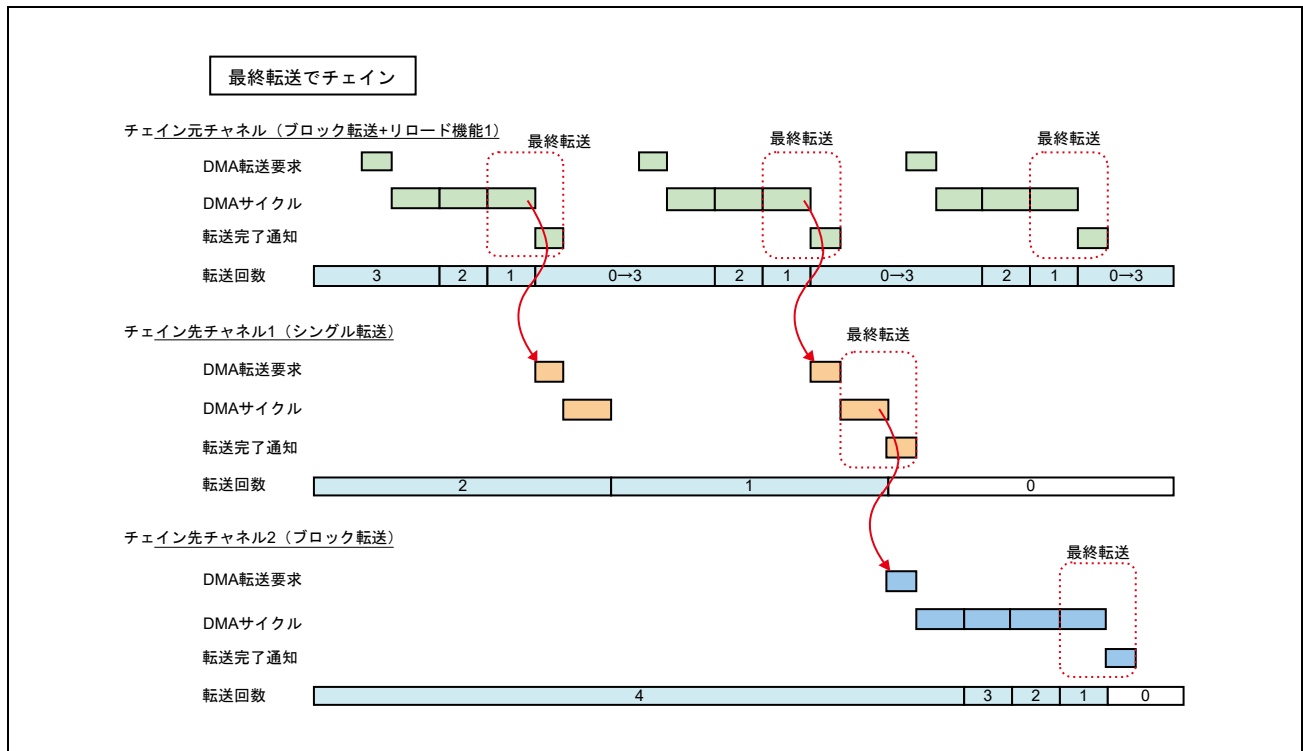


図 7.9 最終転送でチェーンの動作イメージ

7.2.4.2 チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェーンイネーブル (DTCTn.CHNE) およびチェーン先選択 (DTCTn.CHNSEL) に、チェーン動作の種類およびチェーン先のチャンネル番号を設定します。

DTS の場合は、DTS 転送制御レジスタのチェーンイネーブル (DTTCTnmm.CHNE) およびチェーン先選択 (DTTCTnmm.CHNSEL) に、チェーン動作の種類およびチェーン先のチャンネル番号を設定します。

7.2.4.3 チェイン機能使用時の注意

チェーン動作は、チェーン先のチャンネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェーン先となるチャンネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャンネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャンネルをチェーン先に指定した場合には、チェーン動作を行うことができません。

チェーン先のチャンネルは、チェーン元のチャンネルと同一のモジュール内 (DMAC0、DMAC1、DTS) のチャンネルに限られます。異なるモジュールのチャンネルをチェーン先として指定することはできません。

7.2.5 DMAC 動作

7.2.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DRS) ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャンネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

7.2.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ (DCSTSn) を使用して DMAC 転送ステータスレジスタ (DCSTn) のソフトウェア DMA 転送要求フラグ (SR) をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用してソフトウェアでクリアすることも可能です。DMAC チャンネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

7.2.6 DTS 動作

7.2.6.1 DMA 転送要求の種類と割り当て

DTS はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。

DTS の転送要求は、DTSFSL の転送要求保持状態ビットにチャンネルごとに保持されます。DTSFSL ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビットに保持されます。DTS は DMA 転送を実行する際に、DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。

DTS のハードウェア DMA 転送要求は、DTSFSL で 128 種類のハードウェア DMA 転送要因が DTS の 128 チャンネルに固定的に割り当てられています。この割り当てはレジスタなどで変更することはできません。

7.2.6.2 DMA 転送要求の発生と受け付け

DTSFSL はハードウェア DMA 転送要因入力を検出すると転送要求保持状態ビットをセットして DMA 転送要求として保持します。転送要求保持状態ビットがセットされており、DTSFSL 動作設定レジスタの転送要求有効ビット (DTSFSL_{nnn}.REQEN) がセットされている場合、DTSFSL は DTS に対して DMA 転送要求があることを通知します。

ソフトウェアで DTSFSL 転送要求セットレジスタ (DTSFSS_{nnn}) を使用して、DTSFSL 転送要求ステータスレジスタの転送要求保持状態ビット (DTSFST_{nnn}.DRQ) をセットすることでも、DMA 転送要求を発生させることができます。

DTSFSL が保持可能な DMA 転送要求はチャンネルごとに 1 つです。あるチャンネルの転送要求保持状態ビットがセットされている状態で、同じチャンネルに対して後続のハードウェア DMA 転送要因入力が入力されても、後続のハードウェア DMA 転送要因入力は無視します。

DTS では、DMA 転送要求を受け付けると、DMA 転送要求受け付けを通知します。

転送要求保持状態ビットは、DTS が DMA 転送要求を受け付けると自動的にクリアされます。DTSFSL の転送要求保持状態ビットは、DTS で実行する DMA 転送の種類によらず、DTS が DMA 転送要求を受け付けた際に自動的にクリアされます。

転送要求保持状態ビットは、DTSFSL 転送要求クリアレジスタ (DTSFSC_{nnn}) を利用してクリアすることも可能です。DTS が DMA 転送要求を受け付ける前に転送要求保持状態ビットをクリアした場合は、そのチャンネルの DMA 転送が実行されることはありません。

7.2.6.3 DMA 転送の実行

DTS は DMA 転送要求を受け付けたチャンネルの DMA 転送を実行します。

複数のチャンネルからの DMA 転送要求が存在する場合には、DTSFSL が DTS チャンネルアービトラージョンを行って DMA 転送要求を行うチャンネルを決定します。

DTS で DMA 転送を実行中の場合は、DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットがセットされます。また、DMA 転送を実行中のチャンネル番号が同じレジスタの DTS 転送チャンネル (DTSSTS.DTSACH) にセットされます。DMA 転送が完了したり、DMA 転送エラーやレジスタ操作により DMA 転送が中止されたりして、DMA 転送を実行中のチャンネルがなくなった場合には、DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。

7.2.6.4 DTSRAM アクセス

DTS では、DMA 転送の開始時および DMA 転送の終了時に DTSRAM アクセスを行います。

DTS が DMA 転送の開始時に DTSRAM から転送情報を読み出す動作を TI フェッチと呼びます。

DTS が DMA 転送の終了時に DTSRAM 上の転送情報を更新する動作を TI ライトバックと呼びます。

シングル転送では DMA サイクルの開始時に TI フェッチを行い、DMA サイクルの完了時に TI ライトバックを行います。

ブロック転送では、最初の DMA サイクルの開始時に TI フェッチし、ブロック転送完了の条件（最終転送またはアドレスリロード転送）の DMA サイクルの完了後に TI ライトバックを行います。

したがって、シングル転送では DMA サイクルごとに DTSRAM 上の転送情報が更新されます。ブロック転送ではブロック転送の完了後に DTSRAM 上の転送情報が更新されます。ブロック転送の実行中に、ソフトウェアで DTSRAM 上の転送情報を読み出した場合は、ブロック転送の開始時の転送情報が読み出されません。

7.3 一時中断／再開、転送中止および DMA 転送要求のクリア

7.3.1 ソフトウェア制御による DMA 一時中断／再開

DMA 制御レジスタ (DMACTL) により、全チャンネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) がセットされると、DMA は全チャンネル一時中断状態に移行します。全チャンネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャンネル一時中断状態から通常状態に復帰し、一時中断状態だったチャンネルの DMA 転送は再開されます。

全チャンネル一時中断状態では、DMAC の各チャンネルの DCENn.DTE ビットおよび DTS の DTSCTL1.DTSUST ビットの状態は変わりませんが、すべてのチャンネルの DMA 転送は一時中断された状態になります

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断／再開および転送中止」の注意事項をご参照ください。

7.3.2 DMAC チャンネルの一時中断／再開および転送中止

DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアまたは DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DMAC チャンネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後に DMA 転送を一時中断します。一時中断の状態では DCENn.DTE ビットを再びセットまたは DMACTL.DMASPD ビットをクリアすると、一時中断した DMA チャンネルの DMA 転送を再開します。

DMAC チャンネルで実行中の DMA 転送を中止したい場合、DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアしたあとで、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット (DCSTn.SRC) を利用してソフトウェア DMA 転送要求フラグ (DCSTn.SR) をクリアしてください。

図 7.10 に DMAC チャンネルの一時中断／再開転送中止の動作例を示します。

図 7.10 では、チャンネル 0 とチャンネル 1 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 が DMA 転送を開始します。時間 2 でチャンネル 0 の DMA 転送要求が受け付けられ、DMAC チャンネルアービトラージョンにより、チャンネル 1 よりも優先度の高いチャンネル 0 の DMA 転送を開始します。時間 3 でチャンネル 0 の最終転送が完了し、チャンネル 1 のブロック転送の残りの DMA 転送を開始します。時間 4 でチャンネル 1 の最終転送が完了します。時間 5 以降は同様にチャンネル 0 とチャンネル 1 の DMA 転送を実行しますが、時間 7 でチャンネル 0 の DMA 転送が一時中断され、DMAC チャンネルアービトラージョンによりチャンネル 1 の DMA 転送を開始します。時間 8 でチャンネル 1 の最終転送が完了したあと、時間 9 でチャンネル 0 の DMA 転送を再開しています。時間 10 で再びチャンネル 0 の DMA 転送を一時中断し、時間 11 でチャンネル 0 の DMA 転送を中止しています。時間 12 でチャンネル 0 の一時中断状態を解除していますが、時間 11 で DMA 転送が中止されているためチャンネル 0 の DMA 転送は実行されません。

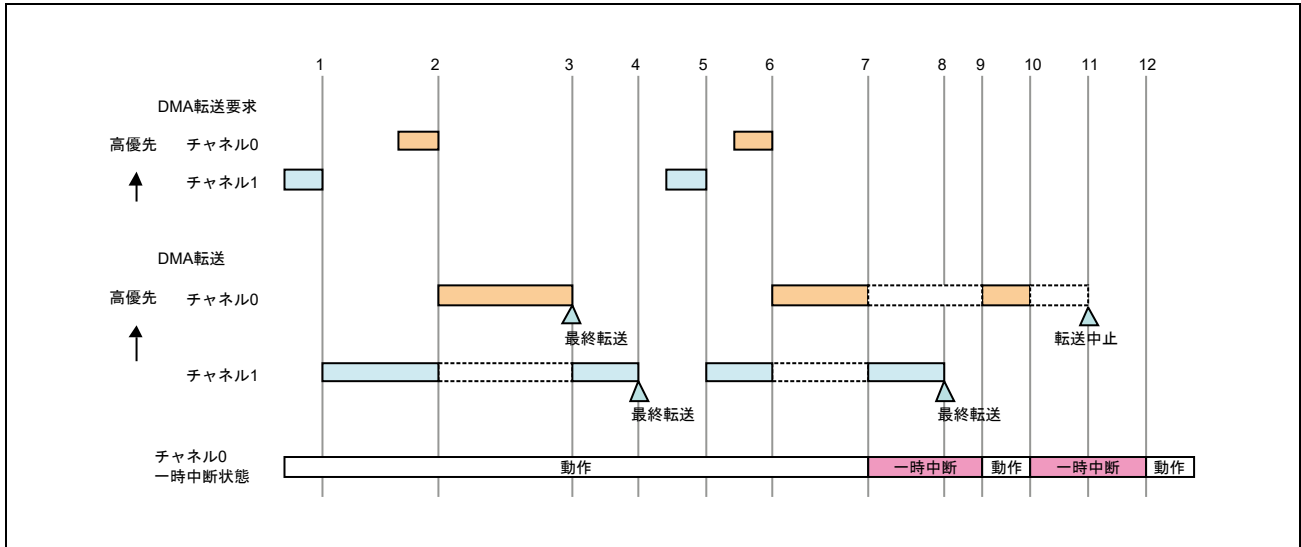


図 7.10 DMAC チャンネルの一時中断／再開転送中止の動作例

7.3.3 DTS の一時中断／再開および転送中止

DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCCTL1.DTSUST) または DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DTS で実行中の DMA 転送を一時中断することができます^{注1}。DMA サイクルを実行中の場合、DMA サイクルが完了した時点で一時中断状態になります。実行中の DMA サイクルがシングル転送、またはブロック転送を完了する転送（最終転送またはアドレスリロード転送）の場合は、DMA サイクルの完了後、TI ライトバックを行ったあとに一時中断状態になります。それ以外の DMA サイクルを実行中の場合は、DMA サイクルの完了後、TI ライトバックは行わずに一時中断状態になります。一時中断状態から DMA 転送を再開するには DTS 制御レジスタ 1 の DTS 一時中断ビットまたは DMA 制御レジスタの DMA 一時中断ビットをクリアします^{注1}。

注1. DTS で実行中の DMA 転送を一時中断/再開する前に DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。一時中断/再開する際には、以下の処置を行ってください。

(a) DTS を一時中断する際の手順

1. DMA 転送要求有効ビット (DTFSLnnn.REQEN) がセットされている全ての DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をクリアする。
2. DTSCCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをセットする。

(b) DTS を再開する際の手順

1. (a)の 1.でクリアした DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットする。
2. (a)の 2.でセットした DTSCCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをクリアする。

DTS で実行中の DMA 転送を中止したい場合は、上記の操作のうち、DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCCTL1.DTSUST) を使用して DTS を一時中断状態にした後、DTS 制御レジスタ 2 の DTS 転送中止要求ビット (DTSCCTL2.DTSTIT) をセットすることで、一時中断中の DMA 転送を中止することができます。転送中止の際に TI ライトバックは行われません。また、転送中止の操作を行った場合も DTS 一時中断ビット (DTSCCTL1.DTSUST) の状態は変わりませんので、転送中止後に DTS で別の DMA 転送要求を受け付けたい場合は、DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットした後、DTS 一時中断ビットをクリアしてください。

図 7.11 に DTS の一時中断／再開転送中止の動作例を示します。

図 7.11 では、チャンネル 0、チャンネル 1 およびチャンネル 2 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 2 でチャンネル 0 とチャンネル 2 の DMA 転送要求が発生しています。時間 3 でチャンネル 1 の最終転送が完了し、DTS チャンネルアービトレーションにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられチャンネル 0 の DMA 転送を開始します。時間 4 でチャンネル 0 の最終転送が完了し、チャンネル 2 の DMA 転送を開始します。時間 5 で DTS が一時中断状態にセットされ、チャンネル 2 の DMA 転送は一時中断されます。時間 6 でチャンネル 0 とチャンネル 1 の DMA 転送要求が発生しています。時間 7 で DTS の一時中断状態がクリアされ、ブロック転送の途中で一時中断となったチャンネル 2 の DMA 転送が再開されます。ブロック転送の途中で一時中断となった場合、再開時に DTS チャンネルアービトレーションは行われません。時間 8 でチャンネル 2 の最終転送が完了し、DTS チャンネルアービトレーションにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 9 で DTS が一時中断状態にセットされ、時間 10 で一時中断中のチャンネル 0 の DMA 転送が中止されています。時間 11 で DTS の一時中断状態がクリアされると、現在 DMA 転送中のチャンネルは存在しないため、DMA 転送要求のあるチャンネル 1 の DMA 転送が開始されます。

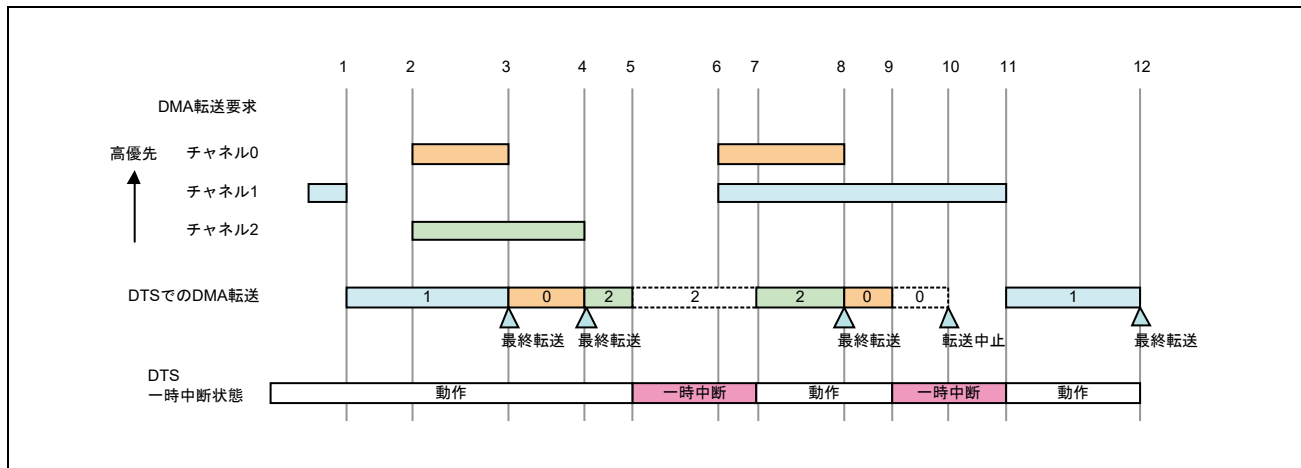


図 7.11 DTS の一時中断／再開転送中止の動作例

7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット (DTFRn.REQEN) をクリアすることで、一時的に DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化 (マスク) することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア (DTFRn.DRQC) ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャンネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択保持回路は動作したままですので、DMAC チャンネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャンネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送 (1 または 2) の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効 (DTFRn.REQEN = 0) に設定した場合、実行中のブロック転送が中断します。

7.3.5 DTSFSL の DMA 転送要求マスクおよびクリア

DTS では、DTSFSL 動作設定レジスタの転送要求有効ビット (DTSFSLnnn.REQEN) をクリアすることで、一時的に DTS に対するそのチャンネルからの DMA 転送要求を無効化 (マスク) することができます。(実際の動作としては、DTSFSL 内で DTS チャンネルアービトラレーションの際に、そのチャンネルをアービトラレーション対象から除外します。)

また、DTSFSL 転送要求クリアレジスタの転送要求クリア (DTSFSLnnn.DRQC) ビットを使用して、DTSFSL で保持している DMA 転送要求をクリアすることができます。

DTS の状態や DTSFSL の転送要求有効ビット (DTSFSLnnn.REQEN) の状態にかかわらず、DTSFSL は常にハードウェア転送要因入力を監視しており、DTSFSL にハードウェア転送要因が入力されるとそのチャンネルに対応する DMA 転送要求がセットされます。DTS 転送を再開または開始する場合には、必要に応じて、DTSFSL で保持している DMA 転送要求をクリアする操作を行ってください。

7.3.6 一時中断／再開転送中止機能一覧

表 7.5 一時中断／再開転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ (「7.5 信頼性機能」参照)
DMA 一時中断／再開	DMACTL.DMASPD を セットクリア ^{注1}	全チャンネルが一時中断 状態	不可 ^{注2}	特殊マスタ
DMAC チャンネル一時中 断／再開	各チャンネルレジスタの DCENn.DTE をクリア セット	チャンネルの DMA 転送 を一時中断	可能（一時中断状態で DMA 転送要求フラグを クリア）	特殊マスタ、チャンネルに割り当 てられた一般マスタ
DTS 一時中断／再開	DTSCCTL1.DTSUST を セットクリア ^{注1}	DTS の DMA 転送を一 時中断	可能（一時中断状態で DTSCCTL2.DTSTIT を セット）	特殊マスタ

注 1. DTS で実行中の DMA 転送を一時中断/再開するためには、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断／再開および転送中止」の注意事項をご参照ください。

注 2. DMA 転送を中止するためには、DMAC チャンネルの転送中止または DTS の転送中止の操作を行う必要があります。

7.4 エラー制御

7.4.1 エラーの種類

DMA で発生するエラーは次の 2 つの種類があります。

- DMA 転送エラー
DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC および DTS のすべてのチャンネルで、DMA 転送の実行時に発生する可能性があります。
- DTSRAM エラー
DTS による DTSRAM リードアクセスで ECC エラーを検出した場合に発生します。DTS の DMA 転送実行時の TI フェッチ、またはソフトウェアから DTS チャンネルレジスタアクセスの際に発生する可能性があります。

7.4.2 DMA 転送エラー

7.4.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャンネルの DMAC 転送ステータスレジスタの転送エラーフラグ (DCSTn.ER) がセットされます。DMAC エラーレジスタ (DMACER) で DMAC の 16 チャンネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャンネルでは、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャンネルの DMA 転送を中止する場合は、DMAC チャンネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタの各レジスタは更新されます。

7.4.2.2 DTS の DMA 転送エラー発生時の動作

DTS で DMA 転送エラーが発生すると、DTS エラーレジスタの DTS エラー発生フラグ (DTSER1.DTSER) がセットされ、同レジスタの DTS エラーチャンネル (DTSER1.DTSERCH) に DMA 転送エラーが発生した DTS チャンネル番号が格納されます。

シングル転送で DMA 転送エラーが発生すると、TI ライトバックを行って DMA サイクルを終了します。

ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされている場合は、ブロック転送の残りの DMA サイクルを実行せずに、TI ライトバックを行って DMA 転送を終了します。その際 DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定

(DTTCTnnn.ESE) がクリアされている場合は、DMA 転送エラーの発生に関係なくブロック転送を継続します。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウンタは更新され、TI ライトバックの際に TI が更新されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と同じチャンネルの DMA 転送要求を DTS が受け付けると、TI フェッチを実行します。TI フェッチの結果転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされていた場合は DMA サイクルおよび TI ライトバックを実行しません。転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がクリアされている場合は DMA 転送が実行されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と異なるチャンネルの DMA 転送要求を DTS が受け付けた場合には、DMA 転送が実行されます。

7.4.3 DTSRAM エラー

DTSRAM リードアクセスで検出する DTSRAM エラーには、ECC 1 ビットエラーと ECC 2 ビットエラーの 2 種類があります。

TI フェッチの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータを用いて DMA 転送を継続します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータをリードデータとして応答します。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM1 ビットエラー発生フラグ (DTSER2.RAMSED) がセットされ、DTSRAM1 ビットエラーアドレス (DTSER2.RAMSEAD) にエラーが発生した DTSRAM のアドレスが保持されます。また、ECM にエラー通知を行います。

TI フェッチの際に ECC 2 ビットエラーを検出した場合は、DMA サイクルおよび TI ライトバックを実行せずに、その DMA 転送要求に対する処理を終了します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 2 ビットエラーを検出した場合は、周辺バスエラーの通知を行います。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM2 ビットエラー発生フラグ (DTSER2.RAMDED) がセットされ、DTSRAM2 ビットエラーアドレス (DTSER2.RAMDEAD) にエラーが発生したアドレスが保持されます。また、ECM にエラー通知を行います。

7.5 信頼性機能

7.5.1 概要

本製品では、DMA は複数のマスタ（CPU1、CPU2 や EMU3 内蔵 SubCPU）から利用される資源であり、DMA でマルチコア構成に対応するための以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

7.5.2 レジスタアクセス保護機能

本製品では、DMA の各チャネルは CPU1、CPU2 や EMU3 内蔵 SubCPU に割り当てて利用することを想定しています。

レジスタアクセス保護機能は、DMA の各チャネルの転送情報に対して、チャネルに割り当てたマスタ（CPU1、CPU2 や EMU3 内蔵 SubCPU）からのみアクセスを許可し、ほかのマスタからのアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャネルに割り当てたマスタ以外の無関係のマスタによってチャネルの設定内容が読み出されたり変更されたりすることを防ぐことができます。

7.5.2.1 アクセス元マスタの識別

DMA は、アクセス元の CPU 番号（PEID）、CPU がスーパーバイザモード（PSW.UM=0）かユーザモード（PSW.UM=1）かによってマスタを識別します。

7.5.2.2 マスタアクセス

マスタアクセスには、以下の 2 種類があります。

- 特殊マスタアクセス（CPU1 または CPU2 または EMU3 内蔵 SubCPU のスーパーバイザモード（UM=0））
- 一般マスタアクセス（特殊マスタアクセス以外のアクセス）

特殊マスタアクセスでは、すべてのレジスタに対してアクセスが許可されます。

一般マスタアクセスでは、すべてのレジスタにリードアクセスが許可されていますが、ライトアクセスに関してはチャネル割り当て（「7.5.2.3 チャネル割り当て」参照）によって割り当てられたチャネルのチャンネルレジスタに対してアクセスが許可されます。

7.5.2.3 チャネル割り当て

DMA では、各チャネル単位で、そのチャネルを利用するマスタ（CPU1、CPU2 や EMU3 内蔵 SubCPU）を割り当てることができます。チャネル割り当ては CPU1 または CPU2 または EMU3 内蔵 SubCPU のスーパーバイザモード（UM=0）がチャンネルマスタ設定レジスタ（DMAC の場合は DMnnCM、DTS の場合は DTSnnnCM）を設定することで行います。

一般マスタアクセスでは、チャネル割り当てによって割り当てられたマスタは、そのチャネルのチャンネルレジスタにライトアクセスすることが許可されます。チャネル割り当てによって割り当てられたマスタ以外がチャンネルレジスタにライトアクセスした場合は、違反アクセスとなります。違反アクセスについては「7.5.2.4 違反アクセス」で説明します。

7.5.2.4 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

- (1) 一般マスタからのグローバルレジスタへのライトアクセス
- (2) チャンネル割り当てによって割り当てられたマスタ以外からのチャンネルレジスタに対する一般マスタからのライトアクセス

DMA はいかなるマスタからのリードアクセスも違反アクセスとして取り扱いません。

DMA は違反アクセスに対して次の動作を行います。

(1)、(2)の場合ともに

- ライトアクセスは無視します。

また、(2)の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。
- レジスタアクセス保護違反レジスタは DMAC0、DMAC1 および DTS で分かれています (DM0CMV, DM1CMV, DTSCMV)。

特殊マスタのみレジスタアクセス保護違反レジスタにライトアクセスが可能です。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャンネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

7.5.3 マスタ情報継承機能

本製品では、DMA アクセスの際には DMA チャンネルを設定した CPU1 や CPU2、EMU3 内蔵 SubCPU と同等のマスタ情報を継承します。

DMA が出力するマスタ情報は表 7.6 のとおりです。

表 7.6 DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャンネルマスタ設定レジスタの UM ビットの値
SPID	チャンネルマスタ設定レジスタの SPID ビットの値
PEID	7
DMA アクセス	1

7.5.4 その他の信頼性機能

7.5.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャンネルが制限されます。

チェイン機能を使用する際は、チェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャンネルとチェイン先のチャンネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャンネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定の内容をチェックして、チャンネルマスタ設定の PEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャンネルにチェイン要求を行います。チャンネルマスタ設定の PEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

7.6 DMA 転送の設定手順

7.6.1 DMA 設定手順概要

表 7.7 チャンネル割り当て

No.	設定元マスタ	内容	レジスタ		操作の必要条件	
1	特殊マスタ (CPU1 または CPU2 または EMU3 内蔵 SubCPU のスー パーバイザモード (UM = 0))	DMA 全体動作 の設定	DTSPR0~ DTSPR7	DTS チャンネル優先順位設定レジ スタ	必須 (DTS を使用する場合)	
2			DM00CM~ DM17CM	DMAC チャンネルマスタ設定レジ スタ	必須 (DMAC を使用する場合)	
3			DTS0CM~ DTS127CM	DTS チャンネルマスタ設定レジ スタ	必須 (DTS を使用する場合)	
4		ステータスのク リア	DTSERC	DTS エラークリアレジスタ	推奨	
5			CMVC	チャンネル保護違反クリアレジスタ	推奨	
6	一般マスタ	チャンネルの設定	DMATRGSSELn	DMA トリガ要因選択レジスタ	必須	
7	DMAC チャンネルに 割り当てられたマ スタ	チャンネルの設定	DSAn	DMAC ソースアドレスレジスタ	必須	
8			DDAn	DMAC ディスティネーションア ドレスレジスタ	必須	
9			DTCn	DMAC 転送回数レジスタ	必須	
10			DTCTn	DMAC 転送制御レジスタ	必須	
11			DRSAn	DMAC リロードソースアドレス レジスタ	リロード機能を使用する場合必須	
12			DRDAn	DMAC リロードディスティネー ションアドレスレジスタ	リロード機能を使用する場合必須	
13			DRTCn	DMAC リロード転送回数レジ スタ	リロード機能を使用する場合必須	
14			DTCCn	DMAC 転送回数コンペアレジ スタ	転送回数一致割り込みを使用する 場合必須	
15			DTFRn	DTFR 設定レジスタ	必須	
16			ステータスのク リア	DCSTCn	DMAC 転送ステータスクリアレ ジスタ	必須
17				DTFRRQCn	DTFR 転送要求クリアレジスタ	推奨
18			チャンネル動作有 効	DCENn	DMAC チャンネル動作有効設定レ ジスタ	必須
19	一般マスタ	チャンネルの設定	DTSTRGSSELn	DTS トリガ要因選択レジスタ	必須	
20	DTS チャンネルに割 り当てられたマ スタ	チャンネルの設定	DTSAAnnn	DTS ソースアドレスレジスタ	必須	
21			DTDAAnnn	DTS ディスティネーションアド レスレジスタ	必須	
22			DTTCAnnn	DTS 転送回数レジスタ	必須	
23			DTTCTAnnn	DTS 転送制御レジスタ	必須	
24			DTRSAAnnn	DTS リロードソースアドレスレ ジスタ	リロード機能を使用する場合必須	
25			DTRDAAnnn	DTS リロードディスティネーシ ョンアドレスレジスタ	リロード機能を使用する場合必須	
26			DTRTCAnnn	DTS リロード転送回数レジスタ	リロード機能を使用する場合必須	
27			DTTCCAnnn	DTS 転送回数コンペアレジスタ	転送回数一致割り込みを使用する 場合必須	
28	ステータスのク リア	DTFSCAnnn	DTSFSL 転送要求クリアレジスタ	推奨		
29	転送要求有効	DTFSLAnnn	DTSFSL 動作設定レジスタ	必須		

7.6.2 DMA 全体動作設定手順

DMA の利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU1 または CPU2 または EMU3 内蔵 SubCPU のスーパーバイザモード (UM=0) がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は「7.5 信頼性機能」を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DTS チャンネル優先度設定レジスタ (DTSPRn、n=0~7)
DTS チャンネルアービトラクションの際の DTS の各チャンネルの優先度を設定します。
- DMAC チャンネルマスタ設定レジスタ (DMnnCM)
- DTS チャンネルマスタ設定レジスタ (DTSnnnCM)
チャンネル割り当てを行います。(詳細は「7.5 信頼性機能」を参照)

DMAC チャンネルマスタ設定レジスタと DTS チャンネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャンネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DTS エラーレジスタ 1 (DTSER1)
- DTS エラーレジスタ 2 (DTSER2)
- DMAC0 レジスタアクセス保護違反レジスタ (DM0CMV)
- DMAC1 レジスタアクセス保護違反レジスタ (DM1CMV)
- DTS レジスタアクセス保護違反レジスタ (DTSCMV)

7.6.3 DMA チャンネル設定手順

DMA チャンネル設定では、DMAC および DTS の各チャンネルの転送情報や転送要因の選択を行います。

DMA チャンネル設定は、チャンネル割り当てによって割り当てられた各チャンネルのマスタがチャンネルレジスタを設定することで実施します。

7.6.3.1 DMAC チャンネル設定手順

DMAC を利用する場合の DMAC チャンネル設定は以下の手順で行います。

(1) チャンネル動作無効設定

DMAC チャンネル動作有効設定レジスタ (DCENn) でチャンネル動作有効 (DTE) がセットされている場合は、DTE ビットをクリアしてチャンネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ (DSAn)
- DMAC ディスティネーションアドレスレジスタ (DDAn)
- DMAC 転送回数レジスタ (DTCn)
- DMAC 転送制御レジスタ (DTCTn)

- DMAC リロードソースアドレスレジスタ (DRSAn)
- DMAC リロードディスティネーションアドレスレジスタ (DRDAn)
- DMAC リロード転送回数レジスタ (DRTCn)
- DMAC 転送回数コンペアレジスタ (DTCCn)

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DTCTn.DRS) ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1つのチャンネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DMA トリガ要因選択レジスタで Primary channel/Secondary channel を選択して設定し、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQSEL) で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ (DTFRn.REQEN) を利用して DTFR で保持しているハードウェア DMA 転送要求 (DTFRn.REQEN) をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ (DCSTn) に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャンネル動作有効設定

DMAC チャンネル動作有効設定レジスタのチャンネル動作有効 (DCENn.DTE) ビットをセットして、チャンネル動作を有効にします。

チャンネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.6.3.2 DTS チャンネル設定手順

DTS を利用する場合の DTS チャンネル設定は以下の手順で行います。

(1) DTSFSL の転送要求無効設定

チャンネル設定を実行する DTS チャンネルに対応する DTSFSL 動作設定レジスタの転送要求有効 (DTFSLn_{nn}.REQEN) ビットをクリアします。本手順は必須ではありませんが、チャンネル設定を実行する DTS チャンネルに誤って DMA 転送要求が入力されてしまうことを防ぐために実施することを推奨します。また、チャンネル設定を実行する DTS チャンネルが DMA 転送を実行中でないことを、DTS 状態レジスタ (DTSSTS) で確認することを推奨します。

(2) 転送情報の設定

DTS の転送情報の設定では、次のレジスタから転送情報を設定します。

- DTS ソースアドレスレジスタ (DTSA_{nnn})
- DTS ディスティネーションアドレスレジスタ (DTD_{nnn})
- DTS 転送回数レジスタ (DTTC_{nnn})
- DTS 転送制御レジスタ (DTTCT_{nnn})
- DTS リロードソースアドレスレジスタ (DTRSA_{nnn})
- DTS リロードディスティネーションアドレスレジスタ (DTRDA_{nnn})
- DTS リロード転送回数レジスタ (DTRTC_{nnn})
- DTS 転送回数コンペアレジスタ (DTTC_{nnn})

(3) DMA 転送要求の設定

DMAC と異なり、DTS は DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。DTS ではチャンネルごとの転送要求保持状態ビットを DTSFSL に持っており、ハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビット (DTFST_{nnn}.DRQ) に保持されます。このため、DTS ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定する機能はありません。

DTSFSL には、転送情報を設定する前の状態で DMA 転送要求が保持されている場合があります。必要に応じて、DTSFSL 転送要求クリアレジスタ (DTFSC_{nnn}) を利用して DTSFSL で保持されている DMA 転送要求 (DTFST_{nnn}.DRQ) をクリアしてください。

ハードウェア DMA 転送要求を使用する場合は DTS トリガ要因レジスタで Primary channel/Secondary channel を選択して設定してください。

(4) DTSFSL の転送要求有効設定

DTSFSL 動作設定レジスタの転送要求有効 (DTFSLn_{nn}.REQEN) ビットをセットして、DTS チャンネルに対応する DMA 転送要求を有効にします。

DTSFSL の転送要求有効設定を行ったあとは、DTS は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.7 DMA トリガ要因

7.7.1 DMA トリガ要因一覧

DMA チャンネル n への DMA トリガソースの割り当ては DTFR 設定レジスタ (DTFRn) で設定します。

表 7.8 DMA トリガ要因一覧 (1/4)

CH	Primary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2
DMACTRG0	ADI00 ADC0 スキャングループ 0 終了割り込み	ADCC	○	○	Reserved		—	—
DMACTRG1	ADI01 ADC0 スキャングループ 1 終了割り込み		○	○	Reserved		—	—
DMACTRG2	ADI02 ADC0 スキャングループ 2 終了割り込み		○	○	Reserved		—	—
DMACTRG3	ADI03 ADC0 スキャングループ 3 終了割り込み		○	○	Reserved		—	—
DMACTRG4	ADI04 ADC0 スキャングループ 4 終了割り込み		○	○	Reserved		—	—
DMACTRG5	ADI10 ADC1 スキャングループ 0 終了割り込み		○	○	Reserved		—	—
DMACTRG6	ADI11 ADC1 スキャングループ 1 終了割り込み		○	○	Reserved		—	—
DMACTRG7	ADI12 ADC1 スキャングループ 2 終了割り込み		○	○	Reserved		—	—
DMACTRG8	ADI13 ADC1 スキャングループ 3 終了割り込み		○	○	Reserved		—	—
DMACTRG9	ADI14 ADC1 スキャングループ 4 終了割り込み		○	○	Reserved		—	—
DMACTRG10	ADI20 ADC2 スキャングループ 0 終了割り込み		○	○	Reserved		—	—
DMACTRG11	ADI21 ADC2 スキャングループ 1 終了割り込み		○	○	Reserved		—	—
DMACTRG12	ADI22 ADC2 スキャングループ 2 終了割り込み		○	○	DMA プログラムコマンド用信号	Data Flash	○	○
DMACTRG13	ADI23 ADC2 スキャングループ 3 終了割り込み		○	○	Reserved		—	—
DMACTRG14	ADI24 ADC2 スキャングループ 4 終了割り込み	○	○	Reserved		—	—	
DMACTRG15	CH0 の INTTAUJ0I0 割り込み	TAUJ_0	○	○	CH0 の INTTAUD2I0 割り込み	TAUD_2 (CH0-3)	×	○
DMACTRG16	CH1 の INTTAUJ0I1 割り込み		○	○	CH1 の INTTAUD2I1 割り込み		×	○
DMACTRG17	CH2 の INTTAUJ0I2 割り込み		○	○	CH2 の INTTAUD2I2 割り込み		×	○
DMACTRG18	CH3 の INTTAUJ0I3 割り込み		○	○	CH3 の INTTAUD2I3 割り込み		×	○
DMACTRG19	CH0 の INTTAUD0I0 割り込み	TAUD_0	○	○	ADPA DMA 要求 0	ADPA	○	○
DMACTRG20	CH1 の INTTAUD0I1 割り込み		○	○	ADPA DMA 要求 1		○	○
DMACTRG21	CH2 の INTTAUD0I2 割り込み		○	○	ADPA DMA 要求 2		○	○
DMACTRG22	CH3 の INTTAUD0I3 割り込み		○	○	ADPA DMA 要求 3		○	○
DMACTRG23	CH4 の INTTAUD0I4 割り込み		○	○	ADPA DMA 要求 4		○	○
DMACTRG24	CH5 の INTTAUD0I5 割り込み		○	○	ADPA DMA 要求 5		○	○

表 7.8 DMA トリガ要因一覧 (2/4)

CH	Primary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2
DMACTRG25	CH6 の INTTAUD0I6 割り込み	TAUD_0	○	○	CH6 の INTTAUD2I6 割り込み	TAUD_2 (CH6-15)	×	○
DMACTRG26	CH7 の INTTAUD0I7 割り込み		○	○	CH7 の INTTAUD2I7 割り込み		×	○
DMACTRG27	CH8 の INTTAUD0I8 割り込み		○	○	CH8 の INTTAUD2I8 割り込み		×	○
DMACTRG28	CH9 の INTTAUD0I9 割り込み		○	○	CH9 の INTTAUD2I9 割り込み		×	○
DMACTRG29	CH10 の INTTAUD0I10 割り込み		○	○	CH10 の INTTAUD2I10 割り込み		×	○
DMACTRG30	CH11 の INTTAUD0I11 割り込み		○	○	CH11 の INTTAUD2I11 割り込み		×	○
DMACTRG31	CH12 の INTTAUD0I12 割り込み		○	○	CH12 の INTTAUD2I12 割り込み		×	○
DMACTRG32	CH13 の INTTAUD0I13 割り込み		○	○	CH13 の INTTAUD2I13 割り込み		×	○
DMACTRG33	CH14 の INTTAUD0I14 割り込み		○	○	CH14 の INTTAUD2I14 割り込み		×	○
DMACTRG34	CH15 の INTTAUD0I15 割り込み		○	○	CH15 の INTTAUD2I15 割り込み		×	○
DMACTRG35	CH0 の INTTAUD1I0 割り込み	TAUD_1	○	○	EMU30 割り込み 5	EMU3	○	○
DMACTRG36	CH1 の INTTAUD1I1 割り込み		○	○	EMU30 割り込み 6		○	○
DMACTRG37	CH2 の INTTAUD1I2 割り込み		○	○	EMU30 割り込み 7		○	○
DMACTRG38	CH3 の INTTAUD1I3 割り込み		○	○	Reserved	—	—	
DMACTRG39	CH4 の INTTAUD1I4 割り込み		○	○	Reserved	—	—	
DMACTRG40	CH5 の INTTAUD1I5 割り込み		○	○	EMU31 割り込み 5	EMU3	○	○
DMACTRG41	CH6 の INTTAUD1I6 割り込み		○	○	EMU31 割り込み 6		○	○
DMACTRG42	CH7 の INTTAUD1I7 割り込み		○	○	EMU31 割り込み 7		○	○
DMACTRG43	CH8 の INTTAUD1I8 割り込み		○	○	Reserved	—	—	
DMACTRG44	CH9 の INTTAUD1I9 割り込み		○	○	Reserved	—	—	
DMACTRG45	CH10 の INTTAUD1I10 割り込み	○	○	RSENT0 受信割り込み (INT_SENT_RX0)	RSENT_0	○	○	
DMACTRG46	CH11 の INTTAUD1I11 割り込み	○	○	RSENT1 受信割り込み (INT_SENT_RX1)	RSENT_1	○	○	
DMACTRG47	CH12 の INTTAUD1I12 割り込み	○	○	RSENT2 受信割り込み (INT_SENT_RX2)	RSENT_2	○	○	
DMACTRG48	CH13 の INTTAUD1I13 割り込み	○	○	RSENT3 受信割り込み (INT_SENT_RX3)	RSENT_3	○	○	
DMACTRG49	CH14 の INTTAUD1I14 割り込み	○	○	ADPA DMA 要求 6	ADPA	○	○	
DMACTRG50	CH15 の INTTAUD1I15 割り込み	○	○	ADPA DMA 要求 7		○	○	
DMACTRG51	ENCA0 コンペア 0 一致または Capture0 割り込み	PIC1B	○	○	CH4 の INTTAUD2I4 割り込み	TAUD_2 (ch4-5)	×	○
DMACTRG52	ENCA1 コンペア 0 一致または Capture0 割り込み		○	○	CH5 の INTTAUD2I5 割り込み		×	○
DMACTRG53	オーバーフロー割り込み信号	ENCA_0	○	○	ADPA DMA 要求 8	ADPA	○	○
DMACTRG54	コンペア 1 一致またはキャプチャ 1 割り込み		○	○	ADPA DMA 要求 9		○	○
DMACTRG55	アンダーフロー割り込み		○	○	ADPA DMA 要求 10		○	○
DMACTRG56	エンコーダクリア入力によるク リア割り込み		○	○	ADPA DMA 要求 11		○	○

表 7.8 DMA トリガ要因一覧 (3/4)

CH	Primary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2
DMACTRG57	オーバーフロー割り込み信号	ENCA_1	○	○	ADPA DMA 要求 12	ADPA	○	○
DMACTRG58	コンペア 1 一致またはキャプチャ 1 割り込み		○	○	ADPA DMA 要求 13		○	○
DMACTRG59	アンダーフロー割り込み		○	○	ADPA DMA 要求 14		○	○
DMACTRG60	エンコーダクリア入力によるクリア割り込み		○	○	ADPA DMA 要求 15		○	○
DMACTRG61	CH0 の INTTAUD2I0 割り込み	TAUD_2 (CH0-5)	×	○	周期一致検出割り込み	TPBA_0	○	○
DMACTRG62	CH1 の INTTAUD2I1 割り込み		×	○	デューティ一致検出割り込み		○	○
DMACTRG63	CH2 の INTTAUD2I2 割り込み		×	○	パターン数一致検出割り込み		○	○
DMACTRG64	CH3 の INTTAUD2I3 割り込み		×	○	周期一致検出割り込み	TPBA_1	×	○
DMACTRG65	CH4 の INTTAUD2I4 割り込み		×	○	デューティ一致検出割り込み		×	○
DMACTRG66	CH5 の INTTAUD2I5 割り込み		×	○	パターン数一致検出割り込み		×	○
DMACTRG67	RDC3A0 Z 相割り込み	RDC_0	○	○	Reserved		—	—
DMACTRG68	RDC3A0 コンペア 0 一致割り込み		○	○	ADPA DMA 要求 16	ADPA	○	○
DMACTRG69	RDC3A0 コンペア 1 一致割り込み		○	○	ADPA DMA 要求 17		○	○
DMACTRG70	RDC3A0 コンペア 2 一致割り込み		○	○	ADPA DMA 要求 18		○	○
DMACTRG71	RDC3A0 励磁タイマ (ET) DMA 要求		○	○	ADPA DMA 要求 19		○	○
DMACTRG72	RDC3A1 Z 相割り込み	×	○	Reserved			—	—
DMACTRG73	RDC3A1 コンペア 0 一致割り込み	RDC_1	×	○	CH6 の INTTAUD2I6 割り込み	TAUD_2	×	○
DMACTRG74	RDC3A1 コンペア 1 一致割り込み		×	○	Reserved		—	—
DMACTRG75	RDC3A1 コンペア 2 一致割り込み		×	○	Reserved		—	—
DMACTRG76	RDC3A1 励磁タイマ (ET) DMA 要求		×	○	Reserved		—	—
DMACTRG77	EMU30 割り込み 0		EMU3	○	○	Reserved		—
DMACTRG78	EMU30 割り込み 1	○		○	Reserved		—	—
DMACTRG79	EMU30 割り込み 2	○		○	Reserved		—	—
DMACTRG80	EMU30 割り込み 3	○		○	Reserved		—	—
DMACTRG81	EMU30 割り込み 4	○		○	Reserved		—	—
DMACTRG82	EMU31 割り込み 0	○		○	Reserved		—	—
DMACTRG83	EMU31 割り込み 1	○		○	Reserved		—	—
DMACTRG84	EMU31 割り込み 2	○		○	Reserved		—	—
DMACTRG85	EMU31 割り込み 3	○		○	Reserved		—	—
DMACTRG86	EMU31 割り込み 4	○		○	Reserved		—	—
DMACTRG87	TSG30CMP11E コンペア一致割り込み	TSG3_0	○	○	Reserved		—	—
DMACTRG88	TSG30CMP12E コンペア一致割り込み		○	○	Reserved		—	—
DMACTRG89	TSG30 山割り込み (TSTIPEK)	TSG3_0	○	○	TAPA0 山割り込み 0	TAPA_0	○	○
DMACTRG90	TSG30 谷割り込み (TSTIVLY)		○	○	TAPA0 谷割り込み 0		○	○
DMACTRG91	TSG31CMP11E コンペア一致割り込み	TSG3_1	○	○	Reserved		—	—
DMACTRG92	TSG31CMP12E コンペア一致割り込み		○	○	Reserved		—	—
DMACTRG93	TSG31 山割り込み (TSTIPEK)		○	○	TAPA1 山割り込み 0	TAPA_1	○	○
DMACTRG94	TSG31 谷割り込み (TSTIVLY)		○	○	TAPA1 谷割り込み 0		○	○

表 7.8 DMA トリガ要因一覧 (4/4)

CH	Primary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DMA 要因名称	機能 モジュール	C1M- A1	C1M- A2	
DMACTRG95	TSG32CMP11E コンペアー致割り込み	TSG3_2	×	○	Reserved		—	—	
DMACTRG96	TSG32CMP12E コンペアー致割り込み		×	○	Reserved		—	—	
DMACTRG97	TSG32 山割り込み (TSTIPEK)		×	○	TAPA2 山割り込み 0	TAPA_2	×	○	
DMACTRG98	TSG32 谷割り込み (TSTIVLY)		×	○	TAPA2 谷割り込み 0		×	○	
DMACTRG99	CAN0 COM FIFO DMA request	RS-CANFD	○	○	Reserved		—	—	
DMACTRG100	CAN1 COM FIFO DMA request		○	○	Reserved		—	—	
DMACTRG101	CAN2 COM FIFO DMA request		○	○	Reserved		—	—	
DMACTRG102	CAN3 COM FIFO DMA request		○	○	Reserved		—	—	
DMACTRG103	CAN RX FIFO DMA REQUEST #0		○	○	ADPA DMA 要求 20	ADPA	○	○	
DMACTRG104	CAN RX FIFO DMA REQUEST #1		○	○	ADPA DMA 要求 21		○	○	
DMACTRG105	CAN RX FIFO DMA REQUEST #2		○	○	ADPA DMA 要求 22		○	○	
DMACTRG106	CAN RX FIFO DMA REQUEST #3		○	○	ADPA DMA 要求 23		○	○	
DMACTRG107	CAN RX FIFO DMA REQUEST #4		○	○	Reserved		—	—	
DMACTRG108	CAN RX FIFO DMA REQUEST #5		○	○	Reserved		—	—	
DMACTRG109	CAN RX FIFO DMA REQUEST #6	○	○	Reserved		—	—		
DMACTRG110	CAN RX FIFO DMA REQUEST #7	○	○	Reserved		—	—		
DMACTRG111	通信ステータス割り込み	CSIH_0	○	○	CH7 の INTTAUD2I7 割り込み	TAUD_2 (ch7-15)	×	○	
DMACTRG112	受信ステータス割り込み		○	○	CH8 の INTTAUD2I8 割り込み		×	○	
DMACTRG113	ジョブ完了割り込み		○	○	CH9 の INTTAUD2I9 割り込み		×	○	
DMACTRG114	通信ステータス割り込み	CSIH_1	○	○	CH10 の INTTAUD2I10 割り込み		×	○	
DMACTRG115	受信ステータス割り込み		○	○	CH11 の INTTAUD2I11 割り込み		×	○	
DMACTRG116	ジョブ完了割り込み		○	○	CH12 の INTTAUD2I12 割り込み		×	○	
DMACTRG117	通信ステータス割り込み	CSIH_2	○	○	CH13 の INTTAUD2I13 割り込み		×	○	
DMACTRG118	受信ステータス割り込み		○	○	CH14 の INTTAUD2I14 割り込み		×	○	
DMACTRG119	ジョブ完了割り込み		○	○	CH15 の INTTAUD2I15 割り込み		×	○	
DMACTRG120	RXI (受信データフル)	SCI_0	○	○	INTRLIN30UR1 (受信割り込み)		RLIN3_0	○	○
DMACTRG121	TXI (送信データエンプティ)		○	○	INTRLIN30UR0 (送信割り込み)			○	○
DMACTRG122	RXI (受信データフル)	SCI_1	○	○	INTRLIN31UR1 (受信割り込み)		RLIN3_1	○	○
DMACTRG123	TXI (送信データエンプティ)		○	○	INTRLIN31UR0 (送信割り込み)			○	○
DMACTRG124	RXI (受信データフル)	SCI_2	○	○	INTRLIN32UR1 (受信割り込み)		RLIN3_2	○	○
DMACTRG125	TXI (送信データエンプティ)		○	○	INTRLIN32UR0 (送信割り込み)			○	○
DMACTRG126	ワードデータ書き込みトリガ				ICUSE	○	○		
DMACTRG127	ワードデータ読み出しトリガ/コマンド終了通知トリガ					○	○		

備考 DMA トリガ要因名は、各モジュールの出力信号名称と異なる場合があります。

7.8 DTS トリガ要因

7.8.1 DTS トリガ要因一覧

DTS チャンネル n への DTS トリガソースの割り当ては表 7.9 のとおりとなります。

表 7.9 DTS トリガ要因一覧 (1/5)

CH	Primary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2
DTSTRG0	ADI00 ADC0 スキャングループ 0 終了割り込み	ADCC	○	○	Reserved		—	—
DTSTRG1	ADI01 ADC0 スキャングループ 1 終了割り込み		○	○	Reserved		—	—
DTSTRG2	ADI02 ADC0 スキャングループ 2 終了割り込み		○	○	Reserved		—	—
DTSTRG3	ADI03 ADC0 スキャングループ 3 終了割り込み		○	○	Reserved		—	—
DTSTRG4	ADI04 ADC0 スキャングループ 4 終了割り込み		○	○	Reserved		—	—
DTSTRG5	ADI10 ADC1 スキャングループ 0 終了割り込み		○	○	Reserved		—	—
DTSTRG6	ADI11 ADC1 スキャングループ 1 終了割り込み		○	○	Reserved		—	—
DTSTRG7	ADI12 ADC1 スキャングループ 2 終了割り込み		○	○	Reserved		—	—
DTSTRG8	ADI13 ADC1 スキャングループ 3 終了割り込み		○	○	Reserved		—	—
DTSTRG9	ADI14 ADC1 スキャングループ 4 終了割り込み		○	○	Reserved		—	—
DTSTRG10	ADI20 ADC2 スキャングループ 0 終了割り込み		○	○	Reserved		—	—
DTSTRG11	ADI21 ADC2 スキャングループ 1 終了割り込み		○	○	Reserved		—	—
DTSTRG12	ADI22 ADC2 スキャングループ 2 終了割り込み		○	○	Reserved		—	—
DTSTRG13	ADI23 ADC2 スキャングループ 3 終了割り込み		○	○	Reserved		—	—
DTSTRG14	ADI24 ADC2 スキャングループ 4 終了割り込み	○	○	Reserved		—	—	
DTSTRG15	CH0 の INTTAUJ0I0 割り込み	TAUJ_0	○	○	CH0 の INTTAUD2I0 割り込み	TAUD_2 (CH0-3)	×	○
DTSTRG16	CH1 の INTTAUJ0I1 割り込み		○	○	CH1 の INTTAUD2I1 割り込み		×	○
DTSTRG17	CH2 の INTTAUJ0I2 割り込み		○	○	CH2 の INTTAUD2I2 割り込み		×	○
DTSTRG18	CH3 の INTTAUJ0I3 割り込み		○	○	CH3 の INTTAUD2I3 割り込み		×	○

表 7.9 DTS トリガ要因一覧 (2/5)

CH	Primary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2	
DTSTRG19	CH0 の INTTAUD010 割り込み	TAUD_0	○	○	ADPA DMA 要求 0	ADPA	○	○	
DTSTRG20	CH1 の INTTAUD011 割り込み		○	○	ADPA DMA 要求 1		○	○	
DTSTRG21	CH2 の INTTAUD012 割り込み		○	○	ADPA DMA 要求 2		○	○	
DTSTRG22	CH3 の INTTAUD013 割り込み		○	○	ADPA DMA 要求 3		○	○	
DTSTRG23	CH4 の INTTAUD014 割り込み		○	○	ADPA DMA 要求 4		○	○	
DTSTRG24	CH5 の INTTAUD015 割り込み		○	○	ADPA DMA 要求 5		○	○	
DTSTRG25	CH6 の INTTAUD016 割り込み		(CH6-15)	○	○	CH6 の INTTAUD216 割り込み	TAUD_2	×	○
DTSTRG26	CH7 の INTTAUD017 割り込み			○	○	CH7 の INTTAUD217 割り込み		×	○
DTSTRG27	CH8 の INTTAUD018 割り込み			○	○	CH8 の INTTAUD218 割り込み		×	○
DTSTRG28	CH9 の INTTAUD019 割り込み			○	○	CH9 の INTTAUD219 割り込み		×	○
DTSTRG29	CH10 の INTTAUD0110 割り込み			○	○	CH10 の INTTAUD2110 割り込み		×	○
DTSTRG30	CH11 の INTTAUD0111 割り込み			○	○	CH11 の INTTAUD2111 割り込み		×	○
DTSTRG31	CH12 の INTTAUD0112 割り込み			○	○	CH12 の INTTAUD2112 割り込み		×	○
DTSTRG32	CH13 の INTTAUD0113 割り込み			○	○	CH13 の INTTAUD2113 割り込み		×	○
DTSTRG33	CH14 の INTTAUD0114 割り込み			○	○	CH14 の INTTAUD2114 割り込み		×	○
DTSTRG34	CH15 の INTTAUD0115 割り込み	○		○	CH15 の INTTAUD2115 割り込み	×		○	
DTSTRG35	CH0 の INTTAUD110 割り込み	TAUD_1	○	○	EMU30 割り込み 5	EMU3	○	○	
DTSTRG36	CH1 の INTTAUD111 割り込み		○	○	EMU30 割り込み 6		○	○	
DTSTRG37	CH2 の INTTAUD112 割り込み		○	○	EMU30 割り込み 7		○	○	
DTSTRG38	CH3 の INTTAUD113 割り込み		○	○	Reserved	—	—		
DTSTRG39	CH4 の INTTAUD114 割り込み		○	○	Reserved	—	—		
DTSTRG40	CH5 の INTTAUD115 割り込み		○	○	EMU31 割り込み 5	EMU3	○	○	
DTSTRG41	CH6 の INTTAUD116 割り込み		○	○	EMU31 割り込み 6		○	○	
DTSTRG42	CH7 の INTTAUD117 割り込み		○	○	EMU31 割り込み 7		○	○	
DTSTRG43	CH8 の INTTAUD118 割り込み		○	○	Reserved	—	—		
DTSTRG44	CH9 の INTTAUD119 割り込み		○	○	Reserved	—	—		
DTSTRG45	CH10 の INTTAUD1110 割り込み		○	○	RSENT0 受信割り込み (INT_SENT_RX0)	RSENT_0	○	○	
DTSTRG46	CH11 の INTTAUD1111 割り込み		○	○	RSENT1 受信割り込み (INT_SENT_RX1)	RSENT_1	○	○	
DTSTRG47	CH12 の INTTAUD1112 割り込み		○	○	RSENT2 受信割り込み (INT_SENT_RX2)	RSENT_2	○	○	
DTSTRG48	CH13 の INTTAUD1113 割り込み		○	○	RSENT3 受信割り込み (INT_SENT_RX3)	RSENT_3	○	○	
DTSTRG49	CH14 の INTTAUD1114 割り込み		○	○	ADPA DMA 要求 6	ADPA	○	○	
DTSTRG50	CH15 の INTTAUD1115 割り込み	○	○	ADPA DMA 要求 7	○		○		
DTSTRG51	ENCA0 コンペア 0 一致または Capture0 割り込み	PIC1B	○	○	CH4 の INTTAUD214 割り込み	TAUD_2 (ch4-5)	×	○	
DTSTRG52	ENCA1 コンペア 0 一致または Capture0 割り込み		○	○	CH5 の INTTAUD215 割り込み		×	○	

表 7.9 DTS トリガ要因一覧 (3/5)

CH	Primary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2
DTSTRG53	オーバーフロー割り込み信号	ENCA_0	○	○	ADPA DMA 要求 8	ADPA	○	○
DTSTRG54	コンペア 1 一致またはキャプチャ 1 割り込み		○	○	ADPA DMA 要求 9		○	○
DTSTRG55	アンダーフロー割り込み		○	○	ADPA DMA 要求 10		○	○
DTSTRG56	エンコーダクリア入力によるクリア割り込み		○	○	ADPA DMA 要求 11		○	○
DTSTRG57	オーバーフロー割り込み信号	ENCA_1	○	○	ADPA DMA 要求 12		○	○
DTSTRG58	コンペア 1 一致またはキャプチャ 1 割り込み		○	○	ADPA DMA 要求 13		○	○
DTSTRG59	アンダーフロー割り込み		○	○	ADPA DMA 要求 14		○	○
DTSTRG60	エンコーダクリア入力によるクリア割り込み		○	○	ADPA DMA 要求 15		○	○
DTSTRG61	CH0 の INTTAUD2I0 割り込み	TAUD_2 (CH0-5)	×	○	周期一致検出割り込み	TPBA_0	○	○
DTSTRG62	CH1 の INTTAUD2I1 割り込み		×	○	デューティ一致検出割り込み		○	○
DTSTRG63	CH2 の INTTAUD2I2 割り込み		×	○	パターン数一致検出割り込み		○	○
DTSTRG64	CH3 の INTTAUD2I3 割り込み		×	○	周期一致検出割り込み	TPBA_1	×	○
DTSTRG65	CH4 の INTTAUD2I4 割り込み		×	○	デューティ一致検出割り込み		×	○
DTSTRG66	CH5 の INTTAUD2I5 割り込み		×	○	パターン数一致検出割り込み		×	○
DTSTRG67	RDC3A0 Z 相割り込み	RDC_0	○	○	Reserved	ADPA	—	—
DTSTRG68	RDC3A0 コンペア 0 一致割り込み		○	○	ADPA DMA 要求 16		○	○
DTSTRG69	RDC3A0 コンペア 1 一致割り込み		○	○	ADPA DMA 要求 17		○	○
DTSTRG70	RDC3A0 コンペア 2 一致割り込み		○	○	ADPA DMA 要求 18		○	○
DTSTRG71	RDC3A0 励磁タイマ (ET) DMA 要求		○	○	ADPA DMA 要求 19		○	○
DTSTRG72	RDC3A1 Z 相割り込み	RDC_1	×	○	Reserved	TAUD_2	—	—
DTSTRG73	RDC3A1 コンペア 0 一致割り込み		×	○	CH6 の INTTAUD2I6 割り込み		×	○
DTSTRG74	RDC3A1 コンペア 1 一致割り込み		×	○	Reserved		—	—
DTSTRG75	RDC3A1 コンペア 2 一致割り込み		×	○	Reserved		—	—
DTSTRG76	RDC3A1 励磁タイマ (ET) DMA 要求		×	○	Reserved		—	—
DTSTRG77	EMU30 割り込み 0	EMU3	○	○	Reserved		—	—
DTSTRG78	EMU30 割り込み 1		○	○	Reserved		—	—
DTSTRG79	EMU30 割り込み 2		○	○	Reserved		—	—
DTSTRG80	EMU30 割り込み 3		○	○	Reserved		—	—
DTSTRG81	EMU30 割り込み 4		○	○	Reserved		—	—
DTSTRG82	EMU31 割り込み 0		○	○	Reserved		—	—
DTSTRG83	EMU31 割り込み 1		○	○	Reserved		—	—
DTSTRG84	EMU31 割り込み 2		○	○	Reserved		—	—
DTSTRG85	EMU31 割り込み 3		○	○	Reserved		—	—
DTSTRG86	EMU31 割り込み 4		○	○	Reserved		—	—

表 7.9 DTS トリガ要因一覧 (4/5)

CH	Primary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2	Secondary Channel DTS 要因名称	機能 モジュール	C1M- A1	C1M- A2
DTSTRG87	TSG30CMP11E コンペアー致割り込み	TSG3_0	○	○	Reserved		—	—
DTSTRG88	TSG30CMP12E コンペアー致割り込み		○	○	Reserved		—	—
DTSTRG89	TSG30 山割り込み (TSTIPEK)		○	○	TAPA0 山割り込み 0	TAPA_0	○	○
DTSTRG90	TSG30 谷割り込み (TSTIVLY)		○	○	TAPA0 谷割り込み 0		○	○
DTSTRG91	TSG31CMP11E コンペアー致割り込み	TSG3_1	○	○	Reserved		—	—
DTSTRG92	TSG31CMP12E コンペアー致割り込み		○	○	Reserved		—	—
DTSTRG93	TSG31 山割り込み (TSTIPEK)		○	○	TAPA1 山割り込み 0	TAPA_1	○	○
DTSTRG94	TSG31 谷割り込み (TSTIVLY)		○	○	TAPA1 谷割り込み 0		○	○
DTSTRG95	TSG32CMP11E コンペアー致割り込み	TSG3_2	×	○	Reserved		—	—
DTSTRG96	TSG32CMP12E コンペアー致割り込み		×	○	Reserved		—	—
DTSTRG97	TSG32 山割り込み (TSTIPEK)		×	○	TAPA2 山割り込み 0	TAPA_2	×	○
DTSTRG98	TSG32 谷割り込み (TSTIVLY)		×	○	TAPA2 谷割り込み 0		×	○
DTSTRG99	CAN0 COM FIFO DMA request	RS-CANFD	○	○	Reserved		—	—
DTSTRG100	CAN1 COM FIFO DMA request		○	○	Reserved		—	—
DTSTRG101	CAN2 COM FIFO DMA request		○	○	Reserved		—	—
DTSTRG102	CAN3 COM FIFO DMA request		○	○	Reserved		—	—
DTSTRG103	CAN RX FIFO DMA REQUEST #0		○	○	ADPA DMA 要求 20	ADPA	○	○
DTSTRG104	CAN RX FIFO DMA REQUEST #1		○	○	ADPA DMA 要求 21		○	○
DTSTRG105	CAN RX FIFO DMA REQUEST #2		○	○	ADPA DMA 要求 22		○	○
DTSTRG106	CAN RX FIFO DMA REQUEST #3		○	○	ADPA DMA 要求 23		○	○
DTSTRG107	CAN RX FIFO DMA REQUEST #4		○	○	Reserved		—	—
DTSTRG108	CAN RX FIFO DMA REQUEST #5		○	○	Reserved		—	—
DTSTRG109	CAN RX FIFO DMA REQUEST #6		○	○	Reserved		—	—
DTSTRG110	CAN RX FIFO DMA REQUEST #7	○	○	Reserved	—	—		

表 7.9 DTS トリガ要因一覧 (5/5)

CH	Primary Channel DTS 要因名称	機能 モジュール	C1M -A1	C1M -A2	Secondary Channel DTS 要因名称	機能 モジュール	C1M -A1	C1M -A2
DTSTRG111	通信ステータス割り込み	CSIH_0	○	○	CH7 の INTTAUD2I7 割り込み	(ch7-15) TAUD_2	×	○
DTSTRG112	受信ステータス割り込み		○	○	CH8 の INTTAUD2I8 割り込み		×	○
DTSTRG113	ジョブ完了割り込み		○	○	CH9 の INTTAUD2I9 割り込み		×	○
DTSTRG114	通信ステータス割り込み	CSIH_1	○	○	CH10 の INTTAUD2I10 割り込み		×	○
DTSTRG115	受信ステータス割り込み		○	○	CH11 の INTTAUD2I11 割り込み		×	○
DTSTRG116	ジョブ完了割り込み		○	○	CH12 の INTTAUD2I12 割り込み		×	○
DTSTRG117	通信ステータス割り込み	CSIH_2	○	○	CH13 の INTTAUD2I13 割り込み		×	○
DTSTRG118	受信ステータス割り込み		○	○	CH14 の INTTAUD2I14 割り込み		×	○
DTSTRG119	ジョブ完了割り込み		○	○	CH15 の INTTAUD2I15 割り込み		×	○
DTSTRG120	RX(受信データフル)	SCI_0	○	○	INTRLIN30UR1 (受信割り込み)	RLIN3_0	○	○
DTSTRG121	TX(送信データエンプティ)		○	○	INTRLIN30UR0 (送信割り込み)		○	○
DTSTRG122	RX(受信データフル)	SCI_1	○	○	INTRLIN31UR1 (受信割り込み)	RLIN3_1	○	○
DTSTRG123	TX(送信データエンプティ)		○	○	INTRLIN31UR0 (送信割り込み)		○	○
DTSTRG124	RX(受信データフル)	SCI_2	○	○	INTRLIN32UR1 (受信割り込み)	RLIN3_2	○	○
DTSTRG125	TX(送信データエンプティ)		○	○	INTRLIN32UR0 (送信割り込み)		○	○
DTSTRG126	ワードデータ書き込みトリガ					ICUSE	○	○
DTSTRG127	ワードデータ読み出しトリガ/コマンド終了通知トリガ						○	○

7.9 グローバルレジスタ

7.9.1 グローバルレジスタアドレス一覧

アドレス=ベースアドレス“FFFF 8000_H” + オフセットアドレス

表 7.10 グローバルレジスタアドレス一覧 (1/2)

モジュール名	オフセットアドレス	レジスタ略称	意味	アクセス許可		
				特殊マスタ	一般マスタ	セキュアブート時
DMASS	0000 _H	DMACTL	DMA 制御レジスタ	○	注 2	注 3
DMASS	0010 _H	DTSCTL1	DTS 制御レジスタ 1	○	注 2	
DMASS	0014 _H	DTSCTL2	DTS 制御レジスタ 2	○	注 2	
DMASS	0018 _H	DTSSTS	DTS 状態レジスタ	○	注 2	
DMASS	0020 _H	DMACER	DMAC エラーレジスタ	○	注 2	
DMASS	0024 _H	DTSER1	DTS エラーレジスタ 1	○	注 2	
DMASS	0028 _H	DTSER2	DTS エラーレジスタ 2	○	注 2	
DMASS	002C _H	DTSERC	DTS エラークリアレジスタ	○	注 2	
DMASS	0030 _H	DM0CMV	DMAC0 レジスタアクセス保護違反レジスタ	○	注 2	
DMASS	0034 _H	DM1CMV	DMAC1 レジスタアクセス保護違反レジスタ	○	注 2	
DMASS	0038 _H	DTSCMV	DTS レジスタアクセス保護違反レジスタ	○	注 2	
DMASS	003C _H	CMVC	レジスタアクセス保護違反クリアレジスタ	○	注 2	注 3
DMASS	0060 _H	DTSPR0	DTS チャンネル優先順位設定レジスタ 0	○	注 2	
DMASS	0064 _H	DTSPR1	DTS チャンネル優先順位設定レジスタ 1	○	注 2	
DMASS	0068 _H	DTSPR2	DTS チャンネル優先順位設定レジスタ 2	○	注 2	
DMASS	006C _H	DTSPR3	DTS チャンネル優先順位設定レジスタ 3	○	注 2	
DMASS	0070 _H	DTSPR4	DTS チャンネル優先順位設定レジスタ 4	○	注 2	
DMASS	0074 _H	DTSPR5	DTS チャンネル優先順位設定レジスタ 5	○	注 2	
DMASS	0078 _H	DTSPR6	DTS チャンネル優先順位設定レジスタ 6	○	注 2	
DMASS	007C _H	DTSPR7	DTS チャンネル優先順位設定レジスタ 7	○	注 2	
DMASS	0080 _H	DTRECCTL	DTSRAM ECC コントロールレジスタ	○	注 2	
DMASS	0084 _H	DTRERINT	DTSRAM エラー通知コントロールレジスタ	○	注 2	
DMASS	0094 _H	DTRTCTL	DTSRAM テストコントロールレジスタ	○	注 2	
DMASS	0098 _H	DTRTWDAT	DTSRAM テスト書き込みデータレジスタ	○	注 2	

表 7.10 グローバルレジスタアドレス一覧 (2/2)

モジュール名	オフセットアドレス	レジスタ略称	意味	アクセス許可		
				特殊マスタ	一般マスタ	セキュアブート時
DMASS	009C _H	DTRTRDAT	DTSRAM テスト読み出しデータレジスタ	○	注 2	
DMASS	0100 _H	DM00CM	DMAC0 チャンネル 0 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0104 _H	DM01CM	DMAC0 チャンネル 1 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0108 _H	DM02CM	DMAC0 チャンネル 2 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	010C _H	DM03CM	DMAC0 チャンネル 3 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0110 _H	DM04CM	DMAC0 チャンネル 4 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0114 _H	DM05CM	DMAC0 チャンネル 5 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0118 _H	DM06CM	DMAC0 チャンネル 6 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	011C _H	DM07CM	DMAC0 チャンネル 7 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0120 _H	DM10CM	DMAC1 チャンネル 0 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0124 _H	DM11CM	DMAC1 チャンネル 1 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0128 _H	DM12CM	DMAC1 チャンネル 2 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	012C _H	DM13CM	DMAC1 チャンネル 3 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0130 _H	DM14CM	DMAC1 チャンネル 4 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0134 _H	DM15CM	DMAC1 チャンネル 5 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0138 _H	DM16CM	DMAC1 チャンネル 6 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	013C _H	DM17CM	DMAC1 チャンネル 7 チャンネルマスタ設定レジスタ	○	注 2	注 3
DMASS	0200 _H + 4 × [DTS チャンネル番号] ^{注 1} (0200 _H ~03FC _H)	DTSnnnCM ^{注 1}	DTS チャンネル nnn チャンネルマスタ設定レジスタ ^{注 1}	○	注 2	

注 1. [DTS チャンネル番号]、レジスタ略称および意味の nnn は、000~127

注 2. リードアクセスのみ可能

注 3. セキュアブート時、ライトアクセスをマスクします。セキュアブートの詳細は、「第 32 章 インテリジェントクリプトグラフィックユニット E (ICUSE)」を参照してください。

7.9.2 グローバルレジスタ詳細

7.9.2.1 DMACTL — DMA 制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.11 DMACTL レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DMASPD	<p>DMA 一時中断</p> <p>すべてのチャンネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャンネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャンネルの DMA 転送の一時中断状態を解除することができます。</p> <p>本ビットで制御する一時中断は、DMAC の各チャンネルの転送有効ビット (DTE) および DTS の一時中断設定ビット (DTSUST) で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。</p> <p>本ビットを操作しても、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットの状態は変わりません。</p> <p>0 : DMA 一時中断状態解除 1 : DMA 一時中断要求 DMA 一時中断状態</p>

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断/再開および転送中止」の注意事項をご参照ください。

7.9.2.2 DTCTL1 — DTS 制御レジスタ 1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSUS T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.12 DTCTL1 レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTSUST	DTS 一時中断 DTS の DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、DTS の DMA 転送を一時中断することができます。 0 : DTS 一時中断解除 1 : DTS 一時中断要求一時中断状態

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は「7.3.3 DTS の一時中断/再開および転送中止」の注意事項をご参照ください。

7.9.2.3 DTSTCTL2 — DTS 制御レジスタ 2

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8014_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSTIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.13 DTSTCTL2 レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTSTIT	DTS 転送中止要求 DTS が一時中断状態の場合に、ユーザが 1 を書き込むことで一時中断中の DMA 転送を中止します。 DTS で一時中断中の DMA 転送を中止した場合、DTSSTS.DTSACT ビットが 0 になります。 本ビットのリード値は常に 0 です。

7.9.2.4 DTSSTS — DTS 状態レジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTSCY C	DTSACH[6:0]							DTSAC T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.14 DTSSTS レジスタの内容

ビット位置	ビット名	機能
31~9	予約ビット	リードした場合はリセット後の値が読めます。
8	DTSCYC	DMA サイクル実行状態 DTS で DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7~1	DTSACH[6:0]	DTS 転送チャンネル DTS で DMA 転送中のチャンネルがある場合、そのチャンネル番号を示します。 DTS で DMA 転送中のチャンネルがない場合、最後に DMA 転送を行ったチャンネル番号を示します。
0	DTSACT	DTS 転送状態 DTS で DMA 転送中のチャンネルがあるかどうかを表します。 0 : DMA 転送中のチャンネルがない 1 : DMA 転送中のチャンネルがある DMA 転送中のチャンネルがある状態で DTS 一時中断状態になると本ビットは 1 のままです。 DTSCYL2.DTSTIT ビットで DTS 転送中止要求を行うと、一時中断状態の DTS 転送を中止するとともに本ビットは 0 になります。 DMA 転送エラーが発生して DMA 転送が中止されると本ビットはクリアされます。

7.9.2.5 DMACER — DMAC エラーレジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER[7:0]							DM0ER[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.15 DMACER レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。
15~8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャンネル 0~7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生
7~0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャンネル 0~7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生

7.9.2.6 DTSER1 — DTS エラーレジスタ 1

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DTSERCH[6:0]						—	—	—	—	—	—	—	DTSERWR	DTSER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.16 DTSER1 レジスタの内容

ビット位置	ビット名	機能
31~15	予約ビット	リードした場合はリセット後の値が読めます。
14~8	DTSERCH[6:0]	DTS エラーチャンネル DTSER ビットが0の状態では最初に DMA 転送エラーが発生した DTS チャンネル番号を示します。 本ビットはリードオンリーで、クリアできません。
7~2	予約ビット	リードした場合はリセット後の値が読めます。
1	DTSERWR	DTS DMA 転送エラー発生サイクル DTS DMA 転送エラー発生フラグ (DTSER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。すでに DTSER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DTSER ビットがクリアされると本ビットも0にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した
0	DTSER	DTS DMA 転送エラー発生フラグ DTS で DMA 転送エラーが発生したかどうかを示します。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生 本ビットが0の状態では DTS で DMA 転送エラーが発生すると、本ビットがセットされるとともに DTSERCH6-0 に DMA 転送エラーが発生した DTS チャンネル番号が保持されます。 本ビットが1の状態では DTS で DMA 転送エラーが発生すると、本ビットはセットされたままで、DTSERCH6-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

7.9.2.7 DTSER2 — DTS エラーレジスタ 2

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8028_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDE D	RAMDE DOV	—	—	RAMDEDAD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSE D	RAMSE DOV	—	—	RAMSEDAD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.17 DTSER2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	RAMDED	DTSRAM 2 ビットエラー発生フラグ DTSRAM のリードアクセスで 2 ビットエラーが発生したことを示します。 0 : DTSRAM で 2 ビットエラーが発生していない 1 : DTSRAM で 2 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットがセットされるとともに RAMDEDAD11~0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットはセットされたままで、RAMDEDAD11~0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。
30	RAMDED0V	DTSRAM 2 ビットエラーオーパフロー発生フラグ RAMDED ビットが 1 のときに、RAMDEDAD11~0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 2 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
29、28	予約ビット	リードした場合はリセット後の値が読めます。
27~16	RAMDEDAD[11:0]	DTSRAM2 ビットエラーアドレス RAMDED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 2 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。
15	RAMSED	DTSRAM 1 ビットエラー発生フラグ DTSRAM のリードアクセスで 1 ビットエラーが発生したことを示します。 0 : DTSRAM で 1 ビットエラーが発生していない 1 : DTSRAM で 1 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM に 1 ビットエラーが発生すると、本ビットがセットされるとともに RAMSEDAD11~0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると本ビットはセットされたままで、RAMSEDAD11~0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

表 7.17 DTSER2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	RAMSEDOV	DTSRAM 1 ビットエラーオーバフロー発生フラグ RAMSED ビットが 1 のときに、RAMSEDAD11~0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 1 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
13、12	予約ビット	リードした場合はリセット後の値が読めます。
11~0	RAMSEDAD[11:0]	DTSRAM 1 ビットエラーアドレス RAMSED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 1 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。

7.9.2.8 DTSERC — DTS エラークリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 802C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDE DC	RAMDE DOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSE DC	RAMSE DOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSER C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.18 DTSERC レジスタの内容

ビット位置	ビット名	機能
31	RAMDEDC	DTSRAM 2 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラー発生フラグ (DTSER2.RAMDED) をクリアします。 本ビットのリード値は常に 0 です。
30	RAMDEDOVC	DTSRAM 2 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMDEDOV) をクリアします。 本ビットのリード値は常に 0 です。
29~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	RAMSEDC	DTSRAM 1 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラー発生フラグ (DTSER2.RAMSED) をクリアします。 本ビットのリード値は常に 0 です
14	RAMSEDOVC	DTSRAM1 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMSEDOV) をクリアします。 本ビットのリード値は常に 0 です。
13~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTSERC	DTS エラー発生フラグクリア ユーザが 1 を書き込むと、DTS DMA 転送エラー発生フラグ (DTSER1.DTSER) をクリアします。 本ビットのリード値は常に 0 です。

7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8030_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.19 DM0CMV レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6~1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3、2 : アクセス元の SPID MINF1 : アクセス元の UM
16~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~4	VCH[2:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0~7) を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。
3~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0 : DMAC0 で違反アクセスが発生していない 1 : DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6~1、VCH2~0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6~1、VCH2~0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.10 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8034_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.20 DM1CMV レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。
22~17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが0の状態最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが1の状態違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6~1には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3、2 : アクセス元の SPID MINF1 : アクセス元の UM
16~7	予約ビット	リードした場合はリセット後の値が読めます。
6~4	VCH[2:0]	違反アクセス発生チャンネル VF ビットが0の状態最初に違反アクセスが発生したチャンネル番号(0~7)を保持します。VF ビットが1の状態違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。
3~1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0 : DMAC1 で違反アクセスが発生していない 1 : DMAC1 で違反アクセスが発生している 本ビットが0の状態DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともにMINF6~1、VCH2~0 ビットに情報が保存されます。 本ビットが1の状態DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6~1、VCH2~0 ビットの内容は変化しません。 本ビットはCMVC レジスタの操作でクリアが可能です。

7.9.2.11 DTSCMV — DTS レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCH[6:0]						—	—	—	VF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.21 DTSCMV レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。
22~17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6~1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ~ 4 : アクセス元の PEID MINF3、2 : アクセス元の SPID MINF1 : アクセス元の UM
16~11	予約ビット	リードした場合はリセット後の値が読めます。
10~4	VCH[6:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0~127) を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。
3~1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DTS で違反アクセスが発生したかどうかを示します。 0 : DTS で違反アクセスが発生していない 1 : DTS で違反アクセスが発生している 本ビットが 0 の状態で DTS で違反アクセスが発生すると、本ビットがセットされるとともに MINF6~1、VCH6~0 ビットに情報が保存されます。 本ビットが 1 の状態で DTS で違反アクセスが発生すると、本ビットはセットされたままで、MINF6~1、VCH6~0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.12 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 803C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSVC	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 7.22 CMVC レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	DTSVC	DTS 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DTS の違反アクセス発生フラグ (DTSCMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ (DM1CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ (DM0CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。

7.9.2.13 DTSPRn — DTS チャンネル優先度設定レジスタ (n = 0~7)

• DTSPR0

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS15PR[1:0]		DTS14PR[1:0]		DTS13PR[1:0]		DTS12PR[1:0]		DTS11PR[1:0]		DTS10PR[1:0]		DTS9PR[1:0]		DTS8PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS7PR[1:0]		DTS6PR[1:0]		DTS5PR[1:0]		DTS4PR[1:0]		DTS3PR[1:0]		DTS2PR[1:0]		DTS1PR[1:0]		DTS0PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.23 DTSPR0 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[15:0] PR[1:0]	DTS チャンネル[15:0]優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

• DTSPR1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS31PR[1:0]		DTS30PR[1:0]		DTS29PR[1:0]		DTS28PR[1:0]		DTS27PR[1:0]		DTS26PR[1:0]		DTS25PR[1:0]		DTS24PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS23PR[1:0]		DTS22PR[1:0]		DTS21PR[1:0]		DTS20PR[1:0]		DTS19PR[1:0]		DTS18PR[1:0]		DTS17PR[1:0]		DTS16PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.24 DTSPR1 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[31:16] PR[1:0]	DTS チャンネル[31:16]優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS47PR[1:0]		DTS46PR[1:0]		DTS45PR[1:0]		DTS44PR[1:0]		DTS43PR[1:0]		DTS42PR[1:0]		DTS41PR[1:0]		DTS40PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS39PR[1:0]		DTS38PR[1:0]		DTS37PR[1:0]		DTS36PR[1:0]		DTS35PR[1:0]		DTS34PR[1:0]		DTS33PR[1:0]		DTS32PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.25 DTSPR2 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[47:32] PR[1:0]	DTS チャンネル[47:32]優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR3

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 806C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS63PR[1:0]		DTS62PR[1:0]		DTS61PR[1:0]		DTS60PR[1:0]		DTS59PR[1:0]		DTS58PR[1:0]		DTS57PR[1:0]		DTS56PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS55PR[1:0]		DTS54PR[1:0]		DTS53PR[1:0]		DTS52PR[1:0]		DTS51PR[1:0]		DTS50PR[1:0]		DTS49PR[1:0]		DTS48PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.26 DTSPR3 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[63:48] PR[1:0]	DTS チャンネル[63:48]優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR4

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS79PR[1:0]		DTS78PR[1:0]		DTS77PR[1:0]		DTS76PR[1:0]		DTS75PR[1:0]		DTS74PR[1:0]		DTS73PR[1:0]		DTS72PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS71PR[1:0]		DTS70PR[1:0]		DTS69PR[1:0]		DTS68PR[1:0]		DTS67PR[1:0]		DTS66PR[1:0]		DTS65PR[1:0]		DTS64PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.27 DTSPR4 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[79:64] PR[1:0]	DTS チャンネル[79:64]優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR5

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS95PR[1:0]		DTS94PR[1:0]		DTS93PR[1:0]		DTS92PR[1:0]		DTS91PR[1:0]		DTS90PR[1:0]		DTS89PR[1:0]		DTS88PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS87PR[1:0]		DTS86PR[1:0]		DTS85PR[1:0]		DTS84PR[1:0]		DTS83PR[1:0]		DTS82PR[1:0]		DTS81PR[1:0]		DTS80PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.28 DTSPR5 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[95:80] PR[1:0]	DTS チャンネル[95:80]優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR6

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS111PR[1:0]		DTS110PR[1:0]		DTS109PR[1:0]		DTS108PR[1:0]		DTS107PR[1:0]		DTS106PR[1:0]		DTS105PR[1:0]		DTS104PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS103PR[1:0]		DTS102PR[1:0]		DTS101PR[1:0]		DTS100PR[1:0]		DTS99PR[1:0]		DTS98PR[1:0]		DTS97PR[1:0]		DTS96PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.29 DTSPR6 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[111:96] PR[1:0]	DTS チャンネル[111:96]優先順位設定 DTS チャンネルアービトラージ時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR7

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 807C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS127PR[1:0]		DTS126PR[1:0]		DTS125PR[1:0]		DTS124PR[1:0]		DTS123PR[1:0]		DTS122PR[1:0]		DTS121PR[1:0]		DTS120PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS119PR[1:0]		DTS118PR[1:0]		DTS117PR[1:0]		DTS116PR[1:0]		DTS115PR[1:0]		DTS114PR[1:0]		DTS113PR[1:0]		DTS112PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.30 DTSPR7 レジスタの内容

ビット位置	ビット名	機能
31~0	DTS[127:112] PR[1:0]	DTS チャンネル[127:112]優先順位設定 DTS チャンネルアービトラージ時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

7.9.2.14 DTRECCTL — DTSRAM ECC コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8080_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.31 DTRECCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に0が読み出されます。 本レジスタへの書き込みは (PROT1, PROT0) = (0, 1)で行ってください。
29~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	DTSRAM SEC エラー訂正ディスエーブル ECCDIS ビットが0のときに、SEC エラー訂正の許可/禁止を設定するためのビットです。 本ビットの状態に関係なく、ECC1 ビットエラー検出動作は ECCDIS ビットが0であれば、常に行われます。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : SEC エラー検出時にエラー訂正する 1 : SEC エラー検出時にエラー訂正しない
0	ECCDIS	DTSRAM ECC ディスエーブル DTSRAM の ECC エラー検出訂正機能の有効/無効を設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : DTSRAM ECC エラー検出訂正機能が有効 1 : DTSRAM ECC エラー検出訂正機能が無効 備考: エラー検出訂正機能が無効の場合でもエンコード機能は有効です。

7.9.2.15 DTRERINT — DTSRAM エラー通知コントロールレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8084_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.32 DTRERINT レジスタの内容

ビット位置	ビット名	機能
31~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	DTSRAM2 ビットエラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、2 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 2 ビットエラーの ECM への通知禁止 1 : 2 ビットエラーの ECM への通知許可
0	SEDIE	DTSRAM 1 ビットエラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、1 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 1 ビットエラーの ECM への通知禁止 1 : 1 ビットエラーの ECM への通知許可

7.9.2.16 DTRTCTL — DTSRAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモードの設定、DTSRAM へ書き込む ECC データの選択が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTS T	DATSE L
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.33 DTRTCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCTST ビット、DATSEL ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは (PROT1, PROT0) = (0, 1) で行ってください。
29~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	DTSRAM ECC テストモード DTSRAM の ECC テストモードを設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : ECC テストモード無効 1 : ECC テストモード有効
0	DATSEL	ECC テストデータ選択 ECCTST = 1 の時に有効で、DTSRAM に書き込む ECC データを選択します。このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0 : 書き込みデータからエンコードした ECC を使用 1 : DTSRAM テスト書き込みデータレジスタ (DTRTWDAT) で指定した値を使用

7.9.2.17 DTRTWDAT — DTSRAM テスト書き込みデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM に書き込む ECC データを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8098_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TWDAT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.34 DTRTWDAT レジスタの内容

ビット位置	ビット名	機能
31~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
6~0	TWDAT[6:0]	ECC テスト書き込みデータ DTRTCTL.ECCTST = 1 かつ DTRTCTL.DATSEL = 1 のときに、DTSRAM に書き込む ECC データの値を指定します。 本ビットへの書き込みは DTRTCTL.ECCTST = 1 のときに可能です。 DTRTCTL.ECCTST = 0 のときは書き込みできず、リードすると 0 が読み出せます。

7.9.2.18 DTRTRDAT — DTSRAM テスト読み出しデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM の ECC データをリードすることが可能です。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 809C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TRDAT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.35 DTRTRDAT レジスタの内容

ビット位置	ビット名	機能
31~7	予約ビット	リードした場合はリセット後の値が読めます。
6~0	TRDAT[6:0]	ECC テスト読み出しデータ DTRTSCTL.ECCTST = 1 のときに、DTSRAM から最後に読み出した ECC データを保持します。 DTRTSCTL.ECCTST = 0 のときにリードすると 0 が読み出せません。

7.9.2.19 DMnnCM — DMAC チャンルマスタ設定レジスタ (nn = 00~07、10~17)

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFFF 8100_H + 4_H × チャンネル番号 n (n = 0~7)

FFFF 8120_H + 4_H × チャンネル番号 n-10 (n = 10~17)

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID[2:0]			SPID[1:0]		UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 7.36 DMnnCM レジスタの内容

ビット位置	ビット名	機能
31~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~4	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
3、2	SPID[1:0]	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

DM00CM~DM07CM は DMAC0 チャンネル 0~7 のチャンネルマスタ情報を設定

DM10CM~DM17CM は DMAC1 チャンネル 0~7 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

7.9.2.20 DTSnnnCM — DTS チャンルマスタ設定レジスタ(nnn = 000~127)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8200_H + 4_H × チャンネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID[2:0]		SPID[1:0]		UM	—	
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.37 DTSnnnCM レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合は不定値が読めます。ライトする場合は 0 を書いてください。
22~20	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
19、18	SPID[1:0]	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
17	UM	チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。
16	予約ビット	リードした場合は不定値が読めます。ライトする場合は 0 を書いてください。
15~0	CMC[15:0]	転送回数コンペア このフィールドは「7.11.3.8 DTCCnnn — DTS 転送回数コンペアレジスタ」のビット[15:0]の内容と同じです。

注 意

DTS000CM~DTS127CM は DTS チャンネル 0~127 のチャンネルマスタ情報を設定
本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

注 意

このレジスタの下位 16 ビットは、DTS チャンネルレジスタの DTS 転送回数コンペアレジスタと共通です。
このレジスタに対するライトの結果は、DTS 転送回数コンペアレジスタにも反映されます。

DTS チャンネルマスタ設定レジスタの推奨設定手順

特殊マスタによる DMA 全体動作設定時に、このレジスタのビット 22~17 にチャンネルマスタ設定を行うとともに、ビット 15~0、およびリザーブビット（ビット 31~23、ビット 16）は 0 で初期化してください。

チャンネルに割り当てられたマスタが転送回数コンペア値を書き換える場合には、DTS 転送回数コンペアレジスタを利用してください。

本レジスタのリザーブビットは、値の読み書きが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

7.10 DMAC チャンネルレジスタ

7.10.1 DMAC チャンネルレジスタアドレス

アドレス=ベースアドレス“FFFF 8000_H” + オフセットアドレス

表 7.38 DMAC チャンネルレジスタアドレス

モジュール名	オフセットアドレス	レジスタ略称	意味	アクセス許可		
				特殊マスタ	一般マスタ	セキュアブート時
DMASS	0400 _H + 40 _H × [チャンネル番号] 注 1	DSAn	DMAC ソースアドレス	○	○	注 2
DMASS	0404 _H + 40 _H × [チャンネル番号] 注 1	DDAn	DMAC ディスティネーションアドレス	○	○	注 2
DMASS	0408 _H + 40 _H × [チャンネル番号] 注 1	DTCn	DMAC 転送回数	○	○	注 2
DMASS	040C _H + 40 _H × [チャンネル番号] 注 1	DTCTn	DMAC 転送制御	○	○	注 2
DMASS	0410 _H + 40 _H × [チャンネル番号] 注 1	DRSAn	DMAC リロードソースアドレス	○	○	注 2
DMASS	0414 _H + 40 _H × [チャンネル番号] 注 1	DRDAn	DMAC リロードディスティネーションアドレス	○	○	注 2
DMASS	0418 _H + 40 _H × [チャンネル番号] 注 1	DRTCn	DMAC リロード転送回数	○	○	注 2
DMASS	041C _H + 40 _H × [チャンネル番号] 注 1	DTCCn	DMAC 転送回数コンペア	○	○	注 2
DMASS	0420 _H + 40 _H × [チャンネル番号] 注 1	DCENn	DMAC チャンネル動作有効設定	○	○	注 2
DMASS	0424 _H + 40 _H × [チャンネル番号] 注 1	DCSTn	DMAC 転送ステータス	○	○	
DMASS	0428 _H + 40 _H × [チャンネル番号] 注 1	DCSTSn	DMAC 転送ステータスセット	○	○	注 2
DMASS	042C _H + 40 _H × [チャンネル番号] 注 1	DCSTCn	DMAC 転送ステータスクリア	○	○	注 2
DMASS	0430 _H + 40 _H × [チャンネル番号] 注 1	DTFRn	DTFR 設定	○	○	注 2
DMASS	0434 _H + 40 _H × [チャンネル番号] 注 1	DTFRRQn	DTFR 転送要求ステータス	○	○	
DMASS	0438 _H + 40 _H × [チャンネル番号] 注 1	DTFRRQCn	DTFR 転送要求クリア	○	○	注 2

注 1. オフセットアドレスの[チャンネル番号]およびレジスタ略称の n は 0~15 で、対応は以下のとおりです。

注 2. セキュアブート時、DMAC0 channel 0~7 のライトアクセスをマスクします。セキュアブートの詳細は、「第 32 章 インテリジェントクリプトグラフィックユニット E (ICUSE)」を参照してください。

チャンネル番号 n	チャンネル
0	DMAC0 channel 0
1	DMAC0 channel 1
2	DMAC0 channel 2
3	DMAC0 channel 3
4	DMAC0 channel 4
5	DMAC0 channel 5
6	DMAC0 channel 6
7	DMAC0 channel 7
8	DMAC1 channel 0
9	DMAC1 channel 1
10	DMAC1 channel 2
11	DMAC1 channel 3
12	DMAC1 channel 4
13	DMAC1 channel 5
14	DMAC1 channel 6
15	DMAC1 channel 7

7.10.2 DMAC チャンネルレジスタ詳細

レジスタ名称の n は、DMAC チャンネル番号 (n = 0~15) を示します。

7.10.2.1 DSAn — DMAC ソースアドレスレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8400_H + 40_H × チャンネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.39 DSAn レジスタの内容

ビット位置	ビット名	機能
31~0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが "0" の状態で設定してください。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (×は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.2 DDA_n — DMAC ディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8404_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

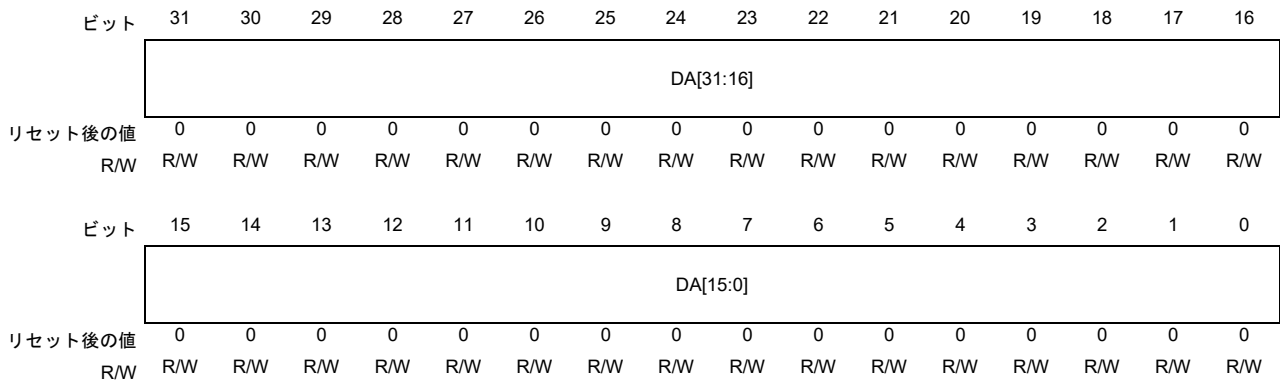


表 7.40 DDA_n レジスタの内容

ビット位置	ビット名	機能
31~0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが "0" の状態で設定してください。
3. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します
4. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (×は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.3 DTCn — DMAC 転送回数レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8408_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

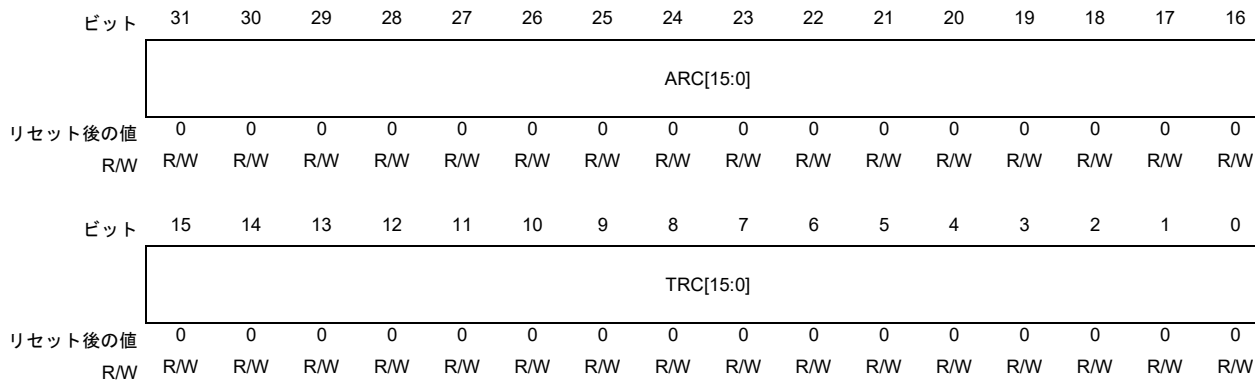


表 7.41 DTCn レジスタの内容

ビット位置	ビット名	機能										
31~16	ARC[15:0]	<p>アドレスリロードカウンタ</p> <p>リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウンタが読み出せます。</p> <p>リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。</p> <p>0000_H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。</p>										
15~0	TRC[15:0]	<p>転送回数</p> <p>転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>TRC15-0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>65536 回転送、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td style="text-align: center;">⋮</td> <td style="text-align: center;">⋮</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC15-0	動作	0000 _H	65536 回転送、または転送完了	0001 _H	1 回転送、または残り転送回数 1 回	⋮	⋮	FFFF _H	65535 回転送、または残り転送回数 65535 回
TRC15-0	動作											
0000 _H	65536 回転送、または転送完了											
0001 _H	1 回転送、または残り転送回数 1 回											
⋮	⋮											
FFFF _H	65535 回転送、または残り転送回数 65535 回											

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。

7.10.2.4 DTCTn — DMAC 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 840C_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSEL[2:0]			CHNE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	MLE	RLD2M[1:0]	RLD1M[1:0]	DACM[1:0]	SACM[1:0]	DS[2:0]			TRM[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.42 DTCTn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31~28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが0にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが1にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行する 1 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0 : ソフトウェア DMA 転送要求 1 : ハードウェア DMA 転送要求
25~21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20~18	CHNSEL[2:0]	チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は同一 DMAC 内の別のチャンネルをしてください。異なる DMAC および DTS のチャンネルへのチェーンは指定できません。チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17、16	CHNE[1:0]	チェーンイネーブル チェーン機能を設定します。 00 : 無効 01 : 最終転送でチェーン 残り転送回数が1回の DMA サイクルが完了した際にチェーンします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェーン DMA サイクルが完了するたびにチェーンします

表 7.42 DTCTn レジスタの内容 (2/3)

ビット位置	ビット名	機能															
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みを発生します。															
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。															
13	MLE	連続転送イネーブル このビットをセットすると、DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。 0 : DMA 転送完了時に DTE ビットをクリアします。また、TC ビットをクリアしてからでないと、次の DMA 転送を開始しません 1 : DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います															
12, 11	RLD2M[1:0]	リロード機能 2 設定 リロード機能 2 の設定をします。 00 : リロード機能 2 無効 01 : リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウンタをリロード 10 : リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウンタをリロード 11 : リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウンタをリロード															
10, 9	RLD1M[1:0]	リロード機能 1 設定 リロード機能 1 の設定をします 00 : リロード機能 1 無効 01 : リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード) 10 : リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード) 11 : リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード)															
8, 7	DACM[1:0]	ディスティネーションアドレスカウンタ方向 ディスティネーションアドレスのカウンタ方向を設定します。 <table border="1" data-bbox="507 1473 1305 1668"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DACM1	DACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)
DACM1	DACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止 (設定した場合の動作を保証しません)															

表 7.42 DTCTn レジスタの内容 (3/3)

ビット位置	ビット名	機能																												
6、5	SACM[1:0]	<p>ソースアドレスカウント方向 ソースアドレスのカウント方向を設定します。</p> <table border="1"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	SACM1	SACM0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)													
SACM1	SACM0	カウント方向																												
0	0	インクリメント																												
0	1	デクリメント																												
1	0	固定																												
1	1	設定禁止 (設定した場合の動作を保証しません)																												
4~2	DS[2:0]	<p>転送データサイズ 転送データサイズを設定します。</p> <table border="1"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8 ビット	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	64 ビット	1	0	0	128 ビット	上記以外			設定禁止 (設定した場合の動作を保証しません)
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8 ビット																											
0	0	1	16 ビット																											
0	1	0	32 ビット																											
0	1	1	64 ビット																											
1	0	0	128 ビット																											
上記以外			設定禁止 (設定した場合の動作を保証しません)																											
1、0	TRM[1:0]	<p>転送モード DMA 転送モードを設定します</p> <p>00 : シングル転送 01 : ブロック転送 1 (転送回数で指定した回数分を転送) 10 : ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11 : 設定禁止 (設定した場合の動作を保証しません)</p>																												

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

7.10.2.5 DRSA_n — DMAC リロードソースアドレスレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8410_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.43 DRSA_n レジスタの内容

ビット位置	ビット名	機能
31~0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.6 DRDAn — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8414_H + 40_H × チャンネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.44 DRDAn レジスタの内容

ビット位置	ビット名	機能
31~0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.10.2.7 DRTCn — DMAC リロード転送回数レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8418_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.45 DRTCn レジスタの内容

ビット位置	ビット名	機能
31~16	RARC[15:0]	リロードアドレスリロードカウンタ リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウンタにリロードする値を設定します。
15~0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

7.10.2.8 DTCCn — DMAC 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 841C_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.46 DTCCn レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15~0	CMC[15:0]	<p>転送回数コンペア</p> <p>転送回数レジスタとコンペアする転送回数を設定します。</p> <p>残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、DMAC 転送ステータスレジスタの転送完一致フラグ (DCSTn.CC) がセットされます。さらに DMAC 転送制御レジスタの転送回数一致割り込みイネーブル (DTCTn.CCE) ビットが 1 の場合は、転送回数一致割り込みが発生します。</p> <p>0000_Hを設定した場合には、転送回数とのコンペアを行いません。その場合、DMAC 転送ステータスレジスタの転送完一致フラグはセットされず、転送回数一致割り込みも発生しません。</p>

注 意

チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

7.10.2.9 DCENn — DMAC チャンネル動作有効設定レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8420_H + 40_H × チャンネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.47 DCENn レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTE	チャンネル動作有効 チャンネルの転送動作の有効、無効を設定します。DTE ビットが 1 の状態で、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に MLE ビットが 0 の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに 0 を書き込むと、DMA 転送を一時中断します。一時中断した状態で DTE ビットに 1 を書き込むと、一時中断を解除して DMA 転送を再開します 0 : チャンネル動作無効チャンネル一時中断 1 : チャンネル動作有効チャンネル一時中断解除

7.10.2.10 DCSTn — DMAC 転送ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8424_H + 40_H × チャンネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	CC	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.48 DCSTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ (ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 ER ビットがクリアされると本ビットも 0 にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した
10、9	予約ビット	リードした場合はリセット後の値が読めます。
8	CY	DMA サイクル実行状態 このチャンネルで DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTn.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
6	予約ビット	リードした場合はリセット後の値が読めます。
5	CC	転送回数一致フラグ 残り転送回数が転送回数コンペアレジスタの設定値と一致する DMA サイクルが完了した際にセットされます。 0 : 転送回数コンペアレジスタと転送回数の一致が発生していない 1 : 転送回数コンペアレジスタと転送回数の一致が発生した

表 7.48 DCSTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送未完了 1 : DMA 転送完了
3、2	予約ビット	リードした場合はリセット後の値が読めます。
1	DR	ハードウェア DMA 転送要求状態 DTFR からのハードウェア DMA 転送要求 (DMARQ) があることを示します。 本ビットは DTFR からのハードウェア DMA 転送要求があると、DTE ビットの状態にかかわらず変化します。DMAC 転送制御レジスタの転送要求選択ビット (DRS) でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。 0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり
0	SR	ソフトウェア DMA 転送要求フラグ ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的にクリアされます。ユーザは DMAC 転送ステータスセットレジスタ (DCSTS _n) の SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ (DCSTC _n) の SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。 0 : ソフトウェア DMA 転送要求なし 1 : ソフトウェア DMA 転送要求あり

7.10.2.11 DCSTS_n — DMAC 転送ステータスセットレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8428_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.49 DCSTS_n レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ (SR) をセットすることができます。本ビットのリード値は常に 0 です。

7.10.2.12 DCSTCn — DMAC 転送ステータスクリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 842C_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	CCC	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R/W

表 7.50 DCSTCn レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ERC	転送エラーフラグクリア 本ビットに1を書き込むことでDMA転送エラーフラグ(ER)をクリアすることができます。本ビットのリード値は常に0です。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CCC	転送回数一致フラグクリア 本ビットに1を書き込むことで転送回数一致フラグ(CC)をクリアすることができます。本ビットのリード値は常に0です。
4	TCC	転送完了フラグクリア 本ビットに1を書き込むことで転送完了フラグ(TC)をクリアすることができます。本ビットのリード値は常に0です。
3~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRC	ソフトウェアDMA転送要求フラグクリア 本ビットに1を書き込むことでソフトウェアDMA転送要求フラグ(SR)をクリアすることができます。本ビットのリード値は常に0です。

7.10.2.13 DTFRn — DTFR 設定レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8430_H + 40_H × チャンネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSEL[6:0]							REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.51 DTFRn レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7~1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ~ 111_1111 : DMACTRG[127] 入力を選択
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0 : ハードウェア DMA 転送要因選択無効 1 : ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、REQSEL6~0 ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

7.10.2.14 DTFRRQn — DTFR 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8434_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.52 DTFRRQn レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	<p>ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。</p> <ul style="list-style-type: none"> エッジ検出のハードウェア DMA 転送要求の場合^{注1} エッジ検出したハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされると自動的にクリアされます。ユーザは DTFRRQC.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合^{注1} ハードウェア DMA 転送要求入力の有無を示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされても自動的にクリアされません。 またユーザは DTFRRQC.DRQC ビットを操作しても本ビットをクリアすることはできません。 本ビットはハードウェア DMA 転送要求があると、DTFRn.REQEN ビットの状態にかかわらず変化します。 <p>0 : ハードウェア DMA 転送要求なし 1 : ハードウェア DMA 転送要求あり</p>

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.10.2.15 DTFRRQCn — DTFR 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8438_H + 40_H × チャネル番号 n (n = 0~15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.53 DTFRRQCn レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	ハードウェア DMA 転送要求クリア エッジ検出のハードウェア DMA 転送要求の場合 ^{注1} 、ユーザは本ビットに1を書き込むことでDTFRRQ.DRQ ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合 ^{注1} 、本ビットを操作しても DTFRRQ.DRQ ビットをクリアすることはできません。 本ビットのリード値は常に0です。

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.11 DTS チャンネルレジスタ

7.11.1 DTS の転送情報 (TI)

7.11.1.1 TI 構成

DTS 転送情報を TI (Trasfer Information) と呼び、32 ビットを 1 つの TI として、1 チャンネルあたり 8 つの TI が割り当てられます。8 つの TI をそれぞれ TI-A、TI-B、TI-C、TI-D、TI-E、TI-F、TI-G、TI-H と呼びます。

図 7.12 に TI の構成を示します。

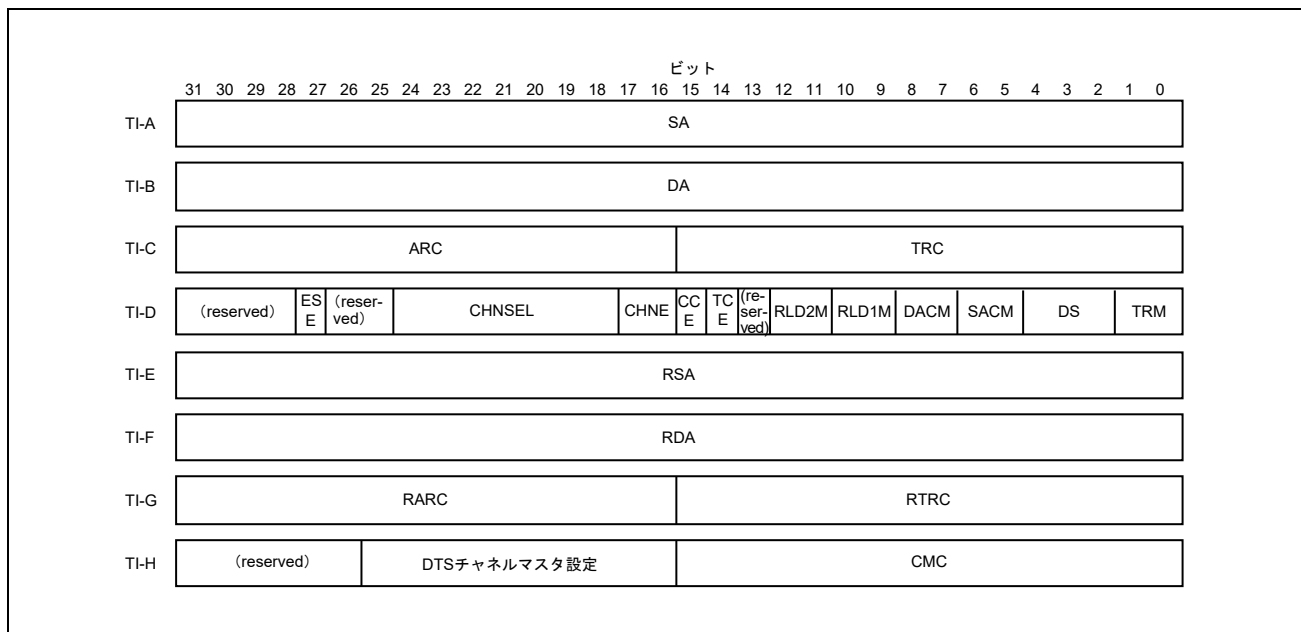


図 7.12 TI の構成

7.11.1.2 DTSRAM 内の TI 配置

ユーザは各チャンネルの DTS チャンネルレジスタおよび DTS チャンネルマスタ設定レジスタにアクセスすることで、間接的に DTSRAM にアクセスを行います。

したがって、ユーザは通常 DTSRAM 内の TI 配置アドレスを意識する必要はありません。

ただし、DTSRAM リード時に ECC エラーが発生した場合、グローバルレジスタの DTSRAM エラーレジスタ 2 (DTSER2) に ECC エラーが発生した DTSRAM 上のアドレスが保存されます。DTSRAM の ECC エラー発生時にどのチャンネルのどの TI でエラーが発生したのかを DTSRAM エラーレジスタの内容から知るためには、DTSRAM 内の TI 配置アドレスを理解する必要があります。

図 7.13 に DTSRAM 内の TI 配置アドレスを示します。

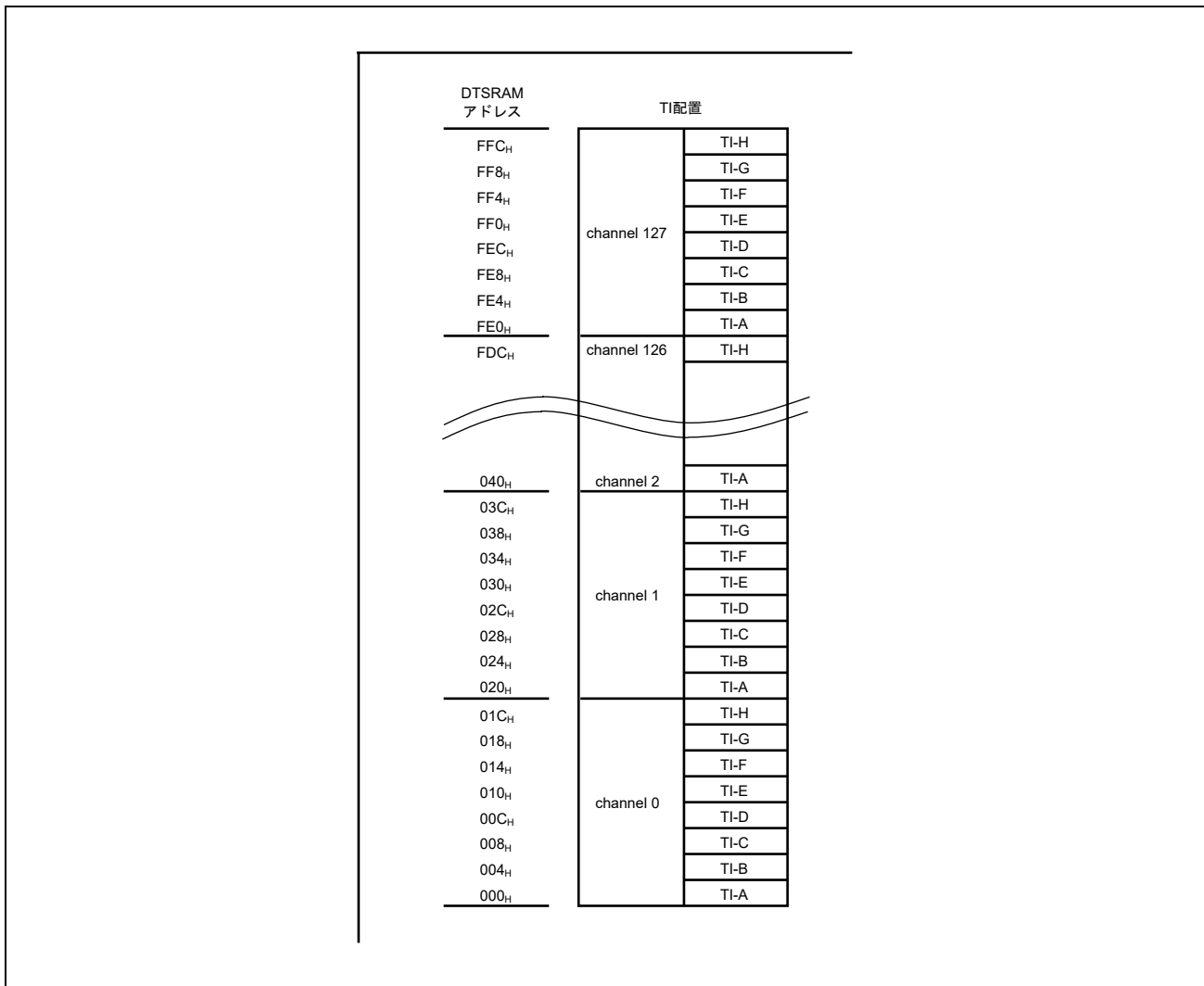


図 7.13 DTSRAM 内の TI 配置

7.11.1.3 TI へのアクセス方法

TI-A は、各チャンネルの DTS ソースアドレスレジスタ (DTSAnnn) からアクセスが可能です。

TI-B は、各チャンネルの DTS ディスティネーションアドレスレジスタ (DTDAnnn) からアクセスが可能です。

TI-C は、各チャンネルの DTS 転送回数レジスタ (DTTCnnn) からアクセスが可能です。

TI-D は、各チャンネルの DTS 転送制御レジスタ (DTTCTnnn) からアクセスが可能です。

TI-E は、各チャンネルの DTS リロードソースアドレスレジスタ (DTRSAnnn) からアクセスが可能です。

TI-F は、各チャンネルの DTS リロードディスティネーションアドレスレジスタ (DTRDAnnn) からアクセスが可能です。

TI-G は、各チャンネルの DTS リロード転送回数レジスタ (DTRTCnnn) からアクセスが可能です。

TI-H はグローバルレジスタのチャンネルマスタ設定レジスタ (DTSnnnCM)、および各チャンネルの転送回数コンペアレジスタ (DTTCCnnn) からアクセスが可能です。

7.11.1.4 TI アクセスの際の注意点

DTS チャンネルマスタ設定レジスタの内容と DTS 転送回数コンペアレジスタの内容は同一の TI-H に格納されます。

DTS チャンネルマスタ設定レジスタ (DTSnmmCM) へのアクセスは、32 ビットの TI-H 全体に対するアクセスとなります。したがって、DTS チャンネルマスタ設定レジスタへのライトアクセスでは、下位 16 ビットの DTS 転送回数コンペア (CMC) の値も同時に書き換えられます。DTS チャンネルマスタ設定レジスタへのリードアクセスでは、下位 16 ビットに DTS 転送回数コンペア (CMC) の値が読み出されます。

DTS 転送回数コンペアレジスタ (DTTCnmm) へのリードアクセスでは、32 ビットの TI-H をリードした結果の下位 16 ビットのみがレジスタリード結果に反映されます。DTS 転送回数コンペアレジスタ (DTTCnmm) へのライトアクセスでは、32 ビットの TI-H に対する下位 16 ビットのリードモディファイライトアクセスを行います。リセット直後の TI の内容は不定であり、DTS チャンネルマスタ設定レジスタへの設定を行わないまま DTS 転送回数コンペアレジスタ (DTTCnmm) へのライトアクセスを行うと、リードモディファイライトアクセスのリード時に ECC エラーを検出する可能性がありますので注意してください。

TI-H のビット 31~26 は未使用ですが、DTS チャンネルマスタ設定レジスタにアクセスすることでリードライต์が可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

TI を格納する DTSRAM のリセット後の内容は不定です。リセット後、値をライトする前の TI に対してリードを行うと ECC エラーが発生します。

したがって、リセット後の次のレジスタへの最初のアクセスは、必ずライトアクセスを行ってください。リセット後の最初のアクセスでリードアクセスを行わないでください。

- DTS ソースアドレスレジスタ (DTSAnmm)
- DTS ディスティネーションアドレスレジスタ (DTDAmm)
- DTS 転送回数レジスタ (DTTCnmm)
- DTS 転送制御レジスタ (DTTCTmm)
- DTS リロードソースアドレスレジスタ (DTRSAmm)
- DTS リロードディスティネーションアドレスレジスタ (DTRDAmm)
- DTS リロード転送回数レジスタ (DTRTCnmm)
- チャンネルマスタ設定レジスタ (DTSnmmCM)

また、リセット後の DTS 転送回数コンペアレジスタ (DTTCnmm) への最初のアクセスは、必ずチャンネルマスタ設定レジスタ (DTSnmmCM) へのライトアクセスを行ったあとに行ってください。

DTS で DMA 転送を実行中でも CPU からの TI アクセスが可能です。その際、次の点に注意してください。

- DMA 転送を実行中のチャンネルの TI を CPU からの TI アクセスで書き換える操作は行わないようにしてください。DMA 転送の結果と TI の内容に不整合が生じる可能性があります。
- TI フェッチまたは TI ライトバックの実行中に CPU からの TI アクセス要求があると、TI フェッチまたは TI ライトバックの完了を待ってから TI アクセスを実行します。また、CPU からの TI アクセス要求の処理中に TI フェッチまたは TI ライトバックが発生すると、TI アクセス処理の完了を待ってから TI フェッチまたは TI ライトバックを実行します。

7.11.2 DTS チャンネルレジスタアドレス

アドレス=ベースアドレス“FFFF 9000_H” + オフセットアドレス

表 7.54 DTS チャンネルレジスタアドレス

モジュール名	オフセットアドレス	レジスタ略称	意味	アクセス許可	
				特殊マスタ	一般マスタ
DMASS	0000 _H + 40 _H × [チャンネル番号] 注 1	DTSA _{nnn}	DTS ソースアドレス	○	○
DMASS	0004 _H + 40 _H × [チャンネル番号] 注 1	DTDA _{nnn}	DTS ディスティネーションアドレス	○	○
DMASS	0008 _H + 40 _H × [チャンネル番号] 注 1	DTTC _{nnn}	DTS 転送回数	○	○
DMASS	000C _H + 40 _H × [チャンネル番号] 注 1	DTTC _{Tnnn}	DTS 転送制御	○	○
DMASS	0010 _H + 40 _H × [チャンネル番号] 注 1	DTRSA _{nnn}	DTS リロードソースアドレス	○	○
DMASS	0014 _H + 40 _H × [チャンネル番号] 注 1	DTRDA _{nnn}	DTS リロードディスティネーションアドレス	○	○
DMASS	0018 _H + 40 _H × [チャンネル番号] 注 1	DTRTC _{nnn}	DTS リロード転送回数	○	○
DMASS	001C _H + 40 _H × [チャンネル番号] 注 1	DTTC _{Cnnn}	DTS 転送回数コンペア	○	○
DMASS	0020 _H + 40 _H × [チャンネル番号] 注 1	DTFSL _{nnn}	DTSFSL 動作設定	○	○
DMASS	0024 _H + 40 _H × [チャンネル番号] 注 1	DTFST _{nnn}	DTSFSL 転送要求ステータス	○	○
DMASS	0028 _H + 40 _H × [チャンネル番号] 注 1	DTFSS _{nnn}	DTSFSL 転送要求セット	○	○
DMASS	002C _H + 40 _H × [チャンネル番号] 注 1	DTFSC _{nnn}	DTSFSL 転送要求クリア	○	○

注 1. オフセットアドレスの[チャンネル番号]は 0~127
レジスタ名称の nnn は 3 桁のチャンネル番号 000~127

7.11.3 DTS チャンネルレジスタ詳細

レジスタ名称の nnn の部分は DTS チャンネル番号 (nnn = 000~127) を示します。

7.11.3.1 DTSA_{nnn} — DTS ソースアドレスレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 9000_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.55 DTSA_{nnn} レジスタの内容

ビット位置	ビット名	機能
31~0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。 TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送元アドレスが保持されます。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (×は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.2 DTDAnnn — DTS ディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 9004_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA[31:16]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.56 DTDAnnn レジスタの内容

ビット位置	ビット名	機能
31~0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送先アドレスが保持されます。

注 意

- DMA 転送のリードサイクルで DMA 転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します
- ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (×は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.3 DTTcnnn — DTS 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9008_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.57 DTTcnnn レジスタの内容

ビット位置	ビット名	機能										
31~16	ARC[15:0]	<p>アドレスリロードカウンタ</p> <p>リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。リロード機能 2 またはブロック転送 2 を使用する場合本ビットは DMA サイクルごとに 1 ずつ減算され、T1 ライトバック時に更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。</p> <p>0000_H を設定した場合にはアドレスリロードは発生しません。</p> <p>DMA サイクル開始時の値が 0000_H の場合、DMA サイクルが発生してもアドレスリロードカウンタは減算されません。</p>										
15~0	TRC[15:0]	<p>転送回数</p> <p>転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算され、T1 ライトバック時に更新されます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <p>0000_H を設定した場合、DMA 転送要求を受け付けても DMA 転送を行いません。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>TRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>転送無効、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td style="text-align: center;">⋮</td> <td style="text-align: center;">⋮</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC[15:0]	動作	0000 _H	転送無効、または転送完了	0001 _H	1 回転送、または残り転送回数 1 回	⋮	⋮	FFFF _H	65535 回転送、または残り転送回数 65535 回
TRC[15:0]	動作											
0000 _H	転送無効、または転送完了											
0001 _H	1 回転送、または残り転送回数 1 回											
⋮	⋮											
FFFF _H	65535 回転送、または残り転送回数 65535 回											

注 意

- DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。
- DMAC と異なり、DTS の転送回数の“0000_H”は 65536 回転送ではなく、転送無効または転送完了を示します。

7.11.3.4 DTTCTnnn — DTS 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 900C_H + 40_H × チャネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	—	—	CHNSEL[6:0]						CHNE[1:0]		
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	—	RLD2M[1:0]	RLD1M[1:0]	DACM[1:0]	SACM[1:0]	DS[2:0]		TRM[1:0]						
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.58 DTTCTnnn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31~28	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
27	ESE	転送エラー時 DMA 転送中止設定 DMA 転送エラーが発生した場合に DMA 転送を中止するかどうかを設定します。 本ビットが0にセットされている場合は、DMA 転送エラーが発生しても DMA 転送を続けます。 本ビットが1にセットされている場合は、DMA 転送エラーが発生した場合、残りの DMA 転送を中止します。 0: DMA 転送エラーが発生した場合に DMA 転送を継続する 1: DMA 転送エラーが発生した場合に DMA 転送を中止する
26、25	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
24~18	CHNSEL[6:0]	チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は DTS 内の別のチャンネルを指定してください。DMAC のチャンネルへのチェーンは指定できません。 チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です。(設定した場合の動作を保証しません。)
17、16	CHNE[1:0]	チェーンイネーブル チェーン機能を設定します 00: 無効 01: 最終転送でチェーン 残り転送回数が1回の DMA サイクルが完了した際にチェーンします 10: (設定禁止、設定した場合の動作を保証しません) 11: 常にチェーン DMA サイクルが完了するたびにチェーンします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みが発生します。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みが発生します。

表 7.58 DTTCTnnn レジスタの内容 (2/3)

ビット位置	ビット名	機能															
13	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。															
12、11	RLD2M[1:0]	<p>リロード機能2 設定 リロード機能2 の設定をします</p> <p>00 : リロード機能2 無効 01 : リロード機能2 有効 アドレスリロードカウン트가1のDMA サイクル完了時に、ソースアドレスとアドレスリロードカウン트를リロード</p> <p>10 : リロード機能2 有効 アドレスリロードカウン트가1のDMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウン트를リロード</p> <p>11 : リロード機能2 有効 アドレスリロードカウン트가1のDMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウン트를リロード</p>															
10、9	RLD1M[1:0]	<p>リロード機能1 設定 リロード機能1 の設定をします</p> <p>00 : リロード機能1 無効 01 : リロード機能1 有効 転送回数が残り1回のDMA サイクル完了時に、ソースアドレスと転送回数をリロード (リロード機能2 が有効の場合、アドレスリロードカウンともリロード)</p> <p>10 : リロード機能1 有効 転送回数が残り1回のDMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード (リロード機能2 が有効の場合、アドレスリロードカウンともリロード)</p> <p>11 : リロード機能1 有効 転送回数が残り1回のDMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード (リロード機能2 が有効の場合、アドレスリロードカウンともリロード)</p>															
8、7	DACM[1:0]	<p>ディスティネーションアドレスカウンタ方向 ディスティネーションアドレスのカウンタ方向を設定します。</p> <table border="1"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DACM1	DACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)
DACM1	DACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止 (設定した場合の動作を保証しません)															
6、5	SACM[1:0]	<p>ソースアドレスカウンタ方向 ソースアドレスのカウンタ方向を設定します。</p> <table border="1"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	SACM1	SACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)
SACM1	SACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止 (設定した場合の動作を保証しません)															

表 7.58 DTTCTnnn レジスタの内容 (3/3)

ビット位置	ビット名	機能																												
4~2	DS[2:0]	転送データサイズ 転送データサイズを設定します。 <table border="1" data-bbox="507 383 1307 651"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8 ビット	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	64 ビット	1	0	0	128 ビット	上記以外			設定禁止 (設定した場合の動作を保証しません)
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8 ビット																											
0	0	1	16 ビット																											
0	1	0	32 ビット																											
0	1	1	64 ビット																											
1	0	0	128 ビット																											
上記以外			設定禁止 (設定した場合の動作を保証しません)																											
1、0	TRM[1:0]	転送モード DMA 転送モードを設定します 00 : シングル転送 01 : ブロック転送 1 (転送回数で指定した回数分を転送) 10 : ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11 : 設定禁止 (設定した場合の動作を保証しません)																												

注 意

1. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。
2. ビット 31~28、ビット 26~25、ビット 13 は未使用ですがリードライトが可能です。ライト時は 0 とし、リード時はこれらのビットの値を無視することを推奨します。

7.11.3.5 DTRSA_{nnn} — DTS リロードソースアドレスレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 9010_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.59 DTRSA_{nnn} レジスタの内容

ビット位置	ビット名	機能
31~0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.6 DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9014_H + 40_H × チャネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.60 DTRDAnnn レジスタの内容

ビット位置	ビット名	機能
31~0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

7.11.3.7 DTRTCnnn — DTS リロード転送回数レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 9018_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.61 DTRTCnnn レジスタの内容

ビット位置	ビット名	機能
31~16	RARC[15:0]	リロードアドレスリロードカウンタ リロード機能 2 を使用時に、アドレスリロードカウンタにリロードする値を設定します。
15~0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用時に、転送回数にリロードする値を設定します。
	RTRC[15:0]	動作
	0000 _H	DMA 転送しない
	0001 _H	1 回転送
	:	:
	FFFF _H	65535 回転送

7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 901C_H + 40_H × チャネル番号 n (n = 0~127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.62 DTTCCnnn レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合は不定値が読めます。ライトする場合は0を書いてください。
15~0	CMC[15:0]	<p>転送回数コンペア</p> <p>転送回数レジスタとコンペアする転送回数を設定します。</p> <p>DTS 転送制御レジスタの転送回数一致割り込みイネーブル (DTTCTnnn.CCE) ビットが1の場合、残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、転送回数一致割り込みが発生します。</p> <p>0000_Hを設定した場合には、転送回数とのコンペアを行いません。その場合、転送回数一致割り込みは発生しません。</p>

注 意

本レジスタは、必ず DTS チャネルマスタ設定レジスタの設定を行ったあとでアクセスを行ってください。

リセット後に DTS チャネルマスタ設定を行わないまま本レジスタにアクセスを行うと、アクセスの際に ECC エラーが発生する可能性があります。

7.11.3.9 DTFSL_{nnn} — DTSFSL 動作設定レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 9020_H + 40_H × チャネル番号 n (n = 0~127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.63 DTFSL_{nnn} レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	REQEN	DMA 転送要求有効 DTSFSL で保持しているこのチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とするかどうかを選択します。 0 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補としない 1 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とする 本ビットが 0 の場合は、DTSFSL で DMA 転送要求を保持していても、このチャンネルは DTSFSL 内での DTS チャンネルアービトレーションの候補とならず、結果としてこのチャンネルの DMA 転送要求は発生しません。

7.11.3.10 DTFSTnnn — DTSFSL 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 9024_H + 40_H × チャネル番号 n (n = 0~127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.64 DTFSTnnn レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	<p>DMA 転送要求保持状態 このチャンネルで DMA 転送要求を保持していることを示します。 ハードウェア転送要因入力の検出、またはソフトウェアでの DTFSSnnn.DRQS ビットへの“1”書き込みによりリセットされます。</p> <p>DTSFSL からこのチャンネルの DMA 転送要求を行っている際に DTS が DMA 転送要求を受け付けると自動的にクリアされます。またはソフトウェアで DTFSCnnn.DRQC ビットに“1”を書き込むことで本ビットをクリアすることができます。</p> <p>0：DMA 転送要求を保持していない 1：DMA 転送要求を保持している</p>

7.11.3.11 DTFSSnnn — DTSFSL 転送要求セットレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 9028_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.65 DTFSSnnn レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQS	DMA 転送要求セット ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをセットすることができます。本ビットのリード値は常に 0 です。

7.11.3.12 DTFSCnnn — DTSFSL 転送要求クリアレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 902C_H + 40_H × チャンネル番号 n (n = 0~127)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.66 DTFSCnnn レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	DMA 転送要求クリア ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをクリアすることができます。本ビットのリード値は常に 0 です。

7.12 DMA/DTS トリガ要因選択レジスタ

7.12.1 DMA/DTS トリガ要因選択レジスタアドレス

DMA/DTS トリガ要因はトリガソースを Primary トリガ要因と Secondary トリガ要因の 2 要因から 1 要因を選択します。DMA トリガ要因は表 7.8 を、DTS トリガ要因は表 7.9 を参照してください。DMA 転送の設定を行う際に、本レジスタの設定を行ってください。

表 7.67 DMA/DTS トリガ要因選択レジスタアドレス

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
FFD41000 _H	DTSTRGSEL0	DTS Primary/Secondary 選択レジスタ 0	○	○
FFD41004 _H	DTSTRGSEL1	DTS Primary/Secondary 選択レジスタ 1	○	○
FFD41008 _H	DTSTRGSEL2	DTS Primary/Secondary 選択レジスタ 2	○	○
FFD4100C _H	DTSTRGSEL3	DTS Primary/Secondary 選択レジスタ 3	○	○
FFD41100 _H	DMATRGSEL0	DMA Primary/Secondary 選択レジスタ 0	○	○
FFD41104 _H	DMATRGSEL1	DMA Primary/Secondary 選択レジスタ 1	○	○
FFD41108 _H	DMATRGSEL2	DMA Primary/Secondary 選択レジスタ 2	○	○
FFD4110C _H	DMATRGSEL3	DMA Primary/Secondary 選択レジスタ 3	○	○

7.12.2 DMA/DTS トリガ要因選択レジスタ詳細

7.12.2.1 DTSTRGSEL_n — DTS トリガ要因選択レジスタ n

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD4 1000_H + 4_H × n (n = 0~3)

リセット後の値 0000 0000_H

• DTSTRGSEL0

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTSSE L31	DTSSE L30	DTSSE L29	DTSSE L28	DTSSE L27	DTSSE L26	DTSSE L25	DTSSE L24	DTSSE L23	DTSSE L22	DTSSE L21	DTSSE L20	DTSSE L19	DTSSE L18	DTSSE L17	DTSSE L16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTSSE L15	DTSSE L14	DTSSE L13	DTSSE L12	DTSSE L11	DTSSE L10	DTSSE L9	DTSSE L8	DTSSE L7	DTSSE L6	DTSSE L5	DTSSE L4	DTSSE L3	DTSSE L2	DTSSE L1	DTSSE L0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DTSTRGSEL1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTSSE L63	DTSSE L62	DTSSE L61	DTSSE L60	DTSSE L59	DTSSE L58	DTSSE L57	DTSSE L56	DTSSE L55	DTSSE L54	DTSSE L53	DTSSE L52	DTSSE L51	DTSSE L50	DTSSE L49	DTSSE L48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTSSE L47	DTSSE L46	DTSSE L45	DTSSE L44	DTSSE L43	DTSSE L42	DTSSE L41	DTSSE L40	DTSSE L39	DTSSE L38	DTSSE L37	DTSSE L36	DTSSE L35	DTSSE L34	DTSSE L33	DTSSE L32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DTSTRGSEL2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTSSE L95	DTSSE L94	DTSSE L93	DTSSE L92	DTSSE L91	DTSSE L90	DTSSE L89	DTSSE L88	DTSSE L87	DTSSE L86	DTSSE L85	DTSSE L84	DTSSE L83	DTSSE L82	DTSSE L81	DTSSE L80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTSSE L79	DTSSE L78	DTSSE L77	DTSSE L76	DTSSE L75	DTSSE L74	DTSSE L73	DTSSE L72	DTSSE L71	DTSSE L70	DTSSE L69	DTSSE L68	DTSSE L67	DTSSE L66	DTSSE L65	DTSSE L64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DTSTRGSEL3

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTSSE L127	DTSSE L126	DTSSE L125	DTSSE L124	DTSSE L123	DTSSE L122	DTSSE L121	DTSSE L120	DTSSE L119	DTSSE L118	DTSSE L117	DTSSE L116	DTSSE L115	DTSSE L114	DTSSE L113	DTSSE L112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTSSE L111	DTSSE L110	DTSSE L109	DTSSE L108	DTSSE L107	DTSSE L106	DTSSE L105	DTSSE L104	DTSSE L103	DTSSE L102	DTSSE L101	DTSSE L100	DTSSE L99	DTSSE L98	DTSSE L97	DTSSE L96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.68 DTSTRGSELn レジスタの内容

ビット位置	ビット名	機能
31~0	DTSSEL[31 + 32n:0 + 32n]	DTS トリガ要因選択 DTSSEL0~127 で、DTS へ入力する DTS トリガ要因を選択します。 DTSSEL = 0 : Primary channel を選択 DTSSEL = 1 : Secondary channel を選択

7.12.2.2 DMATRGSELn — DMA トリガ要因選択レジスタ n

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFD4 1100_H + 4_H × n (n = 0~3)

リセット後の値 0000 0000_H

• DMATRGSEL0

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMASE L31	DMASE L30	DMASE L29	DMASE L28	DMASE L27	DMASE L26	DMASE L25	DMASE L24	DMASE L23	DMASE L22	DMASE L21	DMASE L20	DMASE L19	DMASE L18	DMASE L17	DMASE L16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMASE L15	DMASE L14	DMASE L13	DMASE L12	DMASE L11	DMASE L10	DMASE L9	DMASE L8	DMASE L7	DMASE L6	DMASE L5	DMASE L4	DMASE L3	DMASE L2	DMASE L1	DMASE L0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMATRGSEL1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMASE L63	DMASE L62	DMASE L61	DMASE L60	DMASE L59	DMASE L58	DMASE L57	DMASE L56	DMASE L55	DMASE L54	DMASE L53	DMASE L52	DMASE L51	DMASE L50	DMASE L49	DMASE L48
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMASE L47	DMASE L46	DMASE L45	DMASE L44	DMASE L43	DMASE L42	DMASE L41	DMASE L40	DMASE L39	DMASE L38	DMASE L37	DMASE L36	DMASE L35	DMASE L34	DMASE L33	DMASE L32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMATRGSEL2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMASE L95	DMASE L94	DMASE L93	DMASE L92	DMASE L91	DMASE L90	DMASE L89	DMASE L88	DMASE L87	DMASE L86	DMASE L85	DMASE L84	DMASE L83	DMASE L82	DMASE L81	DMASE L80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMASE L79	DMASE L78	DMASE L77	DMASE L76	DMASE L75	DMASE L74	DMASE L73	DMASE L72	DMASE L71	DMASE L70	DMASE L69	DMASE L68	DMASE L67	DMASE L66	DMASE L65	DMASE L64
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMATRGSEL3

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMASE L127	DMASE L126	DMASE L125	DMASE L124	DMASE L123	DMASE L122	DMASE L121	DMASE L120	DMASE L119	DMASE L118	DMASE L117	DMASE L116	DMASE L115	DMASE L114	DMASE L113	DMASE L112
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMASE L111	DMASE L110	DMASE L109	DMASE L108	DMASE L107	DMASE L106	DMASE L105	DMASE L104	DMASE L103	DMASE L102	DMASE L101	DMASE L100	DMASE L99	DMASE L98	DMASE L97	DMASE L96
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.69 DMATRGSELn レジスタの内容

ビット位置	ビット名	機能
31~0	DMASEL[31 + 32n:0 + 32n]	DMA トリガ要因選択 DMASEL0~127 で、DMA へ入力する DMA トリガ要因を選択します。 DMASEL = 0 : Primary channel を選択 DMASEL = 1 : Secondary channel を選択

第8章 リセット

8.1 RH850/C1M-A リセットの特長

- $\overline{\text{RESET}}$ 端子にノイズキャンセラを搭載
- リセット要因判定レジスタを参照することにより、どの要因でリセットが掛かったかを判断することができます。
- CPU からレジスタを設定することによりリセットを発行することができます。

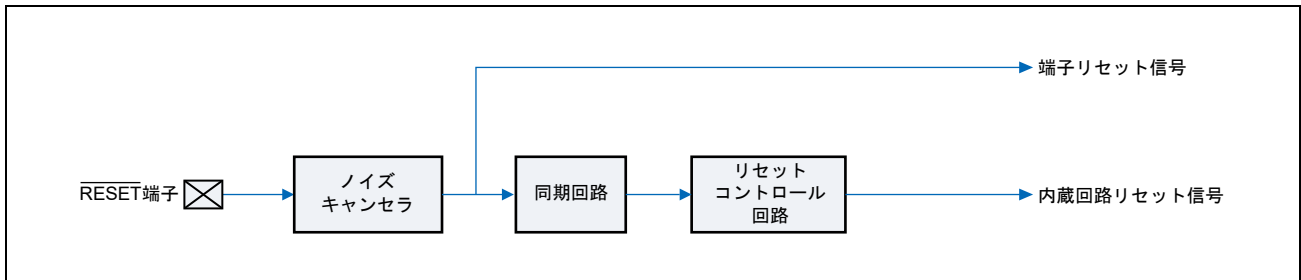


図 8.1 リセット回路

8.2 リセット状態

8.2.1 外部リセット状態

$\overline{\text{RESET}}$ 端子にノイズキャンセル幅 (t_{RESNCW}) 以上のローレベルパルスが入力されると、外部リセットが受け付けられ、本製品は外部リセット状態に遷移します。外部リセットが受け付けられると各端子は外部リセット状態に遷移します。各端子の外部リセット中の状態は、「第2章 端子」の「表 2.63 端子状態」をご参照ください。

$\overline{\text{RESET}}$ 端子にはノイズキャンセル回路が内蔵されているため、入力するローレベルパルス幅は、 t_{RESW} (t_{cyc}) 以上の期間入力する必要があります。その後、 $\overline{\text{RESET}}$ 端子にハイレベルを入力すると、本製品は内部リセット状態へ遷移します。

注 意

t_{RESNCW} 、 t_{RESW} は、「第39章 電気的特性」を参照してください。

8.2.2 内部リセット状態

外部リセット状態から $\overline{\text{RESET}}$ 端子にノイズキャンセル幅 (t_{RESNCW}) 以上のハイレベルが入力されると、本製品は内部リセット状態へ遷移します。各端子の状態は、「第2章 端子」の「表 2.63 端子状態」をご参照ください。

外部リセット解除後、内部リセット状態が解除され、CPU はリセット例外処理を開始いたします。

注 意

t_{RESNCW} は、「第39章 電気的特性」を参照してください。

8.3 リセット要因

本製品のリセット要因を次に示します。いくつかのレジスタは外部リセット状態でのみ初期化されます。つまり、 $\overline{\text{RESET}}$ 端子へのローレベル入力によってのみ初期化されます。

大半のレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。

つまり、すべてのリセット要因によって初期化されます。

各レジスタの初期化要因については、各章の説明を参照してください。リセット要因や初期化要因を明記していないレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。ただし、レジスタによってはリセット後の値が不定の場合もあります。これらのレジスタは、リセットによって値が確定しませんので注意してください。

要因	動作説明
$\overline{\text{RESET}}$ 端子にローレベルが入力された場合	外部リセット状態へ遷移します。
ECM からリセット要求が発行された場合	内部リセット状態へ遷移します。
デバッガからリセットが発行された場合（強制リセット発行時）	外部リセット状態へ遷移します。
CPU からソフトウェアリセット要求レジスタを設定	内部リセット状態へ遷移します。

8.4 レジスタ

8.4.1 レジスタ一覧

リセットのレジスタ一覧を以下に示します。

表 8.1 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	アクセス保護
SYS	リセット要因判定レジスタ	RESF	FFF8 2800 _H	
SYS	リセット要因クリアレジスタ	RESFC	FFF8 2808 _H	
SYS	ソフトウェアリセット要求レジスタ	SWRESA	FFF8 AC18 _H	PROT1PHCMD

8.4.2 RESF — リセット要因判定レジスタ

本レジスタは、リセット要因を判定するレジスタです。

このレジスタのフラグは RESFC レジスタでクリアできます。また、外部リセットでのみリセットされます。内部リセットではリセットされません。

アクセス 32ビット単位でリード可能です

アドレス FFF8 2800_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.2 RESF レジスタの内容

ビット位置	ビット名	機能
1	RESF1	ECM リセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり
0	RESF0	ソフトウェアリセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり

8.4.3 RESFC — リセット要因クリアレジスタ

本レジスタは、RESF レジスタで示されたリセット要因をクリアするレジスタです。

リードすると常に 0000 0000_H が読み出されます。本レジスタは、外部リセットでのみリセットされます。内部リセットではリセットされません。

アクセス 32ビット単位でリード/ライト可能です

アドレス FFF8 2808_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESFC 1	RESFC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 8.3 RESFC レジスタの内容

ビット位置	ビット名	機能
1	RESFC1	ECM リセット ステータスビットをクリアします。 0: クリアしない 1: クリアする
0	RESFC0	ソフトウェアリセット ステータスビットをクリアします。 0: クリアしない 1: クリアする

8.4.4 SWRESA — ソフトウェアリセット要求レジスタ

本レジスタは、レジスタをアクセスすることで内部リセットを発生させるレジスタです。

SWRESA に 1 を書き込むと、ソフトウェアリセットが発行されます。本レジスタは、PROT1PHCMD レジスタによって保護することができます。このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 AC18_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.4 SWRESA レジスタの内容

ビット位置	ビット名	機能
0	SWRESA	0 : — (デフォルト) 1 : 内部リセットが有効 (内部リセットのトリガ)

例) SWRESA レジスタへの書き込みシーケンス

SWRESA レジスタへの書き込みは、以下に示すプロテクト解除特別シーケンスが必要です。

この手順が守られないと、PROT1PS レジスタにプロテクションエラーが表示されます。

PROT1PS レジスタの詳細は、「10.2.11 PROT1PS — プロテクト 1 ステータスレジスタ」を参照してください。

- 手順 1. PROT1PHCMD レジスタに固定値 0000 00A5_H を書き込みます。
- 手順 2. SWRESA レジスタに設定値 0000 0001_H を書き込みます。
- 手順 3. SWRESA レジスタに反転値 FFFF FFFE_H を書き込みます。
- 手順 4. SWRESA レジスタに設定値 0000 0001_H を書き込みます。

以上の手順で、SWRESA レジスタに設定値 0000 0001_H を書き込むことができます。

上記手順とおりに行わなかった場合、保護解除シーケンスは失敗し、SWRESA レジスタに設定値 0000 0001_H は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。

保護解除シーケンスに失敗した場合は、手順 1. から保護解除シーケンスを再実行してください。

また、上記手順 1. から手順 4. までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROTIPS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注1. 対象のレジスタは、「10.2.10 PROT1PHCMD - プロテクト1 コマンドレジスタ」の注を参照してください。

8.5 手順

8.5.1 ソフトウェアリセット

ソフトウェアリセットの設定フローを以下に示します。

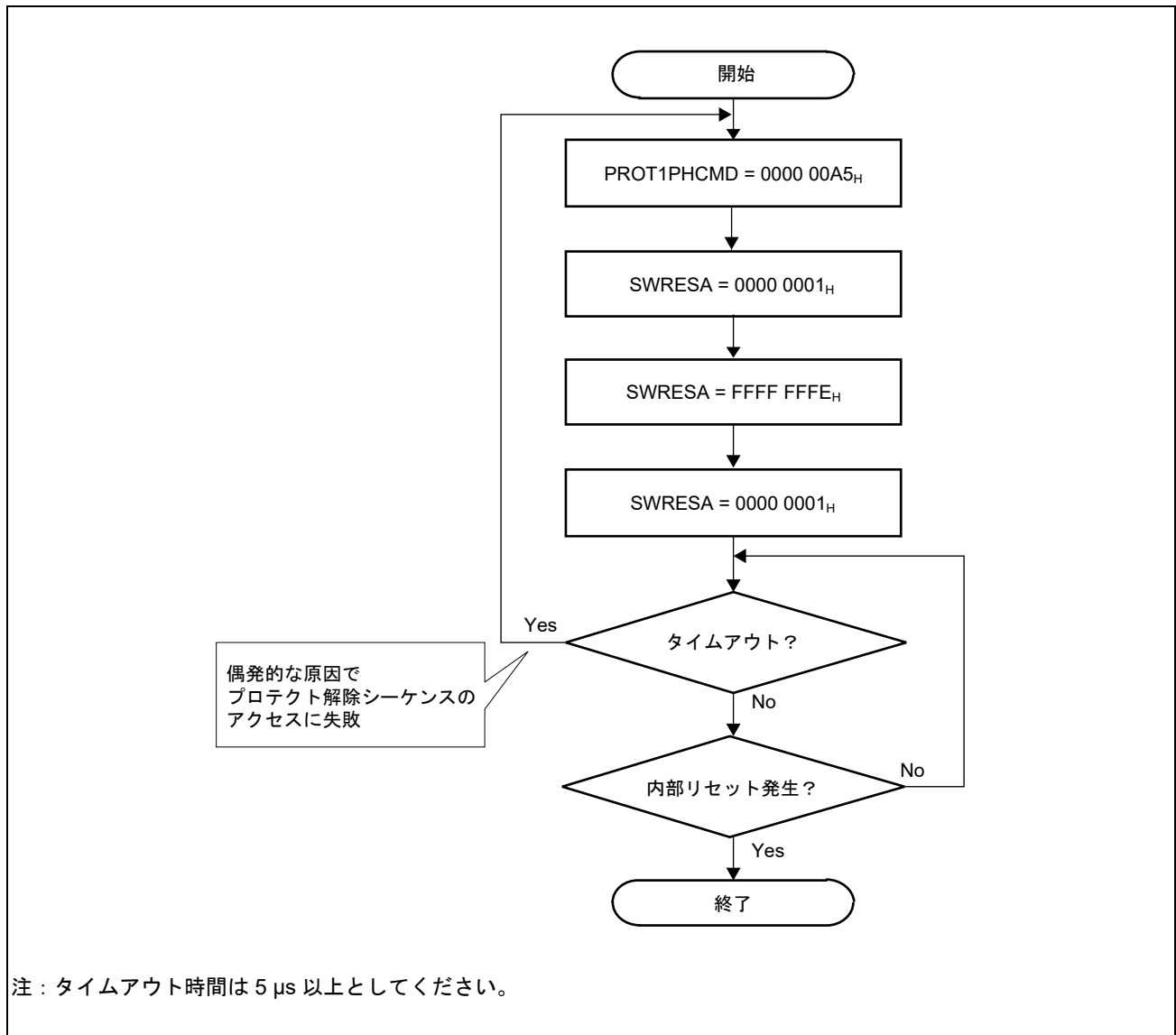


図 8.2 ソフトウェアリセットのフロー

8.6 注意事項

デバッグ機能において、リセットをマスクする機能があります。本機能の誤動作を防ぐため、デバッグ機能を使用しない場合は $\overline{\text{DCUTRST}}$ 端子を Low 固定して使用してください。

第9章 電源回路

本章では、RH850/C1M-A 電源回路全般について説明します。

9.1 RH850/C1M-A 電源回路の特長

- 電源説明

電源端子と電源用途を以下に示します。

動作時には、すべての電源に所定の電圧を供給してください。停止時には、すべての電源をオフしてください。

- AnVCC と RVCC は同電位になるように接続してください。

表 9.1 電源端子一覧

電源端子電源名	端子名	オペレーション状態の電源電圧値	電源用途
SYSVCC		4.5 V ~ 5.5 V	システム論理、PLL
VCC		4.5 V ~ 5.5 V	発振器、Flash 書き換え、Port (5V)
VDD		1.15 V ~ 1.35 V	コア電源 (ダイレクト給電)、コア電源用安定化容量
AnVCC		4.5 V ~ 5.5 V	SAR AD 用電源
	AnVREFH	4.5 V ~ 5.5 V	SAR AD 用基準電圧
RVCC		4.5 V ~ 5.5 V	RDC 用電源

9.2 手順

9.2.1 電源投入シーケンス

電源投入、遮断規定は、「第 39 章 電気的特性」を参照してください。

9.3 注意事項

9.3.1 電源端子の外付けコンデンサ例

下記に示す例はあくまでも参考値です。最終的にはお客様システム条件での電圧変動発生時を考慮の上、マイコン電源端子の電圧レベルが製品規格を満たせるよう、最適な容量および配置をご検討およびご評価頂き決定願います。

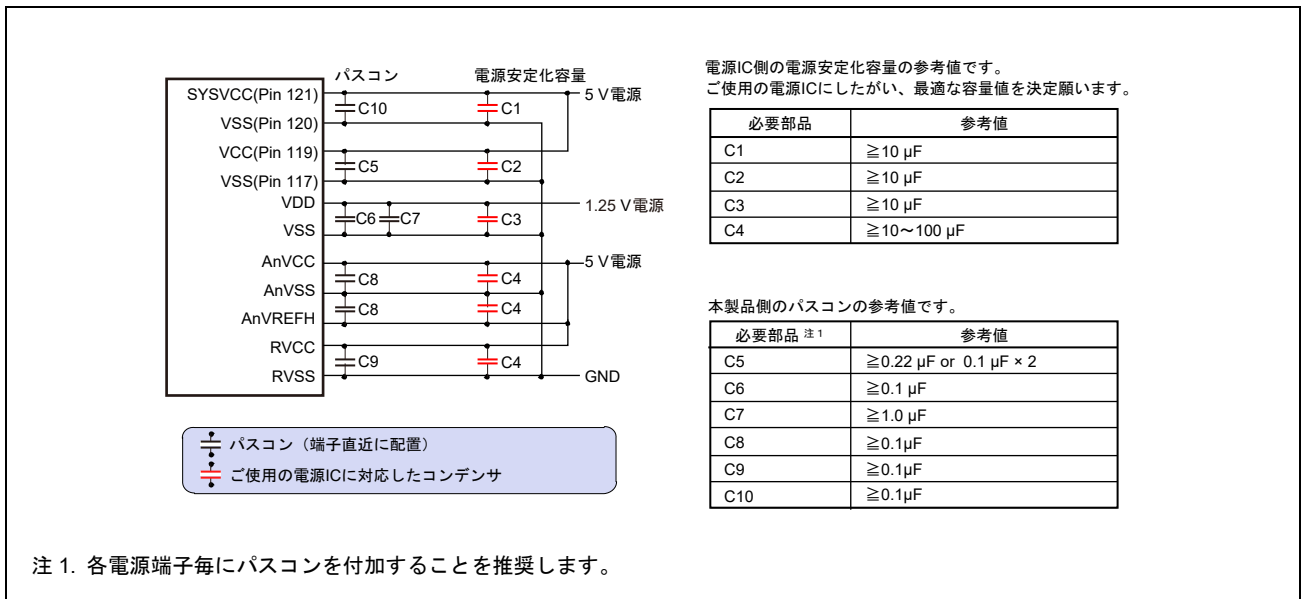


図 9.1 電源端子の外付けコンデンサ例 (RH850/C1M-A1 (QFP))

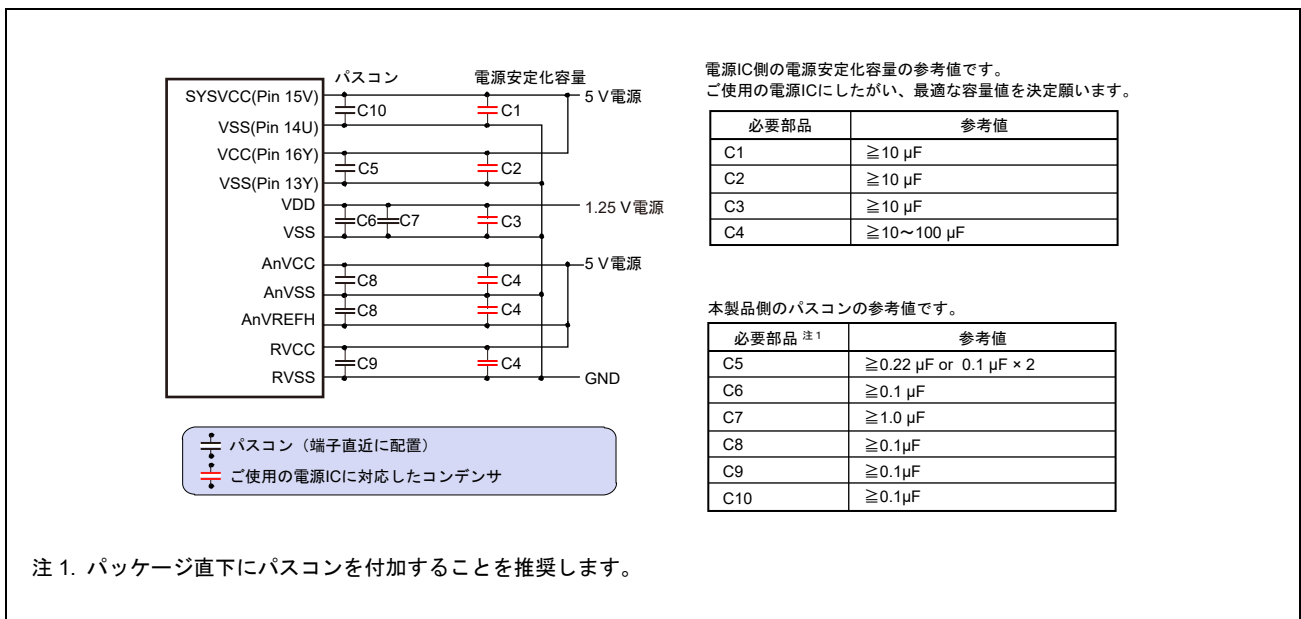


図 9.2 電源端子の外付けコンデンサ例 (RH850/C1M-A2 (BGA))

第10章 クロックコントローラ

本章では、クロックコントローラ全般について説明します。

最初の節では、クロック種類、ブロック図、入出力端子など、RH850/C1M-A に固有の特長について説明します。それ以降の節では、クロックコントローラのレジスタ、機能について説明します。

10.1 RH850/C1M-A クロックコントローラの特長

- 発振回路を内蔵（メイン OSC）
- 外付け容量なしで 20 MHz 発振可能（振動子限定）
- 内蔵 PLL によりクロックの通倍が可能
- 輻射ノイズを低減するため SSCG（Spread Spectrum Clock Generator）の PLL0 を内蔵。
タイマや通信モジュール用に周波数変調のない非変調クロック（clean clock）の PLL1 も搭載
- 低速内蔵発振回路（LS IntOSC）を内蔵
- メイン OSC がクロックモニタで設定した周波数範囲を外れた場合に ECM へエラー通知可能
- リセット解除後の突入電流抑制のためソフトウェアによる段階的なクロックギアアップが可能。レジスタ設定にて CPU クロックおよび周辺クロックの分周比を選択（1/4, 1/2, 1/1）^{注1}

注1. 1/4、1/2 設定時の ADCC、RDC3A の動作保証はありません。他の周辺回路は、入力されたクロック周波数で動作しますが、電気的特性の保証はありません。したがって、本製品はクロックギアアップシーケンスを実行後、分周器 0A/1A の分周比が 1/1（分周なし）の状態で使用してください。

10.1.1 クロック種類

表 10.1 にクロック一覧、表 10.2 に各ユニットの動作クロック、図 10.1 にクロックのブロック図を示します。

表 10.1 クロック一覧（1/2）

入力周波数（メイン OSC）20 MHz 動作時

クロック名	シンボル	クロック周波数 ^{注1}			備考
		分周器 0A/分周器 1A の分周比			
		1/1	1/2	1/4	
CPU クロック	CLK_CPU	320 MHz(*1) 240 MHz(*2)	160 MHz(*1) 120 MHz(*2)	80 MHz(*1) 60 MHz(*2)	PLL0（SSCG 選択可） *1：C1M-A2 の場合 *2：C1M-A1 の場合
GRAM クロック	CLK_GRAM	160 MHz(*1) 120 MHz(*2)	80 MHz(*1) 60 MHz(*2)	40 MHz(*1) 30 MHz(*2)	
高速周辺クロック	CLK_HSB	80 MHz	40 MHz	20 MHz	
低速周辺クロック	CLK_LSB	40 MHz	20 MHz	10 MHz	
SubCPU クロック	CLK_EMU_H	320 MHz(*1) 240 MHz(*2)	160 MHz(*1) 120 MHz(*2)	80 MHz(*1) 60 MHz(*2)	
モータ制御 H/W アクセラレータクロック	CLK_EMU_L	160 MHz(*1) 120 MHz(*2)	80 MHz(*1) 60 MHz(*2)	40 MHz(*1) 30 MHz(*2)	

注1. 本製品はクロックギアアップシーケンスを実行後、分周器 0A/1A の分周比が 1/1（分周なし）の状態で使用してください。

表 10.1 クロック一覧 (2/2)

クロック名	シンボル	クロック周波数 ^{注 1}			備考
		分周器 0A/分周器 1A の分周比			
		1/1	1/2	1/4	
非変調高速周辺クロック	CLKC_HSB	80 MHz	40 MHz	20 MHz	PLL1 (SSCG 選択不可)
非変調低速周辺クロック	CLKC_LSB	40 MHz	20 MHz	10 MHz	
低速内蔵クロック	CLK_LIOSC	240 kHz			
WDTA カウンタクロック	WDTCLKI	250 kHz/240 kHz			メイン OSC の 1/80 または CLK_LIOSC を選択可

注 1. 本製品はクロックギアアップシーケンスを実行後、分周器 0A/1A の分周比が 1/1 (分周なし) の状態で使用してください。

表 10.2 クロックと機能モジュール

クロック名	ユニット
CPU クロック	CPU1, CPU2
GRAM クロック	GRAM
高速周辺クロック	INTC, INTIF, DMAC, DTS, CSIH, RS-CANFD, EMU3, RDC3A
低速周辺クロック	ECM, DCRA, PORT, Data FLASH, FLASH Controller, FLSCI3, EINT, RLIN3, ADCC, ADPA
SubCPU クロック	EMU3
モータ制御 H/W アクセラレータクロック	EMU3
非変調高速周辺クロック	TAUD, TAUJ, TSG3, TAPA, TPBA, PIC1B, PIC2D, ENCA, EMU3
非変調低速周辺クロック	RS-CANFD, RLIN3, SCI3, WDTA, SWDTA, OSTM, RDC3A, ADCC, RSENT
低速内蔵クロック	CLMA
WDTA カウンタクロック	WDTA, SWDTA

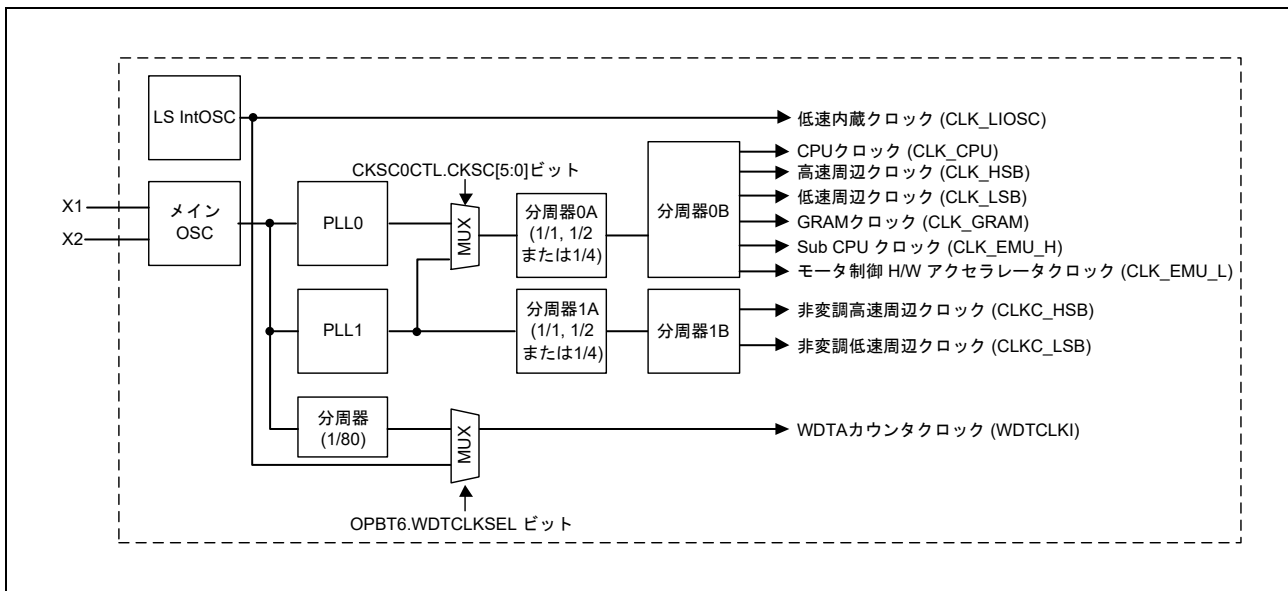


図 10.1 クロックコントローラのブロック図

10.1.2 外部入出力端子

クロック発振器に関連する端子を表 10.3 に示します。

表 10.3 クロック発振関連端子

名称	端子名	入出力	機能
クリスタル入力	X1	入力	水晶振動子を接続
クリスタル出力	X2	出力	水晶振動子を接続

10.1.3 水晶振動子の接続方法

図 10.2 に水晶振動子の接続方法を示します。当社推奨の水晶振動子（別途お問い合わせください）を使用した場合、基本的に負荷容量やダンピング抵抗などの外付け部品なしで発振が可能ですが、ご使用の環境で評価の上でお使いください。

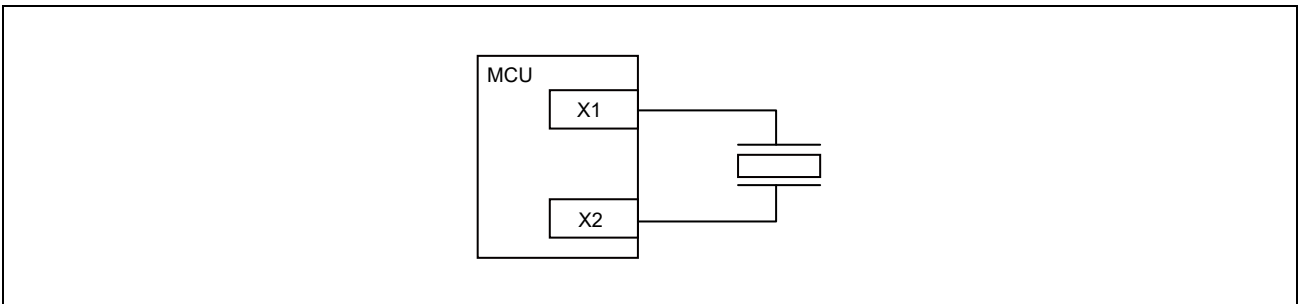


図 10.2 水晶振動子の接続例

10.2 レジスタ

10.2.1 レジスタ一覧

レジスタ一覧を表 10.4 に示します。

表 10.4 クロック発振関連レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	アクセス保護
SYS	PLL0 ステータスレジスタ	PLL0CLKS	FFF8 8004 _H	
SYS	PLL0 制御レジスタ 1	PLL0CLKC1	FFF8 8200 _H	PROT1PHCMD
SYS	クロック 0 選択制御レジスタ	CKSC0CTL	FFF8 9000 _H	PROT1PHCMD
SYS	クロック 0 選択アクティブレジスタ	CKSC0ACT	FFF8 9008 _H	
SYS	クロック 0 分周レジスタ	CLKD0DIV	FFF8 8800 _H	PROT1PHCMD
SYS	クロック 0 分周ステータスレジスタ	CLKD0STAT	FFF8 8804 _H	
SYS	クロック 1 選択制御レジスタ	CKSC1CTL	FFF8 9040 _H	PROT1PHCMD
SYS	クロック 1 選択アクティブレジスタ	CKSC1ACT	FFF8 9048 _H	
SYS	プロテクト 1 コマンドレジスタ	PROT1PHCMD	FFF8 B000 _H	
SYS	プロテクト 1 ステータスレジスタ	PROT1PS	FFF8 B004 _H	

10.2.2 PLL0CLKS — PLL0 ステータスレジスタ

このレジスタは、PLL0 クロックの有効/アクティブ状態および安定状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 8004_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKACT	CLKSTAB	CLKEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. CPU の動作スタート後にリードされたタイミングに依存します。

表 10.5 PLL0CLKS レジスタの内容

ビット位置	ビット名	機能
31~3	—	リザーブビット 読み出すと“0”が読み出されます。
2	CLKACT	PLL0 クロックソース状態 0: PLL0 クロックソースインアクティブ 1: PLL0 クロックソースアクティブ
1	CLKSTAB	PLL0 クロック安定状態 0: PLL0 クロック不安定 1: PLL0 クロック安定
0	CLKEN	PLL0 動作状態 0: 停止 1: 動作

10.2.3 PLL0CLKC1 — PLL0 制御レジスタ 1

このレジスタは、PLL0 の SSCG (Spread Spectrum Clock Generator) の動作を制御します。

PLL0 が作動しているとき、このレジスタはセットすることができます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 8200_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSMODE1	—	SELMFREQ[4:0]				SELMPERCENT[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10.6 PLL0CLKC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~10	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
9	SSMODE1	SSCG 制御 0 : 変調なし 1 : 変調あり
8	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

表 10.6 PLL0CLKC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
7~3	SELMFREQ [4:0]	SSCG 周期設定 本ビットを設定することで、SSCG の変調周期を選択することができます。 選択可能な設定は以下です。 10000 _B : 80.65 kHz 10001 _B : 75.76 kHz 10010 _B : 69.44 kHz 10011 _B : 65.79 kHz 10100 _B : 62.50 kHz 10101 _B : 59.52 kHz 10110 _B : 58.14 kHz 10111 _B : 50.00 kHz 11000 _B : 41.67 kHz 11001 _B : 39.68 kHz 11010 _B : 37.31 kHz 11011 _B : 33.33 kHz 11100 _B : 30.12 kHz 11101 _B : 25.00 kHz 11110 _B : 20.00 kHz SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。
2~0	SELMPERCENT [2:0]	SSCG 変調範囲設定 本ビットを設定することで、SSCG 変調範囲を選択することができます。 選択可能な設定は以下です。 100 _B : -5.0% SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。

PLL0 の変調度切り替えの際は、いったん SSCG を OFF (PLL0CLKC1.SSMODE1 = 0) にして、かつ min 1.6 ms 待つ必要があります。

10.2.4 CKSC0CTL — クロック 0 選択制御レジスタ

このレジスタは分周器 0A のクロックソース選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 9000_H

リセット後の値 0000 0020_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CKSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 10.7 CKSC0CTL レジスタの内容

ビット位置	ビット名	機能
31~6	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5~0	CKSC[5:0]	分周器 0A のクロックソースを選択します。 10000 _B : PLL1 クロックを選択します。 10001 _B : PLL0 クロックを選択します。 上記以外を設定しないでください。

10.2.5 CKSC0ACT — クロック 0 選択アクティブレジスタ

このレジスタは分周器 0A のクロックソース状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 9008_H

リセット後の値 0000 0020_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLKACT[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.8 CKSC0ACT レジスタの内容

ビット位置	ビット名	機能
31~6	—	リザーブビット 読み出すと“0”が読み出されます。
5~0	CLKACT[5:0]	CKSC0CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 0A のクロックソース切り替えが完了していることを示します。

10.2.6 CLKD0DIV — クロック 0 分周レジスタ

このレジスタは分周器 0A の分周比を設定します。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 8800H

リセット後の値 0000 0004H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKD0DIV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 10.9 CLKD0DIV レジスタの内容

ビット位置	ビット名	機能
31~3	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	CLKD0DIV[2:0]	分周器 0A の分周比を設定します。 001 _B : 分周なし 010 _B : 2 分周 100 _B : 4 分周 上記以外を設定しないでください。

10.2.7 CLKD0STAT — クロック 0 分周ステータスレジスタ

このレジスタは、分周器 0A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 8804_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKD0 SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.10 CLKD0STAT レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブビット 読み出すと“0”が読み出されます。
0	CLKD0SYNC	分周器同期ステータス 0：分周器 0A は CLKD0DIV で設定した分周比への切り替え途中です。 1：分周器 0A は CLKD0DIV で設定した分周比で動作しています。

10.2.8 CKSC1CTL — クロック 1 選択制御レジスタ

このレジスタは分周器 1A の出力クロック選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード/ライト可能です

アドレス FFF8 9040_H

リセット後の値 0000 0021_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CKSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 10.11 CKSC1CTL レジスタの内容

ビット位置	ビット名	機能
31~6	—	リザーブビット 読み出すと“0”が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5~0	CKSC[5:0]	分周器 1A の出力クロックを選択します。 100001 _B : PLL1 の 1/4 のクロックを選択します。 100010 _B : PLL1 の 1/2 のクロックを選択します。 100100 _B : PLL1 クロックを選択します。 上記以外を設定しないでください。

10.2.9 CKSC1ACT — クロック 1 選択アクティブレジスタ

このレジスタは分周器 1A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 9048_H

リセット後の値 0000 0021_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLKACT[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.12 CKSC1ACT レジスタの内容

ビット位置	ビット名	機能
31~6	—	リザーブビット 読み出すと“0”が読み出されます。
5~0	CLKACT[5:0]	CKSC1CTL レジスタの CKSC[5:0] に設定した値と同じ値になれば、分周器 1A の出力クロック切り替えが完了していることを示します。 100001 _B : 1/4 x PLL1 100010 _B : 1/2 x PLL1 100100 _B : 1/1 x PLL1

10.2.10 PROT1PHCMD — プロテクト 1 コマンドレジスタ

このレジスタは保護レジスタへのライトアクセスのために必要なプロテクト解除シーケンスを開始するための保護コマンドレジスタです。

このレジスタは内部・外部リセットの両方で初期化されます。

	アクセス 32 ビット単位でリード/ライト可能です															
	アドレス FFF8 B000 _H															
	リセット後の値 0000 0000 _H															
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10.13 PROT1PHCMD レジスタの内容

ビット位置	ビット名	機能
31~8	—	リザーブビット 読み出すと“0”が読み出されます。
7~0	PCMD[7:0]	書き込みプロテクションコマンドレジスタ

このレジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタ（保護レジスタ）への書き込み動作に対してプロテクションを施すために使用するものです。

保護レジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

- 手順 1.** PROT1PHCMD レジスタに固定値 0000 00A5_Hを書き込みます。
- 手順 2.** 保護レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みません。
- 手順 3.** 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。
- 手順 4.** 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護レジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護レジスタに設定値は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。

(必須ではありませんが、手順 4 のあと、PROT1PS レジスタの PROTERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROT1PS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注1. PROT1PHCMD では、アドレス FFF8 8004_H~FFF8 B004_Hに配置されたレジスタが該当します。レジスタ名、レジスタシンボル及びモジュール名については、表 8.1 及び、表 10.4、表 29.122~表 29.124、表 35.10 のレジスタ一覧を参照してください。

10.2.11 PROT1PS — プロテクト 1 ステータスレジスタ

このレジスタはプロテクト解除シーケンスの状態レジスタです。保護レジスタへのライトアクセスのエラー情報を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス	32 ビット単位でリード可能です															
アドレス	FFF8 B004 _H															
リセット後の値	0000 0000 _H															
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTE RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.14 PROT1PS レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブビット 読み出すと“0”が読み出されます。
0	PROTERR	プロテクションエラーフラグ 0: プロテクションエラーが発生していない 1: プロテクションエラーが発生した

PROTERR ビットの動作条件

セット条件：

PROT1PHCMD でプロテクションの対象となっているレジスタ（保護レジスタ）に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件：

PROT1PHCMD レジスタに 0000 00A5_H を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

10.3 機能

10.3.1 分周機能使用時の動作説明

下記手順にてクロック切り替えを行ってください。

1. リセット解除後のユーザプログラム動作時、PLL0/PLL1 は発振状態にあり、内部は PLL1 にて動作しています。また分周器 0A は 1/4 設定となっています。PLL0CLKS レジスタをリードし、値が 07_H で PLL0 が安定して動作していることを確認します。
2. CKSC0CTL.CKSC[5:0] に 23_H を書き込み、クロックソースを PLL0 選択とします。
3. クロックソース切り替えウェイト処理として、CPU 最大動作周波数が 320 MHz の製品では CPU クロック 140 サイクル以上、240 MHz の製品では CPU クロック 105 サイクル以上経過したのち、CKSC0ACT をリードし、CKSC0ACT.CLKACT[5:0] の値が 23_H になっていることを確認します。
4. CLKD0DIV.CLKD0DIV[2:0] に 010_B を設定し、分周器を 1/2 設定にします。
5. 分周比切り替えウェイト処理として、CPU 最大動作周波数が 320 MHz の製品では CPU クロック 140 サイクル以上、240 MHz の製品では CPU クロック 105 サイクル以上経過したのち、CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。
6. CLKD0DIV.CLKD0DIV[2:0] に 001_B を設定し、分周器を 1/1 設定にします。
7. 分周比切り替えウェイト処理として、CPU 最大動作周波数が 320 MHz の製品では CPU クロック 140 サイクル以上、240 MHz の製品では CPU クロック 105 サイクル以上経過したのち、CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。

PLL1 側の分周器 1A の分周比切り替えも、上記 4～7 と同様の手順を踏んでください。

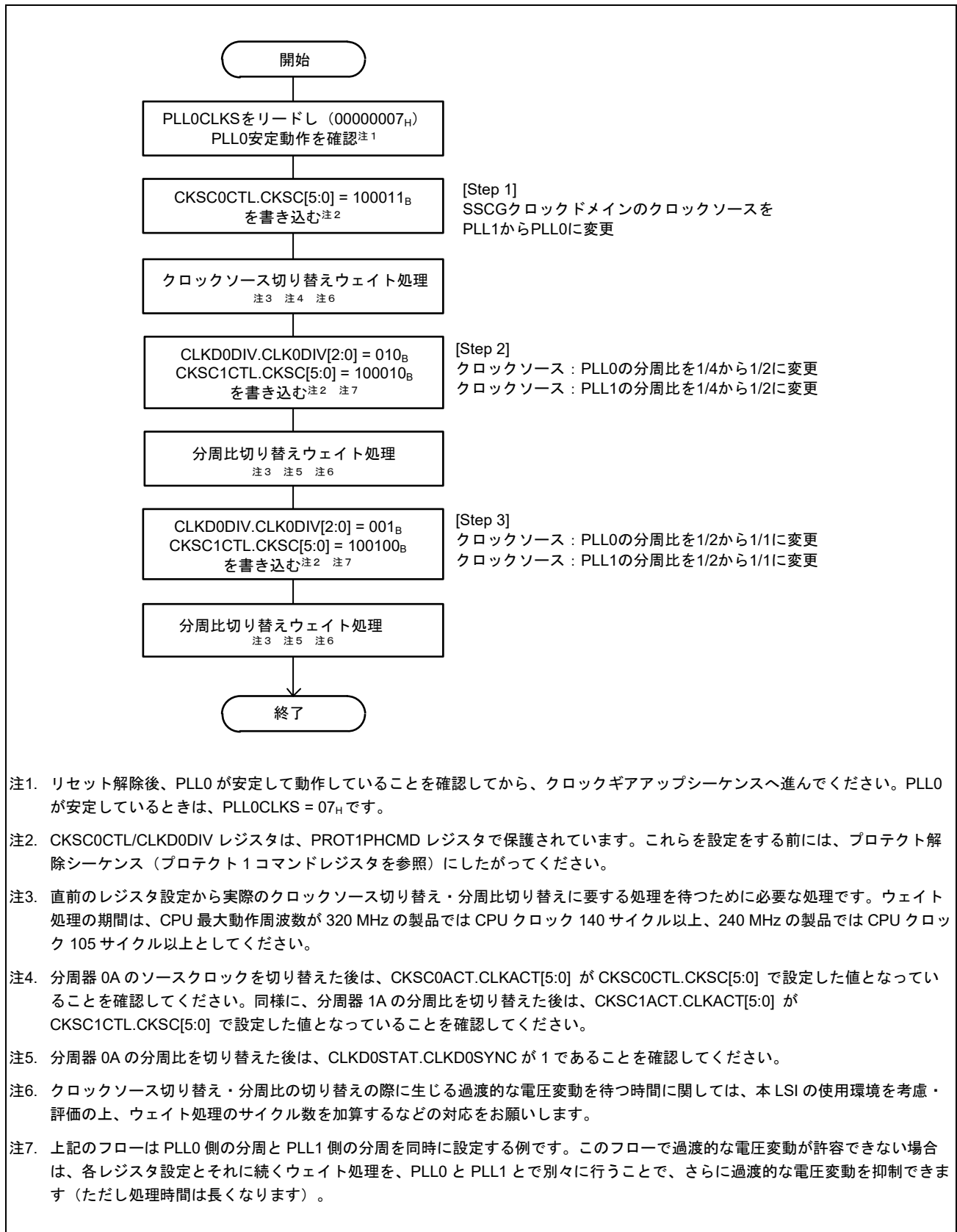


図 10.3 クロックギアアップシーケンスの例

10.4 注意事項

分周比変更時は FPU 演算等演算器を使用する命令は避けるようにしてください。分周比変更時の電流変動が大きくなり、動作が不安定になる恐れがあります。

10.4.1 ボード設計上の注意

図 10.4 に示すように、X1、X2 端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

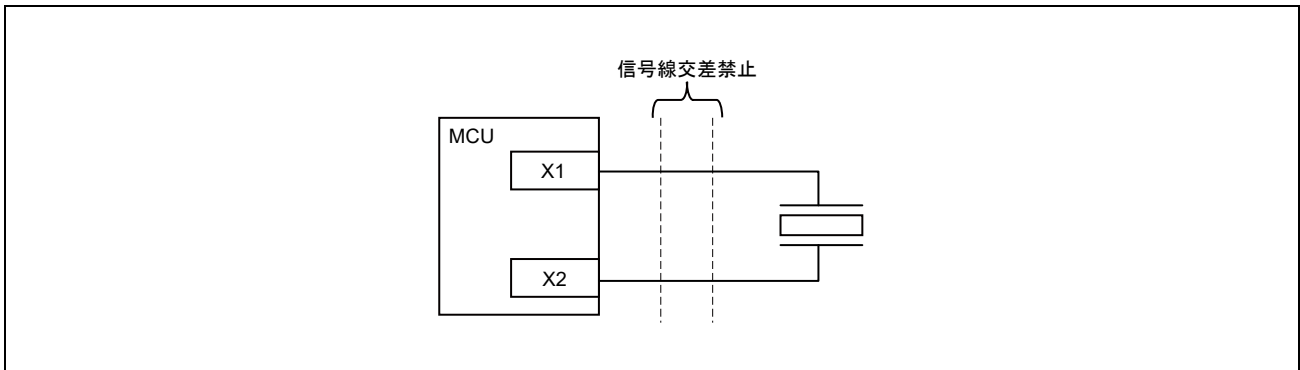


図 10.4 ボード設計上の注意

第11章 クロック同期シリアルインタフェース H (CSIH)

本章では、クロック同期シリアルインタフェース H (CSIH) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、CSIH の機能、レジスタについて説明します。

11.1 RH850/C1M-A CSIH の特長

11.1.1 ユニット数

本製品は、以下に示すユニット数の CSIH を搭載しています。

CSIH 1 ユニット当たり 1 チャンネルのインタフェースを持っています。

表 11.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	3	3
名称	CSIHn (n = 0~2)	CSIHn (n = 0~2)

表 11.2 添字

添字	意味
n	本章では、CSIH の各ユニットを「n」 (n = 0~2) で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。
x	CSIHn は最大 4 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSx と記述します。
y	説明時における変数を「y」で識別します。たとえば、CSIHn ポーレート設定レジスタは CSIHnBRSy と記述します。

CSIH の各チャンネルのチップセレクト信号の数を以下の表に示します。

表 11.3 チップセレクト数

ユニット名	チップセレクト数	
	RH850/C1M-A2	RH850/C1M-A1
CSIH0	CSx (x = 0~3)	CSx (x = 0~3)
CSIH1	CSx (x = 0~3)	CSx (x = 0~3)
CSIH2	CSx (x = 0~3)	CSx (x = 3) 注 1

注 1. RH850/C1M-A1 の CSIH2 では、チップセレクト数は 1 本です。

11.1.2 レジスタベースアドレス

CSIH のベースアドレスを以下の表に示します。

CSIH のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 11.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000 _H
<CSIH1_base>	FFD8 2000 _H
<CSIH2_base>	FFD8 4000 _H

11.1.3 クロック供給

CSIH のクロック供給を以下の表に示します。

表 11.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
CSIHn	PCLK	CLK_HSB (高速周辺クロック)

11.1.4 割り込み要求

CSIH の割り込み要求を以下の表に示します。

表 11.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
CSIH0						
INTCSIHTIC	通信ステータス割り込み	301	111	—	111	—
INTCSIHTIR	受信ステータス割り込み	302	112	—	112	—
INTCSIHTIRE	通信エラー割り込み	303	—	—	—	—
INTCSIHTIJC	ジョブ完了割り込み	304	113	—	113	—
CSIH1						
INTCSIHTIC	通信ステータス割り込み	305	114	—	114	—
INTCSIHTIR	受信ステータス割り込み	306	115	—	115	—
INTCSIHTIRE	通信エラー割り込み	307	—	—	—	—
INTCSIHTIJC	ジョブ完了割り込み	308	116	—	116	—
CSIH2						
INTCSIHTIC	通信ステータス割り込み	309	117	—	117	—
INTCSIHTIR	受信ステータス割り込み	310	118	—	118	—
INTCSIHTIRE	通信エラー割り込み	311	—	—	—	—
INTCSIHTIJC	ジョブ完了割り込み	312	119	—	119	—

— : 割り当てなし

注 1. 1st : Primary Channel 、 2nd : Secondary Channel

11.1.5 リセット要因

CSIH のリセット要因を以下に示します。

表 11.7 リセット要因

ユニット名	リセット要因
CSIHn	すべてのリセット要因

11.1.6 外部入出力信号

CSIH の外部入出力信号を以下の表に示します。

表 11.8 外部入出力信号 RH850/C1M-A2、RH850/C1M-A1

ユニット信号名	概要	ポート端子兼用信号名
CSIH0		
CSIH0TSCK	シリアルクロック信号	CSIH0OSC
CSIH0TSI	シリアルデータ入力信号	CSIH0OSI
$\overline{\text{CSIH0TSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH0OSI}}$
CSIH0TRYI	レディ/ビジー入力信号	CSIH0ORYI
CSIH0TSO	シリアルデータ出力信号	CSIH0OSO
CSIH0TRYO	レディ/ビジー出力信号	CSIH0ORYO
CSIH0TCSS[3:0]	チップセレクト信号	CSIH0CSS[3:0]
CSIH1		
CSIH1TSCK	シリアルクロック信号	CSIH1SC
CSIH1TSI	シリアルデータ入力信号	CSIH1SI
$\overline{\text{CSIH1TSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH1SSI}}$
CSIH1TRYI	レディ/ビジー入力信号	CSIH1RYI
CSIH1TSO	シリアルデータ出力信号	CSIH1SO
CSIH1TRYO	レディ/ビジー出力信号	CSIH1RYO
CSIH1TCSS[3:0]	チップセレクト信号	CSIH1CSS[3:0]
CSIH2		
CSIH2TSCK	シリアルクロック信号	CSIH2SC
CSIH2TSI	シリアルデータ入力信号	CSIH2SI
$\overline{\text{CSIH2TSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH2SSI}}$
CSIH2TRYI	レディ/ビジー入力信号	CSIH2RYI
CSIH2TSO	シリアルデータ出力信号	CSIH2SO
CSIH2TRYO	レディ/ビジー出力信号	CSIH2RYO
CSIH2TCSS[3:0]	チップセレクト信号	CSIH2CSS[3:0] ^{注 1}

注 1. RH850/C1M-A1 の CSIH2 では、チップセレクト信号は、CSIH2CSS[3]の 1 本です。

11.1.7 データ整合性チェック

CSIHnSO の兼用ポートのデータ整合性チェック対応を以下の表に示します。データ整合性チェックの詳細は、「**11.4.18 エラー検出**」を参照してください。

表 11.9 データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P4_8	ALT_OUT6
CSIH1		
CSIHTSO	P4_1	ALT_OUT7
CSIH2		
CSIHTSO	P7_2	ALT_OUT7

11.2 概要

11.2.1 機能概要

- 3 ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な 4 個のチップセレクト出力信号を備えているため、複数スレーブ構成と RCB (Recessive Configuration for Broadcasting) が可能
- スレーブ選択入力信号 ($\overline{\text{CSIHTSSI}}$) が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数が調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
 - マスタモード : PCLK/8
 - スレーブモード : PCLK/16
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 2 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL (Extended Data Length : 拡張データ長) 機能を内蔵
- 以下の 3 つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、タイムアウト、オーバフロー、オーバラン) を内蔵
- ジョブ概念のサポート
- 128 ワードの I/O バッファメモリ
- ダイレクトアクセスモードと、メモリモード (FIFO、デュアルバッファ、送信専用バッファ) を選択可能
- 4 個の割り込み要求信号 (INTCSIHTIC、INTCSIHTIR、INTCSIHTIRE、INTCSIHTIJC)
- 自己テスト用の LBM (ループバックモード) 機能を内蔵
- CPU 制御による高優先通信機能
- 強制 CS アイドル設定
- ブロードキャスティングのため RCB (Recessive Configuration for Broadcasting) ビットを内蔵
- AUTOSAR のための JOB イネーブル制御ビットを内蔵

11.2.2 機能概要説明

CSIH では以下の 3 つの信号を通信に使用します。

- 送信クロック CSIHTSCK (マスタモードでは出力、スレーブモードでは入力)
- データ出力信号 CSIHTSO
- データ入力信号 CSIHTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHTSSI}}$: スレーブ選択入力信号
- CSIHTRYO : レディ/ビジー出力信号 (ハンドシェイク信号)
- CSIHTRYI : レディ/ビジー入力信号 (ハンドシェイク信号)
- CSIHTCSS[3:0] : チップセレクト信号

データ送信は、1 ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 11.10 CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェイクなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ポーレートジェネレータ (BRG) で転送クロック周波数を選択します。
CSIHnBRsy	チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。
CSIHnMCTL0	メモリモードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアルバッファモードまたは送信専用バッファモードでメモリを制御します。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

11.2.3 ブロック図

以下のブロック図は CSIH の主要なコンポーネントを示しています。

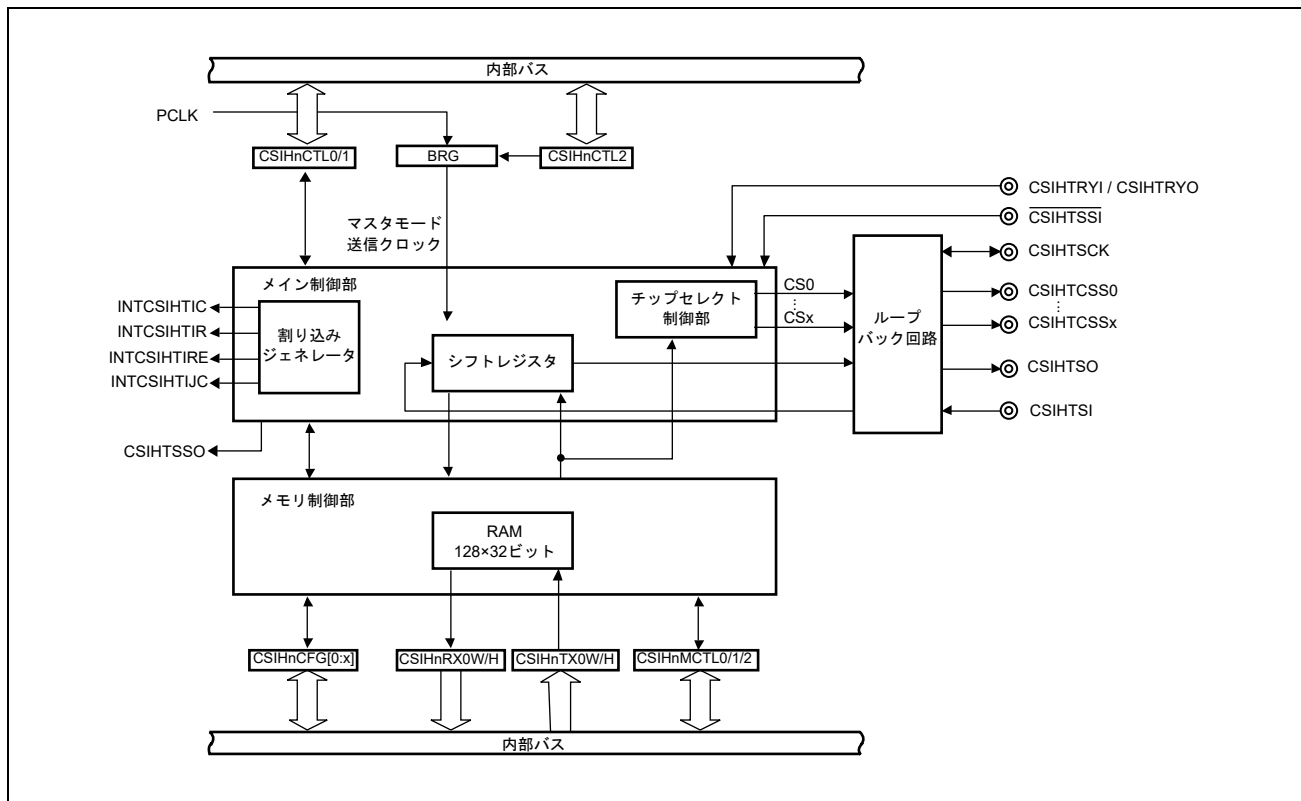


図 11.1 CSIH のブロック図

マスタモードでは、送信クロック CSIHNTSCK が内蔵のボーレートジェネレータ (BRG) によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。

内蔵のメモリは FIFO、デュアルバッファ (別々の送信バッファと受信バッファ) または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループバック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます (詳細については、「11.4.7 動作モード (マスタ/スレーブ)」を参照してください)。
- 「ジョブモード」は AUTOSAR ジョブ概念に関連しています (詳細については、「11.4.9.3 ジョブ概念」を参照してください)。
- 「メモリモード」では、関連付けられたバッファメモリのさまざまな設定に対応します (詳細については、「11.4.12 CSIH のバッファメモリ」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります (詳細については、「11.4.13 データ転送モード」を参照してください)。

11.3 レジスタ

11.3.1 レジスタ一覧

CSIH のレジスタ一覧を以下の表に示します。

<CSIHn_base>は「**11.1.2 レジスタベースアドレス**」を参照してください。

表 11.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIHn	CSIHn 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000 _H
CSIHn	CSIHn 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010 _H
CSIHn	CSIHn 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014 _H
CSIHn	CSIHn ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004 _H
CSIHn	CSIHn ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008 _H
CSIHn	CSIHn メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040 _H
CSIHn	CSIHn メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000 _H
CSIHn	CSIHn メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004 _H
CSIHn	CSIHn メモリ読み出し/書き込みポインタレジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018 _H
CSIHn	CSIHn コンフィギュレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044 _H
CSIHn	CSIHn コンフィギュレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048 _H
CSIHn	CSIHn コンフィギュレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + 104C _H
CSIHn	CSIHn コンフィギュレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050 _H
CSIHn	CSIHn ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008 _H
CSIHn	CSIHn ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + 100C _H
CSIHn	CSIHn ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010 _H
CSIHn	CSIHn ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014 _H
CSIHn	CSIHn ボーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068 _H
CSIHn	CSIHn ボーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + 106C _H
CSIHn	CSIHn ボーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070 _H
CSIHn	CSIHn ボーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074 _H

11.3.2 CSIHnCTL0 — CSIHn 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可／禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8ビット単位または1ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 11.12 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIHnPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア (0) した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータを書き込まれると通信が終了になります)。 0：通信停止を要求しません。 1：通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア (0) されます。このビットをセット (1) しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポイントをクリアしたあと、次の通信を開始する必要があります。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0：メモリモード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1：ダイレクトアクセスモード CSIH のメモリをバイパスします。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.3 CSIHnCTL1 — CSIHn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、ジョブモードを有効または無効にする機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIHn PHE	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.13 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIHnPHE	CPU 制御の優先度別通信機能を設定します。 0 : CPU 制御の高優先通信機能は無効です。 1 : CPU 制御の高優先通信機能は有効です。 CPU 制御の高優先通信機能を有効にする場合は、本ビットを 1 に設定するほかに、CSIHnJE = 1 を設定してください。このビットは送信専用バッファモードでのみ設定可能です。
17	CSIHnCKR	CSIHTSCK のクロック反転機能 0 : CSIHTSCK のデフォルトレベルはハイレベル 1 : CSIHTSCK のデフォルトレベルはロウレベル 詳細については、「11.3.11 CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x」を参照してください。
16	CSIHnSLIT	割り込み INTCSIHTIC のタイミングを選択します。 0 : 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1 : CSIHnTX0W/H レジスタの内容がソフトレジスタに転送されると、ただちに割り込みが発生します (ダイレクトアクセスモード/送信専用バッファモードでのみ機能します)。 詳細については、「11.4.3 INTCSIHTIC (通信ステータス割り込み)」を参照してください。
15~12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11~8	CSIHnCSLx	チップセレクト信号 x (CSIHTCSSx) のアクティブ出力レベルを選択します (x = 0~3)。 0 : チップセレクト信号をアクティブロウにします。 1 : チップセレクト信号をアクティブハイにします。 詳細については、「11.4.9 チップセレクト (CS) 機能」を参照してください。
7	CSIHnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0 : 拡張データ長モードを無効にします。 1 : 拡張データ長モードを有効にします。 詳細については、「11.4.14.2 16 ビットを上回るデータ長」を参照してください。

表 11.13 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	CSIHnJE	<p>ジョブモードを有効または無効にします。</p> <p>0: ジョブモードを無効にします。</p> <p>1: ジョブモードを有効にします。</p> <p>詳細については、「11.4.9.3 ジョブ概念」を参照してください。</p> <p>CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W.CSIHnCIRE ビットは CSIHnJE = 1 のときにのみ有効です。</p> <p>このビットはスレーブモードでは設定禁止です。</p> <p>また、CPU 制御の高優先通信機能を有効にする場合は、CSIHnPHE = 1 のほかに、本ビットを 1 に設定してください。</p>
5	CSIHnDCS	<p>データ整合性チェックを有効または無効にします。</p> <p>0: データ整合性チェックを無効にします。</p> <p>1: データ整合性チェックを有効にします。</p> <p>詳細については、「11.4.18.1 データ整合性チェック」を参照してください。</p>
4	CSIHnCSRI	<p>最後のデータが転送されたあとのチップセレクト信号の動作を定義します。</p> <p>0: チップセレクト信号がアクティブレベルを保持します。</p> <p>1: チップセレクト信号が非アクティブレベルに戻ります。</p> <p>最後のデータの判定はダイレクトアクセスモード/FIFO モード時の割り込みタイミングで行います。CSIHnCTL1.CSIHnSLIT = 1 のときはダイレクトアクセスモードです。</p>
3	CSIHnLBM	<p>ループバックモード (LBM) を制御します。</p> <p>0: ループバックモードをインアクティブにします。</p> <p>1: ループバックモードをアクティブにします。</p> <p>詳細については、「11.4.19 ループバックモード」を参照してください。</p>
2	CSIHnSIT	<p>割り込み遅延モードを選択します。</p> <p>0: 遅延を生成しません。</p> <p>1: すべての割り込みについて半クロック周期の遅延を生成します。</p> <p>このビットはマスターモードでのみ有効になります。スレーブモードでは遅延は生成されません。</p> <p>詳細については、「11.4.2 割り込み遅延」を参照してください。</p>
1	CSIHnHSE	<p>ハンドシェイク機能を有効または無効にします。</p> <p>0: ハンドシェイク機能を無効にします。</p> <p>1: ハンドシェイク機能を有効にします。</p> <p>詳細については、「11.4.17 ハンドシェイク機能」を参照してください。</p>
0	CSIHnSSE	<p>スレーブ選択機能を有効または無効にします。</p> <p>0: 入力信号 $\overline{\text{CSIHTSSI}}$ を無効にします。</p> <p>1: 入力信号 $\overline{\text{CSIHTSSI}}$ を有効にします。</p> <p>スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (「11.4.8 マスタ/スレーブの接続」も参照してください)。</p>

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 11.14 受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 11.15 送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、転送クロック周波数を指定します。

詳細については、「11.4.11 送信クロックの選択」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0014_H

リセット後の値 E000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.16 CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能			
15~13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します			
		CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRROUT) の選択
		0	0	0	PCLK (マスタモード)
		0	0	1	PCLK/2 (マスタモード)
		0	1	0	PCLK/4 (マスタモード)
		0	1	1	PCLK/8 (マスタモード)
		1	0	0	PCLK/16 (マスタモード)
		1	0	1	PCLK/32 (マスタモード)
		1	1	0	PCLK/64 (マスタモード)
1	1	1	CSIHnTSCK(in) 経由の外部クロック (スレーブモード)		
12~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。			

マスタモードでは、以下のビットを使って転送クロック周波数を設定します。

CSIHnCTL2.CSIHnPRS[2:0], CSIHnCFGx.CSIHnBRSSx[1:0], CSIHnBRSy.CSIHnBRS[11:0]

また、CSIHnBRSy.CSIHnBRS[11:0]ビットで設定される 4 種類の転送クロック周波数設定は、チップセレクト信号ごとに、そのいずれかの設定が選択されます。チップセレクト信号ごとの転送クロック周波数設定の選択は、CSIHnCFGx.CSIHnBRSSx[1:0]ビットにて行います。

CSIHnCFGx.CSIHnBRSSx[1:0]と CSIHnBRSy.CSIHnBRS[11:0]の関係は、以下のとおりです。

CSIHnCFGx.CSIHnBRSSx[1:0]	選択される転送クロック周波数設定ビット
00	CSIHnBRS0.CSIHnBRS[11:0]
01	CSIHnBRS1.CSIHnBRS[11:0]
10	CSIHnBRS2.CSIHnBRS[11:0]
11	CSIHnBRS3.CSIHnBRS[11:0]

CSIHnPRS[2:0]ビットの値を α とした場合、CSIHnBRSSx[1:0]ビットにて選択された転送クロック周波数設定 (CSIHnBRS[11:0]) と転送クロック周波数の関係は、以下のとおりです。

CSIHnBRS[11:0]	転送クロック周波数
0	BRG stopped
1	$PCLK / (2^\alpha \times 1 \times 2)$
2	$PCLK / (2^\alpha \times 2 \times 2)$
3	$PCLK / (2^\alpha \times 3 \times 2)$
4	$PCLK / (2^\alpha \times 4 \times 2)$
...	...
4095	$PCLK / (2^\alpha \times 4095 \times 2)$

スレーブモードで、タイムアウトエラーを使用する場合のクロックは、本設定で設定したクロックが使われます。スレーブモードで使用する際は、CSIHnPRS[2:0]ビットに 111_B を設定しますが、その際のプリスケールは、CSIHnPRS[2:0]ビットに 000_B を設定した場合と同じ設定になります。タイムアウトエラーを使用する場合は、CSIHnBRSSy.CSIHnBRS[11:0]ビットには、000_H 以外の値を設定して使用してください。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.5 CSIHnSTR0 — CSIHn ステータスレジスタ 0

本レジスタは CSIH の状態を示します。

アクセス 32 ビット単位でリード可能です。

アドレス <CSIHn_base> + 0004_H

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnSRP[7:0]								CSIHnSPF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOE	CSIHn OFE	—	—	—	—	—	CSIHn HPST	CSIHn TSF	—	CSIHn FLF	CSIHn EMF	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.17 CSIHnSTR0 レジスタの内容 (1/3)

ビット位置	ビット名	機能								
31~24	CSIHnSRP[7:0]	<p>FIFO モードで受信データ数を示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSRP[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td rowspan="3">受信データ数 (0~128)</td> </tr> <tr> <td>:</td> </tr> <tr> <td>80_H</td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されません。</p>	CSIHnSRP[7:0]	説明	00 _H	受信データ数 (0~128)	:	80 _H	上記以外	未定義
CSIHnSRP[7:0]	説明									
00 _H	受信データ数 (0~128)									
:										
80 _H										
上記以外	未定義									
23~16	CSIHnSPF[7:0]	<p>FIFO モードで未送信データの数を示します。 (CPU によって書き込まれたデータの数は送信データ数です)</p> <table border="1"> <thead> <tr> <th>CSIHnSPF[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td rowspan="3">未送信データパケットの数 (0~128)</td> </tr> <tr> <td>:</td> </tr> <tr> <td>80_H</td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されません。</p>	CSIHnSPF[7:0]	説明	00 _H	未送信データパケットの数 (0~128)	:	80 _H	上記以外	未定義
CSIHnSPF[7:0]	説明									
00 _H	未送信データパケットの数 (0~128)									
:										
80 _H										
上記以外	未定義									

表 11.17 CSIHnSTR0 レジスタの内容 (2/3)

ビット位置	ビット名	機能																									
15	CSIHnTMOE	<p>FIFO モード時のタイムアウトエラーフラグ</p> <p>FIFO モード時のタイムアウトエラーが検出されたかどうかを示します。</p> <p>0 : FIFO モード時のタイムアウトエラーが検出されていません。</p> <p>1 : FIFO モード時のタイムアウトエラーが検出されています。</p> <p>詳細については、「11.4.18.3 タイムアウトエラー」を参照してください。このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア (0) されます。</p> <p>タイムアウトエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnTMOEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p> <p>このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																									
14	CSIHnOFE	<p>FIFO モード時のオーバーフローエラーフラグ</p> <p>FIFO モード時のオーバーフローエラーが検出されたかどうかを示します。</p> <p>0 : FIFO モード時のオーバーフローエラーが検出されていません。</p> <p>1 : FIFO モード時のオーバーフローエラーが検出されています。</p> <p>詳細については、「11.4.18.4 オーバフローエラー」を参照してください。</p> <p>このビットは CSIHnSTCR0.CSIHnOFEC によってクリア (0) されます。</p> <p>オーバーフローエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOFEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。</p> <p>このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</p>																									
13~9	予約ビット	リードした場合はリセット後の値が読めます。																									
8	CSIHnHPST	<p>通信優先度確認フラグ</p> <p>0 : 低優先の通信中であることを示します。</p> <p>1 : 高優先の通信中であることを示します。</p> <p>本ビットは、CPU 制御による高優先通信を無効 (CSIHnCTL1.CSIHnPHE = 0) 設定にしている場合は、常に 0 が読み出されます。</p>																									
7	CSIHnTSF	<p>転送ステータスフラグ</p> <p>0 : アイドル状態</p> <p>1 : 通信中または通信の準備中</p> <p>このビットがセットまたはクリアされるタイミングを以下に示します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">マスタモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされる タイミング</th> </tr> <tr> <th>ダイレクトアクセスモード、 FIFO モード</th> <th>デュアルバッファモード、 送信専用バッファモード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への書き込み</td> <td rowspan="3">CSIHnMCTL2.CSIHnBTST ビ ットのセット</td> <td rowspan="3">最後のシリアルクロ ックエッジから半ク ロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">スレーブモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされる タイミング</th> </tr> <tr> <th>ダイレクトアクセスモード、 FIFO モード</th> <th>デュアルバッファモード、 送信専用バッファモード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への書き込み</td> <td rowspan="3">CSIHnMCTL2.CSIHnBTST ビ ットのセット</td> <td rowspan="3">最後のシリアルクロ ックエッジから半ク ロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIHTSCK 入力タイミング</td> </tr> </tbody> </table>	マスタモード	セットされるタイミング		クリアされる タイミング	ダイレクトアクセスモード、 FIFO モード	デュアルバッファモード、 送信専用バッファモード	送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビ ットのセット	最後のシリアルクロ ックエッジから半ク ロック以内	送受信モード	受信専用モード	スレーブモード	セットされるタイミング		クリアされる タイミング	ダイレクトアクセスモード、 FIFO モード	デュアルバッファモード、 送信専用バッファモード	送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビ ットのセット	最後のシリアルクロ ックエッジから半ク ロック以内	送受信モード	受信専用モード	CSIHTSCK 入力タイミング
マスタモード	セットされるタイミング			クリアされる タイミング																							
	ダイレクトアクセスモード、 FIFO モード	デュアルバッファモード、 送信専用バッファモード																									
送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビ ットのセット	最後のシリアルクロ ックエッジから半ク ロック以内																								
送受信モード																											
受信専用モード																											
スレーブモード	セットされるタイミング		クリアされる タイミング																								
	ダイレクトアクセスモード、 FIFO モード	デュアルバッファモード、 送信専用バッファモード																									
送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への書き込み	CSIHnMCTL2.CSIHnBTST ビ ットのセット	最後のシリアルクロ ックエッジから半ク ロック以内																								
送受信モード																											
受信専用モード				CSIHTSCK 入力タイミング																							
6	予約ビット	リードした場合はリセット後の値が読めます。																									

表 11.17 CSIHnSTR0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
5	CSIHnFLF	FIFO モード時のバッファフルの状態を示すフラグです。 0 : FIFO バッファがフル状態ではありません。 1 : FIFO バッファがフル状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってクリア (0) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
4	CSIHnEMF	FIFO モード時のバッファエンプティの状態を示すフラグです。 0 : FIFO バッファがエンプティ状態ではありません。 1 : FIFO バッファがエンプティ状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット (1) されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0] + CSIHnSTR0.CSIHnSPF[7:0] = 00 _H となったときにセット (1) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0 : データ整合性エラーが検出されていません。 1 : データ整合性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア (0) されます。 データ整合性エラーの検出によるセット (1) と CSIHnSTCR0.CSIHnDCEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1	CSIHnPE	パリティエラーフラグ 0 : パリティエラーが検出されていません。 1 : パリティエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア (0) されます。 ただし、パリティエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnPEC によるクリア (0) が同時に発生した場合、パリティエラーの検出によるセット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
0	CSIHnOVE	オーバランエラーフラグ (デュアルバッファモードでは 0 固定です) 0 : オーバランエラーが検出されていません。 1 : オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア (0) されます。 ただし、オーバランエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOVEC によるクリア (0) が同時に発生した場合、オーバランエラーの検出によるセット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 11.18 メモリモードでの動作

ビット名	ビット位置	ダイレクトアクセス モード	FIFO モード	送信専用バッファ モード	デュアルバッファ モード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnTSF	7	0: アイドル状態 1: 通信中または通信の準備中			
CSIHnFLF	5	0 固定	0: フルでない 1: フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0: エンプティでない 1: エンプティ	1 固定	1 固定
CSIHnDCE	3	0: エラー未検出 1: エラー検出			
CSIHnPE	1	0: エラー未検出 1: エラー検出			
CSIHnOVE	0	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0 固定

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.6 CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。
読み出すと、常に値 0000_Hが返されます。

アドレス <CSIHn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTMOEC	CSIHnOFEC	—	—	—	—	—	CSIHnPCT	—	—	—	—	CSIHnDCEC	—	CSIHnPEC	CSIHnOVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 11.19 CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能										
15	CSIHnTMOEC	タイムアウトエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: タイムアウトエラーフラグ (CSIHnSTR0.CSIHnTMOE) をクリアします。										
14	CSIHnOFEC	オーバフローエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバフローエラーフラグ (CSIHnSTR0.CSIHnOFE) をクリアします。										
13~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
8	CSIHnPCT	FIFO ポインタクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: 次の FIFO バッファポインタ (FIFO モード、デュアルバッファモード、送信専用バッファモード) およびステータスビットをクリアします。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">FIFO バッファポインタ</th> <th style="width: 50%;">ステータスビット</th> </tr> </thead> <tbody> <tr> <td>CSIHnMRWP0.CSIHnTRWA[6:0]</td> <td>CSIHnSTR0.CSIHnSPF[7:0]</td> </tr> <tr> <td>CSIHnMRWP0.CSIHnRRA[6:0]</td> <td>CSIHnSTR0.CSIHnSRP[7:0]</td> </tr> <tr> <td>CSIHnMCTL2.CSIHnSOP[6:0]</td> <td>CSIHnSTR0.CSIHnFLF</td> </tr> <tr> <td></td> <td>CSIHnSTR0.CSIHnTSF</td> </tr> </tbody> </table> <p>さらに、CSIHnSTR0.CSIHnEMF ビットがセット (1) されます (FIFO エンプティ) (FIFO モード時のみ)。</p>	FIFO バッファポインタ	ステータスビット	CSIHnMRWP0.CSIHnTRWA[6:0]	CSIHnSTR0.CSIHnSPF[7:0]	CSIHnMRWP0.CSIHnRRA[6:0]	CSIHnSTR0.CSIHnSRP[7:0]	CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnFLF		CSIHnSTR0.CSIHnTSF
FIFO バッファポインタ	ステータスビット											
CSIHnMRWP0.CSIHnTRWA[6:0]	CSIHnSTR0.CSIHnSPF[7:0]											
CSIHnMRWP0.CSIHnRRA[6:0]	CSIHnSTR0.CSIHnSRP[7:0]											
CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnFLF											
	CSIHnSTR0.CSIHnTSF											
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
3	CSIHnDCEC	データ整合性エラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: データ整合性エラーフラグ (CSIHnSTR0.CSIHnDCE) をクリアします。										
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: パリティエラーフラグ (CSIHnSTR0.CSIHnPE) をクリアします。										
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。読み出し値は常に 0 になります。 1: オーバランエラーフラグ (CSIHnSTR0.CSIHnOVE) をクリアします。										

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.7 CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0

本レジスタではメモリモードとタイムアウトの設定を選択します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1040_H

リセット後の値 001F_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CSIHnMMS[1:0]	—	—	—	CSIHnTO[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 11.20 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
15~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
9、8	CSIHnMMS[1:0]	<p>メモリモードを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnMMS1</th> <th>CSIHnMMS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FIFO モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>デュアルバッファモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>送信専用バッファモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table> <p>メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファポイントをクリアしてください。 ダイレクトアクセスモードでは、これらのビットの設定は無視されます。</p>	CSIHnMMS1	CSIHnMMS0	説明	0	0	FIFO モード	0	1	デュアルバッファモード	1	0	送信専用バッファモード	1	1	禁止
CSIHnMMS1	CSIHnMMS0	説明															
0	0	FIFO モード															
0	1	デュアルバッファモード															
1	0	送信専用バッファモード															
1	1	禁止															
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4~0	CSIHnTO[4:0]	<p>FIFO モードのタイムアウトの設定を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00000_B</td> <td>タイムアウトを検出しません。</td> </tr> <tr> <td>00001_B</td> <td>タイムアウトを (1 × 8 × BRG 出力クロック) にします。</td> </tr> <tr> <td>00010_B</td> <td>タイムアウトを (2 × 8 × BRG 出力クロック) にします。</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>11111_B</td> <td>タイムアウトを (31 × 8 × BRG 出力クロック) にします。</td> </tr> </tbody> </table> <p>注意: タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときのみ変更することができます。 CSIHnTO[4:0]ビットは FIFO モード以外 (ダイレクトアクセスモード、デュアルバッファモード、送信専用バッファモード) は 00000_B に設定してください。 タイムアウトの検出の詳細については、「11.4.18.3 タイムアウトエラー」も参照してください。</p>	CSIHnTO[4:0]	説明	00000 _B	タイムアウトを検出しません。	00001 _B	タイムアウトを (1 × 8 × BRG 出力クロック) にします。	00010 _B	タイムアウトを (2 × 8 × BRG 出力クロック) にします。	:		11111 _B	タイムアウトを (31 × 8 × BRG 出力クロック) にします。			
CSIHnTO[4:0]	説明																
00000 _B	タイムアウトを検出しません。																
00001 _B	タイムアウトを (1 × 8 × BRG 出力クロック) にします。																
00010 _B	タイムアウトを (2 × 8 × BRG 出力クロック) にします。																
:																	
11111 _B	タイムアウトを (31 × 8 × BRG 出力クロック) にします。																

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 INTCSIHTIC と INTCSIHTIR を発生する条件を選択します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnFES[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnFFS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.21 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~16	CSIHnFES[6:0]	FIFO モードで INTCSIHTIC 割り込み（送信データエンプティ）を発生する条件を選択します。FIFO に残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0]ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0]と一致すると、INTCSIHTIC 割り込み要求が発生します。
15~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~0	CSIHnFFS[6:0]	FIFO モードで INTCSIHTIR 割り込み（受信データフル）を発生する条件を選択します。FIFO に残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0]ビットで確認）（128-CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、INTCSIHTIR 割り込み要求が発生します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.9 CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2

本レジスタでは、デュアルバッファモードまたは送信専用バッファモードのときにメモリの動作を制御し、通信の開始をトリガします。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BTST	—	—	—	—	—	—	—	CSIHnND[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIHnSOP[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.22 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																		
31	CSIHnBTST	<p>バッファ転送の開始トリガを供給します。</p> <p>0 : 何も操作を行いません。</p> <p>1 : 転送開始コマンドを発行します。</p> <p>読み出し値は常に 0 になります。</p> <p>注意: このビットはデュアルバッファモードおよび送信専用バッファモードでのみ使用できます。</p>																																																		
30~24	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。</p>																																																		
23~16	CSIHnND[7:0]	<p>各メモリモードにおけるデータの数を指定します。</p> <p>リード値は残りの通信データ数を表します。</p> <table border="1"> <thead> <tr> <th>CSIHnND [7:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFOモード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0 個のデータを送信</td> <td>0 個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>1 個のデータを送信</td> <td>1 個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>63 個のデータを送信</td> <td>63 個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>64 個のデータを送信</td> <td>64 個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>127 個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>80_H</td> <td>禁止</td> <td>128 個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>上記以外</td> <td colspan="4">設定禁止</td> </tr> </tbody> </table> <p>データ転送後、値は自動的にデクリメントされます (ダイレクトアクセスモードではデクリメントされません)。</p>	CSIHnND [7:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード	00 _H	0 個のデータを送信	0 個のデータを送信	影響なし	影響なし	01 _H	1 個のデータを送信	1 個のデータを送信	影響なし	影響なし	影響なし	影響なし	3F _H	63 個のデータを送信	63 個のデータを送信	影響なし	影響なし	40 _H	64 個のデータを送信	64 個のデータを送信	影響なし	影響なし	...	禁止	...	影響なし	影響なし	7F _H	禁止	127 個のデータを送信	影響なし	影響なし	80 _H	禁止	128 個のデータを送信	影響なし	影響なし	上記以外	設定禁止			
CSIHnND [7:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード																																																
00 _H	0 個のデータを送信	0 個のデータを送信	影響なし	影響なし																																																
01 _H	1 個のデータを送信	1 個のデータを送信	影響なし	影響なし																																																
...	影響なし	影響なし																																																
3F _H	63 個のデータを送信	63 個のデータを送信	影響なし	影響なし																																																
40 _H	64 個のデータを送信	64 個のデータを送信	影響なし	影響なし																																																
...	禁止	...	影響なし	影響なし																																																
7F _H	禁止	127 個のデータを送信	影響なし	影響なし																																																
80 _H	禁止	128 個のデータを送信	影響なし	影響なし																																																
上記以外	設定禁止																																																			

表 11.22 CSIHnMCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能																																								
15~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								
6~0	CSIHnSOP[6:0]	<p>送信データのポインタを選択します。 CSIHnCTL0.CSIHnPWR = 0、または CSIHnSTCR0.CSIHnPCT = 1 に設定して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。 FIFO モードでは、これらのビットは送信アドレスを示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSOP [6:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFO モード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>0000_H</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>0004_H</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>0100_H</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>01FC_H</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>注意: ダイレクトアクセスモードではこれらのビットはインクリメントされません。</p>	CSIHnSOP [6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード	00 _H	0000 _H	0000 _H	0000 _H	影響なし	01 _H	0004 _H	0004 _H	0004 _H	影響なし	影響なし	3F _H	00FC _H	00FC _H	00FC _H	影響なし	40 _H	禁止	0100 _H	0100 _H	影響なし	...	禁止	影響なし	7F _H	禁止	01FC _H	01FC _H	影響なし
CSIHnSOP [6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード																																						
00 _H	0000 _H	0000 _H	0000 _H	影響なし																																						
01 _H	0004 _H	0004 _H	0004 _H	影響なし																																						
...	影響なし																																						
3F _H	00FC _H	00FC _H	00FC _H	影響なし																																						
40 _H	禁止	0100 _H	0100 _H	影響なし																																						
...	禁止	影響なし																																						
7F _H	禁止	01FC _H	01FC _H	影響なし																																						

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.10 CSIHnMRWP0 — CSIHn メモリ読み出し/書き込みポインタレジスタ 0

本レジスタではデュアルバッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnRRA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnTRWA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.23 CSIHnMRWP0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																								
31~23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								
22~16	CSIHnRRA[6:0]	<p>受信バッファの読み出しポインタを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnRRA [6:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFO モード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>影響なし</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>影響なし</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>影響なし</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>影響なし</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>影響なし</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>受信データが読み出されると、これらのビットは自動的にインクリメントされます。CSIHnRX0W または CSIHnRX0H レジスタの読み出し中にオーバランエラーが発生した場合、読み出しポインタはインクリメントされません。CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。ダイレクトアクセスモード、送信専用バッファモードではこれらのビットはインクリメントされません。送信専用バッファモードでライトアクセスしたい場合、これらのビットには 0000_H を設定してください。FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。</p>	CSIHnRRA [6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード	00 _H	0000 _H	影響なし	0000 _H	影響なし	01 _H	0004 _H	影響なし	0004 _H	影響なし	影響なし	...	影響なし	3F _H	00FC _H	影響なし	00FC _H	影響なし	40 _H	禁止	影響なし	0100 _H	影響なし	...	禁止	影響なし	...	影響なし	7F _H	禁止	影響なし	01FC _H	影響なし
CSIHnRRA [6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード																																						
00 _H	0000 _H	影響なし	0000 _H	影響なし																																						
01 _H	0004 _H	影響なし	0004 _H	影響なし																																						
...	...	影響なし	...	影響なし																																						
3F _H	00FC _H	影響なし	00FC _H	影響なし																																						
40 _H	禁止	影響なし	0100 _H	影響なし																																						
...	禁止	影響なし	...	影響なし																																						
7F _H	禁止	影響なし	01FC _H	影響なし																																						
15~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								

表 11.23 CSIHnMRWP0 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
6~0	CSIHnTRWA[6:0]	送信バッファの読み出し/書き込みポインタを選択します。				
		CSIHnTRWA [6:0]	デュアルバッファモード	送信専用バッファモード	FIFO モード	ダイレクトアクセスモード
		00 _H	0000 _H	0000 _H	0000 _H	影響なし
		01 _H	0004 _H	0004 _H	0004 _H	影響なし
		影響なし
		3F _H	00FC _H	00FC _H	00FC _H	影響なし
		40 _H	禁止	0100 _H	0100 _H	影響なし
		...	禁止	影響なし
		7F _H	禁止	01FC _H	01FC _H	影響なし
		送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。				
CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。						
ダイレクトアクセスモードではこれらのビットはインクリメントされません。						
FIFO モードでは、これらのビットは送信データの読み出し/書き込みアドレスを示します。						

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.11 CSIHnCFGx — CSIHn コンフィギュレーションレジスタ x

これら 4 個のレジスタでは、各チップセレクト信号 CSIHnCSSx のプリスケアラ、パリティ、データ長、ブロードキャスト用のリセシブの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLSx[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx, CSIHnDAPx : クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1~CSIHnCFG3 レジスタには 0 を設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス CSIHnCFG0 : <CSIHn_base> + 1044_H

CSIHnCFG1 : <CSIHn_base> + 1048_H

CSIHnCFG2 : <CSIHn_base> + 104C_H

CSIHnCFG3 : <CSIHn_base> + 1050_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnBRSSx [1:0]		CSIHnPSx[1:0]		CSIHnDLSx[3:0]			—	—	—	—	CSIHnRCBx	CSIHnDIRx	CSIHnCKPx	CSIHnDAPx	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnIDLx	CSIHnIDX[2:0]			CSIHnHDx[3:0]			CSIHnINx[3:0]			CSIHnSPx[3:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.24 CSIHnCFGx レジスタの内容 (1/5)

ビット位置	ビット名	機能															
31、30	CSIHnBRSSx [1:0]	ポーレート設定レジスタ (CSIHnBRSSy) を選択するビットです。															
		<table border="1"> <thead> <tr> <th>CSIHnBRSSx1</th> <th>CSIHnBRSSx0</th> <th>ポーレート設定レジスタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CSIHnBRS0 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>CSIHnBRS1 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSIHnBRS2 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>CSIHnBRS3 の設定に従い転送クロック周波数を設定します。</td> </tr> </tbody> </table>	CSIHnBRSSx1	CSIHnBRSSx0	ポーレート設定レジスタの選択	0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。	0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。	1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。	1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。
		CSIHnBRSSx1	CSIHnBRSSx0	ポーレート設定レジスタの選択													
		0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。													
		0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。													
1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。															
1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。															
転送クロック周波数設定の最大値は、CSIHnCTL2.CSIHnPRS[2:0]設定と合わせて、以下のとおりとさせていただきます。																	
マスタモード : PCLK/8、スレーブモード : PCLK/16																	

表 11.24 CSIHnCFGx レジスタの内容 (2/5)

ビット位置	ビット名	機能																				
29、28	CSIHnPSx[1:0]	<p>チップセレクト信号 x の送信用と受信用のパリティを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSx1</th> <th>CSIHn PSx0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0 に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIHn PSx1	CSIHn PSx0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0 に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIHn PSx1	CSIHn PSx0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0 に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27～24	CSIHnDLSx [3:0]	<p>チップセレクト信号 x のデータ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnDLSx[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>16 ビット</td> </tr> <tr> <td>0001_B</td> <td>1 ビット</td> </tr> <tr> <td>0010_B</td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111_B</td> <td>15 ビット</td> </tr> </tbody> </table> <p>注意: CSIHnTX0W.CSIHnEDL = 1 のとき、このビットの設定は意味を持ちません。(データ長は 16 ビット) CSIHnTX0W.CSIHnEDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIHnEDL = 1 設定の 16 ビットである時だけ、1 ビットを設定することが可能です。</p>	CSIHnDLSx[3:0]	データ長	0000 _B	16 ビット	0001 _B	1 ビット	0010 _B	2 ビット	1111 _B	15 ビット								
CSIHnDLSx[3:0]	データ長																					
0000 _B	16 ビット																					
0001 _B	1 ビット																					
0010 _B	2 ビット																					
...	...																					
1111 _B	15 ビット																					
23～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
19	CSIHnRCBx	<p>チップセレクト信号 x のブロードキャストのリセッパ設定を選択します。</p> <p>0 : ドミナント (高優先度) 1 : リセッパ (低優先度)</p> <p>詳細については、「11.4.9.1 コンフィギュレーションレジスタ」を参照してください。</p>																				
18	CSIHnDIRx	<p>チップセレクト信号 x のシリアルデータ方向を選択します。</p> <p>0 : MSB ファーストでデータを送受信します。 1 : LSB ファーストでデータを送受信します。</p> <p>詳細については、「11.4.15 シリアルデータ方向選択機能」を参照してください。</p>																				
17	CSIHnCKPx	CSIHnCKPx : クロック位相選択ビット																				

表 11.24 CSIHnCFGx レジスタの内容 (3/5)

ビット位置	ビット名	機能															
16	CSIHnDAPx	CSIHnDAPx : データ位相選択ビット															
		<ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 0 															
		<table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table>	CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1	
		CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択													
		0	0														
		0	1														
		1	0														
		1	1														
		<ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 1 															
		<table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>×</td> <td>設定禁止</td> </tr> </tbody> </table>	CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	×	設定禁止			
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択															
0	0																
0	1																
1	×	設定禁止															

| 15 | CSIHnIDLx | チップセレクト信号 x の強制アイドル状態の設定を選択します。 0 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違えば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。 1 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。 このビットはマスターモードでのみ利用できます。 強制アイドル状態については「11.4.21 強制 CS アイドル設定」を参照してください。 |

表 11.24 CSIHnCFGx レジスタの内容 (4/5)

ビット位置	ビット名	機能		
14~12	CSIHnIDx[2:0]	チップセレクト信号 x のアイドル時間を選択します。		
		CSIHnIDx[2:0]	アイドル時間	
		000 _B	0.5 送信クロック周期	
		001 _B	1.0 送信クロック周期	
		010 _B	1.5 送信クロック周期	
		011 _B	2.5 送信クロック周期	
		100 _B	3.5 送信クロック周期	
		101 _B	4.5 送信クロック周期	
		110 _B	6.5 送信クロック周期	
		111 _B	8.5 送信クロック周期	
これらのビットはマスタモードでのみ利用可能です。				
11~8	CSIHnHDx[3:0]	チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。		
		CSIHnHDx [3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間
		0000 _B	0.5 送信クロック周期	1.0 送信クロック周期
		0001 _B	1.0 送信クロック周期	1.5 送信クロック周期
		0010 _B	1.5 送信クロック周期	2.0 送信クロック周期
		0011 _B	2.5 送信クロック周期	3.0 送信クロック周期
		0100 _B	3.5 送信クロック周期	4.0 送信クロック周期
		0101 _B	4.5 送信クロック周期	5.0 送信クロック周期
		0110 _B	6.5 送信クロック周期	7.0 送信クロック周期
		0111 _B	8.5 送信クロック周期	9.0 送信クロック周期
		1000 _B	9.5 送信クロック周期	10.0 送信クロック周期
		1001 _B	10.5 送信クロック周期	11.0 送信クロック周期
		1010 _B	11.5 送信クロック周期	12.0 送信クロック周期
		1011 _B	12.5 送信クロック周期	13.0 送信クロック周期
		1100 _B	14.5 送信クロック周期	15.0 送信クロック周期
		1101 _B	16.5 送信クロック周期	17.0 送信クロック周期
		1110 _B	18.5 送信クロック周期	19.0 送信クロック周期
		1111 _B	20.5 送信クロック周期	21.0 送信クロック周期
これらのビットはマスタモードでのみ利用可能です。				

表 11.24 CSIHnCFGx レジスタの内容 (5/5)

ビット位置	ビット名	機能																																																			
7~4	CSIHnINx[3:0]	チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。																																																			
		<table border="1"> <thead> <tr> <th>CSIHnINx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr> </tbody> </table>	CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間	0000 _B	0.0 送信クロック周期	0.5 送信クロック周期	0001 _B	0.5 送信クロック周期	1.0 送信クロック周期	0010 _B	1.0 送信クロック周期	1.5 送信クロック周期	0011 _B	2.0 送信クロック周期	2.5 送信クロック周期	0100 _B	3.0 送信クロック周期	3.5 送信クロック周期	0101 _B	4.0 送信クロック周期	4.5 送信クロック周期	0110 _B	6.0 送信クロック周期	6.5 送信クロック周期	0111 _B	8.0 送信クロック周期	8.5 送信クロック周期	1000 _B	9.0 送信クロック周期	9.5 送信クロック周期	1001 _B	10.0 送信クロック周期	10.5 送信クロック周期	1010 _B	11.0 送信クロック周期	11.5 送信クロック周期	1011 _B	12.0 送信クロック周期	12.5 送信クロック周期	1100 _B	14.0 送信クロック周期	14.5 送信クロック周期	1101 _B	16.0 送信クロック周期	16.5 送信クロック周期	1110 _B	18.0 送信クロック周期	18.5 送信クロック周期	1111 _B	20.0 送信クロック周期	20.5 送信クロック周期
		CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間																																																	
		0000 _B	0.0 送信クロック周期	0.5 送信クロック周期																																																	
		0001 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																	
		0010 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																	
		0011 _B	2.0 送信クロック周期	2.5 送信クロック周期																																																	
		0100 _B	3.0 送信クロック周期	3.5 送信クロック周期																																																	
		0101 _B	4.0 送信クロック周期	4.5 送信クロック周期																																																	
		0110 _B	6.0 送信クロック周期	6.5 送信クロック周期																																																	
		0111 _B	8.0 送信クロック周期	8.5 送信クロック周期																																																	
		1000 _B	9.0 送信クロック周期	9.5 送信クロック周期																																																	
		1001 _B	10.0 送信クロック周期	10.5 送信クロック周期																																																	
		1010 _B	11.0 送信クロック周期	11.5 送信クロック周期																																																	
		1011 _B	12.0 送信クロック周期	12.5 送信クロック周期																																																	
		1100 _B	14.0 送信クロック周期	14.5 送信クロック周期																																																	
		1101 _B	16.0 送信クロック周期	16.5 送信クロック周期																																																	
		1110 _B	18.0 送信クロック周期	18.5 送信クロック周期																																																	
		1111 _B	20.0 送信クロック周期	20.5 送信クロック周期																																																	
				これらのビットはマスタモードでのみ利用可能です。																																																	
3~0	CSIHnSPx[3:0]	チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。																																																			
		<table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr> </tbody> </table>	CSIHnSPx[3:0]	セットアップ時間	0000 _B	0.5 送信クロック周期	0001 _B	1.0 送信クロック周期	0010 _B	1.5 送信クロック周期	0011 _B	2.5 送信クロック周期	0100 _B	3.5 送信クロック周期	0101 _B	4.5 送信クロック周期	0110 _B	6.5 送信クロック周期	0111 _B	8.5 送信クロック周期	1000 _B	9.5 送信クロック周期	1001 _B	10.5 送信クロック周期	1010 _B	11.5 送信クロック周期	1011 _B	12.5 送信クロック周期	1100 _B	14.5 送信クロック周期	1101 _B	16.5 送信クロック周期	1110 _B	18.5 送信クロック周期	1111 _B	20.5 送信クロック周期																	
		CSIHnSPx[3:0]	セットアップ時間																																																		
		0000 _B	0.5 送信クロック周期																																																		
		0001 _B	1.0 送信クロック周期																																																		
		0010 _B	1.5 送信クロック周期																																																		
		0011 _B	2.5 送信クロック周期																																																		
		0100 _B	3.5 送信クロック周期																																																		
		0101 _B	4.5 送信クロック周期																																																		
		0110 _B	6.5 送信クロック周期																																																		
		0111 _B	8.5 送信クロック周期																																																		
		1000 _B	9.5 送信クロック周期																																																		
		1001 _B	10.5 送信クロック周期																																																		
		1010 _B	11.5 送信クロック周期																																																		
		1011 _B	12.5 送信クロック周期																																																		
		1100 _B	14.5 送信クロック周期																																																		
		1101 _B	16.5 送信クロック周期																																																		
		1110 _B	18.5 送信クロック周期																																																		
		1111 _B	20.5 送信クロック周期																																																		
				これらのビットはマスタモードでのみ利用可能です。																																																	

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1008_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn CIRE	CSIHn EOJ	CSIHn EDL	—	—	—	—	—	—	—	—	—	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	—	—	—	0	0	0	0	0	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.25 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアルバッファモードまたは送信専用バッファモードのときの通信割り込み要求 INTCSIHTIC または FIFO モードのときのジョブ完了割り込み INTCSIHTIJC を許可します。 0: 割り込みを要求しません。 1: 割り込みを要求します。送信後、割り込み INTCSIHTIC または INTCSIHTIJC を発生します。詳細については、「11.4.3 INTCSIHTIC (通信ステータス割り込み)」と「11.4.6 INTCSIHTIJC (ジョブ完了割り込み)」を参照してください。 注意: このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0: エンドオブジョブデータではないことを示します。ジョブを続行します。 1: エンドオブジョブデータであることを示します。 注意: このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。 スレーブモードで使用するときこのビットは必ず 0 に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットの packets として送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。
28~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 11.25 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
19~16	CSIHnCS[3:0]	1つ以上のチップセレクト信号をアクティブにします。 0: 関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1: 関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。 CSIHnTX0W.CSIHnCS[3:0] = F _H は設定禁止です。 注意: 複数のチップセレクト信号がブロードキャストに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定する必要があります。 スレーブモードで使用する場合には CSIHnCS[3:0] ビット = E _H に設定してください。
15~0	CSIHnTX[15:0]	送信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.13 CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15~0 と同じです。

転送には、CSIHnTX0W の上位 16 ビットの設定が適用されます。ただし、リセット後は CSIHnTX0W の値が不定ですので、本レジスタの使用前に、CSIHnTX0W に送信データ設定を行ってください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 100C_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.26 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15~0	CSIHnTX[15:0]	送信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス 32 ビット単位でリード可能です。

アドレス <CSIHn_base> + 1010_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHn RPE	CSIHn TDCE	—	—	—	—	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.27 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0: 関連付けられた受信データでパリティエラーが検出されていません。 1: 関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性エラーが検出されたかどうかを示します。 0: 関連付けられた送信で整合性エラーが検出されていません。 1: 関連付けられた送信で整合性エラーが検出されています。
23~20	予約ビット	リードした場合はリセット後の値が読めます。
19~16	CSIHnCSx (x = 3~0)	どのチップセレクト信号がアクティブになっているかを示します。 0: 関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1: 関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。
15~0	CSIHnRX[15:0]	受信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.15 CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15~0 と同じです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014_H

リセット後の値 不定



表 11.28 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15~0	CSIHnRX[15:0]	受信データを保存します。

注 意

本レジスタの設定では、「表 11.43 レジスタ設定上の注意事項 (1/3)」を参照してください。

11.3.16 CSIHnBRSy — CSIHn ボーレート設定レジスタ y (y = 0~3)

チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。

CSIHnCFG0~3.CSIHnBRSSx[1:0]ビットにより、チップセレクト信号ごとに、4種類の転送クロック周波数設定から1つの設定を選択することができます。転送クロック周波数設定の詳細については、「**11.4.11 送信クロックの選択**」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス CSIHnBRS0: <CSIHn_base> + 1068_H

CSIHnBRS1: <CSIHn_base> + 106C_H

CSIHnBRS2: <CSIHn_base> + 1070_H

CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRS[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.29 CSIHnBRSy レジスタの内容

ビット位置	ビット名	機能
15~12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11~0	CSIHnBRS[11:0]	0 : BRG stopped 1 : PCLK / (2 ^α × 1 × 2) 2 : PCLK / (2 ^α × 2 × 2) 3 : PCLK / (2 ^α × 3 × 2) 4 : PCLK / (2 ^α × 4 × 2) . . . 4095 : PCLK / (2 ^α × 4095 × 2) α は CSIHnCTL2.CSIHnPRS[2:0]の値です。

注 意

本レジスタの設定では、「**表 11.43 レジスタ設定上の注意事項 (1/3)**」を参照してください。

11.4 機能

11.4.1 割り込み機能の概要

CSIH は以下の表に示す割り込み要求を発生することができます。

表 11.30 割り込みの発生

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	INTCSIHTIC (通信ステータス割り込み)	Tx データエンプティ ^{注 1}	Tx データエンプティ ^{注 1} ジョブ中断 ^{注 4} 時を除く
	INTCSIHTIR (受信ステータス割り込み)	Rx データフル ^{注 2} かつ CSIHnCTL0.CSIHnRXE = 1	Rx データフル ^{注 2} かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注 3} (ジョブ完了割り込み)	適用不可	CSIHnTX0W.CSIHnCIRE = 1 (Tx データエンプティではないとき) またはジョブ中断 ^{注 4}
送信専用バッファ	INTCSIHTIC (通信ステータス割り込み)	通信終了	CSIHnTX0W.CSIHnCIRE = 1 かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) の とき
	INTCSIHTIR (受信ステータス割り込み)	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注 3} (ジョブ完了割り込み)	適用不可	ジョブ中断 ^{注 4}
デュアルバッファ	INTCSIHTIC (通信ステータス割り込み)	通信終了	CSIHnTX0W.CSIHnCIRE = 1 かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) の とき
	INTCSIHTIR (受信ステータス割り込み)	通信終了かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注 3} (ジョブ完了割り込み)	適用不可	ジョブ中断 ^{注 4}
ダイレクトアクセス	INTCSIHTIC (通信ステータス割り込み)	1 データ転送	1 データ転送 (ジョブ中断 ^{注 4} の状態を除く)
	INTCSIHTIR (受信ステータス割り込み)	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHTIRE (通信エラー割り込み)	エラー検出	エラー検出
	INTCSIHTIJC ^{注 3} (ジョブ完了割り込み)	適用不可	ジョブ中断 ^{注 4}

注 1. 「Tx データエンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0]で定義される FIFO の充填レベルです。

注 2. 「Rx データフル」とは、CSIHnMCTL1.CSIHnFFS[6:0]で定義される FIFO の充填レベルです。

注 3. スレープモードでは INTCSIHTIJC は利用できません。

注 4. ジョブ中断の条件 : CSHnTX0W.CSIHnEOJ = 1 かつ CSHnCTL0.CSIHnJOBE = 1

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

エラーが検出されると、通信エラー割り込み INTCSIHTIRE が発生します。ほかの割り込みが発生する条件は、メモリモード、ジョブモードによって異なり、ジョブ完了割り込み INTCSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INTCSIHTIJC は、ジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ発生します。スレーブモードでこの割り込みを利用することはできません。

11.4.2 割り込み遅延

マスターモードでは、マスタから発生するすべての割り込みを送信クロック CSIHTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1 (割り込み遅延有効) 、

CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0 (クロック位相とデータ位相) 、

CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

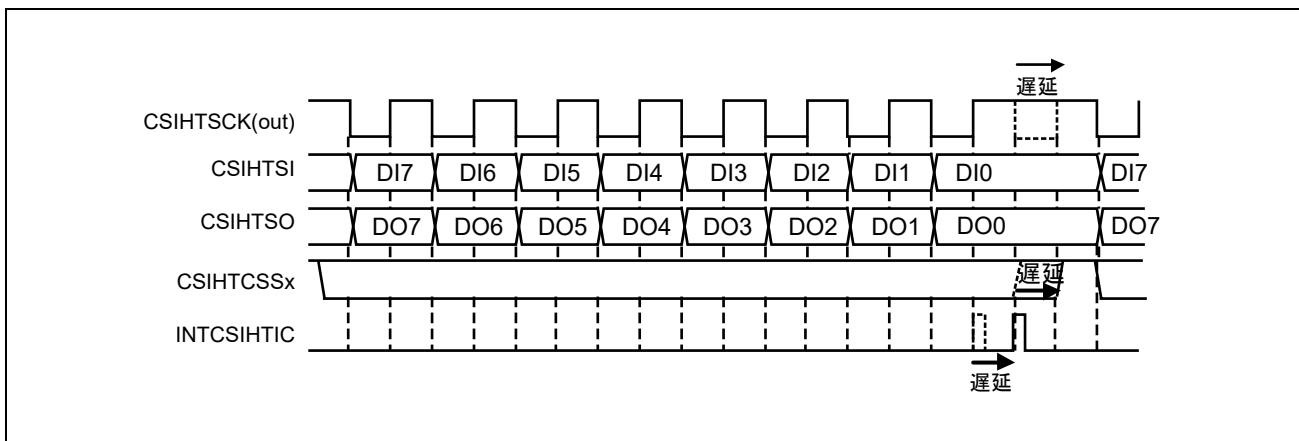


図 11.2 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号 (CSIHTCSSx) の終了も遅延します。

11.4.3 INTCSIHTIC (通信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 11.31 INTCSIHTIC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0]が CSIHnMCTL1.CSIHnFES[6:0]と等しくなると INTCSIHTIC が発生します。	CSIHnJE = 0 のときと同様に、FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなったとき発生しますが、ジョブ中断の場合は発生しません。
送信専用バッファ、デュアルバッファ	通信終了時 (CSIHnMCTL2.CSIHnND[7:0]ビットで指定) に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 ^{注 1} が送信された場合は、INTCSIHTIC の代わりに割り込み INTCSIHTIJC が発生します。
ダイレクトアクセス	データ転送が 1 回行われるたびに発生します。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

11.4.3.1 ダイレクトアクセスモードでの INTCSIHTIC

以下の例はダイレクトアクセスモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INTCSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

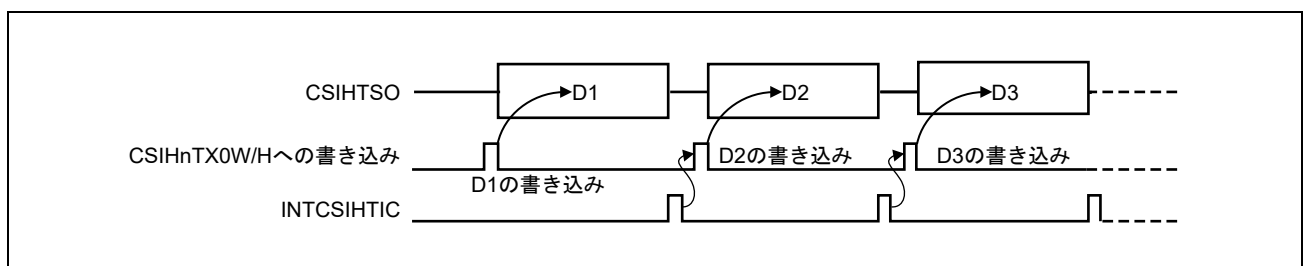


図 11.3 転送後の INTCSIHTIC の発生 (CSIHnCTL1.CSIHnSLIT = 0)

ジョブモードが有効になっており (CSIHnCTL1.CSIHnJE = 1)、CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている (CSIHnCTL0.CSIHnJOBE = 1) 状態でジョブが終了した場合、INTCSIHTIC はジョブ完了割り込み INTCSIHTIJC に置き換えられます。

「FIFO エンプティ」の条件は CSIHnMCTL1.CSIHnFES[6:0]で指定します。上の図の例では、FIFOに残っている未送信の送信データの数が 3 に設定されています。CSIHnSTR0.CSIHnSPF[7:0]は未送信のデータの数を示します。両方の数が一致すると、割り込み INTCSIHTIC が発生します。

11.4.3.3 ジョブモードでの INTCSIHTIC

以下の例はジョブモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INTCSIHTIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

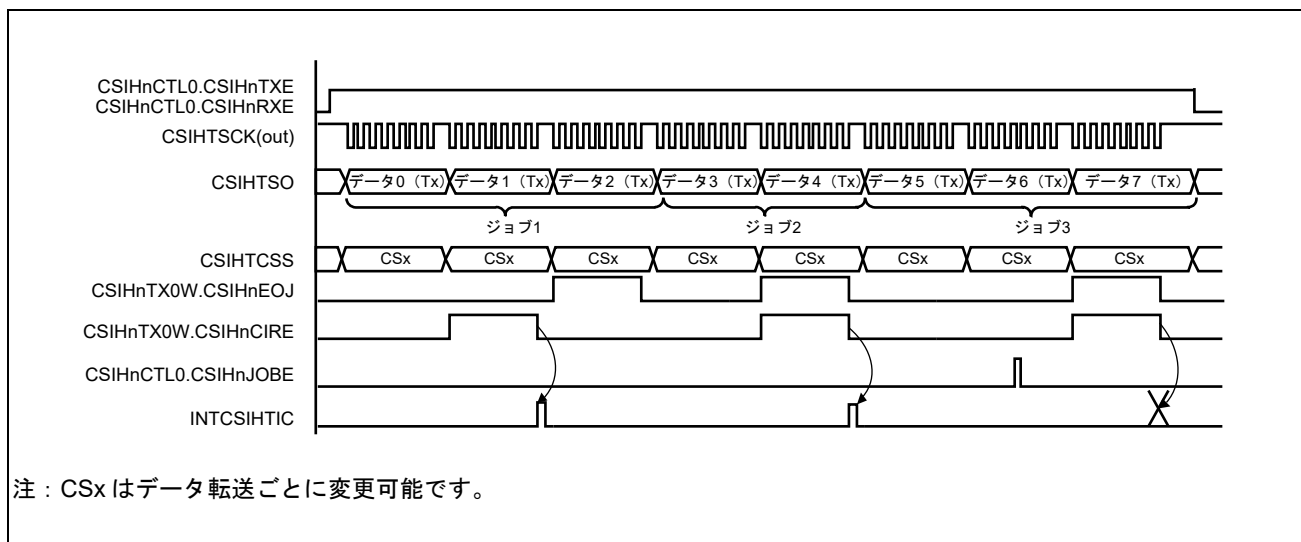


図 11.6 ジョブモードでの INTCSIHTIC の発生

ジョブモードでの INTCSIHTIC の発生に適用される規則を以下の表に示します。

表 11.32 ジョブモードでの INTCSIHTIC の発生

CSIHnTXO. CSIHnEOJ	CSIHnTXO. CSIHnCIRE	INTCSIHTIC
0	0	発生しません。
0	1	発生します。
1	0	発生しません。
1	1	CSIHnCTL0.CSIHnJOBE = 0 : 発生します。 CSIHnCTL0.CSIHnJOBE = 1 : 発生せず、割り込み INTCSIHTIJC に置き換えられます。

11.4.4 INTCSIHTIR (受信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 11.33 INTCSIHTIR 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、CSIHnCTL0.CSIHnRXE = 1 のとき、FIFO バッファが受信データでフルになる直前に発生し、FIFO をエンプティにする必要があることをアプリケーションに知らせます。 FIFO に残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0]が (128 - CSIHnMCTL1.CSIHnFFS[6:0]) と等しくなると INTCSIHTIR が発生します。	
デュアルバッファモード	通信が終了し (CSIHnMCTL2.CSIHnND[7:0]ビットで指定)、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	データ転送が 1 回行われるたびに発生します。
送信専用バッファモード ダイレクトアクセスモード	データ転送が 1 回行われるたびに発生します。	

11.4.4.1 ダイレクトアクセスモードでの INTCSIHTIR

以下の例はダイレクトアクセスモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

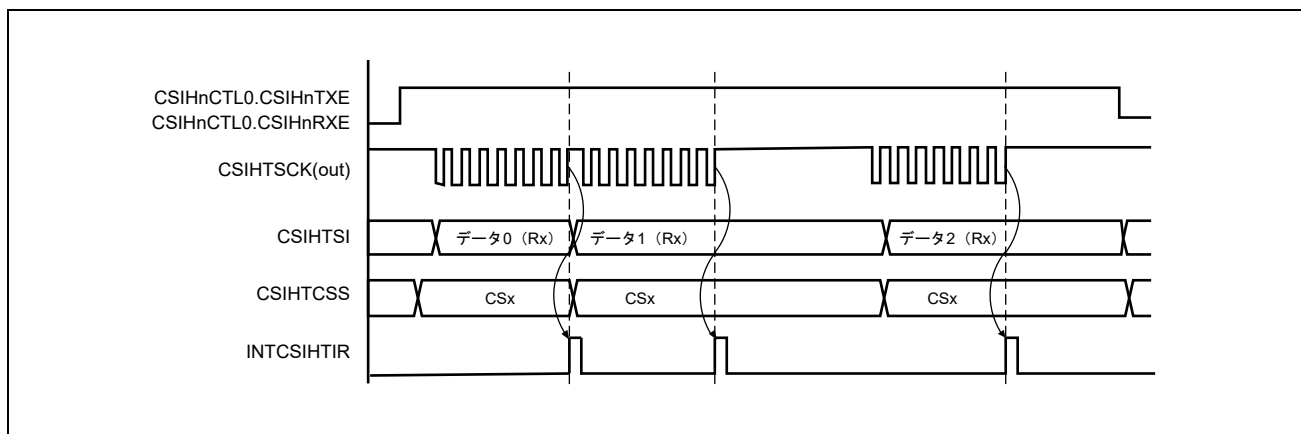


図 11.7 ダイレクトアクセスモードでの INTCSIHTIR の発生

11.4.4.2 デュアルバッファモードでの INTCSIHTIR

以下の例はデュアルバッファモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- デュアルバッファモード
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- デフォルトのクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$, $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000\text{B}$)

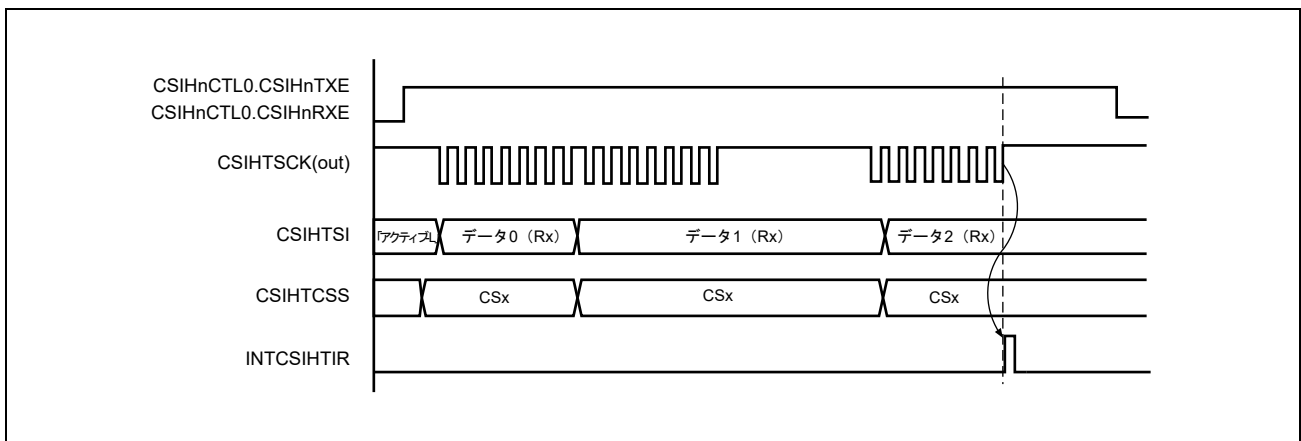


図 11.8 デュアルバッファモードでの INTCSIHTIR の発生

11.4.5 INTCSIHTIRE (通信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

割り込み発生タイミングは、「11.4.18 エラー検出」を参照ください。

表 11.34 データエラーのタイプ

エラーのタイプ	通信エラー割り込み後の通信ステータス	備考
オーバーフローエラー	割り込みが発生しても通信は継続します。	FIFO バッファに書き込まれず、オーバーフローしたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性エラー	割り込みが発生しても通信は継続します。	—
タイムアウトエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー	(エラー発生条件 1) FIFO モードで受信データの数が 0 になった状態で CPU が CSIHnRX0W/H レジスタをリードすると、割り込みが発生します。通信は継続します。	—
	(エラー発生条件 2) スレープモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合、 [1] ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合、割り込みが発生します。通信は継続します。 [2] FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合、割り込みが発生します。通信は継続します。	スレープモードで CSIHnCTL1.CSIHnHSE = 1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止するため、オーバランエラーは発生しません。

INTCSIHTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性エラーフラグが添付されません。

さまざまなエラータイプの詳細については、「11.4.18 エラー検出」を参照してください。

11.4.6 INTCSIHTIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。「11.4.9.3 ジョブ概念」を参照してください。この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0 の場合、INTCSIHTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリモードによって異なります。

表 11.35 INTCSIHTIJC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	適用不可	ジョブ中断 ^{注1} がトリガされたあと、ジョブの終了時に通信が停止したことを示します。 FIFO エンプティが検出されていない場合は、CSIHnCIRE = 1 のときに INTCSIHTIJC が発生します。
送信専用バッファ		ジョブ中断 ^{注1} がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
デュアルバッファ		
ダイレクトアクセス		

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

11.4.7 動作モード (マスタ/スレーブ)

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

11.4.7.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ (BRG) によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0] を 11_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2.CSIHnPRS[2:0] ビットと CSIHnBRSy.CSIHnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

(1) チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、「**11.4.9 チップセレクト (CS) 機能**」を参照してください。

(2) クロックのデフォルト設定

CSIHTSCK のデフォルトレベルは、CSIHTSCK のクロック反転機能ビットの状態によって異なります。CSIHTSCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0、MSB ファーストのときのマスタモードの通信を示しています。

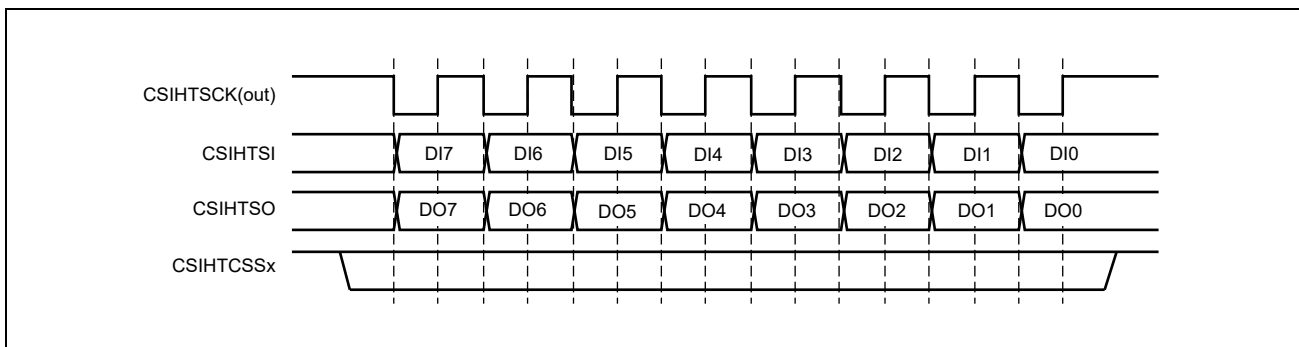


図 11.9 マスタモードでの送受信

11.4.7.2 スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0]ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFG3 レジスタの設定は無効となります)。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLSx[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

備 考

スレーブモードを使用するときは、CSIHnBRSy.CSIHnBRS[11:0]ビットを 000_H に設定することによってポーレートジェネレータ (BRG) を無効にします。ただし、タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0]ビットに、000_H 以外の値を設定してください。

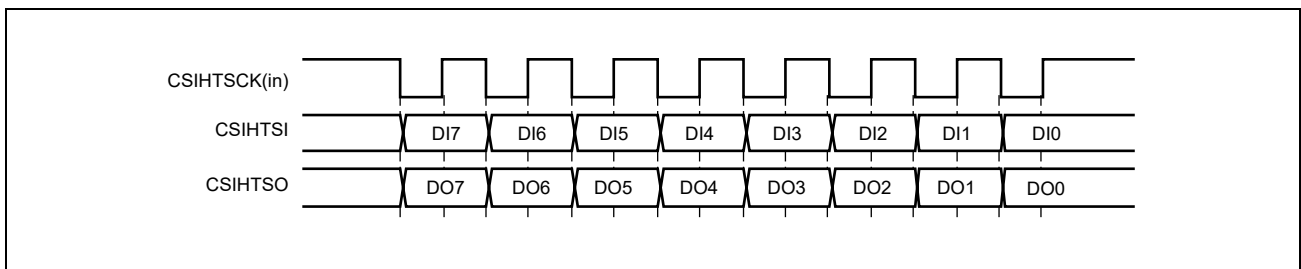


図 11.10 スレーブモードでの送受信

11.4.8 マスタ/スレーブの接続

11.4.8.1 マスタ 1、スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

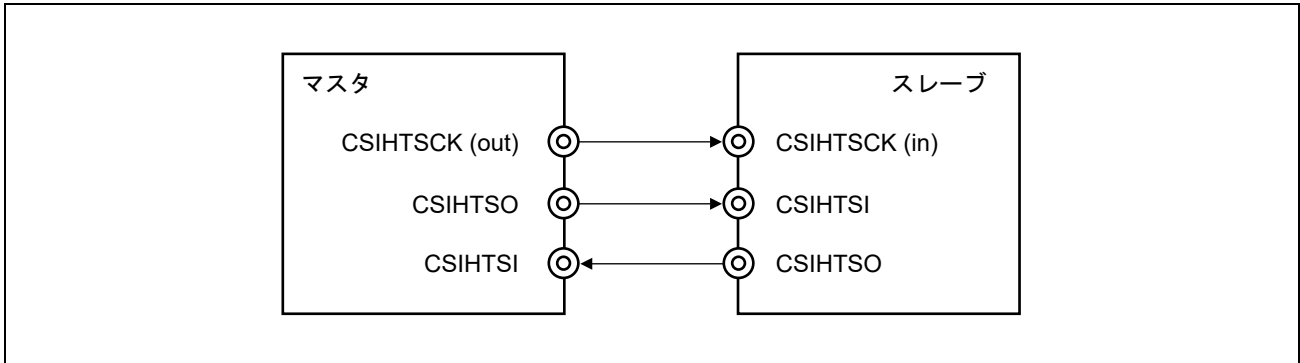


図 11.11 マスタ/スレーブの直接接続

11.4.8.2 マスタ 1、スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップセレクト (CS) 信号を供給します。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIHTSSI}}$ に接続されます。

$\overline{\text{CSIHTSSI}}$ 信号は、 $\text{CSIHnCTL1.CSIHnSSE}$ ビットを使用して有効または無効にすることができます。

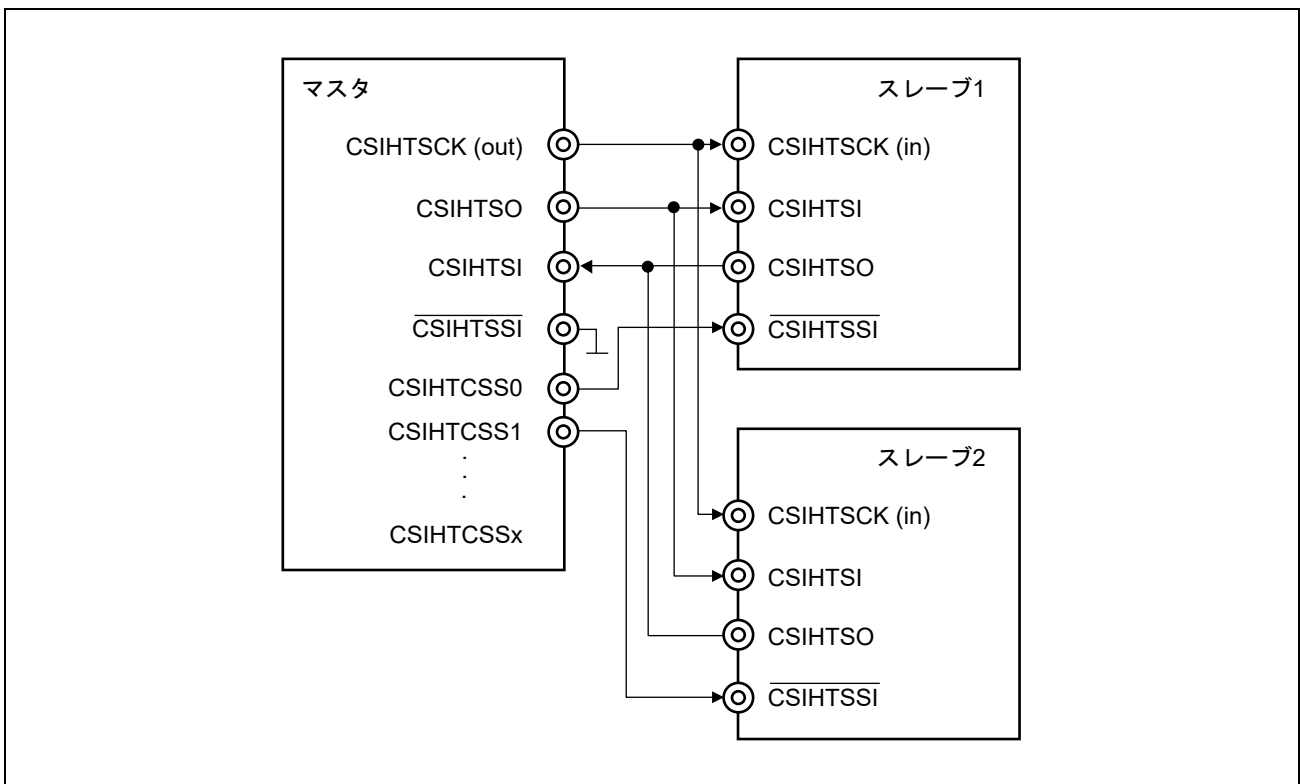


図 11.12 1つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている ($\text{CSIHnCTL0.CSIHnTXE} = 1$) とき、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

11.4.9 チップセレクト (CS) 機能

マスタはチップセレクト信号 CSIHTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

11.4.9.1 コンフィギュレーションレジスタ

各チップセレクト信号 CSIHTCSSx のパラメータは、対応するコンフィギュレーションレジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
(CSIHnCFGx.CSIHnDLSx[3:0])
- 転送方向：MSB ファーストまたは LSB ファースト。
(CSIHnCFGx.CSIHnDIRx)
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
(CSIHnCFGx.CSIHnPSx[1:0])
- クロック位相とデータ位相。(CSIHnCFGx.CSIHnCKPx, CSIHnCFGx.CSIHnDAPx)

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のボーレートジェネレータのプリスケール選択。
(CSIHnCFGx.CSIHnBRSSx[1:0])
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャスト用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。
(CSIHnCFGx.CSIHnRCBx)

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

注 意

すべてのドミナントチップセレクト信号の設定が同じである場合を除き、複数のチップセレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止されています。

- チップセレクトのタイミング
 - セットアップ時間 T_{setup} ：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。(CSIHnCFGx.CSIHnSPx[3:0])
 - データ間時間 T_{inter} ：CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。(CSIHnCFGx.CSIHnINx[3:0])
 - ホールド時間 T_{hold} ：CS が切り替わるまでに CS 信号のアクティブレベルが保持される時間。(CSIHnCFGx.CSIHnHDx[3:0])
 - アイドル時間 T_{idle} ：データ転送が完了した後の非アクティブ時間。(CSIHnCFGx.CSIHnIDX[2:0])

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHTCSS1 信号と CSIHTCSS2 信号がデフォルトのアクティブブロー (CSIHnCTL1.CSIHnCSL1 ビット=0, CSIHnCTL1.CSIHnCSL2 ビット=0) に設定した場合の例を図 11.13 に示します。アクティブレベルは CS ごとに個別に指定することができます。

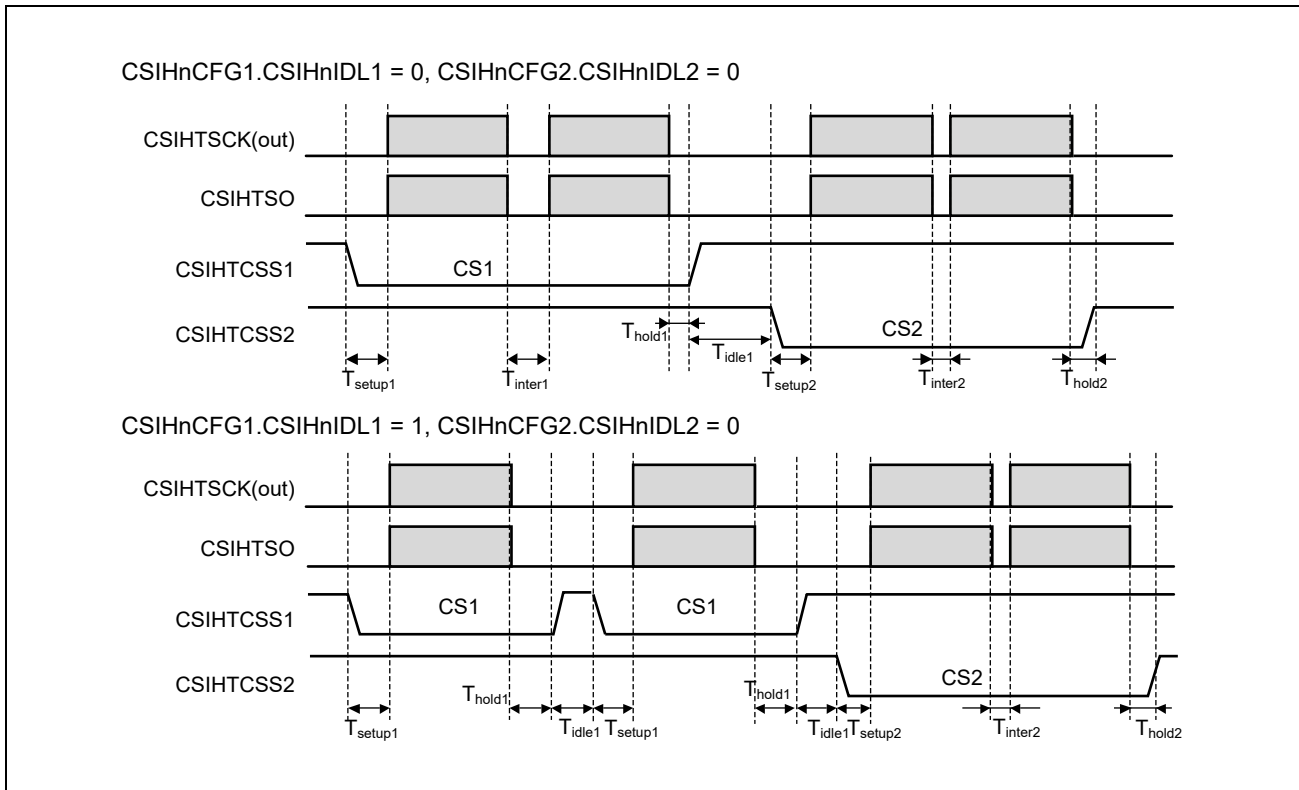


図 11.13 チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSIHnTX0W.CSIHnCSx の対応するビットをセットします。

受信レジスタの CSIHnRX0W.CSIHnCSx は、受信データに関連付けられたチップセレクト信号を示します。

注 意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するとき、高優先通信モードから低優先通信モードに移行するときは、CSIHnCFGx.CSIHnIDLx ビット設定に関わらずアイドル状態が挿入されます。

11.4.9.2 CS の例

以下の図は 2 回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して 1 つのスレーブと通信しています。2 番目の通信では CS0 と CS1 を有効にして 2 つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッシブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。よって、2 番目の通信はドミナントに設定されている CS1 の設定を用いて行われます。

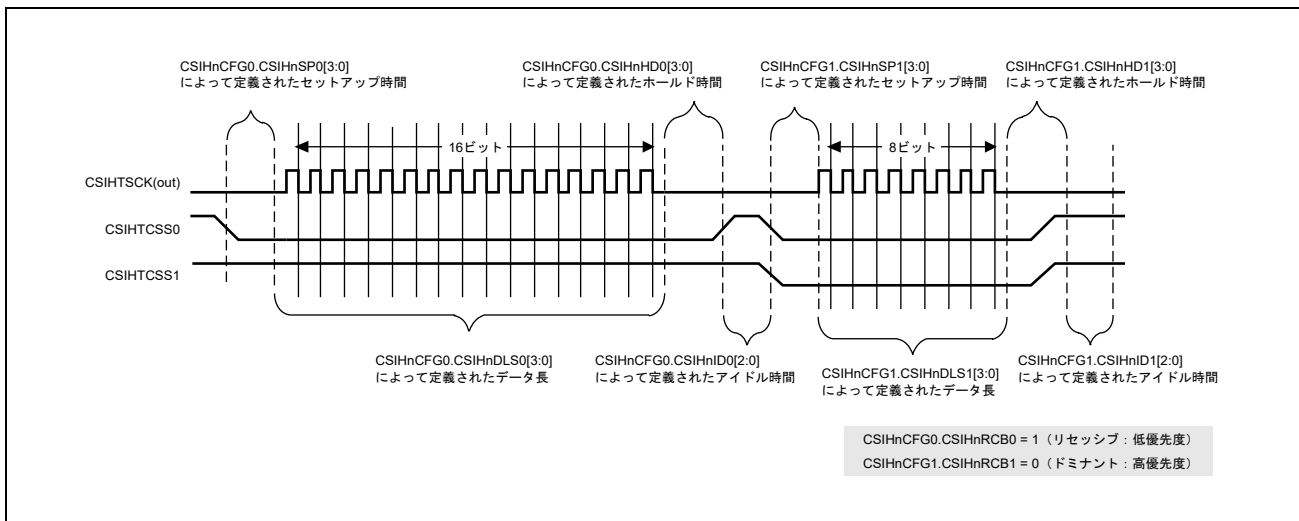


図 11.14 チップセレクトと RCB の例

11.4.9.3 ジョブ概念

CSIH というジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHTCTL0.CSIHTnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHTCTL1.CSIHTnJE によってジョブモードを有効または無効にします。

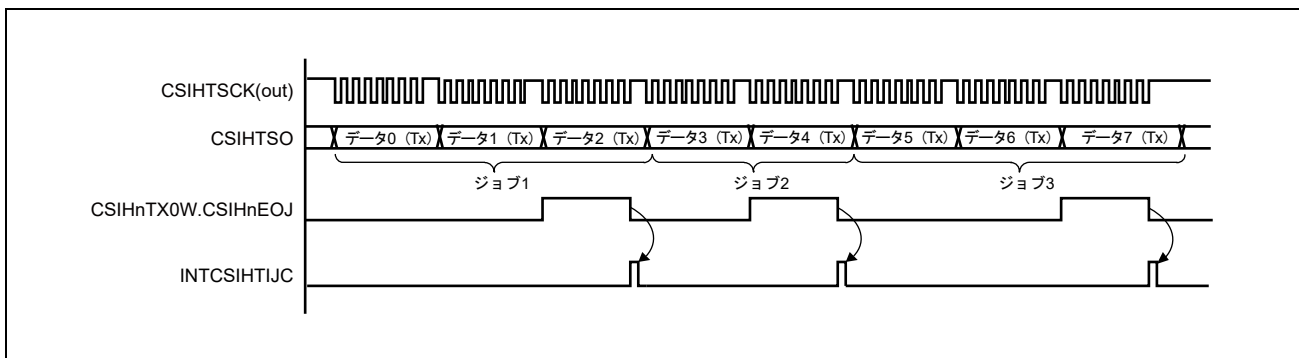


図 11.15 ジョブの例

CSIHTnTX0W.CSIHTnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHTCTL0.CSIHTnJOBE をセットします。CSIHTnJOBE がセットされていると、CSIHTnEOJ ビットがセットさ

れたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INTCSIHTIJC が発生します。

11.4.10 チップセレクトのタイミングの詳細

11.4.10.1 クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができません。アイドル時間の最小値は送信クロック (CSIHTSCK(out)) の 1 周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が CSIHTSCK(out) の 1 周期に延長されます。

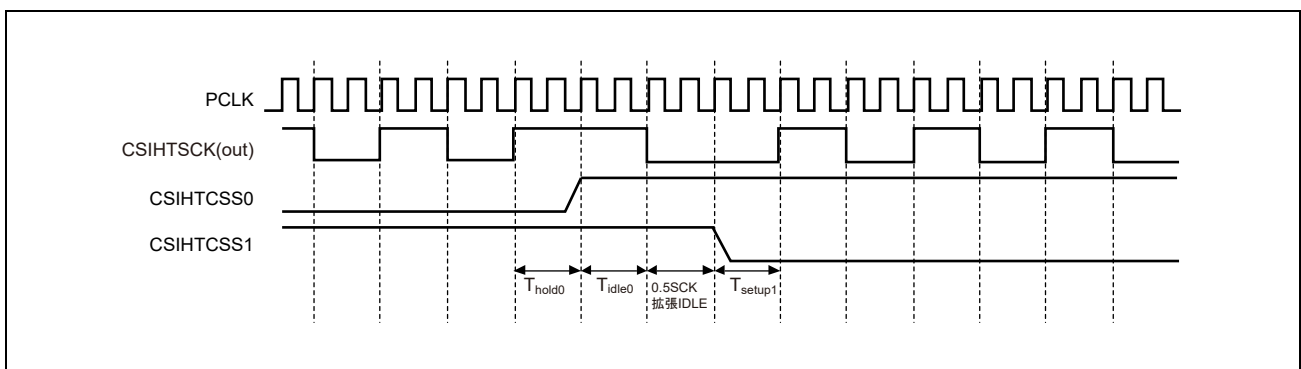


図 11.16 クロック位相のタイミング (PCLK/4、 $T_{hold0} = T_{setup1} = 0.5CSIHTSCK$ 、 $T_{idle0} = 0.5CSIHTSCK$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

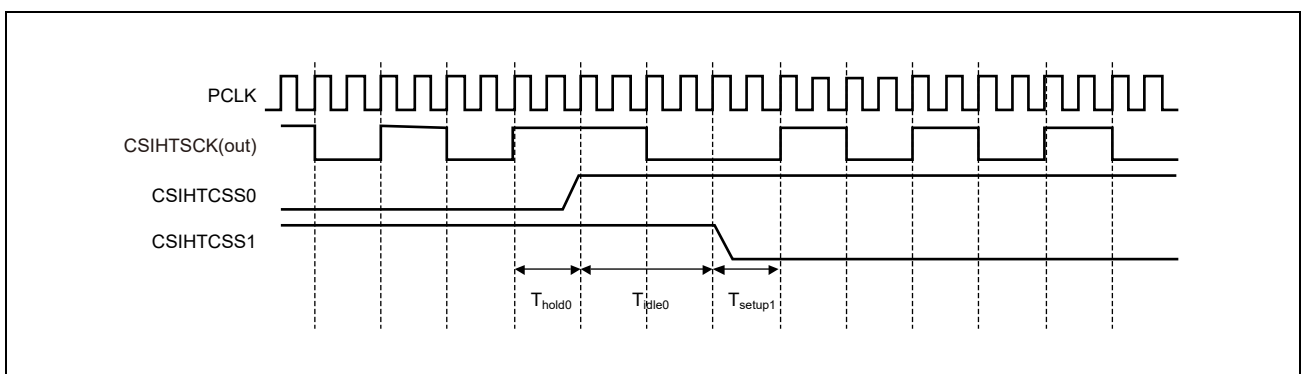


図 11.17 クロック位相のタイミング (PCLK/4、 $T_{hold0} = T_{setup1} = 0.5CSIHTSCK$ 、 $T_{idle0} = 1CSIHTSCK$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSIHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

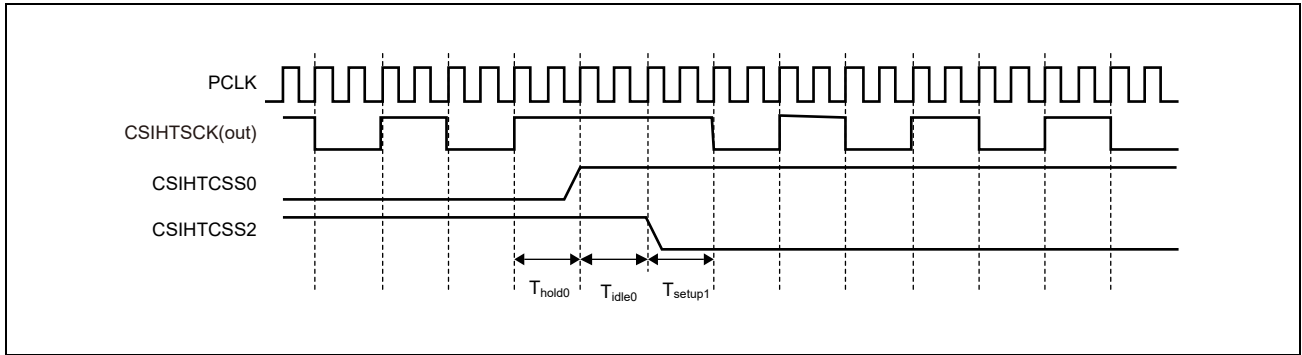


図 11.18 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 0.5\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) →CSIHnCFG2.CSIHnCKP2 = 0 (CSIHTCSS2) の場合)

11.4.10.2 データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビットとホールド/セットアップ期間の関係は次の通りになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック (CSIHTSCK) の最後のエッジから CSIHTCSSx がインアクティブレベルになるまでの期間です。

セットアップ期間は、CSIHTCSSx がアクティブレベルになるときから送信データ (CSIHTSO) が出力されるまでの期間です。

したがって、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック (CSIHTSCK) のエッジが出力されるまで 0.5 CSIHTSCK 分のずれがあります。

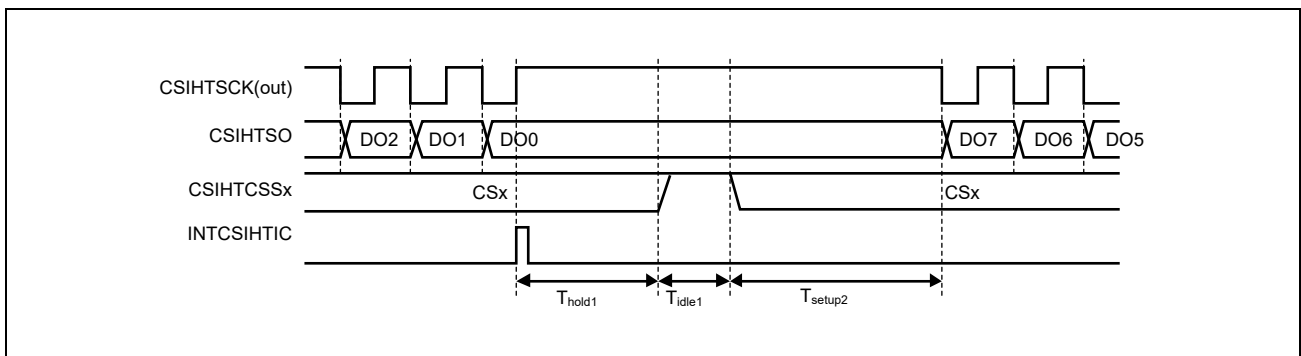


図 11.19 データ位相のタイミング

(CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 0 の場合)

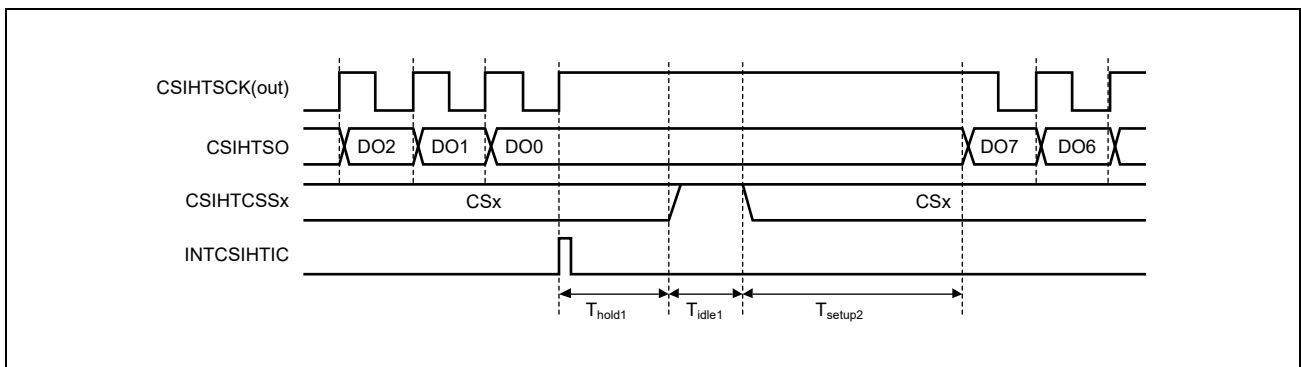


図 11.20 データ位相のタイミング

(CSIHnCFG1.CSIHnCKP1 = 1、CSIHnCFG1.CSIHnDAP1 = 0 かつ
CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 1 の場合)

11.4.11 送信クロックの選択

マスタモードでは、以下のビットを使って転送クロック周波数を選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSy.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHTSCK の転送クロック周波数は、CSIHnCTL2.CSIHnPRS[2:0]の設定と、CSIHnBRSy.CSIHnBRS[11:0]の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0]によってチップセレクト信号ごとに CSIHnBRS3～CSIHnBRS0 の 4 種類のうちいずれか 1 つの設定を選択することができます。

ポーレートジェネレータのブロック図を以下に示します。

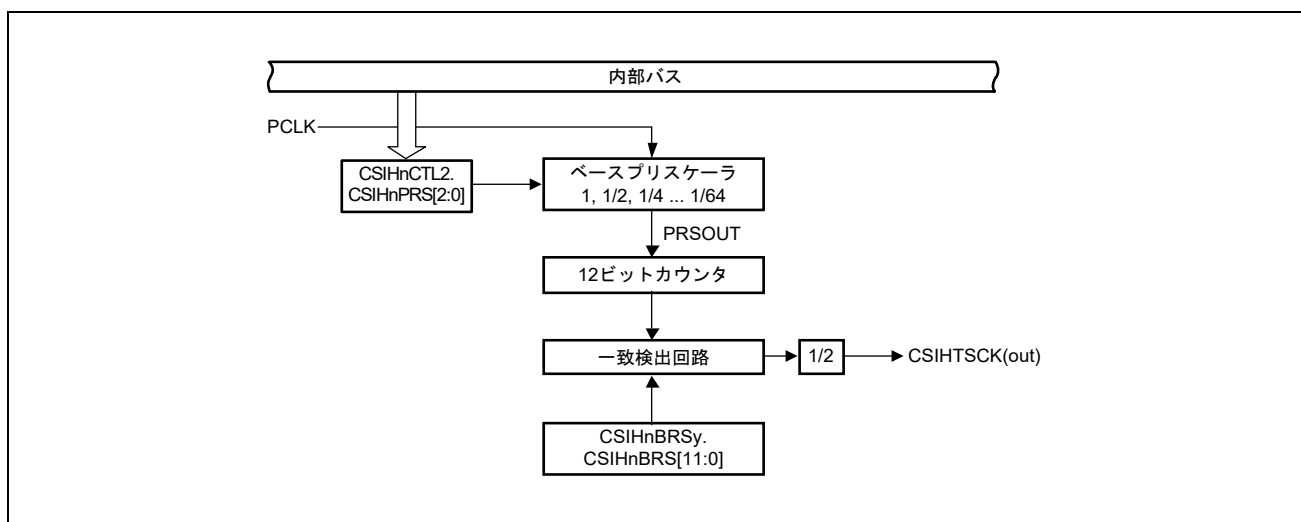


図 11.21 ポーレートジェネレータのブロック図

CSIHnBRSy.CSIHnBRS[11:0]を 000_Hに設定すると、ポーレートジェネレータが無効になり、すべての CSIHTSCK が停止します。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

$$\text{転送クロック周波数(CSIHTSCK)} = \text{PCLK} / (\text{PCLK の分周比}) = \text{PCLK} / (2^\alpha \times k \times 2)$$

ただし、

$$\alpha = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIHnBRS0.CSIHnBRS0}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 0 のとき)

$$\text{CSIHnBRS1.CSIHnBRS1}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 1 のとき)

$$\text{CSIHnBRS2.CSIHnBRS2}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 2 のとき)

$$\text{CSIHnBRS3.CSIHnBRS3}[11:0] = 1 \sim 4095$$

(CSIHnCFGx.CSIHnBRSSx[1:0] = 3 のとき)

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 転送クロックの最小周波数は、マスタ・スレーブモードともに $PCLK / 524160$ です。
- 転送クロックの最大周波数は、以下の通りです。
 - マスタモード : $PCLK / 8$
 - スレーブモード : $PCLK / 16$

11.4.12 CSIH のバッファメモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00 _B
デュアルバッファモード		01 _B
送信専用バッファモード		10 _B
ダイレクトアクセスモード	1	X

11.4.12.1 FIFO モード

FIFO モードでは、FIFO フルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 データが送信されると同時に 1 データが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データが FIFO メモリに書き込みされたとき、読み出しされたとき、またはデータが FIFO メモリから送受信されたときに、それぞれに対応する FIFO メモリポインタを自動的に更新します。

表 11.36 FIFO モード

ポインタの説明	制御ビット ^{注 1}	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0~128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0~128
送信データの書き込み／読み出しのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~01FC _H
受信データの読み出しのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~01FC _H
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~01FC _H

注 1. 1 回の書き込み、読み出し、またはデータの送受信ごとに、自動的に値が更新されます。

CSIH ステータスレジスタには 2 つの FIFO ステータスフラグが含まれています。

- CSIHnSTR0.CSIHnFLF : FIFO フル
- CSIHnSTR0.CSIHnEMF : FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、CSIHnSTR0.CSIHnEMF のみ、リセットではなくセットされます。

CSIHnSTR0.CSIHnEMF を除くすべての FIFO ポインタと FIFO フラグがリセットされ、CSIHnSTR0.CSIHnEMF がセットされます。

11.4.12.2 デュアルバッファモード

このモードでは、サイズの等しい 2 つの部分にメモリが分割されます。つまり、64 ワードが送信データに割り当てられ、64 ワードが受信データに割り当てられます。デュアルバッファモードでは、個々のバッファポインタが以下の値を示します。

表 11.37 デュアルバッファモード

ポインタの説明	ポインタ ^{注 1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~00FC _H
受信バッファから読みだされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~00FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[7:0]	0~64
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~00FC _H

注 1. 1 回の書き込み、読み出しごとに両方のポインタが自動的にインクリメントされます。

11.4.12.3 送信専用バッファモード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データは CSIHnRX0W/H から直接読み出す必要があります。

送信専用バッファモードでは、個々のバッファポインタが以下の値を示します。

表 11.38 送信専用バッファモード

ポインタの説明	ポインタ ^{注 1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~01FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[7:0]	0~128
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~01FC _H

注 1. 1 回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

11.4.12.4 ダイレクトアクセスモード

ダイレクトアクセスモードでは、CSIH のメモリが完全にバイパスされます。

- CPU から送信レジスタ CSIHnTX0W または CSIHnTX0H に供給される送信データはシフトレジスタに直接コピーされます。
- 受信データはシフトレジスタから受信レジスタ CSIHnRX0W または CSIHnRX0H へ直接コピーされます。

11.4.13 データ転送モード

11.4.13.1 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると送信が開始されます。

11.4.13.2 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

マスタモードでは、受信を開始する条件がメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

- デュアルバッファモード、または送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると受信が開始されます。

11.4.13.3 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると通信が開始されます。

11.4.13.4 まとめ

以下の表にこの節のまとめを記載します。この表は、さまざまなメモリモード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 11.39 データ転送の開始

メモリモードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード、 ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信
送信専用バッファモード、 デュアルバッファモード	マスタ	CSIHnMCTL2.CSIHnBTST = 1	CSIHnMCTL2.CSIHnBTST = 1
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

11.4.14 データ長の選択

11.4.14.1 2~16 ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0]を使用して、チップセレクト信号ごとに 2 ビットから 16 ビットの間のデータパケット長を選択できます。以下の例は、MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B)

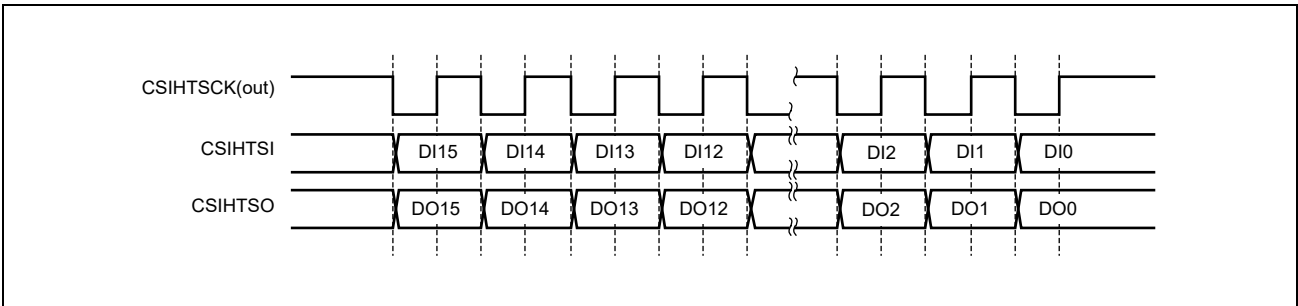


図 11.22 データ長 16 ビット、MSB ファースト

データ長 = 14 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B)

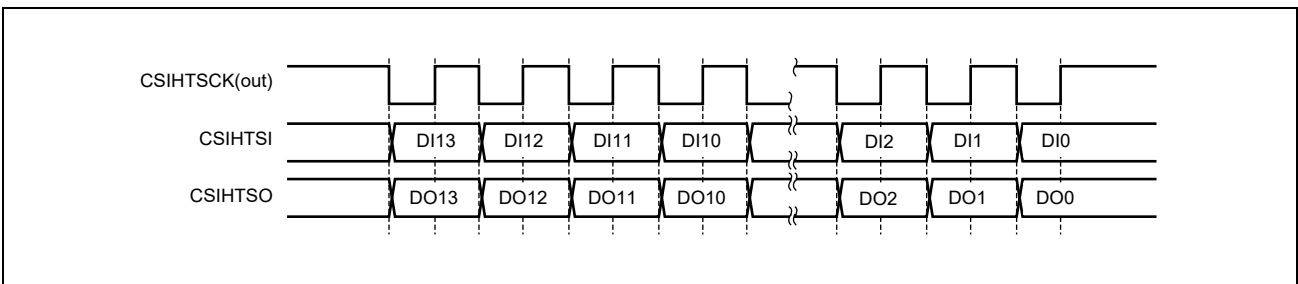


図 11.23 データ長 14 ビット、MSB ファースト

備 考

1. 1 ビットのデータ長は、EDL モードを使用するときのみ設定できます。
 2. データ長が 2 ビット未満のデータを 2 つ続けて送信することはできません。
 3. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
 4. 拡張データ長 (EDL) 機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
 5. 以下の例でデータ方向について説明します。
 - 送信されるデータ : 123456_H
 - MSB ファースト :
CSIHnCFGx.CSIHnDIRx = 0 に設定
CSIHnTX0W = 20FE 1234_H を書き込み (EDL ビット = 1)
CSIHnTX0W = 00FE 0056_H を書き込み (EDL ビット = 0)
 - LSB ファースト :
CSIHnCFGx.CSIHnDIRx = 1 に設定
CSIHnTX0W = 20FE 3456_H を書き込み (EDL ビット = 1)
CSIHnTX0W = 00FE 0012_H を書き込み (EDL ビット = 0)
 6. CSIHnCTL1.CSIHnJE = 1, CSIHnCTL1.CSIHnEDLE = 1 のときに、CSIHnTX0W.CSIHnEOJ = 1 と CSIHnTX0W.CSIHnEDL = 1 を同時に設定した場合は、動作の保証ができません。
 7. EDL モードは、スレーブモードの受信専用モードでは使えません。(CSIHnCTL2.CSIHnPRS[2:0] = 111_B, CSIHnCTL0.CSIHnTXE = 0, CSIHnCTL0.CSIHnRXE = 1)
-

11.4.15 シリアルデータ方向選択機能

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B) を示しています。

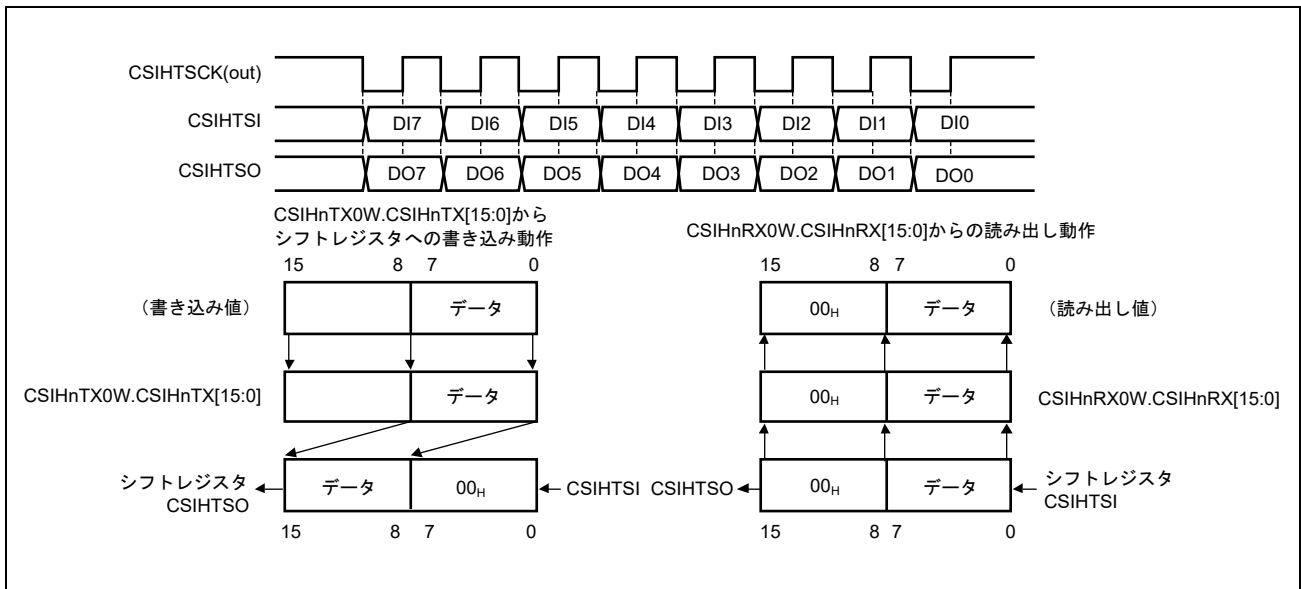


図 11.25 シリアルデータ方向選択機能 — MSB ファースト (CSIHnDIRx = 0)

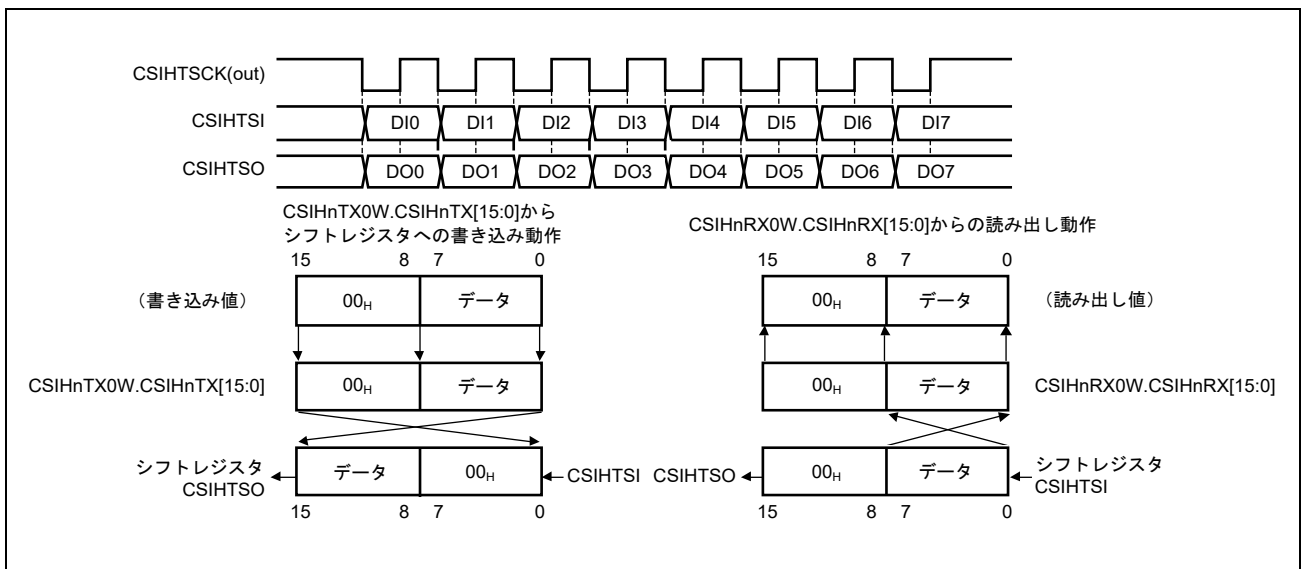


図 11.26 シリアルデータ方向選択機能 — LSB ファースト (CSIHnDIRx = 1)

11.4.16 SS (スレーブセレクト) 機能

SS 機能を使用することによって 1 つのマスタと複数のスレーブ間の通信が可能です。

マスタモードのとき 1 つのスレーブに対しスレーブ選択信号 (CSIHTCSSx) を出力します。

スレーブモードではスレーブ入力選択信号 ($\overline{\text{CSIHTSSI}}$) がロウレベルのとき通信を行います。

SS 機能による接続例は「11.4.8 マスタ/スレーブの接続」を参照してください。

11.4.16.1 SS 機能を使用した通信のタイミング

以下の図は、SS 機能を使用した通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

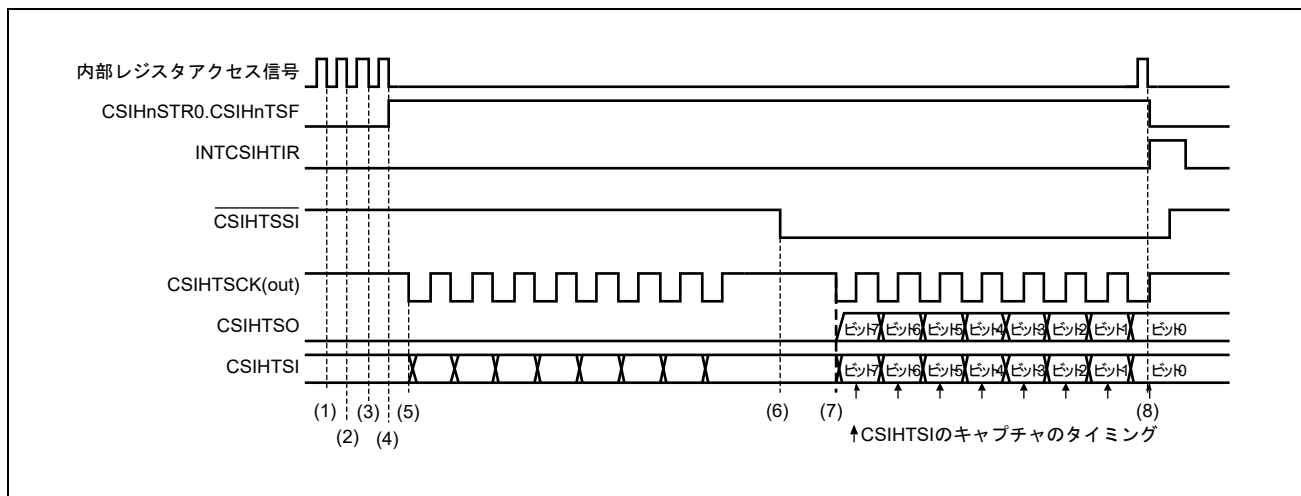


図 11.27 SS 機能を使用した通信の送受信のタイミング

- (1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。
- (2) データ長は 8 ビットです (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)。データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
- (3) 送受信モードに設定されます (CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1, CSIHnCTL0.CSIHnPWR = 1)。通信の開始が許可されます。
- (4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、ダイレクトアクセスモードのとき、または FIFO モードのときは、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。
- (5) $\overline{\text{CSIHTSSI}}$ 信号がハイレベルである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。
- (6) $\overline{\text{CSIHTSSI}}$ がロウレベルになると、CSIHTSO が有効になったことを示し、送信が可能になります。
- (7) 外部クロック信号 CSIHTSCK が検出されると、スレーブはだたちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。
- (8) 割り込み INTCSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

11.4.16.2 CSIHTSSO オペレーション

CSIHnPWR	CSIHnTXE	CSIHnRXE	CSIHnSSE	CSIHTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	$\overline{\text{CSIHTSSI}}$ レベルの反転値

CSIHTSSO 端子は、SS 機能を使用する場合にチップの SO 端子の I/O 機能を制御する信号です。

CSIHTSSO 端子は CSIHTSSO 端子がハイレベルのときに有効になります (チップの SO 端子は駆動されている)。

CSIHTSSO 端子は CSIHTSSO 端子がロウレベルのときに無効になります (チップの SO 端子は駆動されていない)。

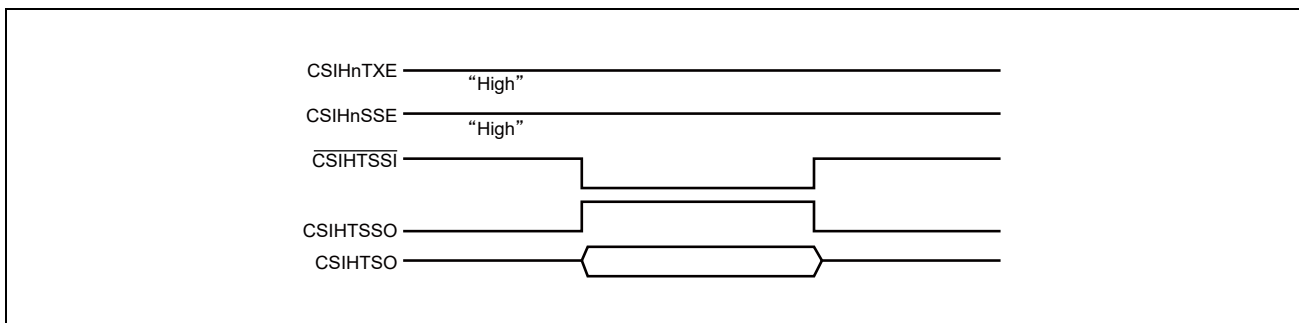


図 11.28 CSIHTSSO の動作

注 意

通信中に $\overline{\text{CSIHTSSI}}$ 端子が変化した場合 (CSIHnSTR0.CSIHnTSF = 1) の通信は保証されません。

11.4.17 ハンドシェイク機能

CSIH はマスタデバイスとスレーブデバイスを同期させるハンドシェイク機能を備えています。この機能は CSIHnCTL1.CSIHnHSE ビットで有効または無効にすることができます。ハンドシェイクでは、CSIHTRYI、CSIHTRYO 信号を使用します。

ビジーとなるタイミングはデータ位相選択 CSIHnCFGx.CSIHnDAPx ビットの設定によって異なります。

11.4.17.1 スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になると CSIHTRYO 信号がロウレベルを出力します。この状態になるのは以下の 2 つの場合です。

1. 次の送信データが用意されていない場合：

スレーブが送信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnTXE = 1) で、以下の状態のとき、CSIHTRYO はビジー状態 (ロウレベル) を出力します。

表 11.40 メモリモードとスレーブの転送状態

メモリモード	スレーブの転送状態
ダイレクトアクセスモード	次の転送データがない状態
FIFO モード	次の転送データがない状態 (CSIHnSTR0.CSIHnEMF = 1 の状態)
デュアルバッファモード	CSIHnMCTL2.CSIHnBTST が 1 に設定されていない状態
送信専用バッファモード	

以下の例では、8 ビットのデータ長を想定しています。

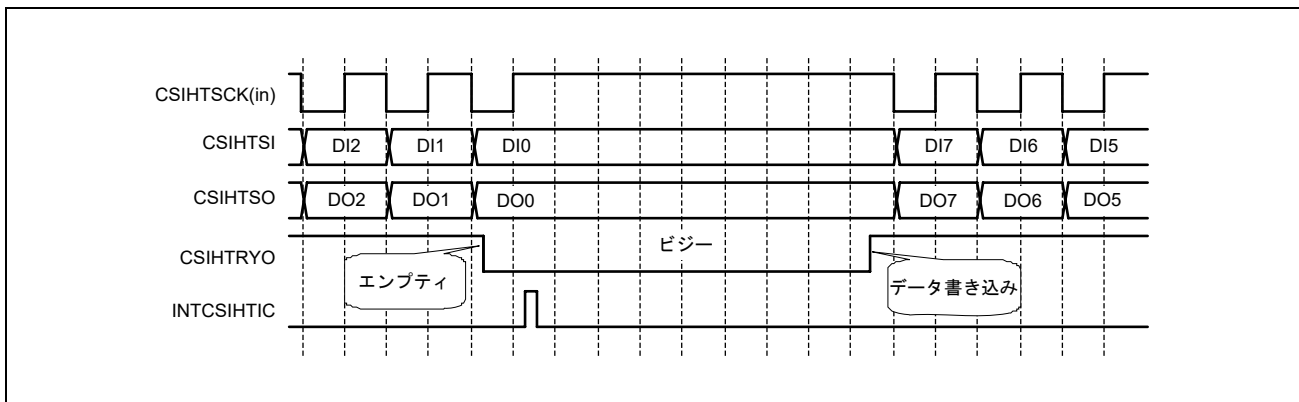


図 11.29 スレーブからのビジー信号 (FIFO モード、CSIHnCFGx.CSIHnDAPx = 0)

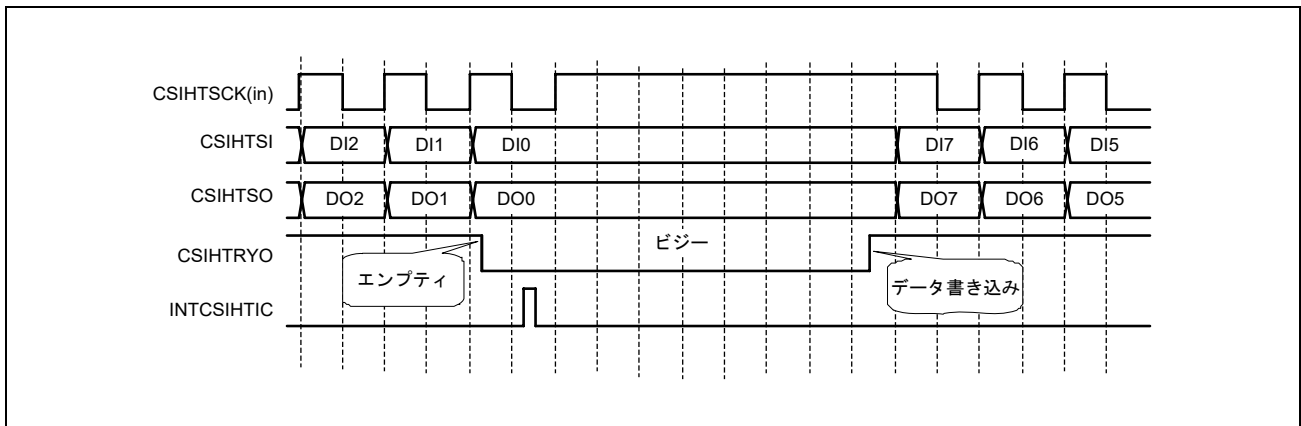


図 11.30 スレーブからのビジー信号 (FIFO モード、CSIHnCFGx.CSIHnDAPx = 1)

2. 受信レジスタがフルになっている場合：

スレーブが受信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnRXE = 1) で、前に受信したデータがまだ CSIHnRX0W/H レジスタにあるため、新しいデータをシフトレジスタから CSIHnRX0W/H へコピーできない状態 (CSIHnRX0W/H フル状態) のとき。

CSIHnCTL0.CSIHnRXE = 1 で、以下の状態のとき、CSIHnTRYO はビジー状態 (ロウレベル) を出力します。

表 11.41 メモリモードとスレーブの受信状態

メモリモード	スレーブの受信状態
ダイレクトアクセスモード	CSIHnRX0W または CSIHnRX0H がフル状態
FIFO モード	受信データがバッファに残っている状態 (CSIHnSTR0.CSIHnFLF = 1 の状態)
デュアルバッファモード	該当する状態なし
送信専用バッファモード	CSIHnRX0W または CSIHnRX0H がフル状態

以下の例では、8 ビットのデータ長を想定しています。

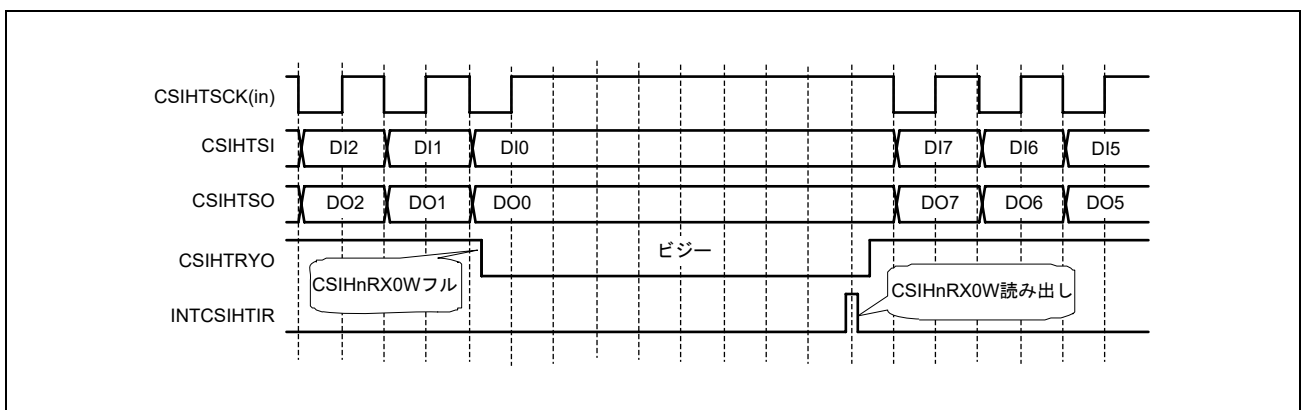


図 11.31 スレーブからのビジー信号 (ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0)

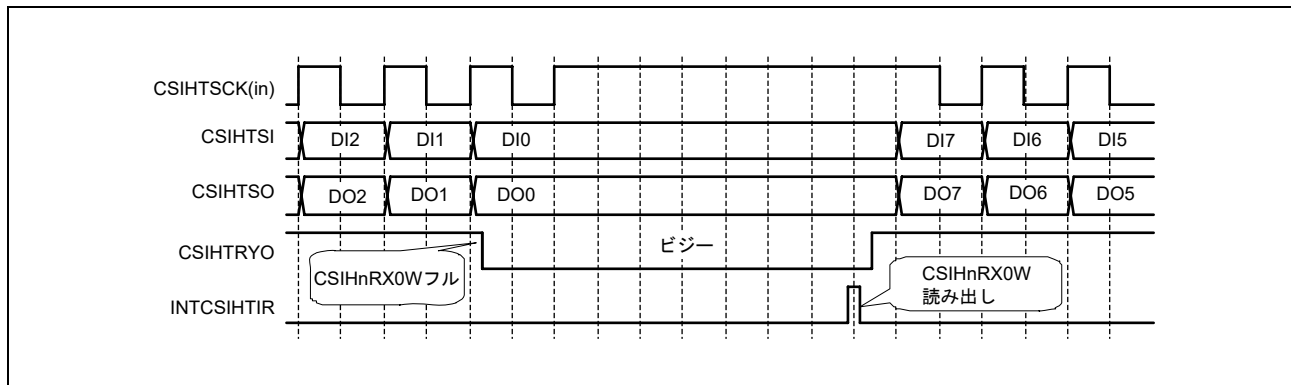


図 11.32 スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 1）

11.4.17.2 マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHnTRYI = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHnSCK を停止させます。

CSIHnTRYI のレベルは、CSIHnSCK の半クロック周期ごとにチェックされます。

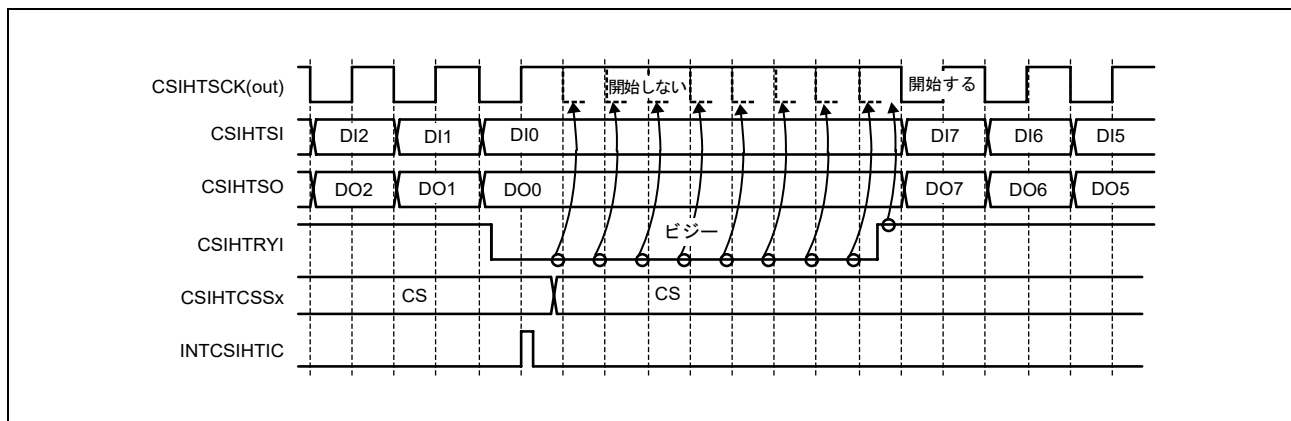


図 11.33 CSIHnTRYI に対するマスタの反応（CSIHnCFGx.CSIHnDAPx = 0）

次の転送が始まる前にスレーブは CSIHnTRYI をロウレベルに下げする必要があります。データ転送中にスレーブ側で CSIHnTRYI 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHnTRYI がハイレベルになる（スレーブが「レディ」になる）と、ただちに通信を再開します。

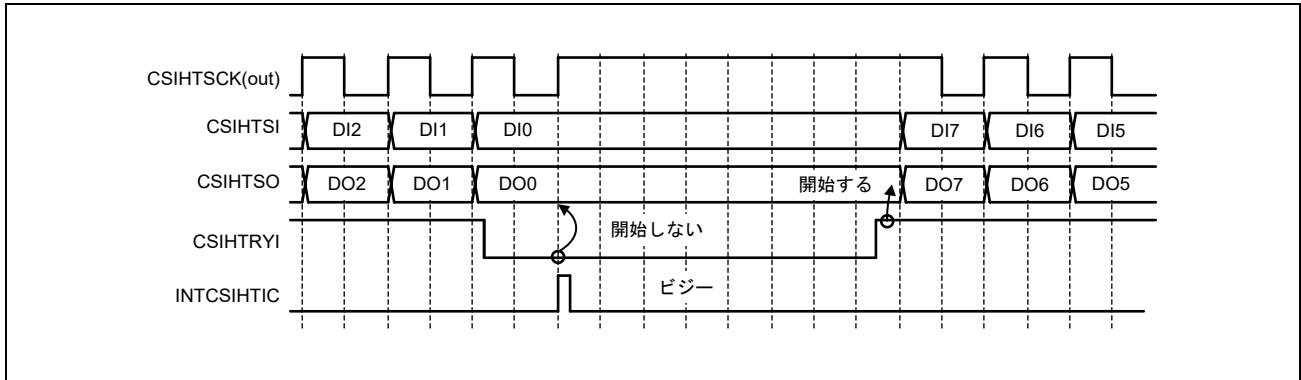


図 11.34 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

注 意

1. 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHTRYI 信号だけを検出する必要があります。
2. データ転送中にスレーブの CSIHTRYO 信号をマスタの CSIHTRYI 端子が検出しても、データ転送が終わるまで通信は待機しません。

11.4.18 エラー検出

CSIH は 5 種類のエラーを検出することができます。

- データ整合性エラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)
- タイムアウトエラー (FIFO モード時)
- オーバフローエラー (FIFO モード時)

パリティエラー、データ整合性エラー、タイムアウトエラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INTCSIHTIRE が発生し、検出されたエラーに対応するフラグがセットされます。

11.4.18.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます。データ整合性チェックを行う場合は、必ず PIPcn.PIPcn_m = 1 に設定してください。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

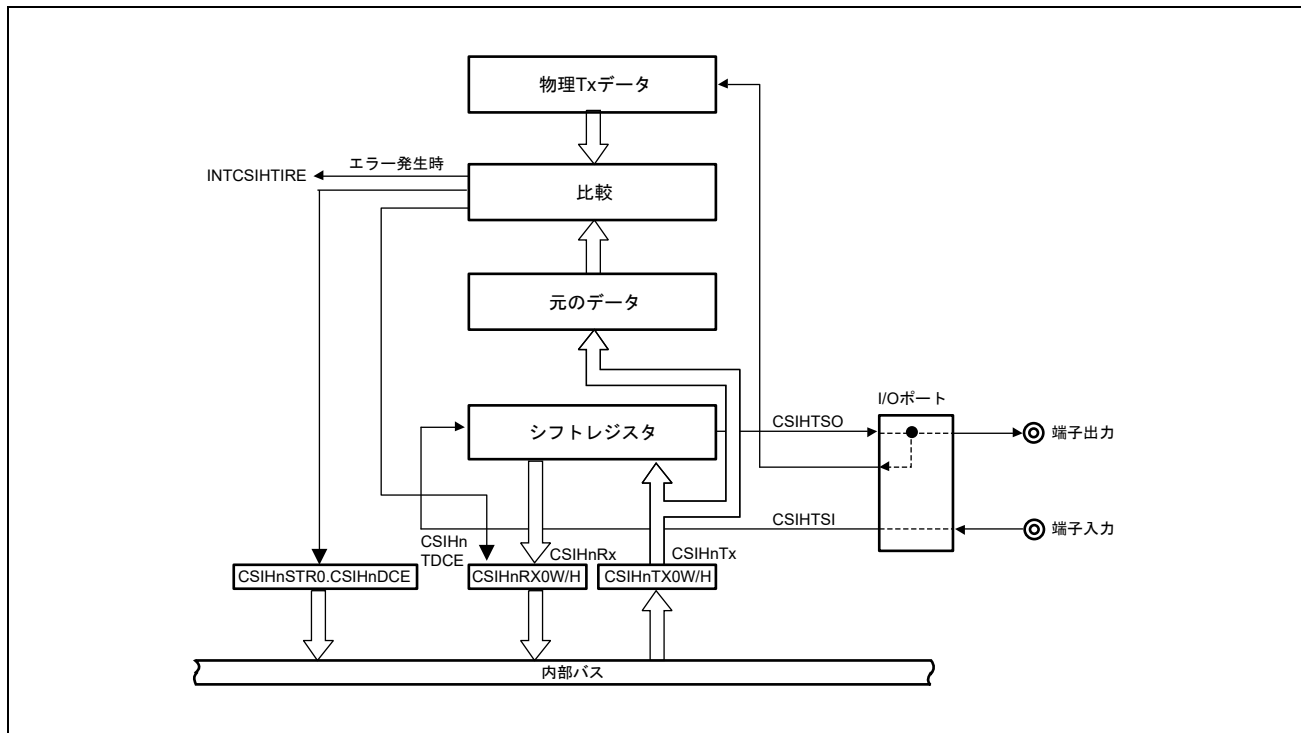


図 11.35 データ整合性チェック機能のブロック図

11.4.18.2 パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIHnCFGx.CSIHnPSx[1:0]` で指定されます。

`CSIHnCFGx.CSIHnPSx[1]=1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INTCSIHTIRE` が発生します。
- `CSIHnSTR0.CSIHnPE` ビットがセットされます。

さらに、エラーが発生したデータの `CSIHnRX0W.CSIHnRPE` がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは `05H` と `35H` です。
- データ方向は LSB ファーストです。
- パリティタイプは奇数です。

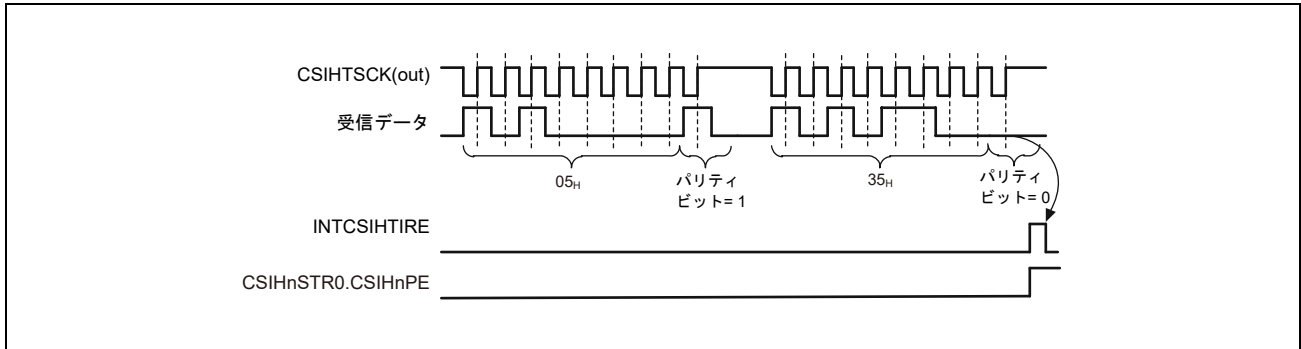


図 11.36 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されません。

11.4.18.3 タイムアウトエラー

タイムアウトエラーチェックはスレーブの FIFO モードでのみ可能です。

タイムアウトエラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHnSTR0.CSIHnPE からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0]によって送信クロック CSIHnSTR0.CSIHnPE の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウトエラーが発生します（CSIHnMCTL0.CSIHnTO[4:0] = 00000_B に設定した場合タイムアウト時間は検出されません）。

専用のタイムアウトカウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

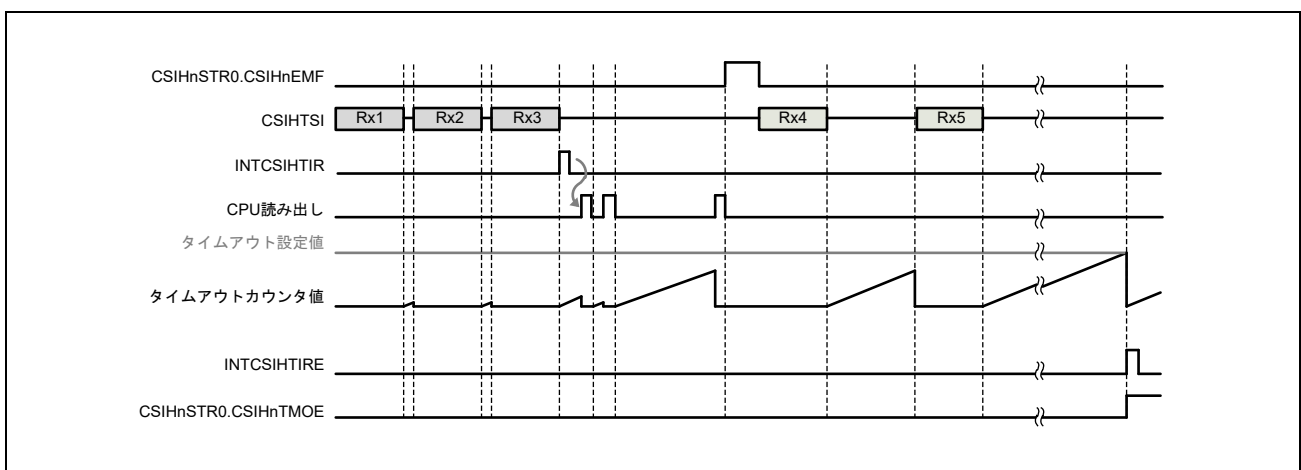


図 11.37 タイムアウトチェック機能のタイミング図

タイムアウトカウンタのスタートタイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき
(バッファがエンプティなら、カウンタはスタートしません)
- タイムアウトエラーを検出したとき

タイムアウトエラーが検出された後、そのままであれば、タイムアウトカウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0]ビットで設定した値まで再度来た場合は、INTCSIHTIRE 割り込みが再度出力されます。

タイムアウトカウンタは受信データがリードされない限りはカウントし続けます。タイムアウトカウンタを停止したい場合、すべての受信データを読みだすか、CSIHnSTCR0.CSIHnPCT をセット (1) してください。ただしその場合、ポインタがクリアされます。

タイムアウトカウンタのリセットタイミングを次に示します。

- 読み出しが 1 回行われる
- 新しいデータが 1 つ着信
- タイムアウトエラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット (1)

タイムアウトエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnTMOE ビットがセットされます。

専用のタイムアウトカウンタは、CSIHnCTL2.CSIHnPRS[2:0]ビットと、CSIHnBRSy.CSIHnBRS[11:0]ビットで設定をします。CSIHnBRSy.CSIHnBRS[11:0]ビットに 000_Hを設定したままなら、専用のタイムアウトカウンタは動作しません。

11.4.18.4 オーバフローエラー

オーバフローエラーは FIFO モードで発生する可能性があります。オーバフローエラーは、FIFO バッファが受信データフルになっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

例

100 個のデータが送信されています。つまり、FIFO には 100 個の受信データが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信データしか読み出されておらず、90 個のデータがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータを書き込もうとすると、オーバフローエラーが発生します。

以下の図はその様子を示しています。

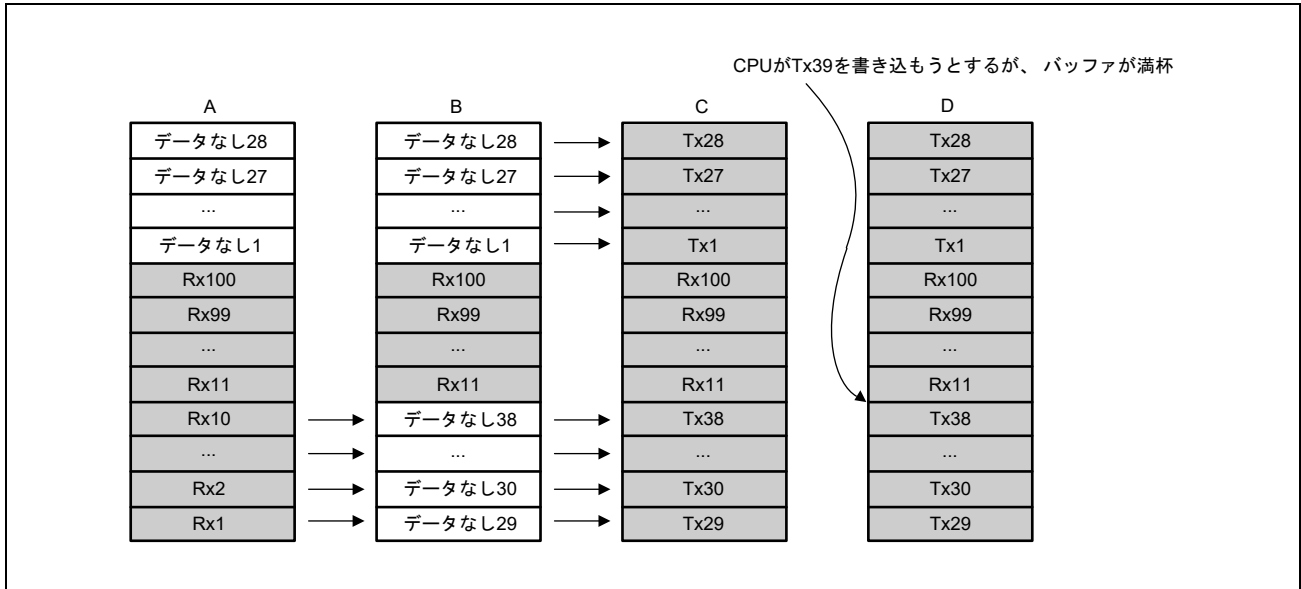


図 11.38 FIFO の概要

39 個目以降のデータは破棄されます。以下の図にオーバーフローのタイミングを示します。

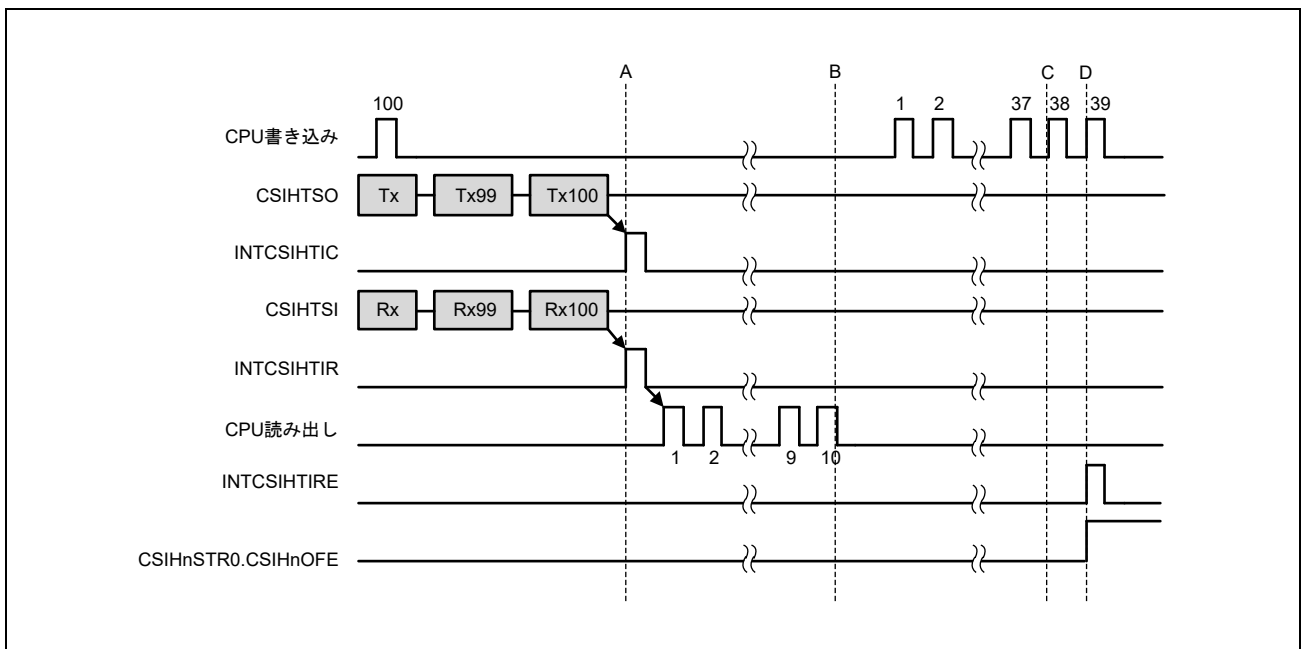


図 11.39 FIFO のオーバーフローのタイミング

オーバーフローエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

11.4.18.5 オーバランエラー

オーバランエラーは、ダイレクトアクセスモード、送信専用バッファモード、FIFO モードで発生する可能性があります。デュアルバッファモードでオーバランエラーが発生する可能性はありません。データ受信が禁止されていると (CSIHnCTL0.CSIHnRXE = 0)、オーバランエラーは発生しません。

オーバランエラーの発生条件は 2 つあります。

エラー発生条件 1

- FIFO モードで受信データの数が 0 になった状態で、CPU が CSIHnRX0W/H レジスタをリードした場合

エラー発生条件 2

- スレーブモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合
 - ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合
 - FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合

(1) ダイレクトアクセス/送信専用バッファ

ダイレクトアクセスモードと送信専用バッファモードでは、新たに受信したデータをシフトレジスタから受信レジスタ CSIHnRX0W/H へ転送できなくなると、このエラーが発生します。CSIHnRX0W/H が読み出されていないため、前に受信したデータが CSIHnRX0W/H に残っていると、その状態になります。

以下の図にオーバランエラー検出機能の仕組みを示します。

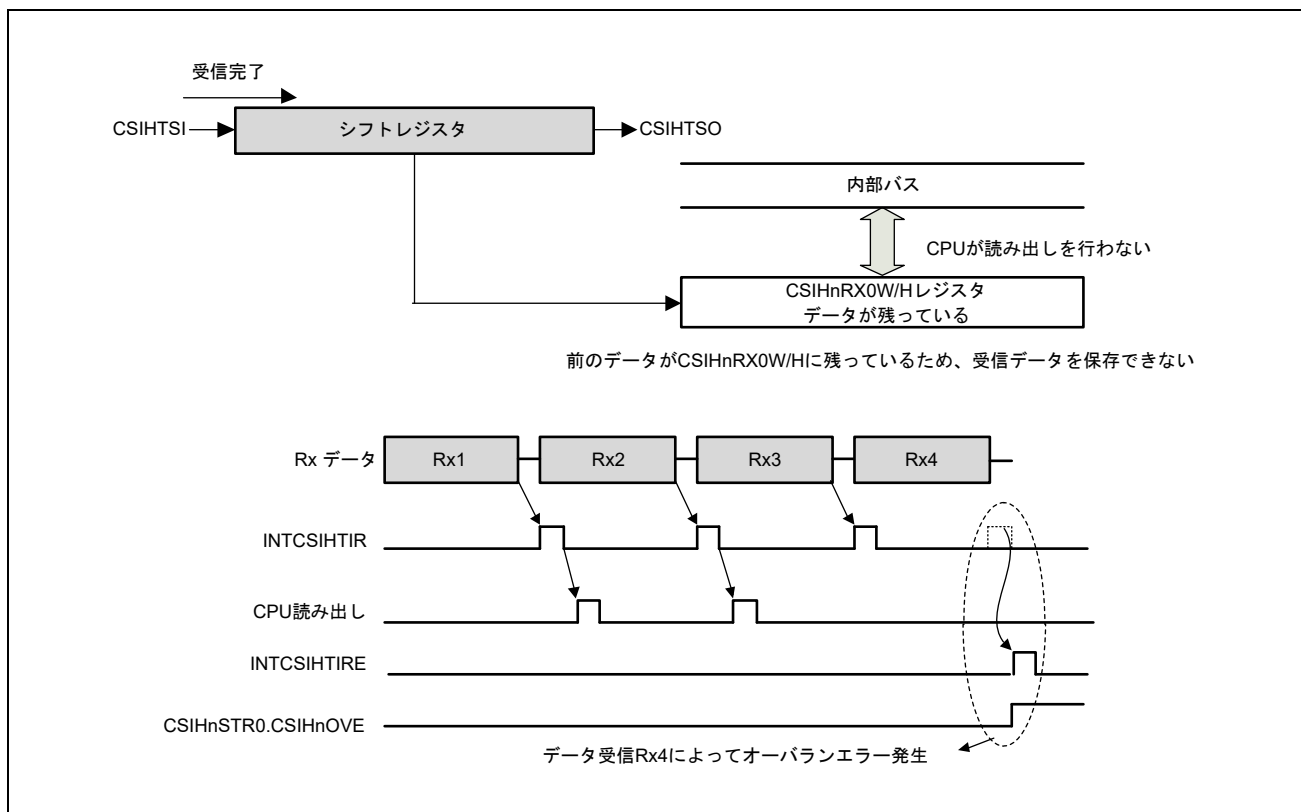


図 11.40 ダイレクトアクセスモードと送信専用バッファモードでのオーバランエラーの検出

備 考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。
スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

(2) FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フルのため、新たに受信したデータをシフトレジスタから FIFO へ転送できない

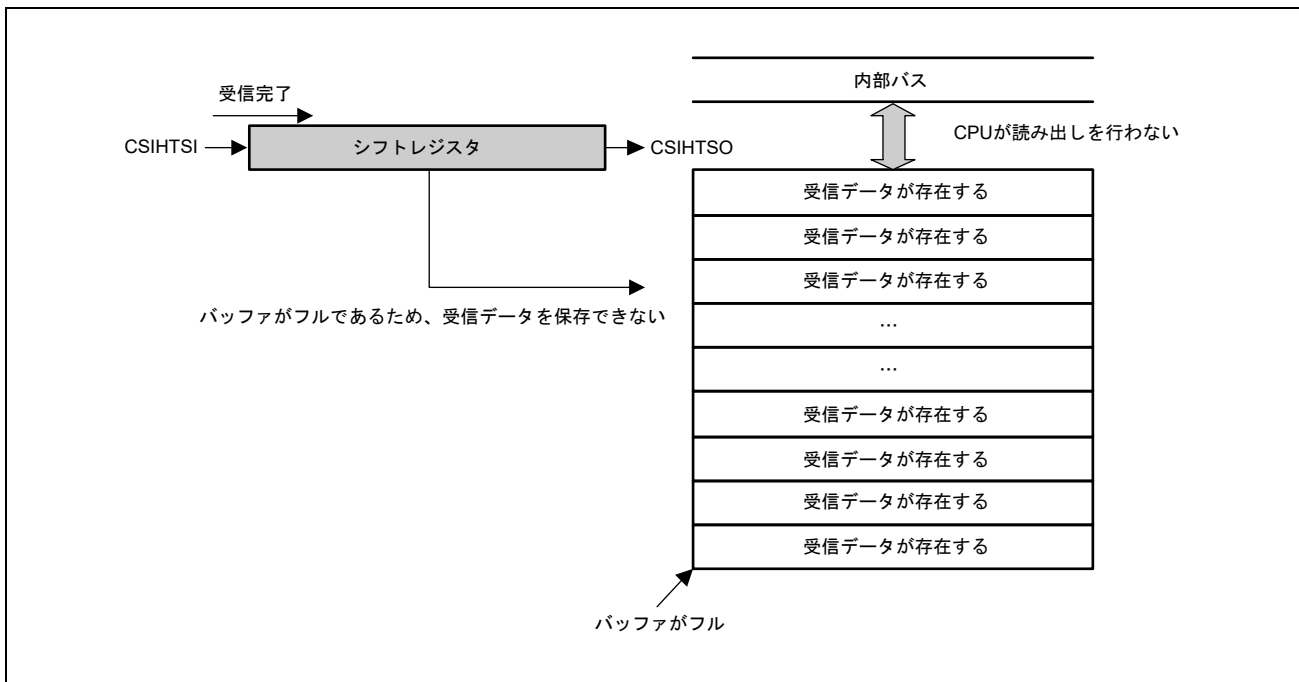


図 11.41 FIFO モードでのオーバランエラーの検出 (FIFO フル)

備 考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。
スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

2. CPU が存在しない受信データを読み出そうとしている

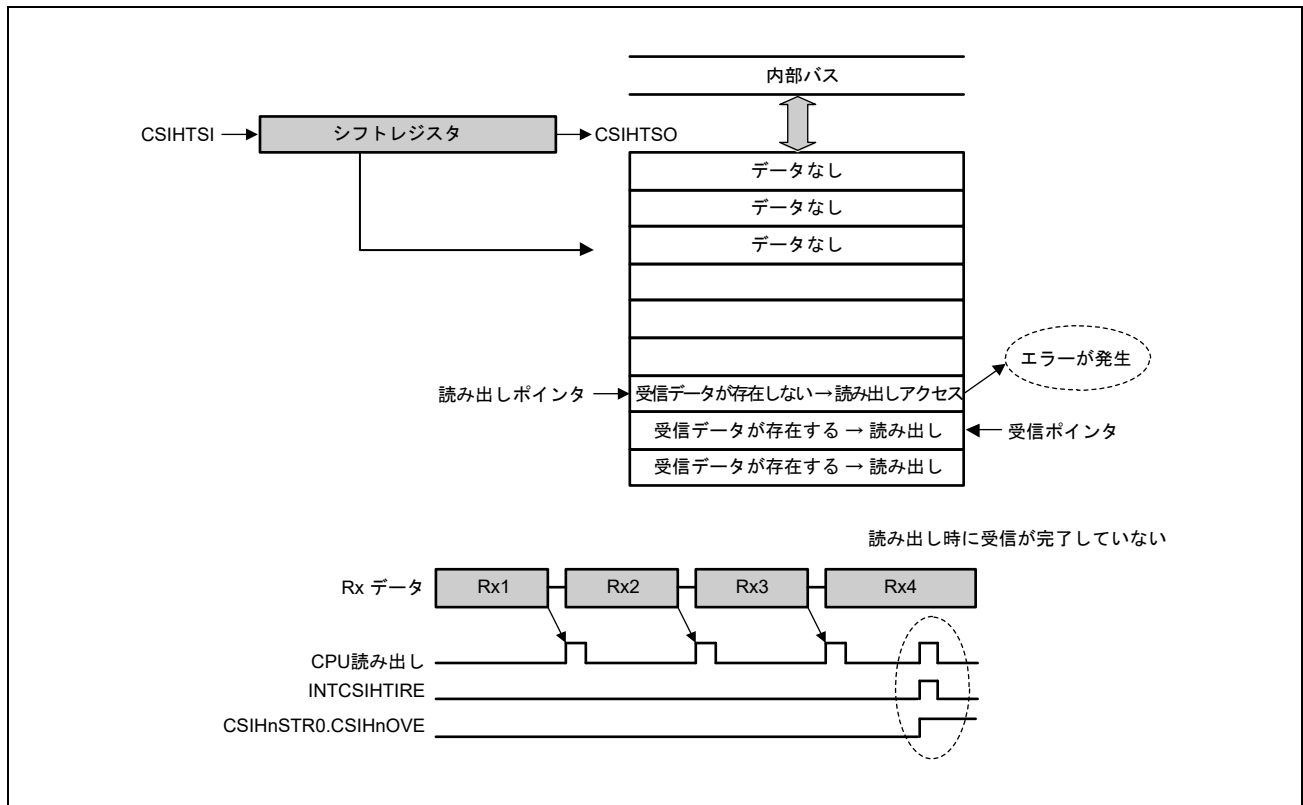


図 11.42 FIFO モードでのオーバランエラーの検出 (データなし)

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- 受信データが上書きされ、通信は継続します。
(CPU が存在しないデータを読み出そうとした場合、受信完了まで待機した後に CPU による読み出しが再開します。)

詳細については、「**11.4.17 ハンドシェイク機能**」を参照してください。

11.4.19 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ（ $CSIHnCTL1.CSIHnLBM=1$ ）になっていると、 $CSIHTCSSx$ はインアクティブレベルに固定されます（アクティブレベルは $CSIHnCTL1.CSIHnCSLx$ の値で定義されます）。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。 $CSIHTSCK$ 信号、 $CSIHTSO$ 信号、 $CSIHTSI$ 信号、 $CSIHTCSSx$ 信号はポートから切り離されます。さらに、 $CSIHTSO$ の出力レベルがロウレベルに固定され、 $CSIHnCFGx.CSIHnCKPx$ の値に関係なく、 $CSIHTSCK$ はリセットレベル（High）に設定されます。 $CSIH$ のそれ以外の部分は通常どおりに動作します。

$CSIH$ をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。ループバックテストは、接続先のデバイスに影響を与えません。

表 11.42 ループバックモード使用時の端子の出力レベル

端子名	出力レベル
$CSIHTSCK(out)$	ハイレベル
$CSIHTCSS[x]$	インアクティブレベル
$CSIHTSO$	ロウレベル（それまでの値に依存しない）
割り込み	通常の機能
$CSIHTRYO$	通常の機能（ロウレベル）

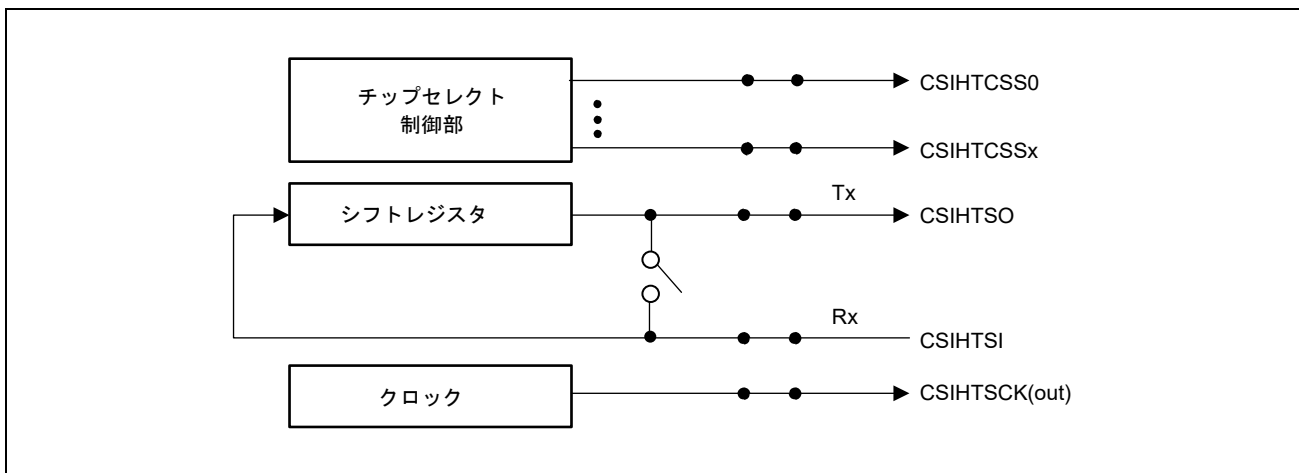


図 11.43 通常の動作

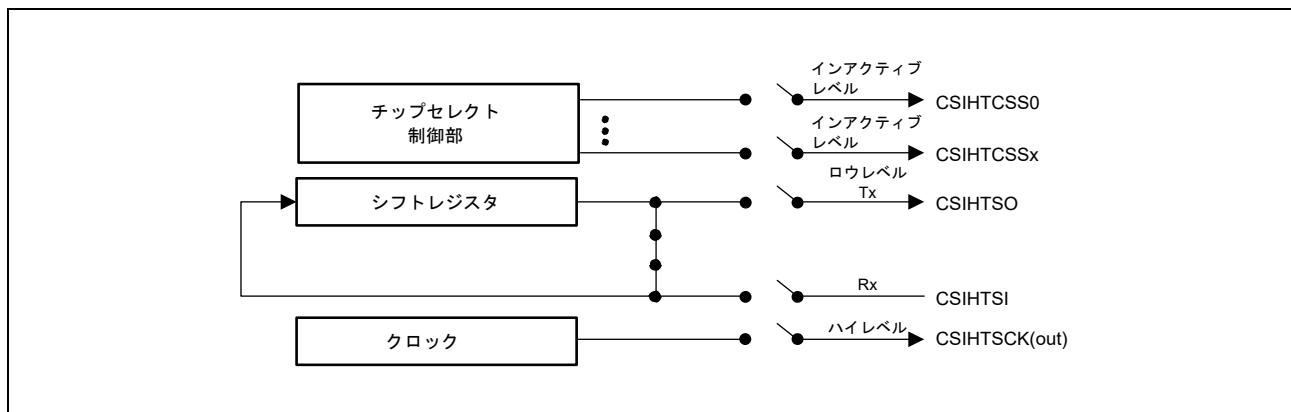
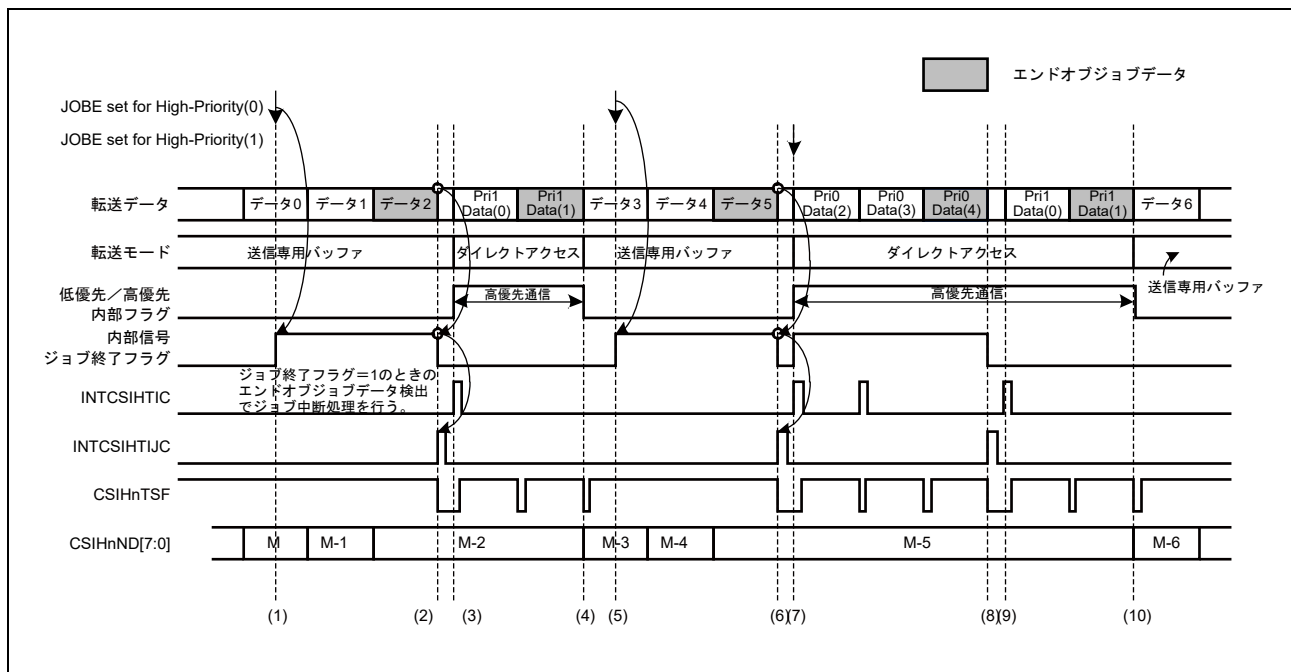


図 11.44 ループバックモードでの動作

11.4.20 CPU 制御による高優先通信機能

CSIH は、低優先通信を行っているときに、CPU からの高優先通信要求があった場合に、低優先通信を中断して、高優先通信を行う機能を備えています。本機能は、低優先通信として送信専用バッファモード、高優先通信としてダイレクトアクセスモードのみに対応します。本機能を有効にするためには、 $CSIHnCTL1.CSIHnPHE = 1$ 、 $CSIHnCTL1.CSIHnJE = 1$ を設定する必要があります。

CPU 制御により高優先通信を行う例を示します。

図 11.45 CPU 制御による高優先通信例、 $CSIHnCTL1.CSIHnSLIT = 1$

- (1) 低優先通信中に、 $CSIHnCTL0.CSIHnJOBE = 1$ を設定することで、エンドオブジョブデータに続いて高優先通信を行うことを通知し、内部信号フラグをセットします。
- (2) エンドオブジョブデータを検出すると、現在の低優先通信を中断して INTCSIH IJC 割り込みを発生します。通信を中断したことで、内部信号 JOB 終了フラグがクリアされ、続く高優先通信に備えてメモリモードをダイレクトアクセスモードに自動切り換えします。

- (3) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。
- (4) エンドオブジョブデータを検出すると、通信を中断します。このとき内部信号 JOB 終了フラグが 0 のため、CSIH は、次の通信が低優先通信であると判断し、メモリモードを送信専用バッファモードに自動切り替えした後、中断していた低優先通信を再開します。
- (5) (1) と同じ
- (6) (2) と同じ
- (7) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。CPU は、次の通信が高優先通信であることを通知するため、再び CSIHnCTL0.CSIHnJOBE = 1 を設定します。
- (8) エンドオブジョブデータを検出すると、通信を中断して INTCSIHTIJC 割り込みを発生します。このとき、内部信号ジョブ終了フラグ=1 のため、続く通信も高優先通信と判断し、通信開始を待ちます。
- (9) (3) と同じ
- (10) (4) と同じ

注 意

低優先通信から高優先通信に切り替わる際のメモリモード切り換え動作（送信専用バッファモードからダイレクトアクセスモードへの切り替え）および、高優先通信から低優先通信に切り替わる際のメモリモード切り換え動作（ダイレクトアクセスモードから送信専用バッファモードへの切り替え）は、自動的に行われます。

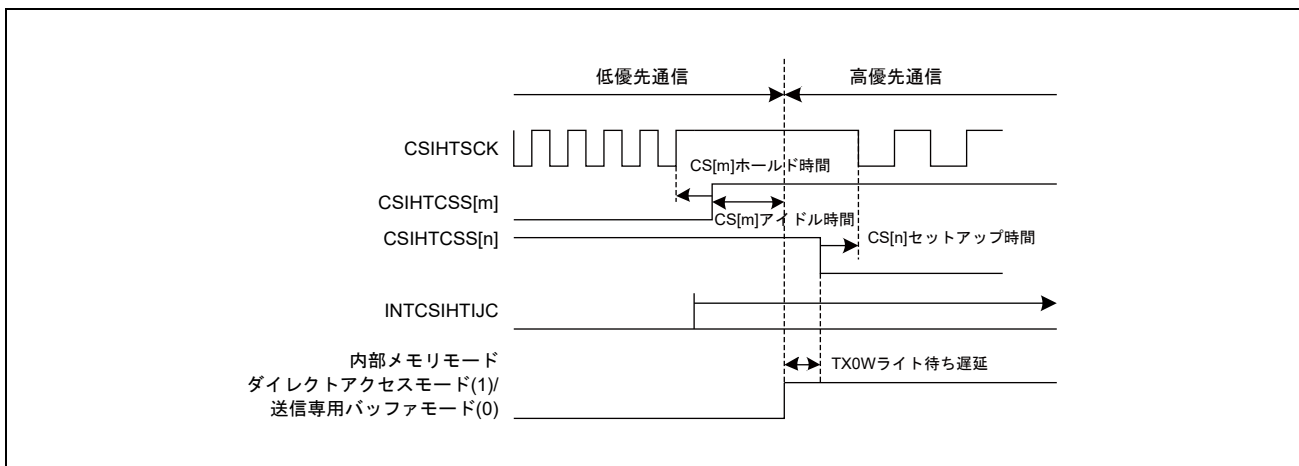


図 11.46 低優先モードから高優先モードへの移行

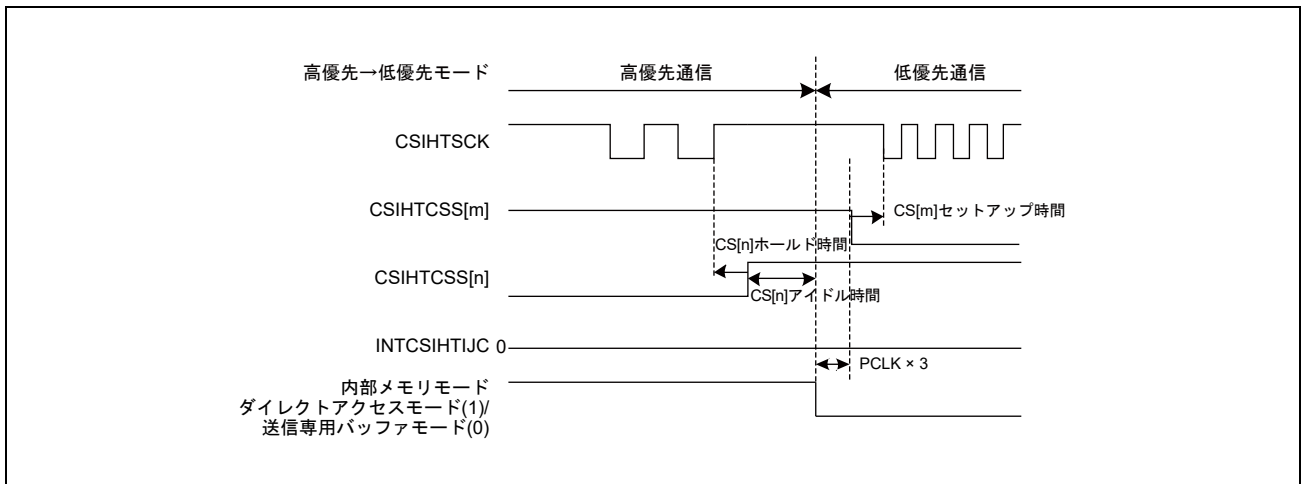


図 11.47 高優先モードから低優先モードへの移行

低優先／高優先通信モードの切り替えを正しく行うために、通信データのライト動作および、`CSIHnCTL0.CSIHnJOBE` ビット操作は設定禁止期間では行わないでください。

CSIHnTX0W レジスタライト禁止期間：

- 高優先通信モードに移行するための `CSIHnJOBE` ビット設定後、`INTCSIHTIJC` 割り込みを検出するまでの期間。
- 高優先通信の最後のデータ（エンドオブジョブデータ）をライトした後、`CSIHnHPST` ステート=0 を検出するまでの期間。

CSIHnJOBE レジスタライト禁止期間：

- 高優先通信モードに移行するための `CSIHnJOBE` ビット設定後、`INTCSIHTIJC` 割り込みを検出するまでの期間。

高優先通信モード期間中は `CSIHnJOBE` ビットの設定禁止期間はありません。通信データをライトする前に `CSIHnJOBE` ビットを設定することも可能です。例えば、予め複数の `JOB` データを高優先で通信することが分かっている場合は、最初の通信データをライトする前に `CSIHnJOBE` ビットを設定しておくことができます。

注 意

高優先通信の最後の通信が終了する間に `CSIHnJOBE` ビットをセットした場合、内部で `CSIHnJOBE` ビットのセットを検出するタイミングによって動作が異なります。

最終ビットの通信が完了する前に `CSIHnJOBE` ビットのセットを検出した場合は、高優先通信モードを継続します。

最終ビットの通信が完了した後に `CSIHnJOBE` ビットのセットを検出した場合は、一旦低優先通信モードへ復帰した後、低優先通信データのエンドオブジョブデータを検出して、再び高優先通信モードへ遷移します。

11.4.21 強制 CS アイドル設定

CSIHnCFGx.CSIHnIDLx を設定することで、連続する 2 つの転送データ間にアイドル状態を挿入することができます。

1. CSIHnCFGx.CSIHnIDLx が 0 のとき
次の CSIHTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
次の CSIHTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSIHnCFGx.CSIHnIDLx が 1 のとき
次の CSIHTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

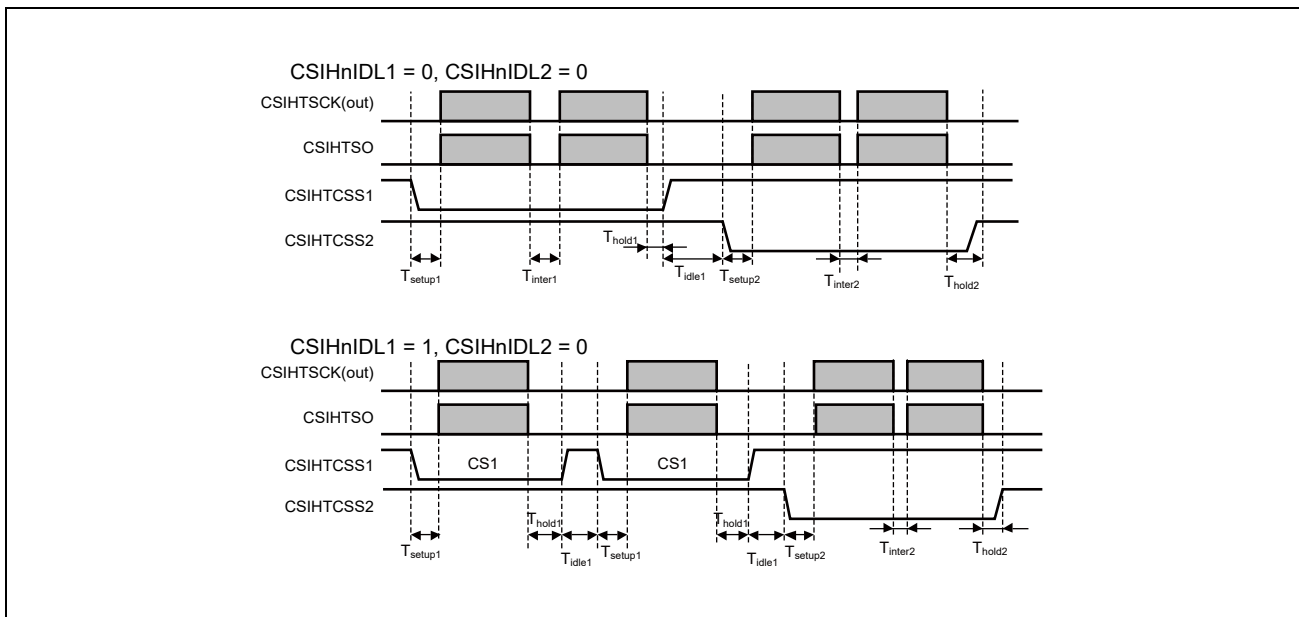


図 11.48 強制 CS アイドル設定の例

注 意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するとき、高優先通信モードから低優先通信モードに移行するときは、CSIHnCFGx.CSIHnIDLx ビット設定にかかわらずアイドル状態が挿入されます。

11.5 手順

ここに示す例および手順は、以下のメモリモード順に記載されています。

- ダイレクトアクセスモード
- 送信専用バッファモード
- デュアルバッファモード
- FIFO モード

11.5.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

11.5.1.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)

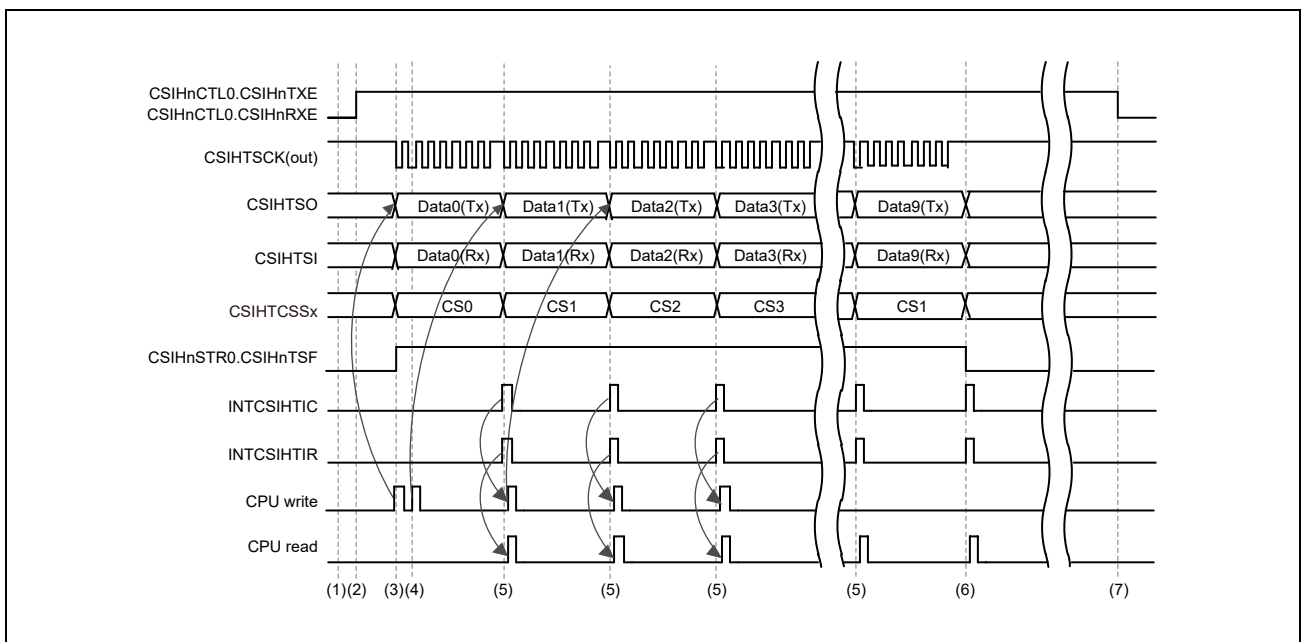


図 11.49 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0～CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) に設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み INTCSIHTIC と INTCSIHTIR が発生します。
 - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. データ 8 の送信が完了すれば、それ以降の書き込みアクションは必要ありません。データ 9 (最後のデータ) は、データ 7 の送信完了割り込み時に書き込みが完了しています。ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

4. 2 番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
 - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。その後、次のジョブを開始できます。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ（ジョブ 2）の終了時に通信を強制的に停止します。
8. 通信の強制停止後、割り込み要求 INTCSIHTIC が INTCSIHTIJC に置き換えられます。INTCSIHTIR は通常どおりに発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。
通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

11.5.2 送信専用バッファモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

11.5.2.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

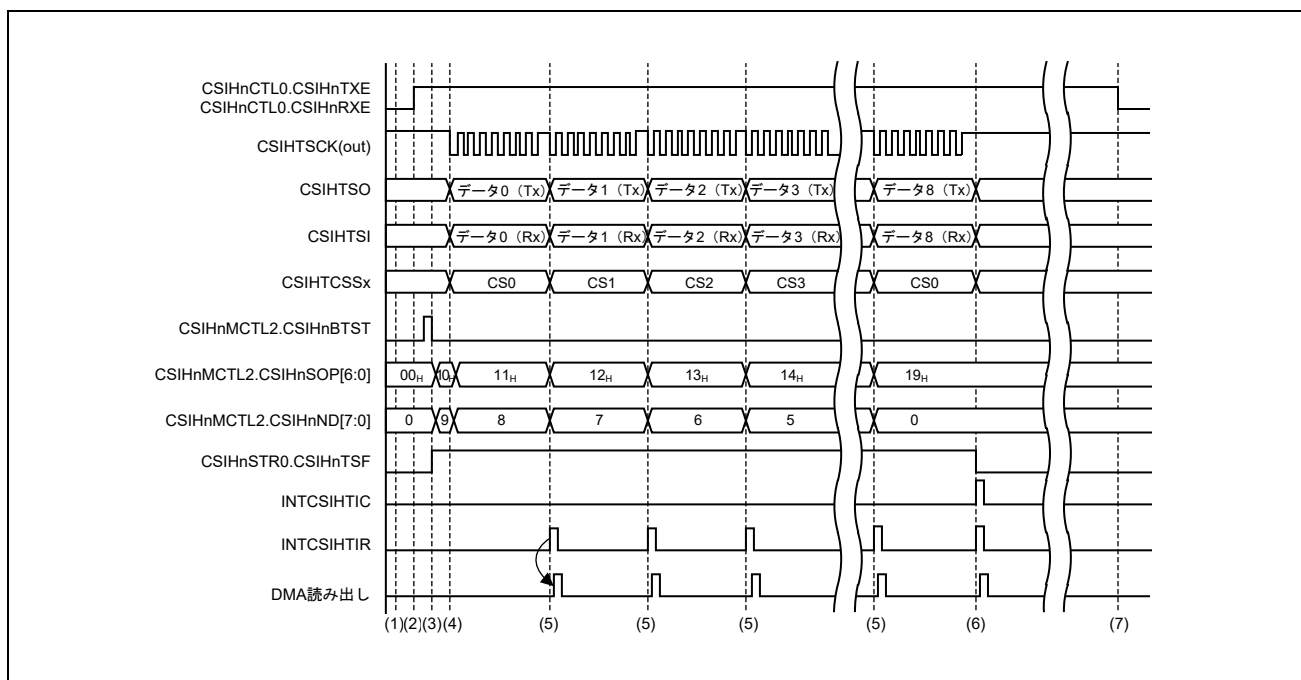


図 11.51 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0～CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットを設定することによって送信ポインタとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたび CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. すべての送信が完了すると、割り込み要求 INTCSIHTIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.2.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

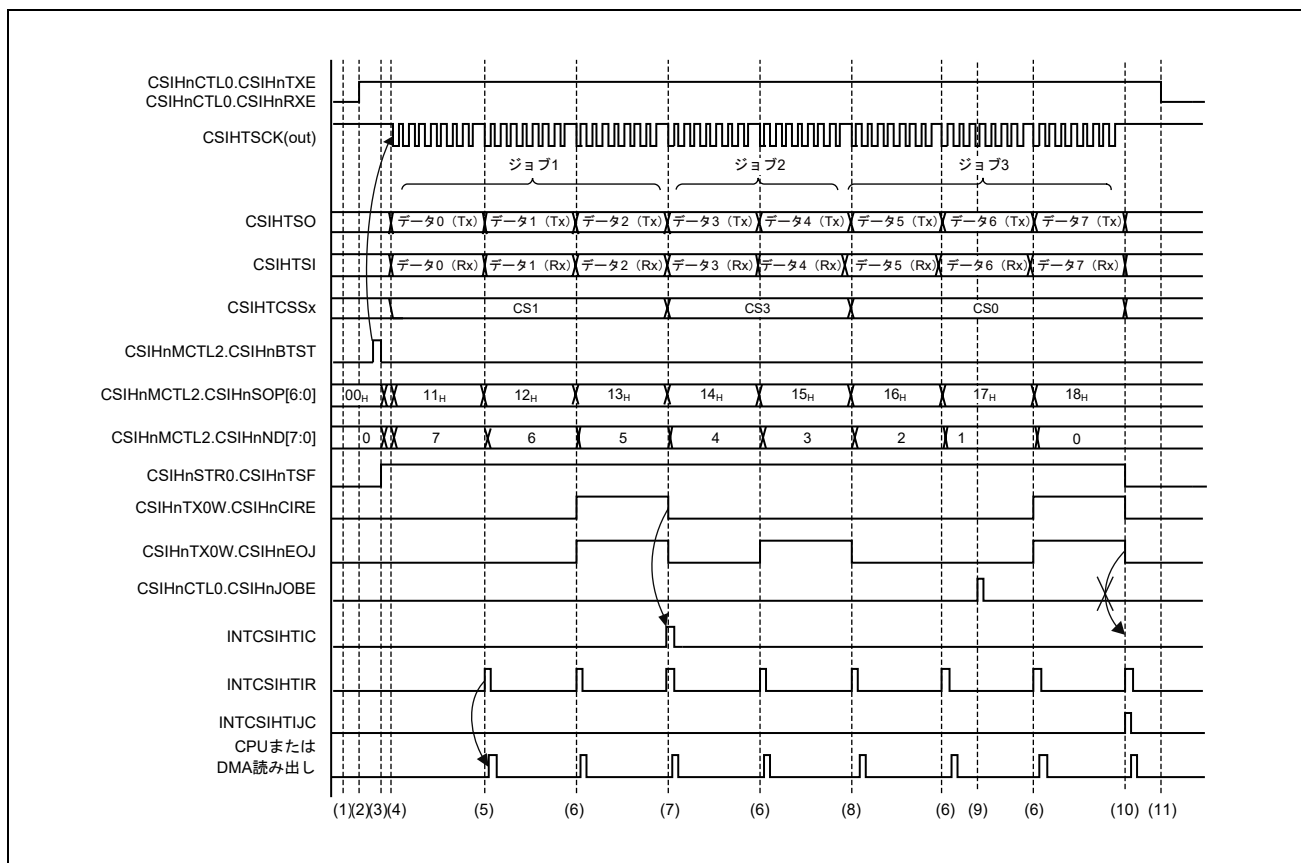


図 11.52 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_b (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットを設定することによって送信ポイントとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
9. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。
10. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.3 デュアルバッファモードでの手順

マスタモード時、ジョブモードが有効になっている例と無効になっている例、およびスレーブモード時、ジョブモードが無効になっている例を示します。

11.5.3.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

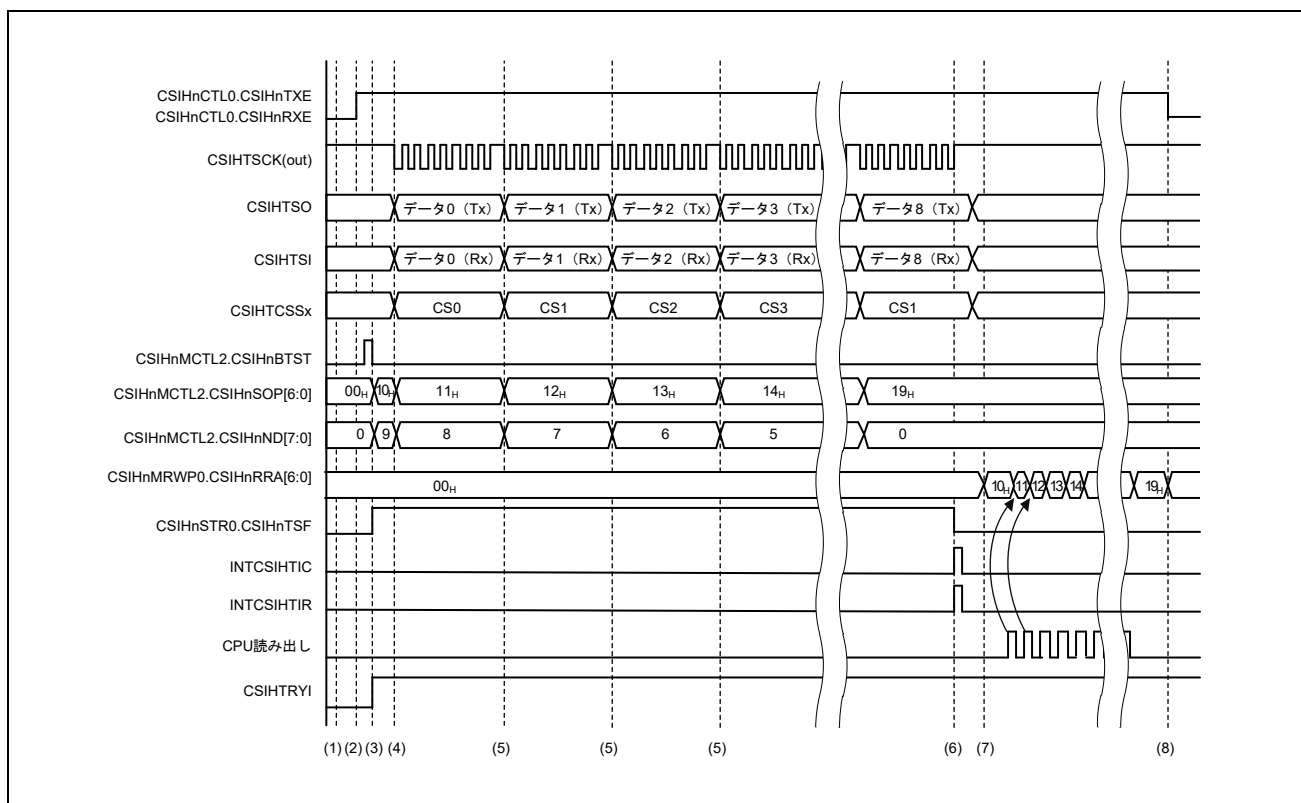


図 11.53 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0～CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0]と CSIHnMCTL2.CSIHnND[7:0]を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
CPU が受信バッファからの受信データの読み出しを開始します。
7. 読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]で指定します。
(ソフトウェアで CSIHnRRA[6:0]に 10_Hを設定)
CSIHnRRA[6:0]はデータが 1 つ読み出されるたびにインクリメントされます。
8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.3.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：00_H (CSIHnMCTL2.CSIHnSOP[6:0] = 00_H)
- 通常の INTCSIHnTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

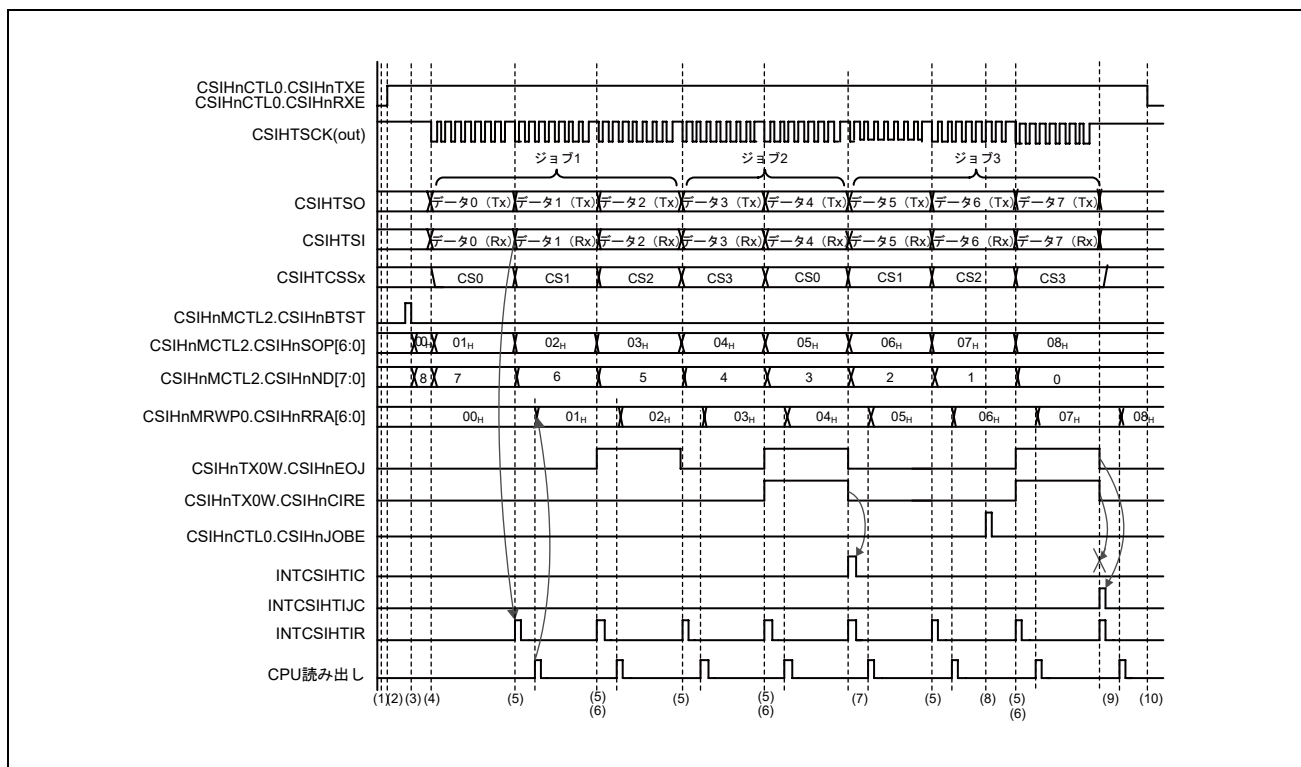


図 11.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0]と CSIHnMCTL2.CSIHnND[7:0]を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
4. 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
最後のデータが送受信されるまで、この動作が繰り返し実行されます。
5. データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。
9. 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.3.3 スレーブモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCTL1.CSIHnCKR = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- ハンドシェイク機能有効 (CSIHnCTL1.CSIHnHSE = 1)

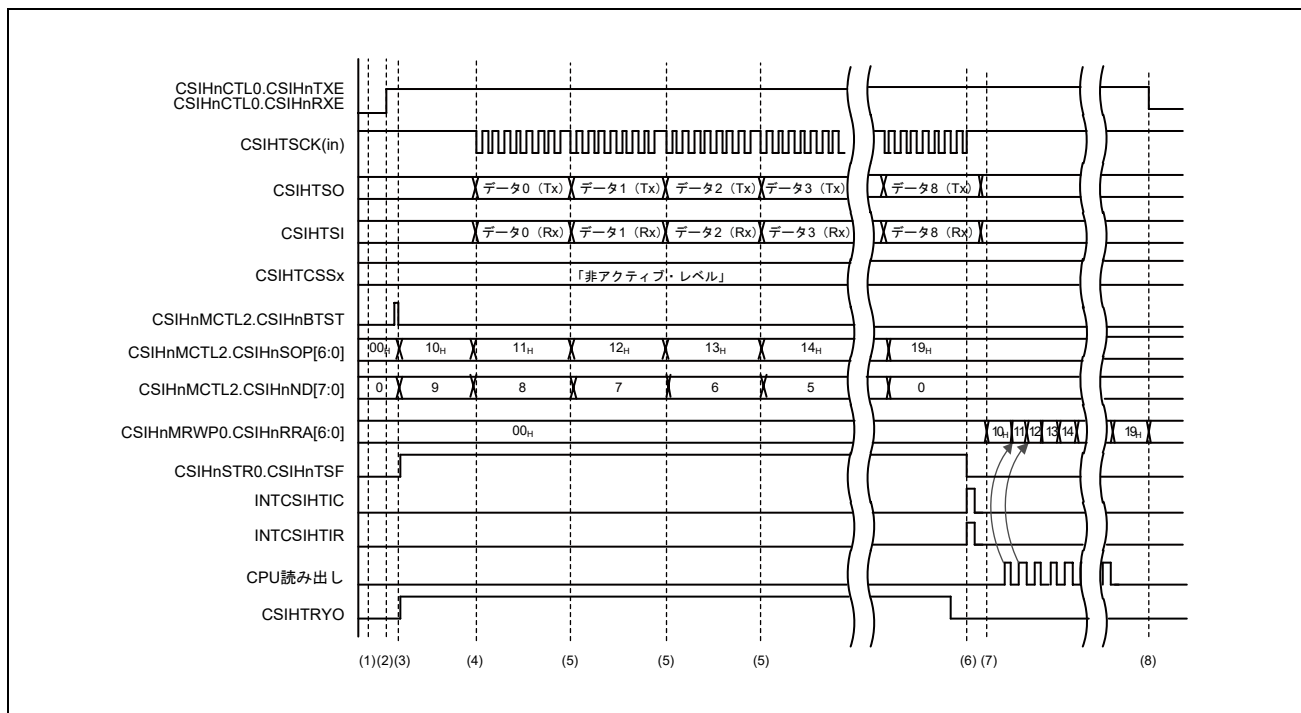


図 11.55 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0

備 考

ここでは、バッファにデータを書き込む手順は説明しません。

手順 :

1. CSIHnCFG0 レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B でデュアルバッファモードに設定します。
2. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0]を設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0]を設定することによってデータの数を指定します。
CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. マスタから入力クロックを受信すると送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
CPU が受信バッファに格納された受信データの読み出しを開始します。
7. 読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]で指定します。
(ソフトウェアで CSIHnRRA[6:0]に 10_Hを設定)
CSIHnRRA[6:0]はデータが 1 つ読み出されるたびにインクリメントされます。
8. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.5.4 FIFO モードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

11.5.4.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

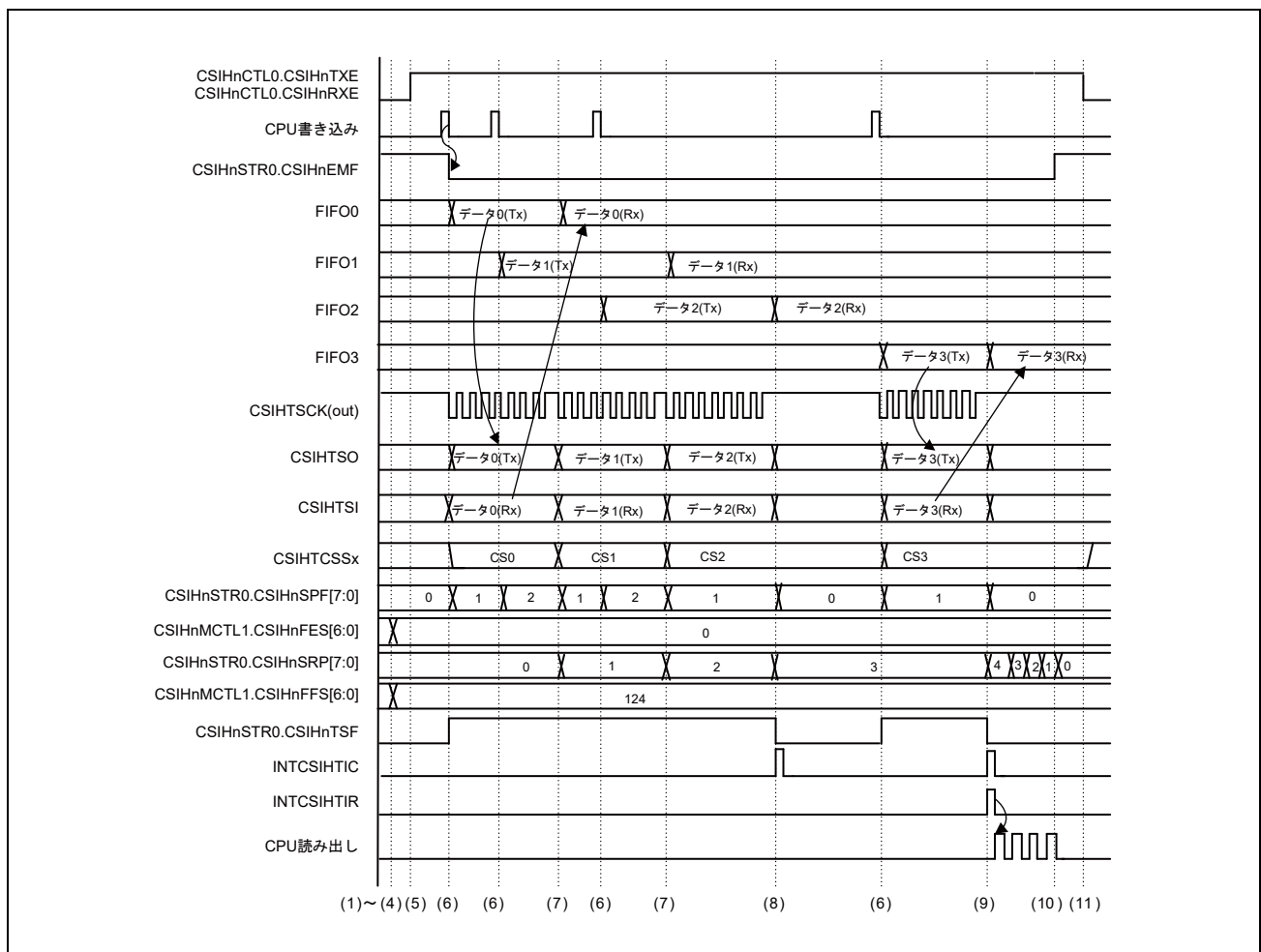


図 11.56 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CSIHnCSS0~CSIHnCSS3 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で INTCSIHTIC 割り込み出力の条件を指定します。
同じレジスタの CSIHnFFS[6:0] で INTCSIHTIR 割り込み出力の条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始されます。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHTIC が生成されません。
8. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。
9. CSIHnFFS[6:0] = 128-CSIHnSRP[7:0] になると割り込み要求 INTCSIHTIR が生成されます。CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受信バッファに格納された受信データのリードを完了したとき、CSIHnSTR0.CSIHnEMF が 1 にセットされ、FIFO バッファはエンプティ状態になります。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

11.5.4.2 マスタモードでジョブモードが有効になっている送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長 : 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向 : MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- ジョブ 1 = 4 データ、ジョブ 2 = 3 データ、ジョブ 3 = 5 データ
- 通常の INTCSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSHnMCTL0.CSIHnMMS[1:0] = 00_B)

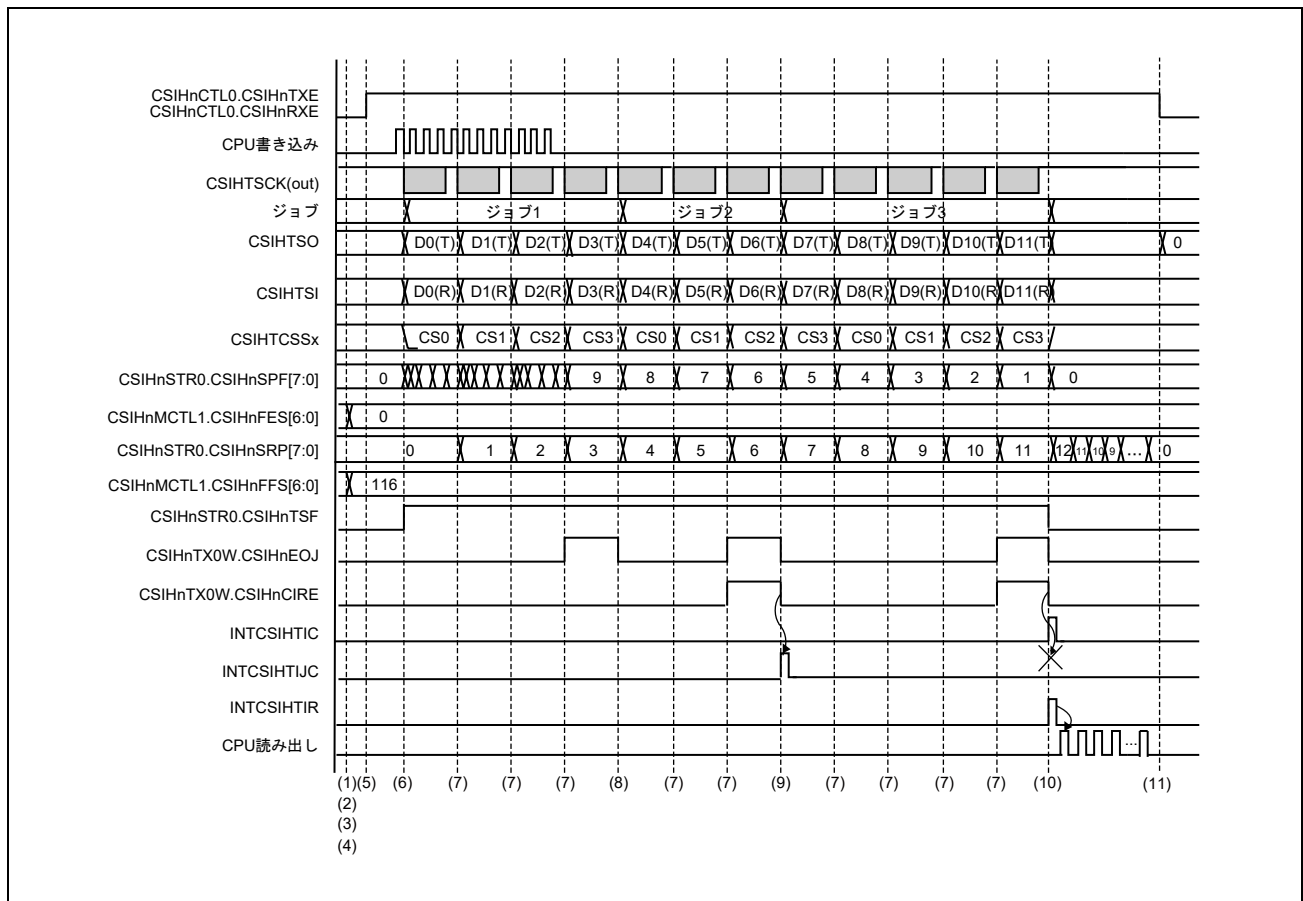


図 11.57 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順 :

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタモードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポイントをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_Hであることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0]で割り込み要求 INTCSIHTIC の発生条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0]で割り込み要求 INTCSIHTIR の発生条件を指定します。
5. CSIHnCTL0 レジスタで、CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。
6. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
7. 現在の送信が完了します。
CSIHnFES[6:0] = CSIHnSPF[7:0]でないため、割り込み要求 INTCSIHTIC が生成されません。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHTIJC は発生しません。
9. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 INTCSIHTIJC が生成されます。
10. CSIHnFES[6:0] = CSIHnSPF[7:0]なので、割り込み要求 INTCSIHTIC が生成されます。INTCSIHTIC が生成されているので、INTCSIHTIJC は生成されません。
CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0]になると割り込み要求 INTCSIHTIR が生成されます。INTCSIHTIR 割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

11.6 注意事項

表 11.43 レジスタ設定上の注意事項 (1/3)

レジスタ名	ビット名	内容
CSIHnCTL0	CSIHnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR = 0 の間、これらのビットのいずれも変更しないでください。（これらのビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。）実行中の通信が中断されると、設定した動作が保証されないため、CSIHnSTR0.CSIHnTSF = 1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。CSIHnCTL1.CSIHnJE = 1 のときのみ、このビットは有効です。このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。（このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。）このビットの変更は CSIHnSTR0.CSIHnTSF = 0 のときのみ許可されます。CSIHnCTL0.CSIHnPWR = 1 であるときに、FIFO モードと、ダイレクトアクセスモード間でのモードの変更をしないでください。CPU 制御による高優先通信を実施している期間は、CSIHnMBS ビット設定に関わらずダイレクトアクセスモードと同じ動作を行います。
CSIHnCTL1	CSIHnCKR	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。CS が使用されていない場合、CSIHnCFGx.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFGx.CSIHnCKPx は 0 に設定してください。スレーブモードでは、このビットを使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL[3:0] CSIHnEDLE CSIHnDCS CSIHnCSRI CSIHnHSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnPHE CSIHnJE CSIHnLBM	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。本ビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。このビットを 1 に設定することは、マスターモードでは禁止されます。
CSIHnCTL1	CSIHnSIT	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。このビットはマスターモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS[2:0]	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。最大転送クロック周波数の設定は、以下のとおりです。 マスターモード：PCLK/8 スレーブモード：PCLK/16
CSIHnSTR0	CSIHnSRP[7:0] CSIHnSPF[7:0] CSIHnFLF CSIHnEMF CSIHnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIHnSTR0	CSIHnTMOE CSIHnOFE CSIHnDCE CSIHnPE CSIHnOVE	書き込みは禁止です。読み出しのみ有効です。このビットは、CSIHnCTL0.CSIHnPWR = 0→1 または CSIHnCTL0.CSIHnPWR = 1→0 のときに初期化されます。
CSIHnSTCR0	CSIHnPCT	通信中にこのビットを 1 に設定すると、実行中の通信は中断されます。
CSIHnMCTL0	CSIHnMMS[1:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0、CSIHnCTL0.CSIHnMBS = 0 のときのみ許可されます。

表 11.43 レジスタ設定上の注意事項 (2/3)

レジスタ名	ビット名	内容
CSIHnMCTL0	CSIHnTO[4:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 マスタモードでは、これらのビットを“0”に設定してください。 ダイレクトアクセス、デュアルバッファ、送信専用バッファモードでは、これらのビットを“0”に設定してください。
CSIHnMCTL1	CSIHnFES[6:0] CSIHnFFS[6:0]	通信中に書き込むことは可能です。
CSIHnMCTL2	CSIHnBTST CSIHnND[7:0] CSIHnSOP[6:0]	CSIHnCTL0.CSIHnPWR = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これらのビットへ書き込みアクセスすることは禁止されています。 CSIHnSTR0.CSIHnTSF = 1 のとき、これらのビットへ書き込みアクセスすることは禁止されています。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnMRWP0	CSIHnRRA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。 書き込みアクセスが必要なときは、送信専用バッファモードでこれらのビットに“0000 _H ”を設定してください。
CSIHnMRWP0	CSIHnTRWA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnCFGx	CSIHnBRSSx[1:0] CSIHnRCBx CSIHnIDLx CSIHnIDx[2:0] CSIHnHDx[3:0] CSIHnINx[3:0] CSIHnSPx[3:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、これらのビットを“0”に設定してください。
CSIHnCFGx	CSIHnPSx[1:0] CSIHnDLSx[3:0] CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定が使用されます。そのため、CSIHnCFG1~3 のすべてのビットは“0”に設定されなければなりません。
CSIHnCFGx	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには“0”を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを“0”に設定してください。
CSIHnTX0W	CSIHnEOJ CSIHnCIRE	このビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、読み出し値が“1”でも、これらの値は無視されます。 スレーブモードのときは、これらのビットを“0”に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、読み出し値が“1”でも、これらの値は無視されます。
CSIHnTX0W	CSIHnCS[3:0]	マスタモード時は、これらのビットを“F _H ”に設定することは禁止されています。 スレーブモード時は、これらのビットを“E _H ”に設定してください。
CSIHnTX0W CSIHnTX0H		これらのビットの読み出しアクセスは FIFO モードでの通信中は禁止されています。 CSIHnCTL0.CSIHnPWR = 0 かつ FIFO モードのとき、これらのビットの読み書きすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、ダイレクトアクセスモードでは、これらのビットへの書き込みアクセスは、禁止されています。

表 11.43 レジスタ設定上の注意事項 (3/3)

レジスタ名	ビット名	内容
CSIHnRX0W		これらのビットは CSIHnCTL0.CSIHnPWR=0 → 1、または、CSIHnCTL0.CSIHnPWR=1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR=0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR=1 のとき、FIFO モードでは、これらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWR=0 のとき、FIFO モード以外のモード(送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード)では、これらのビットの書き込み、読み出しは有効です。 CSIHnCTL0.CSIHnPWR=1 のとき、FIFO モード以外のモード(送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード)では、これらのビットの書き込みは無効です。読み出しのみ有効です。
CSIHnRX0H		これらのビットは CSIHnCTL0.CSIHnPWR=0 → 1、または、CSIHnCTL0.CSIHnPWR=1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR=0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR=1 のとき、FIFO モードでは、これらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWR の値にかかわらず、FIFO モード以外のモード(送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード)では、書き込みは無効です。読み出しのみ有効です。
CSIHnBRsy		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR=0 のときのみ許可されません。

第12章 シリアルコミュニケーションインタフェース 3 (SCI3)

本章では、シリアルコミュニケーションインタフェース (SCI3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、SCI3 の機能、レジスタについて説明します。

12.1 RH850/C1M-A SCI3 の特長

12.1.1 ユニット数

本製品は、以下に示すユニット数の SCI3 を搭載しています。

表 12.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	3	3
名称	SCI3n (n = 0~2)	SCI3n (n = 0~2)

表 12.2 添字

添字	意味
n	本章では、SCI3 の各ユニットを「n」 (n = 0~2) で識別します。たとえば、レシーブシフトレジスタ (SCI3nRSR) のように記述しています。

12.1.2 レジスタベースアドレス

SCI3 のベースアドレスを以下の表に示します。

SCI3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 12.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<SCI30_base>	FFD9 0000 _H
<SCI31_base>	FF79 1000 _H
<SCI32_base>	FFD9 2000 _H

12.1.3 クロック供給

SCI3 のクロック供給を以下の表に示します。

表 12.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
SCI3n	PCLK	CLKC_LSB (非変調低速周辺クロック)
	SCKn	SCInSCK 端子 (外部クロック動作時)

12.1.4 割り込みと DMA

SCI3 の割り込み要求を以下の表に示します。

表 12.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
SCI30						
ERI	受信エラー	289	—	—	—	—
RXI	受信データフル	290	120	—	120	—
TXI	送信データエンプティ	291	121	—	121	—
TEI	送信終了	292	—	—	—	—
SCI31						
ERI	受信エラー	293	—	—	—	—
RXI	受信データフル	294	122	—	122	—
TXI	送信データエンプティ	295	123	—	123	—
TEI	送信終了	296	—	—	—	—
SCI32						
ERI	受信エラー	297	—	—	—	—
RXI	受信データフル	298	124	—	124	—
TXI	送信データエンプティ	299	125	—	125	—
TEI	送信終了	300	—	—	—	—

備考 — : 割り当てなし

注 1. 1st : Primary Channel、2nd : Secondary Channel

12.1.5 リセット要因

SCI3 のリセット要因を以下に示します。SCI3 は以下のリセット要因で初期化されます。

表 12.6 リセット要因

ユニット名	リセット要因
SCI3n	すべてのリセット要因でリセット

12.1.6 外部入出力信号

SCI3 の外部入出力信号を以下の表に示します。

表 12.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
SCKn	シリアルクロック入出力信号	SCInSCK
RxDn	受信データ入力信号	SCInRXD
TxDn	送信データ出力信号	SCInTXD

12.2 概要

12.2.1 機能概要

SCI3 は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができ、複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）も備えています。

クロック同期式では、内部クロックを出力しそれに同期して通信するマスタモードと外部からのクロックに同期して通信するスレーブモードによるクロック同期通信ができます。

以下に各方式の差分を示します。

表 12.8 機能一覧

項目	調歩同期式	クロック同期式	
		内部クロック (マスタモード)	外部クロック (スレーブモード)
全二重通信	可能 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。		
SCKn 端子	クロック出力可能	クロック出力	クロック入力
送受信クロックソース	内蔵ポーレートジェネレータによる内部クロック		外部クロック
LSB/MSB ファースト選択	可能（ただし 7 ビットデータ長を除く）	可能	
割り込みと DMA、DTS 転送機能	<ul style="list-style-type: none"> ● 送信終了 ● 送信データエンプティ ● 受信データフル ● 受信エラー 送信データエンプティ、受信データフル割り込み信号で DMA、DTS を起動させることができます。		
ビットレートモジュレーション機能	可能	可能（ただし、最高速設定除く）	
データ長	7 ビット/8 ビット選択可能	8 ビット	
ストップビット長	1 ビット/2 ビット選択可能	—	
パリティ	偶数パリティ/奇数パリティ/パリティなし選択可能	—	
受信エラーの検出	<ul style="list-style-type: none"> ● パリティエラー ● オーバランエラー ● フレーミングエラー 	<ul style="list-style-type: none"> ● オーバランエラー 	
ブレークの検出	可能 フレーミングエラー発生時レジスタをリードすることでブレークを検出可能	—	
シリアル入力データ端子レベル確認	可能		
マルチプロセッサ通信機能	可能	—	
倍速動作	可能	—	
最大ビットレート	5Mbps (PCLK/8)	5Mbps (PCLK/8)	3.3 Mbps (PCLK/12)

12.2.2 ブロック図

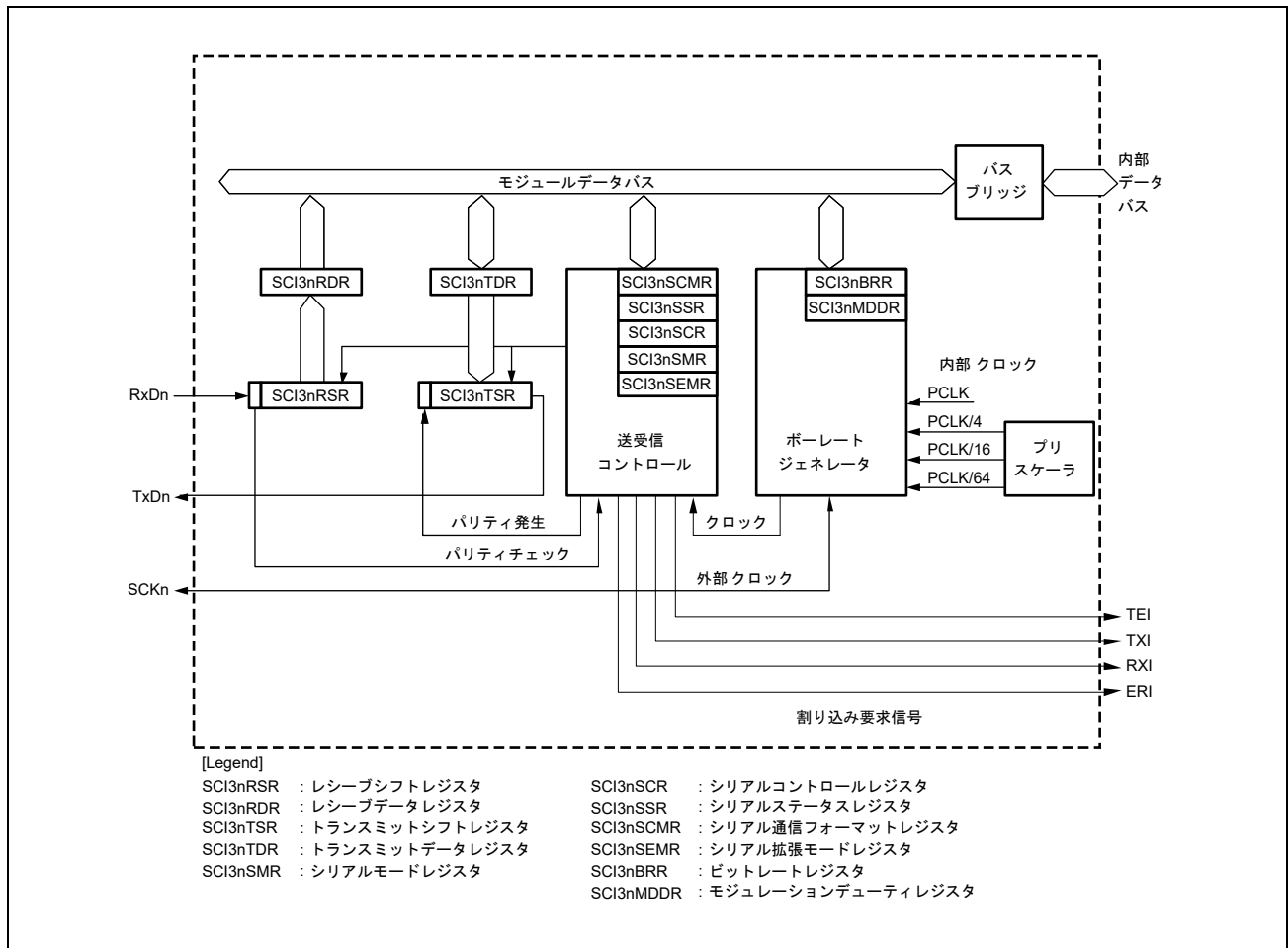


図 12.1 SCI3 のブロック図

12.3 レジスタ

12.3.1 レジスタ一覧

SCI3 のレジスタ一覧を以下の表に示します。

<SCI3n_base>は「12.1.2 レジスタベースアドレス」を参照してください。

表 12.9 レジスタ構成

モジュール名	レジスタ名	略号	アドレス
SCI3n	シリアルモードレジスタ	SCI3nSMR	<SCI3n_base> + 00 _H
SCI3n	ビットレートレジスタ/ モジュレーションデューティレジスタ ^{注1}	SCI3nBRR/ SCI3nMDDR	<SCI3n_base> + 04 _H
SCI3n	シリアルコントロールレジスタ	SCI3nSCR	<SCI3n_base> + 08 _H
SCI3n	トランスミットデータレジスタ	SCI3nTDR	<SCI3n_base> + 0C _H
SCI3n	シリアルステータスレジスタ	SCI3nSSR	<SCI3n_base> + 10 _H
SCI3n	レシーブデータレジスタ	SCI3nRDR	<SCI3n_base> + 14 _H
SCI3n	シリアル通信フォーマットレジスタ	SCI3nSCMR	<SCI3n_base> + 18 _H
SCI3n	シリアル拡張モードレジスタ	SCI3nSEMR	<SCI3n_base> + 1C _H

注 1. SCI3nBRR レジスタと SCI3nMDDR レジスタは、同一のアドレスに配置されています。これらのレジスタの切り替えは、SCI3nSEMR.MDDRS ビットで行います。

12.3.2 SCI3nRDR — レシーブデータレジスタ

受信データを格納するためのレジスタです。1 フレーム分のデータを受信するとレシーブシフトレジスタ (SCI3nRSR) から受信データが SCI3nRDR に転送され、SCI3nRSR は次のデータを受信可能となります。SCI3nRSR と SCI3nRDR はダブルバッファ構造になっているため、連続受信動作が可能です。リードする場合は、SCI3nSSR.RDRF ビットが 1 にセットされていることを確認して行ってください。データ長が 7 ビットの場合、受信データはビット 0~6 に格納され、ビット 7 は 0 に固定されます。これは SCI3nSCMR.SINV ビットによりません。

アクセス 8 ビット単位でリード可能です。

アドレス <SCI3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	SCI3nRDR							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 12.10 SCI3nRDR レジスタの内容

ビット位置	ビット名	機能
7~0	SCI3nRDR	レシーブデータレジスタ 受信データを格納します。

12.3.3 SCI3nTDR — トランスミットデータレジスタ

送信データを格納するためのレジスタです。トランスミットシフトレジスタ (SCI3nTSR) に空きを検出すると、SCI3nTDR にライトされた送信データは SCI3nTSR に転送されて送信を開始します。SCI3nTSR と SCI3nTDR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき、SCI3nTDR に次の送信データがライトされていれば SCI3nTSR へ転送して送信を継続します。SCI3nTDR への送信データのライトは必ず SCI3nSSR.TDRE ビットが 1 にセットされていることを確認して行ってください。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0C_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	SCI3nTDR							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.11 SCI3nTDR レジスタの内容

ビット位置	ビット名	機能
7~0	SCI3nTDR	トランスミットデータレジスタ 送信データを格納します。

12.3.4 SCI3nSMR — シリアルモードレジスタ

SCI3nSMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 00H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注 1. TE = RE = 0 の場合のみライト可能です。

表 12.12 SCI3nSMR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	CM	コミュニケーションモードビット 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
6	CHR	キャラクタレングス（調歩同期式モードのみ有効） 0：データ長 8 ビットで送受信します。 1：データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では SCI3nTDR の MSB（ビット 7）は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	PM	パリティモードビット（調歩同期式モードで PE = 1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。 偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。
3	STOP	ストップビットレングス（調歩同期式モードのみ有効） 0：送信時 1 ストップビット 1：送信時 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	マルチプロセッサモード（調歩同期式モードのみ有効） このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、PM ビットの設定は無効です。

表 12.12 SCI3nSMR レジスタの内容 (2/2)

ビット位置	ビット名	機能
1, 0	CKS[1:0]	クロックセレクト 1, 0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : PCLK クロック (m = 0) 01 : PCLK/4 クロック (m = 1) 10 : PCLK/16 クロック (m = 2) 11 : PCLK/64 クロック (m = 3) このビットの設定値とポーレートの関係については「12.3.9 SCI3nBRR — ビットレートレジスタ」を参照してください。m は設定値の 10 進表示で、「12.3.9 SCI3nBRR — ビットレートレジスタ」中の m の値を表します。

12.3.5 SCI3nSCR — シリアルコントロールレジスタ

SCI3nSCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「12.4.5 割り込み要因」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W ^{注1}	R/W ^{注1}	R/W	R/W	R/W ^{注2}	R/W ^{注2}

注 1. SCI3nSMR の CM ビットが 1 のときは TE = RE = 0 の場合のみ、1 をライト可能です。いったん、TE、RE ビットのいずれかを 1 にセットした後は、TE = RE = 0 のライトのみ可能になります。SCI3nSMR の CM ビットが 0 のときは任意のタイミングでライト可能です。

注 2. TE = RE = 0 の場合のみライト可能です。また、TE = RE = 0 のライトと同時にライト可能です。

表 12.13 SCI3nSCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TIE	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、SCI3nTDR に送信データをライトして、SCI3nSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SCI3nSSR の TDRE フラグは 1 に固定されません。

表 12.13 SCI3nSCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	RE	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SCI3nSMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的に 0 にクリアされ通常の実受信動作に戻ります。詳細は「12.4.2 マルチプロセッサ通信機能」を参照してください。 SCI3nSSR の MPB = 0 を含む受信データを受信しているときは、SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SCI3nSSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求 (SCI3nSCR の RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。
2	TEIE	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1、0	CKE[1:0]	クロックイネーブル 1、0 クロックソースおよび SCKn 端子の機能を選択します。 調歩同期式の場合 00: 内蔵ポーレートジェネレータ (SCKn 端子は入出力ポートとして使用できます) 01: 内蔵ポーレートジェネレータ (SCKn 端子からビットレートと同じ周波数のクロックを出力します) 1X: 設定禁止 クロック同期式の場合 0X: 内部クロック (SCKn 端子はクロック出力端子となります。) 1X: 外部クロック (SCKn 端子はクロック入力端子となります。)

備考 X: Don't care

備 考

本レジスタの MPIE ビット以外のビットを書き変える場合には、MPIE ビットへの書き込み値が“0”となるようにストア命令を使用して書いてください。

本レジスタにビット操作命令でライトすると、リードモディファイライト動作により意図せず MPIE ビットに 1 を設定してしまう可能性があるのでご注意ください。

12.3.6 SCI3nSSR — シリアルステータスレジスタ

SCI3nSSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER フラグはクリアのみ可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 10H

リセット後の値 84H

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0
R/W	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R	R	R/W

注 1. フラグをクリアするための 0 ライトのみ可能です。

表 12.14 SCI3nSSR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TDRE	トランスミットデータレジスタエンプティ SCI3nTDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> • SCI3nSCR の TE ビットが 0 のとき • SCI3nTDR から SCI3nTSR にデータが転送され、SCI3nTDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • TE = 1 の状態で SCI3nTDR へ送信データをライトしたとき
6	RDRF	レシーブデータレジスタフル SCI3nRDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> • 受信が正常終了し、SCI3nRSR から SCI3nRDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • SCI3nRDR からデータをリードしたとき SCI3nSCR の RE ビットをクリアしても RDRF フラグは影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。
5	ORER	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] <ul style="list-style-type: none"> • RDRF = 1 の状態で次のデータを受信したとき SCI3nRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。

表 12.14 SCI3nSSR レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	FER	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが 0 のとき 2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCI3nRDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、FER フラグは影響を受けず以前の状態を保持します。
3	PER	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは SCI3nRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、PER フラグは影響を受けず以前の状態を保持します。
2	TEND	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCI3nSCR の TE ビットが 0 のとき 送信キャラクタの最後尾ビットの送信時、TDRE フラグが 1 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TE = 1 の状態で SCI3nTDR へ送信データをライトしたとき
1	MPB	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。</p>
0	MPBT	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

12.3.7 SCI3nSCMR — シリアル通信フォーマットレジスタ

SCI3nSCMR は、調歩同期式モード、クロック同期式モードで共通に設定可能な通信フォーマットを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 18_H

リセット後の値 F2_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	ASTLS	—
リセット後の値	1	1	1	1	0	0	1	0
RW	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R

注 1. TE = RE = 0 の場合のみライト可能です。

表 12.15 SCI3nSCMR レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	SDIR	シリアルデータトランスファディレクション (調歩同期式モードおよびクロック同期式モードで有効) シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	シリアルデータインバート (調歩同期式モードおよびクロック同期式モードで有効) 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCI3nSMR の PM ビットを反転してください。 0 : SCI3nTDR の内容をそのまま送信、受信データをそのまま SCI3nRDR に格納 1 : SCI3nTDR の内容を反転して送信、受信データを反転して SCI3nRDR に格納
1	ASTLS	調歩同期スタートビットレベル検出セレクト (調歩同期式モードで有効) 0 : RxDn 端子入力の立ち下がりエッジでスタートビットの始まりを検出 1 : RxDn 端子入力の Low レベルでスタートビットの始まりを検出
0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

12.3.8 SCI3nSEMR — シリアル拡張モードレジスタ

SCI3nSEMR は、1 ビット期間の選択をするためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 1C_H

リセット後の値 04_H

ビット	7	6	5	4	3	2	1	0
	BRME	MDDRS	—	BGDM	ABCS	RXDMON	—	—
リセット後の値	0	0	0	0	0	1	0	0
RW	RW ^{注1}	RW ^{注1}	R	RW ^{注1}	RW ^{注1}	R	R	R

注 1. TE = RE = 0 の場合のみライト可能です。

表 12.16 SCI3nSEMR レジスタの内容

ビット位置	ビット名	機能
7	BRME	ビットレートモジュレーションイネーブル このビットを 1 にセットするとビットレートモジュレーション機能が有効になります。
6	MDDRS	モジュレーションデューティレジスタセレクト このビットはアクセス可能にするレジスタを選択します。 0 : SCI3nBRR がアクセス可能 1 : SCI3nMDDR がアクセス可能
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4	BGDM	ポーレートジェネレータ倍速モードセレクトビット (調歩同期式モードのみ有効) ポーレートジェネレータの出力クロックの周期を選択します。 0 : ポーレートジェネレータから通常の周波数のクロックを出力 1 : ポーレートジェネレータから 2 倍の周波数のクロックを出力 (倍速動作)
3	ABCS	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作 (倍速動作)
2	RXDMON	シリアル入力データモニタビット RxDn 端子の状態を表示します。 0 : RxDn 端子状態は Low レベル 1 : RxDn 端子状態は High レベル
1、0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

12.3.9 SCI3nBRR — ビットレートレジスタ

SCI3nBRR はビットレートを調整するための 8 ビットのレジスタです。SCI3 はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける SCI3nBRR の設定値 N とビットレート B の関係を表 12.18 に示します。SCI3nBRR のリセット後の値は FF_H です。SCI3nBRR は SCI3nMDDR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 0 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 04_H

リセット後の値 FF_H

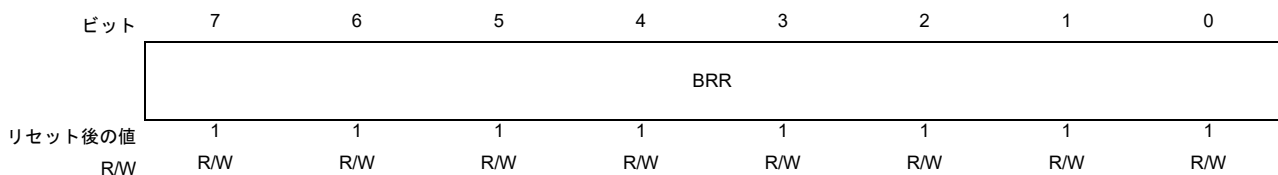


表 12.17 SCI3nBRR レジスタの内容

ビット位置	ビット名	機能
7~0	BRR	ボーレートジェネレータの設定値 (0 ≤ N ≤ 255)

表 12.18 SCI3nBRR の設定値 N とビットレート B の関係

モード	SCI3nSEMR レジスタの設定		ビットレート	平均誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式	0	0	$B = \frac{PCLK \times 10^6}{64 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2m-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	$B = \frac{PCLK \times 10^6}{32 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2m-1} \times (N+1)} - 1 \right\} \times 100$
	0	1		
	1	1	$B = \frac{PCLK \times 10^6}{16 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2m-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式			$B = \frac{PCLK \times 10^6}{8 \times 2^{2m-1} \times (N+1)}$	—

備考 B : ビットレート (bps)

N : ボーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

m : 下表のとおり SCI3nSMR の設定値によって決まります。

SCI3nSMR の設定値		m
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

調歩同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 12.19 に、設定可能な最大ビットレートを表 12.20 に示します。

表 12.19 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bps)	動作周波数 PCLK = 40 (MHz)							
	SCI3nSEMR.ABCS = 0				SCI3nSEMR.ABCS = 1			
	m	N	実際の ビットレート (bps)	誤差 (%)	m	N	実際の ビットレート (bps)	誤差 (%)
110	3	177	109.73	-0.25	—	—	—	—
150	3	129	150.24	0.16	3	255	152.59	1.73
300	3	64	300.48	0.16	3	129	300.48	0.16
600	2	129	600.96	0.16	3	64	600.96	0.16
1200	2	64	1201.92	0.16	2	129	1201.92	0.16
2400	1	129	2403.85	0.16	2	64	2403.85	0.16
4800	1	64	4807.69	0.16	1	129	4807.69	0.16
9600	0	129	9615.38	0.16	1	64	9615.38	0.16
19200	0	64	19230.77	0.16	0	129	19230.77	0.16
31250	0	39	31250.00	0.00	0	79	31250.00	0.00
38400	0	32	37878.79	-1.36	0	64	38461.54	0.16

注： BGDM ビット = 0 のときの例です。

BGDM ビット = 1 に設定したときは、ビットレートが 2 倍になります。

表 12.20 最大ビットレート (調歩同期式モード)

PCLK (MHz)	設定値				最大ビットレート (bps)
	BGDM の設定	ABCS の設定	m	N	
40	0	0	0	0	1250000
	0	1	0	0	2500000
	1	0	0	0	2500000
	1	1	0	0	5000000

クロック同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 12.21 に示します。

表 12.21 クロック同期式モードのビットレート設定例

ビットレート (bps)	動作周波数 PCLK = 40 (MHz)		
	m	N	実際のビットレート (bps)
1k	3	155	1001.60
2.5k	3	62	2480.16
5k	2	124	5000.00
10k	2	62	9920.63
25k	1	99	25000.00
50k	1	49	50000.00
100k	0	99	100000.00
250k	0	39	250000.00
500k	0	19	500000.00
1M	0	9	1000000.00
2M	0	4	2000000.00
2.5M	0	3	2500000.00
5M	0	1	5000000.00

表 12.22 内部クロック出力時の最大ビットレート (クロック同期式モード)

PCLK (MHz)	m	N	最大ビットレート (bps)
40	0	1	5000000.00

12.3.10 SCI3nMDDR — モジュレーションデューティレジスタ

SCI3nMDDR は SCI3nBRR により調整されたビットレートを補正するためのレジスタです。SCI3nMDDR のリセット後の値は FF_H です。SCI3nSEMR の BRME ビットが 1 にセットされているとき、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に SCI3nMDDR/256 に補正します。SCI3nMDDR の設定値とビットレート B の関係を表 12.24 に示します。SCI3nMDDR は SCI3nBRR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 1 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。ビット 7 は 1 に固定されています。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 04_H

リセット後の値 FF_H

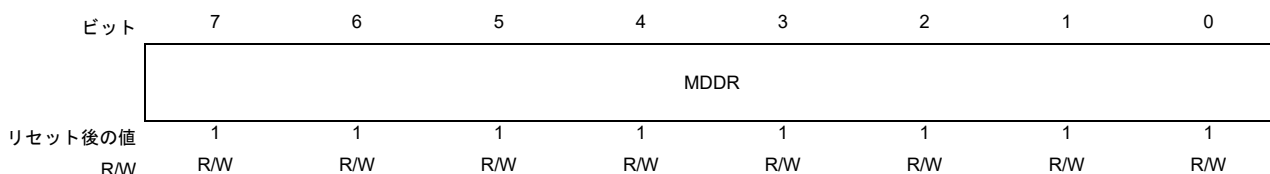


表 12.23 SCI3nMDDR レジスタの内容

ビット位置	ビット名	機能
7~0	MDDR	ポーレートジェネレータの設定値 (128 ≤ MDDR ≤ 255)

表 12.24 ビットレートモジュレーション機能使用時の SCI3nMDDR 設定値とビットレート B の関係

モード	SCI3nSEMR レジスタの設定		ビットレート	平均誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式	0	0	$B = \frac{PCLK \times 10^6}{64 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
	1	0	$B = \frac{PCLK \times 10^6}{32 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
	0	1	$B = \frac{PCLK \times 10^6}{16 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
	1	1	$B = \frac{PCLK \times 10^6}{8 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
クロック同期式			$B = \frac{PCLK \times 10^6}{8 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	—

備考 B : ビットレート (bps)

N : ポーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

m : 「表 12.18 SCI3nBRR の設定値 N とビットレート B の関係」を参照してください。

MDDR : SCI3nMDDR の設定値 (128 ≤ SCI3nMDDR ≤ 255)

12.4 機能

12.4.1 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

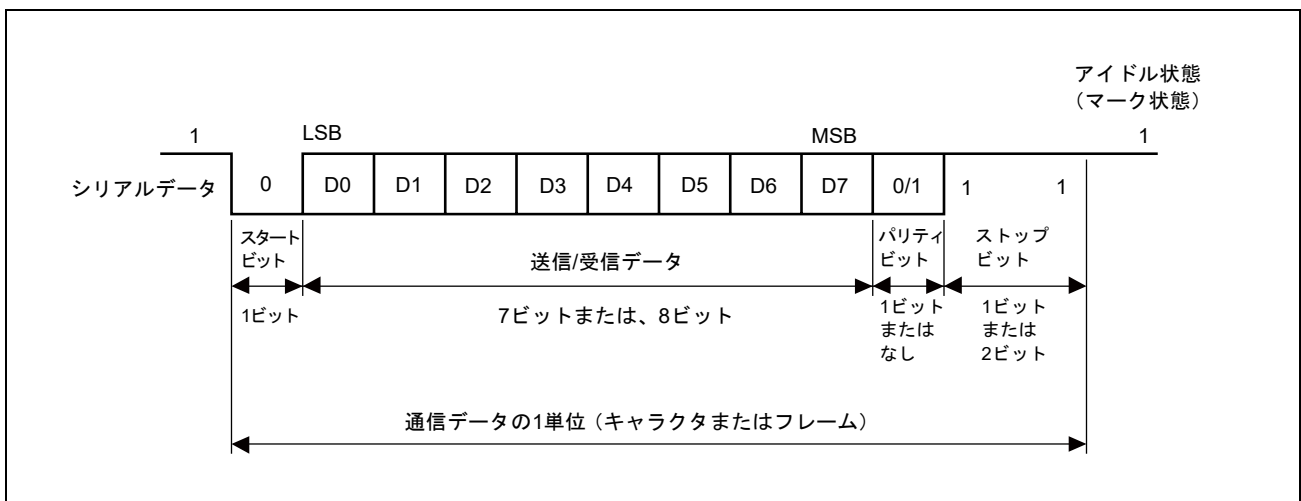


図 12.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

12.4.1.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.25 に示します。フォーマットは 12 種類あり、SCI3nSMR の選定により選択できます。マルチプロセッサビットについては「12.4.2 マルチプロセッサ通信機能」を参照してください。

表 12.25 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	—	1	0	S	8ビットデータ								MPB	STOP			
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7ビットデータ							MPB	STOP				
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP			

備考 S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

12.4.1.2 受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 はビットレートの 16 倍 (SCI3nSEMR の ABCS ビット=1 のときは 8 倍) の周波数の基本クロックで動作します。受信時はスタートビットの始まり (Low レベル) を基本クロックでサンプリングして内部を同期化します。また、**図 12.3** に示すように受信データを基本クロックの 8 ヶ目 (SCI3nSEMR の ABCS ビット=1 のときは 4 ヶ目) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100 [\%] \quad \dots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比 (SCI3nSEMR の ABCS = 0 のとき N = 16、ABCS = 1 のとき N = 8)

D: クロックのデューティ (D = 0.5~1.0)

L: フレーム長 (L = 9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5、N = 16 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

ビットレートモジュレーション機能使用時は基本クロックの周波数を平均的に補正します。

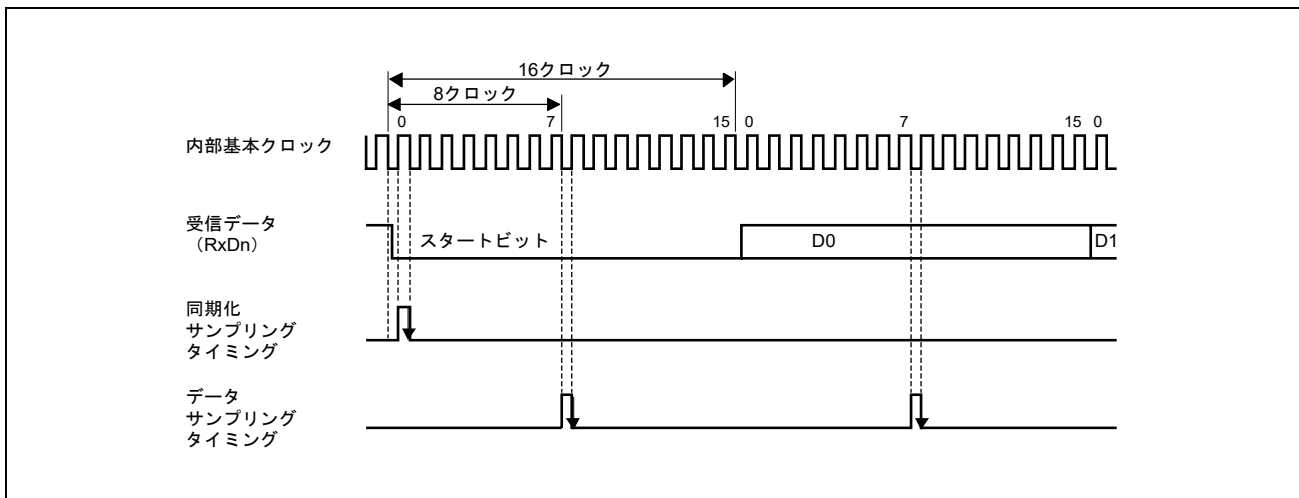


図 12.3 調歩同期式モードの受信データサンプリングタイミング

12.4.1.3 クロック

SCI3 の送受信クロックは、SCI3nSMR の CM ビットと SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックを選択できます。内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。

クロック同期式モードについては「**12.4.3 クロック同期式モードの動作**」を参照してください。

調歩同期式モードの場合、**図 12.4** に示すように出力されるクロックの周波数はビットレートと等しく送信データの中央で立ち上がる位相となります。

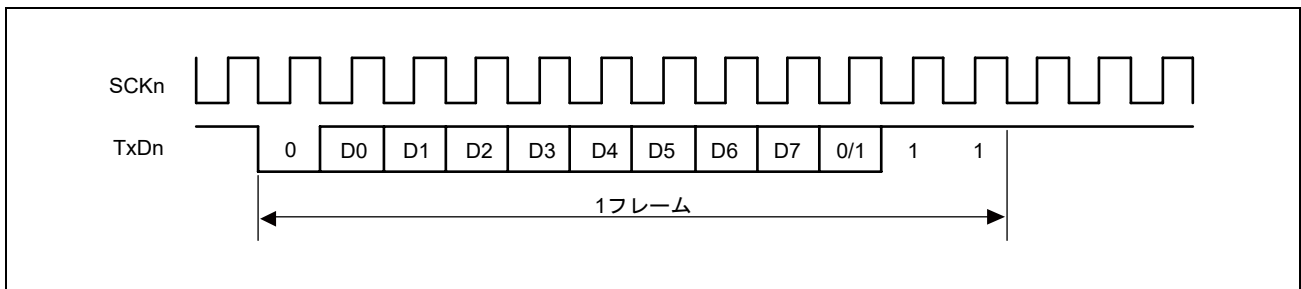


図 12.4 出力クロックと送信データの位相関係（調歩同期式モード）

12.4.1.4 倍速動作

「**12.4.1.3 クロック**」の動作に加えて、SCI3nSEMR の ABCS ビットの設定により倍速動作が可能です。

通常のビットレートの 16 倍の周波数のクロックの動作を倍速動作では、8 倍の周波数のクロックで動作させることができます。同一の基本クロックで 2 倍の転送レートで動作することができます。

また、SCI3nSEMR の BGDM ビットを 1 に設定すると、基本クロックの周期が 1/2 倍になり、BGDM ビットを 0 に設定した場合の 2 倍のビットレートで動作します。

SCI3nSCR の CKE1 ビットを 0 に設定して内蔵ボーレートジェネレータを選択したときは、ABCS ビットによる倍速動作と BGDM ビットによる倍速動作を組み合わせる使用できます。ABCS ビット = 1 かつ BGDM ビット = 1 に設定することで、ABCS ビット = 0 かつ BGDM ビット = 0 の場合の 4 倍のビットレートで動作します。

12.4.1.5 SCI3 の初期化 (調歩同期式)

データの送受信前に、SCI3nSCR の TE、RE ビットをクリアしたあと、**図 12.5** のフローチャートの例にしたがって初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットをいずれも 0 にクリアしてから変更を行ってください。TE ビットを 0 にクリアすると、TDRE フラグは 1 にセットされますが、RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および SCI3nRDR は初期化されませんので注意してください。

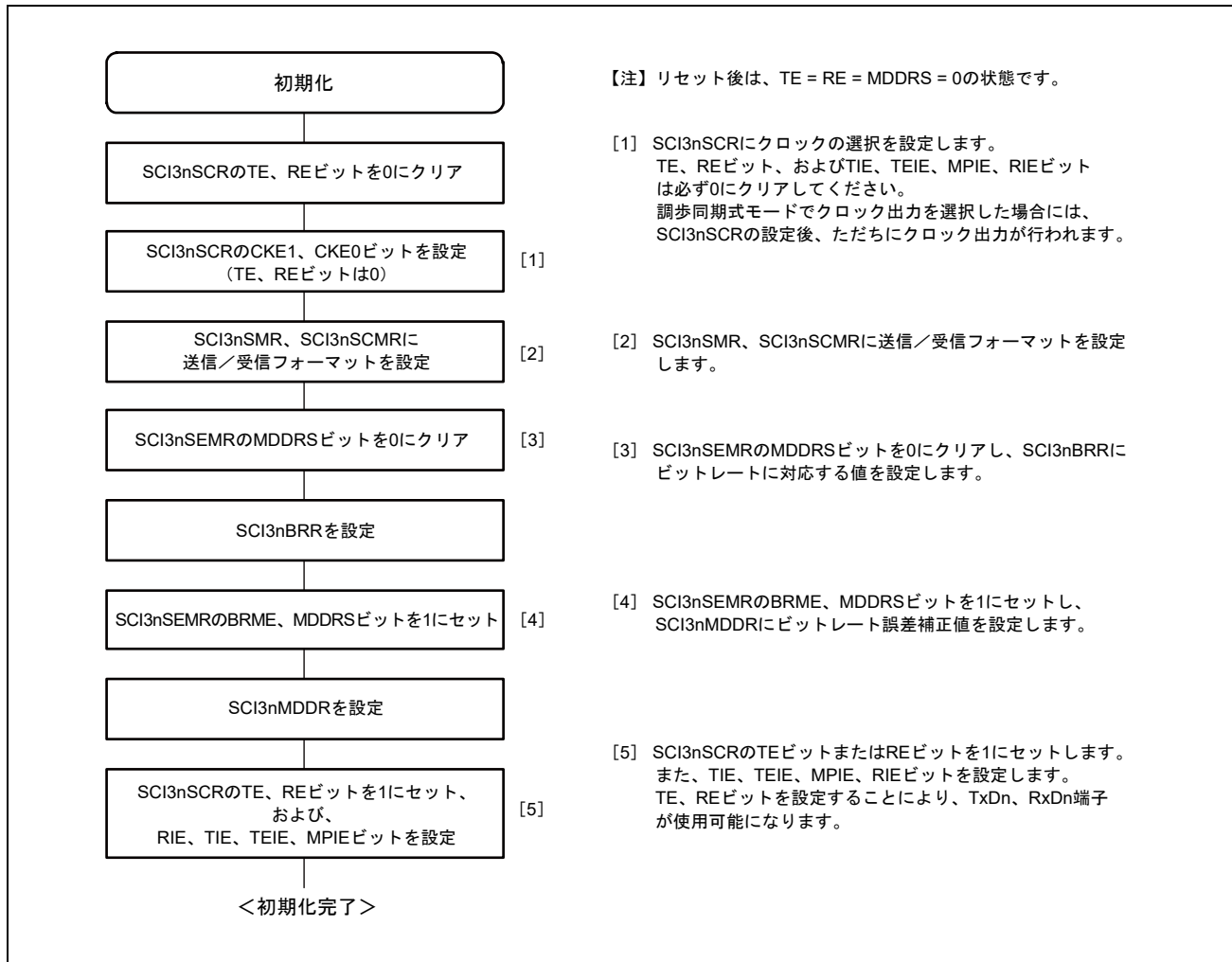


図 12.5 SCI3 の初期化フローチャートの例

12.4.1.6 シリアルデータ送信 (調歩同期式)

図 12.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットしたあとに TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだあと、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. TxDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグを 1 をセットし、ストップビット送出後、1 を出力してマーク状態になります。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

図 12.7 にデータ送信のフローチャートの例を示します。また、図 12.8 に、データ送信後に SCI3 を停止するフローチャートの例を示します。

調歩同期式モードの送信許可時の動作に関する補足

TE ビットを 0 から 1 にセットすると 1 フレーム分の High レベル (プリアンブル) を出力します。

プリアンブル出力中に SCI3nTDR に送信データをライトすると、プリアンブル出力終了後にその送信データが SCI3nTDR から SCI3nTSR にデータが転送されます。

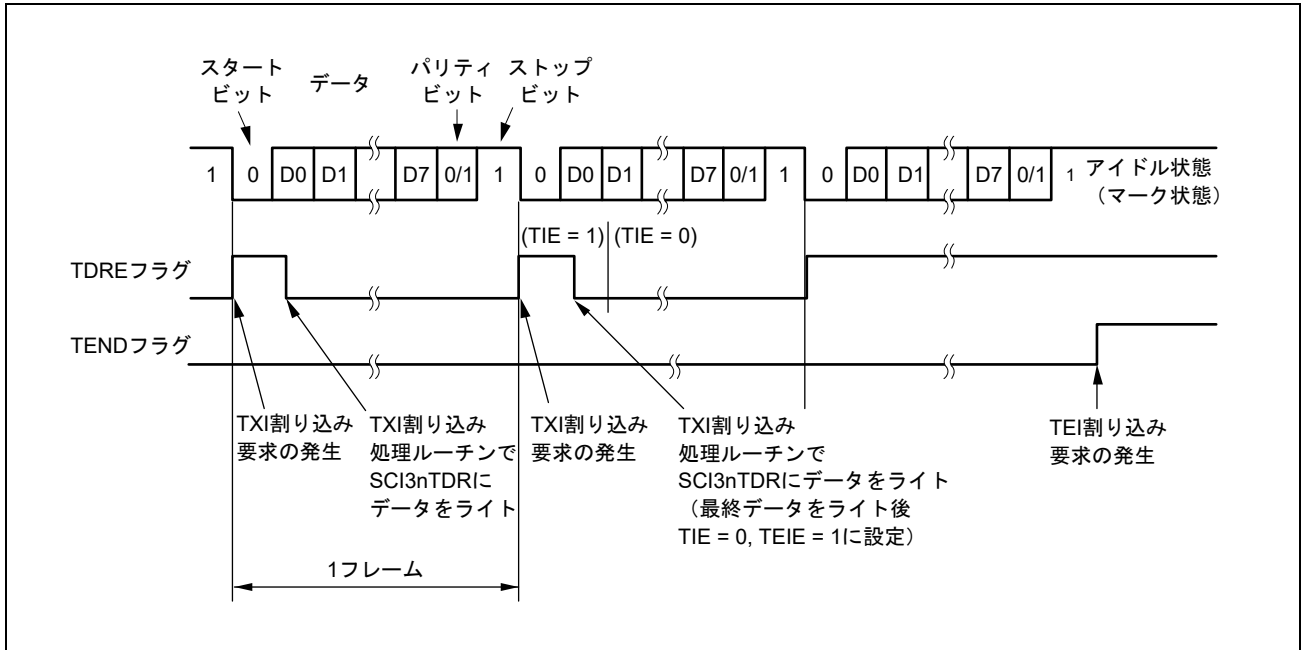


図 12.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

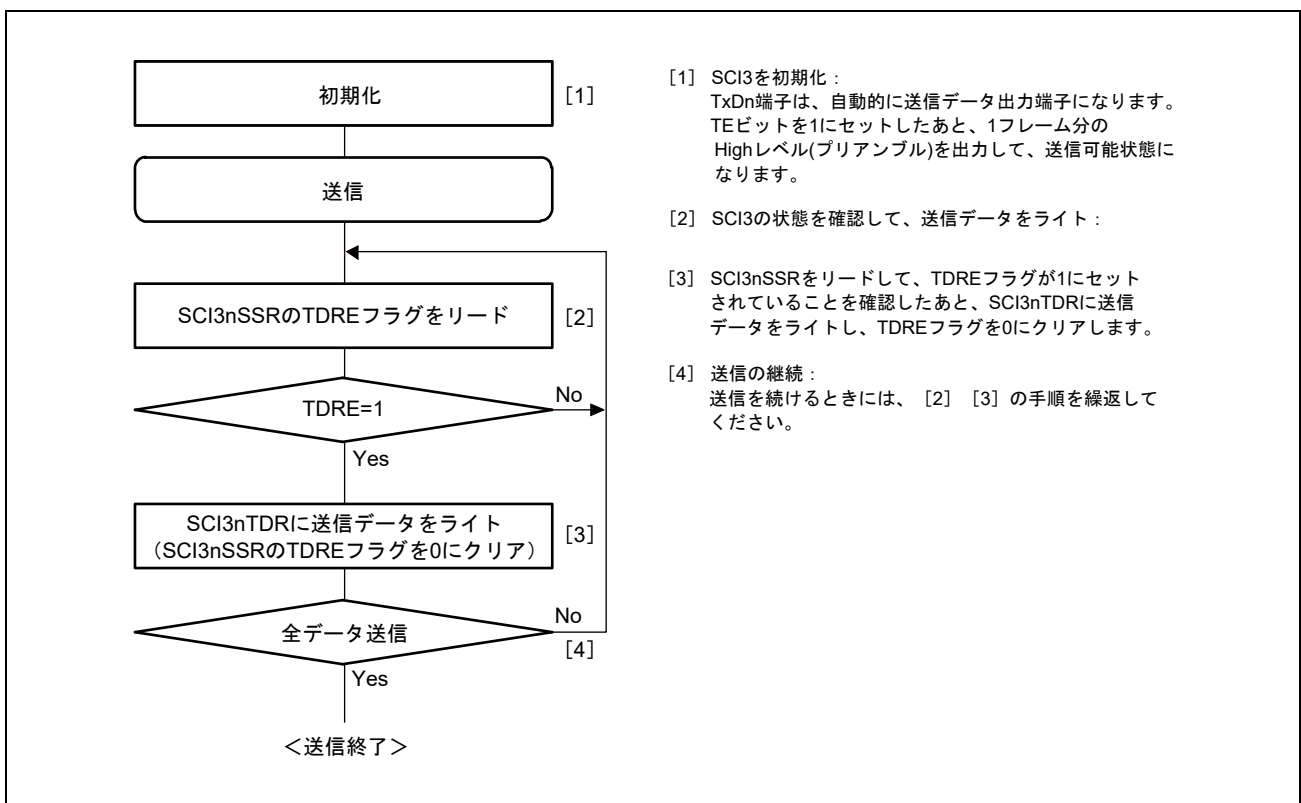


図 12.7 シリアル送信のフローチャートの例

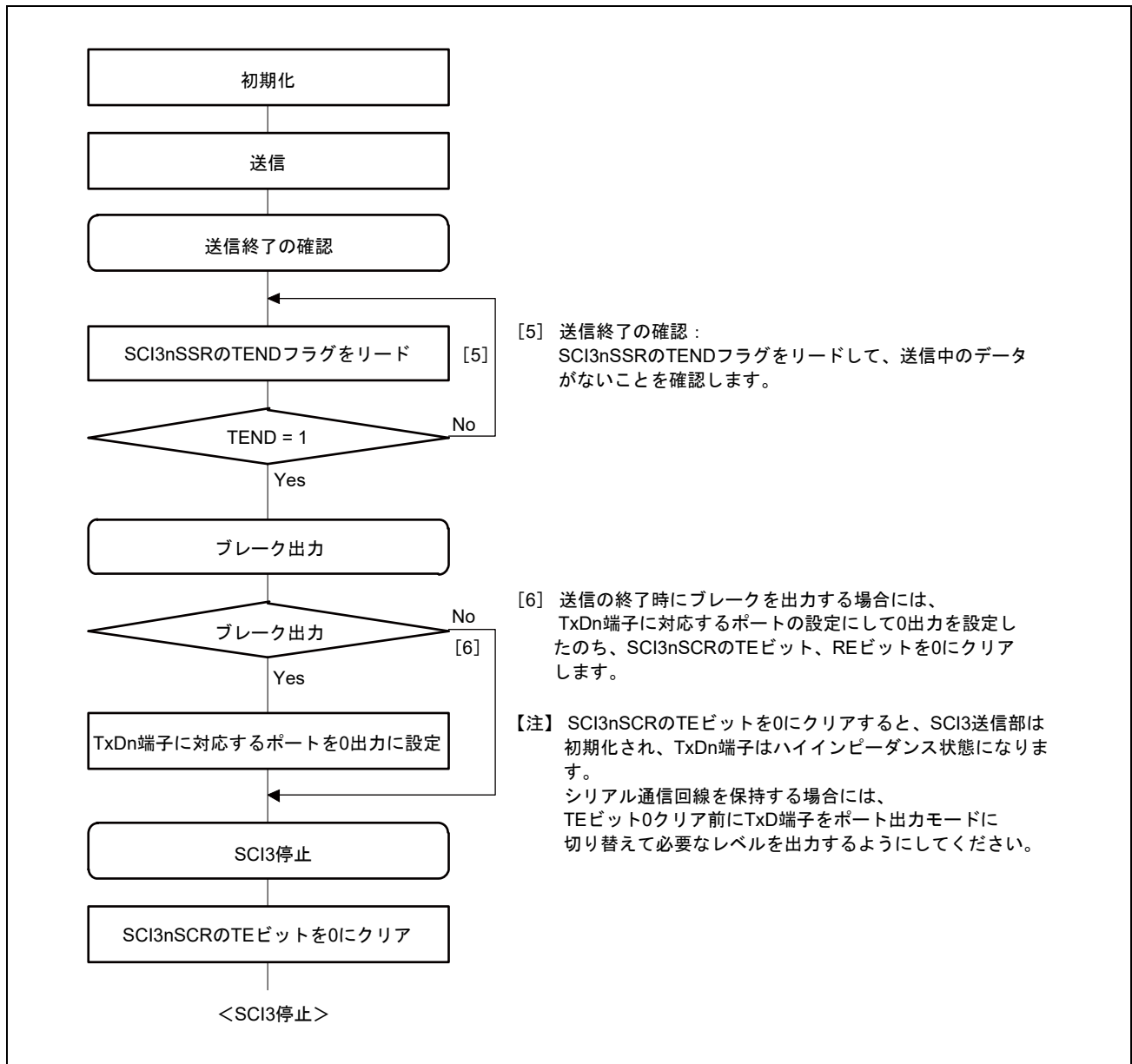


図 12.8 シリアル送信後に SCI3 を停止するフローチャートの例

12.4.1.7 シリアルデータ受信（調歩同期式）

図 12.9 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを SCI3nRSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SCI3nSSR の PER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。
4. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SCI3nSSR の FER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。
5. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

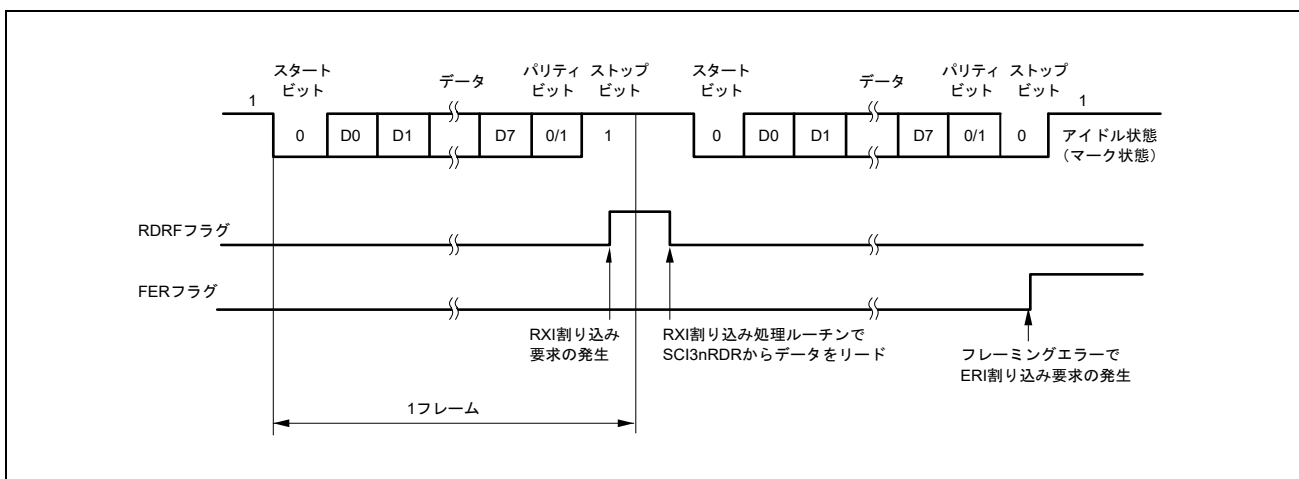


図 12.9 SCI3 の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SCI3nSSR の各ステータスフラグの状態と受信データの処理を表 12.26 に示します。受信エラーを検出すると、RDRF フラグはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。図 12.10 にデータ受信のためのフローチャートの例を示します。

表 12.26 SCI3nSSR のステータスフラグの状態と受信データの処理

SCI3nSSR のステータスフラグ				受信データ	受信状態
RDRF 注 1	ORER	FER	PER		
1	0	0	0	SCI3nRDR へ転送	正常受信
0	0	1	0	SCI3nRDR へ転送	フレーミングエラー
0	0	0	1	SCI3nRDR へ転送	パリティエラー
0	0	1	1	SCI3nRDR へ転送	フレーミングエラー+パリティエラー
1*	1	0	0	消失	オーバランエラー
1*	1	1	0	消失	オーバランエラー+フレーミングエラー
1*	1	0	1	消失	オーバランエラー+パリティエラー
1*	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注 1. オーバランエラーの場合、RDRF フラグは、データ受信前の状態を保持します。

備考 +は、1つの受信動作において、同時に発生することを示します。

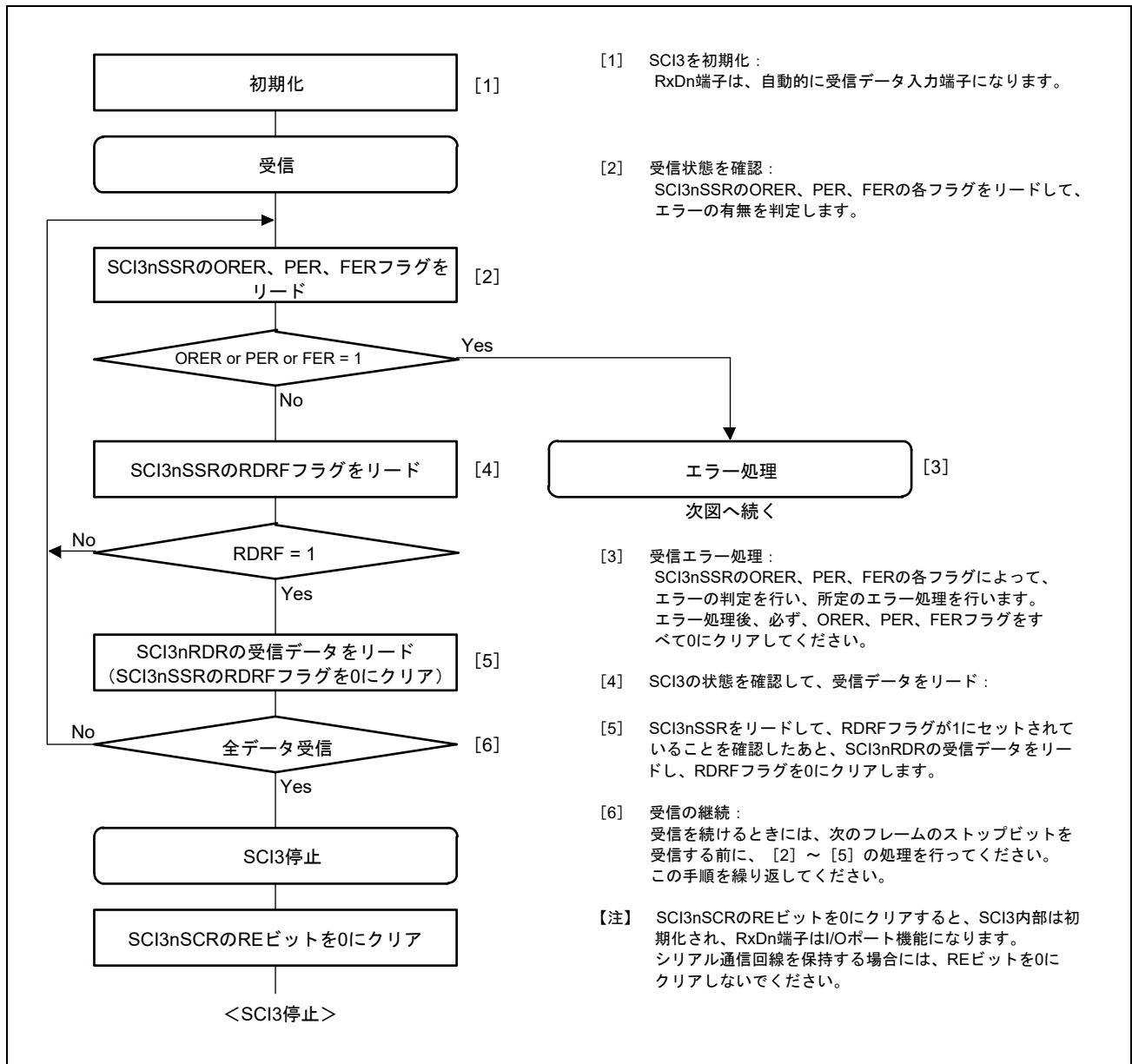


図 12.10 シリアル受信のフローチャートの例 (1)

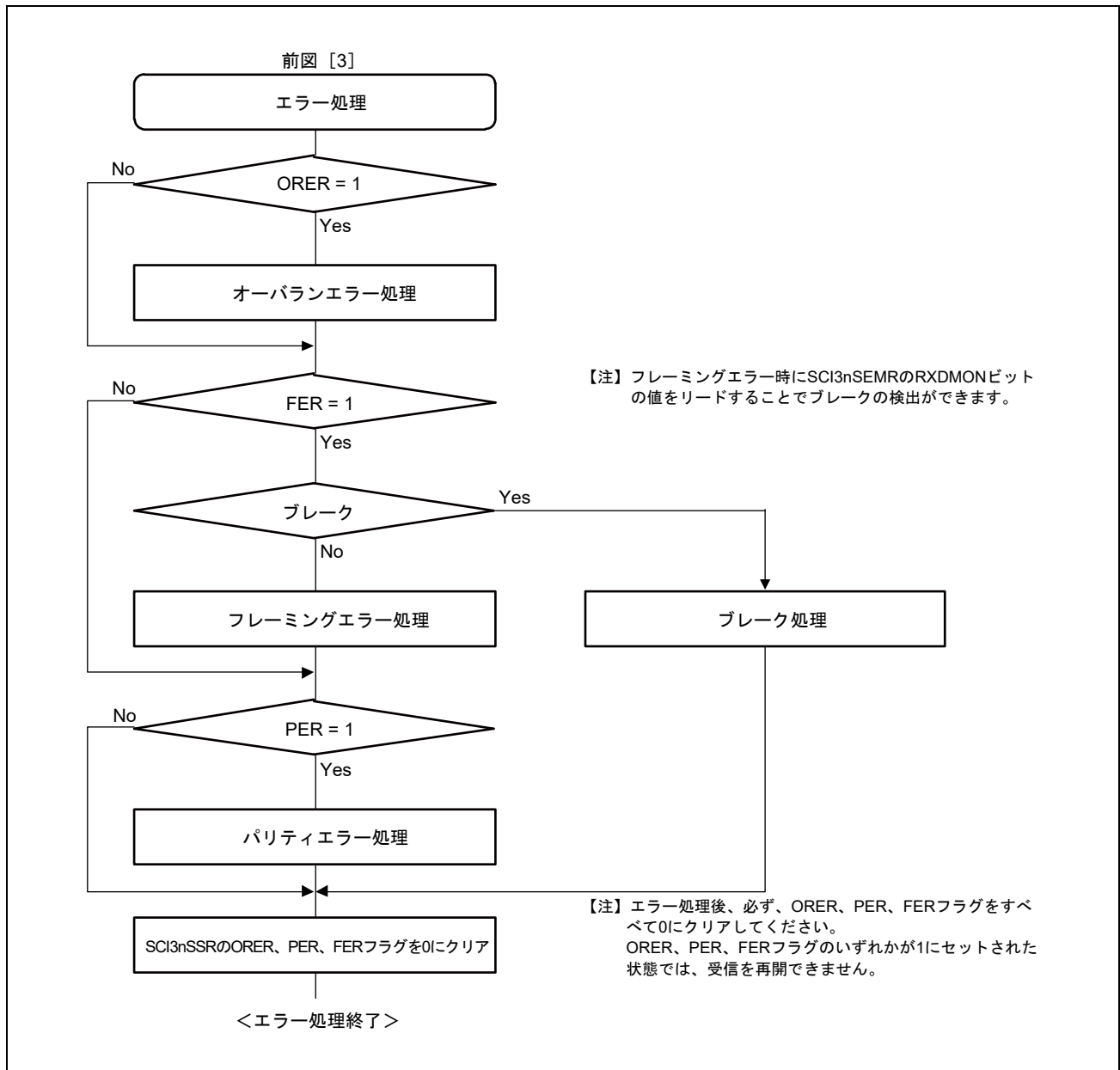


図 12.11 シリアル受信のフローチャートの例 (2)

12.4.2 マルチプロセッサ通信機能

12.4.2.1 概要と接続例

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCI3nSCR に MPIE ビットが設けてあります。MPIE ビットを 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCI3nSSR の MPB ビットが 1 にセットされるとともに MPIE ビットが自動的に 0 にクリアされて通常の受信動作に戻ります。このとき SCI3nSCR の RIE ビットがセットされていると RXI 割り込み要求を発生します。MPIE ビットが 0 にクリアされた状態では、マルチプロセッサビットの値に関係なく受信動作を行います。マルチプロセッサビットは、SCI3nSSR の MPB ビットに格納されます。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

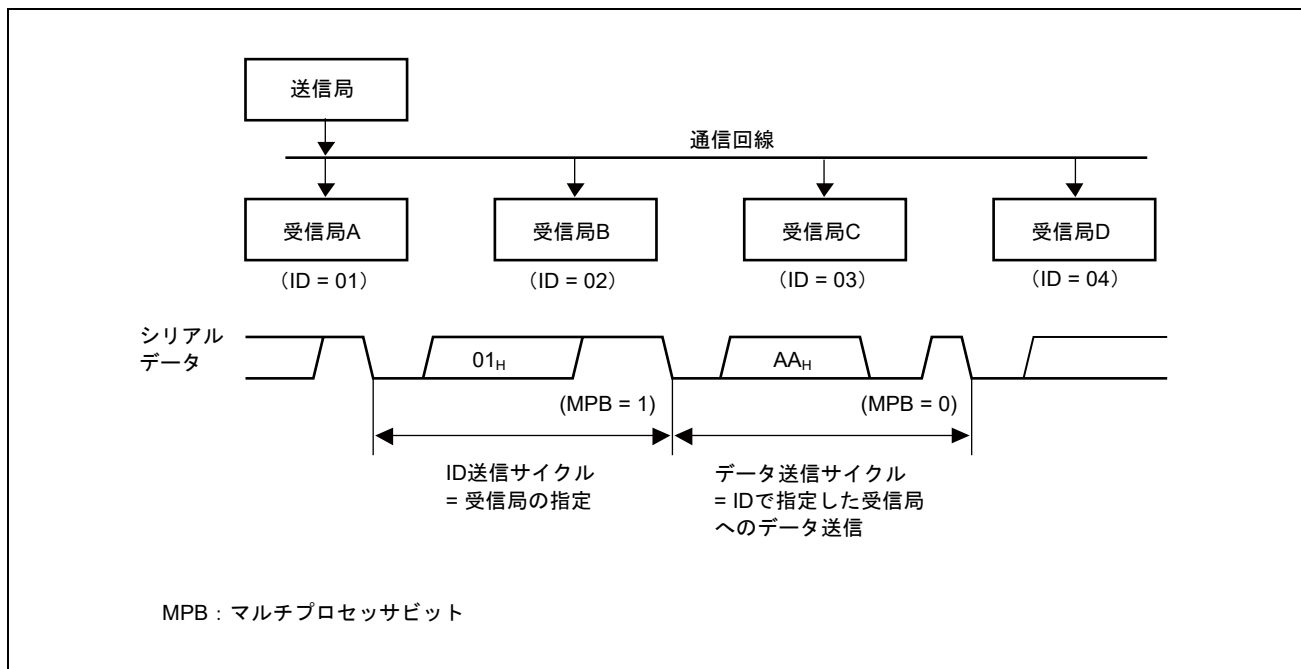


図 12.12 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AA_Hの送信の例）

12.4.2.2 マルチプロセッサシリアルデータ送信

図 12.13 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCI3nSSR の MPBT ビットを 1 にセットして送信してください。データ送信サイクルでは SCI3nSSR の MPBT ビットを 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

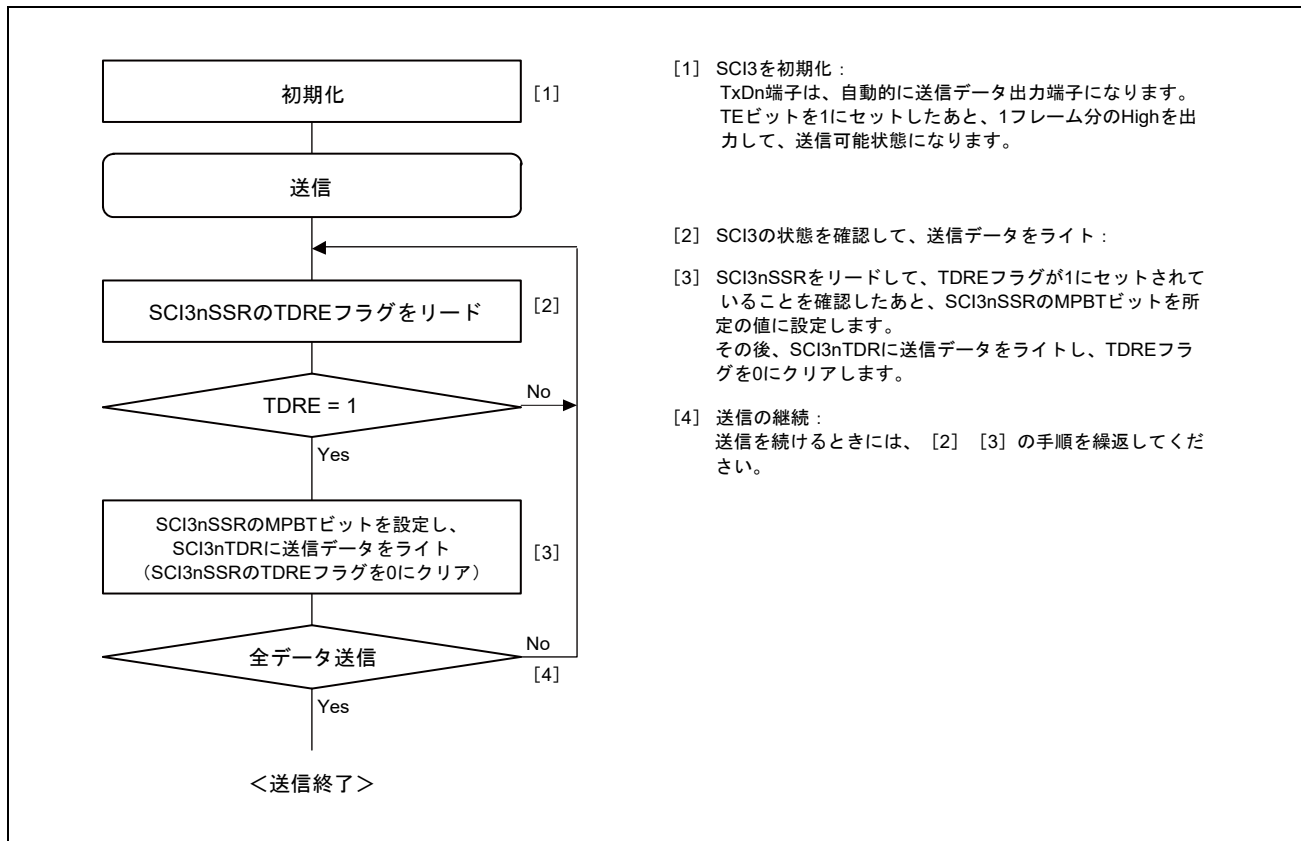


図 12.13 マルチプロセッサシリアル送信のフローチャートの例

12.4.2.3 マルチプロセッサシリアルデータ受信

図 12.15～図 12.17 にマルチプロセッサデータ受信のフローチャートの例を示します。SCI3nSCR の MPIE ビットを 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとびます。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCI3nRDR に転送します。このとき RXI 割り込み要求を発生します。そのほかの動作は調歩同期式モードの動作と同じです。図 12.14 に受信時の動作例を示します。

注 意

マルチプロセッサビットが 1 の通信データを受信するタイミングで、SCI3nSCR へのライトを行わないでください。MPIE ビットが所望の状態にならない場合があります。

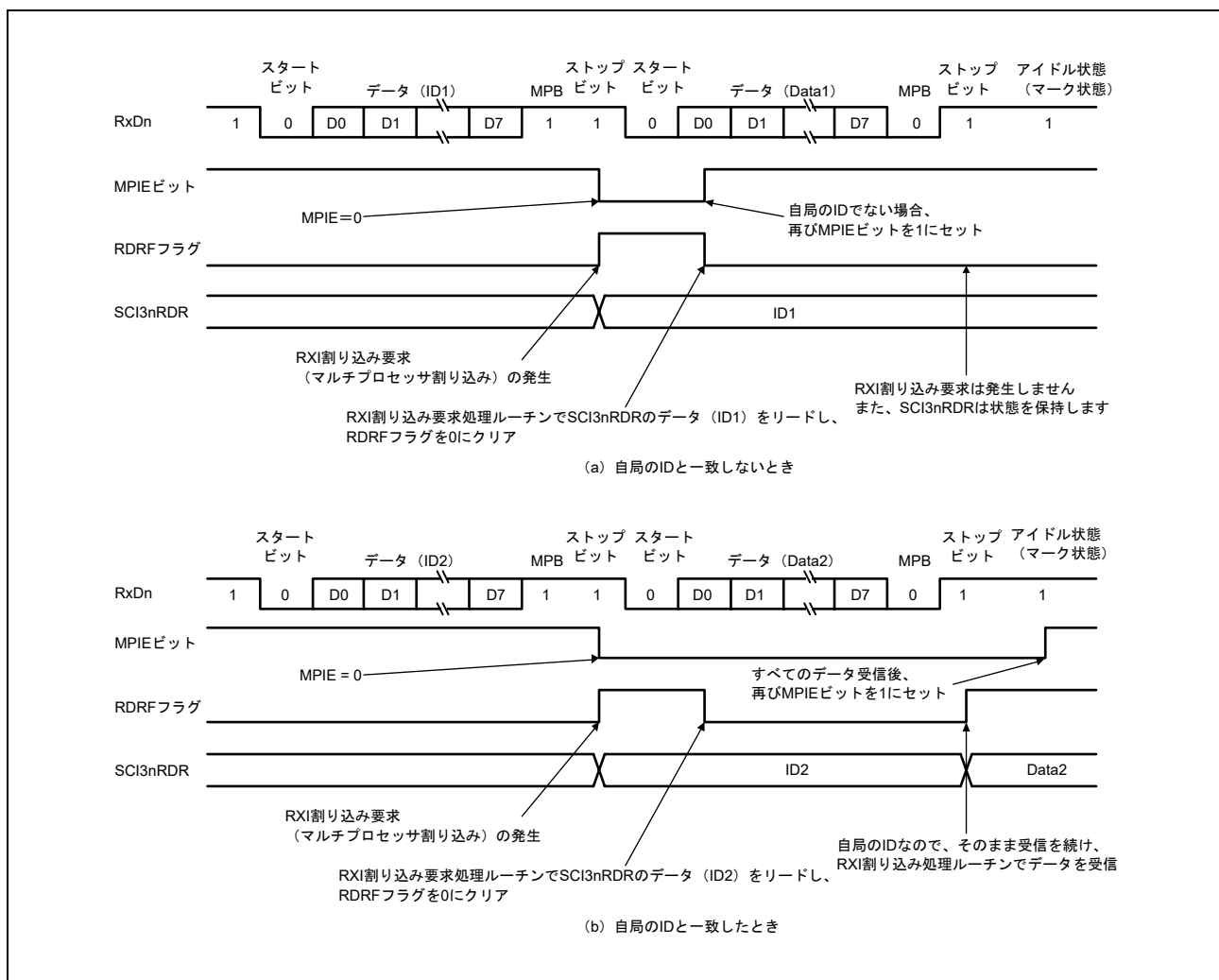


図 12.14 SCI3 の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

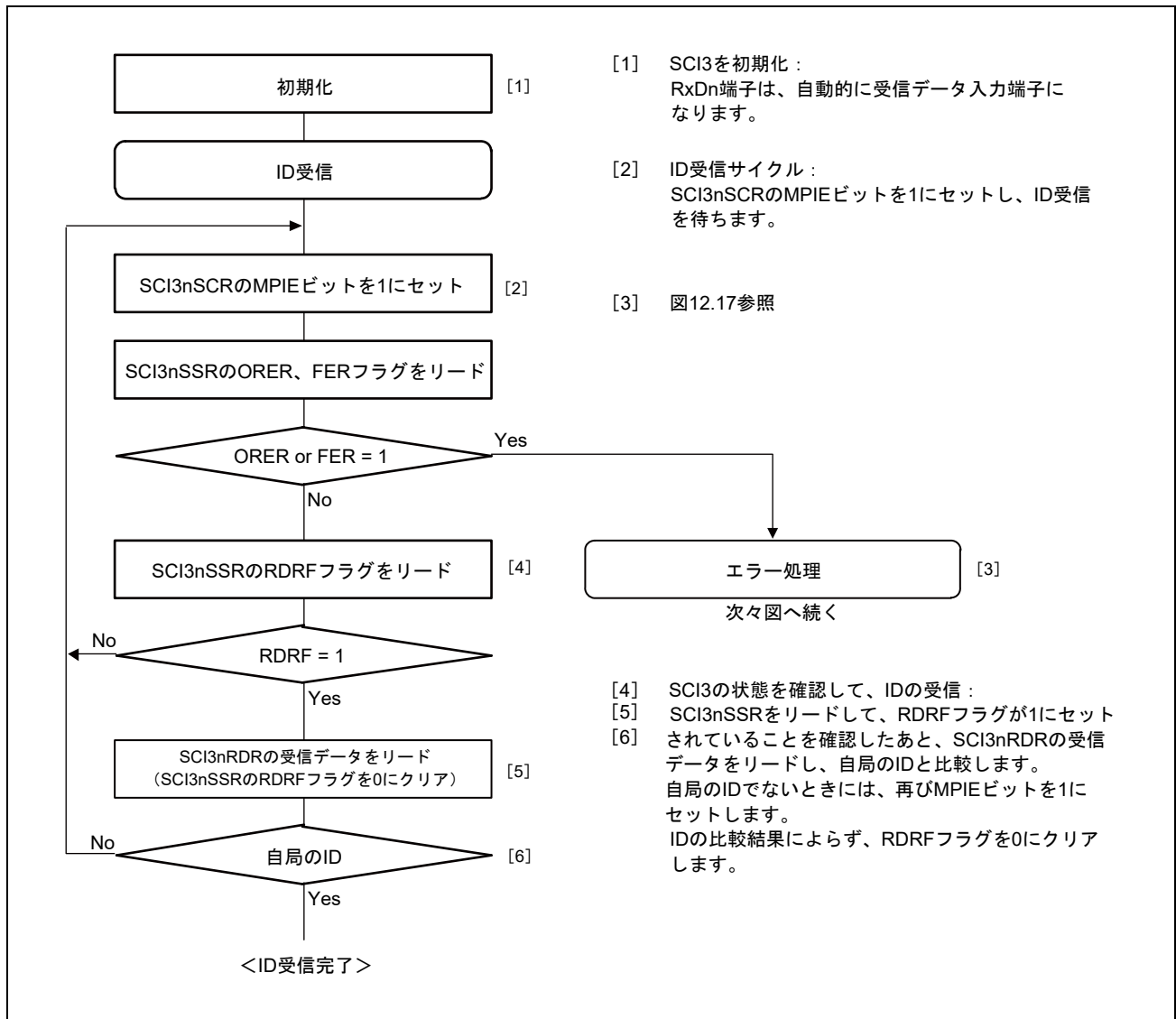


図 12.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

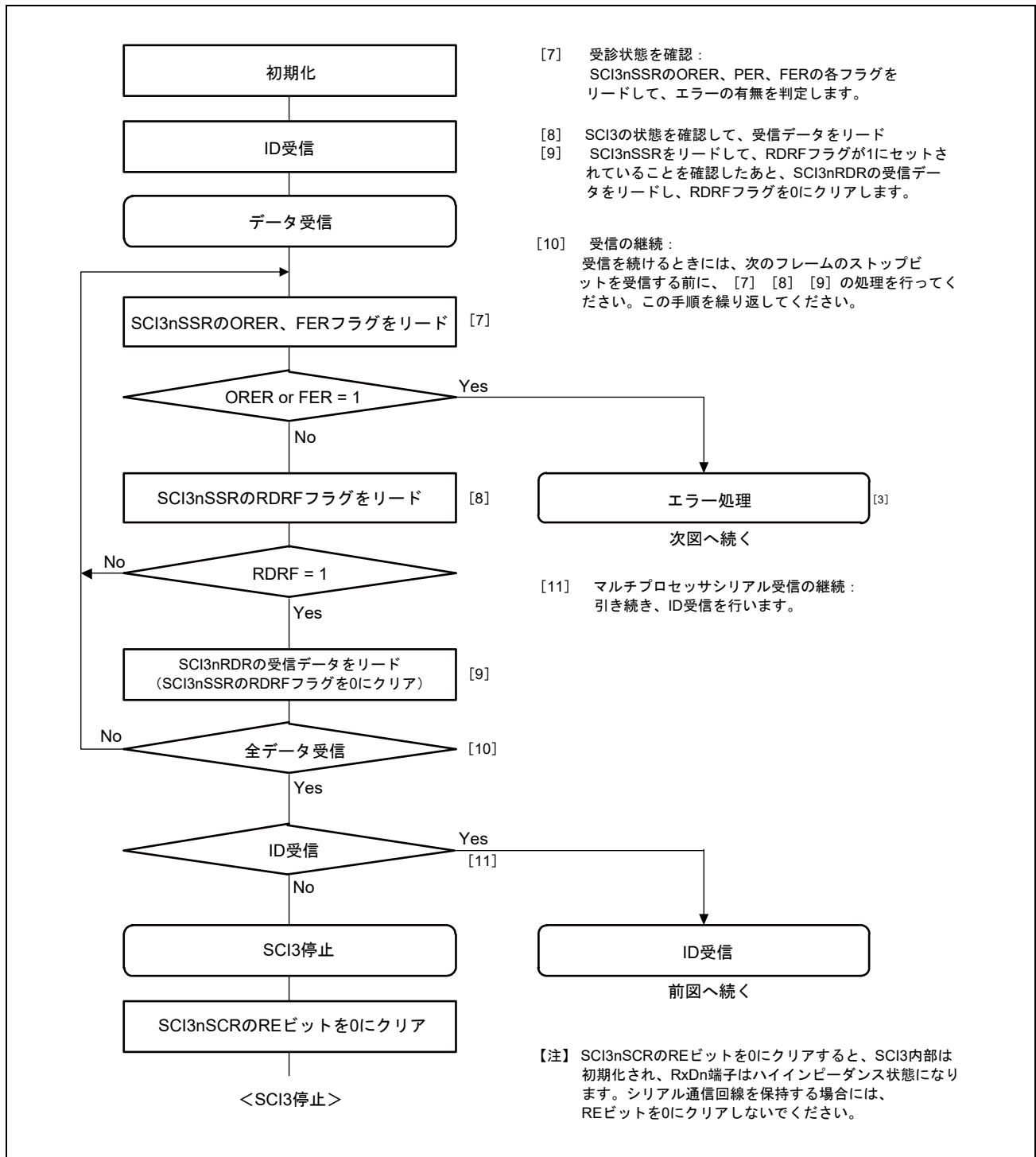


図 12.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

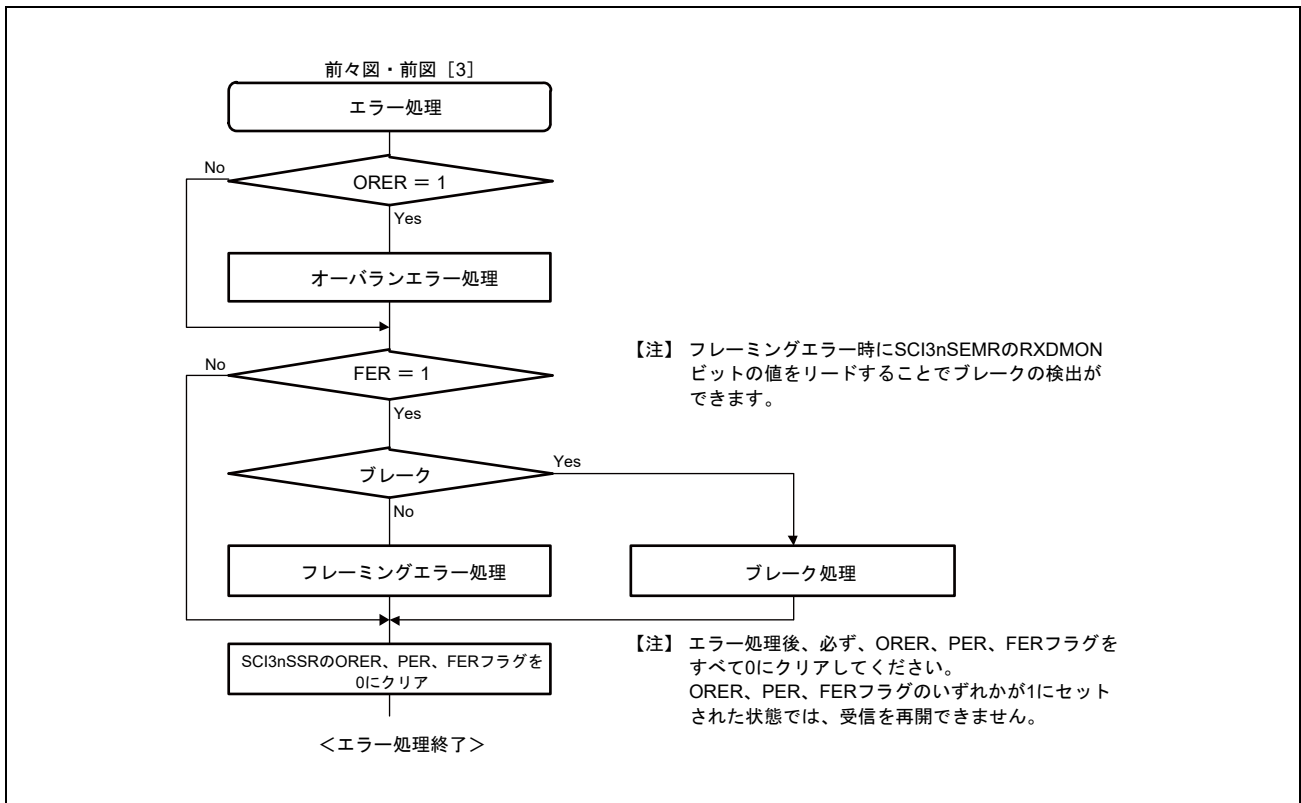


図 12.17 マルチプロセッサシリアル受信のフローチャートの例 (3)

12.4.3 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.18 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI3 は、同期クロック出力時のデータ送信においては、同期クロックの立ち下がりから次の立ち上がりまでデータを出力します。同期クロック入力時のデータ送信においては、転送開始最初のデータ（ビット 0）を SCI3nSSR.TDRE ビットを 0 にクリアした直後から出力し、その後は同期クロックの立ち上がりから PCLK クロックで 2~3 クロック後に次のビットのデータを出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

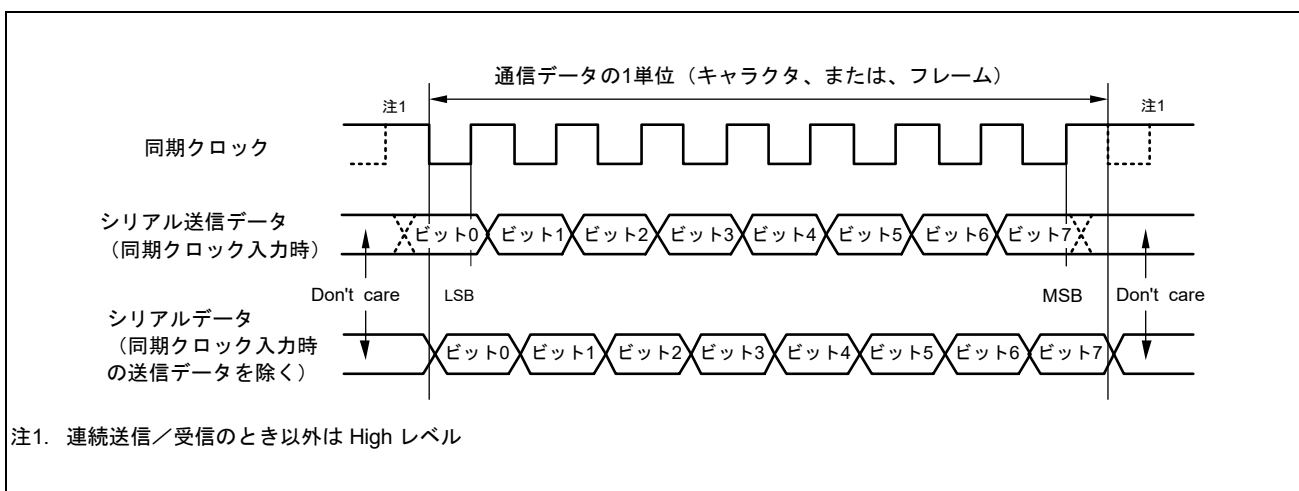


図 12.18 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

12.4.3.1 クロック

SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCKn 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

12.4.3.2 SCI3 の初期化（クロック同期式）

データの送受信前に、SCI3nSCR の TE、RE ビットをいずれも 0 にクリアしたあと、**図 12.19** のフローチャートの例にしたがって初期化してください。送信動作、受信動作、送受信動作を切り替えるときには、いったん、TE ビットと RE ビットを 0 にクリアしてから、TE ビット、RE ビットを所望の値に設定してください。通信フォーマットの変更の場合も必ず、TE ビットおよび RE ビットをいずれも 0 にクリアしてから変更を行ってください。TE ビットを 0 にクリアすると、TDRE フラグは 1 にセットされますが、RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および SCI3nRDR は初期化されませんので注意してください。

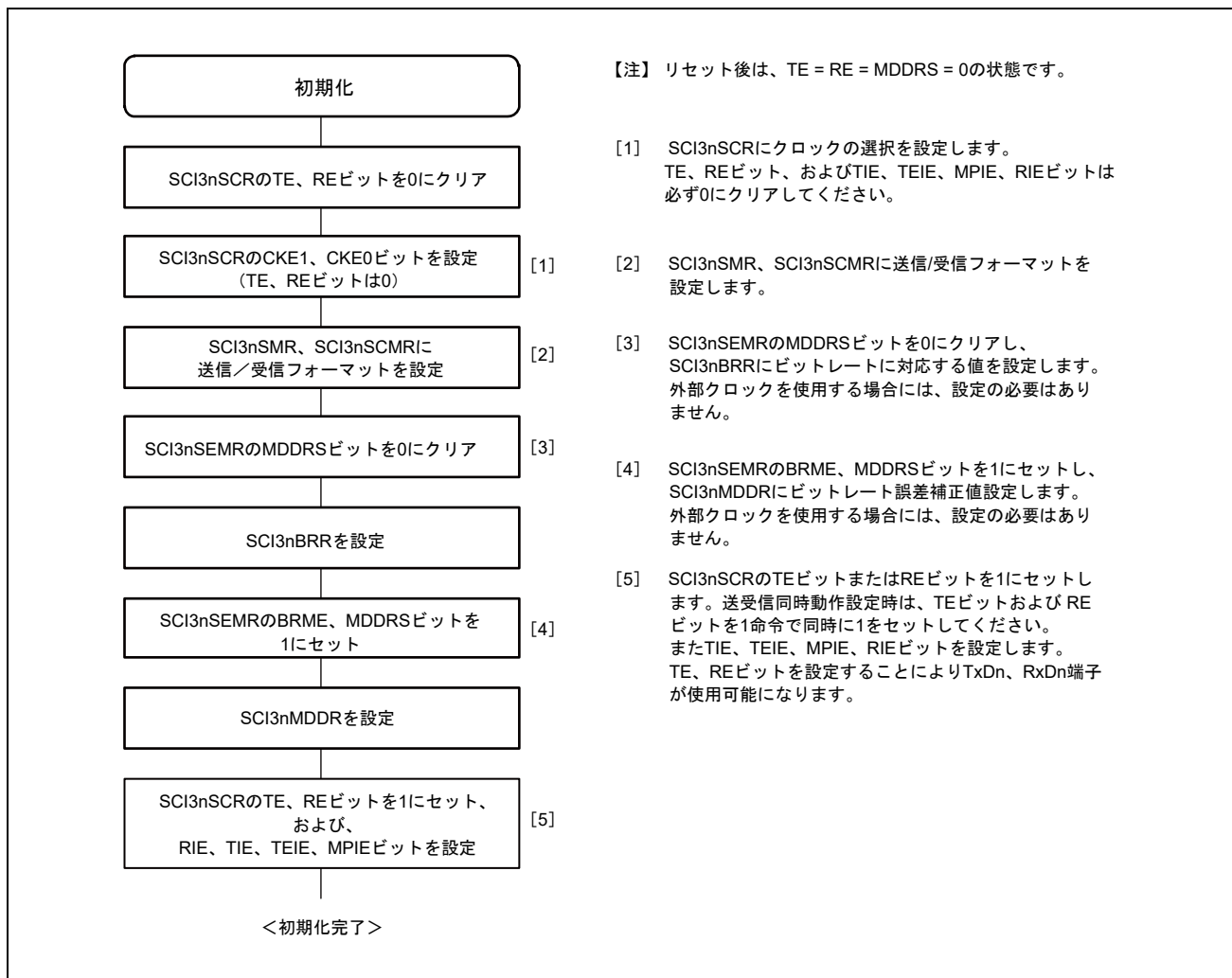


図 12.19 SCI3 の初期化フローチャートの例

12.4.3.3 シリアルデータ送信 (クロック同期式)

図 12.20 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると、TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送し、同期クロック入力時には最初のビットの出力を開始します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットしたあとに TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxDn 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR に転送し、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグに 1 をセットし、最終ビット出力状態を保持します。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。SCKn 端子は High レベルに固定されます。

図 12.21 にデータ送信のフローチャートの例を示します。また、図 12.22 に、データ送信後に SCI3 を停止するフローチャートの例を示します。受信エラーフラグ (ORER) が 1 にセットされた状態では TDRE フラグをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

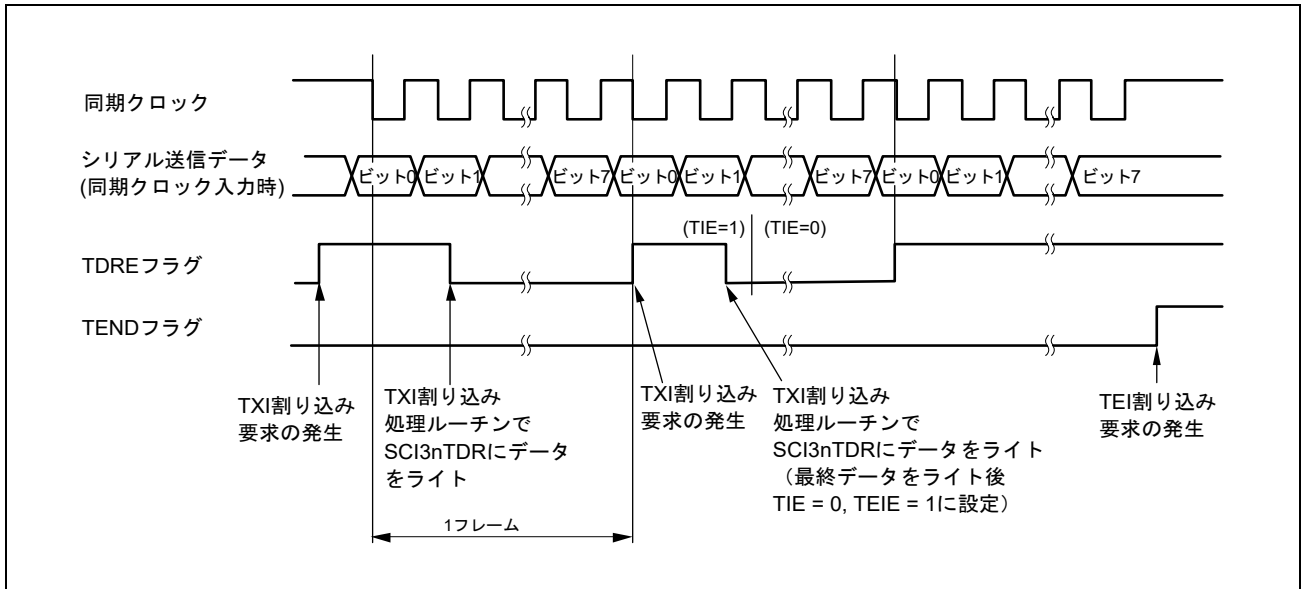


図 12.20 クロック同期式モードの送信時の動作例

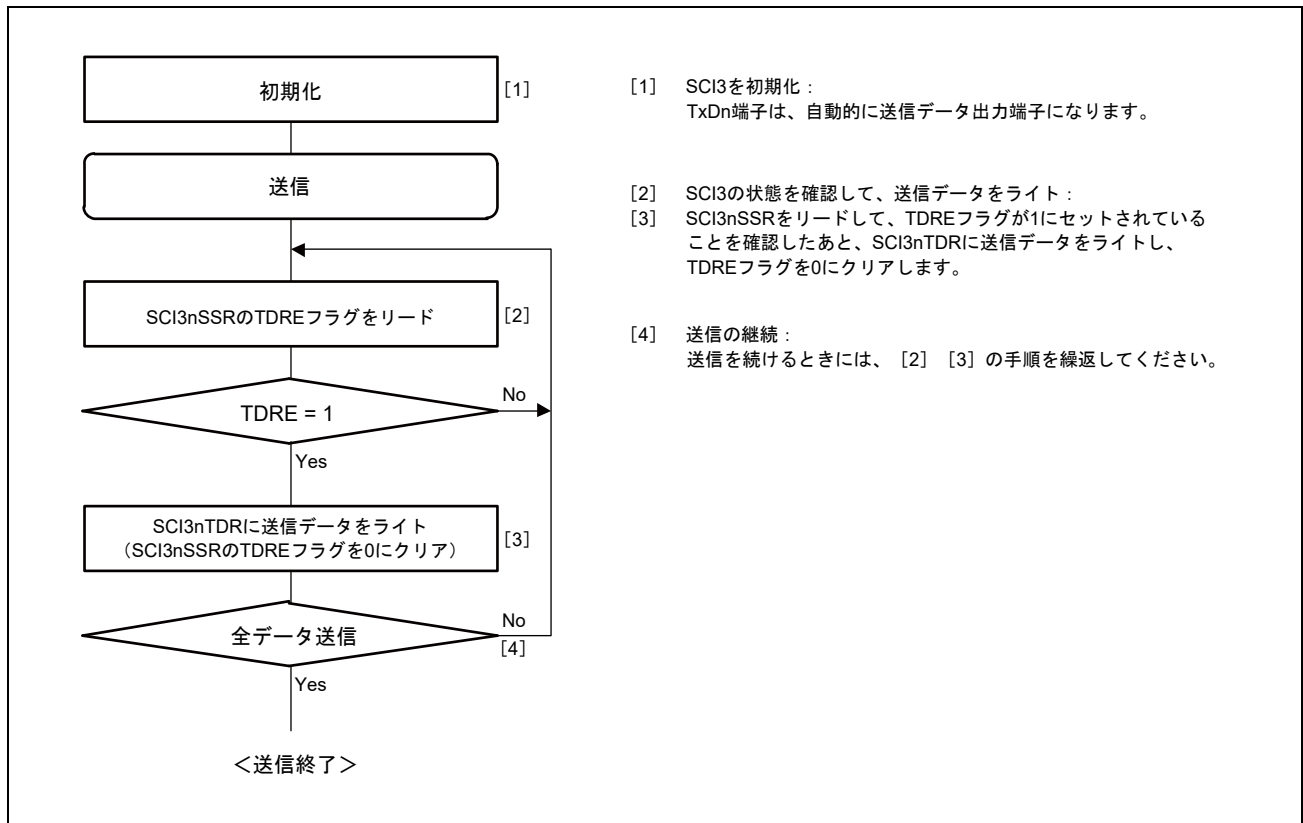


図 12.21 シリアル送信のフローチャートの例

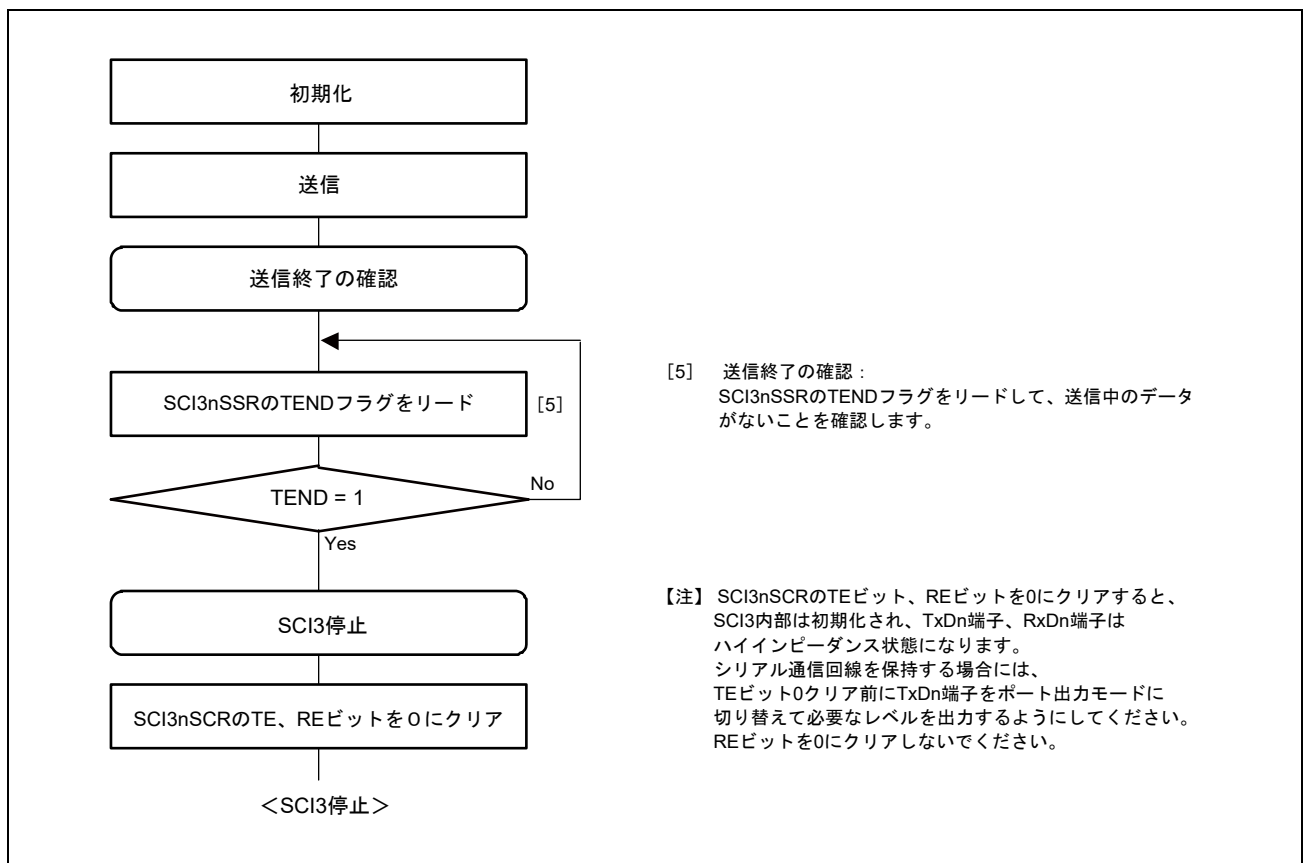


図 12.22 シリアル送信後に SCI3 を停止するフローチャートの例

12.4.3.4 シリアルデータ受信 (クロック同期式)

図 12.23 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. SCI3 は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを SCI3nRSR に取り込みます。
2. オーバランエラーが発生したとき (SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき) は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

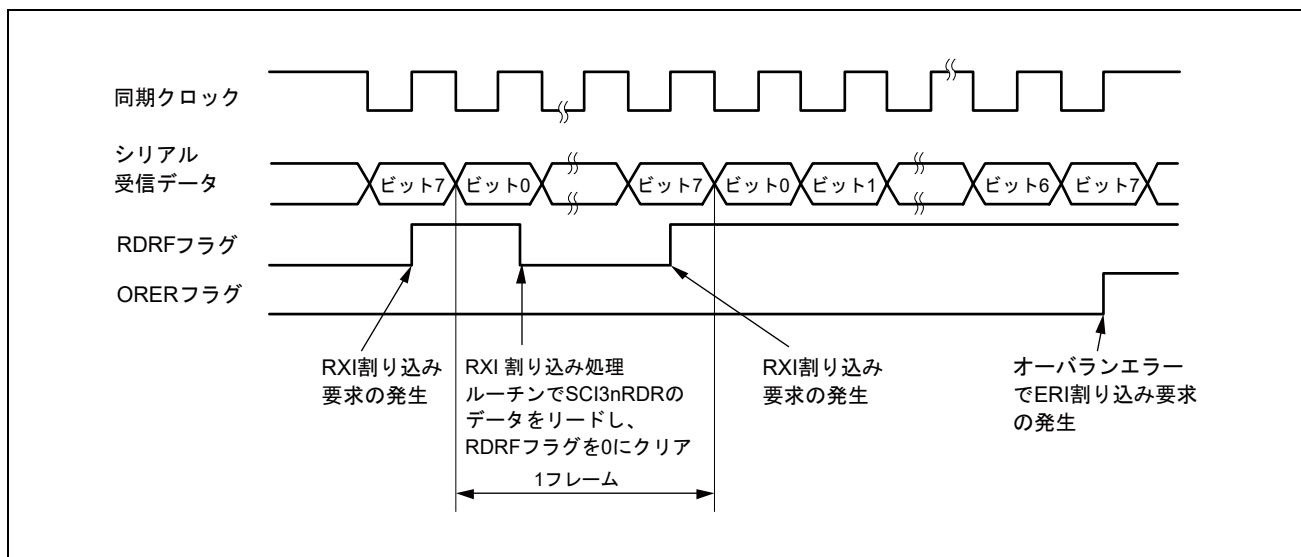


図 12.23 SCI3 の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。図 12.24 にデータ受信のためのフローチャートの例を示します。

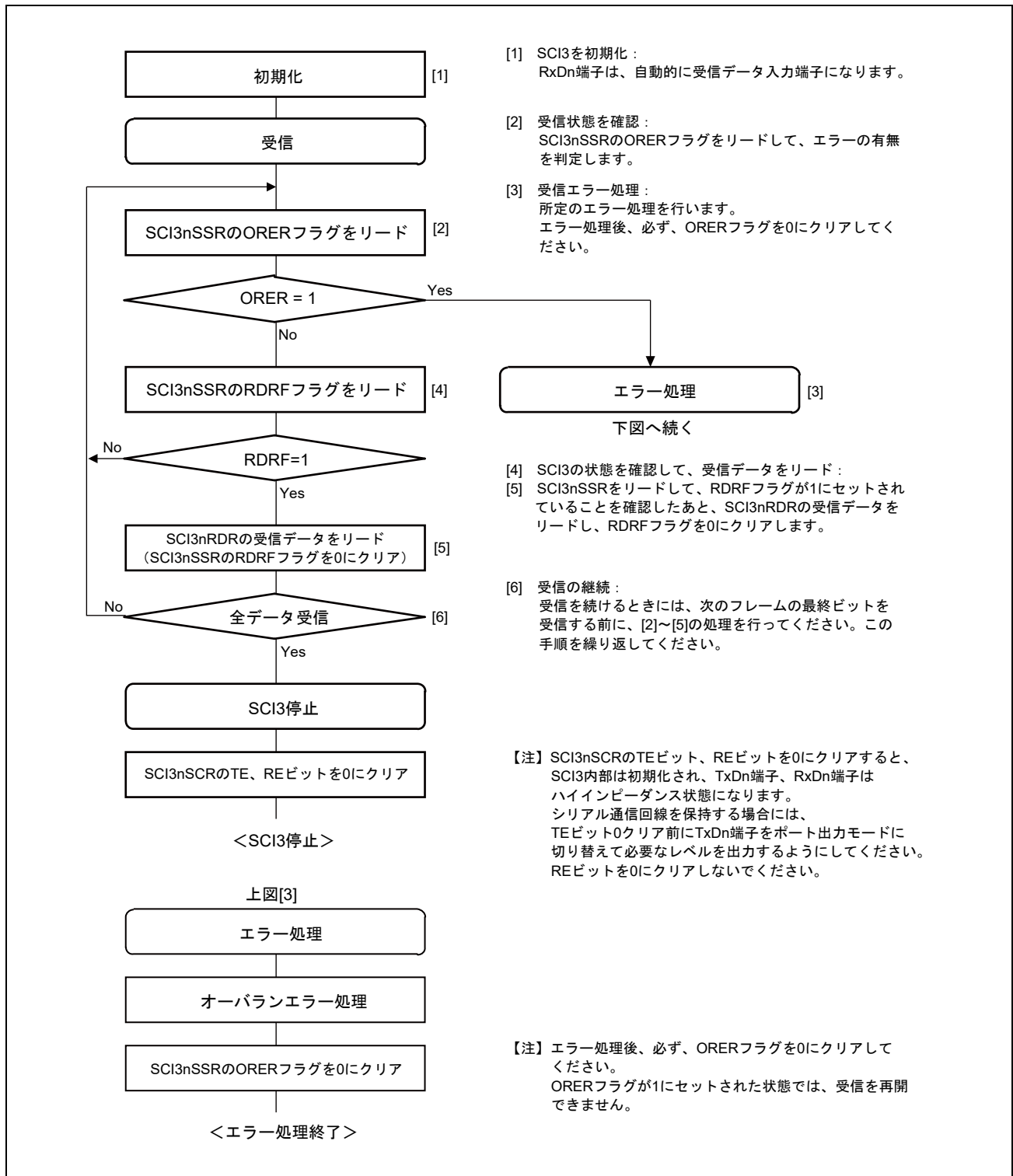


図 12.24 シリアル受信のフローチャートの例

12.4.3.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.25 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順にしたがって行ってください。

1. 送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE フラグおよび TEND フラグが 1 にセットされていることを確認したあと、TE ビットを 0 にクリアしてから TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。
2. 受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから RDRF フラグおよびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認したあと、TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。

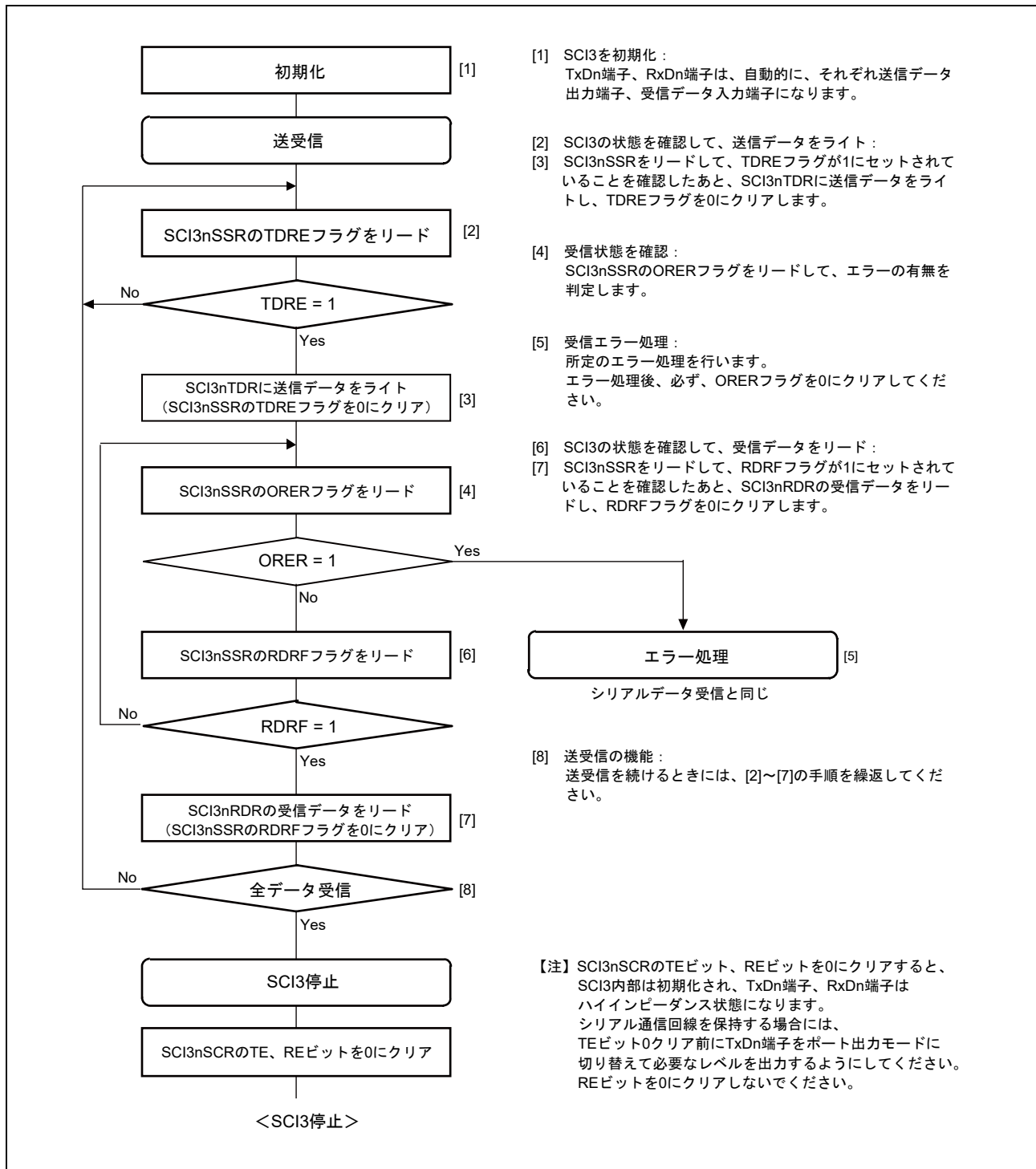


図 12.25 シリアル送受信同時動作のフローチャートの例

12.4.4 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCI3nSMR の CKS1、CKS0 ビットで指定された内部クロックを、その 256 クロック中で SCI3nMDDR で指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで CKS1、CKS0 ビットで PCLK クロックを選択し、SCI3nBRR = 0、SCI3nMDDR = 160 に設定した例を、**図 12.26** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されます。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意してください。

クロック同期式モードの最高速設定 (SCI3nSMR の CKS1 ビット = CKS0 ビット = 0、かつ SCI3nSCR の CKS1 ビット = 0、かつ SCI3nBRR = 0) では、本機能を使用しないでください。

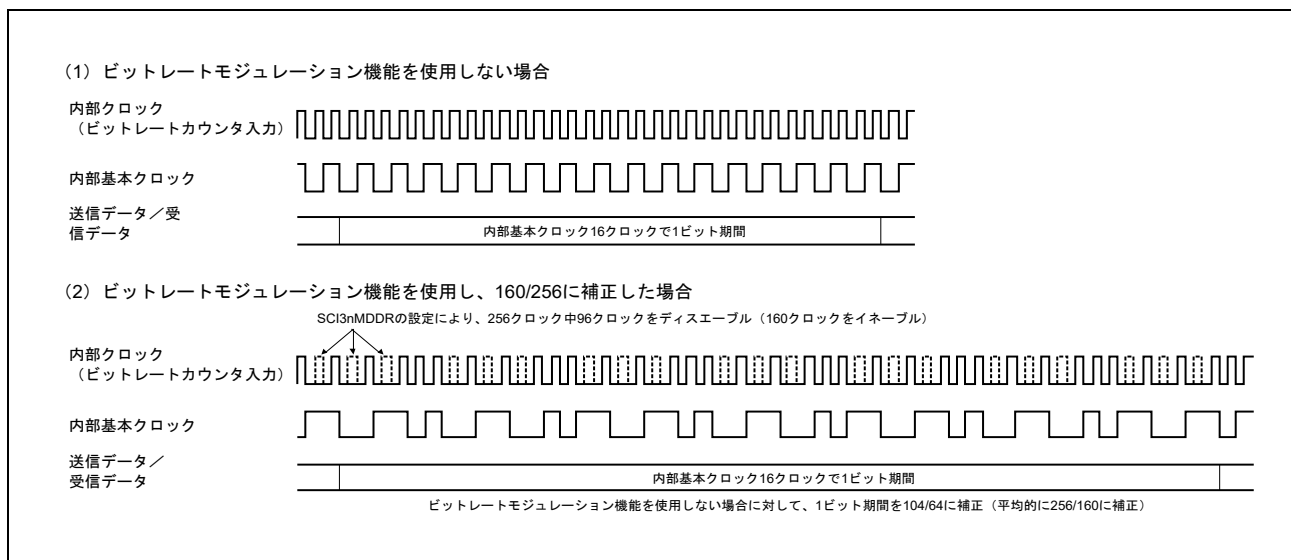


図 12.26 ビットレートモジュレーション機能使用時の内部基本クロックの例

12.4.5 割り込み要因

表 12.27 に割り込み要因を示します。各割り込み要因は独立した割り込み要求信号を出力しています。これらの割り込み要因は、SCI3nSCR のイネーブルビットにより独立にイネーブルにすることができます。

SCI3nSSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SCI3nSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

注 意

SCI3nSCR の TE ビットが 0 のときには、TDRE フラグと TEND フラグを 0 にクリアすることはできません。TEND フラグは TEI 割り込みのレベル割り込み要求フラグのため、TE ビットが 0 のときには、SCI3nSCR の TEIE ビットを 1 にセットしないでください。

SCI3nSSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SCI3nSSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込み要求は TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生しません。

注 意

TEI 割り込み要求と TXI 割り込み要求が同時に発生している状態では TXI 割り込み要求が先に受け付けられます。このとき、TXI 割り込み処理ルーチンで TDRE フラグを 0 にクリアすると、自動的に TEND フラグも 0 にクリアされ、TEI 割り込み処理ルーチンへ分岐できなくなりますので注意してください。

表 12.27 SCI3 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC/DTS の起動
ERI	受信エラー	ORER、FER、PER	不可
RXI	受信データフル	RDRF	可
TXI	送信データエンプティ	TDRE	可
TEI	送信終了	TEND	不可

12.5 注意事項

12.5.1 ブレークの検出と処理

フレーミングエラー検出時に、SCI3nSEMR の RXDMON ビットの値をリードすることでブレークを検出できます。ブレークでは RxDn 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI3nSCMR の ASTLS ビットが 1 のとき、SCI3 は、ブレークを受信したあとも受信動作を続けます。したがって、FER フラグを 0 にクリアしてもふたたび FER フラグが 1 にセットされますので注意してください。ブレーク終了後は、送信側と受信側のビットずれを回避するために、RxDn 端子入力を 1 フレーム期間以上 High レベルに保持してください。一方、SCI3nSCMR の ASTLS ビットが 0 のときは、FER フラグが 1 にセットされた後、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき FER フラグを 0 にクリアすれば、ブレーク中は FER フラグは 0 を保持します。RxDn 端子からの入力が 1 になりブレークが終了した後、最初の RxDn 端子入力の立下りでスタートビットの始まりを検出し、受信動作を開始します。

12.5.2 マーク状態とブレーク送出

TE ビットが 0 のとき（通信動作禁止時）、TxDn 端子を汎用出力ポートに切り替えることで、TxDn 端子から任意のレベルが出力可能です。これを利用して TxDn 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

12.5.3 クロック同期式モードの受信エラーフラグと送信動作

クロック同期式送受信同時動作時、受信エラーフラグ（ORER）が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.5.4 SCI3nTDR へのライトと TDRE フラグの関係

SCI3nSSR の TDRE フラグは SCI3nTDR から SCI3nTSR に送信データの転送が行われたことを示すステータスフラグです。SCI3 が SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCI3nTDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCI3nTDR にライトすると、SCI3nTDR に格納されていたデータは SCI3nTSR に転送されていないため失われてしまいます。したがって SCI3nTDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

12.5.5 クロック同期式モード送信での外部クロック使用の制約事項

同期クロックに外部クロックを使用する場合、TDRE フラグを 0 にクリアしたあとに送信クロックを入力してください（**図 12.27** 参照）。連続送信時においても、TDRE フラグを 0 にクリアしたあとに次のフレームの送信クロックを入力してください。

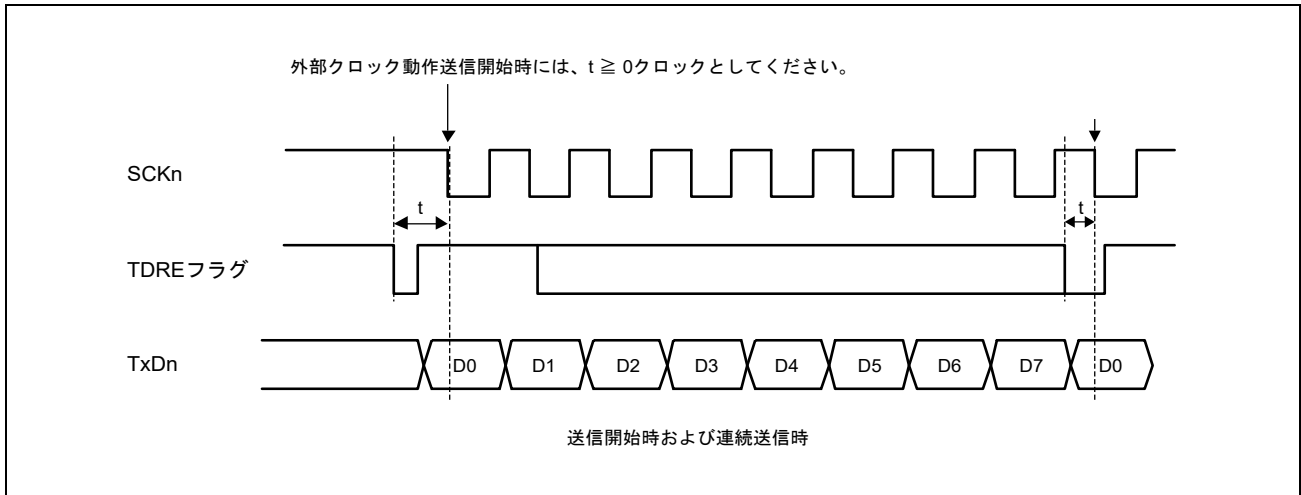


図 12.27 クロック同期式モード送信での外部クロック使用の制約事項

12.5.6 クロック同期式モードの外部クロック入力

クロック同期式モード時、外部クロック SCIInSCK 入力は、「**39.3.6 SCI/FLSCI タイミング**」を参照してください。

第13章 LIN/UART インタフェース (RLIN3)

本章では、LIN/UART インタフェース (RLIN3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、RLIN3 の機能、レジスタについて説明します。

13.1 RH850/C1M-A RLIN3 の特長

13.1.1 ユニット数とチャネル数

本製品は、以下に示すユニット数の RLIN3 を搭載しています。

RLIN3 1 ユニットは 1 チャネルのインタフェースを持っています。本章のユニット数とチャネル数は同義です。

表 13.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	3	3
名称	RLIN3n (n = 0~2)	RLIN3n (n = 0~2)

表 13.2 RLIN3 のユニット構成とチャネルの対応

ユニット名 (チャネル名) RLIN3n	ユニットチャネル数	RH850/C1M-A2	RH850/C1M-A1
RLIN30	1	○	○
RLIN31	1	○	○
RLIN32	1	○	○

備考 チャネル名はユニット名と同じです。

表 13.3 添字

添字	説明
n	本章では、RLIN3 の各ユニットを「n」 (n = 0~2) で識別します。たとえば、LIN 制御レジスタは RLIN3nLCUC と記述します。
b	RLIN3n の送信/受信用のデータバッファを「b」 (b = 1~8) で識別します。たとえばデータバッファレジスタは、RLIN3nLDBRb と記述します。

13.1.2 レジスタベースアドレス

RLIN3 のベースアドレスを以下の表に示します。

RLIN3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 13.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFCE 0000 _H
<RLIN31_base>	FF6E 1000 _H
<RLIN32_base>	FFCE 2000 _H

13.1.3 クロック供給

RLIN3 のクロック供給を以下の表に示します。

表 13.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RLIN3n	clk ^{注 1}	1/2 x CLKC_LSB (非変調低速周辺クロックの 2 分周)
	pclk	CLK_LSB (低速周辺クロック)

注 1. LIN 通信クロック源

13.1.4 割り込み要求

RLIN3 の割り込み要求を以下の表に示します。

表 13.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ 番号 ^{注 1}		DTS トリガ 番号 ^{注 1}	
			1st	2nd	1st	2nd
RLIN30						
INTRLIN3n (n = 0)	RLIN30 割り込み	277	—	—	—	—
INTRLIN3nUR0 (n = 0)	RLIN30 送信割り込み	278	—	121	—	121
INTRLIN3nUR1 (n = 0)	RLIN30 受信完了割り込み	279	—	120	—	120
INTRLIN3nUR2 (n = 0)	RLIN30 ステータス割り込み	280	—	—	—	—
RLIN31						
INTRLIN3n (n = 1)	RLIN31 割り込み	281	—	—	—	—
INTRLIN3nUR0 (n = 1)	RLIN31 送信割り込み	282	—	123	—	123
INTRLIN3nUR1 (n = 1)	RLIN31 受信完了割り込み	283	—	122	—	122
INTRLIN3nUR2 (n = 1)	RLIN31 ステータス割り込み	284	—	—	—	—
RLIN32						
INTRLIN3n (n = 2)	RLIN32 割り込み	285	—	—	—	—
INTRLIN3nUR0 (n = 2)	RLIN32 送信割り込み	286	—	125	—	125
INTRLIN3nUR1 (n = 2)	RLIN32 受信完了割り込み	287	—	124	—	124
INTRLIN3nUR2 (n = 2)	RLIN32 ステータス割り込み	288	—	—	—	—

— : 割り当てなし

注 1. 1st : Primary Channel 、2nd : Secondary Channel

13.1.5 リセット要因

RLIN3 のリセット要因を以下に示します。RLIN3 は以下のリセット要因で初期化されます。

表 13.7 リセット要因

ユニット名	リセット要因
RLIN3n	すべてのリセット要因

13.1.6 外部入出力信号

RLIN3 の外部入出力信号を以下の表に示します。

表 13.8 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n = 0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n = 0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n = 1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n = 1)	RLIN31 送信データ出力	RLIN31TX
RLIN32		
RLIN3nRX (n = 2)	RLIN32 受信データ入力	RLIN32RX
RLIN3nTX (n = 2)	RLIN32 送信データ出力	RLIN32TX

13.2 概要

13.2.1 機能概要

LIN/UART インタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602 に対応したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

また、UART モードを持っており、UART として使用することもできます。

LIN マスタ、LIN スレーブ、UART の用途に応じて、以下のモードを使用します。

LIN マスタ

- LIN リセットモード
- LIN モード (LIN マスタモード)
 - LIN ウェイクアップモード
 - LIN 動作モード
- LIN セルフテストモード

LIN スレーブ

- LIN リセットモード
- LIN モード (LIN スレーブモード [オートボーレート] または LIN スレーブモード [固定ボーレート])
 - LIN ウェイクアップモード
 - LIN 動作モード
- LIN セルフテストモード

UART

- LIN リセットモード
- UART モード

表 13.9 に LIN/UART インタフェースの仕様を示します。

表 13.9 LIN/UART インタフェースの仕様 (1/3)

項目		仕様		
	チャンネル数	3 チャンネル		
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602		
	フレーム構成可変	マスタ	<ul style="list-style-type: none"> 送信ブレイク幅：13~28 Tbit 送信ブレイクデリミタ幅：1~4 Tbit 送信インタバイトスペース幅（ヘッダ）：0~7 Tbit（Sync フィールドと ID フィールド間のスペース）^{注1} 送信レスポンススペース幅：0~7 Tbit^{注1} 送信インタバイトスペース幅：0~3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ幅：1~16 Tbit 	
		スレーブ	<ul style="list-style-type: none"> 受信ブレイク幅：9.5 または 10.5 Tbit [固定ボーレートの場合] ：10 または 11 Tbit [オートボーレートの場合] 送信レスポンススペース幅：0~7 Tbit 送信インタバイトスペース幅：0~3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウェイクアップ幅：1~16 Tbit 	
	チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） 		
	レスポンス フィールド データバイト数	0~8 バイト可変 9 バイト以上の多バイトレスポンス送受信にも対応		
	フレーム通信方法	マスタ	<ul style="list-style-type: none"> ヘッダ送信とレスポンス送信/受信を 1 つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード） 	
		スレーブ	<ul style="list-style-type: none"> 固定ボーレートで自動的にヘッダを受信するモード ブレイクフィールドとシンクフィールドを検出し、そのシンクフィールドの計測結果からボーレートの設定を行い、自動でヘッダを受信するモード 	
	ウェイクアップ 送受信	LIN ウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能（1~16 Tbit） ウェイクアップ受信入力信号ロウレベル幅カウント機能 		
	ステータス	マスタ	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 ヘッダ送信完了 フレーム/ウェイクアップ受信完了^{注2} データ 1 受信完了 エラー検出 動作モード （LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード） 	

表 13.9 LIN/UART インタフェースの仕様 (2/3)

項目		仕様	
LIN 通信機能	ステータス	スレーブ	<ul style="list-style-type: none"> レスポンス/ウェイクアップ送信完了 レスポンス/ウェイクアップ受信完了^{注2} ヘッダ受信完了 データ 1 受信完了 エラー検出 動作モード (LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード)
	エラーステータス	マスタ	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー/レスポンスタイムアウトエラー フィジカルバスエラー フレーミングエラー レスポンス準備エラー
		スレーブ	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー/レスポンスタイムアウトエラー シンクフィールドエラー ID パリティエラー フレーミングエラー レスポンス準備エラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
	割り込み機能	マスタ	<ul style="list-style-type: none"> ヘッダ/フレーム/ウェイクアップ送信完了 フレーム/ウェイクアップ受信完了^{注2} エラー検出
		スレーブ	<ul style="list-style-type: none"> レスポンス/ウェイクアップ送信完了 ヘッダ/レスポンス/ウェイクアップ受信完了^{注2} エラー検出
UART 通信機能	データバッファ	<ul style="list-style-type: none"> 送信データバッファ/ウェイト用送信データバッファ UART バッファ (送信専用。データ長 1~9 で可変。キャラクタ長 7、8 ビットに対応) 受信データバッファ (受信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応) 	
	データフォーマット	キャラクタ長：7、8 ビット拡張ビットにより、9 ビット対応可能	
		送信ストップビット：1、2 ビット	
		パリティ機能：奇数、偶数、0、なし	
		LSB/MSB ファースト転送選択可能	
ステータス	<ul style="list-style-type: none"> 送信ステータス 受信ステータス UART バッファ送信完了 エラー検出 拡張ビット検出 ID 一致 リセットモードステータス 		

表 13.9 LIN/UART インタフェースの仕様 (3/3)

項目	仕様
UART 通信機能	<ul style="list-style-type: none"> エラーステータス <ul style="list-style-type: none"> ビットエラー フレーミングエラー パリティエラー オーバランエラー
ボーレート選択	ボーレートジェネレータ内蔵により任意のボーレートを設定可能
	任意の拡張ビットが期待するレベルであった場合、受信データをあらかじめ設定したレジスタ内のデータと 8 ビット比較が可能
	受信のストップビットを保証 (送信開始時に受信のストップビット中の場合、送信開始をウェイト可能)
割り込み機能	<ul style="list-style-type: none"> 送信開始/完了 受信完了 ステータス/エラー検出

注 1. 同一レジスタで設定するため、インタバイトスペース (ヘッダ) = レスポンススペースとなります。

注 2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

13.2.2 ブロック図

図 13.1 に LIN/UART インタフェースのブロック図を示します。

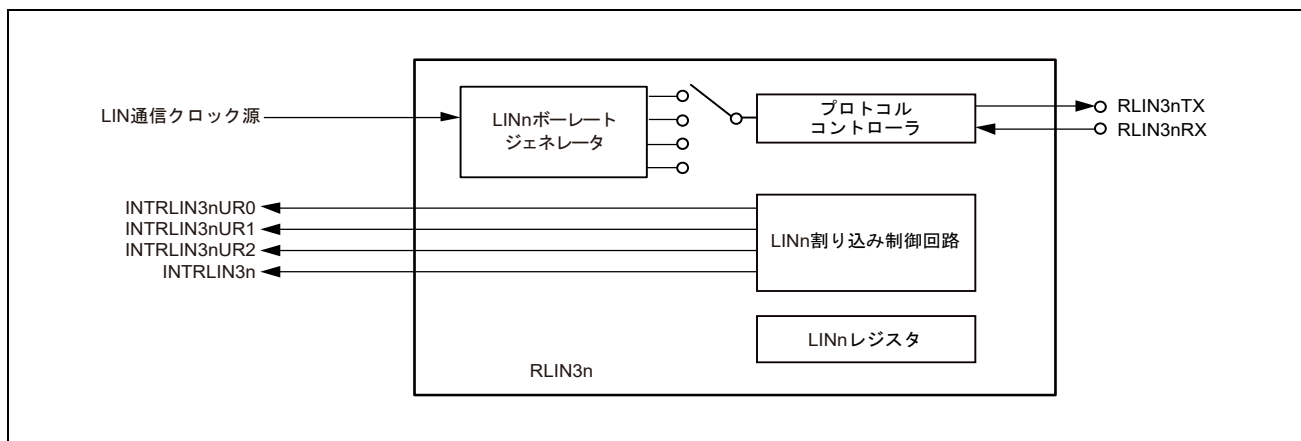


図 13.1 LIN/UART インタフェースブロック図

13.2.3 ブロック図の説明

- RLIN3nTX、RLIN3nRX : LIN/UART インタフェースの入出力端子です。
- LINn ボーレートジェネレータ : LIN/UART インタフェースの通信クロックを生成します。
- LINn レジスタ : LIN/UART インタフェースのレジスタです。
- LINn 割り込み制御回路 : LIN/UART インタフェースによって生成される割り込み要求を制御します。

13.3 レジスタ

13.3.1 レジスタ一覧

RLIN3 のレジスタ一覧を以下の表に示します。

<RLIN3n_base>は「**13.1.2 レジスタベースアドレス**」を参照してください。

表 13.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	LIN マスタ	LIN スレーブ	UART
RLN3n	LIN ウェイクアップポーレート選択レジスタ	RLN3nLWBR	<RLIN3n_base> + 01 _H	○	○	○
RLN3n	LIN/UART ポーレートプリスケラ 01 レジスタ	RLN3nLBRP01	<RLIN3n_base> + 02 _H	—	○	○
RLN3n	LIN/UART ポーレートプリスケラ 0 レジスタ	RLN3nLBRP0	<RLIN3n_base> + 02 _H	○	○	○
RLN3n	LIN/UART ポーレートプリスケラ 1 レジスタ	RLN3nLBRP1	<RLIN3n_base> + 03 _H	○	○	○
RLN3n	LIN セルフテスト制御レジスタ	RLN3nLSTC	<RLIN3n_base> + 04 _H	○	○	—
RLN3n	LIN/UART モードレジスタ	RLN3nLMD	<RLIN3n_base> + 08 _H	○	○	○
RLN3n	LIN ブレークフィールド設定レジスタ/ UART 設定レジスタ	RLN3nLBFC	<RLIN3n_base> + 09 _H	○	○	○
RLN3n	LIN/UART スペース設定レジスタ	RLN3nLSC	<RLIN3n_base> + 0A _H	○	○	○
RLN3n	LIN ウェイクアップ設定レジスタ	RLN3nLWUP	<RLIN3n_base> + 0B _H	○	○	—
RLN3n	LIN 割り込み許可レジスタ	RLN3nLIE	<RLIN3n_base> + 0C _H	○	○	—
RLN3n	LIN/UART エラー検出許可レジスタ	RLN3nLEDE	<RLIN3n_base> + 0D _H	○	○	○
RLN3n	LIN/UART 制御レジスタ	RLN3nLCUC	<RLIN3n_base> + 0E _H	○	○	○
RLN3n	LIN/UART 送信制御レジスタ	RLN3nLTRC	<RLIN3n_base> + 10 _H	○	○	○
RLN3n	LIN/UART モードステータスレジスタ	RLN3nLMST	<RLIN3n_base> + 11 _H	○	○	○
RLN3n	LIN/UART ステータスレジスタ	RLN3nLST	<RLIN3n_base> + 12 _H	○	○	○
RLN3n	LIN/UART エラーステータスレジスタ	RLN3nLEST	<RLIN3n_base> + 13 _H	○	○	○
RLN3n	LIN/UART データフィールド設定レジスタ	RLN3nLDFC	<RLIN3n_base> + 14 _H	○	○	○
RLN3n	LIN/UART ID バッファレジスタ	RLN3nLIDB	<RLIN3n_base> + 15 _H	○	○	○
RLN3n	LIN チェックサムバッファレジスタ	RLN3nLCBR	<RLIN3n_base> + 16 _H	○	○	—
RLN3n	UART データバッファ 0 レジスタ	RLN3nLUDB0	<RLIN3n_base> + 17 _H	—	—	○
RLN3n	LIN/UART データバッファ 1 レジスタ	RLN3nLDBR1	<RLIN3n_base> + 18 _H	○	○	○
RLN3n	LIN/UART データバッファ 2 レジスタ	RLN3nLDBR2	<RLIN3n_base> + 19 _H	○	○	○
RLN3n	LIN/UART データバッファ 3 レジスタ	RLN3nLDBR3	<RLIN3n_base> + 1A _H	○	○	○
RLN3n	LIN/UART データバッファ 4 レジスタ	RLN3nLDBR4	<RLIN3n_base> + 1B _H	○	○	○
RLN3n	LIN/UART データバッファ 5 レジスタ	RLN3nLDBR5	<RLIN3n_base> + 1C _H	○	○	○
RLN3n	LIN/UART データバッファ 6 レジスタ	RLN3nLDBR6	<RLIN3n_base> + 1D _H	○	○	○
RLN3n	LIN/UART データバッファ 7 レジスタ	RLN3nLDBR7	<RLIN3n_base> + 1E _H	○	○	○
RLN3n	LIN/UART データバッファ 8 レジスタ	RLN3nLDBR8	<RLIN3n_base> + 1F _H	○	○	○
RLN3n	UART オペレーション許可レジスタ	RLN3nLUOER	<RLIN3n_base> + 20 _H	—	—	○
RLN3n	UART オプションレジスタ 1	RLN3nLUOR1	<RLIN3n_base> + 21 _H	—	—	○
RLN3n	UART 送信データレジスタ	RLN3nLUTDR	<RLIN3n_base> + 24 _H	—	—	○
RLN3n	UART 送信データレジスタ L	RLN3nLUTDRL	<RLIN3n_base> + 24 _H	—	—	○
RLN3n	UART 送信データレジスタ H	RLN3nLUTDRH	<RLIN3n_base> + 25 _H	—	—	○
RLN3n	UART 受信データレジスタ	RLN3nLURDR	<RLIN3n_base> + 26 _H	—	—	○
RLN3n	UART 受信データレジスタ L	RLN3nLURDRL	<RLIN3n_base> + 26 _H	—	—	○
RLN3n	UART 受信データレジスタ H	RLN3nLURDRH	<RLIN3n_base> + 27 _H	—	—	○
RLN3n	UART ウェイト用送信データレジスタ	RLN3nLUWTDRL	<RLIN3n_base> + 28 _H	—	—	○
RLN3n	UART ウェイト用送信データレジスタ L	RLN3nLUWTDRL	<RLIN3n_base> + 28 _H	—	—	○
RLN3n	UART ウェイト用送信データレジスタ H	RLN3nLUWTDRLH	<RLIN3n_base> + 29 _H	—	—	○

備考 ○：使用、—：未使用

未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

13.3.2 LIN マスタ関連レジスタ

13.3.2.1 RLN3nLWBR — LIN ウェイクアップポーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.11 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7~4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 1111: 16 サンプリング 上記以外は設定しないでください。
3~1	LPRS[2:0]	プリスケラクロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	LWBR0	ウェイクアップポーレート選択ビット 0: LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定どおりのクロックが使用される (LIN1.3 使用時) 1: LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定によらずクロック fa が使用される (LIN2.x 使用時)

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

NSPB ビット (ビットサンプリング数選択ビット)

1 Tbit (ポーレートの逆数) のサンプリング数を選択するビットです。

LIN マスタモード (LIN モードレジスタの LIN/UART モード選択ビットが 00_B) で使用するときは、これらのビットを “0000_B” または “1111_B” (16 サンプリング) に設定してください。

LPRS ビット (プリスケラクロック選択ビット)

プリスケラの分周比を選択するビットです。

このプリスケラにより LIN 通信クロック源を分周します。

LWBR0 ビット (ウェイクアップポーレート選択ビット)

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.x 使用時は“1”にしてください。

“1”にすることで LIN ウェイクアップモード中は RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。入力信号ロウレベル幅を 2.5 Tbit 以上で計測することができます。

fa 選択時のポーレートを 19200 bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130 μ s 以上の入力信号ロウレベル幅を検出することができます。

13.3.2.2 RLN3nLBRP0 — LIN ポーレートプリスケアラ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 02_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.12 RLN3nLBRP0 レジスタの内容

ビット位置	ビット名	機能
7~0	LBRP0[7:0]	設定値を N (0~255) とすると、ポーレートプリスケアラはプリスケアラクロックのクロックを N + 1 分周する 設定範囲 : 00 _H ~FF _H

RLN3nLBRP0 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ポーレートクロックソース“fa”、“fb”、“fc”の周波数制御に使用されません。

このレジスタの設定値を N とすると、ポーレートプリスケアラ 0 は LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを N + 1 分周します。

13.3.2.3 RLN3nLBRP1 — LIN ボーレートプリスケアラ 1 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 03_H

リセット後の値 00_H

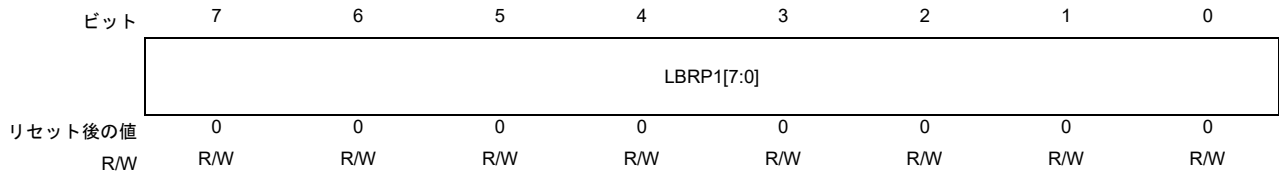


表 13.13 RLN3nLBRP1 レジスタの内容

ビット位置	ビット名	機能
7~0	LBRP1[7:0]	設定値を M (0~255) とすると、ボーレートプリスケアラはプリスケアラクロックのクロックを M + 1 分周する 設定範囲 : 00 _H ~FF _H

RLN3nLBRP1 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケアラ 1 は LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを M + 1 分周します。

13.3.2.4 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

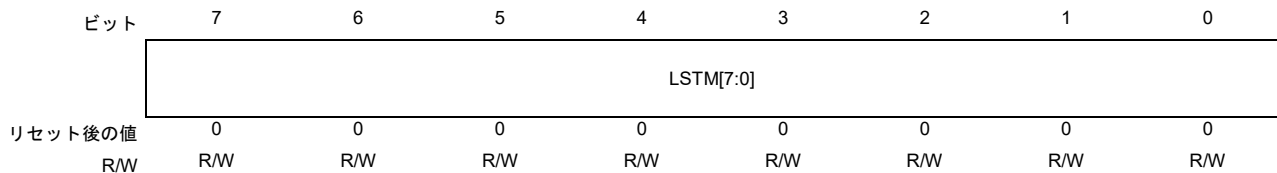


表 13.14 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7~0	LSTM[7:0]	LIN セルフテストモードビット 00 _H : LIN セルフテストモードではない 01 _H : LIN セルフテストモード “A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリします。

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

“A7_H” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「13.9 LIN セルフテストモード」を参照してください。

ビット 6~1 を読み出すと “00000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット (LIN セルフテストモードビット)

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、「13.9 LIN セルフテストモード」を参照してください。

RLN3nLSTC レジスタへの “A7_H” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

13.3.2.5 RLN3nLMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 13.15 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0 : RLIN3n 割り込みを使用 1 : RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0 : fa (ボーレートプリスケアラ 0 生成クロック) 0 1 : fb (ボーレートプリスケアラ 0 生成クロック / 2) 1 0 : fc (ボーレートプリスケアラ 0 生成クロック / 8) 1 1 : fd (ボーレートプリスケアラ 1 生成クロック / 2)
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 0 : LIN マスタモード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (LIN 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0” の場合、データ受信時のノイズフィルタは有効です。

“1” の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット (LIN 割り込み出力選択ビット)

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0” の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。

“1” の場合、LIN/UART インタフェースから RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。

各割り込みの要因は、「13.4 割り込み要因」を参照してください。

LCKS[1:0]ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B” の場合、プロトコルコントローラには fa (ボーレートプリスケアラ 0 生成クロック) が入力されま

す。

“01_B” の場合、プロトコルコントローラには fb (ボーレートプリスケアラ 0 生成クロック/2) が入力され

ます。

“10_B” の場合、プロトコルコントローラには fc (ボーレートプリスケアラ 0 生成クロック/8) が入力され

ます。

“11_B” の場合、プロトコルコントローラには fd (ボーレートプリスケアラ 1 生成クロック/2) が入力され

ます。

RLN3nLWBR レジスタの LWBR0 ビットが “1_B” (LIN2.x) かつ RLN3nLMST レジスタが “01_H” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

LMD[1:0]ビット (LIN/UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

LIN マスタとして使用する場合は、これらのビットを “00_B” に設定してください。

13.3.2.6 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 13.16 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits
3～0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0]ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレームヘッダ部のブレークデリミタ（ハイレベル）幅の設定をします。

1 Tbit ～ 4 Tbits を設定できます。

BLT[3:0]ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレームヘッダ部のブレーク（ロウレベル）幅の設定をします。

13 Tbits ～ 28 Tbits を設定できます。

13.3.2.7 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 13.17 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2~0	IBHS[2:0]	インタバイトスペース (ヘッダ) / レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0]ビット (インタバイトスペース設定ビット)

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0]ビット (インタバイトスペース (ヘッダ) / レスポンススペース設定ビット)

送信フレームヘッダ部のインタバイトスペース (ヘッダ) とレスポンススペースの幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。インタバイトスペース (ヘッダ) とレスポンススペースの値は、同じになります。

13.3.2.8 RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0B_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 13.18 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7~4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0000 : 1 Tbit 0001 : 2 Tbits 0010 : 3 Tbits 0011 : 4 Tbits : 1100 : 13 Tbits 1101 : 14 Tbits 1110 : 15 Tbits 1111 : 16 Tbits
3~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

WUTL[3:0]ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップシグナル送信時のロウレベル幅を設定します。
1 Tbit ~ 16 Tbits を設定できます。

RLN3nLWBR レジスタの LWBR0 ビットが “1” (LIN2.x) の場合、RLN3nLMD レジスタの LCKS ビットにかかわらず、LIN システムクロック (f_{LIN}) は fa が選択されます (LCKS ビットは変化しません)。

13.3.2.9 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 13.19 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ送信完了割り込み要求許可ビット 0: ヘッダ送信完了割り込み要求禁止 1: ヘッダ送信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0: エラー検出割り込み要求禁止 1: エラー検出割り込み要求許可
1	FRCIE	フレーム/ウェイクアップ受信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ受信完了割り込み要求禁止 1: フレーム/ウェイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム/ウェイクアップ送信完了割り込み要求許可ビット 0: フレーム/ウェイクアップ送信完了割り込み要求禁止 1: フレーム/ウェイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

SHIE ビット (ヘッダ送信完了割り込み要求許可ビット)

ヘッダ送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

ERRIE ビット (エラー検出割り込み要求許可ビット)

エラーを検出したときの割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。

ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み要求許可ビット)

フレーム受信完了、またはウェイクアップシグナル受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み要求許可ビット)

フレーム送信完了、またはウェイクアップシグナル送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

13.3.2.10 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
RW	R/W	R	R	R	R/W	R/W	R/W	R/W

表 13.20 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0: フレームタイムアウトエラー 1: レスポンスタイムアウトエラー
6~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット ^{注 1} 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	FTERE	タイムアウトエラー検出許可ビット 0: フレーム/レスポンスタイムアウトエラー検出禁止 1: フレーム/レスポンスタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット ^{注 1} 0: ビットエラー検出禁止 1: ビットエラー検出許可

注 1. FERE ビットと BERE ビットは“1”にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LTES ビット (タイムアウトエラー選択ビット)

タイムアウトを選択するビットです。

“0”の場合、タイムアウト機能はフレームタイムアウトとして動作します。

“1”の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「13.7.7 エラーステータス」を参照してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

このビットを“1”にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「13.7.7 エラーステータス」を参照してください。

FTERE ビット (タイムアウトエラー検出許可ビット)

フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出の許可/禁止を設定します。

“0” の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出しません。

“1” の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FTER フラグに反映されます。

LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、レスポンスを 9 バイト以上で送信または受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0” の場合、フィジカルバスエラーを検出しません。

“1” の場合、フィジカルバスエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの PBER フラグに反映されます。

フィジカルバスエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットを “1” にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

13.3.2.11 RLN3nLCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 13.21 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効になります。

このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

13.3.2.12 RLN3nLTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 13.22 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
1	RTS	レスポンス送信/受信開始ビット 0: フレームセパレートモードにおいてレスポンス送受信停止 1: フレームセパレートモードにおいてレスポンス送受信開始
0	FTS	フレーム送信/ウェイクアップ送受信開始ビット 0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始

RTS ビット (レスポンス送信/受信開始ビット)

フレームセパレートモードで、ヘッダを送信開始 (FTS ビットが “1”) し、レスポンス送信データ準備完了した後に、“1” にしてください。設定後、このビットはフレーム通信終了 (エラー検出時を含む) および LIN リセットモード移行時、自動的に “0” になります。

このビットは “1” のみ書けます。“0” は書けません。

このビットに “1” を書く場合は、ストア命令で “02_H” を書き込んでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ (0~8 バイトで可変) の送受信ごとに “1” に設定してください。設定後、データグループの通信終了時または LIN リセットモード移行時に自動的に “0” になります。

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム送受信開始時、“1” にしてください。

また、ウェイクアップ送信、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行う場合にも、このビットを “1” にしてください。

このビットは “1” のみ書けます。“0” は書けません。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときは書けません。

このビットは、フレームおよびウェイクアップの通信終了時 (エラー検出時を含む) に “0” になります。

LIN リセットモード移行時に “0” になります。

13.3.2.13 RLIN3nLMST — LIN モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 13.23 RLIN3nLMST レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

13.3.2.14 RLN3nLST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 13.24 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0: 送信未完了 1: ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
4、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム/ウェイクアップ受信完了フラグ 0: 受信未完了 1: フレームまたはウェイクアップ受信完了
0	FTC	フレーム/ウェイクアップ送信完了フラグ 0: 送信未完了 1: フレームまたはウェイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時および次の通信開始 (RLN3nLTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ (ヘッダ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1”となります。このとき RLN3nLIE レジスタの SHIE ビットが“1” (割り込み許可) の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0~8 バイトで可変) ごとでデータ 1 受信完了時、“1”となります。次のデータグループ受信開始前に “0” を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出 (RLN3nLEST レジスタのフラグのうち 1 つでも “1”) 時、“1”となります。このとき RLN3nLIE レジスタの ERRIE ビットが “1” (割り込み許可) の場合、RLIN3n ステータス割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書いてください。ERR フラグが “0” となります。

FRC フラグ (フレーム/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN3nLIE レジスタの FRCIE ビットが “1” (割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で “0” を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0~8 バイトで可変) の受信完了ごとに “1” となります。次のデータグループ受信開始前に “0” を書いてください。

FTC フラグ (フレーム/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN3nLIE レジスタの FTCIE ビットが “1” (割り込み許可) の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で “0” を書いてください。
9 バイト以上のレスポンスデータ送信を行う場合は、データグループ (0~8 バイトで可変) の送信完了ごとに “1” となります。次のデータグループ送信開始前に “0” を書いてください。

13.3.2.15 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
RW	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 13.25 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0: レスポンス準備エラー未検出 1: レスポンス準備エラー検出
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	FTER	タイムアウトエラーフラグ 0: フレーム/レスポンスタイムアウトエラー未検出 1: フレーム/レスポンスタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、および次の通信開始 (RLN3nLTRC レジスタの FTS ビットが “1”) 時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

RLN3nLTRC レジスタの FTS ビットが “1” (フレーム送信/ウェイクアップ送受信開始) の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

RPER フラグ (レスポンス準備エラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス準備エラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが “1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FTER フラグ (タイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FTERE ビットが “1” (フレーム/レスポンスタイムアウトエラー検出許可) で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの PBERE ビットが “1” (フィジカルバスエラー検出許可) で、フィジカルバスエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で “0” を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが “1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で “0” を書いてください。

13.3.2.16 RLN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.26 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0: 次に送受信するデータグループは最終である。 1: 次に送受信するデータグループは最終ではない。(チェックサムなし)
6	FSM	フレームセパレートモード選択ビット 0: フレームセパレートモードではない 1: フレームセパレートモード
5	CSM	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0: 受信 1: 送信
3~0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0バイト (+ チェックサム) 0001: 1バイト (+ チェックサム) 0010: 2バイト (+ チェックサム) : 0111: 7バイト (+ チェックサム) 1000: 8バイト (+ チェックサム) 上記以外は設定しないでください。

LSS ビット (継続選択ビット)

9バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0”の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

“1”の場合、次に送信または受信するデータグループが最後でないため、データのみの送信または受信を行ない、チェックサムは含みません。

このビットは、FSMビットが“1”(フレームセパレートモード)で、かつ9バイト以上のレスポンスデータ送受信を行う場合にのみ設定してください。

このビットは、RLN3nLTRCレジスタのRTSビットが“0”(レスポンス送受信停止)のときに設定してください。

FSM ビット (フレームセパレートモード選択ビット)

レスポンス通信の方式を設定します。

“0” の場合、フレームセパレートモードになりません。ヘッダ送信開始 (RLN3nLTRC レジスタの FTS ビットが “1”) 後、RLN3nLTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1” の場合、フレームセパレートモードになります。ヘッダ送信中に RLN3nLTRC レジスタの RTS ビットを “1” にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

8 バイト以下のレスポンス受信 (RFT ビットが “0”) 時は、このビットを “0” に設定してください。LIN セルフテストモードに移行する場合は、移行前にこのビットを “0” に設定してください。

フレームセパレートモードの詳細は「**13.7.4.1 LIN フレームの送信**」を参照してください。

このビットは、RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、このビットを “1” にしてください。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0” の場合、チェックサムの方式はクラシックとなります。

“1” の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する (RLN3nLEDE レジスタの FTERE ビットが “1”) 場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**13.7.7 エラーステータス**」を参照してください。

このビットは、RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが “0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが “1”) はチェックサムを含みません。

RFT ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウェイクアップシグナルの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ロウレベル幅カウンタ) を行います。

“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0]ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0~8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

FSM ビットが “0” (フレームセパレートモードではない) で、レスポンス送信を行う場合は、ヘッダ送信前 (RLN3nLTRC レジスタの FTS ビットが “0”) に、これらのビットを設定してください。

FSM ビットが “1” (フレームセパレートモード) で、レスポンス送信を行う場合は、レスポンス送信前 (RLN3nLTRC レジスタの RTS ビットが “0”) に、これらのビットを設定してください。

レスポンスの受信を行う場合は、ヘッダ送信前 (RLN3nLTRC レジスタの FTS ビットが “0”) に、これらのビットを設定してください。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループの送受信前 (RLN3nLTRC レジスタの RTS ビットが “0”) に、これらのビットを設定してください。

最後のデータグループ (LSS ビットが “0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが “1”) はチェックサムを含みません。

13.3.2.17 RLIN3nLIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.27 RLIN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5~0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLIN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「13.9 LIN セルフテストモード」を参照してください。

IDP[1:0]ビット (パリティ設定ビット)

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID[5:0]ビット (ID 設定ビット)

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

13.3.2.18 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス 8ビット単位でリードのみ可能です。

ただし、LIN セルフテストモード時は、8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 16H

リセット後の値 00H

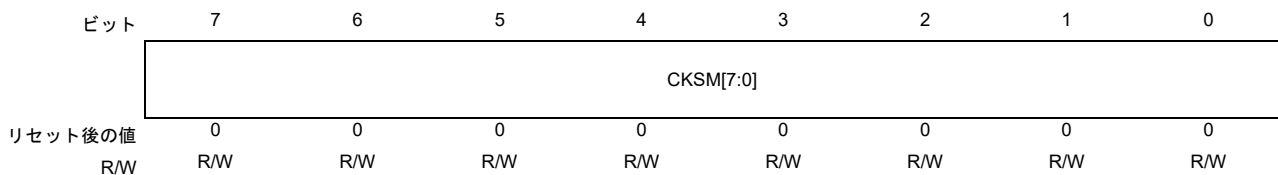


表 13.28 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7~0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN モード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RFT ビットが “1” (送信) の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。書き込みは無効になります。
- RLN3nLDFC レジスタの RFT ビットが “0” (受信) の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。書き込みは無効になります。

LIN セルフテストモード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RFT ビットが “1” (送信) の場合：
フレーム送信完了後 (ループバック後)、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RFT ビットが “0” (受信) の場合：
通信前に受信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**13.9 LIN セルフテストモード**」を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

13.3.2.19 RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1~8)

アクセス 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

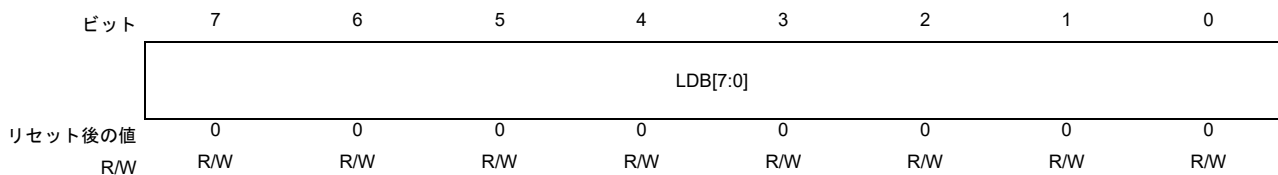


表 13.29 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7~0	LDB[7:0]	送信データを設定、または受信データを格納 設定範囲 : 00 _H ~FF _H

- レスポンス送信の場合 :
 レスポンスフィールドで送信するデータを設定します。これらのレジスタは以下の状態で設定してください。
 - RLN3nLDFC レジスタの RFT ビットが “1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが “0” (フレームセパレートモードではない)
 - RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止)
 または
 - RLN3nLDFC レジスタの RFT ビットが “1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが “1” (フレームセパレートモード)
 - RLN3nLTRC レジスタの RTS ビットが “0” (レスポンス送信/受信停止)
- レスポンス受信の場合 :
 レスポンスフィールドで受信したデータが格納されます。
 受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。
 これらのレジスタは、FTS ビットが “1” (フレーム送信/ウェイクアップ送受信開始) のときに読み出さないでください。

- 9 バイト以上のレスポンス送信の場合：
これらのレジスタは以下の状態で設定してください
 - RLN3nLDFC レジスタの RFT ビットが “1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが “1” (フレームセパレートモード)
 - RLN3nLTRC レジスタの RTS ビットが “0” (レスポンス送信/受信停止)
- 9 バイト以上のレスポンス受信の場合：
これらのレジスタは、RTS ビットが “1” (レスポンス送信/受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**13.9 LIN セルフテストモード**」を参照してください。

13.3.3 LIN スレーブ関連レジスタ

13.3.3.1 RLIN3nLWBR — LIN ウェイクアップポーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 13.30 RLIN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7~4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 0011: 4 サンプリング 0111: 8 サンプリング 1111: 16 サンプリング 上記以外は設定しないでください。
3~1	LPRS[2:0]	プリスケールクロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLIN3nLWBR レジスタは RLIN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

NSPB ビット (ビットサンプリング数選択ビット)

1 Tbit (ポーレートの逆数) のサンプリング数を選択するビットです。

LIN スレーブモード [固定ポーレート] (RLIN3nLMD レジスタの LMD[1:0]ビットが “11_B”) の通信を行う場合は、これらのビットを “0000_B” または “1111_B” (16 サンプリング) に設定してください。

LIN スレーブモード [オートポーレート] (RLIN3nLMD レジスタの LMD[1:0]ビットが “10_B”) で LIN フレームの通信を行う場合は、これらのビットを “0011_B” (4 サンプリング) または “0111_B” (8 サンプリング) に設定してください。

LPRS ビット (プリスケラクロック選択ビット)

プリスケラの分周比を選択するビットです。このプリスケラにより LIN 通信クロック源を分周します。LIN スレーブモード [オートボーレート] (RLN3nLMD レジスタの LMD[1:0] ビットが “10_B”) で使用する場合は、ターゲットとなるボーレートに応じて、これらのビットをプリスケラクロックが、下記となるように設定してください。

[ターゲットとなるボーレート]	[プリスケラクロック]
1 kbps ~ 20 kbps	: 4 MHz ^{注1}
1 kbps ~ 2.4 kbps 未満	: 4 MHz
2.4 kbps ~ 20 kbps	: 8 MHz ~ 12 MHz

注1. NSPB ビットは、“0011_B” (4 サンプリング) で使用してください。

13.3.3.2 RLN3nLBRP01 — LIN ボーレートプリスケラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード/ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード/ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.31 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15~0	BRP[15:0]	設定値を L (0~65535) とすると、ボーレートプリスケラはプリスケラクロックを L + 1 分周する。 設定範囲: 0000 _H ~FFFF _H

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケラは RLN3nLWBR レジスタの LPRS ビット (プリスケラクロック選択ビット) で分周したクロックを L + 1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

備 考

LIN スレーブモード [オートボーレート] では、シンクフィールドの受信が成功したとき、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

13.3.3.3 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

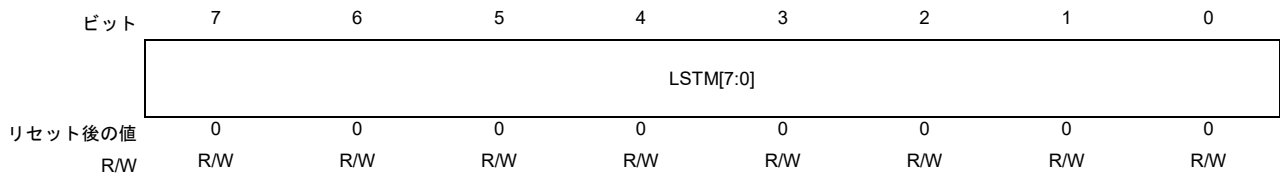


表 13.32 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7~0	LSTM[7:0]	LIN セルフテストモードビット 00 _H : LIN セルフテストモードではない 01 _H : LIN セルフテストモード “A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリーします。

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

“A7_H” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリーします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「13.9 LIN セルフテストモード」を参照してください。

ビット 6~1 を読み出すと “00000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット (LIN セルフテストモードビット)

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、「13.9 LIN セルフテストモード」を参照してください。

RLN3nLSTC レジスタへの “A7_H” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

13.3.3.4 RLIN3nLMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 13.33 RLIN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0 : RLIN3n 割り込みを使用 1 : RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 1 0 : LIN スレーブモード [オートボーレート] 1 1 : LIN スレーブモード [固定ボーレート]

RLIN3nLMD レジスタは RLIN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (LIN 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0” の場合、データ受信時のノイズフィルタは有効です。

“1” の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット (LIN 割り込み出力選択ビット)

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0” の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。

“1” の場合、LIN/UART インタフェースからの RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。

各割り込みの要因は、「13.4 割り込み要因」を参照してください。

LMD[1:0]ビット (LIN/UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

LIN スレーブとして使用する場合は、これらのビットを “10_B” (オートボーレート) もしくは “11_B” (固定ボーレート) に設定してください。

13.3.3.5 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LBLT
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 13.34 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LBLT	受信ブレーク（ロウレベル）検出幅設定ビット 0：9.5 Tbits または 10 Tbits でブレーク（ロウレベル）を検出 1：10.5 Tbits または 11 Tbits でブレーク（ロウレベル）を検出

RLN3nLBFC レジスタは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LBLT ビット（受信ブレーク（ロウレベル）検出幅設定ビット）

- RLN3nLMD.LMD が “10_B”（LIN スレーブモード [オートボーレート]）の場合
 - “0” の場合、10 Tbits 以上のロウレベル幅を検出します。
 - “1” の場合、11 Tbits 以上のロウレベル幅を検出します。
- RLN3nLMD.LMD が “11_B”（LIN スレーブモード [固定ボーレート]）の場合
 - “0” の場合、9.5 Tbits 以上のロウレベル幅を検出します。
 - “1” の場合、10.5 Tbits 以上のロウレベル幅を検出します。

13.3.3.6 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 13.35 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2~0	IBHS[2:0]	レスポンススペース設定ビット b2 b0 0 00 : 0 Tbit 0 01 : 1 Tbit 0 10 : 2 Tbits 0 11 : 3 Tbits 1 00 : 4 Tbits 1 01 : 5 Tbits 1 10 : 6 Tbits 1 11 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

レスポンス送信時のみ有効です。レスポンス受信時は無効となります。

設定値の組み合わせによっては、1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0]ビット (インタバイトスペース設定ビット)

レスポンス送信のインタバイトスペースの幅の設定をします。
0 Tbit ~ 3 Tbits を設定できます。

IBHS[2:0]ビット (レスポンススペース設定ビット)

レスポンススペースの送信幅の設定をします。
0 Tbit ~ 7 Tbits を設定できます。

13.3.3.7 RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0B_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 13.36 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7~4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

WUTL[3:0]ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップフレーム送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

13.3.3.8 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 13.37 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
3	SHIE	ヘッダ受信完了割り込み要求許可ビット 0: ヘッダ受信完了割り込み要求禁止 1: ヘッダ受信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0: エラー検出割り込み要求禁止 1: エラー検出割り込み要求許可
1	FRCIE	レスポンス/ウェイクアップ受信完了割り込み要求許可ビット 0: レスポンス/ウェイクアップ受信完了割り込み要求禁止 1: レスポンス/ウェイクアップ受信完了割り込み要求許可
0	FTCIE	レスポンス/ウェイクアップ送信完了割り込み要求許可ビット 0: レスポンス/ウェイクアップ送信完了割り込み要求禁止 1: レスポンス/ウェイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

SHIE ビット (ヘッダ受信完了割り込み要求許可ビット)

ヘッダ受信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生します。

ERRIE ビット (エラー検出割り込み要求許可ビット)

エラーを検出したときの割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、シンクフィールドエラー、ID パリティエラー、チェックサムエラー、レスポンス準備エラーです。ビットエラー、フレーム/レスポンスタイムアウトエラー、シンクフィールドエラー、ID パリティエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (レスポンス/ウェイクアップ受信完了割り込み要求許可ビット)

レスポンス受信完了、またはウェイクアップフレーム受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット (レスポンス/ウェイクアップ送信完了割り込み要求許可ビット)

レスポンス送信完了、またはウェイクアップフレーム送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

13.3.3.9 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	IPERE	—	SFERE	FERE	TERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W

表 13.38 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0: フレームタイムアウトエラー 1: レスポンスタイムアウトエラー
6	IPERE	IDパリティエラー検出許可ビット 0: IDパリティエラー検出禁止 1: IDパリティエラー検出許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	SFERE	シンクフィールドエラー検出許可ビット 0: シンクフィールドエラー検出禁止 1: シンクフィールドエラー検出許可
3	FERE	フレーミングエラー検出許可ビット ^{注1} 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	TERE	タイムアウトエラー検出許可ビット 0: フレーム/レスポンスタイムアウトエラー検出禁止 1: フレーム/レスポンスタイムアウトエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット ^{注1} 0: ビットエラー検出禁止 1: ビットエラー検出許可

注 1. FERE ビットと BERE ビットは“1”にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LTES ビット (タイムアウトエラー選択ビット)

タイムアウトを選択するビットです。

“0”の場合、タイムアウト機能はフレームタイムアウトとして動作します。

“1”の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「13.7.7 エラーステータス」を参照してください。

IPERE ビット (ID パリティエラー検出許可ビット)

ID パリティエラー検出許可/禁止を設定します。

“0” の場合、ID パリティエラーを検出しません。

“1” の場合、ID パリティエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの IPER フラグに反映されます。

ID パリティエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

SFERE ビット (シンクフィールドエラー検出許可ビット)

シンクフィールドエラー検出の許可/禁止を設定します。

“0” の場合、シンクフィールドエラーを検出しません。

“1” の場合、シンクフィールドエラーを検出します。

このビットは設定にかかわらず、シンクフィールドエラー検出時は次のヘッダ待ち状態になります。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの SFER フラグに反映されます。

シンクフィールドエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットを “1” にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

TERE ビット (タイムアウトエラー検出許可ビット)

フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出の許可/禁止を設定します。

“0” の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出しません。

“1” の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの TER フラグに反映されます。

LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、LIN スレーブモード [オートボーレート] (RLN3nLMD レジスタの LMD[1:0] ビットが “10_B”) では使用しないでください。

タイムアウトエラーは、レスポンスを 9 バイト以上で送信または受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットを “1” にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「**13.7.7 エラーステータス**」を参照してください。

13.3.3.10 RLN3nLCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 13.39 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効になります。

このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

13.3.3.11 RLN3nLTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	LNRR	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 13.40 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LNRR	LIN レスポンスなし要求ビット 0: 受信 ID に対するレスポンスあり 1: 受信 ID に対するレスポンスなし
1	RTS	レスポンス送信/受信開始ビット 0: レスポンス送信/受信停止 1: レスポンス送信/受信開始
0	FTS	LIN 通信開始ビット 0: ヘッダ受信/ウェイクアップ送受信停止 1: ヘッダ受信/ウェイクアップ送受信開始

LNRR ビット (LIN レスポンスなし要求ビット)

ヘッダを受信し、受信 ID を確認後、レスポンス送受信を行わない場合に“1”にしてください。設定後、このビットは新たなシンクフィールド検出および LIN リセットモード移行時に、自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“04_H”を書き込んでください。

このビットは、RTS と同時に“1”にしないでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS が“0” (ヘッダ受信/ウェイクアップ送受信停止) のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、ヘッダ完了後以外でこのビットを使用しないでください (2 回目以降のデータグループには使用しないでください)。

RTS ビット (レスポンス送信/受信開始ビット)

ヘッダを受信し、受信 ID を確認後、レスポンス送信またはレスポンス受信開始時、“1”にしてください。

設定後、このビットはレスポンス送信/受信完了 (エラー検出時を含む) および LIN リセットモード移行時に自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、LNRR と同時に“1”にしないでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS ビットが“0” (ヘッダ受信/ウェイクアップ送受信停止) のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ (0~8 バイトで可変) の送受信ごとに“1”に設定してください。設定後、データグループの送受信完了または LIN リセットモード移行時に自動的に“0”になります。

FTS ビット (LIN 通信開始ビット)

ヘッダ受信/ウェイクアップ送受信開始時、“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、ウェイクアップの通信終了時に“0”になります。

LIN リセットモード移行時に“0”になります。

13.3.3.12 RLN3nLMST — LIN モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 13.41 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

13.3.3.13 RLIN3nLST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
RW	R/W	R/W	R	R	R	R	R/W	R/W

表 13.42 RLIN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ受信完了フラグ 0: 受信未完了 1: ヘッダ受信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
5, 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	レスポンス/ウェイクアップ受信完了フラグ 0: 受信未完了 1: レスポンスまたはウェイクアップ受信完了
0	FTC	レスポンス/ウェイクアップ送信完了フラグ 0: 送信未完了 1: レスポンスまたはウェイクアップ送信完了

RLIN3nLST レジスタは LIN リセットモード移行時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ (ヘッダ受信完了フラグ)

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

ヘッダ受信完了時、“1” となります。このとき RLIN3nLIE レジスタの SHIE ビットが “1” (割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが “1” の状態で、ヘッダ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0” を書いてください。

ヘッダ受信完了後、レスポンスフィールドで新規ヘッダを検出したい場合は、このビットが “1” になった後、クリアしてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。クリアする場合は、“0”を書いてください。

9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0~8 バイトで可変) ごとでデータ 1 受信完了時、“1”となります。次のデータグループ受信開始前に“0”を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出 (RLN3nLEST レジスタのフラグのうち 1 つでも“1”) 時、“1”となります。このとき RLN3nLIE レジスタの ERRIE ビットが“1” (割り込み許可) の場合、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態、エラー検出した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ (レスポンス/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN3nLIE レジスタの FRCIE ビットが“1” (割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが“1”の状態、レスポンス受信完了またはウェイクアップ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。

9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0~8 バイトで可変) の受信完了ごとに“1”となります。次のデータグループ受信開始前に“0”を書いてください。

FTC フラグ (レスポンス/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN3nLIE レジスタの FTCIE ビットが“1” (割り込み許可) の場合、RLIN3n 送信割り込み要求発生します。ただし、このビットが“1”の状態、レスポンス送信完了またはウェイクアップ送信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。

9 バイト以上のレスポンスデータ送信を行う場合は、データグループ (0~8 バイトで可変) の送信完了ごとに“1”となります。次のデータグループ送信開始前に“0”を書いてください。

13.3.3.14 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	IPER	CSER	SFER	FER	TER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

表 13.43 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0: レスポンス準備エラー未検出 1: レスポンス準備エラー検出
6	IPER	IDパリティエラーフラグ 0: IDパリティエラー未検出 1: IDパリティエラー検出
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	SFER	シンクフィールドエラーフラグ 0: シンクフィールドエラー未検出 1: シンクフィールドエラー検出
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	TER	タイムアウトエラーフラグ 0: フレーム/レスポンスタイムアウトエラー未検出 1: フレーム/レスポンスタイムアウトエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

RPER フラグ (レスポンス準備エラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、“1”となります。クリアする場合は、“0”を書き込んでください。

IPER フラグ (ID パリティエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの IPERE ビットが“1” (ID パリティエラー検出許可) で、ID パリティエラー発生時、“1”となります。クリアする場合は、“0”を書いてください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

SFER フラグ (シンクフィールドエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの SFERE ビットが“1” (シンクフィールドエラー検出許可) で、シンクフィールドエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

TER フラグ (タイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの TERE ビットが“1” (フレーム/レスポンスタイムアウトエラー検出許可) で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

13.3.3.15 RLN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	—	LCS	RCDS	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 13.44 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0: 次に送受信するデータグループは最終である。 1: 次に送受信するデータグループは最終ではない。 (次のヘッダ受信を待たずにデータ送受信を継続)
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
5	LCS	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RCDS	レスポンスフィールド通信方向選択ビット 0: レスポンス受信 1: レスポンス送信
3~0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0 バイト (+ チェックサム) 0001: 1 バイト (+ チェックサム) 0010: 2 バイト (+ チェックサム) : 0111: 7 バイト (+ チェックサム) 1000: 8 バイト (+ チェックサム) 上記以外は設定しないでください。

LSS ビット (継続選択ビット)

9 バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0” の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

“1” の場合、次に送信または受信するデータグループが最後でないため、データのための送信または受信を行ない、チェックサムは含みません。

多バイトレスポンス送受信機能を使用しない場合は、このビットに“0”を設定してください。

このビットは、RTS が“0” (レスポンス送信/受信停止) のときに設定してください。

LCS ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0” の場合、チェックサムの方式はクラシックとなります。

“1” の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する (RLN3nLEDE レジスタの TERE ビットが “1”) 場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**13.7.7 エラーステータス**」を参照してください。

レスポンスフィールド長が 0 バイト (RFDL ビットが “0”) のとき、このビットを “1” (エンハンス) にしないでください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが “0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが “1”) はチェックサムを含みません。

このビットは、RTS が “0” (レスポンス送信/受信停止) のときに設定してください。

RCDS ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウェイクアップシグナルの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信します。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行います。

“1” の場合、レスポンスフィールドで送信します。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、LIN 動作モードでは RLN3nLTRC レジスタの RTS ビットが “0” (レスポンス送信/受信停止) のときに、LIN ウェイクアップモードでは FTS ビットが “0” (ヘッダ受信/ウェイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0~8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。これらのビットは、RLN3nLTRC レジスタの RTS が “0” (レスポンス送信/受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが “0”) のみチェックサムを含み、それ以外のデータグループ (RLN3nLDFC レジスタの LSS ビットが “1”) はチェックサムを含みません。

13.3.3.16 RLIN3nLIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.45 RLIN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで受信したパリティ (P1) ビットを格納
6	IDP0	パリティ設定ビット (P0) ID フィールドで受信したパリティ (P0) ビットを格納
5~0	ID[5:0]	ID 設定ビット ID フィールドで受信した 6 ビットの ID 値を格納

RLIN3nLIDB レジスタの値は、ヘッダ受信完了したときに有効です。LIN モード (LIN 動作モード、LIN ウェイクアップモード) では書き込みできません。

LIN セルフテストモード時は、以下の通りになります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**13.9 LIN セルフテストモード**」を参照してください。

IDP ビット (パリティ設定ビット)

LIN フレームの ID フィールドで受信したパリティ (P0、P1) ビットが格納されます。IDP0 が P0、IDP1 が P1 です。

RLIN3nLEDE レジスタの IPERE ビットが“1” (ID パリティ検出許可) の場合、受信した値と内部で算出した値の確認を行い、一致しない場合は、IPER (ID パリティエラーフラグ) がセットされます。

ID ビット (ID 設定ビット)

LIN フレームの ID フィールドで受信した 6 ビットの ID が格納されます。

13.3.3.17 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス 8ビット単位でリードのみ可能です。

ただし、LINセルフテストモード時は、8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 16_H

リセット後の値 00_H

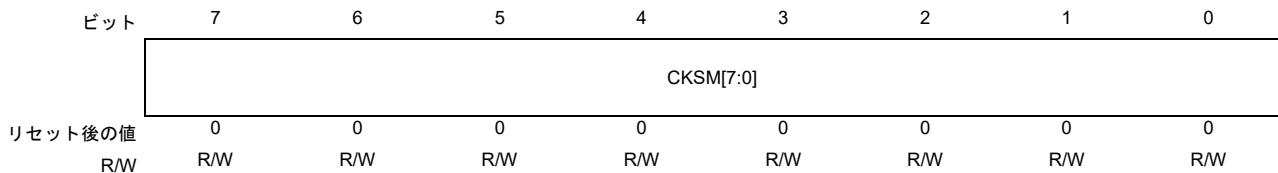


表 13.46 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7~0	CKSM[7:0]	チェックサムの送受信データを格納します。

LIN モード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RCDS ビットが “1” (送信) の場合 :
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。書き込みは無効になります。
- RLN3nLDFC レジスタの RCDS ビットが “0” (受信) の場合 :
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。書き込みは無効になります。

LINセルフテストモード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RCDS ビットが “1” (送信) の場合 :
フレーム送信完了後 (ループバック後)、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RCDS ビットが “0” (受信) の場合 :
通信前に受信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「**13.9 LINセルフテストモード**」を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

13.3.3.18 RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1~8)

アクセス 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

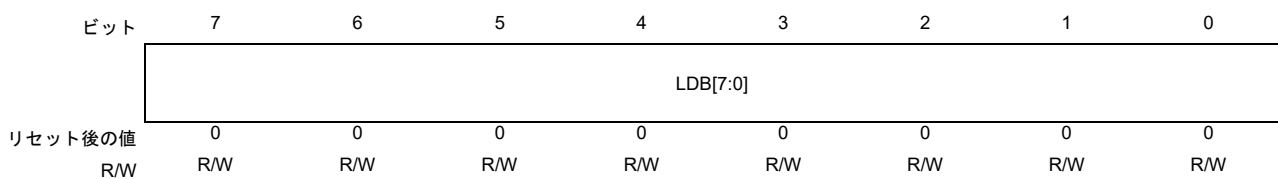


表 13.47 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7~0	LDB[7:0]	送信データを設定、または受信データを格納 設定範囲 : 00 _H ~FF _H

- レスポンス送信の場合 :
レスポンスフィールドで送信するデータを設定します。これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止) のときに設定してください。
- レスポンス受信の場合 :
レスポンスフィールドで受信したデータが格納されます。受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。これらのレジスタは、RTS ビットが“1” (レスポンス送信/受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「13.9 LIN セルフテストモード」を参照してください。

13.3.4 UART 関連レジスタ

13.3.4.1 RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 13.48 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7~4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000 : 16 サンプリング 0101 : 6 サンプリング 0110 : 7 サンプリング 0111 : 8 サンプリング 1000 : 9 サンプリング 1001 : 10 サンプリング 1010 : 11 サンプリング 1011 : 12 サンプリング 1100 : 13 サンプリング 1101 : 14 サンプリング 1110 : 15 サンプリング 1111 : 16 サンプリング 上記以外は設定しないでください。
3~1	LPRS[2:0]	プリスケールクロック選択ビット b3 b1 000 : 1/1 001 : 1/2 010 : 1/4 011 : 1/8 100 : 1/16 101 : 1/32 110 : 1/64 111 : 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

NSPB ビット (ビットサンプリング数選択ビット)

1 Tbit (ボーレートの逆数) のサンプリング数を選択するビットです。
 UART モードでは、これらのビットを 6~16 サンプリングで設定可能です。

LPRS ビット (プリスケラクロック選択ビット)

プリスケラの分周比を選択するビットです。
このプリスケラにより LIN 通信クロック源を分周します。

13.3.4.2 RLN3nLBRP01 — UART ボーレートプリスケラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード/ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード/ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

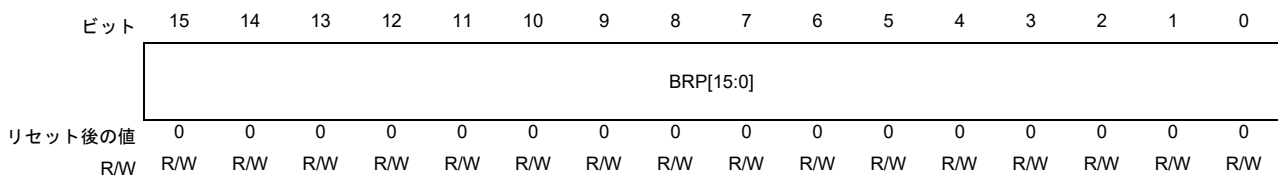


表 13.49 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15~0	BRP[15:0]	設定値を L (0~65535) とすると、ボーレートプリスケラはプリスケラクロックを L + 1 分周する。 設定範囲 : 0000 _H ~FFFF _H

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケラは RLN3nLWBR レジスタの LPRS ビット (プリスケラクロック選択ビット) で分周したクロックを L + 1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

13.3.4.3 RLN3nLMD — UART モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	—	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R/W	R/W

表 13.50 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	UART 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 1 : UART モード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (UART 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0” の場合、データ受信時のノイズフィルタは有効です。

“1” の場合、データ受信時のノイズフィルタは無効です。

LMD[1:0]ビット (LIN/UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

UART として使用する場合は、これらのビットを “01_B” に設定してください。

13.3.4.4 RLN3nLBFC — UART 設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.51 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UTPS	UART 出力極性切り換えビット 0: 送信データ通常出力 1: 送信データ反転出力
5	URPS	UART 入力極性切り換えビット 0: 受信データ通常入力 1: 受信データ反転入力
4, 3	UPS[1:0]	UART パリティ選択ビット 00: パリティ禁止 01: 偶数パリティ 10: 0パリティ 11: 奇数パリティ
2	USBLS	UART ストップビット長選択ビット 0: ストップビット: 1ビット 1: ストップビット: 2ビット
1	UBOS	UART 転送フォーマット順選択ビット 0: LSB ファースト 1: MSB ファースト
0	UBLS	UART キャラクタ長選択ビット 0: UART8 ビット通信 1: UART7 ビット通信

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

UTPS ビット (UART 出力極性切り替えビット)

UART 通信の出力極性を設定します。

“0” の場合、送信データをそのまま出力します。

“1” の場合、送信データを反転して出力します。

このビットの設定は、UART フレームの全てのビットで有効です。

半二重通信で使用するとき、URPS ビットと設定を合わせてください。

URPS ビット (UART 入力極性切り替えビット)

UART 通信の入力極性を設定します。

“0” の場合、受信データをそのまま取り込みます。

“1” の場合、受信データを反転して取り込みます。

このビットの設定は、UART フレームのすべてのビットで有効です。

半二重通信で使用するときには、UTPS ビットと設定を合わせてください。

このビットに“1”を設定して、拡張ビット受信（拡張ビット比較あり）または（データ比較あり）を行う場合は、受信した値の反転値で比較を行うため、期待値の反転値を RLIN3nLUOR1 レジスタの UEBDL ビット、RLIN3nLIDB レジスタに設定してください。

UPS[1:0]ビット (UART パリティ選択ビット)

UART のパリティを設定します。

- “00_B” の場合、パリティなしで通信します。

【送信】

送信データにパリティビットを付加しません。

【受信】

パリティ処理なしで受信します。そのため、パリティエラーは発生しません。

- “01_B” の場合、偶数パリティで通信します。

【送信】

送信データ内の“1”の個数が奇数の場合、パリティビットに“1”を付加し、送信データ内の“1”の個数が偶数の場合、パリティビットに“0”を付加します。

【受信】

パリティビットを含めた受信データ内の“1”の個数が、奇数の場合にパリティエラーが発生します。

- “10_B” の場合、0 パリティで通信します。

【送信】

送信データ内の“1”の個数にかかわらず、パリティビットに“0”を付加します。

【受信】

パリティビットの値を判定しません。そのため、パリティエラーは発生しません。

- “11_B” の場合、奇数パリティで通信します。

【送信】

送信データ内の“1”の個数が奇数の場合、パリティビットに“0”を付加し、送信データ内の“1”の個数が偶数の場合、パリティビットに“1”を付加します。

【受信】

パリティビットを含めた受信データ内の“1”の個数が、偶数の場合にパリティエラーが発生します。

USBSL ビット (UART ストップビット長選択ビット)

UART 通信のストップビット長を設定します。

“0” の場合、1 ビットのストップビット長で送信します。

“1” の場合、2 ビットのストップビット長で送信します。

UBOS ビット (UART 転送フォーマット選択ビット)

UART 通信データのビットオーダを設定します。

“0” の場合、LSB ファーストで通信します。

“1” の場合、MSB ファーストで通信します。

UBLS ビット (UART キャラクタ長選択ビット)

UART 通信 1 フレームのキャラクタ長を設定します。

“0” の場合、8 ビット

“1” の場合、7 ビット

1 フレームのキャラクタ長を 9 ビットで使用する場合 (RLN3nLUOR1 レジスタの UEBE ビットが “1”) は、このビットの設定は無効です。

13.3.4.5 RLN3nLSC — UART スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R/W	R/W	R	R	R	R

表 13.52 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

IBS[1:0]ビット (インタバイトスペース設定ビット)

UART バッファによる送信時、UART フレーム間のスペースの幅の設定をします。
0 Tbit ~ 3 Tbits を設定できます。

UART バッファを使用しない場合、IBS[1:0] ビットは “00_B” に設定してください。

UART 送信データレジスタ (RLN3nLUTDR) と UART ウェイト用送信データレジスタ (RLN3nLUWTDR) からデータが転送された場合、これらのビットの設定は無視されます。これらのビットは “00_B” に設定してください。

13.3.4.6 RLN3nLEDE — UART エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	OERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R/W	R/W	R	R/W

表 13.53 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	OERE	オーバランエラー検出許可ビット 0: オーバランエラー検出禁止 1: オーバランエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「13.8.5 エラーステータス」を参照してください。

OERE ビット (オーバランエラー検出許可ビット)

オーバランエラー検出の許可/禁止を設定します。

“0” の場合、オーバランエラーを検出しません。

“1” の場合、オーバランエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの OER フラグに反映されます。

オーバランエラーの詳細は、「13.8.5 エラーステータス」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

全二重通信で使用する場合は、このビットを “1” にしないでください。

RLN3nLWBR レジスタの NSPB ビットが “0101_B” (6 サンプル) かつ RLN3nLMD レジスタの LRDNFS ビットが “0” (ノイズフィルタを使用する) のときに、このビットを設定しないでください。

ビットエラーの詳細は、「13.8.5 エラーステータス」を参照してください。

13.3.4.7 RLN3nLCUC — UART 制御レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 13.54 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0” にすると、LIN リセットモードになります。

“1” にすると、LIN リセットモードは解除されます。

13.3.4.8 RLIN3nLTRC — UART 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R

表 13.55 RLIN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	UART バッファ送信開始ビット 0 : UART バッファ送信停止 1 : UART バッファ送信開始
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RTS ビット (UART バッファ送信開始ビット)

UART バッファからデータ送信を行う場合に“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLUOER レジスタの UTOE ビットが“1” (送信動作許可) かつ RLN3nLST レジスタの UTS ビットが“0” (送信動作中でない) のときに書いてください。

設定後、エラーの有無にかかわらず、RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータを送信完了したとき、自動的に“0”になります。また、LIN リセットモードに移行したときも自動的に“0”になります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

RLN3nLRFC レジスタの UTSW ビットが“1” (UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる) でこのビットに“1”を書き込む場合は、ストップビットの受信中にのみ行ってください。

13.3.4.9 RLN3nLMST — UART モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OMM0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 13.56 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。
0	OMM0	LIN リセットステータスマニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

13.3.4.10 RLN3nLST — UART ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	URS	UTS	ERR	—	—	FTC
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 13.57 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	URS	受信ステータスフラグ 0: 受信動作中でない 1: 受信動作中
4	UTS	送信ステータスフラグ 0: 送信動作中でない 1: 送信動作中
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2、1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FTC	UART バッファ送信完了フラグ 0: UART バッファ送信未完了 1: UART バッファ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

URS フラグ (受信ステータスフラグ)

受信動作開始時に“1”となります。受信動作開始となるのは以下の条件です。

- スタートビットを検出したとき

受信動作終了時に“0”になります。受信動作停止中は“0”を保持します。受信動作終了となるのは以下の条件です。

- ストップビット 1 ビット目のサンプリングポイント

UTS フラグ (送信ステータスフラグ)

送信動作開始時に“1”となります。送信動作中は“1”を保持します。
送信動作開始となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタに送信データがセットされたとき
- RLN3nLTRC レジスタの RTS ビットに“1”がセットされたとき

送信動作終了時に“0”になります。
送信動作終了となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタにセットされたデータの送信完了かつ次のデータが設定されていないとき
- UART バッファからの送信が完了したとき (RLN3nLTRC レジスタの RTS ビットが“0”になったとき)

ERR フラグ (エラー検出フラグ)

エラー検出、拡張ビット検出および ID 一致 (RLN3nLEST レジスタのフラグのうち 1 つでも“1”) 時、“1”となります。このとき、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態、エラー検出、拡張ビット検出および ID 一致した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書いてください。

FTC フラグ (UART バッファ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
UART バッファから RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータをエラーの有無にかかわらず送信完了時、“1”となります。このとき、RLIN3n 送信割り込み要求が発生します。クリアする場合は、“0”を書いてください。

13.3.4.11 RLN3nLEST — UART エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UPER	IDMT	EXBT	FER	OER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

表 13.58 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UPER	パリティエラーフラグ 0: パリティエラー未検出 1: パリティエラー検出
5	IDMT	ID一致フラグ 0: 受信データと ID 値不一致 1: 受信データと ID 値一致
4	EXBT	拡張ビット検出フラグ 0: 拡張ビット未検出 1: 拡張ビット検出
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	OER	オーバランエラーフラグ 0: オーバランエラー未検出 1: オーバランエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

UPER フラグ (パリティエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。パリティエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

IDMT フラグ (ID 一致フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
以下のすべての条件が成立したときに、“1”となります。

- RLN3nLUOR1 レジスタの UEBE ビットが “1” (拡張ビット動作許可)
- RLN3nLUOR1 レジスタの UECD ビットが “0” (拡張ビット比較許可)
- RLN3nLUOR1 レジスタの UEBDCE ビットが “1” (拡張ビット検出後のデータ比較する)
 - 受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致
 - 受信データのうち拡張ビットを除く 8 ビットの値が RLN3nLIDB レジスタの値と一致

クリアする場合は、“0”を書いてください。

EXBT フラグ (拡張ビット検出フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLUOR1 レジスタの UEBE ビットが “1” (拡張ビット動作許可) で、受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致した場合、“1”となります。
クリアする場合は、“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが “1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。
クリアする場合は、“0”を書いてください。

OER フラグ (オーバランエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書き前の値を保持します。
RLN3nLEDE レジスタの OERE ビットが “1” (オーバランエラー検出許可) で、オーバランエラー発生時、“1”となります。
クリアする場合は、“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが “1” (ビットエラー検出許可) で、送信したデータと、受信端子でモニタしているデータが一致しなかったとき、“1”となります。
クリアする場合は、“0”を書いてください。

13.3.4.12 RLN3nLDFC — UART データフィールド設定レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	UTSW	—	MDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 13.59 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	UTSW	送信開始ウェイトビット 0 : UART バッファ送信要求時、すぐに送信を開始 1 : UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3~0	MDL[3:0]	UART バッファデータ長選択ビット b3 b0 0000 : 9 データ 0001 : 1 データ 0010 : 2 データ 0011 : 3 データ 0100 : 4 データ 0101 : 5 データ 0110 : 6 データ 0111 : 7 データ 1000 : 8 データ 1001 : 9 データ 上記以外は設定しないでください。

UTSW ビット (送信開始ウェイトビット)

UART バッファの送信開始タイミングを制御します。

“0” の場合、UART バッファ送信開始が要求され次第、すぐに送信を開始します。

“1” の場合、ストップビットの受信完了後、送信が開始されます。

なお、RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしても、1 ビット分しか待ちません。

このビットは、RLN3nLTRC レジスタの RTS ビットに “1” を設定したときに有効となります。また、RTS ビットが “1” (UART バッファ送信開始) のときは書けません。

半二重通信で受信から送信に切り替えるとき以外で、このビットを “1” にしないでください。

MDL ビット (UART バッファデータ長選択ビット)

UART バッファのデータ長を設定します。

これらのビットは、RLN3nLTRC レジスタの RTS ビットが “1” (UART バッファ送信開始) のときは書けません。

13.3.4.13 RLN3nLIDB — UART ID バッファレジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

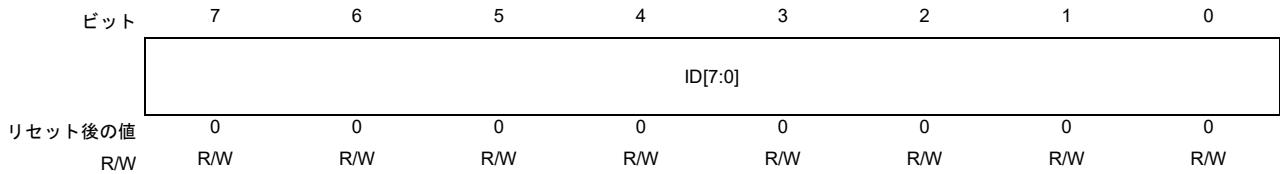


表 13.60 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7~0	ID[7:0]	拡張ビットデータ比較で参照する ID 値を設定

ID ビット (ID ビット)

RLN3nLUOR1 レジスタの UEBE ビットが “1” (拡張ビット動作許可) かつ UECD ビットが “0” (拡張ビット比較許可) かつ UEBDCE ビットが “1” (拡張ビット検出後のデータ比較する) で使用する際に、受信データと比較する値を設定してください。RLN3nLIDB レジスタは、RLN3nLST レジスタの URS ビットが “0” (受信動作中でない) のときに書いてください。

13.3.4.14 RLN3nLUDB0 — UART データバッファ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 17_H

リセット後の値 00_H

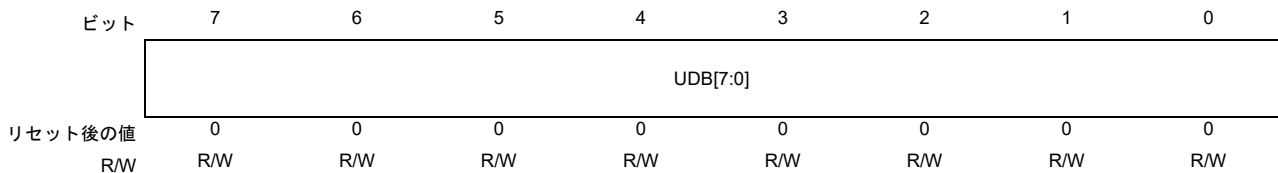


表 13.61 RLN3nLUDB0 レジスタの内容

ビット位置	ビット名	機能
7~0	UDB[7:0]	送信データを設定 設定範囲：00 _H ~FF _H

UART バッファからデータ長 9 データ (RLN3nLDFC レジスタの MDL ビットが “0_H” または “9_H”) で送信する際に、始めに送信するデータを設定します。

RLN3nLUDB0 レジスタは、RLN3nLTRC レジスタの RTS ビットが “0” (UART バッファ送信停止) のときに書いてください。

通信フォーマットの設定によるビット配置を「表 13.62 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置」に示します。

UART バッファの詳細は、「13.8.1.2 UART バッファ送信 (1) UART バッファの送信」を参照してください。

表 13.62 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置

	RLN3nLUDB0							
	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7

13.3.4.15 RLN3nLDBRb — UART データバッファ b レジスタ (b = 1~8)

アクセス 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

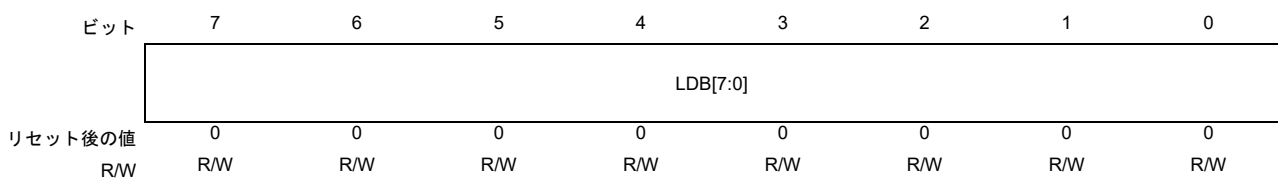


表 13.63 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7~0	LDB[7:0]	送信データを設定 設定範囲 : 00 _H ~FF _H

UART バッファから送信するデータを設定します。

これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが “0” (UART バッファ送信停止) のときに書いてください。

通信フォーマットの設定によるビット配置を「表 13.64 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置」に示します。

UART バッファの詳細は、「13.8.1.2 UART バッファ送信 (1) UART バッファの送信」を参照してください。

表 13.64 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置

	RLN3nLDBRb							
	b7	b6	b5	b4	b3	b2	b1	b0
7bit LSB ファースト	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
7bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6
8bit LSB ファースト	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
8bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7

13.3.4.16 RLIN3nLUOER — UART オペレーション許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UROE	UTOE
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 13.65 RLIN3nLUOER レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	UROE	受信動作許可ビット 0: 受信動作禁止 1: 受信動作許可
0	UTOE	送信動作許可ビット 0: 送信動作禁止 1: 送信動作許可

RLIN3nLUOER レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

UROE ビット (受信動作許可ビット)

受信動作の許可/禁止を設定します。

“0”の場合、受信動作を禁止します。

“1”の場合、受信動作を許可します。

受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、RLIN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき送信動作も中断されます。

UART バッファからデータを送信しているときは、このビットに“1”をセットしないでください。

UTOE ビット (送信動作許可ビット)

送信動作の許可/禁止を設定します。

“0”の場合、送信動作を禁止します。

“1”の場合、送信動作を許可します。

送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は、RLIN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき受信動作も中断されます。

13.3.4.17 RLN3nLUOR1 — UART オプションレジスタ 1

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 21_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R/W	R/W	R/W	R/W	R/W

表 13.66 RLN3nLUOR1 レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
4	UECD	拡張ビット比較禁止ビット 0: 拡張ビット比較許可 1: 拡張ビット比較禁止
3	UTIGTS	送信割り込み発生タイミング選択ビット 0: 送信開始時に送信割り込み発生 1: 送信完了時に送信割り込み発生
2	UEBDCE	拡張ビットデータ比較許可ビット 0: 拡張ビット検出後のデータ比較しない 1: 拡張ビット検出後のデータ比較する
1	UEBDL	拡張ビット検出レベル選択ビット 0: 拡張ビット値“0”を拡張ビット検出レベルに選択 1: 拡張ビット値“1”を拡張ビット検出レベルに選択
0	UEBE	拡張ビット許可ビット 0: 拡張ビット動作禁止 1: 拡張ビット動作許可

UECD ビット (拡張ビット比較禁止ビット)

UEBE ビットが“1” (拡張ビット動作許可) のときに、受信した拡張ビットの値と UEBDL ビットの値との比較の禁止/許可を設定します。

“0”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を許可します。

“1”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を禁止します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBDCE ビットを“1” (拡張ビット検出後のデータ比較する) で使用する場合は、このビットに“1”をセットしないでください。

UTIGTS ビット (送信割り込み発生タイミング選択ビット)

送信割り込み発生タイミングを設定します。

“0”の場合、送信開始時に送信割り込みが発生します。

“1”の場合、送信完了時に送信割り込みが発生します。

“0”の状態 UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。

“1” の状態で UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

UEBDCE (拡張ビットデータ比較許可ビット)

拡張ビット検出後、拡張ビットを除く 8 ビット受信データと RLN3nLIDB レジスタ値の比較の許可/禁止を設定します。

“0” の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに、RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を禁止します。

“1” の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに、RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を許可します。

このビットは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

UEBE ビットを “0” (拡張ビット動作禁止) で使用する場合は、このビットに “1” をセットしないでください。

UECD ビットを “1” (拡張ビット比較禁止) で使用する場合は、このビットに “1” をセットしないでください。

UART バッファを使用する場合は、このビットに “1” をセットしないでください。

UEBDL ビット (拡張ビット検出レベル選択ビット)

UEBE ビットが “1” (拡張ビット動作許可) かつ UECD ビットが “0” (拡張ビット比較許可) のときに、拡張ビットとして検出するレベルを設定します。

“0” の場合、拡張ビット値 “0” を拡張ビット検出レベルとします。

“1” の場合、拡張ビット値 “1” を拡張ビット検出レベルとします。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに “1” をセットしないでください。

UEBE ビット (拡張ビット許可ビット)

拡張ビットの動作の許可/禁止を設定します。

“0” の場合、拡張ビット動作を禁止します。

“1” の場合、拡張ビット動作を許可します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに “1” をセットしないでください。

13.3.4.18 RLN3nLUTDR — UART 送信データレジスタ

アクセス RLN3nLUTDR は 16 ビット単位でリード/ライト可能です。
 RLN3nLUTDRL は 8 ビット単位でリード/ライト可能です。
 RLN3nLUTDRH は 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLUTDR : <RLIN3n_base> + 24_H
 RLN3nLUTDRL : <RLIN3n_base> + 24_H
 RLN3nLUTDRH : <RLIN3n_base> + 25_H

リセット後の値 0000_h

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R	R	R	RW	RW	RW	RW	RW	RW	RW	RW	RW

表 13.67 RLN3nLUTDR レジスタの内容

ビット位置	ビット名	機能
15~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
8~0	UTD[8:0]	送信データを設定 設定範囲 : 000 _H ~1FF _H

送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが “1” のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、8 ビットアクセス可能です。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

RLN3nLUWTDR レジスタへの書き込みにより送信要求が発生しているときは、このレジスタにデータの書き込みをしないでください。

連続送信する場合、送信割り込み発生前にこのレジスタに次のデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 13.68 各通信フォーマットでの RLN3nLUTDR レジスタのビット配置

	RLN3nLUTDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

13.3.4.19 RLN3nLURDR — UART 受信データレジスタ

アクセス RLN3nLURDR は 16 ビット単位でリードのみ可能です。
 RLN3nLURDRL は 8 ビット単位でリードのみ可能です。
 RLN3nLURDRH は 8 ビット単位でリードのみ可能です。

アドレス RLN3nLURDR : <RLIN3n_base> + 26_H
 RLN3nLURDRL : <RLIN3n_base> + 26_H
 RLN3nLURDRH : <RLIN3n_base> + 27_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	URD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.69 RLN3nLURDR レジスタの内容

ビット位置	ビット名	機能
15~9	予約ビット	リードした場合はリセット後の値が読めます。
8~0	URD[8:0]	受信データを格納 設定範囲：000 _H ~1FF _H

受信データレジスタから、受信データを読み出すことができます。

RLN3nLUOER レジスタの UROE ビットが “1” のときに、受信データがこのレジスタに格納され、読み出すことができます。

このレジスタは、受信データのストップビット受信で更新されます。このレジスタは、パリティやストップビットでエラーが発生したときも値は更新されます。しかし、RLN3nLEDE レジスタの OERE ビットが “1” (オーバランエラー検出許可) で、オーバランエラー発生時は値が更新されません。OERE ビットが “0” (オーバランエラー検出禁止) で、オーバランエラー発生時は値が更新されます。

RLN3nLEDE レジスタの OERE ビットが “1” (オーバランエラー検出許可) で、受信エラー (オーバランエラー、フレーミングエラー、パリティエラー) が発生した場合は、このレジスタを読み出してください。このレジスタを読み出さないままで、次のデータを受信するとオーバランエラーが発生します。

このレジスタは 8 ビットアクセス可能です。ただし、拡張ビット使用時 (RLN3nLUOR1 レジスタの UEBE ビットが “1” (拡張ビット動作許可)) は 8 ビットアクセスしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 13.70 各通信フォーマットでの RLN3nLURDR レジスタのビット配置

	RLN3nLURDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

13.3.4.20 RLN3nLUWTDR — UART ウェイト用送信データレジスタ

アクセス RLN3nLUWTDR は 16 ビット単位でリード/ライト可能です。
 RLN3nLUWTDRL は 8 ビット単位でリード/ライト可能です。
 RLN3nLUWTDRLH は 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLUWTDR : <RLIN3n_base> + 28_H
 RLN3nLUWTDRL : <RLIN3n_base> + 28_H
 RLN3nLUWTDRLH : <RLIN3n_base> + 29_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UWTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.71 RLN3nLUWTDR レジスタの内容

ビット位置	ビット名	機能
15~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8~0	UWTD[8:0]	受信のストップビット完了を待った後にウェイト用送信データレジスタから送信するデータを設定 設定範囲 : 000 _H ~1FF _H

UART ウェイト用送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが “1” のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、半二重通信で受信から送信に切り替え時にのみ使用してください。また、ユーザはストップビットの受信中にのみ、このレジスタへの書き込みを行ってください。

RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしても、1 ビット分しか待ちません。

このレジスタを読み出したときは、RLN3nLUTDR レジスタの値が読めます。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 13.72 各通信フォーマットでの RLN3nLUWTDR レジスタのビット配置

	RLN3nLUWTDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

13.4 割り込み要因

LIN/UART インタフェースは 4 種類の割り込み要求信号を生成します。

- RLIN3n 送信割り込み
- RLIN3n 受信完了割り込み
- RLIN3n ステータス割り込み
- RLIN3n 割り込み

RLN3nLMD レジスタの LIOS ビットを“0”にすると、全ての割り込み要因の論理和をとって、RLIN3n 割り込みから割り込み要求信号を出力します。

RLN3nLMD レジスタの LIOS ビットを“1”にすると、要因に応じて RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みの要求信号を出力します。

表 13.73 に各割り込みの要因を示します。

表 13.73 割り込み要因

		RLN3nLMD レジスタの LIOS ビットが“0”	RLN3nLMD レジスタの LIOS ビットが“1” ^{注1}		
		RLIN3n 割り込み	RLIN3n 送信割り込み	RLIN3n 受信完了割り込み	RLIN3n ステータス割り込み
LIN モード	LIN マスタ モード	<ul style="list-style-type: none"> • フレーム送信完了 • フレーム受信完了 • ウェイクアップ送信完了 • ウェイクアップ受信完了 • ヘッダ送信完了 • ビットエラー • フィジカルバスエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー 	<ul style="list-style-type: none"> • フレーム送信完了 • ウェイクアップ送信完了 • ヘッダ送信完了 	<ul style="list-style-type: none"> • フレーム受信完了 • ウェイクアップ受信完了 	<ul style="list-style-type: none"> • ビットエラー • フィジカルバスエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー
	LIN スレーブ モード	<ul style="list-style-type: none"> • レスポンス送信完了 • レスポンス受信完了 • ウェイクアップ送信完了 • ウェイクアップ受信完了 • ヘッダ受信完了 • ビットエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • シンクフィールドエラー • チェックサムエラー • ID パリティエラー • レスポンス準備エラー 	<ul style="list-style-type: none"> • レスポンス送信完了 • ウェイクアップ送信完了 	<ul style="list-style-type: none"> • レスポンス受信完了 • ウェイクアップ受信完了 • ヘッダ受信完了 	<ul style="list-style-type: none"> • ビットエラー • フレーム/レスポンスタイムアウトエラー • フレーミングエラー • シンクフィールドエラー • チェックサムエラー • ID パリティエラー • レスポンス準備エラー
UART モード	—	—	<ul style="list-style-type: none"> • 送信開始/送信完了 	<ul style="list-style-type: none"> • 受信完了 • 拡張ビット不一致 	<ul style="list-style-type: none"> • ビットエラー • オーバランエラー • フレーミングエラー • 拡張ビット一致 • ID 一致 • パリティエラー

注 1. LIOS ビットの設定は、LIN モードで有効です。UART モードでは、LIOS ビットの設定は不要です。

LIN モードの場合、それぞれの割り込み要求は、RLN3nLIE レジスタの対応するビットが“1”（割り込み許可）のときに、RLN3nLST レジスタの対応するフラグが“1”になると出力されます。

13.5 モード

LIN/UART インタフェースには、機能に応じた次の 4 つのモードがあります。

- LIN リセットモード
- LIN モード
 - LIN マスタモード
 - LIN スレーブモード [オートボーレート]
 - LIN スレーブモード [固定ボーレート]
- UART モード
- LIN セルフテストモード

図 13.2 にモードの移行、表 13.74 にモード移行条件、表 13.75 に各モードで可能な動作を示します。

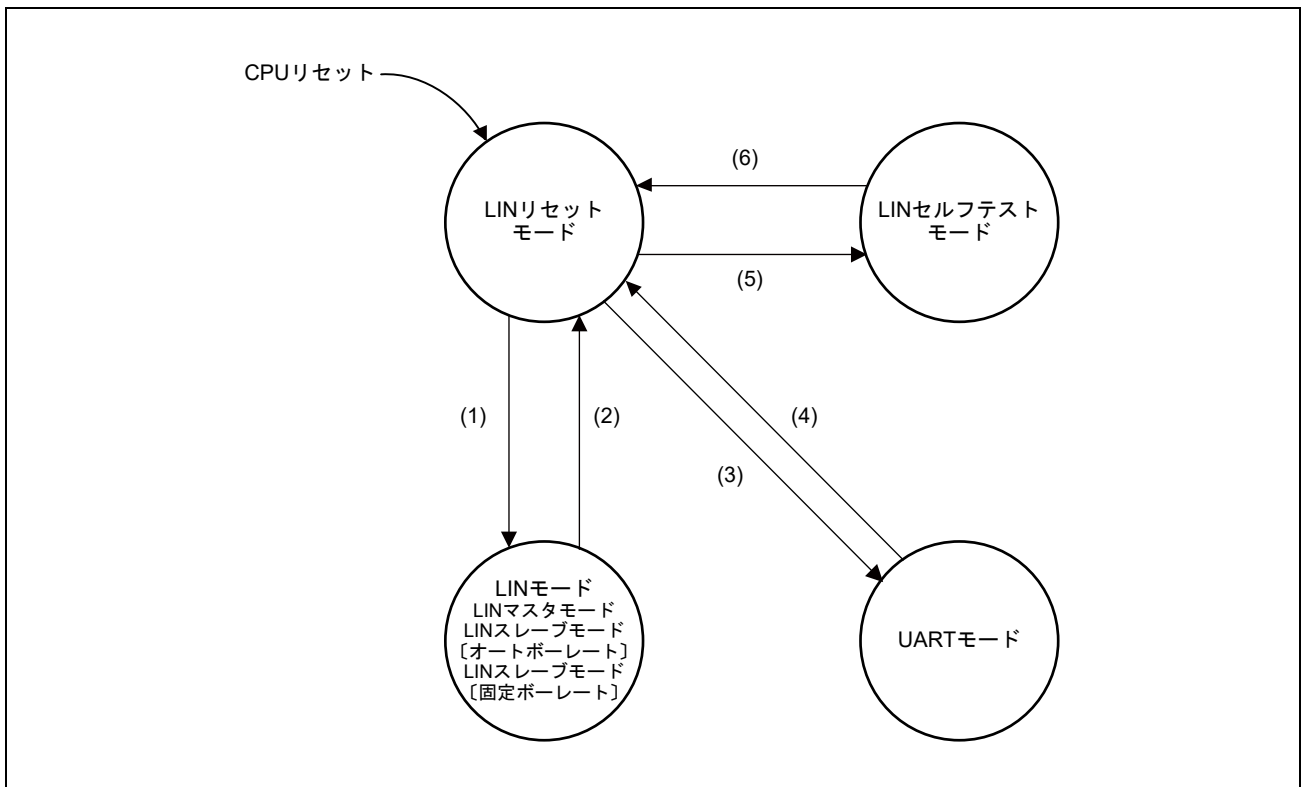


図 13.2 モードの移行

表 13.74 各モードの移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN モード <ul style="list-style-type: none"> • LIN マスタモード • LIN スレーブモード [固定ボーレート] • LIN スレーブモード [オートボーレート] 	<ul style="list-style-type: none"> • RLN3nLMD.LMD = “00_B” かつ RLN3nLCUC.OM1, OM0 = “01_B” または “11_B” • RLN3nLMD.LMD = “11_B” かつ RLN3nLCUC.OM1, OM0 = “01_B” または “11_B” • RLN3nLMD.LMD = “10_B” かつ RLN3nLCUC.OM1, OM0 = “01_B” または “11_B”
(2)	LIN モード → LIN リセットモード	RLN3nLCUC.OM0 = “0 _B ”
(3)	LIN リセットモード → UART モード	RLN3nLMD.LMD = “01 _B ” かつ RLN3nLCUC.OM0 = “1 _B ”
(4)	UART モード → LIN リセットモード	RLN3nLCUC.OM0 = “0 _B ”
(5)	LIN リセットモード → LIN セルフテストモード	「13.9 LIN セルフテストモード」参照
(6)	LIN セルフテストモード → LIN リセットモード	「13.9 LIN セルフテストモード」参照

表 13.75 各モードで可能な動作

LIN モード		UART モード	LIN セルフテストモード
LIN マスタモード	LIN スレーブモード [オートボーレート] / LIN スレーブモード [固定ボーレート]		
ヘッダ送信	ヘッダ受信	UART 送信	セルフテスト
レスポンス送信	レスポンス送信	UART 受信	
レスポンス受信	レスポンス受信	エラー検出	
ウェイクアップ送信	ウェイクアップ送信		
ウェイクアップ受信	ウェイクアップ受信		
エラー検出	エラー検出		

RLN3nLMD レジスタの LMD ビットおよび RLN3nLMST レジスタの OMM0 ビットを読むことで、LIN リセットモード、LIN モード、UART モードへ移行したことを確認できます。

LIN セルフテストモードについては、「13.9 LIN セルフテストモード」を参照してください。

13.6 LIN リセットモード

RLN3nLCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にすると、LIN リセットモードに移行します。RLN3nLMST レジスタの OMM0 ビットが“0” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能、UART 通信は停止しています。

LIN リセットモードからは、LIN モード、UART モード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN3nLTRC レジスタ
- RLN3nLST レジスタ
- RLN3nLEST レジスタ
- RLN3nLUOER レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN3nLWBR レジスタ
- RLN3nLBRP0 レジスタ
- RLN3nLBRP1 レジスタ
- RLN3nLMD レジスタ
- RLN3nLBFC レジスタ
- RLN3nLSC レジスタ
- RLN3nLWUP レジスタ
- RLN3nLIE レジスタ
- RLN3nLEDE レジスタ
- RLN3nLDFC レジスタ
- RLN3nLIDB レジスタ
- RLN3nLCBR レジスタ
- RLN3nLUDB0 レジスタ
- RLN3nLDBRb レジスタ (b = 1~8)
- RLN3nLUOR1 レジスタ
- RLN3nLUTDR レジスタ
- RLN3nLURDR レジスタ
- RLN3nLUWTD R レジスタ

13.7 LIN モード

LIN モードには、LIN マスタモード、LIN スレーブモード [オートボーレート]、LIN スレーブモード [固定ボーレート] があります。

LIN マスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“00_B” (LIN マスタモード) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”または“11_B”にすると LIN マスタモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”または“11_B”になります。

LIN スレーブモード [オートボーレート] および LIN スレーブモード [固定ボーレート] では、ヘッダ受信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。

LIN スレーブモード [オートボーレート] は、自動的にブレイクフィールドとシンクフィールドを検出し、シンクフィールドの測定結果からボーレートを設定します。ボーレートは、1 kbps ~ 20 kbps で動作可能です。ターゲットとなるボーレートに応じて、LIN 通信クロック源の周波数からプリスケアラで分周したクロック (プリスケアラクロック) が、下記となるように RLN3nLWBR レジスタの LPRS[2:0] ビットを設定してください。

[ターゲットとなるボーレート]	[プリスケアラクロック]
1 kbps ~ 20 kbps	: 4 MHz ^{注1}
1 kbps ~ 2.4 kbps 未満	: 4 MHz
2.4 kbps ~ 20 kbps	: 8 MHz ~ 12 MHz

注1. RLN3nLWBR レジスタの NSPB[3:0] ビットは、“0011_B” (4 サンプリング) で使用してください。

LIN スレーブモード [固定ボーレート] は、予めボーレートジェネレータで設定されたボーレートで、自動的にブレイクフィールド、シンクフィールド、ID フィールドを検出します。

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“10_B” (LIN スレーブモード [オートボーレート]) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”または“11_B”にすると LIN スレーブモード [オートボーレート] に、RLN3nLMD レジスタの LMD ビットを“11_B” (LIN スレーブモード [固定ボーレート]) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”または“11_B”にすると LIN スレーブモード [固定ボーレート] になり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”または“11_B”になります。

LIN モード内の別のモードに変更する場合は、1 度 LIN リセットモードに移行し、RLN3nLMD レジスタの LMD ビットを設定を変更する必要があります。

LIN モードには、次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウェイクアップモード

図 13.3 に動作モードの移行、表 13.76 に動作モード移行条件を示します。

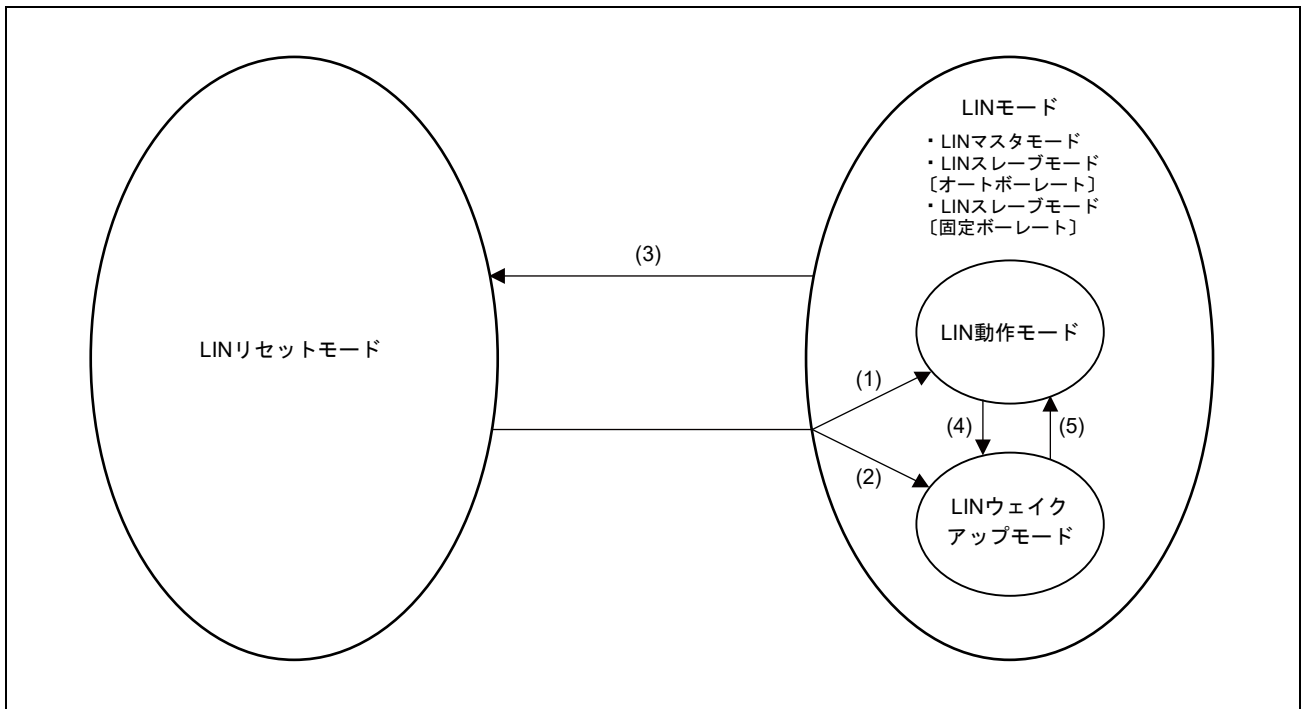


図 13.3 動作モードの移行

表 13.76 動作モード移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN モード • LIN 動作モード	RLN3nLMD.LMD = "00 _B " または "10 _B " または "11 _B " かつ RLN3nLCUC.OM1,OM0 = "11 _B "
(2)	LIN リセットモード → LIN モード • LIN ウェイクアップモード	RLN3nLMD.LMD = "00 _B " または "10 _B " または "11 _B " かつ RLN3nLCUC.OM1,OM0 = "01 _B "
(3)	LIN モード → LIN リセットモード • LIN 動作モード • LIN ウェイクアップモード	RLN3nLCUC.OM0 = "0 _B "
(4) 注 1	LIN モード → LIN モード • LIN ウェイクアップモード	RLN3nLCUC.OM1,OM0 = "01 _B "
(5) 注 1	LIN モード → LIN モード • LIN ウェイクアップモード • LIN 動作モード	RLN3nLCUC.OM1,OM0 = "11 _B "

注 1. LIN 動作モード⇔LIN ウェイクアップモードの移行は、通信中 (RLN3nLTRC レジスタの FTS ビットが "1") の間はできません。

(1) LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。OMM1 ビット、OMM0 ビットが“11_B”になるのを待ってから、通信設定を行ってください。

(2) LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。OMM1 ビット、OMM0 ビットが“01_B”になるのを待ってから、通信設定を行ってください。

13.7.1 LIN マスタモード

13.7.1.1 ヘッダ送信

図 13.4 に LIN/UART インタフェース (LIN マスタモード) のヘッダ送信時の動作、表 13.77 にヘッダ送信時の処理を示します。

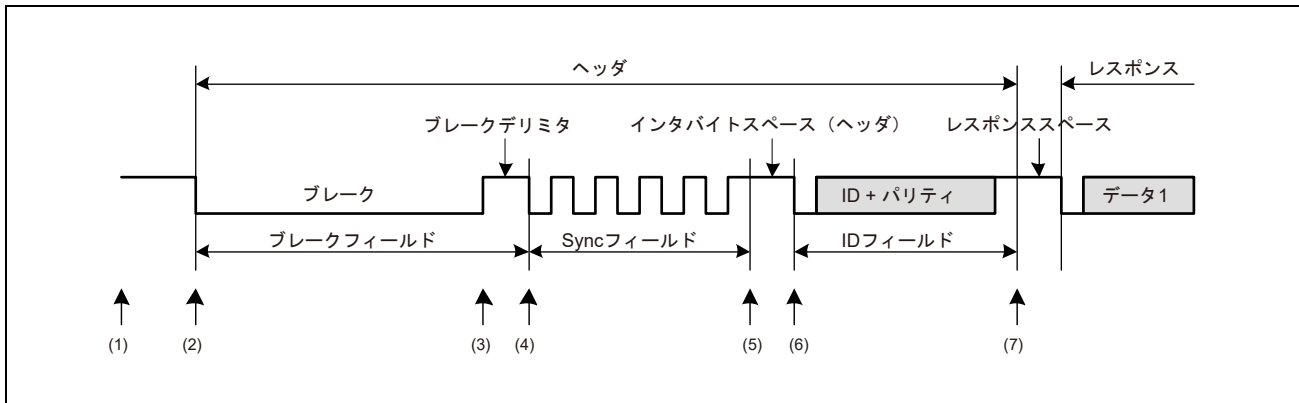


図 13.4 ヘッダ送信時の動作

表 13.77 ヘッダ送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART インタフェースを LIN マスタモード : LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定 	ソフトウェアによる RLIN3nLTRC レジスタの FTS ビット設定待ち (アイドル)
(2)	RLIN3nLTRC レジスタの FTS ビットを "1" (フレーム送信/ウェイクアップ送受信開始) にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド (55 _H) 送信
(5)		インタバイトスペース (ヘッダ) 送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備 考

エラー検出条件に関しては、「13.7.7 エラーステータス」を参照してください。

13.7.1.2 レスポンス送信

図 13.5 に LIN/UART インタフェース (LIN マスタモード) のレスポンス送信時の動作、表 13.78 にレスポンス送信時の処理を示します。

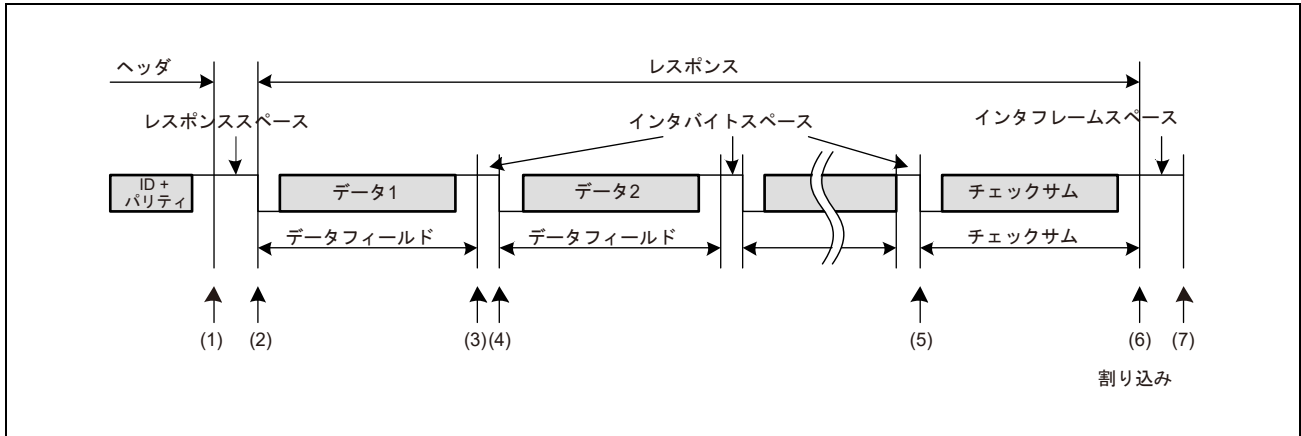


図 13.5 レスポンス送信時の動作

表 13.78 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	【フレームセパレートモード時】 <ul style="list-style-type: none"> RLN3nLTRC レジスタの RTS ビットに “1” を設定 (レスポンス送信/受信開始) 【フレームセパレートモードでないとき】 <ul style="list-style-type: none"> 割り込み要求発生待ち 	【フレームセパレートモード時】 <ul style="list-style-type: none"> ソフトウェア処理による RLN3nLTRC レジスタの RTS ビットの “1” 設定待ち “1” に設定されたあと、レスポンススペースを送信 【フレームセパレートモードでないとき】 <ul style="list-style-type: none"> レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。) ⋮ ⋮
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定 RLN3nLTRC レジスタの FTS ビットを “0” (フレーム送信/ウェイクアップ送受信停止) にする 【フレームセパレートモード時】 <ul style="list-style-type: none"> RLN3nLTRC レジスタの RTS ビットを “0” (レスポンス送信/受信停止) にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア 	アイドル

備 考

エラー検出条件に関しては、「13.7.7 エラーステータス」を参照してください。

13.7.1.3 レスポンス受信

図 13.6 に LIN/UART インタフェース (LIN マスタモード) のレスポンス受信時の動作、表 13.79 にレスポンス受信時の処理を示します。

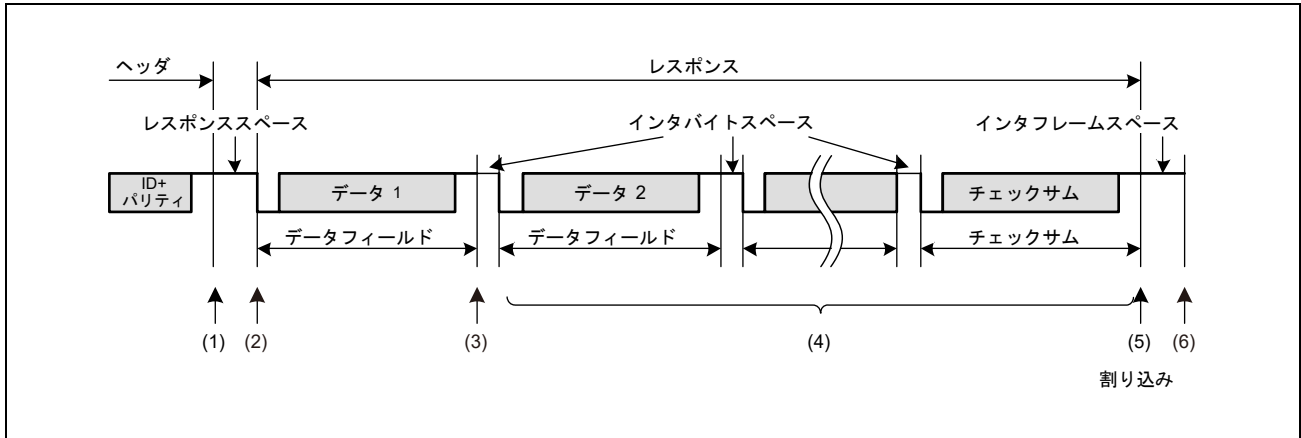


図 13.6 レスポンス受信時の動作

表 13.79 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)		スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。) ： ： スタートビット検出によりチェックサム受信
(5)	<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定 RLN3nLTRC レジスタの FTS ビットを“0” (フレーム送信/ウェイクアップ送受信停止) にする 	
(6)	<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア 	アイドル

備 考

エラー検出条件に関しては、「13.7.7 エラーステータス」を参照してください。

13.7.2 LIN スレーブモード

13.7.2.1 ヘッダ受信

図 13.7 に LIN/UART インタフェース (LIN スレーブモード) のヘッダ受信時の動作、表 13.80 にヘッダ受信時の処理を示します。

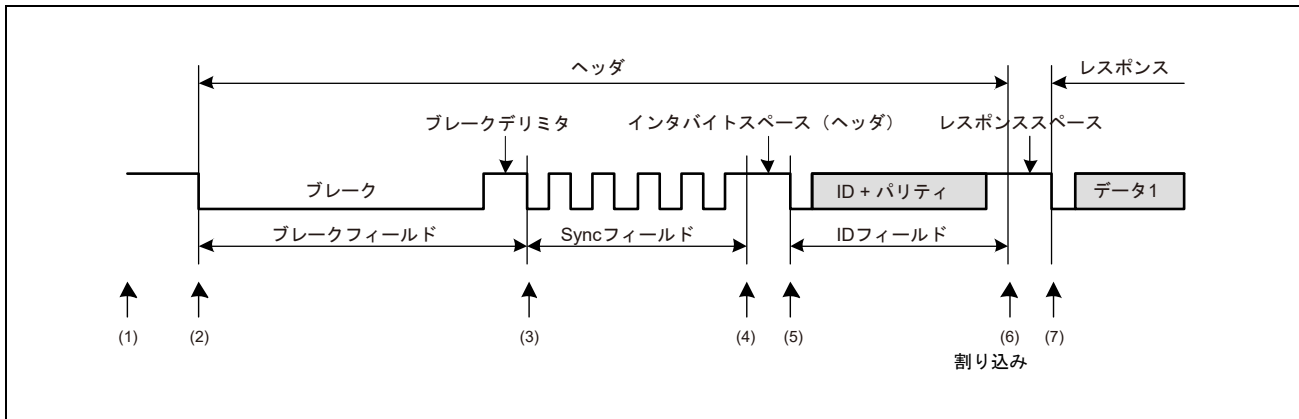


図 13.7 ヘッダ受信時の動作

表 13.80 ヘッダ受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ボーレートを設定 ノイズフィルタ ON/OFF を設定 割り込み許可を設定 エラー検出許可を設定 フレーム構成パラメータを設定 LIN/UART インタフェースを LIN スレーブモード LIN 動作モードに移行 RLN3nLTRC レジスタの FTS ビットを“1” (ヘッダ受信/ウェイクアップ送受信開始) にする 	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット設定待ち
(2)	割り込み要求発生待ち	ブレークフィールド検出待ち
(3)		ブレークフィールド検出 (LIN スレーブモード [固定ボーレート] の場合。LIN スレーブモード [オートボーレート] の場合のブレークフィールド検出タイミングの詳細は、【オートボーレート補正機能】参照)
(4)		<ul style="list-style-type: none"> シンクフィールド (55_H) 検出 ボーレートジェネレータ設定 (LIN スレーブモード [オートボーレート] の場合) レスポンスなし要求ビット (LNRR ビット) クリア
(5)		<ul style="list-style-type: none"> ID フィールド受信 ID パリティビットのチェック
(6)		ヘッダ受信完了フラグを設定
(7)	<ul style="list-style-type: none"> RLN3nLST レジスタのチェック、フラグのクリア RLN3nLIDB レジスタの確認、レスポンスの準備 	<ul style="list-style-type: none"> ヘッダ受信プロセス完了 レスポンス要求待ち

備 考

LIN/UART インタフェースは、フレーム送受信中にブレイクフィールドを受信できます。この場合、ブレイクフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は続きます。エラー検出条件に関しては、「13.7.7 エラーステータス」を参照してください。

【オートボーレート補正機能】

LIN スレーブモード [オートボーレート] では、常に受信したロウレベル幅を計測しています。そして 1 回目の“ロウレベル”幅がシンクフィールドの始めの 2 ビット（シンクフィールドの始めの連続する立ち下がりがエッジの期間）の平均から計算された 1 ビット幅の 10 倍（RLN3nLBFC レジスタの BLT ビットが“0”のとき）または 11 倍（RLN3nLBFC レジスタの BLT ビットが“1”のとき）以上の場合にはブレイクフィールド検出に成功したと判断し、シンクフィールドのデータが 55_Hであることを確認します。データが 55_Hであることを確認し、シンクフィールドの受信が成功したと判断できた場合、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

エラーなく ID フィールドまで受信すると、ストップビット位置でヘッダ受信完了割り込みが発生します。

一方、シンクフィールドのデータが 55_Hでなかった場合は、シンクフィールド検出に失敗したと判断し、シンクフィールドエラーフラグをセットしてエラー割り込みが発生します。この場合、ボーレート補正は行われず、LIN/UART インタフェースは次のブレイクフィールド（ロウレベル）の検出待ちになります。

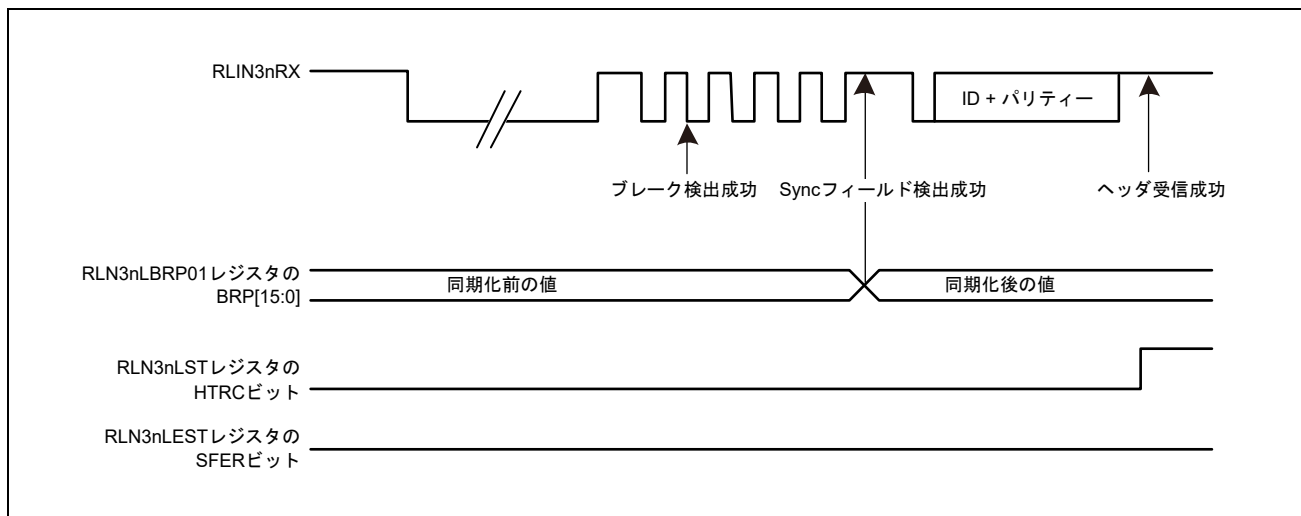


図 13.8 LIN スレーブモード [オートボーレート] ヘッダ受信（正常動作時）

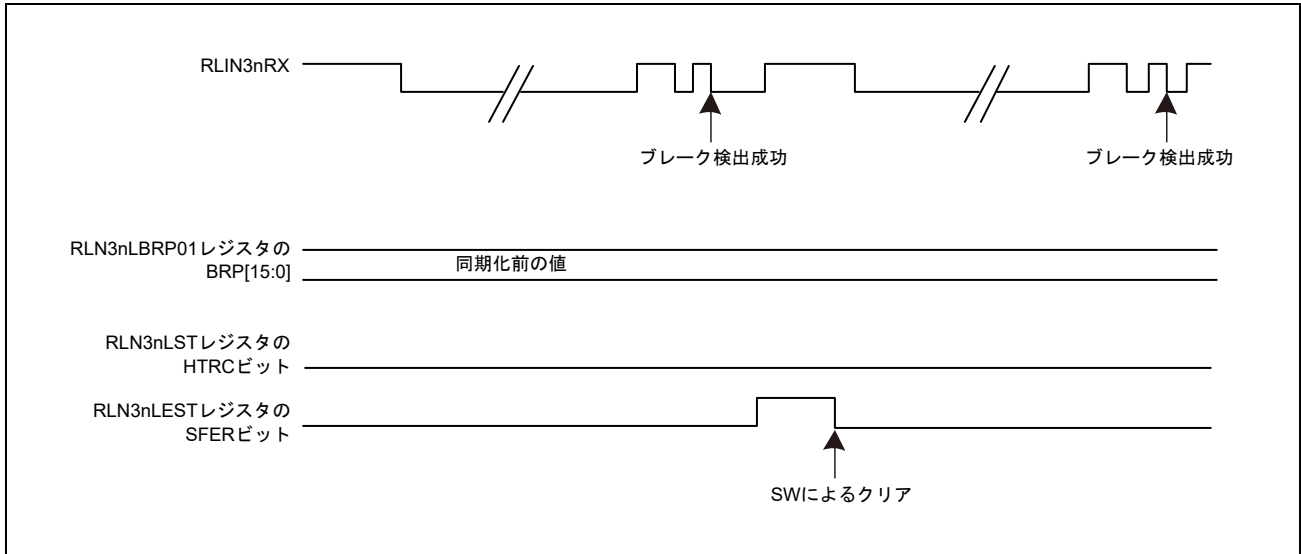


図 13.9 LIN スレーブモード [オートポーレート] ヘッダ受信 (シンクフィールドエラー)

13.7.2.2 レスポンス送信

図 13.10 に LIN/UART インタフェース (LIN スレーブモード) のレスポンス送信時の動作、表 13.81 にレスポンス送信時の処理を示します。

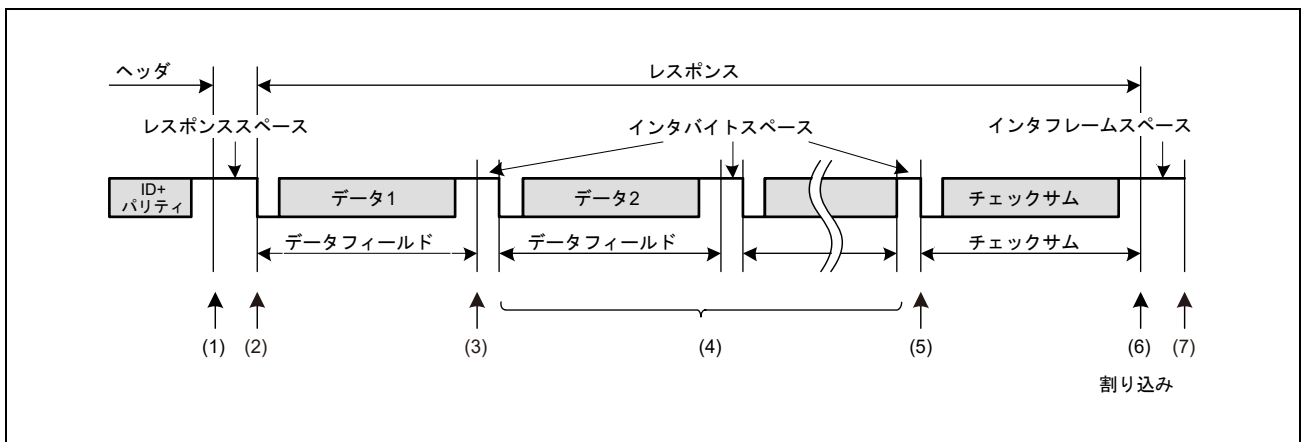


図 13.10 レスポンス送信時の動作

表 13.81 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> RLN3nLDFC レジスタの設定 RLN3nLDBRb レジスタの設定 (b = 1~8) RLN3nLTRC レジスタの RTS ビットを“1” (レスポンス送受信開始) にする 	<ul style="list-style-type: none"> ソフトウェアによる RLN3nLTRC レジスタの RTS ビットまたは LNRR ビット設定待ち RLN3nLTRC レジスタの RTS ビットが“1” に設定されたあと、レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。) <p style="text-align: center;">:</p> <p style="text-align: center;">:</p>
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> レスポンス/ウェイクアップ送信完了フラグ設定 RLN3nLTRC レジスタの RTS ビットを“0” (レスポンス送信/受信停止) にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア 	<ul style="list-style-type: none"> レスポンス送信プロセス完了 新規ブレーク待ち

備 考

- エラー検出条件に関しては、「13.7.7 エラーステータス」を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ (続く Sync フィールド、ID フィールド) の受信は継続します。

13.7.2.3 レスポンス受信

図 13.11 に LIN/UART インタフェース (LIN スレーブモード) のレスポンス受信時の動作、表 13.82 にレスポンス受信時の処理を示します。

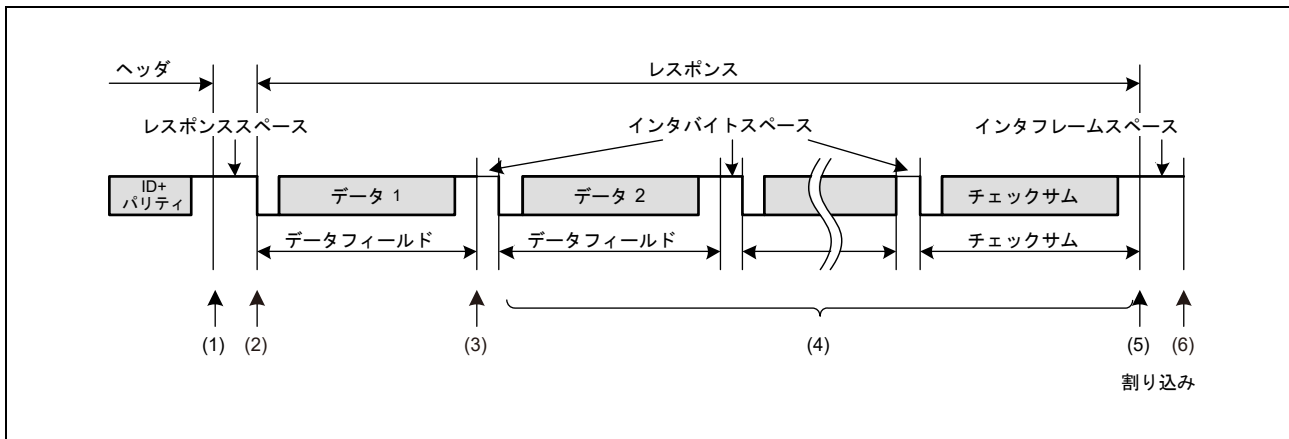


図 13.11 レスポンス受信時の動作

表 13.82 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> RLN3nLDFC レジスタの設定 レスポンス送信/受信開始ビット (RTS ビット) を “1” に設定 	<ul style="list-style-type: none"> ソフトウェアによるレスポンス送信/受信開始ビット (RTS ビット) またはレスポンスなし要求ビット (LNRR ビット) の設定待ち スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。) スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 レスポンス/ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 RLN3nLTRC レジスタの RTS ビットを “0” (レスポンス送信/受信停止) にする
(6)	<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア 	<ul style="list-style-type: none"> レスポンスプロセス完了 新規ブレーク待ち

備 考

- エラー検出条件に関しては、「13.7.7 エラーステータス」を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ (続く Sync フィールド、ID フィールド) の受信は継続します。

13.7.2.4 レスポンス要求なし

図 13.12 に LIN/UART インタフェース (LIN スレーブモード) のレスポンス要求なし時の動作、表 13.83 にレスポンス要求なし時の処理を示します。

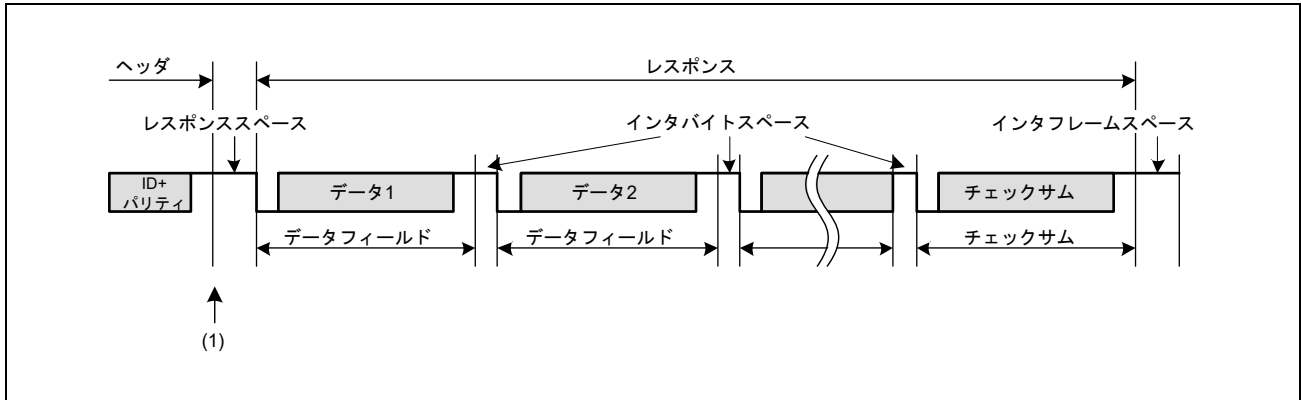


図 13.12 レスポンス要求なし時の動作

表 13.83 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> レスポンス要求なしビット (LNRR ビット) を “1” に設定 	<ul style="list-style-type: none"> ソフトウェアによる LNRR ビット (レスポンス要求なし) セット待ち フレーム受信プロセス完了 新規ブレーク待ち

13.7.3 データ送信／受信

13.7.3.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLIN3nLEST レジスタの BER フラグに格納されます（「13.7.7 エラーステータス」参照）。

LIN マスタモード、LIN スレーブモード〔固定ボーレート〕では、1 Tbit = 16 fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25%位置）になります。

LIN スレーブモード〔オートボーレート〕では、1 Tbit = 4 fLIN で生成される場合は、受信データのサンプリングポイントは 3 クロック目（75%位置）、1 Tbit = 8 fLIN で生成される場合は、受信データのサンプリングポイントは 7 クロック目（87.5%位置）になります。

図 13.13 にデータ送信タイミングの例を示します。

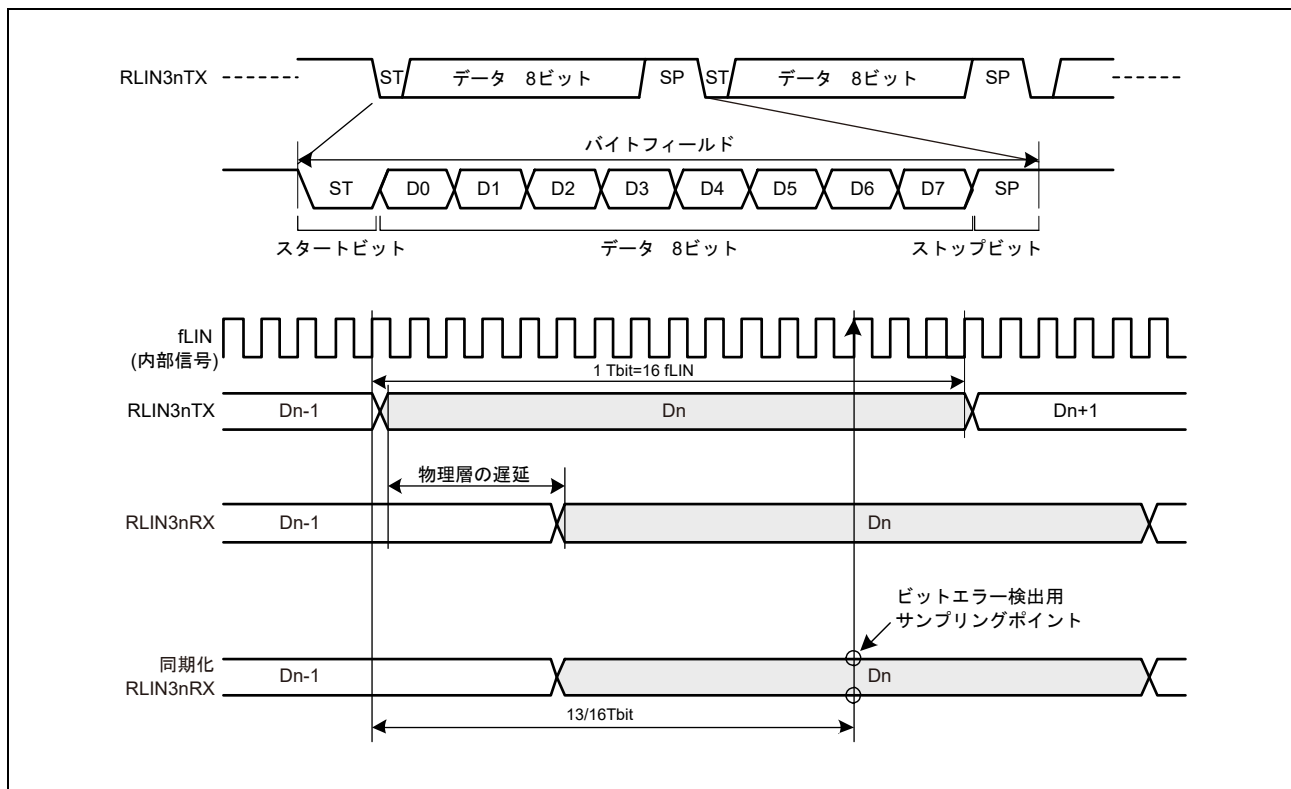


図 13.13 データ送信タイミング例 (LIN マスタモード、LIN スレーブモード〔固定ボーレート〕)

13.7.3.2 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケールクロックに同期させた同期化 RLIN3nRX (内部信号) を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケールクロックで3 サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 13.14 にデータ受信タイミングの例を示します。

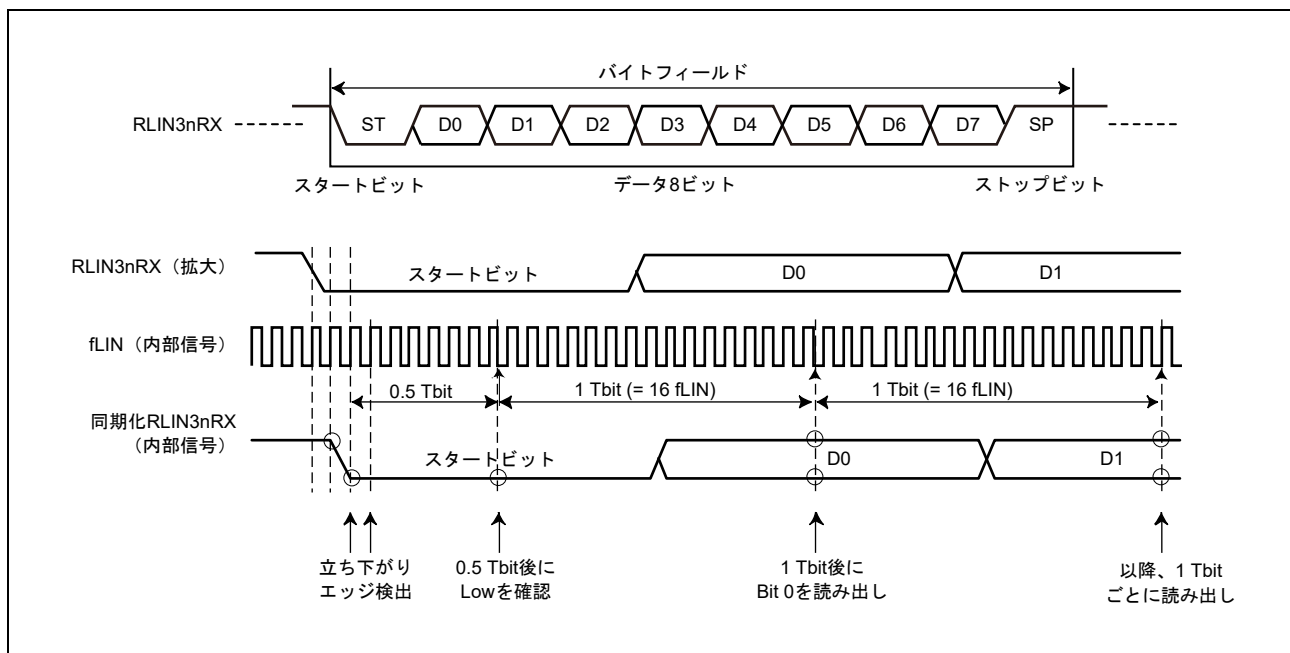


図 13.14 データ受信タイミング例 (LIN マスタモード、LIN スレーブモード [固定ポーレート])

13.7.4 送信／受信データのバッファ処理

LIN/UART インタフェースの連続データ送受信時のバッファ処理について説明します。

13.7.4.1 LIN フレームの送信

8 バイト送信の場合、RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタの内容は送信されません。また、RLN3nLCBR レジスタには送信したチェックサムデータが格納されます。

図 13.15 に LIN 送信処理とバッファを示します。

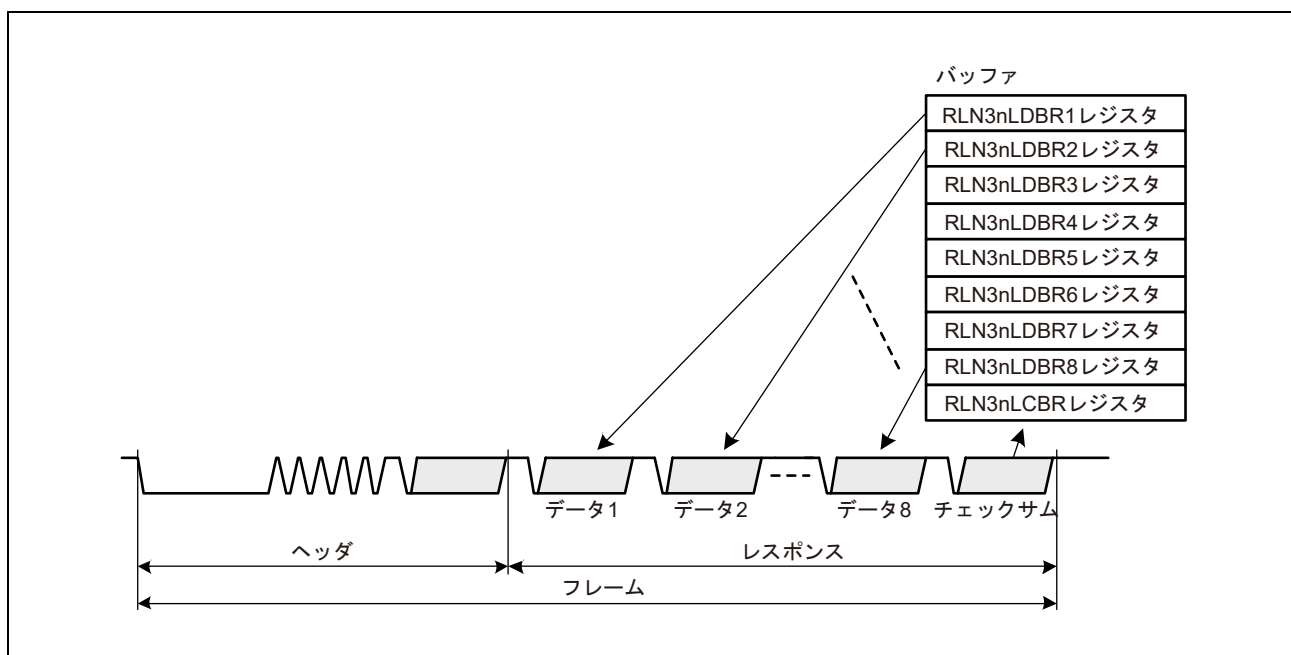


図 13.15 LIN 送信処理とバッファ

【フレームセパレートモード】

RLN3nLDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN3nLST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

LIN マスタモードで 9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行なう場合は、フレームセパレートモードを使用してください。

13.7.4.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタには何も格納されません。また、RLN3nLCBR レジスタには受信したチェックサムデータが格納されます。

図 13.16 に LIN 受信処理とバッファを示します。

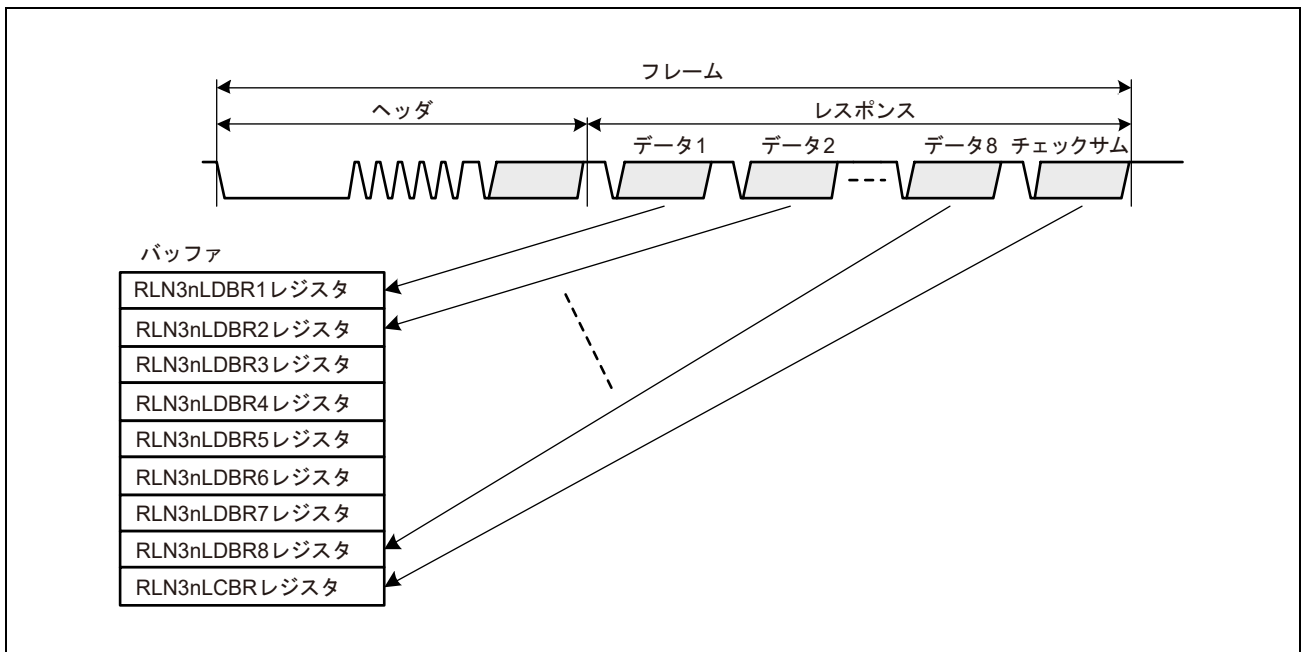


図 13.16 LIN 受信処理とバッファ

【データ 1 受信】

1 バイト目のデータ受信が完了すると、RLN3nLST レジスタの DIRC フラグが “1” (データ 1 受信完了) になります。

13.7.4.3 多バイトレスポンス送受信機能

通常 LIN 通信において、レスポンスはチェックサムを含み 9 バイト以下ですが、10 バイト以上のレスポンスを送受信することが可能です。

このとき、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能および自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は、最初のデータグループ (0~8 バイトで可変) で RLN3nLDFC レジスタの LSS ビットを“1” (次に送受信するデータグループは最終ではない) に設定し、送信または受信します。送信または受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、RLN3nLDFC レジスタの LSS ビットを“0” (次に送受信するデータグループは最終) に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RLN3nLTRC レジスタの RTS ビットが“0” のときに RLN3nLDFC レジスタの RFDL ビットの設定を変更することにより、データグループごとにデータ長を変更することができます。

LIN マスタモードで、多バイトレスポンス送受信を行う場合は、RLN3nLDFC レジスタの FSM ビットを“1” (フレームセパレートモード) に設定して行ってください。

備 考

LIN/UART インタフェースは、LIN スレーブモードのとき、レスポンス送信または受信中に新たなブレイクフィールドを検出することができます。

13.7.5 ウェイクアップ送信/受信

ウェイクアップの送受信は LIN ウェイクアップモードで使用できます。

13.7.5.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN3nLDFC レジスタの RFT ビットを“1” (LIN マスタモード: レスポンズ送信)、または RLN3nLDFC レジスタの RCDS ビットを“1” (LIN スレーブモード: レスポンズ送信) に設定後、RLN3nLTRC レジスタの FTS ビットを“1” (フレーム送信・ヘッダ受信/ウェイクアップ送受信開始) にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウレベル幅は RLN3nLWUP レジスタの WUTL[3:0] ビットで設定します。ただし、LIN マスタモードで RLN3nLWBR レジスタの LWBR0 ビットが“1” (LIN2.x 使用時) の場合は、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック (fLIN) が fa でのロウレベル幅になります。fa 選択時のボーレートを 19200 bps に、RLN3nLWUP レジスタの WUTL[3:0] ビットを“0100_B” (5 Tbits) に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260 μs のロウレベル幅を出力することができます。

ビットエラーなくウェイクアップのロウレベルが出力された場合、RLN3nLST レジスタの FTC フラグが“1” (フレームレスポンスまたはウェイクアップ送信完了) になり、RLN3nLIE レジスタの FTCIE ビットが“1” (フレームレスポンス/ウェイクアップ送信完了割り込み許可) のとき RLIN3n 送信割り込み要求が発生します。

RLN3nLEDE.BERE がセットされていてビットエラーを検出した場合は、ウェイクアップ送信を中断し、RLN3nLEST レジスタの BER フラグを“1” (ビットエラー検出) にします。

LIN マスタモードで RLN3nLEDE.PBERE がセットされている場合は、ビットエラーと同時に RLN3nLEST.PBER フラグを“1” (フィジカルバスエラー検出) にします。

図 13.17 にウェイクアップ送信タイミングを示します。

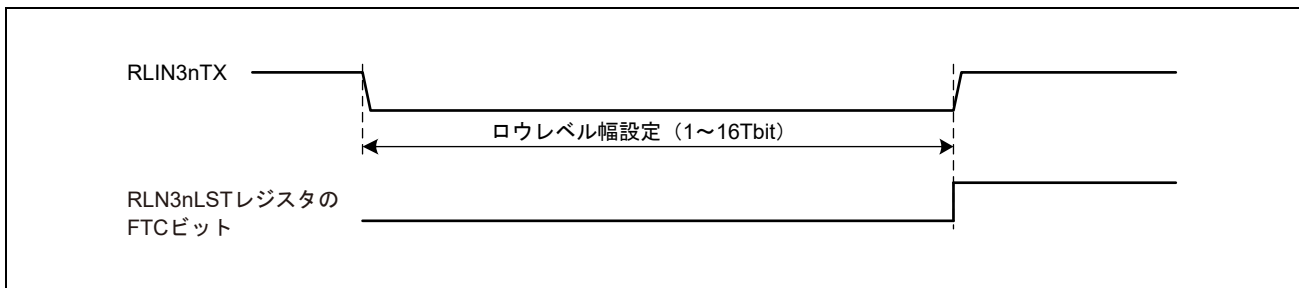


図 13.17 ウェイクアップ送信タイミング

13.7.5.2 ウェイクアップ受信動作

ウェイクアップ信号を検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN3nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号ロウレベル幅を fLIN の 2.5 Tbit 以上で計測することができます。

LIN マスタモード時は、RLN3nLWBR レジスタの LWBR0 ビットの設定により、LIN 動作モードと LIN ウェイクアップモードの切り替え時に、ボーレートジェネレータの設定を変更することなく、動作させることが可能です。

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを “0” に、LIN Specification Package Revision 2.x 使用時は “1” に設定してください。LWBR0 ビットを “1” にすると RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります。

(LCKS ビットは変化しません)。fa 選択時のボーレートを 19200 bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130 μs 以上の入力信号ロウレベル幅を検出することができます。

ウェイクアップ受信機能を使用する場合、LIN ウェイクアップモードにて、RLN3nLDFC レジスタの RFT ビットを “0” (LIN マスタモード：レスポンス受信)、または RLN3nLDFC レジスタの RCDS ビットを “0” (LIN スレーブモード：レスポンス受信) に設定後、RLN3nLTRC レジスタの FTS ビットを “1” (フレーム送信 (ヘッダ受信) /ウェイクアップ送受信開始) にしてください。

計測するロウレベル幅に達すると RLN3nLST レジスタの FRC フラグが “1” (フレームレスポンスまたはウェイクアップ受信完了) になり、RLN3nLIE レジスタの FRCIE ビットが “1” (フレームレスポンス /ウェイクアップ受信完了割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。

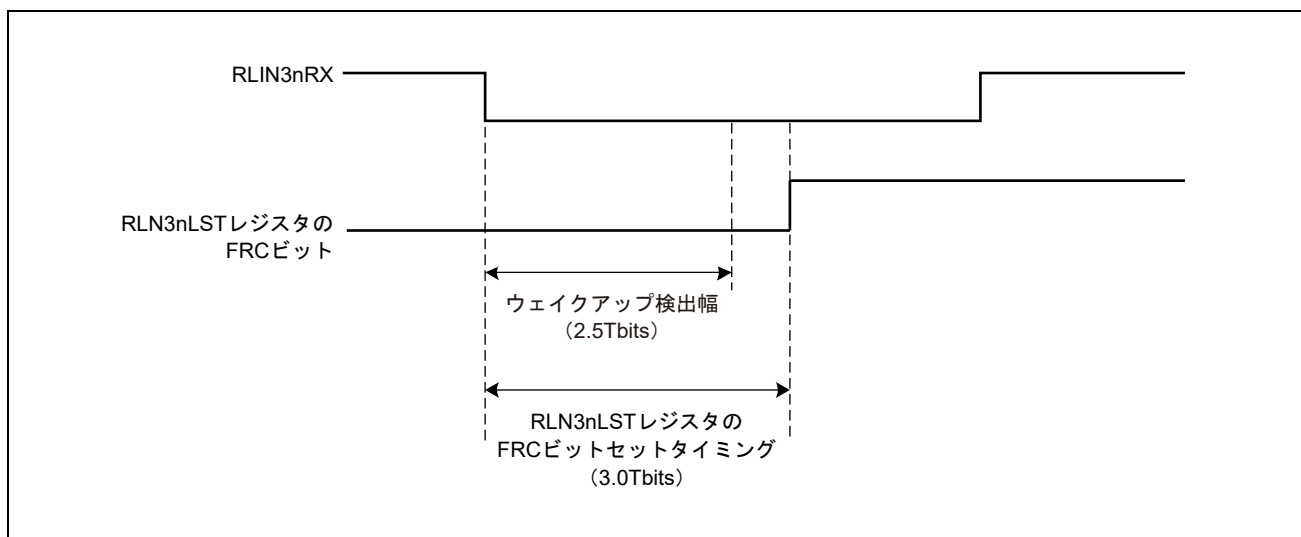


図 13.18 入力信号ロウレベル幅カウント機能

13.7.5.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN/UART インタフェースではウェイクアップ信号の衝突は検知しません。

13.7.6 ステータス

LIN/UART インタフェースは LIN モード動作時に、7 種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出、ヘッダ送信完了/ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

表 13.84 に LIN マスタモードでのステータスの種類を、**表 13.85** に LIN スレーブモード [オートボーレート] および LIN スレーブモード [固定ボーレート] のステータスの種類を示します。

表 13.84 LIN マスタモードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLMST レジスタの OMM1 ビット	—
フレーム/ウェイクアップ送信完了	フレーム (ヘッダ送信+レスポンス送信)、ウェイクアップ信号またはデータグループを正常に送信完了したとき	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FTC フラグ	○
フレーム/ウェイクアップ受信完了	フレーム (ヘッダ送信+レスポンス受信)、ウェイクアップ信号またはデータグループを正常に受信完了したとき	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが “1” (エラー検出) になったとき	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア^{注 1} • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RFT ビットが “0” (受信) で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき ^{注 2}	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	<ul style="list-style-type: none"> • 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0]ビットが “0000_B” (0 バイト+チェックサム) のときは検出されません。

表 13.85 LIN スレーブモードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLMST レジスタの OMM1 ビット	—
レスポンス / ウェイクアップ送信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に送信完了したとき	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FTC フラグ	○
レスポンス / ウェイクアップ受信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に受信完了したとき	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグのいずれかが “1” (エラー検出) になったとき	<ul style="list-style-type: none"> • ソフトウェアによるクリア^{注 1} • LIN リセットモード移行時 	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RCDS ビットが “0” (受信) で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき ^{注 2}	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ受信完了	ヘッダフィールドを正常に受信完了した場合	<ul style="list-style-type: none"> • ソフトウェアによるクリア • LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0]ビットが “0000_B” (0 バイト+チェックサム) のときは検出されません。

13.7.7 エラーステータス

13.7.7.1 LIN マスタモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN マスタモードで 6 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 13.86 にエラーステータスの種類を示します。

表 13.86 エラーステータスの種類 (LIN マスタモード)

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可/禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき ^{注 1, 注 2}	<ul style="list-style-type: none"> ● LIN 動作モード ● LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの BER フラグ
フィジカルバスエラー	<ul style="list-style-type: none"> ● ブレーク送信時に LIN バスがハイレベルを検出した場合 ● ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 ● ウェイクアップ送信時に LIN バスがハイレベルを検出した場合 	<ul style="list-style-type: none"> ● LIN 動作モード ● LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの PBER フラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき ^{注 3}	LIN 動作モード	中断	○	RLN3nLEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN3nLEST レジスタの CSER フラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 <ul style="list-style-type: none"> ● ヘッダ送信完了後、レスポンス送受信要求設定前に 1 バイト目の受信データを受信したとき ● 前のデータグループ受信完了後、次のデータグループの送受信要求設定前に 1 バイト目の受信データを受信したとき 	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3. タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0]ビット)、およびチェックサム選択 (RLN3nLDFC レジスタの CSM ビット) に依存し、下記の式により計算できます。RLN3nLDFC レジスタの FSM ビットが“1” (フレームセパレートモード) の場合、RLN3nLTRC レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0]ビット) を元にした時間に再設定されます。

【フレームタイムアウト】

クラシック選択時 (RLN3nLDFC レジスタの LCS ビットが“0”の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN3nLDFC レジスタの LCS ビットが“1”の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、

エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

タイムアウト時間 = (データバイト数 + 1) × 14 [Tbit]

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

エラーステータスのクリア条件は、次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき)、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 13.19 にエラーを検出するために LIN/UART インタフェースが LIN マスタモード時に監視する時間領域を示します。

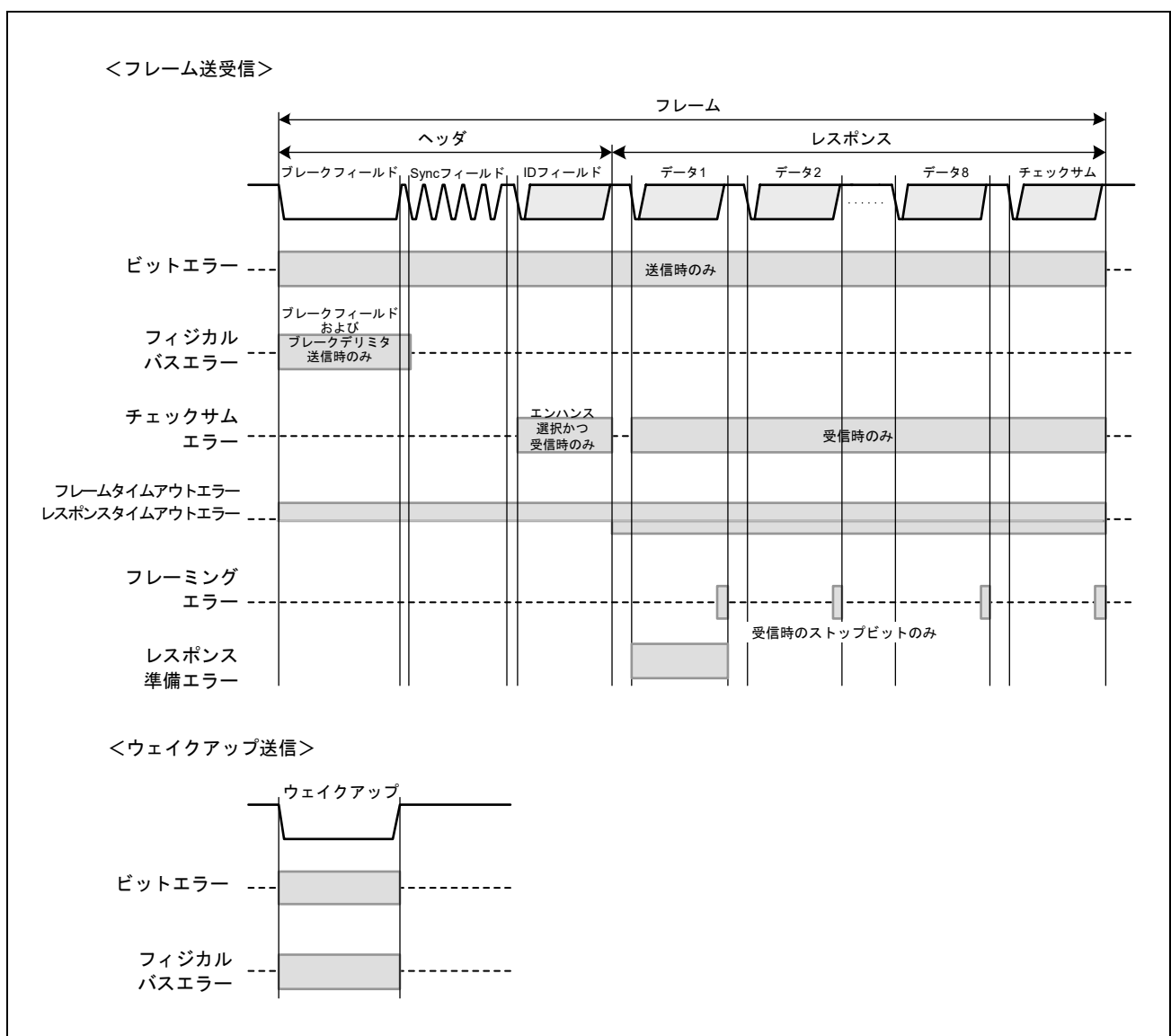


図 13.19 LIN エラー検出の対象時間領域 (LIN マスタモード)

13.7.7.2 LIN スレーブモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN スレーブモード [オートボーレート] または LIN スレーブモード [固定ボーレート] で、7 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 13.87 にエラーステータスの種類を示します。

表 13.87 エラーステータスの種類 (LIN スレーブモード)

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可/禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき ^{注1, 注2}	<ul style="list-style-type: none"> • LIN 動作モード • LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの BER フラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき ^{注3}	LIN 動作モード	中断	○	RLN3nLEST レジスタの TER フラグ
フレーミングエラー	フレーム受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
シンクフィールドエラー	ブレークローレベルの幅が RLN3nLBFC レジスタの LBLT ビットで設定した幅よりも長く、シンクフィールドが "55 _H " でないとき	LIN 動作モード	中断	○ 注4	RLN3nLEST レジスタの SFER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	— 注5	×	RLN3nLEST レジスタの CSER フラグ
ID パリティエラー	受信した ID パリティビットが、LIN/UART インタフェースが自動で計算した値と一致しなかったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの IPER フラグ
レスポンス準備エラー	<ul style="list-style-type: none"> • ヘッド受信後、1 バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかったとき • 多バイトレスポンス受信で、次のデータグループの 1 バイト目の受信データを受信完了前に次のデータグループの受信準備が間に合わなかったとき 	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3. タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0]ビット)、およびチェックサム選択 (RLN3nLDFC レジスタの LCS ビット) に依存し、下記の式により計算できます。RLN3nLTRC レジスタの RTS ビットまたは LNRR ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0]ビット) を元にした時間に再設定されません。LNRR ビットが設定されると、タイムアウト機能は停止します。

【フレームタイムアウト】

クラシック選択時 (RLN3nLDFC.LCS ビットが "0" の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN3nLDFC.LCS ビットが "1" の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、

エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

タイムアウト時間 = (データバイト数 + 1) × 14 [Tbit]

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

注 4. SFER フラグへの反映の許可/禁止であり、エラー検出の許可/禁止ではありません。

注 5. レスポンスフレーム受信完了後にチェックサム判定を行います。エラーの場合、受信完了フラグは“1”になりません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 13.20 にエラーを検出するために LIN/UART インタフェースが LIN スレーブモード時に監視する時間領域を示します。

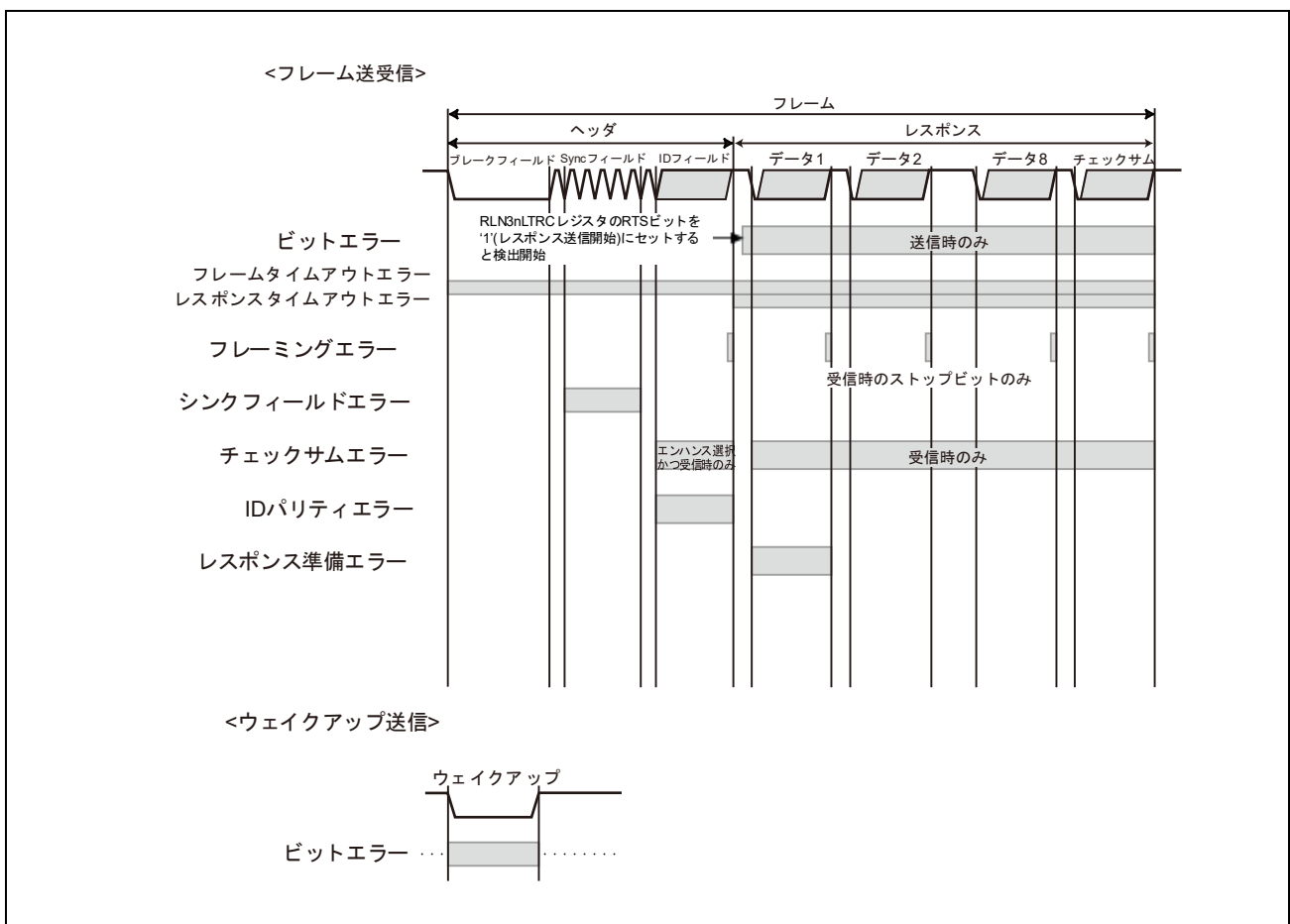


図 13.20 LIN エラー検出の対象時間領域 (LIN スレーブモード)

13.8 UART モード

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを “01_B” (UART モード) に設定し、RLN3nLCUC レジスタの OM0 ビットを “1” にしてください。これにより UART モードになり、RLN3nLMST レジスタの OMM0 ビットが “1” になります。

13.8.1 送信

図 13.21 に LIN/UART インタフェース (UART モード) の送信動作、表 13.88 に LIN/UART インタフェース (UART モード) の送信処理を示します。

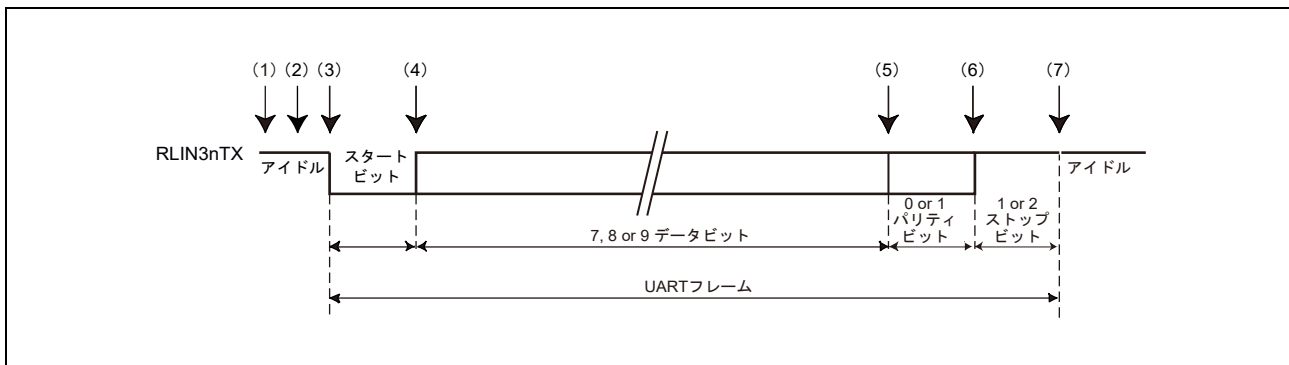


図 13.21 LIN/UART インタフェース (UART モード) の送信動作

表 13.88 LIN/UART インタフェース (UART モード) の送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • 割り込み発生タイミングを設定 • LIN/UART インタフェースを LIN リセットモードから解除 • 送信動作許可ビット (UTOE ビット) を “1” に設定 	<ul style="list-style-type: none"> • ソフトウェアによる送信トリガ (RLN3nLUTDR レジスタ) 待ち
(2)	<ul style="list-style-type: none"> • UART 送信データレジスタ (RLN3nLUTDR) または UART ウェイト用送信データレジスタ (RLN3nLUWTD) に送信データを設定 	<ul style="list-style-type: none"> • 送信ステータスフラグを設定
(3)	<ul style="list-style-type: none"> • 割り込み要求発生待ち <p>【UTIGTS ビットが “0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> • 連続してデータの送信を行う場合は、UART 送信データレジスタ (RLN3nLUTDR レジスタ) に次の送信データを設定。割り込み要求発生待ち 	<ul style="list-style-type: none"> • スタートビット送信 (半二重通信で受信→送信切り替え時は、受信の 1 ストップビットの終わり以後、スタートビット送信。この機能は「13.8.1.4 送信開始ウェイト機能」を参照してください。) • 【UTIGTS ビットが “0” (送信開始時に送信割り込み発生) のとき】 • 送信割り込み出力
(4)		UART (ウェイト用) 送信データレジスタに設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 or 2 ストップビットを送信

表 13.88 LIN/UART インタフェース (UART モード) の送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(7)	<p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> • 次の送信データがセットされている場合は、(3) へ <p>【UTIGTS ビットが“1” (送信完了時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> • 連続してデータの送信を行う場合は、(2) へ 	<p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> • 次の送信データがセットされている場合は、(3) へ • 次の送信データがセットされていない場合は、送信ステータスフラグをクリア <p>【UTIGTS ビットが“1” (送信完了時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> • RLIN3n 送信割り込み要求発生 • 送信ステータスフラグをクリア

13.8.1.1 連続送信

LIN/UART インタフェース (UART モード) では、RLN3nLUTDR レジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例および送信割り込み発生タイミングが送信完了の場合の動作例を図 13.22 に示します。

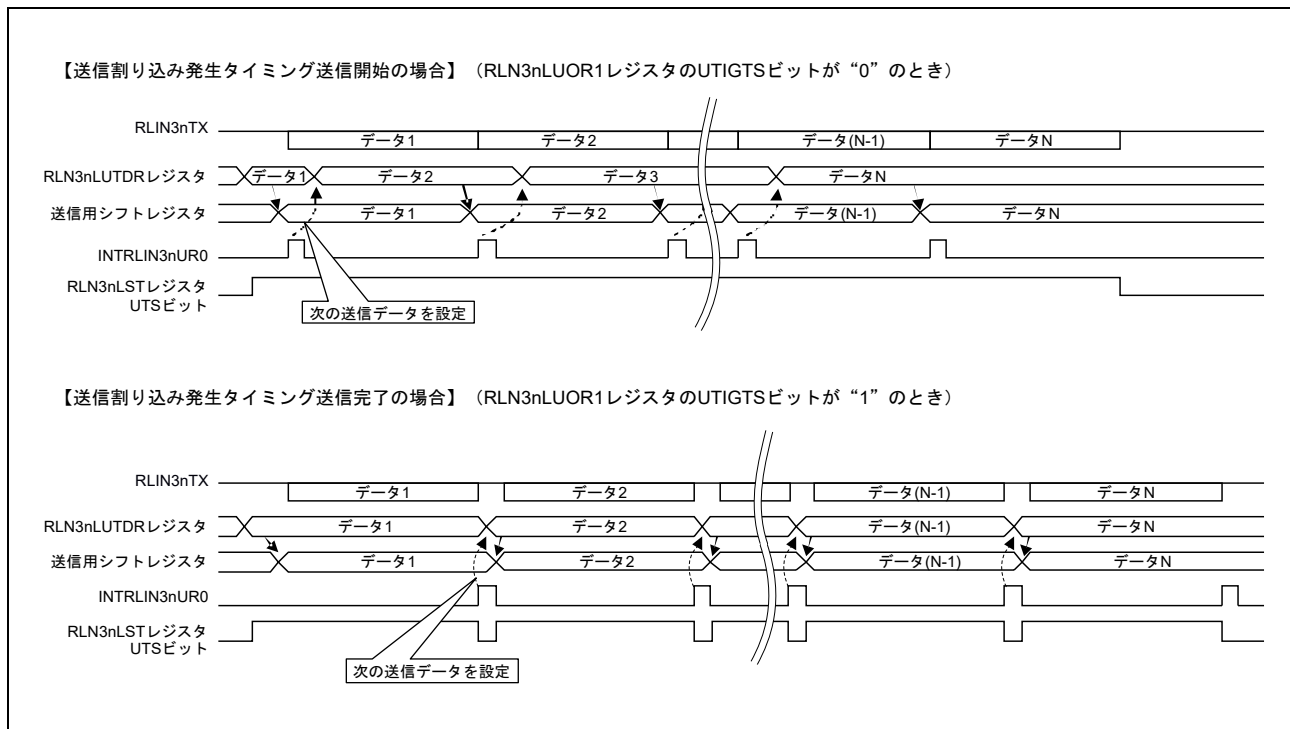


図 13.22 LIN/UART インタフェース (UART モード) 連続送信動作例

送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後に RLN3nLUOR1 レジスタの UTIGTS ビットを“0”から“1”に変更することにより、送信完了で割り込みを発生させることができます。

13.8.1.2 UART バッファ送信

LIN/UART インタフェース (UART モード) は、最大 9 バイトの UART バッファを持っており、UART バッファを使用した連続送信が可能です。

図 13.23 に LIN/UART インタフェース (UART モード) の UART バッファ送信動作、表 13.89 に UART バッファ送信処理を示します。

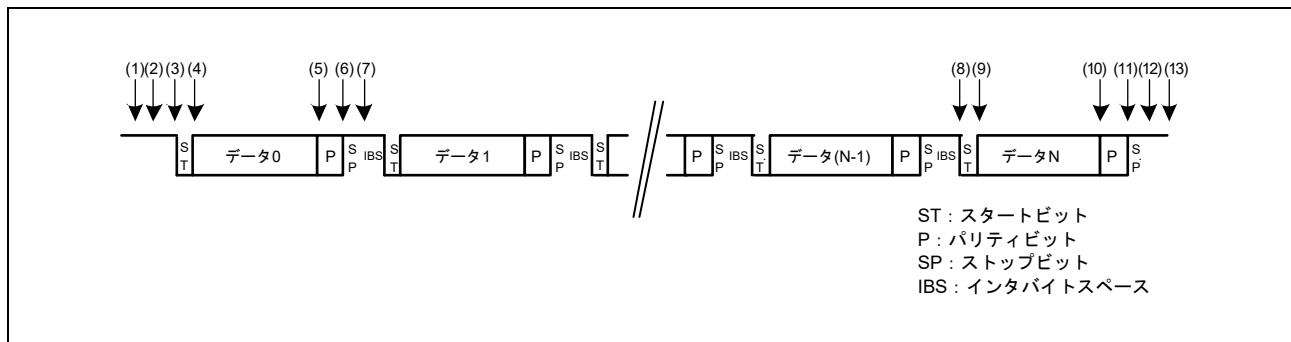


図 13.23 LIN/UART インタフェース (UART モード) の UART バッファ送信動作

表 13.89 LIN/UART インタフェース (UART モード) UART バッファ送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ● ボーレートを設定 ● ノイズフィルタ ON/OFF を設定 ● エラー検出許可を設定 ● データフォーマットを設定 ● 割り込み発生タイミングを送信完了時に設定 ● LIN リセットモードから解除 ● 送信動作許可ビット (UTOE ビット) を“1”に設定 	<ul style="list-style-type: none"> ● ソフトウェアによる送信トリガ (RTS ビット) 待ち
(2)	<ul style="list-style-type: none"> ● UART バッファデータ長および送信開始ウェイト有無の設定 ● UART データ 0 バッファレジスタ (RLN3nLUDB0)、LIN データバッファ b レジスタ (RLN3nLDBRb) に送信データを設定 (b = 1~8) ● UART バッファ送信開始ビット (RTS) を設定 	<ul style="list-style-type: none"> ● 送信ステータスフラグをセット
(3)	割り込み要求発生待ち	スタートビット送信 (半二重通信で受信→送信切り替え時は、受信の 1 ストップビットの終わり以後、スタートビット送信。この機能は「13.8.1.4 送信開始ウェイト機能」を参照してください。)
(4)		UART データバッファ 0 レジスタ (RLN3nLUDB0) または LIN/UART データバッファ b レジスタ (RLN3nLDBRb) に設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 または 2 ストップビットを送信 (UART バッファデータ長選択ビットで設定したデータ数が 1 の場合、(12) に進む)
(7)		インタバイトスペース (アイドル) を送信 UART バッファデータ長選択ビットで設定したデータ数-1 まで、(3) ~ (7) を繰り返す
(8)		スタートビット送信
(9)		LIN/UART データバッファ b レジスタ (RLN3nLDBRb) に設定したデータを送信
(10)		パリティ使用時、パリティビットを送信

表 13.89 LIN/UART インタフェース (UART モード) UART バッファ送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(11)		1 または 2 ストップビットを送信
(12)		<ul style="list-style-type: none"> • バッファ送信完了フラグをセット • UART バッファ送信開始ビット (RTS) をクリア • 送信割り込み要求信号 • 送信ステータスフラグをクリア
(13)	<ul style="list-style-type: none"> • RLIN3nLST レジスタのチェック、フラグのクリア • 連続してデータの送信を行う場合は、(2) へ 	

(1) UART バッファの送信

9 バイト送信の場合、RLN3nLUDB0 レジスタ、RLN3nLDBR1～RLN3nLDBR8 レジスタに格納されている内容が、データ 0～8 領域に送信されます。9 バイトの送信設定のときのみ、RLN3nLUDB0 レジスタは使われます。その他の場合、データ長により、RLN3nLDBR1～RLN3nLDBR8 レジスタが選択されます。4 バイト送信の場合は、RLN3nLDBR1～RLN3nLDBR4 レジスタに格納されている内容がデータ 1～4 領域に送信されます。

RLN3nLDBR5～RLN3nLDBR8 レジスタの内容は送信されません。RLN3nLDFC レジスタの MDL[3:0]ビットに設定したデータ数送信後、RLIN3n の送信割り込みが発生します。各送信データ間スペースは、RLN3nLSC レジスタの IBS ビットで設定できます。

図 13.24 に 9 バイトの UART バッファと送信処理を示します。

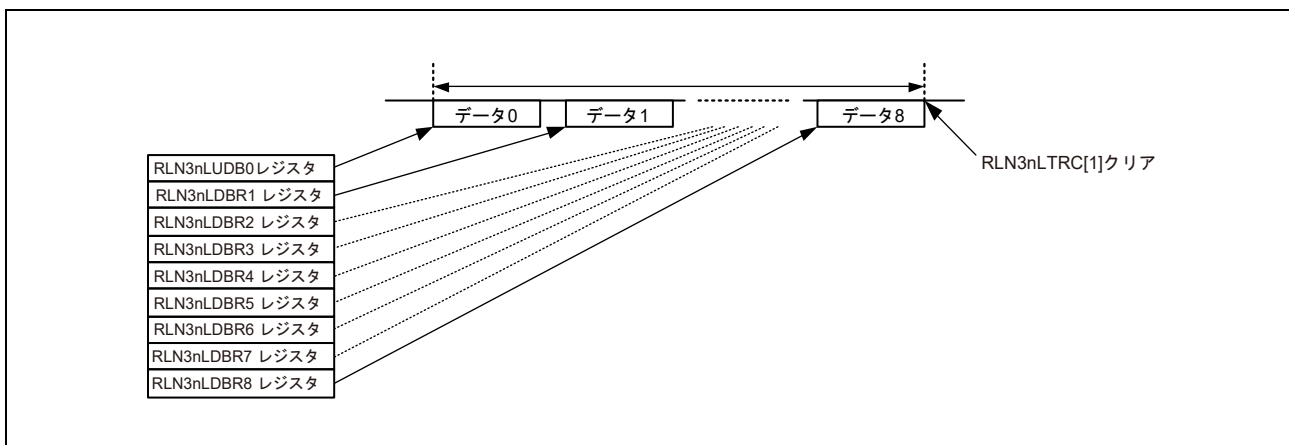


図 13.24 UART バッファと送信処理 (9 バイトの場合)

13.8.1.3 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

半二重通信で、RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）のとき、データ送信時に送信データと入力端子レベルの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（「13.8.5 エラーステータス」参照）。データ送信時に、入力端子をサンプリングするタイミングは、RLN3nLWBR レジスタの LPRS[2:0]および NSPB[3:0]ビットの設定により異なります。

UART モード時のビットエラー検出タイミングを表 13.90 に示します。

表 13.90 UART モード時のビットエラー検出タイミング

1 ビットあたりのサンプリング数	ビットエラー検出タイミング
6 サンプリング	3 クロック目 + 1 プリスケールクロック
7 サンプリング	4 クロック目 + 1 プリスケールクロック
8 サンプリング	4 クロック目 + 1 プリスケールクロック
9 サンプリング	5 クロック目 + 1 プリスケールクロック
10 サンプリング	5 クロック目 + 1 プリスケールクロック
11 サンプリング	6 クロック目 + 1 プリスケールクロック
12 サンプリング	6 クロック目 + 1 プリスケールクロック
13 サンプリング	7 クロック目 + 1 プリスケールクロック
14 サンプリング	7 クロック目 + 1 プリスケールクロック
15 サンプリング	8 クロック目 + 1 プリスケールクロック
16 サンプリング	8 クロック目 + 1 プリスケールクロック

データ送信のタイミング例 (1 Tbit が 16 サンプルの場合) を図 13.25 に示します。

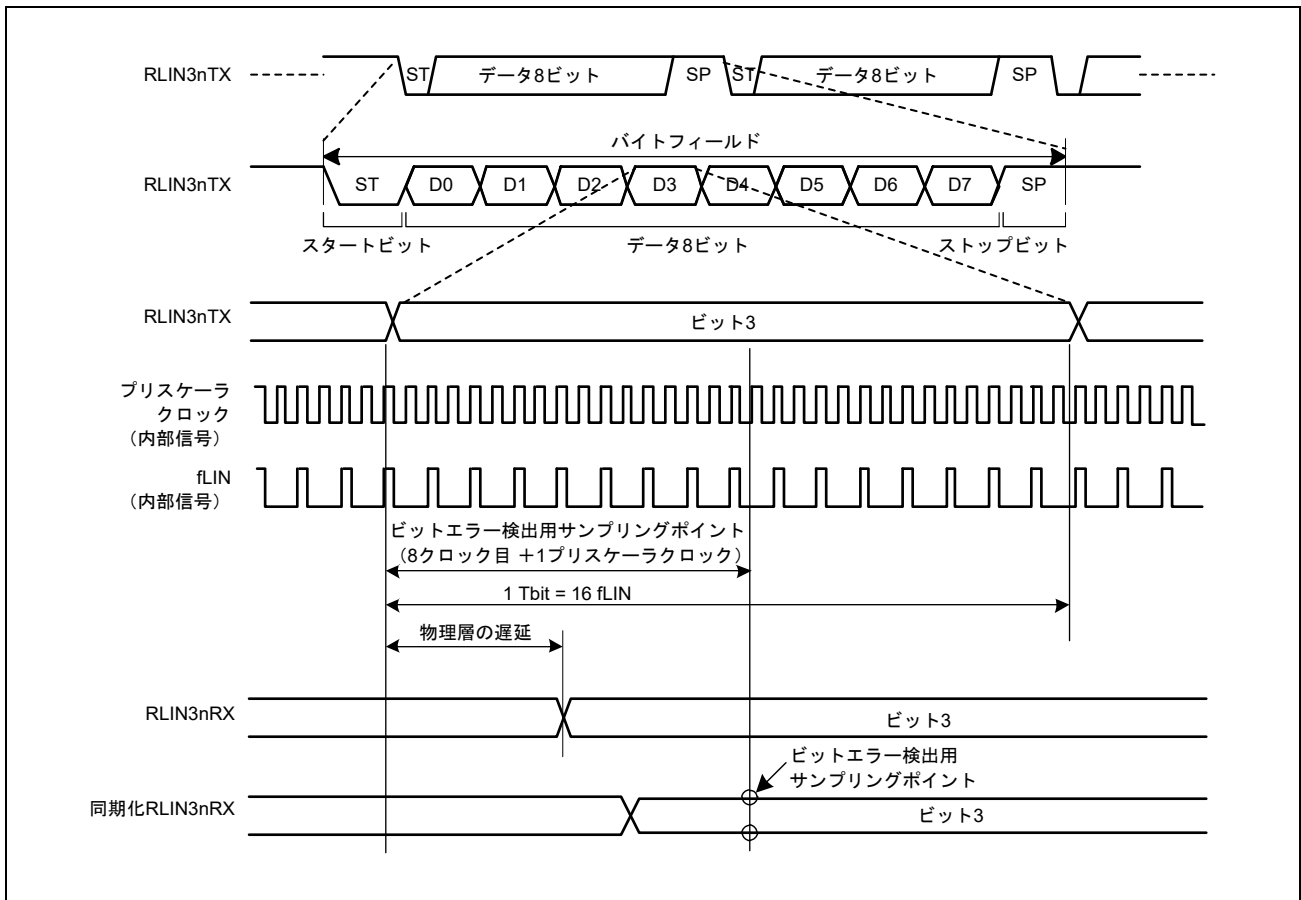


図 13.25 データ送信のタイミング例 (1 Tbit が 16 サンプルの場合)

13.8.1.4 送信開始ウェイト機能

LIN/UART インタフェース (UART モード) は、半二重通信を行う場合、受信から送信へ切り替わる時に受信のストップビット長を確保する機能を持っています。

受信のストップビット完了まで送信開始を遅らせたい場合、送信開始要求として `RLN3nLUTDR` レジスタへ送信データを設定する代わりに、ウェイト専用レジスタである `RLN3nLUWTD` レジスタへデータを設定してください。UART バッファから送信する場合は、`RLN3nLDFC` レジスタの `UTSW` ビットを“1”に設定した状態で、`RLN3nLTRC` レジスタの `RTS` ビットに“1” (UART バッファ送信開始) を設定してください。

この場合、受信データのストップビットが終了するまで、送信開始をウェイトします。

なお、`RLN3nLBFC` レジスタの UART ストップビット長選択ビット (`USBLS`) が“1” (ストップビット 2 ビット) の場合でも、1 ビット分しかウェイトしません。

送信ウェイト機能の動作を図 13.26 に示します。

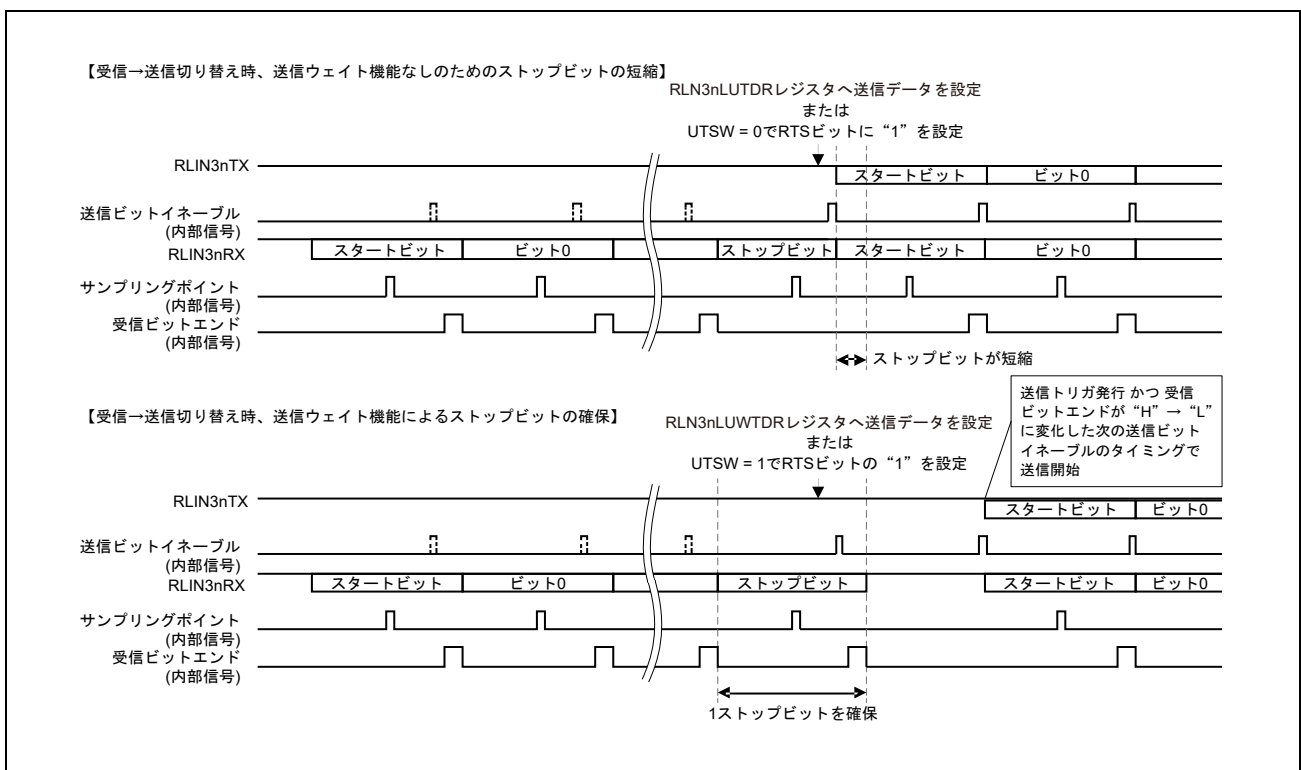


図 13.26 受信データのストップビット中に送信データを設定した場合

13.8.2 受信

図 13.27 に LIN/UART インタフェース (UART モード) の受信動作、表 13.91 に LIN/UART インタフェース (UART モード) の受信処理を示します。

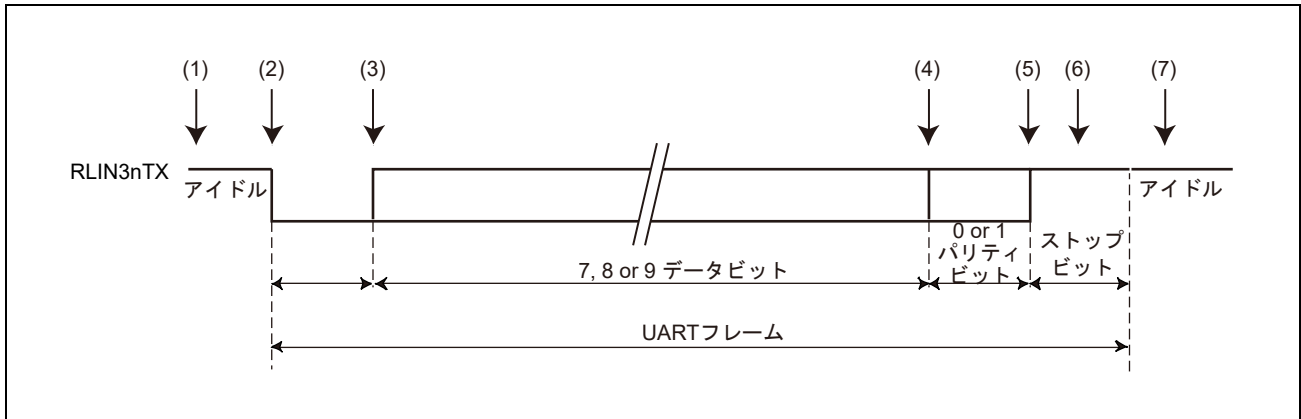


図 13.27 LIN/UART インタフェース (UART モード) の受信動作

表 13.91 LIN/UART インタフェース (UART モード) の受信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ボーレートを設定 ノイズフィルタ ON/OFF を設定 エラー検出許可を設定 データフォーマットを設定 LIN リセットモードから解除 受信動作許可ビット (UROE ビット) を“1”に設定 	<ul style="list-style-type: none"> ソフトウェアによる受信許可状態切り換え待ち
(2)	割り込み要求発生待ち	<ul style="list-style-type: none"> 受信端子からの立ち下がりエッジを待ち、スタートビットを検出 受信ステータスフラグをセット
(3)		データを受信
(4)		パリティ使用時、パリティビットを受信
(5)		1ストップビットのみ受信
(6)		<ul style="list-style-type: none"> RLIN3n 受信完了割り込み要求発生 受信ステータスフラグをクリア
(7)	RLN3nLST レジスタのチェック、フラグのクリア	受信端子からの立ち下がりエッジ待ち

13.8.2.1 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケールクロックに同期させた同期化 RLIN3nRX (内部信号) を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、1 Tbit あたりのサンプリング数が偶数の場合は 0.5 Tbit 後に、奇数の場合は $\{(\text{サンプリング数} + 1) / 2\} / (\text{サンプリング数})$ Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。ただし、RLN3nLEDE レジスタの BERE ビットが“1”の場合は、サンプリングポイントがビットエラー検出タイミングと同じになりません。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケールクロックで3サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 13.28 にデータ受信タイミングの例を示します。

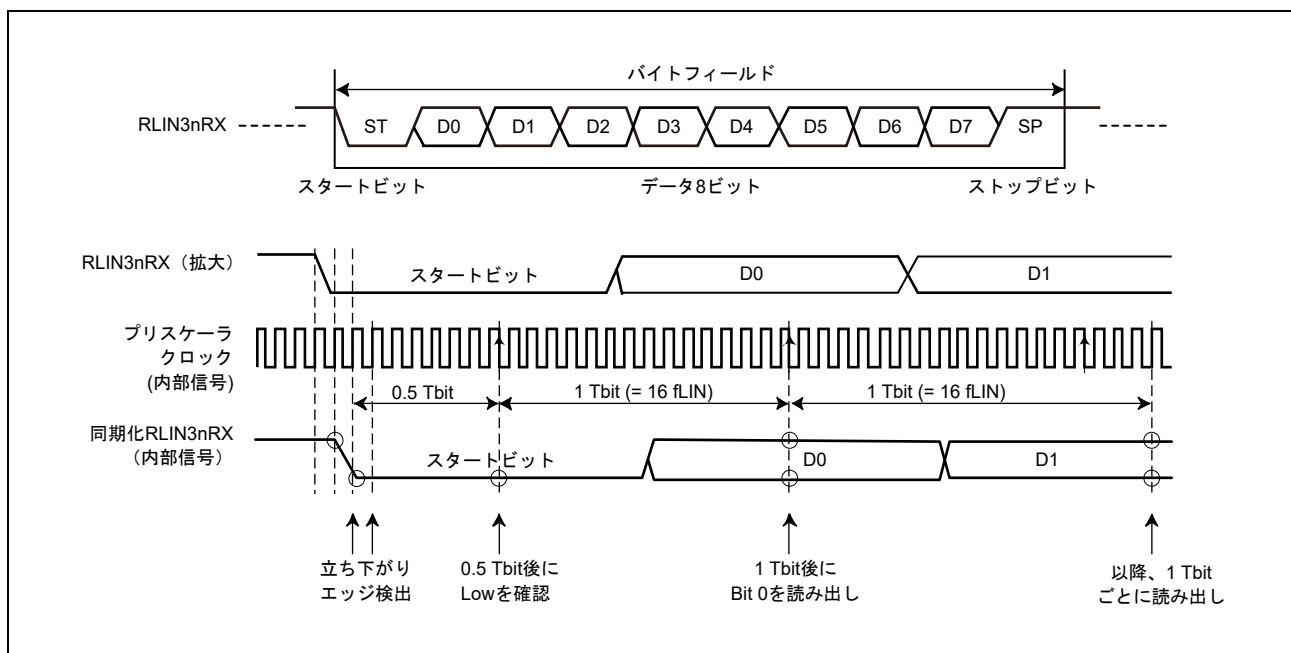


図 13.28 データ受信タイミング例 (1 Tbit が 16 サンプリングの場合)

13.8.3 拡張ビット

LIN/UART インタフェース (UART モード) で、RLN3nLUOR1 レジスタの UEBE ビットを “1” に設定することにより、9 ビット長のデータを送受信することが可能です。

13.8.3.1 拡張ビット送信

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が “1” で、UART 送信データレジスタ (RLN3nLUTDR) または UART ウェイト用送信データレジスタ (RLN3nLUWTD) に 9 ビットのデータを書き込むと 9 ビット長のデータが送信されます。

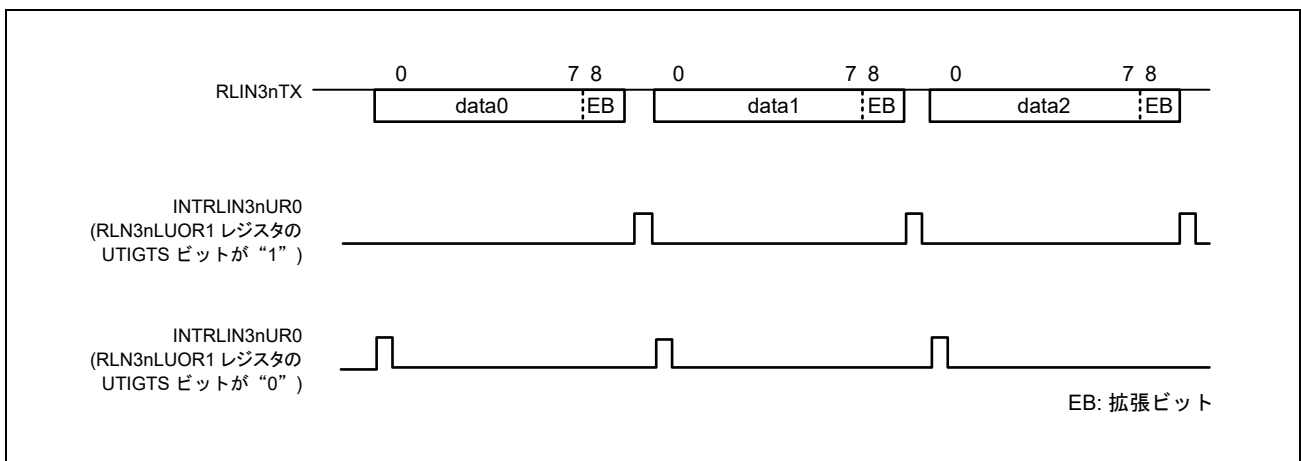


図 13.29 拡張ビット許可時送信例 (LSB ファースト)

13.8.3.2 拡張ビット受信

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が “1” かつ拡張ビット比較禁止ビット (UECD) が “1” かつ拡張ビット・データ比較許可ビット (UEBDCE) が “0” のとき、拡張ビットの比較なしで常に 9 ビット長の受信が可能です。UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット検出レベル選択ビット (UEBDL) の設定にかかわらず、9 ビット長のデータを受信すると RLIN3n の受信完了割り込みが発生します。

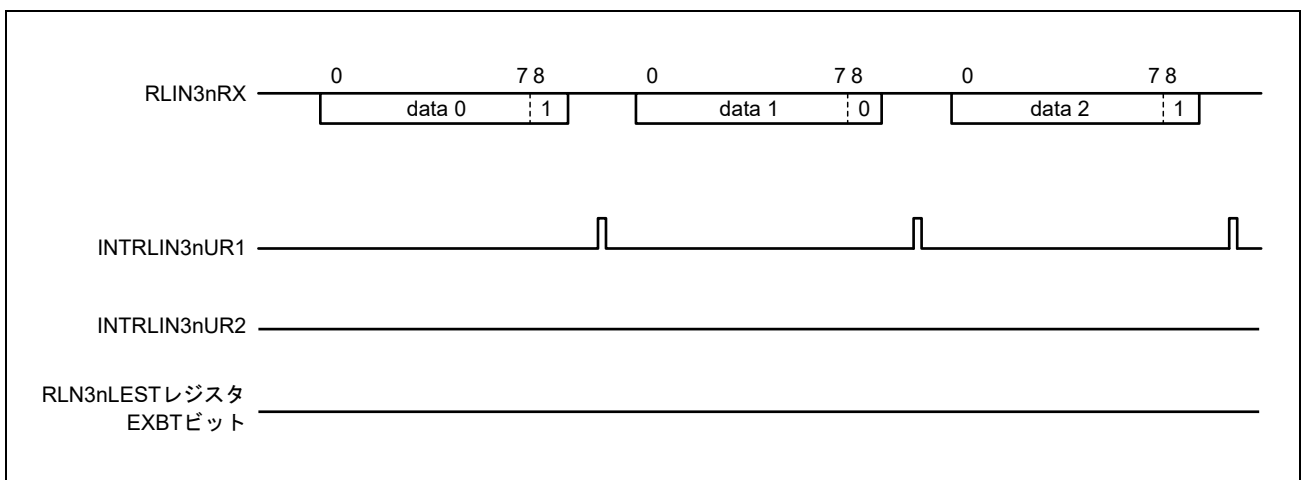


図 13.30 拡張ビット受信の例 (LSB ファースト)

13.8.3.3 拡張ビット受信 (拡張ビット比較あり)

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が “1” かつ拡張ビット比較禁止ビット (UECD) が “0” かつ拡張ビット・データ比較許可ビット (UEBDCE) が “0” のとき、受信した拡張ビットと UEBDL ビットの比較が可能です。

拡張ビット検出レベル選択ビット (UEBDL) で設定したレベルを検出した場合は、データ受信完了時に RLIN3n のステータス割り込み要求が発生し、LIN エラーステータスレジスタ (RLN3nLEST) の拡張ビット検出フラグ (EXBT) がセットされます。拡張ビット検出レベルの反転値が検出された場合は、RLIN3n の受信完了割り込み要求が発生します。どちらの場合も、オーバランエラーでなければ受信データを UART 受信データレジスタ (RLN3nLURDR) へ格納します。

拡張ビット検出レベル選択ビット (UEBDL) を “0” に設定した場合の例を図 13.31 に示します。

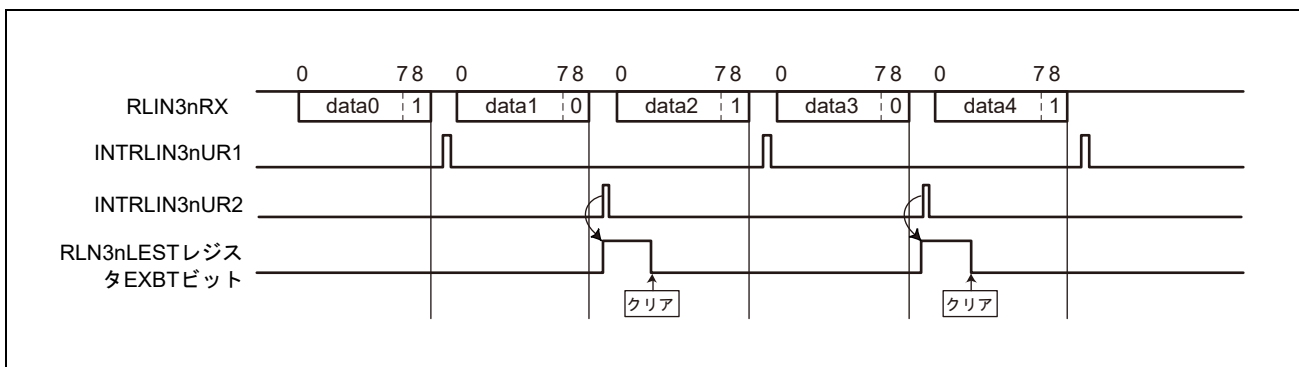


図 13.31 拡張ビット受信 (拡張ビット比較あり) の例 (LSB ファースト、UEBDL=0)

備 考

- 受信 data0、2、4 (拡張ビット検出レベルの反転値が検出された場合) で受信エラー (パリティエラー/フレーミングエラー/オーバランエラー) が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。このとき、RLIN3n の受信完了割り込みは発生しません。
- 受信 data1、3 (拡張ビット検出レベルが検出された場合) で受信エラー (パリティエラー/フレーミングエラー/オーバランエラー) が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生時は、拡張ビット検出フラグ (EXBT) もセットされます。

13.8.3.4 拡張ビット受信（データ比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が“1”かつ拡張ビット比較禁止ビット（UECD）が“0”かつ拡張ビット・データ比較許可ビット（UEBDCE）が“1”のとき、拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると、受信データの拡張ビットをのぞく 8 ビットを、あらかじめ設定した RLN3nLIDB レジスタ値と比較します。

比較結果が一致の場合は、以下の動作を実行します。

- RLIN3n のステータス割り込みを発生
- 拡張ビット検出フラグ（EXBT）をセット
- ID 一致フラグ（IDMT）をセット
- 受信データを UART 受信データレジスタ（RLN3nLURDR）に格納

比較結果が一致の場合においても、RLIN3n の受信完了割り込みは発生しません。

比較結果が一致しない場合は、RLIN3n の受信完了割り込みおよび RLIN3n のステータス割り込みは発生せず、EXBT フラグおよび IDMT フラグは“1”にセットされません。受信データは UART 受信データレジスタ（RLN3nLURDR）に格納されません。

UEBDCE ビットを“0”に変更する場合は、次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を“0”に設定した場合の例を図 13.32 に示します。

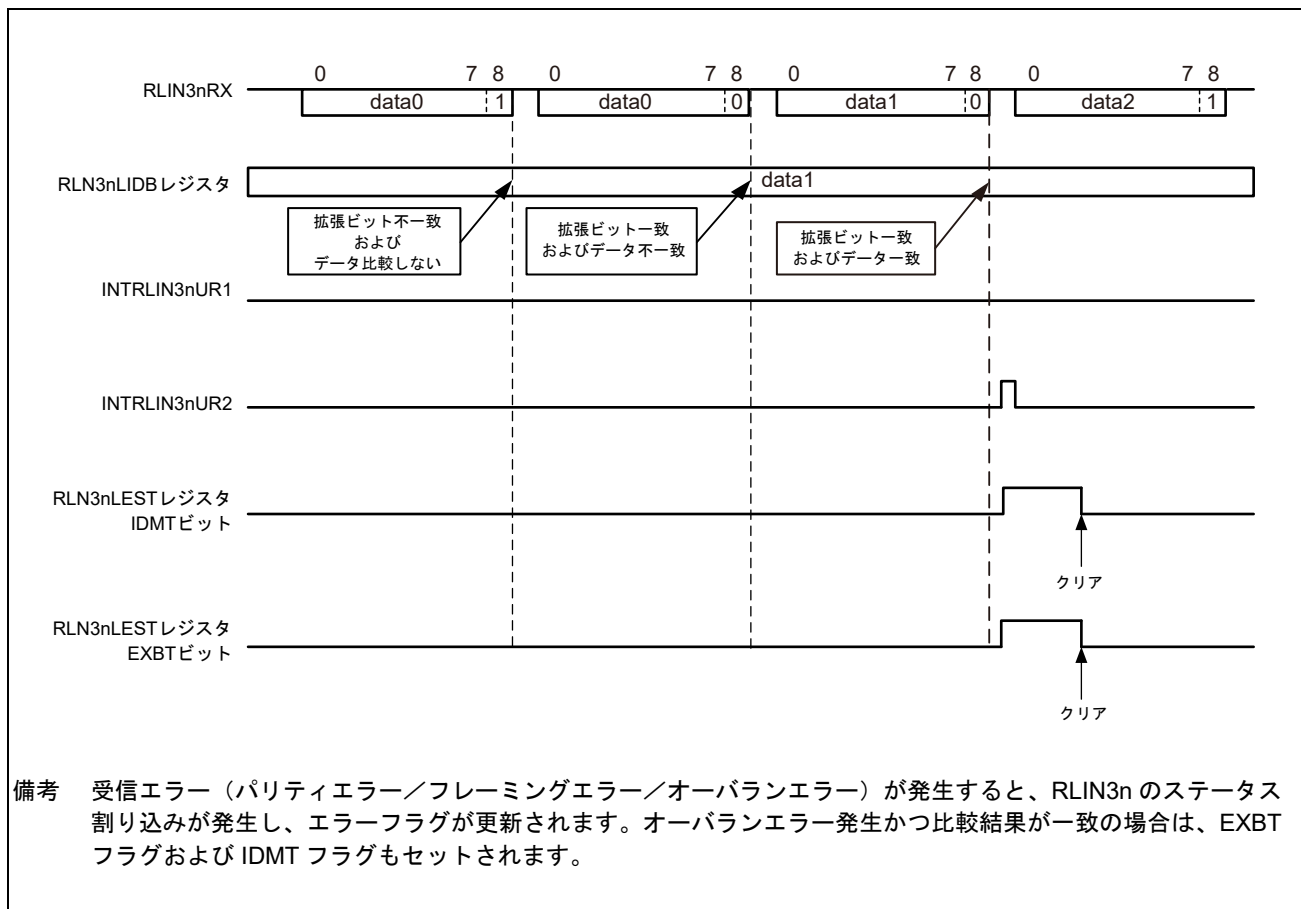


図 13.32 拡張ビット受信（データ比較あり）の例（LSB ファースト、UEBDL = 0）

13.8.4 ステータス

LIN/UART インタフェースは UART モード動作時に、5 種類のステータスを検出します。

UART バッファ送信完了、エラー検出の 2 つのステータスは割り込み要求を発生することができます。

表 13.92 に UART モードでのステータスの種類を示します。

表 13.92 UART モードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	RLN3nLMST レジスタの OMM0 ビット	—
UART バッファ送信完了	<ul style="list-style-type: none"> RLN3nLUOR1 レジスタの UTIGTS ビットが“0” (送信開始時に送信割り込み発生) の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長の最終データを送信開始したとき RLN3nLUOR1 レジスタの UTIGTS ビットが“1” (送信完了時に送信割り込み発生) の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長を送信完了したとき 	<ul style="list-style-type: none"> ソフトウェアによるクリア LIN リセットモード移行時 	RLN3nLST レジスタの FTC フラグ	○
エラー検出	RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグのいずれかが“1” (検出) になったとき	<ul style="list-style-type: none"> ソフトウェアによるクリア^{注 1} LIN リセットモード移行時 	RLN3nLST レジスタの ERR フラグ	○
送信ステータス	<ul style="list-style-type: none"> RLN3nLUTDR レジスタまたは RLN3nLUWTD R レジスタにデータを書き込んだとき RLN3nLTRC レジスタの RTS ビットに“1”を書き込んだとき 	<ul style="list-style-type: none"> RLN3nLUTDR レジスタまたは RLN3nLUWTD R レジスタにセットされたデータが送信完了して、次の送信データがセットされていないとき UART バッファのデータの送信が完了して、RLN3nLTRC レジスタの RTS ビットがクリアされたとき LIN リセットモード移行時 	RLN3nLST レジスタの UTS フラグ	—
受信ステータス	<ul style="list-style-type: none"> スタートビットを検出したとき 	<ul style="list-style-type: none"> ストップビットのサンプリングポイントを検出したとき LIN リセットモード移行時 	RLN3nLST レジスタの URS フラグ	—

注 1. LIN リセットモード解除中に RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書くことにより、RLN3nLST レジスタの ERR フラグは“0”になります。

13.8.5 エラーステータス

エラーステータスの種類

LIN/UART インタフェースは UART モードで、4 種類のエラーと 2 種類のステータスを検出します。これらのステータスの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 13.93 にステータスの種類を示します。

表 13.93 ステータスの種類 (UART モード)

ステータス	エラー検出条件	通信処理	検出許可／ 禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているデータが一致しなかったとき ^{注 1}	設定された送信データの送信完了まで継続	○	RLN3nLEST レジスタの BER フラグ
オーバランエラー	RLN3nLURDR レジスタに受信データ格納後、データの読み出し前に、次のデータを受信したとき (このとき、RLN3nLURDR レジスタには格納されない)	— (検出時はすでに受信完了)	○	RLN3nLEST レジスタの OER フラグ
フレーミングエラー	受信処理において、1 ビット目のストップビットがロウレベルであったとき	— (検出時はすでに受信完了)	○	RLN3nLEST レジスタの FER フラグ
パリティエラー	受信したパリティ値が、受信データから算出したパリティ値と一致しなかったとき	(検出時はすでに受信完了)	× 注 2	RLN3nLEST レジスタの UPER フラグ
拡張ビット検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致したとき	—	○	RLN3nLEST レジスタの EXBT フラグ
ID 一致検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致かつ拡張ビットを除く受信した 8 ビットデータが RLN3nLIDB レジスタの値と一致したとき	—	○	RLN3nLEST レジスタの IDMT フラグ

注 1. UART バッファから送信する場合は、UART フレーム間のスペース (インタバイトスペース) でもビットエラーを検出します。

注 2. RLN3nLBFC レジスタの UPS[1:0] ビットを “10_b” (0 パリティ) に設定すると、パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

13.9 LIN セルフテストモード

LIN/UART インタフェースは、LIN セルフテストモードを持ちます。一度 LIN/UART インタフェースが LIN セルフテストモードになると、RLIN3nTX と RLIN3nRX は外部端子から切断され、LIN/UART インタフェース内部で RLIN3nTX と RLIN3nRX が接続されます。よって、RLIN3nTX から送信するフレームは RLIN3nRX にループバックします。LIN セルフテストモードは、LIN モードのみのテストが可能です。

セルフテストは、以下の 4 種類行うことができます。

- LIN マスタセルフテストモード (送信) : ヘッダ送信およびレスポンス送信
- LIN マスタセルフテストモード (受信) : ヘッダ送信およびレスポンス受信
- LIN スレーブセルフテストモード (送信) : ヘッダ受信およびレスポンス送信
- LIN スレーブセルフテストモード (受信) : ヘッダ受信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源/16 [bps]で動作します。

(RLN3nLWBR レジスタの NSPB ビットは、必ず“0000_B”または“1111_B”で使用してください。)

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード
- 多バイトレスポンス送受信機能
- LIN スレーブモード [オートボーレート]
- フレーム/レスポンスタイムアウトエラー

これらの機能は使用しないでください。

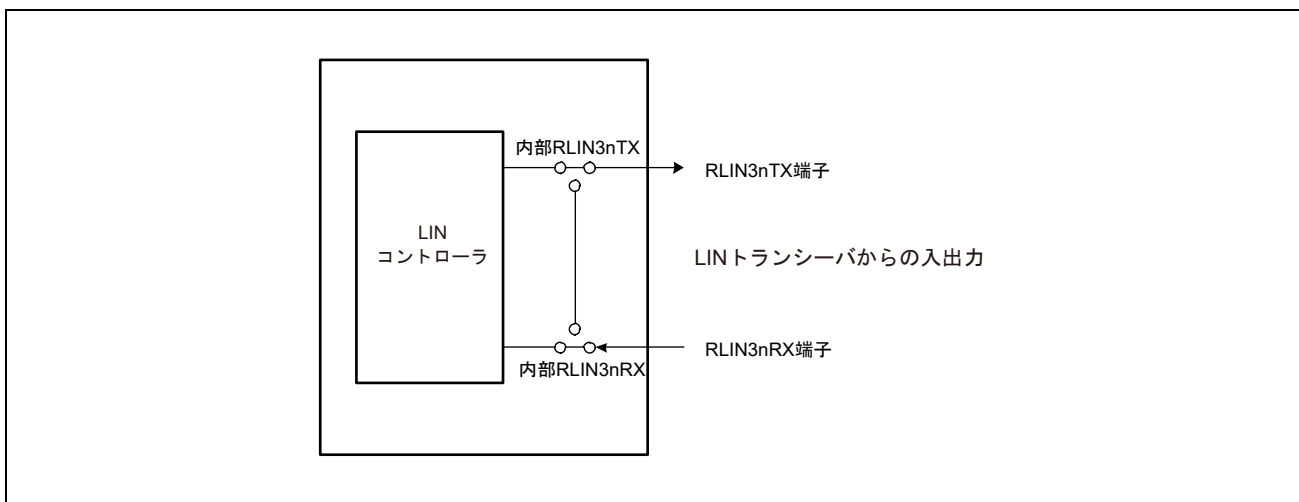


図 13.33 LIN リセットモード、LIN モードおよび UART モード接続

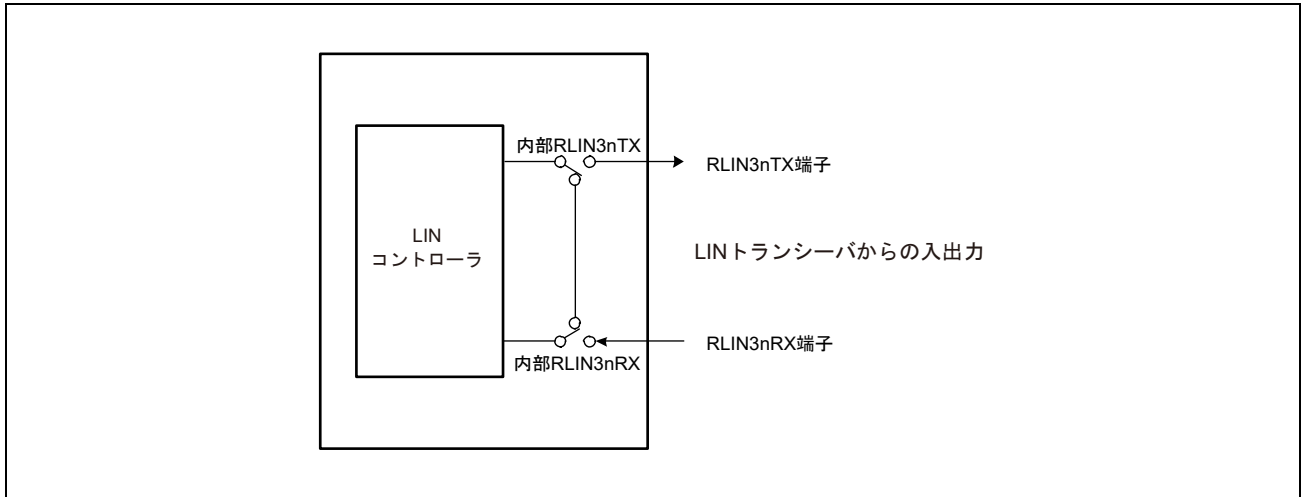


図 13.34 LIN セルフテストモード接続

13.9.1 LIN セルフテストモードへの移行

RLN3nLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。RLN3nLSTC レジスタの LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- LIN リセットモードへ移行
RLN3nLCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にする。
RLN3nLMST レジスタの OMM0 ビットを読み出し、“0” (LIN リセットモード) であることを確認する
- LIN モードの選択
RLN3nLMD レジスタの LMD ビットが“00_B” (LIN マスタモード) または“11_B” (LIN スレーブ [固定ボーレート])
- 1 回目書き込み : RLN3nLSTC レジスタ = “1010 0111_B” (A7_H)
- 2 回目書き込み : RLN3nLSTC レジスタ = “0101 1000_B” (58_H)
- 3 回目書き込み : RLN3nLSTC レジスタ = “0000 0001_B” (01_H)
- LIN セルフテストモードへの移行を確認する
RLN3nLSTC レジスタの LSTM ビットを読み出し、“1” (LIN セルフテストモード) であることを確認する。

1 回目のキー (A7_H) を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行 (RLN3nLSTC レジスタへの 3 回連続書き込み) 中にほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

13.9.2 LIN マスタセルフテストモードにおける送信

LIN マスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxxx_B ^{注 1}
 RLN3nLBRP0 レジスタ = xxxx xxxx_B ^{注 1}
 RLN3nLBRP1 レジスタ = xxxx xxxx_B ^{注 1}
 RLN3nLMD レジスタ = 00xx xx00_B ^{注 1}
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxx_B ^{注 2}
 RLN3nLEDE レジスタ = x000 x0xx_B
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 00xx xxxx_B
 RLN3nLSC レジスタ = 00xx 0xxx_B
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 送信フレーム関連レジスタを設定する。
 RLN3nLDLC レジスタ = 00x1 xxxx_B
 RLN3nLIDB レジスタ = xxxx xxxx_B
 RLN3nLDBR1～RLN3nLDBR8 レジスタ = xxxx xxxx_B
- ヘッダ送信→レスポンス送信開始
 RLN3nLTRC レジスタの FTS ビットを “1” (フレーム送信/ウェイクアップ送受信開始) にする。
 LIN マスタセルフテストモード (送信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN/UART インタフェースが自動演算する。LIN マスタセルフテストモード (送信) 実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b = 1～8)、RLN3nLCBR レジスタに格納され (送信した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット

そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

注 3. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1” (ヘッダ送信完了割り込み許可) にしないでください。

ヘッダ送信完了フラグのセットからフレーム/ウェイクアップ送信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

13.9.3 LIN マスタセルフテストモードにおける受信

LIN マスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxxx_B ^{注 1}
 RLN3nLBRP0 レジスタ = xxxx xxxx_B ^{注 1}
 RLN3nLBRP1 レジスタ = xxxx xxxx_B ^{注 1}
 RLN3nLMD レジスタ = 00xx xx00_B ^{注 1}
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxx_B ^{注 2}
 RLN3nLEDE レジスタ = x000 x0xx_B
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 00xx xxxx_B
 RLN3nLSC レジスタ = 00xx 0xxx_B ^{注 1}
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 受信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x0 xxxx_B
 RLN3nLIDB レジスタ = xxxx xxxx_B
 RLN3nLDBR1～RLN3nLDBR8 レジスタ = xxxx xxxx_B
 RLN3nLCBR レジスタ = xxxx xxxx_B
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ送信→レスポンス受信開始
 RLN3nLTRC レジスタの FTS ビットを “1” (フレーム送信/ウェイクアップ送受信開始) にする。
 LIN マスタセルフテストモード (受信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN マスタセルフテストモード (受信) 実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行する。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b=1～8)、RLN3nLCBR レジスタに格納され (設定した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット、RLN3nLSC レジスタの IBS ビットそのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

注 3. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1” (ヘッダ送信完了割り込み許可) にしないでください。ヘッダ送信完了フラグのセットからフレーム/ウェイクアップ受信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$
$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

13.9.4 LIN スレーブセルフテストモードにおける送信

LIN スレーブの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxx0_B ^{注 1}
 RLN3nLBRP0 レジスタ = xxxx xxxxB ^{注 1}
 RLN3nLBRP1 レジスタ = xxxx xxxxB ^{注 1}
 RLN3nLMD レジスタ = 00xx 0011_B
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxxB ^{注 2}
 RLN3nLEDE レジスタ = xx0x x00xB
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 0000 000xB ^{注 3}
 RLN3nLSC レジスタ = 00xx 0001_B
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 送信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x1 xxxxB
 RLN3nLIDB レジスタ = xxxx xxxxB
 RLN3nLDBR1～RLN3nLDBR8 レジスタ = xxxx xxxxB
- ヘッダ受信→レスポンス送信開始
 RLN3nLTRC レジスタの FTS ビットを “1” (ヘッダ受信/ウェイクアップ送受信開始) にする。
 (RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス送信の順で実行)
 LIN スレーブセルフテストモード (送信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。
 チェックサムは LIN/UART インタフェースが自動演算する。LIN スレーブセルフテストモード (送信) 実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b=1～8)、RLN3nLCBR レジスタに格納され (送信した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

注 3. このレジスタの設定によって、9.5 Tbit または 10.5 Tbit 幅のブレークを内部 RLIN3nTX より出力します。

注 4. ヘッダ受信完了割り込みとレスポンス送信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1” (ヘッダ受信完了割り込み許可) にしないでください。ヘッダ受信完了フラグのセットからレスポンス/ウェイクアップ送信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

13.9.5 LIN スレーブセルフテストモードにおける受信

LIN スレーブの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxx0_B^{注 1}
 RLN3nLBRP0 レジスタ = xxxx xxxxB^{注 1}
 RLN3nLBRP1 レジスタ = xxxx xxxxB^{注 1}
 RLN3nLMD レジスタ = 00xx 0011_B
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxxB^{注 2}
 RLN3nLEDE レジスタ = xx0x x00xB
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 0000 000xB^{注 3}
 RLN3nLSC レジスタ = 00xx 0001_B^{注 1}
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 受信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x0 xxxxB
 RLN3nLIDB レジスタ = xxxx xxxxB
 RLN3nLDBR1～RLN3nLDBR8 レジスタ = xxxx xxxxB
 RLN3nLCBR レジスタ = xxxx xxxxB
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ受信→レスポンス受信開始
 RLN3nLTRC レジスタの FTS ビットを “1” (ヘッダ受信/ウェイクアップ送受信開始) にする。
 (RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス受信の順で実行)
 LIN スレーブセルフテストモード (受信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN スレーブセルフテストモード (受信) 実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0” (LIN リセットモード) を書き込み、LIN リセットモードへ移行してください。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b=1～8)、RLN3nLCBR レジスタに格納され (設定した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。

RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLSC レジスタの IBS ビット
 そのため、設定は必須ではありません。

注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。

注 3. このレジスタの設定によって、9.5 Tbit または 10.5 Tbit 幅のブレークを内部 RLIN3nTX より出力します。

注 4. ヘッダ受信完了割り込みとレスポンス受信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1” (ヘッダ受信完了割り込み許可) にしないでください。

ヘッダ受信完了フラグのセットからレスポンス/ウェイクアップ受信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$
$$1 \text{ Tbit} = 1/\text{LIN 通信クロック源の周波数} \times 16$$

13.9.6 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- RLN3nLCUC レジスタの OM0 ビットに “0” (LIN リセットモード) を書く。
RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” でない場合は、RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き、RLN3nLMST レジスタ OMM1、OMM0 ビットが “11_B” になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN3nLSTC レジスタの LSTM ビットを読み、“0” (LIN セルフテストモードではない) を確認。
- LIN リセットモードへの移行を確認する。
RLN3nLMST レジスタの OMM0 ビットを読み、“0” (LIN リセットモード) を確認。

13.10 ボーレートジェネレータ

LIN 通信クロック源をプリスケアラで分周したクロックがプリスケアラクロックとなり、プリスケアラクロックをボーレートジェネレータで分周したクロックが LIN システムクロック (f_{LIN}) となり、これをサンプリング数で分周したクロックがボーレートになります。このボーレートの逆数をビットタイム (Tbit) といいます。

LIN/UART インタフェースは、2 種類のボーレートジェネレータを持ち、モードにより使用するボーレートジェネレータが切り替わります。

13.10.1 LIN マスタモード

図 13.35 に LIN マスタモード時のボーレート生成ブロック図を示します。

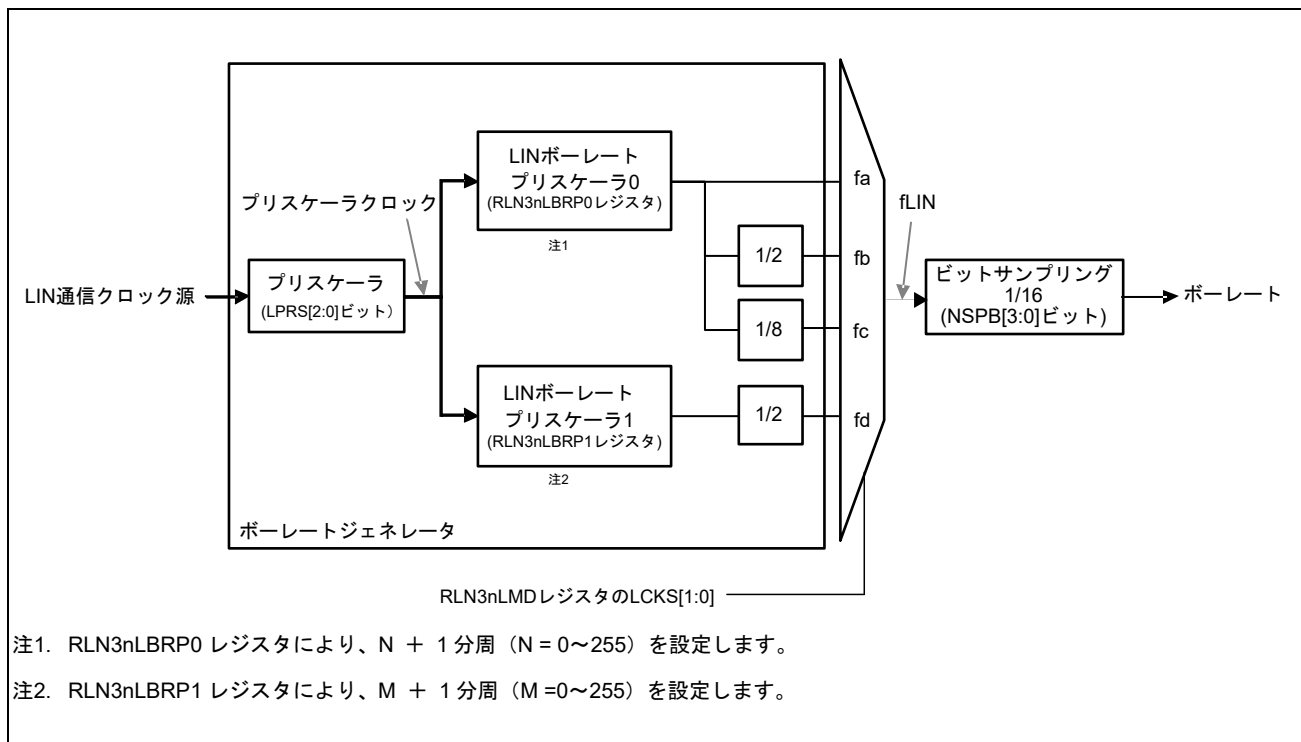


図 13.35 LIN マスタモードボーレート生成ブロック図

f_a が 307200 Hz ($= 19200 \times 16$) となるように RLN3nLBRP0 レジスタを設定すれば、 $f_a = 19200 \times 16$ 、 $f_b = 9600 \times 16$ 、 $f_c = 2400 \times 16$ となり、ビットタイミング生成部で 16 分周するため、19200 bps、9600 bps、2400 bps が生成できます。また、 f_d が 166672 Hz ($= 10417 \times 16$) となるように RLN3nLBRP1 レジスタを設定すれば、 $f_d = 10417 \times 16$ となり、ビットタイミング生成部で 16 分周するため、10417 bps が生成できます。

ボーレートの計算式は、以下の通りです。

LIN マスタのボーレート

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 16[\text{bps}] \quad (f_{LIN} \text{ に } f_a \text{ 選択時})$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 2 \div 16[\text{bps}] \quad (f_{LIN} \text{ に } f_b \text{ 選択時})$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 8 \div 16[\text{bps}] \quad (f_{\text{LIN}} \text{ に } f_c \text{ 選択時})$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP1} + 1) \div 2 \div 16[\text{bps}] \quad (f_{\text{LIN}} \text{ に } f_d \text{ 選択時})$$

13.10.2 LIN スレーブモード

図 13.36 に LIN スレーブモード時のボーレート生成ブロック図を示します。

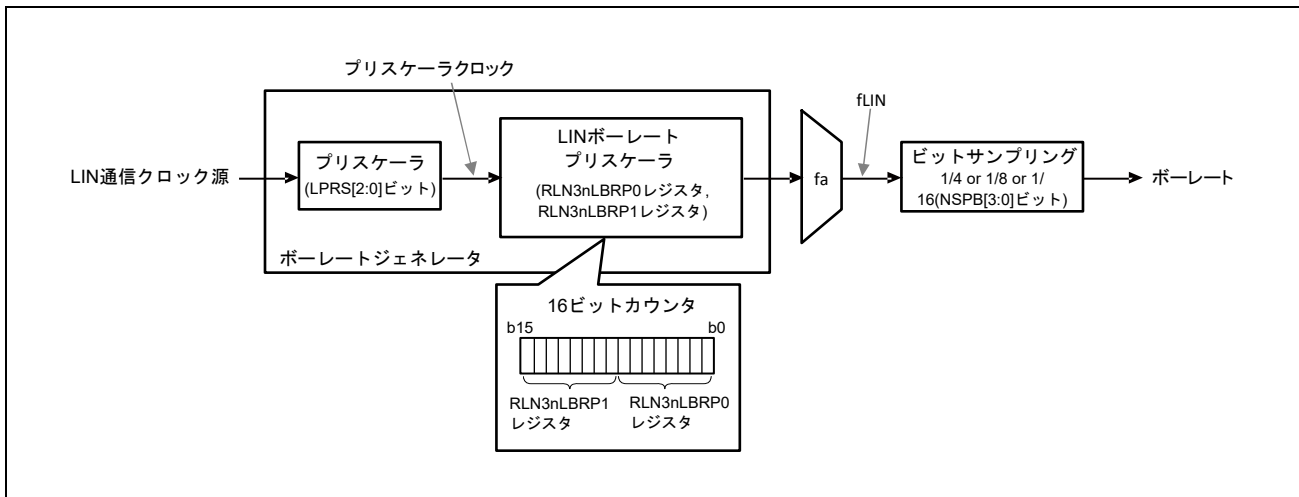


図 13.36 LIN スレーブモードボーレート生成ブロック図

LIN スレーブモード [オートボーレート] は、ボーレート 1 kbps ~ 20 kbps で動作可能です。ターゲットとなるボーレートに応じて、プリスケールクロックを、下記となるように設定してください。

[ターゲットとなるボーレート]	[プリスケールクロック]
1 kbps ~ 20 kbps	: 4 MHz ^{注1}
1 kbps ~ 2.4 kbps 未満	: 4 MHz
2.4 kbps ~ 20 kbps	: 8 MHz ~ 12 MHz

注1. RLN3nLWBR レジスタの NSPB[3:0]ビットは、“0011_B” (4 サンプルング) で使用してください。

ボーレートの計算式は、以下の通りです。

LIN スレーブのボーレート

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP01} + 1) \div 16 [\text{bps}] \quad (\text{[固定ボーレート]} \text{ 時})$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP01} + 1) \div 4 \text{ or } 8 [\text{bps}] \quad (\text{[オートボーレート]} \text{ 時})$$

備 考

LIN スレーブ [固定ボーレート] 時は、NSPB[3:0]ビットは“0000_B” (16 サンプルング) または“1111_B” (16 サンプルング) に、LIN スレーブ [オートボーレート] 時は、NSPB[3:0]ビットは、“0011_B” (4 サンプルング) または“0100_B” (8 サンプルング) に設定してください。

13.10.3 UART モード

図 13.37 に UART モード時のボーレート生成ブロック図を示します。

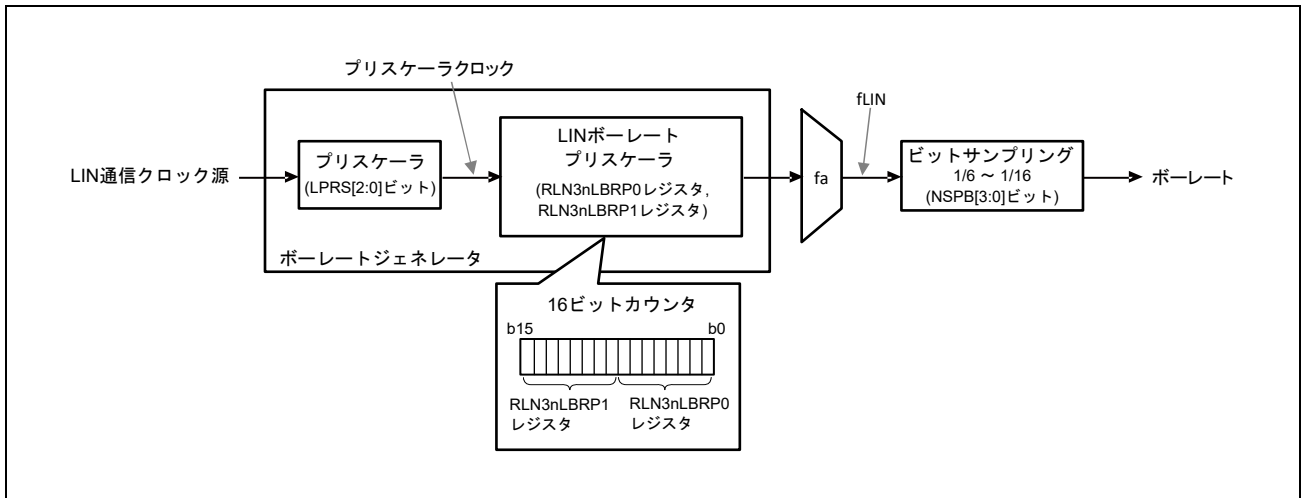


図 13.37 UART ボーレート生成ブロック図

UART のボーレートは次式で表せます。

UART のボーレート

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div \{ \text{RLN3nLWBR.NSPB}[3:0] \text{ 選択数} \} \text{ [bps]}$$

13.11 ノイズフィルタ

LIN/UART インタフェースは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。RLN3nLMD レジスタの LRDNFS ビットを“0”（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化 RLIN3nRX のレベルをプリスケールクロックでサンプリングし、サンプリング 3 回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

図 13.38 にノイズフィルタの構成、図 13.39 にノイズフィルタ回路例、図 13.40 にノイズフィルタ使用時の受信データの決定を示します。

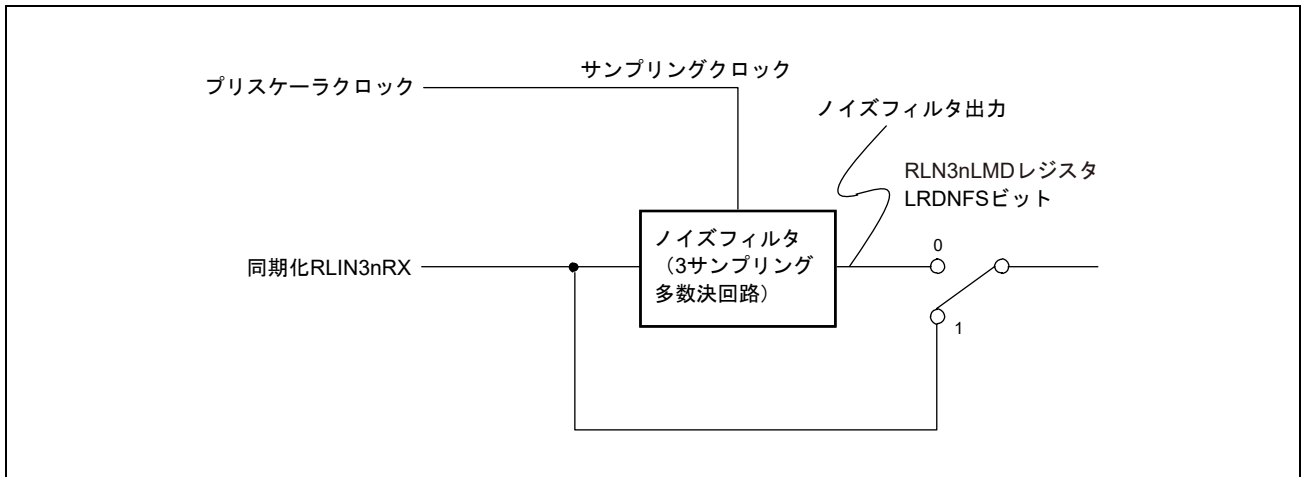


図 13.38 ノイズフィルタの構成

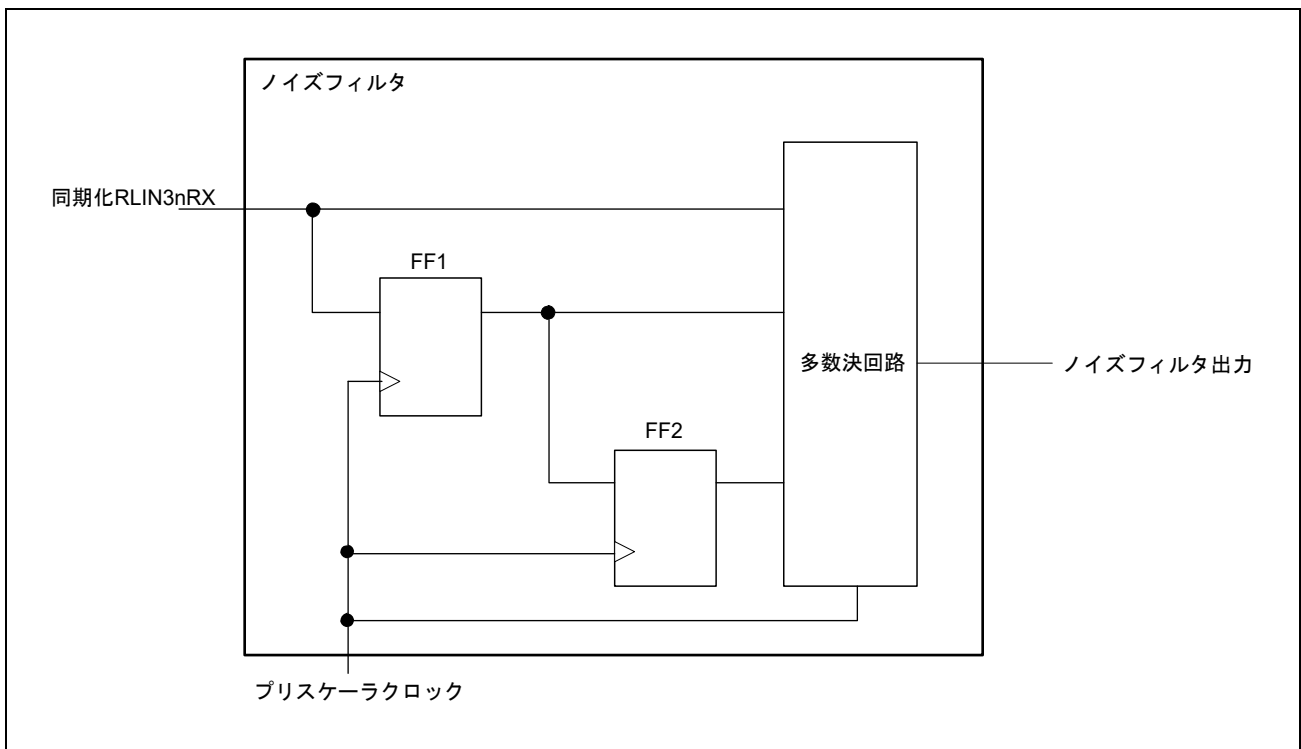


図 13.39 ノイズフィルタ回路例

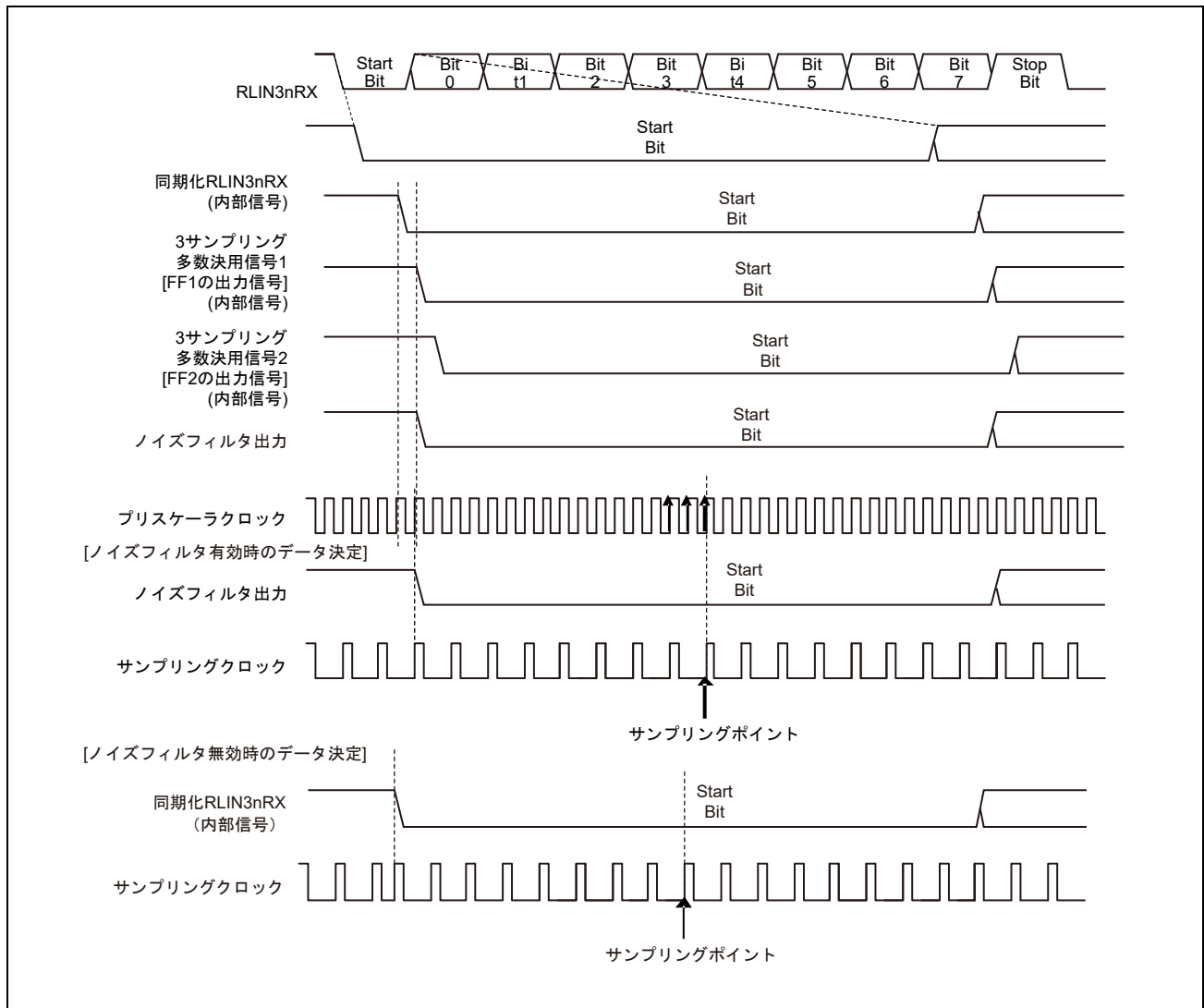


図 13.40 ノイズフィルタ使用時の受信データの決定

13.12 使用上の注意事項

13.12.1 LIN マスタモードに関する注意

フレームセパレートモード (RLN3nLDFC.FSM = 1) で、レスポンス送信の開始 (RLN3nLTRC.RTS への 1 の書き込み) がエラー^{注1}の発生と同時に進行されると、レスポンス送信は開始されません。

また、RLN3nLTRC.RTS に 1 が書き込まれていないにもかかわらず、次のフレームのヘッダの受信後に、レスポンス送信で予期しないデータが送信される可能性があります。エラーが発生した場合には、LIN リセットモードに移行することにより、LIN/UART モジュール (RLIN3) を再初期化します。

注1. ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、レスポンス準備エラー。

13.12.2 LIN スレーブモード (固定ボーレート) に関する注意

受信ブレイク (ロウレベル) 検出幅設定ビット (RLN3nLBFC.LBLT) により設定されているロウレベル幅がレスポンス送信 (RLN3nLDFC.RCDS = 1 および RLN3nLTRC.RTS = 1) 中に検出された場合、レスポンス送信は中断され、RLIN3nTX 端子はロウレベル幅検出時と同じ状態を維持します。

固定ボーレートの LIN スレーブモードの場合は、RLN3nLEDE.BERE = 1 (ビットエラー検出許可) および RLN3nLSC.IBHS[2:0] = 001_B~111_B (レスポンススペースを 0 Tbit 以外に設定) に設定します。

レスポンススペース設定が 0 Tbit (RLN3nLSC.IBHS[2:0] = 000_B) の場合は、RLN3nLEDE.BERE = 1 および RLN3nLEDE.TERE = 1 (タイムアウトエラー検出許可) に設定し、タイムアウトエラーの発生後に LIN リセットモードに移行することにより、LIN/UART モジュール (RLIN3) を再初期化します。

13.12.3 LIN スレーブモード (オートボーレート) に関する注意

下記の条件 (1) と (2) が続けて満たされると、ID フィールドが誤って認識されることにより、ヘッダが受信されないことがあります。ただし、その次のヘッダは正しく受信されます。

1. 立ち下がりエッジが、ストップビットおよびレスポンス/インタバイトスペースビットエラーが発生したサンプリングポイントから、このビットの終わりまで検出された。
2. ID フィールドの開始ビットの立ち下がりエッジが、次の受信のシンクフィールドのサンプリングポイントから、このビットの終わりまで検出された。

第14章 CAN インタフェース (RS-CANFD)

本章では、CAN インタフェース (RS-CANFD) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、RS-CANFD の機能、レジスタについて説明します。

14.1 RH850/C1M-A RS-CANFD の特長

14.1.1 ユニット数とチャネル数

本製品は以下のユニット数の RS-CANFD を搭載しています。

表 14.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	1	
名称	RSCFDn (n = 0)	

また各製品は以下に示す CAN インタフェースチャネルを搭載しています。

表 14.2 RS-CANFD のユニット構成とチャネルの対応

ユニット名	チャネル名	RH850/C1M-A2	RH850/C1M-A1
RSCFD0	CAN0	○	○
	CAN1	○	○
	CAN2	○	○
	CAN3	○	○

RS-CANFD は 2 種類のインタフェースモード (クラシカル CAN モードと CAN FD モード) を持ち、それぞれで異なるレジスタを使用します。レジスタ名はインタフェースモードによって RSCANnXXX と RSCFDnCFDXXX の 2 種類があり (XXX は任意)、2 つのレジスタで共通した仕様については RSCFDn(CFD)XXX と記述します。

表 14.3 添字

添字	意味
n	本章では、RS-CANFD のユニットを「n」 (n=0) で識別します。たとえば、ユニット n の RSCFD のグローバル制御レジスタは RSCFDn(CFD)GCTR と記述します。
m	本章では、RS-CANFD のチャンネル数を「m」 (m=0~3) で識別します。たとえば、チャンネル m ステータスレジスタは RSCFDn(CFD)CmSTS と記述します。
j	受信ルールテーブルを関係するレジスタを「j」 (j=0~15) で識別します。たとえば、受信ルール ID レジスタは RSCFDn(CFD)GAFLIDj と記述します。
k	送受信 FIFO バッファ番号を「k」 (k=0~チャンネル m × 3+2) で識別します。たとえば、送受信 FIFO バッファコンフィギュレーション / 制御レジスタは RSCFDn(CFD)CFCKk と記述します。
x	受信 FIFO バッファ番号を「x」 (x=0~7) で識別します。例えば、受信 FIFO バッファステータスレジスタは、RSCFDn(CFD)RFSTSx と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」 (クラシカル CAN モードは d=0~1、CAN FD モードは d=0~15) で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RSCFDn(CFD)CFDFd_k と記述します。
q	受信バッファの番号を「q」 (q=0~チャンネル m × 16+15) で識別します。たとえば、受信バッファ ID レジスタは RSCFDn(CFD)RMIDq で記述します。
p	送信バッファの番号を「p」 (p=0~チャンネル m × 16+15) で識別します。たとえば、送信バッファ制御レジスタは RSCFDn(CFD)TMCp と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」 (クラシカル CAN モードは b=0~1、CAN FD モードは b=0~4) で識別します。たとえば、受信バッファデータフィールドレジスタは RSCFDn(CFD)RMDFb_q と記述します。
r	CAN 用 RAM テスト番号を「r」 (r=0~63) で識別します。たとえば、RAM テストページアクセスレジスタは RSCFDn(CFD)RPGACCr と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」 (y=0, 1) で識別します。たとえば、受信バッファ新データレジスタは RSCFDn(CFD)RMNDy と記述します。

14.1.2 レジスタベースアドレス

RSCFDn のベースアドレスを以下の表に示します。

RSCFDn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 14.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCFD0_base>	FFD0 0000 _H

14.1.3 クロック供給

RSCFDn のクロック供給を以下の表に示します。

表 14.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RSCFDn	clk_xincan	MOSC (メイン OSC)
	clkc	CLKC_LSB (非変調低速周辺クロック)
	pclk	CLK_HSB (高速周辺クロック)

14.1.4 割り込み要求

RSCFD_n の割り込み要求を以下の表に示します。

表 14.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号
RSCFD0		
INTRCANGERR	CAN グローバルエラー割り込み	264
INTRCANGRECC	CAN 受信 FIFO 割り込み	263
CAN0		
INTRCAN0ERR	CAN0 エラー割り込み	266
INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	265
INTRCAN0TRX	CAN0 送信割り込み	267
CAN1		
INTRCAN1ERR	CAN1 エラー割り込み	269
INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	268
INTRCAN1TRX	CAN1 送信割り込み	270
CAN2		
INTRCAN2ERR	CAN2 エラー割り込み	272
INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	271
INTRCAN2TRX	CAN2 送信割り込み	273
CAN3		
INTRCAN3ERR	CAN3 エラー割り込み	275
INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	274
INTRCAN3TRX	CAN3 送信割り込み	276

- DMA 要求

RSCFDn の DMA 要求を以下の表に示します。

表 14.7 DMA 要求

DMA/DTS 要因信号	概要	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
		1st	2nd	1st	2nd
RSCFD0					
CAN RX FIFO 0	CAN RX FIFO DMA request #0	103	—	103	—
CAN RX FIFO 1	CAN RX FIFO DMA request #1	104	—	104	—
CAN RX FIFO 2	CAN RX FIFO DMA request #2	105	—	105	—
CAN RX FIFO 3	CAN RX FIFO DMA request #3	106	—	106	—
CAN RX FIFO 4	CAN RX FIFO DMA request #4	107	—	107	—
CAN RX FIFO 5	CAN RX FIFO DMA request #5	108	—	108	—
CAN RX FIFO 6	CAN RX FIFO DMA request #6	109	—	109	—
CAN RX FIFO 7	CAN RX FIFO DMA request #7	110	—	110	—
CAN0					
CAN ch.0 FIFO	CAN0 COM FIFO DMA request	99	—	99	—
CAN1					
CAN ch.1 FIFO	CAN1 COM FIFO DMA request	100	—	100	—
CAN2					
CAN ch.2 FIFO	CAN2 COM FIFO DMA request	101	—	101	—
CAN3					
CAN ch.3 FIFO	CAN3 COM FIFO DMA request	102	—	102	—

— : 割り当てなし

注 1. 1st : Primary Channel、2nd : Secondary Channel

14.1.5 リセット要因

RSCFDn のリセット要因を以下に示します。RSCFDn は以下のリセット要因で初期化されます。

表 14.8 リセット要因

ユニット名	リセット要因
RSCFDn	すべてのリセット要因でリセット

14.1.6 外部入出力信号

RSCFDn の外部入出力信号を以下の表に示します。

表 14.9 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RSCFD0		
CANmRX (m = 0~3)	CANm 受信データ入力	CANmRX (m = 0~3)
CANmTX (m = 0~3)	CANm 送信データ出力	CANmTX (m = 0~3)

14.2 概要

14.2.1 機能概要

表 14.10 に RS-CANFD モジュールの仕様、図 14.1 に RS-CANFD モジュールブロック図を示します。

表 14.10 RS-CANFD モジュールの仕様 (1/2)

項目	仕様
チャンネル数	4
プロトコル	ISO11898-1:2015 仕様準拠 インタフェースモードの切り替えにより、CAN FD フレームの使用を選択可能
通信速度	<p>クラシカル CAN モード： 最大 1Mbps</p> $\text{通信速度 (CANm ビットタイムクロック)} = \frac{1}{\text{CANm ビットタイム}}$ $\text{CANm ビットタイム} = \text{CANmTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANmTq} = \frac{(\text{RSCANnCmCFGレジスタのBRP}[9:0] \text{ビット} + 1)}{f_{\text{CAN}}}$ <p>f_{CAN} : CAN クロック (RSCANnGCFG レジスタの DCS ビットで選択したクロック) の周波数</p> <p>CAN FD モード： 通常ビットレート 最大 1Mbps、データビットレート 最大 5Mbps</p> $\text{通信速度 (CANm 通常ビットタイムクロック)} = \frac{1}{\text{CANm 通常ビットタイム}}$ $\text{通信速度 (CANm データビットタイムクロック)} = \frac{1}{\text{CANm データビットタイム}}$ $\text{CANm 通常ビットタイム} = \text{CANmTq(N)} \times 1 \text{ 通常ビット分の Tq 数}$ $\text{CANm データビットタイム} = \text{CANmTq(D)} \times 1 \text{ データビット分の Tq 数}$ $\text{CANmTq(N)} = \frac{(\text{RSCFDnCFDCmNCFGレジスタのNBRP}[9:0] \text{ビット} + 1)}{f_{\text{CAN}}}$ $\text{CANmTq(D)} = \frac{(\text{RSCFDnCFDCmDCFGレジスタのDBRP}[7:0] \text{ビット} + 1)}{f_{\text{CAN}}}$ <p>f_{CAN} : CAN クロック (RSCFDnCFDGCFCFG レジスタの DCS ビットで選択したクロック) の周波数</p> <p>$m = 0 \sim 3$ Tq : Time quantum</p>
バッファ	<p>合計 320 バッファ</p> <ul style="list-style-type: none"> 各チャンネル専用 : 64 バッファ (16 バッファ × 4 チャンネル) 送信バッファ : 16 バッファ / 1 チャンネル 送信キュー : 1 本 / 1 チャンネル (送信バッファと共用、最大 16 バッファ割り当て可能) チャンネル間共用 : 256 バッファ 受信バッファ : 0 ~ 64 バッファ 受信 FIFO バッファ : 8 本 (1 本あたり最大 128 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 / 1 チャンネル (1 本あたり最大 128 バッファ割り当て可能) ECC 内蔵
受信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可 / 禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> 合計 256 個の受信ルールで受信メッセージを選別可能 チャンネルごとに 0 ~ 128 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理: 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理: 各受信ルールごとに DLC フィルタチェック可能

表 14.10 RS-CANFD モジュールの仕様 (2/2)

項目	仕様
受信メッセージ転送機能	<ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 8) 転送先:受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可/禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能 (フラグでアボート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モードまたはゲートウェイモード)
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能 履歴情報にタイムスタンプ (メッセージの送信時間を 16 ビットタイム値で記録) を付加
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 <ul style="list-style-type: none"> ISO11898-1:2015 仕様準拠 バスオフ開始でチャネル待機モードへ自動遷移 バスオフ終了でチャネル待機モードへ自動遷移 プログラムによる要求によってチャネル待機モードへ遷移 プログラムによる要求によってエラーアクティブ状態へ遷移 (バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CAN プロトコルエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLC エラーを監視
割り込み要因	14 本 <ul style="list-style-type: none"> グローバル割り込み (2 本) 受信 FIFO 割り込み グローバルエラー割り込み チャネル割り込み (各チャネルごとに 3 本ずつ) CANm 送信割り込み (m = 0~3) <ul style="list-style-type: none"> CANm 送信完了割り込み CANm 送信アボート割り込み CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時) CANm 送信履歴割り込み CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) CANm エラー割り込み
CAN ストップモード	RS-CANFD モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clkc か clk_xincan を選択可能
テスト機能	ユーザ評価用テスト機能 <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード 0 (外部ループバック) セルフテストモード 1 (内部ループバック) 制限動作モード RAM テスト (読み書きテスト) チャネル間通信テスト [CRC エラーテスト可能]

14.2.2 インタフェースモード

RS-CANFD は 2 種類のインタフェースモードを持ちます。

- クラシカル CAN モード：クラシカル CAN フレームのみを扱います
- CAN FD モード：クラシカル CAN フレームと CAN FD フレームの両方を扱います

2 つのモードはそれぞれベースアドレスが共通の異なるレジスタマップを使用し、モードの切り替えによりレジスタマップが切り替わります。

インタフェースモードの切り替えは RSCFDn(CFD)GRMCFG レジスタの RCMC ビットで行います。

14.2.3 CAN FD プロトコル切り替え

本製品では、スタッフカウンタを含む新しい CRC フィールドの、ISO 11898-1:2015 に準拠した CAN FD をサポートしています。また、ISO/CD 11898-1 (2014-08-12 版) に準拠した CRC フィールドも RSCFDnCFDGCRC CFG レジスタの NIE ビットを“1”に設定することでサポート可能です。

14.2.4 ブロック図

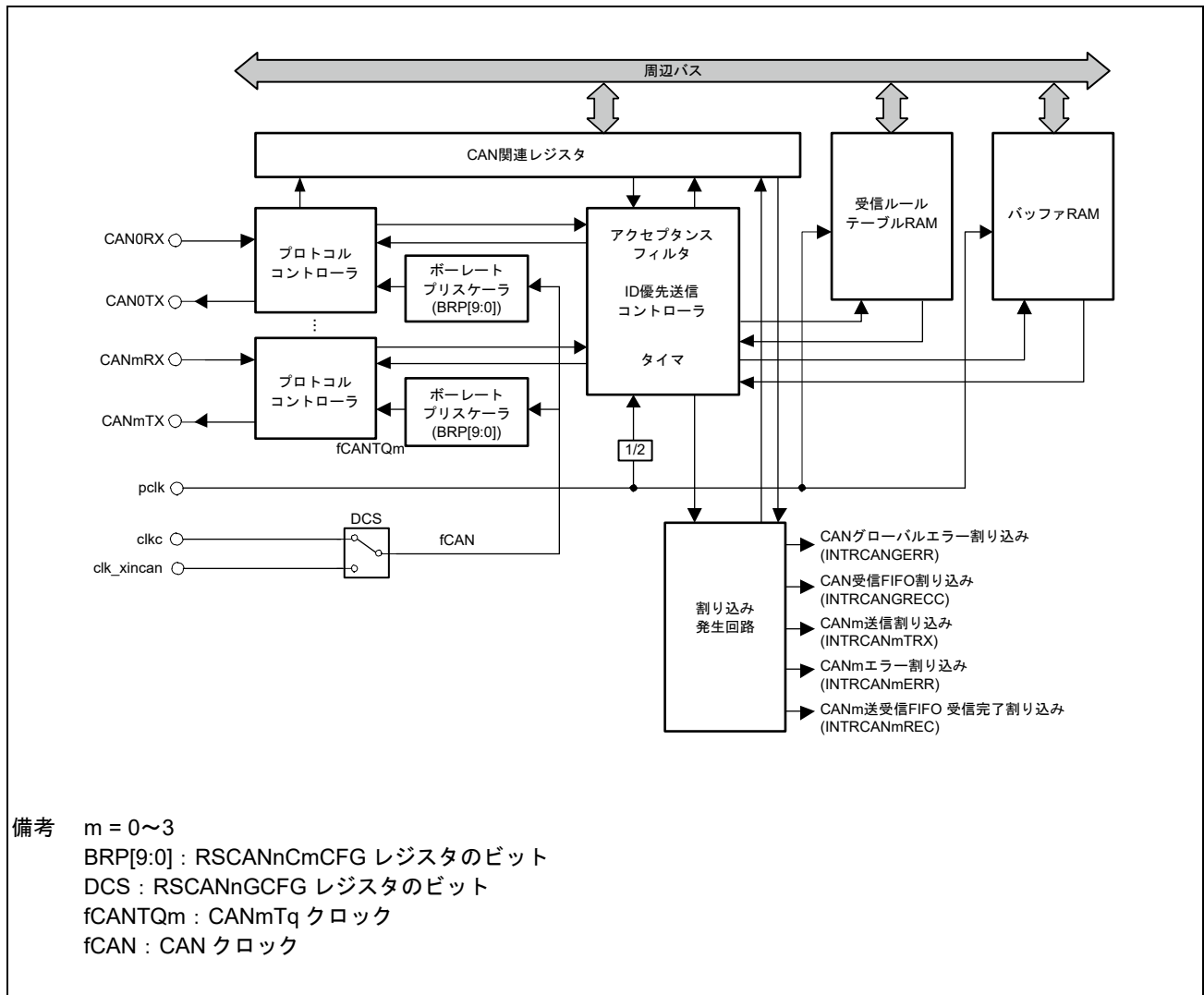


図 14.1 RS-CANFD モジュールのブロック図 (クラシカル CAN モード時)

CAN FD モード時は、ボーレートプリスケアラおよびプロトコルコントローラに入力されるクロックが異なります。「14.11.1.3 通信速度の設定」を参照してください。

14.3 レジスタ (クラシカル CAN モード)

14.3.1 レジスタ一覧

クラシカル CAN モードで使用する場合の RS-CANFD のレジスタ一覧を以下の表に示します。

<RSCFDn_base>は「14.1.2 レジスタベースアドレス」を参照してください。

表 14.11 レジスタ一覧 (1/3)

モジュール名	レジスタ名	略号	アドレス
インタフェースモード関連レジスタ			
RSCANn	グローバルインタフェースモード選択レジスタ	RSCANnGRMCFG	<RSCFDn_base> + 04FC _H
チャンネル関連レジスタ			
RSCANn	チャンネル m コンフィグレーションレジスタ	RSCANnCmCFG	<RSCFDn_base> + 0000 _H + (10 _H × m)
RSCANn	チャンネル m 制御レジスタ	RSCANnCmCTR	<RSCFDn_base> + 0004 _H + (10 _H × m)
RSCANn	チャンネル m ステータスレジスタ	RSCANnCmSTS	<RSCFDn_base> + 0008 _H + (10 _H × m)
RSCANn	チャンネル m エラーフラグレジスタ	RSCANnCmERFL	<RSCFDn_base> + 000C _H + (10 _H × m)
グローバル関連レジスタ			
RSCANn	グローバルコンフィグレーションレジスタ	RSCANnGCFG	<RSCFDn_base> + 0084 _H
RSCANn	グローバル制御レジスタ	RSCANnGCTR	<RSCFDn_base> + 0088 _H
RSCANn	グローバルステータスレジスタ	RSCANnGSTS	<RSCFDn_base> + 008C _H
RSCANn	グローバルエラーフラグレジスタ	RSCANnGERFL	<RSCFDn_base> + 0090 _H
RSCANn	グローバルタイムスタンプカウンタレジスタ	RSCANnGTSC	<RSCFDn_base> + 0094 _H
RSCANn	グローバル TX 割り込みステータスレジスタ 0	RSCANnGTINTSTS0	<RSCFDn_base> + 0460 _H
RSCANn	グローバル FD コンフィグレーションレジスタ	RSCANnGFDCFG	<RSCFDn_base> + 0474 _H
受信ルール関連レジスタ			
RSCANn	受信ルールエントリ制御レジスタ	RSCANnGAFLECTR	<RSCFDn_base> + 0098 _H
RSCANn	受信ルールコンフィグレーションレジスタ 0	RSCANnGAFLCFG0	<RSCFDn_base> + 009C _H
RSCANn	受信ルール ID レジスタ j	RSCANnGAFLIDj	<RSCFDn_base> + 0500 _H + (10 _H × j)
RSCANn	受信ルールマスクレジスタ j	RSCANnGAFLMj	<RSCFDn_base> + 0504 _H + (10 _H × j)
RSCANn	受信ルールポインタ 0 レジスタ j	RSCANnGAFLP0_j	<RSCFDn_base> + 0508 _H + (10 _H × j)
RSCANn	受信ルールポインタ 1 レジスタ j	RSCANnGAFLP1_j	<RSCFDn_base> + 050C _H + (10 _H × j)
受信バッファ関連レジスタ			
RSCANn	受信バッファナンパレレジスタ	RSCANnRMNB	<RSCFDn_base> + 00A4 _H
RSCANn	受信バッファ新データレジスタ y	RSCANnRMNDy	<RSCFDn_base> + 00A8 _H + (04 _H × y)
RSCANn	受信バッファ ID レジスタ q	RSCANnRMIDq	<RSCFDn_base> + 0600 _H + (10 _H × q)
RSCANn	受信バッファポインタレジスタ q	RSCANnRMPTRq	<RSCFDn_base> + 0604 _H + (10 _H × q)
RSCANn	受信バッファデータフィールド 0 レジスタ q	RSCANnRMDFO_q	<RSCFDn_base> + 0608 _H + (10 _H × q)

表 14.11 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス
受信バッファ関連レジスタ			
RSCANn	受信バッファデータフィールド 1 レジスタ q	RSCANnRMDf1_q	<RSCFDn_base> + 060C _H + (10 _H × q)
受信 FIFO バッファ関連レジスタ			
RSCANn	受信 FIFO バッファコンフィグレーション/制御レジスタ x	RSCANnRFCCx	<RSCFDn_base> + 00B8 _H + (04 _H × x)
RSCANn	受信 FIFO バッファステータスレジスタ x	RSCANnRFSTsx	<RSCFDn_base> + 00D8 _H + (04 _H × x)
RSCANn	受信 FIFO バッファポインタ制御レジスタ x	RSCANnRFPCTR _x	<RSCFDn_base> + 00F8 _H + (04 _H × x)
RSCANn	受信 FIFO バッファアクセス ID レジスタ x	RSCANnRFID _x	<RSCFDn_base> + 0E00 _H + (10 _H × x)
RSCANn	受信 FIFO バッファアクセスポインタレジスタ x	RSCANnRFPTR _x	<RSCFDn_base> + 0E04 _H + (10 _H × x)
RSCANn	受信 FIFO バッファアクセスデータフィールド 0 レジスタ x	RSCANnRFDF0_x	<RSCFDn_base> + 0E08 _H + (10 _H × x)
RSCANn	受信 FIFO バッファアクセスデータフィールド 1 レジスタ x	RSCANnRFDF1_x	<RSCFDn_base> + 0E0C _H + (10 _H × x)
送受信 FIFO バッファ関連レジスタ			
RSCANn	送受信 FIFO バッファコンフィグレーション/制御レジスタ k	RSCANnCFCCk	<RSCFDn_base> + 0118 _H + (04 _H × k)
RSCANn	送受信 FIFO バッファステータスレジスタ k	RSCANnCFSTSk	<RSCFDn_base> + 0178 _H + (04 _H × k)
RSCANn	送受信 FIFO バッファポインタ制御レジスタ k	RSCANnCFPCTR _k	<RSCFDn_base> + 01D8 _H + (04 _H × k)
RSCANn	送受信 FIFO バッファアクセス ID レジスタ k	RSCANnCFID _k	<RSCFDn_base> + 0E80 _H + (10 _H × k)
RSCANn	送受信 FIFO バッファアクセスポインタレジスタ k	RSCANnCFPTR _k	<RSCFDn_base> + 0E84 _H + (10 _H × k)
RSCANn	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ k	RSCANnCFDF0_k	<RSCFDn_base> + 0E88 _H + (10 _H × k)
RSCANn	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ k	RSCANnCFDF1_k	<RSCFDn_base> + 0E8C _H + (10 _H × k)
FIFO ステータス関連レジスタ			
RSCANn	FIFO エンプティステータスレジスタ	RSCANnFESTS	<RSCFDn_base> + 0238 _H
RSCANn	FIFO フルステータスレジスタ	RSCANnFFSTS	<RSCFDn_base> + 023C _H
RSCANn	FIFO メッセージロスステータスレジスタ	RSCANnFMSTS	<RSCFDn_base> + 0240 _H
RSCANn	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCANnRFISTS	<RSCFDn_base> + 0244 _H
RSCANn	送受信 FIFO バッファ受信割り込みフラグステータスレジスタ	RSCANnCFRISTS	<RSCFDn_base> + 0248 _H
RSCANn	送受信 FIFO バッファ送信割り込みフラグステータスレジスタ	RSCANnCFTISTS	<RSCFDn_base> + 024C _H
送信バッファ関連レジスタ			
RSCANn	送信バッファ制御レジスタ p	RSCANnTMCp	<RSCFDn_base> + 0250 _H + (01 _H × p)
RSCANn	送信バッファステータスレジスタ p	RSCANnTMSTSp	<RSCFDn_base> + 02D0 _H + (01 _H × p)
RSCANn	送信バッファ ID レジスタ p	RSCANnTMIDp	<RSCFDn_base> + 1000 _H + (10 _H × p)
RSCANn	送信バッファポインタレジスタ p	RSCANnTMPTRp	<RSCFDn_base> + 1004 _H + (10 _H × p)

表 14.11 レジスタ一覧 (3/3)

モジュール名	レジスタ名	略号	アドレス
送信バッファ関連レジスタ			
RSCANn	送信バッファデータフィールド 0 レジスタ p	RSCANnTMDF0_p	<RSCFDn_base> + 1008 _H + (10 _H × p)
RSCANn	送信バッファデータフィールド 1 レジスタ p	RSCANnTMDF1_p	<RSCFDn_base> + 100C _H + (10 _H × p)
RSCANn	送信バッファ割り込みイネーブルコンフィグレーションレジスタ y	RSCANnTMIECy	<RSCFDn_base> + 0390 _H + (04 _H × y)
送信バッファステータス関連レジスタ			
RSCANn	送信バッファ送信要求ステータスレジスタ y	RSCANnTMTRSTSy	<RSCFDn_base> + 0350 _H + (04 _H × y)
RSCANn	送信バッファ送信アボート要求ステータスレジスタ y	RSCANnTMTARSTSy	<RSCFDn_base> + 0360 _H + (04 _H × y)
RSCANn	送信バッファ送信完了ステータスレジスタ y	RSCANnTMTCASTSy	<RSCFDn_base> + 0370 _H + (04 _H × y)
RSCANn	送信バッファ送信アボートステータスレジスタ y	RSCANnTMTASTSy	<RSCFDn_base> + 0380 _H + (04 _H × y)
送信キュー関連レジスタ			
RSCANn	送信キューコンフィグレーション/制御レジスタ m	RSCANnTXQCCm	<RSCFDn_base> + 03A0 _H + (04 _H × m)
RSCANn	送信キューステータスレジスタ m	RSCANnTXQSTSm	<RSCFDn_base> + 03C0 _H + (04 _H × m)
RSCANn	送信キューポインタ制御レジスタ m	RSCANnTXQPCTRm	<RSCFDn_base> + 03E0 _H + (04 _H × m)
送信履歴関連レジスタ			
RSCANn	送信履歴コンフィグレーション/制御レジスタ m	RSCANnTHLCCm	<RSCFDn_base> + 0400 _H + (04 _H × m)
RSCANn	送信履歴ステータスレジスタ m	RSCANnTHLSTSm	<RSCFDn_base> + 0420 _H + (04 _H × m)
RSCANn	送信履歴ポインタ制御レジスタ m	RSCANnTHLPCTRm	<RSCFDn_base> + 0440 _H + (04 _H × m)
RSCANn	送信履歴アクセスレジスタ m	RSCANnTHLACcm	<RSCFDn_base> + 1800 _H + (04 _H × m)
テスト関連レジスタ			
RSCANn	グローバルテストコンフィグレーションレジスタ	RSCANnGTSTCFG	<RSCFDn_base> + 0468 _H
RSCANn	グローバルテスト制御レジスタ	RSCANnGTSTCTR	<RSCFDn_base> + 046C _H
RSCANn	グローバルロックキーレジスタ	RSCANnGLOCKK	<RSCFDn_base> + 047C _H
RSCANn	RAM テストページアクセスレジスタ r	RSCANnRPGACCr	<RSCFDn_base> + 1900 _H + (04 _H × r)

表 14.12 各チャンネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ $16 \times m + 0$
	送信バッファ $16 \times m + 1$
	送信バッファ $16 \times m + 2$
	送信バッファ $16 \times m + 3$
	送信バッファ $16 \times m + 4$
	送信バッファ $16 \times m + 5$
	送信バッファ $16 \times m + 6$
	送信バッファ $16 \times m + 7$
	送信バッファ $16 \times m + 8$
	送信バッファ $16 \times m + 9$
	送信バッファ $16 \times m + 10$
	送信バッファ $16 \times m + 11$
	送信バッファ $16 \times m + 12$
	送信バッファ $16 \times m + 13$
	送信バッファ $16 \times m + 14$
	送信バッファ $16 \times m + 15$

表 14.13 各チャンネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ $3 \times m + 0$
	送受信 FIFO バッファ $3 \times m + 1$
	送受信 FIFO バッファ $3 \times m + 2$

表 14.14 CFTML[3:0]ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0]ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ 16 × m + 0
0001 _B	送信バッファ 16 × m + 1
0010 _B	送信バッファ 16 × m + 2
0011 _B	送信バッファ 16 × m + 3
0100 _B	送信バッファ 16 × m + 4
0101 _B	送信バッファ 16 × m + 5
0110 _B	送信バッファ 16 × m + 6
0111 _B	送信バッファ 16 × m + 7
1000 _B	送信バッファ 16 × m + 8
1001 _B	送信バッファ 16 × m + 9
1010 _B	送信バッファ 16 × m + 10
1011 _B	送信バッファ 16 × m + 11
1100 _B	送信バッファ 16 × m + 12
1101 _B	送信バッファ 16 × m + 13
1110 _B	送信バッファ 16 × m + 14
1111 _B	送信バッファ 16 × m + 15

表 14.15 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC[3:0]ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定しないでください。
0001 _B	設定しないでください。
0010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 13
0011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 12
0100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 11
0101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 10
0110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 9
0111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 8
1000 _B	送信バッファ 16 × m + 15 ~ 16 × m + 7
1001 _B	送信バッファ 16 × m + 15 ~ 16 × m + 6
1010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 5
1011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 4
1100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 3
1101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 2
1110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 1
1111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 0

14.3.2 インタフェースモード関連レジスタの詳細

14.3.2.1 RSCANnGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス RSCANnGRMCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGRMCFGH、RSCANnGRMCFGH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGRMCFGH、RSCANnGRMCFGH、RSCANnGRMCFGH、RSCANnGRMCFGH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGRMCFG: <RSCFDn_base> + 04FC_H

RSCANnGRMCFGH: <RSCFDn_base> + 04FE_H

RSCANnGRMCFGH: <RSCFDn_base> + 04FE_H

RSCANnGRMCFGH: <RSCFDn_base> + 04FD_H

RSCANnGRMCFGH: <RSCFDn_base> + 04FE_H

RSCANnGRMCFGH: <RSCFDn_base> + 04FF_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.16 RSCANnGRMCFG レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
0	RCMC	インタフェースモード選択ビット 0 : クラシカル CAN モード 1 : CAN FD モード

注： RSCANnGRMCFG レジスタと RSCFDnCFDGRMCFG レジスタは同一レジスタです。どちらかのレジスタを設定してください。

RSCANnGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“0” にすると、クラシカル CAN モードになります。CAN FD モードからクラシカル CAN モードに変更する場合は、CAN FD モードのレジスタマップにのみ割り当てられているレジスタ、ビットすべてにリセット後の値にしてから、RSCANnGRMCFG レジスタを書き換えてください。

14.3.3 チャンネル関連レジスタの詳細

14.3.3.1 RSCANnCmCFG — チャンネルコンフィグレーションレジスタ (m = 0~3)

アクセス RSCANnCmCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCmCFG_L、RSCANnCmCFG_H レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCmCFG_LL、RSCANnCmCFG_LH、RSCANnCmCFG_HL、RSCANnCmCFG_HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCmCFG: <RSCFDn_base> + 0000_H + (10_H × m)

RSCANnCmCFG_L: <RSCFDn_base> + 0000_H + (10_H × m)、

RSCANnCmCFG_H: <RSCFDn_base> + 0002_H + (10_H × m)

RSCANnCmCFG_LL: <RSCFDn_base> + 0000_H + (10_H × m)、

RSCANnCmCFG_LH: <RSCFDn_base> + 0001_H + (10_H × m)、

RSCANnCmCFG_HL: <RSCFDn_base> + 0002_H + (10_H × m)、

RSCANnCmCFG_HH: <RSCFDn_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SJW[1:0]	—	—	TSEG2[2:0]	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.17 RSCANnCmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW[1:0]	再同期ジャンプ幅制御ビット b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~20	TSEG2[2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 14.17 RSCANnCcMCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19~16	TSEG1[3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0: 設定しないでください 0 0 0 1: 設定しないでください 0 0 1 0: 設定しないでください 0 0 1 1: 4 Tq 0 1 0 0: 5 Tq 0 1 0 1: 6 Tq 0 1 1 0: 7 Tq 0 1 1 1: 8 Tq 1 0 0 0: 9 Tq 1 0 0 1: 10 Tq 1 0 1 0: 11 Tq 1 0 1 1: 12 Tq 1 1 0 0: 13 Tq 1 1 0 1: 14 Tq 1 1 1 0: 15 Tq 1 1 1 1: 16 Tq
15~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9~0	BRP[9:0]	プリスケール分周比設定ビット 設定値を P (0~1023) とすると、ボーレートプリスケールは fCAN を P+1 で分周します。

RSCANnCcMCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**14.11.1 初期設定**」を参照してください。

SJW[1:0]ビット

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1~4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0]ビット

フェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2~8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0]ビット

プロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4~16Tq の値が設定可能です。

BRP[9:0]ビット

CAN クロック (fCAN) をボーレートプリスケラ ((BRP[9:0]) + 1) で分周したクロックが CANmTq クロック (fCANTQm) になり、CANmTq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

14.3.3.2 RSCANnCmCTR — チャネル制御レジスタ (m = 0~3)

アクセス RSCANnCmCTR レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCmCTRL、RSCANnCmCTRH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCmCTRLL、RSCANnCmCTRLH、RSCANnCmCTRHL、RSCANnCmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCmCTR: <RSCFDn_base> + 0004_H + (10_H × m)

RSCANnCmCTRL: <RSCFDn_base> + 0004_H + (10_H × m)、

RSCANnCmCTRH: <RSCFDn_base> + 0006_H + (10_H × m)

RSCANnCmCTRLL: <RSCFDn_base> + 0004_H + (10_H × m)、

RSCANnCmCTRLH: <RSCFDn_base> + 0005_H + (10_H × m)、

RSCANnCmCTRHL: <RSCFDn_base> + 0006_H + (10_H × m)、

RSCANnCmCTRHH: <RSCFDn_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCT	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 14.18 RSCANnCmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	CRCT	CRC エラーテスト許可ビット 0: 受信 ID フィールドの先頭ビットを反転しない 1: 受信 ID フィールドの先頭ビットを反転する
29~27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCANnCmERFL レジスタのビット 14~8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示

表 14.18 RSCANnCMCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
22, 21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0 : ISO11898-1:2015 仕様準拠 0 1 : バスオフ開始でチャネル待機モードへ遷移 1 0 : バスオフ終了でチャネル待機モードへ遷移 1 1 : バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20~17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TAIE	送信アボート割り込み許可ビット 0 : 送信アボート割り込み禁止 1 : 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0 : バスロック割り込み禁止 1 : バスロック割り込み許可
13	OLIE	オーバーロードフレーム送信割り込み許可ビット 0 : オーバロードフレーム送信割り込み禁止 1 : オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャネルストップモードビット 0 : チャネルストップモードではない 1 : チャネルストップモード
1, 0	CHMDC[1:0]	モード選択ビット b1 b0 0 0 : チャネル通信モード 0 1 : チャネルリセットモード 1 0 : チャネル待機モード 1 1 : 設定しないでください

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1” にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます (RSCANnCmERFL レジスタの CERR ビットが “1”)。この機能を使用する場合は、以下の点に注意してください。

- RSCANnCmCTR レジスタの CTME ビットが “1” (通信テストモード許可) の場合に使用できます。
- 他の CAN ノードと通信はできません。チャンネル間通信テスト (RSCANnGTSTCFG レジスタの CmICBCE ビットが “1”) で使用してください。
- ID フィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0” になります。

CTMS[1:0]ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0” になります。

ERRD ビット

RSCANnCmERFL レジスタのビット 14~8 の表示モードを制御します。

“0” にすると、RSCANnCmERFL レジスタのビット 14~8 のすべてのフラグが “0” の状態でエラーが検出された場合に、最初に発生したエラーのフラグのみ “1” になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて “1” になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0]ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0]ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生しません。128 回検出する前に CHMDC[1:0]ビットを“10_B”（チャンネル待機モード）にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0]ビットが“01_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCANn CmCTR レジスタ（m = 0~3）の CHMDC[1:0]ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCANn CmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットが“00_H”になります。

BOM[1:0]ビットが“10_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0]ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0]ビットと REC[7:0]ビットが“00_H”になります。

BOM[1:0]ビットが“11_B”の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0]ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0]ビットと REC[7:0]ビットは“00_H”になります。しかし、CHMDC[1:0]ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャンネル待機モードに遷移するのと同様（BOM[1:0]ビットが“01_B”のとき:バスオフ開始時、または BOM[1:0]ビットが“10_B”のとき:バスオフ終了時）に、プログラムによる CHMDC[1:0]ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0]ビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RSCANn CmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RSCANn CmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RSCANn CmERFL レジスタの OVLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RSCANn CmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RSCANn CmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RSCANn CmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RSCANn CmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCANn CmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCANn CmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットが“00_H”になり、RSCANn CmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCANn CmCTR レジスタの BOM[1:0]ビットが“00_B”（ISO11898-1:2015 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャンネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

CHMDC[1:0]ビット

チャンネルのモード（チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード）を選択するビットです。詳細は、「**14.6.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0]ビットを“11_B”には設定しないでください。BOM[1:0]ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0]ビットは自動的に“10_B”になります。

14.3.3.3 RSCANnCmSTS — チャネルステータスレジスタ (m = 0~3)

アクセス RSCANnCmSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnCmSTSL、RSCANnCmSTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnCmSTSLL、RSCANnCmSTSLH、RSCANnCmSTSHL、RSCANnCmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCmSTS: <RSCFDn_base> + 0008_H + (10_H × m)

RSCANnCmSTSL: <RSCFDn_base> + 0008_H + (10_H × m)、

RSCANnCmSTSH: <RSCFDn_base> + 000A_H + (10_H × m)

RSCANnCmSTSLL: <RSCFDn_base> + 0008_H + (10_H × m)、

RSCANnCmSTSLH: <RSCFDn_base> + 0009_H + (10_H × m)、

RSCANnCmSTSHL: <RSCFDn_base> + 000A_H + (10_H × m)、

RSCANnCmSTSHH: <RSCFDn_base> + 000B_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.19 RSCANnCmSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~24	TEC[7:0]	送信エラーカウンタ (TEC) の値が読めます。
23~16	REC[7:0]	受信エラーカウンタ (REC) の値が読めます。
15~8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態
2	CSLPSTS	チャンネルストップステータスフラグ 0: チャンネルストップモードではない 1: チャンネルストップモード

表 14.19 RSCANn CmSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	CHLTSTS	チャンネル待機ステータスフラグ 0: チャンネル待機モードではない 1: チャンネル待機モード
0	CRSTSTS	チャンネルリセットステータスフラグ 0: チャンネルリセットモードではない 1: チャンネルリセットモード

TEC[7:0]ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1:2015) を参照してください。

チャンネルリセットモード時は、“0” になります。

REC[7:0]ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1:2015) を参照してください。

チャンネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11 ビットの連続するレセンプを検出した後に、“1” になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると“1” になります。バスアイドル状態になるか、または送信を開始すると“0” になります。

TRMSTS フラグ

送信を開始すると“1” になります。バスオフ状態では“1” のままです。バスアイドル状態になるか、または受信を開始すると“0” になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0]ビット > 255) になると“1” になります。バスオフ状態以外になると“0” になります。

EPSTS フラグ

エラーパッシブ状態 ((128 ≤ TEC[7:0]ビット ≤ 255) または (128 ≤ REC[7:0]ビット)) になると、“1” になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1” になります。チャンネルストップモードから復帰すると“0” になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

14.3.3.4 RSCANnCmERFL — チャネルエラーフラグレジスタ (m = 0~3)

アクセス RSCANnCmERFL レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCmERFLL、RSCANnCmERFLH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCmERFLLL、RSCANnCmERFLLH、RSCANnCmERFLHL、RSCANnCmERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCmERFL: <RSCFDn_base> + 000C_H + (10_H × m)
 RSCANnCmERFLL: <RSCFDn_base> + 000C_H + (10_H × m)、
 RSCANnCmERFLH: <RSCFDn_base> + 000E_H + (10_H × m)
 RSCANnCmERFLLL: <RSCFDn_base> + 000C_H + (10_H × m)、
 RSCANnCmERFLLH: <RSCFDn_base> + 000D_H + (10_H × m)、
 RSCANnCmERFLHL: <RSCFDn_base> + 000E_H + (10_H × m)、
 RSCANnCmERFLHH: <RSCFDn_base> + 000F_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLf	BORF	BOEF	EPF	EWf	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.20 RSCANnCmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30~16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0 : ACK デリミタエラー未検出 1 : ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0 : ドミナントビットエラー未検出 1 : ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0 : レセシブビットエラー未検出 1 : レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0 : CRC エラー未検出 1 : CRC エラー検出

表 14.20 RSCANnCmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVLf	オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EWf	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様 (ISO11898-1:2015) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCANnCmERFL レジスタのビット 14~8 に関して、RSCANnCmCTR レジスタの ERRD ビットを“0” (最初に発生したエラー情報のみ表示) に設定したとき、ビット 14~8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

CRCREG[14:0]フラグ

RSCANnCmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0”が読めます。

チャンネルリセットモード時は、“0”になります。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。
“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCANnCMCTR レジスタの CHMDC[1:0]ビットを“01_B”（チャンネルリセットモード）に設定した場合
- RSCANnCMCTR レジスタの RTBO ビットを“1”（バスオフからの強制復帰）に設定した場合
- RSCANnCMCTR レジスタの BOM[1:0]ビットを“01_B”（バスオフ開始でチャンネル待機モードへ遷移）に設定した場合
- BOM[1:0]ビットが“11_B”（バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0]ビットを“10_B”（チャンネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0]ビット>255）になると、“1”になります。RSCANnCMCTR レジスタ（m=0~3）の BOM[1:0]ビットが“01_B”（バスオフ開始でチャンネル待機モードへ遷移）で、バスオフ状態になった場合も、“1”になります。

EPF フラグ

エラーパッシブ状態（REC[7:0]または TEC[7:0]ビット>127）になると、“1”になります。REC[7:0]または TEC[7:0]ビットが最初に 127 を超えたときのみ“1”になります。したがって、REC[7:0]または TEC[7:0]ビットが 127 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0]と TEC[7:0]ビットの両方が 127 以下になり、再び REC[7:0]または TEC[7:0]ビットが 127 を超えるまでは“1”にはなりません。

EWf フラグ

REC[7:0]または TEC[7:0]ビットの値が 95 を超えると、“1”になります。REC[7:0]または TEC[7:0]ビットが最初に 95 を超えたときのみ“1”になります。したがって、REC[7:0]または TEC[7:0]ビットが 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0]と TEC[7:0]ビットの両方が 95 以下になり、再び REC[7:0]または TEC[7:0]ビットが 95 を超えるまでは“1”にはなりません。

BEF フラグ

RSCANnCMERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも“1”になると、BEF フラグは“1”になります。

備 考

本レジスタのフラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

14.3.4 グローバル関連レジスタの詳細

14.3.4.1 RSCANnGCFG — グローバルコンフィグレーションレジスタ

アクセス RSCANnGCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGCFGL、RSCANnGCFGH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGCFGLL、RSCANnGCFGLH、RSCANnGCFGHL、RSCANnGCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGCFG: <RSCFDn_base> + 0084_H

RSCANnGCFGL: <RSCFDn_base> + 0084_H、RSCANnGCFGH: <RSCFDn_base> + 0086_H

RSCANnGCFGLL: <RSCFDn_base> + 0084_H、RSCANnGCFGLH: <RSCFDn_base> + 0085_H、

RSCANnGCFGHL: <RSCFDn_base> + 0086_H、RSCANnGCFGHH: <RSCFDn_base> + 0087_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]				TMTSC E	EEFE	—	DCS	MME	DRE	DCE	TPRI	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 14.21 RSCANnGCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~16	ITRCP[15:0]	インターバルタイムプリスケアラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイムを使用する場合、“0000 _H ”を設定しないでください。
15~13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: チャンネル 0 ビットタイムクロック 0 0 1: チャンネル 1 ビットタイムクロック 0 1 0: チャンネル 2 ビットタイムクロック 0 1 1: チャンネル 3 ビットタイムクロック 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください
12	TSSS	タイムスタンプソース選択 0: pclk/2 ^{注1} 1: ビットタイムクロック

表 14.21 RSCANnGCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
11~8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 0 1 1 1 : 128 分周 1 0 0 0 : 256 分周 1 0 0 1 : 512 分周 1 0 1 0 : 1024 分周 1 0 1 1 : 2048 分周 1 1 0 0 : 4096 分周 1 1 0 1 : 8192 分周 1 1 1 0 : 16384 分周 1 1 1 1 : 32768 分周
7	TMTSCE	送信タイムスタンプ許可ビット 0 : 送信タイムスタンプ禁止 1 : 送信タイムスタンプ許可
6	EEFE	ECC エラーフラグ許可ビット 0 : ECC エラーフラグ禁止 1 : ECC エラーフラグ許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット 0 : clk 1 : clk_xincan
3	MME	ミラー機能許可ビット 0 : ミラー機能禁止 1 : ミラー機能許可
2	DRE	DLC 置換許可ビット 0 : DLC 置換禁止 1 : DLC 置換許可
1	DCE	DLC チェック許可ビット 0 : DLC チェック禁止 1 : DLC チェック許可
0	TPRI	送信優先順位選択ビット 0 : ID 優先 1 : 送信バッファ番号優先

注 1. タイムスタンプのカウンタソースに pclk/2 を設定するときは、TSBTCS[2:0]を“000_B”にしてください。

RSCANnGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0]ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「14.8.3.1 インターバル送信機能」を参照してください。

TSBTCS[2:0]ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0]ビット

TSBTCS[2:0]ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TMTSCE ビット

“1”にすると、送信完了したメッセージのタイムスタンプを送信履歴バッファに格納できます。タイムスタンプは RSCANnTHLACCm レジスタの TMTS[15:0]ビットに格納されます。

EEFE ビット

“1”にすると、送信優先順位判定で ECC2 ビットエラーを検出したとき、RSCANnGERFL レジスタの EEFE_m ビットが“1”になります。このとき、ECC2 ビットエラーが検出されたメッセージの送信は行いません。

DCS ビット

“0”のとき、clk_c が CAN クロック (fCAN) のクロック源になります。

“1”のとき、clk_{xincan} が CAN クロック (fCAN) のクロック源になります。

MME ビット

“1”にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1”にすると、DLC チェック機能が使用できます。RSCANnGAFLP0_j レジスタの GAFLDLC[3:0]ビットを“0000_B”にしてから、RSCANnGCFG レジスタの DCE ビットを“0”にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0”の場合、ID 優先となり送信優先順位は CAN バスアービトラージョンルール (ISO11898-1:2015 仕様) に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0”に設定してください。

14.3.4.2 RSCANnGCTR — グローバル制御レジスタ

アクセス RSCANnGCTR レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGCTRL、RSCANnGCTRH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGCTRL、RSCANnGCTRLH、RSCANnGCTRHL、RSCANnGCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGCTR: <RSCFDn_base> + 0088_H

RSCANnGCTRL: <RSCFDn_base> + 0088_H, RSCANnGCTRH: <RSCFDn_base> + 008A_H

RSCANnGCTRL: <RSCFDn_base> + 0088_H, RSCANnGCTRLH: <RSCFDn_base> + 0089_H,

RSCANnGCTRHL: <RSCFDn_base> + 008A_H, RSCANnGCTRHH: <RSCFDn_base> + 008B_H

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 14.22 RSCANnGCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15~11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
2	GSLPR	グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード

表 14.22 RSCANnGCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
1, 0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0 : グローバル動作モード 0 1 : グローバルリセットモード 1 0 : グローバルテストモード 1 1 : 設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCANnGTSC レジスタが“0000_H”になります。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCANnGERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCANnGERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCANnGERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0]ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**14.6.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

14.3.4.3 RSCANnGSTS — グローバルステータスレジスタ

アクセス RSCANnGSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnGSTSL、RSCANnGSTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnGSTSLL、RSCANnGSTSLH、RSCANnGSTSHL、RSCANnGSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGSTS: <RSCFDn_base> + 008C_H

RSCANnGSTSL: <RSCFDn_base> + 008C_H, RSCANnGSTSH: <RSCFDn_base> + 008E_H

RSCANnGSTSLL: <RSCFDn_base> + 008C_H, RSCANnGSTSLH: <RSCFDn_base> + 008D_H,

RSCANnGSTSHL: <RSCFDn_base> + 008E_H, RSCANnGSTSHH: <RSCFDn_base> + 008F_H

リセット後の値 0000 000D_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.23 RSCANnGSTS レジスタの内容

ビット位置	ビット名	機能
31~4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0 : CAN 用 RAM クリア完了 1 : CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0 : グローバルストップモードではない 1 : グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0 : グローバルテストモードではない 1 : グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0 : グローバルリセットモードではない 1 : グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると“0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1” になります。

グローバルリセットモード以外のモードに遷移すると“0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

14.3.4.4 RSCANnGERFL — グローバルエラーフラグレジスタ

アクセス RSCANnGERFL レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGERFLL、RSCANnGERFLH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGERFLLL、RSCANnGERFLLH、RSCANnGERFLHL、RSCANnGERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGERFL: <RSCFDn_base> + 0090_H

RSCANnGERFLL: <RSCFDn_base> + 0090_H、RSCANnGERFLH: <RSCFDn_base> + 0092_H

RSCANnGERFLLL: <RSCFDn_base> + 0090_H、RSCANnGERFLLH: <RSCFDn_base> + 0091_H、

RSCANnGERFLHL: <RSCFDn_base> + 0092_H、RSCANnGERFLHH: <RSCFDn_base> + 0093_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.24 RSCANnGERFL レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	EEF3	チャンネル 3 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
18	EEF2	チャンネル 2 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
17	EEF1	チャンネル 1 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
16	EEF0	チャンネル 0 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
15~3	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0: 送信履歴バッファオーバフローなし 1: 送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCANnGERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

EEFm フラグ

RSCANnGCFCFG レジスタの EEFE ビットが“1”のとき、チャンネル m ($m=0\sim 3$) の送信優先順位判定で ECC2 ビットエラーが検出されると、EEFm フラグが“1”になり、メッセージの送信は行われません。プログラムで“0”を書くことで、“0”にできます。

THLES フラグ

RSCANnTHLSTSm レジスタ ($m=0\sim 3$) の THLELT フラグのいずれか1つでも“1”になると、THLES フラグは“1”になります。

全チャンネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RSCANnRFSTSc レジスタ ($x=0\sim 7$) の RFMLT フラグまたは RSCANnCFSTSk レジスタ ($k=0\sim 11$) の CFMLT フラグのいずれか1つでも“1”になると、MES フラグは“1”になります。

すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

備 考

本レジスタのフラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

14.3.4.5 RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCANnGTSC レジスタは、32 ビット単位でリードのみ可能です。

RSCANnGTSCnSCL、RSCANnGTSCnSCH レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCANnGTSC: <RSCFDn_base> + 0094_H

RSCANnGTSCnSCL: <RSCFDn_base> + 0094_H、RSCANnGTSCnSCH: <RSCFDn_base> + 0096_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.25 RSCANnGTSC レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。
15~0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000 _H ~FFFF _H

TS[15:0]ビット

TS[15:0]ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0]ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、RSCANnGCFG レジスタの TMTSCE ビットが“1”のとき、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCANnGCFG レジスタの TSSS ビットが“0”（pclk）の場合:
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが“1”（CANm ビットタイムクロック）の場合:
対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

14.3.4.6 RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCANnGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。

RSCANnGTINTSTS0L、RSCANnGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。

RSCANnGTINTSTS0LL、RSCANnGTINTSTS0LH、RSCANnGTINTSTS0HL、RSCANnGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGTINTSTS0: <RSCFDn_base> + 0460_H

RSCANnGTINTSTS0L: <RSCFDn_base> + 0460_H、RSCANnGTINTSTS0H: <RSCFDn_base> + 0462_H

RSCANnGTINTSTS0LL: <RSCFDn_base> + 0460_H、RSCANnGTINTSTS0LH: <RSCFDn_base> + 0461_H、

RSCANnGTINTSTS0HL: <RSCFDn_base> + 0462_H、RSCANnGTINTSTS0HH: <RSCFDn_base> + 0463_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注 1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 14.26 RSCANnGTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャンネル 3 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
27	CFTIF3	チャンネル 3 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャンネル 3 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
25	TAIF3	チャンネル 3 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
24	TSIF3	チャンネル 3 送信バッファ送信完了割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
23~21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャンネル 2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
19	CFTIF2	チャンネル 2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり

表 14.26 RSCANnGTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
18	TQIF2	チャンネル 2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
17	TAIF2	チャンネル 2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
16	TSIF2	チャンネル 2 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
15~13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャンネル 1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF1	チャンネル 1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャンネル 1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF1	チャンネル 1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
8	TSIF1	チャンネル 1 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7~5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャンネル 0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	チャンネル 0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャンネル 0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	チャンネル 0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF0	チャンネル 0 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCANnTMIECy レジスタの TMIEp ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RSCANnTMSTSp レジスタの TMTRF[1:0]フラグが“10_B”（送信完了、アポート要求なし）、または“11_B”（送信完了、アポート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0]フラグを全て“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることも、このフラグは“0”になります。

TAIFm ビット

RSCANnCMCTR レジスタの TAIE ビットが “1” (送信アポート割り込み許可)、かつ RSCANnTMSTSp レジスタの TMTRF[1:0]フラグが “01_B” (送信アポート完了) になると、TAIFm ビットは “1” になります。

送信アポートを完了した TMTRF[1:0]フラグを全て “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCANnTXQCCm レジスタの TXQIE ビットが “1” (送信キュー割り込み許可)、かつ RSCANnTXQSTSm レジスタの TXQIF が “1” (送信キュー割り込み要求あり) になると TQIFm ビットは “1” になります。

RSCANnTXQSTSm レジスタの TXQIF ビット (送信キュー割り込み要求) を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCANnCFCCk レジスタの CFTXIE ビットが “1” (送受信 FIFO 送信割り込み許可)、かつ RSCANnCFSTSk レジスタの CFTXIF ビットが “1” (送受信 FIFO 送信割り込み要求あり) になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCANnTHLCCm レジスタの THLIE ビットが “1” (送信履歴割り込み許可)、かつ RSCANnTHLSTSm レジスタの THLIF ビットが “1” (送信履歴割り込み要求あり) になると、THIFm ビットは “1” になります。

RSCANnTHLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

14.3.4.7 RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス RSCANnGFDCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGFDCFGL、RSCANnGFDCFGH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGFDCFGLL、RSCANnGFDCFGLH、RSCANnGFDCFGHL、RSCANnGFDCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGFDCFG: <RSCFDn_base> + 0474_H

RSCANnGFDCFGL: <RSCFDn_base> + 0474_H、RSCANnGFDCFGH: <RSCFDn_base> + 0476_H

RSCANnGFDCFGLL: <RSCFDn_base> + 0474_H、RSCANnGFDCFGLH: <RSCFDn_base> + 0475_H、

RSCANnGFDCFGHL: <RSCFDn_base> + 0476_H、RSCANnGFDCFGHH: <RSCFDn_base> + 0477_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 14.27 RSCANnGFDCFG レジスタの内容

ビット位置	ビット名	機能
31~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b9 b8 0 0 : SOF ビットのサンプルポイントでキャプチャ 0 1 : 有効なフレーム送受信完了でキャプチャ 1 0 : 設定しないでください 1 1 : 設定しないでください
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

TSCCFG ビット

タイムスタンプ値のキャプチャポイントを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

14.3.5 受信ルール関連レジスタの詳細

14.3.5.1 RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCANnGAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGAFLECTRL、RSCANnGAFLECTRH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGAFLECTRLL、RSCANnGAFLECTRLH、RSCANnGAFLECTRHL、RSCANnGAFLECTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLECTR: <RSCFDn_base> + 0098_H

RSCANnGAFLECTRL: <RSCFDn_base> + 0098_H、RSCANnGAFLECTRH: <RSCFDn_base> + 009A_H

RSCANnGAFLECTRLL: <RSCFDn_base> + 0098_H、RSCANnGAFLECTRLH: <RSCFDn_base> + 0099_H、

RSCANnGAFLECTRHL: <RSCFDn_base> + 009A_H、RSCANnGAFLECTRHH: <RSCFDn_base> + 009B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 14.28 RSCANnGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 15 (01111 _B) の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“0000_B” ~ “01111_B” 以外の値を設定しないでください。

14.3.5.2 RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCANnGAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGAFLCFG0L、RSCANnGAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGAFLCFG0LL、RSCANnGAFLCFG0LH、RSCANnGAFLCFG0HL、RSCANnGAFLCFG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLCFG0: <RSCFDn_base> + 009C_H

RSCANnGAFLCFG0L: <RSCFDn_base> + 009C_H、RSCANnGAFLCFG0H: <RSCFDn_base> + 009E_H

RSCANnGAFLCFG0LL: <RSCFDn_base> + 009C_H、RSCANnGAFLCFG0LH: <RSCFDn_base> + 009D_H、

RSCANnGAFLCFG0HL: <RSCFDn_base> + 009E_H、RSCANnGAFLCFG0HH: <RSCFDn_base> + 009F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.29 RSCANnGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31~24	RNC0[7:0]	チャンネル 0 用ルール数 チャンネル 0 の受信ルール数を設定してください。
23~16	RNC1[7:0]	チャンネル 1 用ルール数 チャンネル 1 の受信ルール数を設定してください。
15~8	RNC2[7:0]	チャンネル 2 用ルール数 チャンネル 2 の受信ルール数を設定してください。
7~0	RNC3[7:0]	チャンネル 3 用ルール数 チャンネル 3 の受信ルール数を設定してください。

RSCANnGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0]ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H~80_H以外の値を設定しないでください。

RNC1[7:0]ビット

チャンネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H~80_H以外の値を設定しないでください。

RNC2[7:0]ビット

チャンネル 2 の受信ルールテーブルに登録するルール数を設定します。

00_H～80_H以外の値を設定しないでください。

RNC3[7:0]ビット

チャンネル 3 の受信ルールテーブルに登録するルール数を設定します。

00_H～80_H以外の値を設定しないでください。

14.3.5.3 RSCANnGAFLIDj — 受信ルール ID レジスタ (j = 0~15)

アクセス RSCANnGAFLIDj レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGAFLIDjL、RSCANnGAFLIDjH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGAFLIDjLL、RSCANnGAFLIDjLH、RSCANnGAFLIDjHL、RSCANnGAFLIDjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLIDj: <RSCFDn_base> + 0500_H + (10_H × j)
 RSCANnGAFLIDjL: <RSCFDn_base> + 0500_H + (10_H × j)、
 RSCANnGAFLIDjH: <RSCFDn_base> + 0502_H + (10_H × j)
 RSCANnGAFLIDjLL: <RSCFDn_base> + 0500_H + (10_H × j)、
 RSCANnGAFLIDjLH: <RSCFDn_base> + 0501_H + (10_H × j)、
 RSCANnGAFLIDjHL: <RSCFDn_base> + 0502_H + (10_H × j)、
 RSCANnGAFLIDjHH: <RSCFDn_base> + 0503_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.30 RSCANnGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: 他の CAN ノードが送信したメッセージを受信時 1: 自らが送信したメッセージを受信時
28~0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10~b0 に ID を設定してください。b28~b11 は “0” にしてください。

RSCANnGAFLIDj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールの用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールの用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

14.3.5.4 RSCANnGAFLMj — 受信ルールマスクレジスタ (j = 0~15)

アクセス RSCANnGAFLMj レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGAFLMjL、RSCANnGAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGAFLMjLL、RSCANnGAFLMjLH、RSCANnGAFLMjHL、RSCANnGAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLMj: <RSCFDn_base> + 0504_H + (10_H × j)

RSCANnGAFLMjL: <RSCFDn_base> + 0504_H + (10_H × j)、

RSCANnGAFLMjH: <RSCFDn_base> + 0506_H + (10_H × j)

RSCANnGAFLMjLL: <RSCFDn_base> + 0504_H + (10_H × j)、

RSCANnGAFLMjLH: <RSCFDn_base> + 0505_H + (10_H × j)、

RSCANnGAFLMjHL: <RSCFDn_base> + 0506_H + (10_H × j)、

RSCANnGAFLMjHH: <RSCFDn_base> + 0507_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.31 RSCANnGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
28~0	GAFLIDM[28:0]	ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する

RSCANnGAFLMj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCANnGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0]ビット

受信ルールの対応する ID ビットをマスクするビットです。

14.3.5.5 RSCANnGAFLP0_j — 受信ルールポインタ 0 レジスタ (j = 0~15)

アクセス RSCANnGAFLP0_j レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnGAFLP0_jL、RSCANnGAFLP0_jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnGAFLP0_jLL、RSCANnGAFLP0_jLH、RSCANnGAFLP0_jHL、RSCANnGAFLP0_jHH レジスタは、
8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLP0_j: <RSCFDn_base> + 0508_H + (10_H × j)
RSCANnGAFLP0_jL: <RSCFDn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0_jH: <RSCFDn_base> + 050A_H + (10_H × j)
RSCANnGAFLP0_jLL: <RSCFDn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0_jLH: <RSCFDn_base> + 0509_H + (10_H × j)、
RSCANnGAFLP0_jHL: <RSCFDn_base> + 050A_H + (10_H × j)、
RSCANnGAFLP0_jHH: <RSCFDn_base> + 050B_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLR MV	GAFLRMDP[6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 14.32 RSCANnGAFLP0_j レジスタの内容

ビット位置	ビット名	機能
31~28	GAFLDLC[3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0: DLC チェックしない 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27~16	GAFLPTR[11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0: 受信バッファを使用しない 1: 受信バッファを使用する
14~8	GAFLRMDP[6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。

RSCANnGAFLP0_j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0]ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0]ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0]ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0]ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0]ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN_nRMNB レジスタの NRXMB[7:0]ビットで設定した値より小さい番号を設定してください。

14.3.5.6 RSCANnGAFLP1_j — 受信ルールポインタ 1 レジスタ (j = 0~15)

アクセス RSCANnGAFLP1_j レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGAFLP1_jL、RSCANnGAFLP1_jH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGAFLP1_jLL、RSCANnGAFLP1_jLH、RSCANnGAFLP1_jHL、RSCANnGAFLP1_jHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGAFLP1_j: <RSCFDn_base> + 050C_H + (10_H × j)
 RSCANnGAFLP1_jL: <RSCFDn_base> + 050C_H + (10_H × j)、
 RSCANnGAFLP1_jH: <RSCFDn_base> + 050E_H + (10_H × j)
 RSCANnGAFLP1_jLL: <RSCFDn_base> + 050C_H + (10_H × j)、
 RSCANnGAFLP1_jLH: <RSCFDn_base> + 050D_H + (10_H × j)、
 RSCANnGAFLP1_jHL: <RSCFDn_base> + 050E_H + (10_H × j)、
 RSCANnGAFLP1_jHH: <RSCFDn_base> + 050F_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	GAFLFDP[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.33 RSCANnGAFLP1_j レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19~8	GAFLFDP[19:8]	送受信 FIFO バッファ k 選択ビット (ビット位置-8 が対象となる送受信 FIFO バッファ番号 k になります) 0: 送受信 FIFO バッファを選択しない 1: 送受信 FIFO バッファを選択する
7~0	GAFLFDP[7:0]	受信 FIFO バッファ x 選択ビット (ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0: 受信 FIFO バッファを選択しない 1: 受信 FIFO バッファを選択する

RSCANnGAFLP1_j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[19:0]ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCANnGAFLP0_j レジスタの GAFLRMV ビットを “1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCANnCFCCk レジスタの CFM[1:0] ビットを “00_B” (受信モード) または “10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

14.3.6 受信バッファ関連レジスタの詳細

14.3.6.1 RSCANnRMNB — 受信バッファナンバレジスタ

アクセス RSCANnRMNB レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnRMNBL、RSCANnRMNBH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnRMNBLL、RSCANnRMNBHL、RSCANnRMNBHL、RSCANnRMNBHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRMNB: <RSCFDn_base> + 00A4_H

RSCANnRMNBL: <RSCFDn_base> + 00A4_H、RSCANnRMNBH: <RSCFDn_base> + 00A6_H

RSCANnRMNBLL: <RSCFDn_base> + 00A4_H、RSCANnRMNBHL: <RSCFDn_base> + 00A5_H、

RSCANnRMNBHL: <RSCFDn_base> + 00A6_H、RSCANnRMNBHH: <RSCFDn_base> + 00A7_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.34 RSCANnRMNB レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7~0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0~64 の範囲で設定してください。

RSCANnRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0]ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0” を設定すると、受信バッファは使用できません。

14.3.6.2 RSCANnRMNDy — 受信バッファ新データレジスタ (y = 0, 1)

アクセス RSCANnRMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnRMNDyL、RSCANnRMNDyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnRMNDyLL、RSCANnRMNDyLH、RSCANnRMNDyHL、RSCANnRMNDyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRMNDy: <RSCFDn_base> + 00A8_H + (04_H × y)
RSCANnRMNDyL: <RSCFDn_base> + 00A8_H + (04_H × y)、
RSCANnRMNDyH: <RSCFDn_base> + 00AA_H + (04_H × y)
RSCANnRMNDyLL: <RSCFDn_base> + 00A8_H + (04_H × y)、
RSCANnRMNDyLH: <RSCFDn_base> + 00A9_H + (04_H × y)、
RSCANnRMNDyHL: <RSCFDn_base> + 00AA_H + (04_H × y)、
RSCANnRMNDyHH: <RSCFDn_base> + 00AB_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.35 RSCANnRMNDy レジスタの内容

ビット位置	ビット名	機能
31~16	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 31 ~ y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり
15~0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCANnRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0~63)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0”になります。

14.3.6.3 RSCANnRMIDq — 受信バッファ ID レジスタ (q = 0~63)

アクセス RSCANnRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMIDqL、RSCANnRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMIDqLL、RSCANnRMIDqLH、RSCANnRMIDqHL、RSCANnRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMIDq: <RSCFDn_base> + 0600_H + (10_H × q)
RSCANnRMIDqL: <RSCFDn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqH: <RSCFDn_base> + 0602_H + (10_H × q)
RSCANnRMIDqLL: <RSCFDn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqLH: <RSCFDn_base> + 0601_H + (10_H × q)、
RSCANnRMIDqHL: <RSCFDn_base> + 0602_H + (10_H × q)、
RSCANnRMIDqHH: <RSCFDn_base> + 0603_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.36 RSCANnRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28~0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID/拡張 ID が読めます。 標準 ID の場合は、b10~b0 を読んでください。b28~b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

14.3.6.4 RSCANnRMPTRq — 受信バッファポインタレジスタ (q = 0~63)

アクセス RSCANnRMPTRq レジスタは、32 ビット単位でリードのみ可能です。

RSCANnRMPTRqL、RSCANnRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnRMPTRqLL、RSCANnRMPTRqLH、RSCANnRMPTRqHL、RSCANnRMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMPTRq: <RSCFDn_base> + 0604_H + (10_H × q)

RSCANnRMPTRqL: <RSCFDn_base> + 0604_H + (10_H × q)、

RSCANnRMPTRqH: <RSCFDn_base> + 0606_H + (10_H × q)

RSCANnRMPTRqLL: <RSCFDn_base> + 0604_H + (10_H × q)、

RSCANnRMPTRqLH: <RSCFDn_base> + 0605_H + (10_H × q)、

RSCANnRMPTRqHL: <RSCFDn_base> + 0606_H + (10_H × q)、

RSCANnRMPTRqHH: <RSCFDn_base> + 0607_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.37 RSCANnRMPTRq レジスタの内容

ビット位置	ビット名	機能
31~28	RMDLC[3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0: データバイトなし 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27~16	RMPTR[11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15~0	RMTS[15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0]ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0]ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0]ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

14.3.6.5 RSCANnRMDF0_q — 受信バッファデータフィールド 0 レジスタ (q = 0~63)

アクセス RSCANnRMDF0_q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF0_qL、RSCANnRMDF0_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF0_qLL、RSCANnRMDF0_qLH、RSCANnRMDF0_qHL、RSCANnRMDF0_qHH レジスタは、
8 ビット単位でリードのみ可能です。

アドレス RSCANnRMDF0_q: <RSCFDn_base> + 0608_H + (10_H × q)
RSCANnRMDF0_qL: <RSCFDn_base> + 0608_H + (10_H × q)、
RSCANnRMDF0_qH: <RSCFDn_base> + 060A_H + (10_H × q)
RSCANnRMDF0_qLL: <RSCFDn_base> + 0608_H + (10_H × q)、
RSCANnRMDF0_qLH: <RSCFDn_base> + 0609_H + (10_H × q)、
RSCANnRMDF0_qHL: <RSCFDn_base> + 060A_H + (10_H × q)、
RSCANnRMDF0_qHH: <RSCFDn_base> + 060B_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3[7:0]							RMDB2[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1[7:0]							RMDB0[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.38 RSCANnRMDF0_q レジスタの内容

ビット位置	ビット名	機能
31~24	RMDB3[7:0]	受信バッファデータバイト 3
23~16	RMDB2[7:0]	受信バッファデータバイト 2
15~8	RMDB1[7:0]	受信バッファデータバイト 1
7~0	RMDB0[7:0]	受信バッファデータバイト 0
		受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.6.6 RSCANnRMDF1_q — 受信バッファデータフィールド 1 レジスタ (q = 0~63)

アクセス RSCANnRMDF1_q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF1_qL、RSCANnRMDF1_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF1_qLL、RSCANnRMDF1_qLH、RSCANnRMDF1_qHL、RSCANnRMDF1_qHH レジスタは、
8 ビット単位でリードのみ可能です。

アドレス RSCANnRMDF1_q: <RSCFDn_base> + 060C_H + (10_H × q)
RSCANnRMDF1_qL: <RSCFDn_base> + 060C_H + (10_H × q)、
RSCANnRMDF1_qH: <RSCFDn_base> + 060E_H + (10_H × q)
RSCANnRMDF1_qLL: <RSCFDn_base> + 060C_H + (10_H × q)、
RSCANnRMDF1_qLH: <RSCFDn_base> + 060D_H + (10_H × q)、
RSCANnRMDF1_qHL: <RSCFDn_base> + 060E_H + (10_H × q)、
RSCANnRMDF1_qHH: <RSCFDn_base> + 060F_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7[7:0]							RMDB6[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5[7:0]							RMDB4[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.39 RSCANnRMDF1_q レジスタの内容

ビット位置	ビット名	機能
31~24	RMDB7[7:0]	受信バッファデータバイト 7
23~16	RMDB6[7:0]	受信バッファデータバイト 6
15~8	RMDB5[7:0]	受信バッファデータバイト 5
7~0	RMDB4[7:0]	受信バッファデータバイト 4
		受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.7 受信 FIFO バッファ関連レジスタの詳細

14.3.7.1 RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~7)

アクセス RSCANnRFCCx レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnRFCCxL、RSCANnRFCCxH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnRFCCxLL、RSCANnRFCCxLH、RSCANnRFCCxHL、RSCANnRFCCxHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRFCCx: <RSCFDn_base> + 00B8_H + (04_H × x)

RSCANnRFCCxL: <RSCFDn_base> + 00B8_H + (04_H × x)、

RSCANnRFCCxH: <RSCFDn_base> + 00BA_H + (04_H × x)

RSCANnRFCCxLL: <RSCFDn_base> + 00B8_H + (04_H × x)、

RSCANnRFCCxLH: <RSCFDn_base> + 00B9_H + (04_H × x)、

RSCANnRFCCxHL: <RSCFDn_base> + 00BA_H + (04_H × x)、

RSCANnRFCCxHH: <RSCFDn_base> + 00BB_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 14.40 RSCANnRFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15~13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0]ビットで設定した条件に達したときに発生 1: 1メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 14.40 RSCANnRFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
10~8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する

RFIGCV[2:0]ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0]の設定) に対する分数で指定します。

RFDC[2:0]ビットを“001_B” (4 メッセージ) に設定した場合は、RFIGCV[2:0]ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0]ビット

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCANnRFSTStx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCANnRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して“1”にしてください。

グローバルリセットモード時、“0”になります。

14.3.7.2 RSCANnRFSTx — 受信 FIFO バッファステータスレジスタ (x = 0~7)

アクセス RSCANnRFSTx レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnRFSTxL、RSCANnRFSTxH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnRFSTxLL、RSCANnRFSTxLH、RSCANnRFSTxHL、RSCANnRFSTxHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRFSTx: <RSCFDn_base> + 00D8_H + (04_H × x)

RSCANnRFSTxL: <RSCFDn_base> + 00D8_H + (04_H × x)、

RSCANnRFSTxH: <RSCFDn_base> + 00DA_H + (04_H × x)

RSCANnRFSTxLL: <RSCFDn_base> + 00D8_H + (04_H × x)、

RSCANnRFSTxLH: <RSCFDn_base> + 00D9_H + (04_H × x)、

RSCANnRFSTxHL: <RSCFDn_base> + 00DA_H + (04_H × x)、

RSCANnRFSTxHH: <RSCFDn_base> + 00DB_H + (04_H × x)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]							—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.41 RSCANnRFSTx レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15~8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0]フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCANnRFCCx レジスタの RFE ビットを“0”にすると、“00_H”になります。

RFIF フラグ

RSCANnRFCCx レジスタの RFIGCV[2:0]ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCANnRFCCx レジスタの RFDC[2:0]ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0]ビットで設定した段数より小さくなると“0”になります。また、RSCANnRFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCANnRFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

備 考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

14.3.7.3 RSCANnRFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0~7)

アクセス RSCANnRFPCTR_x レジスタは、32 ビット単位でライトのみ可能です。
RSCANnRFPCTR_{xL}、RSCANnRFPCTR_{xH} レジスタは、16 ビット単位でライトのみ可能です。
RSCANnRFPCTR_{xLL}、RSCANnRFPCTR_{xLH}、RSCANnRFPCTR_{xHL}、RSCANnRFPCTR_{xHH} レジスタは、
8 ビット単位でライトのみ可能です。

アドレス RSCANnRFPCTR_x: <RSCFDn_base> + 00F8_H + (04_H × x)
RSCANnRFPCTR_{xL}: <RSCFDn_base> + 00F8_H + (04_H × x)、
RSCANnRFPCTR_{xH}: <RSCFDn_base> + 00FA_H + (04_H × x)
RSCANnRFPCTR_{xLL}: <RSCFDn_base> + 00F8_H + (04_H × x)、
RSCANnRFPCTR_{xLH}: <RSCFDn_base> + 00F9_H + (04_H × x)、
RSCANnRFPCTR_{xHL}: <RSCFDn_base> + 00FA_H + (04_H × x)、
RSCANnRFPCTR_{xHH}: <RSCFDn_base> + 00FB_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.42 RSCANnRFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF _H ” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0]ビット

RFPC[7:0]ビットに“FF_H”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnRFST_{Sx} レジスタの RFMC[7:0]ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCANnRFID_x、RSCANnRFPTR_x、RSCANnRFDF0__x、RSCANnRFDF1__x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0]ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCANnRFCC_x レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する) で、RSCANnRFST_{Sx} レジスタの RFEMP フラグが“0” (未読メッセージあり) のときに行ってください。

14.3.7.4 RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0~7)

アクセス RSCANnRFIDx レジスタは、32 ビット単位でリードのみ可能です。

RSCANnRFIDxL、RSCANnRFIDxH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnRFIDxLL、RSCANnRFIDxLH、RSCANnRFIDxHL、RSCANnRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFIDx: <RSCFDn_base> + 0E00_H + (10_H × x)

RSCANnRFIDxL: <RSCFDn_base> + 0E00_H + (10_H × x)、

RSCANnRFIDxH: <RSCFDn_base> + 0E02_H + (10_H × x)

RSCANnRFIDxLL: <RSCFDn_base> + 0E00_H + (10_H × x)、

RSCANnRFIDxLH: <RSCFDn_base> + 0E01_H + (10_H × x)、

RSCANnRFIDxHL: <RSCFDn_base> + 0E02_H + (10_H × x)、

RSCANnRFIDxHH: <RSCFDn_base> + 0E03_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.43 RSCANnRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28~0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID/拡張 ID が読めます。 標準 ID の場合は、b10~b0 を読んでください。b28~b11 は “0” が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

14.3.7.5 RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0~7)

アクセス RSCANnRFPTRx レジスタは、32 ビット単位でリードのみ可能です。

RSCANnRFPTRxL、RSCANnRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnRFPTRxLL、RSCANnRFPTRxLH、RSCANnRFPTRxHL、RSCANnRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFPTRx: <RSCFDn_base> + 0E04_H + (10_H × x)

RSCANnRFPTRxL: <RSCFDn_base> + 0E04_H + (10_H × x)、

RSCANnRFPTRxH: <RSCFDn_base> + 0E06_H + (10_H × x)

RSCANnRFPTRxLL: <RSCFDn_base> + 0E04_H + (10_H × x)、

RSCANnRFPTRxLH: <RSCFDn_base> + 0E05_H + (10_H × x)、

RSCANnRFPTRxHL: <RSCFDn_base> + 0E06_H + (10_H × x)、

RSCANnRFPTRxHH: <RSCFDn_base> + 0E07_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.44 RSCANnRFPTRx レジスタの内容

ビット位置	ビット名	機能
31~28	RFDLC[3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0: 0 データバイト 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27~16	RFPTR[11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15~0	RFTS[15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0]ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0]ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0]ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

14.3.7.6 RSCANnRFDF0_x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0~7)

アクセス RSCANnRFDF0_x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF0_xL、RSCANnRFDF0_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF0_xLL、RSCANnRFDF0_xLH、RSCANnRFDF0_xHL、RSCANnRFDF0_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFDF0_x: <RSCFDn_base> + 0E08_H + (10_H × x)
RSCANnRFDF0_xL: <RSCFDn_base> + 0E08_H + (10_H × x)、
RSCANnRFDF0_xH: <RSCFDn_base> + 0E0A_H + (10_H × x)
RSCANnRFDF0_xLL: <RSCFDn_base> + 0E08_H + (10_H × x)、
RSCANnRFDF0_xLH: <RSCFDn_base> + 0E09_H + (10_H × x)、
RSCANnRFDF0_xHL: <RSCFDn_base> + 0E0A_H + (10_H × x)、
RSCANnRFDF0_xHH: <RSCFDn_base> + 0E0B_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3[7:0]								RFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1[7:0]								RFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.45 RSCANnRFDF0_x レジスタの内容

ビット位置	ビット名	機能
31~24	RFDB3[7:0]	受信 FIFO バッファデータバイト 3
23~16	RFDB2[7:0]	受信 FIFO バッファデータバイト 2
15~8	RFDB1[7:0]	受信 FIFO バッファデータバイト 1
7~0	RFDB0[7:0]	受信 FIFO バッファデータバイト 0
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.7.7 RSCANnRFDF1_x — 受信 FIFO バッファアクセスデータフィールド1レジスタ (x = 0~7)

アクセス RSCANnRFDF1_x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF1_xL、RSCANnRFDF1_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF1_xLL、RSCANnRFDF1_xLH、RSCANnRFDF1_xHL、RSCANnRFDF1_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFDF1_x: <RSCFDn_base> + 0E0C_H + (10_H × x)
RSCANnRFDF1_xL: <RSCFDn_base> + 0E0C_H + (10_H × x)、
RSCANnRFDF1_xH: <RSCFDn_base> + 0E0E_H + (10_H × x)
RSCANnRFDF1_xLL: <RSCFDn_base> + 0E0C_H + (10_H × x)、
RSCANnRFDF1_xLH: <RSCFDn_base> + 0E0D_H + (10_H × x)、
RSCANnRFDF1_xHL: <RSCFDn_base> + 0E0E_H + (10_H × x)、
RSCANnRFDF1_xHH: <RSCFDn_base> + 0E0F_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7[7:0]								RFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5[7:0]								RFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.46 RSCANnRFDF1_x レジスタの内容

ビット位置	ビット名	機能
31~24	RFDB7[7:0]	受信 FIFO バッファデータバイト 7
23~16	RFDB6[7:0]	受信 FIFO バッファデータバイト 6
15~8	RFDB5[7:0]	受信 FIFO バッファデータバイト 5
7~0	RFDB4[7:0]	受信 FIFO バッファデータバイト 4
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

14.3.8 送受信 FIFO バッファ関連レジスタの詳細

14.3.8.1 RSCANnCFCCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0~11)

アクセス RSCANnCFCCK レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCFCCKL、RSCANnCFCCKH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCFCCKLL、RSCANnCFCCKLH、RSCANnCFCCKHL、RSCANnCFCCKHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFCCK: <RSCFDn_base> + 0118_H + (04_H × k)

RSCANnCFCCKL: <RSCFDn_base> + 0118_H + (04_H × k)、

RSCANnCFCCKH: <RSCFDn_base> + 011A_H + (04_H × k)

RSCANnCFCCKLL: <RSCFDn_base> + 0118_H + (04_H × k)、

RSCANnCFCCKLH: <RSCFDn_base> + 0119_H + (04_H × k)、

RSCANnCFCCKHL: <RSCFDn_base> + 011A_H + (04_H × k)、

RSCANnCFCCKHH: <RSCFDn_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]				CFITR	CFITSS	CFM[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]			CFIM	—	CFDC[2:0]		—	—	—	—	—	—	CFIXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 14.47 RSCANnCFCCK レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値: 00 _H ~FF _H
23~20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0: pclk/2 を ITRCP [15:0]ビットで分周したクロック 1: pclk/2 を ITRCP [15:0]ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0: CFITR ビットで選択したクロックソース 1: 関連チャンネルのビットタイムクロック
17~16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0: 受信モード 0 1: 送信モード 1 0: ゲートウェイモード 1 1: 設定しないでください

表 14.47 RSCANnCFCCk レジスタの内容 (2/2)

ビット位置	ビット名	機能
15~13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0: <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0]ビットで設定した条件に達したとき、 FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、 FIFO 送信割り込み要求発生 1: <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10~8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0: 送受信 FIFO 送信割り込み禁止 1: 送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0: 送受信 FIFO 受信割り込み禁止 1: 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0: 送受信 FIFO バッファを使用しない 1: 送受信 FIFO バッファを使用する

CFITT[7:0]ビット

CFM[1:0]ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0]ビットを書き換えてください。

CFTML[3:0]ビット

CFM[1:0]ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 m は、 $k/3$ の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、 $(16 \times m) + \text{CFTML}[3:0]$ となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 14.12** および**表 14.13** を参照してください。

CFDC[2:0]ビットを“001_B”以上にすると、CFTML[3:0]ビットの設定が有効になります。

同一チャンネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCANnGCFG レジスタの ITRCP [15:0]ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCANnGCFG レジスタの ITRCP[15:0]ビットの値 $\times 10$ で分周したクロックとなります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャンネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITSS ビットを書き換えてください。

CFM[1:0]ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0]ビット

CFM[1:0]ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (CFDC[2:0]の設定) に対する分数で指定します。

CFDC[2:0]ビットを“001_B” (4 メッセージ) に設定した場合は、CFIGCV[2:0]ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0]ビット

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCAN_nCFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCAN_nCFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時:グローバルリセットモード
- 送信モードまたはゲートウェイモード時:チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード:グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード:チャネル通信モードまたはチャネル待機モード

このビットは、RSCAN_nCFCK レジスタの他のすべてのビットを設定後に、別の命令を使用して“1”にしてください。

14.3.8.2 RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0~11)

アクセス RSCANnCFSTSk レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCFSTSkL、RSCANnCFSTSkH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCFSTSkLL、RSCANnCFSTSkLH、RSCANnCFSTSkHL、RSCANnCFSTSkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFSTSk: <RSCFDn_base> + 0178_H + (04_H × k)

RSCANnCFSTSkL: <RSCFDn_base> + 0178_H + (04_H × k)、

RSCANnCFSTSkH: <RSCFDn_base> + 017A_H + (04_H × k)

RSCANnCFSTSkLL: <RSCFDn_base> + 0178_H + (04_H × k)、

RSCANnCFSTSkLH: <RSCFDn_base> + 0179_H + (04_H × k)、

RSCANnCFSTSkHL: <RSCFDn_base> + 017A_H + (04_H × k)、

RSCANnCFSTSkHH: <RSCFDn_base> + 017B_H + (04_H × k)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	RW ^{注1}	RW ^{注1}	RW ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.48 RSCANnCFSTSk レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15~8	CFMC[7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロスフラグ 0: 送受信 FIFO メッセージロスなし 1: 送受信 FIFO メッセージロス
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0]ビット

CFMC[7:0]ビットが示す値は、RSCANnCFCCk レジスタの CFM[1:0]ビットの設定により次のようになります。

- CFM[1:0]ビットが “01_B” (送信モード) の場合：バッファに格納した未送信メッセージ数
- CFM[1:0]ビットが “00_B” (受信モード) の場合：バッファに格納された未読の受信メッセージ数
- CFM[1:0]ビットが “10_B” (ゲートウェイモード) の場合：バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0]ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0]ビットが “01_B” または “10_B” の場合：チャンネルリセットモード
- RSCANnCFDCFCk レジスタの CFE ビットが “0” の場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0]ビットが “01_B” または “10_B” で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0]ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0]ビットが “01_B” または “10_B” の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。 “0” を書く場合はストア命令を使用し、 “0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0]ビットが “00_B” または “10_B” で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0]ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0]ビットが “01_B” または “10_B” の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。 “0” を書く場合はストア命令を使用し、 “0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCANnCFCCk レジスタの CFDC[2:0]ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0]ビットで設定した段数より小さくなったとき
- RSCANnCFCCk レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信ポート中でないとき
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0]ビットが“00_B”の場合：
全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：
すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：
送信アボート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0]ビットが“00_B”または“10_B”の場合：
受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0]ビットが“01_B”の場合：
RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに書いてから、
RSCANnCFPCTRk レジスタに“FF_H”を書いたとき

備 考

CFTXIF, CFRXIF, CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

14.3.8.3 RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0~11)

アクセス RSCANnCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
 RSCANnCFPCTRkL、RSCANnCFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
 RSCANnCFPCTRkLL、RSCANnCFPCTRkLH、RSCANnCFPCTRkHL、RSCANnCFPCTRkHH レジスタは、
 8 ビット単位でライトのみ可能です。

アドレス RSCANnCFPCTRk: <RSCFDn_base> + 01D8_H + (04_H × k)
 RSCANnCFPCTRkL: <RSCFDn_base> + 01D8_H + (04_H × k)、
 RSCANnCFPCTRkH: <RSCFDn_base> + 01DA_H + (04_H × k)
 RSCANnCFPCTRkLL: <RSCFDn_base> + 01D8_H + (04_H × k)、
 RSCANnCFPCTRkLH: <RSCFDn_base> + 01D9_H + (04_H × k)、
 RSCANnCFPCTRkHL: <RSCFDn_base> + 01DA_H + (04_H × k)、
 RSCANnCFPCTRkHH: <RSCFDn_base> + 01DB_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.49 RSCANnCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	CFPC[7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定しないでください。

CFPC[7:0]ビット

- 受信モード (RSCANnCFCCK レジスタの CFM[1:0]ビットが “00_B”) のとき:
 CFPC[7:0]ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnCFSTSk レジスタの CFMC[7:0]ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0]ビットに “FF_H” を書いてください。
 なお、“FF_H” の書き込みは RSCANnCFCCK レジスタの CFE ビットが “1” (送受信 FIFO バッファを使用する) で、RSCANnCFSTSk レジスタの CFEMP フラグが “0” (メッセージあり) のときに行ってください。

- 送信モード (RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”) のとき:
CFPC[7:0] ビットに “FF_H” を書くと、RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
なお、“FF_H” の書き込みは、RSCANnCFCCk レジスタの CFE ビットが “1” で、RSCANnCFSTSk レジスタの CFFLL フラグが “0” (フルではない) のときに行ってください。
- ゲートウェイモード (RSCANnCFCCk レジスタの CFM[1:0] ビットが “10_B”) のとき:
設定しないでください。

14.3.8.4 RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0~11)

アクセス RSCANnCFIDk レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCFIDkL、RSCANnCFIDkH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCFIDkLL、RSCANnCFIDkLH、RSCANnCFIDkHL、RSCANnCFIDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFIDk: <RSCFDn_base> + 0E80_H + (10_H × k)

RSCANnCFIDkL: <RSCFDn_base> + 0E80_H + (10_H × k)、

RSCANnCFIDkH: <RSCFDn_base> + 0E82_H + (10_H × k)

RSCANnCFIDkLL: <RSCFDn_base> + 0E80_H + (10_H × k)、

RSCANnCFIDkLH: <RSCFDn_base> + 0E81_H + (10_H × k)、

RSCANnCFIDkHL: <RSCFDn_base> + 0E82_H + (10_H × k)、

RSCANnCFIDkHH: <RSCFDn_base> + 0E83_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.50 RSCANnCFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0]ビットが“01 _B ” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28~0	CFID[28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10~b0 に ID を設定してください。b28~b11 は“0” にしてください。 CFM[1:0]ビットが“00_B” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10~b0 を読んでください。b28~b11 は“0” が読めます。

RSCANnCFIDk レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けません。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFM[1:0]ビットが“01_B” (送信モード) のときに、有効になります。

CFID[28:0]ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいません。

CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

14.3.8.5 RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0~11)

アクセス RSCANnCFPTRk レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCFPTRkL、RSCANnCFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCFPTRkLL、RSCANnCFPTRkLH、RSCANnCFPTRkHL、RSCANnCFPTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFPTRk: <RSCFDn_base> + 0E84_H + (10_H × k)

RSCANnCFPTRkL: <RSCFDn_base> + 0E84_H + (10_H × k)、

RSCANnCFPTRkH: <RSCFDn_base> + 0E86_H + (10_H × k)

RSCANnCFPTRkLL: <RSCFDn_base> + 0E84_H + (10_H × k)、

RSCANnCFPTRkLH: <RSCFDn_base> + 0E85_H + (10_H × k)、

RSCANnCFPTRkHL: <RSCFDn_base> + 0E86_H + (10_H × k)、

RSCANnCFPTRkHH: <RSCFDn_base> + 0E87_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC[3:0]				CFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.51 RSCANnCFPTRk レジスタの内容

ビット位置	ビット名	機能
31~28	CFDLC[3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0: 0 データバイト 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27~16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。CFPTR[7:0]のみ有効です。 CFM[1:0]ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。
15~0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0]ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCANnCFCCk レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けません。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0]ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。“1001_B”以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0]ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0]ビットが“01_B”のとき、メッセージ送信が完了した場合、CFPTR[7:0]ビットの値が送信履歴に格納されます。

CFTS[15:0]ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0]ビットが“00_B”のときに、有効になります。

14.3.8.6 RSCANnCFDF0_k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0~11)

アクセス RSCANnCFDF0_k レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnCFDF0_kL、RSCANnCFDF0_kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnCFDF0_kLL、RSCANnCFDF0_kLH、RSCANnCFDF0_kHL、RSCANnCFDF0_kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFDF0_k: <RSCFDn_base> + 0E88_H + (10_H × k)
RSCANnCFDF0_kL: <RSCFDn_base> + 0E88_H + (10_H × k)、
RSCANnCFDF0_kH: <RSCFDn_base> + 0E8A_H + (10_H × k)
RSCANnCFDF0_kLL: <RSCFDn_base> + 0E88_H + (10_H × k)、
RSCANnCFDF0_kLH: <RSCFDn_base> + 0E89_H + (10_H × k)、
RSCANnCFDF0_kHL: <RSCFDn_base> + 0E8A_H + (10_H × k)、
RSCANnCFDF0_kHH: <RSCFDn_base> + 0E8B_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3[7:0]								CFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1[7:0]								CFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.52 RSCANnCFDF0_k レジスタの内容

ビット位置	ビット名	機能
31~24	CFDB3[7:0]	送受信 FIFO バッファデータバイト 3
23~16	CFDB2[7:0]	送受信 FIFO バッファデータバイト 2
15~8	CFDB1[7:0]	送受信 FIFO バッファデータバイト 1
7~0	CFDB0[7:0]	送受信 FIFO バッファデータバイト 0 <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0]ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnCFCCk レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書きません。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDL3[3:0]ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

14.3.8.7 RSCANnCFDF1_k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0~11)

アクセス RSCANnCFDF1_k レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnCFDF1_kL、RSCANnCFDF1_kH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnCFDF1_kLL、RSCANnCFDF1_kLH、RSCANnCFDF1_kHL、RSCANnCFDF1_kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnCFDF1_k: <RSCFDn_base> + 0E8C_H + (10_H × k)
 RSCANnCFDF1_kL: <RSCFDn_base> + 0E8C_H + (10_H × k)、
 RSCANnCFDF1_kH: <RSCFDn_base> + 0E8E_H + (10_H × k)
 RSCANnCFDF1_kLL: <RSCFDn_base> + 0E8C_H + (10_H × k)、
 RSCANnCFDF1_kLH: <RSCFDn_base> + 0E8D_H + (10_H × k)、
 RSCANnCFDF1_kHL: <RSCFDn_base> + 0E8E_H + (10_H × k)、
 RSCANnCFDF1_kHH: <RSCFDn_base> + 0E8F_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7[7:0]								CFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5[7:0]								CFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.53 RSCANnCFDF1_k レジスタの内容

ビット位置	ビット名	機能
31~24	CFDB7[7:0]	送受信 FIFO バッファデータバイト 7
23~16	CFDB6[7:0]	送受信 FIFO バッファデータバイト 6
15~8	CFDB5[7:0]	送受信 FIFO バッファデータバイト 5
7~0	CFDB4[7:0]	送受信 FIFO バッファデータバイト 4 <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0]ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnCFCK レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0]ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

14.3.9 FIFO ステータス関連レジスタの詳細

14.3.9.1 RSCANnFESTS — FIFO エンプティステータスレジスタ

アクセス RSCANnFESTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnFESTSL、RSCANnFESTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnFESTSLL、RSCANnFESTSLH、RSCANnFESTSHL、RSCANnFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFESTS: <RSCFDn_base> + 0238_H

RSCANnFESTSL: <RSCFDn_base> + 0238_H、RSCANnFESTSH: <RSCFDn_base> + 023A_H

RSCANnFESTSLL: <RSCFDn_base> + 0238_H、RSCANnFESTSLH: <RSCFDn_base> + 0239_H、

RSCANnFESTSHL: <RSCFDn_base> + 023A_H、RSCANnFESTSHH: <RSCFDn_base> + 023B_H

リセット後の値 03FF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.54 RSCANnFESTS レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0~11)
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0~7)
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCANnFESTS レジスタは、グローバルリセットモード時、“03FF FFFF_H”になります。

CFkEMP フラグ (k = 0~11)

RSCANnCFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ (x = 0~7)

RSCANnRFSTSc レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEMP フラグは“0”になります。

14.3.9.2 RSCANnFFSTS — FIFO フルステータスレジスタ

アクセス RSCANnFFSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnFFSTSL、RSCANnFFSTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnFFSTSLL、RSCANnFFSTSLH、RSCANnFFSTSHL、RSCANnFFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFFSTS: <RSCFDn_base> + 023C_H

RSCANnFFSTSL: <RSCFDn_base> + 023C_H、RSCANnFFSTSH: <RSCFDn_base> + 023E_H

RSCANnFFSTSLL: <RSCFDn_base> + 023C_H、RSCANnFFSTSLH: <RSCFDn_base> + 023D_H、

RSCANnFFSTSHL: <RSCFDn_base> + 023E_H、RSCANnFFSTSHH: <RSCFDn_base> + 023F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11FLL	CF10FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.55 RSCANnFFSTS レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11FLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0~11)
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0~7)
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCANnFFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0~11)

RSCAN_nCFSTSk レジスタの CFFLL フラグが “1” (バッファフル) になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ (x = 0~7)

RSCAN_nRFSTSc レジスタの RFFLL フラグが “1” (バッファフル) になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0” (バッファフルでない) になると、RFxFLL フラグは “0” になります。

14.3.9.3 RSCANnFMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCANnFMSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnFMSTSL、RSCANnFMSTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnFMSTSLL、RSCANnFMSTSLH、RSCANnFMSTSHL、RSCANnFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFMSTS: <RSCFDn_base> + 0240_H

RSCANnFMSTSL: <RSCFDn_base> + 0240_H、RSCANnFMSTSH: <RSCFDn_base> + 0242_H

RSCANnFMSTSLL: <RSCFDn_base> + 0240_H、RSCANnFMSTSLH: <RSCFDn_base> + 0241_H、

RSCANnFMSTSHL: <RSCFDn_base> + 0242_H、RSCANnFMSTSHH: <RSCFDn_base> + 0243_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.56 RSCANnFMSTS レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0~11)
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0~7)
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCANnFMSTS レジスタは、グローバルリセットモード時、“0000 0000_H” になります。

CFkMLT フラグ (k = 0~11)

RSCANnCFSTSk レジスタの CFMLT フラグが “1” (メッセージロスト) になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ (x = 0~7)

RSCANnRFSTSc レジスタの RFMLT フラグが “1” (メッセージロスト) になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

14.3.9.4 RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCANnRFISTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnRFISTS_{SL}、RSCANnRFISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。

RSCANnRFISTS_{SL}、RSCANnRFISTS_{SLH}、RSCANnRFISTS_{SHL}、RSCANnRFISTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFISTS: <RSCFDn_base> + 0244_H

RSCANnRFISTS_{SL}: <RSCFDn_base> + 0244_H、RSCANnRFISTS_{SH}: <RSCFDn_base> + 0246_H

RSCANnRFISTS_{SL}: <RSCFDn_base> + 0244_H、RSCANnRFISTS_{SLH}: <RSCFDn_base> + 0245_H、

RSCANnRFISTS_{SHL}: <RSCFDn_base> + 0246_H、RSCANnRFISTS_{SHH}: <RSCFDn_base> + 0247_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.57 RSCANnRFISTS レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0~7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCANnRFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ (x = 0~7)

RSCANnRFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

14.3.9.5 RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCANnCFRISTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnCFRISTS_L、RSCANnCFRISTS_H レジスタは、16 ビット単位でリードのみ可能です。

RSCANnCFRISTS_{LL}、RSCANnCFRISTS_{SLH}、RSCANnCFRISTS_{SHL}、RSCANnCFRISTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFRISTS: <RSCFDn_base> + 0248_H

RSCANnCFRISTS_L: <RSCFDn_base> + 0248_H、RSCANnCFRISTS_H: <RSCFDn_base> + 024A_H

RSCANnCFRISTS_{LL}: <RSCFDn_base> + 0248_H、RSCANnCFRISTS_{SLH}: <RSCFDn_base> + 0249_H、

RSCANnCFRISTS_{SHL}: <RSCFDn_base> + 024A_H、RSCANnCFRISTS_{SHH}: <RSCFDn_base> + 024B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.58 RSCANnCFRISTS レジスタの内容

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0~11)
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCANnCFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0~11)

RSCANnCFRISTS_k レジスタの CFRXIF フラグが“1”（割り込み要求あり）になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

14.3.9.6 RSCANnCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCANnCFTISTS レジスタは、32 ビット単位でリードのみ可能です。

RSCANnCFTISTSL、RSCANnCFTISTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnCFTISTSLL、RSCANnCFTISTSLH、RSCANnCFTISTSHL、RSCANnCFTISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFTISTS: <RSCFDn_base> + 024C_H

RSCANnCFTISTSL: <RSCFDn_base> + 024C_H, RSCANnCFTISTSH: <RSCFDn_base> + 024E_H

RSCANnCFTISTSLL: <RSCFDn_base> + 024C_H, RSCANnCFTISTSLH: <RSCFDn_base> + 024D_H,

RSCANnCFTISTSHL: <RSCFDn_base> + 024E_H, RSCANnCFTISTSHH: <RSCFDn_base> + 024F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.59 RSCANnCFTISTS レジスタの内容

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 送信割り込み要求なし 1: 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0~11)
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCANnCFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0~11)

RSCANnCFSTSk レジスタの CFTXIF フラグが“1”（割り込み要求あり）になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

14.3.10 送信バッファ関連レジスタの詳細

14.3.10.1 RSCANnTMCp — 送信バッファ制御レジスタ (p = 0~63)

アクセス RSCANnTMCp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMCp: <RSCFDn_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W ^{※1}	R/W ^{※1}

注 1. このビットへの書き込みは、ビットセットする (“1” にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.60 RSCANnTMCp レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0: 送信アボートを要求しない 1: 送信アボートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCANnTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCANnCFCK レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCANnTMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCANnTXQCCm レジスタ (m = 0~3) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCANnTMCp レジスタ (p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))

RSCANnTMCp レジスタのビットは、チャンネルリセットモード時に “0” になります。RSCANnTMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCANnTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCANnTMSTSp レジスタの TMTRF[1:0]フラグが “00_B” のときに、TMTR ビットを “1” に設定してください。

14.3.10.2 RSCANnTMSTSp — 送信バッファステータスレジスタ (p = 0~63)

アクセス RSCANnTMSTSp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMSTSp: <RSCFDn_base> + 02D0_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 14.61 RSCANnTMSTSp レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0: 送信アボート要求なし 1: 送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アボート完了 1 0: 送信完了 (送信アボート要求なし) 1 1: 送信完了 (送信アボート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCANnTMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCANnTMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCANnTMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCANnTMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCANnTMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0]フラグ

送信バッファからの送信結果を示します。

00_B : 送信中または送信要求なし。

01_B : 送信バッファからの送信がアボートされた。

10_B : RSCAN_nTMC_p レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCAN_nTMC_p レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0]フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトラージョンロストにより中断されると、“0” になります。

14.3.10.3 RSCANnTMIDp — 送信バッファ ID レジスタ (p = 0~63)

アクセス RSCANnTMIDp レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTMIDpL、RSCANnTMIDpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTMIDpLL、RSCANnTMIDpLH、RSCANnTMIDpHL、RSCANnTMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMIDp: <RSCFDn_base> + 1000_H + (10_H × p)
RSCANnTMIDpL: <RSCFDn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpH: <RSCFDn_base> + 1002_H + (10_H × p)
RSCANnTMIDpLL: <RSCFDn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpLH: <RSCFDn_base> + 1001_H + (10_H × p)、
RSCANnTMIDpHL: <RSCFDn_base> + 1002_H + (10_H × p)、
RSCANnTMIDpHH: <RSCFDn_base> + 1003_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.62 RSCANnTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28~0	TMID[28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10~b0 に ID を設定してください。b28~b11 は “0” にしてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ、RSCANnGCFG レジスタの TMTSCE ビットが “1” のときはタイムスタンプを含む) が送信履歴バッファに格納されます。

TMID[28:0]ビット

送信バッファから送信するメッセージの ID を設定します。

14.3.10.4 RSCANnTMPTRp — 送信バッファポインタレジスタ (p = 0~63)

アクセス RSCANnTMPTRp レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnTMPTRpL、RSCANnTMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnTMPTRpLL、RSCANnTMPTRpLH、RSCANnTMPTRpHL、RSCANnTMPTRpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMPTRp: <RSCFDn_base> + 1004_H + (10_H × p)

RSCANnTMPTRpL: <RSCFDn_base> + 1004_H + (10_H × p)、

RSCANnTMPTRpH: <RSCFDn_base> + 1006_H + (10_H × p)

RSCANnTMPTRpLL: <RSCFDn_base> + 1004_H + (10_H × p)、

RSCANnTMPTRpLH: <RSCFDn_base> + 1005_H + (10_H × p)、

RSCANnTMPTRpHL: <RSCFDn_base> + 1006_H + (10_H × p)、

RSCANnTMPTRpHH: <RSCFDn_base> + 1007_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC[3:0]				—	—	—	—	TMPTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.63 RSCANnTMPTRp レジスタの内容

ビット位置	ビット名	機能
31~28	TMDLC[3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 x x x : 8 データバイト
27~24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23~16	TMPTR[7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0]ビット

RSCAN_nTMID_p レジスタの TMRTR ビットが “0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。“1001_B” 以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが “1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0]ビット

メッセージ送信が完了した場合、TMPTR[7:0]ビットの値が送信履歴バッファに格納されます。

14.3.10.5 RSCANnTMDF0_p — 送信バッファデータフィールド 0 レジスタ (p = 0~63)

アクセス RSCANnTMDF0_p レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnTMDF0_pL、RSCANnTMDF0_pH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnTMDF0_pLL、RSCANnTMDF0_pLH、RSCANnTMDF0_pHL、RSCANnTMDF0_pHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMDF0_p: <RSCFDn_base> + 1008_H + (10_H × p)
 RSCANnTMDF0_pL: <RSCFDn_base> + 1008_H + (10_H × p)、
 RSCANnTMDF0_pH: <RSCFDn_base> + 100A_H + (10_H × p)
 RSCANnTMDF0_pLL: <RSCFDn_base> + 1008_H + (10_H × p)、
 RSCANnTMDF0_pLH: <RSCFDn_base> + 1009_H + (10_H × p)、
 RSCANnTMDF0_pHL: <RSCFDn_base> + 100A_H + (10_H × p)、
 RSCANnTMDF0_pHH: <RSCFDn_base> + 100B_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3[7:0]								TMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1[7:0]								TMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.64 RSCANnTMDF0_p レジスタの内容

ビット位置	ビット名	機能
31~24	TMDB3[7:0]	送信バッファデータバイト 3
23~16	TMDB2[7:0]	送信バッファデータバイト 2
15~8	TMDB1[7:0]	送信バッファデータバイト 1
7~0	TMDB0[7:0]	送信バッファデータバイト 0
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

14.3.10.6 RSCANnTMDF1_p — 送信バッファデータフィールド 1 レジスタ (p = 0~63)

アクセス RSCANnTMDF1_p レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnTMDF1_pL、RSCANnTMDF1_pH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnTMDF1_pLL、RSCANnTMDF1_pLH、RSCANnTMDF1_pHL、RSCANnTMDF1_pHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMDF1_p: <RSCFDn_base> + 100C_H + (10_H × p)

RSCANnTMDF1_pL: <RSCFDn_base> + 100C_H + (10_H × p)、

RSCANnTMDF1_pH: <RSCFDn_base> + 100E_H + (10_H × p)

RSCANnTMDF1_pLL: <RSCFDn_base> + 100C_H + (10_H × p)、

RSCANnTMDF1_pLH: <RSCFDn_base> + 100D_H + (10_H × p)、

RSCANnTMDF1_pHL: <RSCFDn_base> + 100E_H + (10_H × p)、

RSCANnTMDF1_pHH: <RSCFDn_base> + 100F_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7[7:0]								TMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5[7:0]								TMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.65 RSCANnTMDF1_p レジスタの内容

ビット位置	ビット名	機能
31~24	TMDB7[7:0]	送信バッファデータバイト 7
23~16	TMDB6[7:0]	送信バッファデータバイト 6
15~8	TMDB5[7:0]	送信バッファデータバイト 5
7~0	TMDB4[7:0]	送信バッファデータバイト 4
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

14.3.10.7 RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ (y = 0, 1)

アクセス RSCANnTMIECy レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnTMIECyL、RSCANnTMIECyH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnTMIECyLL、RSCANnTMIECyLH、RSCANnTMIECyHL、RSCANnTMIECyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTMIECy: $\langle \text{RSCFDn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$
 RSCANnTMIECyL: $\langle \text{RSCFDn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
 RSCANnTMIECyH: $\langle \text{RSCFDn_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$
 RSCANnTMIECyLL: $\langle \text{RSCFDn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、
 RSCANnTMIECyLH: $\langle \text{RSCFDn_base} \rangle + 0391_{\text{H}} + (04_{\text{H}} \times y)$ 、
 RSCANnTMIECyHL: $\langle \text{RSCFDn_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$ 、
 RSCANnTMIECyHH: $\langle \text{RSCFDn_base} \rangle + 0393_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.66 RSCANnTMIECy レジスタの内容

ビット位置	ビット名	機能
31~16	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可
15~0	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可

TMIEp ビット (p = 0~63)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCANnTMSTSp レジスタの TMTRM フラグが“0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 14.67 にビット配置を示します。

表 14.67 TMIEp ビットの配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.3.11 送信バッファステータス関連レジスタの詳細

14.3.11.1 RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0, 1)

アクセス RSCANnTMTRSTSy レジスタは、32 ビット単位でリードのみ可能です。

RSCANnTMTRSTSyL、RSCANnTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnTMTRSTSyLL、RSCANnTMTRSTSyLH、RSCANnTMTRSTSyHL、RSCANnTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTRSTSy: <RSCFDn_base> + 0350_H + (04_H × y)

RSCANnTMTRSTSyL: <RSCFDn_base> + 0350_H + (04_H × y)、

RSCANnTMTRSTSyH: <RSCFDn_base> + 0352_H + (04_H × y)

RSCANnTMTRSTSyLL: <RSCFDn_base> + 0350_H + (04_H × y)、

RSCANnTMTRSTSyLH: <RSCFDn_base> + 0351_H + (04_H × y)、

RSCANnTMTRSTSyHL: <RSCFDn_base> + 0352_H + (04_H × y)、

RSCANnTMTRSTSyHH: <RSCFDn_base> + 0353_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.68 RSCANnTMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信要求なし 1: 送信要求あり
15~0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信要求なし 1: 送信要求あり

TMTRSTSp フラグ (p = 0~63)

RSCANnTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1”（送信を要求する）にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0”（送信を要求しない）になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 14.69 にビット配置を示します。

表 14.69 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.3.11.2 RSCANnTMTARSTSy — 送信バッファ送信アポート要求ステータスレジスタ (y = 0, 1)

アクセス RSCANnTMTARSTSy レジスタは、32 ビット単位でリードのみ可能です。

RSCANnTMTARSTSyL、RSCANnTMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnTMTARSTSyLL、RSCANnTMTARSTSyLH、RSCANnTMTARSTSyHL、RSCANnTMTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTARSTSy: <RSCFDn_base> + 0360_H + (04_H × y)

RSCANnTMTARSTSyL: <RSCFDn_base> + 0360_H + (04_H × y)、

RSCANnTMTARSTSyH: <RSCFDn_base> + 0362_H + (04_H × y)

RSCANnTMTARSTSyLL: <RSCFDn_base> + 0360_H + (04_H × y)、

RSCANnTMTARSTSyLH: <RSCFDn_base> + 0361_H + (04_H × y)、

RSCANnTMTARSTSyHL: <RSCFDn_base> + 0362_H + (04_H × y)、

RSCANnTMTARSTSyHH: <RSCFDn_base> + 0363_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.70 RSCANnTMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0 : 送信アポート要求なし 1 : 送信アポート要求あり
15~0	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信アポート要求なし 1 : 送信アポート要求あり

TMTARSTSp フラグ (p = 0~63)

RSCANnTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アポートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アポートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 14.71 にビット配置を示します。

表 14.71 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.3.11.3 RSCANnTMCSTSy — 送信バッファ送信完了ステータスレジスタ (y = 0, 1)

アクセス RSCANnTMCSTSy レジスタは、32 ビット単位でリードのみ可能です。

RSCANnTMCSTSyL、RSCANnTMCSTSyH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnTMCSTSyLL、RSCANnTMCSTSyLH、RSCANnTMCSTSyHL、RSCANnTMCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMCSTSy: <RSCFDn_base> + 0370_H + (04_H × y)
 RSCANnTMCSTSyL: <RSCFDn_base> + 0370_H + (04_H × y)、
 RSCANnTMCSTSyH: <RSCFDn_base> + 0372_H + (04_H × y)
 RSCANnTMCSTSyLL: <RSCFDn_base> + 0370_H + (04_H × y)、
 RSCANnTMCSTSyLH: <RSCFDn_base> + 0371_H + (04_H × y)、
 RSCANnTMCSTSyHL: <RSCFDn_base> + 0372_H + (04_H × y)、
 RSCANnTMCSTSyHH: <RSCFDn_base> + 0373_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMCSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.72 RSCANnTMCSTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信未完了 1: 送信完了
15~0	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信未完了 1: 送信完了

TMCSTSp フラグ (p = 0~63)

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “10_B” (送信完了、送信アボート要求なし) または “11_B” (送信完了、送信アボート要求あり) になると、対応する TMCSTSp フラグは “1” になります。

TMCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 14.73 にビット配置を示します。

表 14.73 TMTCSSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15

14.3.11.4 RSCANnTMTASTSy — 送信バッファ送信アポートステータスレジスタ (y = 0, 1)

アクセス RSCANnTMTASTSy レジスタは、32 ビット単位でリードのみ可能です。

RSCANnTMTASTSyL、RSCANnTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。

RSCANnTMTASTSyLL、RSCANnTMTASTSyLH、RSCANnTMTASTSyHL、RSCANnTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTASTSy: <RSCFDn_base> + 0380_H + (04_H × y)

RSCANnTMTASTSyL: <RSCFDn_base> + 0380_H + (04_H × y)、

RSCANnTMTASTSyH: <RSCFDn_base> + 0382_H + (04_H × y)

RSCANnTMTASTSyLL: <RSCFDn_base> + 0380_H + (04_H × y)、

RSCANnTMTASTSyLH: <RSCFDn_base> + 0381_H + (04_H × y)、

RSCANnTMTASTSyHL: <RSCFDn_base> + 0382_H + (04_H × y)、

RSCANnTMTASTSyHH: <RSCFDn_base> + 0383_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31~y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15~y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.74 RSCANnTMTASTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 31~y × 32 + 16) 0: 送信アポートなし 1: 送信アポートあり
15~0	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 15~y × 32 + 0) 0: 送信アポートなし 1: 送信アポートあり

TMTASTSp フラグ (p = 0~63)

RSCANnTMTASTSp レジスタの TMTRF[1:0] フラグが “01_B” (送信アポート完了) になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 14.75 にビット配置を示します。

表 14.75 TMTASTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15

14.3.12 送信キュー関連レジスタの詳細

14.3.12.1 RSCANnTXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0~3)

アクセス RSCANnTXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTXQCCmL、RSCANnTXQCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTXQCCmLL、RSCANnTXQCCmLH、RSCANnTXQCCmHL、RSCANnTXQCCmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTXQCCm: <RSCFDn_base> + 03A0_H + (04_H × m)
RSCANnTXQCCmL: <RSCFDn_base> + 03A0_H + (04_H × m)、
RSCANnTXQCCmH: <RSCFDn_base> + 03A2_H + (04_H × m)
RSCANnTXQCCmLL: <RSCFDn_base> + 03A0_H + (04_H × m)、
RSCANnTXQCCmLH: <RSCFDn_base> + 03A1_H + (04_H × m)、
RSCANnTXQCCmHL: <RSCFDn_base> + 03A2_H + (04_H × m)、
RSCANnTXQCCmHH: <RSCFDn_base> + 03A3_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC[3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.76 RSCANnTXQCCm レジスタの内容

ビット位置	ビット名	機能
31~14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可
11~8	TXQDC[3:0]	送信キュー段数設定ビット 設定値を g (g = 2~15) とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0]ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(m \times 16 + 15)$ から $(m \times 16 + 0)$ まで順番に割り付けられます。バッファの割り当て例については、**図 14.9** を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1”にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

TXQDC[3:0]ビットの値を“0010_B”以上に設定してから TXQE ビットを“1”にしてください。

14.3.12.2 RSCANnTXQSTSm — 送信キューステータスレジスタ (m = 0~3)

アクセス RSCANnTXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnTXQSTSmL、RSCANnTXQSTSmH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnTXQSTSmLL、RSCANnTXQSTSmLH、RSCANnTXQSTSmHL、RSCANnTXQSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTXQSTSm: <RSCFDn_base> + 03C0_H + (04_H × m)
 RSCANnTXQSTSmL: <RSCFDn_base> + 03C0_H + (04_H × m)、
 RSCANnTXQSTSmH: <RSCFDn_base> + 03C2_H + (04_H × m)
 RSCANnTXQSTSmLL: <RSCFDn_base> + 03C0_H + (04_H × m)、
 RSCANnTXQSTSmLH: <RSCFDn_base> + 03C1_H + (04_H × m)、
 RSCANnTXQSTSmHL: <RSCFDn_base> + 03C2_H + (04_H × m)、
 RSCANnTXQSTSmHH: <RSCFDn_base> + 03C3_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	RW ^{※1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.77 RSCANnTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31~13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12~8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCANnTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQIF フラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。TXQIF フラグは、RSCANnTXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCANnTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で“0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは“0” になります。

次の条件で、“1” になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

14.3.12.3 RSCANnTXQPCTRm — 送信キューポインタ制御レジスタ (m = 0~3)

アクセス RSCANnTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。

RSCANnTXQPCTRmL、RSCANnTXQPCTRmH レジスタは、16 ビット単位でライトのみ可能です。

RSCANnTXQPCTRmLL、RSCANnTXQPCTRmLH、RSCANnTXQPCTRmHL、RSCANnTXQPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnTXQPCTRm: <RSCFDn_base> + 03E0_H + (04_H × m)

RSCANnTXQPCTRmL: <RSCFDn_base> + 03E0_H + (04_H × m)、

RSCANnTXQPCTRmH: <RSCFDn_base> + 03E2_H + (04_H × m)

RSCANnTXQPCTRmLL: <RSCFDn_base> + 03E0_H + (04_H × m)、

RSCANnTXQPCTRmLH: <RSCFDn_base> + 03E1_H + (04_H × m)、

RSCANnTXQPCTRmHL: <RSCFDn_base> + 03E2_H + (04_H × m)、

RSCANnTXQPCTRmHH: <RSCFDn_base> + 03E3_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.78 RSCANnTXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	TXQPC[7:0]	送信キューポインタ制御 “FF _H ” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0]ビット

TXQPC[7:0]ビットに“FF_H”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCANnTMID_p、RSCANnTMPTR_p、RSCANnTMDF0_p、RSCANnTMDF1_p レジスタ (p = 15、31、47、63) に送信メッセージを書いた後に、TXQPC[7:0]ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCANnTXQCC_m レジスタのTXQE ビットが“1” (送信キューを使用する) で、RSCANnTXQST_S_m レジスタのTXQFLL フラグが“0” (フルではない) の場合にのみ行ってください。

14.3.13 送信履歴関連レジスタの詳細

14.3.13.1 RSCANnTHLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0~3)

アクセス RSCANnTHLCCm レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnTHLCCmL、RSCANnTHLCCmH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnTHLCCmLL、RSCANnTHLCCmLH、RSCANnTHLCCmHL、RSCANnTHLCCmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTHLCCm: <RSCFDn_base> + 0400_H + (04_H × m)
 RSCANnTHLCCmL: <RSCFDn_base> + 0400_H + (04_H × m)、
 RSCANnTHLCCmH: <RSCFDn_base> + 0402_H + (04_H × m)
 RSCANnTHLCCmLL: <RSCFDn_base> + 0400_H + (04_H × m)、
 RSCANnTHLCCmLH: <RSCFDn_base> + 0401_H + (04_H × m)、
 RSCANnTHLCCmHL: <RSCFDn_base> + 0402_H + (04_H × m)、
 RSCANnTHLCCmHH: <RSCFDn_base> + 0403_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.79 RSCANnTHLCCm レジスタの内容

ビット位置	ビット名	機能
31~11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが“0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

チャンネルリセットモード時、“0” になります。

14.3.13.2 RSCANnTHLSTSm — 送信履歴ステータスレジスタ (m = 0~3)

アクセス RSCANnTHLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCANnTHLSTSmL、RSCANnTHLSTSmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCANnTHLSTSmLL、RSCANnTHLSTSmLH、RSCANnTHLSTSmHL、RSCANnTHLSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnTHLSTSm: <RSCFDn_base> + 0420_H + (04_H × m)
RSCANnTHLSTSmL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmH: <RSCFDn_base> + 0422_H + (04_H × m)
RSCANnTHLSTSmLL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmLH: <RSCFDn_base> + 0421_H + (04_H × m)、
RSCANnTHLSTSmHL: <RSCFDn_base> + 0422_H + (04_H × m)、
RSCANnTHLSTSmHH: <RSCFDn_base> + 0423_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC[4:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.80 RSCANnTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31~13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12~8	THLMC[4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0]ビット

送信履歴バッファ内の未読データ数を示します。チャンネルリセットモード時、“0”になります。

THLIF フラグ

RSCANnTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になりません。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCANnTHLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCANnTHLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

14.3.13.3 RSCANnTHLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0~3)

アクセス RSCANnTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。

RSCANnTHLPCTRmL、RSCANnTHLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。

RSCANnTHLPCTRmLL、RSCANnTHLPCTRmLH、RSCANnTHLPCTRmHL、RSCANnTHLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnTHLPCTRm: <RSCFDn_base> + 0440_H + (04_H × m)

RSCANnTHLPCTRmL: <RSCFDn_base> + 0440_H + (04_H × m)、

RSCANnTHLPCTRmH: <RSCFDn_base> + 0442_H + (04_H × m)

RSCANnTHLPCTRmLL: <RSCFDn_base> + 0440_H + (04_H × m)、

RSCANnTHLPCTRmLH: <RSCFDn_base> + 0441_H + (04_H × m)、

RSCANnTHLPCTRmHL: <RSCFDn_base> + 0442_H + (04_H × m)、

RSCANnTHLPCTRmHH: <RSCFDn_base> + 0443_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.81 RSCANnTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	THLPC[7:0]	送信履歴リストポインタ制御 “FF _H ” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0]ビット

THLPC[7:0]ビットに“FF_H”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCANnTHLSTSm レジスタの THLMC[4:0]ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCANnTHLACCm レジスタを読んだあと、THLPC[7:0]ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCANnTHLCCm レジスタの THLE ビットが“1” (送信履歴バッファを使用する) で、RSCANnTHLSTSm レジスタの THLEMP フラグが“0”のときのみ行ってください。

14.3.13.4 RSCANnTHLACCm — 送信履歴アクセスレジスタ (m = 0~3)

アクセス RSCANnTHLACCm レジスタは、32 ビット単位でリードのみ可能です。
RSCANnTHLACCmL、RSCANnTHLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTHLACCmLL、RSCANnTHLACCmLH、RSCANnTHLACCmHL、RSCANnTHLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTHLACCm: <RSCFDn_base> + 1800_H + (04_H × m)
RSCANnTHLACCmL: <RSCFDn_base> + 1800_H + (04_H × m)、
RSCANnTHLACCmH: <RSCFDn_base> + 1802_H + (04_H × m)
RSCANnTHLACCmLL: <RSCFDn_base> + 1800_H + (04_H × m)、
RSCANnTHLACCmLH: <RSCFDn_base> + 1801_H + (04_H × m)、
RSCANnTHLACCmHL: <RSCFDn_base> + 1802_H + (04_H × m)、
RSCANnTHLACCmHH: <RSCFDn_base> + 1803_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.82 RSCANnTHLACCm レジスタの内容

ビット位置	ビット名	機能																
31~16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。																
15~8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。																
7	予約ビット	リードした場合はリセット後の値が読めます。																
6~3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。																
2~0	BT[2:0]	バッファタイプデータ <table border="1" style="margin-left: 20px;"> <tr> <td>b2</td> <td>b1</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 送信バッファ</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 送受信 FIFO バッファ</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 送信キュー</td> </tr> </table>	b2	b1	b0		0	0	1	: 送信バッファ	0	1	0	: 送受信 FIFO バッファ	1	0	0	: 送信キュー
b2	b1	b0																
0	0	1	: 送信バッファ															
0	1	0	: 送受信 FIFO バッファ															
1	0	0	: 送信キュー															

TMTS[15:0]ビット

RSCANnGCFG レジスタの TMTSCE ビットが“1”のとき、送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。TMTSCE ビットが“0”のとき、常に“0”が読めます。

TID[7:0]ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0]ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0]ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

14.3.14 テスト関連レジスタの詳細

14.3.14.1 RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCANnGTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGTSTCFG_L、RSCANnGTSTCFG_H レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGTSTCFG_LL、RSCANnGTSTCFG_LH、RSCANnGTSTCFG_HL、RSCANnGTSTCFG_HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGTSTCFG: <RSCFDn_base> + 0468_H

RSCANnGTSTCFG_L: <RSCFDn_base> + 0468_H、RSCANnGTSTCFG_H: <RSCFDn_base> + 046A_H

RSCANnGTSTCFG_LL: <RSCFDn_base> + 0468_H、RSCANnGTSTCFG_LH: <RSCFDn_base> + 0469_H、

RSCANnGTSTCFG_HL: <RSCFDn_base> + 046A_H、RSCANnGTSTCFG_HH: <RSCFDn_base> + 046B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 14.83 RSCANnGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~16	RTMPS[6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~39 (27 _H) ページの範囲で設定
15~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	C3ICBCE	CAN3 チャンネル間通信テスト許可ビット 0 : CAN3 チャンネル間通信テスト禁止 1 : CAN3 チャンネル間通信テスト許可
2	C2ICBCE	CAN2 チャンネル間通信テスト許可ビット 0 : CAN2 チャンネル間通信テスト禁止 1 : CAN2 チャンネル間通信テスト許可
1	C1ICBCE	CAN1 チャンネル間通信テスト許可ビット 0 : CAN1 チャンネル間通信テスト禁止 1 : CAN1 チャンネル間通信テスト許可
0	C0ICBCE	CAN0 チャンネル間通信テスト許可ビット 0 : CAN0 チャンネル間通信テスト禁止 1 : CAN0 チャンネル間通信テスト許可

RSCANnGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0]ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H~27_H以外の値を設定しないでください。また、最終ページ(RTMPS[6:0]ビットが“27_H”)の 128 バイト以降の RAM にはアクセスしないでください。

C3ICBCE ビット

“1”にすると、チャンネル 3 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

C2ICBCE ビット

“1”にすると、チャンネル 2 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

C1ICBCE ビット

“1”にすると、チャンネル 1 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

C0ICBCE ビット

“1”にすると、チャンネル 0 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

14.3.14.2 RSCANnGTSTCTR — グローバルテスト制御レジスタ

アクセス RSCANnGTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnGTSTCTRL、RSCANnGTSTCTRH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnGTSTCTRLH、RSCANnGTSTCTRH、RSCANnGTSTCTRHL、RSCANnGTSTCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnGTSTCTR: <RSCFDn_base> + 046C_H

RSCANnGTSTCTRL: <RSCFDn_base> + 046C_H、RSCANnGTSTCTRH: <RSCFDn_base> + 046E_H

RSCANnGTSTCTRLH: <RSCFDn_base> + 046C_H、RSCANnGTSTCTRHL: <RSCFDn_base> + 046D_H、

RSCANnGTSTCTRHL: <RSCFDn_base> + 046E_H、RSCANnGTSTCTRHH: <RSCFDn_base> + 046F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	RW	R	RW

表 14.84 RSCANnGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0 : RAM テスト禁止 1 : RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャンネル間通信テスト許可ビット 0 : チャンネル間通信テスト禁止 1 : チャンネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。グローバルリセットモード時、“0” になります。

1. RSCANnGCTR レジスタの GMDC[1:0] ビットを “10_B” (グローバルテストモード) にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

ICBCTME ビット

“1” にすると、RSCANnGTSTCFG レジスタの CmICBCE ビット (m=0~3) を “1” に設定したチャンネルのチャンネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。グローバルリセットモード時、“0” になります。

14.3.14.3 RSCANnGLOCKK — グローバルロックキーレジスタ

アクセス RSCANnGLOCKK レジスタは、32 ビット単位でライトのみ可能です。

RSCANnGLOCKKL、RSCANnGLOCKKH レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCANnGLOCKK: <RSCFDn_base> + 047C_H

RSCANnGLOCKKL: <RSCFDn_base> + 047C_H、RSCANnGLOCKKH: <RSCFDn_base> + 047E_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}

注 1. RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 14.85 RSCANnGLOCKK レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	ライトする場合はリセット後の値を書いてください。
15~0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCANnGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「**14.11.4.2 プロテクト解除手順**」を参照してください。

LOCK[15:0]ビット

プロテクト解除データを連続して LOCK[15:0]ビットに書くと、RSCANnGTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RSCFDn_base> + 0000_H ~ <RSCFDn_base> + 04FF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

14.3.14.4 RSCANnRPGACCr — RAM テストページアクセスレジスタ (r = 0~63)

アクセス RSCANnRPGACCr レジスタは、32 ビット単位でリード/ライト可能です。

RSCANnRPGACCrL、RSCANnRPGACCrH レジスタは、16 ビット単位でリード/ライト可能です。

RSCANnRPGACCrLL、RSCANnRPGACCrLH、RSCANnRPGACCrHL、RSCANnRPGACCrHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCANnRPGACCr: <RSCFDn_base> + 1900_H + (04_H × r)
 RSCANnRPGACCrL: <RSCFDn_base> + 1900_H + (04_H × r)、
 RSCANnRPGACCrH: <RSCFDn_base> + 1902_H + (04_H × r)
 RSCANnRPGACCrLL: <RSCFDn_base> + 1900_H + (04_H × r)、
 RSCANnRPGACCrLH: <RSCFDn_base> + 1901_H + (04_H × r)、
 RSCANnRPGACCrHL: <RSCFDn_base> + 1902_H + (04_H × r)、
 RSCANnRPGACCrHH: <RSCFDn_base> + 1903_H + (04_H × r)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.86 RSCANnRPGACCr レジスタの内容

ビット位置	ビット名	機能
31~0	RDTA[31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCANnRPGACCr レジスタは、グローバルテストモードでかつ RSCANnGTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1” のときに、RSCANnRPGACCr レジスタへの読み書きができます。

14.4 レジスタ (CAN FD モード)

この節では、RS-CANFD を CAN FD モードで使用する場合のすべてのレジスタについて説明します。

14.4.1 レジスタ一覧

CAN FD モードで使用する場合の RS-CANFD のレジスタ一覧を以下の表に示します。

<RSCFDn_base>は「14.1.2 レジスタベースアドレス」を参照してください。

表 14.87 レジスタ一覧 (1/4)

モジュール名	レジスタ名	略号	アドレス
インタフェースモード関連レジスタ			
RSCFDn	グローバルインタフェースモード選択レジスタ	RSCFDnCFDGRMCFG	<RSCFDn_base> + 04FC _H
チャンネル関連レジスタ			
RSCFDn	チャンネル m 通常ビットレートコンフィグレーションレジスタ	RSCFDnCFDCmNCFG	<RSCFDn_base> + 0000 _H + (10 _H × m)
RSCFDn	チャンネル m 制御レジスタ	RSCFDnCFDCmCTR	<RSCFDn_base> + 0004 _H + (10 _H × m)
RSCFDn	チャンネル m ステータスレジスタ	RSCFDnCFDCmSTS	<RSCFDn_base> + 0008 _H + (10 _H × m)
RSCFDn	チャンネル m エラーフラグレジスタ	RSCFDnCFDCmERFL	<RSCFDn_base> + 000C _H + (10 _H × m)
RSCFDn	チャンネル m データビットレートコンフィグレーションレジスタ	RSCFDnCFDCmDCFG	<RSCFDn_base> + 0500 _H + (20 _H × m)
RSCFDn	チャンネル m CAN FD コンフィグレーションレジスタ	RSCFDnCFDCmFDCFG	<RSCFDn_base> + 0504 _H + (20 _H × m)
RSCFDn	チャンネル m CAN FD 制御レジスタ	RSCFDnCFDCmFDCTR	<RSCFDn_base> + 0508 _H + (20 _H × m)
RSCFDn	チャンネル m CAN FD ステータスレジスタ	RSCFDnCFDCmFDSTS	<RSCFDn_base> + 050C _H + (20 _H × m)
RSCFDn	チャンネル m CAN FD CRC レジスタ	RSCFDnCFDCmFDCRC	<RSCFDn_base> + 0510 _H + (20 _H × m)
グローバル関連レジスタ			
RSCFDn	グローバルコンフィグレーションレジスタ	RSCFDnCFDGCFG	<RSCFDn_base> + 0084 _H
RSCFDn	グローバル制御レジスタ	RSCFDnCFDGCTR	<RSCFDn_base> + 0088 _H
RSCFDn	グローバルステータスレジスタ	RSCFDnCFDGSTS	<RSCFDn_base> + 008C _H
RSCFDn	グローバルエラーフラグレジスタ	RSCFDnCFDGERFL	<RSCFDn_base> + 0090 _H
RSCFDn	グローバルタイムスタンプカウンタレジスタ	RSCFDnCFDGTSC	<RSCFDn_base> + 0094 _H
RSCFDn	グローバル TX 割り込みステータスレジスタ 0	RSCFDnCFDGTINTSTS0	<RSCFDn_base> + 0460 _H
RSCFDn	グローバル FD コンフィグレーションレジスタ	RSCFDnCFDGFDCFG	<RSCFDn_base> + 0474 _H
RSCFDn	グローバル CRC コンフィグレーションレジスタ	RSCFDnCFDGCRC CFG	<RSCFDn_base> + 0478 _H
受信ルール関連レジスタ			
RSCFDn	受信ルールエントリ制御レジスタ	RSCFDnCFDGAFLECTR	<RSCFDn_base> + 0098 _H
RSCFDn	受信ルールコンフィグレーションレジスタ 0	RSCFDnCFDGAFLCFG0	<RSCFDn_base> + 009C _H
RSCFDn	受信ルール ID レジスタ j	RSCFDnCFDGAFLIDj	<RSCFDn_base> + 1000 _H + (10 _H × j)
RSCFDn	受信ルールマスクレジスタ j	RSCFDnCFDGAFLMj	<RSCFDn_base> + 1004 _H + (10 _H × j)

表 14.87 レジスタ一覧 (2/4)

モジュール名	レジスタ名	略号	アドレス
受信ルール関連レジスタ			
RSCFDn	受信ルールポインタ 0 レジスタ j	RSCFDnCFDGAFLP0_j	<RSCFDn_base> + 1008 _H + (10 _H × j)
RSCFDn	受信ルールポインタ 1 レジスタ j	RSCFDnCFDGAFLP1_j	<RSCFDn_base> + 100C _H + (10 _H × j)
受信バッファ関連レジスタ			
RSCFDn	受信バッファナンバレジスタ	RSCFDnCFDRMNB	<RSCFDn_base> + 00A4 _H
RSCFDn	受信バッファ新データレジスタ y	RSCFDnCFDRMNDy	<RSCFDn_base> + 00A8 _H + (04 _H × y)
RSCFDn	受信バッファ ID レジスタ q	RSCFDnCFDRMIDq	<RSCFDn_base> + 2000 _H + (20 _H × q)
RSCFDn	受信バッファポインタレジスタ q	RSCFDnCFDRMPTRq	<RSCFDn_base> + 2004 _H + (20 _H × q)
RSCFDn	受信バッファ CAN FD ステータスレジスタ q	RSCFDnCFDRMFDSTSq	<RSCFDn_base> + 2008 _H + (20 _H × q)
RSCFDn	受信バッファデータフィールド b レジスタ q	RSCFDnCFDRMDFb_q	<RSCFDn_base> + 200C _H + (04 _H × b) + (20 _H × q)
受信 FIFO バッファ関連レジスタ			
RSCFDn	受信 FIFO バッファコンフィグレーション/制御レジスタ x	RSCFDnCFDRFCCx	<RSCFDn_base> + 00B8 _H + (04 _H × x)
RSCFDn	受信 FIFO バッファステータスレジスタ x	RSCFDnCFDRFSTSx	<RSCFDn_base> + 00D8 _H + (04 _H × x)
RSCFDn	受信 FIFO バッファポインタ制御レジスタ x	RSCFDnCFDRFPCTRx	<RSCFDn_base> + 00F8 _H + (04 _H × x)
RSCFDn	受信 FIFO バッファアクセス ID レジスタ x	RSCFDnCFDRFIDx	<RSCFDn_base> + 3000 _H + (80 _H × x)
RSCFDn	受信 FIFO バッファアクセスポインタレジスタ x	RSCFDnCFDRFPTRx	<RSCFDn_base> + 3004 _H + (80 _H × x)
RSCFDn	受信 FIFO CAN FD ステータスレジスタ x	RSCFDnCFDRFFDSTSx	<RSCFDn_base> + 3008 _H + (80 _H × x)
RSCFDn	受信 FIFO バッファアクセスデータフィールド d レジスタ x	RSCFDnCFDRFDFd_x	<RSCFDn_base> + 300C _H + (04 _H × d) + (80 _H × x)
送受信 FIFO バッファ関連レジスタ			
RSCFDn	送受信 FIFO バッファコンフィグレーション/制御レジスタ k	RSCFDnCFDCFCCK	<RSCFDn_base> + 0118 _H + (04 _H × k)
RSCFDn	送受信 FIFO バッファステータスレジスタ k	RSCFDnCFDCFCSTSk	<RSCFDn_base> + 0178 _H + (04 _H × k)
RSCFDn	送受信 FIFO バッファポインタ制御レジスタ k	RSCFDnCFDCFCPTRk	<RSCFDn_base> + 01D8 _H + (04 _H × k)
RSCFDn	送受信 FIFO バッファアクセス ID レジスタ k	RSCFDnCFDCFCIDk	<RSCFDn_base> + 3400 _H + (80 _H × k)
RSCFDn	送受信 FIFO バッファアクセスポインタレジスタ k	RSCFDnCFDCFCPTRk	<RSCFDn_base> + 3404 _H + (80 _H × k)
RSCFDn	送受信 FIFO CAN FD コンフィグレーション/ステータスレジスタ k	RSCFDnCFDCFFDCSTSk	<RSCFDn_base> + 3408 _H + (80 _H × k)
RSCFDn	送受信 FIFO バッファアクセスデータフィールド d レジスタ k	RSCFDnCFDCFDFd_k	<RSCFDn_base> + 340C _H + (04 _H × d) + (80 _H × k)

表 14.87 レジスタ一覧 (3/4)

モジュール名	レジスタ名	略号	アドレス
FIFO ステータス関連レジスタ			
RSCFDn	FIFO エンプティステータスレジスタ	RSCFDnCFDFESTS	<RSCFDn_base> + 0238 _H
RSCFDn	FIFO フルステータスレジスタ	RSCFDnCFDFFSTS	<RSCFDn_base> + 023C _H
RSCFDn	FIFO メッセージロストステータスレジスタ	RSCFDnCFDFMSTS	<RSCFDn_base> + 0240 _H
RSCFDn	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCFDnCFDRFISTS	<RSCFDn_base> + 0244 _H
RSCFDn	送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	RSCFDnCFDCFRISTS	<RSCFDn_base> + 0248 _H
RSCFDn	送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	RSCFDnCFDCFTISTS	<RSCFDn_base> + 024C _H
FIFO DMA 関連レジスタ			
RSCFDn	DMA 許可レジスタ	RSCFDnCFDCDTCT	<RSCFDn_base> + 0490 _H
RSCFDn	DMA ステータスレジスタ	RSCFDnCFDCDTSTS	<RSCFDn_base> + 0494 _H
送信バッファ関連レジスタ			
RSCFDn	送信バッファ制御レジスタ p	RSCFDnCFDTMCp	<RSCFDn_base> + 0250 _H + (01 _H × p)
RSCFDn	送信バッファステータスレジスタ p	RSCFDnCFDTMSTSp	<RSCFDn_base> + 02D0 _H + (01 _H × p)
RSCFDn	送信バッファ ID レジスタ p	RSCFDnCFDTMIDp	<RSCFDn_base> + 4000 _H + (20 _H × p)
RSCFDn	送信バッファポインタレジスタ p	RSCFDnCFDTMPTRp	<RSCFDn_base> + 4004 _H + (20 _H × p)
RSCFDn	送信バッファ CAN FD コンフィグレーションレジスタ p	RSCFDnCFDTMFDCTRp	<RSCFDn_base> + 4008 _H + (20 _H × p)
RSCFDn	送信バッファデータフィールド b レジスタ p	RSCFDnCFDTMDFb_p	<RSCFDn_base> + 400C _H + (04 _H × b) + (20 _H × p)
RSCFDn	送信バッファ割り込みイネーブルコンフィグレーションレジスタ y	RSCFDnCFDTMIECy	<RSCFDn_base> + 0390 _H + (04 _H × y)
送信バッファステータス関連レジスタ			
RSCFDn	送信バッファ送信要求ステータスレジスタ y	RSCFDnCFDTMTRSTSy	<RSCFDn_base> + 0350 _H + (04 _H × y)
RSCFDn	送信バッファ送信アボート要求ステータスレジスタ y	RSCFDnCFDTMTARSTSy	<RSCFDn_base> + 0360 _H + (04 _H × y)
RSCFDn	送信バッファ送信完了ステータスレジスタ y	RSCFDnCFDTMTCSTSy	<RSCFDn_base> + 0370 _H + (04 _H × y)
RSCFDn	送信バッファ送信アボートステータスレジスタ y	RSCFDnCFDTMTASTSy	<RSCFDn_base> + 0380 _H + (04 _H × y)
送信キュー関連レジスタ			
RSCFDn	送信キューコンフィグレーション/制御レジスタ m	RSCFDnCFDTXQCCm	<RSCFDn_base> + 03A0 _H + (04 _H × m)
RSCFDn	送信キューステータスレジスタ m	RSCFDnCFDTXQSTSm	<RSCFDn_base> + 03C0 _H + (04 _H × m)
RSCFDn	送信キューポインタ制御レジスタ m	RSCFDnCFDTXQPCTRm	<RSCFDn_base> + 03E0 _H + (04 _H × m)

表 14.87 レジスタ一覧 (4/4)

モジュール名	レジスタ名	略号	アドレス
送信履歴関連レジスタ			
RSCFDn	送信履歴コンフィグレーション/制御レジスタ m	RSCFDnCFDTHLCCm	<RSCFDn_base> + 0400 _H + (04 _H × m)
RSCFDn	送信履歴ステータスレジスタ m	RSCFDnCFDTHLSTSm	<RSCFDn_base> + 0420 _H + (04 _H × m)
RSCFDn	送信履歴ポインタ制御レジスタ m	RSCFDnCFDTHLPCTRm	<RSCFDn_base> + 0440 _H + (04 _H × m)
RSCFDn	送信履歴アクセスレジスタ m	RSCFDnCFDTHLACCm	<RSCFDn_base> + 6000 _H + (04 _H × m)
テスト関連レジスタ			
RSCFDn	グローバルテストコンフィグレーションレジスタ	RSCFDnCFDGTSTCFG	<RSCFDn_base> + 0468 _H
RSCFDn	グローバルテスト制御レジスタ	RSCFDnCFDGTSTCTR	<RSCFDn_base> + 046C _H
RSCFDn	グローバルロックキーレジスタ	RSCFDnCFDGLOCKK	<RSCFDn_base> + 047C _H
RSCFDn	RAM テストページアクセスレジスタ r	RSCFDnCFDRPGACCr	<RSCFDn_base> + 6400 _H + (04 _H × r)

表 14.88 各チャンネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表 14.89 各チャンネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 14.90 CFTML[3:0]ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0]ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ 16 × m + 0
0001 _B	送信バッファ 16 × m + 1
0010 _B	送信バッファ 16 × m + 2
0011 _B	送信バッファ 16 × m + 3
0100 _B	送信バッファ 16 × m + 4
0101 _B	送信バッファ 16 × m + 5
0110 _B	送信バッファ 16 × m + 6
0111 _B	送信バッファ 16 × m + 7
1000 _B	送信バッファ 16 × m + 8
1001 _B	送信バッファ 16 × m + 9
1010 _B	送信バッファ 16 × m + 10
1011 _B	送信バッファ 16 × m + 11
1100 _B	送信バッファ 16 × m + 12
1101 _B	送信バッファ 16 × m + 13
1110 _B	送信バッファ 16 × m + 14
1111 _B	送信バッファ 16 × m + 15

表 14.91 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC[3:0]ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定しないでください。
0001 _B	設定しないでください。
0010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 13
0011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 12
0100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 11
0101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 10
0110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 9
0111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 8
1000 _B	送信バッファ 16 × m + 15 ~ 16 × m + 7
1001 _B	送信バッファ 16 × m + 15 ~ 16 × m + 6
1010 _B	送信バッファ 16 × m + 15 ~ 16 × m + 5
1011 _B	送信バッファ 16 × m + 15 ~ 16 × m + 4
1100 _B	送信バッファ 16 × m + 15 ~ 16 × m + 3
1101 _B	送信バッファ 16 × m + 15 ~ 16 × m + 2
1110 _B	送信バッファ 16 × m + 15 ~ 16 × m + 1
1111 _B	送信バッファ 16 × m + 15 ~ 16 × m + 0

14.4.2 インタフェースモード関連レジスタの詳細

14.4.2.1 RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス RSCFDnCFDGRMCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGRMCFGH、RSCFDnCFDGRMCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGRMCFGHLL、RSCFDnCFDGRMCFGHLH、RSCFDnCFDGRMCFGHLLH、
RSCFDnCFDGRMCFGHLLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGRMCFG: <RSCFDn_base> + 04FC_H
RSCFDnCFDGRMCFGH: <RSCFDn_base> + 04FC_H、
RSCFDnCFDGRMCFGHLL: <RSCFDn_base> + 04FE_H
RSCFDnCFDGRMCFGHLLH: <RSCFDn_base> + 04FC_H、
RSCFDnCFDGRMCFGHLH: <RSCFDn_base> + 04FD_H、
RSCFDnCFDGRMCFGHLLH: <RSCFDn_base> + 04FE_H、
RSCFDnCFDGRMCFGHLLHLLH: <RSCFDn_base> + 04FF_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.92 RSCFDnCFDGRMCFG レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
0	RCMC	インタフェースモード選択ビット 0 : クラシカル CAN モード 1 : CAN FD モード

注： RSCANnGRMCFG レジスタと RSCFDnCFDGRMCFG レジスタは同一レジスタです。どちらかのレジスタを設定してください。

RSCFDnCFDGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“1” にすると、CAN FD モードになります。クラシカル CAN モードから CAN FD モードに変更する場合は、クラシカル CAN モードのレジスタマップにのみ割り当てられているレジスタ、ビットすべてにリセット後の値にしてから、RSCFDnCFDGRMCFG レジスタを書き換えてください。

14.4.3 チャネル関連レジスタの詳細

14.4.3.1 RSCFDnCFDCmNCFG — チャネル通常ビットレートコンフィグレーションレジスタ (m = 0~3)

アクセス RSCFDnCFDCmNCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmNCFGH、RSCFDnCFDCmNCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmNCFGH、RSCFDnCFDCmNCFGH、RSCFDnCFDCmNCFGH、
RSCFDnCFDCmNCFGH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmNCFG: <RSCFDn_base> + 0000_H + (10_H × m)
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0002_H + (10_H × m)
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0001_H + (10_H × m)、
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0002_H + (10_H × m)、
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NTSEG2[4:0]				—	NTSEG1[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NSJW[4:0]				—	NBRP[9:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.93 RSCFDnCFDCmNCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28~24	NTSEG2[4:0]	通常ビットレート タイムセグメント 2 制御ビット b28 b27 b26 b25 b24 0 0 0 0 0: 設定しないでください 0 0 0 0 1: 2 Tq : : 1 1 1 1 0: 31 Tq 1 1 1 1 1: 32 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 14.93 RSCFDnCFDCmNCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
22~16	NTSEG1[6:0]	通常ビットレート タイムセグメント 1 制御ビット b22 b21 b20 b19 b18 b17 b16 0 0 0 0 0 0 0 : 設定しないでください 0 0 0 0 0 0 1 : 設定しないでください 0 0 0 0 0 1 0 : 設定しないでください 0 0 0 0 0 1 1 : 4 Tq : : 1 1 1 1 1 1 0 : 127 Tq 1 1 1 1 1 1 1 : 128 Tq
15~11	NSJW[4:0]	通常ビットレート 再同期ジャンプ幅制御ビット b15 b14 b13 b12 b11 0 0 0 0 0 : 1 Tq 0 0 0 0 1 : 2 Tq 0 0 0 1 0 : 3 Tq : : 1 1 1 1 0 : 31 Tq 1 1 1 1 1 : 32 Tq
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
9~0	NBRP[9:0]	通常ビットレート プリスケアラ分周比設定ビット 設定値を P (0~1023) とすると、通常ビットレートプリスケアラは fCAN を P+1 で分周します。

RSCFDnCFDCmNCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**14.11.1 初期設定**」を参照してください。

NTSEG2[4:0]ビット

通常ビットレートのフェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2~32Tq の値が設定可能です。

NTSEG1[6:0]ビットより小さい値を設定してください。

NTSEG1[6:0]ビット

通常ビットレートのプロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4~128Tq の値が設定可能です。

NSJW[4:0]ビット

通常ビットレートの再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1~32Tq の値が設定可能です。NTSEG2[4:0]ビット以下の値を設定してください。

NBRP[9:0]ビット

CAN クロック (f_{CAN}) を通常ビットレートプリスケアラ ($(NBRP[9:0]) + 1$) で分周したクロックが $CANmTq(N)$ クロック ($f_{CANTQ(N)m}$) になり、 $CANmTq(N)$ クロックの 1 クロックが 1 Time Quantum (Tq) になります。

通常ビットレートとデータビットレートは $NBRP[9:0]$ ビットと $DBRP[7:0]$ ビットを同じ値に設定し、セグメントの値によって 2 つのビットレートを異なる値にしてください。

14.4.3.2 RSCFDnCFDCmCTR — チャネル制御レジスタ (m = 0~3)

アクセス RSCFDnCFDCmCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmCTRL、RSCFDnCFDCmCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmCTRLL、RSCFDnCFDCmCTRLLH、RSCFDnCFDCmCTRHL、RSCFDnCFDCmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmCTR: <RSCFDn_base> + 0004_H + (10_H × m)
RSCFDnCFDCmCTRL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRH: <RSCFDn_base> + 0006_H + (10_H × m)
RSCFDnCFDCmCTRLL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRLLH: <RSCFDn_base> + 0005_H + (10_H × m)、
RSCFDnCFDCmCTRHL: <RSCFDn_base> + 0006_H + (10_H × m)、
RSCFDnCFDCmCTRHH: <RSCFDn_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ROM	CRCT	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	TDCVFIE	SOCOLIE	EOCOLIE	TAIE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 14.94 RSCFDnCFDCmCTR レジスタの内容 (1/3)

ビット位置	ビット名	機能
31	ROM	制限動作モード許可ビット 0: 制限動作モード禁止 1: 制限動作モード許可
30	CRCT	CRC エラーテスト許可ビット 0: 受信 ID フィールドの先頭ビットを反転しない 1: 受信 ID フィールドの先頭ビットを反転する
29~27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCFDnCFDCmERFL レジスタのビット 14~8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示

表 14.94 RSCFDnCFDCmCTR レジスタの内容 (2/3)

ビット位置	ビット名	機能
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0 : ISO11898-1:2015 仕様準拠 0 1 : バスオフ開始でチャネル待機モードへ遷移 1 0 : バスオフ終了でチャネル待機モードへ遷移 1 1 : バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	TDCVFIE	送信遅延補正バイオレーション割り込み許可ビット 0 : 送信遅延補正バイオレーション割り込み禁止 1 : 送信遅延補正バイオレーション割り込み許可
18	SOCOIE	通信成功回数カウンタオーバーフロー割り込み許可ビット 0 : 通信成功回数カウンタオーバーフロー割り込み禁止 1 : 通信成功回数カウンタオーバーフロー割り込み許可
17	EOCOIE	エラー発生回数カウンタオーバーフロー割り込み許可ビット 0 : エラー発生回数カウンタオーバーフロー割り込み禁止 1 : エラー発生回数カウンタオーバーフロー割り込み許可
16	TAIE	送信アボート割り込み許可ビット 0 : 送信アボート割り込み禁止 1 : 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0 : バスロック割り込み禁止 1 : バスロック割り込み許可
13	OLIE	オーバーロードフレーム送信割り込み許可ビット 0 : オーバロードフレーム送信割り込み禁止 1 : オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。

表 14.94 RSCFDnCFDCmCTR レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	GSLPR	チャンネルストップモードビット 0: チャンネルストップモードではない 1: チャンネルストップモード
1, 0	CHMDC[1:0]	モード選択ビット b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 1 1: 設定しないでください

ROM ビット

RSCFDnCFDCmCTR レジスタの ROM ビットと CTME ビットを“1”にすると、制限動作モードが許可されます。制限動作モードは RSCFDnCFDCmCTR レジスタの CTMS[1:0]ビットが“00_B”（標準テストモード）の場合のみ使用してください。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1”にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます（RSCFDnCFDCmERFL レジスタの CERR ビットが“1”）。この機能を使用する場合は、以下の点に注意してください。

- RSCFDnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合に使用できません。
- 他の CAN ノードと通信はできません。チャンネル間通信テスト（RSCFDnCFDGTSTCFG レジスタの CmICBCE ビットが“1”）で使用してください。
- ID フィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTMS[1:0]ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCFDnCFDCmERFL レジスタのビット 14~8 の表示モードを制御します。

“0” にすると、RSCFDnCFDCmERFL レジスタのビット 14~8 のすべてのフラグが“0”の状態ではエラーが検出された場合に、最初に発生したエラーのフラグのみ“1”になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて“1”になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0]ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0]ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0]ビットを“10_B”（チャンネル待機モード）にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0]ビットが“01_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCFDnCFDCmCTR レジスタ（m=0~3）の CHMDC[1:0]ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCFDnCFDCmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットが“00_H”になります。

BOM[1:0]ビットが“10_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0]ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0]ビットと REC[7:0]ビットが“00_H”になります。

BOM[1:0]ビットが“11_B”の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0]ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0]ビットと REC[7:0]ビットは“00_H”になります。しかし、CHMDC[1:0]ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャンネル待機モードに遷移するのと同様（BOM[1:0]ビットが“01_B”のとき:バスオフ開始時、または BOM[1:0]ビットが“10_B”のとき:バスオフ終了時）に、プログラムによる CHMDC[1:0]ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0]ビットはチャンネルリセットモードでのみ書き換えてください。

TDCVFIE ビット

TDCVFIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの TDCVF フラグが“1”になった場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

SOCOIE ビット

SOCOIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの SOCO フラグが“1”になった場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EOCOIE ビット

EOCOIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの EOCO フラグが“1”になった場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの OVLf フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCFDnCFDCmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCFDnCFDCmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットが“00_H”になり、RSCFDnCFDCmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCFDnCFDCmCTR レジスタの BOM[1:0]ビットが“00_B”（ISO11898-1:2015 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1” にすると、チャンネルストップモードになります。

“0” にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

CHMDC[1:0]ビット

チャンネルのモード（チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード）を選択するビットです。詳細は、「**14.6.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1” にすることで遷移します。CHMDC[1:0]ビットを“11_B”には設定しないでください。BOM[1:0]ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0]ビットは自動的に“10_B”になります。

14.4.3.3 RSCFDnCFDCmSTS — チャネルステータスレジスタ (m = 0~3)

アクセス RSCFDnCFDCmSTS レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDCmSTSL、RSCFDnCFDCmSTSH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDCmSTSLL、RSCFDnCFDCmSTSLH、RSCFDnCFDCmSTSHL、RSCFDnCFDCmSTSHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmSTS: <RSCFDn_base> + 0008_H + (10_H × m)

RSCFDnCFDCmSTSL: <RSCFDn_base> + 0008_H + (10_H × m)、

RSCFDnCFDCmSTSH: <RSCFDn_base> + 000A_H + (10_H × m)

RSCFDnCFDCmSTSLL: <RSCFDn_base> + 0008_H + (10_H × m)、

RSCFDnCFDCmSTSLH: <RSCFDn_base> + 0009_H + (10_H × m)、

RSCFDnCFDCmSTSHL: <RSCFDn_base> + 000A_H + (10_H × m)、

RSCFDnCFDCmSTSHH: <RSCFDn_base> + 000B_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPTS	CHLPTS	CRSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
RW	R	R	R	R	R	R	R	R/W ^{注1}	R	R	R	R	R	R	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.95 RSCFDnCFDCmSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~24	TEC[7:0]	送信エラーカウンタ (TEC) の値が読めます。
23~16	REC[7:0]	受信エラーカウンタ (REC) の値が読めます。
15~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
8	ESIF	エラー状態表示フラグ 0: ESI ビットがレセシブである CAN FD メッセージを受信していない 1: ESI ビットがレセシブである CAN FD メッセージを少なくとも 1 メッセージ受信した
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態

表 14.95 RSCFDnCFDCmSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態
2	CSLPSTS	チャンネルストップステータスフラグ 0: チャンネルストップモードではない 1: チャンネルストップモード
1	CHLTSTS	チャンネル待機ステータスフラグ 0: チャンネル待機モードではない 1: チャンネル待機モード
0	CRSTSTS	チャンネルリセットステータスフラグ 0: チャンネルリセットモードではない 1: チャンネルリセットモード

TEC[7:0]ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1:2015) を参照してください。

チャンネルリセットモード時は、“0” になります。

REC[7:0]ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1:2015) を参照してください。

チャンネルリセットモード時は、“0” になります。

ESIF フラグ

正常に受信したメッセージでレセシブの ESI ビットを検出すると、“1” になります。ループバックモードまたはミラーモードの場合は、自送信メッセージが受信メッセージとみなされます。このフラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。

チャンネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると“1” になります。バスアイドル状態になるか、または送信を開始すると“0” になります。

TRMSTS フラグ

送信を開始すると“1” になります。バスオフ状態では“1” のままです。バスアイドル状態になるか、または受信を開始すると“0” になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0]ビット>255) になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態 ($128 \leq \text{TEC}[7:0]\text{ビット} \leq 255$) または ($128 \leq \text{REC}[7:0]\text{ビット}$) になると、“1” になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1” になります。チャンネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると “1” になります。チャンネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると “1” になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると “0” になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1” のままです。

14.4.3.4 RSCFDnCFDCmERFL — チャネルエラーフラグレジスタ (m = 0~3)

アクセス RSCFDnCFDCmERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmERFLL、RSCFDnCFDCmERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmERFLLL、RSCFDnCFDCmERFLLH、RSCFDnCFDCmERFLHL、RSCFDnCFDCmERFLHH
レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmERFL: <RSCFDn_base> + 000C_H + (10_H × m)
RSCFDnCFDCmERFLL: <RSCFDn_base> + 000C_H + (10_H × m)、
RSCFDnCFDCmERFLH: <RSCFDn_base> + 000E_H + (10_H × m)
RSCFDnCFDCmERFLLL: <RSCFDn_base> + 000C_H + (10_H × m)、
RSCFDnCFDCmERFLLH: <RSCFDn_base> + 000D_H + (10_H × m)、
RSCFDnCFDCmERFLHL: <RSCFDn_base> + 000E_H + (10_H × m)、
RSCFDnCFDCmERFLHH: <RSCFDn_base> + 000F_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLf	BORF	BOEF	EPF	EWf	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.96 RSCFDnCFDCmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30~16	CRCREG[14:0]	CRC 演算データ (CRC 長 15 ビット) 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0 : ACK デリミタエラー未検出 1 : ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0 : ドミナントビットエラー未検出 1 : ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0 : レセシブビットエラー未検出 1 : レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0 : CRC エラー未検出 1 : CRC エラー検出

表 14.96 RSCFDnCFDCmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVLf	オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EWf	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様 (ISO11898-1:2015) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCFDnCFDCmERFL レジスタのビット 14~8 に関して、RSCFDnCFDCmCTR レジスタの ERRD ビットを“0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14~8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

CRCREG[14:0]フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合、送信または受信メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。CAN FD フレームを送受信したときは、RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0]ビットが更新されます。CTME ビットが“0”（通信テストモード禁止）の場合、常に“0”が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。
“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCFDnCFDCmCTR レジスタの CHMDC[1:0]ビットを“01_B”（チャンネルリセットモード）に設定した場合
- RSCFDnCFDCmCTR レジスタの RTBO ビットを“1”（バスオフからの強制復帰）に設定した場合
- RSCFDnCFDCmCTR レジスタの BOM[1:0]ビットを“01_B”（バスオフ開始でチャンネル待機モードへ遷移）に設定した場合
- BOM[1:0]ビットが“11_B”（バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0]ビットを“10_B”（チャンネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0]ビット>255）になると、“1”になります。RSCFDnCFDCmCTR レジスタ（m=0～3）の BOM[1:0]ビットが“01_B”（バスオフ開始でチャンネル待機モードへ遷移）で、バスオフ状態になった場合も、“1”になります。

EPF フラグ

エラーパッシブ状態（REC[7:0]または TEC[7:0]ビット>127）になると、“1”になります。REC[7:0]または TEC[7:0]ビットが最初に 127 を超えたときのみ“1”になります。したがって、REC[7:0]または TEC[7:0]ビットが 127 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0]と TEC[7:0]ビットの両方が 127 以下になり、再び REC[7:0]または TEC[7:0]ビットが 127 を超えるまでは“1”にはなりません。

EWF フラグ

REC[7:0]または TEC[7:0]ビットの値が 95 を超えると、“1”になります。REC[7:0]または TEC[7:0]ビットが最初に 95 を超えたときのみ“1”になります。したがって、REC[7:0]または TEC[7:0]ビットが 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0]と TEC[7:0]ビットの両方が 95 以下になり、再び REC[7:0]または TEC[7:0]ビットが 95 を超えるまでは“1”にはなりません。

BEF フラグ

RSCFDnCFDCmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも“1”になると、BEF フラグは“1”になります。

備 考

本レジスタのフラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

14.4.3.5 RSCFDnCFDCmDCFG — チャネルデータビットレートコンフィグレーションレジスタ (m = 0~3)

アクセス RSCFDnCFDCmDCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmDCFGL、RSCFDnCFDCmDCFGLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmDCFGLL、RSCFDnCFDCmDCFGLH、RSCFDnCFDCmDCFGLH、
RSCFDnCFDCmDCFGLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmDCFG: <RSCFDn_base> + 0500_H + (20_H × m)
RSCFDnCFDCmDCFGL: <RSCFDn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCFDn_base> + 0502_H + (20_H × m)
RSCFDnCFDCmDCFGLL: <RSCFDn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCFDn_base> + 0501_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCFDn_base> + 0502_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCFDn_base> + 0503_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DSJW[2:0]			—	DTSEG2[2:0]			DTSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DBRP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.97 RSCFDnCFDCmDCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
31~27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				
26~24	DSJW[2:0]	データビットレート 再同期ジャンプ幅制御ビット <table border="1"> <tr> <td>b26</td> <td>b25</td> <td>b24</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: 1 Tq</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 2 Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 3 Tq</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: 4 Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 5 Tq</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: 6 Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: 7 Tq</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: 8 Tq</td> </tr> </table>	b26	b25	b24		0	0	0	: 1 Tq	0	0	1	: 2 Tq	0	1	0	: 3 Tq	0	1	1	: 4 Tq	1	0	0	: 5 Tq	1	0	1	: 6 Tq	1	1	0	: 7 Tq	1	1	1	: 8 Tq
b26	b25	b24																																				
0	0	0	: 1 Tq																																			
0	0	1	: 2 Tq																																			
0	1	0	: 3 Tq																																			
0	1	1	: 4 Tq																																			
1	0	0	: 5 Tq																																			
1	0	1	: 6 Tq																																			
1	1	0	: 7 Tq																																			
1	1	1	: 8 Tq																																			
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				

表 14.97 RSCFDnCFDCmDCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
22~20	DTSEG2[2:0]	データビットレート タイムセグメント 2 制御ビット b22 b21 b20 0 0 0: 設定しないでください 0 0 1: 2 Tq 0 1 0: 3 Tq 0 1 1: 4 Tq 1 0 0: 5 Tq 1 0 1: 6 Tq 1 1 0: 7 Tq 1 1 1: 8 Tq
19~16	DTSEG1[3:0]	データビットレート タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0: 設定しないでください 0 0 0 1: 2 Tq 0 0 1 0: 3 Tq 0 0 1 1: 4 Tq 0 1 0 0: 5 Tq 0 1 0 1: 6 Tq 0 1 1 0: 7 Tq 0 1 1 1: 8 Tq 1 0 0 0: 9 Tq 1 0 0 1: 10 Tq 1 0 1 0: 11 Tq 1 0 1 1: 12 Tq 1 1 0 0: 13 Tq 1 1 0 1: 14 Tq 1 1 1 0: 15 Tq 1 1 1 1: 16 Tq
15~8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7~0	DBRP[7:0]	データビットレートプリスケアラ分周比設定ビット 設定値を P (0~255) とすると、データビットレートプリスケアラは fCAN を P+1 で分周します。

RSCFDnCFDCmDCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。CAN FD モードでクラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。ビットタイミングパラメータの説明と設定については、「**14.11.1 初期設定**」を参照してください。

DSJW[2:0]ビット

データビットレートの再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1~8Tq の値が設定可能です。DTSEG2[2:0]ビット以下の値を設定してください。

DTSEG2[2:0]ビット

データビットレートのフェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2~8Tq の値が設定可能です。

DTSEG1[3:0]ビット以下の値を設定してください。

DTSEG1[3:0]ビット

データビットレートのプロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

2~16Tq の値が設定可能です。

DBRP[7:0]ビット

CAN クロック (fCAN) をデータビットレートプリスケアラ ((DBRP[7:0]) + 1) で分周したクロックが CANmTq(D)クロック (fCANTQ(D)m) になり、CANmTq(D)クロックの 1 クロックが 1 Time Quantum (Tq) になります。

NBRP[9:0]ビットと DBRP[7:0]ビットは、必ず同じ値に設定してください。

通常ビットレートとデータビットレートを異なる値に設定したい場合、RSCFDnCFDCmNCFG.NTSEG1, NTSEG2 ビット、RSCFDnCFDCmDCFG.DTSEG1, DTSEG2 ビットでそれぞれ希望するビットレート値に変更してください。

RSCFDnCFDCmFDCFG レジスタの TDCE ビットが 1 (送信遅延補正許可) のときは、NBRP[9:0]ビットと DBRP[7:0]ビットに 1 以下の同じ値を設定してください。

14.4.3.6 RSCFDnCFDCmFDCFG — チャネル CAN FD コンフィグレーションレジスタ (m = 0~3)

アクセス RSCFDnCFDCmFDCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCFGH、RSCFDnCFDCmFDCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCFGLL、RSCFDnCFDCmFDCFGHL、RSCFDnCFDCmFDCFGHL、RSCFDnCFDCmFDCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmFDCFG: <RSCFDn_base> + 0504_H + (20_H × m)
RSCFDnCFDCmFDCFGH: <RSCFDn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFGH: <RSCFDn_base> + 0506_H + (20_H × m)
RSCFDnCFDCmFDCFGLL: <RSCFDn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFGHL: <RSCFDn_base> + 0505_H + (20_H × m)、
RSCFDnCFDCmFDCFGHL: <RSCFDn_base> + 0506_H + (20_H × m)、
RSCFDnCFDCmFDCFGHH: <RSCFDn_base> + 0507_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	REFE	FDOE	TMME	GWBR S	GWDFD	GWEN	—	TDCO[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 14.98 RSCFDnCFDCmFDCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	REFE	受信データエッジフィルタ許可ビット 0: 受信データエッジフィルタ禁止 1: 受信データエッジフィルタ許可
28	FDOE	FD オンリーモード許可ビット 0: FD オンリーモード禁止 1: FD オンリーモード許可
27	TMME	送信バッファマージモード許可ビット 0: 送信バッファマージモード禁止 1: 送信バッファマージモード許可
26	GWBR S	ゲートウェイ BRS 設定ビット 0: 受信フレームの BRS ビットを “0” にして送信 1: 受信フレームの BRS ビットを “1” にして送信
25	GWDFD	ゲートウェイ FDF 設定ビット 0: 受信フレームをクラシカル CAN フレームとして送信 1: 受信フレームを CAN FD フレームとして送信

表 14.98 RSCFDnCFDCmFDCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
24	GWEN	CAN-CAN FD ゲートウェイ許可ビット 0 : CAN-CAN FD ゲートウェイ禁止 1 : CAN-CAN FD ゲートウェイ許可
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~16	TDCO[6:0]	送信遅延補正オフセット設定ビット 送信遅延補正のオフセット値を設定します。
15~11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ESIC	エラーステート表示モード選択ビット 0 : 常にチャネルのエラーステートをフレームの ESI ビットとして送信 1 : チャネルがエラーパッシブではないとき、メッセージバッファのエラーステートをフレームの ESI ビットとして送信 チャネルがエラーパッシブのとき、チャネルのエラーステートをフレームの ESI ビットとして送信
9	TDCE	送信遅延補正許可ビット 0 : 送信遅延補正禁止 1 : 送信遅延補正許可
8	TDCOC	送信遅延補正計測選択ビット 0 : 計測およびオフセット 1 : オフセットのみ
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2~0	EOCCFG[2:0]	エラー発生回数カウント方式選択ビット b2 b1 b0 0 0 0 : 全ての送信メッセージと受信メッセージ 0 0 1 : 全ての送信メッセージ 0 1 0 : 全ての受信メッセージ 0 1 1 : 設定しないでください 1 0 0 : 送信または受信した CAN FD メッセージのデータフェーズのみ 1 0 1 : 送信した CAN FD メッセージのデータフェーズのみ 1 1 0 : 受信した CAN FD メッセージのデータフェーズのみ 1 1 1 : 設定しないでください

REFE ビット

“1” にするとアイドル状態検出時の受信データエッジフィルタが許可され、2T_q 未満のドミナントは無視されます。2T_q 以上のドミナントをエッジとして検出します。このビットはチャネルリセットモードでのみ書き換えてください。

FDOE ビット

“1” にすると FD オンリーモードが許可されます。送信時、RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットの設定に関係なく CAN FD フレームを送信します。受信時、クラシカル CAN フレームを受信した場合は、フォームエラーを検出します。このビットはチャネルリセットモードでのみ書き換えてください。

TMME ビット

“1” にすると送信バッファマージモードが許可されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

GWBRB ビット

GWEN ビットが“1”のとき、ゲートウェイ機能で送信する CAN FD フレームの BRS ビットを設定します。GWDFD ビットを“0”にするときは、このビットに“0”を書いてください。このビットはチャンネルリセットモードでのみ書き換えてください。

GWDFD ビット

GWEN ビットが“1”のとき、ゲートウェイ機能で送信する CAN FD フレームの FDF ビットを設定します。このビットはチャンネルリセットモードでのみ書き換えてください。

GWEN ビット

RSCFDnCFDFCCK レジスタの CFM[1:0] ビットを“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファの動作を制御します。

このビットを“1”にすると、CAN-CAN FD ゲートウェイが許可され、ゲートウェイ機能で受信したフレームと異なるフォーマットでの送信ができます。受信フレームは GWDFD ビットと GWBRB ビットの設定に従って置換されます。受信したクラシカル CAN フレームの DLC 値が“1001_B”以上であり、GWDFD ビットが“1” (CAN FD フレーム) の場合は、DLC を“1000_B”に置き換えます。

このビットが“1”のとき、以下のフレームはゲートウェイ機能でルーティングしないでください。

- ペイロード長が 8 バイトを超える CAN FD フレーム
- リモートフレーム

また、このビットが“1”のとき、GWDFD の設定により以下のフレームのみ該当するチャンネルから送信してください。

- GWDFD = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWDFD = 1 のとき、CAN FD フレームのみ送信してください。

このビットはチャンネルリセットモードでのみ書き換えてください。

表 14.99 に CAN-CAN FD ゲートウェイ許可時の送受信フレームのフォーマットと設定を示します。

表 14.99 CAN-CAN FD ゲートウェイ許可時動作

受信フレーム			GWDFD ビット	送信フレーム		
フォーマット	BRS ビット	受信 DLC 値		フォーマット	BRS ビット	送信 DLC 値
クラシカル CAN	なし	DLC ≤ “1000 _B ”	0	クラシカル CAN	なし	置換しない
		DLC > “1000 _B ”				
CAN FD	任意	DLC ≤ “1000 _B ”	1	CAN FD	GWBRB ビット の設定に従う	置換しない
クラシカル CAN	なし	DLC ≤ “1000 _B ”				“1000 _B ” に置換
		DLC > “1000 _B ”				置換しない
CAN FD	任意	DLC ≤ “1000 _B ”				置換しない

TDCO[6:0]ビット

SSP オフセット値を設定します。この値の使用方法は、RSCFDnCFDCmFDCFG レジスタの TDCOC ビットに依存します。

TDCOC ビットが“0”のとき、送信遅延補正結果は測定した遅延と TDCO[6:0]ビット値の合計値と等しくなります（最も近い整数の T_q に切り捨てます）。

TDCOC ビットが“1”のとき、送信遅延補正結果は TDCO[6:0]ビットの値と等しくなります。

SSP オフセット値は TDCO[6:0]ビットの設定値 + 1 となります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

ESIC ビット

ESIC ビットを“1”にすると、チャンネルがエラーアクティブならば、送信メッセージの ESI ビット値として、送受信 FIFO バッファまたは送信バッファに設定された ESI ビット値（RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCCTR_p レジスタの TMESI ビット）が送信されます。チャンネルがエラーパッシブであるか、ESIC ビットが“0”ならばチャンネルのステータスが ESI ビット値として送信されます。このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

表 14.100 送信 ESI 値

ESIC ビット	チャンネルステータス	送信 ESI 値
0	エラーアクティブ	0 (ノードはエラーアクティブ)
	エラーパッシブ	1 (ノードはエラーパッシブ)
1	エラーアクティブ	送受信 FIFO バッファまたは 送信バッファに設定した ESI 値 (RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCCTR _p レジスタの TMESI ビット)
	エラーパッシブ	1 (ノードはエラーパッシブ)

TDCE ビット

“1”にすると送信遅延補正が許可されます。このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

TDCOC ビット

“0”のとき、SSP の位置は測定した遅延と SSP オフセット値（固定値）の合計で定義されます。

“1”のとき、SSP の位置は SSP オフセット値のみで定義されます。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

EOCCFG[2:0]ビット

エラー発生回数カウンタで CAN バスエラーをカウントするときのフレームフォーマットおよび送受信方向を選択します。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

14.4.3.7 RSCFDnCFDCmFDCTR — チャネル CAN FD 制御レジスタ (m = 0~3)

アクセス RSCFDnCFDCmFDCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCTRL、RSCFDnCFDCmFDCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDCTRLL、RSCFDnCFDCmFDCTRHL、RSCFDnCFDCmFDCTRHLH、
RSCFDnCFDCmFDCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmFDCTR: <RSCFDn_base> + 0508_H + (20_H × m)
RSCFDnCFDCmFDCTRL: <RSCFDn_base> + 0508_H + (20_H × m)、
RSCFDnCFDCmFDCTRH: <RSCFDn_base> + 050A_H + (20_H × m)
RSCFDnCFDCmFDCTRLL: <RSCFDn_base> + 0508_H + (20_H × m)、
RSCFDnCFDCmFDCTRHL: <RSCFDn_base> + 0509_H + (20_H × m)、
RSCFDnCFDCmFDCTRHLH: <RSCFDn_base> + 050A_H + (20_H × m)、
RSCFDnCFDCmFDCTRHH: <RSCFDn_base> + 050B_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
															R	R
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 14.101 RSCFDnCFDCmFDCTR レジスタの内容

ビット位置	ビット名	機能
31~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOCCLR	通信成功回数カウンタクリアビット SOCCLR ビットを“1”にすると、通信成功回数カウンタがクリアされます。常に“0”が読めます。
0	EOCCLR	エラー発生回数カウンタクリアビット EOCCLR ビットを“1”にすると、エラー発生回数カウンタがクリアされます。常に“0”が読めます。

SOCCLR ビット

“1”にすると、通信成功回数カウンタ (RSCFDnCFDCmFDSTS レジスタの SOC[7:0]ビット) がクリアされます。このビットは自動的に“0”になります。

EOCCLR ビット

“1”にすると、エラー発生回数カウンタ (RSCFDnCFDCmFDSTS レジスタの EOC[7:0]ビット) がクリアされます。このビットは自動的に“0”になります。

14.4.3.8 RSCFDnCFDCmFDSTS — チャネル CAN FD ステータスレジスタ (m = 0~3)

アクセス RSCFDnCFDCmFDSTS レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDSTSL、RSCFDnCFDCmFDSTSH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCmFDSTSLL、RSCFDnCFDCmFDSTSLH、RSCFDnCFDCmFDSTSHL、
RSCFDnCFDCmFDSTSHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCmFDSTS: <RSCFDn_base> + 050C_H + (20_H × m)
RSCFDnCFDCmFDSTSL: <RSCFDn_base> + 050C_H + (20_H × m)、
RSCFDnCFDCmFDSTSH: <RSCFDn_base> + 050E_H + (20_H × m)
RSCFDnCFDCmFDSTSLL: <RSCFDn_base> + 050C_H + (20_H × m)、
RSCFDnCFDCmFDSTSLH: <RSCFDn_base> + 050D_H + (20_H × m)、
RSCFDnCFDCmFDSTSHL: <RSCFDn_base> + 050E_H + (20_H × m)、
RSCFDnCFDCmFDSTSHH: <RSCFDn_base> + 050F_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SOC[7:0]								EOC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SOCO	EOCO	TDCVF	TDCR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R	R	R	R	R	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.102 RSCFDnCFDCmFDSTS レジスタの内容

ビット位置	ビット名	機能
31~24	SOC[7:0]	通信成功回数カウンタ 通信成功回数カウンタの値が読めます。
23~16	EOC[7:0]	エラー発生回数カウンタ エラー発生回数カウンタの値が読めます。
15~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
9	SOCO	通信成功回数カウンタオーバーフローフラグ 0: 通信成功回数カウンタオーバーフローではない 1: 通信成功回数カウンタオーバーフロー
8	EOCO	エラー発生回数カウンタオーバーフローフラグ 0: エラー発生回数カウンタオーバーフローではない 1: エラー発生回数カウンタオーバーフロー
7	TDCVF	送信遅延補正バイオレーションフラグ 0: 送信遅延補正バイオレーションなし 1: 送信遅延補正バイオレーション
6~0	TDCR[6:0]	送信遅延補正結果ステータスビット 送信遅延補正結果が読めます。

SOC[7:0]ビット

通信成功回数カウンタの値を示します。通信成功回数カウンタはエラーなしでメッセージの受信完了または送信完了が起これるとインクリメントされ、“FF_H”に達すると、更新を停止します。ループバックモードのとき、このカウンタは2回インクリメントされます。

このビットは、RSCFDnCFDCmCTR レジスタの SOCCLR ビットに“1”を書き込むと“0”にクリアされません。チャンネルリセットモード時は、“0”になります。

EOC[7:0]ビット

エラー発生回数カウンタの値を示します。エラー発生回数カウンタは、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0]ビットに設定された条件に従って、エラー発生時にインクリメントされ、カウンタが“FF_H”に達すると、更新が停止します。

このビットは、RSCFDnCFDCmCTR レジスタの EOCCLR ビットに“1”を書き込むと“0”にクリアされません。チャンネルリセットモード時は、“0”になります。

SOCO フラグ

通信成功回数カウンタのオーバフローが発生したことを示すビットです。

SOC[7:0]ビットが“FF_H”に達しているとき、メッセージの受信完了または送信完了が起これると“1”になります。チャンネルリセットモード時は、“0”になります。

EOCO フラグ

エラー発生回数カウンタのオーバフローが発生したことを示すビットです。

EOC[7:0]ビットが“FF_H”に達しているとき、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0]ビットに設定された条件下で CAN バスエラーが検出されると“1”になります。チャンネルリセットモード時は、“0”になります。

TDCVF フラグ

送信遅延補正のバイオレーションを示すビットです。

送信データはトランシーバのループ遅延によって遅延した受信 CAN バスレベルと比較されます。この遅延は温度のような物理的な要因によって変化します。TDCR[6:0]フラグはメッセージごとに更新されるため、一時的な最大遅延を確認することができません。

このビットは送信遅延補正が補正最大 3CANm ビットタイム - 2fCAN を超えた場合、“1”になります (CANm ビットタイムはデータビットレートの値)。

チャンネルリセットモード時は、“0”になります。

TDCR[6:0]フラグ

送信遅延補正結果を CAN クロック (fCAN) のクロックの倍数で示すビットです。

この結果は RSCFDnCFDCmFDCFG レジスタの TDCOC ビットおよび TDCO[6:0]ビットの設定に依存しません。

このフラグは、RSCFDnCFDCmFDCFG レジスタの TDCE ビットが“1” (送信遅延補正許可) で、TDCOC ビットが“0” (計測およびオフセット) の場合に、FDF ビットと res ビット間の立下りエッジのタイミングで更新されます。

チャンネルリセットモード時は、“0”になります。

備 考

本レジスタのフラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

14.4.3.9 RSCFDnCFDCmFDCRC — チャネル CAN FD CRC レジスタ (m = 0~3)

アクセス RSCFDnCFDCmFDCRC レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCL、RSCFDnCFDCmFDCRCH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCLL、RSCFDnCFDCmFDCRCLH、RSCFDnCFDCmFDCRCHL、
RSCFDnCFDCmFDCRCHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCmFDCRC: <RSCFDn_base> + 0510_H + (20_H × m)
RSCFDnCFDCmFDCRCL: <RSCFDn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCH: <RSCFDn_base> + 0512_H + (20_H × m)
RSCFDnCFDCmFDCRCLL: <RSCFDn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCLH: <RSCFDn_base> + 0511_H + (20_H × m)、
RSCFDnCFDCmFDCRCHL: <RSCFDn_base> + 0512_H + (20_H × m)、
RSCFDnCFDCmFDCRCHH: <RSCFDn_base> + 0513_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SCNT[3:0]			—	—	—	CRCREG[20:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRCREG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.103 RSCFDnCFDCmFDCRC レジスタの内容

ビット位置	ビット名	機能
31~28	予約ビット	リードした場合はリセット後の値が読めます。
27~24	SCNT[3:0]	スタッフカウントビット FD フレーム中のスタッフカウントビット値が読めます。b25~b27 は、送受信したフレームのスタッフビット数をモジュロ 8 変換し、クレイコード化した値です。b24 は b25~b27 の偶数パリティ値です。
23~21	予約ビット	リードした場合はリセット後の値が読めます。
20~0	CRCREG[20:0]	CRC 演算データ (CRC 長 17 ビットまたは 21 ビット) 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。 CRC 長 17 ビットのと看、b20~b17 は “0” が読めます。

SCNT[3:0]フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1” (通信テストモード許可) の場合、送信または受信メッセージが CAN FD フレームならば、CAN FD フレームのスタッフカウントビット値が読めます。CTME ビットが “0” (通信テストモード禁止) の場合、常に “0” が読めます。このフラグは、CAN FD フレームの CRC フィールドの 1 ビット目で更新されます。チャンネルリセットモード時は、“0” になります。

CRCREG[20:0]フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1” (通信テストモード許可) の場合、送信または受信メッセージが CAN FD フレーム (CRC 長 17 ビットまたは 21 ビット) ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。メッセージの CRC 長が 17 ビットのとき、b20~b17 は常に “0” が読めます。クラシカル CAN フレームを送受信したときは、RSCFDnCFDCmERFL レジスタの CRCREG[14:0] ビットが更新されます。CTME ビットが “0” (通信テストモード禁止) の場合、常に “0” が読めます。

14.4.4 グローバル関連レジスタの詳細

14.4.4.1 RSCFDnCFDGCFCG — グローバルコンフィグレーションレジスタ

アクセス RSCFDnCFDGCFCG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGCFCGL、RSCFDnCFDGCFCGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGCFCGLL、RSCFDnCFDGCFCGLH、RSCFDnCFDGCFCGHL、RSCFDnCFDGCFCGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGCFCG: <RSCFDn_base> + 0084_H
RSCFDnCFDGCFCGL: <RSCFDn_base> + 0084_H、RSCFDnCFDGCFCGH: <RSCFDn_base> + 0086_H
RSCFDnCFDGCFCGLL: <RSCFDn_base> + 0084_H、RSCFDnCFDGCFCGLH: <RSCFDn_base> + 0085_H、
RSCFDnCFDGCFCGHL: <RSCFDn_base> + 0086_H、RSCFDnCFDGCFCGHH: <RSCFDn_base> + 0087_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 14.104 RSCFDnCFDGCFCG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~16	ITRCP[15:0]	インターバルタイムプリスケアラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイムを使用する場合、“0000 _H ”を設定しないでください。
15~13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: チャンネル 0 通常ビットタイムクロック 0 0 1: チャンネル 1 通常ビットタイムクロック 0 1 0: チャンネル 2 通常ビットタイムクロック 0 1 1: チャンネル 3 通常ビットタイムクロック 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください
12	TSSS	タイムスタンプソース選択 0: pclk/2 注 1 1: 通常ビットタイムクロック

表 14.104 RSCFDnCFDGCFCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
11~8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0 : 分周なし 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 0 1 1 1 : 128分周 1 0 0 0 : 256分周 1 0 0 1 : 512分周 1 0 1 0 : 1024分周 1 0 1 1 : 2048分周 1 1 0 0 : 4096分周 1 1 0 1 : 8192分周 1 1 1 0 : 16384分周 1 1 1 1 : 32768分周
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CMPOC	ペイロードオーバーフローモード選択ビット 0 : メッセージは格納されない 1 : メッセージは格納され、バッファサイズを超える分のペイロードは切り捨てられる
4	DCS	CAN クロック源選択ビット 0 : clk 1 : clk_xincan
3	MME	ミラー機能許可ビット 0 : ミラー機能禁止 1 : ミラー機能許可
2	DRE	DLC 置換許可ビット 0 : DLC 置換禁止 1 : DLC 置換許可
1	DCE	DLC チェック許可ビット 0 : DLC チェック禁止 1 : DLC チェック許可
0	TPRI	送信優先順位選択ビット 0 : ID 優先 1 : 送信バッファ番号優先

注 1. タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0]を“000_b”にしてください。

RSCFDnCFDGCFCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0]ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「**14.8.3.1 インターバル送信機能**」を参照してください。

TSBTCS[2:0]ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となる通常ビットタイムクロックのチャネルの選択ができます。ただし、CAN FD フレームを扱うチャネルは選択しないでください。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。クラシカル CAN フレームのみを扱うチャンネルがない場合は、pclk を選択してください。

TSP[3:0]ビット

TSBTCs[2:0]ビット、TSSS ビットで選択したクロック源を TSP[3:0]ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

CMPOC ビット

受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超えた場合の動作を選択します。

“0” のとき、ペイロードがオーバーフローする受信メッセージはバッファに格納されません。

“1” のとき、ペイロードがオーバーフローする受信メッセージはバッファに格納され、DRE ビットに応じて、受信した DLC 値または受信ルールテーブルの DLC 値がバッファに格納されます。このとき、バッファのペイロード格納サイズを超える分のペイロードは切り捨てられます。

バッファのペイロード格納サイズは以下のビットで設定します。

- 受信バッファ:RSCFDnCFDRMNb レジスタの RMPLS[1:0]ビット
- 受信 FIFO バッファ:RSCFDnCFDRFCCx レジスタの RFPLS[2:0]ビット
- 送受信 FIFO バッファ:RSCFDnCFDCFCCK レジスタの CFPLS[2:0]ビット

DCS ビット

“0” のとき、clk_c が CAN クロック (fCAN) のクロック源になります。

“1” のとき、clk_{xincan} が CAN クロック (fCAN) のクロック源になります。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCFDnCFDGAFLP0_j レジスタの GAFLDLC[3:0]ビットを “0000_B” にしてから、RSCFDnCFDGCFCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バスアービトラージョンルール (ISO11898-1:2015 仕様) に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。送信キューを使用している場合は、“0” に設定してください。

14.4.4.2 RSCFDnCFDGCTR — グローバル制御レジスタ

アクセス RSCFDnCFDGCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGCTRL、RSCFDnCFDGCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGCTRLL、RSCFDnCFDGCTRLH、RSCFDnCFDGCTRHL、RSCFDnCFDGCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGCTR: <RSCFDn_base> + 0088_H
RSCFDnCFDGCTRL: <RSCFDn_base> + 0088_H、RSCFDnCFDGCTRH: <RSCFDn_base> + 008A_H
RSCFDnCFDGCTRLL: <RSCFDn_base> + 0088_H、RSCFDnCFDGCTRLH: <RSCFDn_base> + 0089_H、
RSCFDnCFDGCTRHL: <RSCFDn_base> + 008A_H、RSCFDnCFDGCTRHH: <RSCFDn_base> + 008B_H

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	RW
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CMPOF IE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
RW	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 14.105 RSCFDnCFDGCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15~12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	CMPOFIE	ペイロードオーバーフロー割り込み許可ビット 0: ペイロードオーバーフロー割り込み禁止 1: ペイロードオーバーフロー割り込み許可
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード

表 14.105 RSCFDnCFDGCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
1, 0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 1 1: 設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCFDnCFDGTSC レジスタが“0000_H”になります。

CMPOFIE ビット

CMPOFIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの CMPOF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCFDnCFDGERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

GMDC[1:0]ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**14.6.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

14.4.4.3 RSCFDnCFDGSTS — グローバルステータスレジスタ

アクセス RSCFDnCFDGSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGSTSL、RSCFDnCFDGSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGSTSLL、RSCFDnCFDGSTSLH、RSCFDnCFDGSTSHL、RSCFDnCFDGSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGSTS: <RSCFDn_base> + 008C_H
RSCFDnCFDGSTSL: <RSCFDn_base> + 008C_H、RSCFDnCFDGSTSH: <RSCFDn_base> + 008E_H
RSCFDnCFDGSTSLL: <RSCFDn_base> + 008C_H、RSCFDnCFDGSTSLH: <RSCFDn_base> + 008D_H、
RSCFDnCFDGSTSHL: <RSCFDn_base> + 008E_H、RSCFDnCFDGSTSHH: <RSCFDn_base> + 008F_H

リセット後の値 0000 000D_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.106 RSCFDnCFDGSTS レジスタの内容

ビット位置	ビット名	機能
31~4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0 : CAN 用 RAM クリア完了 1 : CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0 : グローバルストップモードではない 1 : グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0 : グローバルテストモードではない 1 : グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0 : グローバルリセットモードではない 1 : グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると“0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1” になります。

グローバルリセットモード以外のモードに遷移すると“0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

14.4.4.4 RSCFDnCFDGERFL — グローバルエラーフラグレジスタ

アクセス RSCFDnCFDGERFL レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDGERFLL、RSCFDnCFDGERFLH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDGERFLLL、RSCFDnCFDGERFLLH、RSCFDnCFDGERFLHL、RSCFDnCFDGERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGERFL: <RSCFDn_base> + 0090_H

RSCFDnCFDGERFLL: <RSCFDn_base> + 0090_H、RSCFDnCFDGERFLH: <RSCFDn_base> + 0092_H

RSCFDnCFDGERFLLL: <RSCFDn_base> + 0090_H、RSCFDnCFDGERFLLH: <RSCFDn_base> + 0091_H、

RSCFDnCFDGERFLHL: <RSCFDn_base> + 0092_H、RSCFDnCFDGERFLHH: <RSCFDn_base> + 0093_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R	R	R/W ^{注1}

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.107 RSCFDnCFDGERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	EEF3	チャンネル 3 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
18	EEF2	チャンネル 2 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
17	EEF1	チャンネル 1 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
16	EEF0	チャンネル 0 用 ECC エラーフラグ 0: 送信優先順位判定時の 2 ビット ECC エラーなし 1: 送信優先順位判定時の 2 ビット ECC エラー
15~4	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
3	CMPOF	ペイロードオーバーフローフラグ 0: ペイロードオーバーフローなし 1: ペイロードオーバーフロー
2	THLES	送信履歴バッファオーバーフローステータスフラグ 0: 送信履歴バッファオーバーフローなし 1: 送信履歴バッファオーバーフロー

表 14.107 RSCFDnCFDGERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCFDnCFDGERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

EEFm フラグ

チャンネル m ($m=0\sim 3$) の送信優先順位判定で ECC2 ビットエラーが検出されると、EEFm フラグが“1”になり、メッセージの送信は行われません。プログラムで“0”を書くことで、“0”にできます。

CMPOF フラグ

チャンネル m ($m=0\sim 3$) のいずれか 1 つでもペイロードオーバーフローが発生すると、CMPOF フラグは“1”になります。プログラムで“0”を書くことで、“0”にできます。

THLES フラグ

RSCFDnCFDTHLSTSm レジスタ ($m=0\sim 3$) の THLELT フラグのいずれか 1 つでも“1”になると、THLES フラグは“1”になります。

全チャンネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RSCFDnCFDRFSTSx レジスタ ($x=0\sim 7$) の RFMLT フラグまたは RSCFDnCFDCFSTSk レジスタ ($k=0\sim 11$) の CFMLT フラグのいずれか 1 つでも“1”になると、MES フラグは“1”になります。

すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

備 考

本レジスタのフラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

14.4.4.5 RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCFDnCFDGTSC レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDGTSCSL、RSCFDnCFDGTSCSCH レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTSC: <RSCFDn_base> + 0094_H

RSCFDnCFDGTSCSL: <RSCFDn_base> + 0094_H、RSCFDnCFDGTSCSCH: <RSCFDn_base> + 0096_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.108 RSCFDnCFDGTSC レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。
15~0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000 _H ~FFFF _H

TS[15:0]ビット

TS[15:0]ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0]ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCFDnCFDGCFCFG レジスタの TSSS ビットが “0”（pclk）の場合：
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm 通常ビットタイムクロック）の場合：
対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

14.4.4.6 RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCFDnCFDGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDGTINTSTS0L、RSCFDnCFDGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0LL、RSCFDnCFDGTINTSTS0LH、RSCFDnCFDGTINTSTS0HL、
RSCFDnCFDGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTINTSTS0: <RSCFDn_base> + 0460_H

RSCFDnCFDGTINTSTS0L: <RSCFDn_base> + 0460_H、RSCFDnCFDGTINTSTS0H: <RSCFDn_base> +
0462_H

RSCFDnCFDGTINTSTS0LL: <RSCFDn_base> + 0460_H、RSCFDnCFDGTINTSTS0LH: <RSCFDn_base> +
0461_H、

RSCFDnCFDGTINTSTS0HL: <RSCFDn_base> + 0462_H、RSCFDnCFDGTINTSTS0HH: <RSCFDn_base> +
0463_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注 1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 14.109 RSCFDnCFDGTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャンネル 3 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
27	CFTIF3	チャンネル 3 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャンネル 3 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
25	TAIF3	チャンネル 3 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
24	TSIF3	チャンネル 3 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
23~21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャンネル 2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり

表 14.109 RSCFDnCFDGTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
19	CFTIF2	チャンネル 2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャンネル 2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
17	TAIF2	チャンネル 2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
16	TSIF2	チャンネル 2 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
15~13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャンネル 1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF1	チャンネル 1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャンネル 1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF1	チャンネル 1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
8	TSIF1	チャンネル 1 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7~5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャンネル 0 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	チャンネル 0 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャンネル 0 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	チャンネル 0 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF0	チャンネル 0 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCFDnCFDnTMIEp レジスタの TMIEp ビットが “1” (送信バッファ割り込みが許可)、かつ対応する RSCFDnCFDnTMSTSp レジスタの TMTRF[1:0]フラグが “10_B” (送信完了、アボート要求なし)、または “11_B” (送信完了、アボート要求あり) になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0]フラグを全て “00_B” にすると、このフラグは “0” になります。また TMIEp ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCFDnCFDCmCTR レジスタの TAIE ビットが “1” (送信アボート割り込み許可)、かつ RSCFDnCFDnTMSTSp レジスタの TMTRF[1:0]フラグが “01_B” (送信アボート完了) になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0]フラグを全て “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCFDnCFDnTXQCCm レジスタの TXQIE ビットが “1” (送信キュー割り込み許可)、かつ RSCFDnCFDnTXQSTSm レジスタの TXQIF が “1” (送信キュー割り込み要求あり) になると TQIFm ビットは “1” になります。

RSCFDnCFDnTXQSTSm レジスタの TXQIF ビット (送信キュー割り込み要求) を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCFDnCFDCFCck レジスタの CFTXIE ビットが “1” (送受信 FIFO 送信割り込み許可)、かつ RSCFDnCFDCFCSTSk レジスタの CFTXIF ビットが “1” (送受信 FIFO 送信割り込み要求あり) になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCFDnCFDnTHLCCm レジスタの THLIE ビットが “1” (送信履歴割り込み許可)、かつ RSCFDnCFDnTHLSTSm レジスタの THLIF ビットが “1” (送信履歴割り込み要求あり) になると、THIFm ビットは “1” になります。

RSCFDnCFDnTHLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

14.4.4.7 RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス RSCFDnCFDGFDCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDGFDCFGL、RSCFDnCFDGFDCFGH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDGFDCFGLL、RSCFDnCFDGFDCFGLH、RSCFDnCFDGFDCFGHL、RSCFDnCFDGFDCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGFDCFG: <RSCFDn_base> + 0474_H

RSCFDnCFDGFDCFGL: <RSCFDn_base> + 0474_H、RSCFDnCFDGFDCFGH: <RSCFDn_base> + 0476_H

RSCFDnCFDGFDCFGLL: <RSCFDn_base> + 0474_H、RSCFDnCFDGFDCFGLH: <RSCFDn_base> + 0475_H、

RSCFDnCFDGFDCFGHL: <RSCFDn_base> + 0476_H、RSCFDnCFDGFDCFGHH: <RSCFDn_base> + 0477_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]	—	—	—	—	—	—	—	—	RPED
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.110 RSCFDnCFDGFDCFG レジスタの内容

ビット位置	ビット名	機能
31~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b9 b8 0 0: SOF ビットのサンプルポイントでキャプチャ 0 1: 有効なフレーム送受信完了でキャプチャ 1 0: res ビットのサンプルポイントでキャプチャ ^{注 1} 1 1: 設定しないでください
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RPED	プロトコルエクセプションイベント検出禁止ビット 0: プロトコルエクセプションイベント検出許可 1: プロトコルエクセプションイベント検出禁止

注 1. クラシカル CAN フレーム送受信の場合は、タイムキャプチャポイントは SOF ビットのサンプルポイントとなります。

TSCCFG ビット

タイムスタンプ値のキャプチャポイントを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RPED ビット

“1” にするとプロトコルエクセプションイベントの検出が禁止されます。このビットが、“1” のとき、プロトコルエクセプションイベントを検出した場合は、フォームエラーと判断してエラーフレームを出力します。このビットはグローバルリセットモードでのみ書き換えてください。

14.4.4.8 RSCFDnCFDGCRC CFG — グローバル CRC コンフィグレーションレジスタ

アクセス RSCFDnCFDGCRC CFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGCRC CFG L、RSCFDnCFDGCRC CFG H レジスタは、16 ビット単位で/ライト可能です。
RSCFDnCFDGCRC CFG LL、RSCFDnCFDGCRC CFG LH、RSCFDnCFDGCRC CFG HL、
RSCFDnCFDGCRC CFG HH レジスタは、8 ビット単位で/ライト可能です。

アドレス RSCFDnCFDGCRC CFG: <RSCFDn_base> + 0478_H
RSCFDnCFDGCRC CFG L: <RSCFDn_base> + 0478_H、RSCFDnCFDGCRC CFG H: <RSCFDn_base> + 047A_H
RSCFDnCFDGCRC CFG LL: <RSCFDn_base> + 0478_H、RSCFDnCFDGCRC CFG LH: <RSCFDn_base> +
0479_H、
RSCFDnCFDGCRC CFG HL: <RSCFDn_base> + 047A_H、RSCFDnCFDGCRC CFG HH: <RSCFDn_base> +
047B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.111 RSCFDnCFDGCRC CFG レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	NIE	ISO11898-1:2015 プロトコル切り替えビット 0 : ISO11898-1:2015 プロトコルに準拠した CAN FD をサポート 1 : ISO/CD 11898-1(2014-08-12 版)プロトコルに準拠した CAN FD をサポート (ISO11898-1:2015 に非準拠)

NIE ビット

“1” にすると ISO/CD 11898-1 (2014-08-12 版) プロトコルに準拠した CAN FD をサポートします。この場合、ISO11898-1:2015 プロトコルには非準拠となります。このビットはグローバルリセットモードでのみ書き換えてください。このビットは、RSCFDn(CFD)GRMCFG レジスタの RCMC ビットが “0” (クラシカル CAN モード) 時、“0” になります。

14.4.5 受信ルール関連レジスタの詳細

14.4.5.1 RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCFDnCFDGAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLECTRL、RSCFDnCFDGAFLECTRH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDGAFLECTRLL、RSCFDnCFDGAFLECTRLH、RSCFDnCFDGAFLECTRHL、
RSCFDnCFDGAFLECTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLECTR: <RSCFDn_base> + 0098_H
RSCFDnCFDGAFLECTRL: <RSCFDn_base> + 0098_H、RSCFDnCFDGAFLECTRH: <RSCFDn_base> +
009A_H
RSCFDnCFDGAFLECTRLL: <RSCFDn_base> + 0098_H、RSCFDnCFDGAFLECTRLH: <RSCFDn_base> +
0099_H、
RSCFDnCFDGAFLECTRHL: <RSCFDn_base> + 009A_H、RSCFDnCFDGAFLECTRHH: <RSCFDn_base> +
009B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 14.112 RSCFDnCFDGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
4~0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 15 (01111 _B) の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0]ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“0000_B” ~ “01111_B” 以外の値を設定しないでください。

14.4.5.2 RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCFDnCFDGAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDGAFLCFG0L、RSCFDnCFDGAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDGAFLCFG0LL、RSCFDnCFDGAFLCFG0LH、RSCFDnCFDGAFLCFG0HL、

RSCFDnCFDGAFLCFG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLCFG0: <RSCFDn_base> + 009C_H

RSCFDnCFDGAFLCFG0L: <RSCFDn_base> + 009C_H、RSCFDnCFDGAFLCFG0H: <RSCFDn_base> + 009E_H

RSCFDnCFDGAFLCFG0LL: <RSCFDn_base> + 009C_H、RSCFDnCFDGAFLCFG0LH: <RSCFDn_base> + 009D_H、

RSCFDnCFDGAFLCFG0HL: <RSCFDn_base> + 009E_H、RSCFDnCFDGAFLCFG0HH: <RSCFDn_base> + 009F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.113 RSCFDnCFDGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31~24	RNC0[7:0]	チャンネル 0 用ルール数 チャンネル 0 の受信ルール数を設定してください。
23~16	RNC1[7:0]	チャンネル 1 用ルール数 チャンネル 1 の受信ルール数を設定してください。
15~8	RNC2[7:0]	チャンネル 2 用ルール数 チャンネル 2 の受信ルール数を設定してください。
7~0	RNC3[7:0]	チャンネル 3 用ルール数 チャンネル 3 の受信ルール数を設定してください。

RSCFDnCFDGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0]ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H~80_H以外の値を設定しないでください。

RNC1[7:0]ビット

チャンネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H～80_H以外の値を設定しないでください。

RNC2[7:0]ビット

チャンネル 2 の受信ルールテーブルに登録するルール数を設定します。

00_H～80_H以外の値を設定しないでください。

RNC3[7:0]ビット

チャンネル 3 の受信ルールテーブルに登録するルール数を設定します。

00_H～80_H以外の値を設定しないでください。

14.4.5.3 RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ (j = 0~15)

アクセス RSCFDnCFDGAFLIDj レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLIDjL、RSCFDnCFDGAFLIDjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLIDjLL、RSCFDnCFDGAFLIDjLH、RSCFDnCFDGAFLIDjHL、RSCFDnCFDGAFLIDjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLIDj: <RSCFDn_base> + 1000_H + (10_H × j)
RSCFDnCFDGAFLIDjL: <RSCFDn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjH: <RSCFDn_base> + 1002_H + (10_H × j)
RSCFDnCFDGAFLIDjLL: <RSCFDn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjLH: <RSCFDn_base> + 1001_H + (10_H × j)、
RSCFDnCFDGAFLIDjHL: <RSCFDn_base> + 1002_H + (10_H × j)、
RSCFDnCFDGAFLIDjHH: <RSCFDn_base> + 1003_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.114 RSCFDnCFDGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: 他の CAN ノードが送信したメッセージを受信時 1: 自らが送信したメッセージを受信時
28~0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10~b0 に ID を設定してください。b28~b11 は “0” にしてください。

RSCFDnCFDGAFLIDj レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールの用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールの用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

14.4.5.4 RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ (j = 0~15)

アクセス RSCFDnCFDGAFLMj レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLMjL、RSCFDnCFDGAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLMjLL、RSCFDnCFDGAFLMjLH、RSCFDnCFDGAFLMjHL、RSCFDnCFDGAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLMj: <RSCFDn_base> + 1004_H + (10_H × j)
RSCFDnCFDGAFLMjL: <RSCFDn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjH: <RSCFDn_base> + 1006_H + (10_H × j)
RSCFDnCFDGAFLMjLL: <RSCFDn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjLH: <RSCFDn_base> + 1005_H + (10_H × j)、
RSCFDnCFDGAFLMjHL: <RSCFDn_base> + 1006_H + (10_H × j)、
RSCFDnCFDGAFLMjHH: <RSCFDn_base> + 1007_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID EM	GAFLR TRM	—	GAFLIDM[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.115 RSCFDnCFDGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0 : IDE ビットを比較しない 1 : IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0 : RTR ビットを比較しない 1 : RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
28~0	GAFLIDM[28:0]	ID マスクビット 0 : 対応する ID ビットを比較しない 1 : 対応する ID ビットを比較する

RSCFDnCFDGAFLMj レジスタは、RSCFDnCFDGAFLMj レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCFDnCFDGAFLMj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0]ビット

受信ルールの対応する ID ビットをマスクするビットです。

14.4.5.5 RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ (j = 0~15)

アクセス RSCFDnCFDGAFLP0_j レジスタは、32 ビット単位でリード/ライト可能です。
 RSCFDnCFDGAFLP0_jL、RSCFDnCFDGAFLP0_jH レジスタは、16 ビット単位でリード/ライト可能です。
 RSCFDnCFDGAFLP0_jLL、RSCFDnCFDGAFLP0_jLH、RSCFDnCFDGAFLP0_jHL、
 RSCFDnCFDGAFLP0_jHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLP0_j: <RSCFDn_base> + 1008_H + (10_H × j)
 RSCFDnCFDGAFLP0_jL: <RSCFDn_base> + 1008_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jH: <RSCFDn_base> + 100A_H + (10_H × j)
 RSCFDnCFDGAFLP0_jLL: <RSCFDn_base> + 1008_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jLH: <RSCFDn_base> + 1009_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jHL: <RSCFDn_base> + 100A_H + (10_H × j)、
 RSCFDnCFDGAFLP0_jHH: <RSCFDn_base> + 100B_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLR MV	GAFLRMDP[6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 14.116 RSCFDnCFDGAFLP0_j レジスタの内容 (1/2)

ビット位置	ビット名	機能		
31~28	GAFLDLC[3:0]	受信ルール DLC 設定ビット		
		b31 b30 b29 b28	クラシカル CAN フレーム	CAN FD フレーム
		0 0 0 0	DLC チェックしない	
		0 0 0 1	1 データバイト	
		0 0 1 0	2 データバイト	
		0 0 1 1	3 データバイト	
		0 1 0 0	4 データバイト	
		0 1 0 1	5 データバイト	
		0 1 1 0	6 データバイト	
		0 1 1 1	7 データバイト	
		1 0 0 0	8 データバイト	
		1 0 0 1	8 データバイト	12 データバイト
		1 0 1 0		16 データバイト
		1 0 1 1		20 データバイト
		1 1 0 0		24 データバイト
		1 1 0 1		32 データバイト
1 1 1 0		48 データバイト		
1 1 1 1		64 データバイト		

表 14.116 RSCFDnCFDGAFLP0_j レジスタの内容 (2/2)

ビット位置	ビット名	機能
27~16	GAFLPTR[11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0: 受信バッファを使用しない 1: 受信バッファを使用する
14~8	GAFLRMDP[6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCFDnCFDGAFLP0_j レジスタは、RSCFDnCFDGAFLLECTR レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0]ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0]ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0]ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0]ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0]ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCFDnCFDRMNB レジスタの NRXMB[7:0]ビットで設定した値より小さい番号を設定してください。

14.4.5.6 RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ (j = 0~15)

アクセス RSCFDnCFDGAFLP1_j レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLP1_jL、RSCFDnCFDGAFLP1_jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGAFLP1_jLL、RSCFDnCFDGAFLP1_jLH、RSCFDnCFDGAFLP1_jHL、
RSCFDnCFDGAFLP1_jHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGAFLP1_j: <RSCFDn_base> + 100C_H + (10_H × j)
RSCFDnCFDGAFLP1_jL: <RSCFDn_base> + 100C_H + (10_H × j)、
RSCFDnCFDGAFLP1_jH: <RSCFDn_base> + 100E_H + (10_H × j)
RSCFDnCFDGAFLP1_jLL: <RSCFDn_base> + 100C_H + (10_H × j)、
RSCFDnCFDGAFLP1_jLH: <RSCFDn_base> + 100D_H + (10_H × j)、
RSCFDnCFDGAFLP1_jHL: <RSCFDn_base> + 100E_H + (10_H × j)、
RSCFDnCFDGAFLP1_jHH: <RSCFDn_base> + 100F_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	GAFLFDP[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.117 RSCFDnCFDGAFLP1_j レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19~8	GAFLFDP[19:8]	送受信 FIFO バッファ k 選択ビット (ビット位置-8 が対象となる送受信 FIFO バッファ番号 k になります) 0: 送受信 FIFO バッファを選択しない 1: 送受信 FIFO バッファを選択する
7~0	GAFLFDP[7:0]	受信 FIFO バッファ x 選択ビット (ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0: 受信 FIFO バッファを選択しない 1: 受信 FIFO バッファを選択する

RSCFDnCFDGAFLP1_j レジスタは、RSCFDnCFDGAFLP1_j レジスタの AFLDAE ビットが “1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[19:0]ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCFDnCFDGAFLP0_j レジスタの GAFLRMV ビットを “1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCFDnCFDGFCCk レジスタの CFM[1:0] ビットを “00_B” (受信モード) または “10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

14.4.6 受信バッファ関連レジスタの詳細

14.4.6.1 RSCFDnCFDRMNMB — 受信バッファナンバレジスタ

アクセス RSCFDnCFDRMNMB レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNBL、RSCFDnCFDRMNBLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNBL、RSCFDnCFDRMNBLH、RSCFDnCFDRMNBLH、RSCFDnCFDRMNBLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRMNMB: <RSCFDn_base> + 00A4_H
RSCFDnCFDRMNBL: <RSCFDn_base> + 00A4_H, RSCFDnCFDRMNBLH: <RSCFDn_base> + 00A6_H
RSCFDnCFDRMNBL: <RSCFDn_base> + 00A4_H, RSCFDnCFDRMNBLH: <RSCFDn_base> + 00A5_H,
RSCFDnCFDRMNBLH: <RSCFDn_base> + 00A6_H, RSCFDnCFDRMNBLH: <RSCFDn_base> + 00A7_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMPLS[1:0]	NRXMB[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.118 RSCFDnCFDRMNMB レジスタの内容

ビット位置	ビット名	機能
31~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	RMPLS[1:0]	受信バッファペイロード格納サイズ選択ビット b9 b8 0 0: 8 バイト 0 1: 12 バイト 1 0: 16 バイト 1 1: 20 バイト
7~0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0~64 の範囲で設定してください。

RSCFDnCFDRMNMB レジスタはグローバルリセットモードでのみ書き換えてください。

RMPLS[1:0]ビット

受信バッファに格納できるペイロードの上限サイズを選択します。

NRXMB[7:0]ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0” を設定すると、受信バッファは使用できません。

14.4.6.2 RSCFDnCFDRMNDy — 受信バッファ新データレジスタ (y = 0, 1)

アクセス RSCFDnCFDRMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNDyL、RSCFDnCFDRMNDyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRMNDyLL、RSCFDnCFDRMNDyLH、RSCFDnCFDRMNDyHL、RSCFDnCFDRMNDyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRMNDy: <RSCFDn_base> + 00A8_H + (04_H × y)
RSCFDnCFDRMNDyL: <RSCFDn_base> + 00A8_H + (04_H × y)、
RSCFDnCFDRMNDyH: <RSCFDn_base> + 00AA_H + (04_H × y)
RSCFDnCFDRMNDyLL: <RSCFDn_base> + 00A8_H + (04_H × y)、
RSCFDnCFDRMNDyLH: <RSCFDn_base> + 00A9_H + (04_H × y)、
RSCFDnCFDRMNDyHL: <RSCFDn_base> + 00AA_H + (04_H × y)、
RSCFDnCFDRMNDyHH: <RSCFDn_base> + 00AB_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31~y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15~y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.119 RSCFDnCFDRMNDy レジスタの内容

ビット位置	ビット名	機能
31~16	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 31~y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり
15~0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15~y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCFDnCFDRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0~63)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は受信バッファの格納ペイロードサイズによって異なり、RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットが“00_B” (8 バイト) のときは pclk の 12 クロック分、RMPLS[1:0] ビットが“11_B” (20 バイト) のときは pclk の 18 クロック分です (格納ペイロードサイズ 4 バイトあたり pclk の 2 クロック分)。

グローバルリセットモード時、“0”になります。

14.4.6.3 RSCFDnCFDRMIDq — 受信バッファ ID レジスタ (q = 0~63)

アクセス RSCFDnCFDRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqL、RSCFDnCFDRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqLL、RSCFDnCFDRMIDqLH、RSCFDnCFDRMIDqHL、RSCFDnCFDRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMIDq: <RSCFDn_base> + 2000_H + (20_H × q)
RSCFDnCFDRMIDqL: <RSCFDn_base> + 2000_H + (20_H × q)、
RSCFDnCFDRMIDqH: <RSCFDn_base> + 2002_H + (20_H × q)
RSCFDnCFDRMIDqLL: <RSCFDn_base> + 2000_H + (20_H × q)、
RSCFDnCFDRMIDqLH: <RSCFDn_base> + 2001_H + (20_H × q)、
RSCFDnCFDRMIDqHL: <RSCFDn_base> + 2002_H + (20_H × q)、
RSCFDnCFDRMIDqHH: <RSCFDn_base> + 2003_H + (20_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.120 RSCFDnCFDRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR/RRS ビット ● 受信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム ● 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28~0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID/拡張 ID が読めます。 標準 ID の場合は、b10~b0 を読んでください。b28~b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信したメッセージがクラシカル CAN フレームのとき、受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。受信したメッセージが CAN FD フレームのときはメッセージの RRS ビット値を示します。

RMID[28:0]ビット

受信バッファに格納されたメッセージの ID を示します。

14.4.6.4 RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ (q = 0~63)

アクセス RSCFDnCFDRMPTRq レジスタは、32 ビット単位でリードのみ可能です。
 RSCFDnCFDRMPTRqL、RSCFDnCFDRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
 RSCFDnCFDRMPTRqLL、RSCFDnCFDRMPTRqLH、RSCFDnCFDRMPTRqHL、RSCFDnCFDRMPTRqHH
 レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMPTRq: <RSCFDn_base> + 2004_H + (20_H × q)
 RSCFDnCFDRMPTRqL: <RSCFDn_base> + 2004_H + (20_H × q)、
 RSCFDnCFDRMPTRqH: <RSCFDn_base> + 2006_H + (20_H × q)
 RSCFDnCFDRMPTRqLL: <RSCFDn_base> + 2004_H + (20_H × q)、
 RSCFDnCFDRMPTRqLH: <RSCFDn_base> + 2005_H + (20_H × q)、
 RSCFDnCFDRMPTRqHL: <RSCFDn_base> + 2006_H + (20_H × q)、
 RSCFDnCFDRMPTRqHH: <RSCFDn_base> + 2007_H + (20_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.121 RSCFDnCFDRMPTRq レジスタの内容 (1/2)

ビット位置	ビット名	機能		
31~28	RMDLC[3:0]	受信バッファ DLC データ		
		b31 b30 b29 b28	クラシカル CAN フレーム	CAN FD フレーム
		0 0 0 0	0 データバイト	
		0 0 0 1	1 データバイト	
		0 0 1 0	2 データバイト	
		0 0 1 1	3 データバイト	
		0 1 0 0	4 データバイト	
		0 1 0 1	5 データバイト	
		0 1 1 0	6 データバイト	
		0 1 1 1	7 データバイト	
		1 0 0 0	8 データバイト	
		1 0 0 1	8 データバイト	12 データバイト
		1 0 1 0		16 データバイト
		1 0 1 1		20 データバイト
		1 1 0 0		24 データバイト
		1 1 0 1		32 データバイト
1 1 1 0		48 データバイト		
1 1 1 1		64 データバイト		

表 14.121 RSCFDnCFDRMPTRq レジスタの内容 (2/2)

ビット位置	ビット名	機能
27~16	RMPTR[11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15~0	RMTS[15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0]ビット

受信バッファに格納されたメッセージのデータ長を示します。受信バッファに格納されるペイロードのバイト数は RSCFDnCFDRMNB レジスタの RMPLS[1:0]ビットに従います。

RMPTR[11:0]ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0]ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

14.4.6.5 RSCFDnCFDRMFDSTSq — 受信バッファ CAN FD ステータスレジスタ (q=0~63)

アクセス RSCFDnCFDRMFDSTSq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqL、RSCFDnCFDRMFDSTSqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqLL、RSCFDnCFDRMFDSTSqLH、RSCFDnCFDRMFDSTSqHL、
RSCFDnCFDRMFDSTSqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMFDSTSq: $\langle \text{RSCFDn_base} \rangle + 2008_{\text{H}} + (20_{\text{H}} \times q)$
RSCFDnCFDRMFDSTSqL: $\langle \text{RSCFDn_base} \rangle + 2008_{\text{H}} + (20_{\text{H}} \times q)$ 、
RSCFDnCFDRMFDSTSqH: $\langle \text{RSCFDn_base} \rangle + 200A_{\text{H}} + (20_{\text{H}} \times q)$
RSCFDnCFDRMFDSTSqLL: $\langle \text{RSCFDn_base} \rangle + 2008_{\text{H}} + (20_{\text{H}} \times q)$ 、
RSCFDnCFDRMFDSTSqLH: $\langle \text{RSCFDn_base} \rangle + 2009_{\text{H}} + (20_{\text{H}} \times q)$ 、
RSCFDnCFDRMFDSTSqHL: $\langle \text{RSCFDn_base} \rangle + 200A_{\text{H}} + (20_{\text{H}} \times q)$ 、
RSCFDnCFDRMFDSTSqHH: $\langle \text{RSCFDn_base} \rangle + 200B_{\text{H}} + (20_{\text{H}} \times q)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RMFDF	RMBRS	RMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.122 RSCFDnCFDRMFDSTSq レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。
2	RMFDF	FDF ビット 0 : クラシカル CAN フレーム 1 : CAN FD フレーム
1	RMBRS	BRS ビット 0 : データ領域のビットレートは変わらない 1 : データ領域のビットレートは変わる
0	RMESI	ESI ビット 0 : エラーアクティブノード 1 : エラーパッシブノード

RMFDF ビット

受信バッファに格納されたメッセージの FD フォーマット (クラシカル CAN フレームまたは CAN FD フレーム) を示します。

RMBRS ビット

RMFDF ビットが “1” の場合は、受信バッファに格納されたメッセージの BRS ビット値を示します。
RMFDF ビットが “0” の場合は、常に “0” が読めます。

RMESI ビット

RMFDF ビットが “1” の場合は、受信バッファに格納されたメッセージの ESI ビット値を示します。
RMFDF ビットが “0” の場合は、常に “0” が読めます。

14.4.6.6 RSCFDnCFDRMDFb_q — 受信バッファデータフィールド b レジスタ (b = 0~4、q = 0~63)

アクセス RSCFDnCFDRMDFb_q レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qL、RSCFDnCFDRMDFb_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qLL、RSCFDnCFDRMDFb_qLH、RSCFDnCFDRMDFb_qHL、
RSCFDnCFDRMDFb_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMDFb_q: $\langle \text{RSCFDn_base} \rangle + 200\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$
RSCFDnCFDRMDFb_qL: $\langle \text{RSCFDn_base} \rangle + 200\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qH: $\langle \text{RSCFDn_base} \rangle + 200\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$
RSCFDnCFDRMDFb_qLL: $\langle \text{RSCFDn_base} \rangle + 200\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qLH: $\langle \text{RSCFDn_base} \rangle + 200\text{D}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qHL: $\langle \text{RSCFDn_base} \rangle + 200\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$ 、
RSCFDnCFDRMDFb_qHH: $\langle \text{RSCFDn_base} \rangle + 200\text{F}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times q)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB4 × b + 3 [7:0]								RMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB4 × b + 1 [7:0]								RMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.123 RSCFDnCFDRMDFb_q レジスタの内容

ビット位置	ビット名	機能
31~24	RMDB4 × b + 3 [7:0]	受信バッファデータバイト 4 × b + 3 受信バッファデータバイト 4 × b + 2 受信バッファデータバイト 4 × b + 1 受信バッファデータバイト 4 × b + 0 受信バッファに格納されたメッセージのデータが読めます。
23~16	RMDB4 × b + 2 [7:0]	
15~8	RMDB4 × b + 1 [7:0]	
7~0	RMDB4 × b + 0 [7:0]	

RSCFDnCFDRMPTRq レジスタの RMDLC[3:0] ビットの値が受信バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

受信バッファのペイロード格納サイズは RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRMDFb_q レジスタは読み書きしないでください。

14.4.7 受信 FIFO バッファ関連レジスタの詳細

14.4.7.1 RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0~7)

アクセス RSCFDnCFDRFCCx レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRFCCxL、RSCFDnCFDRFCCxH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRFCCxLL、RSCFDnCFDRFCCxLH、RSCFDnCFDRFCCxHL、RSCFDnCFDRFCCxHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRFCCx: <RSCFDn_base> + 00B8_H + (04_H × x)
RSCFDnCFDRFCCxL: <RSCFDn_base> + 00B8_H + (04_H × x)、
RSCFDnCFDRFCCxH: <RSCFDn_base> + 00BA_H + (04_H × x)
RSCFDnCFDRFCCxLL: <RSCFDn_base> + 00B8_H + (04_H × x)、
RSCFDnCFDRFCCxLH: <RSCFDn_base> + 00B9_H + (04_H × x)、
RSCFDnCFDRFCCxHL: <RSCFDn_base> + 00BA_H + (04_H × x)、
RSCFDnCFDRFCCxHH: <RSCFDn_base> + 00BB_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

表 14.124 RSCFDnCFDRFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
15~13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0]ビットで設定した条件に達したときに発生 1: 1メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。

表 14.124 RSCFDnCFDRFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
10~8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~4	RFPLS[2:0]	受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する

RFICV[2:0]ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (RFDC[2:0]の設定) に対する分数で指定します。

RFDC[2:0]ビットを“001_B” (4 メッセージ) に設定した場合は、RFICV[2:0]ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0]ビット

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFPLS[2:0]ビット

受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCFDnCFDRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

グローバルリセットモード時、“0” になります。

14.4.7.2 RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0~7)

アクセス RSCFDnCFDRFSTSx レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDRFSTSxL、RSCFDnCFDRFSTSxH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDRFSTSxLL、RSCFDnCFDRFSTSxLH、RSCFDnCFDRFSTSxHL、RSCFDnCFDRFSTSxHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRFSTSx: <RSCFDn_base> + 00D8_H + (04_H × x)

RSCFDnCFDRFSTSxL: <RSCFDn_base> + 00D8_H + (04_H × x)、

RSCFDnCFDRFSTSxH: <RSCFDn_base> + 00DA_H + (04_H × x)

RSCFDnCFDRFSTSxLL: <RSCFDn_base> + 00D8_H + (04_H × x)、

RSCFDnCFDRFSTSxLH: <RSCFDn_base> + 00D9_H + (04_H × x)、

RSCFDnCFDRFSTSxHL: <RSCFDn_base> + 00DA_H + (04_H × x)、

RSCFDnCFDRFSTSxHH: <RSCFDn_base> + 00DB_H + (04_H × x)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]							—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.125 RSCFDnCFDRFSTSx レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15~8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0]フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCFDnCFDRFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

このフラグは、グローバルリセットモード時、“00_H” になります。

RFIF フラグ

RSCFDnCFDRFCCx レジスタの RFIGCV[2:0]ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDRFCCx レジスタの RFDC[2:0]ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0]ビットで設定した段数より小さくなると “0” になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが “0” (受信 FIFO バッファを使用しない) のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

備 考

RFMLT もしくは RFIF フラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

14.4.7.3 RSCFDnCFDRFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0~7)

アクセス RSCFDnCFDRFPCTR_x レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTR_{xL}、RSCFDnCFDRFPCTR_{xH} レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTR_{xLL}、RSCFDnCFDRFPCTR_{xLH}、RSCFDnCFDRFPCTR_{xHL}、
RSCFDnCFDRFPCTR_{xHH} レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDRFPCTR_x: <RSCFDn_base> + 00F8_H + (04_H × x)
RSCFDnCFDRFPCTR_{xL}: <RSCFDn_base> + 00F8_H + (04_H × x)、
RSCFDnCFDRFPCTR_{xH}: <RSCFDn_base> + 00FA_H + (04_H × x)
RSCFDnCFDRFPCTR_{xLL}: <RSCFDn_base> + 00F8_H + (04_H × x)、
RSCFDnCFDRFPCTR_{xLH}: <RSCFDn_base> + 00F9_H + (04_H × x)、
RSCFDnCFDRFPCTR_{xHL}: <RSCFDn_base> + 00FA_H + (04_H × x)、
RSCFDnCFDRFPCTR_{xHH}: <RSCFDn_base> + 00FB_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.126 RSCFDnCFDRFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	RFPC[7:0]	受信 FIFO ポインタ制御 “FF _H ” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RSCFDnCFDCDTCT レジスタの RFDMAE_x ビットが “1” (DMA 転送要求を許可する) の場合、このレジスタに書き込みを行わないでください。

RFPC[7:0]ビット

RFPC[7:0]ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDRFSTS_x レジスタの RFMC[7:0]ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCFDnCFDRFID_x、RSCFDnCFDRFPTR_x、RSCFDnCFDRFFDSTS_x、RSCFDnCFDRFDFd_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0]ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCFDnCFDRFCC_x レジスタの RFE ビットが “1” (受信 FIFO バッファを使用する) で、RSCFDnCFDRFSTS_x レジスタの RFEMP フラグが “0” (未読メッセージあり) のときに行ってください。

14.4.7.4 RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0~7)

アクセス RSCFDnCFDRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxL、RSCFDnCFDRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxLL、RSCFDnCFDRFIDxLH、RSCFDnCFDRFIDxHL、RSCFDnCFDRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFIDx: $\langle \text{RSCFDn_base} \rangle + 3000_{\text{H}} + (80_{\text{H}} \times x)$
RSCFDnCFDRFIDxL: $\langle \text{RSCFDn_base} \rangle + 3000_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFIDxH: $\langle \text{RSCFDn_base} \rangle + 3002_{\text{H}} + (80_{\text{H}} \times x)$
RSCFDnCFDRFIDxLL: $\langle \text{RSCFDn_base} \rangle + 3000_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFIDxLH: $\langle \text{RSCFDn_base} \rangle + 3001_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFIDxHL: $\langle \text{RSCFDn_base} \rangle + 3002_{\text{H}} + (80_{\text{H}} \times x)$ 、
RSCFDnCFDRFIDxHH: $\langle \text{RSCFDn_base} \rangle + 3003_{\text{H}} + (80_{\text{H}} \times x)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.127 RSCFDnCFDRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RTR/RRS ビット ● 受信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム ● 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28~0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID/拡張 ID が読めます。 標準 ID の場合は、b10~b0 を読んでください。b28~b11 は “0” が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RFRTR ビット

受信したメッセージがクラシカル CAN フレームのとき、受信 FIFO バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。受信したメッセージが CAN FD フレームのときはメッセージの RRS ビット値を示します。

RFID[28:0]ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

14.4.7.5 RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0~7)

アクセス RSCFDnCFDRFPTRx レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDRFPTRxL、RSCFDnCFDRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDRFPTRxLL、RSCFDnCFDRFPTRxLH、RSCFDnCFDRFPTRxHL、RSCFDnCFDRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFPTRx: <RSCFDn_base> + 3004_H + (80_H × x)

RSCFDnCFDRFPTRxL: <RSCFDn_base> + 3004_H + (80_H × x)、

RSCFDnCFDRFPTRxH: <RSCFDn_base> + 3006_H + (80_H × x)

RSCFDnCFDRFPTRxLL: <RSCFDn_base> + 3004_H + (80_H × x)、

RSCFDnCFDRFPTRxLH: <RSCFDn_base> + 3005_H + (80_H × x)、

RSCFDnCFDRFPTRxHL: <RSCFDn_base> + 3006_H + (80_H × x)、

RSCFDnCFDRFPTRxHH: <RSCFDn_base> + 3007_H + (80_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.128 RSCFDnCFDRFPTRx レジスタの内容 (1/2)

ビット位置	ビット名	機能		
31~28	RFDLC[3:0]	受信 FIFO バッファ DLC データ		
		b31 b30 b29 b28	クラシカル CAN フレーム	CAN FD フレーム
		0 0 0 0	0 データバイト	
		0 0 0 1	1 データバイト	
		0 0 1 0	2 データバイト	
		0 0 1 1	3 データバイト	
		0 1 0 0	4 データバイト	
		0 1 0 1	5 データバイト	
		0 1 1 0	6 データバイト	
		0 1 1 1	7 データバイト	
		1 0 0 0	8 データバイト	
		1 0 0 1	8 データバイト	12 データバイト
		1 0 1 0		16 データバイト
		1 0 1 1		20 データバイト
		1 1 0 0		24 データバイト
		1 1 0 1		32 データバイト
1 1 1 0		48 データバイト		
1 1 1 1		64 データバイト		

表 14.128 RSCFDnCFDRFPTRx レジスタの内容 (2/2)

ビット位置	ビット名	機能
27~16	RFPTR[11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15~0	RFTS[15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0]ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0]ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0]ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

14.4.7.6 RSCFDnCFDRFFDSTSx — 受信 FIFO CAN FD ステータスレジスタ (x = 0~7)

アクセス RSCFDnCFDRFFDSTSx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxL、RSCFDnCFDRFFDSTSxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxLL、RSCFDnCFDRFFDSTSxLH、RSCFDnCFDRFFDSTSxHL、
RSCFDnCFDRFFDSTSxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFFDSTSx: <RSCFDn_base> + 3008_H + (80_H × x)
RSCFDnCFDRFFDSTSxL: <RSCFDn_base> + 3008_H + (80_H × x)、
RSCFDnCFDRFFDSTSxH: <RSCFDn_base> + 300A_H + (80_H × x)
RSCFDnCFDRFFDSTSxLL: <RSCFDn_base> + 3008_H + (80_H × x)、
RSCFDnCFDRFFDSTSxLH: <RSCFDn_base> + 3009_H + (80_H × x)、
RSCFDnCFDRFFDSTSxHL: <RSCFDn_base> + 300A_H + (80_H × x)、
RSCFDnCFDRFFDSTSxHH: <RSCFDn_base> + 300B_H + (80_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFDF	RFBR	RFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.129 RSCFDnCFDRFFDSTSx レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFFDF	FDF ビット 0 : クラシカル CAN フレーム 1 : CAN FD フレーム
1	RFBR	BRS ビット 0 : データ領域のビットレートは変わらない 1 : データ領域のビットレートは変わる
0	RFESI	ESI ビット 0 : エラーアクティブノード 1 : エラーパッシブノード

RFFDF ビット

受信 FIFO バッファに格納されたメッセージの FD フォーマット (クラシカル CAN フレームまたは CAN FD フレーム) を示します。

RFBR ビット

RFFDF ビットが “1” の場合は、受信 FIFO バッファに格納されたメッセージの BRS ビット値を示します。RFFDF ビットが “0” の場合は、常に “0” が読めます。

RFESI ビット

RFDF ビットが “1” の場合は、受信 FIFO バッファに格納されたメッセージの ESI ビット値を示します。
RFDF ビットが “0” の場合は、常に “0” が読めます。

14.4.7.7 RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0~15、x = 0~7)

アクセス RSCFDnCFDRFDFd_x レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xL、RSCFDnCFDRFDFd_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xLL、RSCFDnCFDRFDFd_xLH、RSCFDnCFDRFDFd_xHL、
RSCFDnCFDRFDFd_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFDFd_x: <RSCFDn_base> + 300C_H + (04_H × d) + (80_H × x)
RSCFDnCFDRFDFd_xL: <RSCFDn_base> + 300C_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xH: <RSCFDn_base> + 300E_H + (04_H × d) + (80_H × x)
RSCFDnCFDRFDFd_xLL: <RSCFDn_base> + 300C_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xLH: <RSCFDn_base> + 300D_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHL: <RSCFDn_base> + 300E_H + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHH: <RSCFDn_base> + 300F_H + (04_H × d) + (80_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB4 × d + 3 [7:0]								RFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB4 × d + 1 [7:0]								RFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.130 RSCFDnCFDRFDFd_x レジスタの内容

ビット位置	ビット名	機能
31~24	RFDB4 × d + 3 [7:0]	受信 FIFO バッファデータバイト 4 × d + 3 受信 FIFO バッファデータバイト 4 × d + 2 受信 FIFO バッファデータバイト 4 × d + 1 受信 FIFO バッファデータバイト 4 × d + 0 受信 FIFO バッファに格納されたメッセージのデータが読めます。
23~16	RFDB4 × d + 2 [7:0]	
15~8	RFDB4 × d + 1 [7:0]	
7~0	RFDB4 × d + 0 [7:0]	

RSCFDnCFDRFPTRx レジスタの RFDLC[3:0] ビットの値が受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRFDFd_x レジスタは読み書きしないでください。

14.4.8 送受信 FIFO バッファ関連レジスタの詳細

14.4.8.1 RSCFDnCFDCFCCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0~11)

アクセス RSCFDnCFDCFCCK レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFCCKL、RSCFDnCFDCFCCKH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFCCKLL、RSCFDnCFDCFCCKLH、RSCFDnCFDCFCCKHL、RSCFDnCFDCFCCKHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFCCK: <RSCFDn_base> + 0118_H + (04_H × k)
RSCFDnCFDCFCCKL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCKH: <RSCFDn_base> + 011A_H + (04_H × k)
RSCFDnCFDCFCCKLL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCKLH: <RSCFDn_base> + 0119_H + (04_H × k)、
RSCFDnCFDCFCCKHL: <RSCFDn_base> + 011A_H + (04_H × k)、
RSCFDnCFDCFCCKHH: <RSCFDn_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]				CFITR	CFITSS	CFM[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]		CFIM	—	CFDC[2:0]		—	CFPLS[2:0]		—	CFTXIE	CFRXIE	CFE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 14.131 RSCFDnCFDCFCCK レジスタの内容 (1/3)

ビット位置	ビット名	機能
31~24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値: 00 _H ~FF _H
23~20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0: pclk/2 を ITRCP [15:0]ビットで分周したクロック 1: pclk/2 を ITRCP [15:0]ビットの値×10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0: CFITR ビットで選択したクロックソース 1: 関連チャンネルの通常ビットタイムクロック
17~16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0: 受信モード 0 1: 送信モード 1 0: ゲートウェイモード 1 1: 設定しないでください

表 14.131 RSCFDnCFDCFCCK レジスタの内容 (2/3)

ビット位置	ビット名	機能
15~13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0: <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0]ビットで設定した条件に達したとき、 FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、 FIFO 送信割り込み要求発生 1: <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10~8	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~4	CFPLS[2:0]	送受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0: 送受信 FIFO 送信割り込み禁止 1: 送受信 FIFO 送信割り込み許可

表 14.131 RSCFDnCFDCFCCK レジスタの内容 (3/3)

ビット位置	ビット名	機能
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0: 送受信 FIFO 受信割り込み禁止 1: 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0: 送受信 FIFO バッファを使用しない 1: 送受信 FIFO バッファを使用する

CFITT[7:0]ビット

CFM[1:0]ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0]ビットを書き換えてください。

CFTML[3:0]ビット

CFM[1:0]ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 m は、k/3 の整数となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、 $(16 \times m) + \text{CFTML}[3:0]$ となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 14.88** および **表 14.89** を参照してください。

CFDC[2:0]ビットを“001_B”以上にすると、CFTML[3:0]ビットの設定が有効になります。

同一チャンネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCFDnCFDGCFCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCFDnCFDGCFCFG レジスタの ITRCP[15:0] ビットの値×10 で分周したクロックとなります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャンネルの通常ビットタイムクロックがインターバルタイマのカウントソースになります。CAN FD フレームを扱わないチャンネルにのみ使用してください。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITSS ビットを書き換えてください。

CFM[1:0]ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0]ビット

CFM[1:0]ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数 (CFDC[2:0]の設定) に対する分数で指定します。

CFDC[2:0]ビットを“001_B” (4 メッセージ) に設定した場合は、CFIGCV[2:0]ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0]ビット

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFPLS[2:0]ビット

送受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCFDnCFDCFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時:グローバルリセットモード
- 送信モードまたはゲートウェイモード時:チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード:グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード:チャンネル通信モードまたはチャンネル待機モード

このビットは、RSCFDnCFDFCCK レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

14.4.8.2 RSCFDnCFDCFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0~11)

アクセス RSCFDnCFDCFSTSk レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDCFSTSkL、RSCFDnCFDCFSTSkH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDCFSTSkLL、RSCFDnCFDCFSTSkLH、RSCFDnCFDCFSTSkHL、RSCFDnCFDCFSTSkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFSTSk: <RSCFDn_base> + 0178_H + (04_H × k)

RSCFDnCFDCFSTSkL: <RSCFDn_base> + 0178_H + (04_H × k)、

RSCFDnCFDCFSTSkH: <RSCFDn_base> + 017A_H + (04_H × k)

RSCFDnCFDCFSTSkLL: <RSCFDn_base> + 0178_H + (04_H × k)、

RSCFDnCFDCFSTSkLH: <RSCFDn_base> + 0179_H + (04_H × k)、

RSCFDnCFDCFSTSkHL: <RSCFDn_base> + 017A_H + (04_H × k)、

RSCFDnCFDCFSTSkHH: <RSCFDn_base> + 017B_H + (04_H × k)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	RW ^{注1}	RW ^{注1}	RW ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.132 RSCFDnCFDCFSTSk レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15~8	CFMC[7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0]ビット

CFMC[7:0]ビットが示す値は、RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットの設定により次のようになります。

- CFM[1:0]ビットが “01_B” (送信モード) の場合：バッファに格納した未送信メッセージ数
- CFM[1:0]ビットが “00_B” (受信モード) の場合：バッファに格納された未読の受信メッセージ数
- CFM[1:0]ビットが “10_B” (ゲートウェイモード) の場合：バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0]ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0]ビットが “01_B” または “10_B” の場合：チャンネルリセットモード
- RSCFDnCFDCFCCK レジスタの CFE ビットが “0” の場合

CCTXIF フラグ

次の条件で、CCTXIF フラグは “1” になります。

- CFM[1:0]ビットが “01_B” または “10_B” で、RSCFDnCFDCFCCK レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CCTXIF フラグは “0” になります。

- CCTXIF フラグへの “0” 書き込み
- CFM[1:0]ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0]ビットが “01_B” または “10_B” の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。 “0” を書く場合はストア命令を使用し、 “0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0]ビットが “00_B” または “10_B” で、RSCFDnCFDCFCCK レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0]ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0]ビットが “01_B” または “10_B” の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。 “0” を書く場合はストア命令を使用し、 “0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDCFCCK レジスタの CFDC[2:0]ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0]ビットで設定した段数より小さくなったとき
- RSCFDnCFDCFCCK レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0]ビットが“00_B”の場合：全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0]ビットが“00_B”または“10_B”の場合：受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0]ビットが“01_B”の場合：RSCFDnCFDCFDK、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDf_k レジスタに書いてから、RSCFDnCFDCFPCTRk レジスタに“FF_H”を書いたとき

備考

CFTXIF, CFRXIF, CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

14.4.8.3 RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0~11)

アクセス RSCFDnCFDCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkL、RSCFDnCFDCFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkLL、RSCFDnCFDCFPCTRkLH、RSCFDnCFDCFPCTRkHL、
RSCFDnCFDCFPCTRkHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDCFPCTRk: <RSCFDn_base> + 01D8_H + (04_H × k)
RSCFDnCFDCFPCTRkL: <RSCFDn_base> + 01D8_H + (04_H × k)、
RSCFDnCFDCFPCTRkH: <RSCFDn_base> + 01DA_H + (04_H × k)
RSCFDnCFDCFPCTRkLL: <RSCFDn_base> + 01D8_H + (04_H × k)、
RSCFDnCFDCFPCTRkLH: <RSCFDn_base> + 01D9_H + (04_H × k)、
RSCFDnCFDCFPCTRkHL: <RSCFDn_base> + 01DA_H + (04_H × k)、
RSCFDnCFDCFPCTRkHH: <RSCFDn_base> + 01DB_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.133 RSCFDnCFDCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	CFPC[7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> ● 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 ● 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ● ゲートウェイモード時 設定しないでください。

対応する送受信 FIFO バッファがチャンネル m に割り当てられた先頭の送受信 FIFO バッファ (k は 3 × m) のとき、RSCFDnCFDCDTCT レジスタの CFDMAEm ビットが “1” (DMA 転送要求を許可する) の場合、このレジスタに書き込みを行わないでください。

CFPC[7:0]ビット

- 受信モード (RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットが “00_B”) のとき：
CFPC[7:0]ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDCFSTSk レジスタの CFMC[7:0]ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFFDk レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0]ビットに “FF_H” を書いてください。

なお、“FF_H”の書き込みは RSCFDnCFDCFCCK レジスタの CFE ビットが“1”（送受信 FIFO バッファを使用する）で、RSCFDnCFDCFSTSk レジスタの CFEMP フラグが“0”（メッセージあり）のときに行ってください。

- 送信モード（RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットが“01_B”）のとき：
CFPC[7:0]ビットに“FF_H”を書くと、RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDf_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0]ビットの値が 1 加算されます。RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDf_k レジスタに送信メッセージを書いた後に、CFPC[7:0]ビットに“FF_H”を書いてください。
なお、“FF_H”の書き込みは、RSCFDnCFDCFCCK レジスタの CFE ビットが“1”で、RSCFDnCFDCFSTSk レジスタの CFLL フラグが“0”（フルではない）のときに行ってください。
- ゲートウェイモード（RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットが“10_B”）のとき：
設定しないでください。

14.4.8.4 RSCFDnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0~11)

アクセス RSCFDnCFDCFIDk レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFIDkL、RSCFDnCFDCFIDkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFIDkLL、RSCFDnCFDCFIDkLH、RSCFDnCFDCFIDkHL、RSCFDnCFDCFIDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFIDk: <RSCFDn_base> + 3400_H + (80_H × k)
RSCFDnCFDCFIDkL: <RSCFDn_base> + 3400_H + (80_H × k)、
RSCFDnCFDCFIDkH: <RSCFDn_base> + 3402_H + (80_H × k)
RSCFDnCFDCFIDkLL: <RSCFDn_base> + 3400_H + (80_H × k)、
RSCFDnCFDCFIDkLH: <RSCFDn_base> + 3401_H + (80_H × k)、
RSCFDnCFDCFIDkHL: <RSCFDn_base> + 3402_H + (80_H × k)、
RSCFDnCFDCFIDkHH: <RSCFDn_base> + 3403_H + (80_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.134 RSCFDnCFDCFIDk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR/RRS ビット <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 <ul style="list-style-type: none"> 送信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム 送信メッセージが CAN FD フレームのとき “0” を書いてください。 CFM[1:0]ビットが“00_B” (受信モード) 時 <ul style="list-style-type: none"> 受信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	THLEN	送信履歴データ格納許可ビット CFM[1:0]ビットが“01 _B ” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する

表 14.134 RSCFDnCFDCFDk レジスタの内容 (2/2)

ビット位置	ビット名	機能
28~0	CFID[28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10~b0 に ID を設定してください。b28~b11 は“0” にしてください。 CFM[1:0]ビットが“00_B” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10~b0 を読んでください。b28~b11 は“0” が読めます。

RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0]ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0]ビットが“01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0]ビットが“00_B” のとき、受信したメッセージがクラシカル CAN フレームならば、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。受信したメッセージが CAN FD フレームのときはメッセージの RRS ビット値を示します。

CFM[1:0]ビットが“01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが“1” (CAN FD フレーム) であるときは、“0” にしてください。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ) が送信履歴バッファに格納されます。

CFM[1:0]ビットが“01_B” (送信モード) のときに、有効になります。

CFID[28:0]ビット

CFM[1:0]ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいません。

CFM[1:0]ビットが“01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

14.4.8.5 RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0~11)

アクセス RSCFDnCFDCFPTRk レジスタは、32 ビット単位でリード/ライト可能です。
 RSCFDnCFDCFPTRkL、RSCFDnCFDCFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。
 RSCFDnCFDCFPTRkLL、RSCFDnCFDCFPTRkLH、RSCFDnCFDCFPTRkHL、RSCFDnCFDCFPTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFPTRk: <RSCFDn_base> + 3404_H + (80_H × k)
 RSCFDnCFDCFPTRkL: <RSCFDn_base> + 3404_H + (80_H × k)、
 RSCFDnCFDCFPTRkH: <RSCFDn_base> + 3406_H + (80_H × k)
 RSCFDnCFDCFPTRkLL: <RSCFDn_base> + 3404_H + (80_H × k)、
 RSCFDnCFDCFPTRkLH: <RSCFDn_base> + 3405_H + (80_H × k)、
 RSCFDnCFDCFPTRkHL: <RSCFDn_base> + 3406_H + (80_H × k)、
 RSCFDnCFDCFPTRkHH: <RSCFDn_base> + 3407_H + (80_H × k)

リセット後の値 0000 0000_H

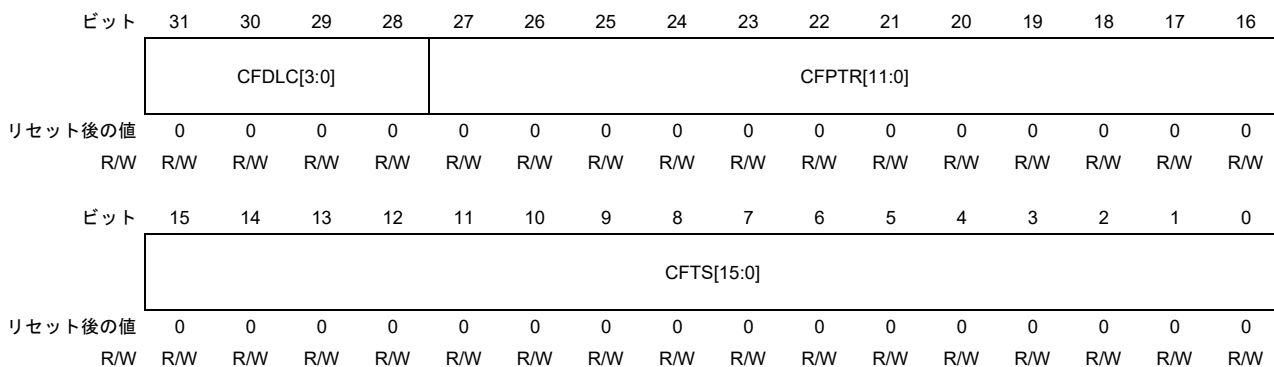


表 14.135 RSCFDnCFDCFPTRk レジスタの内容 (1/2)

ビット位置	ビット名	機能		
31~28	CFDLC[3:0]	送受信 FIFO バッファ DLC データ		
		b31 b30 b29 b28	クラシカル CAN フレーム	CAN FD フレーム
		0 0 0 0	0 データバイト	
		0 0 0 1	1 データバイト	
		0 0 1 0	2 データバイト	
		0 0 1 1	3 データバイト	
		0 1 0 0	4 データバイト	
		0 1 0 1	5 データバイト	
		0 1 1 0	6 データバイト	
		0 1 1 1	7 データバイト	
		1 0 0 0	8 データバイト	
		1 0 0 1	8 データバイト	12 データバイト
		1 0 1 0		16 データバイト
		1 0 1 1		20 データバイト
		1 1 0 0		24 データバイト
		1 1 0 1		32 データバイト
1 1 1 0		48 データバイト		
1 1 1 1		64 データバイト		

表 14.135 RSCFDnCFDCFPTRk レジスタの内容 (2/2)

ビット位置	ビット名	機能
27~16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0]のみ有効です。 CFM[1:0]ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。
15~0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0]ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0]ビット

CFM[1:0]ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0]ビットが“01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが“0” (クラシカル CAN フレーム) のときに CFDLC[3:0]ビットに“1001_B” 以上を設定した場合、実際に送られるデータは 8 バイトになります。CFFDF ビットが“1” (CAN FD フレーム) のとき、RSCFDnCFDCmFDCFCG レジスタの TMME ビットおよび RSCFDnCFDCFCCK レジスタの CFPLS[2:0]ビットによって設定可能な値の範囲が異なります。

- TMME ビットが“0” (送信バッファマージモード禁止) の場合：
“0000_B” ~ “1111_B” の全ての値が設定できます。設定したデータ長が CFPLS[2:0]ビットで設定したペイロード格納サイズを超えると、超えた分のペイロードは“CC_H” でパディングされます。
- TMME ビットが“1” (送信バッファマージモード許可) の場合：
データ長は CFPLS[2:0]ビットで設定したペイロード格納サイズを超えないように設定してください。

CFPTR[11:0]ビット

CFM[1:0]ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0]ビットが“01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0]ビットの値が送信履歴に格納されます。

CFTS[15:0]ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0]ビットが“00_B” のときに、有効になります。

14.4.8.6 RSCFDnCFDCFFDCSTSk — 送受信 FIFO CAN FD コンフィグレーションステータスレジスタ (k = 0~11)

アクセス RSCFDnCFDCFFDCSTSk レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDCFFDCSTSkL、RSCFDnCFDCFFDCSTSkH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDCFFDCSTSkLL、RSCFDnCFDCFFDCSTSkLH、RSCFDnCFDCFFDCSTSkHL、RSCFDnCFDCFFDCSTSkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFFDCSTSk: <RSCFDn_base> + 3408_H + (80_H × k)

RSCFDnCFDCFFDCSTSkL: <RSCFDn_base> + 3408_H + (80_H × k)、

RSCFDnCFDCFFDCSTSkH: <RSCFDn_base> + 340A_H + (80_H × k)

RSCFDnCFDCFFDCSTSkLL: <RSCFDn_base> + 3408_H + (80_H × k)、

RSCFDnCFDCFFDCSTSkLH: <RSCFDn_base> + 3409_H + (80_H × k)、

RSCFDnCFDCFFDCSTSkHL: <RSCFDn_base> + 340A_H + (80_H × k)、

RSCFDnCFDCFFDCSTSkHH: <RSCFDn_base> + 340B_H + (80_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CFFDF	CFBRS	CFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 14.136 RSCFDnCFDCFFDCSTSk レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFFDF	FD ビット 0: クラシカル CAN フレーム 1: CAN FD フレーム
1	CFBRS	BRS ビット 0: データ領域のビットレートは変わらない 1: データ領域のビットレートは変わる
0	CFESI	ESI ビット 0: エラーアクティブノード 1: エラーパッシブノード

RSCFDnCFDCFCk レジスタの CFM[1:0] ビットが “01_B” (送信モード) の場合のみ、このレジスタに書きます。CFM[1:0] ビットが “00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFFDF ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納されたメッセージの FD フォーマット (クラシカル CAN フレームまたは CAN FD フレーム) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの FD フォーマットを設定します。

CFBRS ビット

CFM[1:0]ビットが“00_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファに格納された受信メッセージの BRS ビット値を示し、CFFDF ビットが“0”ならば常に“0”が読めます。

CFM[1:0]ビットが“01_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファから送信するメッセージの BRS ビット値を設定します。CFFDF ビットが“0”ならば“0”を書いてください。

CFESI ビット

CFM[1:0]ビットが“00_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファに格納された受信メッセージの ESI ビット値を示し、CFFDF ビットが“0”ならば常に“0”が読めます。

CFM[1:0]ビットが“01_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが“1”かつチャンネルがエラーアクティブ状態のとき送信されます。チャンネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。CFFDF ビットが“0”のときは“0”を書いてください。

14.4.8.7 RSCFDnCFDCFDf_d_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ (d = 0~15、k = 0~11)

アクセス RSCFDnCFDCFDf_d_k レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCFDf_d_kL、RSCFDnCFDCFDf_d_kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCFDf_d_kLL、RSCFDnCFDCFDf_d_kLH、RSCFDnCFDCFDf_d_kHL、
RSCFDnCFDCFDf_d_kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCFDf_d_k: <RSCFDn_base> + 340C_H + (04_H × d) + (80_H × k)
RSCFDnCFDCFDf_d_kL: <RSCFDn_base> + 340C_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kH: <RSCFDn_base> + 340E_H + (04_H × d) + (80_H × k)
RSCFDnCFDCFDf_d_kLL: <RSCFDn_base> + 340C_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kLH: <RSCFDn_base> + 340D_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kHL: <RSCFDn_base> + 340E_H + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDf_d_kHH: <RSCFDn_base> + 340F_H + (04_H × d) + (80_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB4 × d + 3 [7:0]								CFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB4 × d + 1 [7:0]								CFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.137 RSCFDnCFDCFDf_d_k レジスタの内容

ビット位置	ビット名	機能
31~24	CFDB4 × d + 3 [7:0]	送受信 FIFO バッファデータバイト 4 × d + 3
23~16	CFDB4 × d + 2 [7:0]	送受信 FIFO バッファデータバイト 4 × d + 2 送受信 FIFO バッファデータバイト 4 × d + 1 送受信 FIFO バッファデータバイト 4 × d + 0
15~8	CFDB4 × d + 1 [7:0]	<ul style="list-style-type: none"> CFM[1:0]ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0]ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
7~0	CFDB4 × d + 0 [7:0]	

RSCFDnCFDCFCCK レジスタの CFM[1:0]ビットが“01_B” (送信モード) の場合のみ、このレジスタに書きます。CFM[1:0]ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。

RSCFDnCFDCFPTRk レジスタの CFDL[3:0]ビットの値が送受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

送受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDCFCCK レジスタの CFPLS[2:0]ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDCFDf_d_k レジスタは読み書きしないでください。

CFM[1:0]ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

14.4.9 FIFO ステータス関連レジスタの詳細

14.4.9.1 RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ

アクセス RSCFDnCFDFESTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDFESTSL、RSCFDnCFDFESTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDFESTSLL、RSCFDnCFDFESTSLH、RSCFDnCFDFESTSHL、RSCFDnCFDFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFESTS: <RSCFDn_base> + 0238_H

RSCFDnCFDFESTSL: <RSCFDn_base> + 0238_H, RSCFDnCFDFESTSH: <RSCFDn_base> + 023A_H

RSCFDnCFDFESTSLL: <RSCFDn_base> + 0238_H, RSCFDnCFDFESTSLH: <RSCFDn_base> + 0239_H,

RSCFDnCFDFESTSHL: <RSCFDn_base> + 023A_H, RSCFDnCFDFESTSHH: <RSCFDn_base> + 023B_H

リセット後の値 03FF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.138 RSCFDnCFDFESTS レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0~11)
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0~7)
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCFDnCFDFESTS レジスタは、グローバルリセットモード時、“03FF FFFF_H”になります。

CFkEMP フラグ (k = 0~11)

RSCFDnCFDCFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

RFxEEMP フラグ (x = 0~7)

RSCFDnCFDRFSTSc レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEEMP フラグは“0”になります。

14.4.9.2 RSCFDnCFDFFSTS — FIFO フルステータスレジスタ

アクセス RSCFDnCFDFFSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDFFSTS_L、RSCFDnCFDFFSTS_H レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDFFSTS_{LL}、RSCFDnCFDFFSTS_{SLH}、RSCFDnCFDFFSTS_{SHL}、RSCFDnCFDFFSTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFFSTS: <RSCFDn_base> + 023C_H

RSCFDnCFDFFSTS_L: <RSCFDn_base> + 023C_H、RSCFDnCFDFFSTS_H: <RSCFDn_base> + 023E_H

RSCFDnCFDFFSTS_{LL}: <RSCFDn_base> + 023C_H、RSCFDnCFDFFSTS_{SLH}: <RSCFDn_base> + 023D_H、

RSCFDnCFDFFSTS_{SHL}: <RSCFDn_base> + 023E_H、RSCFDnCFDFFSTS_{SHH}: <RSCFDn_base> + 023F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11FLL	CF10FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.139 RSCFDnCFDFFSTS レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11FLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0~11)
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0~7)
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCFDnCFDFFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0~11)

RSCFD_nCFDCFSTSk レジスタの CFLL フラグが “1” (バッファフル) になると、CFkFLL フラグは “1” になります。

CFLL フラグが “0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ (x = 0~7)

RSCFD_nCFDRFSTStx レジスタの RFLL フラグが “1” (バッファフル) になると、RFxFLL フラグは “1” になります。RFLL フラグが “0” (バッファフルでない) になると、RFxFLL フラグは “0” になります。

14.4.9.3 RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCFDnCFDFMSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDFMSTSLL、RSCFDnCFDFMSTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDFMSTSLL、RSCFDnCFDFMSTSLH、RSCFDnCFDFMSTSHL、RSCFDnCFDFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFMSTS: <RSCFDn_base> + 0240_H

RSCFDnCFDFMSTSLL: <RSCFDn_base> + 0240_H、RSCFDnCFDFMSTSH: <RSCFDn_base> + 0242_H

RSCFDnCFDFMSTSLL: <RSCFDn_base> + 0240_H、RSCFDnCFDFMSTSLH: <RSCFDn_base> + 0241_H、

RSCFDnCFDFMSTSHL: <RSCFDn_base> + 0242_H、RSCFDnCFDFMSTSHH: <RSCFDn_base> + 0243_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.140 RSCFDnCFDFMSTS レジスタの内容

ビット位置	ビット名	機能
31~20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0~11)
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0~7)
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCFDnCFDFMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0~11)

RSCFDnCFDCFSTSk レジスタの CFMLT フラグが “1” (メッセージロスト) になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ (x = 0~7)

RSCFDnCFDRFSTStx レジスタの RFMLT フラグが “1” (メッセージロスト) になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

14.4.9.4 RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCFDnCFDRFISTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDRFISTSL、RSCFDnCFDRFISTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDRFISTSLL、RSCFDnCFDRFISTSLH、RSCFDnCFDRFISTSHL、RSCFDnCFDRFISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFISTS: <RSCFDn_base> + 0244_H

RSCFDnCFDRFISTSL: <RSCFDn_base> + 0244_H、RSCFDnCFDRFISTSH: <RSCFDn_base> + 0246_H

RSCFDnCFDRFISTSLL: <RSCFDn_base> + 0244_H、RSCFDnCFDRFISTSLH: <RSCFDn_base> + 0245_H、

RSCFDnCFDRFISTSHL: <RSCFDn_base> + 0246_H、RSCFDnCFDRFISTSHH: <RSCFDn_base> + 0247_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.141 RSCFDnCFDRFISTS レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0~7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCFDnCFDRFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ (x = 0~7)

RSCFDnCFDRFISTSx レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

14.4.9.5 RSCFDnCFDCFRISTS — 送受信 FIFO バッファ受信割り込みフラグステータスタスタ

アクセス RSCFDnCFDCFRISTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDCFRISTS_L、RSCFDnCFDCFRISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDCFRISTS_{LL}、RSCFDnCFDCFRISTS_{LH}、RSCFDnCFDCFRISTS_{SHL}、

RSCFDnCFDCFRISTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFRISTS: <RSCFDn_base> + 0248_H

RSCFDnCFDCFRISTS_L: <RSCFDn_base> + 0248_H、RSCFDnCFDCFRISTS_{SH}: <RSCFDn_base> + 024A_H

RSCFDnCFDCFRISTS_{LL}: <RSCFDn_base> + 0248_H、RSCFDnCFDCFRISTS_{LH}: <RSCFDn_base> + 0249_H、

RSCFDnCFDCFRISTS_{SHL}: <RSCFDn_base> + 024A_H、RSCFDnCFDCFRISTS_{SHH}: <RSCFDn_base> + 024B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.142 RSCFDnCFDCFRISTS レジスタの内容

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0~11)
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCFDnCFDCFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0~11)

RSCFDnCFDCFRISTS_k レジスタの CFRXIF フラグが“1” (割り込み要求あり) になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

14.4.9.6 RSCFDnCFDCFTISTS — 送受信 FIFO バッファ送信割り込みフラグステータスタスタ

アクセス RSCFDnCFDCFTISTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDCFTISTS_{SL}、RSCFDnCFDCFTISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDCFTISTS_{SL}、RSCFDnCFDCFTISTS_{SLH}、RSCFDnCFDCFTISTS_{SHL}、RSCFDnCFDCFTISTS_{SHH} レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFTISTS: <RSCFDn_base> + 024C_H

RSCFDnCFDCFTISTS_{SL}: <RSCFDn_base> + 024C_H、RSCFDnCFDCFTISTS_{SH}: <RSCFDn_base> + 024E_H

RSCFDnCFDCFTISTS_{SL}: <RSCFDn_base> + 024C_H、RSCFDnCFDCFTISTS_{SLH}: <RSCFDn_base> + 024D_H、

RSCFDnCFDCFTISTS_{SHL}: <RSCFDn_base> + 024E_H、RSCFDnCFDCFTISTS_{SHH}: <RSCFDn_base> + 024F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.143 RSCFDnCFDCFTISTS レジスタの内容

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0 : 送受信 FIFO バッファ k 送信割り込み要求なし 1 : 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0~11)
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCFDnCFDCFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0~11)

RSCFDnCFDCFTISTS_{sk} レジスタの CFTXIF フラグが“1” (割り込み要求あり) になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

14.4.10 FIFO DMA 関連レジスタの詳細

14.4.10.1 RSCFDnCFDCDTCT — DMA 許可レジスタ

アクセス RSCFDnCFDCDTCT レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDCDTCTL、RSCFDnCFDCDTCTH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDCDTCTL、RSCFDnCFDCDTCTH、RSCFDnCFDCDTCTLH、RSCFDnCFDCDTCTHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDCDTCT: <RSCFDn_base> + 0490_H
RSCFDnCFDCDTCTL: <RSCFDn_base> + 0490_H
RSCFDnCFDCDTCTH: <RSCFDn_base> + 0492_H
RSCFDnCFDCDTCTL: <RSCFDn_base> + 0490_H、
RSCFDnCFDCDTCTLH: <RSCFDn_base> + 0491_H、
RSCFDnCFDCDTCTLH: <RSCFDn_base> + 0492_H、
RSCFDnCFDCDTCTHH: <RSCFDn_base> + 0493_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CFDMA E3	CFDMA E2	CFDMA E1	CFDMA E0	RFDMA E7	RFDMA E6	RFDMA E5	RFDMA E4	RFDMA E3	RFDMA E2	RFDMA E1	RFDMA E0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.144 RSCFDnCFDCDTCT レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
11	CFDMAE3	送受信 FIFO バッファ 9 DMA 許可ビット 0: 送受信 FIFO バッファ 9 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 9 の DMA 転送要求を許可する
10	CFDMAE2	送受信 FIFO バッファ 6 DMA 許可ビット 0: 送受信 FIFO バッファ 6 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 6 の DMA 転送要求を許可する
9	CFDMAE1	送受信 FIFO バッファ 3 DMA 許可ビット 0: 送受信 FIFO バッファ 3 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 3 の DMA 転送要求を許可する
8	CFDMAE0	送受信 FIFO バッファ 0 DMA 許可ビット 0: 送受信 FIFO バッファ 0 の DMA 転送要求を許可しない 1: 送受信 FIFO バッファ 0 の DMA 転送要求を許可する

表 14.144 RSCFDnCFDCDTCT レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	RFDMAE7	受信 FIFO バッファ x DMA 許可ビット 0 : 受信 FIFO バッファ x の DMA 転送要求を許可しない 1 : 受信 FIFO バッファ x の DMA 転送要求を許可する (x = 0~7)
6	RFDMAE6	
5	RFDMAE5	
4	RFDMAE4	
3	RFDMAE3	
2	RFDMAE2	
1	RFDMAE1	
0	RFDMAE0	

RSCFDnCFDCDTCT レジスタは、グローバル動作モードまたはグローバルテストモードで書き換えてください。

CFDMAEm ビット

送受信 FIFO バッファ $3 \times m$ (チャンネル m に割り当てられた最初の送受信 FIFO バッファ) の DMA 転送を許可します。RSCFDnCFDCFCCK レジスタの CFM[1:0] ビットを “00_B” (受信モード) に設定した送受信 FIFO バッファのみ DMA 転送を許可できます。CFM[1:0] ビットが “01_B” (送信モード) または “10_B” (ゲートウェイモード) の場合は、“0” にしてください。

RFDMAEx ビット

受信 FIFO バッファ x の DMA 転送を許可します。

14.4.10.2 RSCFDnCFDCDTSTS — DMA ステータスレジスタ

アクセス RSCFDnCFDCDTSTS レジスタは、32 ビット単位でリードのみ可能です。

RSCFDnCFDCDTSTSL、RSCFDnCFDCDTSTSH レジスタは、16 ビット単位でリードのみ可能です。

RSCFDnCFDCDTSTSLL、RSCFDnCFDCDTSTSLH、RSCFDnCFDCDTSTSHL、RSCFDnCFDCDTSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCDTSTS: <RSCFDn_base> + 0494_H

RSCFDnCFDCDTSTSL: <RSCFDn_base> + 0494_H

RSCFDnCFDCDTSTSH: <RSCFDn_base> + 0496_H

RSCFDnCFDCDTSTSLL: <RSCFDn_base> + 0494_H、

RSCFDnCFDCDTSTSLH: <RSCFDn_base> + 0495_H、

RSCFDnCFDCDTSTSHL: <RSCFDn_base> + 0496_H、

RSCFDnCFDCDTSTSHH: <RSCFDn_base> + 0497_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CFDMA STS3	CFDMA STS2	CFDMA STS1	CFDMA STS0	RFDMA STS7	RFDMA STS6	RFDMA STS5	RFDMA STS4	RFDMA STS3	RFDMA STS2	RFDMA STS1	RFDMA STS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.145 RSCFDnCFDCDTSTS レジスタの内容

ビット位置	ビット名	機能
31~12	予約ビット	リードした場合はリセット後の値が読めます。
11	CFDMASTS3	送受信 FIFO バッファ 9 DMA ステータスビット 0: 送受信 FIFO バッファ 9 の DMA 転送中でない 1: 送受信 FIFO バッファ 9 の DMA 転送中
10	CFDMASTS2	送受信 FIFO バッファ 6 DMA ステータスビット 0: 送受信 FIFO バッファ 6 の DMA 転送中でない 1: 送受信 FIFO バッファ 6 の DMA 転送中
9	CFDMASTS1	送受信 FIFO バッファ 3 DMA ステータスビット 0: 送受信 FIFO バッファ 3 の DMA 転送中でない 1: 送受信 FIFO バッファ 3 の DMA 転送中
8	CFDMASTS0	送受信 FIFO バッファ 0 DMA ステータスビット 0: 送受信 FIFO バッファ 0 の DMA 転送中でない 1: 送受信 FIFO バッファ 0 の DMA 転送中
7	RFDMASTS7	受信 FIFO バッファ x DMA ステータスビット 0: 受信 FIFO バッファ x の DMA 転送中でない 1: 受信 FIFO バッファ x の DMA 転送中 (x = 0~7)
6	RFDMASTS6	
5	RFDMASTS5	
4	RFDMASTS4	
3	RFDMASTS3	
2	RFDMASTS2	
1	RFDMASTS1	
0	RFDMASTS0	

CFDMASTSm ビット

送受信 FIFO バッファ $3 \times m$ (チャンネル m に割り当てられた先頭の送受信 FIFO バッファ) の DMA 転送が許可状態 (RSCFDnCFDCDTCT レジスタの CFDMAEm ビットが “1”) で送受信 FIFO バッファにメッセージがあるとき、CFDMASTSm ビットは “1” になり、DMA 転送中であることを示します。

送受信 FIFO バッファの全メッセージが転送されるか DMA 転送が禁止状態 (CFDMAEm ビットが “0”) になると、CFDMASTSm ビットは “0” になり、DMA 転送が完了したことを示します。DMA 転送中に CFDMAEm ビットを “0” にした場合、実行中の DMA 転送が完了した (転送中のメッセージがペイロード格納領域の最終バイトまで転送された) 後で CFDMASTSm ビットが “0” になります。

グローバルリセットモード時、“0” になります。

RFDMASTsx ビット

受信 FIFO バッファ x の DMA 転送が許可状態 (RSCFDnCFDCDTCT レジスタの対応する RFDMAEx ビットが “1”) で受信 FIFO バッファにメッセージがあるとき、RFDMASTsx ビットは “1” になり、DMA 転送中であることを示します。

受信 FIFO バッファ x の全メッセージが転送されるか DMA 転送が禁止状態 (RFDMAEx ビットが “0”) になると、RFDMASTsx ビットは “0” になり、DMA 転送が完了したことを示します。DMA 転送中に RFDMAEx ビットを “0” にした場合、実行中の DMA 転送が完了した (転送中のメッセージがペイロード格納領域の最終バイトまで転送された) 後で RFDMASTsx ビットが “0” になります。グローバルリセットモード時、“0” になります。

14.4.11 送信バッファ関連レジスタの詳細

14.4.11.1 RSCFDnCFDTMCp — 送信バッファ制御レジスタ (p = 0~63)

アクセス RSCFDnCFDTMCp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMCp: <RSCFDn_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W ^{※1}	R/W ^{※1}

注 1. このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.146 RSCFDnCFDTMCp レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0: 送信アボートを要求しない 1: 送信アボートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCFDnCFDTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCFDnCFDFCCK レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCFDnCFDTMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCFDnCFDTXQCCm レジスタ (m = 0~3) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCFDnCFDTMCp レジスタ (p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))
- RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1” (送信バッファマージモード) で、ペイロード格納領域として割り当てられた送信バッファに対応する RSCFDnCFDTMCp レジスタ (p = (m × 16) + 1, (m × 16) + 2, (m × 16) + 4, (m × 16) + 5)

RSCFDnCFDTMCp レジスタのビットは、チャンネルリセットモード時に “0” になります。

RSCFDnCFDTMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCFDnCFDTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0]フラグが “00_B” のときに、TMTR ビットを “1” に設定してください。

14.4.11.2 RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ (p = 0~63)

アクセス RSCFDnCFDTMSTSp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMSTSp: <RSCFDn_base> + 02D0_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 14.147 RSCFDnCFDTMSTSp レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0: 送信アボート要求なし 1: 送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アボート完了 1 0: 送信完了 (送信アボート要求なし) 1 1: 送信完了 (送信アボート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCFDnCFDTMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCFDnCFDTMCP レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCFDnCFDTMCP レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCFDnCFDTMCP レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCFDnCFDTMCP レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0]フラグ

送信バッファからの送信結果を示します。

00_B : 送信中または送信要求なし。

01_B : 送信バッファからの送信がアボートされた。

10_B : RSCFDnCFDTMCp レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCFDnCFDTMCp レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0]フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。 “00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトラクションロストにより中断されると、“0” になります。

14.4.11.3 RSCFDnCFDTMIDp — 送信バッファ ID レジスタ (p = 0~63)

アクセス RSCFDnCFDTMIDp レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDTMIDpL、RSCFDnCFDTMIDpH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDTMIDpLL、RSCFDnCFDTMIDpLH、RSCFDnCFDTMIDpHL、RSCFDnCFDTMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMIDp: <RSCFDn_base> + 4000_H + (20_H × p)
 RSCFDnCFDTMIDpL: <RSCFDn_base> + 4000_H + (20_H × p)、
 RSCFDnCFDTMIDpH: <RSCFDn_base> + 4002_H + (20_H × p)
 RSCFDnCFDTMIDpLL: <RSCFDn_base> + 4000_H + (20_H × p)、
 RSCFDnCFDTMIDpLH: <RSCFDn_base> + 4001_H + (20_H × p)、
 RSCFDnCFDTMIDpHL: <RSCFDn_base> + 4002_H + (20_H × p)、
 RSCFDnCFDTMIDpHH: <RSCFDn_base> + 4003_H + (20_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.148 RSCFDnCFDTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR/RRS ビット <ul style="list-style-type: none"> 送信メッセージがクラシカル CAN フレームのとき 0: データフレーム 1: リモートフレーム 送信メッセージが CAN FD フレームのとき “0” を書いてください
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28~0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10~b0 に ID を設定してください。b28~b11 は “0” にしてください。

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

RSCFDnCFDTMFDCTR_p レジスタの TMFDF ビットが “1” (CAN FD フレーム) であるときは、“0” にしてください。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ) が送信履歴バッファに格納されます。

TMID[28:0]ビット

送信バッファから送信するメッセージの ID を設定します。

14.4.11.4 RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ (p = 0~63)

アクセス RSCFDnCFDTMPTRp レジスタは、32 ビット単位でリード/ライト可能です。
 RSCFDnCFDTMPTRpL、RSCFDnCFDTMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。
 RSCFDnCFDTMPTRpLL、RSCFDnCFDTMPTRpLH、RSCFDnCFDTMPTRpHL、RSCFDnCFDTMPTRpHH
 レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMPTRp: <RSCFDn_base> + 4004_H + (20_H × p)
 RSCFDnCFDTMPTRpL: <RSCFDn_base> + 4004_H + (20_H × p)、
 RSCFDnCFDTMPTRpH: <RSCFDn_base> + 4006_H + (20_H × p)
 RSCFDnCFDTMPTRpLL: <RSCFDn_base> + 4004_H + (20_H × p)、
 RSCFDnCFDTMPTRpLH: <RSCFDn_base> + 4005_H + (20_H × p)、
 RSCFDnCFDTMPTRpHL: <RSCFDn_base> + 4006_H + (20_H × p)、
 RSCFDnCFDTMPTRpHH: <RSCFDn_base> + 4007_H + (20_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC[3:0]				—	—	—	—	TMPTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.149 RSCFDnCFDTMPTRp レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																			
31~28	TMDLC[3:0]	送信バッファ DLC データ																																																			
		<table border="1"> <thead> <tr> <th>b31 b30 b29 b28</th> <th>クラシカル CAN フレーム</th> <th>CAN FD フレーム</th> </tr> </thead> <tbody> <tr> <td>0 0 0 0</td> <td>0 データバイト</td> <td></td> </tr> <tr> <td>0 0 0 1</td> <td>1 データバイト</td> <td></td> </tr> <tr> <td>0 0 1 0</td> <td>2 データバイト</td> <td></td> </tr> <tr> <td>0 0 1 1</td> <td>3 データバイト</td> <td></td> </tr> <tr> <td>0 1 0 0</td> <td>4 データバイト</td> <td></td> </tr> <tr> <td>0 1 0 1</td> <td>5 データバイト</td> <td></td> </tr> <tr> <td>0 1 1 0</td> <td>6 データバイト</td> <td></td> </tr> <tr> <td>0 1 1 1</td> <td>7 データバイト</td> <td></td> </tr> <tr> <td>1 0 0 0</td> <td>8 データバイト</td> <td></td> </tr> <tr> <td>1 0 0 1</td> <td>8 データバイト</td> <td>12 データバイト</td> </tr> <tr> <td>1 0 1 0</td> <td></td> <td>16 データバイト</td> </tr> <tr> <td>1 0 1 1</td> <td></td> <td>20 データバイト</td> </tr> <tr> <td>1 1 0 0</td> <td></td> <td>24 データバイト</td> </tr> <tr> <td>1 1 0 1</td> <td></td> <td>32 データバイト</td> </tr> <tr> <td>1 1 1 0</td> <td></td> <td>48 データバイト</td> </tr> <tr> <td>1 1 1 1</td> <td></td> <td>64 データバイト</td> </tr> </tbody> </table>	b31 b30 b29 b28	クラシカル CAN フレーム	CAN FD フレーム	0 0 0 0	0 データバイト		0 0 0 1	1 データバイト		0 0 1 0	2 データバイト		0 0 1 1	3 データバイト		0 1 0 0	4 データバイト		0 1 0 1	5 データバイト		0 1 1 0	6 データバイト		0 1 1 1	7 データバイト		1 0 0 0	8 データバイト		1 0 0 1	8 データバイト	12 データバイト	1 0 1 0		16 データバイト	1 0 1 1		20 データバイト	1 1 0 0		24 データバイト	1 1 0 1		32 データバイト	1 1 1 0		48 データバイト	1 1 1 1		64 データバイト
		b31 b30 b29 b28	クラシカル CAN フレーム	CAN FD フレーム																																																	
		0 0 0 0	0 データバイト																																																		
		0 0 0 1	1 データバイト																																																		
		0 0 1 0	2 データバイト																																																		
		0 0 1 1	3 データバイト																																																		
		0 1 0 0	4 データバイト																																																		
		0 1 0 1	5 データバイト																																																		
		0 1 1 0	6 データバイト																																																		
		0 1 1 1	7 データバイト																																																		
		1 0 0 0	8 データバイト																																																		
		1 0 0 1	8 データバイト	12 データバイト																																																	
		1 0 1 0		16 データバイト																																																	
		1 0 1 1		20 データバイト																																																	
		1 1 0 0		24 データバイト																																																	
1 1 0 1		32 データバイト																																																			
1 1 1 0		48 データバイト																																																			
1 1 1 1		64 データバイト																																																			

表 14.149 RSCFDnCFDTMPTRp レジスタの内容 (2/2)

ビット位置	ビット名	機能
27~24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23~16	TMPTR[7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15~0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p ($p = m \times 16 + 15$) のみに書いてください。

TMDLC[3:0]ビット

RSCFDnCFDTMIDp レジスタの TMRTR ビットが “0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットが “0” (クラシカル CAN フレーム) のときに TMDLC[3:0]ビットに “1001_B” 以上を設定した場合、送信されるデータは、8 バイトになります。TMFDF ビットが “1” (CAN FD フレーム) のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットによって設定可能な値の範囲が異なります。

- TMME ビットが “0” (送信バッファマージモード禁止) の場合:
“0000_B” ~ “1111_B” の全ての値が設定できます。“1100_B” 以上の値を設定したとき、20 バイトを超える分のペイロードは “CC_H” でパディングされます。
- TMME ビットが “1” (送信バッファマージモード許可) の場合:
対応する送信バッファの番号が $p = (m \times 16) + 0$ 、 $(m \times 16) + 3$ であるとき、“0000_B” ~ “1111_B” の全ての値が設定できます。それ以外の場合は “1011_B” (20 データバイト) までの値を設定してください。

TMRTR ビットが “1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0]ビット

メッセージ送信が完了した場合、TMPTR[7:0]ビットの値が送信履歴バッファに格納されます。

14.4.11.5 RSCFDnCFDTMFDCTR_p — 送信バッファ CAN FD コンフィグレーションレジスタ ($p = 0 \sim 63$)

アクセス RSCFDnCFDTMFDCTR_p レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMFDCTR_{pL}、RSCFDnCFDTMFDCTR_{pH} レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMFDCTR_{pLL}、RSCFDnCFDTMFDCTR_{pLH}、RSCFDnCFDTMFDCTR_{pHL}、
RSCFDnCFDTMFDCTR_{pHH} レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMFDCTR_p: $\langle \text{RSCFDn_base} \rangle + 4008_{\text{H}} + (20_{\text{H}} \times p)$
RSCFDnCFDTMFDCTR_{pL}: $\langle \text{RSCFDn_base} \rangle + 4008_{\text{H}} + (20_{\text{H}} \times p)$ 、
RSCFDnCFDTMFDCTR_{pH}: $\langle \text{RSCFDn_base} \rangle + 400A_{\text{H}} + (20_{\text{H}} \times p)$
RSCFDnCFDTMFDCTR_{pLL}: $\langle \text{RSCFDn_base} \rangle + 4008_{\text{H}} + (20_{\text{H}} \times p)$ 、
RSCFDnCFDTMFDCTR_{pLH}: $\langle \text{RSCFDn_base} \rangle + 4009_{\text{H}} + (20_{\text{H}} \times p)$ 、
RSCFDnCFDTMFDCTR_{pHL}: $\langle \text{RSCFDn_base} \rangle + 400A_{\text{H}} + (20_{\text{H}} \times p)$ 、
RSCFDnCFDTMFDCTR_{pHH}: $\langle \text{RSCFDn_base} \rangle + 400B_{\text{H}} + (20_{\text{H}} \times p)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TMFDF	TMBRS	TMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 14.150 RSCFDnCFDTMFDCTR_p レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMFDF	FDF ビット 0 : クラシカル CAN フレーム 1 : CAN FD フレーム
1	TMBRS	BRS ビット 0 : データ領域のビットレートは変わらない 1 : データ領域のビットレートは変わる
0	TMESI	ESI ビット 0 : エラーアクティブノード 1 : エラーパッシブノード

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0” (送信を要求しない) のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p ($p = m \times 16 + 15$) のみに書いてください。

TMFDF ビット

送信バッファから送信するメッセージの FD フォーマットを設定します。

TMBR5 ビット

TMFDF ビットが“1”のとき、このビットを“1”にすると、送信メッセージのデータ領域はデータビットレートで送信されます。TMFDF ビットが“0”のときは、このビットに“0”を書いてください。

TMESI ビット

TMFDF ビットが“1”のとき、送信バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが“1”かつチャンネルがエラーアクティブ状態のとき送信されます。チャンネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。TMFDF ビットが“0”のときは、このビットに“0”を書いてください。

14.4.11.6 RSCFDnCFDTMDFb_p — 送信バッファデータフィールド b レジスタ (b = 0~4、p = 0~63)

アクセス RSCFDnCFDTMDFb_p レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTMDFb_pL、RSCFDnCFDTMDFb_pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTMDFb_pLL、RSCFDnCFDTMDFb_pLH、RSCFDnCFDTMDFb_pHL、
RSCFDnCFDTMDFb_pHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMDFb_p: $\langle \text{RSCFDn_base} \rangle + 400\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pL: $\langle \text{RSCFDn_base} \rangle + 400\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$ 、
RSCFDnCFDTMDFb_pH: $\langle \text{RSCFDn_base} \rangle + 400\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$
RSCFDnCFDTMDFb_pLL: $\langle \text{RSCFDn_base} \rangle + 400\text{C}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$ 、
RSCFDnCFDTMDFb_pLH: $\langle \text{RSCFDn_base} \rangle + 400\text{D}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$ 、
RSCFDnCFDTMDFb_pHL: $\langle \text{RSCFDn_base} \rangle + 400\text{E}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$ 、
RSCFDnCFDTMDFb_pHH: $\langle \text{RSCFDn_base} \rangle + 400\text{F}_\text{H} + (04_\text{H} \times b) + (20_\text{H} \times p)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB4 × b + 3 [7:0]								TMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB4 × b + 1 [7:0]								TMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.151 RSCFDnCFDTMDFb_p レジスタの内容

ビット位置	ビット名	機能
31~24	TMDB4 × b + 3 [7:0]	送信バッファデータバイト 4 × b + 3 送信バッファデータバイト 4 × b + 2
23~16	TMDB4 × b + 2 [7:0]	送信バッファデータバイト 4 × b + 1 送信バッファデータバイト 4 × b + 0
15~8	TMDB4 × b + 1 [7:0]	送信バッファのデータを設定してください。
7~0	TMDB4 × b + 0 [7:0]	

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャンネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

14.4.11.7 RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ (y = 0, 1)

アクセス RSCFDnCFDTMIECy レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDTMIECyL、RSCFDnCFDTMIECyH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDTMIECyLL、RSCFDnCFDTMIECyLH、RSCFDnCFDTMIECyHL、RSCFDnCFDTMIECyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTMIECy: $\langle \text{RSCFDn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$

RSCFDnCFDTMIECyL: $\langle \text{RSCFDn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、

RSCFDnCFDTMIECyH: $\langle \text{RSCFDn_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$

RSCFDnCFDTMIECyLL: $\langle \text{RSCFDn_base} \rangle + 0390_{\text{H}} + (04_{\text{H}} \times y)$ 、

RSCFDnCFDTMIECyLH: $\langle \text{RSCFDn_base} \rangle + 0391_{\text{H}} + (04_{\text{H}} \times y)$ 、

RSCFDnCFDTMIECyHL: $\langle \text{RSCFDn_base} \rangle + 0392_{\text{H}} + (04_{\text{H}} \times y)$ 、

RSCFDnCFDTMIECyHH: $\langle \text{RSCFDn_base} \rangle + 0393_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.152 RSCFDnCFDTMIECy レジスタの内容

ビット位置	ビット名	機能
31~16	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 31 ~ y × 32 + 16) 0 : 送信バッファ割り込み禁止 1 : 送信バッファ割り込み許可
15~0	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0 : 送信バッファ割り込み禁止 1 : 送信バッファ割り込み許可

TMIEp ビット (p = 0~63)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCFDnCFDTMSTSp レジスタの TMTRM フラグが“0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。RSCFDnCFDCmFDCFG レジスタの TMME ビットが“1”（送信バッファマージモード許可）のときは、ペイロード格納領域として割り当てられた送信バッファに対応するビットは“0”にしてください。

表 14.153 にビット配置を示します。

表 14.153 TMIEp ビットの配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.4.12 送信バッファステータス関連レジスタの詳細

14.4.12.1 RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ (y = 0, 1)

アクセス RSCFDnCFDTMTRSTSy レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDTMTRSTSyL、RSCFDnCFDTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTRSTSyLL、RSCFDnCFDTMTRSTSyLH、RSCFDnCFDTMTRSTSyHL、
RSCFDnCFDTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTRSTSy: <RSCFDn_base> + 0350_H + (04_H × y)
RSCFDnCFDTMTRSTSyL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyH: <RSCFDn_base> + 0352_H + (04_H × y)
RSCFDnCFDTMTRSTSyLL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyLH: <RSCFDn_base> + 0351_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHL: <RSCFDn_base> + 0352_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHH: <RSCFDn_base> + 0353_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.154 RSCFDnCFDTMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信要求なし 1: 送信要求あり
15~0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信要求なし 1: 送信要求あり

TMTRSTSp フラグ (p = 0~63)

RSCFDnCFDTMCP レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1”（送信を要求する）にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0”（送信を要求しない）になると、対応する TMTRSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 14.155 にビット配置を示します。

表 14.155 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.4.12.2 RSCFDnCFDTMTARSTSy — 送信バッファ送信アポート要求ステータスレジスタ (y = 0, 1)

アクセス RSCFDnCFDTMTARSTSy レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDTMTARSTSyL、RSCFDnCFDTMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTARSTSyLL、RSCFDnCFDTMTARSTSyLH、RSCFDnCFDTMTARSTSyHL、
RSCFDnCFDTMTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTARSTSy: <RSCFDn_base> + 0360_H + (04_H × y)
RSCFDnCFDTMTARSTSyL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCFDnCFDTMTARSTSyH: <RSCFDn_base> + 0362_H + (04_H × y)
RSCFDnCFDTMTARSTSyLL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCFDnCFDTMTARSTSyLH: <RSCFDn_base> + 0361_H + (04_H × y)、
RSCFDnCFDTMTARSTSyHL: <RSCFDn_base> + 0362_H + (04_H × y)、
RSCFDnCFDTMTARSTSyHH: <RSCFDn_base> + 0363_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.156 RSCFDnCFDTMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信アポート要求なし 1: 送信アポート要求あり
15~0	TMTARSTSp	送信バッファ送信アポート要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アポート要求なし 1: 送信アポート要求あり

TMTARSTSp フラグ (p = 0~63)

RSCFDnCFDTMCP レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アポートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アポートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 14.157 にビット配置を示します。

表 14.157 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.4.12.3 RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ (y = 0, 1)

アクセス RSCFDnCFDTMTCSTSy レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDTMTCSTSyL、RSCFDnCFDTMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTCSTSyLL、RSCFDnCFDTMTCSTSyLH、RSCFDnCFDTMTCSTSyHL、
RSCFDnCFDTMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTCSTSy: <RSCFDn_base> + 0370_H + (04_H × y)
RSCFDnCFDTMTCSTSyL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyH: <RSCFDn_base> + 0372_H + (04_H × y)
RSCFDnCFDTMTCSTSyLL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyLH: <RSCFDn_base> + 0371_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHL: <RSCFDn_base> + 0372_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHH: <RSCFDn_base> + 0373_H + (04_H × y)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTTCSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTTCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.158 RSCFDnCFDTMTCSTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTTCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信未完了 1: 送信完了
15~0	TMTTCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信未完了 1: 送信完了

TMTTCSTSp フラグ (p = 0~63)

RSCFDnCFDTMTCSTSp レジスタの TMTRF[1:0] フラグが “10_B” (送信完了、送信アボート要求なし) または “11_B” (送信完了、送信アボート要求あり) になると、対応する TMTTCSTSp フラグは “1” になります。

TMTTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 14.159 にビット配置を示します。

表 14.159 TMTCSSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
⋮	⋮	⋮
15	0	15
16	1	0
⋮	⋮	⋮
30	1	14
31	1	15
32	2	0
33	2	1
⋮	⋮	⋮
47	2	15
48	3	0
⋮	⋮	⋮
62	3	14
63	3	15

14.4.12.4 RSCFDnCFDnTMTASTSy — 送信バッファ送信アポートステータスレジスタ (y = 0, 1)

アクセス RSCFDnCFDnTMTASTSy レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDnTMTASTSyL、RSCFDnCFDnTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDnTMTASTSyLL、RSCFDnCFDnTMTASTSyLH、RSCFDnCFDnTMTASTSyHL、
RSCFDnCFDnTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDnTMTASTSy: $\langle \text{RSCFDn_base} \rangle + 0380_{\text{H}} + (04_{\text{H}} \times y)$
RSCFDnCFDnTMTASTSyL: $\langle \text{RSCFDn_base} \rangle + 0380_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDnTMTASTSyH: $\langle \text{RSCFDn_base} \rangle + 0382_{\text{H}} + (04_{\text{H}} \times y)$
RSCFDnCFDnTMTASTSyLL: $\langle \text{RSCFDn_base} \rangle + 0380_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDnTMTASTSyLH: $\langle \text{RSCFDn_base} \rangle + 0381_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDnTMTASTSyHL: $\langle \text{RSCFDn_base} \rangle + 0382_{\text{H}} + (04_{\text{H}} \times y)$ 、
RSCFDnCFDnTMTASTSyHH: $\langle \text{RSCFDn_base} \rangle + 0383_{\text{H}} + (04_{\text{H}} \times y)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp ($p = y \times 32 + 31 \sim y \times 32 + 16$ ($y = 0, 1$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp ($p = y \times 32 + 15 \sim y \times 32 + 0$ ($y = 0, 1$))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.160 RSCFDnCFDnTMTASTSy レジスタの内容

ビット位置	ビット名	機能
31~16	TMTASTSp	送信バッファ送信アポートステータスフラグ p ($p = y \times 32 + 31 \sim y \times 32 + 16$) 0: 送信アポートなし 1: 送信アポートあり
15~0	TMTASTSp	送信バッファ送信アポートステータスフラグ p ($p = y \times 32 + 15 \sim y \times 32 + 0$) 0: 送信アポートなし 1: 送信アポートあり

TMTASTSp フラグ (p = 0~63)

RSCFDnCFDnTMTASTSp レジスタの TMTRF[1:0] フラグが “01_B” (送信アポート完了) になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 14.161 にビット配置を示します。

表 14.161 TMTASTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
.	.	.
15	0	15
16	1	0
.	.	.
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
.	.	.
47	2	15
48	3	0
.	.	.
.	.	.
62	3	14
63	3	15

14.4.13 送信キュー関連レジスタの詳細

14.4.13.1 RSCFDnCFDTXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~3)

アクセス RSCFDnCFDTXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTXQCCmL、RSCFDnCFDTXQCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTXQCCmLL、RSCFDnCFDTXQCCmLH、RSCFDnCFDTXQCCmHL、
RSCFDnCFDTXQCCmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTXQCCm: <RSCFDn_base> + 03A0_H + (04_H × m)
RSCFDnCFDTXQCCmL: <RSCFDn_base> + 03A0_H + (04_H × m)、
RSCFDnCFDTXQCCmH: <RSCFDn_base> + 03A2_H + (04_H × m)
RSCFDnCFDTXQCCmLL: <RSCFDn_base> + 03A0_H + (04_H × m)、
RSCFDnCFDTXQCCmLH: <RSCFDn_base> + 03A1_H + (04_H × m)、
RSCFDnCFDTXQCCmHL: <RSCFDn_base> + 03A2_H + (04_H × m)、
RSCFDnCFDTXQCCmHH: <RSCFDn_base> + 03A3_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC[3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.162 RSCFDnCFDTXQCCm レジスタの内容

ビット位置	ビット名	機能
31~14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可
11~8	TXQDC[3:0]	送信キュー段数設定ビット 設定値を g (g = 2~15) とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。 送信バッファマージモードの場合は、g = 2~9 を設定してください。
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0]ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(m \times 16 + 15)$ から $(m \times 16 + 0)$ まで順番に割り付けられます。バッファの割り当て例については、**図 14.9** を参照してください。RSCFDnCFDCmFDCFG レジスタの TMME ビットが“1”（送信バッファマージモード）のとき、送信バッファ $(m \times 16 + 5)$ から $(m \times 16 + 0)$ はマージされ、送信キューに割り付けることはできないため、TXQDC[3:0]ビットに 10~15 は設定しないでください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1”にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

TXQDC[3:0]ビットの値を“0010_B”以上に設定してから TXQE ビットを“1”にしてください。

14.4.13.2 RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ (m = 0~3)

アクセス RSCFDnCFDTXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDTXQSTSmL、RSCFDnCFDTXQSTSmH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDTXQSTSmLL、RSCFDnCFDTXQSTSmLH、RSCFDnCFDTXQSTSmHL、

RSCFDnCFDTXQSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTXQSTSm: <RSCFDn_base> + 03C0_H + (04_H × m)

RSCFDnCFDTXQSTSmL: <RSCFDn_base> + 03C0_H + (04_H × m)、

RSCFDnCFDTXQSTSmH: <RSCFDn_base> + 03C2_H + (04_H × m)

RSCFDnCFDTXQSTSmLL: <RSCFDn_base> + 03C0_H + (04_H × m)、

RSCFDnCFDTXQSTSmLH: <RSCFDn_base> + 03C1_H + (04_H × m)、

RSCFDnCFDTXQSTSmHL: <RSCFDn_base> + 03C2_H + (04_H × m)、

RSCFDnCFDTXQSTSmHH: <RSCFDn_base> + 03C3_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEM P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{※1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.163 RSCFDnCFDTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31~13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12~8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCFDnCFDnTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。TXQIF フラグは、RSCFDnCFDnTXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCFDnCFDnTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で“0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは“0” になります。

次の条件で、“1” になります。

- TXQE ビットを“0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

14.4.13.3 RSCFDnCFDTXQPCTRm — 送信キューポインタ制御レジスタ (m = 0~3)

アクセス RSCFDnCFDTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTXQPCTRmL、RSCFDnCFDTXQPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTXQPCTRmLL、RSCFDnCFDTXQPCTRmLH、RSCFDnCFDTXQPCTRmHL、
RSCFDnCFDTXQPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDTXQPCTRm: <RSCFDn_base> + 03E0_H + (04_H × m)
RSCFDnCFDTXQPCTRmL: <RSCFDn_base> + 03E0_H + (04_H × m)、
RSCFDnCFDTXQPCTRmH: <RSCFDn_base> + 03E2_H + (04_H × m)
RSCFDnCFDTXQPCTRmLL: <RSCFDn_base> + 03E0_H + (04_H × m)、
RSCFDnCFDTXQPCTRmLH: <RSCFDn_base> + 03E1_H + (04_H × m)、
RSCFDnCFDTXQPCTRmHL: <RSCFDn_base> + 03E2_H + (04_H × m)、
RSCFDnCFDTXQPCTRmHH: <RSCFDn_base> + 03E3_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.164 RSCFDnCFDTXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	TXQPC[7:0]	送信キューポインタ制御 “FF _H ” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0]ビット

TXQPC[7:0]ビットに“FF_H”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCFDnCFDTMID_p、RSCFDnCFDTMPTR_p、RSCFDnCFDTMFDCTR_p、RSCFDnCFDTMDFb_p レジスタ (p = 15, 31, 47, 63) に送信メッセージを書いた後に、TXQPC[7:0]ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCFDnCFDTXQCC_m レジスタのTXQE ビットが“1” (送信キューを使用する) で、RSCFDnCFDTXQST_m レジスタのTXQFL フラグが“0” (フルではない) の場合にのみ行ってください。

14.4.14 送信履歴関連レジスタの詳細

14.4.14.1 RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0~3)

アクセス RSCFDnCFDTHLCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLCCmL、RSCFDnCFDTHLCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLCCmLL、RSCFDnCFDTHLCCmLH、RSCFDnCFDTHLCCmHL、RSCFDnCFDTHLCCmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTHLCCm: $\langle \text{RSCFDn_base} \rangle + 0400_{\text{H}} + (04_{\text{H}} \times m)$
RSCFDnCFDTHLCCmL: $\langle \text{RSCFDn_base} \rangle + 0400_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCFDnCFDTHLCCmH: $\langle \text{RSCFDn_base} \rangle + 0402_{\text{H}} + (04_{\text{H}} \times m)$
RSCFDnCFDTHLCCmLL: $\langle \text{RSCFDn_base} \rangle + 0400_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCFDnCFDTHLCCmLH: $\langle \text{RSCFDn_base} \rangle + 0401_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCFDnCFDTHLCCmHL: $\langle \text{RSCFDn_base} \rangle + 0402_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCFDnCFDTHLCCmHH: $\langle \text{RSCFDn_base} \rangle + 0403_{\text{H}} + (04_{\text{H}} \times m)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 14.165 RSCFDnCFDTHLCCm レジスタの内容

ビット位置	ビット名	機能
31~11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0”にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

チャンネルリセットモード時、“0”になります。

14.4.14.2 RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ (m = 0~3)

アクセス RSCFDnCFDTHLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLSTSmL、RSCFDnCFDTHLSTSmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDTHLSTSmLL、RSCFDnCFDTHLSTSmLH、RSCFDnCFDTHLSTSmHL、
RSCFDnCFDTHLSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDTHLSTSm: <RSCFDn_base> + 0420_H + (04_H × m)
RSCFDnCFDTHLSTSmL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCFDnCFDTHLSTSmH: <RSCFDn_base> + 0422_H + (04_H × m)
RSCFDnCFDTHLSTSmLL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCFDnCFDTHLSTSmLH: <RSCFDn_base> + 0421_H + (04_H × m)、
RSCFDnCFDTHLSTSmHL: <RSCFDn_base> + 0422_H + (04_H × m)、
RSCFDnCFDTHLSTSmHH: <RSCFDn_base> + 0423_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC[4:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 14.166 RSCFDnCFDTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31~13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12~8	THLMC[4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0]ビット

送信履歴バッファ内の未読データ数を示します。チャンネルリセットモード時、“0”になります。

THLIF フラグ

RSCFDnCFDTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCFDnCFDTHLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCFDnCFDTHLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

14.4.14.3 RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0~3)

アクセス RSCFDnCFDTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmL、RSCFDnCFDTHLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmLL、RSCFDnCFDTHLPCTRmLH、RSCFDnCFDTHLPCTRmHL、
RSCFDnCFDTHLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDTHLPCTRm: <RSCFDn_base> + 0440_H + (04_H × m)
RSCFDnCFDTHLPCTRmL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCFDnCFDTHLPCTRmH: <RSCFDn_base> + 0442_H + (04_H × m)
RSCFDnCFDTHLPCTRmLL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCFDnCFDTHLPCTRmLH: <RSCFDn_base> + 0441_H + (04_H × m)、
RSCFDnCFDTHLPCTRmHL: <RSCFDn_base> + 0442_H + (04_H × m)、
RSCFDnCFDTHLPCTRmHH: <RSCFDn_base> + 0443_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 14.167 RSCFDnCFDTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31~8	予約ビット	ライトする場合はリセット後の値を書いてください。
7~0	THLPC[7:0]	送信履歴リストポインタ制御 “FF _H ” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0]ビット

THLPC[7:0]ビットに“FF_H”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCFDnCFDTHLSTSm レジスタの THLMC[4:0]ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCFDnCFDTHLACCm レジスタを読んだあと、THLPC[7:0]ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RSCFDnCFDTHLCCm レジスタの THLE ビットが“1” (送信履歴バッファを使用する) で、RSCFDnCFDTHLSTSm レジスタの THLEMP フラグが“0”のときのみ行ってください。

14.4.14.4 RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ (m = 0~3)

アクセス RSCFDnCFDTHLACCm レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDTHLACCmL、RSCFDnCFDTHLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTHLACCmLL、RSCFDnCFDTHLACCmLH、RSCFDnCFDTHLACCmHL、
RSCFDnCFDTHLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTHLACCm: <RSCFDn_base> + 6000_H + (04_H × m)
RSCFDnCFDTHLACCmL: <RSCFDn_base> + 6000_H + (04_H × m)、
RSCFDnCFDTHLACCmH: <RSCFDn_base> + 6002_H + (04_H × m)
RSCFDnCFDTHLACCmLL: <RSCFDn_base> + 6000_H + (04_H × m)、
RSCFDnCFDTHLACCmLH: <RSCFDn_base> + 6001_H + (04_H × m)、
RSCFDnCFDTHLACCmHL: <RSCFDn_base> + 6002_H + (04_H × m)、
RSCFDnCFDTHLACCmHH: <RSCFDn_base> + 6003_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.168 RSCFDnCFDTHLACCm レジスタの内容

ビット位置	ビット名	機能																
31~16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。																
15~8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。																
7	予約ビット	リードした場合はリセット後の値が読めます。																
6~3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。																
2~0	BT[2:0]	バッファタイプデータ <table border="1" style="margin-left: 20px;"> <tr> <td>b2</td> <td>b1</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>送信バッファ</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>送受信 FIFO バッファ</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>送信キュー</td> </tr> </table>	b2	b1	b0		0	0	1	送信バッファ	0	1	0	送受信 FIFO バッファ	1	0	0	送信キュー
b2	b1	b0																
0	0	1	送信バッファ															
0	1	0	送受信 FIFO バッファ															
1	0	0	送信キュー															

TMTS[15:0]ビット

送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。

TID[7:0]ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0]ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0]ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

14.4.15 テスト関連レジスタの詳細

14.4.15.1 RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCFDnCFDGTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。

RSCFDnCFDGTSTCFGGL、RSCFDnCFDGTSTCFGH レジスタは、16 ビット単位でリード/ライト可能です。

RSCFDnCFDGTSTCFGLL、RSCFDnCFDGTSTCFGHL、RSCFDnCFDGTSTCFGHL、

RSCFDnCFDGTSTCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGTSTCFG: <RSCFDn_base> + 0468_H

RSCFDnCFDGTSTCFGGL: <RSCFDn_base> + 0468_H、RSCFDnCFDGTSTCFGH: <RSCFDn_base> + 046A_H

RSCFDnCFDGTSTCFGLL: <RSCFDn_base> + 0468_H、RSCFDnCFDGTSTCFGHL: <RSCFDn_base> + 0469_H、

RSCFDnCFDGTSTCFGHL: <RSCFDn_base> + 046A_H、RSCFDnCFDGTSTCFGHH: <RSCFDn_base> + 046B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 14.169 RSCFDnCFDGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~16	RTMPS[6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~55 (37 _H) ページの範囲で設定
15~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	C3ICBCE	CAN3 チャンネル間通信テスト許可ビット 0 : CAN3 チャンネル間通信テスト禁止 1 : CAN3 チャンネル間通信テスト許可
2	C2ICBCE	CAN2 チャンネル間通信テスト許可ビット 0 : CAN2 チャンネル間通信テスト禁止 1 : CAN2 チャンネル間通信テスト許可
1	C1ICBCE	CAN1 チャンネル間通信テスト許可ビット 0 : CAN1 チャンネル間通信テスト禁止 1 : CAN1 チャンネル間通信テスト許可
0	C0ICBCE	CAN0 チャンネル間通信テスト許可ビット 0 : CAN0 チャンネル間通信テスト禁止 1 : CAN0 チャンネル間通信テスト許可

RSCFDnCFDGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0]ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H～37_H以外の値を設定しないでください。また、最終ページ(RTMPS[6:0]ビットが“37_H”)の 128 バイト以降の RAM にはアクセスしないでください。

C3ICBCE ビット

“1”にすると、チャンネル 3 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

C2ICBCE ビット

“1”にすると、チャンネル 2 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

C1ICBCE ビット

“1”にすると、チャンネル 1 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

C0ICBCE ビット

“1”にすると、チャンネル 0 のチャンネル間通信テストが許可になります。
グローバルリセットモード時、“0”になります。

14.4.15.2 RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ

アクセス RSCFDnCFDGTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDGTSTCTRL、RSCFDnCFDGTSTCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDGTSTCTRLL、RSCFDnCFDGTSTCTRLH、RSCFDnCFDGTSTCTRHL、
RSCFDnCFDGTSTCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDGTSTCTR: <RSCFDn_base> + 046C_H
RSCFDnCFDGTSTCTRL: <RSCFDn_base> + 046C_H、RSCFDnCFDGTSTCTRH: <RSCFDn_base> + 046E_H
RSCFDnCFDGTSTCTRLL: <RSCFDn_base> + 046C_H、RSCFDnCFDGTSTCTRLH: <RSCFDn_base> + 046D_H、
RSCFDnCFDGTSTCTRHL: <RSCFDn_base> + 046E_H、RSCFDnCFDGTSTCTRHH: <RSCFDn_base> + 046F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	RW	R	RW

表 14.170 RSCFDnCFDGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0 : RAM テスト禁止 1 : RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャンネル間通信テスト許可ビット 0 : チャンネル間通信テスト禁止 1 : チャンネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。グローバルリセットモード時、“0” になります。

1. RSCFDnCFDGTCTR レジスタの GMDC[1:0] ビットを “10_B” (グローバルテストモード) にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

ICBCTME ビット

“1” にすると、RSCFDnCFDGTSTCFG レジスタの CmICBCE ビット (m=0~3) を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。グローバルリセットモード時、“0” になります。

14.4.15.3 RSCFDnCFDGLOCKK — グローバルロックキーレジスタ

アクセス RSCFDnCFDGLOCKK レジスタは、32 ビット単位でライトのみ可能です。

RSCFDnCFDGLOCKKL、RSCFDnCFDGLOCKKH レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDGLOCKK: <RSCFDn_base> + 047C_H

RSCFDnCFDGLOCKKL: <RSCFDn_base> + 047C_H、RSCFDnCFDGLOCKKH: <RSCFDn_base> + 047E_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}

注 1. RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 14.171 RSCFDnCFDGLOCKK レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	ライトする場合はリセット後の値を書いてください。
15~0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCFDnCFDGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「**14.11.4.2 プロテクト解除手順**」を参照してください。

LOCK[15:0]ビット

プロテクト解除データを連続して LOCK[15:0]ビットに書くと、RSCFDnCFDGTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RSCFDn_base> + 0000_H ~ <RSCFDn_base> + 0FFF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

14.4.15.4 RSCFDnCFDRPGACC_r — RAM テストページアクセスレジスタ (r = 0~63)

アクセス RSCFDnCFDRPGACC_r レジスタは、32 ビット単位でリード/ライト可能です。
RSCFDnCFDRPGACC_{rL}、RSCFDnCFDRPGACC_{rH} レジスタは、16 ビット単位でリード/ライト可能です。
RSCFDnCFDRPGACC_{rLL}、RSCFDnCFDRPGACC_{rLH}、RSCFDnCFDRPGACC_{rHL}、
RSCFDnCFDRPGACC_{rHH} レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCFDnCFDRPGACC_r: <RSCFDn_base> + 6400_H + (04_H × r)
RSCFDnCFDRPGACC_{rL}: <RSCFDn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACC_{rH}: <RSCFDn_base> + 6402_H + (04_H × r)
RSCFDnCFDRPGACC_{rLL}: <RSCFDn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACC_{rLH}: <RSCFDn_base> + 6401_H + (04_H × r)、
RSCFDnCFDRPGACC_{rHL}: <RSCFDn_base> + 6402_H + (04_H × r)、
RSCFDnCFDRPGACC_{rHH}: <RSCFDn_base> + 6403_H + (04_H × r)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.172 RSCFDnCFDRPGACC_r レジスタの内容

ビット位置	ビット名	機能
31~0	RDTA[31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCFDnCFDRPGACC_r レジスタは、グローバルテストモードでかつ RSCFDnCFDGTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1” のときに、RSCFDnCFDRPGACC_r レジスタへの読み書きができます。

14.5 割り込み要因と DMA トリガ

14.5.1 割り込み要因

RS-CANFD モジュールには 14 本の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

- グローバル割り込み (2 本)
 - 受信 FIFO 割り込み
 - グローバルエラー割り込み
- チャンネル割り込み (各チャンネルごとに 3 本ずつ)
 - CANm 送信割り込み (m = 0~3)
 - CANm 送信完了割り込み
 - CANm 送信アボート割り込み
 - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時)
 - CANm 送信履歴割り込み
 - CANm 送信キュー割り込み
 - CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)
 - CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RS-CANFD モジュールから割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 14.173 に CAN 割り込み要因一覧を示します。**図 14.2** に CAN グローバル割り込みブロック図を、**図 14.3** に CAN チャンネル割り込みブロック図を示します。

表 14.173 CAN 割り込み要因一覧

割り込み要因		対応する割り込み要求フラグ	対応する割り込み許可ビット	
グローバル 割り込み	受信 FIFO	受信 FIFO 0	RSCFDn(CFD)RFSTS0 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCFDn(CFD)RFSTS1 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCFDn(CFD)RFSTS2 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCFDn(CFD)RFSTS3 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCFDn(CFD)RFSTS4 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCFDn(CFD)RFSTS5 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCFDn(CFD)RFSTS6 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCFDn(CFD)RFSTS7 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC7 レジスタの RFIE ビット
	グローバルエラー	RSCFDn(CFD)GERFL レジスタの DEF フラグ RSCFDn(CFD)GERFL レジスタの MES フラグ RSCFDn(CFD)GERFL レジスタの THLES フラグ RSCFDnCFDGERFL レジスタの CMPOF フラグ	RSCFDn(CFD)GCTR レジスタの DEIE ビット RSCFDn(CFD)GCTR レジスタの MEIE ビット RSCFDn(CFD)GCTR レジスタの THLEIE ビット RSCFDnCFDGCTR レジスタの CMPOFIE ビット	
チャンネル 割り込み (m = 0~3)	CANm 送信	CANm 送信完了	RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0]フラグ	RSCFDn(CFD)TMIECy レジスタの TMIEp ビット
		CANm 送信 アポート	RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0]フラグ	RSCFDn(CFD)CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RSCFDn(CFD)CFSTSk レジスタの CFTXIF フラグ	RSCFDn(CFD)CFCCk レジスタの CFTXIE ビット
		CANm 送信 キュー	RSCFDn(CFD)TXQSTSm レジスタの TXQIF フラグ	RSCFDn(CFD)TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCFDn(CFD)THLSTSm レジスタの THLIF フラグ	RSCFDn(CFD)THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了	RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグ	RSCFDn(CFD)CFCCk レジスタの CFRXIE ビット	
	CANm エラー	RSCFDn(CFD)CmERFL レジスタの BEF フラグ	RSCFDn(CFD)CmCTR レジスタの BEIE ビット	
		RSCFDn(CFD)CmERFL レジスタの ALF フラグ	RSCFDn(CFD)CmCTR レジスタの ALIE ビット	
		RSCFDn(CFD)CmERFL レジスタの BLF フラグ	RSCFDn(CFD)CmCTR レジスタの BLIE ビット	
		RSCFDn(CFD)CmERFL レジスタの OVLf フラグ	RSCFDn(CFD)CmCTR レジスタの OLIE ビット	
		RSCFDn(CFD)CmERFL レジスタの BORF フラグ	RSCFDn(CFD)CmCTR レジスタの BORIE ビット	
RSCFDn(CFD)CmERFL レジスタの BOEF フラグ		RSCFDn(CFD)CmCTR レジスタの BOEIE ビット		
RSCFDn(CFD)CmERFL レジスタの EPF フラグ		RSCFDn(CFD)CmCTR レジスタの EPIE ビット		
RSCFDn(CFD)CmERFL レジスタの EWF フラグ		RSCFDn(CFD)CmCTR レジスタの EWIE ビット		
RSCFDnCFDCmFDSTS レジスタの SOCO フラグ		RSCFDnCFDCmCTR レジスタの SOCOIE ビット		
RSCFDnCFDCmFDSTS レジスタの EOCO フラグ		RSCFDnCFDCmCTR レジスタの EOCOIE ビット		
RSCFDnCFDCmFDSTS レジスタの TDCVF フラグ	RSCFDnCFDCmCTR レジスタの TDCVFIE ビット			

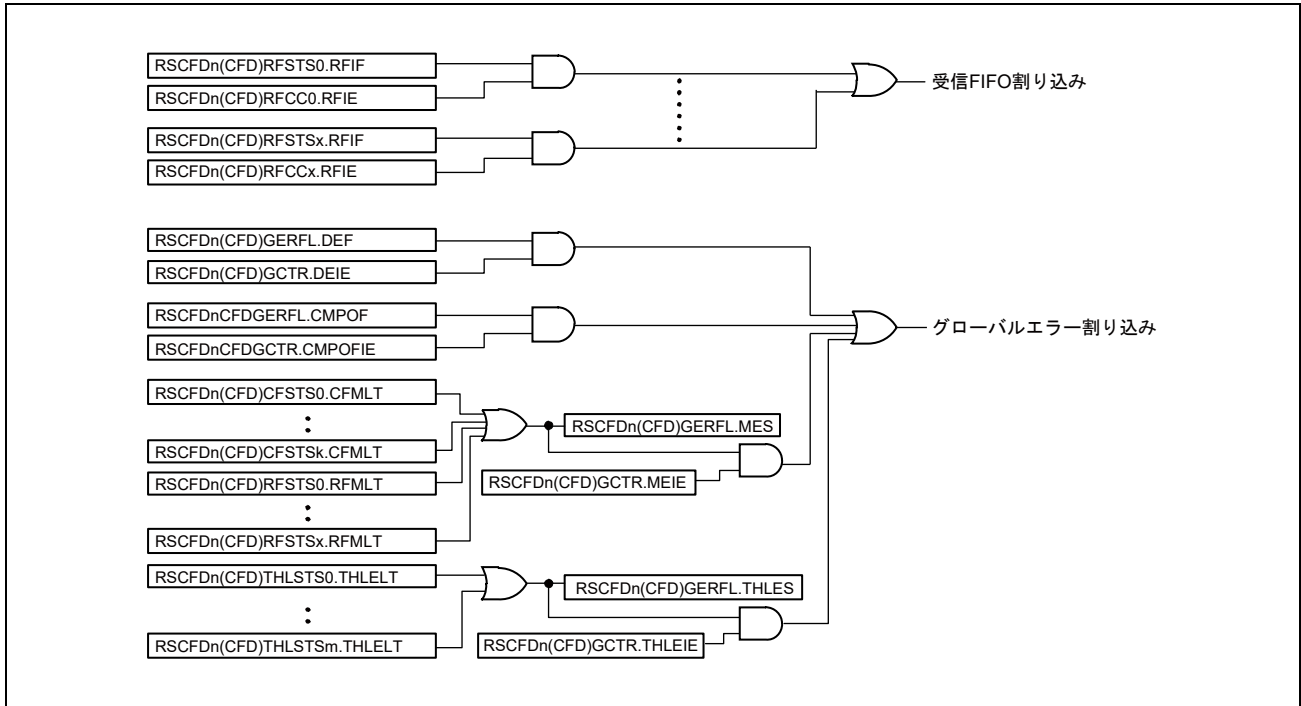


図 14.2 CAN グローバル割り込みブロック図

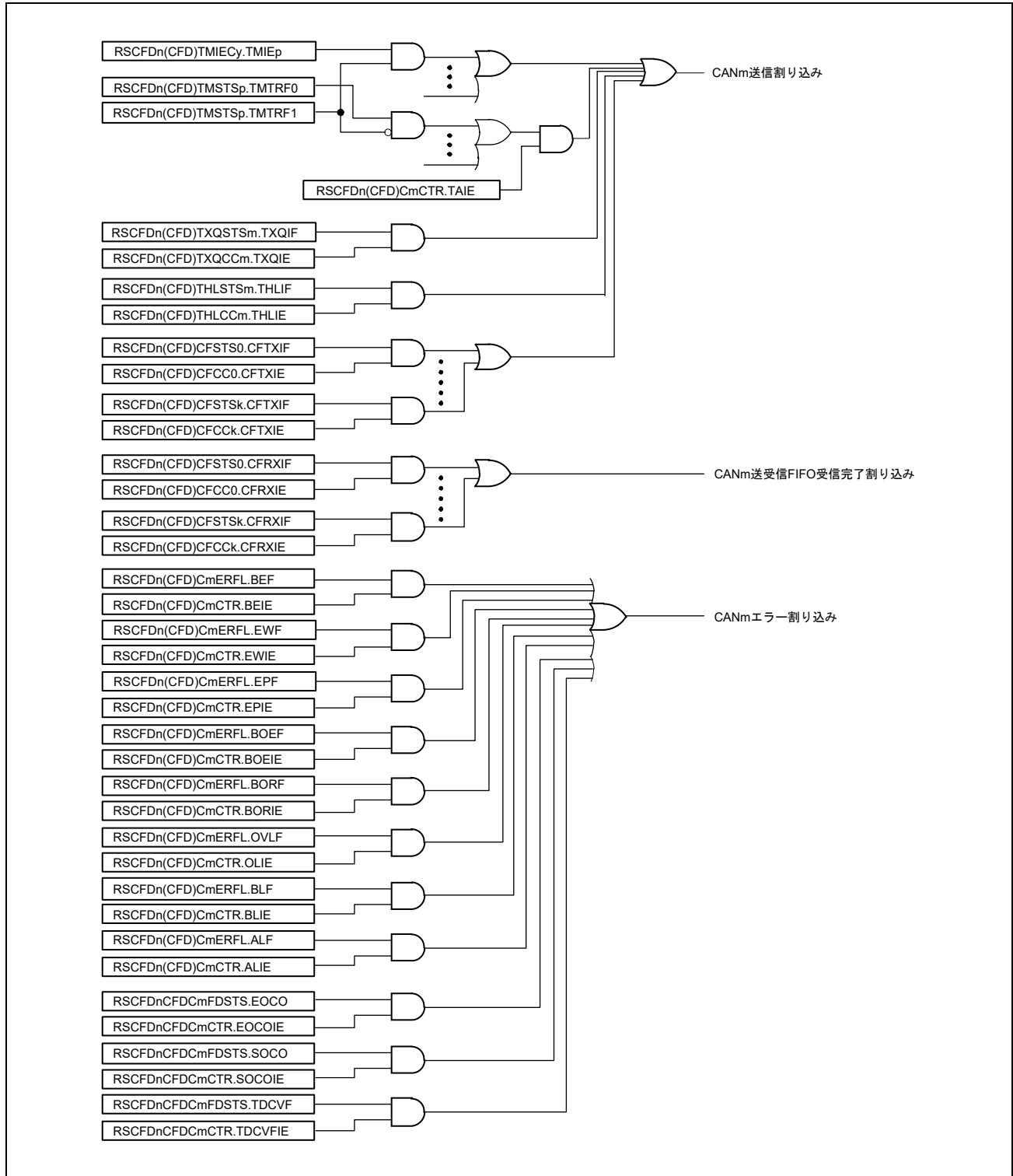


図 14.3 CAN チャネル割り込みブロック図

14.5.2 DMA トリガ (CAN FD モードのみ)

CAN FD モードのとき、受信に使用する FIFO バッファを DMA のチャンネルに関連付けることができます。次の 12 本の FIFO バッファに関連付けが可能です。

- 全ての受信 FIFO バッファ x ($x = 0 \sim 7$)
- チャンネル m に割り当てられた最初の送受信 FIFO バッファ k ($k = 3 \times m, m = 0 \sim 3$)

DMA 許可ビット (RSCFDnCFDCDTCT レジスタの RFDMAEx ビットまたは CFDMAEm ビット) に “1” が設定され、関連する FIFO に未読メッセージがあるとき、DMA 転送要求トリガが生成されます。

14.6 CAN モード

RS-CANFD モジュールには、RS-CANFD モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャンネル状態を制御するチャンネルモードが 4 種類あります。「14.6.1 グローバルモード」にグローバルモード、「14.6.2 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャンネルストップモード : チャンネルのクロックが停止する。
- チャンネルリセットモード : チャンネルの初期設定を行う。
- チャンネル待機モード : CAN 通信を停止させたり、チャンネルのテストを許可する。
- チャンネル通信モード : CAN 通信を行う。

14.6.1 グローバルモード

図 14.4 にグローバルモードの遷移図を示します。

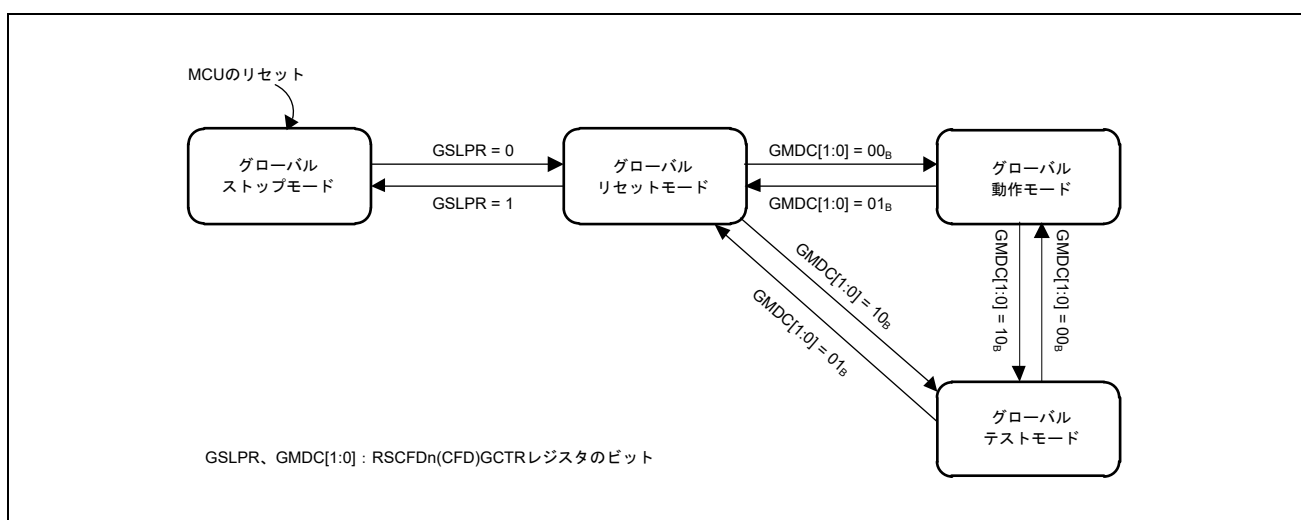


図 14.4 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 14.174 にグローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化を示します。

表 14.174 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前のチャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00 _B GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10 _B GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01 _B GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01 _B GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル待機	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

注： GMDC[1:0]ビットと GSLPR ビットは、RSCFDn(CFD)GCTR レジスタのビット。

表 14.175 にグローバルモードの遷移時間を示します。

表 14.175 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	2CAN ビットタイム ^{注1注2}
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	2CAN ビットタイム ^{注1注2}
グローバル動作	グローバルテスト	CAN フレームの 2 つ分 ^{注1}

注 1. 使用チャンネルの内、最も遅い通信速度の CAN ビットタイムおよび CAN フレーム時間になります。

注 2. CAN FD モードのときは、通常ビットレートの CAN ビットタイムになります。

14.6.1.1 グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCFDn(CFD)GCTR レジスタの GSLPR ビットを “1” (グローバルストップモード) にすると、各 RSCFDn(CFD)CmCTR レジスタの CSLPR ビットが “1” (チャンネルストップモード) になります。その後、すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

14.6.1.2 グローバルリセットモード

グローバルリセットモードで RS-CANFD モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。初期化されるレジスタについては、「表 14.178 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧」と「表 14.179 グローバルリセットモードでのみ初期化されるレジスタ一覧」を参照してください。

RSCFDn(CFD)GCTR レジスタの GMDC[1:0]ビットを“01_B”に設定すると、各 RSCFDn(CFD)CmCTR レジスタ (m=0~3) の CHMDC[1:0]ビットが“01_B” (チャンネルリセットモード) になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません (CHMDC[1:0]ビットがすでに“01_B”に設定されているため)。

14.6.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RSCFDn(CFD)GCTR レジスタの GMDC[1:0]ビットを“10_B”に設定すると、各 RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0]ビットが“10_B” (チャンネル待機モード) になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

14.6.1.4 グローバル動作モード

グローバル動作モードでは RS-CANFD モジュールが動作します。

RSCFDn(CFD)GCTR レジスタの GMDC[1:0]ビットを“00_B”にすると、グローバル動作モードに遷移します。

14.6.2 チャネルモード

図 14.5 にチャネルモードの状態遷移図を示します。表 14.176 にチャネルモードの遷移時間を示します。

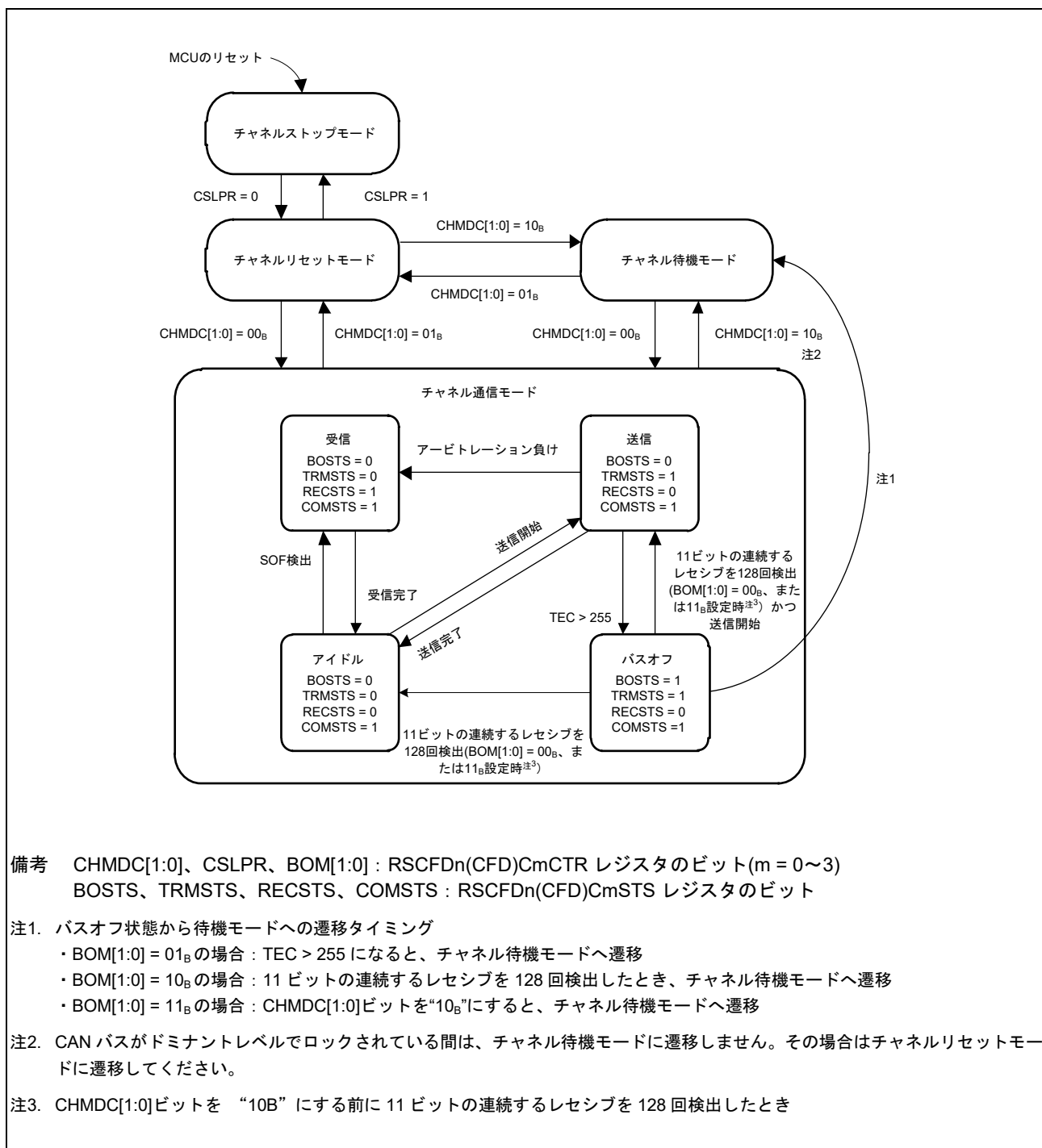


図 14.5 チャネルモードの状態遷移図

表 14.176 チャンネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャンネルストップ	チャンネルリセット	pclk の 3 クロック
チャンネルリセット	チャンネルストップ	pclk の 3 クロック
チャンネルリセット	チャンネル待機	3 CANm ビットタイム ^{注 1}
チャンネルリセット	チャンネル通信	4 CANm ビットタイム ^{注 1}
チャンネル待機	チャンネルリセット	2 CANm ビットタイム ^{注 1}
チャンネル待機	チャンネル通信	4 CANm ビットタイム ^{注 1}
チャンネル通信	チャンネルリセット	2 CANm ビットタイム ^{注 1}
チャンネル通信	チャンネル待機	CANm フレームの 2 つ分

注 1. CAN FD モードのときは、通常ビットレートの CANm ビットタイムになります。

14.6.2.1 チャンネルストップモード

チャンネルストップモードでは、チャンネルへ供給するクロックが停止するので、消費電力が低減されます。チャンネル関連レジスタの読み出しは可能ですが、書き込みはしないでください (CSLPR ビットを除く)。レジスタ値は保持されます。

各チャンネルは、MCU のリセット後、チャンネルストップモードになります。また、チャンネルリセットモード時に、RSCFDn(CFD)CmCTR レジスタ (m=0~3) の CSLPR ビットを “1” (チャンネルストップモード) にすると、チャンネルストップモードに遷移します。CSLPR ビットはチャンネル通信モードおよびチャンネル待機モードでは書き換えしないでください。

14.6.2.2 チャンネルリセットモード

チャンネルリセットモードでチャンネルの設定を行います。チャンネルリセットモードに遷移すると、一部のチャンネル関連レジスタが初期化されます。初期化されるレジスタについては、「**表 14.178 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧**」を参照してください。

CAN 通信中に RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “01_B” (チャンネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャンネルリセットモードへ遷移します。**表 14.177** に CAN 通信中に CHMDC[1:0] ビットを “01_B” (チャンネルリセットモード) に設定したときの動作を示します。

14.6.2.3 チャンネル待機モード

チャンネル待機モードでチャンネルのテスト関連レジスタの設定を行います。チャンネル待機モードに遷移すると、チャンネルの CAN 通信は停止します。

表 14.177 に CAN 通信中に CHMDC[1:0] ビットを “10_B” (チャンネル待機モード) に設定したときの動作を示します。

表 14.177 チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット (CHMDC[1:0] = “01 _B ”)	受信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	送信の終了を待たずにチャネルリセットモードに遷移 ^{注1}	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機 ^{注3} (CHMDC[1:0] = “10 _B ”)	受信の終了を待ってチャネル待機モードに遷移 ^{注2}	送信の終了を待ってチャネル待機モードに遷移	<p>【BOM[1:0]ビットが “00_B” の場合】 バスオフ復帰後のみ、チャネル待機モード遷移 (CHMDC[1:0] = “10_B”) が実行される</p> <p>【BOM[1:0]ビットが “01_B” の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0]ビットが “10_B” の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移</p> <p>【BOM[1:0]ビットが “11_B” の場合】 CHMDC[1:0]ビットに “10_B” が設定されるとすぐにチャネル待機モードに遷移 (バスオフ復帰の終了は待たない)</p>

注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0]ビットを “10_B” に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを “01_B” に設定してください。

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると RSCFDn(CFD)CmERFL レジスタの BLF フラグが “1” になるので、CAN バスの状態を確認できます。

注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、クラシカル CAN モードのときはチャネルリセットモードで RSCANnCmCFG レジスタを設定してからチャネル待機モードへ遷移してください。CAN FD モードのときは RSCFDnCFDCmNCFG レジスタと RSCFDnCFDCmDCFG レジスタを設定してから遷移してください。

14.6.2.4 チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0]ビットを “00_B” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCFDn(CFD)CmSTS レジスタ (m = 0~3) の COMSTS フラグが “1” (通信可能な状態) になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

14.6.2.5 バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCFDn(CFD)CmCTR レジスタの BOM[1:0]ビットで設定します。

- BOM[1:0]ビットが “00_B” のとき：
CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCFDn(CFD)CmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットは “00_H” に初期化され、RSCFDn(CFD)CmERFL レジスタの BORF フラグが “1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0]ビットを “10_B”（チャンネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャンネル待機モードに遷移します。
- BOM[1:0]ビットが “01_B” のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが “10_B” になり、チャンネル待機モードへ遷移します。そのとき、TEC[7:0]ビットと REC[7:0]ビットは “00_H” に初期化されます。BORF フラグは “1” にならず、バスオフ復帰割り込み要求は発生しません。
- BOM[1:0]ビットが “10_B” のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが “10_B” になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットと REC[7:0]ビットは “00_H” に初期化され、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。
- BOM[1:0]ビットが “11_B” のとき：
バスオフ状態時に、CHMDC[1:0]ビットを “10_B” にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットと REC[7:0]ビットは “00_H” に初期化されます。BORF フラグは “1” になりません。またバスオフ復帰割り込み要求は発生しません。ただし、CHMDC[1:0]ビットを “10_B” にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールによるチャンネル待機モードへの遷移と、プログラムによる CHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0]ビットを “01_B” または “10_B” に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0]ビットが “00_B”（チャンネル通信モード）のときのみ発生します。

また、RSCFDn(CFD)CmCTR レジスタの RTBO ビットを “1” にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに “1” を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは “1” になりません。TEC[7:0]ビットと REC[7:0]ビットは “00_H” に初期化されます。RTBO ビットは、BOM[1:0]ビットが “00_B” のときのみ “1” を書いてください。バスオフ状態以外で、RTBO ビットに “1” を書いても無視され、RTBO ビットは直ちに “0” になります。

14.6.3 CAN モード遷移によるレジスタ初期化

チャンネルリセットモードへの遷移によって初期化されるビットおよびフラグを表 14.178 に示します。これらは、グローバルリセットモードへの遷移でも初期化されます。また、グローバルリセットモードへの遷移のみによって初期化されるビットおよびフラグを表 14.179 に示します。

表 14.178 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCFDn(CFD)CmCTR レジスタ	(ROM), CRCT, CTMS[1:0], CTME, CHMDC[1:0]
RSCFDn(CFD)CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, (ESIF), REC[7:0], TEC[7:0]
RSCFDn(CFD)CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCFDn(CFD)CmFDCTR レジスタ	EOCCLR, SOCCLR
RSCFDn(CFD)CmFDSTS レジスタ	SOC[7:0], EOC[7:0], SOCO, EOCO, TDCVF, TDCR[6:0]
RSCFDn(CFD)CmFDCRC レジスタ	CRCREG[20:0], SCNT[3:0]
RSCFDn(CFD)CFCCk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFE
RSCFDn(CFD)CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCFDn(CFD)CFTISTS レジスタ	CFkTXIF
RSCFDn(CFD)TMCP レジスタ	TMOM, TMTAR, TMTR
RSCFDn(CFD)TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCFDn(CFD)TMTRSTSy レジスタ	TMTRSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCFDn(CFD)TMTARSTSy レジスタ	TMTARSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCFDn(CFD)TMTCASTSy レジスタ	TMTCASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCFDn(CFD)TMTASTSy レジスタ	TMTASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCFDn(CFD)TXQCCm レジスタ	TXQE
RSCFDn(CFD)TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCFDn(CFD)THLCCm レジスタ	THLE
RSCFDn(CFD)THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCFDn(CFD)GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm (m = 0~3)

備考 () 内のビット/フラグは CAN FD モードのレジスタにのみ存在

表 14.179 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCFDn(CFD)GSTS レジスタ	GHLTSTS
RSCFDn(CFD)GERFL レジスタ	EEF0, EEF1, EEF2, EEF3, (CMPOF), THLES, MES, DEF
RSCFDn(CFD)GTSC レジスタ	TS[15:0]
RSCFDn(CFD)RMNDy レジスタ	RMNSq
RSCFDn(CFD)RFCCx レジスタ	RFE
RSCFDn(CFD)RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCFDn(CFD)CFCCk レジスタ	送受信 FIFO が受信モード時: CFE
RSCFDn(CFD)CFSTSk レジスタ	送受信 FIFO バッファが受信モード時: CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCFDn(CFD)FESTS レジスタ	CFkEMP, RFxEMP
RSCFDn(CFD)FFSTS レジスタ	CFkFLL, RFxFLL
RSCFDn(CFD)FMSTS レジスタ	CFkMLT, RFxMLT
RSCFDn(CFD)RFISTS レジスタ	RFxIF
RSCFDn(CFD)CFRISTS レジスタ	CFkRXIF
RSCFDnCFDCTCT レジスタ	CFDMAEm, RFDMAEx
RSCFDnCFDCTSTS レジスタ	CFDMASTSm, RFDMASTsX
RSCFDn(CFD)GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE
RSCFDn(CFD)GTSTCTR レジスタ	RTME, ICBCTME

備考 () 内のビット/フラグは CAN FD モードのレジスタにのみ存在

14.7 受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信:
全チャンネルで共有する受信バッファは、0~64 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ (受信モード) による受信:
全チャンネルで共有する受信 FIFO バッファが 8 本と、各チャンネル専用の送受信 FIFO バッファが 1 チャンネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0]ビット、CFDC[2:0]ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

14.7.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャンネルにつき最大 128 で、モジュール全体では、64×チャンネル数 となります (本モジュールは 4 チャンネル搭載しているため、最大 256 ルール登録できます)。受信ルールは各チャンネルごとに設定してください。他のチャンネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図 14.6 に受信ルール登録の説明図を示します。

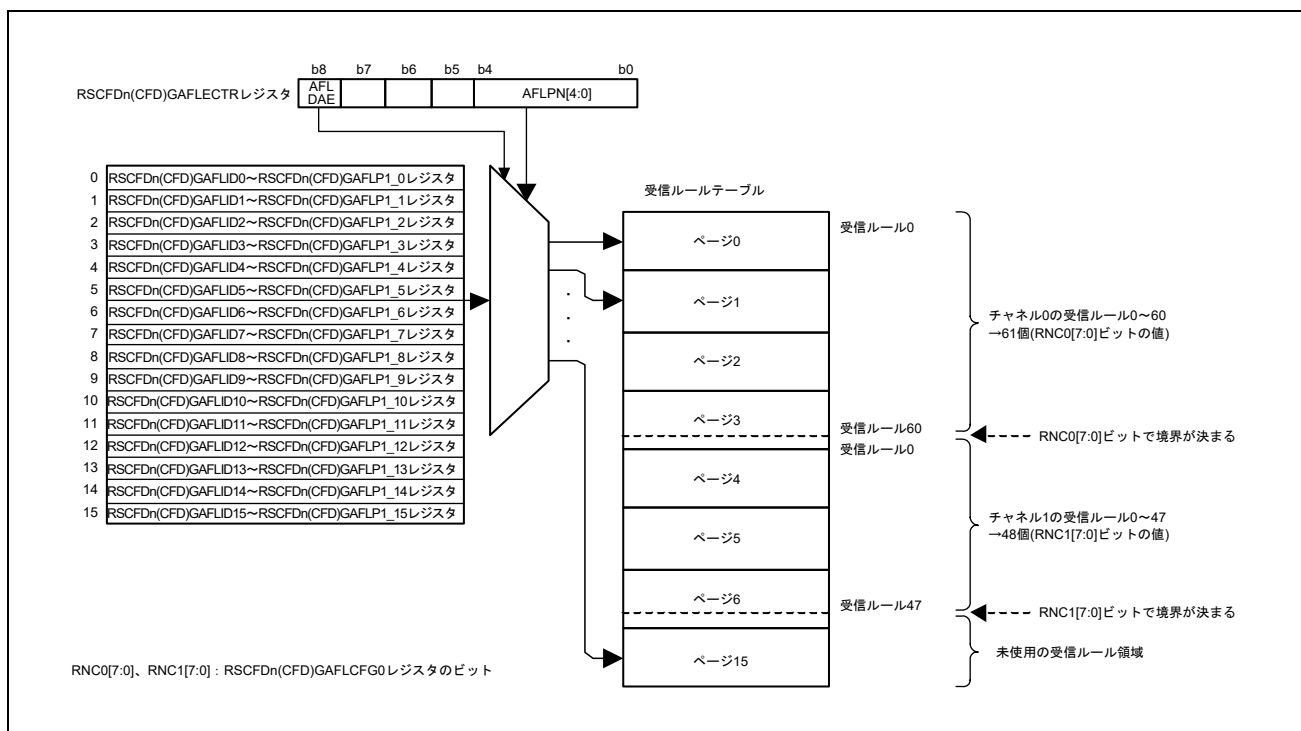


図 14.6 受信ルール登録 (チャンネル 0, 1 を設定する場合)

注 意

各チャンネルの受信ルールは、連続して設定してください。

チャンネル 0 の受信ルールとチャンネル 1 の受信ルールを交互に設定することはできません。

各受信ルールは RSCFDn(CFD)GAFLIDj、RSCFDn(CFD)GAFLMj、RSCFDn(CFD)GAFLP0_j、RSCFDn(CFD)GAFLP1_j レジスタ (j=0~15) の 16 バイトで構成されています。RSCFDn(CFD)GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCFDn(CFD)GAFLMj レジスタではマスク設定、RSCFDn(CFD)GAFLP0_j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCFDn(CFD)GAFLP1_j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

14.7.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCFDn(CFD)GAFLMj レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

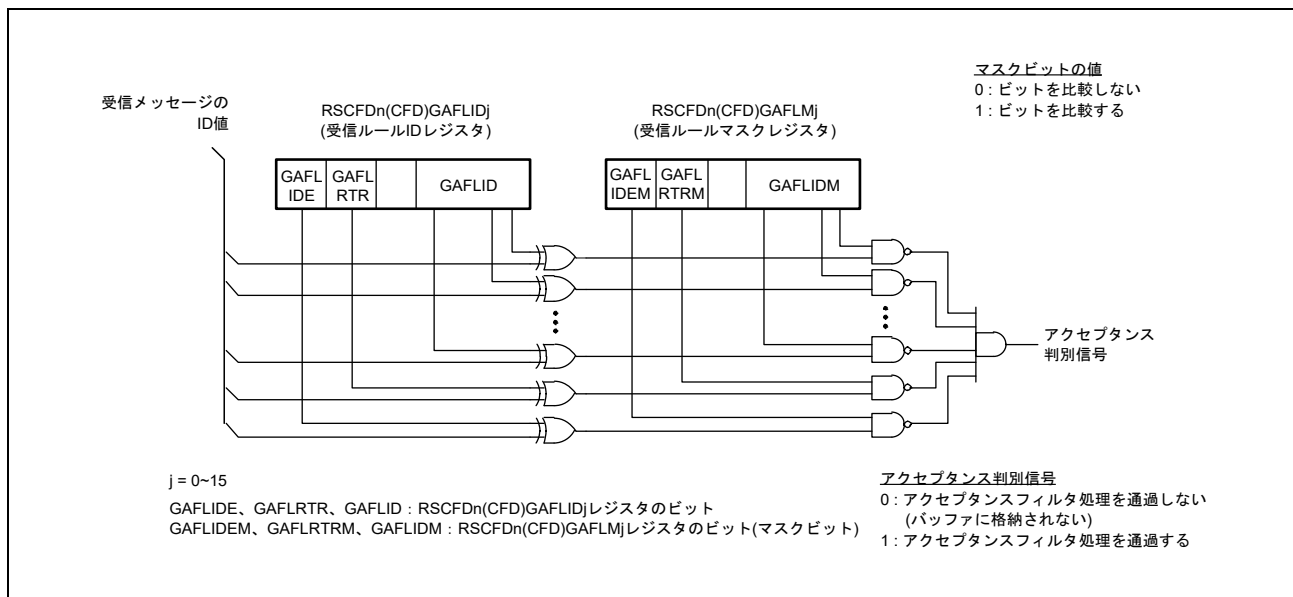


図 14.7 アクセプタンスフィルタ機能

14.7.1.2 DLC フィルタ処理

RSCFDn(CFD)GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCFDn(CFD)GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCFDn(CFD)GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCFDn(CFD)GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

14.7.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCFDn(CFD)GAFLP0_j レジスタ (j=0~15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCFDn(CFD)GAFLP1_j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

CAN FD モードのとき、受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超える場合は、RSCFDn(CFD)GERFL レジスタの CMPOF フラグが“1” (ペイロードオーバーフロー) となり、RSCFDn(CFD)GCFG レジスタの CMPOC ビットに従って処理が行われます。CMPOC ビットが“0”のとき、ペイロード格納サイズを超えるメッセージはバッファに格納されません。CMPOC ビットが“1”のときは格納サイズを超える分のペイロードは切り捨てられて、メッセージがバッファに格納され、RSCFDn(CFD)GCFG レジスタの DRE ビットに応じて、受信した DLC 値または受信ルールテーブルの DLC 値がバッファに格納されます。

14.7.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCFDn(CFD)GAFLP0_j レジスタの GAFLPTR[11:0] ビットに設定します。

14.7.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCFDn(CFD)GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCFDn(CFD)GAFLID_j レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

14.7.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間と送信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、RSCFDn(CFD)GFDCFG レジスタの TSCCFG[1:0] ビットで設定したタイミングで取り込まれ、受信時はメッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCFDn(CFD)GCFG レジスタの TSBTCS[2:0]、TSSS ビットで選択します。クラシカル CAN モードのときは $pclk/2$ または CANm ビットタイムクロック ($m=0\sim3$) から選択できます。CAN FD モードのときは $pclk/2$ または CANm 通常ビットタイムクロックから選択できます。ただし、CAN FD フレームを扱うチャンネルの CANm 通常ビットタイムクロックは選択しないでください。選択したクロック源を RSCFDn(CFD)GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックまたは CANm 通常ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。 $pclk/2$ をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は RSCFDn(CFD)GCTR レジスタの TSRST ビットを“1”にすると、“0000_H”にリセットされます。

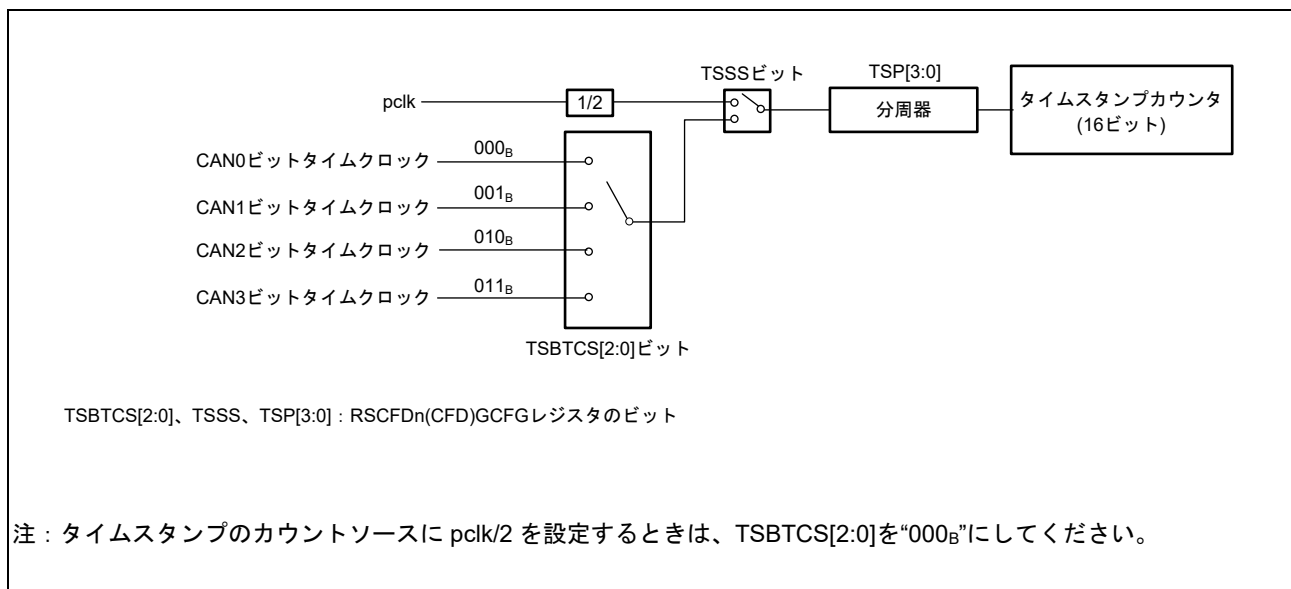


図 14.8 タイムスタンプ機能のブロック図

14.8 送信機能

送信の種類には、次の3つがあります。クラシカル CAN モードのとき、送信可能なペイロード長はいずれも 8 バイトです。CAN FD モードのとき、送信可能なペイロード長は送信の種類によって異なります。

- 送信バッファによる送信:

1 チャネルにつき 16 バッファあります。CAN FD モードで送信可能なペイロード長は 20 バイトです。ただし、送信バッファマージモードを使用すると、16 バッファのうち 4 バッファがペイロード専用格納領域として割り付けられ、2 バッファが 20 バイトを超えるペイロードを送信可能になります。

- 送受信 FIFO バッファ (送信モード) による送信:

1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。CAN FD モードで送信可能なペイロード長は 64 バイトです。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。

- 送信キューによる送信:

1 チャネルにつき最大 16 の送信バッファを送信キューに割り付けできます。CAN FD モードで送信可能なペイロード長は 20 バイトです。送信バッファ (16 × m) + 15 が対応するチャンネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 14.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

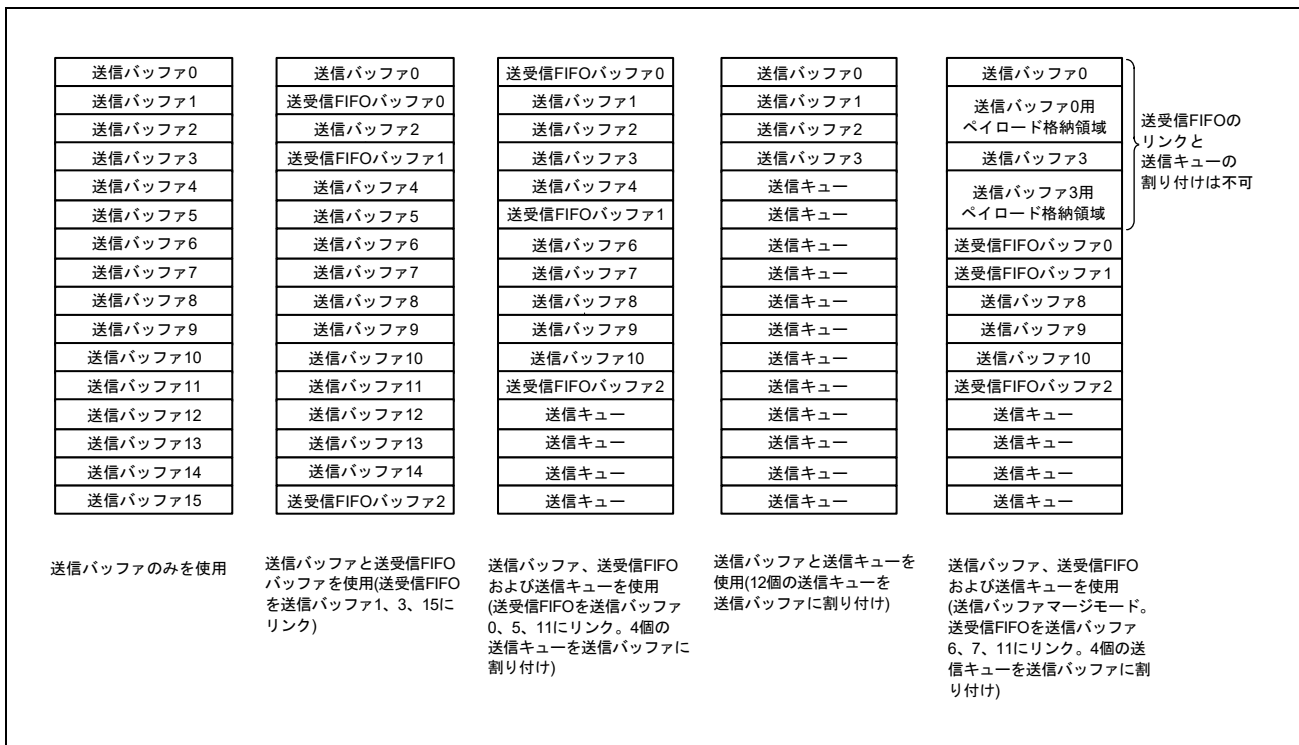


図 14.9 送信キューの割り付けと送受信 FIFO バッファのリンク

14.8.1 送信の優先順位判定

同一チャンネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の 2 つから選択することができます。

- ID 優先 (TPRI ビットが “0”)
- 送信バッファ番号優先 (TPRI ビットが “1”)

RSCFDn(CFD)GCFG レジスタの TPRI ビットの設定は、すべての CAN チャンネルで有効です。

TPRI ビットを “0” にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されません。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されません。

TPRI ビットを “1” にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。また、優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません (クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが “1” の場合のみ)。

14.8.2 送信バッファを用いた送信

送信バッファの送信要求ビット (RSCFDn(CFD)TMCP レジスタの TMTR ビット) を “1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCFDn(CFD)TMSTSp レジスタ (p = 0~63) の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは “10_B” (送信完了: 送信アボート要求なし) または “11_B” (送信完了: 送信アボート要求あり) になります。

14.8.2.1 送信アボート機能

RSCFDn(CFD)TMSTSp レジスタの TMTRM ビットが “1” (送信要求あり) である送信バッファにおいて、RSCFDn(CFD)TMCP レジスタの TMTAR ビットを “1” (送信アボートを要求する) にすると、送信要求が取り消されます。送信アボートが完了すると、RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグが “01_B” (送信アボート完了) になり、送信要求が取り消されます (TMTRM ビットが “0” になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを “1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

14.8.2.2 ワンショット送信機能 (再送信禁止機能)

RSCFDn(CFD)TMCp レジスタの TMOM ビットを “1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは “10_B” または “11_B” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは “01_B” (送信アボート完了) になります。

14.8.2.3 送信バッファマージモード (CAN FD モードのみ)

送信バッファで送信可能なペイロード長は 20 バイトですが、送信バッファマージモードによって 3 バッファの送信バッファをマージすることにより、最大 64 バイトのペイロード長を持つメッセージを送信できます。

RSCFDnCFDCmFDCFG レジスタの TMME ビットを “1” にすると、送信バッファマージモードが許可されます。このモードは 1 チャンネルごとに 6 バッファがマージ領域となり、送信バッファ (16 × m) + 0 ~ (16 × m) + 2 と送信バッファ (16 × m) + 3 ~ (16 × m) + 5 の 2 組がマージされます。送信要求は先頭の送信バッファで行い、続く 2 バッファはペイロード格納領域として使用します。先頭バッファ以外の送信バッファに対しては、送信要求ビット (RSCFDnCFDTCp レジスタの TMTR ビット) および送信アボート要求ビット (RSCFDnCFDTCp レジスタの TMTAR ビット) に “1” を設定しないでください。

送信バッファマージモードが許可されているとき、マージされている 6 バッファに対して送受信 FIFO バッファをリンクしないでください。また、送信キューへの割り付けは行わないでください。

14.8.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCFDn(CFD)CFCCk レジスタ (k = 0~11) の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCFDn(CFD)CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCFDn(CFD)CFCCk レジスタの CFE ビットを “1” (送受信 FIFO バッファを使用する) にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを “0” (送受信 FIFO バッファを使用しない) にすると、次に示すタイミングで CFEMP フラグが “1” (送受信 FIFO バッファ空) になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロスト、またはチャンネル待機モードへの遷移の後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

14.8.3.1 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCFDn(CFD)CFCCk レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します (CAN プロトコルの EOF7 の後)。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCFDn(CFD)CFCCk レジスタの CFITT[7:0]ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0]ビットに“00_H”を設定してください。

RSCFDn(CFD)CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると pclk/2 を ITRCP[15:0]ビットの値で分周したクロック、“10_B”にすると pclk/2 を ITRCP[15:0]ビットの値×10 で分周したクロック、“x1_B”にするとクラシカル CAN モードのときは CANm ビットタイムクロック、CAN FD モードのときは CANm 通常ビットタイムクロックがカウントソースになります。

ITRCP[15:0]ビットの設定値を M、CFITT[7:0]ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合：

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが“10_B”の場合：

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが“x1_B”の場合：

$$\text{クラシカル CAN モードの場合} : \frac{1}{\text{CANm ビットタイムクロックの周波数}} \times N$$

$$\text{CAN FD モードの場合} : \frac{1}{\text{CANm 通常ビットタイムクロックの周波数}} \times N$$

図 14.10 にインターバルタイマのブロック図を示します。

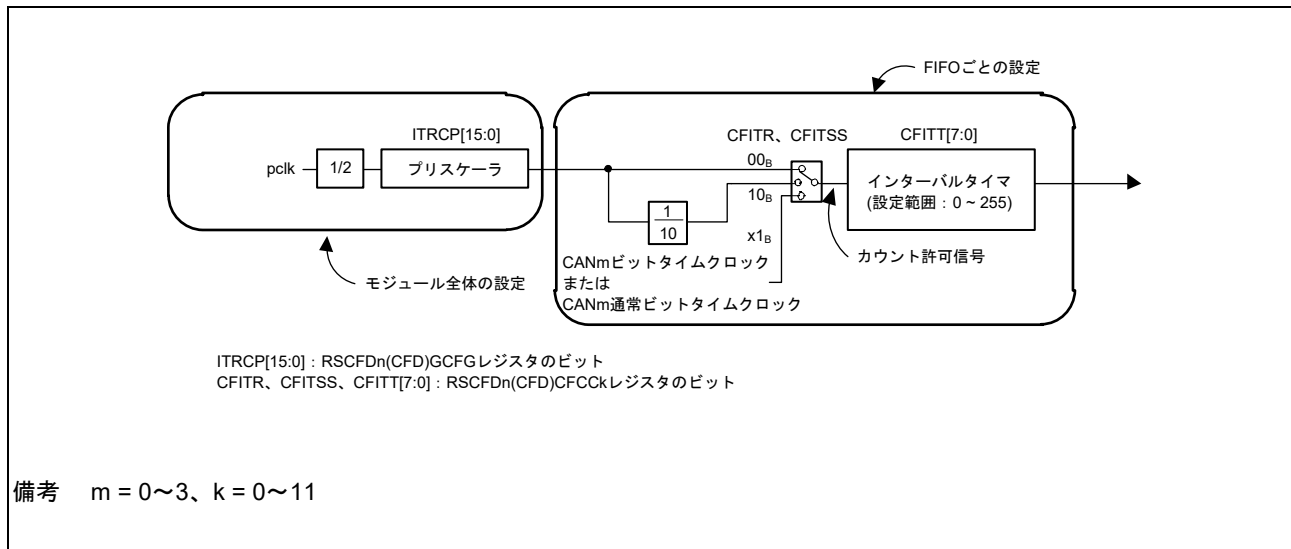


図 14.10 インターバルタイマのブロック図

図 14.11 にインターバルタイマのタイミング図を示します。

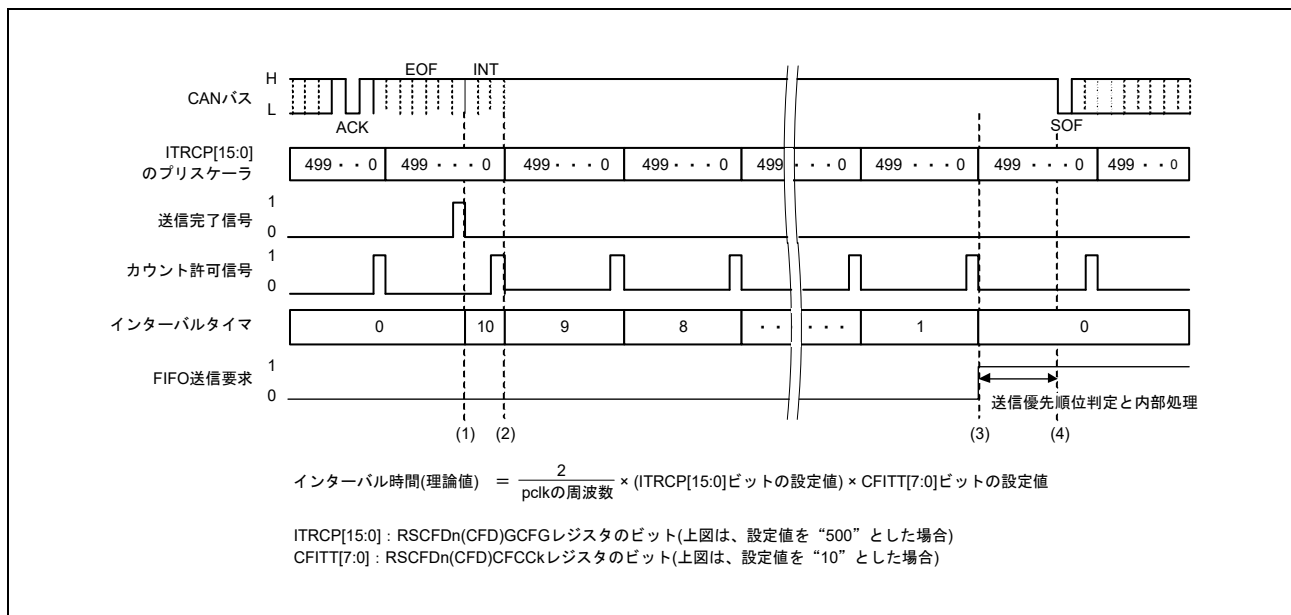


図 14.11 インターバルタイマのタイミング図

- (1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
- (2) 次のカウント許可信号で、インターバルタイマは“1”減算されます。
- (3) インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されます。

- (4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャンネルで発生すると、最大で pclk の 1376 クロック分遅延する場合があります。

14.8.4 送信キューによる送信

送信キューは 1 チャンネルごとに 3~16 バッファまで (送信バッファマージモードのときは 10 バッファまで) 割り付けられ、送信バッファ (16 × m) + 15 が対応するチャンネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCFDn(CFD)TXQCCm レジスタの TXQE ビットを “0” にすると、送信キューが使用不可になります。TXQE ビットを “0” にするとき、次に示すタイミングで RSCFDn(CFD)TXQSTSm レジスタの TXQEMP フラグは “1” (送信キュー空) になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロスト、またはチャンネル待機モードの遷移の後に、空になります。

TXQE ビットを “0” にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを “1” にする前に、TXQEMP フラグが “1” になったことを確認してください。

14.8.5 送信データパディング (CAN FD モードのみ)

設定された送信メッセージの DLC 値が示すペイロード長が、送信に使用するバッファのペイロード格納領域サイズを超える場合、超えた分のペイロードは “CC_H” でパディングされます。

この処理は、送信バッファマージモードが許可されていない (RSCFDnCFDCmFDCFG レジスタの TMME ビットが “0”) のとき、次に示す場合に行われます。

- 送信またはゲートウェイモードに設定された送受信 FIFO :
送信 DLC のペイロード長が、RSCFDnCFDCFCCK レジスタの CFPLS[2:0] ビットに設定された送受信 FIFO のペイロード格納領域サイズを超えるとき
- 送信バッファ (送信キューを含む) :
送信 DLC のペイロード長が 20 バイトを超えるとき

送信バッファマージモードが許可されているとき、送信バッファ、送受信 FIFO バッファ、送信キューのいずれを用いた送信でも送信データパディングは行われません。このとき、送信メッセージの DLC 値は、送信に使用するバッファのペイロード格納サイズを超えるペイロード長を設定しないでください。

14.8.6 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャンネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCFDn(CFD)THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCFDn(CFD)CFIDk レジスタ (k = 0~11) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

クラシカル CAN モードのときは、RSCANnGCFG レジスタの TMTSCE ビットで、送信履歴データにタイムスタンプ値を含めるかどうかを設定できます。CAN FD モードのときは、常にタイムスタンプ値が含まれます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、クラシカル CAN モードの場合は最大で $pclk$ の 152 クロック分、CAN FD モードの場合は最大で $pclk$ の 420 クロック分遅延する場合があります。

- バッファタイプ
 - 001_B : 送信バッファ
 - 010_B : 送受信 FIFO バッファ
 - 100_B : 送信キュー
- バッファ番号

送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。
これはバッファタイプに依存します。**表 14.180** を参照してください。
- ラベルデータ

送信メッセージのラベル情報
- タイムスタンプ

送信メッセージのタイムスタンプ値
(クラシカル CAN モードの場合は、TMTSCE ビットが “1” のとき)

表 14.180 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001 _B	010 _B	100 _B
0000 _B	送信バッファ 16 × m + 0	RSCFDn(CFD)CFCCk レジスタの CFTML[3:0]ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号 (k = 0~11)	送信を行った送信キューに割り付けられた送信バッファの番号
0001 _B	送信バッファ 16 × m + 1		
0010 _B	送信バッファ 16 × m + 2		
0011 _B	送信バッファ 16 × m + 3		
0100 _B	送信バッファ 16 × m + 4		
0101 _B	送信バッファ 16 × m + 5		
0110 _B	送信バッファ 16 × m + 6		
0111 _B	送信バッファ 16 × m + 7		
1000 _B	送信バッファ 16 × m + 8		
1001 _B	送信バッファ 16 × m + 9		
1010 _B	送信バッファ 16 × m + 10		
1011 _B	送信バッファ 16 × m + 11		
1100 _B	送信バッファ 16 × m + 12		
1101 _B	送信バッファ 16 × m + 13		
1110 _B	送信バッファ 16 × m + 14		
1111 _B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

タイムスタンプは、メッセージの SOF (スタートオブフレーム) のタイミングで、タイムスタンプカウンタから値が取り込まれます。タイムスタンプカウンタの詳細は「**14.7.1.6 タイムスタンプ**」を参照してください。

送信履歴データは、RSCFDn(CFD)THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバーフローし、新しいデータは破棄されます。

14.9 ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャンネルから送信することができます。

RSCFDn(CFD)CFCCk レジスタの CFM[1:0] ビットを “10_B” (ゲートウェイモード) に設定した送信するチャンネルの送受信 FIFO バッファを RSCFDn(CFD)GAFLP1_j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されません。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイモードに設定した送受信 FIFO バッファは、RSCFDn(CFD)CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

14.9.1 CAN-CAN FD ゲートウェイ (CAN FD モードのみ)

CAN FD モードでゲートウェイ機能を使用するときは、送信するフレームをクラシカル CAN フレームまたは CAN FD フレームに置換することができます。

RSCFDnCFDCmFDCFG レジスタの GWEN ビットを “1” にすると、CAN-CAN FD ゲートウェイが許可されます。RSCFDnCFDCmFDCFG レジスタの GWDF ビットと GWBRS ビットで、送信フレームの FDF ビットと BRS ビットを選択できます。受信した CAN フレームの DLC 値が “1001_B” 以上であり、GWDF ビットが “1” (CAN FD フレーム) の場合は、DLC が “1000_B” に置き換えられます。

CAN-CAN FD ゲートウェイが許可されているとき、以下のフレームはルーティングしないでください。

- ペイロード長が 8 バイトを超える CAN FD フレーム
- リモートフレーム

また、CAN-CAN FD ゲートウェイが許可されているとき、GWDF の設定により以下のフレームのみ該当するチャンネルから送信してください。

- GWDF = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWDF = 1 のとき、CAN FD フレームのみ送信してください。

14.10 テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト:チャンネルごとに行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード 0 (外部ループバックモード)
 - セルフテストモード 1 (内部ループバックモード)
 - 制限動作モード (CAN FD モードのみ)
- グローバルテスト:モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)
 - チャンネル間通信テスト[CRC エラーテスト可能]

14.10.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。送信または受信メッセージを基に RS-CANFD モジュールが計算した CRC 値がレジスタに格納されます。格納先は、メッセージがクラシカル CAN フレーム (CRC 長 15 ビット) のときは RSCFDn(CFD)CmERFL レジスタの CRCREG[14:0]ビット、CAN FD フレーム (CRC 長 17 ビットまたは 21 ビット) のときは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0]ビットです。CRC エラーテストを行う場合は、チャンネル間通信テスト機能を使用してください。詳細は「14.10.6.1 CRC エラーテスト」を参照してください。

14.10.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 14.12 にリッスンオンリモード選択時の接続を示します。

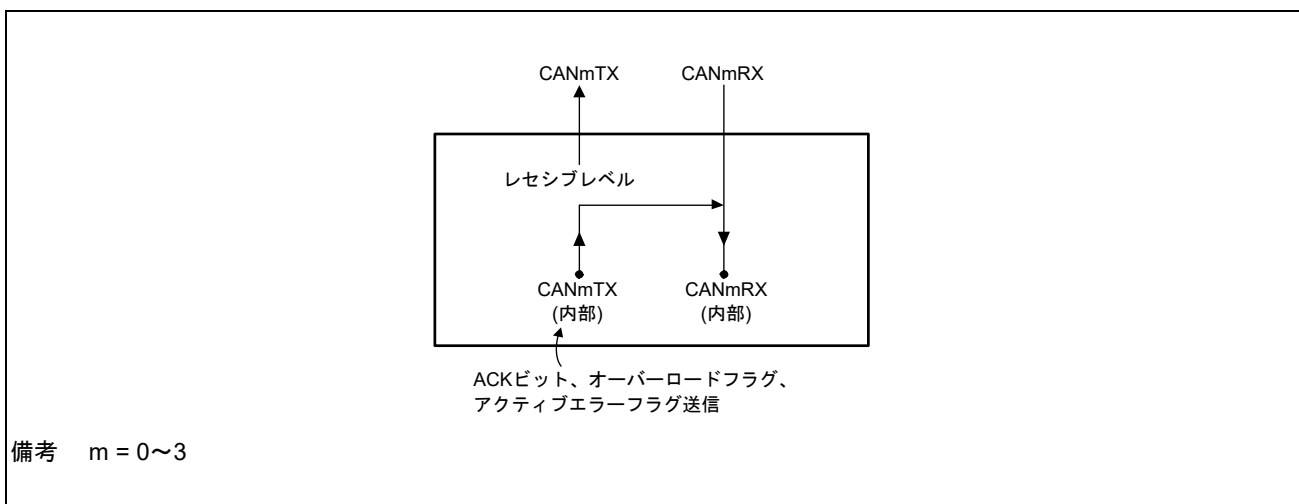


図 14.12 リッスンオンリモード選択時の接続

14.10.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャンネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCFDn(CFD)GAFLIDj レジスタ (j=0~15) の GAFLLB ビットを “0” (他の CAN ノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

14.10.3.1 セルフテストモード 0 (外部ループバックモード)

セルフテストモード 0 は CAN トランシーバを含めたチャンネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 14.13 にセルフテストモード 0 選択時の接続を示します。

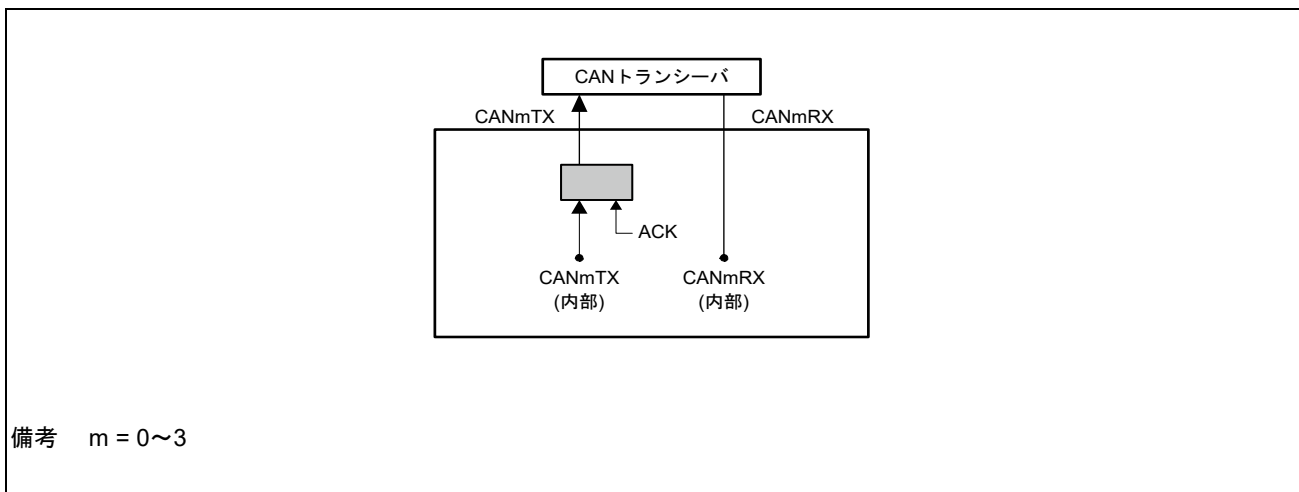


図 14.13 セルフテストモード 0 選択時の接続

14.10.3.2 セルフテストモード 1 (内部ループバックモード)

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子 (m = 0~3) から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 14.14 にセルフテストモード 1 選択時の接続を示します。

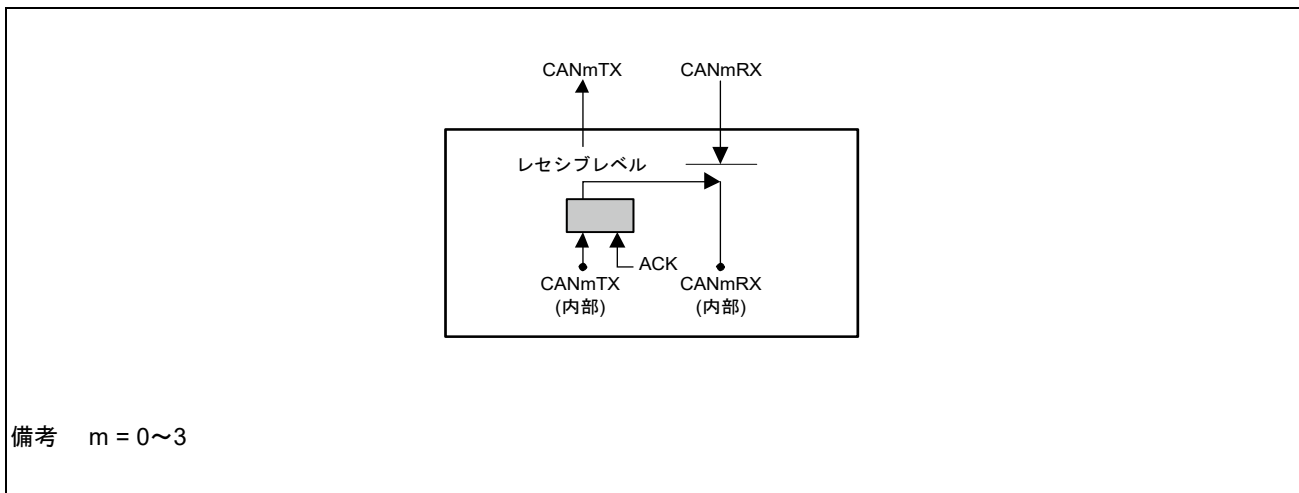


図 14.14 セルフテストモード 1 選択時の接続

14.10.4 制限動作モード (CAN FD モードのみ)

制限動作モードでは、有効なデータフレームおよびリモートフレームを受信した場合に ACK ビットを生成しますが、エラーフレームまたはオーバーロードフレーム送信条件を検出してもこれらのフレームを送信しません。条件を検出した場合は、CAN 通信に再同期するため、バスアイドル状態になるのを待ちます。また、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) はエラーの発生で変化しません。

送信については任意の送信要求が可能であり、制限はありません。

14.10.5 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCFDn(CFD)GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCFDn(CFD)RPGACCr レジスタ (r = 0~63) から読み出し/書き込みができます。有効な総 RAM サイズは、クラシカル CAN モードでは 10112 バイト (2780_H)、CAN FD モードでは 14208 バイト (3780_H) です。最終ページ (クラシカル CAN モード:RTMPS[6:0]=27_H、CAN FD モード:RTMPS[6:0]=37_H) の 128 バイト以降の RAM にはアクセスしないでください。

14.10.6 チャンネル間通信テスト

チャンネル間通信テスト機能を使用すると、CAN チャンネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャンネルは外部の CAN バスから切り離されます。

各チャンネルに対して送受信の設定を行ってから、チャンネル通信モードで送受信を開始してください。テストに参加しないチャンネルは、チャンネル待機モードにしてください。

図 14.15 にチャンネル間通信テスト接続図を示します。

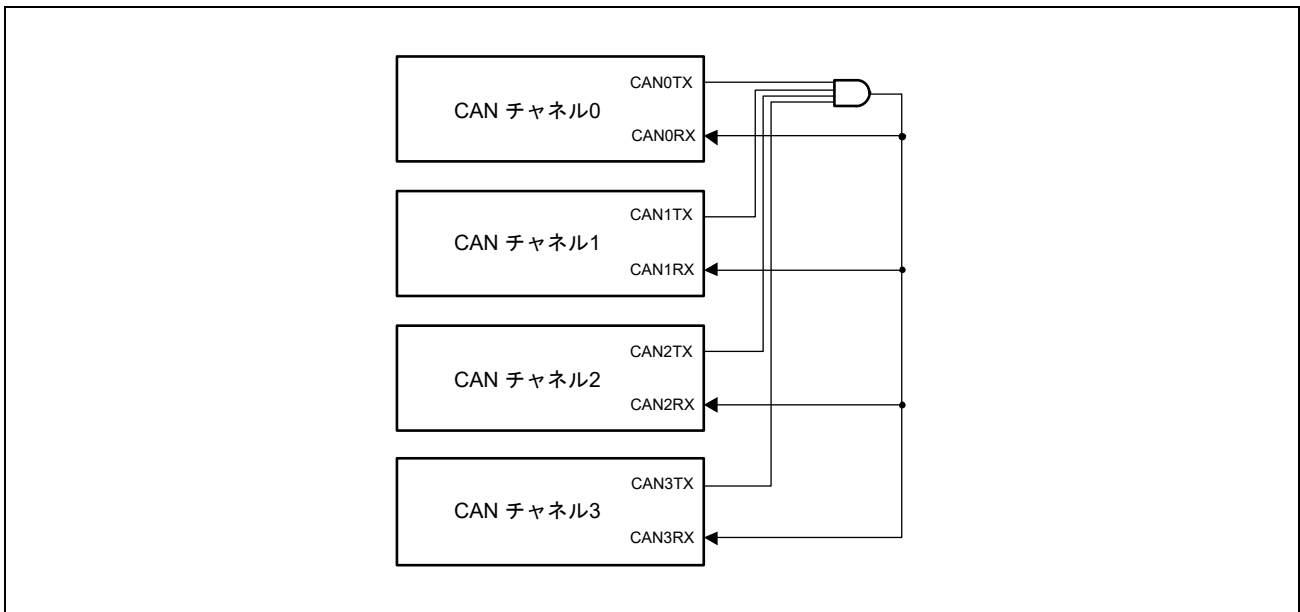


図 14.15 チャンネル間通信テスト接続図

14.10.6.1 CRC エラーテスト

チャンネル間通信テスト時は、CRC エラーテストを行うことができます。以下にチャンネル 0-1 間通信テスト中にチャンネル 0 の CRC エラーテストを行う場合の手順例を示します。

前提条件

- チャンネル間通信テスト有効
- チャンネル 0 およびチャンネル 1 は標準テストモード

手順

1. チャンネル 1 の送信バッファ p からメッセージ送信を行うよう設定
2. RSCFDn(CFD)C0CTR レジスタの CRCT ビットに “1” を設定 (受信 ID フィールドの先頭ビット反転が有効)
3. RSCFDn(CFD)TMCp レジスタの TMTR ビットに “1” を設定 (チャンネル 1 の送信バッファ p に対し、送信要求を発行)
4. チャンネルバスエラーによる CAN0 エラー割り込みの発生を待つ
5. 双方のチャンネルで RSCFDn(CFD)CmERFL レジスタの CRCREG[14:0]ビットまたは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0]ビットを読み出し、CRC 値が送信側と受信側で異なっていることを確認
6. RSCFDm(CFD)C0ERFL レジスタの CERR ビットが “1” (CRC エラー検出) になっていることを確認

CRC エラーテスト機能は、受信 ID フィールドの先頭ビットを反転させることにより、CRC 値の不正を発生させます。したがって、ID の上位 5 ビットが 10000_B、または ID の上位 6 ビットが 011111_B であるメッセージを受信した場合、CRC エラーではなくスタッフエラー (同一レベルデータが 6 ビット連続) が検出されますので注意してください。

RS-CANFD モジュールの CRC 生成回路は各チャンネルがそれぞれ持つプロトコルコントローラ内にあり、送信と受信で同一の回路を共用するため、送信時の CRC 演算テストを別途行う必要ありません。

14.11 RS-CANFD の設定手順

14.11.1 初期設定

MCU のリセット後に RS-CANFD モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、pclk の 5058 サイクルです。RAM の初期化中は、RSCFDn(CFD)GSTS レジスタの GRAMINIT フラグが “1” (CAN 用 RAM クリア中) になり、初期化が終了すると “0” (CAN 用 RAM クリア完了) になります。GRAMINIT フラグが “0” になった後に CAN の設定を行ってください。図 14.16 に MCU のリセット後の設定手順を示します。

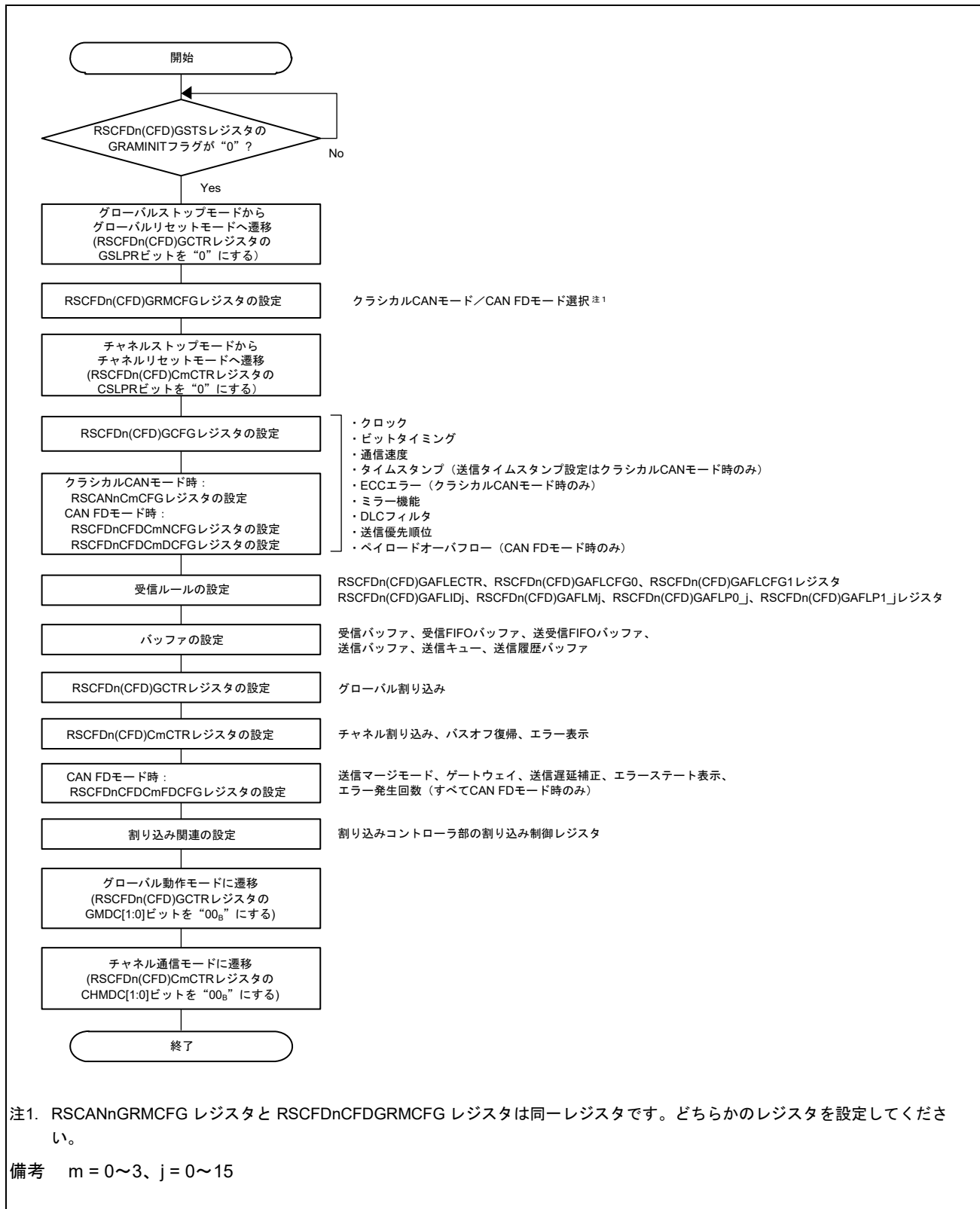


図 14.16 MCU のリセット後の設定手順

14.11.1.1 クロックの設定

RS-CANFD モジュールのクロック源である CAN クロック (fCAN) を設定します。RSCFDn(CFD)GCFG レジスタの DCS ビットで、clk、または clk_xincan を選択します。

14.11.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとにレジスタで設定できます。クラシカル CAN モードの場合は RSCANnCMCFG レジスタで設定します。CAN FD モードの場合は 2 種類のビットレート (通常ビットレートとデータビットレート) を持ち、それぞれ RSCFDnCFDCmNCFG レジスタと RSCFDnCFDCmDCFG レジスタで設定します。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCFDn(CFD)GCFG レジスタの DCS ビットで選択したクロックを分周したクロックの周期になります。分周比は、クラシカル CAN モードの場合は RSCANnCMCFG レジスタの BRP[9:0] ビットで設定し (CANmTq クロック)、CAN FD モードの場合は RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビットと RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットで設定します (CANmTq(N) クロックと CANmTq(D) クロック)。ISO 11898-1:2015 では通常ビットレートとデータビットレートで個別の分周比にすることを許可しています。ただし、それぞれを異なる値に設定した場合、通常ビットレートからデータビットレートに切り替わるタイミングで、CAN ノード間の同期が外れる可能性があります。そのため、NBRP[9:0] ビットと DBRP[7:0] ビットは同じ値に設定し、セグメントの値によって 2 つのビットレートを異なる値にすることが推奨されます。

図 14.17 にビットタイミング図を示します。表 14.181 にビットタイミングの設定例を示します。

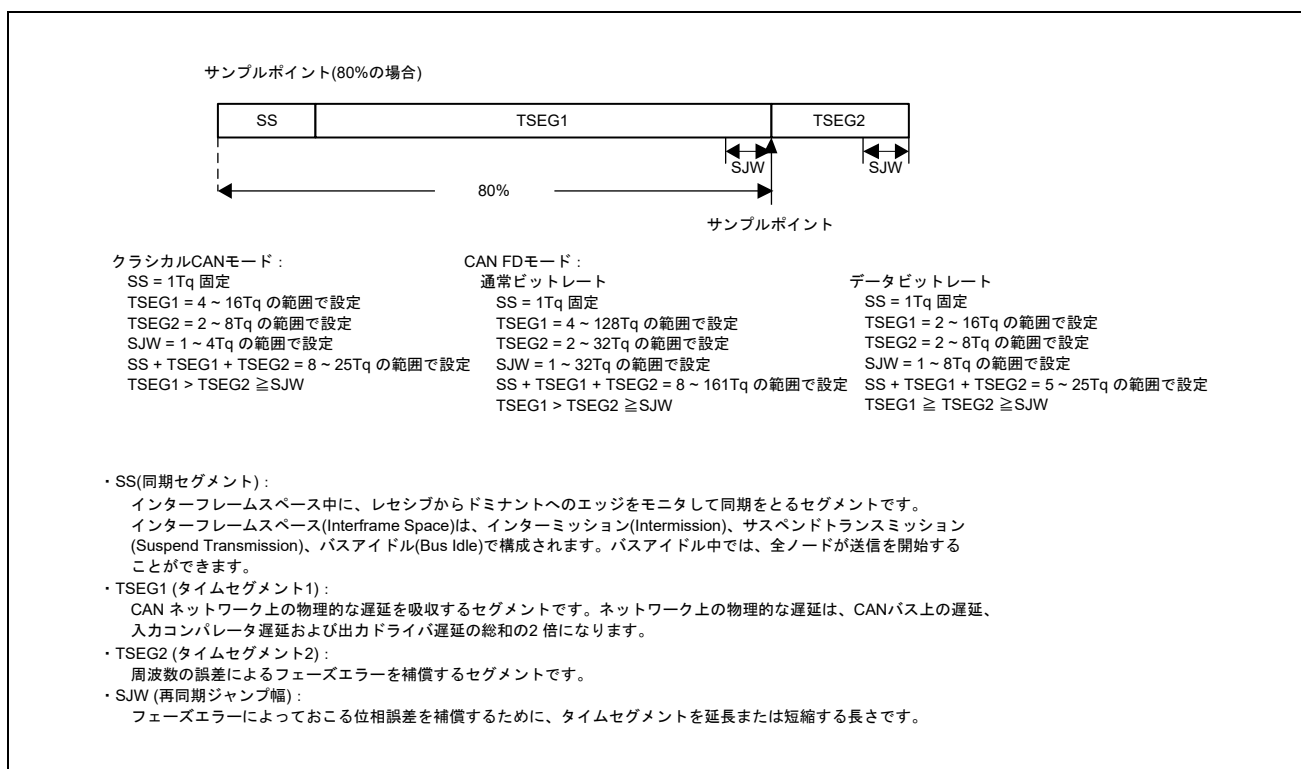


図 14.17 ビットタイミング図

表 14.181 ビットタイミングの設定例

1 ビット	設定値 (Tq)				サンプルポイント (%) ※図 14.17 を参照
	SS	TSEG1	TSEG2	SJW	
5Tq ^{注 1}	1	2	2	1	60.00
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
50Tq ^{注 1}	1	39	10	4	80.00

注 1. CAN FD モードのみ

14.11.1.3 通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケアラ分周値、および 1 ビットタイムの Tq 数を用いてチャンネルごとに設定します。CAN FD モードの場合は、チャンネルごとにアービトレーションフェーズとデータフェーズの 2 種類の通信速度を設定します。

図 14.18 に CAN クロック制御ブロック図、表 14.182、表 14.183 に通信速度の設定例を示します。

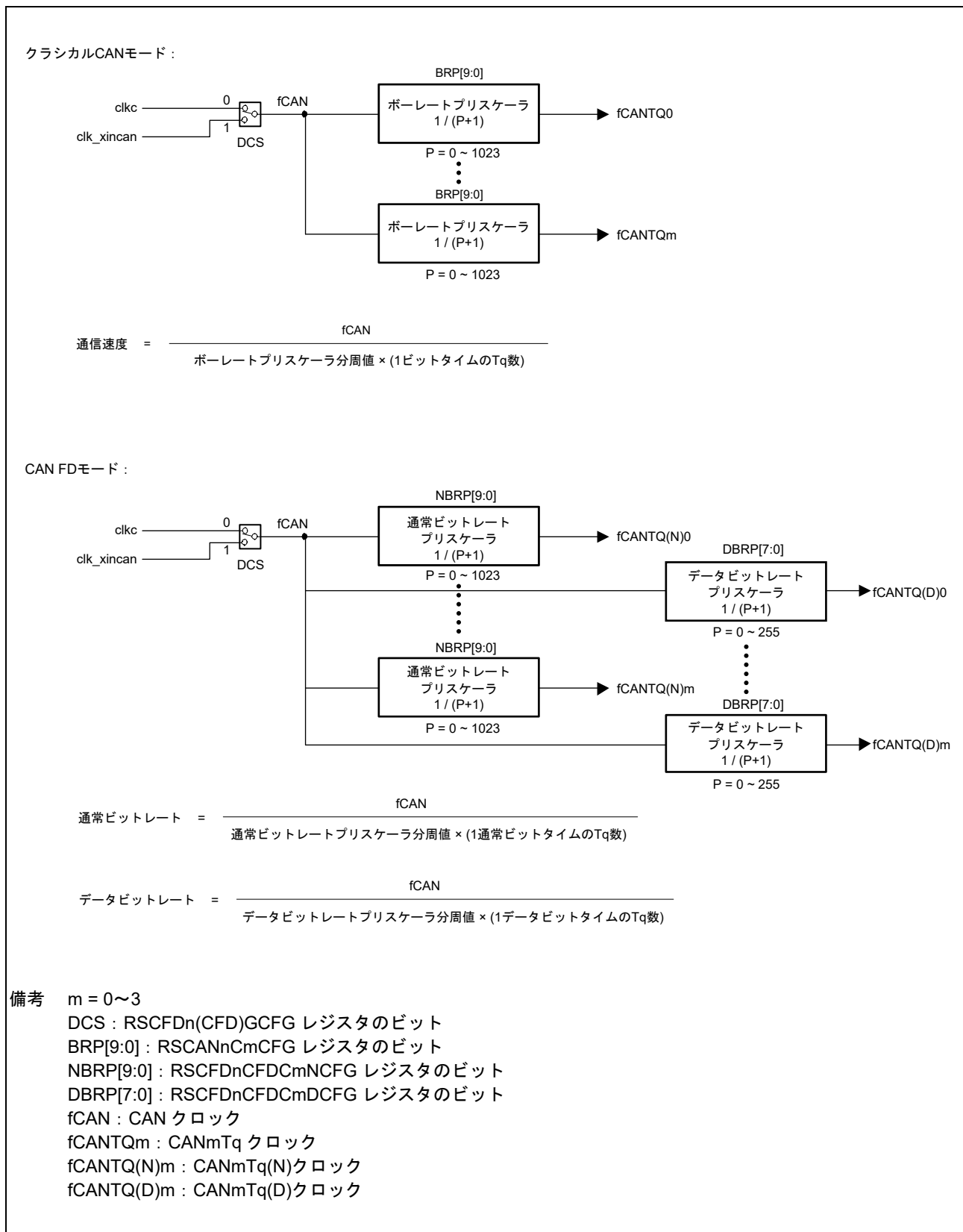


図 14.18 CAN クロック制御ブロック図

表 14.182 通信速度の設定例 (クラシカル CAN モード)

fCAN 通信速度	40MHz	20MHz
1Mbps	8Tq (5) 20Tq (2)	10Tq (2) 20Tq (1)
500Kbps	8Tq (10) 20Tq (4)	10Tq (4) 20Tq (2)
250Kbps	8Tq (20) 20Tq (8)	10Tq (8) 20Tq (4)
125Kbps	8Tq (40) 20Tq (16)	10Tq (16) 20Tq (8)

表 14.183 通信速度の設定例 (CAN FD モード、通常ビットレートとデータビットレート)

fCAN 通信速度	40MHz	20MHz
通常 1Mbps データ 5Mbps	通常 40Tq (1) データ 8Tq (1)	なし
通常 500Kbps データ 2Mbps	通常 80Tq (1) データ 20Tq (1)	通常 40Tq (1) データ 10Tq (1)

備考 () 内の数字はボーレートプリスケアラ分周値

14.11.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCFDn(CFD)GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0~15 (4 チャンネル搭載ユニットの場合) を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 14.19 に受信ルール設定手順について示します。

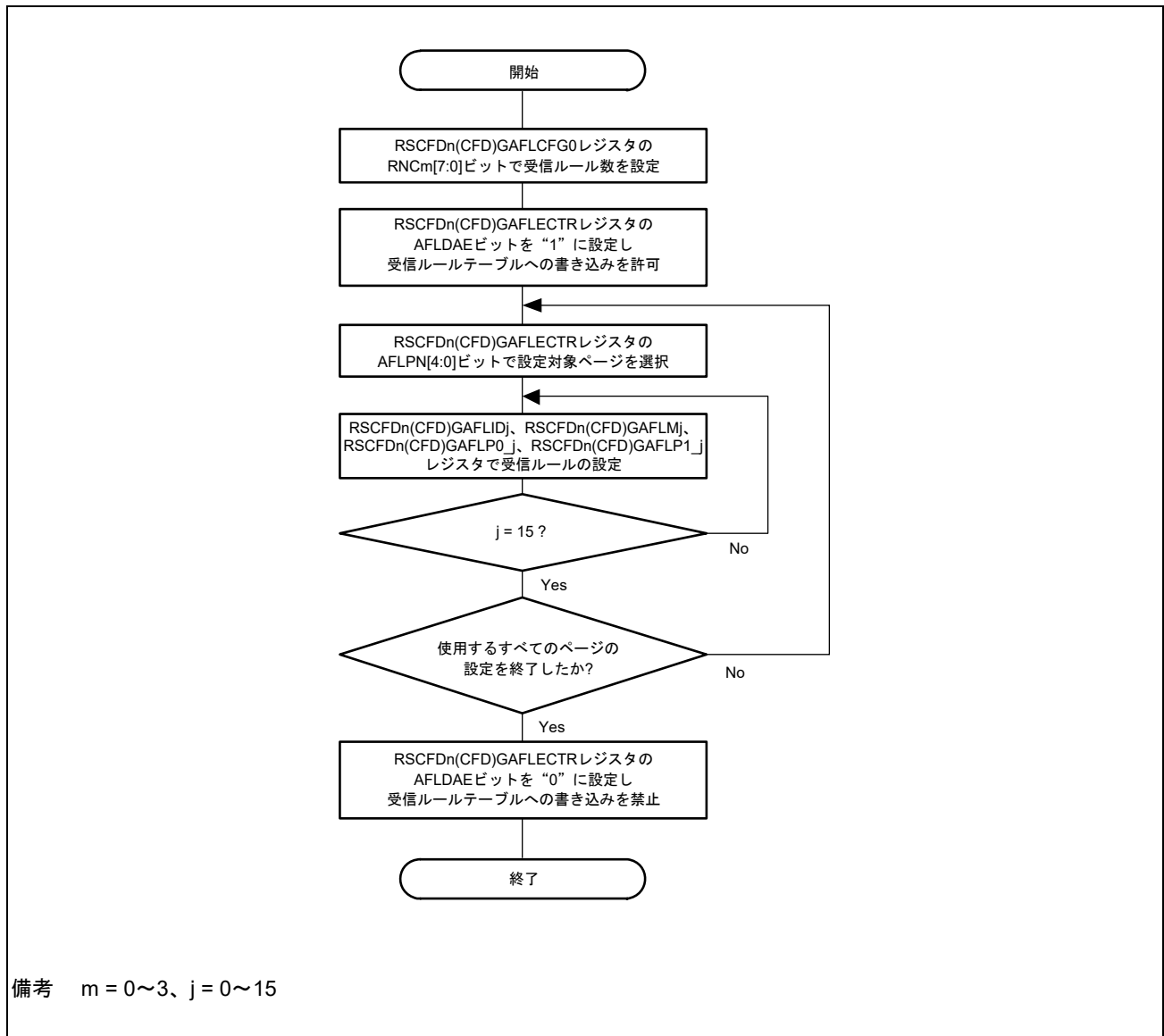


図 14.19 受信ルール設定手順

14.11.1.5 バッファの設定

各種バッファの使用バッファ数 (格納メッセージ数) と割り込み要因を設定します。CAN FD モード時はペイロード格納サイズも設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

クラシカル CAN モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 4096 バイトです。使用可能なバッファは最大 256 バッファで、1 バッファあたり 16 バイトを使用します。次の条件を満たすように設定してください。

受信バッファ数

+ 受信 FIFO バッファ x の段数の合計

+ 送受信 FIFO バッファ k の段数の合計 ≤ 256 バッファ

CAN FD モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 7168 バイトです。次の条件を満たすように設定してください。

受信バッファ数 $\times (12 + \text{ペイロード格納サイズ})$

+ 受信 FIFO バッファ x の (段数 $\times (12 + \text{ペイロード格納サイズ})$) の合計

+ 送受信 FIFO バッファ k の (段数 $\times (12 + \text{ペイロード格納サイズ})$) の合計

≤ 7168 バイト

図 14.20 にバッファの構成を示します。図 14.21 に各種バッファの設定手順を示します。

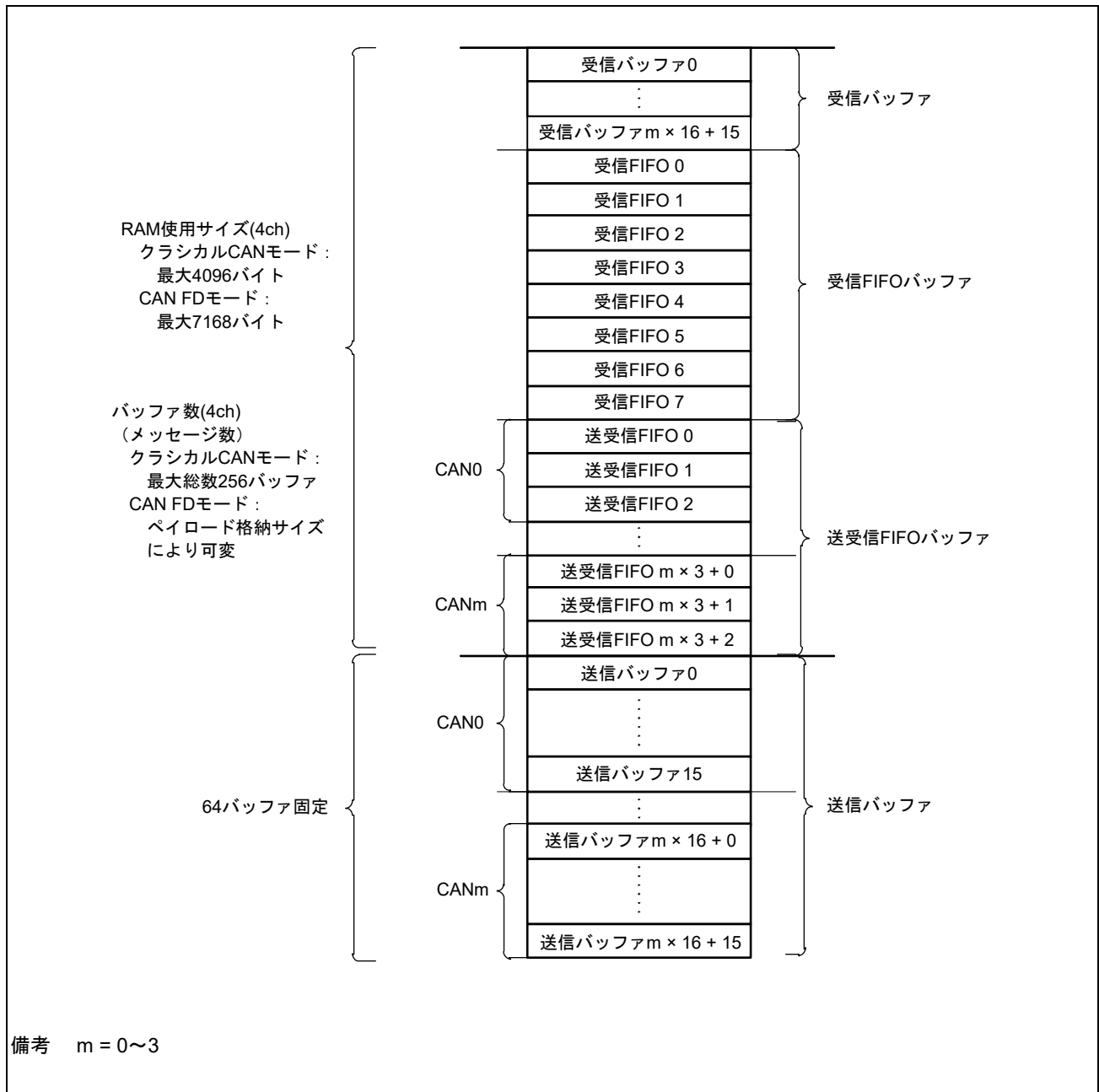


図 14.20 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

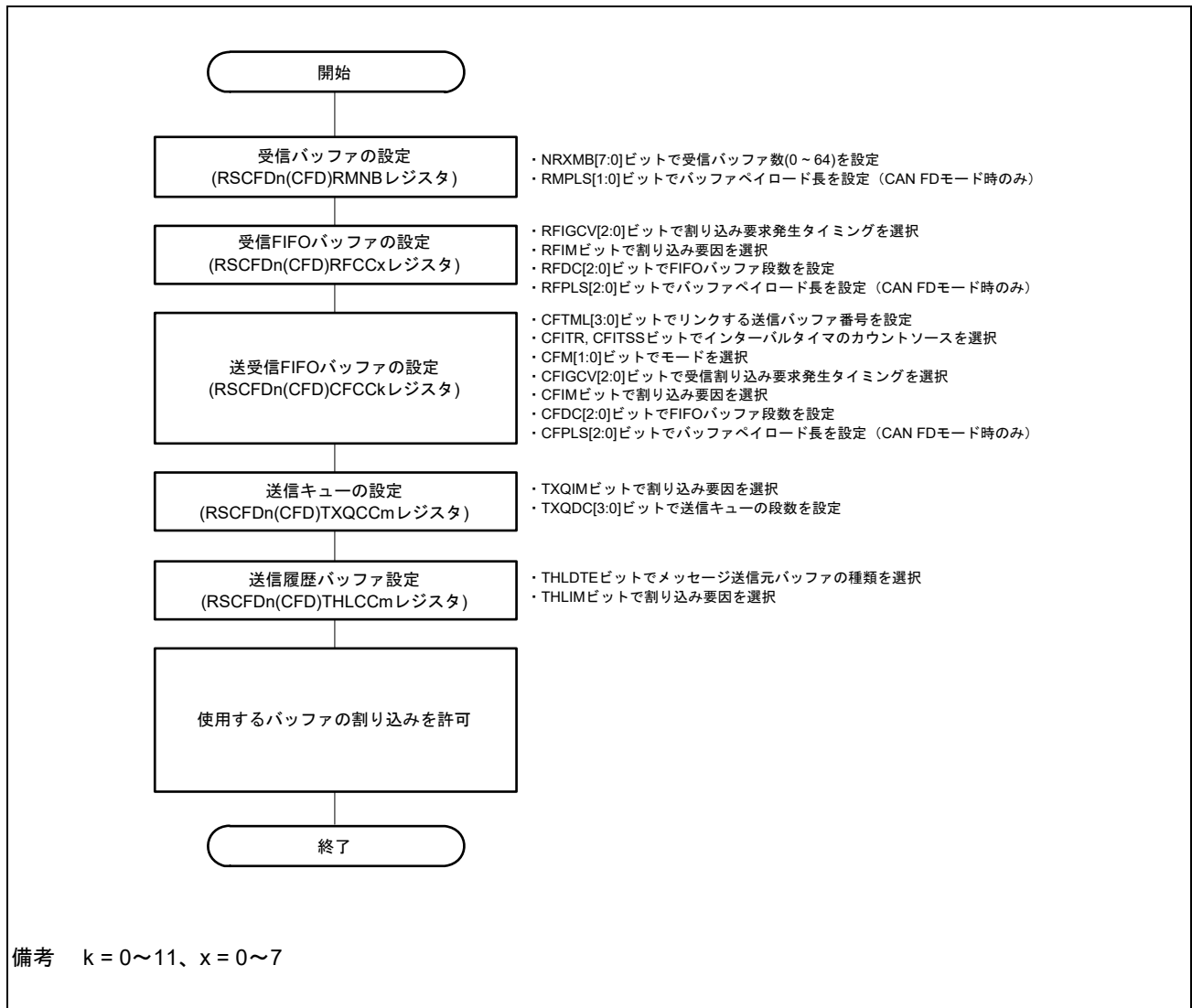


図 14.21 各種バッファの設定手順

14.11.1.6 送信遅延補正 (CAN FD モードのみ)

CAN FD モードのデータフェーズでは高いボーレートが使用されます。このときの伝播遅延を許容するための機能として、送信遅延補正があります。

この機能を使用する場合は、RSCFDnCFDCmFDCFG レジスタの TDCE ビットを“1”に設定します。また、データフェーズで使用されるセカンダリサンプルポイント (SSP) のタイミングを RSCFDnCFDCmFDCFG レジスタの TDCOC ビットと TDCO[6:0]ビットで設定します。

TDCOC ビットが“0”のとき、SSP のタイミングは RS-CANFD モジュールが測定した遅延と TDCO[6:0]ビット値を合計した値と等しくなります (最も近い整数の T_q に切り捨てます)。通常、TDCO[6:0]ビット値はサンプルポイントのタイミングである SS と TSEG1 の合計値でなければなりません。

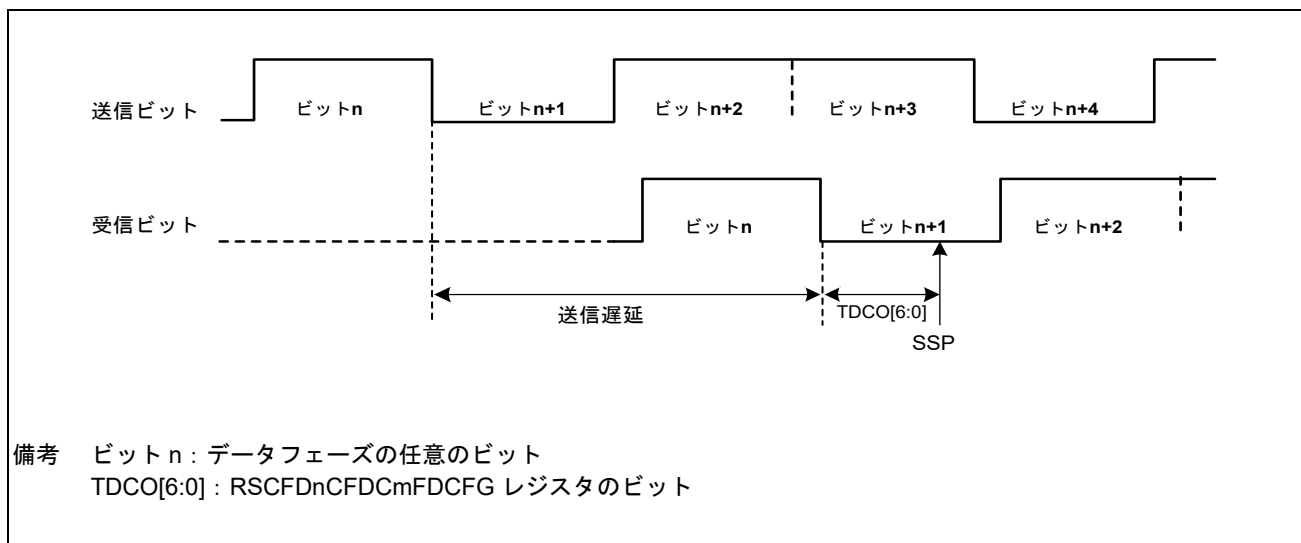


図 14.22 SSP のタイミング

TDCOC ビットが“1”のとき、SSP のタイミングは TDCO[6:0]ビット値のみで決定されます

(RSCFDnCFDCmDCFG レジスタの DBRP[7:0]ビットが 0 より大きいとき、TDCO[6:0]ビット値もまた最も近い整数の T_q に切り捨てられます)。

RS-CANFD モジュールは最大 3CANm ビットタイム - 2fCAN の遅延を補償します (CANm ビットタイムはデータビットレートの値)。

RSCFDnCFDCmFDCFG レジスタの TDCE ビットが“1” (送信遅延補正許可) のとき、NBRP[9:0]ビットと DBRP[7:0]ビットには“1”以下の同じ値を設定してください。

14.11.2 受信手順

14.11.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCFDn(CFD)RMNDy レジスタの RMNSq フラグ ($y=0, 1, q=0\sim 63$) が “1” (受信バッファ q に新しいメッセージあり) になります。メッセージは RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq (CAN FD モード時のみ)、RSCFDn(CFD)RMDfb_q (クラシカル CAN モード時は $b=0\sim 1$ 、CAN FD モード時は $b=0\sim 4$) レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図 14.23 に受信バッファの読み出し手順を示します。この手順により、RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDfb_q レジスタから読み出したメッセージの一貫性を確保できます。

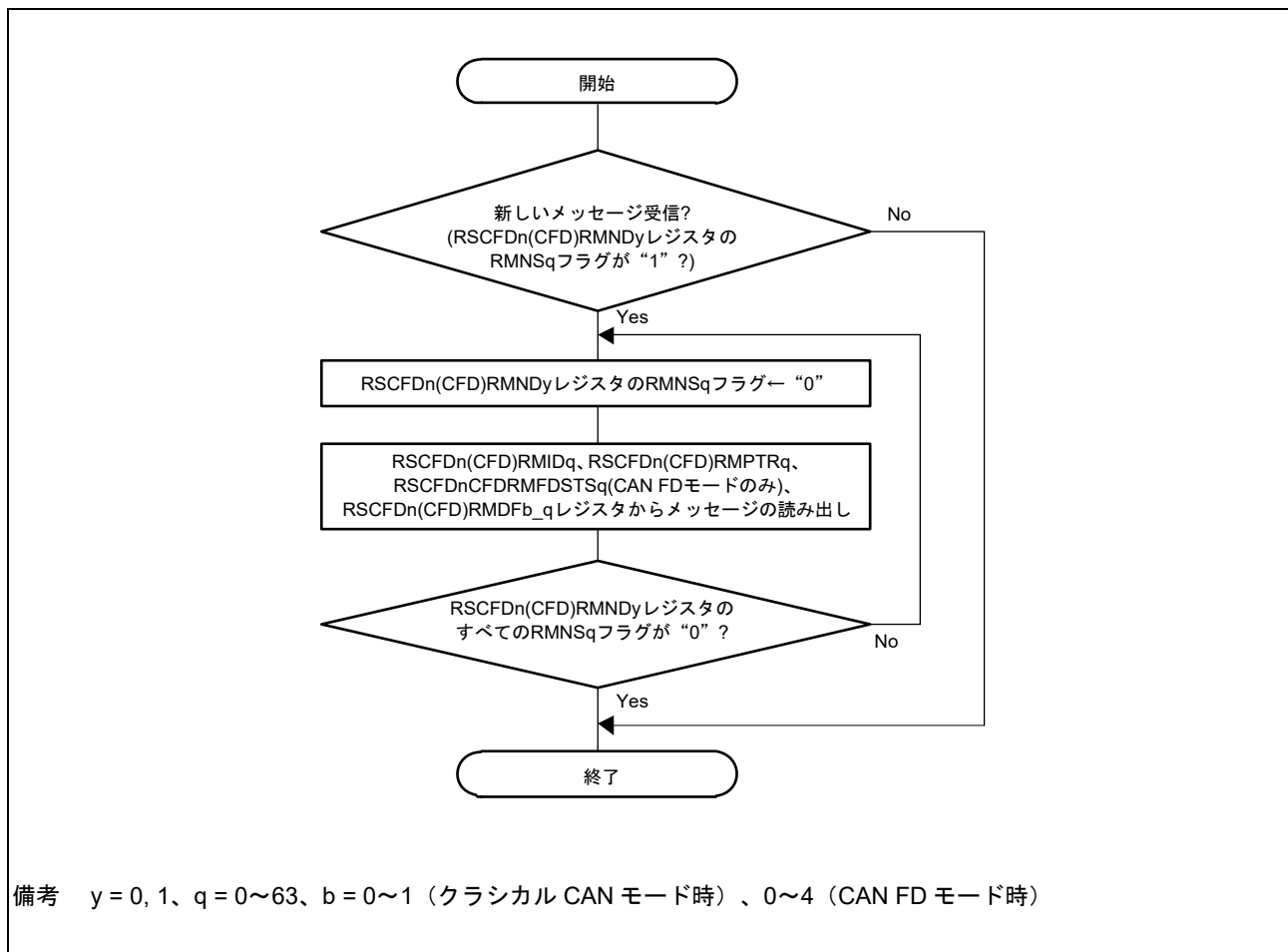


図 14.23 受信バッファの読み出し手順

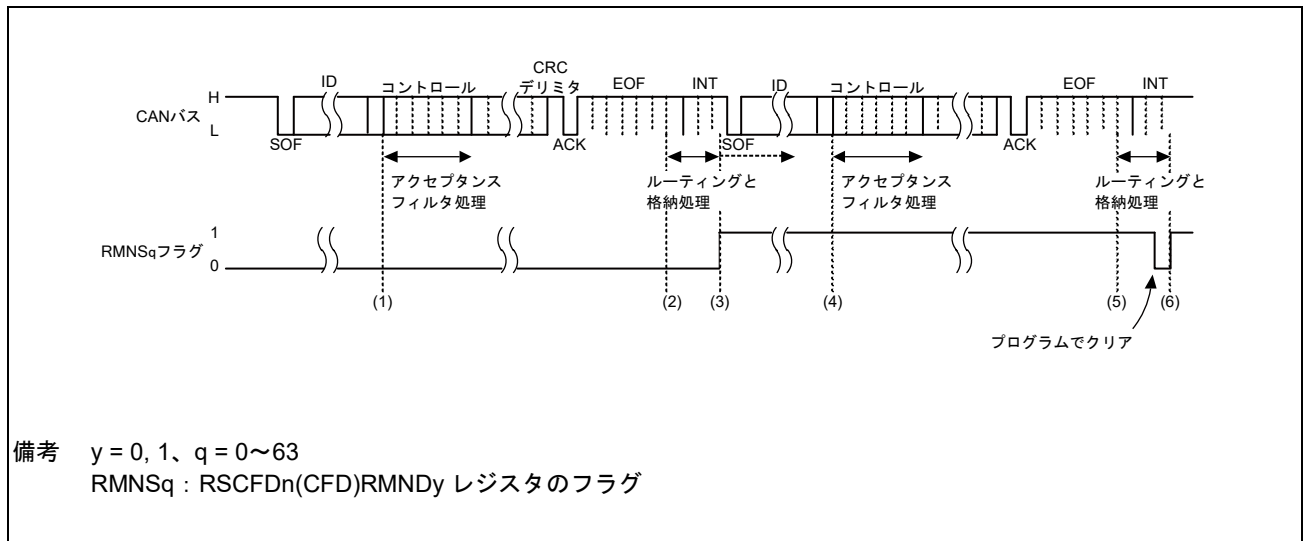


図 14.24 受信バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RSCFDn(CFD)RMNDy レジスタの RMNSq フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャンネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (5) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (6) 対応する RMNSq フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを“0”にできません。

14.11.2.2 FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード/ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RSCFDn(CFD)RFSTSx レジスタ (x = 0~7) の RFMC[7:0]ビットまたは RSCFDn(CFD)CFSTS_k レジスタ (k = 0~11) の CFMC[7:0]ビット) の値が 1 加算されます。このとき、RSCFDn(CFD)RFCCx レジスタの RFIE ビット (受信 FIFO 割り込み許可ビット) や RSCFDn(CFD)CFCC_k レジスタの CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を “1” にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCFDn(CFD)RFID_x、RSCFDn(CFD)RFPTR_x、RSCFDnCFDRFFDSTS_x (CAN FD モード時のみ)、RSCFDn(CFD)RFDFd_x (クラシカル CAN モード時は d = 0~1、CAN FD モード時は d = 0~15) レジスタから、送受信 FIFO バッファの場合は RSCFDn(CFD)CFID_k、RSCFDn(CFD)CFPTR_k、RSCFDnCFDCFFDCSTS_k (CAN FD モード時のみ)、RSCFDn(CFD)CFDFd_k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RSCFDn(CFD)RFCCx レジスタの RFDC[2:0]ビットまたは RSCFDn(CFD)CFCC_k レジスタの CFDC[2:0]ビットで設定した値) に一致したとき、RFFLL フラグまたは CFLL フラグが “1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCFDn(CFD)RFSTSx レジスタの RFEMP フラグまたは RSCFDn(CFD)CFSTS_k レジスタの CFEMP フラグが “1” (FIFO バッファ空) になります。

割り込み要求フラグ (RSCFDn(CFD)RFSTSx レジスタの RFIF フラグまたは RSCFDn(CFD)CFSTS_k レジスタの CFRXIF フラグ) が “1” (割り込み要求あり) の状態で RFE ビットや CFE ビットを “0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に “0” になりません。割り込み要求フラグはプログラムで “0” にしてください。

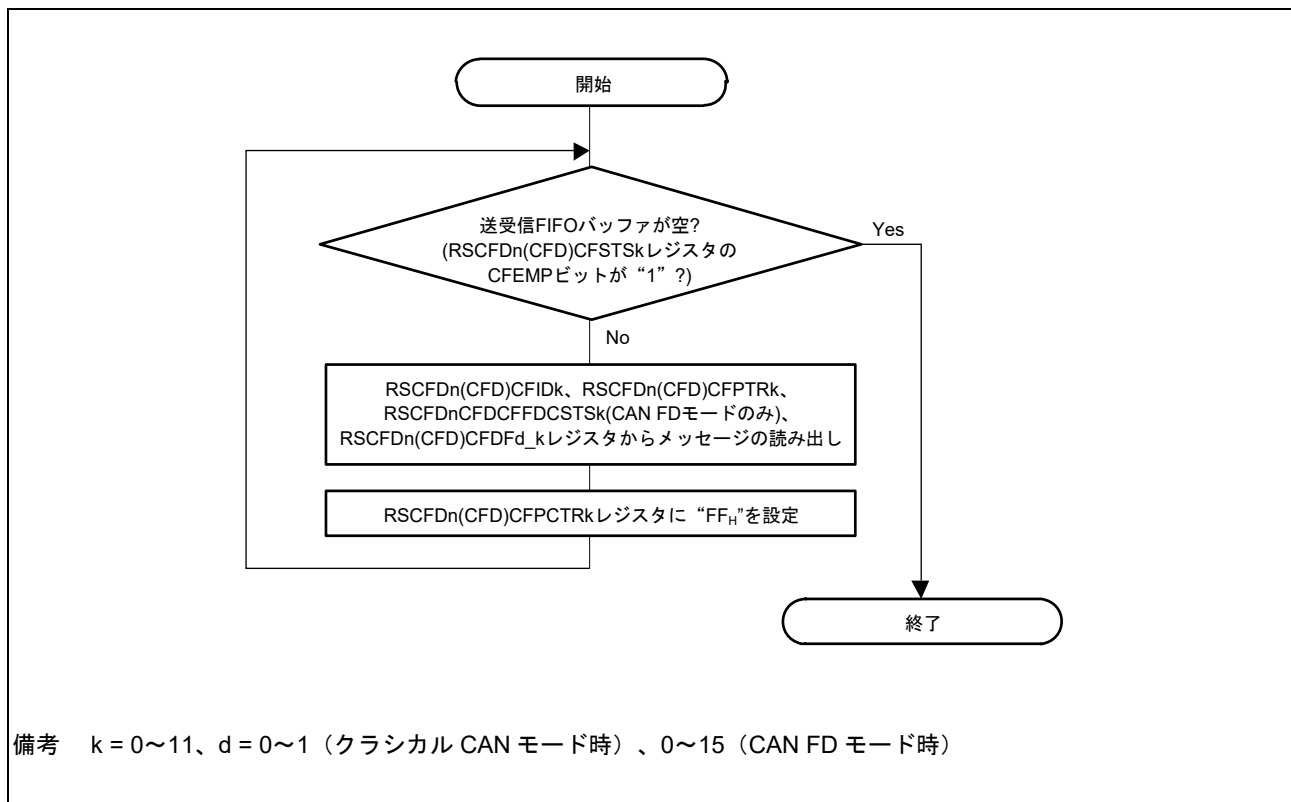


図 14.25 送受信 FIFO バッファの読み出し手順

CAN FD モードでメッセージを読み出すとき、RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットまたは RSCFDnCFDCFCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDRFDFd_x、RSCFDnCFDCFDFd_k レジスタの読み出しはしないでください。

表 14.184 受信 FIFO バッファのペイロード格納領域

RFPLS[2:0] ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000 _B	8 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF1_x
001 _B	12 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF2_x
010 _B	16 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF3_x
011 _B	20 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF4_x
100 _B	24 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF5_x
101 _B	32 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF7_x
110 _B	48 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF11_x
111 _B	64 バイト	RSCFDnCFDRFDF0_x~RSCFDnCFDRFDF15_x

表 14.185 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0] ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000 _B	8 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF1_k
001 _B	12 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF2_k
010 _B	16 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF3_k
011 _B	20 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF4_k
100 _B	24 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF5_k
101 _B	32 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF7_k
110 _B	48 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF11_k
111 _B	64 バイト	RSCFDnCFDCFDF0_k~RSCFDnCFDCFDF15_k

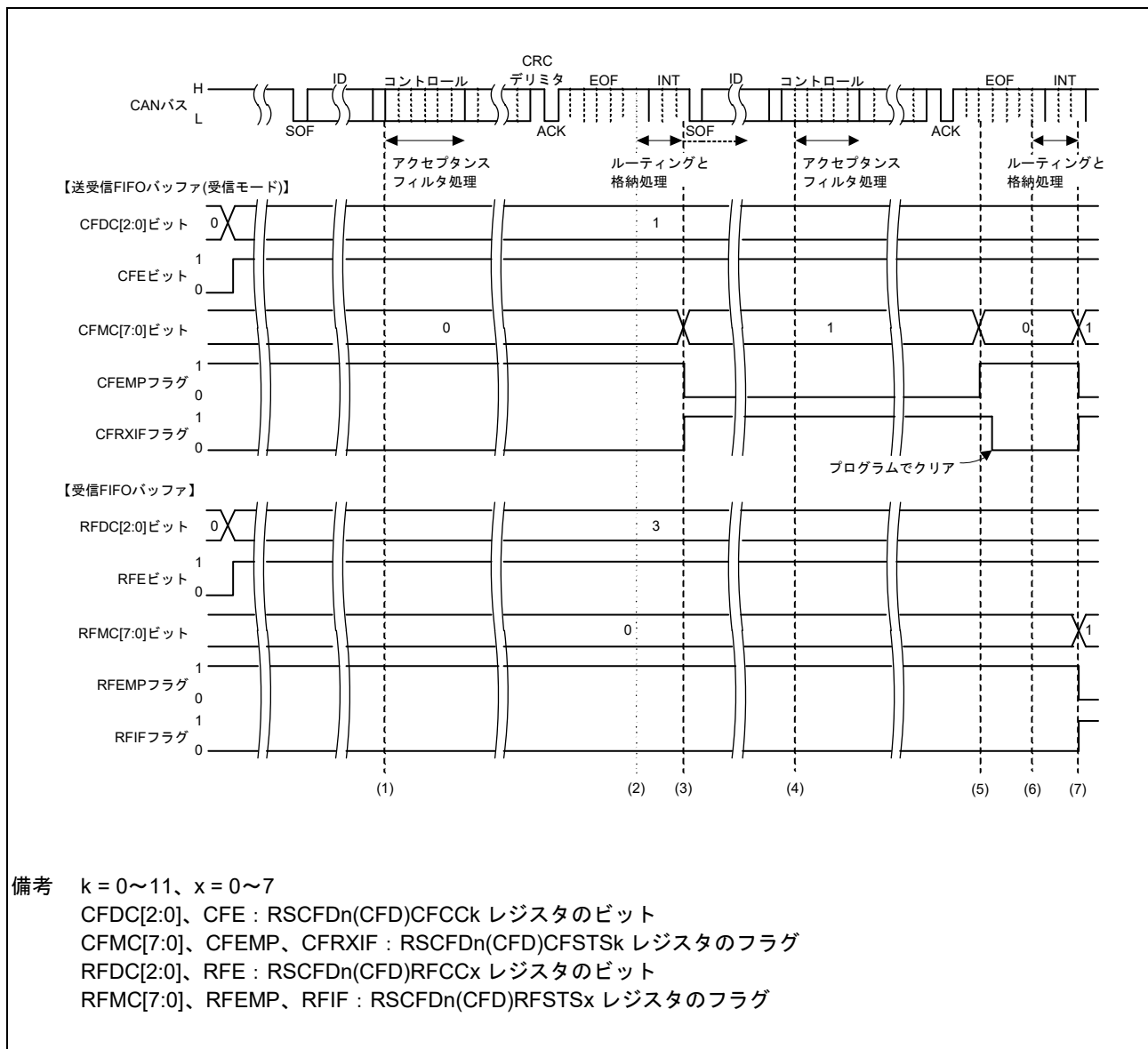


図 14.26 FIFO バッファの受信タイミング図

- (1) メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
- (2) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
- (3) DLC フィルタ処理を通過し、かつ RSCFDn(CFD)CFCCk レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCFDn(CFD)CFCCk レジスタの CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCFDn(CFD)CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCFDn(CFD)CFCCk レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0”にできます。
- (4) 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。

- (5) RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDn(CFD)CFDFd_k レジスタから受信メッセージを読み出し、RSCFDn(CFD)CFPCTRk レジスタに“FF_H”を書きます。それにより、RSCFDn(CFD)CFSTSk レジスタの CFMC[7:0]ビットが 1 減算されて“00_H”になり、RSCFDn(CFD)CFSTSk レジスタの CFEMP フラグが“1”（送受信 FIFO バッファ空）になります。
- (6) 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが“1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
- (7) DLC フィルタ処理を通過し、かつ CFE ビットが“1”（送受信 FIFO バッファを使用する）、CFDC[2:0]ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0]ビットが 1 加算されて“01_H”になります。CFIM ビットを“1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが“1”（送受信 FIFO 受信割り込み要求あり）になります。
- また、RSCFDn(CFD)RFCCx レジスタの RFE ビットが“1”（受信 FIFO バッファを使用する）、RSCFDn(CFD)RFCCx レジスタの RFDC[2:0]ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCFDn(CFD)RFSTSk レジスタの RFMC[7:0]ビットが 1 加算されて“01_H”になります。RSCFDn(CFD)RFCCx レジスタの RFIM ビットを“1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCFDn(CFD)RFSTSk レジスタの RFIF フラグが“1”（受信 FIFO 割り込み要求あり）になります。

14.11.2.3 FIFO バッファの DMA 転送による読み出し手順

CAN FD モードのとき、次の FIFO バッファに対し、DMA 転送で読み出しを行うことができます。

- 全ての受信 FIFO バッファ x ($x = 0 \sim 7$)
- チャンネル m に割り当てられた最初の送受信 FIFO バッファ k ($k = 3 \times m, m = 0 \sim 3$)

DMA 許可ビット (RSCFDnCFDCDTCT レジスタの RFDMAEx ビットまたは CFDMAEm ビット) は任意のタイミングで設定できます。ただし、“1” (DMA 転送要求許可) にするときは、あらかじめ関連する FIFO の受信割り込み許可ビット (RSCFDnCFDRFCCx レジスタの RFIE ビットまたは RSCFDnCFDCFCCK レジスタの CFRXIE ビット) を“0” (割り込み禁止) にしてください。DMA 転送要求が許可されているときは、FIFO 制御レジスタ (RSCFDnCFDRFCCx レジスタまたは RSCFDnCFDCFCCK レジスタ) にライトしないでください。

DMA 転送が許可された FIFO バッファに未読メッセージがあるとき、DMA 転送要求トリガが生成されます。転送元アドレスには FIFO アクセスレジスタ^{注1}のアドレスを指定し、1 回のトリガでペイロード格納領域の末尾まで読み出されるよう転送サイズを調整してください。この末尾は RSCFDnCFDRFCCx レジスタの RFPLS[2:0]ビットまたは RSCFDnCFDCFCCK レジスタの CFPLS[2:0]ビットで設定したペイロード格納サイズに依存します。

FIFO バッファに格納されたペイロードの末尾が読み出されると、RSCFDnCFDRFSTStx レジスタの RFMC[7:0]ビットまたは RSCFDnCFDCFSTStk レジスタの CFMC[7:0]ビットが自動的に 1 減算されます。末尾の読み出し後、FIFO に未読メッセージが残っていれば、再度トリガが生成されます。

DMA 転送中に RFDMAEx ビットまたは CFDMAEm ビットを“0” (DMA 転送要求禁止) にした場合、DMA 転送ステータス (RSCFDnCFDCDTSTS レジスタの RFDMASTStx ビットまたは CFDMASTSm ビット) が“0” (DMA 転送中でない) になるのを待ってから、次の処理 (再度 DMA 転送を許可するなど) に移行してください。DMA 転送を禁止にする場合は、FIFO バッファに残っているメッセージと新しく到着するメッセージをどのように処理するか検討してください。FIFO バッファが許可状態ならば、FIFO バッファの受信は継続します。

注1. ・受信 FIFO バッファ時

RCFDCnCFDRFIDx、RCFDCnCFDRFPTRx、RCFDCnCFDRFFDSTStx、RCFDCnCFDRFDFd_x

・送受信 FIFO バッファ時

RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k

14.11.3 送信手順

14.11.3.1 送信バッファからの送信手順

図 14.27 に送信バッファからの送信手順を示します。

図 14.28 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 14.29 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

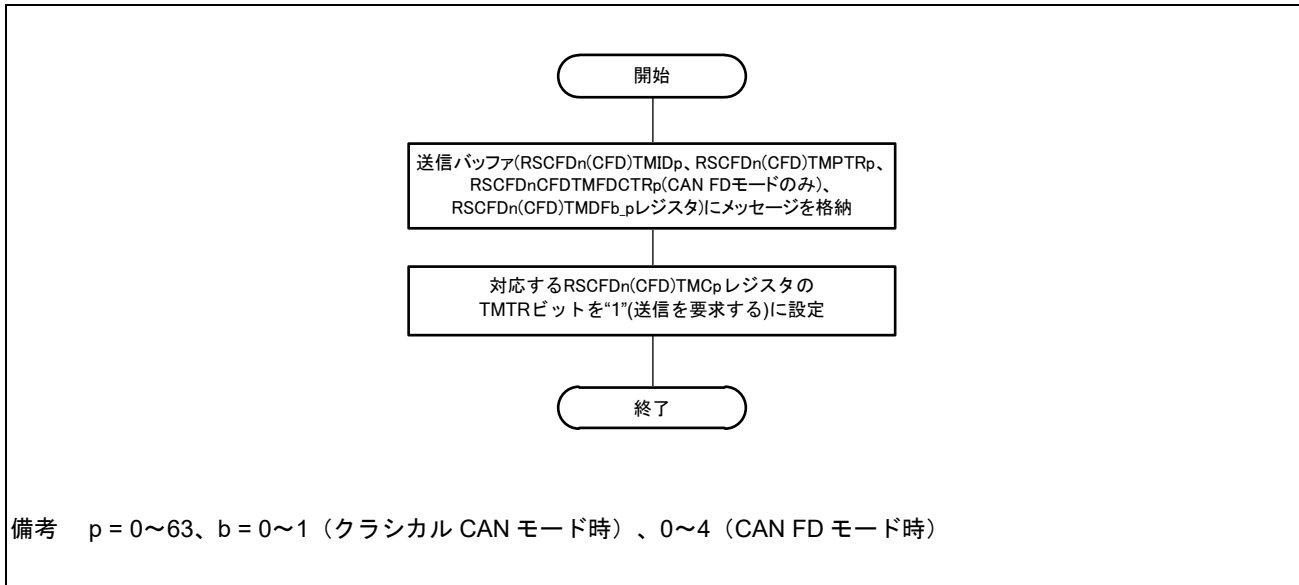


図 14.27 送信バッファからの送信手順

CAN FD モードかつ送信バッファマージモードの場合、送信バッファ $(16 \times m) + 0$ と送信バッファ $(16 \times m) + 3$ で 20 バイトを超えるペイロードを持つメッセージを送信することができます。このとき、送信バッファ $(16 \times m) + 1 \sim (16 \times m) + 2$ と送信バッファ $(16 \times m) + 4 \sim (16 \times m) + 5$ はペイロード格納領域として割り当てられ、これらのバッファに対応する RSCFDnCFDTMIDp、RSCFDnCFDTMPTRp、RSCFDnCFDTMFDCTRp レジスタは RSCFDnCFDTMDFb_p レジスタ同様 4 バイトのデータバイト (ペイロード) を格納可能なデータフィールドレジスタとして扱えます。表 14.186 に送信バッファ 0 でペイロード長が 20 バイトを超えるメッセージを送信する場合のメッセージ格納レジスタを示します。

表 14.186 送信バッファマージモード時のメッセージ格納レジスタ (送信バッファ 0 の例)

送信バッファ	ベースアドレスからのオフセット	略号	送信バッファマージモード時のレジスタ機能
送信バッファ 0	4000 _H	RSCFDnCFDTMID0	送信バッファ 0 ID データ、送信履歴データ格納許可ビット、RTR ビット、IDE ビット
	4004 _H	RSCFDnCFDTMPTR0	送信バッファ 0 ラベルデータ、DLC データ
	4008 _H	RSCFDnCFDTMFDCTR0	送信バッファ 0 ESI ビット、BRS ビット、FDF ビット
	400C _H ~401C _H	RSCFDnCFDTMDF0_0 ~RSCFDnCFDTMDF4_0	送信バッファ 0 データバイト 0, 1, 2, 3 ~送信バッファ 0 データバイト 16, 17, 18, 19
送信バッファ 1	4020 _H	RSCFDnCFDTMID1	送信バッファ 0 データバイト 20, 21, 22, 23
	4024 _H	RSCFDnCFDTMPTR1	送信バッファ 0 データバイト 24, 25, 26, 27
	4028 _H	RSCFDnCFDTMFDCTR1	送信バッファ 0 データバイト 28, 29, 30, 31
	402C _H ~403C _H	RSCFDnCFDTMDF0_1 ~RSCFDnCFDTMDF4_1	送信バッファ 0 データバイト 32, 33, 34, 35 ~送信バッファ 0 データバイト 48, 49, 50, 51
送信バッファ 2	4040 _H	RSCFDnCFDTMID2	送信バッファ 0 データバイト 52, 53, 54, 55
	4044 _H	RSCFDnCFDTMPTR2	送信バッファ 0 データバイト 56, 57, 58, 59
	4048 _H	RSCFDnCFDTMFDCTR2	送信バッファ 0 データバイト 60, 61, 62, 63
	404C _H ~405C _H	RSCFDnCFDTMDF0_2 ~RSCFDnCFDTMDF4_2	使用しない

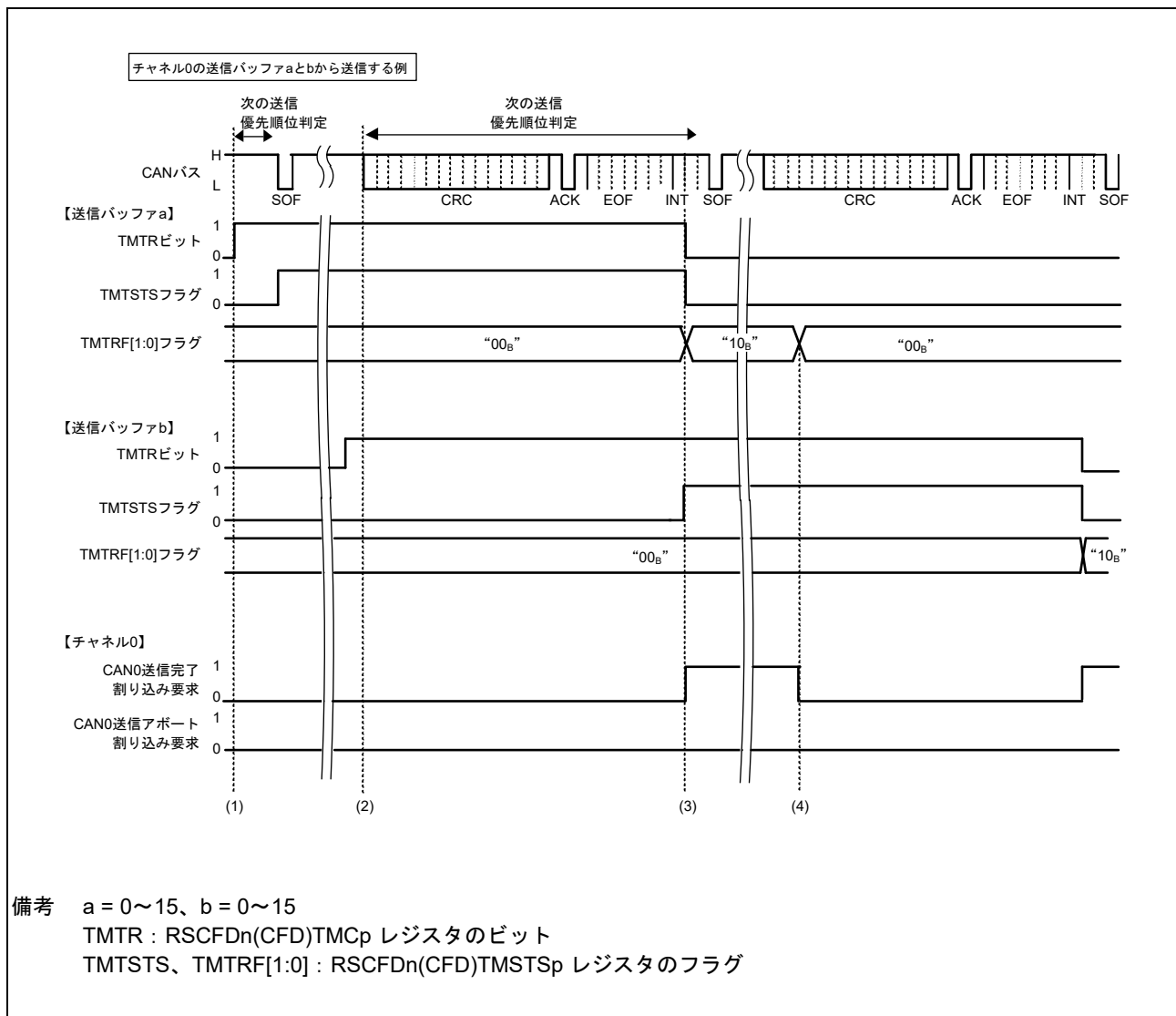


図 14.28 送信バッファの送信タイミング図（正常に送信完了時）

- (1) CAN バスがアイドル状態のとき RSCFDn(CFD)TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCFDn(CFD)TMSTSa レジスタの TMTSTS フラグが“1”（送信中）になり、CAN チャンネルは送信を開始します。
- (2) CRC フィールドの 1 ビット目で、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCFDn(CFD)TMSTSa レジスタの TMTRF[1:0] フラグは“10_B”（送信完了（送信アポート要求なし））になり、TMTSTS フラグと RSCFDn(CFD)TMCa レジスタの TMTR ビットは“0”になります。RSCFDn(CFD)TMIEC0 レジスタの TMIEa ビットが“1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”（送信中または送信要求なし）にしてください。
- (4) 次の送信を開始する前に、TMTRF[1:0] フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1”（送信を要求する）にしてください。TMTRF[1:0] フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません (クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが“1”の場合のみ)。

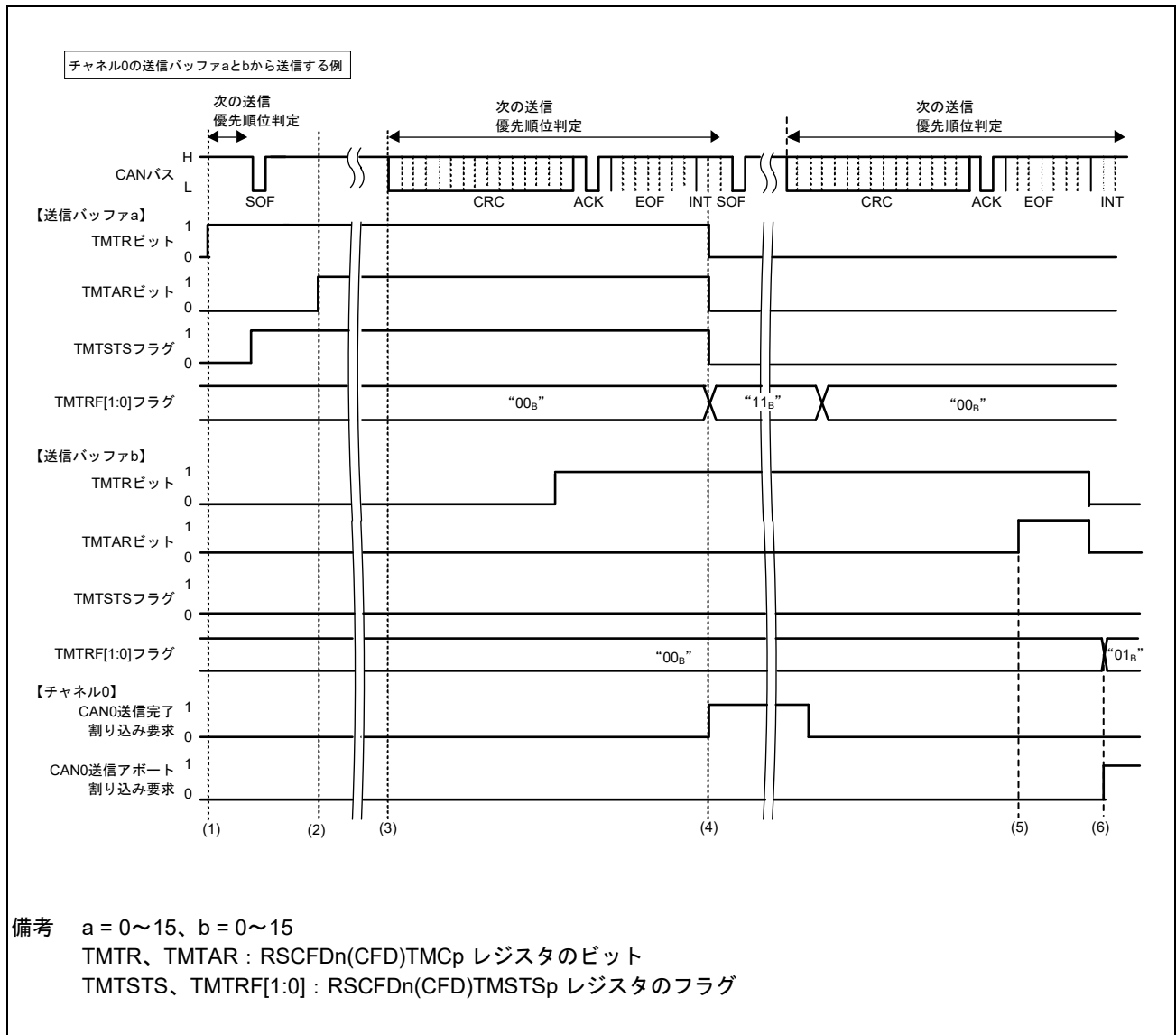


図 14.29 送信バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき RSCFDn(CFD)TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCFDn(CFD)TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
- (2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトラージロストが発生しない限り、メッセージ送信はアボートされません。
- (3) CRC フィールドの 1 ビット目で、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

- (4) 送信が成功すると、RSCFDn(CFD)TMSTSa レジスタの TMTRF[1:0]フラグは “11_B” (送信完了 (送信アポート要求あり)) になり、TMTSTS フラグと RSCFDn(CFD)TMCa レジスタの TMTR ビットは “0” になります。RSCFDn(CFD)TMIEC0 レジスタの TMIEa ビットが “1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグを “00_B” (送信中または送信要求なし) にしてください。
- (5) CAN バス上に他の CAN ノードが送信している場合 (TMTSTS フラグは “0”)、対応するチャンネルが優先順位判定中に TMTAR ビットを “1” にすると、TMTR ビットを “0” にできません。
- (6) 内部処理時間経過後、送信は中止され、TMTRF[1:0]フラグが “01_B” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていないと、かつ優先順位判定中でなければ、アポート要求はすぐに受け付けられ、TMTRF[1:0]フラグは “01_B” になります。このとき、TMTR ビットと TMTAR ビットは “0” になります。RSCFDn(CFD)CmCTR レジスタの TAIE ビットが “1” (送信アポート割り込み許可) のとき、送信アポートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグを “00_B” にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは “0” になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません (クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが “1” の場合のみ)。

14.11.3.2 送受信 FIFO バッファからの送信手順

図 14.30 に送受信 FIFO バッファからの送信手順を示します。

図 14.31 に、同一チャンネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 14.32 に、同一チャンネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

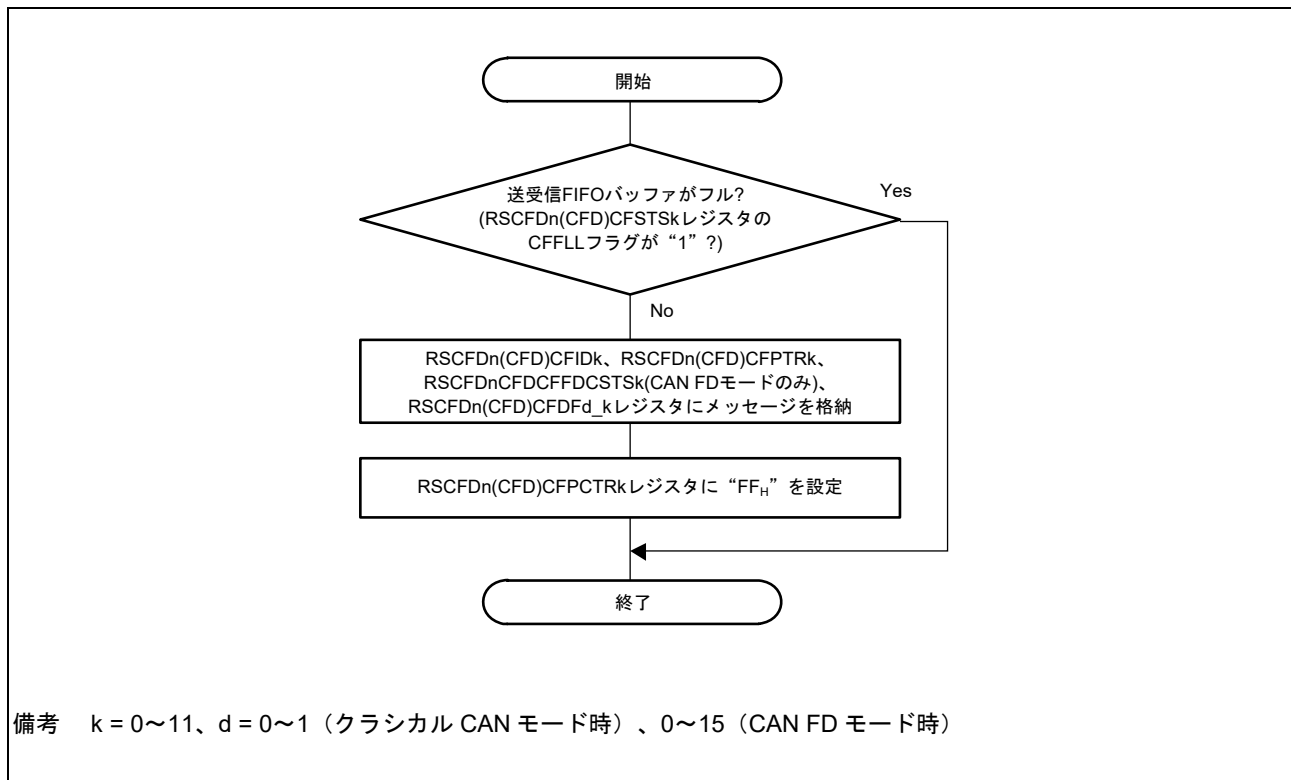


図 14.30 送受信 FIFO バッファからの送信手順

メッセージを格納するとき、RSCFDnCFDCFCCK レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDCFDf_d_k レジスタへの書き込みはしないでください。

表 14.187 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000 _B	8 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_1_k
001 _B	12 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_2_k
010 _B	16 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_3_k
011 _B	20 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_4_k
100 _B	24 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_5_k
101 _B	32 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_7_k
110 _B	48 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_11_k
111 _B	64 バイト	RSCFDnCFDCFDf_0_k~RSCFDnCFDCFDf_15_k

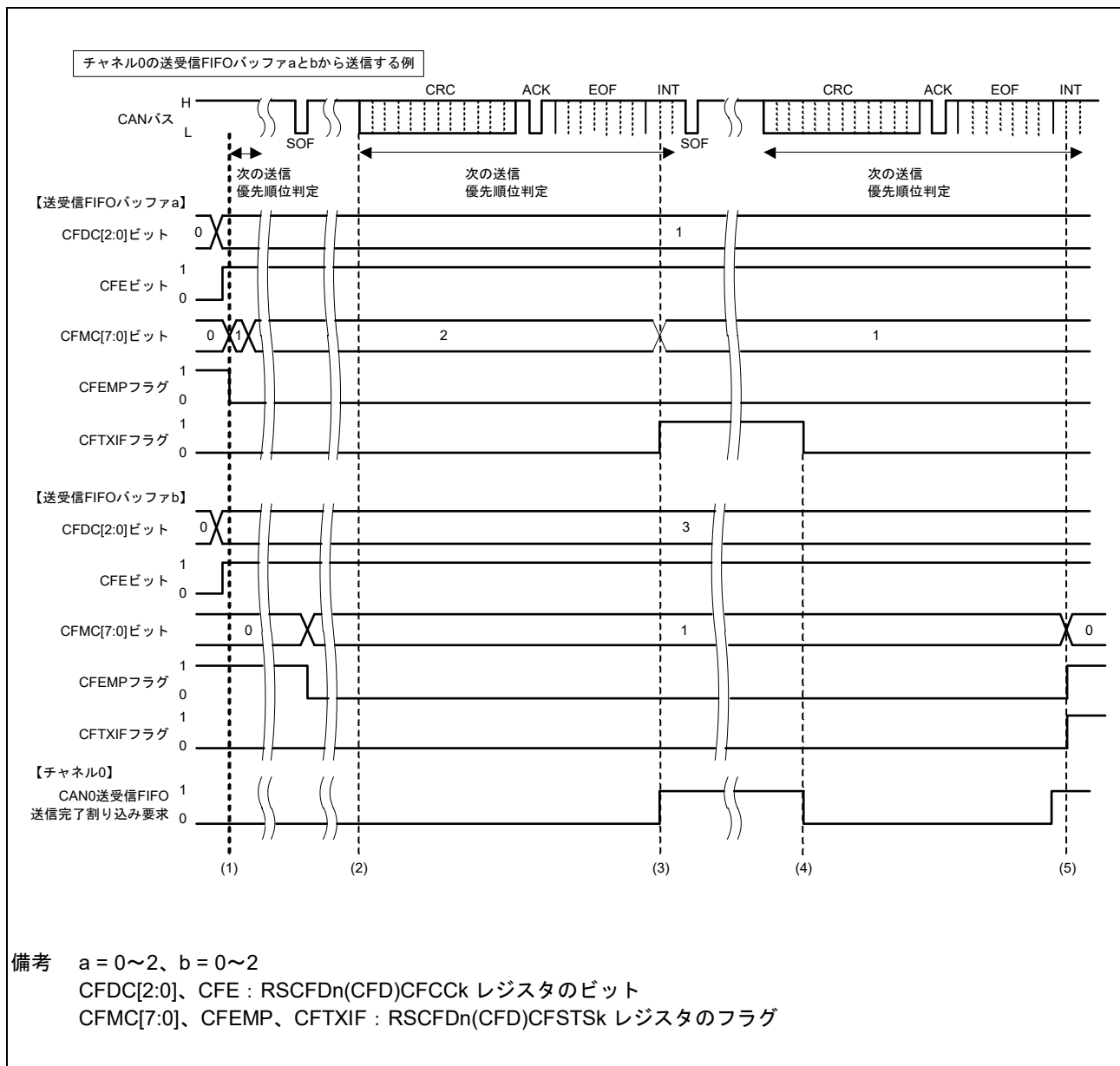


図 14.31 送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

- (1) CAN バスがアイドル状態のとき、RSCFDn(CFD)CFCCa レジスタの CFE ビットが“1”（送受信 FIFO バッファを使用する）、RSCFDn(CFD)CFCCa レジスタの CFDC[2:0]ビットが“001_B”（4 メッセージ）以上、RSCFDn(CFD)CFSTSa レジスタの CFMC[7:0]ビットの値が“01_H”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) バッファからの送信要求があれば、CRC フィールドの 1 ビット目で次の優先順位判定処理を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCFDn(CFD)CFSTSa レジスタの CFMC[7:0]ビットが 1 減算されます。RSCFDn(CFD)CFCCa レジスタの CFIM ビットを“1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCFDn(CFD)CFSTSa レジスタの CCTXIF フラグが“1”（送受信 FIFO 送信割り込み要求あり）になります。
- (4) CCTXIF フラグはプログラムでクリアできます。

- (5) チャンネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCFDn(CFD)CFSTSb レジスタの CFMC[7:0]ビットが 1 減算されます。CFMC[7:0]ビットが “00_H” になるため、RSCFDn(CFD)CFSTSb レジスタの CFEMP フラグが “1” (送受信 FIFO バッファ空) になります。

CFEMP フラグが “1” になるまで送信は続けられます。RSCFDn(CFD)CFSTSa、RSCFDn(CFD)CFSTSb レジスタの CFLL フラグが “1” (送受信 FIFO バッファフル) になるまで、送信メッセージを FIFO バッファに格納することができます。

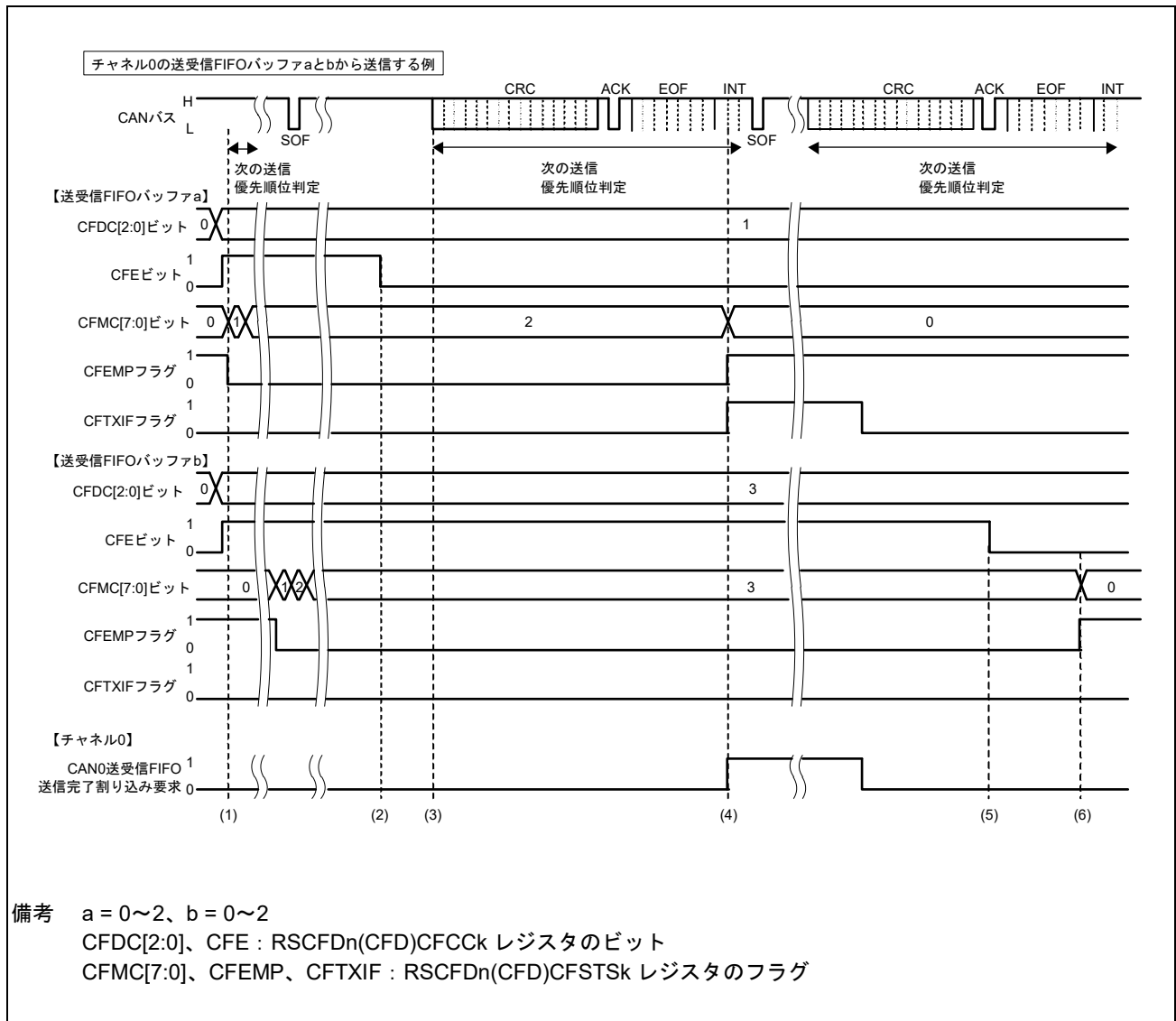


図 14.32 送受信 FIFO バッファの送信タイミング図 (送信アボート完了時)

- (1) CAN バスがアイドル状態のとき、RSCFDn(CFD)CFCCa レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCFDn(CFD)CFCCa レジスタの CFDC[2:0]ビットが“001_B” (4 メッセージ) 以上、RSCFDn(CFD)CFSTSa レジスタの CFMC[7:0]ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトラージロストまたはエラーが発生しない限り、CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしても送信はアボートされません。
- (3) バッファからの送信要求があれば、CRC フィールドの先頭ビットで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

- (4) 送信が成功すると、CFMC[7:0]ビットの値が“00_H”になります。CFIM ビットを“1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCFDn(CFD)CFSTSa レジスタの CFTXIF フラグが“1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。
- (5) CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファ b からは送信されていない）、送信の優先順位判定中に RSCFDn(CFD)CFCCb レジスタの CFE ビットを“0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファ b は直ちに禁止にはできません（RSCFDn(CFD)CFSTSb レジスタの CFEMP フラグは直ちに“1”（送受信 FIFO バッファ空）にはなりません）。
- (6) 内部処理時間経過後、送受信 FIFO バッファ b は禁止され、RSCFDn(CFD)CFSTSb レジスタの CFMC[7:0]ビットは“00_H”になり、CFEMP フラグは“1”になります。送受信 FIFO バッファ b が送信中でもなく、次の送信バッファとしても選択されていないか、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファ b は禁止されます（CFMC[7:0]ビットは“00_H”になり、CFEMP フラグは“1”になります）。

14.11.3.3 送信キューからの送信手順

図 14.33 に送信キューからの送信手順を示します。

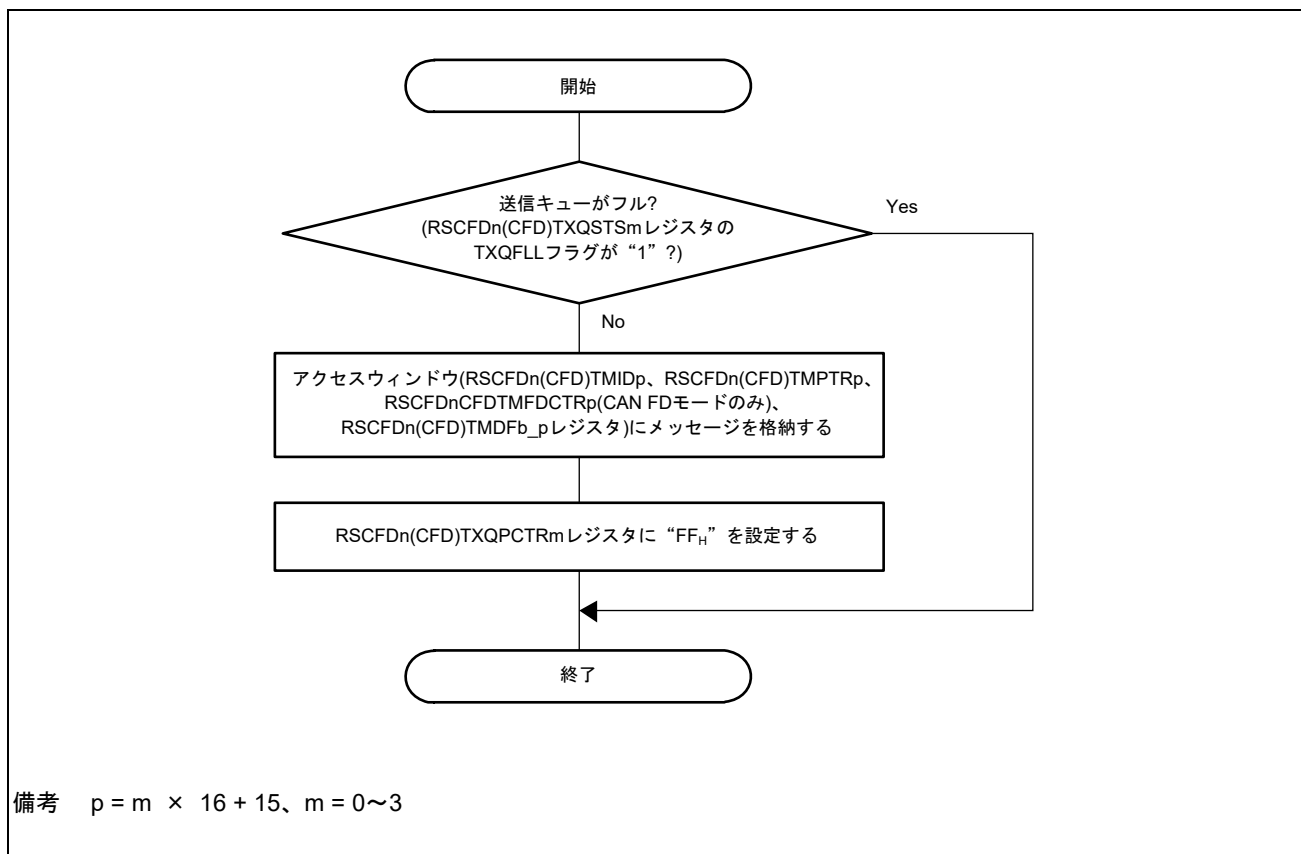


図 14.33 送信キューからの送信手順

14.11.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCFDn(CFD)THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCFDn(CFD)THLPCTRm レジスタ (m=0~3) へ“FF_H”を書くと、次のデータへアクセスできます。図 14.34 に送信履歴バッファの読み出し手順を示します。

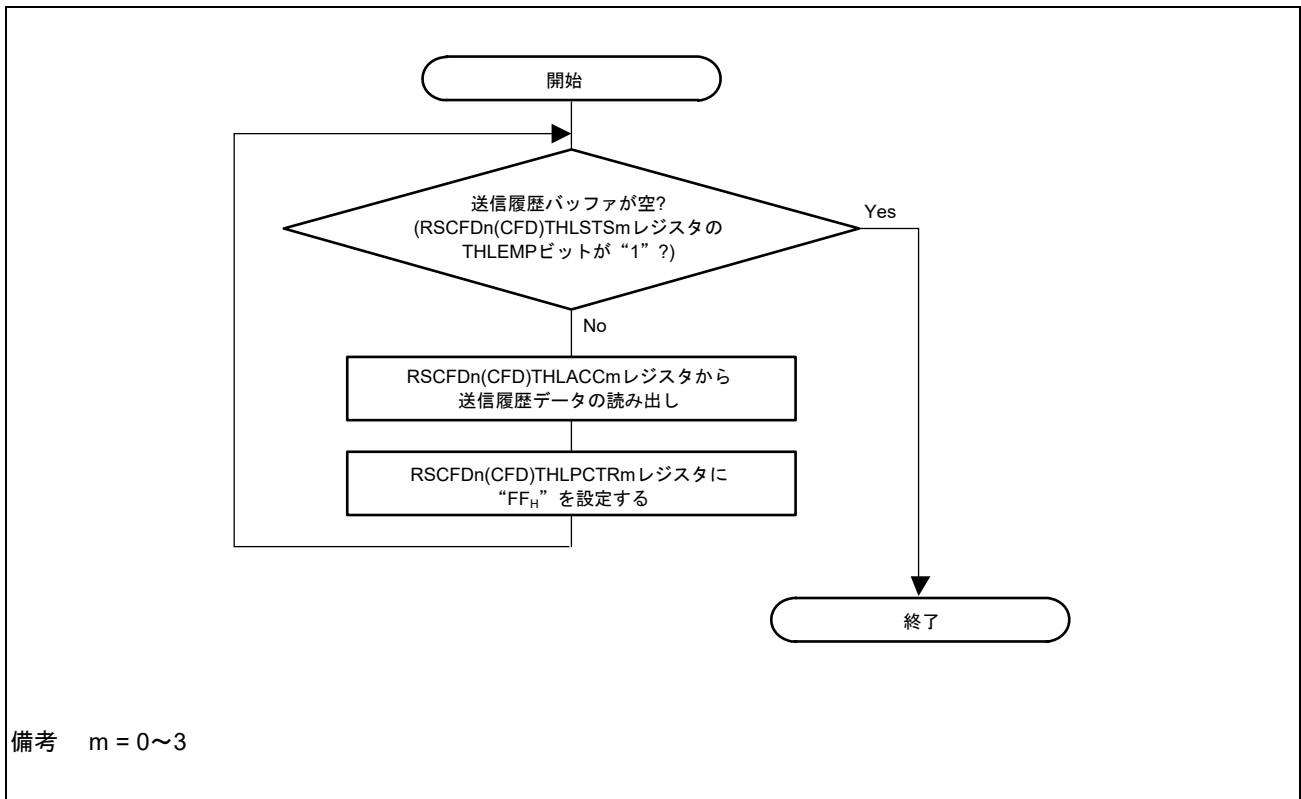


図 14.34 送信履歴バッファの読み出し手順

14.11.4 テスト設定

14.11.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 14.35 にセルフテストモードの設定手順を示します。

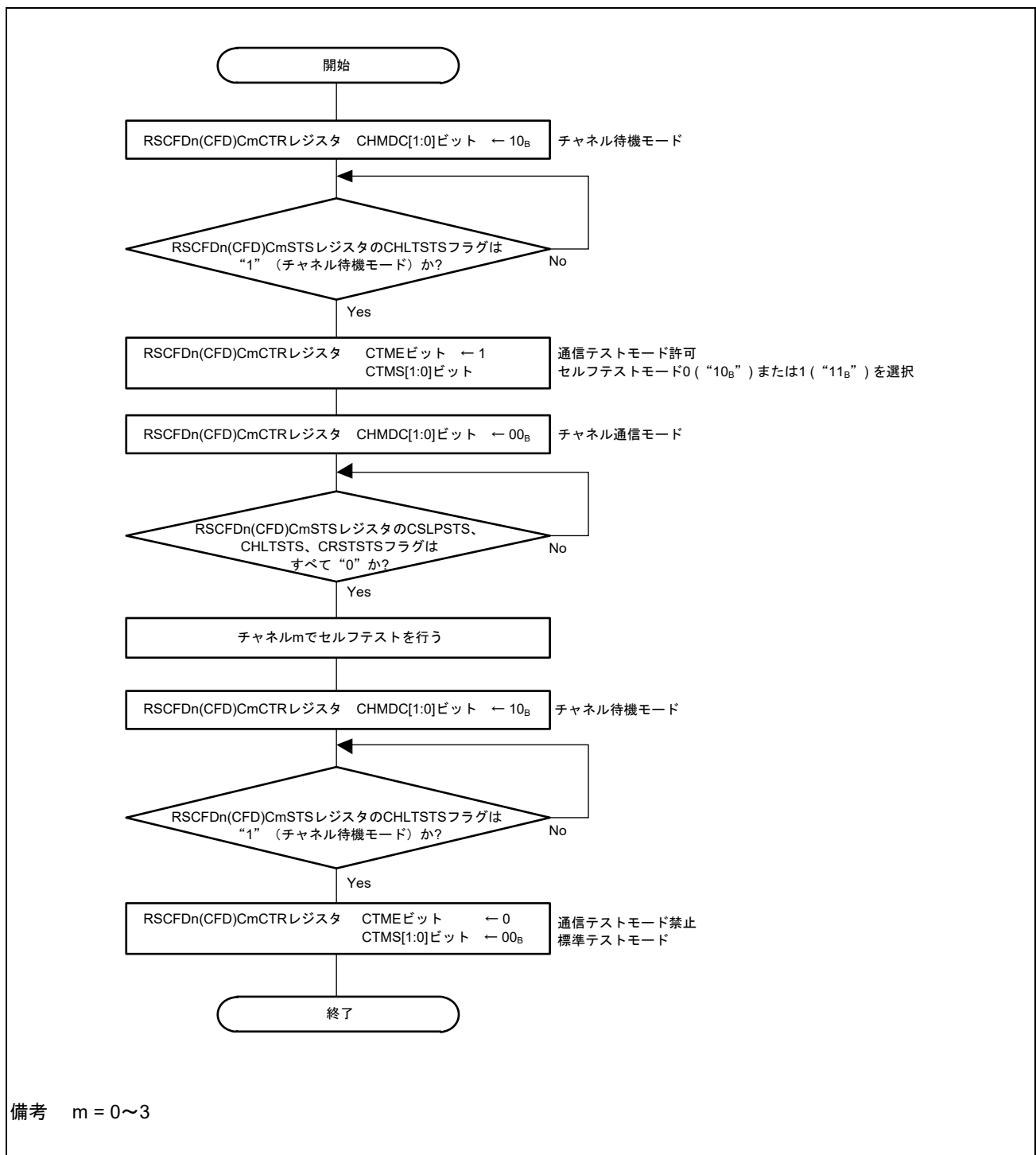


図 14.35 セルフテストモードの設定手順

14.11.4.2 プロテクト解除手順

表 14.188 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCFDn(CFD)GLOCKK レジスタの LOCK[15:0]ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 14.188 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575 _H	8A8A _H	RSCFDn(CFD)GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0]ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。

図 14.36 にプロテクト解除手順を示します。

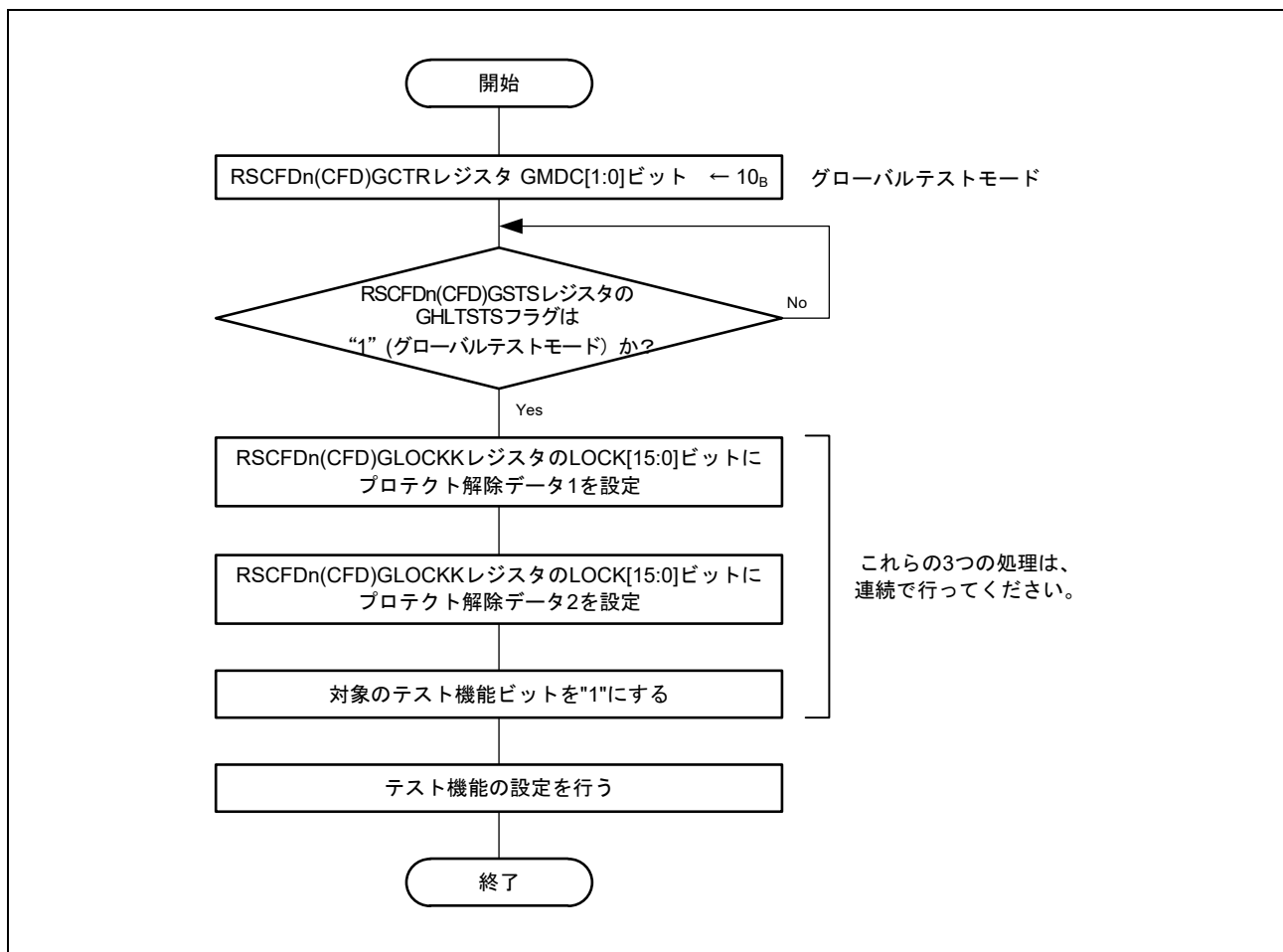


図 14.36 プロテクト解除手順

14.11.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

図 14.37 に RAM テストの設定手順を示します。

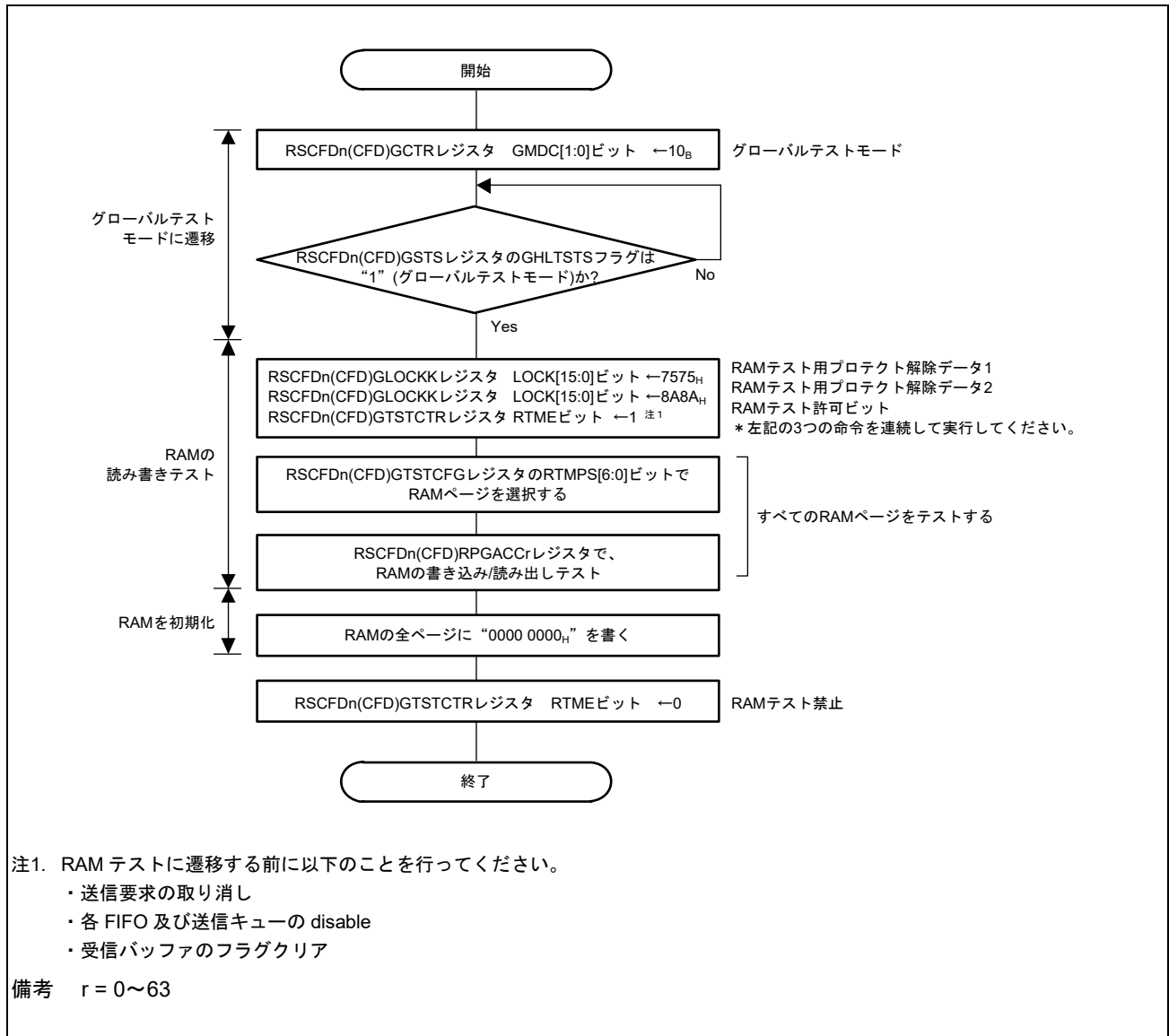


図 14.37 RAM テストの設定手順

14.11.4.4 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図 14.38 にチャネル間通信テストの設定手順を示します。

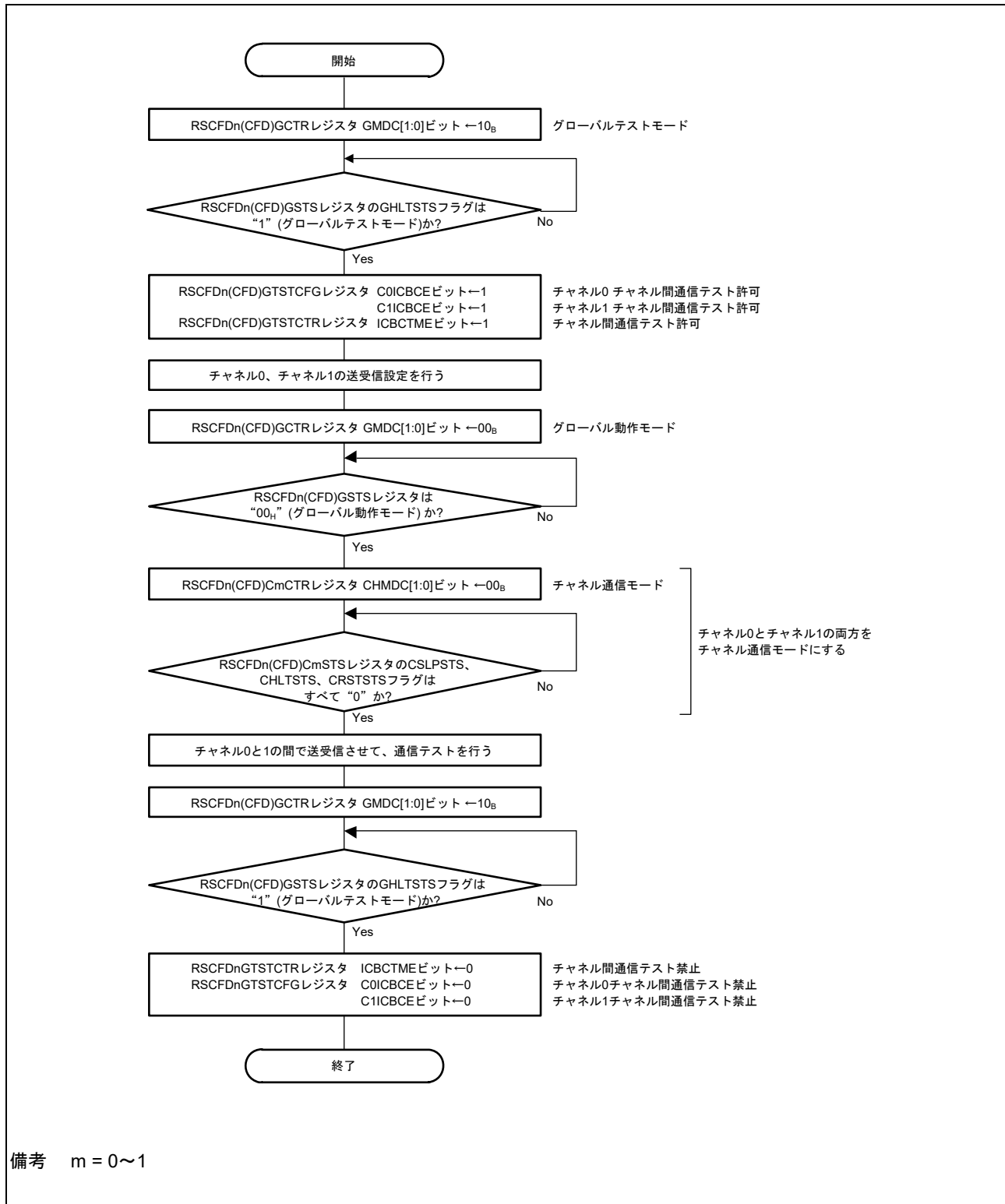


図 14.38 チャネル間通信テストの設定手順 (チャンネル 0-1 間通信テストの例)

14.12 RS-CANFD モジュールの注意事項

- RS-CANFD のリセットを行わずにインタフェースモードを変更する場合は、切り替え後のレジスタマップに割り当てられていないレジスタ、ビットすべてにリセット後の値を書き換えてから、RSCFDn(CFD)GRMCFG レジスタを書き換えてください。
- グローバルモードを変更する場合は、RSCFDn(CFD)GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、RSCFDn(CFD)CmSTS レジスタ (m=0~3) の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- CAN FD モード時、クラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ (RSCFDn(CFD)TMCp レジスタ) は “00_H” にしてください。また、対応する送信バッファのステータスレジスタ (RSCFDn(CFD)TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (RSCFDn(CFD)TMTRSTS0、RSCFDn(CFD)TMTRSTS1、RSCFDn(CFD)TMTARSTS0、RSCFDn(CFD)TMTARSTS1、RSCFDn(CFD)TMTCASTS0、RSCFDn(CFD)TMTCASTS1、RSCFDn(CFD)TMTASTS0、RSCFDn(CFD)TMTASTS1 レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (RSCFDn(CFD)TMIEC0、RSCFDn(CFD)TMIEC1 レジスタ) の許可ビットは “0” (割り込み禁止) にしてください。
- 送信バッファマージモード (CAN FD モード時) を使用する場合、ペイロード格納領域として割り当てられた送信バッファに対応する送信バッファの制御レジスタ (RSCFDn(CFD)TMCp レジスタ) は “00_H” にしてください。また、対応する割り込み許可レジスタ (RSCFDn(CFD)TMIEC0、RSCFDn(CFD)TMIEC1 レジスタ) の許可ビットは “0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。また、送信バッファマージモード (CAN FD モード時) でペイロード格納領域として割り当てられた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- クラシカル CAN モードでタイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。

- 「14.3 レジスタ (クラシカル CAN モード)」と「14.4 レジスタ (CAN FD モード)」に記載されているリセット後の値は、RAM アクセスを行うレジスタの場合、CAN 用 RAM 初期化によってクリアされた後の値を示します。クリア前の値は不定です。次のレジスタが該当します。
 - 受信ルール (RSCFDn(CFD)GAFLIDj、RSCFDn(CFD)GAFLMj、RSCFDn(CFD)GAFLP0_j、RSCFDn(CFD)GAFLP1_j レジスタ)
 - 受信バッファ (RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDfB_q レジスタ)
 - 受信 FIFO バッファアクセスレジスタ (RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCFDn(CFD)RFDFd_x レジスタ)
 - 送受信 FIFO バッファアクセスレジスタ (RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDn(CFD)CFDFd_k レジスタ)
 - 送信バッファ (RSCFDn(CFD)TMIDp、RSCFDn(CFD)TMPTRp、RSCFDnCFDTMFDCTRp、RSCFDn(CFD)TMDfB_p レジスタ)
 - 送信履歴アクセスレジスタ (RSCFDn(CFD)THLACCm レジスタ)
 - RAM テストページアクセスレジスタ (RSCFDn(CFD)RPGACCr レジスタ)
- 未使用の受信バッファ (RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDfB_q レジスタ)、受信 FIFO バッファアクセスレジスタ (RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCFDn(CFD)RFDFd_x レジスタ) と送受信 FIFO バッファアクセスレジスタ (RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDn(CFD)CFDFd_k レジスタ) の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

第15章 Single Edge Nibble Transmission (RSENT)

この章では、Single Edge Nibble Transmission (RSENT) 全般について説明します。

最初の節では、ユニット数、レジスタのベースアドレスなど、RH850/C1M-A に固有の特徴について説明します。それ以降の節では、RSENT の機能、レジスタについて説明します。

15.1 RH850/C1M-A RSENT の特長

15.1.1 ユニット数

本製品では、以下のユニット数の RSENT を搭載しています。

表 15.1 ユニット数

製品名	RH850/C1M-A
ユニット数	4
名称	RSENT _n (n = 0~3)

n の意味

本章では、RSENT の各ユニットを「n」 (n=0~3) で識別します。たとえば、RSENT タイムスタンプレジスタは RSENT_nTSPC と記述します。

15.1.2 レジスタベースアドレス

RSENT のレジスタベースアドレスは、ベースアドレスからのオフセットで表されます。

各 RSENT のベースアドレスを以下の表に示します。

表 15.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSENT0_base>	FFDB 0000 _H
<RSENT1_base>	FF7B 0080 _H
<RSENT2_base>	FFDB 0100 _H
<RSENT3_base>	FF7B 0180 _H

15.1.3 クロック供給

RSENT は次のクロック入力 that 供給されます。

表 15.3 クロックソース

ユニット名	ユニットクロック名	供給クロック名
RSENT _n	clk	非変調低速周辺クロック CLKC_LSB

15.1.4 割り込み要求

RSENT は以下の割り込み要求を発生することができます。

表 15.4 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ 番号 ^{注1}		DTS トリガ 番号 ^{注1}	
			1st	2nd	1st	2nd
RSENT0						
INT_SENT_TX	RSENT ステータス割り込み	322	—	—	—	—
INT_SENT_RX	RSENT 受信割り込み	321	—	45	—	45
RSENT1						
INT_SENT_TX	RSENT ステータス割り込み	324	—	—	—	—
INT_SENT_RX	RSENT 受信割り込み	323	—	46	—	46
RSENT2						
INT_SENT_TX	RSENT ステータス割り込み	326	—	—	—	—
INT_SENT_RX	RSENT 受信割り込み	325	—	47	—	47
RSENT3						
INT_SENT_TX	RSENT ステータス割り込み	328	—	—	—	—
INT_SENT_RX	RSENT 受信割り込み	327	—	48	—	48

— : 割り当てなし

注 1. 1st : Primary Channel、2nd : Secondary Channel

15.1.5 リセット要因

RSENT のリセット要因を以下に示します。RSENT は以下のリセット要因で初期化されます。

表 15.5 リセット要因

ユニット名	リセット要因
RSENTn	全てのリセット要因

15.1.6 外部入出力信号

RSENT の外部入出力信号を以下の表に示します。

表 15.6 外部入出力信号

ユニット信号名	概要	ポート端子兼用名
RSENT0		
sent_rx	RSENT データ入力	RSENT0RX
sent_spc	RSENT SPC 制御出力	RSENT0SPCO
RSENT1		
sent_rx	RSENT データ入力	RSENT1RX
sent_spc	RSENT SPC 制御出力	RSENT1SPCO
RSENT2		
sent_rx	RSENT データ入力	RSENT2RX
sent_spc	RSENT SPC 制御出力	RSENT2SPCO
RSENT3		
sent_rx	RSENT データ入力	RSENT3RX
sent_spc	RSENT SPC 制御出力	RSENT3SPCO

15.2 概要

15.2.1 機能概要

RSENT インタフェースでは次の標準仕様 (SAE J2716 version JAN2010) の機能に対応しています。

- トリプルスピード拡張 Tick Time 対応 : クロック周期 (1 μ s \sim 90 μ s)
- 可変データ転送レート
 - 24.7 kbps \sim 64.9 kbps : 3 クロックレート 6 ニブルデータ
 - 74.1 kbps \sim 194.7 kbps : 1 クロックレート 6 ニブルデータ
- 単方向通信 : センサと MCU 間
- 双方向通信 : センサと MCU 間 (SPC モードによってサポート)
- シングルエッジデータ伝送 : データライン上の二つの連続検出立ち下がりエッジの時間的距離によってコード化
- 最大 6 データニブル + ステータス & コミュニケーションニブルによる送信フレーム
- CRC で保護されたデータ転送可能
 - CRC データは RSENTnSRXD.SCRC ビットにてリード可能
- 各データフレームでキャリブレーションフレーズ (RSENTnCPL.CPLV ビット)
- SENT 規格 (1 線方式)、SPC 拡張 (1 線方式)、SPC 拡張 (2 線方式) の 3 方式に対応。
- 標準拡張機能を持つ RSENT チャンネルに複数のセンサが接続可能。各センサからの受信データはソフトウェアまたは DMA にて検出
- タイムスタンプ機能をサポート : RSENT0 のみマスタ設定可能
その他はスレーブのみ選択可能 (RSENTnTSPC.TMS ビット)

15.2.2 ブロック図

RSENT のブロック図を次に示します。

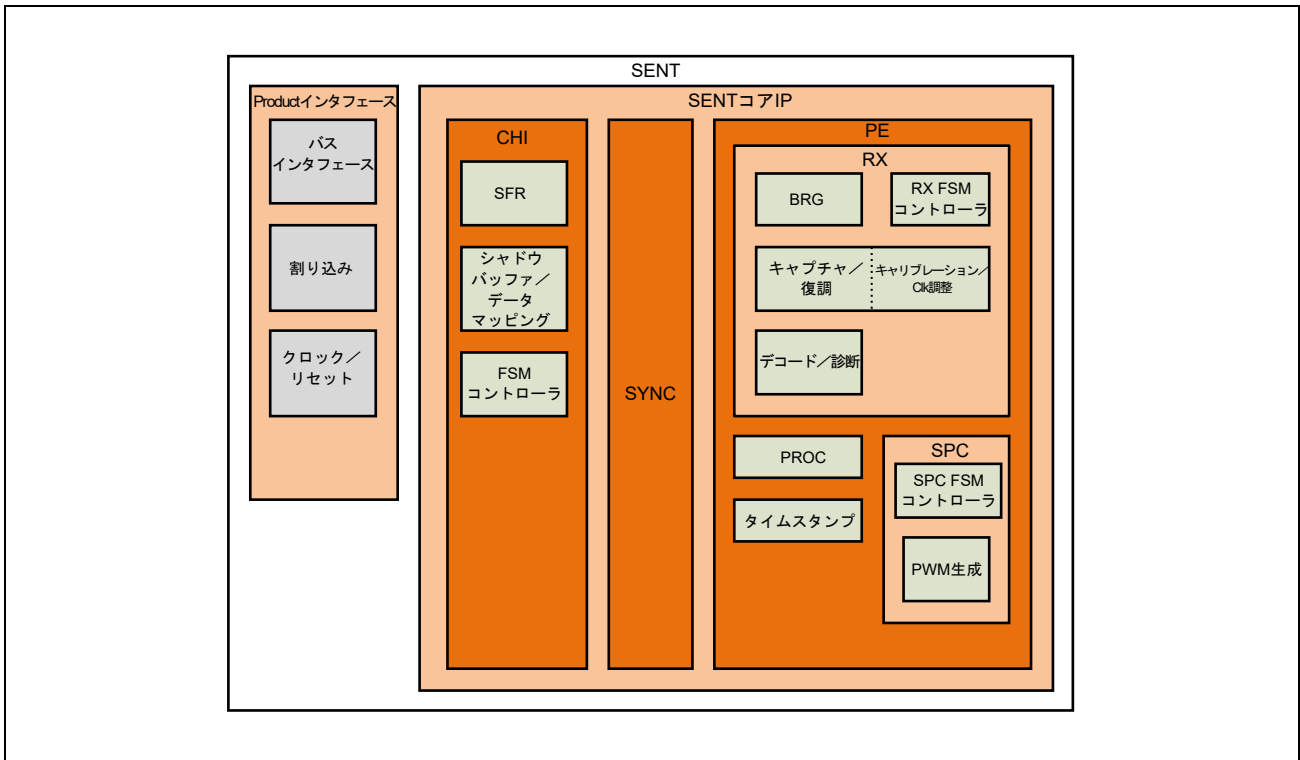


図 15.1 RSENT のブロック図

15.3 レジスタ

15.3.1 レジスタ一覧

RSENTn は、以下のレジスタによって制御され、操作されます。

<RSENTn_base>は「15.1.2 レジスタベースアドレス」を参照してください。

表 15.7 RSENTn のレジスタの概要

モジュール名	レジスタ名	略号	アドレス
RSENTn	RSENT タイムスタンプレジスタ	RSENTnTSPC	<RSENTn_base> + 0000 _H
RSENTn	RSENT タイムスタンプカウンタレジスタ	RSENTnTSC	<RSENTn_base> + 0004 _H
RSENTn	RSENT 通信設定レジスタ	RSENTnCC	<RSENTn_base> + 0010 _H
RSENTn	RSENT ポーレートプリスケアラレジスタ	RSENTnBRP	<RSENTn_base> + 0014 _H
RSENTn	RSENT 割り込み/DMA イネーブルレジスタ	RSENTnIDE	<RSENTn_base> + 0018 _H
RSENTn	RSENT モード制御レジスタ	RSENTnMDC	<RSENTn_base> + 001C _H
RSENTn	RSENT SPC 送信レジスタ	RSENTnSPCT	<RSENTn_base> + 0020 _H
RSENTn	RSENT モードステータスレジスタ	RSENTnMST	<RSENTn_base> + 0024 _H
RSENTn	RSENT 通信ステータスレジスタ	RSENTnCS	<RSENTn_base> + 0028 _H
RSENTn	RSENT 通信ステータスクリアレジスタ	RSENTnCSC	<RSENTn_base> + 002C _H
RSENTn	RSENT 低速チャンネル受信タイムスタンプレジスタ	RSENTnSRTS	<RSENTn_base> + 0030 _H
RSENTn	RSENT 低速チャンネル受信データレジスタ	RSENTnSRXD	<RSENTn_base> + 0034 _H
RSENTn	RSENT キャリブレーションパルス長レジスタ	RSENTnCPL	<RSENTn_base> + 0038 _H
RSENTn	RSENT メッセージ長レジスタ	RSENTnML	<RSENTn_base> + 003C _H
RSENTn	RSENT 高速チャンネル受信タイムスタンプレジスタ	RSENTnFRTS	<RSENTn_base> + 0040 _H
RSENTn	RSENT 高速チャンネル受信データレジスタ	RSENTnFRXD	<RSENTn_base> + 0044 _H

15.3.2 RSENTnTSPC — RSENT タイムスタンプレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0000H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTM[6:0]						—	TTPV[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.8 RSENTnTSPC レジスタの内容

ビット位置	ビット	機能
31~17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TMS	タイムスタンプモード選択 0 : マスタモード 1 : スレーブモード
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14~8	TTM[6:0]	タイムスタンプの乗算値 0000000 _B : 1 0000001 _B : 2 0000010 _B : 3 : 1111111 _B : 128
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~0	TTPV[6:0]	タイムスタンプのプリスケアラ値 0000000 _B : 1 0000001 _B : 2 0000010 _B : 3 : 1111111 _B : 128

RSENTnTSPC.TMS (タイムスタンプモード選択)

本ビットが 0 に設定されると、タイムスタンプカウンタは、マスタモードで動作します。

マスタとして設定しているモジュールの RSENTnTSC に 0000 0000H を書き込むと、そのモジュールのタイムスタンプとスレーブに設定している ch のタイムスタンプがクリアされます。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

スレーブモードで動作している RSENT は、そのマスタとして動作している RSENT とタイムスタンプカウンタのプリスケアラ設定が同じである必要があります。

備 考

本製品シリーズでは、マスタとして設定できるチャンネルは RSENT0 のみです。タイムスタンプカウンタを同期させる場合は、必ず RSENT0 をマスタモード、他のチャンネルはスレーブモードとして設定した上で使用して下さい。

本設定以外でのタイムスタンプカウンタの同期動作は、保証されません。

RSENTnTSPC.TTM (タイムスタンプティック値)

本ビットは、タイムスタンプカウンタで使用される、1 μ s ティック時間の乗算値を定義します。

タイムスタンプクロックの設定については、「**15.4.2.1 タイムスタンプ**」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnTSPC.TTPV (タイムスタンプティックプリスケアラ値)

本ビットは、1 μ s クロックティックを発生するプリスケアラ値を定義します。タイムスタンプクロックの設定については、「**15.4.2.1 タイムスタンプ**」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

供給される通信クロックに基づいて、1 μ s クロックティックが発生されるよう、CPU は本ビットに値を設定する必要があります。

15.3.3 RSENTnTSC — RSENT タイムスタンプカウンタレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.9 RSENTnTSC レジスタの内容

ビット位置	ビット	機能
31~0	TS[31:0]	タイムスタンプカウンタ値

RSENTnTSC.TS (タイムスタンプ)

本ビットは、現在のタイムスタンプカウンタ値を示しています。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに 0000 0000_H以外の値を書き込むことができます。

RSENT が OPERATION IDLE または OPERATION ACTIVE モード (RSENTnMST.OMS = 011_Bまたは 101_B) の時、タイムスタンプカウンタがスレーブモード (RSENTnTSPC.TMS = 1) で動作するように設定されると、本レジスタへの書き込みは効果がありません。

RSENT が OPERATION IDLE または OPERATION ACTIVE モード (RSENTnMST.OMS = 011_Bまたは 101_B) の時、タイムスタンプカウンタは、タイムスタンプカウンタティックのたびに (RSENTnTSPC.TTPV と RSENTnTSPC.TTM ビットで設定)、インクリメントされます。

タイムスタンプカウンタが、マスタモード (RSENTnTSPC.TMS = 0) で動作するように設定されると、CPU は本ビットに 0000 0000_Hを書き込み、RSENTnTSC.TS は 0000 0000_Hに設定されます。

タイムスタンプカウンタが、スレーブモード (RSENTnTSPC.TMS = 1) で動作するように設定されると、RSENT0 の RSENT0TSC.TS ビットに 0000 0000_Hを書き込むことにより RSENTnTSC.TS ビットは 0000 0000_Hに設定されます。

タイムスタンプモード選択については「[15.4.2.1 タイムスタンプ](#)」を参照してください。

15.3.4 RSENTnCC — RSENT 通信設定レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SOPC	FCM	SCCD	FCCD	DCF	SMF[1:0]	PPTC	PPC	NDN[2:0]		SPCE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.10 RSENTnCC レジスタの内容 (1/2)

ビット位置	ビット	機能
31~13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書きください。
12	SOPC	SPC 出力極性制御 0 : SPC パルスアクティブハイ 1 : SPC パルスアクティブロウ
11	FCM	フレームチェック方法 0 : 次のキャリブレーションパルスに対するチェック 1 : 前回のキャリブレーションパルスに対するチェック
10	SCCD	低速チャンネル CRC チェック 0 : 低速チャンネル CRC チェック有効 1 : 低速チャンネル CRC チェック無効
9	FCCD	高速チャンネル CRC チェック 0 : 高速チャンネル CRC チェック有効 1 : 高速チャンネル CRC チェック無効
8	DCF	データニブル CRC フォーマット選択 0 : SAE J2716 JAN2010 で定義された CRC フォーマットを選択 1 : SAE J2716 FEB2008 以前の CRC フォーマットを選択
7、6	SMF[1:0]	シリアルメッセージフォーマット 00 _B : シリアルメッセージ抽出なし 01 _B : ショートシリアルメッセージフォーマット 10 _B : エンハンスドシリアルメッセージフォーマット 11 _B : 設定禁止
5	PPTC	Pause Pulse タイプ設定 0 : 可変メッセージ長のための Pause Pulse 1 : 固定メッセージ長のための Pause Pulse
4	PPC	Pause Pulse の設定 0 : Pause Pulse なし 1 : Pause Pulse あり

表 15.10 RSENTnCC レジスタの内容 (2/2)

ビット位置	ビット	機能
3~1	NDN[2:0]	データニブル数 000 _B : 1 データニブル 001 _B : 2 データニブル 010 _B : 3 データニブル 011 _B : 4 データニブル 100 _B : 5 データニブル 101 _B : 6 データニブル 上記以外: 設定禁止
0	SPCE	SPC モード有効 0: SPC モード無効 1: SPC モード有効

RSENTnCC.SOPC (SPC 出力極性制御)

本ビットが 0 に設定されると、SPC パルスはアクティブハイ信号として送信されます。デフォルトの出力値はロウレベルです。

本ビットが 1 に設定されると、SPC パルスはアクティブロウ信号として送信されます。デフォルトの出力値はハイレベルです。

SPC の動作については、「**15.4.4 SPC 機能**」参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

備 考

- 本製品シリーズでは、SPC の 1 線方式で使用する場合、本ビットは必ずアクティブロウに設定して使用してください。
- 本ビットへの設定は、OPERATION ACTIVE モード (RSENTnMST.OMS = 101_B) に移行したタイミングで有効になります。RESET モードへ移行した場合は、出力値はデフォルトの値 (ロウレベル) になります。

RSENTnCC.FCM (フレームチェック方法)

本ビットが 0 に設定されると、現在のキャリブレーションパルスが次に受信されるキャリブレーションパルスと比較されます。

バッファは、SAE J2716 2010 で説明された、推奨オプションに従って更新されます。本ビットが 1 に設定されると、現在のキャリブレーションパルスが以前に受信したキャリブレーションパルスと比較されます。

バッファは、SAE J2716 2010 で説明された、第 2 オプションに従って更新されますが、第 2 オプションは、2 番目のキャリブレーションパルスを処理するための余分なレイテンシが許容できない場合のみ使用してください。

バッファ更新のタイミングについては、「**15.4.3.5 高速チャネルメッセージ受信**」も参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SCCD (低速チャネル CRC チェック無効)

本ビットが 1 に設定されると、低速チャネルの CRC チェックが無効になります。この場合、メッセージは、受信した CRC と共に、低速チャネルメッセージ受信バッファに保存されます。

本ビットが 1 に設定されると、RSENTnCS.SCS ビットは設定されません。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.FCCD (高速チャネル CRC チェック無効)

本ビットが 1 に設定されると、高速チャネルの CRC チェックが無効になります。この場合、メッセージは、受信した CRC と共に、高速チャネルメッセージ受信バッファに保存されます。

本ビットが 1 に設定されると、RSENTnCS.FCS は設定されません。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTn.DCF (データニブル CRC フォーマット選択)

本ビットはデータニブル CRC のフォーマットを、SAE J2716 JAN2010 で定義されたフォーマットまたは、それ以前のフォーマットから選択します。

本ビットが 0 の時、SAE J2716 JAN2010 で定義された CRC フォーマットが設定されます。

本ビットが 1 の時、SAE J2716 FEB2008 以前に定義された CRC フォーマットが設定されます。

データニブル CRC の詳細については、「SAE J2716 JAN2010 の 5.4.2.1 と 5.4.2.2 章」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は本ビットに書き込むことができます。

RSENTnCC.SMF (シリアルメッセージ形式)

本ビットは、自動抽出して受信されるシリアルメッセージ形式を定義します。

本ビットが 0_B に設定されると、シリアルメッセージは抽出されず、ステータス&コミュニケーションニブルは RSENTnSRXD レジスタに提供されます。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE が 1 に設定され、RSENT に複数のセンサーが接続される際は、CPU は本ビットに 0_B を設定する必要があります。

RSENTnCC.PPTC (Pause Pulse タイプ設定)

本ビットは、Pause Pulse タイプを定義します。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.PPC ビットが 0 に設定される際は、CPU は本ビットを 1 に設定しないでください。

RSENTnCC.PPC (Pause Pulse 設定)

本ビットは、Pause Pulse の有無を定義します。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.NDN (データニブル数)

本ビットは、RSENT メッセージに含まれるデータニブル数を定義します。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE (SPC モード有効)

本ビットは、SPC モードを有効にします。

SPC モードの動作については、「**15.4.4 SPC 機能**」も参照してください。

RSENT モジュールが CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

15.3.5 RSENTnBRP — RSENT ボーレートプリスケアラレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0014_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TTF[3:0]				—	TTI[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SCDV[6:0]						—	—	—	SCMV[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 15.11 RSENTnBPR レジスタの内容 (1/2)

ビット位置	ビット	機能
31~28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27~24	TTF[3:0]	タイムティック小数 0000 _B : 0.0 μs 0001 _B : 0.1 μs 0010 _B : 0.2 μs : 1000 _B : 0.8 μs 1001 _B : 0.9 μs 上記以外: 設定禁止
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22~16	TTI[6:0]	タイムティック整数 0000000 _B : 1 μs 0000001 _B : 2 μs 0000010 _B : 3 μs : 1011000 _B : 89 μs 1011001 _B : 90 μs 上記以外: 設定禁止
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14~8	SCDV[6:0]	サンプルクロック分周値 0000000 _B : 1 0000001 _B : 2 0000010 _B : 3 : 1111110 _B : 127 1111111 _B : 128
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 15.11 RSENTnBPR レジスタの内容 (2/2)

ビット位置	ビット	機能
4~0	SCMV[4:0]	サンプルクロック乗算値 00000 _B : 1 00001 _B : 2 00010 _B : 3 : 11110 _B : 31 11111 _B : 32

RSENTnBRP.TTF (タイムティック小数)

本ビットは、0.1 μs の長さのティックの小数部分を定義します。

ティックの長さの設定については、「**15.4.2.2(2) 受信と SPC のティック設定**」を参照してください。

RSENT モジュールが CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.TTI (タイムティック整数)

本ビットは、ティックの長さの整数部分を定義します。ティックの長さの設定については、「**15.4.2.2(2) 受信と SPC のティック設定**」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCDV (サンプルクロック分周値)

本ビットは、サンプルクロック発生ロジックの分周値を定義します。

RSENTnBRP の設定については、「**15.4.2.2(1) RX BRP 設定**」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCMV (サンプルクロック乗算値)

本ビットは、サンプルクロック発生ロジックの乗算値を定義します。

RSENTnBRP の設定については、「**15.4.2.2(1) RX BRP 設定**」を参照してください。

RSENT モジュールが CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

15.3.6 RSENTnIDE — RSENT 割り込み/DMA イネーブルレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0018H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEIE	SMIE	SCIE	NRIE	CVIE	CLIE	FNIE	FEIE	FMIE	FCIE	FRIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.12 RSENTnIDE レジスタの内容 (1/2)

ビット位置	ビット	機能
31~11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEIE	低速チャンネル符号化エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
9	SMIE	低速チャンネルメッセージロスト割り込み制御 0: 割り込み無効 1: 割り込み有効
8	SCIE	低速チャンネル CRC エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
7	NRIE	応答なしエラー割り込み制御 0: 割り込み無効 1: 割り込み有効
6	CVIE	キャリブレーションパルス長変動エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
5	CLIE	キャリブレーションパルス長エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
4	FNIE	高速チャンネルニブルカウントエラー割り込み制御 0: 割り込み無効 1: 割り込み有効
3	FEIE	高速チャンネルニブル符号化エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
2	FMIE	高速チャンネルメッセージロスト割り込み制御 0: 割り込み無効 1: 割り込み有効
1	FCIE	高速チャンネル CRC エラー割り込み制御 0: 割り込み無効 1: 割り込み有効

表 15.12 RSENTnIDE レジスタの内容 (2/2)

ビット位置	ビット	機能
0	FRIE	高速チャンネル受信割り込み制御 0: 割り込み無効 1: 割り込み有効

RSENTnIDE.SEIE (低速チャンネル符号化エラー割り込みイネーブル)

本ビットは、低速チャンネル符号化エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SMIE (低速チャンネルメッセージロスト割り込みイネーブル)

本ビットは、低速チャンネルメッセージロスト割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SCIE (低速チャンネル CRC エラー割り込みイネーブル)

本ビットは、低速チャンネル CRC エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.NRIE (応答なしエラー割り込みイネーブル)

本ビットは、応答なしエラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

SPC モードが無効 (RSENTnCC.SPCE = 0) の時は、CPU は、本ビットを設定しないでください。

RSENTnIDE.CVIE (キャリブレーションパルス長変動エラー割り込みイネーブル)

本ビットは、キャリブレーションパルス長変動エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.CLIE (キャリブレーションパルス長エラー割り込みイネーブル)

本ビットは、キャリブレーションパルス長エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FNIE (高速チャンネルニブルカウントエラー割り込みイネーブル)

本ビットは、高速チャンネルニブルカウントエラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FEIE (高速チャンネルニブル符号化エラー割り込みイネーブル)

本ビットは、高速チャンネルニブル符号化エラー割り込みの発生を可能にします。

RSENT モジュールが RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FMIE (高速チャンネルメッセージロスト割り込みイネーブル)

本ビットは、高速チャンネルメッセージロスト割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FCIE (高速チャンネル CRC エラー割り込みイネーブル)

本ビットは、高速チャンネル CRC エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FRIE (高速チャンネル受信割り込みイネーブル)

本ビットは、高速チャンネル受信割り込みの発生を可能にします。高速チャンネル受信割り込みは、DMA 要求を通知するためにも使用されます。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

15.3.7 RSENTnMDC — RSENT モード制御レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 001C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 15.13 RSENTnMDC レジスタの内容

ビット位置	ビット	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2~0	OMC[2:0]	動作モード制御 000 _B : RESET 001 _B : CONFIGURATION 011 _B : OPERATION IDLE 101 _B : OPERATION ACTIVE 上記以外: 設定禁止

RSENTnMDC.OMC (動作モード制御)

本ビットは RSENT の動作モードを制御するために使用されます。

- 000_B: RESET

RESET モードでは、動作モードは、CONFIGURATION モードにのみ、変更することができます。

- 001_B: CONFIGURATION

CONFIGURATION モードでは、動作モードは、RESET モードまたは OPERATION ACTIVE モードにのみ、変更することができます。

- 011_B: OPERATION IDLE

OPERATION IDLE モードでは、動作モードは、OPERATION ACTIVE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。

- 101_B: OPERATION ACTIVE

OPERATION ACTIVE モードでは、動作モードは、OPERATION IDLE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。しかし、最初は OPERATION IDLE モードにすることを推奨します。動作モード変更時の、推奨方法については、「15.4.3.1 動作モードの移行」を参照してください。

- 上記以外：設定禁止

CPU は、本レジスタに上記以外の値を書かないでください。

CPU は、「15.4.3.1 動作モードの移行」に示すモード変更手順に従ってください。

15.3.8 RSENTnSPCT — RSENT SPC 送信レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TLL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.14 RSENTnSPCT レジスタの内容

ビット位置	ビット	機能
31~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~0	TLL[6:0]	ティック単位でのロウトリガフェーズの長さ 0000000 _B : 1 ティック 0000001 _B : 2 ティック 0000010 _B : 3 ティック : 1111110 _B : 127 ティック 1111111 _B : 128 ティック

RSENTnSPCT.TLL (ロウトリガ長)

本ビットは、SPC トリガパルスの長さを定義します。

CPU が本ビットに書き込む時は、設定された長さを持つ SPC トリガパルスは、RSENT モジュールの現在のステータスに関係なく、すぐ送信されます。

SPC の通信については、「15.4.4 SPC 機能」を参照してください。

RSENT が OPERATION ACTIVE モード (RSENTnMST.OMS = 101_B) で、SPC 通信が有効 (RSENTnCC.SPCE = 1) の時のみ、CPU は、本ビットに書き込むことができます。

前の要求がまだ開始されていない場合、2 つの連続したライトアクセスは、応答なしエラーを発生しない可能性がありますので、注意してください。

本レジスタへの書き込み後、再度書き込みをする前に、CPU は少なくとも 1 SPC トリガティック、待機してください。

15.3.9 RSENTnMST — RSENT モードステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0024h

リセット後の値 0000 0000h

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.15 RSENTnMST レジスタの内容

ビット位置	ビット	機能
31~3	予約ビット	リードした場合はリセット後の値が読めます。
2~0	OMS[2:0]	動作モード 000 _B : RESET 001 _B : CONFIGURATION 011 _B : OPERATION IDLE 101 _B : OPERATION ACTIVE 上記以外: 予約

RSENTnMST.OMS (動作モードステータス)

本ビットは、現在の動作モードを示しています。

本ビットは読み出しのみ可能です。

本ビットは、モード変更要求が RSENTnMDC.OMC レジスタに設定された後に、更新されます。

- 000_B: RESET モード

RESET モードでは、すべてのレジスタはリセット値に設定されており、RSENTnMDC レジスタを除くすべてのレジスタへの書き込みアクセスは無効になっています。RESET モードでは、RSENT 通信は無効になります。

- 001_B: CONFIGURATION モード

CONFIGURATION モードでは、タイムスタンプレジスタ (RSENTnTSPC と RSENTnTSC レジスタ)、設定レジスタ (RSENTnCC と RSENTnBRP レジスタ)、RSENTnIDE レジスタおよびモード制御レジスタ (RSENTnMDC.OMC) への書き込みが有効になっています。

CONFIGURATION モードでは、RSENT 通信は無効になります。

CONFIGURATION モードへの移行時は、すべてのステータスレジスタと受信バッファレジスタは、リセット値に設定されます。

- 011_B : OPERATION IDLE モード

OPERATION IDLE モードでは、受信や SPC トリガ送信はできません。

OPERATION IDLE モードへの移行時は、受信バッファ内のフレームは OPERATION ACTIVE モードとして分析されますが、新しいフレームは受信されません。

- 101_B : OPERATION ACTIVE モード

OPERATION ACTIVE モードでは、受信や SPC トリガ送信が可能です。

- 上記以外 : 予約

15.3.10 RSENTnCS — RSENT 通信ステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0028_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SES	SMS	SCS	NRS	CVS	CLS	FNS	FES	FMS	FCS	FRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.16 RSENTnCS レジスタの内容 (1/2)

ビット位置	ビット	機能
31~11	予約ビット	リードした場合はリセット後の値が読めます。
10	SES	低速チャンネル符号化エラー割り込み検出 0 : 未検出 1 : 検出
9	SMS	低速チャンネルメッセージロスト割り込み検出 0 : 未検出 1 : 検出
8	SCS	低速チャンネル CRC エラー割り込み検出 0 : 未検出 1 : 検出
7	NRS	応答なしエラー割り込み検出 0 : 未検出 1 : 検出
6	CVS	キャリブレーションパルス長変動エラー割り込み検出 0 : 未検出 1 : 検出
5	CLS	キャリブレーションパルス長エラー割り込み検出 0 : 未検出 1 : 検出
4	FNS	高速チャンネルニブルカウントエラー割り込み検出 0 : 未検出 1 : 検出

表 15.16 RSENTnCS レジスタの内容 (2/2)

ビット位置	ビット	機能
3	FES	高速チャンネルニブル符号化エラー割り込み検出 0: 未検出 1: 検出
2	FMS	高速チャンネルメッセージロスト割り込み検出 0: 未検出 1: 検出
1	FCS	高速チャンネル CRC エラー割り込み検出 0: 未検出 1: 検出
0	FRS	高速チャンネル受信割り込み検出 0: 未検出 1: 検出

RSENTnCS.SES (低速チャンネル符号化エラーステータス)

本ビットは、低速チャンネル符号化エラーステータスを示します。

本ビットは読み出しのみ可能です。

ショートシリアルメッセージフォーマット (RSENTnCC.SMF = 01_B) では、シリアルスタートビット (ステータス&コミュニケーションニブルのビット 3) の配列が “1000 0000 0000 0000_B” (1 が 1 つ、0 が 15 個) と異なると、本ビットが設定されます。

エンハンスドシリアルメッセージフォーマット (RSENTnCC.SMF = 10_B) では、シリアルメッセージ開始フレーム (ステータス&コミュニケーションニブルのビット 3 の配列が 0111 1110_B) を受信後、ビット 13 またはビット 18 が “0” として受信されないと、本ビットが設定されます。

このビットがショートシリアルメッセージフォーマットで設定されると、受信されたステータス&コミュニケーションニブルはシリアルメッセージを構築するために使用されます。

このビットがエンハンスドシリアルメッセージフォーマットで設定されると、RSENT モジュールは、シリアルメッセージ開始フレームの先頭かをチェックし、受信したステータス&コミュニケーションニブルを使用してシリアルメッセージを構築します。

RSENTnCS.SES に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SMS (低速チャンネルメッセージロストステータス)

本ビットは、低速チャンネルメッセージロストステータスを示します。

本ビットは読み出しのみ可能です。

低速チャンネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。

RSENTnCS.SES に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SCS (低速チャンネル CRC エラーステータス)

本ビットは、低速チャンネル CRC エラーステータスを示します。

本ビットは読み出しのみ可能です。

低速チャンネルで CRC エラーが検出され、低速チャンネル CRC 検出が有効 (RSENTnCC.SCCD = 0 に設定) の場合、本ビットは設定されます。

RSENTnCSC.SCC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.NRS (応答なしエラーステータス)

本ビットは、応答なしエラーステータスを示します。

本ビットは読み出しのみ可能です。

本ビットは、以下の時、設定されます。

- CPU が RSENTnSPCT.TLL へ書き込み
- SPC モードが有効 (RSENTnCC.SPCE = 1 に設定)
- 前の SPC トリガに対して、センサーから、応答完了の受信なし

RSENTnCSC.NRC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CVS (キャリブレーションパルス長変動エラーステータス)

本ビットは、キャリブレーションパルス長変動エラーステータスを示します。

本ビットは読み出しのみ可能です。

RSENTnCC.PPTC が 0 の場合、2 つの連続したキャリブレーションパルスが 1.5625%以上異なると、本ビットは設定されます。

RSENTnCC.PPTC が 1 の場合、本ビットは設定されません。本モード (固定されたメッセージ長で、パルス一時停止) では、CPU は RSENTnCPL と RSENTnML レジスタを読み出すことにより、メッセージ長に対する、キャリブレーションパルス比の変動をチェックする必要があります。

RSENTnCSC.CVC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CLS (キャリブレーションパルス長エラーステータス)

本ビットは、キャリブレーションパルス長エラーステータスを示します。

本ビットは読み出しのみ可能です。

測定されたキャリブレーションパルスの長さが 42 クロックティック未満、または 70 クロックティックを超えた (規格値 (56 クロックティック) から 25%の偏差) 時に、本ビットは設定されます。

RSENTnCSC.CLC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FNS (高速チャネルニブルカウントエラーステータス)

本ビットは、高速チャネルニブルカウントエラーステータスを示します。

本ビットは読み出しのみ可能です。

2つのキャリブレーションパルス間に、予期せぬ数の立ち下がりエッジがあると、本ビットは設定されません。

RSENTnCSC.FNC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FES (高速チャネルニブル符号化エラーステータス)

本ビットは、高速チャネルニブル符号化エラーステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネル上で、測定されたニブル期間が 12 クロックティック未満、または 27 クロックティックを超えた時に、本ビットは設定されます。

RSENTnCSC.FEC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FMS (高速チャネルメッセージロストステータス)

本ビットは、高速チャネルメッセージロストステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。

RSENTnCSC.FMC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FCS (高速チャネル CRC エラーステータス)

本ビットは、高速チャネル CRC エラーステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルで CRC エラーが検出され、高速チャネル CRC 検出が有効 (RSENTnCC.FCCD = 0 に設定) の場合、本ビットは設定されます。

RSENTnRSENTnCSC.FCC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FRS (高速チャネル受信ステータス)

本ビットは、高速チャネル受信ステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

CPU が RSENTnFRXD.FND ビットを読み出すと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

15.3.11 RSENTnCSC — RSENT 通信ステータスクリアレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 002C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEC	SMC	SCC	NRC	CVC	CLC	FNC	FEC	FMC	FCC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 15.17 RSENTnCSC レジスタの内容 (1/2)

ビット位置	ビット	機能
31~11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEC	低速チャンネル符号化エラー割り込みクリア 0: 無効 1: クリア
9	SMC	低速チャンネルメッセージロスト割り込みクリア 0: 無効 1: クリア
8	SCC	低速チャンネル CRC エラー割り込みクリア 0: 無効 1: クリア
7	NRC	応答なしエラー割り込みクリア 0: 無効 1: クリア
6	CVC	キャリブレーションパルス長変動エラー割り込みクリア 0: 無効 1: クリア
5	CLC	キャリブレーションパルス長エラー割り込みクリア 0: 無効 1: クリア
4	FNC	高速チャンネルニブルカウントエラー割り込みクリア 0: 無効 1: クリア
3	FEC	高速チャンネルニブル符号化エラー割り込みクリア 0: 無効 1: クリア
2	FMC	高速チャンネルメッセージロスト割り込みクリア 0: 無効 1: クリア

表 15.17 RSENTnCSC レジスタの内容 (2/2)

ビット位置	ビット	機能
1	FCC	高速チャンネル CRC エラー割り込みクリア 0: 無効 1: クリア
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSENTnCSC.SEC (低速チャンネル符号化エラークリア)

本ビットに 1 を書き込むと、RSENTnCS.SES が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.SMC (低速チャンネルメッセージロストクリア)

本ビットに 1 を書き込むと、RSENTnCS.SMS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.SCC (低速チャンネル CRC エラークリア)

本ビットに 1 を書き込むと、RSENTnCS.SCS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.NRC (応答なしエラークリア)

本ビットに 1 を書き込むと、RSENTnCS.NRS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.CVC (キャリブレーションパルス長変動エラークリア)

本ビットに 1 を書き込むと、RSENTnCS.CVS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.CLC (キャリブレーションパルス長エラークリア)

本ビットに 1 を書き込むと、RSENTnCS.CLS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FNC (高速チャネルニブルカウントエラークリア)

本ビットに 1 を書き込むと、RSENTnCS.FNS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FEC (高速チャネルニブル符号化エラークリア)

本ビットに 1 を書き込むと、RSENTnCS.FES が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FMC (高速チャネルメッセージロストクリア)

本ビットに 1 を書き込むと、RSENTnCS.FMS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FCC (高速チャネル CRC エラークリア)

本ビットに 1 を書き込むと、RSENTnCS.FCS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

15.3.12 RSENTnSRTS — RSENT 低速チャネル受信タイムスタンプレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0030H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.18 RSENTnSRTS レジスタの内容

ビット位置	ビット	機能
31~0	STS	低速チャネル受信タイムスタンプ

RSENTnSRTS.STS (低速チャネル受信タイムスタンプ)

低速チャネル受信タイムスタンプ

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファに提供される最後のフレームのタイムスタンプカウンタ値で、低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001B (CONFIGURATION) に変更されると、本ビットはクリアされます。

15.3.13 RSENTnSRXD — RSENT 低速チャネル受信データレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0034h

リセット後の値 0000 0000h

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SND	—	SCRC[5:0]					—	—	—	SMGC	IDD[19:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IDD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.19 RSENTnSRXD レジスタの内容

ビット位置	ビット	機能
31	SND	低速チャネル新データ 0: 低速チャネルフレームデータが、最後の読み出し以降に更新されていない 1: 低速チャネルフレームデータが、最後の読み出し以降に更新された
30	予約ビット	リードした場合はリセット後の値が読めます。
29~24	SCRC[5:0]	低速チャネル CRC データ
23~21	予約ビット	リードした場合はリセット後の値が読めます。
20	SMGC	低速チャネルコンフィグレーションビットデータ
19~0	IDD[19:0]	低速チャネルデータと ID 情報を示す

RSENTnSRXD.SND (低速チャネル新データ)

本ビットは、低速チャネルメッセージ受信バッファがまだ読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。本ビットは、読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnSRXD.SCRC (低速チャネル CRC)

本ビットは、低速チャネル CRC データを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnSRXD.SMGC (低速チャネルコンフィグレーションビット)

本ビットは、低速チャネルコンフィグレーションビットデータを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnSRXD.IDD (ID/データ)

本ビットは、低速チャネルデータと ID 情報を示します。

本レジスタ内の配置は、メッセージ形式に依存します。詳細については、「**15.4.3.7 低速チャネルメッセージ受信**」を参照してください。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

15.3.14 RSENTnCPL — RSENT キャリブレーションパルス長レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPLV [16]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.20 RSENTnCPL レジスタの内容

ビット位置	ビット	機能
31~17	予約ビット	リードした場合はリセット後の値が読めます。
16~0	CPLV[16:0]	受信メッセージのキャリブレーションパルス長の値

RSENTnCPL.CPLV (キャリブレーションパルス長の値)

固定メッセージ長モードにてパルス一時停止を有効にした場合において、本ビット及び RSENTnML.MLV ビットを使用し、連続したフレームそれぞれのメッセージ長とキャリブレーションパルスの比をソフトウェアにて算出、変動を比較することにより、メッセージの診断を行うことが可能です。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、キャリブレーションパルス長 (1 ティック時間 × キャリブレーションパルスのティック数) をサンプルクロック (fSAMPLE = 16MHz) でカウントした値が格納されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

15.3.15 RSENTnML — RSENT メッセージ長レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 003C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	MLV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.21 RSENTnML レジスタの内容

ビット位置	ビット	機能
31~21	予約ビット	リードした場合はリセット後の値が読めます。
20~0	MLV[20:0]	受信メッセージのメッセージ長

RSENTnML.MLV (メッセージ長の値)

固定メッセージ長モードにてパルス一時停止を有効にした場合において、本ビット及び RSENTnCPL.CPLV ビットを使用し、連続したフレームそれぞれのメッセージ長とキャリブレーションパルスの比をソフトウェアにて算出、変動を比較することにより、メッセージの診断を行うことが可能です。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは、サンプルクロックティック単位で測定されたメッセージ長で更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

15.3.16 RSENTnFRTS — RSENT 高速チャネル受信タイムスタンプレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.22 RSENTnFRTS レジスタの内容

ビット位置	ビット	機能
31~0	FTS[31:0]	高速チャネル受信タイムスタンプ

RSENTnFRTS.FTS (高速チャネル受信タイムスタンプ)

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは、更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

15.3.17 RSENTnFRXD — RSENT 高速チャネル受信データレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0044h

リセット後の値 0000 0000h

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SNDM		FND		FCCN[1:0]		FCRC[3:0]			ND[23:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.23 RSENTnFRXD レジスタの内容

ビット位置	ビット	機能
31	SNDM	低速チャネル新データのミラー 0：低速チャネルフレームデータが、最後の読み出し以降、更新されない 1：低速チャネルフレームデータが、最後の読み出し以降、更新される
30	FND	高速チャネル新データ 0：高速チャネルフレームデータが、最後の読み出し以降、更新されない 1：高速チャネルフレームデータが、最後の読み出し以降、更新される
29、28	FCCN[1:0]	高速チャネルステータス&コミュニケーションニブル [1:0]
27~24	FCRC[3:0]	高速チャネル CRC データ
23~0	ND[23:0]	高速チャネルニブルデータ

RSENTnFRXD.SNDM（低速チャネル新データミラー）

本ビットは、低速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。本ビットは、低速チャネル新データビット（RSENTnSRXD.SND）が読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FND（高速チャネル新データ）

本ビットは、高速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。本ビットは、読み出されると、自動的にクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FCCN (高速チャネルステータス&コミュニケーションニブル)

本ビットは、高速チャネルステータス&コミュニケーションニブル[1:0]を表わしています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnFRXD.FCRC (高速チャネル CRC)

本ビットは、高速チャネル CRC データを表しています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnFRXD.ND (高速チャネルニブルデータ)

本ビットは、高速チャネルニブルデータを表しています。

ニブルデータの配置は、ニブルデータ数 (RSENTnCC.NDN) に依存します。詳細については、「**15.4.3.5 高速チャネルメッセージ受信**」を参照してください。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

15.4 機能

15.4.1 動作モード

RSENT_n は、次の何れかのモードで動作します。

- RESET モード
- CONFIGURATION モード
- OPERATION IDLE モード
- OPERATION ACTIVE モード

CPU は、「**15.4.3.1 動作モードの移行**」に示すモード変更手順に従ってください。

現在の動作モードの状態は、RSENT_nMST.OMS ビットで見ることができます。

図 15.2 は、チャンネルモード間での可能な遷移を示しています

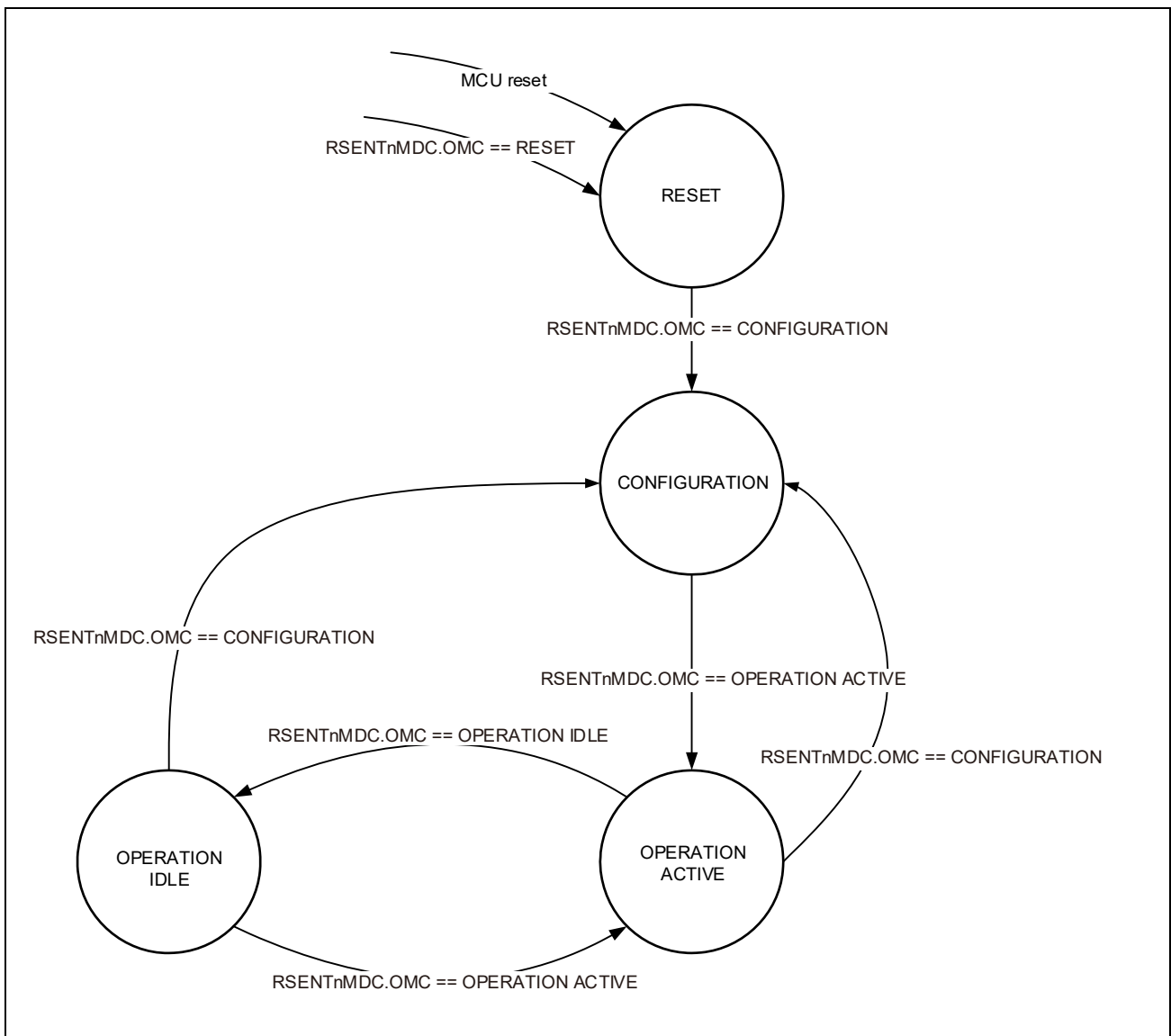


図 15.2 動作モード間での遷移

15.4.1.1 RESET モード

本モードは、リセット解除後に RSENT が自動的に移行する初期モードです。

RSENT に搭載しているレジスタの初期化を行います。

RSENTnMDC.OMC が 000_B に設定されると、RESET モードに移行します。この状態では、すべての、設定、制御 (RSENTnMDC.OMC ビットを除く) およびステータスレジスタが、リセットされます。送信中または受信中の処理は直ちに停止され、RSENT のインタフェース端子は、リセット解除後の状態に設定されます。

RESET モードでは、すべてのレジスタへのリードアクセスが可能です。ライトアクセスは RSENTnMDC レジスタに制限されています。

15.4.1.2 CONFIGURATION モード

RSENTnMDC.OMC が 001_B に設定されると、CONFIGURATION モードに移行します。

RSENT のインタフェース端子は、デフォルト値に設定されます。

RSENTnSPCO 端子の出力極性の設定と有効となるタイミングについては「**15.3.4 RSENTnCC — RSENT 通信設定レジスタ**」の SOPC ビットの説明をご参照ください。

この状態では、すべてのステータスレジスタ (RSENTnCS) と受信バッファレジスタ (RSENTnSRTS、RSENTnSRXD、RSENTnCPL、RSENTnML、RSENTnFRTS および RSENTnFRXD) はリセット後の値に設定されます。

CONFIGURATION モードでは、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、タイムスタンプレジスタ (RSENTnTSPC および RSENTnTSC) と設定レジスタ (RSENTnCC、RSENTnBRP、RSENTnIDE、RSENTnMDC および RSENTnCSC) に制限されています。

15.4.1.3 OPERATION IDLE モード

RSENTnMDC.OMC が 011_B に設定されると、OPERATION IDLE モードに移行します。

OPERATION IDLE モードでは、受信または送信は行われません。

OPERATION IDLE モードに移行すると、受信バッファ内のフレームは、OPERATION ACTIVE モードの時と同じように、分析することはできますが、新しいフレームは受信されません。

OPERATION IDLE モードでは、すべてのレジスタへのリードアクセスが可能です。ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC および RSENTnCSC に制限されています。

15.4.1.4 OPERATION ACTIVE モード

RSENTnMDC.OMC が 101_B に設定されると、OPERATION ACTIVE モードに移行します。

OPERATION ACTIVE モードでは、受信または送信が行われます。

有効なキャリブレーションパルス (最初の立ち下がりエッジを含む) が検出された後、フレーム受信が開始しステータスフラグが更新されます。

OPERATION ACTIVE モードでは、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC、RSENTnSPCT および RSENTnCSC に制限されています。

15.4.1.5 動作モードにおけるレジスタ動作

表 15.24 は、RSENT が以下の動作モード間で移行した際の、レジスタ動作を示しています。この表では、動作モードにおける、アクセス制限の概要も示しています。

表 15.24 動作モードにおけるレジスタ動作

レジスタ名	略称	リセット	RESET モード		CONFIGURATION モード		OPERATION IDLE モード		OPERATION ACTIVE モード	
		変更	変更	R/W	変更	R/W	変更	R/W	変更	R/W
タイムスタンププリスケアラ設定レジスタ	RSENTnTSPC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R	変更なし	R
タイムスタンプカウンタレジスタ	RSENTnTSC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R/W _{注1}	変更なし	R/W _{注1}
通信設定レジスタ	RSENTnCC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R	変更なし	R
ポーレートプリスケアラレジスタ	RSENTnBRP	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R	変更なし	R
割り込み/DMA イネーブルレジスタ	RSENTnIDE	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
モード制御レジスタ	RSENTnMDC	0000 0000 _H	0000 0000 _H	R/W	変更なし	R/W	変更なし	R/W	変更なし	R/W
SPC 送信レジスタ	RSENTnSPCT	0000 0000 _H	0000 0000 _H	R	変更なし	R	変更なし	R	変更なし	R/W
モードステータスレジスタ	RSENTnMST	0000 0000 _H	0000 0000 _H	R	0000 0001 _H	R	0000 0003 _H	R	0000 0005 _H	R
通信ステータスレジスタ	RSENTnCS	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
通信ステータスクリアレジスタ	RSENTnCSC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
低速チャンネル受信タイムスタンプレジスタ	RSENTnSRTS	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
低速チャンネル受信データレジスタ	RSENTnSRXD	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
キャリブレーションパルス長レジスタ	RSENTnCPL	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
メッセージ長レジスタ	RSENTnML	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
高速チャンネル受信タイムスタンプレジスタ	RSENTnFRTS	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
高速チャンネル受信データレジスタ	RSENTnFRXD	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R

注 1. 書き込み制限があります。

15.4.2 クロック設定

15.4.2.1 タイムスタンプ

(1) タイムスタンプクロック設定

RSENT は、タイムスタンプカウンタを搭載しています。使用する通信周波数(clk)に応じて、プリスケアラ TPV の出力が、1 μ s クロックティックとなるように RSENTnTSPC.TTPV ビットの値を設定してください。

設定されたティック長に応じて、RSENTnTSPC.TTM ビットを設定することにより、分解能を減少させることができます。既に分割された入力周波数は、RSENTnTSPC.TTM ビットの値によって、さらに分割されません。

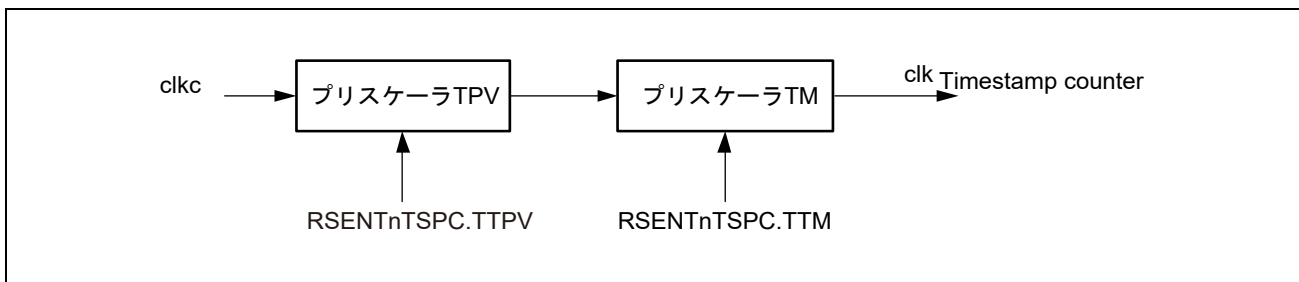


図 15.3 タイムスタンプカウンタクロック生成

(2) タイムスタンプカウンタ動作

RSENT が、CONFIGURATION モードにある時のみ、RSENTnTSC.TS ビットに書き込むことで、タイムスタンプカウンタの値を任意の値に初期化することができます。

タイムスタンプカウンタがマスタモード (RSENTnTSPC.TMS = 0) で動作するように構成されている場合、RSENT が OPERATION IDLE モードまたは OPERATION ACTIVE モードになると、RSENTnTSC.TS ビットに 0000 0000_Hを書き込むことによって、CPU はタイムスタンプカウンタをクリアすることができます。

タイムスタンプカウンタがスレーブモード (RSENTnTSPC.TMS = 1) で動作するように構成されている場合、RSENT が OPERATION IDLE または OPERATION ACTIVE モードになると、マスタに設定されているチャンネルの RSENTnTSC.TS ビットに CPU が 0000 0000_Hを書き込むことによって、タイムスタンプカウンタがクリアされます。タイムスタンプカウンタのプリスケアラ設定はマスタモードで動作するチャンネルとそのスレーブモードで動作するチャンネルで同じ設定にしてください。タイムスタンプカウンタの同期化が発生すると、内部タイムスタンプカウンタのプリスケアラも同期します。

現在のタイムスタンプカウンタ値は、RSENTnTSC.TS ビットから読み出すことができます。

RSENT が OPERATION ACTIVE モードになると、各受信メッセージは、関連するタイムスタンプに保存されます。タイムスタンプ値は、高速チャンネルと低速チャンネルデータに使用されます。

キャリブレーションパルスが検出されると、タイムスタンプ値がキャプチャされます。高速チャンネルのタイムスタンプ値は、RSENTnFRS.FTS ビットに保存されます。

低速チャンネルのタイムスタンプ値は、RSENTnSRTS.STS ビットに保存されます。低速チャンネルのタイムスタンプ値は、低速チャンネルメッセージ受信バッファに貢献する最後の高速チャンネルメッセージのタイムスタンプ値と同じになります。

タイムスタンプカウンタの同期が必要な場合には、以下のフローに従ってください。

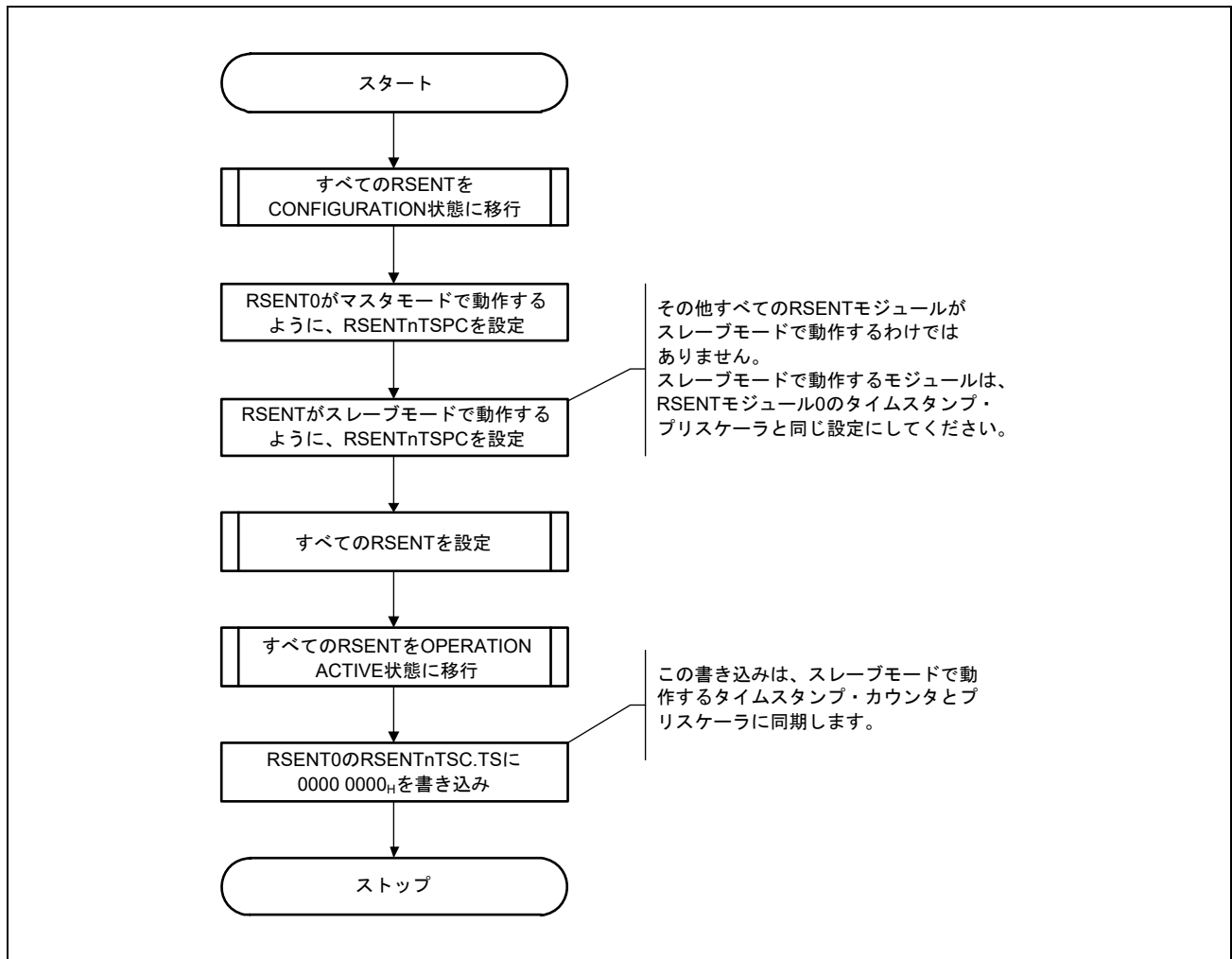


図 15.4 タイムスタンプカウンタの同期

マスターモジュールが OPERATION_ACTIVE もしくは OPERATION_IDLE 状態に遷移している場合、タイムスタンプの同期化が可能です。

15.4.2.2 通信クロック設定

(1) RX BRP 設定

通信ボーレートは下記に示す計算式に従って RSENTnBRP.SCMV ビットおよび RSENTnBRP.SCDV ビットを設定してください。

$f_{COMMUNICATION}$ (clkc クロック) を分周して f_{SAMPLE} が 16MHz になるように RSENTnBRP.SCMV と RSENTnBRP.SCDV の値を選択してください。

$$f_{SAMPLE} = 16 \text{ MHz} = f_{COMMUNICATION} \times \frac{\text{サンプルクロック乗算値} (BRP.SCMV + 1)}{\text{サンプルクロック分周値} (BRP.SCDV + 1)}$$

ここで サンプルクロック乗算値 = 1 (BRP.SCMV = 00000B),

サンプルクロック分周値 = 5 (BRP.SCDV = 0000100B),

$f_{COMMUNICATION} = 80\text{MHz}$

$f_{SAMPLE} = 80 \times 1/5 = 16\text{MHz}$

(2) 受信と SPC のティック設定

受信と SPC 機能で使用されるティック長は、RSENTnBRP.TTI と RSENTnBRP.TTF ビットで設定することができます。0.1 μs の分解能で、1.0 μs ~ 90.0 μs のティック長を設定することができます。

RSENTnBRP.TTI は、ティック長の整数部を保持し、RSENTnBRP.TTF ビットは、ティック長の小数部分を保持しています。ティック長は次式に従って計算されます。

$$T_{TICK} = T_{BRP.TTI} + T_{BRP.TTF}$$

ここで BRP.TTI = 0000000B, BRP.TTF = 0011B

$T_{Tick} = 1 + 0.3 = 1.3\mu\text{s}$

15.4.3 RSENT 動作

本製品シリーズに搭載している RSENT_n の通信を開始する場合、必ず RSENT_n インタフェースに該当する端子設定を行った後、本章に記載されている各設定フローを実施するようにして下さい。

SENT 受信、SPC1 線式、2 線式それぞれについて、PORT の設定を次のように行ってください。

表 15.25 RSENT 使用時の PORT 設定

		PORT 設定レジスタ				
		PMC	PIPC	PM	PIBC	PBDC
SENT 受信	RSENT _n RX	1	0	1	0	0
SPC1 線式	RSENT _n RX/RSENT _n SPCO	1	1	1	0	0
SPC2 線式	RSENT _n RX	1	0	1	0	0
	RSENT _n SPCO	1	0	0	0	0

端子設定の詳細については、「第 2 章 端子」を参照ください。

15.4.3.1 動作モードの移行

CONFIGURATION モードで初期設定完了後、OPERARION ACTIVE モード移行することで通信動作が有効になります。これは、RSENT_nMDC.OMC ビットを OPERATION ACTIVE に設定し、RSENT_nMST.OMS が OPERATION ACTIVE に移行するのを待機して、実行されます。

いったん、OPERATION ACTIVE モードになると、設定に応じて、メッセージを受信したり、SPC 通信が起動したりします。

図 15.5 に、リセットモードから通信開始するまでのフローを示します。

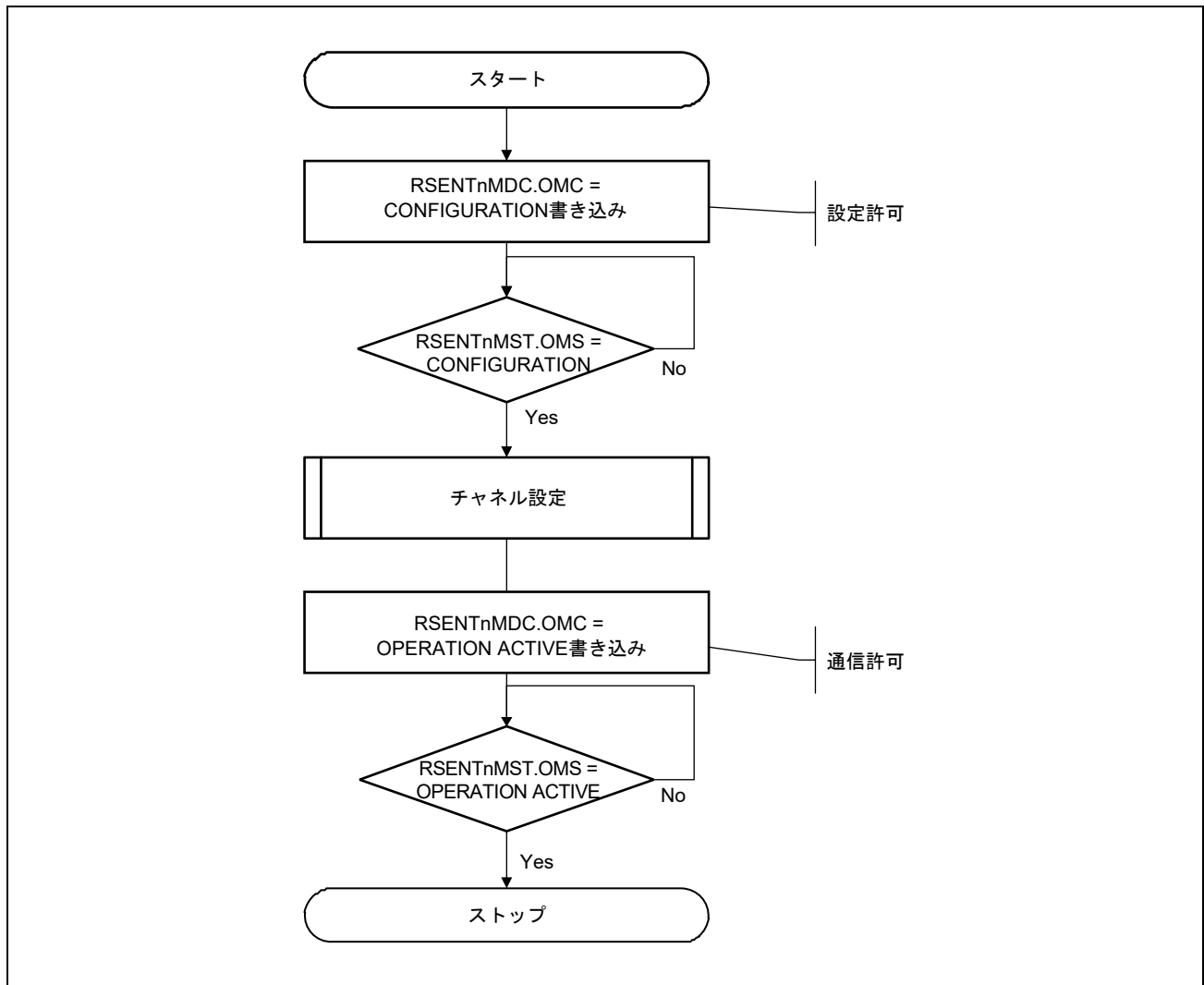


図 15.5 有効な通信フロー

OPERATION ACTIVE モードを終了するには、OPERATION IDLE モードに移行することによってまず、通信を無効にする必要があります。これは、RSENTnMDC.OMC ビットを OPERATION IDLE に設定し、RSENTnMST.OMS ビットが OPERATION IDLE に移行するのを待機して、実行されます。

ただし、SPC モードを有効 (RSENTnCC.SPCE ビット = 1) 且つ、SPC 通信が完了 (例：前の SPC トリガ送信に対する受信成功) の後、次の SPC トリガ送信を要求していない場合は RSENT は直接 CONFIGURATION モードへ遷移することができます。

OPERATION ACTIVE と OPERATION IDLE 間の遷移は、RSENTnCC.SPCE ビットの設定に依存します。

(1) RSENTnCC.SPCE = 0

受信動作が進行中の時は、受信バッファが更新またはエラー検出された時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます (「15.4.3.5 高速チャンネルメッセージ受信」を参照してください)。

受信動作が進行していない時は、OPERATION ACTIVE から OPERATION IDLE へのモード移行は直ちに行われます。

(2) RSENTnCC.SPCE = 1

受信動作が進行中の時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

応答なしエラーが発生した場合は、エラー検出と同時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

SPC トリガ後、応答を受信するシーケンスが完了したときに、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。つまり、受信動作完了後にモード移行が行われます。応答が保留されている時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

RSENTnMST.OMS ビットに CONFIGURATION を書き込み、RSENTnMST.OMS が CONFIGURATION に移行することを待機することで、CONFIGURATION モードに移行することができます。

いったん CONFIGURATION モードに移行すると、ステータスとメッセージ情報が CONFIGURATION モードでクリアされるので、RSENT に保存された、残りのステータスとメッセージ情報は失われます。

図 15.6 は、OPERATION ACTIVE モードから通信禁止状態に遷移するフローを示します。

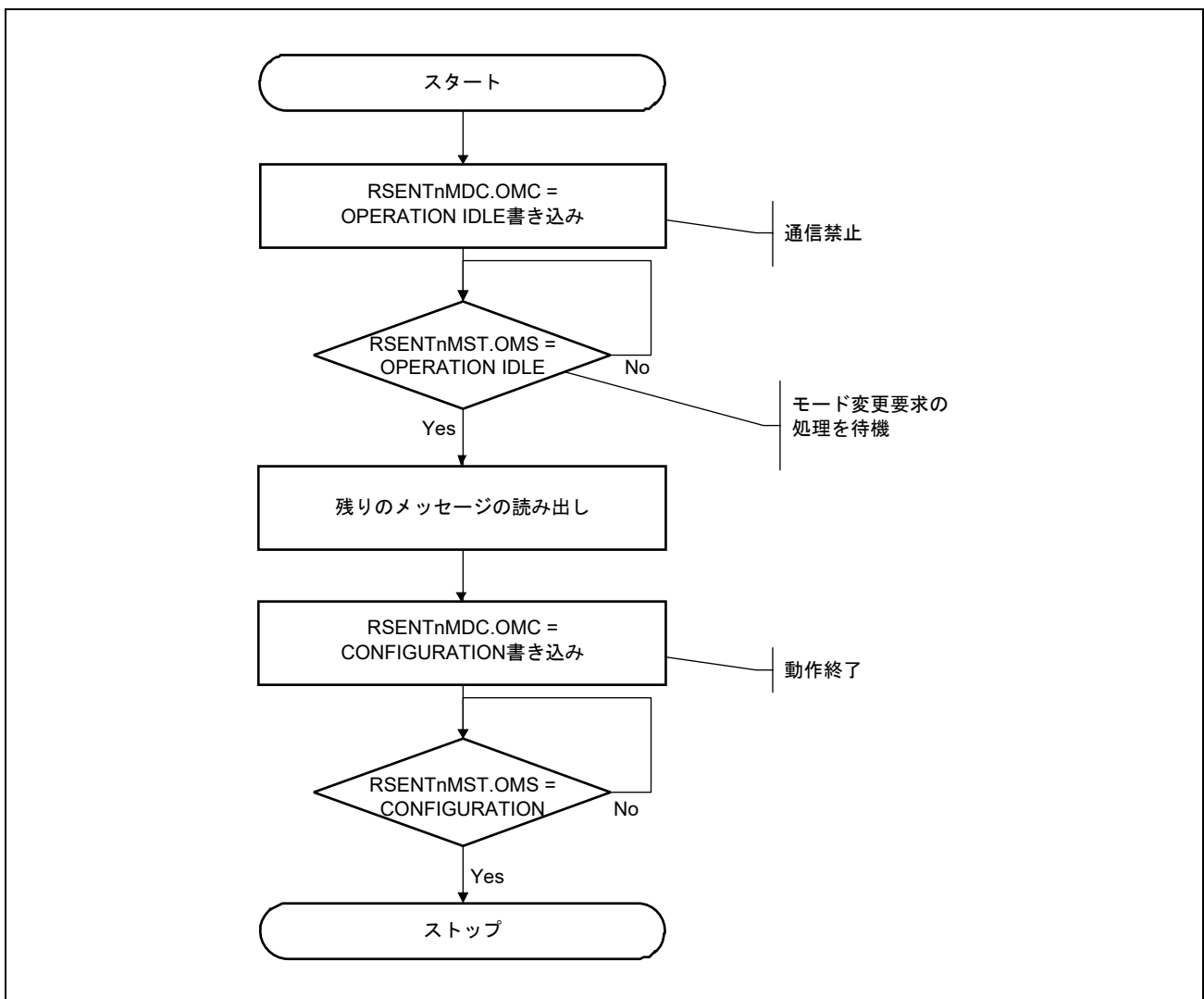


図 15.6 通信停止フロー

15.4.3.2 メッセージの受信

RSENT メッセージの受信は、キャリブレーションパルス受信と、それに続くデータニブルパルス受信から構成されています。

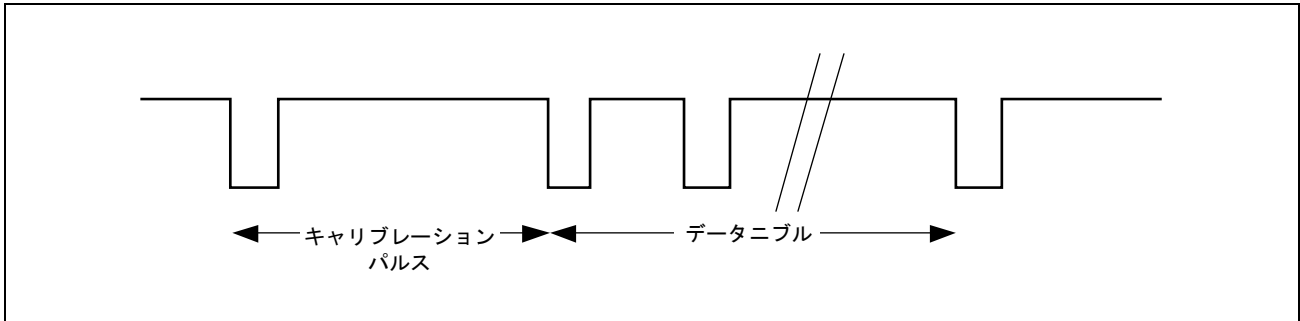


図 15.7 RSENT 受信メッセージ構成

15.4.3.3 キャリブレーションパルス受信

キャリブレーションパルスにより、内部生成されるクロックティックは、送信クロックに補正されます。

また、キャリブレーションパルスは、前のメッセージ終了、メッセージのエラー判定に使用されます。可変メッセージ長モード (RSENTnCC.PPTC=0) では、RSENT は、自動キャリブレーションパルス長の診断をサポートしています。キャリブレーションパルス比のチェックが失敗した場合は、キャリブレーションパルス長変動エラーフラグ (RSENTnCS.CVS) が 1 に設定されます。

15.4.3.4 データニブル受信

RSENT の受信機能は、簡単なキャプチャと比較機能になります。RSENT は、データライン上の 2 つの連続した立ち下がりエッジの時間で符号化されたセンサ情報を受信します。時間的距離（クロックティック数）は、キャプチャされ、実際のニブルの値を決定する、一連の値と比較されます。以下の表 15.26 に、データ符号化について示します。

表 15.26 データニブルの符号化

ニブル期間（クロックティック数）	ニブル値（2 進）
12	0000 _B
13	0001 _B
14	0010 _B
15	0011 _B
16	0100 _B
17	0101 _B
18	0110 _B
19	0111 _B
20	1000 _B
21	1001 _B
22	1010 _B
23	1011 _B
24	1100 _B
25	1101 _B
26	1110 _B
27	1111 _B

受信されたデータニブルは、RSENT メッセージとして、高速チャネルメッセージ受信バッファに保存されます。

規定外のニブル期間を受信した場合は高速チャネルニブル符号化エラーとなります。

15.4.3.5 高速チャンネルメッセージ受信

高速メッセージチャンネル上で受信されたメッセージは、受信バッファに保存されます。高速チャンネルメッセージ受信バッファは、キャリブレーションパルス長レジスタ (RSENTnCPL)、メッセージ長レジスタ (RSENTnML)、高速チャンネル受信タイムスタンプレジスタ (RSENTnFRTS) と、高速チャンネル受信データレジスタ (RSENTnFRXD) から構成されます。

これらのレジスタは、DMA を使用して、メモリにレジスタの内容を転送できるように、連続したアドレスに配置されています。

RSENT は、関連するタイムスタンプとメッセージ長の情報を含む、2 つの完全な RSENT メッセージの保存ができる二重受信バッファ構造になっています。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

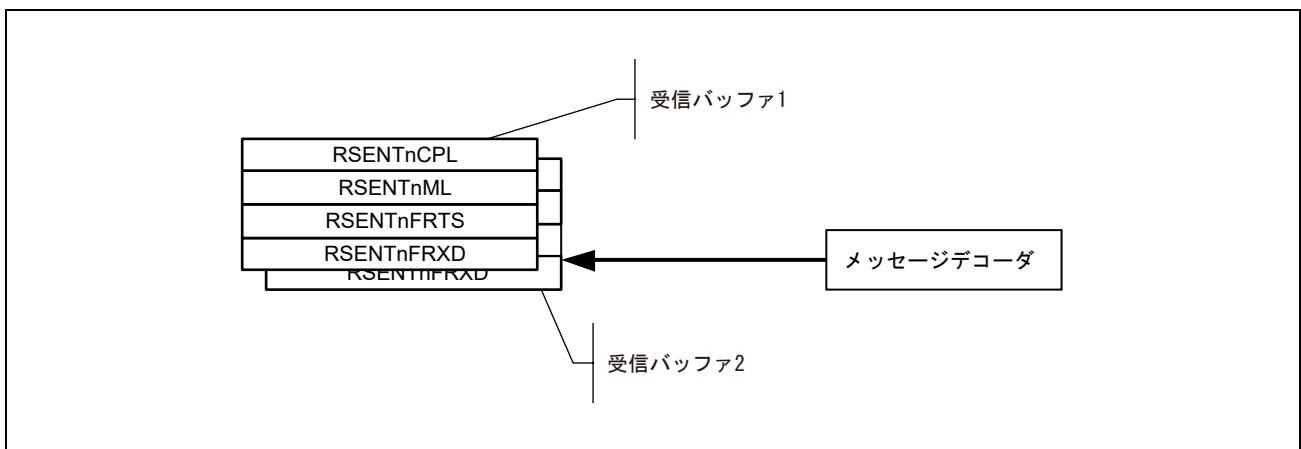


図 15.8 高速チャンネルメッセージ受信バッファ

最初の受信メッセージは、CPU によってアクセス可能なメッセージバッファに配置されます。このバッファは (RSENTnFRXD.SNDM ビットを除く)、RSENTnFRXD.FND ビットが読み出されるまで、更新されません。

新しいメッセージが受信バッファに配置されると、RSENTnFRXD.FND ビットが設定されます。同時に、RSENTnCS.FRS ビットも設定され、有効になっている場合は、受信割り込み要求が発生します。

受信バッファ 1 が、処理されていないメッセージを保持している場合は (RSENTnFRXD.FND ビット = 1)、それ以降のメッセージは、受信バッファ 2 に配置されます。受信バッファ 2 は、メッセージがあるたびに、更新されます。受信バッファ 2 にある、処理されていないメッセージが上書きされた場合は、RSENTnCS.FMS ビット = 1 に設定されます。

CPU が RSENTnFRXD.FND ビットを読み出し、バッファ 2 に有効なデータがある場合は、予めバッファ 2 に置かれたデータが、受信バッファで利用可能になり、CPU からアクセスできるようになります。有効になっている場合は、高速チャンネルデータ用に、新しい割り込み要求が生成され、RSENTnCS.FRS が設定されます。

RSENTnFRXD.FND/RSENTnCS.FRS ビットが設定されていない場合は、受信バッファ内のデータが定義されておらず、CPU は受信バッファにアクセスしないでください。

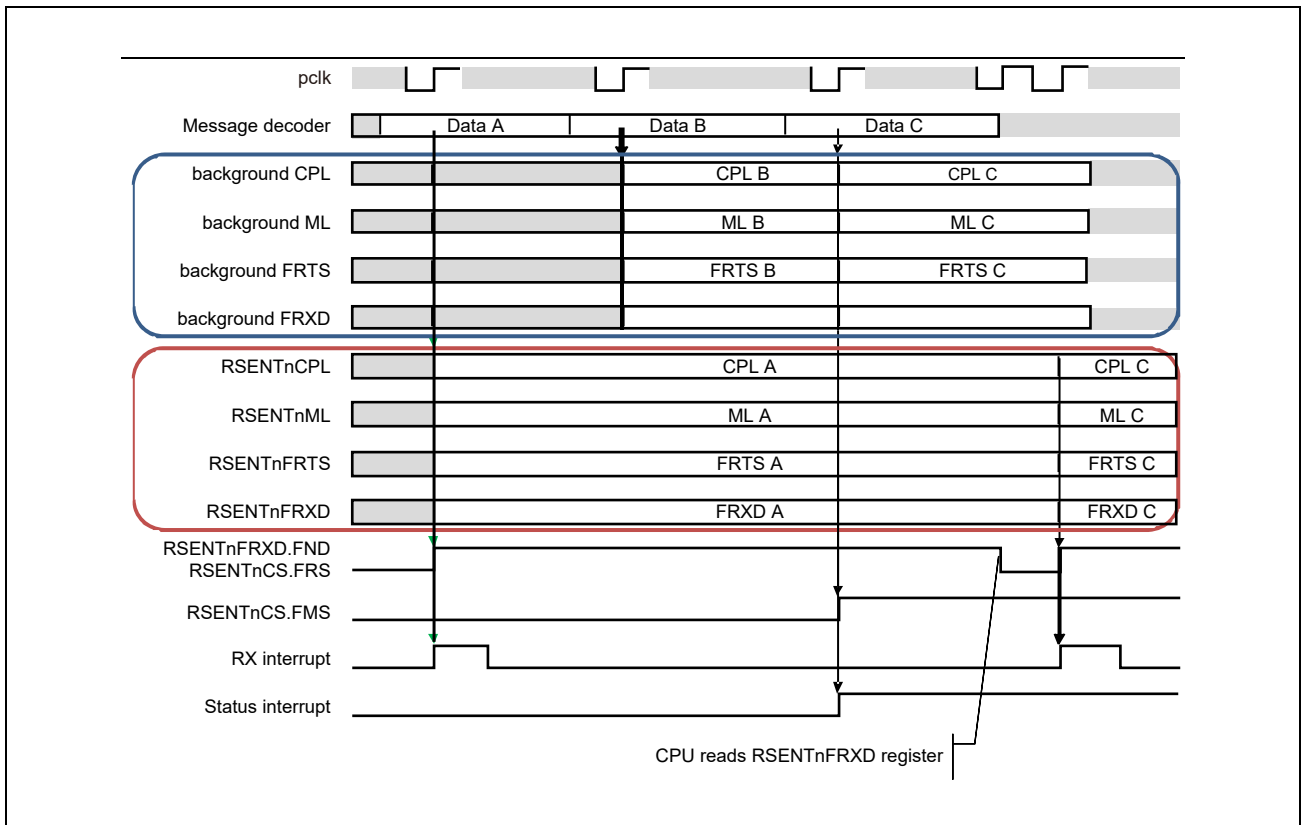


図 15.9 高速チャネルメッセージ受信バッファ更新タイミング

図 15.10～図 15.13 に示すように、受信バッファの更新タイミングは、適用された構成によって異なります。

キャリブレーションパルスが検出された時点での、タイムスタンプカウンタレジスタ値で、RSENTnFRTS レジスタは更新されます。

RSENTnFRXD レジスタのデータ配置は、ニブルデータ数 (RSENTnCC.NDN) に依存します。

表 15.27 RSENTnFRXD レジスタにおけるデータニブル配置

RSENTnCC.NDN	23:20	19:16	15:12	11:8	7:4	3:0
000 _B	不定	不定	不定	不定	不定	ニブル 1
001 _B	不定	不定	不定	不定	ニブル 1	ニブル 2
010 _B	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3
011 _B	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4
100 _B	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5
101 _B	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6

(1) 可変メッセージ長と優先チェック法を使用した SAE 動作 (RSENTnCC.SPCE = 0、RSENTnCC.PPTC = 0、RSENTnCC.FCM = 0)

この動作モードでは、RSENT は、J2716 2010 仕様に記載された優先度に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、メッセージの診断は、メッセージに続くキャリブレーションパルスを受信した後に行われます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS = 1 に設定されます。

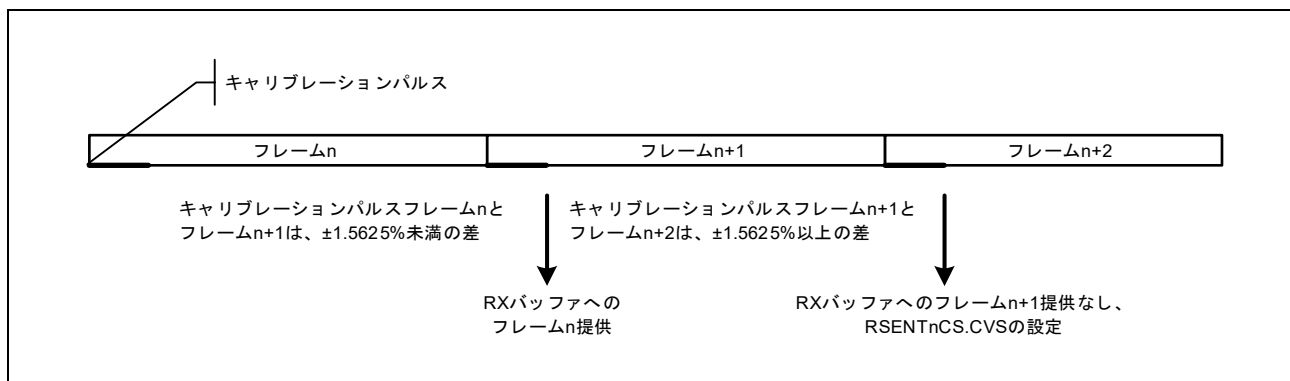


図 15.10 可変メッセージ長と優先チェック法を使用したバッファの更新

(2) 可変メッセージ長とオプションのチェック法を使用した SAE 動作 (RSENTnCC.SPCE = 0、RSENTnCC.PPTC = 0、RSENTnCC.FCM = 1)

この動作モードでは、RSENT は、J2716 2010 仕様に記載されたオプションのフレームチェック法に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、現在のフレームのキャリブレーションパルスが、直前の有効なフレームのキャリブレーションパルスと比較されます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS = 1 に設定されます。

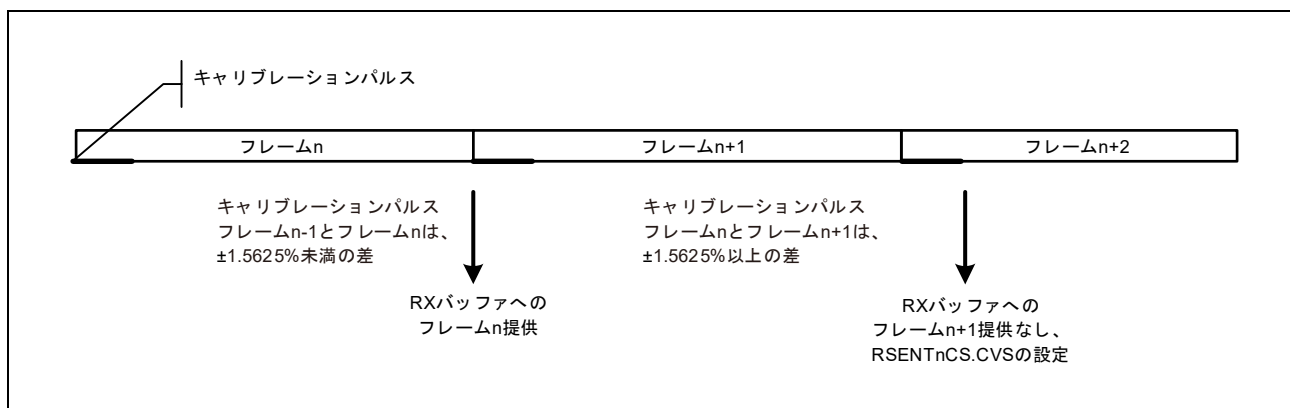


図 15.11 可変メッセージ長とオプションのチェック法を使用したバッファの更新

(3) 固定メッセージ長を使用した SAE 動作 (RSENTnCC.SPCE = 0、RSENTnCC.PPTC = 1、RSENTnCC.PPC = 1)

この動作モードでは、RSENT は、J2716 2010 仕様に記載された優先度に従って、キャリブレーションパルスやメッセージ長の比をチェックしません。このモードでは、RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。

メッセージバッファは、RSENTnCPL と RSENTnML レジスタの値にかかわらず、次のキャリブレーションパルスが開始されると、更新されます。CPU は、比を計算して、メッセージを受け入れたり、破棄したりします。

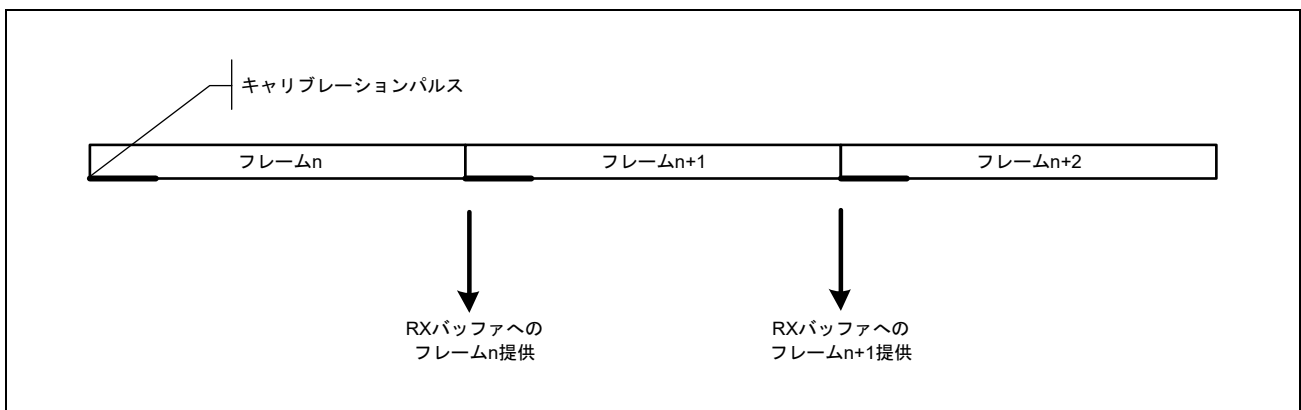


図 15.12 固定メッセージ長を使用したバッファの更新

RSENTnCS.CVS (キャリブレーションパルス幅変動エラーステータス) ビットは、このモードでは、設定されることはありません。

(4) SPC 動作 (RSENTnCC.SPCE = 1)

この動作モードでは、センサデータ送信が SPC マスタートリガパルスの後に行われます。SAE SENT 通信では、キャリブレーションパルスまたは一時停止パルスは、直前のメッセージを中断しています。SPC 通信では、センサは、SPC トリガ要求の次にきたデータのみを送信しています。センサによって送信された終了パルスは、メッセージを中断しています。メッセージバッファは、終了パルスが開始されると、更新されません。

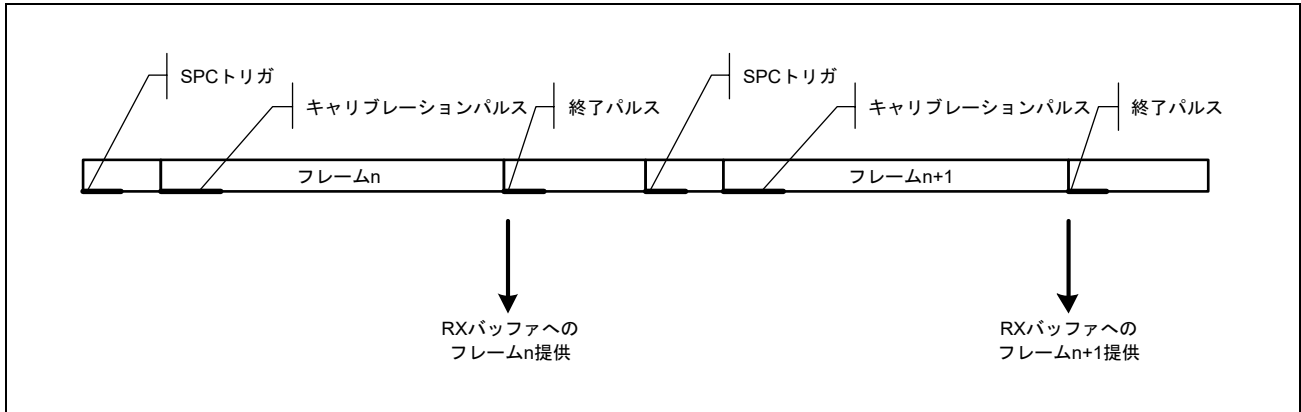


図 15.13 SPC モード時のバッファの更新

RSENTnCS.CVS (キャリブレーションパルス幅変動エラーステータス) ビットは、このモードでは、設定されることはありません。

RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。CPU は、キャリブレーションパルスやメッセージ長の比を計算して、メッセージを受け入れたり、破棄したりします。

可変メッセージ長モードの場合、次のキャリブレーションパルスの受信タイミングは、次の SPC トリガタイミングに依存するため、RSENT は、このチェックを実行できません。

15.4.3.6 高速チャンネル受信フロー

図 15.14 に、高速チャンネルメッセージ受信バッファ用の、推奨受信フローを示します。ポーリングまたはイベント駆動型のメソッドを使用すると、CPU は、RSENTnCS.FRS ビットの設定のみを読み出せば、新しい高速チャンネルデータの有無をチェックすることができます。

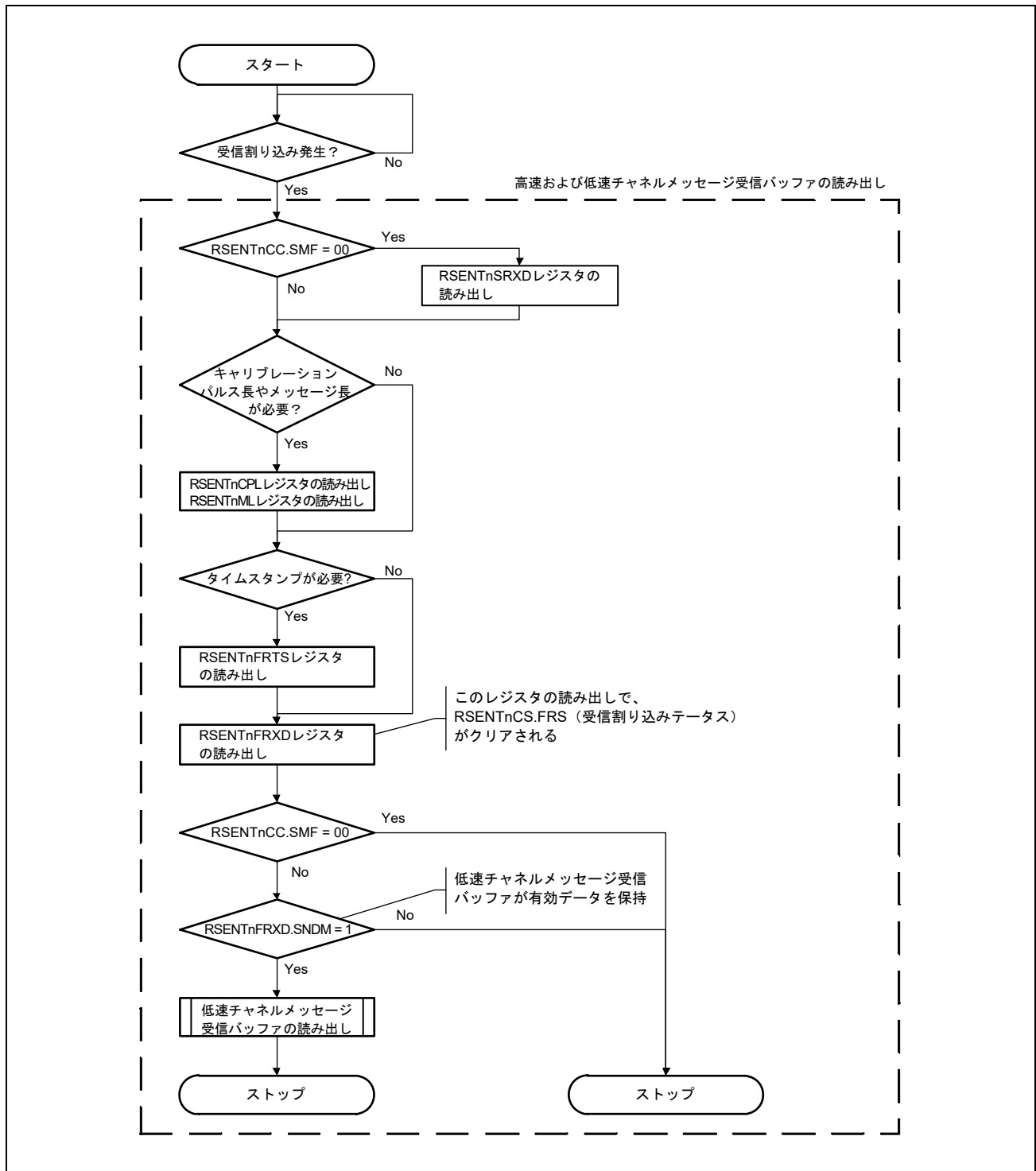


図 15.14 高速チャンネル受信フロー

いずれの場合も、CPU は、このフローに示す、受信バッファレジスタの読み出し順序を守る必要があります。RSENTnFRXD レジスタは、最後にアクセスされるレジスタである必要があります。

低速チャンネルメッセージ受信バッファの処理については、「15.4.3.8 低速チャンネル受信フロー」で述べています。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

15.4.3.7 低速チャンネルメッセージ受信

RSENT は、ステータス&コミュニケーションニブルのビット 3、2 を使用して、高速チャンネルメッセージから、低速メッセージを抽出することをサポートしています。低速チャンネルの抽出をするために、CPU は RSENTnCC.SMF ビットを、期待されるシリアルメッセージフォーマットに設定する必要があります。

シリアルメッセージの抽出が選択されていない場合は (RSENTnCC.SMF = 00_B)、RSENTnSRXD レジスタは、高速チャンネルメッセージ受信バッファ構造 (バッファ 2 を含む) の一部となり、RSENTnSRTS レジスタは無視されます。ステータス&コミュニケーションニブルは RSENTnSRXD.IDD ビットに配置されます。さらに、低速チャンネル新データと低速チャンネルメッセージロスフラグが生成されません。

低速チャンネルシリアルメッセージを受信するためには、低速チャンネルシリアルメッセージに貢献するすべての高速チャンネルのシリアルメッセージが正常に受信されなければならない、また、受信された低速チャンネルシリアルメッセージは、選択されたシリアルメッセージフォーマットに従わなければなりません。

高速チャンネルでのメッセージロストは、低速チャンネルでの受信に影響しません。低速チャンネルメッセージ受信バッファは、低速チャンネル受信タイムスタンプレジスタ (RSENTnSRTS) と低速チャンネル受信データレジスタ (RSENTnSRXD) で構成されます。

高速チャンネルメッセージ受信バッファとは反対に、低速チャンネルメッセージ受信バッファは、二重受信バッファ構造になっておらず、単一の受信バッファ構造です。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

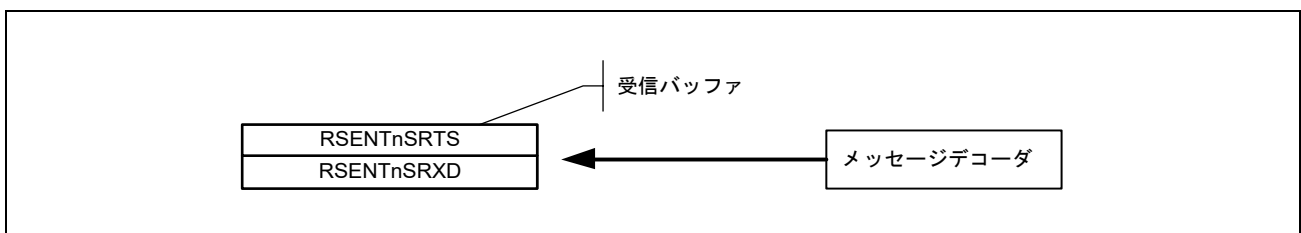


図 15.15 低速チャンネルメッセージ受信バッファ

低速チャンネルメッセージ受信バッファは、低速チャンネルメッセージに必要な、最後のステータス&コミュニケーションニブルを保持している、高速チャンネルメッセージ受信バッファと同時に更新されます。同時に、RSENTnSRXD.SND ビットも 1 に設定されます。

RSENTnSRXD.SND ビットが読み出されるまで、バッファへの更なる更新は実行されません。

受信バッファが、処理されていないメッセージを保持している場合は (RSENTnSRXD.SND = 1)、それ以降のメッセージは失われます (低速チャンネルメッセージ受信バッファは更新されません)。

また、RSENTnCS.SMS は 1 に設定されます。

CPU が RSENTnSRXD レジスタを読み出すと、RSENTnSRXD.SND は自動的にクリアされます。

低速チャンネルメッセージに貢献する最後のフレームの、現在のタイムスタンプカウンタレジスタ値と一緒に、RSENTnSRTS レジスタは更新されます。

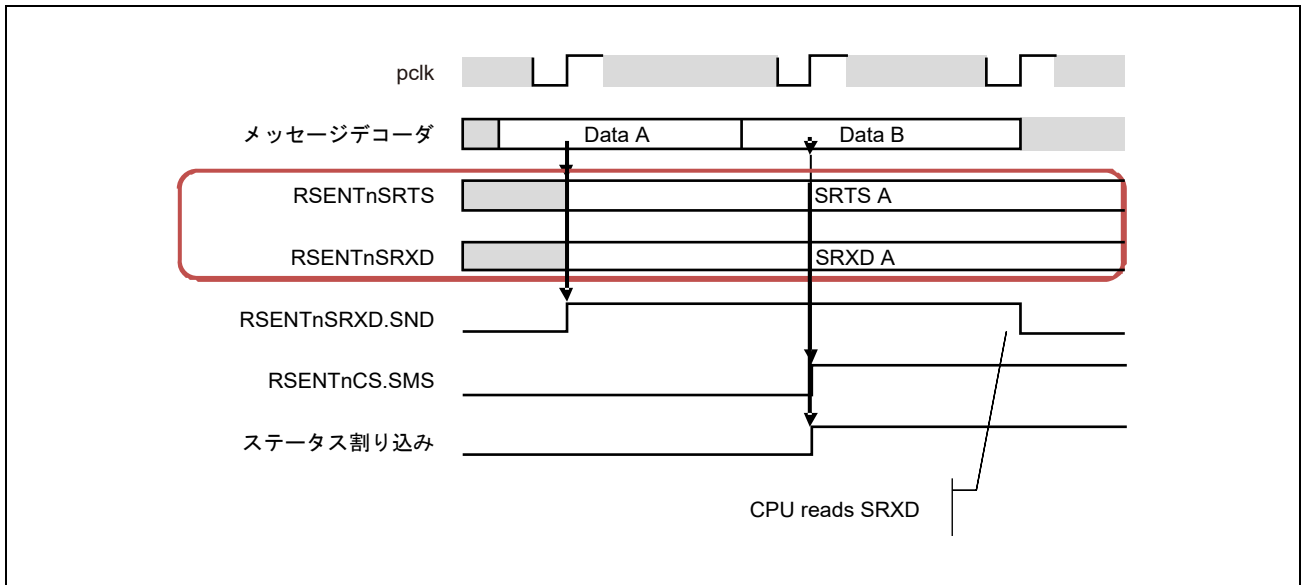


図 15.16 低速チャンネルメッセージ受信バッファ更新タイミング

SRDX レジスタのデータ配置は、低速チャンネルメッセージフォーマット (RSENTnCC.SMF) と受信した設定ビットに依存します。

表 15.28 RSENTnSRXD レジスタにおけるデータ配置

RSENTn CC.SMF	RSENTnSRX D.SMGC	RSENTnSRXD.ID D[19:16]	RSENTnSRXD.ID D[15:12]	RSENTnSRXD.I DD[11:8]	RSENTnSR XD.IDD[7:4]	RSENTnSR XD.IDD[3:0]
00 _B	不定	不定	不定	不定	不定	C & S nibble
01 _B	不定	不定	不定	メッセージ ID[3:0]	データ[7:4]	データ[3:0]
10 _B	0	メッセージ ID[7:4]	メッセージ ID[3:0]	データ[11:8]	データ[7:4]	データ[3:0]
10 _B	1	メッセージ ID[3:0]	データ[15:12]	データ[11:8]	データ[7:4]	データ[3:0]

15.4.3.8 低速チャンネル受信フロー

図 15.17 に、低速チャンネルメッセージ受信バッファ用の、推奨受信フローを示します。低速チャンネル受信データが要求される場合、このプロセスは、高速チャンネル受信フローの一部として実行される必要があります。

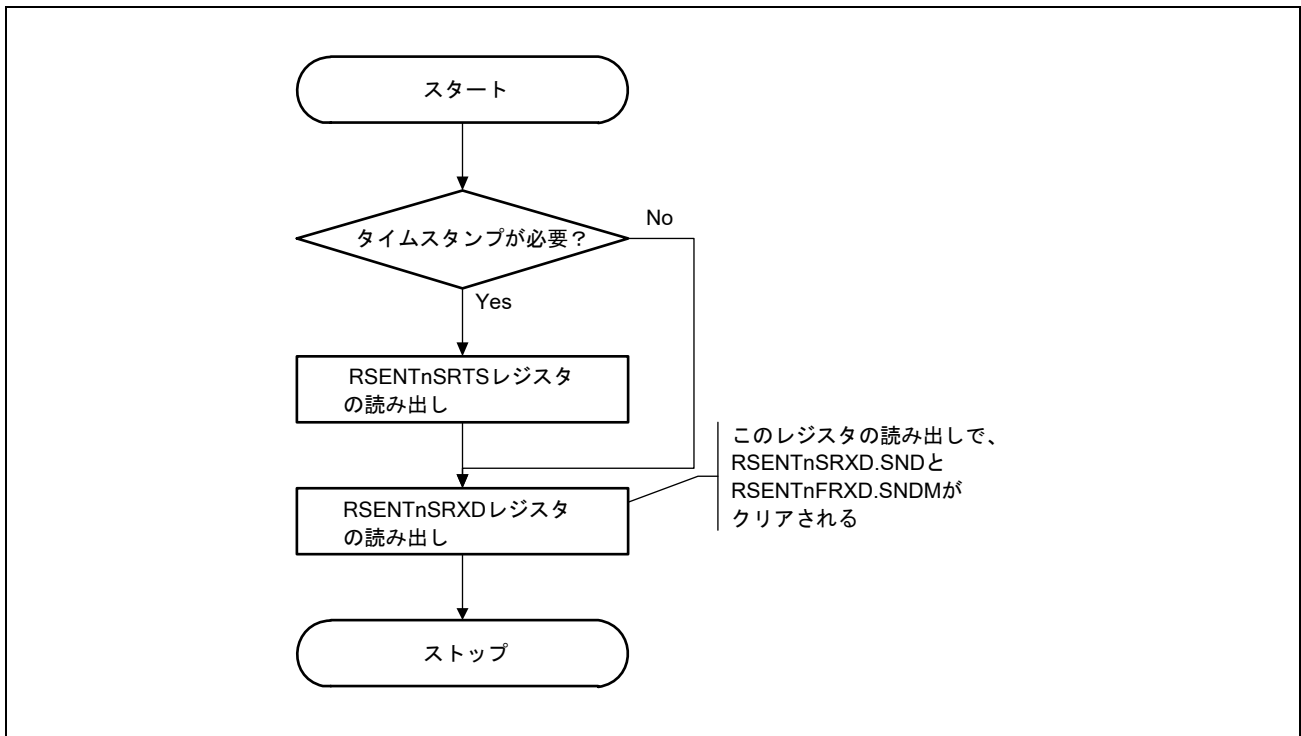


図 15.17 低速チャンネル受信フロー

いずれの場合も、CPU は、このフローに示す低速チャンネルメッセージ受信バッファレジスタの読み出し順序を守る必要があります。RSENTnSRXD.SND ビットは、最後にアクセスされる必要があります。

15.4.3.9 DMA フロー

DMA を使用する場合は、DMA 使用の開始アドレスと転送回数が、受信バッファのどの部分が転送されるか、定義します。RSENTnFRXD レジスタは、32 ビット単位のアクセスで、最後にアクセスされるレジスタである必要があります。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

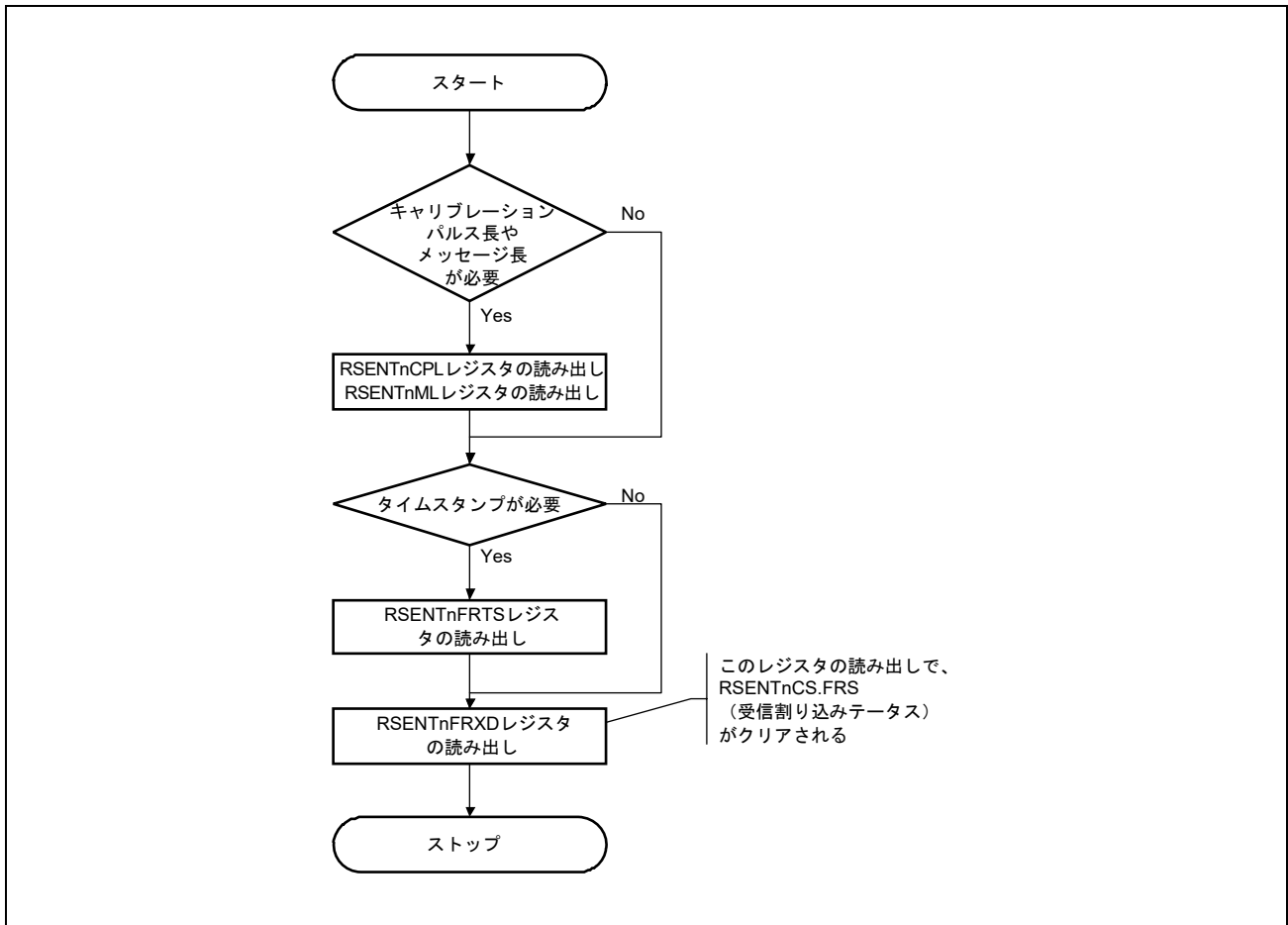


図 15.18 DMA 受信フロー

ソフトウェア処理では、転送データがセットされると、CPU は、転送された RSENTnFRXD.SNDM ビットの状態をチェックする必要があります。このビットが 1 に設定されると、ユーザは必要に応じて、低速チャネルメッセージ受信バッファを読み出す必要があります。

15.4.3.10 エラーのフラグ

メッセージロストエラー (RSENTnCS.SMS / RSENTnCS.FMS) は、前のメッセージが読み出される前に、新たなメッセージが正常と診断された場合にセットされます。

応答なしエラー (RSENTnCS.NRS) は、レスポンス受信前／受信前に CPU が RSENTnSPCT.TLL に書き込みを行った場合にセットされます。

高速チャンネル受信エラー (RSENTnCS.CVS / RSENTnCS.CLS / RSENTnCS.FNS / RSENTnCS.FES / RSENTnCS.FCS) および低速チャンネル受信エラー (RSENTnCS.SCS / RSENTnCS.SES) が更新されるタイミングは、通信設定レジスタ (RSENTnCC.SPCE / RSENTnCC.FCM / RSENTnCC.PPC / RSENTnCC.PPTC) の設定に依存して変化します。

それぞれの設定に対応するエラーフラグの更新タイミングを表 15.29 と表 15.30 に示します。

高速チャンネルニブル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合は、メッセージ受信が直ちに中断されます。このメッセージに対するこれ以降のエラー検出ビットのセットは行われません。有効なキャリブレーションパルスが検出されると、メッセージのデコードが再開されます。

RSENTnMDC.OMC の設定によって OPERATION IDLE モードへ移行しているとき、受信中のメッセージで検出されたキャリブレーションパルスまたは高速チャンネルに対するエラーのエラーフラグはセットされません。また受信メッセージは破棄されます。

高速チャンネルニブル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合、直ちに OPERATION IDLE モードへ移行します。

高速チャンネルニブルカウントエラー、高速チャンネル CRC エラー、キャリブレーションパルス長変動エラーが検出された場合、次のステータス&コミュニケーションニブルの終わりで OPERATION IDLE モードへ移行します。

高速チャンネルニブルカウントエラー (RSENTnCS.FNS) は、有効なキャリブレーションパルスが検出され、続くデータニブルが有効な長さ (≥ 12 ticks かつ ≤ 27 ticks) のとき、もしくは有効な 2 つのキャリブレーションパルスの間にデータニブルが受信されなかったときにのみセットされます。

高速チャンネルニブル符号化エラー (RSENTnCS.FES) は、ステータス&コミュニケーションニブル、CRC ニブル、データニブルのいずれかで符号化エラーが発生したときにのみセットされます。

SPC 機能が有効なとき (RSENTnCC.SPCE = 1)、キャリブレーションパルス長エラー (RSENTnCS.CLS) は、期待されるキャリブレーションパルス位置にあるパルスの長さが、有効なキャリブレーションパルス幅でない場合にセットされます。

SPC 機能が無効なとき (RSENTnCC.SPCE = 0)、キャリブレーションパルス長エラー (RSENTnCS.CLS) は、有効なキャリブレーションパルスを受信した次の期待されるキャリブレーションパルス位置にあるパルスの長さが、有効なキャリブレーションパルス幅でない場合にセットされます。

有効なキャリブレーションパルスの探索中に追加で発生するエラーフラグは、後続のフレームの受信に影響を与えません。

表 15.29 SPC モード無効時のエラーフラグセットタイミング

RSENTnCC.SPCE	0							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	EC	×	EC	IM	IM	×	IM	IM
RSENTnCS.FES	EC	×	EC	IM	IM	×	IM	IM
RSENTnCS.FNS	EC	×	EC	—	—	×	—	—
RSENTnCS.SCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.SES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CLS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CVS	EC	×	EC	—	EC	×	EC	—

EC : キャリブレーションパルス受信時

IM : 検出したとき

— : 検出されない

× : 設定禁止

表 15.30 SPC モード有効時のエラーフラグセットタイミング

RSENTnCC.SPCE	1							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.FES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.FNS	—	×	—	—	—	×	—	—
RSENTnCS.SCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.SES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CLS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CVS	—	×	—	—	—	×	—	—

IM : 検出したとき

— : 検出されない

× : 設定禁止

備 考

センサが通信を中止した場合、最終メッセージ受信以降は受信バッファの更新やステータスの更新は行われません。ソフトウェアによるタイムアウト確認を行ってください。

15.4.4 SPC 機能

本製品シリーズに搭載している RSENTn は、J2716 仕様の SPC 拡張をサポートしています。

RSENTnCC.SPCE ビットにより、SPC 拡張の有効/無効を設定できます。

SPC 有効で使用する時、RSENTnSPCO 端子はマイコン外部にて pull-up が必要となります。

RSENTnCC.SOPC により、RSENTnSPCO の極性を設定可能です。

ただし、SPC 拡張 1 線式を使用する場合、RSENTnCC.SOPC は必ず “1” (SPC パルスアクティブ Low) で使用して下さい。

RSENTnSPCO 出力を使用することで、RSENTn は外部トランジスタを介して SPCO 信号線をプルダウンすることができます。

信号線は RSENTnSPCT.TLL ビットで指定されたティック時間の間、ロウレベルに保持されます。

ティック時間は、送信ティック時間と等しい RSENTnBRP.TTI と RSENTnBRP.TTF ビットで構成されます。詳細は、「15.4.2.2(2) 受信と SPC のティック設定」を参照してください。

図 15.19 に外部トランジスタの回路例を示します。

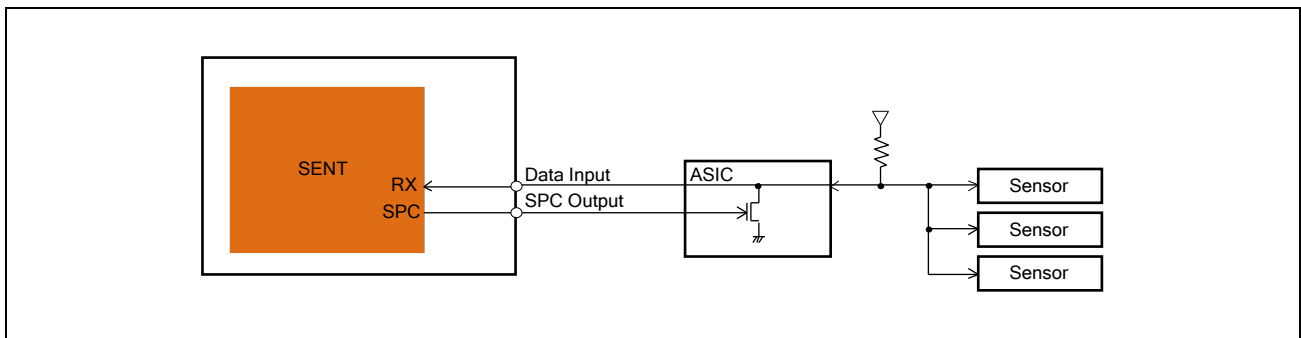


図 15.19 外部トランジスタの回路例

SPC 拡張 1 線式では、RSENTnSPCO 端子をセンサからのデータ送信をトリガするために使用することができます。さらに、データはトリガパルス長を変化させることによって、センサに送信することができます。

SPC 拡張 2 線式では、専用のセンサに対応し RSENTnSPCO 端子をデータ送信を要求するために使用することができます。

いったん SPC の初期化が完了すると、RSENTnSPCT.TLL レジスタにトリガパルス幅を書き込むことにより送信がトリガされます。送信がトリガされると、設定された長さのトリガパルスが送信されます。その後フレームの受信が予想され、フレーム受信が行われた後に、新しいトリガパルスを送信することができます。

RSENTnSPCT.TLL への書き込みで、SPC トリガ送信を要求します。

RSENTnSPCT.TLL に書き込んだ後、その前の SPC トリガ要求が完了したかどうかは RSENTnCS.NRS の値を確認します。

RSENTnCS.NRS に “1” が設定されている場合は、SPC トリガが送信されず、この時点で潜在的に継続している受信が中断されます。

この場合、RSENTnCS.NRC に 1'b1 を書き込むことにより、RSENTnCS.NRS をクリアし、SPC トリガ送信を要求するために、再度 RSENTnSPCT.TLL に書き込むことが必要となります。

RSENTnCS.NRS に “1” が設定されないエラーケースについては、SW (Soft Ware) で受信タイムアウトをカウントする必要があります。タイムアウトカウンタがタイムアウトする前に受信が発生した場合、高速チャンネル受信フロー (図 15.14) と低速チャンネル受信フロー (図 15.17) に従って、受信した低速および高速

チャンネルデータを処理する必要があります。タイムアウトカウンタがタイムアウトした場合は、指定されたセンサは有効な応答を送信していないと判断できます。

その場合、RSENTnCS レジスタで成功した受信がない理由を確認する必要があります。RSENTnCS.NRS がセットされていないことを把握したうえで、新しい要求を設定します。タイムアウト機能の目的は、SW における応答受信用に、タイムアウトウィンドウを定義することにあります。

「**図 15.20 送信フロー**」に、ソフトウェアで実装したタイムアウト機能を使用した、送信フローを示します。

タイムアウト機能はオプションであり、必要ない場合は省略することが可能です。

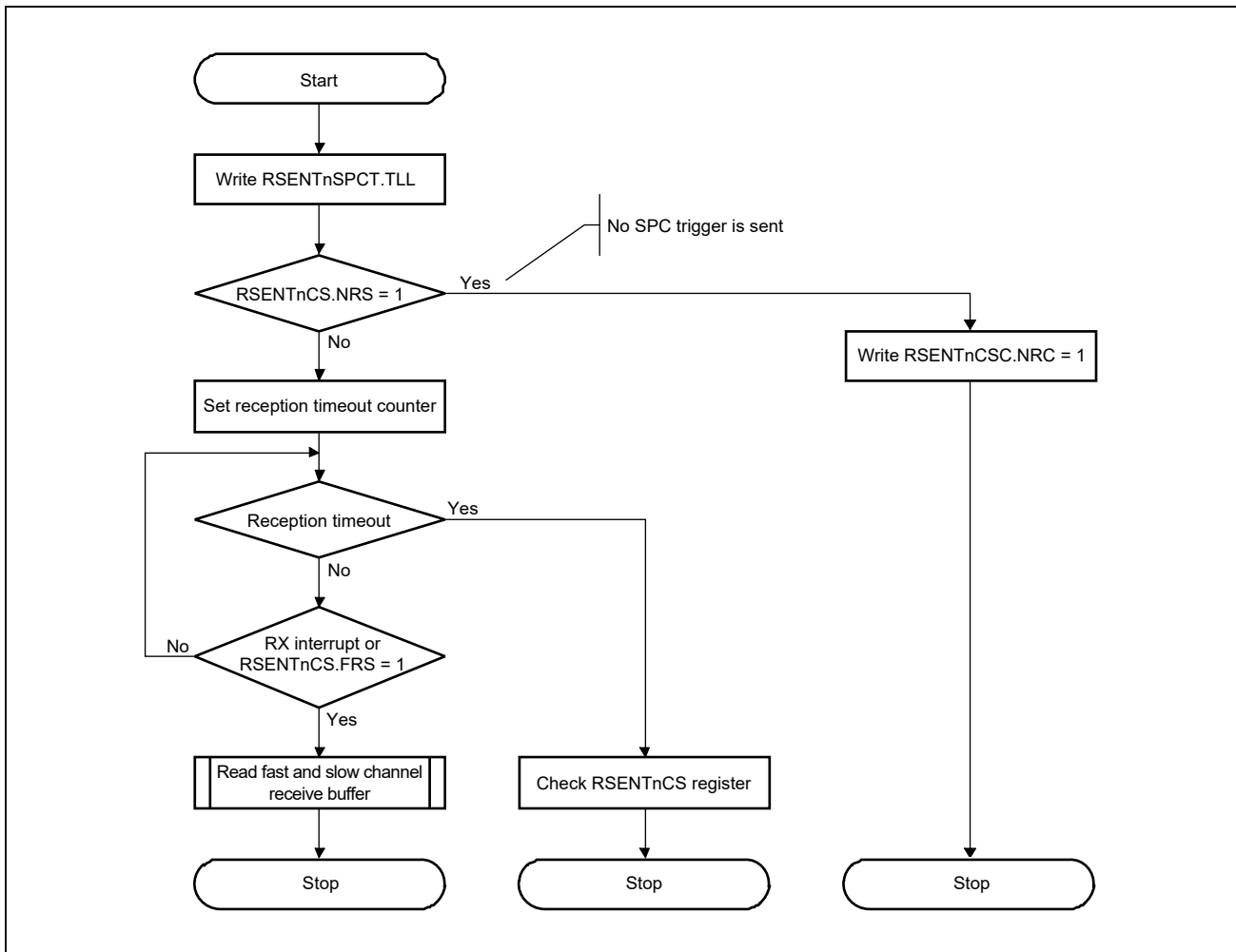


図 15.20 送信フロー

15.4.5 割り込みとチェック

RSENT は、2つの割り込みラインを提供しています。成功した高速チャンネル受信割り込みが、CPU に、高速チャンネルメッセージ受信バッファが更新され、有効な受信データのセットを保持していることを通知します。また、受信ステータスビット (RSENTnCS.FRS) が設定されます。

ステータス割り込みは、CPU に、エラーフラグまたは RSENTnCS レジスタのメッセージロストフラグの少なくとも一方が設定されていることを通知します。

RSENTnCS レジスタ内のステータスフラグが、割り込みイベントの発生に寄与するかどうかは、個別に設定することができます。

CRC チェックの実行は、個別に、低速チャンネルおよび高速チャンネルに対して無効にすることができます。チェックが無効になっている場合は、受信したメッセージの CRC はチェックされず、関連するエラーフラグもセットされません。

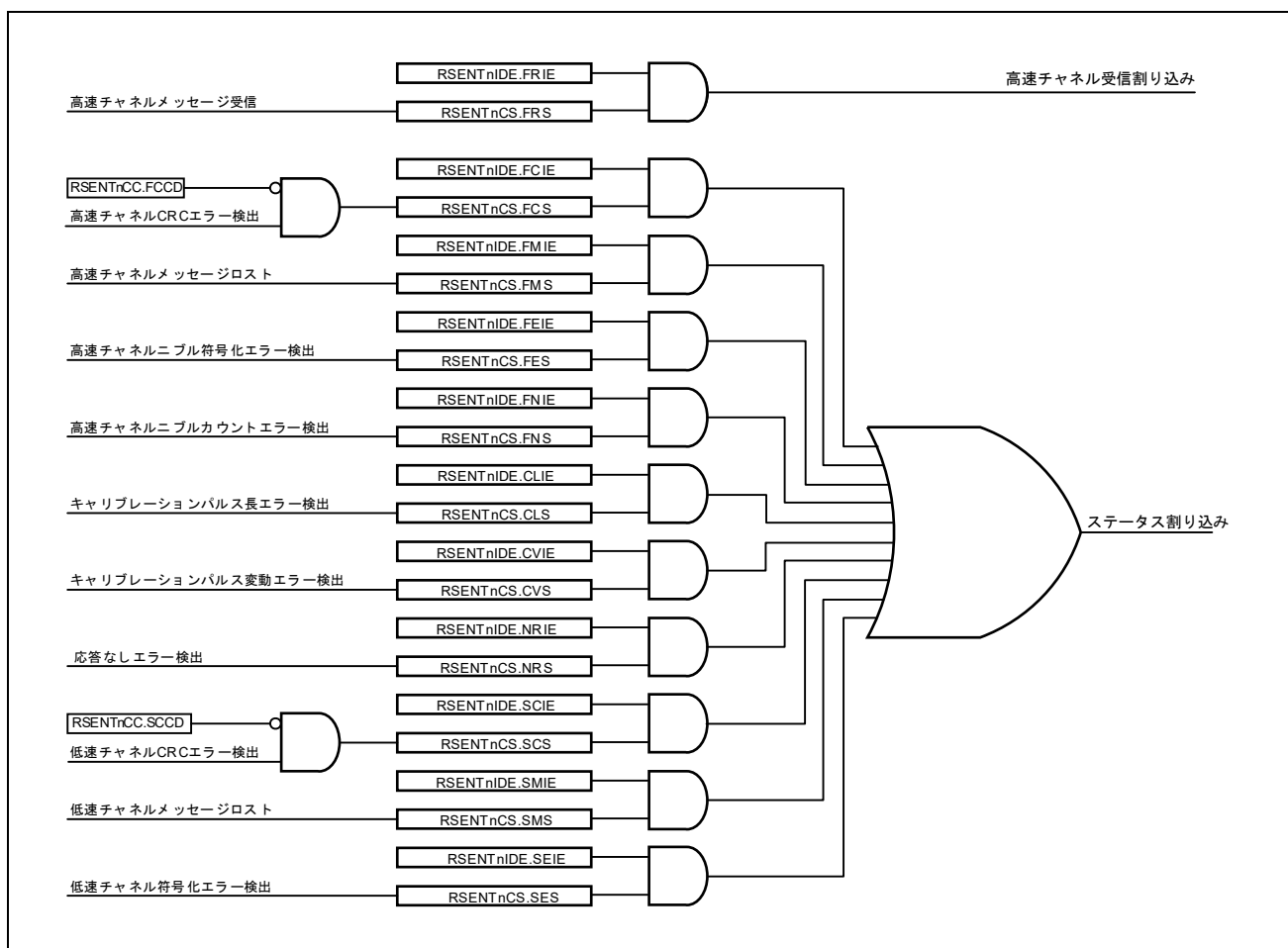


図 15.21 割り込み構造

表 15.31 は、設定されたステータスフラグとバッファ更新の関係についての概要を示します。

表 15.31 受信バッファ動作に対するステータスフラグの影響

RSENTn CS	高速チャネルメッセージ受信バッファ	低速チャネルメッセージ受信バッファ
FRS	更新	全ての低速チャネルメッセージのステータス&コミュニケーションニブルを受信し、RSENTnCS.SES = 0 と RSENTnCS.SCS = 0 なら、更新
FCS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FMS	メッセージロスト	影響なし
FES	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FNS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CLS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CVS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
NRS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
SCS	影響なし	更新なし
SMS	影響なし	メッセージロスト
SES	影響なし	受信処理が中断。新たなスタートコンディションを検索。

第16章 ウィンドウウォッチドッグタイマ (WDTA)

本章では、ウィンドウウォッチドッグタイマ (WDTA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。

それ以降の節では、WDTA の機能、レジスタについて説明します。

16.1 RH850/C1M-A WDTA の特長

16.1.1 ユニット数

本製品は以下のユニット数の WDTA を搭載しています。

表 16.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	2	1
名称	WDTA _n (n = 0, 1)	WDTA _n (n = 0)

表 16.2 添字

添字	意味
n	本章では、WDTA の各ユニットを「n」 (n = 0, 1) で識別します。(C1M-A2 では n = 0, 1、C1M-A1 では n = 0) たとえば、WDTA _n イネーブルレジスタ (WDTA _n WDTE) のように記述しています。

16.1.2 レジスタベースアドレス

WDTA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

WDTA のベースアドレスを以下の表に示します。

表 16.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFED 0000 _H
<WDTA1_base>	FF8D 1000 _H

16.1.3 クロック供給

WDTA に以下のクロックが供給されます。

表 16.4 WDTAn のクロック

WDTAn	ユニットクロック名	供給クロック名
WDTA0	WDTATCKI	WDTCLKI
	PCLK	CLKC_LSB (非変調低速周辺クロック)
WDTA1	WDTATCKI	WDTCLKI
	PCLK	CLKC_LSB (非変調低速周辺クロック)

16.1.4 割り込み

WDTA は以下の割り込み要求を発生することができます。

表 16.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号
WDTA0		
WDTA0TIT	75%割り込み	54
WDTA1		
WDTA1TIT	75%割り込み	55 ^{注1}

注 1. C1M-A1 では対応していません。

16.1.5 リセット要因

WDTA は以下の表に示すリセット要因で初期化されます。

表 16.6 リセット要因

ユニット名	リセット要因
WDTA0	すべてのリセット要因でリセット
WDTA1	すべてのリセット要因でリセット

16.1.6 WDTA の起動オプション

起動オプションは、リセット解除後の WDTA0 の起動設定を決定します。各起動オプションを次の

「**表 16.7 WDTA0 の起動オプション**」で説明します。WDTA1 は非対応です。

表 16.7 WDTA0 の起動オプション

起動オプション	機能	フラッシュオプションの割り当て
OPWDOVF[2:0]	オーバフローインターバル時間の設定	OPBT0[27:25]
OPWDWS[1:0]	ウィンドウオープン期間の設定	OPBT0[29:28]
OPWDINT	75%割り込み要求の設定	OPBT0[30]
OPWDRUN	スタートモードの設定	OPBT0[31]

16.2 概要

16.2.1 機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択

WDTA のリセット後のカウント開始・停止、オーバフロー時間が選択できます。

WDTA のリセット後のカウント開始・停止、75%割り込み要求の有効・無効、ウィンドオープン期間、オーバフロー時間が選択できます。

- WDTA トリガ機能

WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。

- 75%割り込み要求信号

オーバフローインターバル時間の 75%に達したときに割り込み要求信号を発生することができます (WDTAnMD.WDTAnWIE により有効無効が可能)。

- ウィンドウ機能

WDTA トリガレジスタの書き込み有効期間 (ウィンドウオープン期間) を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。エラー検出要因は「**16.5.2 エラー検出**」を参照してください。

16.2.2 ブロック図

WDTA の主な構成要素を次の「**図 16.1 WDTA のブロック図**」に示します。

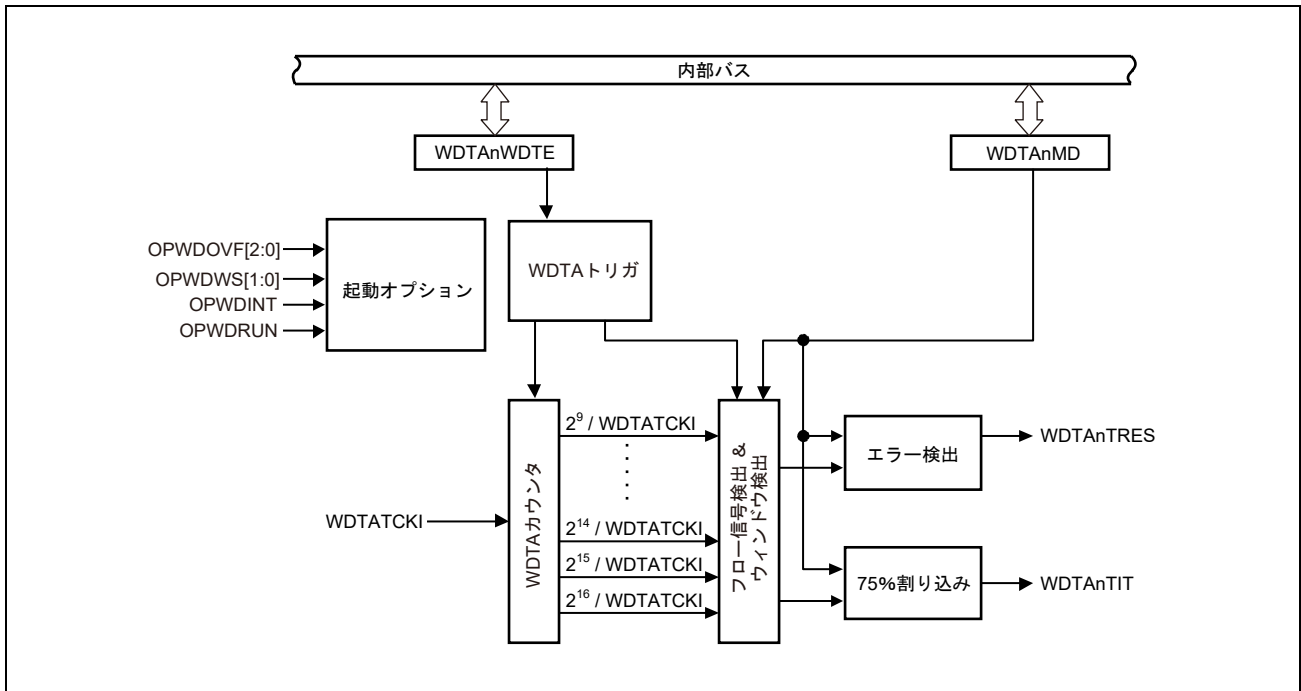


図 16.1 WDTA のブロック図

16.3 レジスタ

16.3.1 レジスタ一覧

WDTA のレジスタ一覧を以下の表に示します。

<WDTAn_base>は「16.1.2 レジスタベースアドレス」を参照してください。

表 16.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
WDTAn	WDTAn イネーブルレジスタ	WDTAnWDTE	<WDTAn_base> + 0 _H
WDTAn	WDTAn モードレジスタ	WDTAnMD	<WDTAn_base> + C _H

16.3.2 WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、WDTA スタートコントロール／トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。詳細は「16.5.1.6 WDTA トリガ」を参照してください。

このレジスタに書き込める値は、AC_Hのみです。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0000_H

リセット後の値 (1) WDTA0

リセット後の値は OPWDRUN の設定値に依存します。

OPWDRUN の出荷時の初期状態は OPWDRUN = 0_b です。

したがって、WDTA0 の出荷時のレジスタリセット後の値は 2C_H です。

(2) WDTA1^{※1}

WDTA1 のレジスタリセット後の値は 2C_H です。

OPWDRUN 設定の詳細は「16.5 機能」を参照してください。

どのリセット要因でも初期化されます。

注 1. C1M-A1 では対応していません。

ビット	7	6	5	4	3	2	1	0
	WDTAnRUN[7:0]							
リセット後の値	0	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.9 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7~0	WDTAnRUN[7:0]	固定起動コード (AC _H) を書き込むことにより WDTA トリガを発生し、WDTAn カウンタのスタート／リスタートを制御します。AC _H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。

起動オプションによって異なる WDTAnRUN[7]ビットのリセット後の値を次の表に示します。

表 16.10 WDTAnRUN[7]のリセット後の値

起動オプション	WDTAnRUN[7]のリセット後の値
OPWDRUN	
1	1
0	0

16.3.3 WDTAnMD — WDTA モードレジスタ

オーバーフローインターバル時間、75%割り込み許可／禁止、およびウィンドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

最初の WDTA トリガ発生後に、このレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <WDTAn_base>+000C_H

リセット後の値 (1) WDTA0

WDTA0 のリセット後の値は OPWDOVF2-0、OPWDINT、OPWDWS1-0 の設定値に依存します。

オプションバイトによる WDTA0 の出荷時の初期状態は WDTA1 と同じであるため OPWDOVF2-0、

OPWDINT、OPWDWS1-0 の設定値はそれぞれ 1_b に設定されます。

したがって、WDTA0 の出荷時のレジスタリセット後の値は 7F_H となります。

(2) WDTA1^{※1}

WDTA1 のレジスタリセット後の値は 7F_H です。

どのリセット要因でも初期化されます。

注 1. C1M-A1 では対応していません。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	—	WDTAnWS[1:0]	
リセット後の値	0	1	1	1	1	1	1	1
RW	R	RW	RW	RW	RW	R	RW	RW

表 16.11 WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能																																				
7	予約ビット	書く場合はリセット後の値を書き込んでください。																																				
6~4	WDTAnOVF [2:0]	オーバーフローインターバル時間を選択します。 <table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバーフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table>	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバーフローインターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバーフローインターバル時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
3	WDTAnWIE	75%割り込み要求 WDTAnTIT の有効／無効 0 : WDTAnTIT 無効 1 : WDTAnTIT 有効																																				
2	予約ビット	書く場合はリセット後の値を書き込んでください。																																				

表 16.11 WDTAnMD レジスタの内容 (2/2)

ビット位置	ビット名	機能		
1、0	WDTAnWS [1:0]	ウィンドウオープン期間を選択します。		
		WDTAnWS1	WDTAnWS0	ウィンドウオープン期間
		0	0	25%
		0	1	50%
		1	0	75%
		1	1	100%

16.4 割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

(1) WDTAnTIT (WDTA タイマカウント 75%割り込み要求)

WDTA タイマのカウントオーバーフロー時間の 75%で割り込み要求信号を発生します。WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効/無効設定が可能です。

16.5 機能

16.5.1 リセット解除後の WDTA

16.5.1.1 スタートモード

WDTA には、リセット解除後にカウンタをスタートさせる 2つのモードがあります。

- ソフトウェアトリガスタートモード (WDTA0、WDTA1 共通)

リセット解除後、カウンタ値は 0000_Hのままです。
カウンタは最初の WDTA トリガの発生でスタートします。

- デフォルトスタートモード (WDTA0 のみ)

リセット解除後、カウンタは自動的にスタートします。ただし、起動オプションを OPWDRUN = 1_B に設定しても、シリアルプログラミングモードではデフォルトスタートモードが無効化されます。

WDTA1 はソフトウェアトリガモードに固定です。WDTA1 はオプションバイトによる設定はできません。

16.5.1.2 スタートモードの選択 (WDTA0 のみ)

スタートモードは、起動オプションで選択することができます。

スタートモードの選択について次の表 16.12 に示します。

表 16.12 スタートモードの選択

起動オプション	リセットの種類	スタートモード
OPWDRUN		
0	無視	ソフトウェアトリガ
1		デフォルト

16.5.1.3 リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生間の WDTA の設定を次の表に示します。

機能	WDTA0 のリセット後の設定	WDTA1 のリセット後の設定
スタートモード	起動オプションで指定	ソフトウェアトリガモード
オーバフローインターバル時間	起動オプションで指定	$2^{16}/\text{WDTATCKI}$
75%割り込みモード	起動オプションで指定	75%割り込み有効
ウィンドウオープン期間	起動オプションで指定	100%

WDTA 設定の変更

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ (WDTAnWDTE への起動コード書き込み) で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。また、WDTAnMD による WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

16.5.1.4 デフォルトスタートモードのタイミング (WDTA0 のみ)

デフォルトスタートモードのタイミングと WDTA 設定への変更を次の図 16.2 に示します。

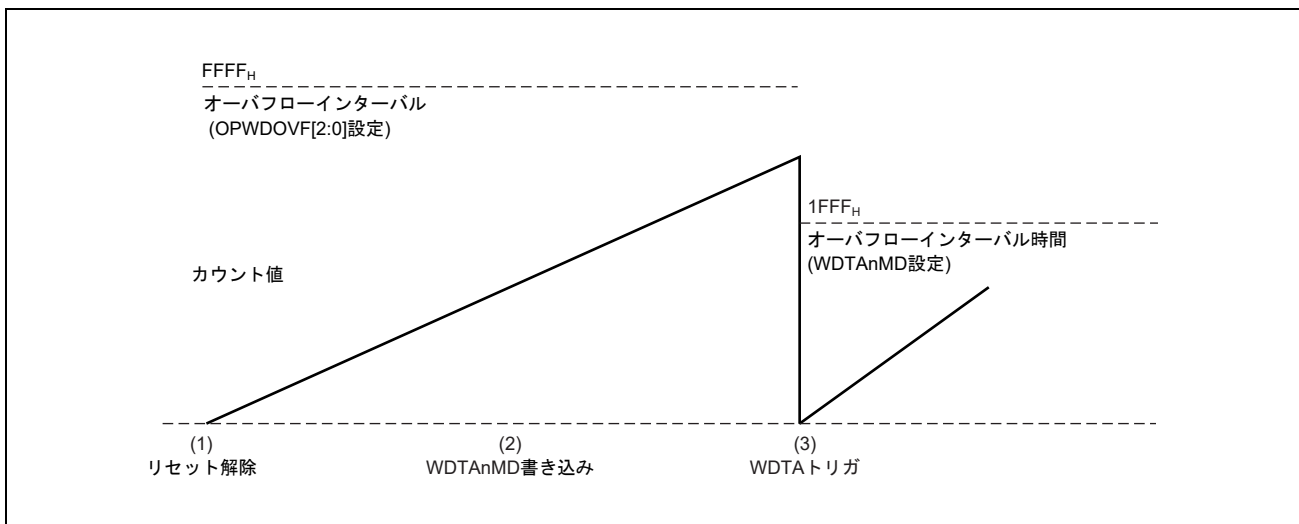


図 16.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 16.2 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除直後、WDTA カウンタをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。
例) リセット解除後のオーバフローインターバル時間
= $2^{16}/\text{WDTATCKI}$ (OPWDOVF[2:0] = 111_B)
- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA カウンタがオーバフローする前に WDTA トリガレジスタへの書き込みを行ってください。WDTA トリガにより WDTAnMD の設定が適用されます。
例) WDTA トリガ後のオーバフローインターバル時間
= $2^{13}/\text{WDTATCKI}$

16.5.1.5 ソフトウェアトリガスタートモードのタイミング (WDTA0、WDTA1 共通)

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を次の図 16.3 に示します。

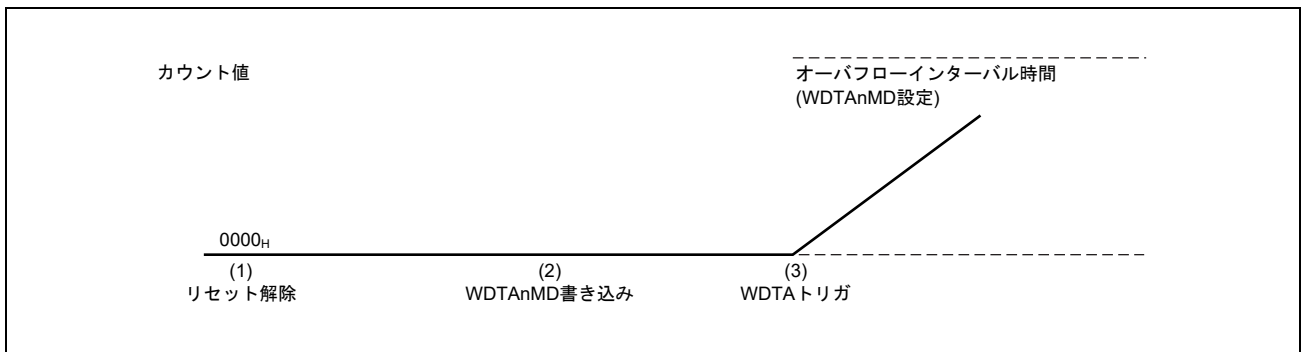


図 16.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

図 16.3 のタイミング図は次の動作を示します。

- (1) リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_Hのままです。オーバーフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われなため影響はありません。
- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA トリガにより、WDTA カウンタがスタートします。
WDTAnMD で指定したオーバーフローインターバル時間とその他の設定が適用されます。

16.5.1.6 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガを発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定 (リセット解除後、最初の WDTA トリガのみ)

トリガレジスタに固定起動コードを書き込むことで、WDTA トリガを発生させることができます。

表 16.13 トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定	WDTAnWDTE	AC _H

16.5.2 エラー検出

WDTA は、WDTA のカウントオーバーフローの発生や不正な操作をエラーとして検出します。

エラー検出条件を次に示します。

- WDTA カウンタのオーバーフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を 2 回更新する場合

16.5.3 WDTA エラーモード

エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。

デフォルトスタートモードが選択されているとき、カウンタがオーバーフローした場合のリセットの発生を次の図 16.4 に示します。

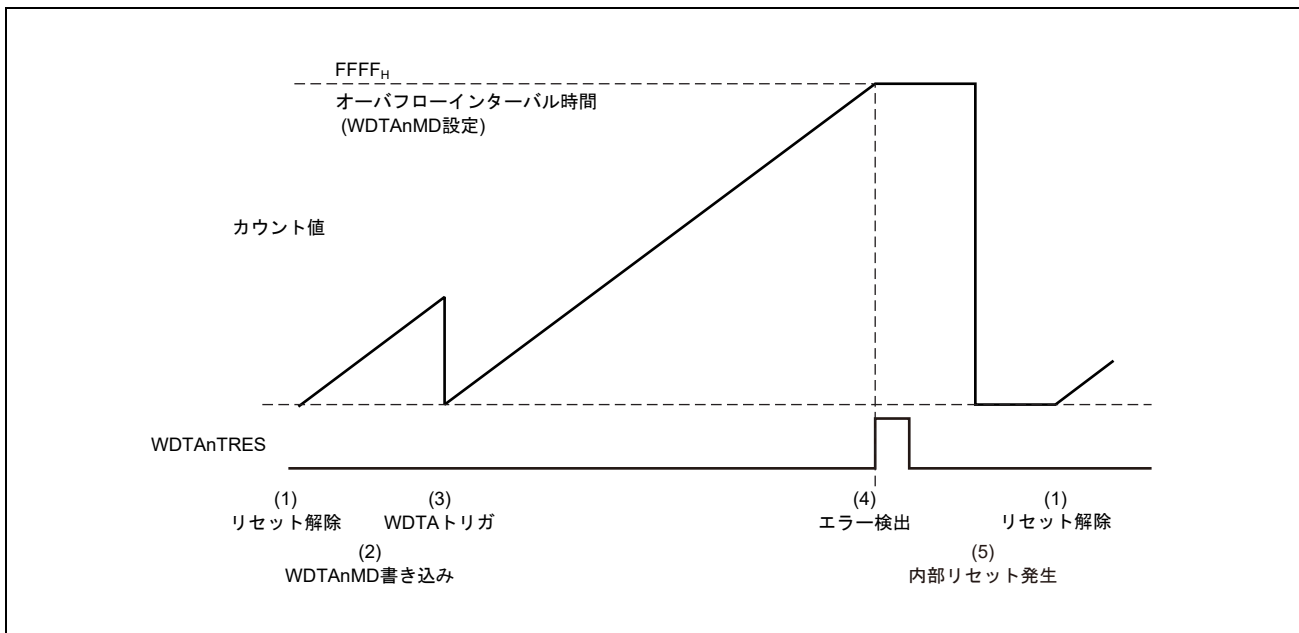


図 16.4 WDTA 内部リセット発生のタイミング図

図 16.4 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。
ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) カウンタがオーバーフローすると、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。
- (5) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

16.5.4 75%割り込み要求信号

WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の図 16.5 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75%割り込み要求が有効
- WDTA オーバーフローインターバル時間： $2^{16}/\text{WDTATCKI}$

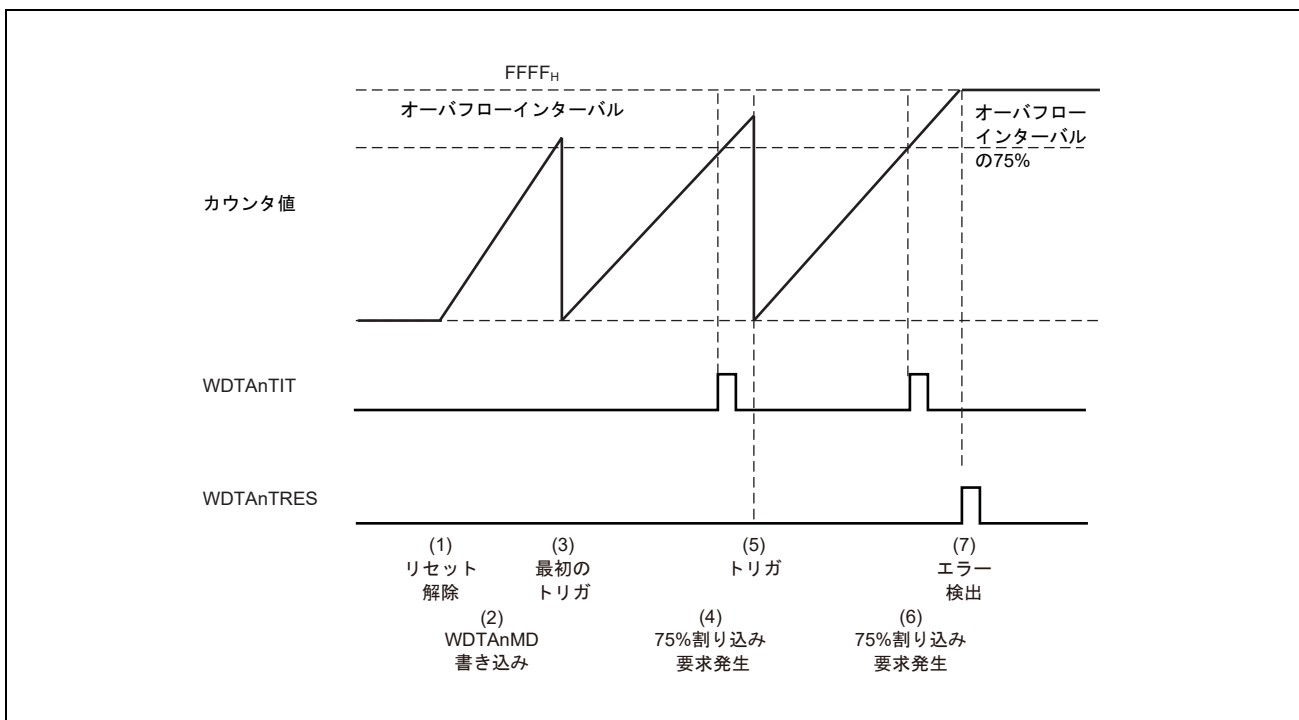


図 16.5 WDTA75%割り込み要求信号のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションによって設定されます。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。
- (5) WDTA トリガにより、カウンタがリスタートします。
- (6) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。
- (7) カウンタがオーバーフローするとエラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は内部リセットが発生するまで変わりません。

16.5.5 ウィンドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。

ウィンドウオープン期間を 100%未満に設定すると、ウィンドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウィンドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0]に設定した値になります。

次の条件下でのウィンドウ機能動作を図 16.6 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25%ウィンドウオープン期間が有効 (WDTAnWS[1:0]=00_B)
- WDTA オーバフローインターバル時間： $2^{16}/\text{WDTATCKI}$

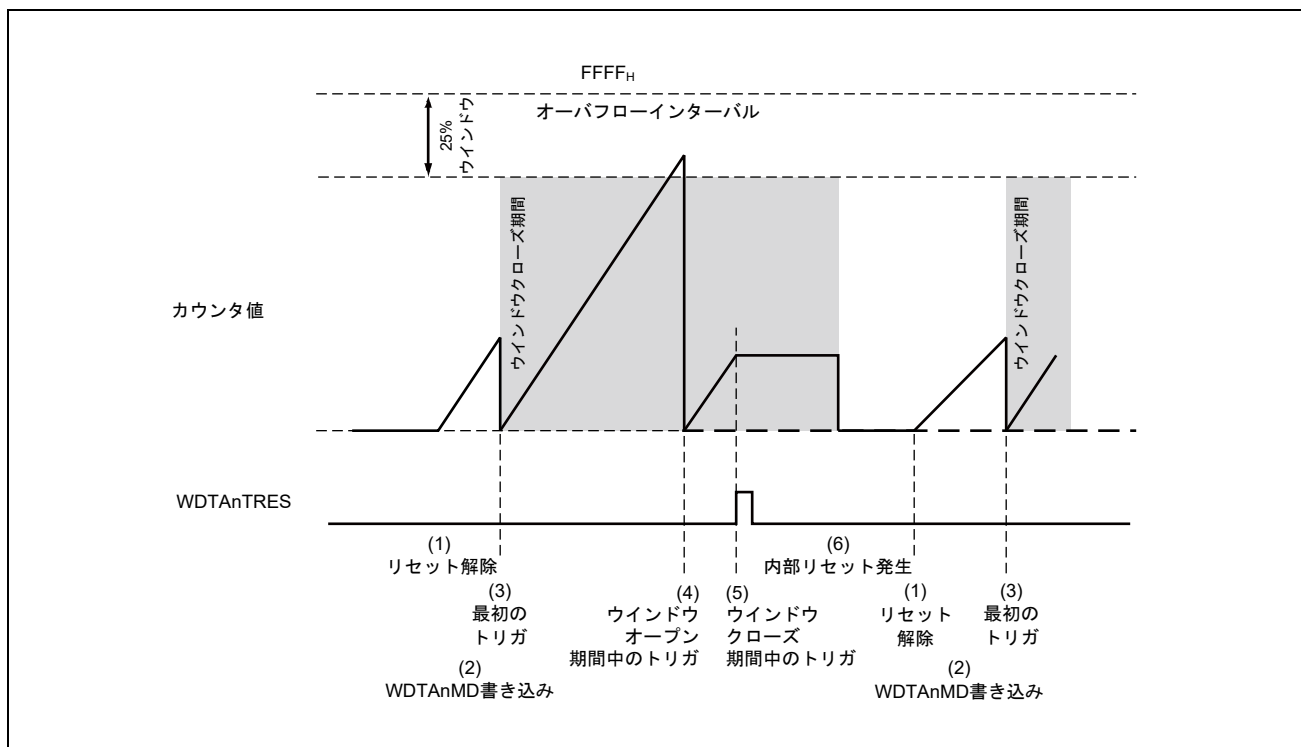


図 16.6 WDTA ウィンドウ機能のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) ウィンドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。
- (5) ウィンドウクローズ期間中に、WDTA トリガにより、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。
- (6) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

第17章 OS タイマ (OSTM)

この章では、OS タイマ (OSTM) 全般について説明します。

最初の節では、ユニット数、レジスタのベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、OSTM の機能、レジスタについて説明します。

17.1 RH850/C1M-A OSTM の特長

17.1.1 ユニット数

本製品は以下のユニット数の OSTM を搭載しています。

表 17.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	4	3
名称	OSTMn (n = 0~3)	OSTMn (n = 0~2)

表 17.2 添字

添字	意味
n	本章では、OSTM の各ユニットを「n」 (n = 0~3) で識別します。(RH850/C1M-A1 では n = 0~2、RH850/C1M-A2 では n = 0~3)。 たとえば、OSTM カウンタレジスタ (OSTMnCNT) のように記述しています。

17.1.2 レジスタベースアドレス

OSTM のベースアドレスを以下の表に示します。

OSTM のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 17.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFEC 0000 _H
<OSTM1_base>	FF8C 1000 _H
<OSTM2_base>	FFEC 2000 _H
<OSTM3_base>	FF8C 3000 _H

備考 OSTM3 は RH850/C1M-A1 では対応していません。

17.1.3 クロック供給

OSTM のクロック供給を以下の表に示します。

表 17.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
OSTMn	PCLK	CLKC_LSB (非変調低速周辺クロック)

備考 OSTM3 は RH850/C1M-A1 では対応していません。

17.1.4 割り込み要求

OSTM の割り込み要求を以下の表に示します。

表 17.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号
OSTM0TINT	OSTM0 割り込み	25
OSTM1TINT	OSTM1 割り込み	26
OSTM2TINT	OSTM2 割り込み	27
OSTM3TINT	OSTM3 割り込み	28

備考 OSTM3 は RH850/C1M-A1 では対応していません。

17.1.5 リセット要因

OSTM のリセット要因を以下に示します。OSTM は以下のリセット要因で初期化されます。

表 17.6 リセット要因

ユニット名	リセット要因
OSTMn	すべてのリセット要因でリセット

17.2 概要

OSTM は 32 ビットのタイマ/カウンタです。

OSTM は、インターバルタイマモードまたはフリーランニングコンペアモードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

OSTM は、カウント開始信号（OSTMnTSST）の入力により、ほかの周辺機能と同期させることができます。

17.2.1 機能概要

OSTM には、次の機能があります。

- 2 つの動作モード
 - インターバルタイマモード
 - フリーランニングコンペアモード
- ユニット間の同時スタートトリガ機能
- OSTMnTINT 割り込み

17.2.2 ブロック図

OSTM の主な構成要素を次のブロック図に示します。

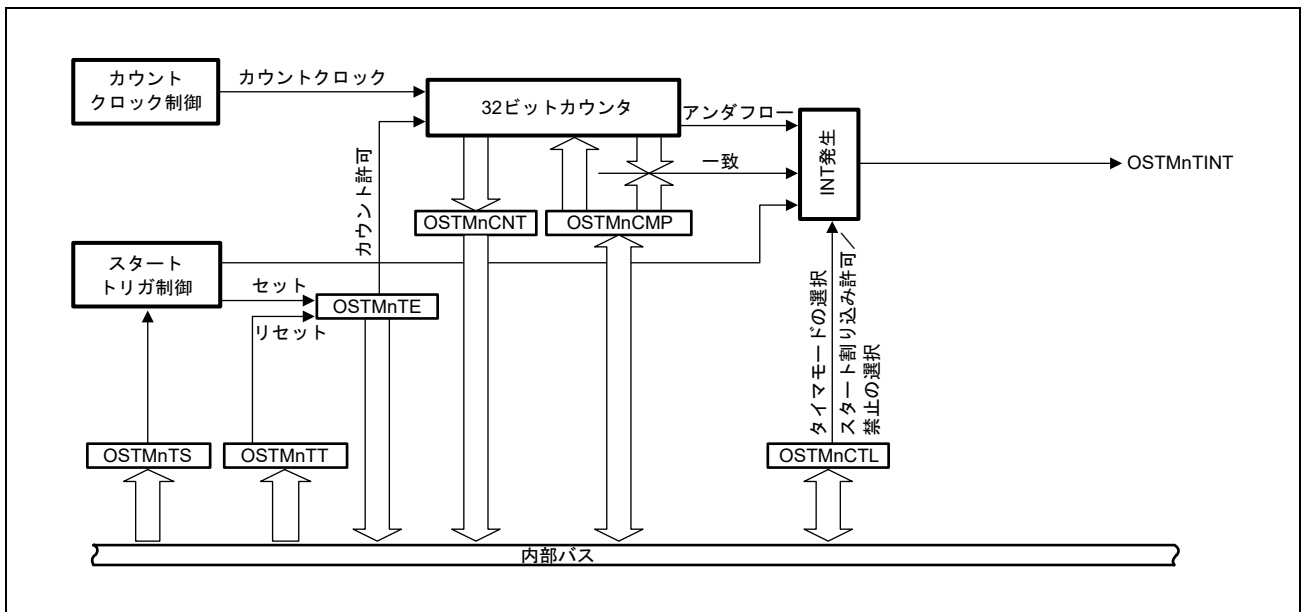


図 17.1 OSTM のブロック図

17.2.3 カウントクロック

OSTM はカウントクロックに PCLK を使用します。

17.2.4 割り込み要求 (OSTMnTINT)

カウンタアンダフローが発生したとき（インターバルタイマモードの場合）またはカウンタが比較値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

OSTMnTINT はタイマ出力グルモード (OSTMnTOE.OSTMnTOE = 1) で OSTMnTTOUT 出力のトグルのトリガとなるため、OSTMnCTL.OSTMnMD0 ビットの設定は OSTMnTTOUT 出力にも影響します。

これを次の図に示します。

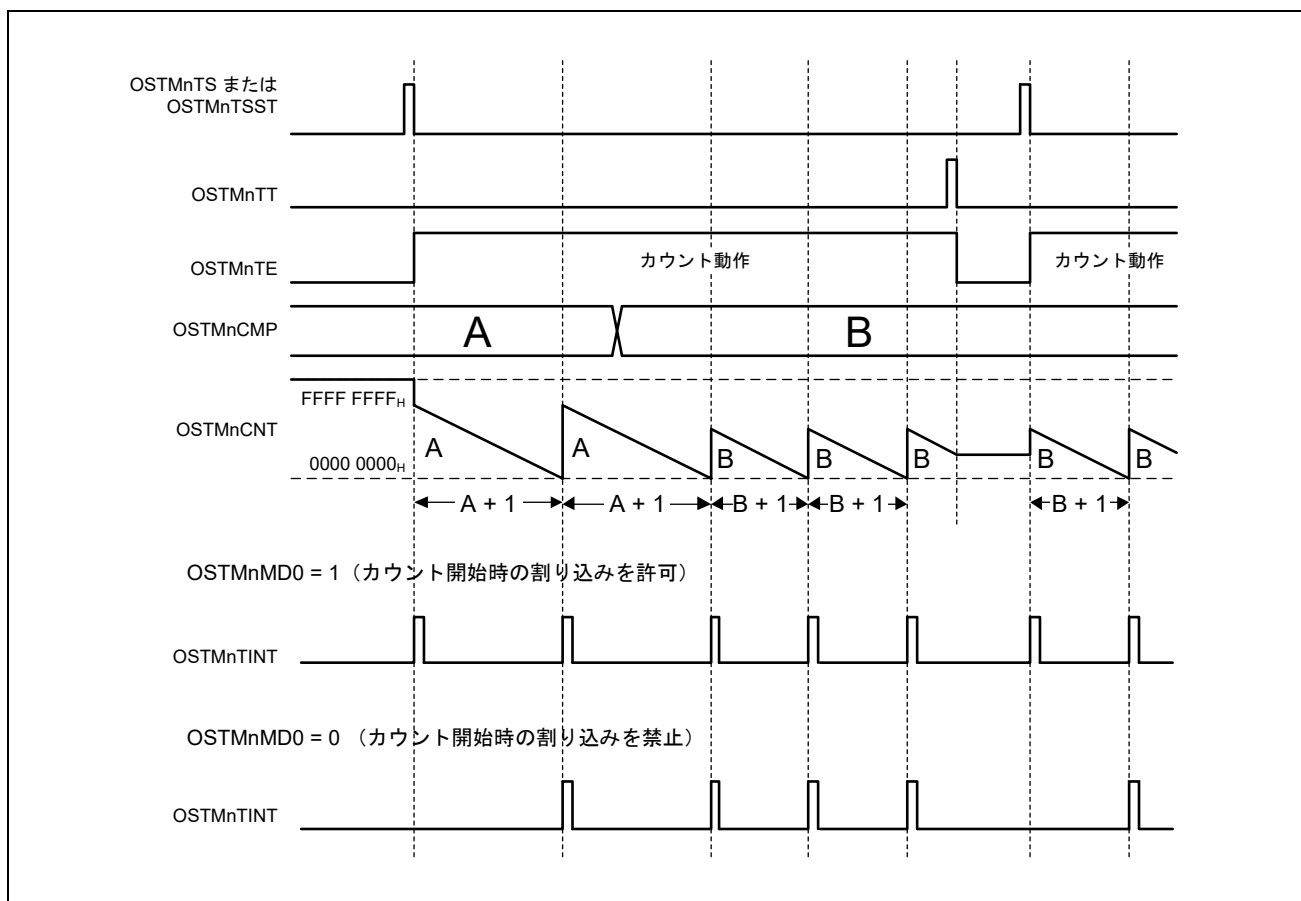


図 17.2 カウント開始時の割り込み生成（インターバルタイマモード）

17.3 レジスタ

17.3.1 レジスタ一覧

OSTM のレジスタ一覧を以下の表に示します。

<OSTMn_base>は「17.1.2 レジスタベースアドレス」を参照してください。

表 17.7 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
OSTMn	OSTMn コンペアレジスタ	OSTMnCMP	<OSTMn_base> + 00 _H
OSTMn	OSTMn カウンタレジスタ	OSTMnCNT	<OSTMn_base> + 04 _H
OSTMn	OSTMn 出力レジスタ	OSTMnTO	<OSTMn_base> + 08 _H
OSTMn	OSTMn 出カインエーブルレジスタ	OSTMnTOE	<OSTMn_base> + 0C _H
OSTMn	OSTMn カウントインエーブルステータスレジスタ	OSTMnTE	<OSTMn_base> + 10 _H
OSTMn	OSTMn カウント開始トリガレジスタ	OSTMnTS	<OSTMn_base> + 14 _H
OSTMn	OSTMn カウント停止トリガレジスタ	OSTMnTT	<OSTMn_base> + 18 _H
OSTMn	OSTMn 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 _H

17.3.2 OSTMnCMP — OSTMn コンペアレジスタ

このレジスタは、動作モードによってカウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.8 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31~0	OSTMnCMP [31:0]	インターバルタイマモードの場合：カウンタの開始値 フリーランニングコンペアモードの場合：比較値

17.3.3 OSTMnCNT — OSTMn カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス 32 ビット単位でリード可能です。

アドレス <OSTMn_base> + 04_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.9 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31~0	OSTMnCNT [31:0]	タイマカウンタの値

OSTMn の動作モード、カウント方向、初期値の関係を表 17.10 に示します。初期値は、動作モードが変更されたあとにリードされる値です。

表 17.10 動作モード、カウント方向、初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	初期値
インターバルタイマモード	0 ^{注 1}	ダウン	FFFF FFFF _H
フリーランニングコンペアモード	1	アップ	0000 0000 _H

注 1. リセット後の値

17.3.4 OSTMnTO — OSTMn 出力レジスタ

このレジスタは、OSTMnTTOUT 出力のレベルを指定します。リードすると OSTMnTTOUT 出力レベルを返します。OSTMn (n=0) でのみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。ソフトウェア制御モードが有効時 (OSTMnTOE.OSTMnTOE = 0) にのみライト可能です。

アドレス <OSTMn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 17.11 OSTMnTO レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	OSTMnTO	OSTMnTTOUT 出力のレベルを指定します。 リードすると OSTMnTTOUT 出力レベルを返します。 0: ロウレベル 1: ハイレベル

17.3.5 OSTMnTOE — OSTMn 出力イネーブルレジスタ

このレジスタは、OSTMnTTOUT 出力モードを指定します。OSTMn (n=0) でのみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 0CH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 17.12 OSTMnTOE レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	OSTMnTOE	OSTMnTTOUT 出力モードを指定します。 0 : ソフトウェア制御モード : OSTMnTO.OSTMnTO ビットに設定されたレベルを OSTMnTTOUT に出力 1 : タイマ出カトグルモード : 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT 出力がトグル

17.3.6 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 17.13 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 0 : カウンタが停止中 1 : カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備 考

カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは OSTMnCMP の設定値から再開します。
- フリーランニングコンペアモードでは、カウント値 0000 0000_H で動作を再開します。

17.3.7 OSTMnTS — OSTMn カウント開始トリガレジスタ

このレジスタは、カウントを開始します。

アクセス 8ビット単位でライト可能です。常に 00_Hとしてリードされます。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 17.14 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	OSTMnTS	カウントを開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 • インターバルタイムモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

17.3.8 OSTMnTT — OSTMn カウント停止トリガレジスタ

このレジスタは、カウンタを停止します。

アクセス 8ビット単位でライト可能です。常に 00_Hとしてリードされます。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 17.15 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	OSTMnTT	カウンタを停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

17.3.9 OSTMnCTL — OSTMn 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMnTINT の生成を制御します。

このレジスタはリード/ライト可能ですが、OSTMnTE.OSTMnTE = 0 のときはライト可、OSTMnTE.OSTMnTE = 1 のときはリード専用となります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMnMD1	OSTMnMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 17.16 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き込んでください。
1	OSTMnMD1	カウンタの動作モードを指定します。 0 : インターバルタイマモード 1 : フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み要求を制御します。 0 : カウント開始時の割り込みを禁止 1 : カウント開始時の割り込みを許可

17.4 機能

17.4.1 タイマの起動と停止

OSTM は次のように起動し、停止します。

起動

タイマは次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号 (同時スタートトリガ機能使用時) をハイレベルに設定

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。詳細は「**17.4.2 インターバルタイマモード**」と「**17.4.3 フリーランニングコンペアモード**」を参照してください。

OSTMnTS.OSTMnTS ビットによってタイマを起動する場合は、OSTMnTSST には 0 が入力されている必要があります。

停止

タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

カウンタが停止すると、次のカウント動作が開始されるまで、OSTMnTO レジスタと OSTMnTTOUT 出力、OSTMnCNT レジスタは、その時点での値を保持します。

同時スタートトリガ機能

PIC1B 機能より出力される OSTMnTSST 信号を使用して、複数のタイマを同時に起動することができます。設定方法は、「**第 24 章 ペリフェラルインタコネクション (PIC)**」を参照してください。

17.4.2 インターバルタイマモード

インターバルタイマモードでは、OSTM を一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

17.4.2.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタがアンダフローした (0000 0000_Hに達した) 場合に、割り込み要求 OSTMnTINT が発生します。

インターバルタイマモード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に 0000 0000_Hに到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMnTINT 期間

OSTMnTINT の期間は次のようになります。

- OSTMnTINT 発生期間 = カウントクロック期間 × (OSTMnCMP + 1)

次の図に、インターバルタイマモードでカウント開始時の割り込みを許可された場合の OSTM の基本動作を示します。

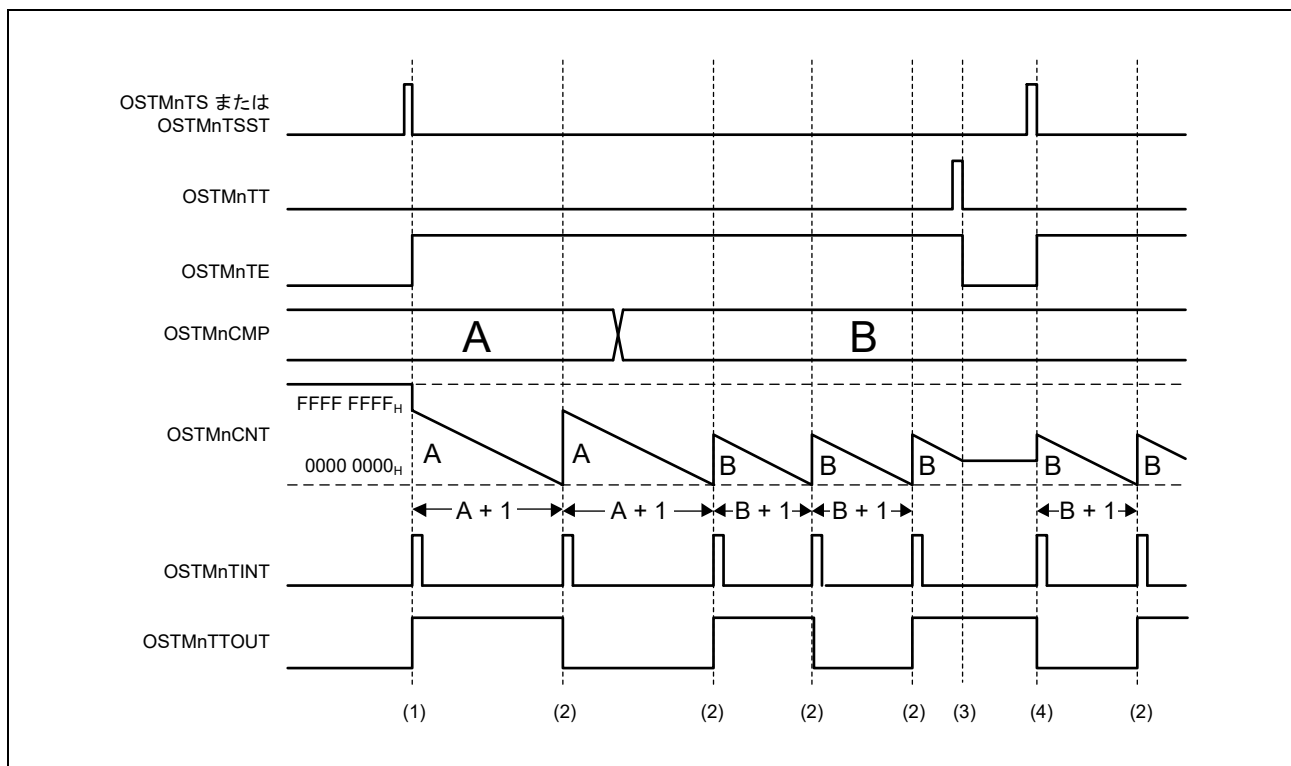


図 17.3 インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは、OSTMnCMP の値からカウントダウンを開始します。OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。
- (2) カウンタが 0000 0000_H に達すると、割り込み要求 OSTMnTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。
- (3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 を設定するか、または OSTMnTSST 信号のハイレベルからロウレベルへの遷移によって実行されます。

カウンタは、OSTMnCMP レジスタから開始値をロードしてカウントダウンを継続します。

次の図に、インターバルタイマモードでカウント開始時の割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) されるタイミング図を示します。

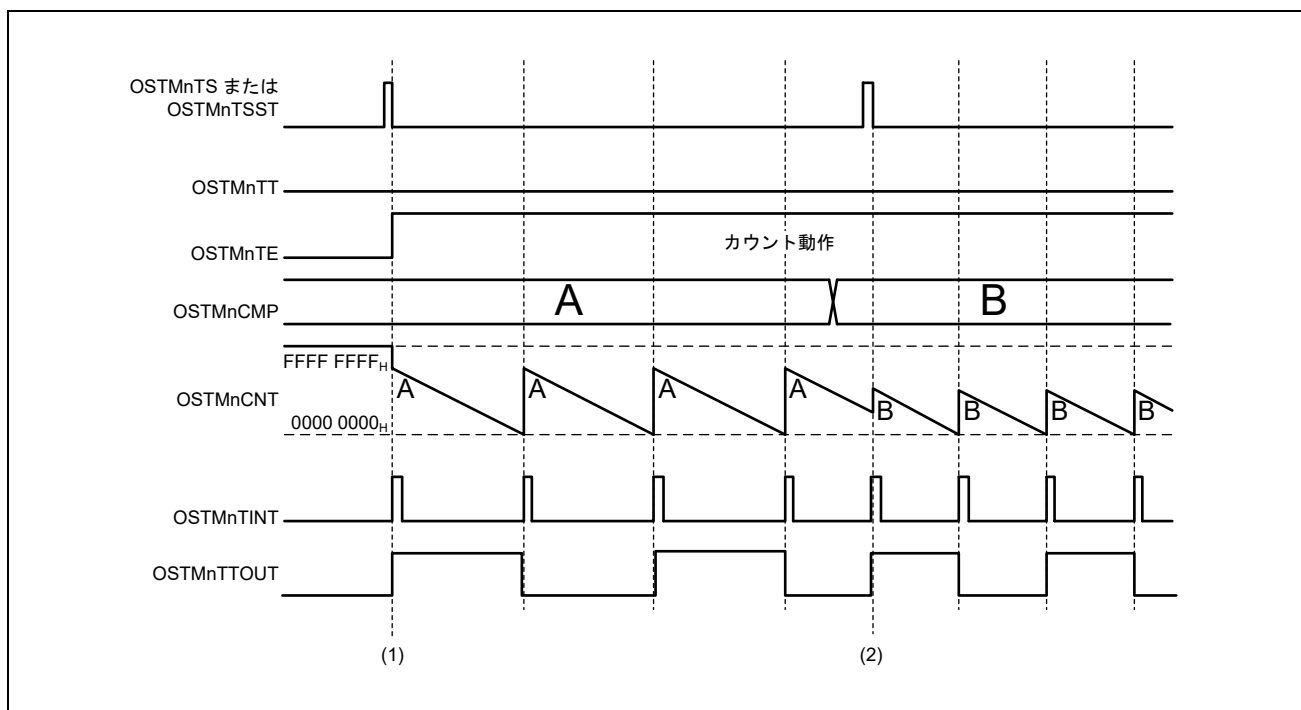


図 17.4 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、「**図 17.3 インターバルタイマモードの OSTM のタイミング図**」で説明されているように動作を開始します。
- (2) カウンタは、動作している間 ($OSTMnTE.OSTMnTE = 1$) $OSTMnTS.OSTMnTS = 1$ または $OSTMnTSST = 1$ にすると、リスタートします。
 カウンタは、ただちに $OSTMnCMP$ の現在値からカウントダウンを再開します。
 $OSTMnCTL.OSTMnMD0 = 1$ の場合は、カウント開始タイミングで割り込み要求 $OSTMnTINT$ が発生します。

17.4.2.2 OSTMnCMP = 0000 0000_H の場合の動作

$OSTMnCMP = 0000\ 0000_H$ の場合に、OSTM は次のように動作します。

- カウンタが有効な場合は、割り込み要求 $OSTMnTINT$ は常に 1 になります。
- タイマ出力トグルモードのとき、 $OSTMnTTOUT$ 信号は PCLK ごとにトグル出力します。

次の図に、 $OSTMnCMP = 0000\ 0000_H$ であり、カウント開始時の割り込みが許可された場合に OSTM の動作を示します。

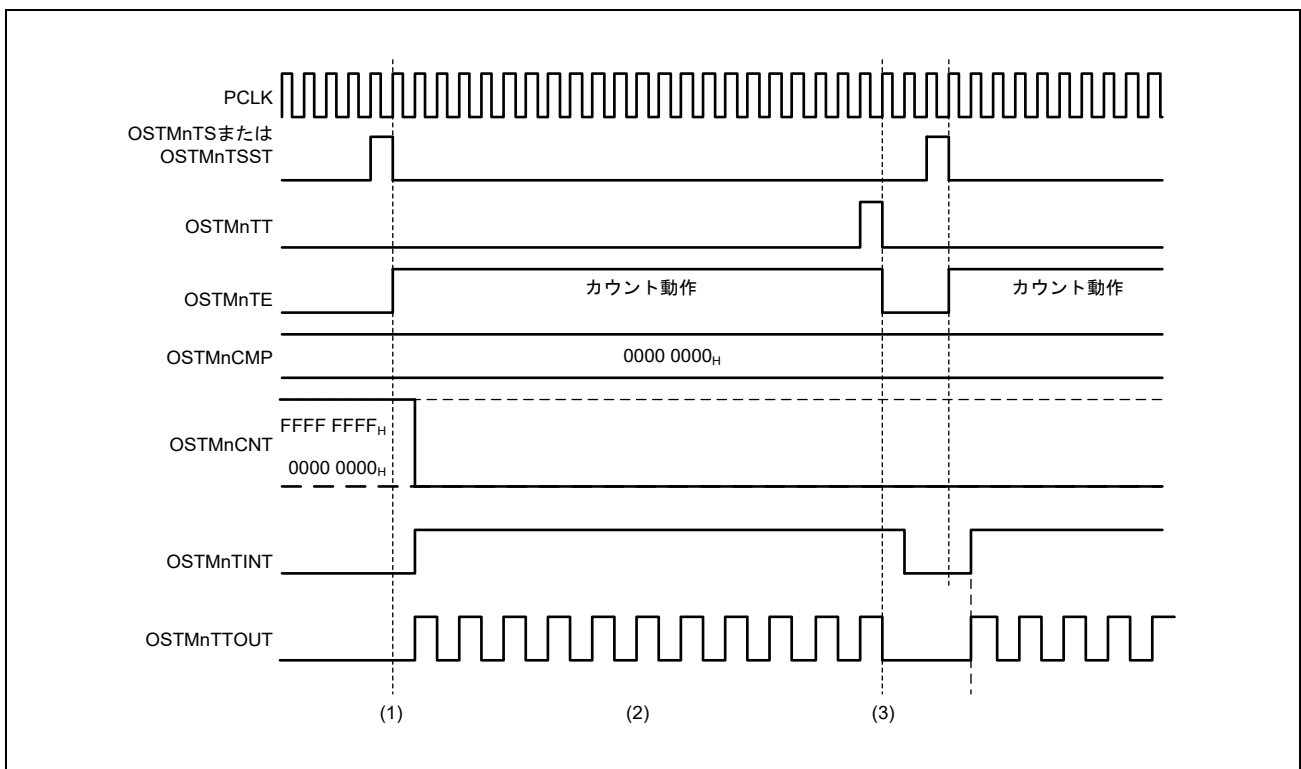


図 17.5 インターバルタイマモードで $OSTMnCMP = 0000\ 0000_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_Hのままです。
- (2) 割り込み要求 OSTMnTINT が継続的に発生します。
- (3) カウンタが停止すると、割り込み要求 OSTMnTINT が停止します。

カウント開始時の割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

17.4.2.3 インターバルタイマモードの設定手順

リセット解除後のインターバルタイマモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタにカウンタの開始値を設定します。
- (2) OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバルタイマモードを選択します。
- (3) カウント開始時の割り込みの許可/禁止を選択します (OSTMnCTL.OSTMnMD0)。

17.4.3 フリーランニングコンペアモード

17.4.3.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは 0000 0000_H から FFFF FFFF_H までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。

フリーランニングコンペアモード利用時は、OSTMnCTL.OSTMnMD1 = 1 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OSTM の基本動作を示します。

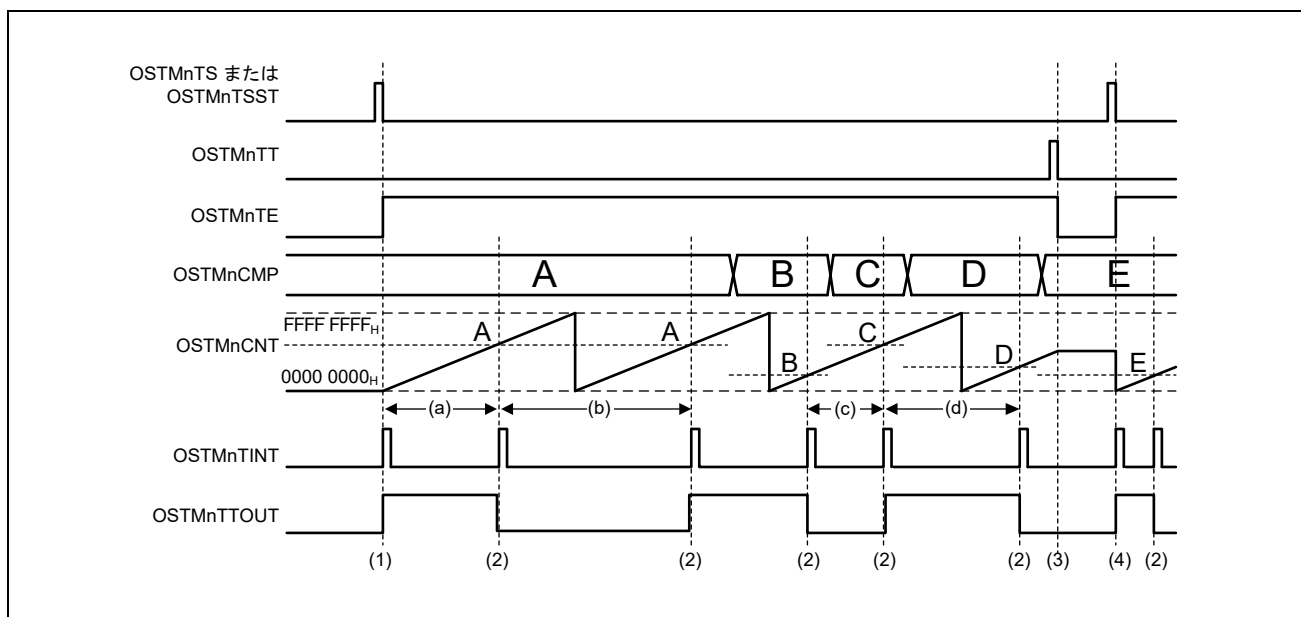


図 17.6 フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは 0000 0000_H から FFFF FFFF_H までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。
- (2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生します。
- (3) カウンタが停止すると (OSTMnTT.OSTMnTT = 1)、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは 0000 0000_H からカウントを開始します。

OSTMnTINT 期間

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 17.17 OSTMnTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times$ カウントクロック期間	(a)
A	A	書き換えなし	$(FFFF\ FFFF_H + 1) \times$ カウントクロック期間	(b)
B	$C > B$	$B < \text{カウンタ値} < C$	$(C - B) \times$ カウントクロック期間	(c)
C	$D < C$	カウンタ値 $> D, C$	$(FFFF\ FFFF_H - C + D + 1) \times$ カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = 1 の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

17.4.3.2 OSTMnCMP = 0000 0000_H の場合の動作

次の図に、OSTMnCMP = 0000 0000_H であり、カウント開始時の割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) された場合の OSTM の動作を示します。

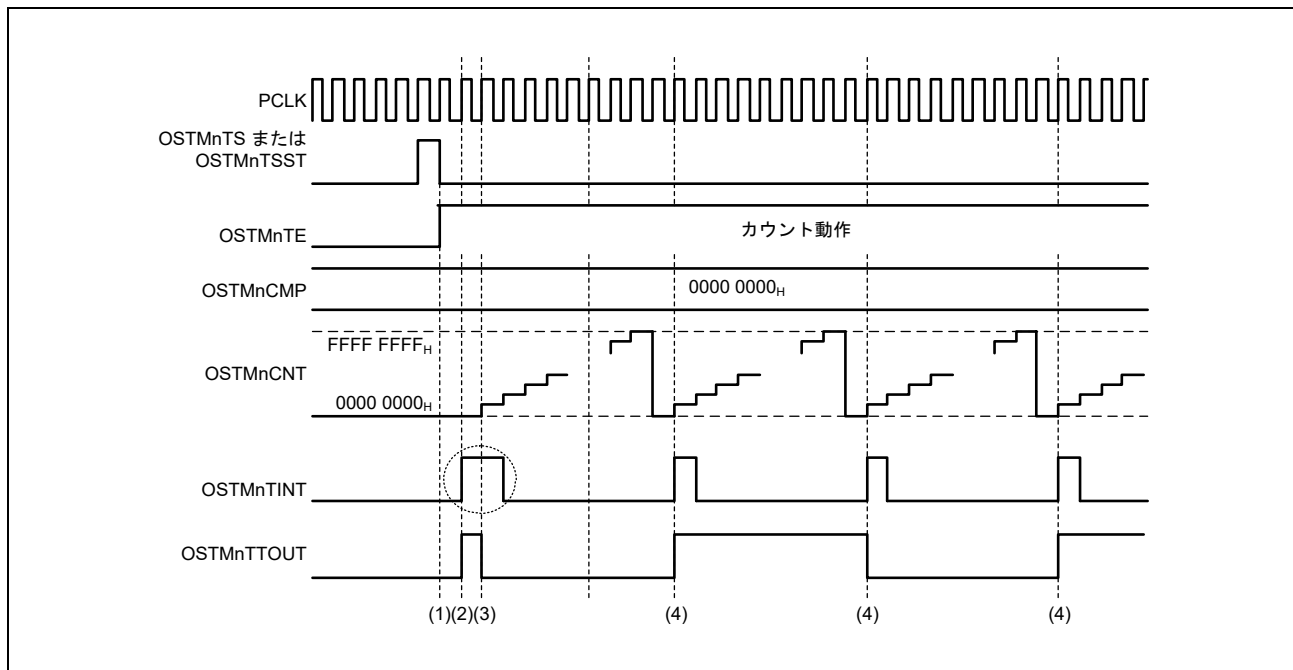


図 17.7 フリーランニングコンペアモードで OSTMnCMP = 0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウントを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
- (2) カウント開始時に割り込み要求 OSTMnTINT が発生します。
- (3) 現在のカウンタ値が OSTMnCMP と一致する場合は、割り込み要求 OSTMnTINT が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMnTINT はカウンタクロック 2 クロック分発生します。
- (4) (FFFF FFFF_H + 1) クロックサイクルごとに、割り込み要求 OSTMnTINT が発生します。

カウント開始時の割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

17.4.3.3 フリーランニングコンペアモードの設定手順

リセット解除後のフリーランニングコンペアモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタに比較値を設定します。
- (2) OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリーランニングコンペアモードを選択します。
- (3) OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みの許可/禁止を選択します。

第18章 タイマアレイユニット D (TAUD)

18.1 C1M-A TAUD の特長

18.1.1 ユニット数

本製品は以下のユニット数の TAUD を搭載しています。

表 18.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	4	2
名称	TAUDn (n = 0~3)	TAUDn (n = 0, 1)

表 18.2 添字

添字	意味
n	本章では、TAUD の各ユニットを「n」 (n = 0~3) で識別します (RH850/C1M-A1 では n = 0~1、RH850/C1M-A2 では n = 0~3)。 たとえば、TAUDn 制御レジスタ 0 は TAUD0CNT0 と記述します。
m	TAUD は最大 16 チャンネル搭載しています。本章では、各チャンネル信号を「m」 (m = 0~15) で識別します。

TAUD の各ユニットの搭載チャンネル信号の数を以下の表に示します。

表 18.3 搭載チャンネル数

ユニット名	チャンネル数
TAUDn	16

18.1.2 レジスタベースアドレス

TAUD のベースアドレスを以下の表に示します。

TAUD のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 18.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUD0_base>	FFE2 0000 _H
<TAUD1_base>	FF82 1000 _H
<TAUD2_base> ^{注 1}	FFE2 2000 _H
<TAUD3_base> ^{注 1}	FFE2 3000 _H

注 1. TAUD2、TAUD3 は RH850/C1M-A1 では対応していません。

18.1.3 クロック供給

TAUD のクロック供給を以下の表に示します。

表 18.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUDn	PCLK	CLKC_HSB (非変調高速周辺クロック)

18.1.4 割り込み要求

TAUD の割り込み要求を以下の表に示します。

表 18.6 割り込み要求 (1/2)

割り込み名	概要	割り込み番号	DMAC トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
TAUD0						
INTTAUD0I0	チャンネル 0 割り込み	98	19	—	19	—
INTTAUD0I1	チャンネル 1 割り込み	99	20	—	20	—
INTTAUD0I2	チャンネル 2 割り込み	100	21	—	21	—
INTTAUD0I3	チャンネル 3 割り込み	101	22	—	22	—
INTTAUD0I4	チャンネル 4 割り込み	102	23	—	23	—
INTTAUD0I5	チャンネル 5 割り込み	103	24	—	24	—
INTTAUD0I6	チャンネル 6 割り込み	104	25	—	25	—
INTTAUD0I7	チャンネル 7 割り込み	105	26	—	26	—
INTTAUD0I8	チャンネル 8 割り込み	106	27	—	27	—
INTTAUD0I9	チャンネル 9 割り込み	107	28	—	28	—
INTTAUD0I10	チャンネル 10 割り込み	108	29	—	29	—
INTTAUD0I11	チャンネル 11 割り込み	109	30	—	30	—
INTTAUD0I12	チャンネル 12 割り込み	110	31	—	31	—
INTTAUD0I13	チャンネル 13 割り込み	111	32	—	32	—
INTTAUD0I14	チャンネル 14 割り込み	112	33	—	33	—
INTTAUD0I15	チャンネル 15 割り込み	113	34	—	34	—
TAUD1						
INTTAUD1I0	チャンネル 0 割り込み	114	35	—	35	—
INTTAUD1I1	チャンネル 1 割り込み	115	36	—	36	—
INTTAUD1I2	チャンネル 2 割り込み	116	37	—	37	—
INTTAUD1I3	チャンネル 3 割り込み	117	38	—	38	—
INTTAUD1I4	チャンネル 4 割り込み	118	39	—	39	—
INTTAUD1I5	チャンネル 5 割り込み	119	40	—	40	—
INTTAUD1I6	チャンネル 6 割り込み	120	41	—	41	—
INTTAUD1I7	チャンネル 7 割り込み	121	42	—	42	—
INTTAUD1I8	チャンネル 8 割り込み	122	43	—	43	—
INTTAUD1I9	チャンネル 9 割り込み	123	44	—	44	—
INTTAUD1I10	チャンネル 10 割り込み	124	45	—	45	—
INTTAUD1I11	チャンネル 11 割り込み	125	46	—	46	—
INTTAUD1I12	チャンネル 12 割り込み	126	47	—	47	—
INTTAUD1I13	チャンネル 13 割り込み	127	48	—	48	—
INTTAUD1I14	チャンネル 14 割り込み	128	49	—	49	—
INTTAUD1I15	チャンネル 15 割り込み	129	50	—	50	—
TAUD2 ^{注 2}						
INTTAUD2I0	チャンネル 0 割り込み	130	61	15	61	15
INTTAUD2I1	チャンネル 1 割り込み	131	62	16	62	16
INTTAUD2I2	チャンネル 2 割り込み	132	63	17	63	17
INTTAUD2I3	チャンネル 3 割り込み	133	64	18	64	18
INTTAUD2I4	チャンネル 4 割り込み	134	65	51	65	51

表 18.6 割り込み要求 (2/2)

割り込み名	概要	割り込み番号	DMAC トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
TAUD2 ^{注 2}						
INTTAUD215	チャンネル 5 割り込み	135	66	52	66	52
INTTAUD216	チャンネル 6 割り込み	136	—	25,73	—	25,73
INTTAUD217	チャンネル 7 割り込み	137	—	26,111	—	26,111
INTTAUD218	チャンネル 8 割り込み	138	—	27,112	—	27,112
INTTAUD219	チャンネル 9 割り込み	139	—	28,113	—	28,113
INTTAUD2110	チャンネル 10 割り込み	140	—	29,114	—	29,114
INTTAUD2111	チャンネル 11 割り込み	141	—	30,115	—	30,115
INTTAUD2112	チャンネル 12 割り込み	142	—	31,116	—	31,116
INTTAUD2113	チャンネル 13 割り込み	143	—	32,117	—	32,117
INTTAUD2114	チャンネル 14 割り込み	144	—	33,118	—	33,118
INTTAUD2115	チャンネル 15 割り込み	145	—	34,119	—	34,119
TAUD3 ^{注 2}						
INTTAUD310	チャンネル 0 割り込み	146	—	—	—	—
INTTAUD311	チャンネル 1 割り込み	147	—	—	—	—
INTTAUD312	チャンネル 2 割り込み	148	—	—	—	—
INTTAUD313	チャンネル 3 割り込み	149	—	—	—	—
INTTAUD314	チャンネル 4 割り込み	150	—	—	—	—
INTTAUD315	チャンネル 5 割り込み	151	—	—	—	—
INTTAUD316	チャンネル 6 割り込み	152	—	—	—	—
INTTAUD317	チャンネル 7 割り込み	153	—	—	—	—
INTTAUD318	チャンネル 8 割り込み	154	—	—	—	—
INTTAUD319	チャンネル 9 割り込み	155	—	—	—	—
INTTAUD3110	チャンネル 10 割り込み	156	—	—	—	—
INTTAUD3111	チャンネル 11 割り込み	157	—	—	—	—
INTTAUD3112	チャンネル 12 割り込み	158	—	—	—	—
INTTAUD3113	チャンネル 13 割り込み	159	—	—	—	—
INTTAUD3114	チャンネル 14 割り込み	160	—	—	—	—
INTTAUD3115	チャンネル 15 割り込み	161	—	—	—	—

— : 割り当てなし

注 1. 1st : Primary Channel 、 2nd : Secondary Channel

注 2. TAUD2、TAUD3 は RH850/C1M-A1 では対応していません。

18.1.5 リセット要因

TAUD のリセット要因を以下に示します。TAUD は以下のリセット要因で初期化されます。

表 18.7 リセット要因

ユニット名	リセット要因
TAUDn	すべてのリセット要因でリセット

18.1.6 外部入出力信号

TAUD の外部入出力信号を以下の表に示します。

表 18.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TAUD0		
TAUDTTINm	チャンネル m 入力	TAUD0Im
TAUDTTOUTm	チャンネル m 出力	TAUD0Om
TAUD1		
TAUDTTINm	チャンネル m 入力	TAUD1Im
TAUDTTOUTm	チャンネル m 出力	TAUD1Om
TAUD2 ^{注 1}		
TAUDTTINm	チャンネル m 入力	TAUD2Im
TAUDTTOUTm	チャンネル m 出力	TAUD2Om
TAUD3 ^{注 1}		
TAUDTTINm	チャンネル m 入力	TAUD3Im
TAUDTTOUTm	チャンネル m 出力	TAUD3Om

注 1. TAUD2、TAUD3 は RH850/C1M-A1 では対応していません。

注 意

チャンネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。

18.2 概要

18.2.1 機能概要

TAUD には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUD は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUDnCNTm と 16 ビットデータレジスタ TAUDnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブチャンネルです。マスタチャンネルには、複数のスレーブチャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセットタイミング等を制御できます。

注 意

この章に記載のタイミングチャートは、動作タイミングのイメージです。タイマ入力には、遅延時間が付加されます。詳細は「18.4.8 TAUDTTINm エッジ検出」を参照してください。

18.2.2 用語

この章で使用されている用語について説明します。

単体動作機能／連動動作機能

単体動作機能／連動動作機能は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

チャンネルグループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネルグループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

チャンネル出力モード

チャンネル出力モードは、次のチャンネルの TAUDTTOUT m の動作を規定します。

- 1つのチャンネル（単体出力動作）
- チャンネルグループに属するすべてのチャンネル（連動出力動作）

チャンネル単体出力モード1、デッドタイム出力付きチャンネル連動動作モード2などがあります。

チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特長を規定します。

- 1つのチャンネル（チャンネル単体動作）
- チャンネルグループに属するすべてのチャンネル（チャンネル連動動作）

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

18.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 18.9 TAUD 動作機能一覧

動作機能		設定例
チャンネル単体動作機能		18.4.9 章
	インターバルタイマ機能	18.4.9.1 章
	TAUDTTINm 入力インターバルタイマ機能	18.4.9.2 章
	クロック分周機能	18.4.9.3 章
	外部イベントカウント機能	18.4.9.4 章
	ディレイカウント機能	18.4.9.5 章
	ワンパルス出力機能	18.4.9.6 章
	TAUDTTINm 入力パルスインターバル測定機能	18.4.9.7 章
	TAUDTTINm 入力信号幅測定機能	18.4.9.8 章
	TAUDTTINm 入力位置検出機能	18.4.9.9 章
	TAUDTTINm 入力期間カウント検出機能	18.4.9.10 章
	TAUDTTINm 入力パルスインターバル判定機能	18.4.9.11 章
	TAUDTTINm 入力信号幅判定機能	18.4.9.12 章
チャンネル単体リアルタイム機能		18.4.10 章
	リアルタイム出力機能タイプ 1	18.4.10.1 章
	リアルタイム出力機能タイプ 2	18.4.10.2 章
チャンネル単体一斉書き換え機能		18.4.11 章
	一斉書き換えトリガ生成機能タイプ 1	18.4.11.1 章
チャンネル連動動作機能		18.4.12 章
	PWM 出力機能	18.4.12.1 章
	ワンショットパルス出力機能	18.4.12.2 章
	トリガスタート PWM 出力機能	18.4.12.3 章
	ディレイパルス出力機能	18.4.12.4 章
	オフセットトリガ出力機能	18.4.12.5 章
	A/D 変換トリガ出力機能タイプ 1	18.4.12.6 章
	三角波 PWM 出力機能	18.4.12.7 章
	デッドタイム付き三角波 PWM 出力機能	18.4.12.8 章
	A/D 変換トリガ出力機能タイプ 2	18.4.12.9 章
	割り込み要求信号間引き機能	18.4.12.10 章
	1 相 PWM 出力機能	18.4.12.11 章
連動非相補方式変調出力機能と連動相補方式変調出力機能		18.4.13 章
	非相補方式変調出力機能タイプ 1	18.4.13.1 章
	非相補方式変調出力機能タイプ 2	18.4.13.2 章
	相補方式変調出力機能	18.4.13.3 章

18.2.4 入出力と割り込み要求信号

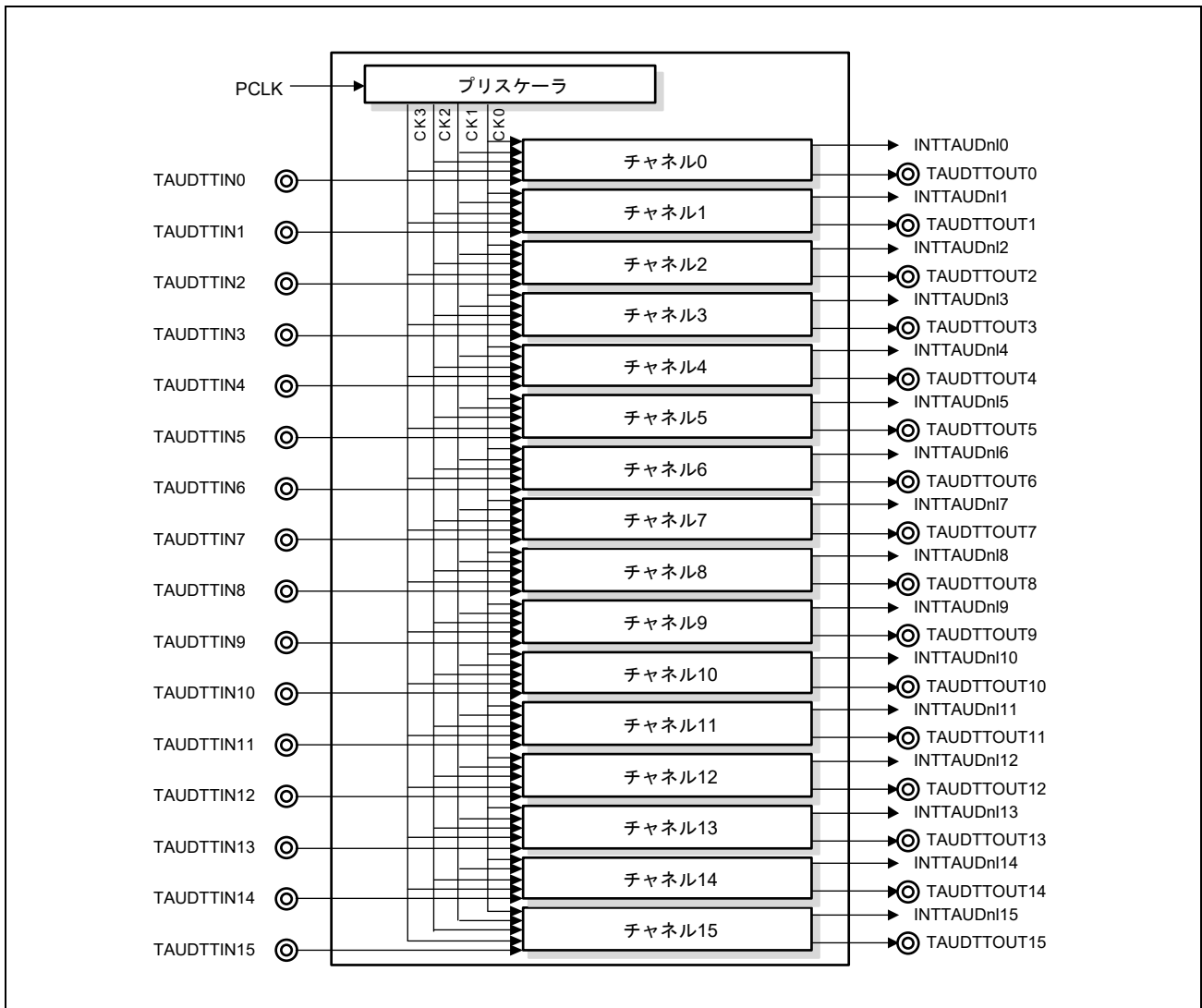


図 18.1 TAUD 入出力と割り込み要求信号

18.2.5 ブロック図

TAUD の主な構成要素を図 18.2 に示します。

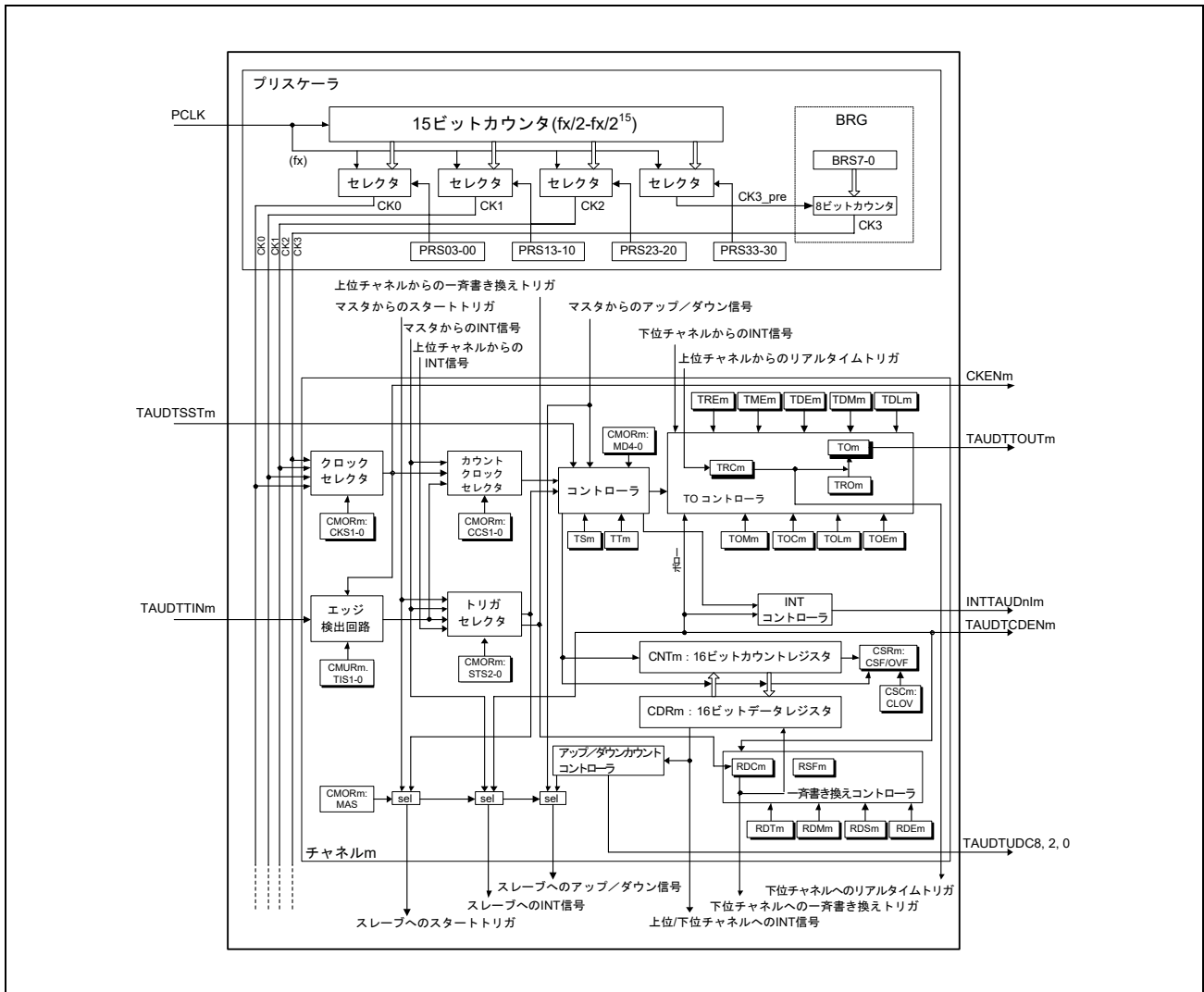


図 18.2 TAUD のブロック図

レジスタ名の「TAUDn」は、図を見やすくするために省略されています。

- TAUDTSSTm : 同時スタートトリガ (PIC1B から入力)

18.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウントクロックとして使用することができる最大 4 つのクロック信号 (CK0~CK3) を供給します。

カウントクロック CK0~CK2 は、プリスケーラにより PCLK の $2^0 \sim 2^{15}$ の分周したクロックを選択することができます。4 つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0~CK3 のいずれかのクロック (クロックセレクトにより選択)
- マスタチャンネルからの INTTAUDnIm
- TAUDTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUDnCMORm.TAUDnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUDnTS.TAUDnTSM) およびカウント停止 (TAUDnTT.TAUDnTTm)
カウントの開始を許可すると、ステータスフラグ TAUDnTE.TAUDnTEm がセットされます。
- カウント方式 (アップ/ダウン) (マスタチャンネルにより制御可能)

トリガセレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUDnTE.TAUDnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUDTSSTm
ユニット間の同時スタート方法の詳細は、「**24.2.3.1 同時スタートトリガ機能**」を参照してください。
- TAUDTTINm 入力の有効エッジ
- マスタ、または上位チャンネルからの INTTAUDnIm
- マスタチャンネルのアップ/ダウン出力トリガ信号
- TAUDTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作モードで使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUDnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUDnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

18.3 レジスタ

18.3.1 レジスタ一覧

TAUD のレジスタ一覧を以下の表に示します。

<TAUDn_base>は「**18.1.2 レジスタベースアドレス**」を参照してください。

表 18.10 TAUDn レジスタの概要

モジュール名	レジスタ名	略号	アドレス
TAUDn プリスケアラレジスタ			
TAUDn	TAUDn プリスケアラクロック選択レジスタ	TAUDnTPS	<TAUDn_base> + 240 _H
TAUDn	TAUDn プリスケアラポーレート設定レジスタ	TAUDnBRS	<TAUDn_base> + 244 _H
TAUDn 制御レジスタ			
TAUDn	TAUDn チャンネルデータレジスタ m	TAUDnCDRm	<TAUDn_base> + m × 4 _H
TAUDn	TAUDn チャンネルカウンタレジスタ m	TAUDnCNTm	<TAUDn_base> + 80 _H + m × 4 _H
TAUDn	TAUDn チャンネルモード OS レジスタ m	TAUDnCMORm	<TAUDn_base> + 200 _H + m × 4 _H
TAUDn	TAUDn チャンネルモードユーザレジスタ m	TAUDnCMURm	<TAUDn_base> + C0 _H + m × 4 _H
TAUDn	TAUDn チャンネルステータスレジスタ m	TAUDnCSRm	<TAUDn_base> + 140 _H + m × 4 _H
TAUDn	TAUDn チャンネルステータスクリアトリガレジスタ m	TAUDnCSCm	<TAUDn_base> + 180 _H + m × 4 _H
TAUDn	TAUDn チャンネルスタートトリガレジスタ	TAUDnTS	<TAUDn_base> + 1C4 _H
TAUDn	TAUDn チャンネル許可ステータスレジスタ	TAUDnTE	<TAUDn_base> + 1C0 _H
TAUDn	TAUDn チャンネルストップトリガレジスタ	TAUDnTT	<TAUDn_base> + 1C8 _H
TAUDn 出力レジスタ			
TAUDn	TAUDn チャンネル出力許可レジスタ	TAUDnTOE	<TAUDn_base> + 5C _H
TAUDn	TAUDn チャンネル出力レジスタ	TAUDnTO	<TAUDn_base> + 58 _H
TAUDn	TAUDn チャンネル出力モードレジスタ	TAUDnTOM	<TAUDn_base> + 248 _H
TAUDn	TAUDn チャンネル出力コンフィギュレーションレジスタ	TAUDnTOC	<TAUDn_base> + 24C _H
TAUDn	TAUDn チャンネル出力アクティブレベルレジスタ	TAUDnTOL	<TAUDn_base> + 40 _H
TAUDn	TAUDn チャンネルデッドタイム出力許可レジスタ	TAUDnTDE	<TAUDn_base> + 250 _H
TAUDn	TAUDn チャンネルデッドタイム出力モードレジスタ	TAUDnTDM	<TAUDn_base> + 254 _H
TAUDn	TAUDn チャンネルデッドタイム出力レベルレジスタ	TAUDnTDL	<TAUDn_base> + 54 _H
TAUDn	TAUDn チャンネルリアルタイム出力レジスタ	TAUDnTRO	<TAUDn_base> + 4C _H
TAUDn	TAUDn チャンネルリアルタイム出力許可レジスタ	TAUDnTRE	<TAUDn_base> + 258 _H
TAUDn	TAUDn チャンネルリアルタイム出力制御レジスタ	TAUDnTRC	<TAUDn_base> + 25C _H
TAUDn	TAUDn チャンネル変調出力許可レジスタ	TAUDnTME	<TAUDn_base> + 50 _H
TAUDn リロードデータレジスタ			
TAUDn	TAUDn チャンネルリロードデータ許可レジスタ	TAUDnRDE	<TAUDn_base> + 260 _H
TAUDn	TAUDn チャンネルリロードデータモードレジスタ	TAUDnRDM	<TAUDn_base> + 264 _H
TAUDn	TAUDn チャンネルリロードデータ制御 CH 選択レジスタ	TAUDnRDS	<TAUDn_base> + 268 _H
TAUDn	TAUDn チャンネルリロードデータ制御レジスタ	TAUDnRDC	<TAUDn_base> + 26C _H
TAUDn	TAUDn チャンネルリロードデータトリガレジスタ	TAUDnRDT	<TAUDn_base> + 44 _H
TAUDn	TAUDn チャンネルリロードステータスレジスタ	TAUDnRSF	<TAUDn_base> + 48 _H

18.3.2 TAUDnTPS — TAUDn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 240_H

リセット後の値 FFFF_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnPRS3[3:0]				TAUDnPRS2[3:0]				TAUDnPRS1[3:0]				TAUDnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.11 TAUDnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15~12	TAUDnPRS3[3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットの全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 18.11 TAUDnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11~8	TAUDnPRS2[3:0]	CK2 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUDnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUDnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
		TAUDnPRS2[3:0]	CK2 クロック																																	
		0000 _B	PCLK/2 ⁰																																	
		0001 _B	PCLK/2 ¹																																	
		0010 _B	PCLK/2 ²																																	
		0011 _B	PCLK/2 ³																																	
		0100 _B	PCLK/2 ⁴																																	
		0101 _B	PCLK/2 ⁵																																	
		0110 _B	PCLK/2 ⁶																																	
		0111 _B	PCLK/2 ⁷																																	
		1000 _B	PCLK/2 ⁸																																	
		1001 _B	PCLK/2 ⁹																																	
		1010 _B	PCLK/2 ¹⁰																																	
		1011 _B	PCLK/2 ¹¹																																	
		1100 _B	PCLK/2 ¹²																																	
		1101 _B	PCLK/2 ¹³																																	
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。																																				
7~4	TAUDnPRS1[3:0]	CK1 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUDnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUDnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
		TAUDnPRS1[3:0]	CK1 クロック																																	
		0000 _B	PCLK/2 ⁰																																	
		0001 _B	PCLK/2 ¹																																	
		0010 _B	PCLK/2 ²																																	
		0011 _B	PCLK/2 ³																																	
		0100 _B	PCLK/2 ⁴																																	
		0101 _B	PCLK/2 ⁵																																	
		0110 _B	PCLK/2 ⁶																																	
		0111 _B	PCLK/2 ⁷																																	
		1000 _B	PCLK/2 ⁸																																	
		1001 _B	PCLK/2 ⁹																																	
		1010 _B	PCLK/2 ¹⁰																																	
		1011 _B	PCLK/2 ¹¹																																	
		1100 _B	PCLK/2 ¹²																																	
		1101 _B	PCLK/2 ¹³																																	
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。																																				

表 18.11 TAUDnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能	
3~0	TAUDnPRS0[3:0]	CK0 クロックを指定します。	
		TAUDnPRS0[3:0]	CK0 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
		1110 _B	PCLK/2 ¹⁴
1111 _B	PCLK/2 ¹⁵		
上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。			

備 考

TAUDn クロック入力 PCLK については、この章の最初の節内「**18.1.3 クロック供給**」で定義しています。

18.3.3 TAUDnBRS — TAUDn プリスケラボーレート設定レジスタ

プリスケラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケラは、TAUDnTPS.TAUDnPRS3[3:0]で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 244_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	TAUDnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.12 TAUDnBRS レジスタの内容

ビット位置	ビット名	機能																
7~0	TAUDnBRS[7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUDnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE/1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE/2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE/3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE/4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE/255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE/256</td> </tr> </tbody> </table>	TAUDnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE/1	0000 0001 _B	CK3_PRE/2	0000 0010 _B	CK3_PRE/3	0000 0011 _B	CK3_PRE/4	1111 1110 _B	CK3_PRE/255	1111 1111 _B	CK3_PRE/256
TAUDnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE/1																	
0000 0001 _B	CK3_PRE/2																	
0000 0010 _B	CK3_PRE/3																	
0000 0011 _B	CK3_PRE/4																	
...	...																	
1111 1110 _B	CK3_PRE/255																	
1111 1111 _B	CK3_PRE/256																	

18.3.4 TAUDnCDRm — TAUDn チャネルデータレジスタ

このレジスタは、TAUDnCMORm.TAUDnMD[4:1]で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16ビット単位でリード/ライト可能です。
 キャプチャモード時はリードのみ可能です。ライト動作は無視されます。
 コンペアモード時はリード/ライト可能です。

アドレス <TAUDn_base> + 0_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

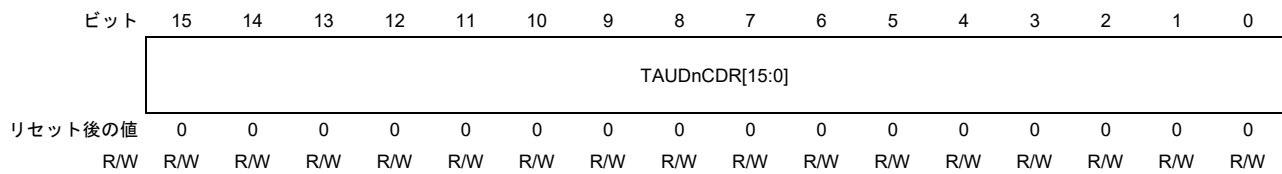


表 18.13 TAUDnCDRm レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnCDR[15:0]	キャプチャ値/コンペア値用データレジスタ

18.3.5 TAUDnCNTm — TAUDn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUDn_base> + 80_H + m × 4_H

リセット後の値 FFFF_H リセット後の値は動作モードによって異なります。「表 18.15 カウント再許可後の TAUDnCNTm リード値」を参照してください。どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.14 TAUDnCNTm レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnCNT[15:0]	16 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUDnTS.TAUDnTSm、TAUDnTT.TAUDnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUDnTT.TAUDnTTm = 1)

カウント停止後 (TAUDnTE.TAUDnTEm = 0) と再許可後 (TAUDnTS.TAUDnTsm = 1) のカウンタの初期リード値を表 18.15 に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUDnTS.TAUDnTsm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 18.15 カウント再許可後の TAUDnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUDnCNTm 値		
		リセット後	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF _H	停止値	—
ジャッジモード	ダウンカウント	FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 _H	停止値	—
イベントカウントモード	ダウンカウント	FFFF _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 _H	停止値	キャプチャ値+1 (TAUDnCDRm)
ジャッジ&ワンカウントモード	ダウンカウント	FFFF _H	停止値	TAUDnCNTm 値-1
アップ/ダウンカウントモード	アップ/ダウンカウント	FFFF _H	停止値	—
パルスワンカウントモード	ダウンカウント	FFFF _H	停止値	0000 _H
カウントキャプチャモード	アップカウント	0000 _H	停止値	—
キャプチャ&ゲートカウントモード	アップカウント	0000 _H	停止値	停止値

備 考

カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUDnCMORm.TAUDnMD[4:1]レジスタで変更します。

18.3.6 TAUDnCMORm — TAUDn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみライト可能です。

アドレス <TAUDn_base> + 200_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.16 TAUDnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15、14	TAUDnCKS[1:0]	<p>動作クロックを選択します。 動作クロックは TAUDTTINm 入力エッジ検出回路で使用します。 TAUDnCMORm.TAUDnCCS[1:0]ビットの設定により、カウントクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUDnCKS1</th> <th>TAUDnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUDnCKS1	TAUDnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUDnCKS1	TAUDnCKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13、12	TAUDnCCS[1:0]	<p>TAUDnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUDnCCS1</th> <th>TAUDnCCS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUDnCMORm.TAUDnCKS[1:0]で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUDTTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルの INTTAUDnIm 信号</td> </tr> </tbody> </table>	TAUDnCCS1	TAUDnCCS0	動作クロック選択	0	0	TAUDnCMORm.TAUDnCKS[1:0]で指定した動作クロック	0	1	TAUDTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタチャンネルの INTTAUDnIm 信号
TAUDnCCS1	TAUDnCCS0	動作クロック選択															
0	0	TAUDnCMORm.TAUDnCKS[1:0]で指定した動作クロック															
0	1	TAUDTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタチャンネルの INTTAUDnIm 信号															
11	TAUDnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。 0 : スレーブ 1 : マスタ このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、“0” に固定されています。</p>															

表 18.16 TAUDnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能			
10~8	TAUDnSTS[2:0]	外部スタートトリガを選択します。			
		TAUDnSTS2	TAUDnSTS1	TAUDnSTS0	機能説明
		0	0	0	ソフトウェアトリガ
		0	0	1	TAUDTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0]で指定
		0	1	0	TAUDTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用
		0	1	1	一斉書き換えトリガ
		1	0	0	マスタチャンネルの INTTAUDnIm がスタートトリガ
		1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUDnIm がスタートトリガ
		1	1	0	TAUDTOUTm 生成ユニットのデッドタイム出力信号
1	1	1	マスタチャンネルのアップ/ダウン出力トリガ信号		
7、6	TAUDnCOS[1:0]	チャンネル m のキャプチャレジスタ TAUDnCDRm とオーバフローフラグ TAUDnCSRm.TAUDnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャモードの時のみ有効です。			
		TAUDnCOS1	TAUDnCOS0	TAUDnCDRm	TAUDnCSRm.TAUDnOVF
		0	0	TAUDTTINm 入力有効エッジを検出すると更新	TAUDTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバーフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット 有効エッジを最後に検出してからカウンタオーバーフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア
		0	1		カウンタオーバーフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア
		1	0	TAUDTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生により更新	設定なし
1	1	<ul style="list-style-type: none"> TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれる オーバーフロー発生：FFFF_H が TAUDnCDRm にロードされる。次の TAUDTTINm 入力有効エッジ検出は無視される。 	カウンタオーバーフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア		

表 18.16 TAUDnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能																																																																																				
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																																																				
4~0	TAUDnMD[4:0]	<p>動作モードを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDn MD4</th> <th>TAUDn MD3</th> <th>TAUDn MD2</th> <th>TAUDn MD1</th> <th>TAUDn MD0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1/0</td> <td>インターバルタイマモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1/0</td> <td>ジャッジモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>キャプチャモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>イベントカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1/0</td> <td>ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>キャプチャ&ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1/0</td> <td>ジャッジ&ワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>アップ/ダウンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>パルスワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1/0</td> <td>カウントキャプチャモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>キャプチャ&ゲートカウントモード</td> </tr> </tbody> </table> <p>上記以外は設定禁止</p> <table border="1"> <thead> <tr> <th>モード</th> <th>TAUDnMD0 ビットの役割</th> </tr> </thead> <tbody> <tr> <td>インターバルタイマモード キャプチャモード カウントキャプチャモード</td> <td>カウント動作開始時 (スタートトリガ入力時) に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する</td> </tr> <tr> <td>イベントカウントモード アップ/ダウンカウントモード</td> <td>このビットは "0" (カウント動作開始時に INTTAUDnIm 信号を出力しない) に設定してください。</td> </tr> <tr> <td>ワンカウントモード パルスワンカウントモード</td> <td>カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可</td> </tr> <tr> <td>キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード</td> <td>このビットは "0" に設定してください。 注意: カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。</td> </tr> <tr> <td>ジャッジモード ジャッジ&ワンカウントモード</td> <td>INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時</td> </tr> </tbody> </table>	TAUDn MD4	TAUDn MD3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明	0	0	0	0	1/0	インターバルタイマモード	0	0	0	1	1/0	ジャッジモード	0	0	1	0	1/0	キャプチャモード	0	0	1	1	0	イベントカウントモード	0	1	0	0	1/0	ワンカウントモード	0	1	1	0	0	キャプチャ&ワンカウントモード	0	1	1	1	1/0	ジャッジ&ワンカウントモード	1	0	0	1	0	アップ/ダウンカウントモード	1	0	1	0	1/0	パルスワンカウントモード	1	0	1	1	1/0	カウントキャプチャモード	1	1	0	1	0	キャプチャ&ゲートカウントモード	モード	TAUDnMD0 ビットの役割	インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時 (スタートトリガ入力時) に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する	イベントカウントモード アップ/ダウンカウントモード	このビットは "0" (カウント動作開始時に INTTAUDnIm 信号を出力しない) に設定してください。	ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可	キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは "0" に設定してください。 注意: カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。	ジャッジモード ジャッジ&ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時
TAUDn MD4	TAUDn MD3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明																																																																																	
0	0	0	0	1/0	インターバルタイマモード																																																																																	
0	0	0	1	1/0	ジャッジモード																																																																																	
0	0	1	0	1/0	キャプチャモード																																																																																	
0	0	1	1	0	イベントカウントモード																																																																																	
0	1	0	0	1/0	ワンカウントモード																																																																																	
0	1	1	0	0	キャプチャ&ワンカウントモード																																																																																	
0	1	1	1	1/0	ジャッジ&ワンカウントモード																																																																																	
1	0	0	1	0	アップ/ダウンカウントモード																																																																																	
1	0	1	0	1/0	パルスワンカウントモード																																																																																	
1	0	1	1	1/0	カウントキャプチャモード																																																																																	
1	1	0	1	0	キャプチャ&ゲートカウントモード																																																																																	
モード	TAUDnMD0 ビットの役割																																																																																					
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時 (スタートトリガ入力時) に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する																																																																																					
イベントカウントモード アップ/ダウンカウントモード	このビットは "0" (カウント動作開始時に INTTAUDnIm 信号を出力しない) に設定してください。																																																																																					
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可																																																																																					
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは "0" に設定してください。 注意: カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。																																																																																					
ジャッジモード ジャッジ&ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時																																																																																					

18.3.7 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ

このレジスタは、TAUDTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + C0_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.17 TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能															
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1, 0	TAUDnTIS[1:0]	<p>TAUDTTINm 入力信号の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnTIS1</th> <th>TAUDnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ </td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ </td> </tr> </tbody> </table> <p>TAUDTTINm 入力信号のエッジ検出は、TAUDnCMORm.TAUDnCKS[1:0]で選択した動作クロックに基づいて行われます。</p>	TAUDnTIS1	TAUDnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がリエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ 	1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUDnTIS1	TAUDnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がリエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ 															
1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ 															

18.3.8 TAUDnCSRm — TAUDn チャネルステータスレジスタ

このレジスタは、チャンネル m のカウンタのカウント方向とオーバーフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUDn_base> + 140_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnCSF	TAUDnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 18.18 TAUDnCSRm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。
1	TAUDnCSF	カウント方向を示します。 0 : アップカウント 1 : ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 ● アップ/ダウンカウントモード
0	TAUDnOVF	カウンタオーバーフロー状態を示します。 0 : オーバフローが発生していない 1 : オーバフローが発生 このビットは、次のモード時のみ使用します。 ● キャプチャモード ● キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUDnCMORm.TAUDnCOS[1:0]の設定により異なります。

18.3.9 TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバフローフラグ TAUDnCSRm.TAUDnOVF をクリアするためのトリガレジスタです。

アクセス 8 ビット単位でライト可能です。リード値は常に 00_Hです。

アドレス <TAUDn_base> + 180_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUDnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 18.19 TAUDnCSCm レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUDnCLOV	0: 機能なし 1: オーバフローフラグ TAUDnCSRm.TAUDnOVF をクリア

18.3.10 TAUDnTS — TAUDn チャネルスタートトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16 ビット単位でライト可能です。リード値は常に 0000_Hです。

アドレス <TAUDn_base> + 1C4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTS15	TAUDnTS14	TAUDnTS13	TAUDnTS12	TAUDnTS11	TAUDnTS10	TAUDnTS09	TAUDnTS08	TAUDnTS07	TAUDnTS06	TAUDnTS05	TAUDnTS04	TAUDnTS03	TAUDnTS02	TAUDnTS01	TAUDnTS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 18.20 TAUDnTS レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTsm	チャンネル m のカウンタ動作を許可します。 0: 機能なし 1: カウンタ動作を許可し、TAUDnTE.TAUDnTEm = 1 を設定。 TAUDnTE.TAUDnTEm = 1 を設定しても、カウンタ動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

18.3.11 TAUDnTE — TAUDn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUDn_base> + 1C0_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TE15	TAUDn TE14	TAUDn TE13	TAUDn TE12	TAUDn TE11	TAUDn TE10	TAUDn TE09	TAUDn TE08	TAUDn TE07	TAUDn TE06	TAUDn TE05	TAUDn TE04	TAUDn TE03	TAUDn TE02	TAUDn TE01	TAUDn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.21 TAUDnTE レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTE _m	チャンネル m のカウンタ動作の許可/禁止を示します。 0 : カウンタ動作禁止 1 : カウンタ動作許可 TAUDTSS _{Tm} (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、 TAUDnTS.TAUDnTS _m を“1”にセットすると、このビットが“1”に設定されます。 TAUDnTT.TAUDnTT _m を“1”にセットすると、このビットが“0”にリセットされます。

備 考

ユニット間の同時スタート方法の詳細は「24.2.3.1 同時スタートトリガ機能」を参照してください。

18.3.12 TAUDnTT — TAUDn チャネルストップトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16 ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + 1C8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TT15	TAUDn TT14	TAUDn TT13	TAUDn TT12	TAUDn TT11	TAUDn TT10	TAUDn TT09	TAUDn TT08	TAUDn TT07	TAUDn TT06	TAUDn TT05	TAUDn TT04	TAUDn TT03	TAUDn TT02	TAUDn TT01	TAUDn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 18.22 TAUDnTT レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTT _m	チャンネル m のカウンタ動作を停止します。 0 : 機能なし 1 : カウンタ動作を停止し、TAUDnTE.TAUDnTE _m をリセットします。 TAUDnC _N T _m 、TAUDnTO.TAUDnTO _m 、TAUDTTOUT _m は、カウント停止前の値を保持し ます。

18.3.13 TAUDnRDE — TAUDn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUDnCDRm/TAUDnTOLm の一斉書き換えを許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 260_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDE15	TAUDnRDE14	TAUDnRDE13	TAUDnRDE12	TAUDnRDE11	TAUDnRDE10	TAUDnRDE09	TAUDnRDE08	TAUDnRDE07	TAUDnRDE06	TAUDnRDE05	TAUDnRDE04	TAUDnRDE03	TAUDnRDE02	TAUDnRDE01	TAUDnRDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.23 TAUDnRDE レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 1 : 一斉書き換え許可

18.3.14 TAUDnRDS — TAUDn チャンネルリロードデータ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16 ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 268_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDS15	TAUDnRDS14	TAUDnRDS13	TAUDnRDS12	TAUDnRDS11	TAUDnRDS10	TAUDnRDS09	TAUDnRDS08	TAUDnRDS07	TAUDnRDS06	TAUDnRDS05	TAUDnRDS04	TAUDnRDS03	TAUDnRDS02	TAUDnRDS01	TAUDnRDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.24 TAUDnRDS レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnRDSm	一斉書き換えトリガを制御するチャンネルを選択します。 0 : マスタチャンネル 1 : 別の上位チャンネル

18.3.15 TAUDnRDM — TAUDn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16 ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 264_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDM15	TAUDnRDM14	TAUDnRDM13	TAUDnRDM12	TAUDnRDM11	TAUDnRDM10	TAUDnRDM09	TAUDnRDM08	TAUDnRDM07	TAUDnRDM06	TAUDnRDM05	TAUDnRDM04	TAUDnRDM03	TAUDnRDM02	TAUDnRDM01	TAUDnRDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.25 TAUDnRDM レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャンネルのカウンタがカウントを開始したとき 1：三角波周期の山 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、TAUDnRDS.TAUDnRDSm = 0 時のみ適用されます。

18.3.16 TAUDnRDC — TAUDn チャネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUDnIm 信号を生成するチャンネルを指定します。

アクセス 16 ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 26C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDC15	TAUDnRDC14	TAUDnRDC13	TAUDnRDC12	TAUDnRDC11	TAUDnRDC10	TAUDnRDC09	TAUDnRDC08	TAUDnRDC07	TAUDnRDC06	TAUDnRDC05	TAUDnRDC04	TAUDnRDC03	TAUDnRDC02	TAUDnRDC01	TAUDnRDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.26 TAUDnRDC レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガチャンネルとならない。 1：一斉書き換えトリガチャンネルとして動作する。 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、TAUDnRDS.TAUDnRDSm = 1 時のみ適用されます。

18.3.17 TAUDnRDT — TAUDn チャンネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16 ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + 44_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDT15	TAUDnRDT14	TAUDnRDT13	TAUDnRDT12	TAUDnRDT11	TAUDnRDT10	TAUDnRDT09	TAUDnRDT08	TAUDnRDT07	TAUDnRDT06	TAUDnRDT05	TAUDnRDT04	TAUDnRDT03	TAUDnRDT02	TAUDnRDT01	TAUDnRDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 18.27 TAUDnRDT レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可フラグ (TAUDnRSFm) を “1” とし、一斉書き換えトリガ待ち状態となります。

18.3.18 TAUDnRSF — TAUDn チャンネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16 ビット単位でリード可能です。

アドレス <TAUDn_base> + 48_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRSF15	TAUDnRSF14	TAUDnRSF13	TAUDnRSF12	TAUDnRSF11	TAUDnRSF10	TAUDnRSF09	TAUDnRSF08	TAUDnRSF07	TAUDnRSF06	TAUDnRSF05	TAUDnRSF04	TAUDnRSF03	TAUDnRSF02	TAUDnRSF01	TAUDnRSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.28 TAUDnRSF レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが行われたことを示します。 1: 一斉書き換え許可状態 (TAUDnRDTm = 1) で、一斉書き換へのトリガ待ちを示します。

18.3.19 TAUDnTOE — TAUDn チャンネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャンネル単体出力モードを許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 5C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOE15	TAUDn TOE14	TAUDn TOE13	TAUDn TOE12	TAUDn TOE11	TAUDn TOE10	TAUDn TOE09	TAUDn TOE08	TAUDn TOE07	TAUDn TOE06	TAUDn TOE05	TAUDn TOE04	TAUDn TOE03	TAUDn TOE02	TAUDn TOE01	TAUDn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.29 TAUDnTOE レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTOEm	チャンネル単体出力機能を許可/禁止します。 0 : タイマ単体出力機能を禁止 1 : タイマ単体出力機能を許可

18.3.20 TAUDnTO — TAUDn チャンネル出力レジスタ

このレジスタは、TAUDTTOUT_m レベルを指定およびリードします。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 58_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TO15	TAUDn TO14	TAUDn TO13	TAUDn TO12	TAUDn TO11	TAUDn TO10	TAUDn TO09	TAUDn TO08	TAUDn TO07	TAUDn TO06	TAUDn TO05	TAUDn TO04	TAUDn TO03	TAUDn TO02	TAUDn TO01	TAUDn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.30 TAUDnTO レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTOm	このレジスタは、TAUDTTOUT _m レベルを指定およびリードします。 0 : ロウレベル 1 : ハイレベル チャンネル単体出力機能が禁止されている (TAUDnTOEm = 0) TAUDnTOm ビットのみライト可能です。

18.3.21 TAUDnTOM — TAUDn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 248_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOM15	TAUDnTOM14	TAUDnTOM13	TAUDnTOM12	TAUDnTOM11	TAUDnTOM10	TAUDnTOM09	TAUDnTOM08	TAUDnTOM07	TAUDnTOM06	TAUDnTOM05	TAUDnTOM04	TAUDnTOM03	TAUDnTOM02	TAUDnTOM01	TAUDnTOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.31 TAUDnTOM レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTOMm	出力モードを指定します。 0 : チャネル単体動作 1 : チャネル連動動作 出力モードは「18.4.4 チャネル出力モード」にあるように、各チャネル出力制御ビットの設定によって変わります。

18.3.22 TAUDnTOC — TAUDn チャンネル出力コンフィギュレーションレジスタ

このレジスタは、TAUDnTOMm とともに各チャンネルの出力モードを指定します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 24C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOC15	TAUDn TOC14	TAUDn TOC13	TAUDn TOC12	TAUDn TOC11	TAUDn TOC10	TAUDn TOC09	TAUDn TOC08	TAUDn TOC07	TAUDn TOC06	TAUDn TOC05	TAUDn TOC04	TAUDn TOC03	TAUDn TOC02	TAUDn TOC01	TAUDn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.32 TAUDnTOC レジスタの内容

ビット位置	ビット名	機能															
15~0	TAUDnTOCm	出力モードを指定します。 0: 動作モード 1 1: 動作モード 2 次の表にあるように、出力モードは TAUDnTOM.TAUDnTOMm の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TOMm</th> <th>TOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャンネル連動動作モード 1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>チャンネル連動動作モード 2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。</td> </tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。	0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード 1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。	1	1	チャンネル連動動作モード 2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。
TOMm	TOCm	機能説明															
0	0	トグルモード: INTTAUDnIm 発生時にトグル動作が行われます。															
0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。															
1	0	チャンネル連動動作モード 1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。															
1	1	チャンネル連動動作モード 2: ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。															

18.3.23 TAUDnTOL — TAUDn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 040_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOL15	TAUDnTOL14	TAUDnTOL13	TAUDnTOL12	TAUDnTOL11	TAUDnTOL10	TAUDnTOL09	TAUDnTOL08	TAUDnTOL07	TAUDnTOL06	TAUDnTOL05	TAUDnTOL04	TAUDnTOL03	TAUDnTOL02	TAUDnTOL01	TAUDnTOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.33 TAUDnTOL レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTOLm	チャネル m 出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャネル単体出力モード及びチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

18.3.24 TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ

このレジスタは、全チャネルのデッドタイム動作を許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 250_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDE15	TAUDnTDE14	TAUDnTDE13	TAUDnTDE12	TAUDnTDE11	TAUDnTDE10	TAUDnTDE09	TAUDnTDE08	TAUDnTDE07	TAUDnTDE06	TAUDnTDE05	TAUDnTDE04	TAUDnTDE03	TAUDnTDE02	TAUDnTDE01	TAUDnTDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.34 TAUDnTDE レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTDEm	チャネル m のデッドタイム制御動作を許可/禁止します。 0: デッドタイム動作禁止 1: デッドタイム動作許可 対になった偶数/奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm = 1

18.3.25 TAUDnTDM — TAUDn チャンネルデッドタイム出力モードレジスタ

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

アクセス 16 ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 254_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDM15	TAUDnTDM14	TAUDnTDM13	TAUDnTDM12	TAUDnTDM11	TAUDnTDM10	TAUDnTDM09	TAUDnTDM08	TAUDnTDM07	TAUDnTDM06	TAUDnTDM05	TAUDnTDM04	TAUDnTDM03	TAUDnTDM02	TAUDnTDM01	TAUDnTDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.35 TAUDnTDM レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0 : 上位偶数チャンネルのデューティサイクル検出時 (デューティデッドタイム出力) 1 : 下位奇数チャンネルの TIN 入力エッジ検出時 (1 相デッドタイム出力) 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、 TAUDnTDE.TAUDnTDEm = 1

18.3.26 TAUDnTDL — TAUDn チャンネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 54_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDL15	TAUDnTDL14	TAUDnTDL13	TAUDnTDL12	TAUDnTDL11	TAUDnTDL10	TAUDnTDL09	TAUDnTDL08	TAUDnTDL07	TAUDnTDL06	TAUDnTDL05	TAUDnTDL04	TAUDnTDL03	TAUDnTDL02	TAUDnTDL01	TAUDnTDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.36 TAUDnTDL レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTDLm	デッドタイムを付加する位相を選択します。 0 : 正相 1 : 逆相 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、 TAUDnTDE.TAUDnTDEm = 1

18.3.27 TAUDnTRE — TAUDn チャンネルリアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 258_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRE15	TAUDn TRE14	TAUDn TRE13	TAUDn TRE12	TAUDn TRE11	TAUDn TRE10	TAUDn TRE09	TAUDn TRE08	TAUDn TRE07	TAUDn TRE06	TAUDn TRE05	TAUDn TRE04	TAUDn TRE03	TAUDn TRE02	TAUDn TRE01	TAUDn TRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.37 TAUDnTRE レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTREm	チャンネル m のリアルタイム出力を許可／禁止します。 0 : リアルタイム出力禁止 1 : リアルタイム出力許可 これらのビット設定は TAUDnTOE.TAUDnTOEm = 1 時のみ適用されます。 TAUDnTRE.TAUDnTREm = 0 の場合、TAUDTTOUTm はリアルタイム出力の影響を受けません。 TAUDnTRE.TAUDnTREm = 1 の場合、TAUDTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUDnTRO.TAUDnTROm の値を出力します。

18.3.28 TAUDnTRC — TAUDn チャンネルリアルタイム出力制御レジスタ

このレジスタは、各チャンネルのリアルタイム出力トリガを制御します。

アクセス 16 ビット単位でリード／ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 25C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRC15	TAUDn TRC14	TAUDn TRC13	TAUDn TRC12	TAUDn TRC11	TAUDn TRC10	TAUDn TRC09	TAUDn TRC08	TAUDn TRC07	TAUDn TRC06	TAUDn TRC05	TAUDn TRC04	TAUDn TRC03	TAUDn TRC02	TAUDn TRC01	TAUDn TRC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.38 TAUDnTRC レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTRCm	チャンネル m のリアルタイム出力トリガを生成するチャンネルを指定します。 0 : このビットが “1” に設定されている次の上位チャンネル 1 : チャンネル m これらのビット設定は TAUDnTRE.TAUDnTREm = 1 時のみ適用されます。

18.3.29 TAUDnTRO — TAUDn チャンネルリアルタイム出力レジスタ

このレジスタには、TAUDTTOUTm に出力する値を設定します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 4C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTRO15	TAUDnTRO14	TAUDnTRO13	TAUDnTRO12	TAUDnTRO11	TAUDnTRO10	TAUDnTRO09	TAUDnTRO08	TAUDnTRO07	TAUDnTRO06	TAUDnTRO05	TAUDnTRO04	TAUDnTRO03	TAUDnTRO02	TAUDnTRO01	TAUDnTRO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.39 TAUDnTRO レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTROm	TAUDTTOUTm に出力する値を設定します。 0 : ローレベル 1 : ハイレベル TAUDnTRE.TAUDnTREM = 0 のとき、リアルタイム出力トリガが発生しても TAUDnTROm の値は TAUDTTOUTm には出力されません。

18.3.30 TAUDnTME — TAUDn チャンネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可/禁止します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 50_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTME15	TAUDnTME14	TAUDnTME13	TAUDnTME12	TAUDnTME11	TAUDnTME10	TAUDnTME09	TAUDnTME08	TAUDnTME07	TAUDnTME06	TAUDnTME05	TAUDnTME04	TAUDnTME03	TAUDnTME02	TAUDnTME01	TAUDnTME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.40 TAUDnTME レジスタの内容

ビット位置	ビット名	機能
15~0	TAUDnTME _m	チャンネル m のタイマ出力とリアルタイム出力の変調出力を許可/禁止します。 0 : 変調禁止 1 : 変調許可 これらのビット設定は TAUDnTOE.TAUDnTOEm、TAUDnTRE.TAUDnTREM = 1 時にのみ適用されます。

18.4 機能

18.4.1 基本操作手順

TAUDn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUDTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

- (1) TAUDnTPS と TAUDnBRS レジスタを設定して CK0～CK3 のクロック周波数を指定してください。
- (2) 任意の TAUDn 機能を設定してください。
 - 動作モードを設定してください。
 - チャンネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
- (3) TAUDnTS.TAUDnTSM ビットを“1”に設定してカウンタ動作を許可してください。
カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
- (4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDnTT.TAUDnTTm ビットを“1”に設定してください。強制リスタートは TAUDnTS.TAUDnTSM ビットを“1”に設定してください。
- (5) TAUDnTT.TAUDnTTm ビットを“1”に設定して機能を停止してください。

備 考

必要な制御ビットと各機能の動作の詳細は、

- 「18.4.9 チャンネル単体動作機能」
- 「18.4.12 チャンネル連動動作機能」

を参照してください。

18.4.2 チャンネル連動動作の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせることで実現する機能です。チャンネルの設定には、いくつかのルールがあります。ルールの詳細は、「**18.4.2.1 チャンネル連動動作のルール**」に示します。

チャンネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- 「**18.4.2.2 連動チャンネルカウンタの同時動作開始/停止**」
- 「**18.4.3 一斉書き換え**」

18.4.2.1 チャンネル連動動作のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2、CH4、…）のみ設定できます。スレーブチャンネルには、CH0 を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1 つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2 がマスタチャンネルの場合、CH3 以下（CH3、CH4、CH5、…）をスレーブチャンネルに設定できます。
- マスタチャンネルを複数使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH4 がマスタチャンネルの場合、CH0 に対して CH1～CH3 までをスレーブチャンネルとして設定できますが、CH5～CH15 は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルの TAUDnCMORm.TAUDnCKS[1:0] ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図 18.3 に示します。

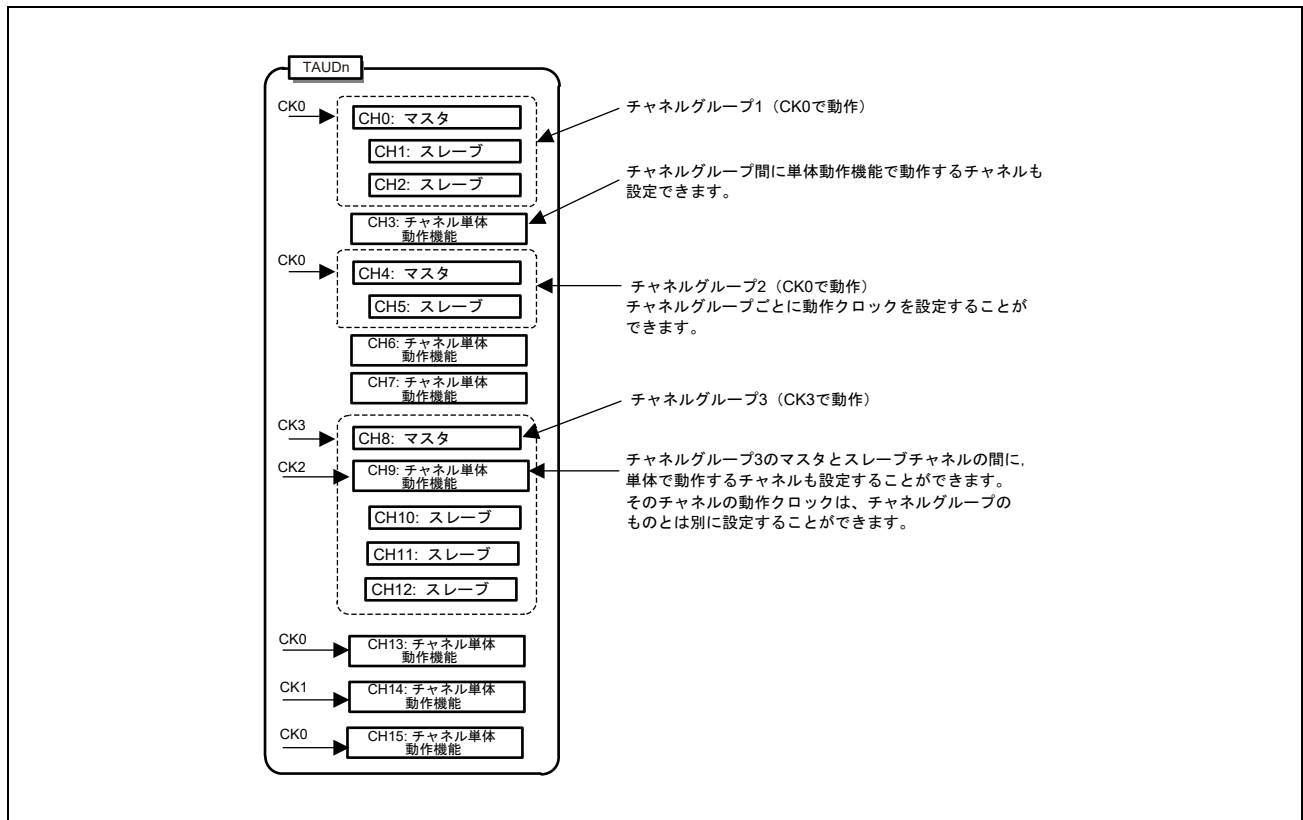


図 18.3 チャンネルのグループ化と動作クロックの割り当て

マスタチャンネル、スレーブチャンネルの制御トリガ信号

- マスタチャンネルは、制御トリガ信号をスレーブチャンネルに出力することができます。
- スレーブチャンネルは、マスタチャンネルの制御トリガ信号を使用できますが、スレーブチャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタチャンネルは、自身より上位のマスタチャンネルの制御トリガ信号を使用することはできません。

18.4.2.2 連動チャンネルカウンタの同時動作開始/停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始/停止することができます。

(1) ユニット内の連動チャンネルカウンタの同時動作開始/停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUDnTS.TAUDnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUDnTT.TAUDnTTm ビットを同時に設定する必要があります。

TAUDnTS.TAUDnTSM ビットに“1”を設定することにより、対応する TAUDnTE.TAUDnTEm ビットが“1”にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、「**24.2.3.1 同時スタートトリガ機能**」を参照してください。

18.4.3 一斉書き換え

18.4.3.1 動作概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUDnCDRm、TAUDnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUDnRDC.TAUDnRDCm で指定された上位チャンネルにて INTTAUDnIm が発生した場合

一斉書き換えは 4 つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを **表 18.41** に示します。

表 18.41 一斉書き換え方法とトリガタイミング

方式	一斉書き換えがトリガされるタイミング	TAUDnRDE. TAUDnRDEm	TAUDnRDS. TAUDnRDSm	TAUDnRDM. TAUDnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャンネルがカウントを再開/開始した場合	1	0	0
B	マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波周期の[山]のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1

4つの方法のうち、各チャンネル動作機能で使用できる方法を表 18.42 に示します。各チャンネル動作機能の詳細は、「18.4.9 チャンネル単体動作機能」と「18.4.12 チャンネル連動動作機能」を参照してください。

表 18.42 各チャンネル動作機能の一斉書き換え対応

機能	A	B	C1	C2
一斉書き換えトリガ出力機能タイプ 1			○	
PWM 出力機能	○		○	
ワンショットパルス出力機能	○			
トリガスタート PWM 出力機能	○			○
ディレイパルス出力機能	○			
三角波 PWM 出力機能		○	○	
デッドタイム付き三角波 PWM 出力機能		○	○	
割り込み要求信号間引き機能	○	○	○	
AD 変換トリガ出力機能タイプ 1	○		○	
AD 変換トリガ出力機能タイプ 2		○	○	
非相補方式変調出力機能タイプ 1	○		○	
非相補方式変調出力機能タイプ 2		○	○	
相補方式変調出力機能		○	○	

備考 ○ : 使用可能

空欄 : 使用不可能

18.4.3.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を図 18.4 に示します。3つの主なブロック（初期設定、カウント開始&カウント動作、一斉書き換え）は後述します。

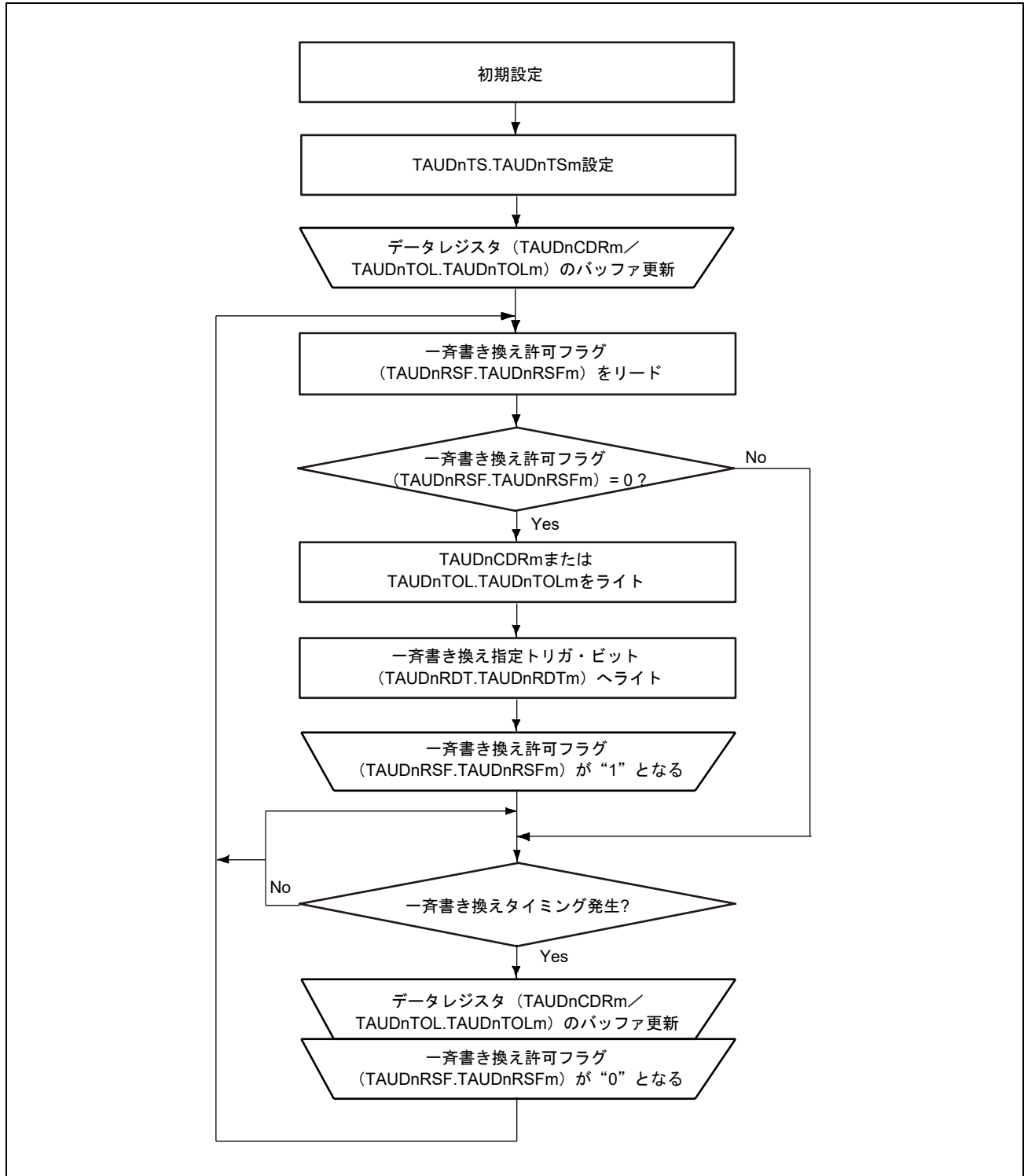


図 18.4 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、 $TAUDnRDE.TAUDnRDEm = 1$ を設定してください。
- 一斉書き換えの種類を選ぶには、 $TAUDnRDM.TAUDnRDMm$ と $TAUDnRDS.TAUDnRDSm$ を「表 18.41 一斉書き換え方法とトリガタイミング」に示す値に設定してください。
- $TAUDnRDC.TAUDnRDCm$ で、一斉書き換えトリガ生成チャンネルを指定してください（前提：上位チャンネルに $TAUDnRDS.TAUDnRDSm$ が設定されている）。

(2) カウント開始とカウント動作

- チャンネルグループに属するすべての $TAUDnCNTm$ カウンタ動作を開始するには、対応する $TAUDnTS.TAUDnTSm$ ビットを“1”に設定してください。 $TAUDnTOL.TAUDnTOLm$ とデータレジスタ ($TAUDnCDRm$) の値は、対応する $TAUDnTOL.TAUDnTOLm$ バッファ ($TAUDnTOL.TAUDnTOLm$ buf) とデータバッファレジスタ ($TAUDnCDRm$ buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット ($TAUDnRDT.TAUDnRDTm$) を“1”に設定することにより、リロードフラグ ($TAUDnRSF.TAUDnRSFm$) が“1”に設定され、一斉書き換えが許可されます。 $TAUDnRSF.TAUDnRSFm$ は一斉書き換えが完了するまで“1”のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 ($TAUDnRSF.TAUDnRSFm = 1$) されているかを確認するために $TAUDnRSF.TAUDnRSFm$ ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えが許可 ($TAUDnRSF.TAUDnRSFm = 1$) され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、 $TAUDnRSF.TAUDnRSFm$ ビットは“0”に設定され、システムは次の一斉書き換えトリガを待ちます。

18.4.3.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUDnTE.TAUDnTEm = 1) は、TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm、TAUDnRDM.TAUDnRDMm、TAUDnRDC.TAUDnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDnTOL.TAUDnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDnTOL.TAUDnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDTTOUTm は不正な値を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUDnRDS.TAUDnRDSm = 1)、すべての下位チャンネルは TAUDnRDC.TAUDnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDnRDC.TAUDnRDCm ビットを “1” に設定し、ほかのチャンネルの TAUDnRDC.TAUDnRDCm ビットを “0” に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3~CH6 を制御し、CH7 は、下位チャンネル CH8~CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUDnRDC.TAUDnRDC[15:0] = 0)、一斉書き換えは行いません。

18.4.3.4 一斉書き換えの種類

次に、タイミング図を使用して 4 つの一斉書き換え方法を説明します。

(1) マスタチャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

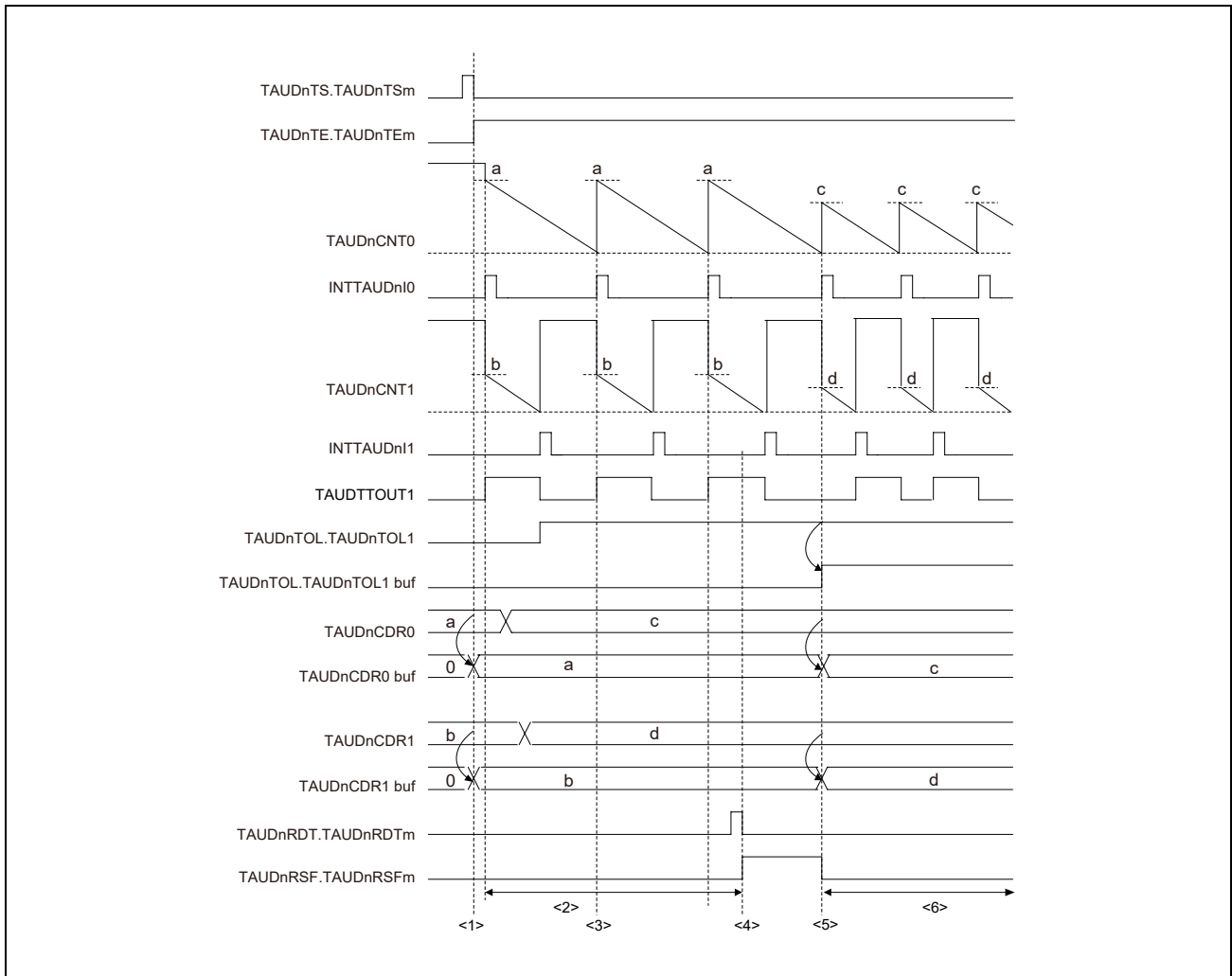


図 18.5 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

- CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 A が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL.TAUDnTOLm レジスタは常に書き込めます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。
- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

(2) スレーブチャンネルの三角波周期の[山]のタイミングで一斉書き換え (方法 B)

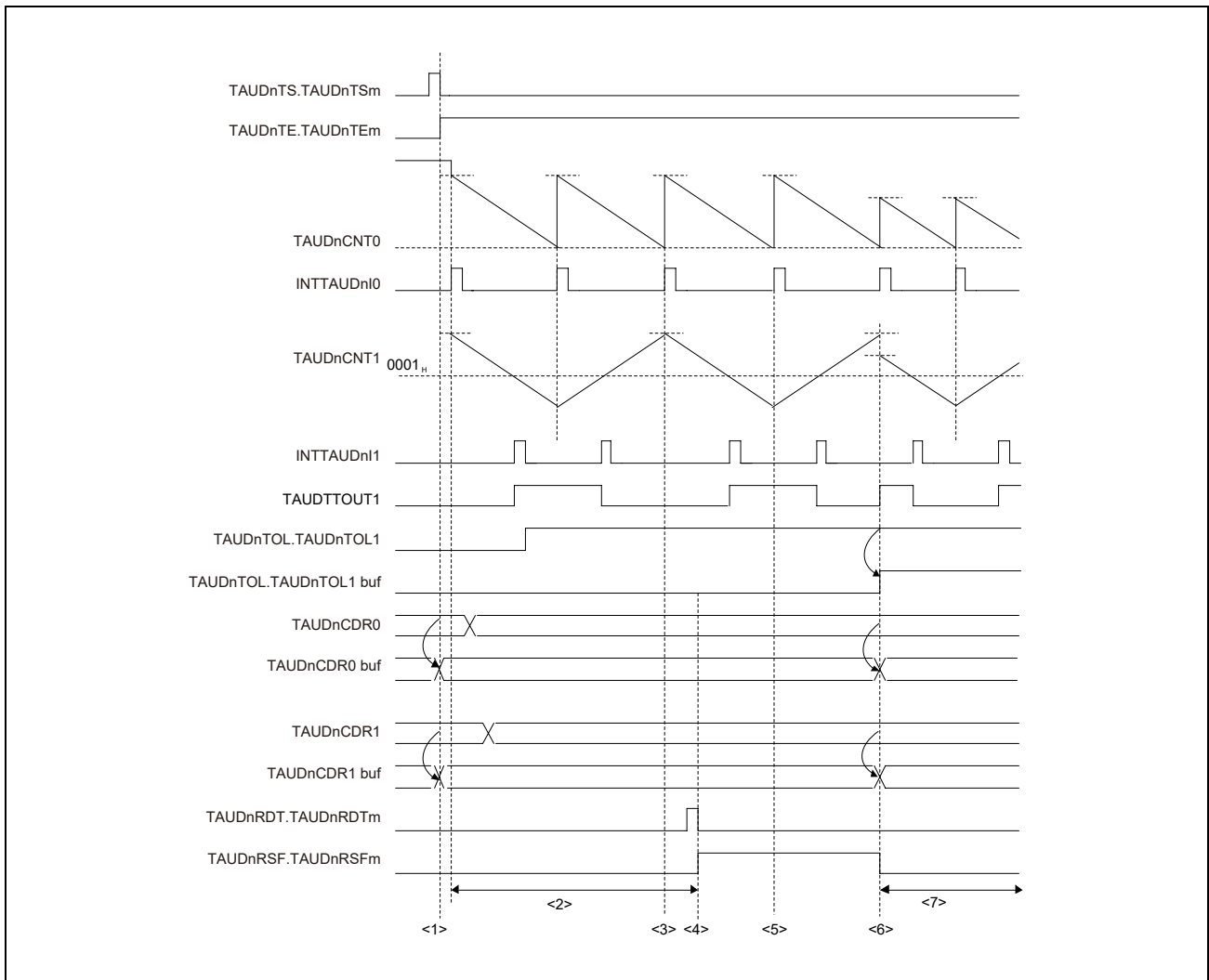


図 18.6 スレーブチャンネルの三角波周期の[山]のタイミングで一斉書き換え

設定

- CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 B が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL レジスタは常に書き込めます。
- (3) 一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。
- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えは、三角波周期の[谷]のタイミングでは発生しません。
- (6) 一斉書き換えは、三角波周期の[山]のスタートタイミングで行われます。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。
- (7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

(3) TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C1)

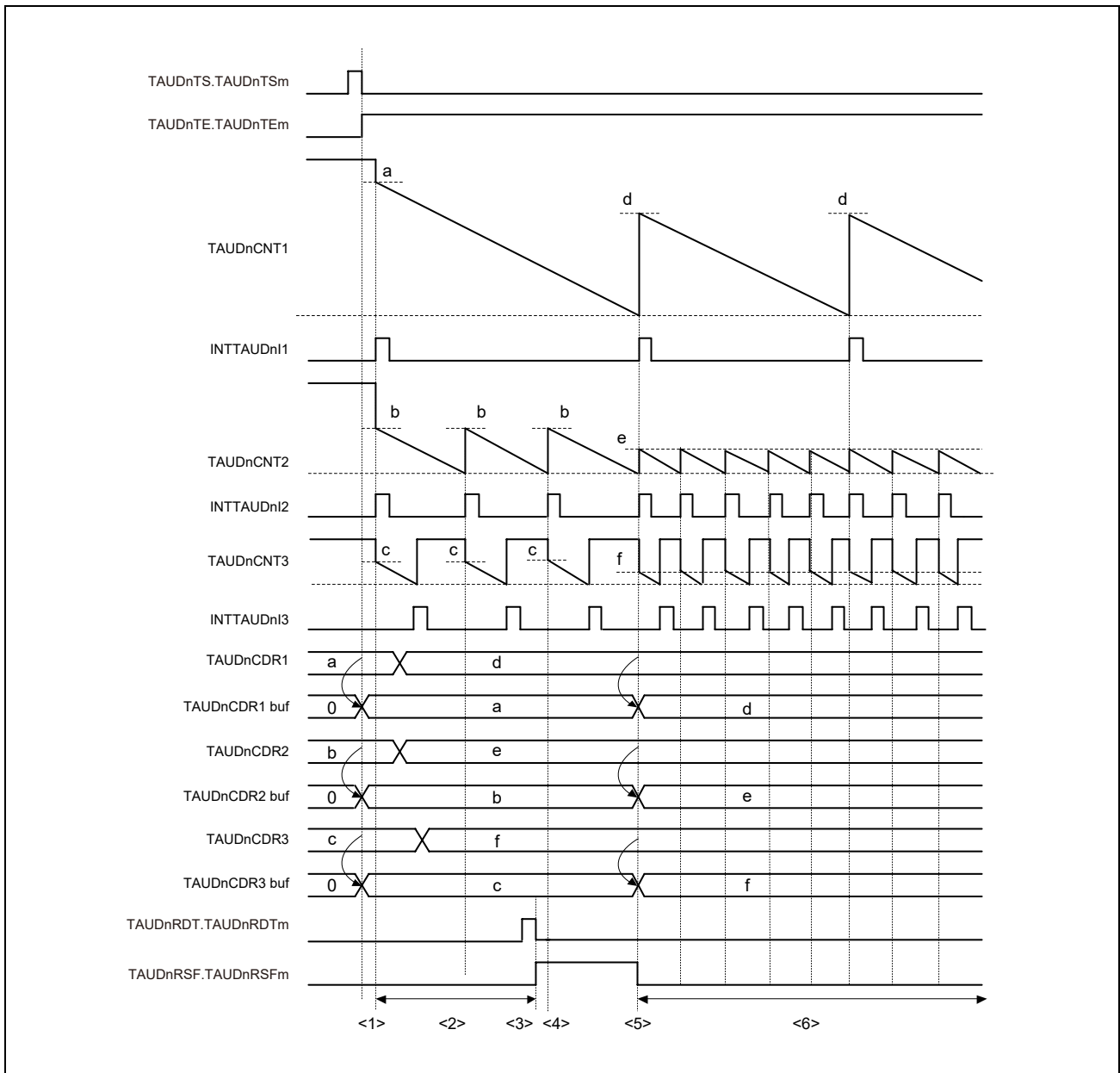


図 18.7 TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

- CH1 は、ダウンカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。一斉書き換え方法 C1 が適用されます。TAUDnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUDnCDRm の値は対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

(4) 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2)

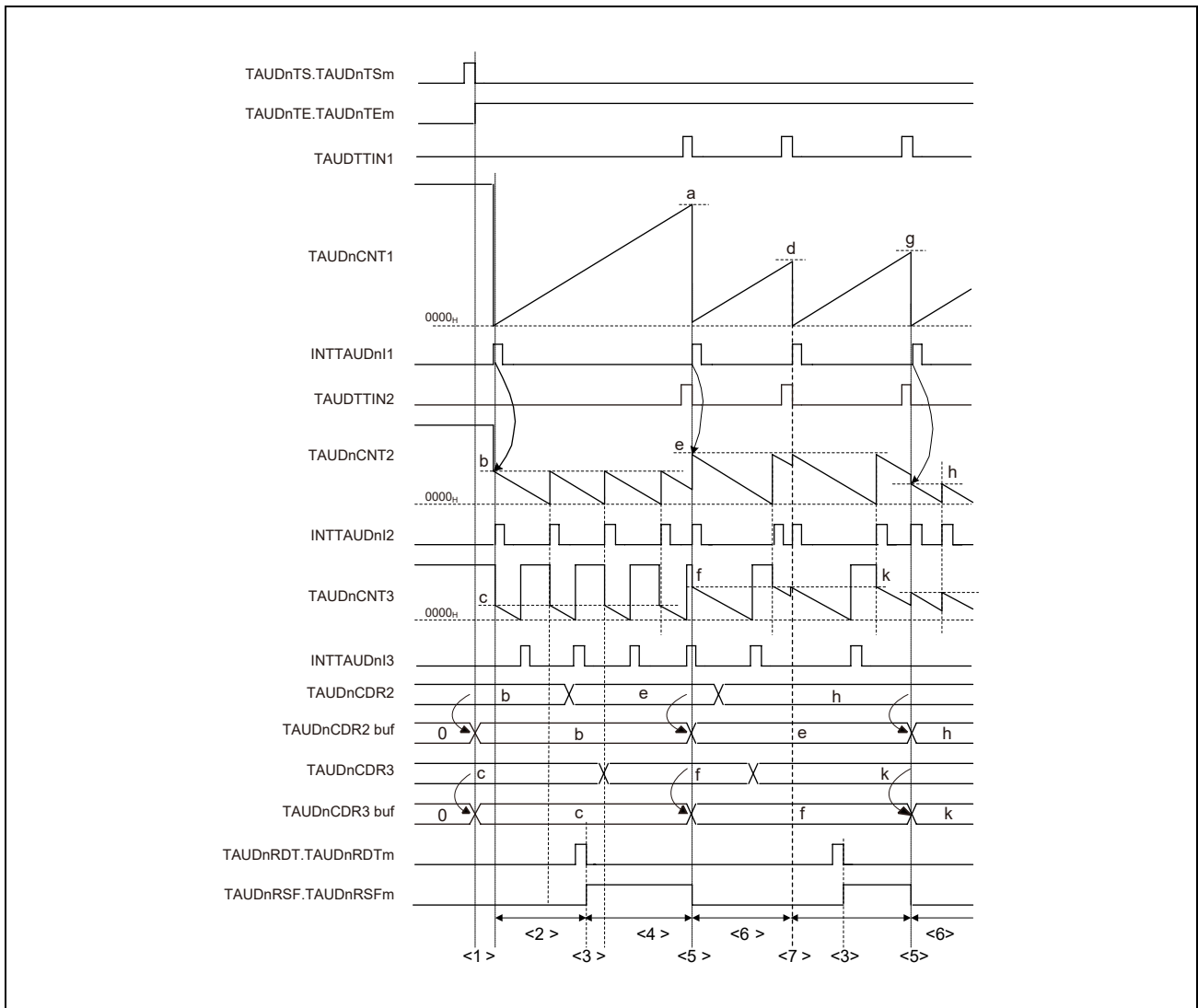


図 18.8 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、アップカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。チャンネル連動動作方法 C2 が適用されます。TAUDnRDC レジスタは、INTTAUDnIm トリガにてモニタする上位チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSm = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。ただし、TAUDnCDR1 はキャプチャモードのため、TAUDnCDR1 の値が TAUDnCDR1 バッファにコピーされません。
- (2) TAUDnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDnCDRm の値は、対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。
- (7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない (TAUDnRSF.TAUDnRSFm = 0) ため行われません。

18.4.4 チャネル出力モード

TAUDTTOUT_m 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUD_nTOE.TAUD_nTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUD_nTO.TAUD_nTOm) に書き込んだ値は、出力端子 (TAUDTTOUT_m) に転送されます。
- TAUD 信号による制御 (TAUD_nTOE.TAUD_nTOEm = 1)
TAUD 信号で制御した場合、TAUDTTOUT_m の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUDTTOUT_m の値を反映するために、TAUD_nTO.TAUD_nTOm の値は更新されます。
 - 単体制御 (TAUD_nTOM.TAUD_nTOMm = 0)
単体動作の場合、TAUDTTOUT_m 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUD_nTOM.TAUD_nTOMm = 0) する必要があります。
 - 連動制御 (TAUD_nTOM.TAUD_nTOMm = 1)
連動動作の場合、TAUDTTOUT_m 端子の出力は、チャンネル m とそのほかのチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUD_nTOM.TAUD_nTOMm = 1)。

TAUD_nTO.TAUD_nTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDTTOUT_m の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 18.43 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「18.4.4.2 TAUD_n 信号により単体制御されるチャンネル出力モード」
- 「18.4.4.3 TAUD_n 信号により連動制御されるチャンネル出力モード」

TAUD_nTOm ビットの一括操作

TAUD_nTOm ビットへの設定値の反映/非反映は、TAUD_nTOE.TAUD_nTOEm ビットにより制御されます。

TAUD_nTO レジスタにライトしたときに、TAUD_nTOE.TAUD_nTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUD_nTOm の設定値の書き込みが行われます。TAUD_nTOE.TAUD_nTOEm ビット = 1 を設定したビット (チャンネル) は、TAUD_nTOm の設定値は反映されません。

備 考

TAUD_nTO.TAUD_nTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUDnTOL.TAUDnTOLm で指定します。

TAUDnTOL.TAUDnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDnTOL.TAUDnTOLm を変更すると、TAUDTTOUTm 信号の出力は不定になります。

「18.4.3 一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 18.43 に示します。

表 18.43 チャンネル出力モード

チャンネル出力モード	TAUDn TOE. TAUDn TOEm	TAUDn TOM. TAUDn TOMm	TAUDn TOC. TAUDn TOCm	TAUDn TDE. TAUDn TDEm	TAUDn TRE. TAUDn TREm	TAUDn TME. TAUDn TMEm	TAUDn TDM. TAUDn TDMm
ソフトウェア制御							
ソフトウェア制御のチャンネル単体出力モード	0	X	X	X	X	X	X
TAUD 信号による単体動作制御							
チャンネル単体出力モード 1	1	0	0	0	0	0	0
リアルタイム出力を行うチャンネル単体出力モード 1	1	0	0	0	1	0	0
チャンネル単体出力モード 2	1	0	1	0	0	0	0
TAUD 信号による連動動作制御							
チャンネル連動出力モード 1	1	1	0	0	0	0	0
非相補方式変調出力を行うチャンネル連動出力モード 1	1	1	0	0	1	X	0
チャンネル連動出力モード 2	1	1	1	0	0	0	0
デッドタイム出力を行うチャンネル連動出力モード 2	1	1	1	1	0	0	0
1 相 PWM 出力を行うチャンネル連動出力モード 2	1	1	1	1	0	0	1
相補方式変調出力を行うチャンネル連動出力モード 2	1	1	1	1	1	1	0
非相補方式変調出力を行うチャンネル連動出力モード 2	1	1	1	0	1	1	0

注： 表に記述のない組み合わせは禁止です。

“X” が記されているビットは、任意の値を設定できます。

備 考

- 次のビットは、カウント動作中 (TAUDnTE.TAUDnTEm = 1) は変更できません。
 - TAUDnTOE.TAUDnTOEm
 - TAUDnTOM.TAUDnTOMm
 - TAUDnTOC.TAUDnTOCm
 - TAUDnTDE.TAUDnTDEm
 - TAUDnTRE.TAUDnTREm
 - TAUDnTDM.TAUDnTDMm
- 次のビットは、変調出力を行うチャンネル出力モードを除き、カウント動作中 (TAUDnTE.TAUDnTEm = 1) は変更できません。
 - TAUDnTME.TAUDnTMEm
 - TAUDnTDL.TAUDnTDLm

18.4.4.1 チャネル出力モードを指定するための基本手順

TAUDTTOUT_m チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUDnTOE.TAUDnTOEm = 0)。

- (1) TAUDnTO.TAUDnTOm を設定して TAUDTTOUT_m 出力の初期レベルを指定してください。
- (2) 「表 18.43 チャネル出力モード」を参照してチャネル出力モードを設定し、TAUDnTOL.TAUDnTOLm ビットで出力論理を設定してください。
- (3) カウンタのカウントを開始してください (TAUDnTS.TAUDnTSm = 1)。

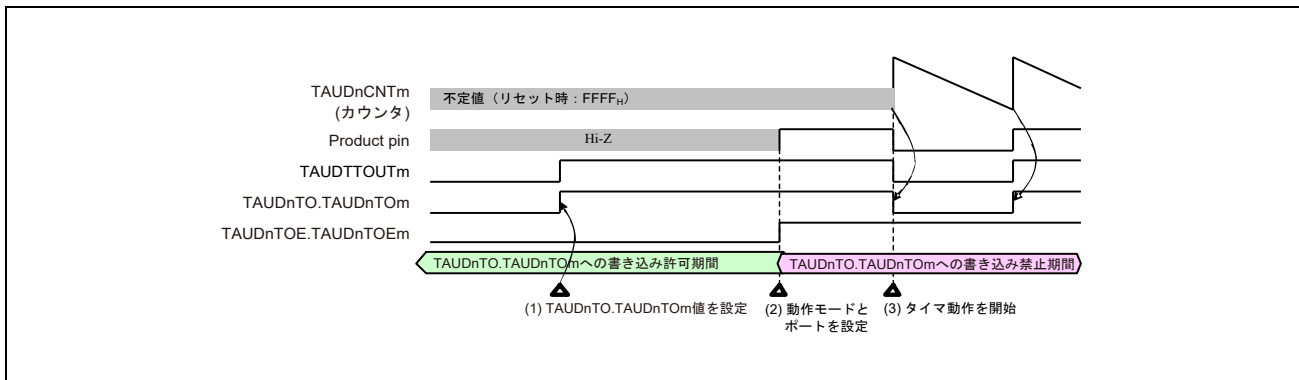


図 18.9 TAUDTTOUT_m チャネル出力モードを指定するための基本手順

18.4.4.2 TAUDn 信号により単体制御されるチャネル出力モード

この節では、TAUDn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「表 18.43 チャネル出力モード」に示します。

(1) チャネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUDnIm が検出されると TAUDTTOUT_m がトグルされます。TAUDnTOL.TAUDnTOLm の値は無視されます。

前提条件

「表 18.43 チャネル出力モード」に示す条件以外の条件はありません。

(2) リアルタイム出力を行うチャネル単体出力モード 1

この出力モードでは、トリガチャネルの TAUDnTRO.TAUDnTROm ビットが TAUDTTOUT_m に出力されません。トリガチャネルは、対応する TAUDnTRC.TAUDnTRCm ビットを“1”に設定することで指定します。トリガチャネルは、TAUDnTRC.TAUDnTRCm = 0 が設定されているすべての下位チャネルを制御します。

セット/リセット条件

TAUDnTRO.TAUDnTROm ビットの値は、トリガチャンネルで INTTAUDnIm 割り込みが発生した場合にのみ TAUDTTOUTm に転送されます。INTTAUDnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
- 有効な TAUDTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDnCMORm.TAUDnMD[4:1]ビットで設定します。

前提条件

マスタチャンネルおよびスレーブチャンネルは、ともにトリガ生成チャンネルとして設定できます。

TAUDnTRC.TAUDnTRCm を“1”に設定したチャンネルは、TAUDnTRE.TAUDnTREM の値にかかわらずトリガ生成チャンネルとして動作します。

上位チャンネルの TAUDnTRC.TAUDnTRCm に“1”を設定したチャンネルが上位にない場合、または TAUDnTRC.TAUDnTRC0 = 0 を設定したチャンネルは、リアルタイム出力を行いません。

これを図 18.10 に示します。

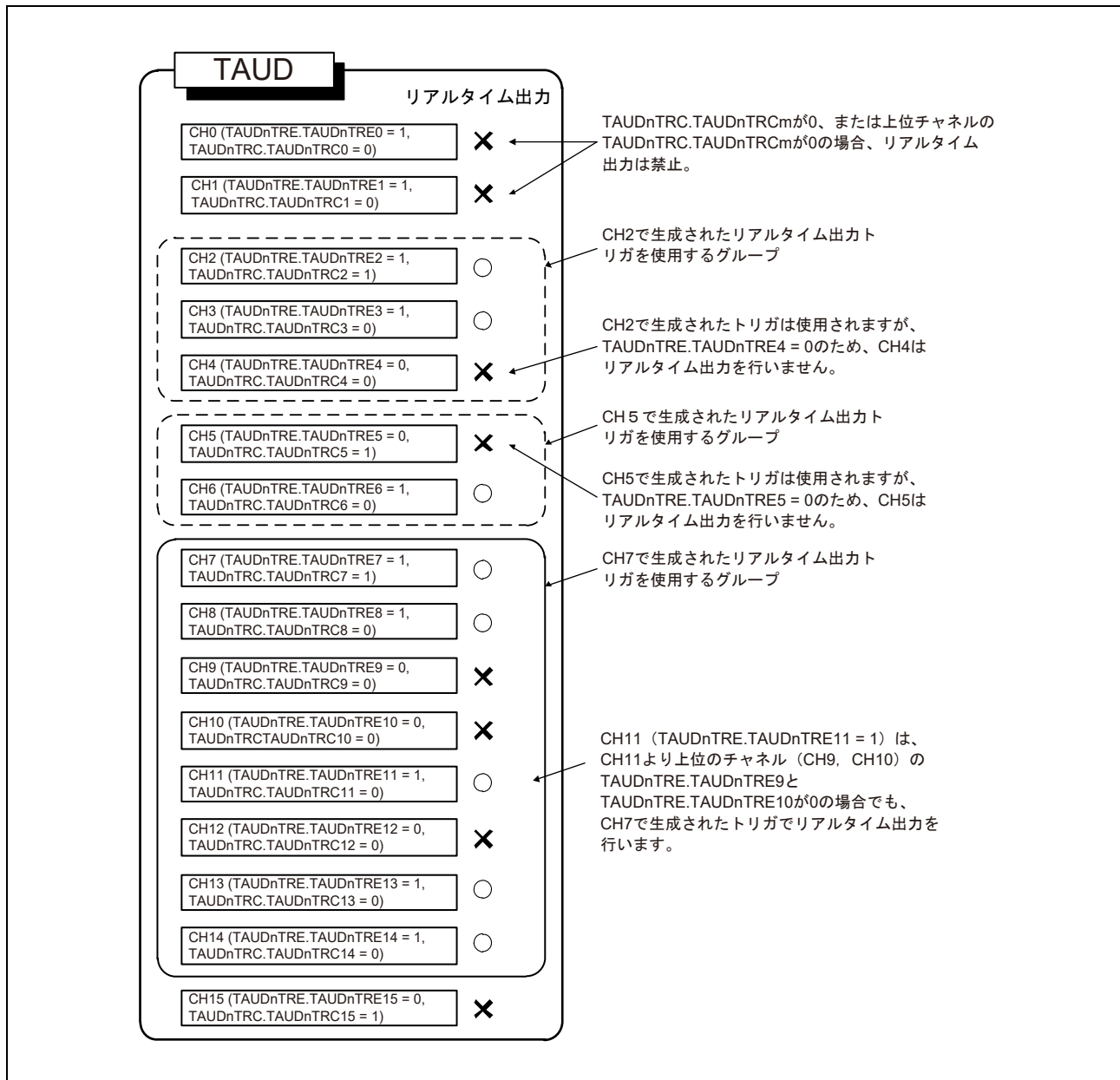


図 18.10 リアルタイム出力

(3) チャンネル単体出力モード 2

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、カウント開始の INTTAUDnIm 発生でセット、TAUDnCNTm と TAUDnCDRm の一致による INTTAUDnIm 発生でリセットされます。

前提条件

「表 18.43 チャンネル出力モード」に示す条件以外の条件はありません。

18.4.4.3 TAUDn 信号により連動制御されるチャンネル出力モード

この節では、TAUDn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 18.43 チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUDnIm がセット信号、スレーブチャンネルの INTTAUDnIm がリセット信号となります。マスタチャンネルの INTTAUDnIm とスレーブチャンネルの INTTAUDnIm が同時発生した場合、スレーブチャンネルの INTTAUDnIm (リセット信号) は、マスタチャンネルの INTTAUDnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 18.43 チャンネル出力モード」に示す条件以外の条件はありません。

(2) 非相補方式変調出力を行うチャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、あるチャンネルの PWM 出力とリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 間の AND 演算の結果を出力します。

デッドタイムが付加される位相は、正相位相の場合は $TAUDnTDL.TAUDnTDLm = 0$ 、逆相位相の場合は $TAUDnTDL.TAUDnTDLm = 1$ を設定してください。

前提条件

PWM 出力を生成するには 3 つ以上のチャンネル 1 組が必要です。マスタチャンネルとスレーブチャンネル 1 は周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャンネル 2 と同様に動作するスレーブチャンネルをさらに 5 つ使用します。

同じチャンネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEem を変更した場合、TAUDnTME.TAUDnTMEem の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEem と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、マスタチャンネルで INTTAUDnIm が検出されたときに適用されます。

(3) チャネル連動出力モード 2

この出力モードでは、動作モードをアップ/ダウンカウントモードに設定する必要があります。その結果、TAUDTTOUTm より三角波 PWM が出力されます。詳細は「**18.4.12.7 三角波 PWM 出力機能**」を参照してください。

セット/リセット条件

スレーブチャンネルの TAUDnCNTm は、アップ/ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUDTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには 2 つで 1 組のチャンネルが必要です。TAUDTTOUTm は、機能を開始する前に“0”に設定する必要があります。

(4) デッドタイム出力を行うチャンネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 18.11 に示します。

セット/リセット条件

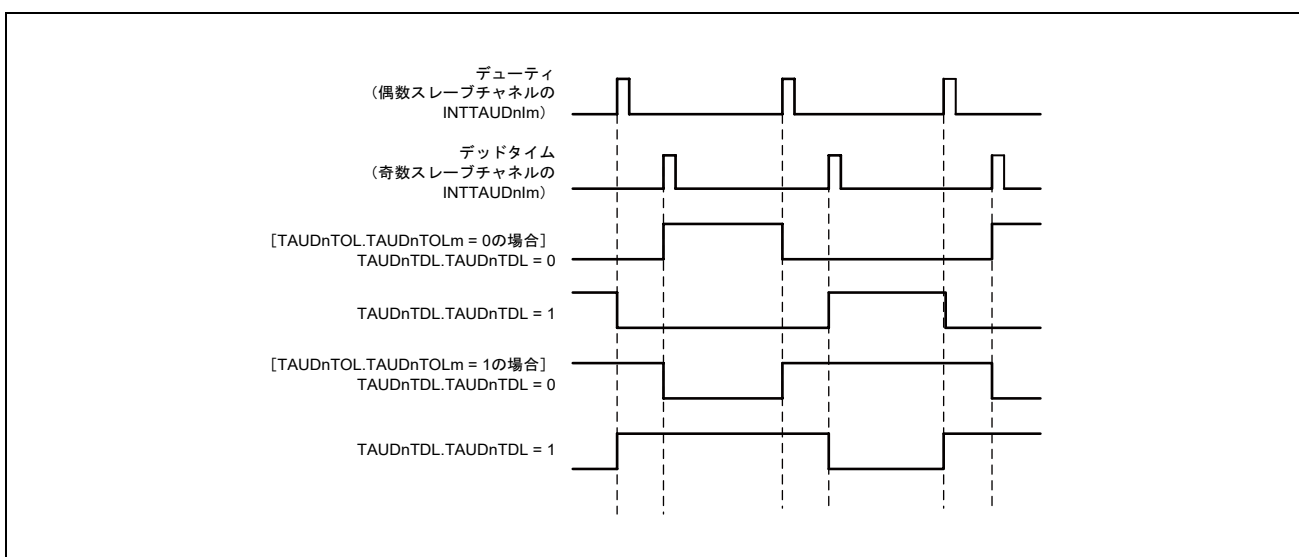


図 18.11 デッドタイム出力を行うチャンネル連動出力モード 2 のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する 3 つで 1 組のチャンネルが必要です。

- マスタチャンネル
マスタチャンネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャンネル
偶数スレーブチャンネルは、アップ/ダウンカウントモードに設定する必要があります。
- 奇数スレーブチャンネル (偶数チャンネル + 1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

(5) 1 相 PWM 出力を行うチャンネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 18.12 に示します。

セット/リセット条件

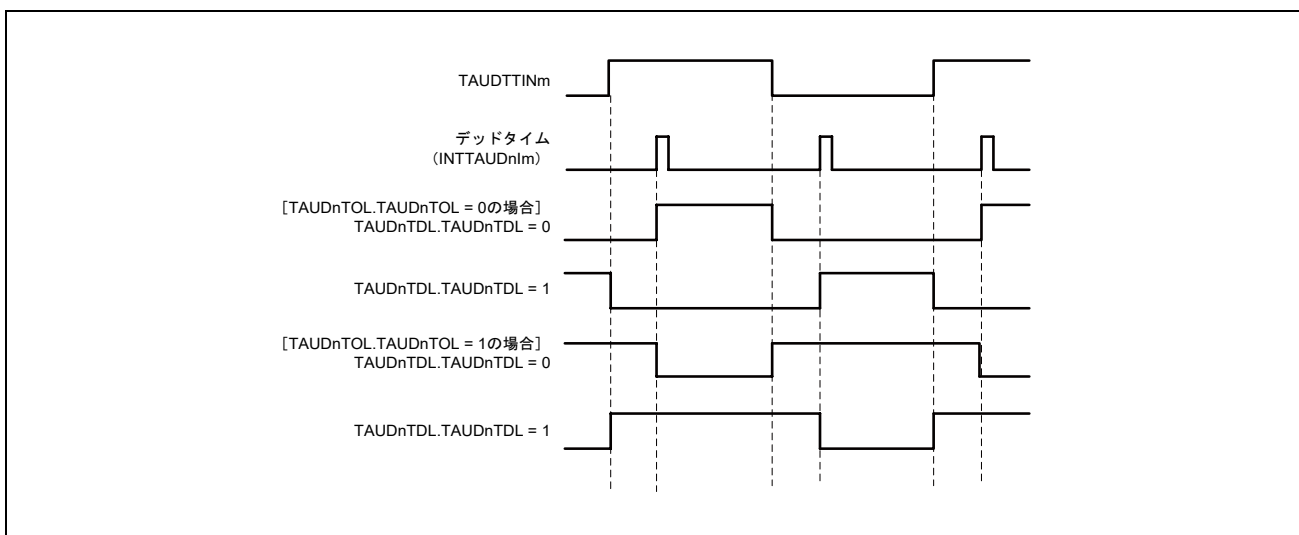


図 18.12 1 相 PWM 出力を行うチャンネル連動出力モード 2 のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

1 相 PWM 出力を制御するには、2 つで 1 組のチャンネルが必要です。

- 偶数スレーブチャンネル
- 奇数スレーブチャンネル (偶数チャンネル + 1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

(6) 相補方式変調出力を行うチャンネル連動出力モード 2

セット/リセット条件

この出力モードでは、TAUDTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEm)、出力レベルビット (TAUDnTOL.TAUDnTOLm) の値に応じて PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。

詳細は「**18.4.13.3 相補方式変調出力機能**」を参照してください。

前提条件

このモードでは、4 つ以上のチャンネル 1 組が必要です。マスタチャンネルとスレーブチャンネル 1 は周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成し、スレーブチャンネル 3 はデッドタイムを生成します。スレーブチャンネル 2 とスレーブチャンネル 3 は 2 つで 1 組です。代表的なアプリケーションでは、チャンネル 2、チャンネル 3 と同様に動作するスレーブチャンネルをさらに 4 つ使用します。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を動作中に変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、偶数スレーブチャンネルで INTTAUDnIm が検出されたときに適用されます。

(7) 非相補方式変調出力を行うチャンネル連動出力モード 2

非相補方式変調出力を行うチャンネル連動出力モード 1 とは PWM 波形が異なります。

モード 1 では矩形波ですが、モード 2 では三角波です。

18.4.5 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDnTS.TAUDnTSM を “1” に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

18.4.5.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモード

TAUDnTS.TAUDnTSM が “1” に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

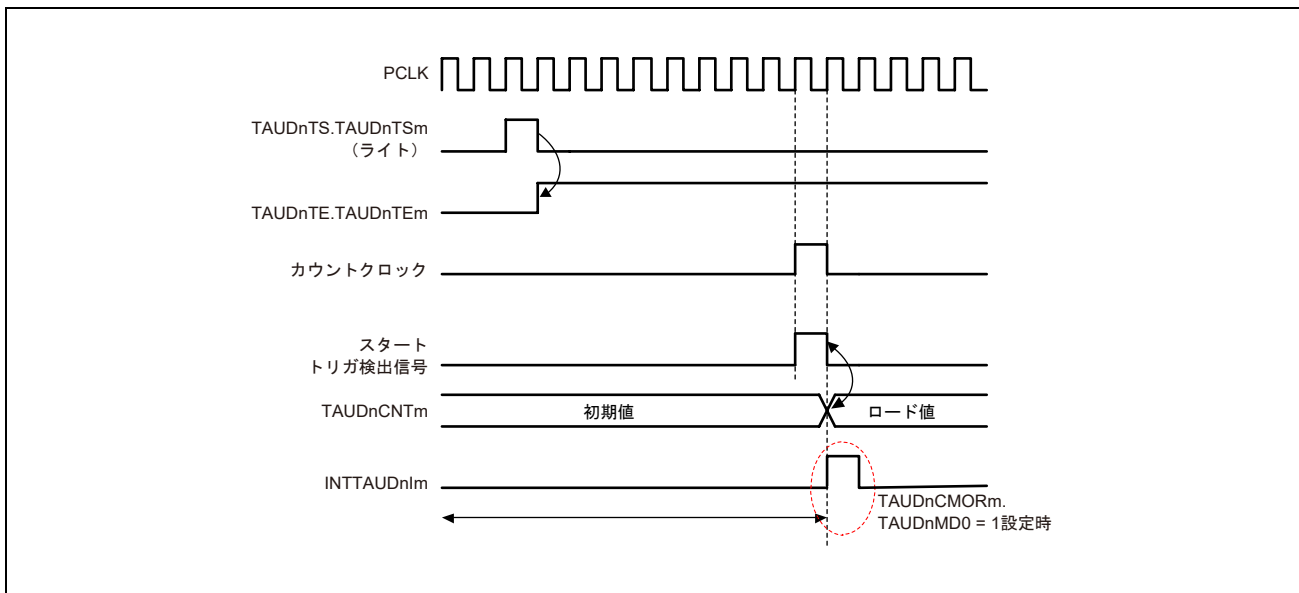


図 18.13 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備 考

アップ/ダウンカウントモード時は、必ず TAUDnCMORm.TAUDnMD0 = 0 に設定してください。

18.4.5.2 イベントカウントモード

TAUDnTS.TAUDnTSM が“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

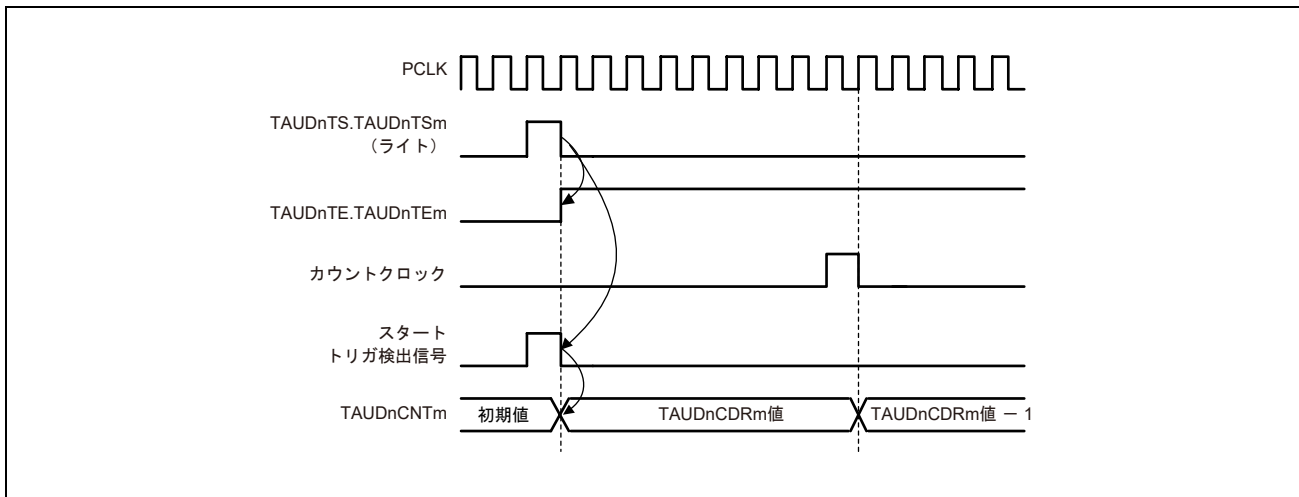


図 18.14 イベントカウントモード時の開始タイミング

18.4.5.3 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUDTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

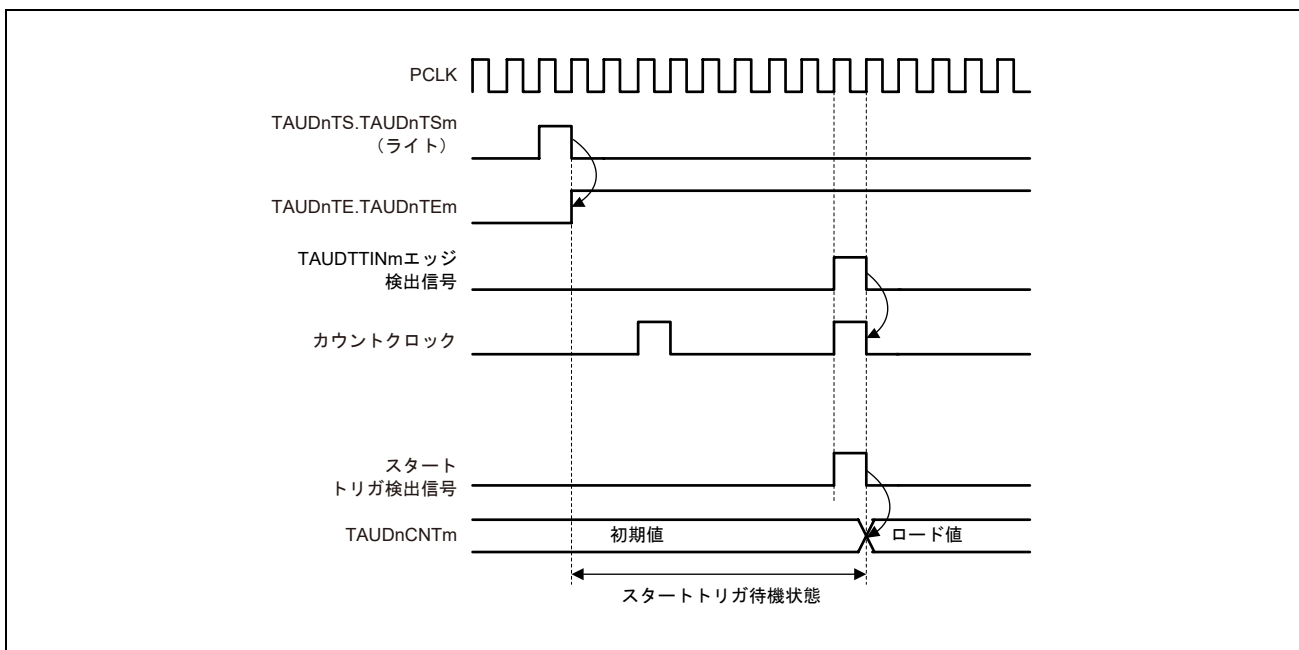


図 18.15 その他の動作モードでのカウント開始タイミング

18.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成

カウンタのカウント開始時、TAUDnCMORm.TAUDnMD0 ビットで INTTAUDnIm を発生するかしないかを指定できます。表 18.44 に示すように、ビットの影響は、選択したモードに依存します。INTTAUDnIm の TAUDTTOUTm に対する影響は、選択したチャネル動作機能に依存します。

表 18.44 カウンタがトリガされた場合の TAUDnCMORm.TAUDnMD0 ビットの INTTAUDnIm 発生に対する影響

モード	TAUDnCMORm.TAUDnMD0 ビット	カウント開始時の INTTAUDnIm 発生
インターバルタイマモード	0	発生しない
キャプチャモード カウントキャプチャモード	1	発生
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード イベントカウントモード アップ/ダウンカウントモード	0	発生しない
ワンカウントモード	0/1	TAUDnCMORm.TAUDnMD0 ビットの設定にかかわらず発生しない
パルスワンカウントモード	0/1	TAUDnCMORm.TAUDnMD0 ビットの設定にかかわらず発生

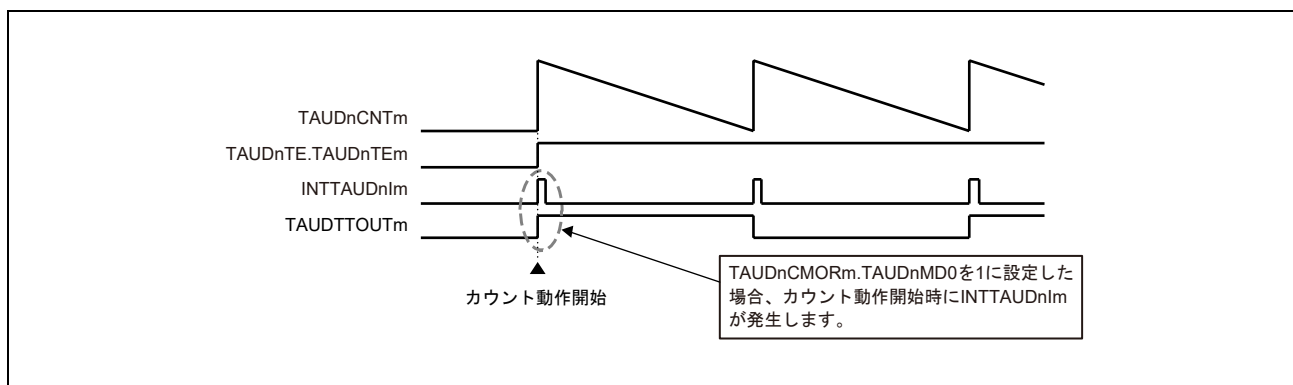


図 18.16 カウント開始時の INTTAUDnIm 発生

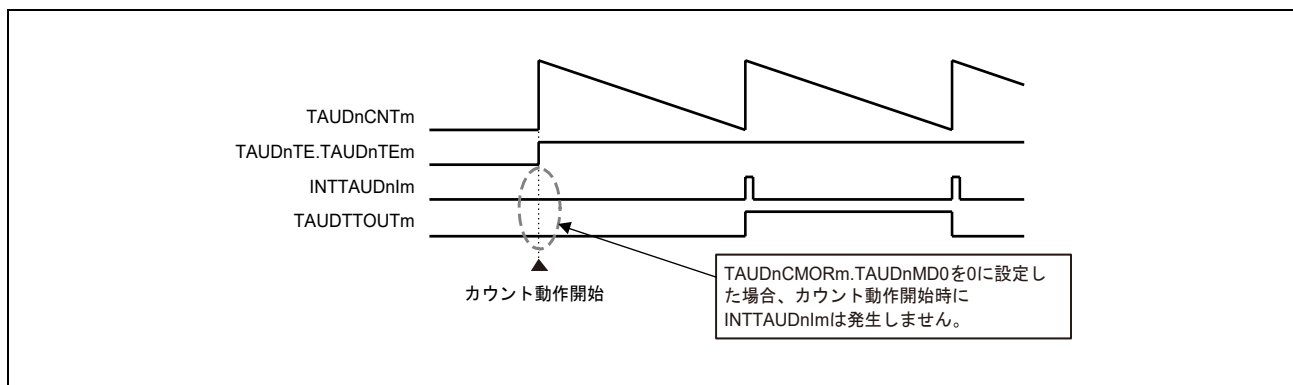


図 18.17 カウント開始時に INTTAUDnIm が発生しない

18.4.7 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します ($TAUDnCNTm = FFFF_H$)。
- セカンドチャンネルの $TAUDnCDRm$ を $FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。

結果：

ファーストチャンネルのアップカウントでのオーバフロー発生 ($TAUDnCNTm = FFFF_H$) と同時にセカンドチャンネルのダウンカウンタが 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

18.4.7.1 カウントキャプチャモード

適用機能

- $TAUDTTINm$ 入力位置検出機能

組み合わせるモード

インターバルタイマモード

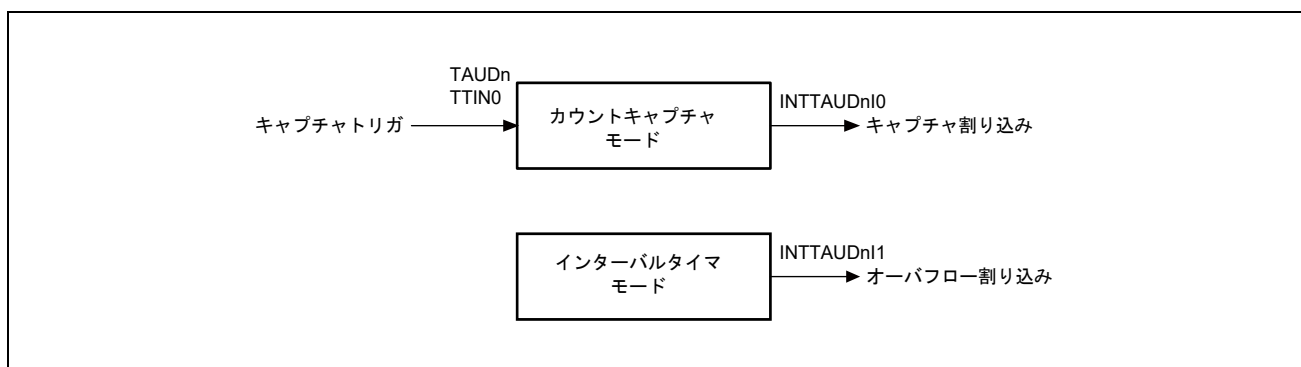


図 18.18 カウントキャプチャモードとインターバルタイマモードの組み合わせ

タイミング図

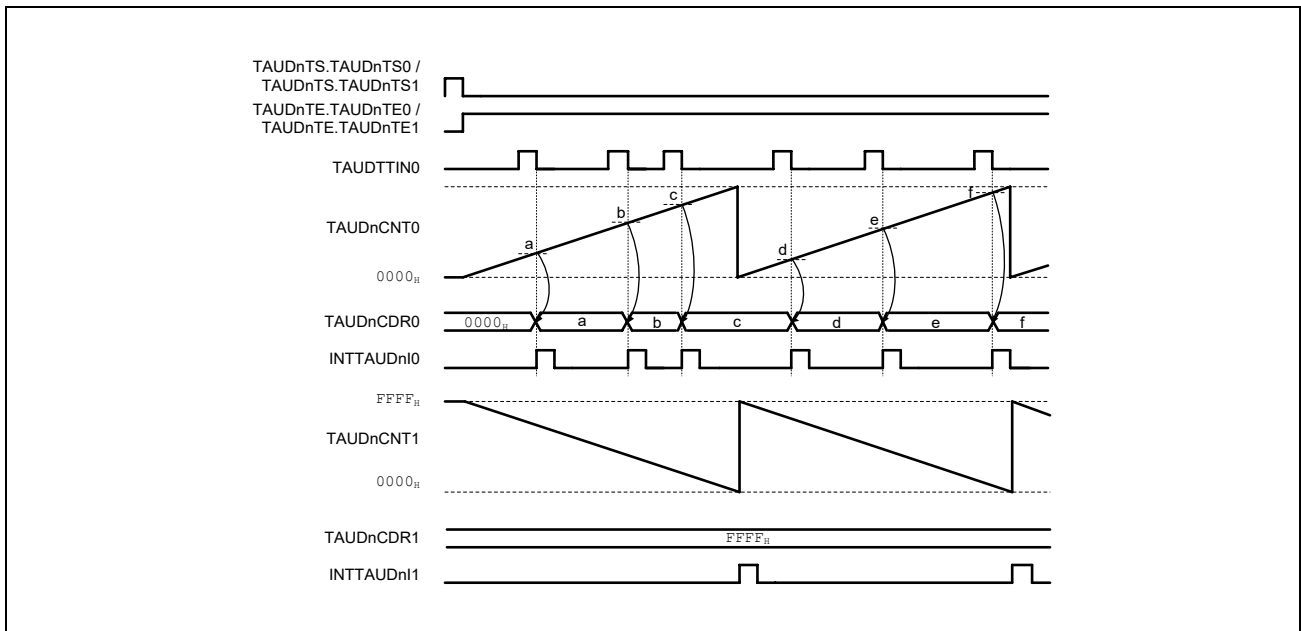


図 18.19 カウントキャプチャモードとインターバルタイマモードの組み合わせによる割り込み発生

18.4.8 TAUDTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを図 18.20 に示します。

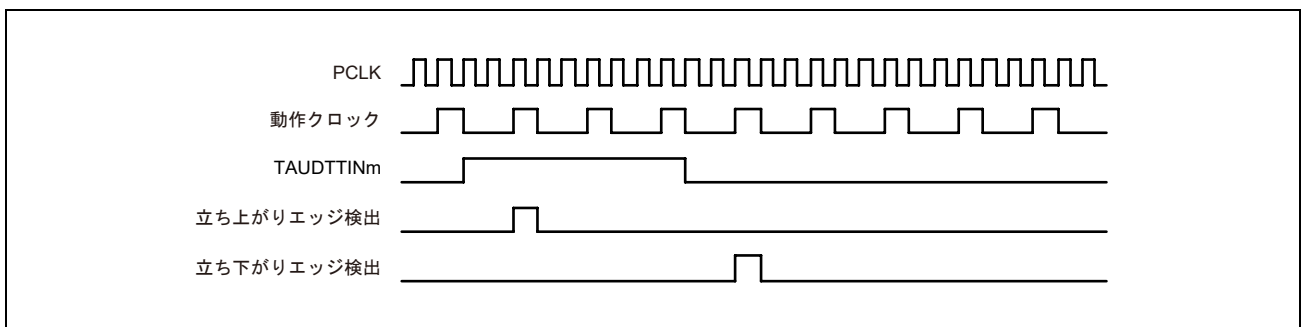


図 18.20 エッジ検出基本動作タイミング

図 18.20 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

18.4.9 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、「18.2 概要」を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

- 「18.4.9.1 インターバルタイマ機能」
- 「18.4.9.2 TAUDTTINm 入力インターバルタイマ機能」
- 「18.4.9.3 クロック分周機能」
- 「18.4.9.4 外部イベントカウント機能」
- 「18.4.9.5 デイレイカウント機能」
- 「18.4.9.6 ワンパルス出力機能」
- 「18.4.9.7 TAUDTTINm 入力パルスインターバル測定機能」
- 「18.4.9.8 TAUDTTINm 入力信号幅測定機能」
- 「18.4.9.9 TAUDTTINm 入力位置検出機能」
- 「18.4.9.10 TAUDTTINm 入力期間カウント検出機能」
- 「18.4.9.11 TAUDTTINm 入力パルスインターバル判定機能」
- 「18.4.9.12 TAUDTTINm 入力信号幅判定機能」

18.4.9.1 インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUDnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「表 18.45 インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「18.4.4 チャネル出力モード」を参照してください。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_Hになると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は、「**18.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

(2) 算出式

INTTAUDnIm の周期 = カウントクロック周期 × (TAUDnCDRm + 1)

TAUDTTOUTm の矩形波周期 = カウントクロック周期 × (TAUDnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

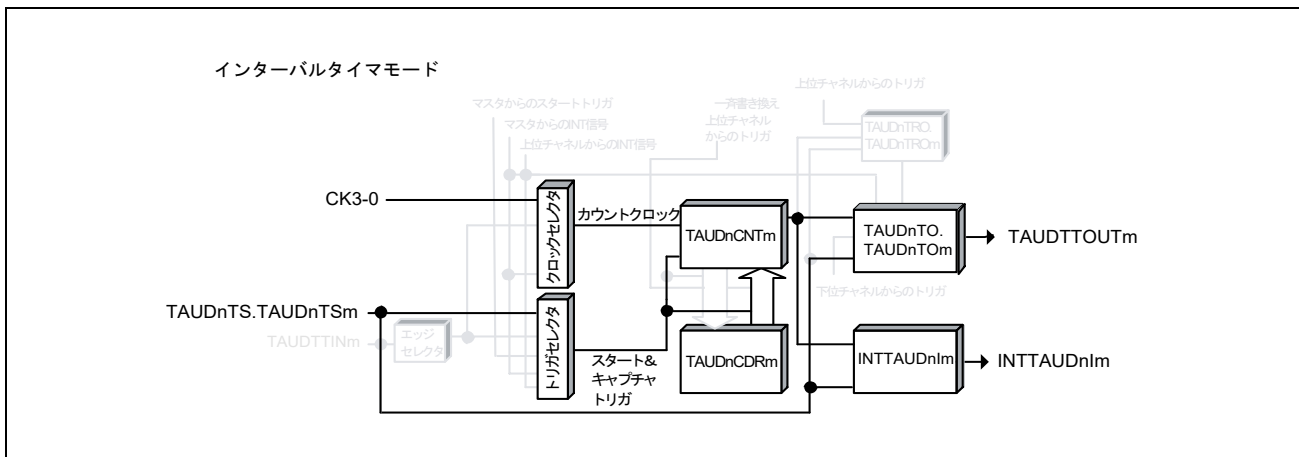


図 18.21 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

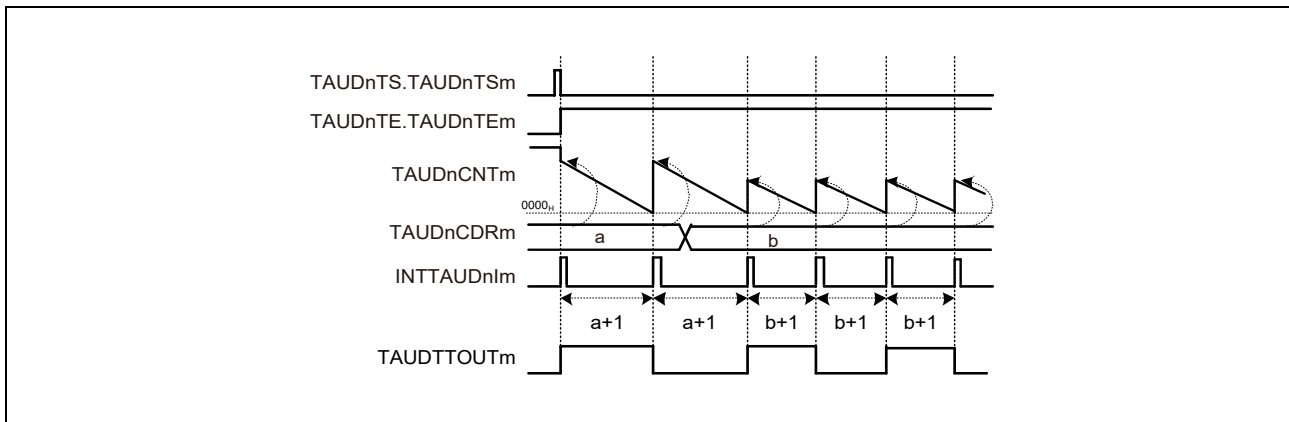


図 18.22 インターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]		TAUDnCCs[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.45 インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKs[1:0]	サンプリングクロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13, 12	TAUDnCCs[1:0]	00 : サンプリングクロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.46 インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) チャンネル出力モード

表 18.47 チャンネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0 : 変調禁止

備 考

チャンネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャンネル出力モードに設定することも可能です。この場合、TAUDTOUTm を割り込みとは独立させて制御することができます。詳細は「18.4.4 チャンネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.48 インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) インターバルタイマ機能の操作手順

表 18.49 インターバルタイマ機能の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを「表 18.45 インターバルタイマ機能の TAUDnCMORm レジスタの内容」、「表 18.46 インターバルタイマ機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 18.47 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作再開	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUDnCDRm = 0000_H、カウントクロック = PCLK/2

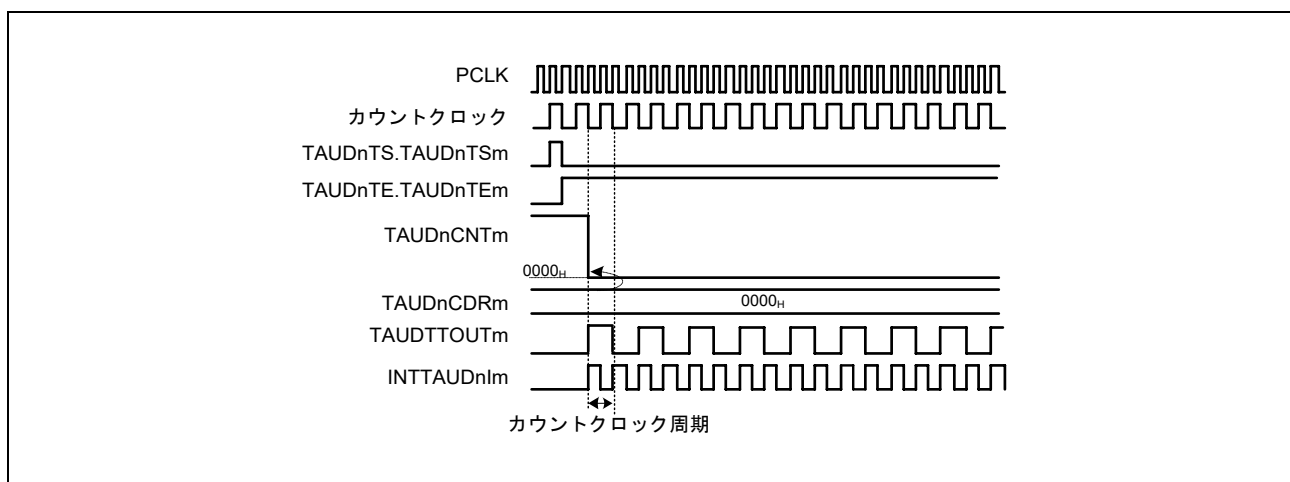
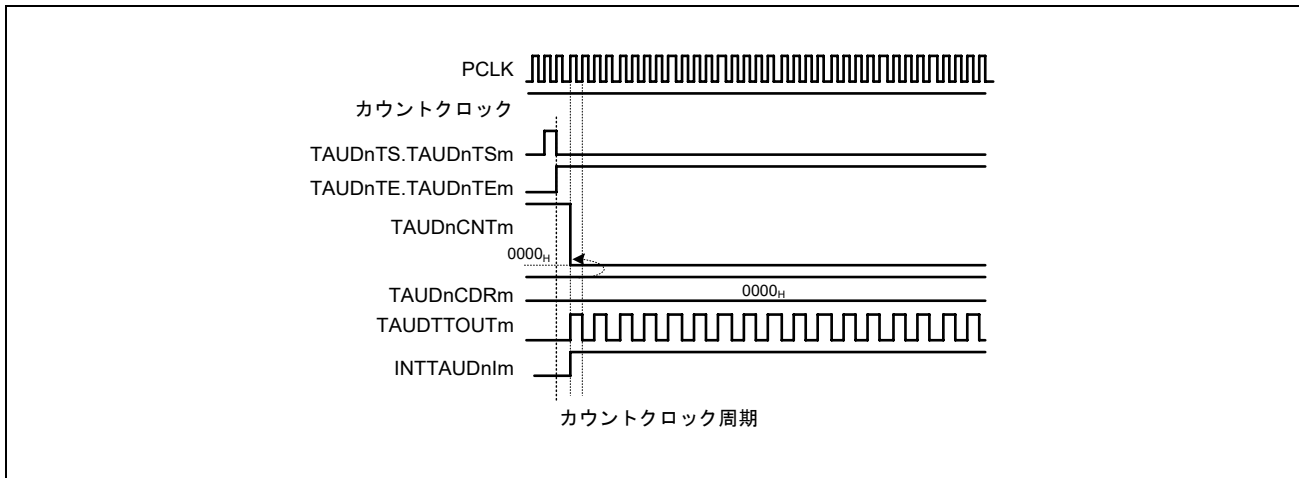


図 18.23 TAUDnCDRm = 0000_H、カウントクロック = PCLK/2

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

(b) TAUDnCDRm = 0000_H、カウントクロック = PCLK図 18.24 TAUDnCDRm = 0000_H、カウントクロック = PCLK

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- 継続的に INTTAUDnIm が発生し、PCLK クロックごとに TAUDTTOUTm がトグルされます。

(c) 動作の停止と再開

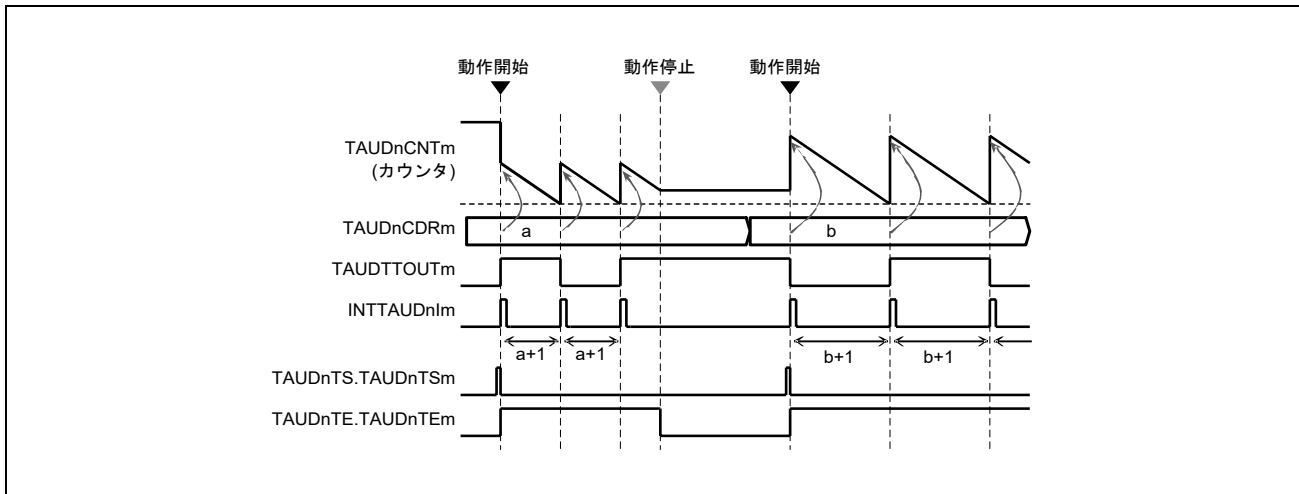


図 18.25 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 1)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。
- TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

(d) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1)

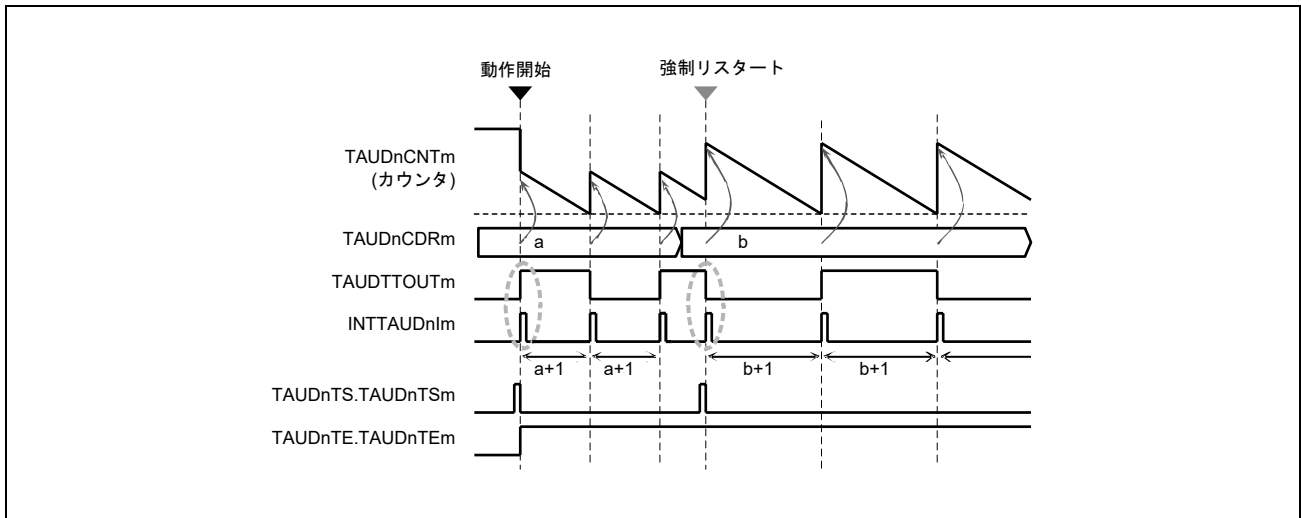


図 18.26 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 1)

- カウント中に TAUDnTS.TAUDnTsm を “1” に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDnCDRm の値は、TAUDnCNTm に反映されて、カウントを開始します。変更した TAUDnCDRm の値を即時反映させる場合は、強制リスタートをしてください。
- 強制リスタート時は、割り込み (INTTAUDnIm) が発生し、TAUDTTOUTm が反転します。

(e) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 0)

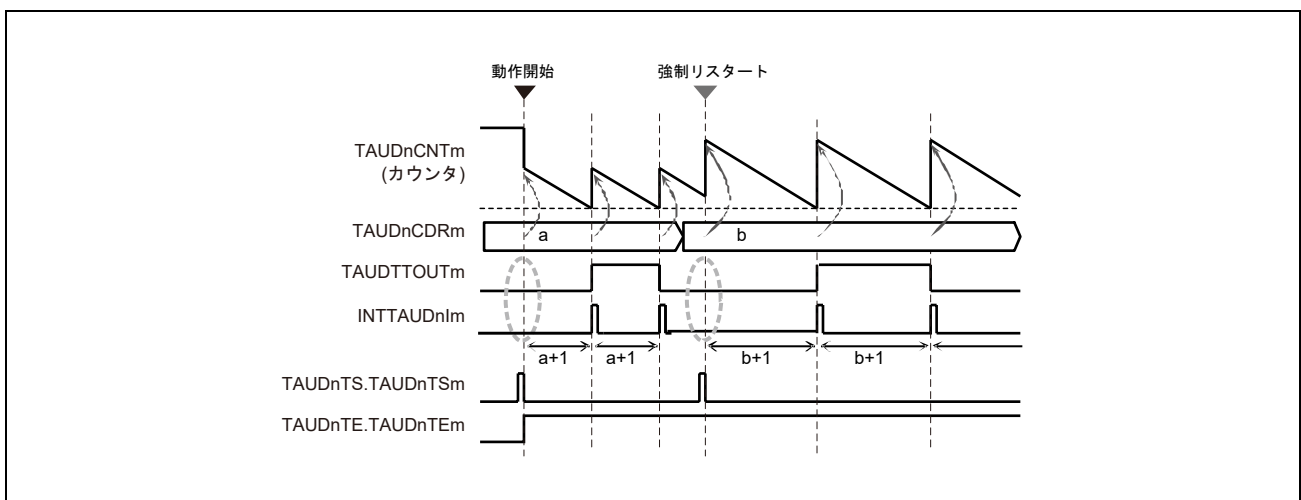


図 18.27 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 0)

- 強制リスタート時は、割り込み (INTTAUDnIm) が発生しません。TAUDTTOUTm も反転しません。

18.4.9.2 TAUDTTINm 入インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔または有効な TAUDTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUDnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「表 18.50 TAUDTTINm 入インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照）。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUDTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します（「18.4.9.1 インターバルタイマ機能」参照）。トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUDnIm の周期=カウントクロック周期× (TAUDnCDRm+1)

TAUDTTOUTm の矩形波周期=カウントクロック周期× (TAUDnCDRm+1) × 2

(3) ブロック図と基本タイミング図

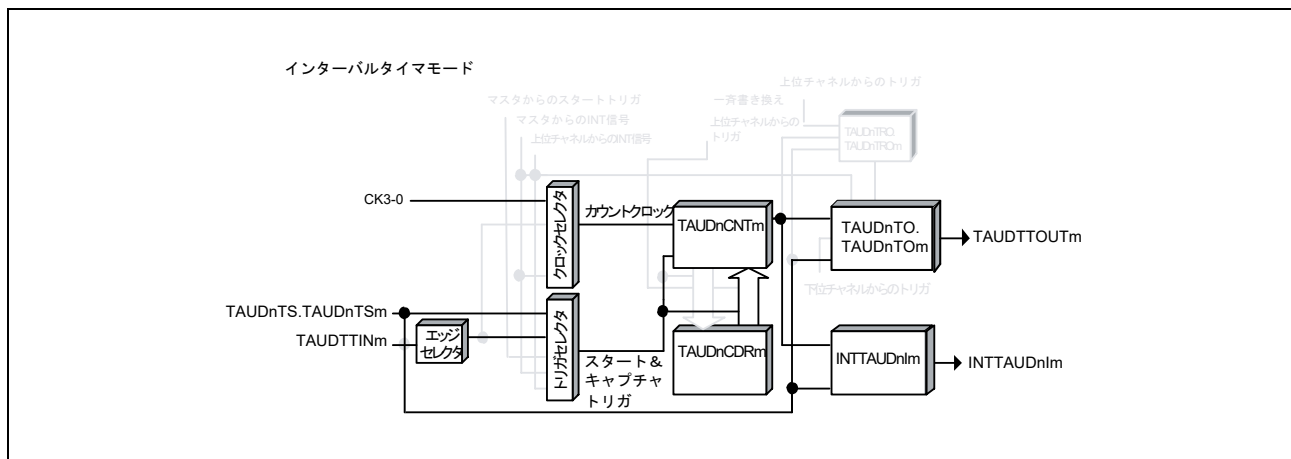


図 18.28 TAUDTTINm 入インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

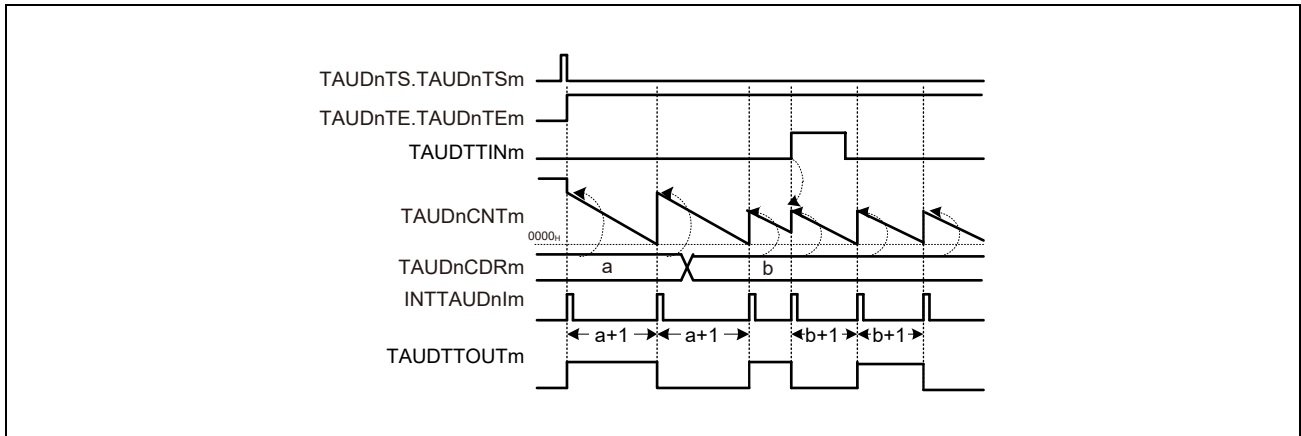


図 18.29 TAUDTTINm 入カウンタバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.50 TAUDTTINm 入カウンタバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウンタクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	001 : 有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1 : 動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.51 TAUDTTINm 入カインターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャネル出力モード

表 18.52 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0” を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0” を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0 : 変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「18.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入カインターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.53 TAUDTTINm 入カインターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0” を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入カインターバルタイマ機能の操作手順

表 18.54 TAUDTTINm 入カインターバルタイマ機能の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.50 TAUDTTINm 入カインターバルタイマ機能のTAUDnCMORm レジスタの内容」と「表 18.51 TAUDTTINm 入カインターバルタイマ機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 18.52 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作再開	TAUDnCMURm.TAUDnTIS[1:0]、TAUDnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。 TAUDTTINm エッジ検出	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。 カウント動作中に TAUDTTINm 入力の有効エッジを検出すると、再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

「18.4.9.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUDTTINm 入力エッジを使用することでカウンタを再開することも可能です。

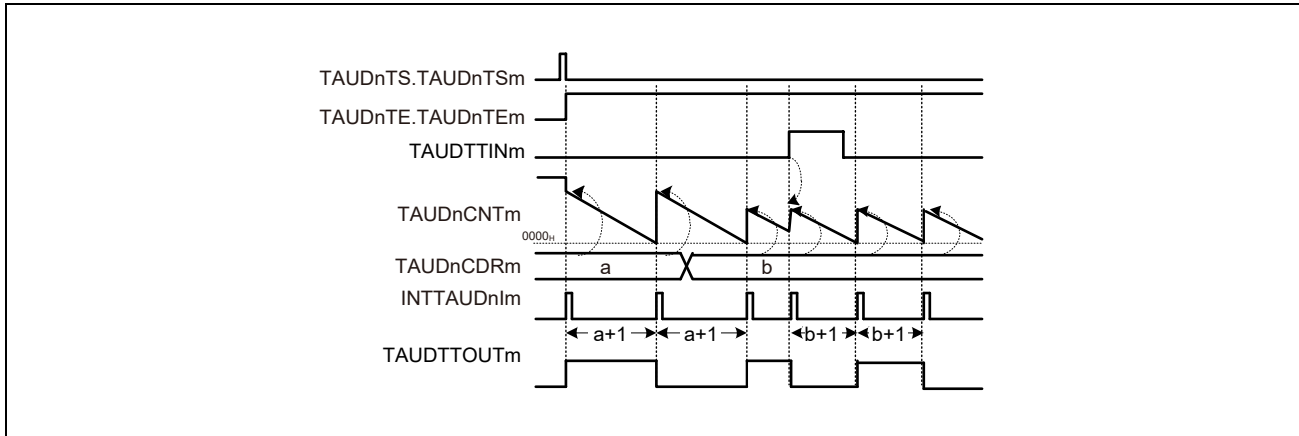


図 18.30 立ち上がり TAUDTTINm 入力エッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)、
TAUDnCMORm.TAUDnMD0 = 1 でトリガされたカウンタ

- 有効な TAUDTTINm 入力エッジを検出した場合、TAUDTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B) です。

18.4.9.3 クロック分周機能

(1) 概要

概要

この機能は、周波数の分周に使用します。TAUDTTINm 入力信号の周波数を TAUDnCDRm の係数で分周し、結果として得られる信号を TAUDTTOUTm に出力します。

前提条件

- TAUDTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります (「表 18.55 クロック分周機能の TAUDnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタは TAUDTTINm をカウントクロックとして使用し、その TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_Hになると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を “1” に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が “1” に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は「18.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック±1周期分の誤差があります。

(2) 算出式

- 立ち上がりエッジ検出選択時 :

$$\text{TAUDTTOUTm 周波数} = \text{TAUDTTINm 周波数} / [(\text{TAUDnCDRm} + 1) \times 2]$$

- 立ち下がりエッジ検出選択時 :

$$\text{TAUDTTOUTm 周波数} = \text{TAUDTTINm 周波数} / [(\text{TAUDnCDRm} + 1) \times 2]$$

- 両エッジ検出選択時 :

$$\text{TAUDTTOUTm 周波数} = \text{TAUDTTINm 周波数} / (\text{TAUDnCDRm} + 1)$$

(3) ブロック図と基本タイミング図

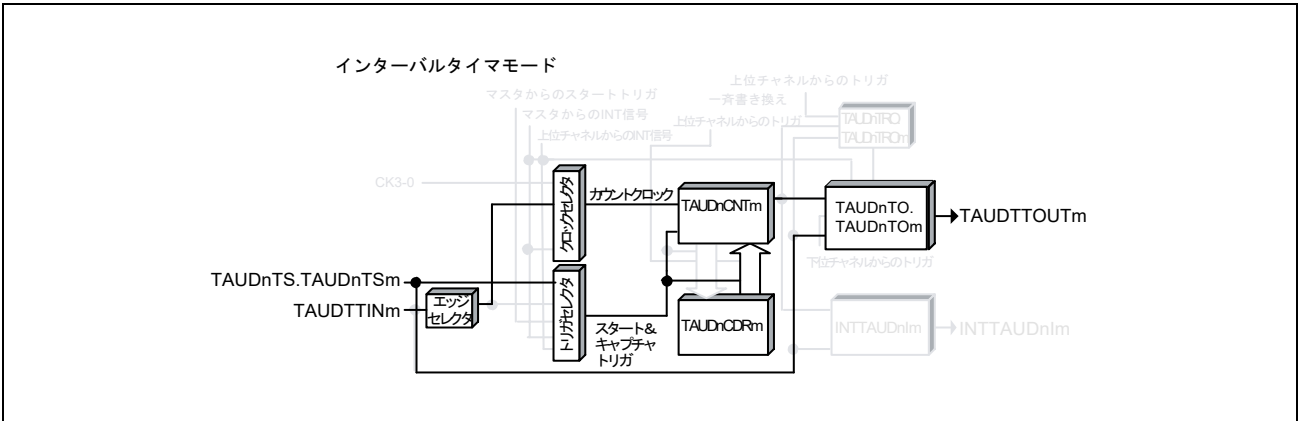


図 18.31 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

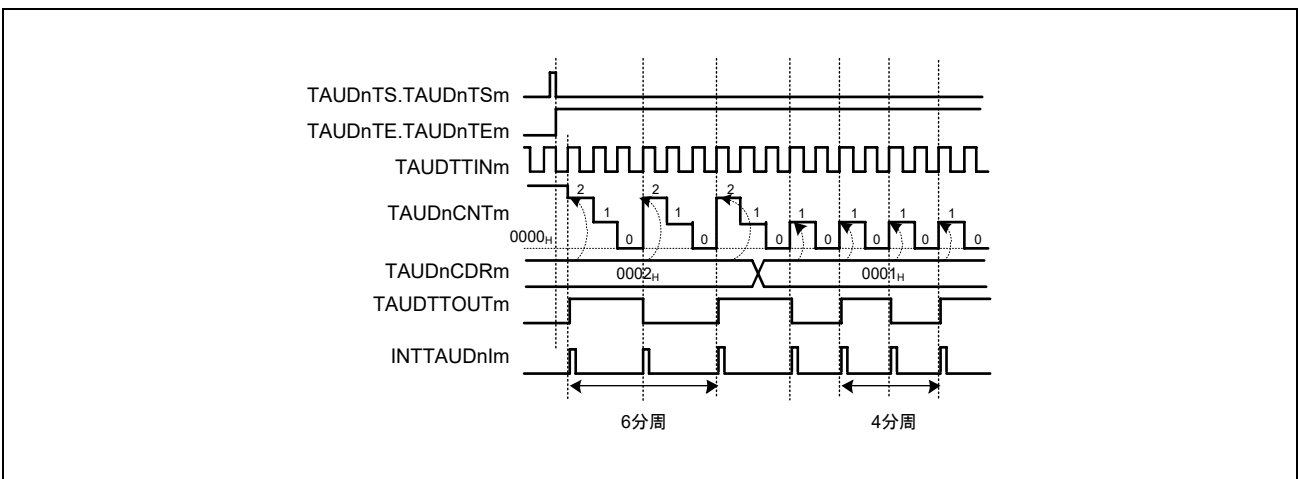


図 18.32 クロック分周機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.55 クロック分周機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.56 クロック分周機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 18.57 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.58 クロック分周機能の一斉書き換え設定

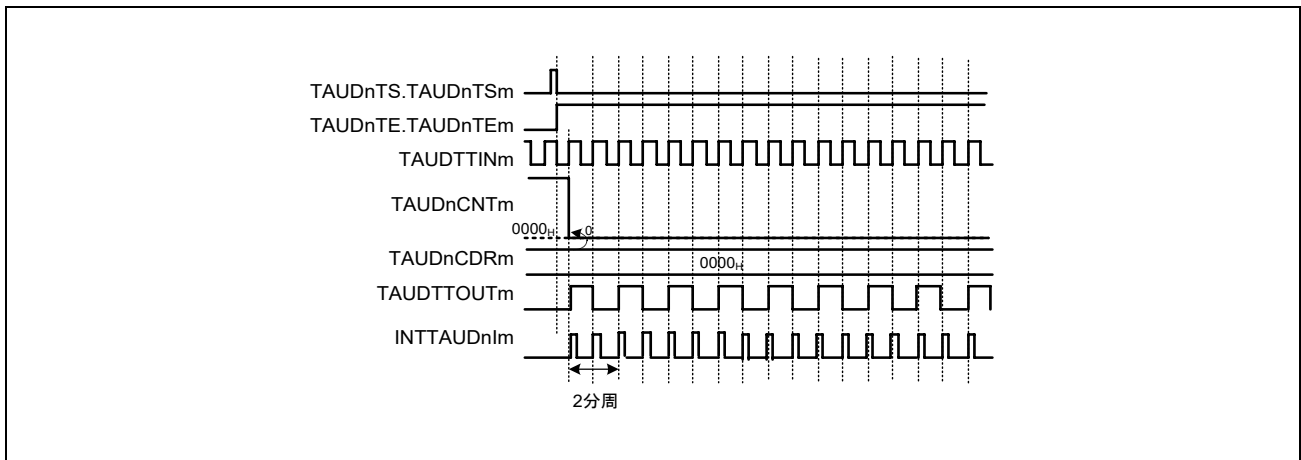
ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) クロック分周機能の操作手順

表 18.59 クロック分周機能の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.55 クロック分周機能の TAUDnCMORm レジスタの内容」と「表 18.56 クロック分周機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 18.57 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードします。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作再開	TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDTTInm 入力エッジを検出すると、TAUDnCNTm はダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> • TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 • INTTAUDnIm が発生します。 • TAUDTTOUTm がトグルされます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

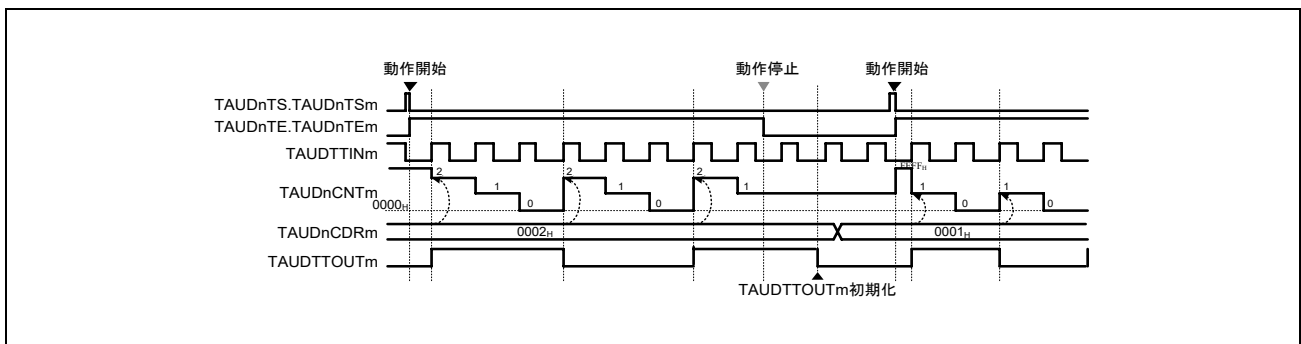
(6) 特定の設定時のタイミング図

(a) TAUDnCDRm = 0000_H図 18.33 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm が 0000_H ならば、TAUDnCNTm も必ず 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

図 18.33 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(b) 動作再開

図 18.34 動作再開 (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

TAUDTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時 (TAUDnTE.TAUDnTEm = 0) に TAUDnTOE.TAUDnTOEm = 0 を設定。
- その後、TAUDnTO.TAUDnTOm に “0” または “1” を書き込んで、TAUDTTOUTm の新しいスタート値を設定。

(c) 強制リスタート

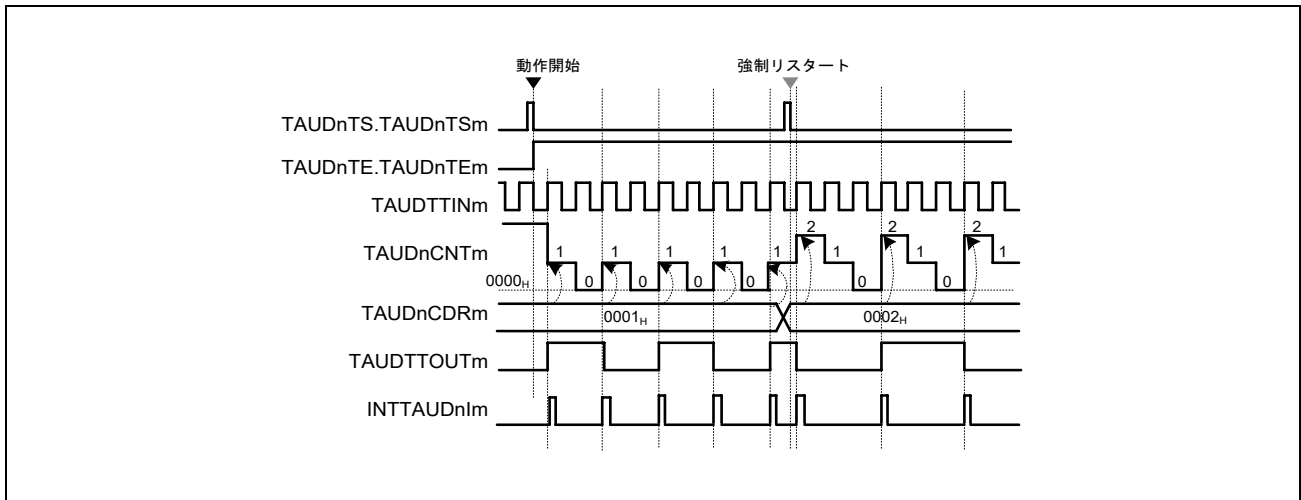


図 18.35 強制リスタート (TAUDnCMORM.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- 動作中に TAUDnTS.TAUDnTSM = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウント動作が再開されます。
- TAUDTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

18.4.9.4 外部イベントカウント機能

(1) 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUDTTINm 入力パルスが発生すると割り込み (INTTAUDnIm) を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります（「表 18.60 外部イベントカウント機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。

有効な TAUDTTINm 入力エッジを検出すると、TAUDnCNTm 値はデクリメントされます。TAUDnCNTm は、有効な TAUDTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDnCDRm + 1 回検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。TAUDnTS.TAUDnTSM を “1” に設定すると、カウンタ動作を再開できます。カウント中に TAUDnTS.TAUDnTSM を “1” に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B のときは、立ち下がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B のときは、立ち上がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B のときは、両エッジがカウントされます。

(2) 算出式

INTTAUDnIm 発生前に検出される有効エッジ数 = TAUDnCDRm + 1

(3) ブロック図と基本タイミング図

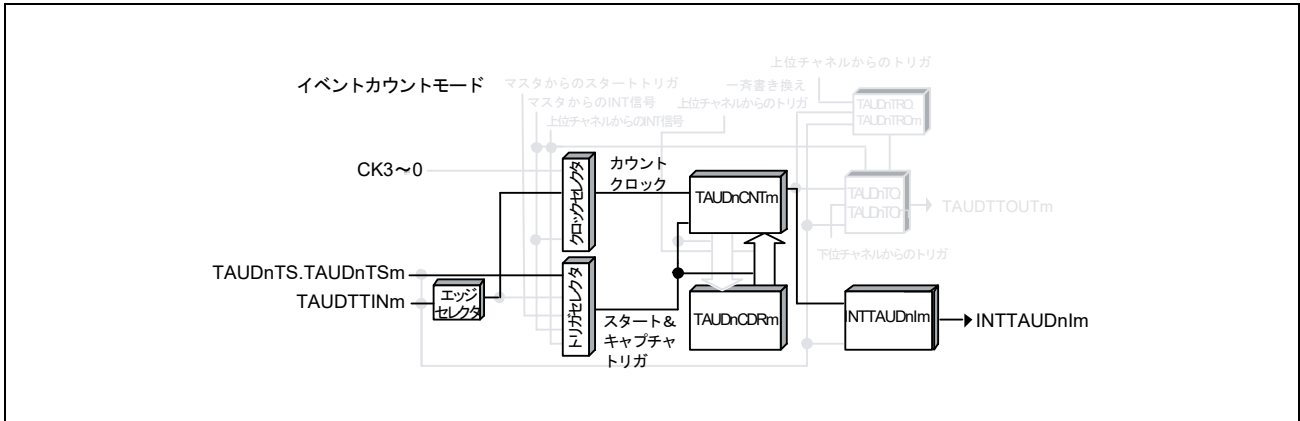


図 18.36 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

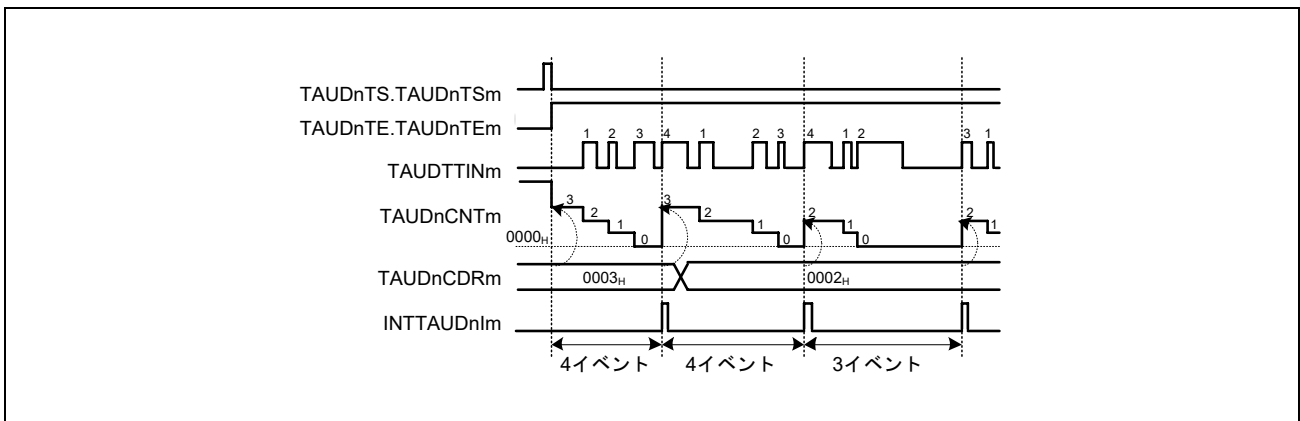


図 18.37 外部イベントカウント機能の基本タイミング図

(4) レジスタ設定**(a) TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.60 外部イベントカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.61 外部イベントカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、外部イベントカウンタ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.62 外部イベントカウンタ機能の一斉書き換え設定

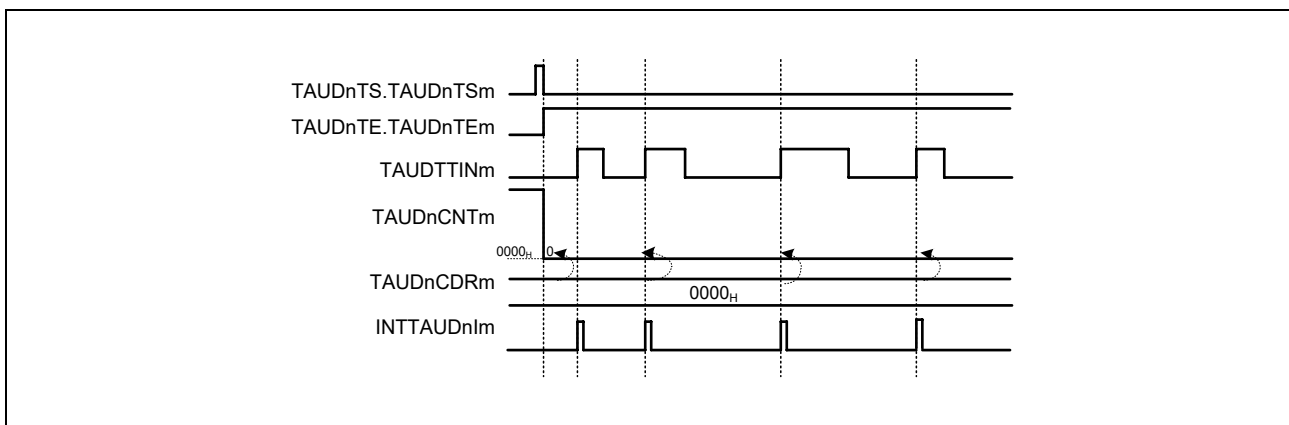
ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) 外部イベントカウンタ機能の操作手順

表 18.63 外部イベントカウンタ機能の操作手順

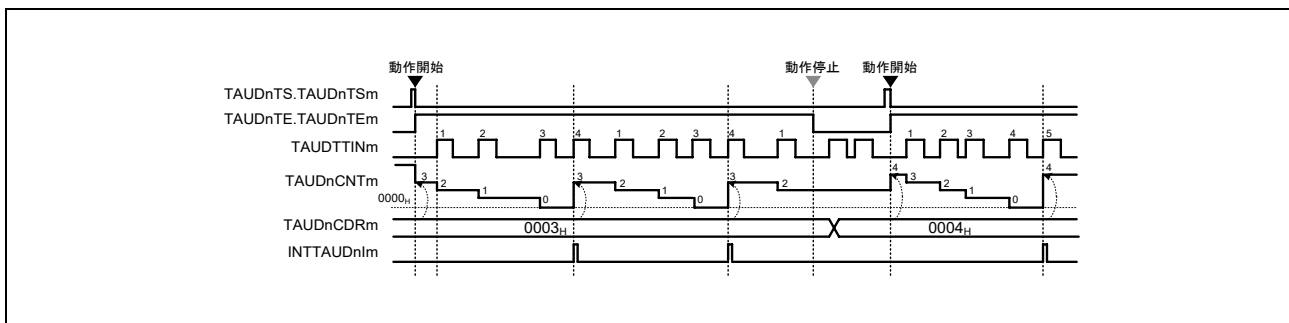
	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.60 外部イベントカウンタ機能の TAUDnCMORm レジスタの内容」と「表 18.61 外部イベントカウンタ機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードし、TAUDTTINm 入力エッジ検出を待ちます。
動作再開	TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は TAUDTTINm 入力エッジを検出するたびに、ダウンカウントを行います。 有効エッジが TAUDnCDRm + 1 回検出された場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUDnCDRm = 0000_H図 18.38 TAUDnCDRm = 0000_H、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm = 0000_H の場合、有効な TAUDTTINm 入力エッジが検出されるたびに 0000_H が TAUDnCNTm にロードされます。
つまり、有効な TAUDTTINm 入力エッジが検出されるたびに、INTTAUDnIm が発生します。

(b) 動作の停止と再開

図 18.39 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。TAUDTTINm は継続し、TAUDnCNTm は有効エッジを無視します。
- TAUDnTS.TAUDnTsm を “1” に設定すると、カウントを再開できます。TAUDnCNTm は TAUDnCDRm 値をロードし、カウント動作を再開します。

(c) 強制リスタート

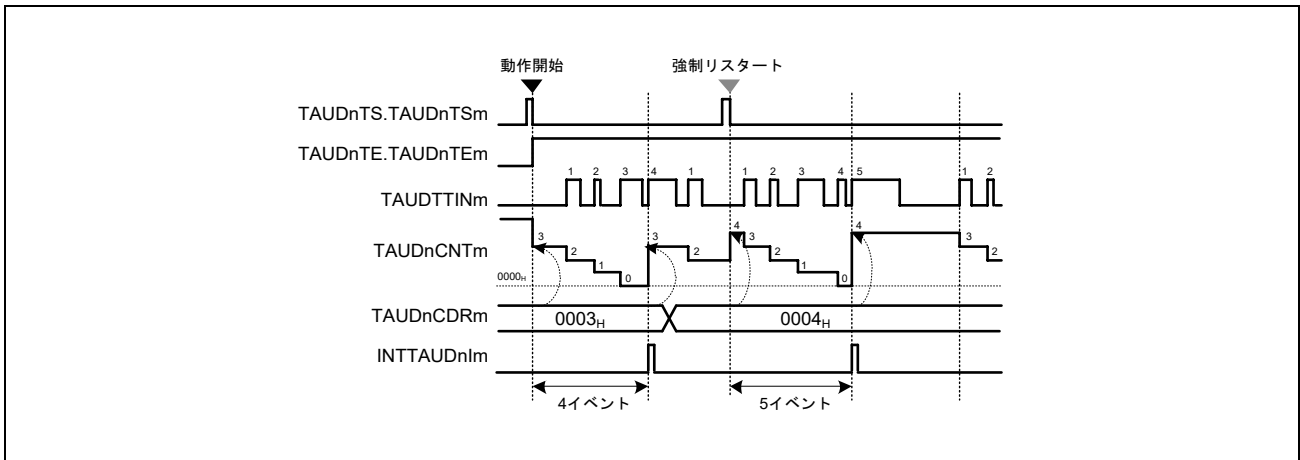


図 18.40 強制リスタート (TAUDnCMURm.TAUDnTIS[1:0] = 01B)

強制リスタートを行うと、変更した TAUDnCDRm の値が TAUDnCNTm に適用されます。

- 動作中に TAUDnTS.TAUDnTSM を “1” に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタは次の有効な TAUDTTINm 入力エッジを待ちます。

18.4.9.5 ディレイカウント機能

(1) 概要

概要

この機能は、TAUDTTINm 入力信号に対して一定の遅延がある割り込み (INTTAUDnIm) を発生します。遅延期間に発生した TAUDTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはワンカウントモードに設定する必要があります（「表 18.64 ディレイカウント機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- カウント動作中は、スタートトリガを無効 (TAUDnCMORm.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_Hになると、割り込みが発生します。カウンタは FFFF_Hに戻り、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUDTTINm-INTTAUDnIm 間の遅延 = カウントクロック周期 × (TAUDnCDRm + 1)

(3) ブロック図と基本タイミング図

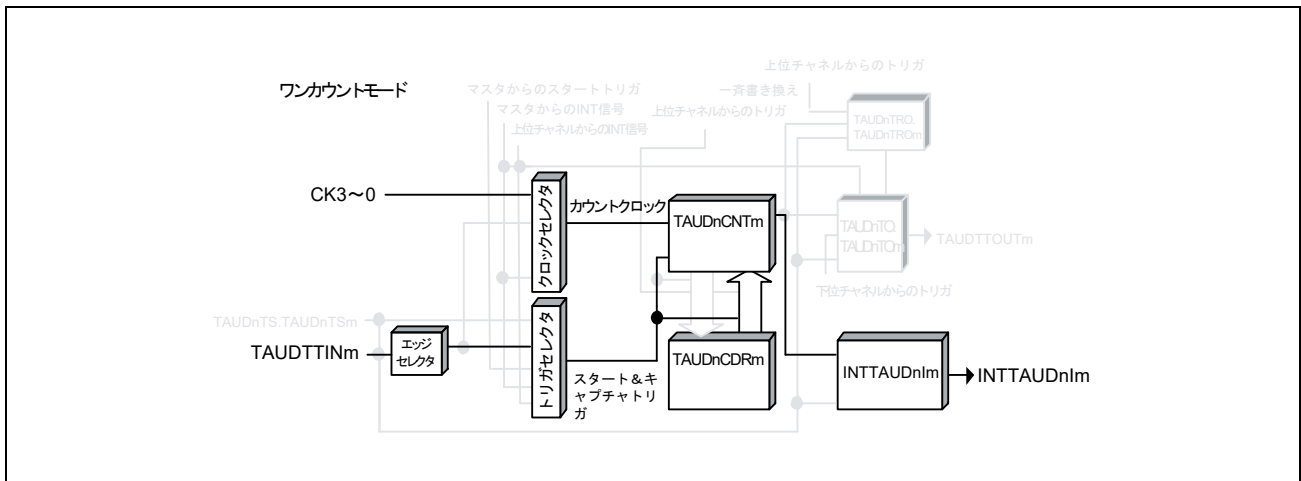


図 18.41 ディレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 ($\text{TAUDnCMURm.TAUDnTIS}[1:0] = 00_{\text{B}}$)

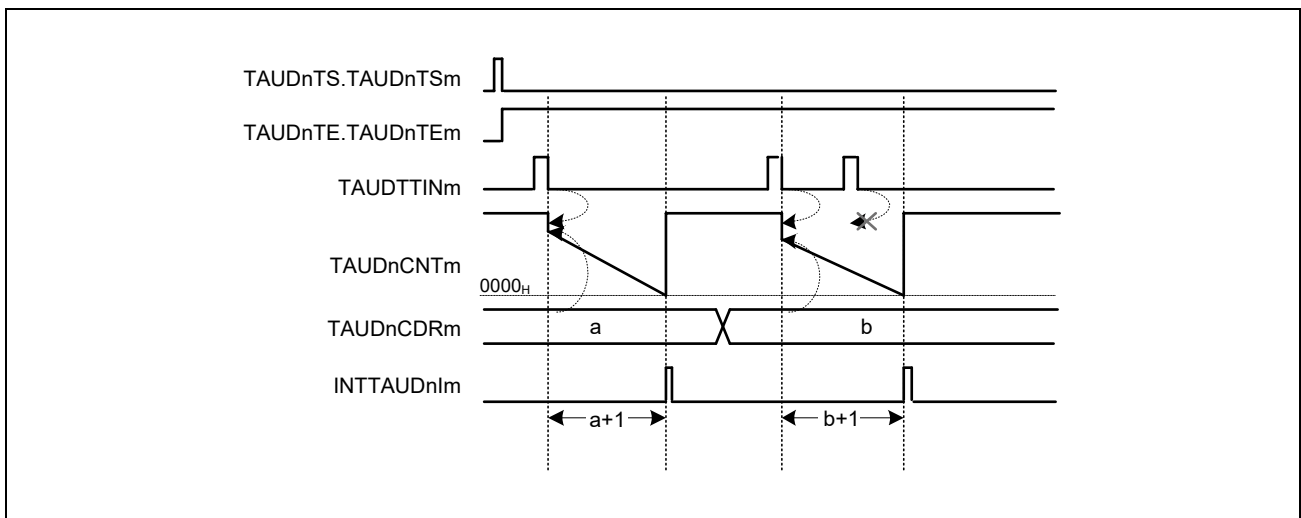


図 18.42 ディレイカウント機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.64 ディレイカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガは無効とする

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.65 ディレイカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ディレイカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.66 ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) ディレイカウント機能の操作手順

表 18.67 ディレイカウント機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.64 ディレイカウント機能の TAUDnCMORm レジスタの内容」と「表 18.65 ディレイカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値を TAUDnCNTm にロードします。
動作再開	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： INTTAUDnIm が発生します。 TAUDnCNTm はカウントを停止し、FFFF _H を戻し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されません。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、値を保持します。

18.4.9.6 ワンパルス出力機能

(1) 概要

概要

この機能は、有効な TAUDTTIN_m 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUDnIm) を発生します。定められた期間内に発生する TAUDTTIN_m 入力信号パルスは無視されます。割り込みが発生すると、TAUDTTOUT_m 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります（「表 18.68 ワンパルス出力機能の TAUDnCMOR_m レジスタの内容」参照）。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。
- カウント動作中は、トリガ検出を禁止 (TAUDnCMOR_m.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTS_m) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTE_m = 1 となり、カウントが可能になります。

有効な TAUDTTIN_m 入力エッジを検出すると、カウンタ動作を開始します。TAUDnCDR_m の値が TAUDnCNT_m にロードされ、カウンタはその TAUDnCDR_m 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUT_m がアクティブレベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUDTTOUT_m がインアクティブレベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUDTTIN_m 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTIN_m 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDR_m 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMUR_m.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMUR_m.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMUR_m.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMUR_m.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

(2) 算出式

TAUDTTIN_m-INTTAUDnIm の間隔 = TAUDTTOUT_m (タイマ出力) 幅 = カウントクロック周期 × TAUDnCDR_m

(3) ブロック図と基本タイミング図

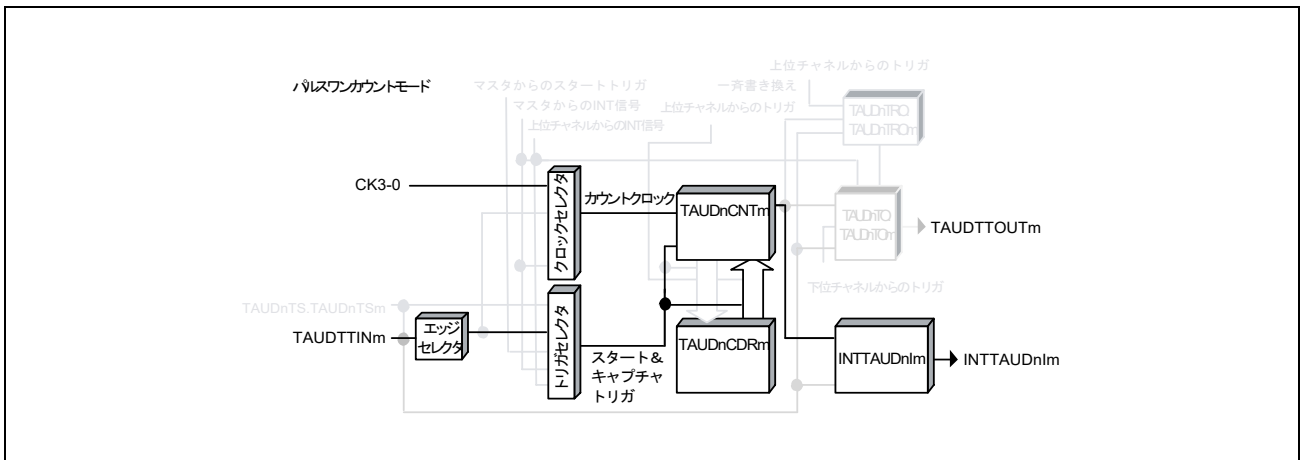


図 18.43 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 ($\text{TAUDnCMURm.TAUDnTIS}[1:0] = 00_{\text{B}}$)

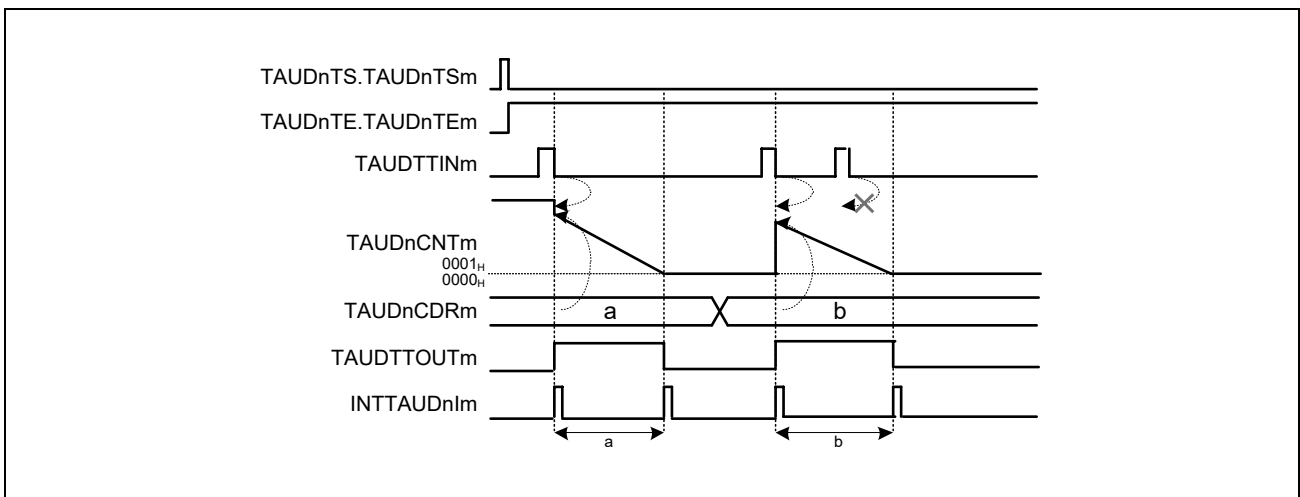


図 18.44 ワンパルス出力機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.68 ワンパルス出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガを無効とする

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.69 ワンパルス出力機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 18.70 チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「表 18.43 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.71 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) ワンパルス出力機能の操作手順

表 18.72 ワンパルス出力機能の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.68 ワンパルス出力機能の TAUDnCMORm レジスタの内容」と「表 18.69 ワンパルス出力機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 18.70 チャンネル単体出力モード 2 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をロードします。
動作再開	TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm の開始時に INTTAUDnIm が発生し、TAUDTTOUTm はアクティブレベルに設定されます。 TAUDnCNTm がダウンカウントを行います。カウンタが 0001 _H になった場合： <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • TAUDTTOUTm がインアクティブレベルに設定されません。 TAUDnCNTm はカウントを停止し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されません。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

18.4.9.7 TAUDTTINm 入力パルスインターバル測定機能

(1) 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDnCSRm.TAUDnOVF を使用して TAUDTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 18.74 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm エッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 18.73 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力検出された場合	
	TAUDnCDRm	TAUDnCSRm.TAUDnOVF	TAUDnCDRm、 TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm は“0”に 設定され、TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の間隔を推定できます。ただし、有効な TAUDTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示しません。

TAUDnTT.TAUDnTTm = 1 を設定すると機能を停止できます。これにより、TAUDnTE.TAUDnTEm = 0 が設定されます。TAUDnCNTm が停止し、値を保持します。機能停止中、有効な TAUDTTINm 入力エッジの検出と TAUDnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「18.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

備考

TAUDnCMORm.TAUDnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUDTTINm 入力パルス間隔 = カウントクロック周期 ×

[(TAUDnCSRm.TAUDnOVF × (FFFF_H+1)) + TAUDnCDRm キャプチャ値 + 1]

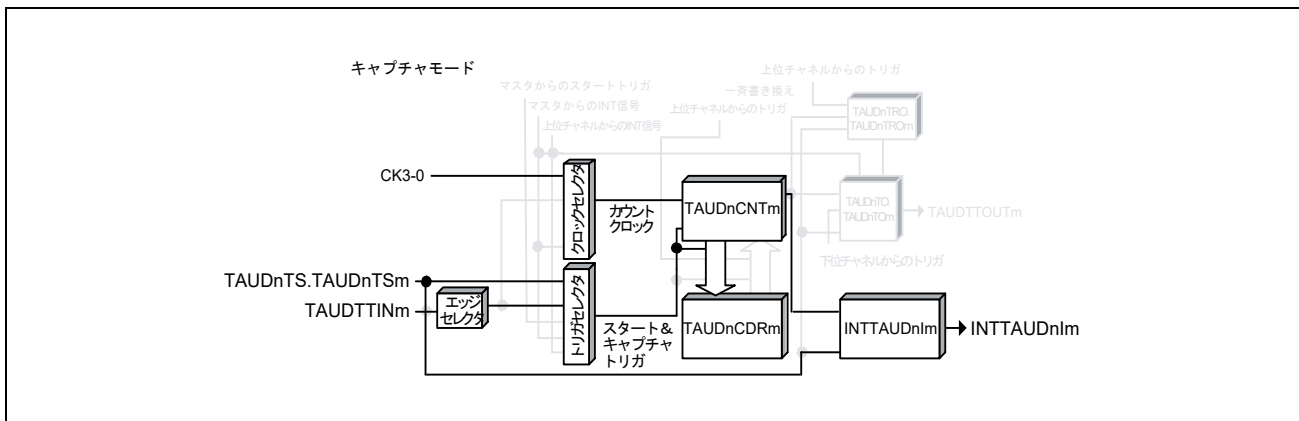
(3) ブロック図と基本タイミング図

図 18.45 TAUDTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を “1” に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

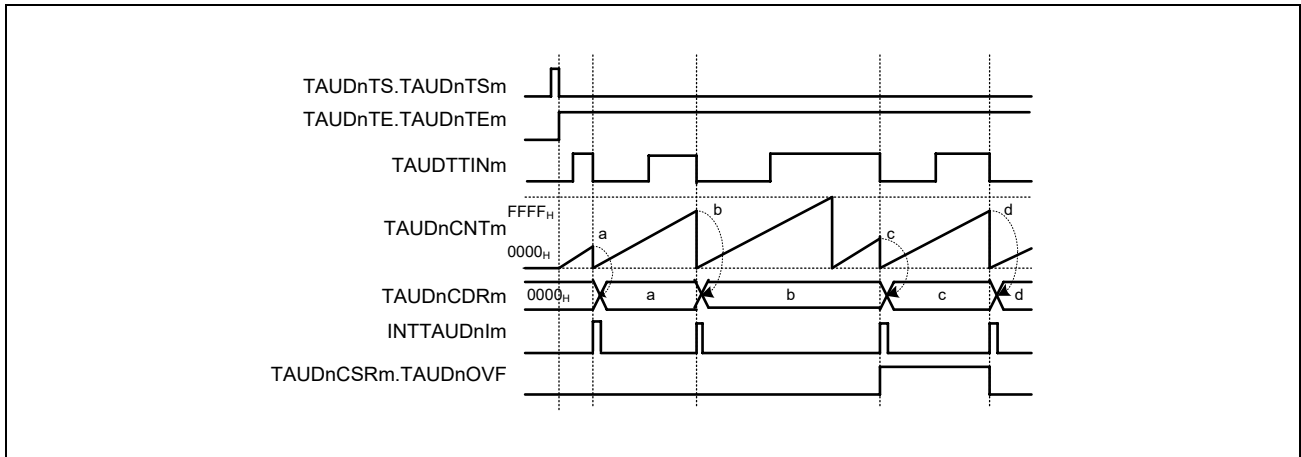


図 18.46 TAUDTTINm 入力パルスインターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.74 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	001 : TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS[1:0]	「表 18.73 オーバフローの影響」を参照。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0010 : キャプチャモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない 1 : 動作開始時に INTTAUDnIm が発生する

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.75 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.76 TAUDTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力パルスインターバル測定機能の操作手順

表 18.77 TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.74 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」と「表 18.75 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
動作再開	動作中	TAUDTTINm エッジ検出 TAUDnCMURm.TAUDnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットの 1 書き込みが可能です。(TAUDnCSRm.TAUDnOVF ビットを“0”にクリア)
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

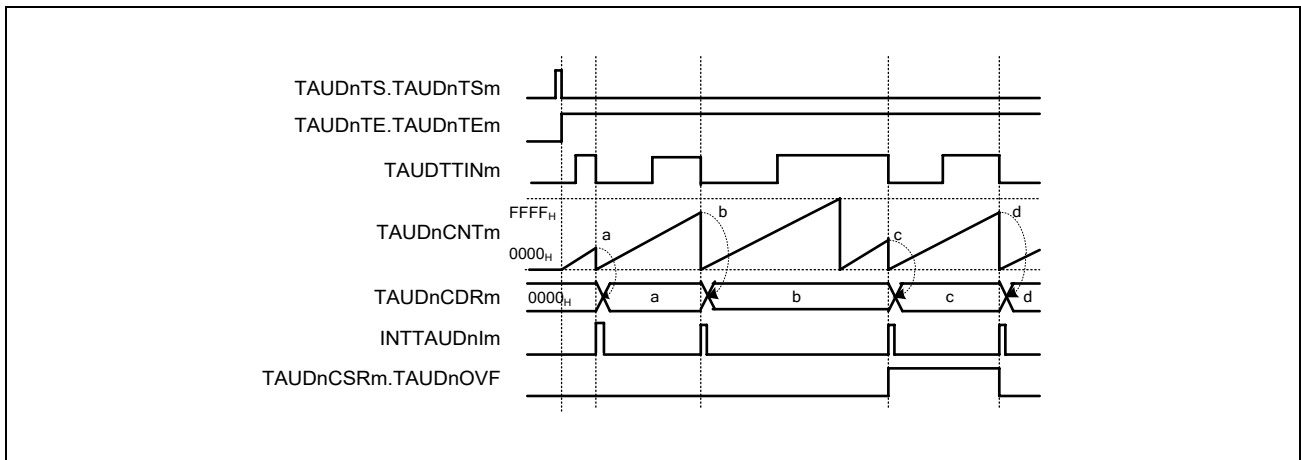
(a) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 18.47 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

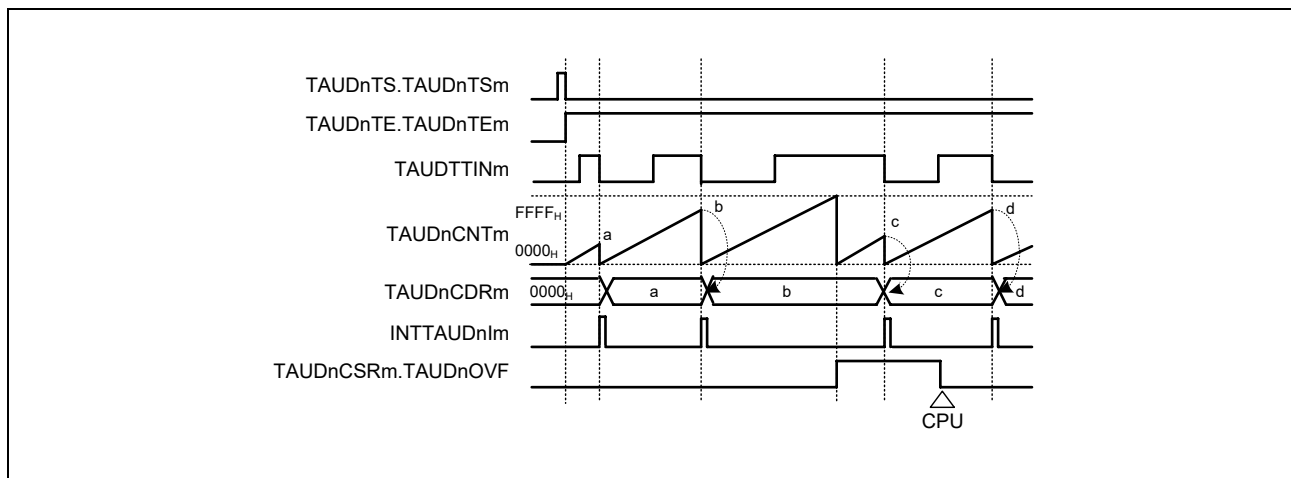
(b) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 18.48 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

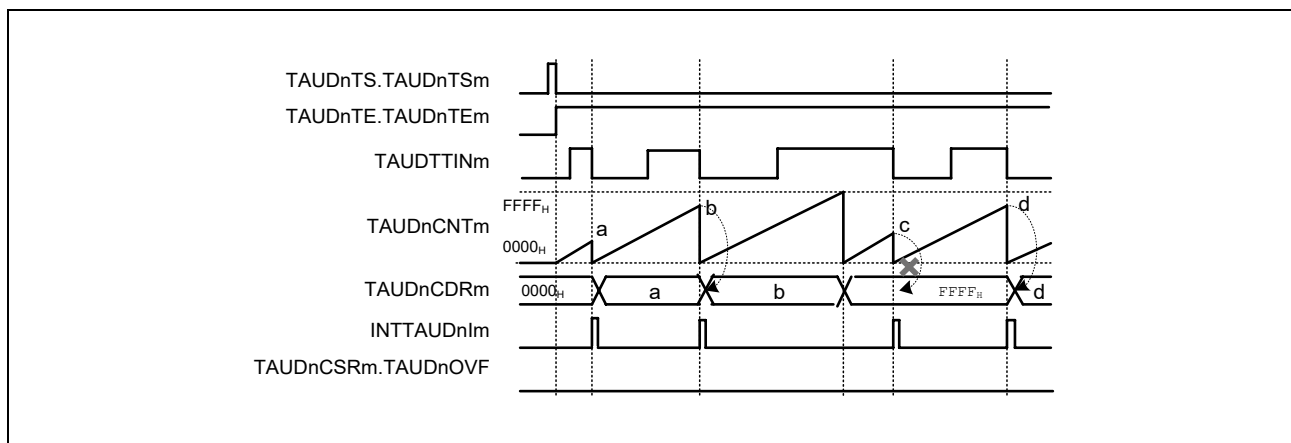
(c) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

図 18.49 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が “0” にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

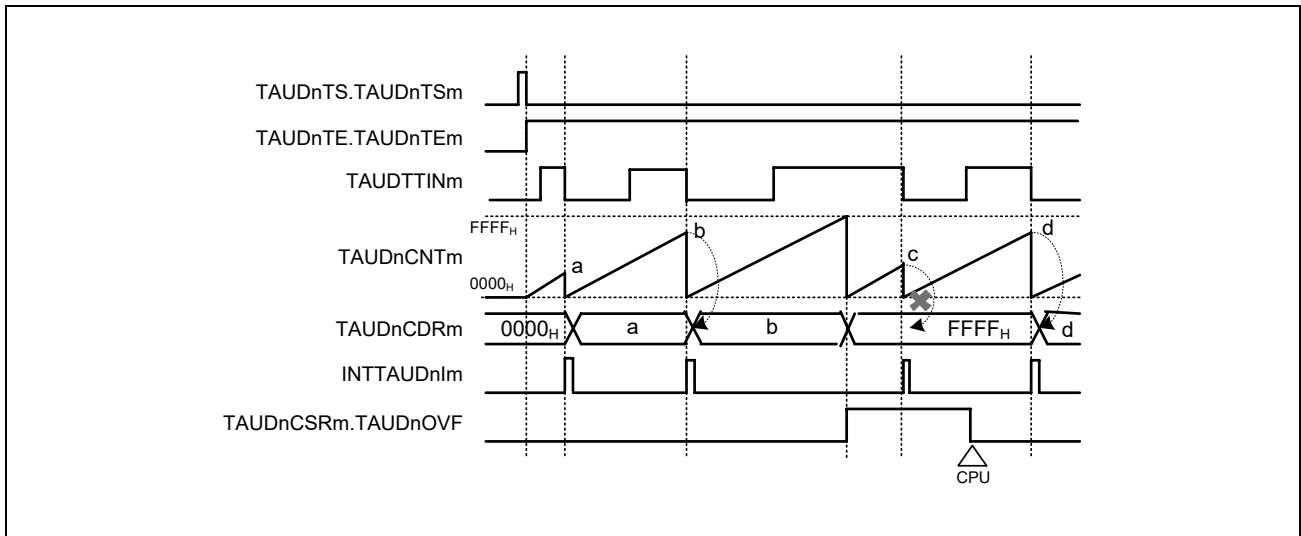
(d) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 18.50 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が “0” にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

18.4.9.8 TAUDTTINm 入力信号幅測定機能

(1) 概要

概要

この機能は、TAUDTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります（「表 18.79 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCMORm.TAUDnMD0 は、“0” に設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm スタートエッジが検出されると、カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm ストップエッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは値 (TAUDnCDRm + 1) を保持し、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を続けます。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 18.78 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		有効な TAUDTTINm 入力ストップエッジの検出時	
	TAUDnCDRm	TAUDnCSRm.TAUDnOVF	TAUDnCDRm、TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm はカウントを停止 TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の幅を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示しません。

この機能は強制的に再開することはできません。

備考

TAUDnCMORm.TAUDnCOS[1:0] = 10_B, 11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

TAUDTTINm 入力信号幅 = カウントクロック周期 ×

[(TAUDnCSRm.TAUDnOVF × (FFFF_H+1)) + TAUDnCDRm キャプチャ値+1]

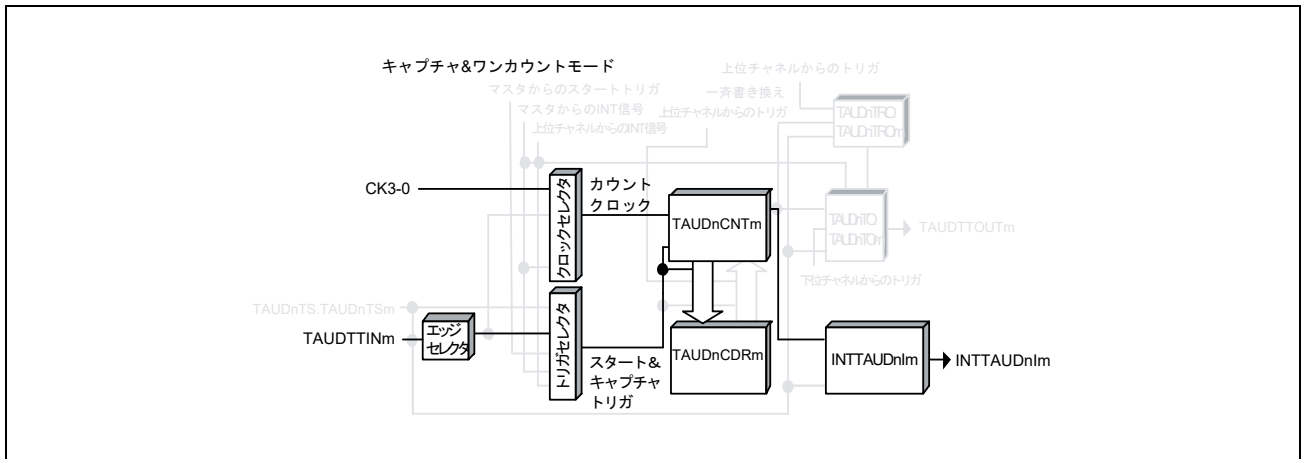
(3) ブロック図と基本タイミング図

図 18.51 TAUDTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出= ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を “1” に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

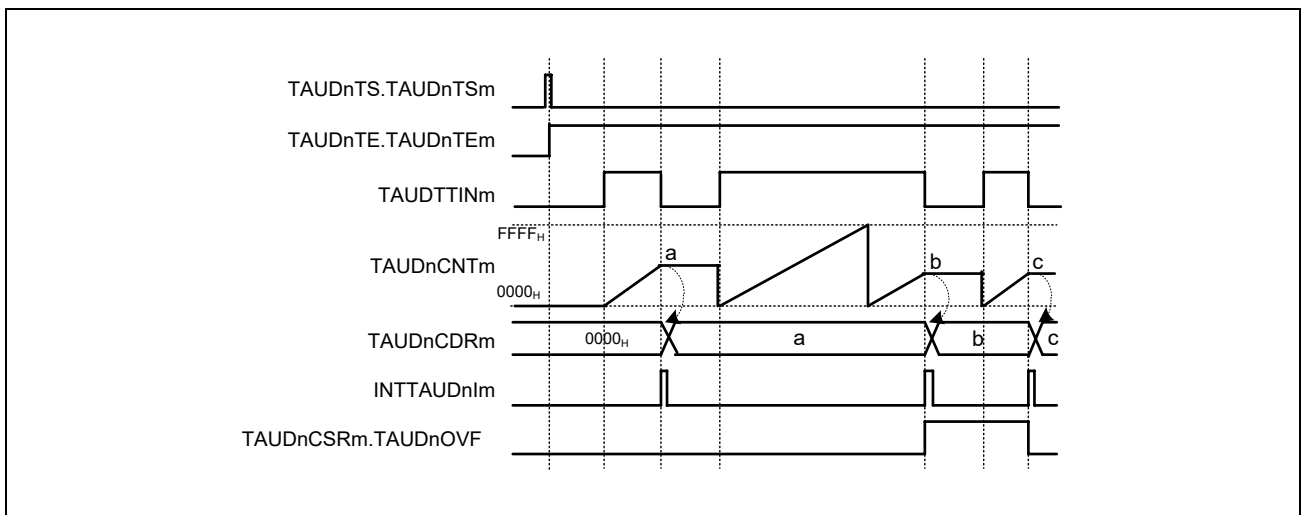


図 18.52 TAUDTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.79 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	010 : TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	「表 18.78 オーバフローの影響」を参照。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0110 : キャプチャ&ワンカウントモード
0	TAUDnMD0	0 : 動作中のスタートトリガ無効

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.80 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.81 TAUDTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力信号幅測定機能の操作手順

表 18.82 TAUDTTINm 入力信号幅測定機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.79 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」と「表 18.80 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDTTINm スタートエッジを検出すると、TAUDnCNTm はアップカウントを開始します。
動作中	TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットは、“1”にセット可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値を TAUDnCDRm に転送 (キャプチャ) して、その値を保持し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバーフロー動作

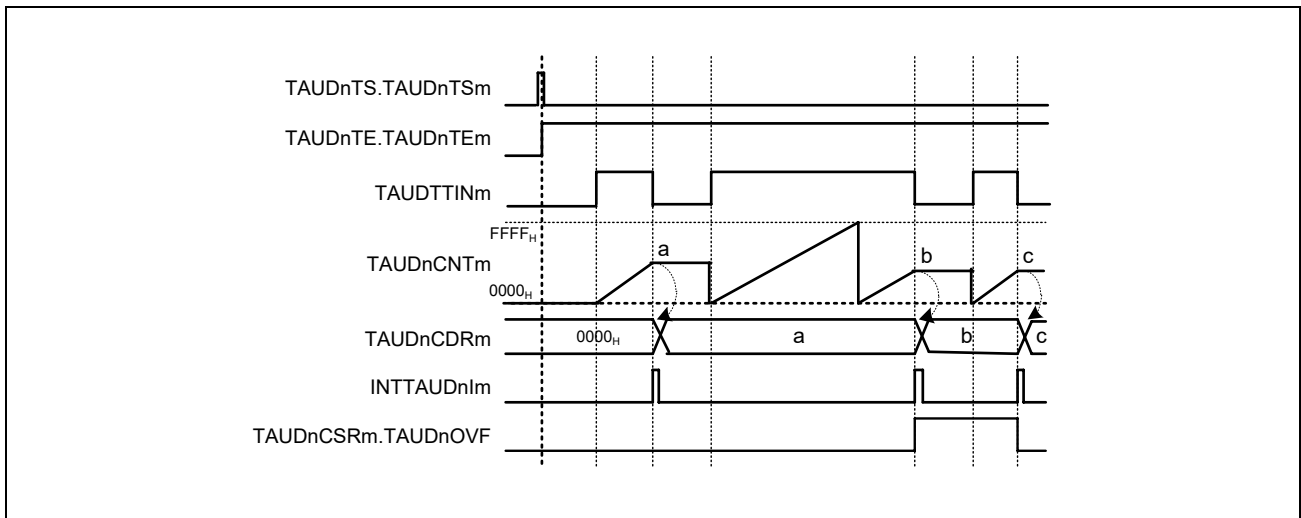
(a) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 18.53 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

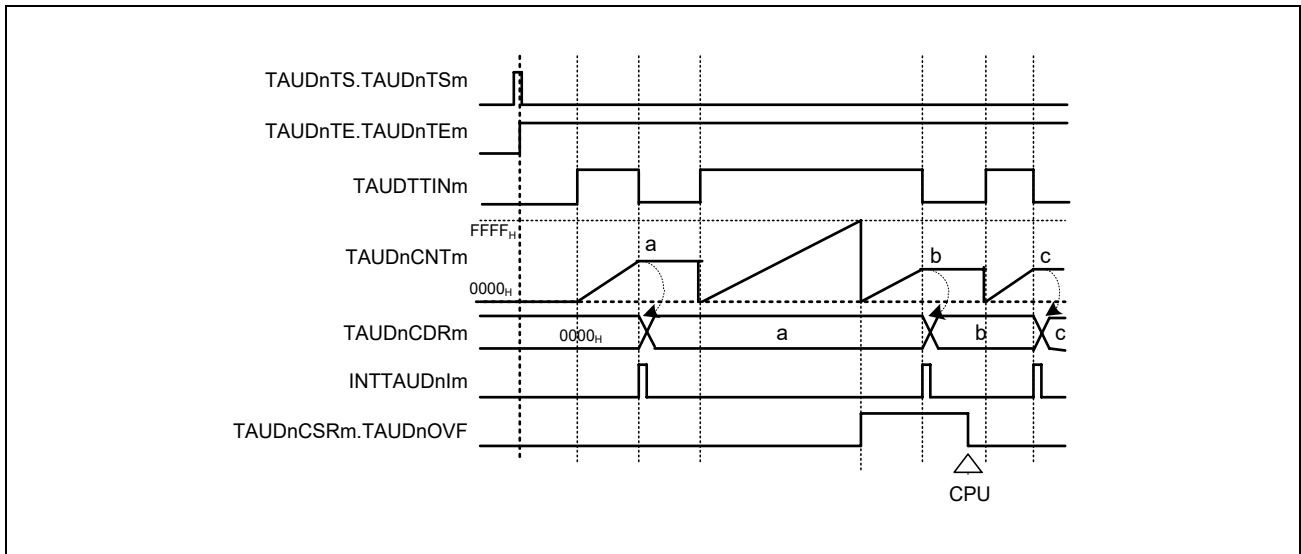
(b) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 18.54 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

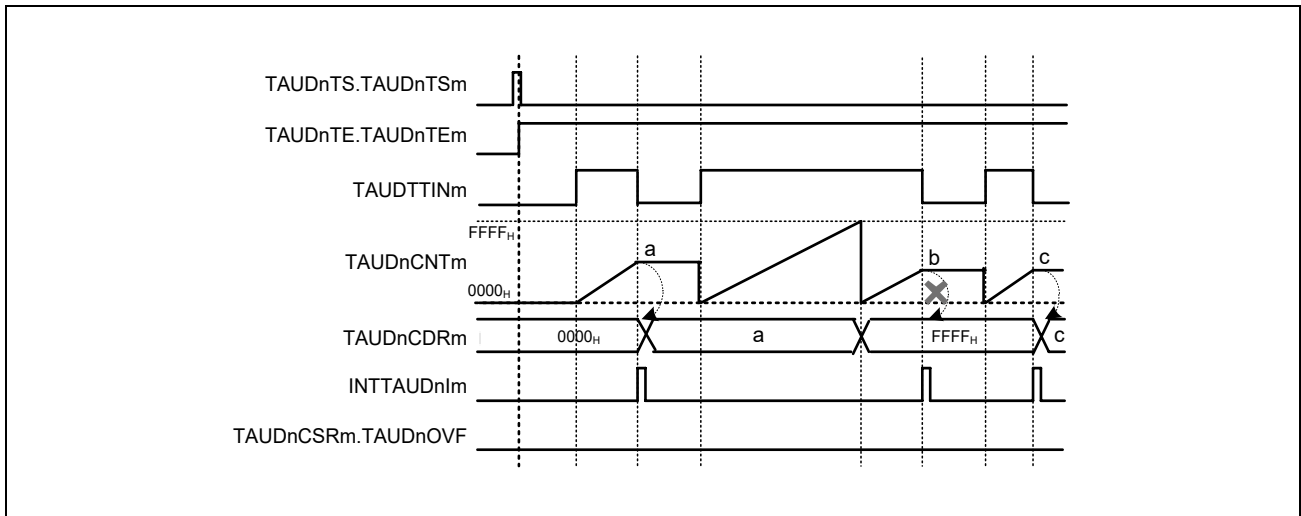
(c) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

図 18.55 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は “0” のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm のカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

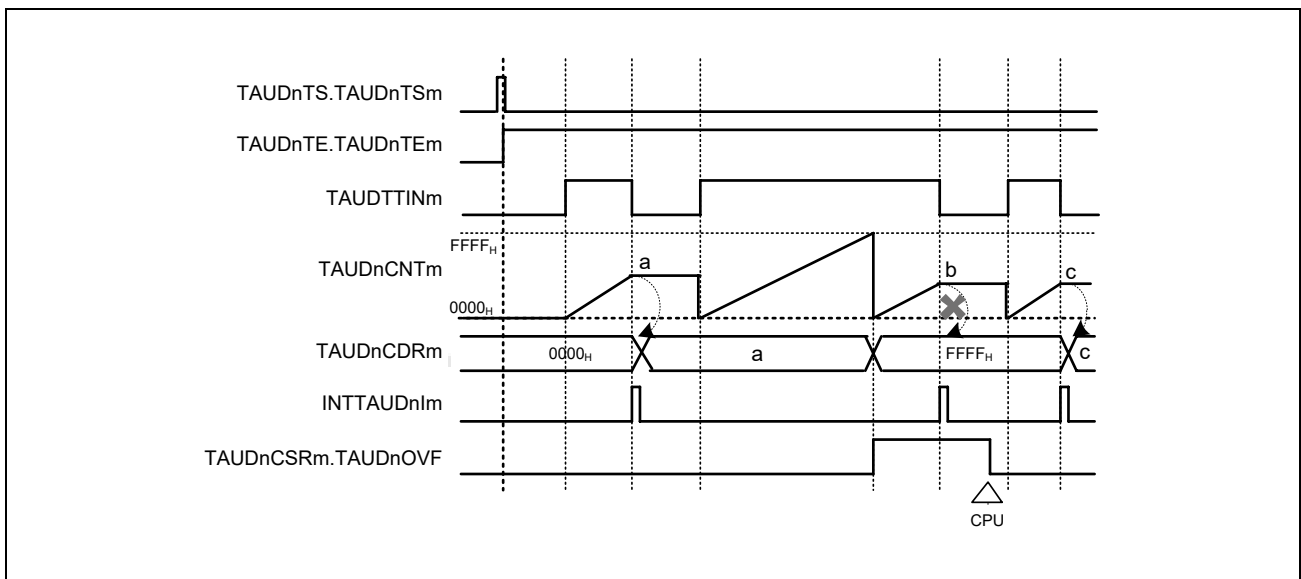
(d) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 18.56 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm のカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

18.4.9.9 TAUDTTINm 入力位置検出機能

(1) 概要

概要

TAUDTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「**表 18.83 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**18.4.6 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

(2) 算出式

TAUDTTINm 入力パルスでの機能時間 = カウントクロック周期 × (TAUDnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

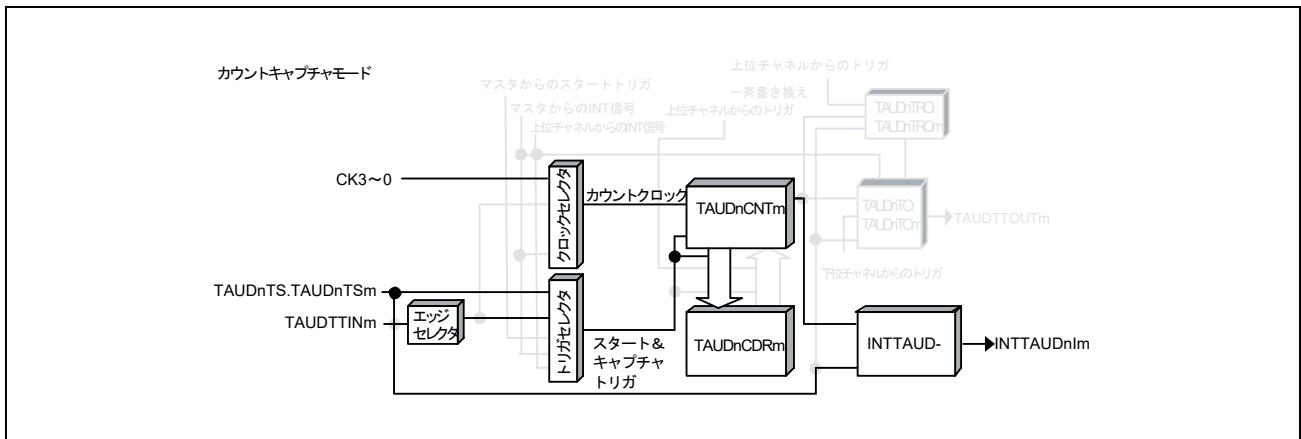


図 18.57 TAUDTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

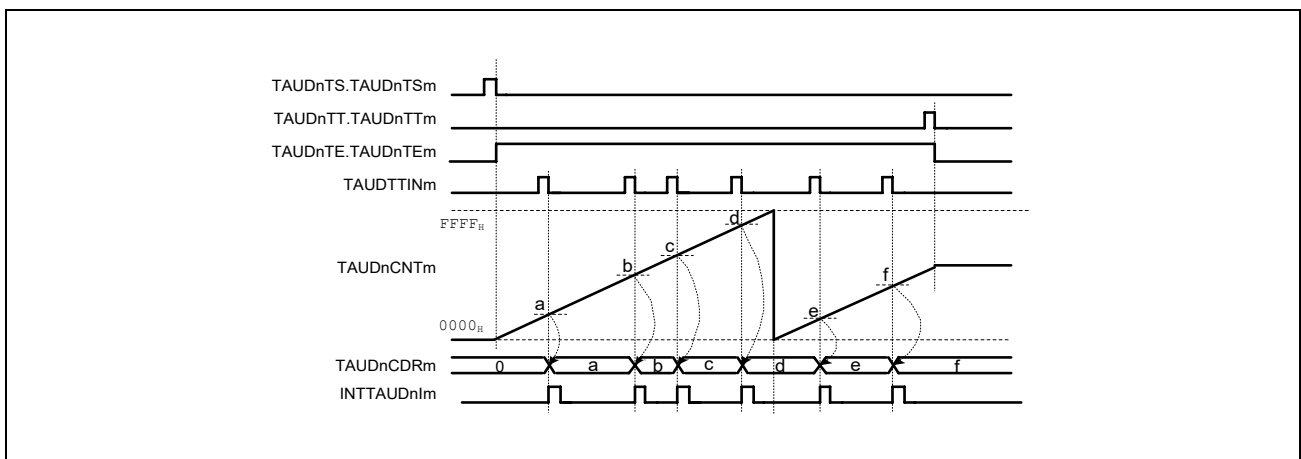


図 18.58 TAUDTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定**(a) TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.83 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUDnCOS[1:0]	01：この値に設定してください。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
4～1	TAUDnMD[4:1]	1011：カウントキャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.84 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.85 TAUDTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) TAUDTTINm 入力位置検出機能の操作手順

表 18.86 TAUDTTINm 入力位置検出機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.83 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容」と「表 18.84 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
動作再開	TAUDnCMURm.TAUDnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： <ul style="list-style-type: none"> • TAUDnCNTm が自身の値を TAUDnCDRm に転送 (キャプチャ) します。 • INTTAUDnIm を出力します。 • カウンタ値は 0000_Hにクリアされず、TAUDnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

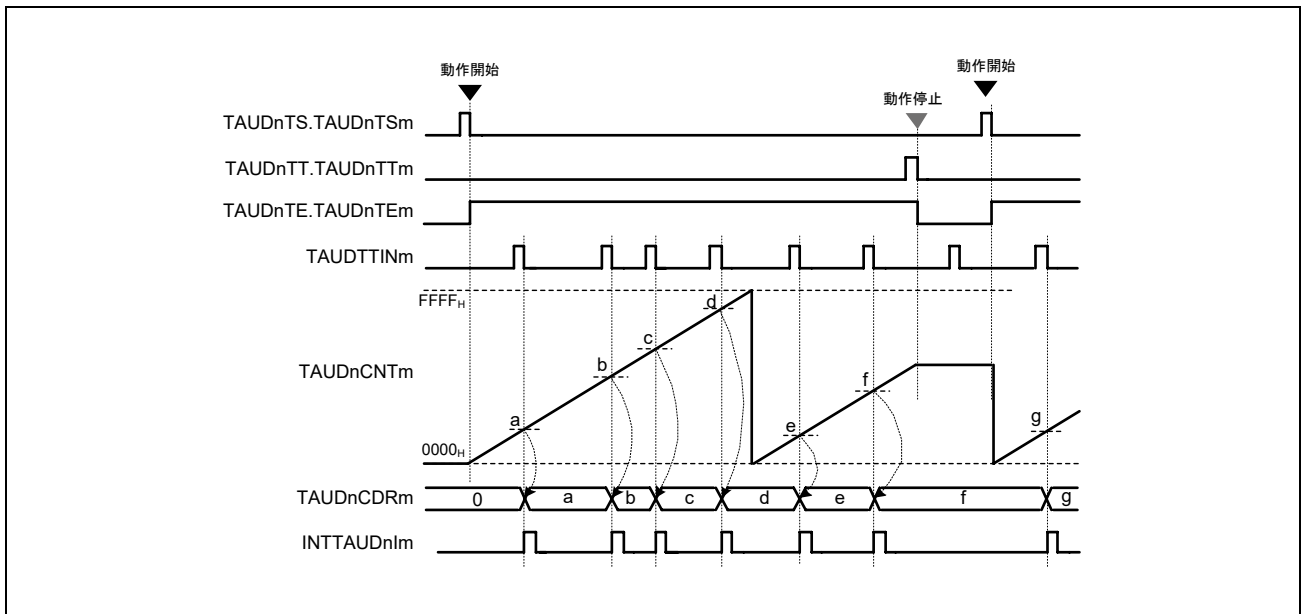


図 18.59 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEM は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSM を “1” に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

18.4.9.10 TAUDTTINm 入力期間カウント検出機能

(1) 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります（「表 18.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUDTTINm 入力エッジを待ちます。

有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUDTTINm 入力ストップエッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。次の有効な TAUDTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値 (TAUDnCDRm + 1) を保持します。

次の有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUDTTINm 入力信号は、TAUDnCMORm.TAUDnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDnTE.TAUDnTEm = 1 期間中の TAUDnTS.TAUDnTSM のセット (1) は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

(2) 算出式

TAUDTTINm 入力幅累計 = カウントクロック周期 × (TAUDnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

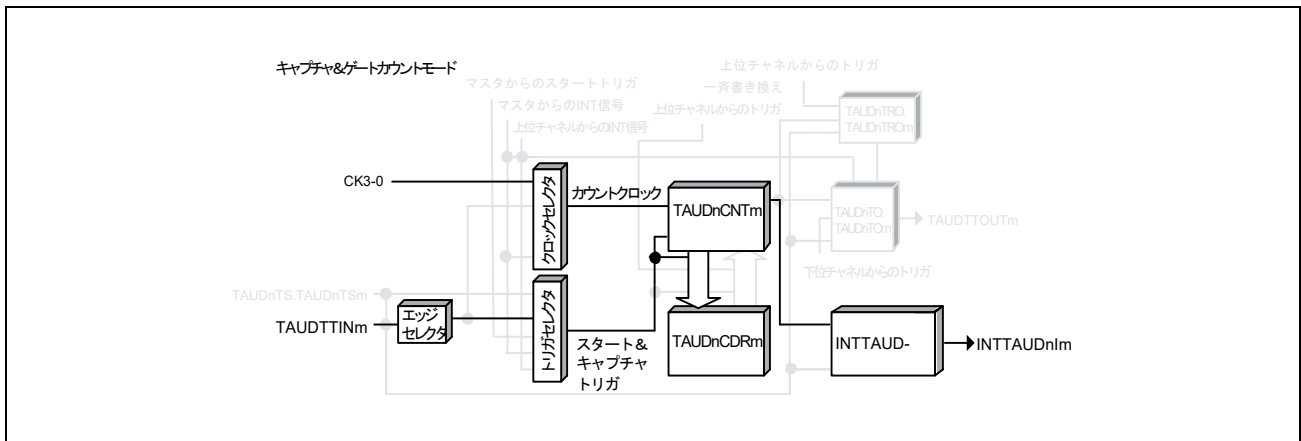


図 18.60 TAUDTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

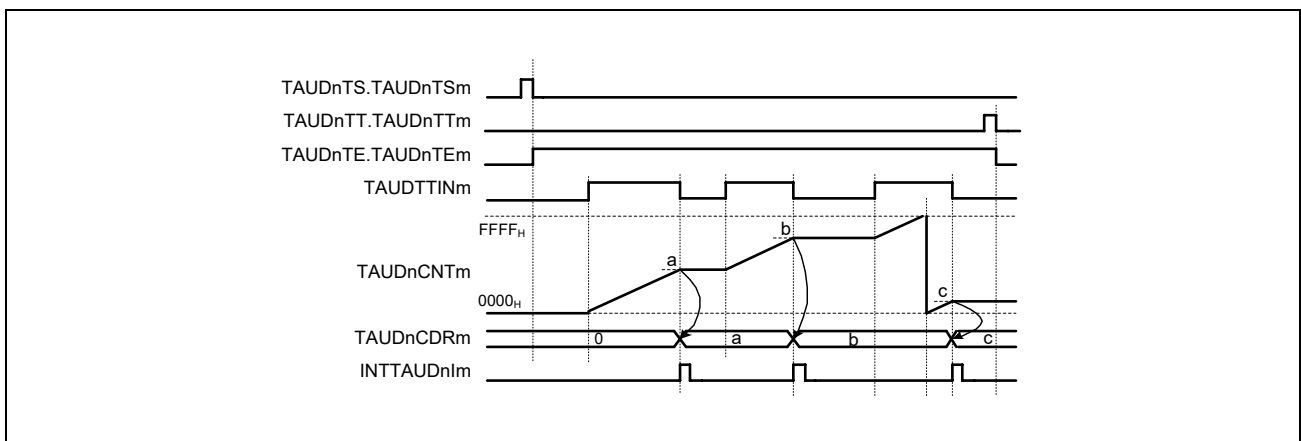


図 18.61 TAUDTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定

(a) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	01：この値に設定してください。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1101：キャプチャ&ゲートカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.88 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.89 TAUDTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

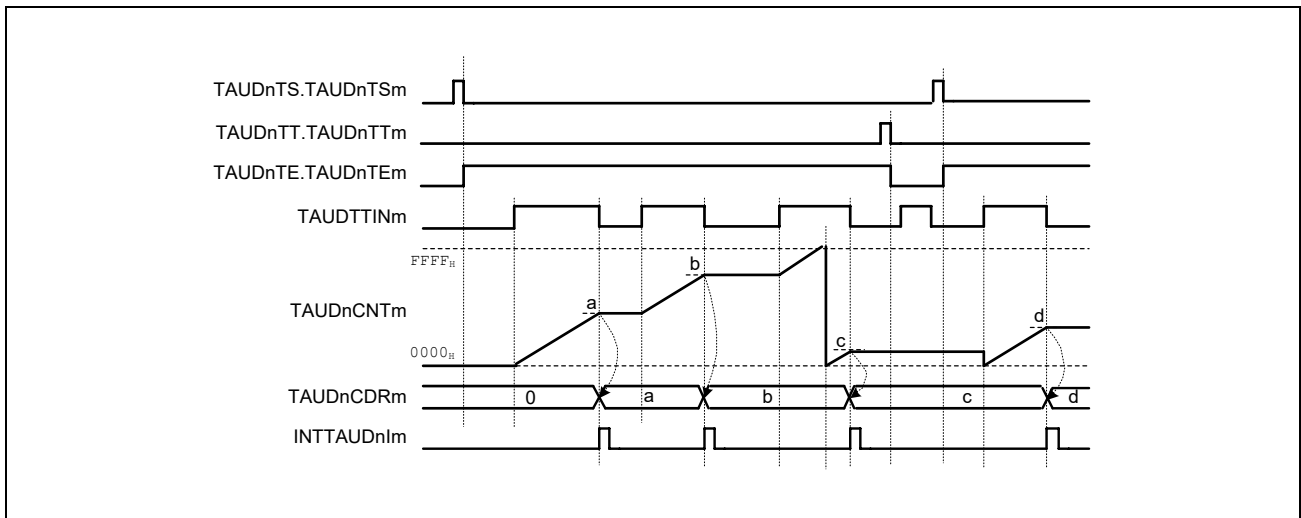
(5) TAUDTTINm 入力期間カウント検出機能の操作手順

表 18.90 TAUDTTINm 入力期間カウント検出機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.87 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」と「表 18.88 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は 0000 _H にクリアされ、TAUDnCNTm はアップカウントを開始します。
動作再開	動作中	TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV は、“1”に設定可能です。 TAUDTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ)を検出すると、TAUDnCNTm は停止値よりアップカウントを開始します。 TAUDnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ)を検出すると、値を TAUDnCDRm に転送し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 18.62 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSM を “1” に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

18.4.9.11 TAUDTTINm 入力パルスインターバル判定機能

(1) 概要

概要

この機能は、TAUDTTINm 入力パルスの発生時、カウント値 (TAUDnCNTm) とチャンネルデータレジスタ (TAUDnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。

前提条件

- 動作モードはジャッジモードに設定する必要があります (「表 18.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

TAUDTTINm 有効エッジが検出された場合、または TAUDnTS.TAUDnTSm が “1” に設定された場合、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。TAUDnCNTm は、TAUDnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが 0000_Hに達すると、TAUDnCNTm はオーバフローし、FFFF_Hに設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。

- TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。

(2) ブロック図と基本タイミング図

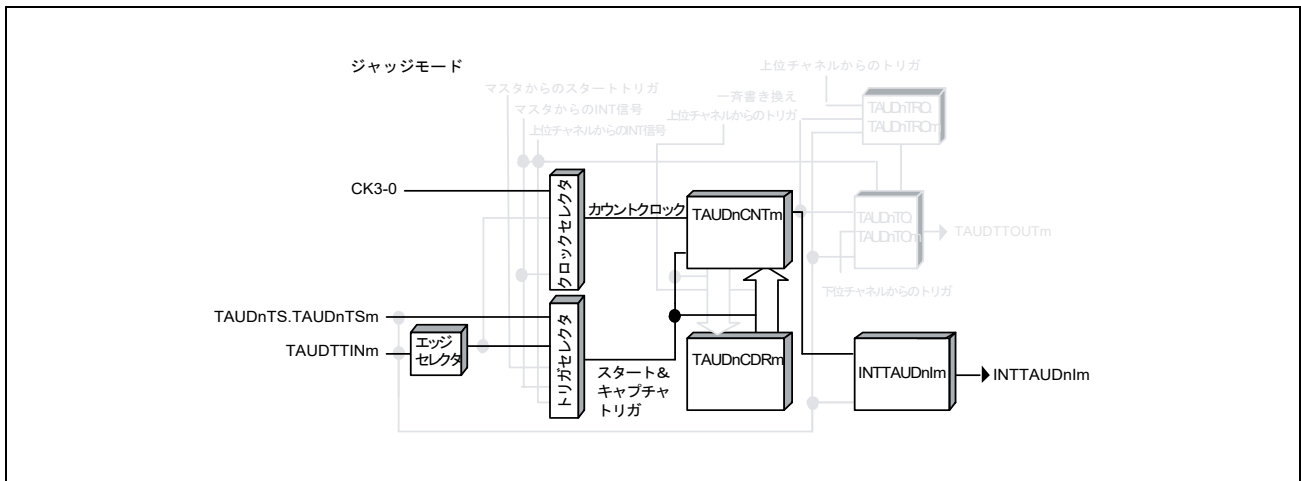


図 18.63 TAUDTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

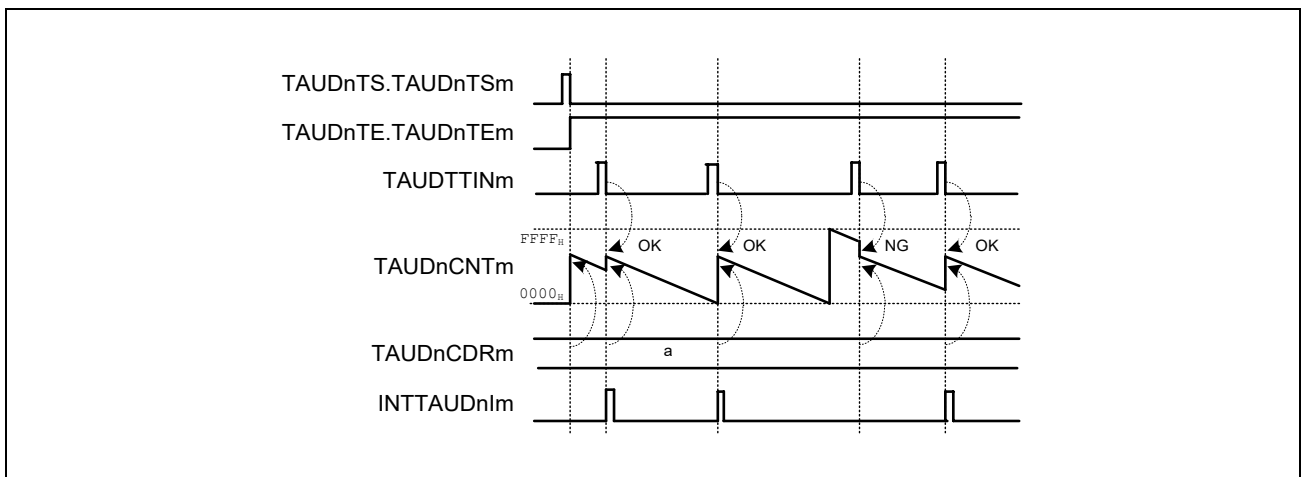


図 18.64 TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図

(3) レジスタ設定**(a) TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	001 : TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0001 : ジャッジモード
0	TAUDnMD0	0 : TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1 : TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.92 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がリエッジ検出 10 : 両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.93 TAUDTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) TAUDTTINm 入力パルスインターバル判定機能の操作手順

表 18.94 TAUDTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.91 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」と「表 18.92 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。
動作再開	動作中	TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

18.4.9.12 TAUDTTINm 入力信号幅判定機能

(1) 概要

概要

この機能は、TAUDTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値 (TAUDnCNTm) と TAUDnCDRm の大小判定の結果を割り込み要求信号 INTTAUDnIm より出力します。

前提条件

- 動作モードはジャッジ&ワンカウントモードに設定する必要があります (「表 18.95 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

有効な TAUDTTINm ストップエッジが検出されると、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。カウンタ TAUDnCNTm は、比較の結果に関係なく、次の有効な TAUDTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが 0000_Hに達すると、TAUDnCNTm はオーバフローし、FFFF_Hに設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。
 - TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
 - TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMURm.TAUDnTIS[1:0]ビットで幅測定のタイプを指定します。
 - ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合) では、TAUDTTINm 立ち上がりエッジをスタートエッジ、TAUDTTINm 立ち下がりエッジをストップエッジとして使用します。
 - ロウレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合) では、TAUDTTINm 立ち下がりエッジをスタートエッジ、TAUDTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

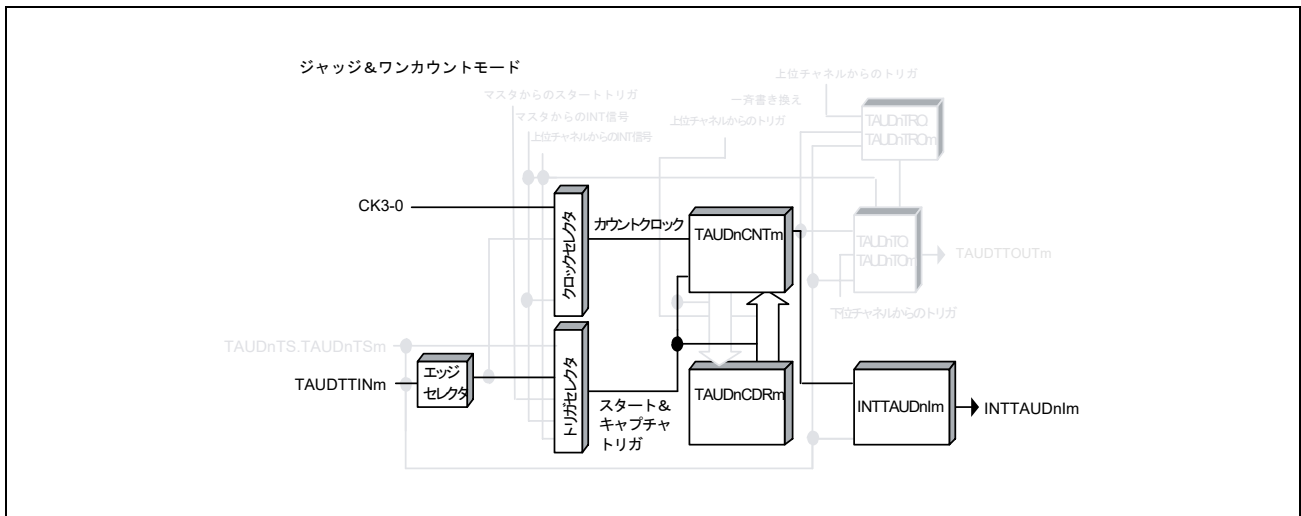


図 18.65 TAUDTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUDnCNTm \leq TAUDnCDRm$ ($TAUDnCMORm.TAUDnMD0 = 0$) の場合、 $INTTAUDnIm$ が発生します。
- $TAUDTTINm$ 有効スタートエッジ=立ち上がりエッジ、 $TAUDTTINm$ 有効ストップエッジ=立ち下がりエッジ ($TAUDnCMURm.TAUDnTIS[1:0] = 11B$)

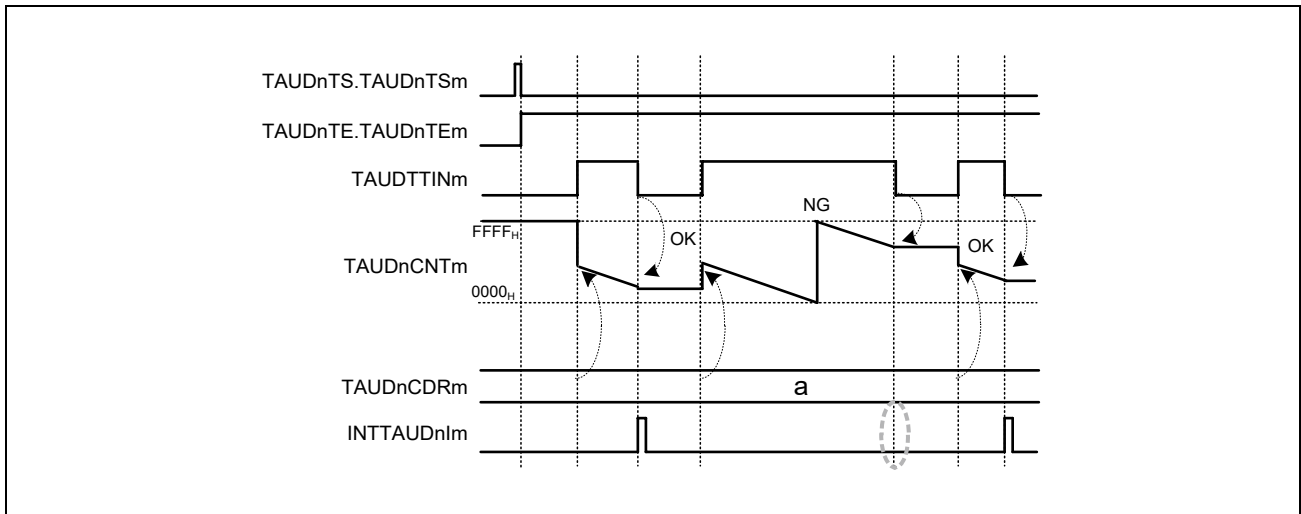


図 18.66 TAUDTTINm 入力信号幅判定機能の基本タイミング図

(3) レジスタ設定**(a) TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.95 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0111：ジャッジ&ワンカウントモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(b) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.96 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.97 TAUDTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) TAUDTTINm 入力信号幅判定機能の操作手順

表 18.98 TAUDTTINm 入力信号幅判定機能の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 18.95 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」と「表 18.96 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作再開	動作中	TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。 TAUDTTINm スタートエッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

18.4.10 チャンネル単体リアルタイム機能

この節では、TAUDnTRO.TAUDnTROm ビット値をリアルタイム出力する機能について説明します。

- 「18.4.10.1 リアルタイム出力機能タイプ 1」
- 「18.4.10.2 リアルタイム出力機能タイプ 2」

18.4.10.1 リアルタイム出力機能タイプ 1

(1) 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDTTOUTm 制御を使用するチャンネルが必要です。
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 18.99 リアルタイム出力機能タイプ 1 の TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード 1 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャンネルのカウンタが 0000_Hに達すると、INTTAUDnIm が発生し、TAUDTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを “0” に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREM = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「18.4.6 カウント開始/リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) 算出式

INTTAUDnIm の発生周期 = カウントクロック周期 × (TAUDnCDRm 値 + 1)

(3) ブロック図と基本タイミング図

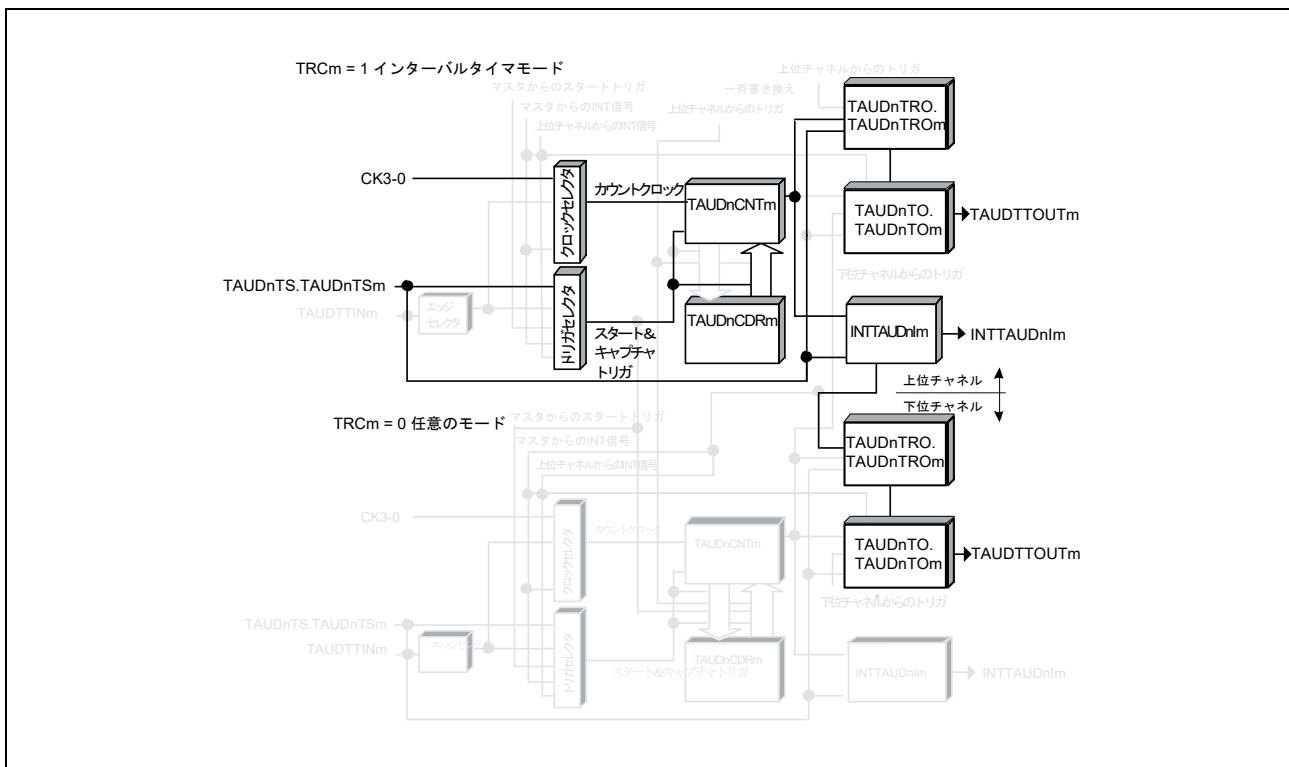


図 18.67 リアルタイム出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

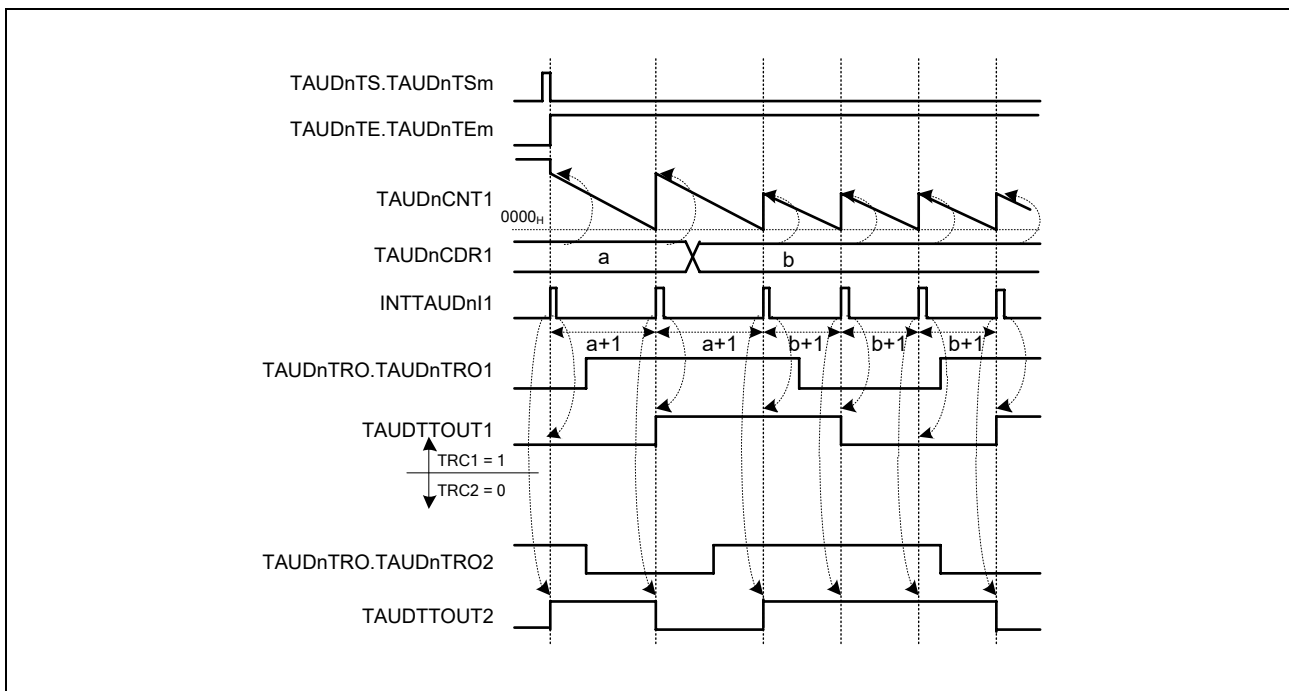


図 18.68 リアルタイム出力機能タイプ 1 の基本タイミング図

(4) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.99 リアルタイム出力機能タイプ 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない 1 : 動作開始時に INTTAUDnIm が発生する

(b) 上位チャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.100 リアルタイム出力機能タイプ 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) 上位チャンネルのチャンネル出力モード

表 18.101 リアルタイム出力を行うチャンネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1 : リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力はロウレベル 1 : リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1 : チャンネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0 : 変調禁止

(d) 上位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ 1 では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.102 リアルタイム出力機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUDnCMORm**

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(b) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(c) 下位チャンネルのチャンネル出力モード

表 18.103 リアルタイム出力を行うチャンネル単体出力モード 1 時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(6) リアルタイム出力機能タイプ 1 の操作手順

表 18.104 リアルタイム出力機能タイプ 1 の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	<p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 18.99 リアルタイム出力機能タイプ 1 の TAUDnCMORm レジスタの内容」と「表 18.100 リアルタイム出力機能タイプ 1 の TAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「(5) 下位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUDnCDRm レジスタの値を設定します (TAUDnTRC.TAUDnTRCm = 1 のチャンネルのみ)。</p> <p>制御ビットを「表 18.101 リアルタイム出力を行うチャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p> <p>制御ビットを「表 18.103 リアルタイム出力を行うチャンネル単体出力モード 1 時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>TAUDnTRC.TAUDnTRCm が “1” に設定されているチャンネルでは、TAUDnTS.TAUDnTSm = 1 を設定します。</p> <p>TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>[TAUDnTRC.TAUDnTRCm が “1” に設定されているチャンネル]</p> <p>TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。</p> <p>TAUDnCDRm の値を TAUDnCNTm にロードします。</p> <p>TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。</p>
動作再開	<p>TAUDnCDRm レジスタと TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。</p>	<p>TAUDnCNTm がダウンカウントを行います。カウントが 0000_H になった場合：</p> <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDTTOUtm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。以降、この動作を繰り返します。
動作停止	<p>TAUDnTT.TAUDnTTm を “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウント動作が停止します。</p> <p>TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUtm は現在値を保持します。</p>

(7) 特定の設定時のタイミング図

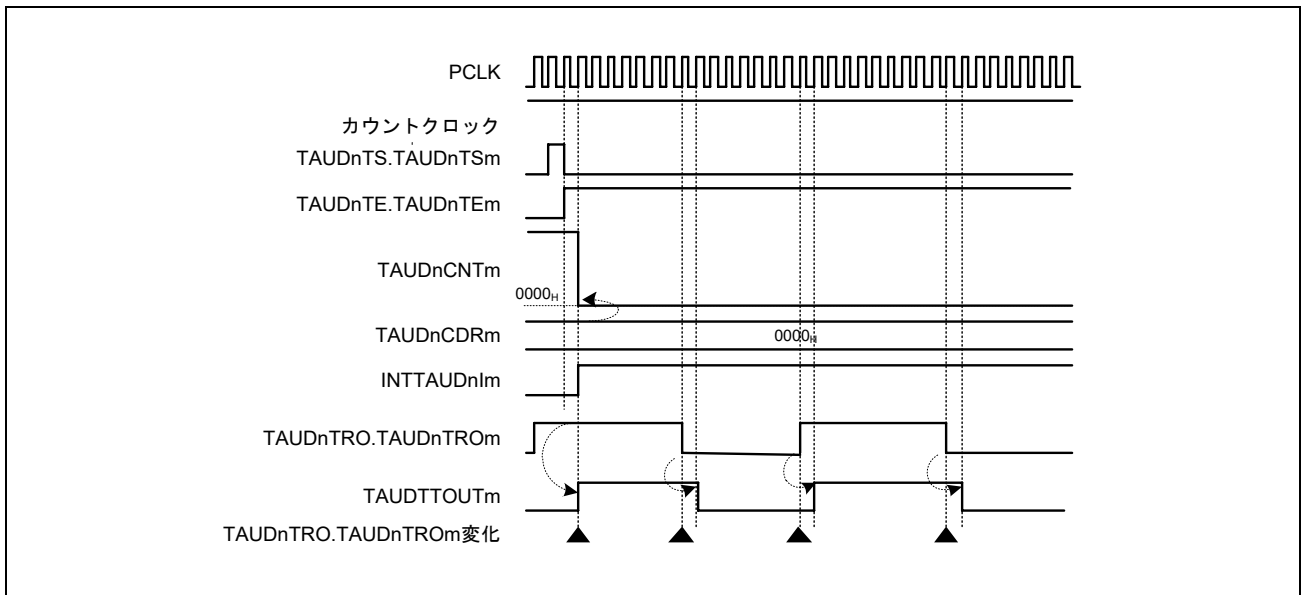


図 18.69 TAUDnCDRm = 0000H、TAUDnCMORm.TAUDnMD0 = 1

- TAUDTTOUTm の値は TAUDnTRO.TAUDnTROm の設定値から 1PCLK 周期遅延して変化します。

18.4.10.2 リアルタイム出力機能タイプ 2

(1) 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDTTOUTm 制御を使用するチャンネルが必要です。
- 上位チャンネルの動作モードは、キャプチャモードに設定する必要があります (「表 18.105 リアルタイム出力機能タイプ 2 の TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード 1 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャンネルのカウンタがアップカウントを開始します。

上位チャンネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、TAUDTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREM = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「18.4.6 カウント開始/リスタート時の TAUDTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) ブロック図と基本タイミング図

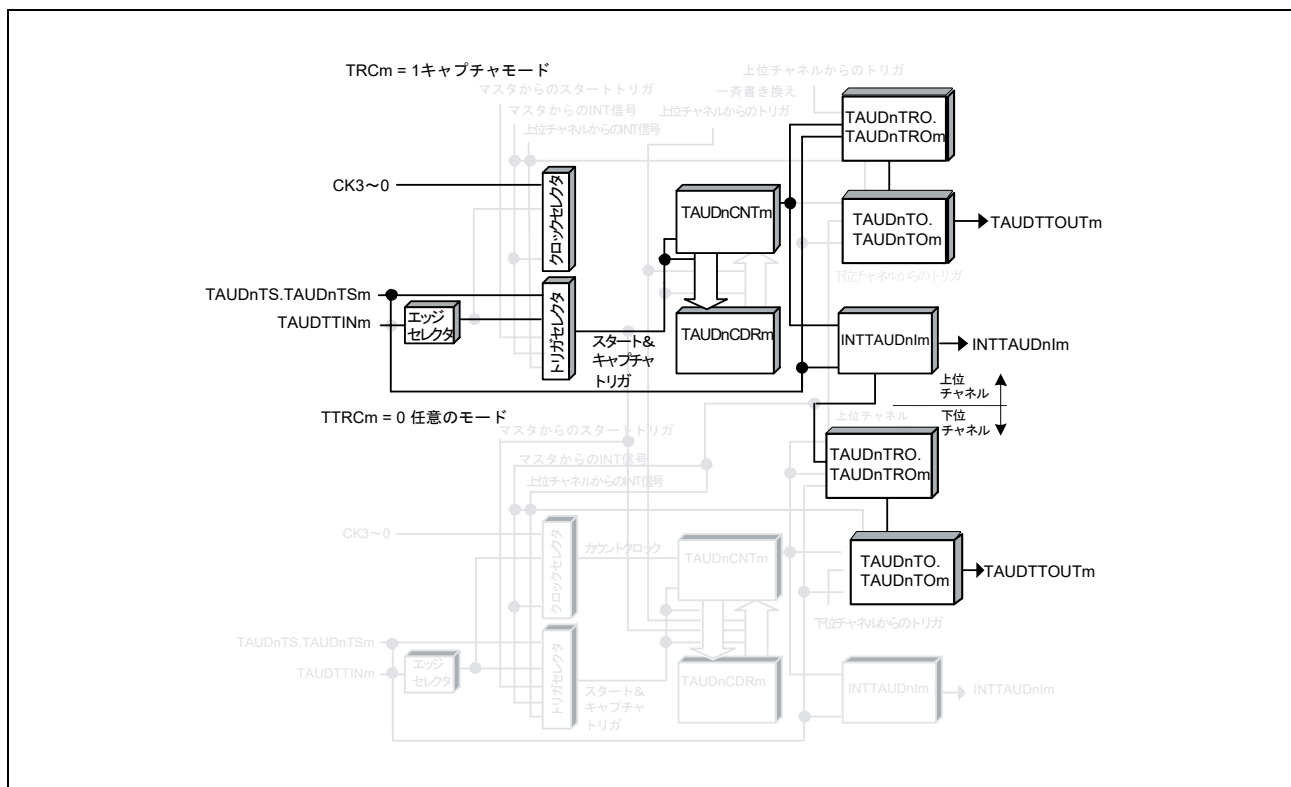


図 18.70 リアルタイム出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)

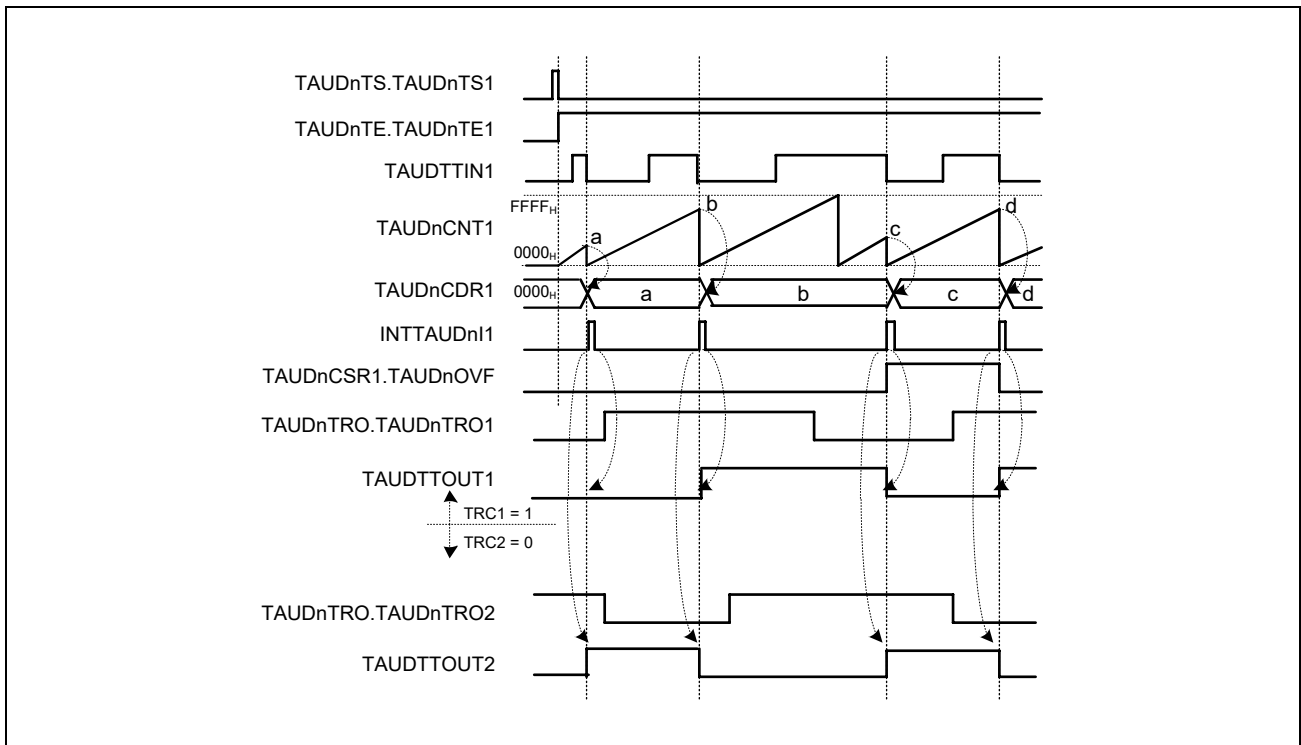


図 18.71 リアルタイム出力機能タイプ 2 の基本タイミング図

(3) 上位チャネルのレジスタ設定

(a) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.105 リアルタイム出力機能タイプ 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	001 : TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0010 : キャプチャモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない 1 : 動作開始時に INTTAUDnIm が発生する

(b) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.106 リアルタイム出力機能タイプ 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がリエッジ検出 10 : 両エッジ検出

(c) 上位チャンネルのチャンネル出力モード

表 18.107 リアルタイム出力を行うチャンネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル
	1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャンネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) 上位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ 2 では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.108 リアルタイム出力機能タイプ 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUDnCMORm**

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(b) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(c) 下位チャンネルのチャンネル出力モード

表 18.109 リアルタイム出力を行うチャンネル単体出力モード 1 時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止 1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(5) リアルタイム出力機能タイプ 2 の操作手順

表 18.110 リアルタイム出力機能タイプ 2 の操作手順

	操作	TAUDn の状態
動作再開	チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	[TAUDnTRC.TAUDnTRCm が “1” に設定されているチャンネル] TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
	動作中	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDTTINm 入力の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCDRm の値を TAUDnCNTm にキャプチャし、カウンタを 0000_H にクリアします。 INTTAUDnIm が発生します。 TAUDnCSRm.TAUDnOVF ビットは TAUDTTINm 入力有効エッジを検出したとき、オーバフロー発生後ならば “1” にセット、オーバフロー発生前ならば “0” にクリアされます。 TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
	動作停止	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm、TAUDnCSRm.TAUDnOVF、TAUDTTOUTm は現在値を保持します。

(6) 特定のタイミング図

(a) 動作の開始と停止

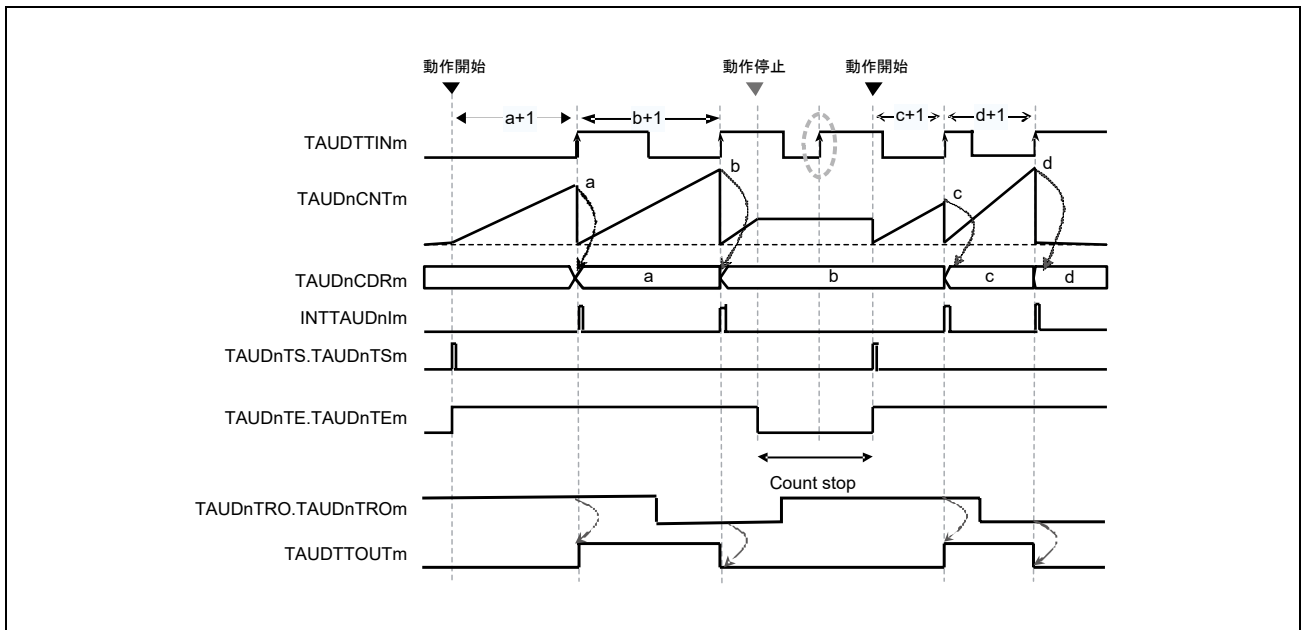


図 18.72 動作の開始と停止 (TAUDnCMORm.TAUDnMD0 = 0)

- TAUDnTS.TAUDnTsm が “1” に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ (TAUDnCDRm) に書き込まれ、割り込みが発生します。
- TAUDTTOUTm はリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合 (TAUDnTE.TAUDnTEm = 0)、有効な入力エッジは無視され、割り込みは発生しません。

18.4.11 チャンネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

- 「18.4.11.1 一斉書き換えトリガ生成機能タイプ 1」

18.4.11.1 一斉書き換えトリガ生成機能タイプ 1

(1) 概要

概要

下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUDnRDC.TAUDnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUDnRDC.TAUDnRDCm = 0) です。

前提条件

- 上位チャンネルとして使用するチャンネルより下位の 2 チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUDnRDE.TAUDnRDEm = 1)
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 18.111 一斉書き換えトリガ生成機能タイプ 1 の TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルに設定可能な動作モードは、「表 18.42 各チャンネル動作機能の一斉書き換え対応」を参照してください。
- この機能では、TAUDTTOUTm はいずれのチャンネルでも使用しません。

機能説明

上位チャンネル、下位チャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。上位チャンネルのデータレジスタバッファ (TAUDnCDRm buf) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_Hになると、そのチャンネルで割り込みが発生します。対応する TAUDnCDRm バッファの現在値を TAUDnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガチャンネルとして設定されていて

(TAUDnRDC.TAUDnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUDnRSF.TAUDnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。「18.4.6 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

(2) 算出式

$$\text{一斉書き換えトリガの生成周期} = \text{カウントクロック周期} \times (\text{TAUDnCDRm} + 1)$$

一斉書き換えを制御するには、次の条件が満たされている必要があります。

【PWM の場合】

$$\text{TAUDnCDRm} = [(\text{一斉書き換え対象マスタチャンネルの TAUDnCDRm 値} + 1) \times \text{割り込み数}] - 1$$

【三角波 PWM の場合】

$$\text{TAUDnCDRm} = [(\text{一斉書き換え対象マスタチャンネルの TAUDnCDRm 値} + 1) \times 2 \times \text{割り込み数}] - 1$$

つまり、TAUDnCDRm + 1 と一斉書き換え対象マスタチャンネルの TAUDnCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

(3) ブロック図と基本タイミング図

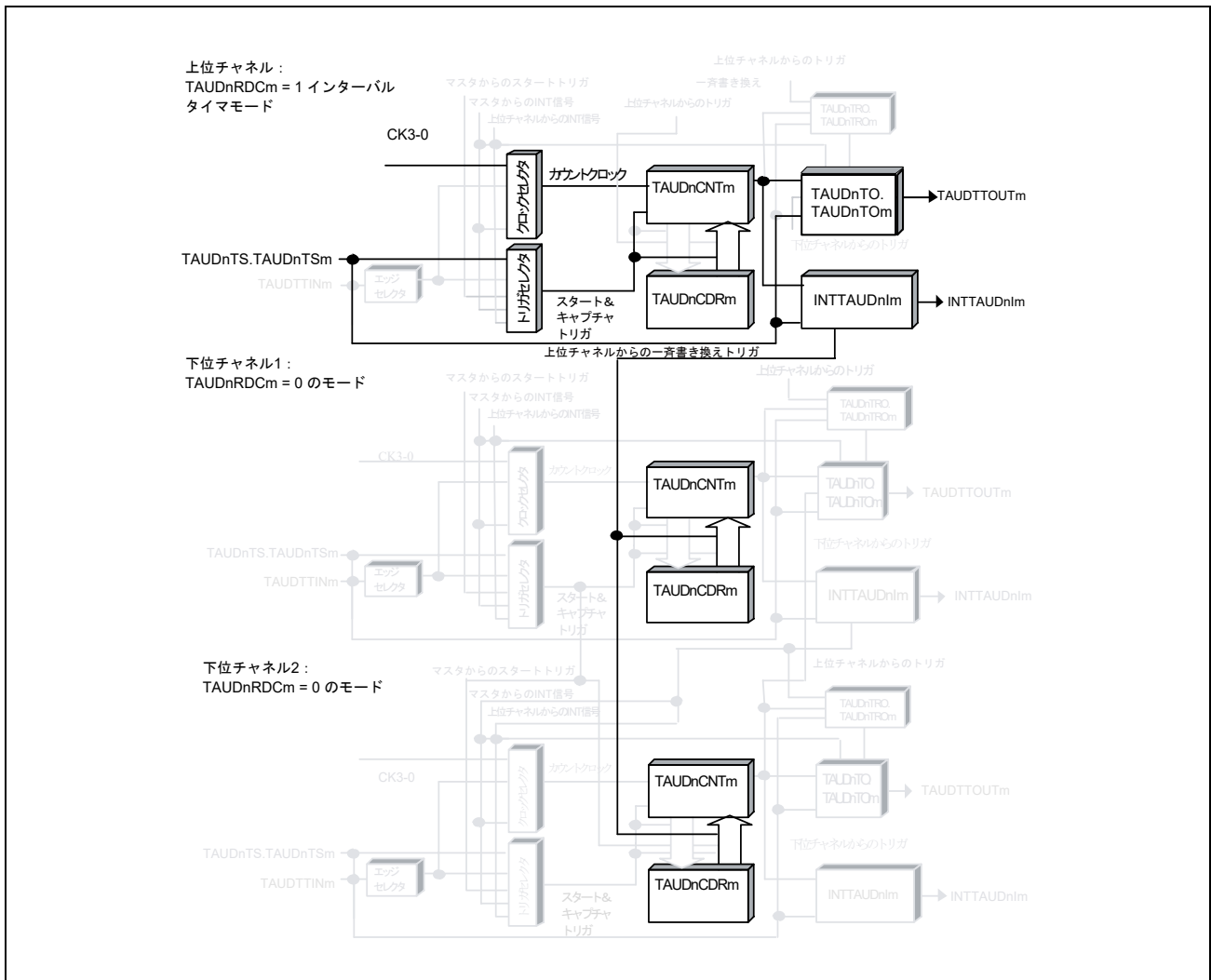


図 18.73 一斉書き換えトリガ生成機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

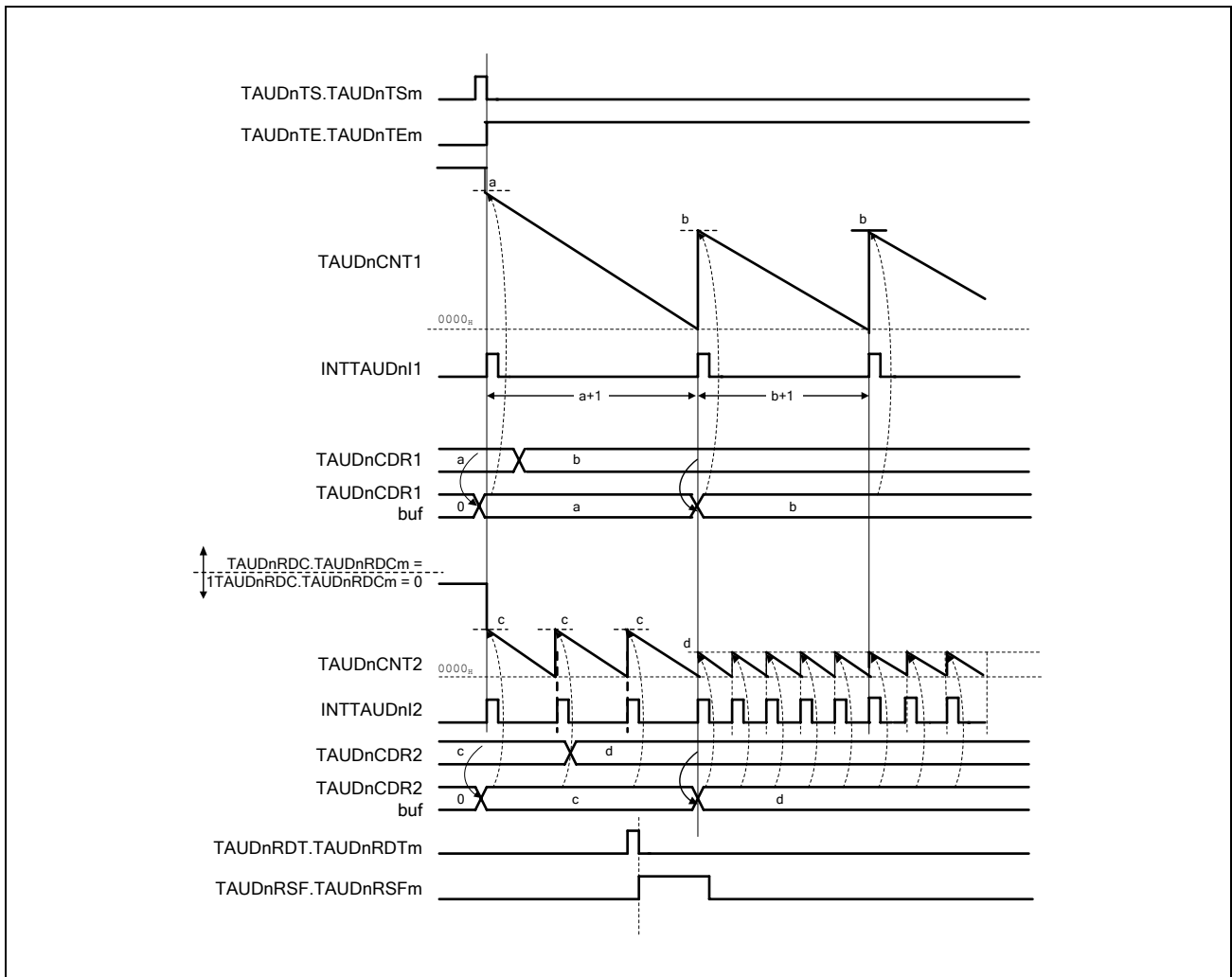


図 18.74 一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

(4) 上位チャネルのレジスタ設定**(a) 上位チャネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.111 一斉書き換えトリガ生成機能タイプ 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない 1 : 動作開始時に INTTAUDnIm が発生する

(b) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.112 一斉書き換えトリガ生成機能タイプ 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) 上位チャンネルの一斉書き換え

表 18.113 一斉書き換えトリガ生成機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の 1 チャンネルを一斉書き換えの制御チャンネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1: チャンネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

(5) 下位チャンネルのレジスタ設定**(a) 下位チャンネルの TAUDnCMORm**

下位チャンネルの TAUDnCMORm レジスタは、設定可能な動作モードの TAUDnCMORm レジスタ設定にしたがってください（「表 18.42 各チャンネル動作機能の一斉書き換え対応」を参照してください）。

(b) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは、設定可能な動作モードの TAUDnCMURm レジスタ設定にしたがってください（「表 18.42 各チャンネル動作機能の一斉書き換え対応」を参照してください）。

(c) 下位チャンネルのチャンネル出力モード

下位チャンネルの動作モード（マスタ、スレーブ）設定にしたがった出力が可能です。

一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、「表 18.42 各チャンネル動作機能の一斉書き換え対応」を参照してください。

(d) 下位チャンネルの一斉書き換え

表 18.114 一斉書き換えトリガ生成機能タイプ 1 時の下位チャンネル一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の 1 チャンネルを一斉書き換えの制御チャンネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない

(6) 一斉書き換えトリガ生成機能タイプ 1 の操作手順

表 18.115 一斉書き換えトリガ生成機能タイプ 1 の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	<p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 18.111 一斉書き換えトリガ生成機能タイプ 1 の TAUDnCMORm レジスタの内容」と「表 18.112 一斉書き換えトリガ生成機能タイプ 1 の TAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「(5) 下位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>TAUDnTS.TAUDnTSM を“1”に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。</p> <p>TAUDnCDRm の値を TAUDnCNTm にロードします。</p> <p>TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生します。</p>
動作再開	<p>TAUDnRDT.TAUDnRDTm、TAUDnCDR.CDRm は変更可能です。</p> <p>TAUDnRSF.TAUDnRSFm は常に読み出し可能です。</p>	<p>TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 <p>TAUDnRDC.TAUDnRDCm が“1”に設定されているチャンネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。</p> <p>以降、この動作を繰り返します。</p>
動作停止	<p>TAUDnTT.TAUDnTTm を“1”に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。</p>

18.4.12 チャネル連動動作機能

この節では、TAUD のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「18.2 概要」を参照してください。

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

- 「18.4.12.1 PWM 出力機能」
- 「18.4.12.2 ワンショットパルス出力機能」
- 「18.4.12.3 トリガスタート PWM 出力機能」
- 「18.4.12.4 デレイパルス出力機能」
- 「18.4.12.5 オフセットトリガ出力機能」
- 「18.4.12.6 A/D 変換トリガ出力機能タイプ 1」
- 「18.4.12.7 三角波 PWM 出力機能」
- 「18.4.12.8 デッドタイム付き三角波 PWM 出力機能」
- 「18.4.12.9 A/D 変換トリガ出力機能タイプ 2」
- 「18.4.12.10 割り込み要求信号間引き機能」
- 「18.4.12.11 1 相 PWM 出力機能」

18.4.12.1 PWM 出力機能

(1) 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネルが必要です。
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 18.116 PWM 出力機能時のマスタチャネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表 18.119 PWM 出力機能時のスレーブチャネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（「18.4.4 チャネル出力モード」参照）。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャンネル：
 - マスタチャンネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。TAUDnCDRm 値を TAUDnCNTm にロードし、ダウンカウントを行います。
- スレーブチャンネル：
 - マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。
 - カウンタ値が 0000_H になると (デューティ時間が経過すると) INTTAUDnIm が発生し、TAUDTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を “1” に設定すると、カウンタを再開できます。

条件

この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル[%] = (TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0%
 - TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
 - TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

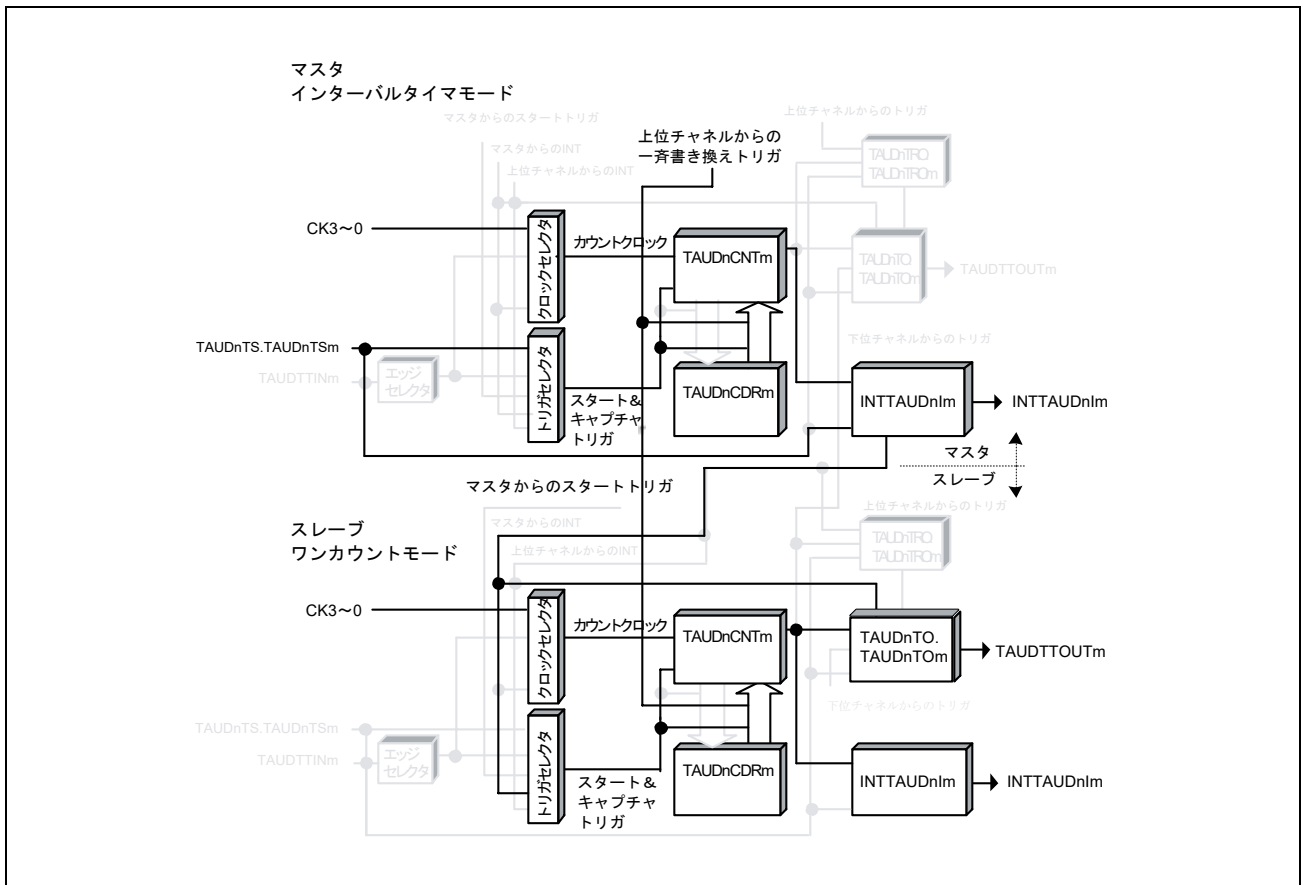


図 18.75 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル：正論理 (TAUDnTOL.TAUDnTOLm = 0)

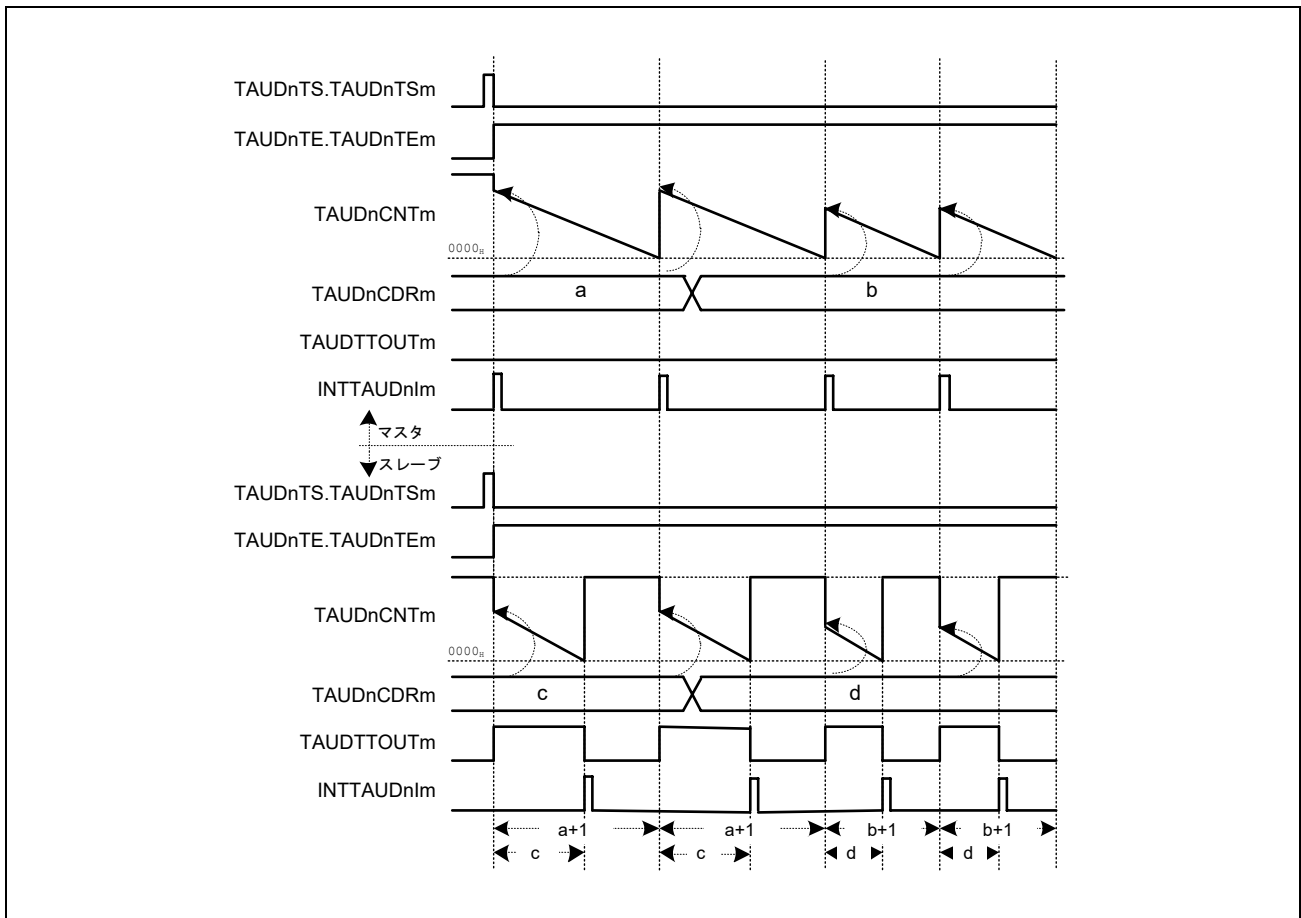


図 18.76 PWM 出力機能の基本タイミング図

備考

- スレーブチャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUDnCDRm の値になりますが、マスタチャンネルでの間隔は対応する TAUDnCDRm + 1 の値になります。
- スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.116 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	1 : 動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.117 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.118 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm ビット = 1 で使用する場合、マスタチャンネルの上位に「18.4.11.1 一斉書き換えトリガ生成機能タイプ 1」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル: TAUDnRDCm = 1、TAUDnRDSm = 1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= (一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1

TAUDnCDRm (スレーブ) の設定値 > TAUDnCDRm (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.119 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : 動作中のスタートトリガが有効

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.120 PWM 出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネルのチャンネル出力モード

表 18.121 チャンネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、"0" を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、"0" を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.122 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

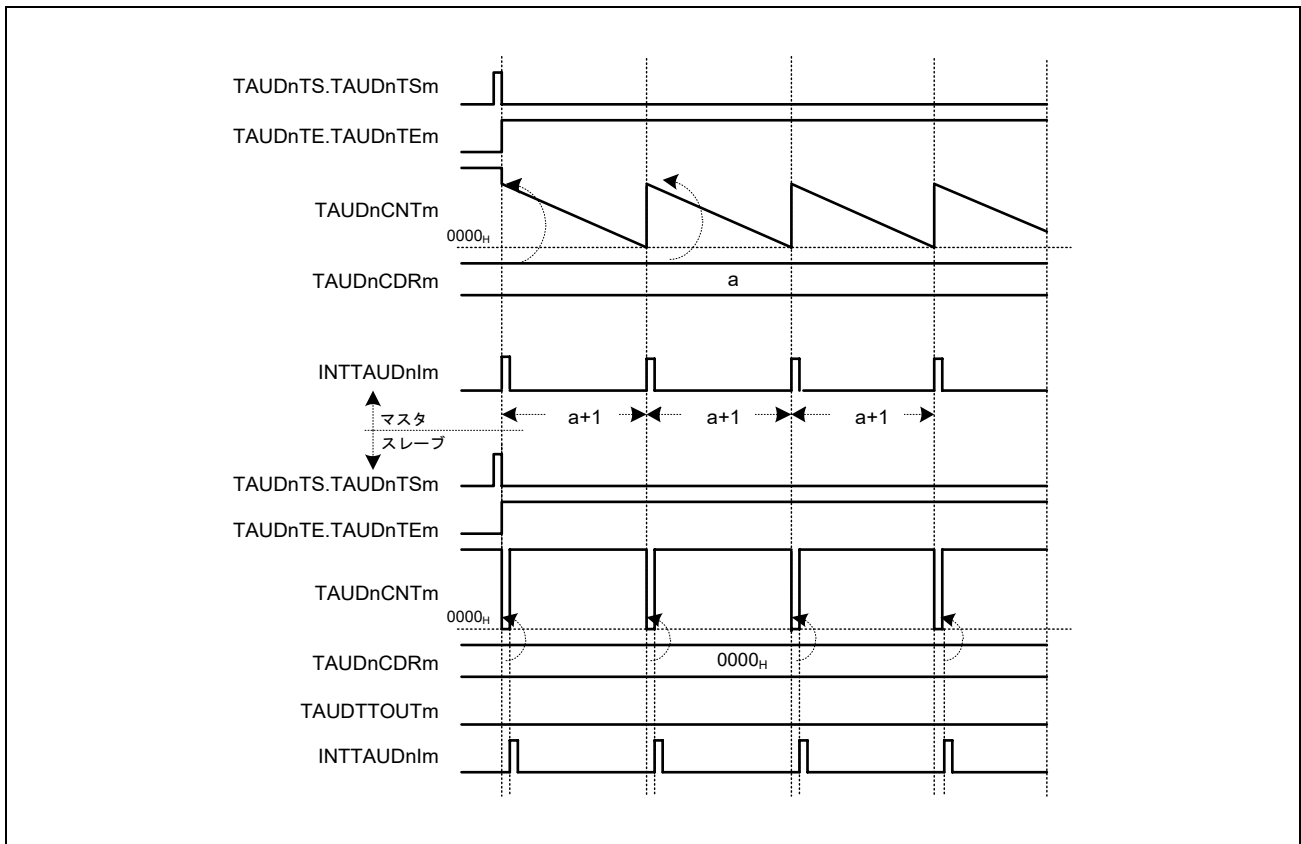
(6) PWM 出力機能の操作手順

表 18.123 PWM 出力機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスターチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスターチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスターチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスター/スレーブチャンネル) が “1” に設定され、マスター/スレーブチャンネルのカウンタが動作を開始します。</p> <p>マスターチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) が設定されます。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnTOL.TAUDnTOLm は変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスターチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスター) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスター) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がアクティブレベルに設定されます。 <p>TAUDnCNTm (スレーブ) が 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がインアクティブレベルに設定されます。 <p>また、スレーブチャンネルのカウント動作が停止します。</p>
動作停止	<p>マスターチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(7) 特定の設定時のタイミング図

(a) デューティサイクル= 0%

図 18.77 TAUDnCDRm (スレーブ) = 0000_H、正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUDnCNTm (スレーブ) はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティサイクル = 100%

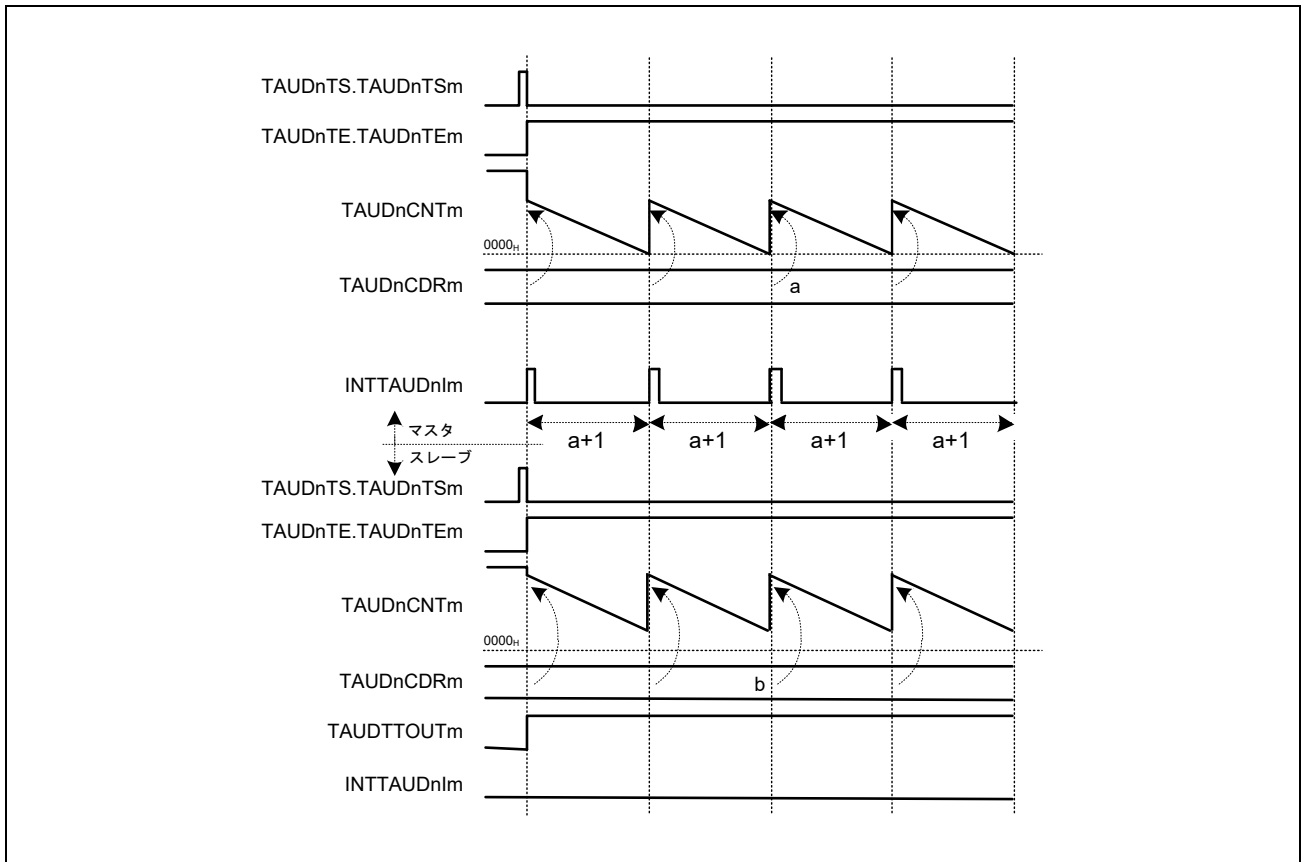


図 18.78 TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスタ) + 1
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_Hにならないため、割り込みが発生しません。TAUDTTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

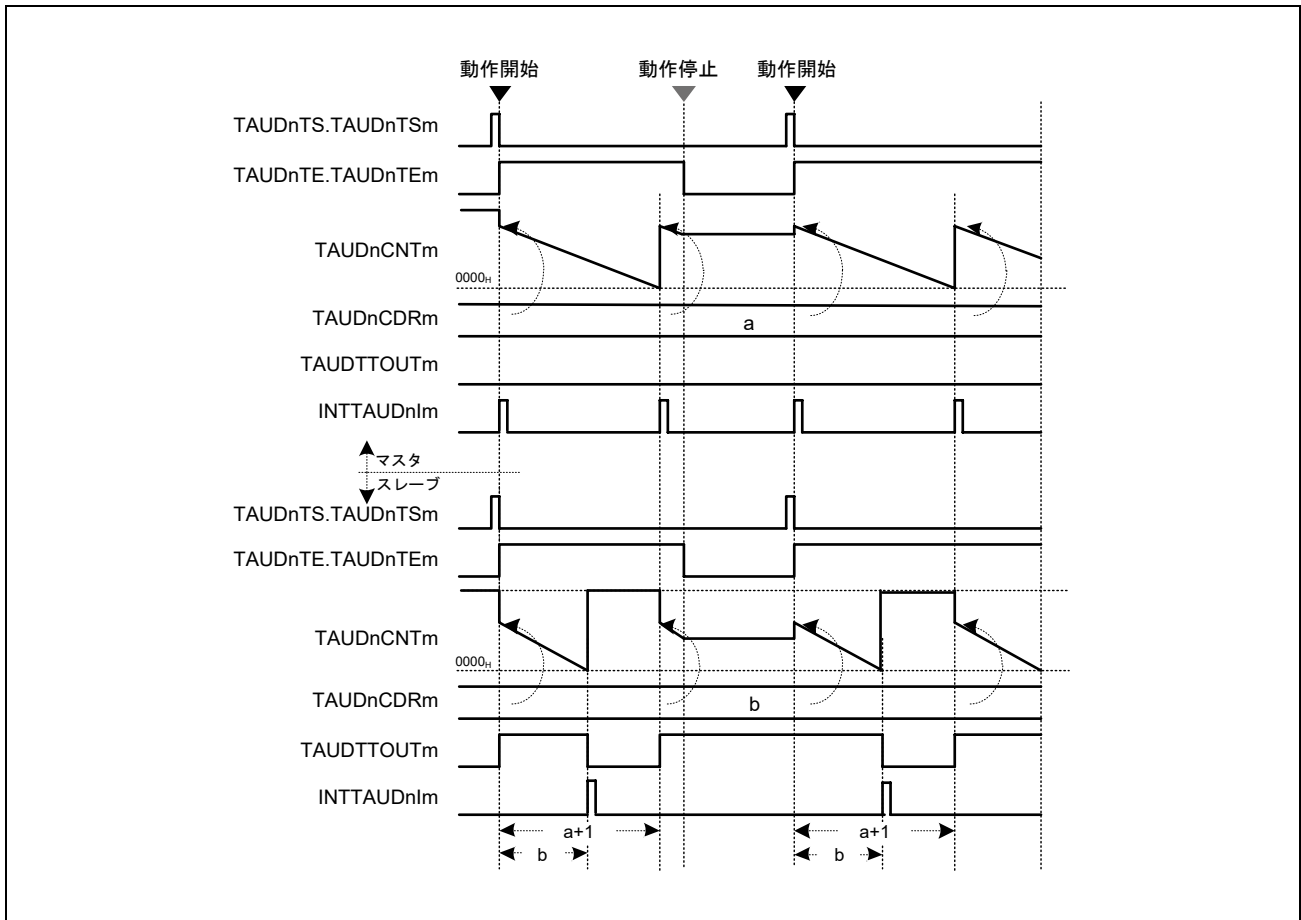


図 18.79 動作の停止と再開
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- 全チャンネルの TAUDnCNTm と TAUDTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUDnTS.TAUDnTSM を “1” に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUDnCDRm 値を TAUDnCNTm にロードし、この値からダウンカウントを開始します。

18.4.12.2 ワンショットパルス出力機能

(1) 概要

概要

マスタチャンネルとスレーブチャンネルを使って外部入力信号パルス、またはソフトウェアトリガとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャンネルで設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネルが必要です。
- マスタチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 18.124 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、パルスワンカウントモードに設定する必要があります（「表 18.127 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード 2 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- TAUDTTINm（マスタ）は、TAUDnCNTm（マスタ）と TAUDnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャンネルからの割り込みでのみトリガされ、TAUDTTINm（スレーブ）ではトリガされません。
- ソフトウェアトリガのみを使用したい場合、端子兼用機能で TAUDTTINm を選択しないでください。

機能説明

マスタチャンネル、スレーブチャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：
次の有効な TAUDTTINm 入力エッジ、または、ソフトウェアトリガ (TAUDnTE.TAUDnTEm = 1 のとき、TAUDnTS.TAUDnTSM = 1 (m: マスタチャンネル番号)) が検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。カウンタは、この TAUDnCDRm 値からダウンカウントを開始します。TAUDnCMORm.TAUDnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUDTTINm) は無視されます。
マスタチャンネルのカウンタが 0000_Hになると、INTTAUDnIm が発生します。カウンタは FFFF_Hに戻り、次の有効な TAUDTTINm 入力エッジ、または、ソフトウェアトリガ (TAUDnTE.TAUDnTEm = 1 のとき、TAUDnTS.TAUDnTSM = 1 (m: マスタチャンネル番号)) を待ちます。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm 信号がセットされます。

カウンタ値が 0001_Hになると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは 0000_Hで停止し、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもマスタチャンネルのカウントを再開できます（強制リスタート）。

条件

- マスタチャンネルの TAUDnCMORm.TAUDnMD0 が“0”に設定されている場合、カウント中に検出された TAUDTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

(2) 算出式

トリガ入力からパルス出力までの遅延時間 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

(3) ブロック図と基本タイミング図

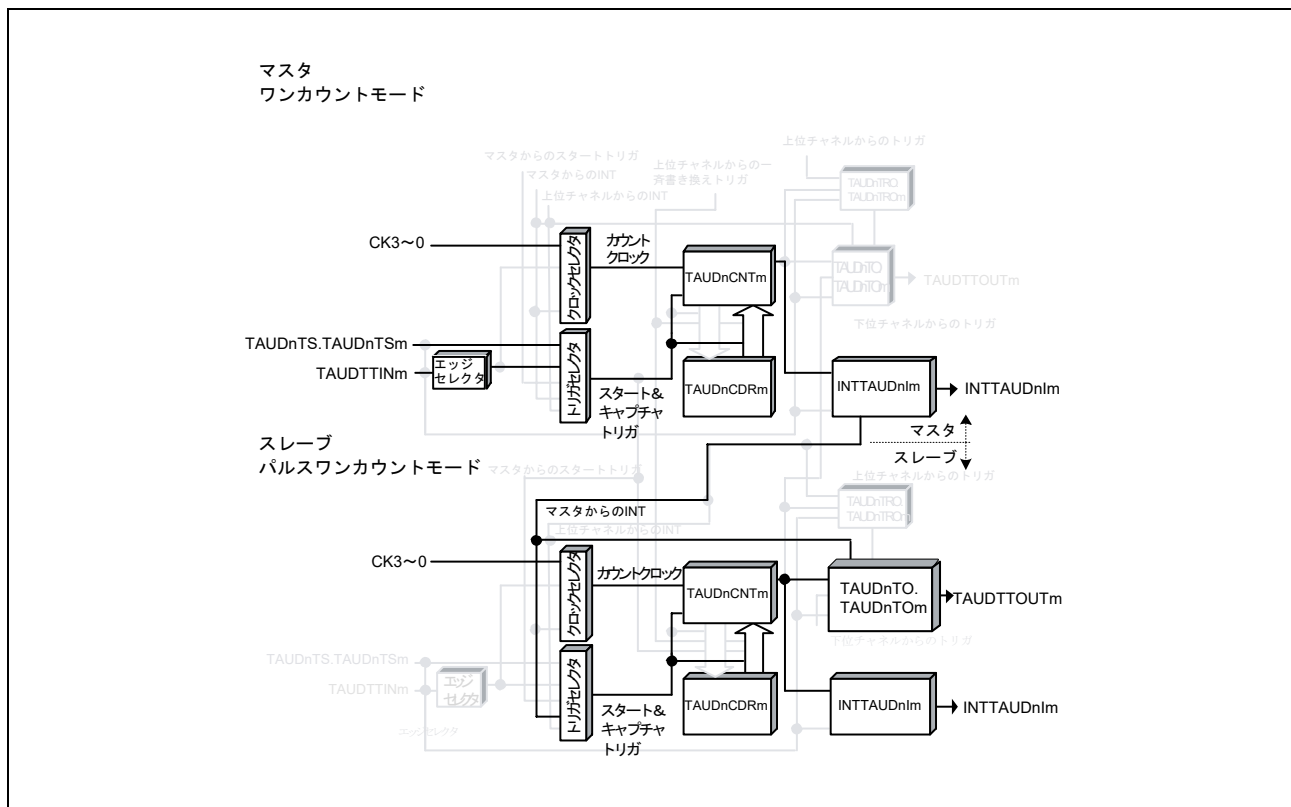


図 18.80 ワンショットパルス出力機能のブロック図

「図 18.81 基本タイミング図（外部入力信号の場合）」および「図 18.82 基本タイミング図（ソフトウェアトリガの場合）」での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

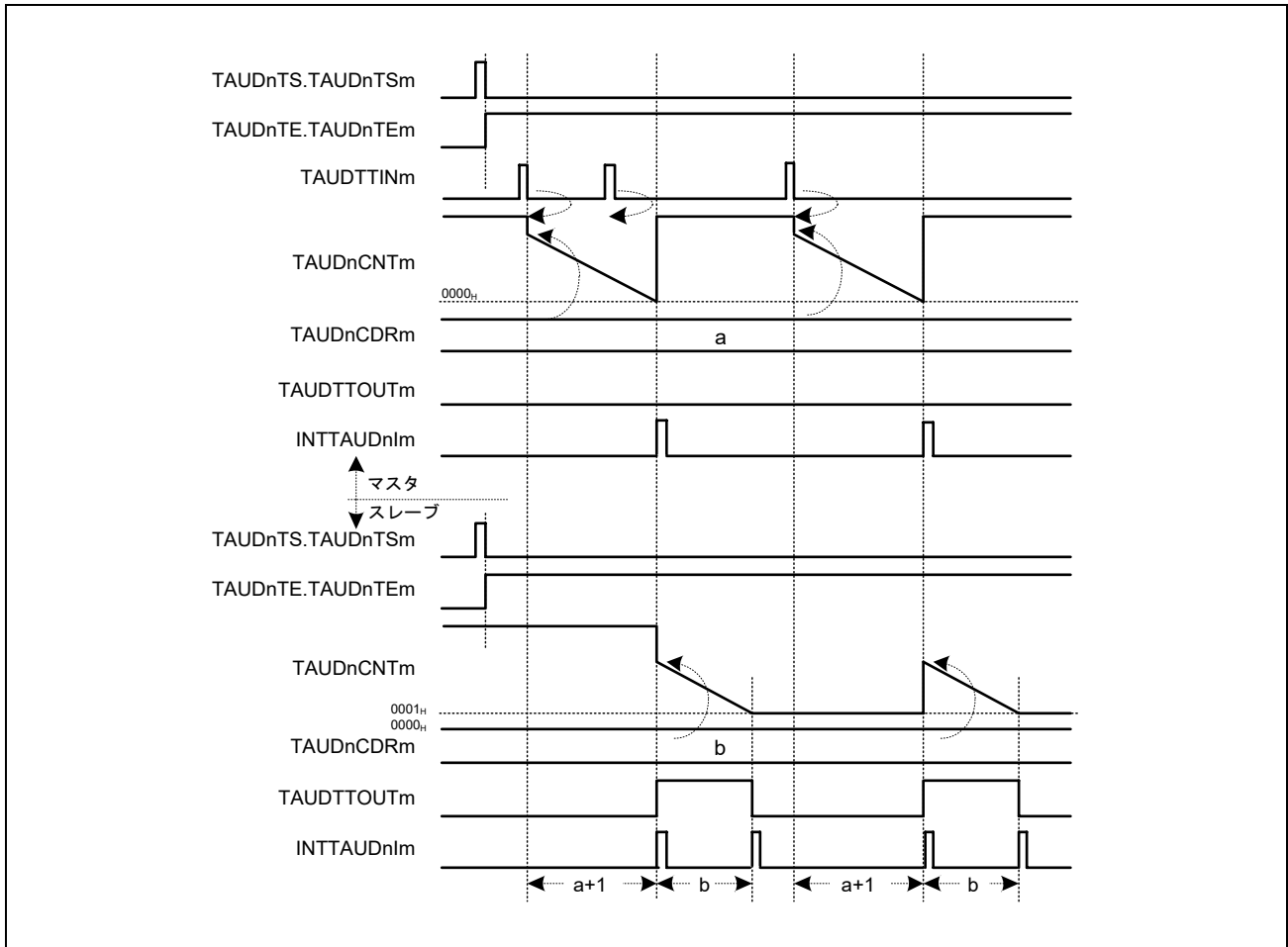


図 18.81 ワンショットパルス出力機能の基本タイミング図（外部入力信号の場合）

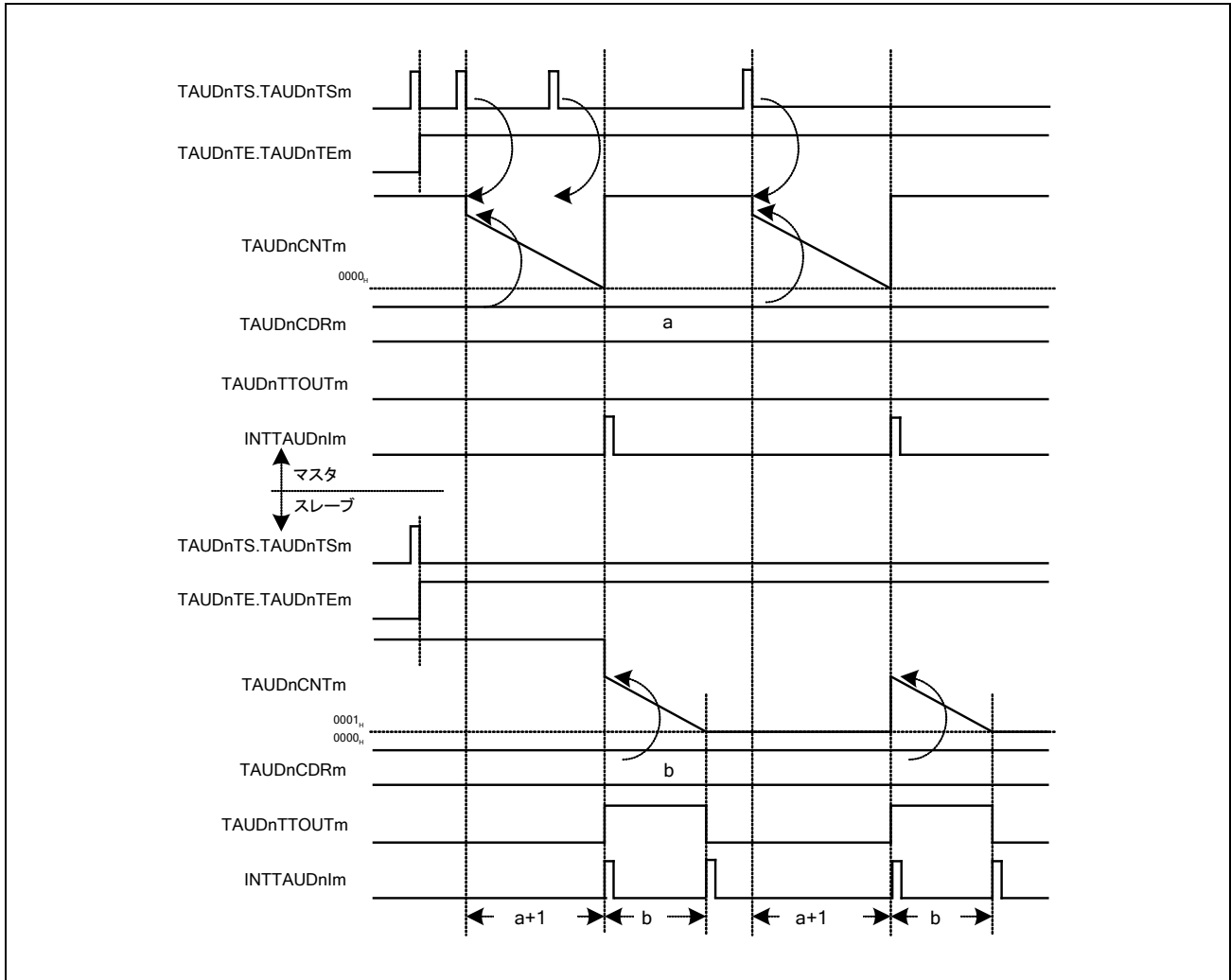


図 18.82 ワンショットパルス出力機能の基本タイミング図 (ソフトウェアトリガの場合)

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.124 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの TAUDnMD0 ビット値は同一である必要があります。

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.125 ワンショットパルス出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.126 ワンショットパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネルのレジスタ設定**(a) スレーブチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]	TAUDnCCS[1:0]	TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.127 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	1010 : パルスワンカウントモード
0	TAUDnMD0	0 : カウント中のスタートトリガ検出禁止 1 : カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの TAUDnMD0 ビット値は同一である必要があります。

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.128 ワンショットパルス出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネルの出力モード

表 18.129 チャンネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1 : 動作モード 2
TAUDnTOL.TAUDnTOLm	0 : 正論理 1 : 負論理
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0 : リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0 : 変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.130 ワンショットパルス出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) ワンショットパルス出力機能時の操作手順

表 18.131 ワンショットパルス出力機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタチャンネルは TAUDTTINm 入力を待ちます。
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>TAUDTTINm 入力の有効エッジを検出すると、マスタチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。カウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm (マスタ) が発生します。 • TAUDnCNTm (マスタ) は FFFF_Hに戻り、次の有効な TAUDTTINm 入力エッジを待ちます。 • 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 • INTTAUDnIm (スレーブ) が発生します。 • TAUDTTOUTm (スレーブ) がセットされます。 <p>TAUDnCNTm (スレーブ) が 0001_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm (スレーブ) が発生します。 • TAUDTTOUTm (スレーブ) がリセットされます。また、スレーブチャンネルのカウンタ動作が停止します。 <p>カウンタ中にマスタチャンネルで TAUDTTINm 入力が検出され、TAUDnCMORm.TAUDnMD0 = 0 の場合、その入力は無視されます。</p>
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(7) 特定のタイミング図

(a) TAUDnCDRm (マスタ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

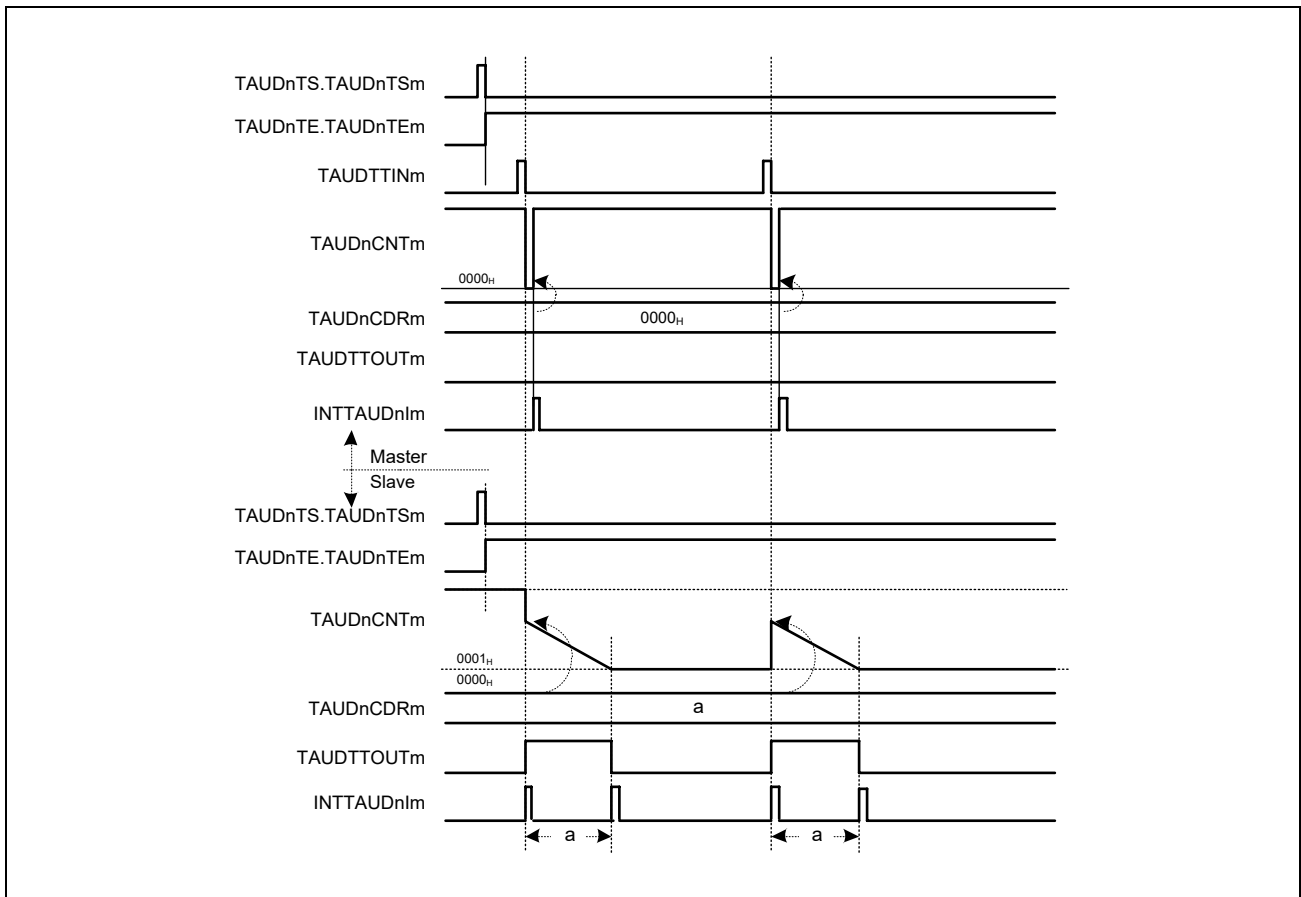


図 18.83 TAUDnCDRm (マスタ) = 0000_H

- 有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm (マスタ) に値 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行くと FFFF_H に戻ります。したがって、スレーブチャネルのカウンタは TAUDTTINm (マスタ) から 1 カウントクロック遅れて、ダウンカウントを開始します。

(b) TAUDnCDRm (スレーブ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

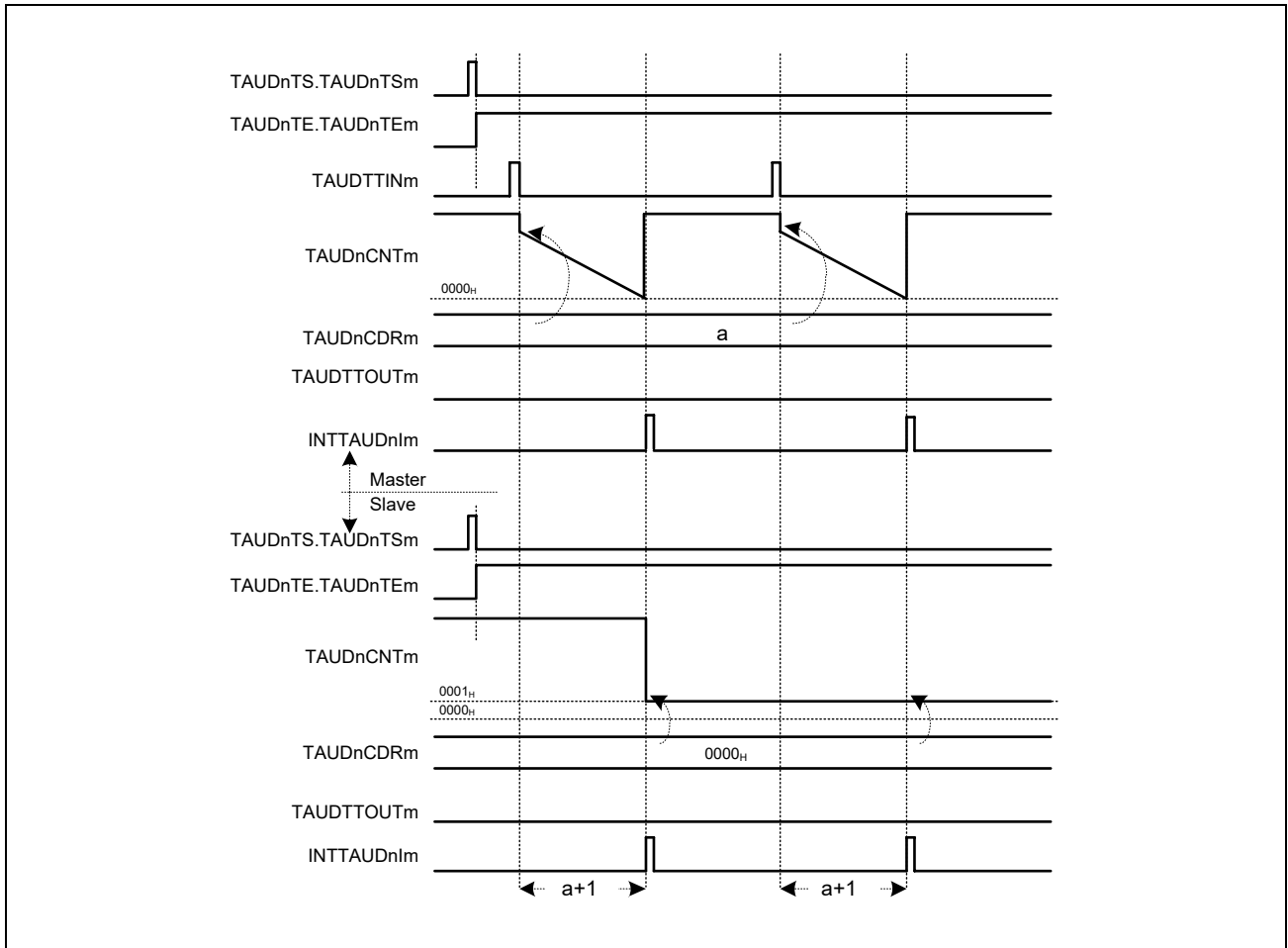


図 18.84 TAUDnCDRm (スレーブ) = 0000_H

- パルス幅が“0”のため、TAUDTTOUTm は非アクティブ状態のままです。

(c) TAUDnCMORm.TAUDnMD0 = 1

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可 (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

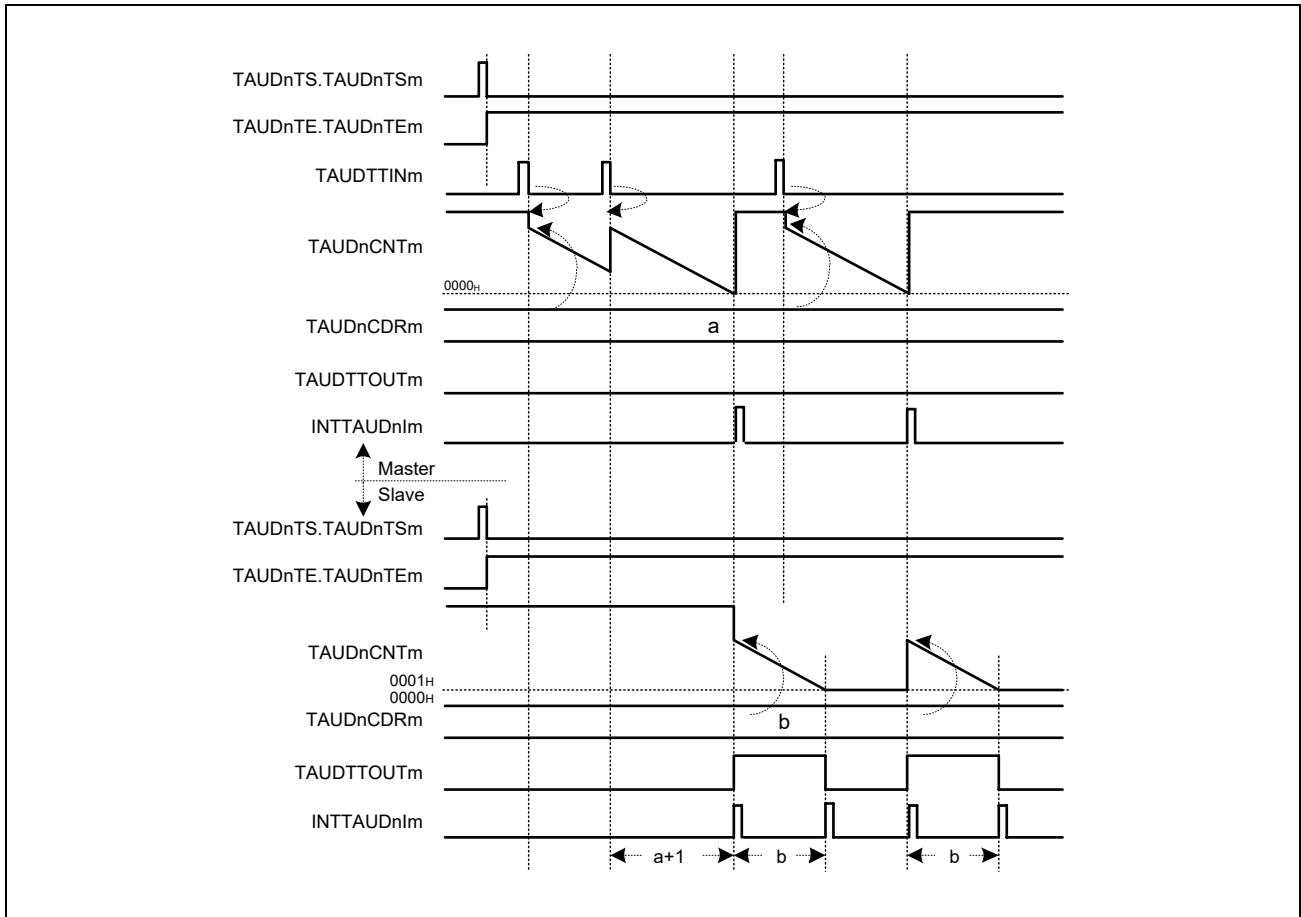


図 18.85 TAUDnCMORm.TAUDnMD0 = 1

- マスタチャネルのカウンタがダウンカウント中に TAUDTTINm 入力の有効エッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をリロードします。カウンタはダウンカウントを再開します。これは、TAUDTTINm 入力の有効エッジ検出時の TAUDnCNTm の値によってディレイが引き延ばされたことを意味します。

(d) スレーブチャンネルカウント中にマスタチャンネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

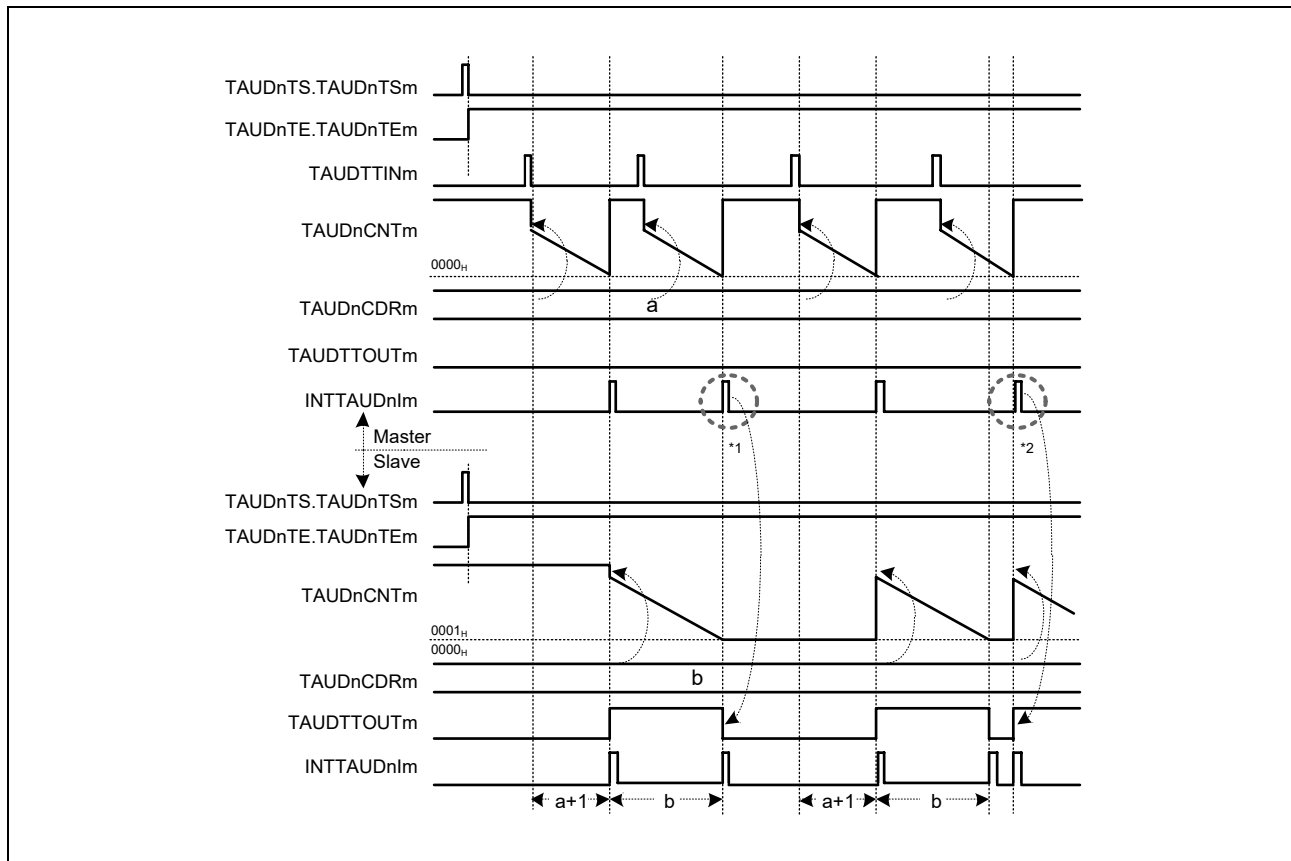


図 18.86 TAUDTTINm のインターバル \leq 遅延時間 + パルス幅 + 1

- スレーブチャンネルのカウンタが 0001_Hになる前またはちょうど 0001_Hになったときにマスタチャンネルが割り込みを発生した場合は (*1)、割り込み (マスタ) が無視されます。
- スレーブチャンネルのカウンタが次のトリガを待つ間にマスタチャンネルの割り込みが発生した場合は、TAUDnCDRm (スレーブ) の値がリロードされます。割り込みが発生し、TAUDTTOUTm がトグルされます。TAUDnCNTm (スレーブ) がカウント中に TAUDnCNTm (マスタ) がダウンカウントを開始した場合は (*2)、TAUDTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスが発生するには、マスタチャンネルとスレーブチャンネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャンネルのスタートトリガが検出される必要があります。

18.4.12.3 トリガスタート PWM 出力機能

(1) 概要

概要

マスタチャンネルとスレーブチャンネルを 1 つずつ使用して PWM 出力を生成する機能です。これにより、TAUDTTOUT_m のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。トリガスタート PWM 出力機能は、有効な TAUDTTIN_m 入力エッジでマスタチャンネルをリセット可能である点を除いて PWM 出力機能と同じです。

前提条件

- 2 チャンネルが必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 18.132 トリガスタート PWM 出力機能のマスタチャンネルの TAUDnCMOR_m レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 18.135 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMOR_m レジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード 1 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルで TAUDTTOUT_m は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、カウンタ (マスタ/スレーブ) 動作が許可されます。これにより TAUDnTE.TAUDnTE_m = 1 となり、カウンタが可能になります。TAUDnCDR_m の現在値が TAUDnCNT_m にロードされ、カウンタはその TAUDnCDR_m 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUT_m (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャンネル：

TAUDnCDR_m の現在値がカウンタ (TAUDnCNT_m) にロードされ、INTTAUDnIm が発生し、カウンタはその TAUDnCDR_m 値からダウンカウントを開始します。

カウンタ値が 0000_H になりパルス周期が経過すると、INTTAUDnIm が発生し、TAUDnCDR_m 値を TAUDnCNT_m (マスタ/スレーブ) にロードします。

有効な TAUDTTIN_m 入力エッジが検出されると、マスタチャンネルのカウンタは TAUDnCDR_m の現在値をロードしてダウンカウントを再開し、割り込みが発生します。
- スレーブチャンネル：

スレーブチャンネルはマスタチャンネルからの割り込みを検出すると、TAUDnCDR_m の現在値からダウンカウントを開始します。TAUDTTOUT_m 信号がアクティブレベルに設定されます。

カウンタ値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUT_m 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTT_m を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTE_m は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNT_m と TAUDTTOUT_m は停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を “1” に設定すると、カウンタを再開できます。

条件

この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル[%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

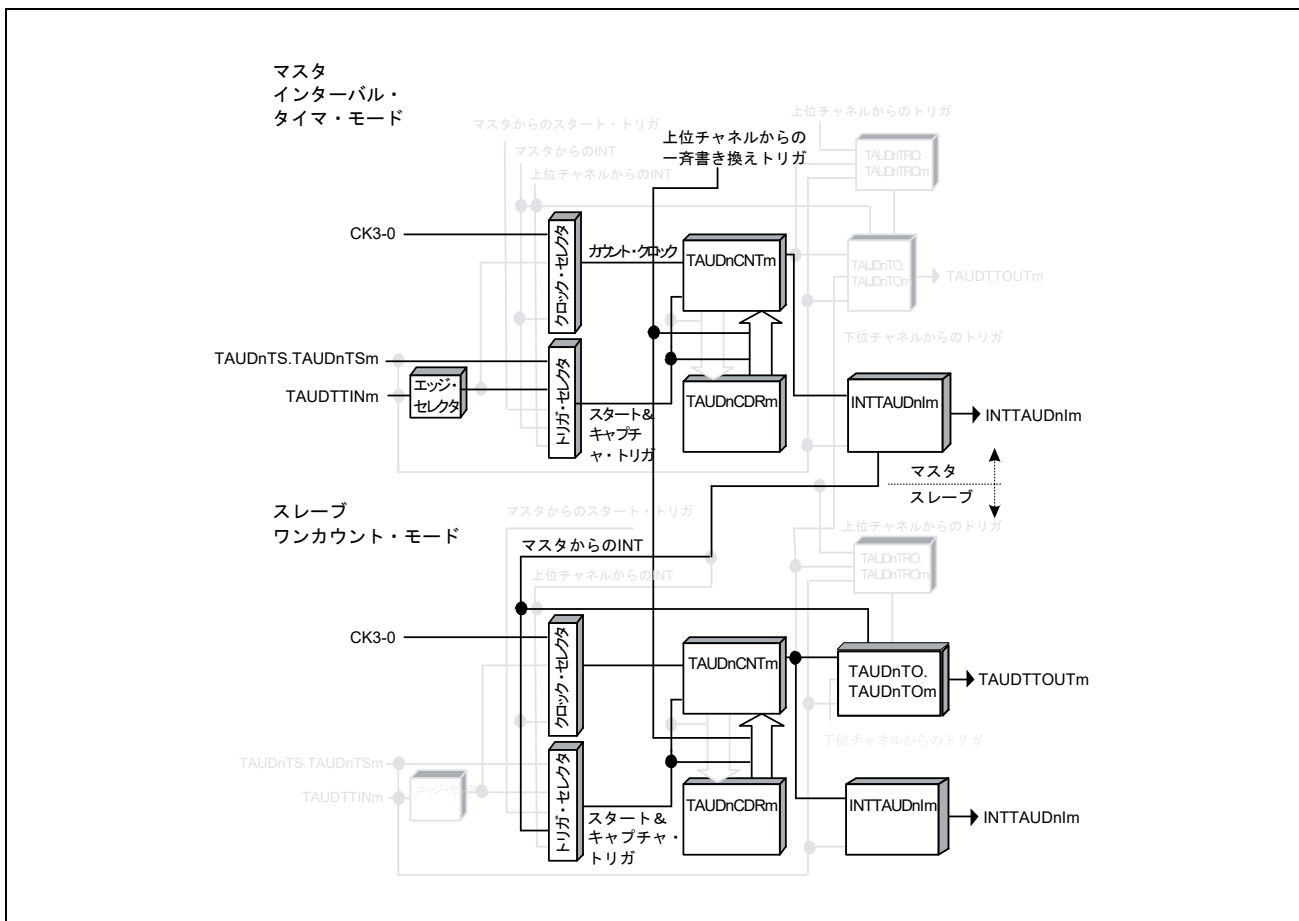


図 18.87 トリガスタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)
- 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

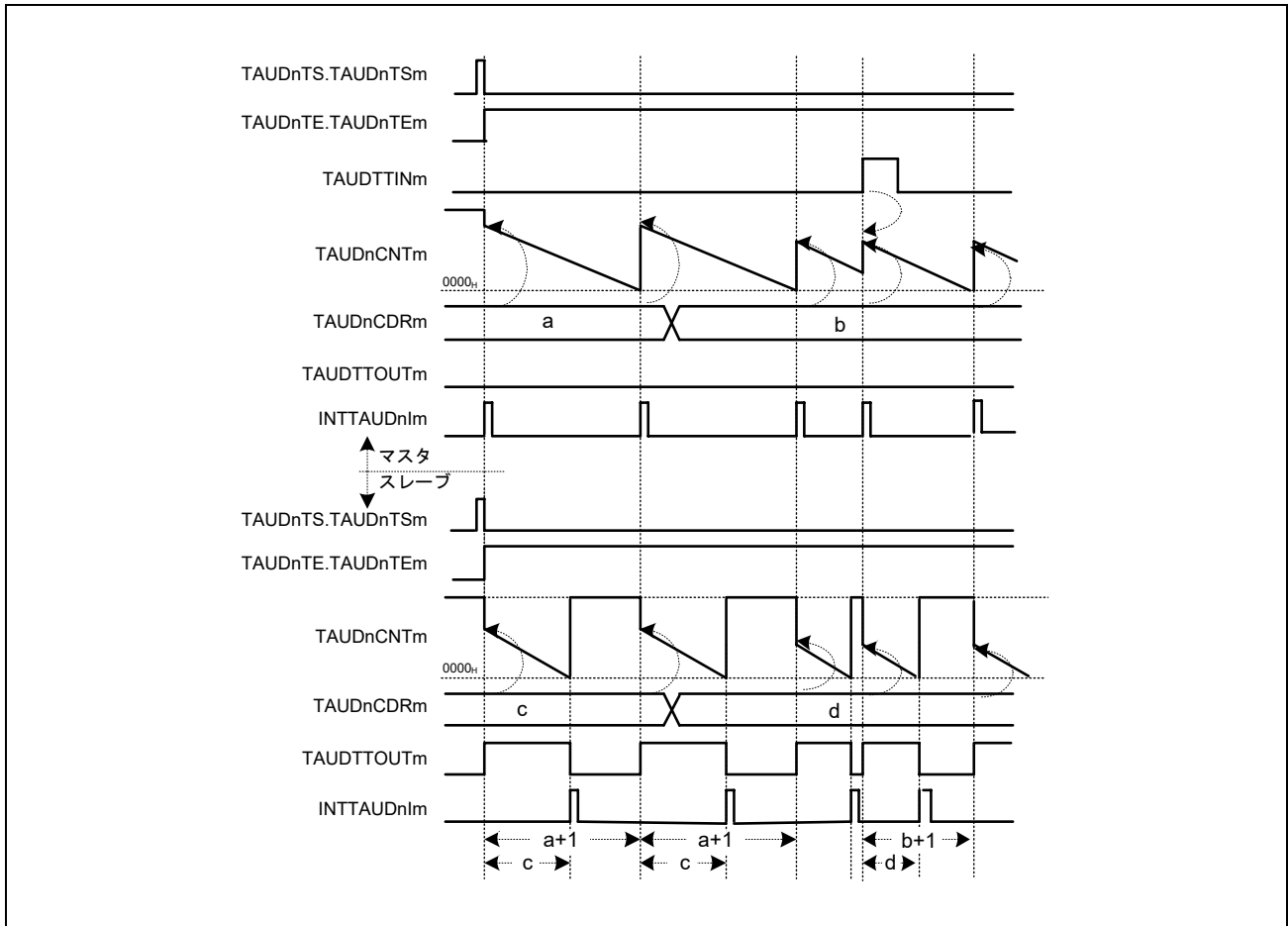


図 18.88 トリガスタート PWM 出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.132 トリガスタート PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.133 トリガスタート PWM 出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.134 トリガスタート PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネルのレジスタ設定**(a) スレーブチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.135 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKs[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKs[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100: マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100: ワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガが有効 マスタチャンネルとスレーブチャンネルの TAUDnMD[0]ビット値は同一である必要があります。

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.136 トリガスタート PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(c) スレーブチャンネルの出力モード

表 18.137 チャンネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.138 トリガスタート PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) トリガスタート PWM 出力機能時の操作手順

表 18.139 トリガスタート PWM 出力機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。</p> <p>マスタチャンネルで INTTAUDnIm が発生します。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 TAUDTTOUTm (スレーブ) が設定されます。 <p>スレーブチャンネルの TAUDnCNTm が 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がインアクティブレベルに設定されます。また、スレーブチャンネルのカウント動作が停止します。 <p>マスタチャンネルの TAUDnCNTm がダウンカウント中にマスタチャンネルで TAUDTTInm 入力検出された場合：</p> <ul style="list-style-type: none"> TAUDnCNTm (マスタ/スレーブ) は TAUDnCDRm 値をロードし、ダウンカウントを行います。 INTTAUDnIm (マスタ) が発生します。 TAUDTTOUTm (スレーブ) がアクティブレベルに設定されます。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(7) 特定の設定時のタイミング図

(a) デューティサイクル=0%

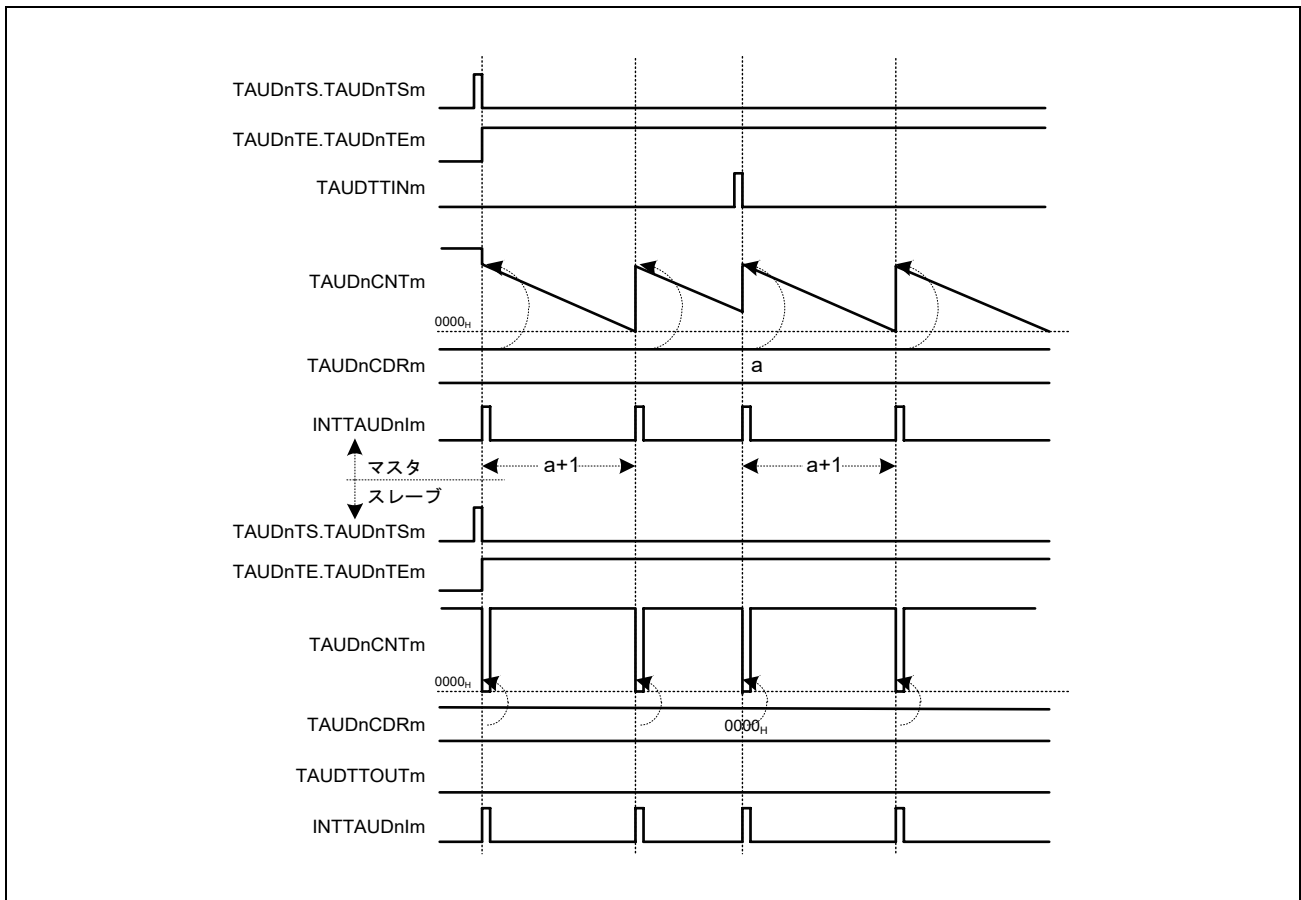


図 18.89 TAUDnCDRm (スレーブ) = 0000_H、正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- マスタチャンネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、TAUDnCNTm (スレーブ) はカウントを開始できず、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCNTm (スレーブ) は TAUDnCDRm 値がロードされるたびに割り込みを発生させます。有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm (スレーブ) に変化はありません。

(b) デューティサイクル= 100%

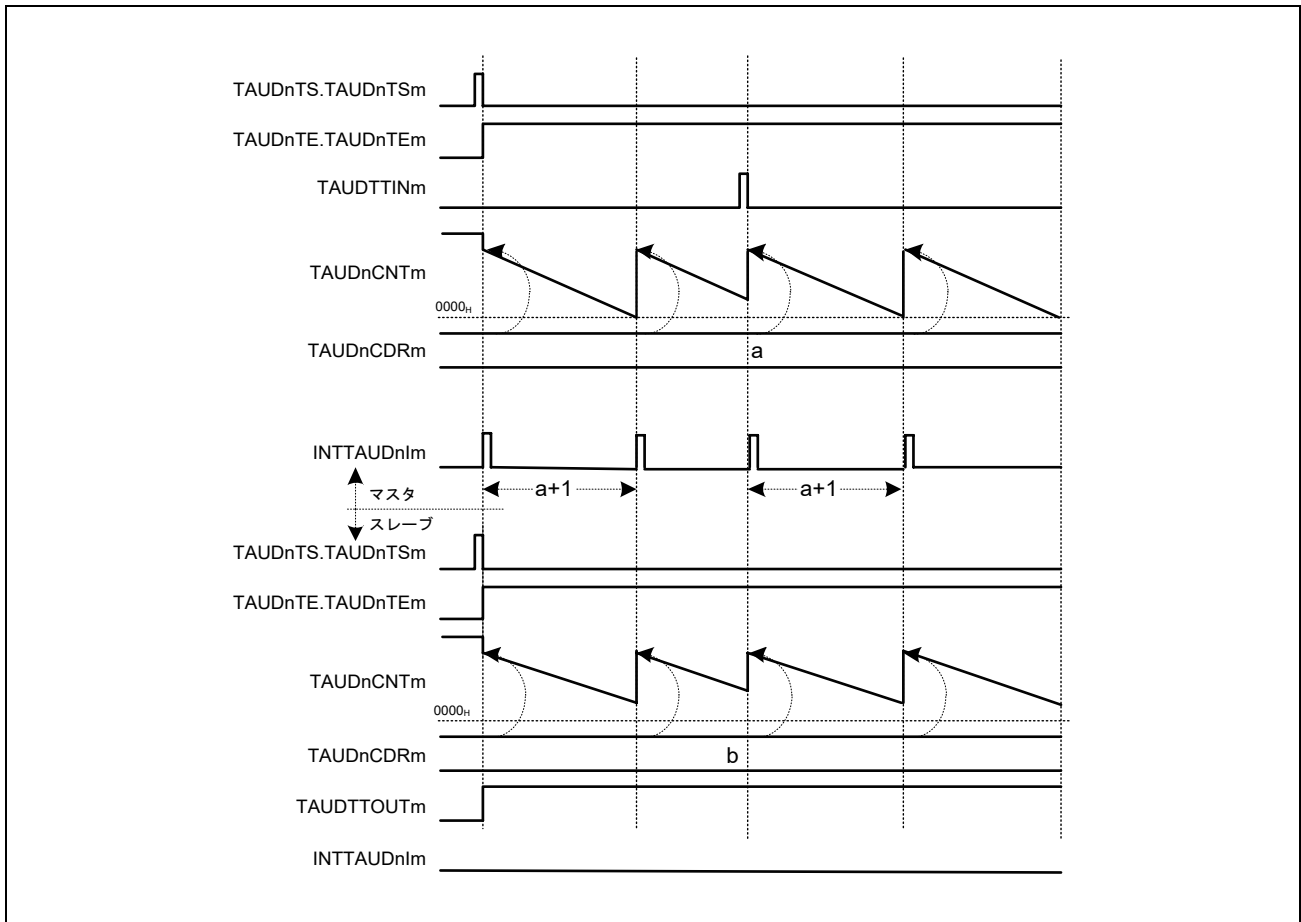


図 18.90 TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスタ) + 1
 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。
 TAUDTTOUTm はアクティブ状態のままになります。
 有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm (スレーブ) に変化はありません。

(c) TAUDTTINm 検出とアクティブなスレーブカウンタ

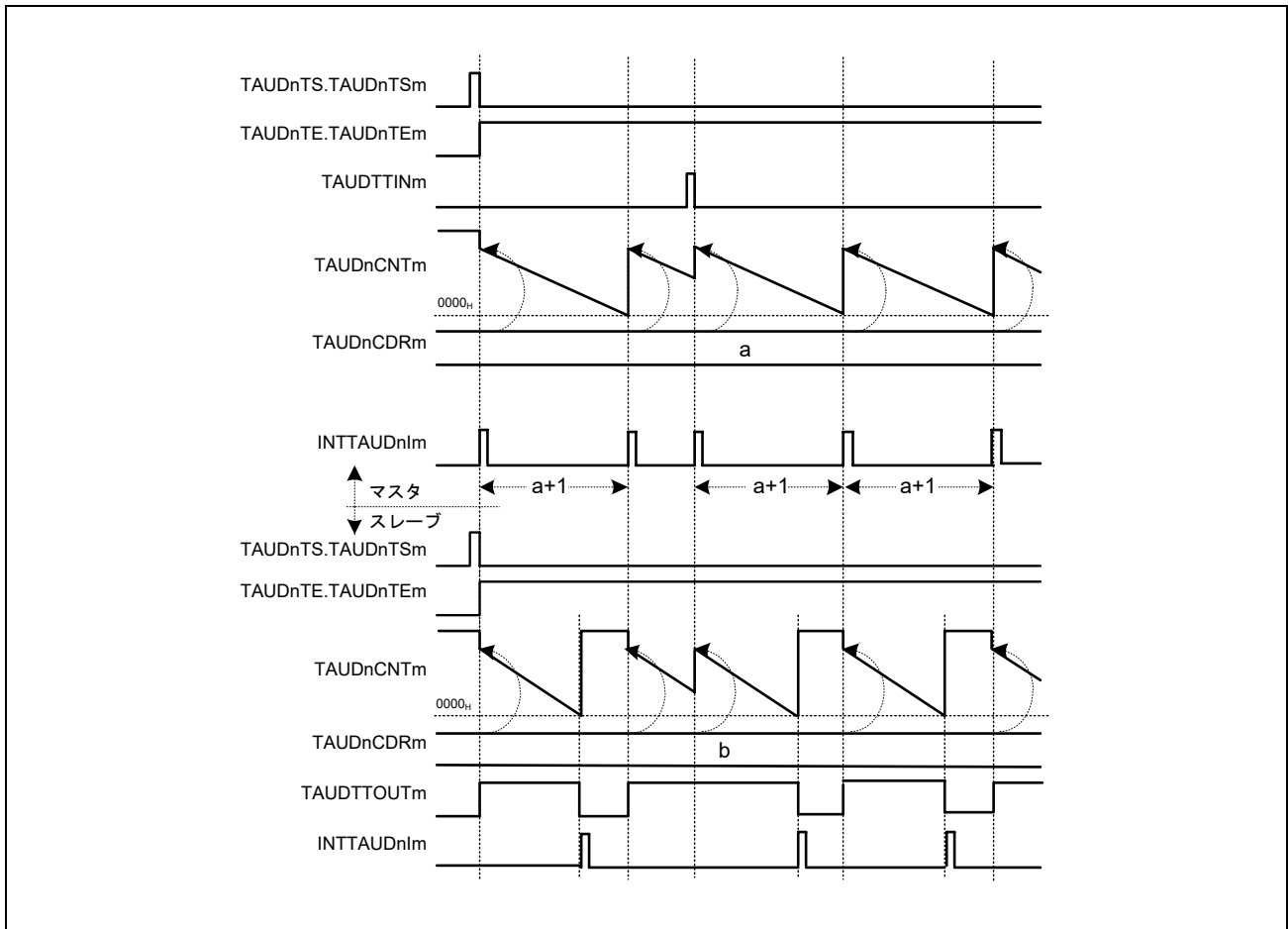


図 18.91 正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)
立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnCNTm (スレーブ) がダウンカウント中に TAUDnCDRm (スレーブ) 値をロードした場合、TAUDTTOUTm は変化せず、デューティを拡張します。
デューティはスレーブチャネルのデータレジスタの値に対応していません。

18.4.12.4 デイレイパルス出力機能

(1) 概要

概要

この機能では、2 種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャンネルとスレーブチャンネル 1 を使用して定義されています。スレーブチャンネル 2 とスレーブチャンネル 3 は設定されている遅延時間後に基準信号を出力します。デイレイ信号は基準信号と同じですが、スレーブチャンネル 2 で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャンネルで設定します。
- 基準信号のデューティサイクルはスレーブチャンネル 1 を、デイレイ信号のデューティサイクルはスレーブチャンネル 3 を使用して設定されます。
- 遅延量はスレーブチャンネル 2 で設定します。

前提条件

- 4 チャンネルが必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 18.140 デイレイパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル 1、2 の動作モードは、ワンカウントモードに設定する必要があります（「表 18.143 デイレイパルス出力機能時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル 3 の動作モードは、パルスワンカウントモードに設定する必要があります（「表 18.147 デイレイパルス出力機能時のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルおよびスレーブチャンネル 2 では TAUDTTOUTm を使用しません。
- スレーブチャンネル 1 のチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- スレーブチャンネル 3 のチャンネル出力モードは、チャンネル単体出力モード 2 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、チャンネルグループのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：
TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生します。
マスタチャンネルのカウント値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル 1、スレーブチャンネル 2：
スレーブチャンネル 1、2 はマスタチャンネルからの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号 (スレーブ 1) が設定されます。
 - － スレーブチャンネル 1：
スレーブチャンネル 1 のカウント値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。
 - － スレーブチャンネル 2：
スレーブチャンネル 2 のカウント値が 0000_H になり遅延時間が経過すると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。
INTTAUDnIm (スレーブチャンネル 2) が発生することにより、スレーブチャンネル 3 のカウンタ動作がトリガされます。
- スレーブチャンネル 3：
スレーブチャンネル 3 はスレーブチャンネル 2 からの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。INTTAUDnIm が発生し、TAUDTTOUTm 信号 (スレーブチャンネル 3) がセットされます。
スレーブチャンネル 3 のカウント値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。
スレーブチャンネル 3 からは遅延された PWM パルスが出力されます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を “1” に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) +1) × カウントクロック周期

デューティ幅 1 = (TAUDnCDRm (スレーブ 1)) × カウントクロック周期

遅延幅 = (TAUDnCDRm (スレーブ 2) +1) × カウントクロック周期

デューティ幅 2 = (TAUDnCDRm (スレーブ 3)) × カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。

$0000_H \leq \text{TAUDnCDRm (スレーブ 2)} < \text{TAUDnCDRm (マスタ)}$

備 考

1. TAUDTTOUTm (スレーブ 3) の出力波形は、TAUDTTOUTm (スレーブ 1) の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の INTTAUDnIm が発生した場合、スレーブ 3 は動作を再開します。したがって、TAUDTTOUTm (スレーブ 3) の出力波形は、アクティブレベルを保持します。(この場合、TAUDTTOUTm (Slave-CH-3) は、TAUDTTOUTm (Slave-CH-1) の基本パルスをディレイさせた波形を出力できません。)

(3) ブロック図と基本タイミング図

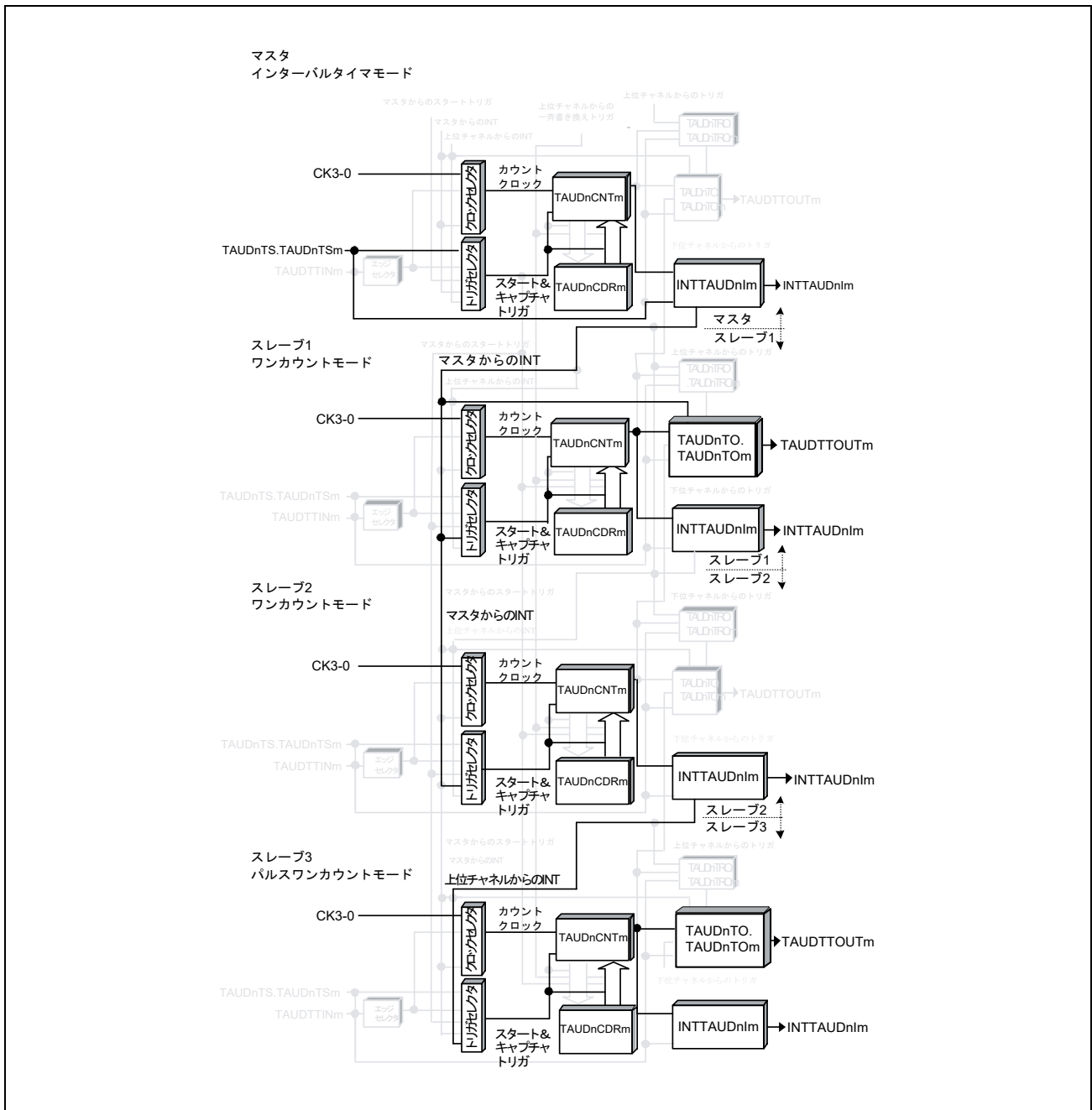


図 18.92 デレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル 1：正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル 3：正論理 (TAUDnTOL.TAUDnTOLm = 0)

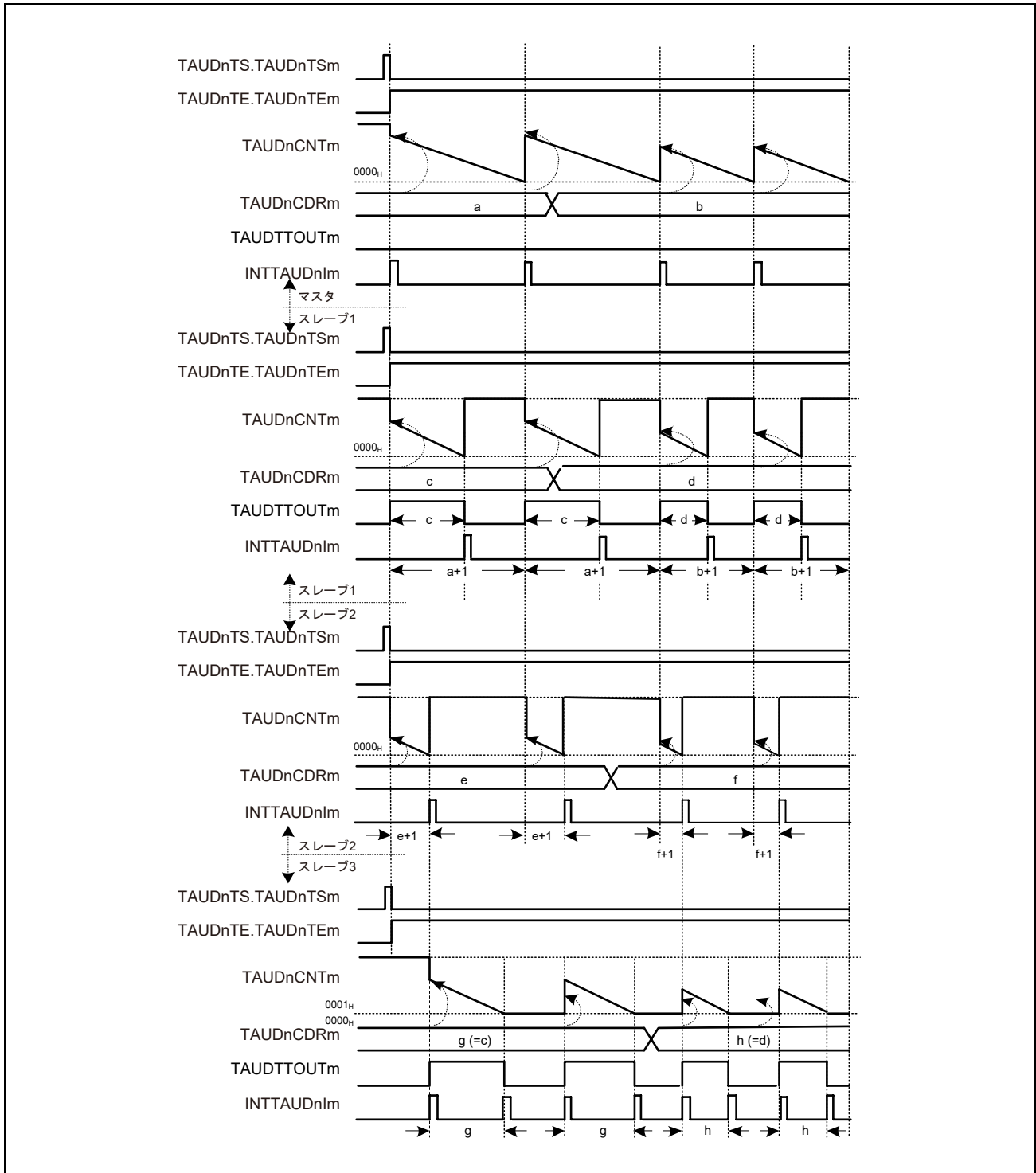


図 18.93 ディレイパルス出力機能の基本タイミング図

備 考

スレーブチャンネル 1 の TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.140 ディレイパルス出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13, 12	TAUDnCCS[1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1: チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	000: ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS[1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000: インターバルタイマモード
0	TAUDnMD0	1: 動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.141 ディレイパルス出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能では、マスタチャンネルはチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.142 ディレイパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネル 1 のレジスタ設定**(a) スレーブチャンネル 1 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.143 ディレイパルス出力機能時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKs[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKs[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS[1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100: マスタチャンネルの INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS[1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください
4~1	TAUDnMD[4:1]	0100: ワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガ有効

(b) スレーブチャンネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.144 ディレイパルス出力機能時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(c) スレーブチャンネル 1 のチャンネル出力モード

表 18.145 チャンネル連動出力モード 1 時のスレーブチャンネル 1 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止。
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) スレーブチャンネル 1 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.146 ディレイパルス出力機能時のスレーブチャンネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) スレーブチャンネル 2 のレジスタ設定**(a) スレーブチャンネル 2 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.147 ディレイパルス出力機能時のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : 動作中のスタートトリガ有効

(b) スレーブチャンネル 2 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.148 ディレイパルス出力機能時のスレーブチャンネル 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 2 のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) スレーブチャンネル 2 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.149 ディレイパルス出力機能時のスレーブチャンネル 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(7) スレーブチャンネル 3 のレジスタ設定**(a) スレーブチャンネル 3 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]		TAUDnCCs[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.150 ディレイパルス出力機能時のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKs[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKs[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCs[1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	101: マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS[1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	1010: パルスワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガ有効

(b) スレーブチャンネル 3 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.151 ディレイパルス出力機能時のスレーブチャンネル 3 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(c) スレーブチャンネル 3 のチャンネル出力モード

表 18.152 チャンネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) スレーブチャンネル 3 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.153 ディレイパルス出力機能時のスレーブチャンネル 3 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(8) デイレイパルス出力機能時の操作手順

表 18.154 デイレイパルス出力機能時の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(7) スレーブチャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタチャンネルとスレーブチャンネル 1/2 のカウンタが動作を開始します。</p> <p>マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブチャンネル 1) が設定されます。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル 1/2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。</p> <p>マスタチャンネルのカウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 1/2) にロードし、ダウンカウントを開始します。 TAUDTTOUTm (スレーブ 1) がセットされます。 <p>TAUDnCNTm (スレーブ 1) が 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 1) が発生します。 TAUDTTOUTm (スレーブ 1) がリセットされます。 <p>TAUDnCNTm (スレーブ 2) が 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 2) が発生します。 INTTAUDnIm (スレーブ 3) が発生します。 TAUDTTOUTm (スレーブ 3) がセットされます。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 3) にロードし、ダウンカウント動作を開始します。 <p>TAUDnCNTm (スレーブ 3) が 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 3) が発生します。 TAUDTTOUTm (スレーブ 3) がリセットされます。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(9) 特定のタイミング図

(a) デューティサイクル (slave 3) = 100%

図 18.94 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 000B_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 000B_H

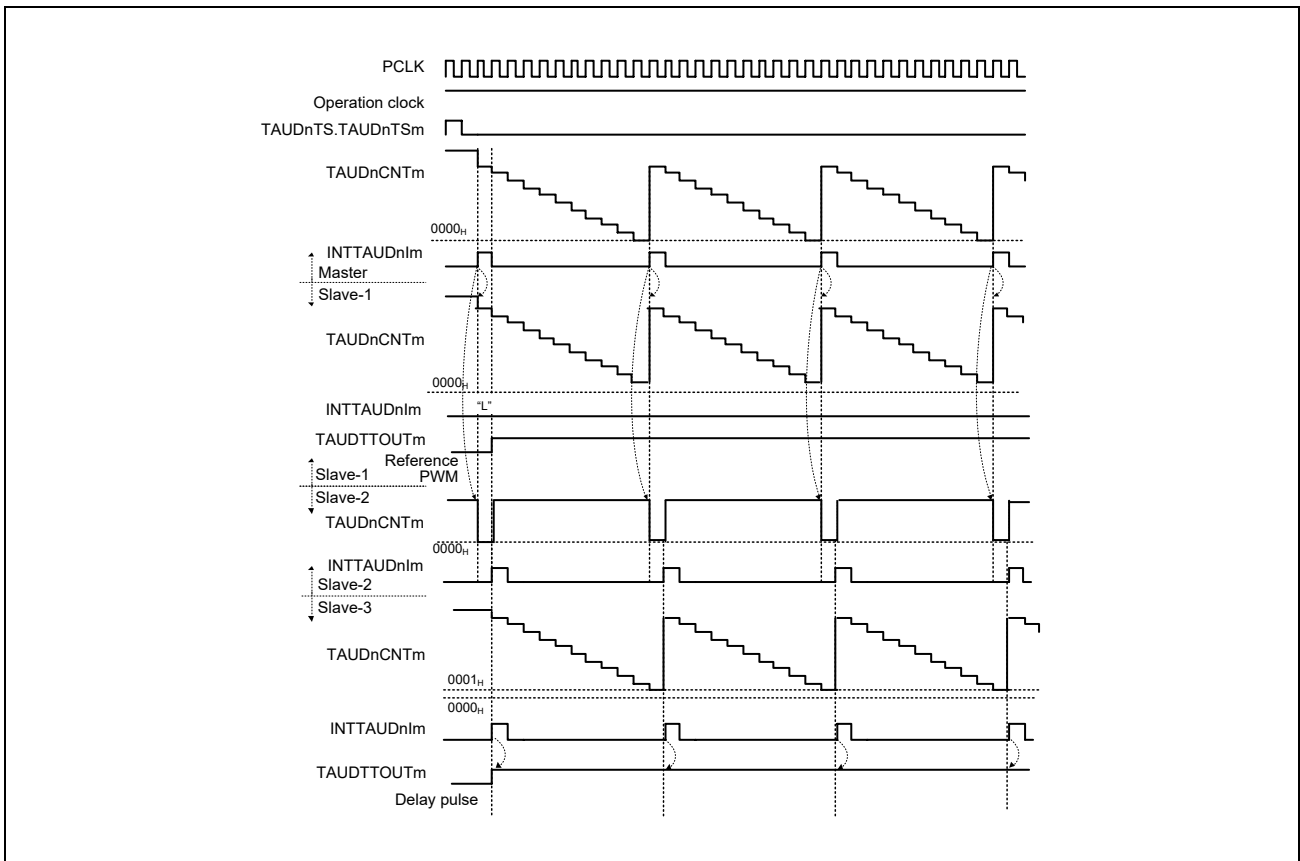


図 18.94 デューティサイクル (スレーブ 3) = 100%

- TAUDnCDRm (スレーブ 1/スレーブ 3) の値が TAUDnCDRm (マスタ) の値を越える場合は、スレーブチャンネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャンネル 1、3 の TAUDTTOUTm は、アクティブ状態のままになります。

(b) TAUDTTOUTm (スレーブ 1) = TAUDTTOUTm (スレーブ 3)

図 18.95 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 0005_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 0005_H

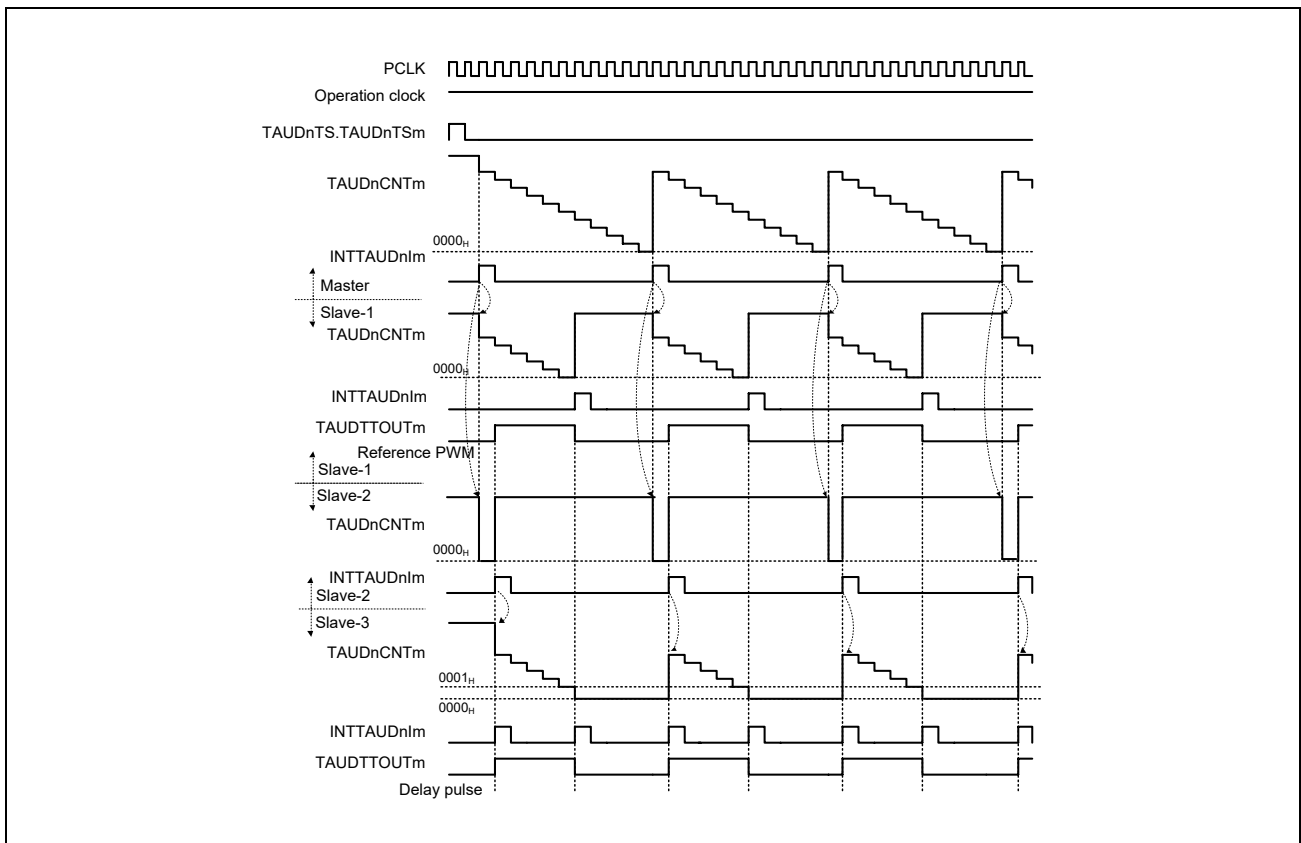


図 18.95 TAUDTTOUTm (スレーブ 1) = TAUDTTOUTm (スレーブ 3)

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネル 3 のカウンタはスレーブチャンネル 1 のカウンタより 1 クロックカウンタ後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウンタの遅延で出力されます。

18.4.12.5 オフセットトリガ出力機能

(1) 概要

概要

マスタチャンネルとスレーブチャンネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャンネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネルが必要です。
- マスタチャンネルの動作モードは、キャプチャモードに設定する必要があります（「表 18.155 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 18.158 オフセットトリガ出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード 1 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。マスタチャンネルのカウンタ (TAUDnCNTm) は 0000_H からアップカウントを開始します。

- マスタチャンネル：
有効な TAUDTTINm 入力エッジが検出されると、カウンタ (TAUDnCNTm) の現在値がマスタチャンネルのデータレジスタ (TAUDnCDRm) にロードされます。そして INTTAUDnIm が発生し、カウンタは 0000_H からアップカウントを再開します。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、TAUDTTOUTm 信号 (スレーブ) がセットされ、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。カウンタ値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタを再開できます。

(2) 算出式

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

デューティサイクル[%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

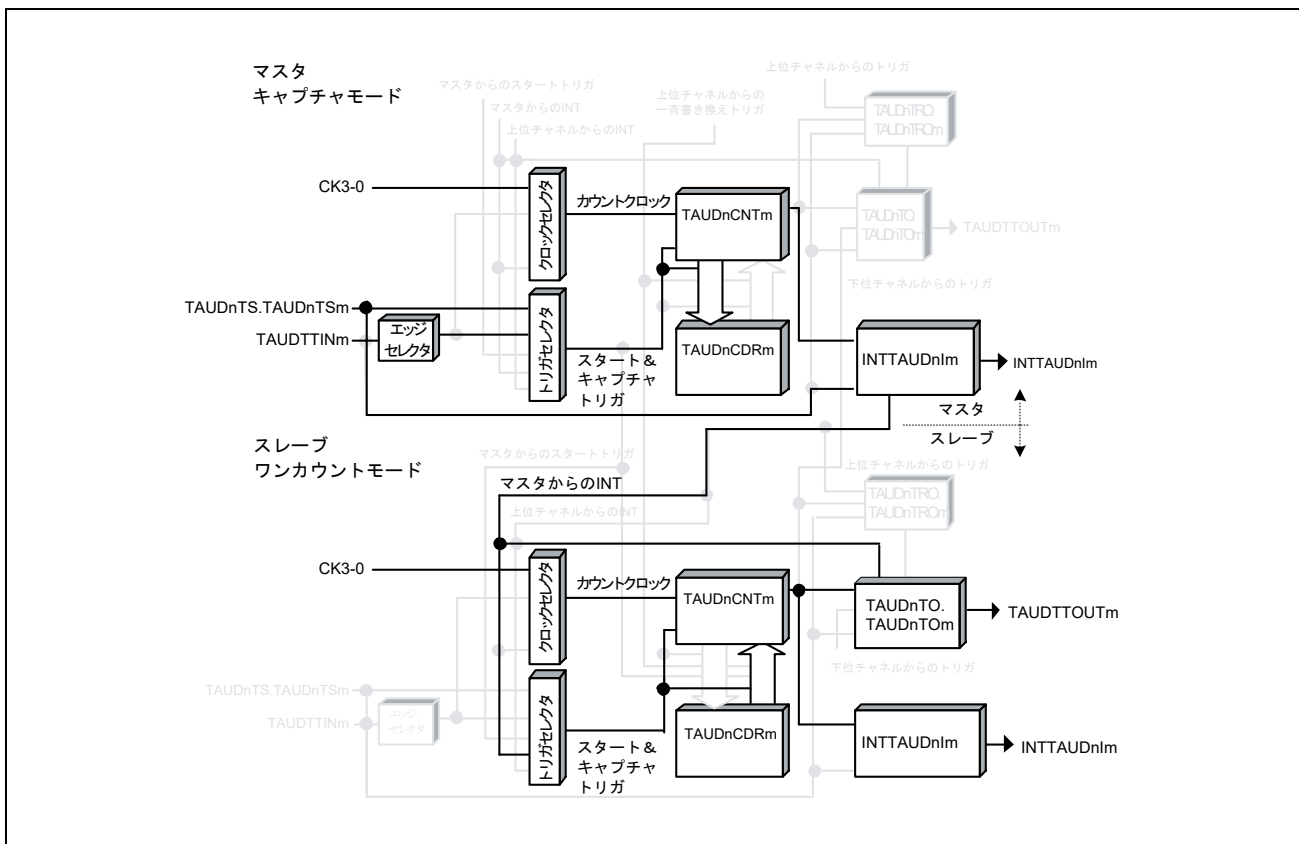
(3) ブロック図と基本タイミング図

図 18.96 オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

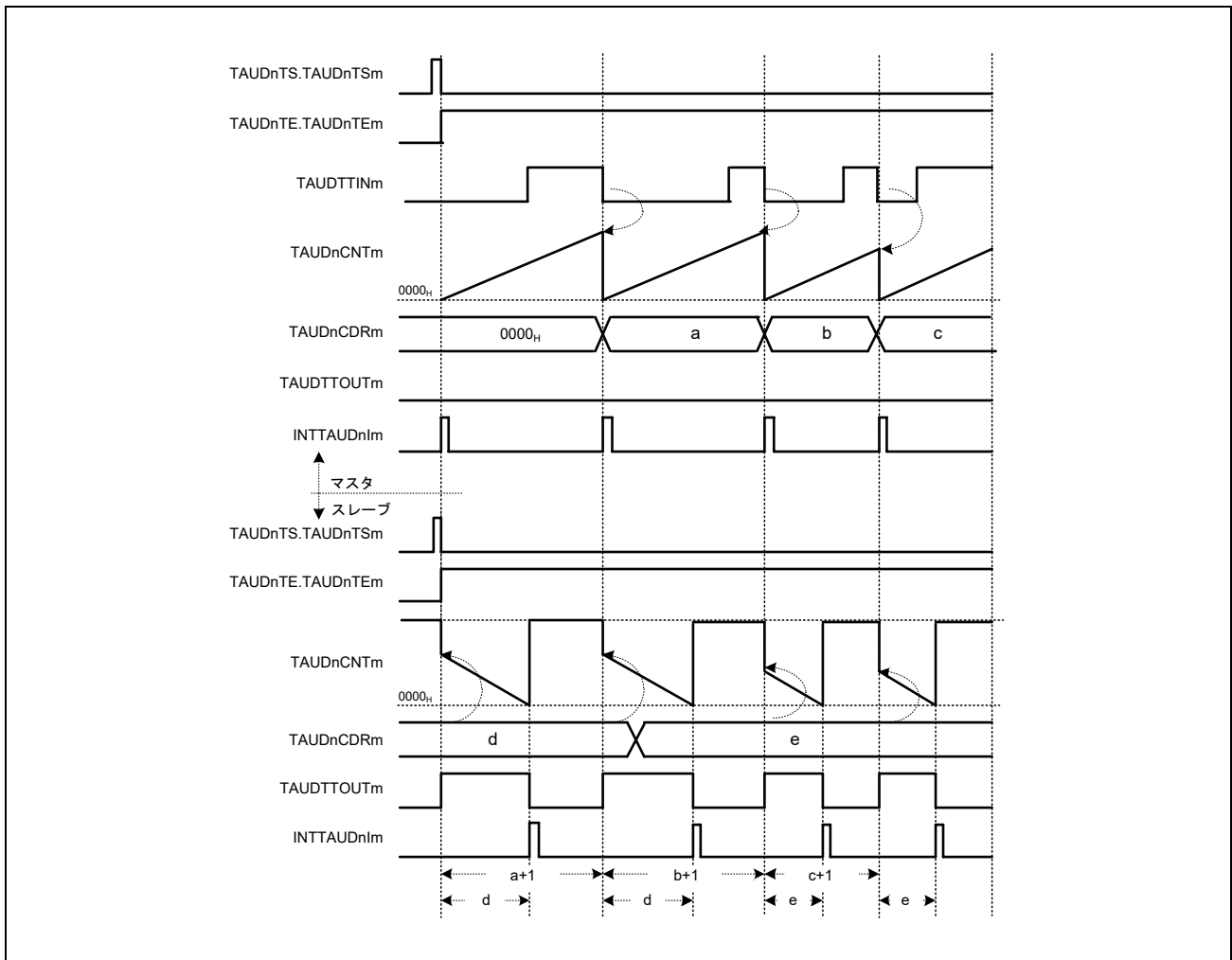


図 18.97 オフセットトリガ出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.155 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13, 12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	001 : 有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7, 6	TAUDnCOS[1:0]	11 : TAUDTTINm 入力有効エッジ検出が検出されるか、カウンタオーバフローの発生によって更新 • TAUDTTINm 入力有効エッジ検出 : カウンタ値を TAUDnCDRm に書き込みます。 • オーバフロー発生 : TAUDnCDRm に FFFF _H を書き込みます。次に検出される TAUDTTINm 入力有効エッジは無視されます。 TAUDnCSRm.TAUDnOVF はカウンタオーバフロー時に設定され、CPU 命令 (TAUDnCSCm.TAUDnCLOV に “1” 設定) でクリアされます。
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0010 : キャプチャモード
0	TAUDnMD0	1 : 動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.156 オフセットトリガ出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 立ち下がリエッジ検出 01 : 立ち上がリエッジ検出 10 : 両エッジ検出

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) マスタチャネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.157 オフセットトリガ出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(5) スレーブチャネルのレジスタ設定**(a) スレーブチャネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]	TAUDnCCS[1:0]	TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.158 オフセットトリガ出力機能時のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケラ出力 CK0 01 : プリスケラ出力 CK1 10 : プリスケラ出力 CK2 11 : プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャネルはスレーブチャネル
10~8	TAUDnSTS[2:0]	100 : マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書きください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(b) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.159 オフセットトリガ出力機能時のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書きください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネルのチャンネル出力モード

表 18.160 チャンネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、"0" を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、"0" を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは "0" に設定する必要があります。

表 18.161 オフセットトリガ出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、"0" を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(6) オフセットトリガ出力機能時の操作手順

表 18.162 オフセットトリガ出力機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>マスタチャンネルの TAUDnCDRm レジスタはキャプチャレジスタとして動作します。</p> <p>スレーブチャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。</p> <ul style="list-style-type: none"> TAUDnCNTm (マスタ) がアップカウントを行います。 TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 <p>マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) がセットされます。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCSCm.TAUDnCLOV は “1” に設定可能です。</p> <p>スレーブチャンネルの TAUDnCDRm は INTTAUDnIm (マスタ) 発生後、変更可能です。</p> <p>TAUDnCNT.TAUDnCNTm と TAUDnCSRm は任意のタイミングで読み出し可能です。</p>	<p>スレーブチャンネルの TAUDnCNTm が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がリセットされ、スレーブのカウンタが停止します。 <p>マスタチャンネルで TAUDTTINm 入力エッジが検出された場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は 0000_H にリセットされ、その後カウンタ動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がセットされます。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(7) 特定のタイミング図

(a) デューティサイクル = 0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

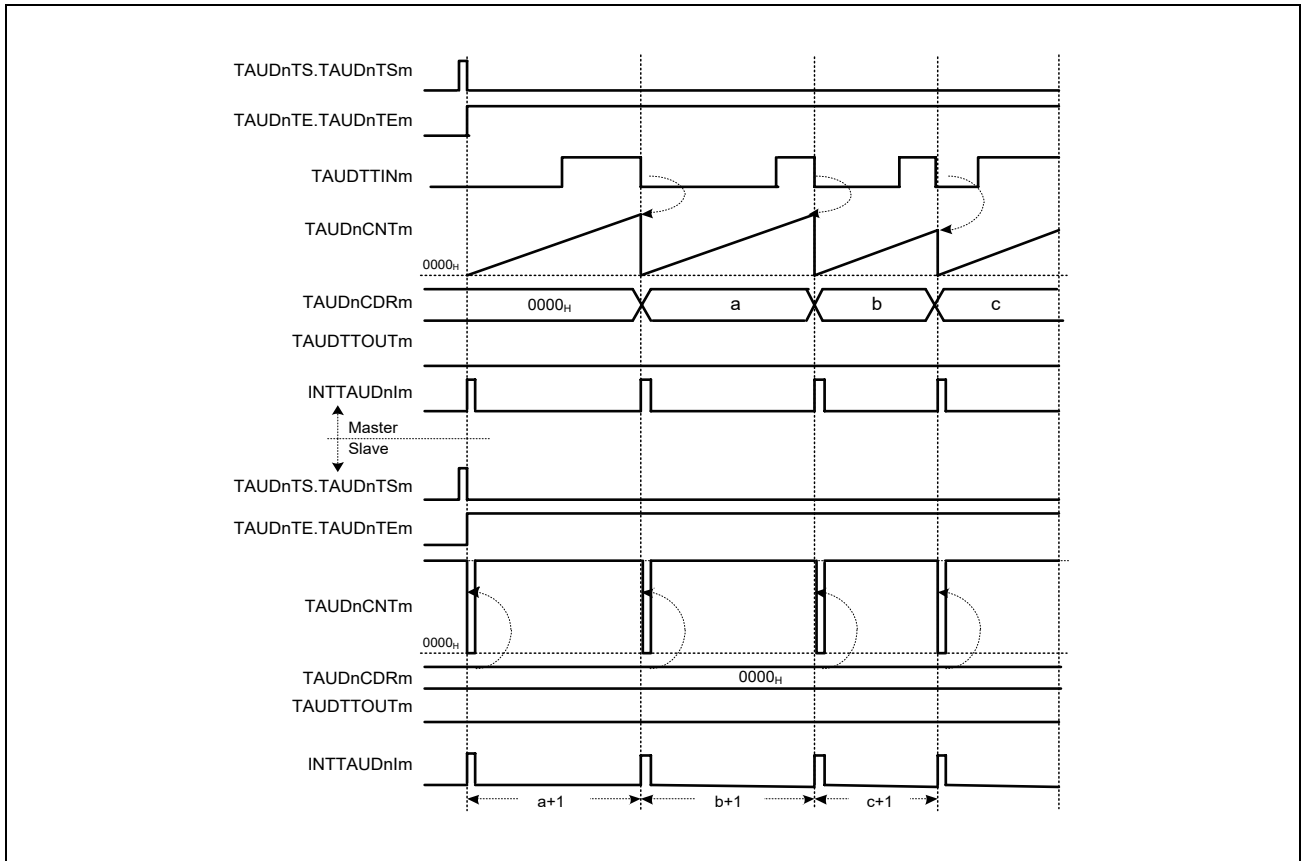


図 18.98 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合は、マスタチャンネルが割り込み (INTTAUDnIm) を発生するたびに TAUDnCNTm に 0000_H が書き込まれ、TAUDnCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDnCNTm (スレーブ) は、TAUDnCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャンネルとマスタチャンネルは同じ周期で割り込みを発生します。

(b) デューティサイクル = 100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

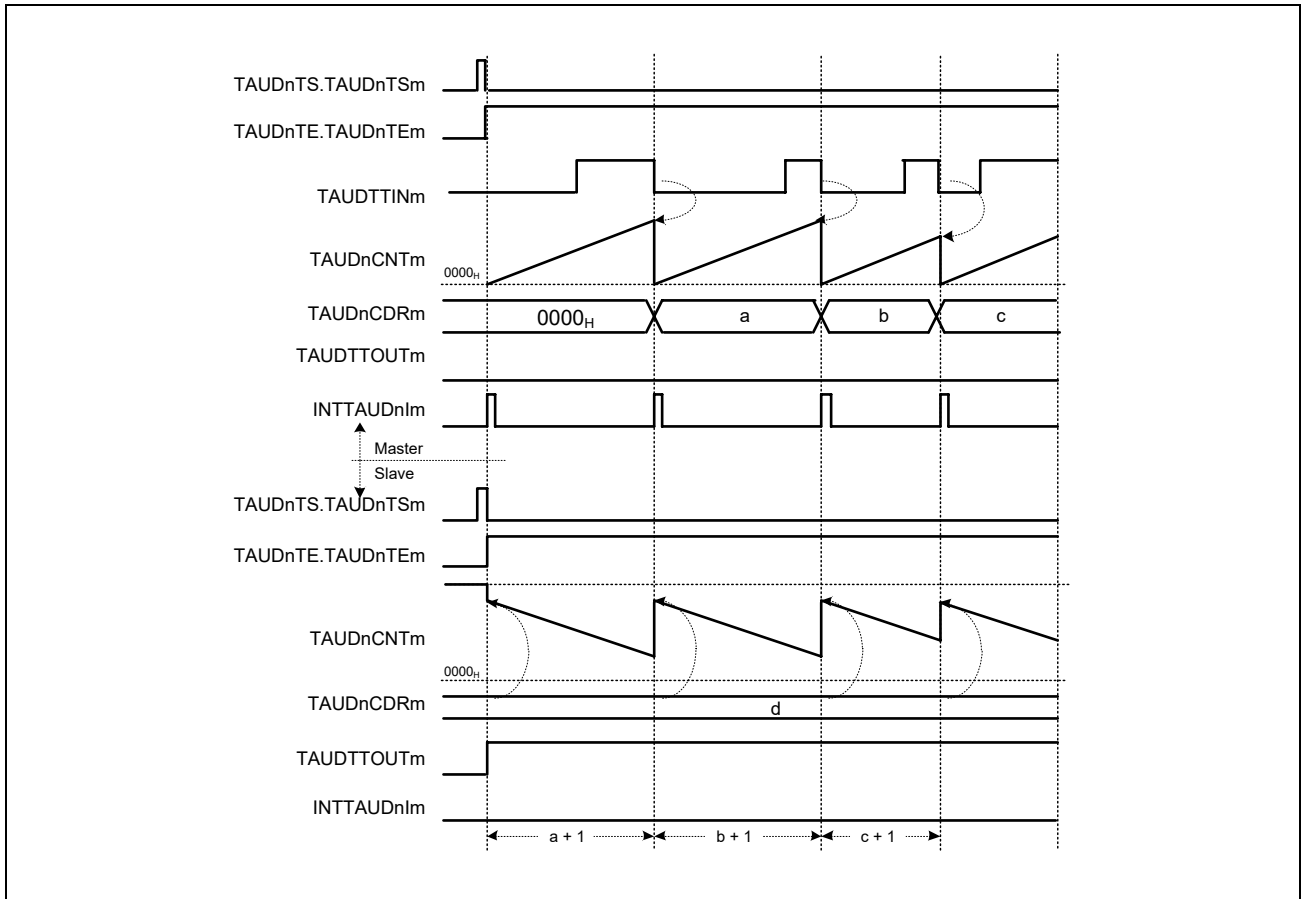


図 18.99 TAUDnCDRm (スレーブ) \geq TAUDnCDRm (マスター) + 1

- TAUDnCDRm (スレーブ) の値が有効な入力エッジのインターバルを超える場合は、スレーブチャンネルのカウンタは 0000_H にはならず、割り込みは発生しません。TAUDTTOUTm はアクティブ状態のままになります。

18.4.12.6 A/D 変換トリガ出力機能タイプ 1

(1) 概要

概要

この機能は、TAUDTTOUT_m が出力されないという点を除き、「18.4.12.1 PWM 出力機能」と同じです。スレーブチャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

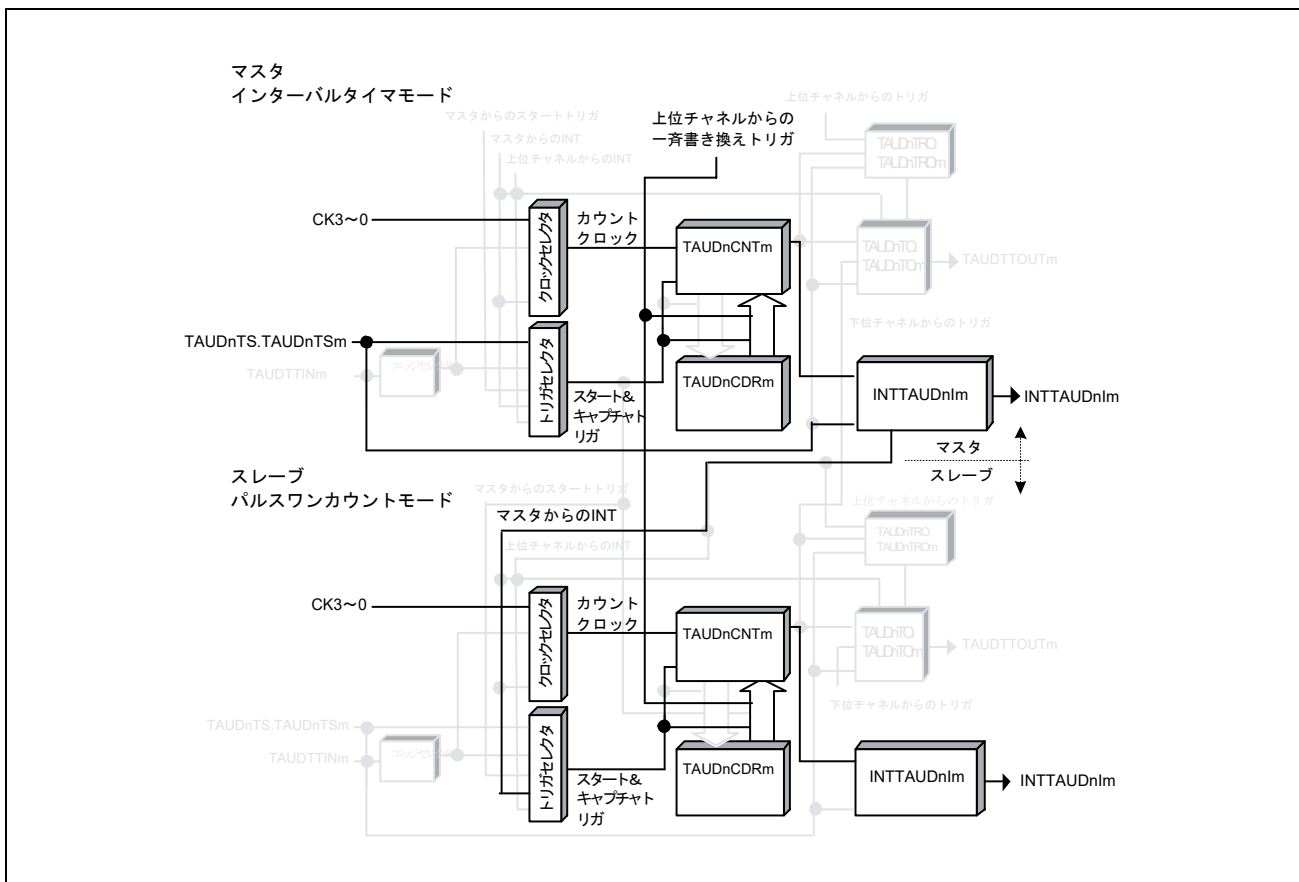


図 18.100 A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

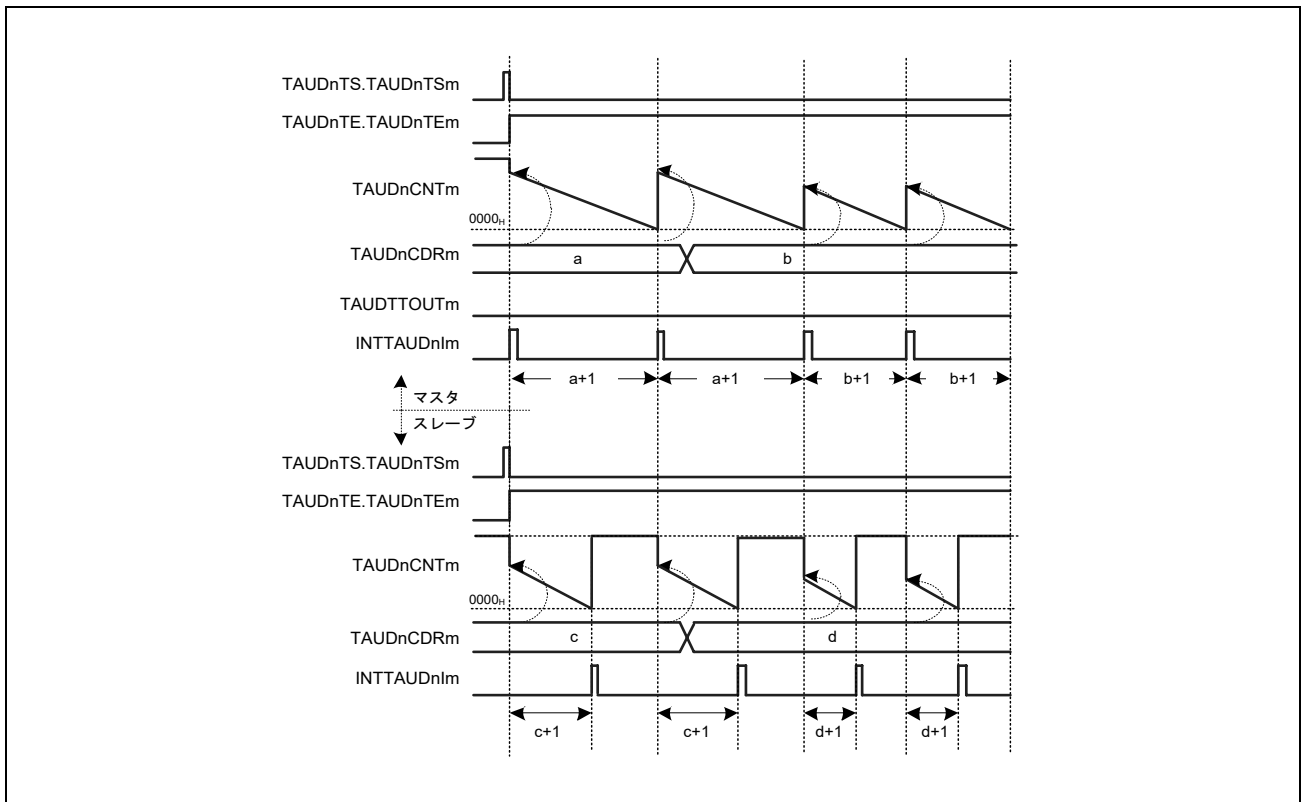


図 18.101 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

18.4.12.7 三角波 PWM 出力機能

(1) 概要

概要

マスタチャンネルと 1 つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ/スレーブチャンネルを用いて、TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。マスタチャンネルの 1 周期目はスレーブカウンタのダウンステータスを、2 周期目はアップステータスを制御します。

前提条件

- 2 チャンネルが必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 18.163 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャンネルの動作モードは、アップ/ダウンカウントモードに設定する必要があります（「**表 18.167 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容**」参照）。
- マスタチャンネルの出力モードは、チャンネル単体出力モード 1 に設定する必要があります（「**18.4.4 チャンネル出力モード**」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード 2 に設定する必要があります（「**18.4.4 チャンネル出力モード**」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。

TAUDnCDRm (マスタ/スレーブ) の値が TAUDnCNTm (マスタ/スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャンネル:

マスタチャンネルのカウント値が 0000_Hになると (パルス周期が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。

- スレーブチャンネル:

マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウント動作がトリガされます。

- スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
- スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

スレーブチャンネルのカウンタがアップ/ダウンカウント中に 0001_Hになると、INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) 信号がセット/リセットされます:

カウンタはアップ/ダウンカウントを続け、マスタチャンネルの次の INTTAUDnIm を待ちます。

TAUDnTOL.TAUDnTOLm を設定することにより、動作中に TAUDTTOUTm 信号の正相/逆相を切り替えることができます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタの動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

デューティサイクル[%] =

$$\left[\frac{\text{TAUDnCDRm (マスタ)} + 1 - \text{TAUDnCDRm (スレーブ)}}{\text{TAUDnCDRm (マスタ)} + 1} \right] \times 100$$

- デューティサイクル = 100%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 0%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

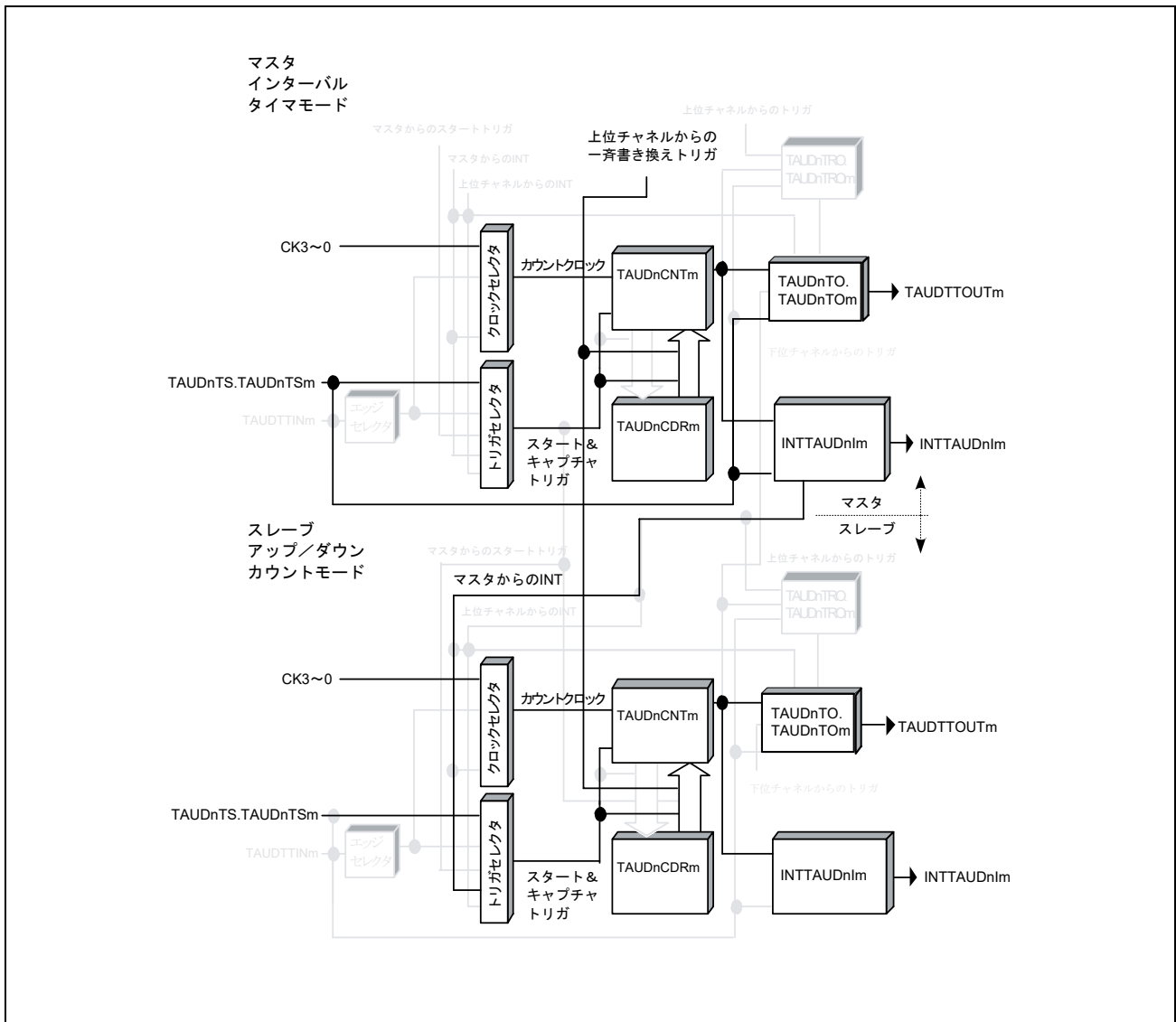


図 18.102 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

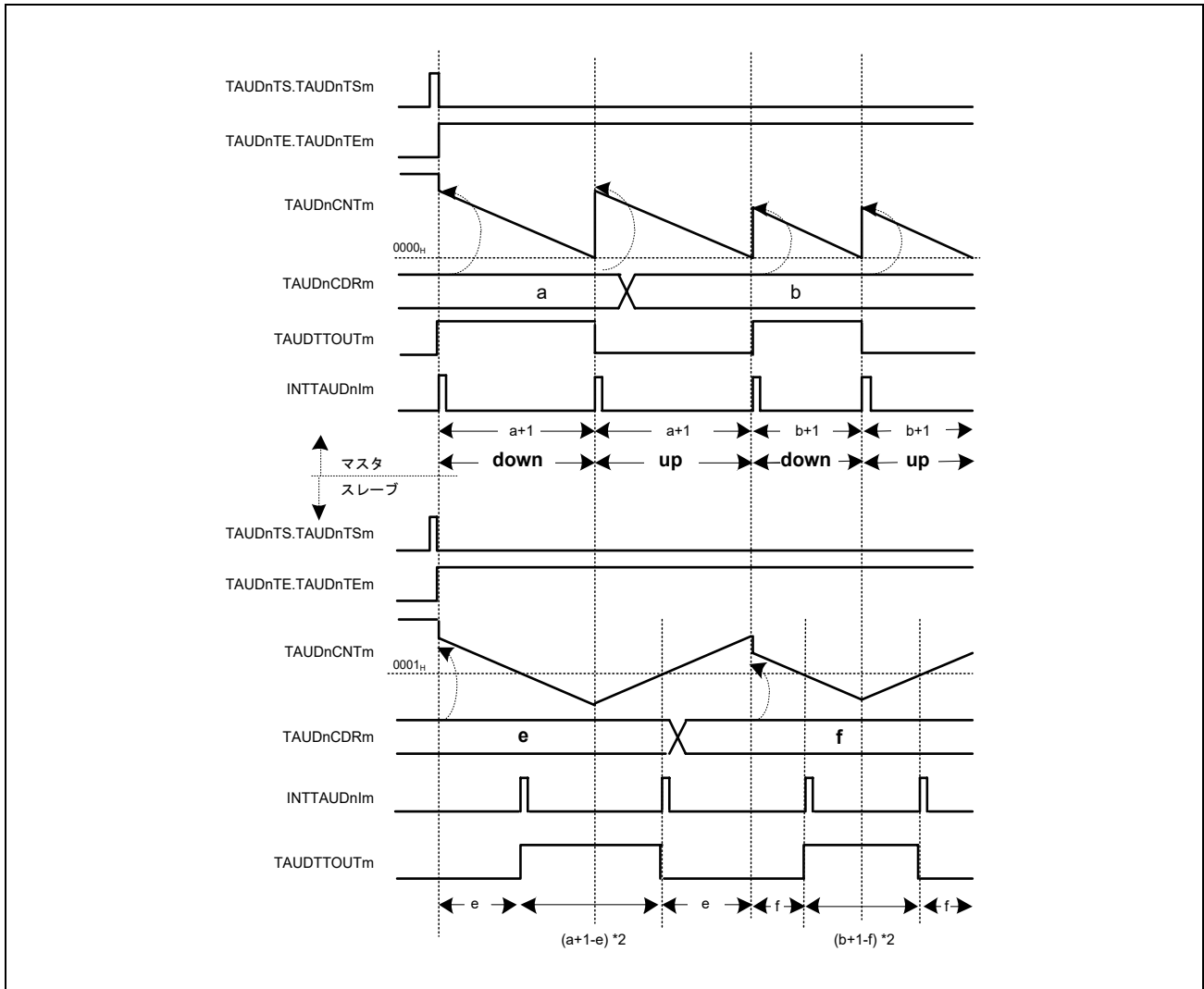


図 18.103 三角波 PWM 出力機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.163 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1 : 動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.164 三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

表 18.165 チャンネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.166 三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブチャンネルのレジスタ設定

(a) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.167 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	111 : マスタチャンネルのアップ/ダウン出カトリガ信号
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	1001 : アップ/ダウンカウントモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.168 三角波 PWM 出力機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネルのチャンネル出力モード

表 18.169 チャンネル連動出力モード 2 の時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.170 三角波 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: 上位チャンネルで一斉書き換えトリガをモニタする
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) 三角波 PWM 出力機能時の操作手順

表 18.171 三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。</p> <p>マスタチャンネルで TAUDnCMORm.TAUDnMD0 が “1” に設定されている場合は、INTTAUDnIm (マスタ) が発生します。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタ/スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDTTOUTm (マスタ) がトグルされます。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。 <p>スレーブチャンネルの TAUDnCNTm が 0001_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(7) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル：
 - TAUDnCDRm = 6_H

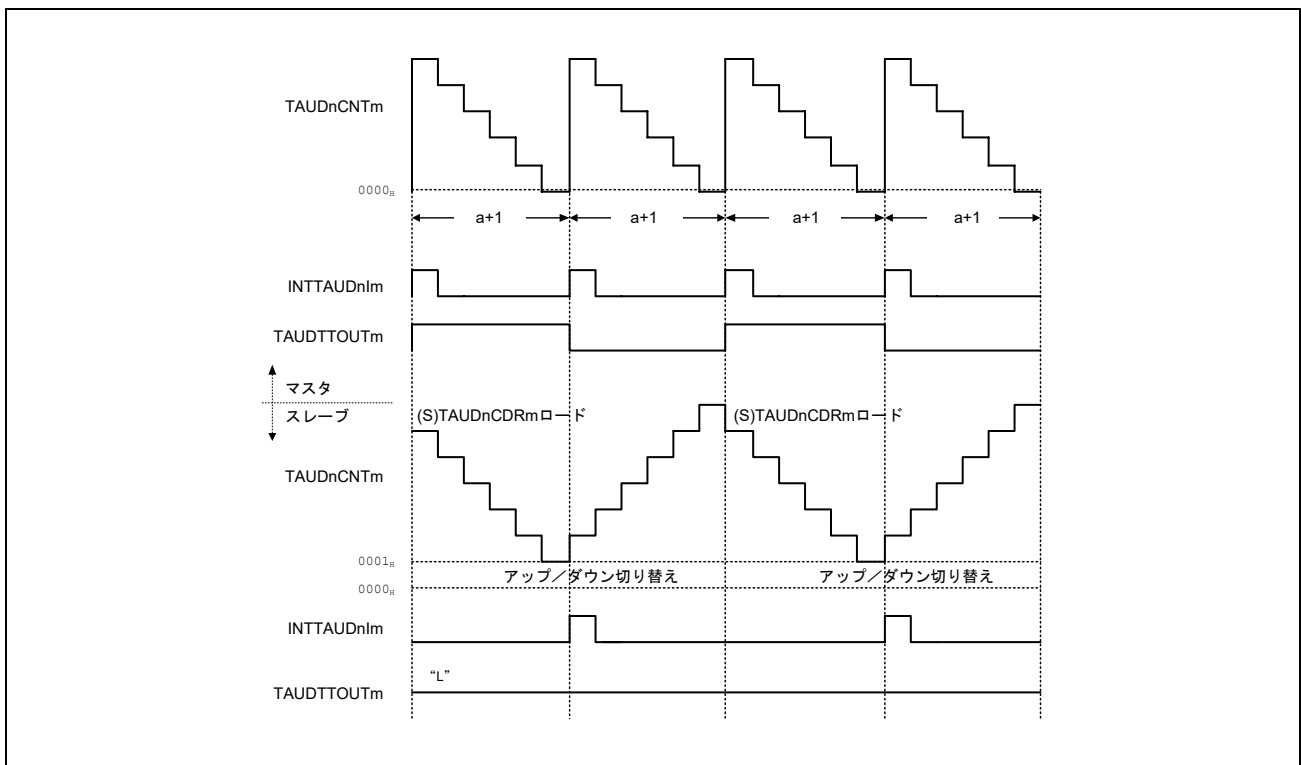


図 18.104 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) + 1 値以上の場合、ダウンカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。セット信号が検出されないため、TAUDTTOUTm はロウレベル状態のままになります。

(b) デューティサイクル = 100%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に $INTTAUDnIm$ が発生する ($TAUDnCMORm.TAUDnMD0 = 1$)
 - $TAUDnCDRm = a = 5H$
- スレーブチャンネル：
 - $TAUDnCDRm = 0H$

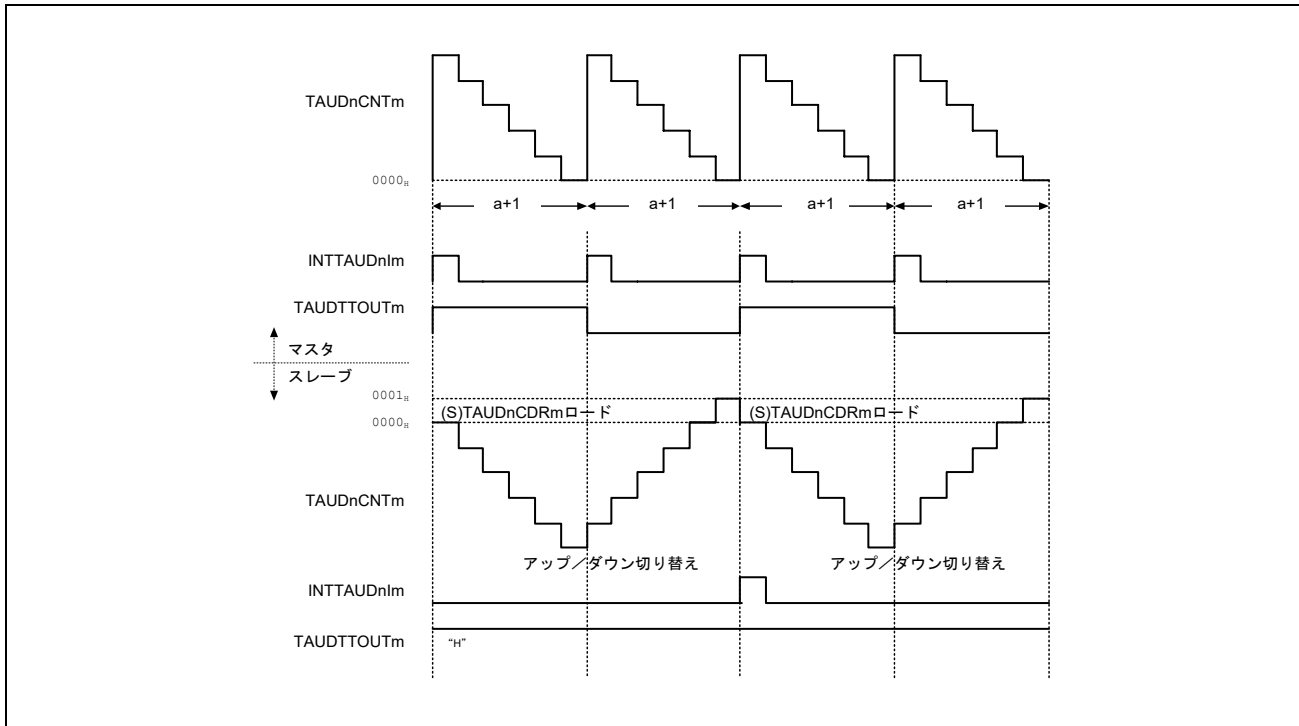


図 18.105 $TAUDnCDRm$ (スレーブ) = 0000H

- $TAUDnCDRm$ (スレーブ) = 0000H の場合、アップカウント中にスレーブチャンネルの $INTTAUDnIm$ は発生しません。リセット信号が検出されることがないため、 $TAUDTTOUTm$ はハイレベル状態のままになります。

18.4.12.8 デッドタイム付き三角波 PWM 出力機能

(1) 概要

概要

マスタチャンネルと 2 つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャンネル 2/3 の TAUDTTOUT_m から出力されます。これにより、マスタ/スレーブチャンネルを使って TAUDTTOUT_m のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャンネルの TAUDTTOUT_m がセット/リセットされます。TAUDnTDL.TAUDnTDL_m の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDTTOUT_m がただちにセット/リセットされるのか、デッドタイム経過後にセット/リセットされるのかを設定）。デッドタイム時間はスレーブチャンネル 3 で設定します。

前提条件

- 3 チャンネルが必要です。スレーブチャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a+1) を選択してください。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 18.173 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMOR_m レジスタの内容」参照）。
- この機能では、スレーブチャンネル 1 は使用しません。そのため、スレーブチャンネル 2 は必ず偶数チャンネル、スレーブチャンネル 3 は奇数チャンネルです。スレーブチャンネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャンネル 2 の動作モードは、アップダウンモードに設定する必要があります（「表 18.177 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 2 の TAUDnCMOR_m レジスタの内容」参照）。また、スレーブチャンネル 2 は偶数チャンネルでなければなりません。
- スレーブチャンネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「表 18.181 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 3 の TAUDnCMOR_m レジスタの内容」参照）。また、スレーブチャンネル 3 は奇数チャンネルでなければなりません。
- マスタチャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- スレーブチャンネル 2/3 の出力モードは、デッドタイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUT_m 信号がハイレベルになります。
 - TAUDnCMOR_m.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
 - TAUDnCMOR_m.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

備 考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャンネル 1 を使用しません。

スレーブチャンネル 1 は、個別タイマ（単体機能）として使用可能です。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが “1” に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャンネル：

マスタチャンネルのカウンタ値が 0000_Hになると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャンネル 2：

マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネル 2 のカウンタ動作がトリガされます。

- スレーブのカウンタがダウンカウント中の場合は、カウンタ方向が変わります。

- スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

カウンタはアップ／ダウンカウントを続け、マスタチャンネルの次の INTTAUDnIm を待ちます。

スレーブチャンネル 2 のカウンタ値が 0001_Hになると INTTAUDnIm が発生します。

- スレーブチャンネル 3：

スレーブチャンネル 2 で INTTAUDnIm が発生すると、スレーブチャンネル 3 のカウンタ動作がトリガされず。そして TAUDnCDRm (スレーブ 3) の現在値が TAUDnCNTm (スレーブ 3) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_Hになると、INTTAUDnIm が発生します。カウンタは FFFF_Hに戻り、スレーブチャンネル 2 の次の INTTAUDnIm を待ちます。

「表 18.172 スレーブチャンネル 2 で割り込みが発生した際の TAUDTTOUTm の動作」にあるように、対応するチャンネルの TAUDnTDL.TAUDnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。

また、TAUDnTOL.TAUDnTOLm の設定によって、対応チャンネルからハイレベル信号を出力

(TAUDnTOL.TAUDnTOLm = 0) するかロウレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 1) するかが決まります。

マスタ／スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ／スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャンネル 2 の TAUDnCDRm 値を 0000_Hにして、TAUDTTOUTm を 100%出力することができます。

条件

この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

TAUDnTOL.TAUDnTOLm と TAUDnTDL.TAUDnTDLm の設定はカウント動作開始前に行う必要があります、スレーブチャンネル 2 とスレーブチャンネル 3 は TAUDnTDL.TAUDnTDLm の設定が反対でなければなりません。

表 18.172 スレーブチャンネル 2 で割り込みが発生した際の TAUDTTOUTm の動作

TAUDnTDL. TAUDnTDLm	割り込み発生時のスレーブ チャンネル 2 のカウント方向	TAUDTTOUTm セット/リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

$0000_H \leq \text{TAUDnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2)) × 2 - (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2)) × 2 + (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

(3) ブロック図と基本タイミング図

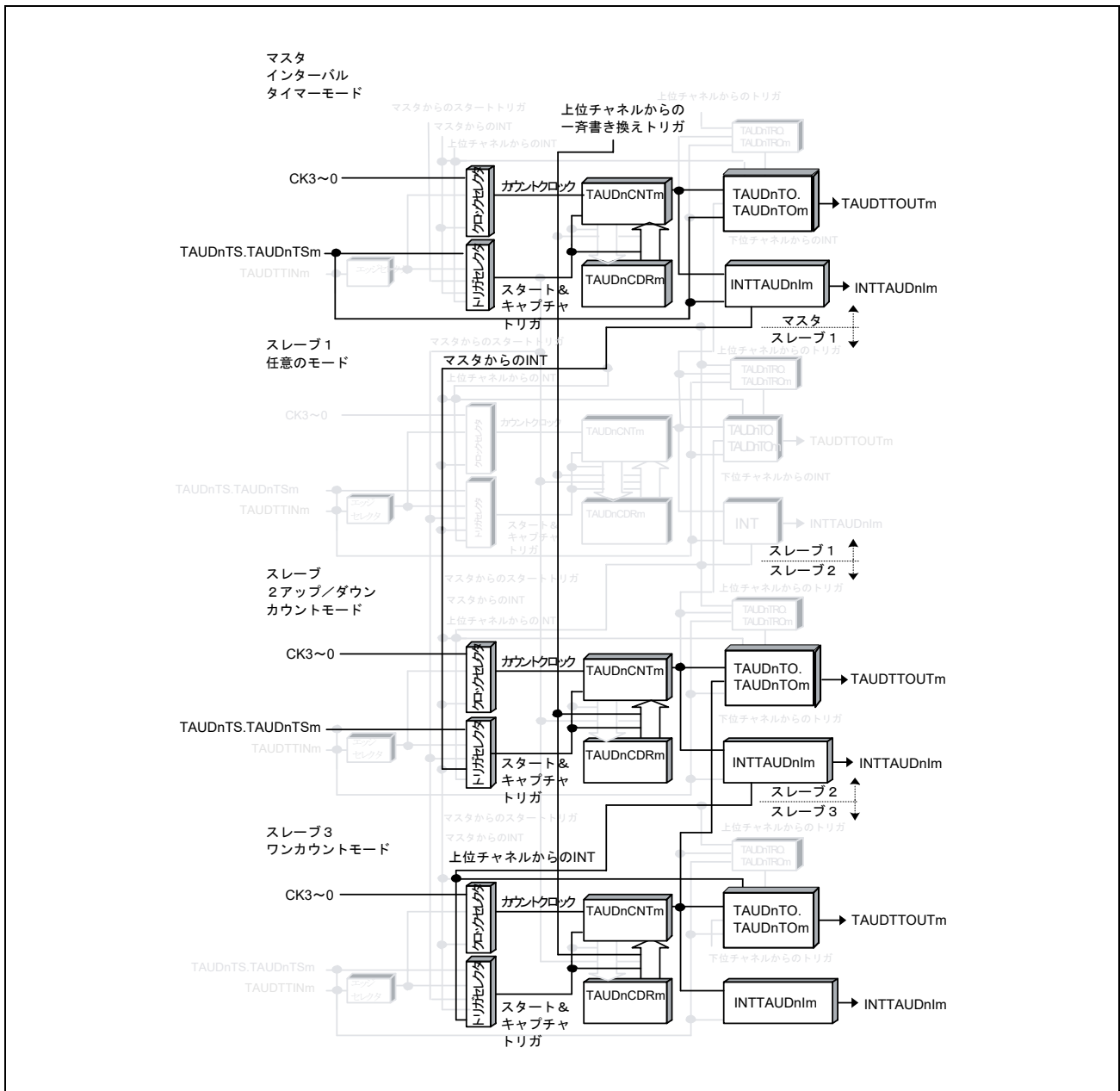


図 18.106 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- スレーブチャンネル 2：
 - 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
 - TAUDnTDL.TAUDnTDLm = 0
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル 3：
 - カウント中のスタートトリガ検出許可 (TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnTDL.TAUDnTDLm = 1
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)

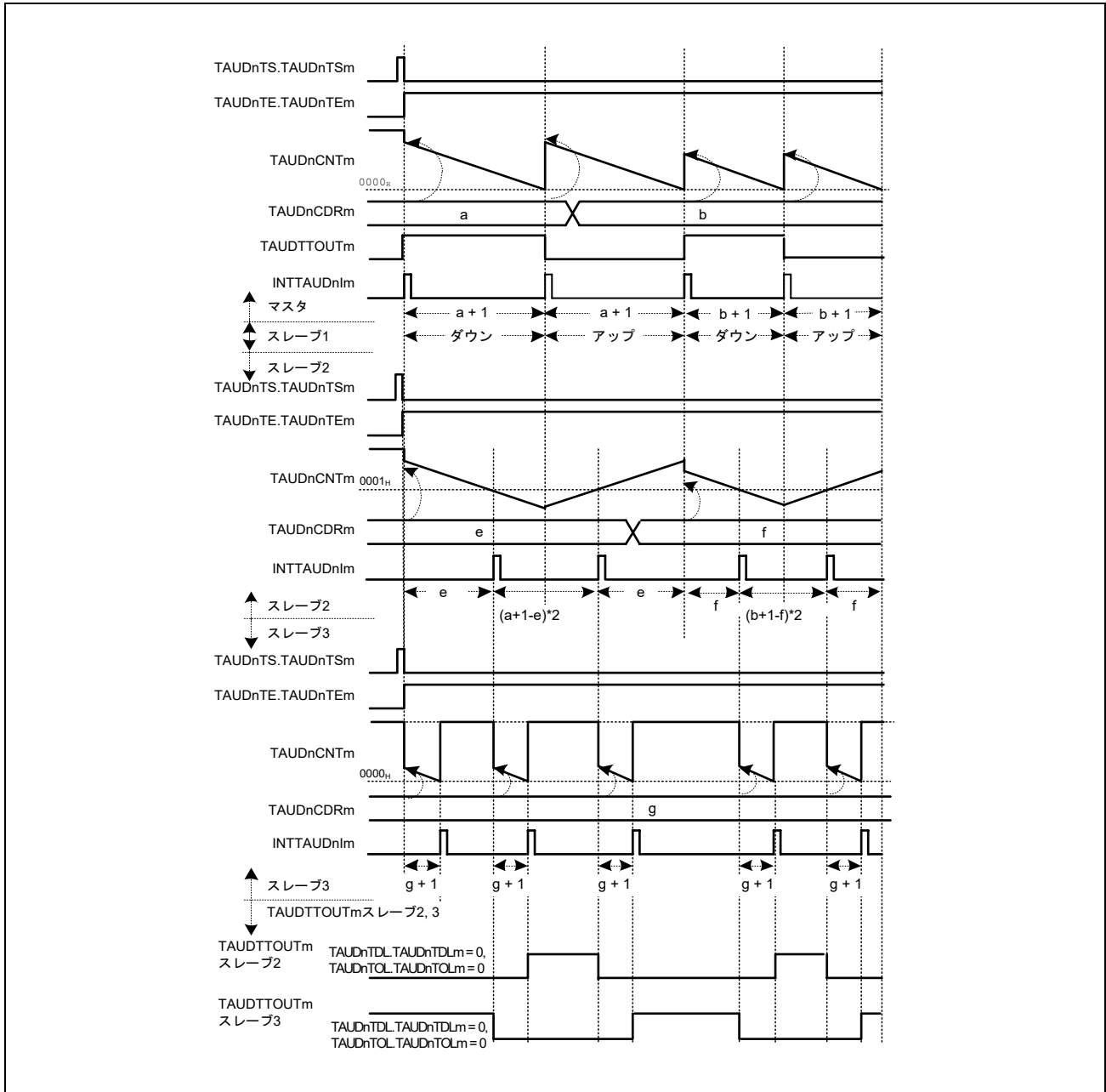


図 18.107 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.173 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1 : 動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.174 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

表 18.175 チャンネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.176 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブチャンネル 2 のレジスタ設定

(a) スレーブチャンネル 2 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.177 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	111 : マスタチャンネルのアップ/ダウン出カトリガ信号
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	1001 : アップ/ダウンカウントモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない

(b) スレーブチャンネル 2 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.178 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 2 のチャンネル出力モード

表 18.179 デッドタイム出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(d) スレーブチャンネル 2 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.180 三角波 PWM 出力機能時のスレーブチャンネル 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(6) スレーブチャンネル 3 のレジスタ設定

(a) スレーブチャンネル 3 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.181 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	110 : TAUDTTOUTm 生成ユニットのデッドタイム出力信号
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(b) スレーブチャンネル 3 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.182 デッドタイム付き三角波 PWM 出力機能時のスレーブチャンネル 3 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 3 のチャンネル出力モード

表 18.183 デッドタイム出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブチャンネル 3 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.184 三角波 PWM 出力機能時のスレーブチャンネル 3 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波周期の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

(7) デッドタイム付き三角波 PWM 出力機能時の操作手順

表 18.185 デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に“1”に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。</p> <p>マスタチャンネルで TAUDnCMORm.TAUDnMD0 が“1”に設定されている場合は、INTTAUDnIm (マスタ)が発生します。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm (マスタ)が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm (マスタ)にロードし、カウント動作を継続します。 • 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 2) にロードするか、反対方向のカウントを開始します。 <p>TAUDnCNTm (スレーブ 2) が 0001_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm (スレーブ 2)が発生します。 • スレーブチャンネル 3 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 <p>スレーブチャンネル 3 の TAUDnCNTm が 0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

図 18.108 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

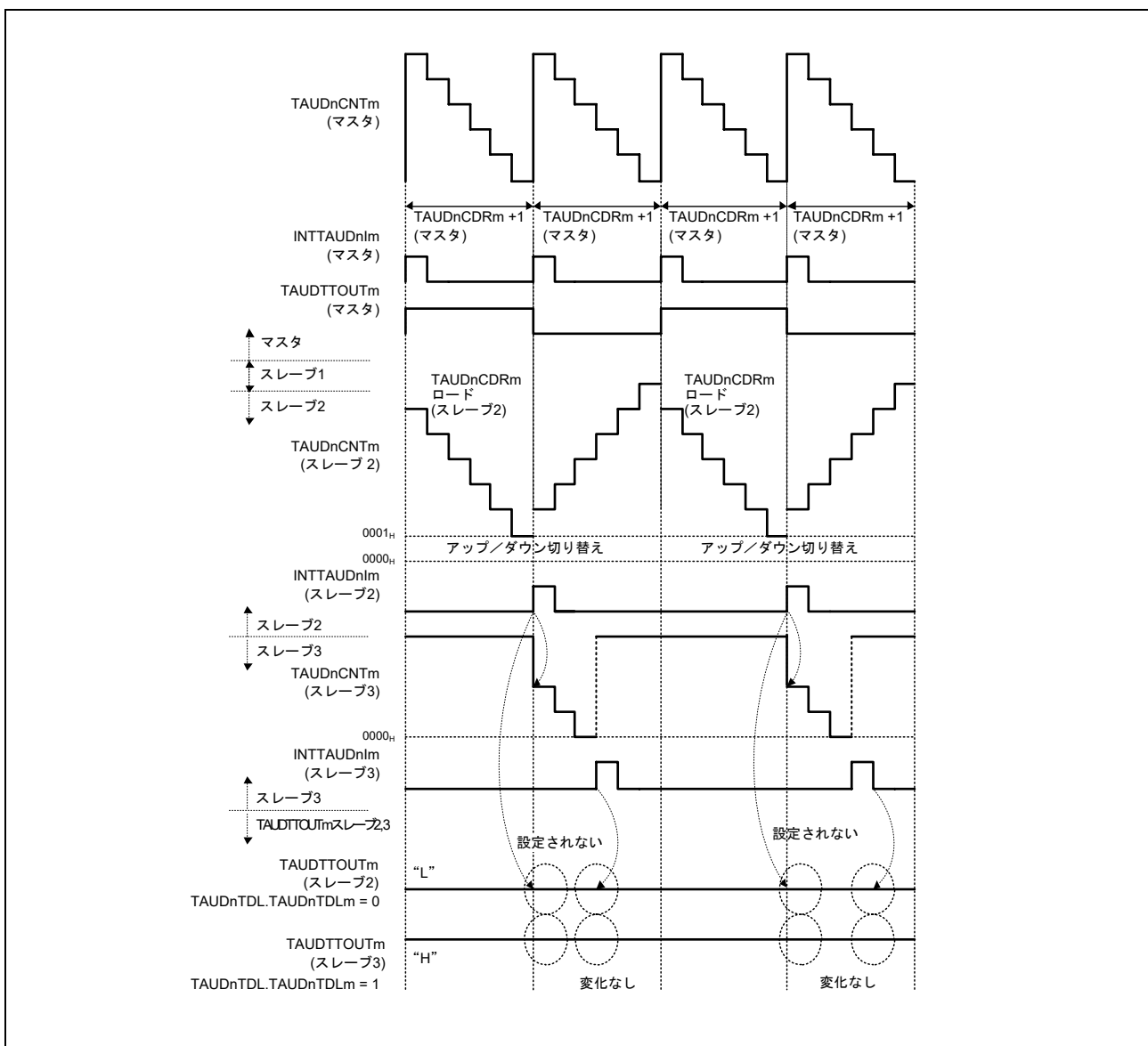


図 18.108 TAUDnCDRm (スレーブ 2) ≥ TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ 2) 値が TAUDnCDRm (マスタ) 値以上の場合、スレーブチャンネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUDTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(b) デューティサイクル = 100%

図 18.109 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

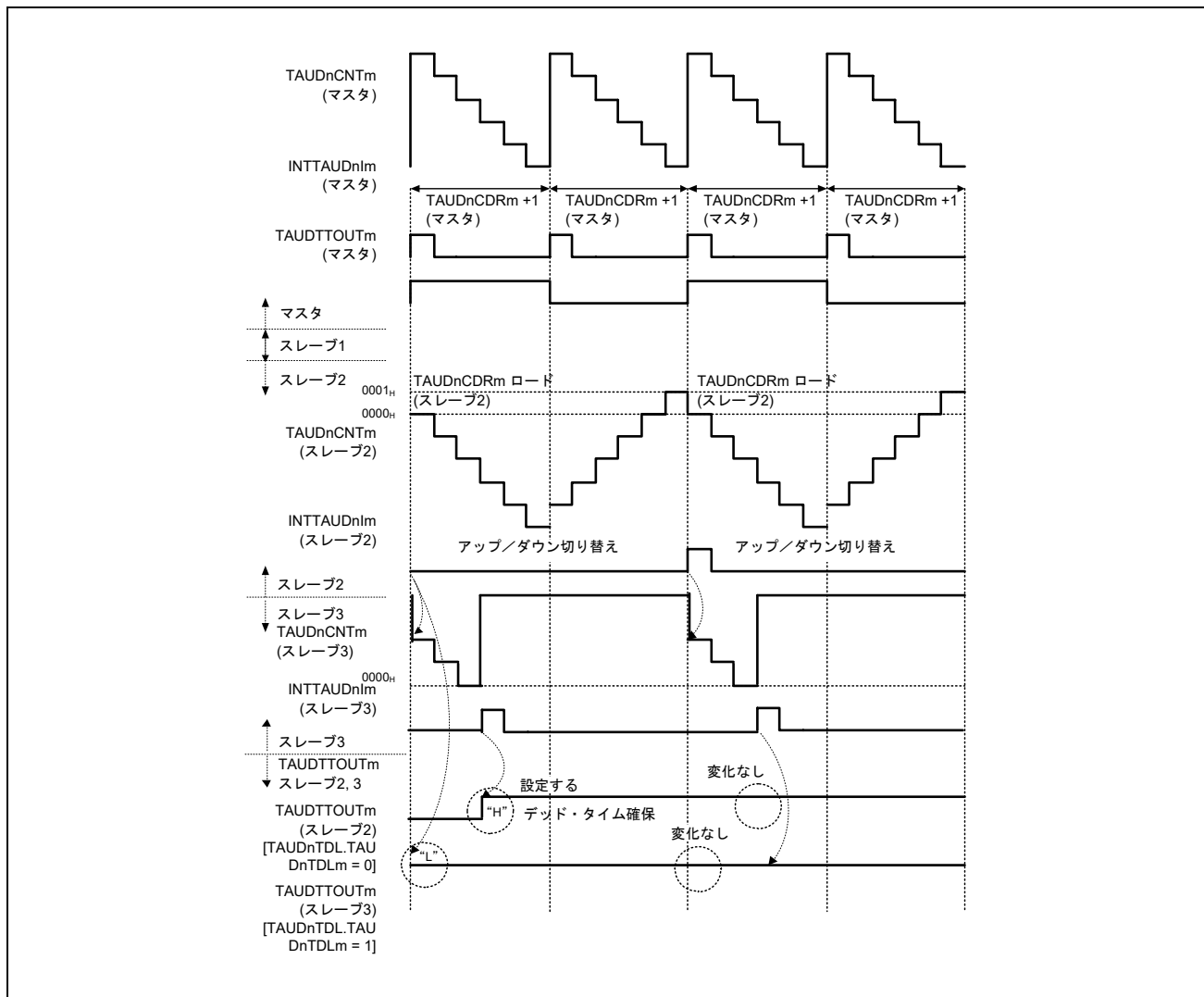


図 18.109 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUDnIm は発生しません。
 - TAUDnTDL.TAUDnTDLm が “0” に設定されているチャンネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされないため、TAUDTTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。
 - 上図のスレーブチャンネル 3 はカウント開始時にセットされます。ただし、TAUDnTDL.TAUDnTDLm が “1” に設定されているスレーブチャンネルでは、リセット条件が満たされないため、当該チャンネルでは TAUDTTOUTm は初期状態のままになります。

18.4.12.9 A/D 変換トリガ出力機能タイプ 2

(1) 概要

概要

この機能は、TAUDTTOUT_m が出力されないという点を除き、「18.4.12.7 三角波 PWM 出力機能」と同じです。

スレーブチャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

(2) ブロック図と基本タイミング図

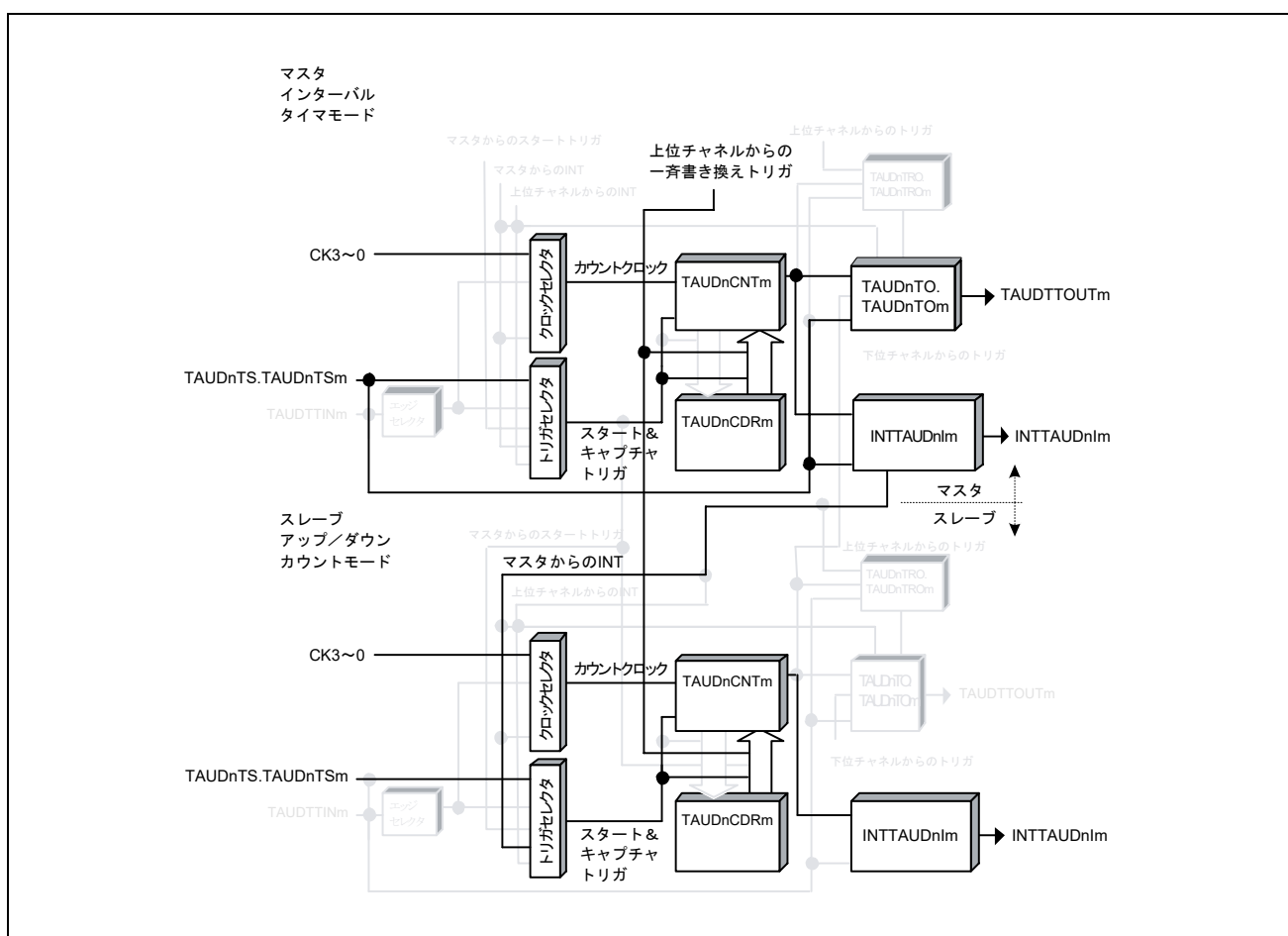


図 18.110 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

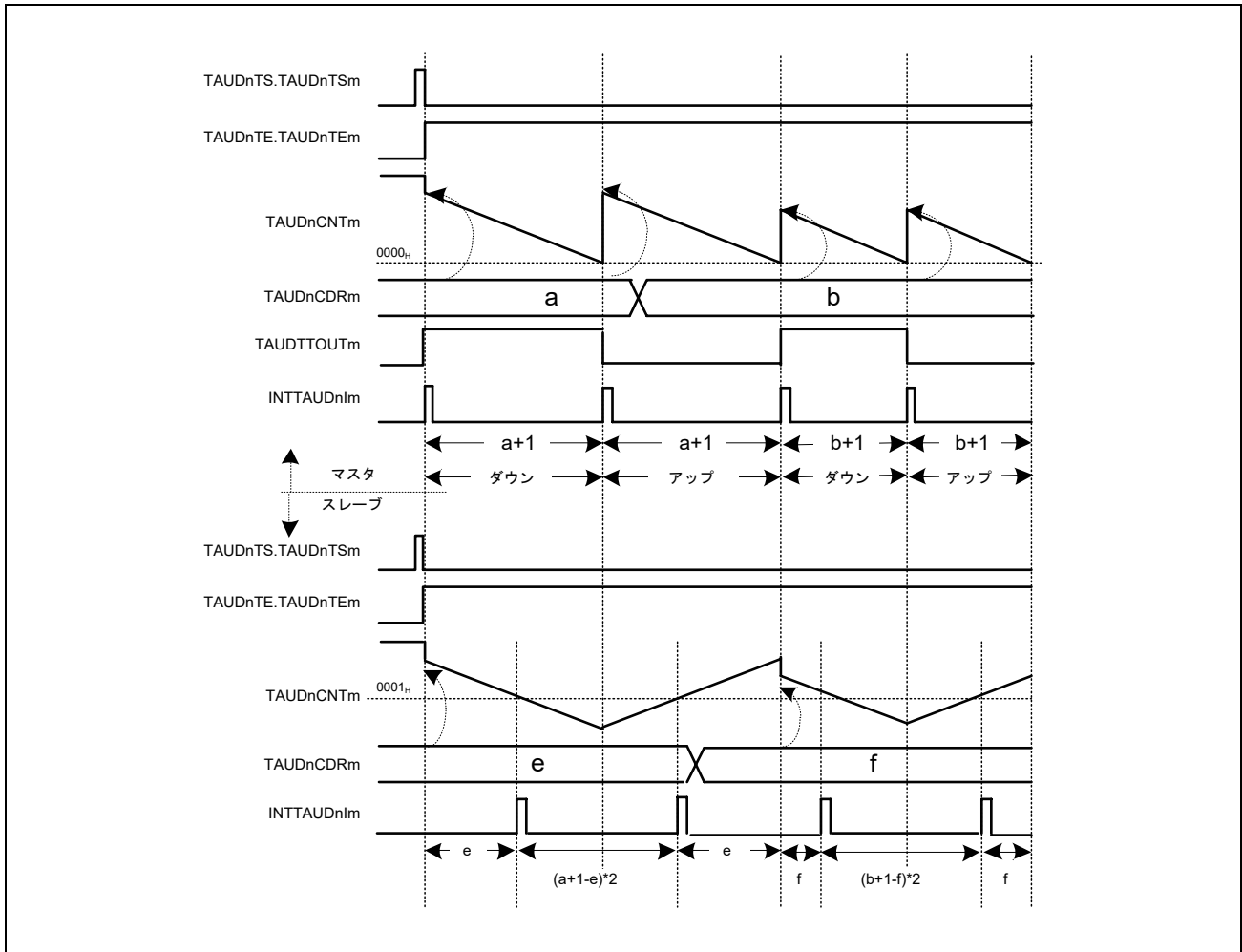


図 18.111 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

18.4.12.10 割り込み要求信号間引き機能

(1) 概要

概要

マスタチャンネルの割り込み数を、スレーブチャンネルを使って指定した値で割る機能です。

割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能（「**18.4.12.1 PWM 出力機能**」参照）
- 三角波 PWM 出力機能（「**18.4.12.7 三角波 PWM 出力機能**」参照）
- デッドタイム付き三角波 PWM 出力機能（「**18.4.12.8 デッドタイム付き三角波 PWM 出力機能**」参照）

前提条件

- 2チャンネルが必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 18.186 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャンネルの動作モードは、イベントカウントモードに設定する必要があります（「**表 18.189 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm を使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ (マスタ/スレーブチャンネル両方) の動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。マスタチャンネルとスレーブチャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル：
マスタチャンネルのカウンタが 0000_Hになると、INTTAUDnIm が発生し、TAUDnCDRm の値が TAUDnCNTm にロードされます。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生するたびに、スレーブチャンネルのカウンタをデクリメントします。カウンタが 0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。そして TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、INTTAUDnIm が発生します。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「**18.4.3 一斉書き換え**」を参照してください。

(2) 算出式

割り込み除算演算子 = $TAUDnCDRm$ (スレーブチャンネル)

- $TAUDnCDRm$ (スレーブチャンネル) + 1 で定義されたマスタチャンネルの $INTTAUDnIm$ 数につき 1 つの $INTTAUDnIm$ が発生します。

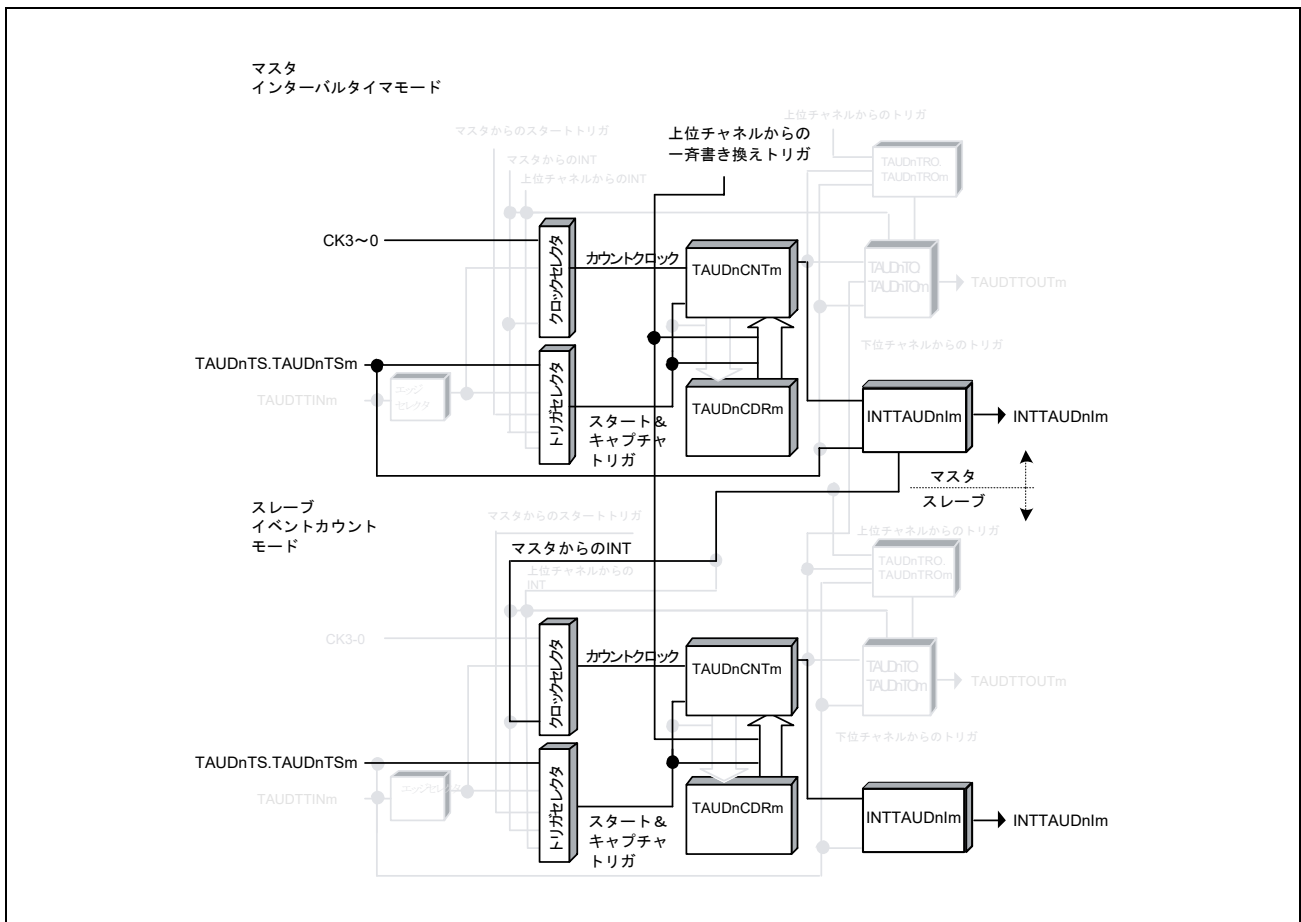
(3) ブロック図と基本タイミング図

図 18.112 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル :
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

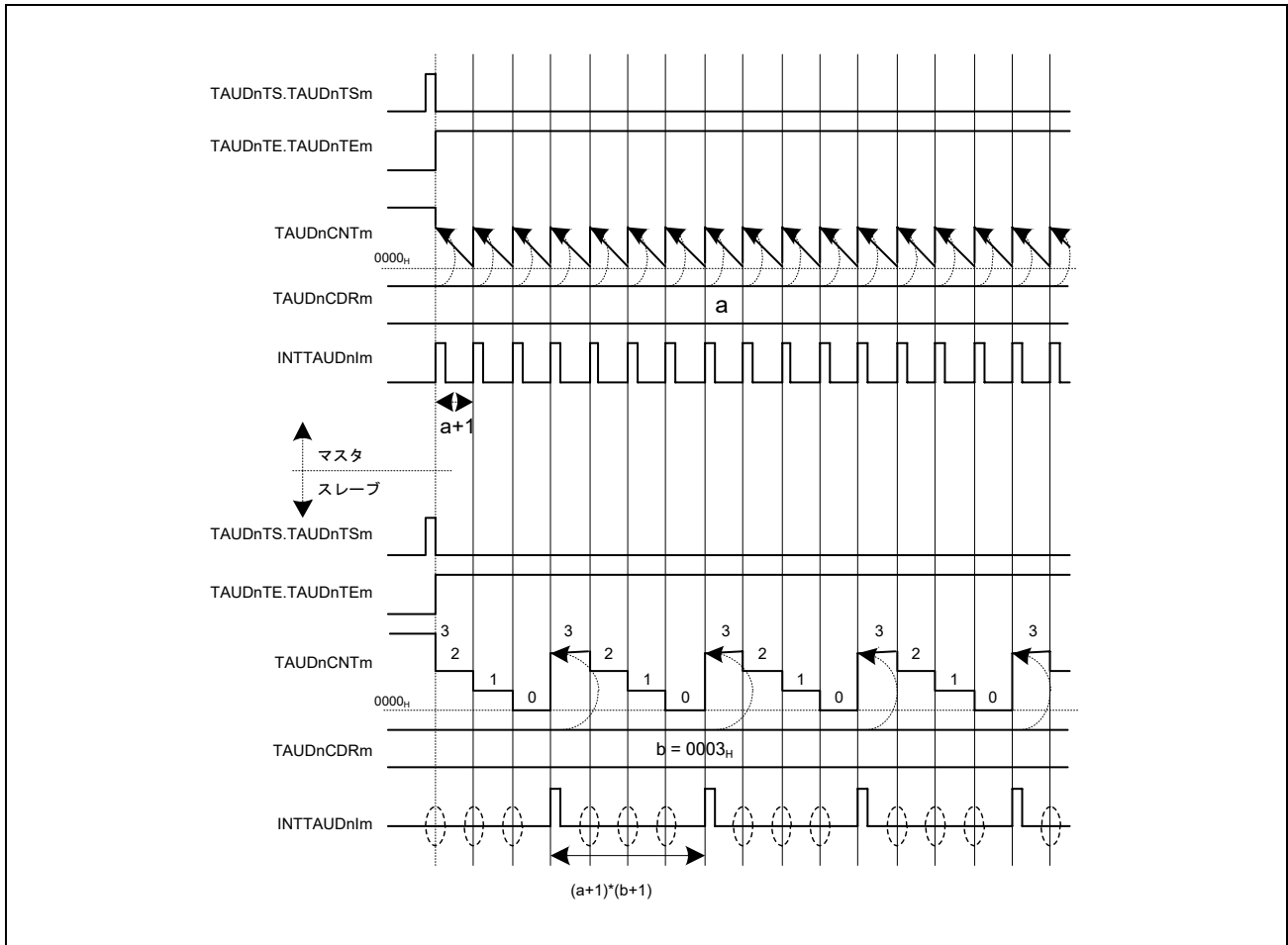


図 18.113 割り込み要求信号間引き機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.186 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.187 割り込み要求信号間引き機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.188 割り込み要求信号間引き機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャンネルの一斉書き換えトリガを選択 1：チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャンネルとして動作しない。

(5) スレーブチャンネルのレジスタ設定**(a) スレーブチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]	TAUDnCCS[1:0]	TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]	—	TAUDnMD[4:1]				TAUDnMD0				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.189 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	11：マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(b) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.190 割り込み要求信号間引き機能時のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネルの出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.191 割り込み要求信号間引き機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルで一斉書き換えトリガを選択 1 : チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1 : 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

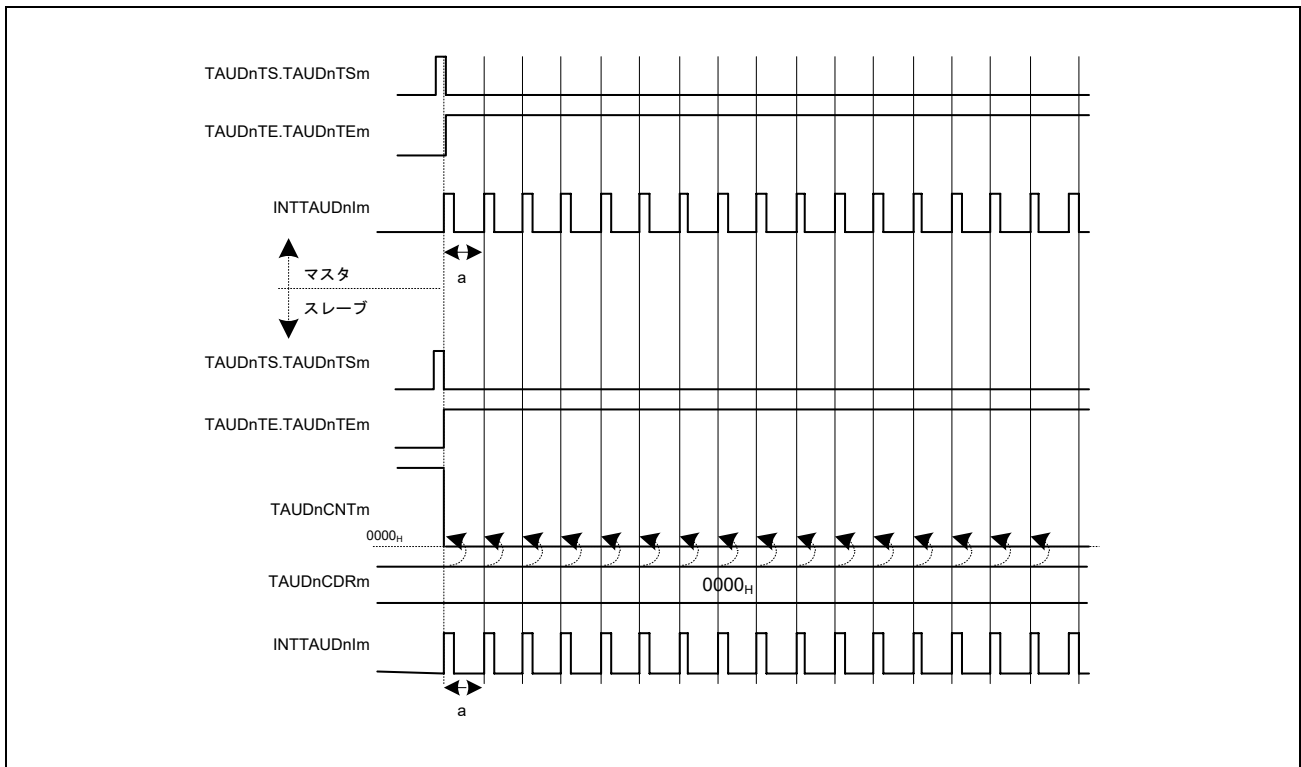
(6) 割り込み要求信号間引き機能時の操作手順

表 18.192 割り込み要求信号間引き機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が “1” に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。</p> <p>マスタチャンネルで INTTAUDnIm が発生します。</p>
動作再開	<p>TAUDnCDRm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は TAUDnCDRm 値をロードし、カウント動作を継続します。 スレーブチャンネルの TAUDnCNTm は、マスタチャンネルの INTTAUDnIm が検出されるごとにダウンカウントを行います。 <p>スレーブチャンネルの TAUDnCNTm が 0000_Hになった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDnCNTm (スレーブ) は TAUDnCDRm 値をロードし、カウント動作を継続します。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm は停止し、現在値を保持します。</p>

(7) 特定の設定時のタイミング図

(a) 割り込み数 (マスタ) = 割り込み数 (スレーブ)

図 18.114 TAUDnCDRm (スレーブ) = 0000_H

TAUDnCDRm = 0000_H の場合、マスタチャンネルの INTTAUDnIm を検出するごとに、スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードします。つまり、TAUDnCNTm は常に 0000_H です。

したがって、マスタチャンネルで割り込みが発生すると同時に、スレーブチャンネルで割り込みが発生することになります。

18.4.12.11 1 相 PWM 出力機能

(1) 概要

概要

TAUDTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャンネルおよび上位チャンネルの TAUDTTOUTm から出力されます。

前提条件

- 2 つ（もしくはそれ以上）のチャンネルで、それぞれデッドタイム制御が許可されている (TAUDnTDE.TAUDnTDEm = 1)
- 下位チャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 18.194 1 相 PWM 出力機能の TAUDnCMORM レジスタの内容」参照）。
- 上位チャンネルには任意の動作モードを設定可能です。
- 上下位チャンネルのチャンネル出力モードは、1 相 PWM 出力を行うチャンネル連動出力モード 2 に設定する必要があります。「18.4.4 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_Hになると、割り込みが発生します。カウンタは FFFF_Hに戻り、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

表 18.193 デッドタイムが付加される TAUDTTOUTm と TAUDTTINm の状態

TAUDnCMURm. TAUDnTIS[1:0]	TAUDnTOL. TAUDnTOLm	デッドタイムが付加される TAUDTTOUTm	TAUDnTDL. TAUDnTDLm	付加時の TAUDTTINm_lower の状態
10	0	TAUDTTOUTm low	0	ハイレベル
			1	ロウレベル
	1	TAUDTTOUTm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDTTOUTm low	0	ロウレベル
			1	ハイレベル
	1	TAUDTTOUTm high	0	ロウレベル
			1	ハイレベル

条件

- TAUDnCMURm.TAUDnTIS[1:0]ビットで幅測定のタイプを指定します。
 - TAUDnCMURm.TAUDnTIS[1:0] = 10_B : 両エッジを有効エッジとして検出 (ロウレベル幅測定)
 - TAUDnCMURm.TAUDnTIS[1:0] = 11_B : 両エッジを有効エッジとして検出 (ハイレベル幅測定)
- TAUDnTDL.TAUDnTDLm ビットで、下位チャンネルでの割り込み発生時または有効な TAUDTTINm エッジの検出時の各チャンネルの TAUDTTOUTm の動作を指定します。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、割り込みを TAUDTTOUTm セットのトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットのトリガとして使用します。
 - TAUDnTDL.TAUDnTDLm = 1 の場合、有効な TAUDTTINm エッジを TAUDTTOUTm セットのトリガ、割り込みを TAUDTTOUTm リセットのトリガとして使用します。
- この機能では強制リスタートは行えません。

(2) ブロック図と基本タイミング図

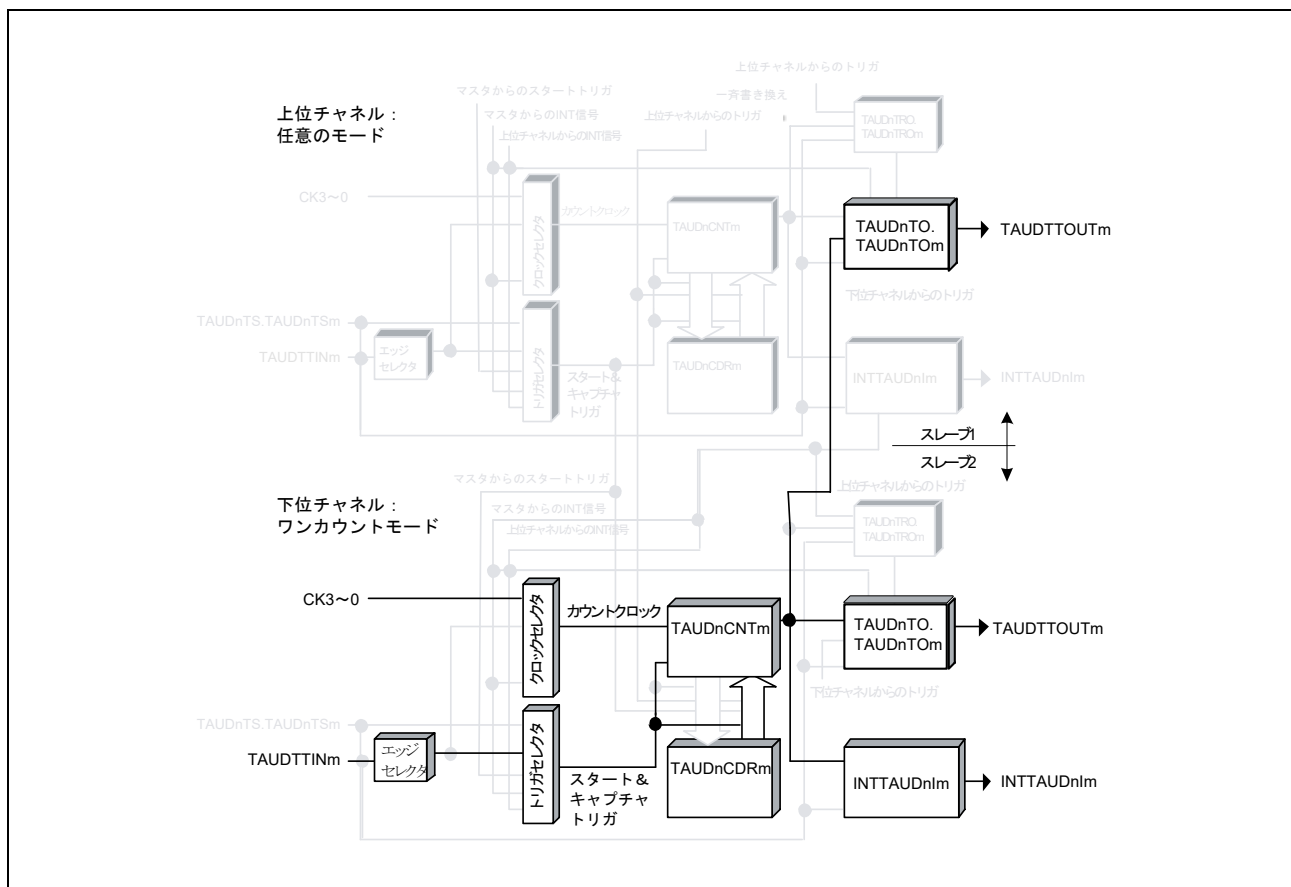


図 18.115 1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

この設定では、デューティをアクティブハイとして考えています。

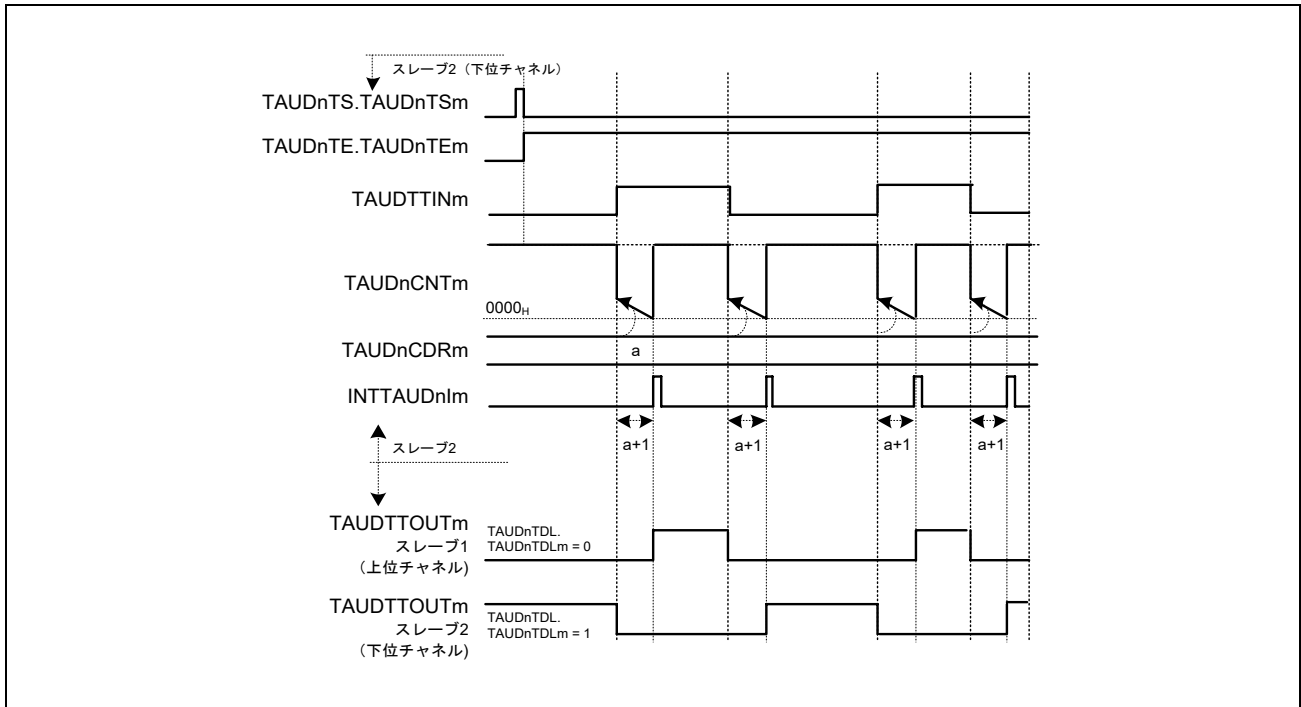


図 18.116 1 相 PWM 出力機能の基本タイミング図

(3) 下位チャンネルのレジスタ設定

(a) 下位チャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.194 1 相 PWM 出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : 単体動作、“0”を設定
10~8	TAUDnSTS[2:0]	001 : TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(b) 下位チャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.195 1 相 PWM 出力機能の下位チャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(c) 下位チャンネルのチャンネル出力モード

表 18.196 1 相 PWM 出力を行うチャンネル連動出力モード 2 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャンネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相幅のデッドタイムを付加 1: 逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、上位チャンネルと排他設定してください。

(d) 下位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、1 相 PWM 出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 18.197 1 相 PWM 出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

(4) 上位チャンネルのレジスタ設定**(a) 上位チャンネルの TAUDnCMORm**

上位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(b) 上位チャンネルの TAUDnCMURm

上位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(c) 上位チャンネルのチャンネル出力モード

表 18.198 1 相 PWM 出力を行うチャンネル連動出力モード 2 の上位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャンネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 下位チャンネルの割り込みを TAUDTTOUTm セットトリガ、下位チャンネルの有効な TAUDTTINm エッジを TAUDTTOUTm リセットトリガとして使用します。 1: 下位チャンネルの有効な TAUDTTINm エッジを TAUDTTOUTm セットトリガ、下位チャンネルの割り込みを TAUDTTOUTm リセットトリガとして使用します。
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、"0" を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、下位チャンネルと排他設定してください。

(d) 上位チャンネルの一斉書き換え

上位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

(5) 1 相 PWM 出力機能の操作手順

表 18.199 1 相 PWM 出力機能の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 18.194 1 相 PWM 出力機能の TAUDnCMORm レジスタの内容」と「表 18.195 1 相 PWM 出力機能の下位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。</p> <p>上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「(4) 上位チャンネルのレジスタ設定」に示すように設定します。</p> <p>TAUDnCDRm レジスタの値を設定します。</p> <p>制御ビットを「表 18.196 1 相 PWM 出力を行うチャンネル連動出力モード 2 の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>TAUDnTOE.TAUDnTOEm (スレーブチャンネル 1、2) を “1” に設定 (動作再開時のみ) します。</p> <p>スレーブチャンネル 2 に TAUDnTS.TAUDnTSm = 1 を設定します。</p> <p>TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。</p> <p>TAUDTTINm スタートエッジ検出</p>	<p>TAUDnTE.TAUDnTEm は “1” に設定され (スレーブチャンネル 2)、TAUDnCnTm は TAUDTTINm スタートエッジ検出を待ちます。</p> <p>TAUDnCnTm は TAUDnCDRm 値をロードします。</p>
動作再開	<p>TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。</p> <p>TAUDnCnTm レジスタは任意のタイミングで読み出し可能です。</p>	<p>スレーブチャンネル 2 の TAUDnCnTm はダウンカウントを行います。カウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • TAUDnCnTm がカウントを停止します。 <p>TAUDTTINm のエッジ検出信号とスレーブチャンネル 2 の INTTAUDnIm 信号により TAUDTTOUTm を変化させデッドタイム付き 1 相 PWM 波形を出力する。 以降、動作を繰り返す。</p>
動作停止	<p>スレーブチャンネル 2 に TAUDnTT.TAUDnTTm = 1 を設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCnTm は停止し、TAUDnCnTm と TAUDTTOUTm は現在値を保持します。</p>

18.4.13 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャンネルと 7 個のスレーブチャンネルを使用することで、6 相の PWM 出力または三角波 PWM 出力を生成する機能について説明します。

- 「18.4.13.1 非相補方式変調出力機能タイプ 1」
- 「18.4.13.2 非相補方式変調出力機能タイプ 2」
- 「18.4.13.3 相補方式変調出力機能」

18.4.13.1 非相補方式変調出力機能タイプ 1

(1) 概要

概要

この機能では、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャンネルが使用されます。

前提条件

- マスタチャンネル× 1、スレーブチャンネル× 7 が必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 18.201 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル 1~7 の動作モードは、ワンカウントモードに設定する必要があります（「表 18.204 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。
- この機能ではスレーブチャンネル 1 の TAUDTTOUTm は使用ませんが、TAUDnTRC.TAUDnTRCm は“1”に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- スレーブチャンネル 2~7 のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード 1 に設定する必要があります（「18.4.4 チャンネル出力モード」参照）。
- スレーブチャンネル 1 の TAUDnCDRm は、0000_Hに設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を “1” に設定すると、マスタ/スレーブチャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされ、カウンタはダウンカウントを開始します。カウンタが 0000_Hになると、INTTAUDnIm が発生します。

- スレーブチャンネル 1 :
スレーブチャンネル 1 がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm = 1)、スレーブチャンネル 1 (TAUDnCDRm は 0000_H 固定) で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値が変化します。割り込み発生後、カウンタは FFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。
- スレーブチャンネル 2 :
スレーブチャンネル 2 は PWM 出力を生成します。PWM 出力周期はマスタチャンネルで指定し、デューティサイクルはスレーブチャンネル 2 で指定します。割り込み発生後、カウンタは FFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

スレーブチャンネル 3~7 はスレーブチャンネル 2 と同じように動作します。

「表 18.200 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 組の TAUDTTOUTm 出力」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEm) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を “1” に設定すると、カウントを再開できます。

条件

- スレーブチャンネル 2~7 で TAUDnTME.TAUDnTMEm = 0 が設定されている場合 :
 - チャンネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はハイレベル信号を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャンネル 2~7 で TAUDnTME.TAUDnTMEm = 1 が設定されている場合 :
 - チャンネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はそのチャンネルの対応する PWM を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が “1” の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は反転論理となります。TAUDnTOL.TAUDnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 18.200 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 組の TAUDTTOUTm 出力

TAUDnTME.TAUDnTME _m	TAUDnTRO.TAUDnTRO _m	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「**18.4.3 一斉書き換え**」を参照してください。
- スレーブチャンネル 1 の TAUDnCDR_m 値は、スレーブチャンネル 2~7 で PWM が生成されるのと同時にリアルタイム出力がトリガされるよう、0000_H に設定する必要があります。
- スレーブチャンネル 2~7 で TAUDnTOL.TAUDnTOL_m = 0 が設定されている場合、TAUDnTE.TAUDnTE_m = 0 に設定する前に TAUDnTO.TAUDnTO_m をロウに設定します。
- スレーブチャンネル 2~7 で TAUDnTOL.TAUDnTOL_m = 1 が設定されている場合、TAUDnTE.TAUDnTE_m = 0 に設定する前に TAUDnTO.TAUDnTO_m をハイに設定します。

(2) 算出式

スレーブチャンネル 2~7 :

PWM 出力周期 = [TAUDnCDR_m (マスタ) + 1] × カウントクロック周期

PWM 出力デューティ時間 = [TAUDnCDR_m (スレーブ)] × カウントクロック周期

(3) ブロック図と基本タイミング図

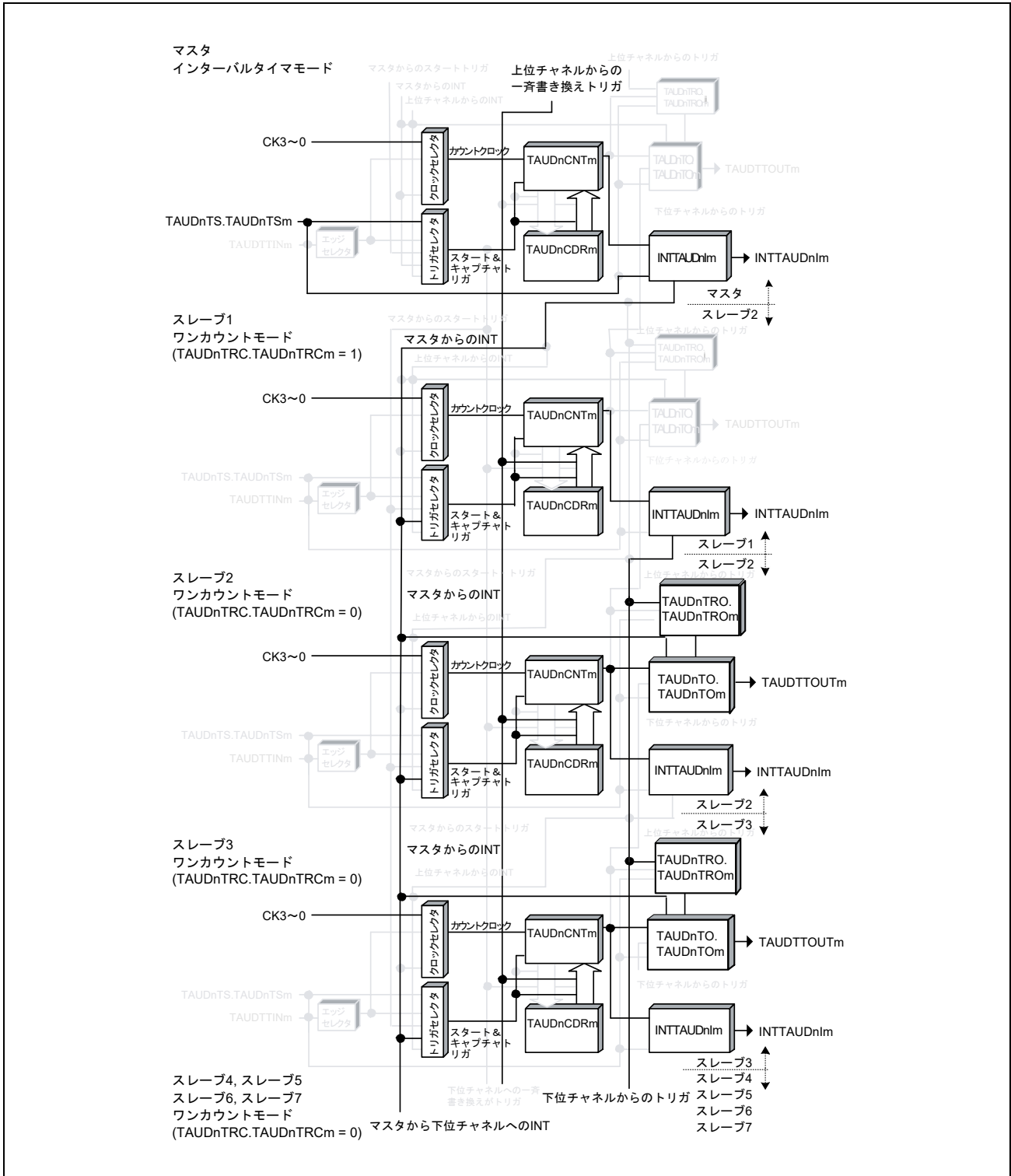


図 18.117 非相補方式変調出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル 2~7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

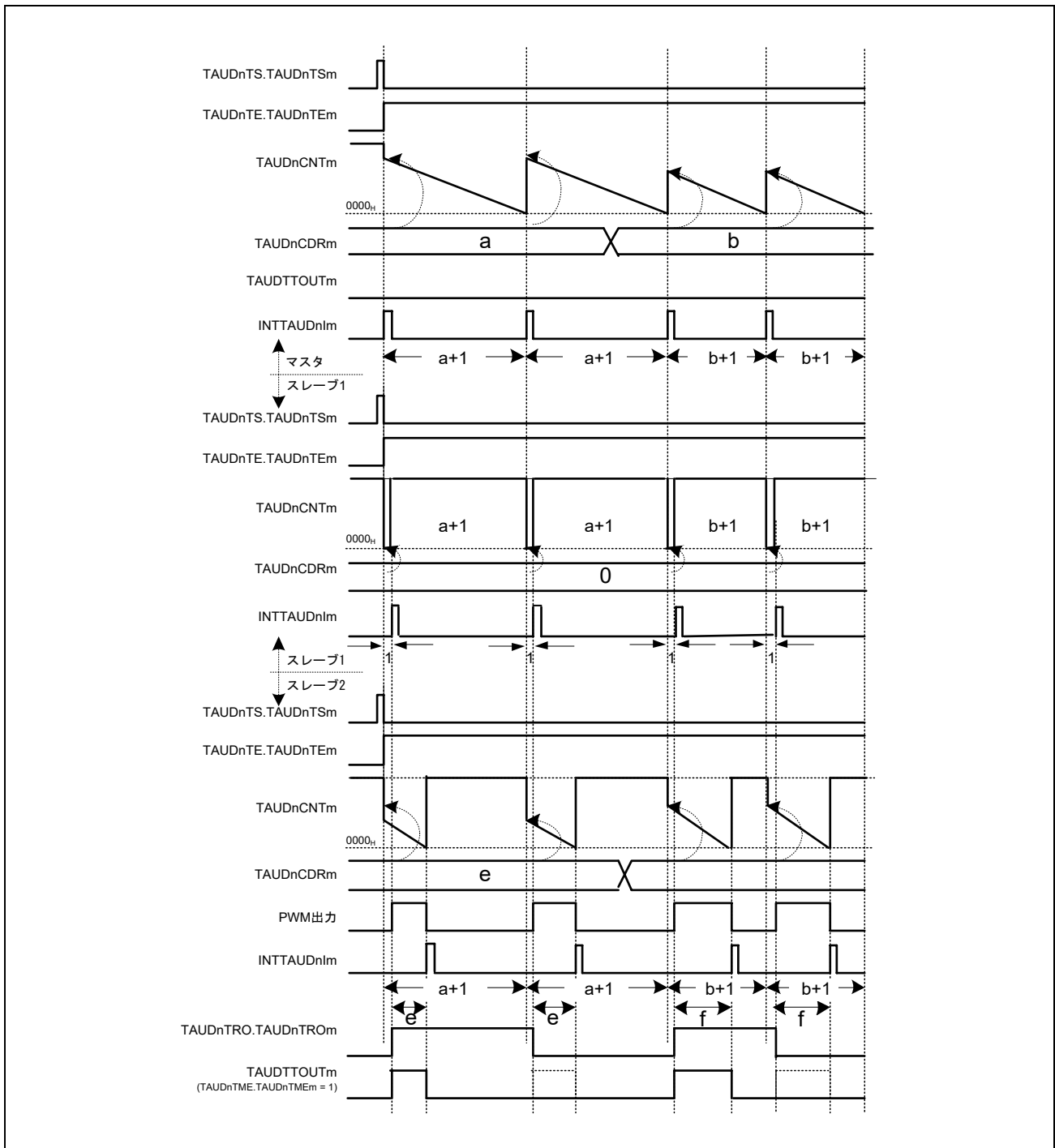


図 18.118 非相補方式変調出力機能タイプ 1 の基本タイミング図

備考

スレーブチャンネル 2 の TAUDTTOUTm は、マスタチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.201 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始または再開時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.202 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.203 非相補方式変調出力機能タイプ 1 時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備 考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャンネル: TAUDnRDCm = 1、TAUDnRDSm = 1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1

(5) スレーブチャンネル 1 のレジスタ設定**(a) スレーブチャンネル 1 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]	TAUDnCCS[1:0]	TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.204 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100: マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100: ワンカウントモード
0	TAUDnMD0	1: 動作中のスタートトリガが有効

(b) スレーブチャンネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.205 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) チャンネル出力モード

この機能では、スレーブチャンネル 1 ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

注 意

スレーブチャンネル 1 をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCm を“1”に設定する必要があります。

(d) スレーブチャンネル 1 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.206 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0 : マスタチャンネルで一斉書き換えトリガをモニタ 1 : チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDcm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDsm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(6) スレーブチャンネル 2~7 のレジスタ設定

(a) スレーブチャンネル 2~7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.207 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 2~7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKs[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKs[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : 動作中のスタートトリガが有効

(b) スレーブチャンネル 2~7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.208 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 2~7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 2~7 のチャンネル出力モード

表 18.209 非相補方式変調出力を行うチャンネル連動出力モード 1 時のスレーブチャンネル 2~7 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

(d) スレーブチャンネル 2~7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.210 非相補方式変調出力機能タイプ 1 時のスレーブチャンネル 2~7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDsm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(7) 非相補方式変調出力機能タイプ 1 時の操作手順

表 18.211 非相補方式変調出力機能タイプ 1 時の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2~7：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 2~7 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm にパルス周期、スレーブチャンネル 1 の TAUDnCDRm に 0000_H、スレーブチャンネル 2~7 の TAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。</p> <p>TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が “1” に設定され、カウンタがダウンカウントを開始します。
動作再開	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネル、スレーブチャンネル 1、スレーブチャンネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャンネル 2~7 の PWM 出力信号がセット/リセットされます。 • 再びスレーブチャンネル 1 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 • 再びスレーブチャンネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 <p>スレーブチャンネル 1 またはスレーブチャンネル 2~7 のカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • スレーブチャンネル 2~7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 <p>スレーブチャンネル 2~7 のカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • スレーブチャンネル 2~7 の PWM 出力信号がリセットされます。 <p>スレーブチャンネル 2~7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEm) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。</p>
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。</p> <p>TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャンネル 2~7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

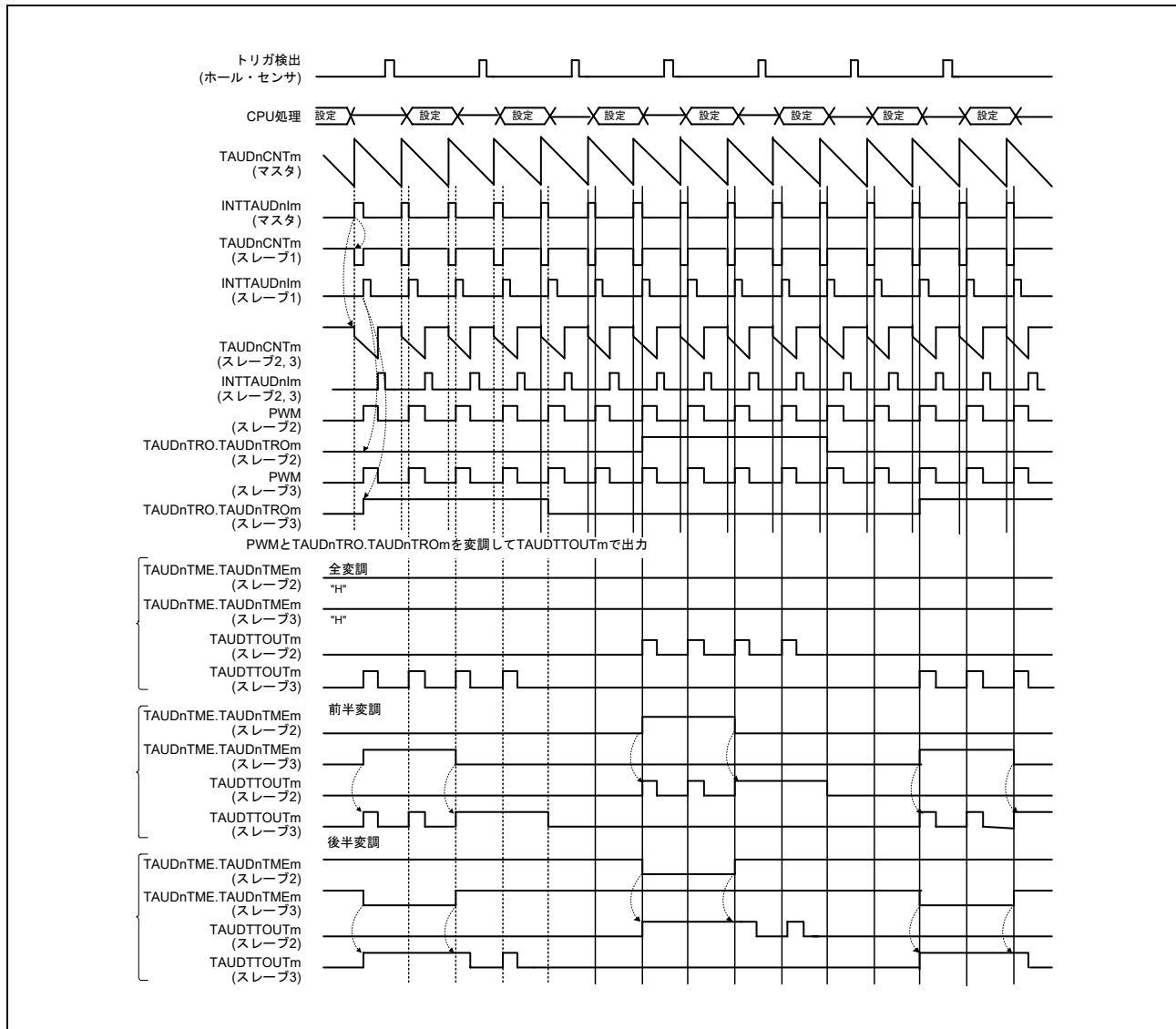


図 18.119 非相補方式変調出力機能タイプ 1 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTME_m ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDR_m、TAUDnTME.TAUDnTME_m、TAUDnTRO.TAUDnTRO_m の値を変更できる期間を示しています。

TAUDnTME.TAUDnTME_m は、カウント開始タイミングとマスタチャンネルの周期検出で設定値が反映されます。変更された設定値にしたがい、TAUDTTOUT_m より変調波形を出力します。

TAUDnTRO.TAUDnTRO_m ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

18.4.13.2 非相補方式変調出力機能タイプ 2

(1) 概要

概要

この機能では、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャンネルが使用されます。

前提条件

- マスタチャンネル× 1、スレーブチャンネル× 7 が必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 18.213 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル 1 の動作モードは、イベントカウントモードに設定する必要があります (「表 18.217 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル 2~7 の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 18.220 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2~7 の TAUDnCMORm レジスタの内容」参照)。
- マスタチャンネルの出力モードは、チャンネル単体出力モード 1 に設定する必要があります (「18.4.4 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は “1” に設定する必要があります (「18.4.4 チャンネル出力モード」参照)。
- スレーブチャンネル 2~7 のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード 2 に設定する必要があります (「18.4.4 チャンネル出力モード」参照)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これにより TAUDnTE.TAUDnTEem = 1 となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル：
マスタチャンネルのカウンタがダウンカウントを開始します。カウンタが 0000_Hになると、INTTAUDnIm が発生します。
- スレーブチャンネル 1：
スレーブチャンネル 1 がマスタチャンネルからの割り込みを検出すると、TAUDnCNTm 値はデクリメントされます。マスタチャンネルからの割り込みが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。
スレーブチャンネル 1 がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm = 1)、スレーブチャンネル 1 で割り込みが発生すると、当該チャンネルの割り込み発生を検出しているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値がそれぞれの TAUDTTOUTm 出力に反映されます。

- スレーブチャンネル 2 :
マスタチャンネルからの割り込みを検出すると、TAUDnCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDnCDRm の値をロードしてからダウンカウントを開始します。

TAUDnCNTm = 0001_H の場合、割り込みが発生し、PWM 出力信号がセット/リセットされます。

マスタチャンネルとスレーブチャンネル 2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成します。

スレーブチャンネル 3~7 はスレーブチャンネル 2 と同じように動作します。

「表 18.212 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 組の TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を “1” に設定すると、カウントを再開できます。

条件

- スレーブチャンネルの TAUDnTME.TAUDnTMEem が “0” に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はハイレベル信号を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャンネルの TAUDnTME.TAUDnTMEem が “1” に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルの TAUDnTRO.TAUDnTROm が “1” の場合、TAUDTTOUTm はそのチャンネルの対応する PWM を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が “0” の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が “1” の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は反転論理となります。TAUDnTOL.TAUDnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 18.212 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 組の TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME.TAUDnTMEem	TAUDnTRO.TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。
- スレーブチャンネル 2~7 で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm をロウに設定します。
- スレーブチャンネル 2~7 で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm をハイに設定します。

(2) 算出式

スレーブチャンネル 2~7 :

キャリア周期 (ダウン/アップ) = [TAUDnCDRm (マスタ) + 1] × 2 × カウントクロック周期

デューティ時間 = [TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ)] × 2 × カウントクロック周期

(3) ブロック図と基本タイミング図

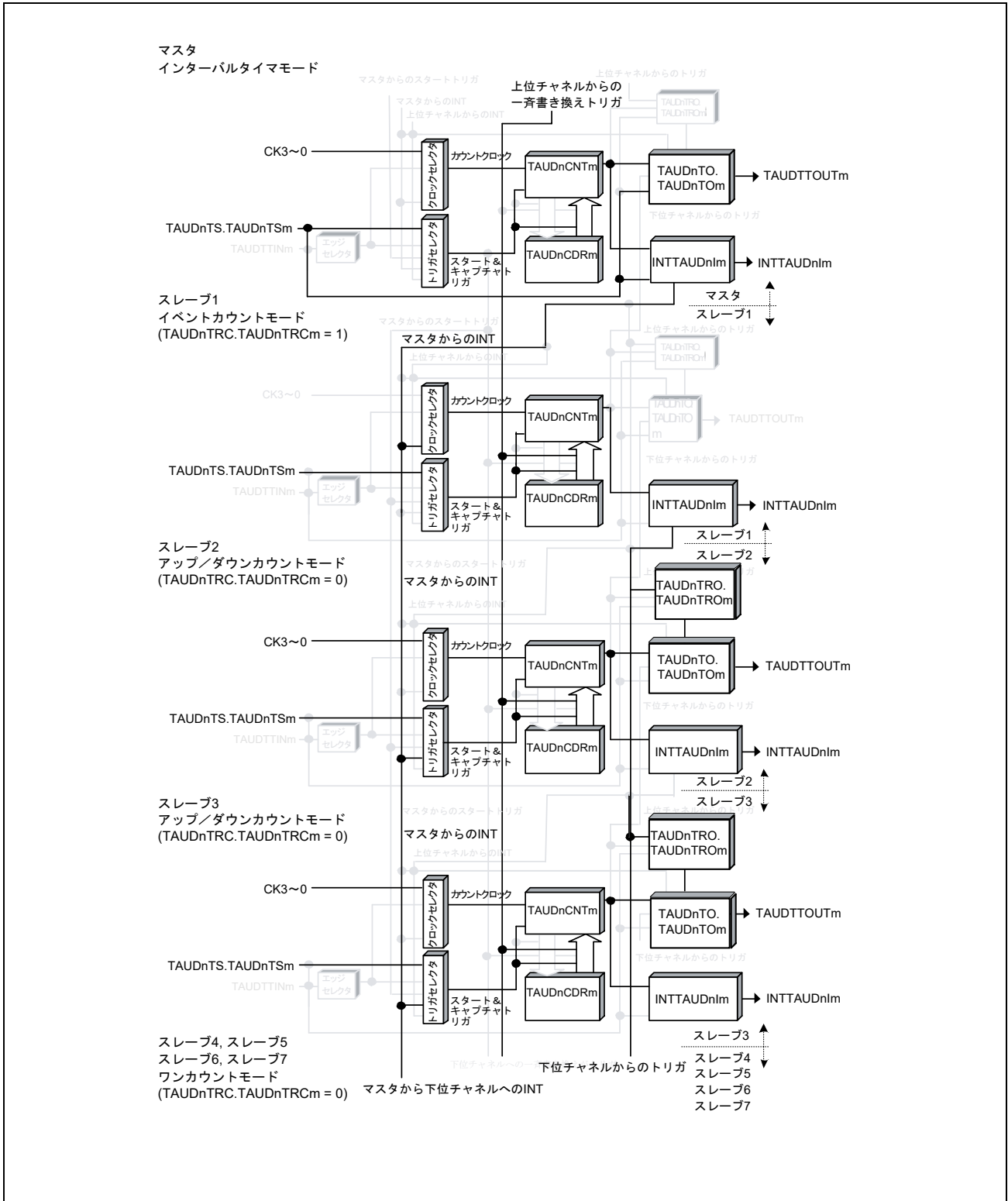


図 18.120 非相補方式変調出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 2~7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

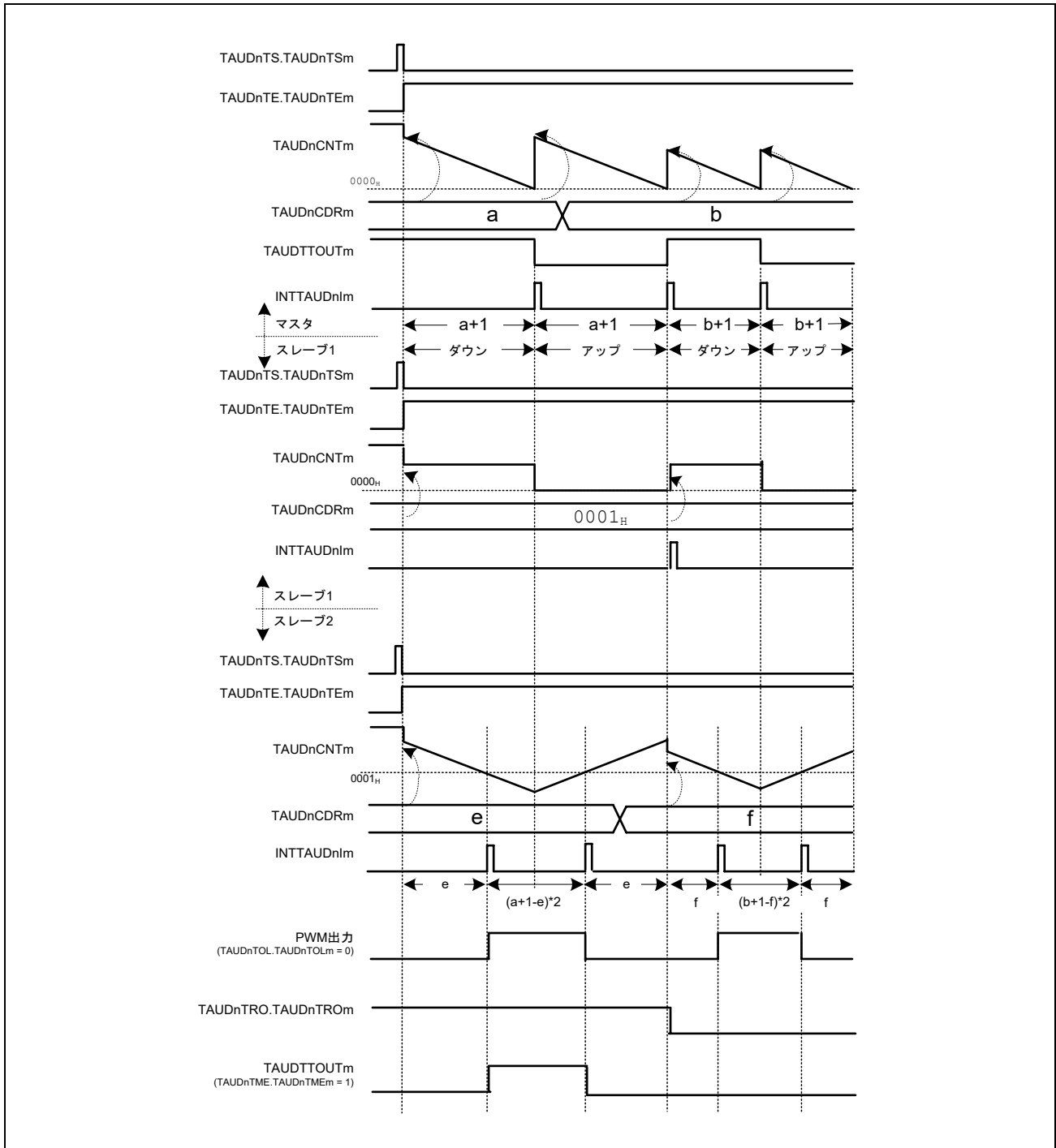


図 18.121 非相補方式変調出力機能タイプ 2 の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.213 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生しない 1 : 動作開始または再開時に INTTAUDnIm が発生する

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.214 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) マスタチャンネルのチャンネル出力モード

表 18.215 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.216 非相補方式変調出力機能タイプ 2 時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

(5) スレーブチャンネル 1 のレジスタ設定**(a) スレーブチャンネル 1 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.217 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	11 : マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ 011 : 一斉書き換えトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0011 : イベントカウントモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生しない

(b) スレーブチャンネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.218 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) チャンネル出力モード

この機能では、スレーブチャンネル 1 ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

注 意

スレーブチャンネル 1 をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCm を “1” に設定する必要があります。

(d) スレーブチャンネル 1 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.219 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(6) スレーブチャンネル 2~7 のレジスタ設定**(a) スレーブチャンネル 2~7 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]	TAUDnCCS[1:0]	TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.220 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2~7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKs[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKs[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS[1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0: チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	111: マスタチャンネルのアップ/ダウン出力トリガ信号
7, 6	TAUDnCOS[1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	1001: アップ/ダウンカウントモード
0	TAUDnMD0	0: 動作開始または再開時に INTTAUDnIm が発生しない

(b) スレーブチャンネル 2~7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.221 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2~7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(c) スレーブチャンネル 2~7 の出力モード

表 18.222 非相補方式変調出力を行うチャンネル連動出力モード 2 時のスレーブチャンネル 2~7 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm = 0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

(d) スレーブチャンネル 2~7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.223 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2~7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャンネルで一斉書き換えトリガをモニタ 1：チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(7) 非相補方式変調出力機能タイプ 2 時の操作手順

表 18.224 非相補方式変調出力機能タイプ 2 時の操作手順

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2~7：TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 2~7 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm でパルス周期を設定し、スレーブチャンネル 1 の TAUDnCDRm でスレーブチャンネル 1 が入力信号を生成するまでに無視するマスタチャンネルの割り込み数を設定します。また、スレーブチャンネル 2~7 の TAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が “1” に設定され、カウンタがダウンカウントを開始します。
動作再開	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャンネル 1 の TAUDnCDRm の値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが 0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャンネル 1 の TAUDnCNTm 値が 1 減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル 2~7 の TAUDnCNTm は逆方向にカウントを行います。 • スレーブチャンネル 1 のカウンタが 0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。 <p>割り込み検出時：</p> <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 <p>スレーブチャンネル 2~7 のカウンタが 0001_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • スレーブチャンネル 2~7 の PWM 出力信号がセット/リセットされます。 <p>スレーブチャンネル 2~7 の TAUDTTOUtm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEm) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。</p>
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUtm は停止し、現在値を保持します。</p>

(8) 特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 2~7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

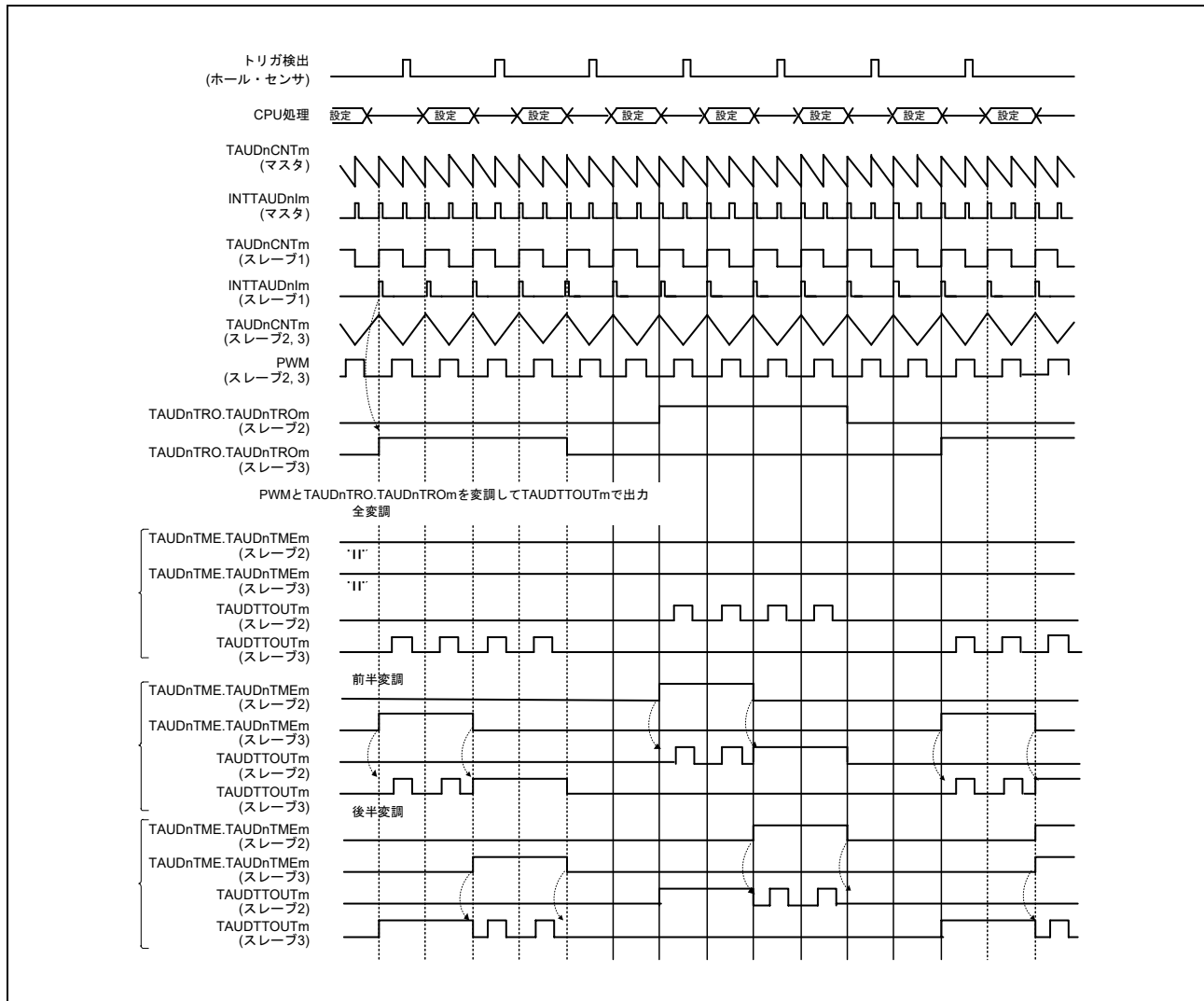


図 18.122 非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEm は、カウント開始タイミングと三角波 PWM のキャリア周期 (山割り込みタイミング) 検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

18.4.13.3 相補方式変調出力機能

(1) 概要

概要

この機能では、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTME_m)、出力レベルビット (TAUDnTDL.TAUDnTDL_m) の値に応じて、TAUDTTOUT_m から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャンネルが使用されます。

前提条件

- マスタチャンネル× 1、スレーブチャンネル× 7 が必要です。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 18.227 相補方式変調出力機能時のマスタチャンネルの TAUDnCMOR_m レジスタの内容」参照)。
- スレーブチャンネル 1 の動作モードは、イベントカウントモードに設定する必要があります (「表 18.231 相補方式変調出力機能時のスレーブチャンネル 1 の TAUDnCMOR_m レジスタの内容」参照)。
- スレーブチャンネル 2, 4, 6 の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 18.234 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMOR_m レジスタの内容」参照)。
- スレーブチャンネル 3, 5, 7 の動作モードは、ワンカウントモードに設定する必要があります (「表 18.238 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMOR_m レジスタの内容」参照)。
- マスタチャンネルの出力モードは、チャンネル単体出力モード 1 に設定する必要があります (「18.4.4 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル 1 の TAUDTTOUT_m は使用しませんが、TAUDnTRC.TAUDnTRC_m は “1” に設定する必要があります (「18.4.4 チャンネル出力モード」参照)。
- スレーブチャンネル 2~7 のチャンネル出力モードは、相補方式変調出力を行うチャンネル連動出力モード 2 に設定する必要があります (「18.4.4 チャンネル出力モード」参照)。

機能説明

- マスタチャンネル:
チャンネルトリガビット (TAUDnTS.TAUDnTS_m) を “1” に設定すると、マスタチャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTE_m = 1 となり、カウントが可能になります。マスタチャンネルのデータレジスタ (TAUDnCDR_m) の値がカウンタ (TAUDnCNT_m) にロードされ、カウンタはこの値からダウンカウントを開始します。
マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。これによりスレーブチャンネル 1 のカウンタ値が 1 減少し、スレーブチャンネル 2 のカウンタが反対方向にカウントを開始します。

- スレーブチャンネル 1 :
カウンタが 0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。そして再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 1) にロードし、INTTAUDnIm が発生します。
スレーブチャンネル 1 はリアルタイム出力のトリガチャンネルとして設定されます (TAUDnTRC.TAUDnTRCm = 1)。割り込みにより、スレーブチャンネル 1 の割り込み発生を検出しているチャンネルで、各チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の値が適用されます。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャンネル 1 で割り込みが発生するまで適用されません。
- スレーブチャンネル 2 :
スレーブチャンネル 2 のカウンタが 0001_Hになると、スレーブチャンネル 3 のカウンタがダウンカウントを開始します。スレーブチャンネル 3 のカウンタが 0000_Hになると、割り込みが発生します。
- スレーブチャンネル 2、スレーブチャンネル 3 :
マスタチャンネルとスレーブチャンネル 2 およびスレーブチャンネル 3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル 2 はデューティサイクルを、スレーブチャンネル 3 はデッドタイムを生成します。
- スレーブチャンネル 4~7 :
スレーブチャンネル 4、6 はスレーブチャンネル 2 と同じように動作し、スレーブチャンネル 5、7 はスレーブチャンネル 3 と同じように動作します。

「表 18.225 相補方式変調出力機能時のスレーブチャンネル 1 組の TAUDTTOUTm 出力

(TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEEm)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値によって決まります。

ただし、チャンネル 2 とチャンネル 3 の両方からハイレベル信号が出力されることは禁止です (モータドライブのショートを防ぐなどの目的のため)。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。

条件

- 1 組のチャンネルの双方で TAUDnTME.TAUDnTMEEm が“1”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - 片方のチャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はそのチャンネルの対応する PWM を出力します。
 - 双方のチャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、1 組の TAUDTTOUTm はロウレベル信号を出力します。
- 1 組のチャンネルの双方で TAUDnTME.TAUDnTMEEm が“0”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - TAUDnTRO.TAUDnTROm が“1”の場合、そのチャンネルの TAUDTTOUTm はハイレベル信号を出力します。
 - TAUDnTRO.TAUDnTROm が“0”の場合、そのチャンネルの TAUDTTOUTm はロウレベル信号を出力します。

- TAUDnTOL.TAUDnTOLm が “1” の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表 18.225 相補方式変調出力機能時のスレーブチャンネル 1 組の TAUDTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTME2	TAUDnTME. TAUDnTME3	TAUDnTRO. TAUDnTRO2	TAUDnTRO. TAUDnTRO3	TAUDnTDL. TAUDnTDL2	TAUDnTDL. TAUDnTDL3	TAUDTTOUT2 出力	TAUDTTOUT3 出力
0	0	0	0	×	×	ロウレベル	ロウレベル
		0	1	1	0	ロウレベル	ハイレベル
		1	0	0	1	ハイレベル	ロウレベル
		1	1	×	×	設定禁止	設定禁止
1	1	0	0	×	×	ロウレベル	ロウレベル
		0	1	1	0	~PWMm	PWMm
		1	0	0	1	PWMm	~PWMm
		1	1	×	×	設定禁止	設定禁止

備 考

1. この表の PWM は正相 PWM 信号を示し、~PWM は逆相 PWM 信号を示します（正論理）。正相/逆相は TAUDnTDL.TAUDnTDLm で設定されます。
2. この表に記述のない設定は禁止です。

- 1 組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が “1” に設定されている間、TAUDnTME.TAUDnTMEm が継続的に “1” に設定されている場合、その変調は全変調になります。
- 1 組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が “1” に設定されている期間の前半で TAUDnTME.TAUDnTMEm が “1” に設定されている場合、その変調は前半変調になります。
- 1 組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が “1” に設定されている期間の後半で TAUDnTME.TAUDnTMEm が “1” に設定されている場合、その変調は後半変調になります。
- 2 つのチャンネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相 PWM 信号と逆相 PWM 信号のどちらに付加されるかは、TAUDnTDL.TAUDnTDLm ビット値で決まります。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、正相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm = 1 の場合、逆相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDnTDL.TAUDnTDLm を変更する場合は、TAUDnTRO.TAUDnTROm が 00_B の期間に書き換えてください。
- スレーブチャンネル 1 の TAUDnCDRm 値は、キャリア周期（山割り込みタイミング）でスレーブチャンネル 1 の INTTAUDnIm を発生させる値に設定する必要があります。
- スレーブチャンネル 2~7 で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “0”（ロウレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “1”（ハイレベル）に設定します。
- スレーブチャンネル 2~7 で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “1”（ハイレベル）に設定します。

- TAUDnTDL.TAUDnTDLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を “0” (ロウレベル) に設定します。

- この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

表 18.226 相補方式変調出力機能時のスレーブチャンネル 1 組の TAUDnTDL.TAUDnTDLm 設定
(TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTME2	TAUDnTME. TAUDnTME3	TAUDnTRO. TAUDnTRO2	TAUDnTRO. TAUDnTRO3	TAUDnTDL. TAUDnTDL2	TAUDnTDL. TAUDnTDL3
0	0	0	0	1	1
		0	1	1	0
		1	0	0	1
1	1	0	0	1	1
		0	1	1	0
		1	0	0	1

- スレーブチャンネル 1 の TAUDnCDRm 値は “1” に設定して、キャリア周期の頂点でスレーブチャンネル 1 で INTTAUDnIm を発生させる必要があります。
- マスタチャンネルの TAUDnCMORm.TAUDnMD0 は “0” に設定してください。
- この機能では一斉書き換えを行うことができます。「18.4.3 一斉書き換え」を参照してください。

(2) 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

$0000_H \leq \text{TAUDnCDRm (マスタ)} < \text{FFFF}_H$

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

スレーブチャンネル 2、スレーブチャンネル 3 :

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2) × 2) - (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2) × 2) + (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

スレーブチャンネル 4~7 :

スレーブチャンネル 4, 6 はスレーブチャンネル 2 と同じように、スレーブチャンネル 5, 7 はスレーブチャンネル 3 と同じように算出してください。

(3) ブロック図と基本タイミング図

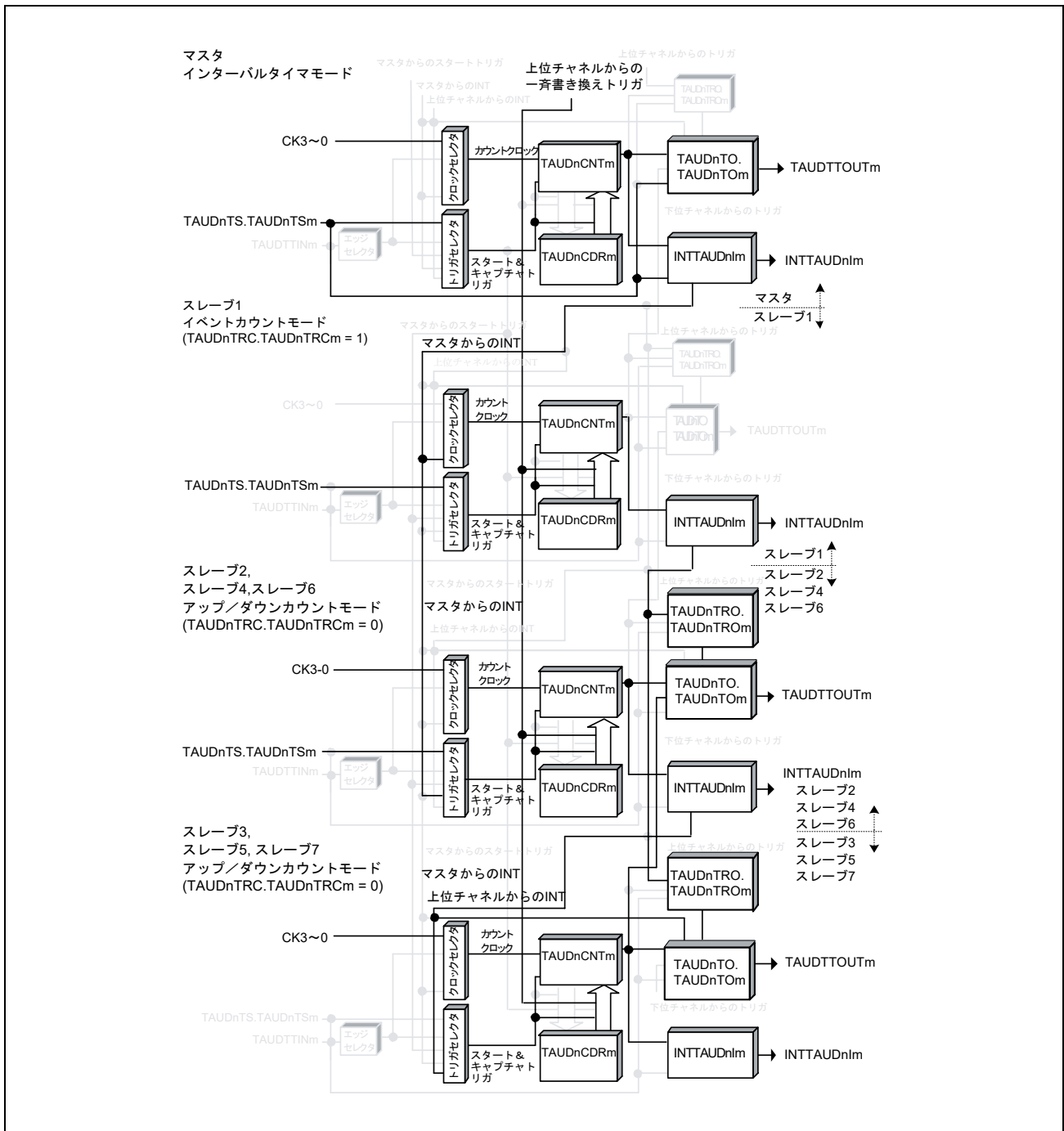


図 18.123 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない ($TAUDnCMORm.TAUDnMD0 = 0$)
- スレーブチャンネル 1： $TAUDnCDRm = 0001H$
- スレーブチャンネル 2～7：正論理 ($TAUDnTOL.TAUDnTOLm = 0$)

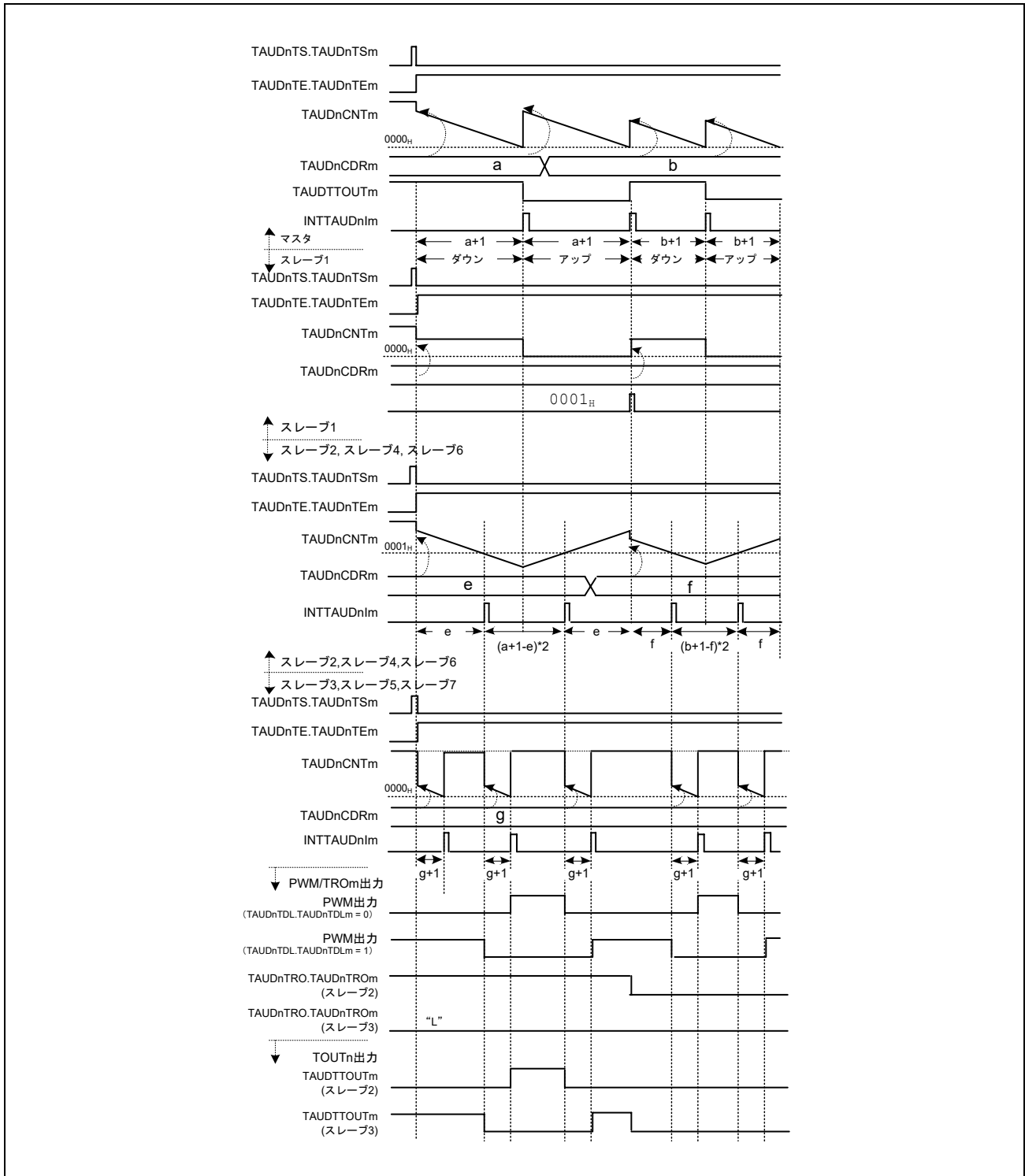


図 18.124 相補方式変調出力機能の基本タイミング図

(4) マスタチャンネルのレジスタ設定

(a) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.227 相補方式変調出力機能時のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1 : 動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(b) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.228 相補方式変調出力機能時のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) チャネル出力モード

表 18.229 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(d) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 18.230 相補方式変調出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルで一斉書き換えトリガをモニタ 1: チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

備 考

TAUDnRDS.TAUDnRDSm = 1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

(5) スレーブチャンネル 1 のレジスタ設定**(a) スレーブチャンネル 1 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.231 相補方式変調出力機能時のスレーブチャンネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	11 : マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	000 : ソフトウェアでカウンタをトリガ 011 : 一斉書き換えトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0011 : イベントカウントモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生しない

(b) スレーブチャンネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.232 相補方式変調出力機能時のスレーブチャンネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) チャンネル出力モード

この機能では、スレーブチャンネル 1 ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に “0” を設定します。

注 意

スレーブチャンネル 1 をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCm を 1 に設定する必要があります。

(d) スレーブチャンネル 1 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.233 相補方式変調出力機能時のスレーブチャンネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDsm	0 : マスタチャンネルで一斉書き換えトリガをモニタ 1 : チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1 : 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDsm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(6) スレーブチャンネル 2, 4, 6 のレジスタ設定**(a) スレーブチャンネル 2, 4, 6 の TAUDnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKs[1:0]	TAUDnCCS[1:0]	TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.234 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKs[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKs[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	111 : マスタチャンネルのアップ/ダウン出力トリガ信号
7, 6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	1001 : アップ/ダウンカウントモード
0	TAUDnMD0	0 : 動作開始または再開時に INTTAUDnIm が発生しない

(b) スレーブチャンネル 2, 4, 6 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 18.235 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 2, 4, 6 の出力モード

表 18.236 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1 : チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1 : 動作モード 2
TAUDnTOL.TAUDnTOLm	0 : 正論理 1 : 負論理
TAUDnTDE.TAUDnTDEm	1 : デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0 : 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0 : 正相にデッドタイムを付加 1 : 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1 : リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力はロウレベル 1 : リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0 : 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0 : 変調禁止 1 : 変調許可

注 意

TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(d) スレーブチャンネル 2, 4, 6 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.237 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルで一斉書き換えトリガをモニタ 1 : チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1 : 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(7) スレーブチャンネル 3, 5, 7 のレジスタ設定

(a) スレーブチャンネル 3, 5, 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 18.238 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUDnSTS[2:0]	110 : デッドタイムトリガ
7、6	TAUDnCOS[1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4~1	TAUDnMD[4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(b) スレーブチャンネル 3, 5, 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 18.239 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合は、リセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(c) スレーブチャンネル 3, 5, 7 の出力モード

表 18.240 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(d) スレーブチャンネル 3, 5, 7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 18.241 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

(8) 相補方式変調出力機能時の操作手順

表 18.242 相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p>	チャンネル動作を停止しています。
	<p>スレーブチャンネル 1 : TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p>	
	<p>スレーブチャンネル 2, 4, 6 : TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(6) スレーブチャンネル 2, 4, 6 のレジスタ設定」に示すように設定します。</p>	
	<p>スレーブチャンネル 3, 5, 7 : TAUDnCMORm/TAUDnCMURm レジスタとチャンネル出力モードを「(7) スレーブチャンネル 3, 5, 7 のレジスタ設定」に示すように設定します。</p>	
	<p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm でパルス周期を設定し、スレーブチャンネル 1 の TAUDnCDRm で無視されるマスタチャンネル割り込み数を設定します。また、スレーブチャンネル 2, 4, 6 の TAUDnCDRm にデューティ幅を、スレーブチャンネル 3, 5, 7 にデッドタイム遅延を設定します。</p>	
	<p>スレーブチャンネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	

表 18.242 相補方式変調出力機能時の操作手順 (2/2)

	操作	TAUDn の状態
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に “1” に設定します。TAUDnTS.TAUDnTSM はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が “1” に設定され、カウンタがダウンカウントを開始します。</p>
動作再開	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャンネル 1 の TAUDnCDRm の値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャンネル 1 の TAUDnCNTm 値が 1 減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル 2, 4, 6 の TAUDnCNTm は再び TAUDnCDRm の値をロードするか、反対方向のカウンタを開始します。 • スレーブチャンネル 2, 4, 6 の TAUDnCDRm の値がロードされるタイミングで、スレーブチャンネル 2~7 の TAUDnTME.TAUDnTMEem の値が、TAUDTTOUTm 出力に反映されます。 • スレーブチャンネル 1 のカウンタが 0000_H になると、マスタチャンネルからの次の割り込みを待ちます。 <p>割り込み検出時：</p> <ul style="list-style-type: none"> - 再び TAUDnCDRm の値を TAUDnCNTm にロードし、マスタチャンネルの次の割り込みを待ちます。 - INTTAUDnIm が発生します。 - TAUDnTRO.TAUDnTROm を変更可能です。 <p>スレーブチャンネル 2, 4, 6 のカウンタが 0001_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • スレーブチャンネル m の PWM 出力がセット/リセットされます (設定したチャンネル出力モードの条件に一致した場合)。 • スレーブチャンネル 3, 5, 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 <p>スレーブチャンネル 3, 5, 7 のカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • スレーブチャンネル m の PWM 出力がセット/リセットされます (設定したチャンネル出力モードの条件に一致した場合)。 <p>スレーブチャンネル 2~7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEem)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。</p>
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に “1” に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

(9) 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない ($TAUDnCMORm.TAUDnMD0 = 0$)
- スレーブチャンネル 1： $TAUDnCDRm = 0001_H$
- スレーブチャンネル 2～7：正論理 ($TAUDnTOL.TAUDnTOLm = 0$)

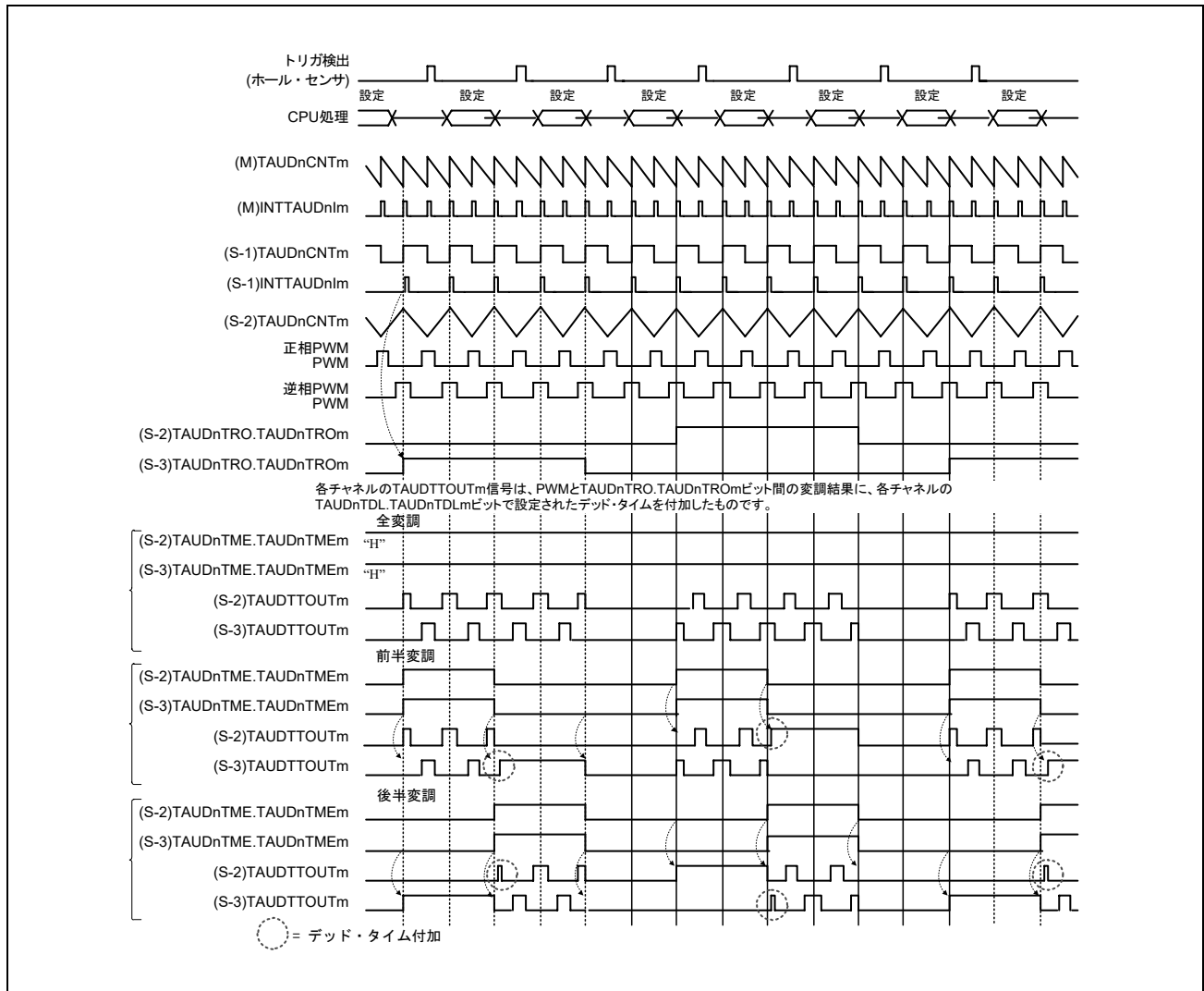


図 18.125 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブチャンネル 2,3 から出力されるのは、変調された PWM 出力信号と TAUDnTRO.TAUDnTROm ビットの値です。

TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

備 考

デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm、TAUDnTDL.TAUDnTDLm の値を変更できる期間を示しています。

第19章 タイマアレユニット J (TAUJ)

本章では、タイマアレユニット J (TAUJ) について説明します。

最初の節でユニット数、レジスタのベースアドレス、入出力信号名など、RH850/C1M-A に固有の特長について説明します。

以降の節で、TAUJ 搭載製品に共通の特長について説明します。

19.1 RH850/C1M-A TAUJ の特長

19.1.1 ユニット

本製品は以下に示すユニット数の TAUJ を搭載しています。

表 19.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	2	1
名称	TAUJn (n = 0, 1)	TAUJn (n = 0)

表 19.2 添字

添字	意味
n	本章では、TAUJ の各ユニットを「n」 (n = 0、1) で識別します。 (RH850/C1M-A1 では n = 0、RH850/C1M-A2 では n = 0、1) たとえば、TAUJn チャネル出力モードレジスタは、TAUJnTOM と記述しています。
m	TAUJ には 4 本のチャネルがあります。 本章では、各チャネルを「m」 (m = 0~3) で識別します。 特定のチャネルを CHm のように記述します。 偶数チャネル (m = 0、2) は CHm_even と記述します。 奇数チャネル (m = 1、3) は CHm_odd と記述します。

19.1.2 レジスタベースアドレス

TAUJ ベースアドレスを以下の表に示します。

TAUJ のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 19.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUJ0_base>	FFE5 0000 _H
<TAUJ1_base>	FF85 1000 _H ^{注 1}

注 1. C1M-A1 では対応していません

19.1.3 クロック供給

TAUJ のクロック供給を以下の表に示します。

表 19.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUJ0	PCLK	CLKC_HSB (非変調高速周辺クロック)
TAUJ1 ^{注 1}	PCLK	CLKC_HSB (非変調高速周辺クロック)

注 1. C1M-A1 では対応していません

19.1.4 割り込みと DMA/DTS

TAUJ の割り込み要求を以下の表に示します。

表 19.5 割り込み要求

割り込み名	概要	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
TAUJ0						
INTTAUJ0I0	チャンネル 0 割り込み	90	15	—	15	—
INTTAUJ0I1	チャンネル 1 割り込み	91	16	—	16	—
INTTAUJ0I2	チャンネル 2 割り込み	92	17	—	17	—
INTTAUJ0I3	チャンネル 3 割り込み	93	18	—	18	—
TAUJ1 ^{注 2}						
INTTAUJ10	チャンネル 0 割り込み	94	—	—	—	—
INTTAUJ11	チャンネル 1 割り込み	95	—	—	—	—
INTTAUJ12	チャンネル 2 割り込み	96	—	—	—	—
INTTAUJ13	チャンネル 3 割り込み	97	—	—	—	—

— : 割り当てなし

注 1. 1st : Primary Channel、2nd : Secondary Channel

注 2. C1M-A1 では対応していません

19.1.5 リセット要因

TAUJ のリセット要因を以下に示します。TAUJ は以下のリセット要因で初期化されます。

表 19.6 リセット要因

ユニット名	リセット要因
TAUJ0	すべてのリセット要因でリセット
TAUJ1 ^{注 1}	すべてのリセット要因でリセット

注 1. C1M-A1 では対応していません

19.1.6 外部入出力信号

TAUJ の外部入出力信号を以下の表に示します。

表 19.7 外部入出力信号

TAUJn 信号	機能	ポート端子兼用信号名
TAUJ0		
TAUJTIN0-TAUJTIN3	チャンネル 0-3 入力	TAUJ0I0-TAUJ0I3
TAUJTOUT0-TAUJTOUT3	チャンネル 0-3 出力	TAUJ0O0-TAUJ0O3
TAUJ1 ^{注 1}		
TAUJTIN0-TAUJTIN3	チャンネル 0-3 入力	TAUJ1I0-TAUJ1I3
TAUJTOUT0-TAUJTOUT3	チャンネル 0-3 出力	TAUJ1O0-TAUJ1O3

注 1. C1M-A1 では対応していません

19.2 概要

19.2.1 機能概要

TAUJ には、次の機能があります。

- 単体動作機能 (1 チャンネルで動作する機能)
- 連動動作機能 (マスタチャンネル 1 チャンネルとスレーブチャンネルの複数チャンネルで実現する機能)

TAUJ は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 32 ビットカウンタ TAUJnCNTm と 32 ビットデータレジスタ TAUJnCDRm をそれぞれ備えた 4 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2 つの動作モードで動作することが可能です。1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、ほかのチャンネルと無関係に動作できます。

連動動作機能は、チャンネルグループ (マスタチャンネルとスレーブチャンネルで構成されます) を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

19.2.1.1 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUJ は 4 チャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、複数のチャンネルを組み合わせる連動動作機能があります。

- 単体動作機能は、ほかのチャンネルと無関係に任意のチャンネルで使用可能です。
- 連動動作機能は、チャンネルグループ (マスタチャンネルとスレーブチャンネルで構成されます) を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

チャンネルグループ

連動動作機能では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1 つのチャンネルグループは、1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルで構成されます。

動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネルグループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、インターバルタイマモードなどがあります。

チャンネル出力モード

チャンネル出力モードは、次のチャンネルの TAUJTOUT_m の動作を規定します。

- 1 つのチャンネル (単体出力動作)
- チャンネルグループに属するすべてのチャンネル (連動出力動作)

チャンネル出力モードには、チャンネル単体出力モード 1 があります。

チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特徴を規定します。

- 1 つのチャンネル (チャンネル単体動作)
- チャンネルグループに属するすべてのチャンネル (チャンネル連動動作)

上位/下位チャンネル

チャンネル *m* から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル 2 に対してチャンネル 1 は上位チャンネル、チャンネル 3 は下位チャンネルです。

チャンネル 0 が最上位チャンネル、チャンネル 3 が最下位チャンネルです。

19.2.1.2 動作機能一覧

TAUJ は各チャンネルを単体で動作させたり、複数チャンネルを組み合わせで動作させたりすることで、下記の機能が実現できます。

表 19.8 動作機能一覧

動作機能	設定例参照節/項
単体動作機能	19.4.9 チャンネル単体動作機能
インターバルタイマ機能	19.4.9.1 インターバルタイマ機能
TAUJTIN _m 入力インターバルタイマ機能	19.4.9.2 TAUJTIN _m 入力インターバルタイマ機能
TAUJTIN _m 入力パルスインターバル測定機能	19.4.9.3 TAUJTIN _m 入力パルスインターバル測定機能
TAUJTIN _m 入力信号幅測定機能	19.4.9.4 TAUJTIN _m 入力信号幅測定機能
TAUJTIN _m 入力位置検出機能	19.4.9.5 TAUJTIN _m 入力位置検出機能
TAUJTIN _m 入力期間カウント検出機能	19.4.9.6 TAUJTIN _m 入力期間カウント検出機能
チャンネル連動動作機能	19.4.10 チャンネル連動動作機能
PWM 出力機能	19.4.10.1 PWM 出力機能

19.2.1.3 入出力と割り込み要求信号

入出力信号と TAUJ 割り込み要求信号を次の図に示します。

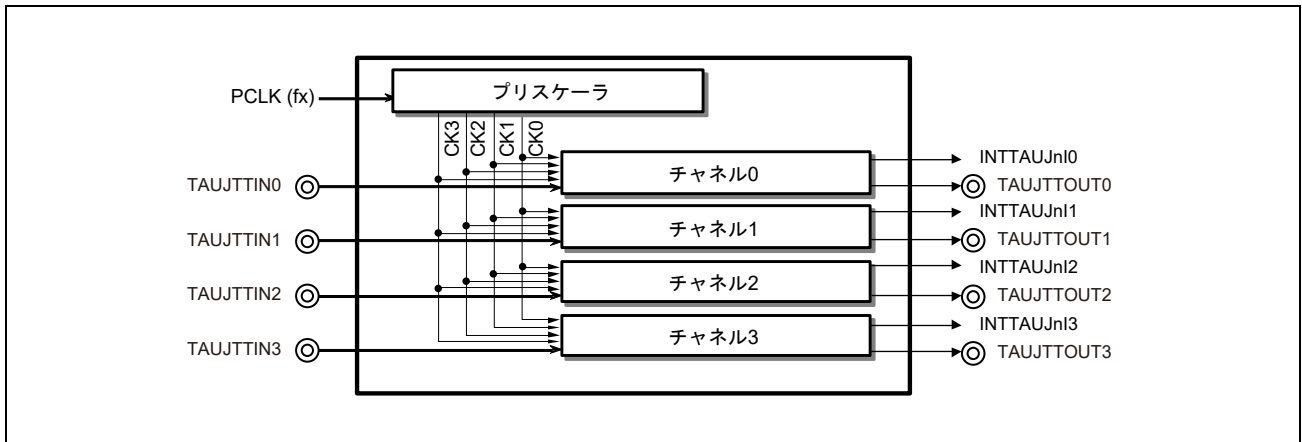


図 19.1 TAUJ 入出力と割り込み要求信号

19.2.2 ブロック図

TAUJ の主な構成要素を次の図に示します。

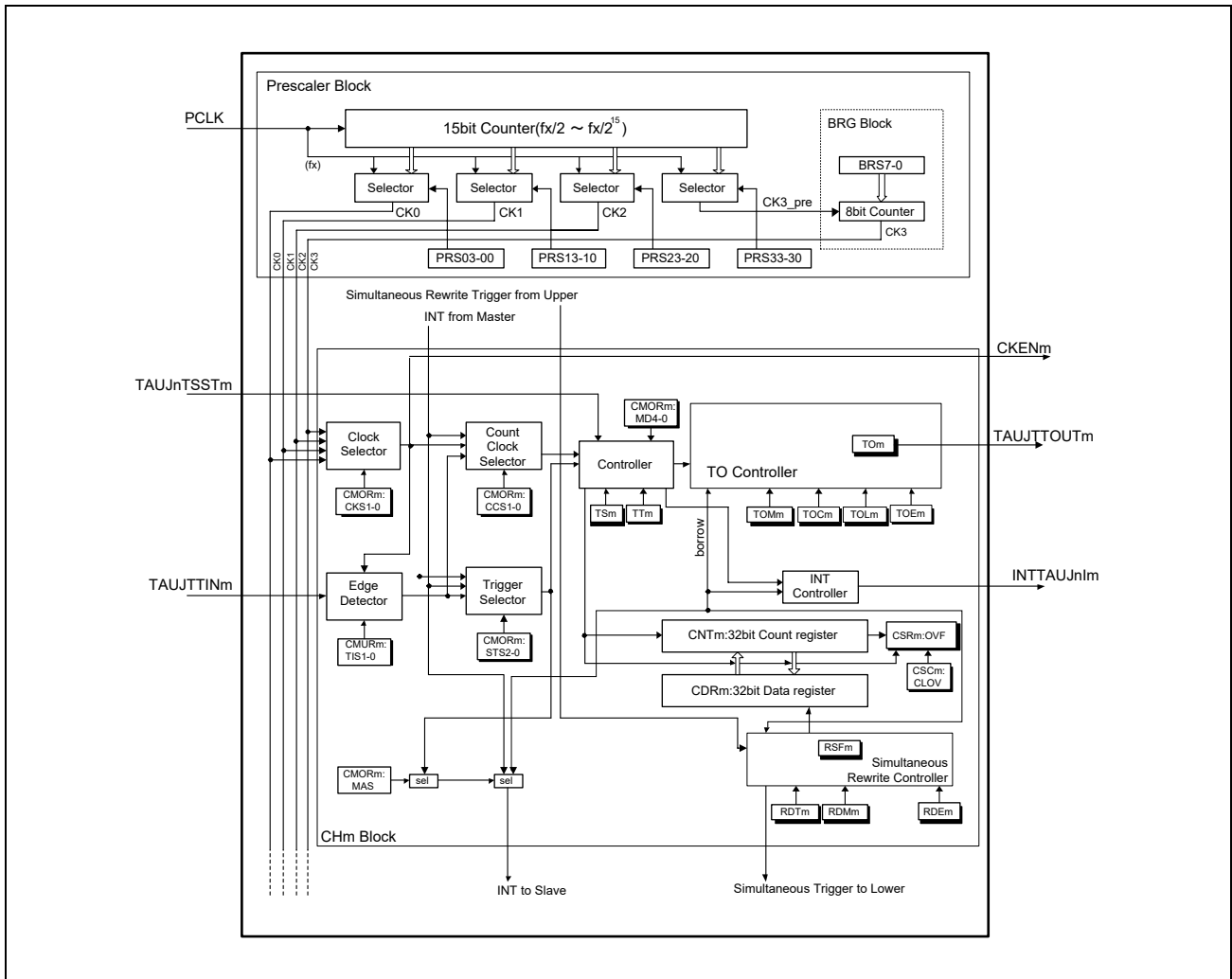


図 19.2 TAUJ のブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

- TAUJnTSSTm : 同時スタートトリガ (PIC1B から入力)

19.2.2.1 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウントクロックとして使用することができる最大 4 つのクロック信号 (CK0~CK3) を供給します。

カウントクロック CK0~CK2 は、プリスケーラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。4 つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0~CK3 のいずれかのクロック (クロックセレクトにより選択)

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0]ビットにより選択)
- カウント開始許可 (TAUJnTS.TAUJnTSm) およびカウント停止 (TAUJnTT.TAUJnTTm)

カウントの開始を許可すると、ステータスフラグ TAUJnTE.TAUJnTEm がセットされます。

トリガセレクト

カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUJnTSSTm
- TAUJnTTINm 入力の有効エッジ
- マスタチャンネルからの INTTAUJnIm

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

19.3 レジスタ

19.3.1 レジスタ一覧

TAUJ のレジスタ一覧を以下の表に示します。

<TAUJn_base>は「**19.1.2 レジスタベースアドレス**」を参照してください。

表 19.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUJn プリスケアラレジスタ			
TAUJn	TAUJn プリスケアラクロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90 _H
TAUJn	TAUJn プリスケアラボーレート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94 _H
TAUJn 制御レジスタ			
TAUJn	TAUJn チャンネルデータレジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4 _H
TAUJn	TAUJn チャンネルカウンタレジスタ m	TAUJnCNTm	<TAUJn_base> + 10 _H + m × 4 _H
TAUJn	TAUJn チャンネルモード OS レジスタ m	TAUJnCMORm	<TAUJn_base> + 80 _H + m × 4 _H
TAUJn	TAUJn チャンネルモードユーザレジスタ m	TAUJnCMURm	<TAUJn_base> + 20 _H + m × 4 _H
TAUJn	TAUJn チャンネルステータスレジスタ m	TAUJnCSRm	<TAUJn_base> + 30 _H + m × 4 _H
TAUJn	TAUJn チャンネルステータスクリアトリガレジスタ m	TAUJnCSCm	<TAUJn_base> + 40 _H + m × 4 _H
TAUJn	TAUJn チャンネルスタートトリガレジスタ	TAUJnTS	<TAUJn_base> + 54 _H
TAUJn	TAUJn チャンネル許可ステータスレジスタ	TAUJnTE	<TAUJn_base> + 50 _H
TAUJn	TAUJn チャンネルストップトリガレジスタ	TAUJnTT	<TAUJn_base> + 58 _H
TAUJn 出力レジスタ			
TAUJn	TAUJn チャンネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60 _H
TAUJn	TAUJn チャンネル出力レジスタ	TAUJnTO	<TAUJn_base> + 5C _H
TAUJn	TAUJn チャンネル出力モードレジスタ	TAUJnTOM	<TAUJn_base> + 98 _H
TAUJn	TAUJn チャンネル出力コンフィギュレーションレジスタ	TAUJnTOC	<TAUJn_base> + 9C _H
TAUJn	TAUJn チャンネル出力アクティブレベルレジスタ	TAUJnTOL	<TAUJn_base> + 64 _H
TAUJn リロードデータレジスタ			
TAUJn	TAUJn チャンネルリロードデータ許可レジスタ	TAUJnRDE	<TAUJn_base> + A0 _H
TAUJn	TAUJn チャンネルリロードデータモードレジスタ	TAUJnRDM	<TAUJn_base> + A4 _H
TAUJn	TAUJn チャンネルリロードデータトリガレジスタ	TAUJnRDT	<TAUJn_base> + 68 _H
TAUJn	TAUJn チャンネルリロードステータスレジスタ	TAUJnRSF	<TAUJn_base> + 6C _H

19.3.2 TAUJnTPS — TAUJn プリスケラクロック選択レジスタ

PCLK プリスケラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 90_H

リセット後の値 FFFF_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.10 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15~12	TAUJnPRS3[3:0]	<p>CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャンネルに CK3 動作クロックを供給します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 19.10 TAUJnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11~8	TAUJnPRS2[3:0]	CK2 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
		TAUJnPRS2[3:0]	CK2 クロック																																	
		0000 _B	PCLK/2 ⁰																																	
		0001 _B	PCLK/2 ¹																																	
		0010 _B	PCLK/2 ²																																	
		0011 _B	PCLK/2 ³																																	
		0100 _B	PCLK/2 ⁴																																	
		0101 _B	PCLK/2 ⁵																																	
		0110 _B	PCLK/2 ⁶																																	
		0111 _B	PCLK/2 ⁷																																	
		1000 _B	PCLK/2 ⁸																																	
		1001 _B	PCLK/2 ⁹																																	
		1010 _B	PCLK/2 ¹⁰																																	
		1011 _B	PCLK/2 ¹¹																																	
		1100 _B	PCLK/2 ¹²																																	
		1101 _B	PCLK/2 ¹³																																	
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																																				
7~4	TAUJnPRS1[3:0]	CK1 クロックを指定します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
		TAUJnPRS1[3:0]	CK1 クロック																																	
		0000 _B	PCLK/2 ⁰																																	
		0001 _B	PCLK/2 ¹																																	
		0010 _B	PCLK/2 ²																																	
		0011 _B	PCLK/2 ³																																	
		0100 _B	PCLK/2 ⁴																																	
		0101 _B	PCLK/2 ⁵																																	
		0110 _B	PCLK/2 ⁶																																	
		0111 _B	PCLK/2 ⁷																																	
		1000 _B	PCLK/2 ⁸																																	
		1001 _B	PCLK/2 ⁹																																	
		1010 _B	PCLK/2 ¹⁰																																	
		1011 _B	PCLK/2 ¹¹																																	
		1100 _B	PCLK/2 ¹²																																	
		1101 _B	PCLK/2 ¹³																																	
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																																				

表 19.10 TAUJnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能	
3~0	TAUJnPRS0[3:0]	CK0 クロックを指定します。	
		TAUJnPRS0[3:0]	CK0 クロック
		0000 _B	PCLK/2 ⁰
		0001 _B	PCLK/2 ¹
		0010 _B	PCLK/2 ²
		0011 _B	PCLK/2 ³
		0100 _B	PCLK/2 ⁴
		0101 _B	PCLK/2 ⁵
		0110 _B	PCLK/2 ⁶
		0111 _B	PCLK/2 ⁷
		1000 _B	PCLK/2 ⁸
		1001 _B	PCLK/2 ⁹
		1010 _B	PCLK/2 ¹⁰
		1011 _B	PCLK/2 ¹¹
		1100 _B	PCLK/2 ¹²
		1101 _B	PCLK/2 ¹³
		1110 _B	PCLK/2 ¹⁴
1111 _B	PCLK/2 ¹⁵		
上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。			

備 考

TAUJn クロック入力 PCLK については、本章の最初の節内「19.1.3 クロック供給」で定義しています。

19.3.3 TAUJnBRS — TAUJn プリスケーラボーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数 +1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUJnTPS.TAUJnPRS3[3:0]で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 94_H

リセット後の値 00_H どのリセット要因でも初期化されます。

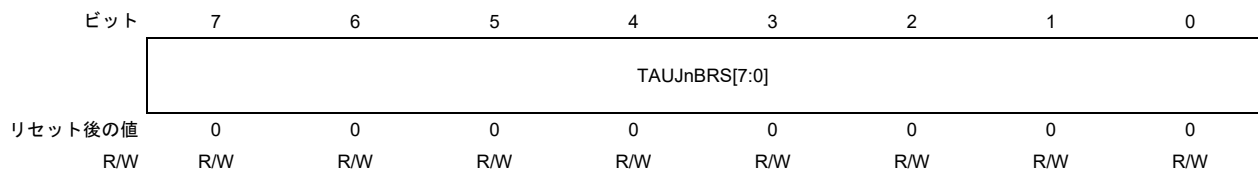


表 19.11 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能
7~0	TAUJnBRS[7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。
	TAUJnBRS[7:0]	CK3 クロック
	0000 0000 _B	CK3_PRE / 1
	0000 0001 _B	CK3_PRE / 2
	0000 0010 _B	CK3_PRE / 3
	0000 0011 _B	CK3_PRE / 4

	1111 1110 _B	CK3_PRE / 255
	1111 1111 _B	CK3_PRE / 256

19.3.4 TAUJnCDRm — TAUJn チャネルデータレジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1]で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。
 キャプチャモード時はリードのみ可能です。ライト動作は無視されます。
 コンペアモード時はリード/ライト可能です。

アドレス <TAUJn_base> + 0_H + m × 4_H

リセット後の値 0000 0000_H どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.12 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31~0	TAUJnCDR[31:0]	キャプチャ値/コンペア値用データレジスタ

19.3.5 TAUJnCNTm — TAUJn チャンネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 10_H + m × 4_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.13 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31~0	TAUJnCNT[31:0]	32 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSM、TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSM = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSM = 1) されてから 1 カウント後のカウンタのリード値も示します。

備 考

カウント停止中に動作モードが変更になった場合、カウント再開後の初期カウンタ値は不定になります。動作モードは、TAUJnCMORm.TAUJnMD[4:1]レジスタで変更します。

表 19.14 カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm		
		スタート値 ^{注1}	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 0000 _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 0000 _H	停止値	キャプチャ値 + 1 (TAUJnCDRm)
カウントキャプチャモード	アップカウント	0000 0000 _H	停止値	—
キャプチャ&ゲートカウントモード	アップカウント	0000 0000 _H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUJnCNTm にセットされる値

19.3.6 TAUJnCMORm — TAUJn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base> + 80_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]	TAUJnCCS[1:0]	TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.15 TAUJnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15, 14	TAUJnCKS[1:0]	動作クロックを選択します。 動作クロックは TAUJTINm 入力エッジ検出回路で使用します。TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、TAUJnCNTm のカウントクロックとして使用することも可能です。															
		<table border="1"> <thead> <tr> <th>TAUJnCKS1</th> <th>TAUJnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUJnCKS1	TAUJnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
		TAUJnCKS1	TAUJnCKS0	動作クロック選択													
		0	0	CK0													
		0	1	CK1													
1	0	CK2															
1	1	CK3															
13, 12	TAUJnCCS[1:0]	TAUJnCNTm カウンタのカウントクロックを選択します。															
		<table border="1"> <thead> <tr> <th>TAUJnCCS1</th> <th>TAUJnCCS0</th> <th>カウントクロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td></td> </tr> </tbody> </table>	TAUJnCCS1	TAUJnCCS0	カウントクロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック	0	1	設定禁止	1	0		1	1	
		TAUJnCCS1	TAUJnCCS0	カウントクロック選択													
		0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック													
		0	1	設定禁止													
1	0																
1	1																

表 19.15 TAUJnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。</p> <p>0 : スレーブ 1 : マスタ</p> <p>このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>																																		
10~8	TAUJnSTS[2:0]	<p>スタートトリガを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJn STS2</th> <th>TAUJn STS1</th> <th>TAUJn STS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>TAUJTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0]で指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>TAUJTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>一斉書き換えトリガ</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>マスタチャンネルの INTTAUJnlm</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td rowspan="3">設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	TAUJn STS2	TAUJn STS1	TAUJn STS0	機能説明	0	0	0	ソフトウェアトリガ	0	0	1	TAUJTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0]で指定	0	1	0	TAUJTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用	0	1	1	一斉書き換えトリガ	1	0	0	マスタチャンネルの INTTAUJnlm	1	0	1	設定禁止	1	1	0	1	1	1
TAUJn STS2	TAUJn STS1	TAUJn STS0	機能説明																																	
0	0	0	ソフトウェアトリガ																																	
0	0	1	TAUJTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0]で指定																																	
0	1	0	TAUJTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用																																	
0	1	1	一斉書き換えトリガ																																	
1	0	0	マスタチャンネルの INTTAUJnlm																																	
1	0	1	設定禁止																																	
1	1	0																																		
1	1	1																																		
7, 6	TAUJnCOS[1:0]	<p>チャンネル m のキャプチャレジスタ TAUJnCDRm とオーバフローフラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。</p> <p>これらのビットはチャンネル m がキャプチャ機能 (キャプチャモード、キャプチャ&ワンカウントモード) の時にのみ有効です。</p> <table border="1"> <thead> <tr> <th>TAUJn COS1</th> <th>TAUJn COS0</th> <th>TAUJnCDRm</th> <th>TAUJnCSRm.TAUJnOVF</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJTTINm 入力有効エッジを検出すると更新</td> <td> <p>TAUJTTINm 入力有効エッジを検出すると更新 (クリアまたはセット)</p> <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア </td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>TAUJTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新</td> <td>設定なし</td> </tr> <tr> <td>1</td> <td>1</td> <td> <ul style="list-style-type: none"> TAUJTTINm 入力有効エッジ検出 : カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生 : FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJTTINm 入力有効エッジ検出は無視される。 </td> <td>カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア</td> </tr> </tbody> </table>	TAUJn COS1	TAUJn COS0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	0	0	TAUJTTINm 入力有効エッジを検出すると更新	<p>TAUJTTINm 入力有効エッジを検出すると更新 (クリアまたはセット)</p> <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア 	0	1		カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア	1	0	TAUJTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新	設定なし	1	1	<ul style="list-style-type: none"> TAUJTTINm 入力有効エッジ検出 : カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生 : FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJTTINm 入力有効エッジ検出は無視される。 	カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア														
TAUJn COS1	TAUJn COS0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF																																	
0	0	TAUJTTINm 入力有効エッジを検出すると更新	<p>TAUJTTINm 入力有効エッジを検出すると更新 (クリアまたはセット)</p> <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア 																																	
0	1		カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア																																	
1	0	TAUJTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新	設定なし																																	
1	1	<ul style="list-style-type: none"> TAUJTTINm 入力有効エッジ検出 : カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生 : FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJTTINm 入力有効エッジ検出は無視される。 	カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア																																	
5	予約ビット	<p>リードした場合はリセット後の値が読めます。</p> <p>ライトする場合はリセット後の値を書いてください。</p>																																		

表 19.15 TAUJnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能					
4~0	TAUJnMD[4:0]	動作モードを指定します。					
		TAUJnMD4	TAUJnMD3	TAUJnMD2	TAUJnMD1	TAUJnMD0	機能説明
		0	0	0	0	1/0	インターバルタイマモード
		0	0	1	0	1/0	キャプチャモード
		0	1	0	0	1/0	ワンカウントモード
		0	1	1	0	0	キャプチャ&ワンカウントモード
		1	0	1	1	1/0	カウントキャプチャモード
		1	1	0	1	0	キャプチャ&ゲートカウントモード
		上記以外は設定禁止					
		モード		TAUJnMD0 ビットの役割			
インターバルタイマモード キャプチャモード カウントキャプチャモード		カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号の発生をどうかを指定します。 0：INTTAUJnIm を発生しない 1：INTTAUJnIm を発生する					
ワンカウントモード		カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 注意： ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。					
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード		このビットは 0 に設定する必要があります。 注意： カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。					

19.3.7 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ

このレジスタは、TAUJTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 20_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.16 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															
1, 0	TAUJnTIS[1:0]	TAUJTINm 入力信号の有効エッジを指定します。 <table border="1" data-bbox="507 929 1422 1249"> <thead> <tr> <th>TAUJnTIS1</th> <th>TAUJnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (Low 幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (High 幅測定選択) スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <p>TAUJTINm 入力信号のエッジ検出は、TAUJnCMURm.TAUJnCKS[1:0]で選択した動作クロックに基づいて行われます。</p>	TAUJnTIS1	TAUJnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (Low 幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ	1	1	両エッジ検出 (High 幅測定選択) スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUJnTIS1	TAUJnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (Low 幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ															
1	1	両エッジ検出 (High 幅測定選択) スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ															

19.3.8 TAUJnCSRm — TAUJn チャネルステータスレジスタ

このレジスタは、チャンネル m のオーバーフロー状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 30_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.17 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。
1	予約ビット	リードした場合は不定値が読めます。
0	TAUJnOVF	カウンタオーバーフロー状態を示します。 0：オーバーフローが発生していない 1：オーバーフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> キャプチャモード キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0]の設定により異なります。

19.3.9 TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバーフローフラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 40_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 19.18 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUJnCLOV	0：機能なし 1：オーバーフローフラグ TAUJnCSRm.TAUJnOVF をクリア

19.3.10 TAUJnTS — TAUJn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 8ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 54_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 19.19 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	ライトする場合はリセット後の値を書いてください。
3~0	TAUJnTSm	チャネル m のカウンタ動作を許可します。 0 : 機能なし 1 : カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

19.3.11 TAUJnTE — TAUJn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 50_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.20 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。
3~0	TAUJnTEm	チャネル m のカウンタ動作の許可/禁止を示します。 0 : カウンタ動作禁止 1 : カウンタ動作許可 TAUJnTSSTm (チャネル連動スタートトリガ信号) のトリガ入力を検知するか、TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされます。

19.3.12 TAUJnTT — TAUJn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 8ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 58_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 19.21 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	ライトする場合はリセット後の値を書いてください。
3~0	TAUJnTTm	チャネル m のカウンタ動作を停止します。 0 : 機能なし 1 : カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。 TAUJnCNTm、TAUJnTO.TAUJnTOm、TAUJTTOUm は、カウント停止前の値を保持します。

19.3.13 TAUJnTOE — TAUJn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 60_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.22 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	TAUJnTOEm	チャネル単体出力機能を許可/禁止します。 0 : タイマ単体出力機能を禁止 (ソフトウェア機能) 1 : タイマ単体出力機能を許可

19.3.14 TAUJnTO — TAUJn チャンネル出力レジスタ

このレジスタは、TAUJTOUTm レベルを指定およびリードします。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 5C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.23 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	TAUJnTOm	このレジスタは、TAUJTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャンネル単体出力機能が禁止されている (TAUJnTOEm = 0) TAUJnTOm ビットのみライト可能です。

19.3.15 TAUJnTOM — TAUJn チャンネル出力モードレジスタ

このレジスタは、各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。

カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 98_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.24 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	TAUJnTOMm	出力モードを指定します。 0：チャンネル単体動作 1：チャンネル連動動作 出力モードは各チャンネル出力制御ビット TAUJnTOE.TAUJnTOEm の設定によって変わります。

19.3.16 TAUJnTOC — TAUJn チャネル出力コンフィギュレーションレジスタ

このレジスタは、TAUJnTOMm とともに各チャネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。

カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 9C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.25 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能															
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															
3~0	TAUJnTOCm	出力モードを指定します。 0: 動作モード 1 (トグルモード) 1: 機能なし ソフトウェア制御のチャネル単体出力モード以外のすべての出力モードでは、必ず 0 に設定してください。 次の表にあるように、出力モードは TAUJnTOM.TAUJnTOMm の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TAUJnTOMm</th> <th>TAUJnTOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>機能なし</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャネル連動動作モード 1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>機能なし</td> </tr> </tbody> </table>	TAUJnTOMm	TAUJnTOCm	機能説明	0	0	トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。	0	1	機能なし	1	0	チャネル連動動作モード 1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。	1	1	機能なし
TAUJnTOMm	TAUJnTOCm	機能説明															
0	0	トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。															
0	1	機能なし															
1	0	チャネル連動動作モード 1: マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。															
1	1	機能なし															

19.3.17 TAUJnTOL — TAUJn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 64_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOL03	TAUJnTOL02	TAUJnTOL01	TAUJnTOL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.26 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	TAUJnTOLm	チャネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0 : 正論理 (アクティブハイ) 1 : 負論理 (アクティブロウ) これらのビット設定は、ソフトウェア制御のチャネル単体出力モードおよびチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

19.3.18 TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUJnCDRm の一斉書き換えを許可/禁止します。また、PWM 出力機能で動作しているデータレジスタ TAUJnTOLm の一斉書き換えを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A0_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.27 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	TAUJnRDEm	チャネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 1 : 一斉書き換え許可

19.3.19 TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8ビット単位でリード/ライト可能です。TAUJnTE.TAUJnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUJn_base> + A4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 19.28 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタチャンネルのカウンタがカウントを開始したとき 1: 機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

19.3.20 TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 8ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 68_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDT3	TAUJnRDT2	TAUJnRDT1	TAUJnRDT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 19.29 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	ライトする場合はリセット後の値を書いてください。
3~0	TAUJnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可状態をトリガする。一斉書き換え許可フラグ (TAUJnRSFm) が 1 に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビットの設定は、以下の場合にのみ適用されます。 • TAUJnRDE.TAUJnRDEm = 1

19.3.21 TAUJnRSF — TAUJn チャンネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 6C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 19.30 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。
3~0	TAUJnRSFm	一斉書き換えの状態を示します。 0 : 一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1 : 一斉書き換え許可状態 (TAUJnRDTm = 1) で、一斉書き換えのトリガ待ちを示します。

19.4 機能

19.4.1 基本操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。TAUJTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

- (1) TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
- (2) 任意の TAUJn 機能を設定してください。
 - 動作モードを設定してください。
 - その他の制御ビットを設定してください。
- (3) TAUJnTS.TAUJnTSM ビットを 1 に設定してカウンタ動作を許可してください。
カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
- (4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。
カウントの停止は TAUJnTT.TAUJnTTm ビットに 1 を設定してください。強制リスタートは TAUJnTS.TAUJnTSM ビットに 1 を設定してください。
- (5) TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備 考

必要な制御ビットと各機能の動作の詳細は、「19.4.9 チャンネル単体動作機能」「19.4.10 チャンネル連動動作機能」を参照してください。

19.4.2 連動動作機能の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

ルールの詳細は、「**19.4.2.1 連動動作機能のルール**」に示します。

連動動作機能の詳細を次の節で説明します。

- 「**19.4.10 チャンネル連動動作機能**」

19.4.2.1 連動動作機能のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2）のみ設定できます。スレーブチャンネルには、CH0 を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2 がマスタチャンネルの場合、CH3 をスレーブチャンネルに設定できます。
- マスタチャンネルを2つ使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH2 がマスタチャンネルの場合、CH0 に対して CH1 をスレーブチャンネルとして設定できますが、CH3 は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルの TAUJnCMORm.TAUJnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタチャンネル、スレーブチャンネルの制御トリガ信号

- マスタチャンネルは、制御トリガ信号をスレーブチャンネルに出力することができます。
- スレーブチャンネルは、マスタチャンネルの制御トリガ信号を使用できますが、スレーブチャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタチャンネルは、自身より上位のマスタチャンネルの制御トリガ信号を使用することはできません。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図 19.3 に示します。

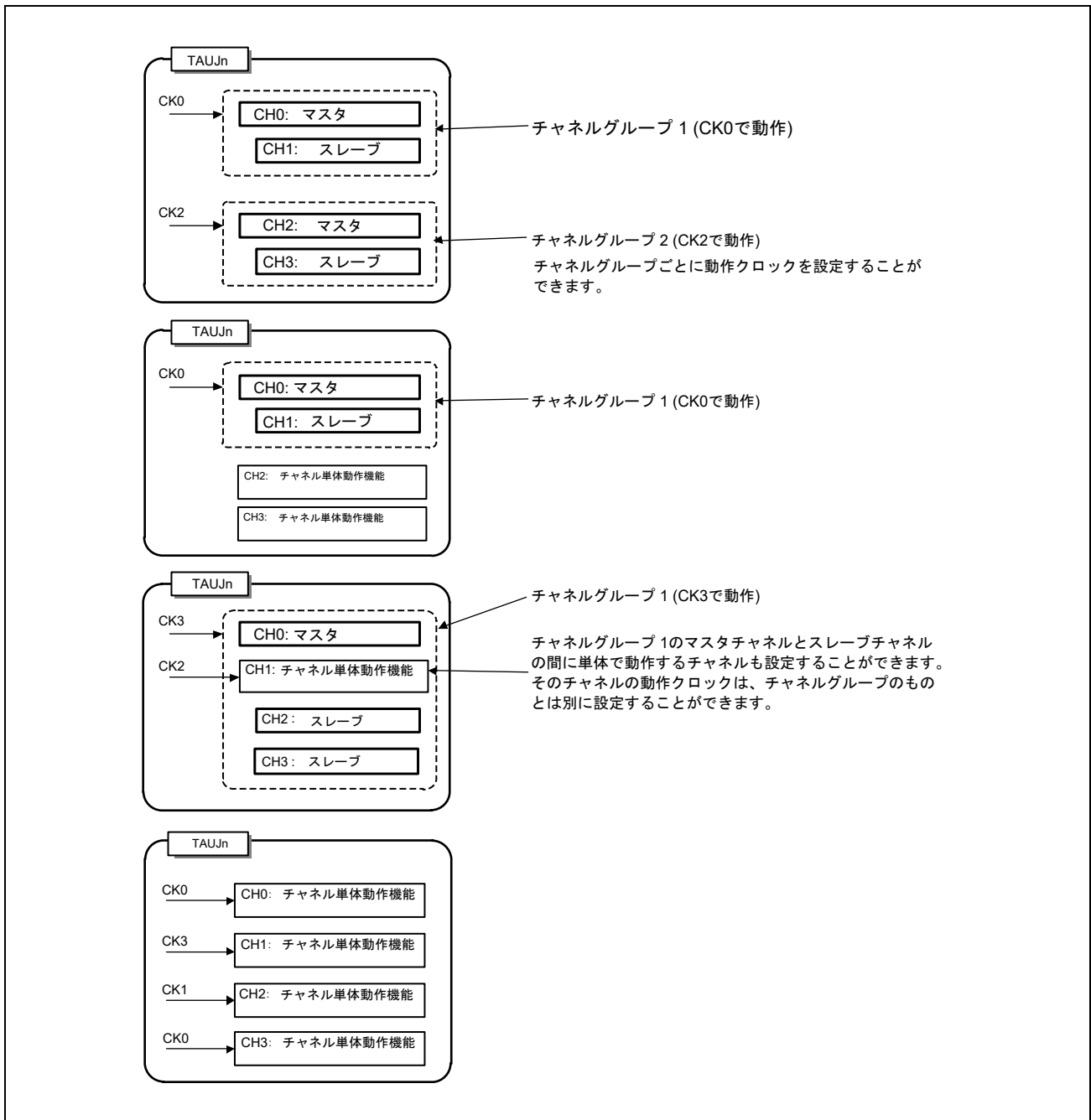


図 19.3 チャンネルのグループ化と動作クロックの割り当て

19.4.2.2 連動チャンネルカウンタの同時動作開始/停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始/停止することができます。

(1) ユニット内の連動チャンネルカウンタの同時動作開始/停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUJnTS.TAUJnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSM ビットに 1 を設定することにより、対応する TAUJnTE.TAUJnTEm ビットが 1 にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

(2) ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

19.4.3 一斉書き換え機能

19.4.3.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック（初期設定、カウント開始&カウント動作、一斉書き換え）は後述します。

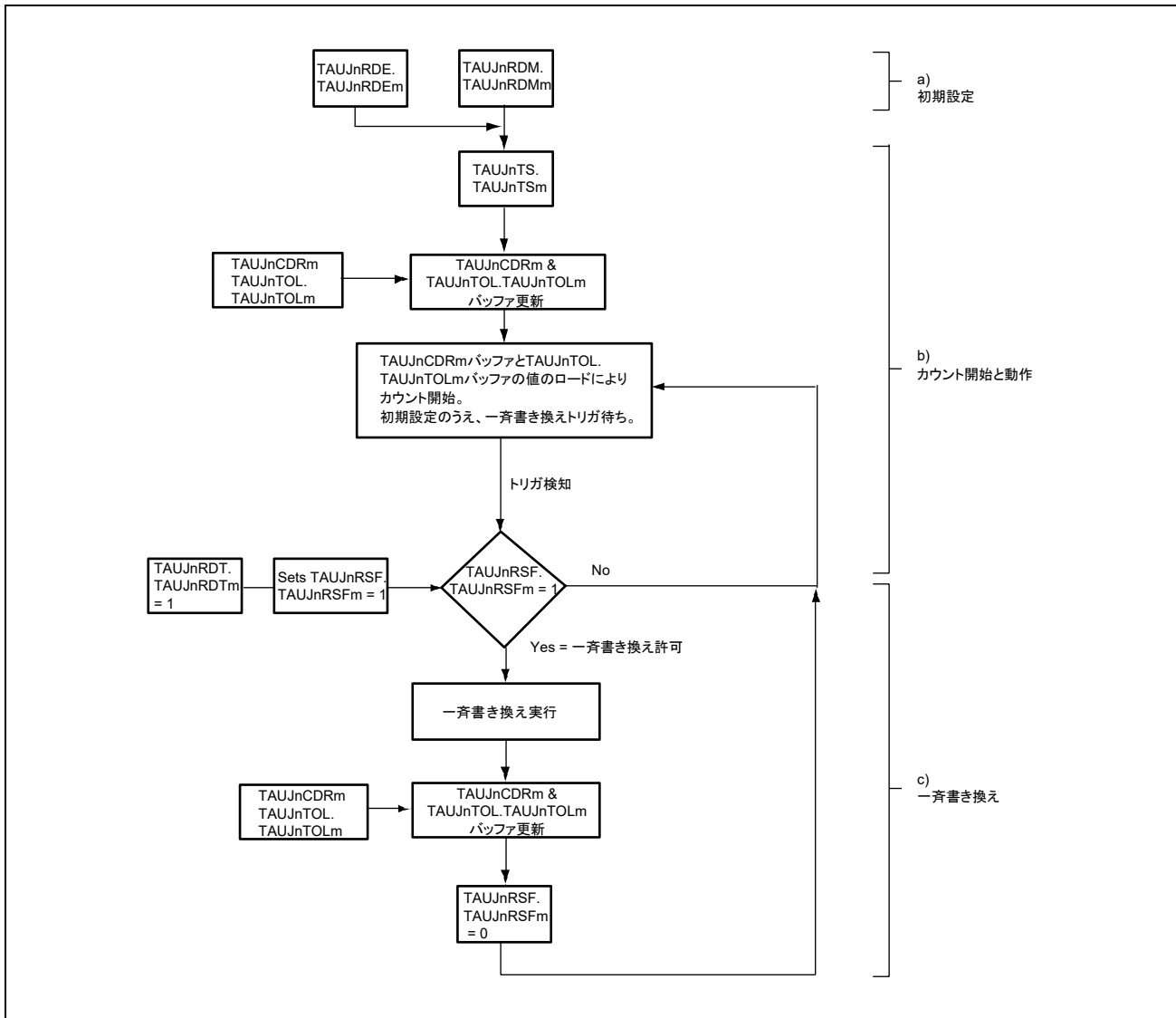


図 19.4 一斉書き換えの基本手順

(1) 初期設定

- チャンネル m にて一斉書き換えを許可するには、 $\text{TAUJnRDE.TAUJnRDEm} = 1$ を設定してください。
- マスタチャンネルがカウント開始時に一斉書き換えの種類を選ぶには、 $\text{TAUJnRDM.TAUJnRDMm}$ を設定してください。

(2) カウント開始とカウント動作

- チャンネルグループに属するすべての TAUJnCNTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。 $\text{TAUJnTOL.TAUJnTOLm}$ とデータレジスタ (TAUJnCDRm) の値は、対応する $\text{TAUJnTOL.TAUJnTOLm}$ バッファ ($\text{TAUJnTOL.TAUJnTOLm buf}$) とデータバッファレジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット ($\text{TAUJnRDT.TAUJnRDTm}$) を 1 に設定することにより、リロードフラグ ($\text{TAUJnRSF.TAUJnRSFm}$) が 1 に設定され、一斉書き換えが許可されます。 $\text{TAUJnRSF.TAUJnRSFm}$ は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 ($\text{TAUJnRSF.TAUJnRSFm} = 1$) されているかを確認するために $\text{TAUJnRSF.TAUJnRSFm}$ ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

(3) 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 ($\text{TAUJnRSF.TAUJnRSFm} = 1$) されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、 $\text{TAUJnRSF.TAUJnRSFm}$ ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

19.4.3.2 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 ($\text{TAUJnTE.TAUJnTEm} = 1$) は、 $\text{TAUJnRDE.TAUJnRDEm}$ 、 $\text{TAUJnRDM.TAUJnRDMm}$ を変更することはできません。
- $\text{TAUJnTOL.TAUJnTOLm}$ は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、 $\text{TAUJnTOL.TAUJnTOLm}$ はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、 TAUJTOUTm は不正な波形を出力します。

19.4.3.3 一斉書き換えの方法

PWM 出力機能での一斉書き換えの方法を次の図で示します。

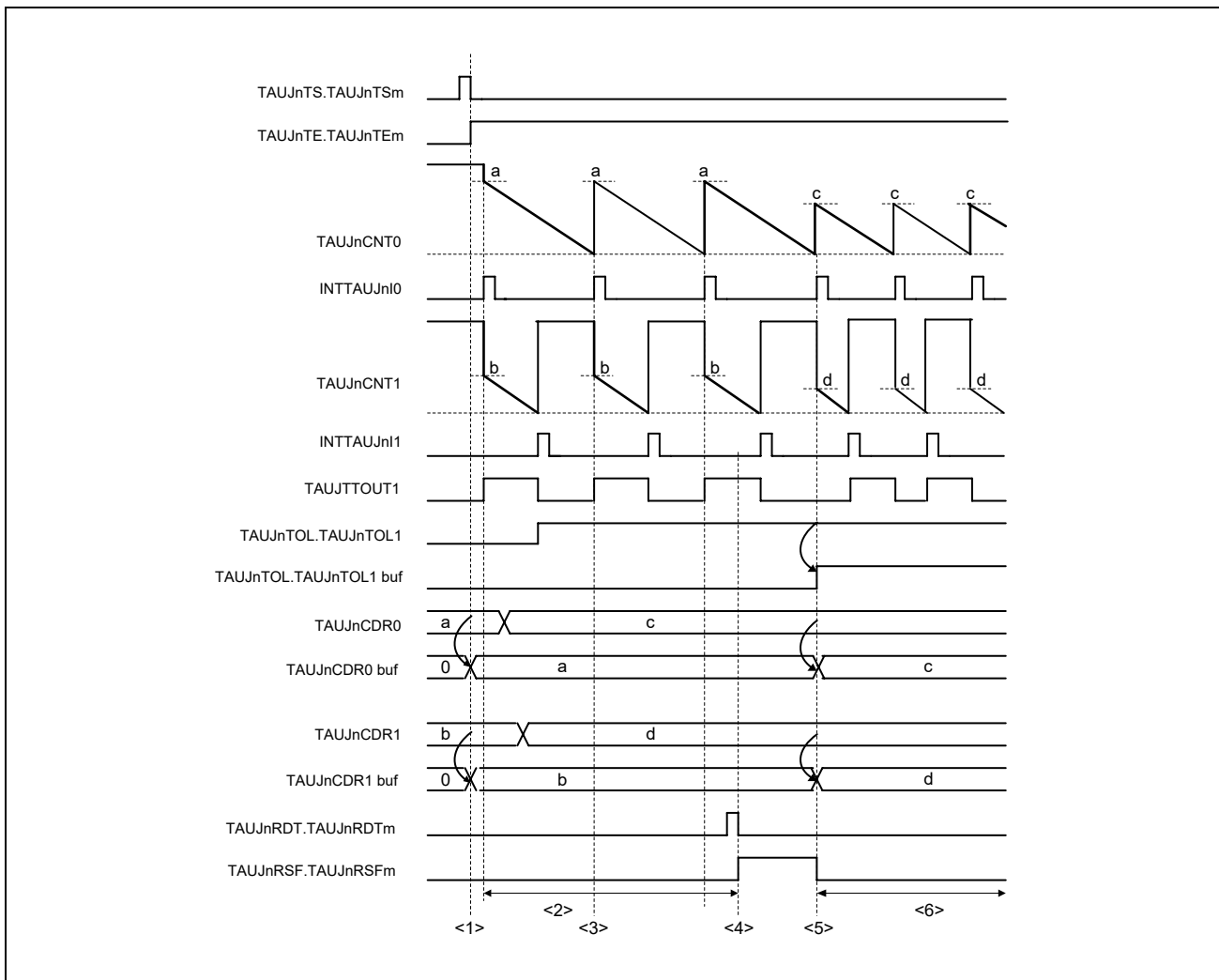


図 19.5 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

CH0 は、PWM 出力機能のマスタチャンネルです。CH1 は、PWM 出力機能のスレーブチャンネルです。一斉書き換えは、マスタチャンネルがカウント開始時に適用されます。

説明：

- (1) $\text{TAUJnTS.TAUJnTSm} = 1$ に設定すると、 TAUJnCDRm の値が TAUJnCDRm バッファに、 $\text{TAUJnTOL.TAUJnTOLm}$ の値が $\text{TAUJnTOL.TAUJnTOLm}$ バッファにコピーされます。
- (2) TAUJnCDRm と $\text{TAUJnTOL.TAUJnTOLm}$ レジスタは常に書き込みます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません ($\text{TAUJnRSF.TAUJnRSFm} = 0$)。
- (4) リロードデータトリガビット ($\text{TAUJnRDT.TAUJnRDTm}$) を 1 に設定することにより、ステータスフラグが設定され ($\text{TAUJnRSF.TAUJnRSFm} = 1$)、一斉書き換えが許可されます。

- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。
TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

19.4.4 チャネル出力モード

TAUJTOUT_m 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェア制御 (TAUJnTOE.TAUJnTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUJnTO.TAUJnTOm) に書き込んだ値は、出力端子 (TAUJTOUT_m) から出力されます。
- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)
TAUJ 信号で制御した場合、TAUJTOUT_m の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUJTOUT_m の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。
 - 単体制御 (TAUJnTOM.TAUJnTOMm = 0)
単体動作の場合、TAUJTOUT_m 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。
 - 連動制御 (TAUJnTOM.TAUJnTOMm = 1)
連動動作の場合、TAUJTOUT_m 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。
TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJTOUT_m の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 19.31 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 19.4.4.2 TAUJn 信号により単体制御されるチャンネル出力モード
- 19.4.4.3 TAUJn 信号により連動制御されるチャンネル出力モード

TAUJnTOm ビットの一括操作

TAUJnTOm ビットへの設定値の反映/非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTOm の設定値の書き込みが行われます。TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTOm の設定値は反映されません。

備考

TAUJnTO.TAUJnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJTOUT_m 信号の出力は不定になります。「19.4.3 一斉書き換え機能」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 19.31 に示します。

表 19.31 チャンネル出力モード

チャンネル出力モード	TAUJnTOE.TAUJnTOEm	TAUJnTOM.TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャンネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャンネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャンネル連動出力モード 1	1	1

注 意

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。
- 次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更できません。
 - TAUJnTOM.TAUJnTOMm
 - TAUJnTOC.TAUJnTOCm

19.4.4.1 チャンネル出力モードを指定するための基本手順

TAUJTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

- TAUJnTO.TAUJnTOM を設定して TAUJTOUTm 出力の初期レベルを指定してください。
- 「表 19.31 チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
- カウンタのカウントを開始してください (TAUJnTS.TAUJnTSM = 1)。

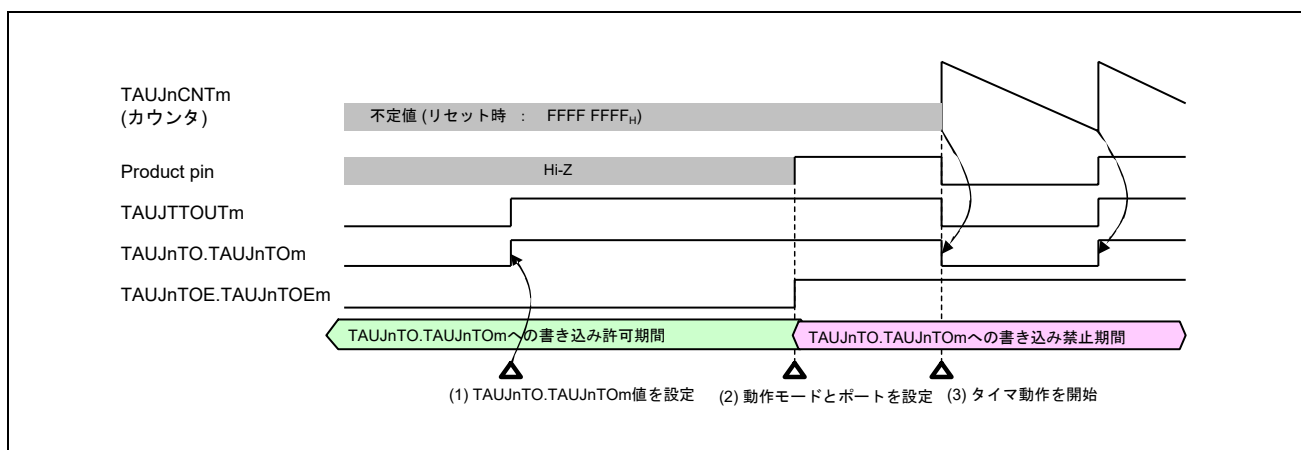


図 19.6 TAUJTOUTm チャンネル出力モードを指定するための基本手順

19.4.4.2 TAUJn 信号により単体制御されるチャンネル出力モード

この節では、TAUJn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 19.31 チャンネル出力モード」に示します。

(1) チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUJnIm が検出されると TAUJTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件

「表 19.31 チャンネル出力モード」に示す条件以外の条件はありません。

19.4.4.3 TAUJn 信号により連動制御されるチャンネル出力モード

この節では、TAUJn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 19.31 チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUJnIm がセット信号、スレーブチャンネルの INTTAUJnIm がリセット信号となります。マスタチャンネルの INTTAUJnIm とスレーブチャンネルの INTTAUJnIm が同時発生した場合、スレーブチャンネルの INTTAUJnIm (リセット信号) は、マスタチャンネルの INTTAUJnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 19.31 チャンネル出力モード」に示す条件以外の条件はありません。

19.4.5 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタ (TAUJnCDRm レジスタ) の値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

この節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

19.4.5.1 インターバルタイマモード、キャプチャモード、カウントキャプチャモード

TAUJnTS.TAUJnTSM が 1 に設定されたあと、カウンタは次のカウントクロックにより動作を開始します。このとき、データレジスタの値もロードされます。

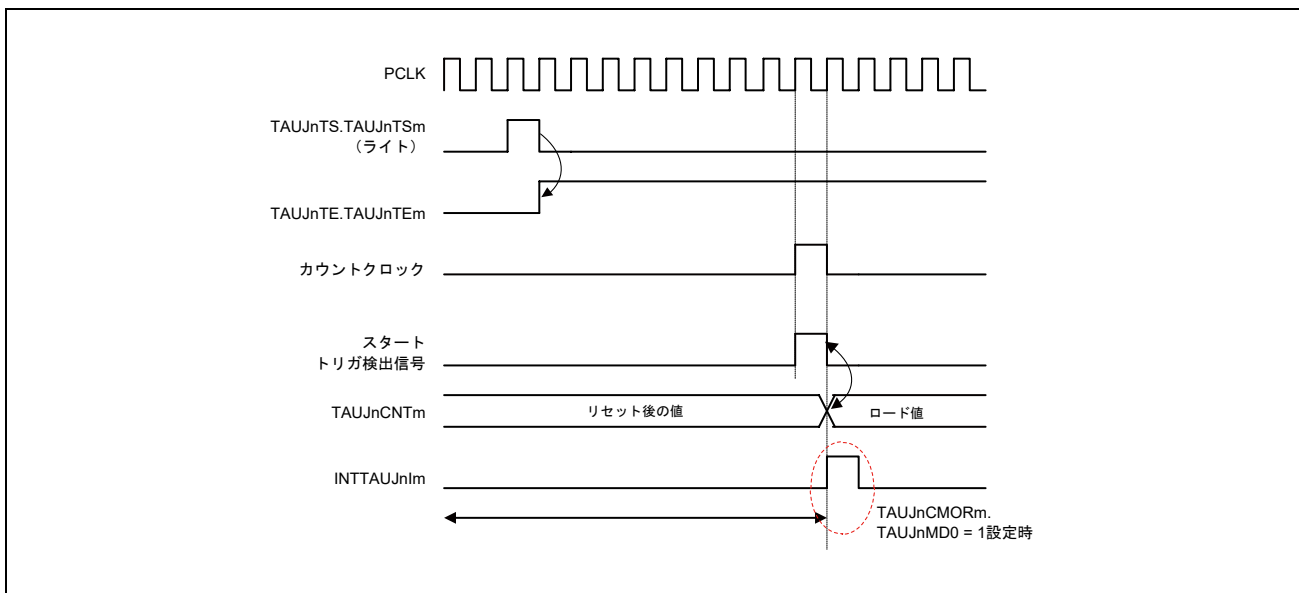


図 19.7 インターバルタイマモード、キャプチャモード、カウントキャプチャモードでの開始タイミング

19.4.5.2 その他の動作モード

その他の動作モードでは、カウンタの動作開始タイミングは TAUJTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

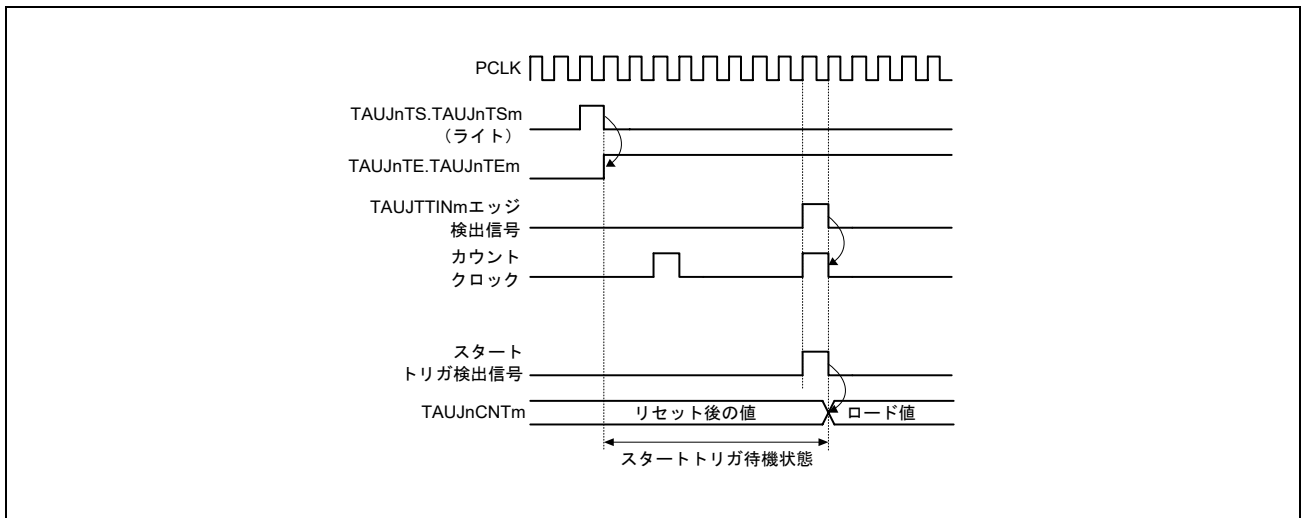


図 19.8 その他の動作モードでのカウント開始タイミング

19.4.6 カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成

カウンタのカウント開始時、TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。次の表に示すように、ビットの影響は、選択したモードに依存します。INTTAUJnIm の TAUJTOUTm に対する影響は、選択したチャンネル動作機能に依存します。

表 19.32 カウンタがトリガされた場合の TAUJnCMORm.TAUJnMD0 ビットの INTTAUJnIm 発生に対する影響

モード	TAUJnCMORm.TAUJnMD0 ビット	カウント開始/再開時、または TAUJTINm 入力信号のトリガ検出時の INTTAUJnIm 発生
インターバルタイマモード キャプチャモード カウントキャプチャモード	0	発生しない
	1	発生
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	0	発生しない
ワンカウントモード	0/1	TAUJnCMORm.TAUJnMD0 ビットの設定にかかわらず発生しない

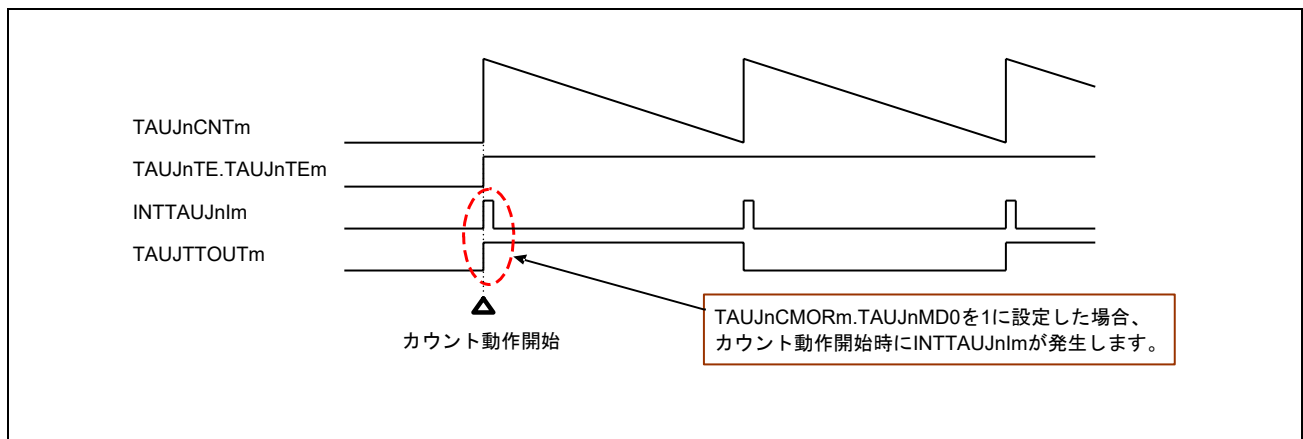


図 19.9 カウント開始時の INTTAUJnIm 発生

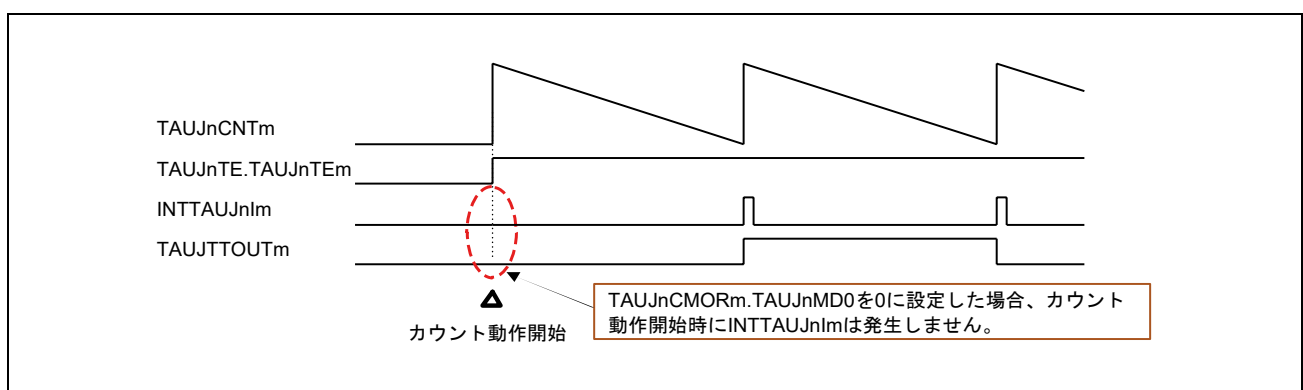


図 19.10 カウント開始時に INTTAUJnIm が発生しない

19.4.7 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が FFFF FFFF_H になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000 0000_H になるようなダウンカウントを行う動作モードを設定します (TAUJnCNTm = FFFF FFFF_H)。
- セカンドチャンネルの TAUJnCDRm を FFFF FFFF_H に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。
- 両チャンネルが同じ TAUJTTINm 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 (TAUJnCMORm.TAUJnSTS[2:0] と TAUJnCMURm.TAUJnTIS[1:0]) は同じである必要があります。

結果：

ファーストチャンネルのアップカウンタでのオーバフロー発生 (TAUJnCNTm = FFFF FFFF_H) と同時にセカンドチャンネルのダウンカウンタが 0000 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

19.4.7.1 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャンネルの TAUJTTINm に同時にキャプチャトリガを入力することで、TAUJTTINm 入力位置検出機能の TAUJnCNTm の FFFF FFFF_H オーバフローをインターバルタイマ機能の INTTAUJnIm で検出できます。

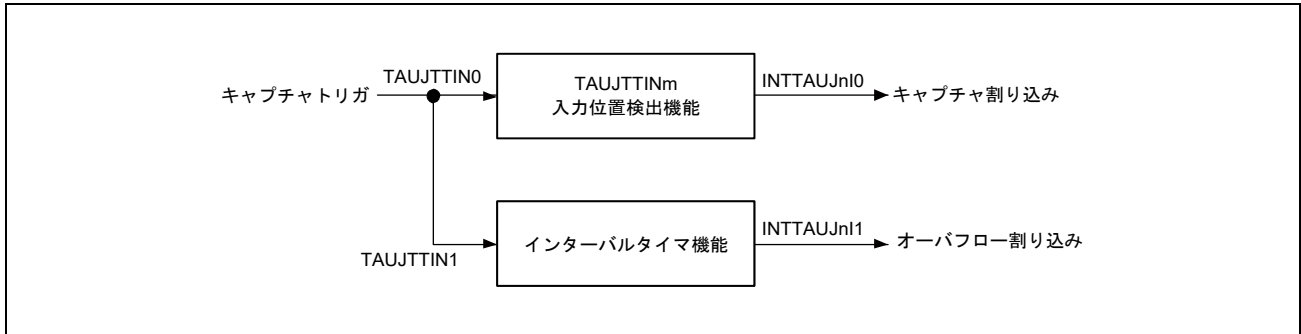


図 19.11 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

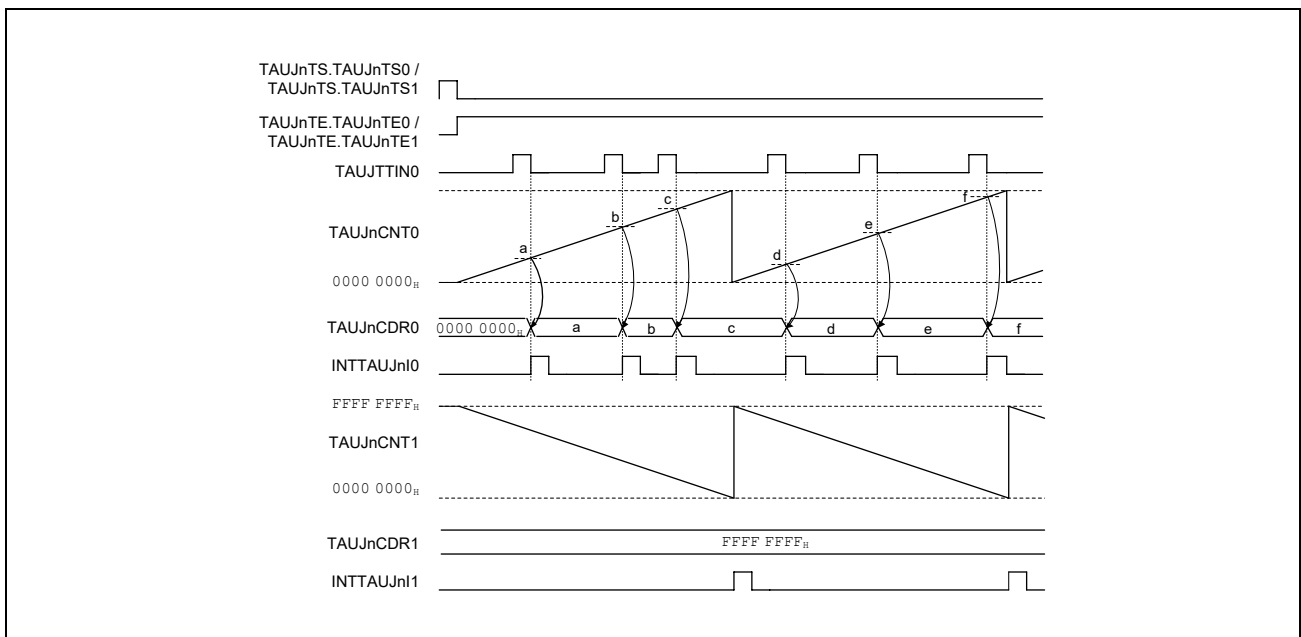


図 19.12 TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

19.4.8 TAUJTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

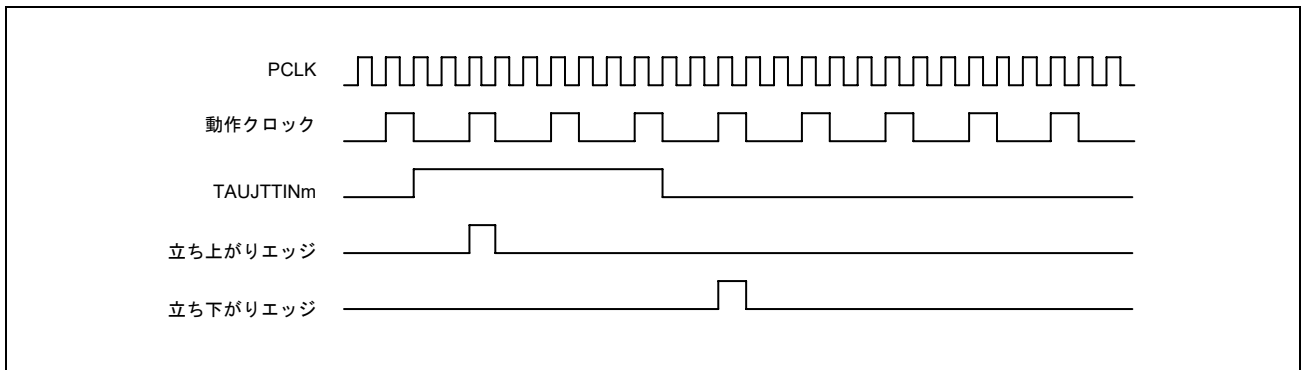


図 19.13 エッジ検出基本動作タイミング

注 意

図 19.13 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

19.4.9 チャンネル単体動作機能

- 19.4.9.1 インターバルタイマ機能
- 19.4.9.2 TAUJTTINm 入カインターバルタイマ機能
- 19.4.9.3 TAUJTTINm 入カパルスインターバル測定機能
- 19.4.9.4 TAUJTTINm 入力信号幅測定機能
- 19.4.9.5 TAUJTTINm 入力位置検出機能
- 19.4.9.6 TAUJTTINm 入力期間カウント検出機能

19.4.9.1 インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUJnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「表 19.33 インターバルタイマ機能の TAUJnCMORm レジスタの内容」参照）。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「19.4.4 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000 0000_Hになると、INTTAUJnIm が発生し、TAUJTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJTOUTm は停止しますが、値は保持します。

TAUJnTS.TAUJnTSM を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSM を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJTOUTm 信号が出力されます。詳細は、「19.4.6 カウント開始／リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成」を参照してください。

(2) 算出式

$$\text{INTTAUJnIm の周期} = \text{カウントクロック周期} \times (\text{TAUJnCDRm} + 1)$$

$$\text{TAUJTOUTm の矩形波周期} = \text{カウントクロック周期} \times (\text{TAUJnCDRm} + 1) \times 2$$

(3) ブロック図と基本タイミング図

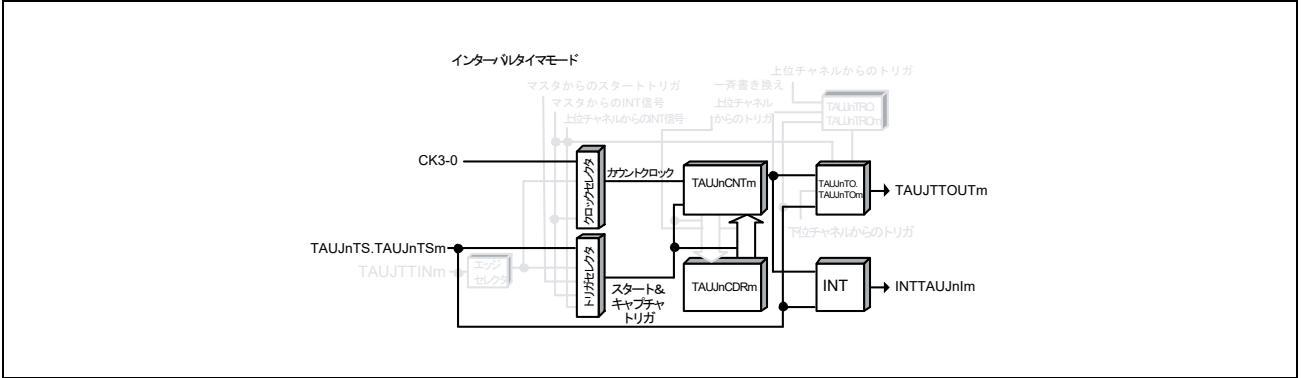


図 19.14 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)

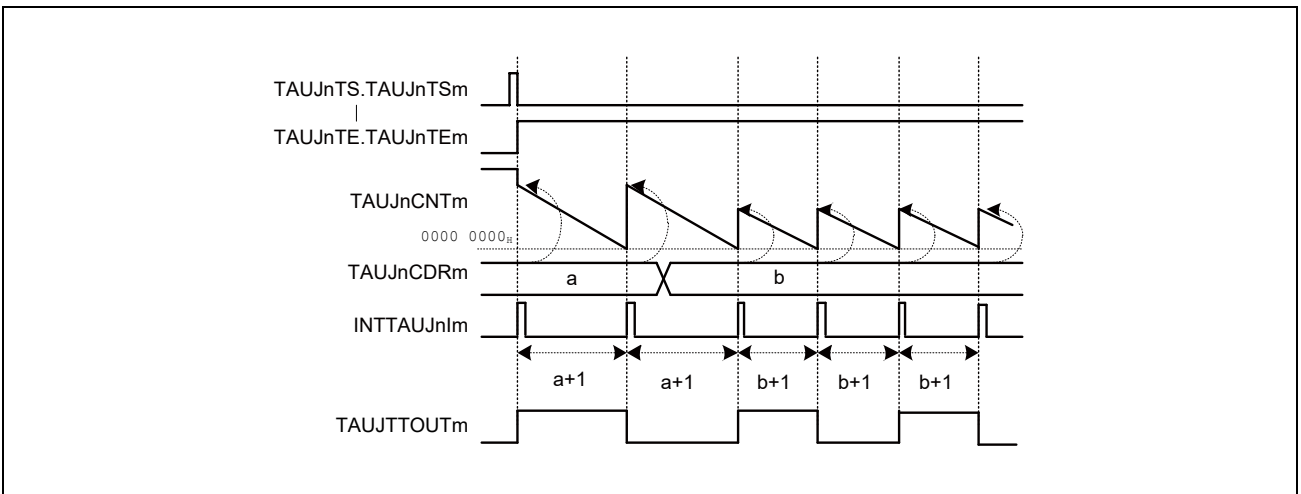


図 19.15 インターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.33 インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10~8	TAUJnSTS[2:0]	000 : ソフトウェアトリガをスタートトリガとして使用
7、6	TAUJnCOS[1:0]	00 : 未使用、00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~1	TAUJnMD[4:1]	0000 : インターバルタイマモード
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生せず、TAUJTTOUtm はトグルされない 1 : 動作開始または再開時に INTTAUJnIm が発生し、TAUJTTOUtm はトグルされる

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.34 インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(c) チャネル出力モード

表 19.35 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウレベル 1: ハイレベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: トグルモード
TAUJnTOL.TAUJnTOLm	0: 正論理

備 考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTOUTm を割り込みとは独立させて制御することができます。詳細は「19.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 19.36 インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0) 、0 を設定

(5) インターバルタイマ機能の操作手順

表 19.37 インターバルタイマ機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを「表 19.33 インターバルタイマ機能の TAUJnCMORm レジスタの内容」、「表 19.34 インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 19.35 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 ● TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 ● TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
動作再開	TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合： ● 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 ● INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 ● TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 ● TAUJnCNTm と TAUJTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

(a) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2

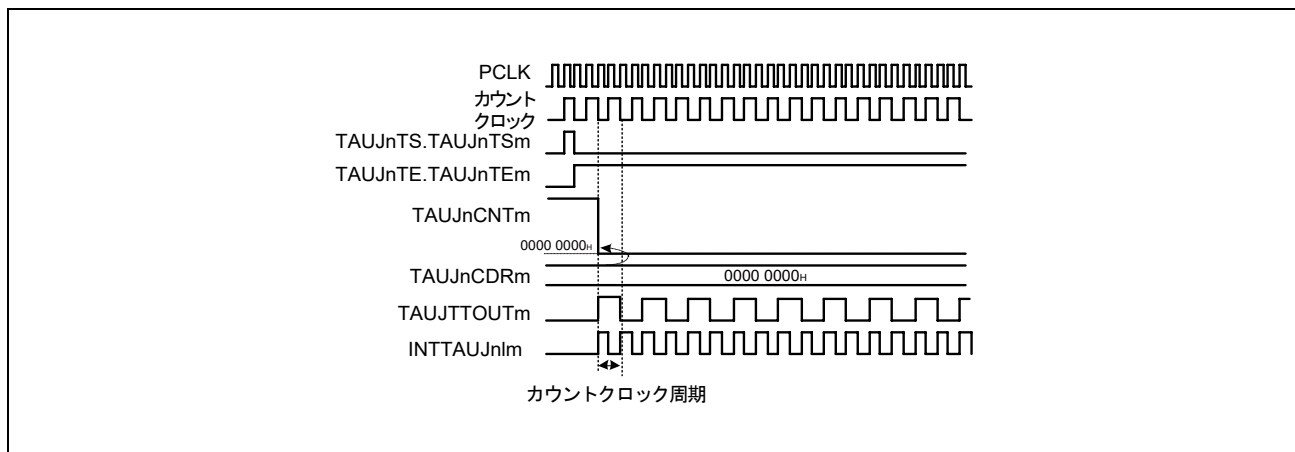
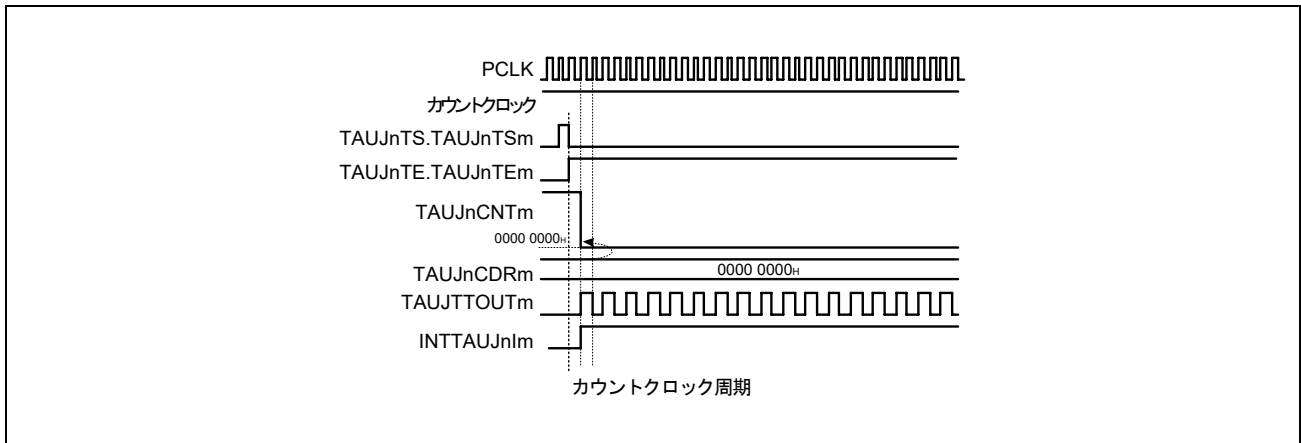


図 19.16 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnIm がカウントクロックごとに発生するので、TAUJTOUTm はカウントクロックごとにトグルされます。

(b) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK図 19.17 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- 継続的に INTTAUJnlm が発生し、PCLK クロックごとに TAUJTOUTm がトグルされます。

(c) 動作の停止と再開

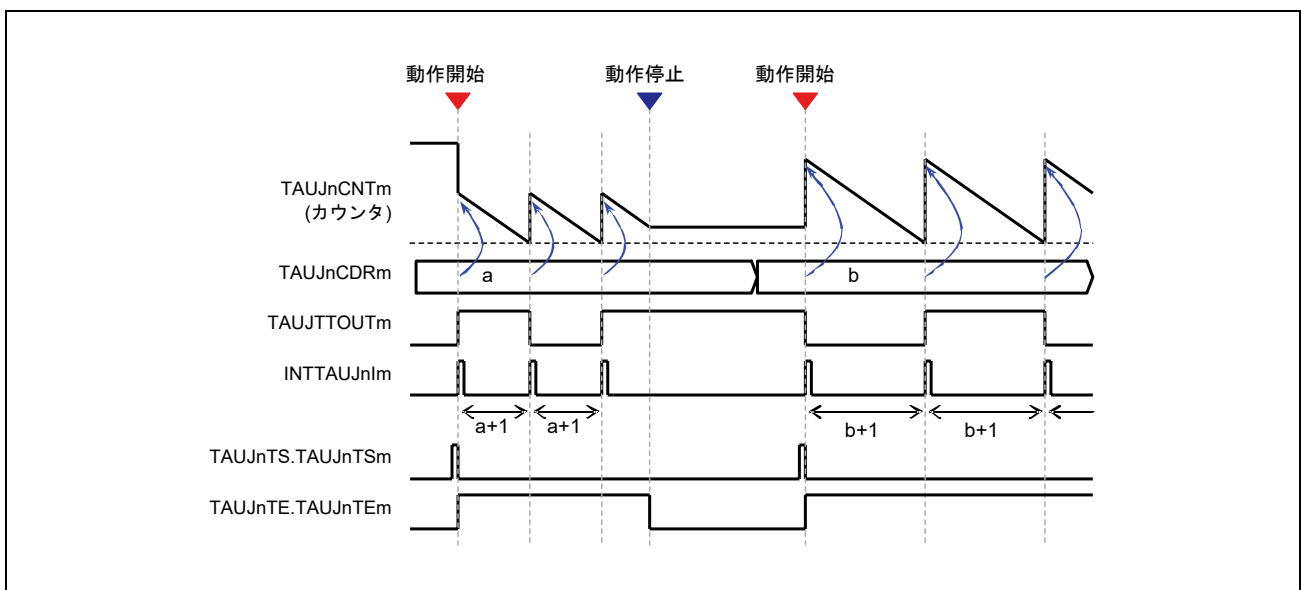


図 19.18 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJTOUTm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTsm を 1 に設定すると、カウントを再開できます。

(d) 強制リスタート

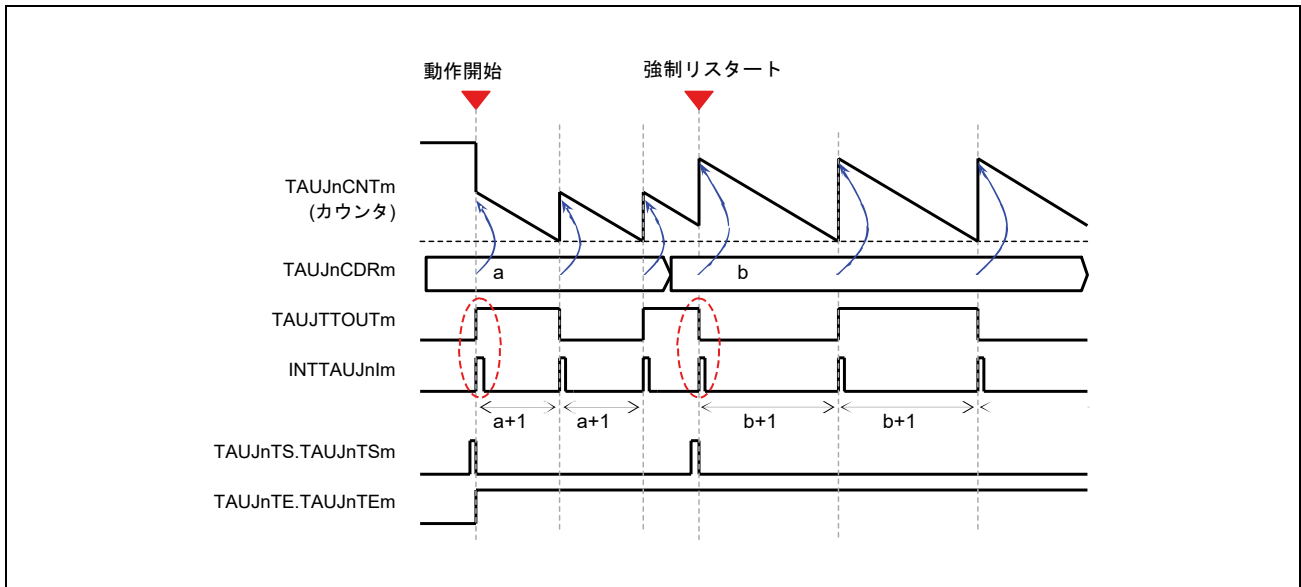


図 19.19 強制リスタート動作 (TAUJnCMORM.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUJnCMORM.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。

19.4.9.2 TAUJTINm 入力インターバルタイマ機能

(1) 概要

概要

この機能は、一定間隔または有効な TAUJTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 19.15 TAUJnCMORM レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「表 19.31 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUJTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「19.4.9.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0]ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

(2) 算出式

INTTAUJnIm の周期 = カウントクロック周期 × (TAUJnCDRm + 1)

TAUJTOUTm の矩形波周期 = カウントクロック周期 × (TAUJnCDRm + 1) × 2

(3) ブロック図と基本タイミング図

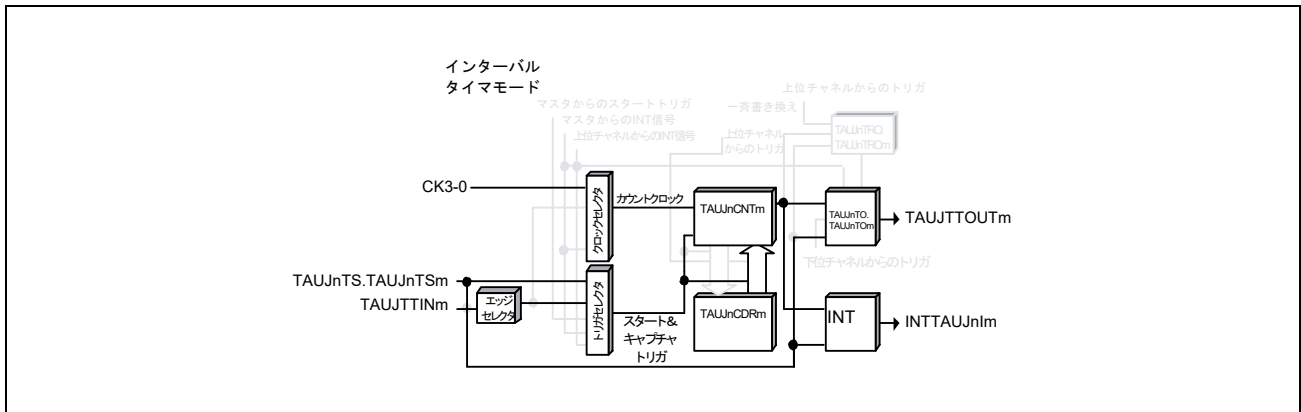


図 19.20 TAUJTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)

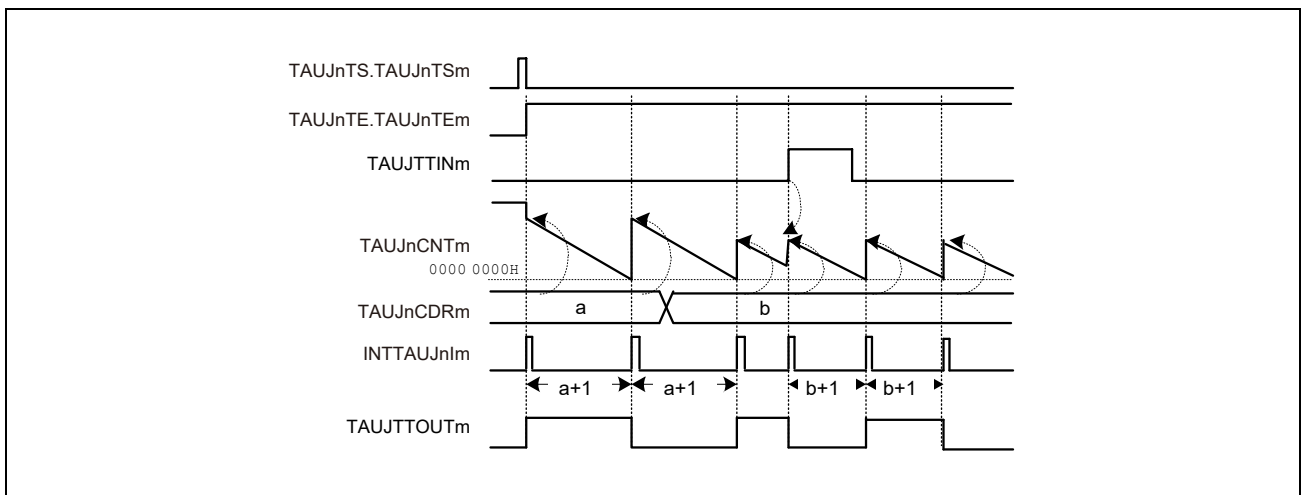


図 19.21 TAUJTINm 入力インターバルタイマ機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.38 TAUJTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	0：未使用、0 を設定
10～8	TAUJnSTS[2:0]	001：有効な TAUJTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUJnCOS[1:0]	00：未使用、00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000：インターバルタイマモード
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTOUTm はトグルされない 1：動作開始時に INTTAUJnIm が発生し、TAUJTOUTm はトグルされる

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.39 TAUJTINm 入力インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(c) チャネル出力モード

表 19.40 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウレベル 1: ハイレベル
TAUJnTOM.TAUJnTOMm	0: チャネル単体出力
TAUJnTOC.TAUJnTOCm	0: 動作モード 1 (TAUJnTOM.TAUJnTOMm = 0 時はトグルモード)
TAUJnTOL.TAUJnTOLm	0: 正論理

備 考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTOUTm を割り込みとは独立させて制御することができます。詳細は「19.4.4 チャネル出力モード」を参照してください。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 19.41 TAUJTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0: 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0: 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) TAUJTTINm 入インターバルタイマ機能の操作手順

表 19.42 TAUJTTINm 入インターバルタイマ機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 19.38 TAUJTTINm 入インターバルタイマ機能の TAUJnCMORm レジスタの内容」と「表 19.39 TAUJTTINm 入インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 19.40 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTsm を 1 に設定します。 ● TAUJnTS.TAUJnTsm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 ● TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。
動作再開	TAUJnCMURm.TAUJnTIS[1:0]、TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJTTINm エッジ検出	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合： ● 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 ● INTTAUJnIm が発生し、TAUJTOUTm がトグルされます。 カウント動作中に TAUJTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 ● TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 ● TAUJnCNTm と TAUJTOUTm は停止し、現在値を保持します。

(6) 特定の設定時のタイミング図

「19.4.9.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUJTTINm 入力エッジを使用することでカウンタを再開することも可能です。

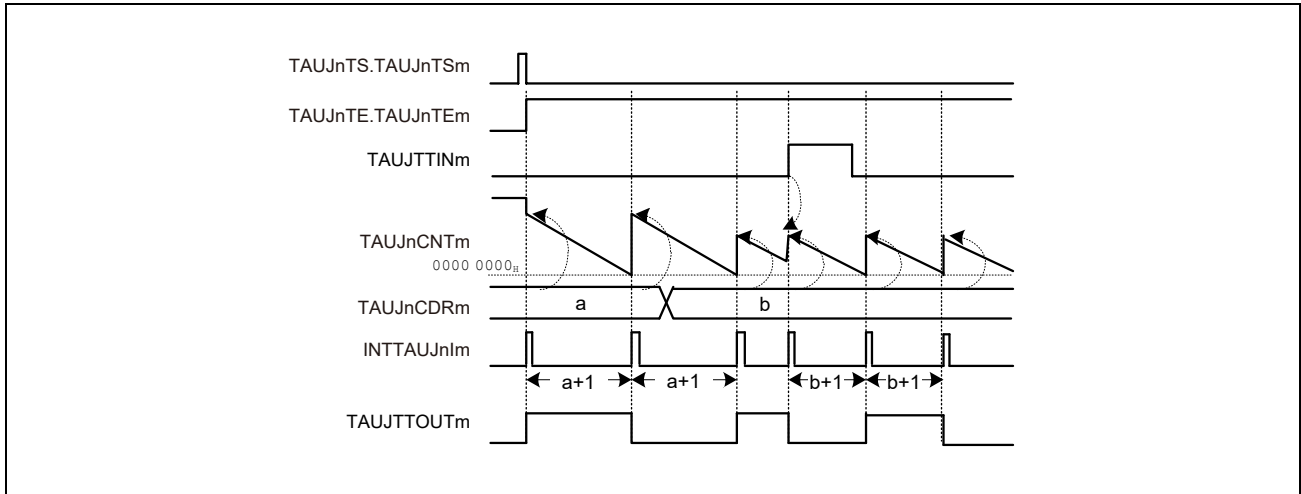


図 19.22 立ち上がり TAUJTTINm 入力エッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)、
TAUJnCMORM.TAUJnMD0 = 1 でトリガされたカウンタ

有効な TAUJTTINm 入力エッジを検出した場合、TAUJTTOUm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B) です。

19.4.9.3 TAUJTTINm 入力パルスインターバル測定機能

(1) 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUJnCSRm.TAUJnOVF を使用して TAUJTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 19.44 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。

有効な TAUJTTINm エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタは 0000 0000_H にオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 19.43 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUJTTINm 入力検出された場合	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm、 TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の間隔を推定できます。ただし、有効な TAUJTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示しません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

カウンタは、0000 0000_H にリセットされ、その後動作を継続します。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「19.4.6 カウント開始/リスタート時の TAUJTTOUTm 出力と INTTAUJnIm 生成」を参照してください。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

$$\text{TAUJTTINm 入力パルス間隔} = \text{カウントクロック周期} \times [(\text{TAUJnCSRm.TAUJnOVF} \times (\text{FFFF FFFF}_H + 1)) + \text{TAUJnCDRm キャプチャ値} + 1]$$

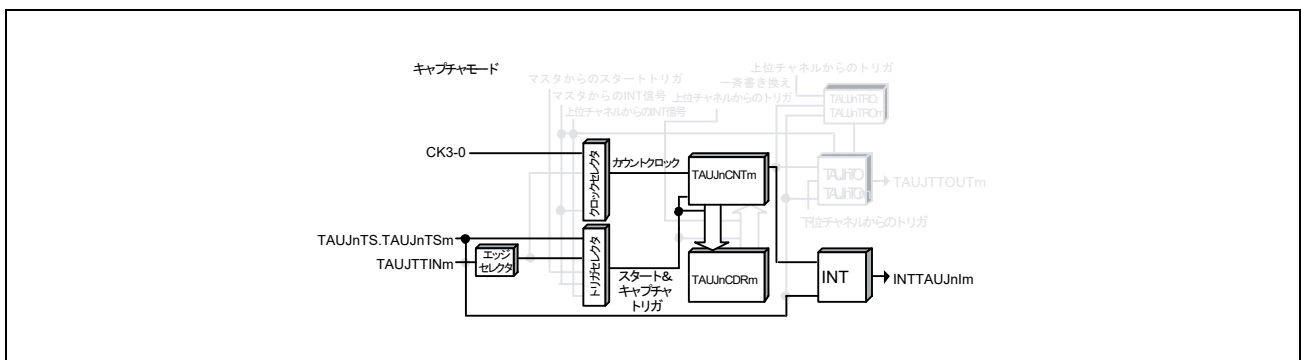
(3) ブロック図と基本タイミング図

図 19.23 TAUJTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

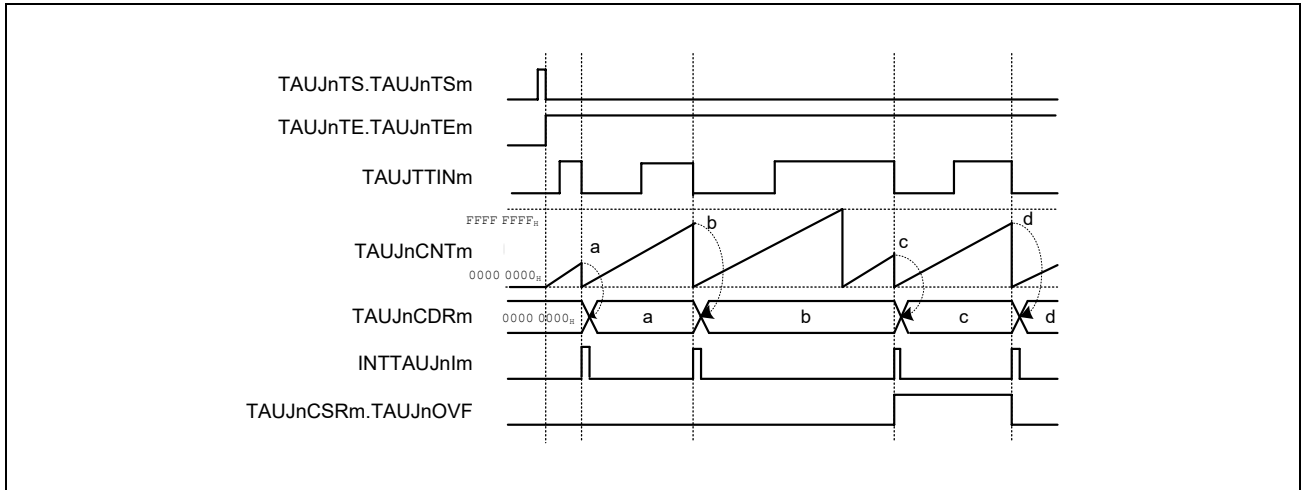


図 19.24 TAUJTTINm 入力パルスインターバル測定機能の基本タイミング図

(4) レジスタ設定

(a) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.44 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10~8	TAUJnSTS[2:0]	001 : TAUJTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUJnCOS[1:0]	「表 19.43 オーバフローの影響」を参照
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~1	TAUJnMD[4:1]	0010 : キャプチャモード
0	TAUJnMD0	0 : 動作開始時に INTTAUJnlm が発生しない 1 : 動作開始時に INTTAUJnlm が発生する

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 19.45 TAUJTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 19.46 TAUJTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

(5) TAUJTTINm 入力パルスインターバル測定機能の操作手順

表 19.47 TAUJTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、 「表 19.44 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」と「表 19.45 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 ● TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 ● TAUJnCNTm が 0000 0000 _H にクリアされます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作再開	TAUJTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能。 (TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： ● TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、0000 0000 _H に戻ります。 ● その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 ● TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 ● TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

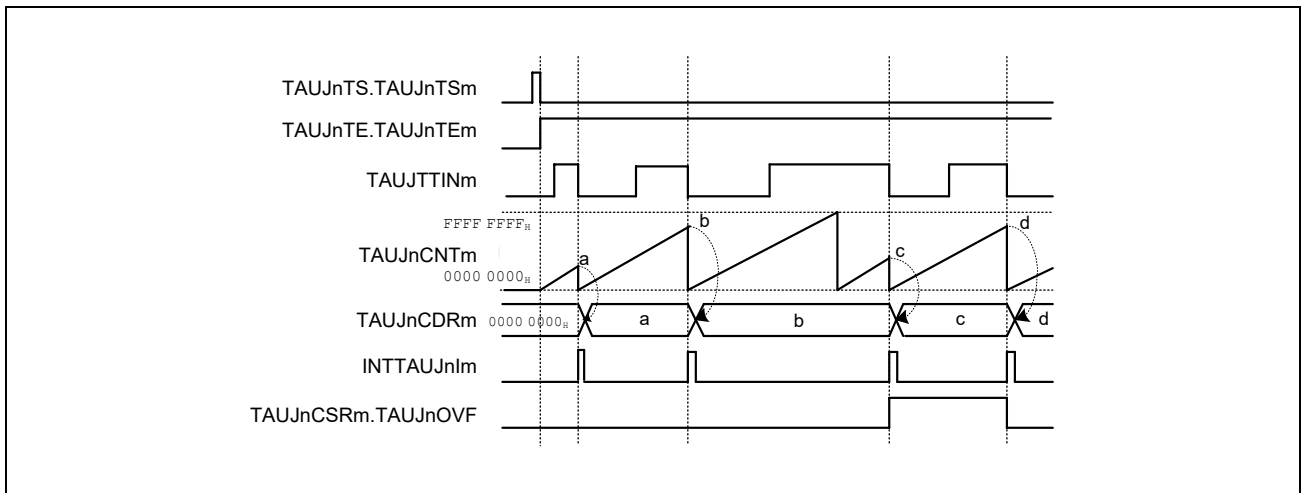
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 19.25 TAUJnCMORm.TAUJnCOS[1:0] = 00_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

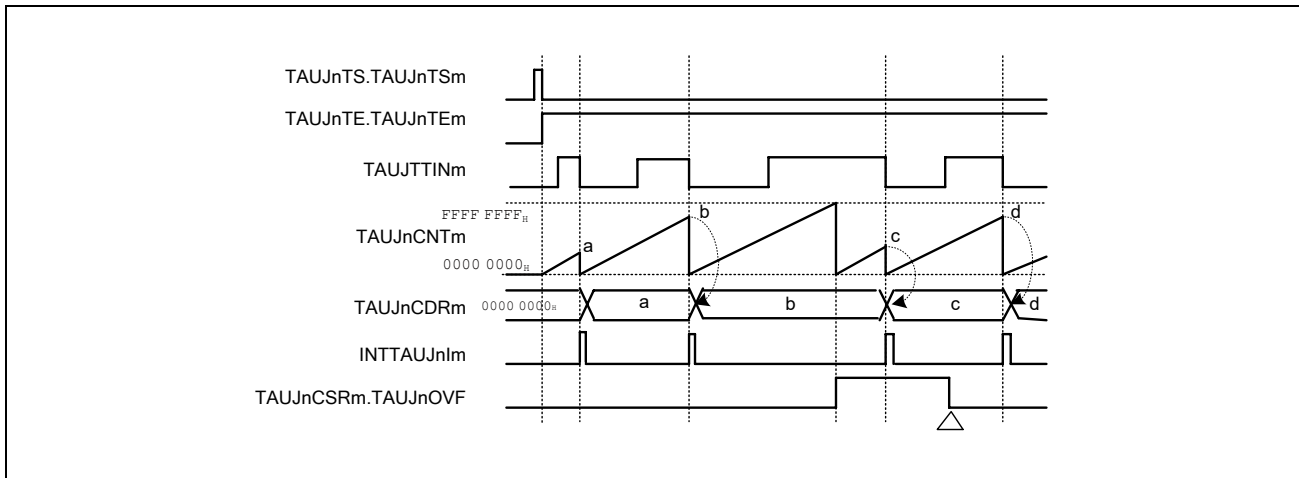
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 19.26 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV = 1 のセット) でのみクリアされます。

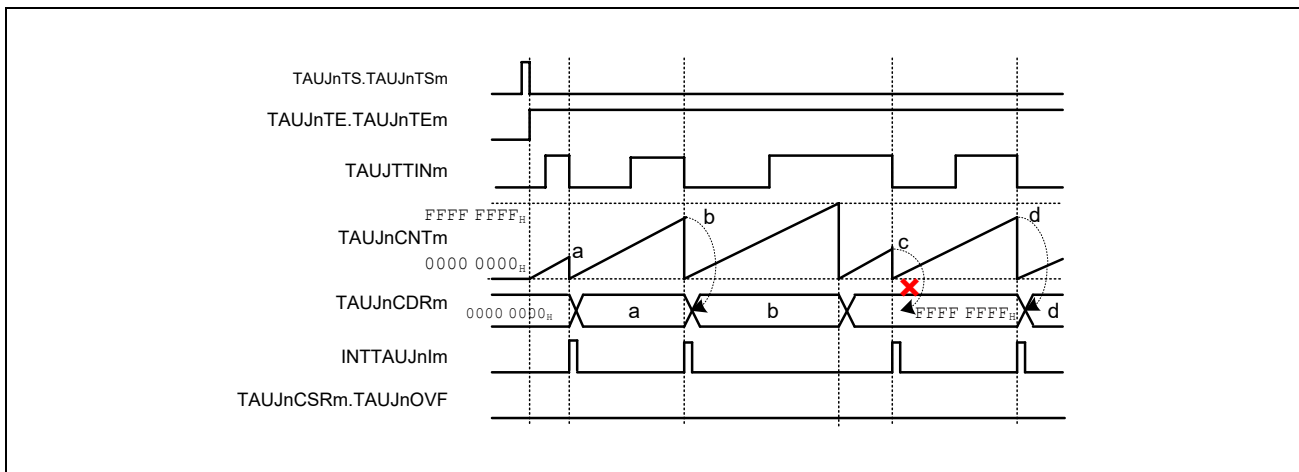
(c) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

図 19.27 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

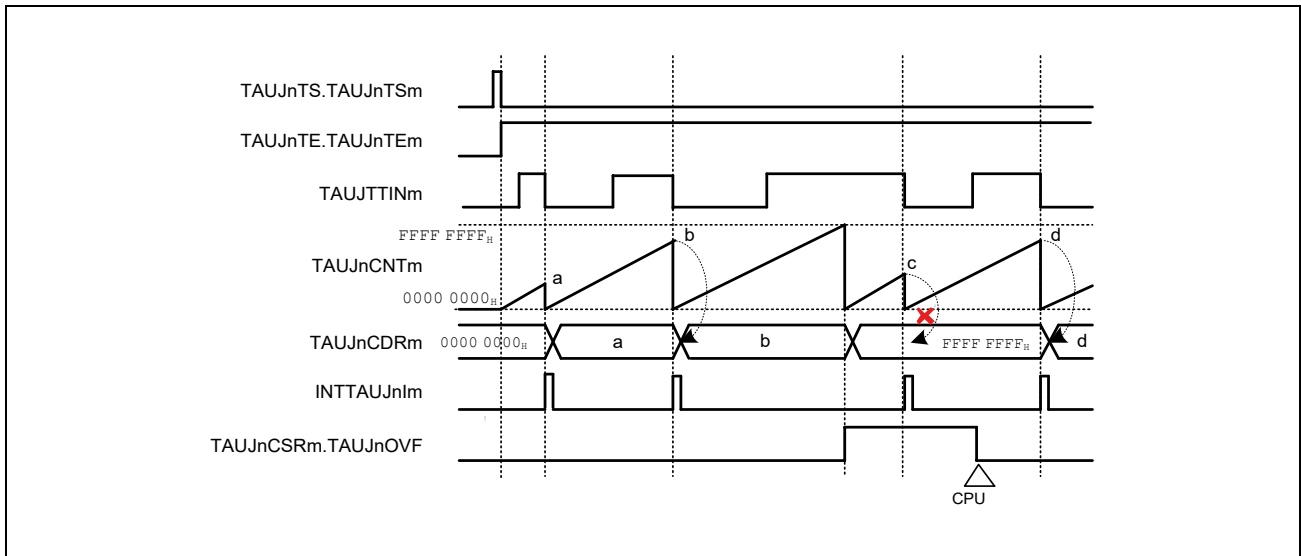
(d) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 19.28 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

19.4.9.4 TAUJTTINm 入力信号幅測定機能

(1) 概要

概要

この機能は、TAUJTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUJTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります（「表 19.49 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。
- TAUJnCMORm.TAUJnMD0 は、0 に設定する必要があります。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。有効な TAUJTTINm スタートエッジが検出されると、カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm ストップエッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJTTINm 入力スタートエッジを待ちます。

有効な TAUJTTINm ストップエッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 19.48 オーバフローの影響

TAUJnCMORm.TAUJnCOS[1:0]	オーバフローが発生した場合		有効な TAUJTTINm 入力ストップエッジの検出時	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の幅を推定できます。ただし、有効な TAUJTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示しません。

この機能は強制的に再開することはできません。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

(2) 算出式

$$\text{TAUJTTINm 入力信号幅} = \text{カウントクロック周期} \times [(\text{TAUJnCSRm.TAUJnOVF} \times (\text{FFFF FFFF}_H + 1)) + \text{TAUJnCDRm キャプチャ値} + 1]$$

(3) ブロック図と基本タイミング図

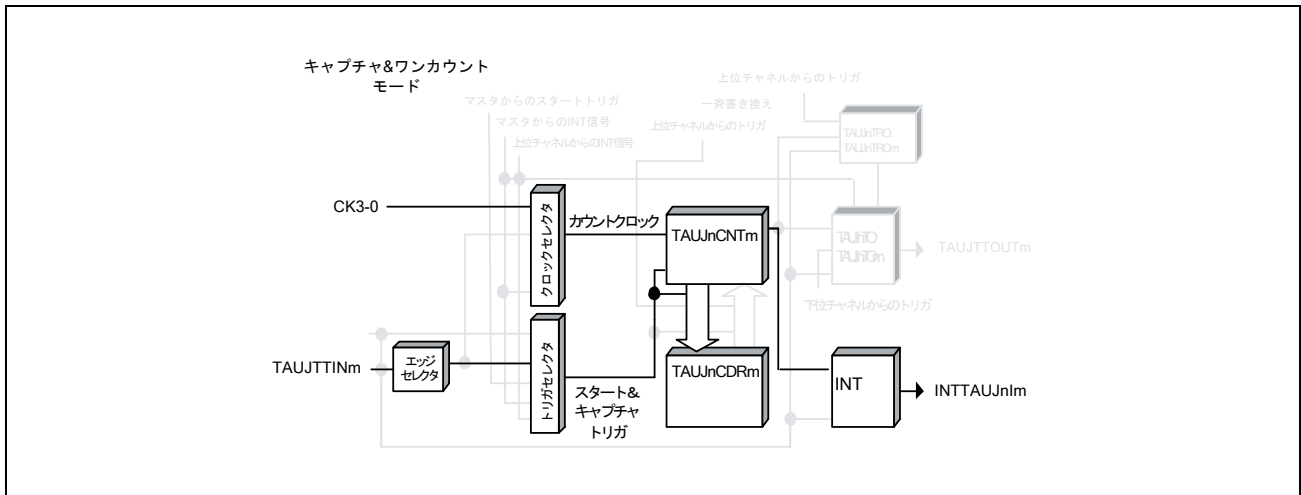


図 19.29 TAUJTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

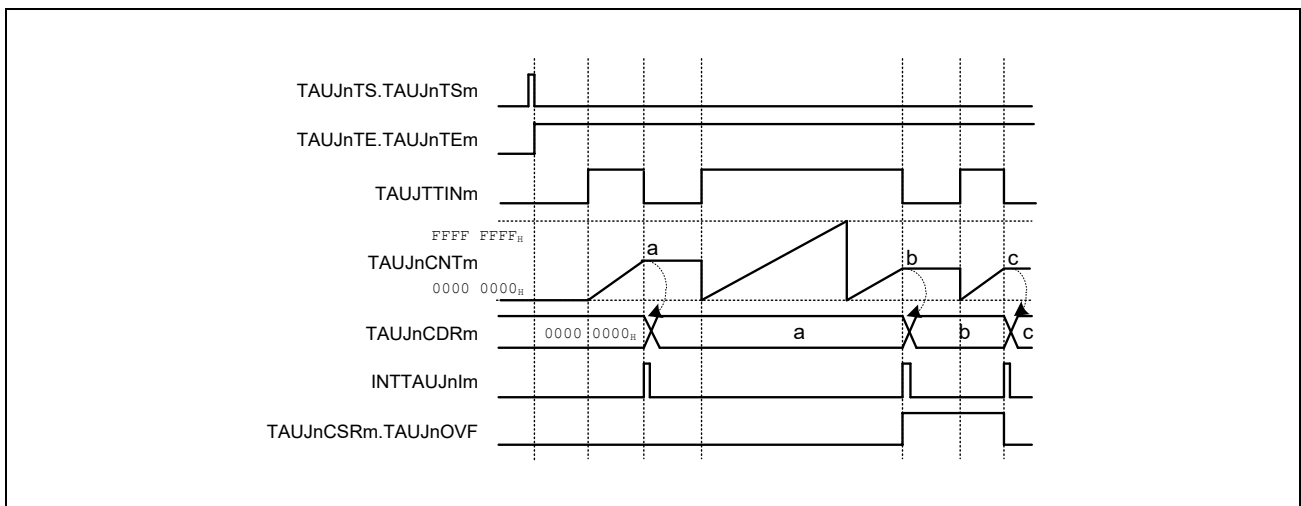


図 19.30 TAUJTTINm 入力信号幅測定機能の基本タイミング図

(4) レジスタ設定**(a) TAUJnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.49 TAUJTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10~8	TAUJnSTS[2:0]	010 : TAUJTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUJnCOS[1:0]	「表 19.48 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~1	TAUJnMD[4:1]	0110 : キャプチャ&ワンカウントモード
0	TAUJnMD0	0 : 動作中のスタートトリガ無効

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.50 TAUJTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 19.51 TAUJTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0) 、0 を設定

(5) TAUJTTINm 入力信号幅測定機能の操作手順

表 19.52 TAUJTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 19.49 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」と「表 19.50 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSM を 1 に設定します。 • TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。 TAUJTTINm スタートエッジを検出すると、TAUJnCNTm はアップカウントを開始します。
動作再開	動作中	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、その値を保持します。 • その後、INTTAUJnIm が発生します。 • カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 • TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 • TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

(6) 特定の設定時のタイミング図：オーバフロー動作

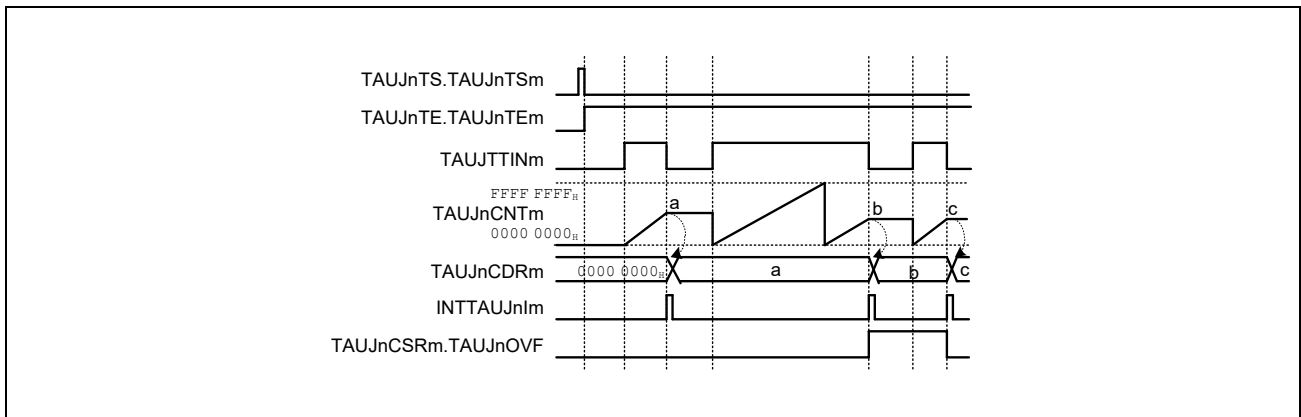
(a) TAUJnCMORm.TAUJnCOS[1:0] = 00_B

図 19.31 TAUJnCMORm.TAUJnCOS[1:0] = 00_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

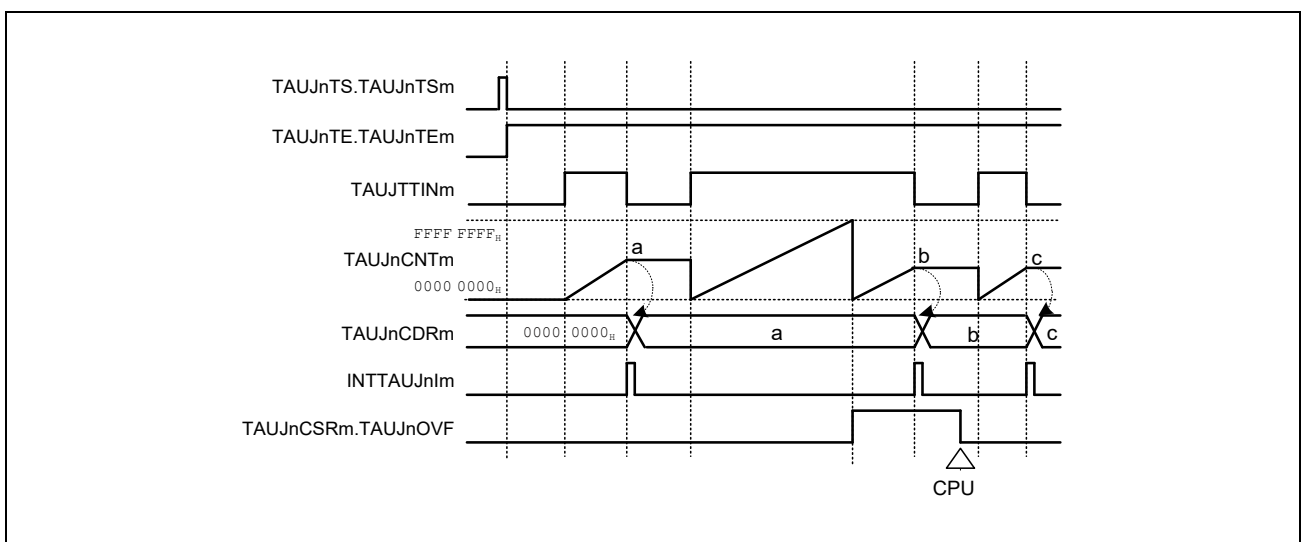
(b) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 19.32 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV = 1 のセット) でのみクリアされます。

(c) TAUJnCMORM.TAUJnCOS[1:0] = 10_B

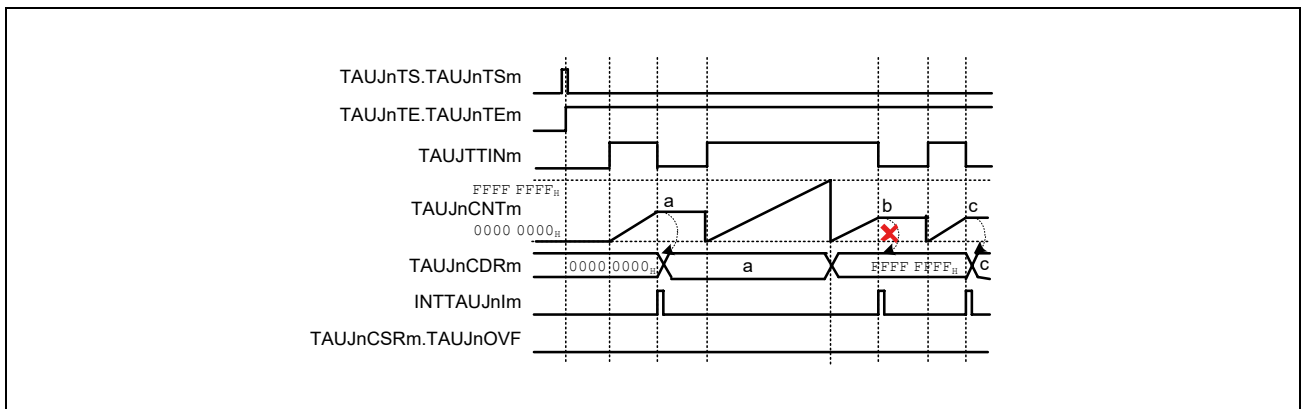


図 19.33 TAUJnCMORM.TAUJnCOS[1:0] = 10_B、TAUJnCMORM.TAUJnMD0 = 0、TAUJnCMORM.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTINm 入力エッジが検出されると、TAUJnCNTm のカウンタを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTINm 入力エッジは無視されます。

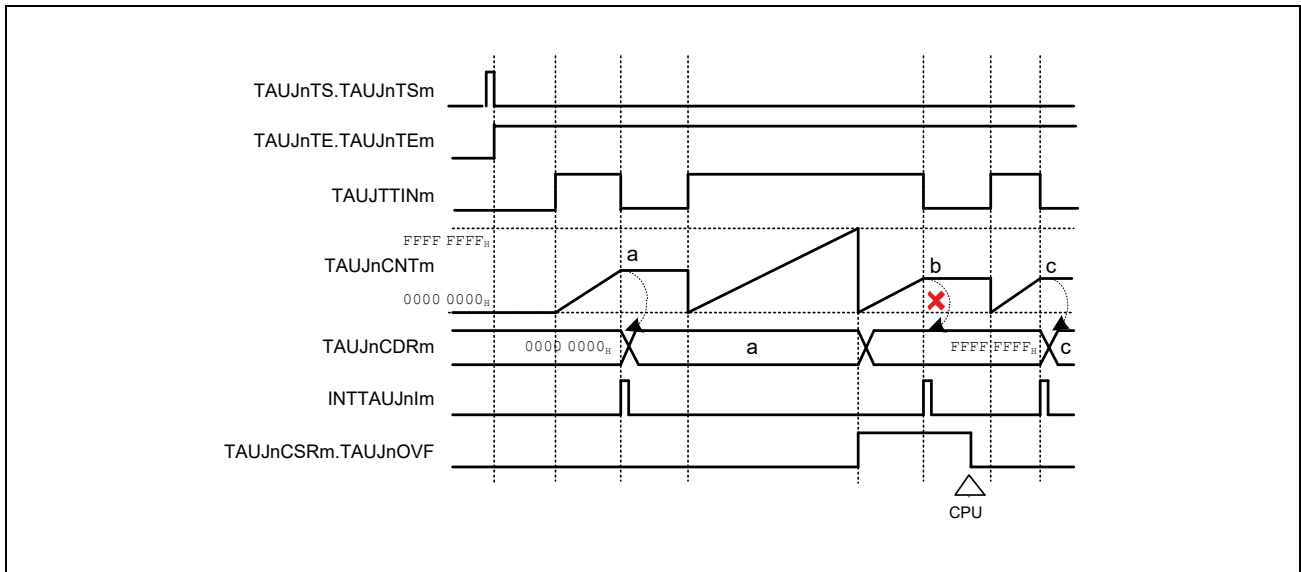
(d) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 19.34 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm のカウンタを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

19.4.9.5 TAUJTTINm 入力位置検出機能

(1) 概要

概要

TAUJTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

備考

TAUJTTINm 入力信号は TAUJnCMORm.TAUJnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUJTOUTm の出カクロックの周期には、動作クロック±1 周期分の誤差があります。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「表 19.53 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。

機能説明

チャネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEM = 1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「19.4.6 カウント開始/リスタート時の TAUJTOUTm 出力と INTTAUJnIm 生成」を参照してください。

(2) 算出式

TAUJTTINm 入力パルスでの機能時間 = カウントクロック周期 × (TAUJnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

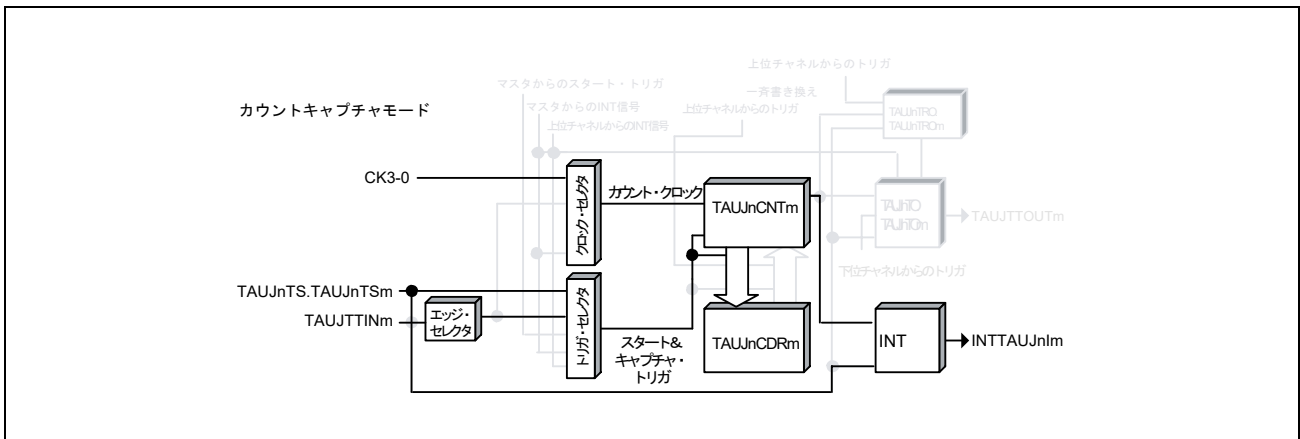


図 19.35 TAUJTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

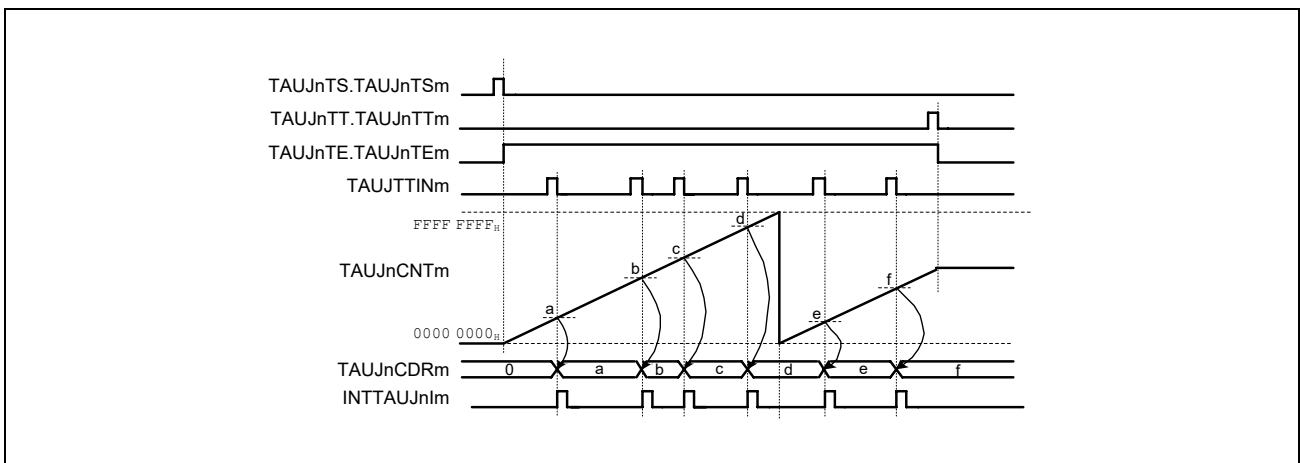


図 19.36 TAUJTTINm 入力位置検出機能の基本タイミング図

(4) レジスタ設定**(a) TAUJnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.53 TAUJTINm 入力位置検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	0：未使用、0を設定
10～8	TAUJnSTS[2:0]	001：有効な TAUJTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUJnCOS[1:0]	01：この値に設定してください。
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	1011：カウントキャプチャモード
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生しない 1：動作開始時に INTTAUJnIm が発生する

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.54 TAUJTINm 入力位置検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 19.55 TAUJTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0) 、0 を設定

(5) TAUJTTINm 入力位置検出機能の操作手順

表 19.56 TAUJTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 19.53 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」と「表 19.54 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 ● TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 ● TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作再開	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： ● TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) します。 ● INTTAUJnIm を出力します。 ● カウンタ値は 0000 0000 _H にクリアされず、TAUJnCNTm はカウント動作を継続します。以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 ● TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 ● TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

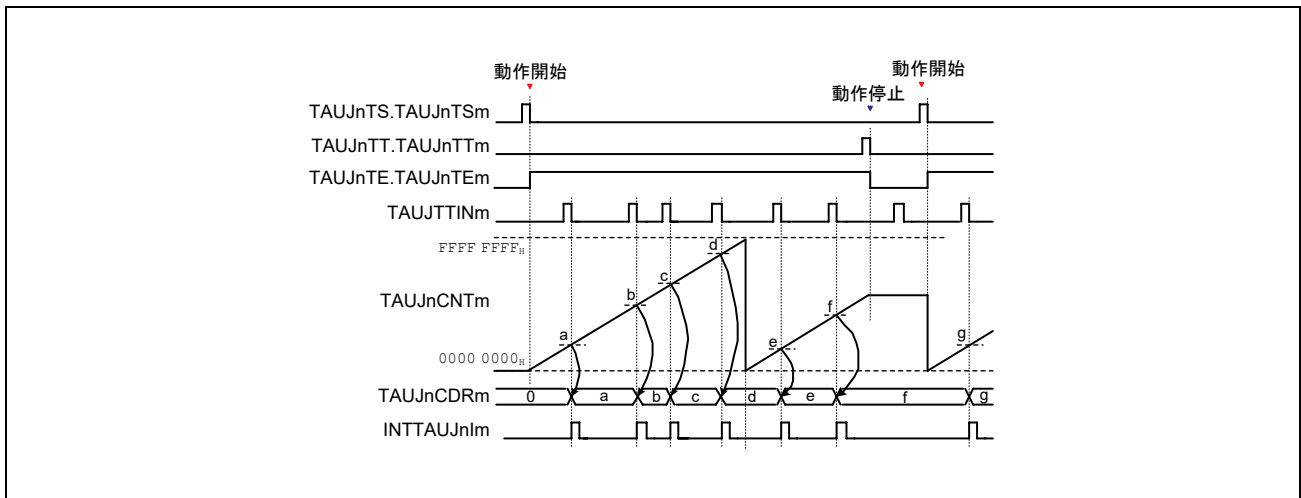


図 19.37 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

19.4.9.6 TAUJTTINm 入力期間カウント検出機能

(1) 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります（「表 19.57 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJTTINm 入力エッジを待ちます。

有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJTTINm 入力ストップエッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

備考

TAUJTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJTTINm 入力 Low 期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJTTINm 入力 High 期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

(2) 算出式

TAUJTTINm 入力幅累計 = カウントクロック周期 × (TAUJnCDRm キャプチャ値 + 1)

(3) ブロック図と基本タイミング図

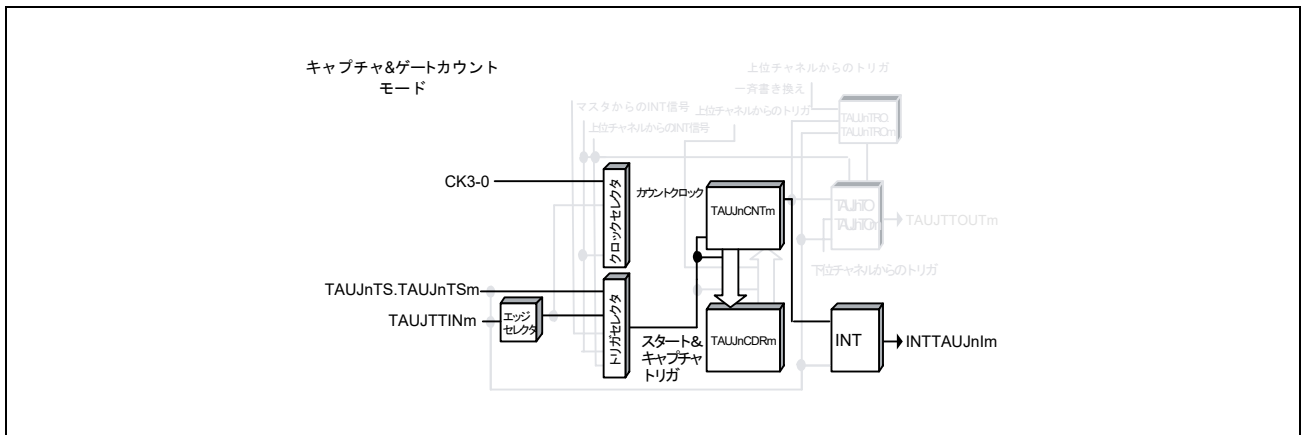


図 19.38 TAUJTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = High 幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

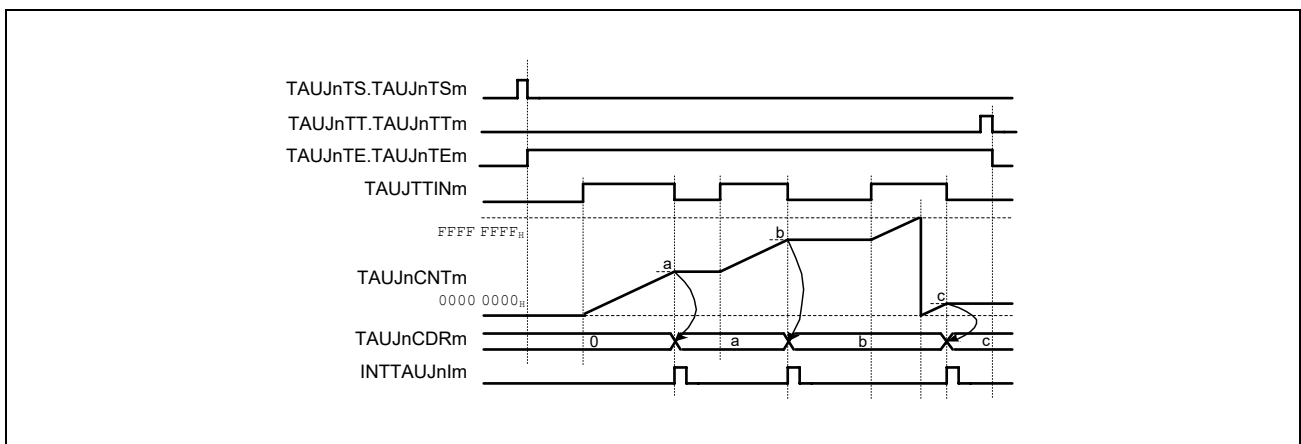


図 19.39 TAUJTTINm 入力期間カウント検出機能の基本タイミング図

(4) レジスタ設定**(a) TAUJnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.57 TAUJTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : 未使用、0 を設定
10~8	TAUJnSTS[2:0]	010 : TAUJTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUJnCOS[1:0]	01 : この値に設定してください。
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~1	TAUJnMD[4:1]	1101 : キャプチャ&ゲートカウントモード
0	TAUJnMD0	0 : 動作中のスタートトリガ無効

(b) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.58 TAUJTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 19.59 TAUJTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0) 、0 を設定

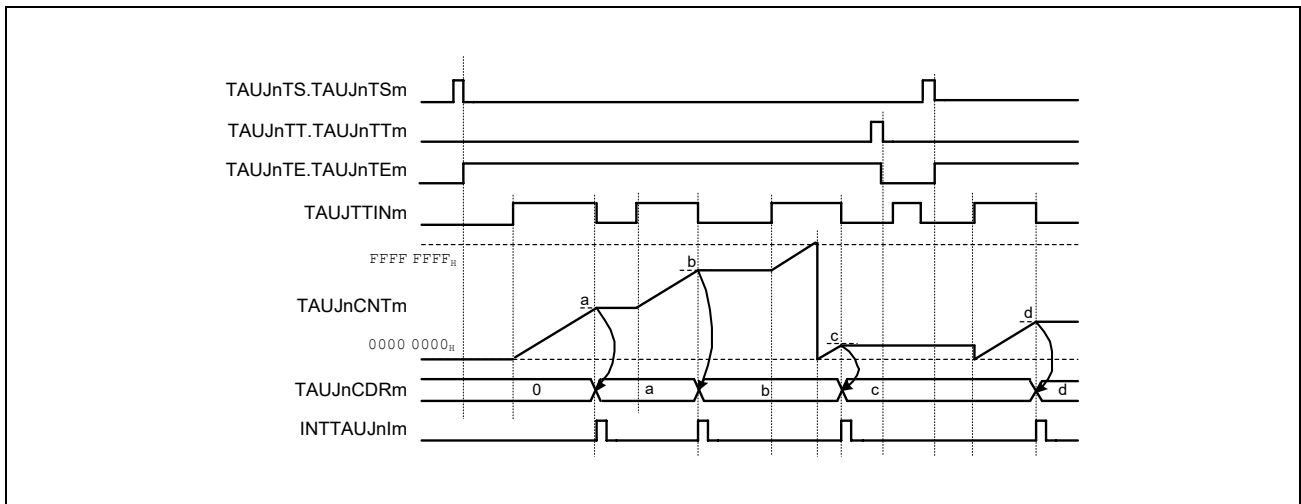
(5) TAUJTTINm 入力期間カウント検出機能の操作手順

表 19.60 TAUJTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 19.57 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」と「表 19.58 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャンネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTsm を 1 に設定します。 ● TAUJnTS.TAUJnTsm はトリガビットなので、自動的に 0 にクリアされます。 TAUJTTINm スタートエッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUJnCNTm は 0000 0000 _H にクリアされ、TAUJnCNTm はアップカウントを開始します。
動作再開	TAUJTTINm エッジ検出 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUJTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ローレベル幅測定なら立ち下がりエッジ) を検出すると、TAUJnCNTm は停止値よりアップカウントを開始します。 ● TAUJnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ローレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUJnCDRm に転送し、INTTAUJnIm が発生します。 ● カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 ● TAUJnCNTm が FFFF FFFF _H に達すると、カウンタは 0000 0000 _H からカウント動作を再開します。以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 ● TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 ● TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

(6) 特定の設定時のタイミング図

(a) 動作の停止と再開

図 19.40 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

19.4.10 チャンネル連動動作機能

• 19.4.10.1 PWM 出力機能

19.4.10.1 PWM 出力機能

(1) 概要

概要

マスタチャンネルと複数のスレーブチャンネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJTOUT_m のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。

前提条件

- 2 チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 19.61 PWM 出力機能のマスタチャンネルの TAUJnCMOR_m レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 19.64 PWM 出力機能のスレーブチャンネルの TAUJnCMOR_m レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUJTOUT_m は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード 1 に設定する必要があります（「19.4.4 チャンネル出力モード」）。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTSM) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTE_m = 1 となり、カウントが可能になります。TAUJnCDR_m の現在値が TAUJnCNT_m にロードされ、カウンタはその TAUJnCDR_m 値からダウンカウントを開始します。マスタチャンネルで INTTAUJnIm が発生し、TAUJTOUT_m (スレーブ) がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャンネル：

マスタチャンネルのカウンタ値が 0000 0000_H になりパルス周期時間が経過すると、INTTAUJnIm が発生します。TAUJnCDR_m 値を TAUJnCNT_m にロードし、ダウンカウントを行います。

- スレーブチャンネル：

マスタチャンネルで INTTAUJnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUJnCDR_m (スレーブ) の現在値が TAUJnCNT_m (スレーブ) にロードされ、カウンタはその TAUJnCDR_m 値からダウンカウントを開始します。TAUJTOUT_m 信号がアクティブレベルに設定されま

す。
カウンタ値が 0000 0000_H になると（デューティ時間が経過すると）INTTAUJnIm が発生し、TAUJTOUT_m 信号がインアクティブレベルに設定されます。カウンタは FFFF FFFF_H に戻り、マスタチャンネルの次の INTTAUJnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャンネルの TAUJnTT.TAUJnTT_m を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTE_m は 0 に設定されます。マスタ/スレーブチャンネルの TAUJnCNT_m と TAUJTOUT_m が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「19.4.3 一斉書き換え機能」を参照してください。

(2) 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル[%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0%

TAUJnCDRm (スレーブ) = 0000 0000_H

- デューティサイクル = 100%

TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

(3) ブロック図と基本タイミング図

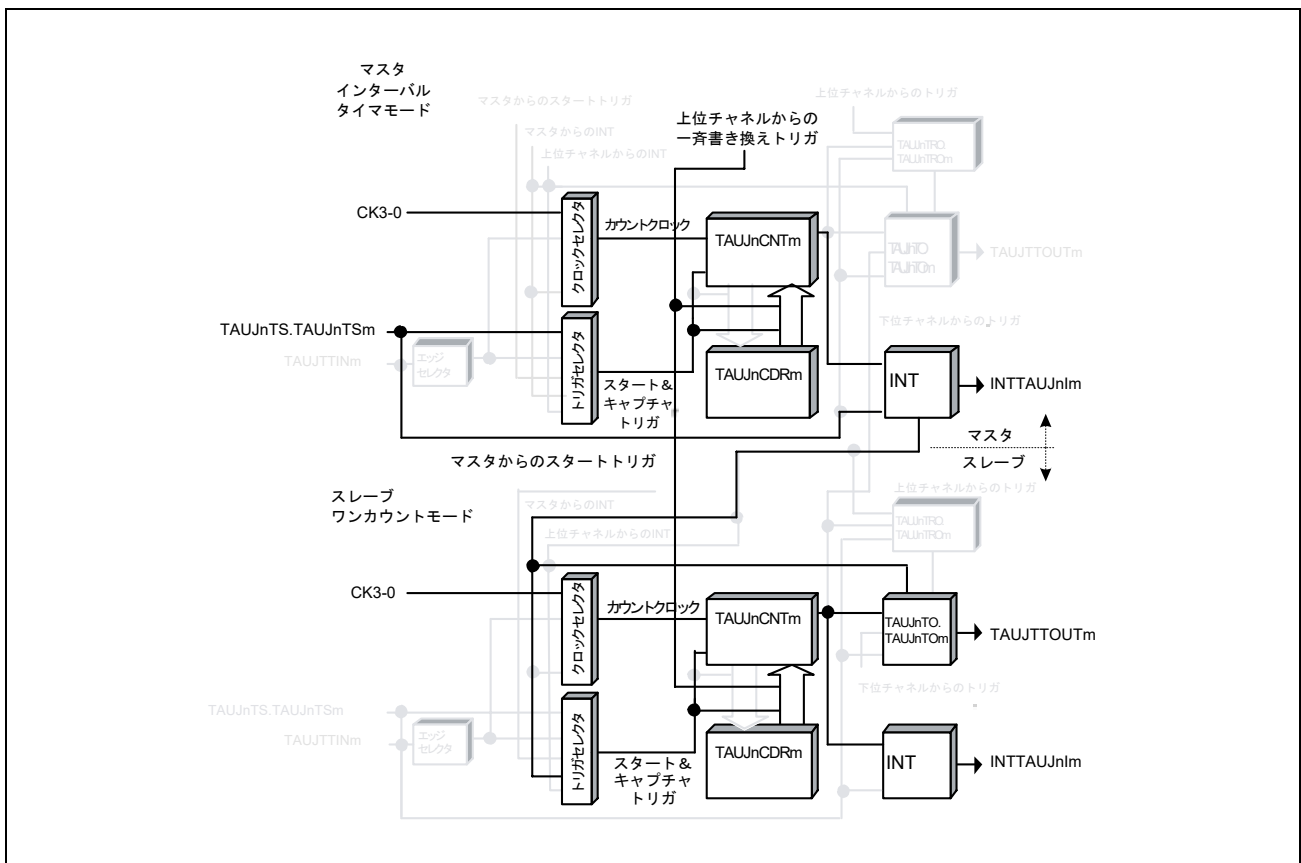


図 19.41 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル：正論理 (TAUJnTOL.TAUJnTOLm = 0)

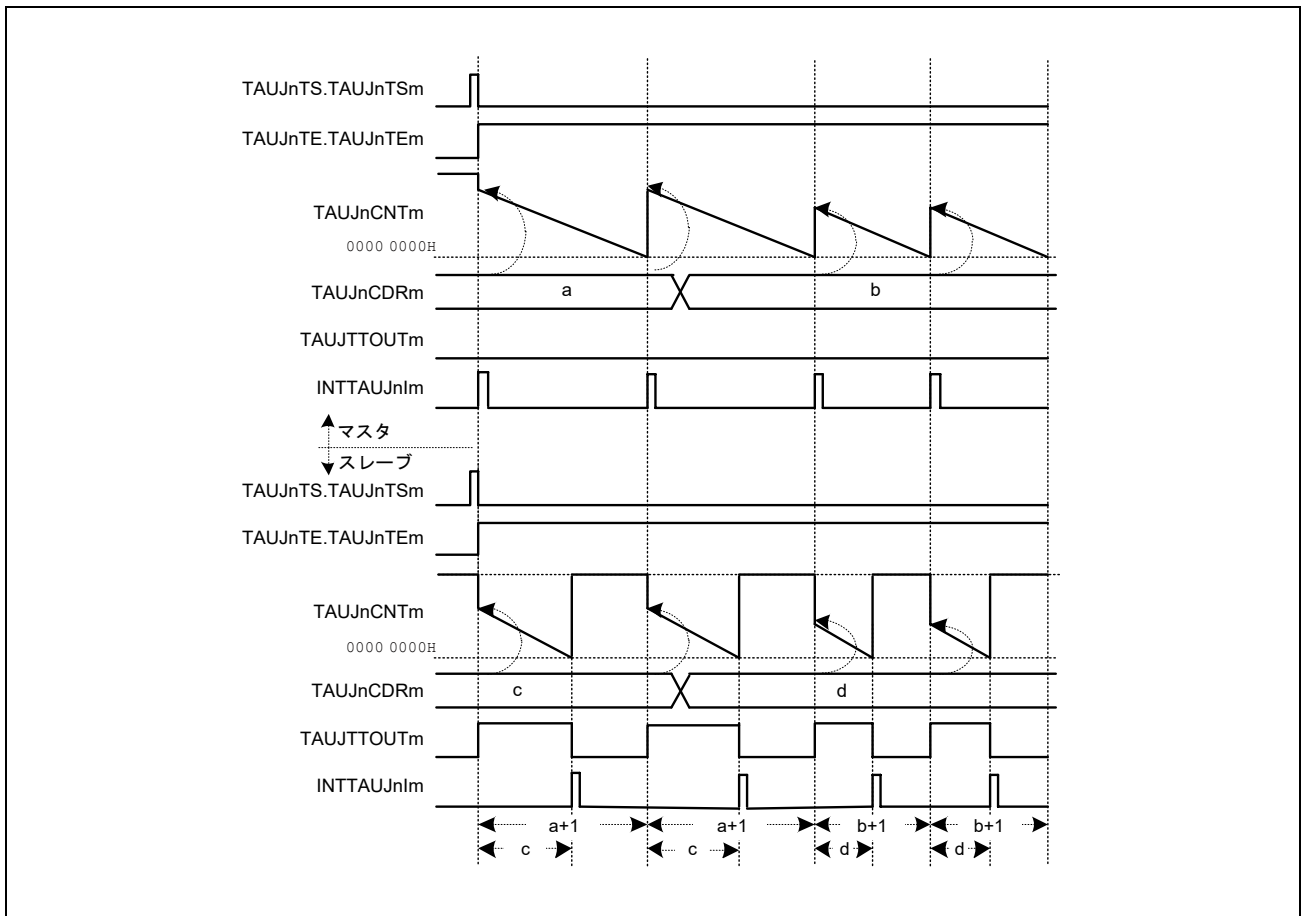


図 19.42 PWM 出力機能の基本タイミング図

備考

- スレーブチャンネルでのカウント開始から割り込み発生までの間隔は対応する TAUJnCDRm の値になりますが、マスターチャンネルでの間隔は対応する TAUJnCDRm + 1 の値になります。
- スレーブチャンネルの TAUJTTOUtm は、マスターチャンネルの INTTAUJnlm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

(4) マスタチャンネルのレジスタ設定**(a) マスタチャンネルの TAUJnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.61 PWM 出力機能のマスタチャンネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUJnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUJnMAS	1：チャンネルはマスタチャンネル
10～8	TAUJnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUJnCOS[1:0]	00：未使用、00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000：インターバルタイマモード
0	TAUJnMD0	1：動作開始時に INTTAUJnIm が発生する

(b) マスタチャンネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.62 PWM 出力機能のマスタチャンネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(c) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(d) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 19.63 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1 : 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

(5) スレーブチャンネルのレジスタ設定**(a) スレーブチャンネルの TAUJnCMORm**

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKs[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 19.64 PWM 出力機能のスレーブチャンネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKs[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUJnCKs[1:0] ビット値は同一である必要があります。
13, 12	TAUJnCCS[1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUJnMAS	0 : チャンネルはスレーブチャンネル
10~8	TAUJnSTS[2:0]	100 : マスタチャンネルの INTTAUJnIm がスタートトリガ
7, 6	TAUJnCOS[1:0]	00 : 未使用、00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~1	TAUJnMD[4:1]	0100 : ワンカウントモード
0	TAUJnMD0	1 : 動作開始時に INTTAUJnIm が発生する

(b) スレーブチャンネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 19.65 PWM 出力機能のスレーブチャンネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1, 0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(c) スレーブチャンネルのチャンネル出力モード

表 19.66 チャンネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1: チャンネル単体出力モード許可
TAUJnTO.TAUJnTOm	0: ロウレベル 1: ハイレベル
TAUJnTOM.TAUJnTOMm	1: チャンネル連動動作
TAUJnTOC.TAUJnTOCm	0: 動作モード 1
TAUJnTOL.TAUJnTOLm	0: 正論理 1: 負論理

(d) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 19.67 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

(6) PWM 出力機能の操作手順

表 19.68 PWM 出力機能時の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	<p>マスタチャンネル：TAUJnCMORm/TAUJnCMURm レジスタとチャンネル出力モードを「(4) マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル：TAUJnCMORm/TAUJnCMURm レジスタとチャンネル出力モードを「(5) スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUJnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUJnTS.TAUJnTSM を同時に 1 に設定します。</p> <ul style="list-style-type: none"> TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。 	<p>TAUJnTE.TAUJnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。</p> <p>マスタチャンネルで INTTAUJnIm が発生し、TAUJTTOUtm (スレーブ) が設定されます。</p>
動作再開	<p>TAUJnCDRm は任意のタイミングで変更可能です。TAUJnCnTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUJnRDT.TAUJnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルの TAUJnCnTm は TAUJnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUJnIm (マスタ) が発生します。 TAUJnCDRm 値を TAUJnCnTm (マスタ) にロードし、カウント動作を継続します。 TAUJnCDRm 値を TAUJnCnTm (スレーブ) にロードし、ダウンカウントを行います。 TAUJTTOUtm (スレーブ) がアクティブレベルに設定されます。 <p>TAUJnCnTm (スレーブ) が 0000 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUJnIm (スレーブ) が発生します。 TAUJTTOUtm (スレーブ) がインアクティブレベルに設定されます。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。</p> <ul style="list-style-type: none"> TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。 	<p>TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。</p> <ul style="list-style-type: none"> TAUJnCnTm と TAUJTTOUtm は停止し、現在値を保持します。

(7) 特定の設定時のタイミング図

(a) デューティサイクル = 0%

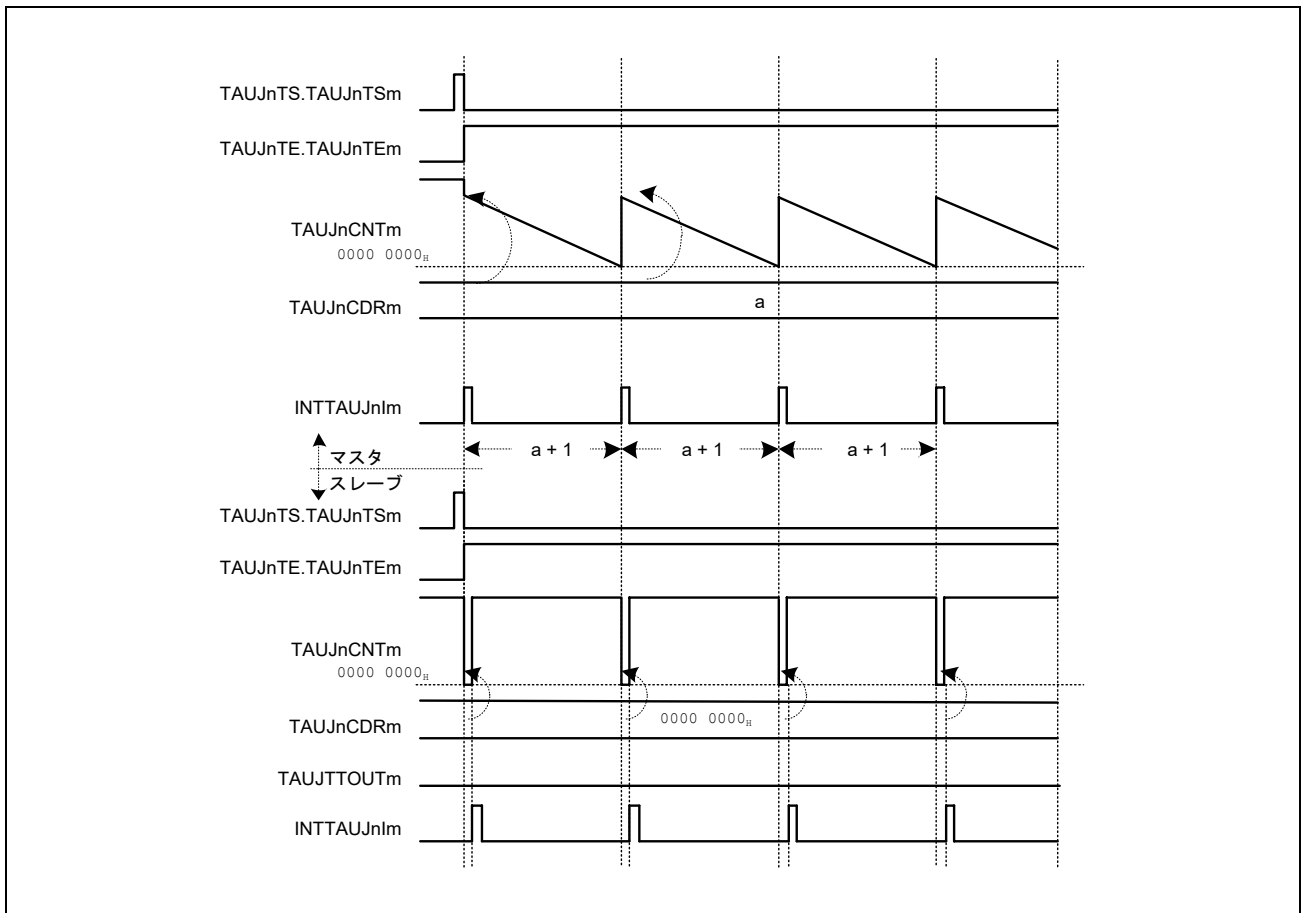


図 19.43 TAUJnCDRm (スレーブ) = 0000 0000H、正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000H がロードされます。したがって、TAUJnCNTm (スレーブ) はカウントを開始できず、TAUJTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(b) デューティサイクル = 100%

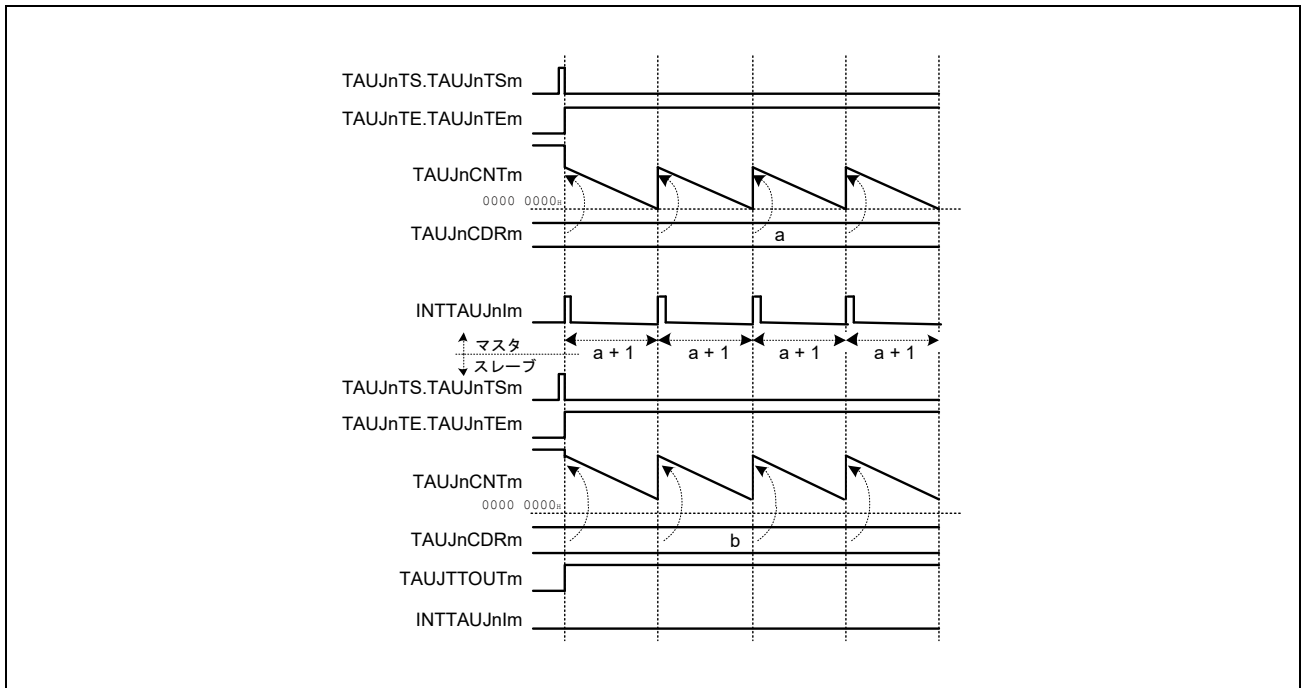


図 19.44 TAUJnCDRm (スレーブ) \geq TAUJnCDRm (マスター) + 1
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

TAUJnCDRm (スレーブ) 値が TAUJnCDRm (マスター) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000 0000_Hにならないため、割り込みが発生しません。TAUJTOUTm はアクティブ状態のままになります。

(c) 動作の停止と再開

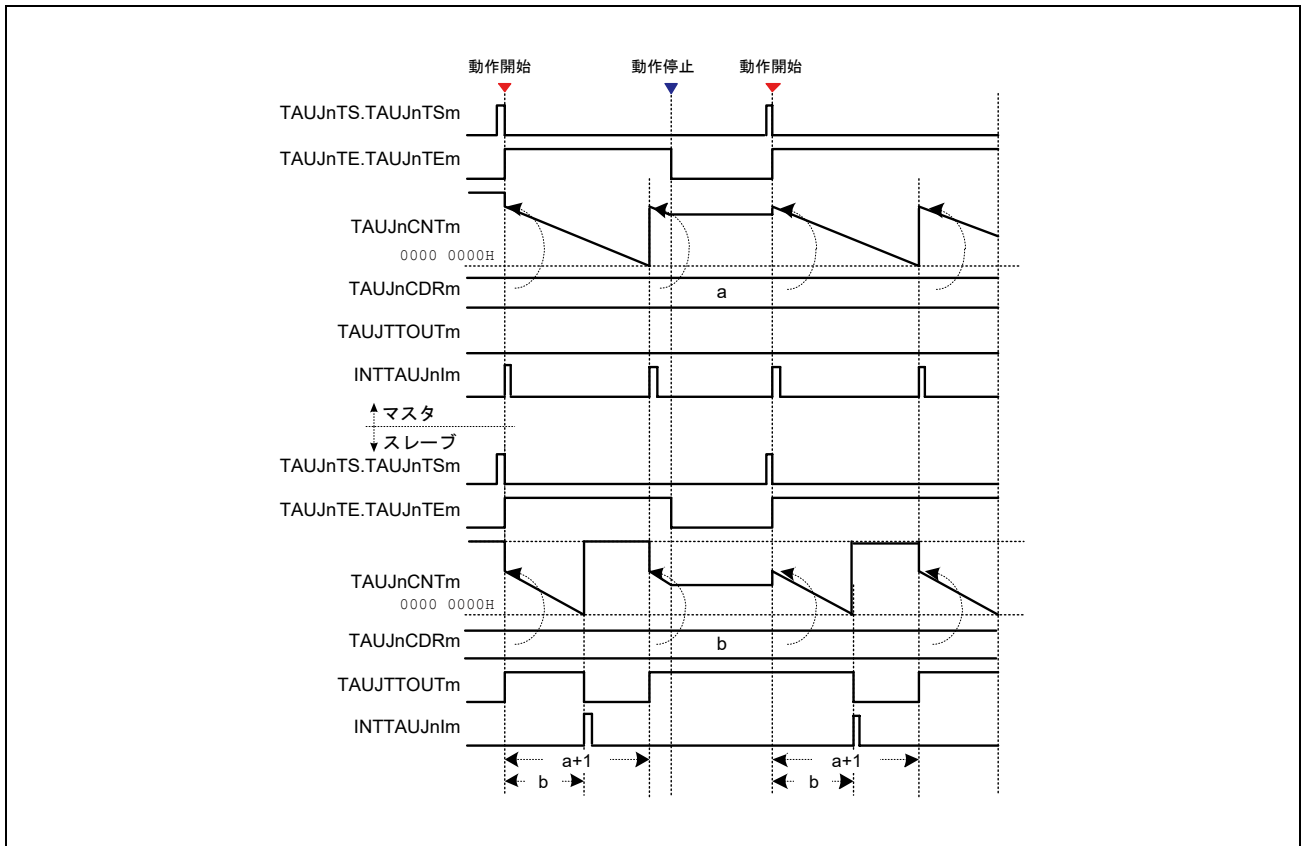


図 19.45 動作の停止と再開

正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャンネルの TAUJnCNTm と TAUJTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUJnTS.TAUJnTsm を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウンカウントを開始します。

第20章 モータコントロールタイマ (TSG3)

本章では、モータコントロールタイマ (TSG3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、TSG3 の機能、レジスタについて説明します。

20.1 RH850/C1M-A TSG3 の特長

20.1.1 ユニット数

本製品は、以下に示すユニット数の TSG3 を搭載しています。

表 20.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	3	2
名称	TSG3n (n = 0, 1, 2)	TSG3n (n = 0, 1)

注： TSG32 は、EMU3 との連動機能、ENCA との連携機能および、外部パタン入力は非対応です

表 20.2 添字

添字	意味
n	本章では、TSG3 の各ユニットを「n」 (n = 0~2) で識別します。たとえば、TSG3n 制御レジスタ 0 は TSG3nCTL0 と記述します。
m, k	本章では、説明時の変数を「m」もしくは「k」で識別します。たとえば、特定のコンペアレジスタを TSG3nCMPmE と記述します。

20.1.2 レジスタベースアドレス

TSG3 のベースアドレスを以下の表に示します。

TSG3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 20.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TSG30_base>	FFE7 0000 _H
<TSG31_base>	FF87 1000 _H
<TSG32_base>	FFE7 2000 _H 注 1

注 1. RH850/C1M-A1 では対応していません

20.1.3 クロック供給

TSG3 のクロック供給を以下の表に示します。

表 20.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TSG3n	PCLK	CLKC_HSB (非変調高速周辺クロック)

20.1.4 割り込み要求

TSG3 の割り込み要求を以下の表に示します。

表 20.5 割り込み要求 (1/2)

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号 ^{注1}		DTS トリガ番号 ^{注1}	
			1st	2nd	1st	2nd
TSG30						
INTTSG30I0	TSG30 コンペアー致割り込み 0	232	—	—	—	—
INTTSG30I1	TSG30 コンペアー致割り込み 1	190	—	—	—	—
INTTSG30I2	TSG30 コンペアー致割り込み 2	191	—	—	—	—
INTTSG30I3	TSG30 コンペアー致割り込み 3	192	—	—	—	—
INTTSG30I4	TSG30 コンペアー致割り込み 4	193	—	—	—	—
INTTSG30I5	TSG30 コンペアー致割り込み 5	194	—	—	—	—
INTTSG30I6	TSG30 コンペアー致割り込み 6	195	—	—	—	—
INTTSG30I7	TSG30 コンペアー致割り込み 7	196	—	—	—	—
INTTSG30I8	TSG30 コンペアー致割り込み 8	197	—	—	—	—
INTTSG30I9	TSG30 コンペアー致割り込み 9	198	—	—	—	—
INTTSG30I10	TSG30 コンペアー致割り込み 10	199	—	—	—	—
INTTSG30I11	TSG30 コンペアー致割り込み 11	200	87	—	87	—
INTTSG30I12	TSG30 コンペアー致割り込み 12	201	88	—	88	—
INTTSG30IPEK	TSG30 山割り込み	233	89	—	89	—
INTTSG30IVLY	TSG30 谷割り込み	234	90	—	90	—
INTTSG30IER	TSG30 エラー割り込み	202	—	—	—	—
INTTSG30IWN	TSG30 ワーニング割り込み	203	—	—	—	—
TSG31						
INTTSG31I0	TSG31 コンペアー致割り込み 0	235	—	—	—	—
INTTSG31I1	TSG31 コンペアー致割り込み 1	204	—	—	—	—
INTTSG31I2	TSG31 コンペアー致割り込み 2	205	—	—	—	—
INTTSG31I3	TSG31 コンペアー致割り込み 3	206	—	—	—	—
INTTSG31I4	TSG31 コンペアー致割り込み 4	207	—	—	—	—
INTTSG31I5	TSG31 コンペアー致割り込み 5	208	—	—	—	—
INTTSG31I6	TSG31 コンペアー致割り込み 6	209	—	—	—	—
INTTSG31I7	TSG31 コンペアー致割り込み 7	210	—	—	—	—
INTTSG31I8	TSG31 コンペアー致割り込み 8	211	—	—	—	—
INTTSG31I9	TSG31 コンペアー致割り込み 9	212	—	—	—	—
INTTSG31I10	TSG31 コンペアー致割り込み 10	213	—	—	—	—
INTTSG31I11	TSG31 コンペアー致割り込み 11	214	91	—	91	—
INTTSG31I12	TSG31 コンペアー致割り込み 12	215	92	—	92	—
INTTSG31IPEK	TSG31 山割り込み	236	93	—	93	—
INTTSG31IVLY	TSG31 谷割り込み	237	94	—	94	—
INTTSG31IER	TSG31 エラー割り込み	216	—	—	—	—
INTTSG31IWN	TSG31 ワーニング割り込み	217	—	—	—	—

表 20.5 割り込み要求 (2/2)

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号 ^{注1}		DTS トリガ番号 ^{注1}	
			1st	2nd	1st	2nd
TSG32 ^{注2}						
INTTSG32I0	TSG32 コンペアー致割り込み 0	238	—	—	—	—
INTTSG32I1	TSG32 コンペアー致割り込み 1	218	—	—	—	—
INTTSG32I2	TSG32 コンペアー致割り込み 2	219	—	—	—	—
INTTSG32I3	TSG32 コンペアー致割り込み 3	220	—	—	—	—
INTTSG32I4	TSG32 コンペアー致割り込み 4	221	—	—	—	—
INTTSG32I5	TSG32 コンペアー致割り込み 5	222	—	—	—	—
INTTSG32I6	TSG32 コンペアー致割り込み 6	223	—	—	—	—
INTTSG32I7	TSG32 コンペアー致割り込み 7	224	—	—	—	—
INTTSG32I8	TSG32 コンペアー致割り込み 8	225	—	—	—	—
INTTSG32I9	TSG32 コンペアー致割り込み 9	226	—	—	—	—
INTTSG32I10	TSG32 コンペアー致割り込み 10	227	—	—	—	—
INTTSG32I11	TSG32 コンペアー致割り込み 11	228	95	—	95	—
INTTSG32I12	TSG32 コンペアー致割り込み 12	229	96	—	96	—
INTTSG32IPEK	TSG32 山割り込み	239	97	—	97	—
INTTSG32IVLY	TSG32 谷割り込み	240	98	—	98	—
INTTSG32IER	TSG32 エラー割り込み	230	—	—	—	—
INTTSG32IWN	TSG32 ワーニング割り込み	231	—	—	—	—

注 1. 1st : Primary Channel 、2nd : Secondary Channel

注 2. RH850/C1M-A1 では対応していません

— : 割り当てなし

20.1.5 リセット要因

TSG3 のリセット要因を以下に示します。

TSG3 は以下のリセット要因で初期化されます。

表 20.6 リセット要因

ユニット名	リセット要因
TSG3n	すべてのリセット要因

20.1.6 外部入出力信号

TSG3 の外部入出力信号を以下の表に示します。

表 20.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TSG30		
TSG30PTSI0-TSG30PTSI2	外部パタン入力	ENCA0E0, ENCA0E1, ENCA0EC ^{注1}
TSG30O0-TSG30O7	タイマ出力	TSG30O0-TSG30O7
TSG31		
TSG31PTSI0-TSG31PTSI2	外部パタン入力	ENCA1E0, ENCA1E1, ENCA1EC ^{注1}
TSG31O0-TSG31O7	タイマ出力	TSG31O0-TSG31O7
TSG32 ^{注2}		
TSG32O0-TSG32O7	タイマ出力	TSG32O0-TSG32O7

注 1. RH850/C1M-A 製品では外部パタン入力は ENCA_n 兼用入力と共用しています。

詳細仕様は、「24.2.2.21 PIC1BTSGHALLSEL — ホールセンサ入力選択レジスタ」を参照してください。

注 2. RH850/C1M-A1 では対応していません

20.2 概要

20.2.1 機能概要

TSG3n は、各種のモータ制御機能を持った 18 ビットタイマ／カウンタです。

- カウントクロック分解能：最小 12.5ns (カウントクロック 80MHz 時)
- 各種モータ制御方式に対応した動作モード
- リロードバッファ付きコンペアレジスタ
- 10 ビットのデッドタイムカウンタ
 - リロードバッファ付きデッドタイムカウンタ
 - 正相→逆相／逆相→正相で独立したデッドタイム値設定可能
- A/D 変換トリガ信号生成
 - コンペアレジスタ TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E で、3 種類の A/D 変換トリガを生成
 - A/D 変換トリガ
TSG3nADTRG0 信号／TSG3nADTRG1 信号個別の間引き機能：間引き率 1/1, 1/2, 1/4, 1/8
 - TSG3nADTRG0 信号でセット、TSG3nADTRG1 信号でリセットのトグル出力、または、ダイアグ出力の専用端子 (TSG3nO7)
- 割り込み間引き機能
 - 間引き率 1/1～1/32
- 強制出力停止機能
 - タイマオプション (TAPA) 機能を接続し、TSG3nO1～TSG3nO6 端子の出力ハイインピーダンス制御が可能
- コンペア値の設定
 - リロード (一斉書き換え機能) / 随時書き換え機能選択可能
- リロードモード
 - TSG3nCMP1E レジスタを書き込むことでリロード許可 (リロード要求フラグ TSG3nRSF をセット) となり、複数レジスタの同時転送可能
 - 山／谷／山および谷のリロードタイミングで転送可能
 - リロード要求フラグ TSG3nRSF を用意
 - DMA 転送可能なレジスタアドレス配置

リロード間引き機能

- HT-PWM モード
 - デッドタイム縮小を含む 0~100%デューティ PWM 出力可能
 - アップカウント側の PWM 出力に付加パルスあり/なしをコンペアレジスタの LSB で制御可能なため、ソフトウェア負荷なしで出力分解能を向上
- 120-DC 制御^{注1}
 - セミオートドライブ機能 (2 相エンコーダ/3 相エンコーダ/ENCA と連携したオフセットでトリガ発生可能)
- 3 相エンコーダ機能 (ホールセンサ等の信号を入力可能)^{注1}
- 出力端子 TSG3nO1~TSG3nO6 のアクティブレベルを端子ごとに設定可能
- フェイルセーフ機能 (ワーニング/エラー割り込み発生可能)
 - 正相/逆相における同時アクティブ出力検出機能
 - 3 相エンコーダの異常入力検出機能
- キャリア周期設定、PWM デューティ設定を、EMU3 から、直接転送可能^{注1}
- EMU3 から出力される矩形波と、TSG3 が生成する PWM を選択して出力する機能^{注1}

注1. TSG32 は、EMU3 との連動機能、ENCA との連携機能および、外部パターン入力は非対応です

備 考

本章では、アクティブレベルをハイレベルとして説明しています。

20.2.2 ブロック図

以下のブロック図は TSG3 の主要なコンポーネントを示しています。(EMU30, EMU31 注1)

注1. RH850/C1M-A1 では対応していません

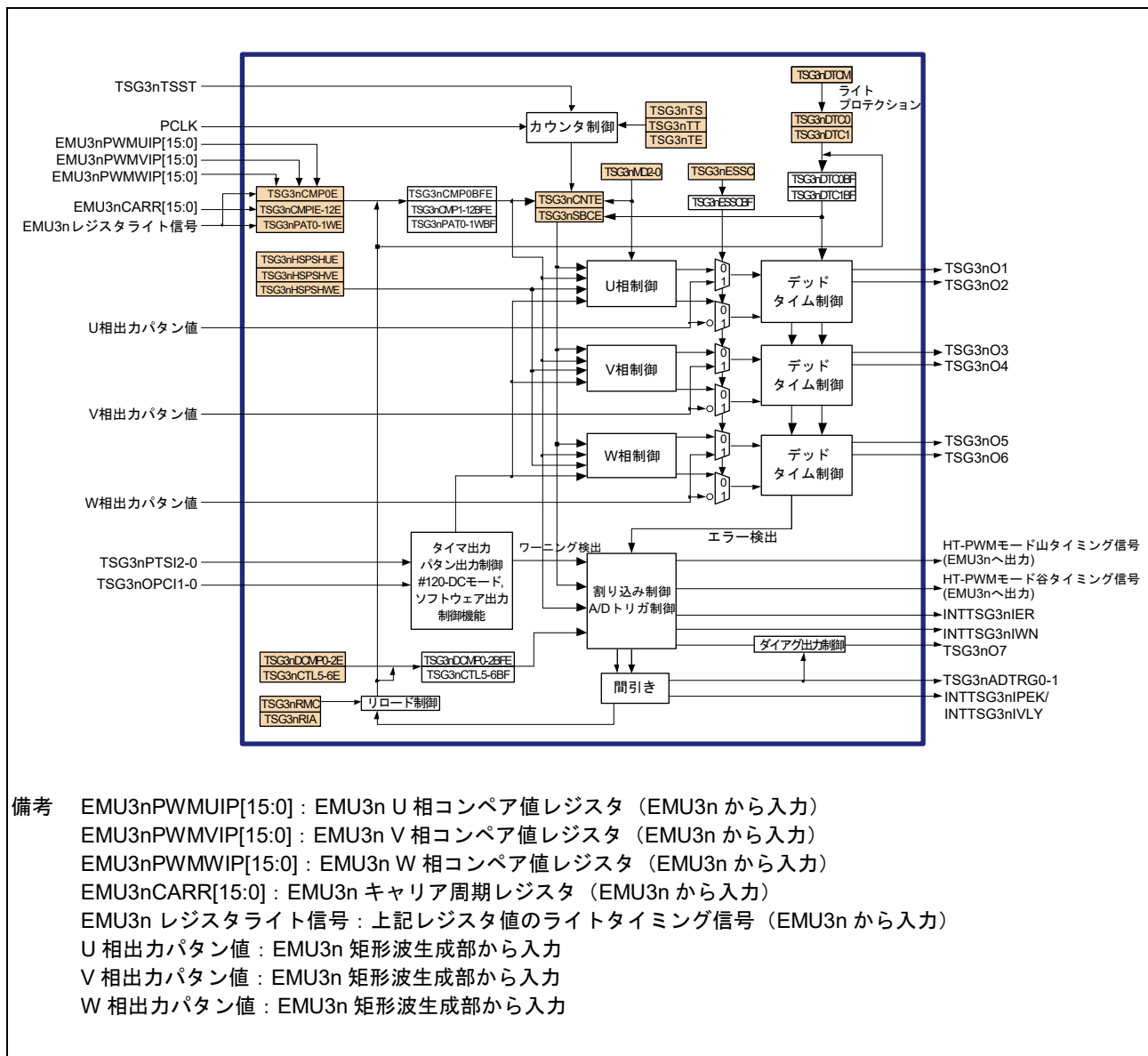


図 20.1 TSG3n のブロック図 (n = 0, 1)

- TSG3nTSST : 同時スタートトリガ (PIC1B から入力)

以下のブロック図は TSG3 の主要なコンポーネントを示しています。

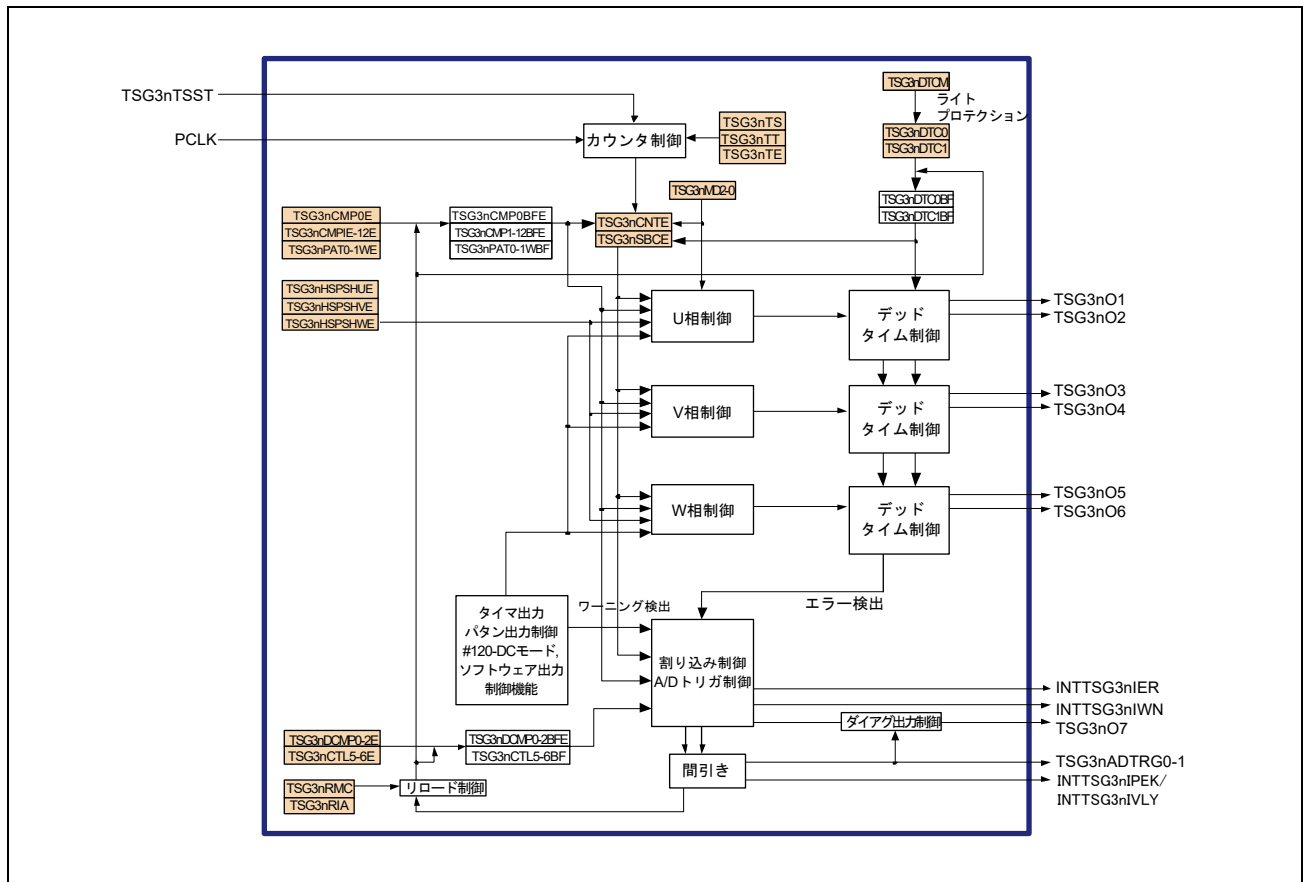


図 20.2 TSG3n のブロック図 (n = 2)

- TSG3nTSST : 同時スタートトリガ (PIC1B から入力)

20.3 レジスタ

20.3.1 レジスタ一覧

TSG3n のレジスタ一覧を以下の表に示します。

<TSG3n_base>は「[20.1.2 レジスタベースアドレス](#)」を参照してください。

表 20.8 レジスタ一覧 (1/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n 制御レジスタ 0	TSG3nCTL0	<TSG3n_base> + 208 _H	なし
TSG3n	TSG3n 制御レジスタ 1	TSG3nCTL1	<TSG3n_base> + 20C _H	なし
TSG3n	TSG3n 制御レジスタ 3	TSG3nCTL3	<TSG3n_base> + 004 _H	なし
TSG3n	TSG3n 制御レジスタ 4	TSG3nCTL4	<TSG3n_base> + 07C _H	あり
TSG3n	TSG3n 制御レジスタ 5	TSG3nCTL5	<TSG3n_base> + 008 _H	なし
TSG3n	TSG3n 制御レジスタ 6	TSG3nCTL6	<TSG3n_base> + 00C _H	なし
TSG3n	TSG3n 制御レジスタ 7	TSG3nCTL7	<TSG3n_base> + 218 _H	なし
TSG3n	TSG3n 制御レジスタ 8	TSG3nCTL8	<TSG3n_base> + 21C _H	なし
TSG3n	TSG3nI/O 制御レジスタ 0	TSG3nIOC0	<TSG3n_base> + 200 _H	なし
TSG3n	TSG3nI/O 制御レジスタ 1	TSG3nIOC1	<TSG3n_base> + 204 _H	なし
TSG3n	TSG3nI/O 制御レジスタ 2	TSG3nIOC2	<TSG3n_base> + 000 _H	なし
TSG3n	TSG3nI/O 制御レジスタ 3	TSG3nIOC3	<TSG3n_base> + 074 _H	あり
TSG3n	TSG3n ステータスレジスタ 0	TSG3nSTR0	<TSG3n_base> + 010 _H	なし
TSG3n	TSG3n ステータスレジスタ 1	TSG3nSTR1	<TSG3n_base> + 014 _H	なし
TSG3n	TSG3n ステータスレジスタ 2	TSG3nSTR2	<TSG3n_base> + 018 _H	なし
TSG3n	TSG3n ステータスクリアトリガレジスタ	TSG3nSTC	<TSG3n_base> + 01C _H	なし
TSG3n	TSG3n オプションレジスタ 0	TSG3nOPT0	<TSG3n_base> + 020 _H	なし
TSG3n	TSG3n オプションレジスタ 1	TSG3nOPT1	<TSG3n_base> + 024 _H	なし
TSG3n	TSG3n オプションレジスタ 2	TSG3nOPT2	<TSG3n_base> + 03C _H	なし
TSG3n	TSG3n オプション 2 バッファレジスタ	TSG3nOPT2BF	<TSG3n_base> + 0CC _H	なし
TSG3n	TSG3n トリガレジスタ 0	TSG3nTRG0	<TSG3n_base> + 030 _H	なし
TSG3n	TSG3n トリガレジスタ 1	TSG3nTRG1	<TSG3n_base> + 034 _H	なし
TSG3n	TSG3n トリガレジスタ 2	TSG3nTRG2	<TSG3n_base> + 038 _H	なし
TSG3n	TSG3n カウンタリードバッファレジスタ	TSG3nCNT	<TSG3n_base> + 028 _H	なし
TSG3n	TSG3n ビット拡張カウンタリードバッファレジスタ	TSG3nCNTE	<TSG3n_base> + 1A0 _H	なし
TSG3n	TSG3n サブカウンタリードバッファレジスタ	TSG3nSBC	<TSG3n_base> + 02C _H	なし
TSG3n	TSG3n ビット拡張 サブカウンタリードバッファレジスタ	TSG3nSBCE	<TSG3n_base> + 1A4 _H	なし
TSG3n	TSG3n コンペアレジスタ 0	TSG3nCMP0	<TSG3n_base> + 058 _H	あり
TSG3n	TSG3n ビット拡張 コンペアレジスタ 0	TSG3nCMP0E	<TSG3n_base> + 14C _H	あり
TSG3n	TSG3n コンペアレジスタ 1, 2	TSG3nCMP1W	<TSG3n_base> + 040 _H	あり
TSG3n	TSG3n コンペアレジスタ 5, 6	TSG3nCMP5W	<TSG3n_base> + 044 _H	あり
TSG3n	TSG3n コンペアレジスタ 9, 10	TSG3nCMP9W	<TSG3n_base> + 048 _H	あり
TSG3n	TSG3n コンペアレジスタ 3, 4	TSG3nCMP3W	<TSG3n_base> + 04C _H	あり
TSG3n	TSG3n コンペアレジスタ 7, 8	TSG3nCMP7W	<TSG3n_base> + 050 _H	あり
TSG3n	TSG3n コンペアレジスタ 11, 12	TSG3nCMP11W	<TSG3n_base> + 054 _H	あり
TSG3n	TSG3n コンペアレジスタ 1	TSG3nCMP1	<TSG3n_base> + 080 _H	あり
TSG3n	TSG3n コンペアレジスタ 2	TSG3nCMP2	<TSG3n_base> + 084 _H	あり
TSG3n	TSG3n コンペアレジスタ 3	TSG3nCMP3	<TSG3n_base> + 098 _H	あり

表 20.8 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n コンペアレジスタ 4	TSG3nCMP4	<TSG3n_base> + 09C _H	あり
TSG3n	TSG3n コンペアレジスタ 5	TSG3nCMP5	<TSG3n_base> + 088 _H	あり
TSG3n	TSG3n コンペアレジスタ 6	TSG3nCMP6	<TSG3n_base> + 08C _H	あり
TSG3n	TSG3n コンペアレジスタ 7	TSG3nCMP7	<TSG3n_base> + 0A0 _H	あり
TSG3n	TSG3n コンペアレジスタ 8	TSG3nCMP8	<TSG3n_base> + 0A4 _H	あり
TSG3n	TSG3n コンペアレジスタ 9	TSG3nCMP9	<TSG3n_base> + 090 _H	あり
TSG3n	TSG3n コンペアレジスタ 10	TSG3nCMP10	<TSG3n_base> + 094 _H	あり
TSG3n	TSG3n コンペアレジスタ 11	TSG3nCMP11	<TSG3n_base> + 0A8 _H	あり
TSG3n	TSG3n コンペアレジスタ 12	TSG3nCMP12	<TSG3n_base> + 0AC _H	あり
TSG3n	TSG3n ビット拡張 コンペアレジスタ 1	TSG3nCMP1E	<TSG3n_base> + 17C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 2	TSG3nCMP2E	<TSG3n_base> + 178 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 3	TSG3nCMP3E	<TSG3n_base> + 164 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 4	TSG3nCMP4E	<TSG3n_base> + 160 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 5	TSG3nCMP5E	<TSG3n_base> + 174 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 6	TSG3nCMP6E	<TSG3n_base> + 170 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 7	TSG3nCMP7E	<TSG3n_base> + 15C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 8	TSG3nCMP8E	<TSG3n_base> + 158 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 9	TSG3nCMP9E	<TSG3n_base> + 16C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 10	TSG3nCMP10E	<TSG3n_base> + 168 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 11	TSG3nCMP11E	<TSG3n_base> + 154 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 12	TSG3nCMP12E	<TSG3n_base> + 150 _H	あり
TSG3n	TSG3n ダイアグ出力用コンペアレジスタ 0, 1	TSG3nDCMP0W	<TSG3n_base> + 05C _H	あり
TSG3n	TSG3n ダイアグ出力用コンペアレジスタ 2	TSG3nDCMP2	<TSG3n_base> + 060 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0	TSG3nDCMP0E	<TSG3n_base> + 148 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 1	TSG3nDCMP1E	<TSG3n_base> + 144 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 2	TSG3nDCMP2E	<TSG3n_base> + 140 _H	あり
TSG3n	TSG3n パタンレジスタ 0	TSG3nPAT0W	<TSG3n_base> + 064 _H	あり
TSG3n	TSG3n パタンレジスタ 1	TSG3nPAT1W	<TSG3n_base> + 068 _H	あり
TSG3n	TSG3n デッドタイム制御レジスタ 0	TSG3nDTC0W	<TSG3n_base> + 06C _H	あり
TSG3n	TSG3n デッドタイム制御レジスタ 1	TSG3nDTC1W	<TSG3n_base> + 070 _H	あり
TSG3n	TSG3n HT-PWM U 相用コンペアレジスタ	TSG3nCMPU	<TSG3n_base> + 0B0 _H	あり
TSG3n	TSG3n HT-PWM V 相用コンペアレジスタ	TSG3nCMPV	<TSG3n_base> + 0B4 _H	あり
TSG3n	TSG3n HT-PWM W 相用コンペアレジスタ	TSG3nCMPW	<TSG3n_base> + 0B8 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM U 相用コンペアレジスタ	TSG3nCMPUE	<TSG3n_base> + 188 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM V 相用コンペアレジスタ	TSG3nCMPVE	<TSG3n_base> + 184 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM W 相用コンペアレジスタ	TSG3nCMPWE	<TSG3n_base> + 180 _H	あり
TSG3n	TSG3n SP-PWM U 相アクティブ幅レジスタ	TSG3nUPW	<TSG3n_base> + 0BC _H	あり
TSG3n	TSG3n SP-PWM V 相アクティブ幅レジスタ	TSG3nVPW	<TSG3n_base> + 0C0 _H	あり
TSG3n	TSG3n SP-PWM W 相アクティブ幅レジスタ	TSG3nWPW	<TSG3n_base> + 0C4 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM U 相アクティブ幅レジスタ	TSG3nUPWE	<TSG3n_base> + 198 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM V 相アクティブ幅レジスタ	TSG3nVPWE	<TSG3n_base> + 194 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM W 相アクティブ幅レジスタ	TSG3nWPWE	<TSG3n_base> + 190 _H	あり
TSG3n	TSG3n HSP-PWM W 相用シフトレジスタ	TSG3nHSPSHWE	<TSG3n_base> + 120 _H	あり
TSG3n	TSG3n HSP-PWM V 相用シフトレジスタ	TSG3nHSPSHVE	<TSG3n_base> + 124 _H	あり

表 20.8 レジスタ一覧 (3/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n HSP-PWM U 相用シフトレジスタ	TSG3nHSPSHUE	<TSG3n_base> + 128 _H	あり
TSG3n	TSG3n HSP-PWM W 相用コンペアレジスタ	TSG3nHSPCMWE	<TSG3n_base> + 12C _H	あり
TSG3n	TSG3n HSP-PWM V 相用コンペアレジスタ	TSG3nHSPCMVE	<TSG3n_base> + 130 _H	あり
TSG3n	TSG3n HSP-PWM U 相用コンペアレジスタ	TSG3nHSPCMUE	<TSG3n_base> + 134 _H	あり
TSG3n	TSG3n デッドタイムプロテクションレジスタ	TSG3nDTPR	<TSG3n_base> + 210 _H	なし

20.3.2 TSG3nCTL0 — TSG3n 制御レジスタ 0

ダイアグ出力用パルス幅、TSG3n の動作モードを設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 208_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG3nDWD	—	TSG3nMD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R/W	R/W	R/W

表 20.9 TSG3nCTL0 レジスタの内容

ビット位置	ビット名	機能																												
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																												
4	TSG3nDWD	ダイアグ出力用パルス幅を選択 0 : パルスを 8 クロック幅で出力 1 : パルスを 16 クロック幅で出力 このビットの設定は、ダイアグ出力許可 (TSG3nIOC1.TSG3nTGS = 1) 時に有効です。																												
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																												
2~0	TSG3nMD[2:0]	タイマモードを選択 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>TSG3nMD2</th> <th>TSG3nMD1</th> <th>TSG3nMD0</th> <th>タイマモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PWM モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>HT-PWM モード (HT-PWM)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>シフトパルス PWM モード (SP-PWM)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>120-DC モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>高精度シフトパルス PWM モード (HSP-PWM)</td> </tr> <tr> <td colspan="3" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	TSG3nMD2	TSG3nMD1	TSG3nMD0	タイマモード	0	0	0	PWM モード	0	0	1	HT-PWM モード (HT-PWM)	0	1	0	シフトパルス PWM モード (SP-PWM)	0	1	1	120-DC モード	1	0	0	高精度シフトパルス PWM モード (HSP-PWM)	上記以外			設定禁止
TSG3nMD2	TSG3nMD1	TSG3nMD0	タイマモード																											
0	0	0	PWM モード																											
0	0	1	HT-PWM モード (HT-PWM)																											
0	1	0	シフトパルス PWM モード (SP-PWM)																											
0	1	1	120-DC モード																											
1	0	0	高精度シフトパルス PWM モード (HSP-PWM)																											
上記以外			設定禁止																											

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

20.3.3 TSG3nCTL1 — TSG3n 制御レジスタ 1

TSG3n の各種フラグを制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 20CH

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBA2	TSG3n TBA1	TSG3n TBA0	TSG3n PPC	TSG3n PEC	TSG3n TDC	TSG3n NDC	TSG3n PRC	TSG3nPTC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.10 TSG3nCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15~10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TSG3nTBA2	TSG3nO5 端子と TSG3nO6 端子の同時アクティブの検出を選択します。 0 : TSG3nO5 端子と TSG3nO6 端子の同時アクティブを検出しない 1 : TSG3nO5 端子と TSG3nO6 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA2 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 2 (TSG3nTBF2) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
8	TSG3nTBA1	TSG3nO3 端子と TSG3nO4 端子の同時アクティブの検出を選択します。 0 : TSG3nO3 端子と TSG3nO4 端子の同時アクティブを検出しない 1 : TSG3nO3 端子と TSG3nO4 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA1 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 1 (TSG3nTBF1) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
7	TSG3nTBA0	TSG3nO1 端子と TSG3nO2 端子の同時アクティブの検出を選択します。 0 : TSG3nO1 端子と TSG3nO2 端子の同時アクティブを検出しない 1 : TSG3nO1 端子と TSG3nO2 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA0 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 0 (TSG3nTBF0) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
6	TSG3nPPC	TSG3nPTSI2~0, TSG3nOPF2~0 のパタン位相差異の検出 (TSG3nSTR2.TSG3nPPF) を制御します。 0 : 入力/出力パタンの差異検出禁止 1 : 入力/出力パタンの差異検出許可
5	TSG3nPEC	TSG3nPTSI2~0 のパタンエラーの検出 (TSG3nSTR2.TSG3nPEF) を制御します。 0 : TSG3nPTSI2~0 端子のパタンエラー検出を禁止 1 : TSG3nPTSI2~0 端子のパタンエラー検出を許可
4	TSG3nTDC	TSG3nOPCI0, TSG3nOPCI1 の同時トリガの検出 (TSG3nSTR2.TSG3nTDF) を制御します。 0 : TSG3nOPCI0, TSG3nOPCI1 の同時トリガ検出を禁止 1 : TSG3nOPCI0, TSG3nOPCI1 の同時トリガ検出を許可
3	TSG3nNDC	TSG3nPTSI2~0 のノイズ発生 (同時に 2 端子以上の変化) の検出 (TSG3nSTR2.TSG3nNDF) を制御します。 0 : TSG3nPTSI2~0 のノイズ発生の検出を禁止 1 : TSG3nPTSI2~0 のノイズ発生の検出を許可

表 20.10 TSG3nCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
2	TSG3nPRC	TSG3nPTSI2~0 のパタンの反転の検出 (TSG3nSTR2.TSG3nPRF) を制御します。 0 : TSG3nPTSI2~0 のパタンの反転の検出を禁止 1 : TSG3nPTSI2~0 のパタンの反転の検出を許可															
1, 0	TSG3nPTC[1:0]	TSG3nOPCI1, 0 のトリガ間における TSG3nPTSI2~0 の端子の異常トグルの検出 (TSG3nSTR2.TSG3nPTF) を制御します。 <table border="1" data-bbox="507 483 1422 712"> <thead> <tr> <th>TSG3nPTC1</th> <th>TSG3nPTC0</th> <th>タイマモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TSG3nPTSI2~0 の端子異常を検出しません</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>TSG3nPTSI2~0 の端子異常を検出します</td> </tr> <tr> <td>1</td> <td>1</td> <td>TSG3nPTSI2~0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます</td> </tr> </tbody> </table>	TSG3nPTC1	TSG3nPTC0	タイマモード	0	0	TSG3nPTSI2~0 の端子異常を検出しません	0	1		1	0	TSG3nPTSI2~0 の端子異常を検出します	1	1	TSG3nPTSI2~0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます
TSG3nPTC1	TSG3nPTC0	タイマモード															
0	0	TSG3nPTSI2~0 の端子異常を検出しません															
0	1																
1	0	TSG3nPTSI2~0 の端子異常を検出します															
1	1	TSG3nPTSI2~0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます															

注 意

1. TSG3nDTC0 または TSG3nDTC1 を 0000_H (デッドタイム無し) で使用する場合は、TSG3nTBA2~0 ビットは 0 にしてください。
2. このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

20.3.4 TSG3nCTL3 — TSG3n 制御レジスタ 3

コンペアレジスタの書き換え方法を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 004H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3nRIA	TSG3nRMC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 20.11 TSG3nCTL3 レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	TSG3nRIA	コンペアレジスタのリロードタイミングを選択 0: リロードタイミングは、山リロードタイミング (TSG3nCTL4.TSG3nPRE にて設定) と谷リロードタイミング (TSG3nCTL4.TSG3nVRE にて設定) 時に発生 1: リロードタイミングは、山割り込みタイミングと谷割り込みタイミング時に発生 このビットの設定は、リロードモード (TSG3nRMC = 0) 時に有効です。
0	TSG3nRMC	コンペアレジスタの転送タイミングを選択 0: リロードモード (一斉書き換え機能) リロード対象レジスタへライトするとリロードが許可され、次のリロードタイミングで一斉に更新されます (リロード)。リロード対象以外のレジスタへライトしてもリロードは許可されません。 リロード対象レジスタは「20.3.1 レジスタ一覧」を参照してください。 1: 随時書き換えモード 各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタに書き込むと随時ライトアクセスした値に更新されます。また、TSG3nRSF は、クリアされます。 120-DC モードおよび HSP-PWM モードでは、TSG3nRMC を 1 にセットしないでください。

20.3.5 TSG3nCTL4 — TSG3n 制御レジスタ 4

山割り込み、谷割り込みとリロードタイミングを制御します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 07CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3n PRE	TSG3n VRE	TSG3n PIE	TSG3n VIE	TSG3nRCC[04:00]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.12 TSG3nCTL4 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TSG3nPRE	山リロードタイミングの許可/禁止を選択します。 0: 18 ビットカウンタの山タイミングにおけるリロード動作を禁止する 1: 18 ビットカウンタの山タイミングにおけるリロード動作を許可する <ul style="list-style-type: none"> 山リロードタイミングは、HT-PWM モード時の 18 ビットカウンタの山タイミングと HT-PWM モード以外のコンペアー一致による 18 ビットカウンタのクリアタイミングを示します。 18 ビットカウンタの山タイミングにおけるリロード動作を禁止 (TSG3nPRE = 0) した場合、HT-PWM 以外のモードでは、リロードが発生しません。
7	TSG3nVRE	谷リロードタイミングの許可/禁止を選択します。 0: 18 ビットカウンタの谷タイミングにおけるリロード動作を禁止する 1: 18 ビットカウンタの谷タイミングにおけるリロード動作を許可する このビットの設定は、HT-PWM モードのみ有効です。
6	TSG3nPIE	山割り込み (INTTSG3nIPEK) の発生許可/禁止を選択します。 0: 18 ビットカウンタの山タイミングにおける山割り込み (INTTSG3nIPEK) の発生禁止。割り込み間引きの対象とはなりません。 1: 18 ビットカウンタの山タイミングにおける山割り込み (INTTSG3nIPEK) の発生許可。割り込み間引きの対象となります。
5	TSG3nVIE	谷割り込み (INTTSG3nIVLY) の発生許可/禁止を選択します。 0: 18 ビットカウンタの谷タイミングにおける谷割り込み (INTTSG3nIVLY) の発生禁止。割り込み間引きの対象とはなりません。 1: 18 ビットカウンタの谷タイミングにおける谷割り込み (INTTSG3nIVLY) の発生許可。割り込み間引きの対象となります。 このビットの設定は、HT-PWM モードのみ有効です。

表 20.12 TSG3nCTL4 レジスタの内容 (2/2)

ビット位置	ビット名	機能					
4~0	TSG3nRCC[04:00]	割り込み (INTTSG3nIPEK、INTTSG3nIVLY) とリロードの間引き率を指定します。					
		TSG3nRCC04	TSG3nRCC03	TSG3nRCC02	TSG3nRCC01	TSG3nRCC00	間引き率
		0	0	0	0	0	間引きなし
		0	0	0	0	1	1/2
		0	0	0	1	0	1/3
		0	0	0	1	1	1/4
	
	
	
		1	1	1	0	1	1/30
		1	1	1	1	0	1/31
1	1	1	1	1	1/32		
タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL4 にライトアクセス (TSG3nRCC[04:00]への同一値を含む) した場合、割り込み間引きカウンタはクリアされます。							

20.3.6 TSG3nCTL5 — TSG3n 制御レジスタ 5

A/D 変換トリガ出力 (TSG3nADTRG0) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nACC [01:00]	TSG3n AT09	TSG3n AT08	TSG3n AT07	TSG3n AT06	TSG3n AT05	TSG3n AT04	TSG3n AT03	TSG3n AT02	TSG3n AT01	TSG3n AT00	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.13 TSG3nCTL5 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
15~12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
11, 10	TSG3nACC[01:00]	<p>A/D 変換トリガ (TSG3nADTRG0) の間引き率を指定します。</p> <table border="1"> <thead> <tr> <th>TSG3nACC01</th> <th>TSG3nACC00</th> <th>間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>間引きなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1/8</td> </tr> </tbody> </table> <p>タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL5 にライトアクセス (TSG3nACC01, TSG3nACC00 への同一値を含む) した場合、間引きカウンタはクリアされます。</p>	TSG3nACC01	TSG3nACC00	間引き率	0	0	間引きなし	0	1	1/2	1	0	1/4	1	1	1/8
TSG3nACC01	TSG3nACC00	間引き率															
0	0	間引きなし															
0	1	1/2															
1	0	1/4															
1	1	1/8															
9	TSG3nAT09	<p>18 ビットサブカウンタがアップカウントからダウンカウントへ切り替わる (山) タイミングで A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。</p> <p>0 : 18 ビットサブカウンタの山タイミングを A/D 変換トリガとしない 1 : 18 ビットサブカウンタの山タイミングを A/D 変換トリガとする</p> <ul style="list-style-type: none"> TSG3nAT09 ビットは、HT-PWM モード時のみ、TSG3nAT09 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT09 = 0 に設定してください。 TSG3nDTC0W ≠ 0000_H、TSG3nDTC1W = 0000_H の場合に、TSG3nAT09 = 1 に設定しないでください。18 ビットサブカウンタの山タイミングでは A/D 変換トリガが発生しません。 															
8	TSG3nAT08	<p>18 ビットサブカウンタがダウンカウントからアップカウントへ切り替わる (谷) タイミングでの A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。</p> <p>0 : 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとしない 1 : 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとする</p> <ul style="list-style-type: none"> TSG3nAT08 ビットは、HT-PWM モード時のみ、TSG3nAT08 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT08 = 0 に設定してください。 TSG3nDTC0W = 0000_H、TSG3nDTC1W ≠ 0000_H の場合に、TSG3nAT08 = 1 に設定しないでください。18 ビットサブカウンタの谷タイミングでは A/D 変換トリガが発生しません。 															
7	TSG3nAT07	<p>18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。</p> <p>0 : 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする</p> <p>このビットの設定は、HT-PWM モード時のみ、TSG3nAT07 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT07 = 0 に設定してください。</p>															

表 20.13 TSG3nCTL5 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	TSG3nAT06	18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする
5	TSG3nAT05	18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT05 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT05 = 0 に設定してください。
4	TSG3nAT04	18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする
3	TSG3nAT03	18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT03 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT03 = 0 に設定してください。
2	TSG3nAT02	18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする
1	TSG3nAT01	18 ビットカウンタがアップカウントからダウンカウントへ切り替わるタイミング (山割り込み) で、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとしない 1 : 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとする
0	TSG3nAT00	18 ビットカウンタがダウンカウントからアップカウントへ切り替わるタイミング (谷割り込み) で、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0 : 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとしない 1 : 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT00 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT00 = 0 に設定してください。

20.3.7 TSG3nCTL6 — TSG3n 制御レジスタ 6

A/D 変換トリガ出力 (TSG3nADTRG1) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 00CH

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nACC [11:10]	TSG3n AT19	TSG3n AT18	TSG3n AT17	TSG3n AT16	TSG3n AT15	TSG3n AT14	TSG3n AT13	TSG3n AT12	TSG3n AT11	TSG3n AT10	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.14 TSG3nCTL6 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
15~12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。															
11、10	TSG3nACC[11:10]	<p>A/D 変換トリガ (TSG3nADTRG1) の間引き率を指定します。</p> <table border="1"> <thead> <tr> <th>TSG3nACC11</th> <th>TSG3nACC10</th> <th>間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>間引きなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1/8</td> </tr> </tbody> </table> <p>タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL6 にライトアクセス (TSG3nACC11, TSG3nACC10 への同一値を含む) した場合、間引きカウンタはクリアされます。</p>	TSG3nACC11	TSG3nACC10	間引き率	0	0	間引きなし	0	1	1/2	1	0	1/4	1	1	1/8
TSG3nACC11	TSG3nACC10	間引き率															
0	0	間引きなし															
0	1	1/2															
1	0	1/4															
1	1	1/8															
9	TSG3nAT19	<p>18 ビットサブカウンタがアップカウントからダウンカウントへ切り替わる (山) タイミングで A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。</p> <p>0 : 18 ビットサブカウンタの山タイミングを A/D 変換トリガとしない 1 : 18 ビットサブカウンタの山タイミングを A/D 変換トリガとする</p> <ul style="list-style-type: none"> TSG3nAT19 ビットは、HT-PWM モード時のみ、TSG3nAT19 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT19 = 0 に設定してください。 TSG3nDTC0W ≠ 0000H、TSG3nDTC1W = 0000H の場合に、TSG3nAT19 = 1 に設定しないでください。18 ビットサブカウンタの山タイミングでは A/D 変換トリガが発生しません。 															
8	TSG3nAT18	<p>18 ビットサブカウンタがダウンカウントからアップカウントへ切り替わる (谷) タイミングでの A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。</p> <p>0 : 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとしない 1 : 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとする</p> <ul style="list-style-type: none"> TSG3nAT18 ビットは、HT-PWM モード時のみ、TSG3nAT18 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT18 = 0 に設定してください。 TSG3nDTC0W = 0000H、TSG3nDTC1W ≠ 0000H の場合に、TSG3nAT18 = 1 に設定しないでください。18 ビットサブカウンタの谷タイミングでは A/D 変換トリガが発生しません。 															
7	TSG3nAT17	<p>18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。</p> <p>0 : 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする</p> <p>このビットの設定は、HT-PWM モード時のみ、TSG3nAT17 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT17 = 0 に設定してください。</p>															

表 20.14 TSG3nCTL6 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	TSG3nAT16	18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする
5	TSG3nAT15	18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT15 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT15 = 0 に設定してください。
4	TSG3nAT14	18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする
3	TSG3nAT13	18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT13 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT13 = 0 に設定してください。
2	TSG3nAT12	18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1 : 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする
1	TSG3nAT11	18 ビットカウンタがアップカウントからダウンカウントへ切り替わるタイミング (山割り込み) で、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとしない 1 : 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとする
0	TSG3nAT10	18 ビットカウンタがダウンカウントからアップカウントへ切り替わるタイミング (谷割り込み) で、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0 : 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとしない 1 : 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT10 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT10 = 0 に設定してください。

20.3.8 TSG3nCTL7 — TSG3n 制御レジスタ 7

SP-PWM モードの動作開始 (TSG3nTE が 0 から 1) と、リスタート時の PWM 出力 TSG3nO1~6 の出力レベルを設定します。

このレジスタは SP-PWM モード (TSG3nMD2~0 = 010)、かつ動作停止時 (TSG3nTE = 0) のみ設定可能です。その他のモード (PWM モード、HT-PWM モード、120-DC モード、HSP-PWM モード) のとき、または動作中 (TSG3nTE = 1) に、このレジスタを書き換えないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 218_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG3nSPSTL2	TSG3nSPSTL1	TSG3nSPSTL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 20.15 TSG3nCTL7 レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TSG3nSPSTL2	SP-PWM モード開始レベル制御ビット 2 0 : SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO5 (W 相) はクリア、TSG3nO6 (WB 相) はセットされる。 1 : SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO5 (W 相) はセット、TSG3nO6 (WB 相) はクリアされる。
1	TSG3nSPSTL1	SP-PWM モード開始レベル制御ビット 1 0 : SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO3 (V 相) はクリア、TSG3nO4 (VB 相) はセットされる。 1 : SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO3 (V 相) はセット、TSG3nO4 (VB 相) はクリアされる。
0	TSG3nSPSTL0	SP-PWM モード開始レベル制御ビット 0 0 : SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO1 (U 相) はクリア、TSG3nO2 (UB 相) はセットされる。 1 : SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO1 (U 相) はセット、TSG3nO2 (UB 相) はクリアされる。

備 考

TSG3nSPSTL2~0 ビットの設定に応じて、動作開始時およびリスタート時に TSG3nO1~6 の出力が変化しますが、その際にも設定したデッドタイムは必ず挿入されます。

20.3.9 TSG3nCTL8 — TSG3n 制御レジスタ 8

このレジスタは、120-DC モードの入力パターン変更時のタイマ出力のタイミングを設定するレジスタです。

このレジスタは 120-DC モード (TSG3nMD2~0=011)、かつ動作停止時 (TSG3nTE=0) のみ設定可能です。その他のモード (PWM モード、SP-PMW モード、HT-PWM モード、HSP-PWM モード) のとき、または動作中 (TSG3nTE=1) にこのレジスタを書き換えしないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 21CH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nS120DCO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 20.16 TSG3nCTL8 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSG3nS120DCO	120-DC モード制御ビット 0 0: 120-DC モードで入力パターンが変化すると、メインカウンタ (TSG3nCnTE) をクリアし、パターン変更を即時タイマ出力に反映する。 1: 120-DC モードで入力パターンが変化すると、メインカウンタ (TSG3nCnTE) と TSG3nCnMP0E の一致を待ってから (次のタイマ周期から)、パターン変更をタイマ出力に反映する。

注 意

120DC モードで TSG3nS120DCO = 1 に設定する場合は、TSG3nOPT0 の TSG3nSOC と、TSG3nOPT2 の TSG3nESSC は必ず “0” に設定してください。

また、タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) は、TSG3nOPT0 の TSG3nSTE, TSG3nPOT を変更しないでください。

20.3.10 TSG3nIOC0 — TSG3nI/O 制御レジスタ 0

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 200_H

リセット後の値 7E_H

ビット	7	6	5	4	3	2	1	0
	—	TSG3nTOE6	TSG3nTOE5	TSG3nTOE4	TSG3nTOE3	TSG3nTOE2	TSG3nTOE1	—
リセット後の値	0	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 20.17 TSG3nIOC0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~1	TSG3nTOE6-TSG3nTOE1	TSG3nIOC2 による TSG3nO6~1 の制御許可、禁止を設定します。 1 の場合は、TSG3nIOC2 の書き換えは無視されます。 0 : 許可 1 : 禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

20.3.11 TSG3nIOC1 — TSG3nI/O 制御レジスタ 1

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 204_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG3nPTS	TSG3nEOC	TSG3nWOC	TSG3nTGS	TSG3nTOS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 20.18 TSG3nIOC1 レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き換えてください。
4	TSG3nPTS	TSG3nPTSIO~2 のエッジ検出信号 (TSG3nPTE) と 2 相エンコーダカウント信号 (TSG3nPEC) の出力許可/禁止を選択します。 0 : TSG3nPTSIO~2 のエッジ検出でトルク信号の出力を禁止 1 : TSG3nPTSIO~2 のエッジ検出でトルク信号の出力を許可
3	TSG3nEOC	モータ制御時のエラー状態の検出を選択します。 0 : エラー割り込み (INTTSG3nIER) の発生を禁止する 1 : エラー割り込み (INTTSG3nIER) の発生を許可する エラー割り込み制御に関する詳細は「 20.4.6.1 エラー割り込み機能 」を参照してください。
2	TSG3nWOC	モータ制御時のワーニングの検出を選択します。 0 : ワーニング割り込み (INTTSG3nIWN) の発生を禁止する 1 : ワーニング割り込み (INTTSG3nIWN) の発生を許可する ワーニング割り込み制御に関する詳細は「 20.4.6.2 ワーニング割り込み機能 」を参照してください。
1	TSG3nTGS	A/D 変換トリガ診断出力 (TSG3nO7) 信号を選択します。 0 : A/D 変換トリガ出力を選択 1 : ダイアグ出力を選択
0	TSG3nTOS	タイマアップ/ダウンステータス出力 (TSG3nO0) 信号を選択します。 0 : 18 ビットカウンタのアップ/ダウンカウントフラグを出力 1 : 18 ビットサブカウンタのアップ/ダウンカウントフラグを出力 TSG3nTOS = 0 の場合、TSG3nSTR0.TSG3nCUF の状態を TSG3nO0 へ出力します。また、TSG3nTOS = 1 の場合、TSG3nSTR0.TSG3nSUF の状態を TSG3nO0 へ出力します。 このビットの設定は、HT-PWM モードのみ有効です。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

20.3.12 TSG3nIOC2 — TSG3nI/O 制御レジスタ 2

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 000H

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TSG3nOL6	TSG3nOL5	TSG3nOL4	TSG3nOL3	TSG3nOL2	TSG3nOL1	—	—	TSG3nTO6	TSG3nTO5	TSG3nTO4	TSG3nTO3	TSG3nTO2	TSG3nTO1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 20.19 TSG3nIOC2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14~9	TSG3nOL6-TSG3nOL1	TSG3nO6-TSG3nO1 出力のアクティブレベルを設定します。 0: アクティブレベルはハイレベル 1: アクティブレベルはロウレベル
8~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~1	TSG3nTO6-TSG3nTO1	TSG3nO6-TSG3nO1 の出力バッファのラッチレベルを設定します。 0: 出力バッファのラッチレベルはロウレベル 1: 出力バッファのラッチレベルはハイレベル
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

カウンタを停止 (TSG3nSTR0.TSG3nTE = 0) とした場合、TSG3nO1~6 端子は出力状態を保持します。出力レベルを変更する場合は TSG3nIOC0.TSG3nTOEm ビットを 0 にし TSG3nTOm ビットにより変更する必要があります。

このレジスタの設定は、TSG3nIOC0.TSG3nTOEm = 0 (m = 1~6) のとき、書き換え可能です。

備 考

タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) 、かつ、TSG3nIOC2 書き換えによる TSG3nOm の制御許可 (TSG3nIOC0.TSG3nTOEm = 0) 時に TSG3nIOC2 の TSG3nOLm と TSG3nTOm により TSG3nOm に以下の任意のレベルを出力することができます。

TSG3nOLm	TSG3nTOm	TSG3nOm の出力レベル
0	0	ロウレベル
0	1	ハイレベル
1	0	ハイレベル
1	1	ロウレベル

20.3.13 TSG3nIOC3 — TSG3nI/O 制御レジスタ 3

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TSG3n TOL6	TSG3n TOL5	TSG3n TOL4	TSG3n TOL3	TSG3n TOL2	TSG3n TOL1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 20.20 TSG3nIOC3 レジスタの内容

ビット位置	ビット名	機能
31~7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~1	TSG3nTOL6- TSG3nTOL1	出力のセット/クリアレベルを制御します。 0 : 通常レベル出力 1 : 反転レベル出力 このビットの設定は、出力開始時から反映され、出力レベルの変更は、変更後の次のコンペア一致から出力レベルが反映されます。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

HT-PWM および HSP-PWM モードのときは TSG3nTOL6-TSG3nTOL1 は “0” としてください。

20.3.14 TSG3nSTR0 — TSG3n ステータスレジスタ 0

各種フラグを格納します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nCUF	TSG3nSUF	TSG3nRSF	TSG3nTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 20.21 TSG3nSTR0 レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。
3	TSG3nCUF	18 ビットカウンタのカウンタ状態を示すフラグです。 0 : 18 ビットカウンタはアップカウンタ状態 1 : 18 ビットカウンタはダウンカウンタ状態 TSG3nCUF は HT-PWM モード時のみ有効です。それ以外のモードの場合は、無効 (TSG3nCUF = 0) です。
2	TSG3nSUF	18 ビットサブカウンタのカウンタ状態を示すフラグです。 0 : 18 ビットサブカウンタがアップカウンタ中 1 : 18 ビットサブカウンタがダウンカウンタ中 <ul style="list-style-type: none"> TSG3nSUF は、18 ビットサブカウンタのカウンタ動作が 00000_H から (TSG3nCMP0E 値 - 00002_H) までのカウンタをアップカウンタ、TSG3nCMP0E 値から 00002_H までのカウンタをダウンカウンタとして検出します。 このビットは、HT-PWM モードの場合のみ有効となります。
1	TSG3nRSF	リロード要求の有無を示すフラグです。 0 : リロード要求なし、またはリロード完了 1 : リロード要求あり <ul style="list-style-type: none"> TSG3nRMC = 0 時のみ有効です。 このビットは、次に転送するデータが保留されていることを示します。 このビットは、リロード対象レジスタへのライトで “1” にセットされ、リロード完了で “0” にクリアされます。 HT-PWM モード時に TSG3nRMC を “0” から “1” に変更した場合、TSG3nRSF は、“0” にクリアされます。 リロード対象レジスタは「20.3.1 レジスタ一覧」を参照してください。
0	TSG3nTE	TSG3n の動作状態を示します。 0 : 停止中 1 : 動作中 このビットは、TSG3nTRG0.TSG3nTS = 1 でセットされ、TSG3nTRG1.TSG3nTT = 1 でクリアされます。

20.3.15 TSG3nSTR1 — TSG3n ステータスレジスタ 1

各種フラグを格納します。







アクセス 8ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 014_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nTSF	TSG3nOPF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 20.22 TSG3nSTR1 レジスタの内容

ビット位置	ビット名	機能						
7~4	予約ビット	リードした場合はリセット後の値が読めます。						
3	TSG3nTSF	<p>TSG3nPTSI0~2 で検出したパタンの変化順序を示すフラグです。</p> <p>0 : 正転の順番で TSG3nPTSI0~2 が入力 1 : 逆転の順番で TSG3nPTSI0~2 が入力</p> <table border="1"> <tr> <td>正転</td> <td></td> </tr> <tr> <td>逆転</td> <td></td> </tr> <tr> <td>TSG3nPTSI2- TSG3nPTSI0</td> <td>[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]</td> </tr> </table> <p>正転、逆転を検出できるのは、TSG3nTRG0.TSG3nTS = 1 に設定後、1 回目の TSG3nPTSI0~2 の変化からです。詳細は「20.4.3.5 パタン順序検出フラグ (TSG3nTSF)」「(b) 入力パタン変化の順序検出」を参照してください。</p>	正転		逆転		TSG3nPTSI2- TSG3nPTSI0	[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]
正転								
逆転								
TSG3nPTSI2- TSG3nPTSI0	[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]							
2~0	TSG3nOPF[2:0]	タイマ出力 (TSG3nO1-TSG3nO6 端子) のパタン出力を示すフラグです。						

20.3.16 TSG3nSTR2 — TSG3n ステータスレジスタ 2

各種フラグを格納します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBF2	TSG3n TBF1	TSG3n TBF0	TSG3n PPF	TSG3n PEF	TSG3n TDF	TSG3n NDF	TSG3n PRF	TSG3n PTF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.23 TSG3nSTR2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15~10	予約ビット	リードした場合はリセット後の値が読めます。
9	TSG3nTBF2	<p>TSG3nCTL1.TSG3nTBA2 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0 : 正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブになっていない 1 : 正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> ● TSG3nTBF2 は、正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR2 に “1” をライトすることで TSG3nTBF2 をクリアできます。 ● TSG3nTBA2 = 0 の場合は、同時アクティブを検出しません。
8	TSG3nTBF1	<p>TSG3nCTL1.TSG3nTBA1 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0 : 正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブになっていない 1 : 正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> ● TSG3nTBF1 は、正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR1 に “1” をライトすることで TSG3nTBF1 をクリアできます。 ● TSG3nTBA1 = 0 の場合は、同時アクティブを検出しません。
7	TSG3nTBF0	<p>TSG3nCTL1.TSG3nTBA0 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0 : 正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブになっていない 1 : 正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> ● TSG3nTBF0 は、正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR0 に “1” をライトすることで TSG3nTBF0 をクリアできます。 ● TSG3nTBA0 = 0 の場合は、同時アクティブを検出しません。
6	TSG3nPPF	<p>入力パタン (TSG3nPTSI0~2) と出力パタン (TSG3nO1-TSG3nO6) で比較し、差異を検出するフラグです。</p> <p>0 : TSG3nPTSI0~2 と TSG3nO1-TSG3nO6 出力間で位相差異を検出していない 1 : TSG3nPTSI0~2 と TSG3nO1-TSG3nO6 出力間で位相差異を検出</p> <p>TSG3nPPF は、入力/出力パタンの差異を検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPPR に “1” をライトすることで TSG3nPPF をクリアできます。</p>

表 20.23 TSG3nSTR2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	TSG3nPEF	<p>入力異常 (TSG3nPTSI0~2 に 000_B または 111_B が入力されたこと) を検出するフラグです。 0 : TSG3nPTSI0~2 に 000_B または 111_B は入力されていない 1 : TSG3nPTSI0~2 に 000_B または 111_B が入力されたことを検出</p> <p>TSG3nPEF は、TSG3nPTSI0~2 に 000_B または 111_B が入力されたことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPER に “1” をライトすることで TSG3nPEF をクリアできます。 TSG3nPEF は、TSG3nCTL1.TSG3nPEC = 1 の場合、有効となります。</p>
4	TSG3nTDF	<p>TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出するフラグです。 0 : TSG3nOPCI0, TSG3nOPCI1 のトリガは同時に発生していない 1 : TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出</p> <p>TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nTDR に “1” をライトすることで TSG3nTDF をクリアできます。 TSG3nTDF は、TSG3nCTL1.TSG3nTDC = 1 の場合、有効となります。</p>
3	TSG3nNDF	<p>TSG3nPTSI0~2 にノイズが発生したことを検出するフラグです。 0 : TSG3nPTSI0~2 に 2 端子以上の同時変化によるノイズは発生していない 1 : TSG3nPTSI0~2 に 2 端子以上の同時変化によるノイズが発生したことを検出</p> <p>TSG3nNDF は、TSG3nPTSI0~2 で同時に 2 端子以上の値が変化したことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nNDR に “1” をライトすることで TSG3nNDF をクリアできます。 TSG3nNDF は、TSG3nCTL1.TSG3nNDC = 1 の場合、有効となります。</p>
2	TSG3nPRF	<p>TSG3nPTSI0~2 の入力順序が反転したことを検出するフラグです。 0 : TSG3nPTSI0~2 の入力順序が反転していない 1 : TSG3nPTSI0~2 の入力順序が反転したことを検出</p> <p>TSG3nPRF は、TSG3nSTR1.TSG3nTSF の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。 また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPRR に “1” をライトすることで TSG3nPRF をクリアできます。 TSG3nTRG0.TSG3nTS = 1 に設定後、2 回目の TSG3nPTSI0~2 変化タイミングから検出可能です。 TSG3nPRF は、TSG3nCTL1.TSG3nPRC = 1 の場合、有効となります。</p>
1	TSG3nPTF	<p>TSG3nPTSI0~2 の異常トグルを検出するフラグです。 0 : TSG3nPTSI0~2 の異常トグルを検出していない 1 : TSG3nPTSI0~2 の異常トグルを検出</p> <p>TSG3nPTF は、TSG3nOPCI0 のトリガ間に TSG3nPTSI0~2 (TSG3nPTE 信号トグル) が 3 回以上変化した場合、または、TSG3nOPCI1 のトリガ間に TSG3nPTSI0~2 (TSG3nPTE 信号トグル) が 3 回以上変化した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPTR に “1” をライトすることで TSG3nPTF をクリアできます。 TSG3nPTF は、TSG3nCTL1.TSG3nPTC[1:0] = 10_B、または 11_B の場合、有効となります。</p>
0	予約ビット	リードした場合はリセット後の値が読めます。

20.3.17 TSG3nSTC — TSG3n ステータスクリアトリガレジスタ

各種フラグを制御します。

アクセス 16 ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 01C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBR2	TSG3n TBR1	TSG3n TBR0	TSG3n PPR	TSG3n PER	TSG3n TDR	TSG3n NDR	TSG3n PRR	TSG3n PTR	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W	W	W	W	W	W	W	W	R

表 20.24 TSG3nSTC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15~10	予約ビット	ライトする場合はリセット後の値（または固定値）を書いてください。
9	TSG3nTBR2	TSG3nSTR2.TSG3nTBF2 をクリアするトリガビットです。 0 : TSG3nTBF2 をクリアしない 1 : TSG3nTBF2 をクリアする TSG3nTBR2 のライトタイミングと TSG3nSTR2.TSG3nTBF2 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF2 のセットが優先され、フラグはクリアされません。
8	TSG3nTBR1	TSG3nSTR2.TSG3nTBF1 をクリアするトリガビットです。 0 : TSG3nTBF1 をクリアしない 1 : TSG3nTBF1 をクリアする TSG3nTBR1 のライトタイミングと TSG3nSTR2.TSG3nTBF1 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF1 のセットが優先され、フラグはクリアされません。
7	TSG3nTBR0	TSG3nSTR2.TSG3nTBF0 をクリアするトリガビットです。 0 : TSG3nTBF0 をクリアしない 1 : TSG3nTBF0 をクリアする TSG3nTBR0 のライトタイミングと TSG3nSTR2.TSG3nTBF0 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF0 のセットが優先され、フラグはクリアされません。
6	TSG3nPPR	TSG3nSTR2.TSG3nPPF をクリアするトリガビットです。 0 : TSG3nPPF をクリアしない 1 : TSG3nPPF をクリアする TSG3nPPR のライトタイミングと TSG3nSTR2.TSG3nPPF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPPF のセットが優先され、フラグはクリアされません。
5	TSG3nPER	TSG3nSTR2.TSG3nPEF をクリアするトリガビットです。 0 : TSG3nPEF をクリアしない 1 : TSG3nPEF をクリアする TSG3nPER のライトタイミングと TSG3nSTR2.TSG3nPEF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPEF のセットが優先され、フラグはクリアされません。
4	TSG3nTDR	TSG3nSTR2.TSG3nTDF をクリアするトリガビットです。 0 : TSG3nTDF をクリアしない 1 : TSG3nTDF をクリアする TSG3nTDR のライトタイミングと TSG3nSTR2.TSG3nTDF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTDF のセットが優先され、フラグはクリアされません。

表 20.24 TSG3nSTC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSG3nNDR	<p>TSG3nSTR2.TSG3nNDF をクリアするトリガビットです。</p> <p>0 : TSG3nNDF をクリアしない 1 : TSG3nNDF をクリアする</p> <p>TSG3nNDR のライトタイミングと TSG3nSTR2.TSG3nNDF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nNDF のセットが優先され、フラグはクリアされません。</p>
2	TSG3nPRR	<p>TSG3nSTR2.TSG3nPRF をクリアするトリガビットです。</p> <p>0 : TSG3nPRF をクリアしない 1 : TSG3nPRF をクリアする</p> <p>TSG3nPRR のライトタイミングと TSG3nSTR2.TSG3nPRF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPRF のセットが優先され、フラグはクリアされません。</p>
1	TSG3nPTR	<p>TSG3nSTR2.TSG3nPTF をクリアするトリガビットです。</p> <p>0 : TSG3nPTF をクリアしない 1 : TSG3nPTF をクリアする</p> <p>TSG3nPTR のライトタイミングと TSG3nSTR2.TSG3nPTF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPTF のセットが優先され、フラグはクリアされません。</p>
0	予約ビット	ライトする場合はリセット後の値 (または固定値) を書いてください。

20.3.18 TSG3nOPT0 — TSG3n オプションレジスタ 0

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TSG3nSOC	TSG3nSTE	TSG3nPOT	TSG3nPSS	TSG3nIDC	TSG3nPSC	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W ^{注1}	R/W ^{注1}	R/W	R/W	R/W	R

注 1. TSG32 はライト禁止です。

表 20.25 TSG3nOPT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TSG3nSOC	ソフトウェアによるタイマ出力 (TSG3nO1-TSG3nO6 端子) の制御を選択します。 0 : ソフトウェア制御禁止 1 : ソフトウェア制御許可 TSG3nSOC をセット (1) した場合、タイマ出力を TSG3nSPC2-TSG3nSPC0 で設定したソフトウェア制御機能/トリガ制御の出力パターンに切り替えます。 その際、デッドタイムカウンタによりデッドタイムを確保します。
5	TSG3nSTE	パターン出力トリガによる制御の許可/禁止を選択します。 0 : TSG3nPTSI0-TSG3nPTSI2 と TSG3nOPCI0, TSG3nOPCI1 の入力を禁止 1 : TSG3nPTSI0-TSG3nPTSI2 と TSG3nOPCI0, TSG3nOPCI1 の入力を許可 ● パターン出力トリガは、TSG3nPOT で選択します。 ● TSG3nSTE は、120-DC モードとソフトウェア出力制御機能のとき、有効となります。
4	TSG3nPOT	パターン出力トリガを選択します。 0 : 外部パターン入力端子 (TSG3nPTSI0-TSG3nPTSI2) による出力パターン切り替え (パターン切り替え方式) 1 : TSG3nOPCI0, TSG3nOPCI1 の立ち上がりエッジによる出力切り替え (トリガ切り替え方式)
3	TSG3nPSS	パターン出力順序切り替え要因を選択します。 0 : TSG3nPSC によるパターン出力順序の切り替えを使用しない 1 : TSG3nPSC によるパターン出力順序の切り替えを使用する
2	TSG3nIDC	TSG3nIDC と TSG3nSTR1.TSG3nTSF、TSG3nPSC 信号の組み合わせで、TSG3nO1-TSG3nO6 端子の出力パターンを決定します。 タイマ出力順序および出力されるパターンについては「(5) 120-DC モードの動作」の図 20.88~図 20.91 の 120-DC モードの動作例を参照してください。

表 20.25 TSG3nOPT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TSG3nPSC	<p>セミアートドライブ時のパタン出力順序を選択します。</p> <p>0：正転の順番でタイマ出力 (TSG3nO1-TSG3nO6) を切り替える 1：逆転の順番でタイマ出力 (TSG3nO1-TSG3nO6) を切り替える</p> <ul style="list-style-type: none"> ● TSG3nPSC は、TSG3nSPC2-TSG3nSPC0 で設定した出力パターンを初期パターンとして、タイマ出力パタンの順序を指定します。また、TSG3nPSC は TSG3nPOT = 1 かつ TSG3nPSS = 1 のとき、有効です。 ● TSG3nPSC は、TSG3nSTR0.TSG3nTE = 0、または、TSG3nPOT = 0 のときに変更することを推奨します。TSG3nPOT = 1 のときに書き換えた場合、タイマ出力パターンが期待と異なる場合があります。 ● TSG3n 動作停止中 (TSG3nSTR0.TSG3nTE = 0) の状態で、TSG3nPTSI0-TSG3nPTSI2 に入力されている信号が変化する場合、入力信号の変化論理と、TSG3nPSC の順序を合わせてから、TSG3nTRG0.TSG3nTS ビット = 1 を設定してください。 ● 正転、逆転における出力順序は、「20.4.7.6 120-DC モード」を参照してください。ここでの正転、逆転の定義は出力の変化を表しているもので、モータ回転の正転、逆転と同じ意味ではありません。
0	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>

20.3.19 TSG3nOPT1 — TSG3n オプションレジスタ 1

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 024_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG3nSPC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 20.26 TSG3nOPT1 レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2~0	TSG3nSPC[2:0]	ソフトウェア出力機能時および 120-DC モード時のタイマ出力のパタンを設定します。 出力パタンについては、「20.4.7.10 ソフトウェア出力制御機能」、「20.4.7.6 120-DC モード」を参照してください。

20.3.20 TSG3nOPT2 — TSG3n オプションレジスタ 2

EMU3 から入力される矩形波を TSG3 の PWM 出力として使用するために設定するレジスタです。このレジスタは HT-PWM モード (TSG3nMD2~0=001)、かつリロード動作 (TSG3nRMC=0) のときのみ“1”に設定可能です。それ以外のモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) のとき、または随時書き込み動作 (TSG3nRMC=1) のときにこのレジスタを書き換えないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 03CH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nESSC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W ^{※1}

注 1. TSG32 はライト禁止です。

表 20.27 TSG3nOPT2 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き換えてください。
0	TSG3nESSC	<p>EMU3 矩形波選択制御ビット</p> <p>0 : TSG3 のタイマ出力は TSG3nMD2~0 で選択される HT-PWM モードの出力になる。</p> <p>1 : TSG3 のタイマ出力を EMU3 から入力される U 相出力パタン値、V 相出力パタン値、W 相出力パタン値に切り替える (ESW 機能)。</p> <p>TSG3nESSC を 0 から 1 に変更した場合、即時タイマ出力が U 相出力パタン値、V 相出力パタン値、W 相出力パタン値に切り替わります。</p> <p>TSG3nESSC を 1 から 0 に変更した場合、次のリロードタイミングでタイマ出力を HT-PWM モードに切り替えます。</p>

20.3.21 TSG3nOPT2BF — TSG3n オプション 2 バッファレジスタ

TSG3nOPT2 レジスタのバッファレジスタです。TSG3nOPT2 レジスタに設定した値を以下のタイミングで取り込みます。

TSG3nO1~6 の出力が EMU3 から入力される矩形波かどうかを示すレジスタで、リードのみが可能です。このレジスタに値を書き込んでも、書き込んだ値は反映されません。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 0CCH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nESSCBF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 20.28 TSG3nOPT2BF レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。
0	TSG3nESSCBF	EMU3 矩形波選択制御バッファビット 0 : TSG3 のタイマ出力 (TSG3nO1~6) は、TSG3nMD2~0 で選択されるモードの PWM 出力 1 : TSG3 のタイマ出力 (TSG3nO1~6) は、ESW 機能 (EMU3 から入力される U 相出力パターン値、V 相出力パターン値、W 相出力パターン値にデッドタイムを付加) の出力

取り込むタイミング

- 動作開始 (TSG3nTE = 0 の状態で、TSG3nTS ビットに 1 をライト) タイミング
- リスタート (TSG3nTE = 1 の状態で、TSG3nTS ビットに 1 をライト) タイミング
- TSG3nESSC を 0 から 1 にしたときは、次の PCLK の立ち上がりタイミング
- TSG3nESSC を 1 から 0 にしたときは、次のリロードタイミング

20.3.22 TSG3nTRG0 — TSG3n トリガレジスタ 0

タイマの開始を制御します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 030_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.29 TSG3nTRG0 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値（または固定値）を書いてください。
0	TSG3nTS	タイマの開始を制御するトリガビットです。 0：タイマを開始しない 1：タイマを開始する（TSG3nSTR0.TSG3nTE = 1 であればリスタートする） リスタート時、18 ビットカウンタが初期化されます。 リード時は常に“0”が読み出されます。

20.3.23 TSG3nTRG1 — TSG3n トリガレジスタ 1

タイマの停止を制御します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 034_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.30 TSG3nTRG1 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値（または固定値）を書いてください。
0	TSG3nTT	タイマの停止を制御するトリガビットです。 0：タイマを停止しない 1：タイマを停止する（TSG3nSTR0.TSG3nTE = 0） リード時は常に“0”が読み出されます。

20.3.24 TSG3nTRG2 — TSG3n トリガレジスタ 2

HT-PWM モード時の随時書き込みモードで PWM のデューティ設定を、TSG3nO1~6 に反映させるトリガビットです。

このレジスタは HT-PWM モード、かつ随時書き込みモード (TSG3nRMC = 1) のときのみ “1” に設定可能です。その他のモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) のとき、またはリロードモード (TSG3nRMC = 0) のときにこのレジスタを書き換えしないでください。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 038H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nIMT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 20.31 TSG3nTRG2 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値 (または固定値) を書いてください。
0	TSG3nIMT	随時書き込みトリガビット 0 : 無効 1 : HT-PWM モードかつ随時書き込みモードのとき、U, V, W のデューティ変更をタイマ出力に反映する。

20.3.25 TSG3nCNT — TSG3n カウンタリードバッファレジスタ

このレジスタは 18 ビットである TSG3nCnTE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCnTE レジスタ「20.3.26 TSG3nCnTE — TSG3n ビット拡張カウンタリードバッファレジスタ」を参照してください。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 028H

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

20.3.26 TSG3nCnTE — TSG3n ビット拡張カウンタリードバッファレジスタ

カウンタ値をリードするレジスタです。このレジスタはミラー構成になっていて、TSG3nCnT レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 1A0H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット カウンタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18 ビットカウンタ

このレジスタは、18 ビットカウンタの値をリードできるタイマリードバッファレジスタです。HT-PWM モード時は、カウントアップ/ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に“0”をリードします。

また、HT-PWM モード以外では、カウントアップを 1 カウントずつで行うのこぎり波制御です。

表 20.32 TSG3nCnTE レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nDTC0	TSG3nDTC0	TSG3nDTC0 + TSG3nCnMP0E 注 1
その他のモード	00000H	00000H	TSG3nCnMP0E

注 1. TSG3nDTC0 + TSG3nCnMP0E < 3FFFFH の設定値で使用してください。

20.3.27 TSG3nSBC — TSG3n サブカウンタリードバッファレジスタ

このレジスタは 18 ビットである TSG3nSBCE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nSBCE レジスタ「[20.3.28 TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ](#)」を参照してください。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 02CH

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットサブカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

20.3.28 TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ

サブカウンタ値をリードするレジスタです。このレジスタはミラー構成になっていて、TSG3nSBC レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 1A4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビットサブカウンタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットサブカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18 ビットサブカウンタ

このレジスタは、18 ビットサブカウンタの値をリードできるタイマリードバッファレジスタです。HT-PWM モード時は、カウントアップ/ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に“0”をリードします。(HT-PWM モード時のみ使用可能です。)

表 20.33 TSG3nSBCE レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nDTC0	00000 _H	TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E ^{注 1}
その他のモード	00000 _H	00000 _H	00000 _H

注 1. TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E < 3FFFF_H の設定値で使用してください。

20.3.29 TSG3nCMP0 — TSG3n コンペアレジスタ 0

このレジスタは 18 ビットである TSG3nCMP0E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP0E レジスタ「**20.3.30 TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 058H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.30 TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0

すべてのモードで PWM 周期を設定する 18 ビットのコンペアレジスタです。このレジスタはミラー構成になっていて、TSG3nCMP0 レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 14CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.34 TSG3nCMP0E レジスタの設定

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nCMP0E 注 1	00002 _H	3FFFE _H
その他のモード	TSG3nCMP0E + 1	1 (TSG3nCMP0E = 00000 _H)	40000 _H (TSG3nCMP0E = 3FFFF _H)

注 1. HT-PWM モードでは、最下位 ビットは無視されます。

20.3.31 TSG3nCMP1W — TSG3n コンペアレジスタ 1、2

このレジスタは 18 ビットである TSG3nCMP1E、2E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「[20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP2 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP1 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.32 TSG3nCMP3W — TSG3n コンペアレジスタ 3、4

このレジスタは 18 ビットである TSG3nCMP3E、4E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「[20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 04C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP4 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP3 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.33 TSG3nCMP5W — TSG3n コンペアレジスタ 5、6

このレジスタは 18 ビットである TSG3nCMP5E、6E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「[20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 044H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP6 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP5 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.34 TSG3nCMP7W — TSG3n コンペアレジスタ 7、8

このレジスタは 18 ビットである TSG3nCMP7E、8E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「[20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 050H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP8 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP7 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.35 TSG3nCMP9W — TSG3n コンペアレジスタ 9、10

このレジスタは 18 ビットである TSG3nCMP9E、10E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「[20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 048_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP10 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP9 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.36 TSG3nCMP11W — TSG3n コンペアレジスタ 11, 12

このレジスタは 18 ビットである TSG3nCMP11E、12E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「[20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 054_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP12 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP11 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.37 TSG3nCMP1-TSG3nCMP12 — TSG3n コンペアレジスタ 1~12

このレジスタは 18 ビットである TSG3nCMP1E-12E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス TSG3nCMP1 <TSG3n_base> + 080_H
 TSG3nCMP2 <TSG3n_base> + 084_H
 TSG3nCMP3 <TSG3n_base> + 098_H
 TSG3nCMP4 <TSG3n_base> + 09C_H
 TSG3nCMP5 <TSG3n_base> + 088_H
 TSG3nCMP6 <TSG3n_base> + 08C_H
 TSG3nCMP7 <TSG3n_base> + 0A0_H
 TSG3nCMP8 <TSG3n_base> + 0A4_H
 TSG3nCMP9 <TSG3n_base> + 090_H
 TSG3nCMP10 <TSG3n_base> + 094_H
 TSG3nCMP11 <TSG3n_base> + 0A8_H
 TSG3nCMP12 <TSG3n_base> + 0AC_H

リセット後の値 0000_H



20.3.38 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1~12

コンペア値を設定します。これらのレジスタはミラー構成になっていて、TSG3nCMP1~12 および、TSG3nCMP1W、3W、5W、7W、9W、11W レジスタを用いてこれらのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス TSG3nCMP1E <TSG3n_base> + 17C_H
 TSG3nCMP2E <TSG3n_base> + 178_H
 TSG3nCMP3E <TSG3n_base> + 164_H
 TSG3nCMP4E <TSG3n_base> + 160_H
 TSG3nCMP5E <TSG3n_base> + 174_H
 TSG3nCMP6E <TSG3n_base> + 170_H
 TSG3nCMP7E <TSG3n_base> + 15C_H
 TSG3nCMP8E <TSG3n_base> + 158_H
 TSG3nCMP9E <TSG3n_base> + 16C_H
 TSG3nCMP10E <TSG3n_base> + 168_H
 TSG3nCMP11E <TSG3n_base> + 154_H
 TSG3nCMP12E <TSG3n_base> + 150_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.35 TSG3nCMP1E-TSG3nCMP12E レジスタの設定

レジスタ	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード	HSP-PWM モード
TSG3nCMP1E	TSG3nO1 のクリアタイミング	TSG3nO1 のクリアタイミング/ TSG3nO2 のセットタイミング		TSG3nO1, 3, 5 の出力パタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO1 のクリアタイミング
TSG3nCMP2E	TSG3nO1 のセットタイミング	TSG3nO1 のセットタイミング/ TSG3nO2 のクリアタイミング			TSG3nO1 のセットタイミング
TSG3nCMP3E	TSG3nO2 のクリアタイミング	—		TSG3nO2, 4, 6 の出力パタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO2 のクリアタイミング
TSG3nCMP4E	TSG3nO2 のセットタイミング	—			TSG3nO2 のセットタイミング
TSG3nCMP5E	TSG3nO3 のクリアタイミング	TSG3nO3 のクリアタイミング/ TSG3nO4 のセットタイミング		TSG3nO1, 3, 5 の出力パタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO3 のクリアタイミング
TSG3nCMP6E	TSG3nO3 のセットタイミング	TSG3nO3 のセットタイミング/ TSG3nO4 のクリアタイミング			TSG3nO3 のセットタイミング
TSG3nCMP7E	TSG3nO4 のクリアタイミング	—		TSG3nO2, 4, 6 の出力パタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO4 のクリアタイミング
TSG3nCMP8E	TSG3nO4 のセットタイミング	—			TSG3nO4 のセットタイミング
TSG3nCMP9E	TSG3nO5 のクリアタイミング	TSG3nO5 のクリアタイミング/ TSG3nO6 のセットタイミング		TSG3nO1, 3, 5 の出力パタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO5 のクリアタイミング
TSG3nCMP10E	TSG3nO5 のセットタイミング	TSG3nO5 のセットタイミング/ TSG3nO6 のクリアタイミング			TSG3nO5 のセットタイミング
TSG3nCMP11E	TSG3nO6 のクリアタイミング	—		TSG3nO2, 4, 6 の出力パタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO6 のクリアタイミング
TSG3nCMP12E	TSG3nO6 のセットタイミング	—			TSG3nO6 のセットタイミング

備 考

デッドタイム機能は、すべての動作モードで動作します。

HT-PWM モードの場合、TSG3nCnTE だけでなく、TSG3nSBCE でもコンペアマッチが発生します。

120-DC モードの場合、TSG3nO1-TSG3nO6 出力は TSG3nCmPE, TSG3nPAT0, TSG3nPAT1 レジスタで制御します。

20.3.39 TSG3nDCMP0W — TSG3n ダイアグ出力用コンペアレジスタ 0、1

このレジスタは 18 ビットである TSG3nDCMP0E、1E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nDCMP0E-2E レジスタ「[20.3.41 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0~2](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 05CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nDCMP1 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDCMP0 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.40 TSG3nDCMP2 — TSG3n ダイアグ出力用コンペアレジスタ 2

このレジスタは 18 ビットである TSG3nDCMP2E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nDCMP0E-2E レジスタ「[20.3.41 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0~2](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 060H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDCMP2 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.41 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0 ~2

コンペア値を設定します。これらのレジスタはミラー構成になっていて、TSG3nDCMP0W および、TSG3nDCMP2 レジスタを用いてこれらのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス TSG3nDCMP0E <TSG3n_base> + 148_H
 TSG3nDCMP1E <TSG3n_base> + 144_H
 TSG3nDCMP2E <TSG3n_base> + 140_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

このレジスタの設定は、すべてのモードにおいてダイアグ出力、もしくは A/D 変換トリガタイミングを制御します。このレジスタと 18 ビットカウンタの一致でパルスを生成します。

20.3.42 TSG3nPAT0W — TSG3n パターンレジスタ 0

出力パターンを設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5T		PAT4T			PAT3T			PAT2T			PAT1T			PAT0T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン

このレジスタは、120-DC モード用 UT/VT/WT の出力制御を行うレジスタです。

表 20.36 TSG3nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウレベル固定
001	TSG3nCMP1E で設定した PWM 出力
010	TSG3nCMP2E で設定した PWM 出力
011	TSG3nCMP5E で設定した PWM 出力
100	TSG3nCMP6E で設定した PWM 出力
101	TSG3nCMP9E で設定した PWM 出力
110	TSG3nCMP10E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

20.3.43 TSG3nPAT1W — TSG3n パタンレジスタ 1

出力パターンを設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5B		PAT4B			PAT3B			PAT2B			PAT1B			PAT0B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン

このレジスタは、120-DC モード用 UB/VB/WB の出力制御を行うレジスタです。

表 20.37 TSG3nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウレベル固定
001	TSG3nCMP3E で設定した PWM 出力
010	TSG3nCMP4E で設定した PWM 出力
011	TSG3nCMP7E で設定した PWM 出力
100	TSG3nCMP8E で設定した PWM 出力
101	TSG3nCMP11E で設定した PWM 出力
110	TSG3nCMP12E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

20.3.44 TSG3nDTC0W — TSG3n デッドタイム設定レジスタ 0

デッドタイム値 (逆相インアクティブ→正相アクティブ間) を設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 06CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ライトプロテクションコードチェック														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3nDTC0 (10 ビットデッドタイムコンペア)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSG3nDTC0W[0:9]を書き換える場合、TSG3nDTPR の 14~0 ビットと TSG3nDTCM = 0 を設定し、TSG3nDTC0W を書き換えます。このとき、TSG3nDTC0W[30:16]の書き換え値と TSG3nDTPR の値が一致した場合、TSG3nDTC0W が書き換わります。

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) の書き換えは、リロードモード (TSG3nCTL3.TSG3nRMC = 0) 時に行ってください。

20.3.45 TSG3nDTC1W — TSG3n デッドタイム設定レジスタ 1

デッドタイム値 (正相インアクティブ→逆相アクティブ間) を設定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ライトプロテクションコードチェック														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3nDTC1 (10 ビットデッドタイムコンペア)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSG3nDTC1W[0:9]を書き換える場合、TSG3nDTPR の 14~0 ビットと TSG3nDTCM = 0 を設定し、TSG3nDTC1W を書き換えます。このとき、TSG3nDTC1W[30:16]の書き換え値と TSG3nDTPR の値が一致した場合、TSG3nDTC1W が書き換わります。

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) の書き換えは、リロードモード (TSG3nCTL3.TSG3nRMC = 0) 時に行ってください。

20.3.46 TSG3nCMPU — TSG3n HT-PWM U 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPUE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPUE レジスタ「[20.3.49 TSG3nCMPUE — TSG3n ビット拡張 HT-PWM U 相用コンペアレジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMPU (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.47 TSG3nCMPV — TSG3n HT-PWM V 相用コンペアレジスタ

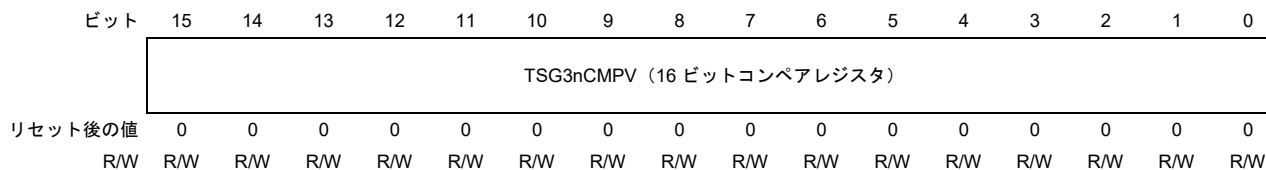
このレジスタは 18 ビットである TSG3nCMPVE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPVE レジスタ「[20.3.50 TSG3nCMPVE — TSG3n ビット拡張 HT-PWM V 相用コンペアレジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B4_H

リセット後の値 0000_H



20.3.48 TSG3nCMPW — TSG3n HT-PWM W 相用コンペアレジスタ

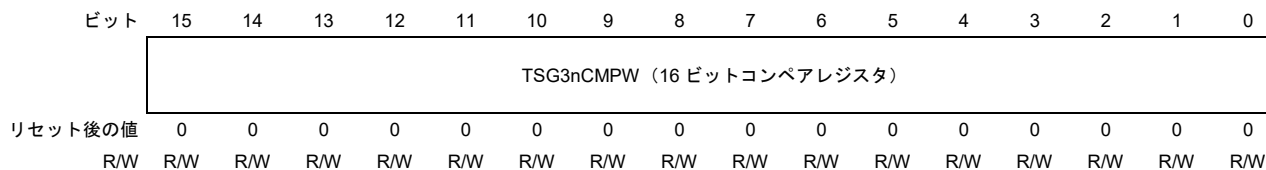
このレジスタは 18 ビットである TSG3nCMPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPWE レジスタ「[20.3.51 TSG3nCMPWE — TSG3n ビット拡張 HT-PWM W 相用コンペアレジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B8_H

リセット後の値 0000_H



20.3.49 TSG3nCMPUE — TSG3n ビット拡張 HT-PWM U 相用コンペアレジスタ

HT-PWM モード時の U 相用のコンペア値を設定します。機能は TSG3nCMP1E、2E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPUE のライトデータが TSG3nCMP1E、2E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 20.3 参照)。このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPU レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 188H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

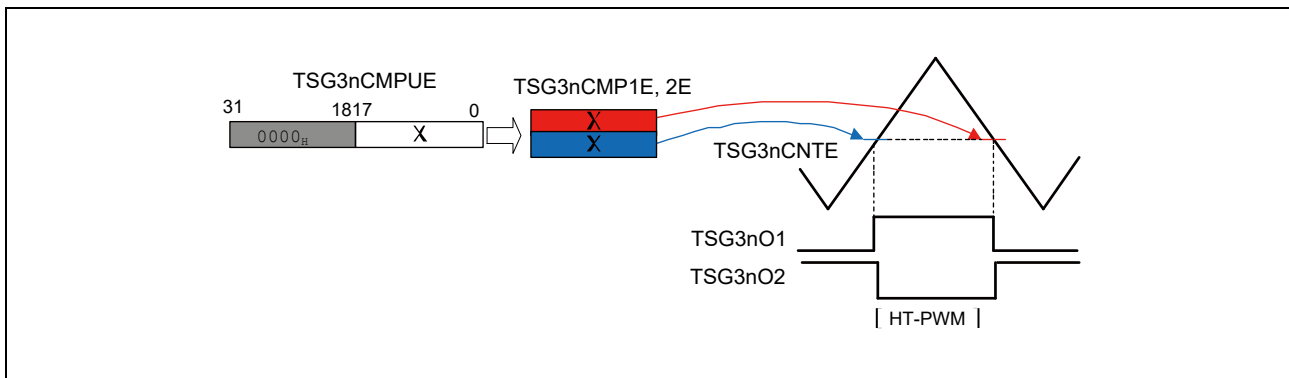


図 20.3 TSG3nCMPUE レジスタのレジスタアクセス

20.3.50 TSG3nCMPVE — TSG3n ビット拡張 HT-PWM V 相用コンペアレジスタ

HT-PWM モード時の V 相用のコンペア値を設定します。機能は TSG3nCMP5E、6E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPVE のライトデータが TSG3nCMP5E、6E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 20.4 参照)。このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPV レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 184_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

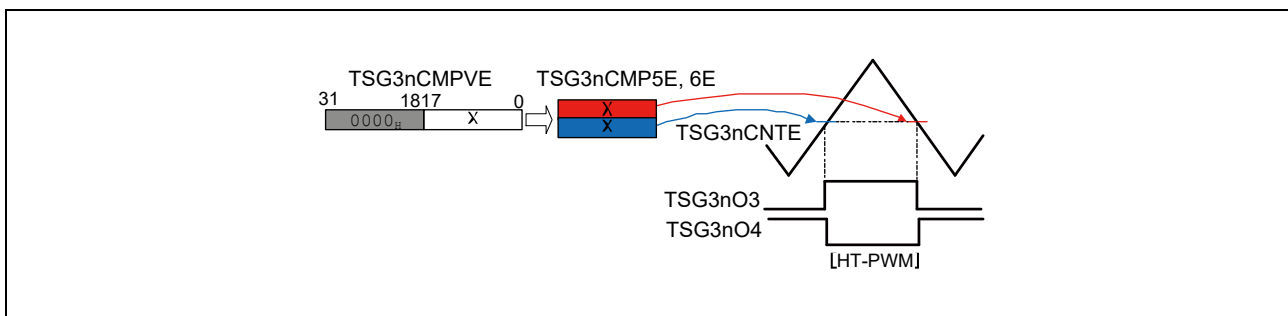


図 20.4 TSG3nCMPVE レジスタのレジスタアクセス

20.3.51 TSG3nCMPWE — TSG3n ビット拡張 HT-PWM W 相用コンペアレジスタ

HT-PWM モード時の W 相用のコンペア値を設定します。機能は TSG3nCMP9E、10E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPWE のライトデータが TSG3nCMP9E、10E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 20.5 参照)。このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 180_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

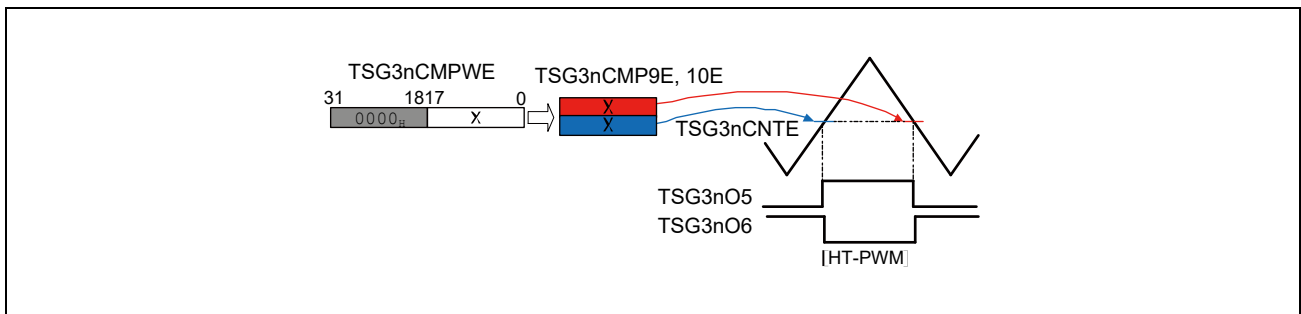


図 20.5 TSG3nCMPWE レジスタのレジスタアクセス

20.3.52 TSG3nUPW — TSG3n SP-PWM U 相アクティブ幅レジスタ

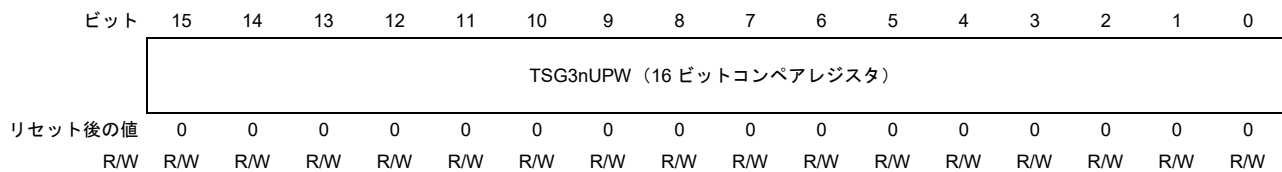
このレジスタは 18 ビットである TSG3nUPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nUPWE レジスタ「[20.3.55 TSG3nUPWE — TSG3n ビット拡張 SP-PWM U 相アクティブ幅レジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0BC_H

リセット後の値 0000_H



20.3.53 TSG3nVPW — TSG3n SP-PWM V 相アクティブ幅レジスタ

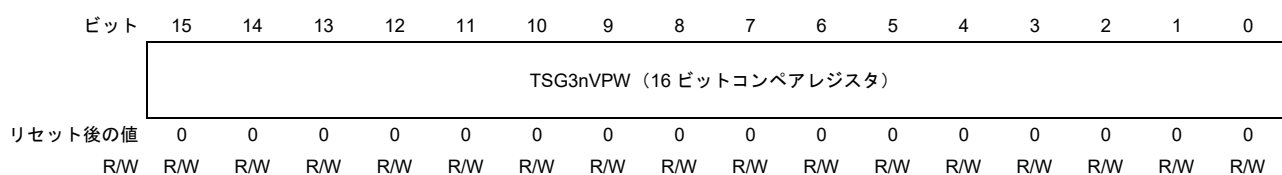
このレジスタは 18 ビットである TSG3nVPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nVPWE レジスタ「[20.3.56 TSG3nVPWE — TSG3n ビット拡張 SP-PWM V 相アクティブ幅レジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0C0_H

リセット後の値 0000_H



20.3.54 TSG3nWPW — TSG3n SP-PWM W 相アクティブ幅レジスタ

このレジスタは 18 ビットである TSG3nWPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nWPWE レジスタ「[20.3.57 TSG3nWPWE — TSG3n ビット拡張 SP-PWM W 相アクティブ幅レジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0C4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nWPW (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.55 TSG3nUPWE — TSG3n ビット拡張 SP-PWM U 相アクティブ幅レジスタ

SP-PWM モード時、U 相用のアクティブ幅を設定します。TSG3nUPWE のライトデータは TSG3nCMP2E と加算され、TSG3nCMP1E に格納されます (図 20.6 参照)。このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nUPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 198H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

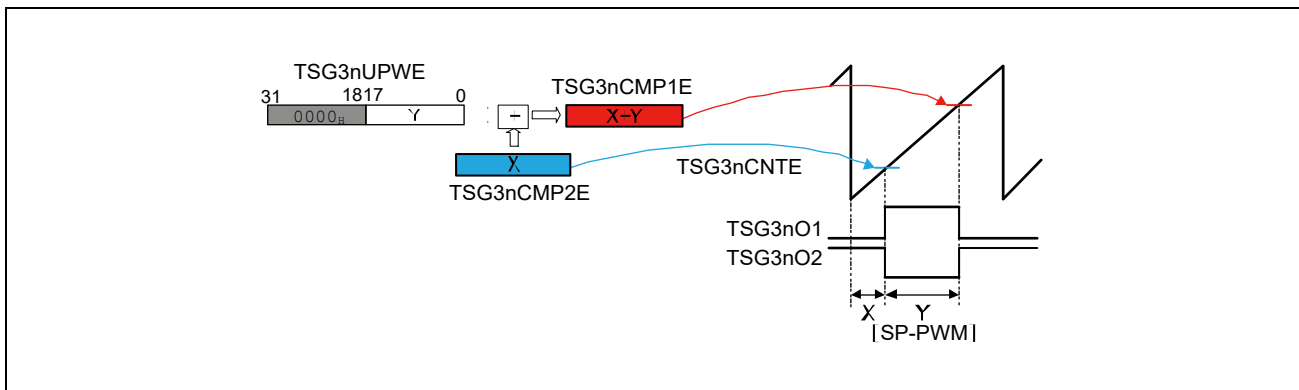


図 20.6 TSG3nUPWE レジスタのレジスタアクセス

20.3.56 TSG3nVPWE — TSG3n ビット拡張 SP-PWM V 相アクティブ幅レジスタ

SP-PWM モード時、V 相用のアクティブ幅を設定します。TSG3nVPWE のライトデータは TSG3nCMP6E と加算され、TSG3nCMP5E に格納されます (図 20.7 参照)。このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nVPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 194H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

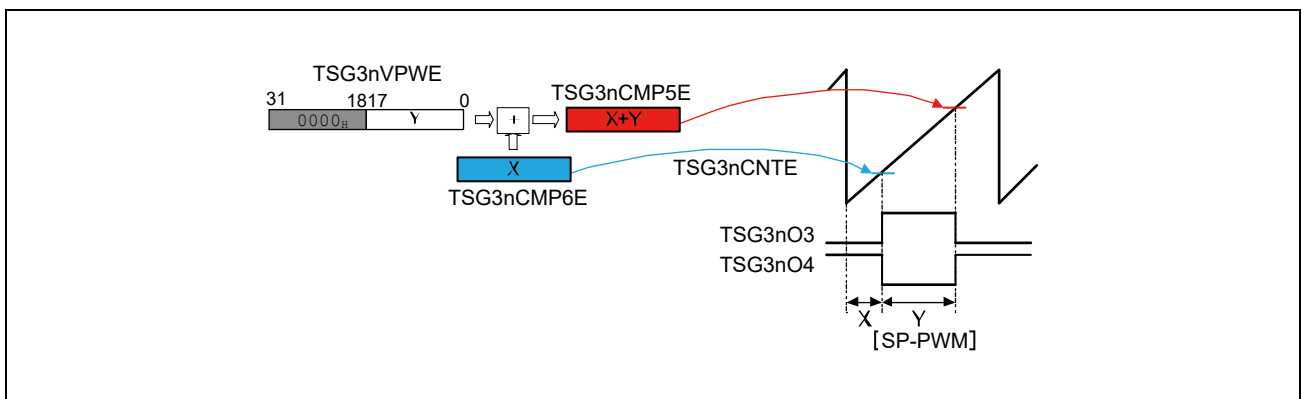


図 20.7 TSG3nVPWE レジスタのレジスタアクセス

20.3.57 TSG3nWPWE — TSG3n ビット拡張 SP-PWM W 相アクティブ幅レジスタ

SP-PWM モード時、W 相用のアクティブ幅を設定します。TSG3nWPWE のライトデータは TSG3nCMP10E と加算され、TSG3nCMP9E に格納されます (図 20.8 参照)。このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nWPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 190H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

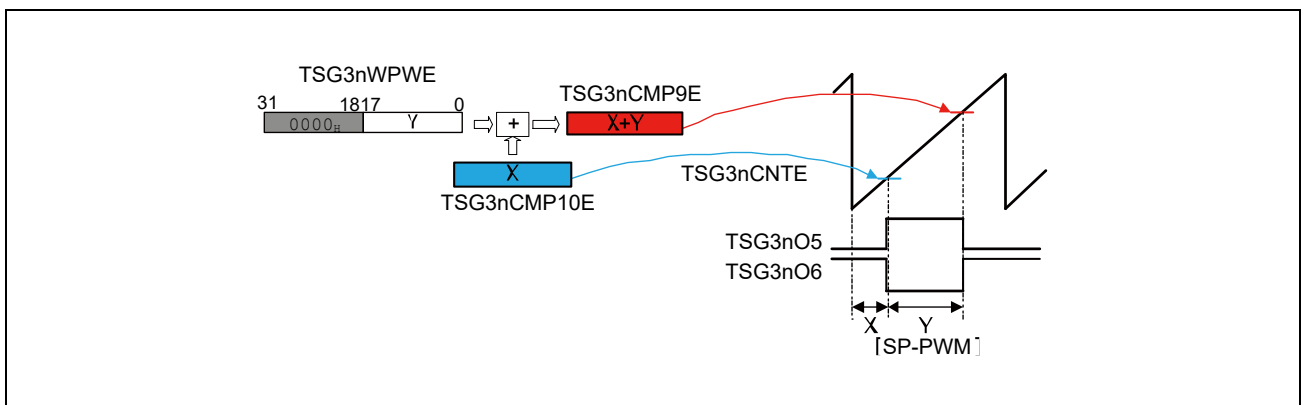


図 20.8 TSG3nWPWE レジスタのレジスタアクセス

20.3.58 TSG3nHSPCMUE — TSG3n HSP-PWM モード U 相コンペアレジスタ

HSP-PWM モード時に U 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「20.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP3E、TSG3nCMP4E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 134_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.59 TSG3nHSPCMVE — TSG3n HSP-PWM モード V 相コンペアレジスタ

HSP-PWM モード時に V 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「20.4.7.8 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP7E、TSG3nCMP8E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 130_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.60 TSG3nHSPCMWE — TSG3n HSP-PWM モード W 相コンペアレジスタ

HSP-PWM モード時に W 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「**20.4.7.8 HSP-PWM モードのコンペア設定**」に記載されている演算式に基づき TSG3nCMP9E、TSG3nCMP10E、TSG3nCMP11E、TSG3nCMP12E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 12C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット コンペア レジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.61 TSG3nHSPSHUE — TSG3n HSP-PWM モード U 相シフトレジスタ

HSP-PWM モード時に U 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMUE レジスタに書き込み動作を行うと、「**20.4.7.8 HSP-PWM モードのコンペア設定**」に記載されている演算式に基づき TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP3E、TSG3nCMP4E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 128_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット シフトレジスタ	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットシフトレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.62 TSG3nHSPSHVE — TSG3n HSP-PWM モード V 相シフトレジスタ

HSP-PWM モード時に V 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMVE レジスタに書き込み動作を行うと、「**20.4.7.8 HSP-PWM モードのコンペア設定**」に記載されている演算式に基づき TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP7E、TSG3nCMP8E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 124_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット シフトレジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットシフトレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.63 TSG3nHSPSHWE — TSG3n HSP-PWM モード W 相シフトレジスタ

HSP-PWM モード時に W 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMWE レジスタに書き込み動作を行うと、「**20.4.7.8 HSP-PWM モードのコンペア設定**」に記載されている演算式に基づき TSG3nCMP9E、TSG3nCMP10E、TSG3nCMP11E、TSG3nCMP12E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 120_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18 ビット シフトレジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	18 ビットシフトレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.64 TSG3nDTPR — TSG3n デッドタイムプロテクションレジスタ

デッドタイムレジスタのライトアクセスのプロテクションを制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 210_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3n DTCM	ライトプロテクションコード														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.38 TSG3nDTPR レジスタの内容

ビット位置	ビット名	機能
15	TSG3nDTCM	TSG3nDTC0, TSG3nDTC1 の書き換えの許可/禁止を設定します。 0 : TSG3nDTC0, TSG3nDTC1 の書き換えを許可 1 : TSG3nDTC0, TSG3nDTC1 の書き換えを禁止
14~0	TSG3nDTPR[14:0]	ライトプロテクションコード (0000~7FFF の任意の値) を設定します。

このレジスタは、TSG3nDTC0、TSG3nDTC1 への不正な書き換えを行わないように保護します。機能は次のようになります。

- TSG3nDTCM により TSG3nDTC0, TSG3nDTC1 の書き換えを許可/禁止を設定することができます。
- TSG3nDTC0, TSG3nDTC1 の書き換え時、TSG3nDTC0, TSG3nDTC1 のライトプロテクションコード (30 ~16 ビット) と TSG3nDTPR のライトプロテクションコードの一致と TSG3nDTCM の設定の二重のチェックにより書き換えの許可/禁止を決定します。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

20.4 機能

表 20.39 モード一覧

TSG3nCTL0 レジスタ			タイマモード
TSG3nMD2	TSG3nMD1	TSG3nMD0	
0	0	0	PWM モード
0	0	1	HT-PWM モード (HT-PWM)
0	1	0	シフトパルス PWM モード (SP-PWM)
0	1	1	120-DC モード
1	0	0	高精度シフトパルス PWM モード (HSP-PWM)
上記以外			設定禁止

20.4.1 基本動作

20.4.1.1 18 ビットカウンタ基本動作

18 ビットカウンタの基本動作を説明します。詳細は「[20.4.7 各モードの動作](#)」を参照してください。

カウント開始動作

HT-PWM モードは、初期値 00000_H で TSG3nDTC0 の値をロードした後、カウントを開始します。また、HT-PWM モード以外のモードは、初期値 00000_H からカウントを開始します。

HT-PWM モードのカウント動作は、TSG3nDTC0 の値から +2 ずつアップカウントし、18 ビットカウンタと TSG3nCMP0E + TSG3nDTC0 の値が一致した後、-2 ずつ TSG3nDTC0 の値までダウンカウントします。また、HT-PWM モード以外のモードのカウント動作は、00000_H、00001_H、00002_H、00003_H、... とカウントアップします。

クリア動作

HT-PWM モード以外のクリア動作は、カウンタ値と TSG3nCMP0E 値の一致により 18 ビットカウンタをクリアします (HT-PWM モードにクリア動作はありません)。

カウント動作中のカウンタリード動作

TSG3n では、TSG3nCNTE レジスタにより、カウント動作中の 18 ビットカウンタの値をリードできます。

カウント停止動作

カウンタ動作停止 (TS0TE = 1→0) 時、TSG3nCNTE、TSG3nSBCE は停止したときのカウンタ値を保持します。

割り込み動作

TSG3n では、次の割り込みを発生します。

- INTTSG3nI0 : HT-PWM モード時、18 ビットカウンタと TSG3nDTC0 の一致による周期割り込みとして機能します。HT-PWM モード以外のモードでは、18 ビットカウンタと TSG3nCMP0E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI1 : 18 ビットカウンタと TSG3nCMP1E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI2 : 18 ビットカウンタと TSG3nCMP2E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI3 : 18 ビットカウンタと TSG3nCMP3E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI4 : 18 ビットカウンタと TSG3nCMP4E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI5 : 18 ビットカウンタと TSG3nCMP5E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI6 : 18 ビットカウンタと TSG3nCMP6E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI7 : 18 ビットカウンタと TSG3nCMP7E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI8 : 18 ビットカウンタと TSG3nCMP8E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI9 : 18 ビットカウンタと TSG3nCMP9E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI10 : 18 ビットカウンタと TSG3nCMP10E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI11 : 18 ビットカウンタと TSG3nCMP11E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI12 : 18 ビットカウンタと TSG3nCMP12E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nIPEK : 18 ビットカウンタがアップカウントからダウンカウントの切り替わりタイミングの山割り込みとして機能します。
- INTTSG3nIVLY : 18 ビットカウンタがダウンカウントからアップカウントの切り替わりタイミングの谷割り込みとして機能します。
- INTTSG3nIER : 正相／逆相同時アクティブの検出割り込みとして機能します。
- INTTSG3nIWN : 各種ワーニングを検出する割り込みとして機能します。

20.4.1.2 コンペアレジスタの機能

コンペアレジスタの動作モード別の機能は次のとおりです。

表 20.40 モード別コンペアレジスタ機能一覧 (1/7)

動作モード	TSG3nCMP0E	TSG3nCMP1E	TSG3nCMP2E
PWM モード	PWM 周期	TSG3nO1 クリアタイミング	TSG3nO1 セットタイミング
HT-PWM モード	PWM 周期	TSG3nO1 クリアタイミング TSG3nO2 セットタイミング	TSG3nO1 セットタイミング TSG3nO2 クリアタイミング
SP-PWM モード	PWM 周期	TSG3nO1 クリアタイミング TSG3nO2 セットタイミング	TSG3nO1 セットタイミング TSG3nO2 クリアタイミング
120-DC モード	PWM 周期	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0 で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0 で選択
HSP-PWM モード	PWM 周期	TSG3nO1 クリアタイミング	TSG3nO1 セットタイミング

表 20.40 モード別コンペアレジスタ機能一覧 (2/7)

動作モード	TSG3nCMP3E	TSG3nCMP4E	TSG3nCMP5E	TSG3nCMP6E
PWM モード	TSG3nO2 クリア タイミング	TSG3nO2 セット タイミング	TSG3nO3 クリア タイミング	TSG3nO3 セット タイミング
HT-PWM モード	コンペア一致割り込み	コンペア一致割り込み	TSG3nO3 クリア タイミング TSG3nO4 セット タイミング	TSG3nO3 セット タイミング TSG3nO4 クリア タイミング
SP-PWM モード	—	—	TSG3nO3 クリア タイミング TSG3nO4 セット タイミング	TSG3nO3 セット タイミング TSG3nO4 クリア タイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択
HSP-PWM モード	TSG3nO2 クリア タイミング	TSG3nO2 セット タイミング	TSG3nO3 クリア タイミング	TSG3nO3 セット タイミング

表 20.40 モード別コンペアレジスタ機能一覧 (3/7)

動作モード	TSG3nCMP7E	TSG3nCMP8E	TSG3nCMP9E	TSG3nCMP10E
PWM モード	TSG3nO4 クリア タイミング	TSG3nO4 セット タイミング	TSG3nO5 クリア タイミング	TSG3nO5 セット タイミング
HT-PWM モード	コンペア一致割り込み	コンペア一致割り込み	TSG3nO5 クリア タイミング TSG3nO6 セット タイミング	TSG3nO5 セット タイミング TSG3nO6 クリア タイミング
SP-PWM モード	—	—	TSG3nO5 クリア タイミング TSG3nO6 セット タイミング	TSG3nO5 セット タイミング TSG3nO6 クリア タイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択
HSP-PWM モード	TSG3nO4 クリア タイミング	TSG3nO4 セット タイミング	TSG3nO5 クリア タイミング	TSG3nO5 セット タイミング

表 20.40 モード別コンペアレジスタ機能一覧 (4/7)

動作モード	TSG3nCMP11E	TSG3nCMP12E	TSG3nDCMP0E	TSG3nDCMP1E
PWM モード	TSG3nO6 クリア タイミング	TSG3nO6 セット タイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
SP-PWM モード	—	—	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
HSP-PWM モード	TSG3nO6 クリア タイミング	TSG3nO6 セット タイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング

表 20.40 モード別コンペアレジスタ機能一覧 (5/7)

動作モード	TSG3nDCMP2E	TSG3nCMPUE	TSG3nCMPVE	TSG3nCMPWE
PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
HT-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	TSG3nCMPUE へ設定した 値が TSG3nCMP1E, TSG3nCMP2E の設定値と なります	TSG3nCMPVE へ設定した 値が TSG3nCMP5E, TSG3nCMP6E の設定値と なります	TSG3nCMPWE へ設定し た値が TSG3nCMP9E, TSG3nCMP10E の設定値 となります
SP-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
120-DC モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
HSP-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—

表 20.40 モード別コンペアレジスタ機能一覧 (6/7)

動作モード	TSG3nUPWE	TSG3nVPWE	TSG3nWPWE
PWM モード	—	—	—
HT-PWM モード	—	—	—
SP-PWM モード	TSG3nUPWE へ設定した値が TSG3nCMP2E に設定した値と加算 され、TSG3nCMP1E の設定値とな ります	TSG3nVPWE へ設定した値が TSG3nCMP2E に設定した値と加算 され、TSG3nCMP1E の設定値とな ります	TSG3nWPWE へ設定した値が TSG3nCMP2E に設定した値と加算 され、TSG3nCMP1E の設定値とな ります
120-DC モード	—	—	—
HSP-PWM モード	—	—	—

表 20.40 モード別コンペアレジスタ機能一覧 (7/7)

動作モード	TSG3nHSPCMUE, TSG3nHSPSHUE	TSG3nHSPCMVE, TSG3nHSPSHVE	TSG3nHSPCMWE, TSG3nHSPSHWE
PWM モード	—	—	—
HT-PWM モード	—	—	—
SP-PWM モード	—	—	—
120-DC モード	—	—	—
HSP-PWM モード	TSG3nHSPCMUE に設定した値、 および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHUE に設定した値を 元に、TSG3nCMP1E-4E が設定さ れます	TSG3nHSPCMVE に設定した値、 および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHVE に設定した値を元 に、TSG3nCMP5E-8E が設定され ます	TSG3nHSPCMWE に設定した値、 および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHWE に 設定した値を元に、TSG3nCMP9E- 12E が設定されます

20.4.1.3 コンペアレジスタの書き換え操作

TSG3 は、TSG3nRMC ビットを使用し、リロードモードまたは随時書き込みモードに設定することができます。

TSG3nRMC = 0 のときは、リロードモードとなり、「**20.3.1 レジスタ一覧**」の“リロード”に“あり”と記載されているレジスタ（リロード対象レジスタ）が、リロードタイミングで一斉に更新されます。

TSG3nRMC = 1 のときは、随時書き込みモードとなり、リロード対象レジスタが独立して更新動作を行い、レジスタへライトしたタイミングで随時更新されます。

以下の表に、モード毎にリロードモード、随時書き込みモードの時のリロード対象レジスタの更新タイミングを記載しています。

表 20.41 モード別コンペアレジスタの更新タイミング

モード	随時書き込み TSG3nRMC = 1	リロード TSG3nRMC = 0
PWM モード	TSG3nCMP0E : 18 ビットカウンタの次回カウンタクリアタイミング	リロードタイミング
	TSG3nCMP0E 以外のレジスタ : レジスタへライトしたタイミング	
HT-PWM モード	TSG3nCMP0E : TSG3nCnTE 次回山 or 谷タイミング	リロードタイミング
	TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E : TSG3nIMT ビットへの“1”ライトタイミング	
	TSG3nCMP0E, 1E, 2E, 5E, 6E, 9E, 10E 以外のレジスタ : レジスタへライトしたタイミング	
SP-PWM モード	TSG3nCMP0E : 18 ビットカウンタの次回カウンタクリアタイミング	リロードタイミング
	TSG3nCMP0E 以外のレジスタ : レジスタへライトしたタイミング	
120-DC モード	設定禁止	リロードタイミング
HSP-PWM モード	設定禁止	リロードタイミング

随時書き換えモード

このモードでは、各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタは表 20.41 のタイミングで随時更新されます。

リロードモード（一斉書き換え機能）

TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE) レジスタへライトするとリロードが許可され（リロード要求フラグ TSG3nSTR0.TSG3nRSF をセット）、次のリロードタイミングでリロード対象レジスタが一斉に更新されま（リロード）。

リロードタイミングは、TSG3nTRG0.TSG3nTS ビットを“0”から“1”にしたとき、18 ビットカウンタの山／谷タイミングです。TSG3nCTL4.TSG3nPRE、TSG3nVRE で制御します。

TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE) 以外のレジスタへライトしてもリロードは許可されません。

TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE) レジスタへのライトによりリロードが許可され、次のリロードタイミングがくるまでは、リロード対象レジスタへのライトアクセスはしないでください。リロード要求フラグ TSG3nSTR0.TSG3nRSF = 0 のときに書き換えてください。

リロード対象レジスタの DMA 書き換え

一部のリロード対象レジスタは DMA 転送で書き換えることができます。DMA 転送は、次のように行います。

表 20.42 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 040 _H	TSG3nCMP1W	注 1
<TSG3n_base> + 044 _H	TSG3nCMP5W	注 1
<TSG3n_base> + 048 _H	TSG3nCMP9W	注 1
<TSG3n_base> + 04C _H	TSG3nCMP3W	注 1
<TSG3n_base> + 050 _H	TSG3nCMP7W	注 1
<TSG3n_base> + 054 _H	TSG3nCMP11W	注 1
<TSG3n_base> + 058 _H	TSG3nCMP0	注 1
<TSG3n_base> + 05C _H	TSG3nDCMP0W	注 1
<TSG3n_base> + 060 _H	TSG3nDCMP2	注 1
<TSG3n_base> + 064 _H	TSG3nPAT0W	注 1
<TSG3n_base> + 068 _H	TSG3nPAT1W	注 1
<TSG3n_base> + 06C _H	TSG3nDTC0W	注 1
<TSG3n_base> + 070 _H	TSG3nDTC1W	注 1

注 1. 下のものほど、転送優先順位は高い。

表 20.43 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 140 _H	TSG3nDCMP2E	注 1
<TSG3n_base> + 144 _H	TSG3nDCMP1E	注 1
<TSG3n_base> + 148 _H	TSG3nDCMP0E	注 1
<TSG3n_base> + 14C _H	TSG3nCMP0E	注 1
<TSG3n_base> + 150 _H	TSG3nCMP12E	注 1
<TSG3n_base> + 154 _H	TSG3nCMP11E	注 1
<TSG3n_base> + 158 _H	TSG3nCMP8E	注 1
<TSG3n_base> + 15C _H	TSG3nCMP7E	注 1
<TSG3n_base> + 160 _H	TSG3nCMP4E	注 1
<TSG3n_base> + 164 _H	TSG3nCMP3E	注 1
<TSG3n_base> + 168 _H	TSG3nCMP10E	注 1
<TSG3n_base> + 16C _H	TSG3nCMP9E	注 1
<TSG3n_base> + 170 _H	TSG3nCMP6E	注 1
<TSG3n_base> + 174 _H	TSG3nCMP5E	注 1
<TSG3n_base> + 178 _H	TSG3nCMP2E	注 1
<TSG3n_base> + 17C _H	TSG3nCMP1E	注 1

注 1. 上のものほど、転送優先順位は高い。

表 20.44 HT-PWM モード時のデューティ設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 180 _H	TSG3nCMPWE	注 1
<TSG3n_base> + 184 _H	TSG3nCMPVE	注 1
<TSG3n_base> + 188 _H	TSG3nCMPUE	注 1

注 1. 上のものほど、転送優先順位は高い。

表 20.45 SP-PWM モード時のアクティブ幅設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 190 _H	TSG3nWPWE	注 1
<TSG3n_base> + 194 _H	TSG3nVPWE	注 1
<TSG3n_base> + 198 _H	TSG3nUPWE	注 1

注 1. 上のものほど、転送優先順位は高い。

表 20.46 HSP-PWM モード時のシフト幅、デューティ設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 120 _H	TSG3nHSPSHWE	注 1
<TSG3n_base> + 124 _H	TSG3nHSPSHVE	注 1
<TSG3n_base> + 128 _H	TSG3nHSPSHUE	注 1
<TSG3n_base> + 12C _H	TSG3nHSPCMWE	注 1
<TSG3n_base> + 130 _H	TSG3nHSPCMVE	注 1
<TSG3n_base> + 134 _H	TSG3nHSPCMUE	注 1

注 1. 上のものほど、転送優先順位は高い。

備 考

1. TSG3nCTL4, TSG3nIOC3 は、個別に書き換えてください。
2. TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE を含む) のライトは、リロードが許可されますので、他のリロード対象レジスタの書き換え (リロードの準備) が終了した後に書き換えてください。

(1) 随時書き換えモードの動作例

コンペアレジスタ (TSG3nCMP1E-TSG3nCMP12E) へライトした値が、すぐに内部のバッファレジスタに転送されカウンタ値との比較対象になるモードです。

コンペアレジスタ (TSG3nCMP1E-TSG3nCMP12E) 等へライト後、1 クロック (PCLK) 後に内部コンペアバッファレジスタへ値が転送されます。

TSG3nCMP0E の転送タイミングは、コンペアレジスタへライト後の 18 ビットカウンタの山／谷タイミング (HT-PWM モードのみ)、もしくは TSG3nCMP0E と 18 ビットカウンタの一致タイミング (HT-PWM モード以外) になります。

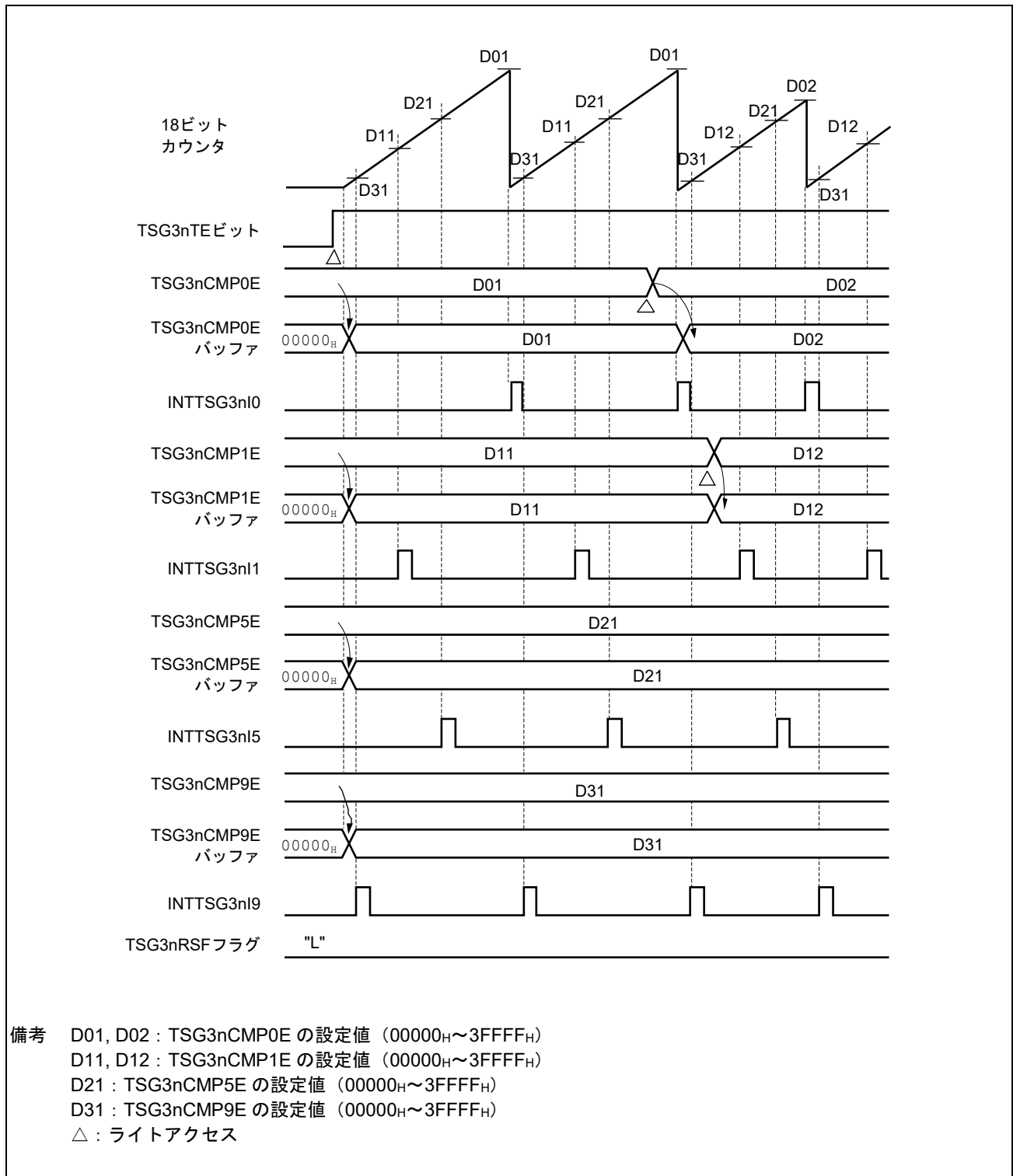


図 20.9 随時書き換えのタイミング (PWM モードの例)

(a) HT-PWM モードにおける随時書き込み時の PWM への反映について

HT-PWM モードの随時書き込み動作では、TSG3nCMP1E、2E、5E、6E、9E、10E レジスタの設定を変更したあと、TSG3nIMT ビットに“1”をライトしたタイミングで、バッファに値が転送され、変更した設定値に応じて PWM 出力を強制的にセット/クリアします。

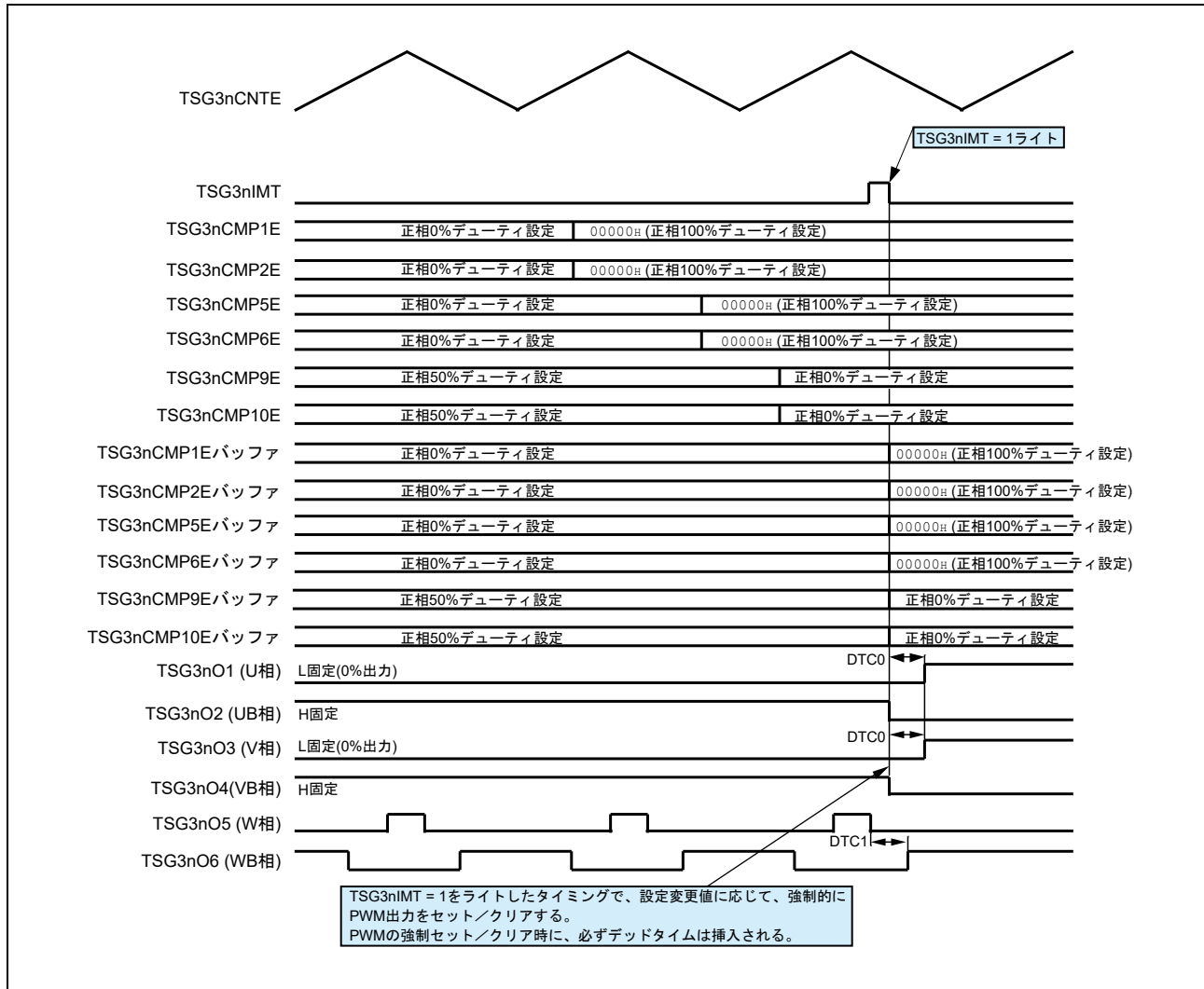


図 20.10 HT-PWM モードの随時書き込み動作時の、TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタの更新タイミング図

(2) リロードモード（一斉書き換え機能）の動作例

書き換えたリロード対象レジスタ（「**20.3.1 レジスタ一覧**」の“リロード”に“あり”と記載されているレジスタ）の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

リロード対象レジスタは、リロード要求フラグ TSG3nSTR0.TSG3nRSF = 0 のときに書き換えてください。

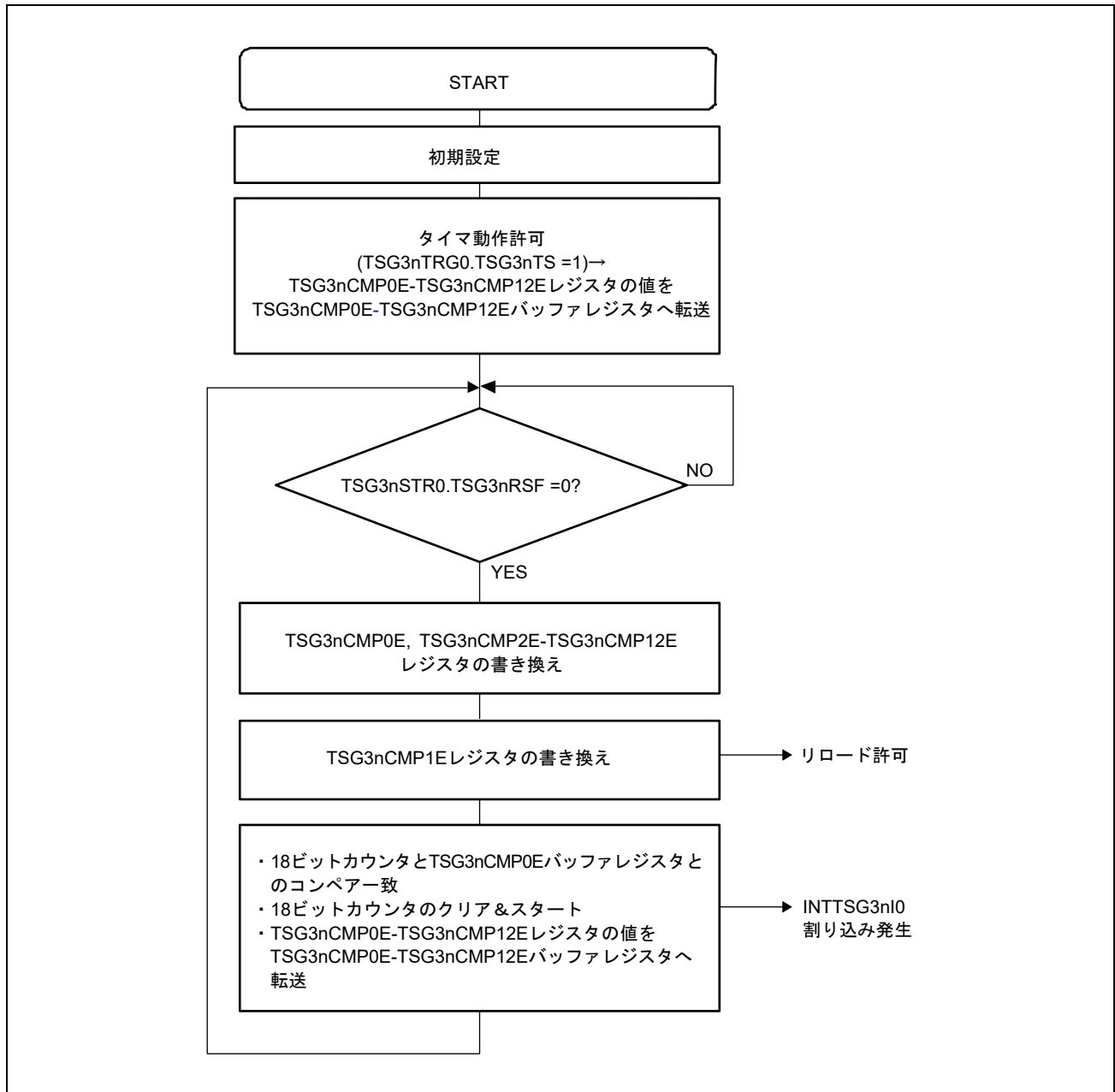


図 20.11 リロードモード（一斉書き換え機能）の基本動作フロー（PWM モードの例）

注 意

TSG3nCMP1E へのライトアクセスにはリロードを許可する動作も含まれます。したがって TSG3nCMP1E の書き換えは他の TSG3nCMP0E, TSG3nCMP2E-TSG3nCMP12E レジスタの書き換えより後に行ってください。

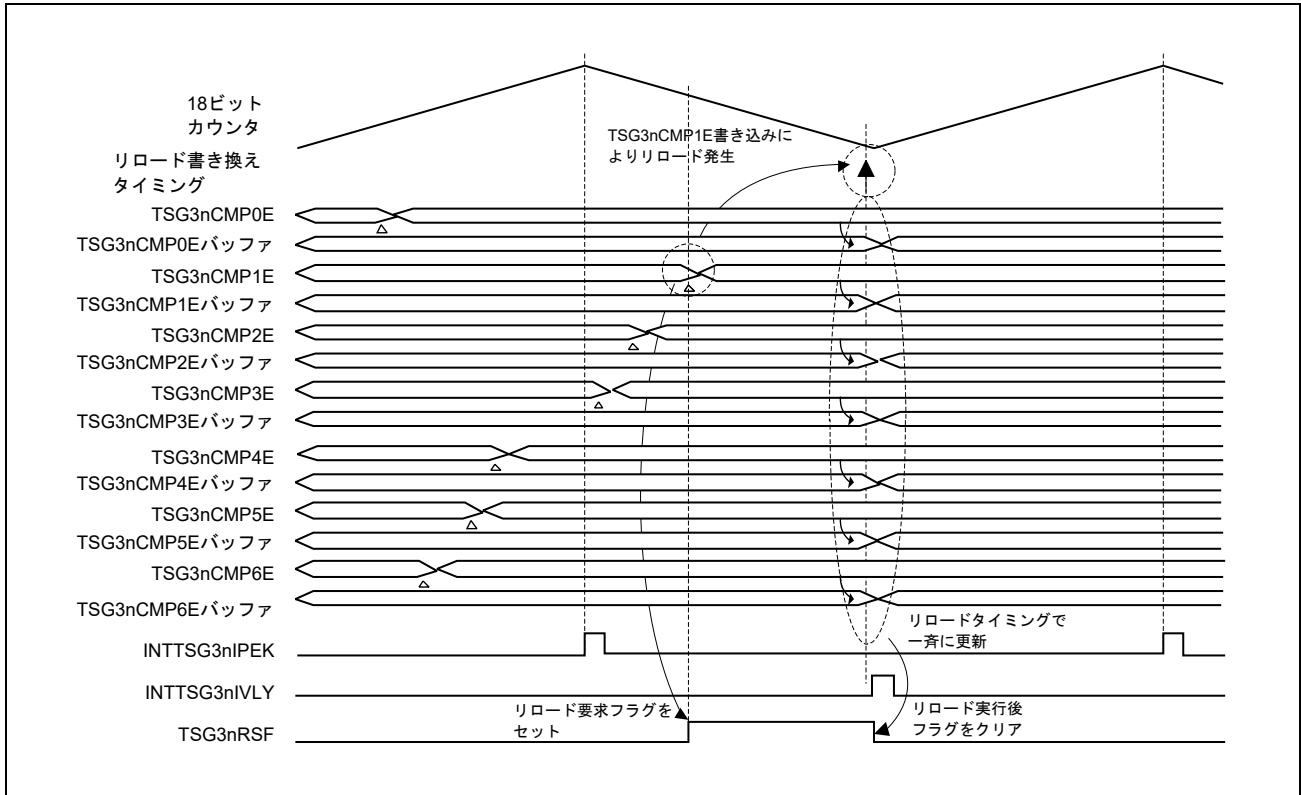


図 20.12 一斉書き換えのタイミング (HT-PWM モードの例) (1/2)

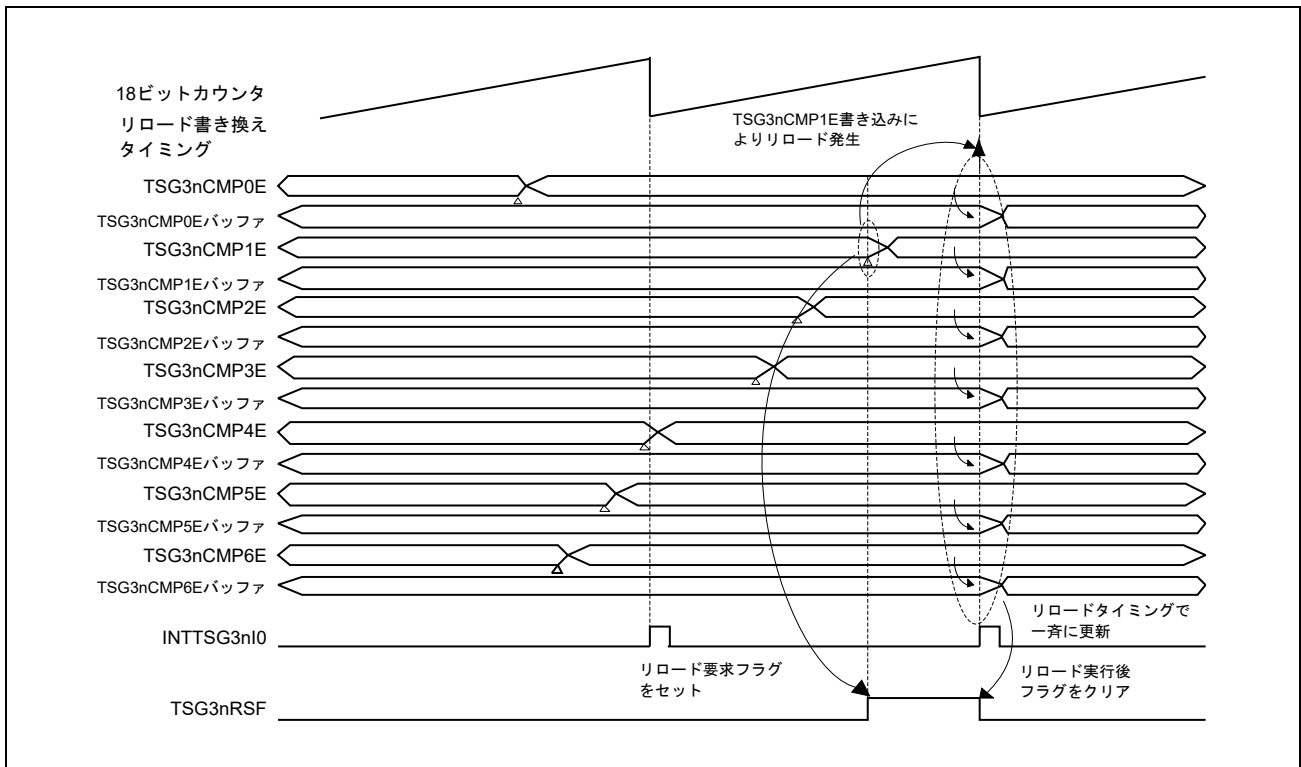


図 20.12 一斉書き換えのタイミング (PWM モードの例) (2/2)

(a) 各モードのリロード書き換え設定例

リロード発生条件および設定例を示します。

表 20.47 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 0 の場合)

モード	TSG3nCTL4. TSG3nPRE	TSG3nCTL4. TSG3nVRE	TSG3nCTL4. TSG3nPIE	TSG3nCTL4. TSG3nVIE	TSG3nCTL4. TSG3nRCC04- TSG3nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0/1	0/1	任意	INTTSG3nI0 発生時
120-DC モード	1	1	0/1	0/1	任意	INTTSG3nI0 発生時
HSP-PWM モード						
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0/1	0/1	任意	INTTSG3nIVLY 発生時
	1	0	0/1	0/1	任意	INTTSG3nIPEK 発生時
	1	1	0/1	0/1	任意	INTTSG3nIPEK/ INTTSG3nIVLY 発生時

表 20.48 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 1 の場合)

モード	TSG3nCTL4. TSG3nPRE	TSG3nCTL4. TSG3nVRE	TSG3nCTL4. TSG3nPIE	TSG3nCTL4. TSG3nVIE	TSG3nCTL4. TSG3nRCC04- TSG3nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0	0/1	任意	設定禁止
120-DC モード	1	0	1	0/1	任意	INTTSG3nI0 発生時
HSP-PWM モード	1	1	0	0/1	任意	設定禁止
	1	1	1	0/1	任意	INTTSG3nI0 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0	0	任意	設定禁止
	0	1	0	1	任意	INTTSG3nIVLY 発生時
	0	1	1	0	任意	設定禁止
	0	1	1	1	任意	INTTSG3nIVLY 発生時
	1	0	0	0/1	任意	設定禁止
	1	0	1	0/1	任意	INTTSG3nIPEK 発生時
	1	1	0	0	任意	設定禁止
	1	1	0	1	任意	INTTSG3nIVLY 発生時
	1	1	1	0	任意	INTTSG3nIPEK 発生時
	1	1	1	1	任意	INTTSG3nIPEK/ INTTSG3nIVLY 発生時

20.4.1.4 各モード時における出力一覧

各モード時のタイマ出力 (TSG3nO0-TSG3nO7 端子) 一覧を次に示します。

表 20.49 モード別タイマ出力一覧 (1/3)

動作モード	TSG3nO0 端子	TSG3nO1 端子	TSG3nO2 端子
PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペア一致による PWM 出力	TSG3nCMP3E, TSG3nCMP4E のコンペア一致による PWM 出力
HT-PWM モード	18 ビットカウンタ、または 18 ビットサブカウンタのアップ/ダウンステータス出力	TSG3nCMP1E, TSG3nCMP2E のコンペア一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO1 端子に対する逆相 PWM 出力 (デッドタイム付き)
SP-PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペア一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO1 端子に対する逆相 PWM 出力 (デッドタイム付き)
120-DC モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力
HSP-PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペア一致による PWM 出力	TSG3nCMP3E, TSG3nCMP4E のコンペア一致による PWM 出力

表 20.49 モード別タイマ出力一覧 (2/3)

動作モード	TSG3nO3 端子	TSG3nO4 端子	TSG3nO5 端子
PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペア一致による PWM 出力	TSG3nCMP7E, TSG3nCMP8E のコンペア一致による PWM 出力	TSG3nCMP9E, TSG3nCMP10E のコンペア一致による PWM 出力
HT-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペア一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO3 端子に対する逆相 PWM 出力 (デッドタイム付き)	TSG3nCMP9E, TSG3nCMP10E のコンペア一致による正相 PWM 出力 (デッドタイム付き)
SP-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペア一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO3 端子に対する逆相 PWM 出力 (デッドタイム付き)	TSG3nCMP9E, TSG3nCMP10E のコンペア一致による正相 PWM 出力 (デッドタイム付き)
120-DC モード	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力
HSP-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペア一致による PWM 出力	TSG3nCMP7E, TSG3nCMP8E のコンペア一致による PWM 出力	TSG3nCMP9E, TSG3nCMP10E のコンペア一致による PWM 出力

表 20.49 モード別タイマ出力一覧 (3/3)

動作モード	TSG3nO6 端子	TSG3nO7 端子
PWM モード	TSG3nCMP11E, TSG3nCMP12E のコンペア一致による PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注 1}
HT-PWM モード	TSG3nO5 端子に対する逆相 PWM 出力 (デッドタイム付き)	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注 1}
SP-PWM モード	TSG3nO5 端子に対する逆相 PWM 出力 (デッドタイム付き)	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注 1}
120-DC モード	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注 1}
HSP-PWM モード	TSG3nCMP11E, TSG3nCMP12E のコンペア一致による PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注 1}

注 1. TSG3nO7 に関しては「(a) TSG3nO7 端子の出力制御」を参照してください。

(a) TSG3nO7 端子の出力制御

A/D 変換トリガ用のパルス (TSG3nIOC1.TSG3nTGS = 0)、またはダイアグ出力 (TSG3nIOC1.TSG3nTGS = 1) を TSG3nO7 端子に出力することができます。A/D 変換トリガ用のパルス出力時の TSG3nO7 端子は、TSG3nADTRG0 信号の立ち上がりエッジでアクティブとなり、TSG3nADTRG1 信号の立ち上がりエッジでインアクティブとなります。TSG3nO7 端子がアクティブの状態では TSG3nADTRG0 信号を検出した場合は、TSG3nO7 端子はアクティブレベルを維持します。また、TSG3nO7 端子がインアクティブの状態では TSG3nADTRG1 信号を検出した場合は、TSG3nO7 端子はインアクティブレベルを維持します。TSG3nADTRG0、TSG3nADTRG1 信号のトリガが同時の場合は、TSG3nO7 端子のインアクティブが優先されます。

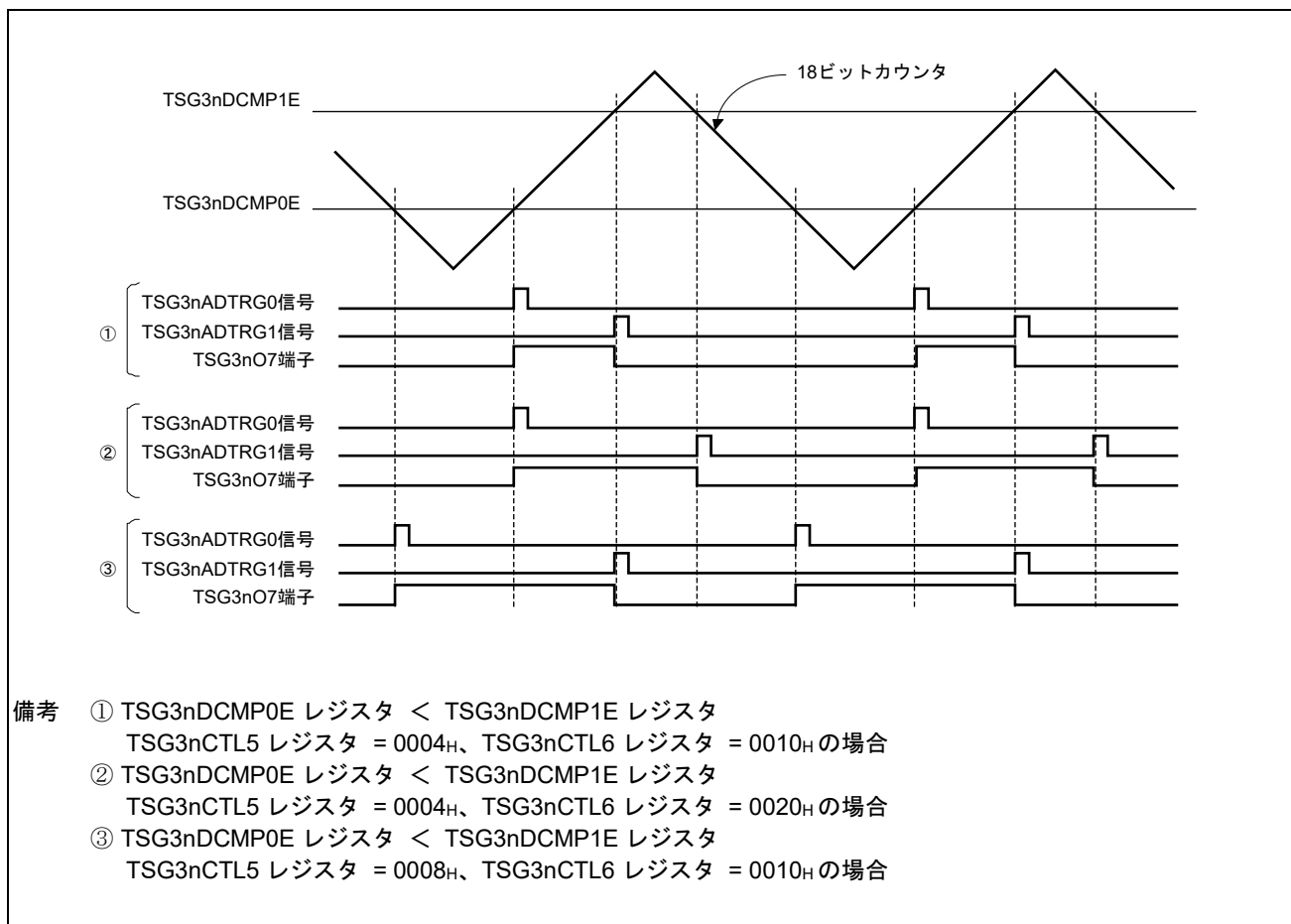


図 20.13 TSG3nO7 端子の A/D トリガ出力タイミング例 (TSG3nIOC1.TSG3nTGS = 0)

ダイアグ出力時の TSG3nO7 端子は、TSG3nDCMP0E-TSG3nDCMP2E が 18 ビットカウンタと一致するタイミングにて TSG3nCTL0.TSG3nDWD で設定した出力幅のアクティブレベルを出力します。なお、ダイアグ出力がアクティブレベル中に TSG3nDCMP0E-TSG3nDCMP2E と 18 ビットカウンタの一致タイミングが発生した場合、重なったタイミングから TSG3nDWD で設定した出力幅にて続けて出力します。

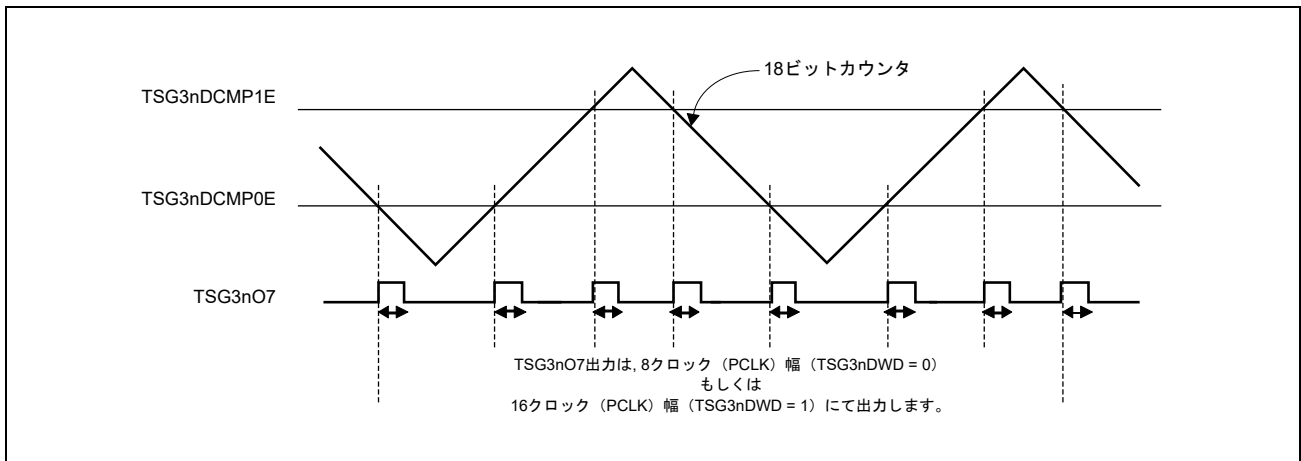


図 20.14 TSG3nO7 端子のダイアグ出カタイミンング例① (TSG3nIOC1.TSG3nTGS = 1)

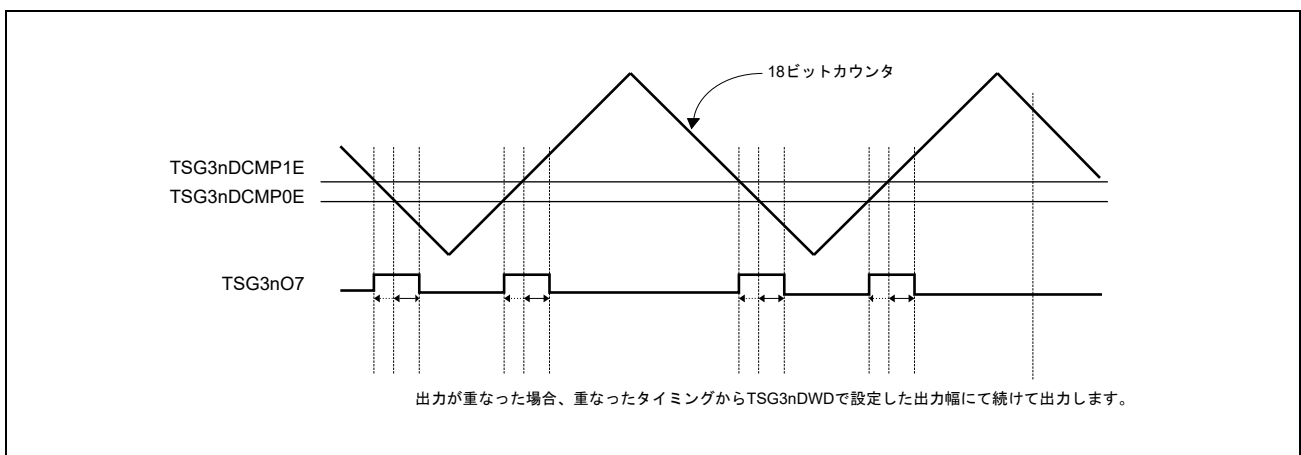


図 20.15 TSG3nO7 端子のダイアグ出カタイミンング例② (出力幅が重なった場合)

20.4.2 一致割り込み

割り込みには、コンペアー一致割り込み (INTTSG3nIm)、山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) が存在します。エラー/ワーニング割り込み (INTTSG3nIER、INTTSG3nIWN) に関しては「**20.4.6 エラー/ワーニング割り込み**」を参照してください。

周期割り込み (INTTSG3nI0) は、タイマの周期毎に発生します。HT-PWM モードでは、TSG3nDTC0 バッファレジスタと 18 ビットカウンタが一致したときに発生します。18 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) では、18 ビットカウンタが TSG3nCMP0E バッファレジスタとの一致後に発生します。

コンペアー一致割り込み (INTTSG3nIm) は、TSG3nCMPmE バッファレジスタと 18 ビットカウンタの一致により発生する割り込みで、動作モードで使用するコンペアレジスタに応じて一致割り込みを発生します。
($m = 1 \sim 12$)

山割り込み (INTTSG3nIPEK) は、すべてのモードで発生します。HT-PWM モードでは、18 ビットカウンタがアップカウントからダウンカウントに切り替わるときに発生します。18 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) では、18 ビットカウンタが TSG3nCMP0E バッファレジスタとの一致後に発生します (INTTSG3nI0 割り込みと同タイミング)。

谷割り込み (INTTSG3nIVLY) は、HT-PWM モードで 18 ビットカウンタがダウンカウントからアップカウントに切り替わるときに発生します。

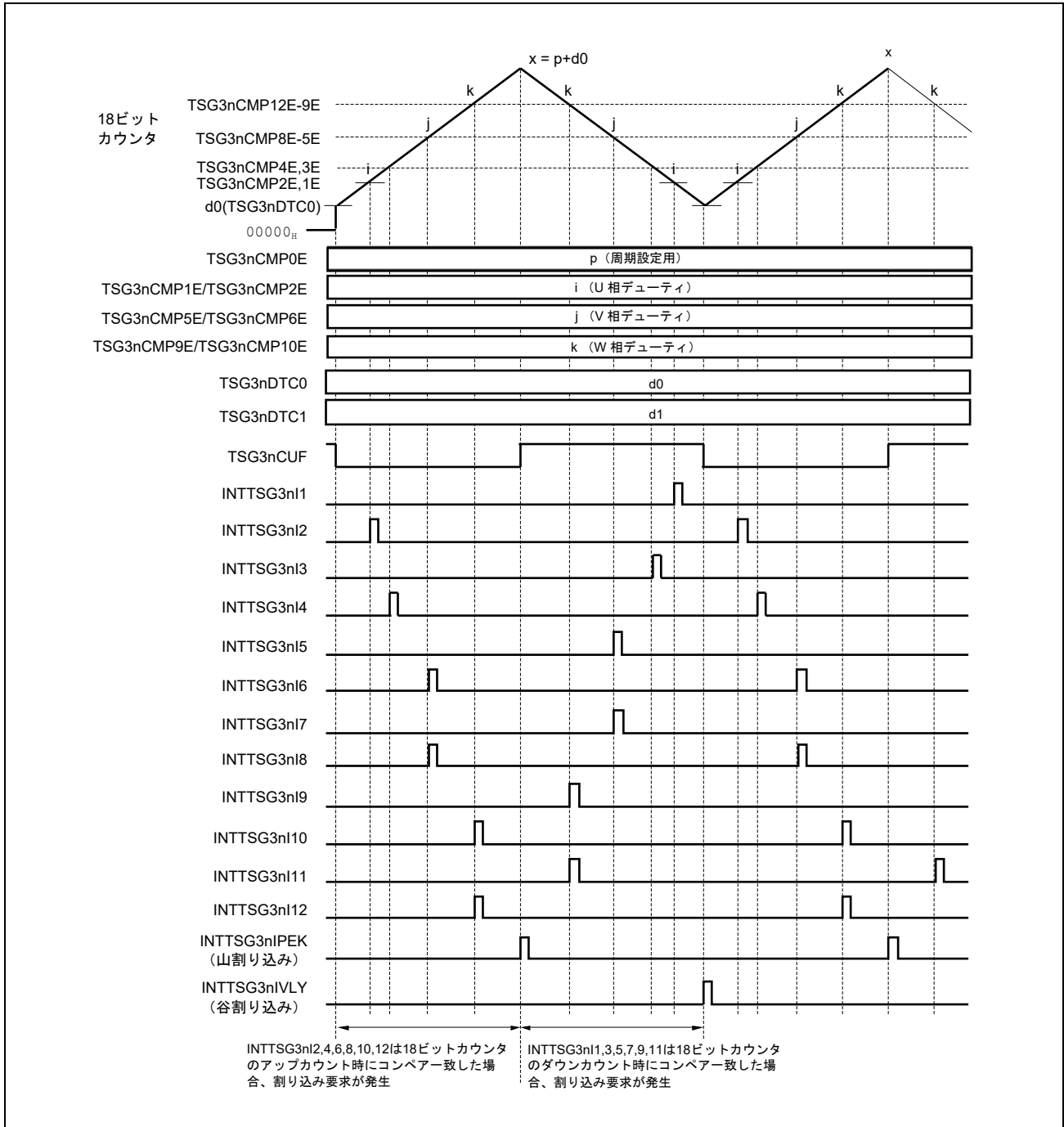


図 20.16 割り込み発生例 (HT-PWM モードの例)

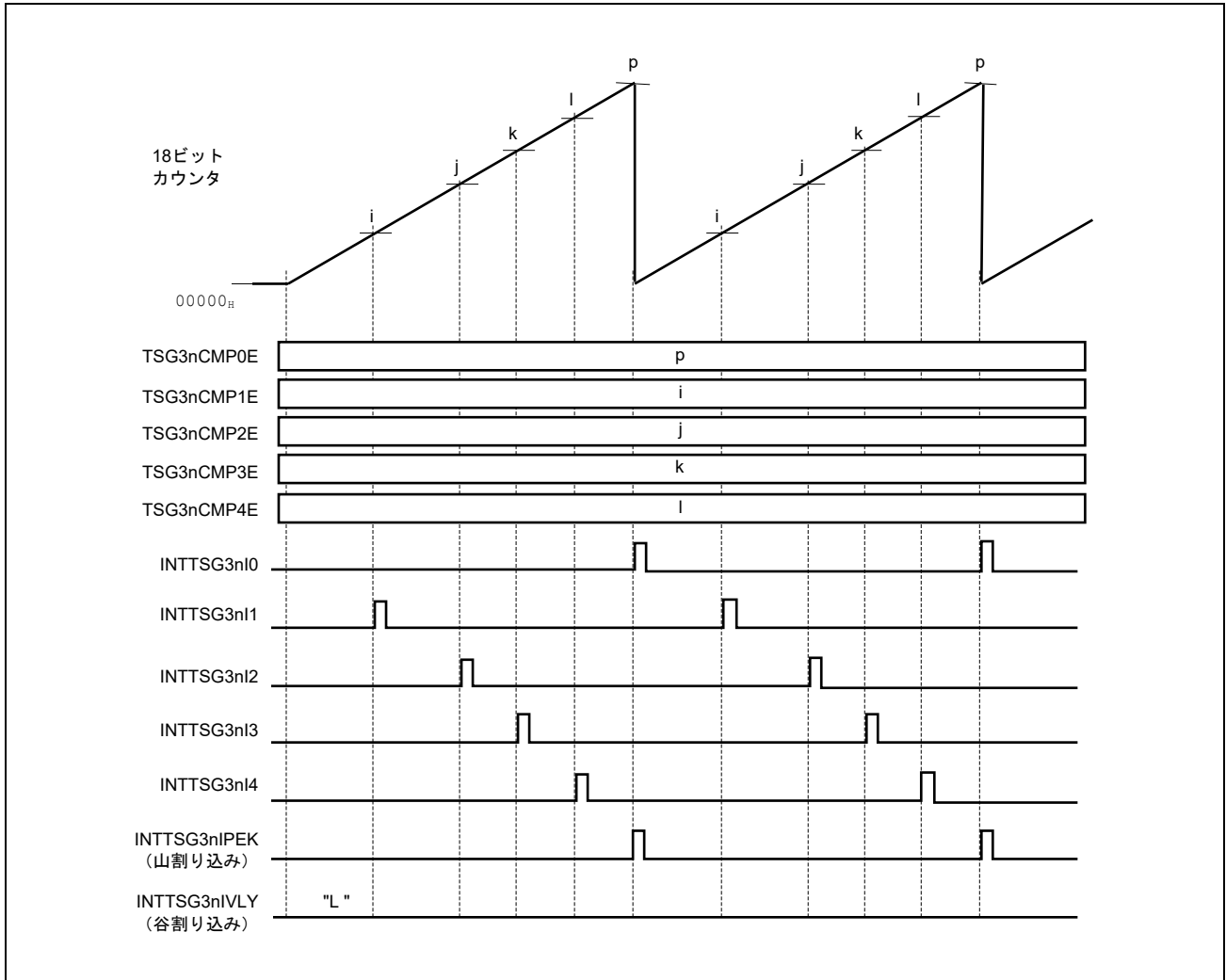


図 20.17 割り込み発生例 (PWM モードの例)

各モード時の割り込み (INTTSG3nI0-INTTSG3nI12、INTTSG3nIPEK、INTTSG3nIVLY、INTTSG3nIER、INTTSG3nIWN) 一覧を表 20.50 に示します。

表 20.50 モード別割り込み一覧 (1/5)

動作モード	INTTSG3nI0	INTTSG3nI1	INTTSG3nI2	INTTSG3nI3
PWM モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注 1}	TSG3nCMP2E コンペア一致割り込み ^{注 1}	TSG3nCMP3E コンペア一致割り込み ^{注 1}
HT-PWM モード	周期割り込み	ダウンカウント (TSG3nCUF = 1) 時、TSG3nCMP1E コンペア一致割り込み ^{注 2}	アップカウント (TSG3nCUF = 0) 時、TSG3nCMP2E コンペア一致割り込み ^{注 2}	ダウンカウント (TSG3nCUF = 1) 時、TSG3nCMP3E コンペア一致割り込み ^{注 2}
SP-PWM モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注 1}	TSG3nCMP2E コンペア一致割り込み ^{注 1}	—
120-DC モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注 1}	TSG3nCMP2E コンペア一致割り込み ^{注 1}	TSG3nCMP3E コンペア一致割り込み ^{注 1}
HSP-PWM モード	TSG3nCMP0E コンペア一致割り込み	TSG3nCMP1E コンペア一致割り込み ^{注 1}	TSG3nCMP2E コンペア一致割り込み ^{注 1}	TSG3nCMP3E コンペア一致割り込み ^{注 1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1~12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 20.50 モード別割り込み一覧 (2/5)

動作モード	INTTSG3nI4	INTTSG3nI5	INTTSG3nI6	INTTSG3nI7
PWM モード	TSG3nCMP4E コンペア一致割り込み ^{注 1}	TSG3nCMP5E コンペア一致割り込み ^{注 1}	TSG3nCMP6E コンペア一致割り込み ^{注 1}	TSG3nCMP7E コンペア一致割り込み ^{注 1}
HT-PWM モード	アップカウント (TSG3nCUF = 0) 時、TSG3nCMP4E コンペア一致割り込み ^{注 2}	ダウンカウント (TSG3nCUF = 1) 時、TSG3nCMP5E コンペア一致割り込み ^{注 2}	アップカウント (TSG3nCUF = 0) 時、TSG3nCMP6E コンペア一致割り込み ^{注 2}	ダウンカウント (TSG3nCUF = 1) 時、TSG3nCMP7E コンペア一致割り込み ^{注 2}
SP-PWM モード	—	TSG3nCMP5E コンペア一致割り込み ^{注 1}	TSG3nCMP6E コンペア一致割り込み ^{注 1}	—
120-DC モード	TSG3nCMP4E コンペア一致割り込み ^{注 1}	TSG3nCMP5E コンペア一致割り込み ^{注 1}	TSG3nCMP6E コンペア一致割り込み ^{注 1}	TSG3nCMP7E コンペア一致割り込み ^{注 1}
HSP-PWM モード	TSG3nCMP4E コンペア一致割り込み ^{注 1}	TSG3nCMP5E コンペア一致割り込み ^{注 1}	TSG3nCMP6E コンペア一致割り込み ^{注 1}	TSG3nCMP7E コンペア一致割り込み ^{注 1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1~12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 20.50 モード別割り込み一覧 (3/5)

動作モード	INTTSG3nI8	INTTSG3nI9	INTTSG3nI10	INTTSG3nI11
PWM モード	TSG3nCMP8E コンペア一致割り込み ^{注 1}	TSG3nCMP9E コンペア一致割り込み ^{注 1}	TSG3nCMP10E コンペア一致割り込み ^{注 1}	TSG3nCMP11E コンペア一致割り込み ^{注 1}
HT-PWM モード	アップカウント (TSG3nCUF = 0) 時、TSG3nCMP8E コンペア一致割り込み ^{注 2}	ダウンカウント (TSG3nCUF = 1) 時、TSG3nCMP9E コンペア一致割り込み ^{注 2}	アップカウント (TSG3nCUF = 0) 時、TSG3nCMP10E コンペア一致割り込み ^{注 2}	ダウンカウント (TSG3nCUF = 1) 時、TSG3nCMP11E コンペア一致割り込み ^{注 2}
SP-PWM モード	—	TSG3nCMP9E コンペア一致割り込み ^{注 1}	TSG3nCMP10E コンペア一致割り込み ^{注 1}	—
120-DC モード	TSG3nCMP8E コンペア一致割り込み ^{注 1}	TSG3nCMP9E コンペア一致割り込み ^{注 1}	TSG3nCMP10E コンペア一致割り込み ^{注 1}	TSG3nCMP11E コンペア一致割り込み ^{注 1}
HSP-PWM モード	TSG3nCMP8E コンペア一致割り込み ^{注 1}	TSG3nCMP9E コンペア一致割り込み ^{注 1}	TSG3nCMP10E コンペア一致割り込み ^{注 1}	TSG3nCMP11E コンペア一致割り込み ^{注 1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1~12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 20.50 モード別割り込み一覧 (4/5)

動作モード	INTTSG3nI12	INTTSG3nIPEK	INTTSG3nIVLY
PWM モード	TSG3nCMP12E コンペア一致割り込み ^{注 1}	INTTSG3nI0 と同タイミングで山割り込み	—
HT-PWM モード	アップカウント (TSG3nCUF = 0) 時、TSG3nCMP12E コンペア一致割り込み ^{注 2}	山割り込み	谷割り込み
SP-PWM モード	—	INTTSG3nI0 と同タイミングで山割り込み	—
120-DC モード	TSG3nCMP12E コンペア一致割り込み ^{注 1}	INTTSG3nI0 と同タイミングで山割り込み	—
HSP-PWM モード	TSG3nCMP12E コンペア一致割り込み ^{注 1}	INTTSG3nI0 と同タイミングで山割り込み	—

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1~12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 20.50 モード別割り込み一覧 (5/5)

動作モード	INTTSG3nIER	INTTSG3nIWN
PWM モード	エラー割り込み	ワーニング割り込み
HT-PWM モード	エラー割り込み	ワーニング割り込み
SP-PWM モード	エラー割り込み	ワーニング割り込み
120-DC モード	エラー割り込み	ワーニング割り込み
HSP-PWM モード	エラー割り込み	ワーニング割り込み

20.4.3 フラグ

表 20.51 フラグ一覧表

番号	フラグ名称	記号	レジスタ	動作モード
(1)	アップカウントフラグ	TSG3nCUF	TSG3nSTR0	HT-PWM モード
		TSG3nSUF	TSG3nSTR0	
(2)	正相／逆相同時アクティブ検出フラグ	TSG3nTBF0-TSG3nTBF2	TSG3nSTR2	全動作モード
(3)	リロード要求フラグ	TSG3nRSF	TSG3nSTR0	全動作モード
(4)	ノイズ検出フラグ	TSG3nNDF	TSG3nSTR2	全動作モード
(5)	パタン順序検出フラグ	TSG3nTSF	TSG3nSTR1	全動作モード
(6)	パタンエラー検出フラグ	TSG3nPEF	TSG3nSTR2	全動作モード
(7)	パタン反転検出フラグ	TSG3nPRF	TSG3nSTR2	全動作モード
(8)	TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ	TSG3nPTF	TSG3nSTR2	全動作モード
(9)	TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ	TSG3nTDF	TSG3nSTR2	全動作モード
(10)	パタン位相差異検出フラグ	TSG3nPPF	TSG3nSTR2	全動作モード
(11)	タイマ出力パタンフラグ	TSG3nOPF0-TSG3nOPF2	TSG3nSTR1	全動作モード
(12)	パタン切り替え検出信号 (内部信号)	TSG3nPTE	—	全動作モード

20.4.3.1 アップカウントフラグ (TSG3nCUF, TSG3nSUF)

名称

アップカウントフラグ (TSG3nSTR0.TSG3nCUF、TSG3nSUF)

説明

アップカウントフラグには次の 2 種類があります。

TSG3nCUF は、18 ビットカウンタのアップ/ダウンカウントフラグです。

TSG3nSUF は、18 ビットサブカウンタのアップ/ダウンカウントフラグです。

TSG3nCUF/TSG3nSUF とともに、“0” はアップカウント状態を示し、“1” はダウンカウント状態を示します。

TSG3nCUF/TSG3nSUF は、HT-PWM モード時のみ使用できます。

動作例

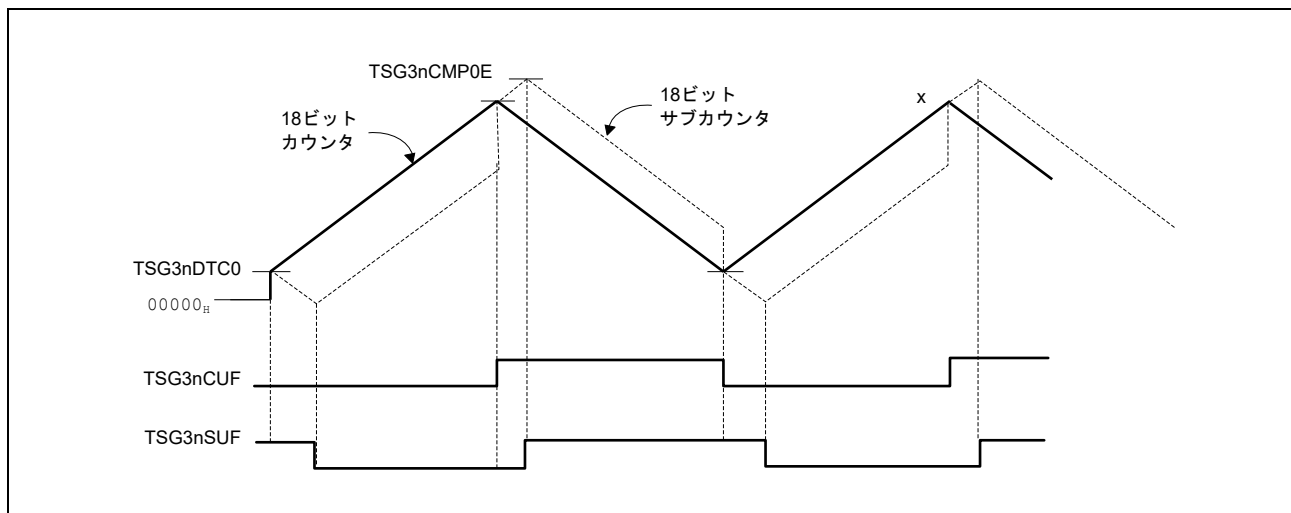


図 20.18 アップカウントフラグ動作例

備考

1. TSG3nCUF の値は次のようになります。

$$TSG3nDTC0 \leq 18 \text{ ビットカウンタ} \leq (TSG3nCMP0E + TSG3nDTC0 \sim 2)$$

...

“0”

(アップカウント)

$$(TSG3nCMP0E + TSG3nDTC0) \geq 18 \text{ ビットカウンタ} \geq TSG3nDTC0 + 2$$

...

“1”

(ダウンカウント)

2. TSG3nSUF の値は次のようになります。

$$0 \leq 18 \text{ ビットサブカウンタ} \leq (TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 \sim 2)$$

...

“0”

(アップカウント)

$$(TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1) \geq 18 \text{ ビットサブカウンタ} \geq 2$$

...

“1”

(ダウンカウント)

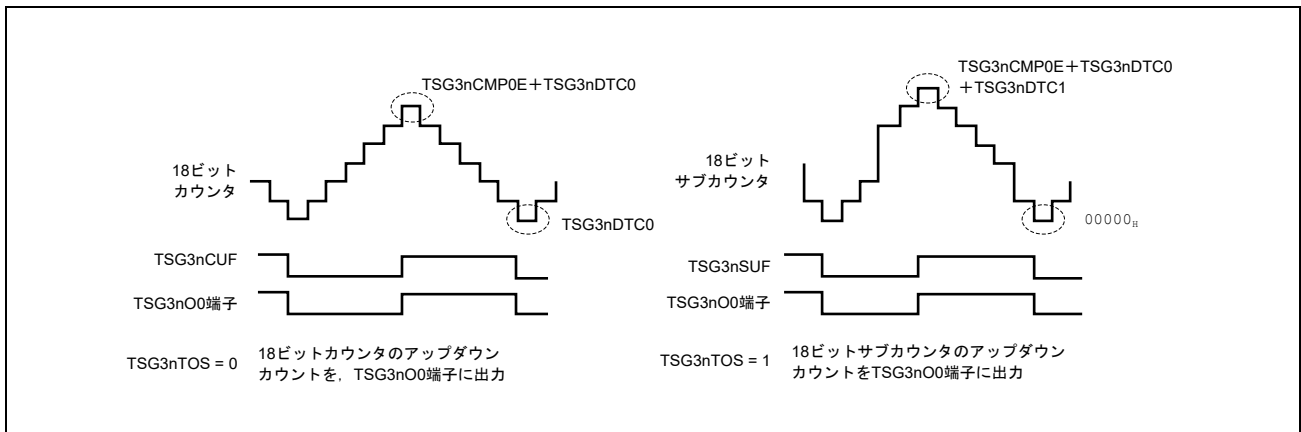


図 20.19 TSG3nIOC1.TSG3nTOS 切り替え時の TSG3nO0 端子出力

動作モード

HT-PWM モード時のみ使用できます。

20.4.3.2 正相／逆相同時アクティブ検出フラグ (TSG3nTBF0-TSG3nTBF2)

名称

正相／逆相同時アクティブ検出フラグ
(TSG3nSTR2.TSG3nTBF0-TSG3nTBF2 フラグ)

説明

TSG3nCTL1.TSG3nTBA2-TSG3nTBA0 のいずれかが “1” の場合において、TSG3nTBF0-TSG3nTBF2 は、TSG3n の正相／逆相の同時アクティブを検出できます。

TSG3n の正相／逆相の同時アクティブを検出した場合、該当する TSG3nTBF0-TSG3nTBF2 フラグはセット (1) されエラー割り込み (INTTSG3nIER) が発生します。TSG3nSTC.TSG3nTBR0-TSG3nTBR2 に “1” をライトしたときに各々クリアされます。

動作例

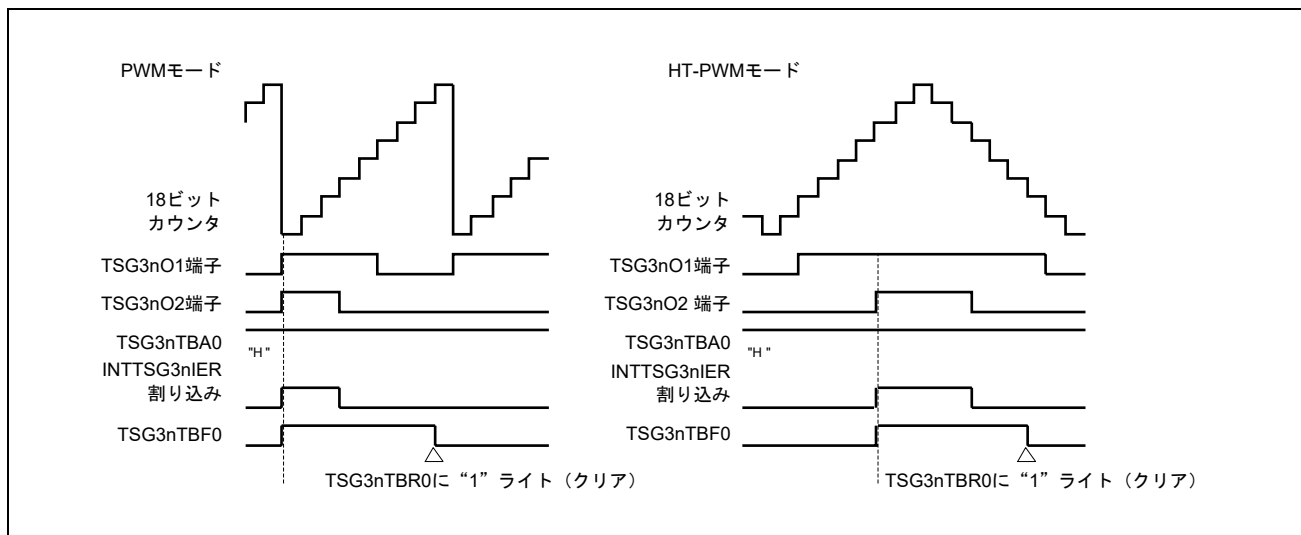


図 20.20 正相／逆相同時アクティブ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nTBF0-TSG3nTBF2 は、TSG3nCTL1.TSG3nTBA0-TSG3nTBA2 = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

20.4.3.3 リロード要求フラグ (TSG3nRSF)

名称

リロード要求フラグ (TSG3nSTR0.TSG3nRSF)

説明

TSG3nRSF は、リロード要求が発生したとき (TSG3nCMP1E (TSG3nCMP1、TSG3nCMP1W、TSG3nCMPUE、TSG3nCMPU、TSG3nUPWE、TSG3nUPW、TSG3nHSPCMUE) レジスタにライトしたとき)、セット (1) されます。リロードが発生し、全バッファレジスタに値が転送されたときクリア (0) されます。

動作例

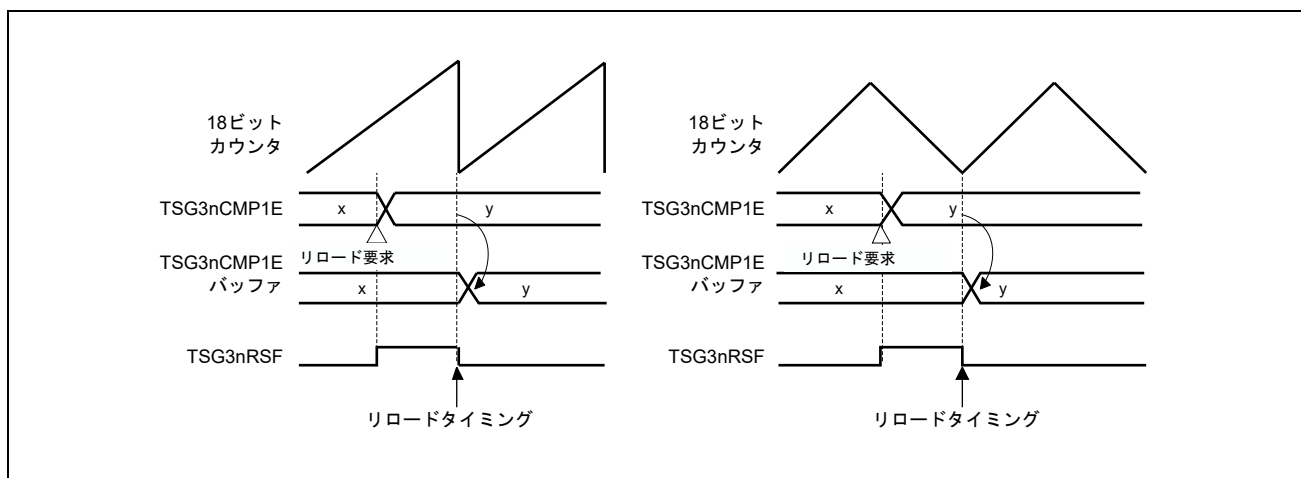


図 20.21 リロード要求フラグ動作例

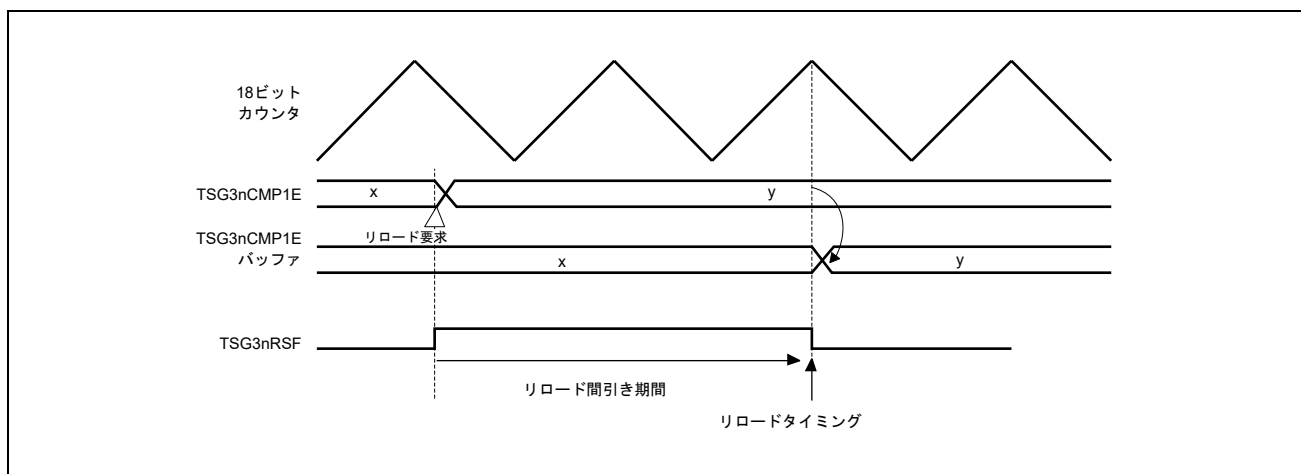


図 20.22 リロード要求フラグとリロード間引き期間

動作モード

すべての動作モードで使用できます。

20.4.3.4 ノイズ検出フラグ (TSG3nNDF)

名称

ノイズ検出フラグ (TSG3nSTR2.TSG3nNDF)

説明

TSG3nNDF は、TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した (ノイズ発生) ことを検出できます。

TSG3nNDF は、TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した (ノイズ発生) 場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nNDF フラグは、TSG3nSTC.TSG3nNDR ビットに “1” をライトしたときにクリア (0) されます。

動作例

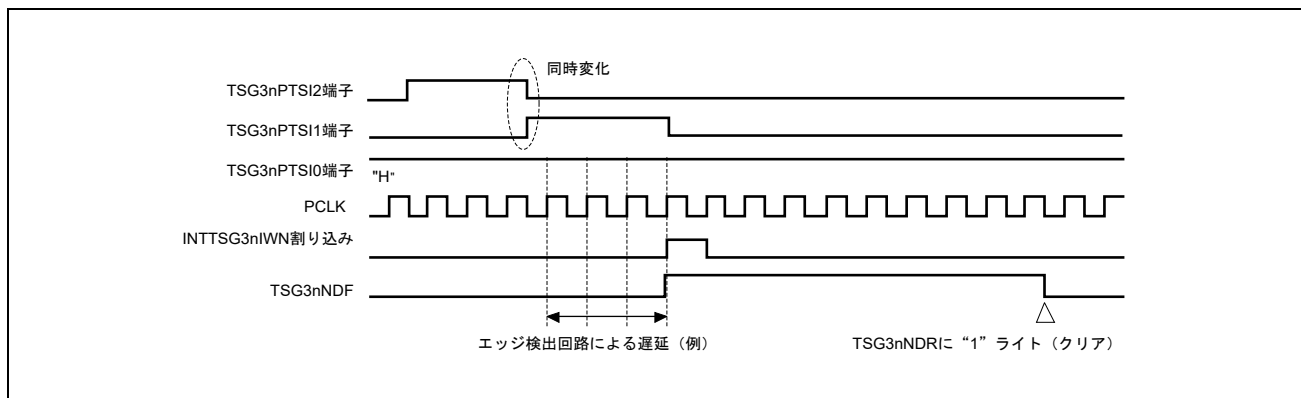


図 20.23 ノイズ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nNDF は、TSG3nCTL1.TSG3nNDC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

20.4.3.5 パタン順序検出フラグ (TSG3nTSF)

名称

パタン順序検出フラグ (TSG3nSTR1.TSG3nTSF)

説明

TSG3nTSF は、TSG3nPTSI2-TSG3nPTSI0 端子に入力しているパタンの順序を検出することができます。

TSG3nPTSI2-TSG3nPTSI0 端子の入力により、次の動作となります。

表 20.52 パタン順序検出フラグとパタン入力順序

TSG3nTSF	TSG3nPTSI2-TSG3nPTSI0 端子の入力
0	[1,0,1] → [1,0,0] → [1,1,0] → [0,1,0] → [0,1,1] → [0,0,1]
1	[1,0,1] ← [1,0,0] ← [1,1,0] ← [0,1,0] ← [0,1,1] ← [0,0,1]

動作例

(a) TSG3nPTSI2-TSG3nPTSI0 端子に正常な入力が発生している場合

図 20.24 のように、TSG3nPTSI2-TSG3nPTSI0 端子が順序どおりに変化した場合は、変化したタイミングで変化した順序に従い“0”あるいは“1”の値がセットされます。

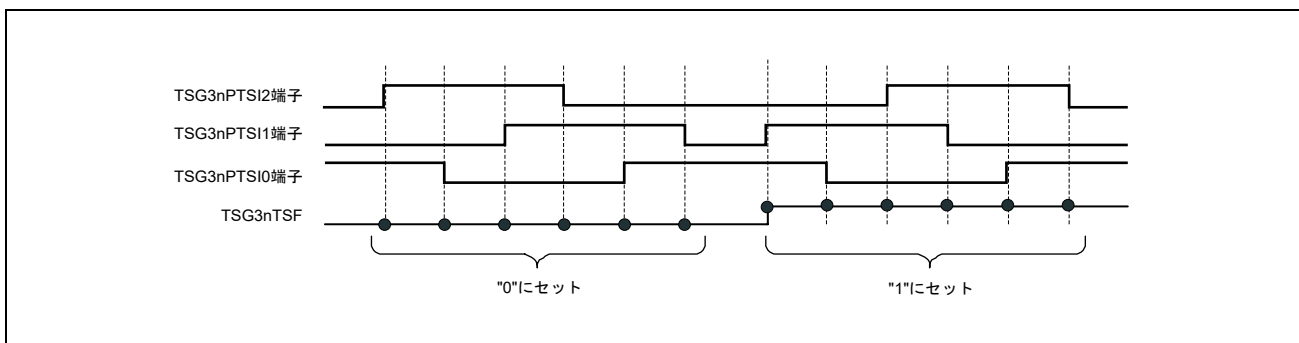


図 20.24 パタン順序検出フラグ動作例 (正常時)

(b) 入力パターン変化の順序検出

TSG3n 動作開始直後は回転方向が判別できないため、TSG3nTSF で、TSG3nPTSI2-TSG3nPTSI0 端子に入力されるパタンの変化 (正転/逆転) を検出できません。動作開始時から検出するためには、動作開始前に TSG3nPSC を設定しておく必要があります (TSG3nTE = 0 のときは、TSG3nPSC の値が反映されます)。

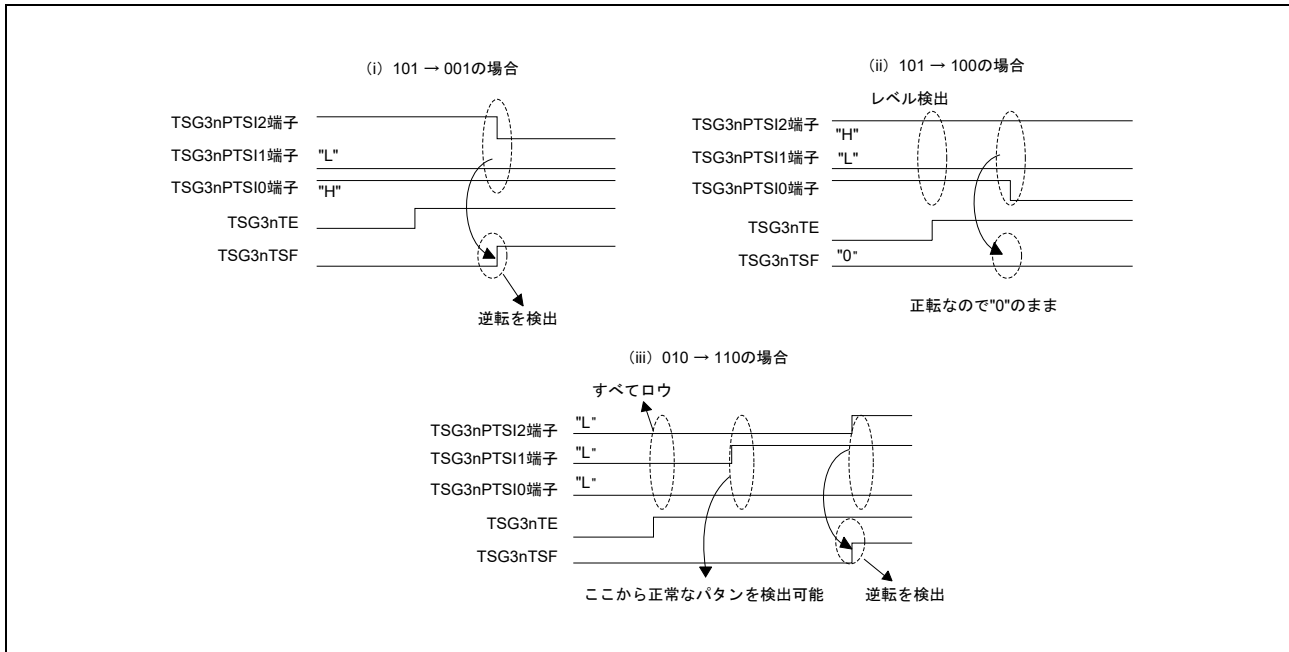


図 20.25 TSG3nPTSI2-TSG3nPTSI0 端子に入力されるパタンの変化 (正転/逆転) 検出例

(c) TSG3nPTSI2-TSG3nPTSI0 端子に異常な入力が発生した場合

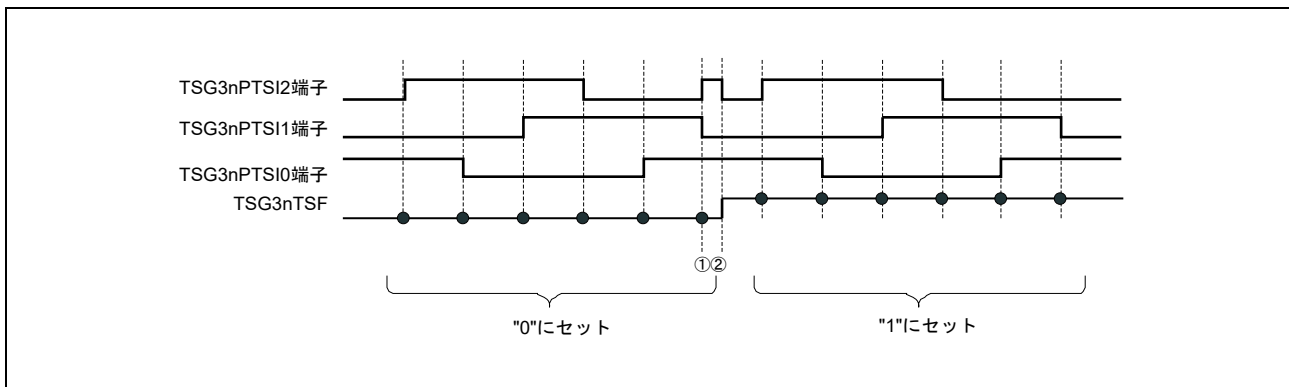


図 20.26 TSG3nPTSI2-TSG3nPTSI0 端子の入力が 2 端子変化した場合の動作例 (異常時)

- ①ここでは、{0, 1, 0}または{0, 0, 1}に変化するのを待っているので、このような場合は、TSG3nTSF は変化しません (2 端子変化した場合、TSG3nTSF は変化しません)。
- ②ここで、TSG3nPTSI2-TSG3nPTSI0 端子が{1, 0, 1}から{0, 0, 1}に変化したと判断し、TSG3nTSF をセット (1) します。

動作モード

すべての動作モードで使用できます。

20.4.3.6 パタンエラー検出フラグ (TSG3nPEF)

名称

パタンエラー検出フラグ (TSG3nSTR2.TSG3nPEF)

説明

TSG3nPEF は、TSG3nPTSI2-TSG3nPTSI0 端子に “000”、“111” が入力されたことを検出できます。

TSG3nPEF は、TSG3nPTSI2-TSG3nPTSI0 端子のレベルが “111” または “000” の場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nPEF は、TSG3nSTC.TSG3nPER に “1” をライトしたときにクリア (0) されます。

動作例

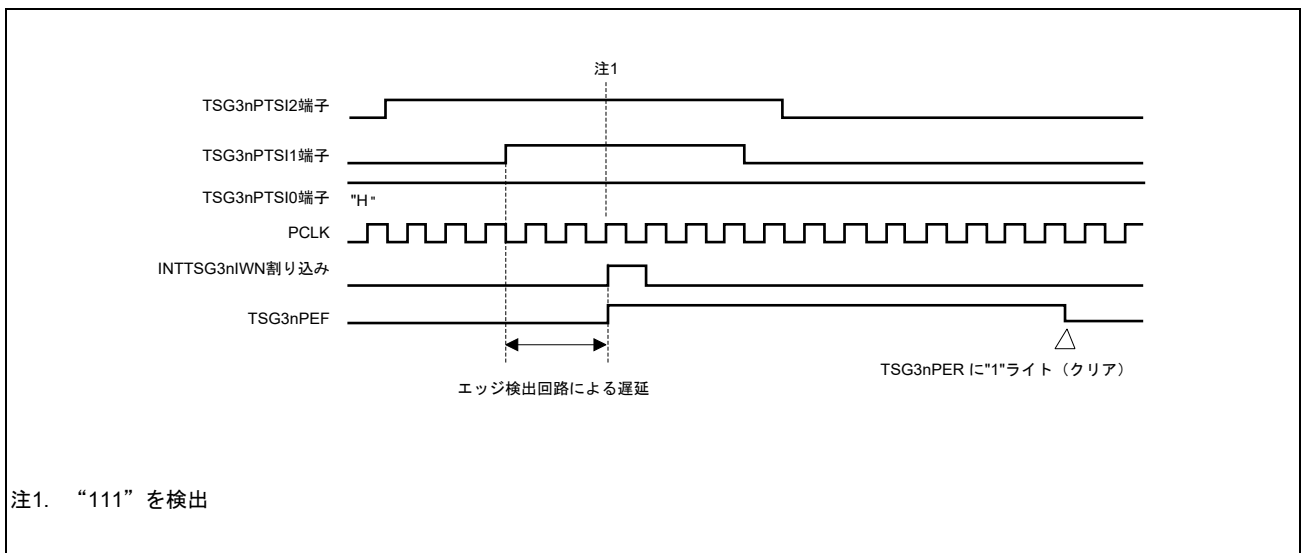


図 20.27 パタンエラー検出フラグ動作例 (TSG3nPTSI2-TSG3nPTSI0 端子 = 111)

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPEF は、TSG3nCTL1.TSG3nPEC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

20.4.3.7 パタン反転検出フラグ (TSG3nPRF)

名称

パタン反転検出フラグ (TSG3nSTR2.TSG3nPRF)

説明

TSG3nPRF は、TSG3nPTSI2-TSG3nPTSI0 端子の変化順序が反転したことを検出できます。

TSG3nPRF は、パタン順序検出フラグ (TSG3nTSF) の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。ただし、TSG3nSTR0.TSG3nTE フラグ = 1 がセットされた直後は、2 回目以降の TSG3nPTSI2-TSG3nPTSI0 端子の変化で TSG3nPRF が有効になります。

TSG3nPRF は、TSG3nSTC.TSG3nPRR ビットに “1” をライトしたときにクリア (0) されます。

動作例

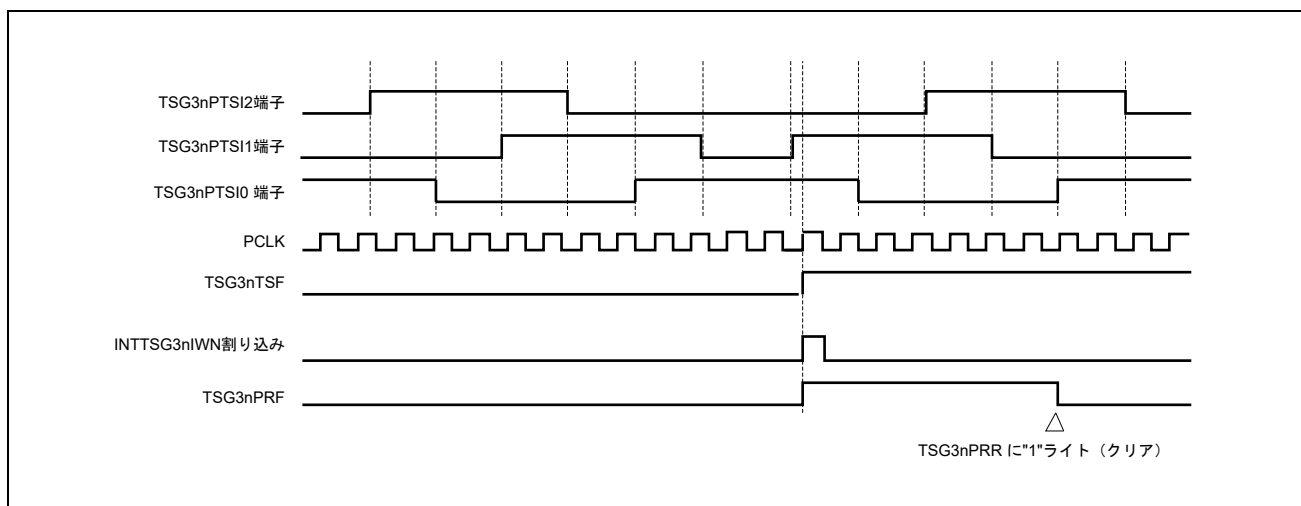


図 20.28 パタン反転検出フラグ動作例

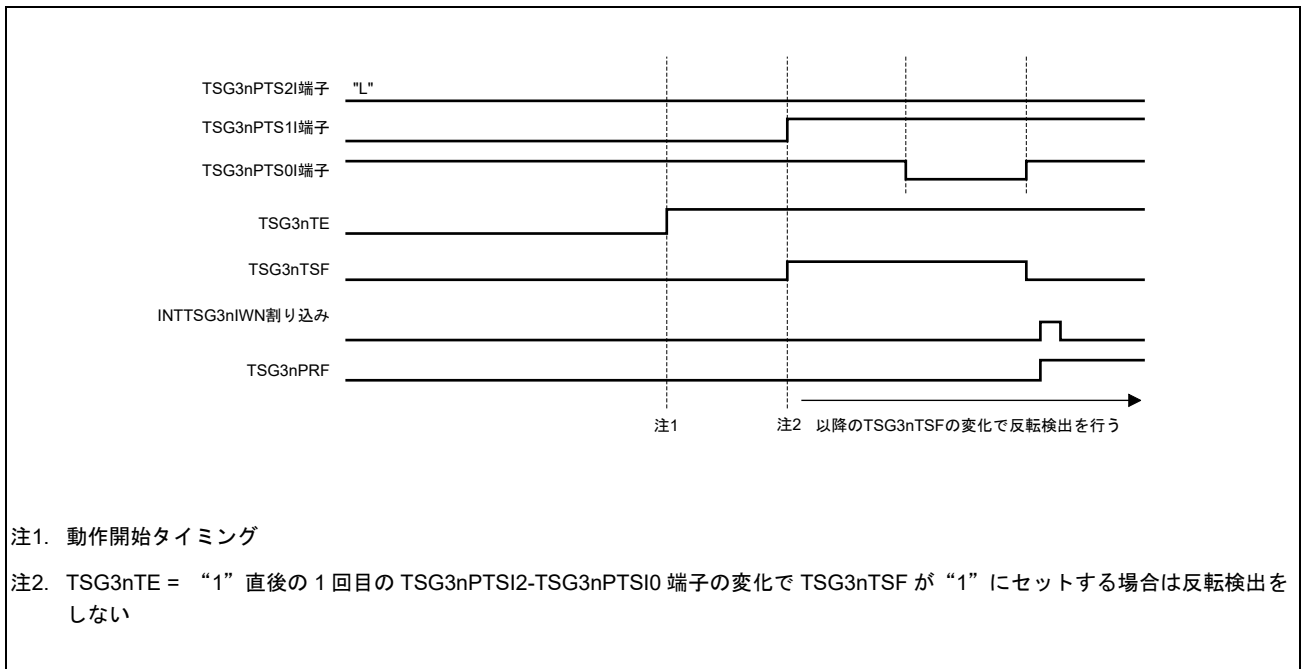


図 20.29 TSG3nSTR0 レジスタの TSG3nTE フラグ = 1 がセットされた直後の動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPRF は、TSG3nCTL1.TSG3nPRC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

20.4.3.8 TSG3nPTSI2-TSG3nPTSI0 端子異常トル検出フラグ (TSG3nPTF)

名称

TSG3nPTSI2-TSG3nPTSI0 端子異常トル検出フラグ (TSG3nSTR2.TSG3nPTF)

説明

TSG3nPTF は、TSG3nOPCI0 信号のトリガ間に TSG3nPTSI2-TSG3nPTSI0 端子の変化が 3 回以上入力されたこと、および TSG3nOPCI1 信号のトリガ間に TSG3nPTSI2-TSG3nPTSI0 端子の変化が 3 回以上入力されたことを検出できます。

TSG3nOPCI0、TSG3nOPCI1 信号の 3 回目のトリガと TSG3nPTSI2-TSG3nPTSI0 端子の変化が同時の場合は、TSG3nPTF がセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。

TSG3nPTF は、TSG3nSTC.TSG3nPTR に “1” をライトしたときにクリア (0) されます。

動作例

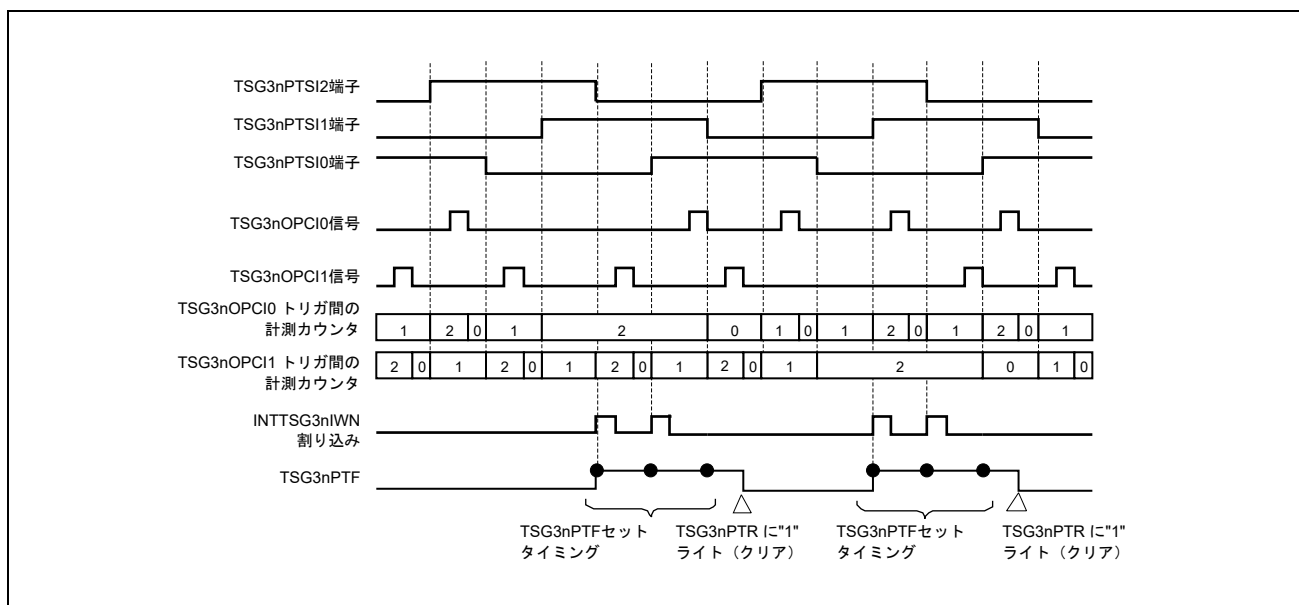


図 20.30 TSG3nPTSI2-TSG3nPTSI0 端子異常トル検出フラグ動作例

動作モード

すべての動作モードで使用できます。

備考

1. TSG3nPTF フラグは、TSG3nCTL1.TSG3nPCTC1 ビット = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。
2. TSG3nPCTC0 ビット = 1 かつ TSG3nPCTC1 ビット = 1 の場合、異常トルを検出すると、TSG3nO1-TSG3nO6 端子の出力切り替え制御がパターン切り替え方式 (TSG3nOPT0.TSG3nPOT ビット = 0) に自動的に切り替わります。

20.4.3.9 TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)

名称

TSG3nOPCI0、TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nSTR2.TSG3nTDF)

説明

TSG3nTDF は、TSG3nOPCI0、TSG3nOPCI1 信号が同時に発生したことを検出できます。

TSG3nTDF は、TSG3nOPCI0、TSG3nOPCI1 信号が同時に発生した場合にセット (1) されワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nTDF は、TSG3nSTC.TSG3nTDR に “1” をライトしたときにクリア (0) されます。

動作例

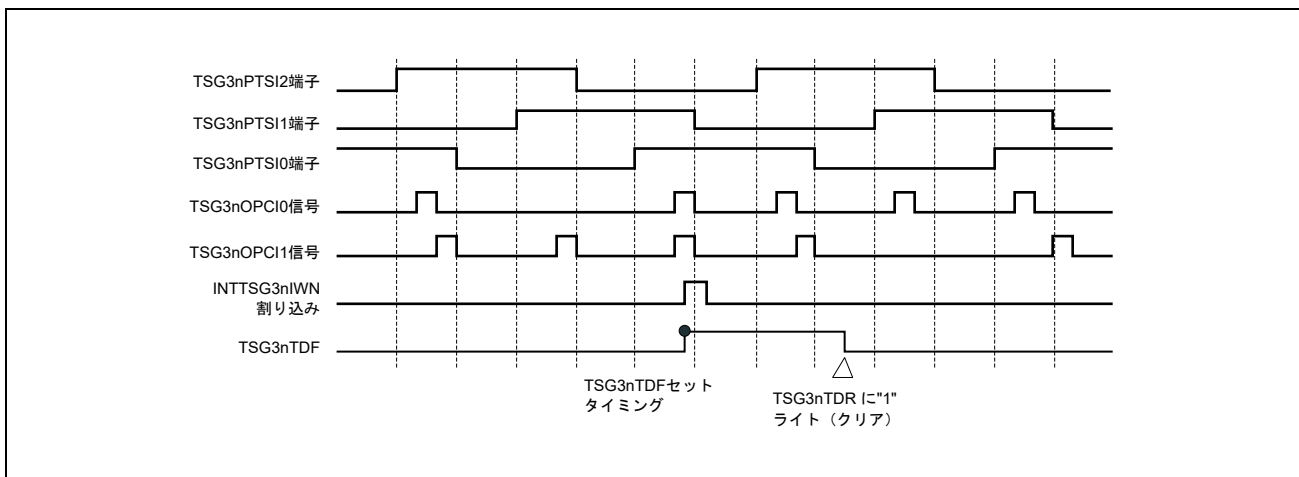


図 20.31 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nTDF は、TSG3nCTL1.TSG3nTDC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

20.4.3.10 パタン位相差異検出フラグ (TSG3nPPF)

名称

パタン位相差異検出フラグ (TSG3nSTR2.TSG3nPPF)

説明

TSG3nPPF は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) と出力パタン (TSG3nSTR1.TSG3nOPF2-TSG3nOPF0 フラグ) の位相差異を検出できます。

TSG3nPPF は、TSG3nOPCI0、TSG3nOPCI1 信号のトリガが入力されたタイミングでパタンの位相差異を検出した場合にセット (1) されワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nPPF は、ソフトウェアで TSG3nSTC.TSG3nPPR に “1” をライトしクリア (0) されるまで “1” を保持しています。位相差異検出時、TSG3nPPF は動作クロック (PCLK) ごとにセットされます。位相差異の発生しないタイミングで TSG3nPPF をクリア (0) してください。

表 20.53 正常な入力パタンと出力パタンの対応表

TSG3nPTSI2-TSG3nPTSI0 端子 (入力)	“1, 0, 1”	“1, 0, 0”	“1, 1, 0”	“0, 1, 0”	“0, 1, 1”	“0, 0, 1”
TSG3nOPF2-TSG3nOPF0 フラグ (出力)	“0, 0, 1” “1, 0, 1” “1, 0, 0”	“1, 0, 1” “1, 0, 0” “1, 1, 0”	“1, 0, 0” “1, 1, 0” “0, 1, 0”	“1, 1, 0” “0, 1, 0” “0, 1, 1”	“0, 1, 0” “0, 1, 1” “0, 0, 1”	“0, 1, 1” “0, 0, 1” “1, 0, 1”

動作例

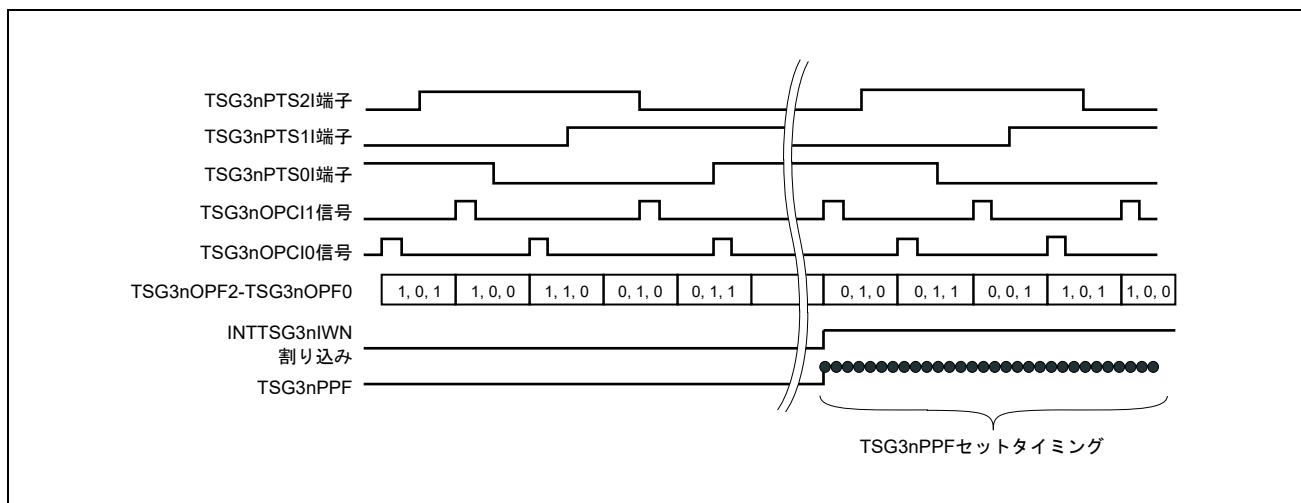


図 20.32 パタン位相差異検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

1. TSG3nPPF は、TSG3nCTL1.TSG3nPPC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときにのみ有効です。
2. TSG3nPTSI2~0 端子入力に “000”、“111” が入力されている場合、もしくは TSG3nOPF2~TSG3nOPF0 が “000”、“111” の場合 TSG3nPPF はセットされません。

20.4.3.11 タイマ出力パターンフラグ (TSG3nOPF2-TSG3nOPF0)

名称

タイマ出力パターンフラグ (TSG3nSTR1.TSG3nOPF2-TSG3nOPF0)

説明

TSG3nOPF2-TSG3nOPF0 フラグは、タイマ出力パターンを示すフラグです。

詳細は「**20.4.7.6 120-DC モード**」、「**20.4.7.10 ソフトウェア出力制御機能**」を参照してください。

動作モード

すべての動作モードで使用できます。

20.4.3.12 パタン切り替え検出信号 (TSG3nPTE)

名称

パタン切り替え検出信号 (TSG3nPTE 信号)

説明

TSG3nPTE 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

トグルパタンは TSG3nPSC ビット (TSG3nOPT0.TSG3nPSS = “1”) によって決定されます。

表 20.54 パタン切り替え検出信号の変化タイミング (1/2)

- TSG3nPSC = 0

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

表 20.54 パタン切り替え検出信号の変化タイミング (2/2)

- TSG3nPSC = 1

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

動作例

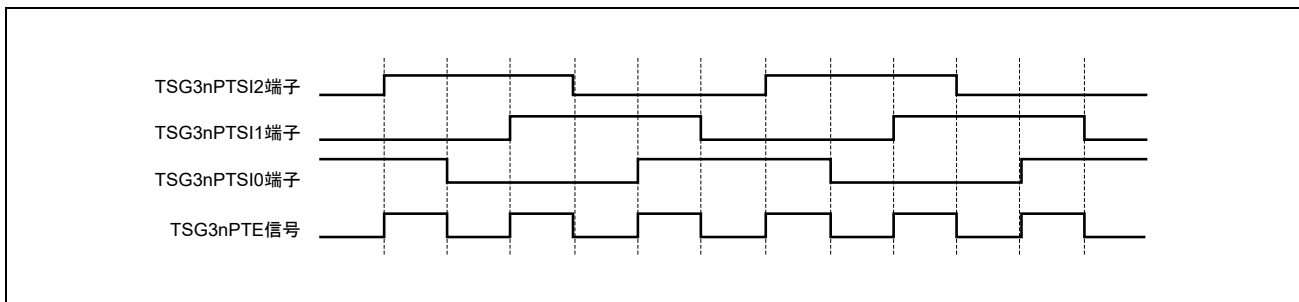


図 20.33 パタン切り替え検出信号動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPTE 信号は、TSG3nIOC1.TSG3nPTS = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときにのみ有効です。

20.4.4 割り込み間引き機能

割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG3nIPEK) と谷割り込み (INTTSG3nIVLY) です。
- TSG3nCTL4.TSG3nPIE で、INTTSG3nIPEK 割り込みの出力許可と間引きカウント対象指定を行います。
- TSG3nCTL4.TSG3nVIE で、INTTSG3nIVLY 割り込みの出力許可と間引きカウント対象指定を行います。

TSG3nCTL3.TSG3nRIA = 1 (リロード間引きあり) した場合は、間引き後の割り込みと同タイミングでリロードタイミグを発生します。TSG3nCTL3.TSG3nRIA = 0 (リロード間引きなし) に指定した場合は、割り込み間引きとは関係なく設定したリロードタイミグにてリロードを発生します。

注 意

TSG3nCTL4 レジスタにライトアクセスし、TSG3nRCC04-TSG3nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなる場合があります。これを避けるためには、割り込み間引きに同調したリロードタイミグの設定 (TSG3nCTL3.TSG3nRIA = 1) にして、割り込み間引き数の変更を行ってください。

20.4.4.1 割り込み間引き機能の動作

さまざまな条件での割り込み間引き機能のタイミグ図を以下に示します。

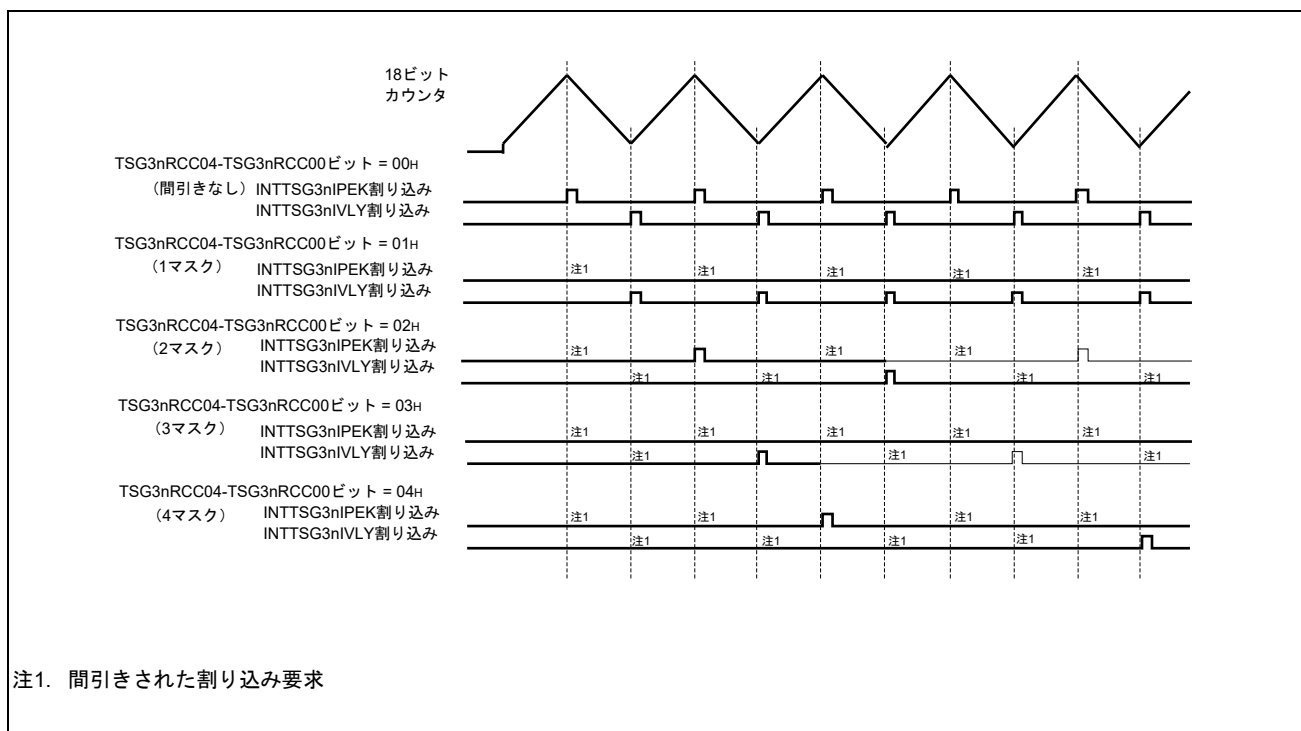


図 20.34 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の山/谷割り込み発生)

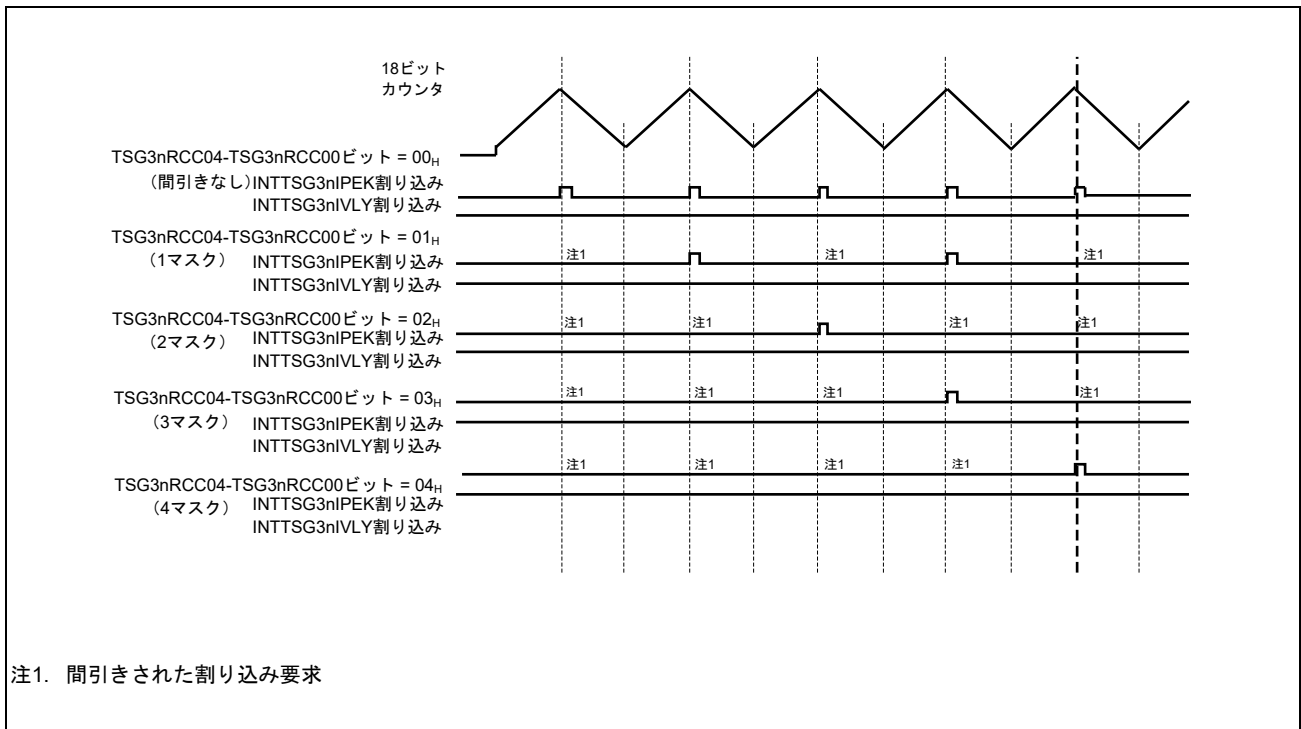


図 20.35 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 0 での割り込み間引き動作 (HT-PWM モード時の山割り込みのみ発生)

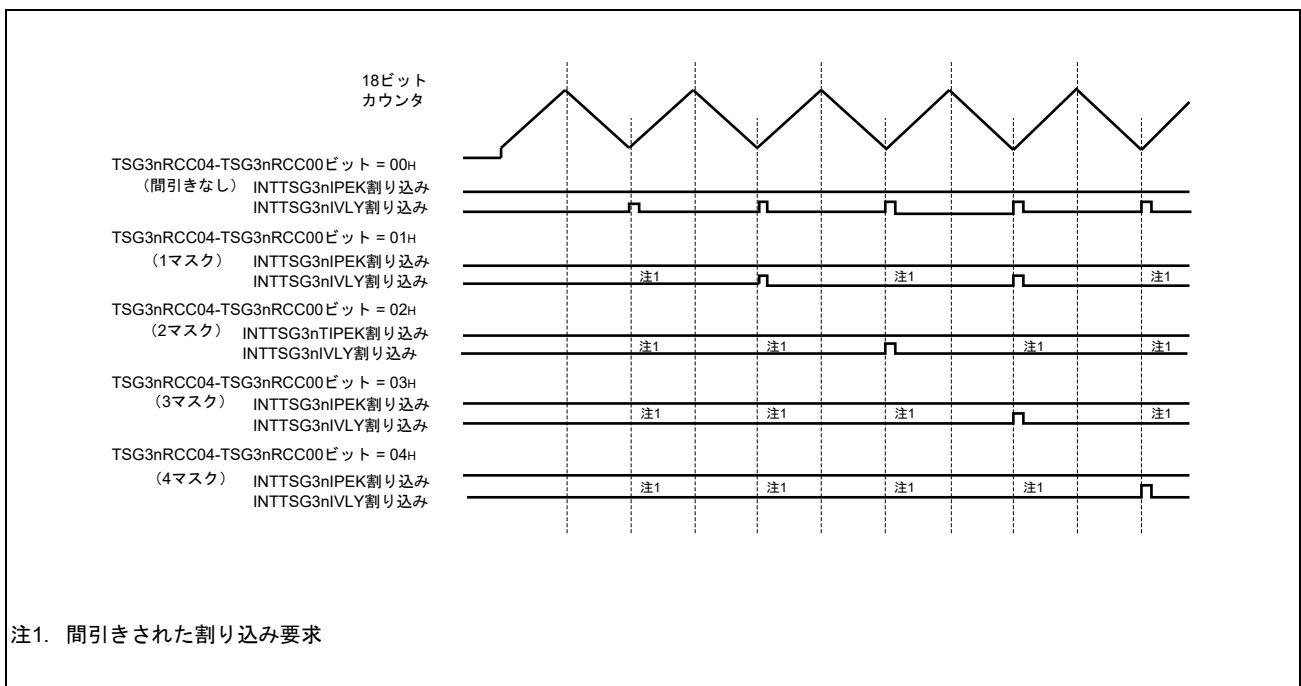


図 20.36 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の谷割り込みのみ発生)

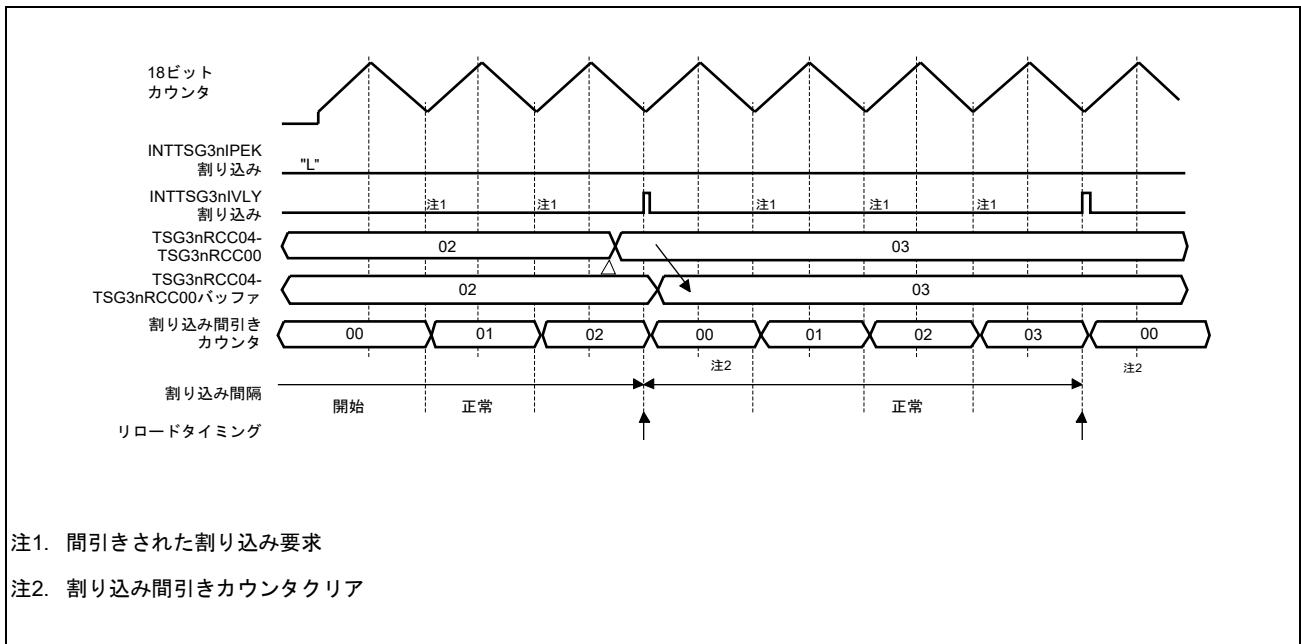


図 20.37 TSG3nCTL3 レジスタの TSG3nRMC = 0, TSG3nRIA = 1 (リロード間引きあり) の場合

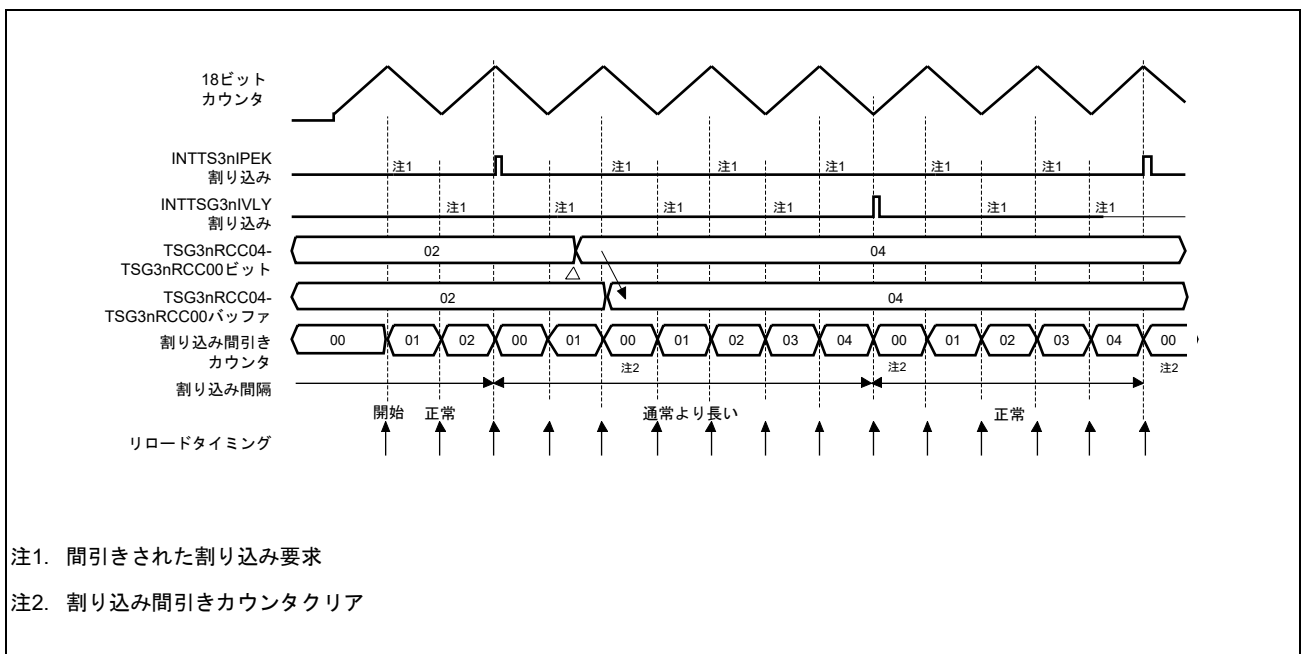
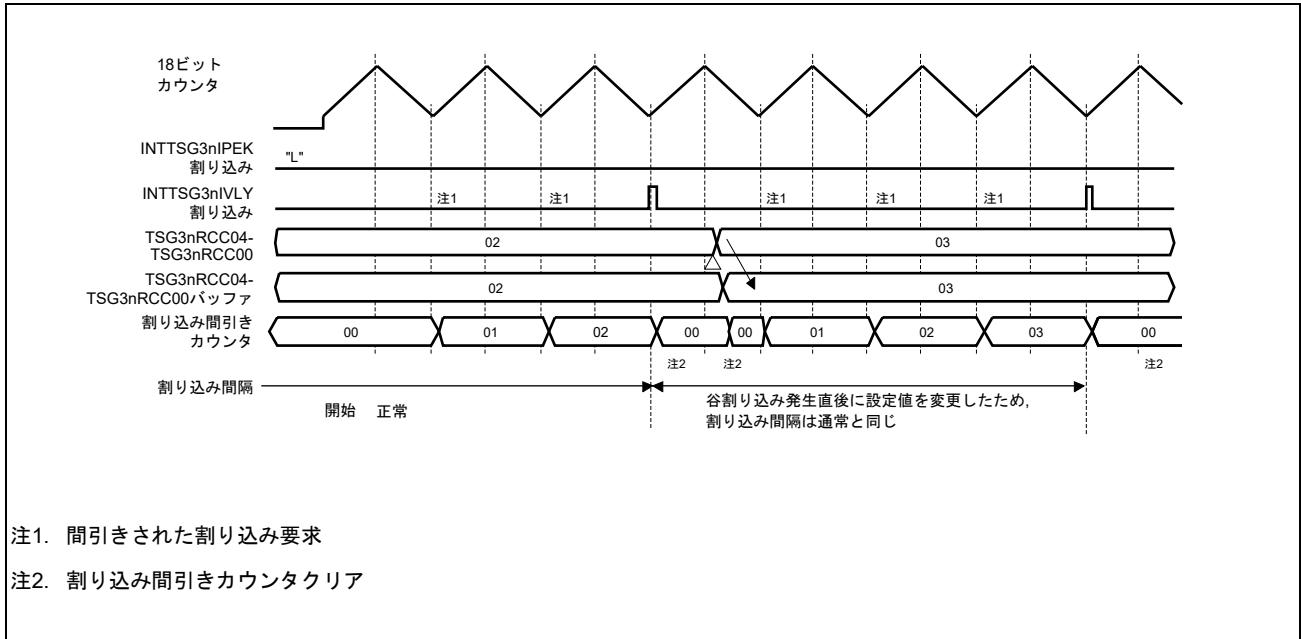


図 20.38 TSG3nCTL3 レジスタの TSG3nRMC = 0, TSG3nRIA ビット = 0 (リロード間引きなし) の場合

注 意

割り込み間隔が長くなる場合があります。



注1. 間引きされた割り込み要求

注2. 割り込み間引きカウンタクリア

図 20.39 TSG3nCTL3 レジスタの TSG3nRMC = 1 (随時書き換えモード) の場合

備考

書き換え後、リロードタイミングは無視して値が直ちに反映されます。

割り込み間引きカウンタのクリアタイミングはレジスタ書き換え時ではなく、TSG3nRCC04-TSG3nRCC00 バッファへの転送時です。

20.4.4.2 山割り込みを発生する場合の動作例 (PWM モード時)

PWM モード時の割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG3nIPEK) です。PWM モード動作時は TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致で発生します。
- TSG3nCTL4.TSG3nPIE で、INTTSG3nIPEK 割り込みの発生許可と間引きカウント対象指定を行います。
- TSG3nCTL4.TSG3nVIE の設定は無効となります。このとき、INTTSG3nIVLY 割り込みは発生しません。TSG3nCTL3.TSG3nRIA = 1 (リロード間引きあり) に指定した場合は、間引き後の割り込みと同タイミングでリロードタイミングが発生します。

注 意

TSG3nCTL4 レジスタにライトアクセスし、TSG3nRCC04-TSG3nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなる場合があります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定 (TSG3nCTL3.TSG3nRIA = 1) にして、割り込み間引き数の変更を行ってください。

動作例

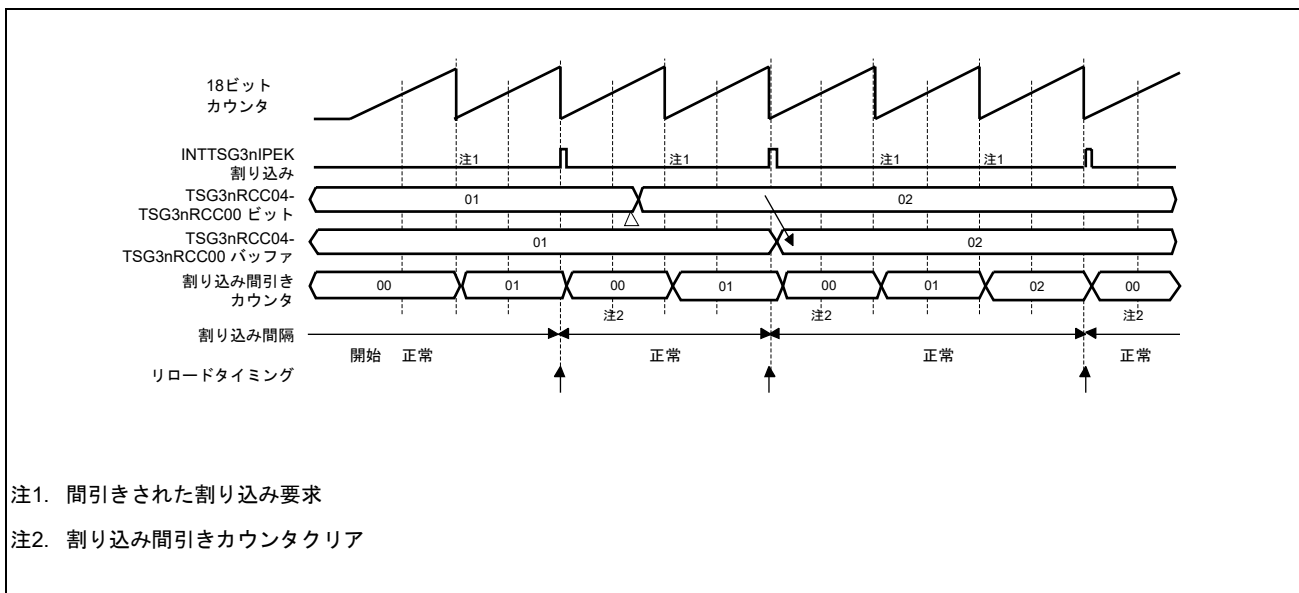


図 20.40 TSG3nCTL3.TSG3nRMC = 0, TSG3nRIA = 1, TSG3nCTL4.TSG3nPRE = 1 の場合 (推奨設定)

備 考

TSG3nCTL3.TSG3nRIA = 1 のとき、間引きされた割り込みと同じタイミングでリロードタイミングが発生します。

20.4.5 A/D 変換トリガ機能

A/D 変換トリガの動作に関して説明します。

TSG3nDCMP0E、TSG3nDCMP1E、TSG3nDCMP2E レジスタは A/D 変換トリガ機能のコンペアレジスタとして使用します。

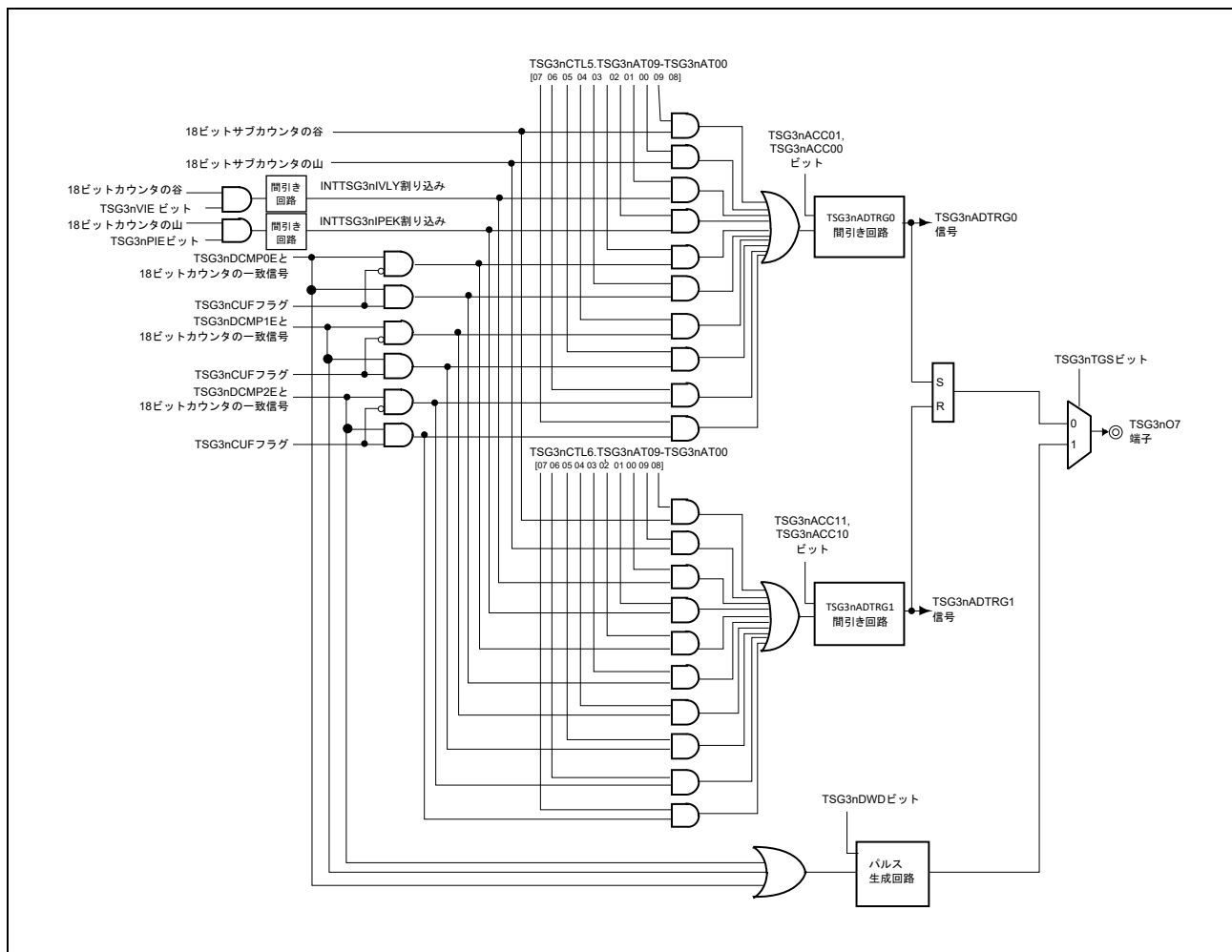


図 20.41 A/D 変換トリガ、ダイアグ出力制御回路

図 20.41 のように、TSG3nDCMP0E-TSG3nDCMP2E と 18 ビットカウンタのコンペア一致と山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) の割り込み信号、18 ビットサブカウンタの山タイミング、18 ビットサブカウンタの谷タイミングを選択し、論理和 (OR) をとった信号を生成することができます。

TSG3n では、同じ A/D 変換トリガ制御回路が 2 チャンネルあり、それぞれ独立に制御することができます。また、A/D 変換トリガの間引き機能があり、間引き率 1/2、1/4、1/8、間引きなしの設定が可能です。

20.4.5.1 A/D 変換トリガの動作

TSG3n には、10 個のトリガソースを自由に選択して、A/D の変換開始トリガ (TSG3nADTRG0、TSG3nADTRG1 信号) を生成する機能があります。トリガソースの選択は、TSG3nCTL5 レジスタの TSG3nAT09-TSG3nAT00、TSG3nCTL6 レジスタの TSG3nAT19-TSG3nAT10 で指定します。

(1) TSG3nADTRG0/TSG3nADTRG1 信号の出力制御 (TSG3nCTL5, TSG3nCTL6 レジスタ)

【トリガソース】

- TSG3nAT00/TSG3nAT10 = 1 : 谷割り込み (INTTSG3nIVLY) 発生時に A/D 変換トリガを発生
- TSG3nAT01/TSG3nAT11 = 1 : 山割り込み (INTTSG3nIPEK) 発生時に A/D 変換トリガを発生
- TSG3nAT02/TSG3nAT12 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP0E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT03/TSG3nAT13 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP0E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT04/TSG3nAT14 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP1E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT05/TSG3nAT15 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP1E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT06/TSG3nAT16 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP2E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT07/TSG3nAT17 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP2E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT08/TSG3nAT18 = 1 : 18 ビットサブカウンタの谷タイミング (ダウンからアップへの切り替わり時、A/D 変換トリガを発生許可
- TSG3nAT09/TSG3nAT19 = 1 : 18 ビットサブカウンタの山タイミング (アップからダウンへの切り替わり) 時、A/D 変換トリガを発生許可

【間引き設定】

- TSG3nACC01, TSG3nACC00/TSG3nACC11, TSG3nACC10 :
TSG3nADTRG0/TSG3nADTRG1 信号の間引き設定

TSG3nAT09-TSG3nAT00/TSG3nAT19-TSG3nAT10 により選択された A/D 変換トリガはすべて論理和 (OR) され、その信号は、TSG3nACC01、TSG3nACC00/TSG3nACC11、TSG3nACC10 で設定した間引き制御の後、TSG3nADTRG0/TSG3nADTRG1 信号が生成されます。

また、TSG3nAT00、TSG3nAT01/TSG3nAT10、TSG3nAT11 によって選択される山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) は、割り込み間引き後の信号となります。したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TSG3nCTL4.TSG3nPIE、TSG3nVIE) を許可にしていない場合は、A/D 変換トリガも出力されません。

また、TSG3nACC01、TSG3nACC00、TSG3nAT09-TSG3nAT00/TSG3nACC11、TSG3nACC10、TSG3nAT19-TSG3nAT10 は、タイマ動作中の書き換えが可能です。

動作中に A/D 変換トリガの設定ビットを書き換えると、即時に A/D 変換トリガの出力状態に反映されません。これらの制御ビットは、動作モードにかかわらず、随時書き換えとなります。また、TSG3nCTL5、TSG3nCTL6 レジスタにライトアクセス (同値書き換え含む) をした場合は、A/D 変換トリガの間引きカウンタはクリアされ 0 からのカウントを開始します。

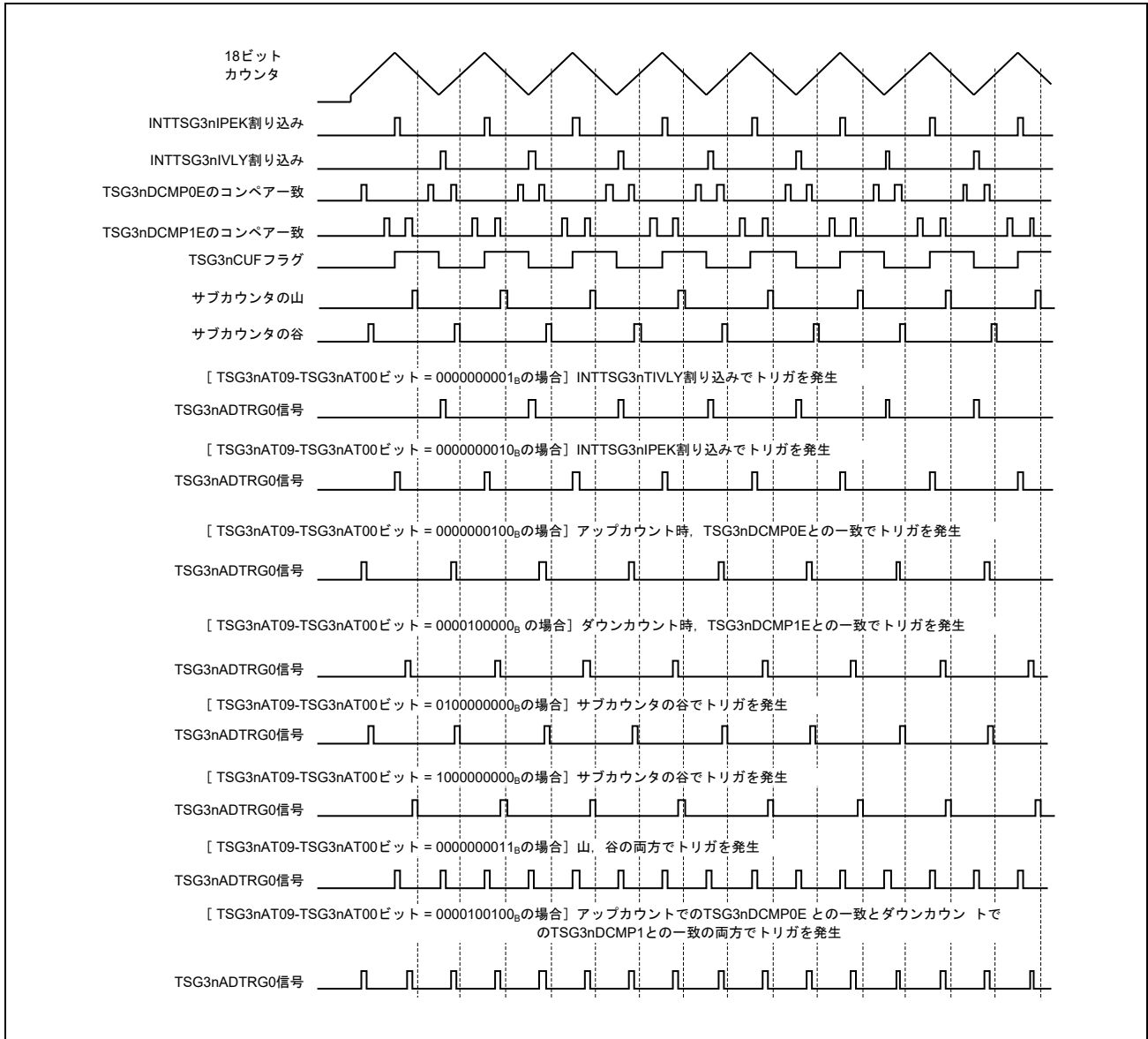


図 20.42 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 00_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B の場合 (HT-PWM モード)

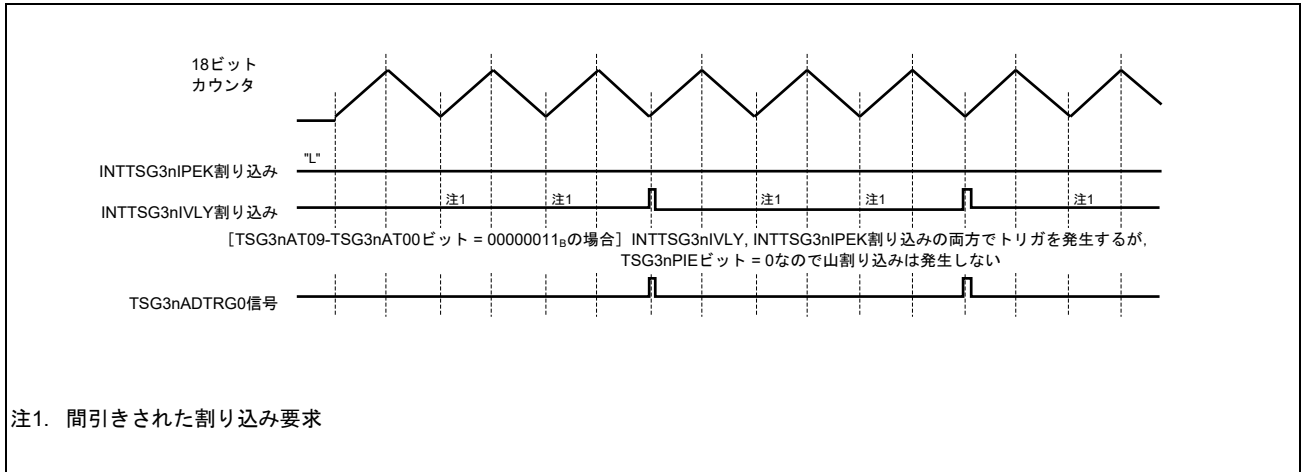


図 20.43 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B の場合 (HT-PWM モード)

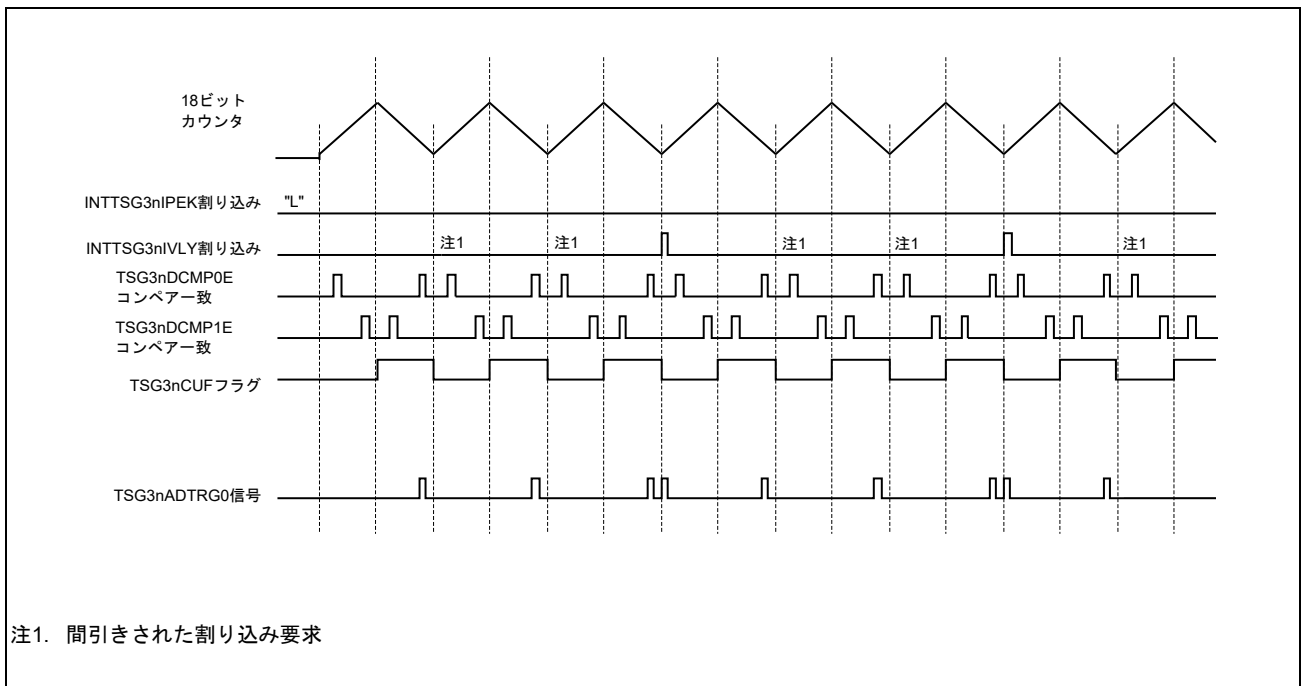


図 20.44 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B, TSG3nAT09-TSG3nAT00 = 00001001_B の場合 (HT-PWM モード)

(2) A/D 変換トリガ間引き機能

A/D 変換トリガの間引き機能の動作例を次に示します。

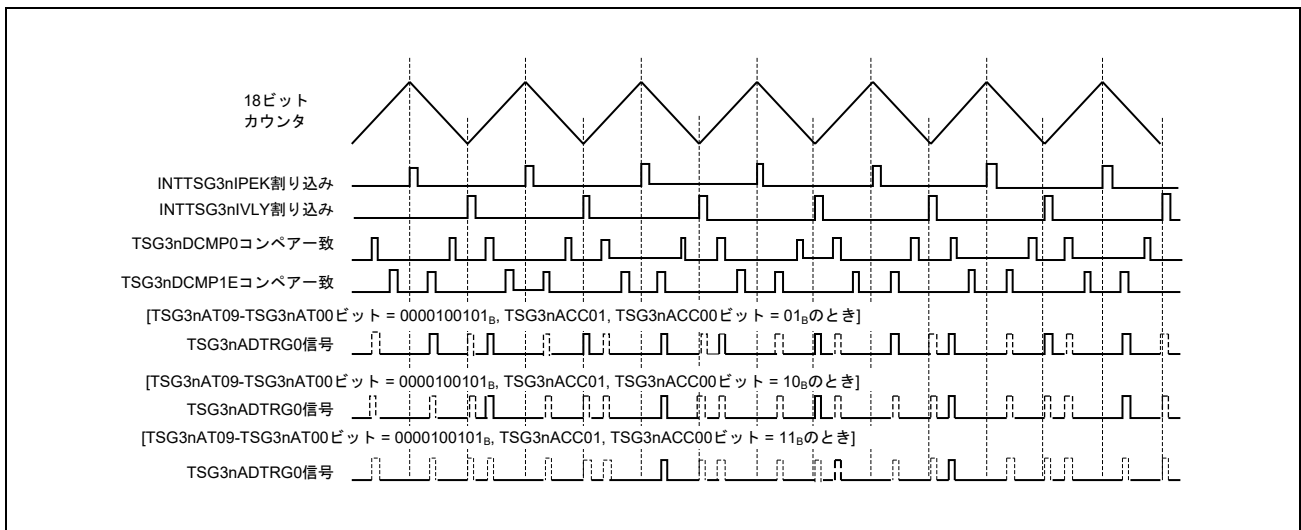


図 20.45 A/D 変換トリガの間引き機能の動作例

備 考

破線は A/D 変換トリガ間引き機能により間引きされた A/D 変換トリガ

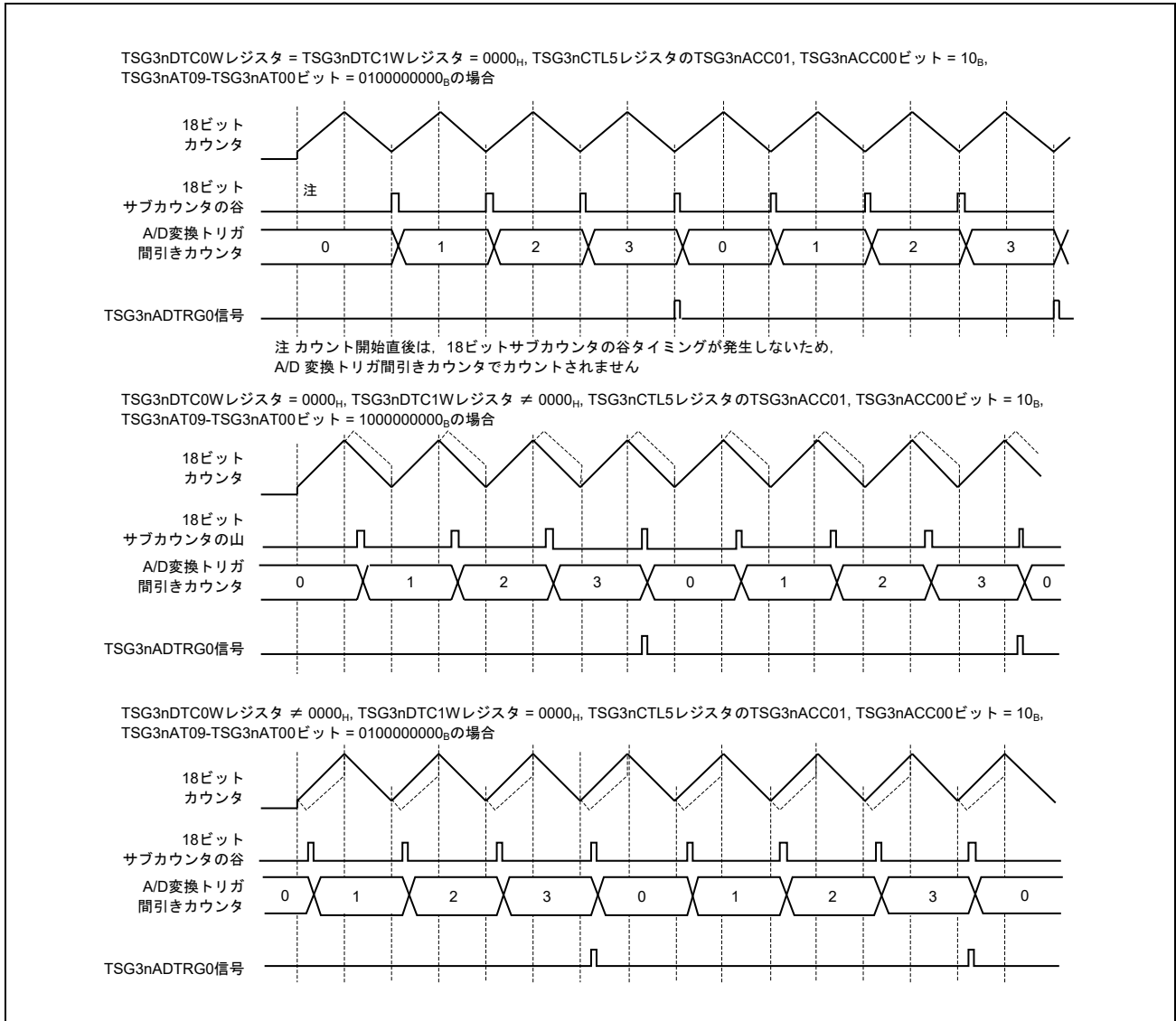


図 20.46 A/D 変換トリガの間引き機能の動作例

(3) A/D 変換トリガに関する注意事項

- TSG3nDCMP0E レジスタと、TSG3nDCMP1E レジスタもしくは、TSG3nDCMP2E レジスタに同値をライトアクセスし、有効な A/D 変換トリガを同じ条件 (18 ビットカウンタのアップ/ダウンカウント時) に設定した場合、A/D 変換トリガ間引きカウンタには 1 回としてカウントされます。また出力するトリガも 1 パルスです。
- PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モードにおいて、谷割り込み (INTTSG3nIVLY) は発生しません。山割り込み (INTTSG3nIPEK) のみ有効となります。
- 120-DC モードにおいて TSG3nS120DCO = 0 に設定時、出力パタンの切り替えにより、18 ビットカウンタが搬送周期未満でクリアされる場合があります。このとき、TSG3nDCMP2E-0E と 18 ビットカウンタの一致、山割り込み (INTTSG3nIPEK) が発生しない場合は、A/D 変換トリガが発生しません。

20.4.6 エラー/ワーニング割り込み

20.4.6.1 エラー割り込み機能

エラー割り込み機能を許可 (TSG3nIOC1.TSG3nEOC = 1) 後、正相/逆相同時アクティブを検出した場合、TSG3nSTR2.TSG3nTBF がセットされ、TSG3n のエラー割り込み (INTTSG3nIER) が発生します。TSG3nCTL1.TSG3nTBA2-TSG3nTBA0 で各相 (TSG3nO1/TSG3nO2、TSG3nO3/TSG3nO4、TSG3nO5/TSG3nO6 端子) のエラー検出あり/なしを選択できます。

エラー発生時には、TSG3nO1-TSG3nO6 端子出力をハイインピーダンスにすることが可能です。詳細は、「21.4.1 非同期 Hi-Z 制御機能」を参照してください。

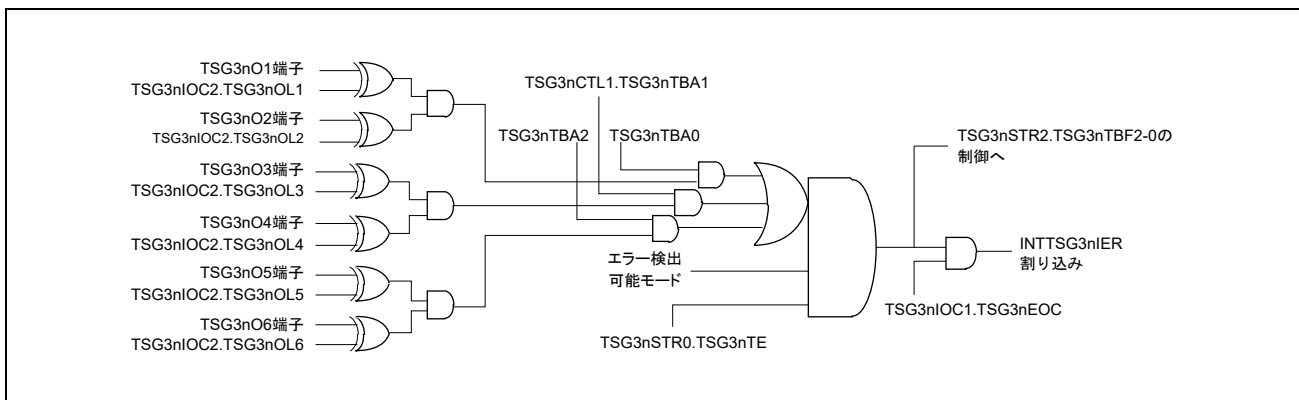


図 20.47 エラー割り込み (INTTSG3nIER) 発生制御回路

注 意

エラー割り込みが発生した場合エラー割り込み処理内でエラー状態を解除 (TSG3nSTC.TSG3nTBR2~0 に “1” ライト) してください。エラー状態を解除しない場合以降のエラー割り込みは発生しません。

(1) PWM モード、120-DC モード、HSP-PWM モードの場合

PWM モードおよび HSP-PWM モード時、TSG3nO1 端子と TSG3nO2 端子が同時にアクティブレベルを出力するように TSG3nCMP1E、TSG3nCMP2E レジスタと TSG3nCMP3E、TSG3nCMP4E レジスタを設定した場合、エラー割り込み (INTTSG3nIER) が発生します。同様に、TSG3nO3 端子と TSG3nO4 端子および TSG3nO5 端子と TSG3nO6 端子が同時にアクティブレベルを出力するように TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP7E、TSG3nCMP8E、TSG3nCMP9E、TSG3nCMP10E、TSG3nCMP11E、TSG3nCMP12E レジスタを設定した場合も、エラー割り込み (INTTSG3nIER) が発生します。

120-DC モード時、TSG3nO1 端子と TSG3nO2 端子が同時にアクティブレベルを出力するように TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E レジスタと TSG3nCMP3E、TSG3nCMP4E、TSG3nCMP7E、TSG3nCMP8E、TSG3nCMP11E、TSG3nCMP12E レジスタ、TSG3nPAT0W と TSG3nPAT1W を設定した場合、エラー割り込み (INTTSG3nIER) が発生します。また、同様に設定したとき、TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子も同時にアクティブレベルを出力し、エラー割り込み (INTTSG3nIER) が発生します。

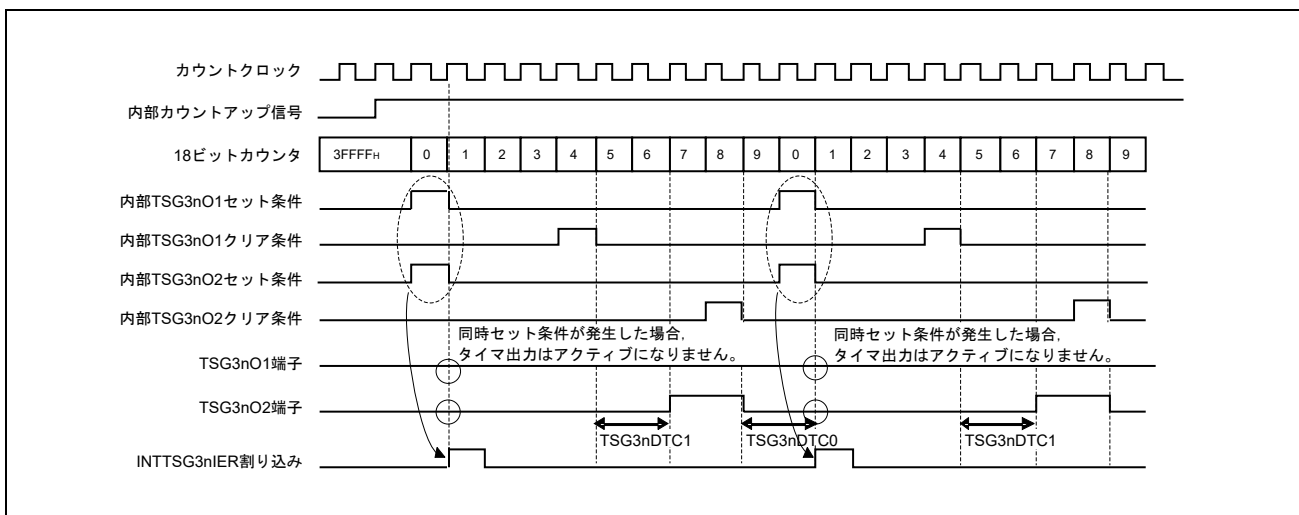


図 20.48 エラー割り込み (INTTSG3nIER) 発生例 (PWM モード時)

備 考

TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子も同様です。

TSG3nIOC2.TSG3nOL1、TSG3nOL2 を操作して、出力のアクティブレベルを切り替えた場合は、次のようになります。

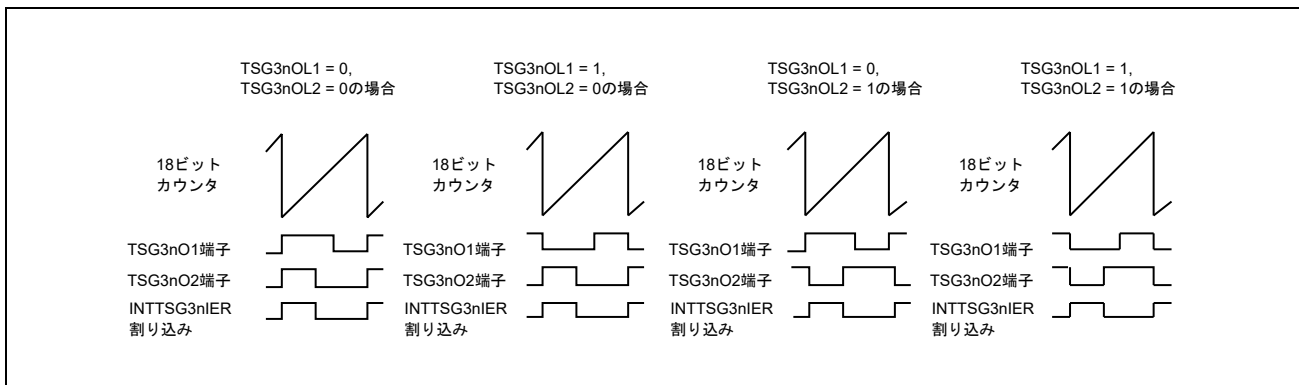


図 20.49 アクティブレベルごとのエラー割り込み (INTTSG3nIER) 発生例

(2) HT-PWM モード、SP-PWM モードの場合

TSG3n デッドタイム設定レジスタ 0、1 (TSG3nDTC0W、TSG3nDTC1W) のいずれかが 0000_H の場合、エラーが発生する可能性があります。

備考

デッドタイム制御機能を使用 (TSG3nDTC0、TSG3nDTC1 のいずれも 0000_H 以外) 時にエラーが発生した場合は、内部回路の故障が考えられます。

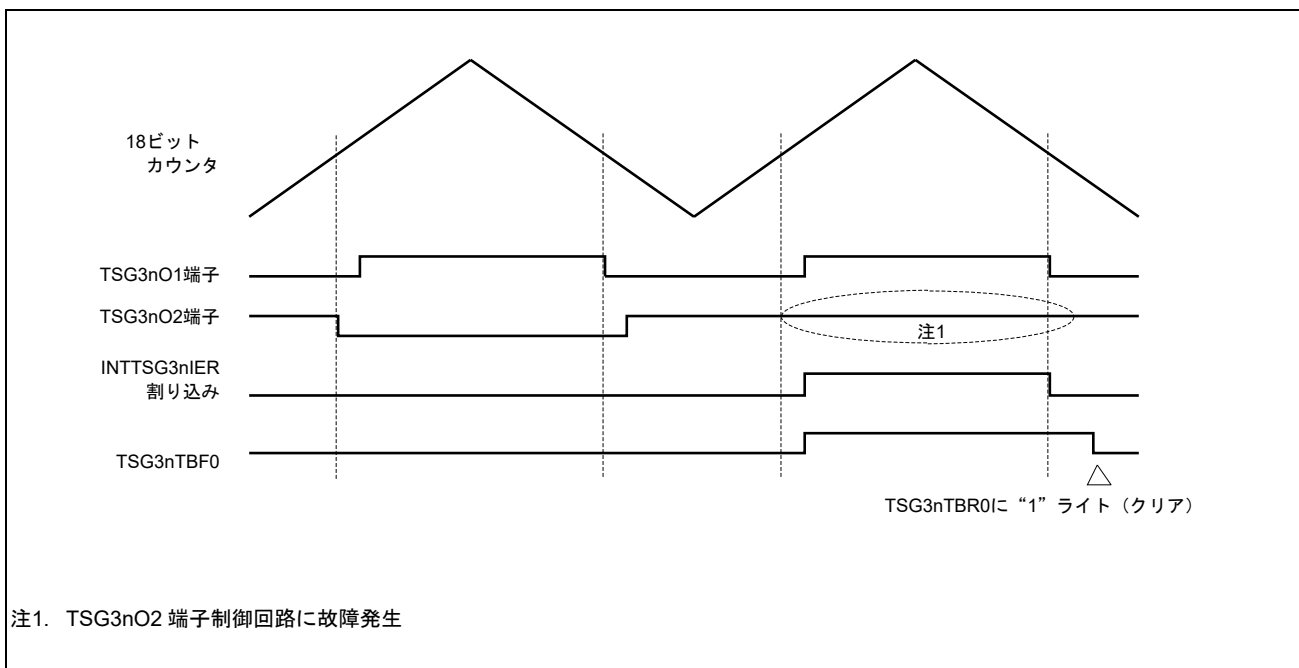


図 20.50 エラー割り込み動作例

20.4.6.2 ワーニング割り込み機能

TSG3nには、ワーニング割り込み (INTTSG3nIWN) があります。

ワーニング割り込み (INTTSG3nIWN) は、次のいずれかの条件を検出した場合に発生します。

詳細は「**20.4.3 フラグ**」を参照してください。

- TSG3nPTSI2-TSG3nPTSI0 端子に関して、2 端子以上の同時変化を検出した場合 :
「**20.4.3.4 ノイズ検出フラグ (TSG3nNDF)**」を参照
- TSG3nPTSI2-TSG3nPTSI0 端子に関して、反転を検出した場合 :
「**20.4.3.7 パタン反転検出フラグ (TSG3nPRF)**」を参照
- TSG3nPTSI2-TSG3nPTSI0 端子に関して“000”、“111”を検出した場合 :
「**20.4.3.6 パタンエラー検出フラグ (TSG3nPEF)**」を参照
- TSG3nOPCI0, 1 信号のトリガ間に、TSG3nPTSI2-TSG3nPTSI0 端子のトグルが 3 回以上発生した場合 :
「**20.4.3.8 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)**」を参照
- TSG3nOPCI0, TSG3nOPCI1 信号のトリガが同時に検出された場合 :
「**20.4.3.9 TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)**」を参照
- 入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) と出力パタン (TSG3nOPF2-TSG3nOPF0) の位相関係がずれた場合 :
「**20.4.3.10 パタン位相差異検出フラグ (TSG3nPPF)**」を参照

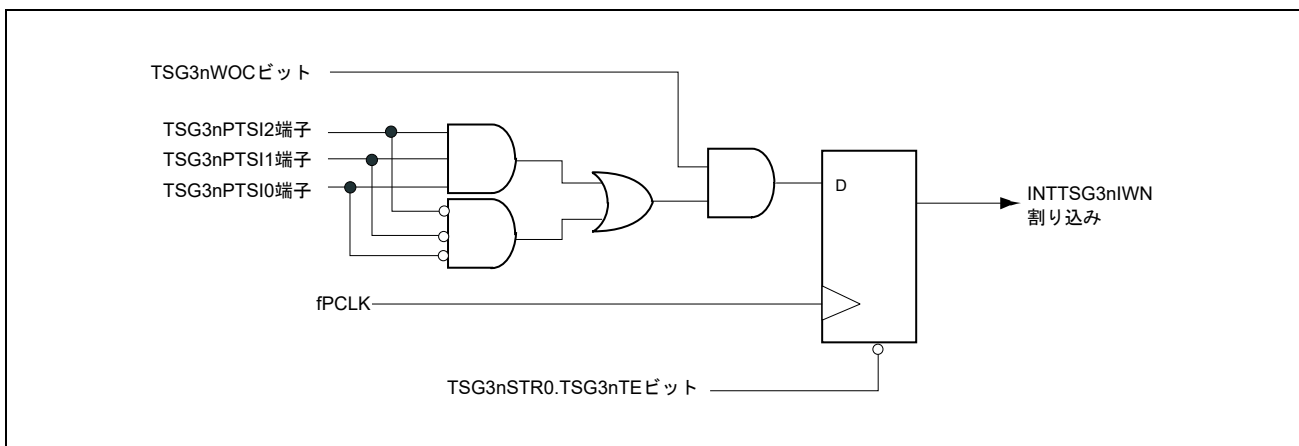


図 20.51 TSG3nPTSI2-TSG3nPTSI0 端子の異常検出

20.4.7 各モードの動作

20.4.7.1 PWM モード

概要

TSG3nCMP0E レジスタの PWM 周期、TSG3nCMP1E-TSG3nCMP12E のセットタイミング/クリアタイミングにより、PWM を TSG3nO1-TSG3nO6 端子から出力します。

前提条件

- 偶数番号のコンペアレジスタにセットタイミングを設定。

TSG3nCMP2E (TSG3nO1 端子のセットタイミング)、TSG3nCMP4E (TSG3nO2 端子のセットタイミング)、TSG3nCMP6E (TSG3nO3 端子のセットタイミング)、TSG3nCMP8E (TSG3nO4 端子のセットタイミング)、TSG3nCMP10E (TSG3nO5 端子のセットタイミング)、TSG3nCMP12E (TSG3nO6 端子のセットタイミング) を設定。

- 奇数番号のコンペアレジスタにクリアタイミングを設定。

TSG3nCMP1E (TSG3nO1 端子のクリアタイミング)、TSG3nCMP3E (TSG3nO2 端子のクリアタイミング)、TSG3nCMP5E (TSG3nO3 端子のクリアタイミング)、TSG3nCMP7E (TSG3nO4 端子のクリアタイミング)、TSG3nCMP9E (TSG3nO5 端子のクリアタイミング)、TSG3nCMP11E (TSG3nO6 端子のクリアタイミング) を設定

機能説明

PWM 周期を設定、TSG3nO1-TSG3nO6 端子出力のセットタイミング/クリアタイミングを設定。

TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

カウントアップ開始と同時に、TSG3nO1-TSG3nO6 端子はインアクティブレベルとなり、18 ビットカウンタと TSG3nCMP2E、TSG3nCMP4E、TSG3nCMP6E、TSG3nCMP8E、TSG3nCMP10E、TSG3nCMP12E のバッファレジスタの一致によりアクティブレベルとなります。

次に TSG3nCMP1E、TSG3nCMP3E、TSG3nCMP5E、TSG3nCMP7E、TSG3nCMP9E、TSG3nCMP11E のバッファレジスタとの一致により TSG3nO1-TSG3nO6 端子はインアクティブレベルとなります。

カウント動作中、18 ビットカウンタと TSG3nCMP0E-TSG3nCMP12E のバッファレジスタの一致でコンペア一致割り込み (INTTSG3nI0-INTTSG3nI12) が発生します。

注 意

TSG3nCTL3.TSG3nRMC = 0 のとき、TSG3nCMP1E レジスタに書き込むとリロードが実行されます。したがって、TSG3nCMP0E レジスタの値だけ書き換えたい場合でも、TSG3nCMP1E レジスタは同値の書き込みを行う必要があります。TSG3nCMP0E レジスタだけ書き換えを行ってもリロードは行われません。

備 考

PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 000_B に設定したときに有効となります。

(1) タイマ動作中に TSG3nCMP0E、TSG3nCMP1E-TSG3nCMP12E レジスタの値を書き換えない場合

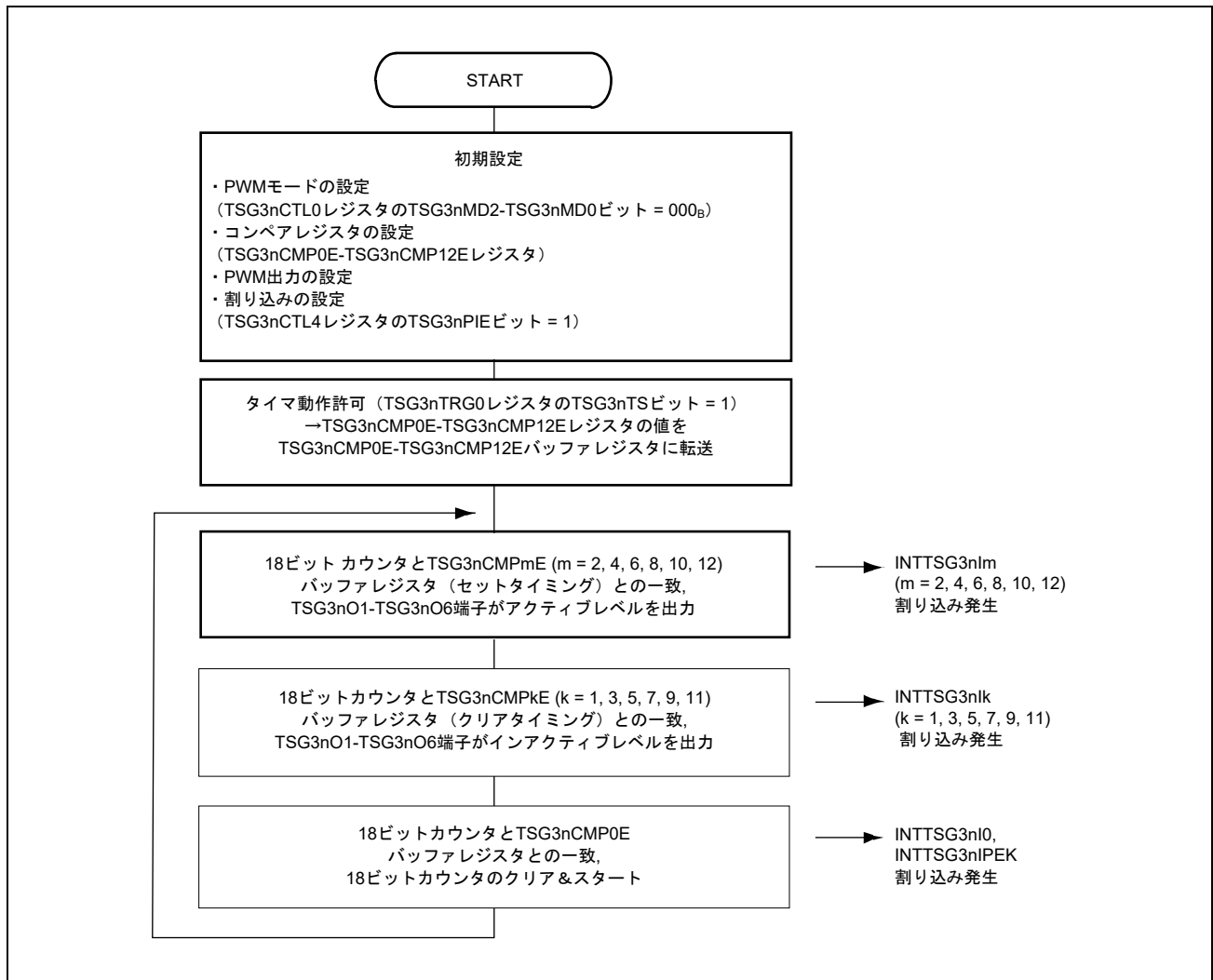


図 20.52 PWM モード時の基本動作フロー (1/2)

(2) タイマ動作中に TSG3nCMP0E、TSG3nCMP1E-TSG3nCMP12E レジスタの値を書き換える場合

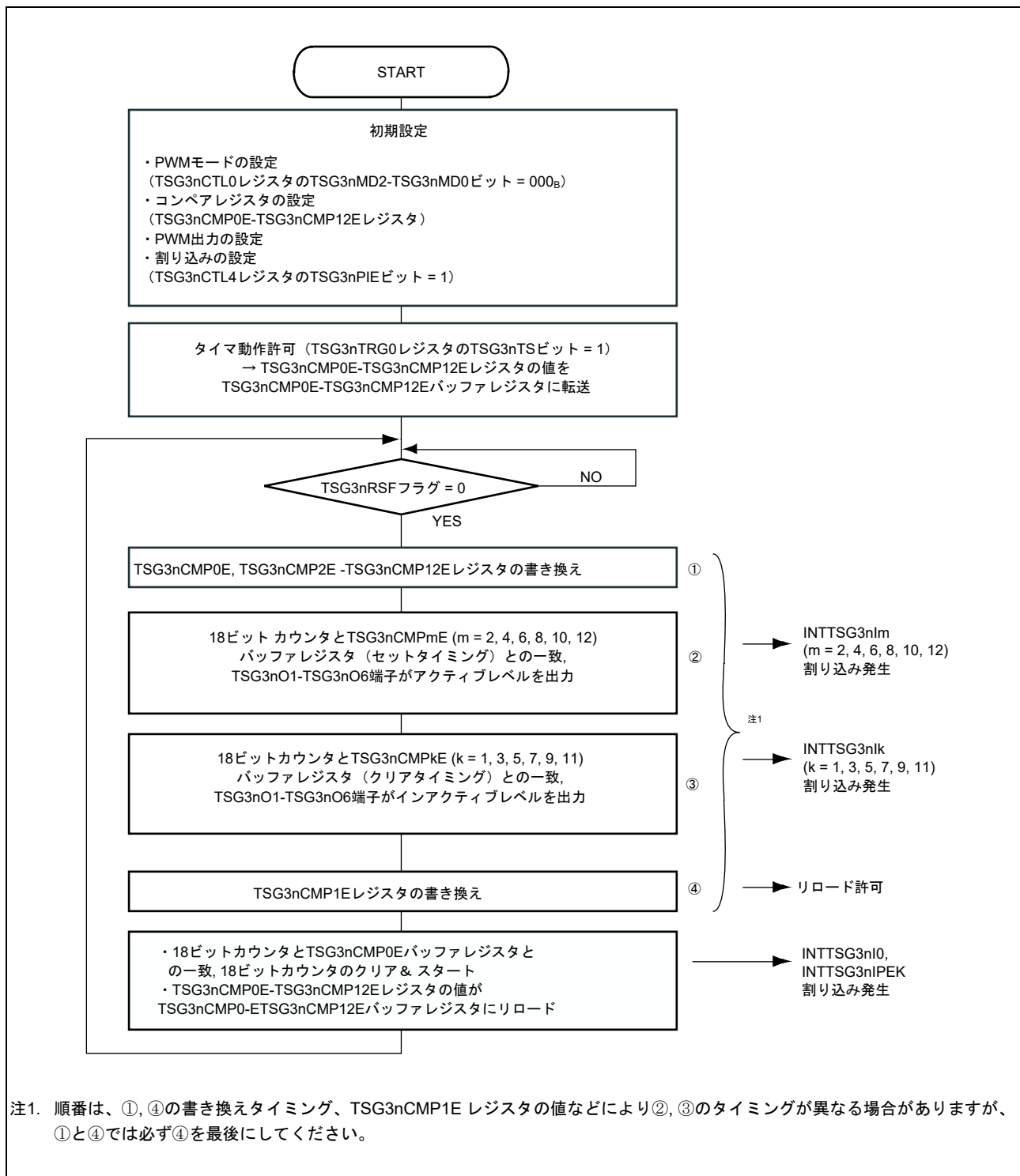


図 20.52 PWM モード時の基本動作フロー (2/2)

注 意

コンペアレジスタの書き換え前に、リロード要求フラグ (TSG3nRSF) が “0” であることを確認してください。

(3) PWM モード動作一覧

表 20.55 PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1 または、同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 20.56 PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nCMPmE (m = 1~12)	リロード/随時書き換え	可能	セット/クリアタイミング
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能 ^{注 1}	デッドタイム

注 1. 詳細は「(5) PWM モード時のデッドタイム制御」を参照してください。

表 20.57 PWM モード : タイマ出力機能

端子	機能
TSG3nOm (m = 1~6)	TSG3nCMPkE バッファレジスタと 18 ビットカウンタのコンペア一致による PWM 出力 (k = 1~12)
TSG3nO7	ダイアグ出力、もしくは、A/D 変換トリガによるパルス出力

表 20.58 PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0~12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致 (m = 0~12)
INTTSG3nIER	エラー (TSG3nO1, TSG3nO2、または TSG3nO3, TSG3nO4、または TSG3nO5, TSG3nO6 の同時アクティブ検出)
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同時に発生)
INTTSG3nIWN	ワーニング

備考 “—”は、PWM モードで使用しない機能を示します。

表 20.59 PWM モード : コンペア一致タイミング

コンペア一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1~12)	18 ビットカウンタと TSG3nCMPmE の一致検出後 (m = 1~12)

表 20.60 PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nOm (m = 1~6)	PWM 出力	(TSG3nCMP0E+1) × カウントクロック	1 周期の期間内すべて インアクティブレベル出力 (デューティ 0%)	TSG3nCMPmE = TSG3nCMP(m+1)E もしくは TSG3nCMP(m+1)E > TSG3nCMP0E (m = 1, 3, 5, 7, 9, 11)
			1 周期で 1 カウントクロックの アクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E + 1 TSG3nCMP(m+1)E = TSG3nCMPmE - 1 (m = 1, 3, 5, 7, 9, 11)
			1 周期で 1 カウントクロックの インアクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E - 1 TSG3nCMP(m+1)E = TSG3nCMPmE + 1 (m = 1, 3, 5, 7, 9, 11)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE > TSG3nCMP0E TSG3nCMP(m+1)E ≤ TSG3nCMP0E (m = 1, 3, 5, 7, 9, 11)

- TSG3nCMP2E のみの値書き換え、TSG3nO1 端子出力ありの場合 (TSG3nIOC0.TSG3nTOE1 = 1, TSG3nIOC2.TSG3nOL1 = 0)

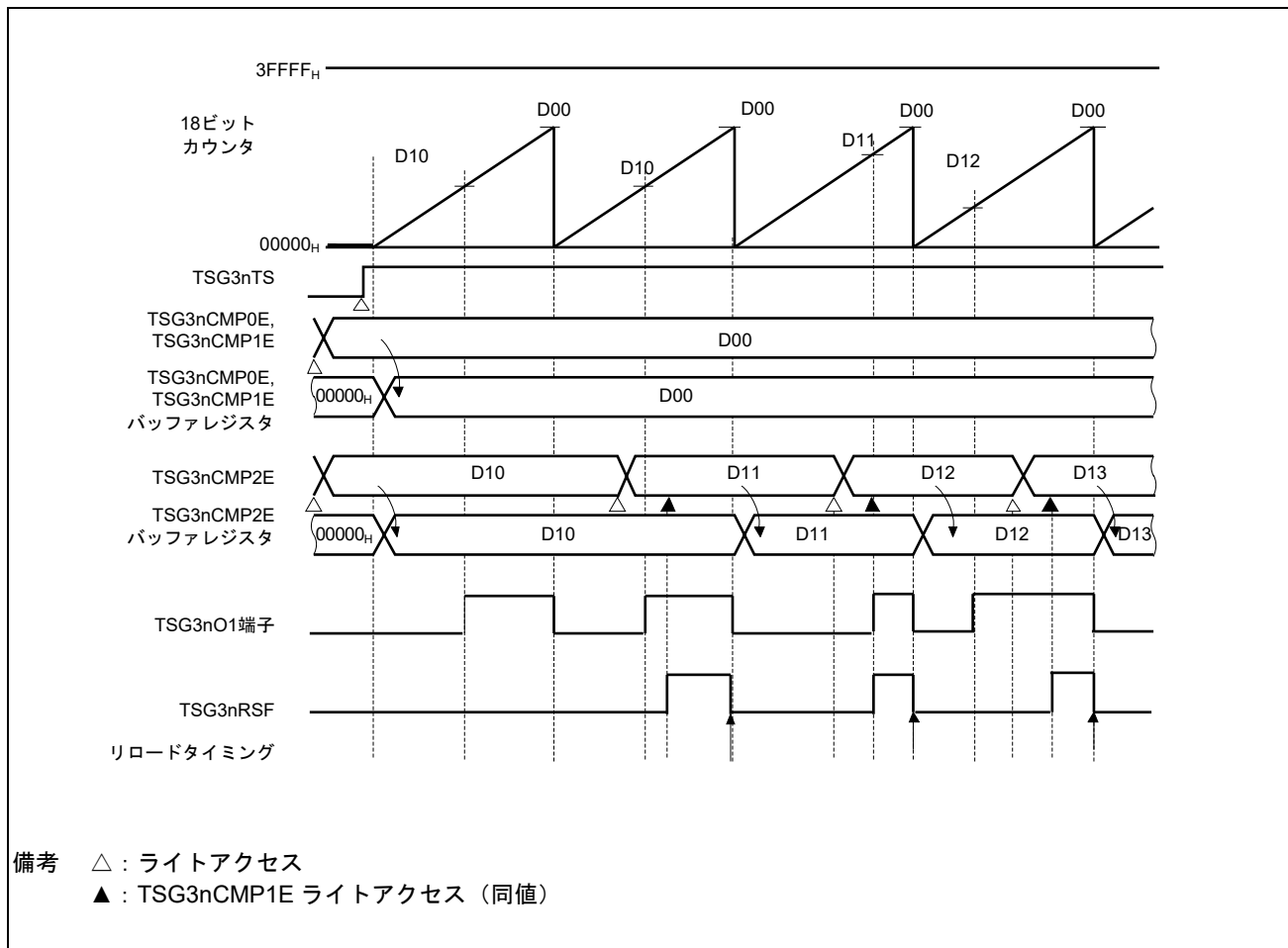


図 20.53 PWM モード時の基本動作タイミング例 (1/2)

備 考

1. D00 : TSG3nCMP0E, TSG3nCMP1E の設定値 (00000_H~3FFFF_H)
D10, D11, D12, D13 : TSG3nCMP2E の設定値 (00000_H~3FFFF_H)
2. TSG3nO1 端子 (PWM) デューティ = (TSG3nCMP1E - TSG3nCMP2E) × (カウントクロック周期)
TSG3nO1 端子 (PWM) 周期 = (TSG3nCMP0E レジスタの設定値 + 1) × (カウントクロック周期)
3. TSG3nO2-TSG3nO6 端子は、TSG3nO1 端子と同機能です。

- TSG3nCMP0E-TSG3nCMP2E レジスタの値書き換え、TSG3nO1 端子出力ありの場合
(TSG3nIOC0.TSG3nTOE1 = 1, TSG3nIOC2.TSG3nOL1 = 0)

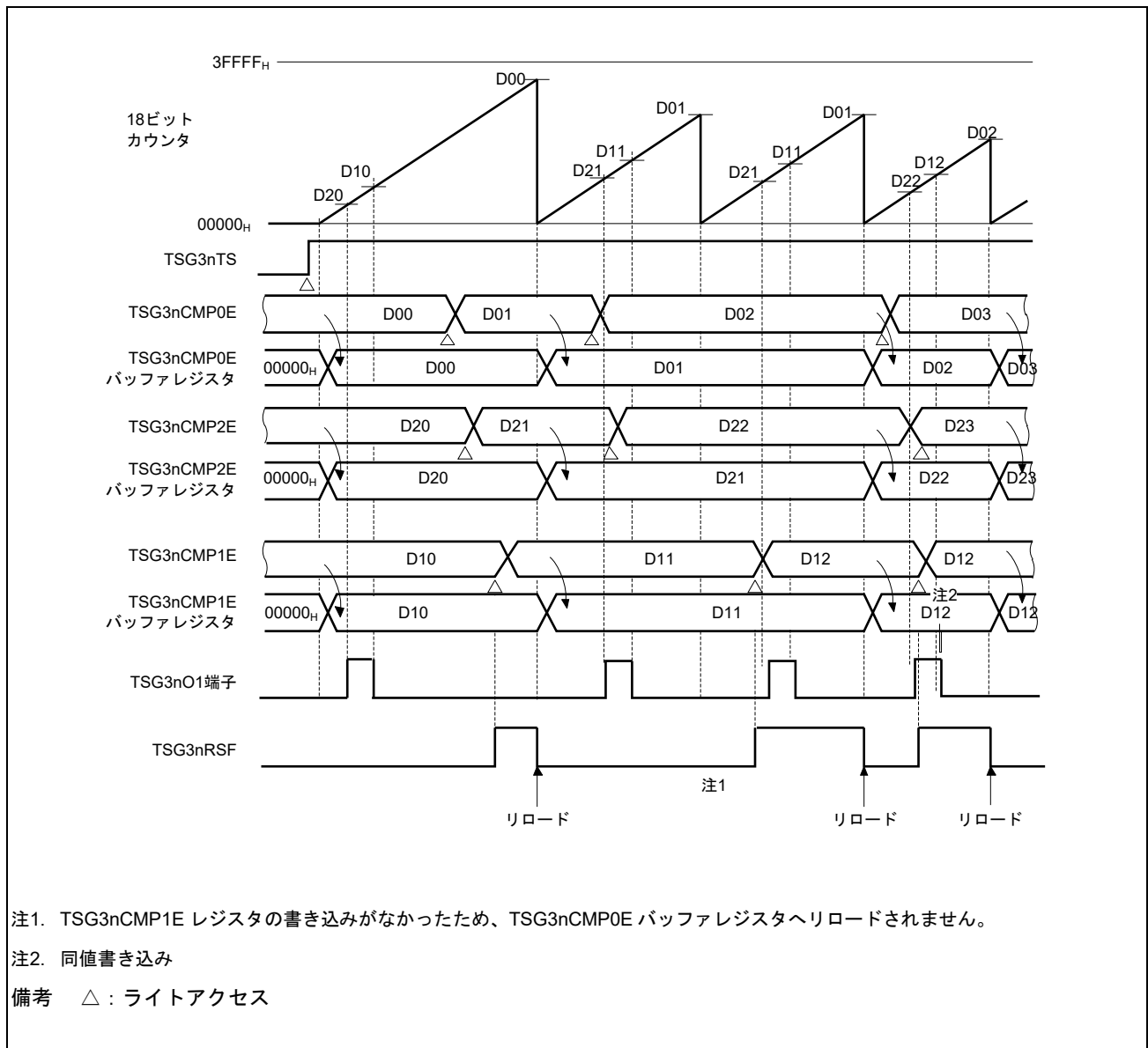


図 20.53 PWM モード時の基本動作タイミング例 (2/2)

備考

1. D00, D01, D02, D03 : TSG3nCMP0E レジスタの設定値 (00000_H~3FFFF_H)
D10, D11, D12, D13 : TSG3nCMP1E レジスタの設定値 (00000_H~3FFFF_H)
D20, D21, D22, D23 : TSG3nCMP2E レジスタの設定値 (00000_H~3FFFF_H)
2. TSG3nO2-TSG3nO6 端子は、TSG3nO1 端子と同機能です。

(4) PWM モード時のリロード／割り込み間引き機能

TSG3nCTL4.TSG3nPRE = 1、TSG3nPIE = 1、TSG3nRCC04-TSG3nRCC00、TSG3nCTL3.TSG3nRIA を設定することで、リロード間引き機能、割り込み間引き機能を使用できます。

TSG3nPRE = 1、TSG3nRCC04-TSG3nRCC00 を設定することで、割り込み間引き機能を使用できます。

(5) PWM モード時のデッドタイム制御

PWM モードでは、TSG3nDTC0W、TSG3nDTC1W レジスタにデッドタイム値を設定することで、デッドタイム制御ができます。デッドタイムは、TSG3nO1 端子と TSG3nO2 端子、TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子の切り替えタイミングで制御できます。

表 20.61 PWM モードにおけるデッドタイム

切り替えタイミング	デッドタイム
TSG3nO1 端子がハイレベルからロウレベルで TSG3nO2 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO2 端子がハイレベルからロウレベルで TSG3nO1 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値
TSG3nO3 端子がハイレベルからロウレベルで TSG3nO4 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO4 端子がハイレベルからロウレベルで TSG3nO3 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値
TSG3nO5 端子がハイレベルからロウレベルで TSG3nO6 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO6 端子がハイレベルからロウレベルで TSG3nO5 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値

備 考

動作停止 (TSG3nTE = 0) 設定と、デッドタイム挿入タイミングが重なった場合でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。

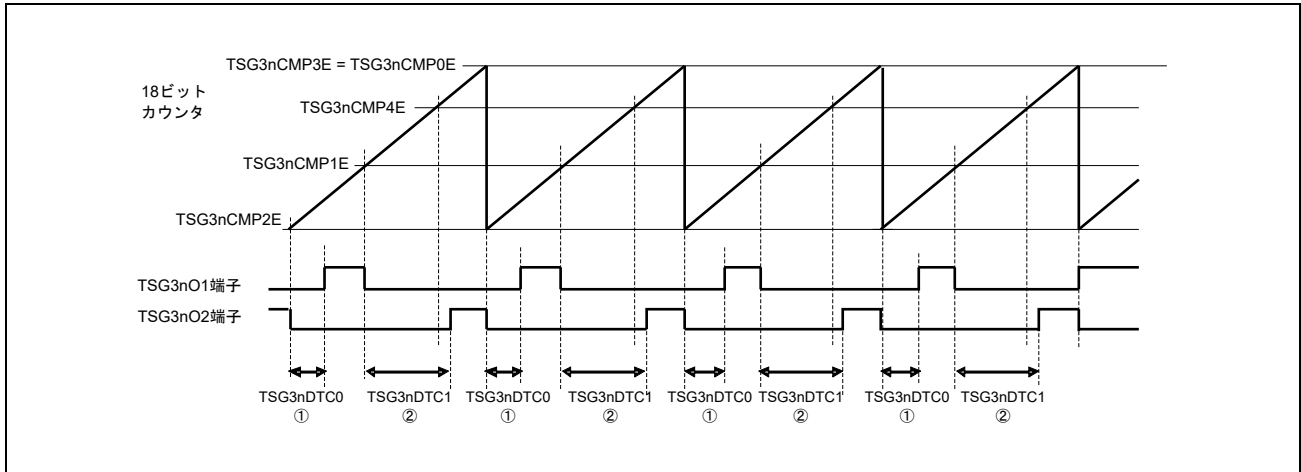


図 20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (1/2)

①の箇所では、TSG3nO2 端子の立ち下がりからデッドタイムカウンタがスタートします。同時に、18 ビットカウンタが 00000_H で TSG3nO1 端子がアクティブとなるタイミングでもデッドタイムカウンタが動作中のためインアクティブを継続し、デッドタイムカウンタ動作が終了したタイミングから TSG3nO1 端子がアクティブとなります。

②の箇所では、TSG3nO1 端子の立ち下がりからデッドタイムカウンタがスタートします。その後、18 ビットカウンタと TSG3nCMP4E レジスタの一致で TSG3nO2 端子がアクティブとなるタイミングでもデッドタイムカウンタが動作中のためインアクティブを継続し、デッドタイムカウンタ動作が終了したタイミングから TSG3nO2 端子がアクティブとなります。

備 考

1. TSG3nO1、TSG3nO2 端子のアクティブレベルは、ハイレベル。
2. TSG3nO3、TSG3nO4 端子、TSG3nO5、TSG3nO6 端子の場合も同様です。

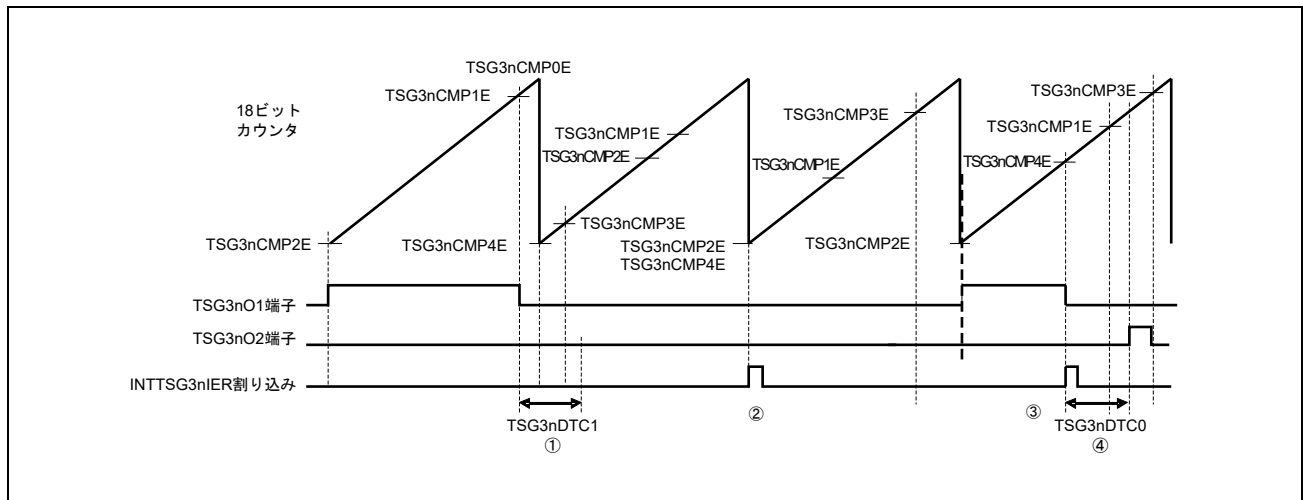


図 20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)

①の箇所では、TSG3nO1 端子の立ち下がりからデッドタイムカウンタがスタートします。その後、18ビットカウンタが 00000_H で TSG3nCMP4E と一致し TSG3nO2 端子がアクティブとなるタイミングでもデッドタイムカウンタ動作中のためインアクティブを継続し、さらにデッドタイムカウンタの動作が終了する前に TSG3nCMP3E レジスタのコンペア一致が発生するため、コンペア一致により TSG3nO2 端子はインアクティブのままとなります。

- $TSG3nCMP1E + TSG3nDTC1 \geq TSG3nCMP0E + TSG3nCMP2E$
(TSG3nO2 はインアクティブを継続)
- $TSG3nCMP2E + TSG3nDTC0 \geq TSG3nCMP0E + TSG3nCMP1E$
(TSG3nO1 はインアクティブを継続)

②の箇所では、TSG3nO1 端子と TSG3nO2 端子が同時に立ち上がるように TSG3nCMP2E レジスタと TSG3nCMP4E レジスタを設定しているため INTTSG3nIER 割り込みが発生します。このとき、TSG3nO1、TSG3nO2 端子ともにインアクティブとなります。

③の箇所では、TSG3nO1 端子がアクティブ出力中に TSG3nCMP4E レジスタのコンペア一致が発生したため INTTSG3nIER 割り込みが発生し、両端子ともインアクティブとなります。

④の箇所では、同時アクティブにより TSG3nO1 端子の立ち下がり (インアクティブ) となり、デッドタイムカウンタがスタートします。その後、デッドタイム・カウンタの動作終了後に TSG3nO2 端子がアクティブとなります。

備 考

1. TSG3nO1, TSG3nO2 端子のアクティブレベルは、ハイレベル
2. TSG3nO3, TSG3nO4 端子、TSG3nO5, TSG3nO6 端子の場合も同様です。

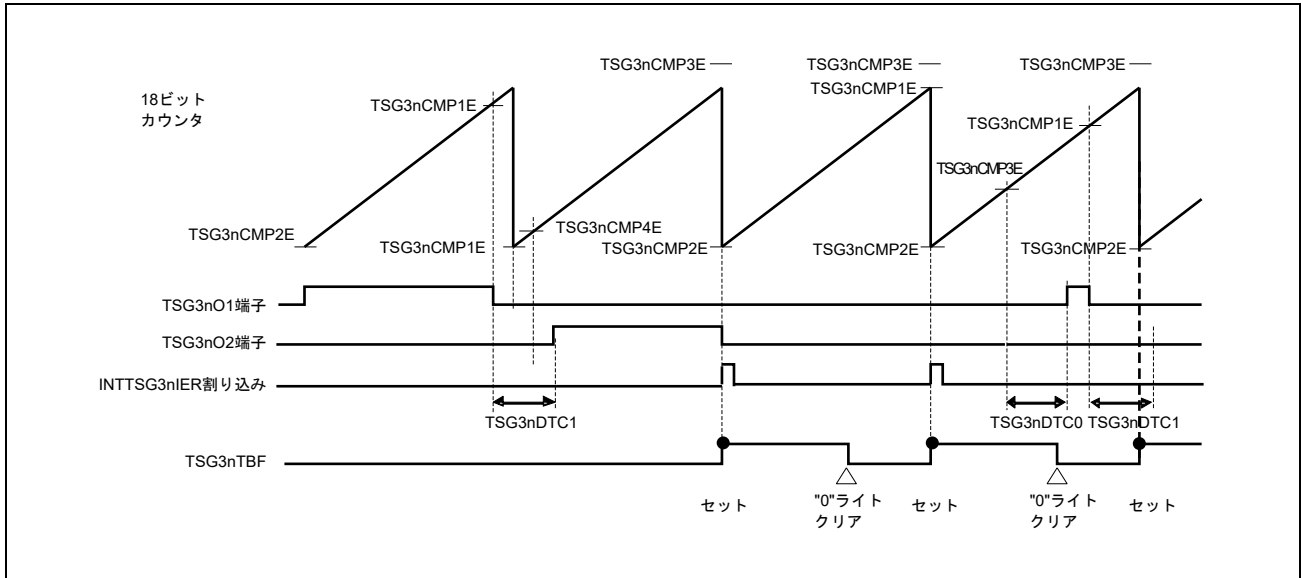


図 20.55 デッドタイム制御時のデューティ 100%出力例

TSG3nO2 端子にデューティ 100%出力 ($TSG3nCMP3E \geq TSG3nCMP0E + 1$) を設定した場合、TSG3nO1 端子の出力はロウレベル固定となります。これは、TSG3nO1 端子がアクティブとなったタイミングですでに TSG3nO2 端子がアクティブになっているため、TSG3nO1 端子のアクティブ条件をマスクするように制御しています。この場合も、同時にハイレベルとなる設定のため、INTTSG3nIER 割り込みが発生します。

備考

1. TSG3nO1、TSG3nO2 端子のアクティブレベルは、ハイレベル
2. TSG3nO3、TSG3nO4、TSG3nO5、TSG3nO6 端子の場合も同様です。

(6) PWM モード動作時のデッドタイム書き換え

PWM モードでは、カウント中に TSG3n デッドタイム設定レジスタ (TSG3nDTC0W、TSG3nDTC1W) の書き換えが可能です。デッドタイムは、リロードタイミングで新しい設定が有効となります。随時書き換えによる変更はできません。

リロードタイミングを許可するには、TSG3nCMP1E レジスタに書き込みを行ってください。

20.4.7.2 HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)

概要

18 ビットカウンタ (アップ/ダウン、 ± 2 カウント、実質 17 ビット) と、18 ビットコンペアレジスタ (LSB は付加パルス制御) を使用して、6 相 PWM を生成できます。

前提条件

- TSG3nCMP0E には、搬送波の周期を設定します。
- TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE で、U 相、V 相、W 相の電圧データ信号のデューティを設定します。(TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE に設定した値は、対応する TSG3nCMPmE へ即時に設定値が反映されます ($m = 1, 2, 5, 6, 9, 10$))
- この章では、対称三角波による制御を説明します。
(非対称三角波による制御は、「(10) HT-PWM モードの非対称三角波制御」を参照してください)

機能説明

搬送波の周期を設定、U 相、V 相、W 相のデューティを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、TSG3nDTC0 を最小値としてアップカウントを行い、TSG3nCMP0E + TSG3nDTC0 で示す最大値との一致でダウンカウント動作を行います。

デッドタイムは、TSG3nDTC0、TSG3nDTC1 で設定し、TSG3nDTC0 は逆相 (OFF) → 正相 (ON) のデッドタイムを、TSG3nDTC1 は正相 (OFF) → 逆相 (ON) のデッドタイムを設定することができます。デッドタイム生成用の 10 ビットカウンタ (TSG3nDTT1-TSG3nDTT3) は、18 ビットカウンタと TSG3nCMPmE バッファレジスタのコンペア一致で TSG3nDTC0、TSG3nDTC1 の設定値をロードし、ダウンカウントを行います。($m = 1, 2, 5, 6, 9, 10$)

18 ビットカウンタと、TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み ($m = 1, 2, 5, 6, 9, 10$) を発生します。

また、ダウンカウント (TSG3nCUF = 1) 時には 18 ビットカウンタと TSG3nCMP3E、7E、11E バッファレジスタのコンペア一致で、アップカウント (TSG3nCUF = 0) 時には 18 ビットカウンタと TSG3nCMP4E、8E、12E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み ($m = 3, 4, 7, 8, 11, 12$) を発生します。

備 考

HT-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 001_B に設定したときに有効となります。

(1) ブロック図と基本タイミング図

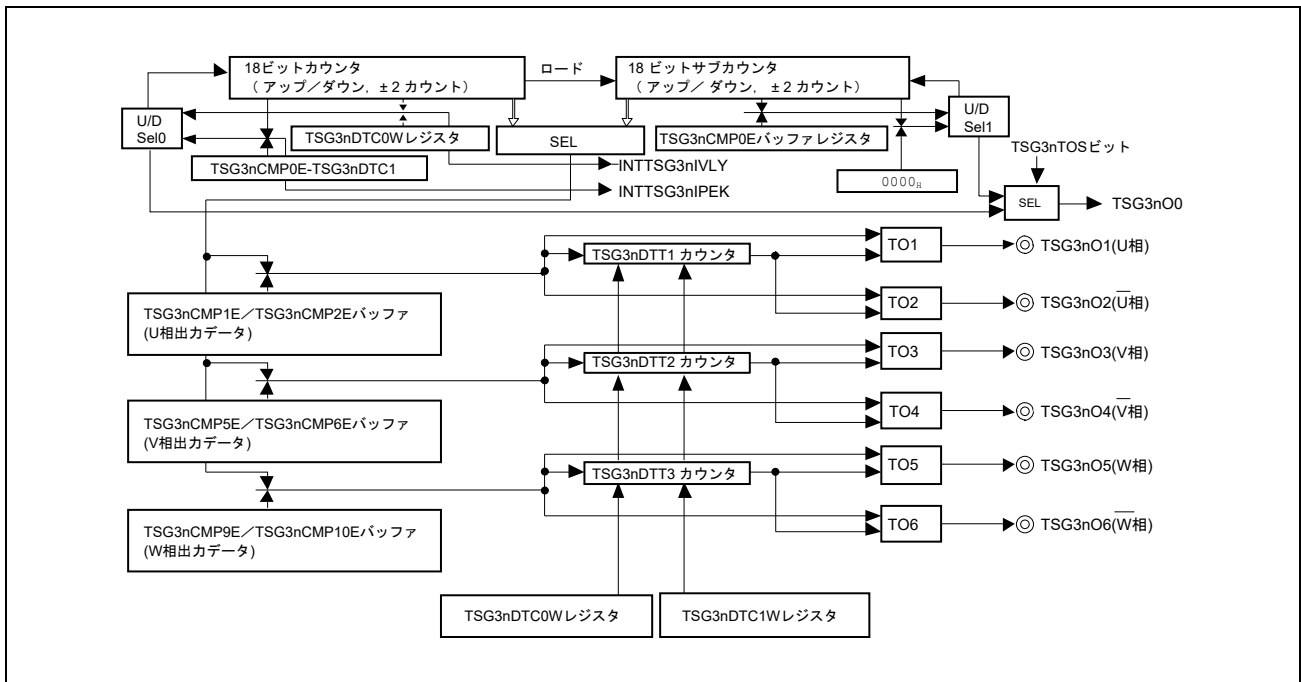


図 20.56 HT-PWM モード時のブロック図概略

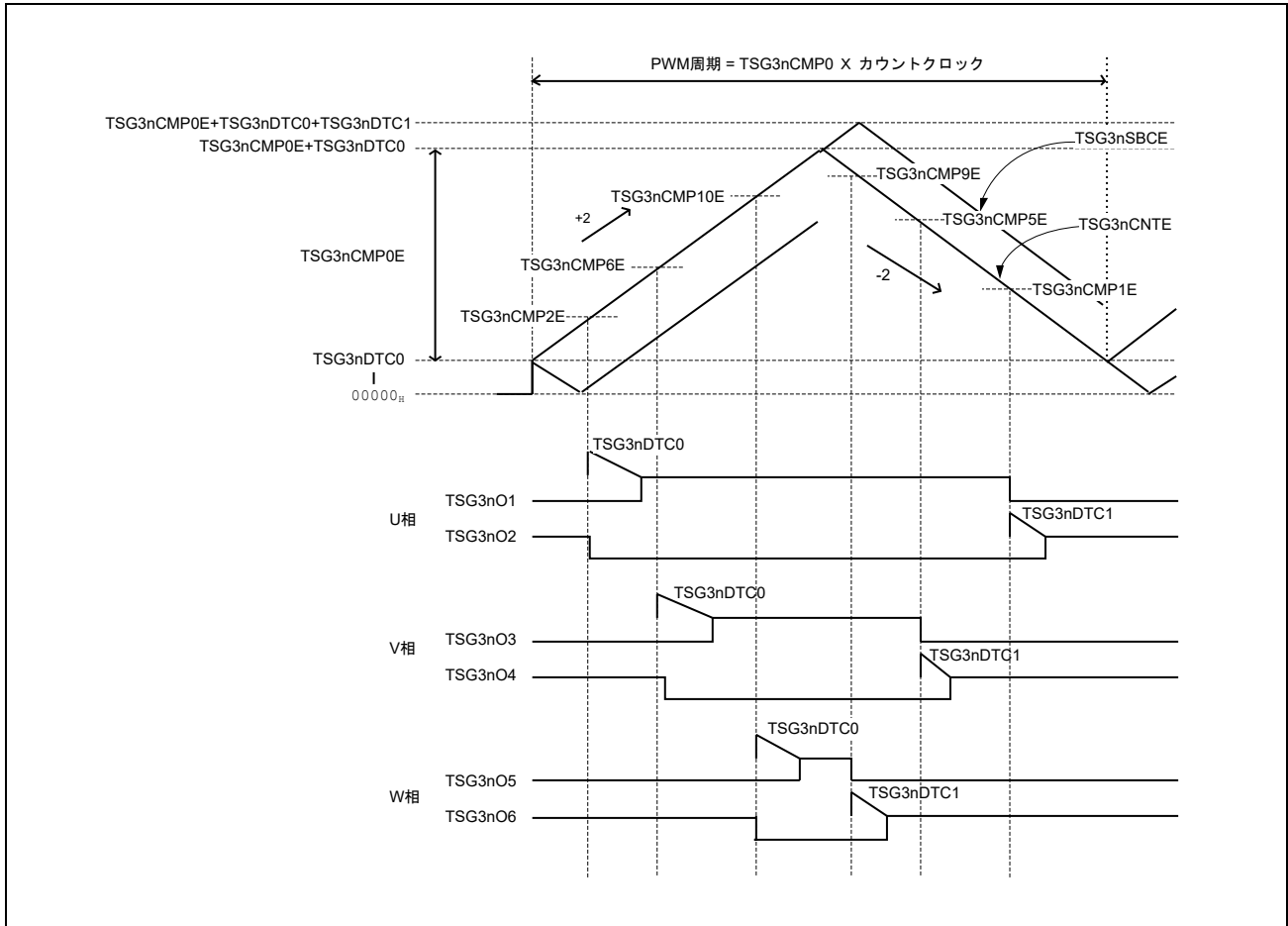


図 20.57 HT-PWM モード時の基本タイミング

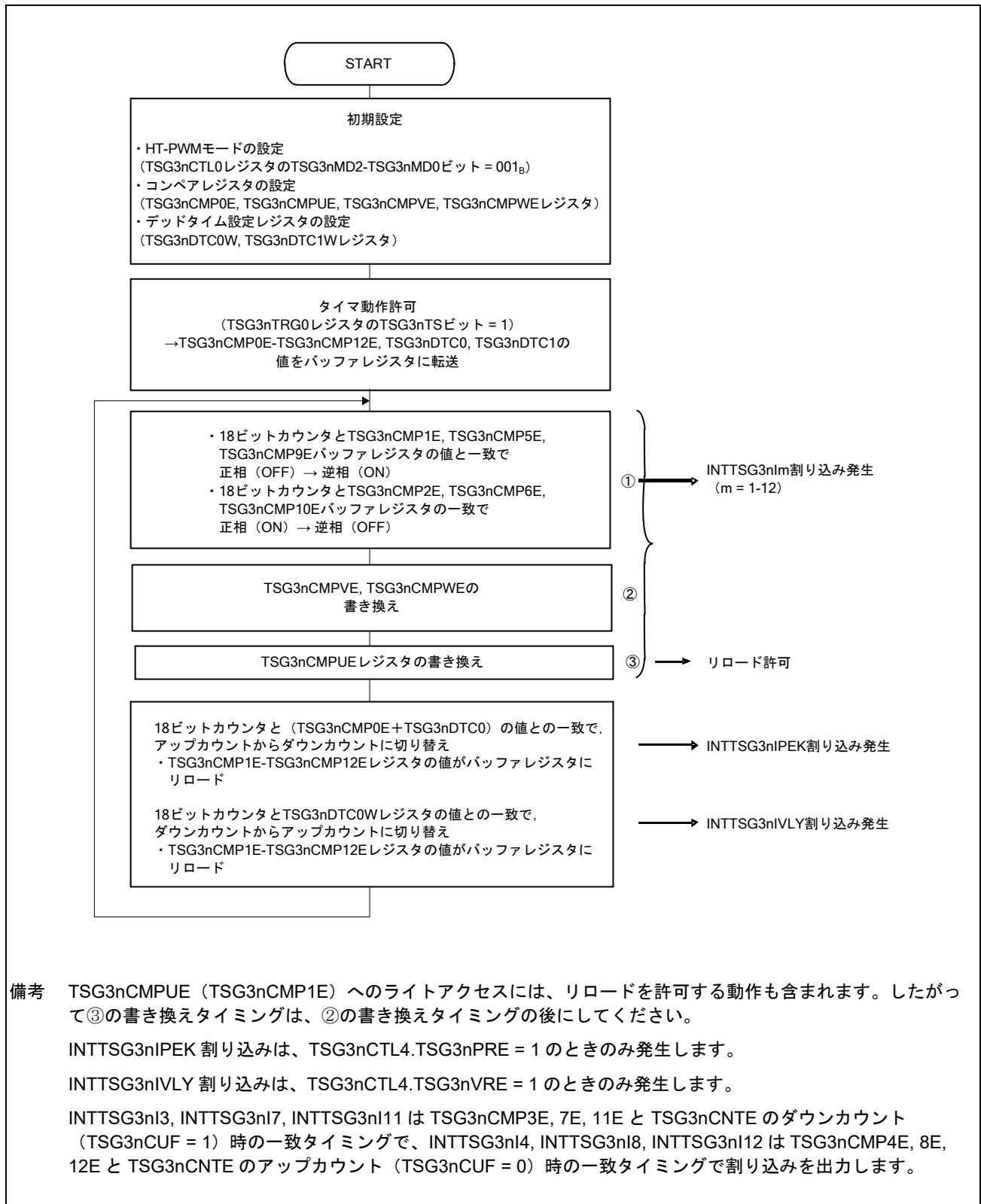


図 20.58 HT-PWM モード時の基本動作フロー

(2) HT-PWM モード動作一覧

表 20.62 HT-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ (TSG3nDTC0 からアップカウント)
	アップ	TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致
	ダウン	TSG3nCMP0E + TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致
	クリア	—
	停止	TSG3nTRG1.TSG3nTT = 0 → 1
18 ビット サブカウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ (TSG3nDTC0 からダウンカウント)
	アップ	アンダフロー
	ダウン	TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 バッファレジスタと 18 ビットサブカウンタのコンペア一致
	ロード	TSG3nCMP0E + TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致のとき、 TSG3nCMP0E + TSG3nDTC0 TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致のとき、TSG3nDTC0
	クリア	—
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 20.63 HT-PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード / 随時書き換え	可能	周期
TSG3nCMPUE	—	可能	U 相用 PWM 制御
TSG3nCMP1E, TSG3nCMP2E	リロード / 随時書き換え		
TSG3nCMPVE	—	可能	V 相用 PWM 制御
TSG3nCMP5E, TSG3nCMP6E	リロード / 随時書き換え		W 相用 PWM 制御
TSG3nCMPWE	—	可能	
TSG3nCMP9E, TSG3nCMP10E	リロード / 随時書き換え		ダイアグ出力もしくは A/D 変換トリガ
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード / 随時書き換え	可能	
TSG3nDTC0W, TSG3nDTC1W	リロード	条件付きで可能	周期、デッドタイム

備 考

- TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE を書き換えた値は、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E に設定されます。
- TSG3nDTC0, TSG3nDTC1 の書き換え方法は「20.4.7.2(8)(a) TSG3nDTC0, TSG3nDTC1 の書き換えについて」を参照してください。

表 20.64 HT-PWM モード : タイマ出力機能

端子	機能
TSG3nO0	18 ビットカウンタまたは 18 ビットサブカウンタのアップカウント時インアクティブ、ダウンカウント時アクティブ
TSG3nO1	TSG3nCMP1E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP2E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP1E < DTC0 のとき、TSG3nCMP1E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP2E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO2	TSG3nO1 に対する逆相出力
TSG3nO3	TSG3nCMP5E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP6E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP5E < DTC0 のとき、TSG3nCMP3E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP6E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO4	TSG3nO3 に対する逆相出力
TSG3nO5	TSG3nCMP9E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP10E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP9E < DTC0 のとき、TSG3nCMP5E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP10E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO6	TSG3nO5 に対する逆相出力
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

備考1. TSG3nO0 端子のステータス出力の対象を TSG3nIOC1.TSG3nTOS で切り替えます。

備考2. TSG3nCMP1E と TSG3nCMP2E が 18 ビットサブカウンタの山および谷の値に設定された場合はクリアが優先されます。

表 20.65 HT-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nI0	TSG3nDTC0 バッファレジスタと 18 ビットカウンタの一致 (周期割り込み)
INTTSG3nIm (m = 1, 2, 5, 6, 9, 10)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致 (m = 1, 2, 5, 6, 9, 10)
INTTSG3nIER	エラー
INTTSG3nIVLY	谷割り込み
INTTSG3nIPEK	山割り込み
INTTSG3nIWN	ワーニング割り込み

表 20.66 HT-PWM モード : コンペア一致タイミング

コンペア一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nDTC0→TSG3nDTC0 + 2 へ切り替わる時
TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10)	18 ビットカウンタが TSG3nCMPmE→TSG3nCMPmE ± 2 へ切り替わる時 (m = 1, 2, 5, 6, 9, 10)

表 20.67 HT-PWM モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3n00	トルク出力	TSG3nCMP0E × カウントクロック	アップカウント時、 インアクティブレベル出力 ダウンカウント時、 アクティブレベル出力	—
TSG3n01, TSG3n03, TSG3n05	PWM 出力	TSG3nCMP0E × カウントクロック	1 周期の期間内すべてインアクティ ブレベル出力 (デューティ 0%)	$TSG3nCMP0E \leq$ $TSG3nCMPmE \leq$ $TSG3nCMP0E + TSG3nDTC0 +$ $TSG3nDTC1$ (m = U, V, W)
			1 周期で 1 カウントクロックのア クティブレベル出力	$TSG3nCMPmE = TSG3nCMP0E$ $- 1$ (m = U, V, W)
			1 周期で 1 カウントクロックのイン アクティブレベル出力	$TSG3nCMPmE = 0001_H$ (m = U, V, W)
			1 周期の期間内すべてアクティブ レベル出力 (デューティ 100%)	$TSG3nCMPmE = 0000_H$ (m = U, V, W)
TSG3n02, TSG3n04, TSG3n06	PWM 出力	TSG3nCMP0E × カウントクロック	1 周期の期間内すべてインアクティ ブレベル出力 (デューティ 0%)	$TSG3nCMPmE \leq TSG3nDTC0$ (m = U, V, W)
			1 周期で 1 カウントクロックのア クティブレベル出力	$TSG3nCMPmE = TSG3nDTC0 +$ $TSG3nDTC1 + 1$ (m = U, V, W)
			1 周期で 1 カウントクロックのイン アクティブレベル出力	$TSG3nCMPmE = TSG3nCMP0E$ $+ TSG3nDTC0 + TSG3nDTC1 - 1$ (m = U, V, W)
			1 周期の期間内すべてアクティブ レベル出力 (デューティ 100%)	$TSG3nCMPmE = TSG3nCMP0E$ $+ TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
TSG3n07	ダイアグ出力もし くは A/D 変換トリ ガによるパルス 出力	TSG3nCMP0E × カウントクロック	「20.4.5 A/D 変換トリガ機能」を参照してください。	

(3) HT-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 001_B に設定することで HT-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0、TSG3nIOC2、TSG3nIOC3 の設定で出力制御を行います。

TSG3nO0 端子は、18 ビットカウンタまたは 18 ビットサブカウンタのアップ/ダウンカウントを示すステータス出力です。TSG3nIOC1.TSG3nTOS で、18 ビットカウンタ/18 ビットサブカウンタの切り替えを行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生 of 許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。HT-PWM モードでは、どのような値をコンペアレジスタに設定しても正相/逆相同時アクティブにはなりません。詳細は、「**20.4.6 エラー/ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE または TSG3nVRE を必ずセット (1) してください。

TSG3nPRE、TSG3nVRE 共に “0” の場合はリロードタイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

割り込みと間引き機能の設定

TSG3nCTL4 で、割り込みと間引き機能を設定します。山割り込み (INTTSG3nIPEK) が必要な場合は、TSG3nPIE = 1 にします。谷割り込み (INTTSG3nIVLY) が必要な場合は、TSG3nVIE = 1 にしてください。また、山/谷割り込みに対して、間引き機能を使用したい場合は、TSG3nRCC4-TSG3nRCC0 で設定を行います。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5 の TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップ/ダウンカウント)、18 ビットカウンタの山割り込み (INTTSG3nIPEK)、および谷割り込み (INTTSG3nIVLY)、18 ビットサブカウンタの山タイミング、および谷タイミングによる A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6 の TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0、TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01、TSG3nACC00 および TSG3nCTL6 の TSG3nACC11、TSG3nACC10 を使用して、間引き無し/1 間引き/3 間引き/7 間引きの設定を行うことができます。

注 意

A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5、TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。

デッドタイムの設定

TSG3nDTC0、TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2、TSG3nO4、TSG3nO6 端子のインアクティブ変化 → TSG3nO1、TSG3nO3、TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1、TSG3nO3、TSG3nO5 端子のインアクティブ変化 → TSG3nO2、TSG3nO4、TSG3nO6 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC0、TSG3nDTC1 は、偶数値のみ設定可能です。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$\text{TSG3nCMP0E} = \text{搬送波周期} / \text{カウントクロック周期 (PCLK)}$$

また、TSG3nCMP0E レジスタの設定値は、デッドタイムとの兼ね合いから次の条件を満たしてください。

- $\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} \leq 3\text{FFFE}_H$
- $\text{TSG3nCMP0E} > \text{TSG3nDTC0}$
- $\text{TSG3nCMP0E} > \text{TSG3nDTC1}$
- $\text{TSG3nCMP0E} > 3 \times \text{MAX}(\text{TSG3nDTC0}, \text{TSG3nDTC1})$
- TSG3nCMP0E は偶数

備 考

MAX (A, B) は A, B の中で大きい方の値を示しています。

デューティ (PWM 幅) の設定

TSG3nCMPmE でそれぞれ U 相、V 相、W 相のデューティ設定を行います。コンペアレジスタの設定範囲は次のようになっています。(m = U, V, W もしくは 1, 2, 5, 6, 9, 10)

$$00000_H \leq \text{TSG3nCMPmE} \leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}$$

TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE の LSB (Least Significant Bit) は、付加パルスの設定を意味しています。例えば、TSG3nCMPUE = 00003_H と設定した場合は、TSG3nCMPUE = 00002_H に設定した場合に比べて、逆相 (TSG3nO2 端子) の変化が 1 カウントクロック分遅く変化します (18 ビットカウンタがアップカウント時)。ただし、TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E には、付加パルスの設定はできません。(偶数値のみ設定可能)

(4) HT-PWM モードの 18 ビットカウンタ動作

18 ビットカウンタは初期値 00000_H で、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した直後に TSG3nDTC0 の値がロードされ、+2 ずつアップカウントを行います。その後、TSG3nCMP0E + TSG3nDTC0 に一致した時点で 18 ビットカウンタは -2 ずつダウンカウントを行います。

18 ビットカウンタの動作は次のようになります。

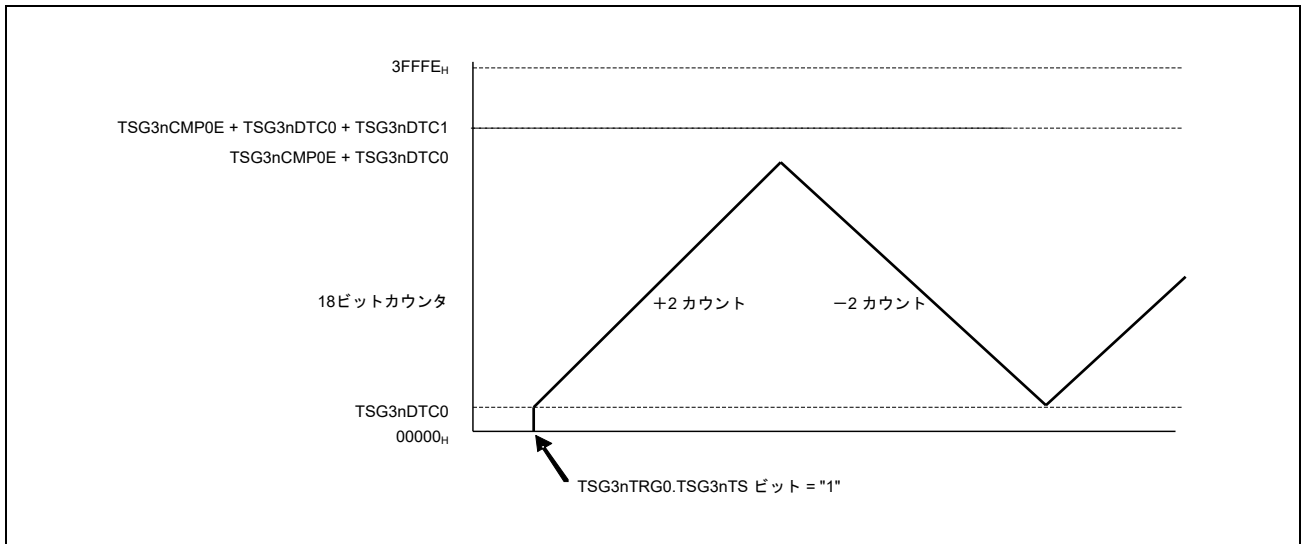


図 20.59 HT-PWM モード時の 18 ビットカウンタ動作例

備 考

18 ビットカウンタ最小値 : TSG3nDTC0

18 ビットカウンタ最大値 : TSG3nCMP0E + TSG3nDTC0

搬送波周期 : TSG3nCMP0E × カウントクロック周期 (PCLK)

18 ビットサブカウンタは初期値 00000_H で、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した直後に TSG3nDTC0 の値がロードされます。その後、 00000_H と一致するまで -2 ずつダウンカウントを行い、一致した時点で +2 ずつアップカウントを開始します。次に、18 ビットカウンタがアップ→ダウンに切り替わるタイミングで、18 ビットサブカウンタに 18 ビットカウンタの値をロードします。18 ビットサブカウンタは、そのままカウントアップを行い、TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 と一致した時点で、-2 ずつダウンカウントを開始します。同様に、18 ビットカウンタが TSG3nDTC0 と一致したタイミングで、18 ビットカウンタの値をロードし、ダウンカウントを続けます。

18 ビットサブカウンタ動作は、下記のようになります。

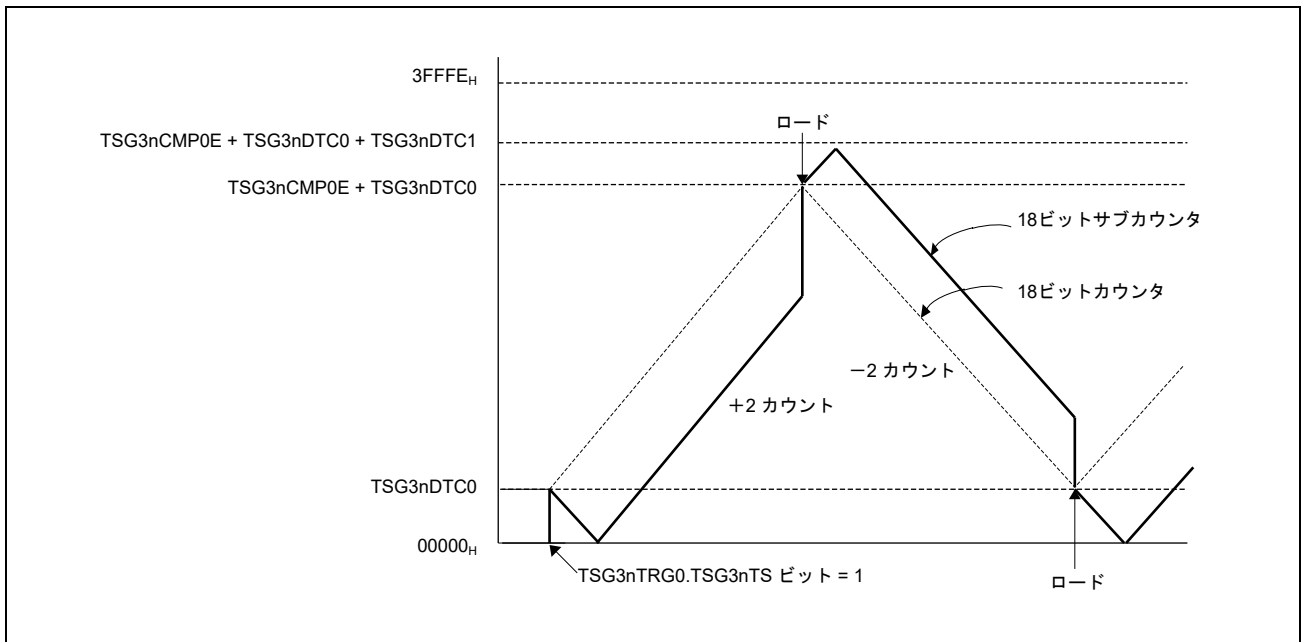


図 20.60 HT-PWM モード時の 18 ビットサブカウンタ動作例

備 考

18 ビットサブカウンタ最小値 : 00000_H

18 ビットサブカウンタ最大値 : TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1

(5) HT-PWM モードの基本動作

(a) TSG3n 動作開始直後のタイマ出力例

TSG3nCMP0E = 0000EH、TSG3nDTC0 = 002H、TSG3nDTC1 = 004H、TSG3nCMPUE を 00000H~00014H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG3nIOC2 レジスタの TSG3nOL1-TSG3nOL6 = 000000B と設定しています。

動作開始 (TSG3nTRG0.TSG3nTS = 1) すると、TSG3nO2 端子がアクティブレベルに変化します。その後、 $TSG3nCMPUE \leq TSG3nDTC0$ の場合、TSG3nO2 端子は 1 カウントクロック後にクリアされます。

$TSG3nCMPUE \geq TSG3nDTC0$ の場合、TSG3nO2 端子は 18 ビットカウンタとコンペアレジスタ

(TSG3nCMP2E) との一致、もしくは 18 ビットサブカウンタとコンペアレジスタ (TSG3nCMP2E) との一致でクリアされます。その後、設定したデッドタイム期間後に TSG3nO1 端子がセットされます。(ただし、 $TSG3nCMPUE \geq TSG3nCMP0E$ の場合は、TSG3nO1 端子はセットされません。)

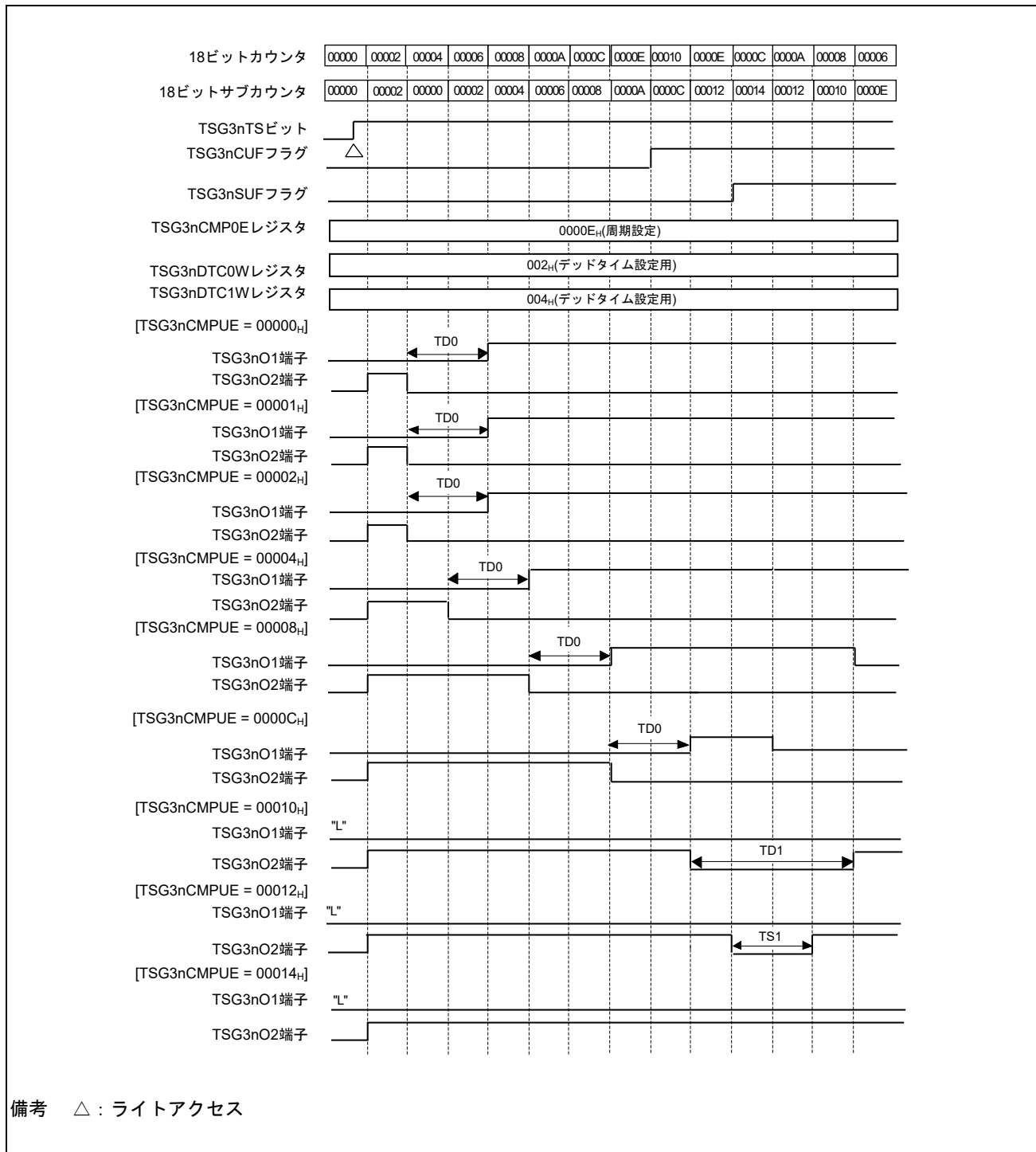


図 20.61 TSG3nTS = 1 にセットした場合 (初期) のタイマ出力例 (HT-PWM モード)

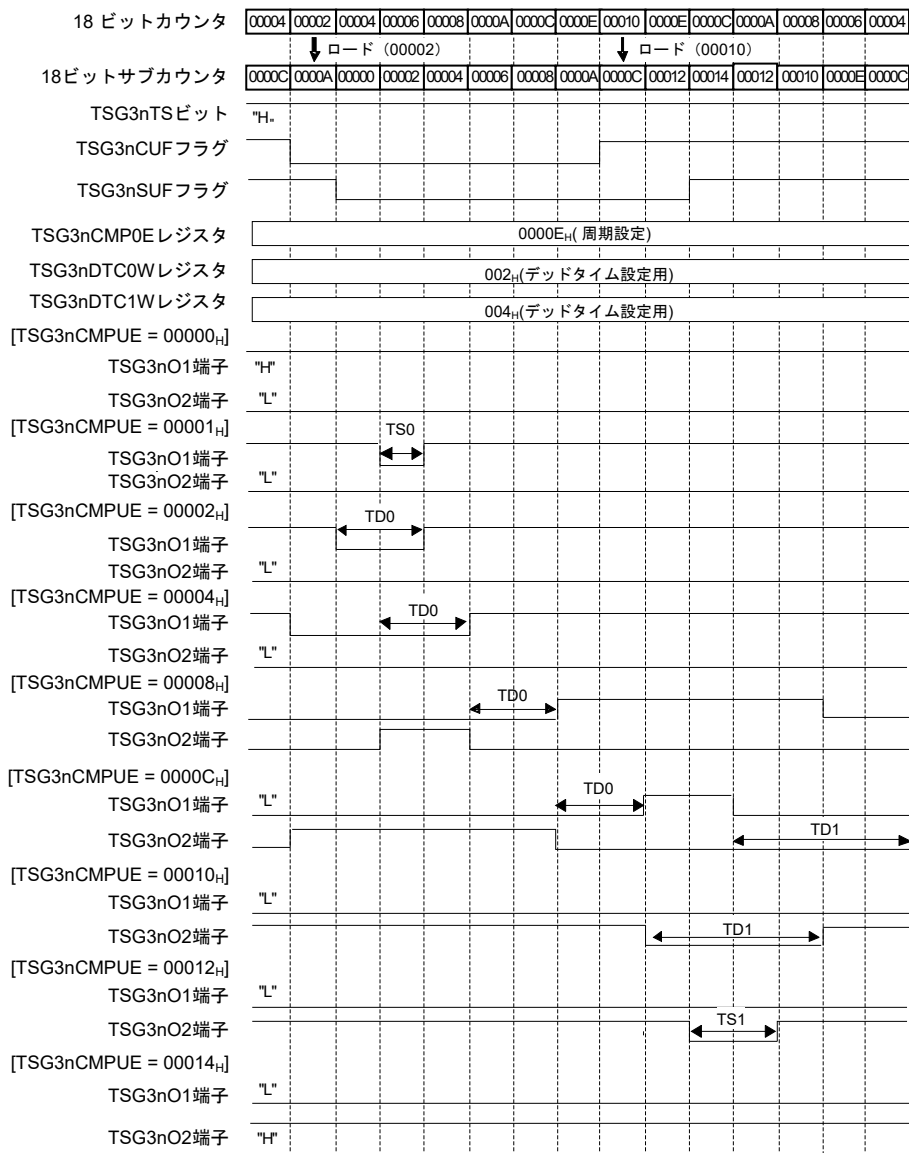
備 考

1. TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H
2. T_{D0} : TSG3nDTC0W レジスタのデッドタイム設定に依存する時間
T_{D1} : TSG3nDTC1W レジスタのデッドタイム設定に依存する時間
T_{S1} : TSG3nCMPUE > 18 ビットカウンタ最大値の場合、18 ビットサブカウンタと TSG3nCMPUE との比較によって決定される時間

(b) TSG3n 動作中のタイマ出力例

TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H、TSG3nCMPUE を 00000_H~00014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG3nIOC2 レジスタの TSG3nOL1-TSG3nOL6 = 000000_B と設定しています。

正相 (TSG3nO1 端子) の出力するアクティブ (ハイレベル) 幅の範囲は $00000_{\text{H}} \leq \text{TSG3nCMPUE} \leq \text{TSG3nCMP0E}$ (付加パルス分) となっています。また、逆相 (TSG3nO2 端子) の出力するアクティブ (ハイレベル) 幅の範囲は $\text{TSG3nDTC0} + \text{TSG3nDTC1} \leq \text{TSG3nCMPUE} \leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}$ となっています。



備考1. TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H

備考2. T_{D0} : TSG3nDTC0 レジスタのデッドタイム設定に依存する時間

T_{D1} : TSG3nDTC1 レジスタのデッドタイム設定に依存する時間

T_{S0} : TSG3nCMPUE < 18 ビットカウンタ最小値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間

T_{S1} : TSG3nCMPUE > 18 ビットカウンタ最大値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間

図 20.62 動作中のタイマ出力例 (HT-PWM モード時)

(6) HT-PWM モード時の付加パルス制御

HT-PWM モードは、デューティ設定レジスタ (TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE) の LSB に “1” を設定することで付加パルスを設定することができます。付加パルス制御機能を持つことで、デューティ制御をより細かく (精度が高く) 行うことができます。

付加パルス制御を行った場合と、行わない場合の TSG3nO1 端子の出力例を記載します。

(a) 付加パルス制御を行った場合のパルス出力例

図 20.63 で付加パルス制御を行うのは、TSG3nCMPUE に奇数の値を設定した場合です。

矢印と数字は 1 周期内の TSG3nO1 端子出力のデューティ幅を示しています。

図 20.63 のように、付加パルス制御を行った場合 TSG3nO1 端子の出力幅 (デューティ比) が 12 クロック幅から 0 クロック幅まで 1 カウントクロックごとに制御することができます。

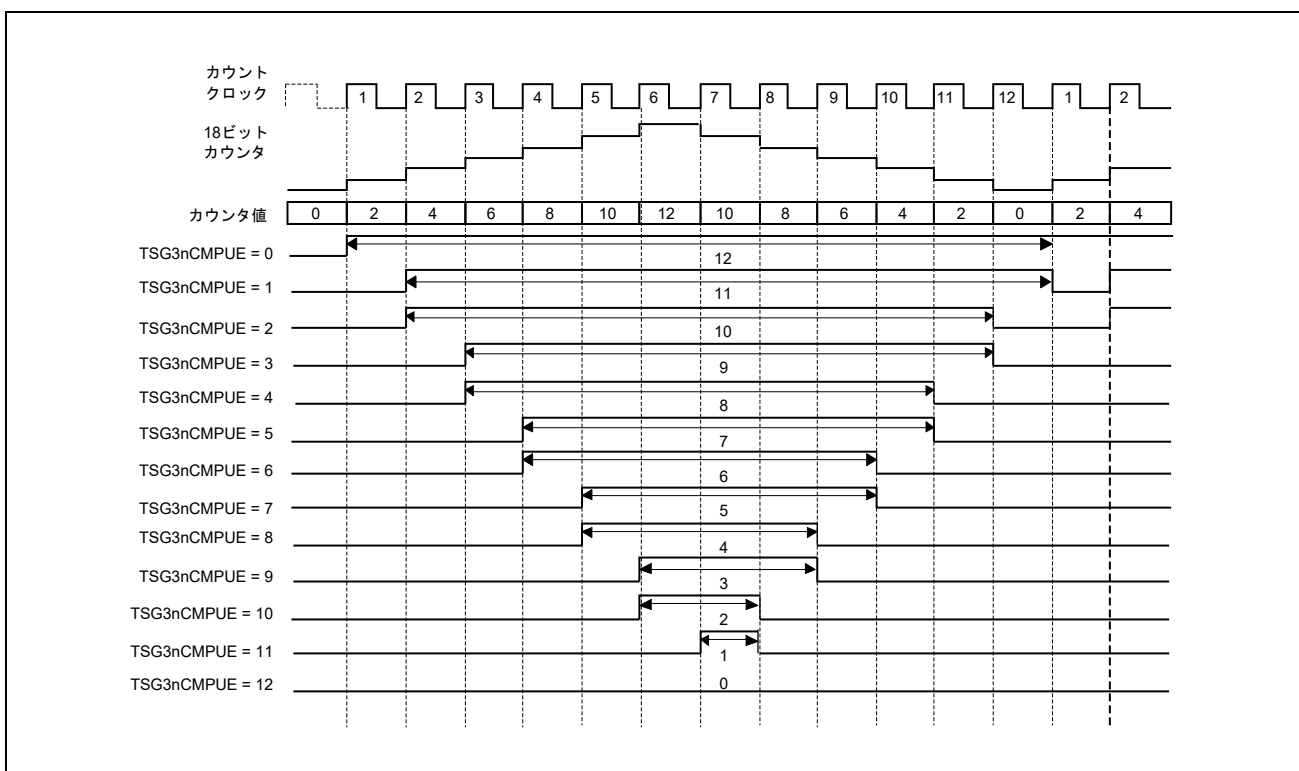


図 20.63 付加パルス制御を行った場合の TSG3nO1 端子出力例

備 考

TSG3nCMP0E = 12、TSG3nDTC0 = 0、TSG3nDTC1 = 0

(b) 付加パルス制御を行っていない場合の出力例

図 20.64 で、矢印と数字は 1 周期内の TSG3nO1 端子出力のデューティ幅を示しています。

付加パルス制御を行わない場合、TSG3nO1 端子の出力幅が 12 クロック幅から 0 クロック幅まで、2 カウントクロックごとの制御となります。この場合は、付加パルス制御を行う場合と比べてデューティ変化量が大きくなってしまいます。

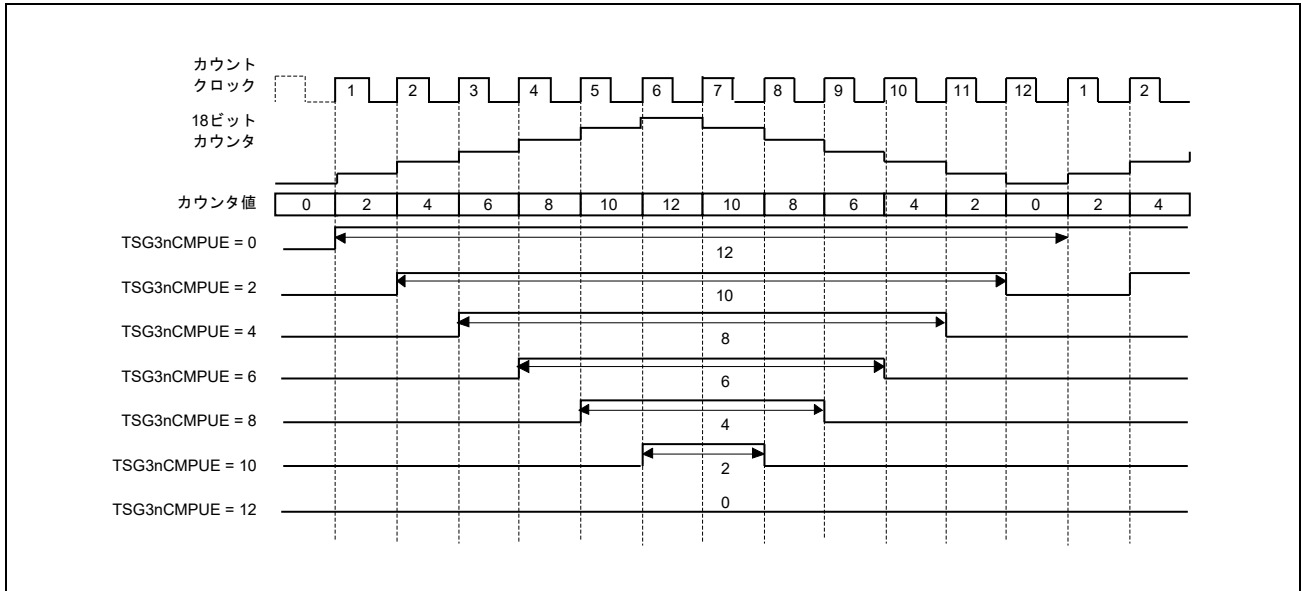


図 20.64 付加パルス制御を行わなかった場合の TSG3nO1 端子出力例

備 考

TSG3nCMP0E = 12、TSG3nDTC0 = 0、TSG3nDTC1 = 0

(7) HT-PWM モード時のデッドタイム制御

HT-PWM モードでは、基本的に TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE レジスタでデューティを設定します。この 3 つのレジスタを使用することで、デューティ可変型の 6 相 PWM 波形が出力されます。デッドタイム制御を実現するために、18 ビットカウンタのカウントクロックに同期して動作する 6 本の 10 ビットダウンカウンタと、デッドタイム設定レジスタ (TSG3nDTC0W、TSG3nDTC1W) があります。

TSG3nDTC0 は、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッドタイムの設定であり、TSG3nDTC1 は、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッドタイムの設定です。

次に TSG3nDTC0 = x、TSG3nDTC1 = y の場合の出力波形を示します。

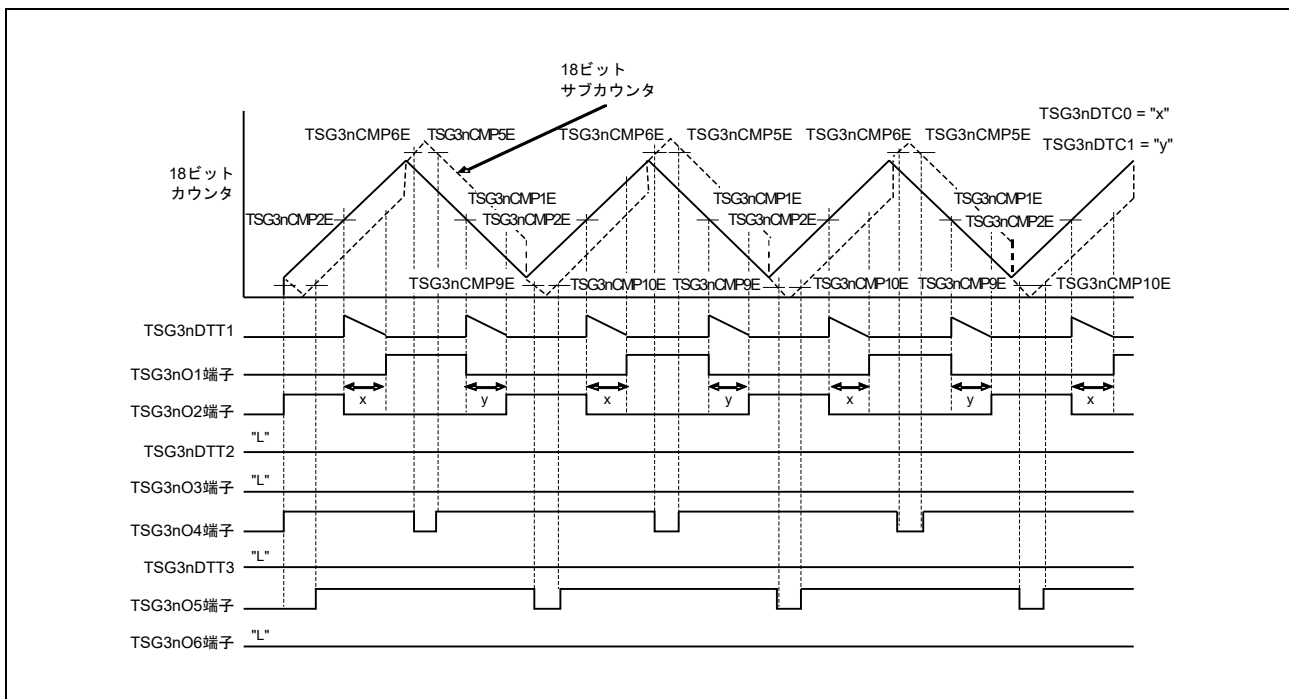
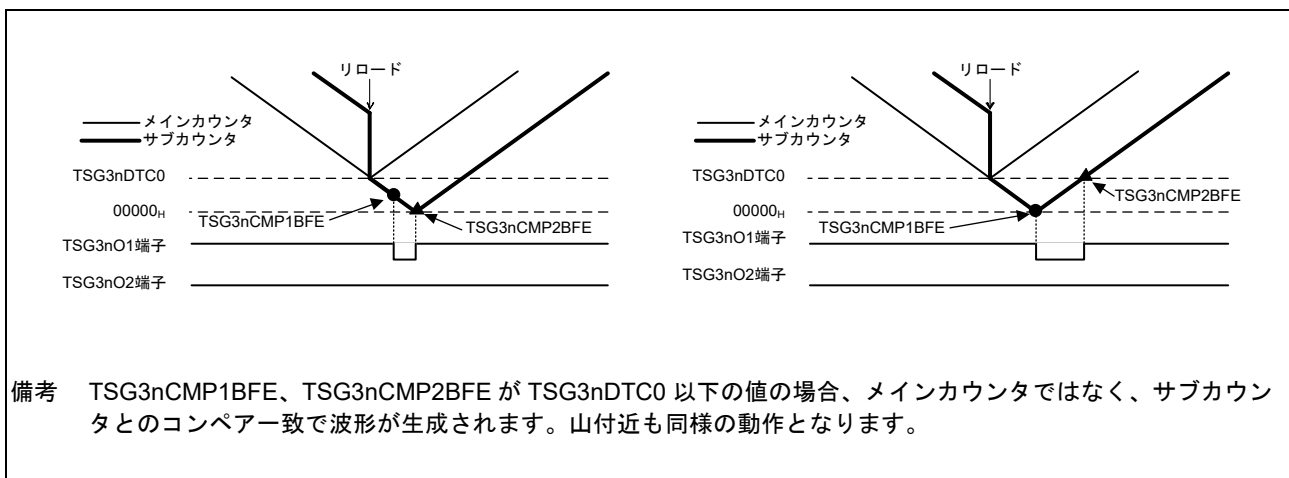


図 20.65 デッドタイム設定時の出力波形例



備考 TSG3nCMP1BFE、TSG3nCMP2BFE が TSG3nDTC0 以下の値の場合、メインカウンタではなく、サブカウンタとのコンパレー一致で波形が生成されます。山付近も同様の動作となります。

図 20.66 リロード後の谷付近の出力波形例

(8) HT-PWM モード時のデッドタイム制御に関する注意事項**(a) TSG3nDTC0, TSG3nDTC1 の書き換えについて**

デッドタイムの設定 (TSG3nDTC0、TSG3nDTC1) を動作中に書き換えることができます。

注 意

1. TSG3nDTC0, TSG3nDTC1 の書き換えは、リロード機能 (TSG3nRMC = 0) を使用している場合に書き換えてください。
2. TSG3nDTC0, TSG3nDTC1 を書き換える場合、ライトプロテクションコードチェックが機能します。詳細はレジスタ説明 (「20.3.44 TSG3nDTC0W — TSG3n デッドタイム設定レジスタ 0」、「20.3.45 TSG3nDTC1W — TSG3n デッドタイム設定レジスタ 1」、「20.3.64 TSG3nDTPR — TSG3n デッドタイムプロテクションレジスタ」) を参照してください。
3. 18 ビットカウンタの山で TSG3nCMP0E, TSG3nDTC1 を変更する場合 TSG3nCMPmE の設定値が、更新後の TSG3nCMP0E + TSG3nDTC0 (メインカウンタの新しい最大値) より大きい場合、リロード実行直後の一致割り込み (INTTSG3nIm) は発生しません (m = 2, 6, 10)。

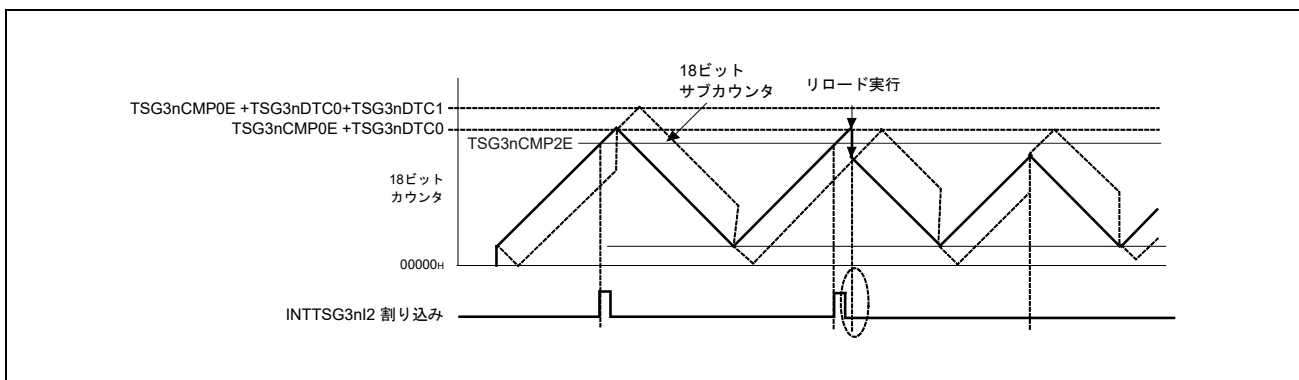


図 20.67 18 ビットカウンタ山タイミングでのリロード実行時の動作例

4. 18 ビットカウンタの谷で TSG3nDTC0 を変更する場合
TSG3nCMPmE の設定値が、更新後の TSG3nDTC0 (メインカウンタの新しい最小値) より小さい場合、リロード直後の一致割り込み (INTTSG3nIm) は発生しません (m = 1, 5, 9)。

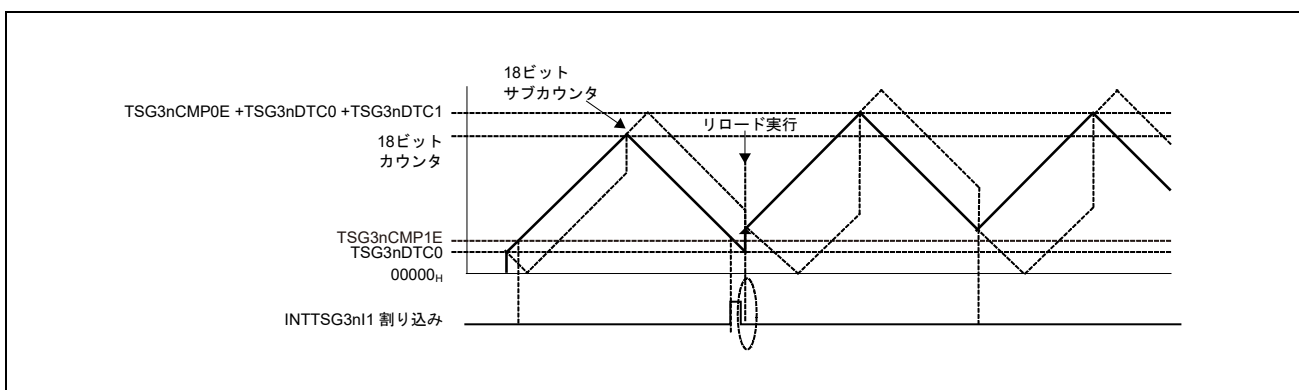


図 20.68 18 ビットカウンタ谷タイミングでのリロード実行時の動作例

(9) HT-PWM モード時のソフトウェア出力制御機能

HT-PWM モード時は、TSG3nOPT0.TSG3nSOC、TSG3nIDC、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 20.69 に示すように、TSG3nSTE=0 とし、TSG3nSOC=1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、TSG3nSOC=0 にしたタイミングでは出力を保持し、リロードタイミングが発生した時点で、HT-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「**20.4.7.10 ソフトウェア出力制御機能**」を参照してください。

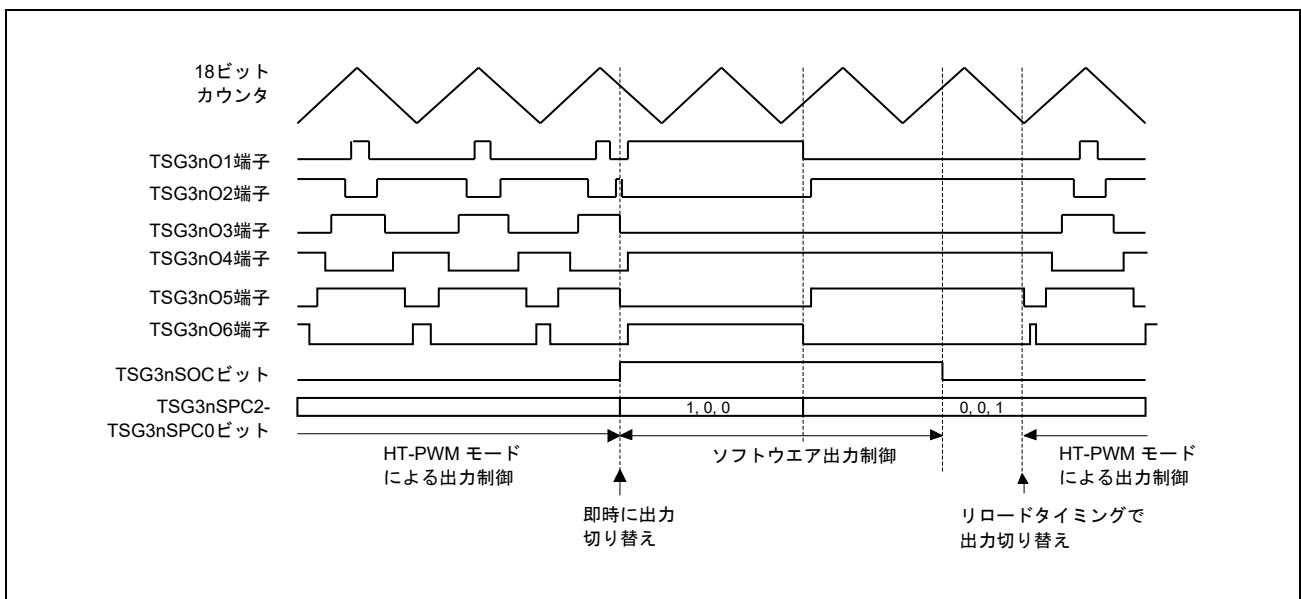


図 20.69 HT-PWM からソフトウェア出力制御機能の切り替え例

注 意

ソフトウェア出力制御機能を使用する場合は、必ずリロード（一斉書き換え）モード（TSG3nCTL3.TSG3nRMC = 0）の設定で使用してください。

(a) ソフトウェア出力制御の処理手順

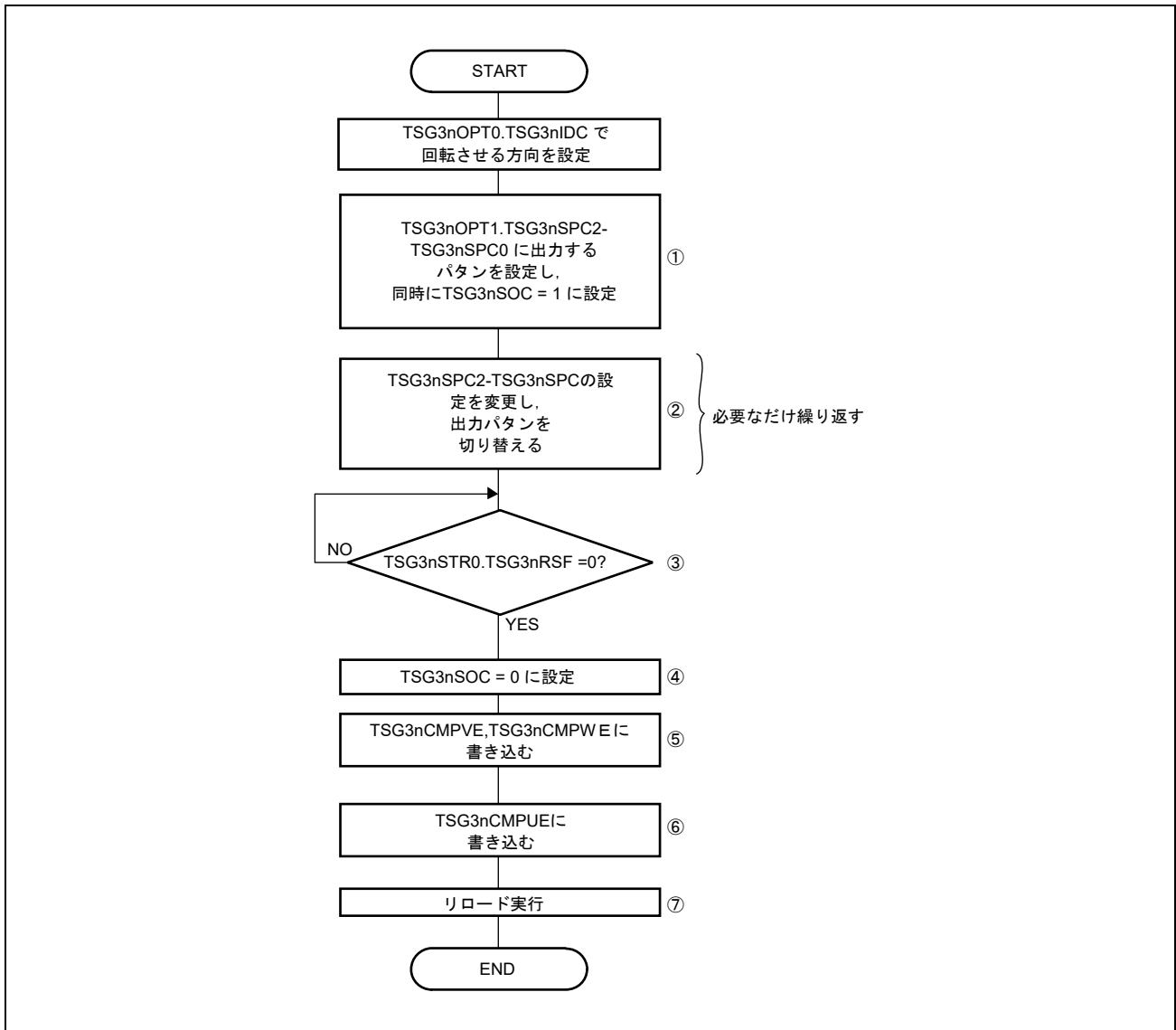


図 20.70 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

1. TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nOPT0.TSG3nSOC = 1 にします。
2. TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
3. リロード要求フラグ (TSG3nSTR0.TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF = 0 になるまで次の手順に移行しないでください。
4. TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
5. ソフトウェア出力制御解除後に必要なコンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
6. TSG3nCMPUE (TSG3nCMP1E) に書き込みを行い、リロードを起動します。
7. リロードが実行され、ソフトウェア出力を解除します。

注 意

3., 4., 5., 6.の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

(10) HT-PWM モードの非対称三角波制御

HT-PWM モードでは、U 相、V 相、W 相の各相のセットタイミングとクリアタイミングを双方異なるタイミングで設定することにより非対称三角波で制御することができます。

以下では、対称三角波と異なる内容について説明します。

(a) PWM の設定について

対称三角波では、U 相、V 相、W 相の設定を TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE にてセットタイミング、クリアタイミングを同一値に設定することで各相の出力制御をしていました。非対称三角波では、TSG3nCmPmE を以下のように設定することで各相の出力制御をします。(m = 1, 2, 5, 6, 9, 10)

前提条件

- TSG3nCMP1E、TSG3nCMP5E、TSG3nCMP9E で、U 相、V 相、W 相の電圧データ信号の PWM のクリアタイミングを設定します。
- TSG3nCMP2E、TSG3nCMP6E、TSG3nCMP10E で、U 相、V 相、W 相の電圧データ信号の PWM のセットタイミングを設定します。
- セットタイミング、クリアタイミングは、TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E で、各相の設定を行うことができます。
- TSG3nCmPmE は偶数値のみ設定可能です。(m = 1, 2, 5, 6, 9, 10)

(b) タイマ出力について

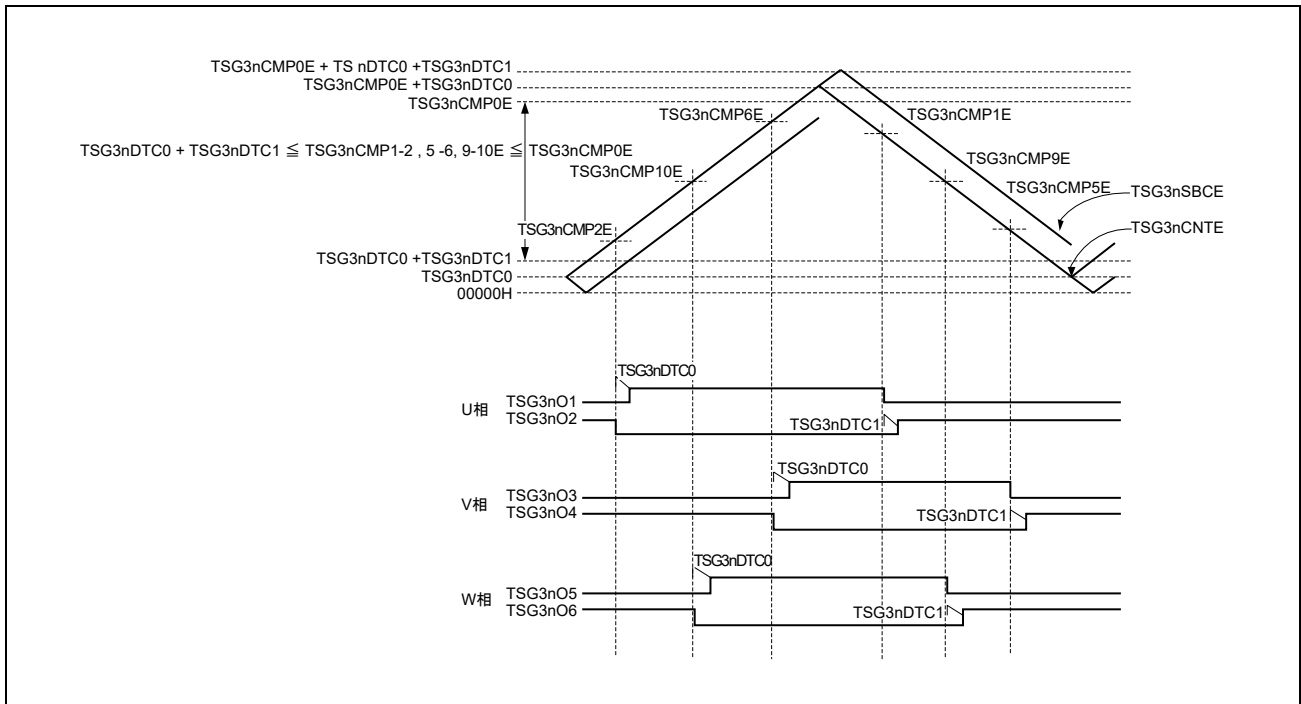


図 20.71 HT-PWM モード : タイマ出力波形例

備 考

非対称三角波で出力制御する場合、TSG3nCmPmE の設定は次の条件となります (m = 1, 2, 5, 6, 9, 10)。

- $TSG3nDTC0 + TSG3nDTC1 \leq TSG3nCmPmE \leq TSG3nCmP0E$
- $TSG3nCmPmE = TSG3nCmP(m+1)E$ 、もしくは $TSG3nCmPmE = TSG3nCmP(m+1)E + 2$ の場合のみ、対称三角波と同じ「 $00000H \leq TSG3nCmPmE \leq TSG3nCmP0E + TSG3nDTC0 + TSG3nDTC1$ 」の条件で設定可能です。

20.4.7.3 EMU3 からのデータ転送について

TSG3 は、EMU3 に設定されたキャリア周期、および EMU3 が算出した U/V/W 相のデューティ設定値を直接、TSG3 のコンペアレジスタ TSG3nCMP0E/1E/2E/5E/6E/9E/10E に反映させることができます。

EMU3 からのキャリア周期設定値 EMU3nCARR、U/V/W 相コンペア値

EMU3nPWMUIP/EMU3nPWMVIP/EMU3nPWMWIP が TSG3 に入力され、EMU3n レジスタライト信号が “1” になると、TSG3 のコンペアレジスタ TSG3nCMP0E/1E/2E/5E/6E/9E/10E が更新されます。そして、TSG3nRSF (リロードフラグ) がセット “1” され、次のリロードタイミングでバッファレジスタ TSG3nCMP0E/1/2/5/6/9/10BFE レジスタに値が転送され、設定値が有効となります。

EMU3n レジスタライト信号は、EMU3n 内の PWM IP が演算完了したときに “1” になります。また、ソフトウェア制御も可能です。

詳細は、「**第 25 章 エンハンスドモータコントロールユニット (EMU3)**」の「**25.4.5 PWM IP**」を参照してください。

但し、TSG32 は EMU3 との連動機能が非対応です。

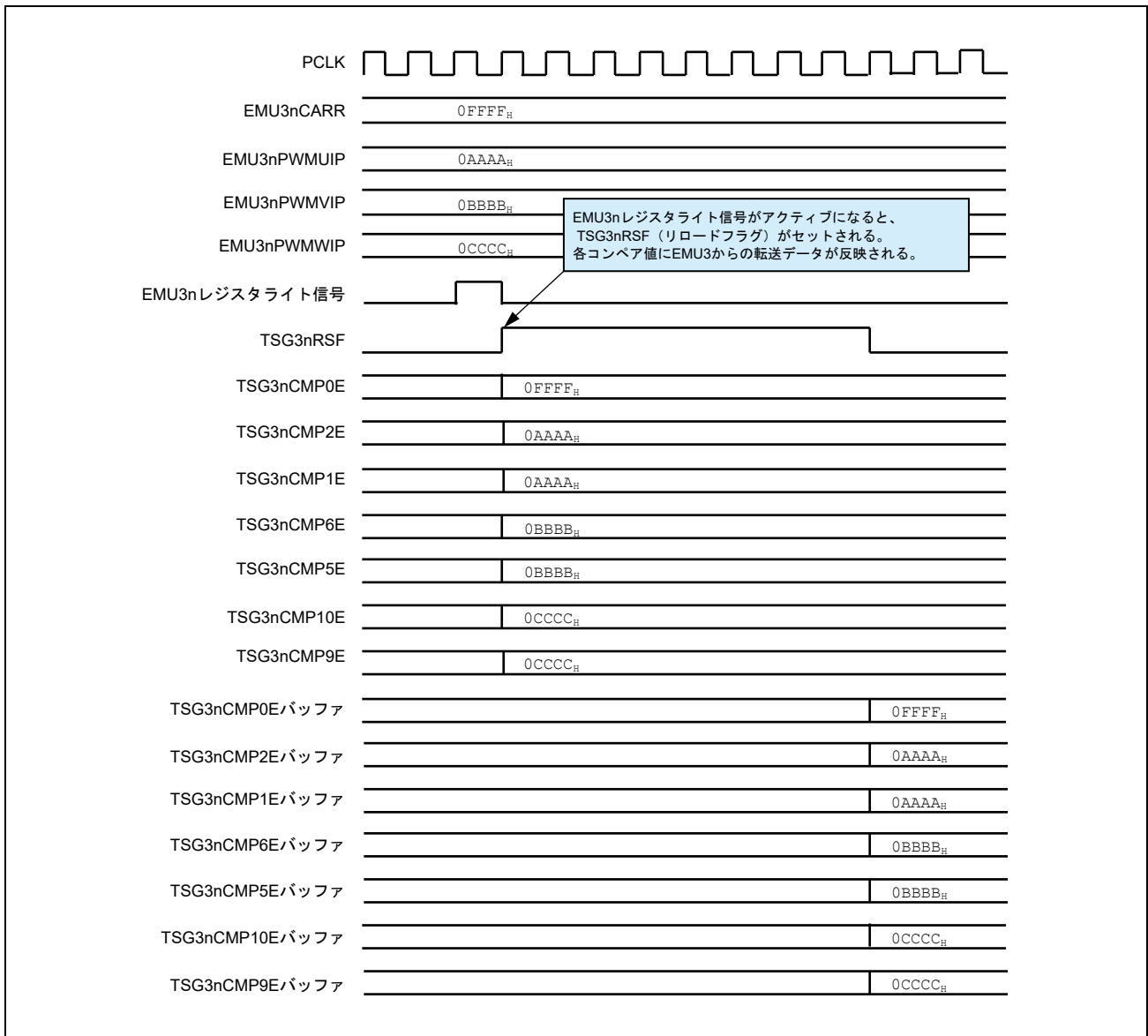


図 20.72 EMU3 からのデータ転送タイミング

注 意

EMU3 からの転送は HT-PWM モード (TSG3nMD2~0 = 001)、かつリロード動作 (TSG3nRMC = 0) の時のみ可能です。

PWM モード、SP-PWM モード、120-DC、HSP-PWM モードのとき、また随時書き込み動作 (TSG3nRMC = 1) の時は転送しないでください。

リロードタイミングが発生する前に、EMU3 からのデータ転送が連続で発生した場合、リロードタイミング前に発生した最後の転送データが有効となります。

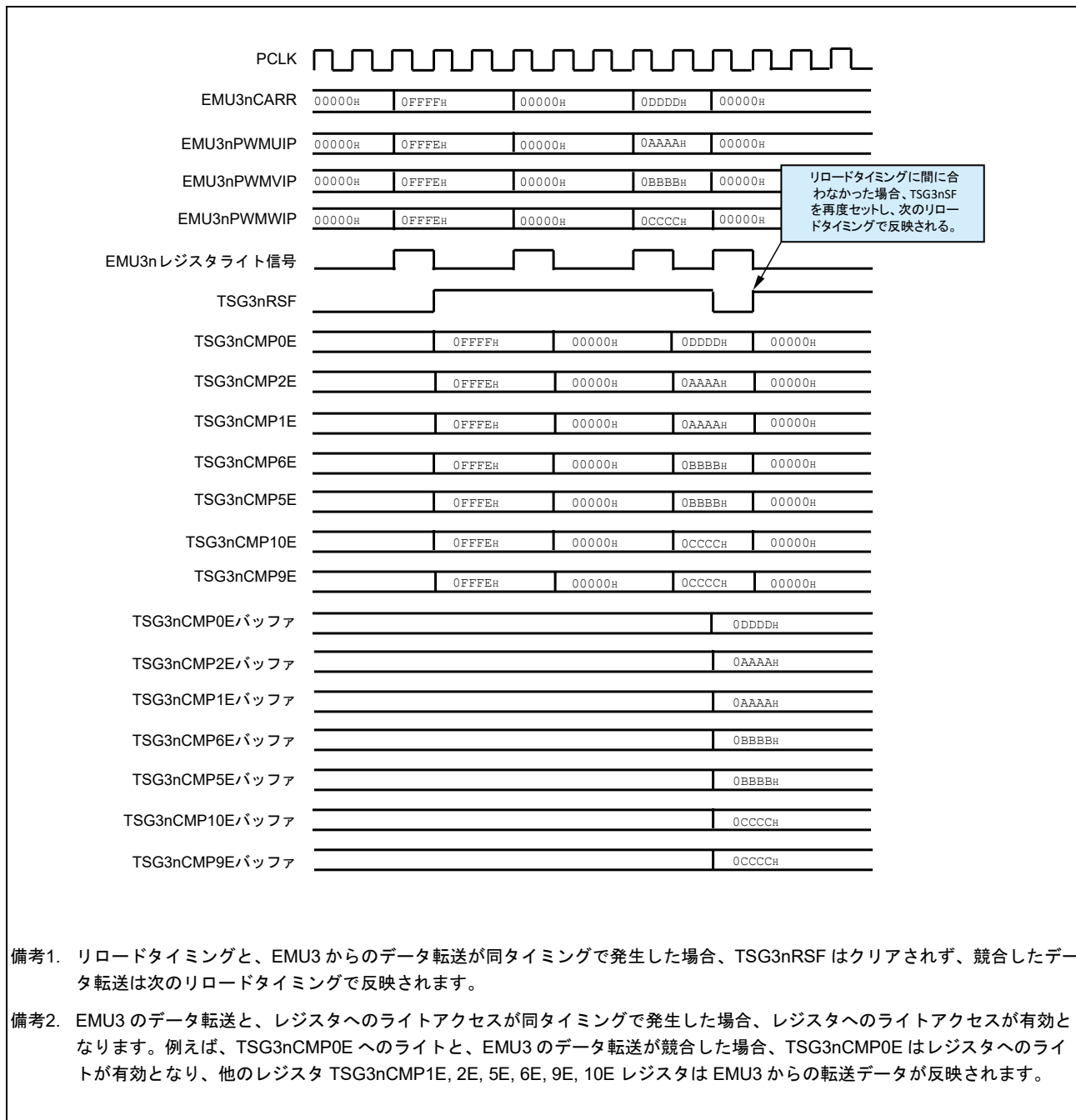


図 20.73 EMU3 からの連続データ転送タイミング

20.4.7.4 ESW 機能

ESW 機能は TSG3 が保有するカウンタ/コンペア値を用いて生成される PWM ではなく、EMU3 から TSG3 に入力される矩形波に、設定されたデッドタイムを付加して PWM 出力を行う動作です。

(注) TSG32 は ESW 機能非対応です。

(1) ESW 機能の PWM 出力

TSG3nOPT2 レジスタの TSG3nESSC を 1 に設定すると ESW 機能が有効になり、TSG3 のカウンタ、コンペア値を使用した PWM 出力から、EMU3 から入力される矩形波を元に生成される PWM 出力へ切り替わります。

ESW 機能では、EMU3 から入力される U 相出力パタン値、V 相出力パタン値、W 相出力パタン値が正相出力 (TSG3nO1, 3, 5)、U 相出力パタン値、V 相出力パタン値、W 相出力パタン値信号の反転値が逆相出力 (TSG3nO2, 4, 6) となります。

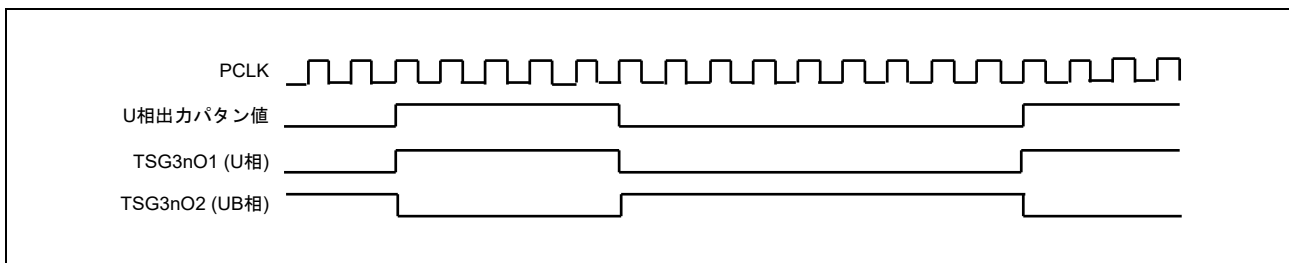


図 20.74 ESW 機能の PWM 出力 (デッドタイムは 0 設定)

ESW 機能時にもデッドタイム設定は有効となり、TSG3nDTC0 に設定したデッドタイムが正相 (TSG3nO1, 3, 5)、TSG3nDTC1 に設定したデッドタイムが逆相 (TSG3nO2, 4, 6) に挿入されます。

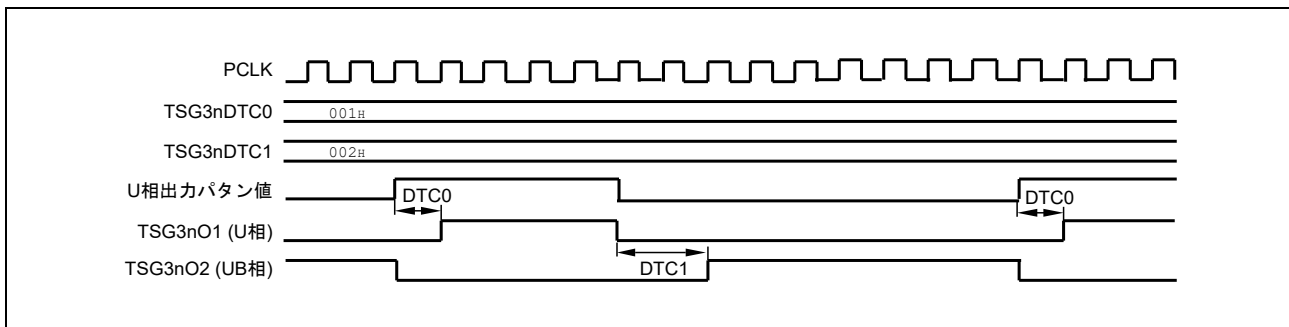


図 20.75 ESW 機能の PWM 出力 (TSG3nDTC0 = 1, TSG3nDTC1 = 2)

(2) ESW 機能の切り替え動作

TSG3nOPT2 レジスタの TSG3nESSC ビットを 0 から 1 に変更すると、即座に ESW 機能に切り替わり、EMU3 から入力される矩形波を元に生成される PWM 出力へ切り替わります。TSG3nESSC ビットを 1 から 0 に変更した場合は、カウンタに同期し、リロードタイミングで HT-PWM モードに切り替わります。

(3) ESW 機能の切り替え時のデッドタイム挿入

ESW 機能への切り替え時にも、設定したデッドタイムは必ず挿入されます。

また、正相がハイの PWM 出力時に、正相ハイの矩形波へ切り替えた場合、ハイレベルを出力し続けます (切り替え時にインアクティブにならない)。

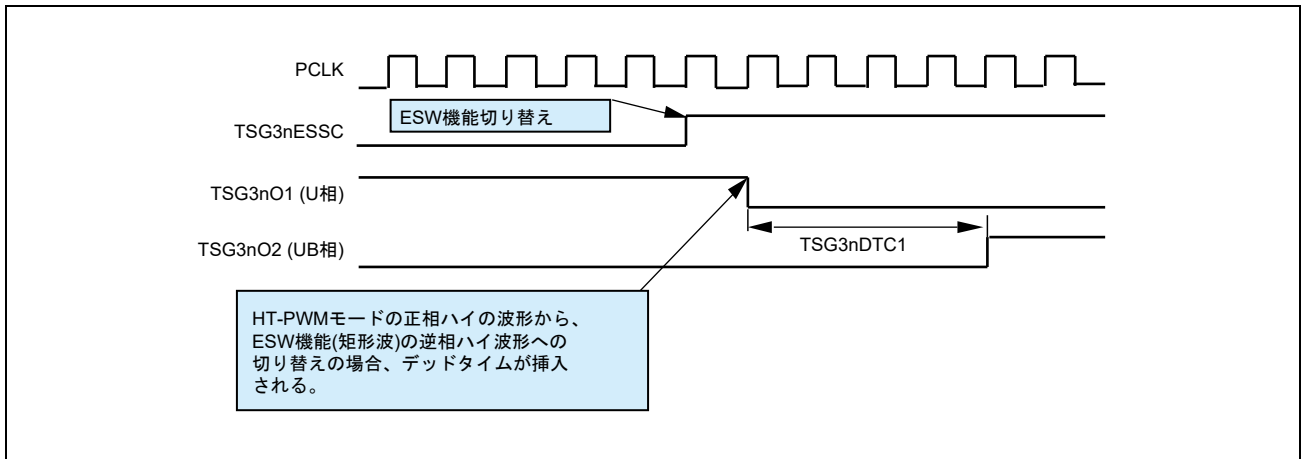


図 20.76 ESW 機能の切り替え図 (正相ハイ→逆相ハイ)

ESW 機能時にもデッドタイム設定は有効となり、TSG3nDTC0 に設定したデッドタイムが正相 (TSG3nO1, 3, 5)、TSG3nDTC1 に設定したデッドタイムが逆相(TSG3nO2, 4, 6) に挿入されます。

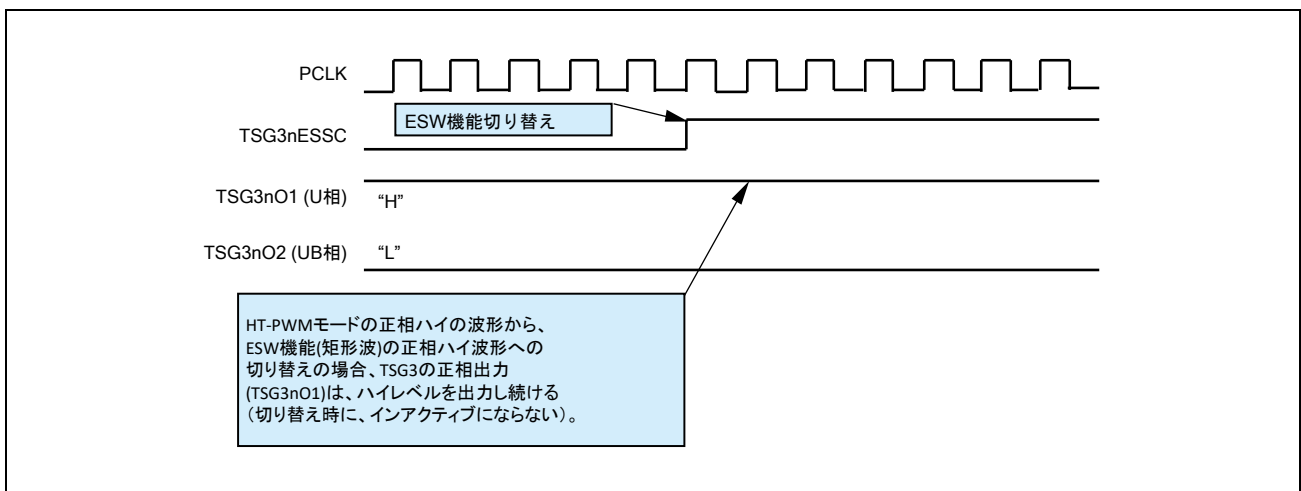


図 20.77 ESW 機能の切り替え図 (正相ハイ→正相ハイ)

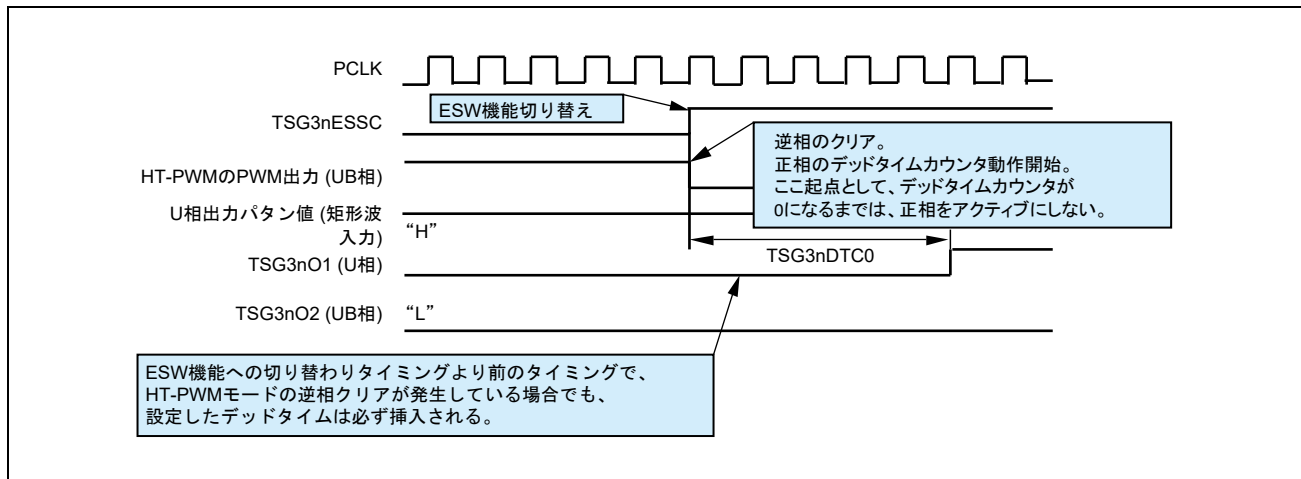


図 20.78 ESW 機能の切り替え図 (切り替え前に逆相のクリアが発生)

(4) ESW 機能動作時の設定

ESW 機能を使用する際は、以下に示す設定で使用してください。また TSG3nTE = 1 (動作中) に設定の変更を行わないでください。

表 20.68 ESW 機能動作時の設定一覧

ビット名称	設定値	説明
TSG3nCTL0.TSG3nMD2~0	001 _B	HT-PWM モード時のみ切り替え可能
TSG3nCTL3.TSG3nRMC	0	リロードモードでのみ使用可能
TSG3nIOC3.TSG3nTOL6~1	000000 _B	PWM のセット/クリア論理の反転設定禁止 (HT-PWM モード制限)
TSG3nOPT0.TSG3nSOC	0	ソフトウェア制御機能への切り替え禁止
TSG3nOPT0.TSG3nSTE	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPOT	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSS	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nIDC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT1.TSG3nSPC2~0	000 _B	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nPAT0W	000000 _H	120-DC モードの動作設定 (初期値)
TSG3nPAT1W	000000 _H	120-DC モードの動作設定 (初期値)

20.4.7.5 SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)

概要

18 ビットカウンタと、18 ビットコンペアレジスタを使用して、6 相 PWM を生成できます。

前提条件

- TSG3nCMP0E には、PWM 周期を設定します。
- U 相、V 相、W 相のセット/クリアタイミングを TSG3nCMP2E、TSG3nCMP6E、TSG3nCMP10E (セットタイミング)、TSG3nCMP1E、TSG3nCMP5E、TSG3nCMP9E (U 相、V 相、W 相のクリアタイミング) で設定します (セットタイミングとクリアタイミングで制御する場合)。
- U 相、V 相、W 相のセットタイミングとアクティブ期間を TSG3nCMP2E、TSG3nCMP6E、TSG3nCMP10E (セットタイミング)、TSG3nUPWE、TSG3nVPWE、TSG3nWPWE (アクティブ期間) で設定します。
このとき、TSG3nCMP1E、TSG3nCMP5E、TSG3nCMP9E は、TSG3nCMP2E、TSG3nCMP6E、TSG3nCMP10E に設定した値と TSG3nUPWE、TSG3nVPWE、TSG3nWPWE へ設定した値とを加算した値が設定されます (セットタイミングとアクティブ期間で制御する場合)。加算した値が 3FFFF_H を超えないよう設定してください。超えた場合は 19 bit 以上の値は切り捨てとなります。

機能説明

搬送波の周期を設定、U 相、V 相、W 相のセットタイミングおよびデューティを設定。
TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、00000_H よりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

デッドタイムは、TSG3nDTC0、TSG3nDTC1 で設定し、TSG3nDTC0 は逆相 (OFF) → 正相 (ON) のデッドタイムを、TSG3nDTC1 は正相 (OFF) → 逆相 (ON) のデッドタイムを設定することができます。デッドタイム生成用の 10 ビットカウンタ (TSG3nDTT1-TSG3nDTT3) は、18 ビットカウンタと TSG3nCMPmE バッファレジスタのコンペア一致で TSG3nDTC0、TSG3nDTC1 の設定値をロードし、ダウンカウントを行います。(m = 1, 2, 5, 6, 9, 10)

18 ビットカウンタと、TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み (m = 1, 2, 5, 6, 9, 10) を発生します。

備 考

SP-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 010_B に設定したときに有効となります。

(1) 基本タイミング図

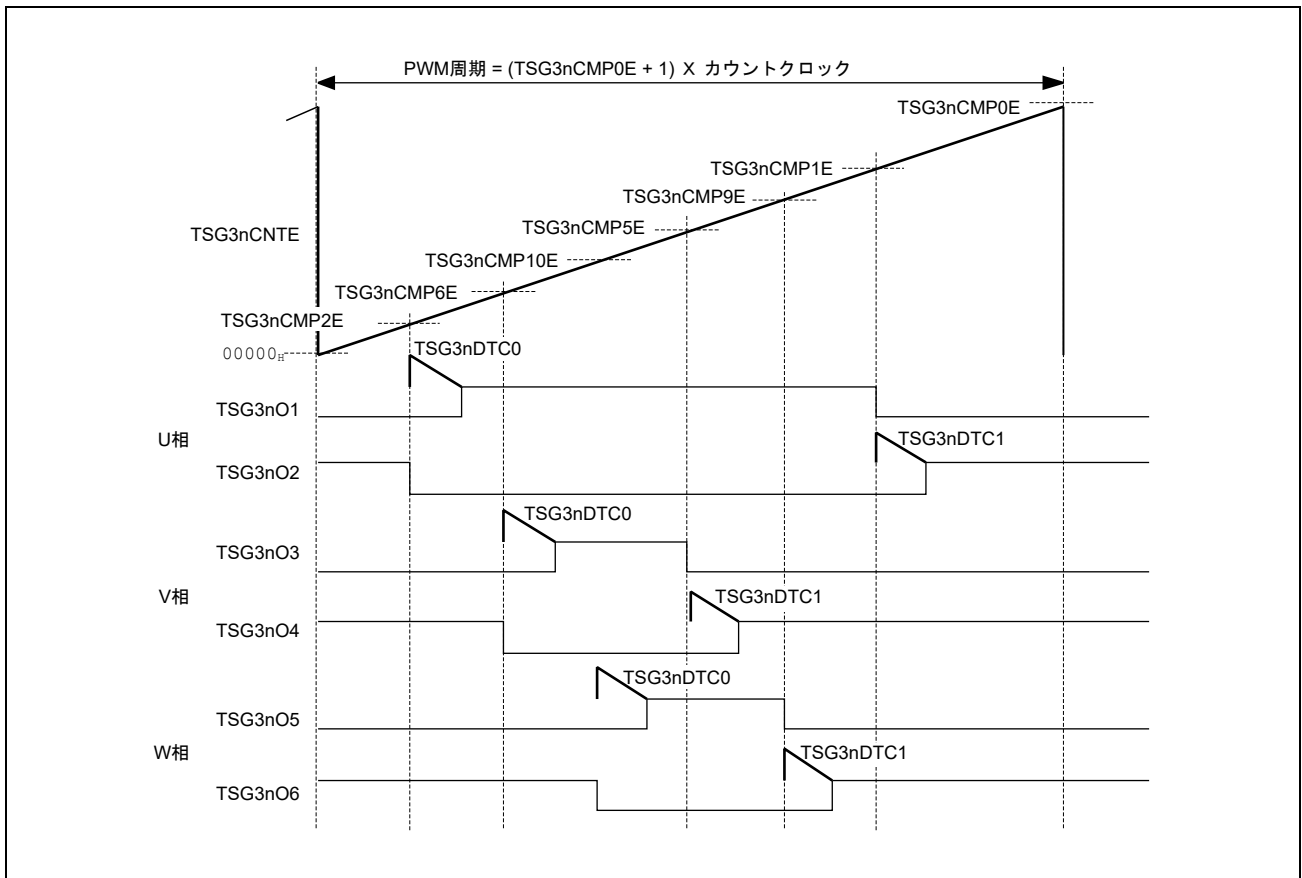


図 20.79 SP-PWM モード時の基本タイミング

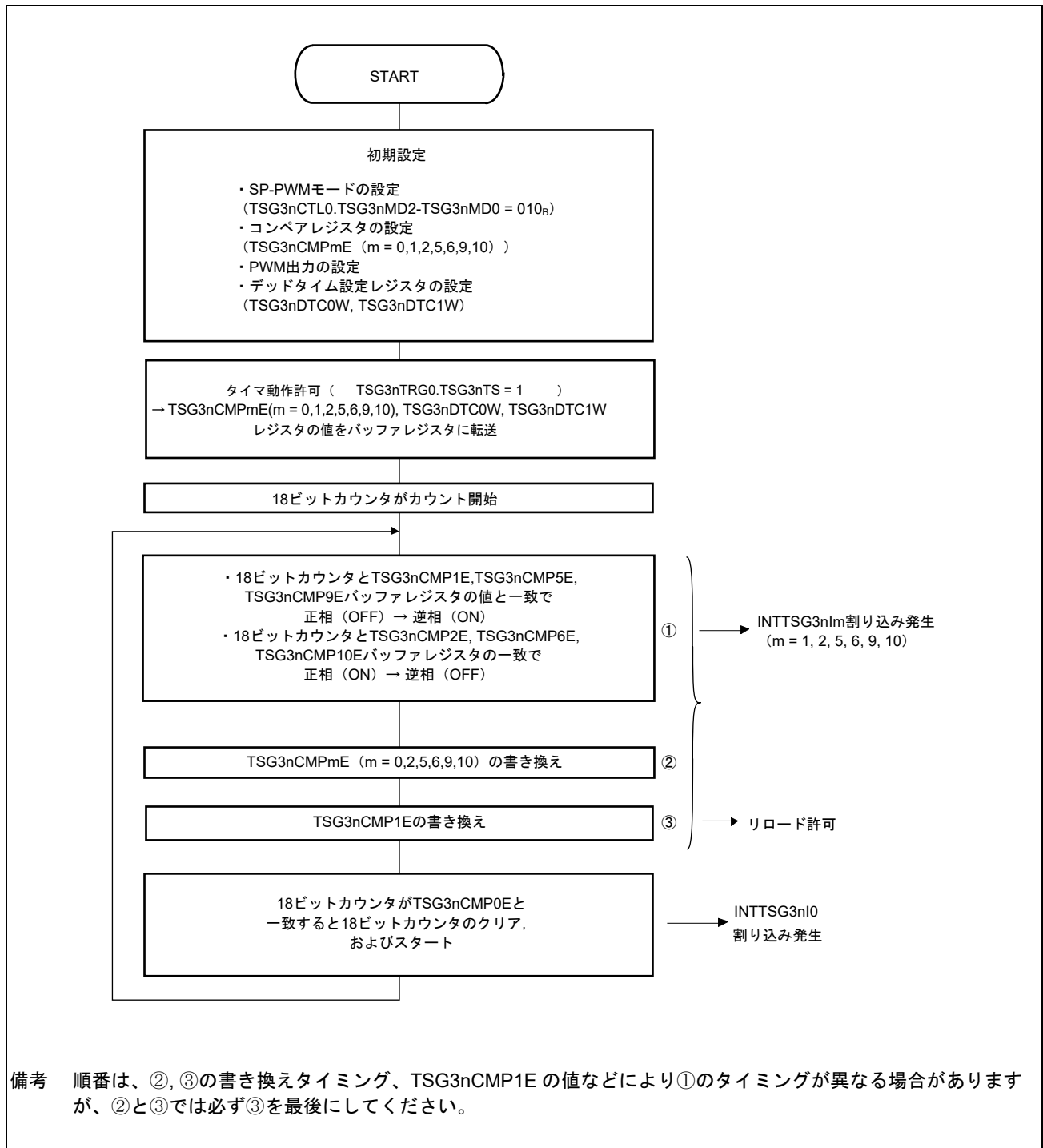


図 20.80 SP-PWM モード時の基本動作フロー

(2) SP-PWM モード動作一覧

表 20.69 SP-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 20.70 SP-PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nUPWE	リロード/随時書き換え	可能	U 相用 PWM 制御
TSG3nCMP1E、TSG3nCMP2E	リロード/随時書き換え		
TSG3nVPWE	リロード/随時書き換え	可能	V 相用 PWM 制御
TSG3nCMP5E、TSG3nCMP6E	リロード/随時書き換え	可能	W 相用 PWM 制御
TSG3nWPWE、	リロード/随時書き換え		
TSG3nCMP9E、TSG3nCMP10E	リロード/随時書き換え		
TSG3nDCMP0E、TSG3nDCMP1E、 TSG3nDCMP2E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W、TSG3nDTC1W	リロード	可能	周期、デッドタイム

表 20.71 SP-PWM モード : 出力機能

端子	機能
TSG3nO1	TSG3nCMP1E バッファレジスタ (クリアタイミング)、TSG3nCMP2E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力 (デッドタイム付き)
TSG3nO2	TSG3nO1 に対する逆相出力 (デッドタイム付き)
TSG3nO3	TSG3nCMP5E バッファレジスタ (クリアタイミング)、TSG3nCMP6E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力 (デッドタイム付き)
TSG3nO4	TSG3nO3 に対する逆相出力 (デッドタイム付き)
TSG3nO5	TSG3nCMP9E バッファレジスタ (クリアタイミング)、TSG3nCMP10E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力 (デッドタイム付き)
TSG3nO6	TSG3nO5 に対する逆相出力 (デッドタイム付き)
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 20.72 SP-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0, 1, 2, 5, 6, 9, 10)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致 (m = 0, 1, 2, 5, 6, 9, 10)
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 割り込みと同タイミングで発生)
INTTSG3nIWN	ワーニング

表 20.73 SP-PWM モード : コンペアー一致タイミング

コンペアー一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10)	18 ビットカウンタと TSG3nCMPmE の一致検出後 (m = 1, 2, 5, 6, 9, 10)

表 20.74 SP-PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nO1, TSG3nO3, TSG3nO5	PWM 出力	(TSG3nCMP0E+1) × カウントクロック	1 周期の期間内すべてインアク ティブレベル出力 (デューティ 0%)	TSG3nCMPmE = TSG3nCMP(m+1)E もしくは TSG3nCMP(m+1)E > TSG3nCMP0E (m = 1, 5, 9)
			1 周期で 1 カウントクロックの アクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E + 1 TSG3nCMP(m+1)E = TSG3nCMPmE - 1 (m = 1, 5, 9)
			1 周期で 1 カウントクロックの インアクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E - 1 TSG3nCMP(m+1)E = TSG3nCMPmE + 1 (m = 1, 5, 9)
			1 周期の期間内すべてアクティ ブレベル出力 (デューティ 100%)	TSG3nCMPmE > TSG3nCMP0E TSG3nCMP(m+1)E ≤ TSG3nCMP0E (m = 1, 5, 9)
TSG3nO2, TSG3nO4, TSG3nO6	PWM 出力	(TSG3nCMP0E+1) × カウントクロック	1 周期の期間内すべてインアク ティブレベル出力 (デューティ 0%)	TSG3nCMP(m-1)E > TSG3nCMP0E (m = 2, 6, 10)
			1 周期で 1 カウントクロックの アクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m-1)E - 1 TSG3nCMP(m-1)E = TSG3nCMPmE + 1 (m = 2, 6, 10)
			1 周期で 1 カウントクロックの インアクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m-1)E + 1 TSG3nCMP(m-1)E = TSG3nCMPmE - 1 (m = 2, 6, 10)
			1 周期の期間内すべてアクティ ブレベル出力 (デューティ 100%)	TSG3nCMPmE = TSG3nCMP(m-1)E もしくは TSG3nCMPmE > TSG3nCMP0E (m = 2, 6, 10)
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによる パルス出力	(TSG3nCMP0E+1) × カウントクロック	「20.4.5 A/D 変換トリガ機能」を参照	

(3) SP-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 010_B に設定することで SP-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0、TSG3nIOC2、TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生 of 許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**20.4.6 エラー／ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE を必ずセット (1) してください。

TSG3nPRE が “0” の場合はリロードタイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5.TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6.TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0、TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01、TSG3nACC00、および TSG3nCTL6 の TSG3nACC11、TSG3nACC10 を使用して、間引き無し/1 間引き/3 間引き/7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスは TSG3nO7 端子に出力する場合は、TSG3nCTL5、TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- SP-PWM モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため TSG3nCTL5、TSG3nCTL6 の TSG3nAT00、TSG3nAT10 は必ず "0" に設定してください。
- SP-PWM モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5、TSG3nCTL6 の TSG3nAT09、TSG3nAT08、TSG3nAT19、TSG3nAT18 は必ず "0" に設定してください。
- SP-PWM モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため TSG3nCTL5、TSG3nCTL6 の TSG3nAT07、TSG3nAT05、TSG3nAT03、TSG3nAT17、TSG3nAT15、TSG3nAT13 は必ず "0" に設定してください。

デッドタイムの設定

TSG3nDTC0、TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$PCLK \times TSG3nDTC0$$

$$PCLK \times TSG3nDTC1$$

TSG3nDTC0 は、TSG3nO2、TSG3nO4、TSG3nO6 端子のインアクティブ変化 → TSG3nO1、TSG3nO3、TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1、TSG3nO3、TSG3nO5 端子のインアクティブ変化 → TSG3nO2、TSG3nO4、TSG3nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$TSG3nCMP0E = (\text{搬送波周期} / \text{カウントクロック周期}) - 1$$

注 意

TSG3nCMP0E = 3FFFF_H で設定した場合、デューティ 100% の PWM 出力はできません。

デューティ (PWM 幅) の設定

TSG3nCmPmE と TSG3nUPWE、TSG3nVPWE、TSG3nWPWE でそれぞれ U 相、V 相、W 相のデューティ設定を行います。(m = 1, 2, 5, 6, 9, 10)

- TSG3nCmP2E, TSG3nCmP6E, TSG3nCmP10E で U 相、V 相、W 相のセットタイミングを設定し、TSG3nCmP1E, TSG3nCmP5E, TSG3nCmP9E で U 相、V 相、W 相のクリアタイミングを設定します (セットタイミングとクリアタイミングの設定で制御する場合)。
- TSG3nCmP2E, TSG3nCmP6E, TSG3nCmP10E で U 相、V 相、W 相のセットタイミングを設定し、TSG3nUPWE, TSG3nVPWE, TSG3nWPWE でアクティブ期間を設定します。
このとき、TSG3nCmP1E, TSG3nCmP5E, TSG3nCmP9E は、TSG3nCmP2E, TSG3nCmP6E, TSG3nCmP10E に設定した値と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE へ設定した値とを加算した値が設定されます (セットタイミングとアクティブ期間の設定で制御する場合)。

(4) SP-PWM モード時のデッドタイム制御

SP-PWM モードでは、デューティ用の設定レジスタは TSG3nCmPmE (m = 1, 2, 5, 6, 9, 10) と TSG3nUPWE、TSG3nVPWE、TSG3nWPWE とし、周期用の設定レジスタは TSG3nCmP0E となります。このレジスタを使用することで、デューティ可変型の 6 相 PWM 波形を出力できます。デッドタイム制御を実現するために、18 ビットカウンタのカウントクロックに同期して動作する 6 本の 10 ビットダウンカウンタと、デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) があります。TSG3nDTC0W レジスタは、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッドタイムの設定であり、TSG3nDTC1W レジスタは、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッドタイムの設定です。

動作停止 (TSG3nTE = 0) 設定と、デッドタイム挿入タイミングが重なった場合でもデッドタイムカウンタは動作を継続し、TSG3nO1、2 に設定したデッドタイムは必ず挿入します。

次に出力波形例を示します。

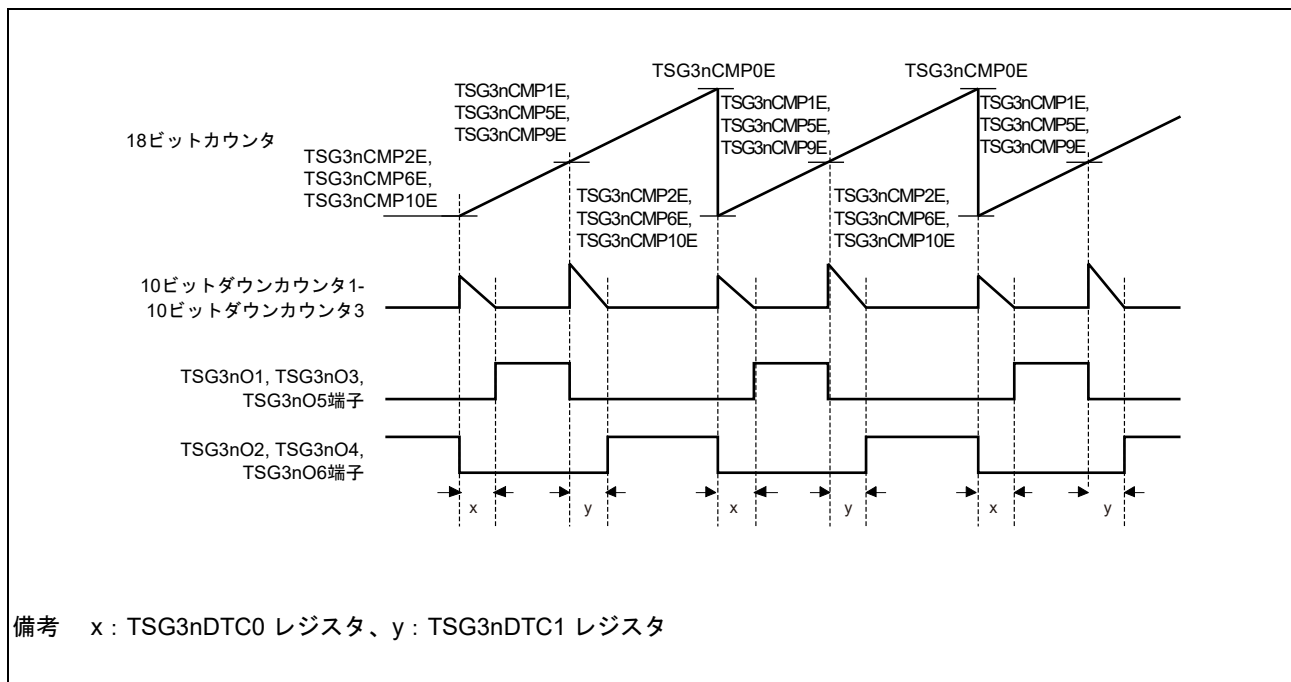


図 20.81 SP-PWM モード時の出力波形例

(5) SP-PWM モード時のソフトウェア出力制御機能

TSG3nOPT0.TSG3nSOC、TSG3nIDC、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 20.82 に示すように、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、TSG3nSOC = 0 にしたタイミングでは出力を保持し、リロードタイミングが発生した時点で、SP-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「**20.4.7.10 ソフトウェア出力制御機能**」を参照してください。

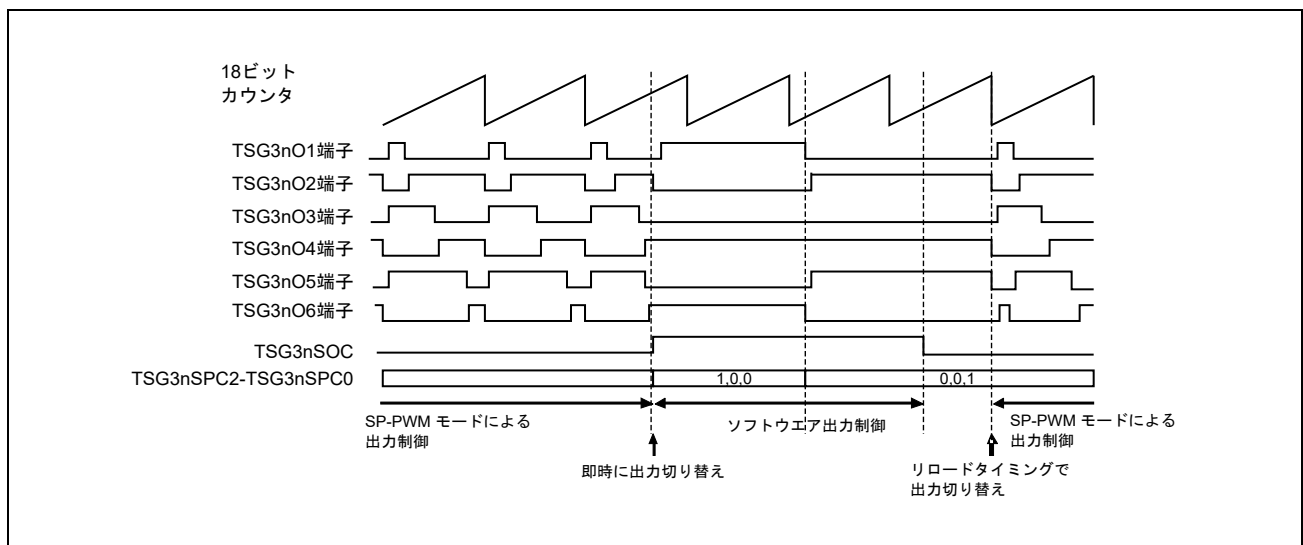


図 20.82 SP-PWM モードからソフトウェア出力制御機能の切り替え例

(a) ソフトウェア出力制御の処理手順

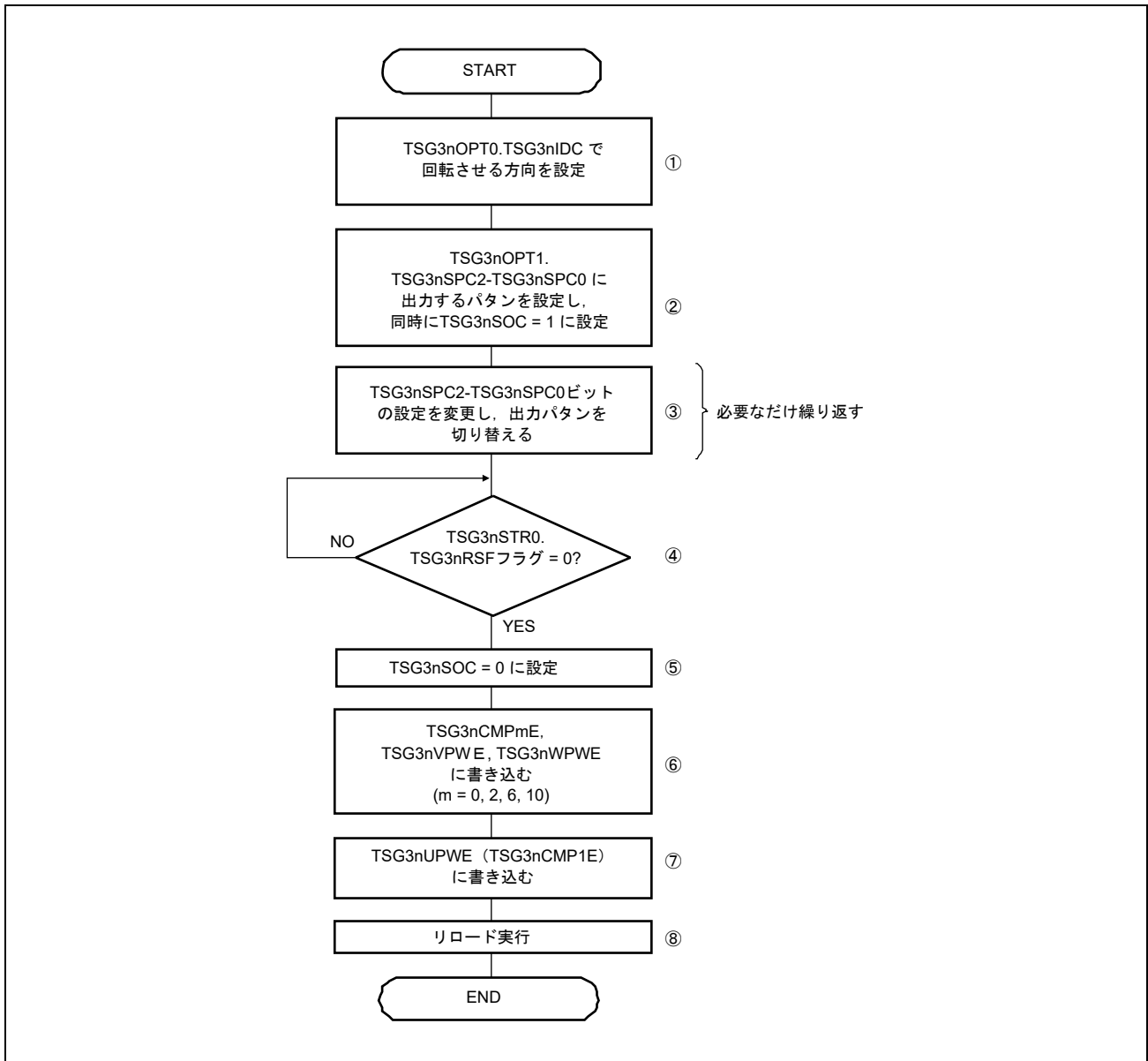


図 20.83 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

1. 電流方向を決定するため、TSG3nIDC の設定を行います。TSG3nIDC = 0 の場合と、TSG3nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えた場合、次のタイマ周期で新しい設定に応じた出力パターンに切り替わります。
2. TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nSOC = 1 にします。
3. TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
4. リロード要求フラグ (TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF = 0 になるまで次の手順に移行しないでください。
5. TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
6. ソフトウェア出力制御解除後に必要な、コンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
7. TSG3nUPWE (TSG3nCMP1E) に書き込みを行い、リロードを起動します。
8. リロードが実行され、ソフトウェア出力を解除します。

注 意

4., 5., 6., 7. の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

20.4.7.6 120-DC モード

概要

TSG3nCMP0E の PWM 周期、TSG3nCMP1E-TSG3nCMP12E のデューティによるタイマ出力 (TSG3nO1-TSG3nO6) を 3 種類 (ソフトウェア出力制御方式、パターン切り替え方式、トリガ切り替え方式) のパターン入力で出力制御を行い、120-DC 制御を実現します。

但し、TSG32 は外部パターン入力および、ENCA との連携に対応しておらず、パターン切り替え方式およびトリガ切り替え方式を使用することができません。

前提条件

- TSG3nCMP0E には、PWM 周期を設定します。
- TSG3nCMP1E-TSG3nCMP12E には、PWM のデューティを設定、TSG3nPAT0W, TSG3nPAT1W に出力パターンを設定します。

機能説明

PWM 周期を設定、各コンペアレジスタにデューティを設定、パターンレジスタに各パタンの出力対象を設定します。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、00000_Hよりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

18 ビットカウンタと、TSG3nCMP1E-TSG3nCMP12E バッファレジスタのコンペア一致で、それぞれ INTTSG3nI1-INTTSG3nI12 割り込みを発生します。

備 考

120-DC モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 011_B に設定したときに有効となります。

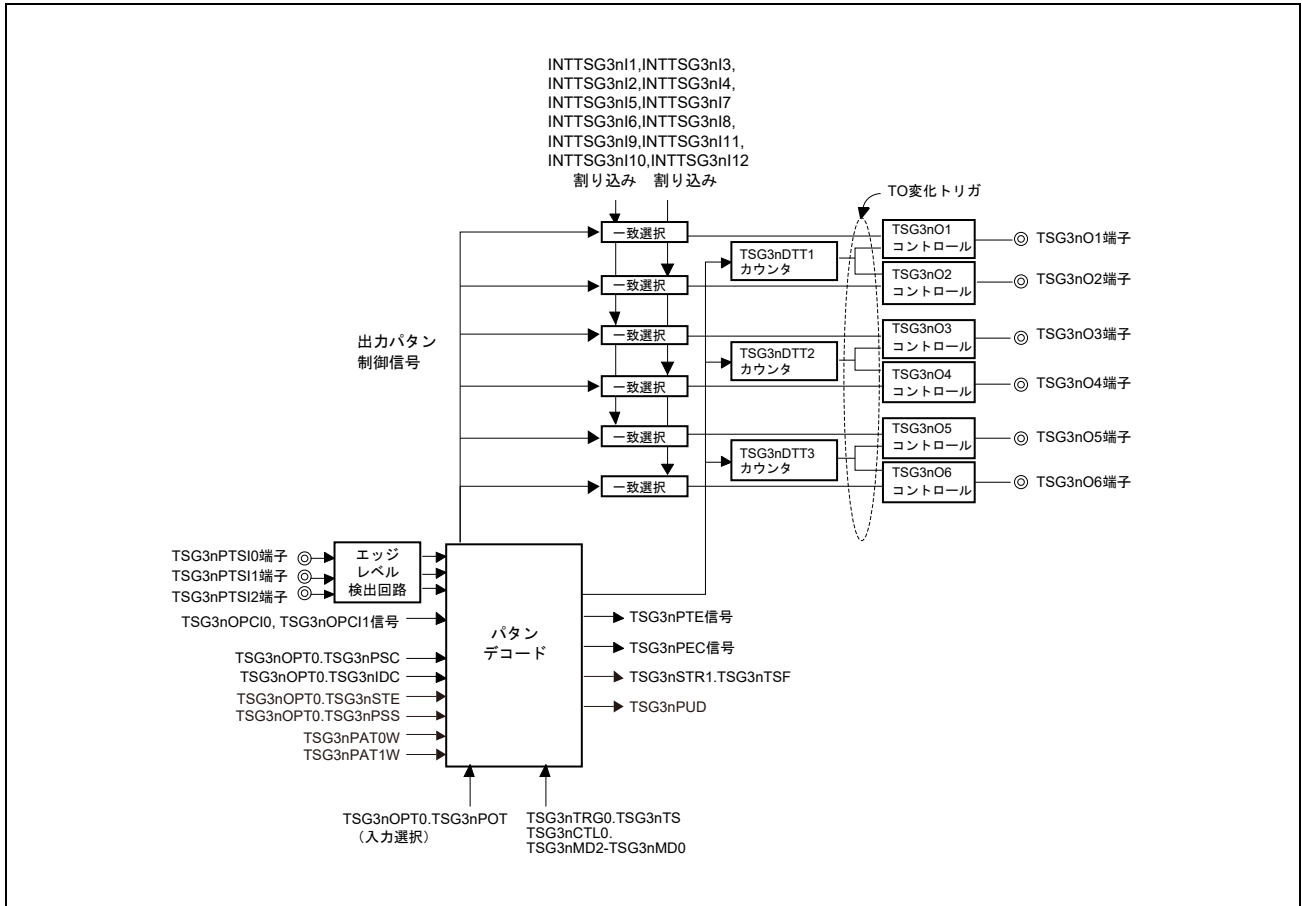


図 20.84 120-DC モード時のブロック構成図

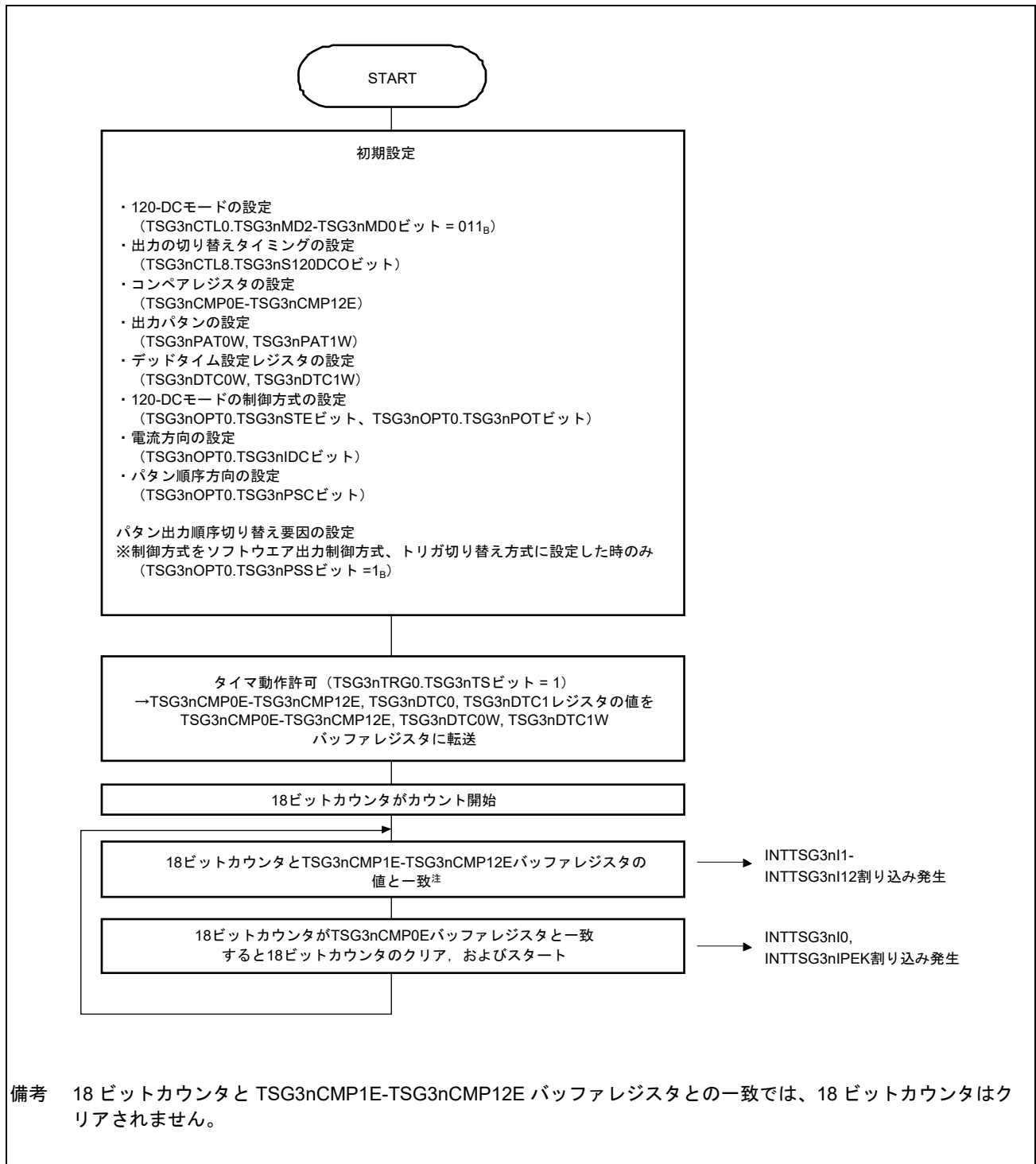


図 20.85 120-DC モード時の基本動作フロー

(1) 120-DC モード動作一覧

表 20.75 120-DC モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCTL8.TSG3nS120DCO = 0 の時は TSG3nCMP0E と 18 ビットカウンタの一致、もしくは、出力パタンの切り替えタイミング TSG3nCTL8.TSG3nS120DCO = 1 の時は TSG3nCMP0E と 18 ビットカウンタの一致タイミング
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 20.76 120-DC モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード	可能	周期
TSG3nCMPmE (m = 1~12)	リロード	可能	PWM デューティ
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能	デッドタイム

表 20.77 120-DC モード : タイマ入力機能

端子/信号	機能
TSG3nPTSI2~TSG3nPTSI0 端子	パタン入力 (3 相)
TSG3nOPCI0、TSG3nOPCI1 信号	トリガ入力

表 20.78 120-DC モード : タイマ出力機能

端子/信号	機能
TSG3nO1 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パタンに応じた PWM 出力 (デッドタイム付き)
TSG3nO2 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パタンに応じた PWM 出力 (デッドタイム付き)
TSG3nO3 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パタンに応じた PWM 出力 (デッドタイム付き)
TSG3nO4 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パタンに応じた PWM 出力 (デッドタイム付き)
TSG3nO5 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パタンに応じた PWM 出力 (デッドタイム付き)
TSG3nO6 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パタンに応じた PWM 出力 (デッドタイム付き)
TSG3nO7 端子	ダイアグ出力もしくは A/D 変換トリガによるパルス出力
TSG3nPTE 信号	パタン入力の変化によるトグル信号

表 20.79 120-DC モード：割り込み要求

割り込み	機能
INTTSG3nIm (m = 0~12)	TSG3nCmPmE バッファレジスタと 18 ビットカウンタのコンペアー一致 (m = 0~12)
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同タイミングで発生)
INTTSG3nIWN	ワーニング

表 20.80 120-DC モード：コンペアー一致タイミング

コンペアー致	タイミング
TSG3nCmP0E	18 ビットカウンタが TSG3nCmP0E → 00000 _H へ切り替わる時
TSG3nCmPmE (m = 1~12)	18 ビットカウンタと TSG3nCmPmE 一致検出後 (m = 1~12)

表 20.81 120-DC モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nOm (m = 1~6)	PWM 出力	(TSG3nCmP0E+1) × カウントクロック	「(6) 120-DC モードの出力パターン一覧」を参照	—
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	(TSG3nCmP0E+1) × カウントクロック	「20.4.5 A/D 変換トリガ機能」を参照	—

(2) 120-DC モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 011_B に設定することで 120-DC モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0、TSG3nIOC2、TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生への許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「20.4.6 エラー／ワーニング割り込み」を参照してください。

レジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード（一斉書き換え）を行います（デフォルト “0” リロード）。リロードを行う場合は、TSG3nCTL4.TSG3nPRE を必ずセット（1）してください。

TSG3nPRE に “0” の場合はリロードタイミングが発生しません。

A/D 変換トリガ

出力の設定 A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5 の TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング（18 ビットカウンタのアップカウント）による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6 の TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0、TSG3nADTRG1 信号に対しては、間引き機能を使用できます。TSG3nCTL5 の TSG3nACC01、TSG3nACC00、および TSG3nCTL6 の TSG3nACC11、TSG3nACC10 を使用して、間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5、TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- 120-DC モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため TSG3nCTL5、TSG3nCTL6 の TSG3nAT00、TSG3nAT10 は必ず “0” に設定してください。
- 120-DC モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5、TSG3nCTL6 の TSG3nAT09、TSG3nAT08、TSG3nAT19、TSG3nAT18 は必ず “0” に設定してください。
- 120-DC モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため TSG3nCTL5、TSG3nCTL6 の TSG3nAT07、TSG3nAT05、TSG3nAT03、TSG3nAT17、TSG3nAT15、TSG3nAT13 は必ず “0” に設定してください。

デッドタイムの設定

TSG3nDTC0、TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2、TSG3nO4、TSG3nO6 端子のインアクティブ変化 → TSG3nO1、TSG3nO3、TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1、TSG3nO3、TSG3nO5 端子のインアクティブ変化 → TSG3nO2、TSG3nO4、TSG3nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$\text{TSG3nCMP0E} = (\text{搬送波周期} / \text{カウントクロック周期}) - 1$$

デューティ (PWM 幅) の設定

TSG3nCMP1E-TSG3nCMP12E で PWM 出力のデューティ設定を行います。コンペアレジスタの設定範囲は次のようになっています。

$$00000_{\text{H}} \leq \text{TSG3nCMPmE} \leq \text{TSG3nCMP0E} + 1$$

注 意

TSG3nCMP0E + 1 < TSG3nCMPmE、および TSG3nCMP0E = 3FFFF_H時のみ TSG3nCMPmE = TSG3nCMP0E + 1 は設定しないでください。(m = 1~12)

出力 PWM の設定

120 度制御を行う場合は、TSG3nO1、TSG3nO3、TSG3nO5 端子の出力制御を TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E で行い、TSG3nO2、TSG3nO4、TSG3nO6 端子の出力制御を TSG3nCMP3E、TSG3nCMP4E、TSG3nCMP7E、TSG3nCMP8E、TSG3nCMP11E、TSG3nCMP12E で行います。PWM 周期 (TSG3nCMP0E) に対して、TSG3nCMP1E-TSG3nCMP12E レジスタでデューティを設定可能です。デューティ 0%にする場合は TSG3nCMP1E-TSG3nCMP12E レジスタに "00000_H" を設定し、デューティ 100%にする場合は、TSG3nCMP1E-TSG3nCMP12E レジスタに TSG3nCMP0E+1 の値を設定する必要があります。これにより、チョッピング出力制御、矩形波出力制御が可能となります。

(3) 120-DC モードの制御方式

120-DC の制御方式は次の通りです。

表 20.82 120-DC モード : 120DC モードの制御方式

制御方式	機能
ソフトウェア出力制御方式	ソフトウェアで TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を設定することにより、出力パターンを切り替えます
パタン切り替え方式	TSG3nPTSI0-TSG3nPTSI2 のパタン入力信号により出力パターンを切り替えます
トリガ切り替え方式	TSG3nOPCI0, TSG3nOPCI1 のトリガ入力信号によるトリガ切り替え方式、もしくは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のパタン入力設定により、一定の順序により出力パターンを切り替えます

また、TSG3nCTL8.TSG3nS120DCO によって、120-DC モードの入力パターン変更時のタイマ出力の切り替えタイミングを設定することができます。

表 20.83 120-DC モード : TSG3nS120DCO の設定と、120DC モードの動作

TSG3nS120DCO	機能
0	入力パターンが変更すると、メインカウンタ (TSG3nCNTE) をクリアし、即時出力パターンを切り替えます。
1	入力パターンが変更すると、次タイマ周期 (メインカウンタ TSG3nCNTE と TSG3nCMP0E の一致後) に出力パターンを切り替えます。

ソフトウェア出力制御方式の設定

TSG3nOPT0.TSG3nSTE = 0 にすると、ソフトウェア出力制御により出力パターンを切り替えることができます。TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 の設定により TSG3nO1-TSG3nO6 端子の出力を切り替えます。

動作開始時の出力パターンは TSG3nOPT0.TSG3nIDC と TSG3nOPT0.TSG3nPSC で設定します。

ソフトウェア出力制御方式の動作

ソフトウェアにより設定された TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 により、TSG3nO1-TSG3nO6 端子の PWM 出力 (TSG3nCMP1E-TSG3nCMP12E 値で決定される PWM 出力) を選択します。デッドタイムの制御は、各相の信号が立ち下がったタイミングでデッドタイムカウンタが動作し、デッドタイムを挿入します。

18 ビットカウンタは、TSG3nCMP0E に設定した搬送周期でカウントを行います。18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、もしくは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のライト時にカウンタクリアされます (TSG3nS120DCO = 0 の場合)。

この方式では、出力パターン (TSG3nSPC2-TSG3nSPC0)、電流方向制御ビット (TSG3nOPT0.TSG3nIDC)、順序方向制御ビット (TSG3nOPT0.TSG3nPSC) の情報を使用しデコードされたパターンを出力します。図 20.106 はソフトウェア出力制御による出力パターンが変化した場合のタイマ出力を示しています。

また、動作開始 (TSG3nTRG0.TSG3nTS = 1) した直後は、TSG3nSPC2-TSG3nSPC0 の出力パターン、TSG3nIDC、TSG3nPSC (TSG3nOPT0.TSG3nPSS = 1) で設定したパターンを出力します。

パタン切り替え方式の設定

TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 0 にすると、パタン切り替え方式となります。TSG3nPTSI2-TSG3nPTSI0 端子の変化タイミングで TSG3nO1-TSG3nO6 端子の出力パターンを切り替えます。

動作開始時の出力パターンは TSG3nOPT0.TSG3nIDC と TSG3nOPT0.TSG3nPSC で設定します。ただし、回転方向が決定したあと (TSG3nSTR1.TSG3nTSF に値がセットされたあと) は、TSG3nPSC の設定は無効になります。

パターン切り替え方式の動作

TSG3nPTSI2-TSG3nPTSI0 端子 (ホールセンサからの 3 入力) に対してレベル検出を行い、レベル検出した後の信号をデコードします。このデコード結果を判断して、TSG3nO1-TSG3nO6 端子の PWM 出力 (TSG3nCMP1E-TSG3nCMP12E 値で決定される PWM 出力) を選択します。デッドタイムの制御は、各相の信号が立ち下がったタイミングでデッドタイムカウンタが動作し、デッドタイムを挿入します。

18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、もしくは、TSG3nS120DCO = 0 設定で入力パターン (TSG3nPTSI2-TSG3nPTSI0 端子) の変化した時にカウンタクリアされます。

この方式では、入力パターン (TSG3nPTSI2-TSG3nPTSI0 端子)、電流方向を制御するビット (TSG3nOPT0.TSG3nIDC)、TSG3nPTSI2-TSG3nPTSI0 順序検出フラグ (TSG3nSTR1.TSG3nTSF) の情報を使用してデコードされたパターンを出力します。図 20.88～図 20.91 は TSG3nPTSI2-TSG3nPTSI0 端子が変化した場合のタイマ出力を示しています。

また、動作開始 (TSG3nTRG0.TSG3nTS = 1) した直後は、TSG3nPTSI2-TSG3nPTSI0 端子の入力レベル、TSG3nIDC、TSG3nPSC で設定したパターンを出力します。その後、TSG3nPTSI2-TSG3nPTSI0 端子が変化すると、変化した順序方向により TSG3nTSF を決定します。TSG3nTSF の値が決定した後は、TSG3nPSC の代わりに TSG3nTSF で設定されるパターンを出力します。

注 意

3 相パルス入力信号を TSG3nPTSI2-TSG3nPTSI0 端子に接続するときに、3 相パルス入力値と、TSG3nO1-TSG3nO6 端子から出力するパターンが期待する条件であることを確認してください。

期待する条件と異なる場合は、3 相パルス入力信号と TSG3nPTSI2-TSG3nPTSI0 端子の接続を変更してください。

トリガ切り替え方式の設定

TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 1 に設定すると、トリガ切り替え方式となります。外部入力 (TSG3nOPCI1, TSG3nOPCI0 信号) の立ち上がりで TSG3nO1-TSG3nO6 端子の出力パターンを切り替えます。

パタンの出力順序に関しては、「(5) 120-DC モードの動作」を参照してください。

初期出力パターンは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 で制御できます。

TSG3nSPC2-TSG3nSPC0 で設定後、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した時点で、初期パターンが出力されます。詳細は「(6) 120-DC モードの出力パターン一覧」を参照してください。

トリガ切り替え方式の動作

トリガ入力切り替え方式は、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりを検出し、出力切り替えタイミングを生成します。タイマ出力の初期パターンは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 で設定します。初期パターン以降の出力パターンは、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりを検出し切り替わります。また TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を設定し出力パターンを切り替えることも可能です。

18 ビットカウンタは、TSG3nCMP0E に設定した搬送周期でカウントを行います。18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のライト時、もしくは、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりを検出時にカウンタクリアされます (TSG3nS120DCO = 0 の場合)。

トリガ入力切り替え方式時の 120-DC モード動作例は、図 20.88～図 20.91 を参照してください。

注 意

TSG3nPTSI2-TSG3nPTSI0 端子が接続されるポートの入力レベルをリードし、初期パターンを設定してください。

(4) 120-DC モードのタイマ出力

120-DC モードでは、PWM 出力を TSG3nPAT0W、TSG3nPAT1W、および TSG3nCMP1E-TSG3nCMP12E で制御します。TSG3nO1、TSG3nO3、TSG3nO5 端子の出力では TSG3nPAT0W と TSG3nCMP1E、TSG3nCMP2E、TSG3nCMP5E、TSG3nCMP6E、TSG3nCMP9E、TSG3nCMP10E を設定します。TSG3nO2、TSG3nO4、TSG3nO6 端子の出力では TSG3nPAT1W と TSG3nCMP3E、TSG3nCMP4E、TSG3nCMP7E、TSG3nCMP8E、TSG3nCMP11E、TSG3nCMP12E を設定します。

PWM の出力制御では、TSG3nO1、TSG3nO3、TSG3nO5 端子および TSG3nO2、TSG3nO4、TSG3nO6 端子の出力パターンを各 8 種類選択できます。

表 20.84 TSG3nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウレベル固定
001	TSG3nCMP1E で設定した PWM 出力
010	TSG3nCMP2E で設定した PWM 出力
011	TSG3nCMP5E で設定した PWM 出力
100	TSG3nCMP6E で設定した PWM 出力
101	TSG3nCMP9E で設定した PWM 出力
110	TSG3nCMP10E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

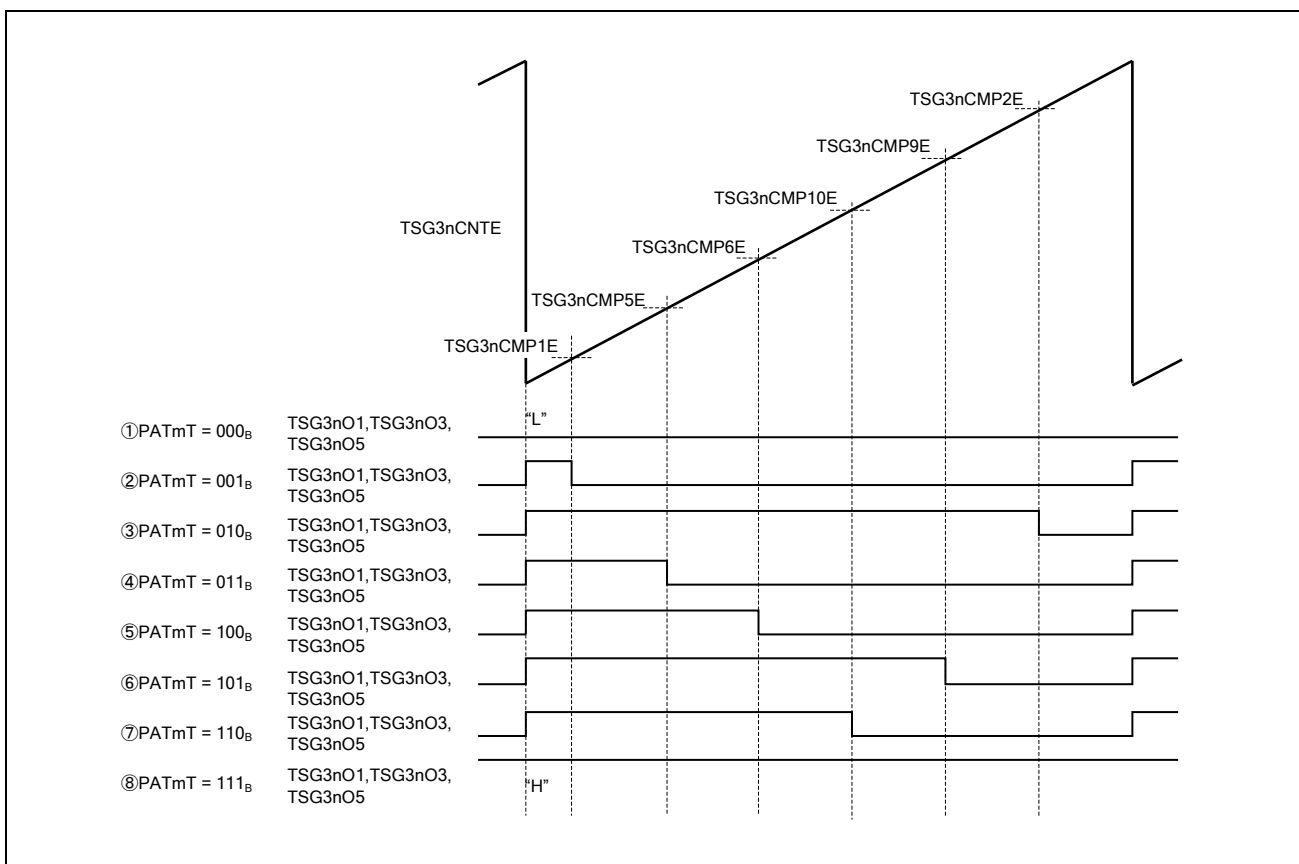


図 20.86 出力パターン別の TSG3nO1, TSG3nO3, TSG3nO5 端子出力

表 20.85 TSG3nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウレベル固定
001	TSG3nCMP3E で設定した PWM 出力
010	TSG3nCMP4E で設定した PWM 出力
011	TSG3nCMP7E で設定した PWM 出力
100	TSG3nCMP8E で設定した PWM 出力
101	TSG3nCMP11E で設定した PWM 出力
110	TSG3nCMP12E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

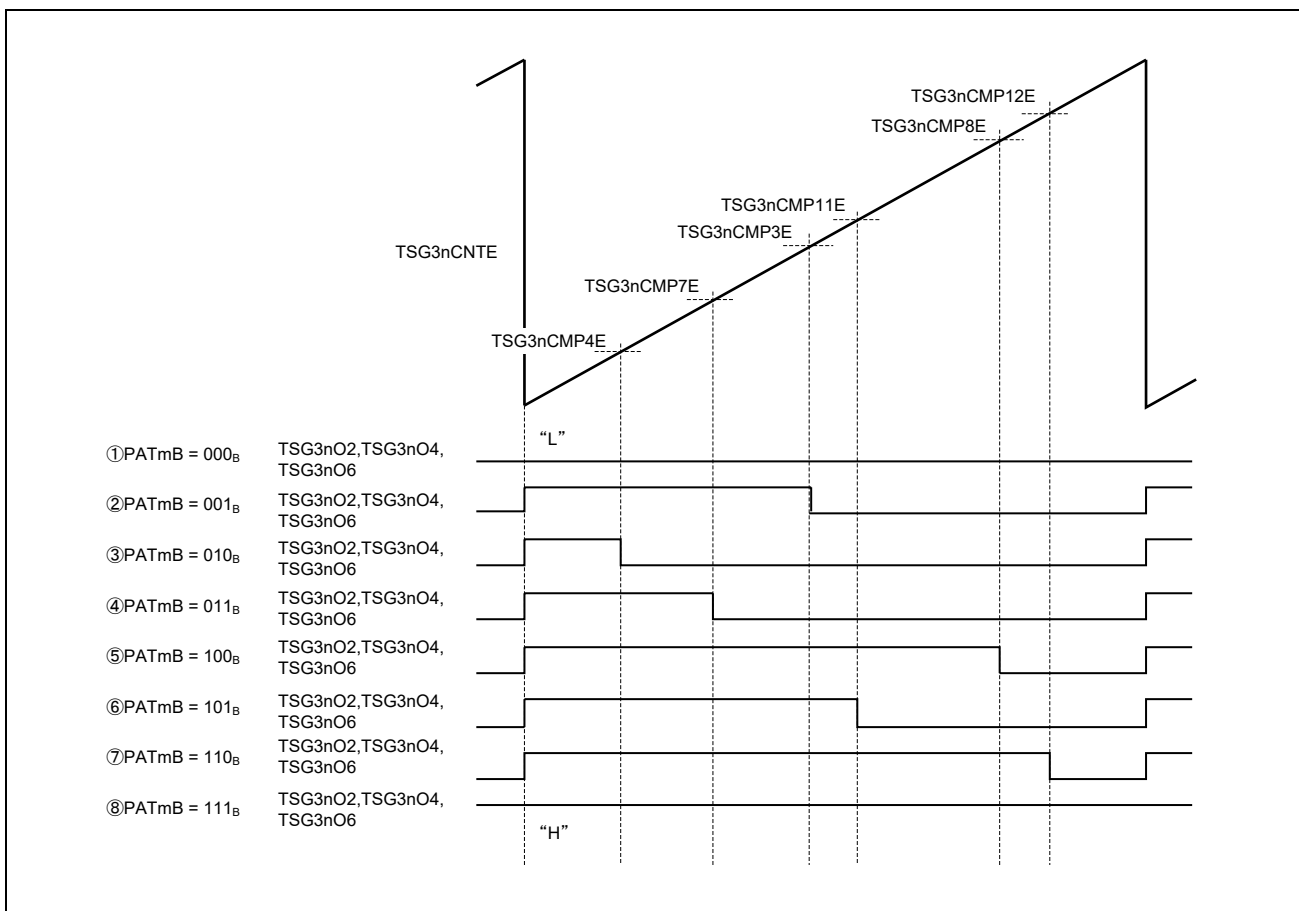


図 20.87 出力パターン別の TSG3nO2, TSG3nO4, TSG3nO6 端子出力

(5) 120-DC モードの動作

図 20.88～図 20.91 に、120-DC モードの動作例を示します。

TSG3nO1-TSG3nO6 端子は TSG3nPTSI2-TSG3nPTSI0 端子の入力レベルの変化タイミングを検出し、出力パターンを変化させます。18 ビットカウンタはのこぎり波動作を行い、TSG3nCMP0E-TSG3nCMP12E による PWM 出力を行います。TSG3nS120DCO = 0 の場合、18 ビットカウンタは、TSG3nCMP0E レジスタ値との一致、もしくは、TSG3nPTSI2-TSG3nPTSI0 端子の変化を検出するごとに 00000_Hにクリアされ、タイマ出力パターンは、TSG3nPTSI2-TSG3nPTSI0 端子の変化を検出するごとに切り替わります。

一方、TSG3nS120DCO = 1 の場合、18 ビットカウンタは、TSG3nCMP0E レジスタ値との一致でクリアされますが、TSG3nPTSI2-TSG3nPTSI0 端子の変化ではクリアされず、タイマ出力パターンは、次の TSG3nCnTE と TSG3nCMP0E の一致タイミングで、新しい TSG3nPTSI2-TSG3nPTSI0 端子のパタンに応じたタイマ出力に切り替わります。

備 考

PAT0T-PAT5T, PAT0B-PAT5B は、それぞれ TSG3nCMP1E-TSG3nCMP12E レジスタ設定の PWM 動作を示していません。

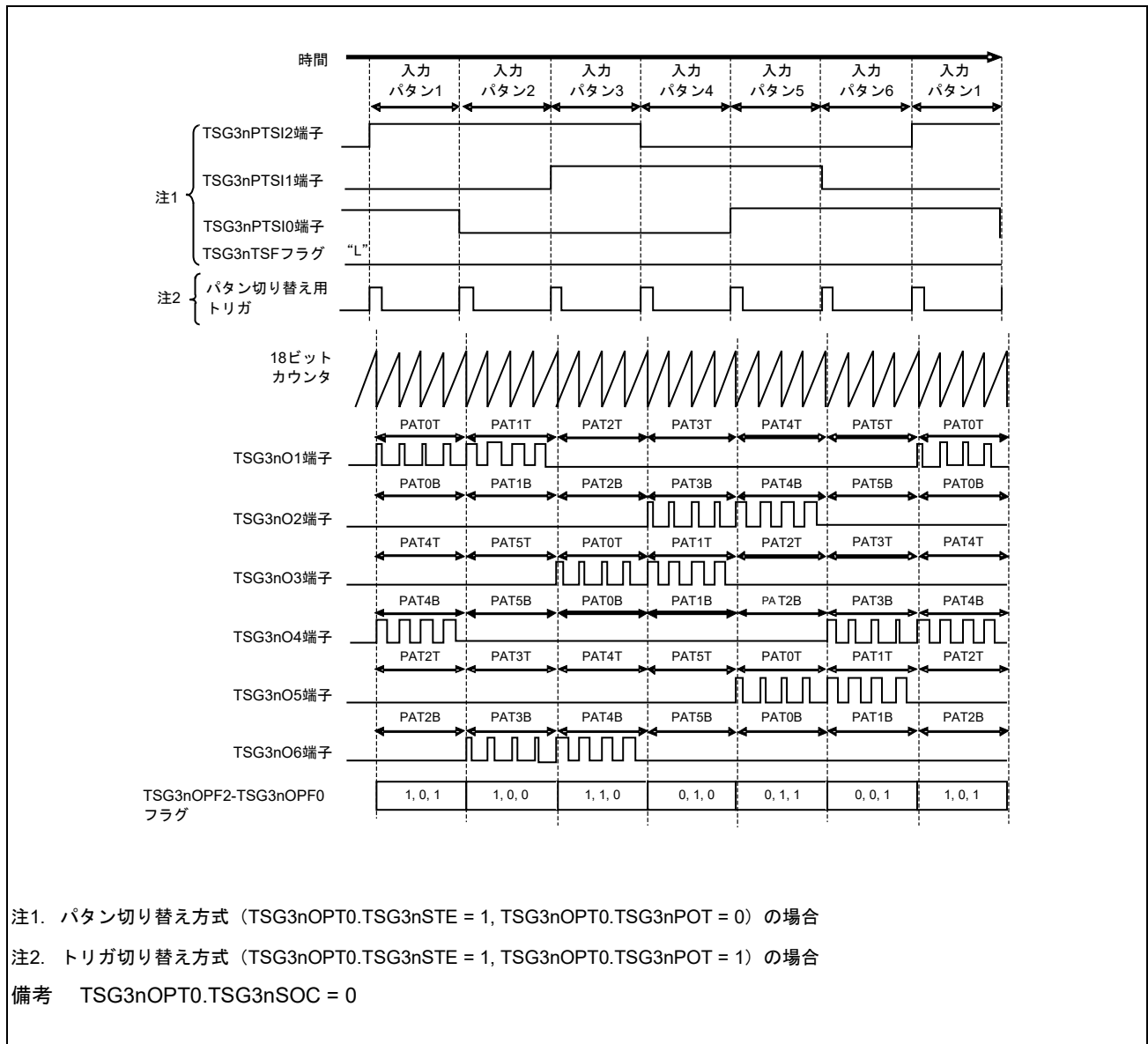


図 20.88 120-DC モード動作例 (正転 : TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 0)

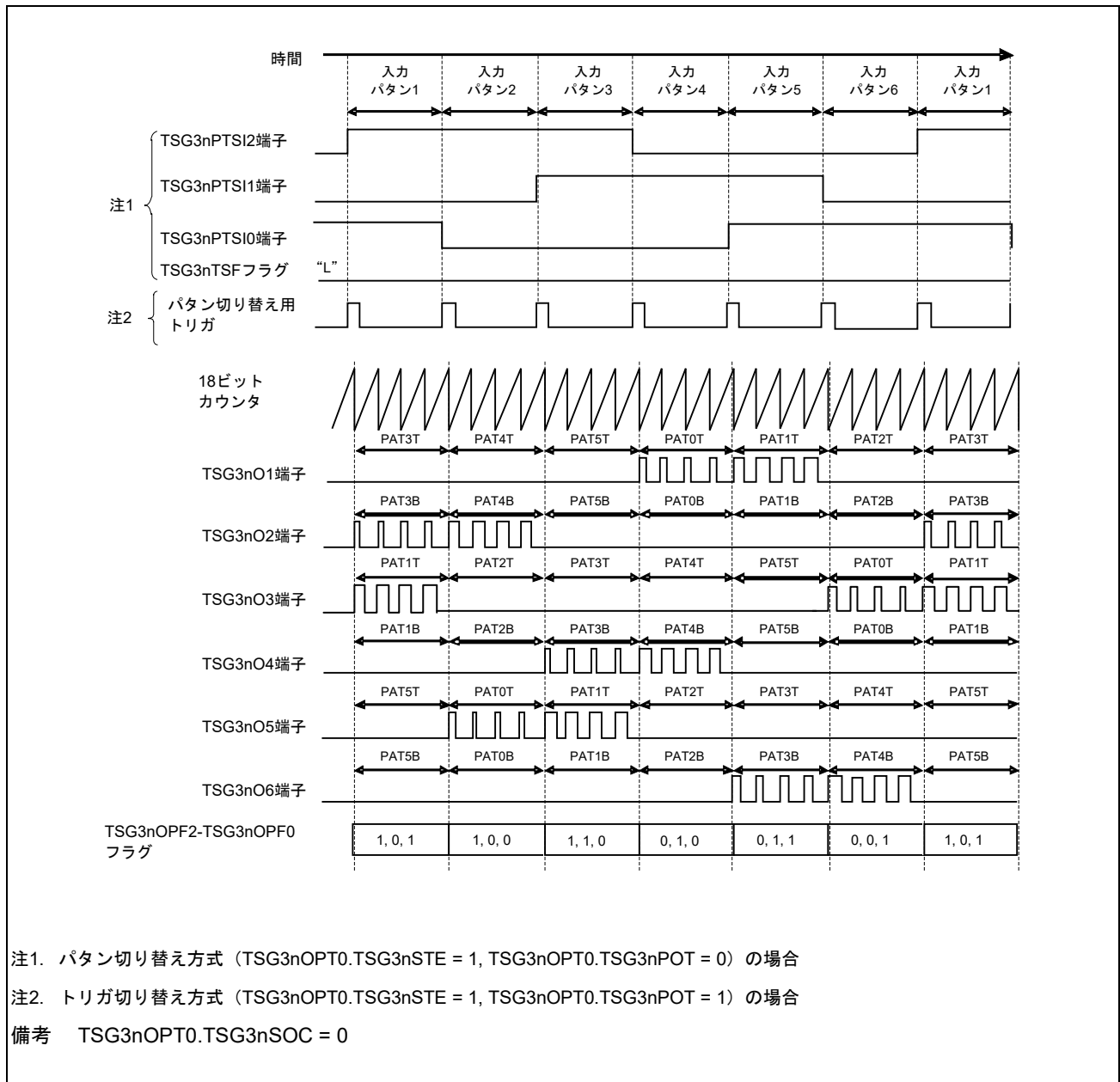
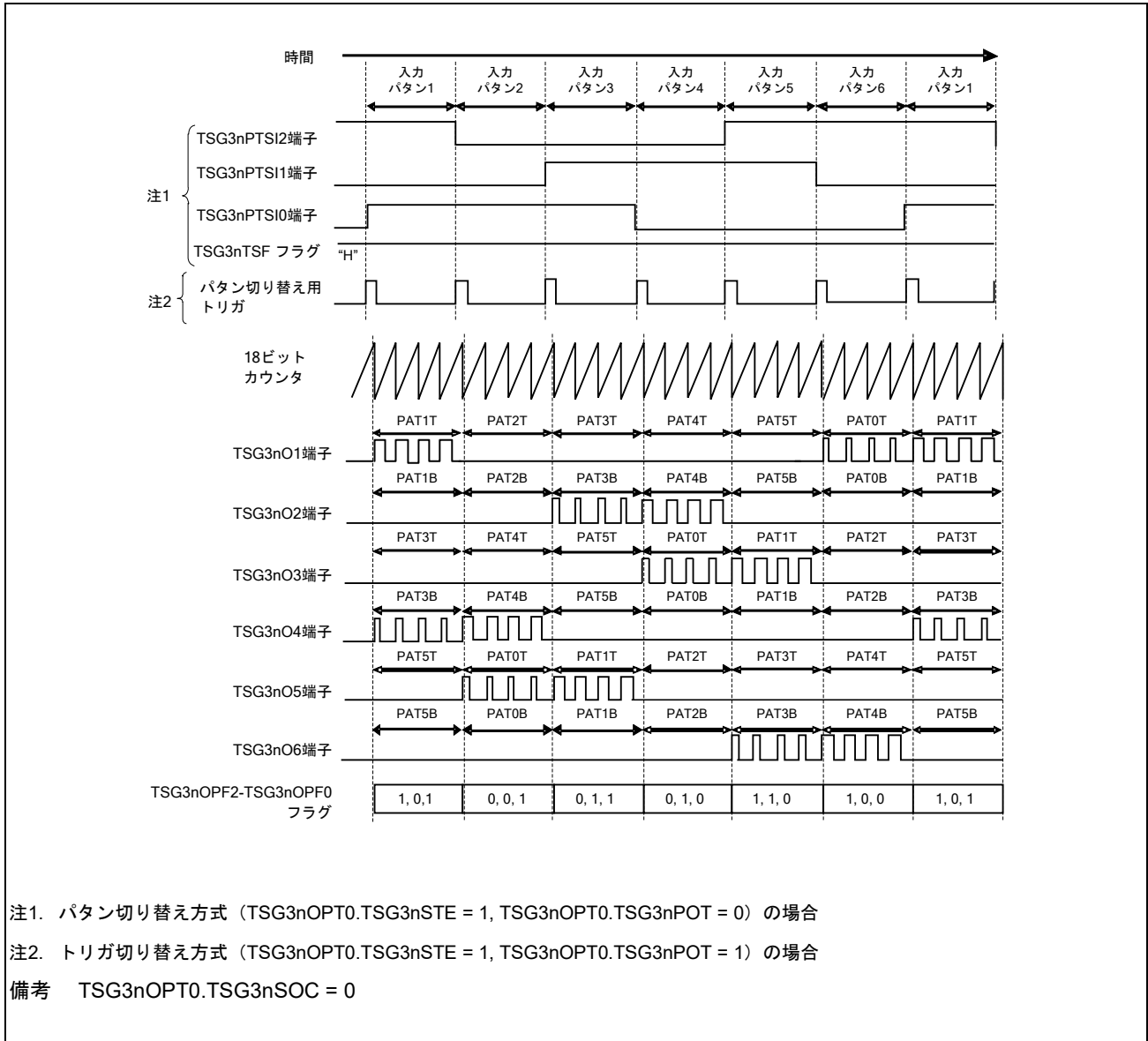


図 20.89 120-DC モード動作例 (正転 : TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 1)



注1. パターン切り替え方式 (TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 0) の場合

注2. トリガ切り替え方式 (TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1) の場合

備考 TSG3nOPT0.TSG3nSOC = 0

図 20.90 120-DC モード動作例 (逆転 : TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 0)

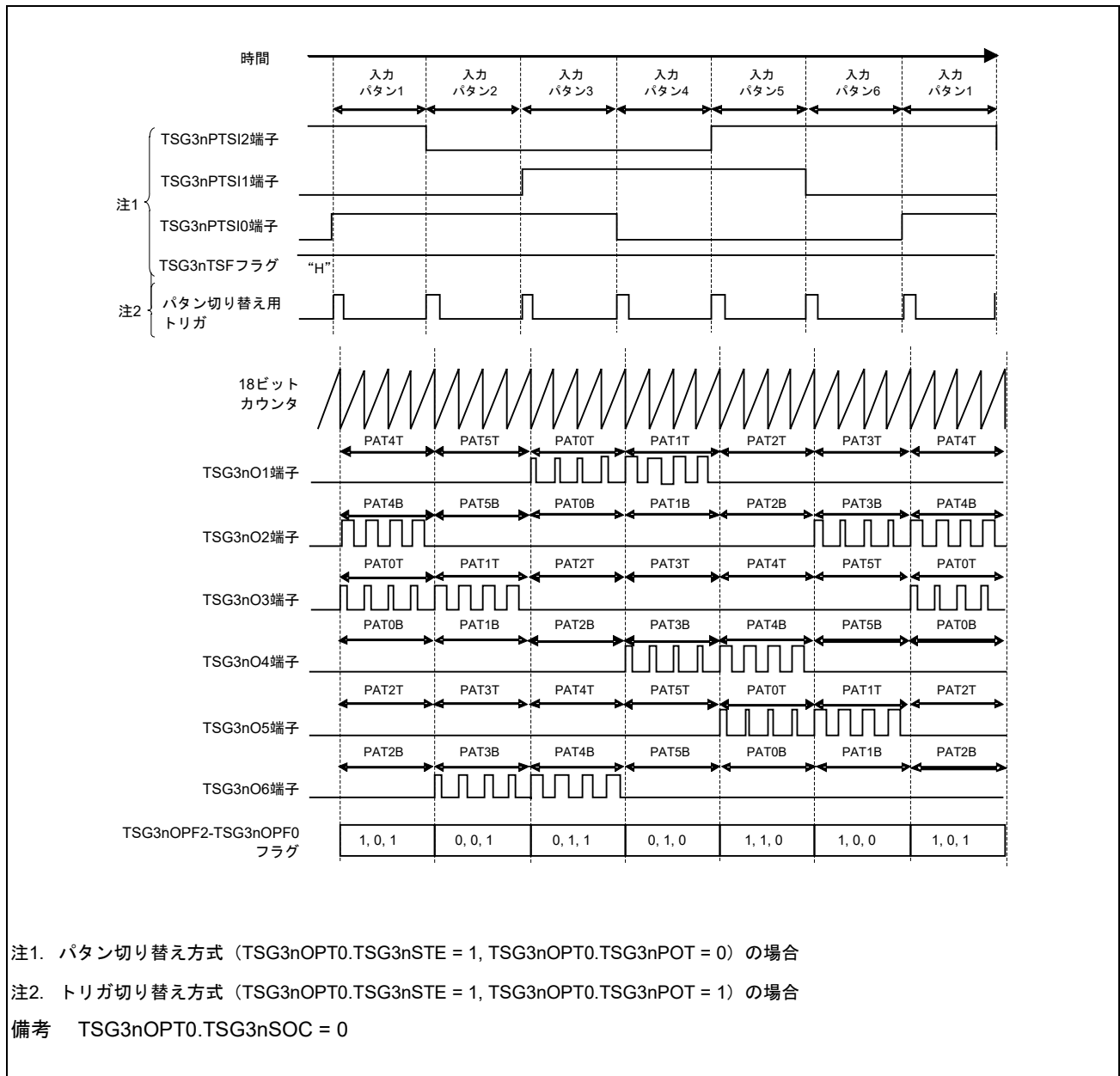


図 20.91 120-DC モード動作例 (逆転 : TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 1)

(6) 120-DC モードの出力パターン一覧

120DC モードにおいて、出力パターンは電流方向 (TSG3nOPT0.TSG3nIDC) とパターン順序方向によって決定します。

表 20.86 120DC モードのパターン順序方向選択

TSG3nOPT0			パターン順序方向
TSG3nSTE	TSG3nPOT	TSG3nPSS	
0	—	1	TSG3nPSC
1	0	—	TSG3nTSF (動作開始時の初期設定のみ TSG3nPSC)
1	1	1	TSG3nPSC

表 20.87 120DC モードの出力パターン一覧 (1/4)

電流方向 正 (TSG3nIDC = 0)

パターン順序方向 正 (TSG3nTSF = 0 or TSG3nPSC = 0)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} /TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	Low	Low
TSG3nO2	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	Low	Low
TSG3nO3	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	Low	Low
TSG3nO4	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	Low	Low
TSG3nO5	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	Low	Low
TSG3nO6	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	Low	Low

表 20.87 120DC モードの出力パターン一覧 (2/4)

電流方向 逆 (TSG3nIDC = 1)

パターン順序方向 正 (TSG3nTSF = 0 or TSG3nPSC = 0)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} /TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	Low	Low
TSG3nO2	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	Low	Low
TSG3nO3	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	Low	Low
TSG3nO4	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	Low	Low
TSG3nO5	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	Low	Low
TSG3nO6	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	Low	Low

注 1. TSG3nSPC2-TSG3nSPC0、TSG3nSTE = 1、かつ TSG3nPOT = 1 のときに書き込みを行うと出力パターンが変化します。その後、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりによるパターン切り替えトリガが発生するとパターン切り替え順序にしたがって、TSG3nS120DC0 = 0 のときは即時、TSG3nS120DC0 = 1 のときはメインカウンタ (TSG3nCNTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が切り替わります。その際、出力パターンが切り替わっても TSG3nSPC2-TSG3nSPC0 は変化しません。

備考1. PAT0T - PAT5T : TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E による PWM 出力を示します。

備考2. PAT0B - PAT5B : TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E による PWM 出力を示します。

表 20.87 120DC モードの出力パターン一覧 (3/4)

電流方向 正 (TSG3nIDC = 0)

パタン順序方向 逆 (TSG3nTSF = 1 or TSG3nPSC = 1)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} /TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	Low	Low
TSG3nO2	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	Low	Low
TSG3nO3	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	Low	Low
TSG3nO4	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	Low	Low
TSG3nO5	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	Low	Low
TSG3nO6	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	Low	Low

表 20.87 120DC モードの出力パターン一覧 (4/4)

電流方向 逆 (TSG3nIDC = 1)

パタン順序方向 逆 (TSG3nTSF = 1 or TSG3nPSC = 1)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} /TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	Low	Low
TSG3nO2	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	Low	Low
TSG3nO3	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	Low	Low
TSG3nO4	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	Low	Low
TSG3nO5	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	Low	Low
TSG3nO6	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	Low	Low

注 1. TSG3nSPC2-TSG3nSPC0、TSG3nSTE = 1、かつ TSG3nPOT = 1 のときに書き込みを行うと出力パターンが変化します。その後、TSG3nOPCI0、TSG3nOPCI1 信号の立ち上がりによるパタン切り替えトリガが発生すると、TSG3nS120DCO = 0 のときは即時、TSG3nS120DCO = 1 のときはメインカウンタ (TSG3nCnTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が切り替わります。パタン切り替え順序にしたがって出力が切り替わります。その際、出力パターンが切り替わっても TSG3nSPC2-TSG3nSPC0 は変化しません。

備考1.PAT0T - PAT5T : TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E による PWM 出力を示します。

備考2.PAT0B - PAT5B : TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E による PWM 出力を示します。

(7) 120-DC モードの動作開始タイミング

トリガ切り替え制御 (TSG3nOPT0.TSG3nSTE = 1、TSG3nOPT0.TSG3nPOT = 1) の場合は、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0、TSG3nOPT0.TSG3nPSC、TSG3nOPT0.TSG3nIDC で設定されたパターンを出力することができます。しかし、パターン切り替え制御 (TSG3nOPT0.TSG3nSTE = 1、TSG3nOPT0.TSG3nPOT = 0) の場合は、TSG3nPTSI2-TSG3nPTSI0 端子のパターンは検出できませんが、パターン順序方向 (TSG3nSTR1.TSG3nTSF) が決定できません。そのため、TSG3nTE = 0 のときに TSG3nPSC にパターン順序方向をセットしてください。TSG3nPSC の設定値が TSG3nTSF にロードされ、この値を初期パターン設定に使用できます。

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 0, TSG3nPOT = 0, TSG3nIDC = 0, TSG3nSTE = 1

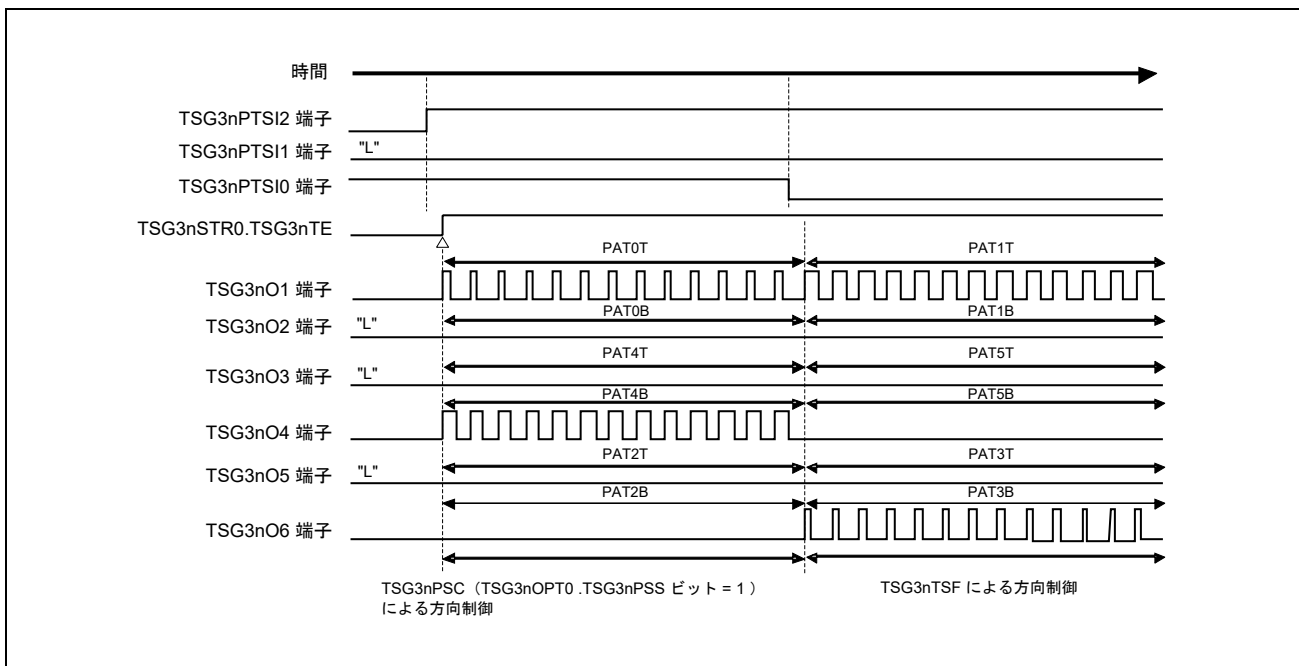


図 20.92 正転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 1, TSG3nPOT = 0, TSG3nIDC = 1, TSG3nSTE = 1

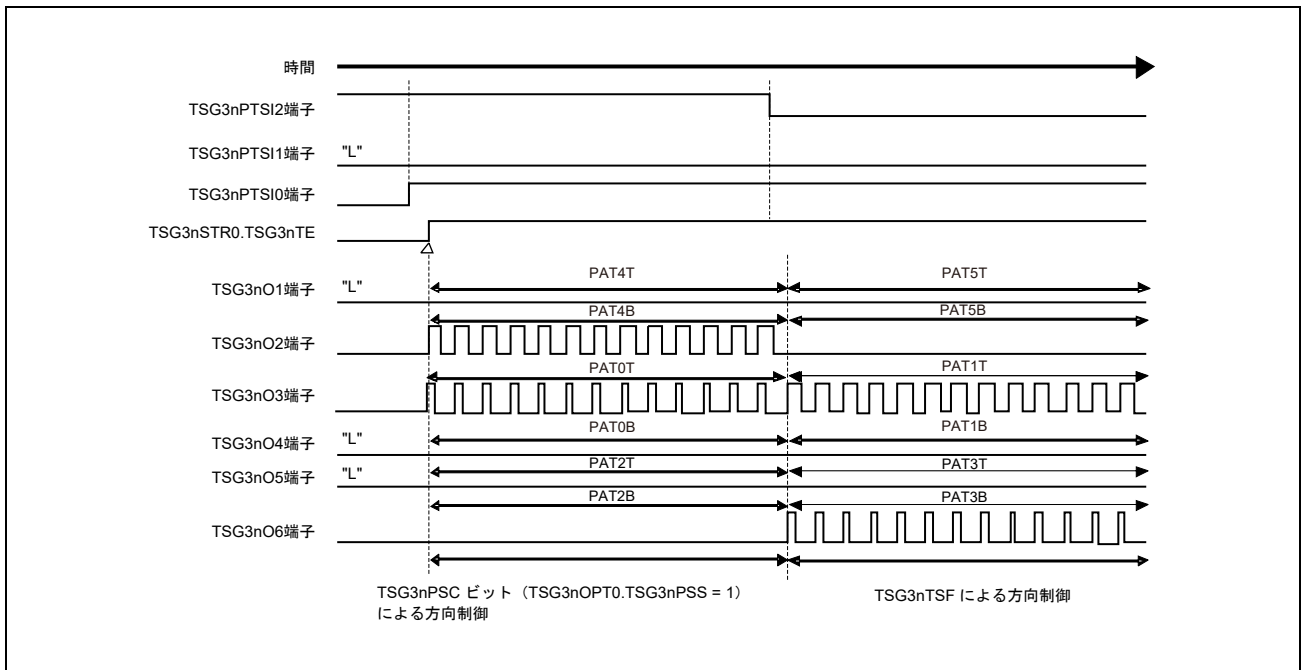


図 20.93 逆転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 0, TSG3nPOT = 0, TSG3nIDC = 0, TSG3nSTE = 1

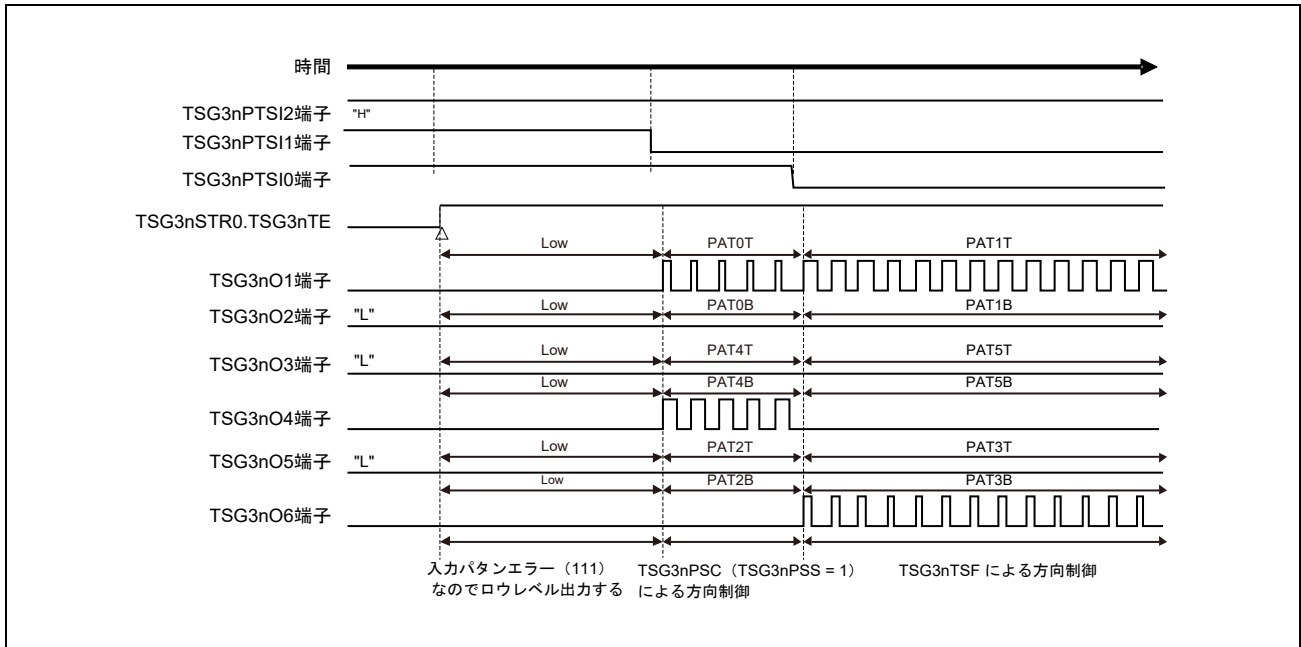


図 20.94 正転時のタイマ出力開始時の制御 (エラーパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 1, TSG3nPOT = 0, TSG3nIDC = 1, TSG3nSTE = 1

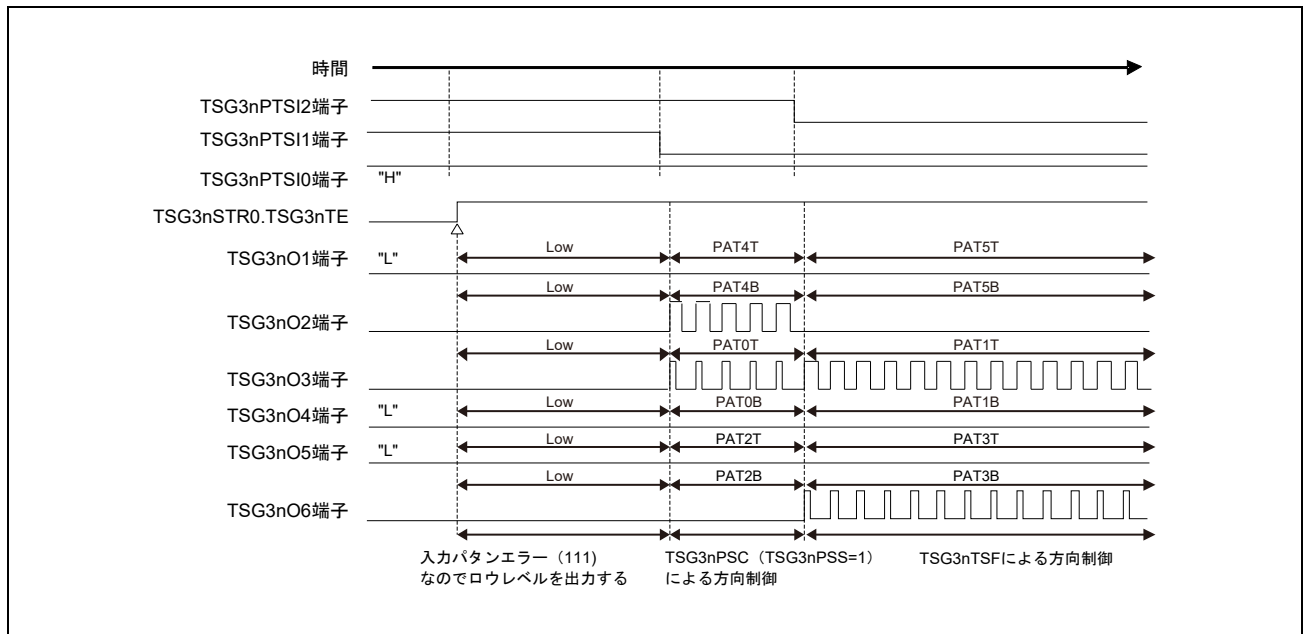


図 20.95 逆転時のタイマ出力開始時の制御 (エラーパターンが入力された場合)

(8) TSG3nS120DCO = 0 時の出力切り替えタイミング

120-DC モードでは、**図 20.96**～**図 20.99** に示すように外部からの出力パターン切り替えタイミング

(TSG3nOPCI0、TSG3nOPCI1 信号、TSG3nPTSI2-TSG3nPTSI0 端子) は 18 ビットカウンタ動作と関係なく入力されます。TSG3nS120DCO = 0 の場合、出力を切り替えるタイミングは、外部から入力された切り替えタイミングで、18 ビットカウンタをクリアして新しいパターンにて出力します。

パターン切り替え方式にて、1 周期内に TSG3nPTSI2-TSG3nPTSI0 端子が複数回変化した場合は、変化するごとに 18 ビットカウンタをクリアし、出力パターンを切り替えます。また、トリガ切り替え方式にて、1 周期内に TSG3nOPCI0、TSG3nOPCI1 信号トリガが複数回入力した場合は、トリガを受け付ける毎に 18 ビットカウンタをクリアし、出力パターンを切り替えます。

1 周期内に TSG3nSPC2-TSG3nSPC0 への書き換えを複数回実行した場合は、書き換えごとに 18 ビットカウンタをクリアし、出力パターンを切り替えます。

TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 への書き換えと TSG3nOPCI0、TSG3nOPCI1 トリガが競合した場合は、TSG3nSPC2-TSG3nSPC0 への書き換えが優先されます。

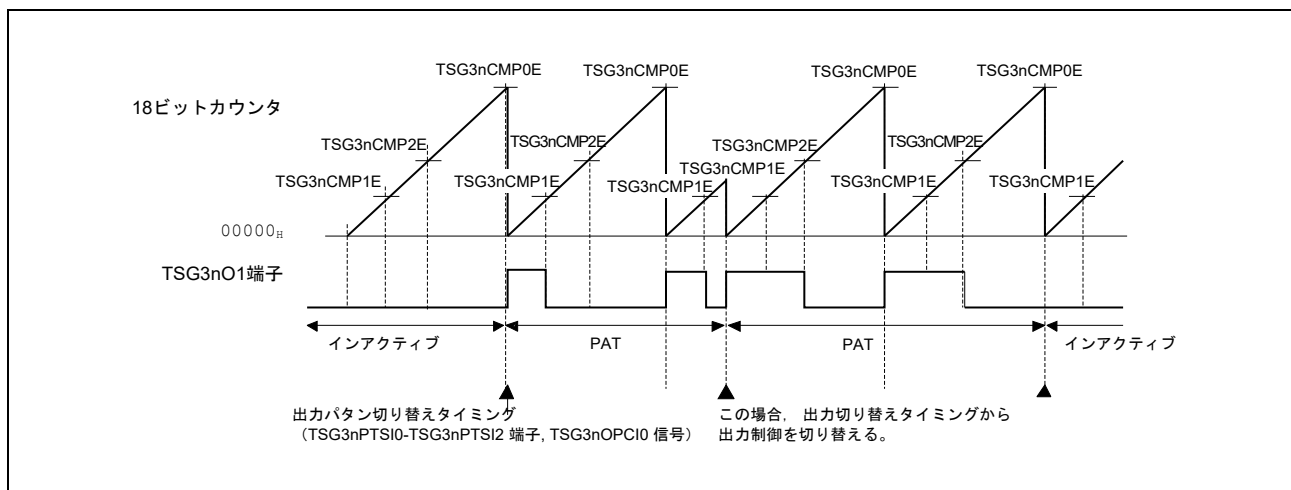


図 20.96 出力切り替え例 (TSG3nPTSI2-TSG3nPTSI0 端子、TSG3nOPCI0、TSG3nOPCI1 信号トリガ入力)

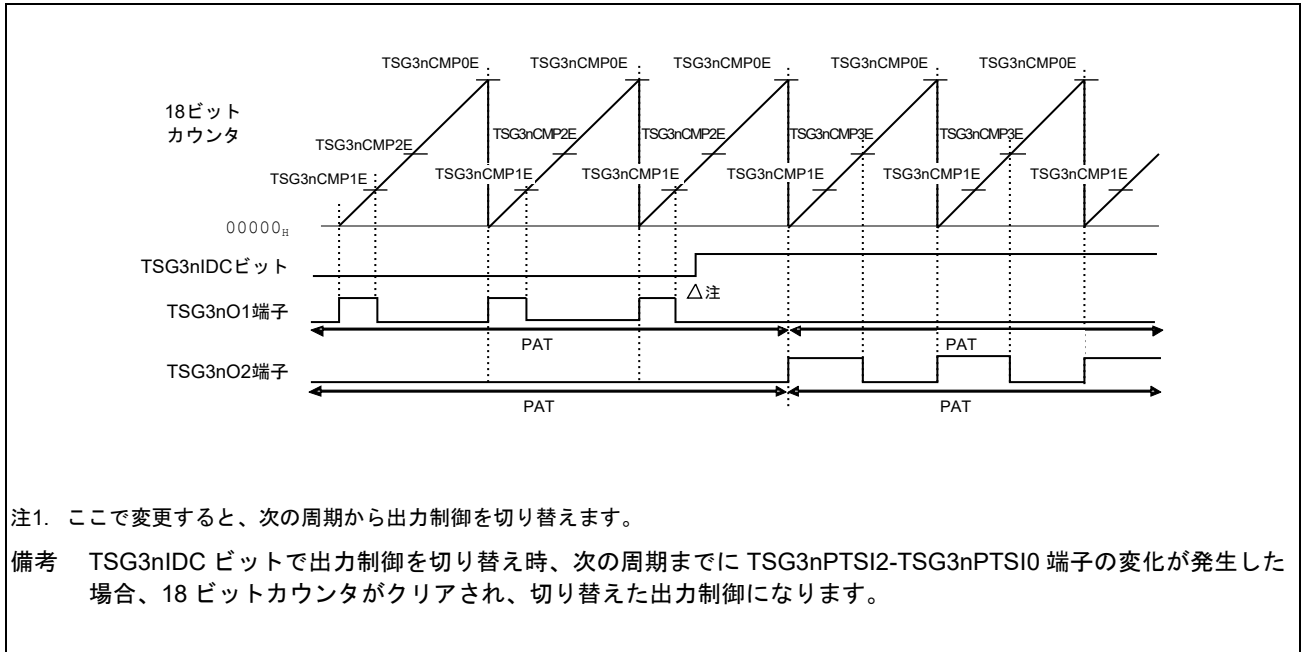


図 20.97 出力切り替え例 (TSG3nOPT0.TSG3nIDC での切り替え)

- TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1

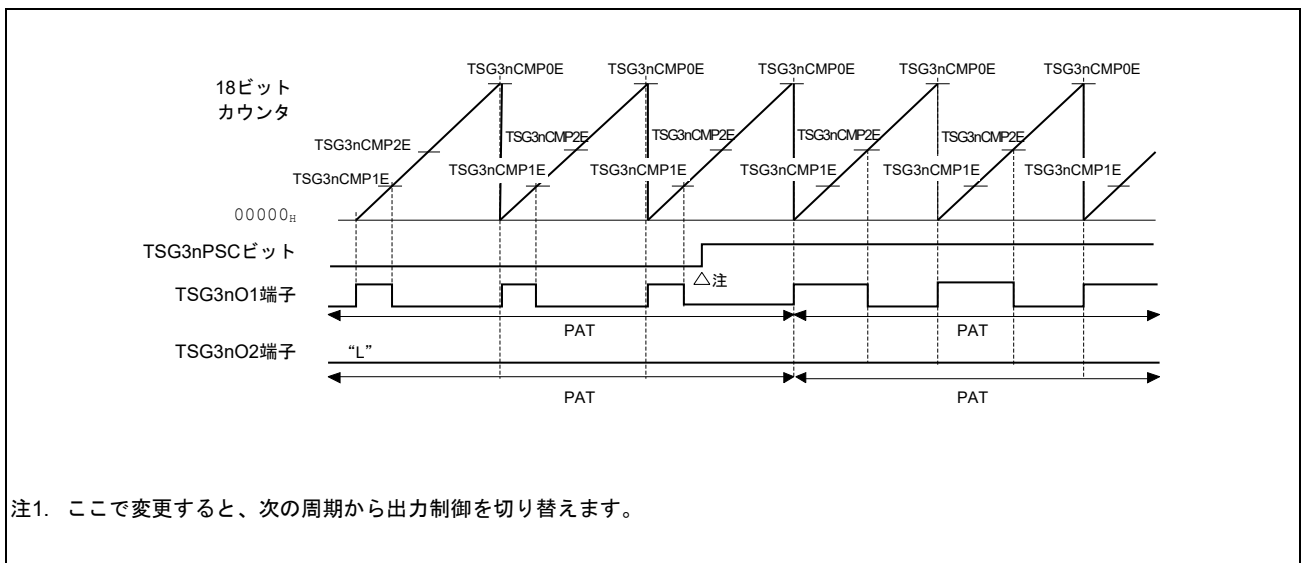


図 20.98 出力切り替え例 (TSG3nOPT0.TSG3nPSC での切り替え)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1

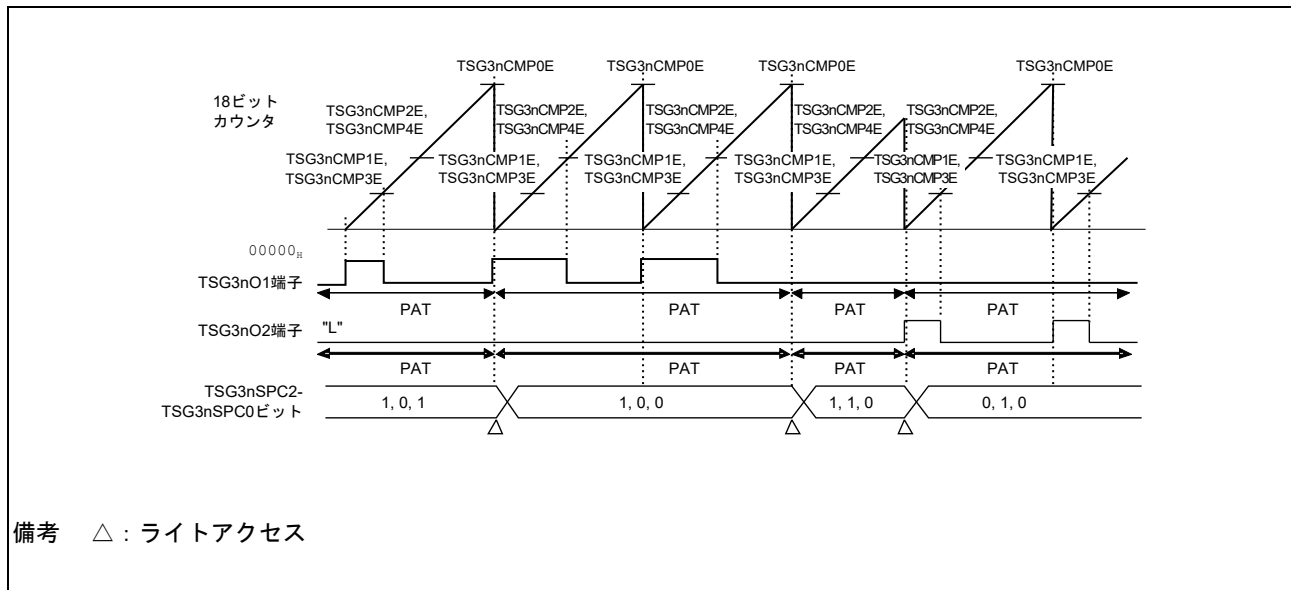


図 20.99 出力切り替え例 (TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 での切り替え)

(9) 120-DC モードのコンペアレジスタ書き換えタイミング

次に、TSG3nCMP1E をリロード (一斉書き換え) した場合の動作例を示します。

図 20.100 は、TSG3nCMP1E レジスタを書き換えた場合の出力例を示しています。TSG3nCMP1E を変更後は次のリロードタイミングまで TSG3nCMP1E バッファレジスタにデータが転送されない (変更したデータが有効にならない) ため、設定どおりの出力波形を得ることができます。ただし、リロードが保留されている期間 (TSG3nCMP1E レジスタを変更してから、一斉書き換えが実行されるまでの期間) に、再度 TSG3nCMP1E レジスタに書き込まないでください。必ずリロード要求フラグ (TSG3nRSF) をリードし、0 であることを確認してから TSG3nCMP1E レジスタに書き込んでください。

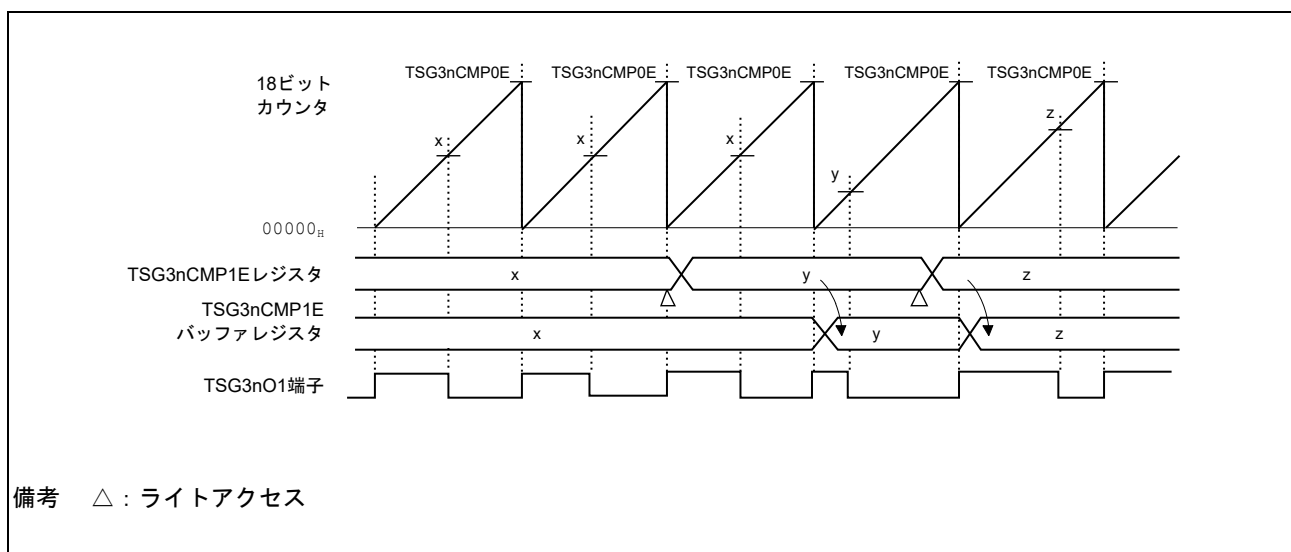


図 20.100 TSG3nCMP1E レジスタを書き換えた時の出力例

(10) 120-DC モードのデッドタイム制御

120-DC モードにおいて、各相の立ち下がりデッドタイム制御が動作し、デッドタイムが付加されます。

正相の立ち下がりでは、TSG3nDTC1W レジスタに設定したデッドタイムが挿入され、逆相の立ち下がりでは TSG3nDTC0W レジスタに設定したデッドタイムが挿入されます。

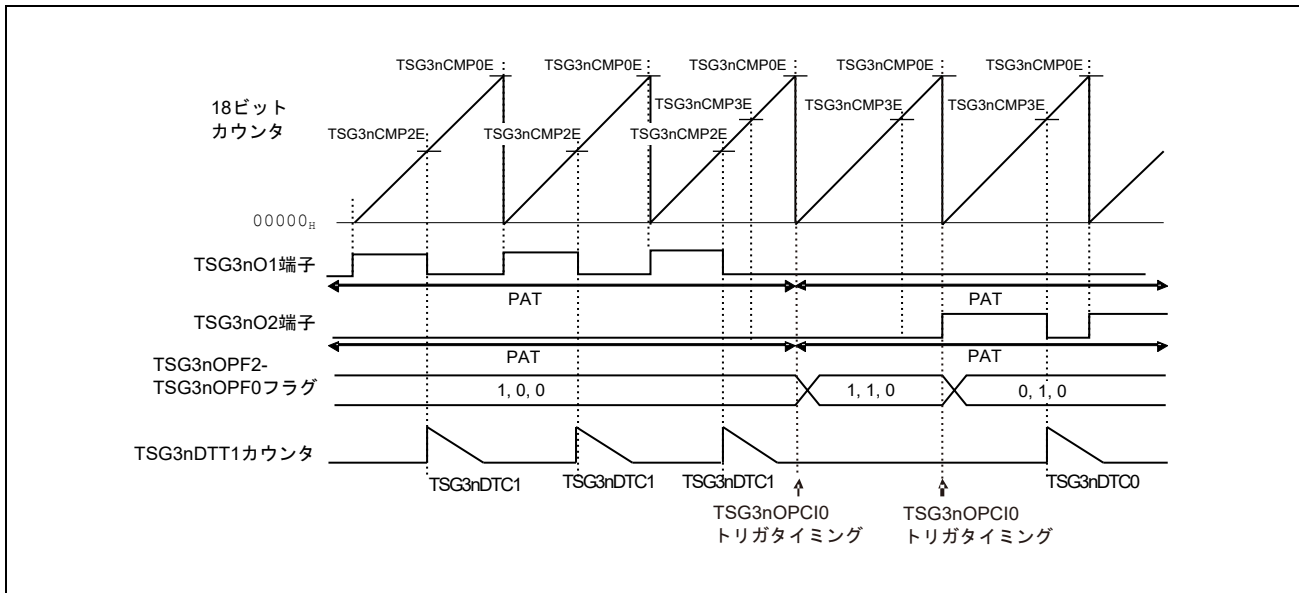


図 20.101 出力切り替え例

注 意

デッドタイムを制御する方法により、タイマ出力に影響を与える場合があります。主に次の条件ではデッドタイム制御のため、タイマ出力が設定どおりのアクティブレベル幅を得られない可能性があります。

- パタン切り替え方式において、入力パタンにノイズが発生した場合
- パタン切り替え方式において、入力パタンの変化が PWM 周期より早くなった場合
- トリガ切り替え方式において、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を変更し、出力パターンを強制的に変化させた場合
- 切り替え方式を変更した場合
- 電流方向を制御するビット (TSG3nOPT0.TSG3nIDC) を変更した場合
- ソフトウェア出力制御機能を使用した場合

(11) 120-DC モードの出力切り替え

120-DC モードでは、トリガ切り替え方式 (TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 1) 時に TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 に値を書き込むことで出力パターンを制御することができます。切り替えタイミングでは、ハードウェアによってデッドタイムの確保を行います。

注 意

TSG3nSPC2-TSG3nSPC0 に“111_B”、“000_B”を書き込んだ場合、TSG3nO1-TSG3nO6 端子はロウレベルとなります。

(12) 120-DC モード時、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生した場合の動作

TSG3nPTSI2-TSG3nPTSI0 端子は、ブラシレス DC モータのホールセンサの入力を想定しています。システムによっては、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生する場合があります。ノイズが発生した場合の動作に関して説明します。

システム製品設計においてはホールセンサと TSG3nPTSI2-TSG3nPTSI0 端子間に必ずノイズフィルタ回路を挿入してください。

図 20.103 ではパターン切り替え方式で動作中に、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生した場合に関して説明します。

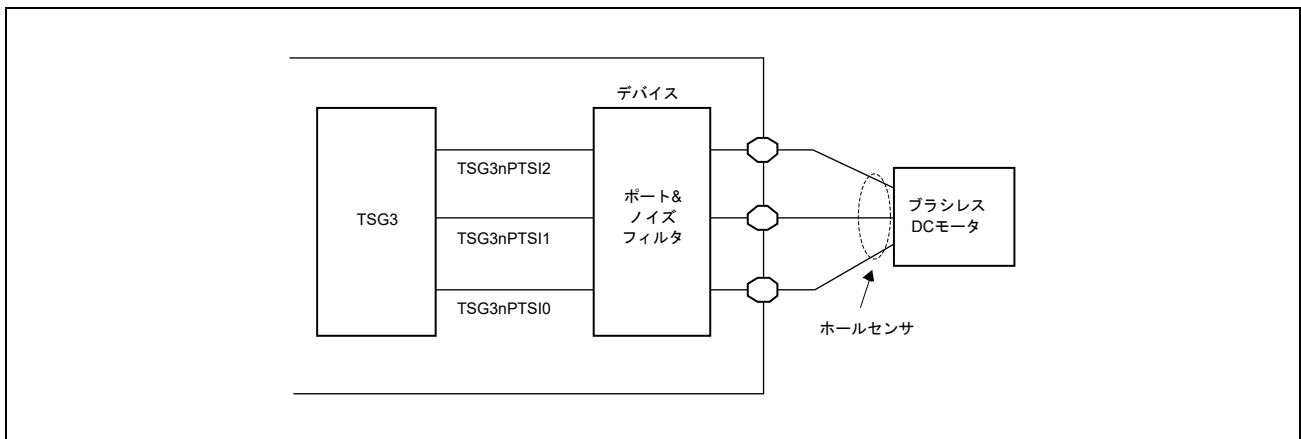


図 20.102 ノイズフィルタ回路接続例

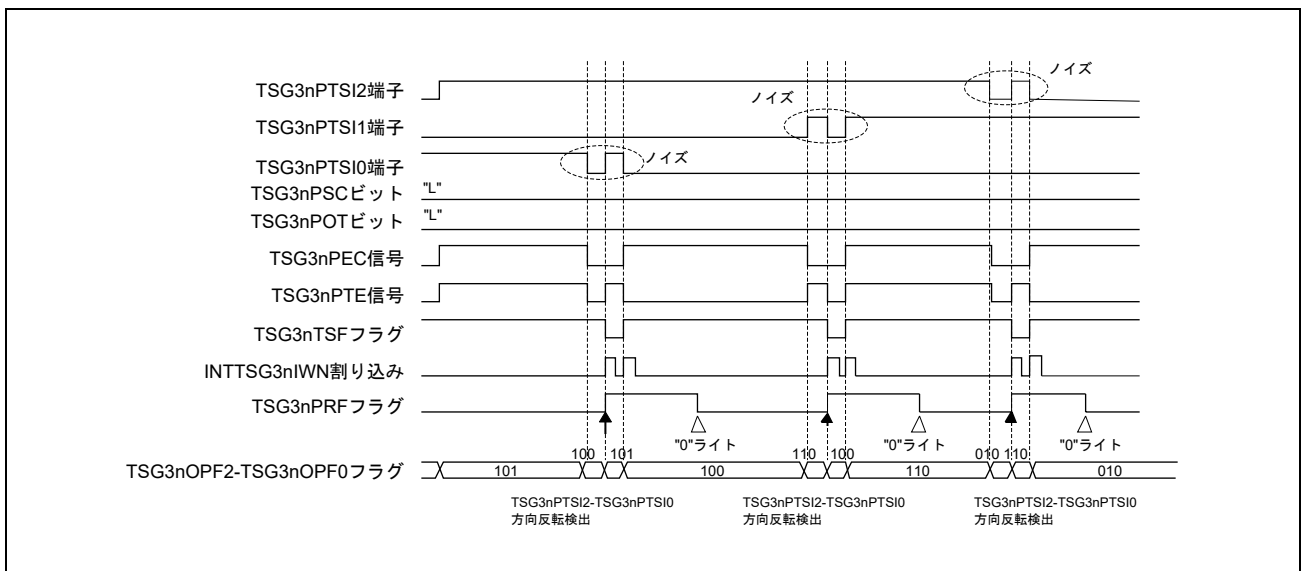


図 20.103 TSG3nPTSI2-TSG3nPTSI0 端子のレベル変化時、ノイズ発生例 (パターン切り替え方式)

(a) 入力パターン変化検出信号 (TSG3nPTE) の変化タイミング

TSG3nPTE 信号は、入力パターン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

注 意

TSG3nOPT0 レジスタの TSG3nPSC (TSG3nOPT0 レジスタの TSG3nPSS = 1) で必ずパターン順序方向を指定してください。

- TSG3nPSC = 0 の場合

表 20.88 TSG3nPSC = 0 の場合の TSG3nPTE トグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2-TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

- TSG3nPSC = 1 の場合

表 20.89 TSG3nPSC = 1 の場合の TSG3nPTE トグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2-TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

(b) 3 相エンコード信号 (TSG3nPEC) の変化タイミング

TSG3nPEC 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

表 20.90 TSG3nPEC のトグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2-TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	トグル
	100	—	—	トグル	—	トグル	—	—	—
	110	—	—	—	トグル	—	トグル	—	—
	010	—	—	—	—	トグル	—	トグル	—
	011	—	—	—	—	—	トグル	—	トグル
	001	—	—	トグル	—	—	—	トグル	—

(c) TSG3nO1-TSG3nO6 端子の変化タイミング

- パタン切り替え方式の場合は、TSG3nPTSI2-TSG3nPTSI0 端子^{注1}の入力信号が変化した場合、出力パタンが変化します。
2 端子以上同時に変化しても出力が切り替わります。
- トリガ切り替え方式の場合は、TSG3nOPCI0、TSG3nOPCI1 信号に立ち上がりエッジにより、出力パタンが変化します。TSG3nOPT0 レジスタの TSG3nSPC2-TSG3nSPC0^{注1}に書き込んだ場合も出力が変化します。

注1. “000”、“111”に変化した場合、TSG3nO1-TSG3nO6 端子は、ロウレベルになります。

TSG3nO1-TSG3nO6 端子の出力パタンが即変化するのは TSG3nS120DCO = 0 のときのみです。

TSG3nS120DCO = 1 の場合は、メインカウンタ (TSG3nCNTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が変化します。

(d) TSG3nTSF フラグの変化タイミング

TSG3nTSF フラグは、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

表 20.91 TSG3nTSF のセット、クリア動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2-TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	0	—	—	—	1
	100	—	—	1	—	0	—	—	—
	110	—	—	—	1	—	0	—	—
	010	—	—	—	—	1	—	0	—
	011	—	—	—	—	—	1	—	0
	001	—	—	0	—	—	—	1	—

(e) TSG3nNDF フラグのセットタイミング

TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した場合にセットされます。TSG3nNDR ビットへの 1 ライトでクリアします。TSG3nNDC ビットを 1 にセットしたときに有効となります。

(f) TSG3nPRF フラグのセットタイミング

TSG3nTSF フラグが変化したタイミングでセットされます。TSG3nPRR ビットへの 1 ライトでクリアします。TSG3nPRC ビットを 1 にセットしたときに有効となります。

(g) TSG3nPEF フラグのセットタイミング

TSG3nPTSI2-TSG3nPTSI0 端子が “000”、“111” の値を入力したときにセットされます。TSG3nPER ビットへの 1 ライトでクリアします。TSG3nPEC ビットを 1 にセットしたときに有効となります。

(13) 120-DC モード時の基本制御フロー

120-DC モードには表 20.92 に示した 8 つの制御状態が存在します。

TSG3nOPT0.TSG3nSTE = 1 かつ TSG3nPOT = 0 では、パタン切り替え方式の 120-DC 制御となります。これを位相固定制御と定義します。位相固定制御では、ホールセンサからの遅れ、センサレベル検出からタイマ出力までの遅れ等がありますので、これらを考慮して制御する必要があります。ただし、PWM デューティを変更するだけで加速/減速ができます。

TSG3nOPT0.TSG3nSTE = 1 かつ TSG3nPOT = 1 では、トリガ切り替え方式の 120-DC 制御となります。これを位相可変制御と定義します。位相可変制御では、ホールセンサに先行してタイマ出力パターンを設定するため、位相差による加速/減速制御が可能です。ただし、ホールセンサに対するオフセット幅、ホールセンサに対する予測値を考慮する必要があるため、位相固定制御に比べて制御が複雑になります。詳細は、

「**24.2.3.11 3 相パルス入力制御機能**」を参照してください。

TSG3nOPT0.TSG3nSTE = 1、TSG3nOPT0.TSG3nPOT = 1、TSG3nPSS = 1 の場合、TSG3nOPT0 レジスタの TSG3nPSC でパタン順序方向が設定できます。正転のときは TSG3nPSC = 0 に、逆転のときは TSG3nPSC = 1 に設定してください。

TSG3nOPT0 レジスタの TSG3nIDC では電流方向を設定します。モータの回転方向 (TSG3nPSC の設定値) と同じ値を設定しているときは加速制御となり、モータの回転方向と異なる値を設定しているときは減速制御となります。

表 20.92 タイマの制御状態

状態	TSG3nOPT0 レジスタの TSG3nPSC	TSG3nSTR1 レジスタの TSG3nTSF	TSG3nOPT0 レジスタの TSG3nIDC	TSG3nOPT0 レジスタの TSG3nPOT	制御
A	—	0	0	0	正転・加速・位相固定
B	0	—	0	1	正転・加速・位相可変
C	0	—	1	1	正転・減速・位相可変
D	—	0	1	0	正転・減速・位相固定
E	—	1	1	0	逆転・加速・位相固定
F	1	—	1	1	逆転・加速・位相可変
G	1	—	0	1	逆転・減速・位相可変
H	—	1	0	0	逆転・減速・位相固定

通常、モータの回転が停止した状態をスタート状態として制御を開始します。まず停止状態からモータを回転させるために位相固定制御を利用して回転させます。その後、高速回転まで引き上げるために位相可変制御に切り替えます。位相可変制御では ENCA と組み合わせてホールセンサの変化点よりも早いタイミング (進角) でタイマ出力を変化させます。

高速回転から減速させる場合も、TSG3nOPT0 レジスタの TSG3nIDC のみを書き換えて減速制御に変更します。その後、低速回転まで回転数を減速できたら PWM デューティを小さくして停止状態まで遷移させます。これがモータ制御の一連の流れになります。

状態の遷移を図 20.104、図 20.105 に示します。

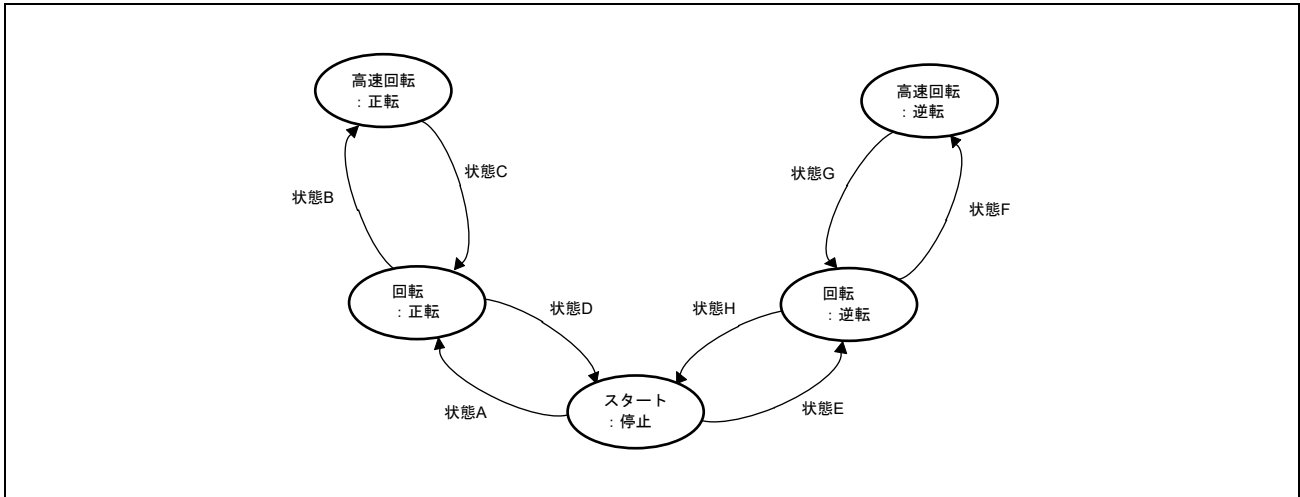


図 20.104 状態遷移図

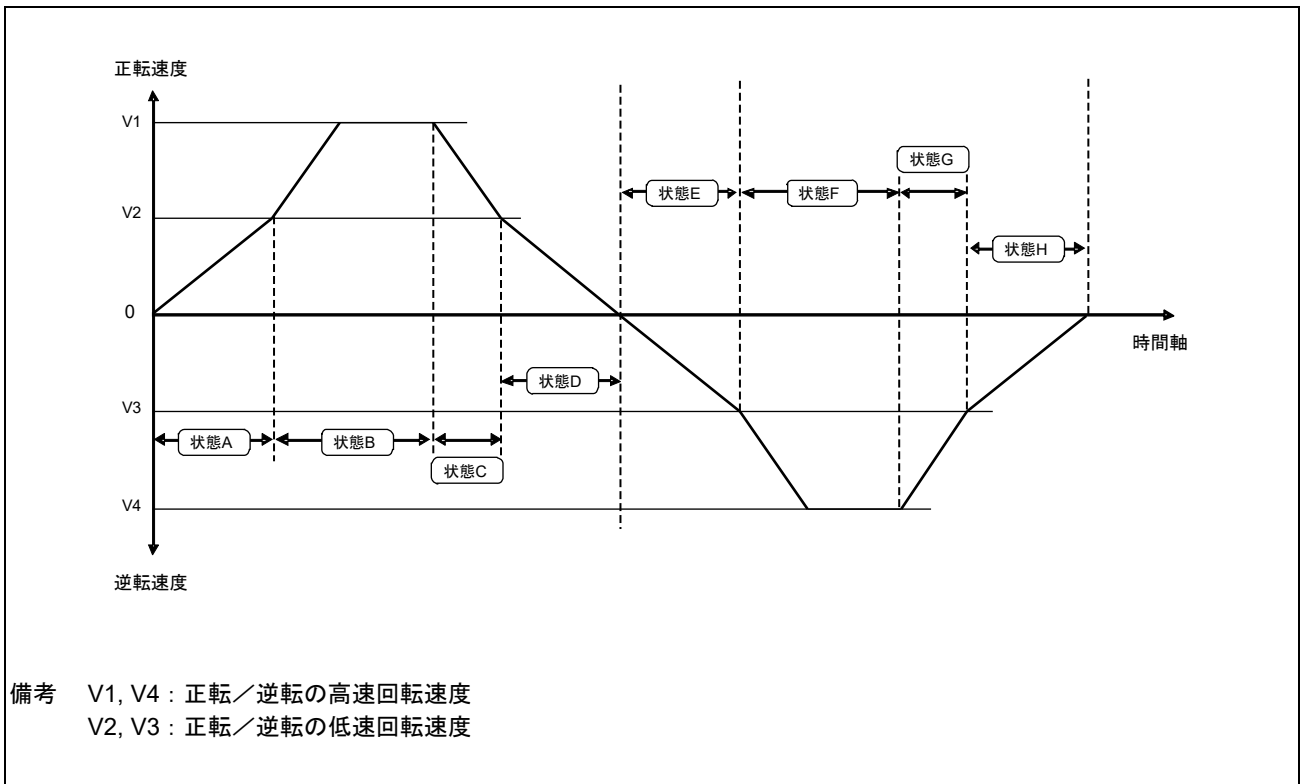


図 20.105 状態遷移とモータ回転速度の関連性

(14) 120-DC モード時のソフトウェア出力制御機能

120-DC モード時は、TSG3nOPT0.TSG3nSOC、TSG3nIDC、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 20.106 に示すように、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、ソフトウェア出力制御から 120-DC 制御に切り替える場合は、TSG3nSOC = 0 に設定します。このタイミングでは出力を保持し、リロードタイミングが発生した時点で、120-DC モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「**20.4.7.10 ソフトウェア出力制御機能**」を参照してください。

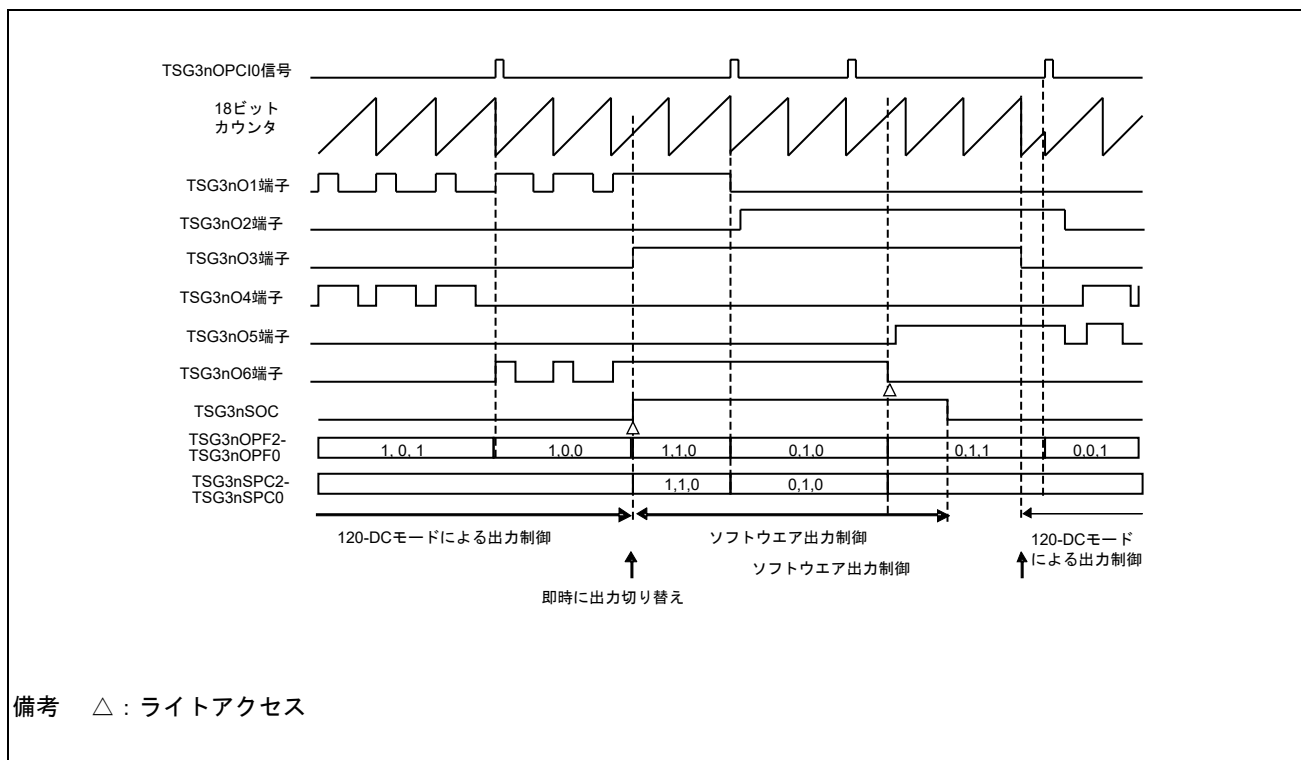


図 20.106 120-DC モードからソフトウェア出力制御機能の切り替え例

(a) ソフトウェア出力制御の処理手順

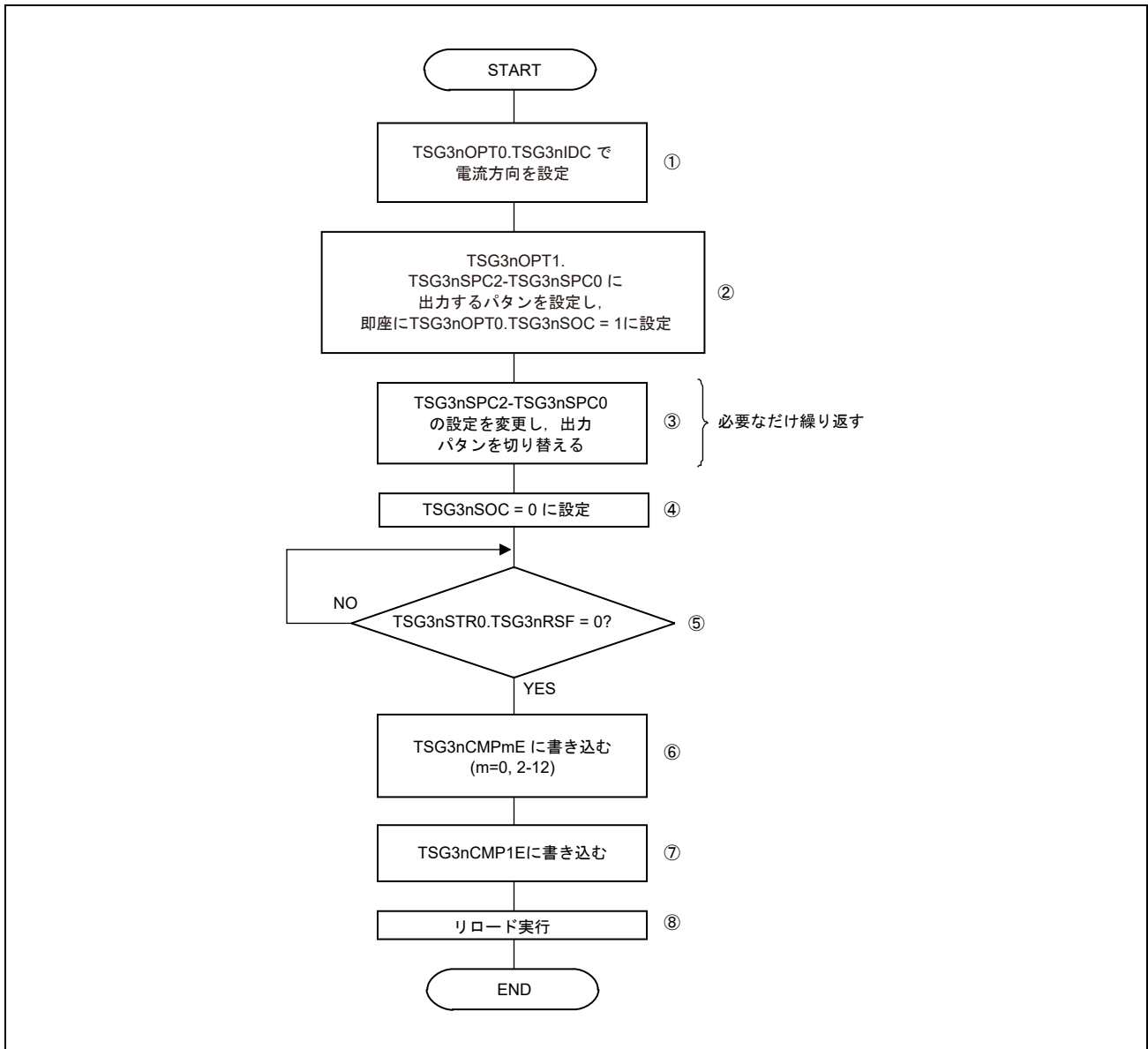


図 20.107 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

1. TSG3nIDC の設定を行います。TSG3nIDC = 0 の場合と、TSG3nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えた場合、次のタイマ周期で新しい設定に応じた出力パターンに切り替わります。ただし、②の前に周期一致が発生した場合、120-DC 制御の出力パターンが変わりますので、②の前に周期一致が来ないようにスケジューリングしてください。
2. TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nSOC = 1 にします。
3. TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
4. リロード要求フラグ (TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF フラグ = 0 になるまで次の手順に移行しないでください。
5. TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
6. ソフトウェア出力制御解除後に必要なコンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
7. TSG3nCMP1E レジスタに書き込みを行い、リロードを起動します。
8. リロードが実行され、ソフトウェア出力を解除します。

注 意

4., 5., 6., 7. の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

20.4.7.7 HSP-PWM モード (High accuracy Shifted-pulse - Pulse Width Modulation モード)

概要

18 ビットカウンタと 18 ビットコンペアレジスタを使用して、高精度の鋸波 PWM を生成できます。

前提条件

TSG3nCMP0E には、PWM 周期を設定します。

TSG3nHSPCMUE、TSG3nHSPCMVE、TSG3nHSPCMWE で、PWM 出力幅を設定します。

TSG3nHSPSHUE、TSG3nHSPSHVE、TSG3nHSPSHWE で、PWM シフト幅を設定します。TSG3nDTC0W、TSG3nDTC1W で、デッドタイムを設定します。

TSG3nHSPCMUE、TSG3nHSPCMVE、TSG3nHSPCMWE、TSG3nHSPSHUE、TSG3nHSPSHVE、TSG3nHSPSHWE、TSG3nDTC0W、TSG3nDTC1W に設定された値は、後述する演算に基づき、対応する TSG3nCMPmE へ即時に設定値が反映されます。(m = 1~12)

機能説明

PWM 周期を設定、デッドタイム設定、PWM シフト幅設定を行った後、PWM 出力幅を設定します。

TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、00000_H よりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

カウント動作中、18 ビットカウンタと TSG3nCMP0E-TSG3nCMP12E のバッファレジスタの一致でコンペア一致割り込み (INTTSG3nI0-INTTSG3nI12) が発生します。

備考

HSP-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 100_B に設定したときに有効となります。

(1) 基本タイミング図

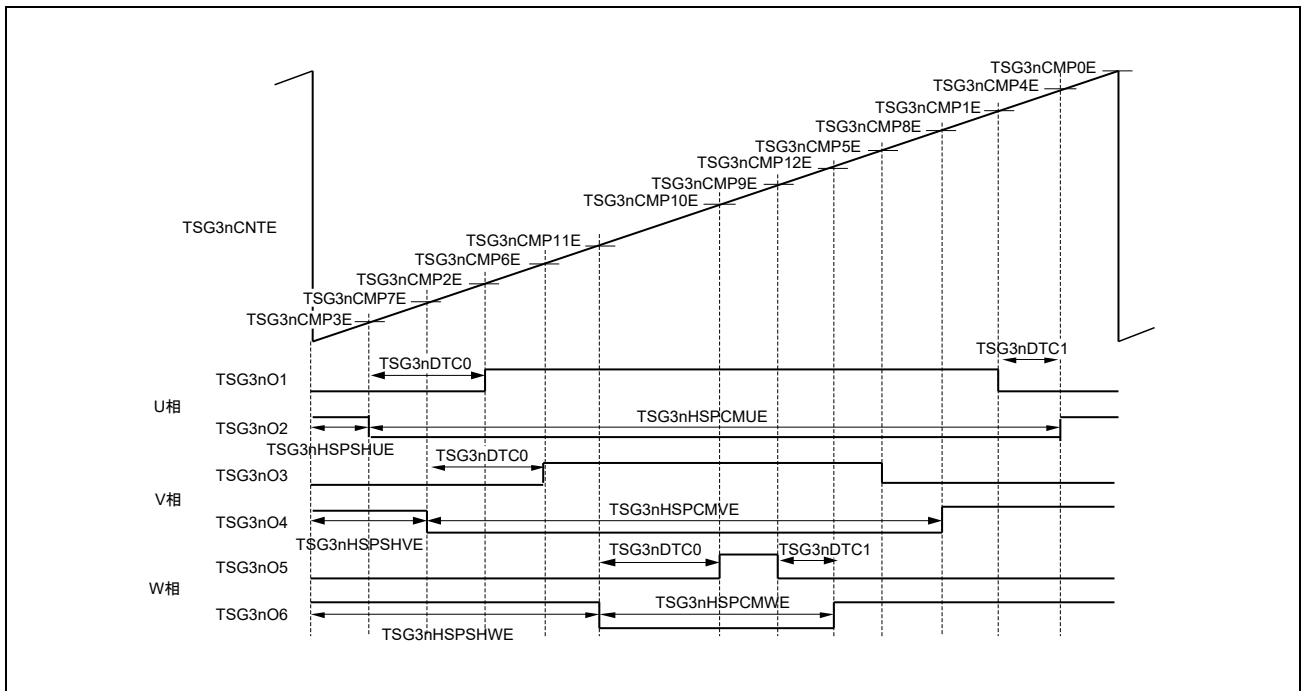


図 20.108 HSP-PWM モード時の基本タイミング

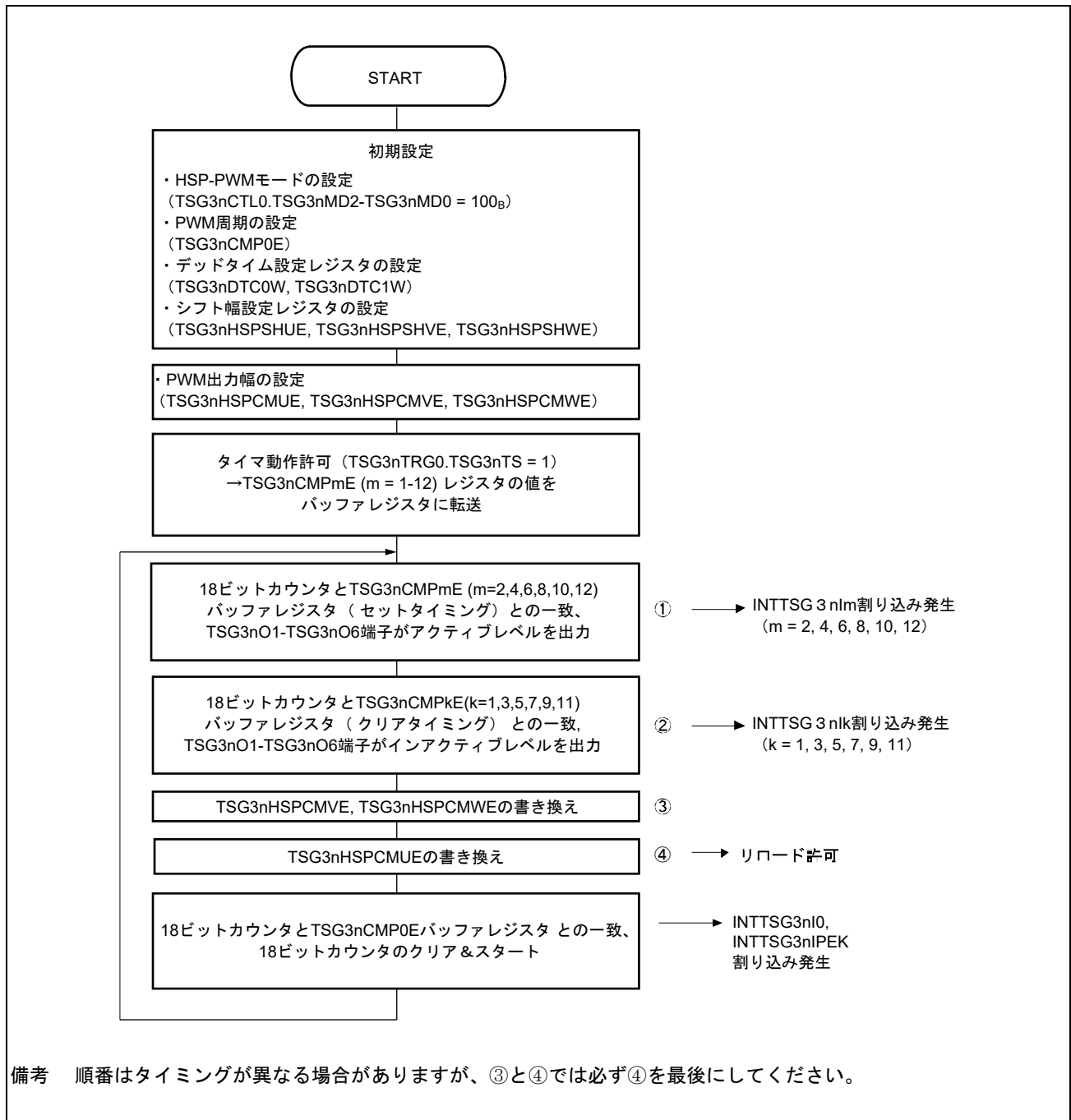


図 20.109 HSP-PWM モード時の基本動作フロー

注 意

1. 動作中に TSG3nHSPCMUE/VE/WE (PWM 出力幅) を設定する際は、TSG3nHSPCMUE の設定を最後に行ってください。U 相の PWM 出力幅を変更せず、V、W 相のみ変更する場合も、TSG3nHSPCMUE に同値を書き込んでください。
2. TSG3nCmP0E (PWM 周期) を変更する際は、TSG3nHSPCMUE/VE/WE (PWM 出力幅) の再設定が必要です。また、TSG3nHSPSHUE/VE/WE (PWM シフト幅) と、TSG3nCmP0E (PWM 周期) の設定を同時に変更しないでください。
3. TSG3nHSPSHUE/VE/WE (PWM シフト幅) を変更する際は、TSG3nHSPCMUE/VE/WE (PWM 出力幅) を再設定してください。

(2) HSP-PWM モード動作一覧

表 20.93 HSP-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 20.94 HSP-PWM モード : コンペアレジスタ、シフト幅設定レジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード	可能	周期
TSG3nHSPCMUE	リロード	可能	U 相用 PWM 制御
TSG3nHSPSHUE			
TSG3nHSPCMVE	リロード	可能	V 相用 PWM 制御
TSG3nHSPSHVE			
TSG3nHSPCMWE	リロード	可能	W 相用 PWM 制御
TSG3nHSPSHWE			
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	禁止	デッドタイム

表 20.95 HSP-PWM モード : 出力機能

端子	機能
TSG3nO1	TSG3nCMP1E バッファレジスタ (クリアタイミング)、TSG3nCMP2E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO2	TSG3nCMP3E バッファレジスタ (クリアタイミング)、TSG3nCMP4E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO3	TSG3nCMP5E バッファレジスタ (クリアタイミング)、TSG3nCMP6E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO4	TSG3nCMP7E バッファレジスタ (クリアタイミング)、TSG3nCMP8E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO5	TSG3nCMP9E バッファレジスタ (クリアタイミング)、TSG3nCMP10E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO6	TSG3nCMP11E バッファレジスタ (クリアタイミング)、TSG3nCMP12E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 20.96 HSP-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0~12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同タイミングで発生)
INTTSG3nIWN	エラー

表 20.97 HSP-PWM モード：コンペアー致タイミング

コンペアー致	機能
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1~12)	18 ビットカウンタと TSG3nCMPmE の一致検出後

(3) HSP-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 100_B に設定することで HSP-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0、TSG3nIOC2、TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生 of 許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**20.4.6 エラー/ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

本機能はリロードモードでのみ使用可能です。TSG3nCTL3.TSG3nRMC を必ず “0” に設定してください。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5.TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6.TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0、TSG3nADTRG1 信号に対しては、間引き機能が使用できます。

TSG3nCTL5 の TSG3nACC01、TSG3nACC00、および TSG3nCTL6 の TSG3nACC11、TSG3nACC10 を使用して、間引き無し/1 間引き/3 間引き/7 間引きの設定を行うことができます。

注 意

1. A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5、TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
2. HSP-PWM モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため、TSG3nCTL5、TSG3nCTL6 の TSG3nAT00、TSG3nAT10 は必ず "0" に設定してください。
3. HSP-PWM モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5、TSG3nCTL6 の TSG3nAT09、TSG3nAT08、TSG3nAT19、TSG3nAT18 は必ず "0" に設定してください。
4. HSP-PWM モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため、TSG3nCTL5、TSG3nCTL6 の TSG3nAT07、TSG3nAT05、TSG3nAT03、TSG3nAT17、TSG3nAT15、TSG3nAT13 は必ず "0" に設定してください。

PWM 周期設定

TSG3nCMP0E で PWM 周期の設定を行います。

PWM 周期は、次に示す式で計算できます。

$$PCLK \times (TSG3nCMP0E + 1)$$

PWM 出力幅設定

TSG3nHSPCMUE、TSG3nHSPCMVE、TSG3nHSPCMWE (TSG3nCMP1E-12E) で PWM 出力幅を設定します。

TSG3nHSPCMUE、TSG3nHSPCMVE、TSG3nHSPCMWE は、以下の式を満足するように設定してください。

$$0 \leq TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE \\ \leq TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1$$

TSG3nCMP0E、TSG3nHSPSHUE、TSG3nHSPSHVE、TSG3nHSPSHWE、TSG3nDTC0、TSG3nDTC1 の設定後に、PWM 出力幅を設定してください。

PWM シフト幅設定

TSG3nHSPSHUE、TSG3nHSPSHVE、TSG3nHSPSHWE で PWM シフト幅を設定します。

TSG3nHSPSHUE、TSG3nHSPSHVE、TSG3nHSPSHWE は、以下の式を満足するように設定してください。

$$TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE \leq TSG3nCMP0E$$

デッドタイムの設定

TSG3nDTC0、TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2、TSG3nO4、TSG3nO6 端子のインアクティブ変化 → TSG3nO1、TSG3nO3、TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1、TSG3nO3、TSG3nO5 端子のインアクティブ変化 → TSG3nO2、TSG3nO4、TSG3nO6 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC0, 1 は以下の条件を満たすように設定してください。

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} + 1) < 3\text{FFFFH}$$

$$\text{TSG3nCMP0E} > 3 \times \text{TSG3nDTC0}$$

$$\text{TSG3nCMP0E} > 3 \times \text{TSG3nDTC1}$$

注 意

HSP-PWM モードでの動作中 (TSG3nTE = 1) に、TSG3nDTC0, 1 の設定を変更しないでください。TSG3nDTC0, 1 の設定は TSG3nTE = 0 のときに行ってください。

HSP-PWM モードでは、必ずデッドタイムを設定してください。TSG3nDTC0, 1 に 0 を設定しないでください。

HSP-PWM モード動作時の禁止設定

HSP-PWM モードでは、以下の制御レジスタ、ビットは、以下に示す設定でのみ使用してください。

また動作中 (TSG3nTE = 1) に設定を変更しないでください。

表 20.98 HSP-PWM モード動作時の禁止設定

ビット名称	設定値	機能
TSG3nCTL3.TSG3nRMC	0	リロードモードでのみ使用可能。
TSG3nIOC3.TSG3nTOL6~1	000000 _B	PWM のセット/クリア論理の反転設定禁止 (HSP-PWM モード制限)
TSG3nOPT0.TSG3nSOC	0	ソフトウェア制御機能への切り替え禁止
TSG3nOPT0.TSG3nSTE	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPOT	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSS	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nIDC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT1.TSG3nSPC2~0	000 _B	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nPAT0W	0000000 _H	120-DC モードの動作設定 (初期値)
TSG3nPAT1W	0000000 _H	120-DC モードの動作設定 (初期値)

注 意

HSP-PWM モードでは、TSG3nCMPmE (m = 1~12) へ直接設定は行わないでください。PWM 出力幅および PWM シフト幅は、TSG3nHSPCMUE/VE/WE と TSG3nHSPSHUE/VE/WE に設定してください。

20.4.7.8 HSP-PWM モードのコンペア設定

HSP-PWM モードでは、PWM の出力幅設定を TSG3nHSPCMUE、VE、WE で行います。

TSG3nHSPCMUE、VE、WE にライトすると、

- TSG3nCMP0E (PWM 周期設定)
- TSG3nDTC0 (デッドタイム設定 0)
- TSG3nDTC1 (デッドタイム設定 1)
- TSG3nHSPSHUE/VE/WE (PWM シフト幅設定)
- TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) への書き込み値

を元に TSG3 が演算を行い、TSG3nCMP1E-12E に高精度の PWM を実現する為の値を設定します。

以下に、コンペア設定の演算アルゴリズムを記載します。

表 20.99 HSP-PWM モードコンペア設定の演算アルゴリズム

HSPCMUE 設定値				CMP4E	CMP3E	CMP2E	CMP1E
HSPCMUE = 0				if (HSPSHUE=0) 0 else HSPCMUE - 1 + HSPSHUE	CMP0E+1	0	0
0	<	HSPCMUE	≤ DTC0 + DTC1	HSPCMUE - 1 + HSPSHUE	if (HSPSHUE = 0) CMP0E else HSPSHUE - 1	0	0
DTC0 + DTC1	<	HSPCMUE	≤ CMP0E	HSPCMUE - 1 + HSPSHUE	if (HSPSHUE = 0) CMP0E else HSPSHUE - 1	DTC0 - 1 + HSPSHUE	HSPCMUE - DTC1 - 1 + HSPSHUE
CMP0E	<	HSPCMUE	≤ CMP0E + DTC1 + 1	0	0	DTC0 - 1 + HSPSHUE	HSPCMUE - DTC1 - 1 + HSPSHUE
CMP0E + DTC1 + 1	<	HSPCMUE	< CMP0E + DTC0 + DTC1 + 1	0	0	DTC0 - 1 + HSPSHUE	HSPCMUE - CMP0E - DTC1 - 2 + HSPSHUE
HSPCMUE = CMP0E + DTC0 + DTC1 + 1				0	0	DTC0 - 1 + HSPSHUE	CMP0E + 1



の箇所は、演算結果が CMP0E より大きかった場合は、CMP0E + 1 を引く。

備 考

演算式中のレジスタ名は“TSG3n”を省略しています。

20.4.7.9 HSP-PWM モードのタイマ出力動作

TSG3nO1～6 の出力は、TSG3nCnTE と、それぞれ TSG3nCnMP2E、4E、6E、8E、10E、12E の一致でセットされます。

また TSG3nCnTE と、それぞれ TSG3nCnMP1E、3E、5E、7E、9E、11E の一致でクリアされます。

TSG3nHSPCMUE、VE、WE に PWM 出力幅を設定すると、「20.4.7.8 HSP-PWM モードのコンペア設定」に記載する演算式に基づいて TSG3nCnMP1E-12E レジスタに値が設定され、0～100%の高精度 PWM が出力可能になります。

さらに TSG3nHSPSHUE、VE、WE にシフト幅を設定することにより、PWM の出力タイミングを自由にシフトすることが可能です。

(1) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に 0 を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に 0 を設定すると、TSG3nCnMP1E、2E に 0 が設定され、TSG3nCnMP4E には 0、TSG3nCnMP3E には “TSG3nCnMP0E + 1” の値が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCnMP2E の一致によるセット、TSG3nCnTE と TSG3nCnMP1E の一致によるクリアが同時に発生しますが、クリアが優先されます。結果として TSG3nO1 はインアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCnMP4E の一致によるセットが発生し、TSG3nCnTE = 0 のタイミングでセットされます。TSG3nCnMP3E には TSG3nCnMP0E + 1 の値が設定されるため、TSG3nCnTE と TSG3nCnMP3E の一致は発生しません。結果として TSG3nO2 はアクティブ固定の出力となります。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に 0 を設定した場合、V 相、W 相の出力である TSG3nO3～6 も同様の動作となります。

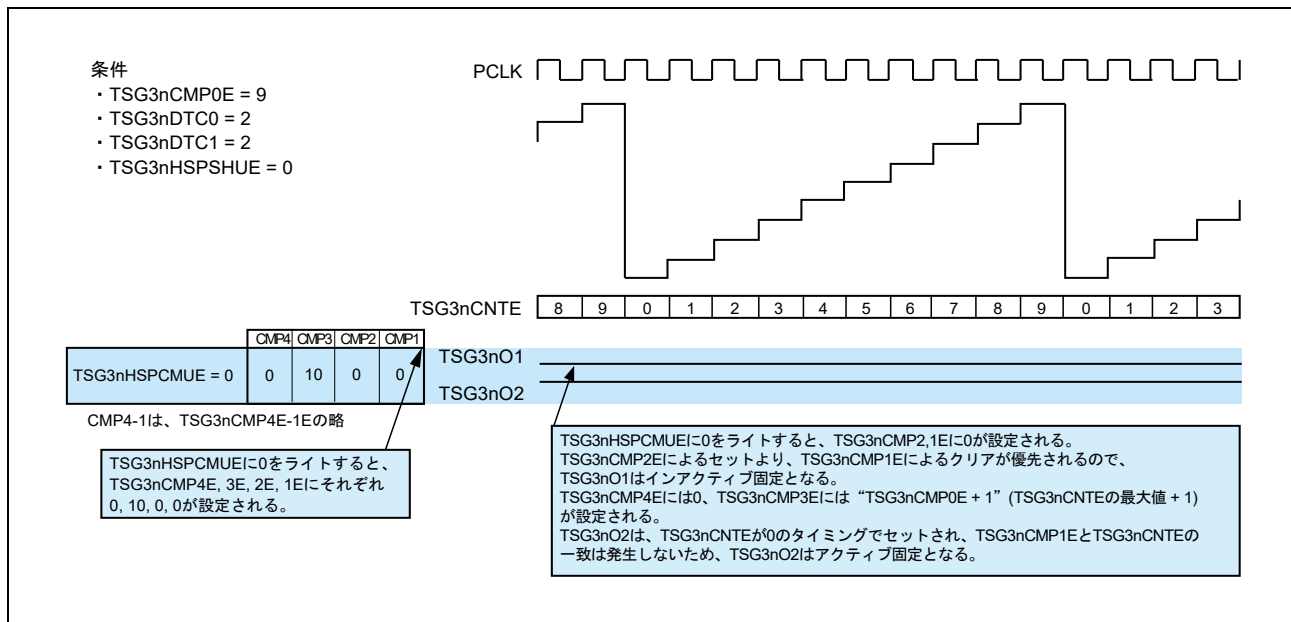


図 20.110 HSP-PWM モード波形 (TSG3nHSPCMUE に 0 設定)

(2) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “0 < TSG3nHSPCMUE ≤ TSG3nDTC0 + TSG3nDTC1” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると、TSG3nCMP1E、2E には 0、TSG3nCMP4E には “TSG3nHSPCMUE の設定値 - 1”、TSG3nCMP3E には “TSG3nCMP0E” の値が設定されます。

TSG3nO1 は、TSG3nCNTE と TSG3nCMP2E の一致によるセット、TSG3nCNTE と TSG3nCMP1E の一致によるクリアが同時に発生しますが、クリアが優先されます。結果として TSG3nO1 はインアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCNTE と TSG3nCMP3E の一致によりクリアされ、TSG3nCNTE と TSG3nCMP4E の一致によりセットされます。そのため、TSG3nHSPCMUE に 1 を設定すると PWM 周期中に 1 サイクルインアクティブ、TSG3nHSPCMUE に 2 を設定すると PWM 周期中に 2 サイクルインアクティブ、TSG3nHSPCMUE に 3 を設定すると PWM 周期中に 3 サイクルインアクティブ....というように遷移します。

TSG3nHSPSHUE (PWM シフト幅) に 0 以外を設定した場合、TSG3nO2 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3~6 も同様の動作となります。

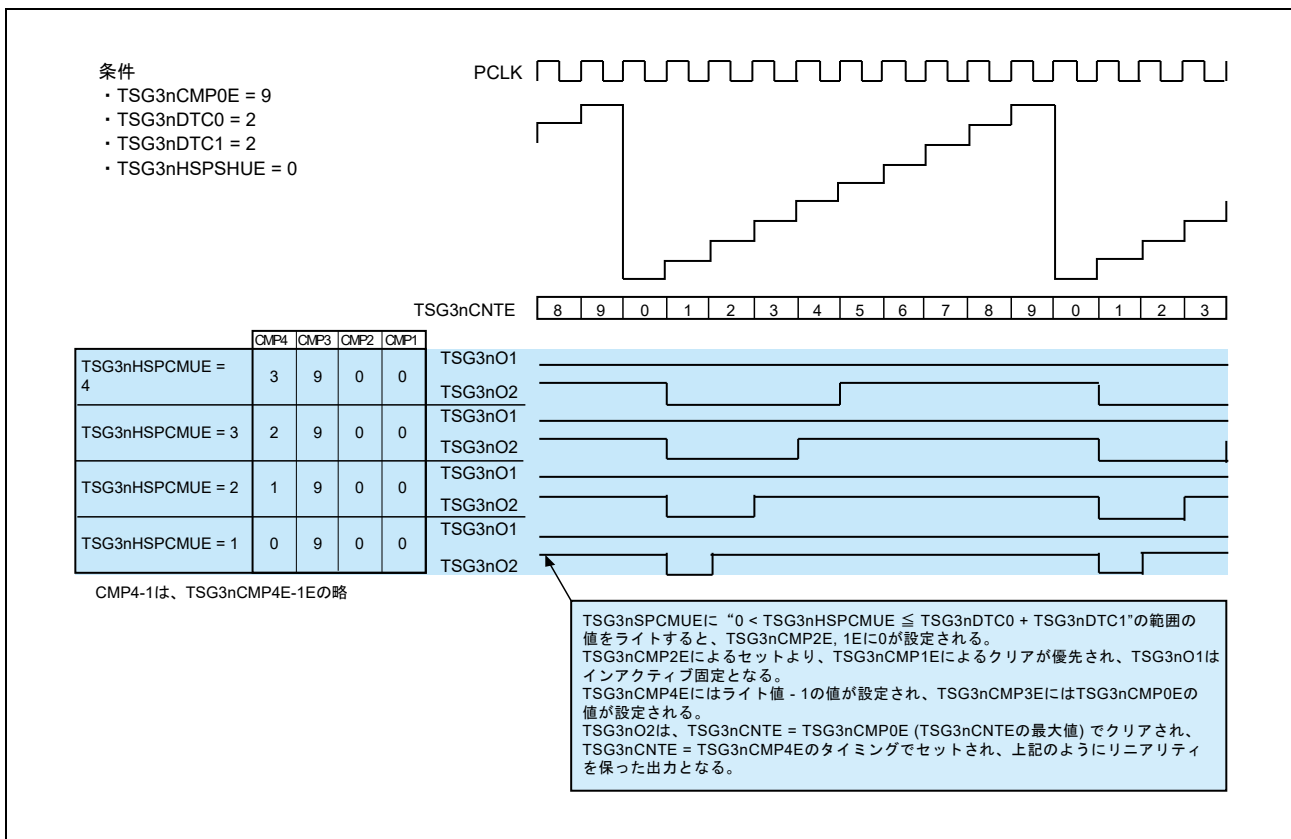


図 20.111 HSP-PWM モード波形 (TSG3nHSPCMUE に “0 < TSG3nHSPCMUE ≤ TSG3nDTC0 + TSG3nDTC1” の値を設定)

(3) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nDTC0 + TSG3nDTC1 <

TSG3nHSPCMUE/VE/WE ≤ TSG3nCMP0E” の範囲を設定したときの動作

TSG3nHSPCMUE に上記範囲の値を設定すると、TSG3nCMP2E には “TSG3nDTC0 - 1”、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nDTC1 - 1”、TSG3nCMP4E には “TSG3nHSPCMUE の設定値 - 1”、TSG3nCMP3E には “TSG3nCMP0E” の値が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP2E の一致によりセット、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によりセット、TSG3nCnTE と TSG3nCMP3E の一致によりクリアされます。

そのため、TSG3nHSPCMUE に TSG3nDTC0 + TSG3nDTC1 + 1 を設定すると、TSG3nO1 は PWM 周期に 1 サイクルアクティブ、TSG3nO2 は PWM 周期に “TSG3nDTC0 + TSG3nDTC1 + 1” サイクルインアクティブ。TSG3nHSPCMUE に TSG3nDTC0 + TSG3nDTC1 + 2 を設定すると、TSG3nO1 は PWM 周期に 2 サイクルアクティブ、TSG3nO2 は PWM 周期に “TSG3nDTC0 + TSG3nDTC1 + 2” サイクルインアクティブというように遷移します。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1、TSG3nO2 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3~6 も同様の動作となります。

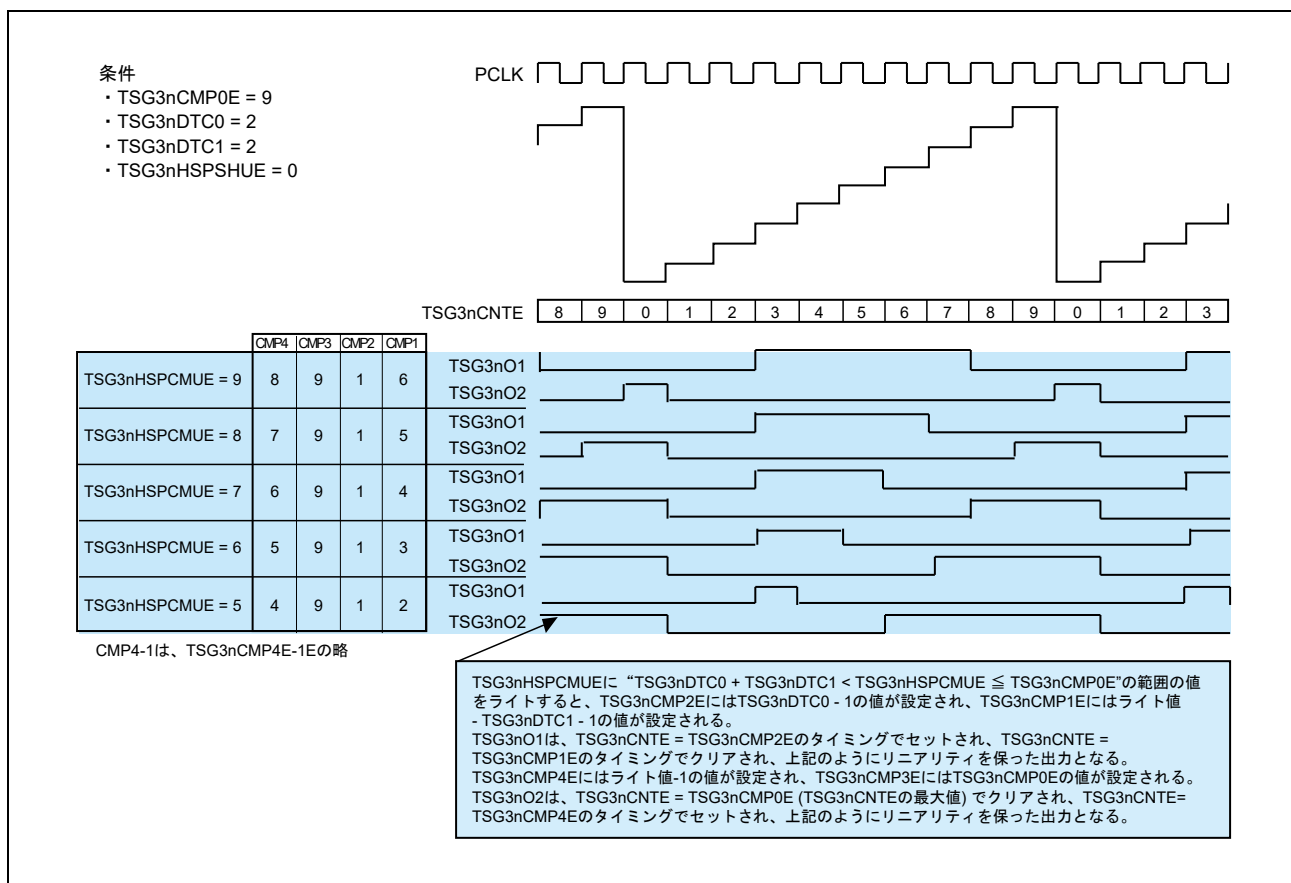


図 20.112 HSP-PWM モード波形 (TSG3nDTC0 + TSG3nDTC1 < TSG3nHSPCMUE ≤ TSG3nCMP0E の値を設定)

(4) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E < TSG3nHSPCMUE/VE/WE < TSG3nCMP0E + TSG3nDTC1 + 1” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると、TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nDTC1 - 1” の値が設定され、TSG3nCMP3E、4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP2E の一致によりセットされます。

そのため、TSG3nHSPCMUE (U 相 PWM 出力幅設定) に TSG3nCMP0E + 1 設定時は、PWM 周期中に TSG3nDTC0 + TSG3nDTC1 サイクルだけインアクティブ、TSG3nCMP0E + 2 設定時には PWM 周期中に TSG3nDTC0 + TSG3nDTC1 - 1 サイクルだけインアクティブというように遷移します。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3~6 も同様の動作となります。

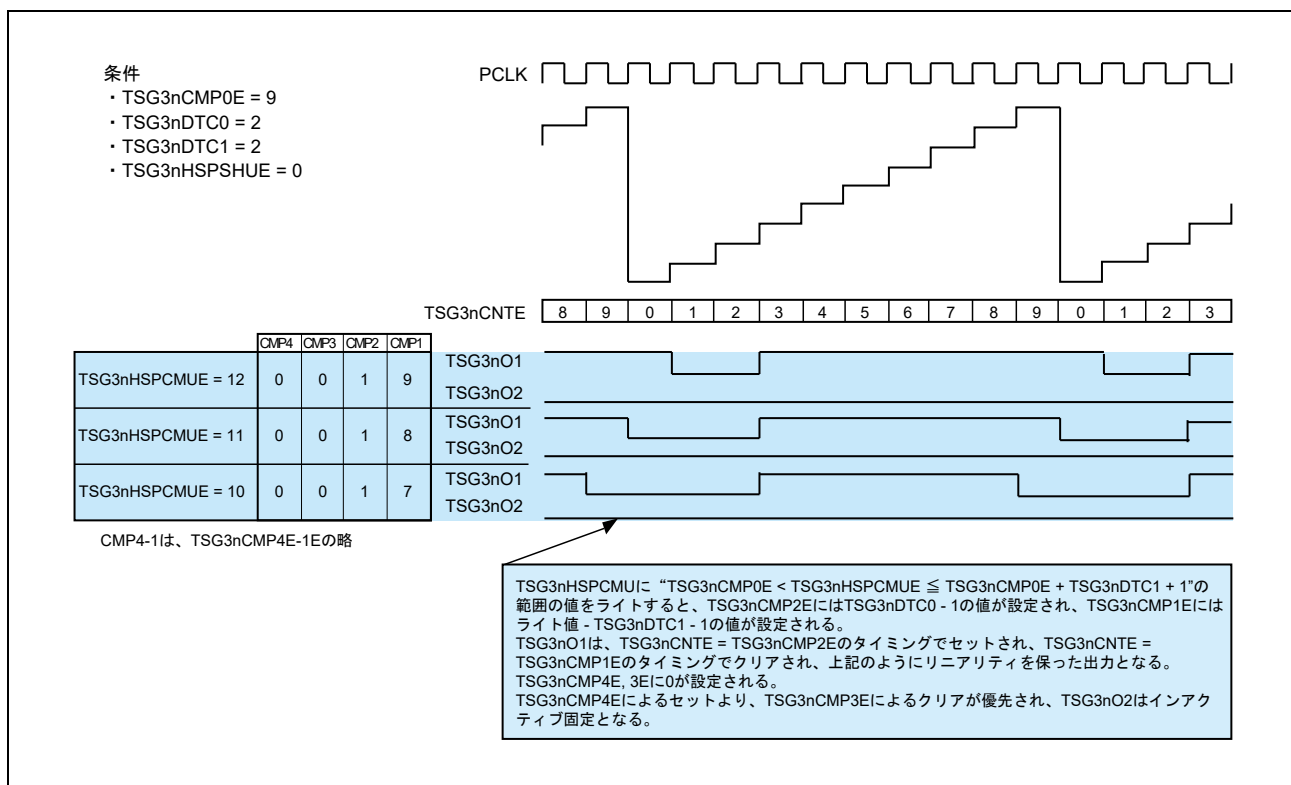


図 20.113 HSP-PWM モード波形
(TSG3nCMP0E < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC1 + 1 の値を設定)

(5) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC1 + 1 < TSG3nHSPCMUE/VE/WE < TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nCMP0E - TSG3nDTC1 - 2” の値が設定され、TSG3nCMP3E、4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP2E の一致によりセットされます。そのため、TSG3nHSPCMUE (U 相 PWM 出力幅設定) に TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 (PWM 出力幅の最大値 - 1) を設定時は、PWM 周期中に 1 サイクルインアクティブ、TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 - 1 (PWM 出力幅の最大値 - 2) を設定時は、PWM 周期中に 2 サイクルインアクティブというように波形を出力します。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3~6 も同様の動作となります。

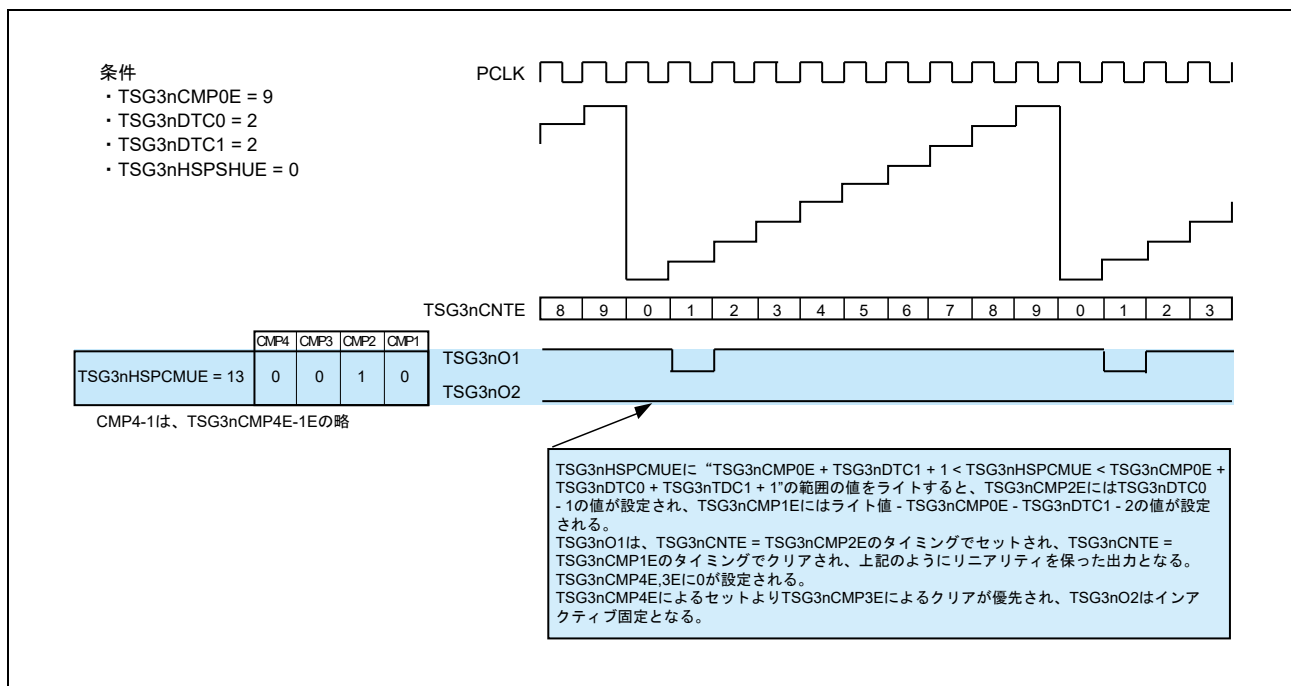


図 20.114 HSP-PWM モード波形 (TSG3nCMP0E + TSG3nDTC1 + 1 < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1 の値を設定)

(6) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” を設定したときの動作

TSG3nHSPCMUE に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 (PWM 出力幅の最大値)” を設定すると TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nCMP0E + 1” の値が設定され、TSG3nCMP3E、4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP2E の一致によるセットが発生し、 $TSG3nCnTE = TSG3nDTC0 - 1$ のタイミングでセットされます。

TSG3nCMP3E には TSG3nCMP0E + 1 の値が設定されるため、TSG3nCnTE と TSG3nCMP3E の一致は発生しません。その結果 TSG3nO1 はアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセットタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。(ただし、TSG3nO1 はアクティブ固定の出力のため、動作開始時 (TSG3nTE = 0 → 1) のみセットタイミングがシフトすることになります。動作開始時の動作は「(8) HSP-PWM モードの動作開始時の TO 動作」を参照してください。)

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” を設定した場合、V 相、W 相の出力である TSG3nO3~6 も同様の動作となります。

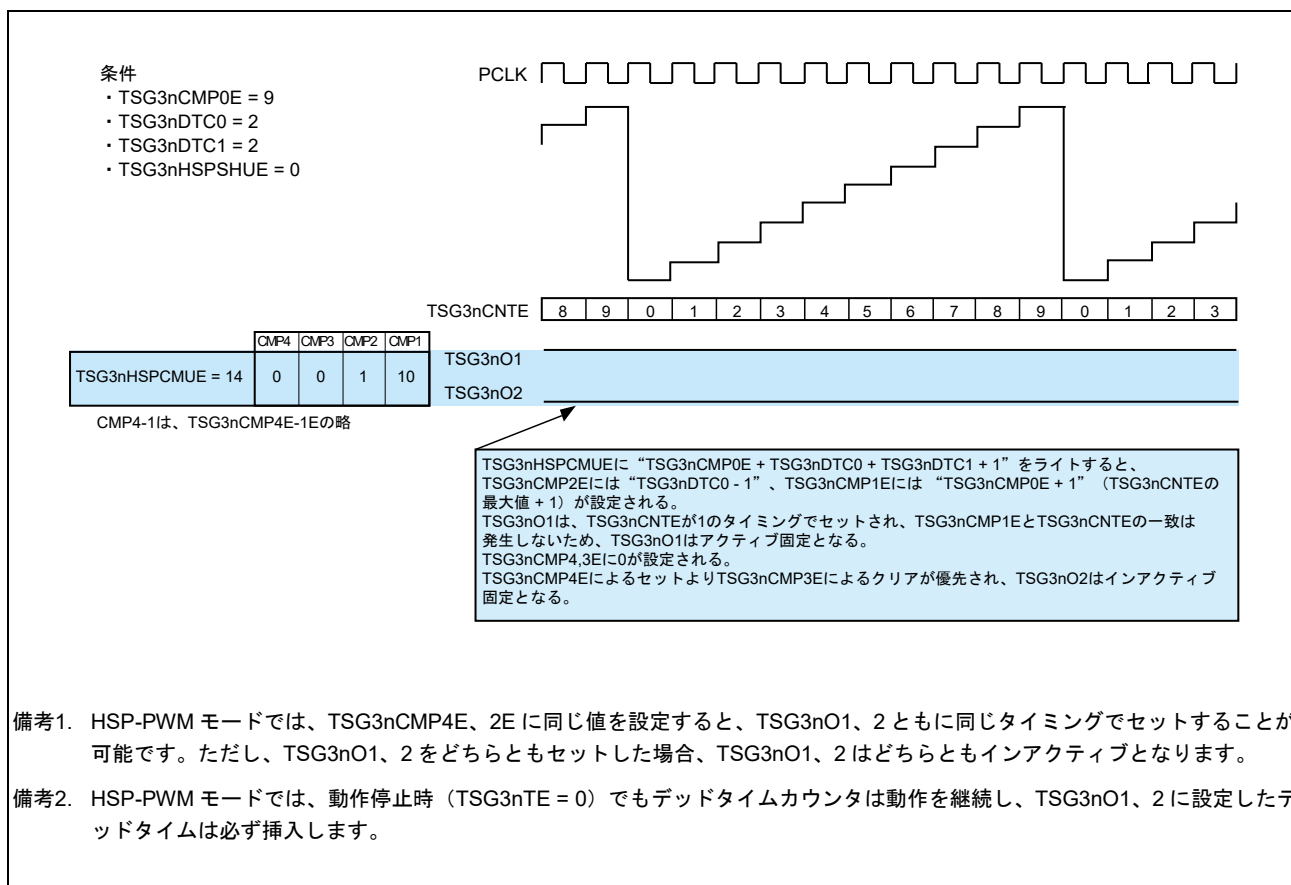


図 20.115 HSP-PWM モード波形

(TSG3nHSPCMUE に TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1 の値を設定)

(7) HSP-PWM モードのリロード時の PWM 補正動作

HSP-PWM モードでは、動作中に TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) を変更するとリロードタイミングで、TSG3nO1~6 をセット/クリアし、即座に新しい PWM 出力幅設定に応じた出力に切り替える補正動作を行います。

リロード時の補正動作では、以下の演算式にしたがいリロードタイミングで TSG3nO1~6 を強制的にセット/クリアします。

リロード補正動作時にも、TSG3nDTC0,1 に設定したデッドタイムは TSG3nO1~6 に必ず挿入されます。

なお TSG3nCMP1E-12E に直接ライトした場合には、リロード時の補正動作は行いません。

リロード補正動作の演算式

表 20.100 リロード補正動作の演算式 : TSG3nHSPSHUE/VE/WE = 0 (PWM シフト幅設定が 0) のとき

端子	セット	クリア
TSG3nO1/3/5	$CMP0E + DTC1 + 1 < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq CMP0E + DTC1 + 1$
TSG3nO2/4/6	$HSPCMUE/VE/WE = 0$	$0 < HSPCMUE/VE/WE$

表 20.101 リロード補正動作の演算式 : TSG3nHSPSHUE/VE/WE が 0 以外 (PWM シフト幅設定が 0 以外) のとき

端子	セット	クリア
TSG3nO1/3/5	(i) $CMP0E + DTC1 + 1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq CMP0E + DTC1 + 1 - HSPSHUE/VE/WE$
	(ii) $(CMP0E + 1) \times 2 + DTC1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq (CMP0E + 1) \times 2 + DTC1 - HSPSHUE/VE/WE$
TSG3nO2/4/6	$HSPCMUE/VE/WE \leq CMP0E + 1 - HSPSHUE/VE/WE$	$CMP0E + 1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$

PWM シフト幅設定が 0 以外のときは、シフト幅が「 $CMP0E + DTC0 - 1$ 」より大きいかどうかで、正相のセット/クリア条件が異なります。

(i) $HSPSHUE/VE/WE \leq CMP0E - DTC0 + 1$

(ii) $HSPSHUE/VE/WE > CMP0E - DTC0 + 1$

演算式中のレジスタ名は“TSG3n”を省略しています。

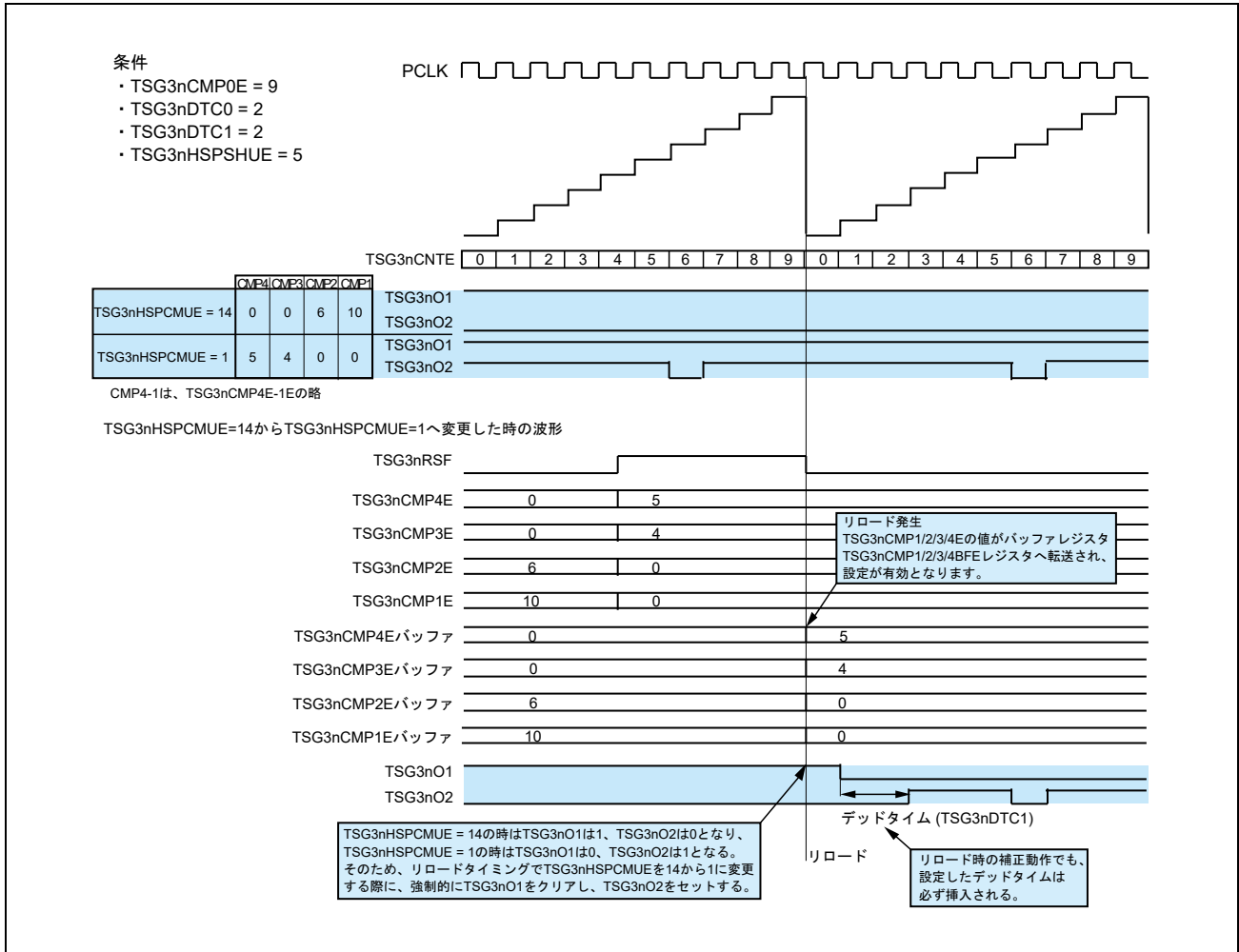


図 20.116 リロード補正詳細タイミング図 (TSG3nHSPCMUE = 14 から TSG3nHSPCMUE = 1 への変更)

(8) HSP-PWM モードの動作開始時の TO 動作

HSP-PWM モードでは動作開始時に TSG3nO1~6 をクリアします。

その後、TSG3nCnTE のカウントアップ動作に合わせて、TSG3nHSPCMUE/VE/WE (TSG3nCnMP1E - 12E)に設定した値に応じて、TSG3nO1~6 はセット/クリアされます。

動作開始前に TSG3nO1~6 がセットされた状態で、動作開始時にクリア、その後、TSG3nO1~6 がセットされた時も、設定したデッドタイムは必ず挿入されます。

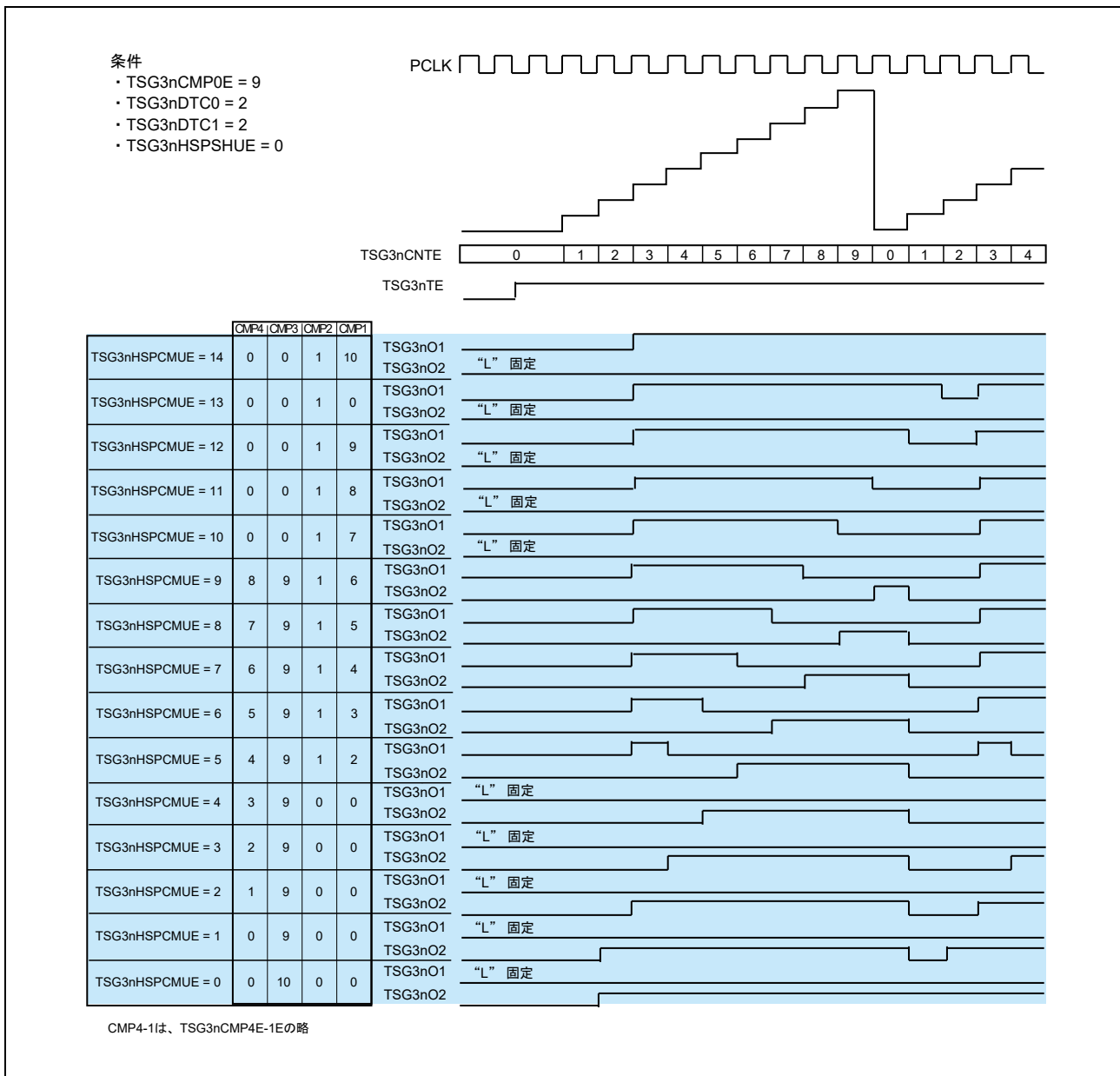


図 20.117 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 0 (シフト 0 設定))

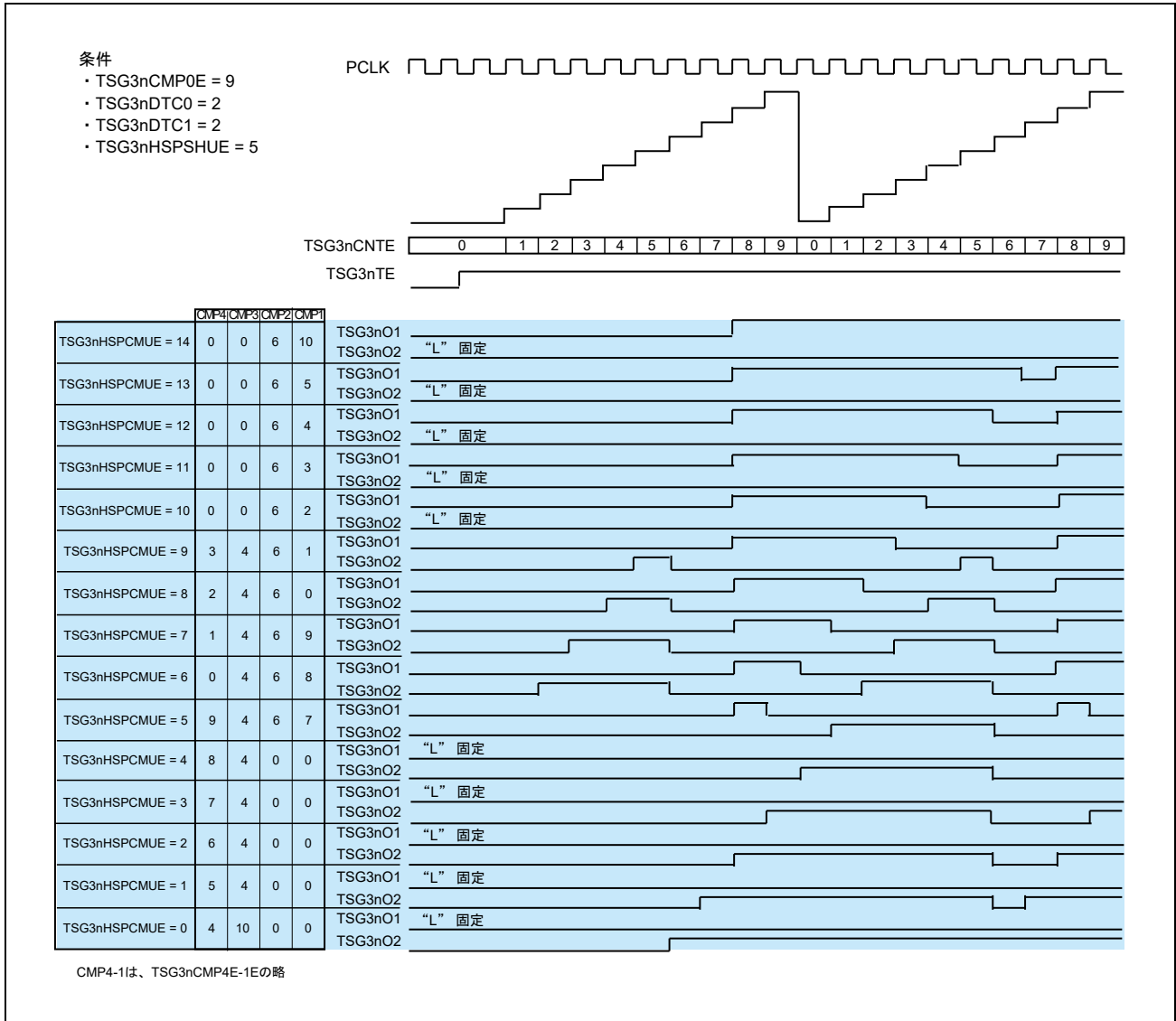


図 20.118 HSP-PWM モードの動作開始時のタイミング図
(TSG3nHSPSHUE = 5 (シフト 5 クロックサイクル設定))

20.4.7.10 ソフトウェア出力制御機能

HSP-PWM モード以外でソフトウェア出力制御機能を使用することができます。この機能は、TSG3nOPT0.TSG3nSOC、TSG3nIDC、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して TSG3nO1-TSG3nO6 端子に 6 パタンの出力をソフトウェアで切り替えられる機能です。

TSG3nSOC = 0 から TSG3nSOC = 1 に切り替えると、TSG3nO1-TSG3nO6 端子が即時にソフトウェア出力制御に切り替わります。逆に TSG3nSOC = 1 から TSG3nSOC = 0 に切り替えた場合は、リロードタイミングでソフトウェア出力制御が解除されます。

表 20.102 ソフトウェア出力制御機能に関するレジスタ説明

レジスタ	動作
TSG3nOPT0.TSG3nSOC	TSG3nSOC = 1
TSG3nOPT0.TSG3nSTE	TSG3nSTE = 0
TSG3nOPT1.TSG3nSPC2-TSG3nSPC0	次の表 20.103、表 20.104 に示す出力パターンを設定する
TSG3nOPT0.TSG3nIDC	出力するパターン（電流方向）を設定する

表 20.103 ソフトウェア出力制御の出力パターン (TSG3nOPT0.TSG3nIDC = 0)

TSG3nOPT0.TSG3nSOC = 1, TSG3nSTE = 0, TSG3nIDC = 0

出力端子	TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG3nO2	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG3nO3	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG3nO4	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG3nO5	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT
TSG3nO6	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT

備考 ACT : アクティブレベルを出力することを示します。

INACT : インアクティブレベルを出力することを示します。

表 20.104 ソフトウェア出力制御の出力パターン (TSG3nOPT0.TSG3nIDC = 1)

TSG3nOPT0.TSG3nSOC = 1, TSG3nSTE = 0, TSG3nIDC = 1

出力端子	TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG3nO2	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG3nO3	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG3nO4	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG3nO5	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT
TSG3nO6	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT

備考 ACT : アクティブレベルを出力することを示します。

INACT : インアクティブレベルを出力することを示します。

第21章 タイマオプション (TAPA)

本章では、タイマオプション (TAPA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特性について説明します。それ以降の節では、TAPA の機能、レジスタについて説明します。

21.1 RH850/C1M-A TAPA の特長

21.1.1 ユニット数

本製品は以下のユニット数の TAPA を搭載しています。

表 21.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	6	4
名称	TAPAn (n = 0~5)	TAPAn (n = 0, 1, 3, 4)

表 21.2 添字

添字	意味
n	本章では、TAPA の各ユニットを「n」 (n = 0~5) で識別します。たとえば、TAPAn フラグレジスタは TAPAnFLG と記述します。

21.1.2 レジスタベースアドレス

TAPA のベースアドレスを以下の表に示します。

TAPA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAPA0_base>	FFE9 0000 _H
<TAPA1_base>	FF89 1000 _H
<TAPA2_base>	FFE9 2000 _H
<TAPA3_base>	FFE9 3000 _H
<TAPA4_base>	FF89 4000 _H
<TAPA5_base>	FFE9 5000 _H

21.1.3 クロック供給

TAPA のクロック供給を以下の表に示します。

表 21.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAPAn	PCLK	CLKC_HSB (非変調高速周辺クロック)

21.1.4 割り込み要求

TAPA の割り込み要求を以下の表に示します。

表 21.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
TAPA0						
TAPA0TIPEK0	TAPA0 の山割り込み	176	—	89	—	89
TAPA0TIVLY0	TAPA0 の谷割り込み	177	—	90	—	90
TAPA1						
TAPA1TIPEK0	TAPA1 の山割り込み	178	—	93	—	93
TAPA1TIVLY0	TAPA1 の谷割り込み	179	—	94	—	94
TAPA2 ^{注 2}						
TAPA2TIPEK0	TAPA2 の山割り込み	180	—	97	—	97
TAPA2TIVLY0	TAPA2 の谷割り込み	181	—	98	—	98

備考 — : 割り当てなし

注 1. 1st : Primary Channel 、 2nd : Secondary Channel

注 2. TAPA2 は RH850/C1M-A1 では対応していません。

21.1.5 リセット要因

TAPA のリセット要因を以下に示します。TAPA は以下のリセット要因で初期化されます。

表 21.6 リセット要因

ユニット名	リセット要因
TAPAn	すべてのリセット要因

21.1.6 周辺構成図

TAPA の周辺構成図を以下に示します。

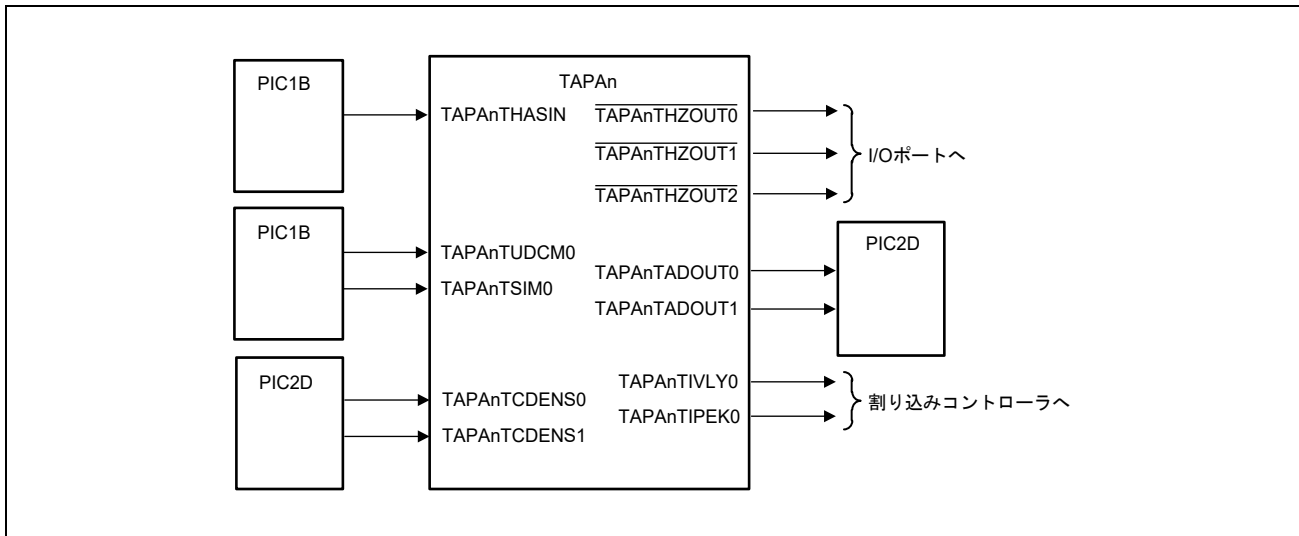


図 21.1 TAPA の周辺構成図

TAPA の周辺構成図を説明します。

- TAPAnTHASIN : Hi-Z 制御 非同期入力信号

PIC1B 内で選択した要因で Hi-Z 制御を行うことができます。

PIC1B 内で選択できる要因は、「[24.2.3.16 Hi-Z 制御機能](#)」を参照してください。

- TAPAnTUDCM0 : TAUD マスタチャンネルアップダウン入力
- TAPAnTSIM0 : TAUD マスタチャンネル INT 入力

PIC1B 内で選択した TAUD_n チャンネルで山割り込み、谷割り込みを生成することができます。

PIC1B 内で選択できる TAUD_n チャンネルは、「[24.2.2.34 PIC1BREG200 — タイマ入出力制御レジスタ 200](#)」、「[24.2.2.35 PIC1BREG210 — タイマ入出力制御レジスタ 210](#)」を参照してください。

本接続は TAPA0、TAPA1、TAPA2 のみ存在します。

- TAPAnTCDENS0、TAPAnTCDENS1 : TAUD スレーブチャンネル一致検出入力

PIC2D 内で選択した TAUD_n チャンネル割り込みで AD 変換トリガ出力 1-0 (TAPAnTADOUT1-0) を生成することができます。PIC 内で選択できる TAUD_n チャンネル割り込みは、「[24.3.3.2 TAUD トリガ出力機能](#)」を参照してください。

本接続は TAPA0、TAPA1、TAPA2 のみ存在します。

- TAPAnTADOUT1-0 : A/D 変換トリガ出力 1-0

TAPAn で生成した A/D コンバータ変換トリガ信号を PIC2D へ出力します。PIC2D 内のレジスタ設定により、A/D コンバータ変換のトリガとして使用できます。

PIC2D 内のレジスタ仕様は、「[24.3.3.1 ADCC トリガ選択機能](#)」を参照してください。

本接続は TAPA0、TAPA1、TAPA2 のみ存在します。

21.2 概要

21.2.1 機能概要

タイマオプション (TAPA) を、タイマアレユニット D (TAUD)、TSG3 機能と組み合わせて使用します。

- TAPA 入力信号により、TAUD、TSG3 出力を個別に非同期 Hi-Z 制御
- TAUD が出力する INT_n 信号を基に山割り込み、谷割り込み要求信号を出力可能
- TAUD が出力する INT_n 信号を基に A/D コンバータ変換トリガ信号を 2 本出力可能

21.2.2 用語

この章で使用される用語について説明します。

「山」と「谷」、「山割り込み」と「谷割り込み」

TAUD の Down ステータス (カウントダウンステータス) 期間から、マスタチャンネルの INT 発生までを「谷」期間とし、発生するマスタチャンネルの INT を「谷割り込み」 (INT-VLY) と定義します。

また、TAUD の Up ステータス (カウントアップステータス) 期間から、マスタチャンネルの INT 発生までを「山」期間とし、発生するマスタチャンネルの INT を「山割り込み」 (INT-PEK) と定義します。

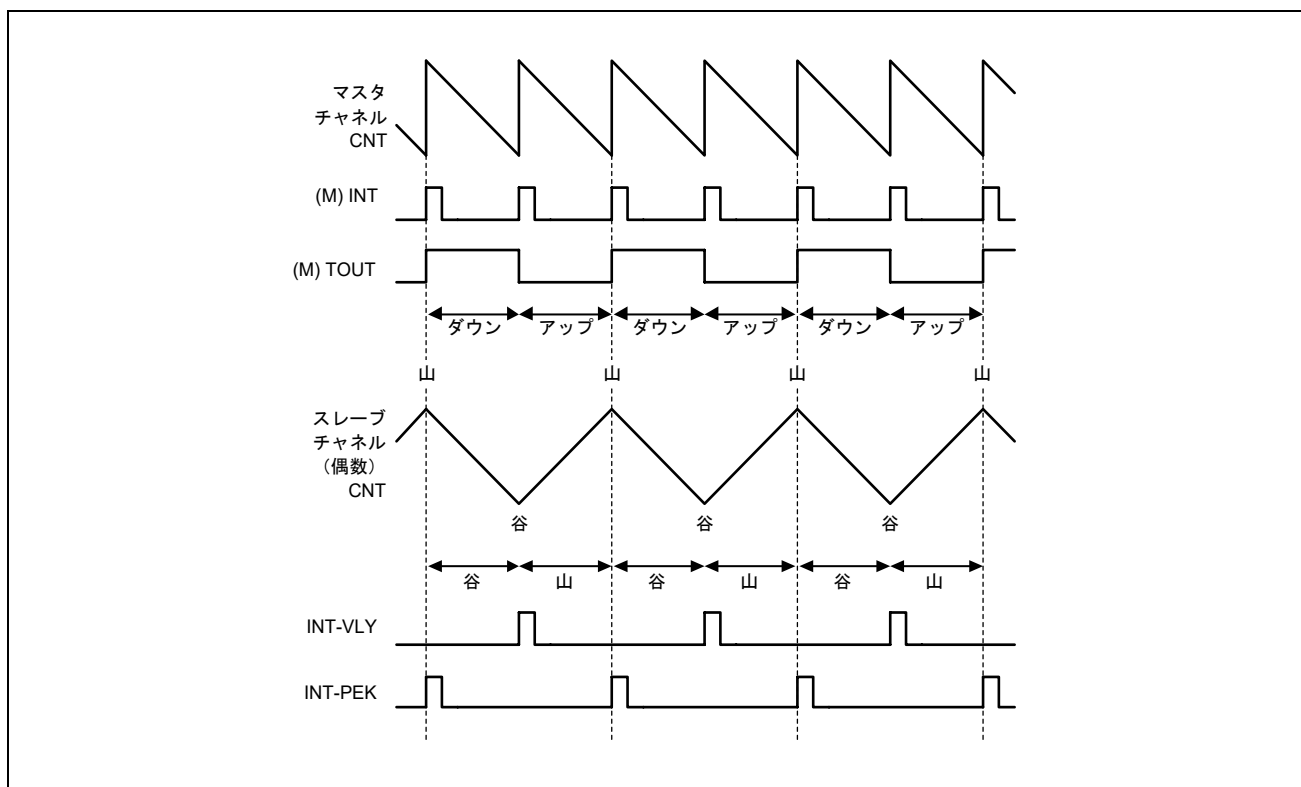


図 21.2 タイマカウンタの「山」と「谷」、「山割り込み」と「谷割り込み」について

21.2.3 ブロック図

TAPA の主な構成要素を次のブロック図に示します。

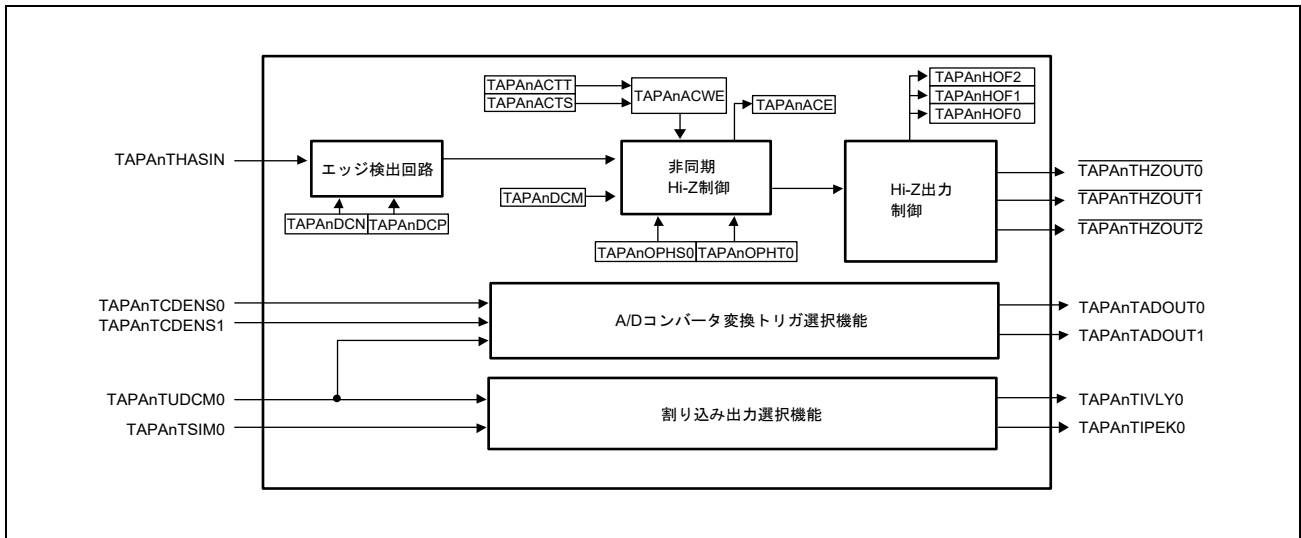


図 21.3 TAPA のブロック図

21.3 レジスタ

21.3.1 レジスタ一覧

TAPAn のレジスタ一覧を以下の表に示します。

<TAPAn_base>は「**21.1.2 レジスタベースアドレス**」を参照してください。

表 21.7 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAPAn	TAPAn 制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20 _H
TAPAn	TAPAn 制御レジスタ 1 注 1	TAPAnCTL1	<TAPAn_base> + 24 _H
TAPAn	TAPAn フラグレジスタ	TAPAnFLG	<TAPAn_base> + 00 _H
TAPAn	TAPAn 非同期制御ライトイネーブルレジスタ	TAPAnACWE	<TAPAn_base> + 04 _H
TAPAn	TAPAn 非同期制御スタートトリガレジスタ	TAPAnACTS	<TAPAn_base> + 08 _H
TAPAn	TAPAn 非同期制御ストップトリガレジスタ	TAPAnACTT	<TAPAn_base> + 0C _H
TAPAn	TAPAn Hi-Z スタートトリガレジスタ	TAPAnOPHS	<TAPAn_base> + 14 _H
TAPAn	TAPAn Hi-Z ストップトリガレジスタ	TAPAnOPHT	<TAPAn_base> + 18 _H

注 1. TAPAnCTL1 は、TAPAn (n = 0、1、2) のときのみ有効です。

21.3.2 TAPAnCTL0 — TAPAn 制御レジスタ 0

Hi-Z 制御用の制御レジスタ 0 です。

このレジスタの値は、以下の場合のみ書き換えることができます。

- TAPAn (n = 0, 1, 2) のとき、TAPAnFLG.TAPAnACE = 0、かつ対応する TAUDn のマスタチャンネルにて TAUDnTEm = 0 (m = 10~15) となる場合
- TAPAn (n = 3, 4, 5) のとき、TAPAnFLG.TAPAnACE = 0 となる場合

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 21.8 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
15~5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0 : TAPAnTHASIN 信号入力に関係なく、TAPAnOPHT0 の操作を有効 1 : TAPAnTHASIN 信号入力が入力レベルの場合、TAPAnOPHT0 の操作を無効 TAPAnTHASIN 信号入力が入力レベルの場合、TAPAnOPHT0 操作を有効															
3, 2	TAPAnDCN、 TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPAnTHASIN の有効エッジを指定する制御ビットです。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>TAPAnDCN</th> <th>TAPAnDCP</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>有効エッジを検出しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAPAnDCN	TAPAnDCP	動作説明	0	0	有効エッジを検出しない	0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)	1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)	1	1	設定禁止
TAPAnDCN	TAPAnDCP	動作説明															
0	0	有効エッジを検出しない															
0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)															
1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)															
1	1	設定禁止															
1, 0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															

21.3.3 TAPAnCTL1 — TAPAn 制御レジスタ 1

TAPAn 制御レジスタ 1 です。

n = 0、1、2 のときのみ有効です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 24_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAPAnATS3	TAPAnATS2	TAPAnATS1	TAPAnATS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.9 TAPAnCTL1 レジスタの内容

ビット位置	ビット名	機能															
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。															
3、2	TAPAnATS3、 TAPAnATS2	AD トリガ 1 選択ビット AD 変換トリガ出力 1 (TAPAnTADOUT1)からの信号出力を指定する制御ビットです。 <table border="1"> <thead> <tr> <th>TAPA0ATS3</th> <th>TAPA0ATS2</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>マスタチャンネルが Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>マスタチャンネルが Up ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します</td> </tr> </tbody> </table>	TAPA0ATS3	TAPA0ATS2	動作説明	0	0	マスタチャンネルが Down ステータスにいる間、INT を出力	0	1	マスタチャンネルが Up ステータスにいる間、INT を出力	1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力	1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します
TAPA0ATS3	TAPA0ATS2	動作説明															
0	0	マスタチャンネルが Down ステータスにいる間、INT を出力															
0	1	マスタチャンネルが Up ステータスにいる間、INT を出力															
1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力															
1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します															
1、0	TAPAnATS1、 TAPAnATS0	AD トリガ 0 選択ビット AD 変換トリガ出力 0 (TAPAnTADOUT0)からの信号出力を指定する制御ビットです。 <table border="1"> <thead> <tr> <th>TAPA0ATS1</th> <th>TAPA0ATS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>マスタチャンネルが Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>マスタチャンネルが Up ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT を出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します</td> </tr> </tbody> </table>	TAPA0ATS1	TAPA0ATS0	動作説明	0	0	マスタチャンネルが Down ステータスにいる間、INT を出力	0	1	マスタチャンネルが Up ステータスにいる間、INT を出力	1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力	1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します
TAPA0ATS1	TAPA0ATS0	動作説明															
0	0	マスタチャンネルが Down ステータスにいる間、INT を出力															
0	1	マスタチャンネルが Up ステータスにいる間、INT を出力															
1	0	マスタチャンネルが Up/Down ステータスにいる間、INT を出力															
1	1	マスタチャンネルが Up/Down ステータスにいる間、INT とマスタチャンネルの谷割り込み (TAPAnTIVLY0) を出力します															

21.3.4 TAPAnFLG — TAPAn フラグレジスタ

Hi-Z を制御するフラグレジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	—	—	—	—	—	—	—	TAPAn ACE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.10 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
15~11	予約ビット	リードした場合はリセット後の値が読めます。
10~8	TAPAnHOFm	TAPAnTHZOUTm 出力モニタビット (m = 0、1、2) TAPAnTHZOUTm の出力モニタビットです。 0: TAPAnTHZOUTm の現在の出力がハイレベル 1: TAPAnTHZOUTm の現在の出力がロウレベル ^{注 1}
7~1	予約ビット	リードした場合はリセット後の値が読めます。
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 非同期 Hi-Z 制御の状態を示すビットです。 0: 非同期 Hi-Z 制御が停止状態 1: 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件: TAPAnACWE = 1 時の TAPAnACTT への “1” 書き込み セット条件: TAPAnACWE = 1 時の TAPAnACTS への “1” 書き込み

注 1. TAPAnHOFm (m = 1、2) は、TAPAn (n = 0、1、2) のときに有効です

21.3.5 TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.11 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1” に書き込み後、TAPAnACTS または TAPAnACTT に “1” を書き込むことによって、自動的に “0” にクリアされます。 0: TAPAnACTS と TAPAnACTT への書き込み禁止 1: TAPAnACTS と TAPAnACTT への書き込み許可

21.3.6 TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8ビット単位でライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.12 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTS	非同期制御スタートトリガビット 非同期 Hi-Z 制御用のイネーブルスタートトリガビットです。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0: “0” 書き込みは、機能として意味を持ちません。 1: TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を許可

21.3.7 TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ

非同期 Hi-Z 制御用のイネーブルストップトリガレジスタです。

アクセス 8 ビット単位でライト可能です。読み出し値は常に 00_Hとなります。

アドレス <TAPAn_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.13 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTT	非同期制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0 : “0” 書き込みは、機能として意味を持ちません。 1 : TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を停止

21.3.8 TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ

Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ ^{注1})) のスタートトリガを設定します。

注1. $m = 1, 2$ の場合、TAPAn ($n = 3, 4, 5$) では対応していません。

アクセス 8 ビット単位でライト可能です。読み出し値は常に 00_Hとなります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.14 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHS0	Hi-Z 制御信号のスタートトリガ 0 ビット Hi-Z 制御信号のスタートトリガを設定します。 0 : 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1 : Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ ^{注1})) をロウレベルに設定

21.3.9 TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ

Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ ^{注1)}) のストップトリガを設定します。

注1. $m = 1, 2$ の場合、TAPAn ($n = 3, 4, 5$) では対応していません。

アクセス 8 ビット単位でライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.15 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHT0	Hi-Z 制御信号のストップトリガ 0 ビット Hi-Z 制御信号のストップトリガを設定します。 0 : 読み出し値は常に 0 になり、0 の書き込みは無視されます。 1 : Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m = 0 \sim 2$ ^{注1)}) をハイレベルに設定

21.4 機能

21.4.1 非同期 Hi-Z 制御機能

CPU によって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPU による制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態にします。

21.4.1.1 概要

- Hi-Z は次の方法で制御することができます。
 - TAPA 入力信号 (TAPAnTHASIN) に対応した非同期 Hi-Z 制御 TAPAn (n = 0、1、2) のときは、TAPAnTHZOUT0 (U 相)、TAPAnTHZOUT1 (V 相)、TAPAnTHZOUT2 (W 相) の Hi-Z 制御出力信号で非同期に制御します。
 - TAPAn (n = 3、4、5) のときは、TAPAnTHZOUT0 の Hi-Z 制御出力信号で非同期に制御します。

表 21.16 非同期 Hi-z 制御の機能と動作

機能	動作
TAPA 入力信号 (TAPAnTHASIN) に対応した非同期 Hi-Z 制御	非同期 Hi-Z 制御により、タイマ機能 (TAUD 機能、TSG3 機能) からの出力を強制的に Hi-Z 状態にする機能です。 TAPAnTHASIN がアクティブレベルの間、ソフトウェアが停止要求を送るまで、デバイスのポート出力を Hi-Z 状態にします (TAPAnCTL0.TAPAnDCM = 0 の場合)。

備 考

対象のタイマ出力端子は以下になります。

- TAPAn (n = 0, 1, 2)
 - TAPAnTHZOUT0 (U 相) : TAPAnUP, TAPAnUN
 - TAPAnTHZOUT1 (V 相) : TAPAnVP, TAPAnVN
 - TAPAnTHZOUT2 (W 相) : TAPAnWP, TAPAnWN
- TAPAn (n = 3)
 - TAPAnTHZOUT0 : TSG30O1~O6
- TAPAn (n = 4)
 - TAPAnTHZOUT0 : TSG31O1~O6
- TAPAn (n = 5)
 - TAPAnTHZOUT0 : TSG32O1~O6

注 意

TAUD3 からの出力を強制的に Hi-Z 状態にする機能は存在しません。構成に関しては「24.2.3.16 Hi-Z 制御機能」を参照してください。

21.4.1.2 システム構成例

この機能は、外部エラー検出信号の有効エッジを検出すると、割り込みが発生し、同時にモータドライブ信号出力が Hi-Z になります。

エラー発生時にマイコンも暴走している可能性があることを想定し、外部のエラー検出信号を継続的に処理することによってクロックがない状態でも、モータドライブ信号出力を Hi-Z にできるようにしています。

なお、エラー検出信号のエッジを検出したときのみエラーを検出し、出力レベルが固定されている（信号にエッジがない）場合、エラーは検出されません。

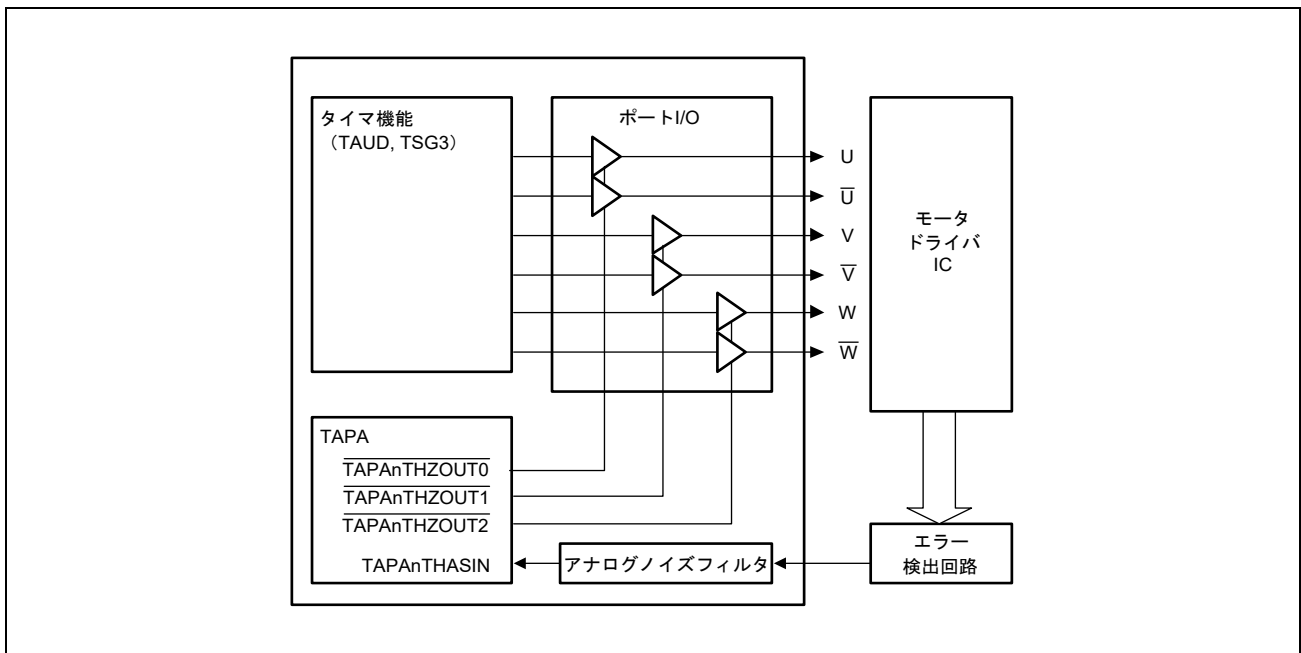


図 21.4 端子入力に対応した非同期 Hi-Z 制御のシステム構成例

21.4.1.3 基本動作

設定例を下記に示します。

TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPAnTHASIN) の有効エッジを検出すると、 $\overline{\text{TAPAnTHZOUT0}}$ がロウレベルになります。

$\overline{\text{TAPAnTHZOUT0}}$ がロウレベルの間、強制的に出力を停止 (ポート制御による出力 Hi-Z) します。

TAPAnTHASIN のレベルに関係なく、TAPAn Hi-Z ストップトリガレジスタのビット 0 (TAPAnOPHT0) に “1” を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ がハイレベルになります。

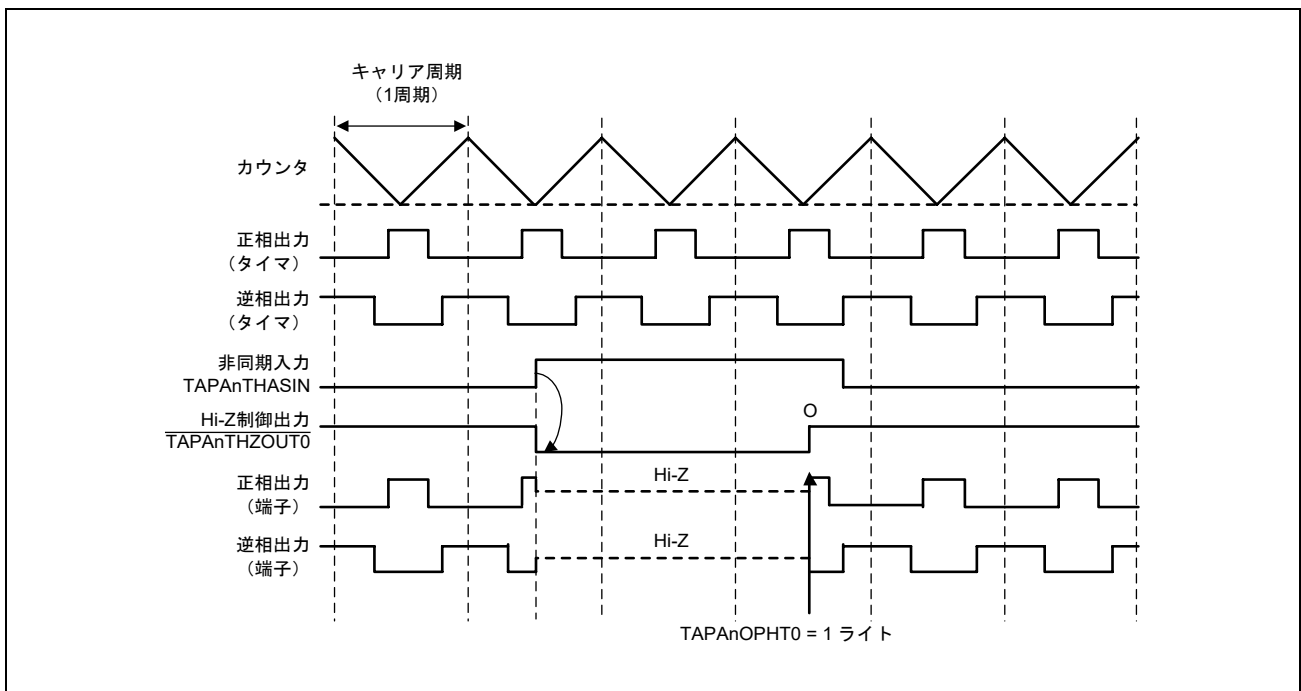


図 21.5 TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時の $\overline{\text{TAPAnTHZOUT0}}$ の動作

TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPAnTHASIN) の有効エッジを検出すると、 $\overline{\text{TAPAnTHZOUT0}}$ がロウレベルになります。

$\overline{\text{TAPAnTHZOUT0}}$ がロウレベルの間、強制的に出力を停止 (ポート制御による出力 Hi-Z) します。

非同期入力 (TAPAnTHASIN) がアクティブレベル (TAPAnDCP = 1 のため、ハイレベル) の間、Hi-Z ストップトリガ 0 (TAPAnOPHT0) への “1” 書き込みは無視されます。

非同期入力 (TAPAnTHASIN) がインアクティブ (TAPAnDCP = 1 のため、ロウレベル) レベルとなったあと、Hi-Z ストップトリガ 0 (TAPAnOPHT0) に “1” を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ がハイレベルになります。

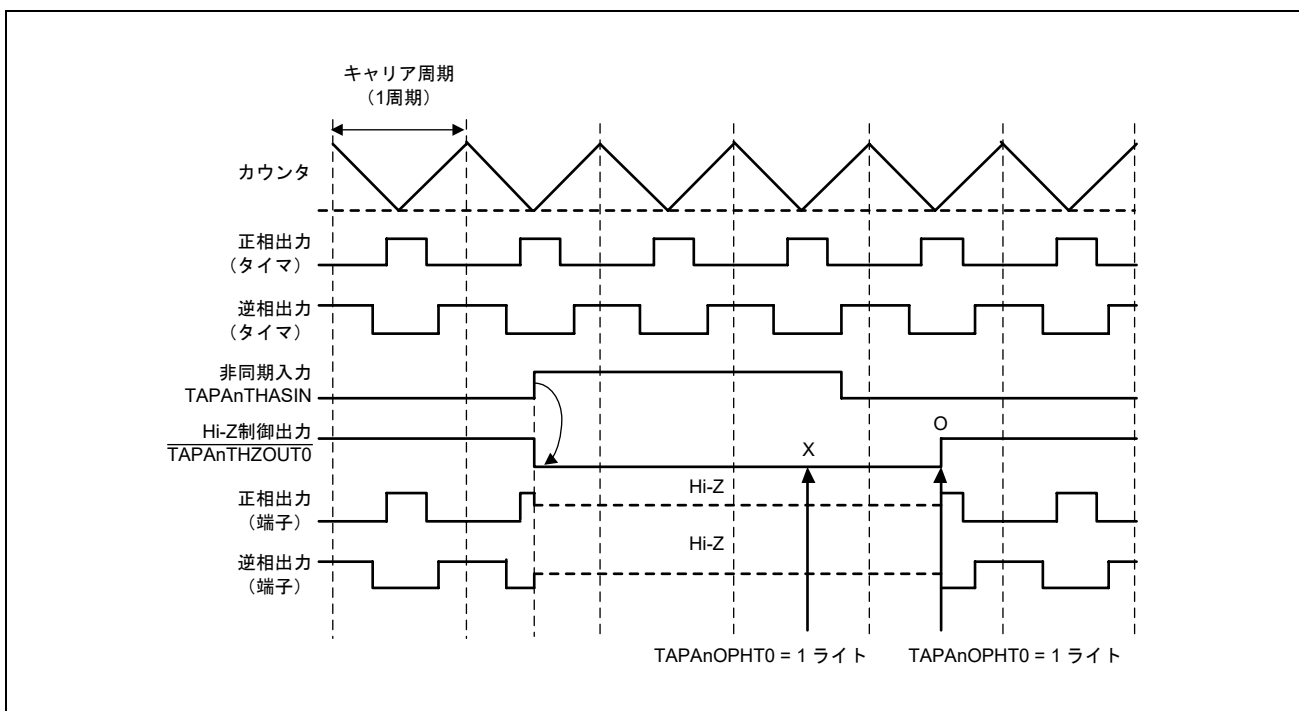


図 21.6 TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時の $\overline{\text{TAPAnTHZOUT0}}$ の動作

21.4.1.4 ソフトウェアトリガによる非同期 Hi-Z 制御

この機能では、Hi-Z 制御出力信号をソフトウェアによって制御することが可能です。

Hi-Z スタートトリガ 0 (TAPAnOPHS0) および Hi-Z ストップトリガ 0 (TAPAnOPHT0) で、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ ^{注1}、 $\overline{\text{TAPAnTHZOUT2}}$ ^{注1}を制御します。

注1. TAPAn (n = 3、4、5) では対応していません。

表 21.17 Hi-Z スタートトリガ (TAPAnOPHS) の動作

TAPAnOPHS	動作
0/1	TAPAnOPHS0 ビットに“1”を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 、 $\overline{\text{TAPAnTHZOUT2}}$ がロウレベルとなります。

Hi-Z ストップトリガは次の条件のときのみ有効となります。

表 21.18 非同期入力 Hi-Z 制御時のストップトリガ (TAPAnOPHT) の動作

TAPAnOPHT	動作
0	TAPAnOPHT0 ビットに“1”を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 、 $\overline{\text{TAPAnTHZOUT2}}$ がハイレベルとなります。
1	TAPAnTHASIN がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ 、 $\overline{\text{TAPAnTHZOUT2}}$ がハイレベルとなります。 TAPAnTHASIN がアクティブ中は、TAPAnOPHT0 ビットへの“1”の書き込みは無視されます。

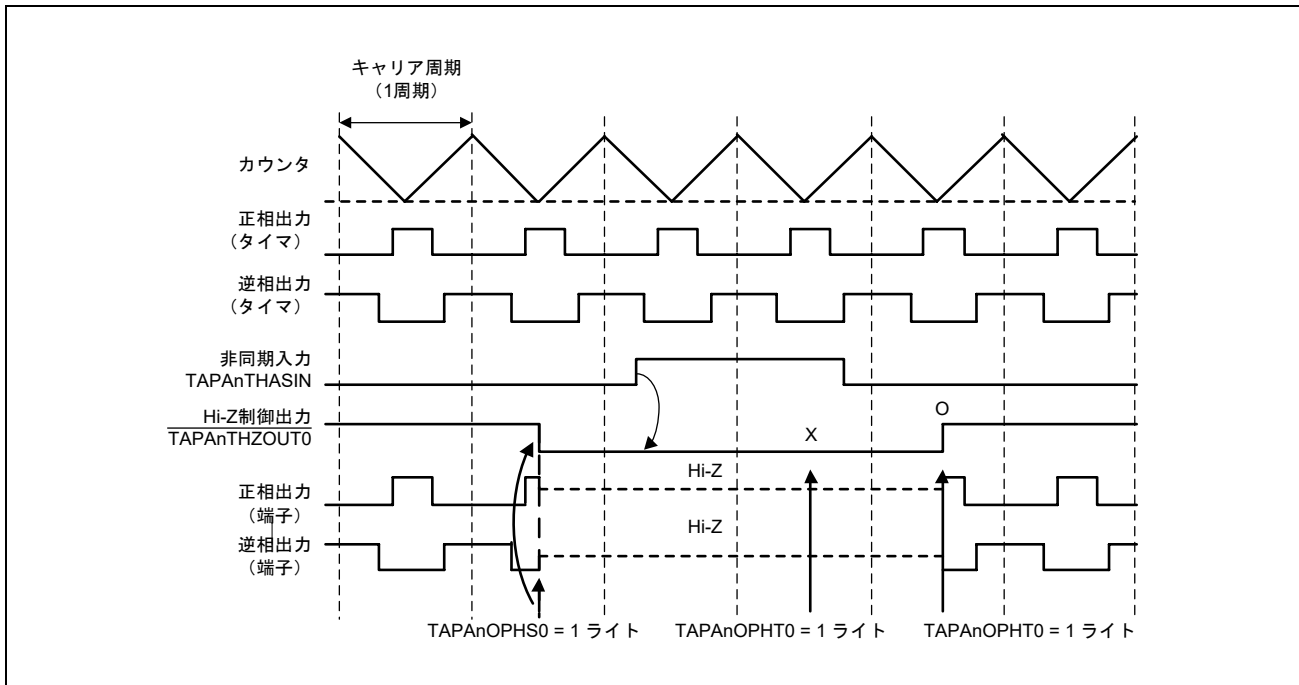


図 21.7 TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時の $\overline{\text{TAPAnTHZOUT0}}$ の動作

21.4.1.5 操作手順

以下に非同期入力 Hi-Z 制御の操作手順を示します。

(タイマ機能の動作に依存しないため、タイマオプションに関して記載しています)

表 21.19 非同期入力 Hi-Z 制御の操作手順

	動作	TAPA の状態
初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP、TAPAnDCN を設定 (入力エッジ選択) TAPAnDCM を設定 (クリアモード選択)	非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)
動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS に "1" を設定	TAPAnACTS ビットの書き込み可能 TAPAnFLG.TAPAnACE = 1 により非同期 Hi-Z 制御許可
動作再開	タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下の通りです。 TAPA の TAPAnOPHS0 で制御 TAPA の Hi-Z 入力信号 (TAPAnTHASIN) で制御 Hi-Z 制御を終了 (ストップ) する方法は、以下の通りです。 TAPA の TAPAnOPHT0 で制御 (TAPAnDCM = 0 の場合) TAPA の Hi-Z 入力信号 (TAPAnTHASIN) が インアクティブ時に TAPAnOPHT0 で制御 (TAPAnDCM = 1 の場合) TAPA の TAPAnFLG レジスタで常に TAPA の動作状態が 読み出し可能です。	Hi-Z 制御機能は、Hi-Z 入力信号 (TAPAnTHASIN) に入力されたスタートエッジの検出、またはスタートトリガビットを設定 (TAPAnOPHS0 = 1) することによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ ^{注1} 、 $\overline{\text{TAPAnTHZOUT2}}$ ^{注1} をロウレベルで出力します。 Hi-Z 制御機能は、TAPAnDCM で設定した動作モードにしたがい、ストップトリガビットを設定 (TAPAnOPHT0 = 1) することによって、 $\overline{\text{TAPAnTHZOUT0}}$ 、 $\overline{\text{TAPAnTHZOUT1}}$ ^{注1} 、 $\overline{\text{TAPAnTHZOUT2}}$ ^{注1} をハイレベルで出力します。
動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT に "1" を設定	TAPAnACTT ビットの書き込み許可 TAPAnFLG.ACE = 0 により非同期 Hi-Z 制御停止

注 1. TAPAn (n = 3、4、5) では対応していません。

21.4.2 割り込み出力選択機能

21.4.2.1 構成

TAUD の三角波キャリア周期生成チャンネル (マスタ) から出力された割り込み信号 (TAPAnTSIM0)、アップ/ダウン入力信号 (TAPAnTUDCM0) を用いて、山割り込み、谷割り込みを出力する機能です。

入力として TAUD の信号を使用することで、山割り込みと谷割り込みを出力します。

21.4.2.2 基本動作

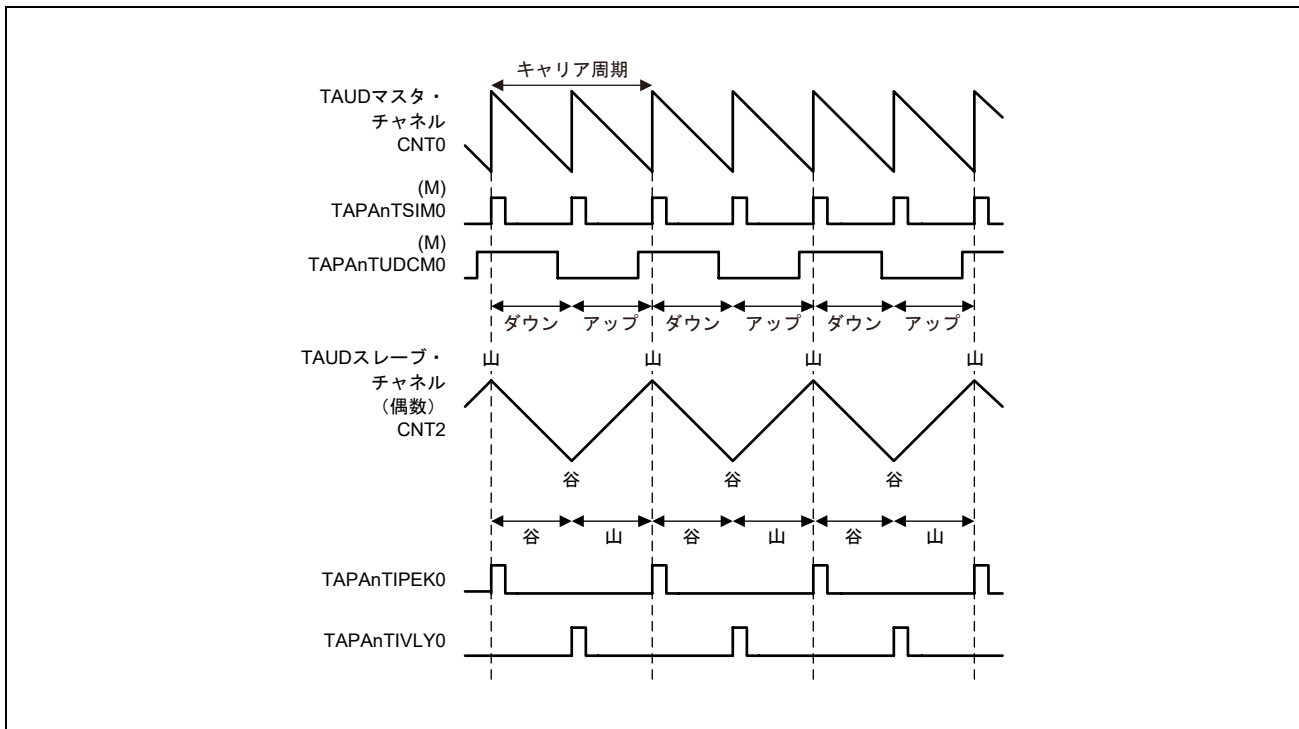


図 21.8 TAUD のマスタチャンネル 0 の動作例

TAUD

マスタチャンネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに TAPAnTSIM0 を出力し、TAPAnTUDCM0 よりアップ/ダウン信号を出力します。

TAPA

- TAPAnTUDCM0 = High 期間中の TAPAnTSIM0 を山割り込みとし、TAPAnTIPEK0 信号より出力します。
- TAPAnTUDCM0 = Low 期間中の TAPAnTSIM0 を谷割り込みとし、TAPAnTIVLY0 信号より出力します。

注 意

TAPAnTIPEK0/TAPAnTIVLY0 は組合せ回路を構成しており、動作モードに関係なく動作します。

TAPAnTIPEK0/TAPAnTIVLY0 を使用しない場合、これらの信号は「6.2.3 IMR0~IMR11 — EI レベル割り込みマスクレジスタ 0~11」によりマスクする必要があります。

21.4.2.3 操作手順

以下に割り込み出力選択機能の操作手順を示します。

表 21.20 割り込み出力選択機能の操作手順

	動作	TAUD、TAPA の状態
初期設定	TAPA は、初期設定不要です。	TAUD、TAPA の動作停止。
動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
動作中	TAUD は、各機能の設定にしたがって動作します。	割り込み出力選択機能は、TAUD からの割り込み入力 (TAPAnTSIM0)、アップ/ダウン入力 (TAPAnTUDCM0) を基に、制御周期 0 に対して山割り込み TAPAnTIPEK0 と谷割り込み TAPAnTIVLY0 を出力します。
動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。

動作再開

21.4.3 A/D コンバータ変換トリガ選択機能

TAUD の三角波キャリア周期生成チャンネル (マスタ) から出力された INT 信号、TOUT 信号と、A/D コンバータ変換トリガ選択機能で動作するチャンネルから出力された INT 信号を用いて A/D コンバータ変換トリガ (TAPAnTADOUT0/TAPAnTADOUT1) を出力する機能です。

21.4.3.1 構成

表 21.21 TAPAnTADOUT 信号生成に使用する信号一覧

出力信号	Up/Down 入力	スレーブ一致検出信号	谷割り込み信号
TAPAnTADOUT0	TAPAnTUDCM0	TAPAnTCDENS0	TAPAnTIVLY0
TAPAnTADOUT1	TAPAnTUDCM0	TAPAnTCDENS1	TAPAnTIVLY0

表 21.22 TAPAnCTL1.TAPAnATS[1:0]、TAPAnTADOUT0 の動作

TAPAnATS1	TAPAnATS0	動作説明
0	0	TAUD のマスタ 0 が Down ステータス期間中、スレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
0	1	TAUD のマスタ 0 が Up ステータス期間中、スレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
1	0	TAUD のスレーブ 0 からの INT を TAPAnTADOUT0 より出力します。
1	1	TAUD のスレーブ 0 からの INT と TAPAnTIVLY0 (谷割り込み信号 0) を TAPAnTADOUT0 より出力します。

表 21.23 TAPAnCTL1.TAPAnATS[3:2]、TAPAnTADOUT1 の動作

TAPAnATS3	TAPAnATS2	動作説明
0	0	TAUD のマスタ 0 が Down ステータス期間中、スレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
0	1	TAUD のマスタ 0 が Up ステータス期間中、スレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
1	0	TAUD のスレーブ 1 からの INT を TAPAnTADOUT1 より出力します。
1	1	TAUD のスレーブ 1 からの INT と TAPAnTIVLY0 (谷割り込み信号 0) を TAPAnTADOUT1 より出力します。

21.4.3.2 基本動作

三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形を以下に示します。

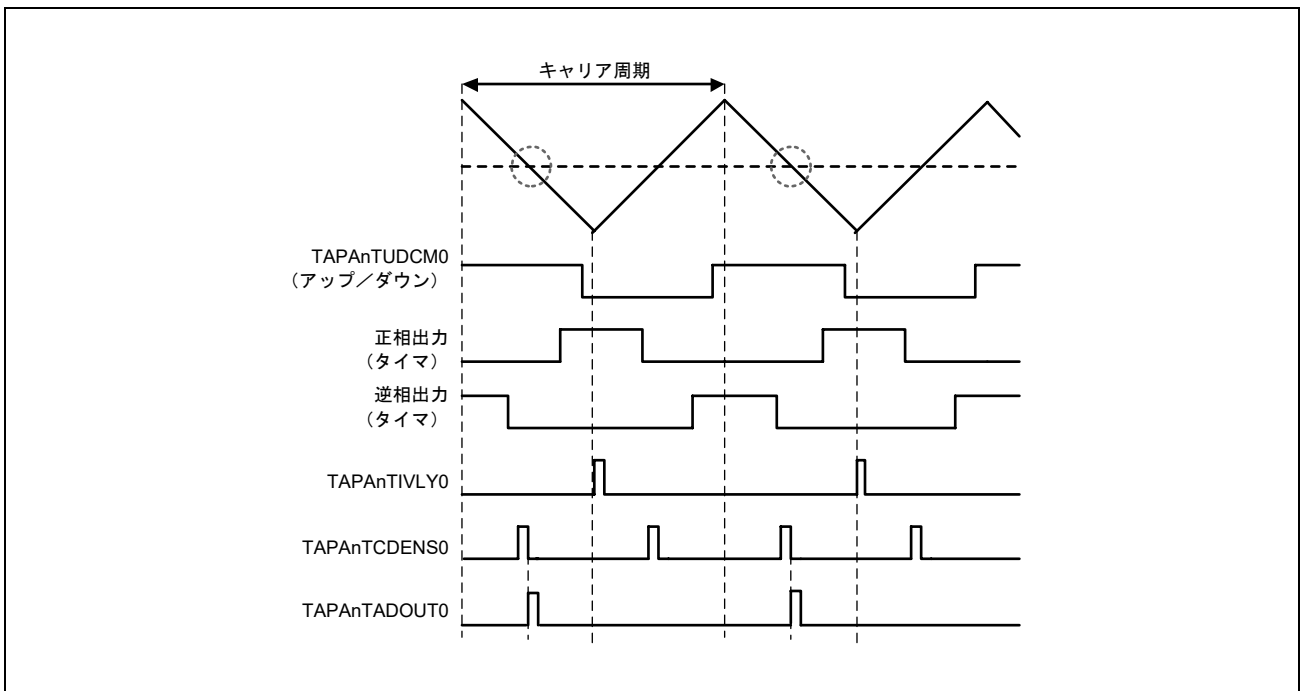


図 21.9 TAPAnATS = {0, 0} : マスタチャネルが Down ステータス期間中の INT 出力

マスタの Down ステータス期間中、スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

マスタの Up ステータス期間中、スレーブから出力された INT 信号は出力されません。

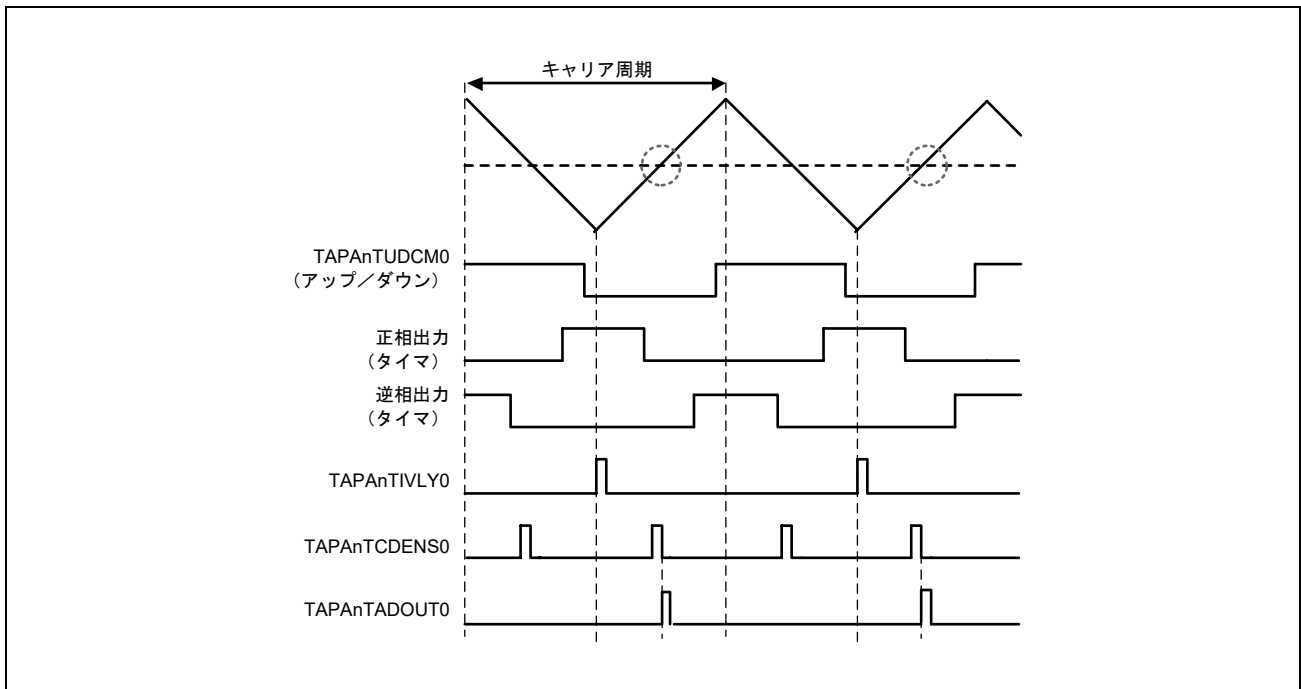


図 21.10 TAPAnATS = {0, 1}: マスタチャネルが Up ステータス期間中の INT 出力

マスタの Up ステータス期間中、スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

マスタの Down ステータス期間中、スレーブから出力された INT 信号は出力されません。

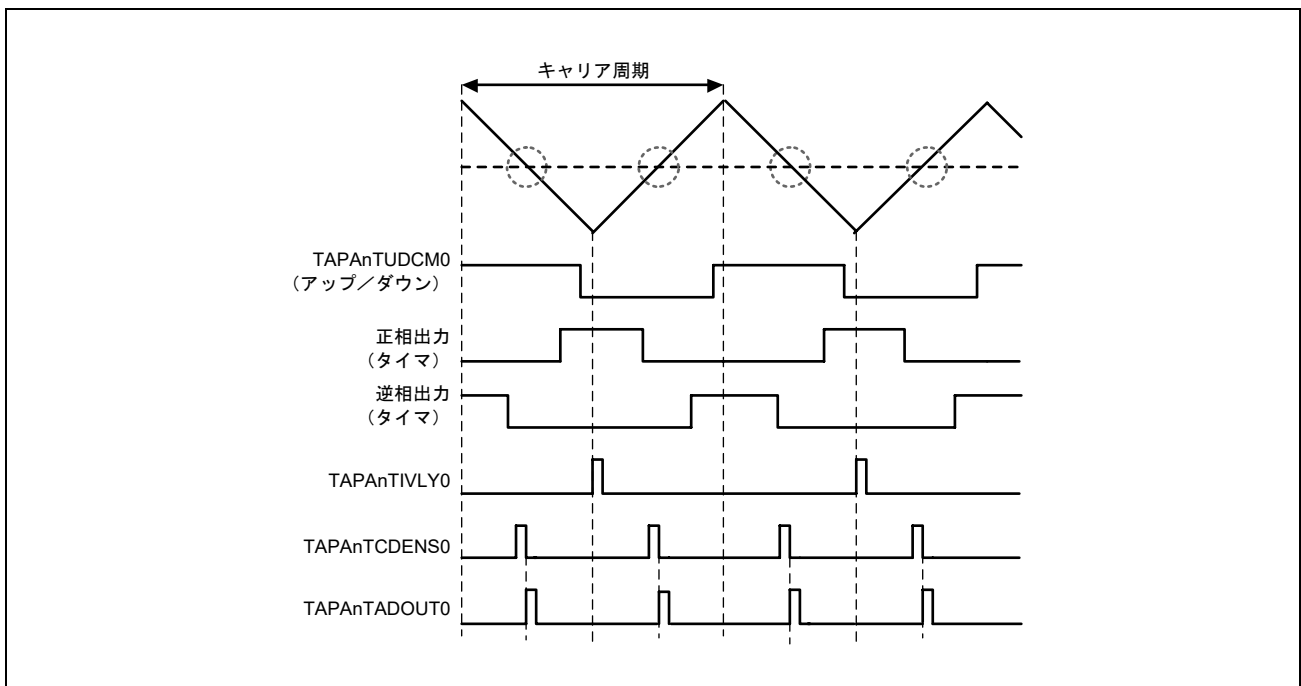


図 21.11 TAPAnATS = {1, 0}: マスタチャネルが Down/Up ステータス期間中の INT 出力

スレーブから出力された INT 信号は A/D コンバータ変換トリガとして出力されます。

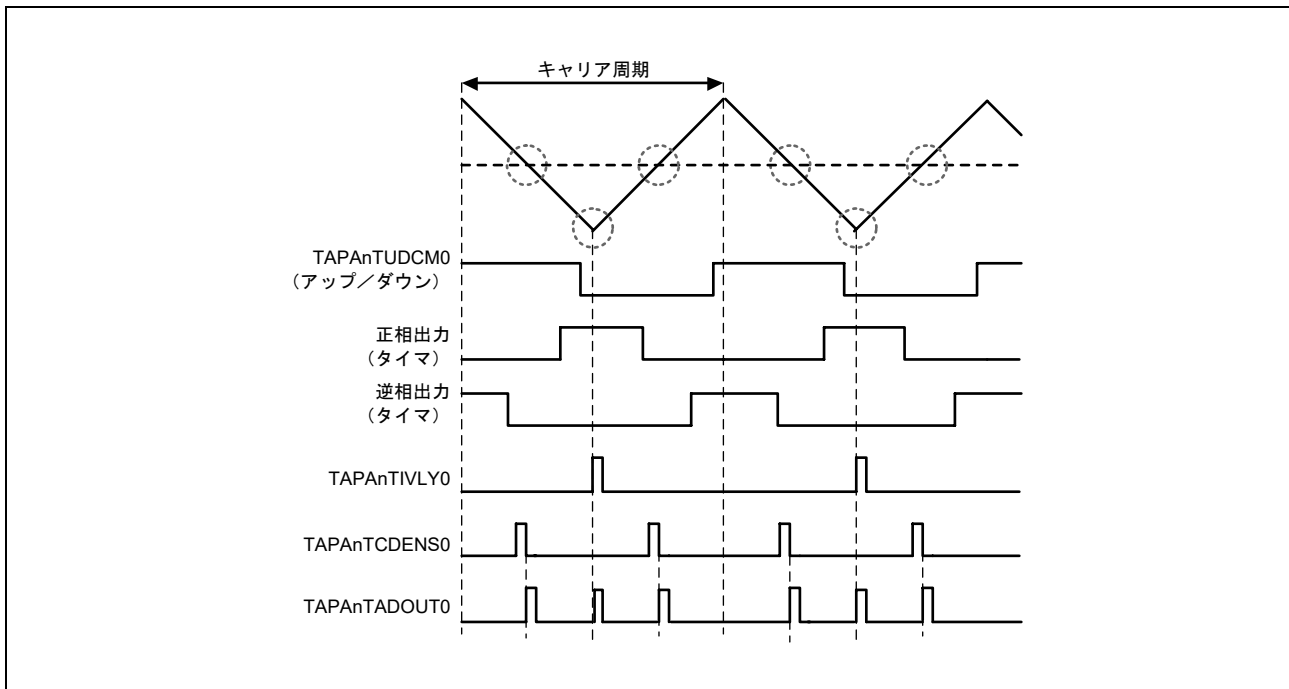


図 21.12 TAPAnATS = {1, 1} : マスタチャンネルが Down/Up ステータス期間中の INT 出力と谷割り込み出力

スレーブから出力された INT 信号と谷割り込み信号は A/D コンバータ変換トリガとして出力されます。

21.4.3.3 操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

表 21.24 A/D コンバータ変換トリガ選択機能の操作手順

	動作	TAUD、TAPA の状態	
動作再開	初期設定	TAUD を初期設定します。 タイマ動作モードを確定 TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0]を設定 (TAPAnTADOUT0 の設定) TAPAnATS[3:2]を設定 (TAPAnTADOUT1 の設定)	TAUD, TAPA は動作停止。
	動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
	動作中	TAUD は、各機能の設定にしたがって動作します。	A/D コンバータ変換トリガ選択機能は、TAUD からのスレーブ致検出信号 (TAPAnTCDENS1/TAPAnTCDENS0)、Up/Down 入力 (TAPAnTUDCM0)、TAPA で生成した谷割り込み信号 (TAPAnTIVLY0) を基に、TAPAnATS[1:0]の設定にしたがって TAPAnTADOUT0、または TAPAnATS[3:2]の設定にしたがって TAPAnTADOUT1 を出力します。
	動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。

第22章 タイマパターンバッファ (TPBA)

本章では、タイマパターンバッファ (TPBA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、C1M-A に固有の特性について説明します。

それ以降の節では、TPBA の機能、レジスタについて説明します。

22.1 RH850/C1M-A TPBA の特長

22.1.1 ユニット数

本製品は、以下に示すユニット数の TPBA を搭載しています。

TPBA 1 ユニット当たり 1 チャンネルのインタフェースを持っています。

表 22.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	2	1
名称	TPBAn (n = 0, 1)	TPBAn (n = 0)

表 22.2 添字

添字	意味
n	本章では、TPBA の各ユニットを「n」(n = 0, 1) で識別します。(C1M-A2 では n = 0, 1、C1M-A1 では n = 0) たとえば、TPBAn 制御レジスタは TPBAnCTL と記述します。
m	バッファの番号を「m」で識別します (m = 00~63)。

22.1.2 レジスタベースアドレス

TABA のベースアドレスを以下の表に示します。

TPBA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 22.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TPBA0_base>	FFEA 0000 _H
<TPBA1_base>	FF8A 1000 _H ^{注1}

注1. C1M-A1 では対応していません。

22.1.3 クロック供給

TPBA のクロック供給を以下の表に示します。

表 22.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TPBAn	PCLK	CLKC_HSB (非変調高速周辺クロック)

22.1.4 割り込み要求

TPBA の割り込み要求を以下の表に示します。

表 22.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1st	2nd	1st	2nd
TPBA0						
INTTPBA0IPRD	周期一致検出割り込み	184	—	61	—	61
INTTPBA0IDTY	デューティ一致検出割り込み	185	—	62	—	62
INTTPBA0IPAT	パターン数一致検出割り込み	186	—	63	—	63
TPBA1 ^{注 2}						
INTTPBA1IPRD	周期一致検出割り込み	187	—	64	—	64
INTTPBA1IDTY	デューティ一致検出割り込み	188	—	65	—	65
INTTPBA1IPAT	パターン数一致検出割り込み	189	—	66	—	66

— : 割り当てなし

注 1. 1st : Primary Channel、2nd : Secondary Channel

注 2. C1M-A1 では対応していません。

22.1.5 リセット要因

TPBA は以下のリセット要因で初期化されます。

表 22.6 リセット要因

ユニット名	リセット要因
TPBA _n	すべてのリセット要因

22.1.6 外部入出力信号

TPBA の外部入出力信号を以下の表に示します。

表 22.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TPBA0		
TPBA00	タイマ出力	TPBA00
TPBA1 ^{注 1}		
TPBA10	タイマ出力	TPBA10

注 1. C1M-A1 では対応していません。

22.2 概要

22.2.1 機能概要

TPBAn は、デューティ設定用バッファを搭載した 16 ビット PWM タイマです。

- カウントクロック分解能：最小 12.5ns (カウントクロック 80MHz 時)
- 16 ビットカウンタ
- 16 ビットデューティレジスタ
- 16 ビット周期設定レジスタ
- 7 ビットアドレスカウンタ
- 7 ビットパターン数設定レジスタ
- 割り込み要求信号
 - 周期一致検出割り込み
 - デューティ一致検出割り込み
 - パターン数一致検出割り込み
- デューティパターン数
 - 16 ビット 64 パターンもしくは 8 ビット 128 パタン
- パターン数による自動デューティ生成
- ソフトウェアによる出力コントロール
- プリスケアラ設定値により 4 つのカウントクロックを選択可能 (PCLK、PCLK/2、PCLK/4、PCLK/8)
- 他のタイマとの同時スタート

22.2.2 ブロック図

以下のブロック図は TPBA の主要なコンポーネントを示しています。

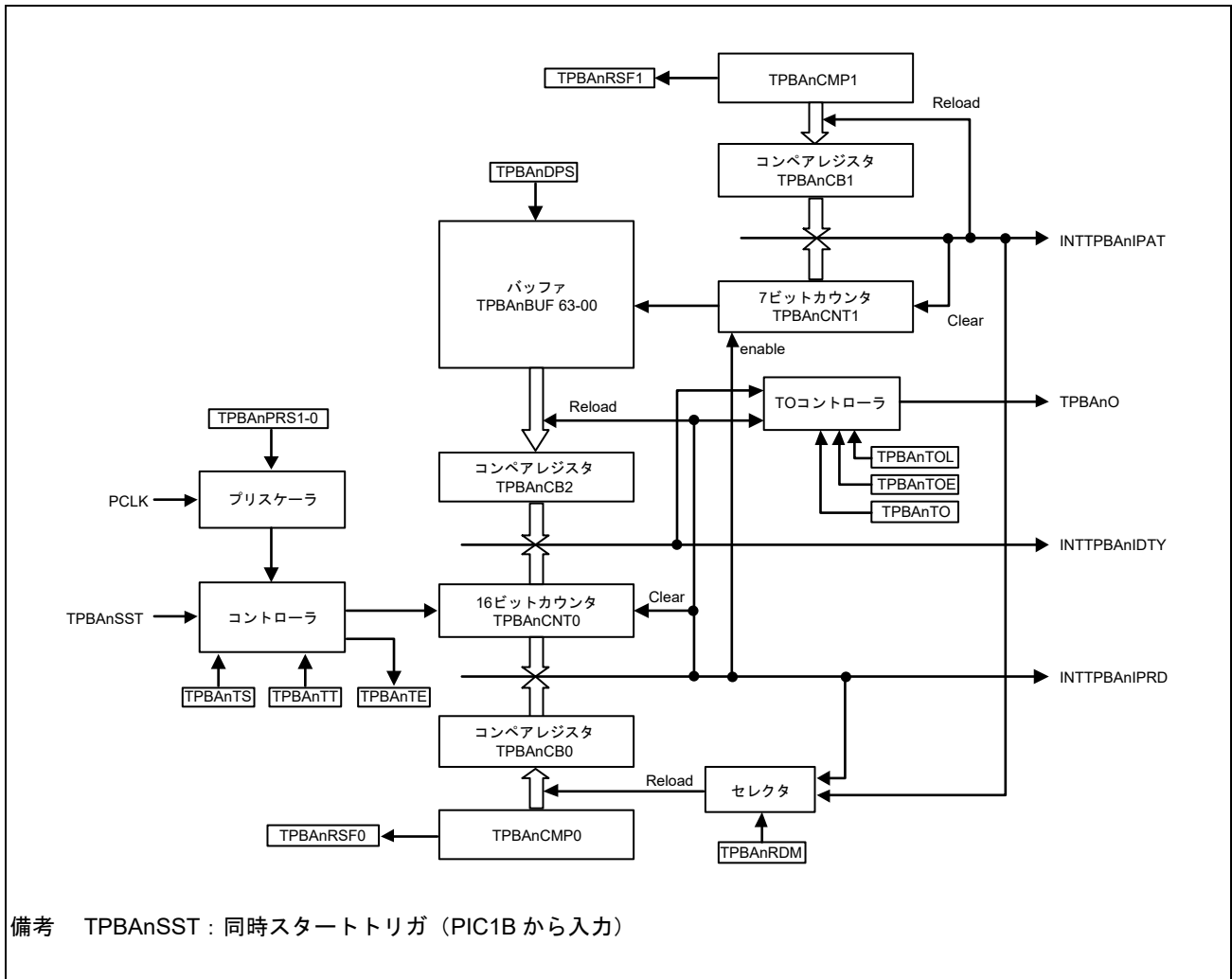


図 22.1 TPBA のブロック図

22.3 レジスタ

22.3.1 レジスタ一覧

TPBA のレジスタ一覧を以下の表に示します。

<TPBA_n_base>は「**22.1.2 レジスタベースアドレス**」を参照してください。

表 22.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TPBA _n	TPBA _n 制御レジスタ	TPBA _n CTL	<TPBA _n _base> + 200 _H
TPBA _n	TPBA _n リロードデータモードレジスタ	TPBA _n RDM	<TPBA _n _base> + 118 _H
TPBA _n	TPBA _n リロードステータスレジスタ	TPBA _n RSF	<TPBA _n _base> + 110 _H
TPBA _n	TPBA _n リロードデータトリガレジスタ	TPBA _n RDT	<TPBA _n _base> + 114 _H
TPBA _n	TPBA _n タイマ出力許可レジスタ	TPBA _n TOE	<TPBA _n _base> + 120 _H
TPBA _n	TPBA _n タイマ出力レジスタ	TPBA _n TO	<TPBA _n _base> + 11C _H
TPBA _n	TPBA _n タイマ出力レベルレジスタ	TPBA _n TOL	<TPBA _n _base> + 124 _H
TPBA _n	TPBA _n 周期設定レジスタ	TPBA _n CMP0	<TPBA _n _base> + 100 _H
TPBA _n	TPBA _n デューティ設定レジスタ	TPBA _n BUF _m	<TPBA _n _base> + m × 4 _H
TPBA _n	TPBA _n パタン数設定レジスタ	TPBA _n CMP1	<TPBA _n _base> + 104 _H
TPBA _n	TPBA _n タイマカウンタレジスタ	TPBA _n CNT0	<TPBA _n _base> + 108 _H
TPBA _n	TPBA _n アドレスカウンタレジスタ	TPBA _n CNT1	<TPBA _n _base> + 10C _H
TPBA _n	TPBA _n イネーブルステータスレジスタ	TPBA _n TE	<TPBA _n _base> + 128 _H
TPBA _n	TPBA _n スタートトリガレジスタ	TPBA _n TS	<TPBA _n _base> + 12C _H
TPBA _n	TPBA _n ストップトリガレジスタ	TPBA _n TT	<TPBA _n _base> + 130 _H

22.3.2 TPBA_nCTL — TPBA_n 制御レジスタ

TPBA_n の動作を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBA_n_base> + 200_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	TPBA _n PRS[1:0]		—	—	—	TPBA _n DPS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R/W

表 22.9 TPBA_nCTL レジスタの内容

ビット位置	ビット名	機能															
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4、5	TPBA _n PRS[1:0]	カウントクロックを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TPBA_nPRS1</th> <th>TPBA_nPRS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PCLK を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>PCLK/2 を選択</td> </tr> <tr> <td>1</td> <td>0</td> <td>PCLK/4 を選択</td> </tr> <tr> <td>1</td> <td>1</td> <td>PCLK/8 を選択</td> </tr> </tbody> </table>	TPBA _n PRS1	TPBA _n PRS0	動作説明	0	0	PCLK を選択	0	1	PCLK/2 を選択	1	0	PCLK/4 を選択	1	1	PCLK/8 を選択
TPBA _n PRS1	TPBA _n PRS0	動作説明															
0	0	PCLK を選択															
0	1	PCLK/2 を選択															
1	0	PCLK/4 を選択															
1	1	PCLK/8 を選択															
3~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
0	TPBA _n DPS	デューティ設定パターンを選択します。 0 : 16bit × 64 パタン 1 : 8bit × 128 パタン															

注 意

このレジスタの設定は、タイマ停止中 (TPBA_nTE = 0) に設定してください。誤って書き換えた場合は、タイマを停止してから再設定してください。

22.3.3 TPBAnRDM — TPBAn リロードデータモードレジスタ

TPBAn の周期設定レジスタとタイマ出力レベルレジスタのリロードタイミングを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 118_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnRDM0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 22.10 TPBAnRDM レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnRDM0	周期設定レジスタ (TPBAnCMP0) とタイマ出力レベルレジスタ (TPBAnTOL) のリロードタイミングを制御します。 0 : パタン数一致検出割り込み (INTTPBAnIPAT) に同期してリロード 1 : 周期一致検出割り込み (INTTPBAnIPRD) に同期してリロード

注 意

このレジスタは動作中の書き換えが可能ですが、書き換えた値は随時書き込まれます。したがって、動作中の書き換えは、リロード要求フラグ (TPBAnRSF = 0) のときに行ってください。

22.3.4 TPBAnRSF — TPBAn リロードステータスレジスタ

各レジスタのリロード要求を示すレジスタです。

アクセス 8ビット単位でリード可能です。

アドレス <TPBAn_base> + 110_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TPBAnRSF1	TPBAnRSF0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 22.11 TPBAnRSF レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。
1	TPBAnRSF1	TPBAnCMP1 レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT1 ビットに “1” がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。
0	TPBAnRSF0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT0 ビットに “1” がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。

22.3.5 TPBAnRDT — TPBAn リロードデータトリガレジスタ

各レジスタのリロードを許可します。

アクセス 8ビット単位でライト可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 114_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TPBAnRDT1	TPBAnRDT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 22.12 TPBAnRDT レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	TPBAnRDT1	TPBAnCMP1 レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します (TPBAnRSF1 を“1”にセット) 次のリロードタイミングで一斉に更新されます (リロード)
0	TPBAnRDT0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します (TPBAnRSF0 を“1”にセット) 次のリロードタイミングで一斉に更新されます (リロード)

22.3.6 TPBAnTOE — TPBAn タイマ出力許可レジスタ

タイマ出力の許可/禁止を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 120_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTOE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.13 TPBAnTOE レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTOE0	タイマ出力 (TPBAnO) の出力許可/禁止を選択します。 0: カウント動作によるタイマ出力の停止 1: カウント動作によるタイマ出力の許可 ● 出力停止時には TPBAnTO レジスタに設定したレベルが TPBAnO 端子から出力され、ソフトウェアによる操作が可能です。 ● 出力許可時には TPBAnTO レジスタはタイマの動作によりセット/クリアされ、PWM 出力します。書き込みは禁止です (書き込みを無視します)。

22.3.7 TPBAnTO — TPBAn タイマ出力レジスタ

タイマの出力レベルを制御、またはリードできます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 11CH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTO0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.14 TPBAnTO レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTO0	TPBAnO 端子の出力レベルを設定、または出力レベルを表します。 <ul style="list-style-type: none"> • タイマ出力停止中 (TPBAnTOE.TPBAnTOE0 = 0) <ul style="list-style-type: none"> 0: ロウレベルを出力 1: ハイレベルを出力 タイマ出力停止中は、本レジスタを書き換えることで出力レベルを制御します。 • タイマ出力許可中 (TPBAnTOE.TPBAnTOE0 = 1) <ul style="list-style-type: none"> 0: タイマ出力によりロウレベルを出力中 1: タイマ出力によりハイレベルを出力中 タイマ出力許可中は、本レジスタの書き換えは無視されます。

22.3.8 TPBAnTOL — TPBAn タイマ出力レベルレジスタ

タイマ出力レベルを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 124_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTOL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.15 TPBAnTOL レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTOL0	<p>タイマ出力のアクティブレベルを設定します。</p> <p>0: アクティブレベルはハイレベル 1: アクティブレベルはロウレベル</p> <ul style="list-style-type: none"> このビットの設定はタイマ出力許可中 (TPBAnTOE.TPBAnTOE0 = 1) のとき有効となります。 このビットの設定は、タイマ出力開始時から反映され、出力レベルの変更は、変更後の次のリロードタイミングから出力レベルが反映されます。

注 意

このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。リロードの詳細については「[22.4.2 コンペアレジスタの書き換え操作](#)」を参照してください。

22.3.9 TPBAnCMP0 — TPBAn 周期設定レジスタ

PWM 周期設定用の 16 ビットコンペアレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 100_H

リセット後の値 0000_H

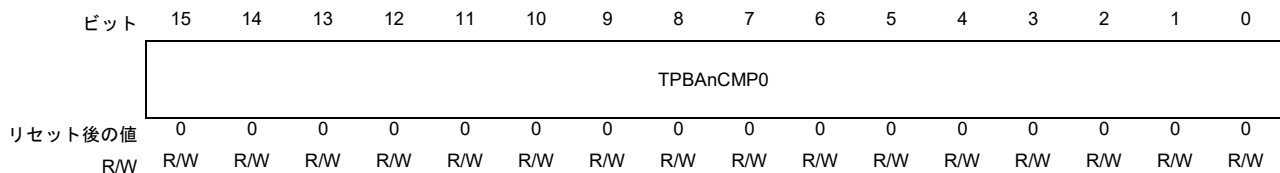


表 22.16 TPBAnCMP0 レジスタの設定

動作モード	PWM 周期	最小値 (周期)	最大値 (周期)
8 ビット設定	TPBAnCMP0 + 1	1	100 _H
16 ビット設定	TPBAnCMP0 + 1	1	10000 _H

注 意

- PWM 周期は、(TPBAnCMP0 + 1) カウントクロック周期となります。
したがって、100%の PWM 出力を行う場合、設定可能な最大値は FFFE_H (FE_H) となります。
- このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。
リロードの詳細については「22.4.2 コンペアレジスタの書き換え操作」を参照してください。

22.3.10 TPBAnBUFm — TPBAn デューティ設定レジスタ

デューティ設定用の 16×64 個のバッファレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 000H~0FC_H

リセット後の値 0000_H

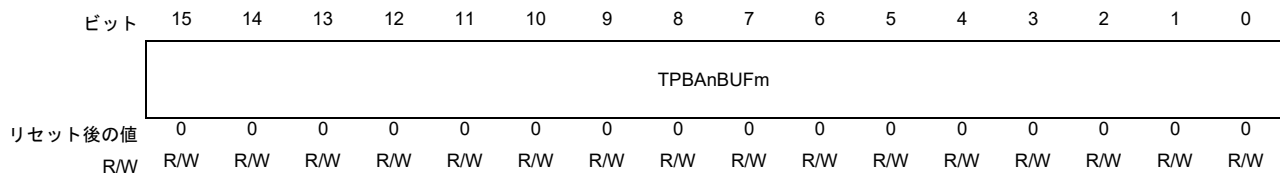


表 22.17 TPBAnBUFm レジスタの内容

ビット位置	ビット名	機能
15~0	TPBAnBUFm 15~0	デューティ値を設定します。 このレジスタは TPBAnDPS ビットにより 16bit×64 パタン (TPBAnDPS = 0) と 8bit×128 パタン (TPBAnDPS = 1) を切り替えて使用することが可能です。いずれのパタンにおいても、CPU からのアクセスは 16 ビット単位で行います。詳細については「 22.4.3 デューティの書き換え操作 」を参照ください。

注 意

このレジスタへ設定された値は、周期一致検出割り込み (INTTPBAnIPRD) に同期してデューティ設定バッファレジスタ (TPBAnCB2) へ転送されます。

タイマ動作中の書き換えは、随時反映されます。

詳細については「**22.4.3 デューティの書き換え操作**」を参照ください。

- 8bit×128 パタンのデューティ設定レジスタを使用する場合、デューティ値の設定範囲は 00_H~FF_H となります。デューティ 100% の波形を出力する関係式は $TPBAnBUFm = TPBAnCMP0 + 1 \leq 00FF_H$ となります。そのため、デューティ 100% の PWM 出力が必要な場合、TPBAnCMP0 の最大値は 00FE_H となります。TPBAnBUFm > TPBAnCMP0 + 1 の場合は、Duty 値が 100% を超えますが集約して 100% 出力となります。
- 16bit×64 パタンのデューティ設定レジスタを使用する場合、デューティ値の設定範囲は 0000_H~FFFF_H となります。デューティ 100% の波形を出力する関係式は $TPBAnBUFm = TPBAnCMP0 + 1 \leq FFFF_H$ となります。そのため、デューティ 100% の PWM 出力が必要な場合、TPBAnCMP0 の最大値は FFFE_H となります。TPBAnBUFm > TPBAnCMP0 + 1 の場合は、Duty 値が 100% を超えますが集約して 100% 出力となります。

22.3.11 TPBAnCMP1 — TPBAn パターン数設定レジスタ

PWM 出力のパターン数を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 104_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TPBAnCMP1						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.18 TPBAnCMP1 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6~0	TPBAnCMP1 [6:0]	パターン数を設定します。設定範囲は以下の通りです。 TPBAnDPS = 0 : 0~63 TPBAnDPS = 1 : 0~127

注 意

- このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。
リロードの詳細については「**22.4.2 コンペアレジスタの書き換え操作**」を参照してください。
- デューティ設定パターンが 16bit×64 パタン (TPBAnDPS = 0) のとき、パターン数に 64 以上が設定された場合、アドレスポインタは“63” → “00” となり、再度 “00” からデューティ値の転送動作が行われます。設定されたパターン数と TPBAnCNT1 の下位値 7 ビットの一致により、パターン数一致検出割込み信号 (INTTPBAnIPAT) を出力します。

22.3.12 TPBAnCNT0 — TPBAn タイマカウンタレジスタ

PWM 出力を生成するタイマカウンタレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 108_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPBAnCNT0															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビットカウンタ

このレジスタは、16 ビットカウンタの値をリードできるカウンタレジスタです。

22.3.13 TPBAnCNT1 — TPBAn アドレスカウンタレジスタ

デューティ設定レジスタのアドレスポインタを示すカウンタレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 10C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TPBAnCNT1							
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

7 ビットカウンタ

このレジスタは、TPBAnBUFm レジスタのアドレスを示すカウンタレジスタです。

22.3.14 TPBAnTE — TPBAn イネーブルステータスレジスタ

タイマカウンタの動作/停止状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 128_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.19 TPBAnTE レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。
0	TPBAnTE0	タイマカウンタの動作/停止状態を示すフラグです。 0: タイマカウンタ停止状態 1: タイマカウンタ動作状態 • TPBAnTS ビットの“1”ライトもしくは同時スタートトリガ入力により TPBAnTE0 ビットが“1”にセットされます。 • TPBAnTT ビットの“1”ライトにより TPBAnTE0 ビットが“0”にクリアされます。

22.3.15 TPBAnTS — TPBAn スタートトリガレジスタ

タイマカウンタのスタートトリガを制御します。

アクセス 8ビット単位でライトのみ可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 12C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 22.20 TPBAnTS レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TPBAnTS0	タイマカウンタを動作状態とするトリガビットです。 0: 書き込みは無視されます 1: カウント開始 (TPBAnTE = 1)

注 意

カウント動作中 (TPBAnTE = 1) の、このレジスタへの書き込みは無視されます。

22.3.16 TPBAnTT — TPBAn ストップトリガレジスタ

タイマカウンタのストップトリガを制御します。

アクセス 8ビット単位でライトのみ可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 130_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTT0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 22.21 TPBAnTT レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TPBAnTT0	タイマカウンタを停止状態とするトリガビットです。 0 : 書き込みは無視されます 1 : カウント停止 (TPBAnTE = 0)

22.4 機能

22.4.1 基本動作

22.4.1.1 16 ビットカウンタ (TPBAnCNT0) の基本動作

カウント開始動作

16 ビットカウンタ (TPBAnCNT0) は、リセット後の値 FFFF_H からカウントを開始します。

クリア動作

カウンタ値と TPBAnCMP0 のバッファレジスタ (TPBAnCB0) の設定値の一致により 16 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TPBAnCNT0 レジスタにより、カウント動作中の 16 ビットカウンタの値をリードできます。

22.4.1.2 7 ビットカウンタ (TPBAnCNT1) の基本動作

カウント開始動作

7 ビットカウンタ (TPBAnCNT1) は、00_H に初期化されカウントを開始します。以降周期一致検出割り込み (INTTPBAnIPRD) と同期してカウントアップします。

クリア動作

カウンタ値と TPBAnCMP1 のバッファレジスタ (TPBAnCB1) の設定値の一致により 7 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TPBAnCNT1 レジスタにより、カウント動作中の 7 ビットカウンタの値をリードできます。リード値は次に転送するデューティ値が格納されている TPBAnBUFm レジスタを示します。

22.4.2 コンペアレジスタの書き換え操作

次のレジスタの書き換えは、リロードで行います。

- TPBAnCMP0
- TPBAnCMP1
- TPBAnTOL

リロードモード (一斉書き換え機能)

TPBAnRDT レジスタへライトすると、ビットごとに割り当てられた対象レジスタのリロードが許可され (リロード要求フラグ TPBAnRSF.TPBAnRSFk をセット)、次のリロードタイミングでリロード対象レジスタが一斉に更新されます (リロード)。TPBAnCMP0 レジスタと TPBAnTOL レジスタのリロードタイミングは、TPBAnRDM レジスタで設定します。TPBAnCMP1 レジスタのリロードタイミングは 7 ビットカウンタ (TPBAnCNT1) と、TPBAnCMP1 のバッファレジスタ (TPBAnCB1) の一致タイミング (INTTPBAnIPAT) になります。リロード対象レジスタは、リロード要求フラグ TPBAnRSF.TPBAnRSFk = 0 のときに書き換えてください。

備 考

k = 0、1

リロードモード対象レジスタの設定フロー

書き換えたリロード対象レジスタ (TPBAnCMP0-TPBAnCMP1、TPBAnTOL) の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

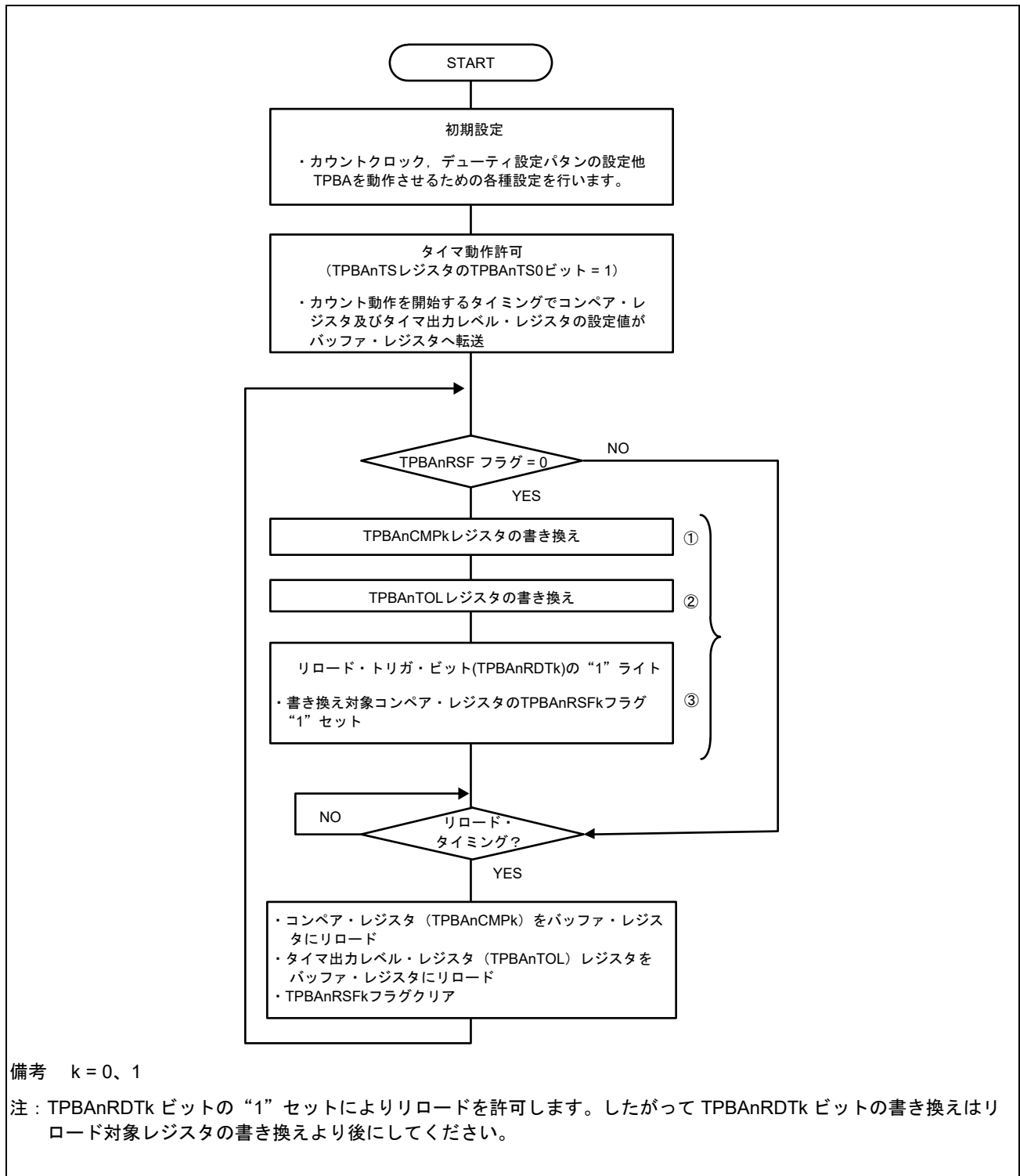


図 22.2 リロード（一斉書き換え機能）の基本動作フロー

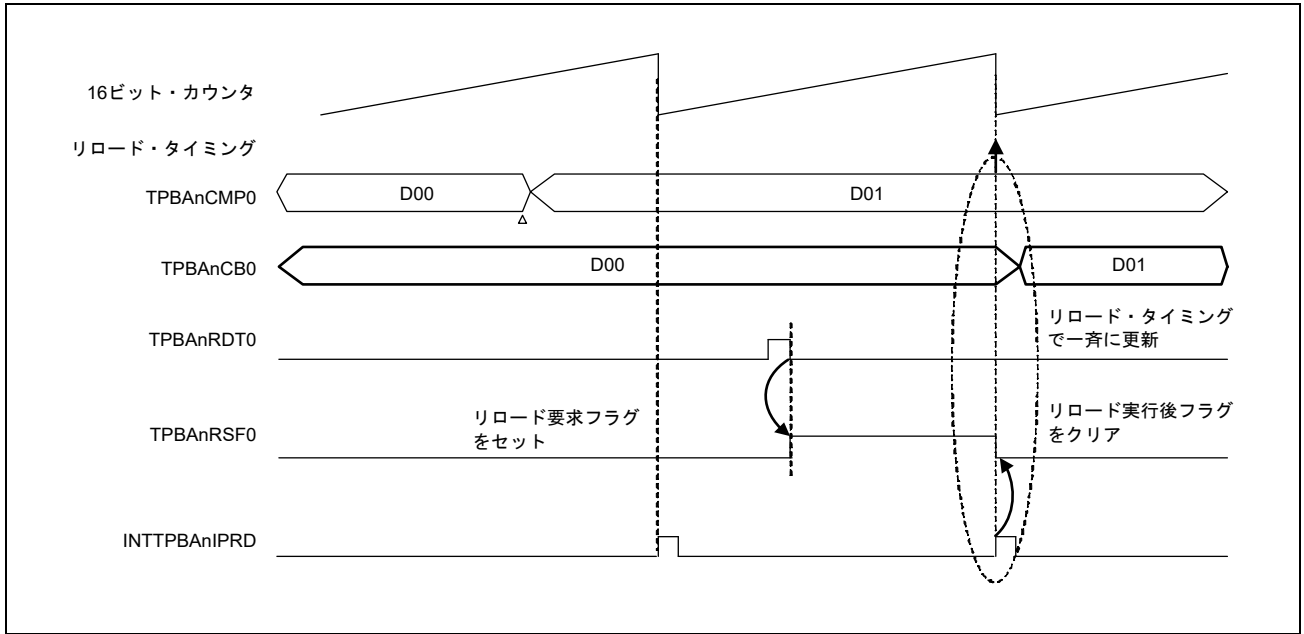


図 22.3 一斉書き換えのタイミング (TPBAnDPS = 0、TPBAnRDM = 0、TPBAnTOL = 0)

22.4.3 デューティの書き換え操作

TPBAnBUFm レジスタは、動作中の書き換えが可能です。

書き換えた設定は随時書き込みとなります。

22.4.3.1 TPBAnBUFm レジスタの設定フロー

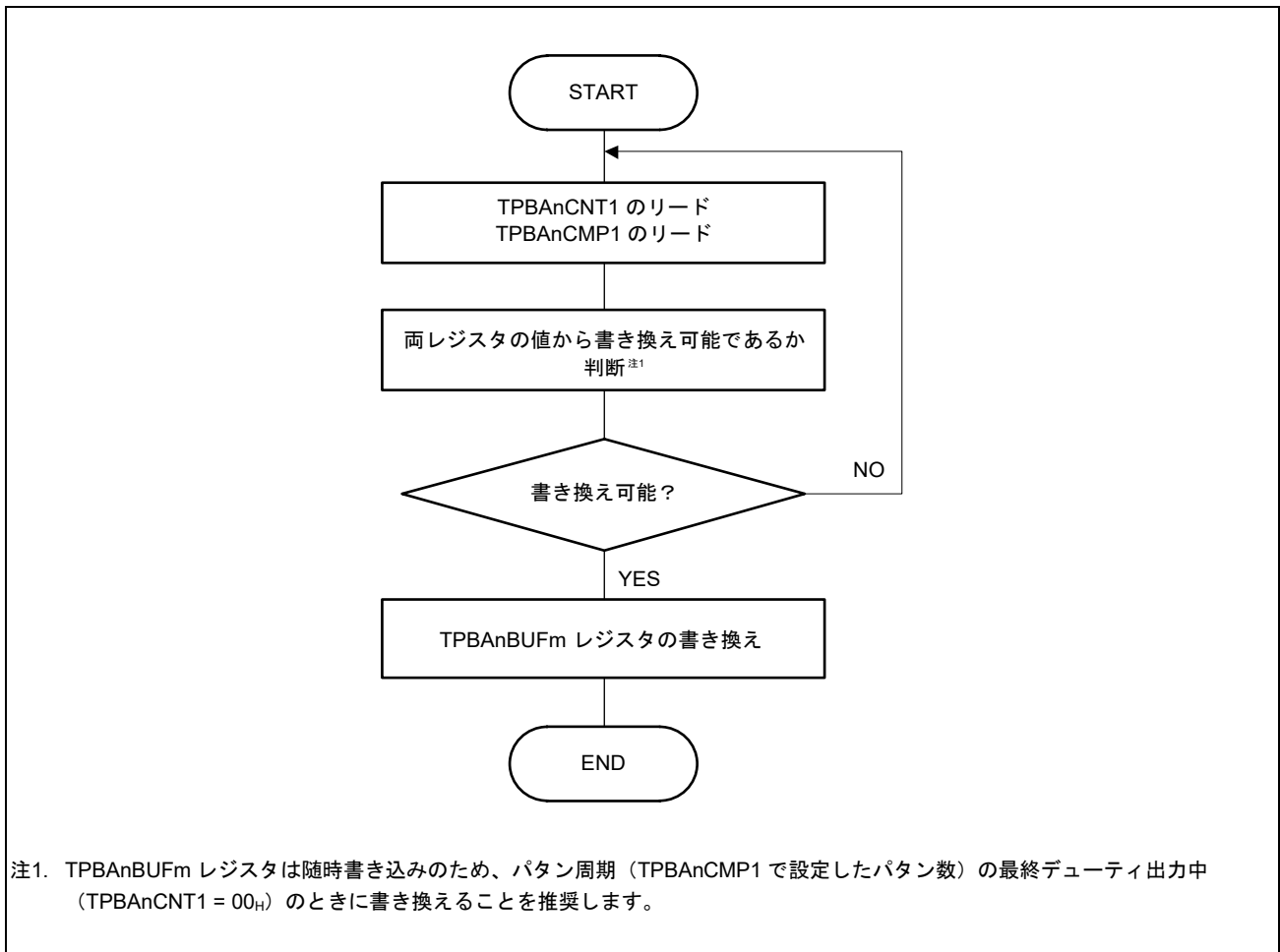


図 22.4 TPBAnBUFm レジスタの基本書き換えフロー

22.4.3.2 TPBAnBUFm レジスタのアクセス

TPBAnBUFm レジスタは、16 ビットアクセスです。

16 ビット×64 パタン、8 ビット×128 パタンの場合のアクセスは、次の通りになります。

- 16 ビット×64 パタン選択時 (TPBAnDPS = 0)

CPU からのアクセスは 16 ビット×1 パタン単位になります

15	0	
パタン 64		00FC _H
パタン 63		00F8 _H
.		.
.		.
パタン 3		0008 _H
パタン 2		0004 _H
パタン 1		0000 _H

- 8 ビット×128 パタン選択時 (TPBAnDPS = 1)

CPU からのアクセスは 8 ビット×2 パタン単位になります

15	8	7	0	
パタン 128		パタン 127		00FC _H
パタン 126		パタン 125		00F8 _H
.		.		.
.		.		.
パタン 6		パタン 5		0008 _H
パタン 4		パタン 3		0004 _H
パタン 2		パタン 1		0000 _H

22.4.3.3 TPBAnCNT1 レジスタのリード値と TPBAnBUFm の関係

動作中に TPBAnCNT1 レジスタのカウント値をリードすることにより、現在出力されている PWM 波形のデューティ値を得ることができます。以下の方法により、現在出力中のデューティ値が格納されている TPBAnBUFm レジスタを求めてください。

TPBAnDPS ビット	計算式	
	TPBAnCNT1 = 00 _H 以外	TPBAnCNT1 = 00 _H
0 : 16 ビット × 64 パタン	TPBAnCNT1 - 01 _H ^{注 1}	
1 : 8 ビット × 128 パタン	TPBAnCNT1 が奇数	TPBAnCNT1 / 2 ^{注 3}
	TPBAnCNT1 が偶数	(TPBAnCNT1 / 2) - 01 _H ^{注 4}
		TPBAnCMP1 ^{注 2}
		TPBAnCMP1 / 2 ^{注 5}

注 1. TPBAnDPS = “0” で、TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” 以外るとき
TPBAnCNT1 - 01_H の計算式により該当のレジスタを求めます。

例) TPBAnCNT1 = “08_H” のとき : 08_H - 01_H = 07_H → TPBA0BUF07

注 2. TPBAnDPS = “0” で、TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” のとき
TPBAnCMP1 の値により該当のレジスタを求めます。

例) TPBAnCMP1 = “08_H” のとき : TPBA0BUF08

注 3. TPBAnDPS = “1” で、TPBAnCNT1 のリード値が TPBAnCNT1 = 奇数のとき
TPBAnCNT1 / 2 の計算式により該当のレジスタを求めます。

例) TPBAnCNT1 = “07_H” のとき : 07_H / 02_H = 03_H → TPBA0BUF03 (下位 8bit)

注 4. TPBAnDPS = “1” で、TPBAnCNT1 のリード値が TPBAnCNT1 = 偶数のとき
(TPBAnCNT1 / 2) - 01_H の計算式により該当のレジスタを求めます。

例) TPBAnCNT1 = “08_H” のとき : (08_H / 02_H) - 01_H = 03_H → TPBA0BUF03 (上位 8bit)

注 5. TPBAnDPS = “1” で、TPBAnCNT1 のリード値が TPBAnCNT1 = “00_H” のとき
TPBAnCMP1 / 2 の計算式により該当のレジスタを求めます。

例) TPBAnCMP1 = “08_H” のとき : 08_H / 2 = 04_H → TPBA0BUF04 (下位 8bit)

22.4.4 基本動作例

概要

TPBAnCMP0 レジスタの PWM 周期、TPBAnBUF00-TPBAnBUF63 レジスタのデューティにより、PWM を TPBAnO 端子から出力します。

前提条件

- TPBAnDPS レジスタの設定により、16 ビット×64 パタンか 8 ビット×128 パタンを選択
- TPBAnBUF00-TPBAnBUF63 レジスタにデューティを設定
- TPBAnCMP1 レジスタにパタン数を設定

機能説明

PWM 周期、パタン数、デューティ、出力を設定。TPBAnTS.TPBAnTS0 = 1 (または同時スタートトリガを入力) にすると、カウントアップを開始します。

カウントアップ開始と同時に、TPBAnO 端子はアクティブレベルとなり、TPBAnCNT1 レジスタはカウントアップし次のデューティ値が格納されているバッファのアドレスを示します。

16 ビットカウンタと TPBAnBUFm バッファレジスタ (TPBAnCB2) の一致によりインアクティブレベルとなります。

次に 16 ビットカウンタと TPBAnCMP0 バッファレジスタ (TPBAnCB0) の一致により TPBAnBUFm レジスタからバッファレジスタ (TPBAnCB2) に転送され TPBAnCNT1 がカウントアップし、周期一致検出割り込み (INTTPBAnIPRD) が発生します。TPBAnO 端子は 1 カウントクロック後にアクティブレベルとなります。

カウント動作中、16 ビットカウンタと TPBAnBUFm のバッファレジスタ (TPBAnCB2) の一致でデューティ一致検出割り込み (INTTPBAnIDTY) が発生します。

7 ビットカウンタと TPBAnCMP1 バッファレジスタ (TPBAnCB1) の一致でパタン一致検出割り込み (INTTPBAnIPAT) が発生します。

22.4.4.1 動作一覧

表 22.22 16 ビットカウンタ機能

動作		設定条件
16 ビットカウンタ	スタート	TPBAnTS = 1 ライト、または同時スタートトリガ
	クリア	TPBAnCMP0 バッファレジスタと 16 ビットカウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 22.23 7 ビットカウンタ機能

動作		設定条件
7 ビットカウンタ	スタート	TPBAnTS = 1 ライト、または同時スタートトリガ
	クリア	TPBAnCMP1 バッファレジスタと 7 ビットカウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 22.24 コンペアレジスタの機能とバッファレジスタ

(データ) レジスタ	バッファレジスタ	書き換え方法	動作中の書き換え	機能
TPBAnCMP0	TPBAnCB0	リロード	可能	周期
TPBAnCMP1	TPBAnCB1	リロード	可能	パターン数
TPBAnBUFm	TPBAnCB2	随時書き換え	可能	デューティ
TPBAnTOL	TPBAnTOLB	リロード	可能	出力レベル

バッファレジスタについて

周期、パターン数、デューティ、タイマ出力レベルを設定するレジスタは、ユーザーが直接設定可能なデータレジスタと直接設定が不可能なバッファレジスタから構成されています。

表 22.25 タイマ出力機能

端子	機能
TPBAnO	<ul style="list-style-type: none"> 出力許可時 (TPBAnTOE = 01_H) TPBAnBUFm バッファレジスタ (TPBAnCB2) と 16 ビットカウンタのコンペア一致による PWM 出力 出力停止時 (TPBAnTOE = 00_H) TPBAnTO レジスタの設定値

表 22.26 割り込み要求

割り込み	機能
INTTPBAnIPRD	周期一致検出割り込み
INTTPBAnIDTY	デューティ一致検出割り込み
INTTPBAnIPAT	パターン数一致検出割り込み

表 22.27 コンペア一致タイミング

コンペア一致	タイミング
TPBAnCMP0	16 ビットカウンタが TPBAnCMP0 と一致 → 0000 _H へ切り替わるとき
TPBAnCMP1	7 ビットカウンタが TPBAnCMP1 と一致 → 01 _H へ切り替わるとき
TPBAnBUFm	16 ビットカウンタとバッファレジスタ (TPBAnCB2) の一致したとき

表 22.28 タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TPBAnO	PWM 出力	(TPBAnCMP0 + 1) × カウントクロック	1 周期の期間内すべてインアクティブ レベル出力 (デューティ 0%)	TPBAnBUFm = 0000 _H
			1 周期で 1 カウントクロックの アクティブレベル出力	TPBAnBUFm = 0001 _H
			1 周期で 1 カウントクロックの インアクティブレベル出力	TPBAnBUFm = TPBAnCMP0
			1 周期の期間内すべてアクティブ レベル出力 (デューティ 100%)	TPBAnBUFm ≥ TPBAnCMP0 + 1

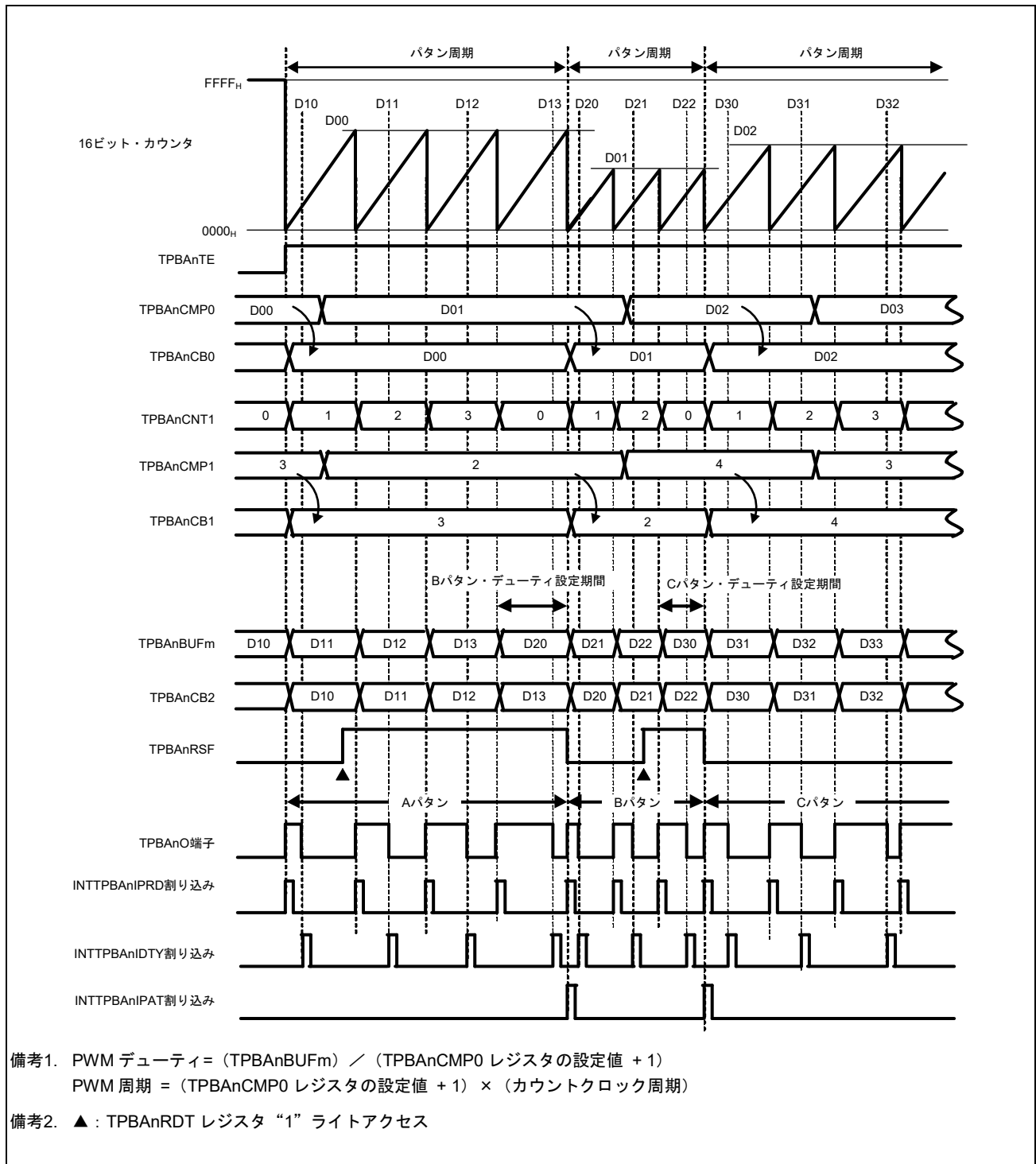


図 22.5 基本動作タイミング例 (1/2)

注 意

TPBAnO は INTTPBAnIPRD 出力の 1 カウントクロック後にアクティブレベルが出力され、INTTPBAnIDTY 出力タイミングでインアクティブレベルが出力されます。

TPBAnCMP0、TPBAnTOL レジスタのリロードタイミングをパターン数一致検出割り込みとした場合 (TPBAnIRDM.TPBAnRDM0 = 0、TPBAnTOL = 0)

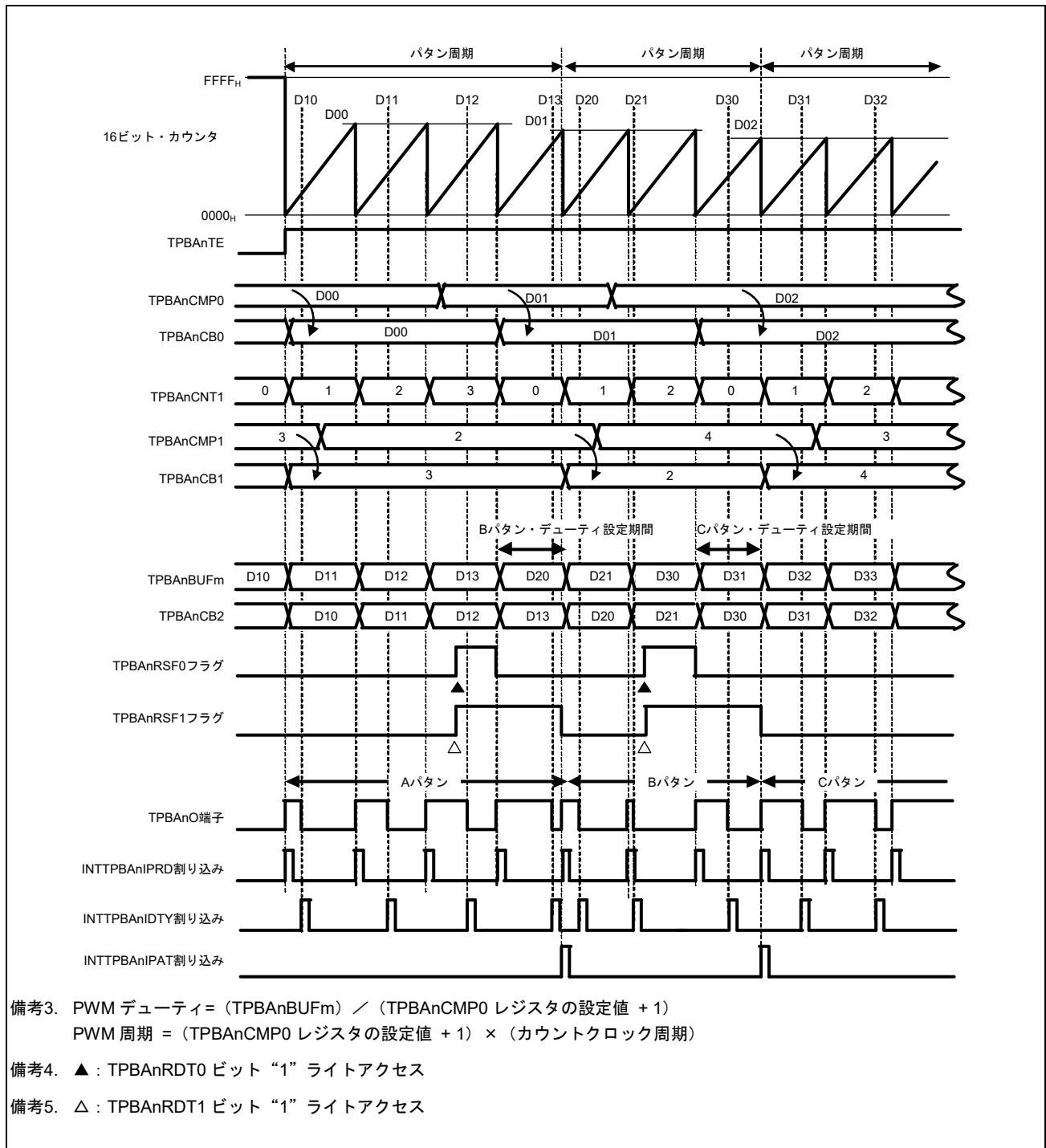


図 22.5 基本動作タイミング例 (2/2)

注 意

TPBAnO は INTTPBAnIPRD 出力の 1 カウントクロック後にアクティブレベルが出力され、INTTPBAnIDTY 出力タイミングでインアクティブレベルが出力されます。

TPBAnCMP0、TPBAnTOL レジスタのリロードタイミングを周期一致検出割り込みとした場合
 (TPBAnIRDM.TPBAnRDM0 = 1、TPBAnTOL = 0)

第23章 エンコーダタイマ (ENCA)

本章では、エンコーダタイマ (ENCA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。

それ以降の節では、ENCA の機能、レジスタについて説明します。

23.1 RH850/C1M-A ENCA の特長

23.1.1 ユニット数

本製品は以下のユニット数の ENCA を搭載しています。

表 23.1 ユニット数

製品名	RH850/C1M-A
ユニット数	2
名称	ENCA _n (n = 0, 1)

表 23.2 添字

添字	意味
n	本章では、ENCA の各ユニットを「n」 (n = 0, 1) で識別します。たとえば、ENCA _n 制御レジスタは ENCA _n CTL と記述します。

23.1.2 レジスタベースアドレス

ENCA のベースアドレスを以下の表に示します。

ENCA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 23.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ENCA0_base>	FFE8 0000 _H
<ENCA1_base>	FF88 1000 _H

23.1.3 クロック供給

ENCA のクロック供給を以下の表に示します。

表 23.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ENCA _n	PCLK	CLKC_HSB (非変調高速周辺クロック)

23.1.4 割り込みと DMA / DTS

ENCA の割り込み要求を以下の表に示します。

表 23.5 割り込み要求

ユニット割り込み名	概要	割り込み番号	DMA トリガ 番号 ^{注 1}		DTS トリガ 番号 ^{注 1}	
			1st	2nd	1st	2nd
ENCA0						
INTENCA0IOV	オーバフロー割り込み	166	53	—	53	—
INTENCA0IUD	アンダフロー割り込み	168	55	—	55	—
INTENCA0I0	コンペア 0 一致またはキャプチャ 0 割り込み	164	51	—	51	—
INTENCA0I1	コンペア 1 一致またはキャプチャ 1 割り込み	167	54	—	54	—
INTENCA0IEC	エンコーダクリア入力によるクリア割り込み	169	56	—	56	—
ENCA1						
INTENCA1IOV	オーバフロー割り込み	170	57	—	57	—
INTENCA1IUD	アンダフロー割り込み	172	59	—	59	—
INTENCA1I0	コンペア 0 一致またはキャプチャ 0 割り込み	165	52	—	52	—
INTENCA1I1	コンペア 1 一致またはキャプチャ 1 割り込み	171	58	—	58	—
INTENCA1IEC	エンコーダクリア入力によるクリア割り込み	173	60	—	60	—

注 1. 1st : Primary Channel 、 2nd : Secondary Channel

— : 割り当てなし

23.1.5 リセット要因

ENCA のリセット要因を以下に示します。ENCA は以下のリセット要因で初期化されます。

表 23.6 リセット要因

ユニット名	リセット要因
ENCA _n	すべてのリセット要因でリセット

23.1.6 外部入出力信号

ENCA の外部入出力信号を以下の表に示します。

表 23.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
ENCA0		
ENCA0I0	ENCA0 キャプチャトリガ入力 0	ENCA0TIN0
ENCA0I1	ENCA0 キャプチャトリガ入力 1 ^{注 1}	ENCA0TIN1
ENCA0E0	ENCA0 エンコーダ入力 0 ^{注 1}	ENCA0E0
ENCA0E1	ENCA0 エンコーダ入力 1 ^{注 1}	ENCA0E1
ENCA0EC	ENCA0 エンコーダクリア入力 ^{注 1}	ENCA0EC
ENCA1		
ENCA1I0	ENCA1 キャプチャトリガ入力 0	ENCA1TIN0
ENCA1I1	ENCA1 キャプチャトリガ入力 1 ^{注 1}	ENCA1TIN1
ENCA1E0	ENCA1 エンコーダ入力 0 ^{注 1}	ENCA1E0
ENCA1E1	ENCA1 エンコーダ入力 1 ^{注 1}	ENCA1E1
ENCA1EC	ENCA1 エンコーダクリア入力 ^{注 1}	ENCA1EC

注 1. PIC を経由し入力されます。

23.2 概要

23.2.1 機能概要

- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウント動作を実行
- 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペア一致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる 2 つのキャプチャ/コンペアレジスタ
- コンペア動作中にコンペア一致と判定された結果、生成される割り込み要求信号出力をマスクするための割り込みマスク機能
- アンダフローが発生したときにキャプチャ/コンペアレジスタの値をカウンタにロードする機能
- タイマカウンタのクリア条件にエンコーダ入力信号を利用可能
- タイマカウンタクリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
- カウンタのオーバフローとアンダフローの検出機能およびエラーフラグとエラー発生割り込みの出力機能
- 5 つの割り込み：キャプチャ/コンペア割り込み (2)、カウンタクリア割り込み (1)、オーバフロー割り込み (1)、アンダフロー割り込み (1)

23.2.2 ブロック図

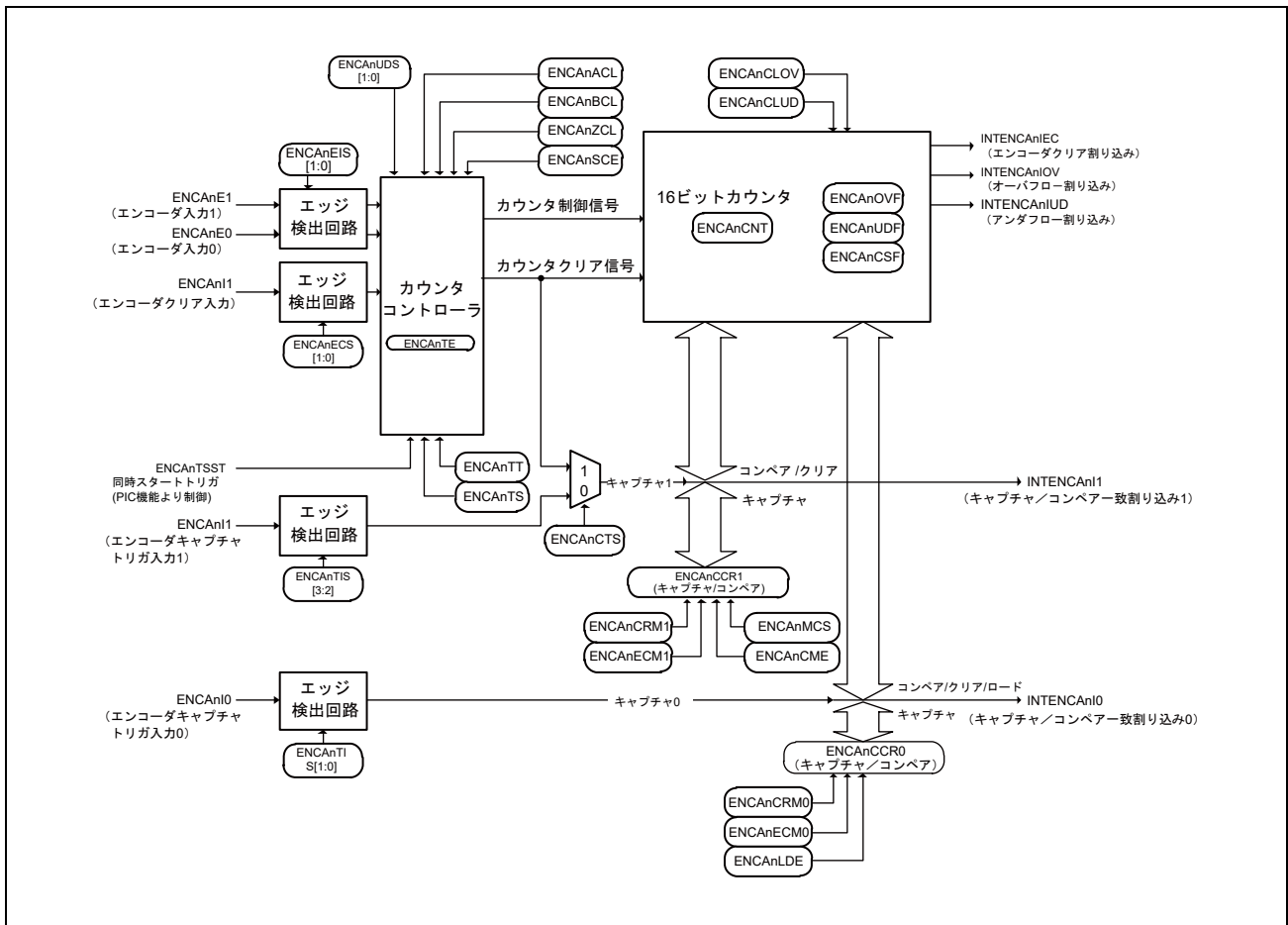


図 23.1 ENCA のブロック図

23.3 レジスタ

23.3.1 レジスタ一覧

ENCA のレジスタ一覧を以下の表に示します。

<ENCA_n_base>は「**23.1.2 レジスタベースアドレス**」を参照してください。

表 23.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ENCA _n	ENCA _n キャプチャ/コンペアレジスタ 0	ENCA _n CCR0	<ENCA _n _base>
ENCA _n	ENCA _n キャプチャ/コンペアレジスタ 1	ENCA _n CCR1	<ENCA _n _base> + 04 _H
ENCA _n	ENCA _n カウンタレジスタ	ENCA _n CNT	<ENCA _n _base> + 08 _H
ENCA _n	ENCA _n ステータスフラグレジスタ	ENCA _n FLG	<ENCA _n _base> + 0C _H
ENCA _n	ENCA _n ステータスフラグクリアレジスタ	ENCA _n FGC	<ENCA _n _base> + 10 _H
ENCA _n	ENCA _n タイマイネーブルステータスレジスタ	ENCA _n TE	<ENCA _n _base> + 14 _H
ENCA _n	ENCA _n タイマスタートトリガレジスタ	ENCA _n TS	<ENCA _n _base> + 18 _H
ENCA _n	ENCA _n タイマストップトリガレジスタ	ENCA _n TT	<ENCA _n _base> + 1C _H
ENCA _n	ENCA _n I/O 制御レジスタ 0	ENCA _n IOC0	<ENCA _n _base> + 20 _H
ENCA _n	ENCA _n 制御レジスタ	ENCA _n CTL	<ENCA _n _base> + 40 _H
ENCA _n	ENCA _n I/O 制御レジスタ 1	ENCA _n IOC1	<ENCA _n _base> + 44 _H

23.3.2 ENCA_nCTL — ENCA_n 制御レジスタ

本レジスタは、ENCA_n のさまざまな動作の設定に使用されます。

アクセス 16 ビット単位でリード/ライト可能です。

動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CME	ENCA _n MCS	—	—	—	—	ENCA _n CRM1	ENCA _n CRM0	ENCA _n CTS	—	—	ENCA _n LDE	ENCA _n ECM1	ENCA _n ECM0	ENCA _n UDS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 23.9 ENCA_nCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ENCA _n CME	エンコーダクリアマスクイネーブルビット このビットは、コンペア機能が使用されているときにコンペア一致割り込み検出のマスクングを有効または無効にするために使用されます。 0 : ENCA _n CCR1 レジスタのコンペア一致割り込み (INTENCA _n 1) マスク機能を無効にします。 1 : ENCA _n CCR1 レジスタのコンペア一致割り込み (INTENCA _n 1) マスク機能を有効にします。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 このビットが「1」にセットされているときに ENCA _n ECM1 を「1」にセットすることは禁止されています。
14	ENCA _n MCS	エンコーダマスククリア選択ビット このビットは、コンペア機能が使用されているときにコンペア一致割り込み検出のマスクングをキャンセルするためのトリガの選択に使用されます。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 0 : ENCA _n CCR1 レジスタへの書き込みが行われると、コンペア一致割り込み検出のマスクングをキャンセルします。 1 : 以下の 3 つの動作のいずれかが実行されたときにコンペア一致割り込み検出のマスクングをキャンセルします。 - エンコーダクリア入力によるタイマカウンタクリア動作 - ENCA _n ECM0 = 1 のときに ENCA _n CNT と ENCA _n CCR0 がコンペア一致したときのタイマカウンタクリア動作 - ENCA _n LDE = 1 のときのアンダフローの検出による ENCA _n CCR0 からタイマカウンタへのロード
13~10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き込んでください。
9	ENCA _n CRM1	ENCA _n CCR1 レジスタモードビット 0 : ENCA _n CCR1 をコンペアレジスタとして使用します。 1 : ENCA _n CCR1 をキャプチャレジスタとして使用します。
8	ENCA _n CRM0	ENCA _n CCR0 レジスタモードビット 0 : ENCA _n CCR0 をコンペアレジスタとして使用します。 1 : ENCA _n CCR0 をキャプチャレジスタとして使用します。

表 23.9 ENCAAnCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	ENCAAnCTS	<p>ENCAAnCCR1 キャプチャトリガ選択ビット ENCAAnCCR1 レジスタへのキャプチャ動作のトリガを選択するビットです。 このビットは ENCAAnCRM1 = 1 のときにのみ有効になります。</p> <p>0 : キャプチャトリガ 1 信号の ENCAAnI1 を ENCAAnCCR1 レジスタへのキャプチャトリガとして使用します。 1 : ENCAAnSCE で選択されるカウンタクリア信号を、ENCAAnCCR1 レジスタへのキャプチャトリガとして使用します。</p>
6、5	予約ビット	<p>リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き込んでください。</p>
4	ENCAAnLDE	<p>ENCAAn カウンタロードイネーブルビット このビットは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。 このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。 ENCAAnCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCAAnCCR0 レジスタの設定値のロードは行われません。</p> <p>0 : カウンタのアンダフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを禁止します。 1 : カウンタのアンダフローが発生したときに ENCAAnCCR0 レジスタの設定値をカウンタにロードすることを許可します。</p>
3	ENCAAnECM1	<p>エンコーダクリアモードビット 1 このビットは、カウンタ値と ENCAAnCCR1 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCAAnCRM1 = 0 のときにのみ有効になります。</p> <p>0 : タイマカウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタ 0000_Hにクリアしません。 1 : 次のカウントがダウンカウントであれば、タイマカウンタ値と ENCAAnCCR1 の設定値が一致したときにカウンタを 0000_Hにクリアします。</p>
2	ENCAAnECM0	<p>エンコーダクリアモードビット 0 このビットは、カウンタ値と ENCAAnCCR0 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCAAnCRM0 = 0 のときにのみ有効になります。</p> <p>0 : タイマカウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000_Hにクリアしません。 1 : 次のカウントがアップカウントであれば、タイマカウンタ値と ENCAAnCCR0 の設定値が一致したときにカウンタを 0000_Hにクリアします。</p>
1、0	ENCAAnUDS[1:0]	<p>アップダウンカウント選択ビット 1 と 0 ENCAAnE0 と ENCAAnE1 を使用するカウンタアップ/ダウン制御ビットです。</p> <p>00 : ENCAAnE0 の有効エッジを検出したときに以下のカウントを実行します</p> <ul style="list-style-type: none"> - ENCAAnE1 = H の場合はダウンカウント - ENCAAnE1 = L の場合はアップカウント <p>01 : ENCAAnE0 の有効エッジを検出したときにアップカウントを実行します。 ENCAAnE1 の有効エッジを検出したときにダウンカウントを実行します。</p> <p>10 : ENCAAnE0 の立ち上がりエッジでダウンカウントを実行します。 ENCAAnE0 の立ち下がりエッジでアップカウントを実行します。ただし、カウントは ENCAAnE1 = L のときにのみ実行されます。</p> <p>11 : ENCAAnE0 と ENCAAnE1 の両方のエッジを検出します。検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。</p>

23.3.3 ENCAAnIOC0 — ENCAAn I/O 制御レジスタ 0

本レジスタは、キャプチャトリガ 0 と 1 (ENCAAnI0 と ENCAAnI1) の入力エッジの選択に使用されます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ENCAAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ENCAAnTIS[3:2]		ENCAAnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 23.10 ENCAAnIOC0 レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き込んでください。
3、2	ENCAAnTIS[3:2]	キャプチャトリガ 1 の入力エッジ選択ビットです。 これらのビットは ENCAAnCTL レジスタの ENCAAnCRM1 = 1 かつ ENCAAnCTS = 0 である場合にのみ有効になります。 ENCAAnCRM1 と ENCAAnCTS がそれ以外の値に設定されているときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。
1、0	ENCAAnTIS[1:0]	キャプチャトリガ 0 の入力エッジ選択ビットです。 これらのビットは ENCAAnCTL.ENCAAnCRM0 = 1 の場合にのみ有効になります。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

23.3.4 ENCAAnIOC1 — ENCAAn I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCAAn_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ENCAAnSCE	ENCAAnZCL	ENCAAnBCL	ENCAAnACL	ENCAAnECS[1:0]		ENCAAnEIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.11 ENCAAnIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	ENCAAnSCE	エンコーダ特殊クリアイネーブルビット これはエンコーダ特殊クリアイネーブルビットです。 このビットを1にセットする場合は、ENCAAnUDS1とENCAAnUDS0を10 _B または11 _B に設定してください。ENCAAnUDS1とENCAAnUDS0が00 _B または01 _B に設定された状態でこのビットを1にセットした場合の動作は保証されません。 0: (ENCAAnECS1とENCAAnECS0で設定された) ENCAAnECの有効エッジを検出すると、カウンタをクリアします。 1: (ENCAAnZCLビット、ENCAAnBCLビット、ENCAAnACLビットで設定された) ENCAAnEC、ENCAAnE1、ENCAAnE0の入カレベル条件を検出すると、カウンタをクリアします。
6	ENCAAnZCL	入力Zクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダクリア入力 (ENCAAnEC) のクリア条件の設定に使用されます。 このビットはENCAAnSCE = 1のときにのみ有効であり、ENCAAnSCE = 0のときは無効です。 0: クリア条件: ロウレベル 1: クリア条件: ハイレベル
5	ENCAAnBCL	入力Bクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力1 (ENCAAnE1) のクリア条件の設定に使用されます。 このビットはENCAAnSCE = 1のときにのみ有効であり、ENCAAnSCE = 0のときは無効です。 0: クリア条件: ロウレベル 1: クリア条件: ハイレベル
4	ENCAAnACL	入力Aクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力0 (ENCAAnE0) のクリア条件の設定に使用されます。 このビットはENCAAnSCE = 1のときにのみ有効であり、ENCAAnSCE = 0のときは無効です。 0: クリア条件: ロウレベル 1: クリア条件: ハイレベル

表 23.11 ENCAAnIOC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3、2	ENCAAnECS[1:0]	エンコーダクリア入力エッジ選択ビット 1 と 0 これらはエンコーダクリア入力エッジ選択ビットです。 これらのビットは ENCAAnSCE = 0 のときにのみ有効であり、ENCAAnSCE = 1 のときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。
1、0	ENCAAnEIS[1:0]	エンコーダエッジ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビットです。 これらのビットは、ENCAAnUDS1 と ENCAAnUDS0 が 00 _B または 01 _B のときにのみ有効であり、ENCAAnUDS1 と ENCAAnUDS0 が 10 _B または 11 _B のときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

23.3.5 ENCA_nFLG — ENCA_n ステータスフラグレジスタ

本レジスタには ENCA_n のタイマカウンタのステータスフラグが格納されます。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENCA _n CSF	ENCA _n UDF	ENCA _n OVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 23.12 ENCA_nFLG レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。
2	ENCA _n CSF	カウンタステータスフラグ このビットには現在のタイマカウンタの動作が反映されます。 0: タイマカウンタがアップカウント状態にあります。 1: タイマカウンタがダウンカウント状態にあります。
1	ENCA _n UDF	アンダフローフラグ このビットには、タイマカウンタの動作中にアンダフローが発生したかどうか反映されます。 このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 - ENCA _n FGC レジスタの ENCA _n CLUD に「1」が書き込まれる - ENCA _n TE = 0 のときに ENCA _n TS ビットを「1」にセットすること、または同時スタートトリガ入力 (ENCA _n TSST 信号) を“ハイ”にすることによってフラグが「0」にクリアされます。 1: エンコーダタイマカウント動作中にアンダフローが発生すると、このフラグが「1」にセットされます。
0	ENCA _n OVF	オーバフローフラグ このビットには、タイマカウンタの動作中にオーバフローが発生したかどうか反映されます。 このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 - ENCA _n FGC レジスタの ENCA _n CLOV に「1」が書き込まれる - ENCA _n TE = 0 のときに ENCA _n TS ビットを「1」にセットすること、または同時スタートトリガ入力 (ENCA _n TSST 信号) を“ハイ”にすることによってフラグが「0」にクリアされます。 1: エンコーダタイマカウント動作中にオーバフローが発生すると、このフラグが「1」にセットされます。

23.3.6 ENCAAnFGC — ENCAAn ステータスフラグクリアレジスタ

本レジスタは ENCAAnFLG のタイマカウンタステータスフラグをクリアするために使用されます。

アクセス 8ビット単位でライトのみ可能です。

常に 00_Hとしてリードされます。

アドレス <ENCAAn_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ENCAAnCLUD	ENCAAnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 23.13 ENCAAnFGC レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	ライトする場合はリセット後の値を書き込んでください。
1	ENCAAnCLUD	アンダフローフラグクリア このビットはアンダフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCAAnFLG レジスタの ENCAAnUDF をクリアします (アンダフロー検出のクリア)。
0	ENCAAnCLOV	オーバフローフラグクリア このビットはオーバフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCAAnFLG レジスタの ENCAAnOVF をクリアします (オーバフロー検出のクリア)。

23.3.7 ENCA_nCCR0 — ENCA_n キャプチャ/コンペアレジスタ 0

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 0 です。

アクセス 16 ビット単位でリード/ライト可能です。
 キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
 コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 00H

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CCR0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.14 ENCA_nCCR0 レジスタの内容

ビット位置	ビット名	機能
15~0	ENCA _n CCR0 [15:0]	キャプチャ/コンペアレジスタ 0 アンダフローが発生した場合は、ENCA _n CTL.ENCA _n LDE の設定にしたがって、本レジスタの設定値をカウンタにロードすることができます。詳細については、レジスタ ENCA _n CTL の ENCA _n LDE ビットの説明を参照してください。 <ul style="list-style-type: none"> • ENCA_nCTL.ENCA_nCRM0 = 0 の場合 : ENCA_nCCR0 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 • ENCA_nCTL.ENCA_nCRM0 = 1 の場合 : ENCA_nCCR0 はキャプチャレジスタになります。キャプチャされたタイマカウンタ値が格納されます。

23.3.8 ENCA_nCCR1 — ENCA_n キャプチャ/コンペアレジスタ 1

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 1 です。

アクセス 16 ビット単位でリード/ライト可能です。
 キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
 コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 04_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CCR1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.15 ENCA_nCCR1 レジスタの内容

ビット位置	ビット名	機能
15~0	ENCA _n CCR1 [15:0]	キャプチャ/コンペアレジスタ 1 キャプチャ動作中、本レジスタへのキャプチャトリガは、ENCA _n CTL.ENCA _n CTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCA _n CTL の ENCA _n CTS ビットの説明を参照してください。 <ul style="list-style-type: none"> • ENCA_nCTL.ENCA_nCRM1 = 0 の場合 : ENCA_nCCR1 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 • ENCA_nCTL.ENCA_nCRM1 = 1 の場合 : ENCA_nCCR1 はキャプチャレジスタになります。キャプチャされたタイマカウンタ値が格納されます。

23.3.9 ENCA_nCNT — ENCA_n カウンタレジスタ

本レジスタは 16 ビットのタイマカウンタレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

アドレス <ENCA_n_base> + 08_H

リセット後の値 0000_H

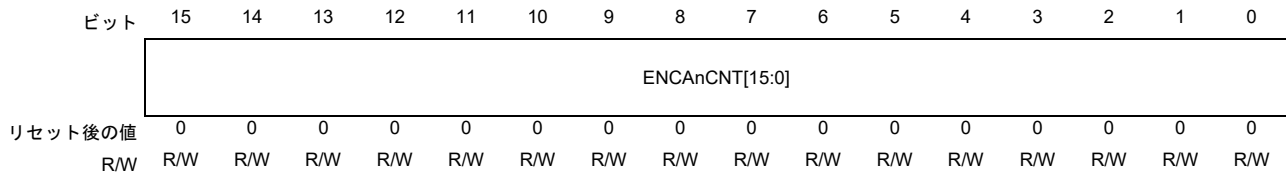


表 23.16 ENCA_nCNT レジスタの内容

ビット位置	ビット名	機能
15~0	ENCA _n CNT [15:0]	カウンタレジスタ <ul style="list-style-type: none"> ● ENCA_nTE.ENCA_nTE の状態 : 0 (初期設定) : カウント停止 任意の値をタイマカウンタに設定できます。 ● ENCA_nTE.ENCA_nTE の状態 : 0 → 1 (動作開始) : カウント動作開始 設定された任意の値からのアップ/ダウンカウント動作を開始します。 ● ENCA_nTE.ENCA_nTE の状態 : 1 (動作中) : カウント実行中 アップ/ダウンカウント動作を実行中です。 ● ENCA_nTE.ENCA_nTE の状態 : 1 → 0 (停止) : カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。

23.3.10 ENCA_nTE — ENCA_n タイマイネーブルステータスレジスタ

本レジスタは ENCA_n の動作状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 23.17 ENCA_nTE レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。
0	ENCA _n TE	タイマステータスイネーブルビット ENCA _n の動作可能/停止状態を示すステータスビットです。 このビットは、ENCA _n TT.ENCA _n TT に「1」が書き込まれると「0」にクリアされます。 また、このビットは、ENCA _n TS.ENCA _n TS に「1」が書き込まれるか、ENCA _n TSST 信号にハイレベルが入力されると「1」にセットされます。 0: 動作停止状態 1: 動作可能状態

23.3.11 ENCA_nTS — ENCA_n タイマスタートトリガレジスタ

本レジスタは、ENCA_n を動作可能状態に設定するトリガビットです。

アクセス 8 ビット単位でライトのみ可能です。

常に 00_H としてリードされます。本レジスタへの書き込みは ENCA_nTE.ENCA_nTE が 0 のときにのみ行うことができます。

アドレス <ENCA_n_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.18 ENCA_nTS レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	ENCA _n TS	タイマスタートトリガビット ENCA _n を動作可能状態に設定するトリガビットです。 0: 書き込みは無視されます。 1: ENCA _n TE.ENCA _n TE = 1 に設定することで、ENCA _n を動作可能状態に設定します。

23.3.12 ENCA_nTT — ENCA_n タイマストップトリガレジスタ

本レジスタは、ENCA_n を動作停止状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に 00_Hとしてリードされます。

アドレス <ENCA_n_base> + 1C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.19 ENCA_nTT レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	ENCA _n TT	タイマストップトリガビット ENCA _n を動作停止状態に設定するトリガビットです。 0 : 書き込みは無視されます。 1 : ENCA _n TE.ENCA _n TE を 0 にクリアし、ENCA _n をカウント動作停止状態に設定します。

23.4 機能

ENCA_n は、エンコーダ入力を利用してカウンタアップ/ダウン制御とクリア制御を行うことでタイマカウンタを動作させます。ENCA_nCCR0 レジスタと ENCA_nCCR1 レジスタは、専用のコンペアレジスタとしても専用のキャプチャレジスタとしても使用することができます。

23.4.1 タイマカウンタの動作

以下で ENCA_n のタイマカウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号を参照してください。

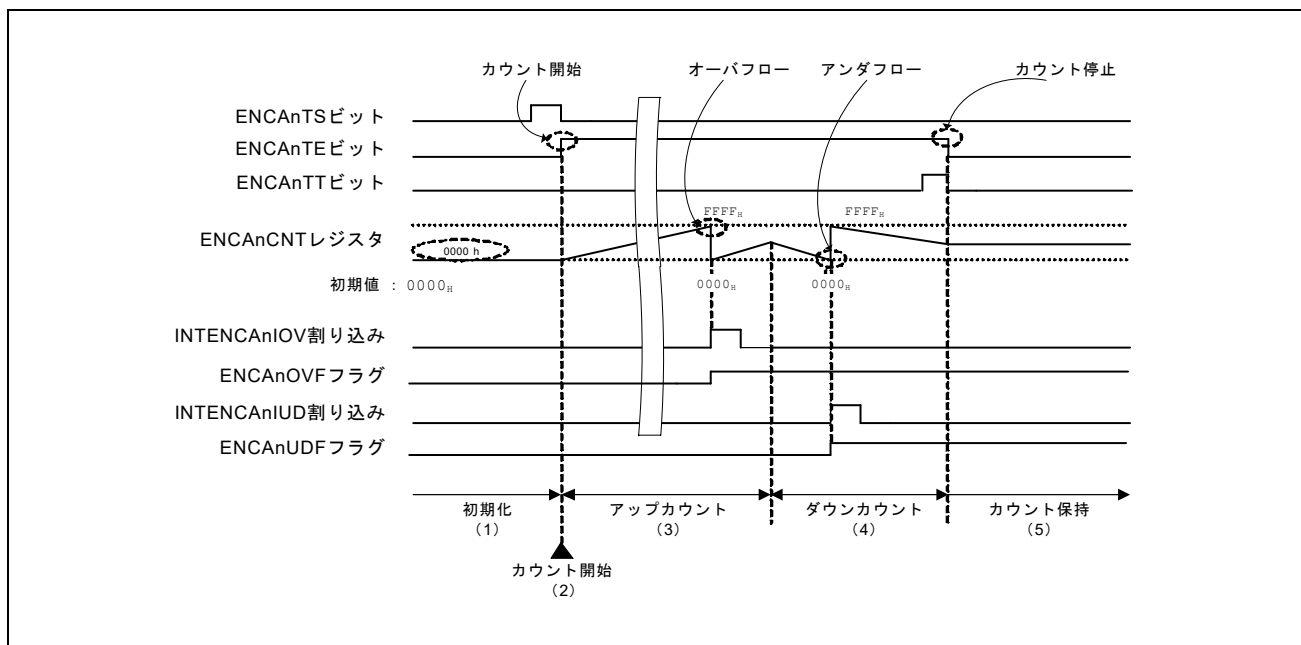


図 23.2 タイマカウンタの初期値設定/開始/停止

(1) タイマカウンタの初期値設定

カウンタ動作停止状態 (ENCA_nTE = 0) のときに ENCA_n カウンタレジスタ (ENCA_nCNT) の初期値を設定することができます。

(2) タイマカウンタの起動

タイマスタートトリガビット (ENCA_nTS) に「1」を書き込むことによってタイマステータスイネーブルビット (ENCA_nTE) が「1」にセットされ、カウンタ動作許可状態となり、エンコーダ入力の有効エッジが検出されるとカウンタ動作が実行されます。

(3) オーバフロー動作

カウンタ値が FFFF_H のときにアップカウントが実行されると、オーバフローが発生します。カウンタ値が FFFF_H から 0000_H になると、オーバフロー割り込み (INTENCA_nIOV) が発生し、オーバフローフラグ (ENCA_nOVF) が「1」にセットされます。オーバフローフラグクリアビット (ENCA_nCLOV) が「1」にセットされると、オーバフローフラグ (ENCA_nOVF) が「0」にクリアされます。動作の詳細については、「23.6.6 オーバフローの発生とオーバフローフラグクリア操作」を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。カウンタ値が 0000_H から FFFF_H になると、アンダフロー割り込み (INTENCA_nIUD) が発生し、アンダフローフラグ (ENCA_nUDF) が「1」にセットされます。アンダフローフラグクリアビット (ENCA_nCLUD) が「1」にセットされると、アンダフローフラグ (ENCA_nUDF) が「0」にクリアされます。動作の詳細については、「23.6.7 アンダフローの発生とアンダフローフラグクリア操作」を参照してください。

(5) タイマカウンタの停止

タイマストップトリガビット (ENCA_nTT) に「1」を書き込むことによって、タイマステータスイネーブルビット (ENCA_nTE) が「0」にクリアされ、カウント動作が停止します。その時点で、タイマカウンタは 0000_H にリセットされず、カウント動作が停止する直前の値を保持します。

23.4.2 タイマカウンタのアップ/ダウン制御

アップ/ダウン制御は、ENCAnUDS1 と ENCAnUDS0 ビットの設定にしたがってエンコーダ入力 (ENCAnE0、ENCAnE1) の位相を判定することによって行われます。

23.4.2.1 ENCACTL レジスタの ENCAnUDS1、ENCAnUDS0 ビット = 00_B の場合

表 23.20 ENCAUDS1、ENCAnUDS0 ビット = 00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	0	立ち上がりエッジ	ハイレベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
0	0	立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 端子の有効エッジは、ENCAnEIS1 と ENCAnEIS0 ビットを設定することによって指定します。カウント動作は ENCAnE0 と ENCAnE1 端子の有効エッジとレベルが一致するとアップ/ダウンカウントを行います。

以下のタイミング図は、ENCAnUDS1、ENCAnUDS0 ビット=00_B のときのカウント動作を示しています。

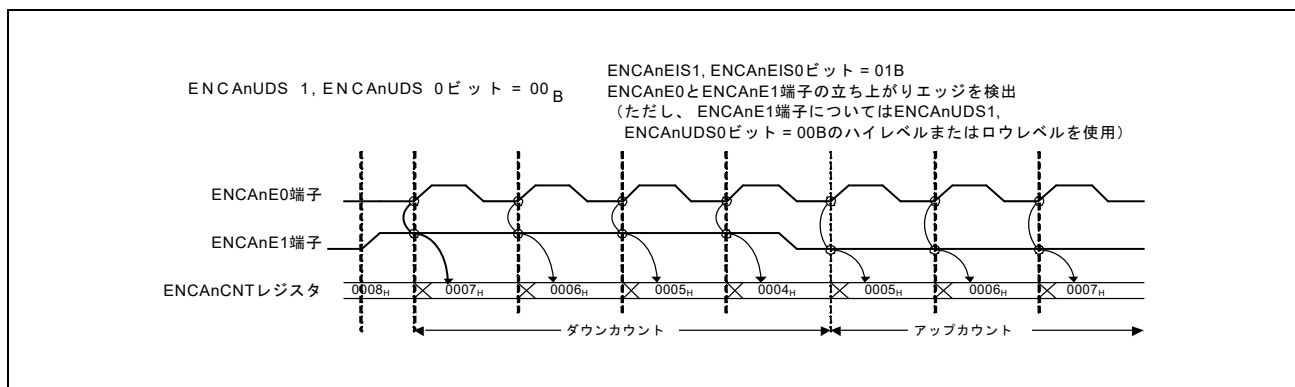


図 23.3 ENCACTL レジスタの ENCAnUDS1、ENCAnUDS0 ビット = 00_B のときのカウント動作

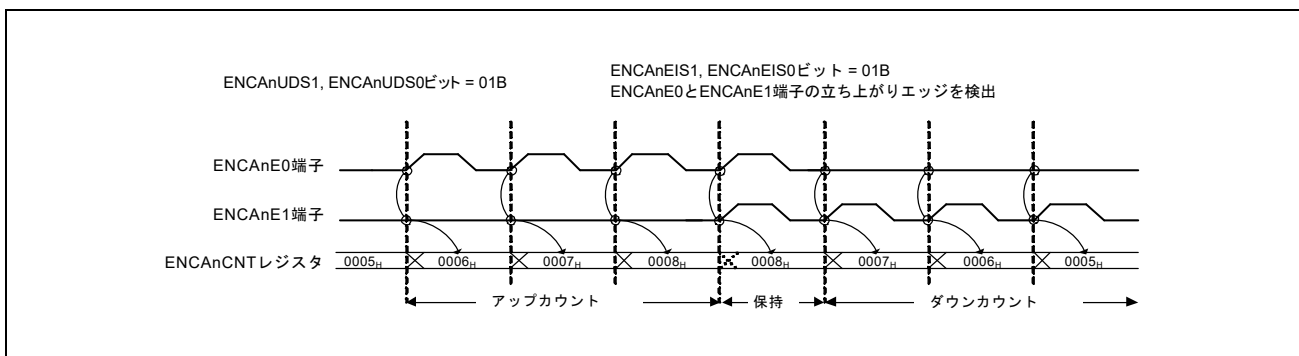
23.4.2.2 ENCA_nCTL レジスタの ENCA_nUDS1、ENCA_nUDS0 ビット = 01_B の場合表 23.21 ENCA_nUDS1、ENCA_nUDS0 ビット = 01_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
0	1	ロウレベル	立ち上がりエッジ	ダウン
			立ち下がりエッジ	
			両方のエッジ	
		ハイレベル	立ち上がりエッジ	アップ
			立ち下がりエッジ	
			両方のエッジ	
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ハイレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		
		同時入力	保持	

ENCA_nE0 と ENCA_nE1 端子の有効エッジは、ENCA_nEIS1 と ENCA_nEIS0 ビットを設定することによって指定します。

カウント動作は ENCA_nE0 と ENCA_nE1 端子の有効エッジとレベルが一致するとアップ/ダウンカウントを行います。また、有効エッジが重なるとカウントを保持します。

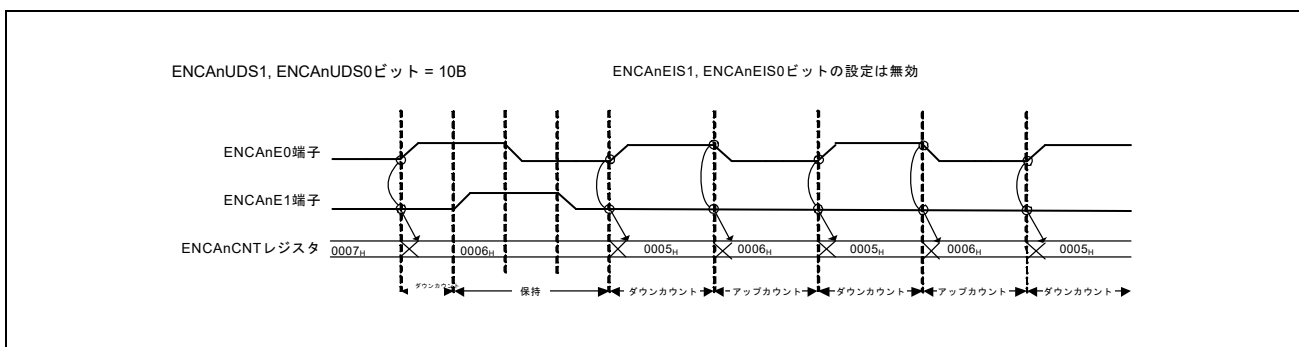
以下のタイミング図は、ENCA_nUDS1、ENCA_nUDS0 ビット=01_B のときのカウント動作を示しています。

図 23.4 ENCA_nCTL レジスタの ENCA_nUDS1、ENCA_nUDS0 ビット = 01_B のときのカウント動作

23.4.2.3 ENCA_nCTL レジスタの ENCA_nUDS1、ENCA_nUDS0 ビット = 10_B の場合表 23.22 ENCA_nUDS1、ENCA_nUDS0 ビット = 10_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
1	0	立ち上がりエッジ	ロウレベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウレベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウレベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイレベル	
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイレベル	

ENCA_nE0 と ENCA_nE1 端子の有効エッジの指定 (ENCA_nEIS1 と ENCA_nEIS0 ビットの設定) は無効です。以下のタイミング図は、ENCA_nUDS1、ENCA_nUDS0 ビット = 10_B のときのカウント動作を示しています。

図 23.5 ENCA_nCTL レジスタの ENCA_nUDS1、ENCA_nUDS0 ビット = 10_B のときのカウント動作

23.4.2.4 ENCA_nCTL レジスタの ENCA_nUDS1、ENCA_nUDS0 ビット = 11_B の場合

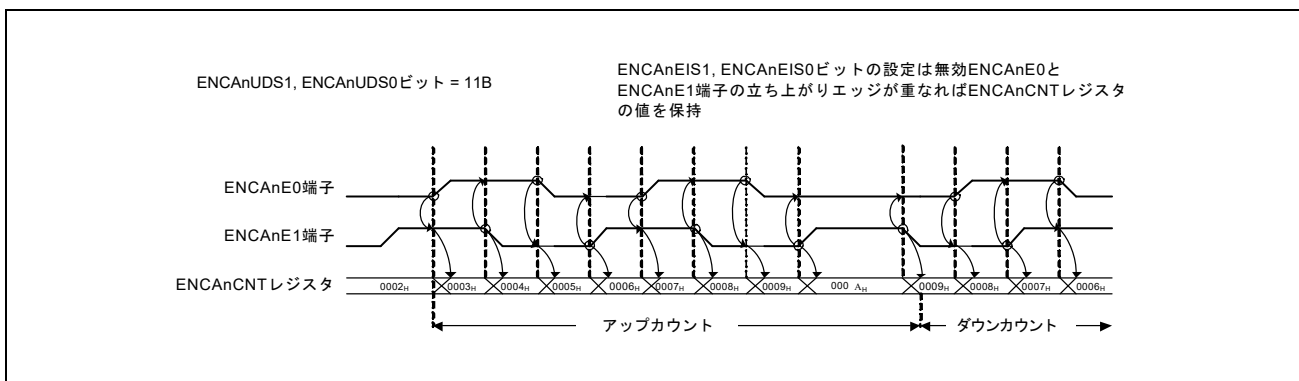
表 23.23 ENCA_nUDS1、ENCA_nUDS0 ビット = 11_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 端子	ENCA _n E1 端子	カウント動作
1	1	ロウレベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウレベル	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイレベル	
		立ち上がりエッジ	ハイレベル	アップ
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	
		ロウレベル	立ち上がりエッジ	
同時入力			保持	

ENCA_nE0 と ENCA_nE1 端子の有効エッジの指定 (ENCA_nEIS1 と ENCA_nEIS0 ビットの設定) は無効です。

ENCA_nE0 と ENCA_nE1 端子の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCA_nUDS1、ENCA_nUDS0 ビット=11_B のときのカウンタ動作を示しています。

図 23.6 ENCA_nCTL レジスタの ENCA_nUDS1、ENCA_nUDS0 ビット = 11_B のときのカウンタ動作

23.4.3 エンコーダ入力によるタイマカウンタクリア制御

タイマカウンタは、エンコーダクリア入力 (ENCA_nEC) によって 0000_Hにクリアされます。

ENCA_nIOC1 レジスタの ENCA_nSCE ビット、ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビット、ENCA_nECS1 ビットおよび ENCA_nECS0 ビットを制御することによって、2 種類のクリア方法を選択できます。

表 23.24 エンコーダ入力によるタイマカウンタクリア制御の内容

クリア方法	ENCA _n SCE	ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n ECS1、 ENCA _n ECS0
23.4.3.1 参照	0	無効	無効	無効	有効
23.4.3.2 参照	1	有効	有効	有効	無効

23.4.3.1 ENCA_nSCE = 0 のときのクリア方法

- ENCA_nEC の有効エッジを検出すると、タイマカウンタは動作クロックと同期して 0000_Hにクリアされます。
- ENCA_nEC の有効エッジは ENCA_nECS1 ビットと ENCA_nECS0 ビットを設定することによって指定します。
- ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (INTENCA_nIEC) が出力されます。

ENCA_nSCE = 0 のときのクリア動作については、「**23.6.24 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作**」のタイミング図を参照してください。

23.4.3.2 ENCA_nSCE = 1 のときのクリア方法

- ENCA_nEC 入力、ENCA_nE1 入力、ENCA_nE0 入力のクリアレベルを検出すると、タイマカウンタは動作クロックと同期して 0000_Hにクリアされます。
- ENCA_nEC 入力、ENCA_nE1 入力、ENCA_nE0 入力のクリアレベルは、ENCA_nZCL ビット、ENCA_nBCL ビット、ENCA_nACL ビットを設定することによって指定します。
- ENCA_nECS1 ビットと ENCA_nECS0 ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (INTENCA_nIEC) が出力されます。

ENCA_nSCE = 1 のときのクリア動作については、「**23.6.23.2 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合**」～「**23.6.23.5 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合**」のタイミング図を参照してください。

ENCA_nZCL、ENCA_nBCL、ENCA_nACL の設定にしたがって行われるタイマカウンタのクリア条件を **表 23.25** に示します。

表 23.25 タイマカウンタのクリア条件

カウンタクリア条件の設定			エンコーダの端子入力レベル		
ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n EC	ENCA _n E1	ENCA _n E0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

23.4.4 ENCA_nCCR0 の機能

23.4.4.1 コンペア機能

- ENCA_nCRM0 = 0 のとき、ENCA_nCCR0 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み (INTENCA_nI0) が出力されます。
- ENCA_nECM0 = 1 の場合、次のカウント動作がアップカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_Hにクリアされます。

表 23.26 ENCA_nCCR0 のコンペア機能

ENCA _n CCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM0	ENCA _n ECM0		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタを 0000 _H にクリアします。
	1	アップカウント	タイマカウンタを 0000 _H にクリアします。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。

ENCA_nLDE = 1 の場合

- アンダフローが発生すると、ENCA_nCCR0 レジスタの設定値がタイマカウンタにロードされます。
- アンダフロー割り込み (INTENCA_nIUD) が出力されます。

備 考

ENCA_nLDE = 1 のときのタイミング図については「23.6.13 開始直後の ENCA_nLDE 機能の利用」から「23.6.17 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」を参照してください。

23.4.4.2 キャプチャ機能

- ENCA_nCRM0 = 1 のとき、ENCA_nCCR0 レジスタは専用のキャプチャレジスタとして機能します。
- キャプチャトリガ入力 0 (ENCA_nI0) の有効エッジを検出すると、タイマカウンタの値が ENCA_nCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み (INTENCA_nI0) が出力されます。

備 考

ENCA_nCCR0 へのキャプチャ動作については、「23.6.19 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)」と「23.6.22 コンペア一致クリア制御無効時のエンコーダの動作」のタイミング図を参照してください。

23.4.5 ENCA_nCCR1 の機能

23.4.5.1 コンペア機能

- ENCA_nCRM1 = 0 のとき、ENCA_nCCR1 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み (INTENCA_nI1) が出力されます。
- ENCA_nECM1 = 1 の場合、次のカウント動作がダウンカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_Hにクリアされます。

表 23.27 ENCA_nCCR1 のコンペア機能

ENCA _n CCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR1 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM1	ENCA _n ECM1		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタを 0000 _H にクリアします。

コンペア一致割り込みマスク機能

- ENCA_nCME = 1 のときは、コンペア 1 一致割り込みマスク機能が有効です。この状態では、タイマカウンタの値と ENCA_nCCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCA_nCME = 1 かつ ENCA_nMCS = 0 のときは、ENCA_nCCR1 レジスタへの書き込み操作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- ENCA_nCME = 1 かつ ENCA_nMCS = 1 のときは、エンコーダクリア入力によるタイマカウンタのクリア動作または ENCA_nCCR0 レジスタ値とタイマカウンタ値との一致によるタイマカウンタのクリア動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- ENCA_nCME = 1 かつ ENCA_nMCS = 1 かつ ENCA_nLDE = 1 のときは、アンダフロー検出時の ENCA_nCCR0 レジスタからタイマカウンタへのロード動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます (再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます)。
- コンペア 1 一致割り込みマスク機能を有効にする場合、ENCA_nECM1 を「1」にセットすることはできません。

表 23.28 ENCAAnCCR1 のコンペアー一致割り込みマスク機能

ENCAAnCCR1 の機能	コンペアー 1 一致割り込みマスク	割り込みマスク キャンセルトリガ	ENCAAnCCR1 とコンペアーが一致したときの コンペアー 1 一致割り込みの出力
ENCAAnCRM1	ENCAAnCME	ENCAAnMCS	
0 (コンペアー)	0 (マスク機能無効)	— (設定無効)	コンペアー一致が発生するたびにコンペアー 1 一致割り込みを出力します。
	1 (マスク機能有効)	0 (ENCAAnCCR1 への 書き込み操作)	最初のコンペアー一致でコンペアー 1 一致割り込みを 1 回出力します (キャンセルトリガが発生するまで、2 回目以降の一致によって生成される割り込みはマスクされます)。
1 (タイマカウンタクリア動作) (ENCAAnLDE = 1 のときのアン ダフロー発生による ENCAAnCCR0 からのタイマカウ ンタへのロード)			

23.4.5.2 キャプチャ機能

ENCAAnCRM1 = 1 のとき、ENCAAnCCR1 レジスタは、専用のキャプチャレジスタとして機能します。

備 考

ENCAAnCCR1 へのキャプチャ動作については、「23.6.18 カウントクロック間のキャプチャ動作 (ENCAAnCCR1)」のタイミング図を参照してください。

ENCAAnCTS のさまざまな設定に対応する動作を以下の表に示します。

表 23.29 ENCAAnCTS のさまざまな設定に対応する動作

ENCAAnCCR1 の 機能	キャプチャトリガ の選択	キャプチャトリガ信号	タイマカウンタのクリア	割り込みの発生
ENCAAnCRM1	ENCAAnCTS			
1 (キャプチャ)	0	キャプチャトリガ 1 入力 (ENCAAnI1)	タイマカウンタをクリア しません。	(1) キャプチャ 1 割り込み (INTENCAAnI1)
	1	エンコーダクリア入力 (ENCAAnSCE で設定)	タイマカウンタをクリア します。	(1) キャプチャ 1 割り込み (INTENCAAnI1) (2) エンコーダクリア割り込み (INTENCAAnIEC)

備 考

ENCAAnCTS = 0 または ENCAAnCTS = 1 のときのタイミング図については、以下を参照してください。

「23.6.8 エンコーダクリア入力 (ENCAAnEC 端子) によるカウントクリアとキャプチャ動作」、「23.6.9 オーバフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) によるクリア動作との競合」、「23.6.10 アンダフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) によるクリア動作との競合」、「23.6.16 ENCAAnLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCAAnEC 端子) によるクリア動作との競合」、「23.6.17 ENCAAnLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」。

23.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア

タイマカウンタ値と ENCA_nCCR0、ENCA_nCCR1 の設定値がコンペア一致したときに、ENCA_nCTL レジスタの ENCA_nECM1 ビットと ENCA_nECM0 ビットの設定にしたがって行われるタイマカウンタのクリア動作の詳細を以下の表に示します。

表 23.30 コンペアレジスタが一致したときのタイマカウンタのクリア動作の詳細

ENCA _n ECM1 と ENCA _n ECM0	次のカウント動作	ENCA _n CCR1 とのコンペア一致が 発生したときの タイマカウンタのクリア	ENCA _n CCR0 とのコンペア一致が 発生したときの タイマカウンタのクリア
00	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
01	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリア します
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
10	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタを 0000 _H にクリア します	タイマカウンタをクリアしません (カウント動作を継続します)
11	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリア します
	ダウンカウント	タイマカウンタを 0000 _H にクリア します	タイマカウンタをクリアしません (カウント動作を継続します)

23.4.6 タイマカウンタの起動/停止

23.4.6.1 タイマの起動

本製品では、エンコーダタイマが 2 ユニット搭載されており、個々に動作させることも、同期させて動作させることもできます。

個々に動作させる場合、各々に ENCA_nTS レジスタの ENCA_nTS ビットを「1」にセットすることで動作を開始します。

同期動作や他のタイマとの同時スタートを行う場合、PIC を設定することにより可能です。詳細は「**24.2.3.1 同時スタートトリガ機能**」を参照してください。

23.4.6.2 タイマの停止

各エンコーダタイマの ENCA_nTT レジスタの ENCA_nTT ビットをそれぞれ「1」にセットすることによって、ENCA_nTE レジスタの ENCA_nTE ビットを 0 に設定します。

ENCA_nTT レジスタの ENCA_nTT ビットへのアクセスが個々のエンコーダタイマで別々の動作として実行されるため、エンコーダタイマによって停止のタイミングが異なり、停止のタイミングで保持されるカウンタ値に、誤差が生じる可能性があります。したがって、停止後に動作を再開するときは、以下の例のように再設定したり、カウンタ値を補正する必要があります。

例 1. 動作を再開する前にカウンタ値を再設定する方法

条件 : 2 ユニットのエンコーダタイマが共通の ENCA_nE0、ENCA_nE1 端子、ENCA_nEC 端子入力に基づいて動作している。

再開の手順 : エンコーダタイマのカウンタに同じ値を設定することによって、同時再開を実行します。同じ値を設定することで、動作が停止したときに生じたカウンタ値の誤差がなくなり、動作を再開することができます。

例 2. 動作を再開する前にカウンタ値を補正する方法

条件 : 2 ユニットのエンコーダタイマが別々の ENCA_nE0、ENCA_nE1 端子、ENCA_nEC 端子入力に基づいて動作している。

再開の手順 : 同時再開時の各エンコーダタイマのカウンタ値の差を計算し、その差で補正された値を各カウンタに設定することによって、同時再開を実行します。
各エンコーダタイマのカウンタ値の差に関する情報が CPU の情報に含まれているため、差を計算し、補正された値を設定することで、動作が停止したときに生じたカウンタ値の誤差を修正して、動作を再開することができます。

23.4.6.3 ENCA_n を 2 ユニット使用時の接続例

2 ユニットの ENCA_n のカウンタ値を同時に操作するには、ENCA_nIOC1 レジスタおよび ENCA_nCTL レジスタの ENCA_nUDS1 ビットと ENCA_nUDS0 ビットに対して同じ設定を行います。

搭載された 2 ユニットの ENCA_n の ENCA_nCCR0 レジスタをコンペアレジスタとして使用するには、2 ユニットの ENCA_n の ENCA_nCCR0 レジスタ、ENCA_nECM0、ENCA_nLDE ビットに同じ値を設定します。

搭載された 2 ユニットの ENCA_n の ENCA_nCCR1 レジスタをコンペアレジスタとして使用するには、2 ユニットの ENCA_n の ENCA_nECM1 ビットに同じ値を設定します。

同じ値を設定しないと、別々のカウンタ値が使われるため、同期動作を実行できなくなります。

2 つの ENCA_n を使用している例を以下に示します。

この設定例では、ENCA_nCCR0 レジスタをコンペアレジスタとして設定し、ENCA_nCCR1 レジスタをキャプチャレジスタとして使用しています。

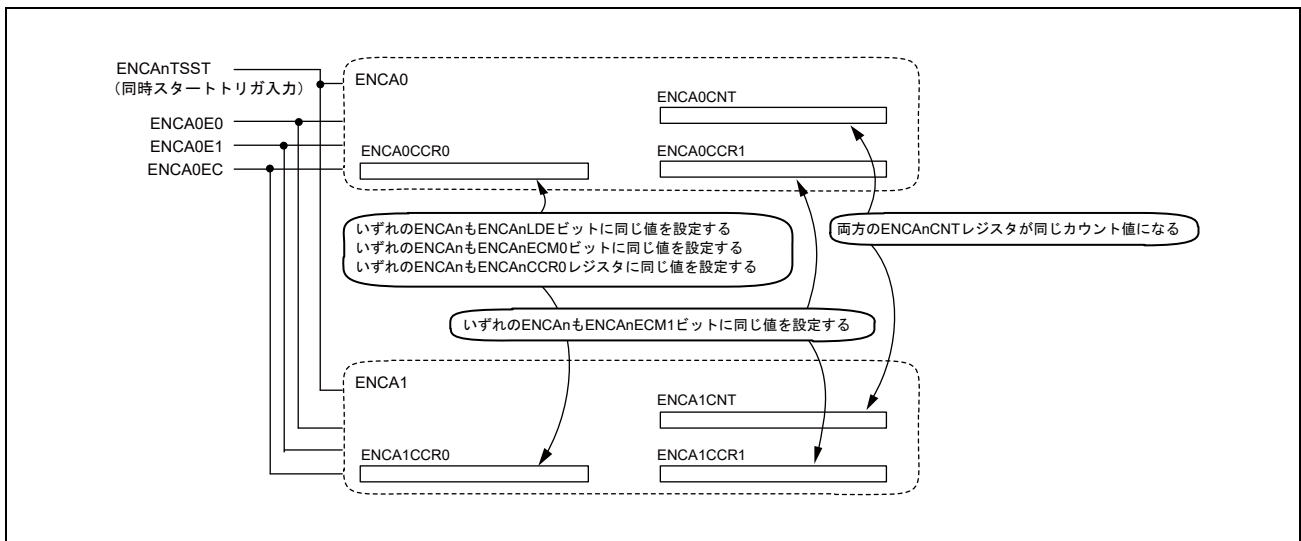


図 23.7 ENCA_n を 2 ユニット使用時の接続例

23.5 手順

23.5.1 ENCA_n の設定手順

以下で ENCA_n の設定の手順を説明します。

表 23.31 ENCA_n の設定の手順

	操作	設定の状態
初期設定	リセット解除	電源オン状態、動作停止状態。 (各レジスタへの書き込みは許可)
ENCA _n の初期設定	以下の初期設定を実行します。 <ul style="list-style-type: none"> カウンタの設定 カウンタクリアの設定 ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット= 0 です。
	カウンタの初期値の設定を実行します。 <ul style="list-style-type: none"> ENCA_nCNT レジスタに任意の 16 ビット値を設定します。 (このレジスタを設定した後、ENCA_nTS ビットを「1」にセットすると、設定されたカウント値からカウンタの動作が開始されます)。 	ここで設定される値がカウンタレジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTS ビットを「1」にセットします。 	カウンタ動作開始状態です。 動作状態を示す ENCA _n TE ビットの値が 1 であり、カウンタクロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 <ul style="list-style-type: none"> ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 ENCA_nIOC0 レジスタの設定 	初期設定で設定されたカウント動作が実行され、ENCA _n E0 端子と ENCA _n E1 端子にしたがってアップカウント/ダウンカウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTT ビットを「1」に設定します。 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット= 0 です。
ENCA _n 停止	リセット	設定レジスタが初期化されます。

23.5.1.1 カウンタの初期設定手順

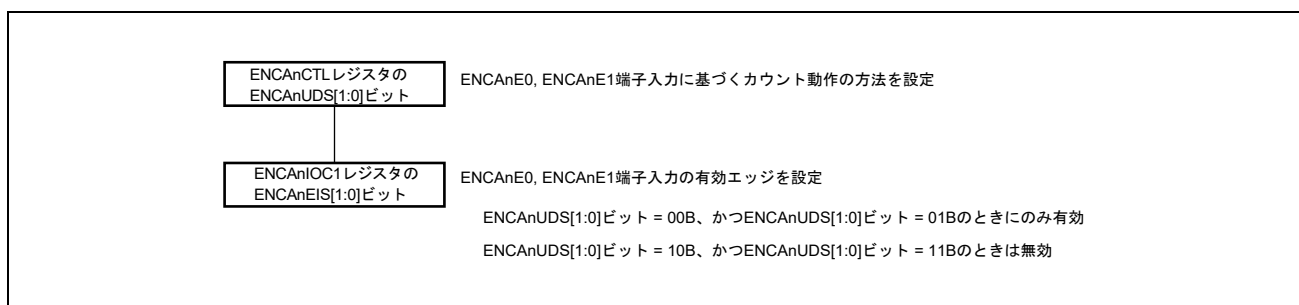


図 23.8 カウンタの初期設定手順

23.5.1.2 カウンタクリアのための初期設定手順

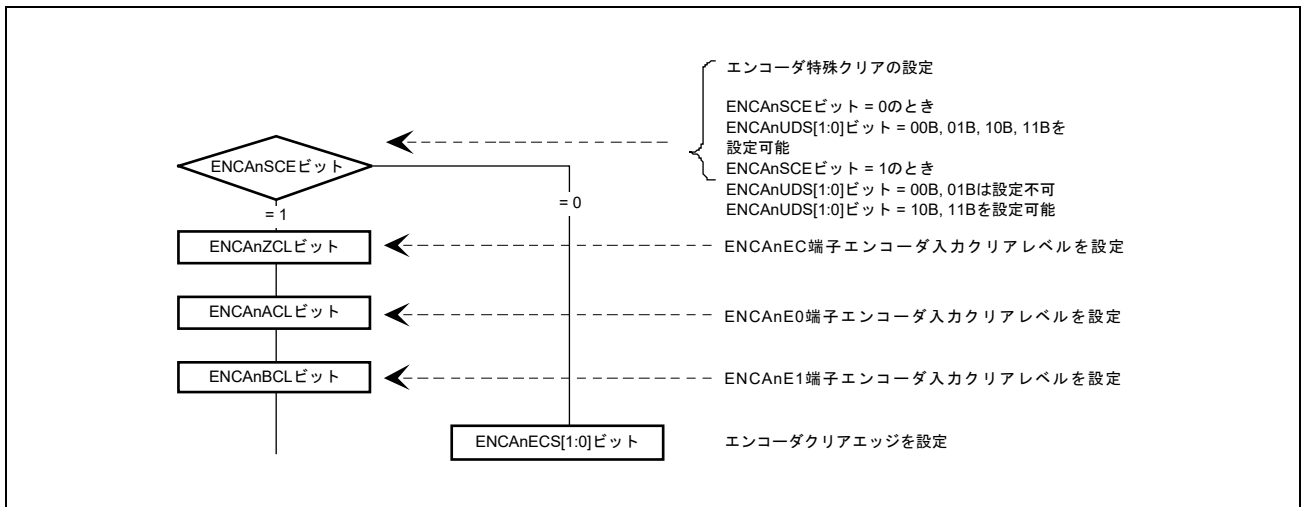


図 23.9 カウンタクリアのための初期設定手順

23.5.1.3 ENCAAnCCR0 レジスタの設定手順

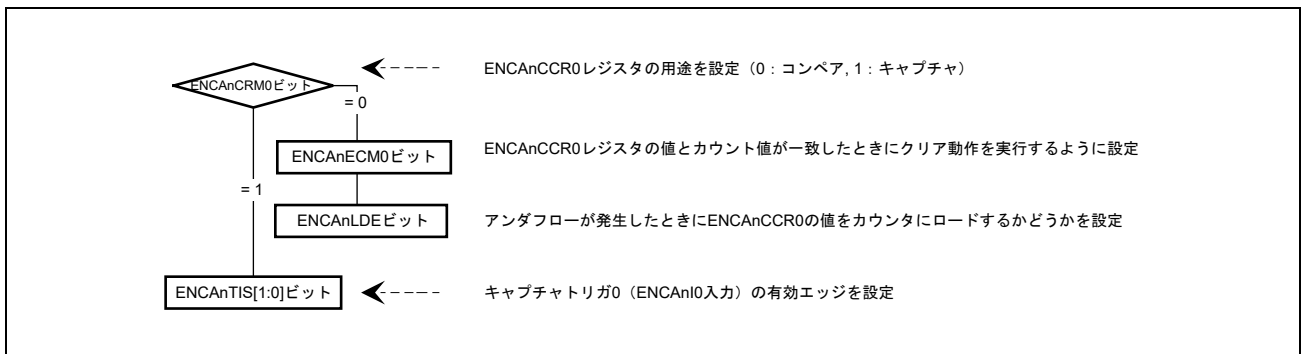
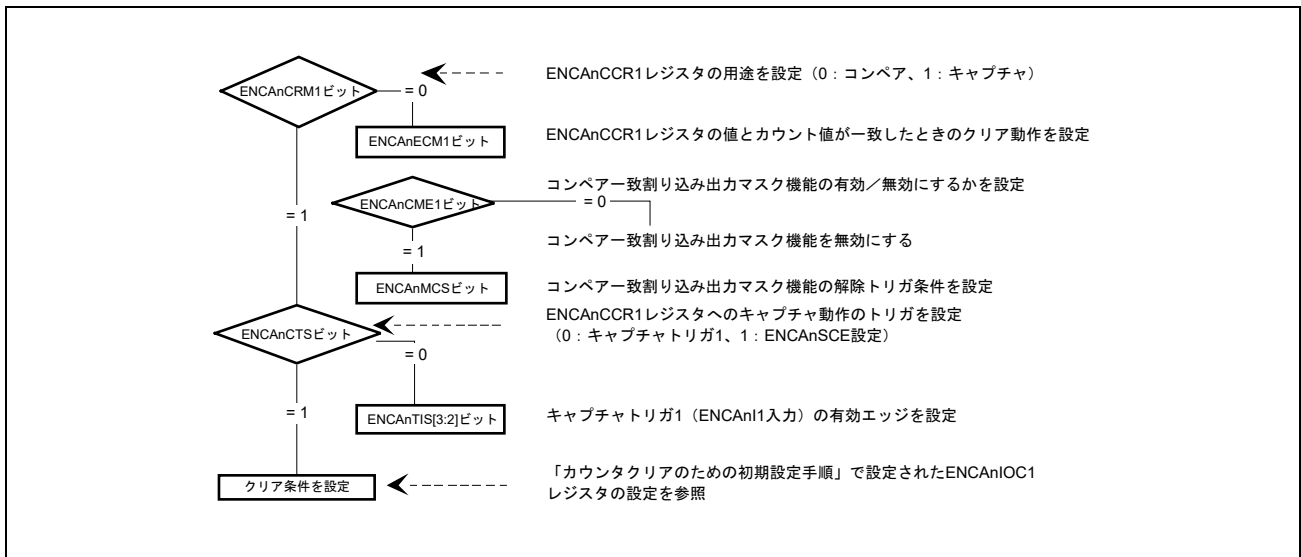


図 23.10 ENCAAnCCR0 レジスタの設定手順

23.5.1.4 ENCA_nCCR1 レジスタの設定手順図 23.11 ENCA_nCCR1 レジスタの設定手順

23.6 エンコーダ動作図

23.6.1 エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット=00_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをコンペア機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット=01_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値が一致したとき、次のカウントがアップカウントの場合、カウンタクリア)
- ENCA_nCTL レジスタの ENCA_nLDE ビット=1
(アンダフロー発生時、ENCA_nCCR0 レジスタ設定値をカウンタにロード)

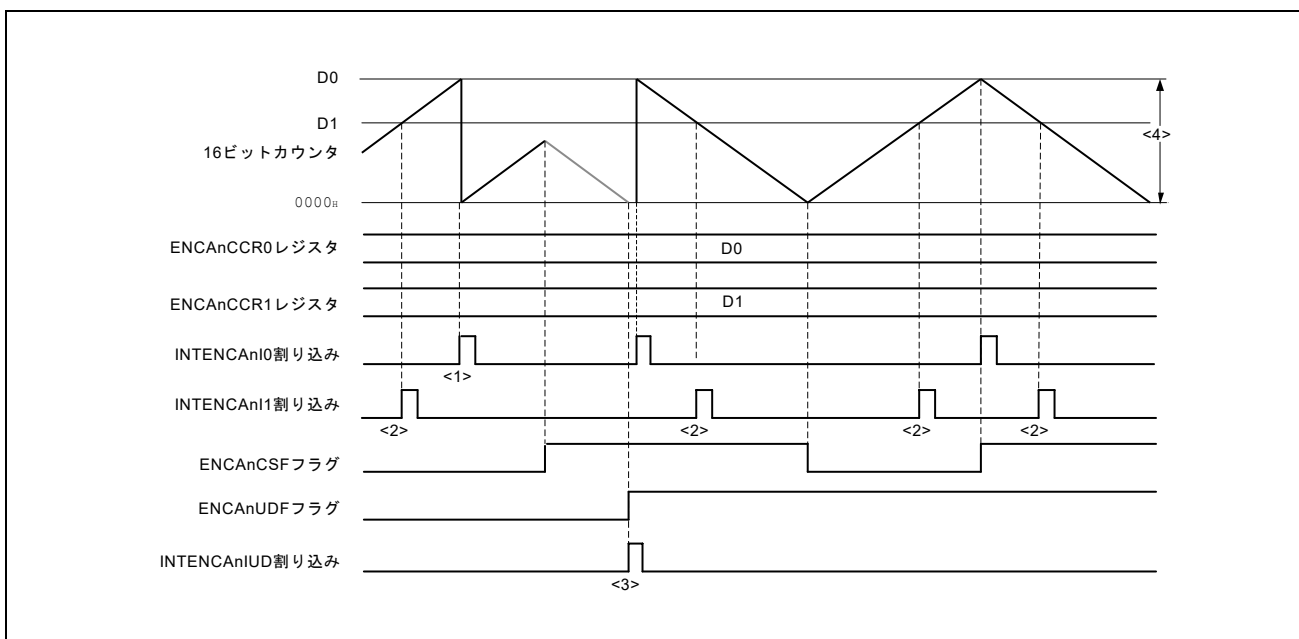


図 23.12 エンコーダ基本動作タイミング 1 (エンコーダコンペアモード①)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペア一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット=1 設定のため、次のカウント動作がアップカウントの場合カウンタを 0000_Hにクリアします。
2. カウンタ値と ENCA_nCCR1 レジスタ設定値 (D1) との一致によりコンペア一致割り込み (INTENCA_nI1) が発生します。
ENCA_nECM1 ビット=0 設定のため、ENCA_nCCR1 レジスタとの一致によるカウンタクリア動作は発生しません。
3. カウンタのアンダフローのタイミングでアンダフロー割り込み (INTENCA_nIUD) が発生します。
ENCA_nLDE ビット=1 設定のため、アンダフローの発生により ENCA_nCCR0 レジスタ設定値 (D0) がカウンタにロードされます。
4. ENCA_nLDE ビット=1、ENCA_nECM1、ENCA_nECM0 ビット=01_B の設定により「0000_H-ENCA_nCCR0 レジスタ設定値」間でカウント動作します。

23.6.2 エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット=00_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをコンペア機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット=00_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値との一致によるカウンタクリア動作は発生しません)
- ENCA_nCTL レジスタの ENCA_nLDE ビット=0
(ENCA_nCCR0 レジスタ設定値のカウンタへのロードなし)

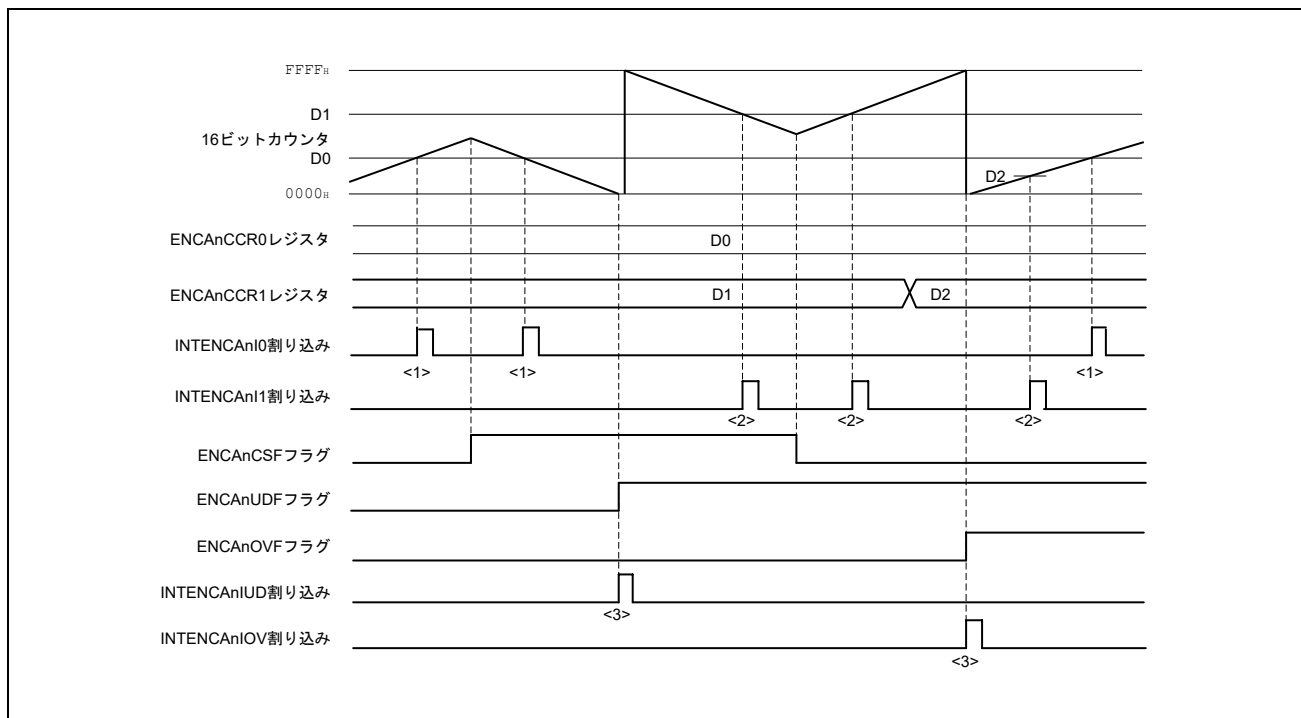


図 23.13 エンコーダ基本動作タイミング 2 (エンコーダコンペアモード②)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペア一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット=0 設定のため、ENCA_nCCR0 レジスタとの一致によるカウンタクリア動作は発生しません。
2. カウンタ値と ENCA_nCCR1 レジスタ設定値 (D1、D2) との一致によりコンペア一致割り込み (INTENCA_nI1) が発生します。
ENCA_nECM1 ビット=0 設定のため、ENCA_nCCR1 レジスタとの一致によるカウンタクリア動作は発生しません。
3. カウンタのオーバーフロー、アンダフローのタイミングで、オーバーフロー割り込み (INTENCA_nIOV)、アンダフロー割り込み (INTENCA_nIUD) が発生します。

23.6.3 エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット=00_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをコンペア機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット=11_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値が一致したとき、次のカウントがアップカウントの場合、カウンタクリア)
(カウンタ値と ENCA_nCCR1 レジスタの設定値が一致したとき、次のカウントがダウンカウントの場合、カウンタクリア)
- ENCA_nCTL レジスタの ENCA_nLDE ビット=0
(ENCA_nCCR0 レジスタ設定値のカウンタへのロードなし)

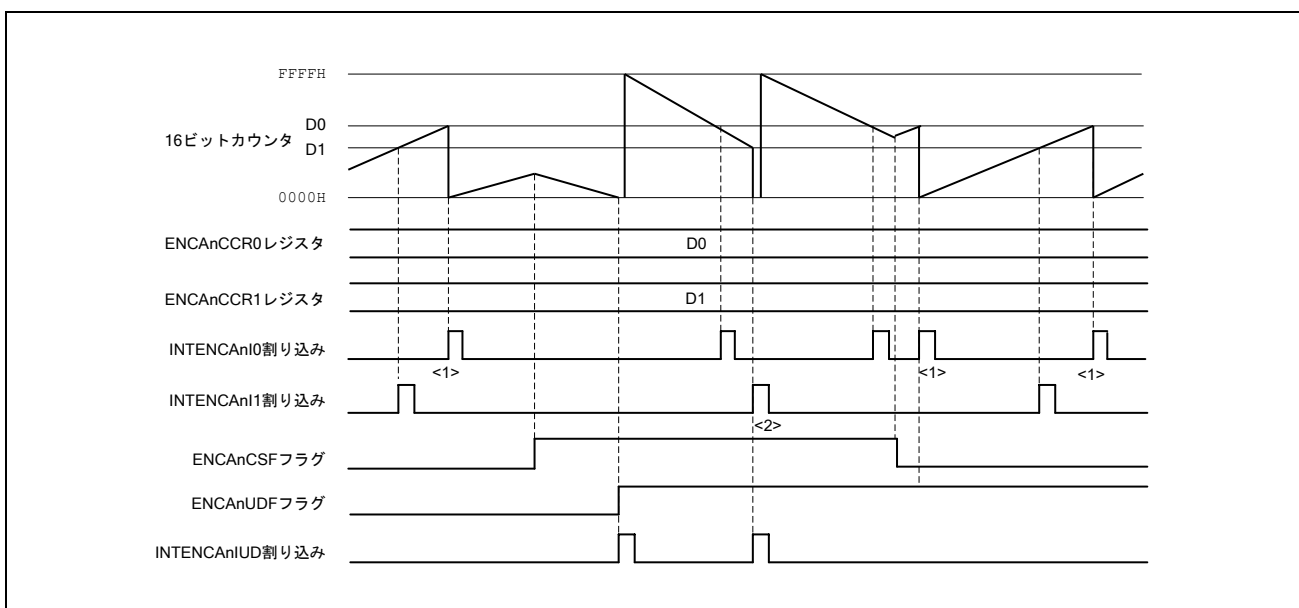


図 23.14 エンコーダ基本動作タイミング 3 (エンコーダコンペアモード③)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペア一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット=1 設定のため、次のカウント動作がアップカウントの場合カウンタを 0000_Hにクリアします。
2. カウンタ値と ENCA_nCCR1 レジスタ設定値 (D1) との一致によりコンペア一致割り込み (INTENCA_nI1) が発生します。
ENCA_nECM1 ビット=1 設定のため、次のカウント動作がダウンカウントの場合カウンタを 0000_Hにクリアします。

23.6.4 エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット=11_B
(ENCA_nCCR0、ENCA_nCCR1 レジスタをキャプチャ機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット=00_B
(カウンタ値と ENCA_nCCR0 レジスタの設定値との一致によるカウンタクリア動作は発生しません)
- ENCA_nCTL レジスタの ENCA_nLDE ビット=0
(ENCA_nCCR0 レジスタ設定値のカウンタへのロードなし)
- ENCA_nIOC1 レジスタの ENCA_nSCE ビット=0、ENCA_nECS1、ENCA_nECS0 ビット=00_B
(ENCA_nEC 端子入力によるエッジ検出なし)
- ENCA_nIOC0 レジスタの ENCA_nTIS3、ENCA_nTIS2 ビット=01_B
(ENCA_nI1 端子入力の立ち上がりエッジを検出)
- ENCA_nIOC0 レジスタの ENCA_nTIS1、ENCA_nTIS0 ビット=01_B
(ENCA_nI0 端子入力の立ち上がりエッジを検出)

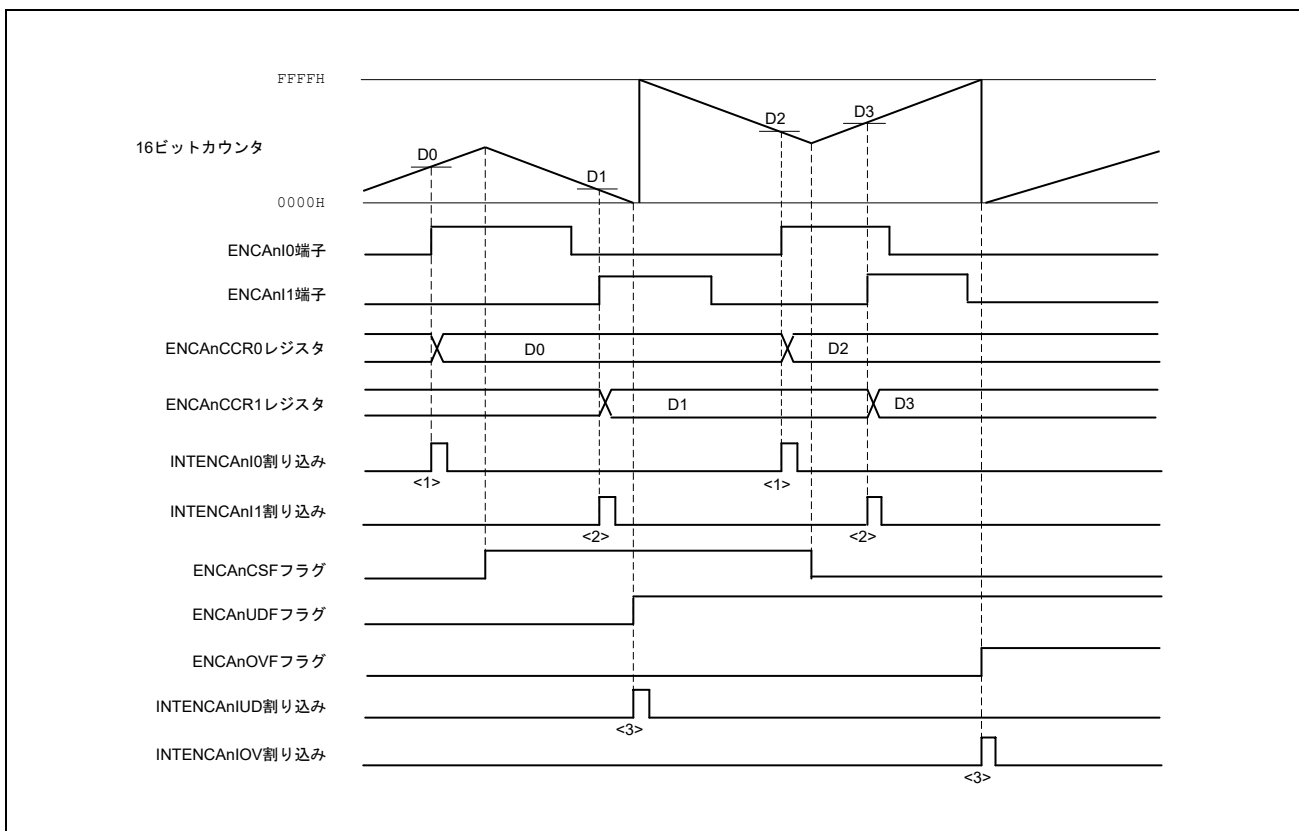


図 23.15 エンコーダ基本動作タイミング 4 (エンコーダキャプチャモード④)

1. ENCA_nI0 端子の立ち上がりエッジ検出によりカウンタ値 (D0、D2) をキャプチャレジスタ (ENCA_nCCR0) に格納し、キャプチャ割り込み (INTENCA_nI0) が発生します。
2. ENCA_nI1 端子の立ち上がりエッジ検出によりカウンタ値 (D1、D3) をキャプチャレジスタ (ENCA_nCCR1) に格納し、キャプチャ割り込み (INTENCA_nI1) が発生します。
3. カウンタのオーバフロー、アンダフローのタイミングで、オーバフロー割り込み (INTENCA_nIOV)、アンダフロー割り込み (INTENCA_nIUD) が発生します。

23.6.5 エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード)

<設定条件>

- ENCA_nCTL レジスタの ENCA_nCRM1、ENCA_nCRM0 ビット=10_B
(ENCA_nCCR0 レジスタをコンペア機能、ENCA_nCCR1 レジスタをキャプチャ機能に設定)
- ENCA_nCTL レジスタの ENCA_nECM1、ENCA_nECM0 ビット=01_B
(カウンタ値と ENCA_nCCR0 レジスタ値との一致条件でカウンタクリア)
- ENCA_nCTL レジスタの ENCA_nLDE ビット=1
(アンダフロー発生時、ENCA_nCCR0 レジスタ設定値をカウンタにロード)
- ENCA_nIOC1 レジスタの ENCA_nSCE ビット=0、ENCA_nECS1、ENCA_nECS0 ビット=00_B
- ENCA_nIOC0 レジスタの ENCA_nTIS3、ENCA_nTIS2 ビット=11_B
(ENCA_nI1 端子入力の両エッジを検出)

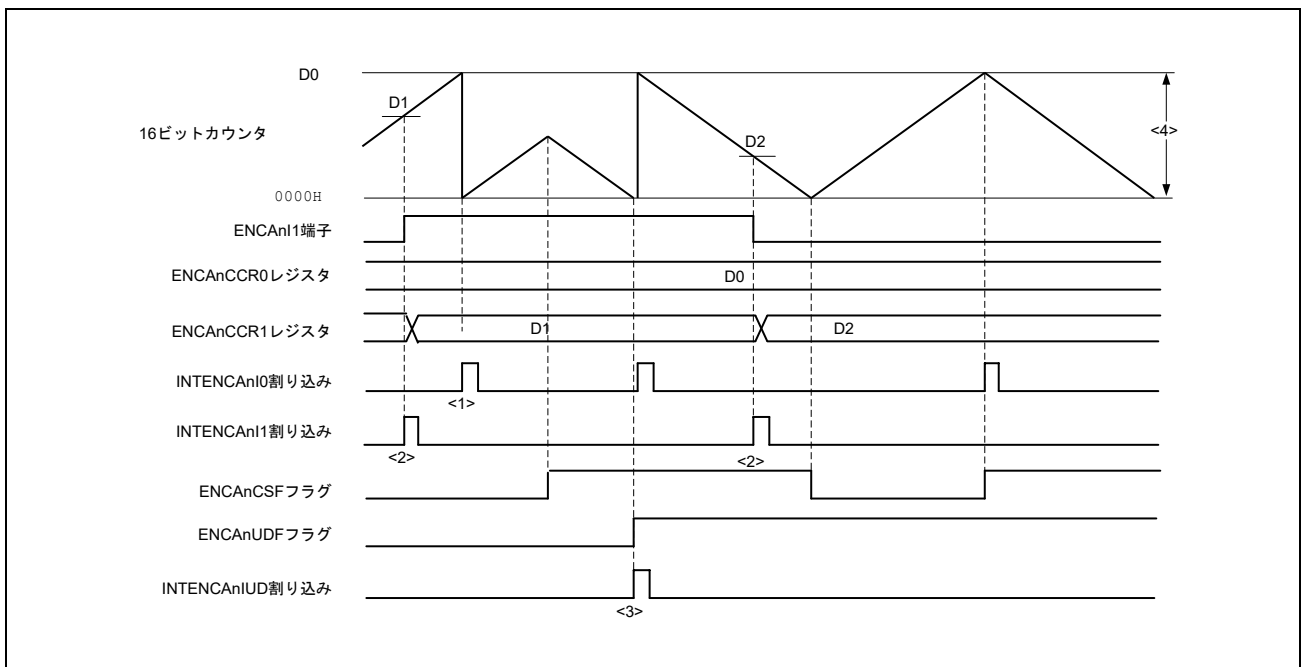


図 23.16 エンコーダ基本動作タイミング 5 (エンコーダキャプチャコンペアモード⑤)

1. カウンタ値と ENCA_nCCR0 レジスタ設定値 (D0) との一致によりコンペアー一致割り込み (INTENCA_nI0) が発生します。
ENCA_nECM0 ビット=1 設定のため、次のカウント動作がアップカウントの場合カウンタを 0000_Hにクリアします。
2. ENCA_nI1 端子の両エッジ検出によりカウンタ値 (D1) をキャプチャレジスタ (ENCA_nCCR1) に格納し、キャプチャ割り込み (INTENCA_nI1) が発生します。
3. カウンタのアンダフローのタイミングでアンダフロー割り込み (INTENCA_nIUD) が発生します。
ENCA_nLDE ビット=1 設定のため、アンダフローの発生により ENCA_nCCR0 レジスタ設定値 (D0) がカウンタにロードされます。
4. ENCA_nLDE ビット=1、ENCA_nECM1、ENCA_nECM0 ビット=01_B の設定により「0000_H-ENCA_nCCR0 レジスタ設定値」間でカウント動作します。

23.6.6 オーバフローの発生とオーバーフローフラグクリア操作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバーフローが発生します。オーバーフローが発生すると、オーバーフロー割り込み (INTENCA_nIOV) が出力され、オーバーフローフラグ (ENCA_nOVF) が「1」にセットされます。オーバーフローフラグクリアビット (ENCA_nCLOV) が「1」にセットされると、オーバーフローフラグ (ENCA_nOVF) が「0」にクリアされます。

オーバーフロー発生とオーバーフローフラグクリアの動作について説明します。

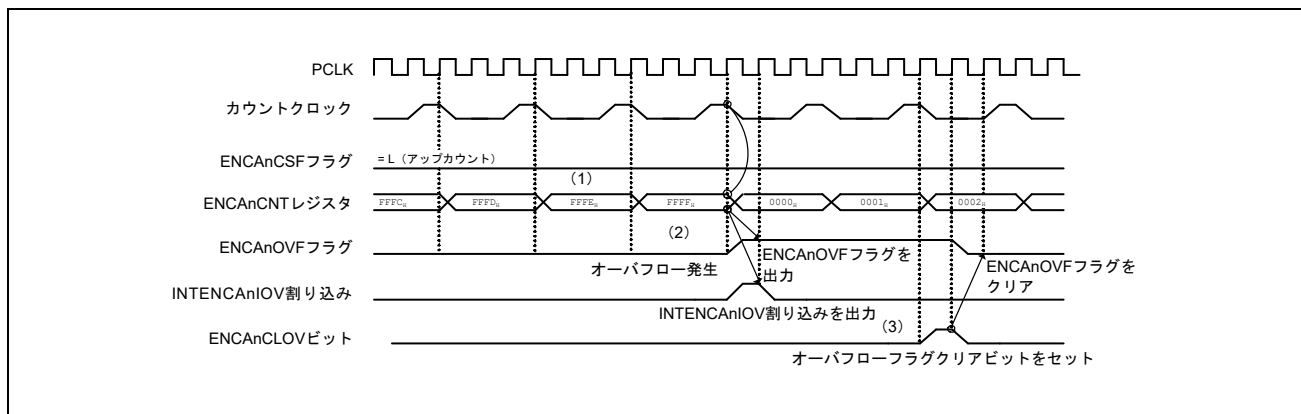


図 23.17 オーバフローの発生とオーバーフローフラグクリアの設定

1. カウンタ値が $FFFE_H$ から $FFFF_H$ にアップカウントします。
2. カウンタ値が $FFFF_H$ から 0000_H に変化するとオーバーフローが発生します。同時に、オーバーフロー割り込みが出力され、オーバーフローフラグが「1」にセットされます。
3. オーバフローフラグのクリア方法で、ENCA_nFGC レジスタの ENCA_nCLOV ビットを「1」にセットすることで「0」にクリアされます。また、ENCA_nTE レジスタの ENCA_nTE ビット=0 のときに ENCA_nTS レジスタの ENCA_nTS ビットに「1」を設定するか、ENCA_nTSST (同時スタートトリガ入力) の入力信号を「ハイ」にすることもオーバーフローフラグはクリアされます。

23.6.7 アンダフローの発生とアンダフローフラグクリア操作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。アンダフローが発生すると、アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) が「1」にセットされます。アンダフローフラグクリアビット (ENCA_nCLUD) が「1」にセットされると、アンダフローフラグ (ENCA_nUDF) が「0」にクリアされます。

アンダフロー発生とアンダフローフラグクリアの動作について説明します。

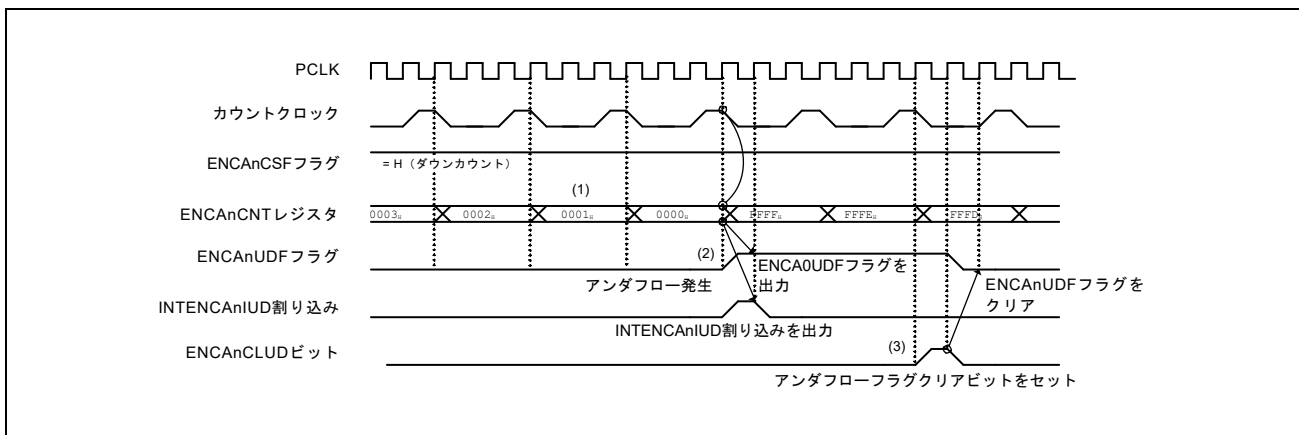


図 23.18 アンダフローの発生とアンダフローフラグクリアの設定

1. カウンタ値が 0001_H から 0000_H にダウンカウントします。
2. カウンタ値が 0000_H から FFFF_H に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフローフラグが「1」にセットされます。
3. アンダフローフラグのクリア方法で、ENCA_nFGC レジスタの ENCA_nCLUD ビットを「1」にセットすることで「0」にクリアされます。また、ENCA_nTE レジスタの ENCA_nTE ビット=0 のときに ENCA_nTS レジスタの ENCA_nTS ビットに「1」を設定するか、ENCA_nTSST (同時スタートトリガ) の入力信号を「ハイ」にすることもアンダフローフラグはクリアされます。

23.6.8 エンコーダクリア入力 (ENCAnEC 端子) によるカウントクリアとキャプチャ動作

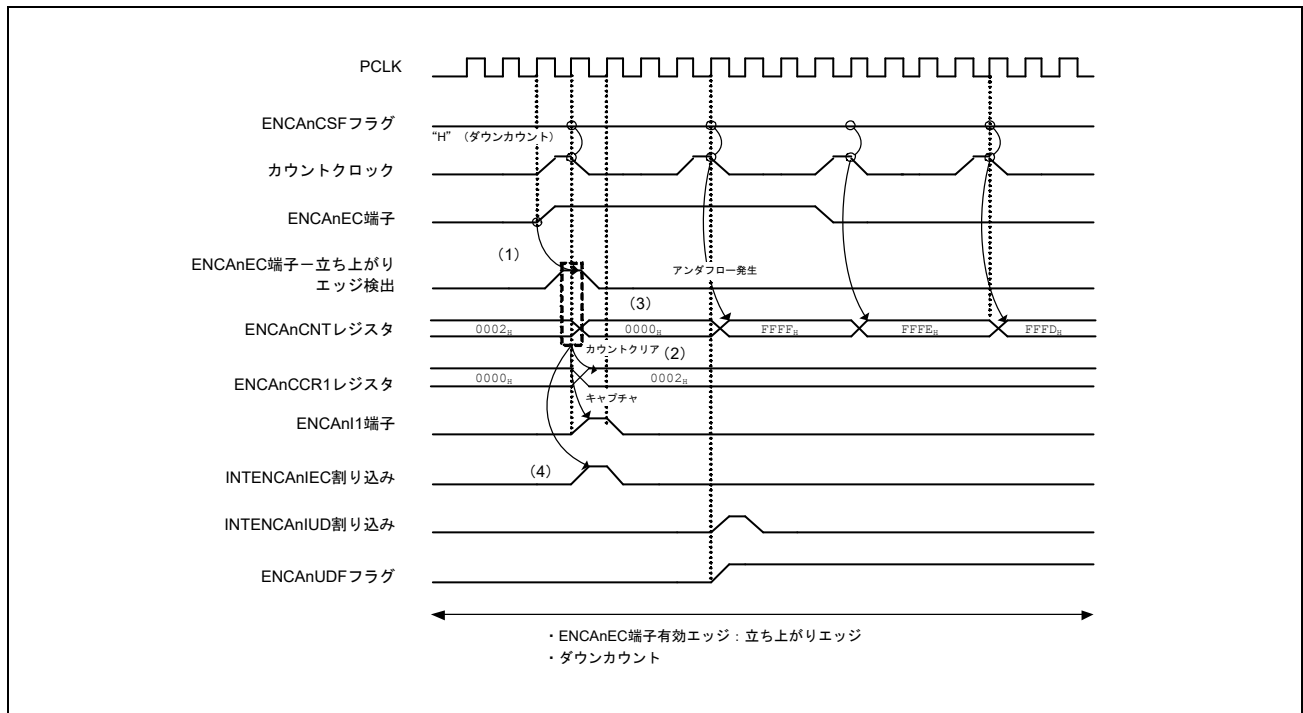


図 23.19 エンコーダクリア入力 (ENCAnEC 端子) によるカウントクリアとキャプチャ動作のタイミング図

<設定条件>

- ENCAAnCTL レジスタの ENCAAnCRM1 ビット=1
(ENCAAnCCR1 レジスタをキャプチャとして選択)
- ENCAAnCTL レジスタの ENCAAnCTS ビット=1
(ENCAAnEC 端子入力をキャプチャトリガ入力として選択)
- ENCAAnIOC1 レジスタの ENCAAnECS1、ENCAAnECS0 ビット=01_B
(ENCAAnEC 端子入力を検出するための有効エッジとして立ち上がりエッジを選択)

1. ENCAAnEC 端子入力トリガの立ち上がりエッジでキャプチャ動作が実行されます。
2. ENCAAnEC 端子入力の立ち上がりエッジでカウンタ値 (0002_H) が ENCAAnCCR1 レジスタにキャプチャされます。
3. ENCAAnEC 端子の入力によるクリア動作が実行されカウンタ値が 0000_H にセットされます。
4. 同時に、ENCAAnEC 端子の入力によるエンコーダクリア割り込み (INTENCAAnIEC) とキャプチャ割り込み 1 (INTENCAAnI1) が出力されます。

23.6.9 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合

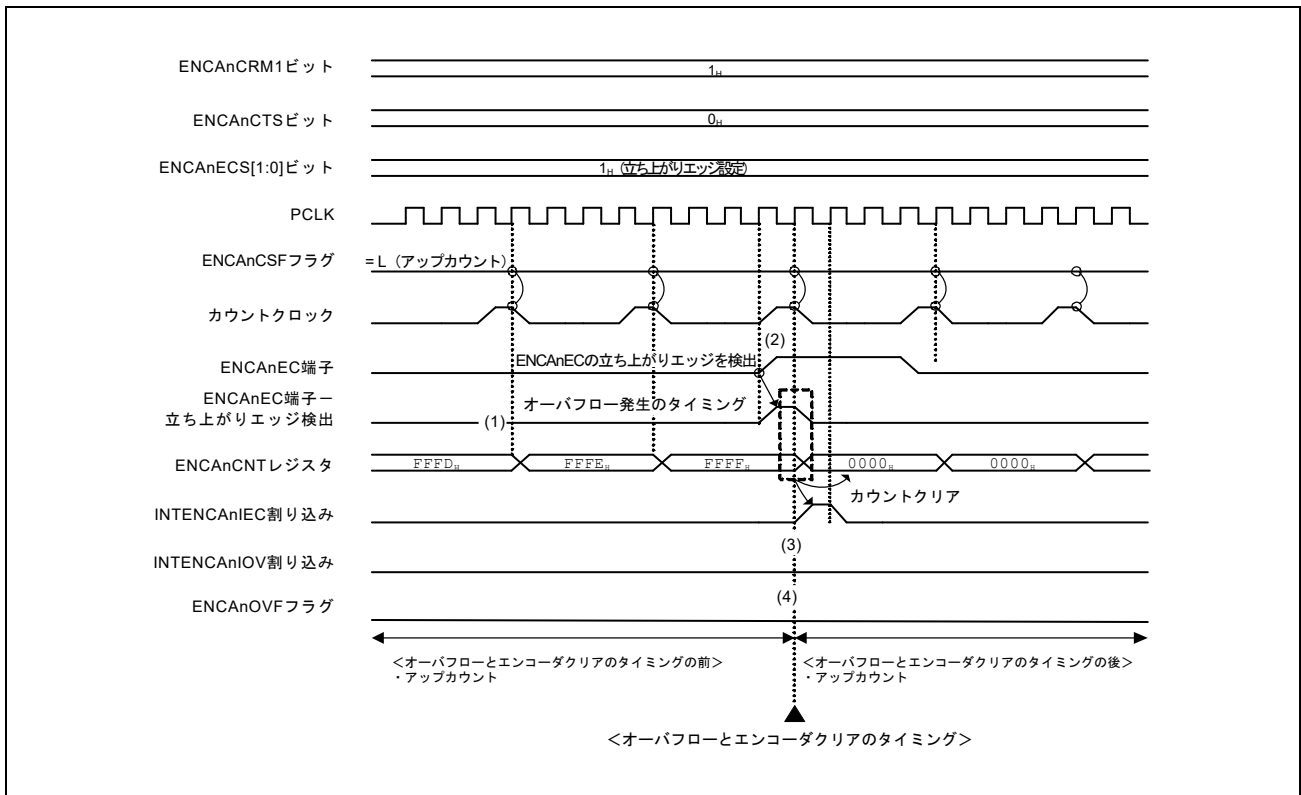


図 23.20 オーバフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合

1. FFFD_Hからのアップカウントが継続的に実行されます。
2. カウント値 FFFF_Hでオーバフローが発生すると同時に ENCAAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。カウンタ値が 0000_Hにクリアされます。
3. エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア入力によるクリア割り込み (INTENCAAnIEC) が出力されます。エンコーダクリア入力によるクリアがオーバフローの発生と同時に行われるため、オーバフロー割り込みは出力されません (オーバフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
4. ステップ 3.と同様にオーバフローが発生しないため、オーバフローフラグもセットされません。

23.6.10 アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合

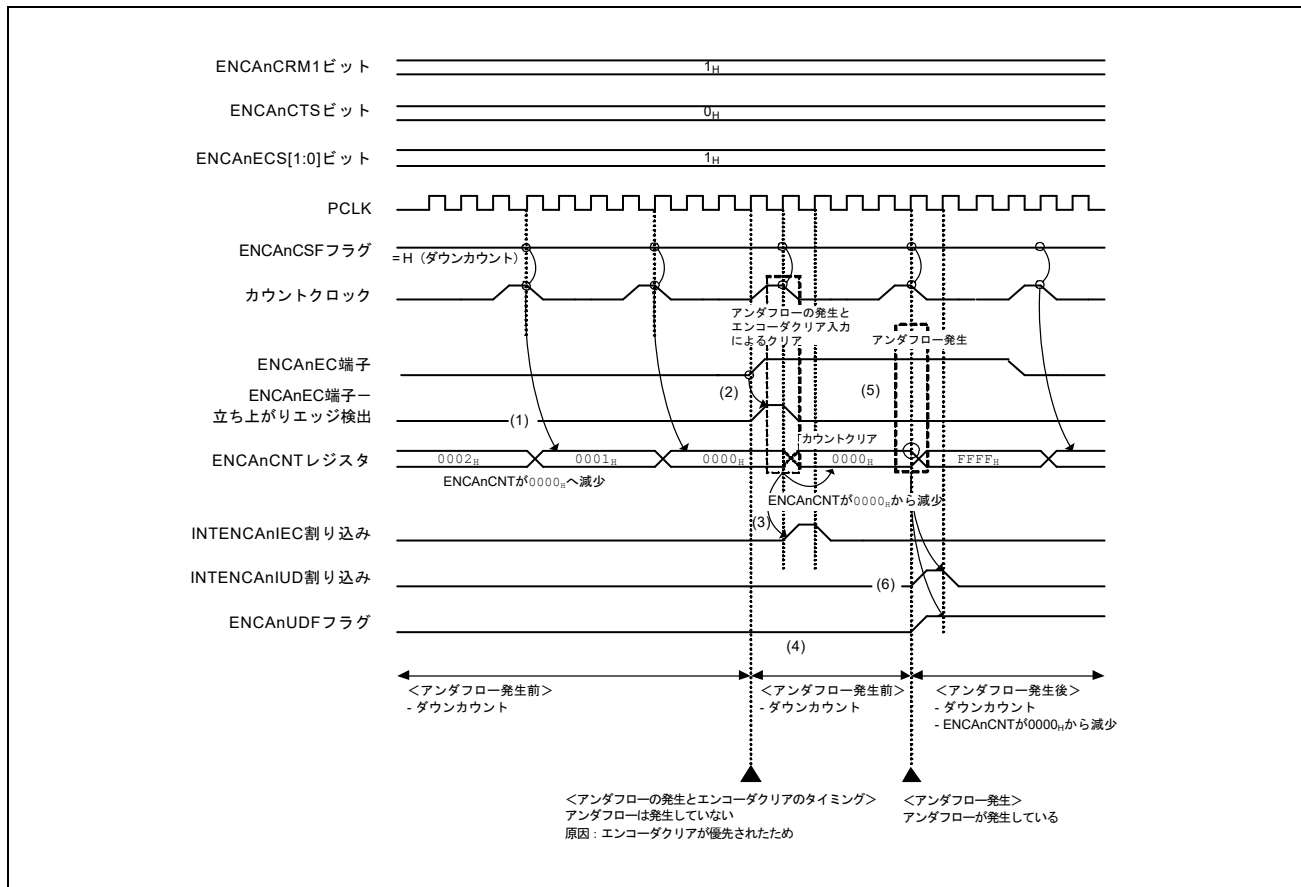


図 23.21 アンダフローの発生とエンコーダクリア入力 (ENCAnEC 端子) によるクリア動作との競合

- 0002_H からのダウンカウントが継続的に実行されます。
- カウント値 0000_H でアンダフローが発生すると同時に ENCAAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。
- エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア割り込み (INTENCAAnIEC) が出力されます。エンコーダクリア入力によるクリアがアンダフローの発生と同時に進行するため、アンダフロー割り込みは出力されません (アンダフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
- ステップ 3. と同様にアンダフローが発生しないため、アンダフローフラグもセットされません。
- エンコーダクリア入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウンカウントが行われることで、カウンタ値が 0000_H から FFFF_H へ変化し、アンダフローが発生します。
- アンダフローが発生すると、アンダフロー割り込み (INTENCAAnIUD) が出力され、アンダフローフラグ (ENCAAnUDF) がセットされます。

23.6.11 開始直後のオーバーフロー動作

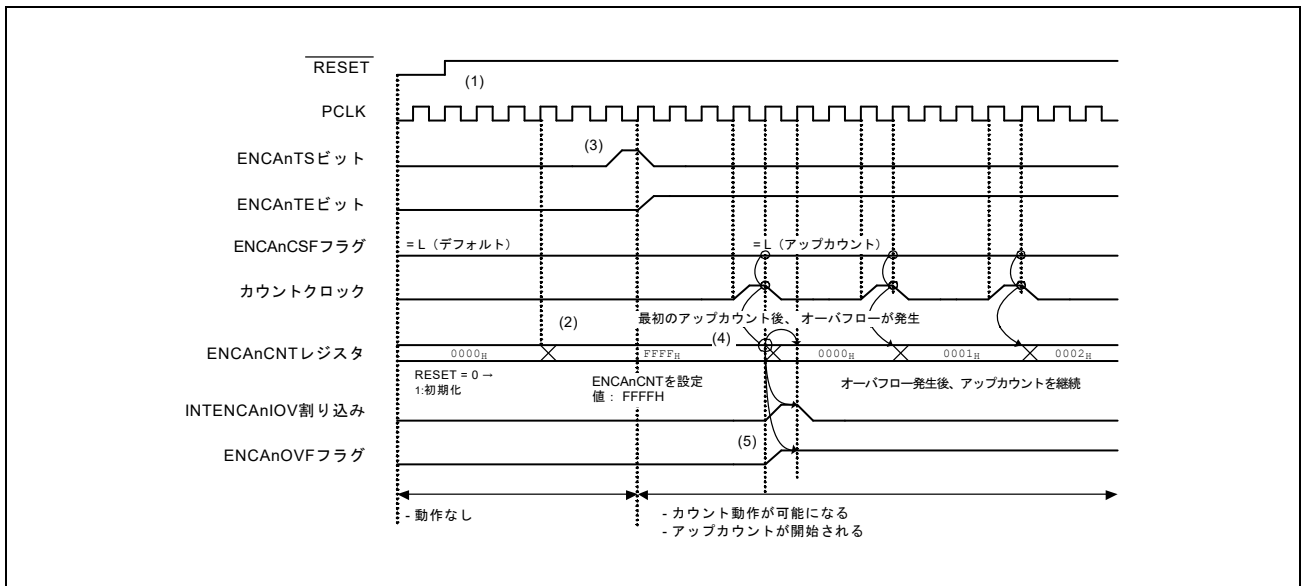


図 23.22 開始直後のオーバーフロー動作

- RESET の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- FFFF_Hがタイマカウンタに初期値として設定されます。
- ENCAAnTS が「1」にセットされ、動作が開始されます。ENCAAnTE が「1」になり、動作が可能になったことを示します。
- 初期設定されたカウント値である FFFF_Hからのアップカウントが実行されることで、カウンタ値が FFFF_Hから 0000_Hへ変化し、動作開始直後にオーバーフローが発生します。
- 同時に、動作開始直後のオーバーフローの発生によって、オーバーフロー割り込み (INTENCAAnIOV) が出力され、オーバーフローフラグ (ENCAAnOVF) がセットされます。

23.6.12 開始直後のアンダフロー動作

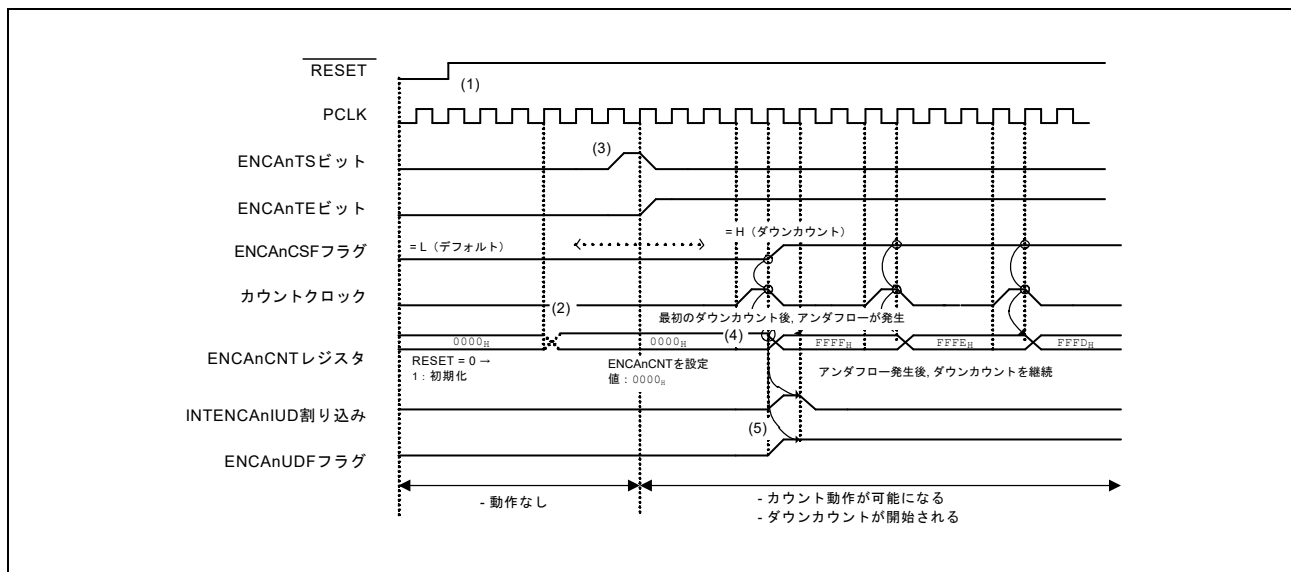
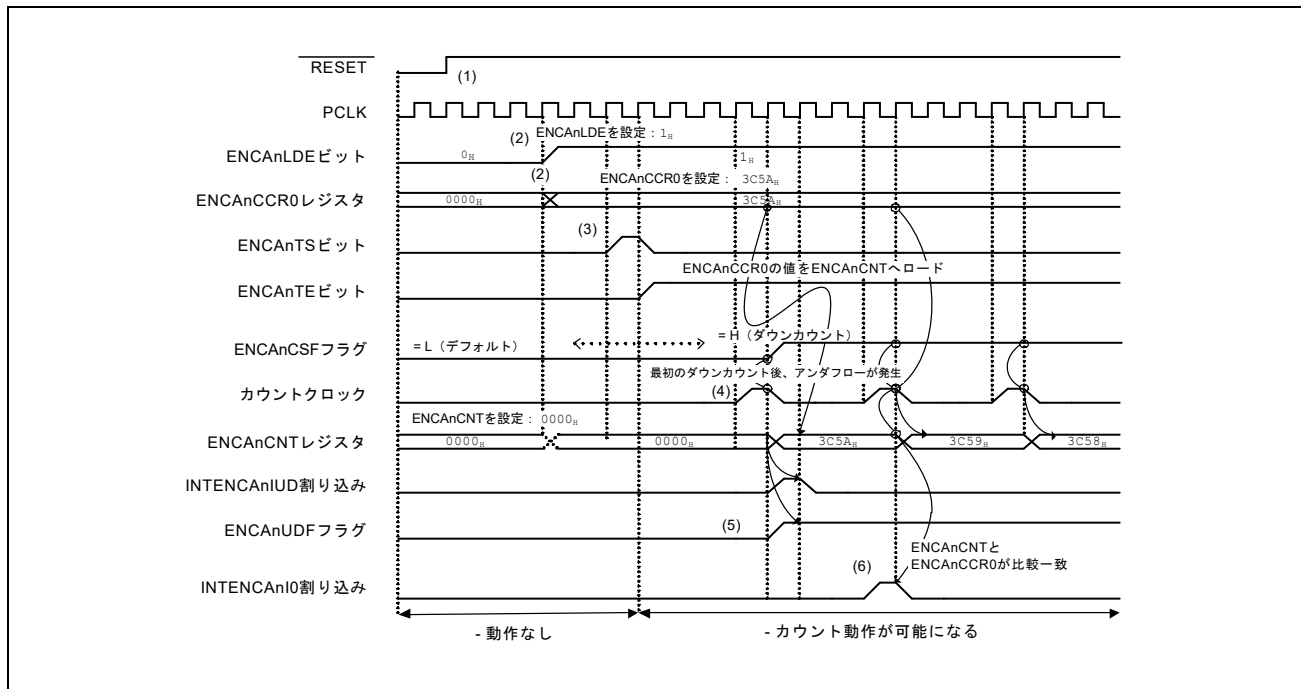
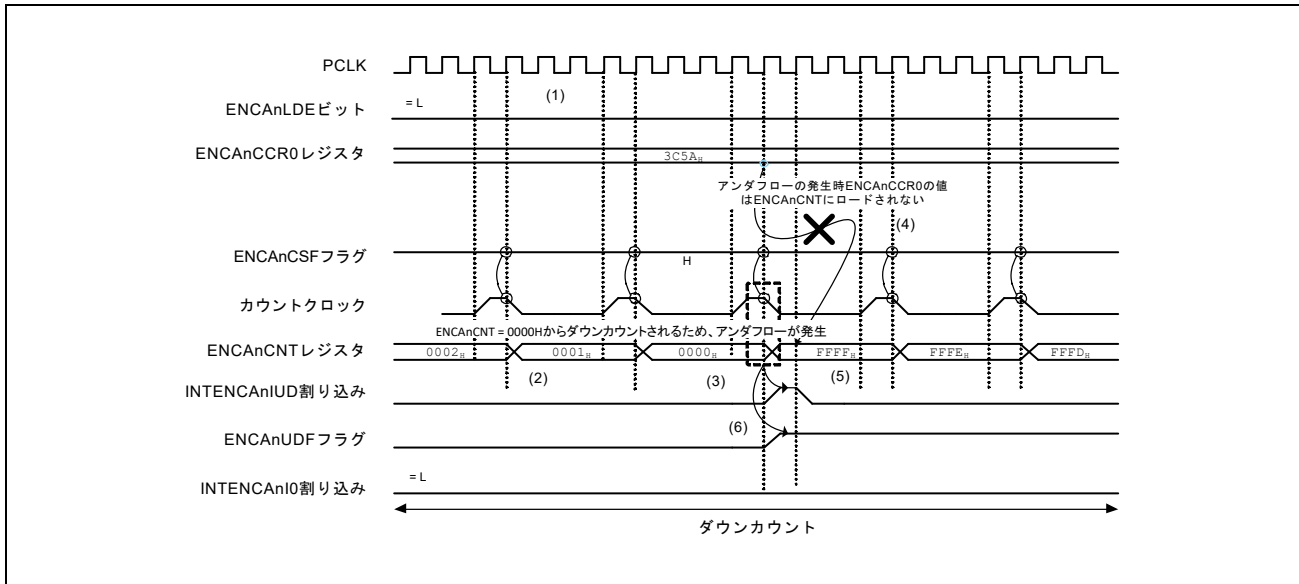


図 23.23 開始直後のアンダフロー動作

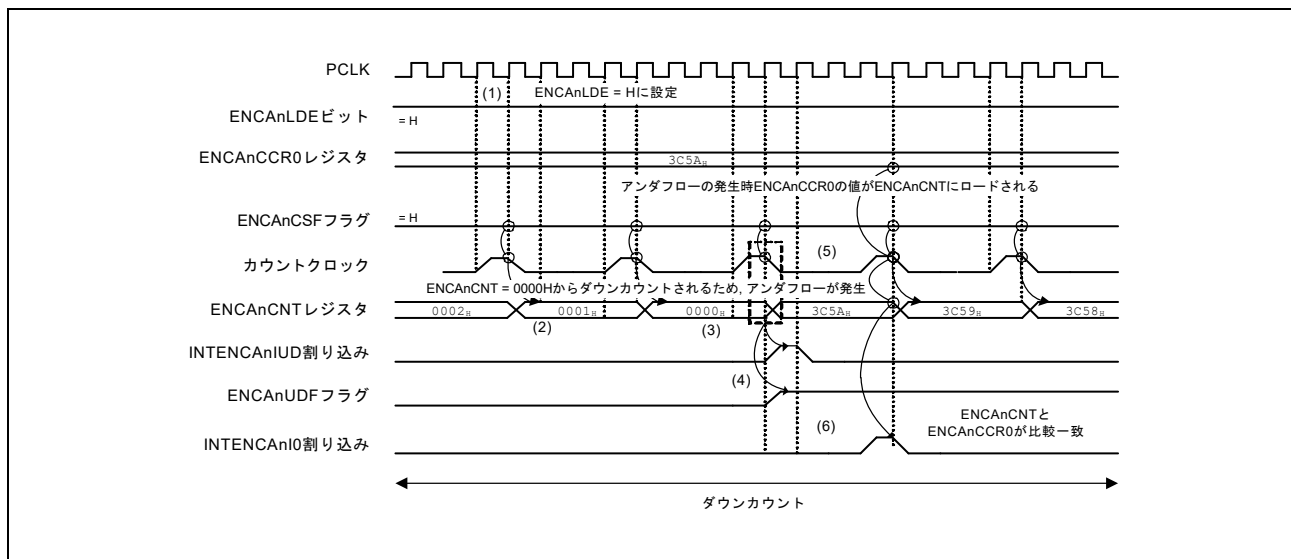
1. $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
2. 0000_{H} がタイマカウンタに初期値として設定されます。
3. ENCAAnTS が「1」にセットされ、動作が開始されます。ENCAAnTE が「1」になり、動作が可能になったことを示します。
4. 初期設定されたカウント値である 0000_{H} からのダウンカウントが実行されることで、カウンタ値が 0000_{H} から FFFF_{H} へ変化し、動作開始直後にアンダフローが発生します。
5. 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (INTENCAAnIUD) が出力され、アンダフローフラグ (ENCAAnUDF) がセットされます。

23.6.13 開始直後の ENCA_nLDE 機能の利用図 23.24 開始直後の ENCA_nLDE 機能の利用

1. $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
2. ロードイネーブルビット (ENCA_nLDE) が「1」にセットされ、キャプチャ/コンペアレジスタ 0 (ENCA_nCCR0) が 3C5A_H に設定され、タイマカウンタが初期値 0000_H に設定されます。
3. ENCA_nTS が「1」にセットされ、動作が開始されます。ENCA_nTE が「1」になり、動作が可能になったことを示します。
4. 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、動作開始直後にアンダフローが発生します。ENCA_nLDE が「1」にセットされているため、ENCA_nCCR0 の値である 3C5A_H がタイマカウンタにロードされます (INTENCA_nI0 はロード時に出力されません)。
5. 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます (アンダフローが発生した後、ロードされた値 (3C5A_H) からのダウンカウント動作が継続します)。
6. ENCA_nCCR0 の値が ENCA_nCNT にロードされたあと、ENCA_nCCR0 との一致が検出され、INTENCA_nI0 が出力されます。

23.6.14 ENCA_nLDE 機能 (カウント値のロード)(1) <ENCA_nLDE = 0 の場合>図 23.25 ENCA_nLDE 機能 (ENCA_nLDE = 0 の場合)

1. ENCA_nLDE が「0」に設定されています (アンダフローが発生しても、ENCA_nCCR0 の値はロードされません)。
2. ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H
3. カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。
4. ENCA_nLDE が「0」に設定されているため、アンダフローが発生したときに ENCA_nCCR0 レジスタの設定値はカウンタにロードされません。
5. 動作がアンダフロー動作に変化します (カウンタ値 : 0000_H → FFFF_H)。
6. アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。

(2) <ENCA_nLDE = 1 の場合>図 23.26 ENCA_nLDE 機能 (ENCA_nLDE = 1 の場合)

- ENCA_nLDE が「1」に設定されています (アンダフローが発生すると、ENCA_nCCR0 の値がカウンタにロードされます)。
- ダウナウトが実行されます : 0002_H → 0001_H → 0000_H
- カウンタ値が 0000_H になったあと、さらにダウナウトが実行されることでアンダフローが発生します。
- アンダフロー割り込みが出力され、アンダフローフラグがセットされます。
- ENCA_nLDE が「1」にセットされているため、アンダフローが発生すると ENCA_nCCR0 レジスタの設定値がカウンタにロードされます。ENCA_nCNT が 3C5A_H に設定されます。
- ENCA_nCCR0 の値が ENCA_nCNT に設定されたあと、ENCA_nCNT の値と ENCA_nCCR0 の値がカウントクロックで一致すれば、コンペアー一致割り込み (INTENCA_nI0) が出力されます。

23.6.15 ENCA_nLDE 機能 (カウンタ値のロード) と ENCA_nCCR0 レジスタの書き換えとの競合

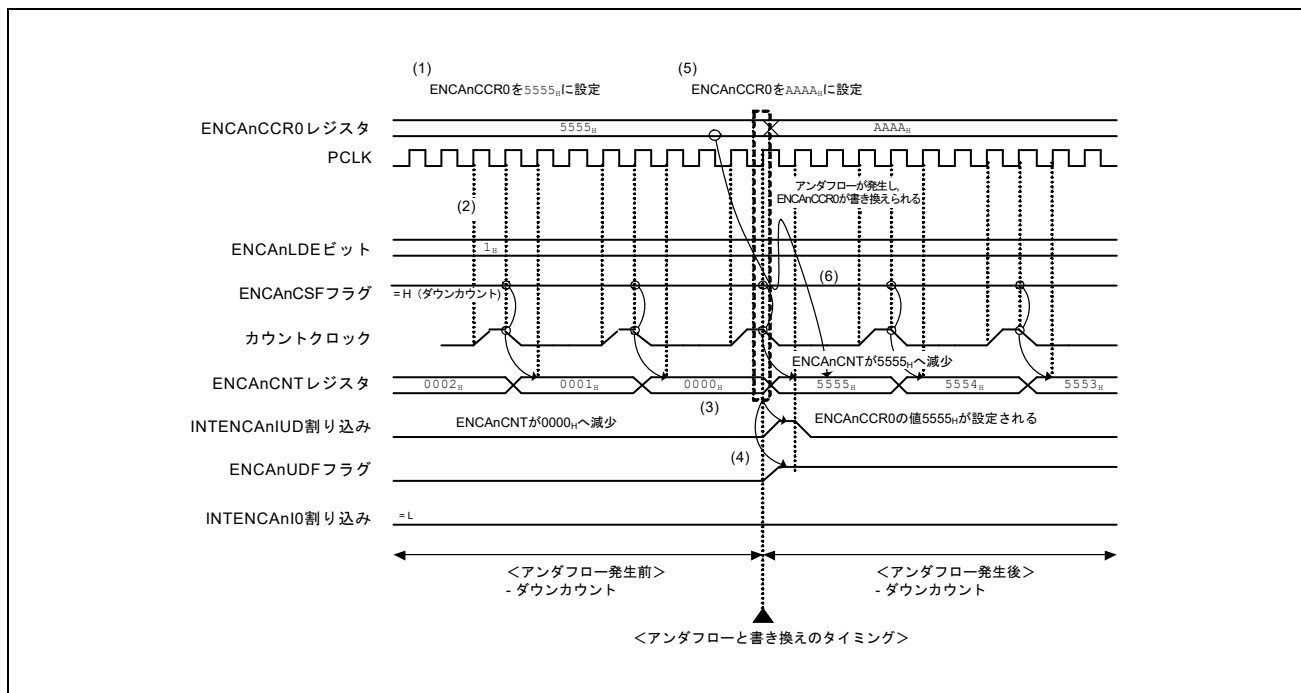


図 23.27 ENCA_nLDE 機能と ENCA_nCCR0 レジスタの書き換えとの競合

1. ENCA_nCCR0 レジスタは、現在 5555_H に設定されています。
2. ENCA_nLDE は現在「1」にセットされています。
3. 0002_H → 0001_H → 0000_H とダウンカウントが実行され、アンダフローが発生します。
4. アンダフロー割り込み (INTENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。
5. アンダフローが発生すると同時に、ENCA_nCCR0 レジスタの値が 5555_H から AAAA_H に書き換えられます。
6. さらに、アンダフローが発生すると同時に、書き換えられる前の ENCA_nCCR0 の値 (5555_H) が ENCA_nCNT に設定されます。

23.6.16 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

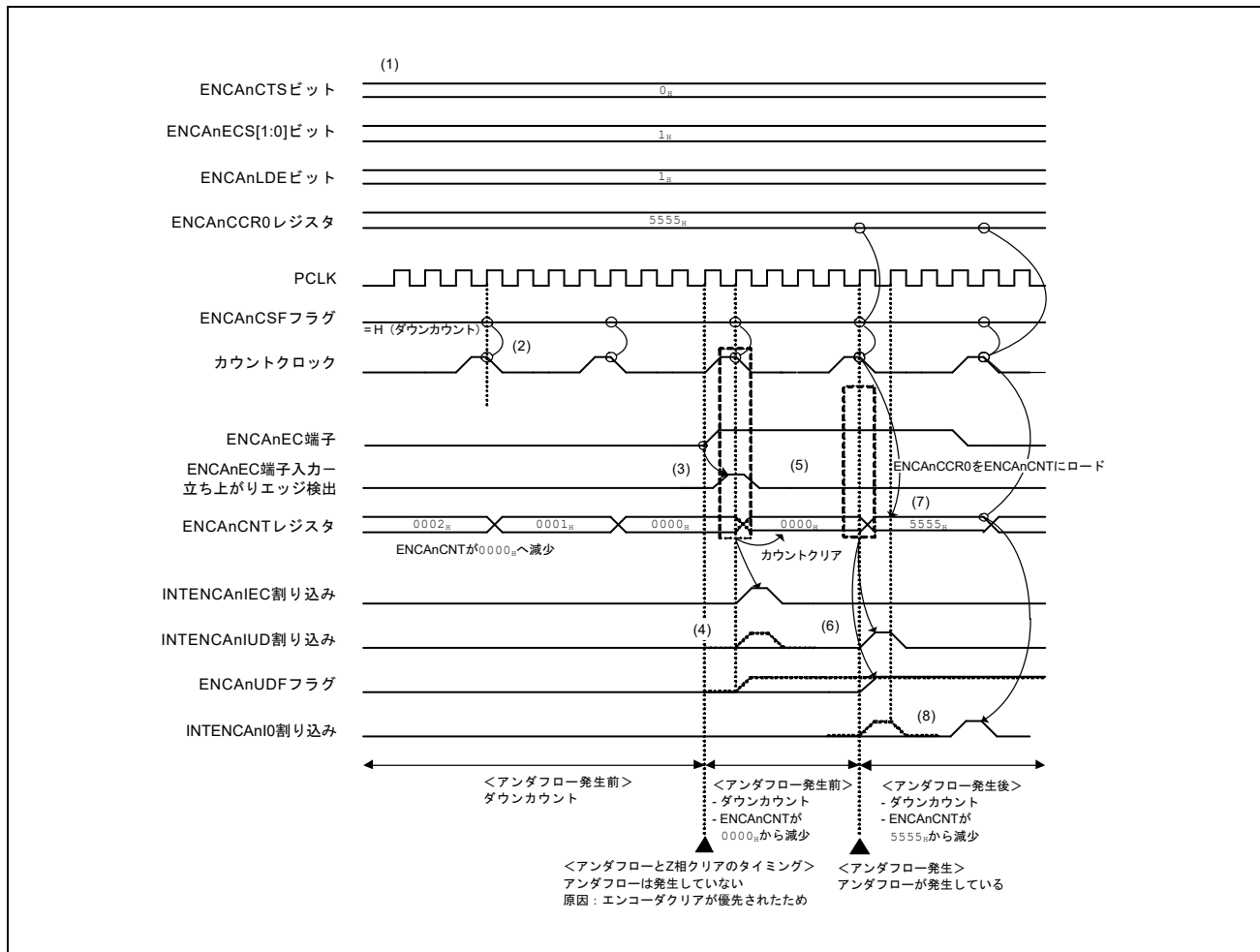


図 23.28 ENCA_nLDE 機能とエンコーダクリア入力によるクリア動作との競合

1. 以下の値が設定されています。ENCAnCTS = 0、ENCAnECS[1:0] = 01_B、ENCAnLDE = 1、ENCAnCCR0 = 5555_H。
2. ダウンカウントが実行されます：0002_H → 0001_H → 0000_H。
3. カウント値が 0000_Hになったときに ENCAnEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
4. カウント値が 0000_Hに達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (INTENCAnIEC) が出力されます。さらに、カウント値 0000_Hでダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (INTENCAnIUD) は出力されず、アンダフローフラグ (ENCAnUDF) もセットされません。
5. エンコーダクリア入力によるクリアによってカウント値が 0000_Hにクリアされたあと、ダウンカウントが実行され、アンダフローが発生します。
6. アンダフロー割り込み (INTENCAnIUD) が出力され、アンダフローフラグ (ENCAnUDF) がセットされます。
7. ENCAnLDE = 1 であるため、アンダフローが発生すると ENCAnCCR0 の値が ENCAnCNT にロードされます。
8. ENCAnCCR0 の値が ENCAnCNT に設定されたあと、カウントクロックに基づいてコンペア一致の検出が行われ、ENCAnCNT と ENCAnCCR0 が一致するとコンペア一致割り込み (INTENCAnI0) が出力されます。

23.6.17 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント

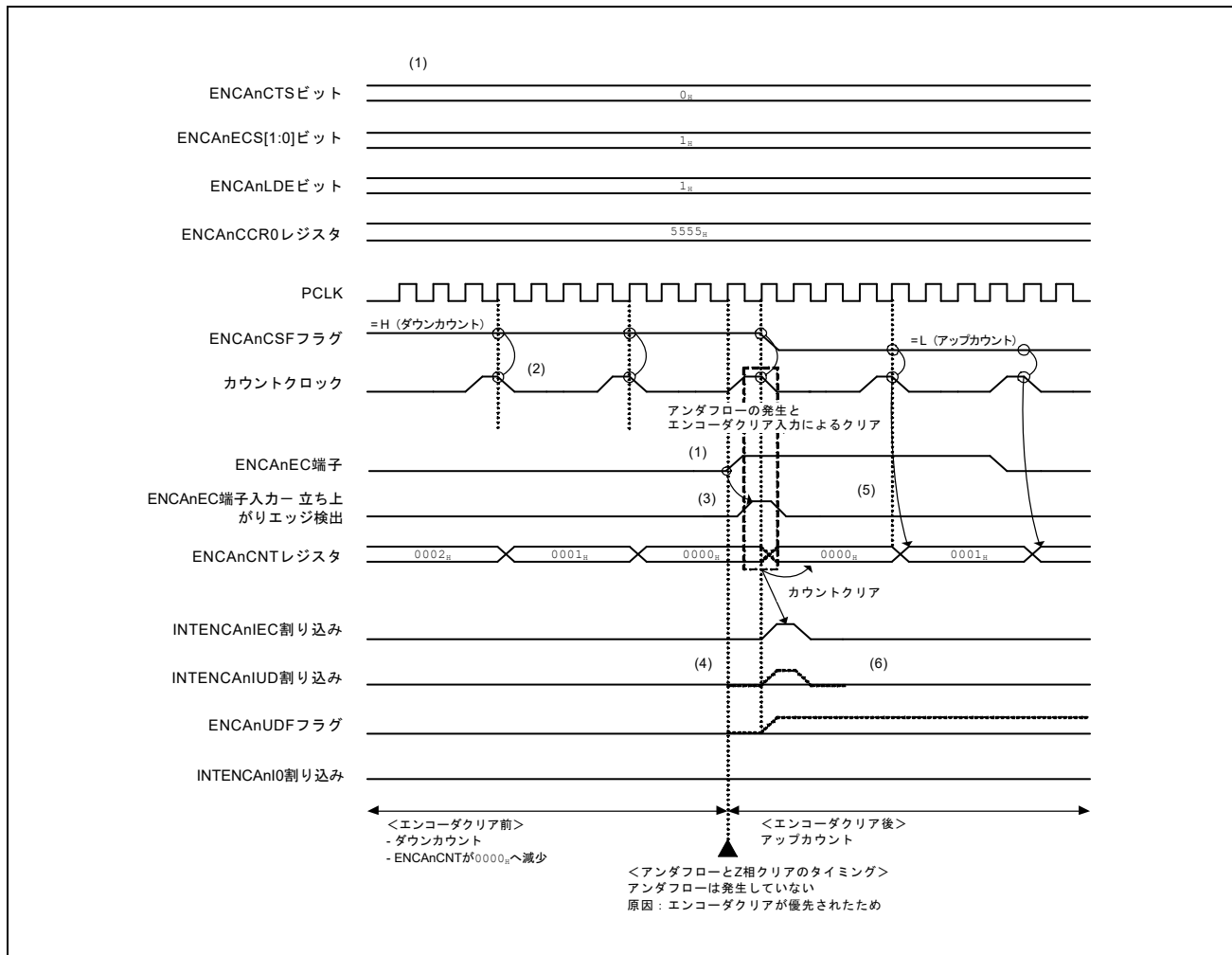


図 23.29 ENCA_nLDE 機能とエンコーダクリアとの競合後のアップカウント

- 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- ダウンカウントが実行されます： $0002_H \rightarrow 0001_H \rightarrow 0000_H$ 。
- カウンタ値が 0000_H になったときに ENCA_nEC の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- カウンタ値が 0000_H に達したときにカウンタクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (INTENCA_nIEC) が出力されます。さらに、カウンタ値 0000_H のときにダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (INTENCA_nIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- エンコーダクリア入力によるクリアによってカウンタ値が 0000_H にクリアされたあと、アップカウントが実行されます。
- アンダフロー割り込み (INTENCA_nIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。

23.6.18 カウントクロック間のキャプチャ動作 (ENCAnCCR1)

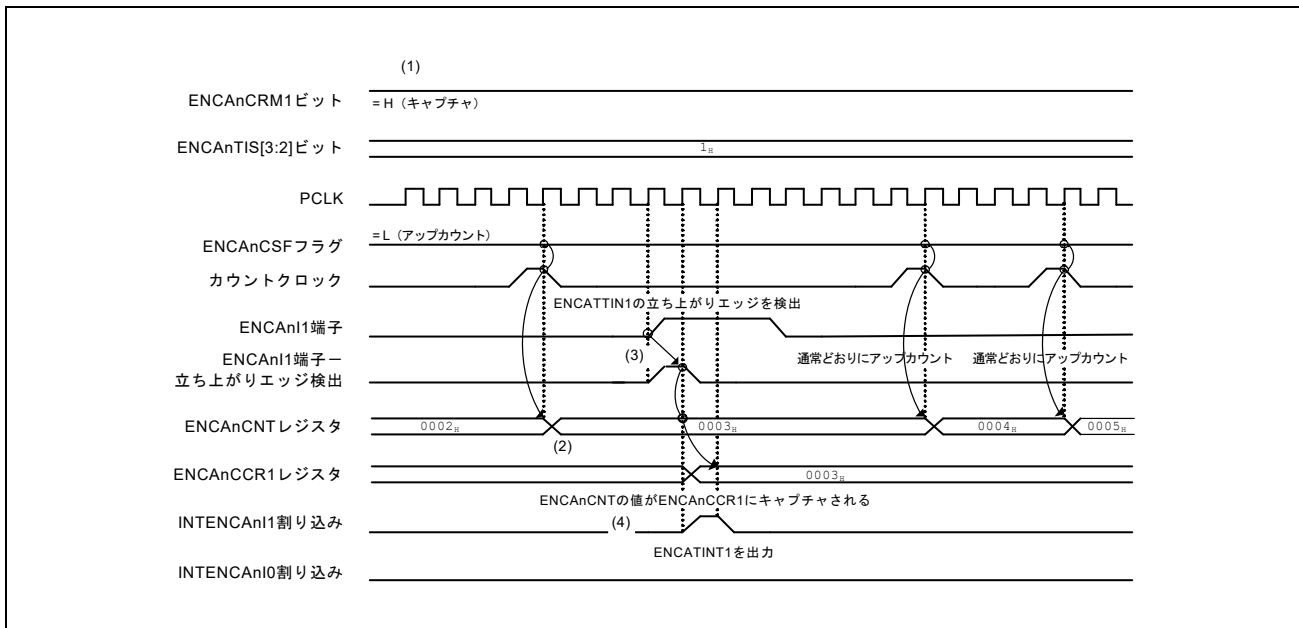
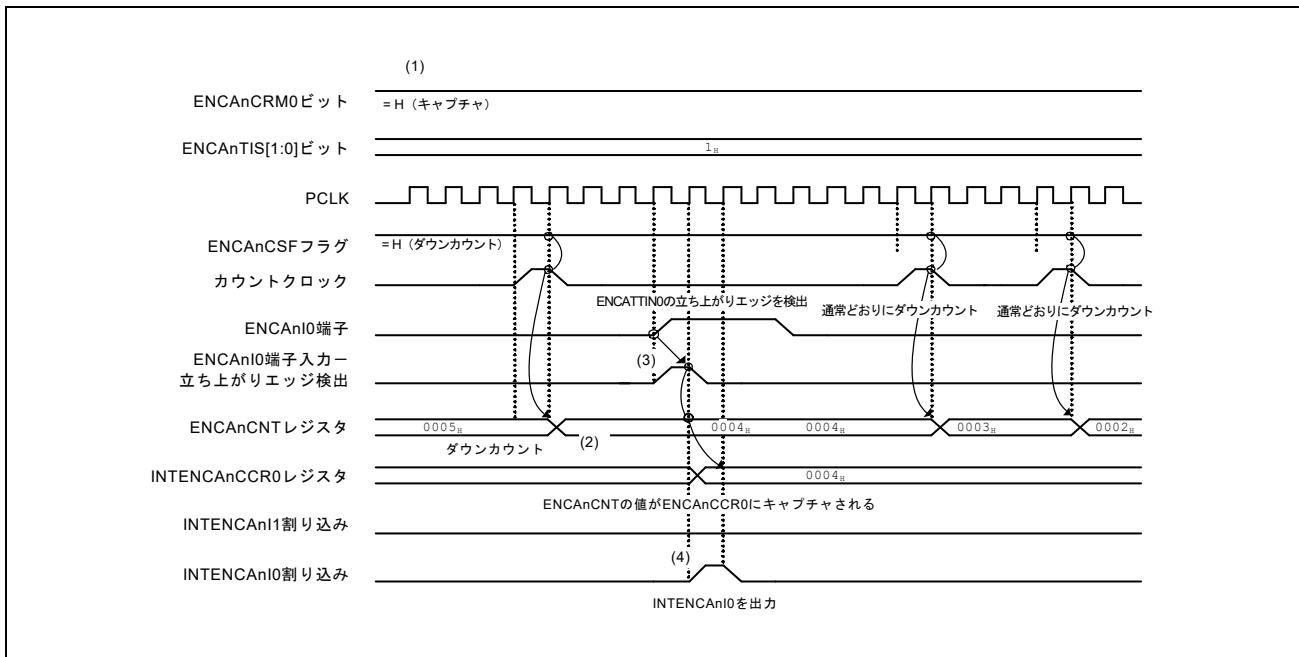
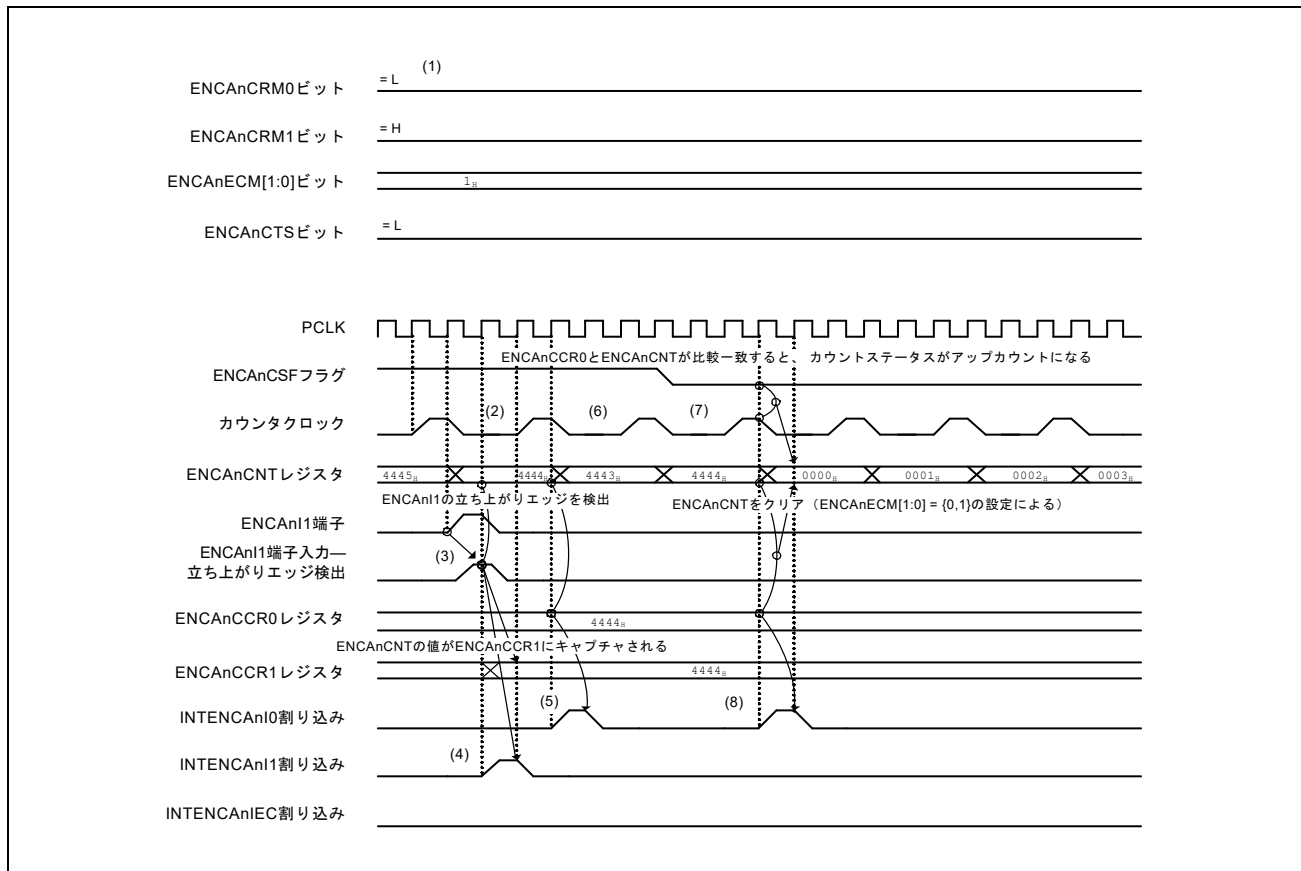


図 23.30 カウントクロック間のキャプチャ動作 (ENCAnCCR1)

1. 以下の値が設定されています。ENCAnCRM1 = 1、ENCAnTIS[3:2] = 01_B。
2. アップカウントが実行されます。
3. ENCAAnI1 入力の立ち上がりエッジが検出され、カウント値が ENCAAnCCR1 にキャプチャされます。
4. ENCAAnCCR1 レジスタへのキャプチャに対応する割り込み (INTENCAAnI1) が出力されます。

23.6.19 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)図 23.31 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)

1. 以下の値が設定されています。ENCA_nCRM0 = 1、ENCA_nTIS[1:0] = 01_B。
2. ダウンカウントが実行されます。
3. ENCA_nI0 入力の立ち上がりエッジが検出され、カウント値が ENCA_nCCR0 にキャプチャされます。
4. ENCA_nCCR0 レジスタへのキャプチャに対応する割り込み (INTENCA_nI0) が出力されます。

23.6.20 コンペアー一致クリア制御有効かつ ENCA_nCTS = 0 のときのエンコーダの動作図 23.32 コンペアー一致クリア制御有効かつ ENCA_nCTS = 0 のときのエンコーダの動作

- 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 0。
- ダウンカウントが実行されます。
- ENCA_nI1 の立ち上がりエッジが検出され、ENCA_nCNT の値 4444_H が ENCA_nCCR1 レジスタにキャプチャされます。
- ENCA_nCCR1 へのキャプチャに対応する割り込み (INTENCA_nI1) が出力されます。
- ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペアー一致すると、ENCA_nCCR0 とのコンペアー一致割り込み (INTENCA_nI0) が出力されます。
- カウント動作がアップカウントに変わります。
- ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペアー一致が再び発生します。コンペアー一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM[1:0] の設定 (01_B) にしたがってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペアー一致割り込み (INTENCA_nI0) が出力されま

23.6.21 コンペアー一致クリア制御有効かつ ENCAAnCTS = 1 のときのエンコーダの動作

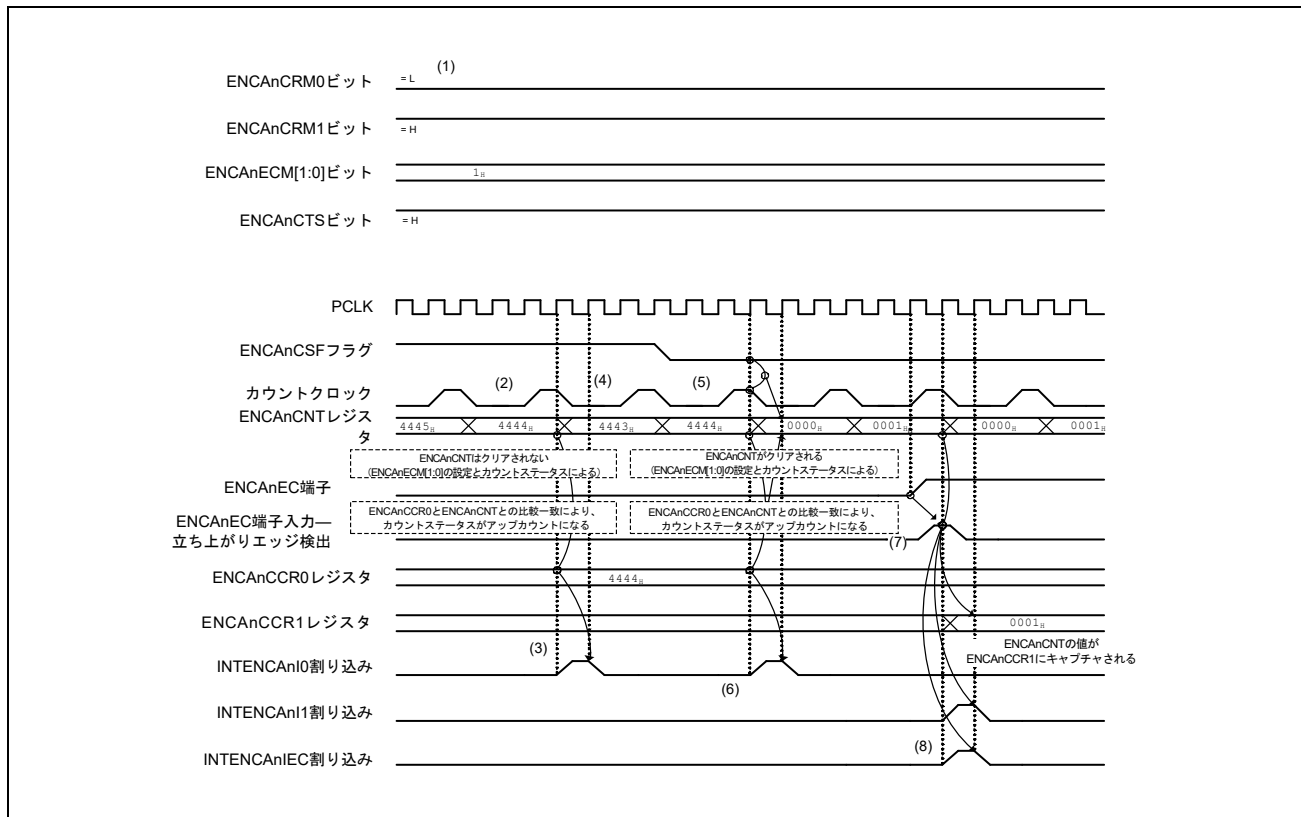


図 23.33 コンペアー一致クリア制御有効かつ ENCAAnCTS = 1 のときのエンコーダの動作

- 以下の値が設定されています。ENCAAnCCR0 = 4444_H、ENCAAnCRM0 = 0、ENCAAnCRM1 = 1、ENCAAnECM[1:0] = 01_B、ENCAAnCTS = 1。
- ダウンカウントが実行されます。
- ENCAAnCNT (4445_H から 4444_H へダウンカウントされる) と ENCAAnCCR0 (4444_H) がコンペアー一致すると、コンペアー/キャプチャ割り込み 0 (INTENCAAnI0) が出力されます。
- カウント動作がアップカウントに変わります。
- ENCAAnCNT が 4443_H から 4444_H へカウントアップされると ENCAAnCCR0 とのコンペアー一致が再び発生します。コンペアー一致が発生したときのカウント動作がアップカウントであるため、ENCAAnECM[1:0] の設定 (01_B) にしたがってカウント値がクリアされ、ENCAAnCNT の値が 0000_H になります。
- ENCAAnCNT が 4444_H になると、ENCAAnCCR0 とのコンペアー一致割り込み (INTENCAAnI0) が出力されません。
- カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。この時点で ENCAAnEC 信号の立ち上がりエッジが検出されることによって ENCAAnCNT の値 0001_H が ENCAAnCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。
- ENCAAnCCR1 レジスタへのキャプチャに対応する割り込み (INTENCAAnI1) と ENCAAnEC によるクリア割り込み (INTENCAAnIEC) が出力されます。

23.6.22 コンペアー一致クリア制御無効時のエンコーダの動作

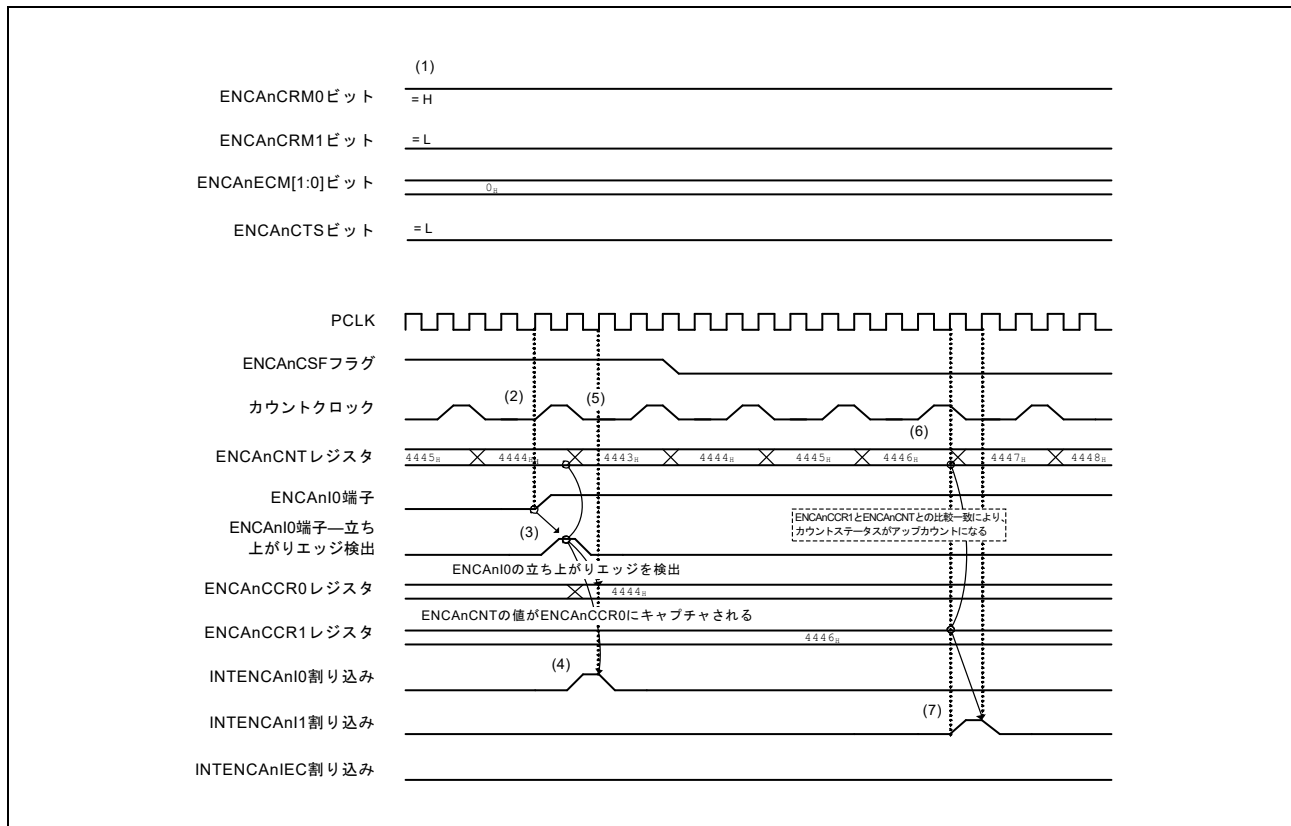


図 23.34 コンペアー一致クリア制御無効時のエンコーダの動作

- 以下の値が設定されています。ENCAAnCCR1 = 4446_H、ENCAAnCRM0 = 1、ENCAAnCRM1 = 0、ENCAAnECM[1:0] = 00_B、ENCAAnCTS = 0。
- ダウンカウントが実行されます。
- ENCAAnI0 の立ち上がりエッジが検出されると、ENCAAnCNT の値 (4444_H) が ENCAAnCCR0 にキャプチャされます。
- ENCAAnCCR0 へのキャプチャに対応する割り込み (INTENCAAnI0) が出力されます。
- カウント動作がアップカウントに変わります。
- ENCAAnCNT が 4446_H になると、ENCAAnCCR1 とのコンペアー一致が検出されます。
- ENCAAnCCR1 とのコンペアー一致割り込み (INTENCAAnI1) が出力されます。

23.6.23 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアのタイミングで行われるキャプチャ動作

23.6.23.1 付随するキャプチャ動作

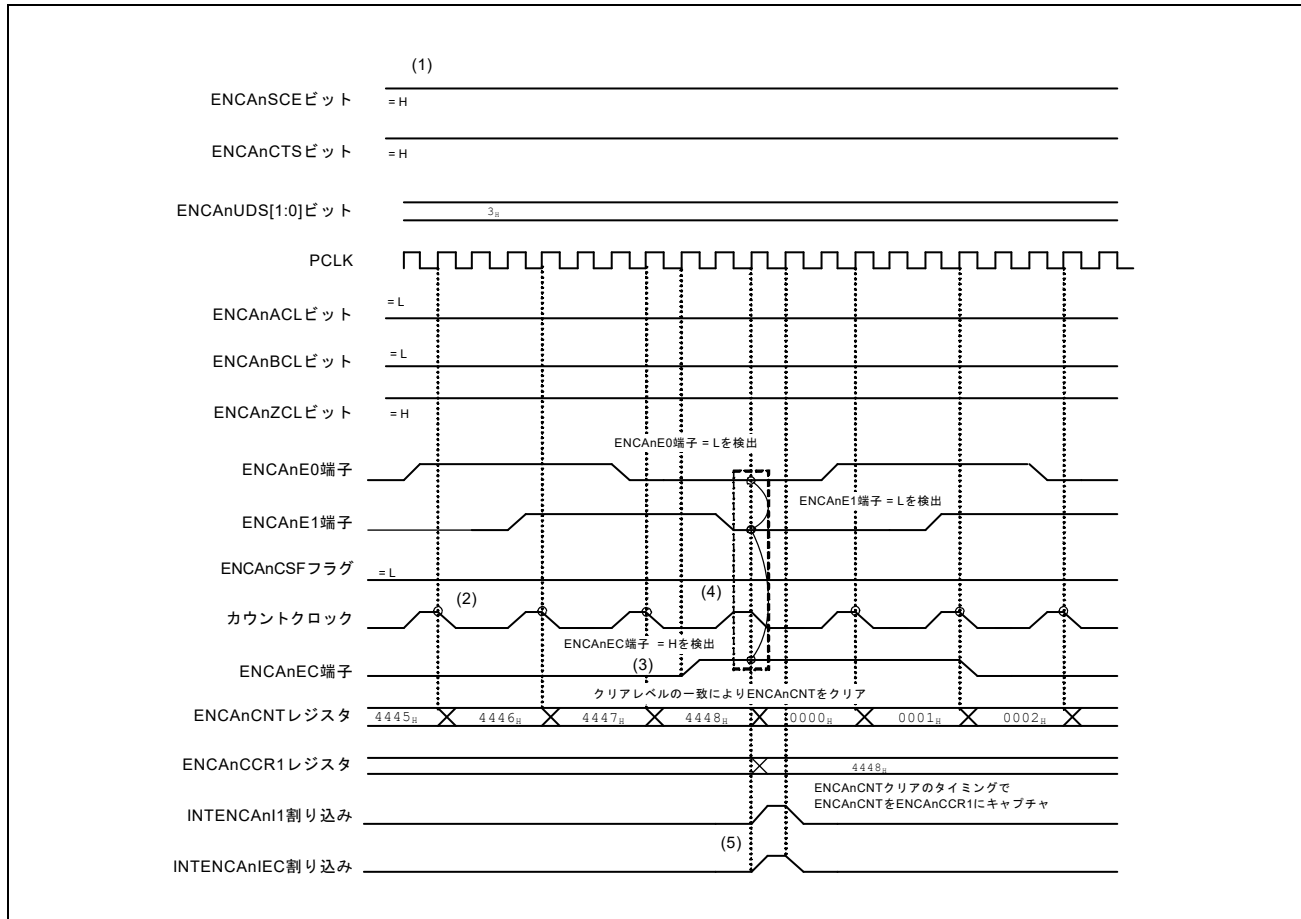


図 23.35 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアのタイミングで行われるキャプチャ動作

1. 以下の設定が行われています。ENCA_nSCE = 1、ENCA_nCTS = 1、ENCA_nUDS[1:0] = 11_B、ENCA_nACL = 0、ENCA_nBCL = 0、ENCA_nZCL = 1。
2. アップカウントが実行されます。
3. ENCA_nEC の立ち上がりエッジではカウント値はクリアされません。
4. ENCA_nE0、ENCA_nE1、ENCA_nEC が設定されたクリアレベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCA_nCCR1 にキャプチャされます。
5. クリアのタイミングで、ENCA_nCCR1 へのキャプチャに対応する割り込み (INTENCA_nI1) と ENCA_nEC によるクリア割り込み (INTENCA_nIEC) が出力されます。

23.6.23.2 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

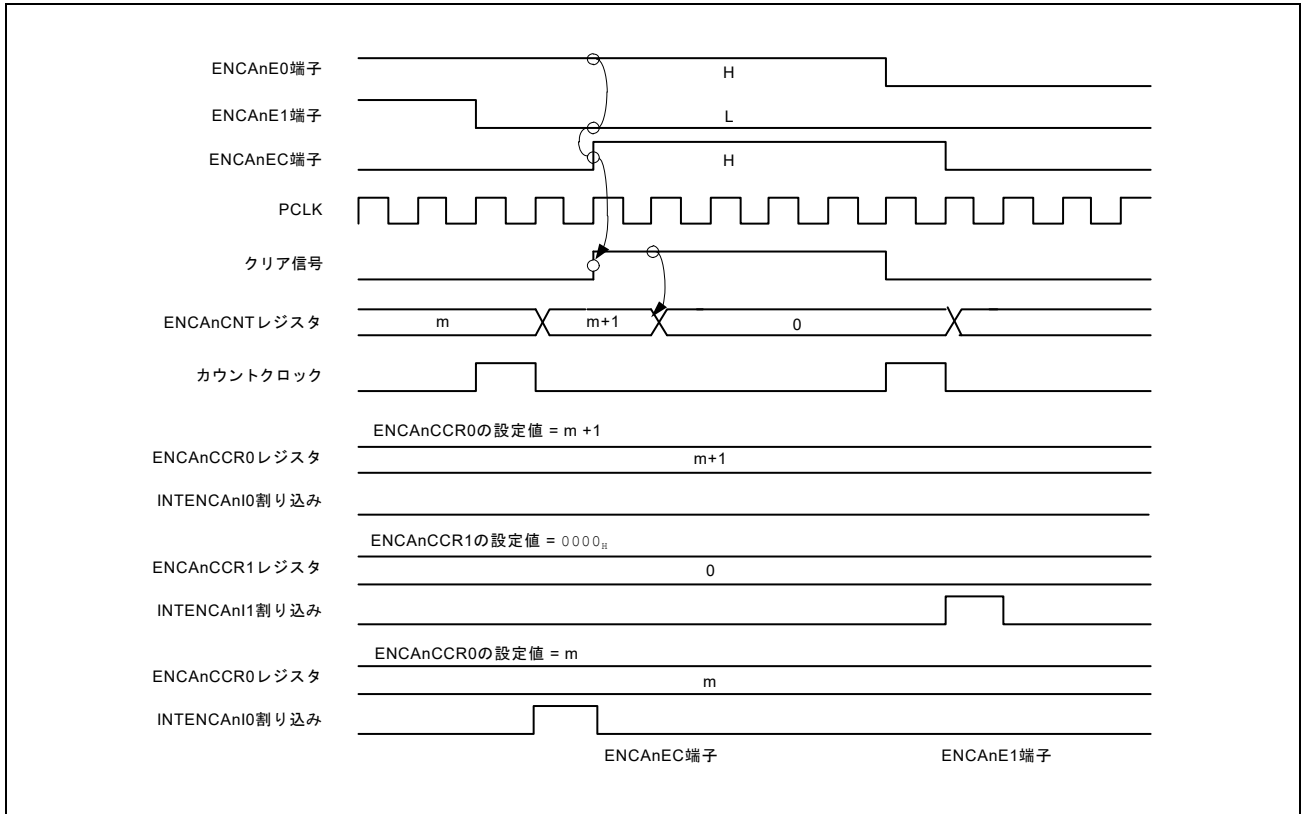


図 23.36 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

23.6.23.3 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

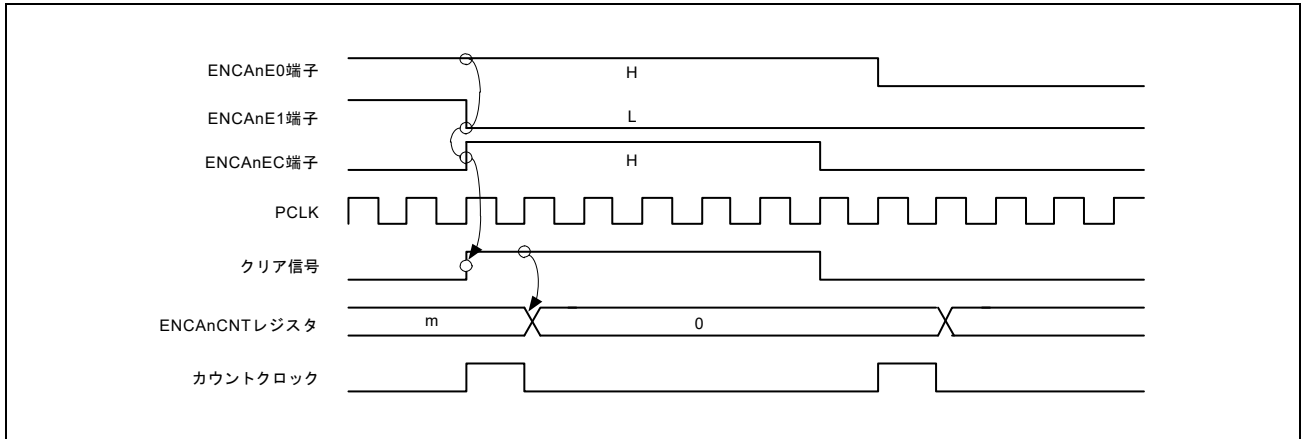


図 23.37 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合のクリアのタイミング

23.6.23.4 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

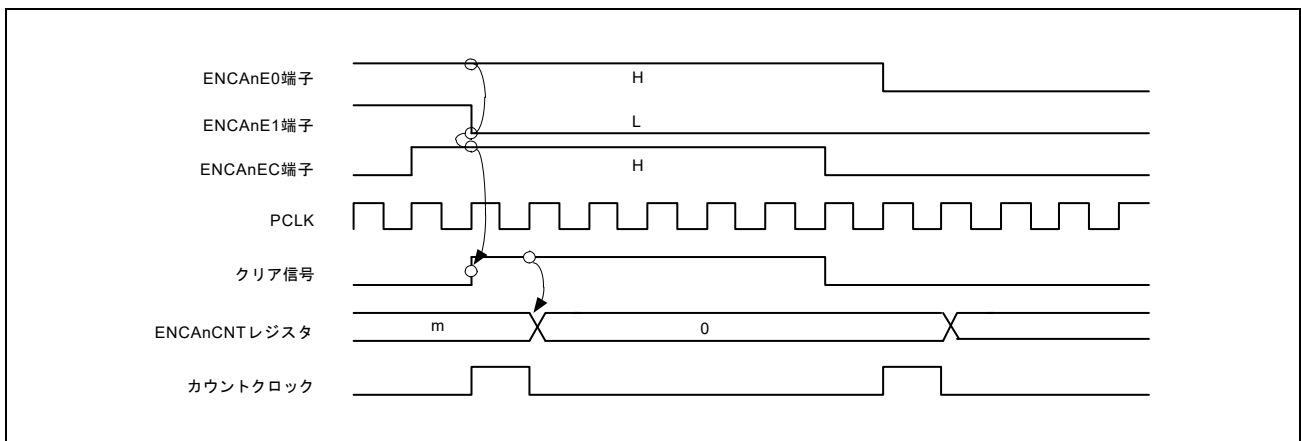


図 23.38 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合のクリアのタイミング

23.6.23.5 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

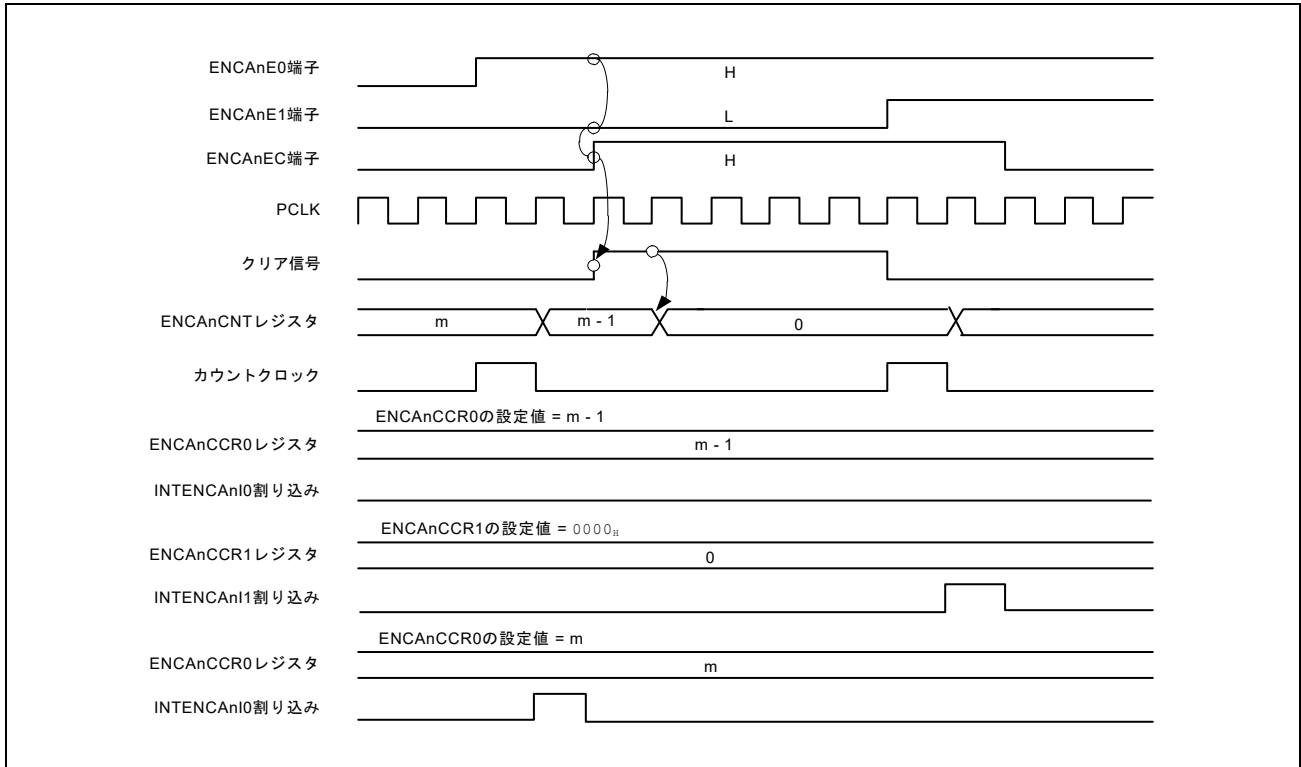


図 23.39 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

23.6.24 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

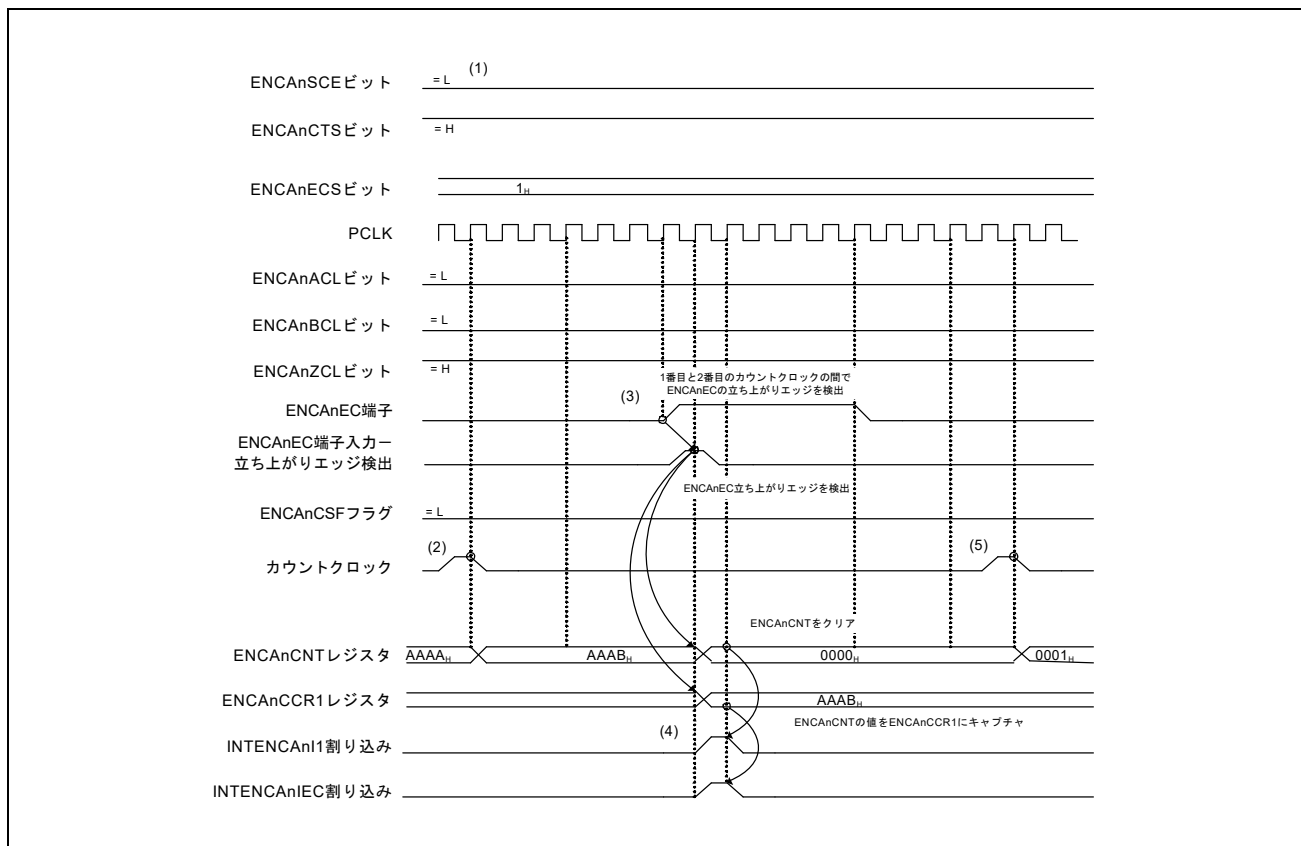


図 23.40 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

- 以下の値が設定されています。ENCA_nSCE = 0、ENCA_nCTS = 1、ENCA_nECS[1:0] = 01_B。
- アップカウントが実行されます。
- ENCA_nEC の立ち上がりエッジが検出され、ENCA_nCNT の値 (AAAB_H) が ENCA_nCCR1 にキャプチャされます。同時に、ENCA_nEC によるクリア動作が行われるため、ENCA_nCNT は 0000_H にクリアされます。
- ENCA_nCCR1 へのキャプチャ割り込み 1 (INTENCA_nI1) と ENCA_nEC によるエンコーダクリア割り込み (INTENCA_nIEC) が出力されます。
- カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。

第24章 ペリフェラルインタコネクション (PIC)

24.1 RH850/C1M-A PIC の特長

本章では、ペリフェラルインタコネクション (PIC) 全般について説明します。

最初の節では、ユニット名、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、PIC (PIC1B、PIC2D) の機能、レジスタについて説明します。

24.1.1 ユニット数

本製品は以下のユニット数の PIC を搭載しています。

表 24.1 ユニット数 (PIC1B)

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	2	1
名称	PIC1Bk (k = 0, 1)	PIC1Bk (k = 0)

表 24.2 ユニット数 (PIC2D)

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	1	
名称	PIC2D	

表 24.3 添字

添字	意味
k	PIC1B のユニット数を識別します。
n	各タイマ、A/D コンバータのユニット数を識別します。
m	各タイマ、A/D コンバータが保有しているチャンネル数を識別します。
x	A/D コンバータが保有しているスキンググループ数を識別します。
i	説明時における変数を示します。

24.1.2 レジスタベースアドレス

PIC のベースアドレスを以下の表に示します。

PIC のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 24.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PIC1B0_base>	FFDD 0000 _H
<PIC1B1_base>	FF7D 2000 _H
<PIC2D_base>	FFDD 1000 _H

24.1.3 クロック供給

PIC のクロック供給を以下の表に示します。

表 24.5 PIC クロック供給

ユニット名	ユニットクロック名	供給クロック名
PIC1Bk	PCLK	CLKC_HSB (非変調高速周辺クロック)
PIC2D	PCLK	CLKC_HSB (非変調高速周辺クロック)

24.1.4 リセット要因

PIC のリセット要因を以下に示します。PIC は以下のリセット要因で初期化されます。

表 24.6 リセット要因

ユニット名	リセット要因
PIC1Bk	すべてのリセット要因でリセット
PIC2D	すべてのリセット要因でリセット

24.1.5 外部入出力信号

PIC の外部入出力信号を以下の表に示します。

表 24.7 PIC1B 外部入力信号

ユニット信号名	概要	ポート端子兼用信号名
ENCA _n I1	ENCA _n キャプチャトリガ入力 1	ENCA _n TIN1
ENCA _n E0	ENCA _n エンコーダ入力 (カウントパルス 0)	ENCA _n E0
ENCA _n E1	ENCA _n エンコーダ入力 (カウントパルス 1)	ENCA _n E1
ENCA _n EC	ENCA _n エンコーダ入力 (クリアパルス)	ENCA _n EC
TAUD _n TIN _m	TAUD _n チャネル入力 m	TAUD _n Im
ESOn	Hi-Z 制御	TAPAnESO
TSG3 _n O1-6	TSG3 _n チャネル出力 1-6	TSG3 _n O1-6
TOPnU	モータ制御出力 U 相	TAPAnUP
TOPnUB	モータ制御出力 UB 相	TAPAnUN
TOPnV	モータ制御出力 V 相	TAPAnVP
TOPnVB	モータ制御出力 VB 相	TAPAnVN
TOPnW	モータ制御出力 W 相	TAPAnWP
TOPnWB	モータ制御出力 WB 相	TAPAnWN
TSGTSST	TSG 外部同時スタートトリガ入力	TSGTRG

表 24.8 PIC2D 外部入力信号

ユニット信号名	概要	ポート端子兼用信号名
ADTRG _n Z	ADCC _n トリガ	ADCC _n TRG

24.2 ペリフェラルインタコネクション 1 (PIC1B)

24.2.1 概要

24.2.1.1 機能概要

ペリフェラルインタコネクション 1 (PIC1B) は、複数タイマを使用した同調動作やタイマ入出力の内部信号をタイマ間で接続することにより、様々な機能を実現することができます。

注 意

-
- 以下に、本章の説明にて使用している信号名の略称を示します。実際の信号名は以下のように読み替えてください。
 - INTm → TAUDnTINTm
 - TINm → TAUDnTTINm
 - TOUTm → TAUDnTTOUTm
 - CDRm → TAUDnCDRm
 - CNTm → TAUDnCNTm
 - TSGTSST → TSGTRG
 - 以下に、本章の説明にて使用している ENCA 内部信号の機能を示します。
 - ENCATnEQ0 : INTENCAAnI0 割り込み要求信号の 1PCLK 前に出力される内部信号です。
 - ENCATnEQ1 : INTENCAAnI1 割り込み要求信号の 1PCLK 前に出力される内部信号です。
 - ENCATnIEC : INTENCAAnIEC 割り込み要求信号の内部信号です。
-

PIC1B には以下の機能があります。

- 同時スタートトリガ機能
- TSG 同時スタートトリガ機能 (外部トリガ)
- デッドタイム付き PWM 出力機能
- デッドタイム付き高精度三角波 PWM 出力機能
- デッドタイム付きディレイパルス出力機能
- トリガ&パルス間隔測定機能
- エンコーダキャプチャトリガ選択機能
- 2 相エンコーダ制御機能 (制御方式 1)
- 2 相エンコーダ制御機能 (制御方式 2)
- 2 相エンコーダ制御機能 (制御方式 3)
- 3 相パルス入力制御機能
- 3 相エンコーダ制御機能
- ENCA 入力選択機能
- TAUD 入力選択機能
- TSG 出力とロウレベル/ハイレベル出力切り替え機能
- Hi-Z 制御機能

表 24.9 に機能別関連モジュール一覧を示します。

表 24.9 機能別関連モジュール一覧

章番号	機能名	関連モジュール ^{注 2} /入力端子 ^{注 2}		
		PIC1B0	PIC1B1 ^{注 1}	2 ユニット結合 ^{注 1}
24.2.3.1	同時スタートトリガ機能	TAUD0, TAUD1 TAUJ0 TSG30, TSG31 TPBA0, TPBA1 ENCA0, ENCA1 OSTM0, OSTM1, OSTM2	TAUD2, TAUD3 TAUJ1 TSG32 — — OSTM3	TAUD0, TAUD1, TAUD2, TAUD3 TAUJ0, TAUJ1 TSG30, TSG31, TSG32 TPBA0, TPBA1 ENCA0, ENCA1 OSTM0, OSTM1, OSTM2, OSTM3
24.2.3.2	TSG 同時スタート機能 (外部トリガ)	TSG30, TSG31	TSG32	TSG30, TSG31, TSG32
24.2.3.3	デッドタイム付き PWM 出力機能	TAUD0, TAUD1	TAUD2, TAUD3	—
24.2.3.4	デッドタイム付き高精度三角波 PWM 出力機能	TAUD0, TAUD1	TAUD2, TAUD3	—
24.2.3.5	デッドタイム付きディレイパルス出力機能	TAUD0, TAUD1	TAUD2, TAUD3	—
24.2.3.6	トリガ&パルス間隔測定機能	TAUD0, TAUD1 TAUJ0 ENCA0, ENCA1	—	—
24.2.3.7	エンコーダキャプチャトリガ選択機能	TAUD0, TAUD1, ENCA0, ENCA1 PIC2D	—	—
24.2.3.8	2 相エンコーダ制御機能 (制御方式 1)	TSG30, TSG31 ENCA0, ENCA1	—	—
24.2.3.9	2 相エンコーダ制御機能 (制御方式 2)	TSG30, TSG31 ENCA0, ENCA1	—	—
24.2.3.10	2 相エンコーダ制御機能 (制御方式 3)	TSG30, TSG31 ENCA0, ENCA1	—	—
24.2.3.11	3 相パルス入力制御機能	TAUD0, TAUD1 TSG30, TSG31 ENCA0, ENCA1 (端子)	—	—
24.2.3.12	3 相エンコーダ制御機能	TSG30, TSG31 ENCA0, ENCA1	—	—
24.2.3.13	ENCA 入力選択機能	ENCA0, ENCA1 RDC3A0, RDC3A1	—	—
24.2.3.14	TAUD 入力選択機能	TAUD0, TAUD1	TAUD2, TAUD3	—
24.2.3.15	TSG 出力とロウレベル/ハイレベル出力切り替え機能	TSG30, TSG31	TSG32	—
24.2.3.16	Hi-Z 制御機能	TAUD0, TAUD1 TSG30, TSG31 TAPA0, TAPA1, TAPA3, TAPA4 ECM ESO0, ESO1, ESO3, ESO4 (端子)	TAUD2 TSG32 TAPA2, TAPA5 ECM ESO2, ESO5 (端子)	—

注 1. C1M-A1 では PIC1B1 は非搭載で、2 ユニット結合動作もできません。

注 2. C1M-A1 では TSG32, TAPA5, TAPA2, TAUD3, TAUD2, TAUJ1, TPBA1, OSTM3, RDC3A1, ESO5, ESO2 は非搭載です。

24.2.2 レジスタ

24.2.2.1 レジスタ一覧

以下にレジスタ一覧を示します。

アクセスアドレスは 32 ビットアクセスのみであり、16 ビット/8 ビットアクセスした場合であっても 32 ビットアクセスとして動作します。

<PIC1Bk_base> は「**24.1.2 レジスタベースアドレス**」を参照してください。

表 24.10 レジスタ一覧 (1/2)

モジュール名	レジスタ機能	名称	アドレス
PIC1B0	同時スタートトリガ制御レジスタ 0	PIC1BSST0	<PIC1B0_base> + 04 _H
PIC1B0	TSG3 同時スタートトリガ選択レジスタ 0	PIC1BSSTSGSELO	<PIC1B0_base> + 08 _H
PIC1B0	同時スタートトリガ出力制御レジスタ 0 ^{注 1}	PIC1BSSTOUTEN0	<PIC1B0_base> + 0C _H
PIC1B0	同時スタート制御レジスタ 00	PIC1BSSER00	<PIC1B0_base> + 10 _H
PIC1B0	同時スタート制御レジスタ 01	PIC1BSSER01	<PIC1B0_base> + 14 _H
PIC1B0	同時スタート制御レジスタ 02	PIC1BSSER02	<PIC1B0_base> + 18 _H
PIC1B0	同時スタート制御レジスタ 03	PIC1BSSER03	<PIC1B0_base> + 1C _H
PIC1B0	RS フリップフロップ回路初期化レジスタ 00	PIC1BINI00	<PIC1B0_base> + 20 _H
PIC1B0	DT 初期化レジスタ 01	PIC1BINI01	<PIC1B0_base> + 24 _H
PIC1B0	RS フリップフロップ回路初期化レジスタ 10	PIC1BINI10	<PIC1B0_base> + 2C _H
PIC1B0	DT 初期化レジスタ 11	PIC1BINI11	<PIC1B0_base> + 30 _H
PIC1B0	TSG30 出力のロウレベル/ハイレベル出力選択レジスタ	PIC1BLHSELO	<PIC1B0_base> + 60 _H
PIC1B0	TSG30 出力制御レジスタ	PIC1BTSGOUTCTR0	<PIC1B0_base> + 64 _H
PIC1B0	TSG31 出力のロウレベル/ハイレベル出力選択レジスタ	PIC1BLHSEL1	<PIC1B0_base> + 68 _H
PIC1B0	TSG31 出力制御レジスタ	PIC1BTSGOUTCTR1	<PIC1B0_base> + 6C _H
PIC1B0	ホールセンサ入力選択レジスタ	PIC1BTSGHALLSEL	<PIC1B0_base> + 74 _H
PIC1B0	TAUD0 入力選択レジスタ	PIC1BTAUD0SEL	<PIC1B0_base> + 78 _H
PIC1B0	TAUD1 入力選択レジスタ	PIC1BTAUD1SEL	<PIC1B0_base> + 7C _H
PIC1B0	Hi-Z 制御レジスタ 00	PIC1BHIZCEN00	<PIC1B0_base> + 80 _H
PIC1B0	Hi-Z 制御レジスタ 01	PIC1BHIZCEN01	<PIC1B0_base> + 84 _H
PIC1B0	Hi-Z 制御レジスタ 02	PIC1BHIZCEN02	<PIC1B0_base> + 88 _H
PIC1B0	Hi-Z 制御レジスタ 03	PIC1BHIZCEN03	<PIC1B0_base> + 8C _H
PIC1B0	ENCATIN1 入力選択レジスタ 400	PIC1BENCSEL400	<PIC1B0_base> + B8 _H
PIC1B0	ENCATIN1 入力選択レジスタ 410	PIC1BENCSEL410	<PIC1B0_base> + BC _H
PIC1B0	タイマ入出力制御レジスタ 200	PIC1BREG200	<PIC1B0_base> + C0 _H
PIC1B0	タイマ入出力制御レジスタ 201	PIC1BREG201	<PIC1B0_base> + C4 _H
PIC1B0	タイマ入出力制御レジスタ 202	PIC1BREG202	<PIC1B0_base> + C8 _H
PIC1B0	タイマ入出力制御レジスタ 203	PIC1BREG203	<PIC1B0_base> + CC _H
PIC1B0	タイマ入出力制御レジスタ 210	PIC1BREG210	<PIC1B0_base> + D4 _H
PIC1B0	タイマ入出力制御レジスタ 211	PIC1BREG211	<PIC1B0_base> + D8 _H
PIC1B0	タイマ入出力制御レジスタ 212	PIC1BREG212	<PIC1B0_base> + DC _H
PIC1B0	タイマ入出力制御レジスタ 213	PIC1BREG213	<PIC1B0_base> + E0 _H
PIC1B0	タイマ入出力制御レジスタ 30	PIC1BREG30	<PIC1B0_base> + E8 _H
PIC1B0	タイマ入出力制御レジスタ 31	PIC1BREG31	<PIC1B0_base> + EC _H
PIC1B0	タイマ入出力制御レジスタ 50	PIC1BREG50	<PIC1B0_base> + F8 _H
PIC1B0	タイマ入出力制御レジスタ 51	PIC1BREG51	<PIC1B0_base> + FC _H

表 24.10 レジスタ一覧 (2/2)

モジュール名	レジスタ機能	名称	アドレス
PIC1B1	同時スタートトリガ制御レジスタ 1 ^{注1}	PIC1BSST1	<PIC1B1_base> + 04 _H
PIC1B1	TSG3 同時スタートトリガ選択レジスタ 1 ^{注1}	PIC1BSSTSGSEL1	<PIC1B1_base> + 08 _H
PIC1B1	同時スタートトリガ出力制御レジスタ 1 ^{注1}	PIC1BSSTOUTEN1	<PIC1B1_base> + 0C _H
PIC1B1	同時スタート制御レジスタ 10 ^{注1}	PIC1BSSER10	<PIC1B1_base> + 10 _H
PIC1B1	同時スタート制御レジスタ 11 ^{注1}	PIC1BSSER11	<PIC1B1_base> + 14 _H
PIC1B1	同時スタート制御レジスタ 12 ^{注1}	PIC1BSSER12	<PIC1B1_base> + 18 _H
PIC1B1	同時スタート制御レジスタ 13 ^{注1}	PIC1BSSER13	<PIC1B1_base> + 1C _H
PIC1B1	RS フリップフロップ回路初期化レジスタ 20 ^{注1}	PIC1BINI20	<PIC1B1_base> + 20 _H
PIC1B1	RS フリップフロップ回路初期化レジスタ 30 ^{注1}	PIC1BINI30	<PIC1B1_base> + 2C _H
PIC1B1	TSG32 出力のロウレベル/ハイレベル出力選択レジスタ ^{注1}	PIC1BLHSEL2	<PIC1B1_base> + 60 _H
PIC1B1	TSG32 出力制御レジスタ ^{注1}	PIC1BTSGOUTCTR2	<PIC1B1_base> + 64 _H
PIC1B1	TAUD2 入力選択レジスタ ^{注1}	PIC1BTAUD2SEL	<PIC1B1_base> + 78 _H
PIC1B1	TAUD3 入力選択レジスタ ^{注1}	PIC1BTAUD3SEL	<PIC1B1_base> + 7C _H
PIC1B1	Hi-Z 制御レジスタ 10 ^{注1}	PIC1BHIZCEN10	<PIC1B1_base> + 80 _H
PIC1B1	Hi-Z 制御レジスタ 12 ^{注1}	PIC1BHIZCEN12	<PIC1B1_base> + 88 _H
PIC1B1	タイマ入出力制御レジスタ 220 ^{注1}	PIC1BREG220	<PIC1B1_base> + C0 _H
PIC1B1	タイマ入出力制御レジスタ 221 ^{注1}	PIC1BREG221	<PIC1B1_base> + C4 _H
PIC1B1	タイマ入出力制御レジスタ 222 ^{注1}	PIC1BREG222	<PIC1B1_base> + C8 _H
PIC1B1	タイマ入出力制御レジスタ 223 ^{注1}	PIC1BREG223	<PIC1B1_base> + CC _H
PIC1B1	タイマ入出力制御レジスタ 230 ^{注1}	PIC1BREG230	<PIC1B1_base> + D4 _H
PIC1B1	タイマ入出力制御レジスタ 231 ^{注1}	PIC1BREG231	<PIC1B1_base> + D8 _H
PIC1B1	タイマ入出力制御レジスタ 232 ^{注1}	PIC1BREG232	<PIC1B1_base> + DC _H
PIC1B1	タイマ入出力制御レジスタ 233 ^{注1}	PIC1BREG233	<PIC1B1_base> + E0 _H

注 1. C1M-A1 では非搭載です。

以下に機能別のレジスタ組み合わせ一覧を示します。

表 24.11 機能別使用レジスタ一覧

章番号	機能名	PIC1BSSST	PIC1BSSSTSGSEL	PIC1BSSSTOUTEN	PIC1BSSSER				PIC1BINI				PIC1BLHSEL	PIC1BTSGOUTCTR	PIC1BTSGHALLSEL	PIC1BTAUD0SEL	PIC1BTAUD1SEL	PIC1BTAUD2SEL	PIC1BTAUD3SEL	PIC1BHZCEN	PIC1BBENCSEL	PIC1BREG									
		0, 1	0, 1	0, 1	00, 10	01, 11	02, 12	03, 13	00, 10, 20, 30	01, 11	02, 12	03, 13	00, 01, 02, 03, 10, 12	0, 1, 2							200, 210, 220, 230	201, 211, 221, 231	202, 212, 222, 232	203, 213, 223, 233	30	31	50	51			
24.2.3.1	同時スタートトリガ機能	○	—	○	○	○	○	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
24.2.3.2	TSG 同時スタート機能 (外部トリガ)	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
24.2.3.3	デッドタイム付き PWM 出力機能	—	—	—	—	—	—	—	○	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
24.2.3.4	デッドタイム付き高周波三角波 PWM 出力機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
24.2.3.5	デッドタイム付きディレイバース出力機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
24.2.3.6	トリガ&バース間隔測定機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—	
24.2.3.7	エンコーダキャプチャトリガ選択機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
24.2.3.8	2 相エンコーダ制御機能 (制御方式 1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.9	2 相エンコーダ制御機能 (制御方式 2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.10	2 相エンコーダ制御機能 (制御方式 3)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.11	3 相バース入力制御機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.12	3 相エンコーダ制御機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.13	ENCA 入力選択機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.14	TAUD 入力選択機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.15	TSG 出力とロウレベル/ハイレベル出力切り替え機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
24.2.3.16	Hi-Z 制御機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○

24.2.2.2 PIC1BSST0 — 同時スタートトリガ制御レジスタ 0

PIC1BSST0 レジスタは、同時スタートトリガの選択を行う 8 ビットレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1BSYN CTRG
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 24.12 PIC1BSST0 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BSYNCTRG	PIC1B0 の同時スタート許可に設定したタイマに対し、スタートトリガを生成 0 : 無効 1 : 同時スタートトリガ (1PCLK 幅のパルスを出力)

備考 PIC1BSYNCTRG は、リード時は常に 0 を読み出します。

24.2.2.3 PIC1BSST1 — 同時スタートトリガ制御レジスタ 1^{注 1}

PIC1BSST1 レジスタは、同時スタートトリガの選択を行う 8 ビットレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1BSYN CTRG
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 24.13 PIC1BSST1 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BSYNCTRG	PIC1B1 の同時スタート許可に設定したタイマに対し、スタートトリガを生成 0: 無効 1: 同時スタートトリガ (1PCLK 幅のパルスを出力)

備考 PIC1BSYNCTRG は、リード時は常に 0 を読み出します。

注 1. C1M-A1 では PIC1BSST1 レジスタは非搭載です。

24.2.2.4 PIC1BSSTSGSEL0 — TSG3 同時スタートトリガ選択レジスタ 0

PIC1BSSTSGSEL0 レジスタは、TSG31、TSG30 の同時スタートトリガの選択を行う 8 ビットレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC1BSS TSGSEL01	PIC1BSS TSGSEL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.14 PIC1BSSTSGSEL0 レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	PIC1BSSTSGSEL01	TSG31 へのスタートトリガ選択 0 : PIC1BSST0 レジスタの PIC1BSYNCTRГ を選択 1 : 外部トリガ (TSGTSST) を選択
0	PIC1BSSTSGSEL00	TSG30 へのスタートトリガ選択 0 : PIC1BSST0 レジスタの PIC1BSYNCTRГ を選択 1 : 外部トリガ (TSGTSST) を選択

24.2.2.5 PIC1BSSTSGSEL1 — TSG3 同時スタートトリガ選択レジスタ 1^{注 1}

PIC1BSSTSGSEL1 レジスタは、TSG32 の同時スタートトリガの選択を行う 8 ビットレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1BSS TSGSEL10
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 24.15 PIC1BSSTSGSEL1 レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BSSTSGSEL10	TSG32 へのスタートトリガ選択 0 : PIC1BSST1 レジスタの PIC1BSYNCTRG を選択 1 : 外部トリガ (TSGTSST) を選択

注 1. C1M-A1 では PIC1BSSTSGSEL1 レジスタは非搭載です。

24.2.2.6 PIC1BSSTOUTENk — 同時スタートトリガ出力制御レジスタ k^{注 1}

PIC1BSSTOUTENk レジスタは、別ユニットの PIC1B に対して同時スタートトリガ信号を出力する機能の制御を行うレジスタです。PIC1BSSTOUTEN0 レジスタの PIC1BSSTOUTEN00 を 1 に設定し、PIC1BSST0 レジスタの PIC1BSYNCTR0 を 1 にすることで、PIC1B1 ユニットにも同時スタートトリガを送出することができます。同様に、PIC1BSSTOUTEN1 レジスタ、PIC1BSST1 レジスタの設定で、PIC1B0 ユニットにも同時スタートトリガを送出することができます。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1Bk_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1BSST OUTENk0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 24.16 PIC1BSSTOUTENk レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BSSTOUTENk0	別 PIC1B ユニットへの同時スタートトリガ出力制御 0: 別 PIC1B ユニットへの同時スタートトリガ出力を禁止 1: 別 PIC1B ユニットへの同時スタートトリガ出力を許可

注 1. C1M-A1 では PIC1BSSTOUTENk レジスタは非搭載です。

24.2.2.7 PIC1BSSERk0 — 同時スタート制御レジスタ k0

PIC1BSSER00 レジスタは TAUD0 の各 CH のスタートトリガ許可を行うレジスタです。

PIC1BSSER10 レジスタは TAUD2 の各 CH のスタートトリガ許可を行うレジスタです。^{注 1}

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1Bk_base> + 10_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BS SERk01	PIC1BS SERk01	PIC1BS SERk01	PIC1BS SERk01	PIC1BS SERk01	PIC1BS SERk01	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00	PIC1BS SERk00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.17 PIC1BSSERk0 レジスタの内容

ビット位置	ビット名	機能
15~0	PIC1BSSERk015 ~ PIC1BSSERk000	TAUDn CHm の同時スタートトリガの許可/禁止を設定する。 0 : 禁止 1 : 許可

注 1. C1M-A1 では PIC1BSSER10 レジスタは非搭載です。

24.2.2.8 PIC1BSSERk1 — 同時スタート制御レジスタ k1

PIC1BSSER01 レジスタは TAUD1 の各 CH のスタートトリガ許可を行うレジスタです。

PIC1BSSER11 レジスタは TAUD3 の各 CH のスタートトリガ許可を行うレジスタです。^{注 1}

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1Bk_base> + 14_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BS SERk11	PIC1BS SERk11	PIC1BS SERk11	PIC1BS SERk11	PIC1BS SERk11	PIC1BS SERk11	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10	PIC1BS SERk10
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.18 PIC1BSSERk1 レジスタの内容

ビット位置	ビット名	機能
15~0	PIC1BSSERk115 ~ PIC1BSSERk100	TAUDn CHm の同時スタートトリガの許可/禁止を設定する。 0 : 禁止 1 : 許可

注 1. C1M-A1 では PIC1BSSER11 レジスタは非搭載です。

24.2.2.9 PIC1BSSER02 — 同時スタート制御レジスタ 02

PIC1BSSER02 レジスタは、TAUJ0, TSG30, TSG31, TPBA0, TPBA1^{注1}, ENCA0, ENCA1 のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 18_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PIC1BS SER021 3	PIC1BS SER021 2	PIC1BS SER021 1	PIC1BS SER021 0	PIC1BS SER020 9	PIC1BS SER020 8	—	—	—	—	PIC1BS SER020 3	PIC1BS SER020 2	PIC1BS SER020 1	PIC1BS SER020 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.19 PIC1BSSER02 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15, 14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13	PIC1BSSER0213	ENCA1 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
12	PIC1BSSER0212	ENCA0 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
11	PIC1BSSER0211	TPBA1 の同時スタートトリガの許可/禁止を設定する。 ^{注1} 0: 禁止 1: 許可
10	PIC1BSSER0210	TPBA0 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
9	PIC1BSSER0209	TSG31 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
8	PIC1BSSER0208	TSG30 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BSSER0203	TAUJ0 CH03 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
2	PIC1BSSER0202	TAUJ0 CH02 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
1	PIC1BSSER0201	TAUJ0 CH01 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可

表 24.19 PIC1BSSER02 レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	PIC1BSSER0200	TAUJ0 CH00 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可

注 1. C1M-A1 では非搭載です。

24.2.2.10 PIC1BSSER12 — 同時スタート制御レジスタ 12^{注 1}

PIC1BSSER12 レジスタは、TAUJ1、TSG32 のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 18_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1BS SER120 8					PIC1BS SER120 3	PIC1BS SER120 2	PIC1BS SER120 1	PIC1BS SER120 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.20 PIC1BSSER12 レジスタの内容

ビット位置	ビット名	機能
15~9	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
8	PIC1BSSER1208	TSG32 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BSSER1203	TAUJ1 CH03 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
2	PIC1BSSER1202	TAUJ1 CH02 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
1	PIC1BSSER1201	TAUJ1 CH01 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可
0	PIC1BSSER1200	TAUJ1 CH00 の同時スタートトリガの許可/禁止を設定する。 0: 禁止 1: 許可

注 1. C1M-A1 では PIC1BSSER12 レジスタは非搭載です。

24.2.2.11 PIC1BSSER03 — 同時スタート制御レジスタ 03

PIC1BSSER03 レジスタは、OSTM0~2 のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 1C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1BS SER030	PIC1BS SER030	PIC1BS SER030
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 24.21 PIC1BSSER03 レジスタの内容

ビット位置	ビット名	機能
15~3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2	PIC1BSSER0302	OSTM2 の同時スタートトリガの許可/禁止を設定する。 0 : 禁止 1 : 許可
1	PIC1BSSER0301	OSTM1 の同時スタートトリガの許可/禁止を設定する。 0 : 禁止 1 : 許可
0	PIC1BSSER0300	OSTM0 の同時スタートトリガの許可/禁止を設定する。 0 : 禁止 1 : 許可

24.2.2.12 PIC1BSSER13 — 同時スタート制御レジスタ 13^{注 1}

PIC1BSSER13 レジスタは、OSTM3 のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 1C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1BS SER130 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 24.22 PIC1BSSER13 レジスタの内容

ビット位置	ビット名	機能
15~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。書き込み時は 0 を書き込んでください。
0	PIC1BSSER1300	OSTM3 の同時スタートトリガの許可/禁止を設定する。 0 : 禁止 1 : 許可

注 1. C1M-A1 では PIC1BSSER13 レジスタは非搭載です。

24.2.2.13 PIC1BINIn0 — RS フリップフロップ回路初期化レジスタ n0^{注 1}

PIC1BINIn0 レジスタは、RS フリップフロップ 4-2 回路 (RSn4-2) の初期化を行うレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 20_H (n = 0)、<PIC1B0_base> + 2C_H (n = 1)、
<PIC1B1_base> + 20_H (n = 2)、<PIC1B1_base> + 2C_H (n = 3)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	PIC1BINIn04	PIC1BINIn03	PIC1BINIn02	—	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	W	W	W	R	R

表 24.23 PIC1BINIn0 レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4~2	PIC1BINIn0[4:2]	デッドタイム付き PWM 出力機能で使用する RS フリップフロップ 4-2 回路 (RSn4-2) を初期化します。リード時は常に 0 が読み出されます。 0 : 無効 1 : 初期化
1、0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

注 1. C1M-A1 では TAUD2 (n = 2) および TAUD3 (n = 3) は非搭載です。

24.2.2.14 PIC1BINIn1 — DT 初期化レジスタ n1

PIC1BINIn1 レジスタは、ラッチ&トグル出力 (DT) 回路の初期化を行うレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 24_H (n = 0)、<PIC1B0_base> + 30_H (n = 1)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1BINIn12	PIC1BINIn11	PIC1BINIn10
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	W	W	W

表 24.24 PIC1BINIn1 レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2~0	PIC1BINIn1[2:0]	トリガ&パルス間隔測定機能で使用する DT 回路を初期化します。リード時は常に 0 が読み出されます。 0 : 無効 1 : 初期化

24.2.2.15 PIC1BLHSEL0 — TSG30 出力のロウレベル/ハイレベル出力選択レジスタ

PIC1BLHSEL0 レジスタは、TSG30 出力のロウレベル/ハイレベルの選択を行うレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 60_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1BLHSEL06	PIC1BLHSEL05	PIC1BLHSEL04	PIC1BLHSEL03	PIC1BLHSEL02	PIC1BLHSEL01	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 24.25 PIC1BLHSEL0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6~1	PIC1BLHSEL0m	TSG30 出力[6:1] と PIC1BLHSEL0[6:1] が対応しています。 0 : ロウレベル出力 1 : ハイレベル出力
0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

24.2.2.16 PIC1BTSGOUTCTR0 — TSG30 出力制御レジスタ

PIC1BTSGOUTCTR0 レジスタは、TSG30 出力信号の出力選択を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 64_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1BSEL06	PIC1BSEL05	PIC1BSEL04	PIC1BSEL03	PIC1BSEL02	PIC1BSEL01	PIC1BSEL00
リセット後の値	0	0	0	0	0	0	0	0
RW	R	RW	RW	RW	RW	RW	RW	RW

表 24.26 PIC1BTSGOUTCTR0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6~1	PIC1BSEL0m	出力信号として、TSG30 出力かロウレベル/ハイレベル出力かを選択します。 0 : TSG30 出力 1 : ロウレベル/ハイレベル出力
0	PIC1BSEL00	TSG30 出力のロウレベル/ハイレベル出力機能の ON/OFF を切り替えます。 0 : OFF (TSG30 出力のみ) 1 : ON (TSG30 とロウレベル/ハイレベル出力の切り替え可能) 注 1

注 1. TSG30 出力のロウレベル/ハイレベル出力機能が ON のとき、OFF に対して TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

24.2.2.17 PIC1BLHSEL1 — TSG31 出力のロウレベル/ハイレベル出力選択レジスタ

PIC1BLHSEL1 レジスタは、TSG31 出力のロウレベル/ハイレベルの選択を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 68_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1BLHSEL16	PIC1BLHSEL15	PIC1BLHSEL14	PIC1BLHSEL13	PIC1BLHSEL12	PIC1BLHSEL11	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	RW	RW	RW	RW	RW	RW	R

表 24.27 PIC1BLHSEL1 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6~1	PIC1BLHSEL1m	TSG31 出力[6:1] と PIC1BLHSEL1[6:1] が対応しています。 0 : ロウレベル出力 1 : ハイレベル出力
0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

24.2.2.18 PIC1BTSGOUTCTR1 — TSG31 出力制御レジスタ

PIC1BTSGOUTCTR1 レジスタは、TSG31 出力信号の出力選択を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 6C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1BSEL16	PIC1BSEL15	PIC1BSEL14	PIC1BSEL13	PIC1BSEL12	PIC1BSEL11	PIC1BSEL10
リセット後の値	0	0	0	0	0	0	0	0
RW	R	RW	RW	RW	RW	RW	RW	RW

表 24.28 PIC1BTSGOUTCTR1 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6~1	PIC1BSEL1m	出力信号として、TSG31 出力かロウレベル/ハイレベル出力かを選択します。 0 : TSG31 出力 1 : ロウレベル/ハイレベル出力
0	PIC1BSEL10	TSG31 出力のロウレベル/ハイレベル出力機能の ON/OFF を切り替えます。 0 : OFF (TSG31 出力のみ) 1 : ON (TSG31 とロウレベル/ハイレベル出力の切り替え可能) 注 1

注 1. TSG31 出力のロウレベル/ハイレベル出力機能が ON の時、OFF に対して TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

24.2.2.19 PIC1BLHSEL2 — TSG32 出力のロウレベル/ハイレベル出力選択レジスタ^{注 1}

PIC1BLHSEL2 レジスタは、TSG32 出力のロウレベル/ハイレベルの選択を行うレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 60_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1BLHSEL26	PIC1BLHSEL25	PIC1BLHSEL24	PIC1BLHSEL23	PIC1BLHSEL22	PIC1BLHSEL21	—
リセット後の値	0	0	0	0	0	0	0	0
RW	R	RW	RW	RW	RW	RW	RW	R

表 24.29 PIC1BLHSEL2 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6~1	PIC1BLHSEL2m	TSG32 出力[6:1]と PIC1BLHSEL2[6:1]が対応しています。 0 : ロウレベル出力 1 : ハイレベル出力
0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

注 1. C1M-A1 では PIC1BLHSEL2 レジスタは非搭載です。

24.2.2.20 PIC1BTSGOUTCTR2 — TSG32 出力制御レジスタ^{注 1}

PIC1BTSGOUTCTR2 レジスタは、TSG32 出力信号の出力選択を行うレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 64_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC1BSEL26	PIC1BSEL25	PIC1BSEL24	PIC1BSEL23	PIC1BSEL22	PIC1BSEL21	PIC1BSEL20
リセット後の値	0	0	0	0	0	0	0	0
RW	R	RW	RW	RW	RW	RW	RW	RW

表 24.30 PIC1BTSGOUTCTR2 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6~1	PIC1BSEL2m	出力信号として、TSG32 出力かロウレベル/ハイレベル出力かを選択します。 0 : TSG32 出力 1 : ロウレベル/ハイレベル出力
0	PIC1BSEL20	TSG32 出力のロウレベル/ハイレベル出力機能の ON/OFF を切り替えます。 0 : OFF (TSG32 出力のみ) 1 : ON (TSG32 とロウレベル/ハイレベル出力の切り替え可能) ^{注 2}

注 1. C1M-A1 では PIC1BTSGOUTCTR2 レジスタは非搭載です。

注 2. TSG32 出力のロウレベル/ハイレベル出力機能が ON のとき、OFF に対して TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

24.2.2.21 PIC1BTSGHALLSEL — ホールセンサ入力選択レジスタ

PIC1BTSGHALLSEL レジスタは、外部ホールセンサ信号の入力端子設定を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 74_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC1BTSG1 HALLSEL	PIC1BTSG0 HALLSEL
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 24.31 PIC1BTSGHALLSEL レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	PIC1B TSG1HALLSEL	外部ホールセンサ信号の入力端子の状態を設定します。 ^{注 1} 0: セパレート入力 1: ENCA 兼用入力
0	PIC1B TSG0HALLSEL	外部ホールセンサ信号の入力端子の状態を設定します。 ^{注 1} 0: セパレート入力 1: ENCA 兼用入力

注 1. C1M-A 製品では外部ホールセンサ入力端子は ENCA 兼用入力のため、必ず 1 を設定してください。また、PIC1BREG50 レジスタのビット 0 および、PIC1BREG51 レジスタのビット 0 は以下のように設定してください。

表 24.32 PIC1BTSG1HALLSEL ビットと PIC1BREG51 レジスタビット 0 (PIC1BREG5100) の設定

PIC1BTSG1HALLSEL	PIC1BREG5100	機能
1	1	ENCA1E0, ENCA1E1, ENCA1EC 端子入力を選択
上記以外		設定禁止

表 24.33 PIC1BTSG0HALLSEL ビットと PIC1BREG50 レジスタビット 0 (PIC1BREG5000) の設定

PIC1BTSG0HALLSEL	PIC1BREG5000	機能
1	0	ENCA0E0, ENCA0E1, ENCA0EC 端子入力を選択
上記以外		設定禁止

24.2.2.22 PIC1BTAUD0SEL — TAUD0 入力選択レジスタ

PIC1BTAUD0SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 78_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1BTAUD0IN143	PIC1BTAUD0IN142	PIC1BTAUD0IN141	PIC1BTAUD0IN140	PIC1BTAUD0IN123	PIC1BTAUD0IN122	PIC1BTAUD0IN121	PIC1BTAUD0IN120	PIC1BTAUD0IN103	PIC1BTAUD0IN102	PIC1BTAUD0IN101	PIC1BTAUD0IN100	PIC1BTAUD0IN83	PIC1BTAUD0IN82	PIC1BTAUD0IN81	PIC1BTAUD0IN80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BTAUD0IN63	PIC1BTAUD0IN62	PIC1BTAUD0IN61	PIC1BTAUD0IN60	PIC1BTAUD0IN43	PIC1BTAUD0IN42	PIC1BTAUD0IN41	PIC1BTAUD0IN40	PIC1BTAUD0IN23	PIC1BTAUD0IN22	PIC1BTAUD0IN21	PIC1BTAUD0IN20	PIC1BTAUD0IN03	PIC1BTAUD0IN02	PIC1BTAUD0IN01	PIC1BTAUD0IN00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.34 PIC1BTAUD0SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1BTAUD0INm3	TAUD0TIN (m+1) 出力端子に出力する信号を選択します。 00 : TAUD0TIN (m+1) を選択 01 : TAUD0TIN (m) を選択 10 : TAUD1TIN (m+1) を選択 11 : TAUD1TIN (m) を選択
2m+2	PIC1BTAUD0INm2	
2m+1	PIC1BTAUD0INm1	TAUD0TIN (m) 出力端子に出力する信号を選択します。 00 : TAUD0TIN (m) を選択 01 : TAUD0TIN (m+1) を選択 10 : TAUD1TIN (m) を選択 11 : TAUD1TIN (m+1) を選択
2m	PIC1BTAUD0INm0	

備考 m = TAUD0 の偶数 CH 番号 (CH_{m_even})

24.2.2.23 PIC1BTAUD1SEL — TAUD1 入力選択レジスタ

PIC1BTAUD1SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 7C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1BTAUD1IN14	PIC1BTAUD1IN14	PIC1BTAUD1IN14	PIC1BTAUD1IN14	PIC1BTAUD1IN12	PIC1BTAUD1IN12	PIC1BTAUD1IN12	PIC1BTAUD1IN12	PIC1BTAUD1IN10	PIC1BTAUD1IN10	PIC1BTAUD1IN10	PIC1BTAUD1IN10	PIC1BTAUD1IN83	PIC1BTAUD1IN82	PIC1BTAUD1IN81	PIC1BTAUD1IN80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BTAUD1IN63	PIC1BTAUD1IN62	PIC1BTAUD1IN61	PIC1BTAUD1IN60	PIC1BTAUD1IN43	PIC1BTAUD1IN42	PIC1BTAUD1IN41	PIC1BTAUD1IN40	PIC1BTAUD1IN23	PIC1BTAUD1IN22	PIC1BTAUD1IN21	PIC1BTAUD1IN20	PIC1BTAUD1IN03	PIC1BTAUD1IN02	PIC1BTAUD1IN01	PIC1BTAUD1IN00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.35 PIC1BTAUD1SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1BTAUD1INm3	TAUD1TIN (m+1) 出力端子に出力する信号を選択します。 00 : TAUD1TIN (m+1) を選択 01 : TAUD1TIN (m) を選択 10 : TAUD0TIN (m+1) を選択 11 : TAUD0TIN (m) を選択
2m+2	PIC1BTAUD1INm2	
2m+1	PIC1BTAUD1INm1	TAUD1TIN (m) 出力端子に出力する信号を選択します。 00 : TAUD1TIN (m) を選択 01 : TAUD1TIN (m+1) を選択 10 : TAUD0TIN (m) を選択 11 : TAUD0TIN (m+1) を選択
2m	PIC1BTAUD1INm0	

備考 m = TAUD1 の偶数 CH 番号 (CH_{m_even})

24.2.2.24 PIC1BTAUD2SEL — TAUD2 入力選択レジスタ^{注 1}

PIC1BTAUD2SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 78_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1BTAUD2IN14 ₃	PIC1BTAUD2IN14 ₂	PIC1BTAUD2IN14 ₁	PIC1BTAUD2IN14 ₀	PIC1BTAUD2IN12 ₃	PIC1BTAUD2IN12 ₂	PIC1BTAUD2IN12 ₁	PIC1BTAUD2IN12 ₀	PIC1BTAUD2IN10 ₃	PIC1BTAUD2IN10 ₂	PIC1BTAUD2IN10 ₁	PIC1BTAUD2IN10 ₀	PIC1BTAUD2IN8 ₃	PIC1BTAUD2IN8 ₂	PIC1BTAUD2IN8 ₁	PIC1BTAUD2IN8 ₀
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BTAUD2IN6 ₃	PIC1BTAUD2IN6 ₂	PIC1BTAUD2IN6 ₁	PIC1BTAUD2IN6 ₀	PIC1BTAUD2IN4 ₃	PIC1BTAUD2IN4 ₂	PIC1BTAUD2IN4 ₁	PIC1BTAUD2IN4 ₀	PIC1BTAUD2IN2 ₃	PIC1BTAUD2IN2 ₂	PIC1BTAUD2IN2 ₁	PIC1BTAUD2IN2 ₀	PIC1BTAUD2IN0 ₃	PIC1BTAUD2IN0 ₂	PIC1BTAUD2IN0 ₁	PIC1BTAUD2IN0 ₀
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.36 PIC1BTAUD2SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1BTAUD2INm3	TAUD2TIN (m+1) 出力端子に出力する信号を選択します。 00 : TAUD2TIN (m+1) を選択 01 : TAUD2TIN (m) を選択 10 : TAUD3TIN (m+1) を選択 11 : TAUD3TIN (m) を選択 上記以外、設定禁止。
2m+2	PIC1BTAUD2INm2	
2m+1	PIC1BTAUD2INm1	TAUD2TIN (m) 出力端子に出力する信号を選択します。 00 : TAUD2TIN (m) を選択 01 : TAUD2TIN (m+1) を選択 10 : TAUD3TIN (m) を選択 11 : TAUD3TIN (m+1) を選択 上記以外、設定禁止。
2m	PIC1BTAUD2INm0	

備考 m = TAUD2 の偶数 CH 番号 (CHm_even)

注 1. C1M-A1 では PIC1BTAUD2SEL レジスタは非搭載です。

24.2.2.25 PIC1BTAUD3SEL — TAUD3 入力選択レジスタ^{注 1}

PIC1BTAUD3SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 7C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1BTAUD3IN14	PIC1BTAUD3IN14	PIC1BTAUD3IN14	PIC1BTAUD3IN14	PIC1BTAUD3IN12	PIC1BTAUD3IN12	PIC1BTAUD3IN12	PIC1BTAUD3IN10	PIC1BTAUD3IN10	PIC1BTAUD3IN10	PIC1BTAUD3IN10	PIC1BTAUD3IN10	PIC1BTAUD3IN83	PIC1BTAUD3IN82	PIC1BTAUD3IN81	PIC1BTAUD3IN80
リセット後の値	0	0	0	0	3	2	1	0	3	2	1	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BTAUD3IN63	PIC1BTAUD3IN62	PIC1BTAUD3IN61	PIC1BTAUD3IN60	PIC1BTAUD3IN43	PIC1BTAUD3IN42	PIC1BTAUD3IN41	PIC1BTAUD3IN40	PIC1BTAUD3IN23	PIC1BTAUD3IN22	PIC1BTAUD3IN21	PIC1BTAUD3IN20	PIC1BTAUD3IN03	PIC1BTAUD3IN02	PIC1BTAUD3IN01	PIC1BTAUD3IN00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.37 PIC1BTAUD3SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1BTAUD3INm3	TAUD3TIN (m+1) 出力端子に出力する信号を選択します。 00 : TAUD3TIN (m+1) を選択 01 : TAUD3TIN (m) を選択 10 : TAUD2TIN (m+1) を選択 11 : TAUD2TIN (m) を選択
2m+2	PIC1BTAUD3INm2	
2m+1	PIC1BTAUD3INm1	TAUD3TIN (m) 出力端子に出力する信号を選択します。 00 : TAUD3TIN (m) を選択 01 : TAUD3TIN (m+1) を選択 10 : TAUD2TIN (m) を選択 11 : TAUD2TIN (m+1) を選択
2m	PIC1BTAUD3INm0	

備考 m = TAUD3 の偶数 CH 番号 (CH_{m_even})

注 1. C1M-A1 では PIC1BTAUD3SEL レジスタは非搭載です。

24.2.2.26 PIC1BHIZCEN00 — Hi-Z 制御レジスタ 00

PIC1BHIZCEN00 レジスタは、TAUD0 の Hi-Z 制御用の入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1BHIZCEN 005	—	—	—	—	PIC1BHIZCEN 000
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	R	R	R	R	RW

表 24.38 PIC1BHIZCEN00 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	PIC1BHIZCEN 005	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
4~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BHIZCEN 000	ES00 端子入力で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TAUD0 の U/V/W 出力、UB/VB/WB 出力を起動する前に設定してください。

ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA0CTL0.TAPA0DCN = 0、TAPA0CTL0.TAPA0DCP = 1 を設定してください。

24.2.2.27 PIC1BHIZCEN01 — Hi-Z 制御レジスタ 01

PIC1BHIZCEN01 レジスタは、TAUD1 の Hi-Z 制御用の入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 84_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1BHIZCEN 015	—	—	—	—	PIC1BHIZCEN 010
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	R	R	R	R	RW

表 24.39 PIC1BHIZCEN01 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	PIC1BHIZCEN 015	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
4~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BHIZCEN 010	ESO1 端子入力で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TAUD1 の U/V/W 出力、UB/VB/WB 出力を起動する前に設定してください。

ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA1CTL0.TAPA1DCN = 0、TAPA1CTL0.TAPA1DCP = 1 を設定してください。

24.2.2.28 PIC1BHIZCEN02 — Hi-Z 制御レジスタ 02

PIC1BHIZCEN2 レジスタは、TSG30 の Hi-Z 制御用の入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 88_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1BHIZCEN 025	—	PIC1BHIZCEN 023	—	—	PIC1BHIZCEN 020
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	R	RW	R	R	RW

表 24.40 PIC1BHIZCEN2 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	PIC1BHIZCEN 025	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BHIZCEN 023	INTTSG30IER 割り込み要求信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
2、1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BHIZCEN 020	ESO3 端子入力で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TSG30 出力を起動する前に設定してください。

ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA3CTL0.TAPA3DCN = 0、TAPA3CTL0.TAPA3DCP = 1 を設定してください。

24.2.2.29 PIC1BHIZCEN03 — Hi-Z 制御レジスタ 03

PIC1BHIZCEN03 レジスタは、TSG31 の Hi-Z 制御用の入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + 8C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1BHIZCEN 035	PIC1BHIZCEN 034	—	—	—	PIC1BHIZCEN 030
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	RW	R	R	R	RW

表 24.41 PIC1BHIZCEN3 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	PIC1BHIZCEN 035	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
4	PIC1BHIZCEN 034	INTTSG31IER 割り込み要求信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
3~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BHIZCEN 030	ESO4 端子入力で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TSG31 出力を起動する前に設定してください。

ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA4CTL0.TAPA4DCN = 0、TAPA4CTL0.TAPA4DCP = 1 を設定してください。

24.2.2.30 PIC1BHIZCEN10 — Hi-Z 制御レジスタ 10 ^{注 1}

PIC1BHIZCEN10 レジスタは、TAUD2 の Hi-Z 制御用の入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1BHIZCEN 105	—	—	—	—	PIC1BHIZCEN 100
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	R	R	R	R	RW

表 24.42 PIC1BHIZCEN10 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	PIC1BHIZCEN 105	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0 : 禁止 1 : 許可
4~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BHIZCEN 100	ESO2 端子入力で Hi-Z 制御の許可/禁止を選択します。 0 : 禁止 1 : 許可

注 意

本レジスタは、TAUD2 の U/V/W 出力、UB/VB/WB 出力を起動する前に設定してください。

ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA2CTL0.TAPA2DCN = 0、TAPA2CTL0.TAPA2DCP = 1 を設定してください。

注 1. C1M-A1 では PIC1BHIZCEN10 レジスタは非搭載です。

24.2.2.31 PIC1BHIZCEN12 — Hi-Z 制御レジスタ 12^{注 1}

PIC1BHIZCEN12 レジスタは、TSG32 の Hi-Z 制御用の入力信号を選択します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + 88_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1BHIZCEN 125	—	PIC1BHIZCEN 123	—	—	PIC1BHIZCEN 120
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	R	RW	R	R	RW

表 24.43 PIC1BHIZCEN12 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	PIC1BHIZCEN 125	ERROROUTZ 信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BHIZCEN 123	INTTSG32IER 割り込み要求信号で Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可
2、1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BHIZCEN 120	ESO5 端子入力での Hi-Z 制御の許可/禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TSG32 出力を起動する前に設定してください。

ERROROUTZ 信号で Hi-Z 制御を行う場合、TAPA5CTL0.TAPA5DCN = 0、TAPA5CTL0.TAPA5DCP = 1 を設定してください。

注 1. C1M-A1 では PIC1BHIZCEN12 レジスタは非搭載です。

24.2.2.32 PIC1BENCSEL400 — ENCATIN1 入力選択レジスタ 400

エンコーダキャプチャトリガ選択機能で使用するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + B8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1BENCSEL4007	—	—	—	PIC1BENCSEL4003	PIC1BENCSEL4002	PIC1BENCSEL4001	PIC1BENCSEL4000
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 24.44 PIC1BENCSEL400 レジスタの内容

ビット位置	ビット名	機能
7	PIC1BENCSEL4007	PIC1BENCSEL400[3:0] で選択した INTTAUD0Im 信号の出力の許可/禁止を選択します。 0 : 禁止 1 : 許可
6~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	PIC1BENCSEL400[3:0]	ENCA0、ENCA1 のキャプチャトリガ信号として使用する TAUD0TINTm を選択します。 0 : INTTAUD0I0 を選択 1 : INTTAUD0I1 を選択 2 : INTTAUD0I2 を選択 3 : INTTAUD0I3 を選択 4 : INTTAUD0I4 を選択 5 : INTTAUD0I5 を選択 6 : INTTAUD0I6 を選択 7 : INTTAUD0I7 を選択 8 : INTTAUD0I8 を選択 9 : INTTAUD0I9 を選択 10 : INTTAUD0I10 を選択 11 : INTTAUD0I11 を選択 12 : INTTAUD0I12 を選択 13 : INTTAUD0I13 を選択 14 : INTTAUD0I14 を選択 15 : INTTAUD0I15 を選択

24.2.2.33 PIC1BENCSEL410 — ENCATIN1 入力選択レジスタ 410

エンコーダキャプチャトリガ選択機能で使用するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + BC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1BENCSEL4 107	—	—	—	PIC1BENCSEL4 103	PIC1BENCSEL4 102	PIC1BENCSEL4 101	PIC1BENCSEL4 100
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W

表 24.45 PIC1BENCSEL410 レジスタの内容

ビット位置	ビット名	機能
7	PIC1BENCSEL 4107	PIC1BENCSEL410[3:0] で選択した INTTAUD1 _m 信号の出力の許可/禁止を選択します。 0 : 禁止 1 : 許可
6~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3~0	PIC1BENCSEL 410[3:0]	ENCA0、ENCA1 のキャプチャトリガ信号として使用する TAUD1TINT _m を選択します。 0 : INTTAUD110 を選択 1 : INTTAUD111 を選択 2 : INTTAUD112 を選択 3 : INTTAUD113 を選択 4 : INTTAUD114 を選択 5 : INTTAUD115 を選択 6 : INTTAUD116 を選択 7 : INTTAUD117 を選択 8 : INTTAUD118 を選択 9 : INTTAUD119 を選択 10 : INTTAUD1110 を選択 11 : INTTAUD1111 を選択 12 : INTTAUD1112 を選択 13 : INTTAUD1113 を選択 14 : INTTAUD1114 を選択 15 : INTTAUD1115 を選択

24.2.2.34 PIC1BREG200 — タイマ入出力制御レジスタ 200

PIC1BREG200 レジスタは、TAUD0 の入力選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC1BREG20025	PIC1BREG20024	—	—	—	—	—	PIC1BREG20018	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1BREG20011	PIC1BREG20010	PIC1BREG20009	PIC1BREG20008	—	—	—	—	PIC1BREG20003	PIC1BREG20002	PIC1BREG20001	PIC1BREG20000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.46 PIC1BREG200 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25, 24	PIC1BREG20025, PIC1BREG20024	TAPA0TSM0, TAPA0TUDCM0 で使用する TAUD のチャンネルを選択します。 00: 選択なし 01: TAUD0 チャンネル 0 選択 10: TAUD0 チャンネル 2 選択 11: TAUD0 チャンネル 8 選択
23~19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	PIC1BREG20018	TAUD0 の TAUD0TIN10, TAUD0TIN12, TAUD0TIN14 信号の入力信号を選択します。 1: TAUD0 CH02 の TOUT 選択 上記以外、設定禁止。 ^{注 1}
17~12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11, 10	PIC1BREG20011, PIC1BREG20010	TAUD0 の TAUD0TIN6, TAUD0TIN7 信号の入力信号を選択します。 10: TSG30 の TS0PTE 信号 上記以外、設定禁止。 ^{注 1}
9, 8	PIC1BREG20009, PIC1BREG20008	TAUD0 の TAUD0TIN4, TAUD0TIN5 信号の入力信号を選択します。 10: TSG30 の TS0PTE 信号 上記以外、設定禁止。 ^{注 1}
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BREG20003	TAUD0 の TAUD0TIN7 信号の入力信号を選択します。 0: TIN 端子入力 1: PIC1BREG20011, PIC1BREG20010 ビットで選択した信号 (TS0PTE 信号) の入力
2	PIC1BREG20002	TAUD0 の TAUD0TIN6 信号の入力信号を選択します。 0: TIN 端子入力 1: PIC1BREG20011, PIC1BREG20010 ビットで選択した信号 (TS0PTE 信号) の入力

表 24.46 PIC1BREG200 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	PIC1BREG20001	TAUD0 の TAUD0TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG20009, PIC1BREG20008 ビットで選択した信号 (TS0PTE 信号) の入力
0	PIC1BREG20000	TAUD0 の TAUD0TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG20009, PIC1BREG20008 ビットで選択した信号 (TS0PTE 信号) の入力

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

24.2.2.35 PIC1BREG210 — タイマ入出力制御レジスタ 210

PIC1BREG210 レジスタは、TAUD1 の入力選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + D4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC1BR EG2102 5	PIC1BR EG2102 4	—	—	—	—	—	PIC1BR EG2101 8	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1BR EG2101 1	PIC1BR EG2101 0	PIC1BR EG2100 9	PIC1BR EG2100 8	—	—	—	—	PIC1BR EG2100 3	PIC1BR EG2100 2	PIC1BR EG2100 1	PIC1BR EG2100 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.47 PIC1BREG210 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25、24	PIC1BREG21025, PIC1BREG21024	TAPA1TSIM0,TAPA1TUDCM0 で使用する TAUD のチャンネルを選択します。 00 : 選択なし 01 : TAUD1 チャンネル 0 選択 10 : TAUD1 チャンネル 2 選択 11 : TAUD1 チャンネル 8 選択
23~19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	PIC1BREG21018	TAUD1 の TAUD1TIN10, TAUD1TIN12, TAUD1TIN14 信号の入力信号を選択します。 1 : TAUD1 CH02 の TOUT 選択 上記以外、設定禁止。 ^{注 1}
17~12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11、10	PIC1BREG21011, PIC1BREG21010	TAUD1 の TAUD1TIN6, TAUD1TIN7 信号の入力信号を選択します。 10 : TSG31 の TS0PTE 信号 上記以外、設定禁止。 ^{注 1}
9、8	PIC1BREG21009, PIC1BREG21008	TAUD1 の TAUD1TIN4, TAUD1TIN5 信号の入力信号を選択します。 10 : TSG31 の TS0PTE 信号 上記以外、設定禁止。 ^{注 1}
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BREG21003	TAUD1 の TAUD1TIN7 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG21011, PIC1BREG21010 ビットで選択した信号 (TS0PTE 信号) の入力
2	PIC1BREG21002	TAUD1 の TAUD1TIN6 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG21011, PIC1BREG21010 ビットで選択した信号 (TS0PTE 信号) の入力

表 24.47 PIC1BREG210 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	PIC1BREG21001	TAUD1 の TAUD1TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG21009, PIC1BREG21008 ビットで選択した信号 (TSOPTE 信号) の入力
0	PIC1BREG21000	TAUD1 の TAUD1TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG21009, PIC1BREG21008 ビットで選択した信号 (TSOPTE 信号) の入力

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

24.2.2.36 PIC1BREG220 — タイマ入出力制御レジスタ 220 注 1

PIC1BREG220 レジスタは、TAUD2 の入力選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC1BR EG2202 5	PIC1BR EG2202 4	—	—	—	—	—	PIC1BR EG2201 8	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1BR EG2201 1	PIC1BR EG2201 0	PIC1BR EG2200 9	PIC1BR EG2200 8	—	—	—	—	PIC1BR EG2200 3	PIC1BR EG2200 2	PIC1BR EG2200 1	PIC1BR EG2200 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.48 PIC1BREG220 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
25、24	PIC1BREG22025, PIC1BREG22024	TAPA2TSM0, TAPA2TUDCM0 で使用する TAUD のチャンネルを選択します。 00 : 選択なし 01 : TAUD2 チャンネル 0 選択 10 : TAUD2 チャンネル 2 選択 11 : TAUD2 チャンネル 8 選択
23~19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	PIC1BREG22018	TAUD2 の TAUD2TIN10, TAUD2TIN12, TAUD2TIN14 信号の入力信号を選択します。 1 : TAUD2 CH02 の TOUT 選択 上記以外、設定禁止。注 2
17~12	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
11、10	PIC1BREG22011, PIC1BREG22010	TAUD2 の TAUD2TIN6, TAUD2TIN7 信号の入力信号を選択します。 10 : TSG32 の TS0PTE 信号 上記以外、設定禁止。注 2
9、8	PIC1BREG22009, PIC1BREG22008	TAUD2 の TAUD2TIN4, TAUD2TIN5 信号の入力信号を選択します。 10 : TSG32 の TS0PTE 信号 上記以外、設定禁止。注 2
7~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BREG22003	TAUD2 の TAUD2TIN7 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG22011, PIC1BREG22010 ビットで選択した信号 (TS0PTE 信号) の入力
2	PIC1BREG22002	TAUD2 の TAUD2TIN6 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG22011, PIC1BREG22010 ビットで選択した信号 (TS0PTE 信号) の入力

表 24.48 PIC1BREG220 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	PIC1BREG22001	TAUD2 の TAUD0TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG22009, PIC1BREG22008 ビットで選択した信号 (TS0PTE 信号) の入力
0	PIC1BREG22000	TAUD2 の TAUD0TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG22009, PIC1BREG22008 ビットで選択した信号 (TS0PTE 信号) の入力

注 1. C1M-A1 では PIC1BREG220 レジスタは非搭載です。

注 2. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

24.2.2.37 PIC1BREG230 — タイマ入出力制御レジスタ 230 ^{注 1}

PIC1BREG230 レジスタは、TAUD3 の入力選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B1_base> + D4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1BR EG2301 8	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIC1BR EG2300 3	PIC1BR EG2300 2	PIC1BR EG2300 1	PIC1BR EG2300 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 24.49 PIC1BREG230 レジスタの内容

ビット位置	ビット名	機能
31~19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18	PIC1BREG 23018	TAUD3 の TAUD3TIN10, TAUD3TIN12, TAUD3TIN14 信号の入力信号を選択します。 1 : TAUD3 CH02 の TOUT 選択 上記以外、設定禁止。 ^{注 2}
17~4	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
3	PIC1BREG 23003	TAUD3 の TAUD1TIN7 信号の入力信号を選択します。 0 : TIN 端子入力 上記以外、設定禁止。
2	PIC1BREG 23002	TAUD3 の TAUD1TIN6 信号の入力信号を選択します。 0 : TIN 端子入力 上記以外、設定禁止。
1	PIC1BREG 23001	TAUD3 の TAUD1TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 上記以外、設定禁止。
0	PIC1BREG 23000	TAUD3 の TAUD1TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 上記以外、設定禁止。

注 1. C1M-A1 では PIC1BREG230 レジスタは非搭載です。

注 2. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

24.2.2.38 PIC1BREG2n1 — タイマ入出力制御レジスタ 2n1 注 1

PIC1BREG2n1 レジスタは、組み合わせ回路 PFN0xx の論理選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + C4_H (n = 0)、<PIC1B0_base> + D8_H (n = 1)、
<PIC1B1_base> + C4_H (n = 2)、<PIC1B1_base> + D8_H (n = 3)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC1BREG2n127	PIC1BREG2n126	PIC1BREG2n125	PIC1BREG2n124	PIC1BREG2n123	PIC1BREG2n122	PIC1BREG2n121	PIC1BREG2n120	PIC1BREG2n119	PIC1BREG2n118	PIC1BREG2n117	PIC1BREG2n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.50 PIC1BREG2n1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~28	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
27、26	PIC1BREG2n127, PIC1BREG2n126	PFN045 の WO2 出力を選択します。注 2 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。注 3
25、24	PIC1BREG2n125, PIC1BREG2n124	PFN045 の WO1 出力を選択します。注 2 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。注 3
23、22	PIC1BREG2n123, PIC1BREG2n122	PFC023 の VO2 出力を選択します。注 2 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。注 3
21、20	PIC1BREG2n121, PIC1BREG2n120	PFN023 の VO1 出力を選択します。注 2 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。注 3
19、18	PIC1BREG2n119, PIC1BREG2n118	PFN001 の UO2 出力を選択します。注 2 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。注 3
17、16	PIC1BREG2n117, PIC1BREG2n116	PFN001 の UO1 出力を選択します。注 2 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。注 3

表 24.50 PIC1BREG2n1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
15~0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

注 1. C1M-A1 では TAUD2 (n = 2) および TAUD3 (n = 3) は非搭載です。

注 2. 機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、「24.2.3 機能」を参照してください。

注 3. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

下図に PFN001 のブロック図を示します。

ほかの PFN023、PFN045 については、入力信号および選択レジスタは異なりますが、論理は同一です。

PFN0xx の周辺回路との接続は、**図 24.15** を参照してください。

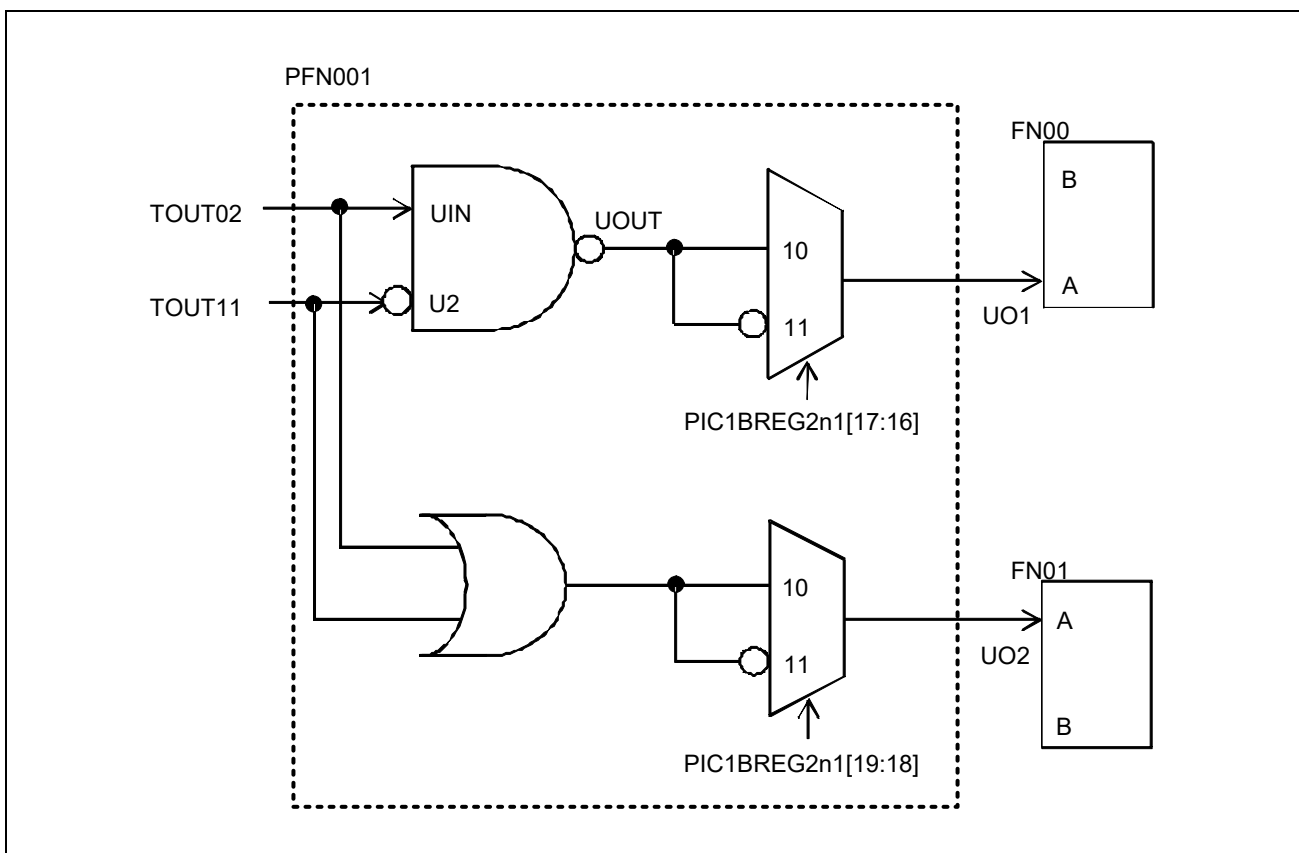


図 24.1 PFN001 ブロック図

24.2.2.39 PIC1BREG2n2 — タイマ入出力制御レジスタ 2n2 注 1

PIC1BREG2n2 レジスタは、TAUDn CHm の入力信号の選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + C8_H (n = 0)、<PIC1B0_base> + DC_H (n = 1)、
<PIC1B1_base> + C8_H (n = 2)、<PIC1B1_base> + DC_H (n = 3)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC1BREG2n227	PIC1BREG2n226	PIC1BREG2n225	PIC1BREG2n224	PIC1BREG2n223	PIC1BREG2n222	PIC1BREG2n221	PIC1BREG2n220	PIC1BREG2n219	PIC1BREG2n218	PIC1BREG2n217	PIC1BREG2n216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC1BREG2n204	PIC1BREG2n203	PIC1BREG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 24.51 PIC1BREG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~28	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
27、26	PIC1BREG2n227, PIC1BREG2n226	TAUDnCH15 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1BREG2n204 ビットで選択した信号 (TAUDnCH09 の TOUT) 上記以外、設定禁止
25、24	PIC1BREG2n225, PIC1BREG2n224	TAUDnCH14 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1BREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
23、22	PIC1BREG2n223, PIC1BREG2n222	TAUDnCH13 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1BREG2n203 ビットで選択した信号 (TAUDnCH07 の TOUT) 上記以外、設定禁止
21、20	PIC1BREG2n221, PIC1BREG2n220	TAUDnCH12 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1BREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
19、18	PIC1BREG2n219, PIC1BREG2n218	TAUDnCH11 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1BREG2n202 ビットで選択した信号 (TAUDnCH05 の TOUT) 上記以外、設定禁止
17、16	PIC1BREG2n217, PIC1BREG2n216	TAUDnCH10 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1BREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
15~5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

表 24.51 PIC1BREG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	PIC1BREG2n204	TAUDnCH15 の TIN へ供給する信号を選択します。 0 : TAUDnCH09 の TOUT を選択 1 : TAUDnINT08, INT09 によるセット/クリア出力を選択
3	PIC1BREG2n203	TAUDnCH13 の TIN へ供給する信号を選択します。 0 : TAUDnCH07 の TOUT を選択 1 : TAUDnINT06, INT07 によるセット/クリア出力を選択
2	PIC1BREG2n202	TAUDnCH11 の TIN へ供給する信号を選択します。 0 : TAUDnCH05 の TOUT を選択 1 : TAUDnINT04, INT05 によるセット/クリア出力を選択
1、0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

注 1. C1M-A1 では TAUD2 (n = 2) および TAUD3 (n = 3) は非搭載です。

24.2.2.40 PIC1BREG2n3 — タイマ入出力制御レジスタ 2n3 注 1

PIC1BREG2n3 レジスタは、組み合わせ回路 FN0i の論理選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + CC_H (n = 0)、<PIC1B0_base> + E0_H (n = 1)、
<PIC1B1_base> + CC_H (n = 2)、<PIC1B1_base> + E0_H (n = 3)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1BRE G2n 322	PIC1BRE G2n 321	PIC1BRE G2n 320	—	PIC1BRE G2n 318	PIC1BRE G2n 317	PIC1BRE G2n 316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC1BRE G2n 314	PIC1BRE G2n 313	PIC1BRE G2n 312	—	PIC1BRE G2n 310	PIC1BRE G2n 309	PIC1BRE G2n 308	—	PIC1BRE G2n 306	PIC1BRE G2n 305	PIC1BRE G2n 304	—	PIC1BRE G2n 302	PIC1BRE G2n 301	PIC1BRE G2n 300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 24.52 PIC1BREG2n3 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22, 21, 20	PIC1BREG2n322, PIC1BREG2n321, PIC1BREG2n320	入力信号 A, B の論理演算を選択します。機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
19	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
18, 17, 16	PIC1BREG2n318, PIC1BREG2n317, PIC1BREG2n316	入力信号 A, B の論理演算を選択します。機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
15	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
14, 13, 12	PIC1BREG2n314, PIC1BREG2n313, PIC1BREG2n312	入力信号 A, B の論理演算を選択します。機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

表 24.52 PIC1BREG2n3 レジスタの内容 (2/2)

ビット位置	ビット名	機能
10、9、8	PIC1BREG2n310, PIC1BREG2n309, PIC1BREG2n308	入力信号 A, B の論理演算を選択します。機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6、5、4	PIC1BREG2n306, PIC1BREG2n305, PIC1BREG2n304	入力信号 A, B の論理演算を選択します。機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
2、1、0	PIC1BREG2n302, PIC1BREG2n301, PIC1BREG2n300	入力信号 A, B の論理演算を選択します。 ^{注 2} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止

注 1. C1M-A1 では TAUD2 (n = 2) および TAUD3 (n = 3) は非搭載です。

注 2. 機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、「**24.2.3 機能**」を参照してください。

下図に FN00 のブロック図を示します。

ほかの FN01~FN05 については、入力信号および選択レジスタは異なりますが、論理は同一です。

FN0i の周辺回路との接続は、**図 24.15** を参照してください。

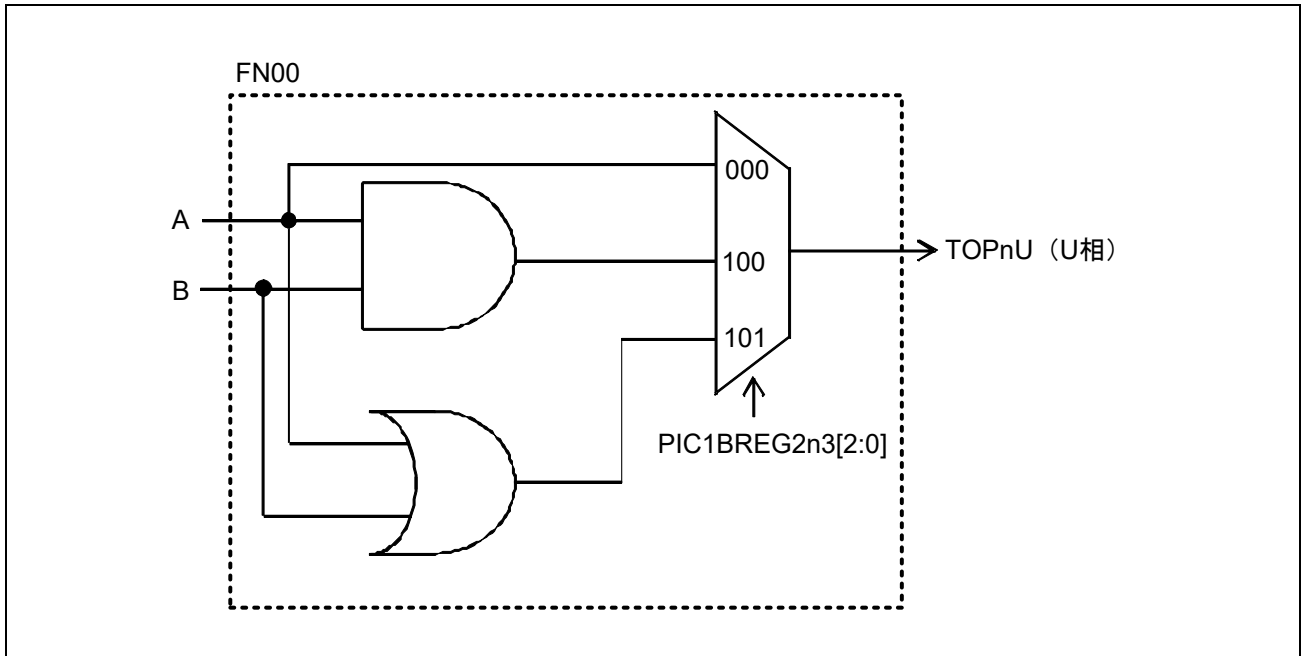


図 24.2 FN00 ブロック図

24.2.2.41 PIC1BREG30 — タイマ入出力制御レジスタ 30

PIC1BREG30 レジスタは、ENCA_n の入力信号の選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + E8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1BR EG3022	PIC1BR EG3021	PIC1BR EG3020	PIC1BR EG3019	PIC1BR EG3018	PIC1BR EG3017	PIC1BR EG3016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BR EG3015	PIC1BR EG3014	PIC1BR EG3013	PIC1BR EG3012	PIC1BR EG3011	PIC1BR EG3010	PIC1BR EG3009	PIC1BR EG3008	PIC1BR EG3007	PIC1BR EG3006	PIC1BR EG3005	PIC1BR EG3004	PIC1BR EG3003	PIC1BR EG3002	PIC1BR EG3001	PIC1BR EG3000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.53 PIC1BREG30 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22	PIC1BREG3022	ENCA0 タイマの入力端子 (ENCA0E0, ENCA0E1, ENCA0EC 内部入力) を選択します。 0 : PIC1BREG3000 ビット (ENCA0E0 内部入力)、 PIC1BREG3001 ビット (ENCA0E1 内部入力)、 PIC1BREG3017-16 ビット (ENCA0EC 内部入力) で選択した信号 1 : PIC1BREG3020、PIC1BREG3019 で選択した信号
21	PIC1BREG3021	PIC1BREG30 bit12~14 へ供給する信号を選択します。 0 : ENCA1I1 (ENCA1 外部端子 1 信号) 1 : PIC1BENCSEL410 レジスタの PIC1BENCSEL4107 ビットで選択した信号
20、19	PIC1BREG3020、 PIC1BREG3019	ENCA1 タイマの入力 (ENCA1E0, ENCA1E1, ENCA1EC 内部入力) を選択します。 00 : ENCA1E0, ENCA1E1, ENCA1EC 端子入力 (ENCA1 タイマ) 01 : RDC1BOUT, RDC1AOUT, RDC1ZOUT 端子入力 (RDC3A1) 注 1 10 : RDC0BOUT, RDC0AOUT, RDC0ZOUT 端子入力 (RDC3A0) 上記以外、設定禁止
18	PIC1BREG3018	PIC1BREG30 bit2~4 へ供給する信号を選択します。 0 : ENCA0I1 (ENCA0 外部端子 1 信号) 1 : PIC1BENCSEL400 レジスタの PIC1BENCSEL4007 ビットで選択した信号
17、16	PIC1BREG3017、 PIC1BREG3016	ENCA0 タイマの入力 (ENCA0E0, ENCA0E1, ENCA0EC 内部入力) を選択します。 00 : ENCA0E0, ENCA0E1, ENCA0EC 端子入力 (ENCA0 タイマ) 01 : RDC0BOUT, RDC0AOUT, RDC0ZOUT 端子入力 (RDC3A0) 10 : RDC1BOUT, RDC1AOUT, RDC1ZOUT 端子入力 (RDC3A1) 注 1 上記以外、設定禁止

表 24.53 PIC1BREG30 レジスタの内容 (2/2)

ビット位置	ビット名	機能
15~12	PIC1BREG30[15:12]	ENCAT1TIN1 内部入力への信号を選択します。 0 : PIC1BREG3021 で選択した信号 1 : PIC1BREG3018 で選択した信号 2 : ADCC0TRG4 3 : ADCC0TRG3 4 : ADCC0TRG2 5 : ADCC0TRG1 6 : ADCC0TRG0 7 : ADCC1TRG4 8 : ADCC1TRG3 9 : ADCC1TRG2 10 : ADCC1TRG1 11 : ADCC1TRG0 上記以外、設定禁止
11、10	PIC1BREG3011, PIC1BREG3010	タイマ ENCA1 の ENCA1EC 端子入力を選択します。 00 : PIC1BREG3019, PIC1BREG3020 ビットで選択した信号 10 : PIC1BREG3016, PIC1BREG3017 ビットで選択した信号 11 : ENCA0EQ1 信号 (ENCA0 タイマ) 上記以外、設定禁止
9、8	PIC1BREG3009, PIC1BREG3008	タイマ ENCA1 の ENCA1E1 端子入力を選択します。 00 : PIC1BREG3019, PIC1BREG3020 ビットで選択した信号 01 : PIC1BREG3016, PIC1BREG3017 ビットで選択した信号 10 : TSG31 の TS1PUD 信号 上記以外、設定禁止
7、6	PIC1BREG3007, PIC1BREG3006	タイマ ENCA1 の ENCA1E0 端子入力を選択します。 00 : PIC1BREG3019, PIC1BREG3020 ビットで選択した信号 01 : PIC1BREG3016, PIC1BREG3017 ビットで選択した信号 10 : TSG31 の TS1PEC 信号 上記以外、設定禁止
5~2	PIC1BREG30[05:02]	ENCAT0TIN1 内部入力への信号を選択します。 0 : PIC1BREG3018 で選択した信号 1 : PIC1BREG3021 で選択した信号 2 : ADCC0TRG4 3 : ADCC0TRG3 4 : ADCC0TRG2 5 : ADCC0TRG1 6 : ADCC0TRG0 7 : ADCC1TRG4 8 : ADCC1TRG3 9 : ADCC1TRG2 10 : ADCC1TRG1 11 : ADCC1TRG0 上記以外、設定禁止
1	PIC1BREG3001	ENCA0E1 内部入力の信号を選択します。 0 : PIC1BREG3017, PIC1BREG3016 ビットで選択した信号 1 : TSG30 の TS0PUD 信号
0	PIC1BREG3000	ENCA0E0 内部入力の信号を選択します。 0 : PIC1BREG3017, PIC1BREG3016 ビットで選択した信号 1 : TSG30 の TS0PEC 信号

注 1. C1M-A1 では設定禁止です。

24.2.2.42 PIC1BREG31 — タイマ入出力制御レジスタ 31

PIC1BREG31 レジスタは、TAUD0, TAUD1, TAUJ0 の入力信号の選択を行うレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + EC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1BREG3122	PIC1BREG3121	PIC1BREG3120	PIC1BREG3119	PIC1BREG3118	PIC1BREG3117	PIC1BREG3116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1BREG3115	—	PIC1BREG3113	PIC1BREG3112	PIC1BREG3111	PIC1BREG3110	PIC1BREG3109	PIC1BREG3108	PIC1BREG3107	PIC1BREG3106	—	PIC1BREG3104	PIC1BREG3103	—	PIC1BREG3101	PIC1BREG3100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/W

表 24.54 PIC1BREG31 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~23	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
22, 21	PIC1BREG3122, PIC1BREG3121	TAUD1CH02 の TIN 入力信号を選択します。 00 : TIN 端子入力 01 : ENCAT1EQ0 の DT 出力信号 上記以外、設定禁止
20	PIC1BREG3120	TAUD1CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG3115~17 で選択した信号
19, 18	PIC1BREG3119, PIC1BREG3118	TAUD1CH00 の TIN 入力信号を選択します。 00 : PIC1BREG3115~17 で選択した信号 10 : ENCAT1EQ0 の DT 出力信号 上記以外、設定禁止
17~15	PIC1BREG3117, PIC1BREG3116, PIC1BREG3115	TAUD1CH00,01 の TIN 入力信号を選択します。 000 : TIN 端子入力 001 : ENCAT1EQ1 の DT 出力信号 上記以外、設定禁止
14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13, 12	PIC1BREG3113, PIC1BREG3112	TAUD0CH02 の TIN 入力信号を選択します。 00 : TIN 端子入力 01 : ENCAT0EQ0 の DT 出力信号 上記以外、設定禁止
11	PIC1BREG3111	TAUD0CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : PIC1BREG3106~08 で選択した信号

表 24.54 PIC1BREG31 レジスタの内容 (2/2)

ビット位置	ビット名	機能
10、9	PIC1BREG3110, PIC1BREG3109	TAUD0CH00 の TIN 入力信号を選択します。 00 : PIC1BREG3106~08 で選択した信号 10 : ENCAT0EQ0 の DT 出力信号 上記以外、設定禁止
8~6	PIC1BREG3108, PIC1BREG3107, PIC1BREG3106	TAUD0CH00, 01 の TIN 入力信号を選択します。 000 : TIN 端子入力 001 : ENCAT0EQ1 の DT 出力信号 上記以外、設定禁止
5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4	PIC1BREG3104	TAUJ0CH03 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT1IEC の DT 出力信号を選択
3	PIC1BREG3103	TAUJ0CH02 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT1IEC の DT 出力信号を選択
2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	PIC1BREG3101	TAUJ0CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT0IEC の DT 出力信号を選択
0	PIC1BREG3100	TAUJ0CH00 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT0IEC の DT 出力信号を選択

24.2.2.43 PIC1BREG50 — タイマ入出力制御レジスタ 50

PIC1BREG50 レジスタは、TSG30 の入力信号の選択を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + F8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1BR EG5010	—	PIC1BR EG5008	PIC1BR EG5007	PIC1BR EG5006	PIC1BR EG5005	—	—	—	—	PIC1BR EG5000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 24.55 PIC1BREG50 レジスタの内容

ビット位置	ビット名	機能
15~11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き替えてください。
10	PIC1BREG5010	TSG30 タイマの TSG30TSTOPC0 信号の入力対象を選択します。 0 : INTENCA111 入力 (ENCA1 タイマ) 1 : 設定禁止
9	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き替えてください。
8	PIC1BREG5008	TSG30 タイマの TSG30TSTOPC0 信号の入力対象を選択します。 0 : INTENCA011 入力 (ENCA0 タイマ) 1 : 設定禁止
7	PIC1BREG5007	TSG30 の TS0OPCI1 信号の入力対象を選択します。 0 : TAUD0 の INTTAUD017 信号入力を選択 1 : 設定禁止
6、5	PIC1BREG5006, PIC1BREG5005	TSG30 の TSG30TSTOPC0 (TS0OPCI0) 信号の入力対象を選択します。 01 : PIC1BREG5008 ビットで選択した信号 10 : PIC1BREG5010 ビットで選択した信号 11 : TAUD0 の INTTAUD015 信号入力を選択 上記以外、設定禁止。 ^{注 1}
4~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き替えてください。
0	PIC1BREG5000	ENCA 信号と外部ホールセンサ信号を切り替えます。選択時の注意事項については、「24.2.2.21 PIC1BTSGHALLSEL — ホールセンサ入力選択レジスタ」の注 1 を参照してください。 0 : ENCA0E0, ENCA0E1, ENCA0EC 端子入力を選択 1 : 設定禁止

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

24.2.2.44 PIC1BREG51 — タイマ入出力制御レジスタ 51

PIC1BREG51 レジスタは、TSG31 の入力信号の選択を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC1B0_base> + FC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1BR EG5110	—	PIC1BR EG5108	PIC1BR EG5107	PIC1BR EG5106	PIC1BR EG5105	—	—	—	—	PIC1BR EG5100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 24.56 PIC1BREG51 レジスタの内容

ビット位置	ビット名	機能
15~11	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10	PIC1BREG5110	TSG31 タイマの TSG31TSTOPC0 信号の入力対象を選択します。 0 : INTENCA111 入力 (ENCA1 タイマ) 1 : 設定禁止
9	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
8	PIC1BREG5108	TSG31 タイマの TSG31TSTOPC0 信号の入力対象を選択します。 0 : INTENCA011 入力 (ENCA0 タイマ) 1 : 設定禁止
7	PIC1BREG5107	TSG31 の TS1OPCI1 信号の入力対象を選択します。 0 : TAUD1 の INTTAUD117 信号入力を選択 1 : 設定禁止
6、5	PIC1BREG5106, PIC1BREG5105	TSG31 タイマの TSG31TSTOPC0 (TS1OPCI0) 信号の入力対象を選択します。 01 : PIC1BREG5108 ビットで選択した信号 10 : PIC1BREG5110 ビットで選択した信号 11 : TAUD1 の INTTAUD115 信号入力を選択 上記以外、設定禁止。 ^{注 1}
4~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	PIC1BREG5100	ENCA 信号と外部ホールセンサ信号を切り替えます。選択時の注意事項については、「24.2.2.21 PIC1BTSGHALLSEL — ホールセンサ入力選択レジスタ」の注 1 を参照してください。 1 : ENCA1E0, ENCA1E1, ENCA1EC 端子入力を選択 上記以外、設定禁止。 ^{注 1}

注 1. リセット後の値が設定禁止の値のため、必ず設定可能な値に設定してください。

24.2.3 機能

24.2.3.1 同時スタートトリガ機能

(1) 概要

各タイマ (TAUDn, TAUJn, TSG3n, TPBAn, OSTMn, ENCAAn) の任意の組み合わせで、選択したタイマの同時スタートを実現する機能です。

(2) 構成

本機能に対応するタイマを以下に示します。

同時スタートトリガ機能 対応タイマ

- TAUDn
- TAUJn
- TSG3n
- TPBAn
- OSTMn
- ENCAAn

注： C1M-A2 では 2 ユニット、C1M-A1 では 1 ユニットのブロック図になります。

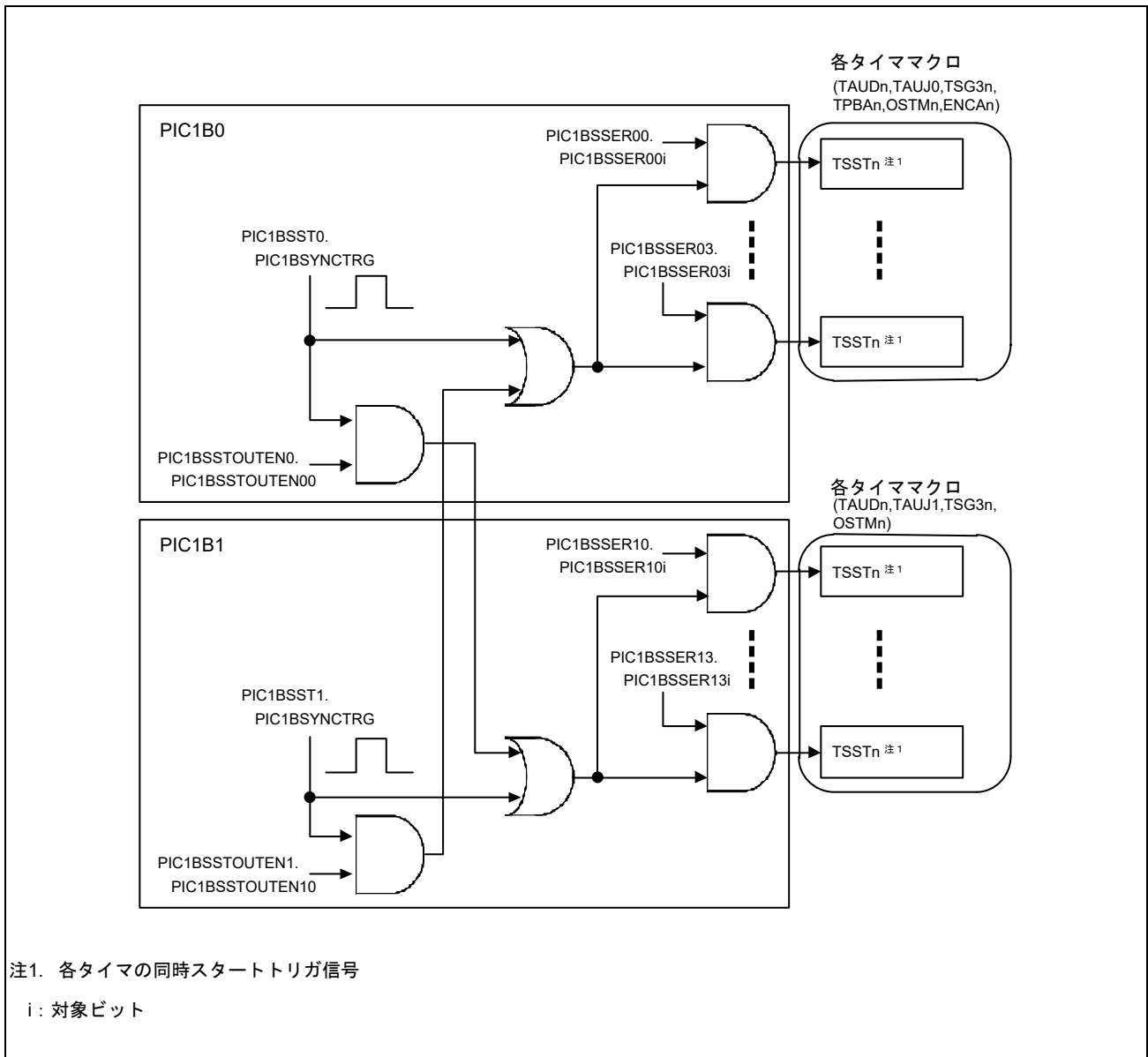


図 24.3 同時スタートトリガ機能 ブロック図 (2 ユニット)

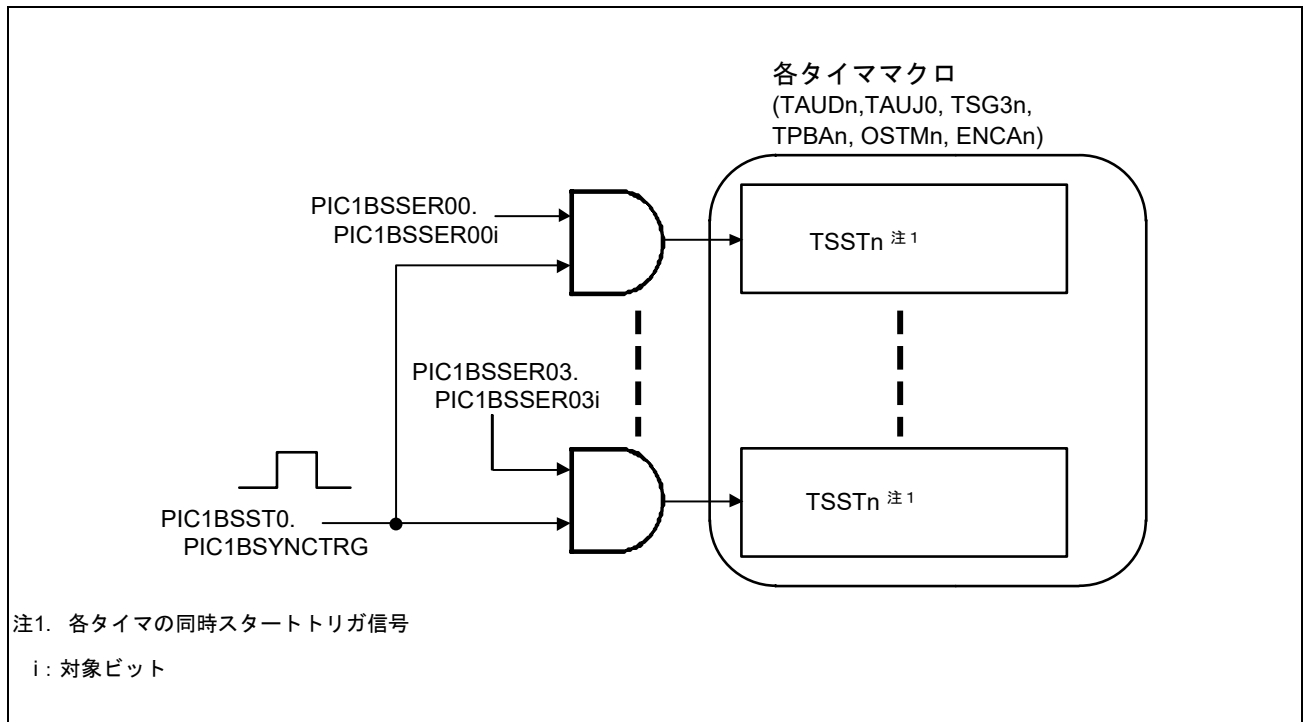


図 24.4 同時スタートトリガ機能 ブロック図 (1 ユニット)

同時スタートさせるタイマのマスク解除後、同時スタートトリガ制御レジスタ (PIC1BSSTk) の PIC1BSYNCTRГ ビットに 1 を設定することで、各タイマのスタートトリガにアクティブ信号が入力され、タイマ動作を開始します。

C1M-A2 では、PIC1B1 側の PIC1BSSTOUTEN1 レジスタの設定により、PIC1B0 側に接続されているタイマの同時スタートも可能です。同様に PIC1B0 から PIC1B1 側に接続されているタイマの同時スタートも可能です。

(3) レジスタ

本機能で設定する PIC1B レジスタを以下に示します。レジスタの設定値は、**24.2.2.2**～**24.2.2.12** を参照してください。

- PIC1B 設定レジスタ
 - PIC1BSSTk
 - PIC1BSSER00
 - PIC1BSSER01
 - PIC1BSSER02
 - PIC1BSSER03
 - PIC1BSSER10^{注 1}
 - PIC1BSSER11^{注 1}
 - PIC1BSSER12^{注 1}
 - PIC1BSSER13^{注 1}
 - PIC1BSSTOUTEN0^{注 1}
 - PIC1BSSTOUTEN1^{注 1}

注 1. C1M-A1 では非搭載です。

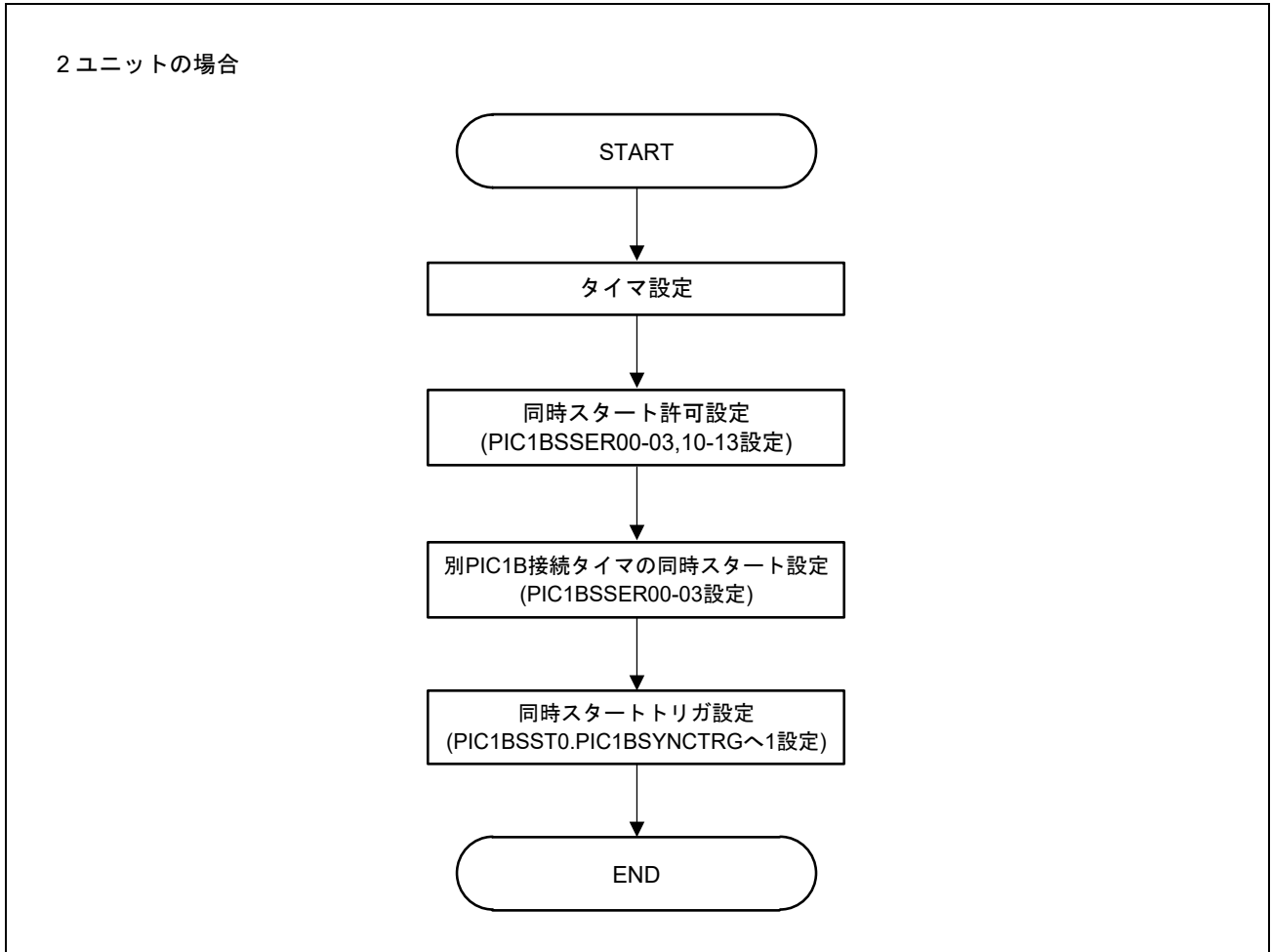
(4) 機能

各タイマ (TAUDn, TAUJn, TSG3n, TPBA_n, OSTMn, ENCA_n) の任意の組み合わせで同時スタートを行います。

(5) フローチャート

以下に本機能のフローチャートを示します。

注： C1M-A2 では 2 ユニットの場、C1M-A1 では 1 ユニットの場の場合のフローチャートになります。



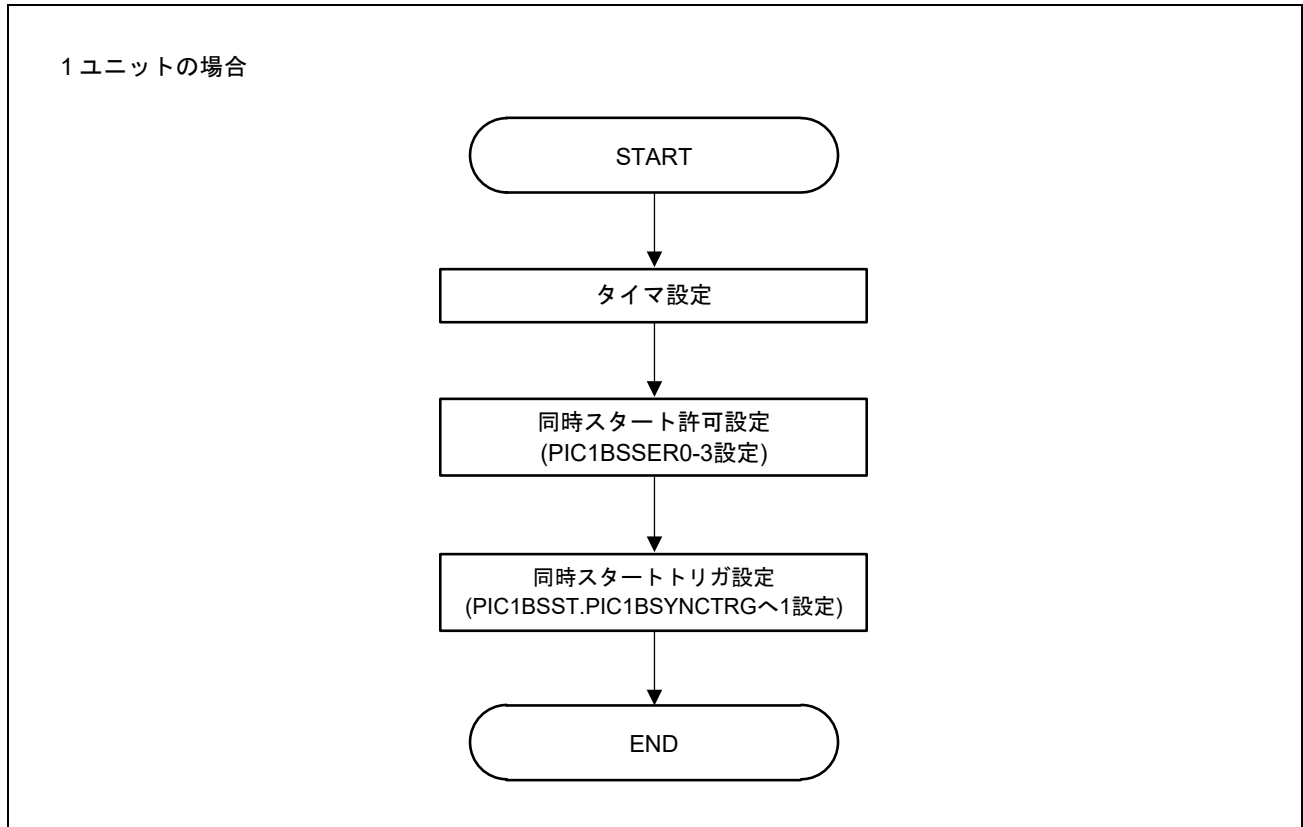


図 24.5 設定フロー

以下に各手順での設定内容を記載します。

- タイマ設定
同時スタートさせるタイマの設定を行ってください。
- 同時スタート許可設定
同時スタートさせるタイマの許可ビットを 1 に設定してください。PIC1BSSER00, PIC1BSSER01, PIC1BSSER02, PIC1BSSER03 の該当ビットを 1 に設定することで、タイマの同時スタートを許可します。
C1M-A2 では PIC1B1 側接続のタイマについては、PIC1BSSER10, PIC1BSSER11, PIC1BSSER12, PIC1BSSER13 の該当ビットを 1 に設定してください。
- C1M-A2 における別 PIC1B 接続タイマの同時スタート設定
C1M-A2 において PIC1B0 から PIC1B1 接続タイマの同時スタートを行う場合、PIC1BSSTOUT0 の PIC1BSSTOUTEN00 ビットを 1 に設定してください。PIC1B1 から PIC1B0 接続タイマの同時スタートを行う場合には、PIC1BSSTOUT1 の PIC1BSSTOUTEN10 ビットを 1 に設定してください。
- 同時スタートトリガ設定
同時スタートトリガ制御レジスタ (PIC1BSSTk) の PIC1BSYNCTRГ ビットに 1 を設定することで、タイマが同時スタートします。C1M-A2 において、別 PIC1B 接続タイマの同時スタート設定のために、PIC1BSSTOUTk レジスタを設定している場合、別 PIC1B の PIC1BSSTk レジスタの設定は必要ありません。

24.2.3.2 TSG 同時スタート機能 (外部トリガ)

(1) 概要

TSG3 タイマの任意の組み合わせで、外部入力 (TSGTSST) トリガでスタートを実現する機能です。

(2) 構成

本機能に対応するタイマを以下に示します。

- TSG3n

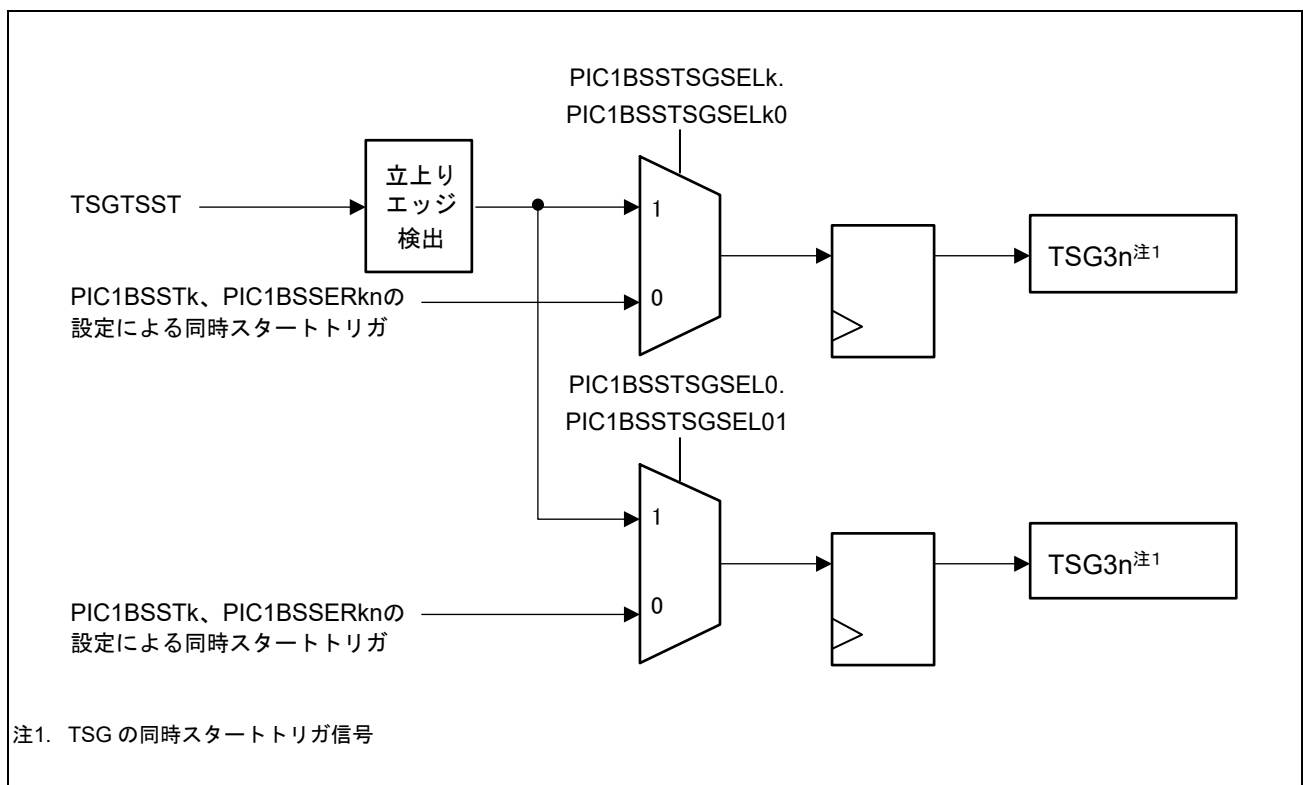


図 24.6 TSG 同時スタート機能 ブロック図

(3) レジスタ

本機能で設定する PIC1B レジスタを以下に示します。レジスタの設定値は、**24.2.2.4**~**24.2.2.5** を参照してください。

- PIC1B 設定レジスタ
PIC1BSSTSGSEL0
PIC1BSSTSGSEL1 ^{注 1}

注 1. C1M-A1 では非搭載です。

(4) 機能

外部入力 (TSGTSST) トリガで TSG3 タイマのスタートを行います。

(5) フローチャート

以下に本機能のフローチャートを示します。

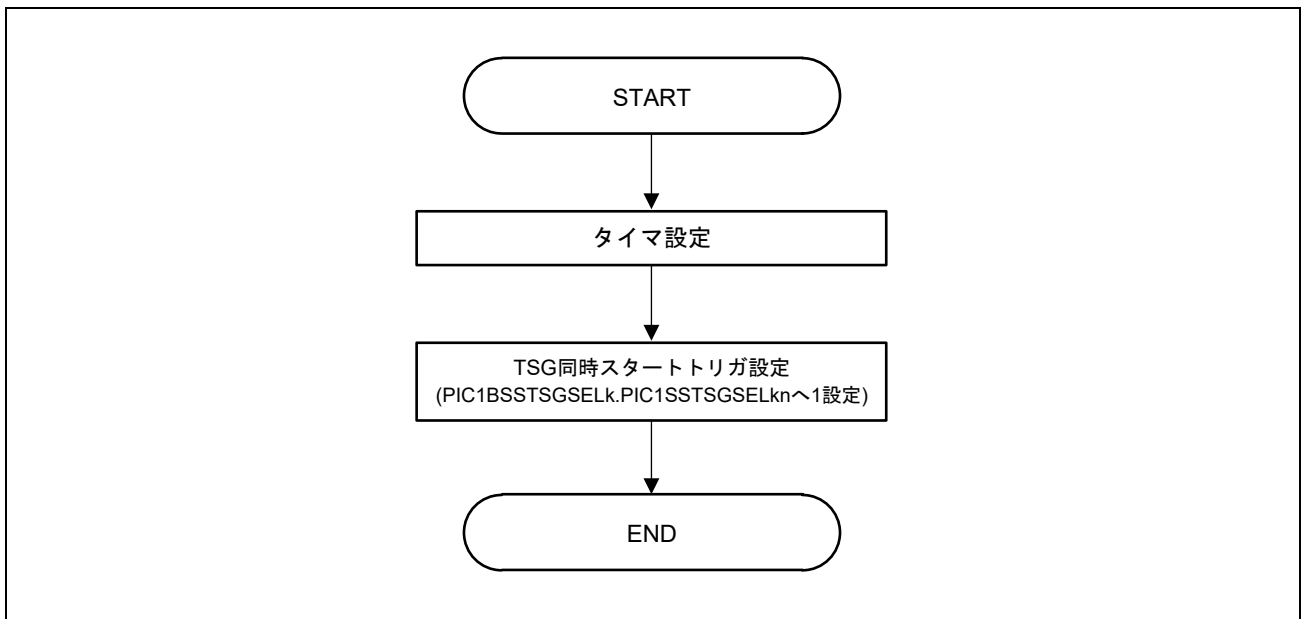


図 24.7 設定フロー

以下に各手順での設定内容を記載します。

- タイマ設定
スタートさせる TSG3 タイマの設定を行ってください。
- TSG 同時スタートトリガ設定
TSG3 同時スタートトリガ選択レジスタ k (PIC1BSSTSGSELk) の PIC1BSSTSGSELkn ビットを 1 に設定してください。この後、外部端子 (TSGTSST) からのトリガ入力により、選択された TSG3 タイマがスタートします。

24.2.3.3 デッドタイム付き PWM 出力機能

(1) 概要

TAUDn を使って、1 相から 3 相のデッドタイム付き PWM 出力を生成する機能です。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミングのみ設定しますが、本機能によりセットタイミングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

使用する TAUDn のチャンネル数は以下に示します。

表 24.57 デッドタイム付き PWM 出力に使用する TAUDn チャンネル数

デッドタイム付き PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相/UB 相)	5ch (マスタチャンネル 1ch, スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相/UB 相, V 相/VB 相)	9ch (マスタチャンネル 1ch, スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相/UB 相, V 相/VB 相, W 相/WB 相)	13ch (マスタチャンネル 1ch, スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 はマスタチャンネルとしてください。

表 24.58 TAUDn のチャンネル別用途

TAUDn チャンネル	U 相/UB 相	V 相/VB 相	W 相/WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	×	×	×	未使用
CH4	○	×	×	デューティ (U 相セット)
CH5	○	×	×	デューティ (U 相クリア)
CH6	×	○	×	デューティ (V 相セット)
CH7	×	○	×	デューティ (V 相クリア)
CH8	×	×	○	デューティ (W 相セット)
CH9	×	×	○	デューティ (W 相クリア)
CH10	○	×	×	U 相出力 (TOUT10)
CH11	○	×	×	UB 相出力 (TOUT11)
CH12	×	○	×	V 相出力 (TOUT12)
CH13	×	○	×	VB 相出力 (TOUT13)
CH14	×	×	○	W 相出力 (TOUT14)
CH15	×	×	○	WB 相出力 (TOUT15)

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn の PWM 出力機能/1 相 PWM 出力機能と PIC1B を組み合わせることで、デッドタイム付き PWM 出力機能を実現します。デッドタイム付き PWM 出力機能のブロック図を以下に示します。

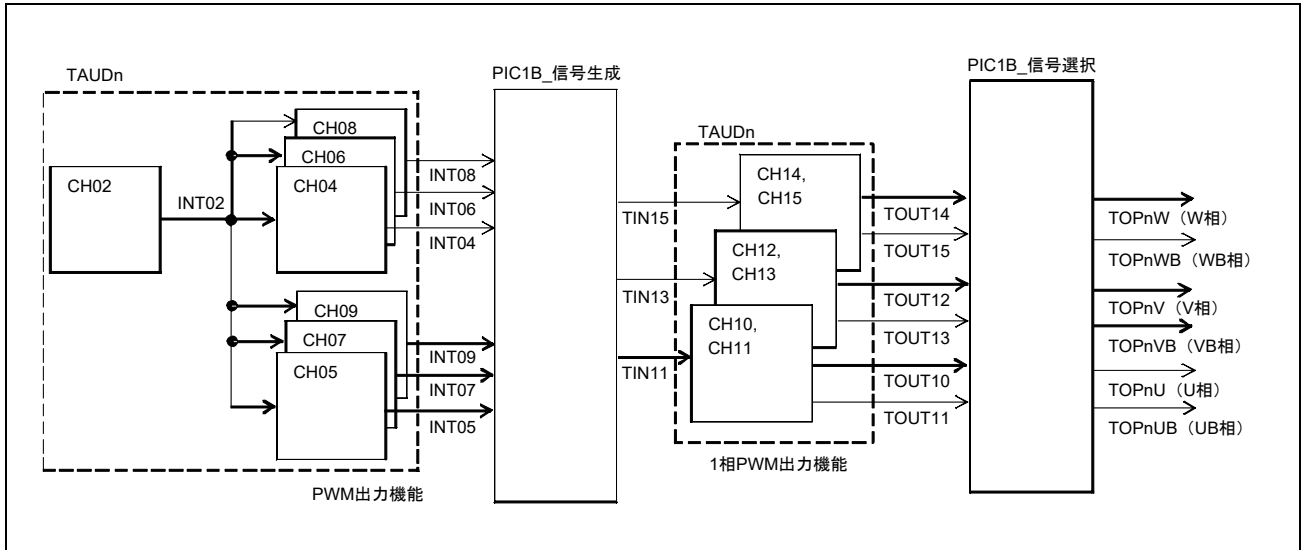


図 24.8 デッドタイム付き PWM 出力機能 ブロック図

U 相/UB 相の PWM 出力を例に構成を説明します。

- [TAUDn] PWM 出力機能
CH02, CH04, CH05 を使用します。CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定し、INT04/INT05 (PWM 信号のセット/クリア信号) を生成します。
- [PIC1B_信号生成] RS フリップフロップ回路 (RSn2)
INT04/INT05 入力を選択して、TIN11 (PWM 信号) を生成します。
- [TAUDn] 1 相 PWM 出力機能
CH10, CH11 を使用します。CDR11 にデッドタイム値を設定し、TIN11 に入力される PWM 信号にデッドタイムを付加し、TOUT10 (U 相 PWM 信号)、TOUT11 (UB 相 PWM 信号) を出力します。
- [PIC1B_信号選択]
TOUT10, 11 入力を選択して、TOPnU, UB 端子に出力します。

V 相/VB 相、W 相/WB 相は、上記 U 相/UB 相と同様の構成です。

(3) レジスタ

下図に PIC1B のブロック図を示します。

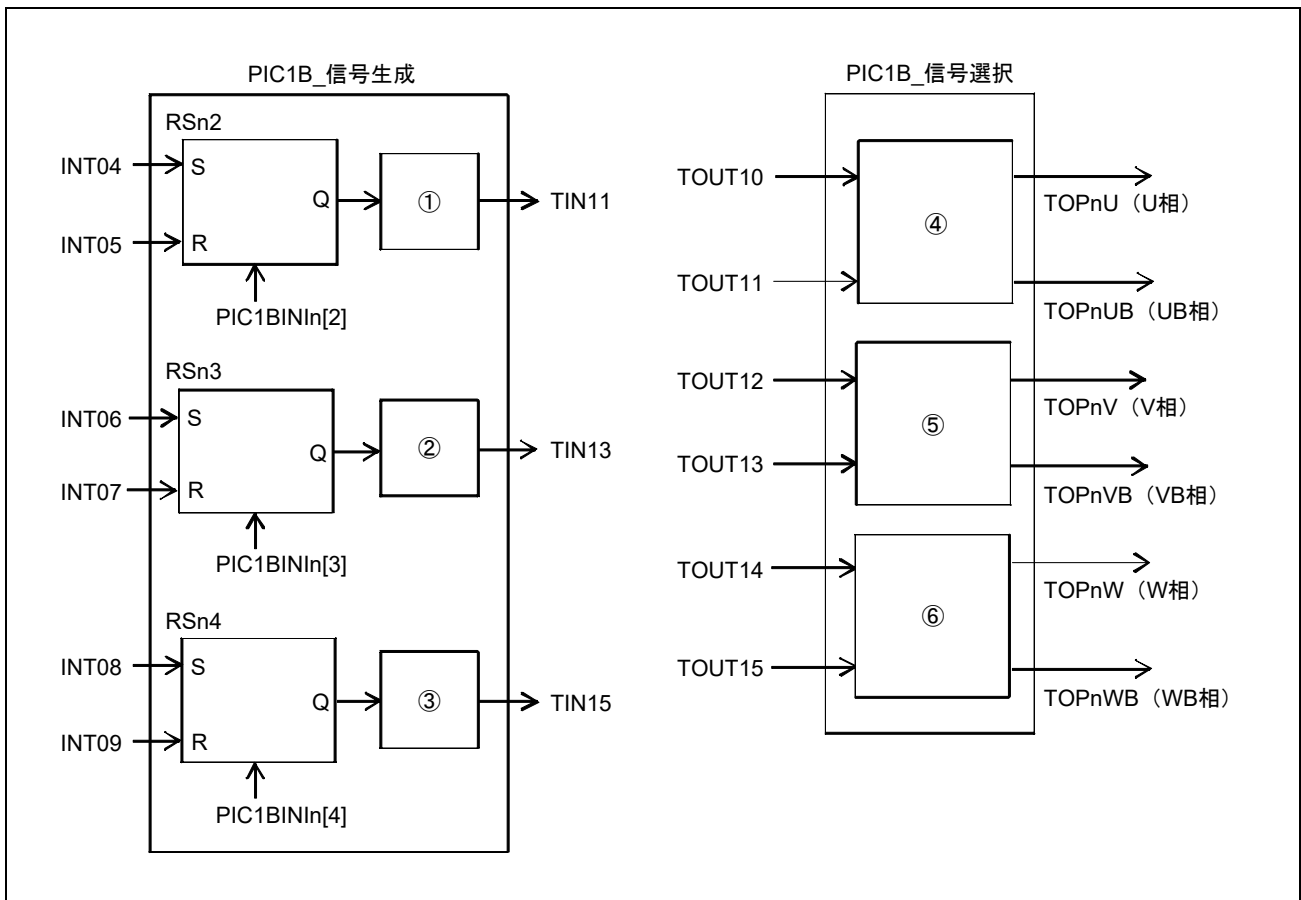


図 24.9 PIC1B ブロック図

本機能で使用する PIC1B レジスタの設定値を以下に示します。

U 相/UB 相

RSn2 の出力 Q を TIN11 として出力するための設定値 (図 24.9 ①)

$$\text{PIC1BREG2n2}[19:18] = 10_{\text{B}}$$

$$\text{PIC1BREG2n2}[2] = 1_{\text{B}}$$

$$\text{PIC1BTAUDnSEL}[23:22] = 00_{\text{B}}$$

出力 TOUT10, 11 を TOPnU, UB として出力するための設定値 (図 24.9 ④)

$$\text{PIC1BREG2n1}[19:16] = 0000_{\text{B}}$$

$$\text{PIC1BREG2n3}[2:0] = 000_{\text{B}}$$

$$\text{PIC1BREG2n3}[6:4] = 000_{\text{B}}$$

V 相/VB 相

RSn3 の出力 Q を TIN13 として出力するための設定値 (図 24.9 ②)

$$\text{PIC1BREG2n2}[23:22] = 10_{\text{B}}$$
$$\text{PIC1BREG2n2}[3] = 1_{\text{B}}$$
$$\text{PIC1BTAUDnSEL}[27:26] = 00_{\text{B}}$$

出力 TOUT12, 13 を TOPnV, VB として出力するための設定値 (図 24.9 ⑤)

$$\text{PIC1BREG2n1}[23:20] = 0000_{\text{B}}$$
$$\text{PIC1BREG2n3}[10:8] = 000_{\text{B}}$$
$$\text{PIC1BREG2n3}[14:12] = 000_{\text{B}}$$
W 相/WB 相

RSn4 の出力 Q を TIN15 として出力するための設定値 (図 24.9 ③)

$$\text{PIC1BREG2n2}[27:26] = 10_{\text{B}}$$
$$\text{PIC1BREG2n2}[4] = 1_{\text{B}}$$
$$\text{PIC1BTAUDnSEL}[31:30] = 00_{\text{B}}$$

出力 TOUT14, 15 を TOPnW, WB として出力するための設定値 (図 24.9 ⑥)

$$\text{PIC1BREG2n1}[27:24] = 0000_{\text{B}}$$
$$\text{PIC1BREG2n3}[18:16] = 000_{\text{B}}$$
$$\text{PIC1BREG2n3}[22:20] = 000_{\text{B}}$$
RSn2-4 の初期化

RSn2-4 を初期化をするための設定値

$$\text{PIC1BINIn0}[4] = 1_{\text{B}} \text{ (初期化)}$$
$$\text{PIC1BINIn0}[3] = 1_{\text{B}} \text{ (初期化)}$$
$$\text{PIC1BINIn0}[2] = 1_{\text{B}} \text{ (初期化)}$$

(4) 機能

本機能の詳細を、デッドタイム付き 1 相 PWM 出力 (U 相/UB 相) を例に説明します。

下図にタイミング図を示します。

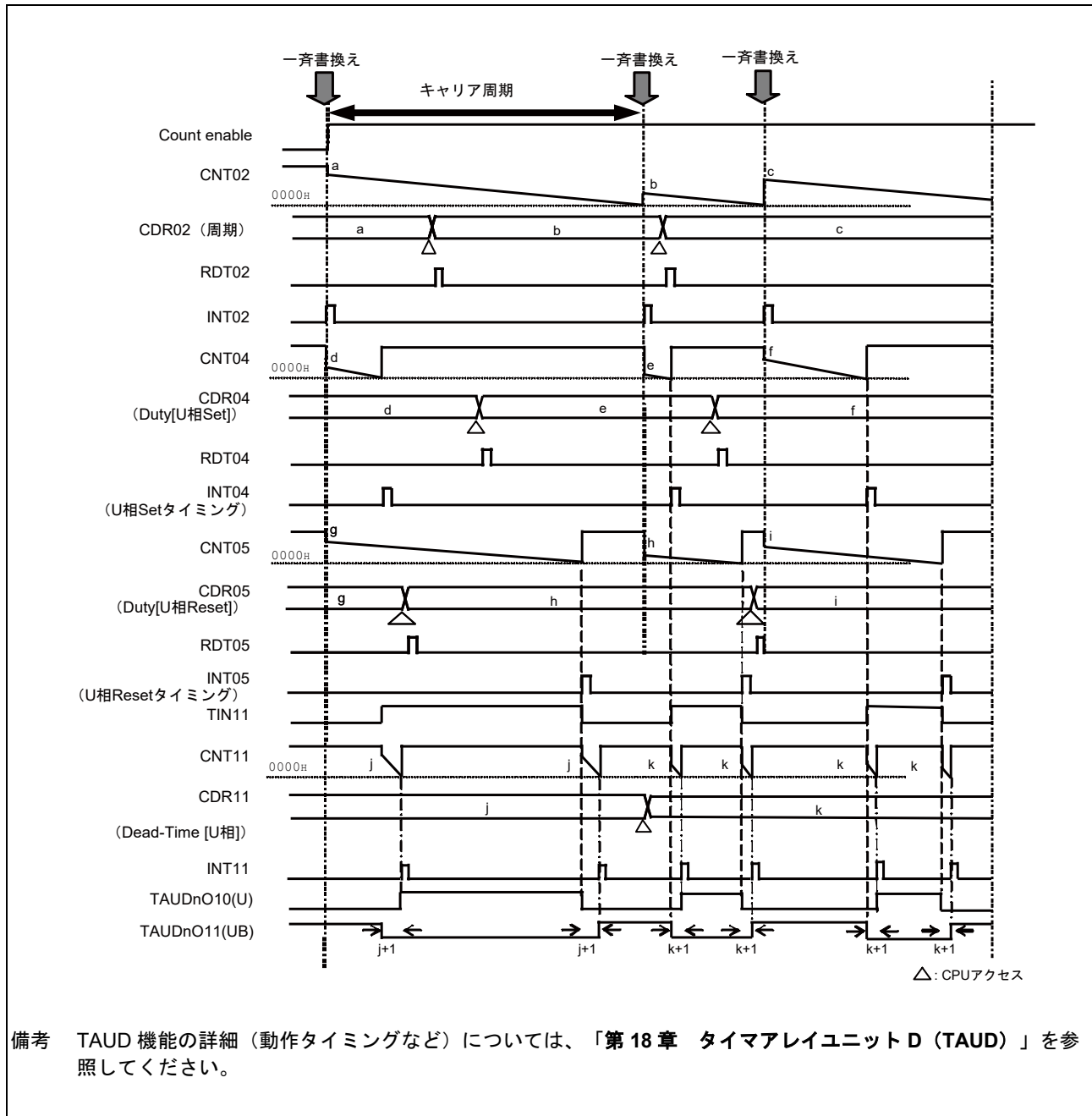


図 24.10 デッドタイム付き 1 相 PWM 出力 (U 相/UB 相)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。^{注1}
- (2) CH04、CH05 は CH02 のアンダーフローにより、CNT04、CNT05 へ設定値のリロードが行われます。
- (3) CH04 のアンダーフローにより、INT04 が発生し TIN11 がハイレベルになり、CH05 のアンダーフローにより、INT05 が発生し、TIN11 がロウレベルになることで、PWM 波形を生成します。
- (4) TIN11 の両エッジにより、CNT11 へ設定値のリロードが行われます。^{注2}

- (5) CH11 のアンダーフローにより、INT11 が発生し TAUDnO10 がハイレベルになり、CH05 のアンダーフローにより、INT05 が発生し、TAUDnO10 がロウレベルになることで U 相の PWM 波形を生成し、TOPnU へ出力します。
- (6) TIN11 の立ち上がりエッジにより、TAUDnO11 がロウレベルになり、CH11 のアンダーフローにより、INT11 が発生し、TAUDnO11 がハイレベルになることで UB 相の PWM 波形を生成し、TOPnUB へ出力します。

同様の手順にて、V 相/VB 相および、W 相/WB 相を生成します。

注1. TAUDn の各カウントクロック信号は、同じクロックを選択してください。

注2. 本機能では、TAUDn の TIN11 で検出する有効エッジを両エッジ（立ち上がり、立ち下がり）に設定してください。

次に、クリアタイミング設定値をキャリア周期設定値より大きくした場合を、V相/VB相を例に説明します。

下図にタイミング図を示します。

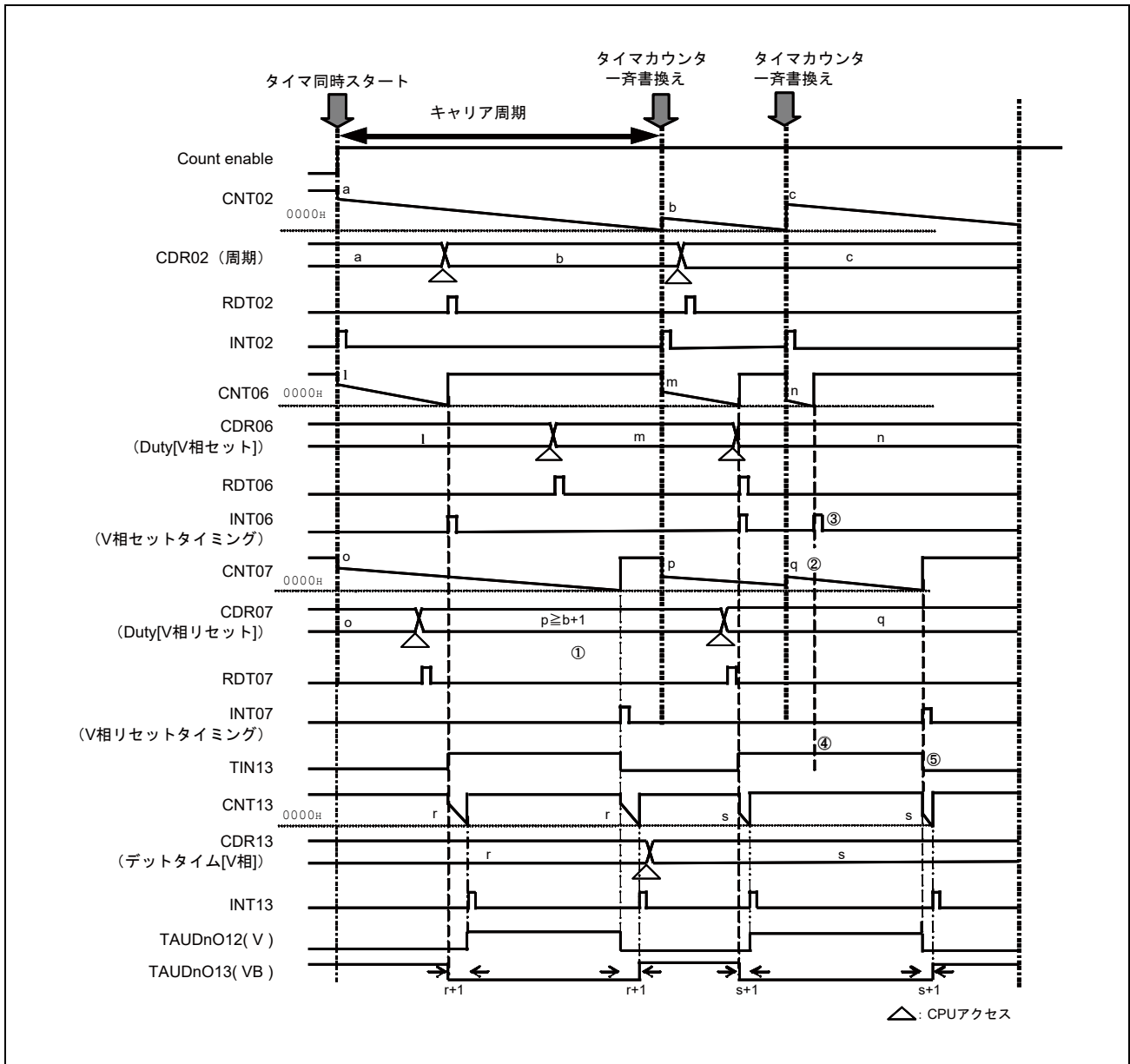


図 24.11 クリアタイミング設定値>キャリア周期設定値 (V相、VB相)

クリアタイミング設定値をキャリア周期設定値よりも大きくすることにより、キャリア周期をまたぐ波形出力が可能となります。

以下に 1 相 PWM 出力 (V 相/VB 相) を例に、動作例を示します。「1 相 PWM 出力機能」による PWM 出力までの動作については、デッドタイム付き 1 相 PWM 出力 (U 相/UB 相) を参照してください。

CH07 設定値を CH02 設定値より大きくした場合 (図 24.11 ①)、V 相クリアタイミング信号 (INT07) 発生前に、キャリア周期タイマのアンダーフローが発生し、設定値はリロードされます (図 24.11 ②)。そのため、本来発生すべき V 相クリアタイミング信号 (INT07) は発生せず、V 相セットタイミング信号 (INT06) が連続して発生します (図 24.11 ③)。このとき、PIC 回路内にて V 相セットタイミング信号は無視されるため PWM 出力波形に影響はなく (図 24.11 ④)、出力される PWM 出力はキャリア周期をまたぐ波形が出力されます (図 24.11 ⑤)。

下図にデッドタイム付き 3 相 PWM 出力のタイミング図を示します。

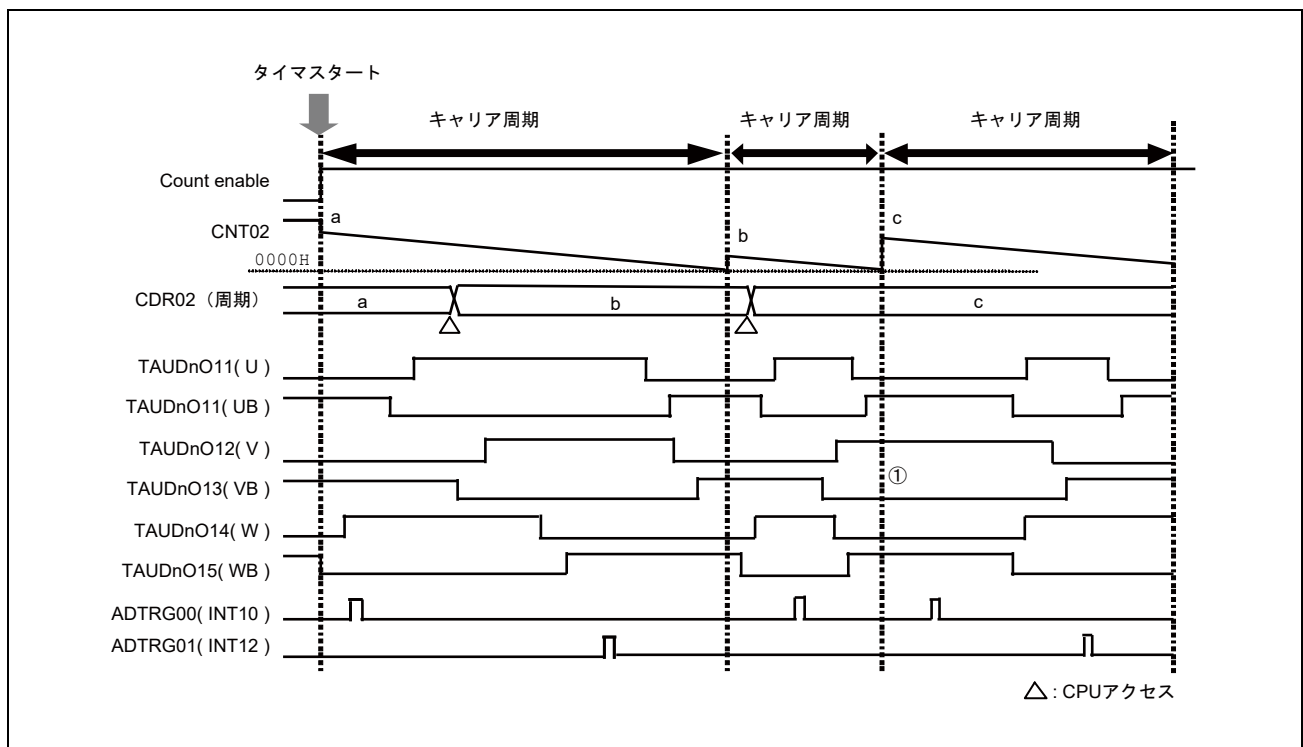


図 24.12 デッドタイム付き 3 相 PWM 出力

(5) フローチャート

本機能のフローチャートを以下に示します。

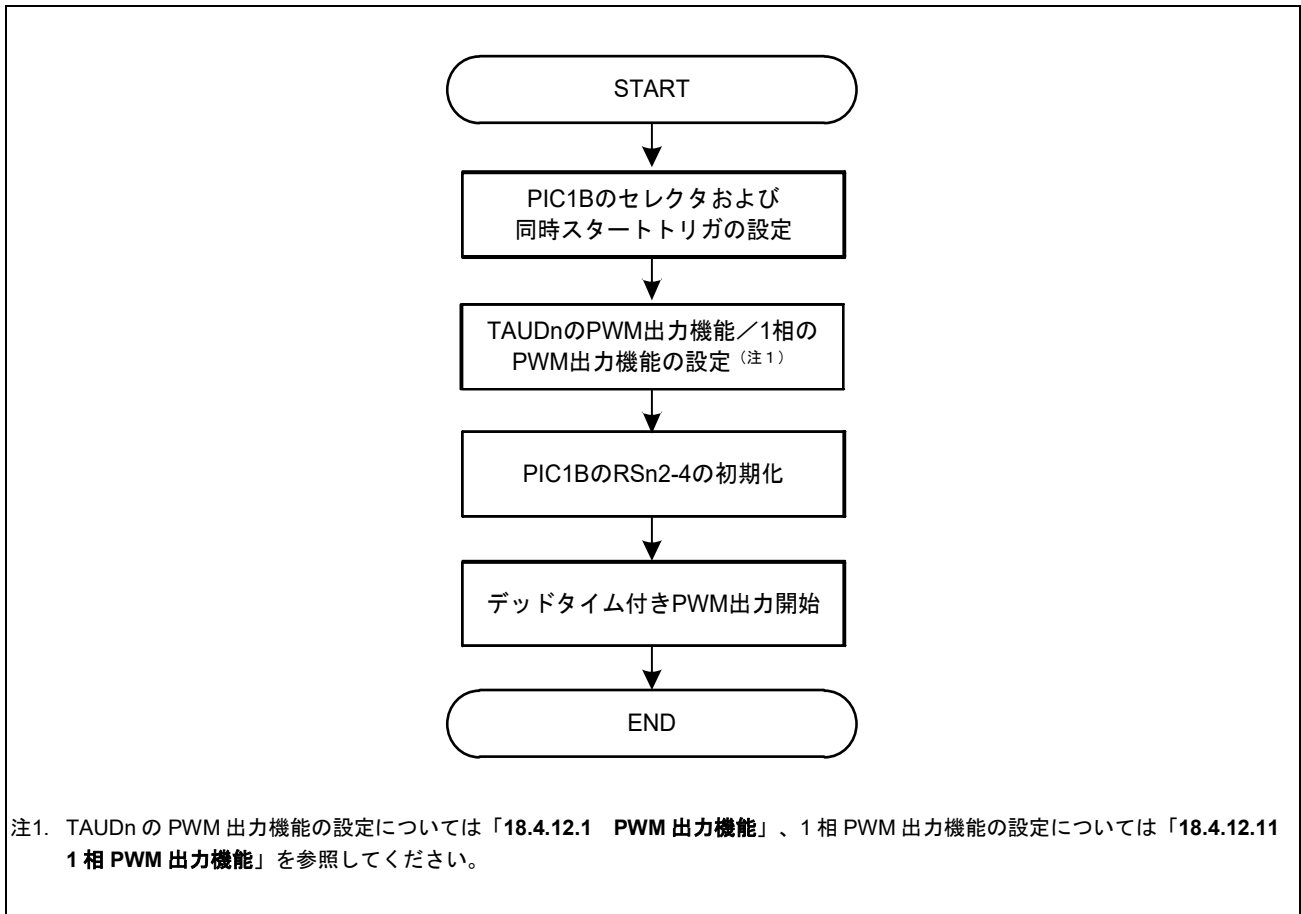


図 24.13 設定フロー

24.2.3.4 デッドタイム付き高精度三角波 PWM 出力機能

(1) 概要

TAUDn の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0%近傍のデッドタイム可変領域の制御が可能な、1 相から 3 相のデッドタイム付き三角波 PWM 出力を生成する機能です。使用する TAUDn のチャンネル数は以下に示します。

表 24.59 デッドタイム付き三角波 PWM 出力に使用する TAUDn チャンネル数

デッドタイム付き高精度三角波 PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相/UB 相)	5ch (マスタチャンネル 1ch、スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相/UB 相、V 相/VB 相)	9ch (マスタチャンネル 1ch、スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相/UB 相、V 相/VB 相、W 相/WB 相)	13ch (マスタチャンネル 1ch、スレーブチャンネル 12ch)

上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 は CH3~9 のマスタチャンネルとしてください。

CHm は CHm+1 のマスタチャンネルとしてください (m = 10, 12, 14)。

表 24.60 TAUDn のチャンネル別用途

TAUDn チャンネル	U 相/UB 相	V 相/VB 相	W 相/WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	×	×	×	未使用
CH4	○	×	×	デッドタイム付き三角波 PWM 出力 (U 相/UB 相)
CH5	○	×	×	
CH6	×	○	×	デッドタイム付き三角波 PWM 出力 (V 相/VB 相)
CH7	×	○	×	
CH8	×	×	○	デッドタイム付き三角波 PWM 出力 (W 相/WB 相)
CH9	×	×	○	
CH10	○	×	×	縮小デッドタイムパルス (U 相/UB 相)
CH11	○	×	×	
CH12	×	○	×	縮小デッドタイムパルス (V 相/VB 相)
CH13	×	○	×	
CH14	×	×	○	縮小デッドタイムパルス (W 相/WB 相)
CH15	×	×	○	

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn のデッドタイム付き三角波 PWM 出力機能／ワンショットパルス出力機能と PIC1B を組み合わせることで、デッドタイム付き高精度三角波 PWM 出力機能を実現します。デッドタイム付き高精度三角波 PWM 出力機能のブロック図を以下に示します。

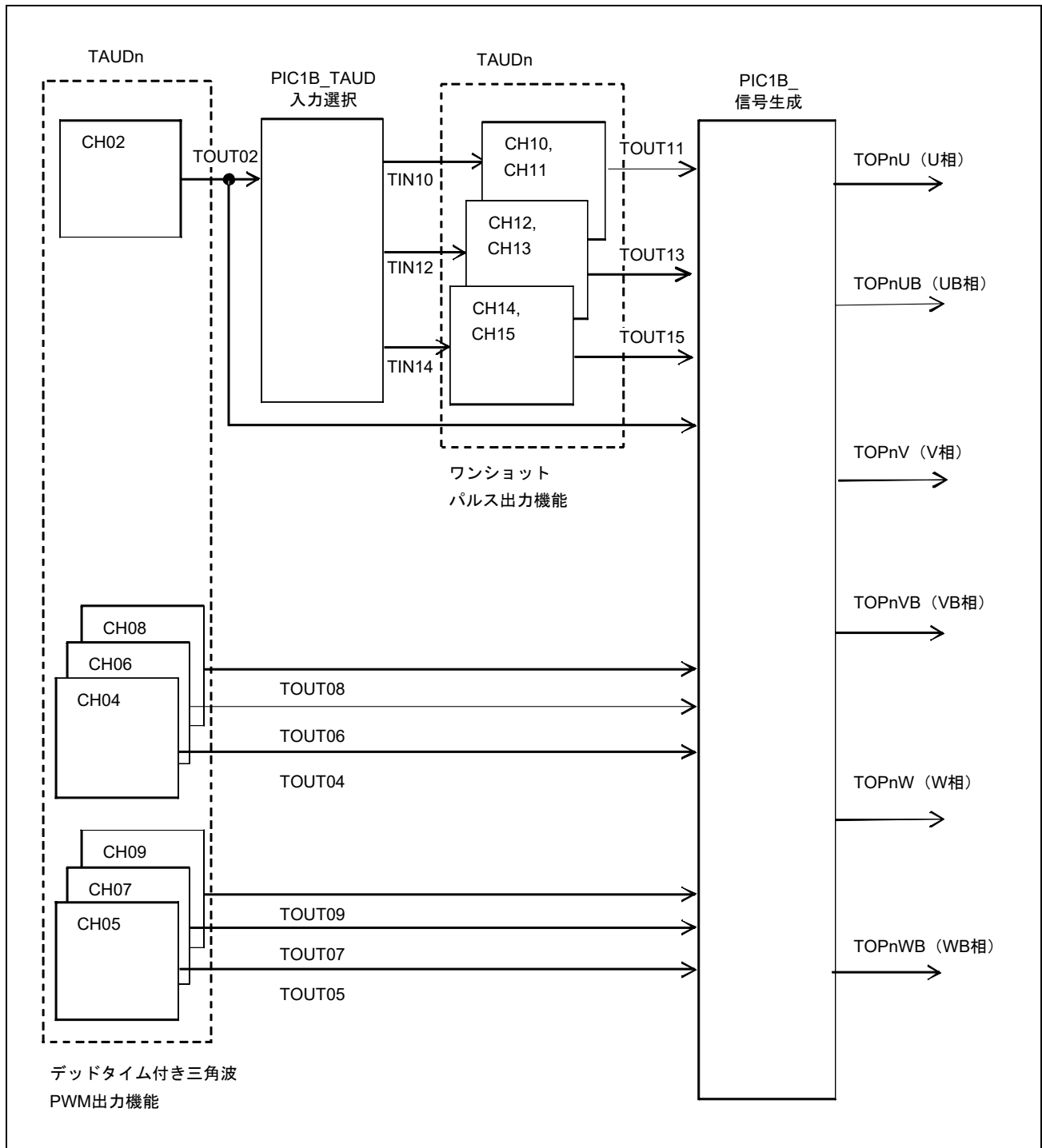


図 24.14 デッドタイム付き高精度三角波 3 相 PWM 出力 ブロック図

U 相／UB 相の PWM 出力を例に構成を説明します。

- [PIC1B_TAUD 入力選択]
TOUT02 を選択して、TIN10 に出力します。
- [TAUDn] ワンショットパルス出力機能
CH10、CH11 を使用します。CDR10 にディレイ値、CDR11 にパルス幅を設定し、TOUT11 (ワンショットパルス出力信号) を生成します。
- [TAUDn] デッドタイム付き三角波 PWM 出力機能
CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 にデューティ、CDR05 にデッドタイムを設定し、TOUT04/TOUT05 (デッドタイム付き三角波 PWM 信号) を生成します。
- [PIC1B_信号生成]
PFN001 にて、ワンショットパルス出力信号から UO1/UO2 (縮小デッドタイムパルス) を生成します。
FN00、FN01 で、TOUT04/TOUT05 と UO1/UO2 を合成し、デッドタイム可変領域パルスを付加し、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を生成します。

V 相／VB 相、W 相／WB 相は、上記 U 相／UB 相と同様の構成です。

(3) レジスタ

下図に PIC1B のブロック図を示します。

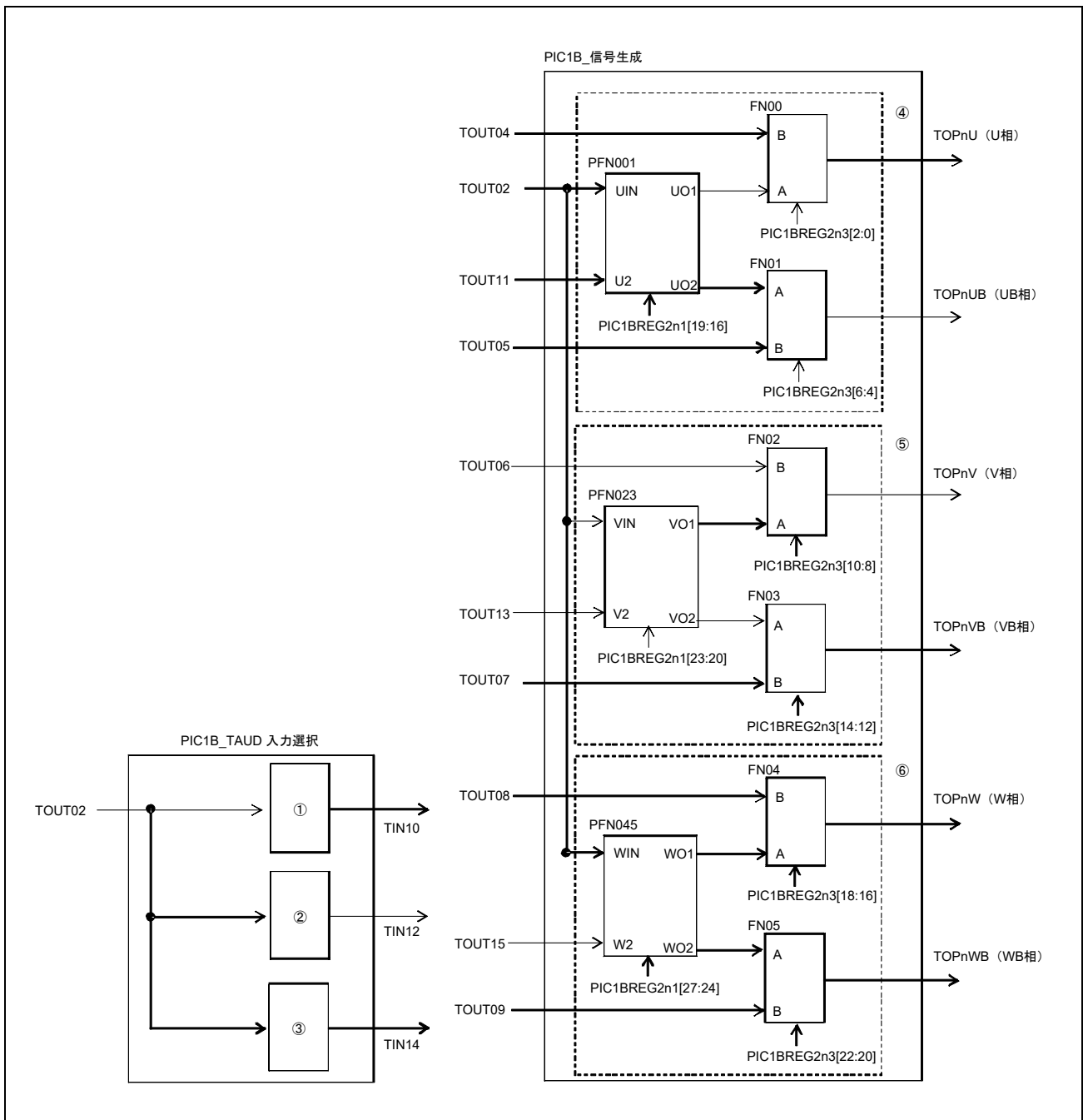


図 24.15 PIC1B ブロック図

本機能で使用する PIC1B のレジスタ設定値を以下に示します。

① PIC1B_TAUD 入力選択 (U 相/UB 相)

TOUT02 を TIN10 として出力するための設定値 (アクティブハイ/アクティブロウ共通)

PIC1BREG2n0[18] = 1_B

PIC1BREG2n2[17:16] = 10_B

PIC1BTAUDnSEL[21:20] = 00_B

② PIC1B_TAUD 入力選択 (V 相/VB 相)

TOUT02 を TIN12 として出力するための設定値 (アクティブハイ/アクティブロウ共通)

PIC1BREG2n0[18] = 1_B

PIC1BREG2n2[21:20] = 10_B

PIC1BTAUDnSEL[25:24] = 00_B

③ PIC1B_TAUD 入力選択 (W 相/WB 相)

TOUT02 を TIN14 として出力するための設定値 (アクティブハイ/アクティブロウ共通)

PIC1BREG2n0[18] = 1_B

PIC1BREG2n2[25:24] = 10_B

PIC1BTAUDnSEL[29:28] = 00_B

④ PIC1B_信号生成 (U 相/UB 相)

TAUDnO10, TAUDnO11 から 1 相 PWM (アクティブハイ/アクティブロウ) を出力するための設定値

PIC1BREG2n1[19:16] = 1010_B (アクティブハイ)、1111_B (アクティブロウ)

PIC1BREG2n3[06:04] = 100_B (アクティブハイ)、101_B (アクティブロウ)

PIC1BREG2n3[02:00] = 100_B (アクティブハイ)、101_B (アクティブロウ)

⑤ PIC1B_信号生成 (V 相/VB 相)

TAUDnO12, TAUDnO13 から 1 相 PWM (アクティブハイ/アクティブロウ) を出力するための設定値

PIC1BREG2n1[23:20] = 1010_B (アクティブハイ)、1111_B (アクティブロウ)

PIC1BREG2n3[14:12] = 100_B (アクティブハイ)、101_B (アクティブロウ)

PIC1BREG2n3[10:08] = 100_B (アクティブハイ)、101_B (アクティブロウ)

⑥ PIC1B_信号生成 (W 相/WB 相)

TAUDnO14, TAUDnO15 から 1 相 PWM (アクティブハイ/アクティブロウ) を出力するための設定値

PIC1BREG2n1[27:24] = 1010_B (アクティブハイ)、1111_B (アクティブロウ)

PIC1BREG2n3[22:20] = 100_B (アクティブハイ)、101_B (アクティブロウ)

PIC1BREG2n3[18:16] = 100_B (アクティブハイ)、101_B (アクティブロウ)

(4) 機能

本機能の詳細を U 相/UB 相を例に説明します。V 相/VB 相、W 相/WB 相については、入力信号および設定レジスタは異なりますが、論理は U 相/UB 相と同一です。

- U 相組み合わせ回路 (PFN001)

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するための縮小デッドタイムパルス^{注1} (FN00 A、FN01 A) を生成します。ブロック図については、「**図 24.1 PFN001 ブロック図**」を参照してください。

注1. 縮小デッドタイムパルスについて

TSG3n の HT-PWM モードで PWM 出力をした場合に、デューティ 100%もしくは 0%近傍で生成されるデッドタイムパルスを TAUDn のデッドタイム付き三角波 PWM 出力に擬似的に付加するパルスです。

- 論理演算回路 (FN0i) (i = 0, 1)

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力 (TOUT04, TOUT05) と組み合わせ回路出力 (PFN001 の UO0、UO1) を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。論理演算回路は PIC1BREG2n3k (k = 00~02, 04~06) の設定によって、論理を切り替えます。ブロック図については、「**図 24.2 FN00 ブロック図**」を参照してください。

本機能の詳細を、デッドタイム付き高精度三角波 PWM 出力機能 (U 相/UB 相) を例に説明します。

下図にアクティブハイ設定時の U 相 0%、UB 相 100%のタイミング図を示します。

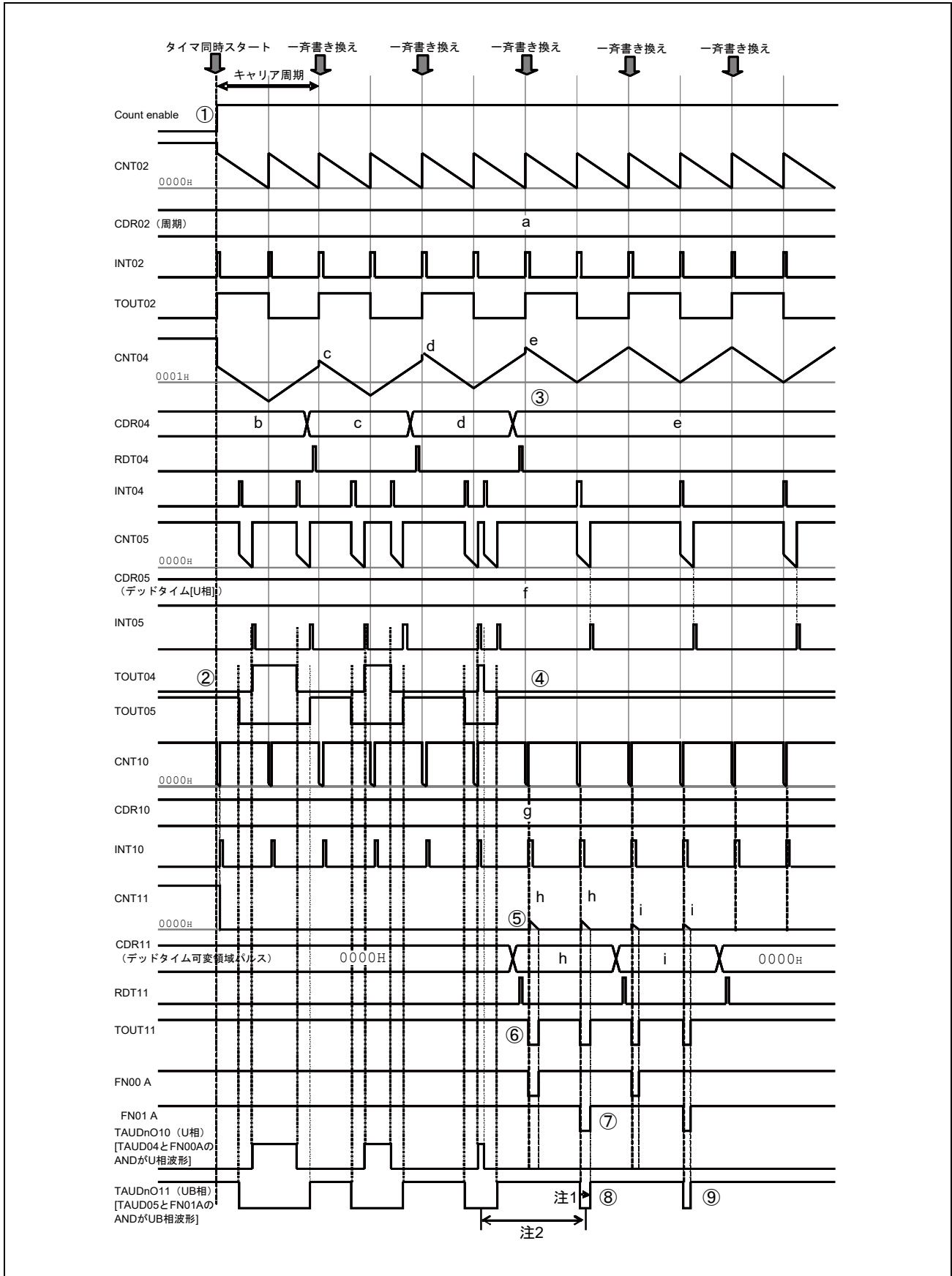


図 24.16 デッドタイム付き高精度三角波 PWM (U相 0%、UB相 100%) _アクティブハイ

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04/TOUT05 を生成します。
- (3) CDR04 に U 相デューティ 0%出力値を設定します。
- (4) (3)の設定により、TOUT04 の出力はインアクティブレベル、TOUT05 の出力はアクティブレベルとなります。
- (5) デッドタイム可変領域パルスを作成するため、(3)の U 相デューティ 0%設定時に、縮小デッドタイムパルス幅となる値を CDR11 に設定します。
- (6) TOUT02 の有効エッジで CH10 のカウントを開始し、アンダーフローにより INT10 が発生します。INT10 の発生により CH11 のカウントを開始し、CDR11 に設定された幅をパルス幅とする TOUT11 (縮小デッドタイムパルス) を出力します。
- (7) PFN001 において、TOUT02、TOUT11 より UO1/UO2 (縮小デッドタイムパルス) が生成されます。
- (8) UO1/UO2 は FN00/FN01 により TOUT04/TOUT05 と合成され、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を出力します。

注 意

縮小デッドタイムパルスは、三角波を使用している両側伸縮するパルスとは異なり、鋸波を使用しているため片側伸縮となります。

縮小デッドタイムパルスが片側伸縮のため、デッドタイム可変領域での 1 相 PWM の出力周期は、付加する縮小デッドタイムパルス幅の 1/2 分長くなります。

下図にアクティブハイ設定時の U 相 100%、UB 相 0%のタイミング図を示します。

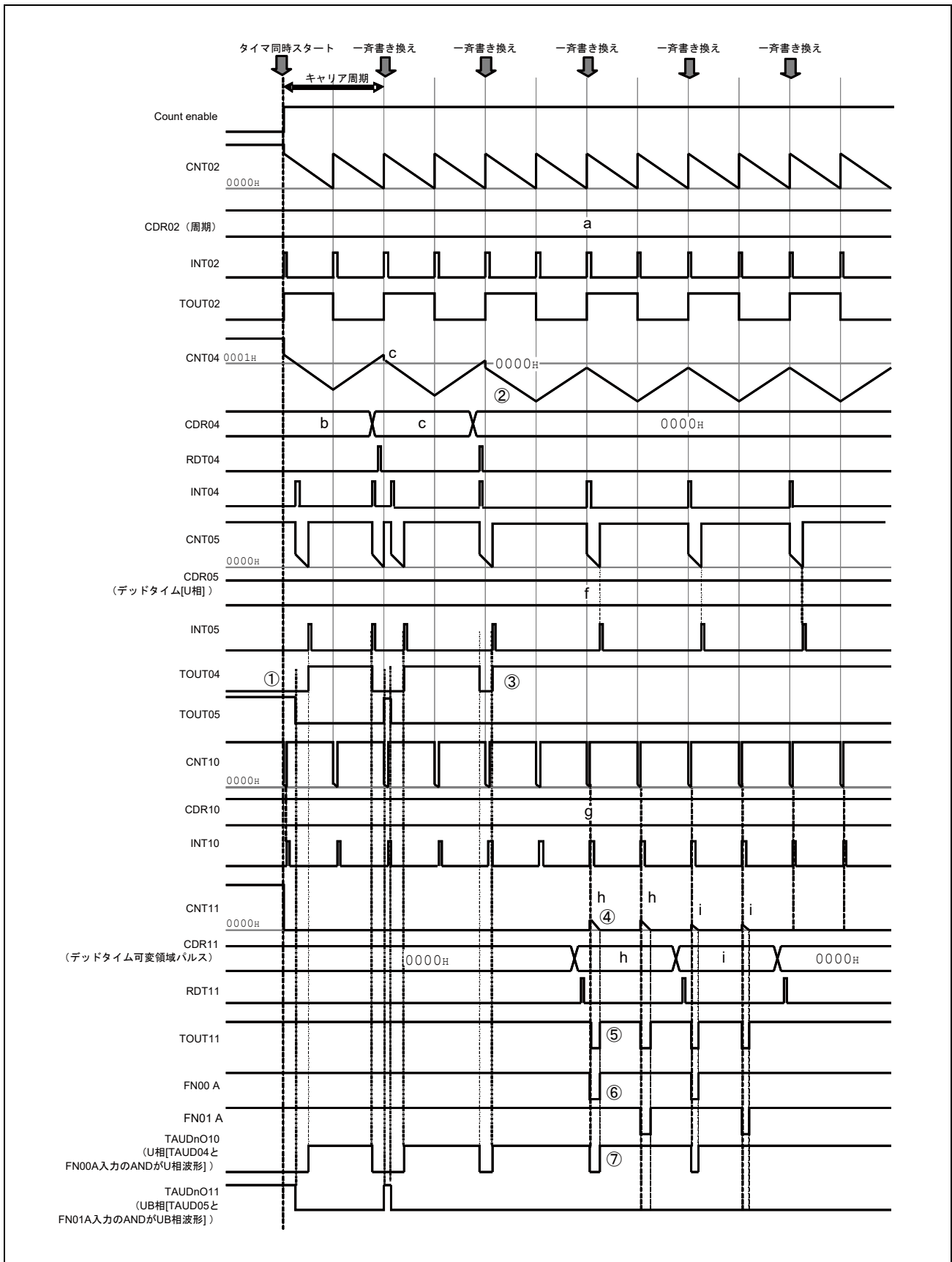


図 24.17 デッドタイム付き高精度三角波 PWM (U相 100%、UB相 0%) _アクティブハイ

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04/TOUT05 を生成します。
- (3) CDR04 に U 相デューティ 100%出力値 (CDR04 = 0000_H) を設定します。
- (4) TOUT04 はアクティブレベル、TOUT05 はインアクティブレベルを出力します。
- (5) U 相デューティ 100%設定から 1 周期後に、縮小デッドタイムパルス幅となる値を CDR11 に設定します。
- (6) TOUT02 の有効エッジで CH10 のカウントを開始し、アンダーフローにより INT10 が発生します。INT10 の発生により CH11 のカウントを開始し、CDR11 に設定された幅をパルス幅とする TOUT11 (縮小デッドタイムパルス) を出力します。
- (7) PFN001 において、TOUT02、TOUT11 より UO1/UO2 (縮小デッドタイムパルス) を生成します。
- (8) UO1/UO2 は FN00/FN01 により TOUT04/TOUT05 と合成され、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を出力します。

注 意

CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、**図 24.18** ①で示す TOUT04 から出力される最後の PWM に対し、②で示されるデッドタイム可変領域パルスにより、デッドタイムパルス幅が長くなります。そのため、U 相デューティ 100%設定後、1 周期以上経過したあとに CDR11 を設定してください。

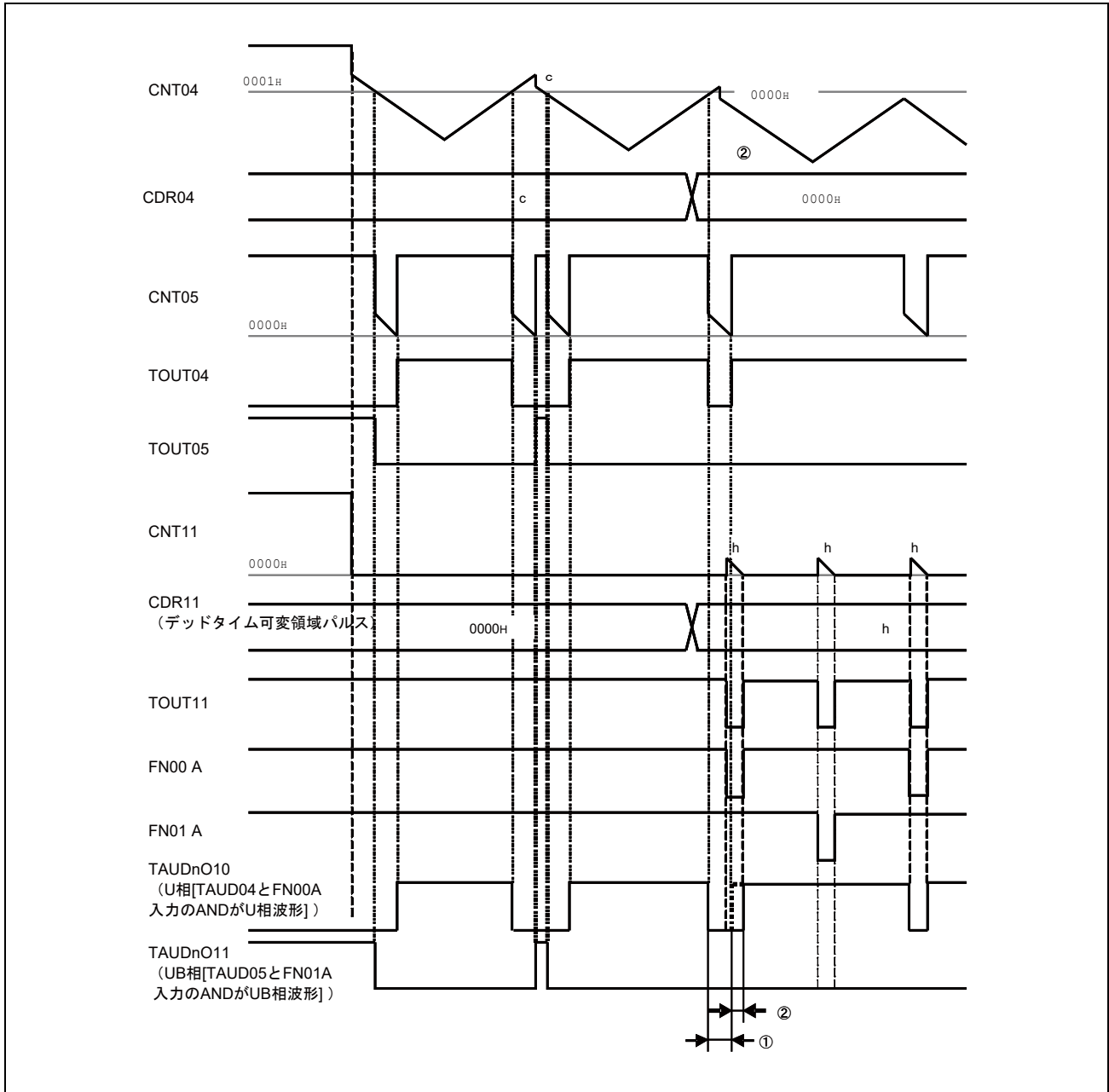


図 24.18 デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響した場合

下図にアクティブロウ設定時の U 相 100%、UB 相 0%のタイミング図を示します。

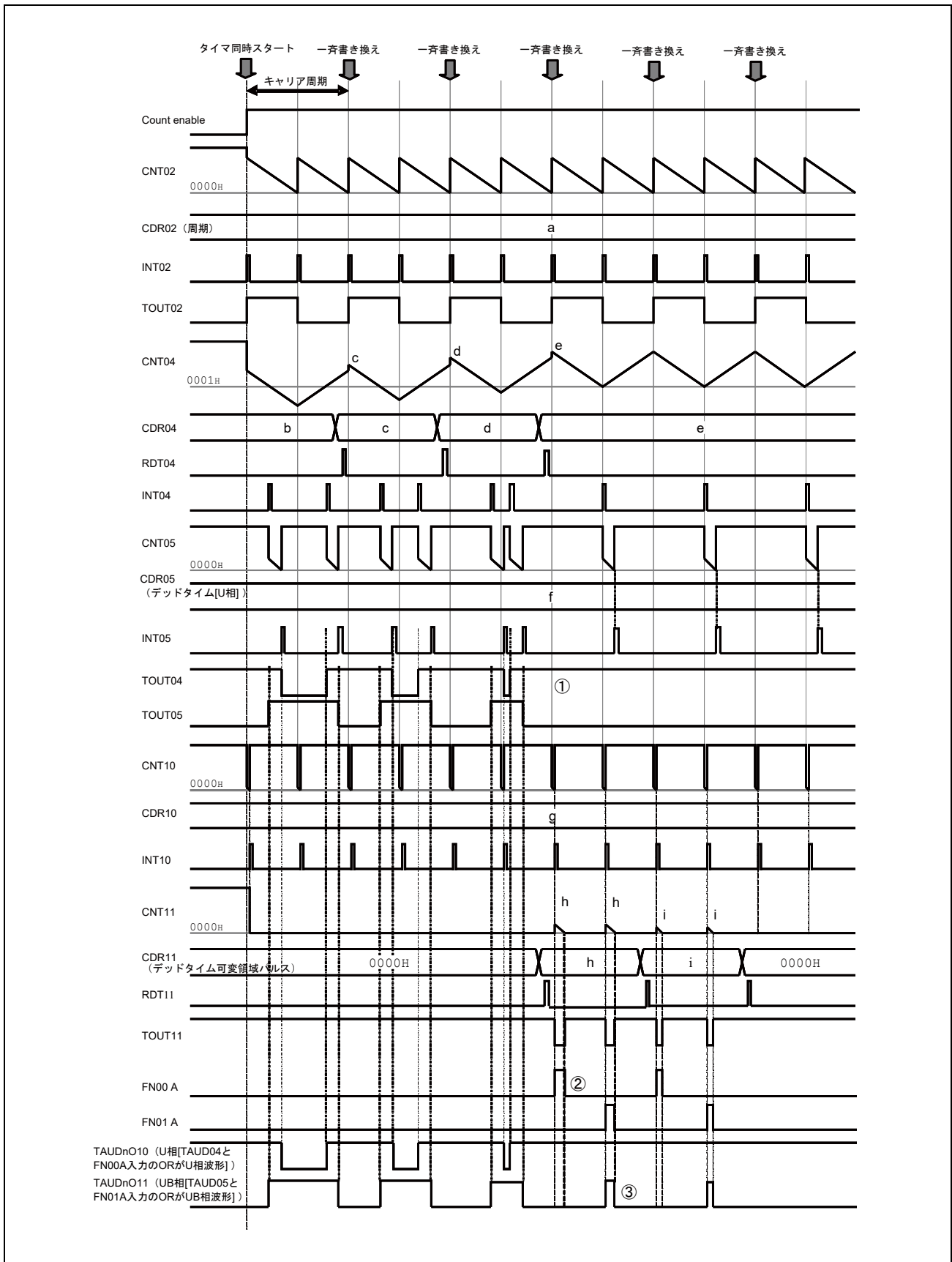


図 24.19 デッドタイム付き高精度三角波 PWM (U相 100%、UB相 0%) _アクティブロウ

タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、**図 24.19 デッドタイム付き高精度三角波 PWM (U 相 100%、UB 相 0%) _アクティブロウ**と同じです。ただし、PWM 出力として、TOUT04、TOUT05 からはアクティブロウの PWM 信号が出力されます。

注 意

ワンショットパルス出力機能の各 CDR 設定値は、以下の条件を満たすように設定してください。

$$\text{CDR05} \geq (\text{CDR10} + \text{CDR11})$$

上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、縮小デッドタイムパルスが必要になる状況まで、CDR11 には 0000H を設定しておいてください。

TIN10 (TOUT02) の有効エッジは両エッジ検出、また TAUDnTOL11 = 1 (アクティブロウ) に設定してください。

TAUDn のカウントクロック信号 (CK0~3) は、同じ信号を選択してください。

デッドタイム付き高精度三角波 PWM 出力開始後、U 相、V 相、W 相のデューティを 100% 設定すると同時にデッドタイム可変領域パルス幅の値を設定しないでください。

(5) フローチャート

本機能のフローチャートを以下に示します。

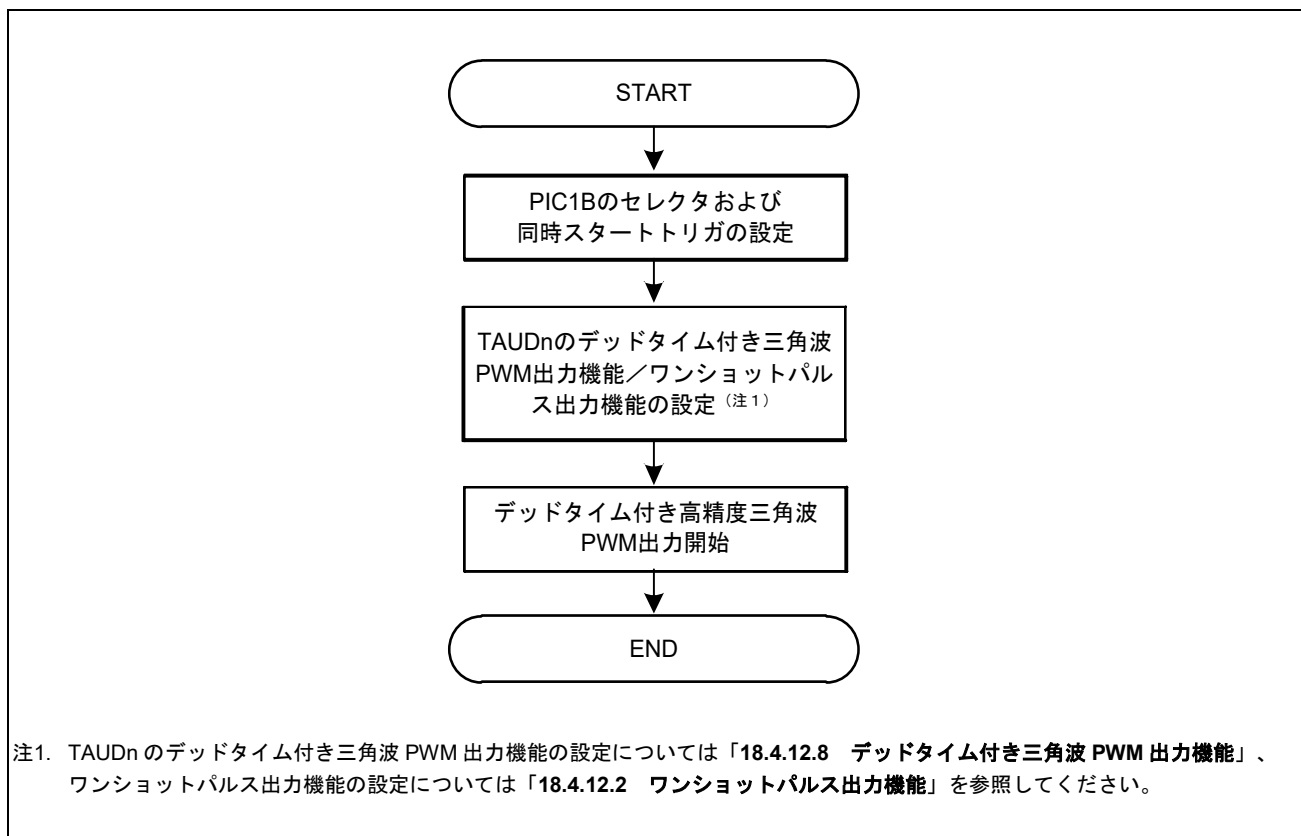


図 24.20 設定フロー

24.2.3.5 デッドタイム付きディレイパルス出力機能

(1) 概要

TAUDn を使って、周期タイミングからディレイを付加したデッドタイム付き PWM 出力を生成する機能です。

「24.2.3.3 デッドタイム付き PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM 出力が可能です。

使用するチャンネル数は以下の通りです。

表 24.61 デッドタイム付きディレイパルス出力に使用する TAUDn チャンネル数

デッドタイム付き PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相/UB 相)	5ch (マスタチャンネル 1ch、スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相/UB 相、V 相/VB 相)	9ch (マスタチャンネル 1ch、スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相/UB 相、V 相/VB 相、W 相/WB 相)	13ch (マスタチャンネル 1ch、スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 は CH3~9 のマスタチャンネルとしてください。

表 24.62 TAUDn のチャンネル別用途

TAUDn チャンネル	U 相/UB 相	V 相/VB 相	W 相/WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	○	○	○	予約
CH4	○	×	×	ディレイパルス出力 (U 相/UB 相)
CH5	○	×	×	
CH6	×	○	×	ディレイパルス出力 (V 相/VB 相)
CH7	×	○	×	
CH8	×	×	○	ディレイパルス出力 (W 相/WB 相)
CH9	×	×	○	
CH10	○	×	×	U 相出力 (TOUT10)
CH11	○	×	×	UB 相出力 (TOUT11)
CH12	×	○	×	V 相出力 (TOUT12)
CH13	×	○	×	VB 相出力 (TOUT13)
CH14	×	×	○	W 相出力 (TOUT14)
CH15	×	×	○	WB 相出力 (TOUT15)

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn のディレイパルス出力機能/1 相 PWM 出力機能と PIC1B を組み合わせることで、デッドタイム付きディレイパルス出力機能を実現します。デッドタイム付きディレイパルス出力機能のブロック図を以下に示します。

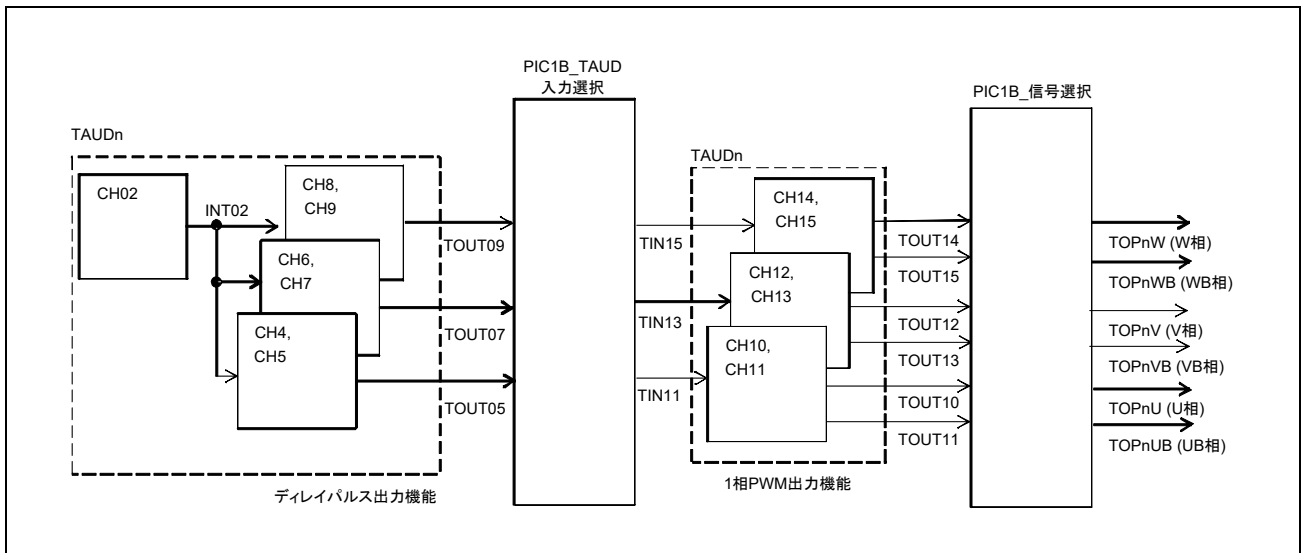


図 24.21 デッドタイム付きディレイパルス出力機能 ブロック図

U 相/UB 相の PWM 出力を例に構成を説明します。

- [TAUDn] ディレイパルス出力機能
TAUDn の CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 にディレイ、CDR05 にパルス幅を設定し、TOUT05 (ディレイパルス出力) を生成します。
- [PIC1B_TAUD 入力選択]
TOUT05 を選択して、TIN11 に出力します。
- [TAUDn] 1 相 PWM 出力機能
TAUDn の CH10、CH11 を使用します。CDR11 にデッドタイム値を設定することで TIN11 に入力される PWM 信号にデッドタイムを付加し、TOUT10 (U 相 PWM 信号)、TOUT11 (UB 相 PWM 信号) を出力します。
- [PIC1B_信号選択]
TOUT10, 11 入力を選択して、TOPnU, UB 端子に出力します。

V 相/VB 相、W 相/WB 相は、上記 U 相/UB 相と同様と同様の構成です。

(3) レジスタ

下図に PIC1B 内のブロック図を示します。

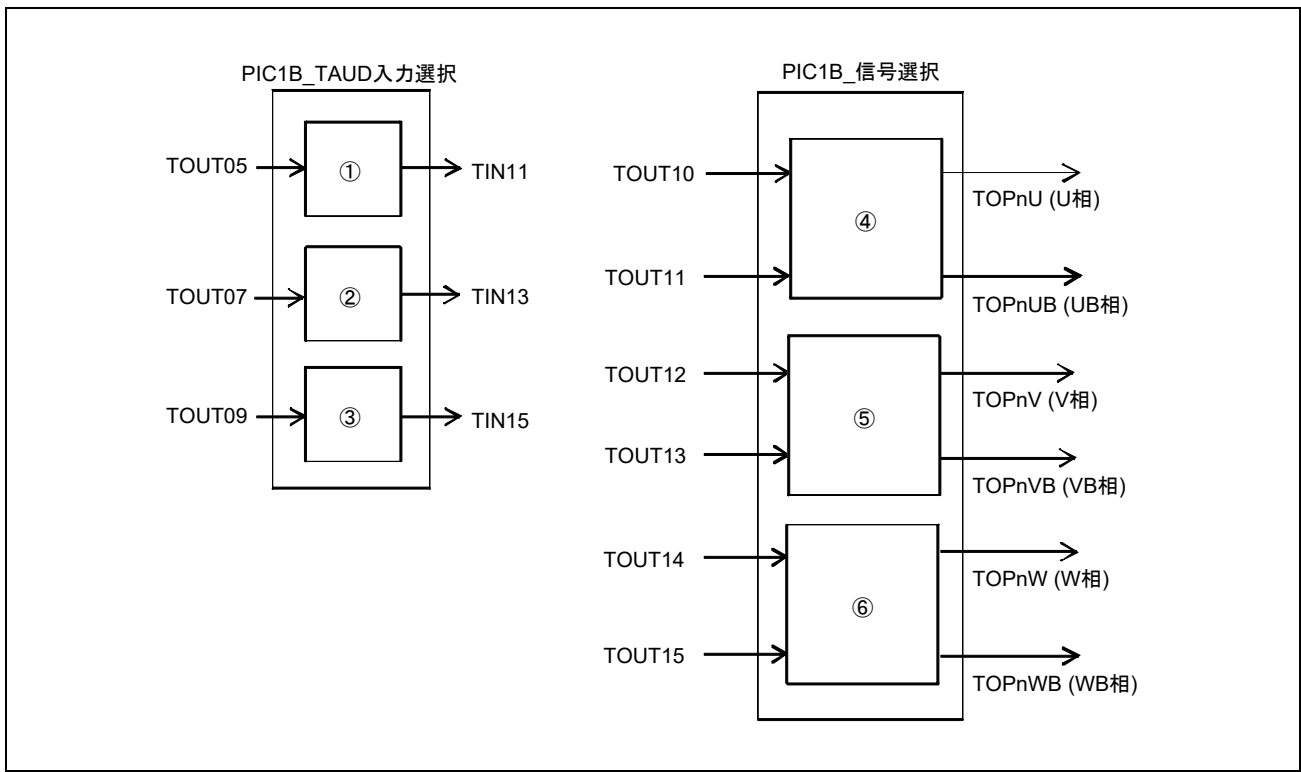


図 24.22 PIC1B ブロック図

本機能で使用する PIC1B のレジスタ設定値を以下に示します。

U 相 / UB 相

TOUT05 を TIN11 として出力するための設定値 (図 24.22 ①)

$$\text{PIC1BREG2n2}[19:18] = 10_{\text{B}}$$

$$\text{PIC1BREG2n2}[2] = 0_{\text{B}}$$

$$\text{PIC1BTAUDnSEL}[23:22] = 00_{\text{B}}$$

出力 TOUT10, 11 を TOPnU, UB として出力するための設定値 (図 24.22 ④)

$$\text{PIC1BREG2n1}[19:16] = 0000_{\text{B}}$$

$$\text{PIC1BREG2n3}[2:0] = 000_{\text{B}}$$

$$\text{PIC1BREG2n3}[6:4] = 000_{\text{B}}$$

V 相/VB 相

TOUT07 を TIN13 として出力するための設定値 (図 24.22 ②)

$$\text{PIC1BREG2n2}[23:22] = 10_{\text{B}}$$
$$\text{PIC1BREG2n2}[3] = 0_{\text{B}}$$
$$\text{PIC1BTAUDnSEL}[27:26] = 00_{\text{B}}$$

出力 TOUT12, 13 を TOPnV, VB として出力するための設定値 (図 24.22 ⑤)

$$\text{PIC1BREG2n1}[23:20] = 0000_{\text{B}}$$
$$\text{PIC1BREG2n3}[10:8] = 000_{\text{B}}$$
$$\text{PIC1BREG2n3}[14:12] = 000_{\text{B}}$$
W 相/WB 相

TOUT09 を TIN15 として出力するための設定値 (図 24.22 ③)

$$\text{PIC1BREG2n2}[27:26] = 10_{\text{B}}$$
$$\text{PIC1BREG2n2}[4] = 0_{\text{B}}$$
$$\text{PIC1BTAUDnSEL}[31:30] = 00_{\text{B}}$$

出力 TOUT14, 15 を TOPnW, WB として出力するための設定値 (図 24.22 ⑥)

$$\text{PIC1BREG2n1}[27:24] = 0000_{\text{B}}$$
$$\text{PIC1BREG2n3}[18:16] = 000_{\text{B}}$$
$$\text{PIC1BREG2n3}[22:20] = 000_{\text{B}}$$
(4) 機能

本機能の詳細を、デッドタイム付きディレイパルス出力 (U 相/UB 相) を例に説明します。

下図にタイミング図を示します。

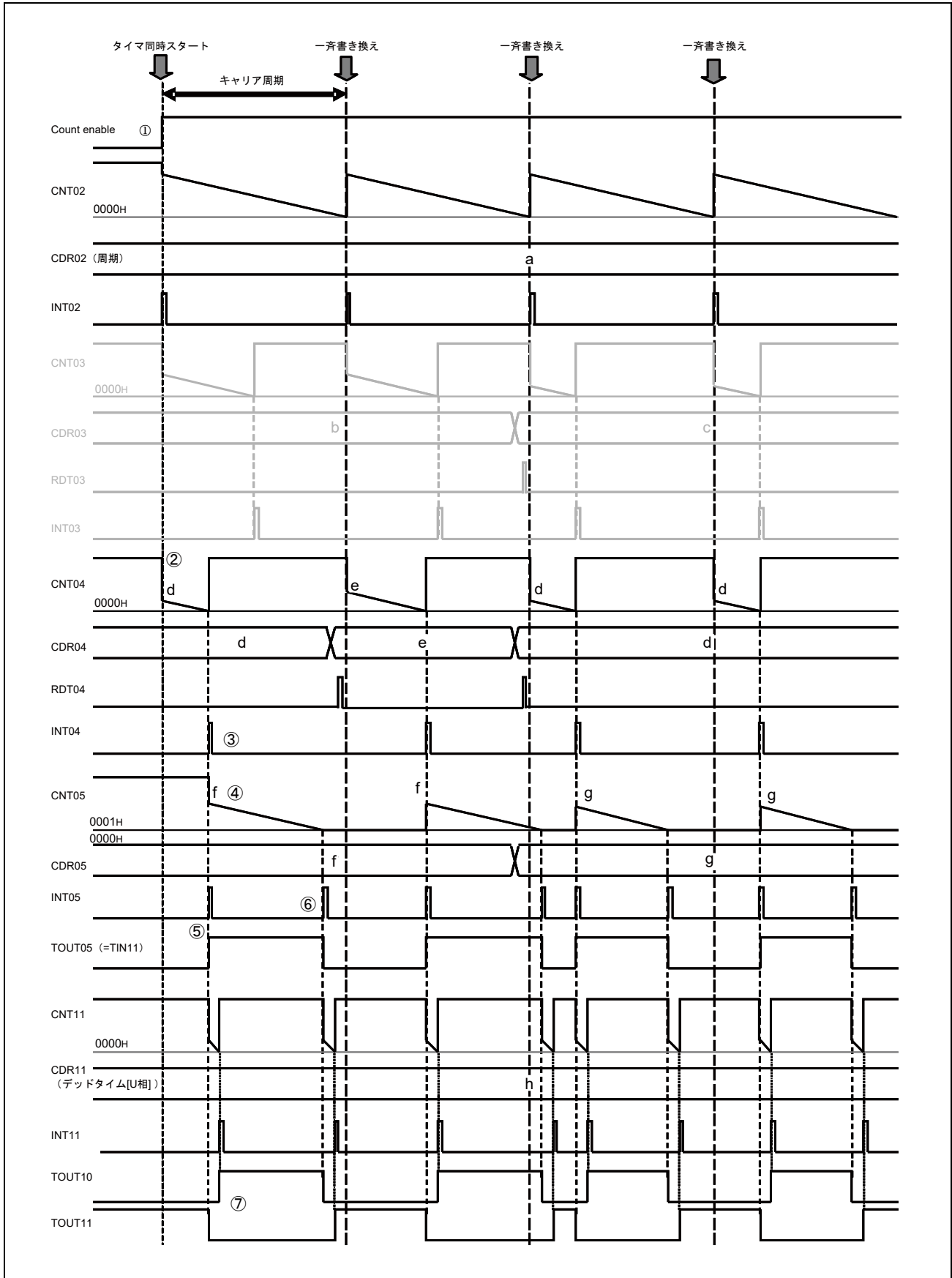


図 24.23 デッドタイム付きディレイパルス出力 (U 相/UB 相)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) CH04 は CH02 のアンダーフローにより、CNT04 へ設定値のリロードが行われます。
- (3) CH04 のアンダーフローにより、INT04 が発生します。
- (4) INT04 の発生により、CNT05 へ設定値のリロードが行われ、CH05 が動作開始します。
- (5) CH05 の動作開始により INT05 が発生し、TOUT05 がアクティブレベルになります。
- (6) CH05 のアンダーフローにより、INT05 が発生し、TOUT05 はインアクティブレベルになります。この TOUT05 を TIN11 へ出力します。
- (7) TIN11 のエッジ検出により、デッドタイムを付加した TOUT10 (U相 PWM 信号)、TOUT11 (UB 相 PWM 信号) を生成し、TOPnU、TOPnUB へ出力します。

同様の手順にて、V 相/VB 相および、W 相/WB 相を生成します。

注 意

周期を超えるディレイ値の設定は行わないでください。

TAUDn の各カウントクロック信号は、同じクロックを選択してください。

(5) フローチャート

本機能のフローチャートを以下に示します。

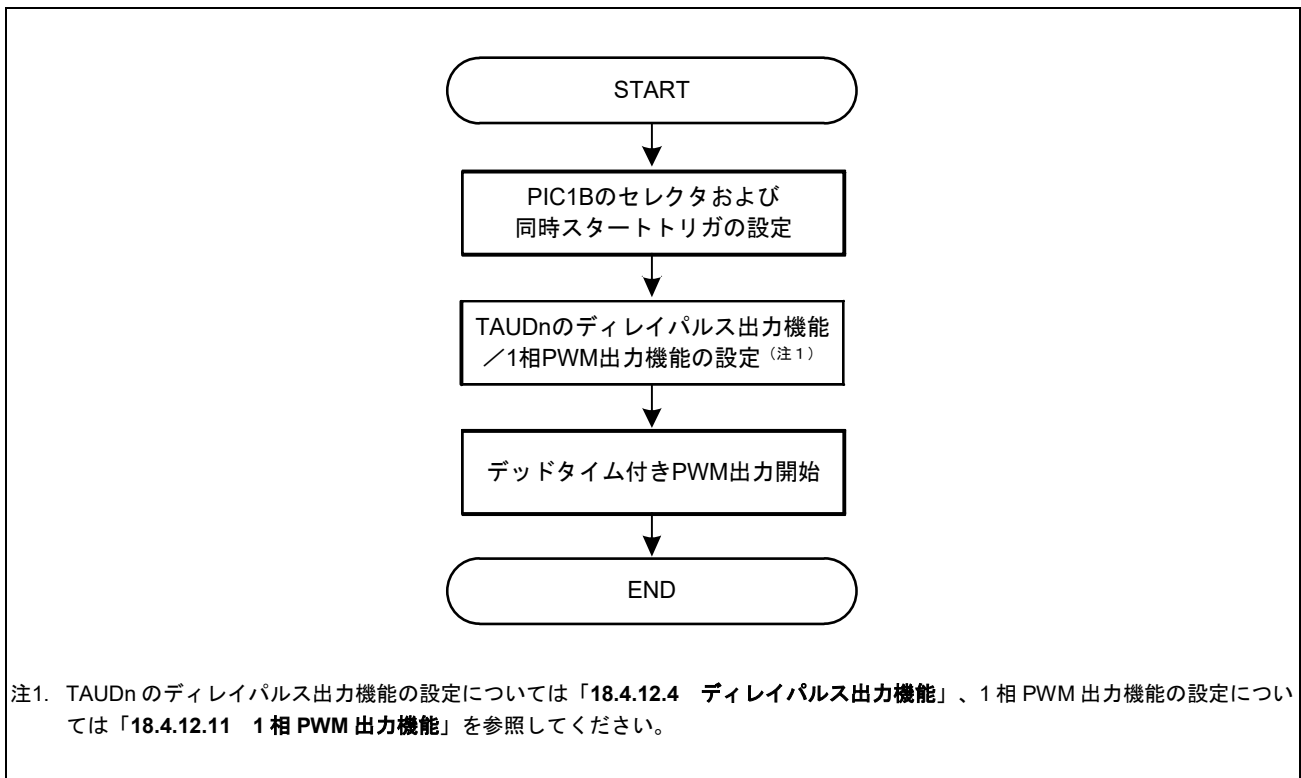


図 24.24 設定フロー

24.2.3.6 トリガ&パルス間隔測定機能

(1) 概要

ENCA_n から出力される割り込みトリガ信号を TAUJ₀, TAUD_n に入力し、トリガ&パルス間隔を測定する機能です。

ENCA_n 割り込みトリガ信号は以下の組み合わせにて測定可能です。

表 24.63 測定タイマと測定するトリガ信号の組み合わせ

測定タイマ	チャンネル	測定対象
TAUJ ₀	CH0	ENCAT0IEC
	CH1	ENCAT0IEC
	CH2	ENCAT1IEC
	CH3	ENCAT1IEC
TAUD ₀	CH0	ENCAT0EQ0 or ENCAT0EQ1
	CH1	ENCAT0EQ1
	CH2	ENCAT0EQ0
TAUD ₁	CH0	ENCAT1EQ0 or ENCAT1EQ1
	CH1	ENCAT1EQ1
	CH2	ENCAT1EQ0

(2) 構成

TAUJ0、TAUDn の TINm 入力パルス間隔測定機能と PIC1B を組み合わせることで、トリガ&パルス間隔測定機能を実現します。トリガ&パルス間隔測定機能のブロック図を以下に示します。

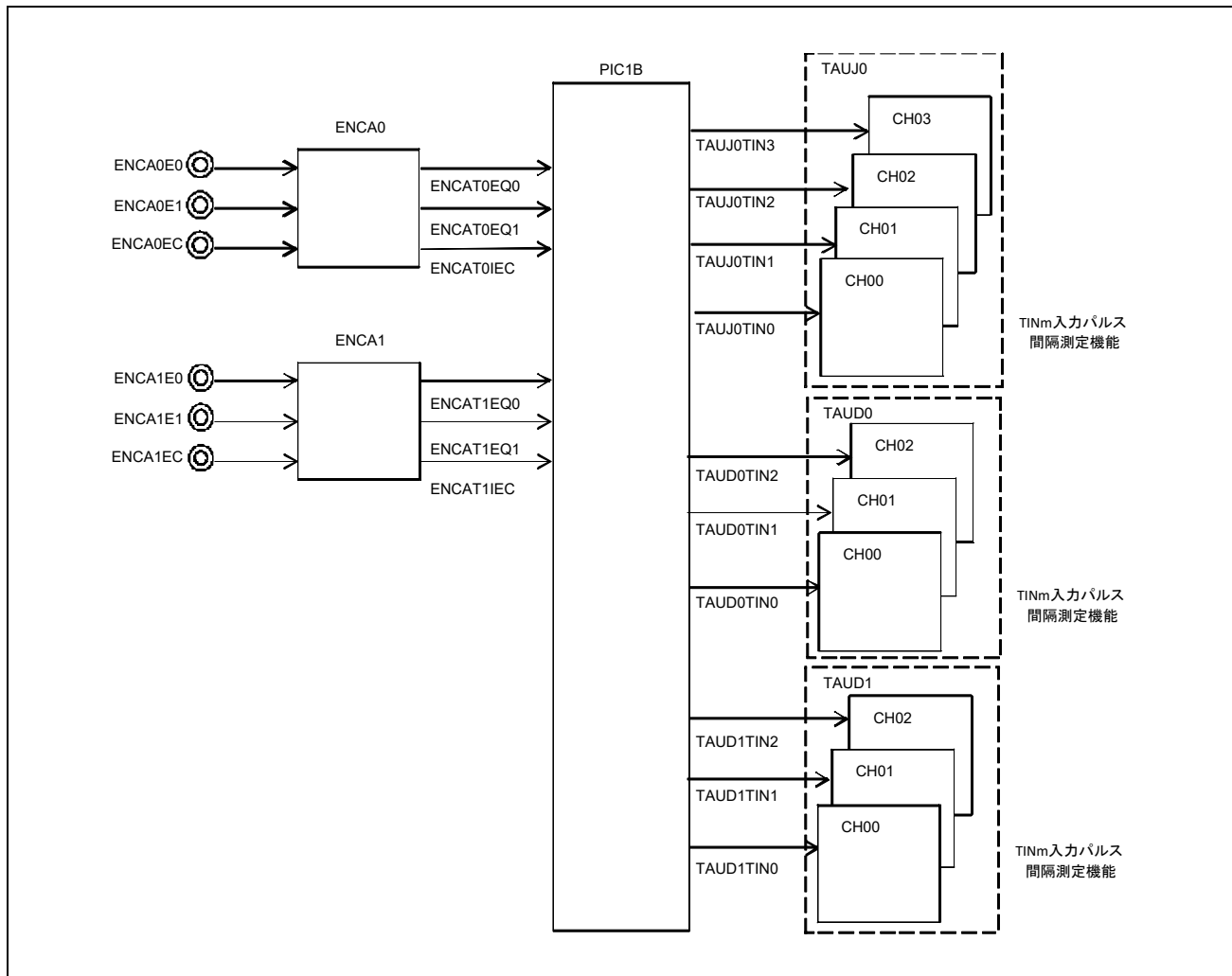


図 24.25 トリガ&パルス間隔測定機能 ブロック図

TAUJ0 CH0 を使用した場合を例に構成を説明します。

- [ENCA0]
ENCA0E0 端子入力により、ENCA0 のタイマカウンタ値がクリアされるごとに ENCAT0IEC 割り込みトリガ信号を生成します。
- [PIC1B] ラッチ&トグル出力 (DT) 回路
DTにて ENCAT0IEC 割り込みトリガ信号を選択、レベル変化のトグル信号に変換し、TAUJ0TIN0 に出力します。
- [TAUJ0] TINm 入力パルス間隔測定機能
TAUJ0 の CH0 を使用します。入力信号がトグルするごとに TAUJ0CNT0 をキャプチャし、カウンタをクリアしたあと、再カウントします。

TAUD0、TAUD1 を用いたトリガ&パルス間隔測定は、上記 TAUJ0 CH0 使用時と同様の構成です。

(3) レジスタ

下図に PIC1B のブロック図を示します。

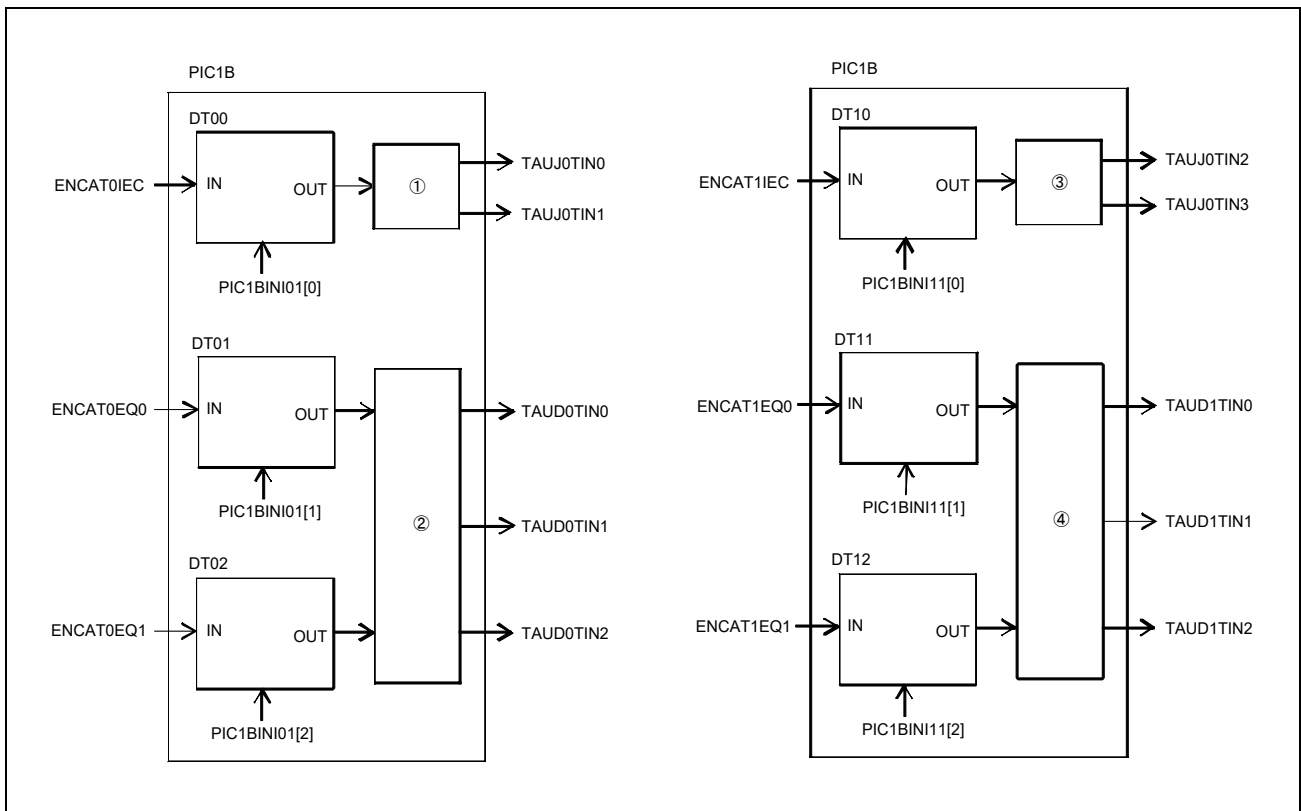


図 24.26 PIC1B ブロック図

本機能で使用する PIC1B のレジスタ設定値を以下に示します。

ENCA0

- ENCAT0EC トリガ&パルス間隔測定
ENCAT0EC トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 24.26 ①)

表 24.64 設定値

レジスタ設定		TAUJ0.TIN00	TAUJ0.TIN01
PIC1BREG31			
1	0		
0	0	選択なし	
0	1	ENCAT0IEC	—
1	0	—	ENCAT0IEC
1	1	ENCAT0IEC	ENCAT0IEC

備考 PIC1BREG30[22,17:16] にはリセット後の値“0”を設定してください。

- ENCAT0EQ0, ENCAT0EQ1 トリガ&パルス間隔測定
ENCAT0EQ0, ENCAT0EQ1 トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 24.26 ②)

表 24.65 設定値

レジスタ設定								TAUD0.TIN00	TAUD0.TIN01	TAUD0.TIN02
PIC1BREG31										
13	12	11	10	9	8	7	6			
0	0	0	0	0	0	0	0	選択なし		
0	0	1	1	0	0	0	1	ENCAT0EQ0	ENCAT0EQ1	—
0	1	0	0	0	0	0	1	ENCAT0EQ1	—	ENCAT0EQ0
0	1	1	0	0	0	0	1	ENCAT0EQ1	ENCAT0EQ1	ENCAT0EQ0
0	1	1	1	0	0	0	1	ENCAT0EQ0	ENCAT0EQ1	ENCAT0EQ0

備考 上記以外の設定は、本機能では設定しないでください。

また、PIC1BTAUD0SEL[5:0]、PIC1BREG30[22, 17:16, 1:0] にはリセット後の値“0”を設定してください。

- DT02-00 回路の初期化
DT02-00 回路を初期化するための設定値
PIC1BINI01[2:0] = 111_B (初期化)

ENCA1

- ENCAT1IEC トリガ&パルス間隔測定
ENCAT1IEC トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 24.26 ③)

表 24.66 設定値

レジスタ設定		TAUJ0.TIN02	TAUJ0.TIN03
PIC1BREG31			
4	3		
0	0	選択なし	
0	1	ENCAT1IEC	—
1	0	—	ENCAT1IEC
1	1	ENCAT1IEC	ENCAT1IEC

備考 PIC1BREG30[20:19,11:10] にはリセット後の値“0”を設定してください。

- ENCAT1EQ0, ENCAT1EQ1 トリガ&パルス間隔測定
ENCAT1EQ0, ENCAT1EQ1 トリガ&パルス間隔測定を行うタイマを選択する設定値 (図 24.26 ④)

表 24.67 設定値

レジスタ設定								TAUD1.TIN00	TAUD1.TIN01	TAUD1.TIN02
PIC1BREG31										
22	21	20	19	18	17	16	15			
0	0	0	0	0	0	0	0	選択なし		
0	0	1	1	0	0	0	1	ENCAT1EQ0	ENCAT1EQ1	—
0	1	0	0	0	0	0	1	ENCAT1EQ1	—	ENCAT1EQ0
0	1	1	0	0	0	0	1	ENCAT1EQ1	ENCAT1EQ1	ENCAT1EQ0
0	1	1	1	0	0	0	1	ENCAT1EQ0	ENCAT1EQ1	ENCAT1EQ0

備考 上記以外の設定は、本機能では設定しないでください。

また、PIC1BTAUD1SEL[5:0]、PIC1BREG30[20:19, 9:6] にはリセット後の値“0”を設定してください。

- DT12-10 回路の初期化
DT12-10 回路を初期化するための設定値
PIC1BINI11 [2:0] = 111_B (初期化)

(4) 機能

本機能の詳細を説明します。

下図にタイミング図を示します。

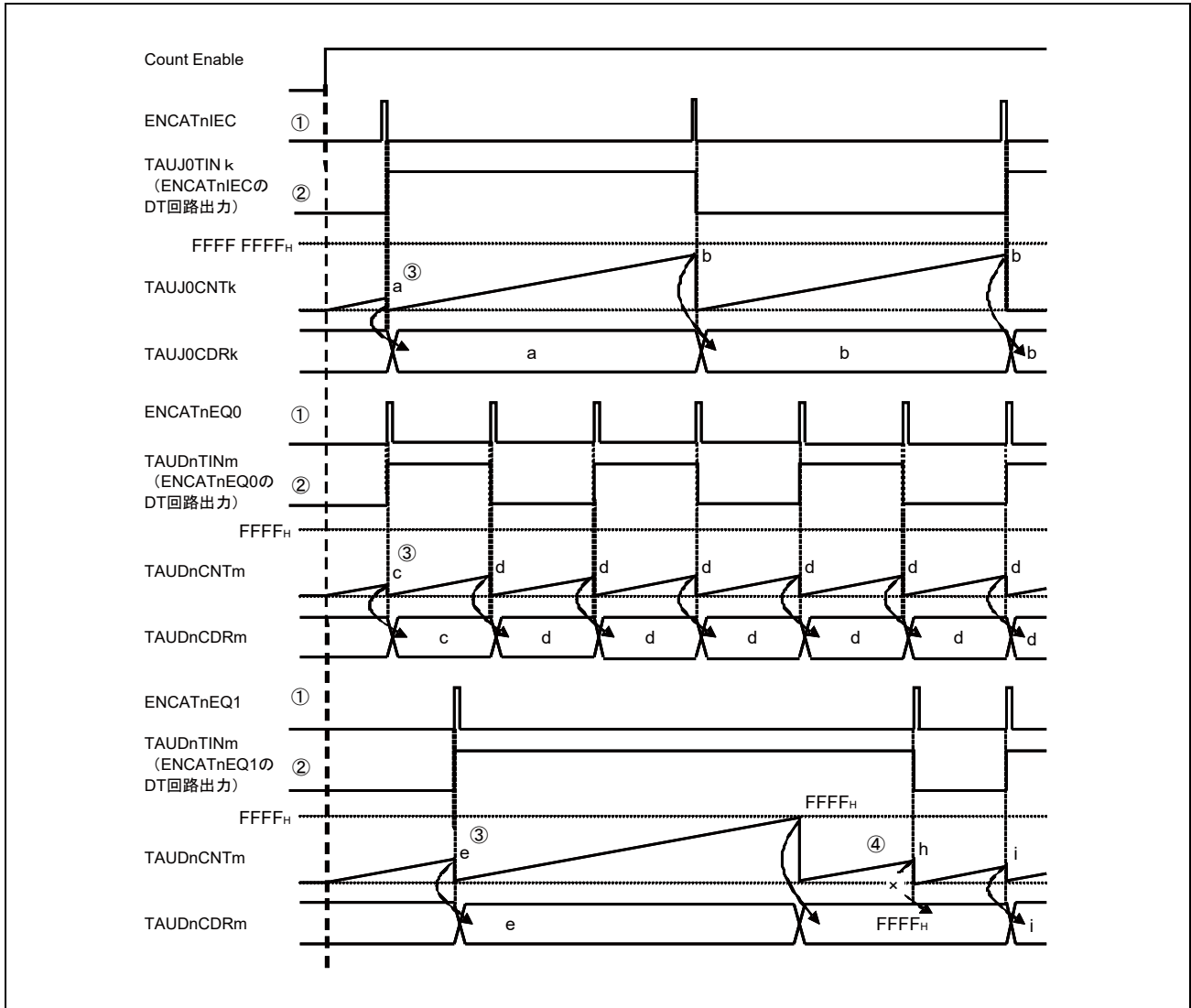


図 24.27 トリガ&パルス間隔測定機能

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) ENCA_n から出力された割り込みトリガ信号は、DT でレベル変化のトグル信号に変換され、TAUJ₀、TAUD_n の TIN_m へ出力します。
- (3) TIN_m のトグルタイミングで CNT_m 値をキャプチャします。同時にカウンタをクリアします。
- (4) オーバフロー発生時はカウント最大値 (TAUD_n は FFFF_H、TAUJ₀ は FFFF FFFF_H) をキャプチャし、同時にカウンタをクリアします。このとき、オーバフロー直後のトリガでは CNT_m 値をキャプチャしません。(TAUD_nCMOR_m.TAUD_nCOS[1] = 1_B 設定時)

注 意

オーバフロー時の動作については、TAUJ、TAUD の設定により異なります。TAUJ の設定の詳細は「19.4.9.3 TAUJTIN_m 入力パルスインターバル測定機能」、TAUD の設定の詳細は「18.4.9.7 TAUDTTIN_m 入力パルスインターバル測定機能」を参照してください。

本機能では、TAUJ₀、TAUD_n の TIN_m で検出する有効エッジを両エッジ (立ち上がり、立ち下がり) に設定してください。

(5) フローチャート

本機能のフローチャートを以下に示します。

以下のフローは、ENCAn が動作中または同時スタートトリガ待ちのどちらの状態でも設定可能です。



図 24.28 設定フロー

本機能を行う場合、ENCAn は下記の設定を行います。

ENCAnCTL[15:0] = xx00_0000_x00x_xxxx_B

ENCAnIOC0[7:0] = 0000_0000_B

ENCAnIOC1[7:0] = (任意)

x は任意設定。レジスタ仕様については、「第 23 章 エンコーダタイマ (ENCA)」を参照。

24.2.3.7 エンコーダキャプチャトリガ選択機能

(1) 概要

ENCAn のキャプチャトリガ信号として、ADCCnTRGm (ADCCn 変換開始トリガ信号 m)、TAUDnTINTm (TAUDn-CHm 割り込み要求信号)、ENCAnI1 (ENCAn 外部端子入力 1 信号) のいずれかを選択する機能です。

(2) 構成

ADCCnTRGm (ADCCn 変換開始トリガ信号 m)、TAUDnTINTm (TAUDn CHm 割り込み要求信号)、ENCAnI1 (ENCAn 外部端子入力 1 信号) と PIC1B を組み合わせることで、エンコーダキャプチャトリガ選択機能を実現します。エンコーダキャプチャトリガ選択機能のブロック図を以下に示します。

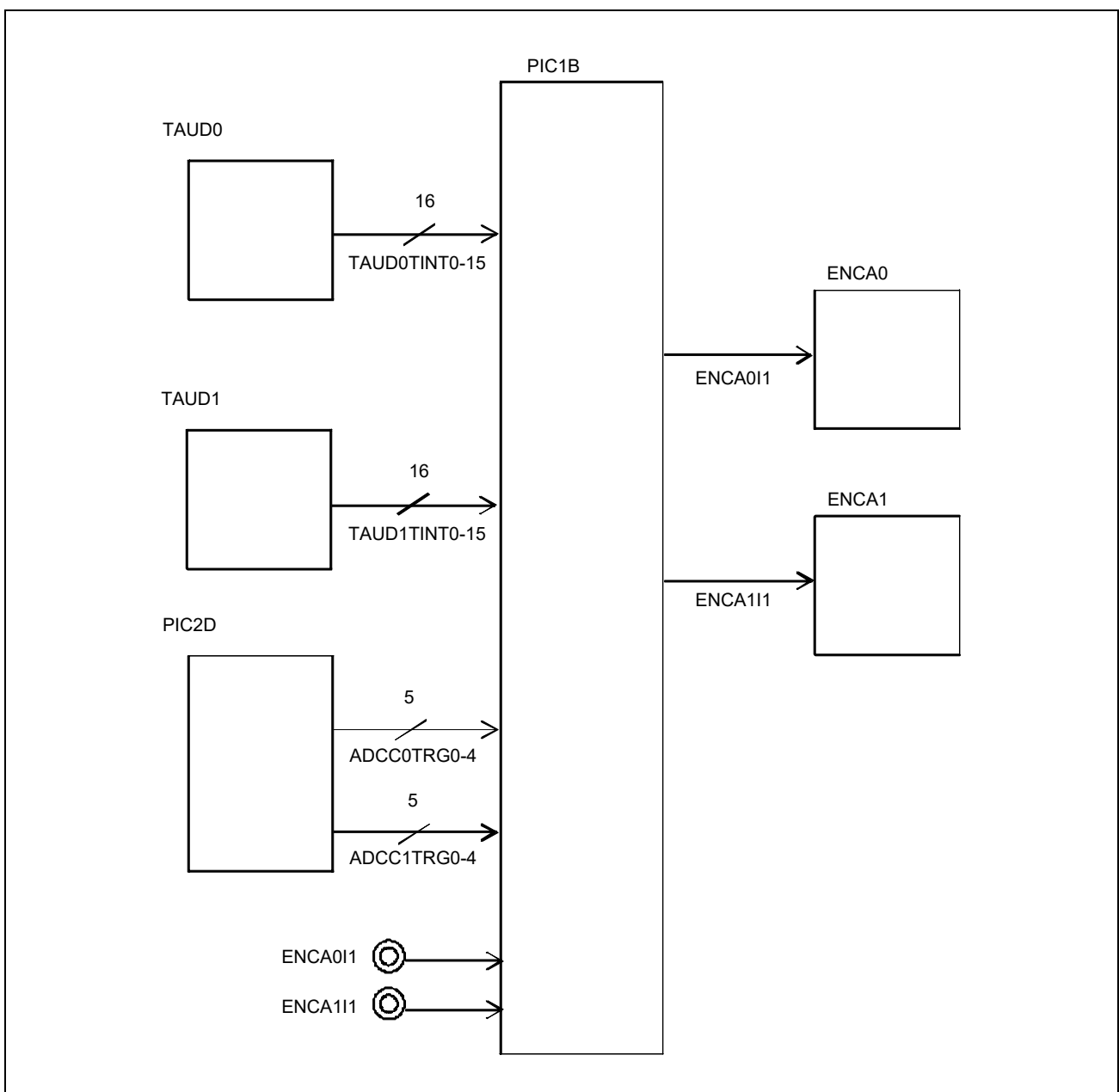


図 24.29 エンコーダキャプチャトリガ選択機能ブロック図

TAUD0 CH0 を ENCA0 のキャプチャトリガ入力に選択した場合を例に説明します。

PIC1BENCSEL400[7] = 1_B

PIC1BENCSEL400[3:0] = 0000_B

PIC1BREG30[18] = 1_B

PIC1BREG30[5:2] = 0000_B

(3) レジスタ

下図に PIC1B のブロック図を示します。

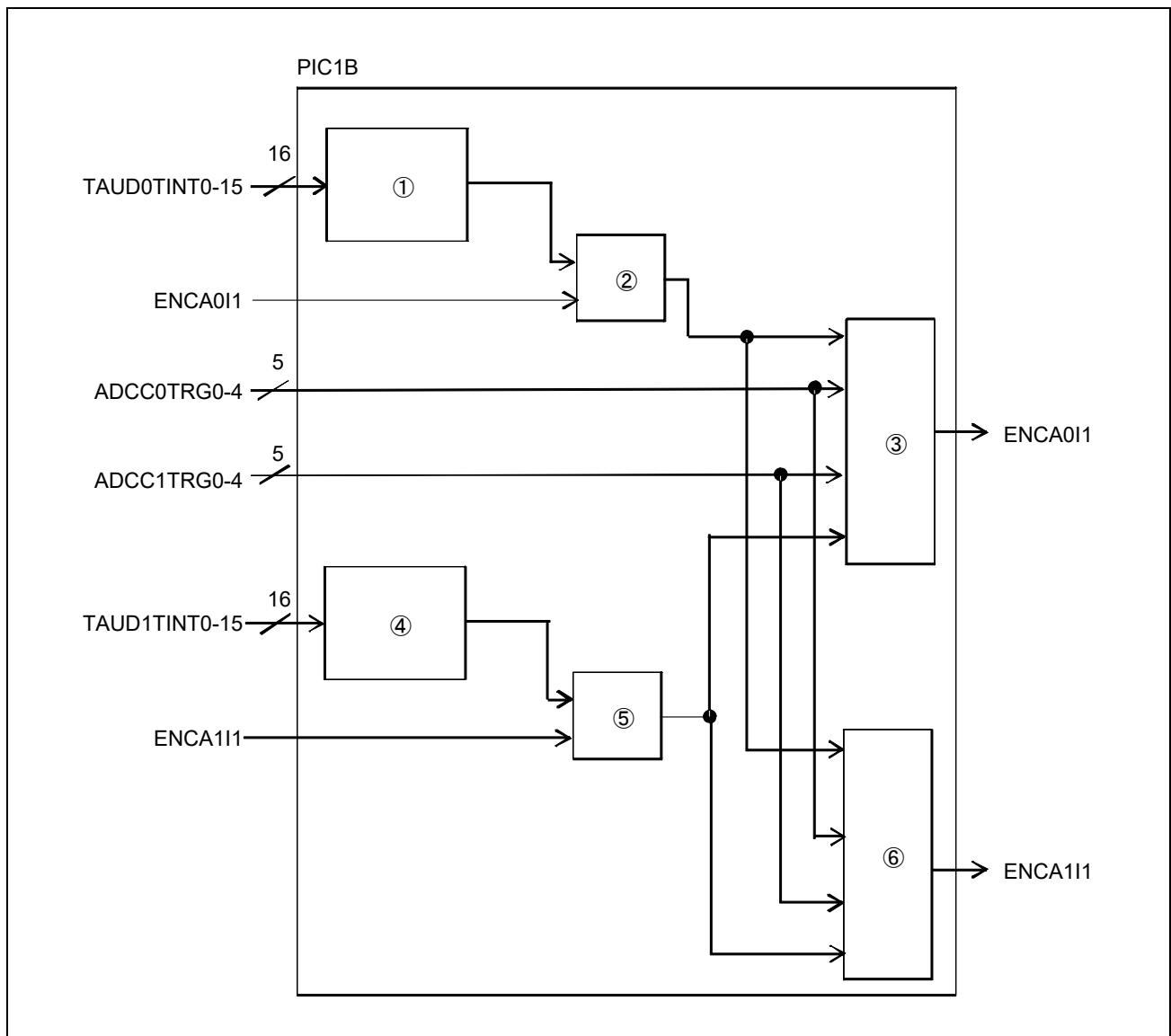


図 24.30 PIC1B ブロック図

本機能で使用する PIC1B のレジスタ設定値を以下に示します。

ENCA0

① TAUD0TINT_m 選択

TAUD0TINT_m を選択する設定値。TAUD0TINT_m を選択する場合は、PIC1BENCSEL400[7] に 1 を設定してください

表 24.68 設定値

レジスタ設定					出力
PIC1BENCSEL400					
7	3	2	1	0	
1	0	0	0	0	INTTAUD010
1	0	0	0	1	INTTAUD011
1	0	0	1	0	INTTAUD012
1	0	0	1	1	INTTAUD013
1	0	1	0	0	INTTAUD014
1	0	1	0	1	INTTAUD015
1	0	1	1	0	INTTAUD016
1	0	1	1	1	INTTAUD017
1	1	0	0	0	INTTAUD018
1	1	0	0	1	INTTAUD019
1	1	0	1	0	INTTAUD0110
1	1	0	1	1	INTTAUD0111
1	1	1	0	0	INTTAUD0112
1	1	1	0	1	INTTAUD0113
1	1	1	1	0	INTTAUD0114
1	1	1	1	1	INTTAUD0115

② TAUD0TINT_m、ENCA0I1 端子選択

①出力と ENCA0I1 のいずれかを選択する設定値

表 24.69 設定値

レジスタ設定	出力
PIC1BREG30	
18	
1	①出力
0	ENCA0I1

③ ENCA0I1 選択

②出力、⑤出力、ADCC0TRG0-4、ADCC1TRG0-4 のいずれかを選択する設定値

表 24.70 設定値

レジスタ設定				ENCA0I1
PIC1BREG30				
5	4	3	2	
0	0	0	0	②出力
0	0	0	1	⑤出力
0	0	1	0	ADCC0TRG4
0	0	1	1	ADCC0TRG3
0	1	0	0	ADCC0TRG2
0	1	0	1	ADCC0TRG1
0	1	1	0	ADCC0TRG0
0	1	1	1	ADCC1TRG4
1	0	0	0	ADCC1TRG3
1	0	0	1	ADCC1TRG2
1	0	1	0	ADCC1TRG1
1	0	1	1	ADCC1TRG0

備考 上記以外の設定は、本機能では設定しないでください。

ENCA1

④ TAUD1TINTm 選択

TAUD1TINTm を選択する設定値。TAUD1TINTm を選択する場合は、PIC1BENCSEL410[7] に 1 を設定してください。

表 24.71 設定値

レジスタ設定					出力
PIC1BENCSEL410					
7	3	2	1	0	
1	0	0	0	0	INTTAUD1I0
1	0	0	0	1	INTTAUD1I1
1	0	0	1	0	INTTAUD1I2
1	0	0	1	1	INTTAUD1I3
1	0	1	0	0	INTTAUD1I4
1	0	1	0	1	INTTAUD1I5
1	0	1	1	0	INTTAUD1I6
1	0	1	1	1	INTTAUD1I7
1	1	0	0	0	INTTAUD1I8
1	1	0	0	1	INTTAUD1I9
1	1	0	1	0	INTTAUD1I10
1	1	0	1	1	INTTAUD1I11
1	1	1	0	0	INTTAUD1I12
1	1	1	0	1	INTTAUD1I13
1	1	1	1	0	INTTAUD1I14
1	1	1	1	1	INTTAUD1I15

⑤ TAUD1TINTm、ENCA111 端子選択

④出力と ENCA111 のいずれかを選択する設定値

表 24.72 設定値

レジスタ設定		出力
PIC1BREG30		
21		
1		④出力
0		ENCA111

⑥ ENCA111 選択

②出力、⑤出力、ADCC0TRG0-4、ADCC1TRG0-4 のいずれかを選択する設定値

表 24.73 設定値

レジスタ設定				ENCA111
PIC1BREG30				
15	14	13	12	
0	0	0	0	⑤出力
0	0	0	1	②出力
0	0	1	0	ADCC0TRG4
0	0	1	1	ADCC0TRG3
0	1	0	0	ADCC0TRG2
0	1	0	1	ADCC0TRG1
0	1	1	0	ADCC0TRG0
0	1	1	1	ADCC1TRG4
1	0	0	0	ADCC1TRG3
1	0	0	1	ADCC1TRG2
1	0	1	0	ADCC1TRG1
1	0	1	1	ADCC1TRG0

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能の詳細を、TAUDnTINTm をキャプチャトリガ信号として選択した場合を例として説明します。

下図にタイミング図を示します。

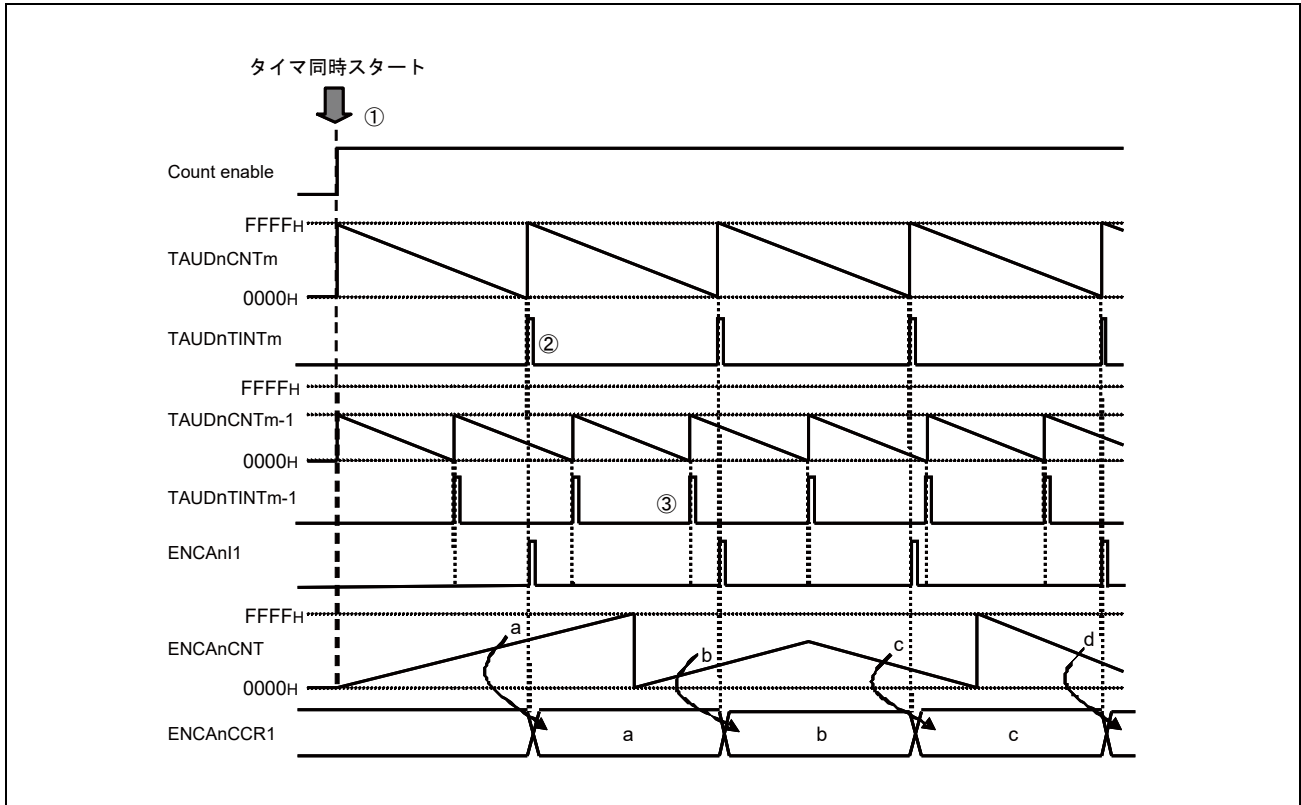


図 24.31 エンコーダキャプチャトリガ選択 (TAUDnTINTm)

(1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。

TAUDnTINTm の有効エッジ発生により、ENCAAn は ENCAAnCNT をキャプチャします。

「24.3.3.1 ADCC トリガ選択機能」で、ENCAAn の割り込みトリガ信号 (INTENCATnI1) を ADCCn のトリガとして選択しないでください。選択した場合、「ADCCnTRG1 発生 → ENCAAn キャプチャ動作 → キャプチャ実行による INTENCAnI1 発生 → ADCCnTRG1 発生」のループが成立してしまい、正常動作できなくなります。

PIC1B、PIC2D、ENCA_n のループ経路を以下に示します。

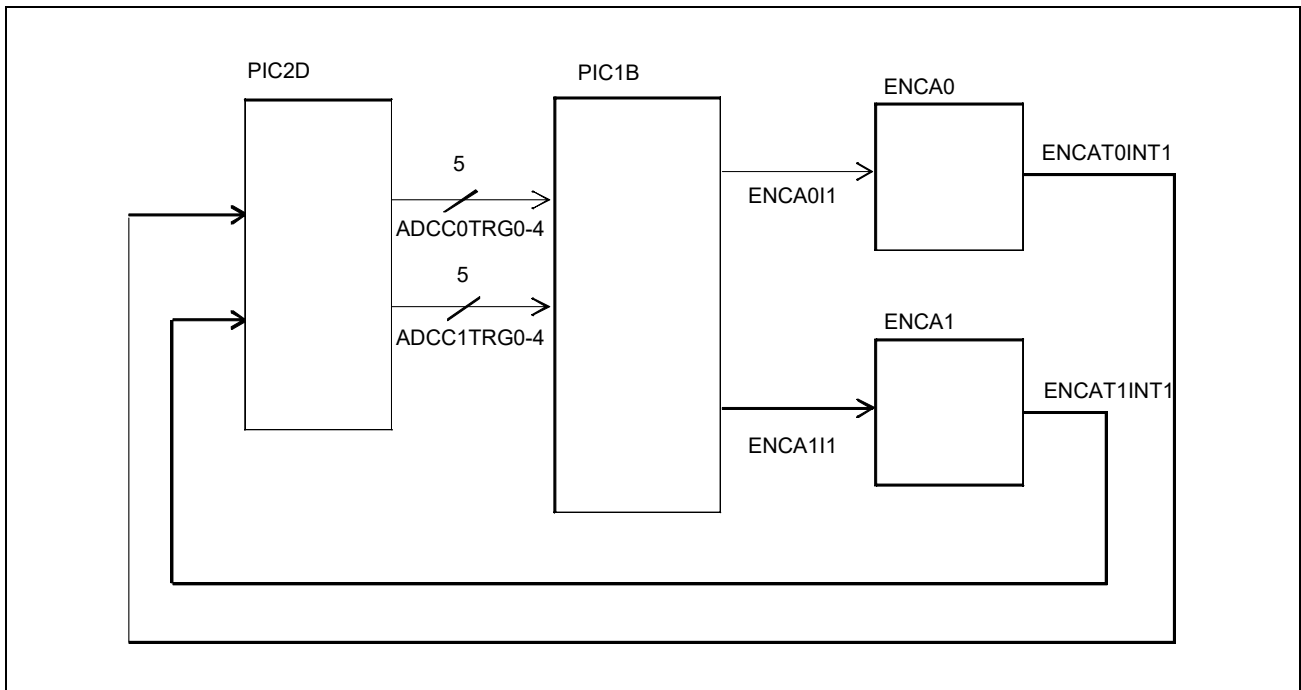


図 24.32 PIC1B, PIC2D, ENCA_n のループ経路

(5) フローチャート

エンコード開始前にエンコーダキャプチャトリガ選択を行ってください。

本機能を行う場合、ENCA_n は下記の設定を行います。

$ENCA_nCTL[15:0] = 0000_001x_000x_xxxx_B$

$ENCA_nIOC0[7:0] = 0000_01xx_B$

$ENCA_nIOC1[7:0] = (\text{任意})$

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

24.2.3.8 2 相エンコーダ制御機能 (制御方式 1)

(1) 概要

2 相エンコーダ制御機能 (ENCA_n) を使って、モータ制御機能 (TSG3_n) 120-DC モードの出力パターンを切り替える機能です。

(2) 構成

ENCA_n および TSG3_n と PIC1B を組み合わせることで、エンコーダ結果により 120-DC モードの出力パターンを切替える機能を実現します。2 相エンコーダ制御機能 (制御方式 1) のブロック図を以下に示します。

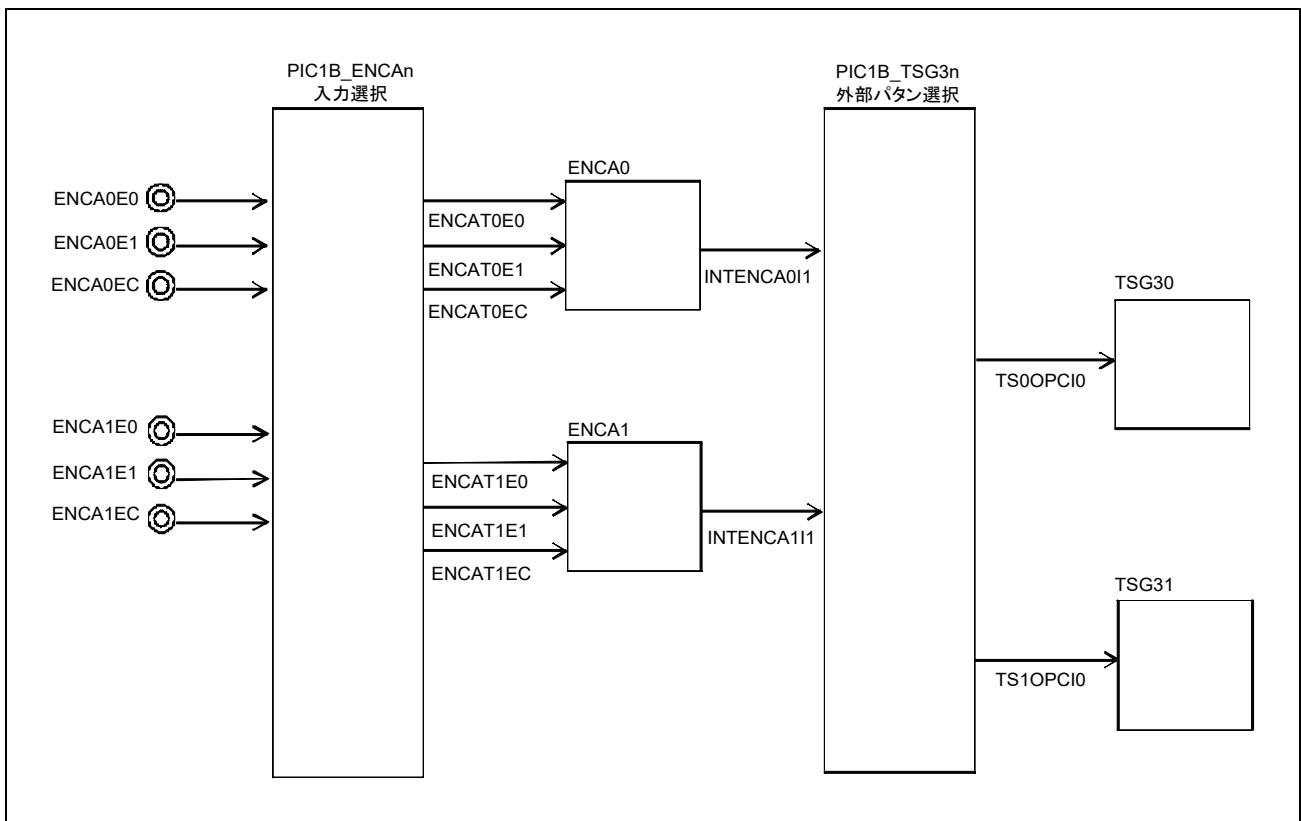


図 24.33 2 相エンコーダ制御機能 (制御方式 1) ブロック図

2 相エンコーダ制御機能 (制御方式 1) の構成を説明します。

- [PIC1B_ENCA_n 入力選択]
ENCA_nE0, E1, EC 端子入力を選択して、ENCAT_nE0, E1, EC に出力します。
- [ENCA_n]
2 相エンコーダ処理を行い、INTENCA_nI1 を出力します。
- [PIC1B_TSG3_n 外部パターン選択]
INTENCA_nI1 を選択して、TS0OPCI0 または TS1OPCI0 に出力します。
- [TSG3_n]
TSG3_nOPCI0 により、120-DC モードの出力パターンを切り替えます。

(3) レジスタ

本機能で使用する PIC1B のレジスタ設定値を以下に示します。

PIC1B_ENCA_n 入力選択

ENCA_n 端子入力 (ENCA_nE0, ENCA_nE1, ENCA_nEC) を ENCA_{Tn}E0, ENCA_{Tn}E1, ENCA_{Tn}EC として出力するための設定値

PIC1BREG30[22] = 0_B

PIC1BREG30[20:19] = 00_B

PIC1BREG30[17:16] = 00_B

PIC1BREG30[11:6] = 000000_B

PIC1BREG30[1:0] = 00_B

PIC1B_TSG3_n 外部パタン選択

TSG30 の外部パタン入力とする割り込み要求信号を選択する設定値

表 24.74 設定値

レジスタ設定				TS0OPCI0
PIC1BREG50				
10	8	6	5	
X	0	0	1	INTENCA0I1
0	X	1	0	INTENCA1I1

備考 上記以外の設定は、本機能では設定しないでください。

TSG31 の外部パタン入力とする割り込み要求信号を選択する設定値

表 24.75 設定値

レジスタ設定				TS1OPCI0
PIC1BREG51				
10	8	6	5	
X	0	0	1	INTENCA0I1
0	X	1	0	INTENCA1I1

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能の詳細を、アップカウント（正転）時を例に説明します。

下図にタイミング図を示します。

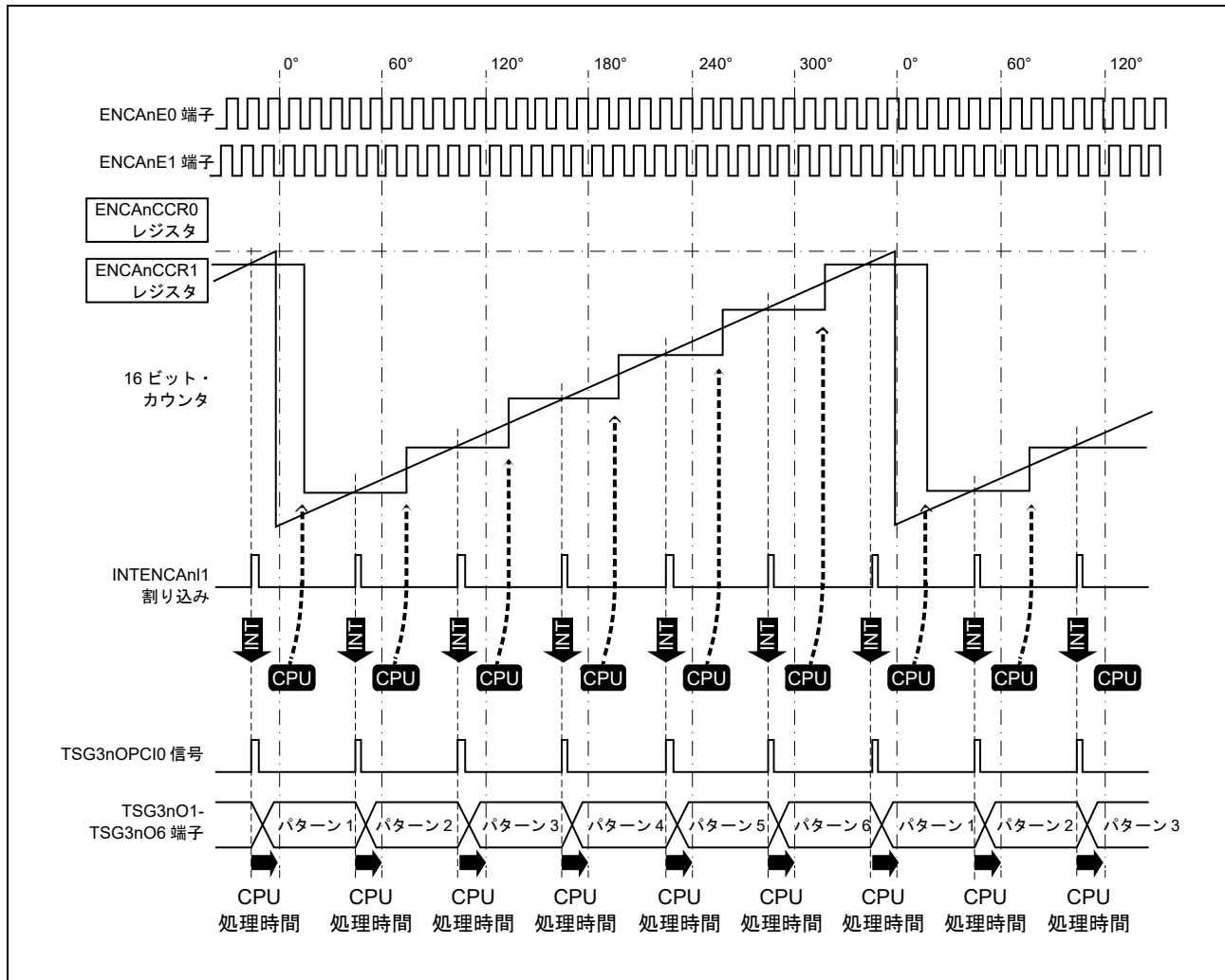


図 24.34 2相エンコーダ制御機能（制御方式1）アップカウント（正転）

- (1) エンコーダカウント値が ENCAAnCCR1 と一致すると、INTENCAAn1 が発生し、設定したパターンを TSG3nO1-6 端子から出力します。
- (2) 割り込み処理にて CPU が次のパタン切り替えタイミングを算出し、ENCAAnCCR1 を設定します。
- (3) エンコーダカウント値が ENCAAnCCR0 と一致すると、エンコーダカウンタをクリアします。

注 意

ENCAAnCCR1 はパタン切り替えごと（INTENCAAn1 ごと）に設定する必要があります。

エンコーダクリア入力によるクリアがないため、ENCAAnCCR1 の設定値と TSG3n 初期出力パターンをあらかじめ合わせてください。

パタンの正転、逆転の切り替えは、TSG3nOPT0 レジスタの TSG3nPSC ビットで設定してください。

下図に、ダウンカウント（逆転）時のタイミング図を示します。

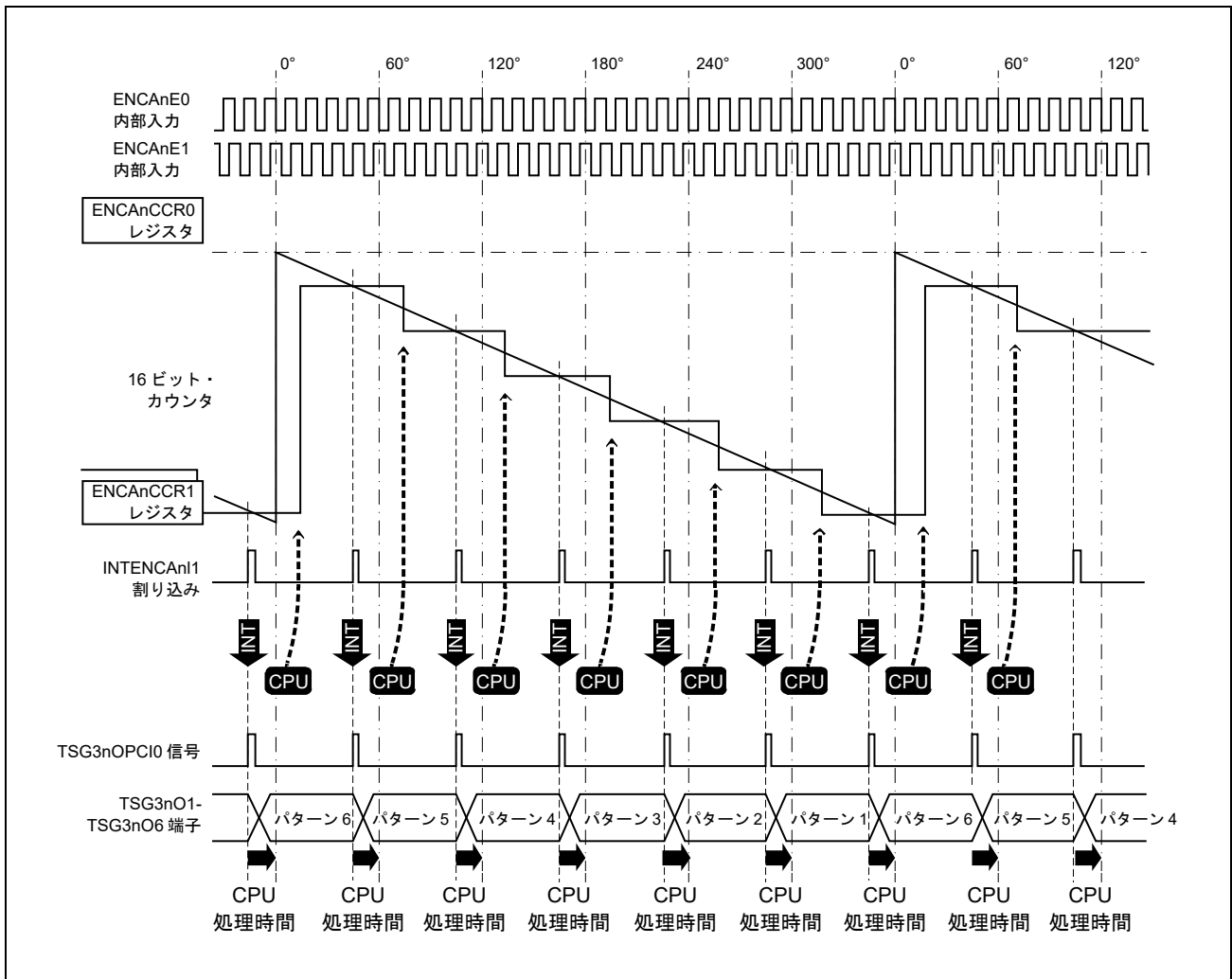


図 24.35 2相エンコーダ制御機能（制御方式1）ダウンカウント（逆転）

(5) フローチャート

本機能のフローチャートを以下に示します。

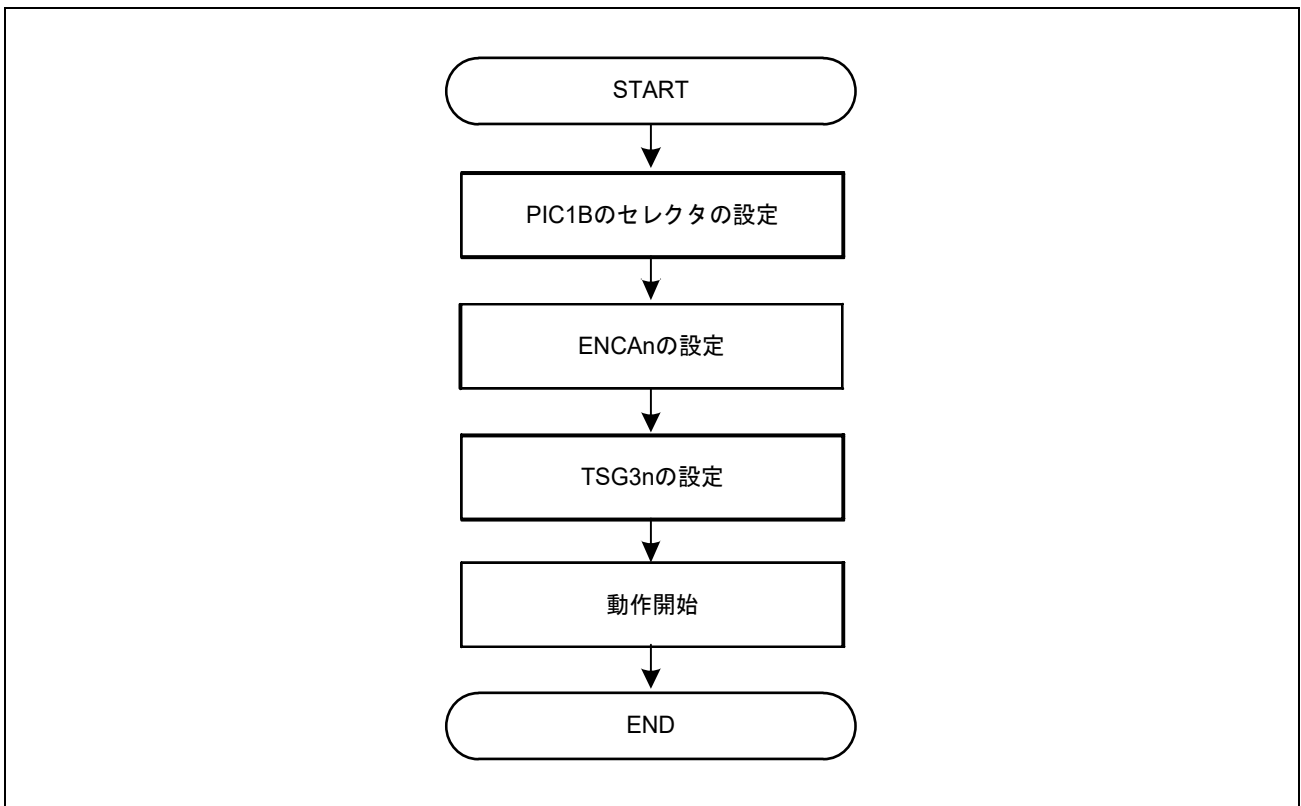


図 24.36 設定フロー

割り込み処理後のフローチャートを以下に示します。

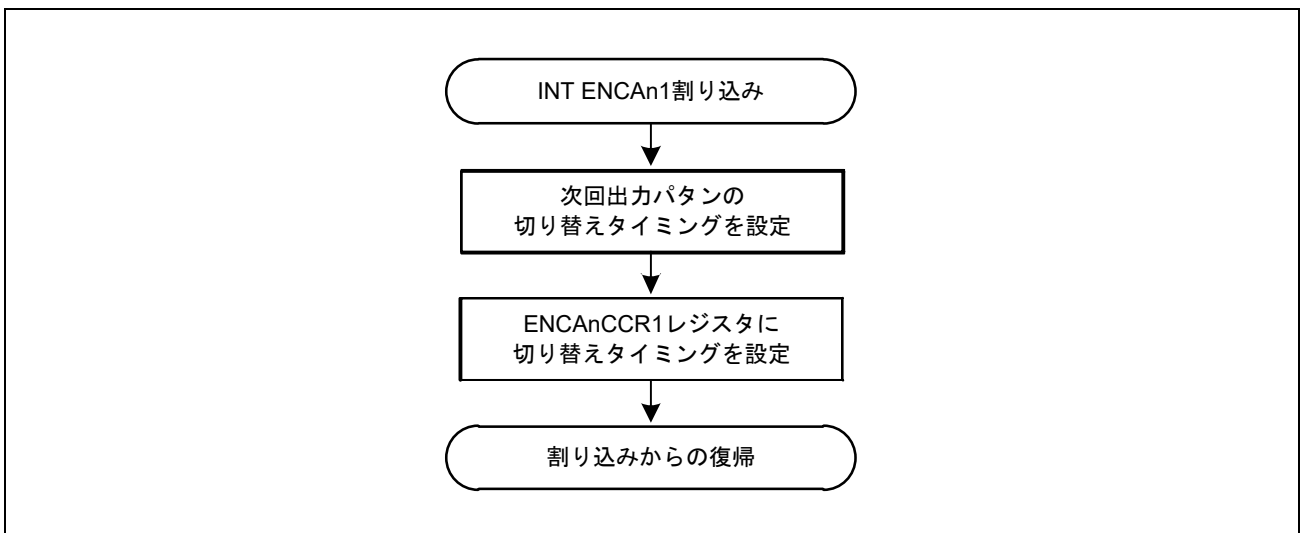


図 24.37 割り込み処理後のフロー

本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000_0000_000x_01xx_B

ENCA_nIOC1[7:0] = 0000_00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x_0011_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3_nIOC0[7:0] = 0111_1110_B

TSG3_nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3_nOPT0[7:0] = 0011_1xx0_B

TSG3_nOPT1[7:0] = 0000_0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W, 5W, 9W = (任意)

TSG3_nCMP1, 5, 9 = (任意)

TSG3_nPAT0W, 1W = (任意)

TSG3_nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、「**第 20 章 モータコントロールタイマ (TSG3)**」を参照。

24.2.3.9 2 相エンコーダ制御機能 (制御方式 2)

(1) 概要

2 相エンコーダ制御機能 (ENCA_n) を使って、モータ制御機能 (TSG3_n) の 120-DC モードの出力パターンを進み/遅れ制御により切り替える機能です。

(2) 構成

構成については、「24.2.3.8 2 相エンコーダ制御機能 (制御方式 1)」と同一です。

「24.2.3.8 2 相エンコーダ制御機能 (制御方式 1)」の (2)構成を参照してください。

(3) レジスタ

レジスタについては、「24.2.3.8 2 相エンコーダ制御機能 (制御方式 1)」と同一です。

「24.2.3.8 2 相エンコーダ制御機能 (制御方式 1)」の (3)レジスタを参照してください。

(4) 機能

本機能の詳細を、進み時 (正転) を例に説明します。

下図にタイミング図を示します。

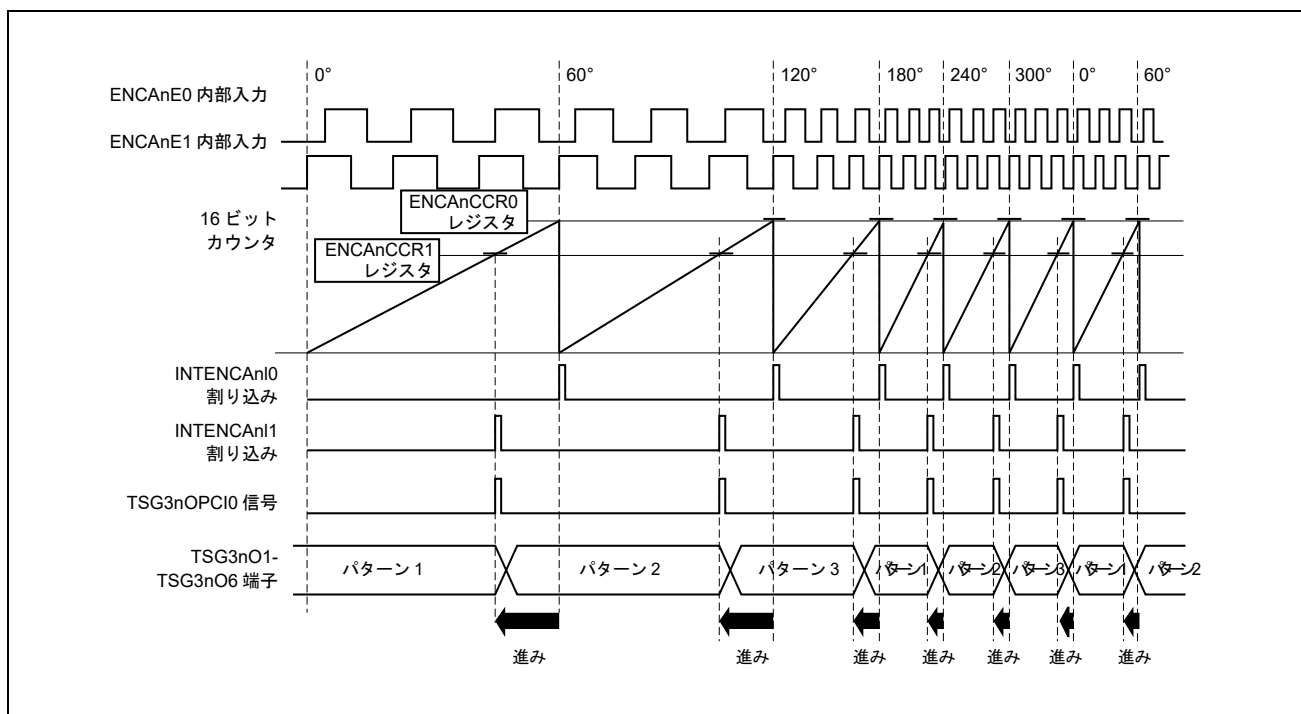


図 24.38 2 相エンコーダ制御機能 (制御方式 2) 進み時 (正転)

- (1) エンコーダカウント値が、ENCA_nCCR1 (TSG3_n の出力パタンの切り替え位置に相当) と一致すると、INTENCA_nI1 が発生し、設定したパターンを TSG3_nO1-6 端子から出力します。
- (2) エンコーダカウント値が、ENCA_nCCR0 (切り替え位置の位相 (進み、遅れ) に相当) と一致すると、INTENCA_nI0 が発生し、エンコーダカウンタをクリアします。

注 意

ENCA_nCCR1 の値を変更する場合は、INTENCA_nI1 割り込みで値を書き換えます。

エンコーダクリア入力によるクリアがないため、ENCA_nCCR0 の設定値と TSG3_n の初期出力パターンをあらかじめ合わせてください。

パタンの正転、逆転の切り替えは、TSG3_nOPT0 レジスタの TSG3_nPSC ビットで設定してください。

下図に、遅れ時（正転）のタイミング図を示します。

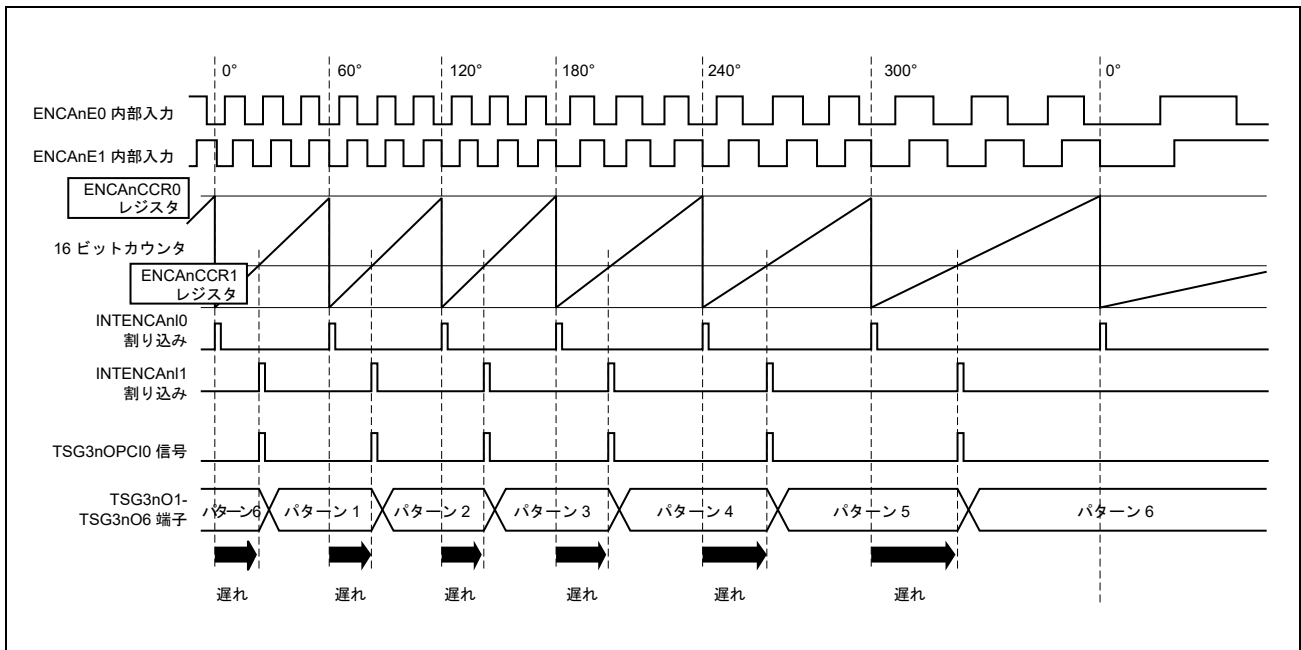


図 24.39 2相エンコーダ制御機能（制御方式 2）遅れ時（正転）

ENCA_nCCR1 の値を ENCA_nCCR0 より大きい値を設定することで TSG3_n の出力パタンの位相を遅れさせることができます。

備 考

本機能は、ENCA のカウンタは進み時、遅れ時ともにアップカウント/ダウンカウントのどちらでも使用可能です。

(5) フローチャート

以下に本機能のフローチャートを示します。

メイン処理を以下に示します。

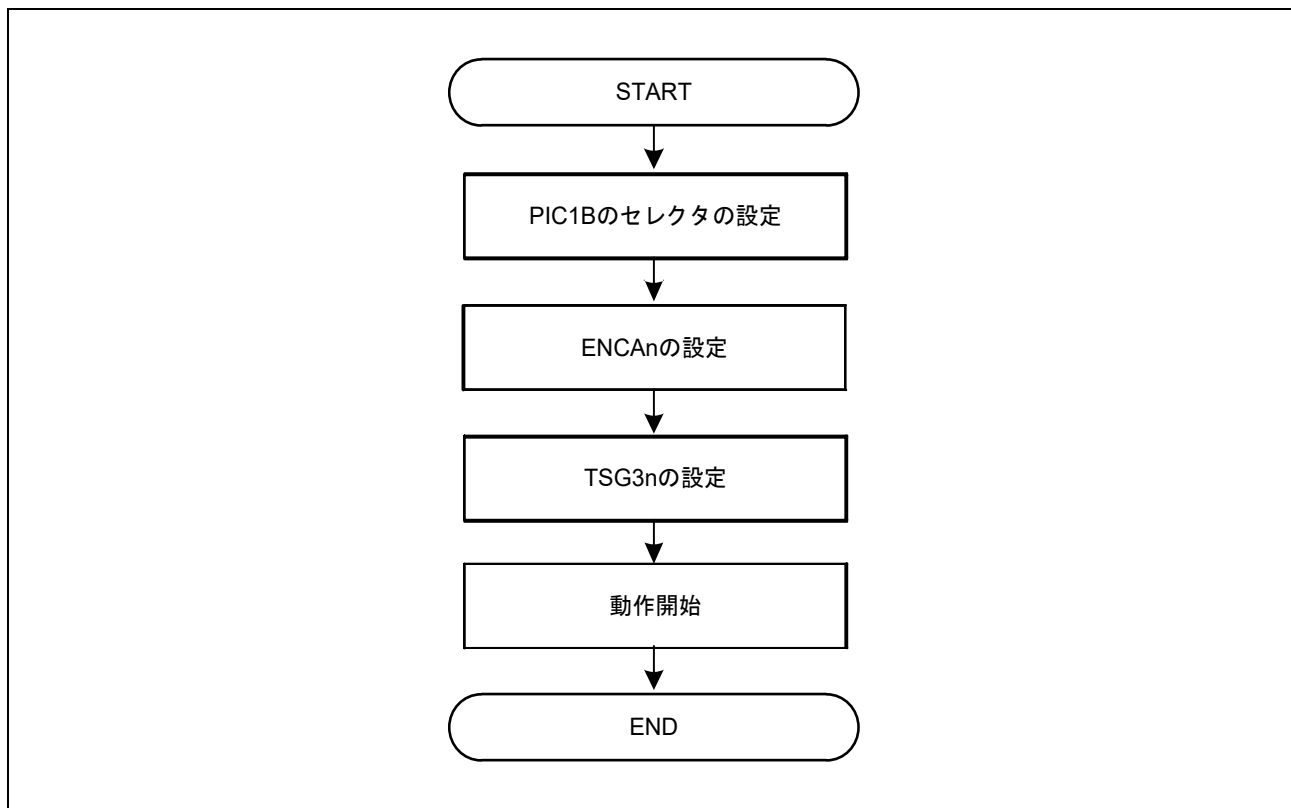


図 24.40 設定フロー

進み時の ENCA_nCCR1 書き換え処理を以下に示します。

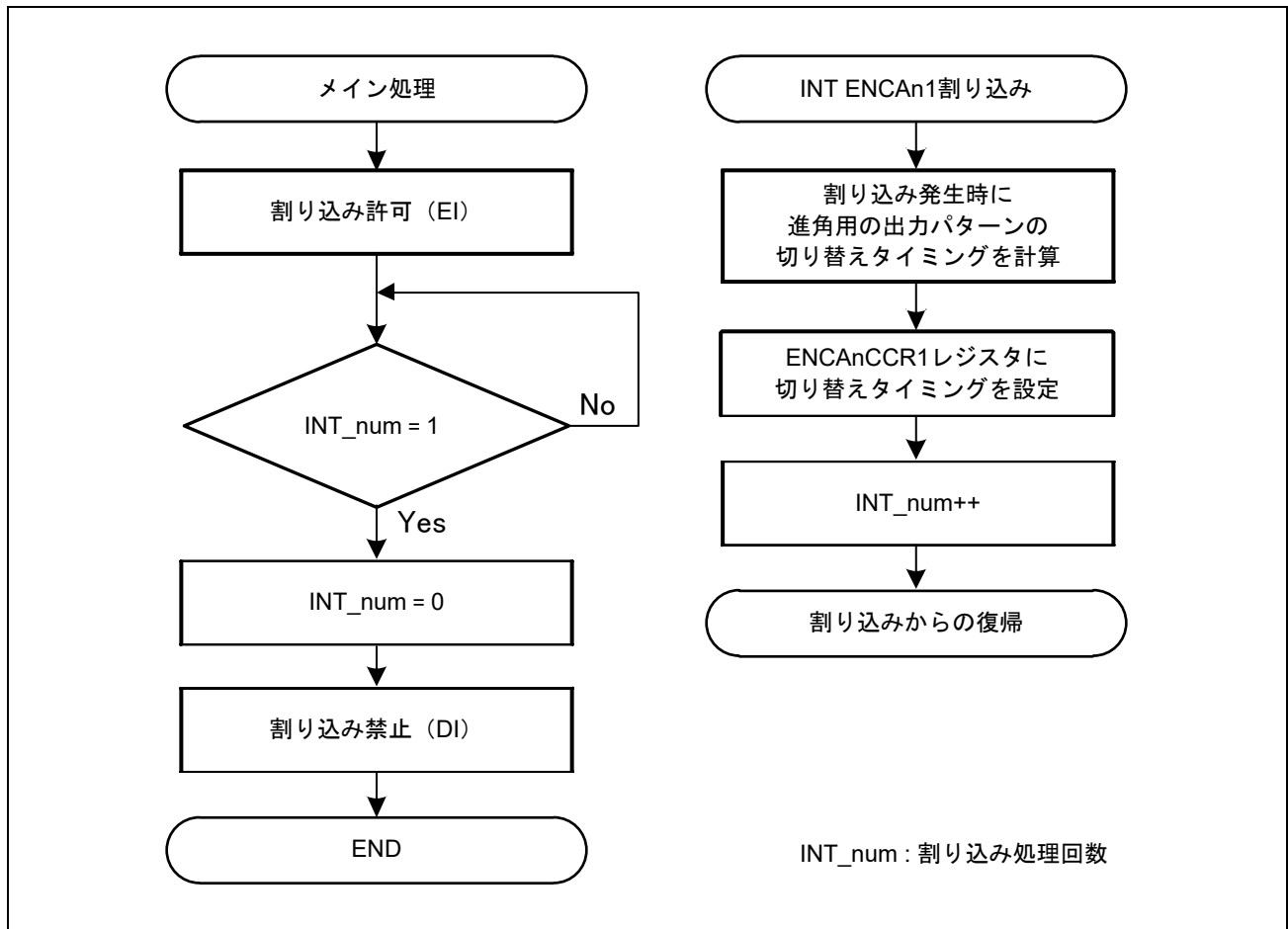


図 24.41 進み時の ENCA_nCCR1 書き換え処理 (設定フロー)

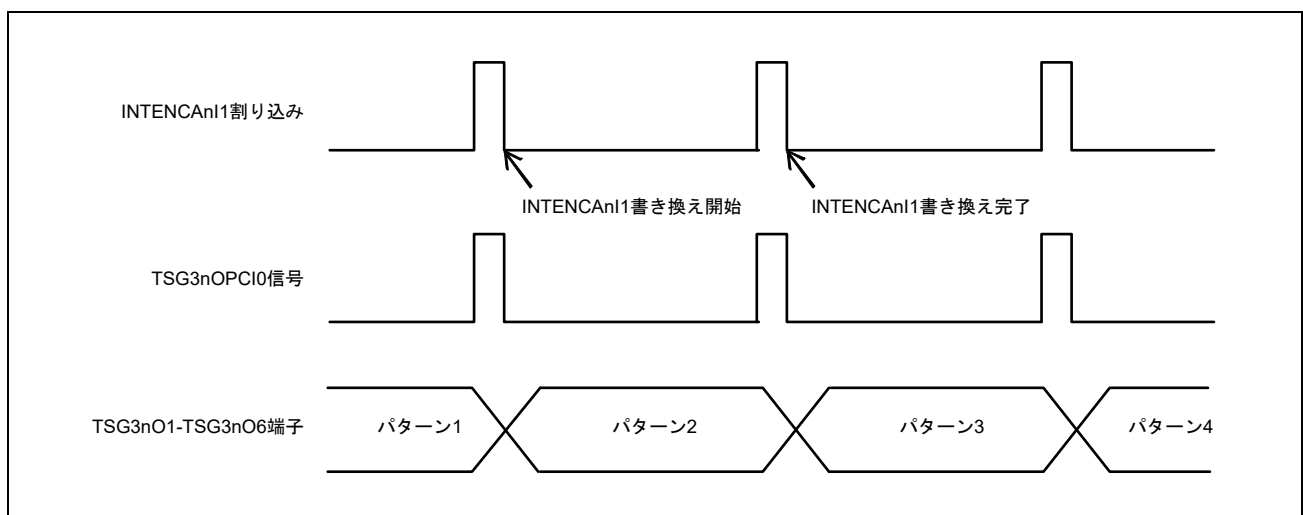


図 24.42 進み時の ENCA_nCCR1 書き換え処理 (タイミング)

遅れ時の ENCA_nCCR1 書き換え処理を以下に示します。

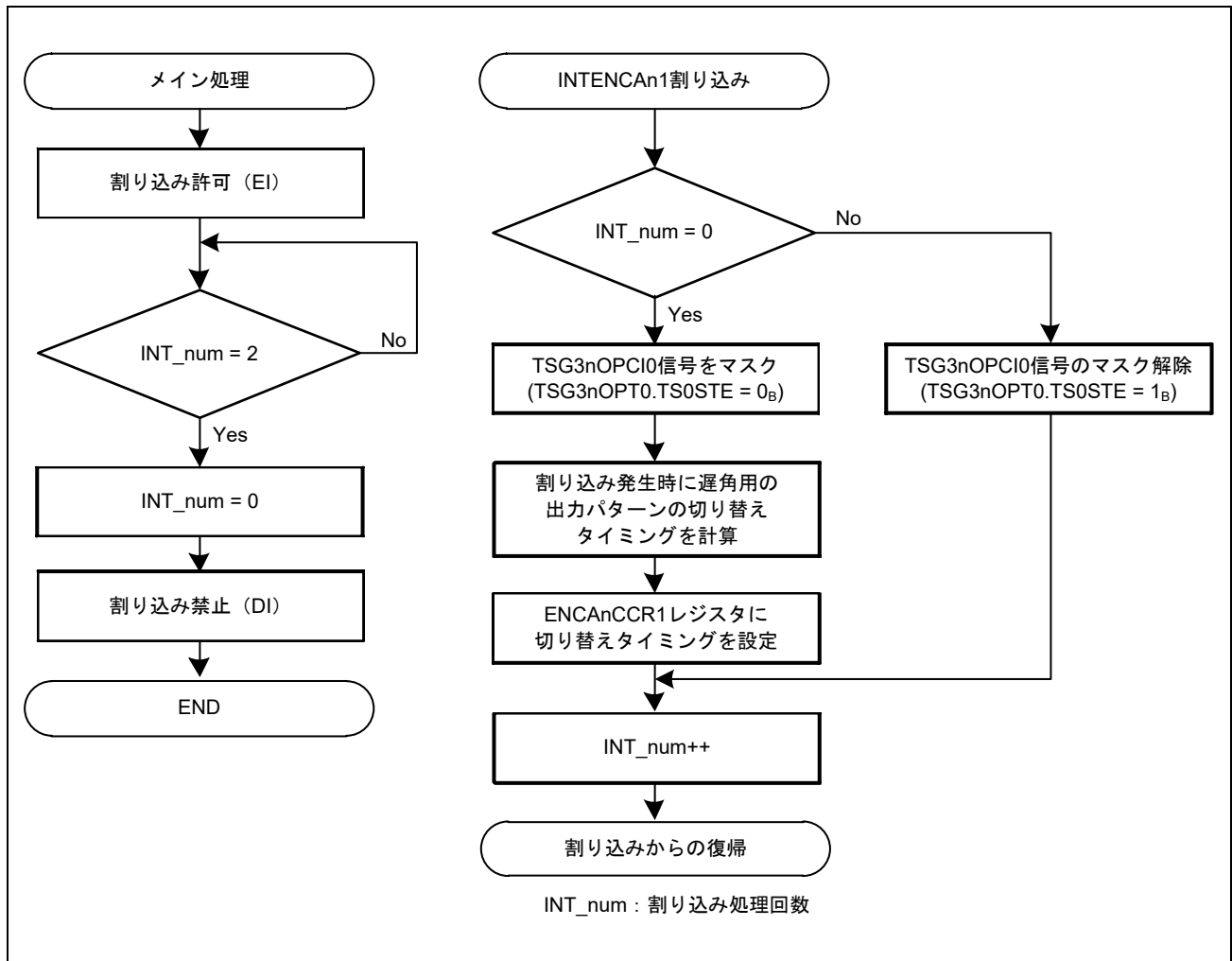


図 24.43 遅れ時の ENCA_nCCR1 書き換え処理 (設定フロー)

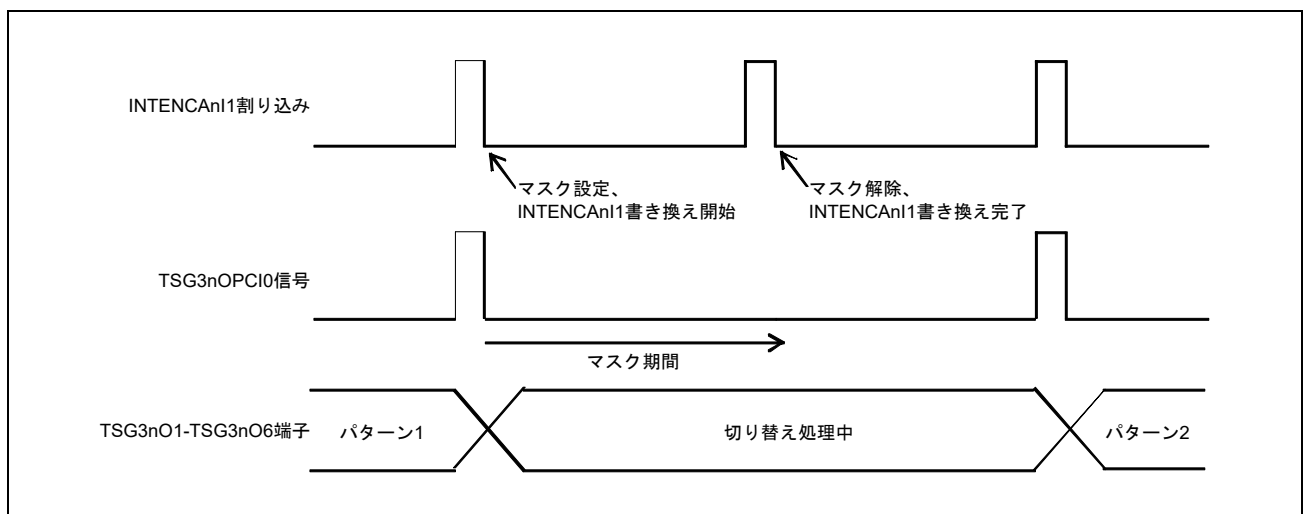


図 24.44 遅れ時の ENCA_nCCR1 書き換え処理 (タイミング)

本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000_0000_000x_01xx_B

ENCA_nIOC1[7:0] = 0000_00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x_0011_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3_nIOC0[7:0] = 0111_1110_B

TSG3_nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3_nOPT0[7:0] = 0011_1xx0_B

TSG3_nOPT1[7:0] = 0000_0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1_{W, 5W, 9W} = (任意)

TSG3_nCMP1_{1, 5, 9} = (任意)

TSG3_nPAT0_{W, 1W} = (任意)

TSG3_nDTC0_{W, 1W} = (任意)

x は任意設定。レジスタ仕様については、「**第 20 章 モータコントロールタイマ (TSG3)**」を参照。

24.2.3.10 2 相エンコーダ制御機能 (制御方式 3)

(1) 概要

2 相エンコーダ制御機能 (ENCA_n) を使って、ENCA0, ENCA1 が示すモータの回転角度に対し、任意の角度位相 (最大±60 度) 分を可変したパタン出力制御を行う機能です。

(2) 構成

ENCA_n および TSG3_n と PIC1B を組み合わせることで、任意の角度位相分を可変した 120-DC モードのパタン出力制御機能を実現します。2 相エンコーダ制御機能 (制御方式 3) のブロック図を以下に示します。

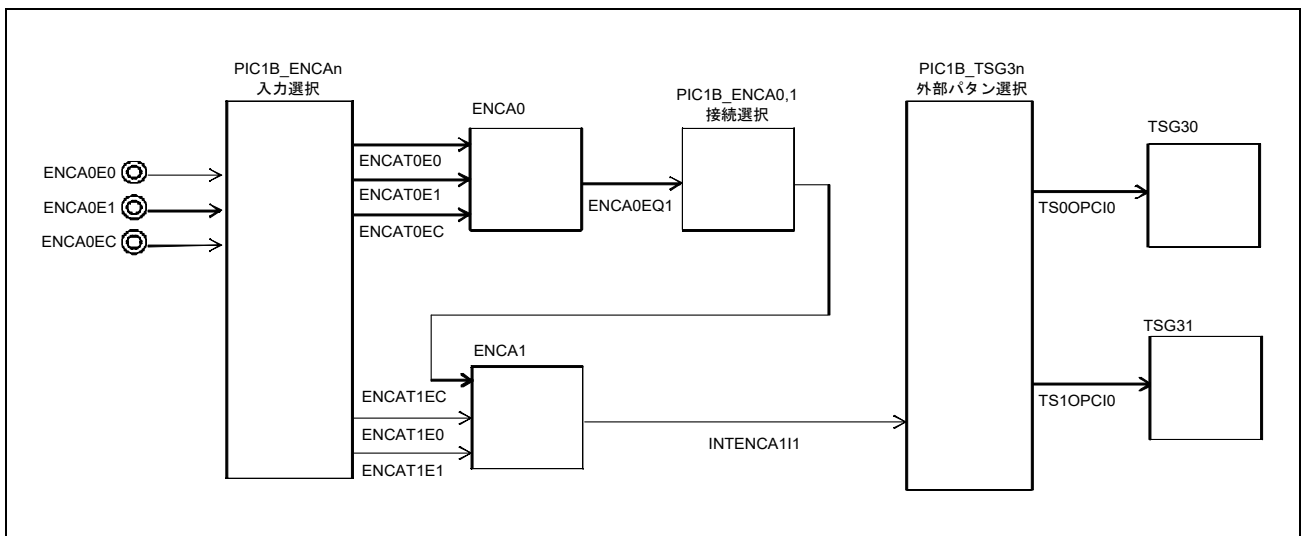


図 24.45 2 相エンコーダ制御機能 (制御方式 3) ブロック図

2 相エンコーダ制御機能 (制御方式 3) の構成を説明します。

- [PIC1B_ENCA_n 入力選択]
ENCA0E0, E1, EC 端子入力を選択して、ENCAT_nE0, E1, EC に出力します。
- [ENCA0]
2 相エンコーダ処理を行い、ENCA0EQ1 を出力します。
- [PIC1B_ENCA0,1 接続選択]
ENCA0EQ1 を選択して、ENCAT1EC に出力します。
- [ENCA1]
2 相エンコーダ処理を行い、INTENCA1I1 を出力します。ENCAT1EC にアクティブレベルの信号が入力された場合は、タイマカウント値をクリアします。
- [PIC1B_TSG3_n 外部パタン選択]
INTENCA1I1 を選択して、TSG3_nOPCI0 に出力します。
- [TSG3_n]
TSG3_nOPCI0 により、120-DC モードの出力パターンを切り替えます。

(3) レジスタ

下図に PIC1B のブロック図を示します。

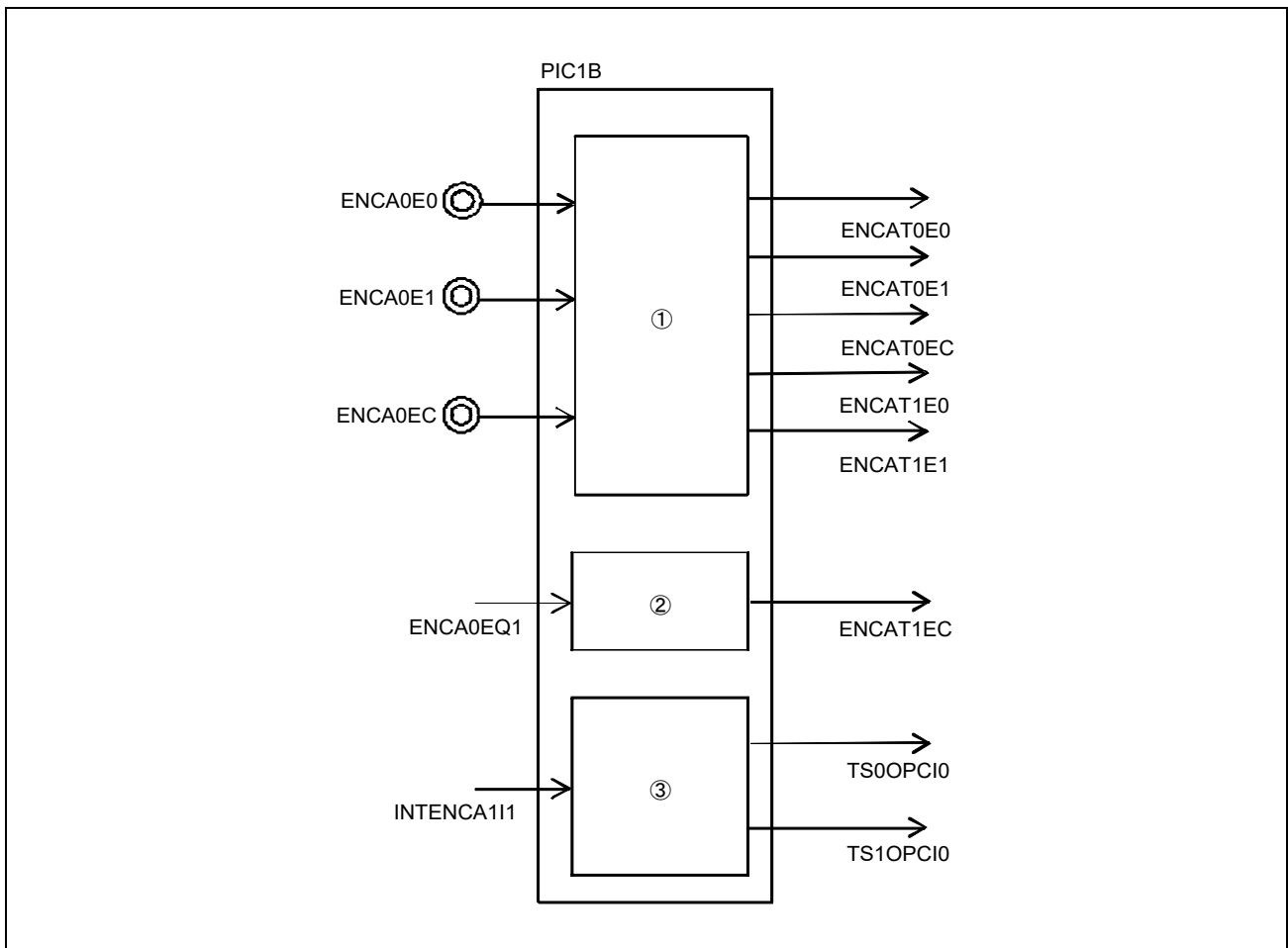


図 24.46 PIC1B ブロック図

本機能で使用する PIC1B のレジスタ設定値を以下に示します。

① PIC1B_ENCA_n 入力選択

PIC1BREG30[22] = 0_B

PIC1BREG30[17:16] = 00_B

PIC1BREG30[9:6] = 0101_B

PIC1BREG30[1:0] = 00_B

② PIC1B_ENCA0, 1 接続選択

PIC1BREG30[11:10] = 11_B

③ PIC1B_TSG3_n 外部パタン選択

PIC1BREG5_n[10] = 0_B

PIC1BREG5_n[6:5] = 10_B

(n = 0 は TSG30 選択、n = 1 は TSG31 選択した場合の設定値です)

(4) 機能

本機能の詳細を、2相エンコーダ制御機能（制御方式3）正転、進み制御を例に説明します。

下図にタイミング図を示します。

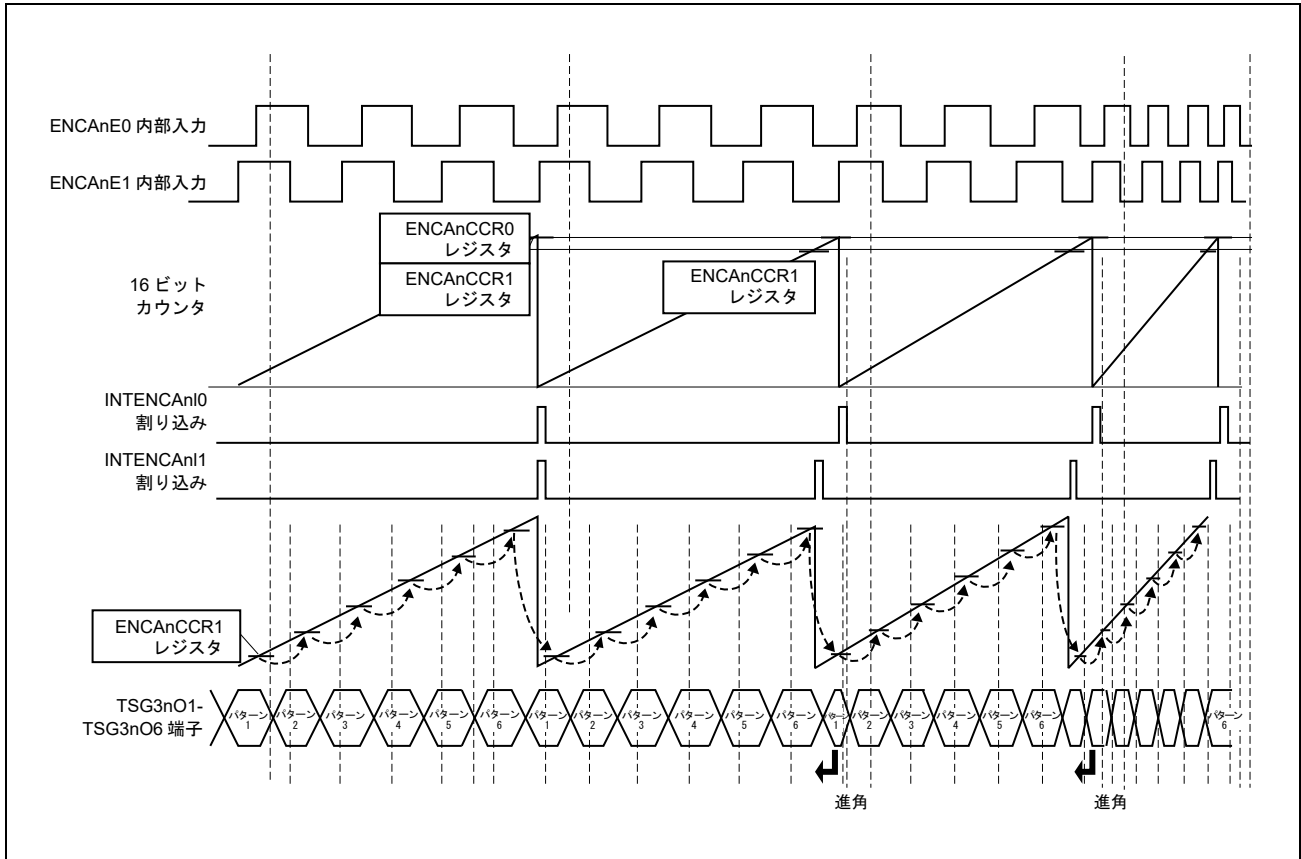


図 24.47 2相エンコーダ制御機能（制御方式3）進み時（正転）

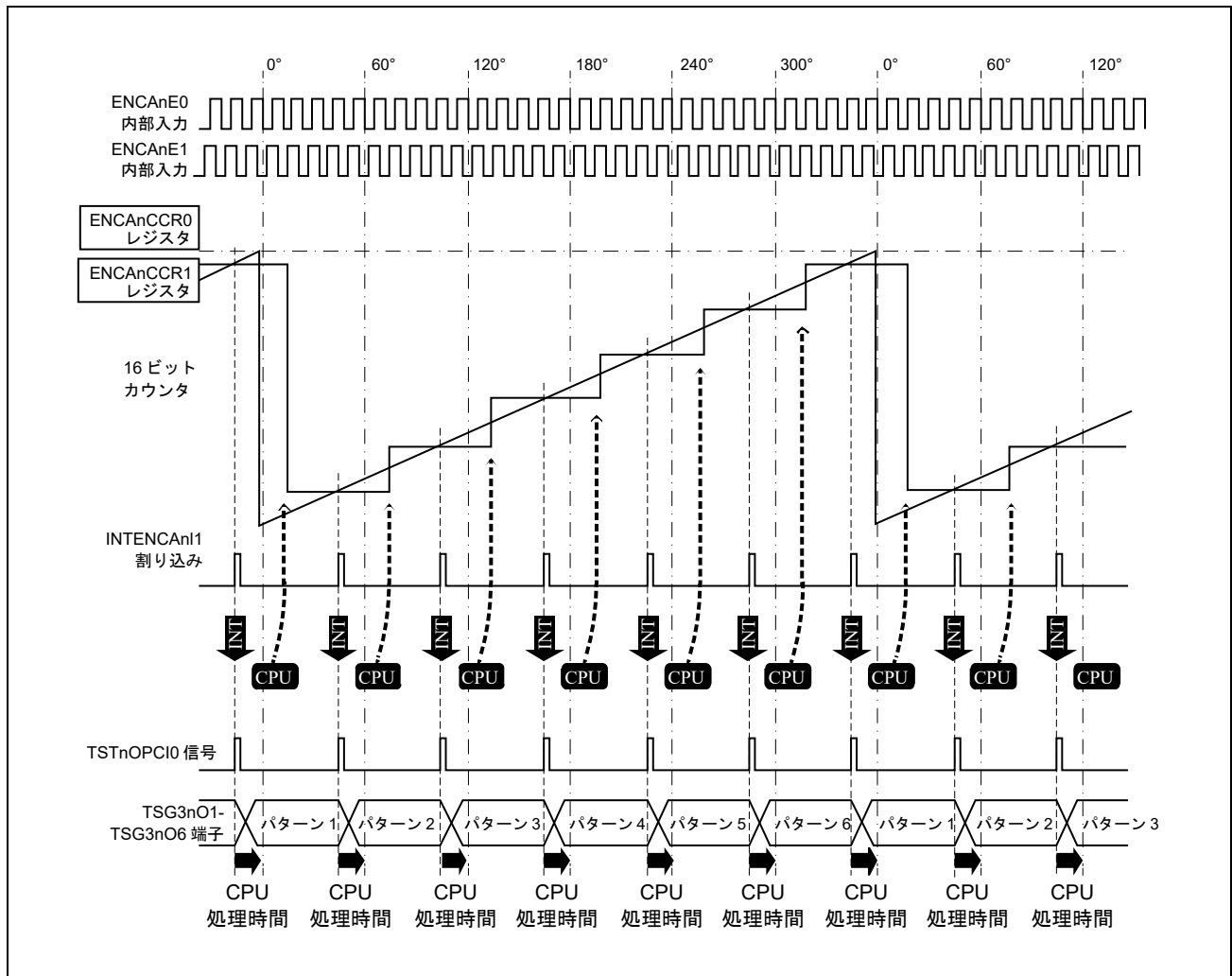


図 24.48 TSG3n 出力パターン制御 (ENCA1) (正転)

- (1) ENCA0 のエンコーダカウンタ値が、ENCA0CCR1 と一致すると、INTENCA0I1 が発生し、ENCA1 のエンコーダカウンタ値がクリアされます。
- (2) ENCA1 のエンコーダカウンタ値が、ENCA1CCR1 と一致すると、INTENCA1I1 が発生し、設定したパターンを TSG3nO1-6 端子から出力します。
- (3) ENCA0 のエンコーダカウンタ値が、ENCA0CCR0 と一致すると、INTENCA0I0 が発生し、エンコーダカウンタをクリアします。

(5) フローチャート

本機能のフローチャートを以下に示します。

メイン処理を以下に示します。

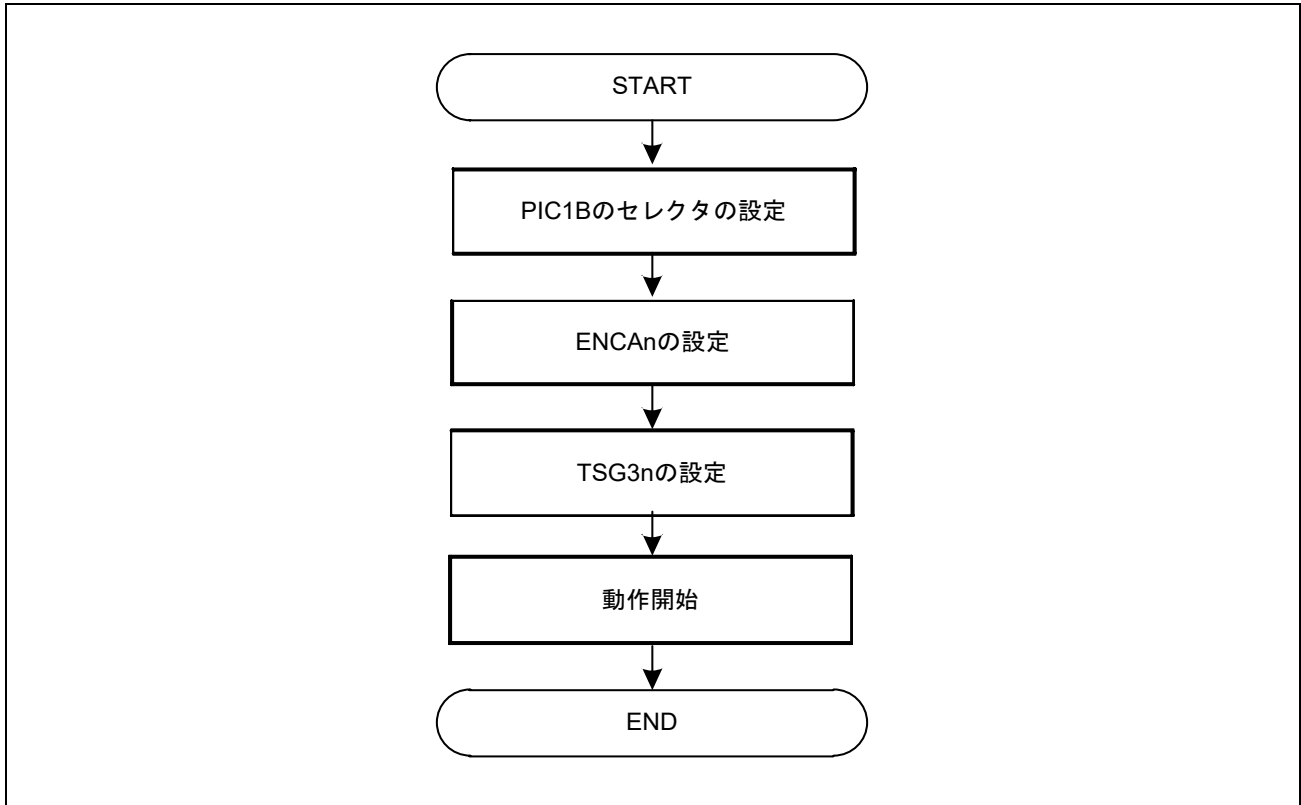


図 24.49 設定フロー

進み時の ENCA_nCCR1 書き換え処理を以下に示します。

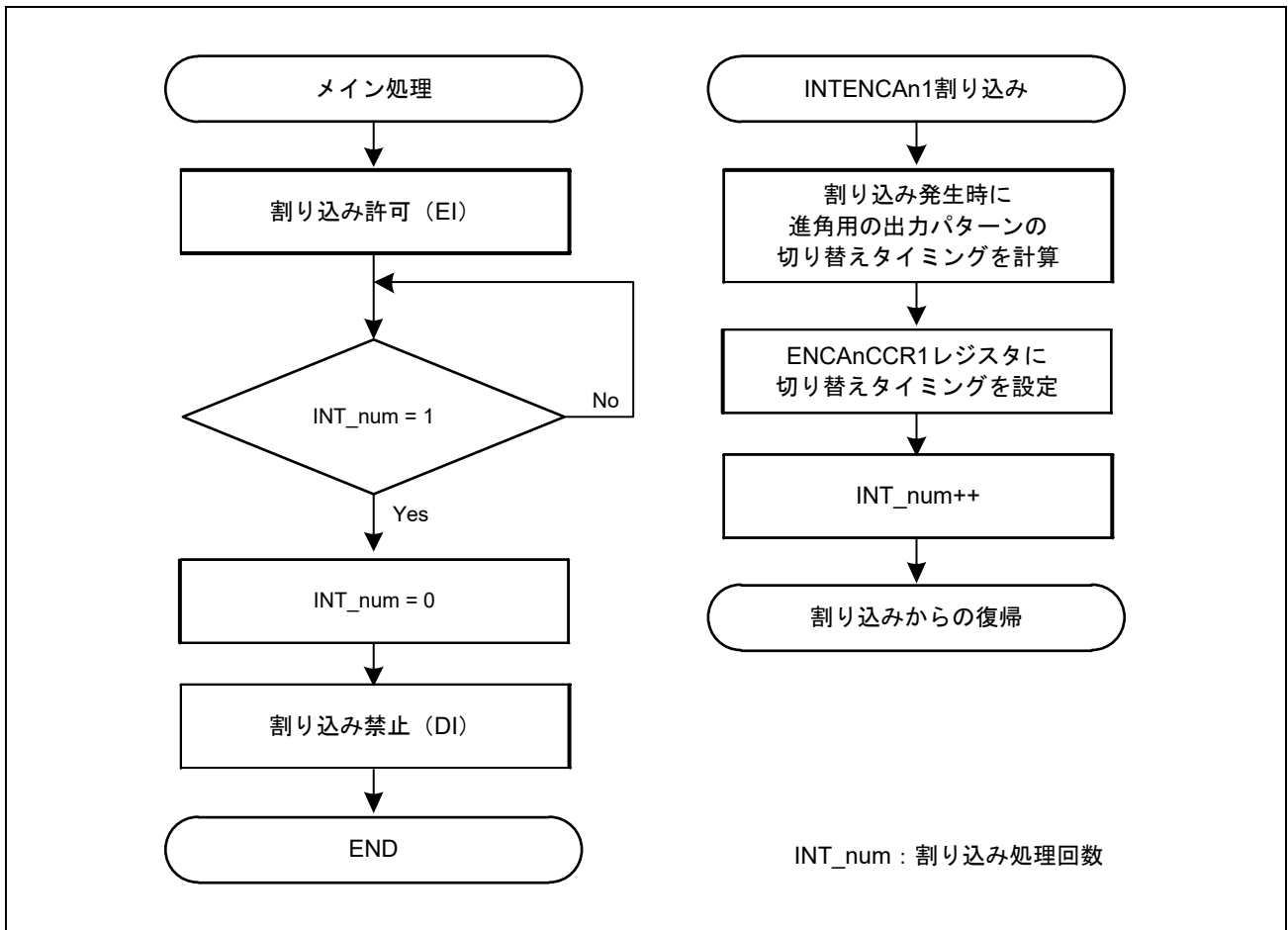


図 24.50 進み時の ENCA_nCCR1 書き換え処理

遅れ時の ENCA_nCCR1 書き換え処理を以下に示します。

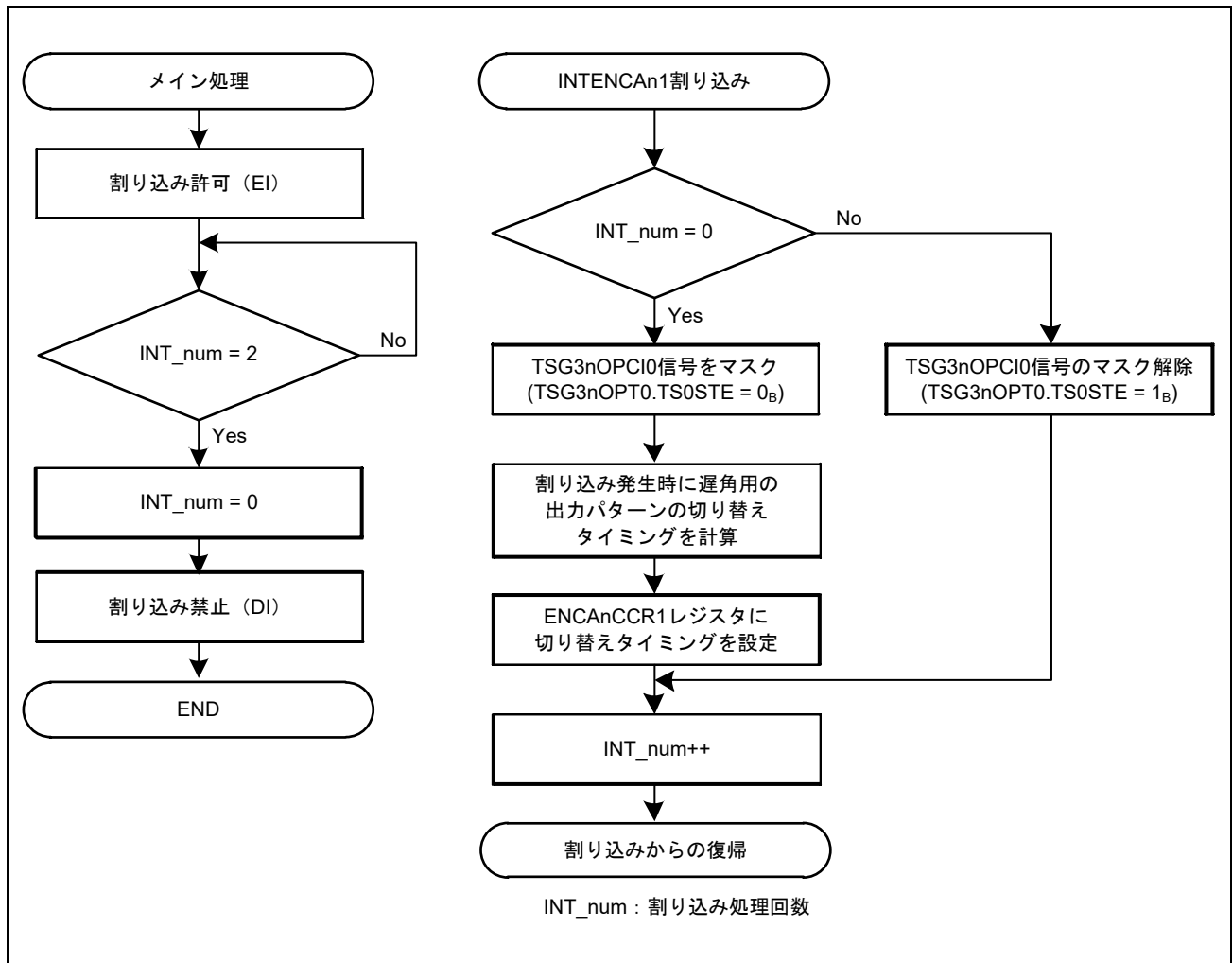


図 24.51 遅れ時の ENCA_nCCR1 書き換え処理

本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000_0000_000x_01xx_B

ENCA_nIOC1[7:0] = 0000_00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x_0011_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3_nIOC0[7:0] = 0111_1110_B

TSG3nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3nOPT0[7:0] = 0011_1xx0_B

TSG3nOPT1[7:0] = 0000_0xxx_B

TSG3nCMP0 = (任意)

TSG3nCMP1W, 5W, 9W = (任意)

TSG3nCMP1, 5, 9 = (任意)

TSG3nPAT0W, 1W = (任意)

TSG3nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、「第 20 章 モータコントロールタイマ (TSG3)」を参照。

24.2.3.11 3 相パルス入力制御機能

(1) 概要

TSG3n と TAUDn を使って、TSG3n 120-DC モードのパタン出力の位相可変制御を行う機能です。

3 相パルス入力制御の制御方法について以下に示します。

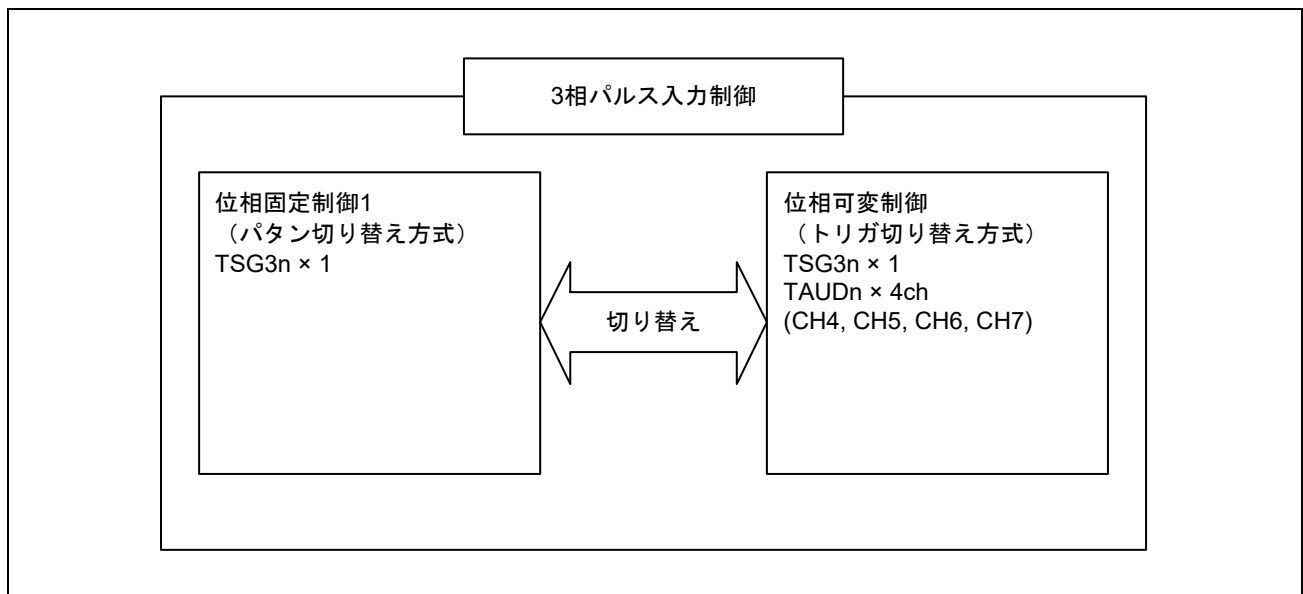


図 24.52 3 相パルス入力制御 制御方式

表 24.76 3 相パルス入力制御の制御方式と機能

制御方式	機能
位相固定制御 1 (パタン切り替え方式)	一定の回転角度に固定したパタンを出力
位相可変制御 (トリガ切り替え方式)	回転角度に対し、任意の角度 (時間) 位相 (最大±60 度) を可変したパタンを出力

(2) 構成

3 相パルス入力、TAUDn のオフセットトリガモードと PIC1B を組み合わせることで、3 相パルス入力制御機能を実現します。3 相パルス入力制御機能のブロック図を以下に示します。

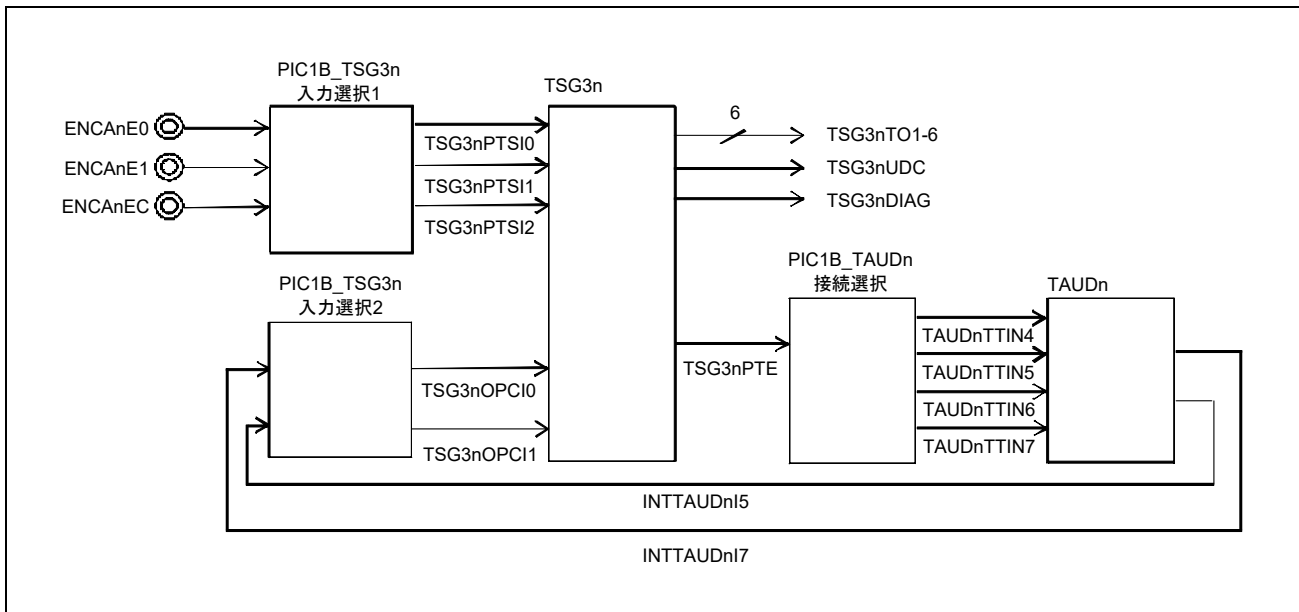


図 24.53 3 相パルス入力制御機能ブロック図

構成を以下に説明します。

- [PIC1B_TSG3n 入力選択 1]
ENCA nE0, E1, EC 端子入力を選択して、TSG3nPTSIO-2 に出力します。
- [TSG3n]
TSG3nPTSIO-2 の信号に応じ、TSG3nTO1-6 に対し設定されたパターンを出力します。また、出力されるパターンが切り替わるごとに、TSG3nPTE を反転します。
- [PIC1B_TAUDn 接続選択]
TSG3nPTE 入力を選択し、TAUD nTTIN4-7 に出力します。
- [TAUDn]
オフセットトリガモードにて出力パターン位相生成用の割り込み INTTAUD nI5、INTTAUD nI7 を出力します。
- [PIC1B_TSG3n 入力選択 2]
INTTAUD nI5、INTTAUD nI7 入力を選択し、TSG3nOPCI0-1 を出力します。

(3) レジスタ

下図に PIC1B のブロック図を示します。

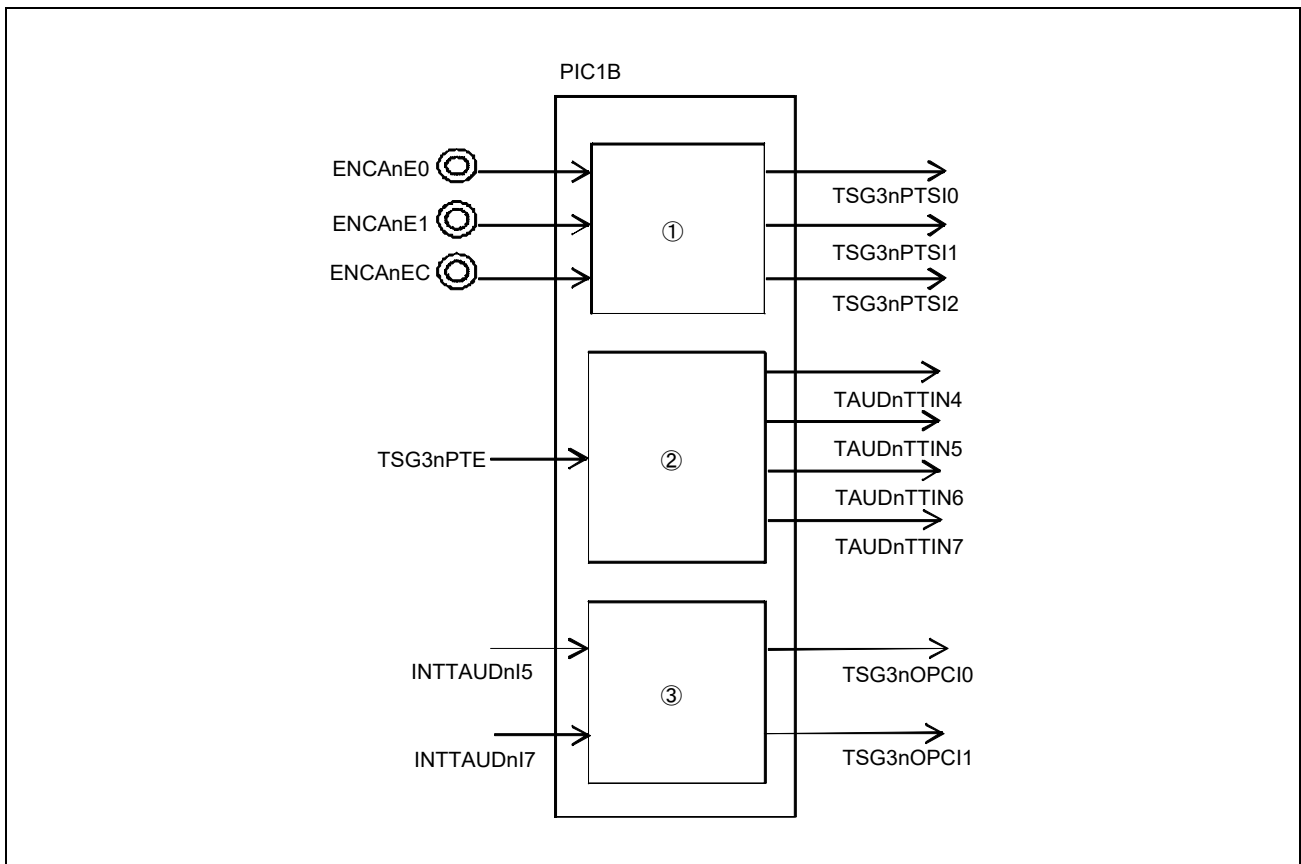


図 24.54 PIC1B ブロック図

本機能で使用する PIC1B レジスタの設定値を以下に示します。

① PIC1B_TSG3n 入力選択 1

ENCA0E0, E1, EC を TSG30PTSI0-2 として出力するための設定値

PIC1BTSGHALLSEL[0] = 1_B

PIC1BREG50[0] = 0_B

ENCA1E0, E1, EC を TSG31PTSI0-2 として出力するための設定値

PIC1BTSGHALLSEL[1] = 1_B

PIC1BREG51[0] = 1_B

② PIC1B_TAUDn 接続選択

TSG3nPTE を TAUDnTTIN4-7 に出力するための設定値

PIC1BREG2n0[11:8] = 1010_B

PIC1BREG2n0[3:0] = 1111_B

PIC1BTAUDnSEL[15:8] = 00_H

③ PIC1B_ENCAn 入力選択 2

INTTAUDnI5, INTTAUDnI7 を TSG3nOPCI0-1 に出力するための設定値

PIC1BREG5n[7:5] = 011_B

(4) 機能

本機能の詳細を説明します。

下図にタイミング図を示します。

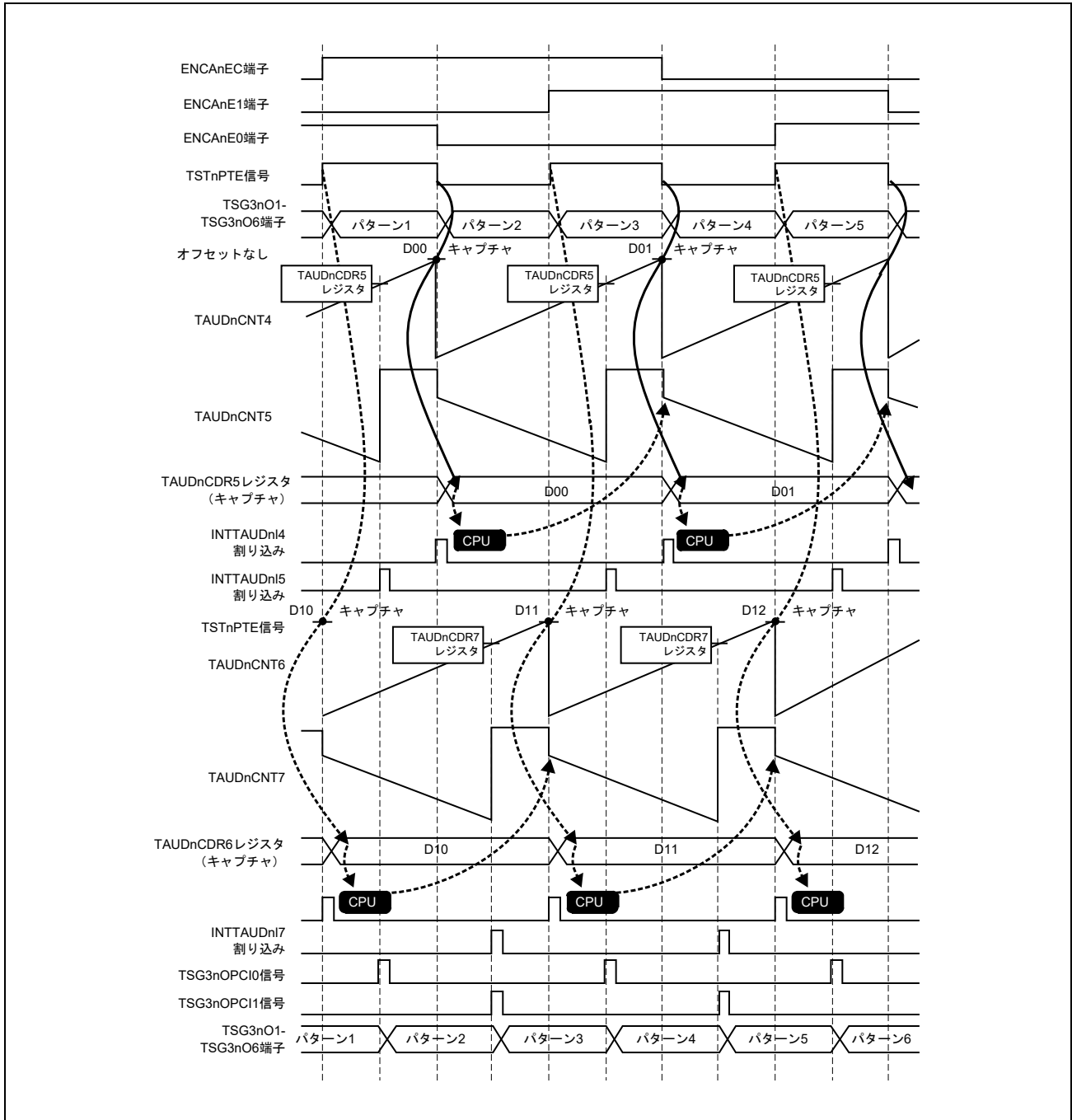


図 24.55 3相パルス入力制御機能

- (1) ENCA_n 端子信号により、TSG のパタン切り替え方式にて出力パタンを切り替えます。パタン切り替えごとに、TST_nPTE 信号が反転します。
- (2) TST_nPTE 信号の立ち上がり、立ち下がりエッジにて TAUD_nCNT₆、TAUD_nCNT₄ をキャプチャし、キャプチャした値をもとにパタン切り替え間隔を算出します。
- (3) 次回出力パタンの位相を CPU にて算出し、TAUD_nCNT₅、TAUD_nCNT₇ に設定、設定値に応じた TSG_{3n}OPCI₀、TSG_{3n}OPCI₁ が出力されます。このとき、トリガ切り替え方式にて出力パタン切り替えを行うことで、設定した位相値分がシフトされたパタンが出力されます。

TAUD_nCNT_m の設定値とキャプチャ値 (TAUD_nCDR (m-1)) の関係について、以下に示します (m = 5, 7)。

表 24.77 TAUD_nCNT_m の設定値とキャプチャ値の関係

TAUD _n CNT _m 設定値	TSG _{3n} パタン出力切り替えタイミング
TAUD _n CNT _m = 0000 _H	TST _n PTE 信号のエッジ検出のタイミングでパタン切り替え (ただし、最大 TAUD _n カウントクロック 1CLK 分の遅延が発生します)
TAUD _n CNT _m = キャプチャ値	TST _n PTE 信号のエッジ検出のタイミングでパタン切り替え
TAUD _n CNT _m < キャプチャ値	TST _n PTE 信号のエッジ検出のタイミングから位相分をシフトしたタイミングでパタン切り替え
TAUD _n CNT _m > キャプチャ値	設定禁止

位相固定制御 1 から位相可変制御への切り替え動作例

下図に位相固定制御 1 から位相可変制御への切り替え時の動作例を示します。

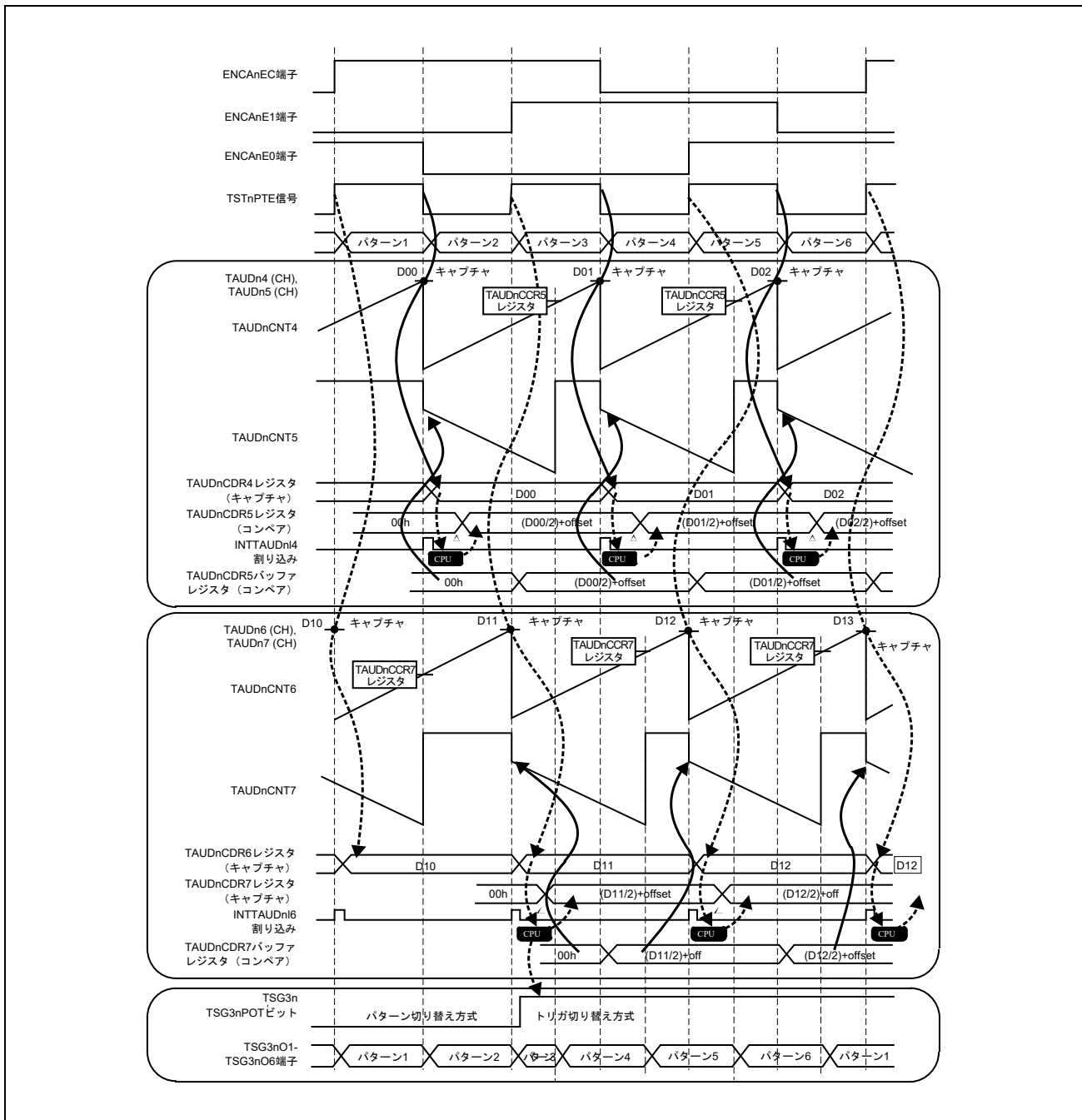


図 24.56 位相固定制御 1 から位相可変制御への切り替え

TSG3nPOT ビットをロウレベルからハイレベルとすることで、出力パターンはトリガ切り替え方式に変更され、位相可変制御が可能となります。

位相可変制御から位相固定制御 1 への切り替え動作例

下図に位相可変制御から位相固定制御 1 へ切り替え時の動作例を示します。

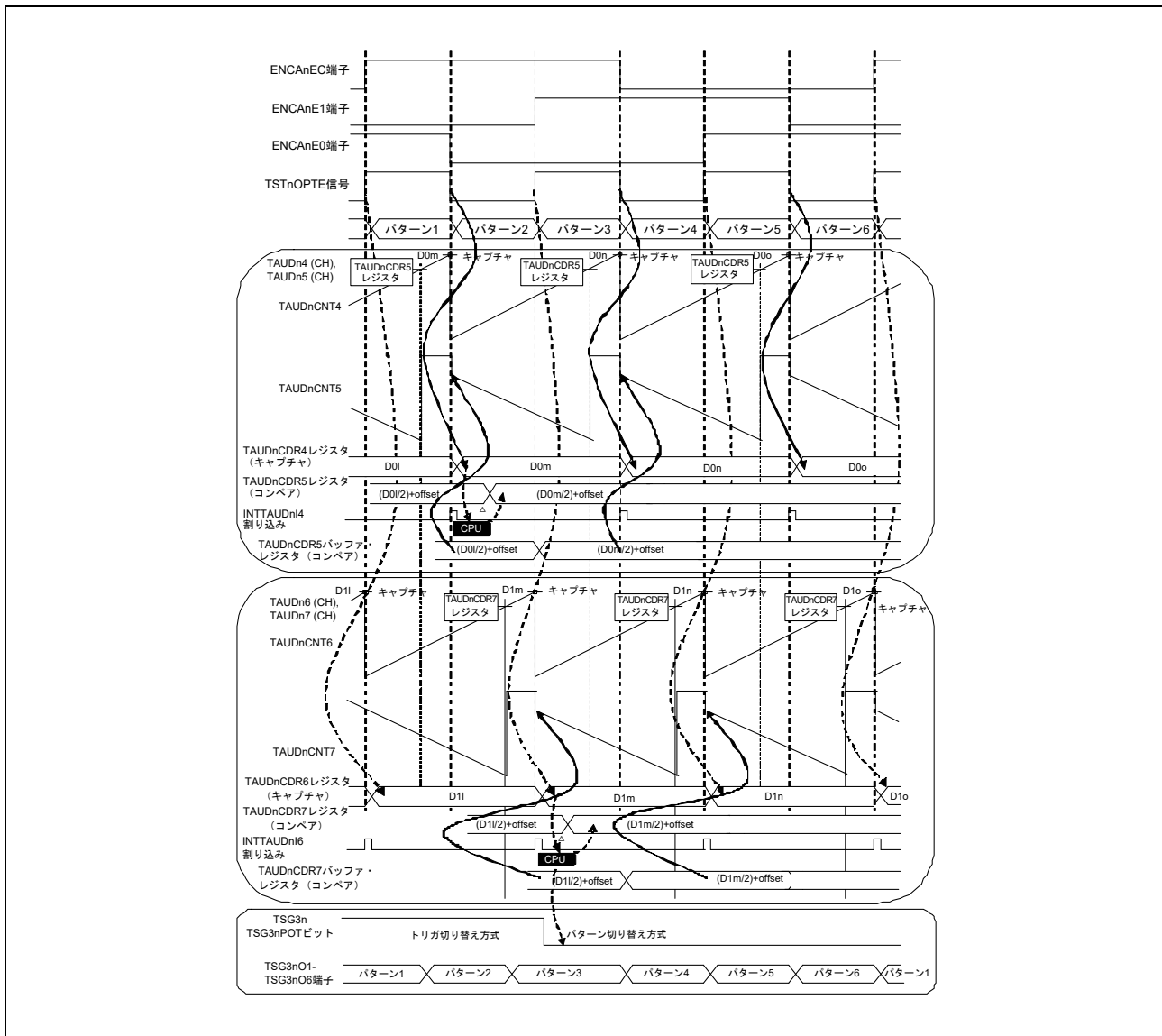


図 24.57 位相可変制御から位相固定制御 1 への切り替え

TSG3nPOT ビットをハイレベルからロウレベルとすることで、出力パタンはパタン切り替え方式に変更され、位相固定制御 1 が可能となります。

(5) フローチャート

本機能のフローチャートを以下に示します。

メイン処理を以下に示します。

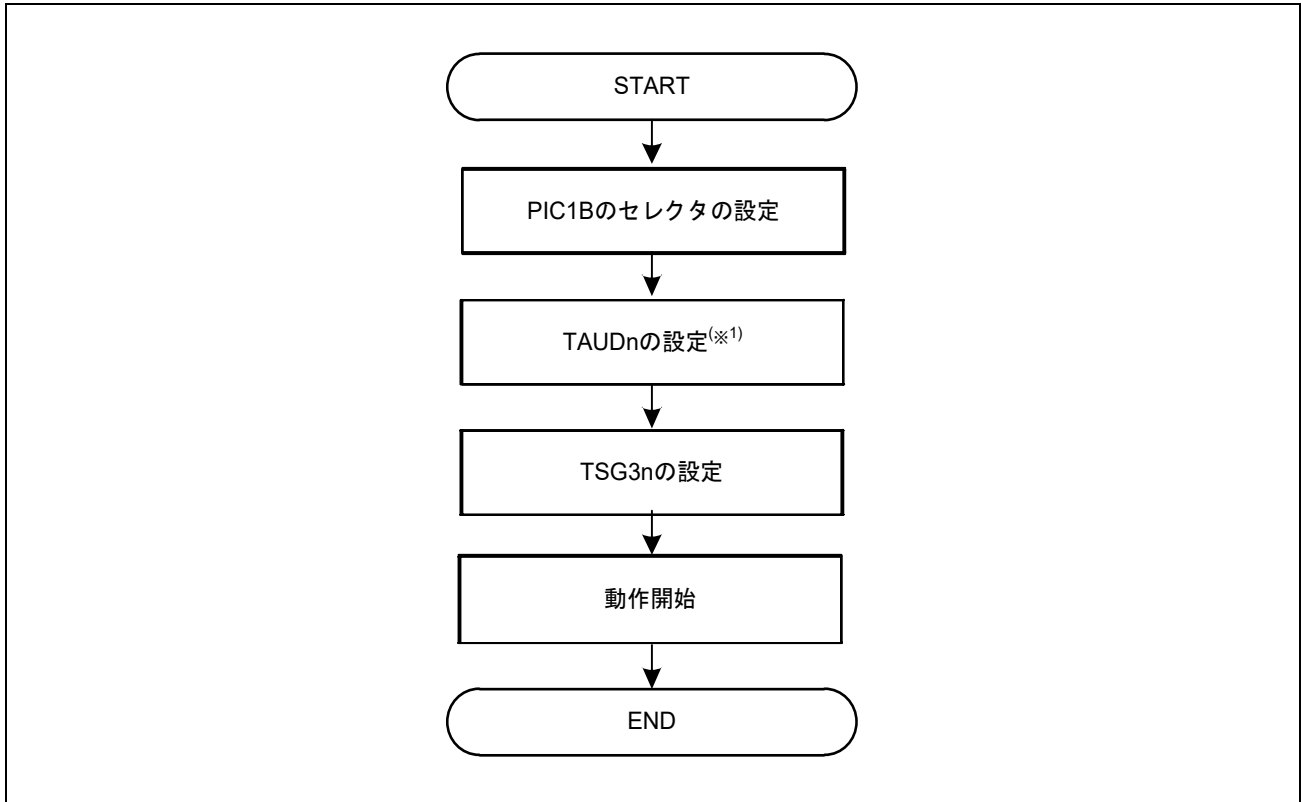
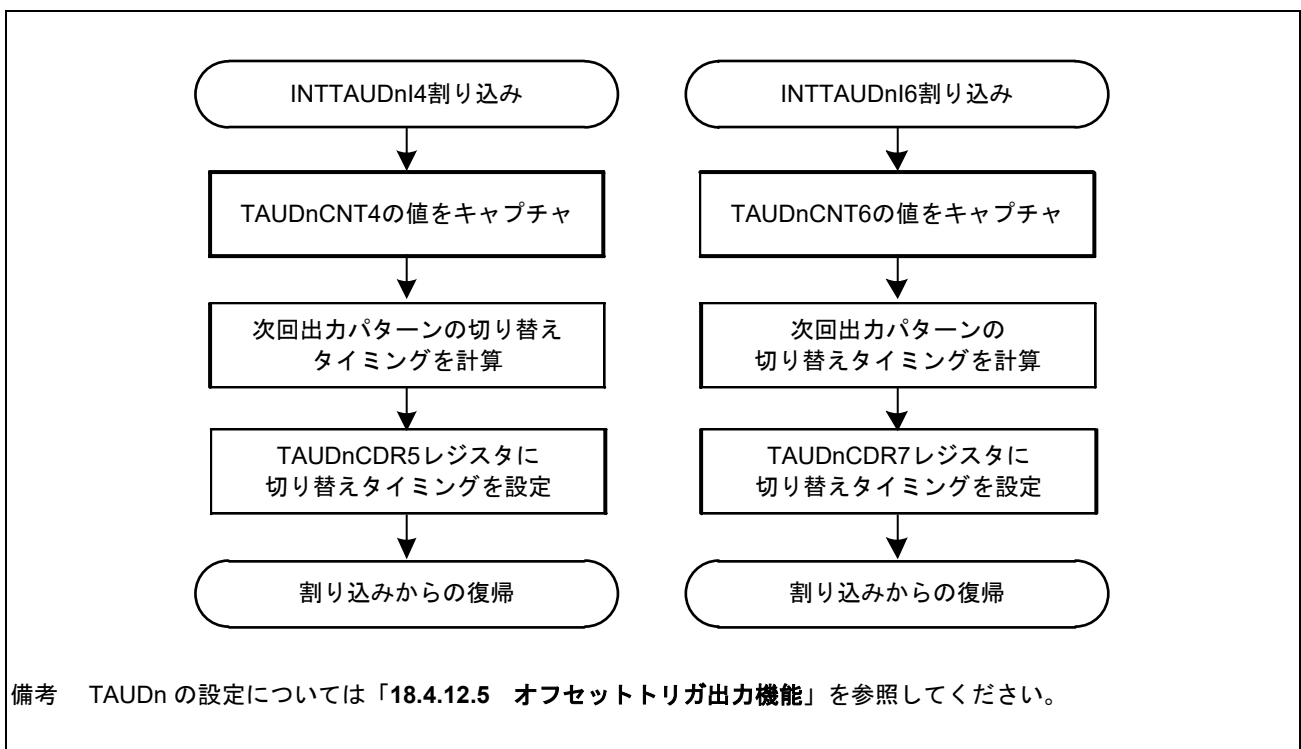


図 24.58 設定フロー

動作中の TAUDnCDR5、TAUDnCDR7 書き換え処理を以下に示します。



備考 TAUDn の設定については「18.4.12.5 オフセットトリガ出力機能」を参照してください。

図 24.59 TAUDnCDR5、TAUDnCDR7 の書き換え処理

本機能を行う場合、TSG3n は下記の設定を行います。

TSG3nCTL0[7:0] = 0000_0011_B

TSG3nCTL3[7:0] = 0000_00xx_B

TSG3nCTL4[15:0] = 0000_0001_xxx0_0000_B

TSG3nIOC0[7:0] = 0111_1110_B

TSG3nIOC1[7:0] = 0001_xxxx_B

TSG3nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3nOPT0[7:0] = 0011_1xx0_B

TSG3nOPT1[7:0] = 0000_0xxx_B

TSG3nCMP0 = (任意)

TSG3nCMP1W, 5W, 9W = (任意)

TSG3nCMP1, 5, 9 = (任意)

TSG3nPAT0W, 1W = (任意)

TSG3nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、「**第 20 章 モータコントロールタイマ (TSG3)**」を参照。

24.2.3.12 3 相エンコーダ制御機能

(1) 概要

ENCAn を使って、3 相の外部パタン入力 (TSG3nPTSIO-TSG3nPTSI2) をエンコードする機能です。

(2) 構成

TSG3n、ENCAn と PIC1B を組み合わせることで、3 相エンコーダ制御機能を実現します。3 相エンコーダ制御機能のブロック図を以下に示します。

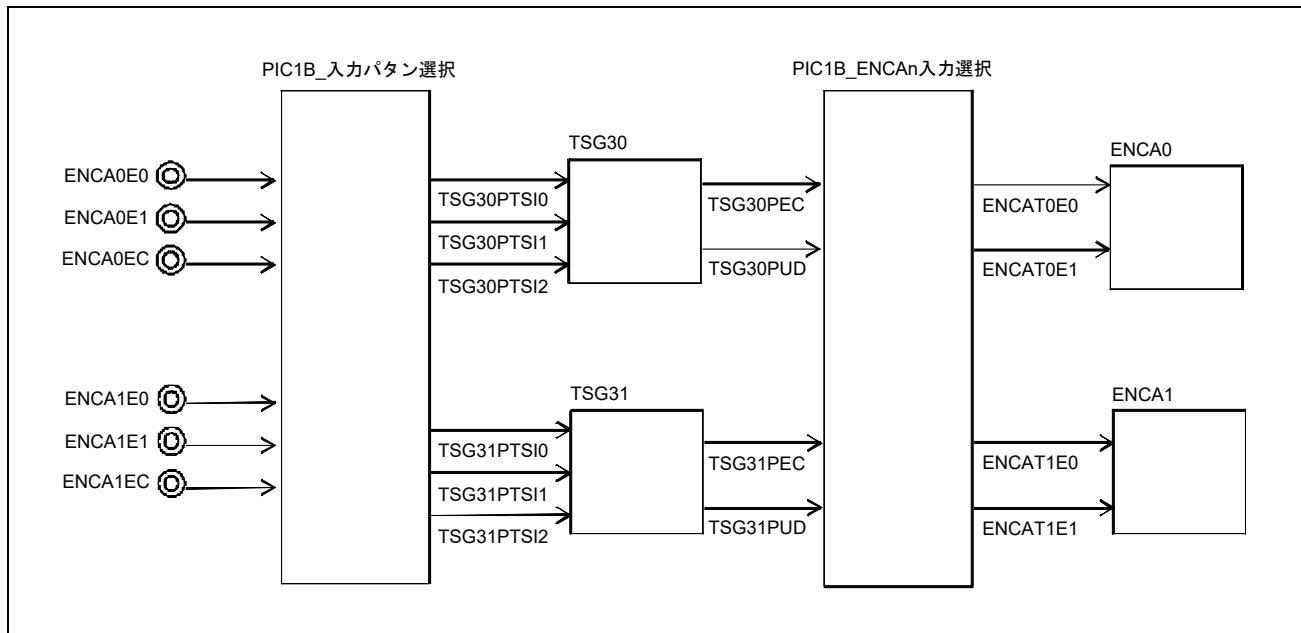


図 24.60 3 相エンコーダ制御機能ブロック図

構成を以下に説明します。

- [PIC1B_入力パタン選択]
ENCAnE0, E1, EC 端子入力を選択して、TSG3nPTSIO-2 に出力します。
- [TSG3n]
TSG3nPTSIO-2 信号により、出力パタン、TSG3nPEC を出力します。また、正転、逆転に応じて TSG3nPUD を出力します。
- [PIC1B_ENCAn 入力選択]
TSG3nPEC を選択して ENCATnE0 に出力します。また、TSG3nPUD を選択して ENCATnE1 に出力します。
- [ENCAn]
ENCATnE0、ENCATnE1 をエンコード処理します。

(3) レジスタ

下図に PIC1B のブロック図を示します。

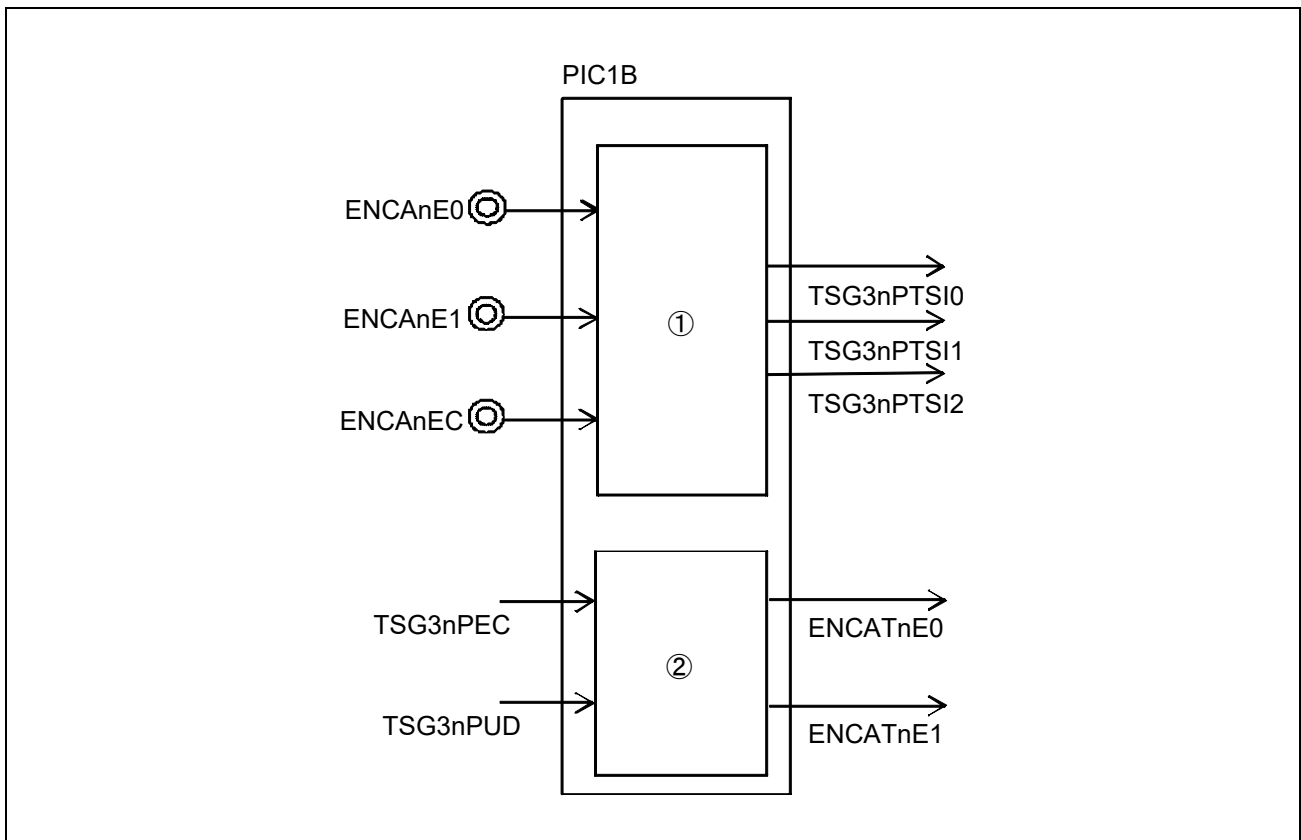


図 24.61 PIC1B ブロック図

本機能で使用する PIC1B レジスタの設定値を以下に示します。

① PIC1B_入力パターン選択

ENCA0E0, E1, EC を TSG30PTSI0-2 として出力するための設定値

PIC1BTSGHALLSEL[0] = 1_B

PIC1BREG50[0] = 0_B

ENCA1E0, E1, EC を TSG31PTSI0-2 として出力するための設定値

PIC1BTSGHALLSEL[1] = 1_B

PIC1BREG51[0] = 1_B

② PIC1B_ENCA_n 入力選択

TSG30PEC を ENCA0E0、TSG30PUD を ENCA0E1 として出力するための設定値

PIC1BREG30[22] = 0_B

PIC1BREG30[1:0] = 11_B

TSG31PEC を ENCA1E0、TSG31PUD を ENCA1E1 として出力するための設定値

PIC1BREG30[9:8] = 10_B

PIC1BREG30[7:6] = 10_B

(4) 機能

本機能の詳細を、以下に説明します。

下図にタイミング図を示します。

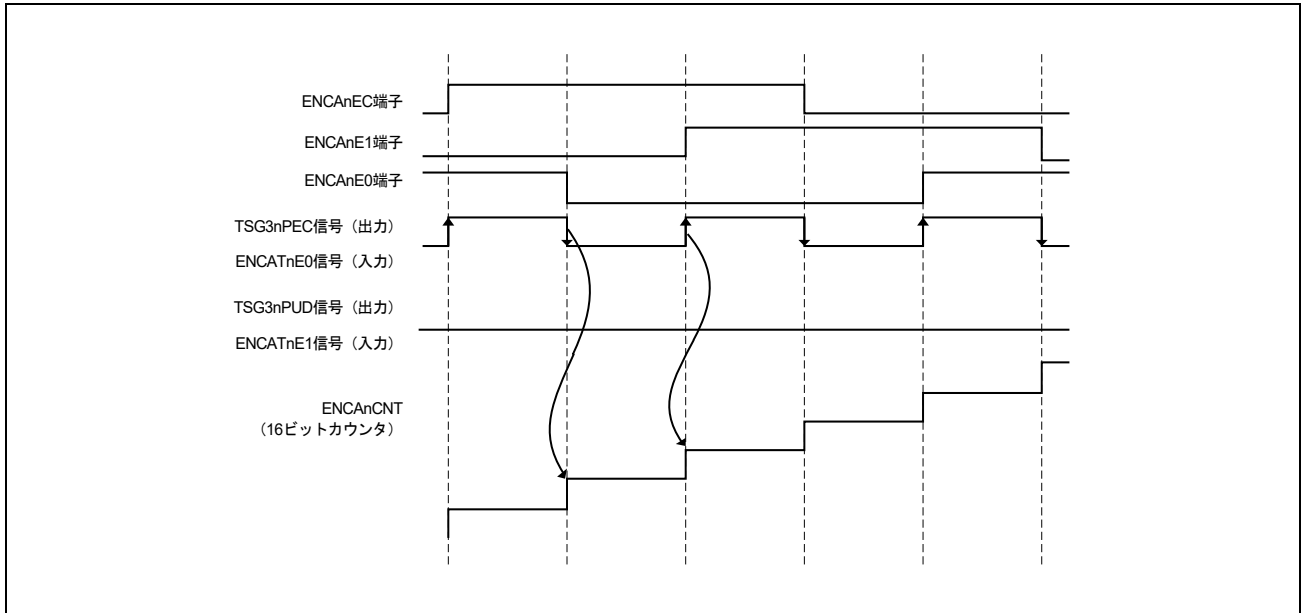


図 24.62 3相エンコーダ機能_ENCAAnUDS1, ENCAAnUDS0 = 00_B

- (1) ENCAAnE1 にロウレベルが入力されている場合、ENCAAnE0 にアクティブエッジが入力されるごとにカウントアップします。

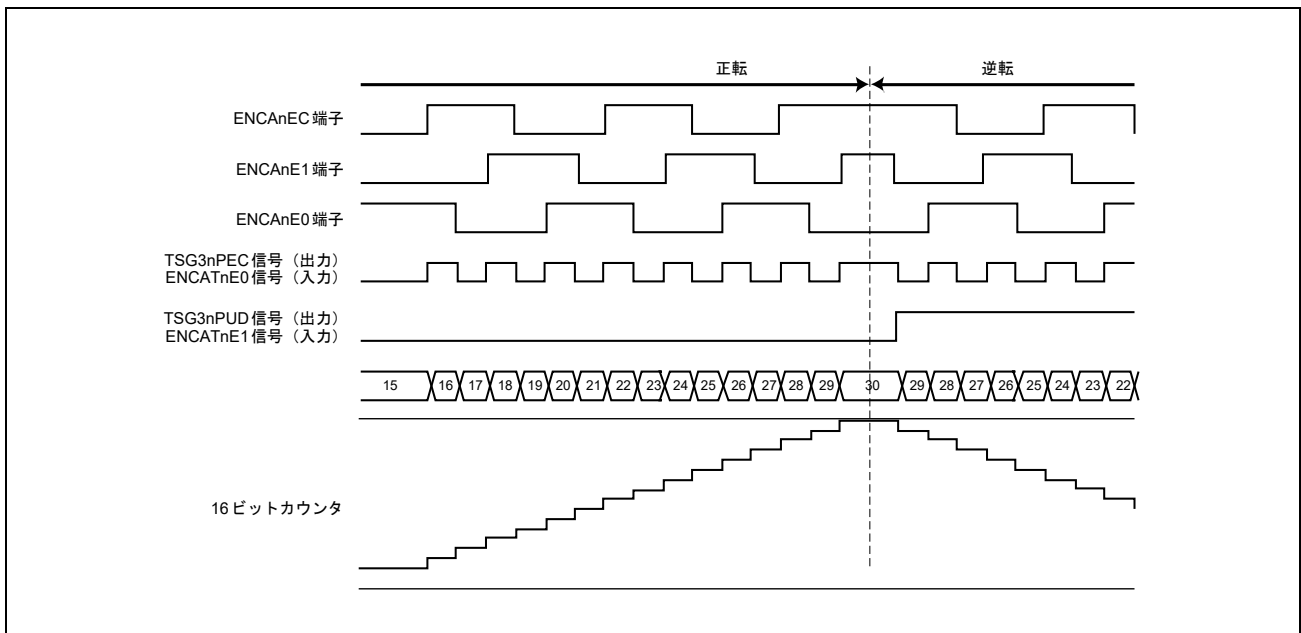


図 24.63 3相エンコーダ機能_正転/逆転

(5) フローチャート

3 相エンコーダ制御機能の動作前に PIC 設定を行ってください。

本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = xx00_00xx_000x_xx00_B

ENCA_nIOC1[7:0] = 0000_00xx_B ^{注1}

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

注1. ENCA_nIOC1[1:0] は 00_B (エッジ検出なし) を除く。エッジ検出必須のため。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 0000_0001_B

TSG3_nCTL3[7:0] = 0000_00xx_B

TSG3_nCTL4[15:0] = 0000_000x_xxxx_xxxx_B

TSG3_nIOC0[7:0] = 0xxx_xxx0_B

TSG3_nIOC1[7:0] = 0001_xxxx_B

TSG3_nIOC2[15:0] = 0xxx_xxx0_0000_0000_B

TSG3_nOPT0[7:0] = 0xxx_xxx0_B

TSG3_nOPT1[7:0] = 0000_0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W, 5W, 9W = (任意)

TSG3_nCMP1, 5, 9 = (任意)

TSG3_nPAT0W, 1W = (任意)

TSG3_nDTC0W, 1W = (任意)

x は任意設定。レジスタ仕様については、「**第 20 章 モータコントロールタイマ (TSG3)**」を参照。

24.2.3.13 ENCA 入力選択機能

(1) 概要

ENCAn の入力信号を選択する機能です。RDC3A1^{注1}、RDC3A0、エンコーダ信号グループ 0 端子、エンコーダ信号グループ 1 端子のいずれかを選択可能です。

ENCAn に同じエンコーダ信号を接続し、同時動作させることで、仮想的にコンペアマッチレジスタを増設することが可能です。

注 1. C1M-A1 では非搭載です。

(2) 構成

RDC3An 出力信号、ENCAn 入力端子信号と PIC1B を組み合わせることで、ENCA 入力選択機能を実現します。

ENCA 入力選択機能のブロック図を以下に示します。

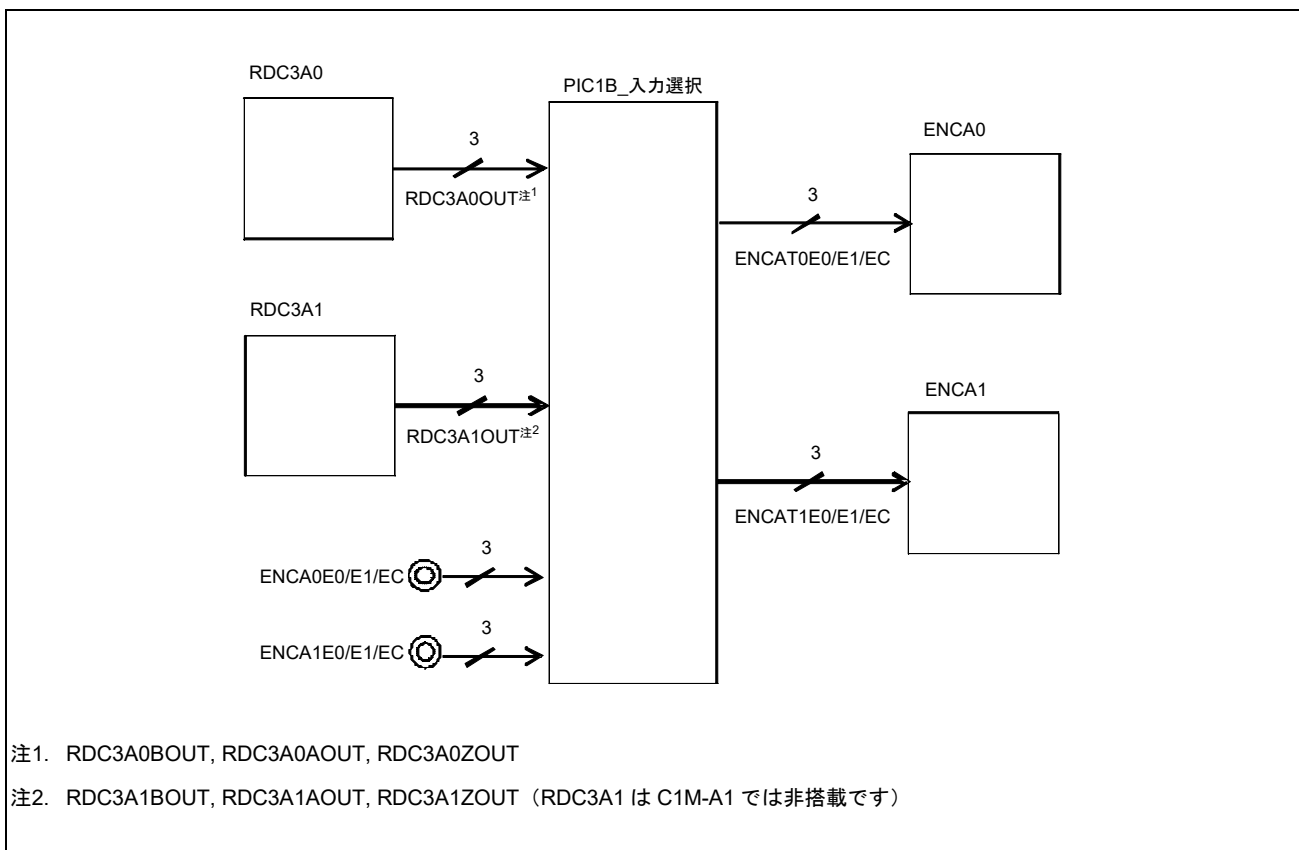


図 24.64 ENCA 入力選択機能 ブロック図

PIC1B に入力される信号から ENCA0、ENCA1 に出力する信号の選択が可能です。

(3) レジスタ

下図に PIC1B のブロック図を示します。

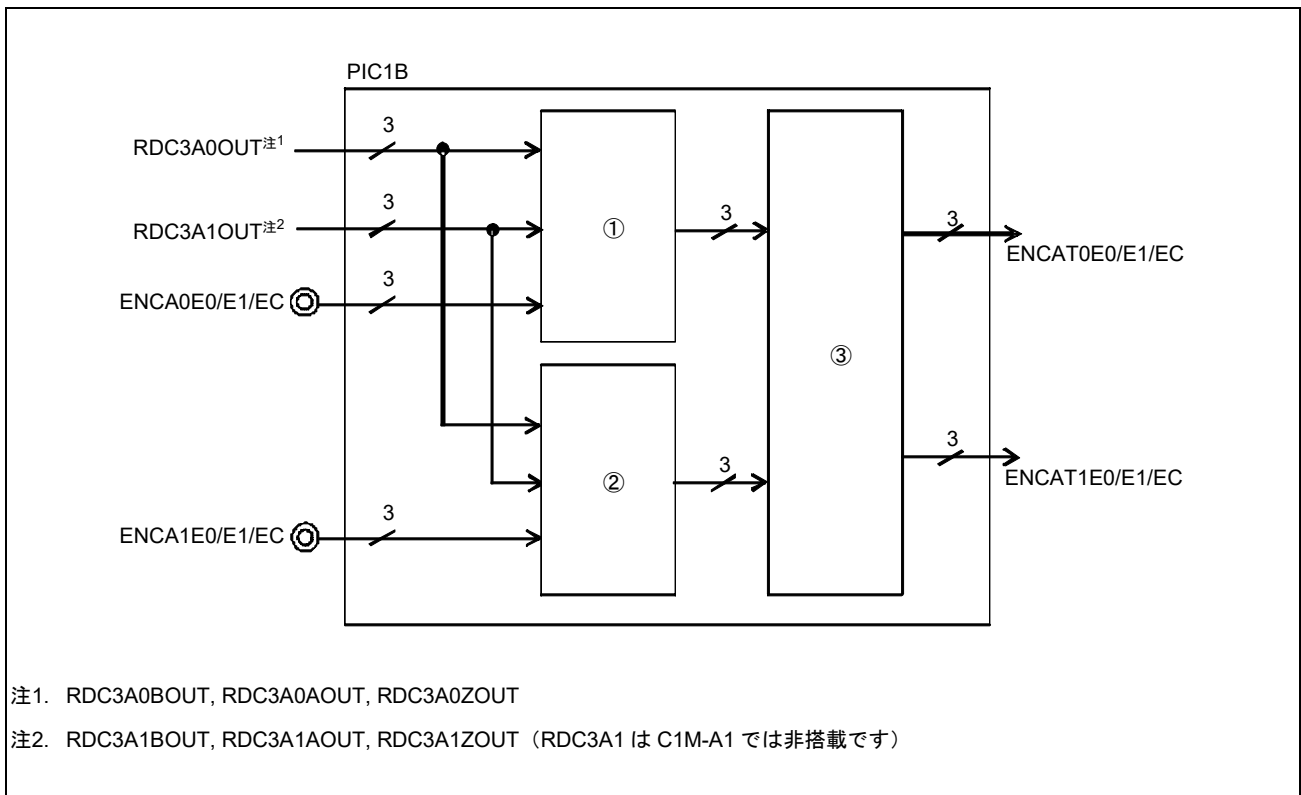


図 24.65 PIC1B ブロック図

本機能で使用する PIC1B レジスタの設定値を以下に示します。

PIC1B_入力選択

- ENCA0 接続選択

①を経由し、ENCAT0E0、ENCAT0E1、ENCAT0EC に入力する信号を③で選択するための設定値

表 24.78 設定値

レジスタ設定			ENCAT0E0	ENCAT0E1	ENCAT0EC
PIC1BREG30					
22	[17:16]	[1:0]			
0	01	00	RDC3A0BOUT	RDC3A0AOUT	RDC3A0ZOUT
0	10	00	RDC3A1BOUT 注 1	RDC3A1AOUT 注 1	RDC3A1ZOUT 注 1
0	00	00	ENCA0E0 端子入力	ENCA0E1 端子入力	ENCA0EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

注 1. C1M-A1 では非搭載です。

②を経由し、ENCAT0E0、ENCAT0E1、ENCAT0EC に入力する信号を③で選択するための設定値

表 24.79 設定値

レジスタ設定		ENCAT0E0	ENCAT0E1	ENCAT0EC
PIC1BREG30				
22	[20:19]			
1	10	RDC3A0BOUT	RDC3A0AOUT	RDC3A0ZOUT
1	01	RDC3A1BOUT 注 1	RDC3A1AOUT 注 1	RDC3A1ZOUT 注 1
1	00	ENCA1E0 端子入力	ENCA1E1 端子入力	ENCA1EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

注 1. C1M-A1 では非搭載です。

- ENCA1 接続選択

①を経由し、ENCAT1E0、ENCAT1E1、ENCAT1EC に入力する信号を③で選択するための設定値

表 24.80 設定値

レジスタ設定		ENCAT1E0	ENCAT1E1	ENCAT1EC
PIC1BREG30				
[17:16]	[11:6]			
10	100101	RDC3A0BOUT	RDC3A0AOUT	RDC3A0ZOUT
01	100101	RDC3A1BOUT 注 1	RDC3A1AOUT 注 1	RDC3A1ZOUT 注 1
00	100101	ENCA0E0 端子入力	ENCA0E1 端子入力	ENCA0EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

注 1. C1M-A1 では非搭載です。

②を経由し、ENCAT1E0、ENCAT1E1、ENCAT1EC に入力する信号を③で選択するための設定値

表 24.81 設定値

レジスタ設定		ENCAT1E0	ENCAT1E1	ENCAT1EC
PIC1BREG30				
[20:19]	[11:6]			
10	000000	RDC3A0BOUT	RDC3A0AOUT	RDC3A0ZOUT
01	000000	RDC3A1BOUT 注 1	RDC3A1AOUT 注 1	RDC3A1ZOUT 注 1
00	000000	ENCA1E0 端子入力	ENCA1E1 端子入力	ENCA1EC 端子入力

備考 上記以外の設定は、本機能では設定しないでください。

注 1. C1M-A1 では非搭載です。

(4) 機能

本機能では、下図に示すような 1 系統接続、2 系統接続が可能です。それぞれ選択した入力信号のエンコードカウントを行います。

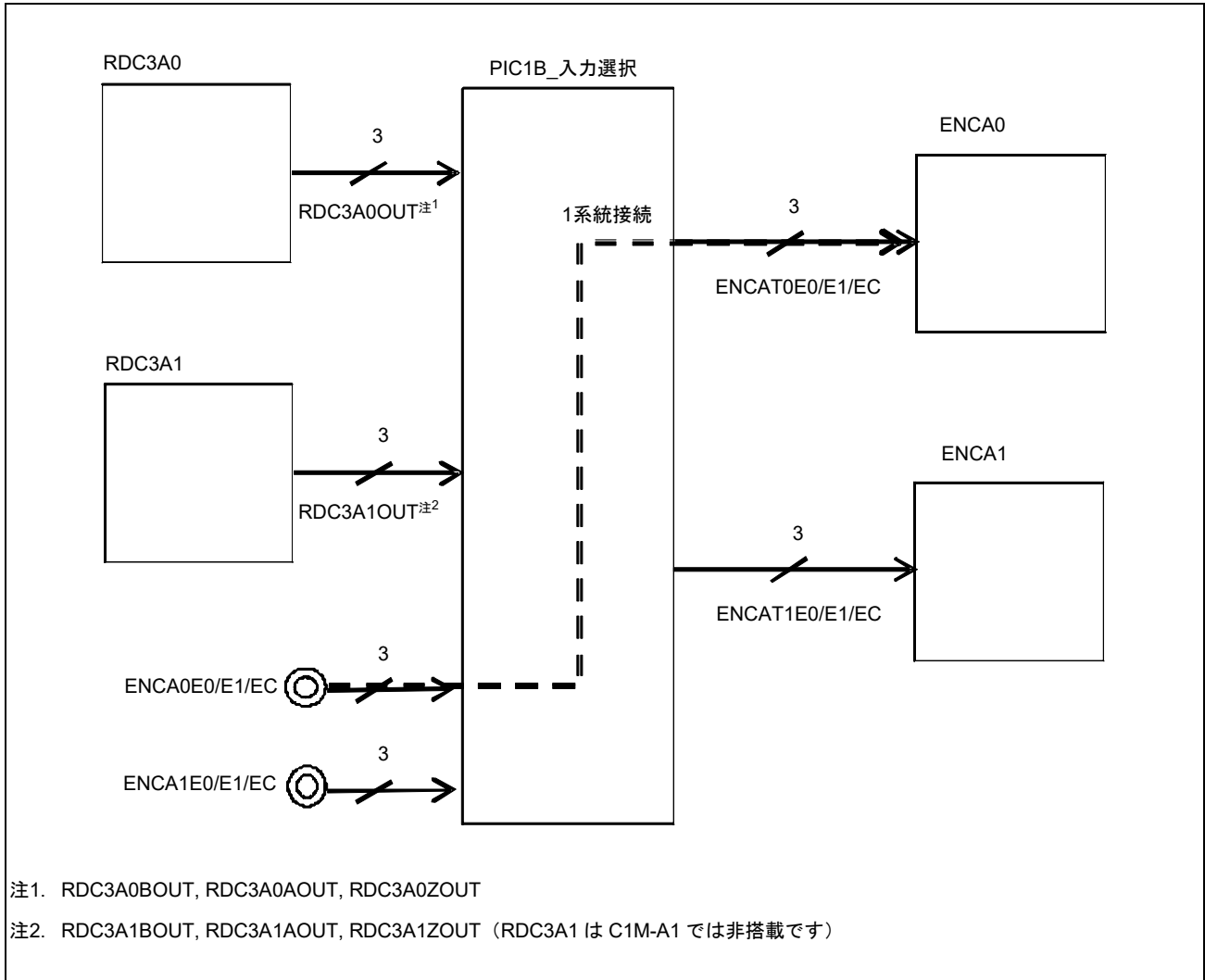


図 24.66 1 系統接続例 (ENCA0 端子を ENCA0 に接続)

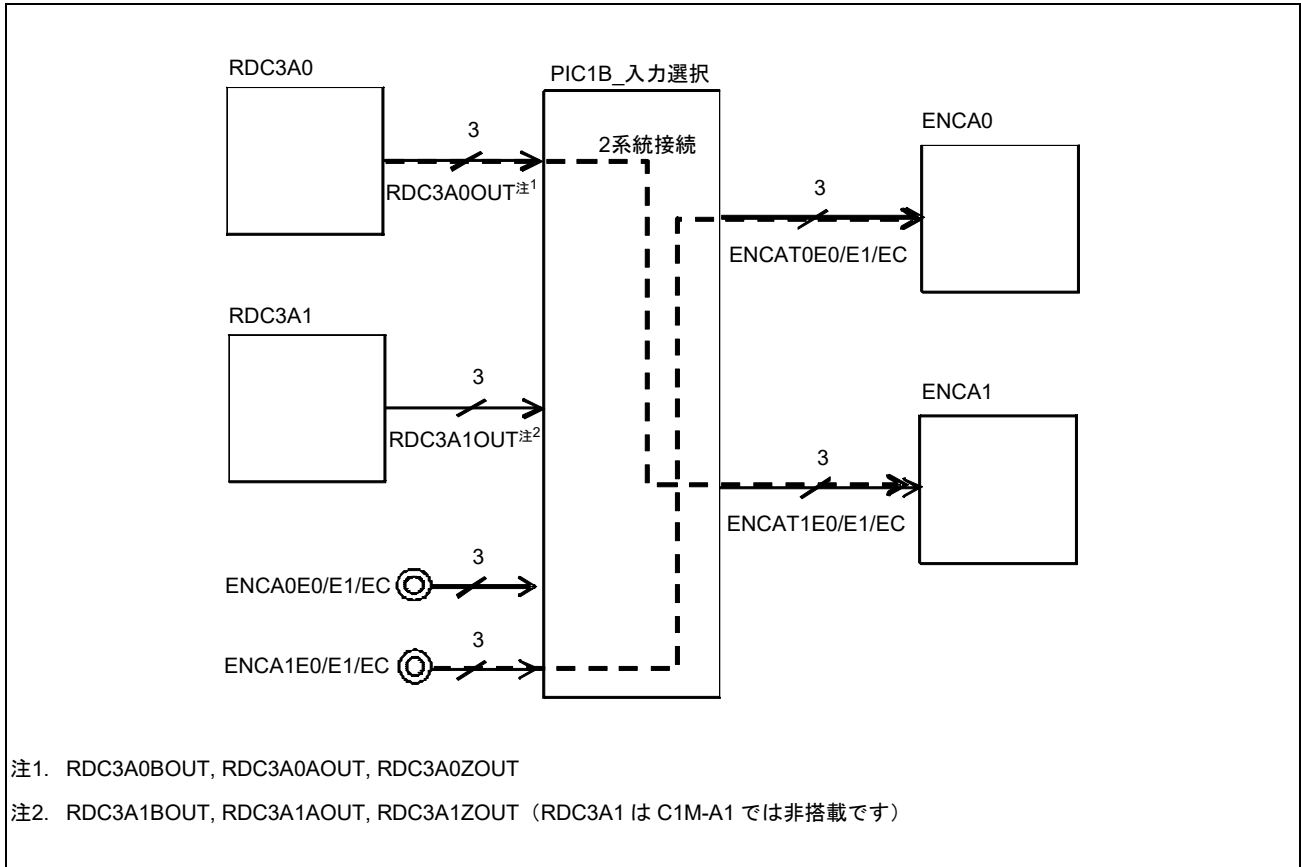


図 24.67 2 系統接続例 (ENCA1 端子を ENCA0、RDC3A0 を ENCA1 に接続)

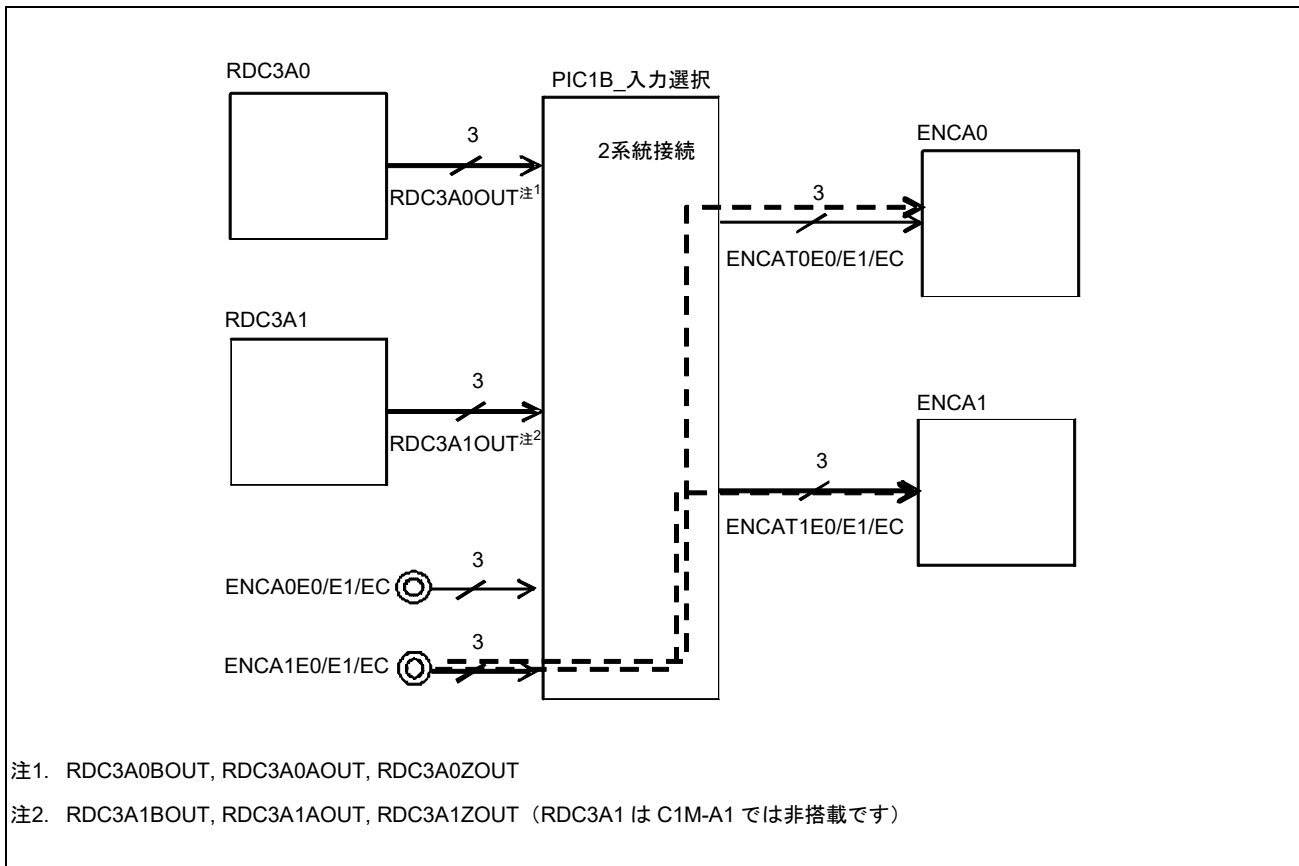


図 24.68 2 系統接続例 (ENCA1 端子を ENCA0、ENCA1 に接続)

(5) フローチャート

エンコーダタイマ動作前に PIC 設定を行ってください。

ENCA0, 1 の入力として異なる信号を選択する場合、ENCAn は下記の設定を行います。

$ENCA_nCTL[15:0] = 1000_0000_000x_0101_B$ (ENCA 端子入力時)、 $1000_0000_000x_0111_B$ (RDC3A 入力時)

$ENCA_nIOC0[7:0] = 0000_xxxx_B$

$ENCA_nIOC1[7:0] = xxxx_xxxx_B$ ^{注1}

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

注1. $ENCA_nIOC1[3:2]$ 、 $[1:0]$ は 00_B (エッジ検出なし) を除く。エッジ検出必須のため。

ENCA0, 1 の入力として同一信号を選択する場合、ENCAn は下記の設定を行います。

$ENCA_nCTL[15:0] = 0x00_000x_x00x_0xxx_B$ (ENCA 端子入力時)、 $0x00_000x_x00x_0x11_B$ (RDC3A 入力時)

$ENCA_nIOC0[7:0] = 0000_xxxx_B$

$ENCA_nIOC1[7:0] = xxxx_xxxx_B$ ^{注1}

x は任意設定。レジスタ仕様については、「**第 23 章 エンコーダタイマ (ENCA)**」を参照。

注1. $ENCA_nIOC1[3:2]$ 、 $[1:0]$ は 00_B (エッジ検出なし) を除く。エッジ検出必須のため。

24.2.3.14 TAUD 入力選択機能

(1) 概要

TAUD_n の入力信号を選択する機能です。TAUD_nTTIN_{m/m+1} 入力信号として TAUD0Im/m+1 信号、TAUD1Im/m+1 信号のいずれかを選択可能です (m は 0~14 の偶数)。

(2) 構成

TAUD_n 入力信号と PIC1B を組み合わせることで、TAUD 入力選択機能を実現します。

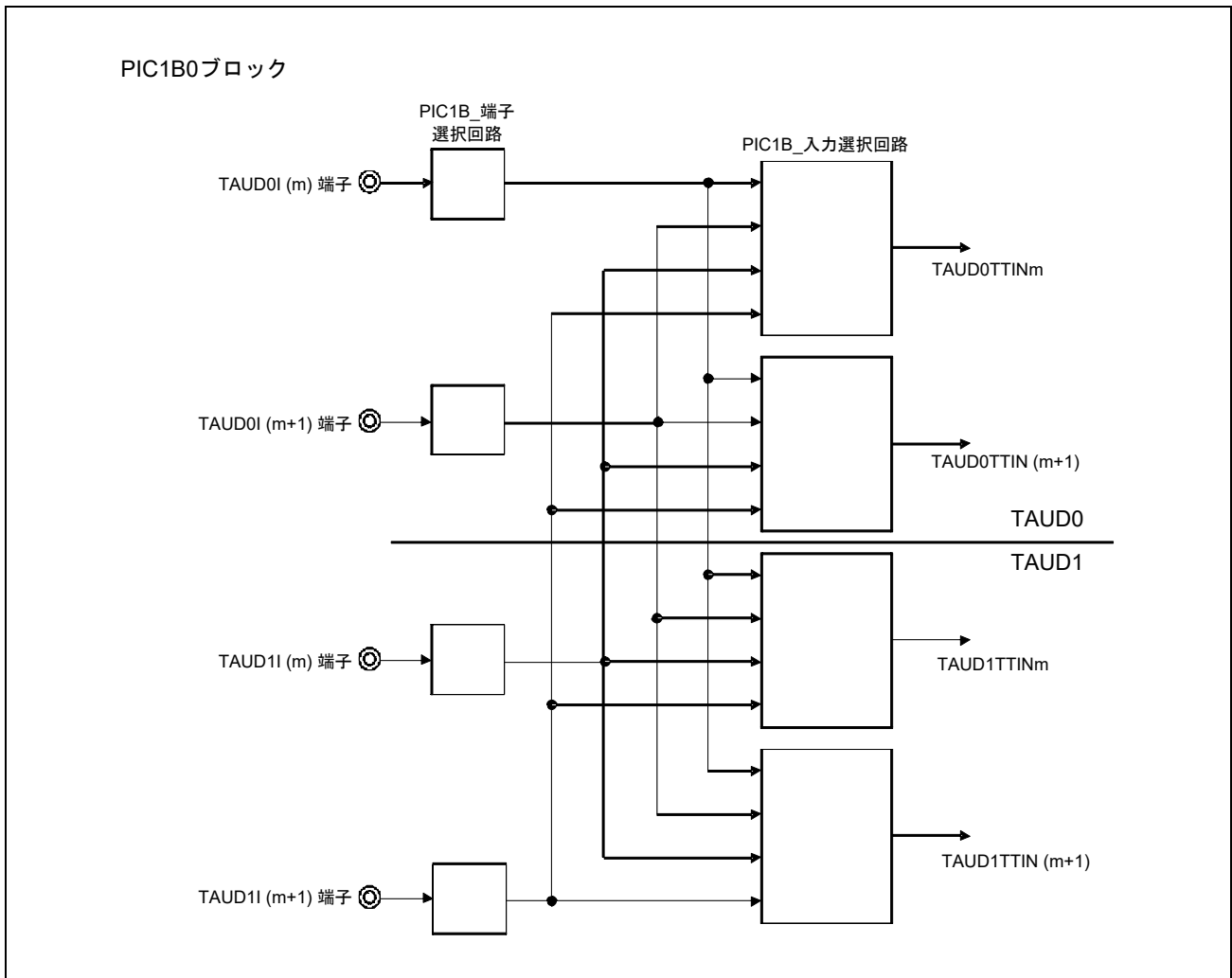


図 24.69 TAUD 入力選択機能ブロック図

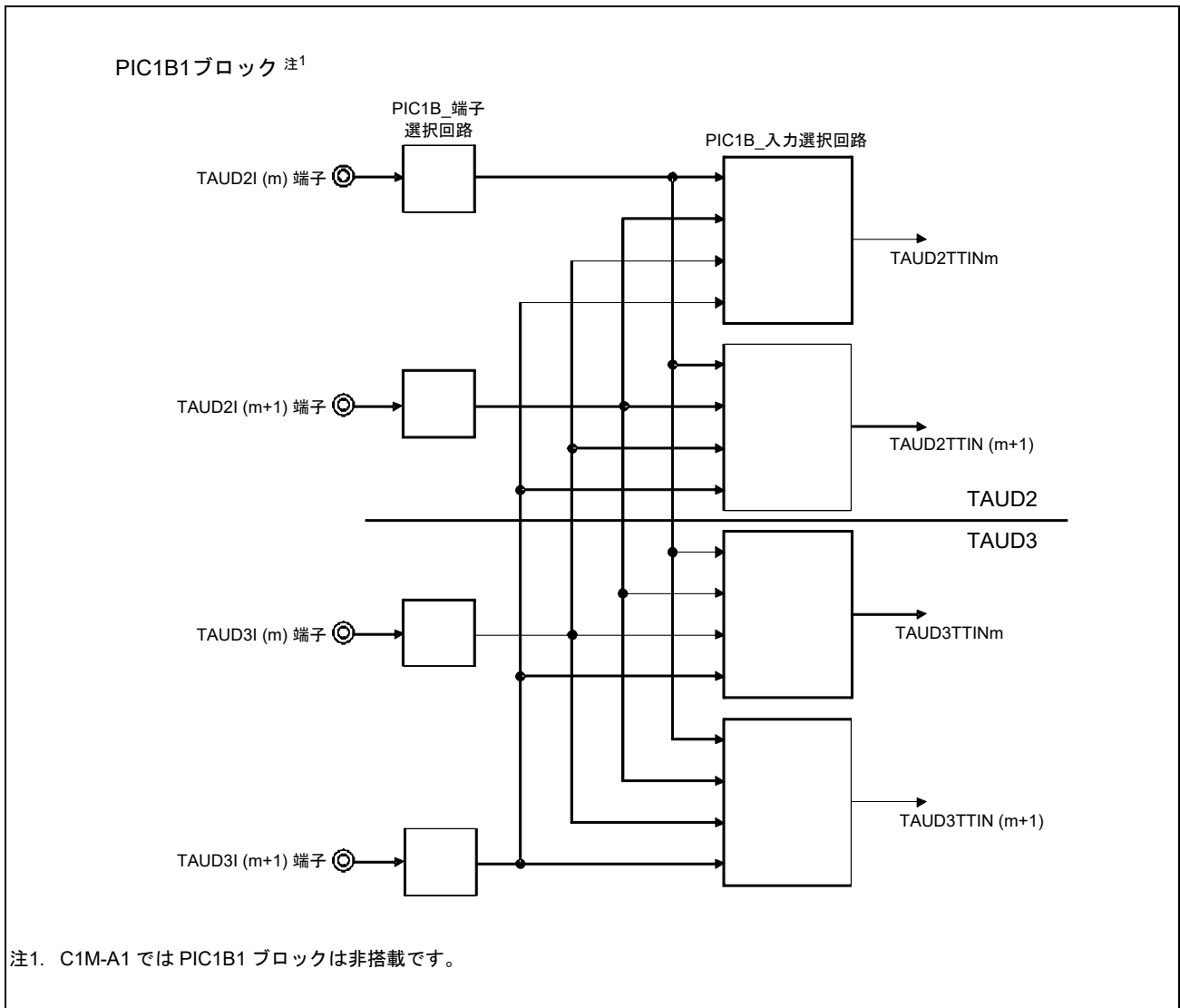


図 24.70 TAUD 入力選択機能ブロック図

(3) レジスタ

本機能で使用する PIC1B レジスタおよび設定内容を示します。

PIC1B_端子選択回路

PIC1B の端子選択回路の出力は TAUDn の外部チャネル入力端子を選択してください。

PIC1B_入力選択回路

以下の設定レジスタで選択してください。

PIC1BTAUD0SEL

PIC1BTAUD1SEL

PIC1BTAUD2SEL 注 1

PIC1BTAUD3SEL 注 1

PIC1BREG2n0

PIC1BREG2n2

PIC1BREG31

注 1. C1M-A1 では非搭載です。

設定レジスタの詳細については、**24.2.2.22**～**24.2.2.25**、**24.2.2.34**～**24.2.2.37**、**24.2.2.39**、**24.2.2.42** を参照してください。

(4) 機能

本機能の詳細を TAUD0TTIN[1:0] の信号選択を例に説明します。

TAUD0TTIN[1:0] の信号選択例を下表に示します。例えば、PIC1BREG31[11:6] を 000000、PIC1BTAUD0SEL[3:2]、PIC1BTAUD0SEL[1:0] を 01 に設定すると、TAUD0 の TAUD0TTIN1 入力に TAUD0I0 端子信号、TAUD0TTIN0 入力に TAUD0I1 端子信号が入力されます。PIC1BTAUD0SEL[3]、PIC1BTAUD0SEL[1] を 1 に設定すると TAUD1 の TIN 端子信号が選択されます。

表 24.82 TAUD0TTIN0 の信号選択例

レジスタ設定	TAUD0TTIN0
PIC1BTAUD0SEL	
[1:0]	
00 _B	TAUD0I0 端子
01 _B	TAUD0I1 端子
10 _B	TAUD1I0 端子
11 _B	TAUD1I1 端子

表 24.83 TAUD0TTIN1 の信号選択例

レジスタ設定	TAUD0TTIN1
PIC1BTAUD0SEL	
[3:2]	
00 _B	TAUD0I1 端子
01 _B	TAUD0I0 端子
10 _B	TAUD1I1 端子
11 _B	TAUD1I0 端子

(5) フローチャート

TAUD_n タイマ動作前に PIC1B 内の設定を行ってください。

24.2.3.15 TSG 出力とロウレベル/ハイレベル出力切り替え機能

(1) 概要

TSG 出力を任意のタイミングで、ロウレベル出力またはハイレベル出力に切り替え可能です。

(2) 構成

TSG 出力を PIC1B 経由で出力します。本機能を使用する場合は、TSG 出力は 1 クロック (CLKC_HSB) 遅れます。

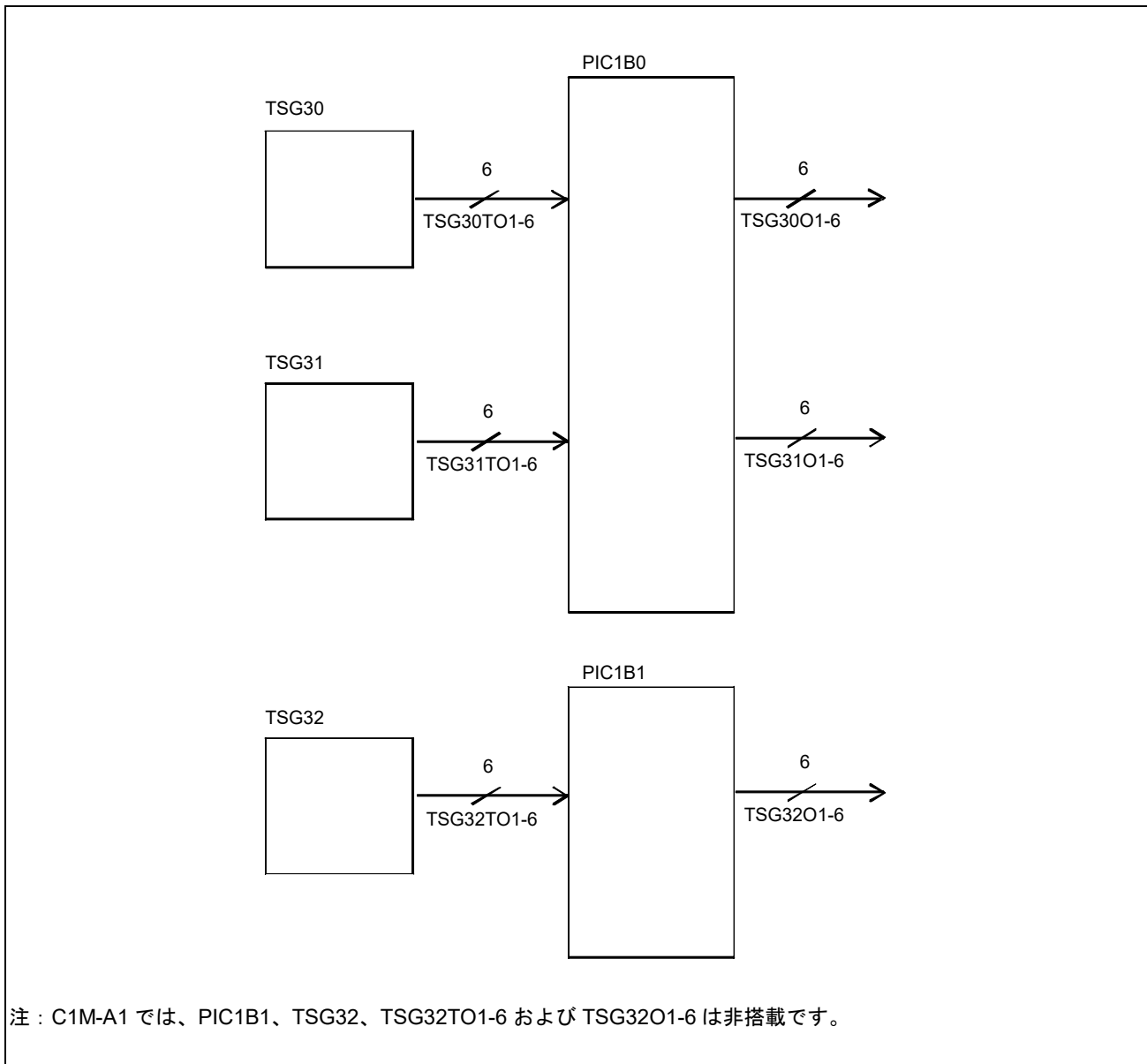


図 24.71 TSG 出力とロウレベル/ハイレベル出力切り替え機能ブロック図

(3) レジスタ

下図に PIC1B のブロック図を示します。

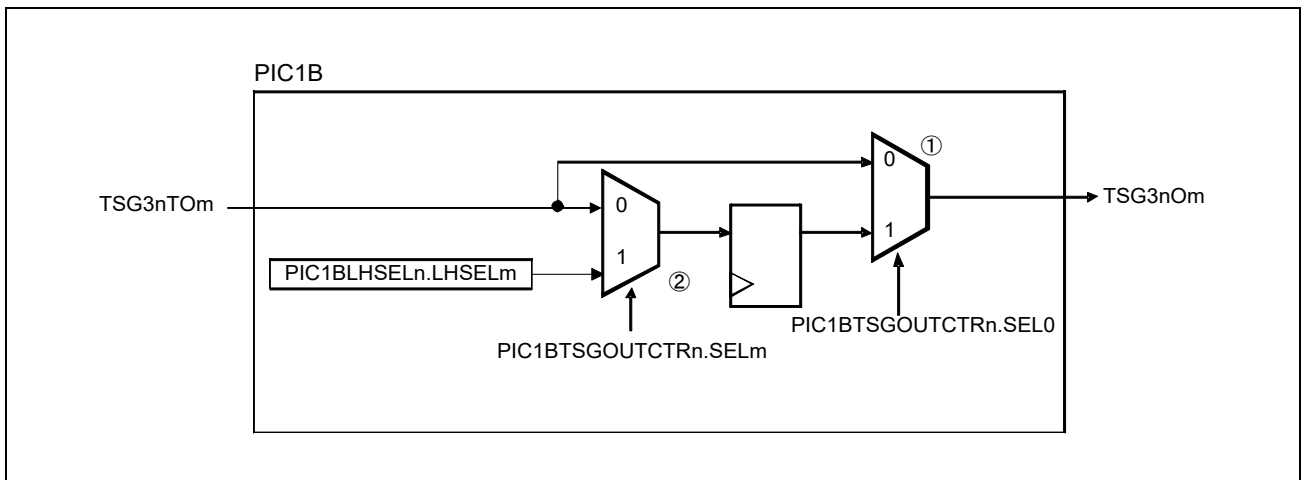


図 24.72 PIC1B ブロック図

本機能で使用する PIC1B レジスタの設定値を以下に示します。

① 本機能の ON/OFF 切り替え

$PIC1BTSGOUTCTRn[0] = 0_B$ (OFF)、 1_B (ON)

② ロウレベル/ハイレベル出力切り替え

$PIC1BLHSELn[m] = 0_B$ (ロウレベル出力)、 1_B (ハイレベル出力)

$PIC1BTSGOUTCTRn.SELm = 0_B$ (TSG3n 出力)、 1_B (ロウレベル/ハイレベル出力)

注 意

①は TSG3n 起動前に設定してください。動作中の切り替えは禁止です。

(4) 機能

本機能の詳細を、切り替え機能タイミングを例に説明します。

下図にタイミング図を示します。

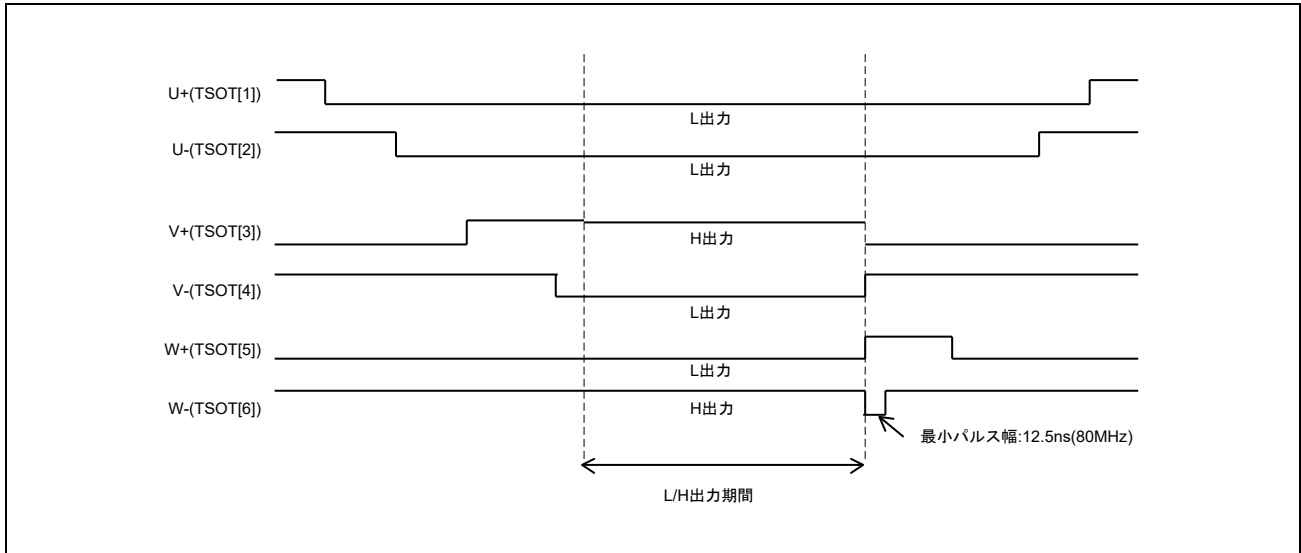


図 24.73 TSG 出力切り替えタイミング

TSG 出力を任意のタイミングで、ロウレベル出力またはハイレベル出力に切り替え可能です。ロウレベル出力またはハイレベル出力の切り替えは、6 相出力を個別に切り替えることや、同時に切り替えることができます。切り替えタイミングにより、CLKC_HSB の最小パルス（内部）が発生します。

(5) フローチャート

本機能のフローチャートを以下に示します。

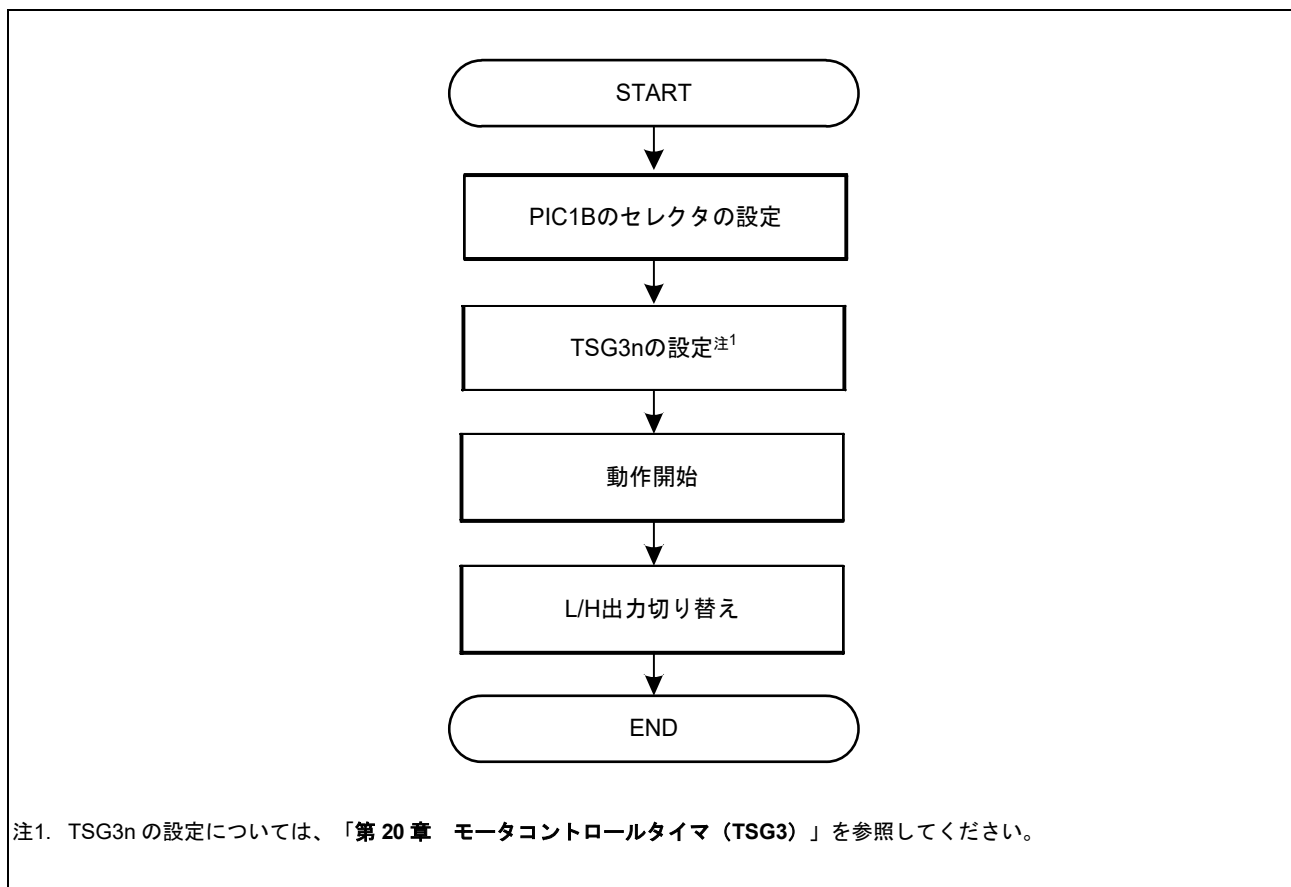


図 24.74 設定フロー

24.2.3.16 Hi-Z 制御機能

(1) 概要

3 相出力信号を遮断し、Hi-Z 状態へ変更する機能です。

Hi-Z 制御機能の目的および動作の詳細については、「**21.4.1 非同期 Hi-Z 制御機能**」を参照してください。

(2) 構成

PIC1B にて ESO_n, ERROROUTZ, INTTSG3nIER のマスク処理と各信号の OR を行い、TAPAn に Hi-Z 制御用の信号を出力します。

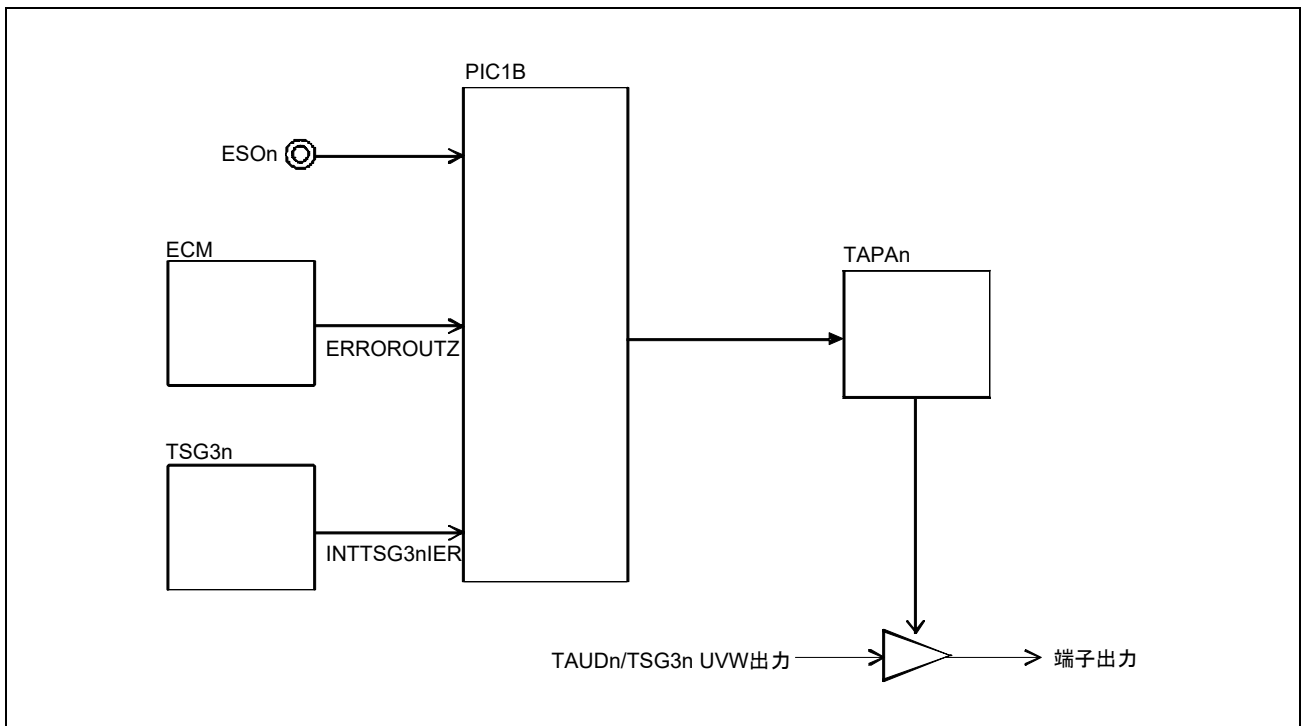


図 24.75 Hi-Z 制御のブロック図

(3) レジスタ

下図に PIC1B のブロック図を示します。

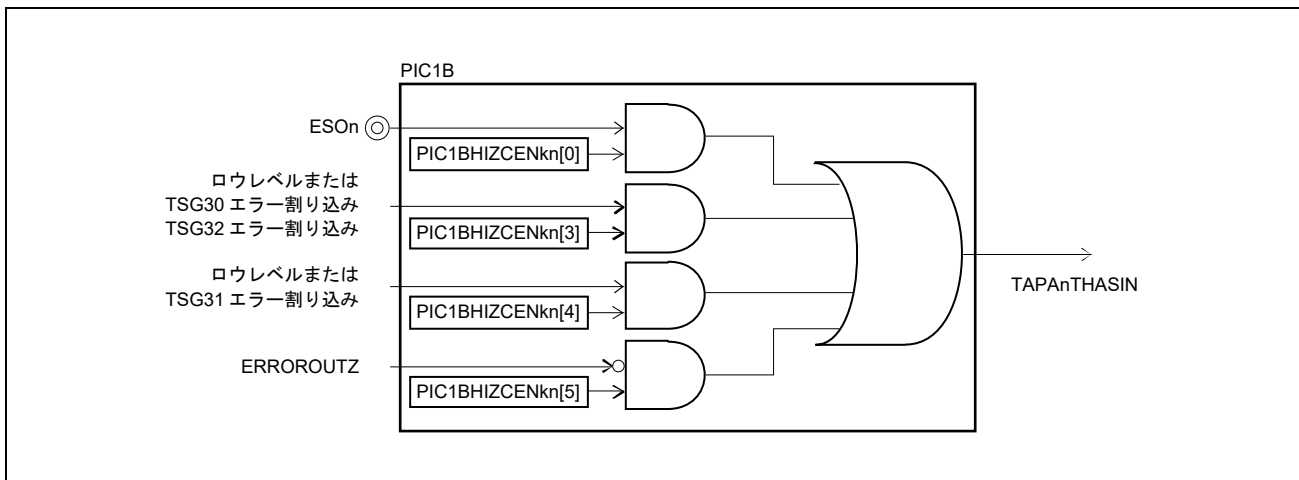


図 24.76 PIC1B ブロック図

本機能で使用する PIC1B レジスタの設定値を以下に示します。

表 24.84 設定値

レジスタ名	Bit5	Bit4	Bit3	Bit0	対象	接続 TAPA
PIC1BHIZCEN00	ERROROUTZ	—	—	ESO0	TAUD0	TAPA0
PIC1BHIZCEN01	ERROROUTZ	—	—	ESO1	TAUD1	TAPA1
PIC1BHIZCEN02	ERROROUTZ	—	INTTSG30IER	ESO3	TSG30	TAPA3
PIC1BHIZCEN03	ERROROUTZ	INTTSG31IER	—	ESO4	TSG31	TAPA4
PIC1BHIZCEN10 ^{注 1}	ERROROUTZ	—	—	ESO2	TAUD2	TAPA2
PIC1BHIZCEN12 ^{注 1}	ERROROUTZ	—	INTTSG32IER	ESO5	TSG32	TAPA5

Bit5 = 1_B (許可)、0_B (禁止) : ERROROUTZ

Bit4 = 1_B (許可)、0_B (禁止) : INTTSG31IER

Bit3 = 1_B (許可)、0_B (禁止) : INTTSG30IER あるいは INTTSG32IER

Bit0 = 1_B (許可)、0_B (禁止) : ESO_m

注 1. C1M-A1 では PIC1BHIZCEN10、PIC1BHIZCEN12、ESO2、ESO5、TAUD2、TSG32、TAPA2、TAPA5 は非搭載です。

(4) 機能

PIC1B では、Hi-Z 制御要因となる ESO_n 端子、ERROROUTZ、INTTSG3_nIER のマスク処理および各信号の OR を TAPAn に出力します。

TAPA による Hi-Z 制御については「**21.4.2.2 基本動作**」を参照してください。

(5) フローチャート

Hi-Z 制御開始前に PIC1B の設定を行ってください。

TAPA の動作フローについては「**21.4.2.3 操作手順**」を参照してください。

24.3 ペリフェラルインタコネクション 2 (PIC2D)

24.3.1 概要

24.3.1.1 機能概要

ペリフェラルインタコネクション 2 (PIC2D) は、各 IP から出力される内部トリガおよび外部トリガ信号を用いて ADCC ハードウェアトリガ信号を生成することができます。

24.3.2 レジスタ

24.3.2.1 レジスタ一覧

以下にレジスタ一覧を示します。

<PIC2D_base> は「[24.1.2 レジスタベースアドレス](#)」を参照してください。

表 24.85 レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
PIC2D	A/D コンバータ 0 トリガ選択制御レジスタ 0	PIC2DADCC0TSEL0	<PIC2D_base> + 00 _H
PIC2D	A/D コンバータ 0 トリガ選択制御レジスタ 1	PIC2DADCC0TSEL1	<PIC2D_base> + 04 _H
PIC2D	A/D コンバータ 0 トリガ選択制御レジスタ 2	PIC2DADCC0TSEL2	<PIC2D_base> + 08 _H
PIC2D	A/D コンバータ 0 トリガ選択制御レジスタ 3	PIC2DADCC0TSEL3	<PIC2D_base> + 0C _H
PIC2D	A/D コンバータ 0 トリガ選択制御レジスタ 4	PIC2DADCC0TSEL4	<PIC2D_base> + 10 _H
PIC2D	A/D コンバータ 0 トリガエッジ選択制御レジスタ	PIC2DADCC0EDGSEL	<PIC2D_base> + 1C _H
PIC2D	A/D コンバータ 1 トリガ選択制御レジスタ 0	PIC2DADCC1TSEL0	<PIC2D_base> + 20 _H
PIC2D	A/D コンバータ 1 トリガ選択制御レジスタ 1	PIC2DADCC1TSEL1	<PIC2D_base> + 24 _H
PIC2D	A/D コンバータ 1 トリガ選択制御レジスタ 2	PIC2DADCC1TSEL2	<PIC2D_base> + 28 _H
PIC2D	A/D コンバータ 1 トリガ選択制御レジスタ 3	PIC2DADCC1TSEL3	<PIC2D_base> + 2C _H
PIC2D	A/D コンバータ 1 トリガ選択制御レジスタ 4	PIC2DADCC1TSEL4	<PIC2D_base> + 30 _H
PIC2D	A/D コンバータ 1 トリガエッジ選択制御レジスタ	PIC2DADCC1EDGSEL	<PIC2D_base> + 3C _H
PIC2D	A/D コンバータ 2 トリガ選択制御レジスタ 0	PIC2DADCC2TSEL0	<PIC2D_base> + 40 _H
PIC2D	A/D コンバータ 2 トリガ選択制御レジスタ 1	PIC2DADCC2TSEL1	<PIC2D_base> + 44 _H
PIC2D	A/D コンバータ 2 トリガ選択制御レジスタ 2	PIC2DADCC2TSEL2	<PIC2D_base> + 48 _H
PIC2D	A/D コンバータ 2 トリガ選択制御レジスタ 3	PIC2DADCC2TSEL3	<PIC2D_base> + 4C _H
PIC2D	A/D コンバータ 2 トリガ選択制御レジスタ 4	PIC2DADCC2TSEL4	<PIC2D_base> + 50 _H
PIC2D	A/D コンバータ 2 トリガエッジ選択制御レジスタ	PIC2DADCC2EDGSEL	<PIC2D_base> + 5C _H
PIC2D	ADCC0~2 共通		
PIC2D	A/D コンバータ トリガ出力制御レジスタ 400	PIC2DADTEN400	<PIC2D_base> + 80 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 401	PIC2DADTEN401	<PIC2D_base> + 84 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 402	PIC2DADTEN402	<PIC2D_base> + 88 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 403	PIC2DADTEN403	<PIC2D_base> + 8C _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 404	PIC2DADTEN404	<PIC2D_base> + 90 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 410	PIC2DADTEN410	<PIC2D_base> + A0 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 411	PIC2DADTEN411	<PIC2D_base> + A4 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 412	PIC2DADTEN412	<PIC2D_base> + A8 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 413	PIC2DADTEN413	<PIC2D_base> + AC _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 414	PIC2DADTEN414	<PIC2D_base> + B0 _H
PIC2D	A/D コンバータ トリガ出力制御レジスタ 420 ^{注 1}	PIC2DADTEN420	<PIC2D_base> + C0 _H

表 24.85 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
PIC2D	A/D コンバータトリガ出力制御レジスタ 421 ^{注 1}	PIC2DADTEN421	<PIC2D_base> + C4 _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 422 ^{注 1}	PIC2DADTEN422	<PIC2D_base> + C8 _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 423 ^{注 1}	PIC2DADTEN423	<PIC2D_base> + CC _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 424 ^{注 1}	PIC2DADTEN424	<PIC2D_base> + D0 _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 430 ^{注 1}	PIC2DADTEN430	<PIC2D_base> + E0 _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 431 ^{注 1}	PIC2DADTEN431	<PIC2D_base> + E4 _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 432 ^{注 1}	PIC2DADTEN432	<PIC2D_base> + E8 _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 433 ^{注 1}	PIC2DADTEN433	<PIC2D_base> + EC _H
PIC2D	A/D コンバータトリガ出力制御レジスタ 434 ^{注 1}	PIC2DADTEN434	<PIC2D_base> + F0 _H

注 1. C1M-A1 では非搭載です。

24.3.2.2 PIC2DADCCnTSELx — A/D コンバータ n トリガ選択制御レジスタ x

PIC2DADCCnTSELx レジスタは、ADCCn のスキャングループ x のトリガを選択するレジスタです。

(n = 0~2, x = 0~4)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PIC2D_base> + 00_H (n = 0, x = 0), <PIC2D_base> + 04_H (n = 0, x = 1), <PIC2D_base> + 08_H (n = 0, x = 2),
<PIC2D_base> + 0C_H (n = 0, x = 3), <PIC2D_base> + 10_H (n = 0, x = 4),
<PIC2D_base> + 20_H (n = 1, x = 0), <PIC2D_base> + 24_H (n = 1, x = 1), <PIC2D_base> + 28_H (n = 1, x = 2),
<PIC2D_base> + 2C_H (n = 1, x = 3), <PIC2D_base> + 30_H (n = 1, x = 4)
<PIC2D_base> + 40_H (n = 2, x = 0), <PIC2D_base> + 44_H (n = 2, x = 1), <PIC2D_base> + 48_H (n = 2, x = 2),
<PIC2D_base> + 4C_H (n = 2, x = 3), <PIC2D_base> + 50_H (n = 2, x = 4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC2DADCCnTSELx[27:24]				—	—	—	PIC2DADCCnTSELx[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DADCCnTSELx[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.86 PIC2DADCCnTSELx レジスタの内容 (1/3)

ビット位置	ビット名	機能
31~28	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
27	PIC2DADCCnTSELx27	ADCCn のスキャングループ x のトリガソースとして RDC3A1 励磁タイマ (ET) A/D 変換開始トリガ信号出力を選択する。 ^{注 1} 0 : 選択しない 1 : 選択する
26	PIC2DADCCnTSELx26	ADCCn のスキャングループ x のトリガソースとして RDC3A1 コンペア 0 一致割り込み要求信号を選択する。 ^{注 1} 0 : 選択しない 1 : 選択する
25	PIC2DADCCnTSELx25	ADCCn のスキャングループ x のトリガソースとして RDC3A0 励磁タイマ (ET) A/D 変換開始トリガ信号出力を選択する。 0 : 選択しない 1 : 選択する
24	PIC2DADCCnTSELx24	ADCCn のスキャングループ x のトリガソースとして RDC3A0 コンペア 0 一致割り込み要求信号を選択する。 0 : 選択しない 1 : 選択する
23~21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20	PIC2DADCCnTSELx20	ADCCn のスキャングループ x のトリガソースとして EMU3 チャンネル 1 の ADC スキャングループ変換起動信号 EMU31 ADTRG を選択する。 0 : 選択しない 1 : 選択する

表 24.86 PIC2DADCCnTSELx レジスタの内容 (2/3)

ビット位置	ビット名	機能
19	PIC2DADCCnTSELx19	ADCCn のスキヤングループ x のトリガソースとして EMU3 チャンネル 0 の ADC スキヤングループ変換起動信号 EMU30 ADTRG を選択する。 0: 選択しない 1: 選択する
18	PIC2DADCCnTSELx18	ADCCn のスキヤングループ x のトリガソースとして TAPA2TADOUT1 信号を選択する。 0: 選択しない 1: 選択する
17	PIC2DADCCnTSELx17	ADCCn のスキヤングループ x のトリガソースとして TAPA2TADOUT0 信号を選択する。 0: 選択しない 1: 選択する
16	PIC2DADCCnTSELx16	ADCCn のスキヤングループ x のトリガソースとして TAPA1TADOUT1 信号を選択する。 0: 選択しない 1: 選択する
15	PIC2DADCCnTSELx15	ADCCn のスキヤングループ x のトリガソースとして TAPA1TADOUT0 信号を選択する。 0: 選択しない 1: 選択する
14	PIC2DADCCnTSELx14	ADCCn のスキヤングループ x のトリガソースとして TAPA0TADOUT1 信号を選択する。 0: 選択しない 1: 選択する
13	PIC2DADCCnTSELx13	ADCCn のスキヤングループ x のトリガソースとして TAPA0TADOUT0 信号を選択する。 0: 選択しない 1: 選択する
12	PIC2DADCCnTSELx12	ADCCn のスキヤングループ x のトリガソースとして ADTRGnZ 端子を選択する。 0: 選択しない 1: 選択する
11	PIC2DADCCnTSELx11	ADCCn のスキヤングループ x のトリガソースとして TSG2TSTADT1 信号を選択する。 ^{注 1} 0: 選択しない 1: 選択する
10	PIC2DADCCnTSELx10	ADCCn のスキヤングループ x のトリガソースとして TSG2TSTADT0 信号を選択する。 ^{注 1} 0: 選択しない 1: 選択する
9	PIC2DADCCnTSELx09	ADCCn のスキヤングループ x のトリガソースとして TSG1TSTADT1 信号を選択する。 0: 選択しない 1: 選択する
8	PIC2DADCCnTSELx08	ADCCn のスキヤングループ x のトリガソースとして TSG1TSTADT0 信号を選択する。 0: 選択しない 1: 選択する
7	PIC2DADCCnTSELx07	ADCCn のスキヤングループ x のトリガソースとして TSG0TSTADT1 信号を選択する。 0: 選択しない 1: 選択する
6	PIC2DADCCnTSELx06	ADCCn のスキヤングループ x のトリガソースとして TSG0TSTADT0 信号を選択する。 0: 選択しない 1: 選択する
5	PIC2DADCCnTSELx05	ADCCn のスキヤングループ x のトリガソースとして ENCAT1INT1 信号を選択する。 0: 選択しない 1: 選択する
4	PIC2DADCCnTSELx04	ADCCn のスキヤングループ x のトリガソースとして ENCAT0INT1 信号を選択する。 0: 選択しない 1: 選択する

表 24.86 PIC2DADCCnTSELx レジスタの内容 (3/3)

ビット位置	ビット名	機能
3	PIC2DADCCn TSELx03	ADCCn のスキヤングループ x のトリガソースとして PIC2DADTEN43x レジスタで選択されたトリガを選択する。 ^{注 1} 0: 選択しない 1: 選択する
2	PIC2DADCCn TSELx02	ADCCn のスキヤングループ x のトリガソースとして PIC2DADTEN42x レジスタで選択されたトリガを選択する。 ^{注 1} 0: 選択しない 1: 選択する
1	PIC2DADCCn TSELx01	ADCCn のスキヤングループ x のトリガソースとして PIC2DADTEN41x レジスタで選択されたトリガを選択する。 0: 選択しない 1: 選択する
0	PIC2DADCCn TSELx00	ADCCn のスキヤングループ x のトリガソースとして PIC2DADTEN40x レジスタで選択されたトリガを選択する。 0: 選択しない 1: 選択する

注 1. C1M-A1 では非搭載であるため、0 を設定してください。

24.3.2.3 PIC2DADCCnEDGSEL — A/D コンバータ n トリガエッジ選択制御レジスタ

PIC2DADCCnEDGSEL レジスタは ADCC トリガを生成するワンショットパルス発生回路に対して有効エッジの選択を行うレジスタです。

ADC 外部端子トリガは負論理で入力されますが、トリガ要因選択時は、正論理に変換します。エッジ検出は、選択後のトリガ要因に対して行うため、ADC 外部端子信号に対しては、エッジの定義が逆になることに注意してください (00 を設定すると、ADC 外部端子トリガ ADTRG0Z、ADTRG1Z、ADTRG2Z の立ち下がりエッジを選択します)。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC2D_base> + 1CH (n = 0), <PIC2D_base> + 3CH (n = 1), <PIC2D_base> + 5CH (n = 2)

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC2DADCCnEDGSEL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.87 PIC2DADCCnEDGSEL レジスタの内容

ビット位置	ビット名	機能
15~10	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
9、8	PIC2DADCCn EDGSEL[9:8]	ADCCn のスキヤングループ 4 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がりエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
7、6	PIC2DADCCn EDGSEL[7:6]	ADCCn のスキヤングループ 3 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がりエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
5、4	PIC2DADCCn EDGSEL[5:4]	ADCCn のスキヤングループ 2 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がりエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
3、2	PIC2DADCCn EDGSEL[3:2]	ADCCn のスキヤングループ 1 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がりエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)
1、0	PIC2DADCCn EDGSEL[1:0]	ADCCn のスキヤングループ 0 の有効エッジを選択。 00 : 立ち上がりエッジを選択 01 : 立ち下がりエッジを選択 10 : 両エッジを選択 11 : — (設定禁止)

24.3.2.4 PIC2DADTEN4nx — A/D コンバータトリガ出力制御レジスタ^{注 1}

PIC2DADTEN4nx レジスタは ADCC トリガとして TAUDn チャンネル m からのトリガソース選択許可を行うレジスタです (n = 0~3, x = 0~4)。本レジスタは ADCC0~2 共通です。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PIC2D_base> + 80_H (n = 0, x = 0), <PIC2D_base> + 84_H (n = 0, x = 1), <PIC2D_base> + 88_H (n = 0, x = 2),
<PIC2D_base> + 8C_H (n = 0, x = 3), <PIC2D_base> + 90_H (n = 0, x = 4),
<PIC2D_base> + A0_H (n = 1, x = 0), <PIC2D_base> + A4_H (n = 1, x = 1), <PIC2D_base> + A8_H (n = 1, x = 2),
<PIC2D_base> + AC_H (n = 1, x = 3), <PIC2D_base> + B0_H (n = 1, x = 4),
<PIC2D_base> + C0_H (n = 2, x = 0), <PIC2D_base> + C4_H (n = 2, x = 1), <PIC2D_base> + C8_H (n = 2, x = 2),
<PIC2D_base> + CC_H (n = 2, x = 3), <PIC2D_base> + D0_H (n = 2, x = 4),
<PIC2D_base> + E0_H (n = 3, x = 0), <PIC2D_base> + E4_H (n = 3, x = 1), <PIC2D_base> + E8_H (n = 3, x = 2),
<PIC2D_base> + EC_H (n = 3, x = 3), <PIC2D_base> + F0_H (n = 3, x = 4)

リセット後の値 0000_H

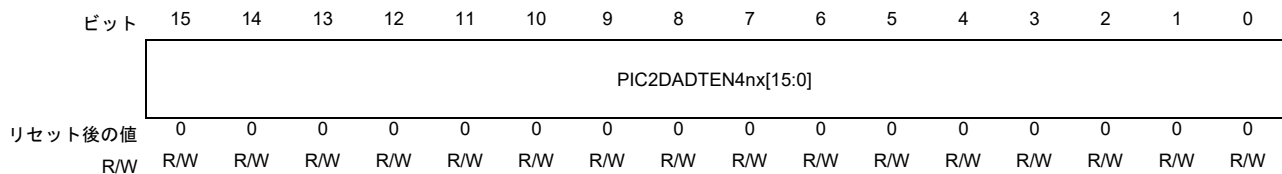


表 24.88 PIC2DADTEN4nx レジスタの内容

ビット位置	ビット名	機能
15~0	PIC2DADTEN4nxm (m = 0~15)	TAUDn のチャンネル m からのトリガソースを設定する。 0 : TAUDn のチャンネル m のトリガソースを ADCC トリガとして選択可能にしない。 1 : TAUDn のチャンネル m のトリガソースを ADCC トリガとして選択可能にする。

注 1. C1M-A1 では PIC2DADTEN42x レジスタ (TAUD2) および PIC2DADTEN43x レジスタ (TAUD3) は非搭載です。

24.3.3 機能

24.3.3.1 ADCC トリガ選択機能

(1) 概要

各 IP からの信号を使って、各チャンネルグループの ADCC ハードウェアトリガ信号を生成する機能です。選択可能な IP は、TAUD0、TAUD1、TAUD2^{注1}、TAUD3^{注1}、ENCA0、ENCA1、TSG30、TSG31、TSG32^{注1}、TAPA0、TAPA1、TAPA2、EMU3、RDC3A0、RDC3A1^{注1}です。

外部トリガ信号 (ADTRG) はアクティブラウであるため、PIC2D にて論理反転を行います。

注 1. C1M-A1 では非搭載です。

(2) 構成

各 IP と PIC2D を組み合わせることで、ADCC トリガ選択機能を実現します。ADCC トリガ選択機能のブロック図を以下に示します。

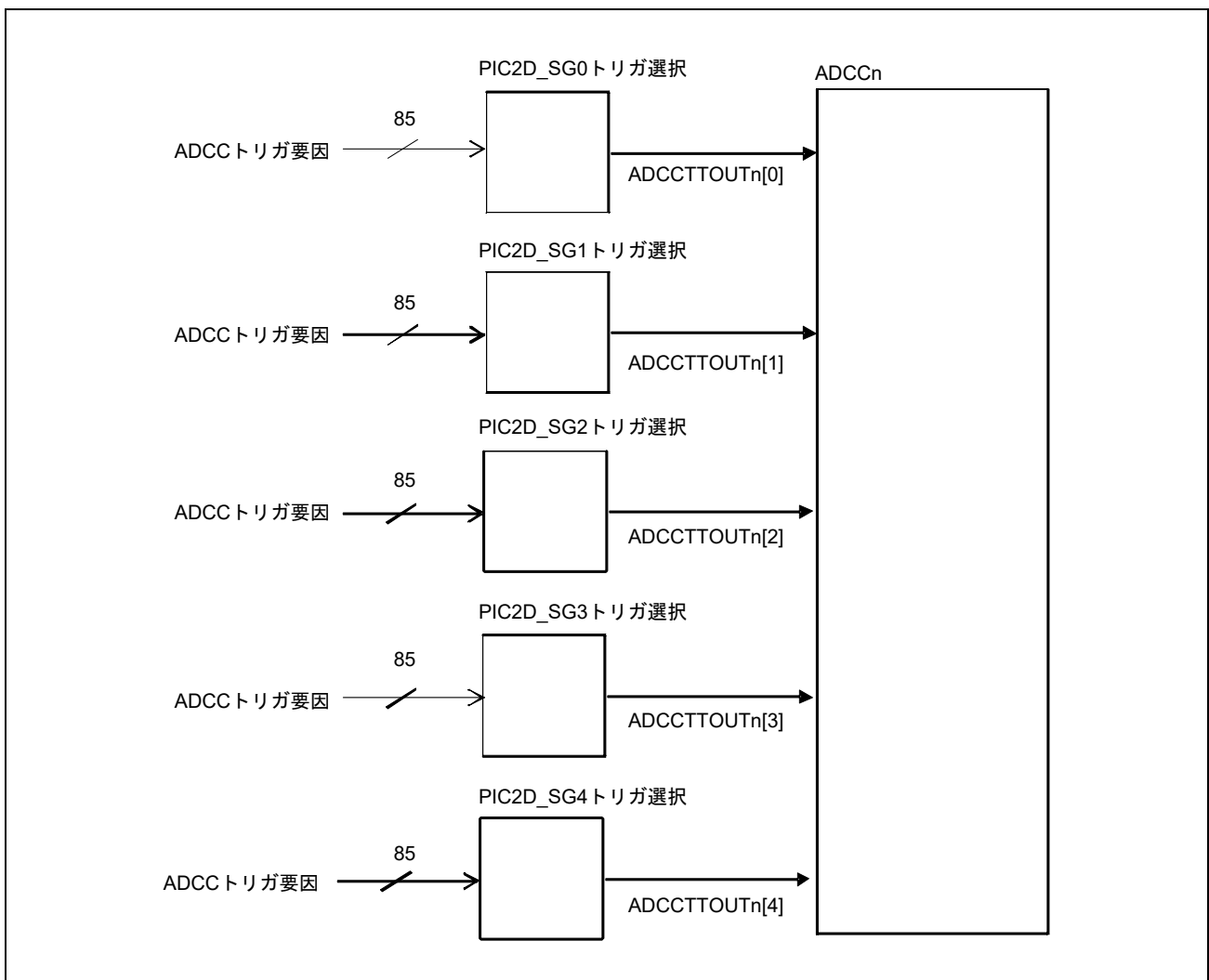


図 24.77 ADCC トリガ選択機能ブロック図

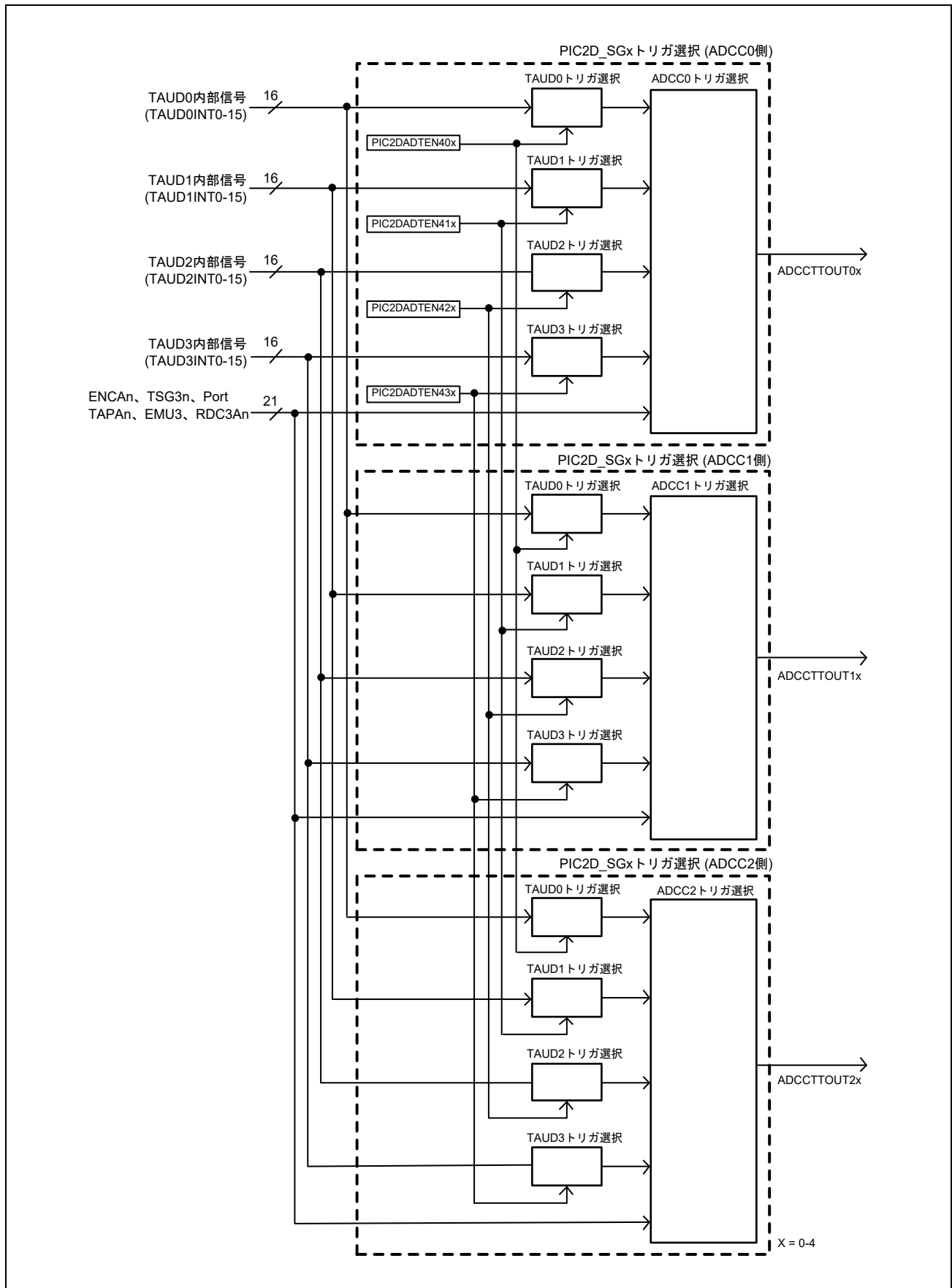


図 24.78 PIC2D_SG x トリガ選択ブロック図

注 1. C1M-A1 では RDC3A1、TSG32、TAUD2、TAUD3 および TAUD2/TAUD3 関連信号は非搭載です。

(3) レジスタ

本機能で使用する PIC2D の設定レジスタについては、**図 24.79 PIC2D ブロック図**および、**24.3.2.2～24.3.2.4** を参照してください。

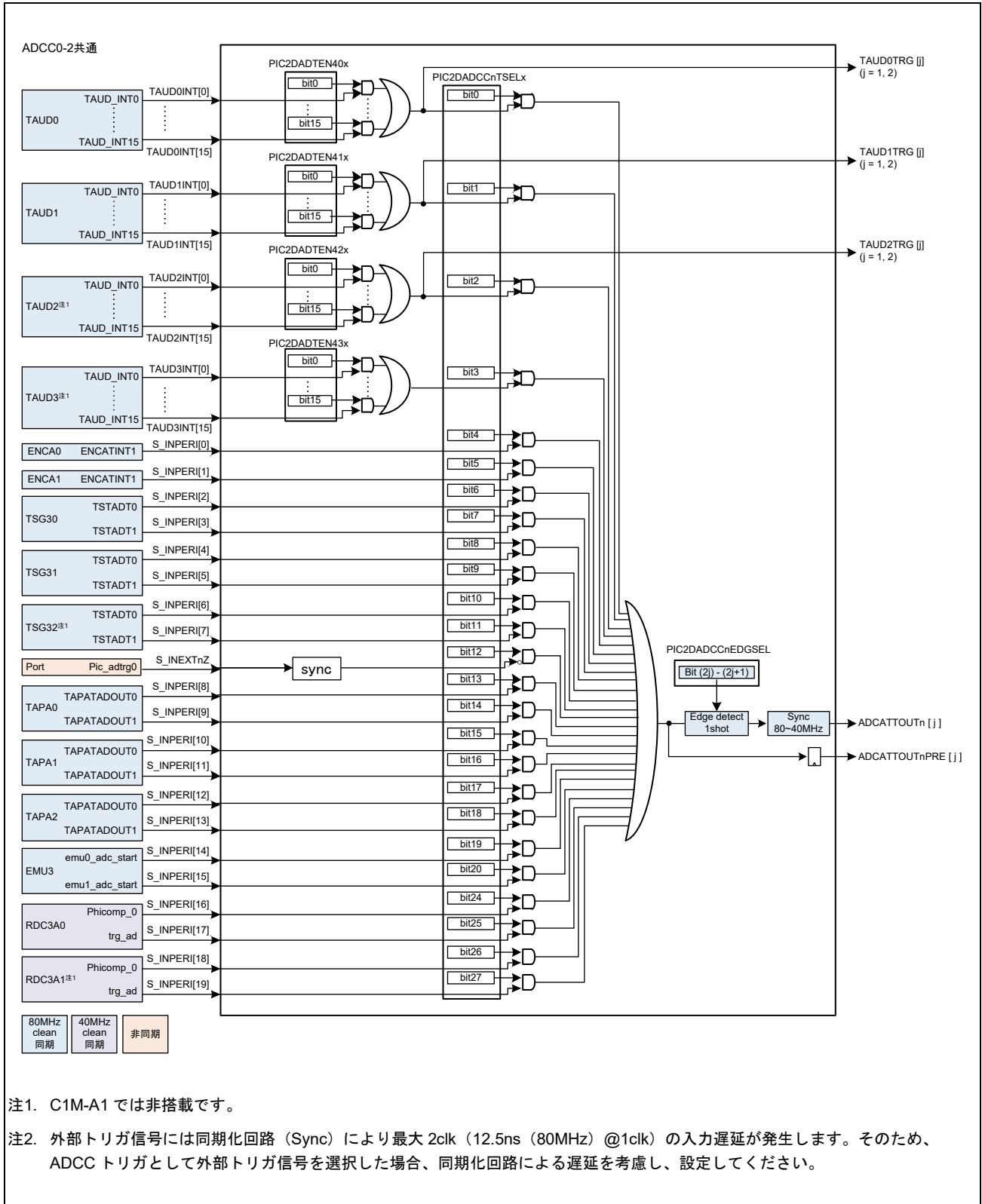


図 24.79 PIC2D ブロック図

(4) 機能

ADCCn のチャンネルグループごとに、AD トリガ信号を任意に選択可能です。

AD トリガ信号は、立ち上がりエッジ、立ち下がりエッジ、両エッジ出力が選択可能です。

ADCC0, ADCC1, ADCC2 トリガにおいて、同じ番号のスキャングループでの TAUD トリガは共通です。

(5) フローチャート

本機能は、AD 動作前に設定してください。

24.3.3.2 TAUD トリガ出力機能

(1) 概要

TAUD の各チャンネルの割り込み要求信号のマスク処理と各信号の OR を行い、TAPA に TAUD トリガ信号を出力します。本機能はスキャングループ 1, 2 のみの機能です。

TAUD トリガ信号は TAPA の A/D コンバータ変換トリガ信号のソースになります。詳細は「**21.4.3 A/D コンバータ変換トリガ選択機能**」を参照してください。

(2) 構成

PIC2D により TAUD トリガ出力機能を実現します。TAUD トリガ出力機能のブロック図を以下に示します。

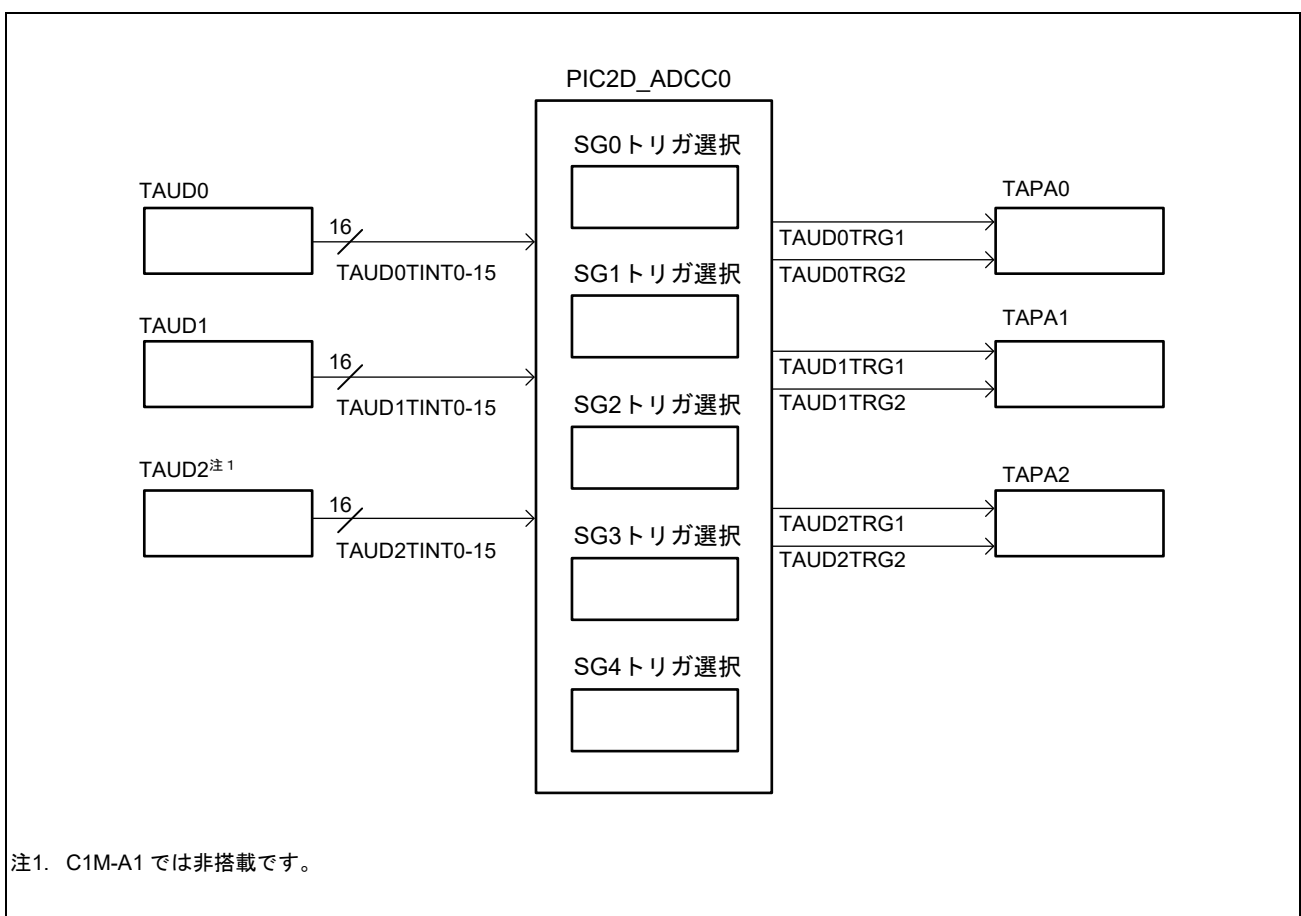


図 24.80 TAUD トリガ出力機能 ブロック図

(3) レジスタ

本機能で使用する PIC2D の設定レジスタについては、**図 24.79 PIC2D ブロック図**および、「**24.3.2.4 PIC2DADTEN4nx — A/D コンバータトリガ出力制御レジスタ**」を参照してください。

本機能で使用する PIC2D レジスタの設定値を以下に示します。

PIC2DADTEN40x = (任意)

PIC2DADTEN41x = (任意)

PIC2DADTEN42x = (任意)

PIC2DADTEN43x = 0000_0000_0000_0000_B

PIC2DADCCnTSELx[3:0] = 0000_B

x = 1, 2

(4) 機能

TAUD の各チャンネルの割り込み要求信号のマスク処理と各信号の OR を行い、TAPA に TAUD トリガ信号を出力します。

注 意

本機能はスキャングループ 1, 2 のみの機能です。

スキャングループ 1, 2 において、本機能を使用する際、TAUD トリガ選択は TAPA 経由の経路で行い、ADCC トリガ選択機能で TAUD トリガの直接経路を選択しないでください。

(5) フローチャート

本機能は、AD 動作前に設定してください。

第25章 エンハンスドモータコントロールユニット (EMU3)

25.1 RH850/C1M-A の EMU3 の特長

エンハンスドモータコントロールユニット 3 (EMU3 : Enhanced Motor control Unit 3) は、A/D コンバータで測定した電流値と R/D コンバータで取得したモータの角度値を元に、ベクトル制御演算による三相 PWM コンペア値の算出や、矩形波パタンの生成を行うモータ制御アクセラレータエンジンです。EMU3 の演算結果を元に、3 相モータタイマである「TSG3」が PWM 波形や矩形波を出力します。

また、EMU3 はハードウェア部による高速な演算に加え、SubCPU を内蔵しており、ソフトウェア処理を導入させた柔軟なモータ制御が可能です。

25.1.1 ユニット数

本製品は、以下に示すユニット数の EMU3 を搭載しています。

表 25.1 EMU3 のユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	1	1
名称	EMU3	EMU3

25.1.1.1 EMU3 のサブユニット数

EMU3 は、表 25.2 に示すユニット数の SubCPU を搭載しています。

表 25.2 SubCPU のユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	1	1
名称	SubCPU	SubCPU

EMU3 は、表 25.3 に示すユニット数の H/W アクセラレータを搭載しています。

表 25.3 H/W アクセラレータのユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	2	1
名称	EMU3n (n = 0, 1)	EMU3n (n = 0)

表 25.4 添字

添字	意味
n	本章では、モータ制御 H/W アクセラレータの各ユニットを「n」 (n = 0, 1) で識別します ^{注 1} 。たとえば EMU3n プロテクトレジスタは EMU3nPRT と記述します。
m, k	本章では、説明時の変数を「m」、「k」で示します。

注 1. H/W アクセラレータ (EMU31) は C1M-A1 では非搭載です。

25.1.2 レジスタベースアドレス

EMU3 のベースアドレスを以下の表に示します。

EMU3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 25.5 レジスタベースアドレス

ベースアドレス名	CPU1、CPU2 からのベースアドレス	SubCPU からのベースアドレス
<EMU_base>	FF70 0000 _H	FC00 0000 _H
<EMU3n_base> (n = 0, 1)	FF70 n000 _H	FC00 n000 _H

25.1.3 クロック供給

EMU3 のクロック供給を以下の表に示します。

表 25.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
EMU3	CLK_CPU	CLK_CPU (CPU クロック)
	CLK_EMU_H	CLK_EMU_H (SubCPU クロック)
	CLK_EMU_L	CLK_EMU_L (EMU3 モータ制御 H/W アクセラレータクロック)
	CLK_HSB	CLK_HSB (高速周辺クロック)
	CLKC_HSB	CLKC_HSB (非変調高速周辺クロック)

25.1.4 割り込み要求

表 25.7 に EMU3 の割り込み一覧を示します。

割り込み要因の詳細については、「**25.4.15 割り込み制御**」を参照ください。

表 25.7 EMU3 割り込み一覧

ユニット割り込み信号	割り込み番号	DMA トリガ 番号		DTS トリガ 番号	
		1st	2nd	1st	2nd
EMU30					
EMU30 割り込み 0	56	77	—	77	—
EMU30 割り込み 1	57	78	—	78	—
EMU30 割り込み 2	58	79	—	79	—
EMU30 割り込み 3	59	80	—	80	—
EMU30 割り込み 4	60	81	—	81	—
EMU30 割り込み 5	61	—	35	—	35
EMU30 割り込み 6	62	—	36	—	36
EMU30 割り込み 7	63	—	37	—	37
EMU31					
EMU31 割り込み 0 ^{注1}	66	82	—	82	—
EMU31 割り込み 1 ^{注1}	67	83	—	83	—
EMU31 割り込み 2 ^{注1}	68	84	—	84	—
EMU31 割り込み 3 ^{注1}	69	85	—	85	—
EMU31 割り込み 4 ^{注1}	70	86	—	86	—
EMU31 割り込み 5 ^{注1}	71	—	40	—	40
EMU31 割り込み 6 ^{注1}	72	—	41	—	41
EMU31 割り込み 7 ^{注1}	73	—	42	—	42

注 1. EMU31 割り込み 0~7 は RH850/C1M-A2 のみ対応しています。

25.1.5 リセット要因

EMU3 のリセット要因を以下に示します。

表 25.8 リセット要因

ユニット名	リセット要因
EMU3	すべてのリセット要因

25.2 概要

25.2.1 機能概要

EMU3 は A/D コンバータで測定した電流値と R/D コンバータで取得したモータの角度値を元に、ベクトル制御演算による三相 PWM コンペア値の算出や、矩形波パタンの生成を行うモータ制御アクセラレータエンジン（モータ制御 H/W アクセラレータ）を 2 チャンネル^{注1}と、モータ制御 H/W アクセラレータの制御及びソフトウェア処理を介入させた柔軟なモータ制御のための SubCPU を搭載しています。

注 1. チャンネル 1 (ch1) の H/W アクセラレータ (EMU31) は C1M-A1 では非搭載です。

図 25.1 に EMU3 の構成を示します。

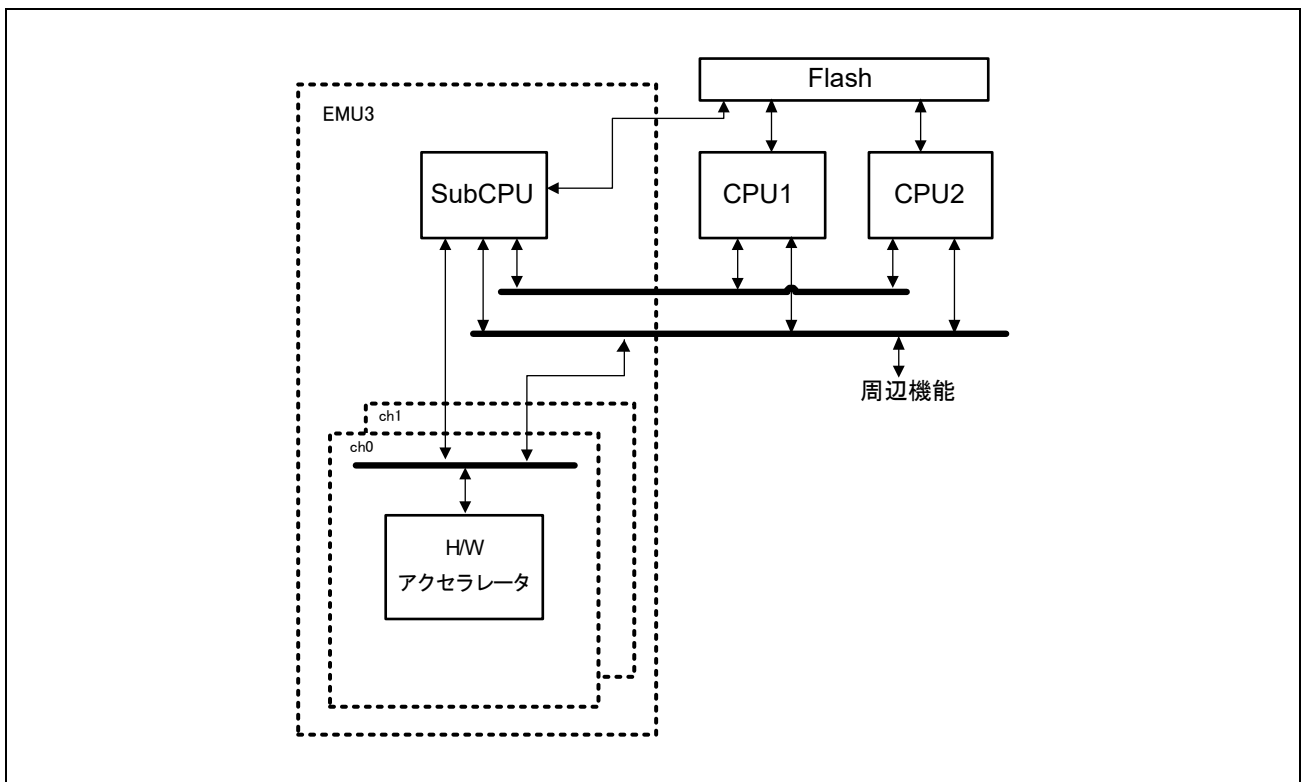


図 25.1 EMU3 の構成概要

25.2.1.1 SubCPU

EMU3 は H/W アクセラレータの制御及び、モータ制御におけるアルゴリズムの変更/追加を可能にするための SubCPU として RH850 G3MH コアを内蔵しています。SubCPU は、H/W アクセラレータへの専用バスを持ち、レジスタへの高速なアクセスが可能です。RH850 G3MH コアの仕様に関しては、「**第 3 章 CPU システム**」を参照ください。

また、SubCPU のアドレスマップに関しては、「**第 4 章 アドレス空間**」を参照ください。

25.2.1.2 H/W アクセラレータ

H/W アクセラレータは主に PWM デューティ値算出のためのベクトル演算制御機能および矩形波生成機能を有しています。またこれらの PWM 制御と矩形波制御を同時に実行する事ができ、PWM コンペア値および矩形波パターンを同時に出力することが可能です。

また、各 IP での処理完了時やコンペアマッチなどで割り込みを発生することができるため、演算の一部を CPU で行うなどの柔軟な対応も可能です。

表 25.9 に H/W アクセラレータの仕様概要を示します。

表 25.9 H/W アクセラレータの仕様概要

項目	機能	説明
入力		A/D コンバータ、R/D コンバータ等から各種センサ情報やトリガを取得します。
	A/D コンバータからの U/V/W 相電流値入力	U/V/W 相電流値の A/D 変換結果を取得します。
	R/D コンバータからのレゾルバ角度入力	レゾルバの R/D 変換結果と Z 相を取得します。
	TSG3 からのキャリア山、谷トリガ入力	キャリアカウンタの山、谷トリガ信号を取得します。
出力		TSG3 へ矩形波パターンおよび PWM 制御信号を出力します。
	矩形波パターン出力	1bit×3 本 (U 相パターン、V 相パターン、W 相パターン)
	PWM 制御値出力	18bit×4 本 (キャリア周期値、U 相 PWM コンペア値、V 相 PWM コンペア値、W 相 PWM コンペア値) 1bit×1 本 (ライトイネーブル信号)
レジスタインタフェース		SubCPU および CPU1、CPU2 からモータ制御 H/W アクセラレータ内の制御レジスタを操作可能。
割り込み出力		出力本数 8 本。25 種類の要因から選択可能。
モータ制御機能		モータ制御のための機能は以下の纏まった単位毎に実装されています。
	入力演算機能 (入力 IP)	モータ電流値と電気角を用いて dq 変換を行います。
	PI 制御演算機能 (PI 制御 IP)	dq 軸の電流値を用いて PI 制御を行います。
	PWM 値演算機能 (PWM IP)	dq 軸の電圧値と電気角を用いて三相変換を行い、PWM デューティ値を算出します。
	矩形波パターン演算機能 (矩形 IP)	電圧位相値から、矩形波出力レベルやコンペア値を算出します
	角度生成機能 (角度生成 IP)	レゾルバ角から電気角への算出およびレゾルバ角コンペア一致検出および電気角コンペア一致検出を行います。
	一括矩形波制御機能 (一括矩形 IP)	電気角コンペア一致検出の際に、U/V/W 相の矩形波出力パターンを一括して切り替えます。
	独立矩形波制御機能 1 (独立矩形 IP1)	U/V/W の各相に 3 種類ずつのコンペア値と矩形波出力パターン値を設定し、各相独立したタイミングで矩形波出力パターンを切り替えます。
	独立矩形波制御機能 2 (独立矩形 IP2)	レジスタとコンペア機能を強化し自由度の高い矩形波を生成できます。
	パルス周期計測タイマ/レゾルバ角度計測タイマ	Z 相間隔毎のサイクル数を計測するタイマです。速度計算のための一つの情報として使用することができます。
	検算用バッファ (故障検出機能)	H/W アクセラレータの処理結果を CPU プログラムにて検算するためのバッファを備えます。
	IIR フィルタ	A/D で取得した電流値のフィルタ処理を行うため 2 次の IIR フィルタを搭載しています。

入力 IP、PI 制御 IP、PWM IP、矩形 IP は同時に動作できません。同時に複数の IP を起動しようとした場合は、矩形 IP > 入力 IP > PI 制御 IP > PWM IP の優先順位にしたがい、優先順位の高い IP が起動します。IP 動作中に、同一 IP を再起動しても無視されます。

25.2.2 ブロック図

H/W アクセラレータの主要なコンポーネントを以下の図に示します^{注1}。

注 1. チャンネル 1 (ch1) 側の H/W アクセラレータ (EMU31) は C1M-A1 では非搭載です。

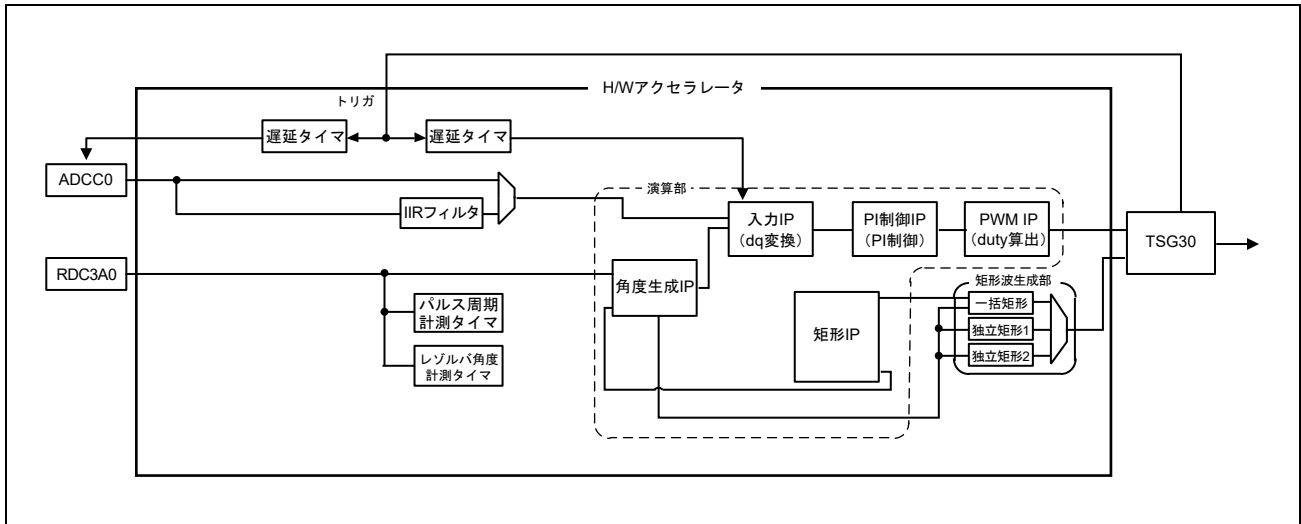
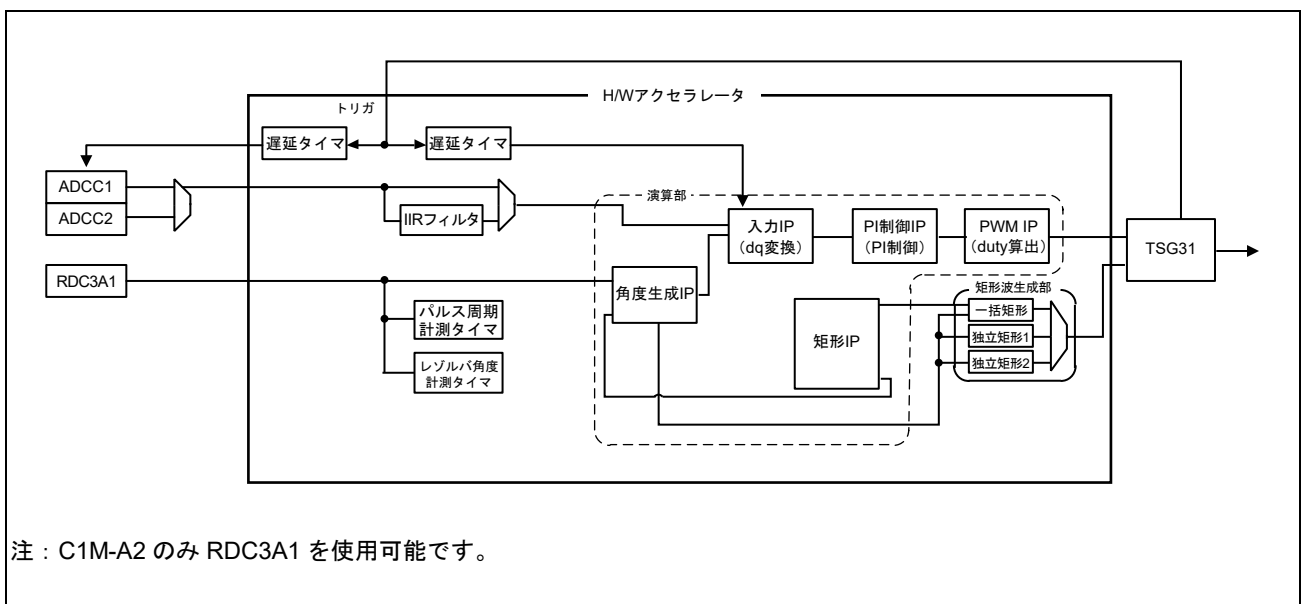


図 25.2 EMU30 のブロック図



注 : C1M-A2 のみ RDC3A1 を使用可能です。

図 25.3 EMU31 のブロック図

EMU31 に取り込む A/D コンバータのデータは ADC1 または ADC2 から選択可能です。詳細は ADC 選択レジスタ (EMU3ADCSEL) をご参照ください。

25.3 レジスタ

25.3.1 レジスタ一覧

以下の表に EMU3 のレジスタ一覧を示します。何も配置されていないアドレスは予約領域です。アクセスしないでください。

表 25.10 H/W アクセラレータのレジスタ一覧 (全般・共通) (1/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n プロテクトレジスタ	EMU3nPRT	<EMU3n_base> + 0000 _H	8 R/W	00 _H
EMU3n 制御レジスタ	EMU3nCTR	<EMU3n_base> + 0004 _H	8 R/W	00 _H
EMU3n レジスタ値反映制御レジスタ	EMU3nREFCTR	<EMU3n_base> + 0008 _H	8 R/W	00 _H
EMU3n IP 起動トリガ要因選択レジスタ	EMU3nIPTRG	<EMU3n_base> + 0010 _H	8 R/W	00 _H
EMU3n IP ソフトウェア起動レジスタ	EMU3nIPSFT	<EMU3n_base> + 0014 _H	8 R/W	00 _H
EMU3n A/D 変換完了タイミング選択レジスタ	EMU3nADEND	<EMU3n_base> + 0016 _H	8 R/W	00 _H
EMU3n A/D 変換開始トリガ要因選択レジスタ	EMU3nADTRG	<EMU3n_base> + 0018 _H	8/16/32 R/W	0000 0000 _H
EMU3n A/D 変換開始トリガ要因判別レジスタ	EMU3nADMON	<EMU3n_base> + 001C _H	32 R	0000 0000 _H
EMU3n A/D 変換開始トリガ要因判別クリアレジスタ	EMU3nADMONC	<EMU3n_base> + 0020 _H	8/16/32 R/W	0000 0000 _H
EMU3n データ遅延カウント設定レジスタ	EMU3nDDCNT	<EMU3n_base> + 0024 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 0 レジスタ	EMU3nINT0	<EMU3n_base> + 0028 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 1 レジスタ	EMU3nINT1	<EMU3n_base> + 002C _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 2 レジスタ	EMU3nINT2	<EMU3n_base> + 0030 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 3 レジスタ	EMU3nINT3	<EMU3n_base> + 0034 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 4 レジスタ	EMU3nINT4	<EMU3n_base> + 0038 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 5 レジスタ	EMU3nINT5	<EMU3n_base> + 003C _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 6 レジスタ	EMU3nINT6	<EMU3n_base> + 0040 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因選択 7 レジスタ	EMU3nINT7	<EMU3n_base> + 0044 _H	32 R/W	0000 0000 _H
EMU3n 割り込み要因判別レジスタ	EMU3nINTSD	<EMU3n_base> + 0048 _H	32 R	0000 0000 _H
EMU3n 割り込み要因判別クリアレジスタ	EMU3nINTSDC	<EMU3n_base> + 004C _H	32 R/W	0000 0000 _H
EMU3n オーバフロー検出結果レジスタ	EMU3nOFMON	<EMU3n_base> + 0050 _H	8 R	00 _H
EMU3n ゼロ除算検出結果レジスタ	EMU3nZDMON	<EMU3n_base> + 0051 _H	8 R	00 _H
EMU3n オーバフロー検出結果クリアレジスタ	EMU3nOFMONC	<EMU3n_base> + 0052 _H	8 R/W	00 _H
EMU3n ゼロ除算検出結果クリアレジスタ	EMU3nZDMONC	<EMU3n_base> + 0053 _H	8 R/W	00 _H
EMU3n パルス周期計測タイマ制御レジスタ	EMU3nPMTCTR	<EMU3n_base> + 0060 _H	16 R/W	0000 _H
EMU3n パルス周期計測タイマカウンタレジスタ	EMU3nPMTCNT	<EMU3n_base> + 0064 _H	32 R/W	0000 0000 _H
EMU3n パルス周期計測タイマキャプチャレジスタ	EMU3nPMTCAP	<EMU3n_base> + 0068 _H	32 R	0000 0000 _H

表 25.10 H/W アクセラレータのレジスタ一覧 (全般・共通) (2/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n パルス周期計測タイマオーバーフローレジスタ	EMU3nPMTOF	<EMU3n_base> + 006C _H	8 R/W	00 _H
EMU3n レゾルバ角度計測タイマ制御レジスタ	EMU3nPMT2CTR	<EMU3n_base> + 0070 _H	8 R/W	00 _H
EMU3n レゾルバ角度計測タイマソフトトリガレジスタ	EMU3nPMT2SFT	<EMU3n_base> + 0074 _H	8 R/W	00 _H
EMU3n レゾルバ角度計測タイマカウンタレジスタ	EMU3nPMT2CNT	<EMU3n_base> + 0078 _H	32 R/W	0000 0000 _H
EMU3n レゾルバ角度計測タイマキャプチャレジスタ	EMU3nPMT2CAP	<EMU3n_base> + 007C _H	32 R	0000 0000 _H
EMU3n レゾルバ角度計測タイマキャプチャ間隔設定レジスタ	EMU3nPMT2INVL	<EMU3n_base> + 0080 _H	8 R/W	0B _H
EMU3n A/D 変換開始ソフトトリガレジスタ	EMU3nADSFTTRG	<EMU3n_base> + 0084 _H	8 R/W	00 _H
EMU3n H/W 演算ブロック IDLE 時起動指定 A0 レジスタ	EMU3nFUNCIDLEGRPA0	<EMU3n_base> + 0090 _H	16 R/W	0000 _H
EMU3n H/W 演算ブロック IDLE 時起動指定 A1 レジスタ	EMU3nFUNCIDLEGRPA1	<EMU3n_base> + 0092 _H	16 R/W	0000 _H
EMU3n H/W 演算ブロック IDLE 時起動指定 A2 レジスタ	EMU3nFUNCIDLEGRPA2	<EMU3n_base> + 0094 _H	16 R/W	0000 _H
EMU3n H/W 演算ブロック完了判別 A レジスタ	EMU3nFUNCFINGRPA	<EMU3n_base> + 0096 _H	16 R	0000 _H
EMU3n H/W 演算ブロック IDLE 時起動指定 B レジスタ	EMU3nFUNCIDLEGRP B	<EMU3n_base> + 0098 _H	16 R/W	0000 _H
EMU3n H/W 演算ブロック完了判別 B レジスタ	EMU3nFUNCFINGRP B	<EMU3n_base> + 009A _H	16 R	0000 _H
EMU3n H/W 演算ブロック WAIT 時起動指定 A レジスタ	EMU3nFUNCWAITGRPA	<EMU3n_base> + 00A4 _H	16 R/W	0000 _H
EMU3n H/W 演算ブロック WAIT 時起動指定 B レジスタ	EMU3nFUNCWAITGRP B	<EMU3n_base> + 00A8 _H	16 R/W	0000 _H
EMU3n 機能 IP 状態判別 A レジスタ	EMU3nFSMSTGRPA	<EMU3n_base> + 00D4 _H	32 R	0000 0000 _H
EMU3n 機能 IP 状態判別 B レジスタ	EMU3nFSMSTGRP B	<EMU3n_base> + 00D8 _H	32 R	0000 0000 _H
EMU3n H/W 演算ブロック完了後遷移制御 A0 レジスタ	EMU3nFUNCFLGRPA0	<EMU3n_base> + 00E4 _H	16 R/W	0000 _H
EMU3n H/W 演算ブロック完了後遷移制御 A1 レジスタ	EMU3nFUNCFLGRPA1	<EMU3n_base> + 00E8 _H	8 R/W	00 _H
EMU3n H/W 演算ブロック完了後遷移制御 A2 レジスタ	EMU3nFUNCFLGRPA2	<EMU3n_base> + 00EC _H	32 R/W	0000 0000 _H
EMU3n H/W 演算ブロック完了後遷移制御 B レジスタ	EMU3nFUNCFLGRP B	<EMU3n_base> + 00F0 _H	32 R/W	0000 0000 _H

表 25.11 H/W アクセラレータのレジスタ一覧 (角度生成 IP)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 角度生成 IP 制御レジスタ	EMU3nANGCTR	<EMU3n_base> + 0180 _H	8 R/W	00 _H
EMU3n コンペア判定補正 0 レジスタ	EMU3nCPJUD0	<EMU3n_base> + 0182 _H	8 R/W	FF _H
EMU3n コンペア判定補正 1 レジスタ	EMU3nCPJUD1	<EMU3n_base> + 0183 _H	8 R/W	FF _H
EMU3n レゾルバ角ソフト入力レジスタ	EMU3nRESTHSFT	<EMU3n_base> + 0184 _H	16 R/W	0000 _H
EMU3n レゾルバ角オフセット値レジスタ	EMU3nANGOFS	<EMU3n_base> + 0186 _H	16 R/W	0000 _H
EMU3n 電気角生成用係数レジスタ	EMU3nPXR	<EMU3n_base> + 0188 _H	16 R/W	0100 _H
EMU3n レゾルバ角レジスタ	EMU3nRESTHETA	<EMU3n_base> + 018A _H	16 R/W	0000 _H
EMU3n 電気角レジスタ	EMU3nTHTEFIX	<EMU3n_base> + 018C _H	16 R/W	0000 _H
EMU3n レゾルバ角極数設定レジスタ	EMU3nRESRLD	<EMU3n_base> + 018E _H	8 R/W	00 _H
EMU3n レゾルバ角周期カウント値レジスタ	EMU3nRESCNT	<EMU3n_base> + 018F _H	8 R/W	00 _H
EMU3n 誤差重畳後レゾルバ角レジスタ	EMU3nTHTRESFIX	<EMU3n_base> + 0190 _H	16 R/W	0000 _H

表 25.12 H/W アクセラレータのレジスタ一覧 (入力 IP) (1/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 入力 IP 制御レジスタ	EMU3nCTRINMD	<EMU3n_base> + 01C0 _H	16 R/W	0000 _H
EMU3n レゾルバ角モニタレジスタ	EMU3nTHTRESFIXIN	<EMU3n_base> + 01C4 _H	16 R	0000 _H
EMU3n 電気角保持レジスタ	EMU3nTHTE	<EMU3n_base> + 01C6 _H	16 R	0000 _H
EMU3n 入力 IP 用電気角ソフト入力レジスタ	EMU3nTHTESFT	<EMU3n_base> + 01C8 _H	16 R/W	0000 _H
EMU3n 電気角応答遅れ補正変数レジスタ	EMU3nEARD	<EMU3n_base> + 01CA _H	16 R/W	0000 _H
EMU3n 電気角入力バッファレジスタ	EMU3nTHTEIBUF	<EMU3n_base> + 01CC _H	16 R/W	0000 _H
EMU3n 入力 IP 補正後電気角レジスタ	EMU3nTHTESEL	<EMU3n_base> + 01CE _H	16 R/W	0000 _H
EMU3n A/D データ 0 レジスタ	EMU3nAD0	<EMU3n_base> + 01D0 _H	16 R/W	0000 _H
EMU3n A/D データ 0 入力バッファレジスタ	EMU3nAD0IBUF	<EMU3n_base> + 01D2 _H	16 R/W	0000 _H
EMU3n A/D データ 1 レジスタ	EMU3nAD1	<EMU3n_base> + 01D4 _H	16 R/W	0000 _H
EMU3n A/D データ 1 入力バッファレジスタ	EMU3nAD1IBUF	<EMU3n_base> + 01D6 _H	16 R/W	0000 _H
EMU3n A/D データ 2 レジスタ	EMU3nAD2	<EMU3n_base> + 01D8 _H	16 R/W	0000 _H
EMU3n A/D データ 2 入力バッファレジスタ	EMU3nAD2IBUF	<EMU3n_base> + 01DA _H	16 R/W	0000 _H
EMU3n A/D データ 0 変換値レジスタ	EMU3nAD0FIX	<EMU3n_base> + 01DC _H	16 R/W	0000 _H
EMU3n A/D データ 0 原点補正值レジスタ	EMU3nAD0OFS	<EMU3n_base> + 01DE _H	16 R/W	0800 _H
EMU3n A/D データ 1 変換値レジスタ	EMU3nAD1FIX	<EMU3n_base> + 01E0 _H	16 R/W	0000 _H
EMU3n A/D データ 1 原点補正值レジスタ	EMU3nAD1OFS	<EMU3n_base> + 01E2 _H	16 R/W	0800 _H
EMU3n A/D データ 2 変換値レジスタ	EMU3nAD2FIX	<EMU3n_base> + 01E4 _H	16 R/W	0000 _H
EMU3n A/D データ 2 原点補正值レジスタ	EMU3nAD2OFS	<EMU3n_base> + 01E6 _H	16 R/W	0800 _H
EMU3n dq 軸電流変換係数レジスタ	EMU3nSR2	<EMU3n_base> + 01E8 _H	32 R/W	0000 D106 _H
EMU3n LSB 調整レジスタ	EMU3nDIVLSB	<EMU3n_base> + 01EC _H	32 R/W	0001 0000 _H

表 25.12 H/W アクセラレータのレジスタ一覧 (入力 IP) (2/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n U 相電流値レジスタ	EMU3nIUFIX	<EMU3n_base> + 01F0 _H	32 R/W	0000 0000 _H
EMU3n V 相電流値レジスタ	EMU3nIVFIX	<EMU3n_base> + 01F4 _H	32 R/W	0000 0000 _H
EMU3n W 相電流値レジスタ	EMU3nIWFIX	<EMU3n_base> + 01F8 _H	32 R/W	0000 0000 _H
EMU3n d 軸電流値レジスタ	EMU3nIDFIX	<EMU3n_base> + 01FC _H	32 R/W	0000 0000 _H
EMU3n q 軸電流値レジスタ	EMU3nIQFIX	<EMU3n_base> + 0200 _H	32 R/W	0000 0000 _H
EMU3n U 相電流値出力バッファレジスタ	EMU3nIUFIXOBUF	<EMU3n_base> + 0204 _H	32 R	0000 0000 _H
EMU3n V 相電流値出力バッファレジスタ	EMU3nIVFIXOBUF	<EMU3n_base> + 0208 _H	32 R	0000 0000 _H
EMU3n W 相電流値出力バッファレジスタ	EMU3nIWFIXOBUF	<EMU3n_base> + 020C _H	32 R	0000 0000 _H
EMU3n d 軸電流値出力バッファレジスタ	EMU3nIDFIXOBUF	<EMU3n_base> + 0210 _H	32 R/W	0000 0000 _H
EMU3n q 軸電流値出力バッファレジスタ	EMU3nIQFIXOBUF	<EMU3n_base> + 0214 _H	32 R/W	0000 0000 _H
EMU3n キルヒホッフ電流則判定閾値レジスタ	EMU3nKCLJUD	<EMU3n_base> + 0218 _H	32 R/W	0000 0000 _H
EMU3n A/D データ入力バッファ選択レジスタ	EMU3nADBFSEL	<EMU3n_base> + 021C _H	8 R/W	00 _H
EMU3n A/D データ 0 変換値出力バッファレジスタ	EMU3nAD0FIXOBUF	<EMU3n_base> + 0220 _H	16 R	0000 _H
EMU3n A/D データ 1 変換値出力バッファレジスタ	EMU3nAD1FIXOBUF	<EMU3n_base> + 0222 _H	16 R	0000 _H
EMU3n A/D データ 2 変換値出力バッファレジスタ	EMU3nAD2FIXOBUF	<EMU3n_base> + 0224 _H	16 R	0000 _H

表 25.13 H/W アクセラレータのレジスタ一覧 (PI 制御 IP)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n PI 制御 IP 制御レジスタ	EMU3nPICTR	<EMU3n_base> + 0260 _H	8 R/W	00 _H
EMU3n d 軸電流指令値レジスタ	EMU3nIDIN	<EMU3n_base> + 0268 _H	32 R/W	0000 0000 _H
EMU3n q 軸電流指令値レジスタ	EMU3nIQIN	<EMU3n_base> + 026C _H	32 R/W	0000 0000 _H
EMU3n d 軸電流値ソフト入力レジスタ	EMU3nID	<EMU3n_base> + 0270 _H	32 R/W	0000 0000 _H
EMU3n q 軸電流値ソフト入力レジスタ	EMU3nIQ	<EMU3n_base> + 0274 _H	32 R/W	0000 0000 _H
EMU3n d 軸比例ゲイン 0 レジスタ	EMU3nGPD0	<EMU3n_base> + 0278 _H	32 R/W	0000 0000 _H
EMU3n q 軸比例ゲイン 0 レジスタ	EMU3nGPQ0	<EMU3n_base> + 027C _H	32 R/W	0000 0000 _H
EMU3n d 軸比例ゲインレジスタ	EMU3nGPD	<EMU3n_base> + 0280 _H	32 R/W	0000 0000 _H
EMU3n q 軸比例ゲインレジスタ	EMU3nGPQ	<EMU3n_base> + 0284 _H	32 R/W	0000 0000 _H
EMU3n d 軸積分ゲインレジスタ	EMU3nGID	<EMU3n_base> + 0288 _H	32 R/W	0000 0000 _H
EMU3n q 軸積分ゲインレジスタ	EMU3nGIQ	<EMU3n_base> + 028C _H	32 R/W	0000 0000 _H
EMU3n d 軸積分最大値レジスタ	EMU3nGIDMAX	<EMU3n_base> + 0290 _H	32 R/W	0000 0000 _H
EMU3n q 軸積分最大値レジスタ	EMU3nGIQMAX	<EMU3n_base> + 0294 _H	32 R/W	0000 0000 _H
EMU3n d 軸積分値ソフト入力レジスタ	EMU3nSUMID	<EMU3n_base> + 0298 _H	32 R/W	0000 0000 _H
EMU3n q 軸積分値ソフト入力レジスタ	EMU3nSUMIQ	<EMU3n_base> + 029C _H	32 R/W	0000 0000 _H
EMU3n d 軸積分値モニタレジスタ	EMU3nSUMIDM	<EMU3n_base> + 02A0 _H	32 R	0000 0000 _H
EMU3n q 軸積分値モニタレジスタ	EMU3nSUMIQM	<EMU3n_base> + 02A4 _H	32 R	0000 0000 _H
EMU3n d 軸電圧最大値レジスタ	EMU3nVDMAX	<EMU3n_base> + 02A8 _H	32 R/W	0000 0000 _H
EMU3n q 軸電圧最大値レジスタ	EMU3nVQMAX	<EMU3n_base> + 02AC _H	32 R/W	0000 0000 _H
EMU3n d 軸電圧値レジスタ	EMU3nVD	<EMU3n_base> + 02B0 _H	32 R/W	0000 0000 _H
EMU3n q 軸電圧値レジスタ	EMU3nVQ	<EMU3n_base> + 02B4 _H	32 R/W	0000 0000 _H
EMU3n d 軸電圧値出力バッファレジスタ	EMU3nVDOBUF	<EMU3n_base> + 02B8 _H	32 R	0000 0000 _H
EMU3n q 軸電圧値出力バッファレジスタ	EMU3nVQOBUF	<EMU3n_base> + 02BC _H	32 R	0000 0000 _H

表 25.14 H/W アクセラレータのレジスタ一覧 (PWM IP) (1/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n PWM IP 制御レジスタ	EMU3nPWMCTR	<EMU3n_base> + 0300 _H	32 R/W	0001 0000 _H
EMU3n PWM データソフト転送レジスタ	EMU3nPWMMDT	<EMU3n_base> + 0304 _H	8 R/W	00 _H
EMU3n d 軸電圧補正值レジスタ	EMU3nVDCRCT	<EMU3n_base> + 0308 _H	32 R/W	0000 0000 _H
EMU3n q 軸電圧補正值レジスタ	EMU3nVQCRCT	<EMU3n_base> + 030C _H	32 R/W	0000 0000 _H
EMU3n 角速度値レジスタ	EMU3nVEL	<EMU3n_base> + 0310 _H	32 R	0000 0000 _H
EMU3n 角速度値ソフト入力レジスタ	EMU3nVELSFT	<EMU3n_base> + 0314 _H	32 R/W	0000 0000 _H
EMU3n 非干渉化制御係数角速度値ゲインレジスタ	EMU3nDECVELG	<EMU3n_base> + 0318 _H	32 R/W	0000 0000 _H
EMU3n 非干渉化制御係数磁束値レジスタ	EMU3nDECFLUX	<EMU3n_base> + 031C _H	32 R/W	0000 0000 _H
EMU3n 非干渉化制御係数 Ld 値レジスタ	EMU3nDECLD	<EMU3n_base> + 0320 _H	32 R/W	0000 0000 _H
EMU3n 非干渉化制御係数 Lq 値レジスタ	EMU3nDECLQ	<EMU3n_base> + 0324 _H	32 R/W	0000 0000 _H
EMU3n 非干渉化制御 d 軸最大値レジスタ	EMU3nVD2MAX	<EMU3n_base> + 0328 _H	32 R/W	0000 0000 _H
EMU3n 非干渉化制御 q 軸最大値レジスタ	EMU3nVQ2MAX	<EMU3n_base> + 032C _H	32 R/W	0000 0000 _H
EMU3n 補正後 d 軸電圧値レジスタ	EMU3nVD2	<EMU3n_base> + 0330 _H	32 R/W	0000 0000 _H
EMU3n 補正後 q 軸電圧値レジスタ	EMU3nVQ2	<EMU3n_base> + 0334 _H	32 R/W	0000 0000 _H
EMU3n PWM IP 用電気角オフセットレジスタ	EMU3nPHI	<EMU3n_base> + 0338 _H	16 R/W	0000 _H
EMU3n PWM IP 用電気角調整用係数レジスタ	EMU3nGTHT	<EMU3n_base> + 033C _H	16 R/W	0100 _H
EMU3n PWM IP 用電気角ソフト入力レジスタ	EMU3nTHTFORESFT	<EMU3n_base> + 033E _H	16 R/W	0000 _H
EMU3n PWM IP 補正後電気角レジスタ	EMU3nTHTEPWM	<EMU3n_base> + 0340 _H	16 R/W	0000 _H
EMU3n dq 軸電圧位相角ソフト入力レジスタ	EMU3nTHTVSFT	<EMU3n_base> + 0342 _H	16 R/W	0000 _H
EMU3n dq 軸電圧値ソフト入力レジスタ	EMU3nVDQSFT	<EMU3n_base> + 0344 _H	32 R/W	0000 0000 _H
EMU3n 三相電圧変換係数レジスタ	EMU3nSR23	<EMU3n_base> + 0348 _H	32 R/W	0000 D106 _H
EMU3n 三相電圧変換後 U 相電圧値レジスタ	EMU3nVU	<EMU3n_base> + 034C _H	32 R/W	0000 0000 _H
EMU3n 三相電圧変換後 V 相電圧値レジスタ	EMU3nVV	<EMU3n_base> + 0350 _H	32 R/W	0000 0000 _H
EMU3n 三相電圧変換後 W 相電圧値レジスタ	EMU3nVW	<EMU3n_base> + 0354 _H	32 R/W	0000 0000 _H
EMU3n PWM 変調用波高値レジスタ	EMU3nTMAX	<EMU3n_base> + 0358 _H	32 R/W	0000 0000 _H
EMU3n PWM 変調後 U 相電圧値レジスタ	EMU3nVU0	<EMU3n_base> + 035C _H	32 R/W	0000 0000 _H
EMU3n PWM 変調後 V 相電圧値レジスタ	EMU3nVV0	<EMU3n_base> + 0360 _H	32 R/W	0000 0000 _H
EMU3n PWM 変調後 W 相電圧値レジスタ	EMU3nVW0	<EMU3n_base> + 0364 _H	32 R/W	0000 0000 _H
EMU3n 桁数あわせ 1 レジスタ	EMU3nPWMK1	<EMU3n_base> + 0368 _H	32 R/W	0000 0000 _H
EMU3n 入力電圧レジスタ	EMU3nVOLV	<EMU3n_base> + 036C _H	16 R/W	0000 _H
EMU3n デューティ比算出後 U 相電圧値レジスタ	EMU3nVU1	<EMU3n_base> + 0370 _H	32 R/W	0000 0000 _H
EMU3n デューティ比算出後 V 相電圧値レジスタ	EMU3nVV1	<EMU3n_base> + 0374 _H	32 R/W	0000 0000 _H
EMU3n デューティ比算出後 W 相電圧値レジスタ	EMU3nVW1	<EMU3n_base> + 0378 _H	32 R/W	0000 0000 _H

表 25.14 H/W アクセラレータのレジスタ一覧 (PWM IP) (2/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n U 相電圧補正值レジスタ	EMU3nVUOFS	<EMU3n_base> + 037C _H	16 R/W	0000 _H
EMU3n V 相電圧補正值レジスタ	EMU3nVVOFS	<EMU3n_base> + 037E _H	16 R/W	0000 _H
EMU3n W 相電圧補正值レジスタ	EMU3nVWOFs	<EMU3n_base> + 0380 _H	16 R/W	0000 _H
EMU3n オフセット加算後 U 相電圧値レジスタ	EMU3nVU2	<EMU3n_base> + 0384 _H	32 R/W	0000 0000 _H
EMU3n オフセット加算後 V 相電圧値レジスタ	EMU3nVV2	<EMU3n_base> + 0388 _H	32 R/W	0000 0000 _H
EMU3n オフセット加算後 W 相電圧値レジスタ	EMU3nVW2	<EMU3n_base> + 038C _H	32 R/W	0000 0000 _H
EMU3n デューティ比上限値レジスタ	EMU3nDTUL	<EMU3n_base> + 0390 _H	32 R/W	0000 0000 _H
EMU3n デューティ比下限値レジスタ	EMU3nDTLL	<EMU3n_base> + 0394 _H	32 R/W	0000 0000 _H
EMU3n リミット処理後 U 相電圧値レジスタ	EMU3nVUFIX	<EMU3n_base> + 0398 _H	32 R/W	0000 0000 _H
EMU3n リミット処理後 V 相電圧値レジスタ	EMU3nVVFIX	<EMU3n_base> + 039C _H	32 R/W	0000 0000 _H
EMU3n リミット処理後 W 相電圧値レジスタ	EMU3nVWFIX	<EMU3n_base> + 03A0 _H	32 R/W	0000 0000 _H
EMU3n 桁数あわせ 2 レジスタ	EMU3nPWMK2	<EMU3n_base> + 03A4 _H	16 R/W	0000 _H
EMU3n 短絡防止時間設定レジスタ	EMU3nDTT	<EMU3n_base> + 03A6 _H	16 R/W	0FFF _H
EMU3n キャリア周期レジスタ	EMU3nCARR	<EMU3n_base> + 03A8 _H	16 R/W	7FFF _H
EMU3n キャリア周期バッファレジスタ	EMU3nCARRBUF	<EMU3n_base> + 03AA _H	16 R/W	FFFF _H
EMU3n U 相 PWM 値レジスタ	EMU3nPWMU0	<EMU3n_base> + 03AC _H	32 R/W	0000 0000 _H
EMU3n V 相 PWM 値レジスタ	EMU3nPVMV0	<EMU3n_base> + 03B0 _H	32 R/W	0000 0000 _H
EMU3n W 相 PWM 値レジスタ	EMU3nPVMW0	<EMU3n_base> + 03B4 _H	32 R/W	0000 0000 _H
EMU3n デッドタイム補償閾値レジスタ	EMU3nDTOTH	<EMU3n_base> + 03B8 _H	32 R/W	7FFF FFFF _H
EMU3n デッドタイム補償正電流時加算値レジスタ	EMU3nDTOPV	<EMU3n_base> + 03BC _H	16 R/W	0000 _H
EMU3n デッドタイム補償負電流時加算値レジスタ	EMU3nDTONV	<EMU3n_base> + 03BE _H	16 R/W	0000 _H
EMU3n デッドタイム補償後 U 相 PWM 値レジスタ	EMU3nPWMUdT	<EMU3n_base> + 03C0 _H	32 R/W	0000 0000 _H
EMU3n デッドタイム補償後 V 相 PWM 値レジスタ	EMU3nPVMVdT	<EMU3n_base> + 03C4 _H	32 R/W	0000 0000 _H
EMU3n デッドタイム補償後 W 相 PWM 値レジスタ	EMU3nPVMWdT	<EMU3n_base> + 03C8 _H	32 R/W	0000 0000 _H
EMU3n PWM 上限値レジスタ	EMU3nPWMUL	<EMU3n_base> + 03CC _H	16 R/W	0000 _H
EMU3n PWM 下限値レジスタ	EMU3nPWMML	<EMU3n_base> + 03CE _H	16 R/W	0000 _H
EMU3n U 相 PWM コンペア値レジスタ	EMU3nPWMUIP	<EMU3n_base> + 03D0 _H	16 R/W	0000 _H
EMU3n V 相 PWM コンペア値レジスタ	EMU3nPVMVIP	<EMU3n_base> + 03D2 _H	16 R/W	0000 _H
EMU3n W 相 PWM コンペア値レジスタ	EMU3nPVMWIP	<EMU3n_base> + 03D4 _H	16 R/W	0000 _H
EMU3n U 相 PWM コンペア値ソフト入力レジスタ	EMU3nPWMU	<EMU3n_base> + 03D8 _H	16 R/W	47FF _H
EMU3n V 相 PWM コンペア値ソフト入力レジスタ	EMU3nPVMV	<EMU3n_base> + 03DA _H	16 R/W	47FF _H
EMU3n W 相 PWM コンペア値ソフト入力レジスタ	EMU3nPVMW	<EMU3n_base> + 03DC _H	16 R/W	47FF _H

表 25.15 HW アクセラレータのレジスタ一覧 (矩形 IP)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 矩形 IP 制御レジスタ	EMU3nRECCTR	<EMU3n_base> + 0480 _H	8 R/W	04 _H
EMU3n 矩形出力ソフト制御用パタンレジスタ	EMU3nPTNN	<EMU3n_base> + 0484 _H	8 R/W	00 _H
EMU3n 矩形出力パタン AB レジスタ	EMU3nPTNAB	<EMU3n_base> + 0485 _H	8 R/W	00 _H
EMU3n 矩形出力パタン CD レジスタ	EMU3nPTNCD	<EMU3n_base> + 0486 _H	8 R/W	00 _H
EMU3n 矩形出力パタン EF レジスタ	EMU3nPTNEF	<EMU3n_base> + 0487 _H	8 R/W	00 _H
EMU3n 角度コンペア 0 用比較値ソフト入力レジスタ	EMU3nCMP0	<EMU3n_base> + 0488 _H	16 R/W	0000 _H
EMU3n 角度コンペア 1 用比較値ソフト入力レジスタ	EMU3nCMP1	<EMU3n_base> + 048A _H	16 R/W	0000 _H
EMU3n q 軸基準電圧位相ソフト入力レジスタ	EMU3nPHQSFT	<EMU3n_base> + 048C _H	16 R/W	0000 _H
EMU3n スイッチング指令ソフト入力レジスタ	EMU3nPSWSFT	<EMU3n_base> + 048E _H	8 R/W	00 _H
EMU3n スイッチング指令レジスタ	EMU3nPSW	<EMU3n_base> + 048F _H	8 R	00 _H
EMU3n 角度コンペア 0 用比較値 IP 出力レジスタ	EMU3nIPCMP0	<EMU3n_base> + 0490 _H	16 R	0000 _H

表 25.16 H/W アクセラレータのレジスタ一覧 (独立矩形 IP1、矩形波生成部)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 独立矩形 IP1 制御レジスタ	EMU3nIRECCTR	<EMU3n_base> + 04C0 _H	8 R/W	00 _H
EMU3n 独立矩形 IP1 出力パターン更新レジスタ	EMU3nIRPTN	<EMU3n_base> + 04C4 _H	8 R/W	00 _H
EMU3n 独立矩形 IP1 フラグセレクト信号初期化レジスタ	EMU3nIRCTRST	<EMU3n_base> + 04C6 _H	8 R/W	00 _H
EMU3n 独立矩形 IP1U 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ	EMU3nIRUCPPN0	<EMU3n_base> + 04C8 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1U 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ	EMU3nIRUCPPN1	<EMU3n_base> + 04CC _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1U 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ	EMU3nIRUCPPN2	<EMU3n_base> + 04D0 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1V 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ	EMU3nIRVCPN0	<EMU3n_base> + 04D4 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1V 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ	EMU3nIRVCPN1	<EMU3n_base> + 04D8 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1V 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ	EMU3nIRVCPN2	<EMU3n_base> + 04DC _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1W 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ	EMU3nIRWCPPN0	<EMU3n_base> + 04E0 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1W 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ	EMU3nIRWCPPN1	<EMU3n_base> + 04E4 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1W 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ	EMU3nIRWCPPN2	<EMU3n_base> + 04E8 _H	16/32 R/W	0000 0000 _H
EMU3n 独立矩形 IP1 フラグモニタレジスタ	EMU3nIRFLGM	<EMU3n_base> + 04EC _H	16 R	0000 _H
EMU3n 独立矩形 IP1 セレクト信号モニタレジスタ	EMU3nIRSELM	<EMU3n_base> + 04EE _H	16 R	0049 _H

表 25.17 H/W アクセラレータのレジスタ一覧 (独立矩形 IP2) (1/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 独立矩形 IP2 制御レジスタ	EMU3nNRECCTR	<EMU3n_base> + 0500 _H	8 R/W	00 _H
EMU3n 独立矩形 IP2 三相共通角度補正值レジスタ	EMU3nNRECOFSALL	<EMU3n_base> + 0508 _H	16 R/W	0000 _H
EMU3n 独立矩形 IP2 U 相角度補正值レジスタ	EMU3nNRECOFSU	<EMU3n_base> + 050A _H	16 R/W	0000 _H
EMU3n 独立矩形 IP2 V 相角度補正值レジスタ	EMU3nNRECOFSV	<EMU3n_base> + 050C _H	16 R/W	0000 _H
EMU3n 独立矩形 IP2 W 相角度補正值レジスタ	EMU3nNRECOFSW	<EMU3n_base> + 050E _H	16 R/W	0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 0 レジスタ	EMU3nNRECU0	<EMU3n_base> + 0510 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 1 レジスタ	EMU3nNRECU1	<EMU3n_base> + 0514 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 2 レジスタ	EMU3nNRECU2	<EMU3n_base> + 0518 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 3 レジスタ	EMU3nNRECU3	<EMU3n_base> + 051C _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 4 レジスタ	EMU3nNRECU4	<EMU3n_base> + 0520 _H	8/16/32 R/W 注 1	0000 0000 _H

表 25.17 H/W アクセラレータのレジスタ一覧 (独立矩形 IP2) (2/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 独立矩形 IP2 U 相コンペア制御 5 レジスタ	EMU3nNRECU5	<EMU3n_base> + 0524 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 6 レジスタ	EMU3nNRECU6	<EMU3n_base> + 0528 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 U 相コンペア制御 7 レジスタ	EMU3nNRECU7	<EMU3n_base> + 052C _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 0 レジスタ	EMU3nNRECV0	<EMU3n_base> + 0530 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 1 レジスタ	EMU3nNRECV1	<EMU3n_base> + 0534 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 2 レジスタ	EMU3nNRECV2	<EMU3n_base> + 0538 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 3 レジスタ	EMU3nNRECV3	<EMU3n_base> + 053C _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 4 レジスタ	EMU3nNRECV4	<EMU3n_base> + 0540 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 5 レジスタ	EMU3nNRECV5	<EMU3n_base> + 0544 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 6 レジスタ	EMU3nNRECV6	<EMU3n_base> + 0548 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 V 相コンペア制御 7 レジスタ	EMU3nNRECV7	<EMU3n_base> + 054C _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 0 レジスタ	EMU3nNRECW0	<EMU3n_base> + 0550 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 1 レジスタ	EMU3nNRECW1	<EMU3n_base> + 0554 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 2 レジスタ	EMU3nNRECW2	<EMU3n_base> + 0558 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 3 レジスタ	EMU3nNRECW3	<EMU3n_base> + 055C _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 4 レジスタ	EMU3nNRECW4	<EMU3n_base> + 0560 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 5 レジスタ	EMU3nNRECW5	<EMU3n_base> + 0564 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 6 レジスタ	EMU3nNRECW6	<EMU3n_base> + 0568 _H	8/16/32 R/W 注 1	0000 0000 _H
EMU3n 独立矩形 IP2 W 相コンペア制御 7 レジスタ	EMU3nNRECW7	<EMU3n_base> + 056C _H	8/16/32 R/W 注 1	0000 0000 _H

注 1. 下位 16bit は 8bit アクセスできません。

表 25.18 H/W アクセラレータのレジスタ一覧 (IIR フィルタ) (1/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n IIR フィルタチャンネル 0 制御レジスタ	EMU3nIIRCTR0	<EMU3n_base> + 05C0 _H	8 R/W	00 _H
EMU3n IIR フィルタチャンネル 1 制御レジスタ	EMU3nIIRCTR1	<EMU3n_base> + 05C1 _H	8 R/W	00 _H
EMU3n IIR フィルタチャンネル 2 制御レジスタ	EMU3nIIRCTR2	<EMU3n_base> + 05C2 _H	8 R/W	00 _H
EMU3n IIR フィルタ初期化レジスタ	EMU3nIIRINIT	<EMU3n_base> + 05C4 _H	8 R/W	00 _H
EMU3n IIR フィルタソフトウェア起動レジスタ	EMU3nIIRSFT	<EMU3n_base> + 05C8 _H	8 R/W	00 _H
EMU3n IIR フィルタ係数シフト量リロードレジスタ	EMU3nIIRRLD	<EMU3n_base> + 05CC _H	8 R/W	00 _H
EMU3n IIR フィルタ完了フラグレジスタ	EMU3nIIRSTAT	<EMU3n_base> + 05CE _H	8 R	00 _H
EMU3n IIR フィルタ完了フラグクリアレジスタ	EMU3nIIRSTATC	<EMU3n_base> + 05CF _H	8 R/W	00 _H
EMU3n IIR フィルタ係数 0 指定レジスタ	EMU3nIIRCOEFF0	<EMU3n_base> + 05D0 _H	16 R/W	0000 _H
EMU3n IIR フィルタ係数 1 指定レジスタ	EMU3nIIRCOEFF1	<EMU3n_base> + 05D2 _H	16 R/W	0000 _H
EMU3n IIR フィルタ係数 2 指定レジスタ	EMU3nIIRCOEFF2	<EMU3n_base> + 05D4 _H	16 R/W	0000 _H
EMU3n IIR フィルタ係数 3 指定レジスタ	EMU3nIIRCOEFF3	<EMU3n_base> + 05D6 _H	16 R/W	0000 _H
EMU3n IIR フィルタ係数 4 指定レジスタ	EMU3nIIRCOEFF4	<EMU3n_base> + 05D8 _H	16 R/W	0000 _H
EMU3n IIR フィルタ係数 5 指定レジスタ	EMU3nIIRCOEFF5	<EMU3n_base> + 05DA _H	16 R/W	0000 _H
EMU3n IIR フィルタシフト量指定レジスタ	EMU3nIIRSHIFT	<EMU3n_base> + 05DC _H	8 R/W	00 _H
EMU3n IIR フィルタチャンネル 0 係数 0 モニタレジスタ	EMU3nIIRCOEFFM00	<EMU3n_base> + 05E0 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 0 係数 1 モニタレジスタ	EMU3nIIRCOEFFM10	<EMU3n_base> + 05E2 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 0 係数 2 モニタレジスタ	EMU3nIIRCOEFFM20	<EMU3n_base> + 05E4 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 0 係数 3 モニタレジスタ	EMU3nIIRCOEFFM30	<EMU3n_base> + 05E6 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 0 係数 4 モニタレジスタ	EMU3nIIRCOEFFM40	<EMU3n_base> + 05E8 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 0 係数 5 モニタレジスタ	EMU3nIIRCOEFFM50	<EMU3n_base> + 05EA _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 0 シフト量モニタレジスタ	EMU3nIIRSHIFTM0	<EMU3n_base> + 05EC _H	8 R	00 _H
EMU3n IIR フィルタチャンネル 1 係数 0 モニタレジスタ	EMU3nIIRCOEFFM01	<EMU3n_base> + 05F0 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 1 係数 1 モニタレジスタ	EMU3nIIRCOEFFM11	<EMU3n_base> + 05F2 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 1 係数 2 モニタレジスタ	EMU3nIIRCOEFFM21	<EMU3n_base> + 05F4 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 1 係数 3 モニタレジスタ	EMU3nIIRCOEFFM31	<EMU3n_base> + 05F6 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 1 係数 4 モニタレジスタ	EMU3nIIRCOEFFM41	<EMU3n_base> + 05F8 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 1 係数 5 モニタレジスタ	EMU3nIIRCOEFFM51	<EMU3n_base> + 05FA _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 1 シフト量モニタレジスタ	EMU3nIIRSHIFTM1	<EMU3n_base> + 05FC _H	8 R	00 _H
EMU3n IIR フィルタチャンネル 2 係数 0 モニタレジスタ	EMU3nIIRCOEFFM02	<EMU3n_base> + 0600 _H	16 R	0000 _H

表 25.18 H/W アクセラレータのレジスタ一覧 (IIR フィルタ) (2/2)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n IIR フィルタチャンネル 2 係数 1 モニタレジスタ	EMU3nIIRCOEFFM12	<EMU3n_base> + 0602 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 2 係数 2 モニタレジスタ	EMU3nIIRCOEFFM22	<EMU3n_base> + 0604 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 2 係数 3 モニタレジスタ	EMU3nIIRCOEFFM32	<EMU3n_base> + 0606 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 2 係数 4 モニタレジスタ	EMU3nIIRCOEFFM42	<EMU3n_base> + 0608 _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 2 係数 5 モニタレジスタ	EMU3nIIRCOEFFM52	<EMU3n_base> + 060A _H	16 R	0000 _H
EMU3n IIR フィルタチャンネル 2 シフト量モニタレジスタ	EMU3nIIRSHIFTM2	<EMU3n_base> + 060C _H	8 R	00 _H
EMU3n IIR フィルタチャンネル 0 データソフト入力レジスタ	EMU3nIIRSFTDAT0	<EMU3n_base> + 0620 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 1 データソフト入力レジスタ	EMU3nIIRSFTDAT1	<EMU3n_base> + 0624 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 2 データソフト入力レジスタ	EMU3nIIRSFTDAT2	<EMU3n_base> + 0628 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 0 遅延 1 データレジスタ	EMU3nIIRZLN1DAT0	<EMU3n_base> + 0630 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 0 遅延 2 データレジスタ	EMU3nIIRZLN2DAT0	<EMU3n_base> + 0634 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 1 遅延 1 データレジスタ	EMU3nIIRZLN1DAT1	<EMU3n_base> + 0638 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 1 遅延 2 データレジスタ	EMU3nIIRZLN2DAT1	<EMU3n_base> + 063C _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 2 遅延 1 データレジスタ	EMU3nIIRZLN1DAT2	<EMU3n_base> + 0640 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 2 遅延 2 データレジスタ	EMU3nIIRZLN2DAT2	<EMU3n_base> + 0644 _H	32 R/W	0000 0000 _H
EMU3n IIR フィルタチャンネル 0 出力データレジスタ	EMU3nIIROUTDAT0	<EMU3n_base> + 0650 _H	32 R	0000 0000 _H
EMU3n IIR フィルタチャンネル 1 出力データレジスタ	EMU3nIIROUTDAT1	<EMU3n_base> + 0654 _H	32 R	0000 0000 _H
EMU3n IIR フィルタチャンネル 2 出力データレジスタ	EMU3nIIROUTDAT2	<EMU3n_base> + 0658 _H	32 R	0000 0000 _H

表 25.19 H/W アクセラレータのレジスタ一覧 (検算用バッファ)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n 検算用バッファ制御レジスタ	EMU3nCBCTR0	<EMU3n_base> + 06C4 _H	8 R/W	00 _H
EMU3n 検算用バッファタイミング選択レジスタ	EMU3nCBTIM	<EMU3n_base> + 06C6 _H	16 R/W	0000 _H
EMU3n A/D データ 0 検算用バッファレジスタ	EMU3nCBAD0	<EMU3n_base> + 06C8 _H	16 R	0000 _H
EMU3n A/D データ 1 検算用バッファレジスタ	EMU3nCBAD1	<EMU3n_base> + 06CA _H	16 R	0000 _H
EMU3n A/D データ 2 検算用バッファレジスタ	EMU3nCBAD2	<EMU3n_base> + 06CC _H	16 R	0000 _H
EMU3n レゾルバ角検算用バッファレジスタ	EMU3nCBTHRESFIXIN	<EMU3n_base> + 06CE _H	16 R	0000 _H
EMU3n d 軸電流値検算用バッファレジスタ	EMU3nCBIDFIX	<EMU3n_base> + 06D0 _H	32 R	0000 0000 _H
EMU3n q 軸電流値検算用バッファレジスタ	EMU3nCBIQFIX	<EMU3n_base> + 06D4 _H	32 R	0000 0000 _H
EMU3n U 相 PWM コンペア値検算用バッファレジスタ	EMU3nCBPWMUIP	<EMU3n_base> + 06D8 _H	32 R	0000 0000 _H
EMU3n V 相 PWM コンペア値検算用バッファレジスタ	EMU3nCBPWMVIP	<EMU3n_base> + 06DC _H	32 R	0000 0000 _H
EMU3n W 相 PWM コンペア値検算用バッファレジスタ	EMU3nCBPWMWIP	<EMU3n_base> + 06E0 _H	32 R	0000 0000 _H
EMU3n 矩形パタン値検算用バッファレジスタ	EMU3nCBBREC	<EMU3n_base> + 06E4 _H	8 R	00 _H
EMU3n 独立矩形 IP1 パタン値検算用バッファレジスタ	EMU3nCBIREC	<EMU3n_base> + 06E5 _H	8 R	00 _H

表 25.20 H/W アクセラレータのレジスタ一覧 (ハンドシェイク) (1/3)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n データセット WB0 転送トリガレジスタ	EMU3nDATSETWB0	<EMU3n_base> + 0700 _H	8 R/W	00 _H
EMU3n データセット WB1 転送トリガレジスタ	EMU3nDATSETWB1	<EMU3n_base> + 0704 _H	8 R/W	00 _H
EMU3n データセット WB2 転送トリガレジスタ	EMU3nDATSETWB2	<EMU3n_base> + 0708 _H	8 R/W	00 _H
EMU3n データセット BR0 転送トリガレジスタ	EMU3nDATSETBR0	<EMU3n_base> + 0710 _H	8 R/W	00 _H
EMU3n データセット BR1 転送トリガレジスタ	EMU3nDATSETBR1	<EMU3n_base> + 0714 _H	8 R/W	00 _H
EMU3n データセット BR2 転送トリガレジスタ	EMU3nDATSETBR2	<EMU3n_base> + 0718 _H	8 R/W	00 _H
EMU3n データセット 0 WRITE0 レジスタ	EMU3nDATSETW00	<EMU3n_base> + 0720 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 0 WRITE1 レジスタ	EMU3nDATSETW01	<EMU3n_base> + 0722 _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 0 WRITE2 レジスタ	EMU3nDATSETW02	<EMU3n_base> + 0724 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 0 WRITE3 レジスタ	EMU3nDATSETW03	<EMU3n_base> + 0726 _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 1 WRITE0 レジスタ	EMU3nDATSETW10	<EMU3n_base> + 0728 _H	16/32 R/W 注 1	0000 _H

表 25.20 H/W アクセラレータのレジスタ一覧 (ハンドシェイク) (2/3)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n データセット 1 WRITE1 レジスタ	EMU3nDATSETW11	<EMU3n_base> + 072A _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 1 WRITE2 レジスタ	EMU3nDATSETW12	<EMU3n_base> + 072C _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 1 WRITE3 レジスタ	EMU3nDATSETW13	<EMU3n_base> + 072E _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 2 WRITE0 レジスタ	EMU3nDATSETW20	<EMU3n_base> + 0730 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 2 WRITE1 レジスタ	EMU3nDATSETW21	<EMU3n_base> + 0732 _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 2 WRITE2 レジスタ	EMU3nDATSETW22	<EMU3n_base> + 0734 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 2 WRITE3 レジスタ	EMU3nDATSETW23	<EMU3n_base> + 0736 _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 3 WRITE0 レジスタ	EMU3nDATSETW30	<EMU3n_base> + 0738 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 3 WRITE1 レジスタ	EMU3nDATSETW31	<EMU3n_base> + 073A _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 3 WRITE2 レジスタ	EMU3nDATSETW32	<EMU3n_base> + 073C _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 3 WRITE3 レジスタ	EMU3nDATSETW33	<EMU3n_base> + 073E _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 4 WRITE0 レジスタ	EMU3nDATSETW40	<EMU3n_base> + 0740 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 4 WRITE1 レジスタ	EMU3nDATSETW41	<EMU3n_base> + 0742 _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 4 WRITE2 レジスタ	EMU3nDATSETW42	<EMU3n_base> + 0744 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 4 WRITE3 レジスタ	EMU3nDATSETW43	<EMU3n_base> + 0746 _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 5 WRITE0 レジスタ	EMU3nDATSETW50	<EMU3n_base> + 0748 _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 5 WRITE1 レジスタ	EMU3nDATSETW51	<EMU3n_base> + 074A _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 5 WRITE2 レジスタ	EMU3nDATSETW52	<EMU3n_base> + 074C _H	16/32 R/W 注 1	0000 _H
EMU3n データセット 5 WRITE3 レジスタ	EMU3nDATSETW53	<EMU3n_base> + 074E _H	16/32 R/W 注 2	0000 _H
EMU3n データセット 0 READ0 レジスタ	EMU3nDATSETR00	<EMU3n_base> + 0760 _H	16/32 R 注 3	0000 _H
EMU3n データセット 0 READ1 レジスタ	EMU3nDATSETR01	<EMU3n_base> + 0762 _H	16/32 R 注 4	0000 _H
EMU3n データセット 0 READ2 レジスタ	EMU3nDATSETR02	<EMU3n_base> + 0764 _H	16/32 R 注 3	0000 _H
EMU3n データセット 0 READ3 レジスタ	EMU3nDATSETR03	<EMU3n_base> + 0766 _H	16/32 R 注 4	0000 _H
EMU3n データセット 1 READ0 レジスタ	EMU3nDATSETR10	<EMU3n_base> + 0768 _H	16/32 R 注 3	0000 _H
EMU3n データセット 1 READ1 レジスタ	EMU3nDATSETR11	<EMU3n_base> + 076A _H	16/32 R 注 4	0000 _H
EMU3n データセット 1 READ2 レジスタ	EMU3nDATSETR12	<EMU3n_base> + 076C _H	16/32 R 注 3	0000 _H
EMU3n データセット 1 READ3 レジスタ	EMU3nDATSETR13	<EMU3n_base> + 076E _H	16/32 R 注 4	0000 _H

表 25.20 H/W アクセラレータのレジスタ一覧 (ハンドシェイク) (3/3)

レジスタ名	シンボル	アドレス	アクセス幅	初期値
EMU3n データセット 2 READ0 レジスタ	EMU3nDATSETR20	<EMU3n_base> + 0770 _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 2 READ1 レジスタ	EMU3nDATSETR21	<EMU3n_base> + 0772 _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 2 READ2 レジスタ	EMU3nDATSETR22	<EMU3n_base> + 0774 _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 2 READ3 レジスタ	EMU3nDATSETR23	<EMU3n_base> + 0776 _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 3 READ0 レジスタ	EMU3nDATSETR30	<EMU3n_base> + 0778 _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 3 READ1 レジスタ	EMU3nDATSETR31	<EMU3n_base> + 077A _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 3 READ2 レジスタ	EMU3nDATSETR32	<EMU3n_base> + 077C _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 3 READ3 レジスタ	EMU3nDATSETR33	<EMU3n_base> + 077E _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 4 READ0 レジスタ	EMU3nDATSETR40	<EMU3n_base> + 0780 _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 4 READ1 レジスタ	EMU3nDATSETR41	<EMU3n_base> + 0782 _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 4 READ2 レジスタ	EMU3nDATSETR42	<EMU3n_base> + 0784 _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 4 READ3 レジスタ	EMU3nDATSETR43	<EMU3n_base> + 0786 _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 5 READ0 レジスタ	EMU3nDATSETR50	<EMU3n_base> + 0788 _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 5 READ1 レジスタ	EMU3nDATSETR51	<EMU3n_base> + 078A _H	16/32 R ^{注4}	0000 _H
EMU3n データセット 5 READ2 レジスタ	EMU3nDATSETR52	<EMU3n_base> + 078C _H	16/32 R ^{注3}	0000 _H
EMU3n データセット 5 READ3 レジスタ	EMU3nDATSETR53	<EMU3n_base> + 078E _H	16/32 R ^{注4}	0000 _H

注 1. 32bit データとして使用する場合は、下位 16bit として扱います。詳細は「25.3.2.152 EMU3n データセット kWRITEm レジスタ (EMU3nDATSETWkm)」

(k = 0~5) (m = 0~3)」を参照ください。

注 2. 32bit データとして使用する場合は、上位 16bit として扱います。詳細は「25.3.2.152 EMU3n データセット kWRITEm レジスタ (EMU3nDATSETWkm)」

(k = 0~5) (m = 0~3)」を参照ください。

注 3. 32bit データとして使用する場合は、下位 16bit として扱います。詳細は「25.3.2.153 EMU3n データセット kREADm レジスタ (EMU3nDATSETRkm)」

(k = 0~5) (m = 0~3)」を参照ください。

注 4. 32bit データとして使用する場合は、上位 16bit として扱います。詳細は「25.3.2.153 EMU3n データセット kREADm レジスタ (EMU3nDATSETRkm)」

(k = 0~5) (m = 0~3)」を参照ください。

表 25.21 EMUSS レジスタ一覧

レジスタ名	シンボル	アドレス	アクセス幅	初期値
SubCPU 起動レジスタ	EMU3CPUINIT	<EMU_base> + 0000_2000 _H	8 RW	00 _H
ADC 選択レジスタ	EMU3ADCSEL	<EMU_base> + 0000_2040 _H	8 RW	00 _H

以下、レジスタの説明では、「Data (signed)」、「データビット (符号あり整数)」、「データビット (符号あり固定小数点数)」は「2 の補数」を示し、レジスタ説明の中で符号部に相当するビットは、「(b** : 符号部)」と示しています。例えば、「(b15-11:符号部)」の場合、b15-11 に対して、正の数なら“0”、負の数なら“1”がライトまたはリードされます。

25.3.2 レジスタ詳細

25.3.2.1 EMU3n プロテクトレジスタ (EMU3nPRT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0000_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PRTCT
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	RW

表 25.22 EMU3nPRT レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	PRTCT	書き込みプロテクト付きレジスタのプロテクトを解除するビットです。 0: プロテクト状態 1: プロテクト解除

EMU3nPRT レジスタは、EMU3nCTR レジスタを簡単に書き換えられない様に保護するプロテクト機能の設定を行います。

PRTCT ビット

EMU3nCTR レジスタを変更する場合は、以下の手順で変更を行ってください。

- (1) EMU3nPRT レジスタに“01_H”を書く（各レジスタへの書き込みを許可）
- (2) 対象レジスタ、ビットの値を変更する。
- (3) EMU3nPRT レジスタに“00_H”を書く（各レジスタへの書き込みを禁止）

25.3.2.2 EMU3n 制御レジスタ (EMU3nCTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0004_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EMUST
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 25.23 EMU3nCTR レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	EMUST	EMU 動作ビット 0 : EMU リセット 1 : EMU 動作

EMUST ビットが“0”のとき、初期化されます。初期化される対象は、EMU3n 制御レジスタ (EMU3nCTR) と EMU3n プロテクトレジスタ (EMU3nPRT) 以外のレジスタと、H/W アクセラレータの内部レジスタです。

EMU3nCTR レジスタは、ハードウェアリセット後はプロテクト状態です。EMU3nCTR レジスタに書き込む場合は、EMU3nPRT レジスタでプロテクトを解除してから変更してください。

誤ってプロテクト状態で EMU3nCTR レジスタに書き込んだ場合は、CLK_EMU_L クロック換算で 20 サイクル以上を経過した後に、プロテクト解除からやり直してください。

25.3.2.3 EMU3n レジスタ値反映制御レジスタ (EMU3nREFCTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0008_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FPWMREFPER
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 25.24 EMU3nREFCTR レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	FPWMREFPER	PWM IP レジスタ値反映制御ビット レジスタの設定値が EMU 回路内部へ反映されるのを制御します。 0：値反映禁止 1：値反映許可

EMU3nREFCTR レジスタは、表 25.25 に示すレジスタに設定された値を H/W アクセラレータ内部へ反映するかどうかを選択します。

FPWMREFPER ビット

表 25.25 に示す通り PWM IP 起動時に回路内部へレジスタ値を反映するかどうかを FPWMREFPER ビットにて選択することができます。

なお、リセット後の各回路内部の信号状態は「対応する各レジスタのリセット後の値」になります。

表 25.25 FPWMREFPER ビットで反映/許可禁止できるレジスタ

レジスタ名	シンボル
EMU3n d 軸電圧補正值レジスタ	EMU3nVDCRCT
EMU3n q 軸電圧補正值レジスタ	EMU3nVQCRCT
EMU3n PWM IP 用電気角オフセットレジスタ	EMU3nPHI
EMU3n 非干渉化制御係数角速度値ゲインレジスタ	EMU3nDECVELG
EMU3n 非干渉化制御係数 Ld 値レジスタ	EMU3nDECLD
EMU3n 非干渉化制御係数 Lq 値レジスタ	EMU3nDECLQ
EMU3n 非干渉化制御係数磁束値レジスタ	EMU3nDECFLUX
EMU3n dq 軸電圧位相角ソフト入力レジスタ	EMU3nTHTVSFT
EMU3n dq 軸電圧値ソフト入力レジスタ	EMU3nVDQSFT
EMU3n PWM 変調用波高値レジスタ	EMU3nTMAX

25.3.2.4 EMU3n IP 起動トリガ要因選択レジスタ (EMU3nIPTRG)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0010_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	RECIPTRG	PWMIPTRG	PIIPTRG	INIPTRG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 25.26 EMU3nIPTRG レジスタの内容

ビット位置	ビット	機能
7~5	—	読むと“0”が読み出されます。書き込みは“0”としてください。
4	RECIPTRG	矩形 IP 起動トリガ選択ビット 0: ソフトウェアトリガ (EMU3nIPSFT レジスタの RECIPSFT ビット) 1: 角度コンペア 0 一致
3	PWMIPTRG	PWM IP 起動トリガ選択ビット 0: ソフトウェアトリガ (EMU3nIPSFT レジスタの PWMIPSFT ビット) 1: PI 制御 IP 完了
2	PIIPTRG	PI 制御 IP 起動トリガ選択ビット 0: ソフトウェアトリガ (EMU3nIPSFT レジスタの PIIPSFT ビット) 1: 入力 IP 完了
1, 0	INIPTRG[1:0]	入力 IP 起動トリガ選択ビット 00: ソフトウェアトリガ (EMU3nIPSFT レジスタの INIPSFT ビット) 01: コンペア 0 一致検出 10: A/D 変換完了 ^{注1} 11: コンペア 0 一致検出 or A/D 変換完了 ^{注1}

注 1. EMU3nCTRINMD レジスタの INSTCTR[1:0]ビットと EMU3nADEND レジスタの ADEND[1:0]ビットの組合せで選択

角度コンペア 0 に関する詳細は、「25.4.7.1 一括矩形 IP」を参照してください。

25.3.2.5 EMU3n IP ソフトウェア起動レジスタ (EMU3nIPSFT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0014_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	RECIPSFT	PWMIPSFT	PIIPSFT	INIPSFT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.27 EMU3nIPSFT レジスタの内容

ビット位置	ビット	機能
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3	RECIPSFT	矩形 IP ソフトウェア起動ビット “1”を書くと矩形 IP が起動します。あらかじめ EMU3nIPTRG レジスタの RECIPTRG ビットを“0”にしてください。
2	PWMIPSFT	PWM IP ソフトウェア起動ビット “1”を書くと PWM IP が起動します。あらかじめ EMU3nIPTRG レジスタの PWMIPTRG ビットを“0”にしてください。
1	PIIPSFT	PI 制御 IP ソフトウェア起動ビット “1”を書くと PI 制御 IP が起動します。あらかじめ EMU3nIPTRG レジスタの PIIPTRG ビットを“0”にしてください。
0	INIPSFT	入力 IP ソフトウェア起動ビット “1”を書くと入力 IP が起動します。あらかじめ EMU3nIPTRG レジスタの INIPTRG ビットを“0”にしてください。

各 IP をソフトウェアから起動する際に設定するレジスタです。各ビットは“1”を設定後、対応する IP が完了すると“0”になります。

IP をソフトウェア起動する前に、起動対象となる IP の EMU3nINTSD レジスタのビットをクリアしてください。EMU3nINTSD レジスタのビットクリアは EMU3nINTSDC レジスタで行います。

25.3.2.6 EMU3n A/D 変換完了タイミング選択レジスタ (EMU3nADEND)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0016_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ADEND	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.28 EMU3nADEND レジスタの内容

ビット位置	ビット	機能
7~2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1、0	ADEND	A/D 変換完了タイミング選択ビット 00 : A/D 変換完了時 01 : IIR フィルタチャンネル 0 の IIR フィルタ処理完了時 10 : IIR フィルタチャンネル 1 の IIR フィルタ処理完了時 11 : IIR フィルタチャンネル 2 の IIR フィルタ処理完了時

備考 詳細は「25.4.8 A/D 変換制御、角度値ラッチ制御」参照下さい。

ADEND ビットの変更は A/D 変換器が停止状態で行ってください。

25.3.2.7 EMU3n A/D 変換開始トリガ要因選択レジスタ (EMU3nADTRG)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0018_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NW7 AD	NW6 AD	NW5 AD	NW4 AD	NW3 AD	NW2 AD	NW1 AD	NW0 AD	NV7AD	NV6AD	NV5AD	NV4AD	NV3AD	NV2AD	NV1AD	NV0AD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NU7AD	NU6AD	NU5AD	NU4AD	NU3AD	NU2AD	NU1AD	NU0AD	—	—	—	—	—	CMP AD	CAVAL AD	CAMOU AD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.29 EMU3nADTRG レジスタの内容 (1/3)

ビット位置	ビット	機能
31	NW7AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 7 一致検出) 0: 無効 1: 有効
30	NW6AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 6 一致検出) 0: 無効 1: 有効
29	NW5AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 5 一致検出) 0: 無効 1: 有効
28	NW4AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 4 一致検出) 0: 無効 1: 有効
27	NW3AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 3 一致検出) 0: 無効 1: 有効
26	NW2AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 2 一致検出) 0: 無効 1: 有効
25	NW1AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 1 一致検出) 0: 無効 1: 有効
24	NW0AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 W 相コンペア 0 一致検出) 0: 無効 1: 有効
23	NV7AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 7 一致検出) 0: 無効 1: 有効
22	NV6AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 6 一致検出) 0: 無効 1: 有効

表 25.29 EMU3nADTRG レジスタの内容 (2/3)

ビット位置	ビット	機能
21	NV5AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 5 一致検出) 0: 無効 1: 有効
20	NV4AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 4 一致検出) 0: 無効 1: 有効
19	NV3AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 3 一致検出) 0: 無効 1: 有効
18	NV2AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 2 一致検出) 0: 無効 1: 有効
17	NV1AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 1 一致検出) 0: 無効 1: 有効
16	NV0AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 V 相コンペア 0 一致検出) 0: 無効 1: 有効
15	NU7AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 7 一致検出) 0: 無効 1: 有効
14	NU6AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 6 一致検出) 0: 無効 1: 有効
13	NU5AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 5 一致検出) 0: 無効 1: 有効
12	NU4AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 4 一致検出) 0: 無効 1: 有効
11	NU3AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 3 一致検出) 0: 無効 1: 有効
10	NU2AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 2 一致検出) 0: 無効 1: 有効
9	NU1AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 1 一致検出) 0: 無効 1: 有効
8	NU0AD	A/D 変換開始トリガ要因許可ビット (独立矩形 IP2 U 相コンペア 0 一致検出) 0: 無効 1: 有効
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	CMPAD	A/D 変換開始トリガ要因許可ビット (角度コンペア 0 一致検出) 0: 無効 1: 有効

表 25.29 EMU3nADTRG レジスタの内容 (3/3)

ビット位置	ビット	機能
1	CAVALAD	A/D 変換開始トリガ要因許可ビット (キャリア信号谷タイミング) 0: 無効 1: 有効
0	CAMOUAD	A/D 変換開始トリガ要因許可ビット (キャリア信号山タイミング) 0: 無効 1: 有効

備考 詳細は「25.4.8 A/D 変換制御、角度値ラッチ制御」を参照下さい。

25.3.2.8 EMU3n A/D 変換開始トリガ要因判別レジスタ (EMU3nADMON)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 001C_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NW7 ADM	NW6 ADM	NW5 ADM	NW4 ADM	NW3 ADM	NW2 ADM	NW1 ADM	NW0 ADM	NV7 ADM	NV6 ADM	NV5 ADM	NV4 ADM	NV3 ADM	NV2 ADM	NV1 ADM	NV0 ADM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NU7 ADM	NU6 ADM	NU5 ADM	NU4 ADM	NU3 ADM	NU2 ADM	NU1 ADM	NU0 ADM	—	—	—	—	SFT ADM	CMP ADM	CAVAL ADM	CAMOU ADM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.30 EMU3nADMON レジスタの内容 (1/3)

ビット位置	ビット	機能
31	NW7ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 7 一致検出) 0: 要因なし 1: 要因発生
30	NW6ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 6 一致検出) 0: 要因なし 1: 要因発生
29	NW5ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 5 一致検出) 0: 要因なし 1: 要因発生
28	NW4ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 4 一致検出) 0: 要因なし 1: 要因発生
27	NW3ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 3 一致検出) 0: 要因なし 1: 要因発生
26	NW2ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 2 一致検出) 0: 要因なし 1: 要因発生
25	NW1ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 1 一致検出) 0: 要因なし 1: 要因発生
24	NW0ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 W 相コンペア 0 一致検出) 0: 要因なし 1: 要因発生
23	NV7ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 7 一致検出) 0: 要因なし 1: 要因発生
22	NV6ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 6 一致検出) 0: 要因なし 1: 要因発生

表 25.30 EMU3nADMON レジスタの内容 (2/3)

ビット位置	ビット	機能
21	NV5ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 5 一致検出) 0: 要因なし 1: 要因発生
20	NV4ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 4 一致検出) 0: 要因なし 1: 要因発生
19	NV3ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 3 一致検出) 0: 要因なし 1: 要因発生
18	NV2ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 2 一致検出) 0: 要因なし 1: 要因発生
17	NV1ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 1 一致検出) 0: 要因なし 1: 要因発生
16	NV0ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 V 相コンペア 0 一致検出) 0: 要因なし 1: 要因発生
15	NU7ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 7 一致検出) 0: 要因なし 1: 要因発生
14	NU6ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 6 一致検出) 0: 要因なし 1: 要因発生
13	NU5ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 5 一致検出) 0: 要因なし 1: 要因発生
12	NU4ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 4 一致検出) 0: 要因なし 1: 要因発生
11	NU3ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 3 一致検出) 0: 要因なし 1: 要因発生
10	NU2ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 2 一致検出) 0: 要因なし 1: 要因発生
9	NU1ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 1 一致検出) 0: 要因なし 1: 要因発生
8	NU0ADM	A/D 変換開始トリガ要因判別ビット (独立矩形 IP2 U 相コンペア 0 一致検出) 0: 要因なし 1: 要因発生
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。

表 25.30 EMU3nADMON レジスタの内容 (3/3)

ビット位置	ビット	機能
3	SFTADM	A/D 変換開始トリガ要因判別ビット (ソフトウェアトリガ) 0: 要因なし 1: 要因発生
2	CMPADM	A/D 変換開始トリガ要因判別ビット (角度コンペア 0 一致検出) 0: 要因なし 1: 要因発生
1	CAVALADM	A/D 変換開始トリガ要因判別ビット (キャリア信号谷タイミング) 0: 要因なし 1: 要因発生
0	CAMOUADM	A/D 変換開始トリガ要因判別ビット (キャリア信号山タイミング) 0: 要因なし 1: 要因発生

備考 詳細は「25.4.8 A/D 変換制御、角度値ラッチ制御」を参照下さい。

発生した A/D 変換開始トリガ要因をモニタするレジスタです。各ビットは対応する A/D 変換開始トリガ要因が発生したら“1”になります。EMU3nADMONC レジスタの対応するビットに“1”を書くことでクリアされます。

25.3.2.9 EMU3n A/D 変換開始トリガ要因判別クリアレジスタ (EMU3nADMONC)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0020_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NW7 ADMC	NW6 ADMC	NW5 ADMC	NW4 ADMC	NW3 ADMC	NW2 ADMC	NW1 ADMC	NW0 ADMC	NV7 ADMC	NV6 ADMC	NV5 ADMC	NV4 ADMC	NV3 ADMC	NV2 ADMC	NV1 ADMC	NV0 ADMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NU7 ADMC	NU6 ADMC	NU5 ADMC	NU4 ADMC	NU3 ADMC	NU2 ADMC	NU1 ADMC	NU0 ADMC	—	—	—	—	SFT ADMC	CMP ADMC	CAVAL ADMC	CAMOU ADMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.31 EMU3nADMONC レジスタの内容 (1/2)

ビット位置	ビット	機能
31	NW7ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 7 一致検出) “1” を書くと、EMU3nADMON レジスタの NW7ADM ビットが “0” になります。
30	NW6ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 6 一致検出) “1” を書くと、EMU3nADMON レジスタの NW6ADM ビットが “0” になります。
29	NW5ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 5 一致検出) “1” を書くと、EMU3nADMON レジスタの NW5ADM ビットが “0” になります。
28	NW4ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 4 一致検出) “1” を書くと、EMU3nADMON レジスタの NW4ADM ビットが “0” になります。
27	NW3ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 3 一致検出) “1” を書くと、EMU3nADMON レジスタの NW3ADM ビットが “0” になります。
26	NW2ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 2 一致検出) “1” を書くと、EMU3nADMON レジスタの NW2ADM ビットが “0” になります。
25	NW1ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 1 一致検出) “1” を書くと、EMU3nADMON レジスタの NW1ADM ビットが “0” になります。
24	NW0ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 W 相コンペア 0 一致検出) “1” を書くと、EMU3nADMON レジスタの NW0ADM ビットが “0” になります。
23	NV7ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 7 一致検出) “1” を書くと、EMU3nADMON レジスタの NV7ADM ビットが “0” になります。
22	NV6ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 6 一致検出) “1” を書くと、EMU3nADMON レジスタの NV6ADM ビットが “0” になります。
21	NV5ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 5 一致検出) “1” を書くと、EMU3nADMON レジスタの NV5ADM ビットが “0” になります。
20	NV4ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 4 一致検出) “1” を書くと、EMU3nADMON レジスタの NV4ADM ビットが “0” になります。
19	NV3ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 3 一致検出) “1” を書くと、EMU3nADMON レジスタの NV3ADM ビットが “0” になります。

表 25.31 EMU3nADMONC レジスタの内容 (2/2)

ビット位置	ビット	機能
18	NV2ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 2 一致検出) “1” を書くと、EMU3nADMON レジスタの NV2ADM ビットが “0” になります。
17	NV1ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 1 一致検出) “1” を書くと、EMU3nADMON レジスタの NV1ADM ビットが “0” になります。
16	NV0ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 V 相コンペア 0 一致検出) “1” を書くと、EMU3nADMON レジスタの NV0ADM ビットが “0” になります。
15	NU7ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 7 一致検出) “1” を書くと、EMU3nADMON レジスタの NU7ADM ビットが “0” になります。
14	NU6ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 6 一致検出) “1” を書くと、EMU3nADMON レジスタの NU6ADM ビットが “0” になります。
13	NU5ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 5 一致検出) “1” を書くと、EMU3nADMON レジスタの NU5ADM ビットが “0” になります。
12	NU4ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 4 一致検出) “1” を書くと、EMU3nADMON レジスタの NU4ADM ビットが “0” になります。
11	NU3ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 3 一致検出) “1” を書くと、EMU3nADMON レジスタの NU3ADM ビットが “0” になります。
10	NU2ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 2 一致検出) “1” を書くと、EMU3nADMON レジスタの NU2ADM ビットが “0” になります。
9	NU1ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 1 一致検出) “1” を書くと、EMU3nADMON レジスタの NU1ADM ビットが “0” になります。
8	NU0ADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (独立矩形 IP2 U 相コンペア 0 一致検出) “1” を書くと、EMU3nADMON レジスタの NU0ADM ビットが “0” になります。
7~4	—	読むと “0” が読み出されます。書き込みは “0” としてください。
3	SFTADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (ソフトウェアトリガ) “1” を書くと、EMU3nADMON レジスタの SFTADM ビットが “0” になります。
2	CMPADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (角度コンペア 0 一致検出) “1” を書くと、EMU3nADMON レジスタの CMPADM ビットが “0” になります。
1	CAVALADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (キャリアカウンタ谷) “1” を書くと、EMU3nADMON レジスタの CAVALADM ビットが “0” になります。
0	CAMOUADMC	A/D 変換開始トリガ要因判別レジスタクリアビット (キャリアカウンタ山) “1” を書くと、EMU3nADMON レジスタの CAMOUADM ビットが “0” になります。

備考 詳細は「25.4.8 A/D 変換制御、角度値ラッチ制御」を参照下さい。

本レジスタの各ビットは “1” 書き込み後に自動で “0” になります。“0” 書き込みは無効です。読み出し値は常に “0” です。

25.3.2.10 EMU3n データ遅延カウント設定レジスタ (EMU3nDDCNT)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0024_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDDATA(unsigned)[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDATA(unsigned)[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.32 EMU3nDDCNT レジスタの内容

ビット位置	ビット	機能
31~16	RDDATA[15:0]	角度値ラッチ遅延設定ビット EMU3nADTRG レジスタで指定される A/D 変換開始要因が発生後、本レジスタで指定するサイクル後に入力 IP へ角度生成 IP が出力するレゾルバ角と電気角の値を入力 IP がラッチします。
15~0	ADDATA[15:0]	A/D 変換トリガ遅延設定ビット EMU3nADTRG レジスタで指定される A/D 変換開始要因が発生後、本レジスタで指定するサイクル後に A/D コンバータへ A/D 変換開始のトリガ出力がされます。 遅延時間処理中の新たな A/D 変換開始要因の発生は無効です。

備考 詳細は「25.4.8 A/D 変換制御、角度値ラッチ制御」を参照下さい。

A/D 変換トリガ出力の遅延時間と、R/D 変換の遅延時間を設定するレジスタです。初期値“0000_H”のまま動作させることも可能です。遅延カウンタ動作中の A/D 変換開始トリガは無効になります。

25.3.2.11 EMU3n 割り込み要因選択 k レジスタ (EMU3nINTk) (k = 0~7)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nINT0 : <EMU3n_base> + 0028_H

EMU3nINT1 : <EMU3n_base> + 002C_H

EMU3nINT2 : <EMU3n_base> + 0030_H

EMU3nINT3 : <EMU3n_base> + 0034_H

EMU3nINT4 : <EMU3n_base> + 0038_H

EMU3nINT5 : <EMU3n_base> + 003C_H

EMU3nINT6 : <EMU3n_base> + 0040_H

EMU3nINT7 : <EMU3n_base> + 0044_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	FWGB INT	FWGA INT	KCL INT	NREC WINT	NREC VINT	NREC UINT	IIR2 INT	IIR1 INT	IIR0 INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD INT	PMT2 CPINT	PMT2 OFINT	PMT OFINT	IRECW INT	IRECV INT	IRECU INT	CMP1 INT	CMP0 INT	CARM INT	CARV INT	CBUF INT	REC INT	PWM INT	PI INT	IN INT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.33 EMU3nINTk レジスタの内容 (1/3)

ビット位置	ビット	機能
31~25	—	読むと“0”が読み出されます。書き込みは“0”としてください。
24	FWGBINT	割り込み要因設定ビット k (角度生成 IP WAIT 遷移検出) 0 : 割り込み禁止 1 : 割り込み許可
23	FWGAIN	割り込み要因設定ビット k (入力、PI 制御、PWM IP WAIT 遷移検出) 0 : 割り込み禁止 1 : 割り込み許可
22	KCLINT	割り込み要因設定ビット k (キルヒホッフ電流則違反検出) 0 : 割り込み禁止 1 : 割り込み許可
21	NRECWINT	割り込み要因設定ビット k (独立矩形 IP2W 相角度コンペア 0 一致検出) 0 : 割り込み禁止 1 : 割り込み許可
20	NRECVINT	割り込み要因設定ビット k (独立矩形 IP2V 相角度コンペア 0 一致検出) 0 : 割り込み禁止 1 : 割り込み許可
19	NRECUINT	割り込み要因設定ビット k (独立矩形 IP2U 相角度コンペア 0 一致検出) 0 : 割り込み禁止 1 : 割り込み許可

表 25.33 EMU3nINTk レジスタの内容 (2/3)

ビット位置	ビット	機能
18	IIR2INT	割り込み要因設定ビット k (IIR フィルタチャンネル 2) 0: 割り込み禁止 1: 割り込み許可
17	IIR1INT	割り込み要因設定ビット k (IIR フィルタチャンネル 1) 0: 割り込み禁止 1: 割り込み許可
16	IIR0INT	割り込み要因設定ビット k (IIR フィルタチャンネル 0) 0: 割り込み禁止 1: 割り込み許可
15	ADINT	割り込み要因設定ビット k (A/D 変換完了) 0: 割り込み禁止 1: 割り込み許可
14	PMT2CPINT	割り込み要因設定ビット k (レゾルバ角度計測タイマキャプチャ) 0: 割り込み禁止 1: 割り込み許可
13	PMT2OFINT	割り込み要因設定ビット k (レゾルバ角度計測タイマオーバーフロー) 0: 割り込み禁止 1: 割り込み許可
12	PMTOFINT	割り込み要因設定ビット k (パルス周期計測タイマオーバーフロー) 0: 割り込み禁止 1: 割り込み許可
11	IRECWINT	割り込み要因設定ビット k (独立矩形 IP1W 相角度コンペア 0 一致検出) 0: 割り込み禁止 1: 割り込み許可
10	IRECVINT	割り込み要因設定ビット k (独立矩形 IP1V 相角度コンペア 0 一致検出) 0: 割り込み禁止 1: 割り込み許可
9	IRECUINT	割り込み要因設定ビット k (独立矩形 IP1U 相角度コンペア 0 一致検出) 0: 割り込み禁止 1: 割り込み許可
8	CMP1INT	割り込み要因設定ビット k (角度コンペア 1 一致検出) 0: 割り込み禁止 1: 割り込み許可
7	CMP0INT	割り込み要因設定ビット k (角度コンペア 0 一致検出) 0: 割り込み禁止 1: 割り込み許可
6	CARMINT	割り込み要因設定ビット k (キャリアカウンタ山) 0: 割り込み禁止 1: 割り込み許可
5	CARVINT	割り込み要因設定ビット k (キャリアカウンタ谷) 0: 割り込み禁止 1: 割り込み許可
4	CBUFINT	割り込み要因設定ビット k (検算用バッファリング完了) 0: 割り込み禁止 1: 割り込み許可
3	RECINT	割り込み要因設定ビット k (矩形 IP 完了) 0: 割り込み禁止 1: 割り込み許可

表 25.33 EMU3nINTk レジスタの内容 (3/3)

ビット位置	ビット	機能
2	PWMINT	割り込み要因設定ビット k (PWM IP 完了) 0: 割り込み禁止 1: 割り込み許可
1	PIINT	割り込み要因設定ビット k (PI 制御 IP 完了) 0: 割り込み禁止 1: 割り込み許可
0	ININT	割り込み要因設定ビット k (入力 IP 完了) 0: 割り込み禁止 1: 割り込み許可

備考 詳細は「25.4.15 割り込み制御」を参照下さい。

25.3.2.12 EMU3n 割り込み要因判別レジスタ (EMU3nINTSD)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 0048_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	FWGB IF	FWGA IF	KCLIF	NREC WIF	NREC VIF	NREC UIF	IIR2 IF	IIR1 IF	IIR0 IF
リセット後の 値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD IF	PMT2 CPIF	PMT2 OFIF	PMT OFIF	IRECW IF	IRECV IF	IRECU IF	CMP1 IF	CMP0 IF	CARM IF	CARV IF	CBUF IF	REC IF	PWM IF	PI IF	IN IF
リセット後の 値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.34 EMU3nINTSD レジスタの内容 (1/3)

ビット位置	ビット	機能
31~25	—	読むと不定値が読み出されます。
24	FWGBIF	割り込み要因判定フラグビット (角度生成 IP WAIT 遷移検出) 0: 角度生成 IP WAIT 遷移未発生 1: 角度生成 IP WAIT 遷移発生
23	FWGAIF	割り込み要因判定フラグビット (入力、PI 制御、PWM IP WAIT 遷移検出) 0: 入力、PI 制御、PWM IP WAIT 遷移未発生 1: 入力、PI 制御、PWM IP WAIT 遷移発生
22	KCLIF	割り込み要因判定フラグビット (キルヒホッフ電流則違反検出) 0: キルヒホッフ電流則違反検出 未発生 1: キルヒホッフ電流則違反検出 発生
21	NRECWIF	割り込み要因判定フラグビット (独立矩形 IP2 W 相角度コンペア 0 一致検出) 0: 独立矩形 IP2 W 相角度コンペア 0 一致検出 未発生 1: 独立矩形 IP2 W 相角度コンペア 0 一致検出 発生
20	NRECVIF	割り込み要因判定フラグビット (独立矩形 IP2 V 相角度コンペア 0 一致検出) 0: 独立矩形 IP2 V 相角度コンペア 0 一致検出 未発生 1: 独立矩形 IP2 V 相角度コンペア 0 一致検出 発生
19	NRECUIF	割り込み要因判定フラグビット (独立矩形 IP2 U 相角度コンペア 0 一致検出) 0: 独立矩形 IP2 U 相角度コンペア 0 一致検出 未発生 1: 独立矩形 IP2 U 相角度コンペア 0 一致検出 発生
18	IIR2IF	割り込み要因判定フラグビット (IIR フィルタチャンネル 2 完了) 0: IIR フィルタチャンネル 2 完了 未発生 1: IIR フィルタチャンネル 2 完了 発生

表 25.34 EMU3nINTSD レジスタの内容 (2/3)

ビット位置	ビット	機能
17	IIR1IF	割り込み要因判定フラグビット (IIR フィルタチャンネル1完了) 0: IIR フィルタチャンネル1完了 未発生 1: IIR フィルタチャンネル1完了 発生
16	IIR0IF	割り込み要因判定フラグビット (IIR フィルタチャンネル0完了) 0: IIR フィルタチャンネル0完了 未発生 1: IIR フィルタチャンネル0完了 発生
15	ADIF	割り込み要因判定フラグビット (A/D 変換完了) 0: A/D 変換完了 未発生 1: A/D 変換完了 発生
14	PMT2CPIF	割り込み要因判定フラグビット (レゾルバ角度計測タイマキャプチャ) 0: レゾルバ角度計測タイマキャプチャ 未発生 1: レゾルバ角度計測タイマキャプチャ 発生
13	PMT2OFIF	割り込み要因判定フラグビット (レゾルバ角度計測タイマオーバフロー) 0: レゾルバ角度計測タイマオーバフロー 未発生 1: レゾルバ角度計測タイマオーバフロー 発生
12	PMTOFIF	割り込み要因判定フラグビット (パルス周期計測タイマオーバフロー) 0: パルス周期計測タイマオーバフロー 未発生 1: パルス周期計測タイマオーバフロー 発生
11	IRECWIF	割り込み要因判定フラグビット (独立矩形 IP1W 相角度コンペア0一致検出) 0: 独立矩形 IP1W 相角度コンペア0一致検出 未発生 1: 独立矩形 IP1W 相角度コンペア0一致検出 発生
10	IRECVIF	割り込み要因判定フラグビット (独立矩形 IP1V 相角度コンペア0一致検出) 0: 独立矩形 IP1V 相角度コンペア0一致検出 未発生 1: 独立矩形 IP1V 相角度コンペア0一致検出 発生
9	IRECUIF	割り込み要因判定フラグビット (独立矩形 IP1U 相角度コンペア0一致検出) 0: 独立矩形 IP1U 相角度コンペア0一致検出 未発生 1: 独立矩形 IP1U 相角度コンペア0一致検出 発生
8	CMP1IF	割り込み要因判定フラグビット (角度コンペア1一致検出) 0: 角度コンペア1一致検出 未発生 1: 角度コンペア1一致検出 発生
7	CMP0IF	割り込み要因判定フラグビット (角度コンペア0一致検出) 0: 角度コンペア0一致検出 未発生 1: 角度コンペア0一致検出 発生
6	CARMIF	割り込み要因判定フラグビット (キャリアカウンタ山) 0: キャリアカウンタ山 未発生 1: キャリアカウンタ山 発生
5	CARVIF	割り込み要因判定フラグビット (キャリアカウンタ谷) 0: キャリアカウンタ谷 未発生 1: キャリアカウンタ谷 発生
4	CBUFIF	割り込み要因判定フラグビット (検算用バッファリング完了) 0: 検算用レジスタへのバッファリング 未発生 1: 検算用レジスタへのバッファリング 発生

表 25.34 EMU3nINTSD レジスタの内容 (3/3)

ビット位置	ビット	機能
3	RECIF	割り込み要因判定フラグビット (矩形 IP 完了) 0 : 矩形 IP 完了 未発生 1 : 矩形 IP 完了 発生
2	PWMIF	割り込み要因判定フラグビット (PWM IP 完了) 0 : PWM IP 完了 未発生 1 : PWM IP 完了 発生
1	PIIF	割り込み要因判定フラグビット (PI 制御 IP 完了) 0 : PI 制御 IP 完了 未発生 1 : PI 制御 IP 完了 発生
0	INIF	割り込み要因判定フラグビット (入力 IP 完了) 0 : 入力 IP 完了 未発生 1 : 入力 IP 完了 発生

備考 詳細は「25.4.15 割り込み制御」を参照下さい。

本レジスタの各ビットは対応する要因の動作完了時に“1”になります。割り込み発生時の要因判別に使用可能です。

25.3.2.13 EMU3n 割り込み要因判別クリアレジスタ (EMU3nINTSDC)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 004C_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	FWGB IFC	FWGA IFC	KCL IFC	NREC WIFC	NREC VIFC	NREC UIFC	IIR2 IFC	IIR1 IFC	IIR0 IFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD IFC	PMT2 CPIFC	PMT2 OFIFC	PMT OFIFC	IREC W IFC	IREC V IFC	IREC U IFC	CMP1 IFC	CMP0 IFC	CARM IFC	CARV IFC	CBUF IFC	REC IFC	PWM IFC	PI IFC	IN IFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.35 EMU3nINTSDC レジスタの内容 (1/2)

ビット位置	ビット	機能
31~25	—	読むと“0”が読み出されます。書き込みは“0”としてください。
24	FWGBIFC	割り込み要因判定フラグクリアビット (角度生成 IP WAIT 遷移検出) “1”を書くと EMU3nINTSD レジスタの FWGBIF ビットが“0”になります。
23	FWGAIFC	割り込み要因判定フラグクリアビット (入力、PI 制御、PWM IP WAIT 遷移検出) “1”を書くと EMU3nINTSD レジスタの FWGAIF ビットが“0”になります。
22	KCLIFC	割り込み要因判定フラグクリアビット (キルヒホッフ電流則違反検出) “1”を書くと EMU3nINTSD レジスタの KCLIF ビットが“0”になります。
21	NRECWIFC	割り込み要因判定フラグクリアビット (独立矩形 IP2 W 相角度コンペア 0 一致検出) “1”を書くと EMU3nINTSD レジスタの NRECWIF ビットが“0”になります。
20	NRECVIFC	割り込み要因判定フラグクリアビット (独立矩形 IP2 V 相角度コンペア 0 一致検出) “1”を書くと EMU3nINTSD レジスタの NRECVIF ビットが“0”になります。
19	NRECUIFC	割り込み要因判定フラグクリアビット (独立矩形 IP2 U 相角度コンペア 0 一致検出) “1”を書くと EMU3nINTSD レジスタの NRECUIF ビットが“0”になります。
18	IIR2IFC	割り込み要因判定フラグクリアビット (IIR フィルタチャンネル 2 完了) “1”を書くと EMU3nINTSD レジスタの IIR2IF ビットが“0”になります。
17	IIR1IFC	割り込み要因判定フラグクリアビット (IIR フィルタチャンネル 1 完了) “1”を書くと EMU3nINTSD レジスタの IIR1IF ビットが“0”になります。
16	IIR0IFC	割り込み要因判定フラグクリアビット (IIR フィルタチャンネル 0 完了) “1”を書くと EMU3nINTSD レジスタの IIR0IF ビットが“0”になります。
15	ADIFC	割り込み要因判定フラグクリアビット (A/D 変換完了) “1”を書くと EMU3nINTSD レジスタの ADIF ビットが“0”になります。
14	PMT2CPIFC	割り込み要因判定フラグクリアビット (レゾルバ角度計測タイマキャプチャ) “1”を書くと EMU3nINTSD レジスタの PMT2CPIF ビットが“0”になります。
13	PMT2OFIFC	割り込み要因判定フラグクリアビット (レゾルバ角度計測タイマオーバーフロー) “1”を書くと EMU3nINTSD レジスタの PMT2OFIF ビットが“0”になります。
12	PMTOFIFC	割り込み要因判定フラグクリアビット (パルス周期計測タイマオーバーフロー) “1”を書くと EMU3nINTSD レジスタの PMTOFIF ビットが“0”になります。

表 25.35 EMU3nINTSDC レジスタの内容 (2/2)

ビット位置	ビット	機能
11	IRECWIFC	割り込み要因判定フラグクリアビット (独立矩形 IP1W 相角度コンペア 0 一致検出) “1” を書くと EMU3nINTSD レジスタの IRECWIF ビットが “0” になります。
10	IRECVIFC	割り込み要因判定フラグクリアビット (独立矩形 IP1V 相角度コンペア 0 一致検出) “1” を書くと EMU3nINTSD レジスタの IRECVIF ビットが “0” になります。
9	IRECUIFC	割り込み要因判定フラグクリアビット (独立矩形 IP1U 相角度コンペア 0 一致検出) “1” を書くと EMU3nINTSD レジスタの IRECUIF ビットが “0” になります。
8	CMP1IFC	割り込み要因判定フラグクリアビット (角度コンペア 1 一致検出) “1” を書くと EMU3nINTSD レジスタの CMP1IF ビットが “0” になります。
7	CMP0IFC	割り込み要因判定フラグクリアビット (角度コンペア 0 一致検出) “1” を書くと EMU3nINTSD レジスタの CMP0IF ビットが “0” になります。
6	CARMIFC	割り込み要因判定フラグクリアビット (キャリアカウンタ山) “1” を書くと EMU3nINTSD レジスタの CARMIF ビットが “0” になります。
5	CARVIFC	割り込み要因判定フラグクリアビット (キャリアカウンタ谷) “1” を書くと EMU3nINTSD レジスタの CARVIF ビットが “0” になります。
4	CBUFIFC	割り込み要因判定フラグクリアビット (検算用バッファリング完了) “1” を書くと EMU3nINTSD レジスタの CBUFIF ビットが “0” になります。
3	RECIFC	割り込み要因判定フラグクリアビット (矩形 IP 完了) “1” を書くと EMU3nINTSD レジスタの RECIF ビットが “0” になります。
2	PWMIFC	割り込み要因判定フラグクリアビット (PWM IP 完了) “1” を書くと EMU3nINTSD レジスタの PWMIF ビットが “0” になります。
1	PIIFC	割り込み要因判定フラグクリアビット (PI 制御 IP 完了) “1” を書くと EMU3nINTSD レジスタの PIIF ビットが “0” になります。
0	INIFC	割り込み要因判定フラグクリアビット (入力 IP 完了) “1” を書くと EMU3nINTSD レジスタの INIF ビットが “0” になります。

備考 詳細は「25.4.15 割り込み制御」を参照下さい。

本レジスタの各ビットは “1” 書き込み後に自動で “0” になります。“0” 書き込みは無効です。読み出し値は常に “0” です。

25.3.2.14 EMU3n オーバフロー検出結果レジスタ (EMU3nOFMON)

アクセス 8ビット単位でリード可能です。

アドレス <EMU3n_base> + 0050_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPOF	PIIPOF	INIPOF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.36 EMU3nOFMON レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPOF	PWM IP オーバフロー検出フラグ 0 : オーバフロー未検出 1 : オーバフロー検出
1	PIIPOF	PI 制御 IP オーバフロー検出フラグ 0 : オーバフロー未検出 1 : オーバフロー検出
0	INIPOF	入力 IP オーバフロー検出フラグ 0 : オーバフロー未検出 1 : オーバフロー検出

25.3.2.15 EMU3n ゼロ除算検出結果レジスタ (EMU3nZDMON)

アクセス 8ビット単位でリード可能です。

アドレス <EMU3n_base> + 0051_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPZD	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.37 EMU3nZDMON レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPZD	PWM IP ゼロ除算検出フラグ 0: ゼロ除算未検出 1: ゼロ除算検出
1, 0	—	読むと“0”が読み出されます。書き込みは“0”としてください。

25.3.2.16 EMU3n オーバフロー検出結果クリアレジスタ (EMU3nOFMONC)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0052_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWMIPOFC	PIIPOFC	INIPOFC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.38 EMU3nOFMONC レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPOFC	PWM IP オーバフロー検出フラグクリアビット “1”を書くと EMU3nOFMON レジスタの PWMIPOF ビットが“0”になります。
1	PIIPOFC	PI 制御 IP オーバフロー検出フラグクリアビット “1”を書くと EMU3nOFMON レジスタの PIPOF ビットが“0”になります。
0	INIPOFC	入力 IP オーバフロー検出フラグクリアビット “1”を書くと EMU3nOFMON レジスタの INIPOF ビットが“0”になります。

本レジスタの各ビットは“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

25.3.2.17 EMU3n ゼロ除算検出結果クリアレジスタ (EMU3nZDMONC)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0053_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWM IPZDC	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R

表 25.39 EMU3nZDMONC レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMIPZDC	PWM IP ゼロ除算検出フラグクリアビット “1”を書くと EMU3nZDMON レジスタの PWMIPZD ビットが“0”になります。
1、0	—	読むと“0”が読み出されます。書き込みは“0”としてください。

本レジスタの各ビットは“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

25.3.2.18 EMU3n パルス周期計測タイマ制御レジスタ (EMU3nPMTCTR)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0060_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STTRG	—	—	—	—	—	—	—	—	—	—	—	—	—	OVFSW	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	RW	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 25.40 EMU3nPMTCTR レジスタの内容

ビット位置	ビット	機能
15	STTRG	ソフトウェアトリガビット “1” を書くと、ソフトウェアトリガが発生します。 “1” 書き込み後に自動的に“0” になります。“0” 書き込みは無効です。 読み出し値はつねに“0” になります。
14~2	—	読むと“0” が読み出されます。書き込みは“0” としてください。
1	OVFSW	オーバーフロー出力先切り替えビット 0 : EMU3nPMTOF レジスタ 1 : 割り込み要求 EMU3nPMTCNT カウンタがオーバーフローした時の出力先を選択できます。
0	STR	カウント開始ビット 0 : カウンタのカウント動作停止 1 : カウンタのカウント動作開始

備考 詳細は「25.4.10 パルス周期計測タイマ」を参照下さい。

25.3.2.19 EMU3n パルス周期計測タイマカウンタレジスタ (EMU3nPMTCNT)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0064_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	DATA (unsigned)								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.41 EMU3nPMTCNT レジスタの内容

ビット位置	ビット	機能
31~25	—	読むと“0”が読み出されます。書き込みは“0”としてください。
24~0	DATA	データビット (符号なし整数) 25 ビットアップカウンタ値を読み出せます。 本ビットへ書き込むことでカウンタ値を更新することができます。

備考 詳細は「25.4.10 パルス周期計測タイマ」を参照下さい。

EMU3nPMTCNT カウンタは、EMU3nPMTCTR レジスタの STR ビットが“1”のとき、CLKC_HSB によってカウントアップする 25 ビットカウンタです。このレジスタは、動作中/停止中に関係なく、値を書き換えることができます。読むと、カウンタ値が読み出せます。

EMU3nPMTCNT カウンタ値が EMU3nPMTCAP レジスタへ格納された時 (キャプチャ動作)、または EMU3nPMTCNT カウンタがオーバーフローしたとき、EMU3nPMTCNT カウンタは“0000 0000_H”になります。その後、カウント継続します。

25.3.2.20 EMU3n パルス周期計測タイマキャプチャレジスタ (EMU3nPMTCAP)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 0068_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	DATA (unsigned)								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.42 EMU3nPMTCAP レジスタの内容

ビット位置	ビット	機能
31~25	—	読むと“0”が読み出されます。書き込みは“0”としてください。
24~0	DATA	データビット (符号なし整数) 25 ビットキャプチャ値を読み出せます。

備考 詳細は「25.4.10 パルス周期計測タイマ」を参照下さい。

EMU3nPMTCAP レジスタは、読み出し専用レジスタです。Z 相信号の立ち上がり、またはソフトウェアトリガ (EMU3nPMTCTR レジスタの STTRG ビットへの“1”書き込み) で EMU3nPMTCNT カウンタ値を EMU3nPMTCAP レジスタへ格納します。

25.3.2.21 EMU3n パルス周期計測タイマオーバーフローレジスタ (EMU3nPMTOF)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 006CH

リセット後の値 00H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.43 EMU3nPMTOF レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	OVF	オーバーフローフラグビット 0: オーバフローなし 1: オーバフローあり、または“0”の状態に“1”を書いたとき

備考 詳細は「25.4.10 パルス周期計測タイマ」を参照下さい。

EMU3nPMTOF レジスタは、EMU3nPMTCTR レジスタの OVFSW ビットが“0”のとき有効になります。

OVF フラグ

[“0” になる条件]

- OVF フラグが “1” の状態で、“0” を書き込んだとき

[“1” になる条件]

- EMU3nPMTCTR レジスタの OVFSW ビットが “0” (EMU3nPMTOF レジスタを選択) の状態で、EMU3nPMTCNT カウンタがオーバーフローしたとき (01FF FFFF_H → 0000 0000_H)
- OVF フラグが “0” の状態で、“1” を書き込んだとき

25.3.2.22 EMU3n レゾルバ角度計測タイマ制御レジスタ (EMU3nPMT2CTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0070_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.44 EMU3nPMT2CTR レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	EN	カウント動作許可ビット 0: カウンタのカウント動作停止 1: カウンタのカウント動作開始

備考 詳細は「25.4.11 レゾルバ角度計測タイマ」を参照下さい。

25.3.2.23 EMU3n レゾルバ角度計測タイマソフトトリガレジスタ (EMU3nPMT2SFT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0074_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SCAPTRG
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.45 EMU3nPMT2SFT レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	SCAPTRG	ソフトウェア・キャプチャトリガビット “1”を書くと、EMU3nPMT2CNT レジスタ値が EMU3nPMT2CAP レジスタへ格納され、EMU3nPMT2CNT レジスタ値は“0”に更新されます。(キャプチャ動作) “1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

備考 詳細は「25.4.11 レゾルバ角度計測タイマ」を参照下さい。

25.3.2.24 EMU3n レゾルバ角度計測タイマカウンタレジスタ (EMU3nPMT2CNT)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0078_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.46 EMU3nPMT2CNT レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号なし整数) 32 ビットアップカウンタのカウンタ値が格納されます。 値を書くとカウンタ値が更新されます。

備考 詳細は「25.4.11 レゾルバ角度計測タイマ」を参照下さい。

レゾルバ角度計測タイマは CLKC_HSB 同期の毎サイクルカウントアップする、32 ビットアップカウンタです。動作中/停止中に関係なくカウンタ値を書き換えることができ、読むと、その際のカウンタ値が読み出せます。

キャプチャ動作により EMU3nPMT2CNT レジスタ値が EMU3nPMT2CAP レジスタへ格納された時、または EMU3nPMT2CNT レジスタのカウンタがオーバーフローした時、EMU3nPMT2CNT レジスタは“0”になります。その後、カウンタアップを継続します。

25.3.2.25 EMU3n レゾルバ角度計測タイマキャプチャレジスタ (EMU3nPMT2CAP)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 007C_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.47 EMU3nPMT2CAP レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号なし整数) キャプチャ動作時に EMU3nPMT2CNT レジスタの値が格納されます。

備考 詳細は「25.4.11 レゾルバ角度計測タイマ」を参照下さい。

EMU3nPMT2INVL レジスタで選択した「Z 相信号の立ち上がり」、またはソフトウェアトリガ (EMU3nPMT2SFT レジスタの SCAPTRG ビットへの“1”書き込み) で EMU3nPMT2CNT レジスタ値を EMU3nPMT2CAP レジスタへ格納します。

25.3.2.26 EMU3n レゾルバ角度計測タイマキャプチャ間隔設定レジスタ (EMU3nPMT2INVL)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0080_H

リセット後の値 0B_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	DATA (unsigned)				
リセット後の値	0	0	0	0	1	0	1	1
	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 25.48 EMU3nPMT2INVL レジスタの内容

ビット位置	ビット	機能
7～5	—	読むと“0”が読み出されます。書き込みは“0”としてください。
4～0	DATA	データビット (符号なし整数) キャプチャ間隔を Z 相信号またはレゾルバ角から以下のように選択できます。 1F _H : Z 相信号の立ち上がり毎にキャプチャ 1E _H ～00 _H : 設定禁止

備考 詳細は「25.4.11 レゾルバ角度計測タイマ」を参照下さい。

本レジスタ値の変更は、EMU3nPMT2CTR レジスタの EN ビットへ“0”を書き込んでレゾルバ角度計測タイマを停止させてから行って下さい。レゾルバ角度計測タイマ動作中に本レジスタ値を変更することは禁止です。

25.3.2.27 EMU3n A/D 変換開始ソフトトリガレジスタ (EMU3nADSFTTRG)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0084_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SFTAD
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.49 EMU3nADSFTTRG レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	SFTAD	A/D 起動ビット (ソフトウェアトリガ) 0: 無効 1: 有効

備考 詳細は「25.4.8 A/D 変換制御、角度値ラッチ制御」を参照下さい。

25.3.2.28 EMU3n H/W 演算ブロック IDLE 時起動指定 A0 レジスタ (EMU3nFUNCIDLEGRPA0)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0090_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SFTEN	—	—	—	IP	—	—	—	—	—	FUNC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	RW	R	R	R	RW	R	R	R	R	R	RW	RW	RW

表 25.50 EMU3nFUNCIDLEGRPA0 レジスタの内容

ビット位置	ビット	機能
15~13	—	読むと“0”が読み出されます。書き込みは“0”としてください。
12	SFTEN	ソフト起動許可ビット ライトアクセスのタイミングでの入力 IP のソフト起動許可ビットです。 ソフト起動しない場合は、入力 IP の起動要因に従い起動します。 0：ソフト起動しない。 1：ソフト起動する。 注意： EMU3nFUNCIDLEGRPA0 レジスタの IP ビットが“0”の場合は、 起動要求は無効です。
11~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	IP	起動 IP 指定許可ビット 入力 IP 起動時の開始 H/W 演算ブロック指定の許可/禁止を選択します。 0：禁止にする。 1：許可にする。
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2~0	FUNC[2:0]	起動 H/W 演算ブロック指定ビット 入力 IP 起動時に開始する H/W 演算ブロックを指定する。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

- 入力 IP を入力 IP 起動要因で起動する場合

レジスタ値	対応する IP と H/W 演算ブロック
01_00 _H	入力 IP の Func (input0) 「No OPeration」
01_01 _H	入力 IP の Func (input1) 「電気角入手元の選択」
01_04 _H	入力 IP の Func (input4) 「モータ電流値の算出」
01_05 _H	入力 IP の Func (input5) 「dq 軸電流変換」

- 入力 IP を EMU3nFUNCIDLEGRPA0 レジスタのライトアクセスタイミングでソフト起動する場合

レジスタ値	対応する IP と H/W 演算ブロック
11_00 _H	入力 IP の Func (input0) 「No OPeration」
11_01 _H	入力 IP の Func (input1) 「電気角入手元の選択」
11_04 _H	入力 IP の Func (input4) 「モータ電流値の算出」
11_05 _H	入力 IP の Func (input5) 「dq 軸電流変換」

25.3.2.29 EMU3n H/W 演算ブロック IDLE 時起動指定 A1 レジスタ (EMU3nFUNCIDLEGRPA1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0092_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SFTEN	—	—	—	IP	—	—	—	—	—	—	—	FUNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

表 25.51 EMU3nFUNCIDLEGRPA1 レジスタの内容

ビット位置	ビット	機能
15~13	—	読むと“0”が読み出されます。書き込みは“0”としてください。
12	SFTEN	ソフト起動許可ビット ライトアクセスのタイミングでの PI 制御 IP のソフト起動許可ビットです。 ソフト起動しない場合は、PI 制御 IP の起動要因に従い起動します。 0：ソフト起動しない。 1：ソフト起動する。 注意： EMU3nFUNCIDLEGRPA1 レジスタの IP ビットが“0”の場合は、 起動要求は無効です。
11~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	IP	起動 IP 指定許可ビット PI 制御 IP 起動時の開始 H/W 演算ブロック指定の許可/禁止を選択します。 0：禁止にする。 1：許可にする。
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	FUNC	起動 H/W 演算ブロック指定ビット PI 制御 IP 起動時に開始する H/W 演算ブロックを指定する。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

- PI 制御 IP をソフト起動せず、PI 制御 IP 起動要因で起動する場合

レジスタ値	対応する IP と H/W 演算ブロック
01_00 _H	PI 制御 IP の Func (pi0) 「No OPeration」
01_01 _H	PI 制御 IP の Func (pi1) 「pi 制御」

- PI 制御 IP を EMU3nFUNCIDLEGRPA1 レジスタのライトアクセスタイミングでソフト起動する場合

レジスタ値	対応する IP と H/W 演算ブロック
11_00 _H	PI 制御 IP の Func (pi0) 「No OPeration」
11_01 _H	PI 制御 IP の Func (pi1) 「pi 制御」

25.3.2.30 EMU3n H/W 演算ブロック IDLE 時起動指定 A2 レジスタ (EMU3nFUNCIDLEGRPA2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0094_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SFTEN	—	—	—	IP	—	—	—	—	FUNC[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.52 EMU3nFUNCIDLEGRPA2 レジスタの内容

ビット位置	ビット	機能
15~13	—	読むと“0”が読み出されます。書き込みは“0”としてください。
12	SFTEN	ソフト起動許可ビット ライトアクセスのタイミングでの PWM IP のソフト起動許可ビットです。 ソフト起動しない場合は、PWM IP の起動要因に従い起動します。 0：ソフト起動しない。 1：ソフト起動する。 注意： EMU3nFUNCIDLEGRPA2 レジスタの IP ビットが“0”の場合は、 起動要求は無効です。
11~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	IP	起動 IP 指定許可ビット PWM IP 起動時の開始 H/W 演算ブロック指定の許可/禁止を選択します。 0：禁止にする。 1：許可にする。
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	FUNC[2:0]	起動 H/W 演算ブロック指定ビット PWM IP 起動時に開始する H/W 演算ブロックを指定する。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

- PWM IP をソフト起動せず、PWM IP 起動要因で起動する場合

レジスタ値	対応する IP と H/W 演算ブロック
01_00 _H	PWM IP の Func (pwm0) 「No OPeration」
01_01 _H	PWM IP の Func (pwm1) 「dq 軸電圧補正(非干渉化制御)」
01_02 _H	PWM IP の Func (pwm2) 「電気角オフセット処理」
01_03 _H	PWM IP の Func (pwm3) 「二相三相変換」
01_04 _H	PWM IP の Func (pwm4) 「PWM 変調」
01_05 _H	PWM IP の Func (pwm5) 「デューティ比の算出」
01_06 _H	PWM IP の Func (pwm6) 「オフセット加算」
01_08 _H	PWM IP の Func (pwm8) 「出力電圧の選択とリミット処理」
01_09 _H	PWM IP の Func (pwm9) 「PWM 値算出処理」
01_0A _H	PWM IP の Func (pwm10) 「デッドタイム補償」
01_0B _H	PWM IP の Func (pwm11) 「PWM 値リミット処理」

- PWM IP を EMU3nFUNCIDLEGRPA2 レジスタのライトアクセスタイミングでソフト起動する場合

レジスタ値	対応する IP と H/W 演算ブロック
11_00 _H	PWM IP の Func (pwm0) 「No OPeration」
11_01 _H	PWM IP の Func (pwm1) 「dq 軸電圧補正(非干渉化制御)」
11_02 _H	PWM IP の Func (pwm2) 「電気角オフセット処理」
11_03 _H	PWM IP の Func (pwm3) 「二相三相変換」
11_04 _H	PWM IP の Func (pwm4) 「PWM 変調」
11_05 _H	PWM IP の Func (pwm5) 「デューティ比の算出」
11_06 _H	PWM IP の Func (pwm6) 「オフセット加算」
11_08 _H	PWM IP の Func (pwm8) 「出力電圧の選択とリミット処理」
11_09 _H	PWM IP の Func (pwm9) 「PWM 値算出処理」
11_0A _H	PWM IP の Func (pwm10) 「デッドタイム補償」
11_0B _H	PWM IP の Func (pwm11) 「PWM 値リミット処理」

25.3.2.31 EMU3n H/W 演算ブロック完了判別 A レジスタ (EMU3nFUNCFINGRPA)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU3n_base> + 0096_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IP[1:0]		—	—	—	—	FUNC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.53 EMU3nFUNCFINGRPA レジスタの内容

ビット位置	ビット	機能
15~10	—	読むと“0”が読み出されます。書き込みは“0”としてください。
9, 8	IP[1:0]	完了 IP 判別ビット H/W 演算ブロック完了後に IDLE もしくは WAIT に遷移した最新の IP を示します。 00: なし 01: 入力 IP 10: PI 制御 IP 11: PWM IP
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	FUNC[3:0]	完了 H/W 演算ブロック判別ビット H/W 演算ブロック完了後に IDLE もしくは WAIT に遷移した最新の H/W 演算ブロックを示します。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

注 意

入力 IP の最終 H/W 演算ブロックを示す EMU3nFUNCFLGRPA0 レジスタの INPUT5 ビットに“00”を設定された状態で IDLE (入力 IP 完了) に遷移する場合は、レジスタ値を更新しません。

PI 制御 IP の最終 H/W 演算ブロックを示す EMU3nFUNCFLGRPA1 レジスタの PI1 ビットに“00”を設定された状態で IDLE (PI 制御 IP 完了) に遷移する場合は、レジスタ値を更新しません。

PWM IP の最終 H/W 演算ブロックを示す EMU3nFUNCFLGRPA2 レジスタの PWM11 ビットに“00”を設定された状態で IDLE (PWM IP 完了) に遷移する場合は、レジスタ値を更新しません。

読み出し値	対応する IP と H/W 演算ブロック
01_00 _H	入力 IP の Func (input0) 「No OPeration」
01_01 _H	入力 IP の Func (input1) 「電気角入手元の選択」
01_04 _H	入力 IP の Func (input4) 「モータ電流値の算出」
01_05 _H	入力 IP の Func (input5) 「dq 軸電流変換」
02_00 _H	PI 制御 IP の Func (pi0) 「No OPeration」
02_01 _H	PI 制御 IP の Func (pi1) 「pi 制御」
03_00 _H	PWM IP の Func (pwm0) 「No OPeration」
03_01 _H	PWM IP の Func (pwm1) 「dq 軸電圧補正 (非干渉化制御)」
03_02 _H	PWM IP の Func (pwm2) 「電気角オフセット処理」
03_03 _H	PWM IP の Func (pwm3) 「二相三相変換」
03_04 _H	PWM IP の Func (pwm4) 「PWM 変調」
03_05 _H	PWM IP の Func (pwm5) 「デューティ比の算出」
03_06 _H	PWM IP の Func (pwm6) 「オフセット加算」
03_08 _H	PWM IP の Func (pwm8) 「出力電圧の選択とリミット処理」
03_09 _H	PWM IP の Func (pwm9) 「PWM 値算出処理」
03_0A _H	PWM IP の Func (pwm10) 「デッドタイム補償」
03_0B _H	PWM IP の Func (pwm11) 「PWM 値リミット処理」

25.3.2.32 EMU3n H/W 演算ブロック IDLE 時起動指定 B レジスタ (EMU3nFUNCIDLEGRP)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0098_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IP	—	—	—	—	FUNC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.54 EMU3nFUNCIDLEGRP レジスタの内容

ビット位置	ビット	機能
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	IP	起動 IP 指定許可ビット 角度生成 IP 起動時の開始 H/W 演算ブロック指定の許可/禁止を選択します。 0：禁止にする。 1：許可にする。
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	FUNC[3:0]	起動 H/W 演算ブロック指定ビット 角度生成 IP 起動時に開始する H/W 演算ブロックを指定する。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

レジスタ値	対応する IP と H/W 演算ブロック
01_00 _H	角度生成 IP の Func (ang0) 「No Operation」
01_06 _H	角度生成 IP の Func (ang6) 「オフセット誤差重畳」
01_07 _H	角度生成 IP の Func (ang7) 「電気角演算」
01_08 _H	角度生成 IP の Func (ang8) 「角度コンペア一致判定」

25.3.2.33 EMU3n H/W 演算ブロック完了判別 B レジスタ (EMU3nFUNCFINGRPB)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU3n_base> + 009A_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IP	—	—	—	—	FUNC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.55 EMU3nFUNCFINGRPB レジスタの内容

ビット位置	ビット	機能
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	IP	完了 IP 判別ビット H/W 演算ブロック完了後に IDLE もしくは WAIT に遷移した最新の IP を示します。 0：なし 1：角度生成 IP
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	FUNC[3:0]	完了 H/W 演算ブロック判別ビット H/W 演算ブロック完了後に IDLE もしくは WAIT に遷移した最新の H/W 演算ブロックを示します。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

注 意

角度生成 IP の最終 H/W 演算ブロックを示す EMU3nFUNCFLGRP B レジスタの ANG8 ビットに“00”を設定された状態で IDLE (角度生成 IP 完了) に遷移する場合は、レジスタ値を更新しません。

読み出し値	対応する IP と H/W 演算ブロック
01_00 _H	角度生成 IP の Func (ang0) 「No Operation」
01_06 _H	角度生成 IP の Func (ang6) 「オフセット誤差重畳」
01_07 _H	角度生成 IP の Func (ang7) 「電気角演算」
01_08 _H	角度生成 IP の Func (ang8) 「角度コンペアー一致判定」

25.3.2.34 EMU3n H/W 演算ブロック WAIT 時起動指定 A レジスタ(EMU3nFUNCWAITGRPA)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 00A4_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IP[1:0]		—	—	—	—	FUNC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.56 EMU3nFUNCWAITGRPA レジスタの内容

ビット位置	ビット	機能
15~10	—	読むと“0”が読み出されます。書き込みは“0”としてください。
9、8	IP[1:0]	WAIT 時起動 IP 指定許可ビット 入力 IP、PI 制御 IP、PWM IP が WAIT 中に次に遷移させる H/W 演算ブロックの IP を指定します。 レジスタのライトアクセスを受けて、WAIT から遷移し指定 H/W 演算ブロックを実行します。 00：許可しない 01：入力 IP 10：PI 制御 IP 11：PWM IP
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	FUNC[3:0]	WAIT 時起動 H/W 演算ブロック指定ビット 入力 IP、PI 制御 IP、PWM IP が WAIT 中に次に遷移させる H/W 演算ブロックまたは各 IP 完了 (IDLE 遷移) を指定します。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

レジスタ値	対応する IP と演算ブロック
01_00 _H	入力 IP の Func (input0) 「No OPeration」
01_01 _H	入力 IP の Func (input1) 「電気角入手元の選択」
01_04 _H	入力 IP の Func (input4) 「モータ電流値の算出」
01_05 _H	入力 IP の Func (input5) 「dq 軸電流変換」
01_07 _H	入力 IP 完了
02_00 _H	PI 制御 IP の Func (pi0) 「No OPeration」
02_01 _H	PI 制御 IP の Func (pi1) 「pi 制御」
02_02 _H	PI 制御 IP 完了
03_00 _H	PWM IP の Func (pwm0) 「No OPeration」
03_01 _H	PWM IP の Func (pwm1) 「dq 軸電圧補正 (非干渉化制御)」
03_02 _H	PWM IP の Func (pwm2) 「電気角オフセット処理」
03_03 _H	PWM IP の Func (pwm3) 「二相三相変換」
03_04 _H	PWM IP の Func (pwm4) 「PWM 変調」
03_05 _H	PWM IP の Func (pwm5) 「デューティ比の算出」
03_06 _H	PWM IP の Func (pwm6) 「オフセット加算」
03_08 _H	PWM IP の Func (pwm8) 「出力電圧の選択とリミット処理」
03_09 _H	PWM IP の Func (pwm9) 「PWM 値算出処理」
03_0A _H	PWM IP の Func (pwm10) 「デッドタイム補償」
03_0B _H	PWM IP の Func (pwm11) 「PWM 値リミット処理」
03_0C _H	PWM IP 完了

25.3.2.35 EMU3n H/W 演算ブロック WAIT 時起動指定 B レジスタ (EMU3nFUNCWAITGRPB)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 00A8_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IP	—	—	—	—	FUNC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.57 EMU3nFUNCWAITGRPB レジスタの内容

ビット位置	ビット	機能
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	IP	WAIT 時起動 IP 指定許可ビット 角度生成 IP が WAIT 中に次に遷移させる H/W 演算ブロックの IP を指定します。 レジスタのライトアクセスを受けて、WAIT から遷移し指定 H/W 演算ブロックを実行します。 0：許可しない 1：角度生成 IP
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	FUNC[3:0]	WAIT 時起動 H/W 演算ブロック指定ビット 角度生成 IP が WAIT 中に次に遷移させる H/W 演算ブロックまたは角度生成 IP 完了 (IDLE 遷移) を指定します。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

レジスタ値	対応する IP と演算ブロック
01_00 _H	角度生成 IP の Func (ang0) 「No Operation」
01_06 _H	角度生成 IP の Func (ang6) 「オフセット誤差重畳」
01_07 _H	角度生成 IP の Func (ang7) 「電気角演算」
01_08 _H	角度生成 IP の Func (ang8) 「角度コンペア一致判定」
01_09 _H	角度生成 IP 完了

25.3.2.36 EMU3n 機能 IP 状態判別 A レジスタ (EMU3nFSMSTGRPA)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 00D4_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IP[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WAIT	—	—	—	—	—	—	—	BUSY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.58 EMU3nFSMSTGRPA レジスタの内容

ビット位置	ビット	機能
31~18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17, 16	IP[1:0]	動作 IP 判別ビット 読むと動作中の機能 IP が示されます。 00：入力 IP、PI 制御 IP、PWM IP は何れもアイドル状態。 01：入力 IP が動作中。(アイドル状態ではない) 10：PI 制御 IP が動作中。(アイドル状態ではない) 11：PWM IP が動作中。(アイドル状態ではない)
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	WAIT	ウェイト状態判別ビット 読むと IP ビットで示される機能 IP のウェイト状態が示されます。 0：機能 IP はウェイト状態でない。(アイドル状態またはビジー状態) 1：機能 IP はウェイト状態である。
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	BUSY	ビジー状態判別ビット 読むと IP ビットで示される機能 IP のビジー状態が示されます。 0：機能 IP はビジー状態でない。(アイドル状態またはウェイト状態) 1：機能 IP はビジー状態である。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

25.3.2.37 EMU3n 機能 IP 状態判別 B レジスタ (EMU3nFSMSTGRPB)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 00D8_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WAIT	—	—	—	—	—	—	—	BUSY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.59 EMU3nFSMSTGRPB レジスタの内容

ビット位置	ビット	機能
31~17	—	読むと“0”が読み出されます。書き込みは“0”としてください。
16	IP	動作 IP 判別ビット 読むと動作中の機能 IP が示されます。 0：角度生成 IP はアイドル状態。 1：角度生成 IP が動作中。（アイドル状態ではない）
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	WAIT	ウエイト状態判別ビット 読むと IP ビットで示される機能 IP のウエイト状態が示されます。 0：機能 IP はウエイト状態でない。（アイドル状態またはビジー状態） 1：機能 IP はウエイト状態である。
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	BUSY	ビジー状態判別ビット 読むと IP ビットで示される機能 IP のビジー状態が示されます。 0：機能 IP はビジー状態でない。（アイドル状態またはウエイト状態） 1：機能 IP はビジー状態である。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作（H/W 演算ブロック単位）」を参照下さい。

25.3.2.38 EMU3n H/W 演算ブロック完了後遷移制御 A0 レジスタ (EMU3nFUNCFLGRPA0)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 00E4_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	INPUT5[1:0]	INPUT4[1:0]	—	—	—	—	—	—	INPUT1[1:0]	INPUT0[1:0]	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.60 EMU3nFUNCFLGRPA0 レジスタの内容

ビット位置	ビット	機能
15~12, 7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11、10, 9、8, 3、2, 1、0	INPUTn[1:0]	入力 IP 演算ブロック完了後遷移制御ビット 00 : H/W 演算機能ブロック実行完了の際、次のブロックの実行へ遷移する 01 : H/W 演算機能ブロック実行完了の際、アイドルへ遷移する 10 : H/W 演算機能ブロック実行完了の際、ウエイトへ遷移する 11 : 設定禁止 注意: 実行順序の関係は input0→1→4→5 の通りです。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

25.3.2.39 EMU3n H/W 演算ブロック完了後遷移制御 A1 レジスタ (EMU3nFUNCFLGRPA1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 00E8_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PI1[1:0]		PI0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.61 EMU3nFUNCFLGRPA1 レジスタの内容

ビット位置	ビット	機能
7~4	—	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	PI _n [1:0]	PI 制御 IP 演算ブロック完了後遷移制御ビット 00 : H/W 演算機能ブロック実行完了の際、次のブロックの実行へ遷移する 01 : H/W 演算機能ブロック実行完了の際、アイドルへ遷移する 10 : H/W 演算機能ブロック実行完了の際、ウエイトへ遷移する 11 : 設定禁止 注意: 実行順序の関係は PI0→PI1 の通りです。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

25.3.2.40 EMU3n H/W 演算ブロック完了後遷移制御 A2 レジスタ (EMU3nFUNCFLGRPA2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 00EC_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	PWM11[1:0]	PWM10[1:0]	PWM9[1:0]	PWM8[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PWM6[1:0]	PWM5[1:0]	PWM4[1:0]	PWM3[1:0]	PWM2[1:0]	PWM1[1:0]	PWM0[1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.62 EMU3nFUNCFLGRPA2 レジスタの内容

ビット位置	ビット	機能
31~24, 15, 14	—	読むと“0”が読み出されます。書き込みは“0”としてください。
23, 22, 21, 20, 19, 18, 17, 16, 13, 12, 11, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0	PWMn[1:0]	PWM IP 演算ブロック完了後遷移制御ビット 00 : H/W 演算機能ブロック実行完了の際、次のブロックの実行へ遷移する 01 : H/W 演算機能ブロック実行完了の際、アイドルへ遷移する 10 : H/W 演算機能ブロック実行完了の際、ウェイトへ遷移する 11 : 設定禁止 注意: 実行順序の関係は PWM0→PWM1→PWM2→PWM3→ … →PWM11 の通りです。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

25.3.2.41 EMU3n H/W 演算ブロック完了後遷移制御 B レジスタ (EMU3nFUNCFLGRP B)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 00F0_H

リセット後の値 0000 0000_H

カテゴリ 全般・共通

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANG8[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ANG7[1:0]		ANG6[1:0]		—	—	—	—	—	—	—	—	—	—	ANG0[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
RW	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 25.63 EMU3nFUNCFLGRP B レジスタの内容

ビット位置	ビット	機能
31~18, 11~2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17、16, 15、14, 13、12, 1、0	ANGn[1:0]	角度生成 IP 演算ブロック完了後遷移制御ビット 00 : H/W 演算機能ブロック実行完了の際、次のブロックの実行へ遷移する 01 : H/W 演算機能ブロック実行完了の際、アイドルへ遷移する 10 : H/W 演算機能ブロック実行完了の際、ウェイトへ遷移する 11 : 設定禁止 注意: 実行順序の関係は ANG0 → … → ANG8 の通りです。

備考 詳細は「25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)」を参照下さい。

25.3.2.42 EMU3n 角度生成 IP 制御レジスタ (EMU3nANGCTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0180_H

リセット後の値 00_H

カテゴリ 角度生成 IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ANGSEL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.64 EMU3nANGCTR レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	ANGSEL	角度情報選択ビット 0 : R/D コンバータからのレゾルバ角を適用 1 : EMU3nRESTHSFT レジスタの値を適用

備考 詳細は「25.4.2 角度生成 IP」を参照下さい。C1M-A2 のみ RDC3A1 を使用可能です。

25.3.2.43 EMU3n コンペア判定補正 0 レジスタ (EMU3nCPJUD0)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0182_H

リセット後の値 FF_H

カテゴリ 角度生成 IP

ビット	7	6	5	4	3	2	1	0
	DATA (unsigned)							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.65 EMU3nCPJUD0 レジスタの内容

ビット位置	ビット	機能
7~0	DATA	データビット (符号なし整数) 電気角の遷移検出のための補正値を設定できます。

備考 詳細は「25.4.2(3) Func(ang8) 角度コンペア一致」を参照下さい。

本レジスタの書き換えはモータ制御開始前の初期設定時に行って下さい。モータ制御開始後の書き換えは禁止です。

25.3.2.44 EMU3n コンペア判定補正 1 レジスタ (EMU3nCPJUD1)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0183_H

リセット後の値 FF_H

カテゴリ 角度生成 IP

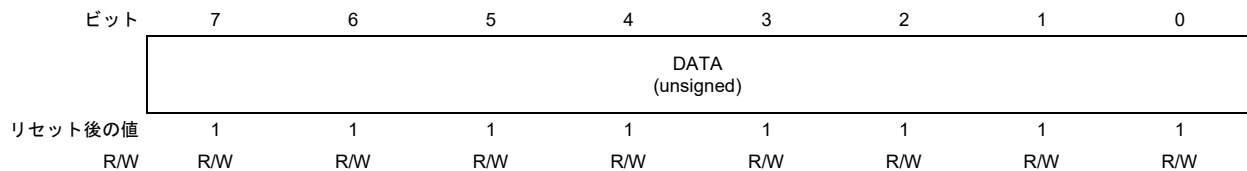


表 25.66 EMU3nCPJUD1 レジスタの内容

ビット位置	ビット	機能
7~0	DATA	データビット (符号なし整数) レゾルバ角の遷移検出のための補正値を設定できます。

備考 詳細は「25.4.2(3) Func(ang8) 角度コンペア一致」を参照下さい。

本レジスタの書き換えはモータ制御開始前の初期設定時に行って下さい。モータ制御開始後の書き換えは禁止です。

25.3.2.45 EMU3n レゾルバ角ソフト入力レジスタ (EMU3nRESTHSFT)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0184_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

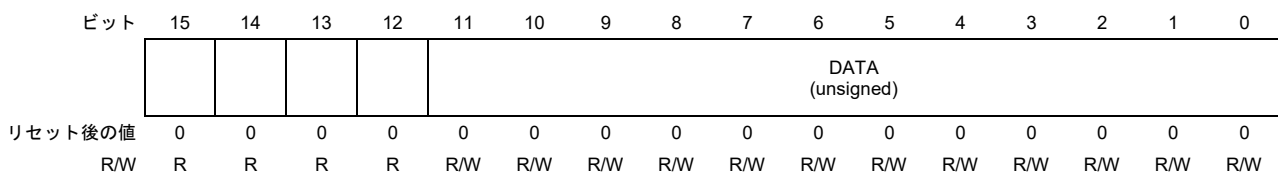


表 25.67 EMU3nRESTHSFT レジスタの内容

ビット	シンボル	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) 角度生成 IP に適用されるレゾルバ角のソフトウェア値を設定できます。

備考 詳細は「25.4.2(1) Func(ang6) オフセット誤差重量」を参照下さい。

25.3.2.46 EMU3n レゾルバ角オフセット値レジスタ (EMU3nANGOFS)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0186_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

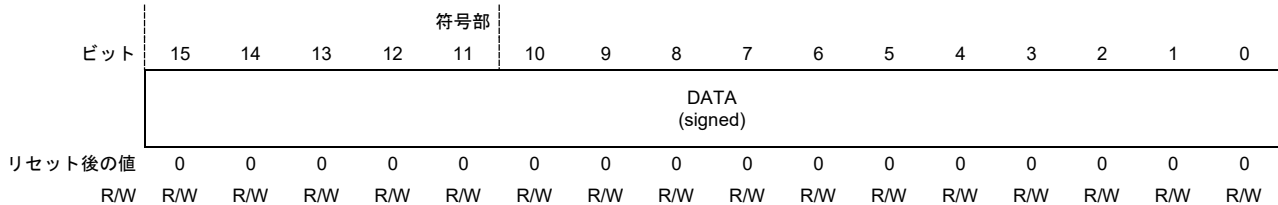


表 25.68 EMU3nANGOFS レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15-11: 符号部) 角度生成 IP に適用されるレゾルバ角に対するオフセット値を設定できます。

備考 詳細は「25.4.2(1) Func(ang6) オフセット誤差重量」を参照下さい。

25.3.2.47 EMU3n 電気角生成用係数レジスタ (EMU3nPXR)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0188_H

リセット後の値 0100_H

カテゴリ 角度生成 IP

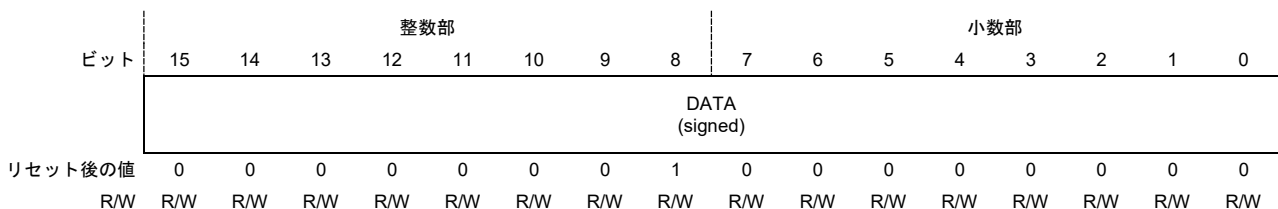


表 25.69 EMU3nPXR レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり固定小数点数) (b15: 符号部) 電気角生成用の乗算係数値を設定できます。 注意: b15 は 0 に固定してください。

備考 詳細は「25.4.2(2) Func(ang7) 電気角算出」を参照下さい。

本レジスタは整数部 8 ビット、小数部 8 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 8 ビットの右シフトが実行されます。

25.3.2.48 EMU3n レゾルバ角レジスタ (EMU3nRESTHETA)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 018A_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.70 EMU3nRESTHETA レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット（符号なし整数） 角度生成 IP に適用されたレゾルバ角の値が格納されます。

備考 詳細は「25.4.2 角度生成 IP」の「25.4.2(1) Func(ang6) オフセット誤差重畳」、「25.4.2(2) Func(ang7) 電気角算出」、「25.4.2(3) Func(ang8) 角度コンペアー致」を参照下さい。

25.3.2.49 EMU3n 電気角レジスタ (EMU3nTHTEFIX)

アクセス 16ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 018C_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.71 EMU3nTHTEFIX レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット（符号なし整数） 角度生成 IP にて生成された電気角の値が格納されます。

備考 詳細は「25.4.2(1) Func(ang6) オフセット誤差重畳」、「25.4.2(2) Func(ang7) 電気角算出」、「25.4.2(3) Func(ang8) 角度コンペアー致」を参照下さい。

25.3.2.50 EMU3n レゾルバ角極数設定レジスタ (EMU3nRESRLD)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 018E_H

リセット後の値 00_H

カテゴリ 角度生成 IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA (unsigned)		
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R/W	R/W	R/W

表 25.72 EMU3nRESRLD レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2~0	DATA	データビット (符号なし整数) レゾルバ角極数-1の値を設定して下さい。

備考 詳細は「25.4.2(2) Func(ang7) 電気角算出」を参照下さい。

25.3.2.51 EMU3n レゾルバ角周期カウント値レジスタ (EMU3nRESCNT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 018F_H

リセット後の値 00_H

カテゴリ 角度生成 IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA (unsigned)		
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R/W	R/W	R/W

表 25.73 EMU3nRESCNT レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2~0	DATA	データビット (符号なし整数) レゾルバ角の極位置の遷移に伴い増減するカウント値です。 値を書くとカウント値が更新されます。

備考 詳細は「25.4.2(2) Func(ang7) 電気角算出」を参照下さい。

25.3.2.52 EMU3n 誤差重畳後レゾルバ角レジスタ (EMU3nTHTRESFIX)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0190_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.74 EMU3nTHTRESFIX レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数)

備考 詳細は「25.4.2(1) Func(ang6) オフセット誤差重畳」を参照下さい。

25.3.2.53 EMU3n 入力 IP 制御レジスタ (EMU3nCTRINMD)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 01C0_H

リセット後の値 0000_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	INSTCTR[1:0]		CMUVW[1:0]		CMES	KCL	FREGIN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.75 EMU3nCTRINMD レジスタの内容

ビット位置	ビット	機能
15~8	—	読むと“0”が読み出されます。書き込みは“0”としてください。
7, 6	INSTCTR[1:0]	A/D 変換完了タイミング (入力 IP 起動タイミング) 選択ビット ^{注1} 00 : A/D チャンネルグループ内全ての A/D 変換完了時 (A/D コンバータのスキングループ 4 のスキャン終了) 01 : A/D チャンネル 0 の A/D 変換完了時 (A/D コンバータの仮想チャンネル 0 の変換完了) 10 : A/D チャンネル 1 の A/D 変換完了時 (A/D コンバータの仮想チャンネル 1 の変換完了) 11 : A/D チャンネル 2 の A/D 変換完了時 (A/D コンバータの仮想チャンネル 2 の変換完了)
5~3	CMUVW[1:0]	CMES ビットを“1”にした場合、本ビットで電流値測定の対象を選択します。 000 : 3 相 (U 相、V 相、W 相) を測定 001 : 2 相 (V 相、W 相) を測定 010 : 2 相 (U 相、W 相) を測定 100 : 2 相 (U 相、V 相) を測定 上記以外は設定禁止です。
2	CMES	電流値測定の対象を選択します。 0 : 2 相 (V 相、W 相) を測定 1 : CMUVW ビットで選択
1	KCL	キルヒホッフ電流則の違反検出処理の設定ビット 0 : キルヒホッフ電流則の違反検出の処理を無効にする。 1 : キルヒホッフ電流則の違反検出の処理を有効にする。
0	FREGIN	角度データ選択ビット 入力 IP で使用する電気角を選択します。 0 : EMU3nTHTESFT レジスタの値を使用する。 1 : 電気角入力バッファ (EMU3nTHTEIBUF)を使用する。 (上記は、角度生成 IP で生成された電気角 (EMU3nTHTE レジスタ) を入力 IP 起動時に格納したバッファである。)

注 1. INSTCTR[1:0]ビットの変更は A/D 変換器が停止状態で行ってください。

入力 IP を制御するレジスタです。各ビットによる制御の詳細は、「25.4.3 入力 IP」を参照してください。

注 意

A/D コンバータの仮想チャンネルレジスタ (VCR_k (k = 0, 1, 2)) およびデータレジスタ (DR_k (k = 0, 1, 2)) と EMU3 の A/D データチャンネル k (k = 0, 1, 2) の接続関係は、以下のとおりです。EMU3 が期待する下記の電流値を、A/D コンバータの仮想チャンネル 0~2 が出力できるように、A/D コンバータ内レジスタを設定してください。

A/D コンバータ側	EMU3 側	EMU3 が期待する電流値
仮想チャンネル 0 (VCR0, DR0)	A/D データチャンネル 0	V 相電流値
仮想チャンネル 1 (VCR1, DR1)	A/D データチャンネル 1	W 相電流値
仮想チャンネル 2 (VCR2, DR2)	A/D データチャンネル 2	U 相電流値

25.3.2.54 EMU3n レゾルバ角モニタレジスタ (EMU3nTHTRESFIXIN)**EMU3n 電気角保持レジスタ (EMU3nTHTE)****EMU3n 入力 IP 用電気角ソフト入力レジスタ (EMU3nTHTESFT)****EMU3n 電気角応答遅れ補正変数レジスタ (EMU3nEARD)****EMU3n 電気角入力バッファレジスタ (EMU3nTHTEIBUF)****EMU3n 入力 IP 補正後電気角レジスタ (EMU3nTHTESEL)**

アクセス EMU3nTHTRESFIXIN : 16 ビット単位でリード可能です。

EMU3nTHTE : 16 ビット単位でリード可能です。

EMU3nTHTESFT : 16 ビット単位でリード/ライト可能です。

EMU3nEARD : 16 ビット単位でリード/ライト可能です。

EMU3nTHTEIBUF : 16 ビット単位でリード/ライト可能です。

EMU3nTHTESEL : 16 ビット単位でリード/ライト可能です。

アドレス EMU3nTHTRESFIXIN : <EMU3n_base> + 01C4_H

EMU3nTHTE : <EMU3n_base> + 01C6_H

EMU3nTHTESFT : <EMU3n_base> + 01C8_H

EMU3nEARD : <EMU3n_base> + 01CA_H

EMU3nTHTEIBUF : <EMU3n_base> + 01CC_H

EMU3nTHTESEL : <EMU3n_base> + 01CE_H

リセット後の値 0000_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	*	*	*	*	*	*	*	*	*	*	*	*

表 25.76 EMU3nTHTRESFIXIN, EMU3nTHTE, EMU3nTHTESFT, EMU3nEARD, EMU3nTHTEIBUF, EMU3nTHTESEL レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数)

備考 詳細は「25.4.3(1) Func (input1) 電気角入手元の選択」を参照下さい。

25.3.2.55 EMU3n A/D データ k レジスタ (EMU3nADk) (k = 0, 1, 2)

アクセス 16ビット単位でリード/ライト可能です。

アドレス EMU3nAD0 : <EMU3n_base> + 01D0_H

EMU3nAD1 : <EMU3n_base> + 01D4_H

EMU3nAD2 : <EMU3n_base> + 01D8_H

リセット後の値 0000_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.77 EMU3nADk レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) A/D 変換完了時に A/D コンバータからの A/D 変換値が格納されます。 値を書き込むと格納されている A/D 変換値を変更することができます。

備考 詳細は「25.4.3(2) Func(input4) モータ電流値の算出」を参照下さい。

本レジスタには、EMU3nCTRINMD レジスタの INSTCTR ビットで指定したタイミングで A/D 変換結果が格納されます。また、CPU プログラムから値を書き換えることが可能です。A/D 変換結果の格納と CPU プログラムによる書き込みが同時に発生した場合は A/D 変換結果の格納が優先されます。

25.3.2.56 EMU3n A/D データ k 入力バッファレジスタ (EMU3nADkIBUF) (k = 0, 1, 2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nAD0IBUF : <EMU3n_base> + 01D2_H

EMU3nAD1IBUF : <EMU3n_base> + 01D6_H

EMU3nAD2IBUF : <EMU3n_base> + 01DA_H

リセット後の値 0000_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.78 EMU3nADkIBUF レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット（符号なし整数） 入力 IP 起動時に EMU3nADBUFSEL レジスタの設定に従い、A/D データまたは IIR フィルタ処理後データの値が格納され、演算に適用されます。

備考 詳細は「25.4.3(2) Func(input4) モータ電流値の算出」を参照下さい。

25.3.2.57 EMU3n A/D データ k 変換値レジスタ (EMU3nADkFIX) (k = 0, 1, 2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nAD0FIX : <EMU3n_base> + 01DC_H

EMU3nAD1FIX : <EMU3n_base> + 01E0_H

EMU3nAD2FIX : <EMU3n_base> + 01E4_H

リセット後の値 0000_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.79 EMU3nADkFIX レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット（符号あり整数）（b15：符号部） 演算に適用される A/D 変換値が格納されます。

備考 詳細は「25.4.3(2) Func(input4) モータ電流値の算出」を参照下さい。

25.3.2.58 EMU3n A/D データ k 原点補正值レジスタ (EMU3nADkOFS) (k = 0, 1, 2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nAD0OFS : <EMU3n_base> + 01DE_H

EMU3nAD1OFS : <EMU3n_base> + 01E2_H

EMU3nAD2OFS : <EMU3n_base> + 01E6_H

リセット後の値 0800_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.80 EMU3nADkOFS レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) EMU3nADkFIX レジスタに格納された A/D 変換値を unsigned から signed に変換するための、原点補正值を設定できます。

備考 詳細は「25.4.3(2) Func(input4) モータ電流値の算出」を参照下さい。

EMU3nADkFIX レジスタを本レジスタ値で減算することで、符号あり整数値の A/D データを算出します。

$$(\text{符号あり整数値}) = \text{EMU3nADkFIX} - \text{EMU3nADkOFS}$$

25.3.2.59 EMU3n dq 軸電流変換係数レジスタ (EMU3nSR2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 01E8_H

リセット後の値 0000 D106_H

カテゴリ 入力 IP

		整数部															
ビット		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		小数部															
ビット		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DATA (signed)															
リセット後の値		1	1	0	1	0	0	0	1	0	0	0	0	0	1	1	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.81 EMU3nSR2 レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31: 符号部) 三相電流値から dq 軸電流値へ変換する際の係数が設定できます。 リセット後の値は $\sqrt{2/3}$ です。

備考 詳細は「25.4.3(3) Func(input5) dq 軸電流変換」を参照下さい。

本レジスタは整数部 16 ビット、小数部 16 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 16 ビットの右シフトが実行されます。

本レジスタのリセット後の値は 0000 D106_H の値です。これは以下の計算結果に相当します。

$$\sqrt{2/3} \times 65536 = 0000 D106_{\text{H}} \quad (\text{小数点以下丸め})$$

25.3.2.60 EMU3n LSB 調整レジスタ (EMU3nDIVLSB)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 01EC_H

リセット後の値 0001 0000_H

カテゴリ 入力 IP

		整数部															
ビット		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		小数部															
ビット		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.82 EMU3nDIVLSB レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31: 符号部) 三相電流値の各相に対して実行される乗算の係数を設定できます。

備考 詳細は「25.4.3(2) Func(input4) モータ電流値の算出」を参照下さい。

本レジスタは整数部 16 ビット、小数部 16 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 16 ビットの右シフトが実行されます。

25.3.2.61 EMU3n U 相電流値レジスタ (EMU3nIUFIX)
EMU3n V 相電流値レジスタ (EMU3nIVFIX)
EMU3n W 相電流値レジスタ (EMU3nIWFIX)
EMU3n d 軸電流値レジスタ (EMU3nIDFIX)
EMU3n q 軸電流値レジスタ (EMU3nIQFIX)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nIUFIX : <EMU3n_base> + 01F0_H
 EMU3nIVFIX : <EMU3n_base> + 01F4_H
 EMU3nIWFIX : <EMU3n_base> + 01F8_H
 EMU3nIDFIX : <EMU3n_base> + 01FC_H
 EMU3nIQFIX : <EMU3n_base> + 0200_H

リセット後の値 0000 0000_H

カテゴリ 入力 IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.83 EMU3nIUFIX, EMU3nIVFIX, EMU3nIWFIX, EMU3nIDFIX, EMU3nIQFIX レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部)

備考 詳細は「25.4.3 入力 IP」を参照下さい。

25.3.2.62 EMU3n U 相電流値出力バッファレジスタ (EMU3nIUFIXOBUF)
EMU3n V 相電流値出力バッファレジスタ (EMU3nIVFIXOBUF)
EMU3n W 相電流値出力バッファレジスタ (EMU3nIWFIXOBUF)
EMU3n d 軸電流値出力バッファレジスタ (EMU3nIDFIXOBUF)
EMU3n q 軸電流値出力バッファレジスタ (EMU3nIQFIXOBUF)

アクセス EMU3nIUFIXOBUF : 32 ビット単位でリード可能です。
 EMU3nIVFIXOBUF : 32 ビット単位でリード可能です。
 EMU3nIWFIXOBUF : 32 ビット単位でリード可能です。
 EMU3nIDFIXOBUF : 32 ビット単位でリード/ライト可能です。
 EMU3nIQFIXOBUF : 32 ビット単位でリード/ライト可能です。

アドレス EMU3nIUFIXOBUF : <EMU3n_base> + 0204_H
 EMU3nIVFIXOBUF : <EMU3n_base> + 0208_H
 EMU3nIWFIXOBUF : <EMU3n_base> + 020C_H
 EMU3nIDFIXOBUF : <EMU3n_base> + 0210_H
 EMU3nIQFIXOBUF : <EMU3n_base> + 0214_H

リセット後の値 0000 0000_H

カテゴリ 入力 IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

表 25.84 EMU3nIUFIXOBUF, EMU3nIVFIXOBUF, EMU3nIWFIXOBUF, EMU3nIDFIXOBUF, EMU3nIQFIXOBUF レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部)

備考 詳細は「25.4.3 入力 IP」を参照下さい。

25.3.2.63 EMU3n キルヒホッフ電流則判定閾値レジスタ (EMU3nKCLJUD)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0218_H

リセット後の値 0000 0000_H

カテゴリ 入力 IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DATA (unsigned)														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.85 EMU3nKCLJUD レジスタの内容

ビット位置	ビット	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット (符号なし整数) 入力 IP にてキルヒホッフ電流則の違反検出の判定に使用する閾値を設定します。

備考 詳細は「25.4.3(2) Func(input4) モータ電流値の算出」を参照下さい。

25.3.2.64 EMU3n A/D データ入力バッファ選択レジスタ (EMU3nADBUFSEL)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 021CH

リセット後の値 00H

カテゴリ 入力 IP

ビット	7	6	5	4	3	2	1	0
	—	—	AD2 BUFSEL[1:0]	AD1 BUFSEL[1:0]	AD0 BUFSEL[1:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.86 EMU3nADBUFSEL レジスタの内容

ビット位置	ビット	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5、4	AD2BUFSEL[1:0]	A/D データ 2 入力バッファのデータ選択ビット 入力 IP 起動時 EMU3nAD2IBUF レジスタの値として格納するデータを選択します。 00 : A/D2 データ 01 : IIR フィルタチャンネル 0 処理後データ 10 : IIR フィルタチャンネル 1 処理後データ 11 : IIR フィルタチャンネル 2 処理後データ
3、2	AD1BUFSEL[1:0]	A/D データ 1 入力バッファのデータ選択ビット 入力 IP 起動時に EMU3nAD1IBUF レジスタの値として格納するデータを選択します。 00 : A/D1 データ 01 : IIR フィルタチャンネル 0 処理後データ 10 : IIR フィルタチャンネル 1 処理後データ 11 : IIR フィルタチャンネル 2 処理後データ
1、0	AD0BUFSEL[1:0]	A/D データ 0 入力バッファのデータ選択ビット 入力 IP 起動時に EMU3nAD0IBUF レジスタの値として格納するデータを選択します。 00 : A/D0 データ 01 : IIR フィルタチャンネル 0 処理後データ 10 : IIR フィルタチャンネル 1 処理後データ 11 : IIR フィルタチャンネル 2 処理後データ

25.3.2.65 EMU3n A/D データ k 変換値出力バッファレジスタ (EMU3nADkFIXOBUF)

(k = 0, 1, 2)

アクセス 16 ビット単位でリード可能です。

アドレス EMU3nAD0FIXOBUF : <EMU3n_base> + 0220_HEMU3nAD1FIXOBUF : <EMU3n_base> + 0222_HEMU3nAD2FIXOBUF : <EMU3n_base> + 0224_Hリセット後の値 0000_H

カテゴリ 入力 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.77 EMU3nADkFIXOBUF レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) 入力 IP 処理完了時に EMU3nADkFIX レジスタの値が格納されます。

25.3.2.66 EMU3n PI 制御 IP 制御レジスタ (EMU3nPICTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0260_H

リセット後の値 00_H

カテゴリ PI 制御 IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FSUMIQ	FSUMID
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.88 EMU3nPICTR レジスタの内容

ビット位置	ビット	機能
7~2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1	FSUMIQ	q 軸積分値選択ビット 0 : EMU3nSUMIQ レジスタの値を使用する。 1 : PI 制御 IP が算出する値を使用する。
0	FSUMID	d 軸積分値選択ビット 0 : EMU3nSUMID レジスタの値を使用する。 1 : PI 制御 IP が算出する値を使用する。

PI 制御 IP を制御するレジスタです。各ビットによる制御の詳細は、「25.4.4 PI 制御 IP」を参照してください。

25.3.2.67 EMU3n d 軸電流指令値レジスタ (EMU3nIDIN)**EMU3n q 軸電流指令値レジスタ (EMU3nIQIN)****EMU3n d 軸電流値ソフト入力レジスタ (EMU3nID)****EMU3n q 軸電流値ソフト入力レジスタ (EMU3nIQ)****EMU3n d 軸積分値ソフト入力レジスタ (EMU3nSUMID)****EMU3n q 軸積分値ソフト入力レジスタ (EMU3nSUMIQ)****EMU3n d 軸積分値モニタレジスタ (EMU3nSUMIDM)****EMU3n q 軸積分値モニタレジスタ (EMU3nSUMIQM)****EMU3n d 軸電圧値レジスタ (EMU3nVD)****EMU3n q 軸電圧値レジスタ (EMU3nVQ)****EMU3n d 軸電圧値出力バッファレジスタ (EMU3nVDOBUF)****EMU3n q 軸電圧値出力バッファレジスタ (EMU3nVQOBUF)**

アクセス EMU3nIDIN : 32 ビット単位でリード/ライト可能です。
 EMU3nIQIN : 32 ビット単位でリード/ライト可能です。
 EMU3nID : 32 ビット単位でリード/ライト可能です。
 EMU3nIQ : 32 ビット単位でリード/ライト可能です。
 EMU3nSUMID : 32 ビット単位でリード/ライト可能です。
 EMU3nSUMIQ : 32 ビット単位でリード/ライト可能です。
 EMU3nSUMIDM : 32 ビット単位でリード可能です。
 EMU3nSUMIQM : 32 ビット単位でリード可能です。
 EMU3nVD : 32 ビット単位でリード/ライト可能です。
 EMU3nVQ : 32 ビット単位でリード/ライト可能です。
 EMU3nVDOBUF : 32 ビット単位でリード可能です。
 EMU3nVQOBUF : 32 ビット単位でリード可能です。

アドレス EMU3nIDIN : <EMU3n_base> + 0268_H
 EMU3nIQIN : <EMU3n_base> + 026C_H
 EMU3nID : <EMU3n_base> + 0270_H
 EMU3nIQ : <EMU3n_base> + 0274_H
 EMU3nSUMID : <EMU3n_base> + 0298_H
 EMU3nSUMIQ : <EMU3n_base> + 029C_H
 EMU3nSUMIDM : <EMU3n_base> + 02A0_H
 EMU3nSUMIQM : <EMU3n_base> + 02A4_H
 EMU3nVD : <EMU3n_base> + 02B0_H
 EMU3nVQ : <EMU3n_base> + 02B4_H
 EMU3nVDOBUF : <EMU3n_base> + 02B8_H
 EMU3nVQOBUF : <EMU3n_base> + 02BC_H

リセット後の値 0000 0000_H

カテゴリ PI 制御 IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

表 25.89 EMU3niDIN, EMU3niQIN, EMU3niD, EMU3niQ, EMU3nSUMID, EMU3nSUMIQ, EMU3nSUMIDM, EMU3nSUMIQM, EMU3nVD, EMU3nVQ, EMU3nVDOBUF, EMU3nVQOBUF レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部)

備考 詳細は「25.4.4 PI 制御 IP」を参照下さい。

25.3.2.68 EMU3n d 軸比例ゲイン 0 レジスタ (EMU3nGPD0)**EMU3n q 軸比例ゲイン 0 レジスタ (EMU3nGPQ0)****EMU3n d 軸比例ゲインレジスタ (EMU3nGPD)****EMU3n q 軸比例ゲインレジスタ (EMU3nGPQ)****EMU3n d 軸積分ゲインレジスタ (EMU3nGID)****EMU3n q 軸積分ゲインレジスタ (EMU3nGIQ)**

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nGPD0 : <EMU3n_base> + 0278_H

EMU3nGPQ0 : <EMU3n_base> + 027C_H

EMU3nGPD : <EMU3n_base> + 0280_H

EMU3nGPQ : <EMU3n_base> + 0284_H

EMU3nGID : <EMU3n_base> + 0288_H

EMU3nGIQ : <EMU3n_base> + 028C_H

リセット後の値 0000 0000_H

カテゴリ PI 制御 IP

		整数部															
ビット		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		小数部															
ビット		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.90 EMU3nGPD0, EMU3nGPQ0, EMU3nGPD, EMU3nGPQ, EMU3nGID, EMU3nGIQ レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31 : 符号部)

備考 詳細は「25.4.4(1) Func(pi1) pi 制御」を参照下さい。

本レジスタは整数部 16 ビット、小数部 16 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 16 ビットの右シフトが実行されます。

25.3.2.69 EMU3n d 軸積分最大値レジスタ (EMU3nGIDMAX)**EMU3n q 軸積分最大値レジスタ (EMU3nGIQMAX)****EMU3n d 軸電圧最大値レジスタ (EMU3nVDMAX)****EMU3n q 軸電圧最大値レジスタ (EMU3nVQMAX)**

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nGIDMAX : <EMU3n_base> + 0290_H

EMU3nGIQMAX : <EMU3n_base> + 0294_H

EMU3nVDMAX : <EMU3n_base> + 02A8_H

EMU3nVQMAX : <EMU3n_base> + 02AC_H

リセット後の値 0000 0000_H

カテゴリ PI 制御 IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DATA (unsigned)														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.91 EMU3nGIDMAX, EMU3nGIQMAX, EMU3nVDMAX, EMU3nVQMAX レジスタの内容

ビット位置	ビット	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット (符号なし整数)

備考 詳細は「25.4.4(1) Func(pi1) pi 制御」を参照下さい。

25.3.2.70 EMU3n PWM IP 制御レジスタ (EMU3nPWMCTR)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0300_H

リセット後の値 0001 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	FPWM IBTH	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
RW	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SET DTO	PWM OP[1:0]	SET DEC	DEC IDQ[1:0]	SET VEL	VDQ SEL	PWM SEL	SHI PWM	FLIN INIP[1:0]	SET HARM[2:0]		SET PWM				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.92 EMU3nPWMCTR レジスタの内容 (1/2)

ビット位置	ビット	機能
31~21	—	読むと“0”が読み出されます。書き込みは“0”としてください。
20	FPWMIBTH	PWM IP 内部入力バッファ機能設定ビット 0: PWM IP 内部入力バッファ機能を有効にする。 1: PWM IP 内部入力バッファ機能を無効にする。
19~17	—	読むと“0”が読み出されます。書き込みは“0”としてください。
16	—	読むと“1”が読み出されます。書き込みは“1”としてください。
15	SETDTO	デッドタイム補償処理設定ビット 0: デッドタイム補償処理を無効にする。 1: デッドタイム補償処理を有効にする。
14, 13	PWMOP[1:0]	PWM 指令値演算選択ビット 00: PWM の 50% デューティ + 電圧指令値 01: PWM の 50% デューティ - 電圧指令値 10: 電圧指令値 11: 設定禁止
12	SETDEC	非干渉化制御設定ビット 0: 非干渉化制御の処理を無効にする。 1: 非干渉化制御の処理を有効にする。
11, 10	DECIDQ[1:0]	非干渉化制御 dq 軸電流値選択ビット 00: dq 軸電流値に EMU3nID レジスタおよび EMU3nIQ レジスタの値を適用する。 01: dq 軸電流値に EMU3nIDFIXOBUF レジスタおよび EMU3nIQFIXOBUF レジスタの値を適用する。 10: dq 軸電流値に EMU3nIDIN レジスタおよび EMU3nIQIN レジスタの値を適用する。 11: 設定禁止
9	SETVEL	角速度選択ビット 0: EMU3nVELSFT レジスタの値を使用する。 1: RDC からの角速度値を使用する。
8	VDQSEL	dq 軸電圧入力選択ビット 0: PWM IP への入力を d 軸電圧 (Vd)、q 軸電圧 (Vq) とする。 1: PWM IP への入力を dq 軸電圧 (Vdq)、dq 軸位相差 (Vθ) とする。

表 25.92 EMU3nPWMCTR レジスタの内容 (2/2)

ビット位置	ビット	機能
7	PWMSEL	PWM 演算基準値選択ビット 0 : EMU3nCARR レジスタ (キャリア周期) の設定値から生成する。 1 : EMU3nCARR レジスタ (キャリア周期) および EMU3nDTT レジスタ (短絡防止時間) から生成する。
6	SHIPWM	出力キャリア/PWM コンペア値シフトビット 0 : キャリア周期および PWM コンペア値をシフトせずに TSG3 へ出力。 1 : キャリア周期および PWM コンペア値を 1 ビット左シフト (2 倍化) して TSG3 へ出力。
5、4	FLININIP[1:0]	電気角選択ビット 00 : EMU3nTHTFORESFT レジスタの値を使用する。 01 : 入力 IP が算出する EMU3nTHTESEL レジスタの値を使用する。 10 : 角度生成 IP が算出する値を使用する。 11 : 設定禁止
3~1	SETHARM[2:0]	PWM 変調方式設定ビット 000 : 変調を適用しない。 001 : SVM を適用する。 010 : 2 相変調を適用する。 011 : 2 相 SVM (PWM0) を適用する。 100 : 2 相 SVM (PWM1) を適用する。 101 : 2 相 SVM (PWM2) を適用する。 110 : 2 相 SVM (PWM3) を適用する。 111 : 三次高調波重畳を適用する。(VDQSEL = 1 以外の設定組みあわせは禁止です。)
0	SETPWM	PWM 設定ビット TSG3 への出力を選択できます。 0 : EMU3nPWMU レジスタ、EMU3nPWMV レジスタ、EMU3nPWMW レジスタの値を使用する。 1 : PWM IP が算出する EMU3nPWMUIP レジスタ、EMU3nPWMVIP レジスタ、EMU3nPWMWIP レジスタの値を使用する。

PWM IP を制御するレジスタです。各ビットによる制御の詳細は、「**25.4.5 PWM IP**」を参照してください。

25.3.2.71 EMU3n PWM データソフト転送レジスタ (EMU3nPWMDT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0304_H

リセット後の値 00_H

カテゴリ PWM IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWM DT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.93 EMU3nPWMDT レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	PWMDT	PWM データソフト転送トリガビット “1”を書くと、キャリア周期、PWM コンペア値を TSG3 へ転送します。“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

備考 詳細は「25.4.5(11) Func(pwm_out) PWM 値出力処理」を参照下さい。

25.3.2.72 EMU3n d 軸電圧補正值レジスタ (EMU3nVDCRCT)

EMU3n q 軸電圧補正值レジスタ (EMU3nVQCRCT)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nVDCRCT: <EMU3n_base> + 0308_H

EMU3nVQCRCT : <EMU3n_base> + 030C_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.94 EMU3nVDCRCT、EMU3nVQCRCT レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部) PWM IP に適用される d 軸電圧値に対する補正值を設定できます。 PWM IP に適用される q 軸電圧値に対する補正值を設定できます。

備考 詳細は「25.4.5(1) Func (pwm1) dq 軸電圧補正 (非干渉化制御)」を参照下さい。

25.3.2.73 EMU3n 角速度値レジスタ (EMU3nVEL)

EMU3n 角速度値ソフト入力レジスタ (EMU3nVELSFT)

アクセス EMU3nVEL : 32 ビット単位でリード可能です。

EMU3nVELSFT : 32 ビット単位でリード/ライト可能です。

アドレス EMU3nVEL : <EMU3n_base> + 0310_H

EMU3nVELSFT : <EMU3n_base> + 0314_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	整数部															
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	整数部								小数部							
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

表 25.95 EMU3nVEL, EMU3nVELSFT レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31 : 符号部)

25.3.2.74 EMU3n 非干渉化制御係数角速度値ゲインレジスタ (EMU3nDECVELG)

EMU3n 非干渉化制御係数磁束値レジスタ (EMU3nDECFLUX)

EMU3n 非干渉化制御係数 Ld 値レジスタ (EMU3nDECLD)

EMU3n 非干渉化制御係数 Lq 値レジスタ (EMU3nDECLQ)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nDECVELG : <EMU3n_base> + 0318_H

EMU3nDECFLUX : <EMU3n_base> + 031C_H

EMU3nDECLD : <EMU3n_base> + 0320_H

EMU3nDECLQ : <EMU3n_base> + 0324_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

		整数部															
ビット		b31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	b16
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		小数部															
ビット		b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.96 EMU3nDECVELG, EMU3nDECFLUX, EMU3nDECLD, EMU3nDECLQ レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31: 符号部)

備考 詳細は「25.4.5(1) Func (pwm1) dq 軸電圧補正 (非干渉化制御)」を参照下さい。

本レジスタは整数部 16 ビット、小数部 16 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 16 ビットの右シフトが実行されます。

25.3.2.75 EMU3n 非干渉化制御 d 軸最大値レジスタ (EMU3nVD2MAX)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0328_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DATA (unsigned)														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.97 EMU3nVD2MAX レジスタの内容

ビット位置	ビット	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット (符号なし整数) 非干渉化制御の結果に対する d 軸電圧値の最大幅が設定できます。

備考 詳細は「25.4.5(1) Func (pwm1) dq 軸電圧補正 (非干渉化制御)」を参照下さい。

25.3.2.76 EMU3n 非干渉化制御 q 軸最大値レジスタ (EMU3nVQ2MAX)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 032C_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DATA (unsigned)														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.98 EMU3nVQ2MAX レジスタの内容

ビット位置	ビット	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット (符号なし整数) 非干渉化制御の結果に対する q 軸電圧値の最大幅が設定できます。

備考 詳細は「25.4.5(1) Func (pwm1) dq 軸電圧補正 (非干渉化制御)」を参照下さい。

25.3.2.77 EMU3n PWM IP 用電気角オフセットレジスタ (EMU3nPHI)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0338_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.99 EMU3nPHI レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) PWM IP に適用される電気角に対するオフセット値を設定できます。

備考 詳細は「25.4.5(2) Func(pwm2) 電気角オフセット処理」を参照下さい。

25.3.2.78 EMU3n PWM IP 用電気角調整用係数レジスタ (EMU3nGTHT)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 033C_H

リセット後の値 0100_H

カテゴリ PWM IP

ビット	整数部								小数部							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.100 EMU3nGTHT レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり固定小数点数) (b15: 符号部) PWM IP に適用される電気角に対して実行される乗算の係数を設定できます。

備考 詳細は「25.4.5(2) Func(pwm2) 電気角オフセット処理」を参照下さい。

本レジスタは整数部 8 ビット、小数部 8 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 8 ビットの右シフトが実行されます。

25.3.2.79 EMU3n PWM IP 用電気角ソフト入力レジスタ (EMU3nTHTFORESFT)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 033E_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		—	—	—	—	DATA (unsigned)										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.101 EMU3nTHTFORESFT レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) PWM IP に適用される電気角のソフトウェア入力値を設定できます。

備考 詳細は「25.4.5(2) Func(pwm2) 電気角オフセット処理」を参照下さい。

25.3.2.80 EMU3n PWM IP 補正後電気角レジスタ (EMU3nTHTEPWM)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0340_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.102 EMU3nTHTEPWM レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) 補正後の電気角の値が格納されます。

備考 詳細は「25.4.5(2) Func(pwm2) 電気角オフセット処理」を参照下さい。

25.3.2.81 EMU3n dq 軸電圧位相角ソフト入力レジスタ (EMU3nTHTVSFT)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0342_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.103 EMU3nTHTVSFT レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) PWM IP に適用される dq 軸電圧の位相角のソフトウェア入力値を設定できます。

備考 詳細は「25.4.5(3) Func(pwm3) 二相三相変換」、「25.4.5(4) Func(pwm4) PWM 変調」を参照下さい。

25.3.2.82 EMU3n dq 軸電圧値ソフト入力レジスタ (EMU3nVDQSFT)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0344_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.104 EMU3nVDQSFT レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部) PWM IP に適用される dq 軸電圧値のソフトウェア入力値を設定できます。

備考 詳細は「25.4.5(3) Func(pwm3) 二相三相変換」、「25.4.5(4) Func(pwm4) PWM 変調」を参照下さい。

25.3.2.83 EMU3n 三相電圧変換係数レジスタ (EMU3nSR23)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0348_H

リセット後の値 0000 D106_H

カテゴリ PWM IP

		整数部															
ビット		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		小数部															
ビット		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DATA (signed)															
リセット後の値		1	1	0	1	0	0	0	1	0	0	0	0	0	1	1	0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.105 EMU3nSR23 レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31: 符号部) dq 軸電圧値から三相電圧値へ変換する際の係数が設定できます。 リセット後の値は $\sqrt{2/3}$ です。

備考 詳細は「25.4.5(3) Func(pwm3) 二相三相変換」を参照下さい。

本レジスタは整数部 16 ビット、小数部 16 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 16 ビットの右シフトが実行されます。

本レジスタのリセット後の値は 0000 D106_H の値です。これは以下の計算結果に相当します。

$$\sqrt{2/3} \times 65536 = 0000 D106_{\text{H}} \quad (\text{小数点以下丸め})$$

- 25.3.2.84 EMU3n 三相電圧変換後 U 相電圧値レジスタ (EMU3nVU)
- EMU3n 三相電圧変換後 V 相電圧値レジスタ (EMU3nVV)
- EMU3n 三相電圧変換後 W 相電圧値レジスタ (EMU3nVW)
- EMU3n PWM 変調後 U 相電圧値レジスタ (EMU3nVU0)
- EMU3n PWM 変調後 V 相電圧値レジスタ (EMU3nVV0)
- EMU3n PWM 変調後 W 相電圧値レジスタ (EMU3nVW0)
- EMU3n デューティ比算出後 U 相電圧値レジスタ (EMU3nVU1)
- EMU3n デューティ比算出後 V 相電圧値レジスタ (EMU3nVV1)
- EMU3n デューティ比算出後 W 相電圧値レジスタ (EMU3nVW1)
- EMU3n オフセット加算後 U 相電圧値レジスタ (EMU3nVU2)
- EMU3n オフセット加算後 V 相電圧値レジスタ (EMU3nVV2)
- EMU3n オフセット加算後 W 相電圧値レジスタ (EMU3nVW2)
- EMU3n 補正後 d 軸電圧値レジスタ (EMU3nVD2)
- EMU3n 補正後 q 軸電圧値レジスタ (EMU3nVQ2)
- EMU3n リミット処理後 U 相電圧値レジスタ (EMU3nVUFIX)
- EMU3n リミット処理後 V 相電圧値レジスタ (EMU3nVVFIX)
- EMU3n リミット処理後 W 相電圧値レジスタ (EMU3nVWFIX)
- EMU3n U 相 PWM 値レジスタ (EMU3nPWMU0)
- EMU3n V 相 PWM 値レジスタ (EMU3nPWMV0)
- EMU3n W 相 PWM 値レジスタ (EMU3nPWMW0)
- EMU3n PWM 変調用波高値レジスタ (EMU3nTMAX)
- EMU3n デューティ比上限値レジスタ (EMU3nDTUL)
- EMU3n デューティ比下限値レジスタ (EMU3nDTLL)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nVU : <EMU3n_base> + 034C_H
 EMU3nVV : <EMU3n_base> + 0350_H
 EMU3nVW : <EMU3n_base> + 0354_H
 EMU3nVU0 : <EMU3n_base> + 035C_H
 EMU3nVV0 : <EMU3n_base> + 0360_H
 EMU3nVW0 : <EMU3n_base> + 0364_H
 EMU3nVU1 : <EMU3n_base> + 0370_H
 EMU3nVV1 : <EMU3n_base> + 0374_H
 EMU3nVW1 : <EMU3n_base> + 0378_H
 EMU3nVU2 : <EMU3n_base> + 0384_H
 EMU3nVV2 : <EMU3n_base> + 0388_H
 EMU3nVW2 : <EMU3n_base> + 038C_H
 EMU3nVD2 : <EMU3n_base> + 0330_H
 EMU3nVQ2 : <EMU3n_base> + 0334_H
 EMU3nVUFIX : <EMU3n_base> + 0398_H
 EMU3nVVFIX : <EMU3n_base> + 039C_H
 EMU3nVWFIX : <EMU3n_base> + 03A0_H
 EMU3nPWMU0 : <EMU3n_base> + 03AC_H
 EMU3nPWMV0 : <EMU3n_base> + 03B0_H
 EMU3nPWMW0 : <EMU3n_base> + 03B4_H
 EMU3nTMAX : <EMU3n_base> + 0358_H
 EMU3nDTUL : <EMU3n_base> + 0390_H
 EMU3nDTLL : <EMU3n_base> + 0394_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.106 EMU3nVU, EMU3nVV, EMU3nVW, EMU3nVU0, EMU3nVV0, EMU3nVW0, EMU3nVU1, EMU3nVV1, EMU3nVW1, EMU3nVU2, EMU3nVV2, EMU3nVW2, EMU3nVD2, EMU3nVQ2, EMU3nVUFIX, EMU3nVVFIX, EMU3nVWFIX, EMU3nPWMU0, EMU3nPWMV0, EMU3nPWMW0, EMU3nTMAX, EMU3nDTUL, EMU3nDTLL レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部)

備考 詳細は「25.4.5 PWM IP」を参照下さい。

25.3.2.85 EMU3n 桁数あわせ 1 レジスタ (EMU3nPWMK1)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0368_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

		整数部															
ビット		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		小数部															
ビット		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DATA (signed)															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.107 EMU3nPWMK1 レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり固定小数点数) (b31 : 符号部) 三相電圧値のスケーリング調整処理に適用される係数値が設定できます。

備考 詳細は「25.4.5(5) Func (pwm5) デューティ比の算出」を参照下さい。

本レジスタは整数部 16 ビット、小数部 16 ビットの固定小数点数です。本レジスタの値を係数とした乗算の後、演算結果に対して 16 ビットの右シフトが実行されます。

25.3.2.86 EMU3n 入力電圧レジスタ (EMU3nVOLV)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 036CH

リセット後の値 0000H

カテゴリ PWM IP

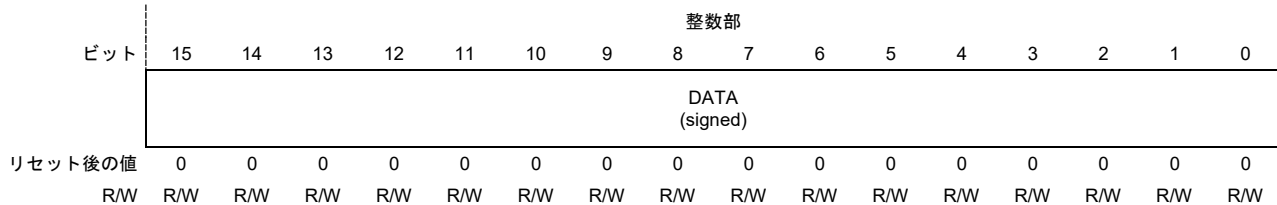


表 25.108 EMU3nVOLV レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) 三相電圧値のスケール調整処理に適用される係数値が設定できます。

備考 詳細は「25.4.5(5) Func (pwm5) デューティ比の算出」、「25.4.5(10) Func (pwm11) PWM 値リミット処理」参照下さい。

本レジスタは整数です。本レジスタの値を分母とする除算の後、演算結果の小数部は切り捨てられます。

25.3.2.87 EMU3n U 相電圧補正值レジスタ (EMU3nVUOFS)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 037CH

リセット後の値 0000H

カテゴリ PWM IP

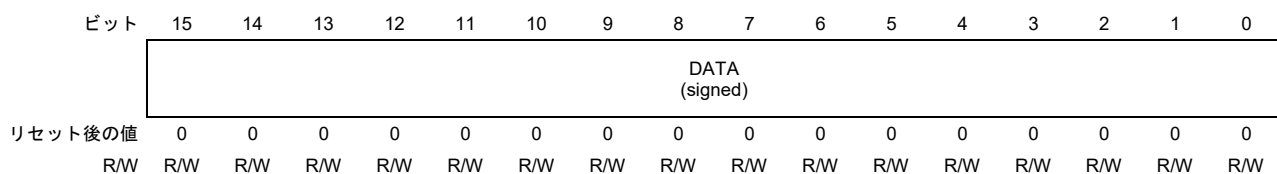


表 25.109 EMU3nVUOFS

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) デューティ比算出後の U 相電圧値に対する補正值を設定できます。

備考 詳細は「25.4.5(6) Func (pwm6) オフセット加算」を参照下さい。

25.3.2.88 EMU3n V 相電圧補正值レジスタ (EMU3nVVOFS)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 037E_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.110 EMU3nVVOFS レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) デューティ比算出後の V 相電圧値に対する補正值を設定できます。

備考 詳細は「25.4.5(6) Func (pwm6) オフセット加算」を参照下さい。

25.3.2.89 EMU3n W 相電圧補正值レジスタ (EMU3nVWOFS)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0380_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.111 EMU3nVWOFS レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) デューティ比算出後の W 相電圧値に対する補正值を設定できます。

備考 詳細は「25.4.5(6) Func (pwm6) オフセット加算」を参照下さい。

25.3.2.90 EMU3n 桁数あわせ 2 レジスタ (EMU3nPWMK2)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03A4_H

リセット後の値 0000_H

カテゴリ PWM IP



表 25.112 EMU3nPWMK2 レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり) (b15: 符号部) PWM IP の PWM 値算出処理に適用される乗算の係数値を設定できます。

備考 詳細は「25.4.5(8) Func (pwm9) PWM 値算出処理」を参照下さい。

25.3.2.91 EMU3n 短絡防止時間設定レジスタ (EMU3nDTT)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03A6_H

リセット後の値 0FFF_H

カテゴリ PWM IP

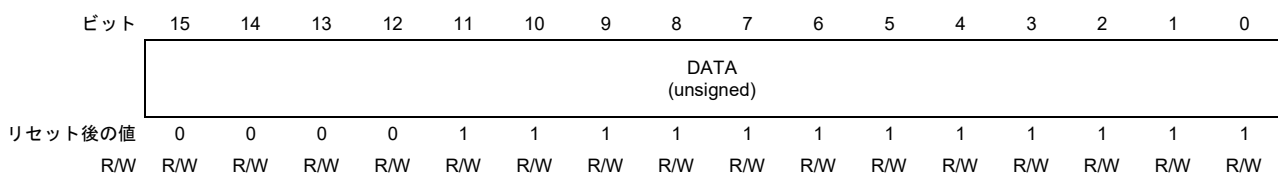


表 25.113 EMU3nDTT レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) PWM IP の PWM 値算出処理に適用される短絡防止時間を設定できます。 “0” もしくは、“2~EMU3nCARR レジスタ値/2” の値を設定してください。

備考 詳細は「25.4.5(8) Func (pwm9) PWM 値算出処理」、「25.4.5(10) Func (pwm11) PWM 値リミット処理」を参照下さい。

25.3.2.92 EMU3n キャリア周期レジスタ (EMU3nCARR)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03A8_H

リセット後の値 7FFF_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.114 EMU3nCARR レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) PWM IP の PWM 値算出処理に適用されるキャリア周期値を設定できます。 また、TSG3 へ出力する PWM コンペア値やキャリア周期値をソフト入力とする場合は、本レジスタの値が適用されます。

備考 詳細は「25.4.5(9) Func (pwm10) デッドタイム補償」、「25.4.5(10) Func (pwm11) PWM 値リミット処理」、「25.4.5(11) Func(pwm_out) PWM 値出力処理」を参照下さい。

EMU3nCARR レジスタ値+EMU3nDTT レジスタ値が、“FFFF_H” 以下になるように設定して下さい。

25.3.2.93 EMU3n キャリア周期バッファレジスタ (EMU3nCARRBUF)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03AA_H

リセット後の値 FFFF_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.115 EMU3nCARRBUF レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) PWM IP から出力する PWM コンペア値を TSG3 へ出力する場合は、キャリア周期値に本レジスタの値が適用されます。

備考 詳細は「25.4.5(10) Func (pwm11) PWM 値リミット処理」を参照下さい。

25.3.2.94 EMU3n デッドタイム補償閾値レジスタ (EMU3nDTOTH)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03B8_H

リセット後の値 7FFF FFFF_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DATA (unsigned)														
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.116 EMU3nDTOTH レジスタの内容

ビット位置	ビット	機能
31	—	読むと“0”が読み出されます。書き込みは“0”としてください。
30~0	DATA	データビット (符号なし整数) デッドタイム補償の処理に適用される閾値を設定できます。

備考 詳細は「25.4.5(9) Func (pwm10) デッドタイム補償」を参照下さい。

25.3.2.95 EMU3n デッドタイム補償正電流時加算値レジスタ (EMU3nDTOPV)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03BC_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.117 EMU3nDTOPV レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15: 符号部) デッドタイム補償の処理に適用される、三相電流値が正の際の加算値を設定できます。

備考 詳細は「25.4.5(9) Func (pwm10) デッドタイム補償」を参照下さい。

25.3.2.96 EMU3n デッドタイム補償負電流時加算値レジスタ (EMU3nDTONV)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03BE_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.118 EMU3nDTONV レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15 : 符号部) デッドタイム補償の処理に適用される、三相電流値が負の際の加算値を設定できます。

備考 詳細は「25.4.5(9) Func (pwm10) デッドタイム補償」を参照下さい。

25.3.2.97 EMU3n デッドタイム補償後 U 相 PWM 値レジスタ (EMU3nPWMU DT)

EMU3n デッドタイム補償後 V 相 PWM 値レジスタ (EMU3nPWMVDT)

EMU3n デッドタイム補償後 W 相 PWM 値レジスタ (EMU3nPWMWDT)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nPWMU DT : <EMU3n_base> + 03C0_H

EMU3nPWMVDT : <EMU3n_base> + 03C4_H

EMU3nPWMWDT : <EMU3n_base> + 03C8_H

リセット後の値 0000 0000_H

カテゴリ PWM IP

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.119 EMU3nPWMU DT, EMU3nPWMVDT, EMU3nPWMWDT レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31 : 符号部)

備考 詳細は「25.4.5(9) Func (pwm10) デッドタイム補償」を参照下さい。

25.3.2.98 EMU3n PWM 上限値レジスタ (EMU3nPWMUL)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03CC_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.120 EMU3nPWMUL レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) PWM IP の PWM 値リミット処理に適用される PWM 値の上限を設定できます。

備考 詳細は「25.4.5(10) Func (pwm11) PWM 値リミット処理」を参照下さい。

25.3.2.99 EMU3n PWM 下限値レジスタ (EMU3nPWMLL)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 03CE_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.121 EMU3nPWMLL レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) PWM IP の PWM 値リミット処理に適用される PWM 値の下限を設定できます。

備考 詳細は「25.4.5(10) Func (pwm11) PWM 値リミット処理」を参照下さい。

25.3.2.100 EMU3n U 相 PWM コンペア値レジスタ (EMU3nPWMUIP)**EMU3n V 相 PWM コンペア値レジスタ (EMU3nPWMVIP)****EMU3n W 相 PWM コンペア値レジスタ (EMU3nPWMWIP)**

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nPWMUIP : <EMU3n_base> + 03D0_H

EMU3nPWMVIP : <EMU3n_base> + 03D2_H

EMU3nPWMWIP : <EMU3n_base> + 03D4_H

リセット後の値 0000_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.122 EMU3nPWMUIP, EMU3nPWMVIP, EMU3nPWMWIP レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数)

備考 詳細は「25.4.5(10) Func (pwm11) PWM 値リミット処理」を参照下さい。

25.3.2.101 EMU3n U 相 PWM コンペア値ソフト入力レジスタ (EMU3nPWMU)**EMU3n V 相 PWM コンペア値ソフト入力レジスタ (EMU3nPWMV)****EMU3n W 相 PWM コンペア値ソフト入力レジスタ (EMU3nPWMW)**

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nPWMU : <EMU3n_base> + 03D8_H

EMU3nPWMV : <EMU3n_base> + 03DA_H

EMU3nPWMW : <EMU3n_base> + 03DC_H

リセット後の値 47FF_H

カテゴリ PWM IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.123 EMU3nPWMU, EMU3nPWMV, EMU3nPWMW レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数)

備考 詳細は「25.4.5(11) Func (pwm_out) PWM 値出力処理」を参照下さい。

本レジスタへは“EMU3nCARR レジスタ+EMU3nDTT レジスタ”よりも大きな値を設定しないで下さい。

25.3.2.102 EMU3n 矩形 IP 制御レジスタ (EMU3nRECCTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0480_H

リセット後の値 04_H

カテゴリ 矩形 IP

ビット	7	6	5	4	3	2	1	0
	FDRCT	—	—	—	—	FIP POSI	SLCT CMP0	SET REC
リセット後の値	0	0	0	0	0	1	0	0
	R/W	R/W	R	R	R	R/W	R/W	R/W

表 25.124 EMU3nRECCTR レジスタの内容

ビット位置	ビット	機能
7	FDRCT	回転方向選択ビット 0：正回転 1：逆回転
6～3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	FIPPOSI	スイッチング指令選択ビット 0：矩形 IP が算出する値を使用する。 1：EMU3nPSWSFT レジスタの値を使用する。
1	SLCTCMP0	角度コンペア 0 一致検出の比較値選択ビット 0：EMU3nCMP0 レジスタの値を使用する。 1：矩形 IP が算出する値を使用する。
0	SETREC	矩形設定ビット 0：EMU3nPTNN レジスタの値を使用する。 1：矩形 IP が選択する値（EMU3nPTNAB レジスタ、EMU3nPTNCD レジスタ、 EMU3nPTNEF レジスタから選択されます。）を使用する。

矩形 IP を制御するレジスタです。各ビットによる制御の詳細は、「**25.4.7.1 一括矩形 IP**」を参照してください。

SLCTCMP0 ビットを“0”かつ SETREC ビットを“1”とする組合せの設定は禁止です。

25.3.2.103 EMU3n 矩形出カソフト制御用パターンレジスタ (EMU3nPTNN)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0484_H

リセット後の値 00_H

カテゴリ 矩形 IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WPTN	VPTN	UPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.125 EMU3nPTNN レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WPTN	W 相矩形波パターン設定ビット 0 : Low レベル 1 : High レベル
1	VPTN	V 相矩形波パターン設定ビット 0 : Low レベル 1 : High レベル
0	UPTN	U 相矩形波パターン設定ビット 0 : Low レベル 1 : High レベル

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

矩形波パタンの出力を CPU プログラムによるソフト処理を組合わせて実施する際に、矩形波パターン値に本レジスタの値が適用されます。

25.3.2.104 EMU3n 矩形出力パターン AB レジスタ (EMU3nPTNAB)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0485_H

リセット後の値 00_H

カテゴリ 矩形 IP

ビット	7	6	5	4	3	2	1	0
	—	—	WPTNB	VPTNB	UPTNB	WPTNA	VPTNA	UPTNA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.126 EMU3nPTNAB レジスタの内容

ビット位置	ビット	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	WPTNB	W 相矩形波パターン B 設定ビット 0 : Low レベル 1 : High レベル
4	VPTNB	V 相矩形波パターン B 設定ビット 0 : Low レベル 1 : High レベル
3	UPTNB	U 相矩形波パターン B 設定ビット 0 : Low レベル 1 : High レベル
2	WPTNA	W 相矩形波パターン A 設定ビット 0 : Low レベル 1 : High レベル
1	VPTNA	V 相矩形波パターン A 設定ビット 0 : Low レベル 1 : High レベル
0	UPTNA	U 相矩形波パターン A 設定ビット 0 : Low レベル 1 : High レベル

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

矩形波パタンの出力を矩形 IP によるハード処理にて実施する際に、矩形波パターン値に本レジスタの値が適用されます。

25.3.2.105 EMU3n 矩形出力パターン CD レジスタ (EMU3nPTNCD)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0486_H

リセット後の値 00_H

カテゴリ 矩形 IP

ビット	7	6	5	4	3	2	1	0
	—	—	WPTND	VPTND	UPTND	WPTNC	VPTNC	UPTNC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.127 EMU3nPTNCD レジスタの内容

ビット位置	ビット	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	WPTND	W 相矩形波パターン D 設定ビット 0 : Low レベル 1 : High レベル
4	VPTND	V 相矩形波パターン D 設定ビット 0 : Low レベル 1 : High レベル
3	UPTND	U 相矩形波パターン D 設定ビット 0 : Low レベル 1 : High レベル
2	WPTNC	W 相矩形波パターン C 設定ビット 0 : Low レベル 1 : High レベル
1	VPTNC	V 相矩形波パターン C 設定ビット 0 : Low レベル 1 : High レベル
0	UPTNC	U 相矩形波パターン C 設定ビット 0 : Low レベル 1 : High レベル

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

矩形波パタンの出力を矩形 IP によるハード処理にて実施する際に、矩形波パターン値に本レジスタの値が適用されます。

25.3.2.106 EMU3n 矩形出力パターン EF レジスタ (EMU3nPTNEF)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0487_H

リセット後の値 00_H

カテゴリ 矩形 IP

ビット	7	6	5	4	3	2	1	0
	—	—	WPTNF	VPTNF	UPTNF	WPTNE	VPTNE	UPTNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.128 EMU3nPTNEF レジスタの内容

ビット位置	ビット	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	WPTNF	W 相矩形波パターン F 設定ビット 0 : Low レベル 1 : High レベル
4	VPTNF	V 相矩形波パターン F 設定ビット 0 : Low レベル 1 : High レベル
3	UPTNF	U 相矩形波パターン F 設定ビット 0 : Low レベル 1 : High レベル
2	WPTNE	W 相矩形波パターン E 設定ビット 0 : Low レベル 1 : High レベル
1	VPTNE	V 相矩形波パターン E 設定ビット 0 : Low レベル 1 : High レベル
0	UPTNE	U 相矩形波パターン E 設定ビット 0 : Low レベル 1 : High レベル

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

矩形波パタンの出力を矩形 IP によるハード処理にて実施する際に、矩形波パターン値に本レジスタの値が適用されます。

25.3.2.107 EMU3n 角度コンペア 0 用比較値ソフト入力レジスタ (EMU3nCMP0)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0488_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.129 EMU3nCMP0 レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) 角度コンペア 0 (電気角) 用の比較値をソフトウェア入力できます。

備考 詳細は「25.4.6 矩形 IP」および「25.4.2(3) Func(ang8) 角度コンペア一致」を参照下さい。

一括矩形波パタンの出力を CPU プログラムによるソフト処理と合わせて実施する際に、角度コンペア 0 一致検出用の比較値に本レジスタの値が適用されます。

また、一括矩形波パタンの出力を矩形 IP によるハード処理にて実施する際に、初回の角度コンペア 0 一致検出用の比較値に本レジスタの値が適用されます。

25.3.2.108 EMU3n 角度コンペア 1 用比較値ソフト入力レジスタ (EMU3nCMP1)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 048A_H

リセット後の値 0000_H

カテゴリ 角度生成 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.130 EMU3nCMP1 レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) 角度コンペア 1 (レゾルバ角) 用の比較をソフトウェア入力できます。

備考 詳細は「25.4.2(3) Func(ang8) 角度コンペア一致」を参照下さい。

25.3.2.109 EMU3n q 軸基準電圧位相ソフト入力レジスタ (EMU3nPHQSFT)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 048C_H

リセット後の値 0000_H

カテゴリ 矩形 IP



表 25.131 EMU3nPHQSFT レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号あり整数) (b15-11: 符号部) 矩形 IP の「角度コンペア 0 一致検出用の比較値」に対する補正値を設定できます。

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

25.3.2.110 EMU3n スイッチング指令ソフト入力レジスタ (EMU3nPSWSFT)

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 048E_H

リセット後の値 00_H

カテゴリ 矩形 IP

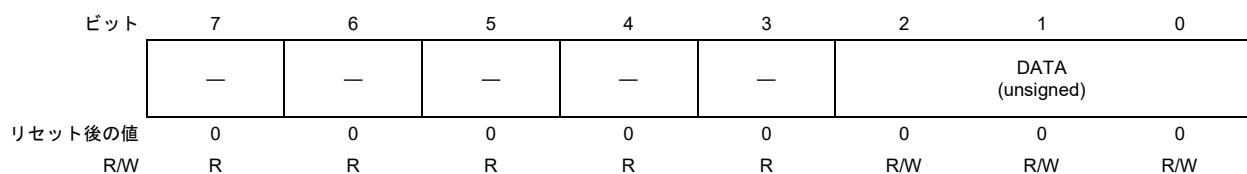


表 25.132 EMU3nPSWSFT レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2~0	DATA	データビット (符号なし整数) 矩形 IP に適用されるスイッチング指令のソフトウェア入力値を設定できます。 値“6”および“7”の書き込みは禁止です。“0~5”の値を設定してください。

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

25.3.2.111 EMU3n スイッチング指令レジスタ (EMU3nPSW)

アクセス 8ビット単位でリード可能です。

アドレス <EMU3n_base> + 048F_H

リセット後の値 00_H

カテゴリ 矩形 IP

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA (unsigned)		
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 25.133 EMU3nPSW レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2~0	DATA	データビット (符号なし整数) 矩形 IP にて算出されるスイッチング指令値が格納されます。

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

25.3.2.112 EMU3n 角度コンペア 0 用比較値 IP 出力レジスタ (EMU3nIPCMP0)

アクセス 16ビット単位でリード可能です。

アドレス <EMU3n_base> + 0490_H

リセット後の値 0000_H

カテゴリ 矩形 IP

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.134 EMU3nIPCMP0 レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) 矩形 IP にて算出された角度コンペア 0 一致検出用の比較値が格納されます。

備考 詳細は「25.4.7.1 一括矩形 IP」を参照下さい。

矩形波パタンの出力を矩形 IP によるハード処理にて実施する際に、角度コンペア 0 一致検出初回以外の比較値に本レジスタの値が適用されます。

25.3.2.113 EMU3n 独立矩形 IP1 制御レジスタ (EMU3nIRECCTR)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 04C0_H

リセット後の値 00_H

カテゴリ 矩形波生成部

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RECMD	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.135 EMU3nIRECCTR レジスタの内容

ビット位置	ビット	機能
7~2	—	読むと“0”が読み出されます。書き込みは“0”としてください。
1、0	RECMD	矩形波出力モード切り替えビット 00：TSG3 へ矩形波パターンを出力する。 01：TSG3 へ独立矩形 IP1 波パターンを出力する。 10：TSG3 へ独立矩形 IP2 波パターンを出力する。 11：使用禁止

備考 詳細は「25.4.7 矩形波生成部」「25.4.7.2 独立矩形 IP1」「25.4.7.3 独立矩形 IP2」を参照下さい。

25.3.2.114 EMU3n 独立矩形 IP1 出力パターン更新レジスタ (EMU3nIRPTN)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 04C4_H

リセット後の値 00_H

カテゴリ 独立矩形 IP1

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WINI PTN	VINI PTN	UINI PTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.136 EMU3nIRPTN レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WINIPTN	W 相矩形波パターン更新ビット 0 : Low レベル 1 : High レベル
1	VINIPTN	V 相矩形波パターン更新ビット 0 : Low レベル 1 : High レベル
0	UINIPTN	U 相矩形波パターン更新ビット 0 : Low レベル 1 : High レベル

備考 詳細は「25.4.7.2 独立矩形 IP1」を参照下さい。

25.3.2.115 EMU3n 独立矩形 IP1 フラグセレクト信号初期化レジスタ (EMU3nIRCTRST)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 04C6_H

リセット後の値 00_H

カテゴリ 独立矩形 IP1

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WINIT	VINIT	UINIT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.137 EMU3nIRCTRST レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WINIT	W相フラグ/セレクト信号初期化ビット “1”を書くと独立矩形 IP1 の W 相の処理についてフラグ/セレクト信号を初期状態にします。
1	VINIT	V相フラグ/セレクト信号初期化ビット “1”を書くと独立矩形 IP1 の V 相の処理についてフラグ/セレクト信号を初期状態にします。
0	UINIT	U相フラグ/セレクト信号初期化ビット “1”を書くと独立矩形 IP1 の U 相の処理についてフラグ/セレクト信号を初期状態にします。

備考 詳細は「25.4.7.2 独立矩形 IP1」を参照下さい。

本レジスタの各ビットは“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

- 25.3.2.116 EMU3n 独立矩形 IP1 U 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ (EMU3nIRUCPPN0)
- EMU3n 独立矩形 IP1 U 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ (EMU3nIRUCPPN1)
- EMU3n 独立矩形 IP1 U 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ (EMU3nIRUCPPN2)
- EMU3n 独立矩形 IP1 V 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ (EMU3nIRVCPPN0)
- EMU3n 独立矩形 IP1 V 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ (EMU3nIRVCPPN1)
- EMU3n 独立矩形 IP1 V 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ (EMU3nIRVCPPN2)
- EMU3n 独立矩形 IP1 W 相角度コンペア 0 一致検出用比較値/パターン設定 0 レジスタ (EMU3nIRWCPPN0)
- EMU3n 独立矩形 IP1 W 相角度コンペア 0 一致検出用比較値/パターン設定 1 レジスタ (EMU3nIRWCPPN1)
- EMU3n 独立矩形 IP1 W 相角度コンペア 0 一致検出用比較値/パターン設定 2 レジスタ (EMU3nIRWCPPN2)

アクセス 16、32 ビット単位でリード/ライト可能です。

アドレス EMU3nIRUCPPN0 : <EMU3n_base> + 04C8_H
 EMU3nIRUCPPN1 : <EMU3n_base> + 04CC_H
 EMU3nIRUCPPN2 : <EMU3n_base> + 04D0_H
 EMU3nIRVCPPN0 : <EMU3n_base> + 04D4_H
 EMU3nIRVCPPN1 : <EMU3n_base> + 04D8_H
 EMU3nIRVCPPN2 : <EMU3n_base> + 04DC_H
 EMU3nIRWCPPN0 : <EMU3n_base> + 04E0_H
 EMU3nIRWCPPN1 : <EMU3n_base> + 04E4_H
 EMU3nIRWCPPN2 : <EMU3n_base> + 04E8_H

リセット後の値 0000 0000_H

カテゴリ 独立矩形 IP1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	U/V/W PTN0/1/ 2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	RW
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	UCMP0,1,2[11:0]			VCMP0,1,2[11:0]			WCMP0,1,2[11:0]			(unsigned)		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.138 EMU3nIRUCPPN0, EMU3nIRUCPPN1, EMU3nIRUCPPN2, EMU3nIRVCPN0, EMU3nIRVCPN1, EMU3nIRVCPN2, EMU3nIRWCPN0, EMU3nIRWCPN1, EMU3nIRWCPN2 レジスタの内容

ビット位置	ビット	機能
31~17	—	読むと“0”が読み出されます。書き込みは“0”としてください。
16	UPTN0, 1, 2 VPTN0, 1, 2 WPTN0, 1, 2	U相パタン値0, 1, 2 設定ビット V相パタン値0, 1, 2 設定ビット W相パタン値0, 1, 2 設定ビット 0 : Low レベル 1 : High レベル
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	UCMP0, 1, 2[11:0] VCMP0, 1, 2[11:0] WCMP0, 1, 2[11:0]	U相向け角度コンペア0一致検出用比較値0, 1, 2 設定ビット (符号なし整数) V相向け角度コンペア0一致検出用比較値0, 1, 2 設定ビット (符号なし整数) W相向け角度コンペア0一致検出用比較値0, 1, 2 設定ビット (符号なし整数) 角度コンペア0一致検出用の比較値を設定できます。

備考 詳細は「25.4.7.2 独立矩形 IP1」を参照下さい。

25.3.2.117 EMU3n 独立矩形 IP1 フラグモニタレジスタ (EMU3nIRFLGM)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU3n_base> + 04EC_H

リセット後の値 0000_H

カテゴリ 独立矩形 IP1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WFLG 2	WFLG 1	WFLG 0	VFLG 2	VFLG 1	VFLG 0	UFLG 2	UFLG 1	UFLG 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.139 EMU3nIRFLGM レジスタの内容 (1/2)

ビット位置	ビット	機能
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8	WFLG2	W 相フラグ 2 状態ビット 0: CPU から EMU3nIRWCPPN2 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRWCPPN2 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
7	WFLG1	W 相フラグ 1 状態ビット 0: CPU から EMU3nIRWCPPN1 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRWCPPN1 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
6	WFLG0	W 相フラグ 0 状態ビット 0: CPU から EMU3nIRWCPPN0 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRWCPPN0 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
5	VFLG2	V 相フラグ 2 状態ビット 0: CPU から EMU3nIRVCPN2 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRVCPN2 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
4	VFLG1	V 相フラグ 1 状態ビット 0: CPU から EMU3nIRVCPN1 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRVCPN1 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
3	VFLG0	V 相フラグ 0 状態ビット 0: CPU から EMU3nIRVCPN0 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRVCPN0 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
2	UFLG2	U 相フラグ 2 状態ビット 0: CPU から EMU3nIRUCPPN2 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRUCPPN2 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。
1	UFLG1	U 相フラグ 1 状態ビット 0: CPU から EMU3nIRUCPPN1 レジスタへの書き込み前、または角度コンペア 0 一致検出済み状態。 1: CPU から EMU3nIRUCPPN1 レジスタへの書き込み後、かつ角度コンペア 0 一致検出未の状態。

表 25.139 EMU3nIRFLGM レジスタの内容 (2/2)

ビット位置	ビット	機能
0	UFLG0	U相フラグ0状態ビット 0: CPU から EMU3nIRUCPPN0 レジスタへの書き込み前、または角度コンペア0一致検出済み状態。 1: CPU から EMU3nIRUCPPN0 レジスタへの書き込み後、かつ角度コンペア0一致検出未の状態。

備考 詳細は「25.4.7.2 独立矩形 IP1」を参照下さい。

25.3.2.118 EMU3n 独立矩形 IP1 セレクト信号モニタレジスタ (EMU3nIRSELM)

アクセス 16ビット単位でリード可能です。

アドレス <EMU3n_base> + 04EE_H

リセット後の値 0049_H

カテゴリ 独立矩形 IP1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WSEL[2:0]			VSEL[2:0]			USEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.140 EMU3nIRSELM レジスタの内容

ビット位置	ビット	機能
15~9	—	読むと“0”が読み出されます。書き込みは“0”としてください。
8~6	WSEL[2:0]	W相セレクト状態ビット 001: EMU3nIRWCPPN0 レジスタを選択中。 010: EMU3nIRWCPPN1 レジスタを選択中。 100: EMU3nIRWCPPN2 レジスタを選択中。
5~3	VSEL[2:0]	V相セレクト状態ビット 001: EMU3nIRVCPN0 レジスタを選択中。 010: EMU3nIRVCPN1 レジスタを選択中。 100: EMU3nIRVCPN2 レジスタを選択中。
2~0	USEL[2:0]	U相セレクト状態ビット 001: EMU3nIRUCPPN0 レジスタを選択中。 010: EMU3nIRUCPPN1 レジスタを選択中。 100: EMU3nIRUCPPN2 レジスタを選択中。

備考 詳細は「25.4.7.2 独立矩形 IP1」を参照下さい。

25.3.2.119 EMU3n 独立矩形 IP2 制御レジスタ (EMU3nNRECCTR)

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0500_H

リセット後の値 00_H

カテゴリ 独立矩形 IP2

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.141 EMU3nNRECCTR レジスタの内容

ビット位置	ビット	機能
7~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	EN	独立矩形 IP2 動作ビット 0: 停止 (U 相/V 相/W 相パタン値は Low レベル固定) 1: 動作

備考 詳細は「25.4.7.3 独立矩形 IP2」を参照下さい。

25.3.2.120 EMU3n 独立矩形 IP2 三相共通角度補正值レジスタ (EMU3nNRECOFSALL)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 0508_H

リセット後の値 0000_H

カテゴリ 独立矩形 IP2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (signed)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.142 EMU3nNRECOFSALL レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA (signed)	データビット (符号あり整数) (b11: 符号部) 独立矩形 IP2 に適用される電気角に対する U 相/V 相/W 相のオフセット値を一括設定できます。

備考 詳細は「25.4.7.3 独立矩形 IP2」を参照下さい。

U 相の角度補正值は EMU3nNRECOFSALL レジスタ値 + EMU3nNRECOFSU レジスタ値になります。

V 相の角度補正值は EMU3nNRECOFSALL レジスタ値 + EMU3nNRECOFSV レジスタ値になります。

W 相の角度補正值は EMU3nNRECOFSALL レジスタ値 + EMU3nNRECOFSW レジスタ値になります。

25.3.2.121 EMU3n 独立矩形 IP2 U 相角度補正值レジスタ (EMU3nNRECOFSU)**EMU3n 独立矩形 IP2 V 相角度補正值レジスタ (EMU3nNRECOFSV)****EMU3n 独立矩形 IP2 W 相角度補正值レジスタ (EMU3nNRECOFSW)**

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nNRECOFSU : <EMU3n_base> + 050A_H

EMU3nNRECOFSV : <EMU3n_base> + 050C_H

EMU3nNRECOFSW : <EMU3n_base> + 050E_H

リセット後の値 0000_H

カテゴリ 独立矩形 IP2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (signed)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.143 EMU3nNRECOFSU, EMU3nNRECOFSV, EMU3nNRECOFSW レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA (signed)	データビット (符号あり整数) (b11: 符号部)

備考 詳細は「25.4.7.3 独立矩形 IP2」を参照下さい。

U 相の角度補正值は EMU3nNRECOFSALL レジスタ値 + EMU3nNRECOFSU レジスタ値になります。

V 相の角度補正值は EMU3nNRECOFSALL レジスタ値 + EMU3nNRECOFSV レジスタ値になります。

W 相の角度補正值は EMU3nNRECOFSALL レジスタ値 + EMU3nNRECOFSW レジスタ値になります。

25.3.2.122 EMU3n 独立矩形 IP2 U 相コンペア制御 k レジスタ (EMU3nNRECUk) (k = 0~7)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス EMU3nNRECU0 : <EMU3n_base> + 0510_H
 EMU3nNRECU1 : <EMU3n_base> + 0514_H
 EMU3nNRECU2 : <EMU3n_base> + 0518_H
 EMU3nNRECU3 : <EMU3n_base> + 051C_H
 EMU3nNRECU4 : <EMU3n_base> + 0520_H
 EMU3nNRECU5 : <EMU3n_base> + 0524_H
 EMU3nNRECU6 : <EMU3n_base> + 0528_H
 EMU3nNRECU7 : <EMU3n_base> + 052C_H

リセット後の値 0000 0000_H

カテゴリ 独立矩形 IP2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	UMOD	—	—	UINT	UEN	—	—	—	—	—	—	—	UPTN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	UCMP[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.144 EMU3nNRECUk レジスタの内容

ビット位置	ビット	機能
31~29	—	読むと“0”が読み出されます。書き込みは“0”としてください。
28	UMOD	U 相角度コンペア 0 一致検出許可モードビット k 0 : UEN = 1 のときコンペア一致毎に UEN = 0 に自動更新しない 1 : UEN = 1 のときコンペア一致毎に UEN = 0 に自動更新する
27、26	—	読むと“0”が読み出されます。書き込みは“0”としてください。
25	UINT	割り込み出力許可設定ビット k (独立矩形 IP2 U 相角度コンペア 0 一致検出) コンペア一致検出時に割り込み要因を発生します。 0 : 禁止 1 : 許可
24	UEN	U 相角度コンペア 0 一致検出許可ビット k コンペア一致検出時に矩形出力パターン更新と A/D 変換制御/角度値ラッチ制御へのトリガ入力 (コンペア一致検出) を許可します。 0 : 禁止 1 : 許可 注意: レジスタライトによる手動設定と UMOD による自動制御が行われる。
23~17	—	読むと“0”が読み出されます。書き込みは“0”としてください。
16	UPTN	U 相パターン値設定ビット k 0 : Low レベル 1 : High レベル
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	UCMP[11:0]	U 相向け角度コンペア 0 一致検出用比較値設定ビット k (符号なし整数) 角度コンペア 0 一致検出用の比較値を設定できます。

備考 詳細は「25.4.7.3 独立矩形 IP2」を参照下さい。

25.3.2.123 EMU3n 独立矩形 IP2 V 相コンペア制御 k レジスタ (EMU3nNRECVk) (k = 0~7)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス EMU3nNRECV0 : <EMU3n_base> + 0530_H
 EMU3nNRECV1 : <EMU3n_base> + 0534_H
 EMU3nNRECV2 : <EMU3n_base> + 0538_H
 EMU3nNRECV3 : <EMU3n_base> + 053C_H
 EMU3nNRECV4 : <EMU3n_base> + 0540_H
 EMU3nNRECV5 : <EMU3n_base> + 0544_H
 EMU3nNRECV6 : <EMU3n_base> + 0548_H
 EMU3nNRECV7 : <EMU3n_base> + 054C_H

リセット後の値 0000 0000_H

カテゴリ 独立矩形 IP2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	VMOD	—	—	VINT	VEN	—	—	—	—	—	—	—	VPTN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VCMP[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.145 EMU3nNRECVk レジスタの内容 (1/2)

ビット位置	ビット	機能
31~29	—	読むと“0”が読み出されます。書き込みは“0”としてください。
28	VMOD	V 相角度コンペア 0 一致検出許可モードビット k 0 : VEN = 1 のときコンペア一致毎に VEN = 0 に自動更新しない 1 : VEN = 1 のときコンペア一致毎に VEN = 0 に自動更新する
27、26	—	読むと“0”が読み出されます。書き込みは“0”としてください。
25	VINT	割り込み出力許可設定ビット k (独立矩形 IP2 V 相角度コンペア 0 一致検出) コンペア一致検出時に割り込み要因を発生します。 0 : 禁止 1 : 許可
24	VEN	V 相角度コンペア 0 一致検出許可ビット k コンペア一致検出時に矩形出力パターン更新と A/D 変換制御/角度値ラッチ制御へのトリガ入力 (コンペア一致検出) を許可します。 0 : 禁止 1 : 許可 注意: レジスタライトによる手動設定と VMOD による自動制御が行われる。
23~17	—	読むと“0”が読み出されます。書き込みは“0”としてください。
16	VPTN	V 相パターン値設定ビット k 0 : Low レベル 1 : High レベル

表 25.145 EMU3nNRECVk レジスタの内容 (2/2)

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	VCMP[11:0]	V相向け角度コンペア0一致検出用比較値設定ビットk (符号なし整数) 角度コンペア0一致検出用の比較値を設定できます。

備考 詳細は「25.4.7.3 独立矩形 IP2」を参照下さい。

25.3.2.124 EMU3n 独立矩形 IP2 W 相コンペア制御 k レジスタ (EMU3nNRECWk) (k = 0~7)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス EMU3nNRECW0 : <EMU3n_base> + 0550_H
 EMU3nNRECW1 : <EMU3n_base> + 0554_H
 EMU3nNRECW2 : <EMU3n_base> + 0558_H
 EMU3nNRECW3 : <EMU3n_base> + 055C_H
 EMU3nNRECW4 : <EMU3n_base> + 0560_H
 EMU3nNRECW5 : <EMU3n_base> + 0564_H
 EMU3nNRECW6 : <EMU3n_base> + 0568_H
 EMU3nNRECW7 : <EMU3n_base> + 056C_H

リセット後の値 0000 0000_H

カテゴリ 独立矩形 IP2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	WMOD	—	—	WINT	WEN	—	—	—	—	—	—	—	WPTN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WCMP[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.146 EMU3nNRECWk レジスタの内容 (1/2)

ビット位置	ビット	機能
31~29	—	読むと“0”が読み出されます。書き込みは“0”としてください。
28	WMOD	W相角度コンペア0一致検出許可モードビットk 0 : WEN = 1 のときコンペア一致毎に WEN = 0 に自動更新しない 1 : WEN = 1 のときコンペア一致毎に WEN = 0 に自動更新する
27、26	—	読むと“0”が読み出されます。書き込みは“0”としてください。
25	WINT	割り込み出力許可設定ビットk (独立矩形 IP2 W相角度コンペア0一致検出) コンペア一致検出時に割り込み要因が発生します。 0 : 禁止 1 : 許可

表 25.146 EMU3nNRECWk レジスタの内容 (2/2)

ビット位置	ビット	機能
24	WEN	W 相角度コンペア 0 一致検出許可ビット k コンペア一致検出時に矩形出力パターン更新と A/D 変換制御/角度値ラッチ制御へのトリガ入力 (コンペア一致検出) を許可します。 0 : 禁止 1 : 許可 注意: レジスタライトによる手動設定と WMOD による自動制御が行われる。
23~17	—	読むと “0” が読み出されます。書き込みは “0” としてください。
16	WPTN	W 相パターン値設定ビット k 0 : Low レベル 1 : High レベル
15~12	—	読むと “0” が読み出されます。書き込みは “0” としてください。
11~0	WCMP[11:0]	W 相向け角度コンペア 0 一致検出用比較値設定ビット k (符号なし整数) 角度コンペア 0 一致検出用の比較値を設定できます。

備考 詳細は「25.4.7.3 独立矩形 IP2」を参照下さい。

25.3.2.125 EMU3n IIR フィルタチャンネル k 制御レジスタ (EMU3nIIRCTRk) (k = 0~2)

アクセス 8ビット単位でリード/ライト可能です。

アドレス EMU3nIIRCTR0 : <EMU3n_base> + 05C0_H

EMU3nIIRCTR1 : <EMU3n_base> + 05C1_H

EMU3nIIRCTR2 : <EMU3n_base> + 05C2_H

リセット後の値 00_H

カテゴリ IIR フィルタ

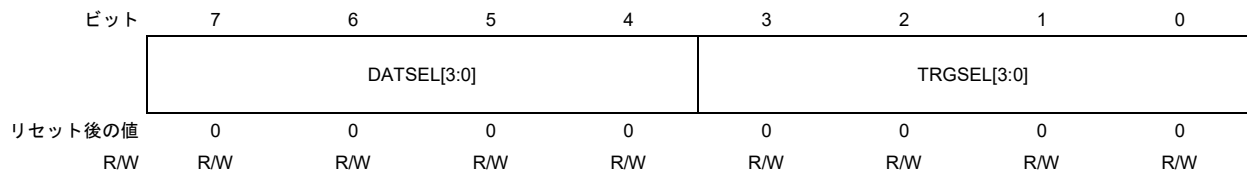


表 25.147 EMU3nIIRCTRk レジスタの内容

ビット位置	ビット	機能
7~4	DATSEL[3:0]	IIR フィルタデータ選択ビット b7 b6 b5 b4 0 0 0 0 : IIR フィルタチャンネル 0 データソフト入力 0 0 0 1 : IIR フィルタチャンネル 1 データソフト入力 0 0 1 0 : IIR フィルタチャンネル 2 データソフト入力 0 0 1 1 : データ保持 0 1 0 0 : 0 データソフト入力 0 1 0 1 : A/D データチャンネル 0 0 1 1 0 : A/D データチャンネル 1 0 1 1 1 : A/D データチャンネル 2 1 0 0 0 : IIR フィルタチャンネル 0 演算結果データ 1 0 0 1 : IIR フィルタチャンネル 1 演算結果データ 1 0 1 0 : IIR フィルタチャンネル 2 演算結果データ 上記以外 : データ保持
3~0	TRGSEL[3:0]	IIR フィルタ起動トリガ選択ビット b3 b2 b1 b0 0 0 0 0 : IIR フィルタチャンネル 0 ソフトウェア起動 0 0 0 1 : IIR フィルタチャンネル 1 ソフトウェア起動 0 0 1 0 : IIR フィルタチャンネル 2 ソフトウェア起動 0 0 1 1 : 起動しない 0 1 0 0 : A/D 変換チャンネルグループ完了起動 0 1 0 1 : A/D 変換チャンネル 0 完了起動 0 1 1 0 : A/D 変換チャンネル 1 完了起動 0 1 1 1 : A/D 変換チャンネル 2 完了起動 1 0 0 0 : IIR フィルタチャンネル 0 完了起動 (EMU3nIIRCTR0 のみ設定禁止) 1 0 0 1 : IIR フィルタチャンネル 1 完了起動 (EMU3nIIRCTR1 のみ設定禁止) 1 0 1 0 : IIR フィルタチャンネル 2 完了起動 (EMU3nIIRCTR2 のみ設定禁止) 上記以外 : 起動しない

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.126 EMU3n IIR フィルタ初期化レジスタ (EMU3nIIRINIT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 05C4_H

リセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	INIT2	INIT1	INIT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.148 EMU3nIIRINIT レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	INIT2	IIR フィルタチャンネル2 初期化ビット 0: 遅延1 データ、遅延2 データを初期化しない 1: 遅延1 データ、遅延2 データを初期化する
1	INIT1	IIR フィルタチャンネル1 初期化ビット 0: 遅延1 データ、遅延2 データを初期化しない 1: 遅延1 データ、遅延2 データを初期化する
0	INIT0	IIR フィルタチャンネル0 初期化ビット 0: 遅延1 データ、遅延2 データを初期化しない 1: 遅延1 データ、遅延2 データを初期化する

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

“1”を書くと、初期化します。“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

25.3.2.127 EMU3n IIR フィルタソフトウェア起動レジスタ (EMU3nIIRSFT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 05C8_H

リセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TRG2	TRG1	TRG0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.149 EMU3nIIRSFT レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	TRG2	IIR フィルタチャンネル 2 ソフトウェア起動ビット 0: ソフトウェア起動しない 1: ソフトウェア起動する
1	TRG1	IIR フィルタチャンネル 1 ソフトウェア起動ビット 0: ソフトウェア起動しない 1: ソフトウェア起動する
0	TRG0	IIR フィルタチャンネル 0 ソフトウェア起動ビット 0: ソフトウェア起動しない 1: ソフトウェア起動する

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

“1”を書くと、ソフトウェア起動します。“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

25.3.2.128 EMU3n IIR フィルタ係数シフト量リロードレジスタ (EMU3nIIRRLD)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 05CC_H

リセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RLD2	RLD1	RLD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.150 EMU3nIIRRLD レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	RLD2	IIR フィルタチャンネル 2 係数シフト量リロードビット 0: リロードしない 1: リロードする
1	RLD1	IIR フィルタチャンネル 1 係数シフト量リロードビット 0: リロードしない 1: リロードする
0	RLD0	IIR フィルタチャンネル 0 係数シフト量リロードビット 0: リロードしない 1: リロードする

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

“1”を書くと、リロードします。“1”書き込み後に自動で“0”になります。“0”書き込みは無効です。読み出し値は常に“0”です。

IIR フィルタ起動中に“1”を書き込まないでください。

25.3.2.129 EMU3n IIR フィルタ完了フラグレジスタ (EMU3nIIRSTAT)

アクセス 8ビット単位でリード可能です。

アドレス <EMU3n_base> + 05CE_H

リセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	STAT2	STAT1	STAT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.151 EMU3nIIRSTAT レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	STAT2	IIR フィルタチャンネル 2 完了フラグビット 0: フィルタ処理完了待ち 1: フィルタ処理完了
1	STAT1	IIR フィルタチャンネル 1 完了フラグビット 0: フィルタ処理完了待ち 1: フィルタ処理完了
0	STAT0	IIR フィルタチャンネル 0 完了フラグビット 0: フィルタ処理完了待ち 1: フィルタ処理完了

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

IIR フィルタ処理の完了をモニタするレジスタです。

各ビットは対応する IIR フィルタチャンネルの処理が完了したら“1”になります。

EMU3nIIRSTATC レジスタの対応するビットに“1”を書くことでクリアされます。

25.3.2.130 EMU3n IIR フィルタ完了フラグクリアレジスタ (EMU3nIIRSTATC)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 05CF_H

リセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	STATC2	STATC1	STATC0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.152 EMU3nIIRSTATC レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	STATC2	IIR フィルタチャンネル 2 完了フラグクリアビット “1”を書くと、EMU3nIIRSTAT レジスタの STAT2 ビットが“0”になります。
1	STATC1	IIR フィルタチャンネル 1 完了フラグクリアビット “1”を書くと、EMU3nIIRSTAT レジスタの STAT1 ビットが“0”になります。
0	STATC0	IIR フィルタチャンネル 0 完了フラグクリアビット “1”を書くと、EMU3nIIRSTAT レジスタの STAT0 ビットが“0”になります。

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

本レジスタの各ビットは“1”書き込み後に自動で“0”になります。

“0”書き込みは無効です。読み出し値は常に“0”です。

25.3.2.131 EMU3n IIR フィルタ係数 k 指定レジスタ (EMU3nIIRCOEFFk) (k = 0~5)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス EMU3nIIRCOEFF0 : <EMU3n_base> + 05D0_H

EMU3nIIRCOEFF1 : <EMU3n_base> + 05D2_H

EMU3nIIRCOEFF2 : <EMU3n_base> + 05D4_H

EMU3nIIRCOEFF3 : <EMU3n_base> + 05D6_H

EMU3nIIRCOEFF4 : <EMU3n_base> + 05D8_H

EMU3nIIRCOEFF5 : <EMU3n_base> + 05DA_H

リセット後の値 0000_H

カテゴリ IIR フィルタ

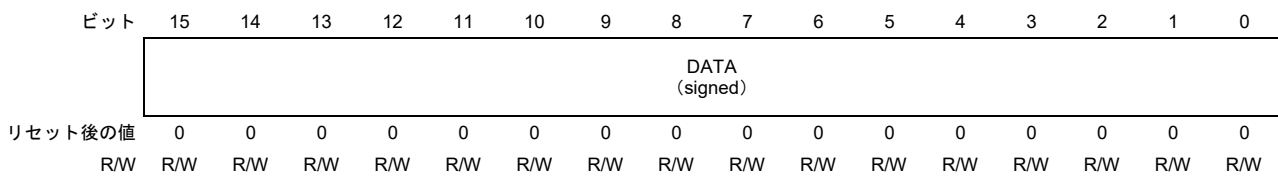


表 25.153 EMU3nIIRCOEFFk レジスタの内容

ビット位置	ビット	機能
15~0	DATA	IIR フィルタ係数入力データビット (符号あり整数) (b15 : 符号部)

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.132 EMU3n IIR フィルタシフト量指定レジスタ (EMU3nIIRSHIFT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 05DC_H

リセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	DATA (unsigned)				
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 25.154 EMU3nIIRSHIFT レジスタの内容

ビット位置	ビット	機能
7~5	—	読むと“0”が読み出されます。書き込みは“0”としてください。
4~0	DATA	<p>IIR フィルタシフト量入力データビット (符号なし整数)</p> <p>IIR フィルタ処理の最終段でデータを算術右シフトするシフト量を指定します。</p> <p>b4 b3 b2 b1 b0</p> <p>0 0 0 0 0: シフトなし</p> <p>0 0 0 0 1: 1bit 右シフト</p> <p>0 0 0 1 0: 2bit 右シフト</p> <p>0 0 0 1 1: 3bit 右シフト</p> <p>0 0 1 0 0: 4bit 右シフト</p> <p>0 0 1 0 1: 5bit 右シフト</p> <p>0 0 1 1 0: 6bit 右シフト</p> <p>0 0 1 1 1: 7bit 右シフト</p> <p>0 1 0 0 0: 8bit 右シフト</p> <p>0 1 0 0 1: 9bit 右シフト</p> <p>0 1 0 1 0: 10bit 右シフト</p> <p>0 1 0 1 1: 11bit 右シフト</p> <p>0 1 1 0 0: 12bit 右シフト</p> <p>0 1 1 0 1: 13bit 右シフト</p> <p>0 1 1 1 0: 14bit 右シフト</p> <p>0 1 1 1 1: 15bit 右シフト</p> <p>1 0 0 0 0: 16bit 右シフト</p> <p>1 0 0 0 1: 17bit 右シフト</p> <p>1 0 0 1 0: 18bit 右シフト</p> <p>1 0 0 1 1: 19bit 右シフト</p> <p>1 0 1 0 0: 20bit 右シフト</p> <p>1 0 1 0 1: 21bit 右シフト</p> <p>1 0 1 1 0: 22bit 右シフト</p> <p>1 0 1 1 1: 23bit 右シフト</p> <p>上記以外: シフトなし</p>

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.133 EMU3n IIR フィルタチャネル k 係数 m モニタレジスタ (EMU3nIIRCOEFFMmk)

(m = 0~5) (k = 0~2)

アクセス 16 ビット単位でリード可能です。

アドレス EMU3nIIRCOEFFM0 : <EMU3n_base> + 05E0_H
 EMU3nIIRCOEFFM10 : <EMU3n_base> + 05E2_H
 EMU3nIIRCOEFFM20 : <EMU3n_base> + 05E4_H
 EMU3nIIRCOEFFM30 : <EMU3n_base> + 05E6_H
 EMU3nIIRCOEFFM40 : <EMU3n_base> + 05E8_H
 EMU3nIIRCOEFFM50 : <EMU3n_base> + 05EA_H
 EMU3nIIRCOEFFM01 : <EMU3n_base> + 05F0_H
 EMU3nIIRCOEFFM11 : <EMU3n_base> + 05F2_H
 EMU3nIIRCOEFFM21 : <EMU3n_base> + 05F4_H
 EMU3nIIRCOEFFM31 : <EMU3n_base> + 05F6_H
 EMU3nIIRCOEFFM41 : <EMU3n_base> + 05F8_H
 EMU3nIIRCOEFFM51 : <EMU3n_base> + 05FA_H
 EMU3nIIRCOEFFM02 : <EMU3n_base> + 0600_H
 EMU3nIIRCOEFFM12 : <EMU3n_base> + 0602_H
 EMU3nIIRCOEFFM22 : <EMU3n_base> + 0604_H
 EMU3nIIRCOEFFM32 : <EMU3n_base> + 0606_H
 EMU3nIIRCOEFFM42 : <EMU3n_base> + 0608_H
 EMU3nIIRCOEFFM52 : <EMU3n_base> + 060A_H

リセット後の値 0000_H

カテゴリ IIR フィルタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.155 EMU3nIIRCOEFFMmk レジスタの内容

ビット位置	ビット	機能
15~0	DATA	IIR フィルタ係数モニタデータビット (符号あり整数) (b15 : 符号部) 各チャネルの IIR フィルタ係数をモニタ出力します。

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.134 EMU3n IIR フィルタチャンネル k シフト量モニタレジスタ (EMU3nIIRSHIFTMk)

(k = 0~2)

アクセス 8 ビット単位でリード可能です。

アドレス EMU3nIIRSHIFTM0 : <EMU3n_base> + 05EC_HEMU3nIIRSHIFTM1 : <EMU3n_base> + 05FC_HEMU3nIIRSHIFTM2 : <EMU3n_base> + 060C_Hリセット後の値 00_H

カテゴリ IIR フィルタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	DATA (unsigned)				
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.156 EMU3nIIRSHIFTMk レジスタの内容

ビット位置	ビット	機能
7~5	—	読むと“0”が読み出されます。書き込みは“0”としてください。
4~0	DATA	IIR フィルタシフト量モニタデータビット (符号なし整数) 各チャンネルの IIR フィルタシフト量をモニタ出力します。

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.135 EMU3n IIR フィルタチャンネル k データソフト入力レジスタ (EMU3nIIRSFTDATk) (k = 0~2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nIIRSFTDAT0 : <EMU3n_base> + 0620_H

EMU3nIIRSFTDAT1 : <EMU3n_base> + 0624_H

EMU3nIIRSFTDAT2 : <EMU3n_base> + 0628_H

リセット後の値 0000 0000_H

カテゴリ IIR フィルタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DATA (signed)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.157 EMU3nIIRSFTDATk レジスタの内容

ビット位置	ビット	機能
31~24	—	読むと“0”が読み出されます。書き込みは“0”としてください。
23~0	DATA	データビット (符号あり整数) (b23:符号部) IIR フィルタ入力データをソフト入力できます。

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.136 EMU3n IIR フィルタチャンネル k 遅延 1 データレジスタ (EMU3nIIRZN1DATk)

(k = 0~2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nIIRZN1DAT0 : <EMU3n_base> + 0630_HEMU3nIIRZN1DAT1 : <EMU3n_base> + 0638_HEMU3nIIRZN1DAT2 : <EMU3n_base> + 0640_Hリセット後の値 0000 0000_H

カテゴリ IIR フィルタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DATA (signed)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.158 EMU3nIIRZN1DATk レジスタの内容

ビット位置	ビット	機能
31~24	—	読むと“0”が読み出されます。書き込みは“0”としてください。
23~0	DATA	データビット (符号あり整数) (b23 : 符号部)

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

IIR フィルタ遅延データは、IIR フィルタ起動中に書き換えしないでください。

25.3.2.137 EMU3n IIR フィルタチャネル k 遅延 2 データレジスタ (EMU3nIIRZN2DATk)

(k = 0~2)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス EMU3nIIRZN2DAT0 : <EMU3n_base> + 0634_HEMU3nIIRZN2DAT1 : <EMU3n_base> + 063C_HEMU3nIIRZN2DAT2 : <EMU3n_base> + 0644_Hリセット後の値 0000 0000_H

カテゴリ IIR フィルタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DATA (signed)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.159 EMU3nIIRZN2DATk レジスタの内容

ビット位置	ビット	機能
31~24	—	読むと“0”が読み出されます。書き込みは“0”としてください。
23~0	DATA	データビット (符号あり整数) (b23 : 符号部)

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

IIR フィルタ遅延データは、IIR フィルタ起動中に書き換えしないでください。

25.3.2.138 EMU3n IIR フィルタチャンネル k 出力データレジスタ (EMU3nIIROUTDATk) (k = 0~2)

アクセス 32 ビット単位でリード可能です。

アドレス EMU3nIIROUTDAT0 : <EMU3n_base> + 0650_H

EMU3nIIROUTDAT1 : <EMU3n_base> + 0654_H

EMU3nIIROUTDAT2 : <EMU3n_base> + 0658_H

リセット後の値 0000 0000_H

カテゴリ IIR フィルタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DATA (signed)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.160 EMU3nIIROUTDATk レジスタの内容

ビット位置	ビット	機能
31~24	—	読むと“0”が読み出されます。書き込みは“0”としてください。
23~0	DATA	データビット (符号あり整数) (b23 : 符号部)

備考 詳細は「25.4.9 IIR フィルタ」を参照下さい。

25.3.2.139 EMU3n 検算用バッファ制御レジスタ (EMU3nCBCTR0)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 06C4_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	CBMON	CBEN1	CBEN0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.161 EMU3nCBCTR0 レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	CBMON	バッファリング状態ビット 0: バッファリング完了またはアイドル状態 1: バッファリング完了待ち状態
1	CBEN1	バッファリング許可ビット 1 0: CBEN0 ビットでバッファリングを許可する 1: 常時バッファリングを許可する
0	CBEN0	バッファリング許可ビット 0 “1”を書くとバッファリングが許可されます。“1”書き込み後に自動で“0”になります。 “0”書き込みは無効です。読み出し値は常に“0”です。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

バッファリング対象の値は以下の通りです。

- EMU3n A/D データ k レジスタ (EMU3nADk) (k = 0, 1, 2)
- EMU3n レゾルバ角モニタレジスタ (EMU3nTHTRESFIXIN)
- EMU3n d 軸電流値レジスタ (EMU3nIDFIX)
- EMU3n q 軸電流値レジスタ (EMU3nIQFIX)
- U/V/W 相 PWM コンペア値の端子出力値
- U/V/W 相矩形波の端子出力値
- U/V/W 相独立矩形 IP1 波の端子出力値

CBEN0 ビット

CBEN0 ビットに“1”を書いた場合、EMU3nCBTIM レジスタで許可したタイミングのうち一番初めに発生したイベントのタイミングで検算用バッファレジスタへのバッファリングが一度だけ実行されます。再度バッファリングを行う場合は、その都度 CBEN0 ビットへ“1”を書いてください。EMU3nCBTIM レジスタに複数のタイミングを設定する場合は、一つ一つのタイミング毎に CBEN0 ビットへ“1”を書いてください。

CBEN1 ビット

CBEN1 ビットを“1”に設定すると、EMU3nCBTIM レジスタで許可したタイミングが発生する度に、検算用バッファレジスタへのバッファリングが毎回実行されます。

CBMON ビット

CBEN0 ビットでのバッファリング実行時は、CBEN0 ビットへの“1”書き込みからバッファリング完了までの期間“1”になります。CBEN1 ビットでのバッファリング実行時は、CBEN1 ビットへの“1”書き込みから CBEN1 ビットへの“0”書き込みまでの期間“1”になります。

25.3.2.140 EMU3n 検算用バッファタイミング選択レジスタ (EMU3nCBTIM)

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <EMU3n_base> + 06C6_H

リセット後の値 0000_H

カテゴリ 全般・共通

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IRECW BT	IRECV BT	IRECU BT	—	CMP0 BT	—	—	—	—	—	—	PWM BT	—	IN BT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RW	R	R	RW	RW	RW	R	RW	R	R	R	R	R	RW	R	RW

表 25.162 EMU3nCBTIM レジスタの内容

ビット位置	ビット	機能
15、14	—	読むと“0”が読み出されます。書き込みは“0”としてください。
13	IRECWBT	バッファタイミング設定ビット (独立矩形 IP1 W 相角度コンペア 0 一致検出) 0: バッファリング禁止 1: バッファリング許可
12	IRECVBT	バッファタイミング設定ビット (独立矩形 IP1 V 相角度コンペア 0 一致検出) 0: バッファリング禁止 1: バッファリング許可
11	IRECUBT	バッファタイミング設定ビット (独立矩形 IP1 U 相角度コンペア 0 一致検出) 0: バッファリング禁止 1: バッファリング許可
10	—	読むと“0”が読み出されます。書き込みは“0”としてください。
9	CMP0BT	バッファタイミング設定ビット (角度コンペア 0 一致検出) 0: バッファリング禁止 1: バッファリング許可
8~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	PWMBT	バッファタイミング設定ビット (PWM IP 完了) 0: バッファリング禁止 1: バッファリング許可
1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	INBT	バッファタイミング設定ビット (入力 IP 完了) 0: バッファリング禁止 1: バッファリング許可

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.141 EMU3n A/D データ k 検算用バッファレジスタ (EMU3nCBADk) (k = 0, 1, 2)

アクセス 16 ビット単位でリード可能です。

アドレス EMU3nCBAD0 : <EMU3n_base> + 06C8_H

EMU3nCBAD1 : <EMU3n_base> + 06CA_H

EMU3nCBAD2 : <EMU3n_base> + 06CC_H

リセット後の値 0000_H

カテゴリ 検算用バッファ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.163 EMU3nCBADk レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) EMU3nADk レジスタのバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.142 EMU3n レゾルバ角検算用バッファレジスタ (EMU3nCBTHTRESFIXIN)

アクセス 16 ビット単位でリード可能です。

アドレス <EMU3n_base> + 06CE_H

リセット後の値 0000_H

カテゴリ 検算用バッファ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DATA (unsigned)											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.164 EMU3nCBTHTRESFIXIN レジスタの内容

ビット位置	ビット	機能
15~12	—	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	DATA	データビット (符号なし整数) EMU3nTHTRESFIXIN レジスタのバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.143 EMU3n d 軸電流値検算用バッファレジスタ (EMU3nCBIDFIX)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 06D0_H

リセット後の値 0000 0000_H

カテゴリ 検算用バッファ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.165 EMU3nCBIDFIX レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31: 符号部) EMU3nIDFIX レジスタのバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.144 EMU3n q 軸電流値検算用バッファレジスタ (EMU3nCBIQFIX)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 06D4_H

リセット後の値 0000 0000_H

カテゴリ 検算用バッファ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (signed)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.166 EMU3nCBIQFIX レジスタの内容

ビット位置	ビット	機能
31~0	DATA	データビット (符号あり整数) (b31: 符号部) EMU3nIQFIX レジスタのバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.145 EMU3n U 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMUIP)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 06D8_H

リセット後の値 0000 0000_H

カテゴリ 検算用バッファ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA (unsigned)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.167 EMU3nCBPWMUIP レジスタの内容

ビット位置	ビット	機能
31~18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17~0	DATA	データビット (符号なし整数) U相 PWM コンペア値の端子出力値のバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.146 EMU3n V 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMVIP)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 06DC_H

リセット後の値 0000 0000_H

カテゴリ 検算用バッファ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA (unsigned)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.168 EMU3nCBPWMVIP レジスタの内容

ビット位置	ビット	機能
31~18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17~0	DATA	データビット (符号なし整数) V 相 PWM コンペア値の端子出力値のバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.147 EMU3n W 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMWIP)

アクセス 32 ビット単位でリード可能です。

アドレス <EMU3n_base> + 06E0_H

リセット後の値 0000 0000_H

カテゴリ 検算用バッファ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA (unsigned)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.169 EMU3nCBPWMWIP レジスタの内容

ビット位置	ビット	機能
31~18	—	読むと“0”が読み出されます。書き込みは“0”としてください。
17~0	DATA	データビット (符号なし整数) W 相 PWM コンペア値の端子出力値のバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.148 EMU3n 矩形パターン値検算用バッファレジスタ (EMU3nCBBREC)

アクセス 8ビット単位でリード可能です。

アドレス <EMU3n_base> + 06E4_H

リセット後の値 00_H

カテゴリ 検算用バッファ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WPTN	VPTN	UPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.170 EMU3nCBBREC レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WPTN	矩形 W 相出力パターンビット 矩形 W 相出力パターン値のバッファリング結果が格納されます。
1	VPTN	矩形 V 相出力パターンビット 矩形 V 相出力パターン値のバッファリング結果が格納されます。
0	UPTN	矩形 U 相出力パターンビット 矩形 U 相出力パターン値のバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.149 EMU3n 独立矩形 IP1 パターン値検算用バッファレジスタ (EMU3nCBIREC)

アクセス 8ビット単位でリード可能です。

アドレス <EMU3n_base> + 06E5_H

リセット後の値 00_H

カテゴリ 検算用バッファ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	WPTN	VPTN	UPTN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.171 EMU3nCBIREC レジスタの内容

ビット位置	ビット	機能
7~3	—	読むと“0”が読み出されます。書き込みは“0”としてください。
2	WPTN	独立矩形 IP1 W 相出力パターンビット 独立矩形 IP1 W 相出力パターン値のバッファリング結果が格納されます。
1	VPTN	独立矩形 IP1 V 相出力パターンビット 独立矩形 IP1 V 相出力パターン値のバッファリング結果が格納されます。
0	UPTN	独立矩形 IP1 U 相出力パターンビット 独立矩形 IP1 U 相出力パターン値のバッファリング結果が格納されます。

備考 詳細は「25.4.14 故障検出機能」を参照下さい。

25.3.2.150 EMU3n データセット WBk 転送トリガレジスタ (EMU3nDATSETWBk) (k = 0~2)

アクセス 8ビット単位でリード/ライト可能です。

アドレス EMU3nDATSETWB0 : <EMU3n_base> + 0700_H

EMU3nDATSETWB1 : <EMU3n_base> + 0704_H

EMU3nDATSETWB2 : <EMU3n_base> + 0708_H

リセット後の値 00_H

カテゴリ ハンドシェイク用レジスタ

ビット	7	6	5	4	3	2	1	0
	—	—	TRG5	TRG4	TRG3	TRG2	TRG1	TRG0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.172 EMU3nDATSETWBk レジスタの内容

ビット位置	ビット	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	TRG5	転送トリガビット データセット 5WRITEm レジスタ EMU3nDATSETW5m (m:0-3)レジスタからデータセット 5READm レジスタ EMU3nDATSETR5m (m:0-3)レジスタに対応する中間レジスタヘデータを一括転送します。 0：転送しない。 1：一括転送する。
4	TRG4	転送トリガビット データセット 4WRITEm レジスタ EMU3nDATSETW4m (m:0-3)レジスタからデータセット 4READm レジスタ EMU3nDATSETR4m (m:0-3)レジスタに対応する中間レジスタヘデータを一括転送します。 0：転送しない。 1：一括転送する。
3	TRG3	転送トリガビット データセット 3WRITEm レジスタ EMU3nDATSETW3m (m:0-3)レジスタからデータセット 3READm レジスタ EMU3nDATSETR3m (m:0-3)レジスタに対応する中間レジスタヘデータを一括転送します。 0：転送しない。 1：一括転送する。
2	TRG2	転送トリガビット データセット 2WRITEm レジスタ EMU3nDATSETW2m (m:0-3)レジスタからデータセット 2READm レジスタ EMU3nDATSETR2m (m:0-3)レジスタに対応する中間レジスタヘデータを一括転送します。 0：転送しない。 1：一括転送する。
1	TRG1	転送トリガビット データセット 1WRITEm レジスタ EMU3nDATSETW1m (m:0-3)レジスタからデータセット 1READm レジスタ EMU3nDATSETR1m (m:0-3)レジスタに対応する中間レジスタヘデータを一括転送します。 0：転送しない。 1：一括転送する。
0	TRG0	転送トリガビット データセット 0WRITEm レジスタ EMU3nDATSETW0m (m:0-3)レジスタからデータセット 0READm レジスタ EMU3nDATSETR0m (m:0-3)レジスタに対応する中間レジスタヘデータを一括転送します。 0：転送しない。 1：一括転送する。

備考 詳細は「25.4.13 非同期データ受け渡し機能」を参照下さい。

“1” を書くと、一括転送します。“1” 書き込み後に自動で “0” になります。“0” 書き込みは無効です。読み出し値は常に “0” です。

25.3.2.151 EMU3n データセット BRk 転送トリガレジスタ (EMU3nDATSETBRk) (k = 0~2)

アクセス 8ビット単位でリード/ライト可能です。

アドレス EMU3nDATSETBR0 : <EMU3n_base> + 0710_H

EMU3nDATSETBR1 : <EMU3n_base> + 0714_H

EMU3nDATSETBR2 : <EMU3n_base> + 0718_H

リセット後の値 00_H

カテゴリ ハンドシェイク用レジスタ

ビット	7	6	5	4	3	2	1	0
	—	—	TRG5	TRG4	TRG3	TRG2	TRG1	TRG0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.173 EMU3nDATSETBRk レジスタの内容

ビット位置	ビット	機能
7、6	—	読むと“0”が読み出されます。書き込みは“0”としてください。
5	TRG5	転送トリガビット データセット 5WRITEm レジスタ EMU3nDATSETW5m (m:0-3)レジスタに対応する中間レジスタから データセット 5READm レジスタ EMU3nDATSETR5m (m:0-3)レジスタへ一括転送します。 0：転送しない。 1：一括転送する。
4	TRG4	転送トリガビット データセット 4WRITEm レジスタ EMU3nDATSETW4m (m:0-3)レジスタに対応する中間レジスタから データセット 4READm レジスタ EMU3nDATSETR4m (m:0-3)レジスタへ一括転送します。 0：転送しない。 1：一括転送する。
3	TRG3	転送トリガビット データセット 3WRITEm レジスタ EMU3nDATSETW3m(m:0-3)レジスタに対応する中間レジスタから データセット 3READm レジスタ EMU3nDATSETR3m(m:0-3)レジスタへ一括転送します。 0：転送しない。 1：一括転送する。
2	TRG2	転送トリガビット データセット 2WRITEm レジスタ EMU3nDATSETW2m(m:0-3)レジスタに対応する中間レジスタから データセット 2READm レジスタ EMU3nDATSETR2m(m:0-3)レジスタへ一括転送します。 0：転送しない。 1：一括転送する。
1	TRG1	転送トリガビット データセット 1WRITEm レジスタ EMU3nDATSETW1m(m:0-3)レジスタに対応する中間レジスタから データセット 1READm レジスタ EMU3nDATSETR1m(m:0-3)レジスタへ一括転送します。 0：転送しない。 1：一括転送する。
0	TRG0	転送トリガビット データセット 0WRITEm レジスタ EMU3nDATSETW0m(m:0-3)レジスタに対応する中間レジスタから データセット 0READm レジスタ EMU3nDATSETR0m(m:0-3)レジスタへ一括転送します。 0：転送しない。 1：一括転送する。

備考 詳細は「25.4.13 非同期データ受け渡し機能」を参照下さい。

“1” を書くと、一括転送します。“1” 書き込み後に自動で“0” になります。“0” 書き込みは無効です。読み出し値は常に“0” です。

25.3.2.152 EMU3n データセット kWRITEm レジスタ (EMU3nDATSETWkm)

(k = 0~5) (m = 0~3)

アクセス 16、32 ビット単位でリード/ライト可能です。

アドレス	EMU3nDATSETW00 : <EMU3n_base> + 0720 _H ,	EMU3nDATSETW01 : <EMU3n_base> + 0722 _H
	EMU3nDATSETW02 : <EMU3n_base> + 0724 _H ,	EMU3nDATSETW03 : <EMU3n_base> + 0726 _H
	EMU3nDATSETW10 : <EMU3n_base> + 0728 _H ,	EMU3nDATSETW11 : <EMU3n_base> + 072A _H
	EMU3nDATSETW12 : <EMU3n_base> + 072C _H ,	EMU3nDATSETW13 : <EMU3n_base> + 072E _H
	EMU3nDATSETW20 : <EMU3n_base> + 0730 _H ,	EMU3nDATSETW21 : <EMU3n_base> + 0732 _H
	EMU3nDATSETW22 : <EMU3n_base> + 0734 _H ,	EMU3nDATSETW23 : <EMU3n_base> + 0736 _H
	EMU3nDATSETW30 : <EMU3n_base> + 0738 _H ,	EMU3nDATSETW31 : <EMU3n_base> + 073A _H
	EMU3nDATSETW32 : <EMU3n_base> + 073C _H ,	EMU3nDATSETW33 : <EMU3n_base> + 073E _H
	EMU3nDATSETW40 : <EMU3n_base> + 0740 _H ,	EMU3nDATSETW41 : <EMU3n_base> + 0742 _H
	EMU3nDATSETW42 : <EMU3n_base> + 0744 _H ,	EMU3nDATSETW43 : <EMU3n_base> + 0746 _H
	EMU3nDATSETW50 : <EMU3n_base> + 0748 _H ,	EMU3nDATSETW51 : <EMU3n_base> + 074A _H
	EMU3nDATSETW52 : <EMU3n_base> + 074C _H ,	EMU3nDATSETW53 : <EMU3n_base> + 074E _H

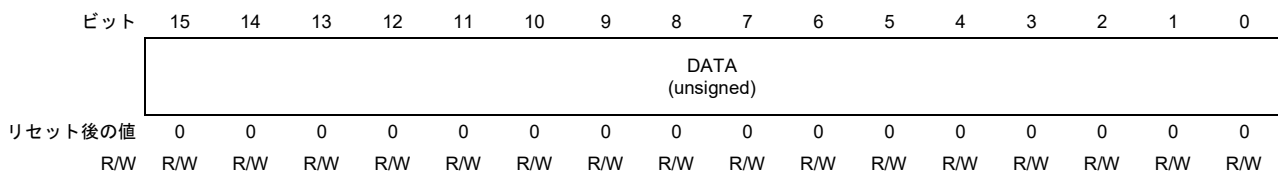
リセット後の値 0000_H**カテゴリ** ハンドシェイク用レジスタ

表 25.174 EMU3nDATSETWkm レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) 書き込み用データを格納します。

備考 詳細は「25.4.13 非同期データ受け渡し機能」を参照下さい。

EMU3nDATSETWk0 レジスタと EMU3nDATSETWk1 レジスタは、16bit データレジスタを 2 個使いにし、32bit データレジスタとしてデータの読み書きが可能です。EMU3nDATSETWk0 レジスタは下位 16bit、EMU3nDATSETWk1 レジスタは上位 16bit として扱います。

EMU3nDATSETWk2 レジスタと EMU3n0DATSETWk3 レジスタは、16bit データレジスタを 2 個使いにし、32bit データレジスタとしてデータの読み書きが可能です。EMU3nDATSETWk2 レジスタは下位 16bit、EMU3nDATSETWk3 レジスタは上位 16bit として扱います。

32bit データアクセスを行う場合は、以下のシンボル、及び、アドレスを使用してください。

EMU3nDATSETW00W : <EMU3n_base> + 0720_H、 EMU3nDATSETW02W : <EMU3n_base> + 0724_H、
EMU3nDATSETW10W : <EMU3n_base> + 0728_H、 EMU3nDATSETW12W : <EMU3n_base> + 072C_H、
EMU3nDATSETW20W : <EMU3n_base> + 0730_H、 EMU3nDATSETW22W : <EMU3n_base> + 0734_H、
EMU3nDATSETW30W : <EMU3n_base> + 0738_H、 EMU3nDATSETW32W : <EMU3n_base> + 073C_H、
EMU3nDATSETW40W : <EMU3n_base> + 0740_H、 EMU3nDATSETW42W : <EMU3n_base> + 0744_H、
EMU3nDATSETW50W : <EMU3n_base> + 0748_H、 EMU3nDATSETW52W : <EMU3n_base> + 074C_H

25.3.2.153 EMU3n データセット kREADm レジスタ (EMU3nDATSETRkm)

(k = 0~5) (m = 0~3)

アクセス 16、32 ビット単位でリード可能です。

アドレス EMU3nDATSETR00 : <EMU3n_base> + 0760_H, EMU3nDATSETR01 : <EMU3n_base> + 0762_H
 EMU3nDATSETR02 : <EMU3n_base> + 0764_H, EMU3nDATSETR03 : <EMU3n_base> + 0766_H
 EMU3nDATSETR10 : <EMU3n_base> + 0768_H, EMU3nDATSETR11 : <EMU3n_base> + 076A_H
 EMU3nDATSETR12 : <EMU3n_base> + 076C_H, EMU3nDATSETR13 : <EMU3n_base> + 076E_H
 EMU3nDATSETR20 : <EMU3n_base> + 0770_H, EMU3nDATSETR21 : <EMU3n_base> + 0772_H
 EMU3nDATSETR22 : <EMU3n_base> + 0774_H, EMU3nDATSETR23 : <EMU3n_base> + 0776_H
 EMU3nDATSETR30 : <EMU3n_base> + 0778_H, EMU3nDATSETR31 : <EMU3n_base> + 077A_H
 EMU3nDATSETR32 : <EMU3n_base> + 077C_H, EMU3nDATSETR33 : <EMU3n_base> + 077E_H
 EMU3nDATSETR40 : <EMU3n_base> + 0780_H, EMU3nDATSETR41 : <EMU3n_base> + 0782_H
 EMU3nDATSETR42 : <EMU3n_base> + 0784_H, EMU3nDATSETR43 : <EMU3n_base> + 0786_H
 EMU3nDATSETR50 : <EMU3n_base> + 0788_H, EMU3nDATSETR51 : <EMU3n_base> + 078A_H
 EMU3nDATSETR52 : <EMU3n_base> + 078C_H, EMU3nDATSETR53 : <EMU3n_base> + 078E_H

リセット後の値 0000_H**カテゴリ** ハンドシェイク用レジスタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA (unsigned)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.175 EMU3nDATSETRkm レジスタの内容

ビット位置	ビット	機能
15~0	DATA	データビット (符号なし整数) 読み込み用データが格納されます。

備考 詳細は「25.4.13 非同期データ受け渡し機能」を参照下さい。

EMU3nDATSETRk0 レジスタと EMU3nDATSETRk1 レジスタは、16bit データレジスタを 2 個使いにし、32bit データレジスタとしてデータの読み込みが可能です。EMU3nDATSETRk0 レジスタは下位 16bit、EMU3nDATSETRk1 レジスタは上位 16bit として扱います。

EMU3nDATSETRk2 レジスタと EMU3nDATSETRk3 レジスタは、16bit データレジスタを 2 個使いにし、32bit データレジスタとしてデータの読み込みが可能です。EMU3nDATSETRk2 レジスタは下位 16bit、EMU3nDATSETRk3 レジスタは上位 16bit として扱います。

32bit データアクセスを行う場合は、以下のシンボル、及び、アドレスを使用してください。

EMU3nDATSETR00W : <EMU3n_base> + 0760_H, EMU3nDATSETR02W : <EMU3n_base> + 0764_H,
 EMU3nDATSETR10W : <EMU3n_base> + 0768_H, EMU3nDATSETR12W : <EMU3n_base> + 076C_H,
 EMU3nDATSETR20W : <EMU3n_base> + 0770_H, EMU3nDATSETR22W : <EMU3n_base> + 0774_H,
 EMU3nDATSETR30W : <EMU3n_base> + 0778_H, EMU3nDATSETR32W : <EMU3n_base> + 077C_H,
 EMU3nDATSETR40W : <EMU3n_base> + 0780_H, EMU3nDATSETR42W : <EMU3n_base> + 0784_H,
 EMU3nDATSETR50W : <EMU3n_base> + 0788_H, EMU3nDATSETR52W : <EMU3n_base> + 078C_H

25.3.2.154 SubCPU 起動レジスタ (EMU3CPUINIT)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU_base> + 0000 2000_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CPINIT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.176 EMU3CPUINIT レジスタの内容

ビット位置	ビット	機能
31~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	CPINIT	0 : SubCPU 動作停止 1 : SubCPU 動作開始 (フェッチ開始)

注1. “1”をセットした後に、“0”をセットすることは禁止です。

EMU3 の SubCPU を起動させるレジスタです。リセット解除後に EMU3 を起動する場合は、メイン CPU から本レジスタにアクセスしてください。

25.3.2.155 ADC 選択レジスタ (EMU3ADCSEL)

アクセス 8ビット単位でリード/ライト可能です。

アドレス <EMU_base> + 0000 2040_H

リセット後の値 00_H

カテゴリ 全般・共通

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SEL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.177 EMU3ADCSEL レジスタの内容

ビット位置	ビット	機能
31~1	—	読むと“0”が読み出されます。書き込みは“0”としてください。
0	SEL	EMU31に取り込むA/Dコンバータのデータを選択します。 0 : ADCC1のデータ 1 : ADCC2のデータ

SubCPUの専用バス（ベースアドレス FC00 0000_H）から本レジスタへのアクセスは不可です。

CPU1、CPU2からのアクセスと同様に、SubCPUからは FF70 0000_Hのベースアドレスでアクセスしてください。

EMU3の起動後に本レジスタは設定を変更しないでください。

25.4 機能

25.4.1 演算部の記述

1. 各変数には、符号有/無と有効ビット長が追記されています。

_s は符号あり、_u は符号なし、その後の数字はビット長を表します。符号ありの場合は最上位ビットが符号ビットです。

例

Ia_v_Lo_fix_s[31:0]は Ia_v_Lo_fix という変数の 0 ビット目から 31 ビット目のデータです。31 ビット目は符号データとなります。

2. 演算式はビット数を越えた値になるとオーバーフローします。

例

A : 7FFF_H B : 7FFF_H

$C_s[15:0] \leftarrow A_s[15:0] + B_s[15:0]$

注 1. 入力 IP の演算でオーバーフローが発生すると、EMU3nOFMON レジスタの INIPOF ビットが“1”になり、PI 制御 IP の演算でオーバーフローが発生すると PIPOF ビットが“1”になり、PWM IP での演算でオーバーフローが発生すると PWMIPOF ビットが“1”になります。

3. 演算式の直後に除算や右シフトがある場合は、ビット拡張した後、除算やシフトをした値が格納されます。

例

$C_s[15:0] \leftarrow (A_s[15:0] \times B_s[15:0]) \gg 10$

(A_s[15:0] × B_s[15:0]) の結果を 32 ビットとしてから 10 ビット右シフトした 16 ビット分を C_s[15:0] に格納します。

(A,B,C ともに 32 ビットだった場合も同様に、A_s[31:0] × B_s[31:0]の結果を 64 ビットとしてから 10 ビット右シフトして 32 ビット分を格納します)

$D_s[15:0] \leftarrow (A_s[15:0] \times B_s[15:0]) / C_s[15:0]$

(A_s[15:0] × B_s[15:0])の結果を 32 ビットで格納したものを C_s[15:0]で除算した結果を D_s[15:0]に格納します。

4. 演算式は、格納側のビット数によってビット拡張されます。

例

$D_s[31:0] \leftarrow C_s[31:0] + A_s[15:0] \times B_s[15:0]$

(A_s[15:0] × B_s[15:0]) の結果を 32 ビットに拡張したまま C_s[31:0]に加算します。

注 C_s[31:0]と加算された値が 32 ビットを超える場合は、オーバーフローします。

例

$C_s[15:0] \leftarrow A_s[11:0] + B_s[11:0]$

(A_s[11:0] + B_s[11:0])の結果を 16 ビットに符号拡張して C_s[15:0]に格納します。

5. 除算は以下のように処理されます。
除算時、小数点以下は切り捨てます。

例

$$5 / 2 = 2$$

$$-5 / 2 = -2$$

- (1) 16 ビット ← 32 ビット / 16 ビットの除算

$$0 / 0 = 0$$

$$\text{負の数} / 0 = 8000_{\text{H}}$$

$$\text{正の数} / 0 = 7FFF_{\text{H}}$$

- (2) 32 ビット ← 32 ビット / 16 ビットの除算

$$0 / 0 = 0$$

$$\text{負の数} / 0 = 8000\ 0000_{\text{H}}$$

$$\text{正の数} / 0 = 7FFF\ FFFF_{\text{H}}$$

- (3) 16 ビット ← 32 ビット / 16 ビットの除算

$$0 / 0 = 0$$

$$7FFF_{\text{H}} \leq \text{結果ならば、結果} \leftarrow 7FFF_{\text{H}}$$

$$8000_{\text{H}} \geq \text{結果ならば、結果} \leftarrow 8000_{\text{H}}$$

6. 本章に記載されている変数のうち、英数字の小文字で表されているものは基本的に EMU3 内のレジスタ、ビット、キャッシュ内で設定されています。ユーザにより直接設定はできません。特に記載のない EMU3 内部レジスタの初期値は 0 です。
7. 各章の二重線を境にした枠内は、二重線を境に左に条件となる対象、右に結果の格納先を表しています。
- 本章内にある二重線を引いた表（下表参照）は、「対象 A が条件 B を満たすとき、結果 E を D に格納する。また、対象 A が条件 C を満たすとき、結果 F を D に格納する」を表します。

例

条件となる対象 A	結果の格納先 D
条件 B	結果 E
条件 C	結果 F

8. C 言語ライクの記述でモジュールを表している章があります。以下の記述を例に説明します。

例) PWM IP Func(pwm2) 電気角オフセット処理

[pwm2] 電気角オフセット処理

説明	位相調整のために、角度値にオフセット値を加算し出力します。	
引数	<u>eth1i</u> : 入力角度値 (EMU3nTHTESEL) <u>eth2i</u> : 入力角度値 (EMU3nTHTEFIX)	<u>etho</u> : 出力角度値 (EMU3nTHTEPWM)
関連レジスタ	EMU3nPWMCTR.FLININIP : 電気角選択ビット (0,1,2) EMU3nTHTFORESFT : PWM IP 用電気角ソフト入力レジスタ (uint12_t) EMU3nPHI : PWM IP 用電気角オフセットレジスタ (uint16_t) EMU3nGTHT : PWM IP 用電気角調整用係数レジスタ (int16_t)	
処理内容	<pre>void pwm2 (uint12_t <u>eth1i</u>, uint12_t <u>eth2i</u>, uint12_t *<u>etho</u>) { if (EMU3nPWMCTR.FLININIP == 0) // 電気角ソフト入力を選択 *<u>etho</u> = (((EMU3nTHTFORESFT + EMU3nPHI) & 0x0FFF) * EMU3nGTHT) >> 8 ; else if (EMU3nPWMCTR.FLININIP == 1) // 入力 IP からの入力を選択 *<u>etho</u> = (((<u>eth1i</u> + EMU3nPHI) & 0x0FFF) * EMU3nGTHT) >> 8 ; else if (EMU3nPWMCTR.FLININIP == 2) // 角度生成 IP からの入力を選択 *<u>etho</u> = (((<u>eth2i</u> + EMU3nPHI) & 0x0FFF) * EMU3nGTHT) >> 8 ; }</pre>	

関数名 “pwm2” はモジュールに相当します。

“uint12_t eth1i, uint12_t eth2i, uint12_t *etho” などの変数は、モジュールの入出力信号に相当します。

uintXX_t はビット幅[XX-1:0]の符号なし信号を、

intYY_t はビット幅[YY-1:0]の符号あり信号を表します。

レジスタ名.ビットはレジスタのビット名を示します。

25.4.2 角度生成 IP

角度生成 IP はレゾルバ角を基に電気角データを生成し、レゾルバ角コンペア一致検出および電気角コンペア一致検出の処理を行います。

角度生成 IP は R/D コンバータ、EMU3nRESTHSFT レジスタから選択されたレゾルバ角が更新される度に起動し、角度生成 IP 動作中の新たな起動要求は無効です。

図 25.4 に角度生成 IP の処理を、図 25.5 に角度生成の例を示します。

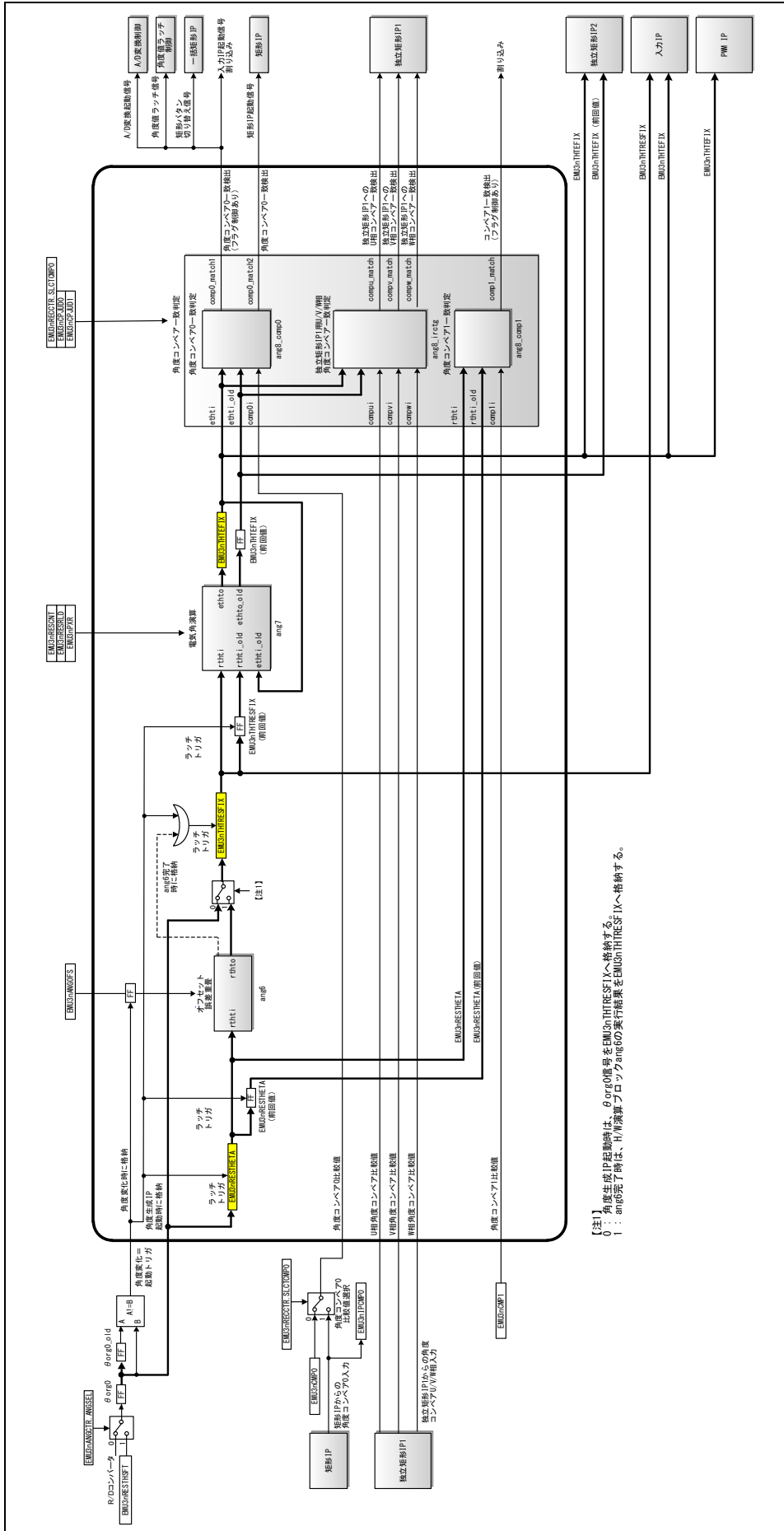


図 25.4 角度生成 IP の処理

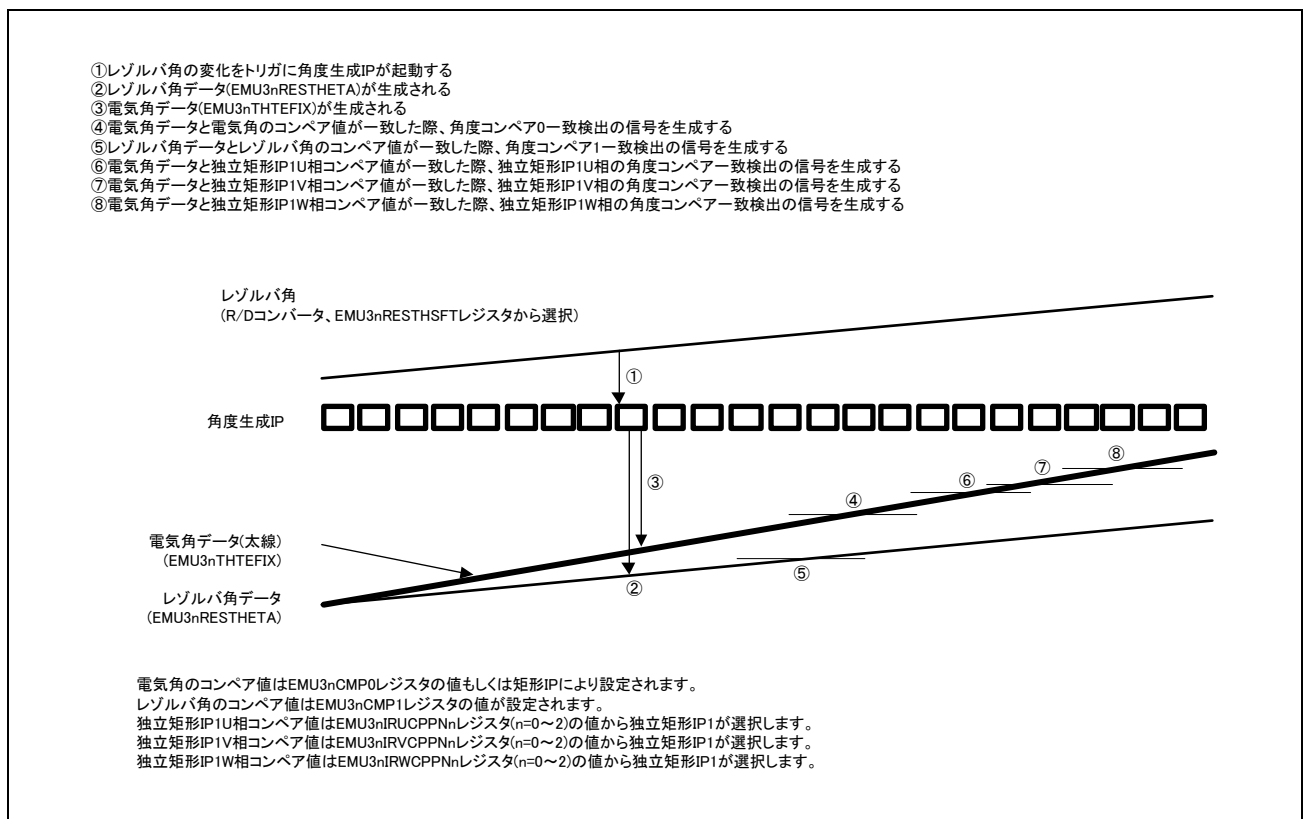


図 25.5 角度生成の例

レゾルバ角から電気角を算出するための処理

角度生成 IP は図 25.4 に示す処理のうち、電気角算出処理にてレゾルバ角から電気角を算出します。図 25.6 に示す例 1 および例 2 を基に、角度生成 IP の処理およびレジスタ設定について以下に示します。

● 図 25.6 の例 1 について

2 極 3 相 6 コイルであり、3 相波形の 1 周期（電気角）は機械角の 1 周期に等しい構成です。但しレゾルバ角は機械角に対して 2 倍の周期数を持つ関係にあり、レゾルバ角極数は 2 で表されます。よって電気角の算出は以下の通りに表されます。

$$(\text{電気角の角度値}) = (\text{レゾルバ角 2 周期分の角度値 (0° ~ 720°)}) \times 0.5$$

● 図 25.6 の例 2 について

4 極 3 相 12 コイルであり、3 相波形の 1 周期（電気角）は機械角の 1/2 周期に等しい構成です。レゾルバ角は機械角と等しい周期を持つ関係にあり、レゾルバ角極数は 1 で表されます。よって電気角の算出は以下の通りに表されます。

$$(\text{電気角の角度値}) = (\text{レゾルバ角 1/2 周期分の角度値 (0° ~ 180°)}) \times 2.0$$

上記の“レゾルバ角 n 周期分の角度値”は、レゾルバ角極位置の遷移を抽出することで 360° を超える角度値を算出します。具体的には、レゾルバ角の最大値⇔最小値の遷移を検出しカウントアップ、カウントダウンするカウンタ値を備え、そのカウント値を 4096 倍した値とレゾルバ角との和が“レゾルバ角 n 周期分の角度値”に相当します。

(カウンタの最大値は EMU3nRESRLD レジスタに設定されるレゾルバ角極数にて変更可能です。)
上記の“×0.5”および“×2.0”の係数設定は EMU3nPXR レジスタにて行います。

図 25.6 の例 1 および例 2 でのレジスタ設定値は表 25.178 の通りであり、各々の角度値の遷移は例に示す通りです。

表 25.178 電気角算出のためのパラメタ設定例

レジスタ	図 25.6 の例 1	図 25.6 の例 2
EMU3nRESRLD	“1” (レゾルバ角極数 2)	“0” (レゾルバ角極数 1)
EMU3nPXR	“0080 _H ” (0.5 の固定小数点数)	“0200 _H ” (2.0 の固定小数点数)

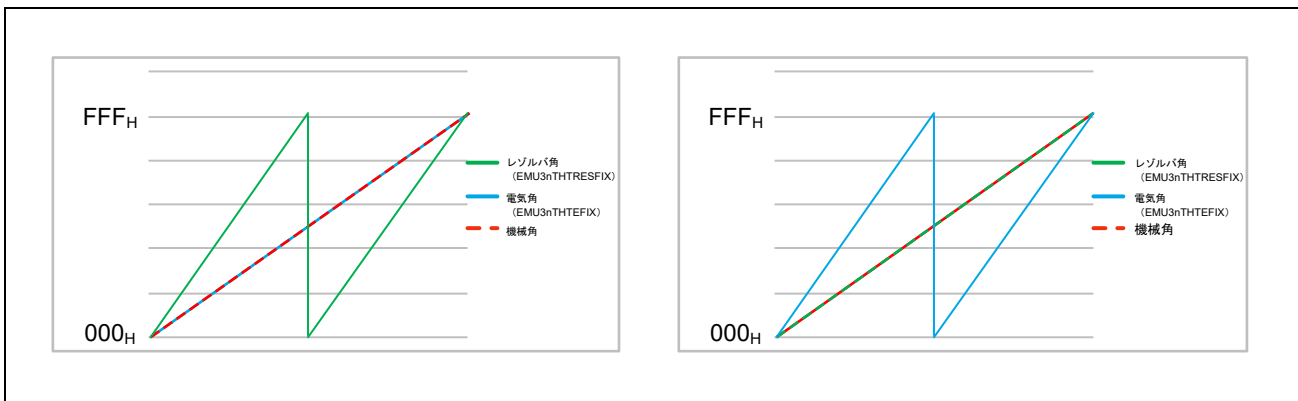


図 25.6 電気角算出の例 (左: 例 1、右: 例 2)

注 意

H/W アクセラレータは電気角の $0^\circ \sim 360^\circ$ を EMU3nTHTEFIX レジスタ値 $0000_{\text{H}} \sim 0\text{FFF}_{\text{H}}$ (符号なし整数値) で表現します。EMU3nRESTHETA レジスタに示されるレゾルバ角については、モータ・システムによっては $0^\circ \sim 360^\circ$ を $0000_{\text{H}} \sim 00\text{FF}_{\text{H}}$ (符号なし整数値) で表すなど、解像度が異なる場合があります。その場合は EMU3nPXR レジスタへ設定する倍率を変更し、16bit 解像度となる様に調整する必要があります。

(EMU3nRESTHETA レジスタが $0000_{\text{H}} \sim 00\text{FF}_{\text{H}}$ となる入力であれば、EMU3nPXR を “16.0” とすることで、EMU3nTHTEFIX レジスタ値は $0000_{\text{H}} \sim 0\text{FF}0_{\text{H}}$ となります。)

以降に、**図 25.4** に記載される各関数の詳細を示します。

(1) Func(ang6) オフセット誤差重量

[ang6] オフセット誤差重量

説明	レゾルバ角度値にオフセット値を加算し出力します。
引数	rthti : 入力レゾルバ角度値 (EMU3nRESTHETA) *rthto : 出力レゾルバ角度値 (EMU3nTHTRESFIX)
関連レジスタ	EMU3nANGOFS : レゾルバ角オフセット値レジスタ (int12_t)
処理内容	<pre>void ang6 (uint12_t rthti, uint12_t *rthto) { *rthto = (rthti + EMU3nANGOFS) & 0x0FFF; }</pre>

(2) Func(ang7) 電気角算出

[ang7] 電気角算出

説明	レゾルバ角度値およびレゾルバ角周期数カウント値から電気角度値を算出します。
引数	rthti : レゾルバ角度値 (EMU3nTHTRESFIX) rthti_old : レゾルバ角度値 [前回値] (EMU3nTHTRESFIX [前回値]) ethti_old : 電気角度値 (EMU3nTHTEFIX [前回値]) *ethto : 電気角度値 (EMU3nTHTEFIX) *ethto_old : 電気角度値 [前回値] (EMU3nTHTEFIX [前回値])
関連レジスタ	EMU3nRESCNT : レゾルバ角周期カウント値レジスタ (uint3_t) EMU3nRESRLD : レゾルバ角極数設定レジスタ (uint3_t) EMU3nPXR : 電気角生成用係数レジスタ (int16_t)
処理内容	<pre>void ang7 (uint12_t rthti, uint12_t rthti_old, uint12_t ethti_old, uint12_t *ethto, uint12_t *ethto_old) { //注 : ethti_old の入力値には前回の ang7 実行時の ethto 値が格納されています。 // ang7 実行後に ethti_old の値が ethto_old に伝播します。 *ethto_old = ethti_old; //注: rthti_old には前回の角度生成 IP 実行時の rthti 値が格納されています。 uint1_t max2min, min2max; int5_t rescnt; uint15_t tmp_tht; if(0xF00 < rthti_old && rthti < 0x0FF) max2min = 1; else max2min = 0; if(0xF00 < rthti && rthti_old < 0x0FF) min2max = 1; else min2max = 0; if (max2min == 1)</pre>

	<pre> rescnt = EMU3nRESCNT + 1; else if(min2max == 1) rescnt = EMU3nRESCNT - 1; else rescnt = EMU3nRESCNT; if (rescnt > EMU3nRESRLD) EMU3nRESCNT = 0; else if (rescnt < 0) EMU3nRESCNT = EMU3nRESRLD; else EMU3nRESCNT = rescnt & 0x7; tmp_tht = (EMU3nRESCNT << 12) rthti ; *ethto = ((tmp_tht * EMU3nPXR) >> 8) & 0x0FFF ; *rthti_old = rthti; } </pre>
--	--

(3) Func(ang8) 角度コンペア一致

角度コンペア 0、角度コンペア 1、独立矩形 IP1 用 U 相、V 相、W 相コンペア一致は、以降のとおり判定されます。

COMP : 角度コンペア 0、角度コンペア 1、独立矩形 IP1 用 U 相、V 相、W 相コンペアレジスタ

i : 角度コンペア 1 一致判定の場合は 1、それ以外は 0

angle : 角度コンペア 0、独立矩形 IP1 用 U 相、V 相、W 相コンペアは EMU3nTHTEFIX
 角度コンペア 1 は EMU3nRESTHETA

正回転時

角度 (前回値) < コンペア設定値 ≤ 角度

逆回転時

角度 (前回値) > コンペア設定値 ≥ 角度

が成立した際に一致したと判定されます。

ただし、角度が“FFF_H”から“0_H”に変化する（もしくは“0_H”から“FFF_H”に変化する）場合を以て、コンペア一致を判断する際に追加条件が必要なことから、判断 1 と判断 2 を判断条件に追加していません。

角度が“FFF_H”から“0_H”に変化する場合

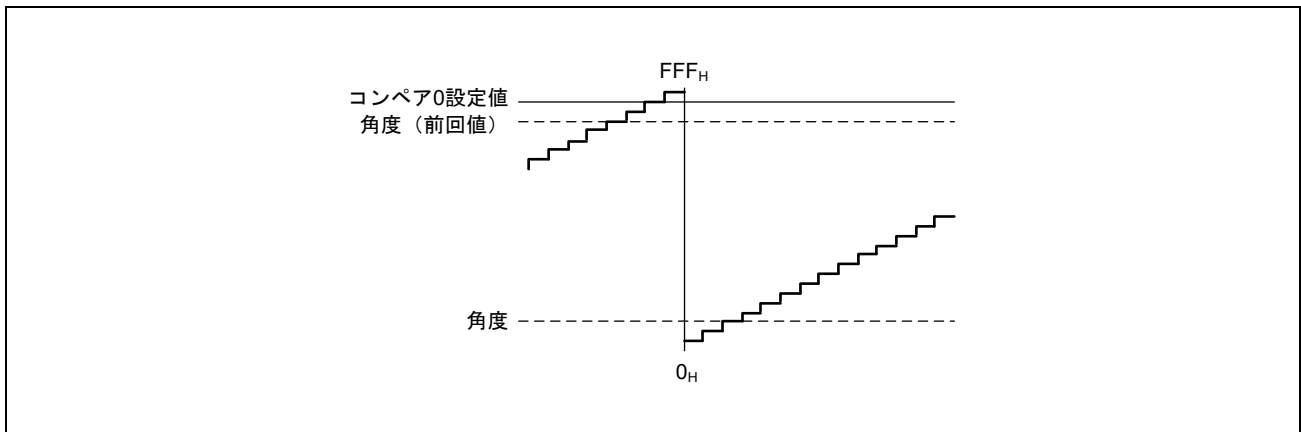


図 25.7 角度が FFF_Hから 0_Hに変化する場合

判断 1 : $FFF_H - EMU3nCPJUDi_u[7:0] < angle_u[11:0]$ (前回値) かつ $angle_u[11:0] < EMU3nCPJUDi_u[7:0]$

判断 2 : $FFF_H - EMU3nCPJUDi_u[7:0] < angle_u[11:0]$ かつ $angle_u[11:0]$ (前回値) $< EMU3nCPJUDi_u[7:0]$

正回転時

判断 1 = 不成立 AND 判断 2 = 不成立 AND $angle_u[11:0]$ (前回値) $< COMP \leq angle_u[11:0]$

逆回転時

判断 1 = 不成立 AND 判断 2 = 不成立 AND $angle_u[11:0]$ (前回値) $> COMP \geq angle_u[11:0]$

正回転かつ電気角が“FFF_H”から“0_H”に変化する場合

判断 1 = 成立 AND $((angle_u[11:0]$ (前回値) $< COMP) OR (COMP \leq angle_u[11:0]))$

逆回転かつ電気角が“0_H”から“FFF_H”に変化する場合

判断 2 = 成立 AND $((angle_u[11:0]$ (前回値) $> COMP) OR (COMP \geq angle_u[11:0]))$

角度コンペア 0 比較値選択処理では、EMU3nRECCTR レジスタの SLCTCMP0 ビットを“0”にすると EMU3nCMP0 レジスタの値を角度コンペア 0 比較値として設定します。EMU3nRECCTR レジスタの SLCTCMP0 ビットを“1”にすると矩形 IP 演算結果を設定します。但し、EMU3nRECCTR レジスタの SLCTCMP0 ビットが“1”の場合でも、EMU3 起動後 1 回目のコンペア動作は、角度コンペア 0 比較値には EMU3nCMP0 レジスタの値が設定されます。

(4) 矩形波出力のコンペア一致について

角度データと角度コンペア 0 一致、角度コンペア 1 一致において、コンペア一致後、同じ値で再度コンペア一致となっても、新たにコンペア値が設定されるまで、コンペア一致がキャンセルされます（フラグ制御）。この連続コンペア一致防止は、矩形 IP の起動以外の角度コンペア一致に適用されます。矩形 IP 動作中のコンペア一致による矩形 IP 起動は無視されます。

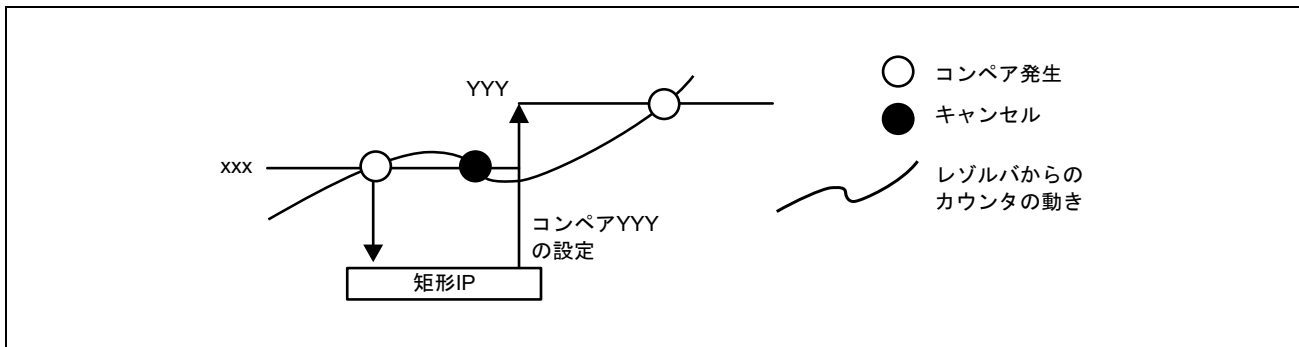


図 25.8 連続コンペア一致防止

(5) EMU3 初期化直後の角度コンペア 0 一致や角度コンペア 1 一致

EMU3 初期化直後は、角度生成 IP は以下の設定になります。

- 角度コンペア 0 一致のコンペア値は、EMU3nCMP0 レジスタにより 0° を選択
- 角度コンペア 1 一致のコンペア値は、EMU3nCMP1 レジスタにより 0° を選択
- 角度生成 IP への入力角度値は、EMU3nANGCTR レジスタの ANGSEL ビットにより「R/D コンバータからのレゾルバ角」を選択

EMU3 初期化直後に R/D コンバータ出力角度値が 0° 近傍に静止している場合、R/D コンバータの角度が揺れることがある（例えば、12 ビット $\pm 4\text{LSB}$ ）ため、角度コンペア 0 一致が発生して EMU3nINTSD レジスタの CMP0IF ビットが“1”になる場合があります。

同様に、角度コンペア 1 一致が発生して EMU3nINTSD レジスタの CMP1IF ビットが“1”になる場合があります。

25.4.3 入力 IP

入力 IP はモータの三相電流値および電気角を基に dq 軸電流値を算出します。モータの三相電流値については A/D コンバータからの変換値（三相電流値）である「EMU3nADk レジスタ (k=0, 1, 2)」もしくは IIR フィルタからの出力値「EMU3nIIROUTDATk レジスタ (k=0, 1, 2)」が適用されます。電気角については角度生成 IP からの電気角入力である「EMU3nTHTEFIX レジスタ」またはソフトウェア入力値である「EMU3nTHTESFT レジスタ」から選択することが可能です。

図 25.9 に入力 IP の処理の流れを示します。

入力 IP は EMU3nIPTRG レジスタの INIPTRG ビットで起動要因を選択した後、その要因が発生すると起動します。ソフトウェアトリガを選択した場合は、EMU3nIPSFT レジスタの INIPSFT ビットを“1”にすることで起動させることができます。また、EMU3nFUNCIDLEGRPA0 レジスタの IP ビットと SFTEN ビットを“1”にすることで、EMU3nIPTRG レジスタの INIPTRG ビットの値によらず、ソフトウェア起動させることもできます。

入力 IP の処理が完了すると、EMU3nINTSD レジスタの INIF ビットが“1”になります。INIF ビットは、EMU3nINTSDC レジスタの INIFC ビットに“1”を書くことでクリアすることができます。

以降に、図 25.9 に記載される各関数の詳細を示します。

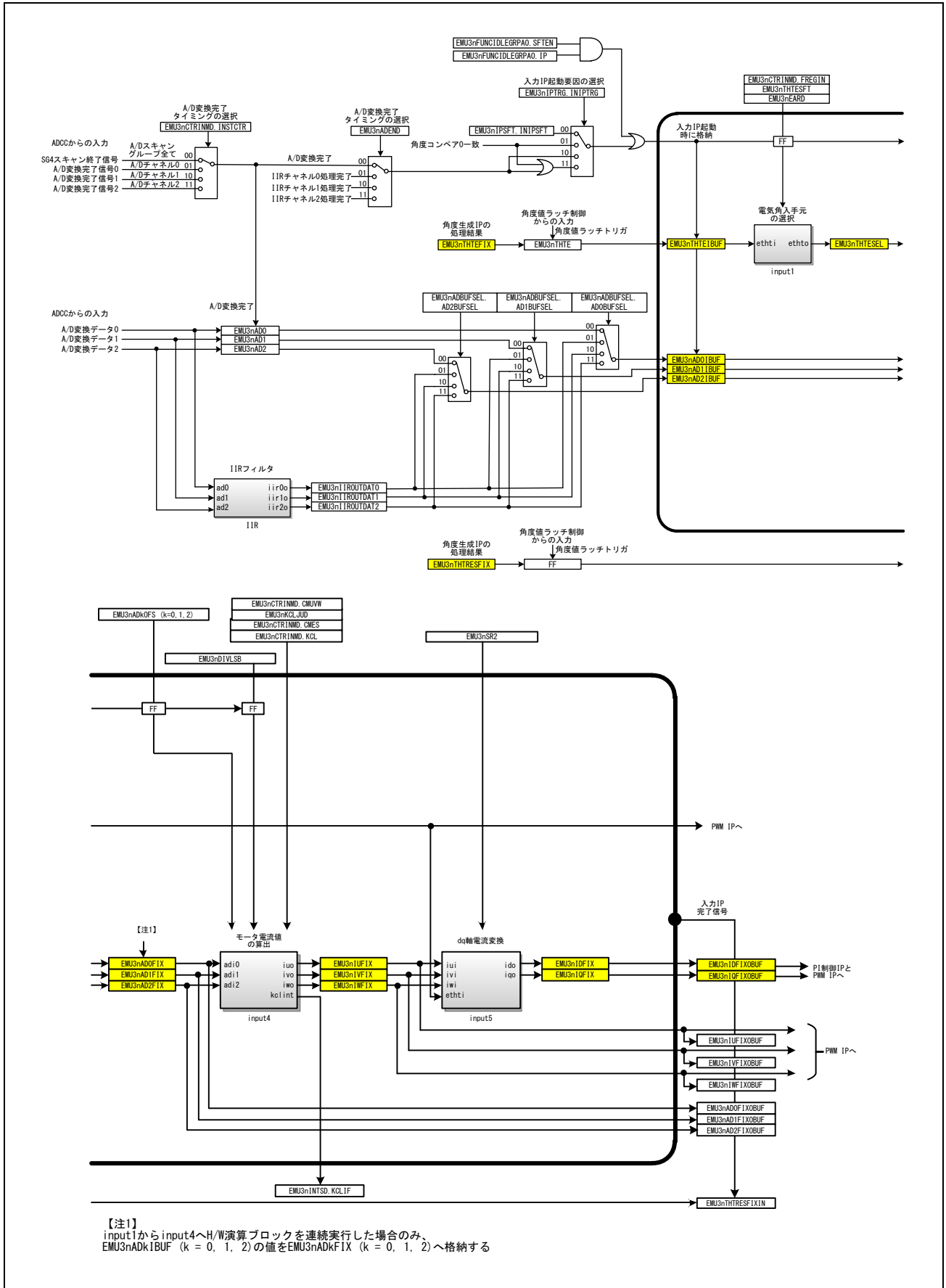


図 25.9 入力 IP の処理の流れ

(1) Func (input1) 電気角入手元の選択**[input1] 電気角入手元の選択**

説明	角度値にオフセット値を加算し出力します。
引数	ethi : 入力角度値 (EMU3nTHTEIBUF) *etho : 出力角度値 (EMU3nTHTESEL)
関連レジスタ	EMU3nCTRINMD.FREGIN : 角度データ選択ビット (値:0, 1) EMU3nTHTESFT : 入力 IP 用電気角ソフト入力レジスタ (uint12_t) EMU3nEARD : 電気角応答遅れ補正変数レジスタ (uint12_t) (値 : 0~4095)
処理内容	<pre>void input1 (uint12_t ethi, uint12_t *etho) { if (EMU3nCTRINMD.FREGIN == 0) *etho = EMU3nTHTESFT ; else *etho = (ethi + EMU3nEARD) & 0x0FFF ; }</pre>

(2) Func(input4) モータ電流値の算出**[input4] モータ電流値の算出**

説明	モータ電流値を算出します。
引数	adi0 : 入力 A/D ch0 電流値 (EMU3nAD0FIX) *iuo : 出力 U 相電流値 (EMU3nIUFIX) adi1 : 入力 A/D ch1 電流値 (EMU3nAD1FIX) *ivo : 出力 V 相電流値 (EMU3nIVFIX) adi2 : 入力 A/D ch2 電流値 (EMU3nAD2FIX) *iwo : 出力 W 相電流値 (EMU3nIWFIX) *kclint : 出力割り込み要因 (EMU3nINTSD.KCLIF)
関連レジスタ	EMU3nADkOFS (k = 0, 1, 2) : A/D チャンネル k 原点補正値レジスタ (int16_t) EMU3nCTRINMD.CMES : 電流値測定対象選択ビット (0, 1) EMU3nDIVLSB : LSB 調整レジスタ (int32_t) EMU3nCTRINMD.CMUVW : 電流値測定対象選択ビット (0, 1, 2, 4) EMU3nCTRINMD.KCL : キルヒホッフ電流則違反検出設定ビット (0, 1) EMU3nKCLJUD : キルヒホッフ電流則判定閾値レジスタ (uint31_t)
処理内容	<pre>// モータ電流値の算出 void input4 (int16_t adi0, int16_t adi1, int16_t adi2, int32_t *iuo, int32_t *ivo, int32_t *iwo, uint1_t *kclint) { int16_t tmp0, tmp1, tmp2; int32_t tmpu; int32_t kcl; tmp0 = adi0 - EMU3nAD0OFS; tmp1 = adi1 - EMU3nAD1OFS; tmp2 = adi2 - EMU3nAD2OFS; *ivo = (tmp0 * EMU3nDIVLSB) >> 16; *iwo = (tmp1 * EMU3nDIVLSB) >> 16; tmpu = (tmp2 * EMU3nDIVLSB) >> 16; if (EMU3nCTRINMD.KCL == 1) { // キルヒホッフ電流則の違反検出 kcl = tmpu + *ivo + *iwo ; if (kcl > EMU3nKCLJUD) *kclint = 1; else if (kcl < -EMU3nKCLJUD) *kclint = 1; else *kclint = 0; } if (EMU3nCTRINMD.CMES == 0) { *iuo = - (*ivo + *iwo); } else { *iuo = tmpu; if (EMU3nCTRINMD.CMUVW == 2) { *ivo = - (*iwo + *iuo); } else if (EMU3nCTRINMD.CMUVW == 4) { *iwo = - (*iuo + *ivo); } else if (EMU3nCTRINMD.CMUVW == 1) { *iuo = - (*iwo + *ivo); } } }</pre>

処理説明：モータ電流値の算出処理

A/D 変換値から U/V/W 相の電流値の算出では、下図のように A/D 値を量子化しています。

A/D 変換値を unsigned から signed に変換するための原点補正値を、EMU3nADkOFS レジスタに設定します。A/D 変換値を EMU3nADkOFS レジスタで減算することで、符号あり整数値の A/D データを算出します。

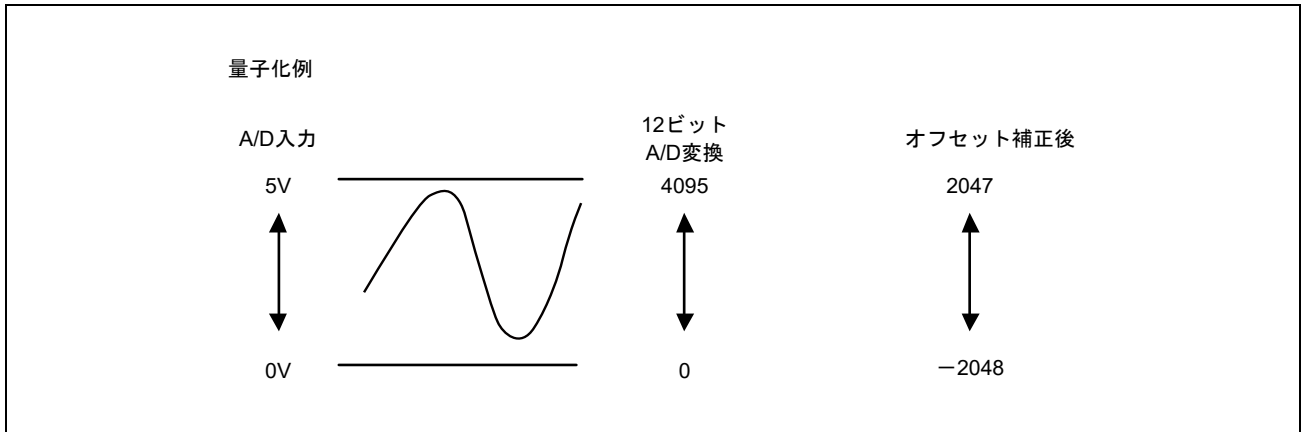


図 25.10 A/D 値の量子化例、および、オフセット補正による符号あり整数値の A/D データの算出

処理説明：キルヒホッフ電流則違反検出処理

U/V/W 相のモータ電流値は、キルヒホッフの第一法則（電流則）に従い、基本的には各相の総和がゼロになります。

各相の総和が閾値を超える場合、いずれかの相の制御フィードバックループにて回路故障が発生していると推測されます。

EMU3nCTRINMD レジスタの KCL ビットを“1”（キルヒホッフ電流則の違反検出を有効）に設定した場合、各相の総和が EMU3nKCLJUD レジスタで設定する閾値を超えると、キルヒホッフ電流則違反検出の割り込み要因を発生させます。

上記割り込み要因発生時に、EMU3nINTSD レジスタの KCLIF ビットが“1”になります。KCLIF ビットは、EMU3nINTSDC レジスタの KCLIFC ビットに“1”を書くことでクリアすることができます。

$$-Jud \leq I_u + I_v + I_w \leq Jud$$

が成立しない場合、キルヒホッフ電流則の割り込み要因を発生する

I_u : U 相のモータ電流値

I_v : V 相のモータ電流値

I_w : W 相のモータ電流値

Jud : キルヒホッフ電流則判定閾値 (EMU3nKCLJUD)

(3) Func(input5) dq 軸電流変換

[input5] dq 軸電流変換

説明	UVW 相電流値を dq 軸電流値へ変換します。
引数	<p>iui : 入力 U 相電流値 (EMU3nIUFIX) *ido : 出力 d 軸電流値 (EMU3nIDFIX)</p> <p>ivi : 入力 V 相電流値 (EMU3nIVFIX) *iqo : 出力 q 軸電流値 (EMU3nIQFIX)</p> <p>iwi : 入力 W 相電流値 (EMU3nIWFIX)</p> <p>ethi : 入力電気角 (EMU3nTHTESEL)</p>
関連レジスタ	EMU3nSR2 : dq 軸電流変換係数レジスタ(int32_t)
処理内容	<pre> void input5 (int32_t iui, int32_t ivi, int32_t iwi, uint12_t ethi, int32_t *ido, int32_t *iqo) { int32_t sin60, sin30; int32_t cos60, cos30; //sin(θ +60°) = (sin(θ) * cos(60°) + cos(θ) * sin(60°)) >> 15; sin60 = (sin_table[ethi] * 0x4000 + cos_table[ethi] * 0x6EDA) >> 15; //sin(θ +30°) = (sin(θ) * cos(30°) + cos(θ) * sin(30°)) >> 15; sin30 = (sin_table[ethi] * 0x6EDA + cos_table[ethi] * 0x4000) >> 15; //cos(θ +60°) = (cos(θ) * cos(60°) - sin(θ) * sin(60°)) >> 15; cos60 = (cos_table[ethi] * 0x4000 - sin_table[ethi] * 0x6EDA) >> 15; //cos(θ +30°) = (cos(θ) * cos(30°) - sin(θ) * sin(30°)) >> 15; cos30 = (cos_table[ethi] * 0x6EDA - sin_table[ethi] * 0x4000) >> 15; *ido = (EMU3nSR2 * ((cos_table[ethi] * iui) >> 15) - ((cos60 * ivi) >> 15) - ((sin30 * iwi) >> 15)) >> 16; *iqo = (EMU3nSR2 * (-((sin_table[ethi] * iui) >> 15) + ((sin60 * ivi) >> 15) - ((cos30 * iwi) >> 15)) >> 16; } </pre> <p>// sin(), cos()は小数部 15bit の符号付き固定小数点データです。 // sin(30°) = 0x00004000; “sin(30°)” を 0x8000 倍した値です。 // cos(60°) = 0x00004000; “cos(60°)” を 0x8000 倍した値です。 // sin(60°) = 0x00006EDA; “sin(60°)” を 0x8000 倍した値です。 // cos(30°) = 0x00006EDA; “cos(30°)” を 0x8000 倍した値です。 // sin_table, cos_table は、 // 12bit の電気角をインデックス(1bit 毎)としたテーブルから生成された // 小数部 15bit の 32bit 符号付き固定小数点データです。</p>

処理説明 : dq 軸電流変換処理

U/V/W 相電流値 (EMU3nIUFIX、EMU3nIVFIX、EMU3nIWFIX) と電気角 θ (EMU3nTHTESEL) から dq 軸電流値 (EMU3nIDFIX、EMU3nIQFIX) を生成します。

以下に U/V/W 相電流値 (I_u 、 I_v 、 I_w) の入力データから dq 軸電流値 (I_d 、 I_q) を生成する公式を示します。

$$I_d = \sqrt{\frac{2}{3}} \times (\cos \theta \times I_u - \cos(\theta + 60^\circ) \times I_v - \sin(\theta + 30^\circ) \times I_w)$$

$$I_q = \sqrt{\frac{2}{3}} \times (-\sin \theta \times I_u + \sin(\theta + 60^\circ) \times I_v - \cos(\theta + 30^\circ) \times I_w)$$

θ	: EMU3nTHTESEL レジスタで示される電気角
I_u	: EMU3nIUFIX レジスタで示される U 相電流値
I_v	: EMU3nIVFIX レジスタで示される V 相電流値
I_w	: EMU3nIWFIX レジスタで示される W 相電流値
I_d	: EMU3nIDFIX レジスタで示される d 軸電流値
I_q	: EMU3nIQFIX レジスタで示される q 軸電流値

25.4.4 PI 制御 IP

PI 制御 IP は dq 軸電流値から dq 軸電圧値を生成します。dq 軸電流値については、入力 IP の演算結果である「EMU3nIDFIX レジスタおよび EMU3nIQFIX レジスタ」またはソフトウェア入力値である「EMU3nID レジスタおよび EMU3nIQ レジスタ」から選択することが可能です。

PI 制御 IP は EMU3nIPTRG レジスタの PIIPTRG ビットを“1”に設定すると入力 IP 完了時に起動します。PIIPTRG ビットを“0”にした場合は、EMU3nIPSFT レジスタの PIIPSFT ビットを“1”にすることで起動させることができます。また、EMU3nFUNCIDLEGRPA1 レジスタの IP ビットと SFTEN ビットを“1”にすることで、EMU3nIPTRG レジスタの PIIPTRG ビットの値によらず、ソフトウェア起動させることもできます。

PI 制御 IP の処理が完了すると、EMU3nINTSD レジスタの PIIF ビットが“1”になります。PIIF ビットは、EMU3nINTSDC レジスタの PIIFC ビットに“1”を書くことでクリアすることができます。

図 25.11 に PI 制御 IP の処理の流れを示します。

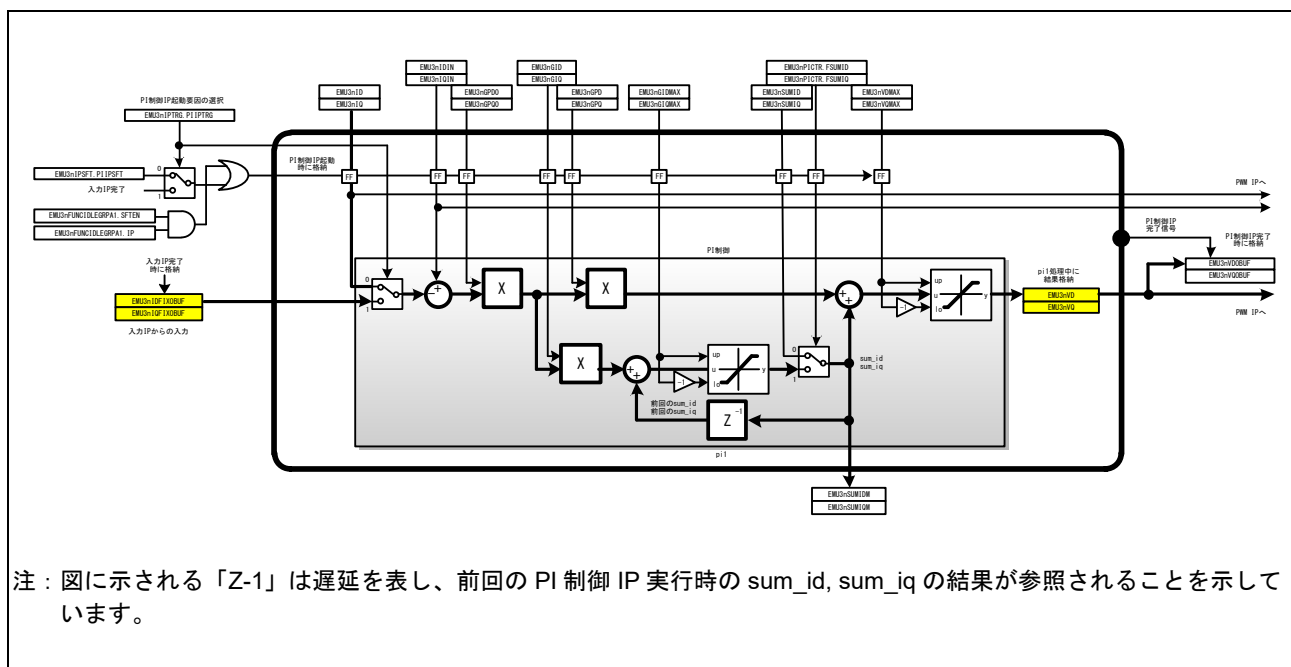


図 25.11 PI 制御 IP の処理の流れ

(1) Func(pi1) pi 制御

[pi1] pi 制御

説明	d,q 軸電流値から d,q 軸電圧値を生成します。	
引数	<u>in_id</u> : 入力 d 軸電流値 (EMU3nIDFIXOBUF) <u>in_iq</u> : 入力 q 軸電流値 (EMU3nIQFIXOBUF)	<u>*out_vd</u> : 出力 d 軸電圧値 (EMU3nVD) <u>*out_vq</u> : 出力 q 軸電圧値 (EMU3nVQ)
関連レジスタ	EMU3nPTRG.PIPTRG :PI 制御 IP 起動トリガ選択ビット(値:0,1) EMU3nIDIN :d 軸電流指令値レジスタ(int32_t) EMU3nIQIN :q 軸電流指令値レジスタ(int32_t) EMU3nID :d 軸電流値ソフト入力レジスタ(int32_t) EMU3nIQ :q 軸電流値ソフト入力レジスタ(int32_t) EMU3nGPD0 :d 軸比例ゲイン 0 レジスタ(int32_t) EMU3nGPQ0 :q 軸比例ゲイン 0 レジスタ(int32_t) EMU3nGID :d 軸積分ゲインレジスタ(int32_t) EMU3nGIQ :q 軸積分ゲインレジスタ(int32_t) EMU3nPICTR.FSUMID :d 軸積分値選択ビット (値:0,1) EMU3nPICTR.FSUMIQ :q 軸積分値選択ビット (値:0,1) EMU3nSUMID :d 軸積分値ソフト入力レジスタ(int32_t) EMU3nSUMIQ :q 軸積分値ソフト入力レジスタ(int32_t) EMU3nGIDMAX :d 軸積分最大値レジスタ(uint31_t) EMU3nGIQMAX :q 軸積分最大値レジスタ(uint31_t) EMU3nSUMIDM :d 軸積分値モニタレジスタ(int32_t) EMU3nSUMIQM :q 軸積分値モニタレジスタ(int32_t) EMU3nGPD :d 軸比例ゲインレジスタ(int32_t) EMU3nGPQ :q 軸比例ゲインレジスタ(int32_t) EMU3nVDMAX :d 軸電圧最大値レジスタ(uint31_t) EMU3nVQMAX :q 軸電圧最大値レジスタ(uint31_t)	
処理内容	<pre> void pi1 (int32_t <u>in_id</u>, int32_t <u>in_iq</u>, int32_t <u>*out_vd</u>, int32_t <u>*out_vq</u>) { static int32_t sum_id=0, sum_iq=0; int32_t ids,iqs; if(EMU3nPTRG.PIPTRG == 0) { // ソフトトリガ起動 ids = ((EMU3nIDIN - EMU3nID) * EMU3nGPD0) >> 16; iqs = ((EMU3nIQIN - EMU3nIQ) * EMU3nGPQ0) >> 16; } else { // 入力 IP 完了起動 ids = ((EMU3nIDIN - <u>in_id</u>) * EMU3nGPD0) >> 16; iqs = ((EMU3nIQIN - <u>in_iq</u>) * EMU3nGPQ0) >> 16; } sum_id += (ids * EMU3nGID) >> 16; sum_iq += (iqs * EMU3nGIQ) >> 16; if (EMU3nGIDMAX < sum_id) sum_id = EMU3nGIDMAX; else if (sum_id < -EMU3nGIDMAX) sum_id = -EMU3nGIDMAX; if (EMU3nGIQMAX < sum_iq) sum_iq = EMU3nGIQMAX; else if (sum_iq < -EMU3nGIQMAX) sum_iq = -EMU3nGIQMAX; if (EMU3nPICTR.FSUMID == 0) sum_id = EMU3nSUMID; if (EMU3nPICTR.FSUMIQ == 0) sum_iq = EMU3nSUMIQ; </pre>	

```

EMU3nSUMIDM = sum_id;
EMU3nSUMIQM = sum_iq;

*out_vd = sum_id + ((ids * EMU3nGPD) >> 16);
*out_vq = sum_iq + ((iqs * EMU3nGPQ) >> 16);

if ( EMU3nVDMAX < *out_vd )
    *out_vd = EMU3nVDMAX;
else if ( *out_vd < -EMU3nVDMAX )
    *out_vd = -EMU3nVDMAX;
if ( EMU3nVQMAX < *out_vq )
    *out_vq = EMU3nVQMAX;
else if ( *out_vq < -EMU3nVQMAX )
    *out_vq = -EMU3nVQMAX;
}

```

25.4.5 PWM IP

PWM IP は dq 軸電圧値と電気角から PWM コンペア値を算出します。dq 軸電圧値については PI 制御 IP の演算結果である「EMU3nVD レジスタおよび EMU3nVQ レジスタ」等から選択でき、電気角については入力 IP からの入力、角度生成 IP からの入力またはソフトウェア入力である「EMU3nTHTFORESFT レジスタ」から選択できます。

図 25.12 に PWM IP の処理の流れを示します。

PWM IP は EMU3nIPTRG レジスタの PWMIPTRG ビットを“1”に設定すると PI 制御 IP 完了時に起動します。PWM3nIPTRG ビットを“0”にした場合は、EMU3nIPSFT レジスタの PWMIPSFT ビットを“1”にすることで起動させることができます。また、EMU3nFUNCIDLEGRPA2 レジスタの IP ビットと SFTEN ビットを“1”にすることで、EMU3nIPTRG レジスタの PWMIPTRG ビットの値によらず、ソフトウェア起動させることもできます。

PWM IP の処理が完了すると、EMU3nINTSD レジスタの PWMIF ビットが“1”になります。PWMIF ビットは、EMU3nINTSDC レジスタの PWMIFC ビットに“1”を書くことでクリアすることができます。

以降に、図 25.12 に記載される各関数の詳細を示します。

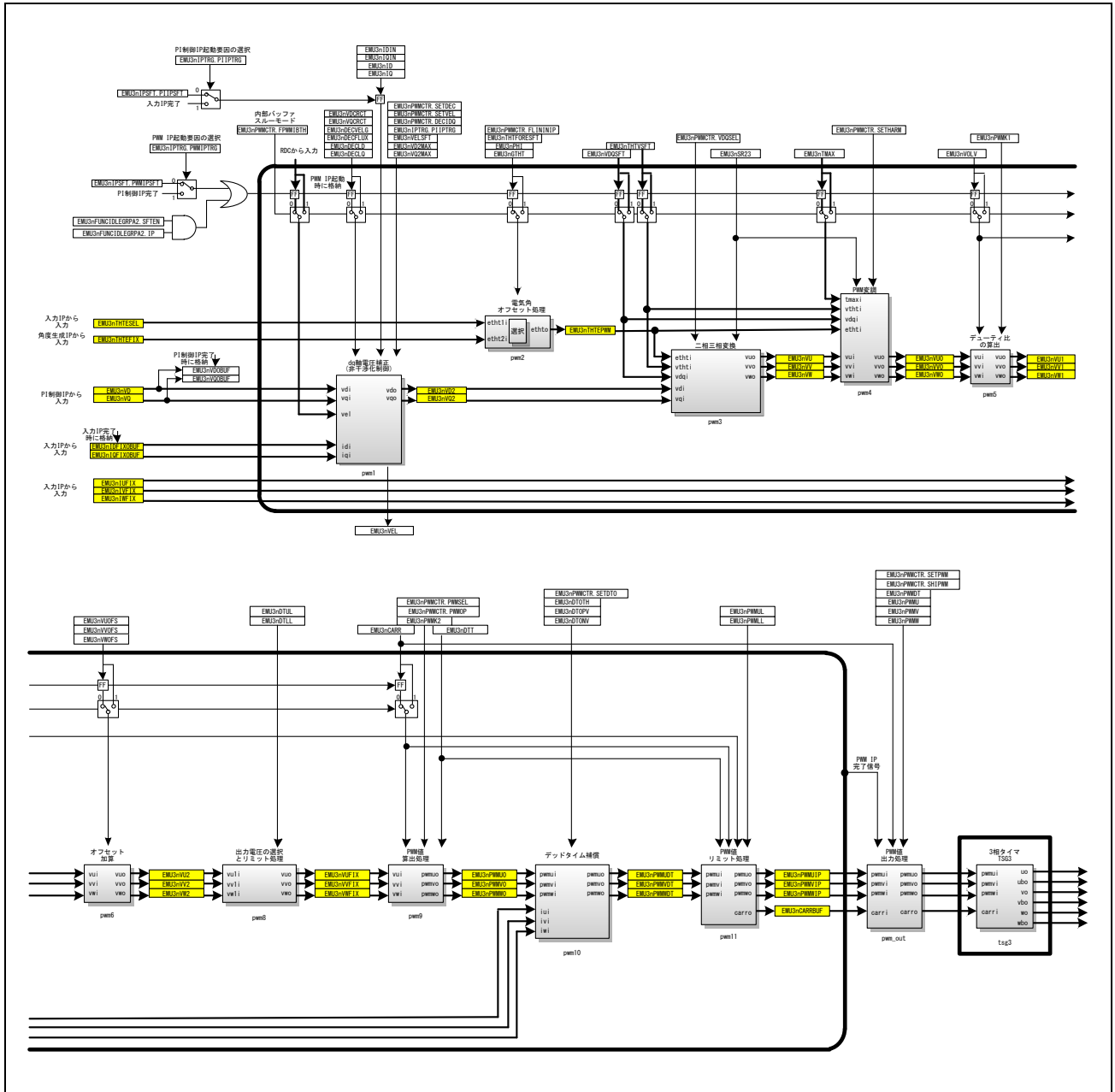


図 25.12 PWM IP の処理の流れ

(1) Func (pwm1) dq 軸電圧補正 (非干渉化制御)

[pwm1] dq 軸電圧補正 (非干渉化制御) 処理

説明	dq 軸電圧値に対してレジスタにて任意の値を加算します。 非干渉化制御の計算処理を行います。
引数	<u>vdj</u> : 入力 d 軸電圧値 (EMU3nVD) <u>vqj</u> : 入力 q 軸電圧値 (EMU3nVQ) <u>idi</u> : 入力 d 軸電流値 (EMU3nIDFIXOBUF) <u>iqi</u> : 入力 q 軸電流値 (EMU3nIQFIXOBUF) <u>vel</u> : 入力角速度値 (RDC から入力) <u>*vdo</u> : 出力 d 軸電圧値 (EMU3nVD2) <u>*vqo</u> : 出力 q 軸電圧値 (EMU3nVQ2)
関連レジスタ	EMU3nVDCRCT : d 軸電圧補正值レジスタ (int32_t) EMU3nVQCRCT : q 軸電圧補正值レジスタ (int32_t) EMU3nPWMCTR.SETDEC : 非干渉化制御設定ビット (0, 1) EMU3nPWMCTR.SETVEL : 角速度選択ビット (0, 1) EMU3nPWMCTR.DECIDQ : 非干渉化制御 dq 軸電流値選択ビット (0, 1, 2) EMU3nID : d 軸電流ソフト入力レジスタ (int32_t) EMU3nIQ : q 軸電流ソフト入力レジスタ (int32_t) EMU3nIDIN : d 軸電流指令値レジスタ (int32_t) EMU3nIQIN : q 軸電流指令値レジスタ (int32_t) EMU3nVELSFT : 角速度値ソフト入力レジスタ (int32_t) EMU3nVEL : 角速度値レジスタ (int32_t) EMU3nDECVELG : 非干渉化制御係数角速度値ゲインレジスタ (int32_t) EMU3nDECFLUX : 非干渉化制御係数磁束値レジスタ (int32_t) EMU3nDECLD : 非干渉化制御係数 Ld 値レジスタ (int32_t) EMU3nDECLQ : 非干渉化制御係数 Lq 値レジスタ (int32_t) EMU3nVD2MAX : 非干渉化制御 d 軸最大値レジスタ (uint31_t) EMU3nVQ2MAX : 非干渉化制御 q 軸最大値レジスタ (uint31_t)
処理内容	<pre>void pwm1 (int26_t vel, int32_t vdj, int32_t vqj, int32_t idi, int32_t iqi, int32_t *vdo, int32_t *vqo) { int32_t tmpd, tmpq; EMU3nVEL = (vel * 0x001DF5E7) >>16; if(EMU3nPWMCTR.SETDEC == 0){ //非干渉化制御の処理を無効 tmpd = vdj + EMU3nVDCRCT; tmpq = vqj + EMU3nVQCRCT; } else { // 非干渉化制御の処理を有効 int32_t tmp_vel; int32_t tmp_id, tmp_iq; int32_t tmp0, tmp1, tmp2, tmp3; if(EMU3nPWMCTR.SETVEL == 0) // 角速度ソフト入力を選択</pre>

```

    tmp_vel = EMU3nVELSFT;

    else {
        tmp_vel = EMU3nVEL;
    }

    if(EMU3nPWMCTR.DECIDQ == 0 ){ // dq 軸電流値ソフト入力(PI 制御 IP 使用時)を選択
        tmp_id = EMU3nID;
        tmp_iq = EMU3nIQ;
    } else if(EMU3nPWMCTR.DECIDQ == 1 ){ // 入力 IP 完了後の dq 軸電流値を選択
        tmp_id = idj;
        tmp_iq = iqj;
    } else if(EMU3nPWMCTR.DECIDQ == 2 ){ // dq 軸電流指令値を選択
        tmp_id = EMU3nIDIN;
        tmp_iq = EMU3nIQIN;
    }

    tmp0 = (tmp_vel * EMU3nDECVELG ) >> 16;

    tmp1 = (tmp_id * EMU3nDECLD ) >> 16;
    tmp2 = (tmp_iq * EMU3nDECLQ ) >> 16;

    tmp1 = (tmp0 * tmp1 ) >> 12;
    tmp2 = (tmp0 * tmp2 ) >> 12;
    tmp3 = (tmp0 * EMU3nDECFLUX ) >> 28;

    tmpd = vdj - tmp2;
    tmpq = vqj + tmp1 + tmp3;
}

if (tmpd > EMU3nVD2MAX)
    *vd0 = EMU3nVD2MAX;
else if(tmpd < -EMU3nVD2MAX)
    *vd0 = -EMU3nVD2MAX;
else
    *vd0 = tmpd;
if (tmpq > EMU3nVQ2MAX)
    *vq0 = EMU3nVQ2MAX;
else if(tmpq < -EMU3nVQ2MAX)
    *vq0 = -EMU3nVQ2MAX;
else
    *vq0 = tmpq;
}

```

処理説明：角速度算出処理

PWM IP は非干渉化制御向けにレゾルバ角の角速度算出の処理機能を備えます。

R/D コンバータから出力される角速度値は、符号付 26 ビットで 1LSB は約 0.07[min^{-1}]に相当します。RDC 角速度相当[min^{-1}]のデータ信号に H/W アクセラレータ内部にて補正係数で乗算し、実際の角速度[min^{-1}]を 16 進数で取得した上で ($2\pi/60$) を乗算し、EMU3nVEL レジスタに小数部 12bit、全長符号付 32bit の角速度値[rad/sec]として格納します。

角速度[rad/sec] (小数部 12bit)

=RDC 角速度値[25:0] (符号 bit 拡張) × 補正係数 (0.0698...) × ($2\pi/60$)

=RDC 角速度値[25:0] (符号 bit 拡張) × 001DF5E7_H >> 16

001DF5E7_H: 補正係数 (0.0698...)×($2\pi/60$) を 1000 0000_H(268435456) 倍した全長 32bit の固定値信号

ソフト入力値である EMU3nVELSFT レジスタを使用する場合は、小数部 12bit、全長符号付 32bit の角速度値[rad/sec]として設定して下さい。

処理説明：非干渉化制御

PWM IP は、非干渉化制御の処理機能を備えます。

d 軸電流および q 軸電流が互いに干渉し合う関係にあるため予め d 軸、q 軸に対して補正しておくことで、制御効率を良くすることができます。

実行される補正処理は以下の通りです。各係数値は予め CPU プログラムから設定しておく必要があります。角速度には R/D コンバータから出力される角速度値 EMU3nVEL レジスタの値を適用するほか、EMU3nVELSFT レジスタを使用したソフト入力値を適用することができます。

$$vd^* = vd' - (iq \times (\omega \times \omega \text{ゲイン}) \times Lq)$$

$$vq^* = vq' + (id \times (\omega \times \omega \text{ゲイン}) \times Ld) + ((\omega \times \omega \text{ゲイン}) \times \phi)$$

vd* : 非干渉化制御機能から出力される d 軸電圧値

vq* : 非干渉化制御機能から出力される q 軸電圧値

vd' : 非干渉化制御機能へ入力される d 軸電圧値 (PI 制御後の d 軸)

vq' : 非干渉化制御機能へ入力される q 軸電圧値 (PI 制御後の q 軸)

id : 図の EMU3nID、EMU3nIDFIXOBUF、EMU3nIDIN の何れかで示される d 軸電流値 (PI 制御前の d 軸)

iq : 図の EMU3nIQ、EMU3nIQFIXOBUF、EMU3nIQIN の何れかで示される q 軸電流値 (PI 制御前の q 軸)

ω : EMU3nVEL または EMU3nVELSFT で示される角速度値^{注 1}

ω ゲイン : EMU3nDECVELG で示される角速度値に対する係数値

Ld : EMU3nDECLD で示される d 軸インダクタンス値

Lq : EMU3nDECLQ で示される q 軸インダクタンス値

ϕ : EMU3nDECFLUX で示される磁束値

注 1. ω はレゾルバ角の角速度を示すため、電気角の角速度への変換係数も ω ゲインで設定して下さい。

(3) Func(pwm3) 二相三相変換

[pwm3] 二相三相変換 処理

説明	dq 軸電圧値を UVW 相電圧値へ変換します。
引数	$ethi$: 入力電気角値 (EMU3nTHTEPWM) $*vuo$: 出力 U 相電圧値 (EMU3nVU) $vthi$: 入力 dq 軸電圧位相角ソフト入力値 (EMU3nTHTVSFT) $*vvo$: 出力 V 相電圧値 (EMU3nVV) vdi : 入力 d 軸電圧値 (EMU3nVD2) $*vwo$: 出力 W 相電圧値 (EMU3nVW) vqi : 入力 q 軸電圧値 (EMU3nVQ2) $vdqi$: 入力 dq 軸電圧値ソフト入力値 (EMU3nVDQSFT)
関連レジスタ	EMU3nPWMCTR.VDQSEL : dq 軸電圧入力選択ビット (0, 1) EMU3nSR23 : 三相電圧変換係数レジスタ (int32_t)
処理内容	<pre>void pwm3 (uint12_t ethi, uint12_t vthi, int32_t vdi, int32_t vqi, int32_t vdqi, int32_t *vuo, int32_t *vvo, int32_t *vwo) { int32_t tmpd; int32_t A1, A2, B1, B2; // sin(), cos()は小数部 15bit の符号付き固定小数点データです。 const int32_t cos0 = 0x00008000; // "cos(0°)" を 0x8000 倍した値です。 const int32_t sin0 = 0x00000000; // "sin(0°)" を 0x8000 倍した値です。 const int32_t cos120 = 0xFFFFC000; // "cos(120°)" を 0x8000 倍した値です。 const int32_t sin120 = 0x00006EDA; // "sin(120°)" を 0x8000 倍した値です。 if (EMU3nPWMCTR.VDQSEL == 0) { tmpd = vdi; A1 = cos_table[ethi]; A2 = sin_table[ethi]; // cos(θ+120°) = (cos(θ) * cos(120°) - sin(θ) * sin(120°)) >> 15; B1 = (cos_table[ethi] * cos120 - sin_table[ethi] * sin120) >> 15; // sin(θ+120°) = (sin(θ) * cos(120°) + cos(θ) * sin(120°)) >> 15; B2 = (sin_table[ethi] * cos120 + cos_table[ethi] * sin120) >> 15; } else { // Vdq/Vθ 使用 tmpd = vdqi; A1 = cos_table[ethi+vthi]; A2 = 0; // cos((θ+Vθ)+120°) = (cos(θ+Vθ) * cos(120°) - sin(θ+Vθ) * sin(120°)) >> 15; B1 = (cos_table[ethi+vthi] * cos120 - sin_table[ethi+vthi] * sin120) >> 15; B2 = 0; } *vuo = (EMU3nSR23 * ((A1 * tmpd) >> 15) - ((A2 * vqi) >> 15)) >> 16; *vvo = (EMU3nSR23 * ((B1 * tmpd) >> 15) - ((B2 * vqi) >> 15)) >> 16; *vwo = -(*vuo + *vvo); }</pre>

	<pre>// sin_table, cos_table は、 // 12bit の電気角をインデックス(1bit 毎)としたテーブルから生成された // 小数部 15bit の 32bit 符号付き固定小数点データです。</pre>
--	---

処理説明：二相三相変換処理

dq 軸の入力データとして、電気角 θ (EMU3nTHTEPWM) 以外に、下記 2 種類のデータから U/V/W 相電圧値を生成します。

以下に dq 軸の入力データから U/V/W 相電圧値 (V_u 、 V_v 、 V_w) を生成する公式を示します。

入力データ「d 軸電圧： V_d (EMU3nVD2)、q 軸電圧： V_q (EMU3nVQ2)」

$$V_u = \sqrt{\frac{2}{3}} \cdot (V_d \cdot \cos \theta - V_q \cdot \sin \theta)$$

$$V_w = \sqrt{\frac{2}{3}} \cdot (V_d \cdot \cos(\theta + 120^\circ) - V_q \cdot \sin(\theta + 120^\circ))$$

$$V_v = -(V_u + V_w)$$

入力データ「dq 軸電圧値： V_{dq} (EMU3nVDQSFT)、dq 軸電圧位相角： V_θ (EMU3nTHTVSFT)」

$$V_{dq} = \sqrt{V_d^2 + V_q^2}$$

$$V_\theta = \tan^{-1} \frac{V_q}{V_d}$$

$$V_u = \sqrt{\frac{2}{3}} \cdot V_{dq} \cdot \cos(\theta + V_\theta)$$

$$V_w = \sqrt{\frac{2}{3}} \cdot V_{dq} \cdot \cos(\theta + V_\theta + 120^\circ)$$

$$V_v = -(V_u + V_w)$$

- θ : EMU3nTHTEPWM レジスタで示される電気角
- Vd : EMU3nVD2 レジスタで示される d 軸電圧
- Vq : EMU3nVQ2 レジスタで示される q 軸電圧
- Vdq : EMU3nVDQSFT レジスタで示される dq 軸電圧
- V_θ : EMU3nTHTVSFT レジスタで示される dq 軸電圧位相角
- V_u : EMU3nVU レジスタで示される U 相電圧値
- V_v : EMU3nVV レジスタで示される V 相電圧値
- V_w : EMU3nVW レジスタで示される W 相電圧値

(4) Func(pwm4) PWM 変調

EMU3nVU、EMU3nVV、EMU3nVW の三相電圧値を変調し EMU3nVU0、EMU3nVV0、EMU3nVW0 へ出力します。処理の詳細に関しては弊社営業窓口までお問い合わせください。

[pwm4] PWM 変調 処理

処理説明：出力電圧特性の向上に向けた変調機能

PWM IP は出力電圧特性の向上を目的とした、三相電圧波形の変調機能を備えます。

変調機能を使用せずに得られる波形が図 25.13 であるのに対して、変調機能を使用した場合に得られる波形は図 25.14 の通りです。変調機能を使用することで「同じ振幅の三相電圧波形で、大きな振幅の線間電圧波形が得られる」ようになります。

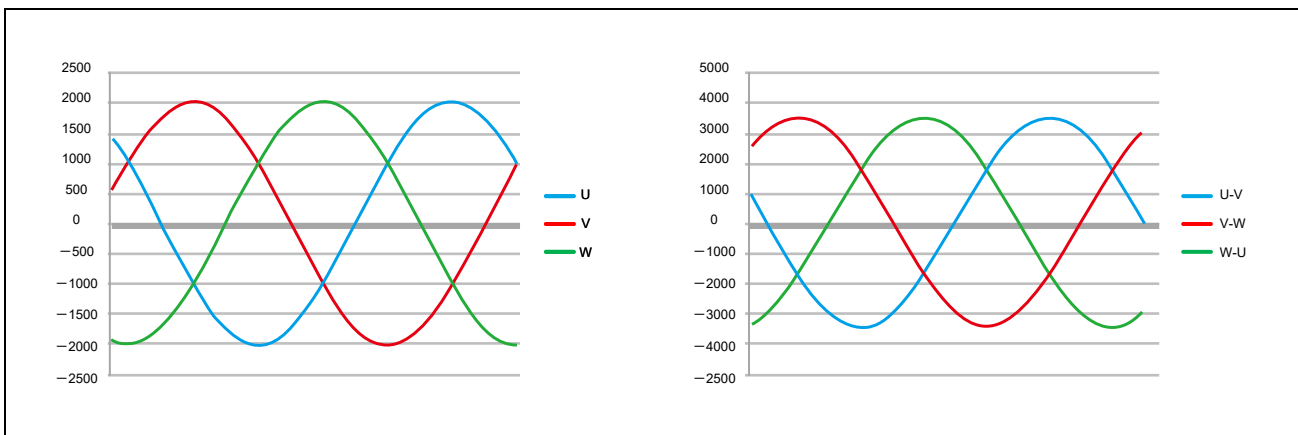


図 25.13 変調なしの三相波形（左：三相電圧波形、右：線間電圧波形）

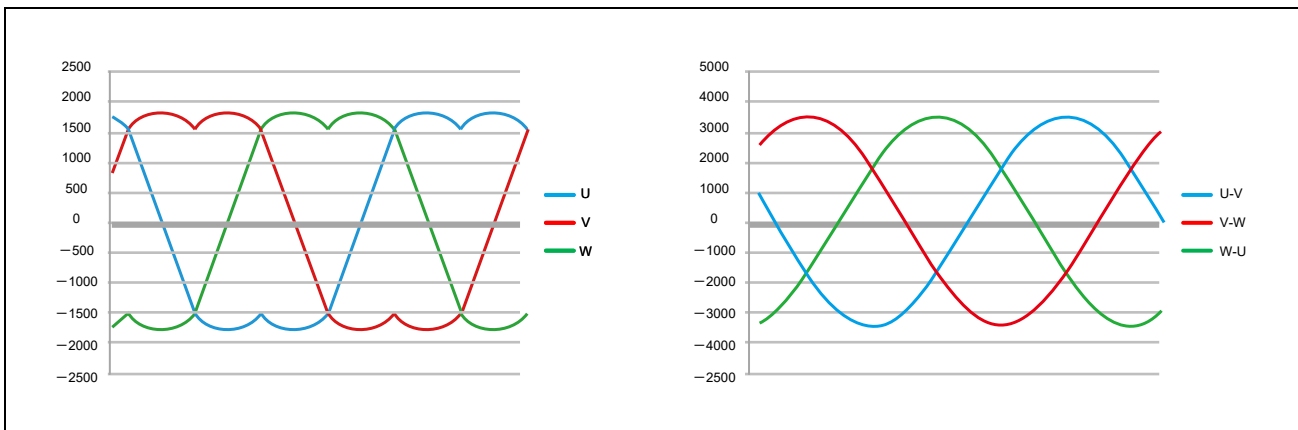


図 25.14 変調あり (SETHARM = 1) の三相波形（左：三相電圧波形、右：線間電圧波形）

PWM IP は EMU3nPWMCTR レジスタの SETHARM ビットを設定することによって、以下の 8 種類の波形を生成することができます。

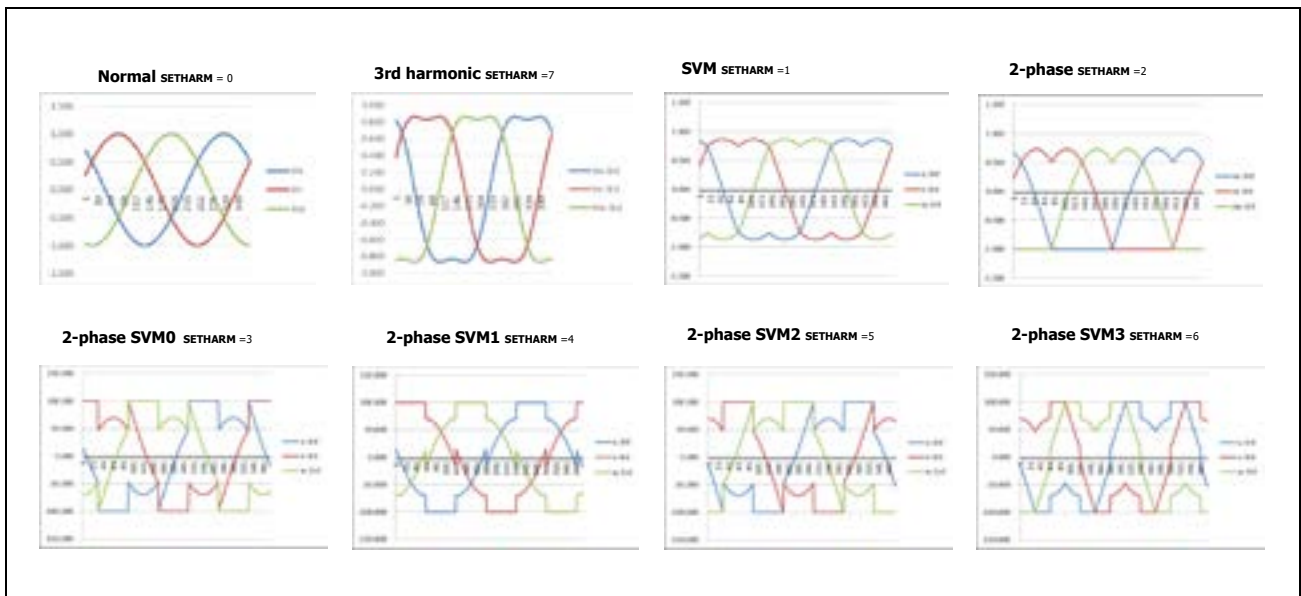


図 25.15 SETHARM ビットで生成できる波形

2-phase SVM については、EMU3nTMAX レジスタに EMU3nVDQSFT (dq 軸電圧値: Vdq) より大きな比率の値を設定することによって、波高値を大きくすることができます。

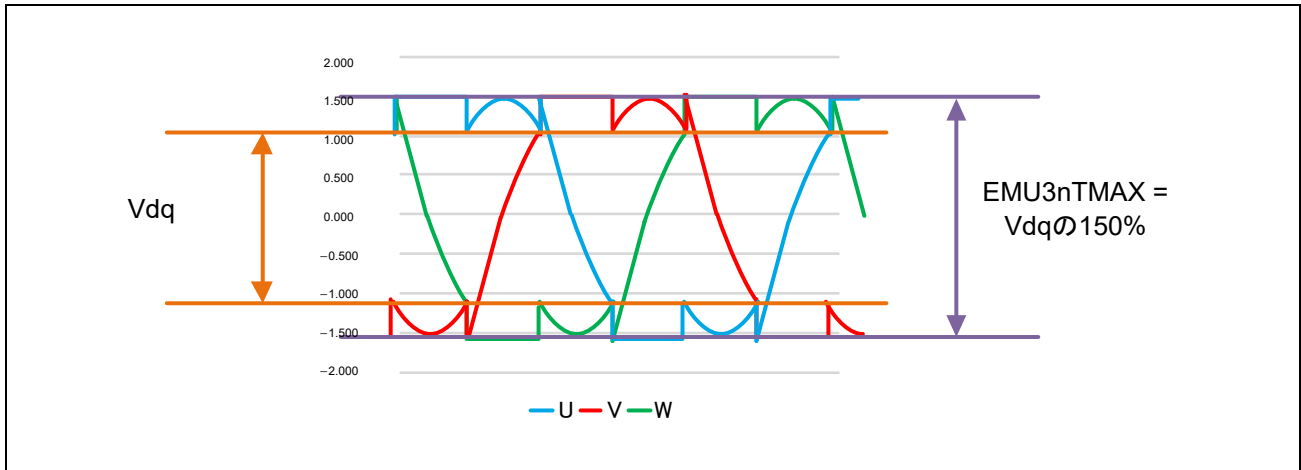


図 25.16 EMU3nTMAX レジスタによる波高値設定例

他にも、EMU3nSR23 レジスタで設定される係数値を変更することで、波高値を大きくすることができます。

(5) Func (pwm5) デューティ比の算出**[pwm5] デューティ比の算出 処理**

説明	UVW 相電圧値にレジスタ値によるゲインをかけ、スケーリング調整を行います。
引数	\underline{vui} : 入力 U 相電圧値 (EMU3nVU0) $\underline{*vuo}$: 出力 U 相電圧値 (EMU3nVU1) \underline{vvi} : 入力 V 相電圧値 (EMU3nVV0) $\underline{*vvo}$: 出力 V 相電圧値 (EMU3nVV1) \underline{vwi} : 入力 W 相電圧値 (EMU3nVW0) $\underline{*vwo}$: 出力 W 相電圧値 (EMU3nVW1)
関連レジスタ	EMU3nPWMK1 : 桁数あわせ 1 レジスタ (uint32_t) EMU3nVOLV : 入力電圧レジスタ (int16_t)
処理内容	<pre>void pwm5 (int32_t \underline{vui}, int32_t \underline{vvi}, int32_t \underline{vwi}, int32_t $\underline{*vuo}$, int32_t $\underline{*vvo}$, int32_t $\underline{*vwo}$) { $\underline{*vuo}$ = ((\underline{vui} * EMU3nPWMK1) >> 16) / EMU3nVOLV ; $\underline{*vvo}$ = ((\underline{vvi} * EMU3nPWMK1) >> 16) / EMU3nVOLV ; $\underline{*vwo}$ = ((\underline{vwi} * EMU3nPWMK1) >> 16) / EMU3nVOLV ; } </pre>

(6) Func (pwm6) オフセット加算**[pwm6] オフセット加算 処理**

説明	UVW 相電圧値に補正処理として、レジスタ値にて任意の値を加算します。
引数	\underline{vui} : 入力 U 相電圧値 (EMU3nVU1) $\underline{*vuo}$: 出力 U 相電圧値 (EMU3nVU2) \underline{vvi} : 入力 V 相電圧値 (EMU3nVV1) $\underline{*vvo}$: 出力 V 相電圧値 (EMU3nVV2) \underline{vwi} : 入力 W 相電圧値 (EMU3nVW1) $\underline{*vwo}$: 出力 W 相電圧値 (EMU3nVW2)
関連レジスタ	EMU3nVUOFS : U 相出力電圧補正量レジスタ (int16_t) EMU3nVVOFS : V 相出力電圧補正量レジスタ (int16_t) EMU3nVVOFS : W 相出力電圧補正量レジスタ (int16_t)
処理内容	<pre>void pwm6 (int32_t \underline{vui}, int32_t \underline{vvi}, int32_t \underline{vwi}, int32_t $\underline{*vuo}$, int32_t $\underline{*vvo}$, int32_t $\underline{*vwo}$) { $\underline{*vuo}$ = \underline{vui} + EMU3nVUOFS ; $\underline{*vvo}$ = \underline{vvi} + EMU3nVVOFS ; $\underline{*vwo}$ = \underline{vwi} + EMU3nVVOFS ; } </pre>

(7) Func(pwm8) 出力電圧の選択とリミット処理

[pwm8] 出力電圧の選択とリミット処理

説明	レジスタ値にて任意に設定される上下限値を基に UVW 相データをクリッピングします。						
引数	<table> <tr> <td><u><i>vu1i</i></u>: 入力 U 相電圧値 (EMU3nVU2)</td> <td><u><i>*vuo</i></u>: 出力 U 相電圧値 (EMU3nVUFIX)</td> </tr> <tr> <td><u><i>vv1i</i></u>: 入力 V 相電圧値 (EMU3nVV2)</td> <td><u><i>*vvo</i></u>: 出力 V 相電圧値 (EMU3nVVFIX)</td> </tr> <tr> <td><u><i>vw1i</i></u>: 入力 W 相電圧値 (EMU3nVW2)</td> <td><u><i>*vwo</i></u>: 出力 W 相電圧値 (EMU3nVWFIX)</td> </tr> </table>	<u><i>vu1i</i></u> : 入力 U 相電圧値 (EMU3nVU2)	<u><i>*vuo</i></u> : 出力 U 相電圧値 (EMU3nVUFIX)	<u><i>vv1i</i></u> : 入力 V 相電圧値 (EMU3nVV2)	<u><i>*vvo</i></u> : 出力 V 相電圧値 (EMU3nVVFIX)	<u><i>vw1i</i></u> : 入力 W 相電圧値 (EMU3nVW2)	<u><i>*vwo</i></u> : 出力 W 相電圧値 (EMU3nVWFIX)
<u><i>vu1i</i></u> : 入力 U 相電圧値 (EMU3nVU2)	<u><i>*vuo</i></u> : 出力 U 相電圧値 (EMU3nVUFIX)						
<u><i>vv1i</i></u> : 入力 V 相電圧値 (EMU3nVV2)	<u><i>*vvo</i></u> : 出力 V 相電圧値 (EMU3nVVFIX)						
<u><i>vw1i</i></u> : 入力 W 相電圧値 (EMU3nVW2)	<u><i>*vwo</i></u> : 出力 W 相電圧値 (EMU3nVWFIX)						
関連レジスタ	EMU3nDTUL : デューティ比上限値レジスタ (int32_t) EMU3nDTLL : デューティ比下限値レジスタ (int32_t)						
処理内容	<pre> void pwm8 (int32_t <u><i>vu1i</i></u>, int32_t <u><i>vv1i</i></u>, int32_t <u><i>vw1i</i></u>, int32_t <u><i>*vuo</i></u>, int32_t <u><i>*vvo</i></u>, int32_t <u><i>*vwo</i></u>) { int32_t tmpU, tmpV, tmpW ; tmpU = <u><i>vu1i</i></u>; tmpV = <u><i>vv1i</i></u>; tmpW = <u><i>vw1i</i></u>; if (tmpU > EMU3nDTUL) <u><i>*vuo</i></u> = EMU3nDTUL; else if(tmpU < EMU3nDTLL) <u><i>*vuo</i></u> = EMU3nDTLL; else <u><i>*vuo</i></u> = tmpU; if (tmpV > EMU3nDTUL) <u><i>*vvo</i></u> = EMU3nDTUL; else if(tmpV < EMU3nDTLL) <u><i>*vvo</i></u> = EMU3nDTLL; else <u><i>*vvo</i></u> = tmpV; if (tmpW > EMU3nDTUL) <u><i>*vwo</i></u> = EMU3nDTUL; else if(tmpW < EMU3nDTLL) <u><i>*vwo</i></u> = EMU3nDTLL; else <u><i>*vwo</i></u> = tmpW; } </pre>						

(8) Func (pwm9) PWM 値算出処理

[pwm9] PWM 値算出処理

説明	uvw 各相のデューティ値から PWM コンペア値を算出します。
引数	<u>vui</u> : 入力 U 相電圧値 (EMU3nVUFIX) <u>*pwmuo</u> : 出力 U 相 PWM コンペア値 (EMU3nPWMU0) <u>vvi</u> : 入力 V 相電圧値 (EMU3nVVFIX) <u>*pwmvo</u> : 出力 V 相 PWM コンペア値 (EMU3nPWMV0) <u>vwi</u> : 入力 W 相電圧値 (EMU3nVWFIX) <u>*pwmwo</u> : 出力 W 相 PWM コンペア値 (EMU3nPWMW0)
関連レジスタ	EMU3nPWMCTR.PWMSEL : PWM 演算基準値選択ビット (0 or 1) EMU3nPWMCTR.PWMOP : PWM 指令値演算選択ビット (0, 1, 2) EMU3nCARR : キャリア周期レジスタ (uint16_t) EMU3nDTT : 短絡防止時間設定レジスタ (uint16_t) EMU3nPWMK2 : 桁数あわせ 2 レジスタ (int16_t)
処理内容	<pre>void pwm9 (int32_t <u>vui</u>, int32_t <u>vvi</u>, int32_t <u>vwi</u>, int32_t <u>*pwmuo</u>, int32_t <u>*pwmvo</u>, int32_t <u>*pwmwo</u>) { uint16_t tmp_base, tmp_zero; uint32_t tmpU, tmpV, tmpW; if(EMU3nPWMCTR.PWMSEL == 0) tmp_base = EMU3nCARR >>1; else tmp_base = (EMU3nCARR + EMU3nDTT) >>1; if(EMU3nPWMCTR.PWMOP == 2) tmp_zero = 0; else tmp_zero = (EMU3nCARR + EMU3nDTT) >>1; tmpU = ((<u>vui</u> * (tmp_base * EMU3nPWMK2) >> 16)); tmpV = ((<u>vvi</u> * (tmp_base * EMU3nPWMK2) >> 16)); tmpW = ((<u>vwi</u> * (tmp_base * EMU3nPWMK2) >> 16)); if(EMU3nPWMCTR.PWMOP == 0) { <u>*pwmuo</u> = tmp_zero + tmpU ; <u>*pwmvo</u> = tmp_zero + tmpV ; <u>*pwmwo</u> = tmp_zero + tmpW ; } else if(EMU3nPWMCTR.PWMOP == 1) { <u>*pwmuo</u> = tmp_zero - tmpU ; <u>*pwmvo</u> = tmp_zero - tmpV ; <u>*pwmwo</u> = tmp_zero - tmpW ; } else if(EMU3nPWMCTR.PWMOP == 2) { <u>*pwmuo</u> = tmpU ;</pre>

	<pre><u>*pwmvo</u> = tmpV ; <u>*pwmwo</u> = tmpW ; } }</pre>
--	---

(9) Func (pwm10) デッドタイム補償

[pwm10] デッドタイム補償 処理

説明	UVW 相各々の PWM コンペア値について、電流値の正負に応じたレジスタ値による任意の値を加算します。
引数	<p><u>pwmui</u>: 入力 U 相 PWM コンペア値 (EMU3nPWMU0) <u>*pwmuo</u>: 出力 U 相 PWM コンペア値 (EMU3nPWMU0DT)</p> <p><u>pwmvi</u>: 入力 V 相 PWM コンペア値 (EMU3nPWMV0) <u>*pwmvo</u>: 出力 V 相 PWM コンペア値 (EMU3nPWMV0DT)</p> <p><u>pwmwi</u>: 入力 W 相 PWM コンペア値 (EMU3nPWMW0) <u>*pwmwo</u>: 出力 W 相 PWM コンペア値 (EMU3nPWMW0DT)</p> <p><u>iu</u> : 入力 U 相電流値 (EMU3nIUFIX)</p> <p><u>iv</u> : 入力 V 相電流値 (EMU3nIVFIX)</p> <p><u>iw</u> : 入力 W 相電流値 (EMU3nIWFIX)</p>
関連レジスタ	<p>EMU3nPWMCTR.SETDTH : デッドタイム補償処理設定ビット (0 or 1)</p> <p>EMU3nDTOTH : デッドタイム補償閾値レジスタ (uint31_t)</p> <p>EMU3nDTOPV : デッドタイム補償正電流時加算値レジスタ (int16_t)</p> <p>EMU3nDTONV : デッドタイム補償負電流時加算値レジスタ (int16_t)</p>
処理内容	<pre>void pwm10 (int32_t <u>pwmui</u>, int32_t <u>pwmvi</u>, int32_t <u>pwmwi</u>, int32_t <u>iu</u>, int32_t <u>iv</u>, int32_t <u>iw</u>, int32_t <u>*pwmuo</u>, int32_t <u>*pwmvo</u>, int32_t <u>*pwmwo</u>) { if ((<u>iu</u> > EMU3nDTOTH) && EMU3nPWMCTR.SETDTH == 1) <u>*pwmuo</u> = <u>pwmui</u> + EMU3nDTOPV; else if ((<u>iu</u> < -EMU3nDTOTH) && EMU3nPWMCTR.SETDTH == 1) <u>*pwmuo</u> = <u>pwmui</u> + EMU3nDTONV; else <u>*pwmuo</u> = <u>pwmui</u>; if ((<u>iv</u> > EMU3nDTOTH) && EMU3nPWMCTR.SETDTH == 1) <u>*pwmvo</u> = <u>pwmvi</u> + EMU3nDTOPV; else if ((<u>iv</u> < -EMU3nDTOTH) && EMU3nPWMCTR.SETDTH == 1) <u>*pwmvo</u> = <u>pwmvi</u> + EMU3nDTONV; else <u>*pwmvo</u> = <u>pwmvi</u>; if ((<u>iw</u> > EMU3nDTOTH) && EMU3nPWMCTR.SETDTH == 1) <u>*pwmwo</u> = <u>pwmwi</u> + EMU3nDTOPV; else if ((<u>iw</u> < -EMU3nDTOTH) && EMU3nPWMCTR.SETDTH == 1) <u>*pwmwo</u> = <u>pwmwi</u> + EMU3nDTONV; else <u>*pwmwo</u> = <u>pwmwi</u>; }</pre>

処理説明：デッドタイム補償処理

PWM IP はデッドタイム付加分の補正を目的とした、デッドタイム補償処理を備えます。

インバータ出力に対してデッドタイムが及ぼす影響を **図 25.17** に示します。モータ電流の正負状態に応じてデッドタイム期間中の電位が異なるため、三相 PWM コンペア値で示す理想波形に対して出力波形は短くなったり、長くなったりします。よって、PWM IP は電流値の正負状態に応じて予め PWM コンペア値に対して補正値を加算することで、インバータ出力を理想波形に近づけます。なお、閾値によりモータ電流値が“0”付近である場合には補正値の加算をキャンセルします。

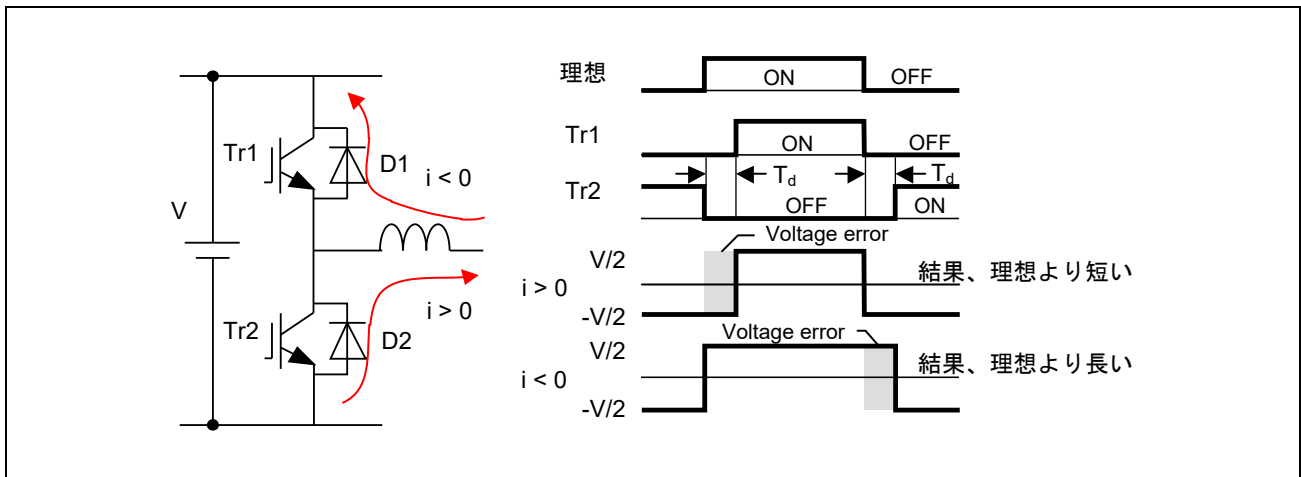


図 25.17 TSG3 のデッドタイム付加処理

表 25.179 にレジスタ設定の例を示します。

表 25.179 デッドタイム補償処理についてのレジスタ設定例

レジスタ	デッドタイム補償処理を使用する	デッドタイム補償処理を使用しない
EMU3nPWMCTR.SETDTCO	“1”	“0”
EMU3nDTOTH	閾値を設定	リセット後の値
EMU3nDTPV	補正値を設定	リセット後の値
EMU3nDTONV	-補正値を設定	リセット後の値

(10) Func (pwm11) PWM 値リミット処理

[pwm11] PWM 値リミット処理

説明	レジスタ値にて任意に設定される上下限値を基に PWM コンペア値をクリッピングします。
引数	<p><i>pwmui</i>: 入力 U 相 PWM コンペア値 (EMU3nPWMUDT) <i>*pwmuo</i>: 出力 U 相 PWM コンペア値 (EMU3nPWMUIP)</p> <p><i>pwmvi</i>: 入力 V 相 PWM コンペア値 (EMU3nPWMVDT) <i>*pwmvo</i>: 出力 V 相 PWM コンペア値 (EMU3nPWMVIP)</p> <p><i>pwmwi</i>: 入力 W 相 PWM コンペア値 (EMU3nPWMWDT) <i>*pwmwo</i>: 出力 W 相 PWM コンペア値 (EMU3nPWMWIP)</p> <p><i>*carro</i>: 出力キャリア周期値 (EMU3nCARRBUF)</p>
関連レジスタ	<p>EMU3nCARR : キャリア周期レジスタ (uint16_t)</p> <p>EMU3nDTT : 短絡防止時間設定レジスタ (uint16_t)</p> <p>EMU3nPWMUL : PWM 上限値レジスタ (uint16_t)</p> <p>EMU3nPWMLL : PWM 下限値レジスタ (uint16_t)</p> <p>EMU3nVOLV : 入力電圧レジスタ (int16_t)</p>
処理内容	<pre>void pwm11 (int32_t <i>pwmui</i>, int32_t <i>pwmvi</i>, int32_t <i>pwmwi</i>, uint16_t <i>*pwmuo</i>, uint16_t <i>*pwmvo</i>, uint16_t <i>*pwmwo</i>, uint16_t <i>*carro</i>){ int16_t pwm_max = EMU3nCARR + EMU3nDTT - EMU3nPWMUL; if(EMU3nVOLV == 0) *pwmuo = (EMU3nCARR + EMU3nDTT) >>1 ; else if(<i>pwmui</i> >= pwm_max) *pwmuo = EMU3nCARR + EMU3nDTT; else if(<i>pwmui</i> <= EMU3nPWMLL) *pwmuo = 0; else *pwmuo = <i>pwmui</i>; if(EMU3nVOLV == 0) *pwmvo = (EMU3nCARR + EMU3nDTT) >>1 ; else if(<i>pwmvi</i> >= pwm_max) *pwmvo = EMU3nCARR + EMU3nDTT; else if(<i>pwmvi</i> <= EMU3nPWMLL) *pwmvo = 0; else *pwmvo = <i>pwmvi</i>; if(EMU3nVOLV == 0) *pwmwo = (EMU3nCARR + EMU3nDTT) >>1 ; else if(<i>pwmwi</i> >= pwm_max) *pwmwo = EMU3nCARR + EMU3nDTT; else if(<i>pwmwi</i> <= EMU3nPWMLL) *pwmwo = 0; else *pwmwo = <i>pwmwi</i>; *carro = EMU3nCARR; }</pre>

(11) Func(pwm_out) PWM 値出力処理

[pwm_out] PWM 値出力処理

説明	H/W アクセラレータ外部に対する PWM コンペア値出力処理を行います。 pwm_out 関数は PWM IP 演算処理とは独立であり、PWM IP 停止中でも動作します。
引数	<p><i>pwmui</i>: 入力 U 相 PWM コンペア値 (EMU3nPWMUIP) <i>*pwmuo</i>: 出力 U 相 PWM コンペア値</p> <p><i>pwmvi</i>: 入力 V 相 PWM コンペア値 (EMU3nPWMVIP) <i>*pwmvo</i>: 出力 V 相 PWM コンペア値</p> <p><i>pwmwi</i>: 入力 W 相 PWM コンペア値 (EMU3nPWMWIP) <i>*pwmwo</i>: 出力 W 相 PWM コンペア値</p> <p><i>carri</i>: 入力キャリア周期値 (EMU3nCARRBUF) <i>*carro</i>: 出力キャリア周期値</p>
関連レジスタ	<p>EMU3nPWMCTR.SETPWM : PWM 設定ビット (0 or 1)</p> <p>EMU3nPWMCTR.SHIPWM : 出力キャリア/PWM コンペア値シフトビット (0 or 1)</p> <p>EMU3nPWMMDT : PWM コンペア値ソフト転送トリガビット (0 or 1)</p> <p>EMU3nPWMU : U 相 PWM コンペア値ソフト入力レジスタ (uint16_t)</p> <p>EMU3nPWMV : V 相 PWM コンペア値ソフト入力レジスタ (uint16_t)</p> <p>EMU3nPWMW : W 相 PWM コンペア値ソフト入力レジスタ (uint16_t)</p> <p>EMU3nCARR : キャリア周期レジスタ (uint16_t)</p>
処理内容	<pre>void pwm_out(uint16_t <i>pwmui</i>, uint16_t <i>pwmvi</i>, uint16_t <i>pwmwi</i>, uint16_t <i>carri</i>, uint18_t <i>*pwmuo</i>, uint18_t <i>*pwmvo</i>, uint18_t <i>*pwmwo</i>, uint18_t <i>*carro</i>) { uint16_t tmpu, tmpv, tmpw, tmpc; uint18_t tmpsu, tmpsv, tmpsw, tmpsc; if (EMU3nPWMCTR.SETPWM == 0) { // 出力キャリア/PWM コンペア値のソフト入力 tmpu = EMU3nPWMU; tmpv = EMU3nPWMV; tmpw = EMU3nPWMW; tmpc = EMU3nCARR; } else { tmpu = <i>pwmui</i>; tmpv = <i>pwmvi</i>; tmpw = <i>pwmwi</i>; tmpc = <i>carri</i>; } if (EMU3nPWMCTR.SHIPWM == 1) { // 出力キャリア/PWM コンペア値の 1bit 左シフト tmpsu = tmpu << 1; tmpsv = tmpv << 1; tmpsw = tmpw << 1; tmpsc = tmpc << 1; } else { tmpsu = tmpu; tmpsv = tmpv; tmpsw = tmpw; } }</pre>

	<pre> tmpsc = tmpc; } if ((EMU3nPWMCTR.SETPWM == 0 && EMU3nPWMMDT == 1) (EMU3nPWMCTR.SETPWM == 1 && “PWM IP 完了時”)){ *pwmuo = tmpsu; *pwmvo = tmpsv; *pwmwo = tmpsw; *carro = tmpsc; } } </pre>
--	--

処理説明 : PWM 値出力処理

EMU3nCARR レジスタの値は、PWM IP 起動時に PWM IP 内部へバッファリングされます。

バッファリングされた値は、H/W 演算ブロック Func(pwm11) の出力データである EMU3nCARRBUF レジスタとして、EMU3nPWMUIP レジスタ、EMU3nPWMVIP レジスタ、EMU3nPWMWIP レジスタの値と共に、PWM IP 完了タイミングで同時に TSG3 に転送します。

また、EMU3nPWMMDT レジスタの PWMMDT ビットによる PWM データ転送（ソフトウェア起動）では、EMU3nCARR レジスタ、EMU3nPWMU レジスタ、EMU3nPWMV レジスタ、EMU3nPWMW レジスタの値を同時に TSG3 に転送します。

なお、TSG3 への転送は、EMU3nPWMCTR レジスタの SHIPPWM ビットの影響を受けて、下記のようにレジスタ値、もしくはレジスタ値を 1 ビット左シフトした値として出力します。

表 25.180 TSG3 への転送における TSG3 レジスタと EMU3 レジスタの関係

TSG3 レジスタ	EMU3nPWMCTR.SHIPPWM = “0”	EMU3nPWMCTR.SHIPPWM = “1”
TSG3nCMP0E[17:0]	EMU3nCARRBUF[15:0] (EMU3nCARR[15:0])	EMU3nCARRBUF[15:0] <<1 (EMU3nCARR[15:0] <<1)
TSG3nCMP2E[17:0] TSG3nCMP1E[17:0]	EMU3nPWMUIP[15:0] (EMU3nPWMU[15:0])	EMU3nPWMUIP[15:0] <<1 (EMU3nPWMU[15:0] <<1)
TSG3nCMP6E[17:0] TSG3nCMP5E[17:0]	EMU3nPWMVIP[15:0] (EMU3nPWMV[15:0])	EMU3nPWMVIP[15:0] <<1 (EMU3nPWMV[15:0] <<1)
TSG3nCMP10E[17:0] TSG3nCMP9E[17:0]	EMU3nPWMWIP[15:0] (EMU3nPWMW[15:0])	EMU3nPWMWIP[15:0] <<1 (EMU3nPWMW[15:0] <<1)

備考 下段の括弧内は PWM データ転送（ソフトウェア起動）の EMU3 レジスタを示している。

25.4.6 矩形 IP

矩形 IP は、矩形波出力レベルやコンペア設定値を演算します。電圧位相を入力する事も可能です。図 25.18 に矩形 IP の処理の流れを示します。

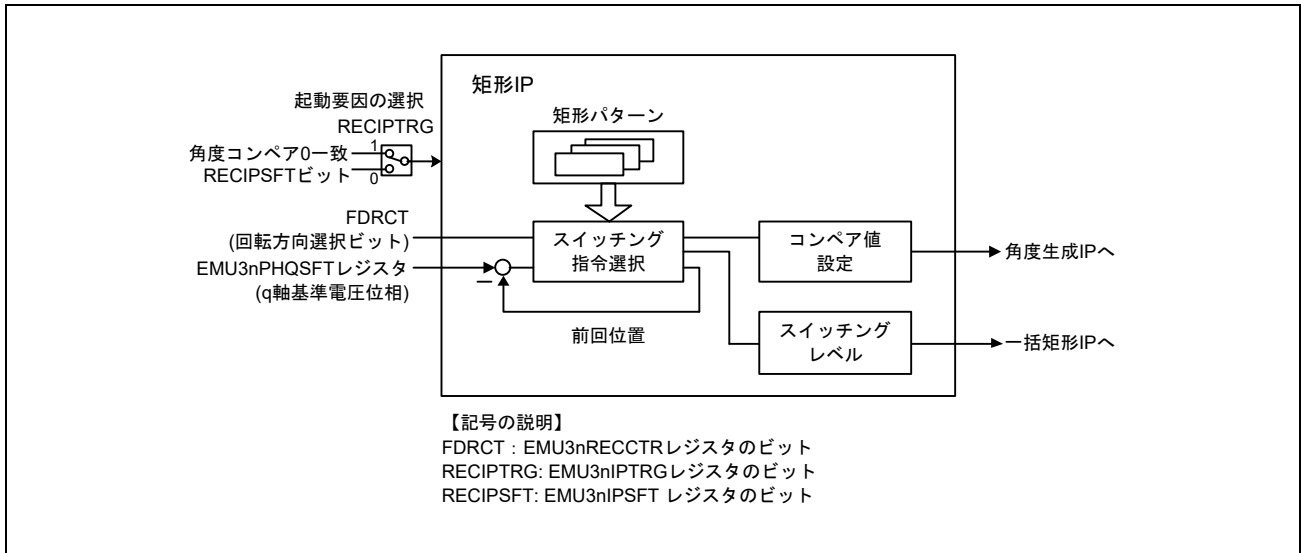


図 25.18 矩形 IP の処理の流れ

矩形 IP は、EMU3nIPTRG レジスタの RECIPTRG ビットを“1”に設定すると、角度コンペア 0 一致検出時に起動します。RECIPTRG ビットを“0”にした場合は、EMU3nIPSFT レジスタの RECIPSFT ビットを“1”にすることで起動させることができます。

矩形 IP の処理が完了すると、EMU3nINTSD レジスタの RECIF ビットが“1”になります。

RECIF ビットは、EMU3nINTSDC レジスタの RECIFC ビットに“1”を書くことでクリアすることができます。

矩形 IP の完了をトリガとして割り込みを発生することが可能です。

(1) スイッチング指令の生成

“帰還データ選択” EMU3nRECCTR レジスタの FIPPOSI ビット	psw_old_u[2:0]
“0” (EMU3 演算値を使用)	EMU3nPSW_u[2:0]
“1” (ユーザ設定を使用)	EMU3nPSWSFT_u[2:0]

$\phi q_s[11:0] \leftarrow \text{EMU3nPHQSFT_s}[11:0]$

回転方向 EMU3nRECCTR レジスタの FDRCT ビット	psw_old_u[2:0]	EMU3nPSW_u [2:0]	切り替え角 EMU3nIPCMP0_u[11:0]	次回 スイッチング
“0” (正回転)	0	1	$60^\circ - \phi q_s[11:0]$	EMU3nPTNAB の A 側
	1	2	$120^\circ - \phi q_s[11:0]$	EMU3nPTNAB の B 側
	2	3	$180^\circ - \phi q_s[11:0]$	EMU3nPTNCD の C 側
	3	4	$240^\circ - \phi q_s[11:0]$	EMU3nPTNCD の D 側
	4	5	$300^\circ - \phi q_s[11:0]$	EMU3nPTNEF の E 側
	5	0	$360^\circ - \phi q_s[11:0]$	EMU3nPTNEF の F 側
“1” (逆回転)	0	5	$180^\circ + \phi q_s[11:0]$	EMU3nPTNEF の E 側
	1	0	$240^\circ + \phi q_s[11:0]$	EMU3nPTNEF の F 側
	2	1	$300^\circ + \phi q_s[11:0]$	EMU3nPTNAB の A 側
	3	2	$360^\circ + \phi q_s[11:0]$	EMU3nPTNAB の B 側
	4	3	$60^\circ + \phi q_s[11:0]$	EMU3nPTNCD の C 側
	5	4	$120^\circ + \phi q_s[11:0]$	EMU3nPTNCD の D 側

注 1. 文中 ϕ は度数計算しているが、実際には $0 \sim \text{FFF}_H$ で扱っています。

$60^\circ = 2AA_H$ 、 $120^\circ = 555_H$ 、 $180^\circ = 800_H$ 、 $240^\circ = AAA_H$ 、 $300^\circ = D55_H$ 、 $360^\circ(0^\circ) = 000_H$

EMU3nIPCMP0_u[11:0]は演算結果を&0FFF_Hすることで、符号なし 12 ビットにしています。

25.4.7 矩形波生成部

矩形波生成部は、一括矩形 IP、独立矩形 IP1、独立矩形 IP2 から構成されます。ここで生成した矩形波が TSG3 経由で出力されます。EMU3nIRECCTR レジスタの RECMD ビットで、どの IP の波形を出力するかを選択できます。

一括矩形 IP は、演算部の矩形 IP で算出した矩形波出力レベルやコンペア設定値を基に、U/V/W 相の出力波形を一括で更新します。

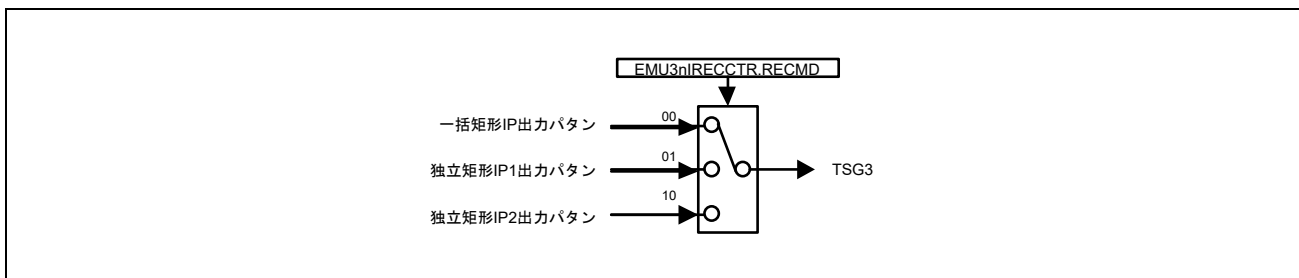


図 25.19 出力波形選択機能

独立矩形 IP1 や独立矩形 IP2 は、U,V,W 各相で個別に設定したコンペア値と出力レベルを基に、各相異なるタイミングで出力波形を更新できます。

注 意

一括矩形 IP、独立矩形 IP1、独立矩形 IP2 は矩形波出力中に切り替えしないでください。

25.4.7.1 一括矩形 IP

H/W アクセラレータの矩形波パタンの出力切り替え方法には、矩形 IP の演算処理を適用したハード処理の方法と、CPU ソフトウェアにてレジスタ値を適宜書き換えることによるソフト処理の方法があります。

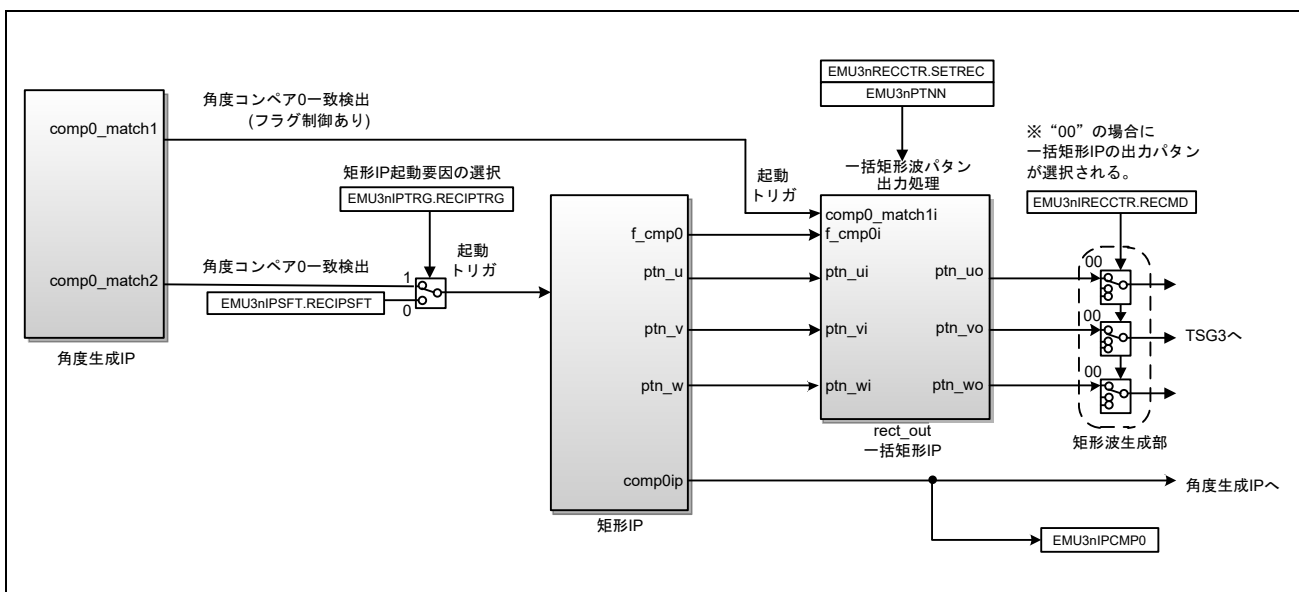


図 25.20 角度生成 IP から矩形波生成部までの処理

ハード処理の方法

一括矩形 IP は演算処理の起動毎に「角度コンペア 0 一致検出用の比較値と、その角度コンペア 0 一致検出時に適用する矩形波パターンデータ」を選択し、角度コンペア 0 一致検出毎に矩形波パタンの出力を選択したデータで切り替えます。

一括矩形 IP が選択した値を角度コンペア 0 一致検出の比較値へ適用するためには、EMU3nRECCTR レジスタの SLCTCMP0 ビットを“1”にする必要があります。

注 意

EMU3nRECCTR レジスタの SLCTCMP0 ビットが“1”の場合でも、H/W アクセラレータ起動後 1 回目の角度コンペア 0 一致検出処理へは、比較値に EMU3nCMP0 レジスタの値が適用されます。

EMU3nRECCTR レジスタの FDRCT ビットが“0”の場合（正回転）は表 25.181 (1/2)に示す 60° 毎の角度コンペア 0 一致検出の度にケースが「0→1→2→3→4→5→0→…」の順で切り替わり、EMU3nRECCTR レジスタの FDRCT ビットが“1”の場合（逆回転）は表 25.181 (2/2)に示す 60° 毎の角度コンペア 0 一致検出の度にケースが「0→5→4→3→2→1→0→…」の順で切り替わります。

矩形波パタンの選択は、EMU3nRECCTR レジスタの SETREC ビットに“1”を設定した場合は EMU3nPTNAB レジスタ、EMU3nPTNCD レジスタ、EMU3nPTNEF レジスタから行われます。EMU3nRECCTR レジスタの SETREC ビットに“0”を設定した場合は、EMU3nPTNN レジスタの値のみが選択されるため、角度コンペア 0 一致検出毎に CPU ソフトウェアによる EMU3nPTNN レジスタの書き換えが必要です。

表 25.181 一括矩形 IP が選択する角度コンペア 0 一致検出用の比較値と矩形波パタンのセット (1/2)

ケース 注 1	※正回転時 (FDRCT ビット=“0”)		
	EMU3nPCMP0 レジスタ	矩形波パターン (SETREC ビット=“1”)	矩形波パターン (SETREC ビット=“0”)
0	2AA (60°)	EMU3nPTNAB レジスタの nPTNA ビット (n = W, V, U)	EMU3nPTNN レジスタの nPTN ビット (n = W, V, U)
1	555 (120°)	EMU3nPTNAB レジスタの nPTNB ビット (n = W, V, U)	同上
2	800 (180°)	EMU3nPTNCD レジスタの nPTNC ビット (n = W, V, U)	同上
3	AAA (240°)	EMU3nPTNCD レジスタの nPTND ビット (n = W, V, U)	同上
4	D55 (300°)	EMU3nPTNEF レジスタの nPTNE ビット (n = W, V, U)	同上
5	000 (0°)	EMU3nPTNEF レジスタの nPTNF ビット (n = W, V, U)	同上

注 1. 「ケース」は psw_old_u[2:0]の値を意味します。「25.4.6 矩形 IP」を参照ください。

表 25.181 一括矩形 IP が選択する角度コンペア 0 一致検出用の比較値と矩形波パタンのセット (2/2)

ケース 注 1	※逆回転時 (FDRCT ビット= "1")		
	EMU3nPCMP0 レジスタ	矩形波パターン (SETREC ビット= "1")	矩形波パターン (SETREC ビット= "0")
0	800 (180°)	EMU3nPTNEF レジスタの nPTNE ビット (n = W, V, U)	EMU3nPTNN レジスタの nPTN ビット (n = W, V, U)
1	AAA (240°)	EMU3nPTNEF レジスタの nPTNF ビット (n = W, V, U)	同上
2	D55 (300°)	EMU3nPTNAB レジスタの nPTNA ビット (n = W, V, U)	同上
3	000 (0°)	EMU3nPTNAB レジスタの nPTNB ビット (n = W, V, U)	同上
4	2AA (60°)	EMU3nPTNCD レジスタの nPTNC ビット (n = W, V, U)	同上
5	555 (120°)	EMU3nPTNCD レジスタの nPTND ビット (n = W, V, U)	同上

注 1. 「ケース」は psw_old_u[2:0]の値を意味します。「25.4.6 矩形 IP」を参照ください。

一括矩形のハードによる動作は「25.4.6 矩形 IP」を参照ください。

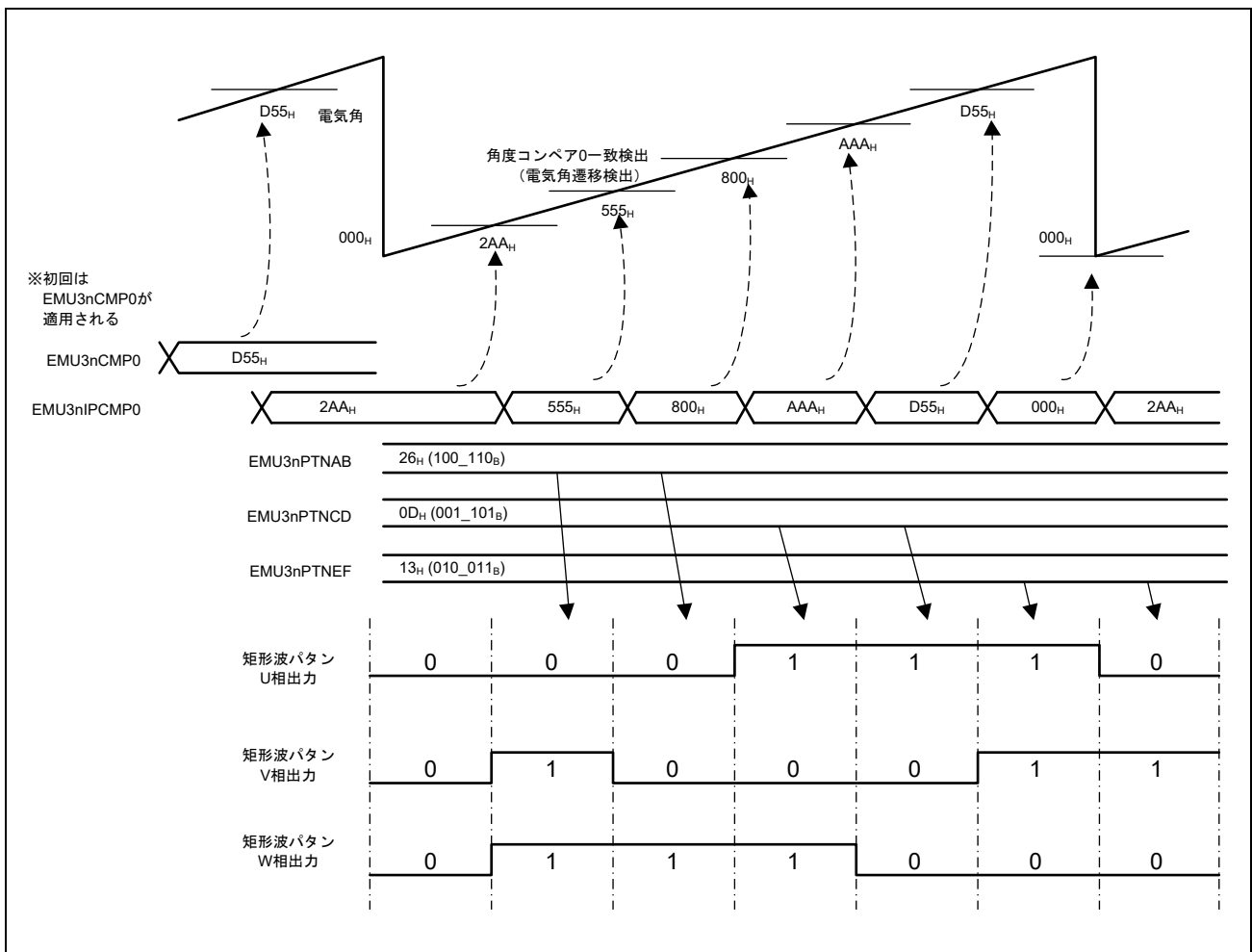


図 25.21 一括矩形 IP のハード処理例

ソフト処理の方法

EMU3nRECCTR レジスタの SLCTCMP0 ビットを“0”に設定して「EMU3nCMP0 レジスタ」を角度コンペア 0 一致検出用の比較値へ適用し、EMU3nRECCTR レジスタの SETREC ビットに“0”を設定して「EMU3nPTNN レジスタ」を矩形波パターン値に適用します。

「EMU3nCMP0 レジスタ」を基にした角度コンペア 0 一致検出時に、矩形波パターンが「EMU3nPTNN レジスタ」の設定値で切り替わります。引き続き、CPU ソフトウェアにて「EMU3nCMP0 レジスタ」および「EMU3nPTNN レジスタ」の書き換え処理と角度コンペア 0 一致検出待ちを繰り返すことで、ソフト処理による矩形波パタンの切り替えを実現します。

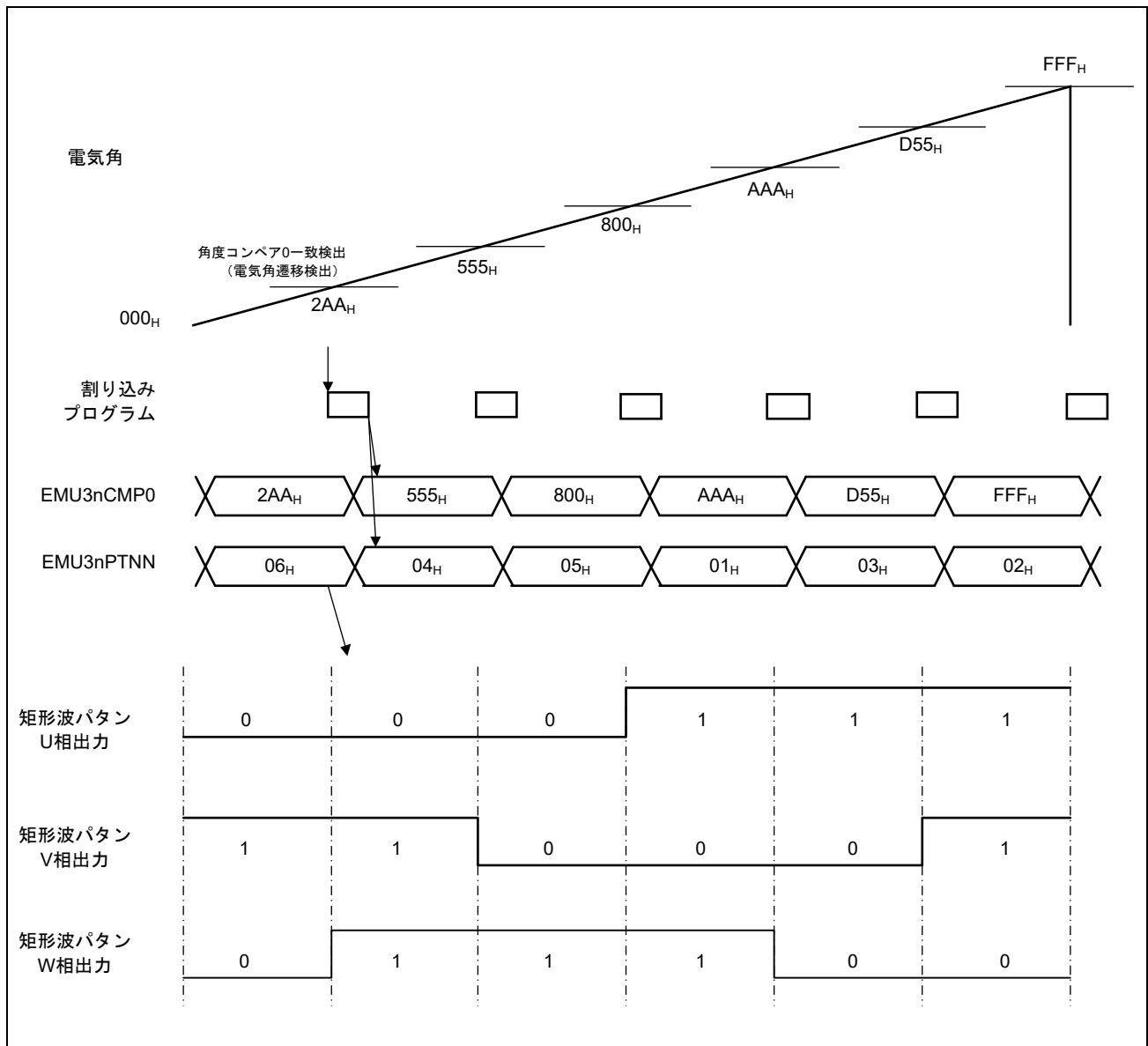


図 25.22 一括矩形 IP のソフト処理例

25.4.7.2 独立矩形 IP1

独立矩形 IP1 は U/V/W 相の矩形波パターンを各々任意の電気角と一致した際に切り替える事によって、一括矩形 IP よりも複雑な波形を生成することが可能です。

独立矩形 IP1 の各相の切り替えは独立動作であり、電気角と相毎の角度コンペア 0 一致検出用の比較値が一致したタイミングで、一致した相の出力レベルを切り替えます。U/V/W 各相に個別の 3 つの比較値・パターン値 (EMU3nIRkCPPN0~EMU3nIRkCPPN2 レジスタ (k=U, V, W)) を設定する事ができ、独立矩形 IP1 は電気角コンペア一致検出毎に比較値を切り替えます。EMU3nIRkCPPN2 レジスタ (k=U, V, W) の比較値を基にした電気角コンペア一致検出時のみ割り込み要因判別ビット (EMU3nINTSD レジスタの IRECVIF, IRECVIF, IRECVIF ビット) が “1” に遷移します。

独立矩形 IP1 の動作

H/W アクセラレータは EMU3nIRECCTR レジスタの RECMD ビットが “01” の時、独立矩形 IP1 が出力する矩形波パターンを TSG3 へ出力します。

図 25.23 に独立矩形 IP1 の 1 相分の構成を示します。同様な構成で 3 相分の回路が実装されています。

比較値 0~2 とパターン値 0~2 (EMU3nIRkCPPN0~EMU3nIRkCPPN2 レジスタ (k=U, V, W)) は CPU から書き換えます。独立矩形 IP1 は内部セレクト値によって使用する比較値・パターン値のセットを選択します。セレクト値はリセット後 001_B となり、電気角コンペア一致検出によって 001_B (比較 0 値・パターン 0 値選択状態) → 010_B (比較 1 値・パターン 1 値選択状態) → 100_B (比較 2 値・パターン 2 値選択状態) → 001_B (比較 0 値・パターン 0 値選択状態) → … の順に遷移します。セレクト値 100_B の状態から電気角コンペア一致検出を受け付けた際に割り込み要因判別ビットを 1 にします。セレクト値の現在値は EMU3nIRSELM レジスタにて参照可能です。

フラグ 0~フラグ 2 は CPU から比較値・パターン値の設定レジスタ (EMU3nIRkCPPN0~EMU3nIRkCPPN2 (k=U, V, W)) への書き込みで “1” に遷移し、角度生成 IP による当該角度コンペア一致検出により “0” へ遷移します。フラグが “0” の場合は当該角度コンペア検出があってもセレクト値およびパターン出力の更新は行われず、割り込み要因も発生しません。フラグの状態は EMU3nIRFLGM レジスタにて参照可能です。

フラグセレクト信号初期化レジスタ (EMU3nIRCTRST) に “1” を書き込む事によってフラグ 0~フラグ 2 の状態は “0” にリセットされ、セレクト値の状態は 001_B にリセットされます。

EMU3nIRPTN レジスタの UINIPTN、VINIPTN、WINIPTN ビットに値を書くことにより、各相のパターン出力を更新することができます。これらのビットを読むと、最後に書いた値が読み出されます。

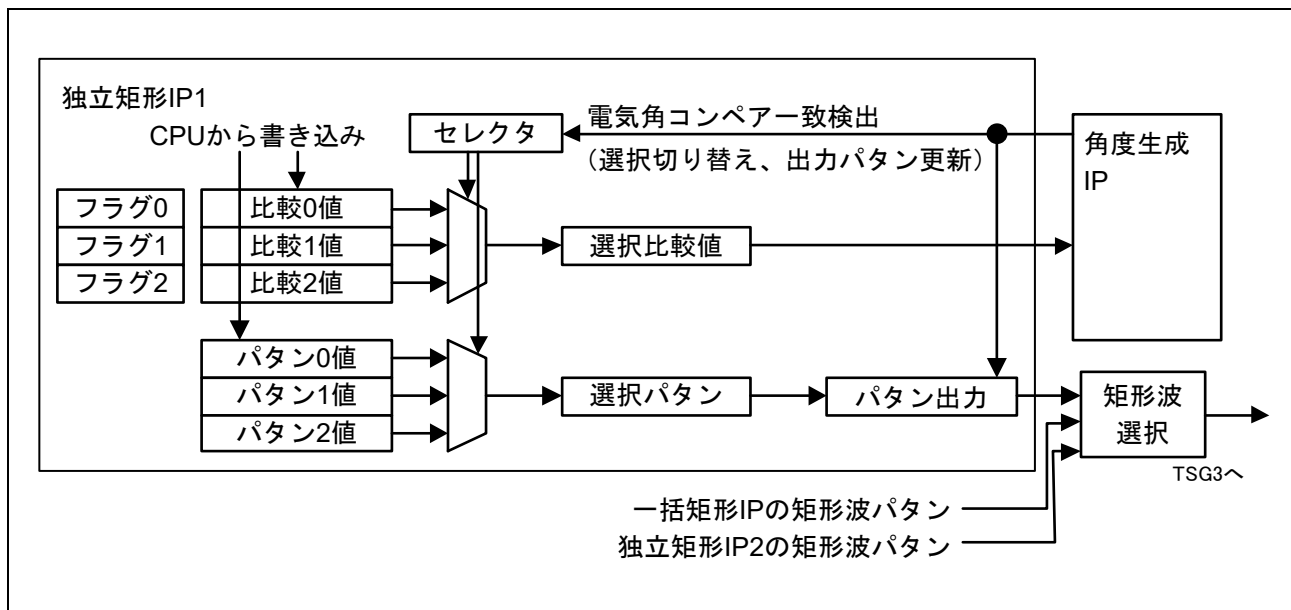


図 25.23 独立矩形 IP1 の構成 (1 相分)

注意事項

セレクタ値は $001_B \rightarrow 010_B \rightarrow 100_B \rightarrow 001_B \rightarrow \dots$ の順で遷移するため、比較 0 値 \rightarrow 比較 1 値 \rightarrow 比較 2 値 \rightarrow 比較 0 値 $\rightarrow \dots$ の順で適用されます。但し、途中で“0”のフラグ状態が存在した場合は、そのフラグ状態を“1”に更新するまでセレクタ値の遷移が止まるため、比較値・パターンレジスタは順に更新してください。

25.4.7.3 独立矩形 IP2

独立矩形 IP2 は、U、V、W 各相で個別に設定可能な 8 つのコンペアー値と電気角との一致でパターン更新することで、より柔軟な矩形出力パターンを生成します。

独立矩形 IP2 は、EMU3nIRECCTR レジスタの RECMD ビットを“10”（独立矩形 IP2 波出力）に設定すると、独立矩形 IP2 の出力パターンが TSG3 へ出力されます。U 相コンペアー一致、V 相コンペアー一致、W 相コンペアー一致のいずれかが発生すると、対応する相の矩形出力パターンが更新されます。

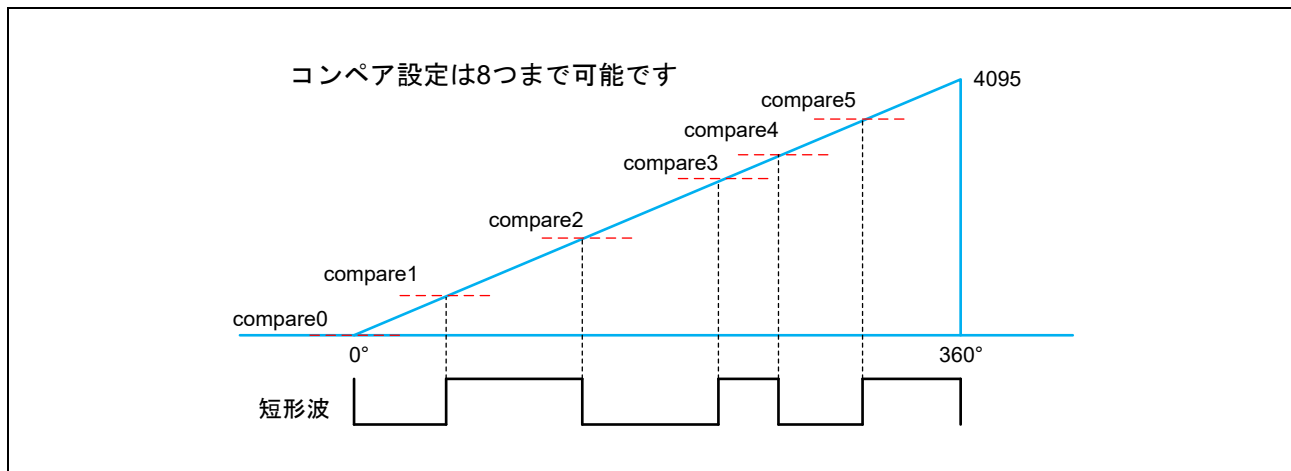


図 25.24 独立矩形 IP2 を適用した例

各コンペアー一致は、EMU3nNRECUk レジスタ、EMU3nNRECVk レジスタ、EMU3nNRECWk レジスタで設定することができます。

表 25.182 各相のコンペアー一致設定

U 相コンペアー制御 k レジスタ (EMU3nNRECUk) (k = 0-7)	V 相コンペアー制御 k レジスタ (EMU3nNRECVk) (k = 0-7)	W 相コンペアー制御 k レジスタ (EMU3nNRECWk) (k = 0-7)	機能
UPTN ビット	VPTN ビット	WPTN ビット	出力レベルを設定します。
UCMP[11:0]	VCMP[11:0]	WCMP[11:0]	コンペアー値を設定します。
UEN ビット	VEN ビット	WEN ビット	矩形出力パターン更新の有効/無効を設定します。
UMOD ビット	VMOD ビット	WMOD ビット	UEN=1 のとき、コンペアー一致毎に UEN=0 にするかを設定します。 (VEN、WEN も同様)
UINT ビット	VINT ビット	WINT ビット	コンペアー一致発生時の割り込みの有無を設定します。

角度生成 IP から出力された電気角（前回値）と電気角（今回値）を入力として、これらの電気角が独立矩形 IP2 で設定したコンペアー値を跨ぐ場合にコンペアー一致が発生します。

電気角（前回値）と電気角（今回値）に対して、電気角を補正する機能（オフセット付加）を 2 種類持ちます。

2 種類のオフセット付加は同時に使用することも、動作中に再設定することも可能です。

（例）三相を一括で補正しつつ、U 相のみをさらに補正できます。

表 25.183 電気角の補正設定

レジスタ	U 相	V 相	W 相	機能
三相共通角度補正值レジスタ (EMU3nNRECOFSALL)	○	○	○	三相共通角度補正 U、V、W 相すべてに対して共通のオフセット値を付加します。
U 相角度補正值レジスタ (EMU3nNRECOFSU)	○	—	—	U 相角度補正 U 相に対して個別のオフセットを付加します。
V 相角度補正值レジスタ (EMU3nNRECOFSV)	—	○	—	V 相角度補正 V 相に対して個別のオフセットを付加します。
W 相角度補正值レジスタ (EMU3nNRECOFSW)	—	—	○	W 相角度補正 W 相に対して個別のオフセットを付加します。

注 意

動作中のオフセット付加の設定によってコンペアー値を跨いだ場合は、コンペアー一致は発生しません。

注 意

同じ相において、複数の有効なコンペアー値を同時に跨いだ場合、矩形波の出力レベルは該当するコンペアー制御レジスタのパターン値設定ビットの値に依存します。

（例）U 相

- 複数の有効なコンペアー制御レジスタのパターン値設定ビット (EMU3nNRECUk.UPTN) が全て “0” の場合コンペアー一致のタイミングで出力レベルは “0” になります。
- 複数の有効なコンペアー制御レジスタのパターン値設定ビット (EMU3nNRECUk.UPTN) が全て “1” の場合コンペアー一致のタイミングで出力レベルは “1” になります。

-
- 複数の有効なコンペア制御レジスタのパターン値設定ビット (EMU3nNRECUK.UPTN) が “0” , “1” 混載の場合コンペア一致のタイミングで出力レベルは “1” になります。
-

25.4.8 A/D 変換制御、角度値ラッチ制御

EMU3nADTRG レジスタの A/D 起動要因許可ビットである CAMOUAD ビット、CAVALAD ビット、CMPAD ビット、NUK ビット、NVk ビット、NWk ビット (k=0~7) を設定することによって、キャリアの山、谷、角度生成 IP の角度コンペア 0 一致検出、独立矩形 IP2 の U/V/W 相コンペア k 一致検出 (3 相×8 種類=計 24 本) のタイミングで、「A/D コンバータへの A/D 変換開始トリガ」および「入力 IP への角度値ラッチトリガ」を発生させることができます。

また、EMU3nADSFTTRG レジスタの SFTAD ビットを“1”に書き込むと、ソフトウェア起動として、「A/D コンバータへの A/D 変換開始トリガ」および「入力 IP への角度値ラッチトリガ」を発生させることができます。

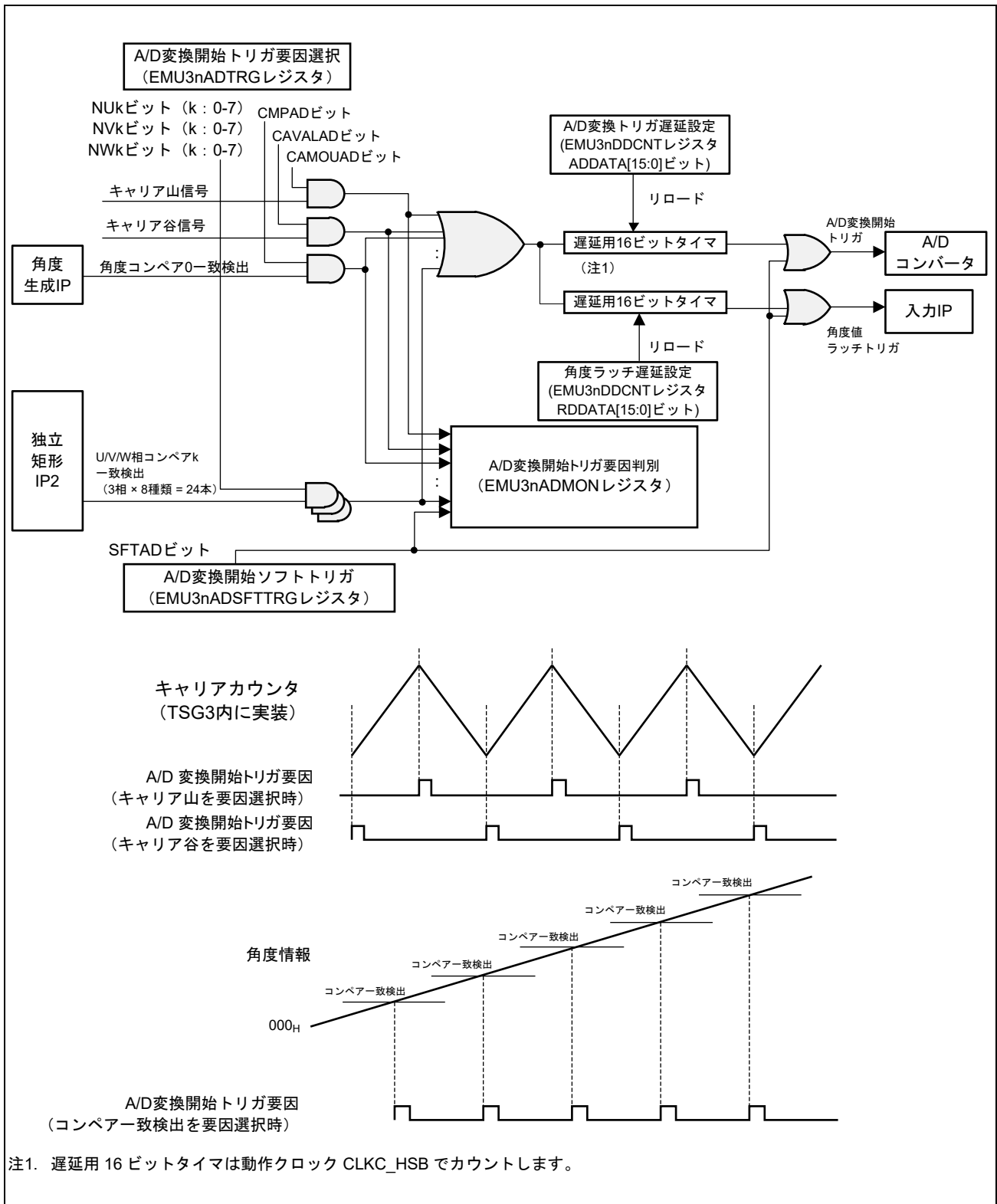


図 25.25 A/D 変換開始トリガ、角度値ラッチトリガ生成機能の構成

EMU3nADMON レジスタを読むと発生要因を判別することができます。A/D 変換開始トリガ要因発生から変換完了までに新たに発生した A/D 変換開始トリガ要因は無効となりますが、EMU3nADMON レジスタの対応する A/D 起動要因判別ビットは“1”になります。EMU3nADMON レジスタの各要因判別ビットは EMU3nADMONC レジスタの対応するビットに“1”を書くとクリアされます。

EMU3nDDCNT レジスタの ADDATA[15:0]ビットに値を設定すると A/D 変換開始トリガ要因発生から A/D 変換開始トリガが発生するまでの時間を遅延させることができ、EMU3nDDCNT レジスタの RDDATA[15:0]ビットに値を設定すると A/D 変換開始トリガ要因発生から入力 IP への角度値ラッチトリガが発生するまでの時間を遅延させることができます。遅延用のカウンタは 16 ビットタイマ構成で、A/D 変換開始トリガ要因発生からダウンカウントし、“0”になるとトリガが発生します。

25.4.9 IIR フィルタ

A/D コンバータから取得した電流値のフィルタ処理を行うため、2 次の IIR フィルタを 3 チャンネルずつ搭載しています。フィルタ係数は 1 チャンルあたり 6 箇所設定します。

フィルタ起動信号入力により、A/D コンバータから取得した電流値が IIR フィルタ処理され、フィルタ結果（24 ビット）はフィルタ結果レジスタに格納します。フィルタ結果をフィルタ後の電流値として EMU3 内で使用する際は、必要に応じて右シフトさせた結果を使用することができます。

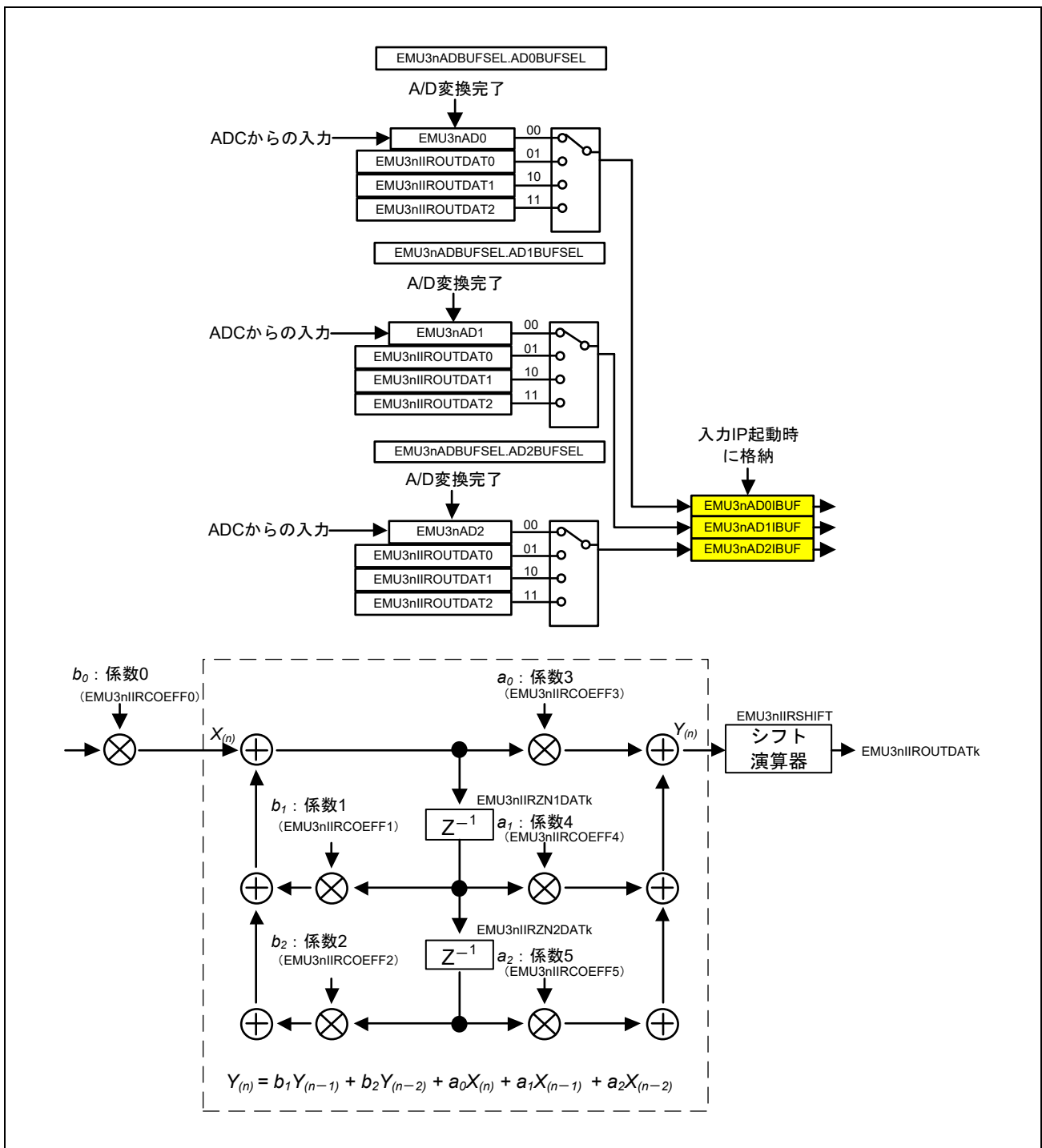


図 25.26 IIR フィルタの処理の流れ

IIR フィルタの入出力データフォーマットを以下に示します。

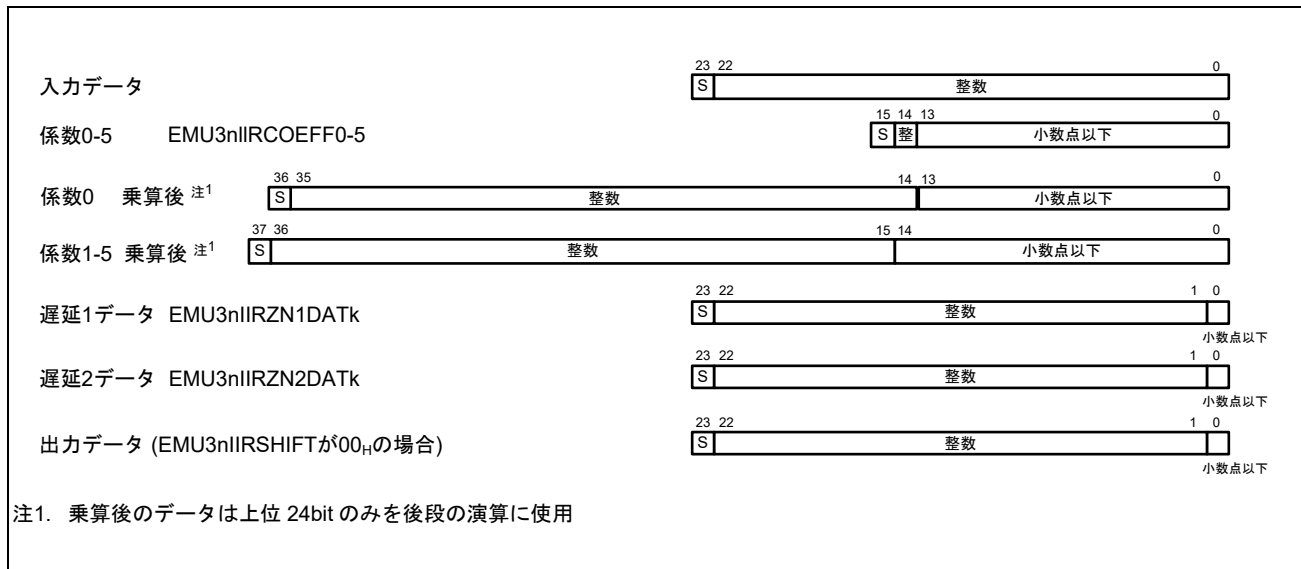


図 25.27 IIR フィルタの入出力データフォーマット

A/D コンバータから取得した電流値以外にも、ソフトウェアで入力したデータや、別 ch のフィルタ演算結果などフィルタ処理する入力データや起動要因を EMU3nIIRCTRk レジスタで選択することができます。

どのチャンネルも IIR フィルタ演算を行っておらず、起動トリガが生成されると、IIR フィルタ演算処理を行うチャンネルを選定し、フィルタ演算を開始します。

いずれかのチャンネルに対して IIR フィルタ演算を行っている場合は、演算の終了を待ちます。

複数のチャンネルのトリガが生成されている場合は、CH0 > CH1 > CH2 の優先度でチャンネルを選択します。

表 25.184 EMU3nIIRCTRk レジスタで選択できるトリガと入力信号

EMU3nIIRCTRk レジスタの TRGSEL[3:0]ビット	起動トリガ	EMU3nIIRCTRk レジスタの DATSEL[3:0]ビット	入力信号
"0000"	IIR フィルタチャンネル 0 ソフトウェア起動 (EMU3nIIRSFT.TRG0)	"0000"	IIR フィルタチャンネル 0 データソフト入力値 (EMU3nIIRSFTDAT0)
"0001"	IIR フィルタチャンネル 1 ソフトウェア起動 (EMU3nIIRSFT.TRG1)	"0001"	IIR フィルタチャンネル 1 データソフト入力値 (EMU3nIIRSFTDAT1)
"0010"	IIR フィルタチャンネル 2 ソフトウェア起動 (EMU3nIIRSFT.TRG2)	"0010"	IIR フィルタチャンネル 2 データソフト入力値 (EMU3nIIRSFTDAT2)
"0100"	A/D 変換チャンネルグループ 完了起動	"0100"	0 データソフト入力値
"0101"	A/D 変換チャンネル 0 完了起動	"0101"	A/D データチャンネル 0
"0110"	A/D 変換チャンネル 1 完了起動	"0110"	A/D データチャンネル 1
"0111"	A/D 変換チャンネル 2 完了起動	"0111"	A/D データチャンネル 2
"1000"	IIR フィルタチャンネル 0 完了起動	"1000"	IIR フィルタチャンネル 0 演算結果データ
"1001"	IIR フィルタチャンネル 1 完了起動	"1001"	IIR フィルタチャンネル 1 演算結果データ
"1010"	IIR フィルタチャンネル 2 完了起動	"1010"	IIR フィルタチャンネル 2 演算結果データ
上記以外	起動しない	上記以外	データ保持

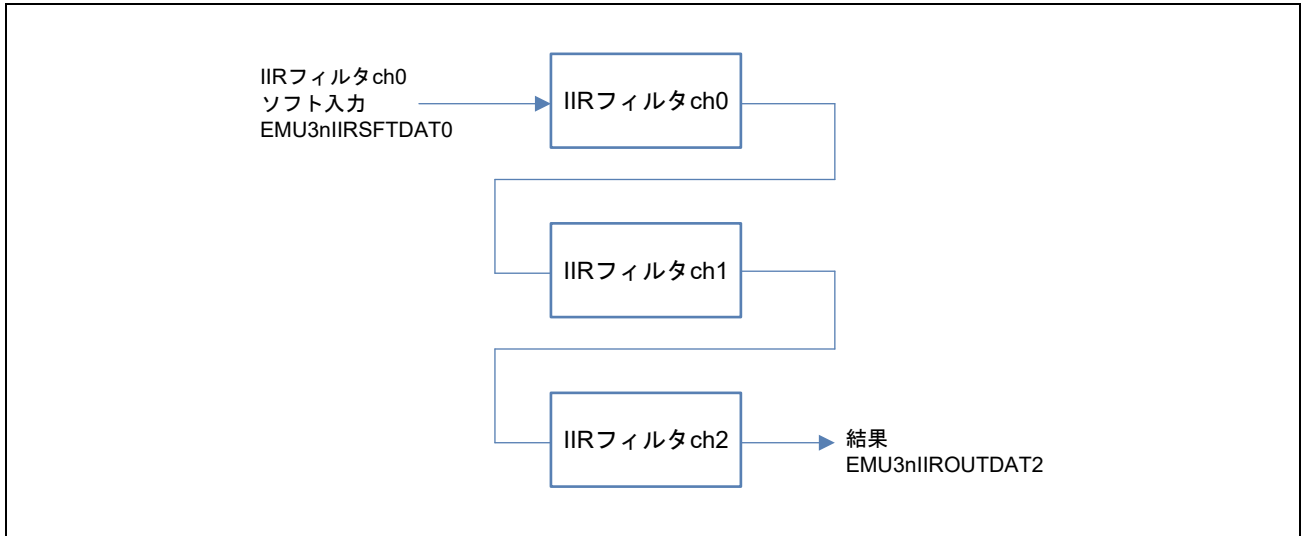


図 25.28 IIR フィルタの処理例

注意事項

本機能は、入力チャンネル、出力チャンネルをそれぞれ 3ch 搭載していますが、演算部は各チャンネルで共用しているため時分割に演算を行います。フィルタ係数や入力信号は IIR フィルタ処理起動前に設定完了してください。

IIR フィルタ演算結果出力までの演算は 24 ビットで収まる値としてください。

25.4.10 パルス周期計測タイマ

パルス周期計測タイマは、R/D コンバータから出力される Z 相信号、または Z 端子からの入力信号のパルス立ち上がり間隔毎のサイクル数を計測します。

表 25.185 パルス周期計測タイマの仕様

項目	仕様
動作クロック	クロック CLKC_HSB
カウント開始/停止	EMU3nPMTCTR レジスタの STR ビットにより制御。
カウント動作	<ul style="list-style-type: none"> 25 ビットのアップカウント。 キャプチャ動作時またはオーバーフロー時に “0” にリセットし、カウント動作を継続。
カウンタの読み出し	EMU3nPMTCNT レジスタを読むと、25 ビットカウンタのカウント値が読める。
カウンタの書き込み	タイマの動作中、停止中に関係なく EMU3nPMTCNT レジスタを通じてカウンタに値を書き込める。
オーバーフロー時	EMU3nPMTCTR レジスタの OVFSW ビットにより、割り込み出力先を選択する。 0 : EMU3nPMTOF レジスタの OVF ビットに “1” を書き込む。 1 : 割り込み要因信号を発生させる。
キャプチャ要因	<ul style="list-style-type: none"> Z 相信号の立ち上がり毎 ソフトウェアトリガ (EMU3nPMTCTR レジスタの STTRG ビットへの “1” 書き込み)
キャプチャ動作	キャプチャ要因検出時にカウント値を EMU3nPMTCAP レジスタに格納する。
キャプチャ値の読み出し	EMU3nPMTCAP レジスタを読むと、25 ビットカウンタのカウント保持値が読める。

注 意

パルス周期計測タイマはクロック CLKC_HSB で動作するため、パルス周期計測タイマに関連するレジスタを書き込んだ結果が反映されるまで時間がかかります。書き込み直後に EMU3nPMTCNT レジスタや EMU3nPMTCAP レジスタ、EMU3nPMTOF レジスタの最新値を読み出すには、書き込み完了後から CLK_EMU_L クロック換算で 10 サイクル以上を経過した後に、読み出してください。

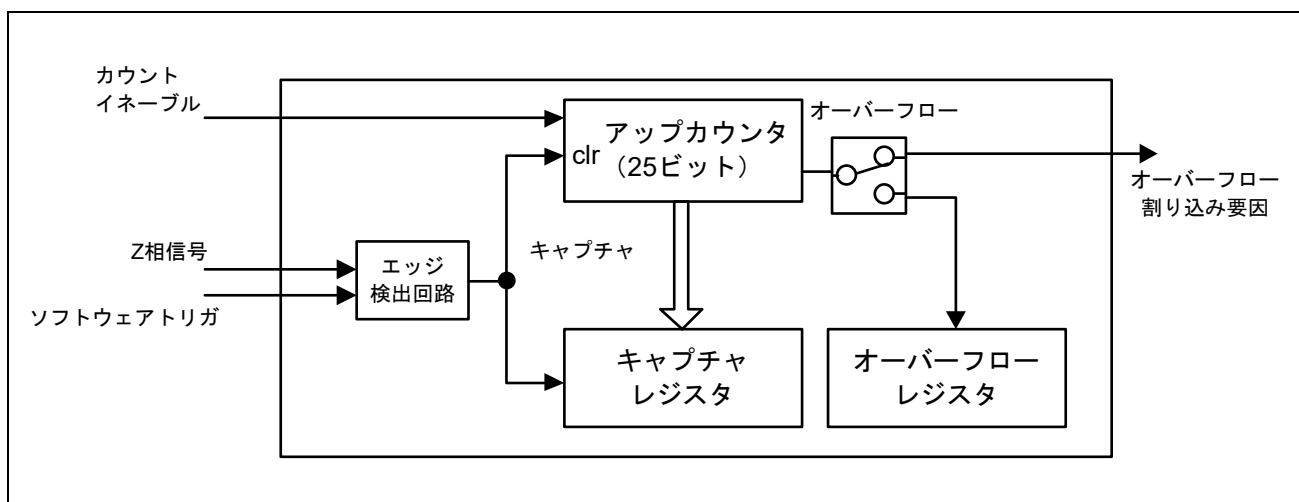


図 25.29 パルス周期計測タイマ

Z 相立ち上がり間隔を計測する場合

Z 相信号のパルス立ち上がりを検出するとカウンタ値が EMU3nPMTCAP レジスタに格納されます。その際、タイマのカウント値が “0” にリセットされカウントが継続されます。

25.4.11 レゾルバ角度計測タイマ

レゾルバ角度計測タイマは、Z 相信号のパルス立ち上がり間隔毎または指定するレゾルバ角間隔毎のサイクル数を計測します。

表 25.186 レゾルバ角度計測タイマの仕様

項目	仕様
動作クロック	クロック CLKC_HSB
カウント開始/停止	EMU3nPMT2CTR レジスタの EN ビットにより制御。
カウント動作	<ul style="list-style-type: none"> 32 ビットのアップカウント。 キャプチャ動作時またはオーバーフロー時に“0”にリセットし、カウント動作を継続。
カウンタの読み出し	EMU3nPMT2CNT レジスタを読むと、32 ビットカウンタのカウント値が読める。
カウンタの書き込み	タイマの動作中、停止中に関係なく EMU3nPMT2CNT レジスタを通じてカウンタに値を書き込める。
オーバーフロー時	割り込み要因信号を発生させる。
キャプチャ要因	<ul style="list-style-type: none"> EMU3nPMT2INV L レジスタにより Z 相信号の立ち上がり毎に設定可能。 ソフトウェアトリガ (EMU3nPMT2SFT レジスタの SCAPTRG ビットへの“1”書き込み)
キャプチャ動作	キャプチャ要因検出時にカウント値を EMU3nPMT2CAP レジスタに格納する。その際に割り込み要因信号を発生させる。
キャプチャ値の読み出し	EMU3nPMT2CAP レジスタを読むと、32 ビットカウンタのカウント保持値が読める。

注 意

レゾルバ角度計測タイマはクロック CLKC_HSB で動作するため、レゾルバ角度計測タイマに関連するレジスタを書き込んだ結果が反映されるまで時間がかかります。書き込み直後に EMU3nPMT2CNT レジスタや EMU3nPMT2CAP レジスタの最新値を読み出すには、書き込み完了後から CLK_EMU_L クロック換算で 10 サイクル以上を経過した後に、読み出してください。

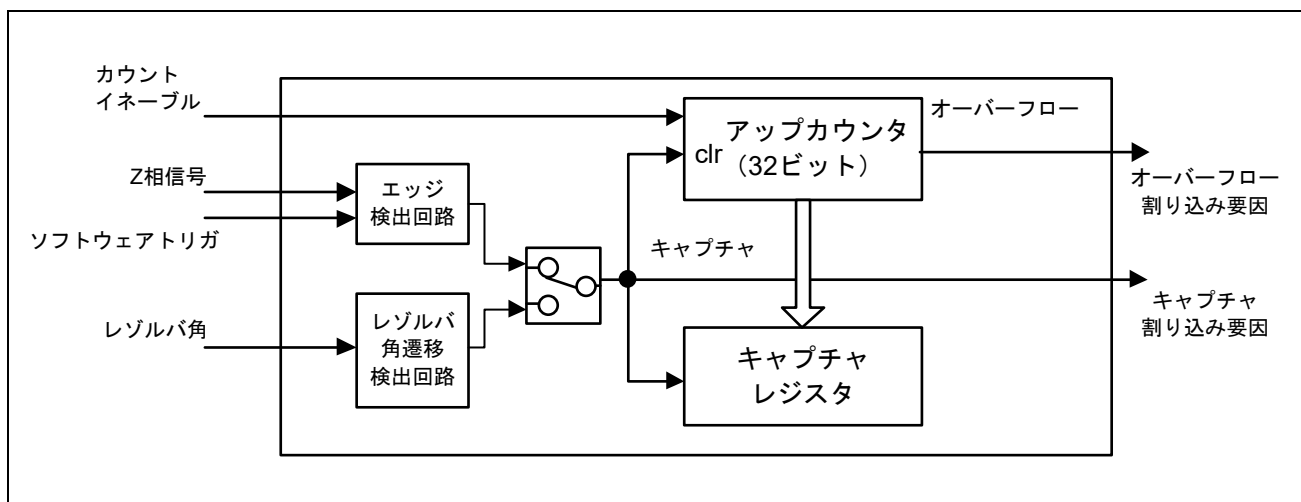


図 25.30 レゾルバ角度計測タイマ

Z 相立ち上がり間隔を計測する場合

Z 相信号のパルス立ち上がりを検出するとカウンタ値が EMU3nPMT2CAP レジスタに格納されます。その際、タイマのカウント値が“0”にリセットされカウントが継続されます。

25.4.12 内部バッファレジスタ

表 25.187～表 25.193 に内部バッファを持つレジスタとその更新タイミングを示します。

Read/Write 可能なレジスタのうち、バッファ無しのレジスタは各 IP の動作中に変更すると動作が不定になります。各 IP の起動前に変更して下さい。バッファ有りのレジスタは図 25.31 に示す通り、各バッファの更新タイミングで IP 内部へ伝搬するため、IP の動作中であってもレジスタの変更が可能です。

Read のみ可能なレジスタのうち、バッファ無しのレジスタは各 IP の動作中に読み出すと、前回または今回の結果が読み出されます。読み出しは IP の処理完了後に行ってください。バッファ有りのレジスタは図 25.32 に示す通り、各バッファの更新タイミングで IP 外部へ伝搬し、各レジスタ値として読み出すことができます。

なお、表 25.190 の欄“同時反映制御”には、複数のレジスタ値更新の同時性を確保するための機能を有効にする制御ビットを示します。図 25.33 に示す通り EMU3nREFCTR レジスタの FPWMREFPER ビットの値が“1”である場合に、PWM IP 起動の際に IP 内部へ値が伝搬します。

なお、表 25.193 の欄“タイミング”に“レジスタ設定”が示されるレジスタについては、EMU3nCBTIM レジスタで指定されるタイミングの際に EMU3nCBCTR0 レジスタでバッファリングが許可状態であると、バッファの更新が行われ各レジスタ値として読み出すことができます。

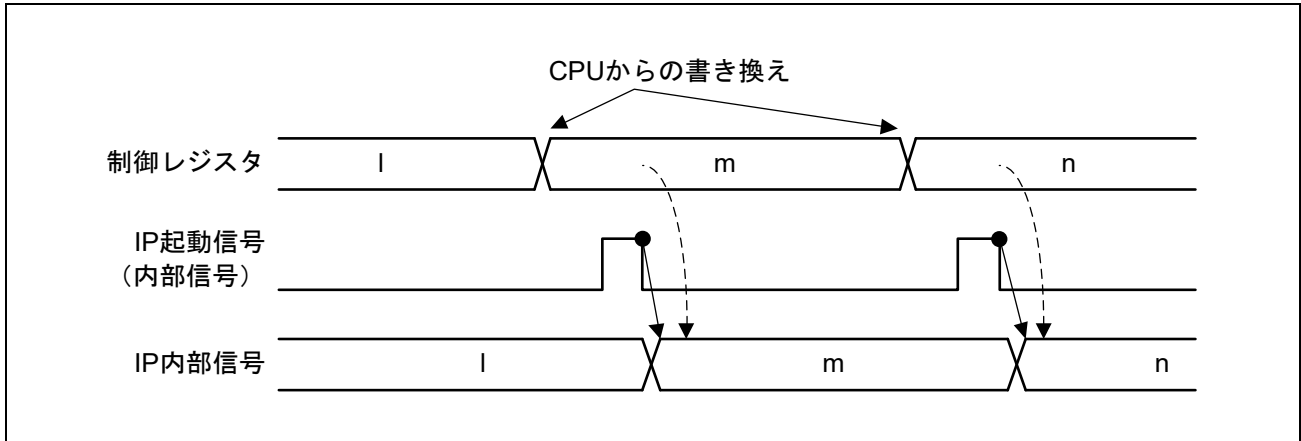


図 25.31 Read/Write レジスタのバッファ動作概要

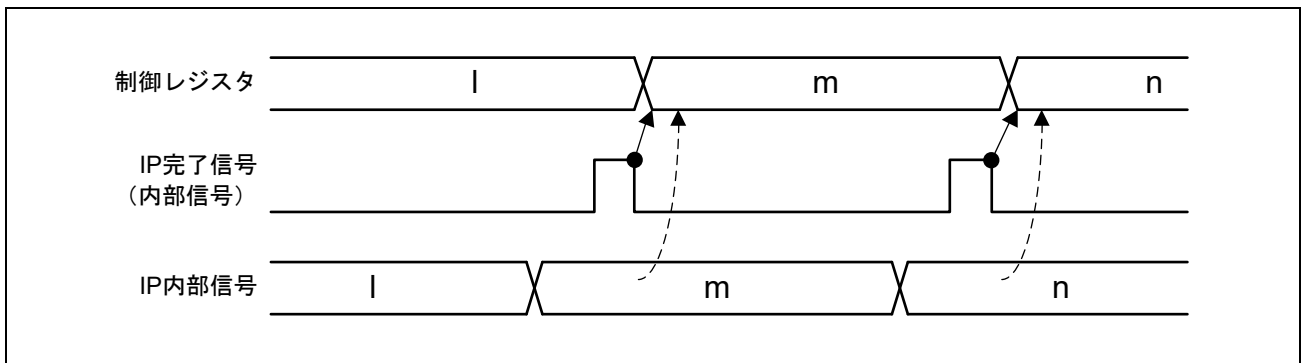


図 25.32 Read オンリーレジスタのバッファ動作概要

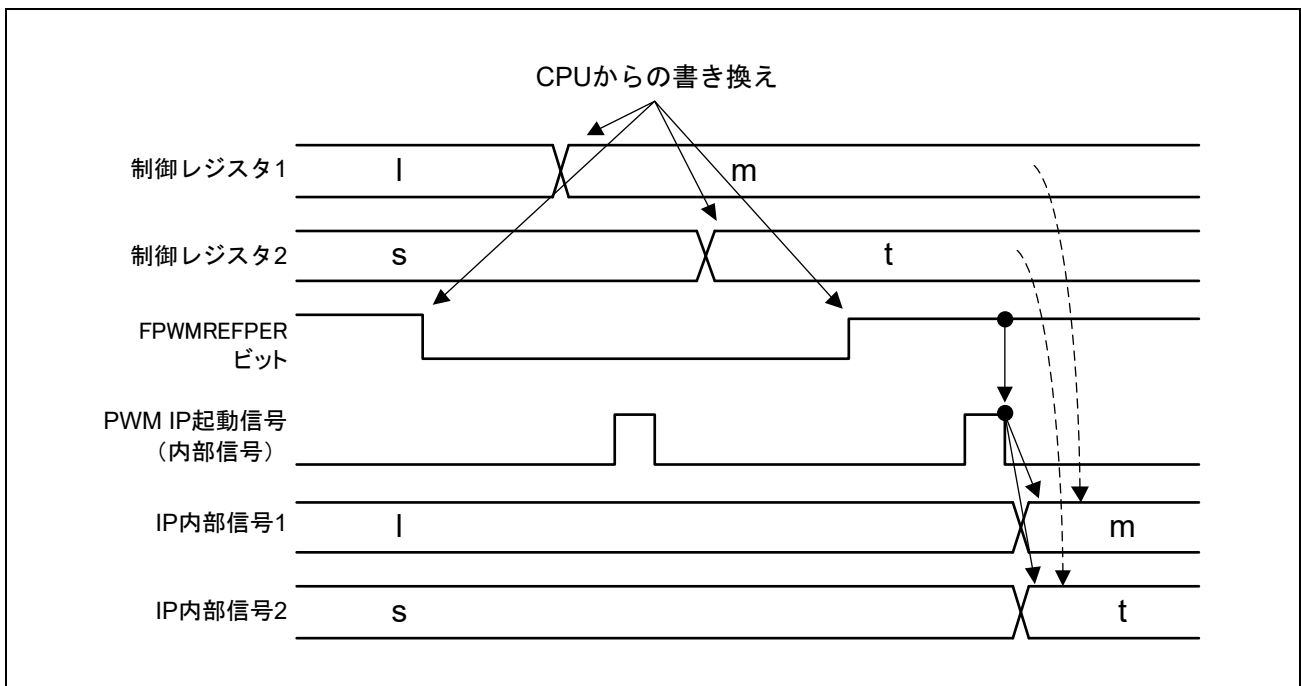


図 25.33 FPWMREFPER ビットによる同時反映制御概要

表 25.187 レジスタ・バッファの一覧 (角度生成 IP)

レジスタ名	シンボル名	ビット名	タイミング	備考
EMU3n レゾルバ角オフセット値レジスタ	EMU3nANGOFS	全ビット	角度変化検出時	—

表 25.188 レジスタ・バッファの一覧 (入力 IP)

レジスタ名	シンボル名	ビット名	タイミング	備考
EMU3n 入力 IP 制御レジスタ	EMU3nCTRINMD	FREGIN	入力 IP 起動	—
EMU3n 電気角レジスタ	EMU3nTHTEFIX	全ビット	(角度値ラッチトリガ) 入力 IP 起動	—
EMU3n 入力 IP 用電気角ソフト入力レジスタ	EMU3nTHTESFT	全ビット	入力 IP 起動	—
EMU3n 電気角応答遅れ補正変数レジスタ	EMU3nEARD	全ビット	入力 IP 起動	—
EMU3n 誤差重畳後レゾルバ角レジスタ	EMU3nTHTRESFIX	全ビット	(角度値ラッチトリガ)	—
EMU3n レゾルバ角モニタレジスタ	EMU3nTHTRESFIXIN	全ビット	入力 IP 完了	—
EMU3n A/D データ 0 レジスタ	EMU3nAD0	全ビット	入力 IP 起動	—
EMU3n A/D データ 1 レジスタ	EMU3nAD1	全ビット	入力 IP 起動	—
EMU3n A/D データ 2 レジスタ	EMU3nAD2	全ビット	入力 IP 起動	—
EMU3n IIR フィルタチャンネル 0 出力データレジスタ	EMU3nIIROUTDAT0	全ビット	入力 IP 起動	—
EMU3n IIR フィルタチャンネル 1 出力データレジスタ	EMU3nIIROUTDAT1	全ビット	入力 IP 起動	—
EMU3n IIR フィルタチャンネル 2 出力データレジスタ	EMU3nIIROUTDAT2	全ビット	入力 IP 起動	—
EMU3n A/D データ 0 原点補正值レジスタ	EMU3nAD0OFS	全ビット	入力 IP 起動	—
EMU3n A/D データ 1 原点補正值レジスタ	EMU3nAD1OFS	全ビット	入力 IP 起動	—
EMU3n A/D データ 2 原点補正值レジスタ	EMU3nAD2OFS	全ビット	入力 IP 起動	—
EMU3n LSB 調整レジスタ	EMU3nDIVLSB	全ビット	入力 IP 起動	—
EMU3n A/D データ 0 変換値出力バッファレジスタ	EMU3nAD0FIXOBUF	全ビット	入力 IP 完了	—
EMU3n A/D データ 1 変換値出力バッファレジスタ	EMU3nAD1FIXOBUF	全ビット	入力 IP 完了	—
EMU3n A/D データ 2 変換値出力バッファレジスタ	EMU3nAD2FIXOBUF	全ビット	入力 IP 完了	—
EMU3n U 相電流値出力バッファレジスタ	EMU3nIUFIXOBUF	全ビット	入力 IP 完了	—
EMU3n V 相電流値出力バッファレジスタ	EMU3nIVFIXOBUF	全ビット	入力 IP 完了	—
EMU3n W 相電流値出力バッファレジスタ	EMU3nIWFIXOBUF	全ビット	入力 IP 完了	—
EMU3n d 軸電流値出力バッファレジスタ	EMU3nIDFIXOBUF	全ビット	入力 IP 完了	—
EMU3n q 軸電流値出力バッファレジスタ	EMU3nIQFIXOBUF	全ビット	入力 IP 完了	—

表 25.189 レジスタ・バッファの一覧 (PI 制御 IP)

レジスタ名	シンボル名	ビット名	タイミング	備考
EMU3n PI 制御 IP 制御レジスタ	EMU3nPICTR	FSUMID, FSUMIQ	PI 制御 IP 起動	—
EMU3n d 軸電流指令値レジスタ	EMU3nIDIN	全ビット	PI 制御 IP 起動	—
EMU3n q 軸電流指令値レジスタ	EMU3nIQIN	全ビット	PI 制御 IP 起動	—
EMU3n d 軸比例ゲイン 0 レジスタ	EMU3nGPD0	全ビット	PI 制御 IP 起動	—
EMU3n q 軸比例ゲイン 0 レジスタ	EMU3nGPQ0	全ビット	PI 制御 IP 起動	—
EMU3n d 軸積分ゲインレジスタ	EMU3nGID	全ビット	PI 制御 IP 起動	—
EMU3n q 軸積分ゲインレジスタ	EMU3nGIQ	全ビット	PI 制御 IP 起動	—
EMU3n d 軸積分最大値レジスタ	EMU3nGIDMAX	全ビット	PI 制御 IP 起動	—
EMU3n q 軸積分最大値レジスタ	EMU3nGIQMAX	全ビット	PI 制御 IP 起動	—
EMU3n d 軸比例ゲインレジスタ	EMU3nGPD	全ビット	PI 制御 IP 起動	—
EMU3n q 軸比例ゲインレジスタ	EMU3nGPQ	全ビット	PI 制御 IP 起動	—
EMU3n d 軸電圧最大値レジスタ	EMU3nVDMAX	全ビット	PI 制御 IP 起動	—
EMU3n q 軸電圧最大値レジスタ	EMU3nVQMAX	全ビット	PI 制御 IP 起動	—
EMU3n d 軸電流値ソフト入力レジスタ	EMU3nID	全ビット	PI 制御 IP 起動	—
EMU3n q 軸電流値ソフト入力レジスタ	EMU3nIQ	全ビット	PI 制御 IP 起動	—
EMU3n d 軸積分値ソフト入力レジスタ	EMU3nSUMID	全ビット	PI 制御 IP 起動	—
EMU3n q 軸積分値ソフト入力レジスタ	EMU3nSUMIQ	全ビット	PI 制御 IP 起動	—
EMU3n d 軸電圧値出力バッファレジスタ	EMU3nVDOBUF	全ビット	PI 制御 IP 完了	—
EMU3n q 軸電圧値出力バッファレジスタ	EMU3nVQOBUF	全ビット	PI 制御 IP 完了	—

表 25.190 レジスタ・バッファの一覧 (PWM IP)

レジスタ名	シンボル名	ビット名	タイミング	同時反映制御
EMU3n d 軸電圧補正值レジスタ	EMU3nVDCRCT	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n q 軸電圧補正值レジスタ	EMU3nVQCRCT	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n PWM IP 用電気角オフセットレジスタ	EMU3nPHI	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n キャリア周期レジスタ	EMU3nCARR	全ビット	PWM IP 起動	—
EMU3n PWM IP 制御レジスタ	EMU3nPWMCTR	FLININIP	PWM IP 起動	—
EMU3n PWM IP 用電気角ソフト入力レジスタ	EMU3nTHTFORESFT	全ビット	PWM IP 起動	—
EMU3n PWM IP 用電気角調整用係数レジスタ	EMU3nGTHT	全ビット	PWM IP 起動	—
EMU3n U 相電圧補正值レジスタ	EMU3nVUOFS	全ビット	PWM IP 起動	—
EMU3n V 相電圧補正值レジスタ	EMU3nVVOFS	全ビット	PWM IP 起動	—
EMU3n W 相電圧補正值レジスタ	EMU3nVWOFs	全ビット	PWM IP 起動	—
EMU3n 入力電圧レジスタ	EMU3nVOLV	全ビット	PWM IP 起動	—
EMU3n 非干渉化制御係数角速度値ゲインレジスタ	EMU3nDECVELG	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n 非干渉化制御係数 Ld 値レジスタ	EMU3nDECLD	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n 非干渉化制御係数 Lq 値レジスタ	EMU3nDECLQ	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n 非干渉化制御係数磁束値レジスタ	EMU3nDECFLUX	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n PWM 変調用波高値レジスタ	EMU3nTMAX	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n dq 軸電圧位相角ソフト入力レジスタ	EMU3nTHTVSFT	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER
EMU3n dq 軸電圧値ソフト入力レジスタ	EMU3nVDQSFT	全ビット	PWM IP 起動	EMU3nREFCTR. FPWMREFPER

表 25.191 レジスタ・バッファの一覧 (矩形 IP)

レジスタ名	シンボル名	ビット名	タイミング	備考
EMU3n 矩形 IP 制御レジスタ	EMU3nRECCTR	FDRCT, FIPPOSI	矩形 IP 起動	—
EMU3n q 軸基準電圧位相ソフト入力レジスタ	EMU3nPHQSFT	全ビット	矩形 IP 起動	—
EMU3n スイッチング指令ソフト入力レジスタ	EMU3nPSWSFT	全ビット	矩形 IP 起動	—

表 25.192 レジスタ・バッファの一覧 (IIR フィルタ)

レジスタ名	シンボル名	ビット名	タイミング	備考
EMU3n IIR フィルタ係数 0 指定レジスタ	EMU3nIIRCOEFF0	全ビット	EMU3nIIRRLD 設定時	—
EMU3n IIR フィルタ係数 1 指定レジスタ	EMU3nIIRCOEFF1	全ビット	EMU3nIIRRLD 設定時	—
EMU3n IIR フィルタ係数 2 指定レジスタ	EMU3nIIRCOEFF2	全ビット	EMU3nIIRRLD 設定時	—
EMU3n IIR フィルタ係数 3 指定レジスタ	EMU3nIIRCOEFF3	全ビット	EMU3nIIRRLD 設定時	—
EMU3n IIR フィルタ係数 4 指定レジスタ	EMU3nIIRCOEFF4	全ビット	EMU3nIIRRLD 設定時	—
EMU3n IIR フィルタ係数 5 指定レジスタ	EMU3nIIRCOEFF5	全ビット	EMU3nIIRRLD 設定時	—
EMU3n IIR フィルタシフト量指定レジスタ	EMU3nIIRSHIFT	全ビット	EMU3nIIRRLD 設定時	—

表 25.193 レジスタ・バッファの一覧 (検算用バッファ)

レジスタ名	シンボル名	ビット名	タイミング	備考
EMU3n A/D データ 0 検算用バッファレジスタ	EMU3nCBAD0	全ビット	レジスタ設定	—
EMU3n A/D データ 1 検算用バッファレジスタ	EMU3nCBAD1	全ビット	レジスタ設定	—
EMU3n A/D データ 2 検算用バッファレジスタ	EMU3nCBAD2	全ビット	レジスタ設定	—
EMU3n レゾルバ角検算用バッファレジスタ	EMU3nCBTHTRESFIXI N	全ビット	レジスタ設定	—
EMU3n d 軸電流値検算用バッファレジスタ	EMU3nCBIDFIX	全ビット	レジスタ設定	—
EMU3n q 軸電流値検算用バッファレジスタ	EMU3nCBIQFIX	全ビット	レジスタ設定	—
EMU3n U 相 PWM コンペア値検算用バッファレジスタ	EMU3nCBPWMUIP	全ビット	レジスタ設定	—
EMU3n V 相 PWM コンペア値検算用バッファレジスタ	EMU3nCBPWMVIP	全ビット	レジスタ設定	—
EMU3n W 相 PWM コンペア値検算用バッファレジスタ	EMU3nCBPWMWIP	全ビット	レジスタ設定	—
EMU3n 矩形パタン値検算用バッファレジスタ	EMU3nCBBREC	全ビット	レジスタ設定	—
EMU3n 独立矩形 IP1 パタン値検算用バッファレジスタ	EMU3nCBIREC	全ビット	レジスタ設定	—

25.4.13 非同期データ受け渡し機能

EMU3 では異なるタイミング周期のタスク間で複数データを同時に受け渡す機能（レジスタハンドシェイク機能）を搭載しています。

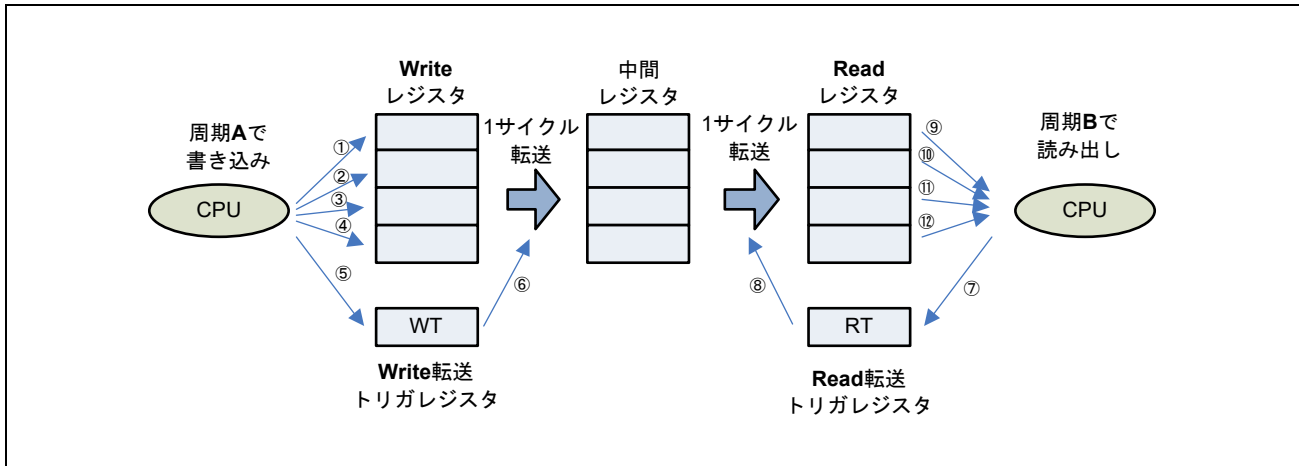


図 25.34 非同期ハンドシェイクレジスタの動き

図 25.34 の周期 A から周期 B にデータを受け渡す場合を以下に説明します。

周期 A で定時処理を終えた CPU は順次受け渡すデータをハンドシェイク用レジスタのデータセット Write レジスタ (EMU3nDATSETWkm) に書き込みます。すべてのデータセットの書き込みが完了した後、データセット WBk 転送トリガレジスタ (EMU3nDATSETWBk) のビットを操作して 1 サイクルで中間レジスタにデータを送ります。その後は再び任意のタイミングでデータセット Write レジスタ (EMU3nDATSETWkm) に書き込みを行うことができます。

中間レジスタに格納されたデータは周期 B のタイミングで取り込みを行います。中間レジスタへ一時的に格納されているセットデータをデータセット BRk 転送トリガレジスタ (EMU3nDATSETBRk) のビットを操作して Read レジスタへ転送します。Read レジスタへ読み込まれたデータは周期 B 内の任意のタイミングで使用することができます。

25.4.14 故障検出機能

H/W アクセラレータは回路故障検出のためにモータ制御処理結果の値を専用のレジスタへバッファリングする機能を備えています。「入力 IP 完了」や「角度コンペア 0 一致検出」等の指定するタイミングで以下の値をバッファリングすることが可能です。

下記のバッファリングされた各値を CPU の診断プログラムにて検算し、処理結果が正しいことを確認することができます。

表 25.194 検算用バッファレジスタ

レジスタと値 (転送元)	検算用バッファレジスタ (転送先)
EMU3n A/D データ k レジスタ (EMU3nADk) (k = 0, 1, 2)	EMU3n A/D データ k 検算用バッファレジスタ (EMU3nCBADk) (k = 0, 1, 2)
EMU3n レゾルバ角モニタレジスタ (EMU3nTHTRESFIXIN)	EMU3n レゾルバ角検算用バッファレジスタ (EMU3nCBTHTRESFIXIN)
EMU3n d 軸電流値レジスタ (EMU3nIDFIX)	EMU3n d 軸電流値検算用バッファレジスタ (EMU3nCBIDFIX)
EMU3n q 軸電流値レジスタ (EMU3nIQFIX)	EMU3n q 軸電流値検算用バッファレジスタ (EMU3nCBIQFIX)
U 相 PWM コンペア値の端子出力値	EMU3n U 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMUIP)
V 相 PWM コンペア値の端子出力値	EMU3n V 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMVIP)
W 相 PWM コンペア値の端子出力値	EMU3n W 相 PWM コンペア値検算用バッファレジスタ (EMU3nCBPWMWIP)
U/V/W 相矩形出力パターン値	EMU3n 矩形パターン値検算用バッファレジスタ (EMU3nCBBREC)
U/V/W 相独立矩形 1 出力パターン値	EMU3n 独立矩形 1 パターン値検算用バッファレジスタ (EMU3nCBIREC)

バッファリング機能を使用すると、EMU3nCBTIM レジスタで選択したタイミングで、対象となるレジスタと値を検算用バッファレジスタに転送することができます。

バッファリングを許可する方法は二通りあります。EMU3nCBCTR0 レジスタの CBEN1 ビットを“0”に設定した場合、CBEN0 ビットに“1”を書く度に一度だけバッファリングが許可されます。EMU3nCBCTR0 レジスタの CBMON ビットは CBEN0 ビットに“1”を書くと“1”になり、バッファリングが完了すると“0”になります。

CBEN1 ビットを“1”に設定した場合、常にバッファリングは許可された状態になります。CBMON ビットは、CBEN1 ビットが“1”に設定されている期間は常に“1”になります。

EMU3nINTk レジスタ (k=0~7) の CBUFINT ビットを“1” (割り込み許可) に設定すると、バッファリング完了時に、検算用バッファリング完了割り込みが発生します。

25.4.15 割り込み制御

EMU3 は表 25.195 に示す 16 本の割り込み出力端子があります^{注1}。

EMU3n 割り込み 0~7 は H/W アクセラレータ (チャンネル n) からの複数の割り込み要因を選択し割り当てる事が可能です。1 本の割り込み出力信号に複数の割り込み要因が同時に発生した場合は、1 本の割り込み信号となる事があります。

割り込み要因選択レジスタ (EMU3nINTk) にて割り込みの要因を選択可能です。CPU に対する割り込みの優先順位は割り込みコントローラにて設定して下さい。

表 25.195 割り込み信号出力

名称	機能	割り込み要因を選択できるレジスタ
EMU30 割り込み 0	チャンネル 0 H/W アクセラレータ割り込み要因 0	EMU30 割り込み要因選択レジスタ 0
EMU30 割り込み 1	チャンネル 0 H/W アクセラレータ割り込み要因 1	EMU30 割り込み要因選択レジスタ 1
EMU30 割り込み 2	チャンネル 0 H/W アクセラレータ割り込み要因 2	EMU30 割り込み要因選択レジスタ 2
EMU30 割り込み 3	チャンネル 0 H/W アクセラレータ割り込み要因 3	EMU30 割り込み要因選択レジスタ 3
EMU30 割り込み 4	チャンネル 0 H/W アクセラレータ割り込み要因 4	EMU30 割り込み要因選択レジスタ 4
EMU30 割り込み 5	チャンネル 0 H/W アクセラレータ割り込み要因 5	EMU30 割り込み要因選択レジスタ 5
EMU30 割り込み 6	チャンネル 0 H/W アクセラレータ割り込み要因 6	EMU30 割り込み要因選択レジスタ 6
EMU30 割り込み 7	チャンネル 0 H/W アクセラレータ割り込み要因 7	EMU30 割り込み要因選択レジスタ 7
EMU31 割り込み 0	チャンネル 1 H/W アクセラレータ割り込み要因 0	EMU31 割り込み要因選択レジスタ 0
EMU31 割り込み 1	チャンネル 1 H/W アクセラレータ割り込み要因 1	EMU31 割り込み要因選択レジスタ 1
EMU31 割り込み 2	チャンネル 1 H/W アクセラレータ割り込み要因 2	EMU31 割り込み要因選択レジスタ 2
EMU31 割り込み 3	チャンネル 1 H/W アクセラレータ割り込み要因 3	EMU31 割り込み要因選択レジスタ 3
EMU31 割り込み 4	チャンネル 1 H/W アクセラレータ割り込み要因 4	EMU31 割り込み要因選択レジスタ 4
EMU31 割り込み 5	チャンネル 1 H/W アクセラレータ割り込み要因 5	EMU31 割り込み要因選択レジスタ 5
EMU31 割り込み 6	チャンネル 1 H/W アクセラレータ割り込み要因 6	EMU31 割り込み要因選択レジスタ 6
EMU31 割り込み 7	チャンネル 1 H/W アクセラレータ割り込み要因 7	EMU31 割り込み要因選択レジスタ 7

注 1. EMU31 割り込み 0~7 は RH850/C1M-A2 のみ対応しています。

H/W アクセラレータからの割り込み出力に割り当て可能な割り込み要因種別

- 角度コンペア 0 一致検出、角度コンペア 1 一致
- 独立矩形 IP1 U 相角度コンペア検出、V 相角度コンペア検出、W 相角度コンペア検出
- 独立矩形 IP2 U 相角度コンペア検出、V 相角度コンペア検出、W 相角度コンペア検出
- キャリアトリガ山、谷
- 入力 IP 完了、PI 制御 IP 完了、PWM IP 完了、矩形 IP 完了
- パルス周期計測タイマ オーバーフロー検出
- レゾルバ角度計測タイマ キャプチャ、オーバーフロー検出
- A/D 変換完了
- IIR チャンネル 0, 1, 2 処理完了
- 検算用レジスタの更新完了
- キルヒホッフ電流則違反
- 入力、PI 制御、PWM IP の WAIT 遷移検出
- 角度生成 IP の WAIT 遷移検出

25.5 動作説明

25.5.1 EMU3 の初期化

H/W アクセラレータの初期設定フロー例を示します。使用しない機能については設定不要です。
EMUST ビットにて再スタート（動作→リセット→動作）する際も本手順で設定してください。

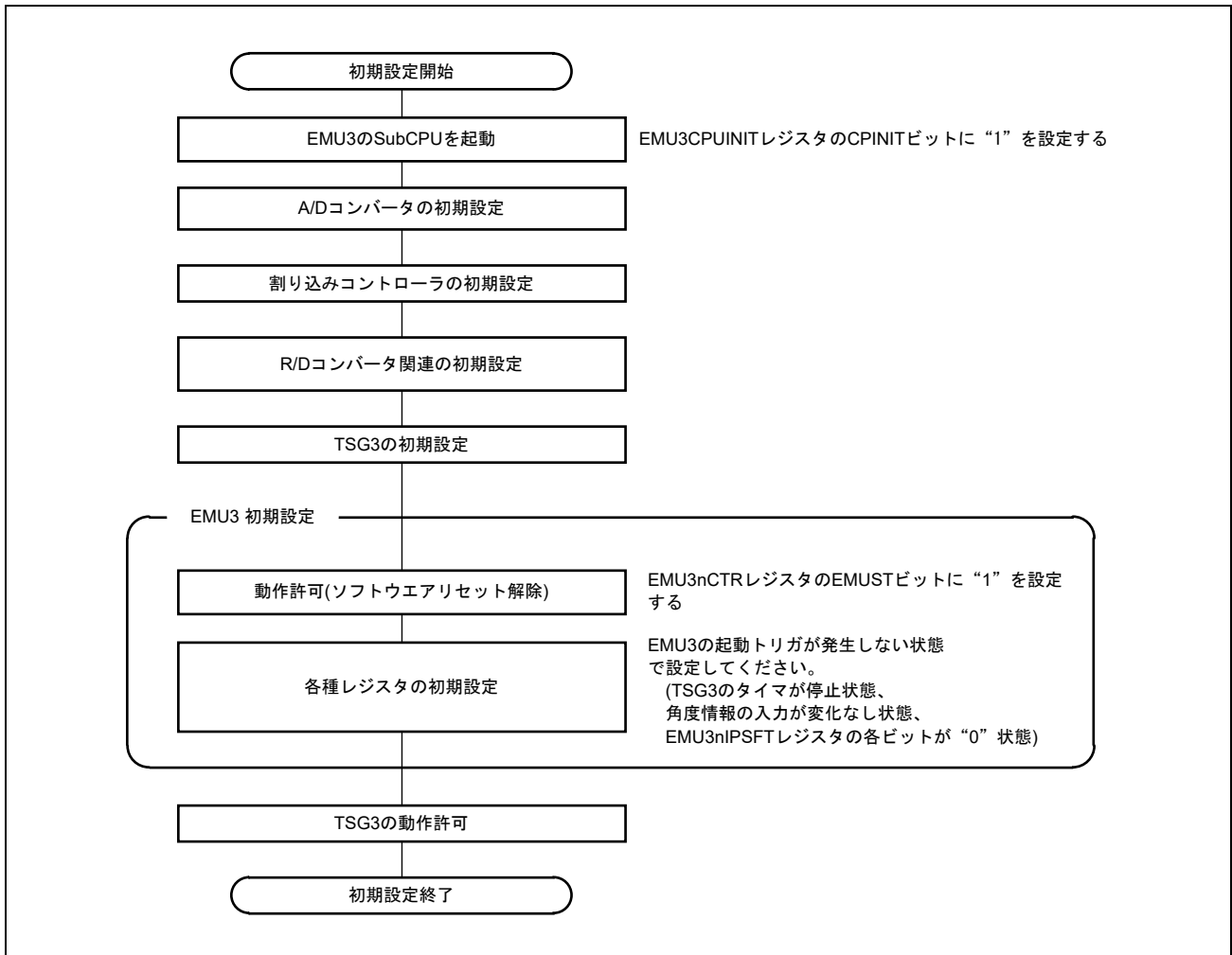


図 25.35 H/W アクセラレータの初期設定フロー例

25.5.2 H/W アクセラレータの各 IP の初期設定・割り込み処理の実行手順

H/W アクセラレータが持つ各機能の初期設定および割り込み時処理例を示します。CPU 割り込みとソフトウェア起動を組み合わせることにより、「PI 制御 IP の処理結果を CPU プログラムで補正し、PWM IP に続きを処理させる」、「入力 IP の処理結果を基に CPU プログラムで PI 制御の処理を行い、PWM IP に続きを処理させる」という実行方法が可能です。

一括矩形 IP のソフト処理による矩形波制御および独立矩形 IP1、独立矩形 IP2 による矩形波制御の場合は、「角度コンペア 0 一致検出の割り込みを基に CPU プログラムにて比較値およびパタン値を更新する」という実行方法が可能です。

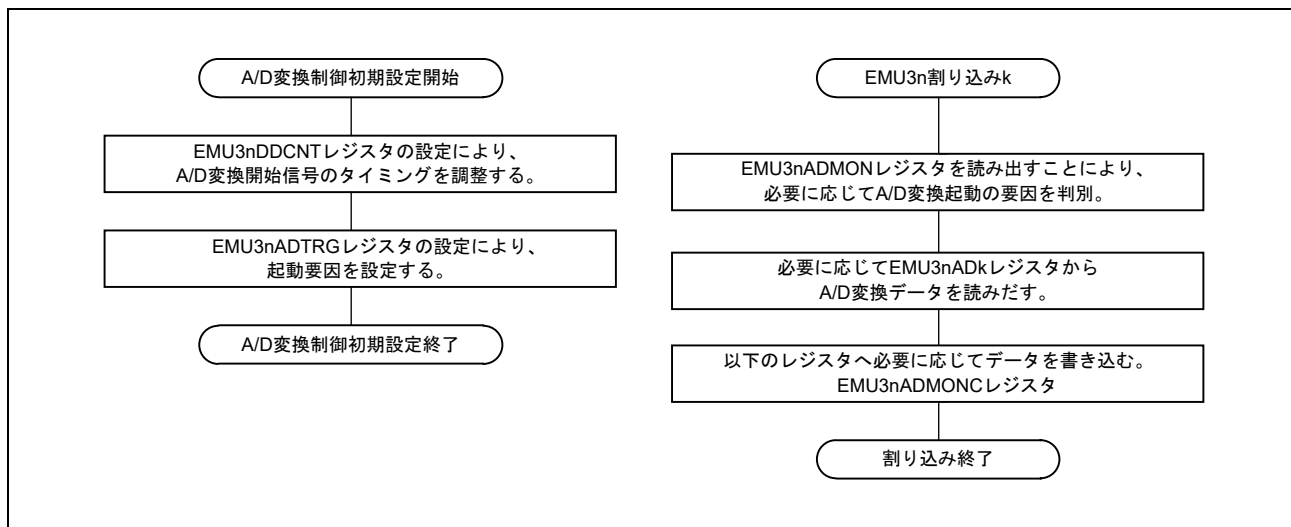


図 25.36 A/D 変換制御の初期設定手順例（割り込みを使用する場合）

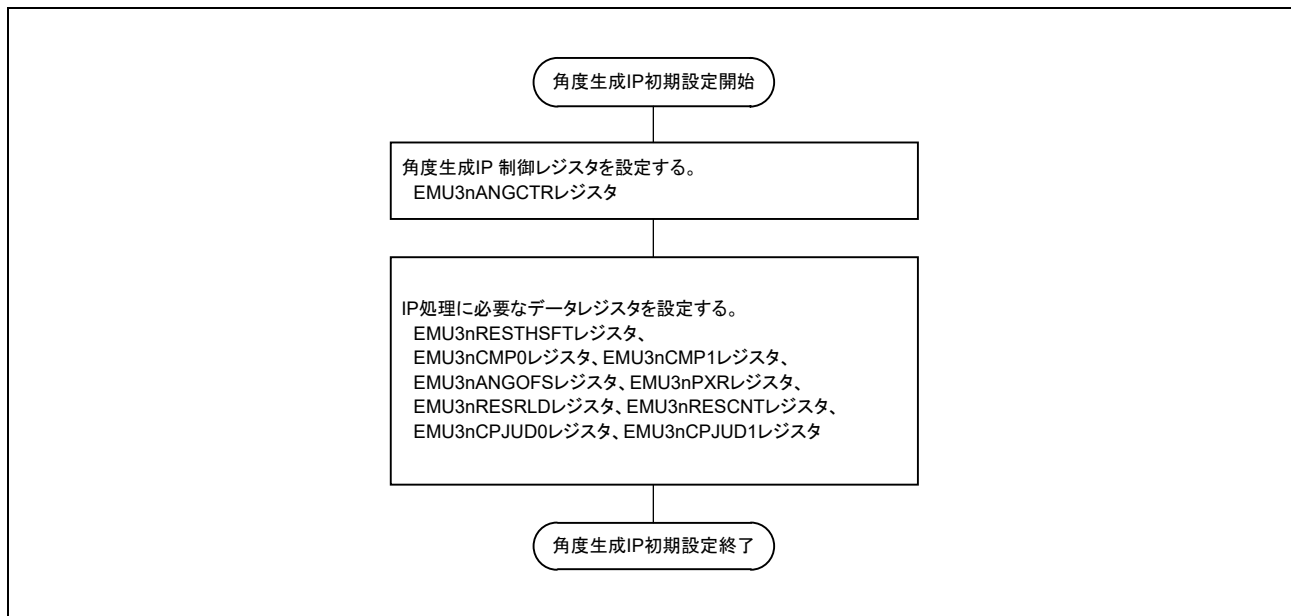


図 25.37 角度生成 IP の初期設定手順例

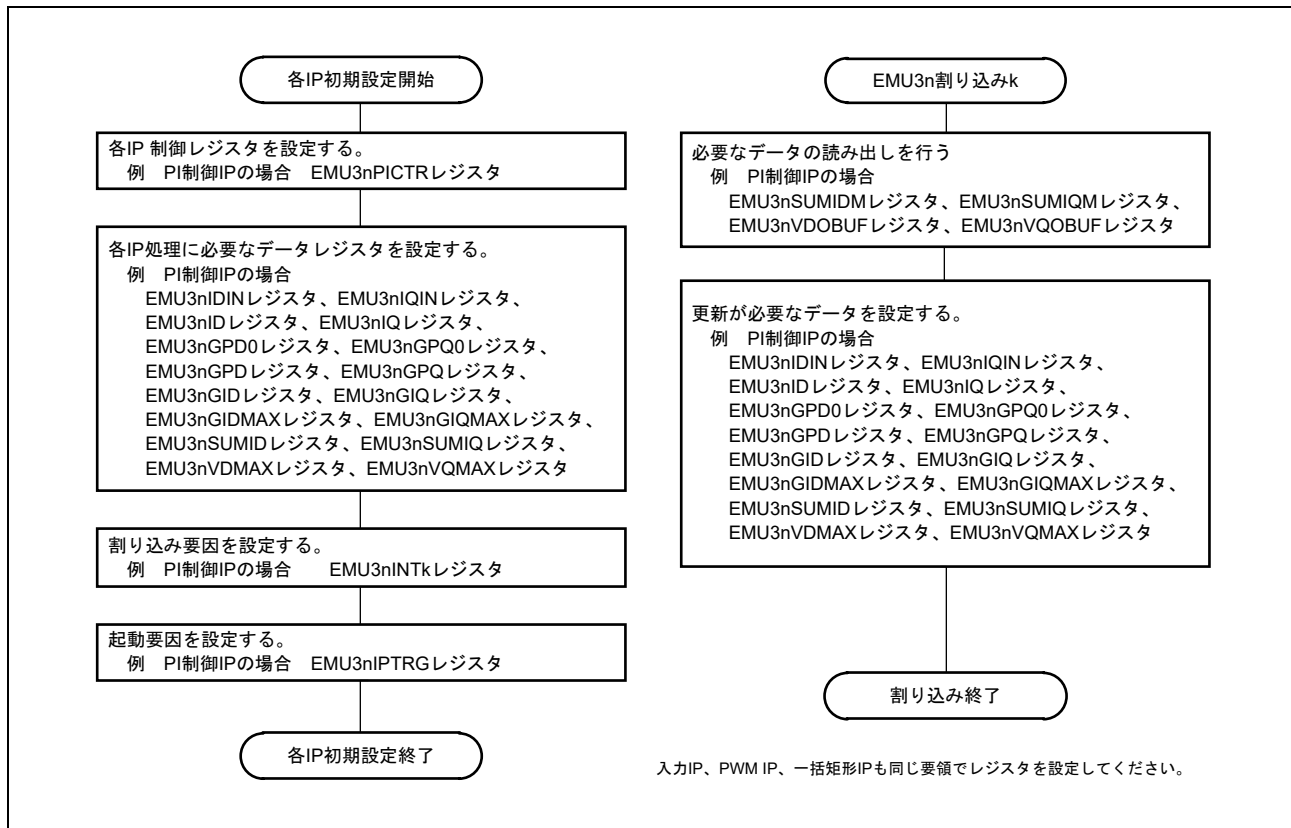


図 25.38 入力 IP、PI 制御 IP、PWM IP、一括矩形 IP（ハード処理）の初期設定手順例（割り込みを使用する場合）

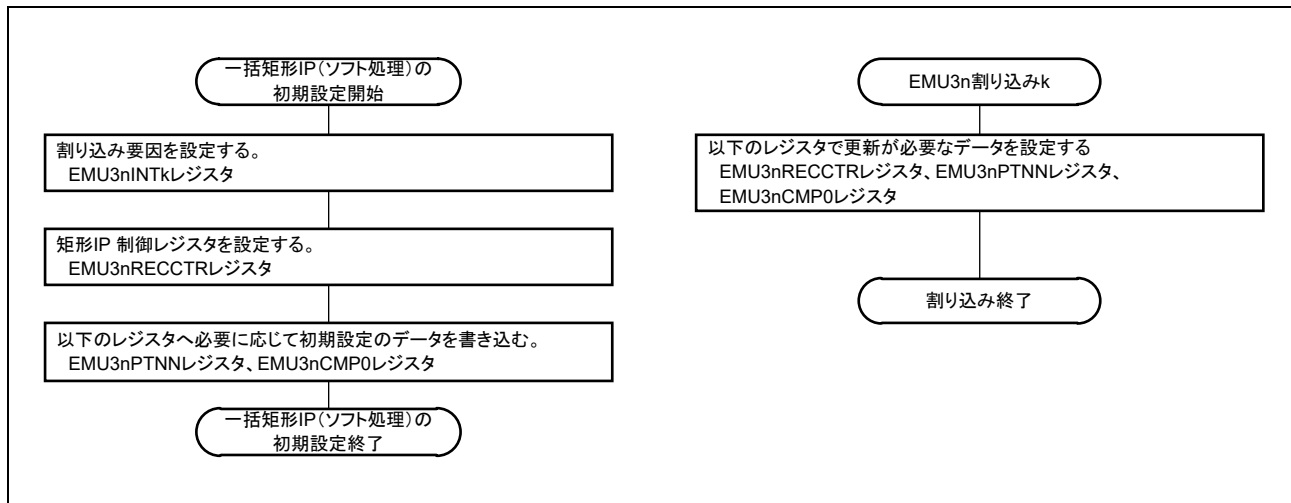


図 25.39 一括矩形 IP（ソフト処理）の初期設定手順例（割り込みを使用する場合）

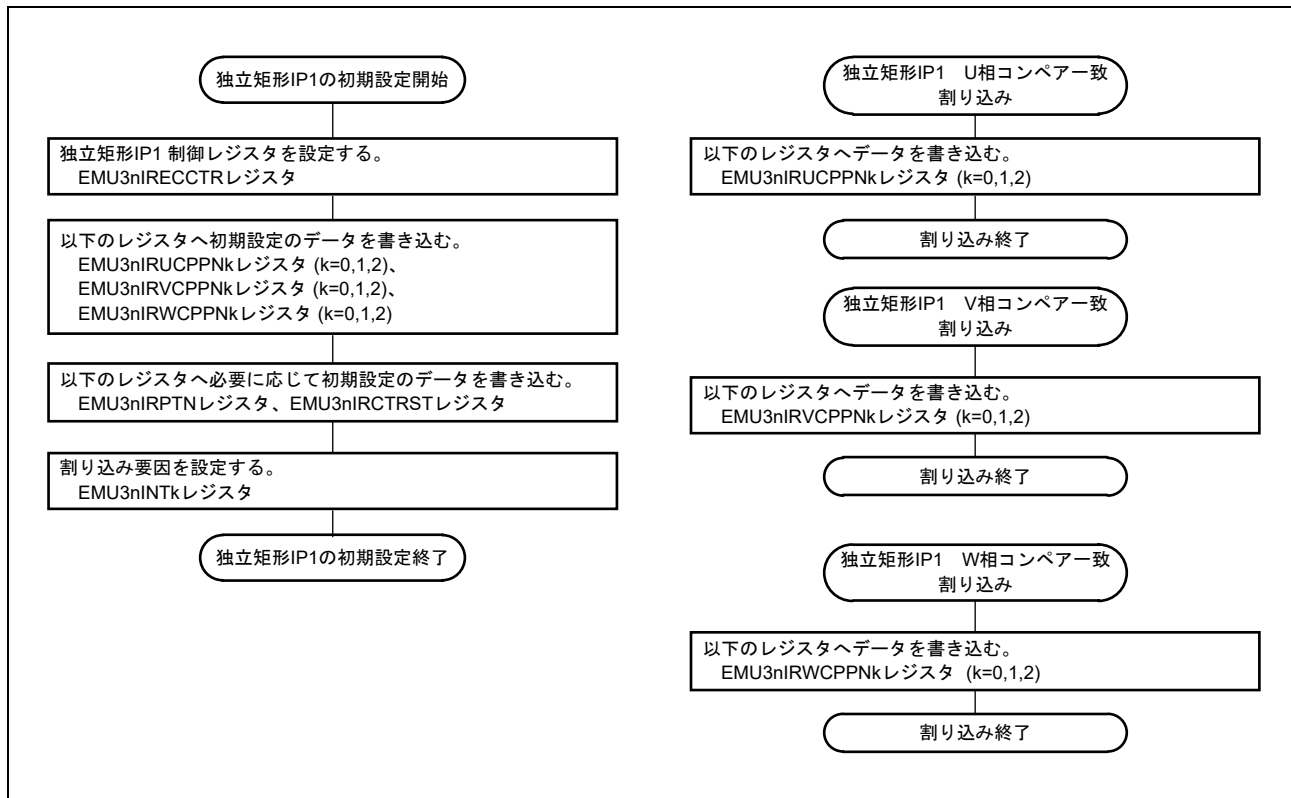


図 25.40 独立矩形 IP1 の初期設定手順例（割り込みを使用する場合）

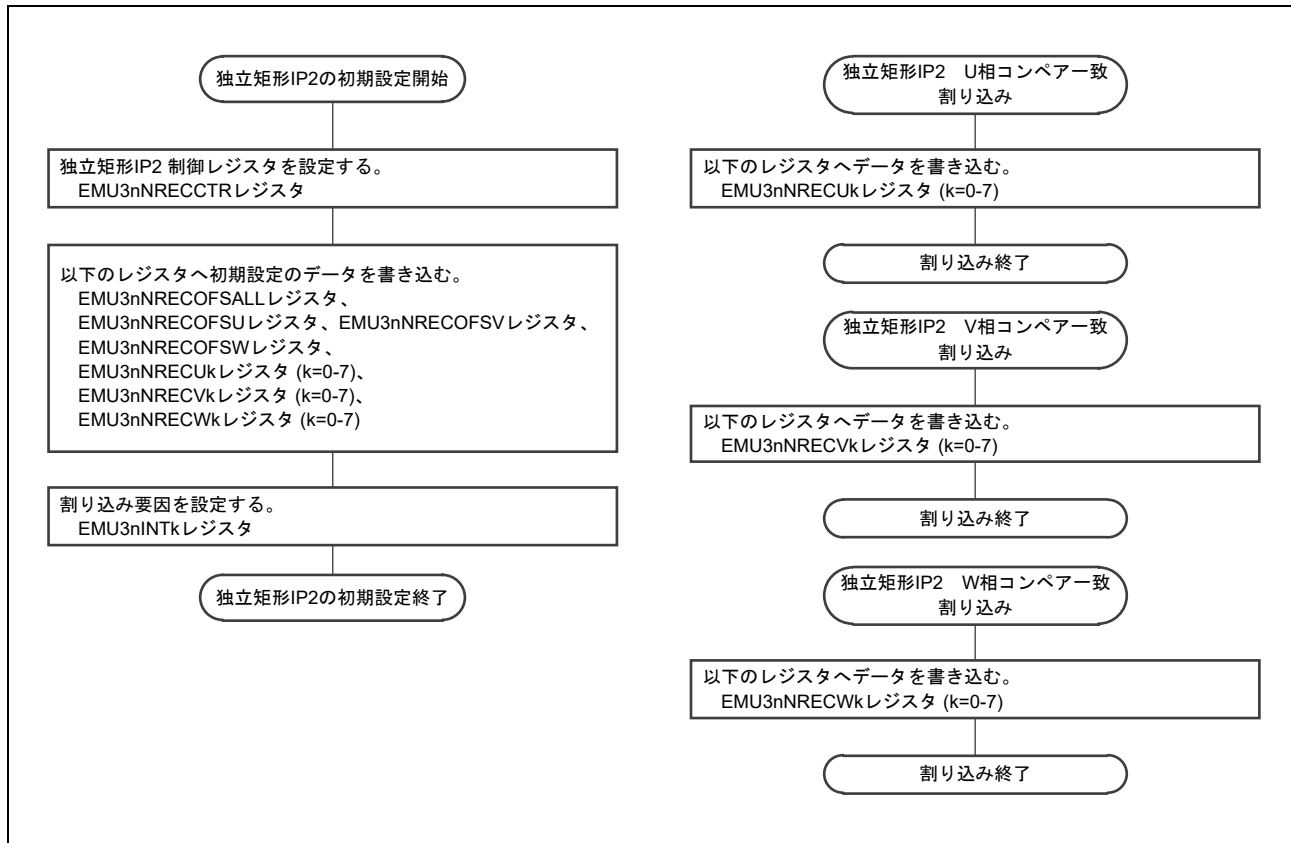


図 25.41 独立矩形 IP2 の初期設定手順例（割り込みを使用する場合）

25.5.3 CPU と H/W アクセラレータの連携動作 (H/W 演算ブロック単位)

H/W アクセラレータの入力 IP、PI 制御 IP、PWM IP、角度生成 IP は細粒度化された H/W 演算ブロック Func (*) の間に CPU によるソフト処理を挿入することで、フレキシブルな演算処理を実現することができます。

H/W 演算ブロックから CPU への連携は、CPU への割り込み通知にて行います。

CPU から H/W 演算ブロックへの連携は、EMU3nFUNCWAITGRP*レジスタ (*: A, B) への書き込みにて行います。

PWM IP を例に、**図 25.42** に CPU と H/W アクセラレータの連携動作の概念図を示します。

各 IP の状態は以下の 4 つの用語で表記します。

- RUN :

各 IP が起動中であることを意味します。

EMU3nFSMSTGRP*レジスタ (*: A, B) の IP ビットに該当します。例えば、EMU3nFSMSTGRPA レジスタの IP ビットが “11” のときは、PWM IP が起動中を表します。

- IDLE :

各 IP が停止中であることを意味します。

EMU3nFSMSTGRP*レジスタ (*: A, B) の IP ビットに該当します。例えば、EMU3nFSMSTGRPA レジスタの IP ビットが “11” 以外のときは、PWM IP が停止中を表します。

- WAIT :

各 IP 起動中に H/W 演算ブロック Func (*) が実行されていない状態を意味します。

EMU3nFSMSTGRP*レジスタ (*: A, B) の WAIT ビットに該当します。

- BUSY :

各 IP 起動中に H/W 演算ブロック Func (*) が実行されている状態を意味します。

EMU3nFSMSTGRP*レジスタ (*: A, B) の BUSY ビットに該当します。

図 25.42 の (a) は、PWM IP を通常実行した例を示します。PWM IP を起動し全ての H/W 演算ブロックを実行後に PWM IP を完了します。

図 25.42 の (b) は、PWM IP の H/W 演算ブロックの間に CPU ソフト処理を挿入する例を示します。

H/W 演算ブロックを WAIT へ遷移させることで CPU への割り込みを通知し、CPU の割り込み処理を実行します。H/W 演算ブロックの処理再開は、EMU3nFUNCWAITGRP*レジスタ (*: A, B) への書き込みにて行います。

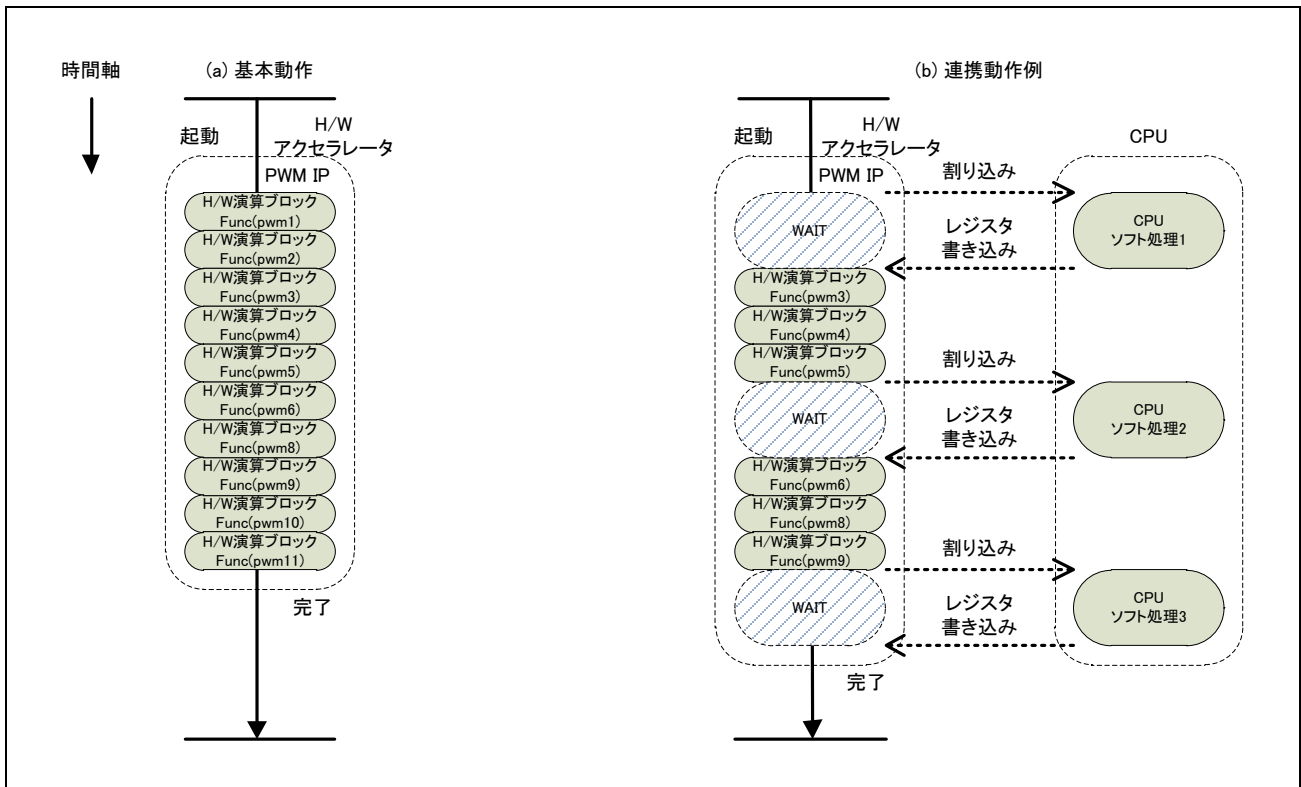


図 25.42 H/W アクセラレータ連携動作の概念図

25.5.3.1 関連レジスタ

H/W 演算ブロック単位の動作に必要なレジスタの一覧を表 25.196 に示します。

入力 IP、PI 制御 IP、PWM IP、角度生成 IP と対応するレジスタを表 25.197 に示します。

表 25.196 H/W アクセラレータ連携動作 (H/W 演算ブロック単位) の関連レジスタ一覧

レジスタ	機能
EMU3nFUNCIDLEGRP* (*: A0, A1, A2, B)	IP 停止中 (IDLE) から IP 起動する時に、遷移 (開始) する H/W 演算ブロックを指定する。 EMU3nFUNCIDLEGRP* (*A0, A1, A2) レジスタの SFTEN ビットを “0” に設定する場合は、IP の起動要因の発生タイミングで、IDLE から遷移し指定 H/W 演算ブロックを実行します。 EMU3nFUNCIDLEGRP* レジスタ (*A0, A1, A2) の SFTEN ビットを “1” に設定する場合は、レジスタのライトアクセスを受けて、IDLE から遷移し指定 H/W 演算ブロックを実行します。すなわち、ソフトウェア起動となります。
EMU3nFUNCFLGRP* (*: A0, A1, A2, B)	各 H/W 演算ブロック実行完了後の遷移を、次ブロック、IDLE、WAIT の 3 種類から指定します。
EMU3nFUNCWAITGRP* (*: A, B)	WAIT 中に次に遷移する H/W 演算ブロックを指定します。 レジスタのライトアクセスを受けて、WAIT から遷移し指定 H/W 演算ブロックを実行します。
EMU3nFUNCFINGRP* (*: A, B)	EMU3nFUNCFLGRP* レジスタ (*: A0, A1, A2, B) の各シンボルに “01” もしくは “10” を設定し、H/W 演算ブロック実行完了後に IDLE もしくは WAIT 遷移した場合の最新の H/W 演算ブロックを示します。
EMU3nFSMSTGRP* (*: A, B)	レジスタ値から、各 IP が RUN、IDLE、WAIT、BUSY のどの状態にあるかをモニタできます。
EMU3nINTk (k = 0-7) EMU3nINTSD EMU3nINTSDC	各 IP の WAIT 遷移検出による割り込み要因選択ビットがあります。 H/W 演算ブロック実行完了後に WAIT 遷移するタイミングで割り込み出力させることで、CPU に WAIT 遷移するタイミングを通知します。 どの H/W 演算ブロック実行完了後に WAIT 遷移したかを確認するには、EMU3nFUNCFINGRP* レジスタの値を確認することで判断できます。

表 25.197 各 IP の対応レジスタ一覧

レジスタ	入力 IP	PI 制御 IP	PWM IP	角度生成 IP
EMU3nFUNCIDLEGRP* (*: A0, A1, A2, B)	*=A0	*=A1	*=A2	*=B
EMU3nFUNCFLGRP* (*: A0, A1, A2, B)	*=A0	*=A1	*=A2	*=B
EMU3nFUNCWAITGRP* (*: A, B)	*=A	*=A	*=A	*=B
EMU3nFUNCFINGRP* (*: A, B)	*=A	*=A	*=A	*=B
EMU3nFSMSTGRP* (*: A, B)	*=A	*=A	*=A	*=B
EMU3nINTk.FWG* (k = 0-7) (*: A, B) EMU3nINTSD.FWG*IF (*: A, B) EMU3nINTSDC.FWG*IFC (*: A, B)	*=A	*=A	*=A	*=B

25.5.3.2 細粒度化した各 IP のステート遷移

細粒度化した各 IP のステート遷移と上述のレジスタの関係を、PWM IP の H/W 演算ブロック Func (pwm3) を例に図 25.43 に示します。入力 IP、PI 制御 IP、角度生成 IP も同様の仕組みとなります。

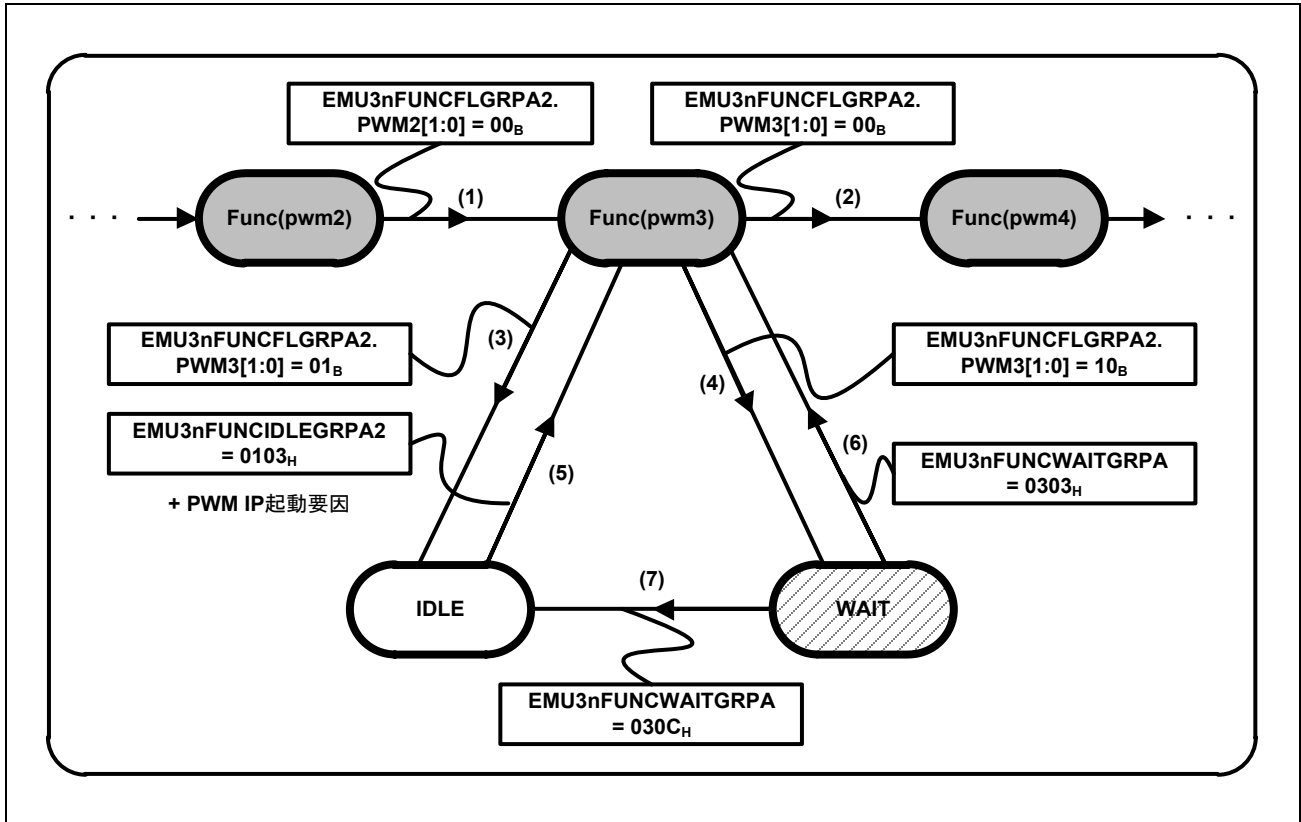


図 25.43 PWM IP のステート遷移

(1) Func(pwm2)→Func(pwm3)

EMU3nFUNCFLGRPA2 レジスタの PWM2 ビットに “00” を設定すると、次の H/W 演算ブロックである Func (pwm3) へ遷移します。

(2) Func(pwm3)→Func(pwm4)

EMU3nFUNCFLGRPA2 レジスタの PWM3 ビットに “00” を設定すると、次の H/W 演算ブロックである Func (pwm4) へ遷移します。

(3) Func(pwm3)→IDLE

EMU3nFUNCFLGRPA2 レジスタの PWM3 ビットに “01” を設定すると、IDLE へ遷移します。

(4) Func(pwm3)→WAIT

EMU3nFUNCFLGRPA2 レジスタの PWM3 ビットに “10” を設定すると、WAIT へ遷移します。

(5) IDLE→Func (pwm3)

EMU3nFUNCIDLEGRPA2 レジスタに “0103_H” を設定すると、PWM IP 起動時に通常の Func (pwm1) ではなく Func (pwm3) へ遷移する設定になります。このレジスタを設定した状態で PWM IP 起動要因が発生すると、PWM IP 起動時に Func (pwm3) へ遷移します。

これ以外に、PWM IP 停止 (IDLE) 時に EMU3nFUNCIDLEGRPA2 レジスタの書き込みタイミングで、PWM IP を起動することもできます。PWM IP 停止 (IDLE) 時に EMU3nFUNCIDLEGRPA2 レジスタに “1103_H” を書き込むと、書き込みタイミングで PWM IP 起動して Func (pwm3) へ遷移します。

(6) WAIT→Func (pwm3)

EMU3nFUNCWAITGRPA レジスタに “0303_H” を設定すると、WAIT 状態から Func (pwm3) へ遷移します。

(7) WAIT→IDLE

EMU3nFUNCWAITGRPA レジスタに “030C_H” を設定すると、WAIT 状態から PWM IP 完了 (IDLE) へ遷移します。

25.5.3.3 設定例

H/W アクセラレータ連携動作にて CPU と連携処理するユースケースを **図 25.44** に示します。

図 25.44 のユースケースを例に、PWM IP の H/W 演算ブロックに CPU ソフト処理を挿入する場合の各レジスタの設定や状態などを、時間軸に沿って以降の (1) から (9) に分けて説明します。

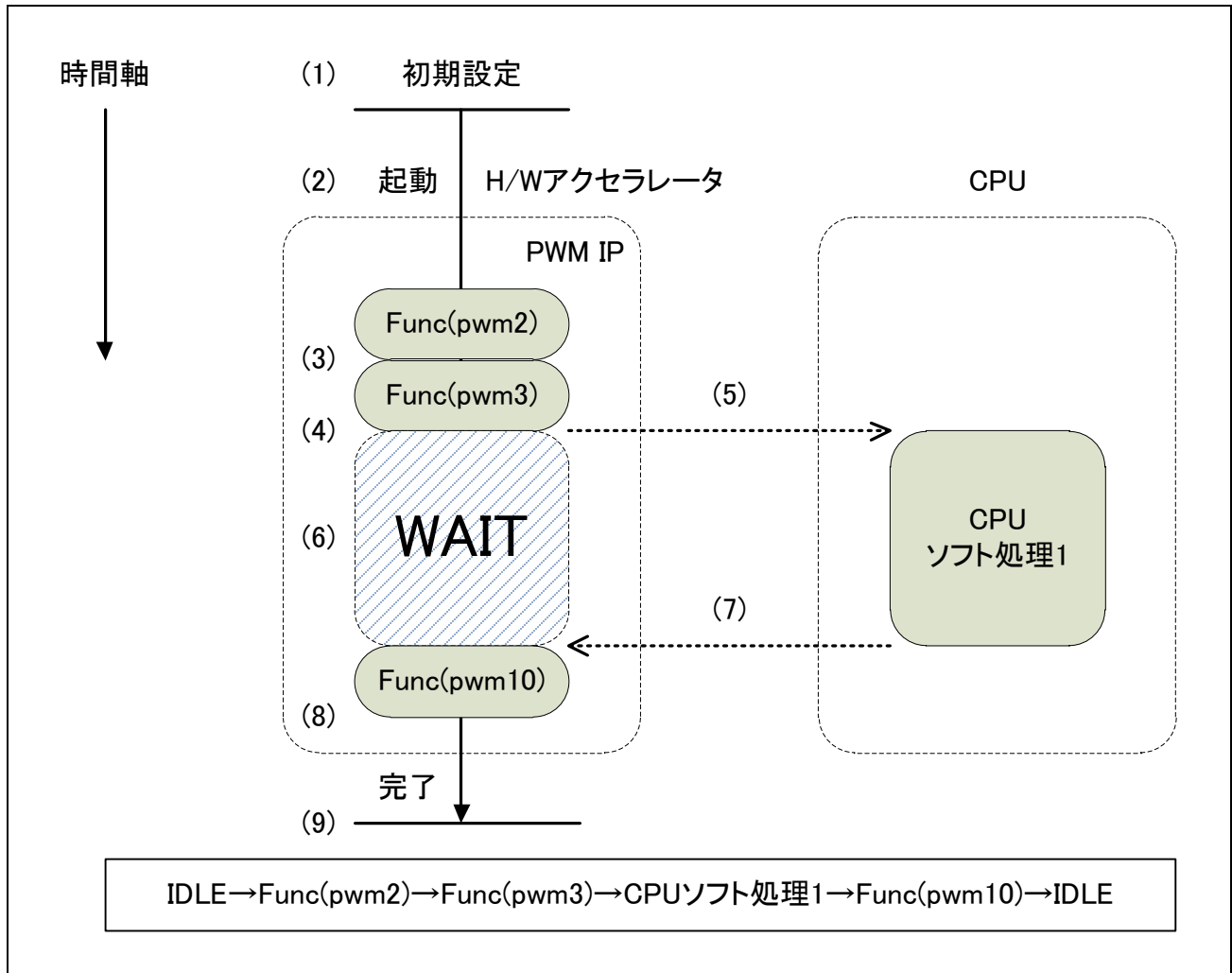


図 25.44 H/W アクセラレータ連携動作の設定例のユースケース

(1) 初期設定

図 25.46 に示すユースケースを実現する初期設定を行います。

この例では、PWM IP をソフトウェアトリガで起動するように、EMU3nIPTRG レジスタおよび EMU3nFUNCIDLEGRPA2 レジスタの設定を行います。

EMU3nINTk レジスタ (k=0-7) により、PWM IP が WAIT 遷移すると CPU への割り込みが通知されるように設定します。

EMU3n制御レジスタ EMU3nCTR - - - - - 1	(初期設定) [0] = "1" : H/Wアクセラレータ動作開始 (注) EMU3nCTRレジスタを変更する場合は、EMU3nPRT レジスタでプロテクト解除および再設定が必要です。
EMU3n IP起動トリガ要因選択レジスタ EMU3nIPTRG 0 0 0 0 0 0 0 0	(初期設定) PWM IPソフトウェアトリガ設定 [3] = "0" : PWM IP起動にソフトウェアトリガを選択
EMU3n H/W演算ブロックIDLE時起動指定A2レジスタ EMU3nFUNCIDLEGRPA2 - - - 0 - - - 1 - - - - 0 0 1 0	(初期設定) PWM IP起動時に、Func(pwm2)から演算開始する設定 [12] = "0" : レジスタ書き込みでPWM IP起動禁止 [8] = "1" : PWM IP起動時の開始H/W演算ブロック指定の許可 [3:0] = "0010" : PWM IP起動時にFunc(pwm2)から開始
EMU3n H/W演算ブロック完了後遷移制御A2レジスタ EMU3nFUNCFLGRPA2 - - - - - - - 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0	(初期設定) Func(pwm2)、Func(pwm3)、Func(pwm10)の完了時の遷移を設定 [5:4] = "00" : Func(pwm2)完了後にFunc(pwm3)に遷移 [7:6] = "10" : Func(pwm3)完了後にWAITへ遷移 [21:20] = "01" : Func(pwm10)完了後にIDLEへ遷移
EMU3n 割り込み要因選択kレジスタ EMU3nINTk - 0 0 0 0 0 0 0 1 0	(初期設定) PWM IPのWAIT遷移によるCPU割り込み許可を設定 [23] = "1" : 入力IP、PI制御IP、PWM IPのWAIT遷移検出

図 25.45 H/W アクセラレータ連携動作 (1) 初期設定

(2) PWM IP 起動~Func(pwm2)の遷移

CPU から EMU3nIPSFT レジスタにより PWM IP をソフトウェア起動します。

EMU3nFUNCIDLEGRPA2 レジスタの初期設定に従い、PWM IP 起動時に H/W 演算ブロック Func(pwm2) から処理を開始します。

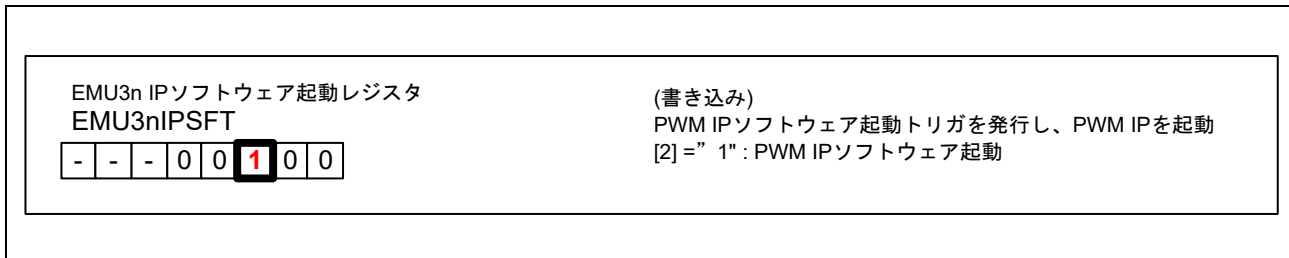


図 25.46 H/W アクセラレータ連携動作 (2) PWM IP 起動~Func (pwm2) の遷移

(3) Func(pwm2)~Func(pwm3)の遷移

EMU3nFUNCFLGRPA2[5:4]の初期設定した値 (“00”) に従い、H/W 演算ブロック Func (pwm2) 完了後は、次の H/W 演算ブロックである Func (pwm3) に遷移します。

(4) Func(pwm3)~WAIT 遷移

EMU3nFUNCFLGRPA2[7:6]の初期設定した値 (“10”) に従い、H/W 演算ブロック Func (pwm3) 完了後は、PWM IP 起動中のまま WAIT 状態に遷移します。

(5) Func(pwm3)~CPU 割り込み

EMU3nINTk レジスタ (k=0-7) の初期設定に従い、Func (pwm3) 完了タイミングで CPU へ割り込みを通知します。割り込み要因の判別は EMU3nINTSD レジスタで確認でき、どの H/W 演算ブロックで停止したかは EMU3nFSMSTGRPA レジスタで確認できます。割り込み要因判別後は、EMU3nINTSDC レジスタにて割り込み状態をクリアします。

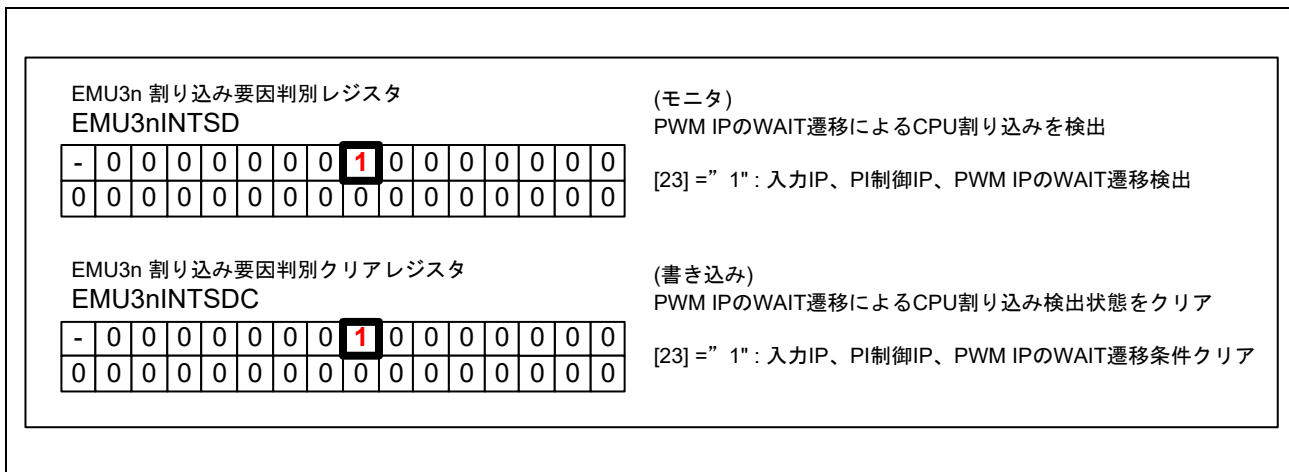


図 25.47 H/W アクセラレータ連携動作 (5) Func (pwm3)~CPU 割り込み

(6) WAIT 状態

PWM IP が WAIT 状態であることは 図 25.48 の各種モニタレジスタからも確認できます。

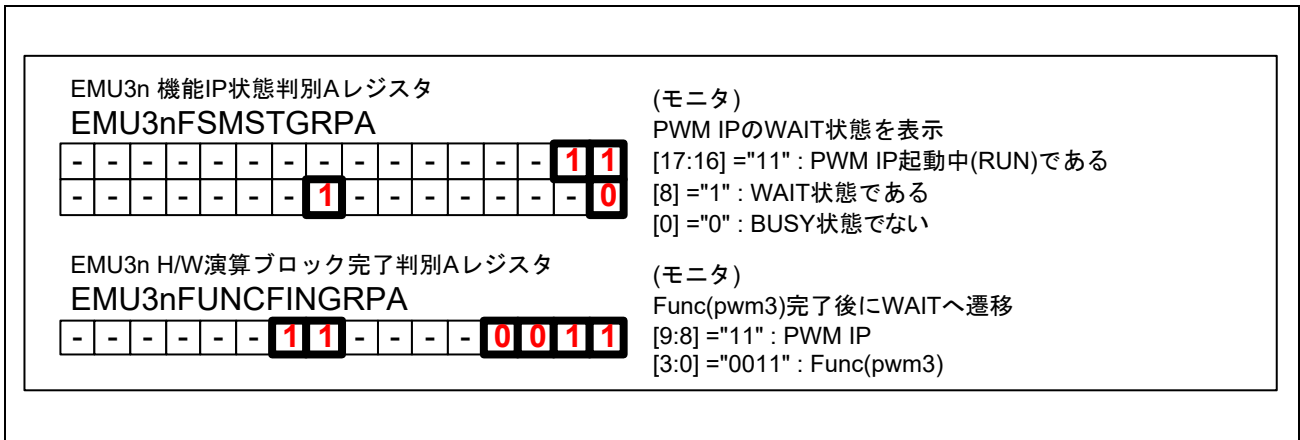


図 25.48 H/W アクセラレータ連携動作 (6) WAIT 状態

(7) CPU 処理完了～Func(pwm10)の遷移

EMU3nFUNCWAITGRPA レジスタへの書き込みにより、H/W 演算ブロック Func(pwm10) から再開されます。

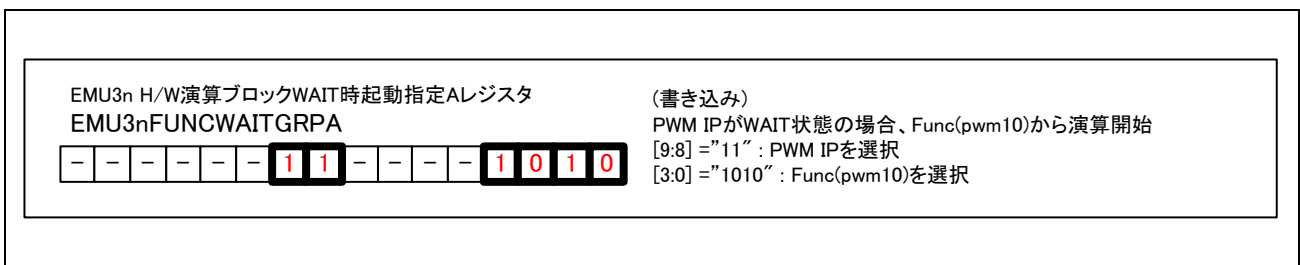


図 25.49 H/W アクセラレータ連携動作 (7) CPU 処理完了～Func (pwm10)の遷移

(8) Func (pwm10)～PWM IP 完了

EMU3nFUNCFLGRPA2[21:20]の初期設定した値（“01”）に従い、Func (pwm10) から IDLE すなわち PWM IP 完了へ遷移します。

(9) PWM IP 停止

PWM IP 停止後の各種モニタレジスタの状態は **図 25.50** となります。

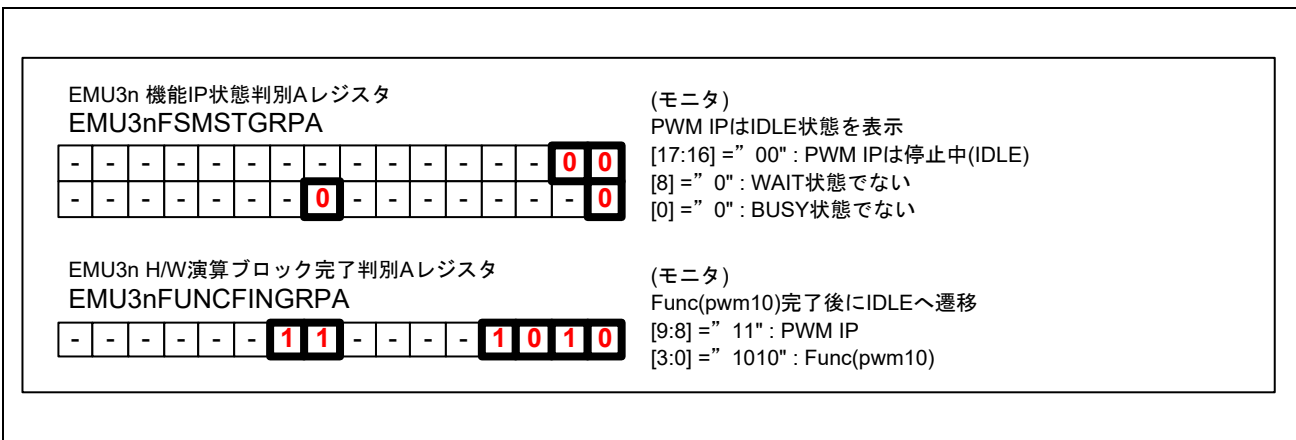


図 25.50 H/W アクセラレータ連携動作 (9) PWM IP 停止

25.5.4 三相 PWM 波形出力制御

H/W アクセラレータを使用した三相 PWM 制御の動作例を以下に記します。

IIR フィルタ機能の詳細に関しては「**25.4.9 IIR フィルタ**」を参照ください。

入力 IP 機能の詳細に関しては「**25.4.3 入力 IP**」を参照ください。

PI 制御 IP 機能の詳細に関しては「**25.4.4 PI 制御 IP**」を参照ください。

PWM IP 機能の詳細に関しては「**25.4.5 PWM IP**」を参照ください。

25.5.4.1 H/W アクセラレータで三相 PWM 制御を行う場合

- 起動条件：
 - IIR フィルタは A/D 変換完了で起動
 - 入力 IP は IIR フィルタ完了で起動
 - PI 制御 IP は入力 IP 完了で起動
 - PWM IP は PI 制御 IP 完了で起動
- 動作例：
 - ① キャリアの谷をトリガとして A/D 変換開始
 - ② A/D 変換完了により IIR フィルタ起動
 - ③ IIR フィルタ完了により入力 IP 起動
 - ④ 入力 IP 完了により PI 制御 IP 起動
 - ⑤ PI 制御 IP 完了により PWM IP を起動し、次回キャリアの PWM コンペア値を算出
 - ⑥ PWM コンペア値が TSG3 のレジスタに格納される。

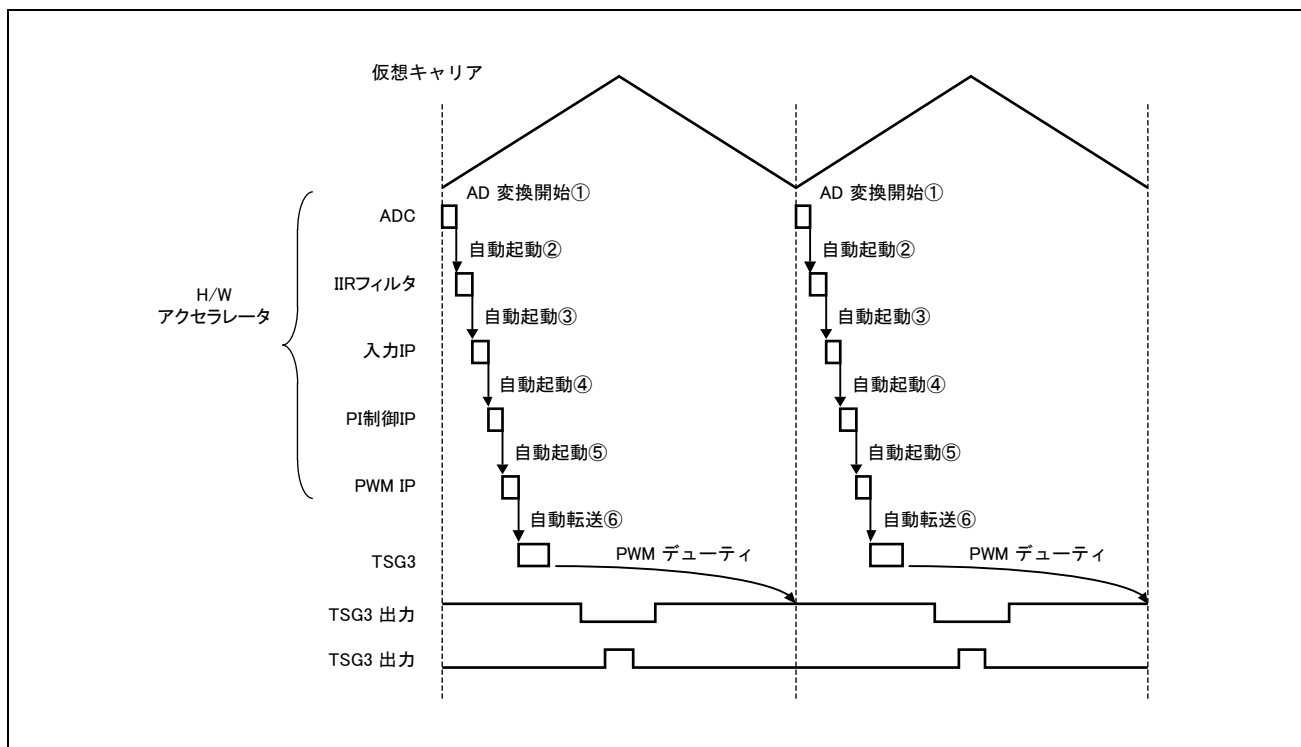


図 25.51 H/W アクセラレータでの三相 PWM 制御例

25.5.4.2 H/W アクセラレータと CPU で三相 PWM 制御を行う場合

- 起動条件：
 - IIR フィルタは A/D 変換完了で起動
 - 入力 IP は IIR フィルタ完了で起動
 - PWM IP はソフトウェアトリガで起動
- 動作例：
 - ① キャリアの谷をトリガとして A/D 変換開始
 - ② A/D 変換完了により IIR フィルタ起動
 - ③ IIR フィルタ完了により入力 IP 起動
 - ④ 入力 IP 完了による割り込みプログラム処理
 - ⑤ 割り込みプログラム処理から PWM IP を起動し、次回キャリアの PWM コンペア値を算出
 - ⑥ PWM コンペア値が TSG3 のレジスタに格納される。

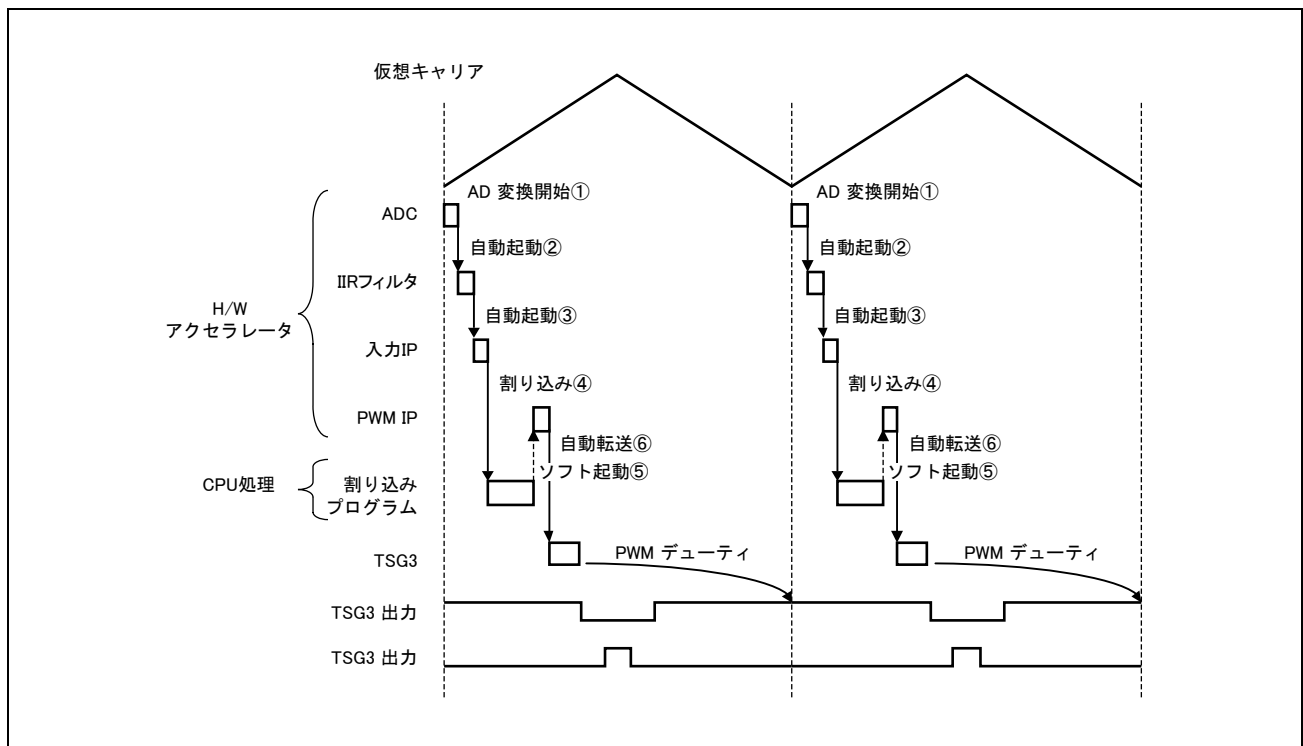


図 25.52 H/W アクセラレータと CPU での三相 PWM 制御例

25.5.5 矩形波出力制御

H/W アクセラレータを使用した矩形波制御の動作例を以下に記します。

IIR フィルタ機能の詳細に関しては「**25.4.9 IIR フィルタ**」を参照ください。

入力 IP 機能の詳細に関しては「**25.4.3 入力 IP**」を参照ください。

矩形 IP 機能の詳細に関しては「**25.4.6 矩形 IP**」を参照ください。

- 起動条件：
 - IIR フィルタは A/D 変換完了で起動
 - 入力 IP は IIR フィルタ完了で起動
 - 矩形 IP はソフトウェアトリガで起動
- 動作例
 - ① コンペア 0 一致をトリガとして A/D 変換器の変換開始、矩形波出力パターン切り替える
 - ② A/D 変換完了により IIR フィルタ起動
 - ③ IIR フィルタ完了により入力 IP 起動
 - ④ 入力 IP 完了による割り込みプログラム処理
 - ⑤ 割り込みプログラム処理から矩形 IP を起動し、次回 EMU3nCMP0 と出力パターンを設定する

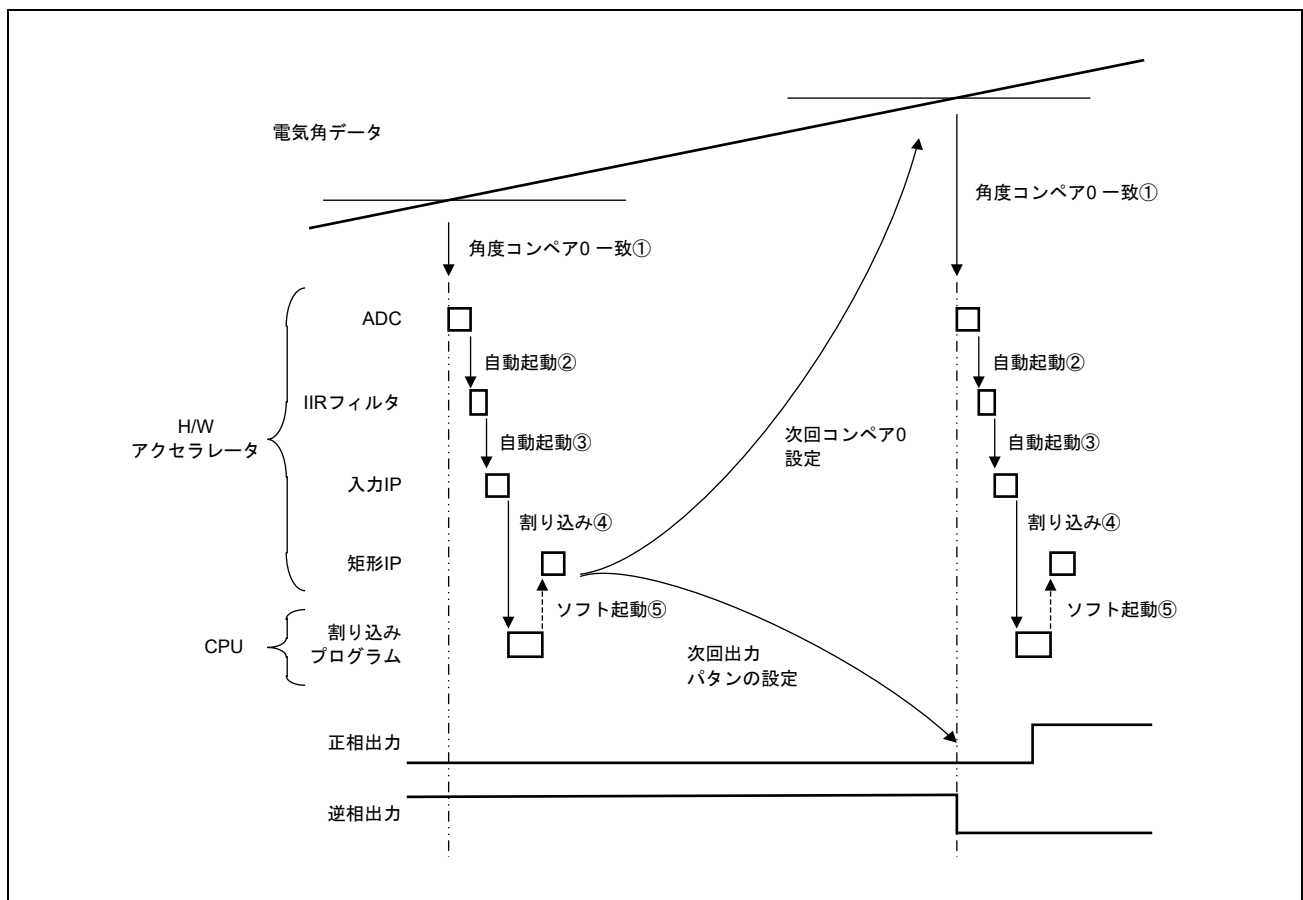


図 25.53 矩形波出力制御例

第26章 R/D コンバータ (RDC3A)

本章では、R/D (レゾルバ/デジタル) コンバータ 3A (RDC3A) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、RDC3A の機能、レジスタについて説明します。

26.1 RH850/C1M-A RDC3A の特長

26.1.1 ユニット数

本製品は以下のユニット数の RDC3A を搭載しています。

表 26.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	2	1
名称	RDC3An (n = 0, 1)	RDC3An (n = 0)

表 26.2 添字

添字	意味
n	本章では、RDC3A の各ユニットを「n」 (n = 0, 1) で識別します。たとえば、RDC3An 停止レジスタ RDC3AnRDSTP と記述します。

26.1.2 レジスタベースアドレス

RDC3A のベースアドレスを以下の表に示します。

RDC3A のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 26.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RDC3A0_base>	FF78 0000 _H
<RDC3A1_base>	FF78 1000 _H

26.1.3 クロック供給

RDC3A のクロック供給を以下の表に示します。

表 26.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RDC3An	PCLK	CLK_HSB (高速周辺クロック)
	CCLK	CLKC_LSB (非変調低速周辺クロック)

26.1.4 割り込み要求

RDC3A の割り込み要求を以下の表に示します。

表 26.5 割り込み要求

割り込み名	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
		1st	2nd	1st	2nd
RDC3A0					
RDC3A0 Z 相割り込み	76	67	—	67	—
RDC3A0 RDC 異常割り込み	77	—	—	—	—
RDC3A0 コンペア 0 一致割り込み	78	68	—	68	—
RDC3A0 コンペア 1 一致割り込み	79	69	—	69	—
RDC3A0 コンペア 2 一致割り込み	80	70	—	70	—
RDC3A0 励磁タイム (ET) 割り込み	81	—	—	—	—
RDC3A0 励磁タイム (ET) DMA 要求	—	71	—	71	—
RDC3A0 BIST 終了割り込み	82	—	—	—	—
RDC3A1					
RDC3A1 Z 相割り込み	83	72	—	72	—
RDC3A1 RDC 異常割り込み	84	—	—	—	—
RDC3A1 コンペア 0 一致割り込み	85	73	—	73	—
RDC3A1 コンペア 1 一致割り込み	86	74	—	74	—
RDC3A1 コンペア 2 一致割り込み	87	75	—	75	—
RDC3A1 励磁タイム (ET) 割り込み	88	—	—	—	—
RDC3A1 励磁タイム (ET) DMA 要求	—	76	—	76	—
RDC3A1 BIST 終了割り込み	89	—	—	—	—

備考 — : 割り当てなし

注 1. 1st : Primary Channel 、 2nd : Secondary Channel

26.1.5 リセット要因

RDC3A のリセット要因を以下に示します。RDC3A は以下のリセット要因で初期化されます。

表 26.6 リセット要因

ユニット名	リセット要因
RDC3An	すべてのリセット要因

26.1.6 外部入出力信号

RDC3A の外部入出力信号を以下の表に示します。

表 26.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名	対象製品	
			C1M-A2	C1M-A1
RDC3A0/RDC3A1 共通				
RVCC	RDC3A アナログ電源 (5V)	RVCC	○	○
RVSS	RDC3A アナロググランド (0V)	RVSS	○	○
RDC3A0				
RDC3A0SINMNT ^{注1}	入力アンプモニタ出力	RDC3A0SINMNT	○	○
RDC3A0S4	レゾルバ信号入力	RDC3A0S4	○	○
RDC3A0S2	レゾルバ信号入力	RDC3A0S2	○	○
RDC3A0S1	レゾルバ信号入力	RDC3A0S1	○	○
RDC3A0S3	レゾルバ信号入力	RDC3A0S3	○	○
RDC3A0COSMNT ^{注1}	入力アンプモニタ出力	RDC3A0COSMNT	○	○
RDC3A0RSO	入出力励磁信号入力/出力	RDC3A0RSO	○	○
RDC3A0COM	入出力励磁信号用共通電圧入力/出力	RDC3A0COM	○	○
RD0_OUT_U	エンコーダパルス出力	RDC3A0_OUT_U	○	○
RD0_OUT_V	エンコーダパルス出力	RDC3A0_OUT_V	○	○
RD0_OUT_W	エンコーダパルス出力	RDC3A0_OUT_W	○	○
RDC3A1				
RDC3A1SINMNT ^{注1}	入力アンプモニタ出力	RDC3A1SINMNT	○	—
RDC3A1S4	レゾルバ信号入力	RDC3A1S4	○	—
RDC3A1S2	レゾルバ信号入力	RDC3A1S2	○	—
RDC3A1S1	レゾルバ信号入力	RDC3A1S1	○	—
RDC3A1S3	レゾルバ信号入力	RDC3A1S3	○	—
RDC3A1COSMNT ^{注1}	入力アンプモニタ出力	RDC3A1COSMNT	○	—
RDC3A1RSO	入出力励磁信号入力/出力	RDC3A1RSO	○	—
RDC3A1COM	入出力励磁信号用共通電圧入力/出力	RDC3A1COM	○	—
RD1_OUT_U	エンコーダパルス出力	RDC3A1_OUT_U	○	—
RD1_OUT_V	エンコーダパルス出力	RDC3A1_OUT_V	○	—
RD1_OUT_W	エンコーダパルス出力	RDC3A1_OUT_W	○	—

注 1. 入力アンプモニタ出力端子 (RDC3AnSINMNT, RDC3AnCOSMNT) は、AD コンバータアナログ入力端子と兼用端子となります。この兼用端子に対して、入力アンプモニタ出力と A/D 変換の同時動作は禁止です。

26.2 概要

26.2.1 機能概要

R/D (レゾルバ/デジタル) コンバータ 3A は、レゾルバのロータ角度に応じて出力されるアナログ値 (角度情報) を、最大 16 ビットのデジタル値に変換します。

変換方法には

- アナログ演算部+デジタルトラッキンググループにより角度変換する角度変換モード 0
- アナログ信号を AD コンバータで取得した入力データを、デジタルトラッキンググループで角度変換する角度変換モード 1

の 2 つの方法があります。

RDC3A はレゾルバからのアナログ角度信号をデジタル角度信号に変換する機能のほかに、励磁信号出力機能、異常検出機能、自己診断機能があります。

表 26.8 に RDC3A の仕様を示します。

表 26.8 RDC3A の仕様 (1/2)

項目	機能	説明	角度変換モード 0	角度変換モード 1
トラッキンググループ	励磁信号源選択機能	RDC3A 内部で生成した励磁信号 (RDC3AnRSO/RDC3AnCOM)、または外部入力した励磁信号を選択	○	○
	使用センサ選択機能	VR レゾルバ、または DC レゾルバを選択	○	○
	励磁成分抽出機能	レゾルバ入力信号から抽出した励磁成分を R/D 変換に使用	○	○
	PI 補償器帯域設定機能	6 種類 (5 種類の固定帯域と自動調整) から帯域を選択	○	○
	強制ゲイン制御機能	レゾルバ角と R/D 変換角度が大きすぎていて、追従性を向上	○	○
	最大角速度設定機能	最大角速度 (分解能) を 960,000rpm (10 ビット) ~15,000 rpm (16 ビット) の範囲で設定	○	○
	PHI 角速度情報読み出し機能	PHI 角度出力の角速度をレジスタより読み出し	○	○
	モニタ機能	角度情報 (°)、角速度情報 (rpm)、制御偏差 (%) をレジスタ読み出し	○	○
	角度コンペア機能	角度コンペア 0~2 設定レジスタに設定した角度と R/D 変換角度が一致したときに割り込み要求を発生	○	○
	エンコーダパルス出力機能	UVW 相信号、ABZ 相信号 (4096 Edge/Revolution) を出力	○	○
SIN、COS 補正機能	ADC ノイズ除去機能	ADC で取得した RDC3AnSINMNT、RDC3AnCOSMNT 信号にノイズが乗った場合に、ノイズの乗った変換値を除去	—	○
	SIN、COS ゲイン補正機能	sin, cos の振幅比の誤差を検出して自動補正。	—	○
	SIN、COS コモンオフセット補正機能	sin, cos それぞれの入力信号のコモンレベルのオフセットを検出して自動補正。	—	○
	SIN、COS 位相補正機能	sin, cos 入力信号の励磁成分の位相のずれを検出して自動補正。	—	○
	SIN、COS 角度補正機能	SIN, COS-ROM テーブルへの sin, cos 角度補正值を入力。レゾルバ取り付け角誤差、レゾルバ sin, cos の直交性誤差を補正。	○	○

表 26.8 RDC3A の仕様 (2/2)

項目	機能	説明	角度変換 モード 0	角度変換 モード 1
励磁信号出力	励磁信号出力 (RDC3AnRSO、 RDC3AnCOM) 生成 機能	電圧バッファにより励磁信号を発生 RDC3AnRSO 端子より 7 ビット D/A による正弦波電圧信号を出力 電圧振幅は 2Vpp、レジスタ設定により振幅を変更可能 RDC3AnCOM 端子より RVCC/2 コモン電圧を出力	○	○
	振幅自動調整機能	入力モニタ信号 (RDC3AnSINMNT、RDC3AnCOSMNT) の振幅を適正 な値に自動調整 調整対象は入力ゲイン抵抗、励磁信号出力振幅の 2 項目	○	○
異常検出	異常検出機能	レゾルバ信号異常、レゾルバ信号断線異常、R/D 変換異常、2 経路比較変 換異常、レゾルバ信号 天絡・地絡異常、二乗和振幅異常を検出	○	○
自己診断	自己診断 (Built-In Self Test) 機能	ADBIST (AD 正常動作確認) 角度変換 BIST (0, 45, 270 度) 異常検出 BIST (レゾルバ信号異常、レゾルバ信号断線異常、変換異常、 天絡地絡異常、二乗和振幅異常)	○	○
	ADC ソフトウェア BIST 機能	ADC の DAC コードをレジスタ書き込み、ADC 変換結果を CPU 判定す るソフトウェア BIST。ADC の全 4096 コードを診断することが可能。	○	○
その他	励磁タイマ (ET) 機 能	励磁信号の周期計測、イベント信号発生 (AD トリガ、DMA 要求)	○	○
	PGA 反転機能	ADC を使用して角度変換する場合に、角度変換誤差を低減するために出 力角度に応じて PGA (入力アンプ) 出力をコモン中心に反転。	—	○
割り込み		<ul style="list-style-type: none"> ● コンペア 0~2 割り込み ● Z 相信号割り込み ● RDC 異常割り込み ● 励磁タイマ割り込み ● BIST 終了割り込み 	○	○

26.2.2 ブロック図

図 26.1 に RDC3A モジュールの全体ブロック構成図を示します。

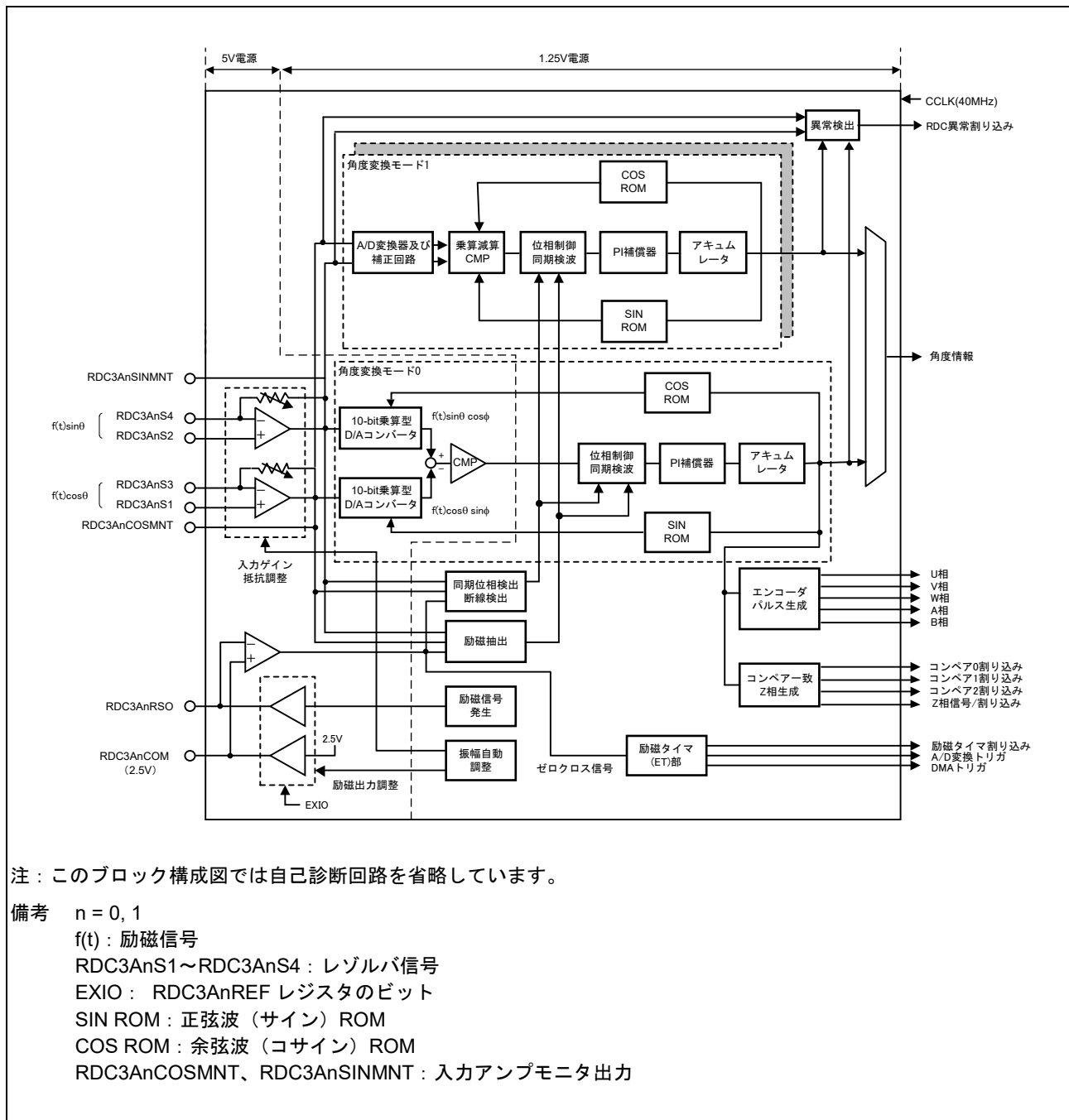


図 26.1 RDC3A モジュール全体ブロック構成図

26.2.3 動作原理

RDC3A モジュールの動作原理について説明します。

RDC3A は、トラッキングループ方式により、レゾルバ (アナログ信号) をデジタル信号に変換 (R/D 変換) します。

トラッキングループは 20MHz で動作します。

励磁信号 $f(t)$ を励磁コイルに入力することにより、モータの回転子の角度 (θ) に応じてレゾルバから $f(t) \cdot \sin \theta$, $f(t) \cdot \cos \theta$ が出力されます。これをそれぞれ RDC3AnS2-RDC3AnS4, RDC3AnS1-RDC3AnS3 端子に入力します。

これらを増幅して、乗算型 D/A コンバータへ入力します。一方、アキュムレータの出力を COSROM (または SINROM) をとおし、 $\cos \phi$ (または $\sin \phi$) を生成し、それぞれに対応する D/A コンバータへフィードバックします。その後、両者 D/A コンバータ出力を減算し、

$$\begin{aligned} & f(t) \cdot (\sin \theta \cdot \cos \phi - \cos \theta \cdot \sin \phi) \\ &= f(t) \cdot \sin (\theta - \phi) \\ &\doteq f(t) \cdot (\theta - \phi) \end{aligned}$$

を得ます。この値をコンパレータ (CMP) で 1bit A/D 変換したものがデジタル部に受け渡されます。

同期検波回路において励磁成分 $f(t)$ を取り除き

$$\text{制御偏差} = \theta - \phi$$

を得ます。

アナログ回路とデジタル回路全体での負帰還制御により、この制御偏差がゼロになるようにフィードバックがかかり、 $\theta = \phi$ のとき、レゾルバのアナログ角度情報がデジタル角度 (16bit 幅) に変換されたことになります。次に、PI 補償器およびアキュムレータについて説明します。

図 26.2 に PI 補償器およびアキュムレータを示します。

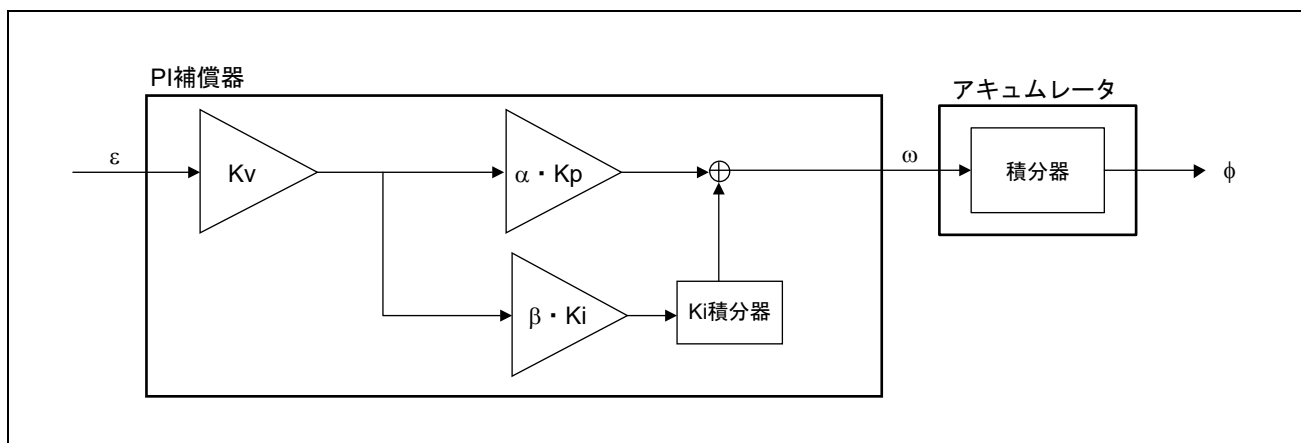


図 26.2 PI 補償器およびアキュムレータ

PI 補償器では制御偏差を以下の式にしたがい変換し、アキュムレータ回路に受け渡します。

$$\omega = (\alpha K_p + \beta K_i/sT) \cdot K_v \cdot \varepsilon$$

K_v 、 K_p 、 K_i : レジスタで設定可能な制御係数

α 、 β : 固定値

s : ラプラス変数

T : 積分時定数

ω : PI 補償器出力、角速度情報

アキュムレータ回路では角速度情報 ω から角度 ϕ を算出します。

26.3 レジスタ

26.3.1 レジスタ一覧

RDC3A のレジスタ一覧を以下の表に示します。

<RDC3An_base>は「**26.1.2 レジスタベースアドレス**」を参照してください。

表 26.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
RDC3An	RDC 停止レジスタ	RDC3AnRDSTP	<RDC3An_base> + 0000 _H
RDC3An	制御ゲイン選択レジスタ 0	RDC3AnPI0	<RDC3An_base> + 0004 _H
RDC3An	制御ゲイン選択レジスタ 1	RDC3AnPI1	<RDC3An_base> + 0008 _H
RDC3An	PHI コンペア設定レジスタ 0	RDC3AnPHICP0	<RDC3An_base> + 000C _H
RDC3An	PHI コンペア設定レジスタ 1	RDC3AnPHICP1	<RDC3An_base> + 0010 _H
RDC3An	PHI コンペア設定レジスタ 2	RDC3AnPHICP2	<RDC3An_base> + 0014 _H
RDC3An	sin,cos 角度補正レジスタ	RDC3AnSCCOR0	<RDC3An_base> + 0018 _H
RDC3An	sin,cos 補正レジスタ 0	RDC3AnSCCOR1	<RDC3An_base> + 001C _H
RDC3An	sin,cos 補正レジスタ 1	RDC3AnSCCOR2	<RDC3An_base> + 0020 _H
RDC3An	sin,cos 補正レジスタ 2	RDC3AnSCCOR3	<RDC3An_base> + 0024 _H
RDC3An	振幅自動調整レジスタ 0	RDC3AnATMNT0	<RDC3An_base> + 0028 _H
RDC3An	振幅自動調整レジスタ 1	RDC3AnATMNT1	<RDC3An_base> + 002C _H
RDC3An	異常検知レジスタ 0	RDC3AnDIAG0	<RDC3An_base> + 0030 _H
RDC3An	異常検知レジスタ 1	RDC3AnDIAG1	<RDC3An_base> + 0034 _H
RDC3An	異常検知レジスタ 2	RDC3AnDIAG2	<RDC3An_base> + 0038 _H
RDC3An	異常検知出力レジスタ 0	RDC3AnDGOUT0	<RDC3An_base> + 003C _H
RDC3An	異常検知出力レジスタ 1	RDC3AnDGOUT1	<RDC3An_base> + 0040 _H
RDC3An	BIST レジスタ 0	RDC3AnBIST0	<RDC3An_base> + 0044 _H
RDC3An	BIST レジスタ 1	RDC3AnBIST1	<RDC3An_base> + 0048 _H
RDC3An	励磁設定レジスタ	RDC3AnREF	<RDC3An_base> + 004C _H
RDC3An	エンコーダレジスタ 0	RDC3AnENC0	<RDC3An_base> + 0050 _H
RDC3An	エンコーダレジスタ 1	RDC3AnENC1	<RDC3An_base> + 0054 _H
RDC3An	エンコーダレジスタ 2	RDC3AnENC2	<RDC3An_base> + 0058 _H
RDC3An	角速度レジスタ	RDC3AnOMG	<RDC3An_base> + 005C _H
RDC3An	テストバスレジスタ	RDC3AnTBUS	<RDC3An_base> + 0064 _H
RDC3An	角度変換モード選択レジスタ	RDC3AnADRD	<RDC3An_base> + 0068 _H
RDC3An	ET 制御レジスタ	RDC3AnETEN	<RDC3An_base> + 006C _H
RDC3An	ET キャプチャレジスタ	RDC3AnETCAP	<RDC3An_base> + 0070 _H
RDC3An	ET ゼロクロスカウンタレジスタ	RDC3AnETMCNT	<RDC3An_base> + 0074 _H
RDC3An	デジタル演算レジスタ 0	RDC3AnDCUR0	<RDC3An_base> + 007C _H
RDC3An	デジタル演算レジスタ 1	RDC3AnDCUR1	<RDC3An_base> + 0080 _H
RDC3An	BIST 終了設定レジスタ 0	RDC3AnBISTFX0	<RDC3An_base> + 0088 _H
RDC3An	BIST 終了設定レジスタ 1	RDC3AnBISTFX1	<RDC3An_base> + 0094 _H
RDC3An	12bit SAR-ADC デジタル回路部設定レジスタ 1	RDC3AnADSTD1	<RDC3An_base> + 00AC _H
RDC3An	異常検知レジスタ 3	RDC3AnDIAG3	<RDC3An_base> + 00B0 _H
RDC3An	異常検知レジスタ 4	RDC3AnDIAG4	<RDC3An_base> + 00B4 _H

26.3.2 RDC3AnRDSTP — RDC 停止レジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0000_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MNTC	—	—	—	—	—	—	—	ANSTP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

表 26.10 RDC3AnRDSTP レジスタの内容

ビット位置	ビット名	機能
31~9	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
8	MNTC	sinmnt、cosmnt 外部端子設定ビット sinmnt、cosmnt の外部端子を以下のように設定します。 0 : sinmnt、cosmnt の外部出力端子をオープンにします。 1 : sinmnt、cosmnt を外部出力端子に出力します。
7~1	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
0	ANSTP	RD コンバータ停止ビット 0 のときアナログ回路動作状態。 1 のとき全ての 5V 電源回路が以下の状態となります。 - 5V 電源回路が全て disable。 - 5V 電源回路ピン (SINMNT, COSMNT, S1, S2, S3, S4, RSO, COM) が全て Hi-Z。

26.3.3 RDC3AnPI0 — 制御ゲイン選択レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0004_H

リセット後の値 0002 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	KVMS[1:0]		DVW[1:0]		—	KPF	KPS[1:0]		—	KIS[2:0]			—	DEVCK[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LKVS[3:0]				HKVS[3:0]				—	—	—	BWCS	—	LPGS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W

表 26.11 RDC3AnPI0 レジスタの内容 (1/3)

ビット位置	ビット名	機能
31、30	KVMS[1:0]	Kv ゲイン方式選択ビット Kv ゲイン方式の選択を行います。 b31 b30 0 0: AGC12 段階 1 段シフト方式 (デフォルト設定) 0 1: AGC7 段階 1 段シフト方式 1 0: AGC2 段階 1 段シフト方式 1 1: Kv 固定方式
29、28	DVW[1:0]	ERR 偏差重みづけビット ERR 偏差の重みづけを行います。 b29 b28 0 0: ×1 (デフォルト設定) 0 1: ×3 1 0: ×5 1 1: ×7
27	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
26	KPF	Kp ゲイン 4 倍ビット PI 補償器内の Kp ゲインをさらに 4 倍します。 ^{注1} 0: Kp ゲインを 4 倍しない。(×1 倍) 1: Kp ゲインを 4 倍する。
25、24	KPS[1:0]	Kp ゲイン選択ビット PI 補償器内の Kp ゲインを設定します。 ^{注1} b25 b24 0 0: ×1 (デフォルト設定) 0 1: ×0.25 1 0: ×0.5 1 1: ×2
23	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

表 26.11 RDC3AnPI0 レジスタの内容 (2/3)

ビット位置	ビット名	機能																																																																																					
22~20	KIS[2:0]	<p>Ki ゲイン選択ビット PI 補償器内の Ki ゲインを設定します</p> <table border="1"> <thead> <tr> <th>b22</th> <th>b21</th> <th>b20</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: ×1 (デフォルト設定)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: ×0.125</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: ×0.25</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: ×0.5</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: ×2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: ×4</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: ×8</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: ×16</td> </tr> </tbody> </table>	b22	b21	b20		0	0	0	: ×1 (デフォルト設定)	0	0	1	: ×0.125	0	1	0	: ×0.25	0	1	1	: ×0.5	1	0	0	: ×2	1	0	1	: ×4	1	1	0	: ×8	1	1	1	: ×16																																																	
b22	b21	b20																																																																																					
0	0	0	: ×1 (デフォルト設定)																																																																																				
0	0	1	: ×0.125																																																																																				
0	1	0	: ×0.25																																																																																				
0	1	1	: ×0.5																																																																																				
1	0	0	: ×2																																																																																				
1	0	1	: ×4																																																																																				
1	1	0	: ×8																																																																																				
1	1	1	: ×16																																																																																				
19	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																																																																					
18~16	DEVCK[2:0]	<p>制御偏差判定用クロック選択ビット^{注2} 制御偏差を判定するクロックの周期選択をします。</p> <table border="1"> <thead> <tr> <th>b18</th> <th>b17</th> <th>b16</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: 50 μs^注周期クロック</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 100 μs^注周期クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 200 μs^注周期クロック (デフォルト設定)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: 25 μs^注周期クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 400 μs^注周期クロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: 800 μs^注周期クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: 50 μs^注周期クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: 50 μs^注周期クロック</td> </tr> </tbody> </table>	b18	b17	b16		0	0	0	: 50 μs ^注 周期クロック	0	0	1	: 100 μs ^注 周期クロック	0	1	0	: 200 μs ^注 周期クロック (デフォルト設定)	0	1	1	: 25 μs ^注 周期クロック	1	0	0	: 400 μs ^注 周期クロック	1	0	1	: 800 μs ^注 周期クロック	1	1	0	: 50 μs ^注 周期クロック	1	1	1	: 50 μs ^注 周期クロック																																																	
b18	b17	b16																																																																																					
0	0	0	: 50 μs ^注 周期クロック																																																																																				
0	0	1	: 100 μs ^注 周期クロック																																																																																				
0	1	0	: 200 μs ^注 周期クロック (デフォルト設定)																																																																																				
0	1	1	: 25 μs ^注 周期クロック																																																																																				
1	0	0	: 400 μs ^注 周期クロック																																																																																				
1	0	1	: 800 μs ^注 周期クロック																																																																																				
1	1	0	: 50 μs ^注 周期クロック																																																																																				
1	1	1	: 50 μs ^注 周期クロック																																																																																				
15~12	LKVS[3:0]	<p>低 Kv ゲイン選択ビット Kv 固定方式選択時および AGC2 段階方式選択時の Kv の低い側のゲインを設定します。</p> <table border="1"> <thead> <tr> <th>b15</th> <th>b14</th> <th>b13</th> <th>b12</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>: ×1 (デフォルト設定)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>: ×0.0625</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>: ×0.125</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>: ×0.25</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>: ×0.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>: ×1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>: ×2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>: ×4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>: ×8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>: ×16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>: ×32</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>: ×64</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>: ×128</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>: ×1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>: ×1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>: ×1</td> </tr> </tbody> </table>	b15	b14	b13	b12		0	0	0	0	: ×1 (デフォルト設定)	0	0	0	1	: ×0.0625	0	0	1	0	: ×0.125	0	0	1	1	: ×0.25	0	1	0	0	: ×0.5	0	1	0	1	: ×1	0	1	1	0	: ×2	0	1	1	1	: ×4	1	0	0	0	: ×8	1	0	0	1	: ×16	1	0	1	0	: ×32	1	0	1	1	: ×64	1	1	0	0	: ×128	1	1	0	1	: ×1	1	1	1	0	: ×1	1	1	1	1	: ×1
b15	b14	b13	b12																																																																																				
0	0	0	0	: ×1 (デフォルト設定)																																																																																			
0	0	0	1	: ×0.0625																																																																																			
0	0	1	0	: ×0.125																																																																																			
0	0	1	1	: ×0.25																																																																																			
0	1	0	0	: ×0.5																																																																																			
0	1	0	1	: ×1																																																																																			
0	1	1	0	: ×2																																																																																			
0	1	1	1	: ×4																																																																																			
1	0	0	0	: ×8																																																																																			
1	0	0	1	: ×16																																																																																			
1	0	1	0	: ×32																																																																																			
1	0	1	1	: ×64																																																																																			
1	1	0	0	: ×128																																																																																			
1	1	0	1	: ×1																																																																																			
1	1	1	0	: ×1																																																																																			
1	1	1	1	: ×1																																																																																			

表 26.11 RDC3AnPI0 レジスタの内容 (3/3)

ビット位置	ビット名	機能																																																																																					
11~8	HKVS[3:0]	<p>高 Kv ゲイン選択ビット</p> <p>Kv 固定方式選択時および AGC2 段階方式選択時の Kv の高い側のゲインを設定します。</p> <table border="1"> <thead> <tr> <th>b11</th> <th>b10</th> <th>b9</th> <th>b8</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>: ×32 (デフォルト設定)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>: ×0.0625</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>: ×0.125</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>: ×0.25</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>: ×0.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>: ×1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>: ×2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>: ×4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>: ×8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>: ×16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>: ×32</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>: ×64</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>: ×128</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>: ×32</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>: ×32</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>: ×32</td> </tr> </tbody> </table>	b11	b10	b9	b8		0	0	0	0	: ×32 (デフォルト設定)	0	0	0	1	: ×0.0625	0	0	1	0	: ×0.125	0	0	1	1	: ×0.25	0	1	0	0	: ×0.5	0	1	0	1	: ×1	0	1	1	0	: ×2	0	1	1	1	: ×4	1	0	0	0	: ×8	1	0	0	1	: ×16	1	0	1	0	: ×32	1	0	1	1	: ×64	1	1	0	0	: ×128	1	1	0	1	: ×32	1	1	1	0	: ×32	1	1	1	1	: ×32
b11	b10	b9	b8																																																																																				
0	0	0	0	: ×32 (デフォルト設定)																																																																																			
0	0	0	1	: ×0.0625																																																																																			
0	0	1	0	: ×0.125																																																																																			
0	0	1	1	: ×0.25																																																																																			
0	1	0	0	: ×0.5																																																																																			
0	1	0	1	: ×1																																																																																			
0	1	1	0	: ×2																																																																																			
0	1	1	1	: ×4																																																																																			
1	0	0	0	: ×8																																																																																			
1	0	0	1	: ×16																																																																																			
1	0	1	0	: ×32																																																																																			
1	0	1	1	: ×64																																																																																			
1	1	0	0	: ×128																																																																																			
1	1	0	1	: ×32																																																																																			
1	1	1	0	: ×32																																																																																			
1	1	1	1	: ×32																																																																																			
7~5	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																																																																					
4	BWCS	<p>帯域設定ビット</p> <p>PI 補償器設定方法を選択します。</p> <p>0 : 本レジスタ RDC3AnPI0 で PI 補償器の各係数を個別設定します。</p> <p>1 : LPGS[2:0]ビットにより、PI 補償器の設定を行います。 設定値は、LPGS[2:0]の説明を参照。</p>																																																																																					
3	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																																																																					
2~0	LPGS[2:0]	<p>ループゲイン設定ビット</p> <p>本レジスタ BWCS ビットが“1”の場合本ビットが有効となり、本ビットの組み合わせにより、PI 補償器の設定を行うことができます。(表 26.17 参照)</p>																																																																																					

注： タイミング値は、CCLK 40MHz 動作時の値です。

注 1. DVW[1:0]ビット、およびレジスタ KPS[1:0]ビット、KPF ビット、HKVS[3:0]ビットの設定において表 26.12、表 26.13 の組み合わせを禁止します。これらの組み合わせでは、kv ゲインが大きい場合、PI 補償器の P 成分がオーバーフローし、所望の値とならないためです。

注 2. 制御偏差判定クロックの周期は、使用している励磁信号の周期以上の長さに設定してください。(たとえば励磁信号として 10kHz (100 μs 周期) を使用している場合は、制御偏差判定クロック周期を 100μs、200μs、400μs、800μs のいずれかに設定してください。50μs、25μs に設定しないでください。)

表 26.12 DVW[1:0]、KPS[1:0]、KPF 禁止組み合わせ設定

• KVMS[1:0]ビット = 00、01 設定時 (AGC12 段階、AGC7 段階設定時)

DVW[1:0]	KPS[1:0]	KPF
00 (×1)	11 (×2)	1 (×4)
01 (×3)	11 (×2)	1 (×4)
01 (×3)	00 (×1)	1 (×4)
10 (×5)	11 (×2)	1 (×4)
10 (×5)	11 (×2)	0 (×1)
10 (×5)	00 (×1)	1 (×4)
10 (×5)	10 (×0.5)	1 (×4)
11 (×7)	11 (×2)	1 (×4)
11 (×7)	11 (×2)	0 (×1)
11 (×7)	00 (×1)	1 (×4)
11 (×7)	10 (×0.5)	1 (×4)

表 26.13 DVW[1:0]、KPS[1:0]、KPF、HKVS[3:0] 禁止組み合わせ設定

• KVMS[1:0]ビット = 10、11 設定時 (AGC2 段階、Kv 固定設定時)

DVW[1:0]	KPS[1:0]	KPF	HKVS[3:0]
00 (×1)	11 (×2)	1 (×4)	1100 (×128)
01 (×3)	11 (×2)	1 (×4)	1100 (×128)
01 (×3)	11 (×2)	1 (×4)	1011 (×64)
01 (×3)	00 (×1)	1 (×4)	1100 (×128)
10 (×5)	11 (×2)	1 (×4)	1100 (×128)
10 (×5)	11 (×2)	1 (×4)	1011 (×64)
10 (×5)	11 (×2)	1 (×4)	1010 (×32)
10 (×5)	11 (×2)	0 (×1)	1100 (×128)
10 (×5)	00 (×1)	1 (×4)	1100 (×128)
10 (×5)	00 (×1)	1 (×4)	1011 (×64)
10 (×5)	10 (×0.5)	1 (×4)	1100 (×128)
11 (×7)	11 (×2)	1 (×4)	1100 (×128)
11 (×7)	11 (×2)	1 (×4)	1011 (×64)
11 (×7)	11 (×2)	1 (×4)	1010 (×32)
11 (×7)	11 (×2)	0 (×1)	1100 (×128)
11 (×7)	00 (×1)	1 (×4)	1100 (×128)
11 (×7)	00 (×1)	1 (×4)	1011 (×64)
11 (×7)	10 (×0.5)	1 (×4)	1100 (×128)

Kv ゲイン方式選択ビット

PI 補償器内の Kv ゲインの方式を選択します。AGC (Auto Gain Control) 方式を選択した場合は制御偏差量に応じて Kv ゲインが自動的に選択されます。デフォルト設定 (12 段階 AGC 方式) での使用を推奨します。

- 12 段階 AGC 方式 (デフォルト設定)

表 26.14 に 12 段階 AGC の制御偏差量と選択される Kv ゲインの値の関係を示します。

制御偏差量とは、制御偏差 ε (High もしくは Low) の判定クロック周期内での偏りを表します。レゾルバ角度信号 θ と RD コンバータ出力角度信号 ϕ について、 ϕ と θ が一致している状態では、High と Low は等しい割合で出現します。その場合制御偏差量は $\pm 0\%$ です。 ϕ が θ に対して完全に遅れている場合は ε は常

時 High になります。その場合、制御偏差量は+100%です。φがθに対して完全に進んでいる場合はεは常時 Low になります。その場合、制御偏差量は-100%です。判定クロックは DEVCK[2:0]ビットにより周期を選択できます。

表 26.14 12 段階 AGC での制御偏差量と Kv ゲイン

制御偏差量 (絶対値)	Kv ゲイン量
リセット解除時	× 128
76.8%~100%	× 64
64.0%~76.8%	× 32
57.6%~64.0%	× 16
51.2%~57.6%	× 8
44.8%~51.2%	× 4
38.4%~44.8%	× 2
32.0%~38.4%	× 1
25.6%~32.0%	× 0.5
19.2%~25.6%	× 0.25
12.8%~19.2%	× 0.125
0.0%~12.8%	× 0.0625

リセット解除後、Kv ゲインが×128 より小さくなった場合、以下の条件で Kv が×128 に戻ります。

1. AGDS ビット = 0 設定時に KIRST = 1 が書き込まれたとき。(Ki リセットが実行されたとき)
2. AGDS ビット = 0 設定時にレゾルバ信号異常状態からの復帰したとき。

AGDS ビット = 1 設定時は、上記 1、2 では Kv ゲインは×128 に戻りません。

- 7 段階 AGC 方式

表 26.15 に 7 段階 AGC の制御偏差量と選択される Kv ゲインの値の関係を示します。

表 26.15 7 段階 AGC での制御偏差量と Kv ゲイン

制御偏差量 (絶対値)	Kv ゲイン量
リセット解除時	× 128
76.8%~100 %	× 64
51.2%~76.8%	× 16
38.4%~51.2%	× 4
25.6%~38.4%	× 1
12.8%~25.6%	× 0.25
0.0 %~12.8%	× 0.0625

リセット解除後、Kv ゲインが×128 より小さくなった場合、以下の条件で Kv が×128 に戻ります。

1. AGDS ビット = 0 設定時に KIRST = 1 が書き込まれたとき。(Ki リセットが実行されたとき)
2. AGDS ビット = 0 設定時にレゾルバ信号異常状態からの復帰したとき。

AGDS ビット=1 設定時は、上記 1、2 では Kv ゲインは×128 に戻りません。

- 2 段階 AGC 方式

表 26.16 に 2 段階 AGC の制御偏差量と選択される Kv ゲインの値の関係を示します。

なお、低ゲイン、高ゲインはそれぞれ LKVS[3:0]ビット、HKVS[3:0]ビットで設定できます。

表 26.16 2 段階 AGC での制御偏差量と Kv ゲイン

制御偏差量 (絶対値)	Kv ゲイン量
76.8% ~ 100 %	高 Kv ゲインへ遷移
25.6% ~ 76.8%	Kv ゲイン維持 (遷移なし)
0.0 % ~ 25.6%	低 Kv ゲインへ遷移

リセット解除後、Kv ゲインが×128 より小さくなった場合、以下の条件で Kv が×128 に戻ります。

1. AGDS ビット = 0 設定時に KIRST = 1 が書き込まれたとき。(Ki リセットが実行されたとき)
2. AGDS ビット = 0 設定時にレゾルバ信号異常状態からの復帰したとき。

AGDS ビット = 1 設定時は、上記 1、2 では Kv ゲインは×128 に戻りません。

- Kv 固定方式

Kv 固定方式を選択した場合、制御偏差量に依らず低 Kv ゲインで動作します。ただし、異常検出が発生し、さらにその異常信号が“0”に遷移 (異常から回復) したときのみ高 Kv ゲイン側に遷移します。その後、制御偏差量の絶対値が 25.6%以下になると低 Kv ゲイン側に遷移します。

ループゲイン設定ビット

BWCS ビットが“1”の場合の LPGS[2:0]ビットの組み合わせと PI 補償器設定の関係を表 26.17 に示します。

表 26.17 LPGS[2:0]と PI 補償器の設定

BWCS	LPGS[2:0]			PI 補償器設定
	b2	b1	b0	帯域
0	X	X	X	レジスタ RDC3AnPI0 で設定
1	0	0	0	800Hz
1	0	1	1	1500Hz
1	1	0	0	1000Hz
1	1	0	1	500Hz
1	1	1	0	200Hz
1	1	1	1	自動調整

備考 デフォルト設定は、b2~b0 = 000 の 800 Hz 帯域設定です。

注： 上記以外は設定しないでください。

26.3.4 RDC3AnPI1 — 制御ゲイン選択レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0008_H

リセット後の値 0001 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SAGD	—	—	—	AGCD	—	—	—	—	—	—	—	AGDS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	AGST[3:0]				—	—	—	—	—	MAXV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 26.18 RDC3AnPI1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~29	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
28	SAGD	短時間 BIST 復帰強制ゲイン制御機能ディスエイブルビット 短時間 BIST (ADBIST, レゾルバ信号異常 BIST, 断線異常 BIST, 天絡地絡 BIST) 終了時に強制ゲイン制御に移行することを禁止する。 0: 強制ゲイン制御機能を使用します。 1: 強制ゲイン制御機能を使用しません。
27~25	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
24	AGCD	強制ゲイン制御機能ディスエイブルビット 強制ゲイン制御機能の使用・不使用を選択します。 ^{※1} 0: 強制ゲイン制御機能を使用します。 1: 強制ゲイン制御機能を使用しません。
23~17	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
16	AGDS	AGC Kv 高ゲイン遷移制限ビット AGC Kv が高ゲインに遷移するのを制限します。 0: 励磁異常のとき及び Ki リセット時は Kv が高ゲインに遷移します。 AGC12 段階選択時: Kv X128 固定 AGC7 段階選択時: Kv X128 固定 AGC2 段階選択時: Kv 高い側固定 1: 励磁異常のとき及び Ki リセット時に、Kv が高ゲインに遷移しません。
15~12	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

表 26.18 RDC3AnPI1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
11~8	AGST[3:0]	短時間 BIST 復帰初期 AGC ゲインビット 短時間 BIST (ADBIST, レゾルバ信号異常 BIST, 断線異常 BIST, 天絡地絡 BIST) 終了時及び、 天絡地絡検知終了時の強制ゲイン制御移行時の初期 Kv ゲイン設定 b11 b10 b9 b8 初期 Kv ゲイン 0 0 0 0: ×4 (デフォルト) 0 0 0 1: ×0.0625 0 0 1 0: ×0.125 0 0 1 1: ×0.25 0 1 0 0: ×0.5 0 1 0 1: ×1 0 1 1 0: ×2 0 1 1 1: ×4 1 0 0 0: ×8 1 0 0 1: ×16 1 0 1 0: ×32 1 0 1 1: ×64 1 1 0 0: ×128 1 1 0 1: ×4 1 1 1 0: ×4 1 1 1 1: ×4
7~3	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
2~0	MAXV[2:0]	最大角速度選択ビット 最大角速度を設定します (表 26.19 参照)。

注 1. AGCD の設定値を変更する場合は、設定変更後に KIRST ビットに“1”を書いてください。(KIRST ビットを“1”としない場合、phi 角度出力がフリーランになります。)

また、AGCD の設定値を変更する場合は、レゾルバが静止した状態で設定変更してください。

最大角速度選択ビット

最大角速度選択ビットにより選択される最大角速度と、R/D 変換の分解能の関係を表 26.19 に示します。

表 26.19 最大角速度選択ビット

b2	b1	b0	最大角速度[min^{-1}]	分解能[bit]
0	0	0	120000 注 1	13
0	0	1	240000 注 1	12 (デフォルト設定)
0	1	0	480000 注 1	11
0	1	1	960000 注 1	10
1	0	0	15000 注 1	16
1	0	1	60000 注 1	14
1	1	0	240000 注 1	12
1	1	1	240000 注 1	12

注 1. タイミング値は、CCLK 40MHz 動作時の値です。

26.3.5 RDC3AnPHICP0 — PHI コンペア設定レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 000C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	INTCLR[2:0]			—	—	—	—	—	—	—	IRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	INTFLG[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.20 RDC3AnPHICP0 レジスタの内容

ビット位置	ビット名	機能
31~27	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
26	INTCLR[2]	コンペア一致2割り込みクリアビット “1”を書くと、INTFLG[2]ビットが“0”になります。本ビットは、“1”になったあと2クロックサイクル経過後に“0”になります。
25	INTCLR[1]	コンペア一致1割り込みクリアビット “1”を書くと、INTFLG[1]ビットが“0”になります。本ビットは、“1”になったあと2クロックサイクル経過後に“0”になります。
24	INTCLR[0]	コンペア一致0割り込みクリアビット “1”を書くと、INTFLG[0]ビットが“0”になります。本ビットは、“1”になったあと2クロックサイクル経過後に“0”になります。
23~17	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
16	IRS	コンペア一致割り込み要求信号選択ビット 0：コンペア一致信号 1：コンペア一致信号をラッチした信号
15~3	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
2	INTFLG[2]	コンペア一致2割り込みフラグ 0：割り込み要求なし 1：割り込み要求あり
1	INTFLG[1]	コンペア一致1割り込みフラグ 0：割り込み要求なし 1：割り込み要求あり
0	INTFLG[0]	コンペア一致0割り込みフラグ 0：割り込み要求なし 1：割り込み要求あり

26.3.6 RDC3AnPHICP1 — PHI コンペア設定レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMP1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMP0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.21 RDC3AnPHICP1 レジスタの内容

ビット位置	ビット名	機能
31~16	CMP1[15:0]	phi コンペア 1 設定ビット 角度コンペア値を 16 ビット幅で設定します
15~0	CMP0[15:0]	phi コンペア 0 設定ビット 角度コンペア値を 16 ビット幅で設定します

26.3.7 RDC3AnPHICP2 — PHI コンペア設定レジスタ 2

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0014_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMP2[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.22 RDC3AnPHICP2 レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
15~0	CMP2[15:0]	phi コンペア 2 設定ビット コンペアー一致比較対象となる phi を 16 ビットで設定します。

26.3.8 RDC3AnSCCOR0 — sin,cos 角度補正レジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	COSPO[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SINPO[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.23 RDC3AnSCCOR0 レジスタの内容

ビット位置	ビット名	機能
31~28	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
27~16	COSPO[11:0]	cos 位相補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{注 1} b27-b16 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)
15~12	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
11~0	SINPO[11:0]	sin 位相補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{注 1} b11-b0 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)

注 1. 角度変換 BIST 実行時は 000_H(0°)を設定してください。

26.3.9 RDC3AnSCCOR1 — sin,cos 補正レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 001C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	PHCST	—	GNCST	CMCLT[1:0]	CMCSL[1:0]	GNCLT[1:0]	GNCSL[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PHCLT[1:0]	PHCSL[1:0]	—	NSRSL	GNCND	SGLMD	GNJSP	GNCNS[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.24 RDC3AnSCCOR1 レジスタの内容 (1/3)

ビット位置	ビット名	機能
31~27	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
26	PHCST	位相補正開始ビット 1を書き込むと位相補正を開始します。 RDが角度追従状態になった後に1にしてください。 本ビットは、“1”になったあと2クロックサイクル経過後に“0”に戻ります。 本ビットはリセット解除後1回のみ有効です。
25	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
24	GNCST	ゲイン補正開始ビット 1を書き込むとゲイン補正、コモンオフセット補正を開始します。 RDが角度追従状態になってから少なくとも180°（電気角）以上レゾルバが回転した後に1にしてください。 本ビットは、“1”になったあと2クロックサイクル経過後に“0”に戻ります。
23, 22	CMCLT[1:0]	コモンオフセット補正值リミット設定ビット コモンオフセット補正值にリミットを設定します。 入力信号から計算される補正值がリミットを超えた場合はリミット値が補正值として適用されません。 b23 b22 補正值リミット 0 0: ±0.0312×RVCC (約±150mV) (デフォルト) 0 1: ±0.0156×RVCC (約±78mV) 1 0: ±0.125×RVCC (約±625mV) 1 1: ±0×RVCC (±0mV) (補正無効)
21, 20	CMCSL	コモンオフセット補正適用方法選択ビット コモンオフセット補正適用方法を選択します。 b21 b20 補正值適用 0 0: 補正無し (補正值 00 _H 固定、デフォルト) 0 1: CSOSN[9:0], CCOSN[9:0]で設定された固定オフセット補正值を常時適用 1 0: 計算されたオフセット補正值を適用する。 適用するタイミングはGNCSLビットによる。 1 1: 設定禁止

表 26.24 RDC3AnSCCOR1 レジスタの内容 (2/3)

ビット位置	ビット名	機能
19、18	GNCLT[1:0]	ゲイン補正值リミット設定ビット ゲイン補正值にリミットを設定します。 入力信号から計算される補正值がリミットを超えた場合はリミット値が補正值として適用され ます。 b19 b18 補正值リミット 0 0: ±20% (デフォルト) 0 1: ±10% 1 0: ±40% 1 1: ±0% (補正無効)
17、16	GNCST[1:0]	ゲイン補正適用方法選択ビット ゲインオフセット補正適用方法を選択します。 b17 b16 補正值適用 0 0: 補正無し (補正值 1024 固定、デフォルト) 0 1: GNCNM[10:0]で設定された固定補正值を常時適用 1 0: GNCST ビットがセットされた時点で計算された補正值を適用 1 1: GNCST ビットがセットされ、その後 z 相出力のタイミングで計算された オフセット補正值を適用 (1 周回転ごとに補正值を適用)
15~12	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
11、10	PHCLT[1:0]	位相補正リミット設定ビット Sin,cos 位相補正值にリミットを設定します。 入力信号から計算される遅延値がリミットを超えた場合はリミット値が遅延値として適用され ます。 b11 b10 遅延補正值リミット 0 0: 3 μs (デフォルト) 0 1: 1 μs 1 0: 6 μs 1 1: 0 μs (補正無効)
9、8	PHCSL[1:0]	sin,cos 位相補正適用方法選択ビット sin,cos 位相補正方法を選択する。 b9 b8 位相補正方法 0 0: 位相補正を使用しない (デフォルト) 0 1: PHCST ビットがセットされた後、励磁クロスタイミングごとに取得した位相ずれを 16 回平均した補正值を適用 (16 回平均を継続して実施する) 1 0: PHCST ビットがセットされた後、励磁クロスタイミングごとに取得した位相ずれを 16 回 平均を 1 回のみ実施した補正值を適用 1 1: PHCNM[5:0]、PHSNM[5:0]で設定した固定補正值を使用する。
7	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
6	NSRSL	AD ノイズ除去機能選択ビット AD ノイズ除去機能適用回路の選択 0: sin,cos ゲイン、コモンオフセット補正值計算回路にのみ AD ノイズ除去機能を適用する。 (デフォルト) 1: sin,cos ゲイン、コモンオフセット補正值計算回路と RD 変換の乗算、減算回路に適用す る。
5	GNCND	AD ノイズ除去機能無効ビット AD ノイズ除去機能を無効化する。 0: ノイズ除去機能あり (デフォルト) 1: ノイズ除去機能なし
4	SGLMD	AD 張り付き検知回路無効化ビット AD 張り付き検知機能を無効化する。 0: 張り付き検知機能あり (デフォルト) 1: 張り付き検知機能なし

表 26.24 RDC3AnSCCOR1 レジスタの内容 (3/3)

ビット位置	ビット名	機能
3	GNJSP	ノイズ除去比較選択ビット ノイズ除去比較タイミングを選択する。 0: 今回と 1 回前の AD 取得値を比較 1: 今回と 2 回前の AD 取得値を比較
2~0	GNCNS[2:0]	AD ノイズ除去設定ビット AD 取得値のノイズ判定閾値設定 設定値よりも大きい変化があった場合はノイズとしてリジェクトされる。 b2 b1 b0 除去するノイズ閾値 0 0 0: 128 (約 156mV) (デフォルト) 0 0 1: 32 (約 39mV) 0 1 0: 64 (約 78mV) 0 1 1: 128 (約 156mV) 1 0 0: 256 (約 313mV) 1 0 1: 512 (約 625mV) 1 1 0: 1024 (約 1250mV) 1 1 1: 2048 (約 2500mV)

26.3.10 RDC3AnSCCOR2 — sin,cos 補正レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	GNCNM[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PHCNM[5:0]					—	—	PHSNM[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.25 RDC3AnSCCOR2 レジスタの内容

ビット位置	ビット名	機能
31~28	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
27~16	GNCNM[11:0]	ゲイン補正固定値設定ビット ゲイン補正の固定値を設定する。 以下の式で計算される補正値が cos 側に掛けられる。 - cos 側補正値 = d'(GNCNM[11:0])/1024 1倍（補正なし）に設定する場合は 1024 を設定 例えば 1178 (49A _H) に設定すると cos 側ゲインが+15%補正されます
15、14	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
13~8	PHCNM[5:0]	cos 側位相補正固定値設定ビット 位相補正の cos 側補正値（遅延量）を設定する。 以下の式で計算される遅延値が cos 側に挿入される。 - cos 側遅延値 = d'(PHCNM[5:0]) × 200 ns 1F _H は設定禁止。0 μs~6 μs まで設定可能。
7、6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5~0	PHSNM[5:0]	sin 側位相補正固定値設定ビット 位相補正の sin 側補正値（遅延量）を設定する。 以下の式で計算される遅延値が sin 側に挿入される。 - sin 側遅延値 = d'(PHSNM[5:0]) × 200 ns 1F _H は設定禁止。0 μs~6 μs まで設定可能。

26.3.11 RDC3AnSCCOR3 — sin,cos 補正レジスタ 2

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	CCOSN[9:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	CSOSN[9:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

表 26.26 RDC3AnSCCOR3 レジスタの内容

ビット位置	ビット名	機能
31~26	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
25~16	CCOSN[9:0]	cos 側コモンオフセット補正固定値設定ビット cos 側のコモンオフセット補正固定値を設定する。(2の補数) 以下の式で計算される補正値が実際に計測されるAD値から減算される - cos 側コモンオフセット補正値 = $d'(CCOSN[9:0]) \times RVCC/4096 (V)$
15~10	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
9~0	CSOSN[9:0]	sin 側コモンオフセット補正固定値設定ビット sin 側のコモンオフセット補正固定値を設定する。(2の補数) 以下の式で計算される補正値が実際に計測されるAD値から減算される - sin 側コモンオフセット補正値 = $d'(CSOSN[9:0]) \times RVCC/4096 (V)$

26.3.12 RDC3AnATMNT0 — 振幅自動調整レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0028H

リセット後の値 XX24 0200H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	IRSS0	IGRT	IGRM[3:0]			—	—	EXOC[1:0]		IRSC[3:0]				
リセット後の値	0	0	0	-	-	-	-	-	0	0	1	0	0	1	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	EAAOD	IRSS1	EXOS	—	—	EAATSP	SQJGT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 26.27 RDC3AnATMNT0 レジスタの内容 (1/3)

ビット位置	ビット名	機能
31、30	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
29	IRSS0	入力ゲイン抵抗値フラッシュトリミング値無効ビット 励磁振幅自動調整回路から出力される入力ゲイン抵抗値設定について、入力ゲイン抵抗自動調整値を用いるか、レジスタ設定値を用いるか、flashからのトリミング設定値を用いるかを選択します。 本レジスタ、および IRSS1 ビット、および flash からの転送信号 IGRT の組み合わせにより決定します。
28	IGRT	フラッシュ入力ゲイン抵抗設定値無効化確認ビット flash メモリからの入力信号 (IGRT) を確認できます。フラッシュによる入力ゲイン抵抗トリミング設定値を無効とする信号です。 0 : flash からのトリミング設定値有効 1 : flash からのトリミング設定値無効
27~24	IGRM[3:0]	フラッシュ入力ゲイン抵抗設定値確認ビット flash メモリからの入力信号 (IGRM[3:0]) を確認できます。フラッシュによる入力ゲイン抵抗トリミング設定信号です。 b27 b26 b25 b24 0 0 0 0 : 入力ゲイン抵抗値 TYP-40% 0 0 0 1 : 入力ゲイン抵抗値 TYP-30% 0 0 1 0 : 入力ゲイン抵抗値 TYP-20% 0 0 1 1 : 入力ゲイン抵抗値 TYP-10% 0 1 0 0 : 入力ゲイン抵抗値 TYP±0% 0 1 0 1 : 入力ゲイン抵抗値 TYP+10% 0 1 1 0 : 入力ゲイン抵抗値 TYP+20% 0 1 1 1 : 入力ゲイン抵抗値 TYP+30% 1 0 0 0 : 入力ゲイン抵抗値 TYP+40% 1 0 0 1 : 入力ゲイン抵抗値 TYP+40% 1 0 1 0 : 入力ゲイン抵抗値 TYP+40% 1 0 1 1 : 入力ゲイン抵抗値 TYP+40% 1 1 0 0 : 入力ゲイン抵抗値 TYP+40% 1 1 0 1 : 入力ゲイン抵抗値 TYP+40% 1 1 1 0 : 入力ゲイン抵抗値 TYP+40% 1 1 1 1 : 入力ゲイン抵抗値 TYP+40%

表 26.27 RDC3AnATMNT0 レジスタの内容 (2/3)

ビット位置	ビット名	機能
23、22	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
21、20	EXOC[1:0]	<p>励磁出力値設定ビット 励磁出力設定ビットです。 EXOS ビットが“0”の場合、本ビットの値が励磁出力振幅設定として励磁振幅自動調整回路から出力されます。</p> <p>b21 b20</p> <p>0 0 : 励磁出力値 TYP-40%</p> <p>0 1 : 励磁出力値 TYP-20%</p> <p>1 0 : 励磁出力値 TYP±0% (デフォルト設定)</p> <p>1 1 : 励磁出力値 TYP+20%</p>
19~16	IRSC[3:0]	<p>入力ゲイン抵抗値設定ビット 入力ゲイン抵抗値設定ビットです。 IRSS1 ビットが“0”、かつ IRSS0 ビットが“1”、あるいは IRSS1 ビットが“0”、かつ flash からの転送信号が“1”のとき、本ビットの値が入力ゲイン抵抗値設定として励磁振幅自動調整回路から出力されます。</p> <p>b19 b18 b17 b16</p> <p>0 0 0 0 : 入力ゲイン抵抗値 TYP-40%</p> <p>0 0 0 1 : 入力ゲイン抵抗値 TYP-30%</p> <p>0 0 1 0 : 入力ゲイン抵抗値 TYP-20%</p> <p>0 0 1 1 : 入力ゲイン抵抗値 TYP-10%</p> <p>0 1 0 0 : 入力ゲイン抵抗値 TYP±0% (デフォルト設定)</p> <p>0 1 0 1 : 入力ゲイン抵抗値 TYP+10%</p> <p>0 1 1 0 : 入力ゲイン抵抗値 TYP+20%</p> <p>0 1 1 1 : 入力ゲイン抵抗値 TYP+30%</p> <p>1 0 0 0 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 0 0 1 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 0 1 0 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 0 1 1 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 1 0 0 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 1 0 1 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 1 1 0 : 入力ゲイン抵抗値 TYP+40%</p> <p>1 1 1 1 : 入力ゲイン抵抗値 TYP+40%</p>
15	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
14	EAAOD	<p>励磁振幅自動調整順序選択ビット 励磁振幅自動調整回路において、入力ゲイン抵抗値による調整、励磁出力による調整のどちらを優先して振幅調整を行うかを選択します。</p> <p>0 : 励磁出力による調整を先に行い、その後入力ゲイン抵抗による調整を行います</p> <p>1 : 入力ゲイン抵抗値による調整を先に行い、その後励磁出力による調整を行います。</p>
13	IRSS1	<p>入力ゲイン抵抗値調整出力選択ビット 励磁振幅自動調整回路から出力される入力ゲイン抵抗値設定について、入力ゲイン抵抗自動調整値を用いるか、レジスタ設定値を用いるか、flash からのトリミング設定値を用いるかを選択します。 本レジスタ、IRSS0 ビット、および flash からの転送信号 IGRT の組み合わせにより決定します。</p>
12	EXOS	<p>励磁出力振幅設定選択ビット 励磁振幅自動調整回路から出力される励磁出力設定について、励磁出力自動調整値を用いるか、レジスタ設定値を用いるかを選択します。</p> <p>0 : 励磁出力設定に、EXOC[1:0]ビットの値を用います。</p> <p>1 : 励磁出力設定に、励磁出力自動調整値を用います。</p>
11、10	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

表 26.27 RDC3AnATMNT0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
9	EAATSP	励磁振幅自動調整停止ビット 励磁振幅自動調整回路による励磁振幅調整を停止します。 0→1に変更した場合、1に設定した時点での自動調整値を保持して使い続けます。 0：励磁振幅自動調整を行います。 1：励磁振幅自動調整を停止します。
8	SQJGT	励磁振幅二乗和判定時間選択ビット 励磁振幅自動調整回路において、励磁波形の振幅調整を実行する間隔を設定します。 0：1 ms ^注 ごとに励磁波形の振幅を調整します。 1：10 ms ^注 ごとに励磁波形の振幅を調整します。
7~0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

注： タイミング値は、CCLK 40MHz 動作時の値です。

入力ゲイン抵抗値設定選択

入力ゲイン抵抗値設定は、以下の3つのうち1つが選択され励磁振幅自動調整回路から出力されます。

- 入力ゲイン抵抗自動調整値
- IRSC[3:0]ビットに設定された値
- Flash からのトリミング設定値 (IGRM[3:0]ビットから読み出し可能)

選択信号は、IRSS1 ビット、IRSS0 ビット、および flash からの転送信号 IGRT であり、以下の表 26.28 に従って選択されます。

表 26.28 入力ゲイン抵抗値調整コード選択

IRSS1 ビット	IRSS0 ビット	Flash からの信号 IGRT	選択される入力ゲイン抵抗値設定
0	0	0	Flash からのトリミング設定値
0	0	1	IRSC[3:0]ビットの値
0	1	X	IRSC[3:0]ビットの値
1	X	X	入力ゲイン抵抗自動調整値

26.3.13 RDC3AnATMNT1 — 振幅自動調整レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード可能です。

アドレス <RDC3An_base> + 002C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESQUL L	ESQOUL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RLT[17:4]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.29 RDC3AnATMNT1 レジスタの内容

ビット位置	ビット名	機能
31~18	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
17	ESQULL	励磁振幅二乗和積分値下限割れ判定信号 励磁振幅二乗和積分値下限割れ判定信号を格納します。 0：励磁振幅二乗和積分値が閾値下限以上 1：励磁振幅二乗和積分値が閾値下限より小さい
16	ESQOUL	励磁振幅二乗和積分値上限割れ判定信号 励磁振幅二乗和積分値上限割れ判定信号を格納します。 0：励磁振幅二乗和積分値が閾値上限以下 1：励磁振幅二乗和積分値が閾値上限より大きい
15、14	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
13~0	RLT[17:4]	励磁振幅二乗和積分値 励磁振幅二乗和積分値の18ビット中上位14ビットを格納します。 励磁振幅二乗和積分値は1ms ^注 毎に更新されます。

注： タイミング値は、CCLK 40MHz 動作時の値です。

26.3.14 RDC3AnDIAG0 — 異常検知レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0030_H

リセット後の値 001A 2933_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	P2ANT[1:0]		EXCETH[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SGBTH[7:0]							SGBDTH[7:0]								
リセット後の値	0	0	1	0	1	0	0	1	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.30 RDC3AnDIAG0 レジスタの内容

ビット位置	ビット名	機能
31~26	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
25, 24	P2ANT [1:0]	2 経路変換異常閾値設定ビット 角度変換モード 0 経路と角度変換モード 1 経路の 2 経路変換異常比較の閾値を設定します。 b25 b24 比較閾値 0 0 : ±128LSB (@12bit 分解能) (デフォルト) 0 1 : ±64LSB (@12bit 分解能) 1 0 : ±256LSB (@12bit 分解能) 1 1 : ±512LSB (@12bit 分解能)
23~16	EXCETH[7:0]	レゾルバ信号異常比較閾値設定ビット レゾルバ信号異常検知閾値を設定する。 以下の式で計算される閾値に設定される。 – 閾値 = $2 \times d'(EXCETH[7:0]) \times 8 \times RVCC/4096$ (Vpp) デフォルト設定 1A _H : $0.102 \times RVCC$ (Vpp)
15~8	SGBTH[7:0]	断線異常比較閾値設定ビット (VR レゾルバ) VR レゾルバ使用時の断線異常検知閾値を設定する。 以下の式で計算される閾値に設定される。 – 閾値 = $0.5 \times RVCC + d'(SGBTH[7:0]) \times 8 \times RVCC/4096$ (V) デフォルト設定 29 _H : $0.58 \times RVCC$ (V)
7~0	SGBDTH[7:0]	断線異常比較閾値設定ビット (DC レゾルバ) DC レゾルバ使用時の断線異常検知閾値を設定する。 以下の式で計算される閾値に設定される。 – 閾値 = $0.5 \times RVCC + (d'(SGBDTH[7:0]) \times 8 + 1024) \times RVCC/4096$ (V) デフォルト設定 33 _H : $0.85 \times RVCC$ (V)

26.3.15 RDC3AnDIAG1 — 異常検知レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0034_H

リセット後の値 B000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CVEDS	EDPS[1:0]		—	—	VGASL[1:0]		—	—	—	VGST	—	—	—	INIT
リセット後の値	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ERDEN	—	SQERS T	—	ERRST	—	—	—	—	—	—	—	KIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R/W

表 26.31 RDC3AnDIAG1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。
30	CVEDS	変換異常検出回路選択ビット 変換異常検出回路を選択します。 0 : RD 変換異常検知信号の高速回転に対応した回路を選択します。 ^{注1} 1 : RD 変換異常検知信号の高速回転に未対応の回路を選択します。
29、28	EDPS[1:0]	R/D 変換異常判定時間選択ビット R/D 変換異常の判定時間（急加速時回避判定時間選択）を選択します。 ^{注2} b29 b28 0 0 : 95.8 ^{注3} msec 0 1 : 147 ^{注3} msec 1 0 : 4.92 ^{注3} msec 1 1 : 7.37 ^{注3} msec（デフォルト設定）
27、26	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
25、24	VGASL[1:0]	天地絡検知開始方法選択ビット 天絡地絡検知開始方法を選択する。 b25 b24 開始方法 0 0 : 天絡地絡検知実施なし（デフォルト） 0 1 : VGST ビットに1を書き込んだ時 1 0 : 10 ms 間隔で常時実施 1 1 : 天絡地絡検知実施なし
23~21	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
20	VGST	天地絡検知開始ビット 1を書き込むと天絡地絡検知を1回開始します。 1回の天地絡検知の中でアナログ6端子全てを検知します。 本ビットは“1”になったあと2クロックサイクル経過後に“0”に戻ります。
19~17	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

表 26.31 RDC3AnDIAG1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	INIT	“1” を書くと、RDC3A 内を初期化します。 本ビットは、“1” になったあと RDC3A 内の初期化が完了したのち “0” になります。注 4
15~13	予約ビット	読むと “0” が読み出されます。書き込みは “0” としてください。
12	ERDEN	異常検知開始ビット 本ビットが “1” になってから 26 msec 後に異常検知出力マスクが解除され、異常検知が有効となります。注 5
11	予約ビット	読むと “0” が読み出されます。書き込みは “0” としてください。
10	SQERST	二乗和振幅異常励磁カウンタリセット 本ビットを “1” にすると二乗和振幅異常励磁カウンタ値が 0 リセットされます。 本ビットは、“1” になったあと 2 クロックサイクル経過後に “0” に戻ります。
9	予約ビット	読むと “0” が読み出されます。書き込みは “0” としてください。
8	ERRST	エラー信号リセットビット “1” にセットすると以下のレジスタビットが “0” にリセットされます。ただし異常が継続している場合は 0 にリセットされず 1 が立ったままとなります。 本ビットは、“1” になったあと 2 クロックサイクル経過後に “0” に戻ります。 レジスタビット：ERHD, ERDEXC, ERDSBC, ERDSBS, ERDP2, ERDCNV, ERDR1~4V
7~1	予約ビット	読むと “0” が読み出されます。書き込みは “0” としてください。
0	KIRST	Ki 成分リセットビット “1” にセットすると Ki 積分器及びアキュムレータ積分器の値が “0” にリセットされます。リセットされると強制ゲイン制御機能が動作し、PI 補償器 Kv ゲインが高い設定になります。 本ビットは、“1” になったあと 2 クロックサイクル経過後に “0” に戻ります。 本ビットを 1 に設定した後、再度 1 を設定する場合は 2 μ s 以上の時間を空けてください。

注： タイミング値は、CCLK 40MHz 動作時の値です。

注 1. RD 変換異常検出回路（高速回転に対応）を使用（CVEDS ビット = 0 設定）時は、励磁周波数は 22 kHz 以下に設定してください。

注 2. RD コンバータ動作中は、EDPS[1:0]の設定について、現設定値より短い判定時間に再設定することを禁止します。すなわち、EDPS[1:0] = 01 のとき、EDPS[1:0] = 00、10、11 への再設定を禁止します。
EDPS[1:0] = 00 のとき、EDPS[1:0] = 10、11 への再設定を禁止します。
EDPS[1:0] = 11 のとき、EDPS[1:0] = 10 への再設定を禁止します。
ただし、リセット解除後レジスタ ERDEN ビットをまだ “1” にしていない場合のみ、EDPS[1:0] = 11 のとき、EDPS[1:0] = 10 への再設定を許可します。
EDPS[1:0] = 11 から 10 への再設定したのち、ERDEN ビットを “1” にしてください。

注 3. RD 変換異常検出回路（高速回転に対応）選択（CVEDS ビット = “0”）時は使用禁止です。

注 4. INIT ビットをアサート後、ユーザがこのビットをクリアすることを禁止します。

注 5. リセット解除時の設定では異常検知は無効になっています。ERDEN ビットを “1” に設定してから 26 ms 後に異常検知が有効になります。なお、ERDEN ビットへの “1” 設定は、リセット解除後 1 回限り有効です。（ERDEN を “0” に設定しても異常検知無効状態にはなりません。）異常検出機能を有効にしたあと、無効にしたい場合は、EINTEN ビットを “0” にして割り込みを禁止してください。

R/D 変換異常判定時間選択ビット

R/D 変換異常を判定する時間を設定します。入力角度と変換角度の偏差（ ϵ ）が大きい状態が、設定した判定時間の 50%以上になると変換異常とみなし、

ERCNVs ビットで変換異常検知が選択されている場合、RDC3AnDGOUT0 レジスタの ERCNV ビットが “1” になります。

さらに RDC3AnENC0 レジスタの EINTEN ビットが “1” になっている場合は、RDC3AnDGOUT0 レジスタの ERR,ERHD ビットが “1” となり、RDC 異常割り込みが発生します。

26.3.16 RDC3AnDIAG2 — 異常検知レジスタ 2

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	EREXCS	ERSBCS	ERSBSS	—	ERSQS	ERP2S	ERCNVCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ERR1VCS	ERR2VCS	ERS1VCS	ERS2VCS	ERS3VCS	ERS4VCS	—	—	ERR1GCS	ERR2GCS	ERS1GCS	ERS2GCS	ERS3GCS	ERS4GCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.32 RDC3AnDIAG2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~23	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
22	EREXCS	レゾルバ信号異常選択ビット レゾルバ信号異常検知の出力、非出力を選択します。 0: レゾルバ信号異常発生時に ERR, ERHD, EREXC, ERDEXC に 1 を立てる。 1: レゾルバ信号異常発生時に 1 を立てない。
21	ERSBCS	断線異常 (cos) 選択ビット 断線異常検知 (cos) の出力、非出力を選択します。 0: 断線異常 (cos) 発生時に ERR, ERHD, ERSBC, ERDSBC に 1 を立てる。 1: 断線異常 (cos) 発生時に 1 を立てない。
20	ERSBSS	断線異常 (sin) 選択ビット 断線異常検知 (sin) の出力、非出力を選択します。 0: 断線異常 (sin) 発生時に ERR, ERHD, ERSBS, ERDSBS に 1 を立てる。 1: 断線異常 (sin) 発生時に 1 を立てない。
19	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
18	ERSQS	二乗和振幅異常選択ビット 二乗和振幅異常検知の出力、非出力を選択します。 0: 二乗和振幅異常発生時に ERR, ERHD, ERSQ, ERDSQ に 1 をたてる。 1: 二乗和振幅異常発生時に 1 を立てない。
17	ERP2S	2 経路変換異常選択ビット 2 経路変換異常検知の出力、非出力を選択します。 0: 2 経路変換異常発生時に ERR, ERHD, ERP2, ERDP2 に 1 をたてる。 1: 2 経路変換異常発生時に 1 を立てない。
16	ERCNVCS	変換異常選択ビット 変換異常検知の出力、非出力を選択します。 0: 変換異常発生時に ERR, ERHD, ERCNV, ERDCNV に 1 をたてる。 1: 変換異常発生時に 1 を立てない。
15~14	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

表 26.32 RDC3AnDIAG2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
13	ERR1VS	RSO 天絡選択ビット RSO 端子天絡異常検知の出力、非出力を選択します。 0 : RSO 天絡異常発生時に ERR, ERHD, ERR1V, ERDR1V に 1 をたてる。 1 : RSO 天絡異常発生時に 1 を立てない。
12	ERR2VS	COM 天絡選択ビット COM 端子天絡異常検知の出力、非出力を選択します。 0 : COM 天絡異常発生時に ERR, ERHD, ERR2V, ERDR2V に 1 をたてる。 1 : COM 天絡異常発生時に 1 を立てない。
11	ERS1VS	S1 天絡選択ビット S1 端子天絡異常検知の出力、非出力を選択します。 0 : S1 天絡異常発生時に ERR, ERHD, ERCNV, ERS1V, ERDS1V に 1 をたてる。 1 : S1 天絡異常発生時に 1 を立てない。
10	ERS2VS	S2 天絡選択ビット S2 端子天絡異常検知の出力、非出力を選択します。 0 : S2 天絡異常発生時に ERR, ERHD, ERCNV, ERS2V, ERDS2V に 1 をたてる。 1 : S2 天絡異常発生時に 1 を立てない。
9	ERS3VS	S3 天絡選択ビット S3 端子天絡異常検知の出力、非出力を選択します。 0 : S3 天絡異常発生時に ERR, ERHD, ERCNV, ERS3V, ERDS3V に 1 をたてる。 1 : S3 天絡異常発生時に 1 を立てない。
8	ERS4VS	S4 天絡選択ビット S4 端子天絡異常検知の出力、非出力を選択します。 0 : S4 天絡異常発生時に ERR, ERHD, ERCNV, ERS4V, ERDS4V に 1 をたてる。 1 : S4 天絡異常発生時に 1 を立てない。
7~6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5	ERR1GS	RSO 地絡選択ビット RSO 端子地絡異常検知の出力、非出力を選択します。 0 : RSO 地絡異常発生時に ERR, ERHD, ERR1G, ERDR1G に 1 をたてる。 1 : RSO 地絡異常発生時に 1 を立てない。
4	ERR2GS	COM 地絡選択ビット COM 端子地絡異常検知の出力、非出力を選択します。 0 : COM 地絡異常発生時に ERR, ERHD, ERR2G, ERDR2G に 1 をたてる。 1 : COM 地絡異常発生時に 1 を立てない。
3	ERS1GS	S1 地絡選択ビット S1 端子地絡異常検知の出力、非出力を選択します。 0 : S1 地絡異常発生時に ERR, ERHD, ERCNV, ERS1G, ERDS1G に 1 をたてる。 1 : S1 地絡異常発生時に 1 を立てない。
2	ERS2GS	S2 地絡選択ビット S2 端子地絡異常検知の出力、非出力を選択します。 0 : S2 地絡異常発生時に ERR, ERHD, ERCNV, ERS2G, ERDS2G に 1 をたてる。 1 : S2 地絡異常発生時に 1 を立てない。
1	ERS3GS	S3 地絡選択ビット S3 端子地絡異常検知の出力、非出力を選択します。 0 : S3 地絡異常発生時に ERR, ERHD, ERCNV, ERS3G, ERDS3G に 1 をたてる。 1 : S3 地絡異常発生時に 1 を立てない。
0	ERS4GS	S4 地絡選択ビット S4 端子地絡異常検知の出力、非出力を選択します。 0 : S4 地絡異常発生時に ERR, ERHD, ERCNV, ERS4G, ERDS4G に 1 をたてる。 1 : S4 地絡異常発生時に 1 を立てない。

26.3.17 RDC3AnDGOUT0 — 異常検知出力レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード可能です。

アドレス <RDC3An_base> + 003C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VGFLG	—	—	ERR	—	—	—	ERHD	—	EREXC	ERSBC	ERSBS	—	ERSQ	ERP2	ERCNV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ERR1V	ERR2V	ERS1V	ERS2V	ERS3V	ERS4V	—	—	ERR1G	ERR2G	ERS1G	ERS2G	ERS3G	ERS4G
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.33 RDC3AnDGOUT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	VGFLG	天絡地絡実行中ビット 天絡地絡異常検知、天絡地絡異常検知 BIST 実行中フラグ 1のとき実行中。
30、29	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
28	ERR	エラービット RDC3AnDIAG2 レジスタで選択された異常のうちいずれかを検知した場合、本ビットに“1”が格納されます。 この信号は、異常から復帰した場合は“0”に戻ります。 RDC3AnENC0 レジスタの EINTEN ビットが“0”の場合は、本ビットは“1”になりません。
27～25	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
24	ERHD	エラー保持ビット RDC3AnDIAG2 レジスタで選択された異常のうちいずれかを検知した場合、本ビットに“1”が格納されます。 この信号は、ERRST ビットを“1”にすることで“0”にリセットされます。ただし異常が継続している場合はリセットされずに“1”が立ったままになります。 RDC3AnENC0 レジスタの EINTEN ビットが“0”の場合は、本ビットは“1”になりません。
23	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
22	EREXC	レゾルバ信号異常ビット レゾルバ信号異常時に1が立つ。異常から復帰すると0に下がるビット
21	ERSBC	断線異常 (cos) ビット 断線異常 (cos) 時に1が立つ。異常から復帰すると0に下がるビット
20	ERSBS	断線異常 (sin) ビット 断線異常 (sin) 時に1が立つ。異常から復帰すると0に下がるビット
19	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
18	ERSQ	二乗和振幅異常ビット 二乗和振幅異常時に1が立つ。異常から復帰すると0に下がるビット

表 26.33 RDC3AnDGOUT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
17	ERP2	2 経路変換異常ビット 2 経路変換異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
16	ERCNV	変換異常ビット 変換異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
15、14	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
13	ERR1V	RSO 天絡異常ビット RSO 端子天絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
12	ERR2V	COM 天絡異常ビット COM 端子天絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
11	ERS1V	S1 天絡異常ビット S1 端子天絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
10	ERS2V	S2 天絡異常ビット S2 端子天絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
9	ERS3V	S3 天絡異常ビット S3 端子天絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
8	ERS4V	S4 天絡異常ビット S4 端子天絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
7、6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5	ERR1G	RSO 地絡異常ビット RSO 端子地絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
4	ERR2G	COM 地絡異常ビット COM 端子地絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
3	ERS1G	S1 地絡異常ビット S1 端子地絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
2	ERS2G	S2 地絡異常ビット S2 端子地絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
1	ERS3G	S3 地絡異常ビット S3 端子地絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット
0	ERS4G	S4 地絡異常ビット S4 端子地絡異常時に 1 が立つ。異常から復帰すると 0 に下がるビット

26.3.18 RDC3AnDGOUT1 — 異常検知出力レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード可能です。

アドレス <RDC3An_base> + 0040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	ERR	—	—	—	ERHD	—	ERDEX C	ERDSB C	ERDSB S	—	ERDSQ	ERDP2	ERDCN V
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ERDR1 V	ERDR2 V	ERDS1 V	ERDS2 V	ERDS3 V	ERDS4 V	—	—	ERDR1 G	ERDR2 G	ERDS1 G	ERDS2 G	ERDS3 G	ERDS4 G
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.34 RDC3AnDGOUT1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~29	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
28	ERR	エラービット RDC3AnDIAG2 レジスタで選択された異常を検知した場合、本ビットに“1”が格納されます。この信号は、異常から復帰した場合は“0”に戻ります。 RDC3AnENC0 レジスタの EINTEN ビットが“0”の場合は、本ビットは“1”になりません。
27~25	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
24	ERHD	エラー保持ビット RDC3AnDIAG2 レジスタで選択された異常を検知した場合、本ビットに“1”が格納されます。この信号は、レジスタ ERRST ビットを“1”にすることで“0”にリセットされます。ただし異常が継続している場合はリセットされずに“1”が立ったままになります。 RDC3AnENC0 レジスタの EINTEN ビットが“0”の場合は、本ビットは“1”になりません。
23	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
22	ERDEXC	レゾルバ信号異常エラー保持ビット レゾルバ信号異常時に1が立つ。ERRST でリセットされるまで1を保持する。
21	ERDSBC	断線異常 (cos) エラー保持ビット 断線異常 (cos) 時に1が立つ。ERRST でリセットされるまで1を保持する。
20	ERDSBS	断線異常 (sin) エラー保持ビット 断線異常 (sin) 時に1が立つ。ERRST でリセットされるまで1を保持する。
19	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
18	ERDSQ	二乗和振幅異常エラー保持ビット 二乗和振幅異常時に1が立つ。ERRST でリセットされるまで1を保持する。
17	ERDP2	2 経路変換異常エラー保持ビット 2 経路変換異常時に1が立つ。ERRST でリセットされるまで1を保持する。
16	ERDCNV	変換異常エラー保持ビット 変換異常時に1が立つ。ERRST でリセットされるまで1を保持する。
15, 14	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
13	ERDR1V	RSO 天絡異常エラー保持ビット RSO 端子天絡異常時に1が立つ。ERRST でリセットされるまで1を保持する。
12	ERDR2V	COM 天絡異常エラー保持ビット COM 端子天絡異常時に1が立つ。ERRST でリセットされるまで1を保持する。

表 26.34 RDC3AnDGOUT1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	ERDS1V	S1 天絡異常エラー保持ビット S1 端子天絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
10	ERDS2V	S2 天絡異常エラー保持ビット S2 端子天絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
9	ERDS3V	S3 天絡異常エラー保持ビット S3 端子天絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
8	ERDS4V	S4 天絡異常エラー保持ビット S4 端子天絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
7、6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5	ERDR1G	RSO 地絡異常エラー保持ビット RSO 端子地絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
4	ERDR2G	COM 地絡異常エラー保持ビット COM 端子地絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
3	ERDS1G	S1 地絡異常エラー保持ビット S1 端子地絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
2	ERDS2G	S2 地絡異常エラー保持ビット S2 端子地絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
1	ERDS3G	S3 地絡異常エラー保持ビット S3 端子地絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。
0	ERDS4G	S4 地絡異常エラー保持ビット S4 端子地絡異常時に 1 が立つ。ERRST でリセットされるまで 1 を保持する。

26.3.19 RDC3AnBIST0 — BIST レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0044_H

リセット後の値 0200 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	ADB3TH[1:0]		—	—	—	ERCVP 2D	—	—	—	CBSP2 D
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BSTF	—	—	—	—	BISTCD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.35 RDC3AnBIST0 レジスタの内容

ビット位置	ビット名	機能
31~26	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
25, 24	ADB3TH[1:0]	ADBIST 閾値設定ビット ADBIST の判定閾値を設定します。 b25 b24 判定閾値 0 0: ±16LSB 0 1: ±8LSB 1 0: ±32LSB (デフォルト) 1 1: ±64LSB
23~21	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
20	ERCVP2D	2 経路変換異常 BIST 無効ビット 2 経路変換異常を変換異常 BIST に含めるか含めないかを選択する。 0: 変換異常 BIST に含める。(デフォルト) 1: 変換異常 BIST に含めない。
19~17	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
16	CBSP2D	2 経路変換 BIST 無効ビット 2 経路変換を変換 BIST に含めるか含めないかを選択する。 0: 変換 BIST に含める。(デフォルト) 1: 変換 BIST に含めない。
15~9	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
8	BSTF	BIST フラグビット BIST 実行中を示すフラグ、BIST 実行中は1になるビット、本ビットが1のときには別の BIST を実行しないでください。
7~4	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	BISTCD[3:0]	BIST 結果格納ビット 実行した BIST の結果を常時格納しておくビットです。(表 26.36 参照)

BIST 結果格納ビット

BCON[3:0]ビットにより実行された BIST の結果が BISTCD[3:0]に格納されます。表 26.36 に BCON[3:0]と BISTCD[3:0]の関係を示します。

表 26.36 BCON[3:0]と BISTCD[3:0]の内容

実行 BIST 選択ビット BCON[3:0]				BIST 結果格納ビット BISTCD[3:0]				BISTCD[3:0]の示す内容
b3	b2	b1	b0	b7	b6	b5	b4	
0	0	0	0	0	0	0	0	BEXE 無効。何も判定せずに BISTCD[3:0] = 0000 が格納される。
0	0	0	1	X	X	X	X	使用禁止
0	0	1	0	0	0	1	0	二乗和振幅異常検出 BIST (L 側) で pass している状態を示す。
				1	1	1	1	二乗和振幅異常検出 BIST (L 側) で fail している状態を示す。
0	0	1	1	0	0	1	1	二乗和振幅異常検出 BIST (H 側) で pass している状態を示す。
				1	1	1	1	二乗和振幅異常検出 BIST (H 側) で fail している状態を示す。
0	1	0	0	0	1	0	0	ADBIST で pass している状態を示す。
				1	1	1	1	ADBIST で fail している状態を示す。
0	1	0	1	0	1	0	1	角度変換 BIST1 (0°) で pass している状態を示す。
				1	1	1	1	角度変換 BIST1 (0°) で fail している状態を示す。
0	1	1	0	0	1	1	0	角度変換 BIST2 (45°) で pass している状態を示す。
				1	1	1	1	角度変換 BIST2 (45°) で fail している状態を示す。
0	1	1	1	0	1	1	1	角度変換 BIST3 (270°) で pass している状態を示す。
				1	1	1	1	角度変換 BIST3 (270°) で fail している状態を示す。
1	0	0	0	X	X	X	X	使用禁止
1	0	0	1	1	0	0	1	レゾルバ信号異常検出 BIST で pass している状態を示す。
				1	1	1	1	レゾルバ信号異常検出 BIST で fail している状態を示す。
1	0	1	0	1	0	1	0	レゾルバ信号断線検出 BIST (COS 側) で pass している状態を示す。
				1	1	1	1	レゾルバ信号断線検出 BIST (COS 側) で fail している状態を示す。
1	0	1	1	1	0	1	1	レゾルバ信号断線検出 BIST (SIN 側) で pass している状態を示す。
				1	1	1	1	レゾルバ信号断線検出 BIST (SIN 側) で fail している状態を示す。
1	1	0	0	1	1	0	0	変換異常 BIST で pass している状態を示す。
				1	1	1	1	変換異常 BIST で fail している状態を示す。
1	1	0	1	1	1	0	1	天絡異常 BIST で pass している状態を示す。
				1	1	1	1	天絡異常 BIST で fail している状態を示す。
1	1	1	0	1	1	1	0	地絡異常 BIST で pass している状態を示す。
				1	1	1	1	地絡異常 BIST で fail している状態を示す。
1	1	1	1	X	X	X	X	使用禁止

26.3.20 RDC3AnBIST1 — BIST レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0048_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BISTCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BEXE	—	—	—	—	BCON[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.37 RDC3AnBIST1 レジスタの内容

ビット位置	ビット名	機能
31~17	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
16	BISTCL	BIST 結果クリアビット 本ビットを1にすると BIST 結果 (BISTCD[3:0]) を0クリアします。 本ビットは“1”になったあと2クロックサイクル経過後に“0”に戻ります。
15~9	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
8	BEXE	BIST 実行ビット BIST を実行する信号です。 “1”に設定すると BIST を実行します。 本ビットは“1”になったあと2クロックサイクル経過後に“0”に戻ります。 BCON[3:0]の組み合わせにより、実行する BIST を選択できます。(表 26.38 参照)
7~4	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
3~0	BCON[3:0]	BIST 実行設定ビット 実行する BIST を選択します。(表 26.38 参照)

BIST 実行設定ビット

BCON[3:0]ビットの組み合わせにより、実行する BIST を選択することができます。表 26.38 に BCON[3:0]と実行される BIST の関係を示します。

表 26.38 BCON[3:0]により選択される BIST

b3	b2	b1	b0	実行される BIST
0	0	0	0	BEXE 無効
0	0	0	1	(使用禁止)
0	0	1	0	異常検出 BIST : 二乗和振幅異常検出 BIST (L 側)
0	0	1	1	異常検出 BIST : 二乗和振幅異常検出 BIST (H 側)
0	1	0	0	ADBIST
0	1	0	1	角度変換 BIST : 指令角度 1 (0°)
0	1	1	0	角度変換 BIST : 指令角度 2 (45°)
0	1	1	1	角度変換 BIST : 指令角度 3 (270°)
1	0	0	0	(使用禁止)
1	0	0	1	異常検出 BIST : レゾルバ信号異常検出 BIST
1	0	1	0	異常検出 BIST : レゾルバ信号断線検出 BIST (COS 側)
1	0	1	1	異常検出 BIST : レゾルバ信号断線検出 BIST (SIN 側)
1	1	0	0	異常検出 BIST : 変換異常 BIST
1	1	0	1	異常検出 BIST : 天絡異常 BIST
1	1	1	0	異常検出 BIST : 地絡異常 BIST
1	1	1	1	(使用禁止)

26.3.21 RDC3AnREF — 励磁設定レジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 004C_H

リセット後の値 0A0F 0400_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EXFS2[3:0]				RFEXS	—	SENS	EXIO	—	—	EXF15	EXFS[4:0]				
リセット後の値	0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	COMSTS[2:0]			—	—	—	—	—	—	—	PLSNF S	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R

表 26.39 RDC3AnREF レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~28	EXFS2[3:0]	励磁周波数選択ビット2 EXFS2 と EXFS の組み合わせにより励磁出力周波数が決定されます。 ただし、EXF15 ビット = 1 のときには必ず 15 kHz 出力となります。 出力周波数は表 26.40 に示します。 ^{注 2}
27	RFEXS	励磁成分抽出機能有効ビット 0 : 励磁成分抽出機能無効 1 : 励磁成分抽出機能有効 (デフォルト)
26	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
25	SENS	使用センサー選択ビット 使用センサーを選択します。 0 : DC レゾルバを使用します。 ^{注 1} 1 : VR レゾルバを使用します。(デフォルト)
24	EXIO	RSO, COM 入出力切り替えビット RSO 端子, COM 端子の入出力切り替えを選択します。 0 : 励磁信号外部入力 (デフォルト) 1 : 電圧励磁出力
23, 22	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
21	EXF15	励磁信号 15 kHz 設定ビット 励磁信号周波数を 15 kHz 設定に設定します。 0 : 励磁信号周波数は EXFS[4:0] で設定された周波数になります。 1 : 励磁信号周波数は 15 kHz になります。
20~16	EXFS[4:0]	励磁信号周波数選択ビット EXFS2 と EXFS の組み合わせにより励磁出力周波数が決定されます。 ただし、EXF15 ビット = 1 のときには必ず 15 kHz 出力となります。 出力周波数は表 26.40 に示します。 ^{注 2}
15	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

表 26.39 RDC3AnREF レジスタの内容 (2/2)

ビット位置	ビット名	機能
14~12	COMSTS[2:0]	AD コンパレータストップ機能選択ビット 励磁バッファコード切り替わり時の AD コンパレータストップ機能を選択します。 b14 b13 b12 0 0 0: ストップしない。 0 0 1: DA[6:0]の全ビット変化時にストップ 0 1 0: DA[6:3]が変化時にストップ 0 1 1: DA[6:4]が変化時にストップ 1 0 0: DA[6:5]が変化時にストップ 1 0 1: DA[6]が変化時にストップ 1 1 0: ストップしない。 1 1 1: ストップしない。 DA: 励磁正弦波制御信号 ^{注 3}
11	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください
10	予約ビット	読むと“1”が読み出されます。書き込みは“1”としてください。
9~5	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
4	PLSNFS	励磁抽出ノイズフィルタビット 励磁成分抽出回路のノイズフィルタを選択します。 b4 0: ノイズフィルタ無し 1: ノイズフィルタ有り
3~0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

注 1. EXIO = 1 且つ SENS = 0 の時に DC レゾルバ設定になります。

注 2. 励磁周波数 22 kHz 以上を選択時は、CVEDS ビット = 0 設定は設定禁止です。EXFS[4:0]ビットと EXFS2[3:0]にて周波数を設定する場合は、EXF15 ビットは 0 に設定してください。

注 3. 表 26.40 における太枠箇所、すなわち 20 kHz 以上の周波数設定を使用する場合は COMSTS[2:0] = 000 (ストップしない) を選択してください。

表 26.40 励磁周波数設定

EXFS [4:0]	EXFS2 [3:0]	励磁出力周波数 (kHz)																
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
0		設定禁止																
1																		
2																		
3		40.00	20.00	26.67	30.00	32.00	33.33	34.29	35.00	35.56	36.00	36.36	36.37	36.92	37.14	37.33	37.50	
4		32.00	16.00	21.33	24.00	25.60	26.67	27.43	28.00	28.44	28.80	29.09	29.33	29.54	29.71	29.87	30.00	
5		26.67	13.33	17.78	20.00	21.33	22.22	22.86	23.33	23.70	24.00	24.24	24.44	24.62	24.76	24.89	25.00	
6		22.86	11.43	15.24	17.14	18.29	19.05	19.59	20.00	20.32	20.57	20.78	20.95	21.10	21.22	21.33	21.43	
7		20.00	10.00	13.33	15.00	16.00	16.67	17.14	17.50	17.78	18.00	18.18	18.33	18.46	18.57	18.67	18.75	
8		17.78	8.89	11.85	13.33	14.22	14.81	15.24	15.56	15.80	16.00	16.16	16.30	16.41	16.51	16.59	16.67	
9		16.00	8.00	10.67	12.00	12.80	13.33	13.71	14.00	14.22	14.40	14.55	14.67	14.77	14.86	14.93	15.00	
10		14.55	7.27	9.70	10.91	11.64	12.12	12.47	12.73	12.93	13.09	13.22	13.33	13.43	13.51	13.58	13.64	
11		13.33	6.67	8.89	10.00	10.67	11.11	11.43	11.67	11.85	12.00	12.12	12.22	12.31	12.38	12.44	12.50	
12		12.31	6.15	8.21	9.23	9.85	10.26	10.55	10.77	10.94	11.08	11.19	11.28	11.36	11.43	11.49	11.54	
13		11.43	5.71	7.62	8.57	9.14	9.52	9.80	10.00	10.16	10.29	10.39	10.48	10.55	10.61	10.67	10.71	
14		10.67	5.33	7.11	8.00	8.53	8.89	9.14	9.33	9.48	9.60	9.70	9.78	9.85	9.90	9.96	10.00	
15		10.00	5.00	6.67	7.50	8.00	8.33	8.57	8.75	8.89	9.00	9.09	9.17	9.23	9.29	9.33	9.38	
16		9.41	4.71	6.27	7.06	7.53	7.84	8.07	8.24	8.37	8.47	8.56	8.63	8.69	8.74	8.78	8.82	
17		8.89	4.44	5.93	6.67	7.11	7.41	7.62	7.78	7.90	8.00	8.08	8.15	8.21	8.25	8.30	8.33	
18		8.42	4.21	5.61	6.32	6.74	7.02	7.22	7.37	7.49	7.58	7.66	7.72	7.77	7.82	7.86	7.89	
19		8.00	4.00	5.33	6.00	6.40	6.67	6.86	7.00	7.11	7.20	7.27	7.33	7.38	7.43	7.47	7.50	
20		7.62	3.81	5.08	5.71	6.10	6.35	6.53	6.67	6.77	6.86	6.93	6.98	7.03	7.07	7.11	7.14	
21		7.27	3.64	4.85	5.45	5.82	6.06	6.23	6.36	6.46	6.55	6.61	6.67	6.71	6.75	6.79	6.82	
22		6.96	3.48	4.64	5.22	5.57	5.80	5.96	6.09	6.18	6.26	6.32	6.38	6.42	6.46	6.49	6.52	
23		6.67	3.33	4.44	5.00	5.33	5.56	5.71	5.83	5.93	6.00	6.06	6.11	6.15	6.19	6.22	6.25	
24		6.40	3.20	4.27	4.80	5.12	5.33	5.49	5.60	5.69	5.76	5.82	5.87	5.91	5.94	5.97	6.00	
25		6.15	3.08	4.10	4.62	4.92	5.13	5.27	5.38	5.47	5.54	5.59	5.64	5.68	5.71	5.74	5.77	
26		5.93	2.96	3.95	4.44	4.74	4.94	5.08	5.19	5.27	5.33	5.39	5.43	5.47	5.50	5.53	5.56	
27		5.71	2.86	3.81	4.29	4.57	4.76	4.90	5.00	5.08	5.14	5.19	5.24	5.27	5.31	5.33	5.36	
28		5.52	2.76	3.68	4.14	4.41	4.60	4.73	4.83	4.90	4.97	5.02	5.06	5.09	5.12	5.15	5.17	
29		5.33	設定禁止															
30		5.16																
31		5.00																

26.3.22 RDC3AnENC0 — エンコーダレジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0050_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	XUVW[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HYSS	—	—	—	CINTEN	ABEN	UVWEN	ZEN	EINTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 26.41 RDC3AnENC0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																																				
31~20	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																																																				
19~16	XUVW	エンコーダパルス極数選択ビット エンコーダパルス出力の極数を選択します。 <table border="1"> <tr> <td>b19-b16</td> <td>U相</td> <td>V相</td> <td>W相</td> </tr> <tr> <td>1111 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1110 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1101 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1100 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1011 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1010 :</td> <td>X10</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1001 :</td> <td>X9</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>1000 :</td> <td>X8</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>0111 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>0110 :</td> <td>X6</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>0101 :</td> <td>X5</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>0100 :</td> <td>X4</td> <td>X4</td> <td>X4</td> </tr> <tr> <td>0011 :</td> <td>X3</td> <td>X3</td> <td>X3</td> </tr> <tr> <td>0010 :</td> <td>X2</td> <td>X2</td> <td>X2</td> </tr> <tr> <td>0001 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> <tr> <td>0000 :</td> <td>X1</td> <td>X1</td> <td>X1</td> </tr> </table>	b19-b16	U相	V相	W相	1111 :	X1	X1	X1	1110 :	X1	X1	X1	1101 :	X1	X1	X1	1100 :	X1	X1	X1	1011 :	X1	X1	X1	1010 :	X10	X1	X1	1001 :	X9	X1	X1	1000 :	X8	X1	X1	0111 :	X1	X1	X1	0110 :	X6	X1	X1	0101 :	X5	X1	X1	0100 :	X4	X4	X4	0011 :	X3	X3	X3	0010 :	X2	X2	X2	0001 :	X1	X1	X1	0000 :	X1	X1	X1
b19-b16	U相	V相	W相																																																																			
1111 :	X1	X1	X1																																																																			
1110 :	X1	X1	X1																																																																			
1101 :	X1	X1	X1																																																																			
1100 :	X1	X1	X1																																																																			
1011 :	X1	X1	X1																																																																			
1010 :	X10	X1	X1																																																																			
1001 :	X9	X1	X1																																																																			
1000 :	X8	X1	X1																																																																			
0111 :	X1	X1	X1																																																																			
0110 :	X6	X1	X1																																																																			
0101 :	X5	X1	X1																																																																			
0100 :	X4	X4	X4																																																																			
0011 :	X3	X3	X3																																																																			
0010 :	X2	X2	X2																																																																			
0001 :	X1	X1	X1																																																																			
0000 :	X1	X1	X1																																																																			
15~9	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																																																				
8	HYSS	hysteresis 出力選択ビット エンコーダパルス、コンペアフラグの出力について、hysteresis ありの出力を用いるか、hysteresis なしの出力を用いるかを選択する。 ^{注1} 0 : エンコーダパルス、コンペアフラグの出力について、hysteresis ありの出力を用います。 1 : エンコーダパルス、コンペアフラグの出力について、hysteresis なしの出力を用います。																																																																				
7~5	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																																																				
4	CINTEN	角度コンペア割り込み許可ビット 0 : 割り込み禁止 1 : 割り込み許可																																																																				

表 26.41 RDC3AnENC0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	ABEN	A 相 B 相出力許可ビット 0: 出力禁止 1: 出力許可
2	UVWEN	エンコーダパルス U 相、V 相、W 相出力許可ビット エンコーダパルス U 相、V 相、W 相の出力を制御します 0: 外部出力信号 RD0_OUT_U, RD0_OUT_V, RD0_OUT_W のエンコーダ パルス出力は不許可となり、“0” 固定されます。 1: 外部出力信号 RD0_OUT_U, RD0_OUT_V, RD0_OUT_W のエンコーダ パルス出力を許可します。
1	ZEN	Z 相出力および Z 相信号割り込み許可ビット 0: 出力禁止 1: 出力許可
0	EINTEN	RDC 異常割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

注 1. ヒステリシスあり (HYSS ビット = 0) を選択する場合は RD 角度変換分解能を 12bit に設定してください。
(MAXV ビット = 001)

26.3.23 RDC3AnENC1 — エンコーダレジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード可能です。

アドレス <RDC3An_base> + 0054_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PHI[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	ENCA	ENCB	ENCZ	ENCU	ENCV	ENCW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.42 RDC3AnENC1 レジスタの内容

ビット位置	ビット名	機能
31~16	PHI[15:0]	PHI[15:0] PHI 出力デジタル角度を 16 ビット幅で格納します。 PHI[15](MSB) = 180°、PHI[0](LSB)
15~6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5	ENCA	エンコーダ相当パルス A 相ビット エンコーダ相当パルス A 相を格納します。
4	ENCB	エンコーダ相当パルス B 相ビット エンコーダ相当パルス B 相を格納します。
3	ENCZ	エンコーダ相当パルス Z 相ビット エンコーダ相当パルス Z 相を格納します。
2	ENCU	エンコーダ相当パルス U 相ビット エンコーダ相当パルス U 相を格納します。
1	ENCV	エンコーダ相当パルス V 相ビット エンコーダ相当パルス V 相を格納します。
0	ENCW	エンコーダ相当パルス W 相ビット エンコーダ相当パルス W 相を格納します。

26.3.24 RDC3AnENC2 — エンコーダレジスタ 2

アクセス 8ビット単位、16ビット単位、32ビット単位でリード可能です。

アドレス <RDC3An_base> + 0058_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHIAD0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.43 RDC3AnENC2 レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	読むと“不定値”が読み出されます。書き込みは“0”としてください。
15~0	PHIAD0[15:0]	角度変換モード1出力 PHI[15:0] 角度変換モード1からの PHI 出力デジタル角度を 16 ビット幅で格納します。 PHIAD0[15](MSB) = 180°、PHIAD0[0](LSB)

26.3.25 RDC3AnOMG — 角速度レジスタ

アクセス 8 ビット単位、16 ビット単位、32 ビット単位でリード可能です。

アドレス <RDC3An_base> + 005C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OMG[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OMG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.44 RDC3AnOMG レジスタの内容

ビット位置	ビット名	機能
31~0	OMG[31:0]	角速度[31:0] 計測周期 (OMGPTC[1:0]で選択) での phi の変化量を 25bit 幅で出力します。 • 2 の補数表現 [0](LSB)は 0.07min ⁻¹ に相当し、[24]は 1171875min ⁻¹ に相当します。 [31:25]は符号を表します。

26.3.26 RDC3AnTBUS — テストバスレジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OMGPTC[1:0]		—	—	—	—	—	—	DATSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.45 RDC3AnTBUS レジスタの内容

ビット位置	ビット名	機能
31, 30	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
29, 28	OMGPTC[1:0]	角速度計測周期選択ビット 角速度計測回路における角度変化計測周期を選択します。 b29 b28 0 0: 12.8 μs (デフォルト) 0 1: 51.2 μs 1 0: 102.4 μs 1 1: 204.8 μs
27~22	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
21~16	DATSEL[5:0]	RDC データ選択ビット RDC データを DATA[15:0]へ出力します。(表 26.46 参照)
15~0	DATA[15:0]	データ RDC3AnTBUS レジスタの DATSEL[5:0]ビットで選択したデータが格納されます。

RDC データ選択ビット

表 26.46 データ選択

DATASEL[5:0]	出力信号	出力先 DATA[X:X]
11.1011	12BIT AD 出力コード[11:0]	[11:0]
10.1111	角度変換モード 1 の制御偏差値[7:0]	[7:0]
00.0101	角度変換モード 0 の制御偏差値[7:0]	[7:0]

選択されたデータは DATA[15:0]ビットから読み出し可能です。

26.3.27 RDC3AnADRD — 角度変換モード選択レジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADRD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 26.47 RDC3AnADRD レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
0	ADRD	角度変換モード選択ビット 角度変換モードを選択します。 0：角度変換モード0による角度変換 1：角度変換モード1による角度変換 角度変換モード0選択時もADCは異常検知、振幅自動調整のために動作します。角度変換モード1選択時はアナログ回路の乗算、減算、コンパレータ部は停止します。

26.3.28 RDC3AnETEN — ET 制御レジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 006C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	ZCSTR G	—	—	CMPEN	IREN	DREN	ADTEN	ZCES	CNTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.48 RDC3AnETEN レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~25	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
24	ZCSTRG	ソフトウェアトリガビット 励磁タイムのゼロクロス信号ソフトウェアトリガです。 0: 動作なし 1: トリガ出力 注意: “1”書き込み時に 1 cycle のパルスを送りトリガ信号出力します。Read時は常に“0”が読み出されます。
23~22	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
21	CMPEN	コンペアー致機能有効ビット コンペアー致機能の有効、無効を切り替えます。 0: コンペアー致機能が無効となります。 1: コンペアー致機能の有効となります。
20	IREN	割り込み要求許可ビット 割り込み要求の許可、不許可を切り替えます。 0: 割り込み出力不許可となります。 1: 割り込み出力許可となります。
19	DREN	DMA 要求許可ビット DMA 要求の許可、不許可を切り替えます。 0: DMA 要求不許可となります。 1: DMA 要求許可となります。
18	ADTEN	A/D 変換開始トリガ許可ビット A/D 変換開始トリガ許可、不許可を切り替えます。 0: A/D 変換開始トリガ不許可となります。 1: A/D 変換開始トリガ許可となります。
17	ZCES	ゼロクロス信号エッジ選択ビット ゼロクロス信号エッジを選択します。 0: ゼロクロス信号の立ち上がりを検出します。 1: ゼロクロス信号の立ち下がりを検出します。

表 26.48 RDC3AnETEN レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	CNTEN	カウンタの動作許可ビット 周期計測タイマ、イベントタイマの動作許可信号 0: 周期計測タイマ、イベントタイマは動作しません。ET カウンタにはリロードレジスタの値が取り込まれます。 1: 周期計測タイマ、イベントタイマは動作します。
15-0	CNT[15:0]	ET カウンタレジスタ ET カウンタの読み出しデータを格納します。

26.3.29 RDC3AnETCAP — ET キャプチャレジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0070_H

リセット後の値 0000 FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMP[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.49 RDC3AnETCAP レジスタの内容

ビット位置	ビット名	機能
31~16	CAP[15:0]	ET キャプチャビット [1] 本レジスタは、ゼロクロス信号を検出したとき、ET ゼロクロス周期計測カウンタのデータをキャプチャします。 [2] 本レジスタは、コンペアー一致機能有効時に、ET ゼロクロス周期計測カウンタの値とコンペアマッチレジスタが一致したときのET ゼロクロス周期計測カウンタのデータをキャプチャします。 [3] 上記以外では前回のキャプチャ値を保持します。
15~0	CMP[15:0]	ET コンペアビット [1] ET ゼロクロス周期計測カウンタの値と本レジスタの値が一致したとき、ET ゼロクロス周期計測カウンタの値をET キャプチャビットCAP[15:0]に取り込み、ET ゼロクロス周期計測カウンタを初期化(0000 _H)します。 [2] ET 周期計測カウンタの値と本レジスタの値が一致した次のサイクルで、励磁タイマ割り込み要求をアサートします。

26.3.30 RDC3AnETMCNT — ET ゼロクロスカウンタレジスタ

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RLD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.50 RDC3AnETMCNT レジスタの内容

ビット位置	ビット名	機能
31~16	CNT[15:0]	ゼロクロス周期計測カウンタビット ゼロクロス周期計測カウンタの値を格納します。
15~0	RLD[15:0]	ET リロードビット ET カウンタの初期値を 16 ビットで設定します。 設定値は 0002 _H 以上の値を設定してください。(0000 _H 、0001 _H は設定禁止)

26.3.31 RDC3AnDCUR0 — デジタル演算レジスタ 0

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 007C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	—	—	—	—	PGAIVSL[1:0]	—	—	—	—	SYNCSL	—	—	—	—	—	—
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R	R	R	R	R

表 26.51 RDC3AnDCUR0 レジスタの内容

ビット位置	ビット名	機能
31~12	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください
11、10	PGAIVSL[1:0]	PGA 反転機能設定ビット PGA 反転機能の反転発生タイミングを選択します。 ^{注 1} b11 b10 反転発生タイミング 0 0 : PGA 反転機能なし (デフォルト) 0 1 : phi 出力が反転切り替わり閾値角度を超えた後、励磁クロスが発生した時 1 0 : phi 出力が反転切り替わり閾値角度を超えた後、AD 入力の sin, cos 切り替えが発生した時 1 1 : phi 出力が反転切り替わり閾値角度を超えた後、励磁クロスが発生し、さらに AD 入力の sin, cos 切り替えが発生した時 角度変換モード 0 使用時 (ADRD = 0) は 00 に設定してください。 角度変換モード 1 使用時 (ADRD = 1) において角度変換精度をより向上させたい場合は 00 以外に設定してください。
9~6	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
5	SYNCSL	角度変換モード 1 使用時 (ADRD = 1) の同期検波設定 b5 0 : 同期検波設定 0 1 : 同期検波設定 1
4~0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

注 1. KIRST ビットに“1”を書きこむ際には、PGAIVSL ビットは予め 00 設定にしておいてください。

KIRST ビットに“1”を書きこんだ後、セトリング時間以上の待ち時間をおいて所望の PGAIVSL ビット設定を実施してください。

26.3.32 RDC3AnDCUR1 —デジタル演算レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0080_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DCCRS TP	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.52 RDC3AnDCUR1 レジスタの内容

ビット位置	ビット名	機能
31~14	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
13	DCCRSTP	角度変換モード1使用時 (ADRD = 1) の DC 誤差補正設定 b13 0 : DC 補正あり 1 : DC 補正なし DC レゾルバ使用時は必ず“1”に設定してください。
12~0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

26.3.33 RDC3AnBISTFX0 — BIST 終了時設定レジスタ 0

アクセス 8 ビット単位、16 ビット単位、32 ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0088_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	BISTFX 0	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	RW	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.53 RDC3AnBISTFX0 レジスタの内容

ビット位置	ビット名	機能
31~19	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
18	BISTFX0	角度変換モード1設定時の変換 BIST 実行後設定ビット 図 26.19 の設定指示に従ってください。
17~0	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。

26.3.34 RDC3AnBISTFX1 — BIST 終了時設定レジスタ 1

アクセス 8 ビット単位、16 ビット単位、32 ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 0094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BISTFX1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.54 RDC3AnBISTFX1 レジスタの内容

ビット位置	ビット名	機能
31~16	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
15~0	BISTFX1[15:0]	角度変換モード 1 設定時の変換 BIST 実行後設定ビット 図 26.19 の設定指示に従ってください。

26.3.35 RDC3AnADSTD1 — 12bit SAR-ADC デジタル回路部設定レジスタ 1

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 00AC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	ADCAL FG	—	—	—	—	—	—	—	ADCAL ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ADSF BMD	ADSFBIN[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.55 RDC3AnADSTD1 レジスタの内容

ビット位置	ビット名	機能
31~25	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
24	ADCALFG	キャリブレーション中フラグ ADC キャリブレーション実行中フラグ、完了後“0”に戻ります。
23~21	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
20	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
19~17	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
16	ADCALST	キャリブレーションスタート ADC キャリブレーションスタートビット 1に設定した後、2クロックサイクル経過後に“0”になります。 1に設定するとその後2ms間でADCキャリブレーションを実行する。
15~13	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。
12	ADSF BMD	ソフト BIST 実行信号 ADC ソフト BIST 実行信号 実行時 1 に設定する。
11~0	ADSF BIN[11:0]	ソフト BIST 設定値 ADC ソフト bist 時の設定値 (12bit 幅)

26.3.36 RDC3AnDIAG3 — 異常検知レジスタ 3

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 00B0_H

リセット後の値 2000 0200_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SQHTH[15:0]															
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SQLTH[15:0]															
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.56 RDC3AnDIAG3 レジスタの内容

ビット位置	ビット名	機能
31~16	SQHTH[15:0]	二乗和振幅 H 側閾値 二乗和振幅積分値異常検知の H 側振幅閾値を設定します。 表 26.57、表 26.58 を参考に異常として検知する H 側振幅閾値を決定し、設定してください。
15~0	SQLTH[15:0]	二乗和振幅 L 側閾値 二乗和振幅積分値異常検知の L 側振幅閾値を設定します。 表 26.57、表 26.58 を参考に異常として検知する L 側振幅閾値を決定し、設定してください。

表 26.57 レゾルバ信号 (MNT 信号) 振幅と励磁周波数と二乗和振幅積分値の関係 (ADRD ビット=1 の時)

励磁周波数 レゾルバ信号 振幅	5 kHz	7.5 kHz	10 kHz	12.5 kHz	15 kHz	17.5 kHz	20 kHz
0.5 Vpp	254	169	128	104	83	72	63
1.0 Vpp	1032	692	520	417	341	296	255
1.5 Vpp	2304	1533	1156	921	771	649	582
2.0 Vpp	4104	2719	2052	1638	1364	1169	1031
2.5 Vpp	6435	4296	3222	2583	2152	1847	1601
3.0 Vpp	9230	6127	4595	3685	3067	2633	2294
3.5 Vpp	12567	8379	6282	5041	4177	3577	3144
4.0 Vpp	16420	10942	8167	6574	5471	4684	4096
4.5 Vpp	20761	13855	10355	8281	6909	5918	5212

10 進数

表 26.58 レゾルバ信号 (MNT 信号) 振幅と励磁周波数と二乗和振幅積分値の関係 (ADRD ビット=0 の時)

励磁周波数 レゾルバ信号 振幅	5 kHz	7.5 kHz	10 kHz	12.5 kHz	15 kHz	17.5 kHz	20 kHz
0.5 Vpp	102	68	51	42	33	29	25
1.0 Vpp	413	277	208	167	136	118	102
1.5 Vpp	922	613	462	368	308	260	233
2.0 Vpp	1642	1088	821	655	546	468	412
2.5 Vpp	2574	1718	1289	1033	861	739	640
3.0 Vpp	3692	2451	1838	1474	1227	1053	918
3.5 Vpp	5027	3352	2513	2016	1671	1431	1258
4.0 Vpp	6568	4377	3267	2630	2188	1874	1638
4.5 Vpp	8304	5542	4142	3312	2764	2367	2085

10 進数

26.3.37 RDC3AnDIAG4 — 異常検知レジスタ 4

アクセス 8ビット単位、16ビット単位、32ビット単位でリード/ライト可能です。

アドレス <RDC3An_base> + 00B4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SQCTH[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 26.59 RDC3AnDIAG4 レジスタの内容

ビット位置	ビット名	機能																																				
31~3	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。																																				
2~0	SQCTH[2:0]	<p>二乗和振幅異常励磁カウント閾値</p> <p>二乗和振幅異常と判定するための振幅異常の発生した励磁周期カウント数を設定します。カウント数が本ビット設定値以上となると二乗和振幅異常と判定されます。</p> <table border="1"> <tr> <td>b2</td> <td>b1</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: 8回</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 1回</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 2回</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: 3回</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 4回</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: 16回</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: 32回</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: 64回</td> </tr> </table>	b2	b1	b0		0	0	0	: 8回	0	0	1	: 1回	0	1	0	: 2回	0	1	1	: 3回	1	0	0	: 4回	1	0	1	: 16回	1	1	0	: 32回	1	1	1	: 64回
b2	b1	b0																																				
0	0	0	: 8回																																			
0	0	1	: 1回																																			
0	1	0	: 2回																																			
0	1	1	: 3回																																			
1	0	0	: 4回																																			
1	0	1	: 16回																																			
1	1	0	: 32回																																			
1	1	1	: 64回																																			

26.4 機能説明

26.4.1 トラッキンググループ

26.4.1.1 PI 補償器帯域設定機能

本 RDC は 6 種類 (5 種類の固定帯域と自動調整) の帯域をレジスタにより設定できます。またさらに PI 補償器内の係数を詳細に設定することも可能です。この場合は RDC3AnPIO レジスタの BWCS ビットを “0” に設定してください。詳細は RDC3AnPIO レジスタを参照してください。

26.4.1.2 強制ゲイン制御機能

強制ゲイン制御機能は、リセット解除時などレゾルバ角と R/D 変換角度が大きくずれている場合に、追従性をよくするために使用します。

以下のいずれかの条件により強制ゲイン制御状態となります。

【強制ゲイン制御機能開始条件】

- リセット解除時
- レゾルバ信号異常からの復帰時
- レゾルバ信号断線異常からの復帰時
- 角度変換 BIST、変換異常 BIST 開始時
- 二乗和振幅異常検出 BIST、ADBIST、角度変換 BIST、レゾルバ信号異常 BIST、断線 BIST、変換異常 BIST、天絡地絡 BIST の終了時
- 天絡地絡異常検知終了時
- RDC3AnDIAG1 レジスタの KIRST ビットに “1” を書いたとき

強制ゲイン制御機能が実行される期間は、約 5ms^{註1}です。実行中に再度上記の強制ゲイン制御機能開始条件を満たすと、その時点から再び強制ゲイン制御状態となり、約 5ms 間延長されます。

強制ゲイン状態になると Kv ゲインが大きい値に移行するため、レゾルバ回転角度信号 θ と RD コンバータ出力角度信号 ϕ があっている状態でも、約 1ms 程度 ϕ が大きく振動する可能性があります。

また、AGCD ビット = “1” に設定するとリセット解除後以外は、強制ゲイン制御開始条件を満たしても強制ゲイン状態にはなりません。Kv ゲイン初期ゲイン値は BIST の種類により変わります。

- 角度変換 BIST、変換異常 BIST：初期ゲイン値 = $\times 128$ (最大値)
- 短時間 BIST (二乗和振幅異常検出 BIST、ADBIST、レゾルバ信号異常 BIST、断線 BIST、天絡地絡 BIST) 終了時：初期ゲイン値 = AGST[3:0] ビットで指定されたゲイン値
- 天絡地絡検知終了：初期ゲイン値 = AGST[3:0] ビットで指定されたゲイン値

短時間 BIST 及び天絡地絡異常検知は短時間で終了するため角度変換中の実施も可能であり、実施中も角度追従を維持しています。本機能は BIST 終了および天絡地絡検知終了時の Kv 初期ゲイン値が大きすぎると ϕ のゆれが大きくなるため初期ゲインをレジスタ調整できる機構となっています。

強制ゲイン制御機能には次の制約事項があります。

1. 強制ゲイン制御機能の有効/無効を設定するレジスタ AGCD ビットの設定変更を行う場合は、レゾルバが静止した状態で設定変更してください。
そして、設定変更後に KIRST ビットに “1” を書いてください。(KIRST ビットを “1” としない場合、フリーラン状態となる可能性があります。)

2. 強制ゲイン制御機能で追従可能な角速度には制限があります。最大角速度/分解能設定 (MAXV[2:0]ビット) に応じて、上限値は次のようになります。

分解能 12bit 以下のとき	: 120000min ⁻¹
分解能 13bit のとき	: 60000min ⁻¹
分解能 14bit のとき	: 30000min ⁻¹
分解能 16bit のとき	: 7500min ⁻¹

注1. タイミング値は、CCLK 40MHz 動作時の値です。

26.4.1.3 励磁信号源選択機能

RDC3AnRSO 端子、RDC3AnCOM 端子からの励磁出力、コモン出力を使用せずに、外部で発生した励磁信号を RDC3AnRSO 端子、RDC3AnCOM 端子に入力して R/D 変換に使用することができます。外部入力を使用する場合は RDC3AnREF レジスタの EXIO ビットを“0”に設定してください。

26.4.1.4 使用センサ選択機能

RDC3AnREF レジスタの SENS ビットを“0”に設定することにより励磁成分を含まない DC レゾルバ信号 ($E \cdot \sin \theta$, $E \cdot \cos \theta$) も使用することができます。DC レゾルバ信号を使用する場合、励磁成分抽出機能は無効になります。

26.4.1.5 励磁成分抽出機能

RDC へのアナログ信号入力として、励磁信号 (RDC3AnRSO, RDC3AnCOM)、レゾルバ信号 (RDC3AnS1 ~ RDC3AnS4) があります。励磁信号ラインの励磁成分 (正弦波成分) とレゾルバ信号ラインの励磁成分 (正弦波成分) に位相差が存在すると、位相差分だけ角度変換結果に誤差が生じる場合があります。レゾルバ信号ラインに含まれる励磁成分を抽出して角度変換に用いることにより、レゾルバ信号と励磁信号の位相差を低減することができます。

RDC3AnREF レジスタの EXIO ビットを“0”に設定し外部励磁信号を使用する場合は、レゾルバの電気角と RDC 変換角度に差が大きいとき (電源立ち上げ時、異常発生時など)、抽出した励磁成分は使用できません。したがって、外部励磁信号を使用する場合は必ず RDC3AnRSO, RDC3AnCOM に外部励磁信号を入力してください。

レゾルバ電気角と R/D 変換角度の差が大きいときには励磁信号 (RDC3AnRSO, RDC3AnCOM) を使用し、差が小さいときには抽出した励磁成分を使用することを自動で行います。励磁信号抽出機能があるため、励磁信号とレゾルバ信号の位相差調整を厳密に行う必要がなくなります。

本励磁成分抽出回路を正常に動作させるために、励磁信号 (RDC3AnRSO, RDC3AnCOM) の励磁成分とレゾルバ信号 (RDC3AnS1 ~ RDC3AnS4) の励磁成分位相差は 45°以内になるようにしてください。

26.4.1.6 最大角速度設定機能

RDC3AnPI1 レジスタの MAXV[2:0]ビットにより追従可能な最大角速度 (分解能) を設定することができます。選択した分解能でのビット飛びは起こりません。

26.4.1.7 コンペアー一致割り込み

CMPj (j=0~2) ビットに設定した角度と R/D 変換角度が一致したときにコンペアー一致割り込み要求信号を出力します。コンペアー一致比較対象のビット幅は RDC3AnPI1 レジスタの MAXV[2:0]ビット (最大角速度選択) で設定されたビット幅になります。

コンペアー一致割り込み要求信号は、RDC3AnPHICP0 レジスタの IRS ビットで、コンペアー一致信号またはコンペアー一致割り込み信号をラッチした信号のいずれかを選択できます。IRS ビットを“0”にした場合、R/D 変換角度と CMPj (j=0~2) ビットに設定した角度が一致している間“H”になり、一致がはずれると“L”になります。

IRS ビットを“1”にした場合は、R/D 変換角度と CMPj (j=0~2) ビットに設定した角度が一致するとコンペアー一致割り込み要求信号は“H”になり、また RDC3AnPHICP0 レジスタの INTFLG[2:0]フラグが“1”になります。この場合、要求信号は一致がはずれた後も“H”を保持します。R/D 変換角度と CMPj (j=0~2) ビットに設定した角度が一致していない状態で、RDC3AnPHICP0 レジスタの INTCLR [2:0]ビットを“1”にすると要求信号は“L”になり、INTFLG[2:0]フラグが“0”になります。R/D 変換角度と CMPj (j=0~2) ビットに設定した角度が一致している状態で INTCLR [2:0]ビットを“1”にしても、要求信号は“H”のまま、INTFLG[2:0]フラグも“0”になりません。

RDC3AnENC0 レジスタの HYSS ビット=“0” 設定でヒステリシス機能を ON にすると、比較対象ビット付近で角度出力が安定しない場合にコンペアー一致割り込み信号および Z 相出力がチャタリングして出力することを防ぎます。

ヒステリシス回路は 12bit 分解能設定 (MAXV[2:0]=001_B 設定) でのみ使用可能です。

図 26.3 にヒステリシス機能 OFF の場合のコンペアー一致割り込み要求信号タイミング図を、図 26.4 にヒステリシス機能 ON の場合のコンペアー一致割り込み要求信号タイミング図を示します。

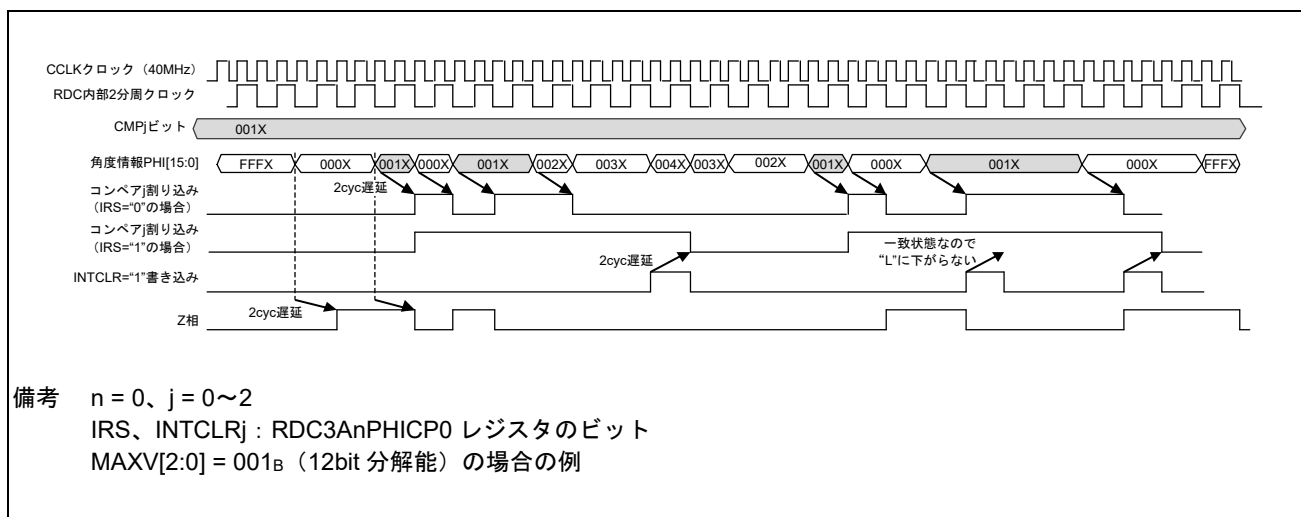


図 26.3 ヒステリシス機能 OFF の場合のコンペアー一致割り込み要求信号タイミング図

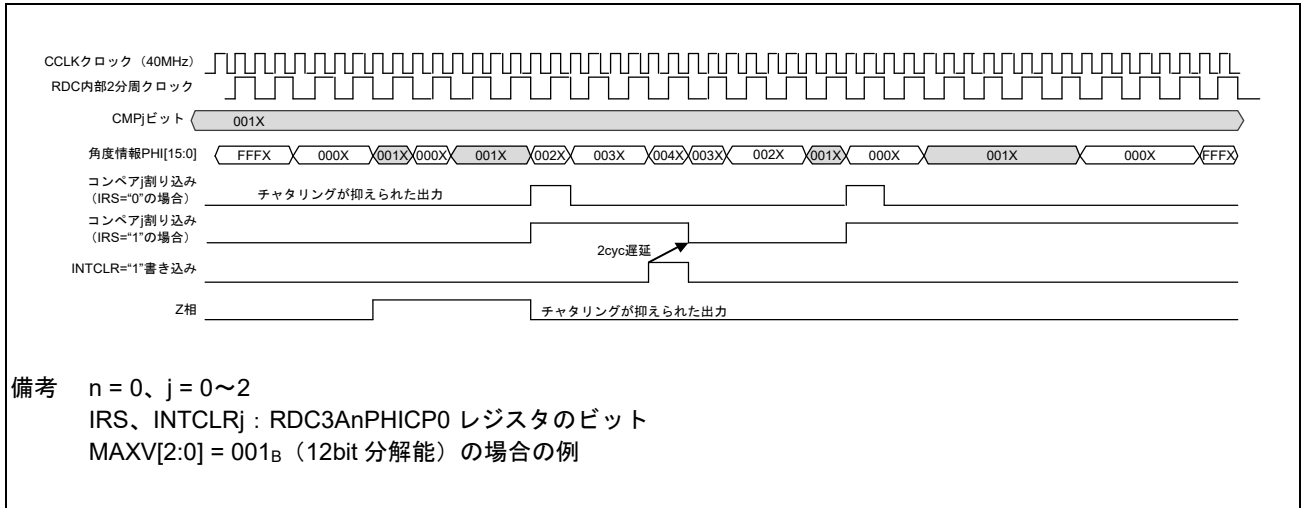


図 26.4 ヒステリシス機能 ON の場合のコンペアー一致割り込み要求信号タイミング図

26.4.1.8 エンコーダパルス出力機能

エンコーダパルス信号 (A 相、B 相、Z 相、U 相、V 相、W 相) を出力します。

Z 相割り込み信号については R/D 変換角度が 0° になったときに “H” になります。その比較対象ビット幅はコンペアー一致割り込み要求信号の場合と同じく、RDC3AnPI1 レジスタの MAXV[2:0] ビットで設定したビット幅になります。エンコーダパルス信号は RDC3AnENC0 レジスタの対応するビットを “1” (出力許可) にすることで出力されます。

RDC3AnENC0 レジスタの HYSS ビットで、ヒステリシス回路を通して出力するか、通さずに出力するかを選択できます。ヒステリシス回路は 12bit 分解能設定 (MAXV[2:0] = 001_B 設定) でのみ使用可能です。

図 26.5 にヒステリシス機能 ON の場合のエンコーダ相当パルス動作波形を、**図 26.6** にヒステリシス機能 OFF の場合のエンコーダ相当パルス動作波形を示します。

比較対象ビット付近で角度出力が安定しない場合の Z 相出力波形については、**図 26.3** および **図 26.4** を参照してください。

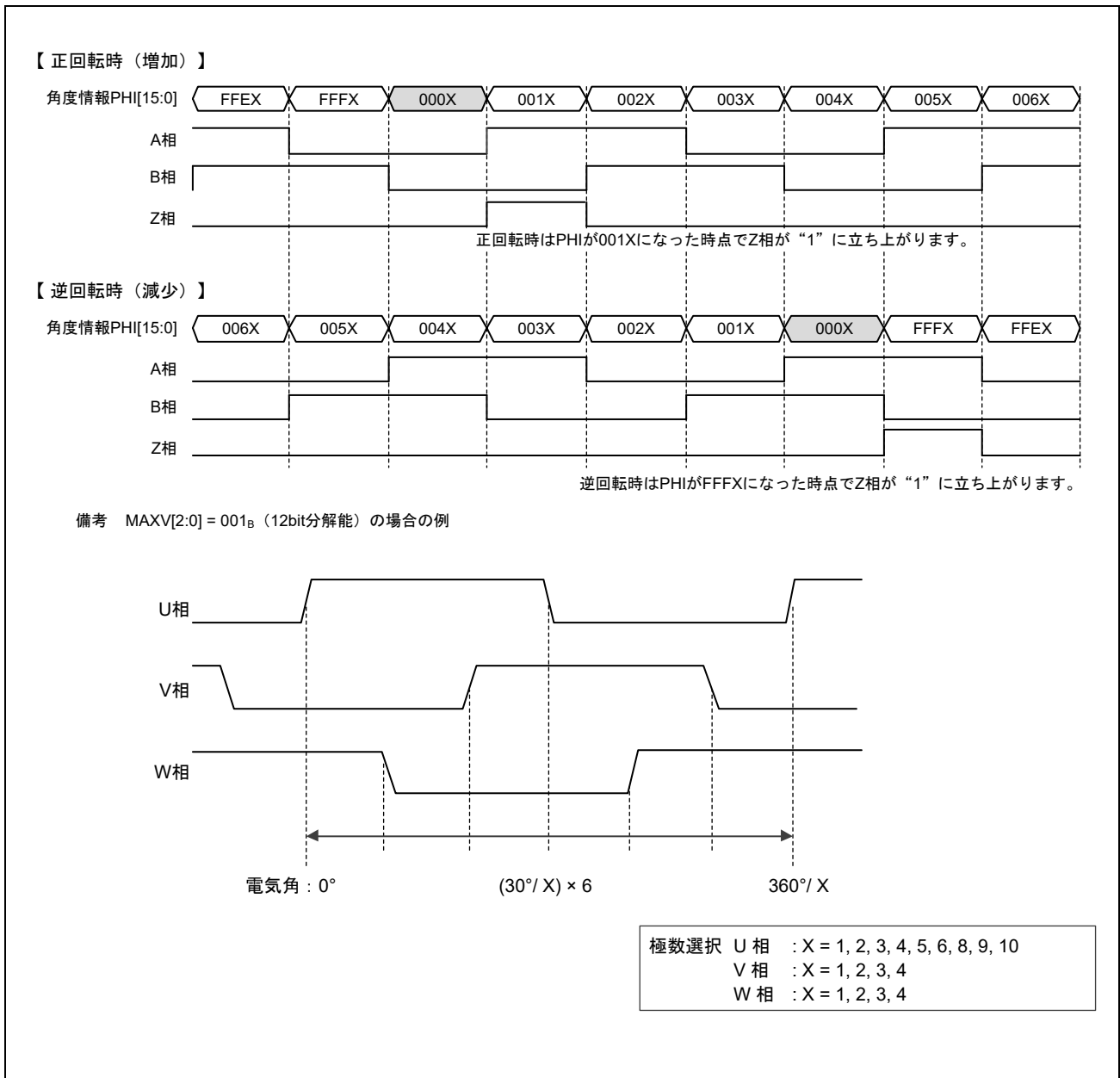


図 26.5 ヒステリシス機能 ON の場合のエンコーダ相当パルス動作波形

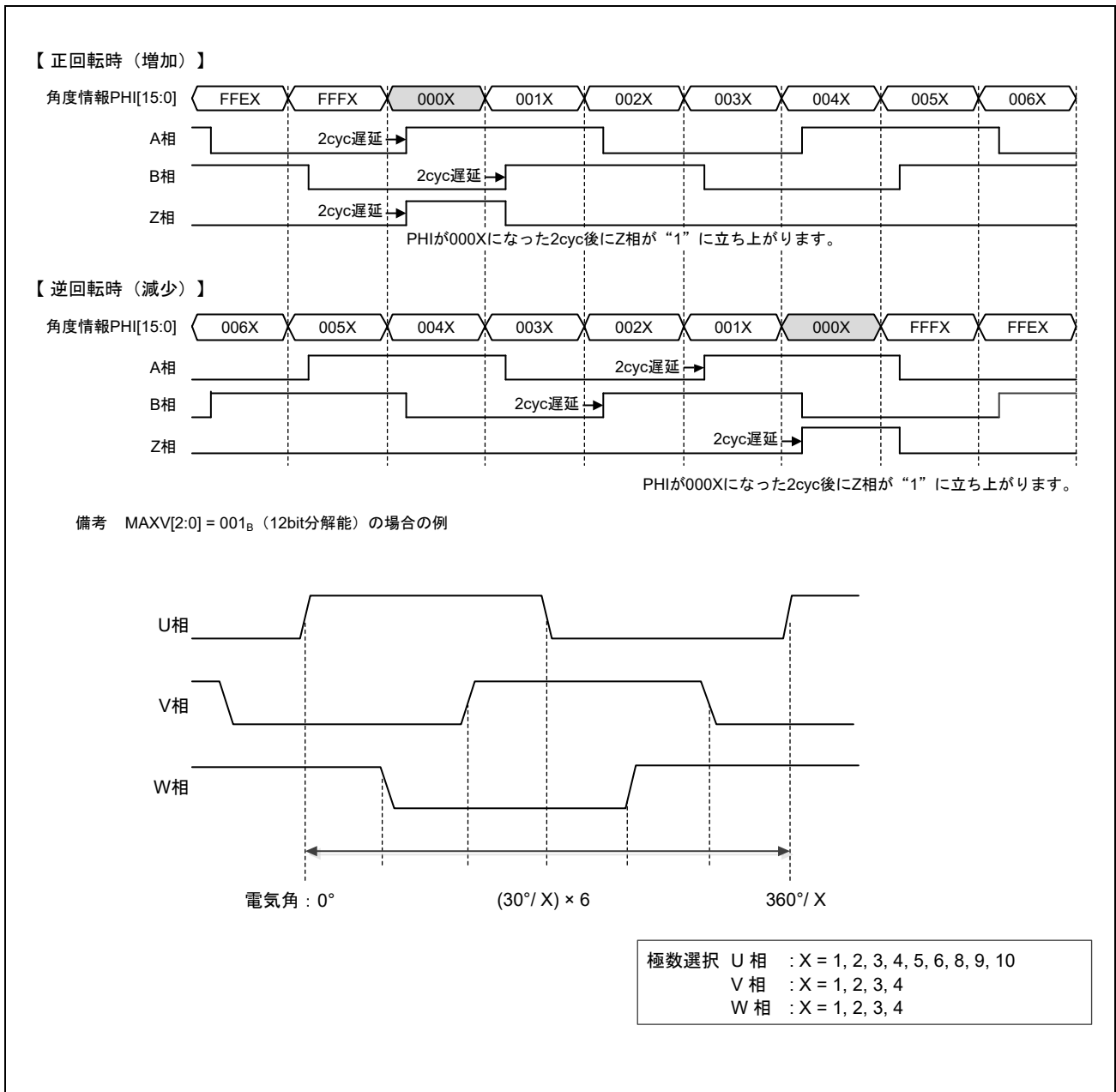


図 26.6 ヒステリシス機能 OFF の場合のエンコーダ相当パルス動作波形

26.4.1.9 PHI 角速度情報読み出し機能

PHI 角度出力の角速度をレジスタより読み出すことが可能です。OMGPTC[1:0]ビットで選択される計測周期での PHI 角度変化量を角速度単位 (min^{-1}) に換算して OMG[31:0]ビットに出力します。いずれの計測周期を選択している場合においても RDC3AnOMG に出力される角速度 (min^{-1} 単位) は同じになります。選択される計測周期により計測可能な最大角速度が違います。

OMG ビットに格納される角速度は計測周期ごとに値が更新されます。OMGPTC[1:0]で設定できる計測周期は角度変換中も変更可能です。

表 26.60 OMGPTC ビット説明

OMGPTC[1:0]	計測周期	計測可能最大角速度 (min^{-1})
00	12.8 μs	2,343,750
01	51.2 μs	585,938
10	102.4 μs	292,969
11	204.8 μs	146,484

備考 速度読みだし機能における計測周期と計測可能角速度範囲の関係を示しています。

表 26.61 OMG ビットと PHI 角速度 (min^{-1}) の関係

ビット	角速度 (min^{-1})
b31~25	符号 (0: +、1: -)
b24	1,171,875
b23	585,937.5
b22	292,968.8
b21	146,484.4
b20	73,242.19
b19	36,621.09
b18	18,310.55
b17	9,155.27
b16	4,577.64
b15	2,288.82
b14	1,144.41
b13	572.20
b12	286.10
b11	143.05
b10	71.53
b9	35.76
b8	17.88
b7	8.94
b6	4.47
b5	2.24
b4	1.12
b3	0.56
b2	0.28
b1	0.14
b0	0.07

例えば、角速度読み出し結果が FFDB FFFF_H の場合、角速度は $-164,795 \text{ min}^{-1}$ となります。

26.4.1.10 モニタ機能

制御偏差値を直接レジスタから読み出す機能です。

角度変換モード 0 使用時 (ADRD = 0) に制御偏差を読み出す場合は、DATSEL[5:0]ビットを 05_H に設定した状態で DATA[7:0]ビットを読み出してください。

角度変換モード 1 使用時 (ADRD = 1) に制御偏差を読み出す場合は、DATSEL[5:0]ビットを 2F_H に設定した状態で DATA[7:0]ビットを読み出してください。

読み出される値は 2 の補数で表現されています。レゾルバ入力角度と phi デジタル角度出力が完全に一致 ($\theta = \phi$) している理想状態において制御偏差は ±0% になります。

ADRD ビット = 0 設定の場合、読み出される制御偏差は角度変換モード 0 内の制御偏差になります。

ADRD ビット = 1 設定の場合、読み出される制御偏差は角度変換モード 1 内の制御偏差になります。

表 26.62 に DATA[7:0]ビットと制御偏差値 (%) の関係を示します。

表 26.62 RDC3AnTBUS レジスタと制御偏差値 (%) の関係

各ビット	制御偏差値 (%)
b7	符号 (0 : 正、1 : 負)
b6	50%
b5	25%
b4	12.5%
b3	6.25%
b2	3.13%
b1	1.56%
b0	0.78%

26.4.2 sin, cos 補正機能

26.4.2.1 ADC ノイズ除去機能

ADC で取得した SINMNT、COSMNT 信号にノイズが乗った場合、ノイズの乗った変換値を除去する機能です。

ADC で取得される SINMNT、COSMNT 信号は 2 μ s 周期で値が変化します。

(角度変換モード 1 時 (ADRD ビット = 1))、

ある時点で取得された MNT 信号と 1 回前に取得された MNT 信号の値を比較し、その差が GNCNS[2:0] ビットで指定される閾値よりも大きい場合、ノイズを取得したと判断して 1 回前の取得値を継続使用します。

ある時点で取得された MNT 信号と 2 回前に取得された MNT 信号の値を比較することも可能です。

(GNJSP ビットを 1 に設定)

SINMNT がノイズを取得し、ノイズが除去される様子を以下の **図 26.7** に示します。

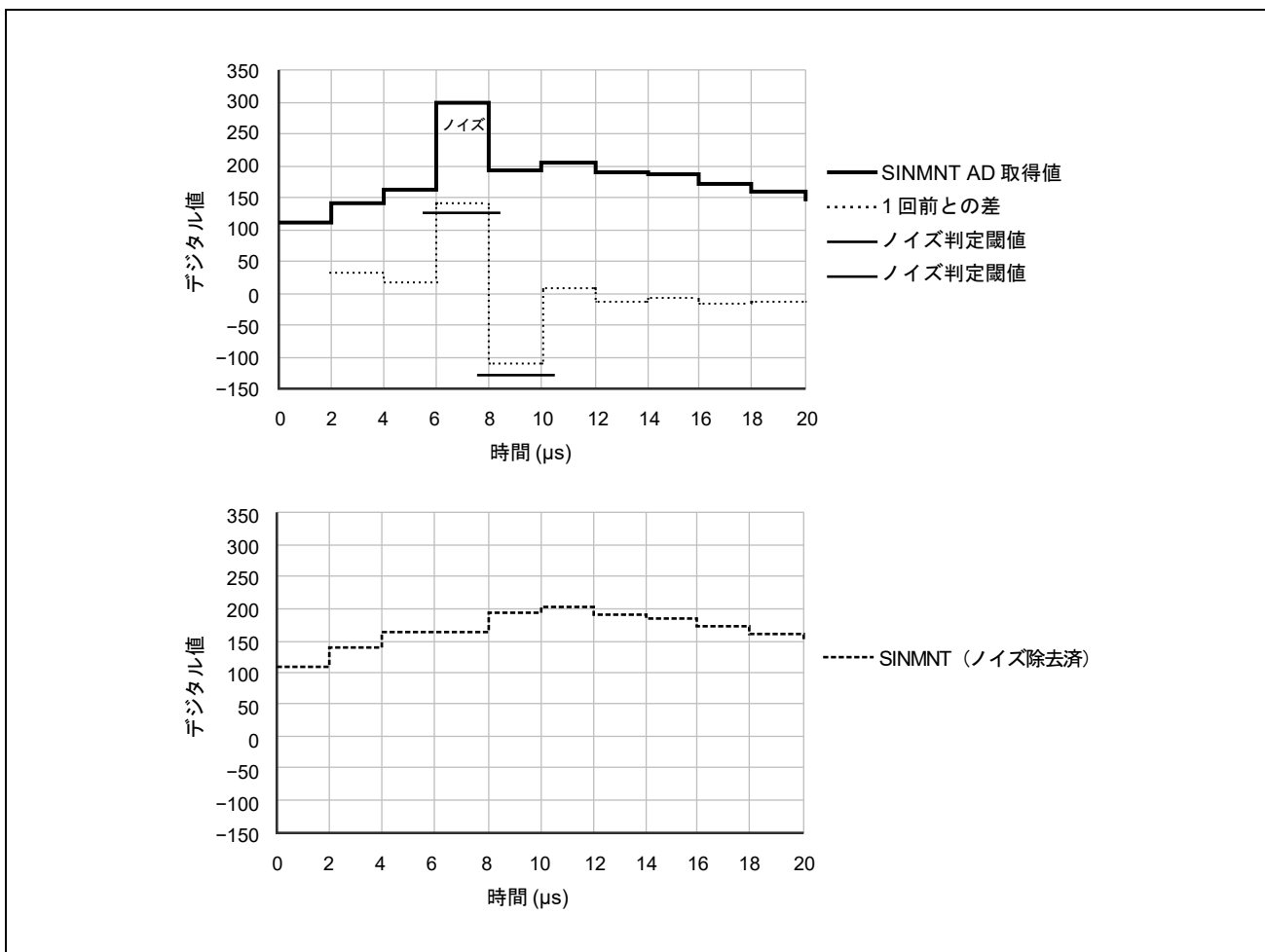


図 26.7 ノイズの取得と除去

非常に大きなノイズを受けて、AD 取得値が電源電圧あるいはグラウンドに張り付いたような値を取得した場合は、今回の値と前回の値に差がなくなり、そのまま張り付いたノイズ取得結果を出力してしまいます。これを避けるために ADC 張り付き検出機能を有しており、ADC 取得結果が $0.992 \times RVCC$ よりも大きい、もしくは 0.008 よりも小さいときには張り付いていると判断してその値を更新せず、張り付く直前の値を使用します。

ADC ノイズ除去機能は GNCND ビット = 1 に設定することで無効化することができます。無効化した場合、ADC が取得した結果に対し、ノイズかどうかの判断をせずにそのまま演算で使用します。

ADC ノイズ除去機能によりノイズ除去された ADC 出力を使用する回路を NSRSL ビットで選択することが可能です。

- NSRSL = 0 : ノイズ除去された ADC 出力を sin,cos ゲイン補正回路、sin,cos コモンオフセット補正回路(デフォルト) 回路でのみ使用。
- NSRSL = 1 : ノイズ除去された ADC 出力を sin,cos ゲイン補正回路、sin,cos コモンオフセット補正回路、角度変換演算回路(乗算、減算回路) で使用。

26.4.2.2 SIN、COS ゲイン補正機能

レゾルバ誤差、基板部品精度誤差により R/D コンバータに入力される sin 側信号と cos 側信号の振幅に差がある場合、R/D 角度変換結果に誤差が生じます。この誤差の発生を低減するために、sin 側信号 (sinmnt) と cos 側信号 (cosmnt) の最大振幅を比較して振幅に差がある場合は自動で cos 側振幅が sin 側と同じになるように、cos 側振幅を自動で調整し、調整済みの値を演算に使用する機能を有します。(回路内部で使用する値を補正するのみであり、LSI からの SINMNT,COSMNT 信号は何ら調整されません。)

本機能は角度変換モード 1 使用時 (ADRD = 1) のときにのみ角度変換誤差低減効果があります。

角度変換モード 0 使用時 (ADRD = 0) の場合、機能は動作しますが、角度変換結果の誤差は低減しません。

レゾルバ角度が固定されている場合、sin 側、cos 側の最大振幅を比較することができないため、本比較を実施するためには最低でもレゾルバが 1/2 周 (電気角) 回転する必要があります。R/D が変換出力可能状態になってからレゾルバが半周 (電気角) 以上回転した後に GNCST ビットに 1 を書き込んでください。本ビットに 1 を書き込むことでゲイン補正機能が開始可能となります。1/2 回転する以前に本ビットに 1 を書き込むと不正な補正值を使用することになります。

適用される補正係数には GNCLT[1:0] ビットでリミットを設けることができ、本ビットで設定したリミット以上の補正はかかりません。sin 側信号、cos 側信号との比較から得られた補正值がリミットよりも大きい場合はリミットの値が補正值として適用されます。

GNCLT[1:0] = 00_B : リミット ±20% (デフォルト)

GNCLT[1:0] = 01_B : リミット ±10%

GNCLT[1:0] = 10_B : リミット ±40%

GNCLT[1:0] = 11_B : リミット ±0% (補正されない)

以下の図 26.8 では COSMNT が SINMNT よりも振幅が小さく、補正されて振幅が一致する様子を示します。

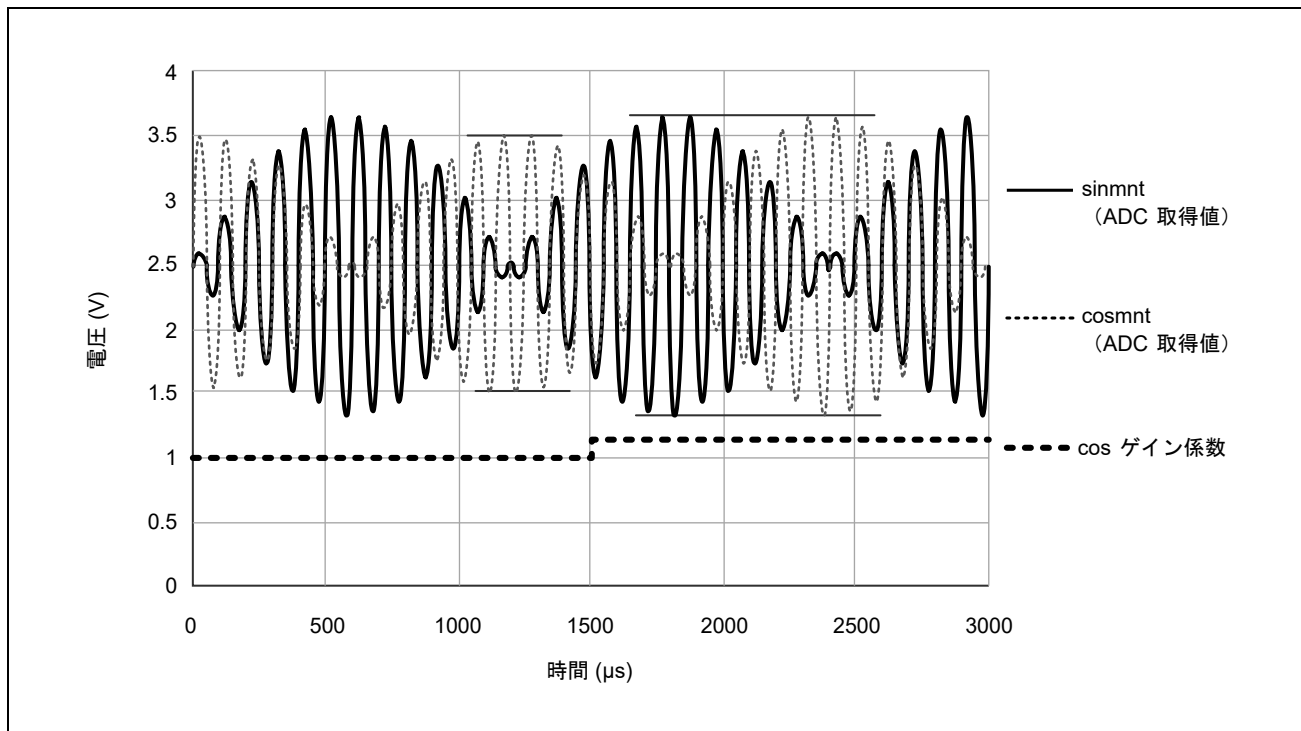


図 26.8 補正による振幅の一致

ゲイン補正値を更新するタイミングを GNCSL[1:0]ビットで選択することが可能です。

- GNCSL[1:0] = 00_B 設定時
ゲイン補正なし（補正値は default の 1024 に設定されます）
- GNCSL[1:0] = 01_B 設定時
GNCNM[11:0]で設定された固定補正値が選択されます。
- GNCSL[1:0] = 10_B 設定時
GNCST ビットが 1 にセットされたときに計算される補正値を使用します。
(1 回計算された補正値をその後使用し続けます。)
- GNCSL[1:0] = 11_B 設定時
GNCST ビットが 1 にセットされ、その後 z 相出力タイミングで更新されます。
(1 周回転ごとにゲイン補正値が更新されます。)

ゲイン補正値にはリミットを設定することが可能です。GNCLT[1:0]で設定したリミット以上の補正値が適用されることはありません。計算された補正値がリミット以上の場合、リミット値が適用されます。リミット値未満の場合は計算された補正値が適用されます。

26.4.2.3 SIN、COS コモンオフセット補正機能

レゾルバ誤差、基板部品精度誤差により R/D コンバータに入力される sin 側信号と cos 側信号のコモンレベルに本来のコモンレベル ($0.5 \times RVCC$) に対するオフセットがある場合、R/D 角度変換結果に誤差が生じます。この誤差の発生を低減するために、sin 側信号 (sinmnt) と cos 側信号 (cosmnt) のコモンオフセットを検出し、自動で調整し、調整済みの値を演算に使用する機能を有します。(回路内部で使用する値を補正するのみであり、LSI からの SINMNT, COSMNT 信号は何ら調整されません。)

本機能は角度変換モード 1 使用時 (ADRD = 1) のときにのみ角度変換誤差低減効果があります。角度変換モード 0 使用時 (ADRD = 0) の場合、機能は動作しますが、角度変換結果の誤差は低減しません。

レゾルバ角度が固定されている場合、sin 側、cos 側の最大振幅を比較することができないため、本比較を実施するためには最低でもレゾルバが 1/2 周 (電気角) 回転する必要があります。R/D が変換出力可能状態になってからレゾルバが半周 (電気角) 以上回転した後に GNCST ビットに 1 を書き込んでください。本ビットに 1 を書き込むことでゲイン補正機能が開始可能となります。1/2 回転する以前に本ビットに 1 を書き込むと不正な補正值を使用することになります。

適用されるコモンオフセット補正值には CMCLT[1:0] ビットでリミットを設けることができ、本ビットで設定したリミット以上の補正はかかりません。入力される sin 側信号、cos 側信号から得られたコモンオフセット補正值がリミットよりも大きい場合はリミットの値が補正值として適用されます。

CMCLT[1:0] = 00_B : リミット $\pm 0.0312 \times RVCC$ (約 $\pm 150\text{mV}$) (デフォルト)

CMCLT[1:0] = 01_B : リミット $\pm 0.0156 \times RVCC$ (約 $\pm 78\text{mV}$)

CMCLT[1:0] = 10_B : リミット $\pm 0.125 \times RVCC$ (約 $\pm 625\text{mV}$)

CMCLT[1:0] = 11_B : リミット $\pm 0 \times RVCC$ ($\pm 0\text{mV}$) (補正されない)

以下の図 26.9 では COSMNT、SINMNT それぞれのコモンオフセットが 2.5V ($= 0.5 \times RVCC$) に補正される様子を示します。

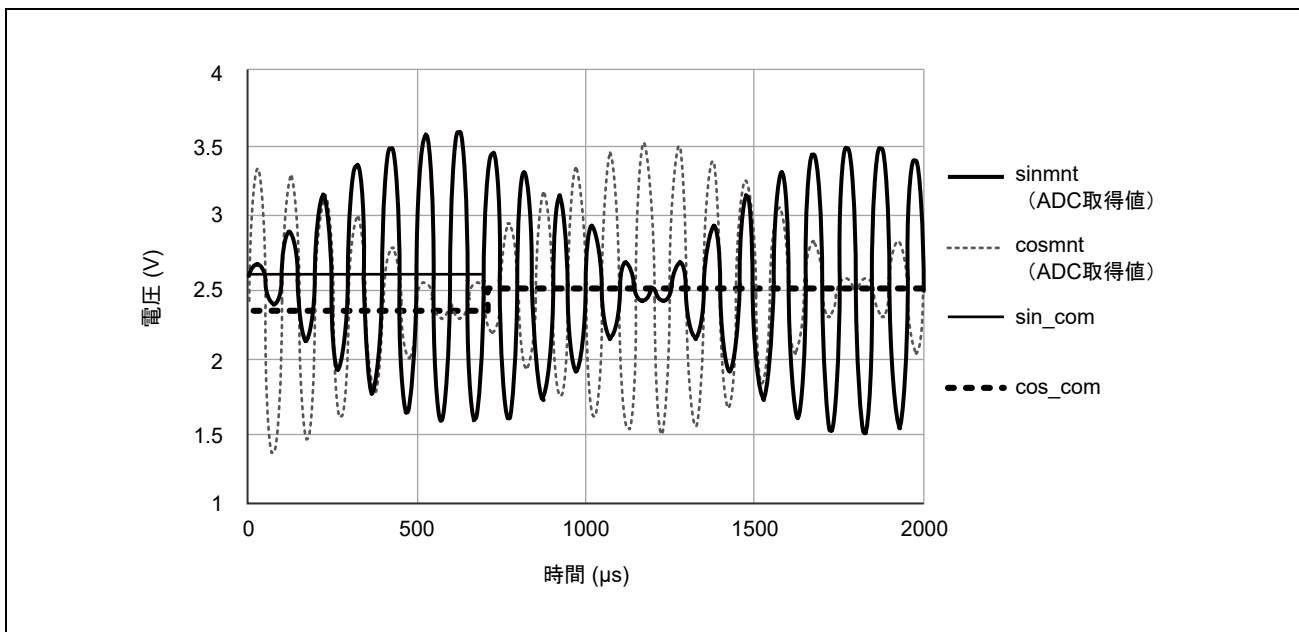


図 26.9 コモンオフセットの 2.5V ($= 0.5 \times RVCC$) 補正

コモンオフセット補正値を更新するタイミングを CMCSL[1:0]ビットで選択することが可能です。

- CMCSL[1:0] = 00_B 設定時
コモンオフセット補正なし (補正値は 0 に設定されます)
- CMCSL[1:0] = 01_B 設定時
CCOSN[9:0]で設定された固定補正値が cos 側に選択されます。
CSOSN[9:0]で設定された固定補正値が sin 側に選択されます。
- CMCSL[1:0] = 10_B 設定時
計算された補正値を使用します。
 - GNCSSL[0] = 0 の場合は GNCST ビットが 1 にセットされたときに計算される補正値を使用します。
(1 回計算された補正値をその後使用し続けます。)
 - GNCSSL[0] = 1 の場合は GNCST ビットが 1 にセットされ、その後 z 相出力タイミングで更新されます。
(1 周回転ごとにコモン補正値が更新されます。)
- CMCSL[1:0] = 11_B 設定は設定禁止です。

コモンオフセット補正値にはリミットを設定することが可能です。CMCLT[1:0]で設定したリミット以上の補正値が適用されることはありません。計算された補正値がリミット以上の場合、リミット値が適用されません。リミット値未満の場合は計算された補正値が適用されます。

26.4.2.4 SIN、COS 位相補正機能

レゾルバ誤差、基板部品精度誤差により R/D コンバータに入力される sin 側信号と cos 側信号に時間的なずれ (位相ずれ) がある場合、R/D 角度変換結果に誤差が生じます。この誤差の発生を低減するために、sin 側と cos 側の励磁クロスタイミングを比較することで位相差を検出し、sin、cos の内進んでいる側の信号を位相差分遅らせる調整を実施します。(回路内部で使用する値を補正するのみであり、LSI からの SINMNT、COSMNT 信号は何ら調整されません。)

本機能は角度変換モード 1 使用時 (ADRD = 1) のときにのみ角度変換誤差低減効果があります。角度変換モード 0 使用時 (ADRD = 0) の場合、機能は動作しますが、角度変換結果の誤差は低減しません。

電源電圧立ち上げ後、RDC 初期シーケンスを実施して R/D 角度追従状態になったのちに、SIN、COS 位相補正を開始指示するレジスタビット PHCST に 1 を書き込んでください。本ビットに 1 が書き込まれた後に補正値適用が開始されます。

sin、cos 信号の励磁クロスタイミングを比較するため、sin、cos 両信号ともにはっきりとした励磁振幅がある必要があります。そのため、位相差は phi 角度が 45°、135°、225°、315° ± 16.8° 以内のときに自動で位相差を検出します。

適用される位相補正遅延値には PHCLT[1:0]ビットでリミットを設けることができ、本ビットで設定したリミット以上の補正はかかりません。入力される sin 側信号、cos 側信号から得られた位相補正値がリミットよりも大きい場合はリミットの値が補正遅延値として適用されます。

PHCLT[1:0] = 00_B : リミット 3 μs (デフォルト)

PHCLT[1:0] = 01_B : リミット 1 μs

PHCLT[1:0] = 10_B : リミット 6 μs

PHCLT[1:0] = 11_B : リミット 0 μs (補正されない)

以下の図 26.10 に、cos 信号に対して sin 信号に遅れがある場合の波形を示します。

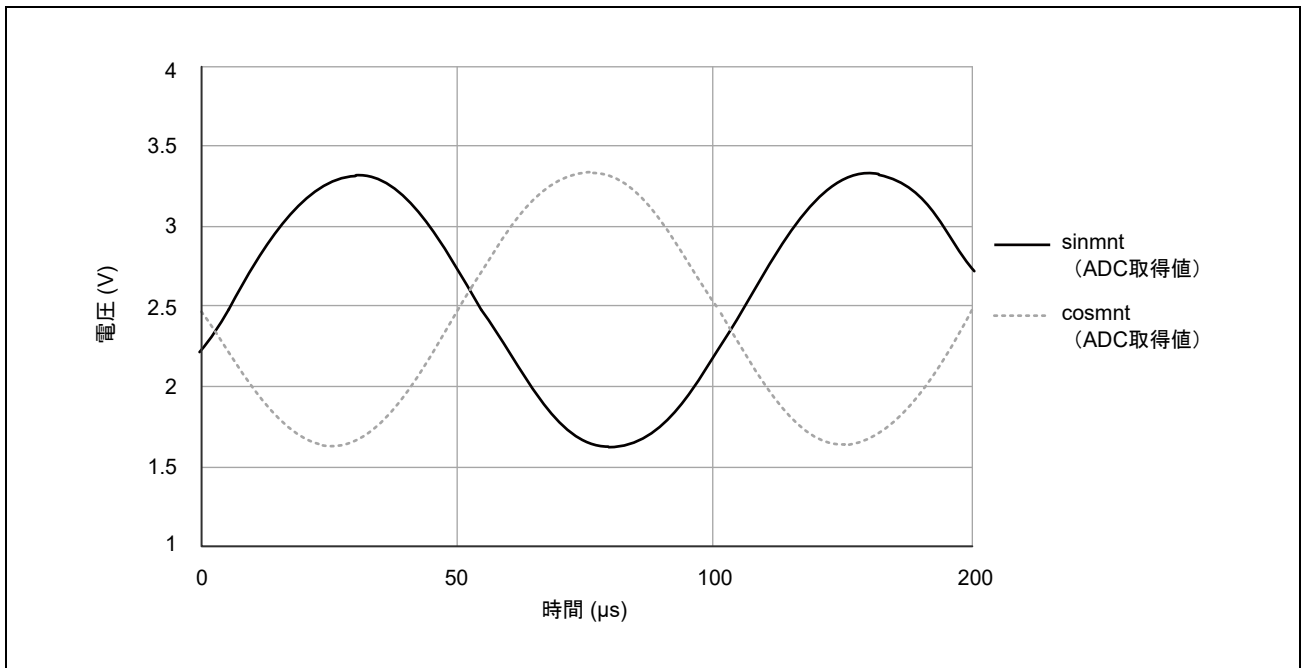


図 26.10 信号に遅れがある様子

以下の図 26.11 に、cos 信号を検出し、位相差時間を遅らせることで位相を合わせた場合の波形を示します。

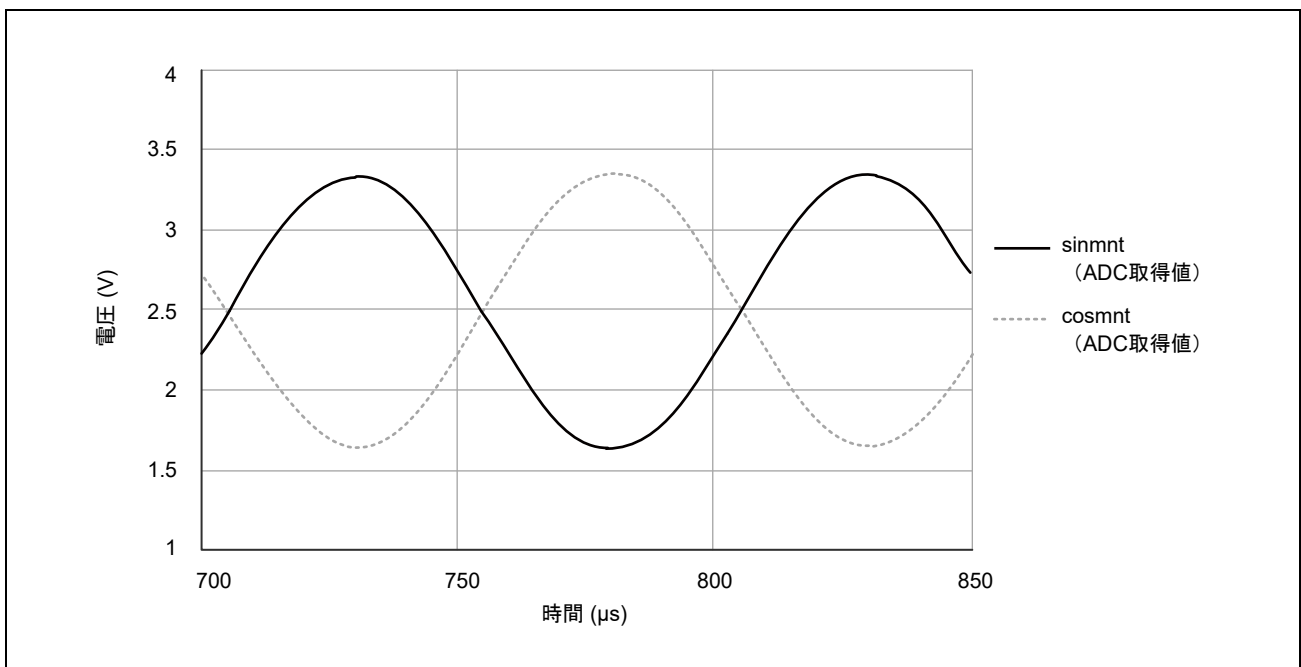


図 26.11 位相がそろった様子

PHCST ビットに 1 が書き込まれた後、位相補正が実施されるタイミングは PHCSL[1:0] ビットで選択可能です。

- PHCSL[1:0] = 00_B 設定時
位相補正を実施しません。(デフォルト)
- PHCSL[1:0] = 01_B 設定時
PHCST ビットに 1 が書き込まれるごとに、励磁クロスごとに取得した位相差を 16 回平均して割り出した補正値を常時更新して使用します。
- PHCSL[1:0] = 10_B 設定時
PHCST ビットに 1 が書き込まれるごとに、励磁クロスごとに取得した位相差の 16 回平均を 1 度だけ実施し、その補正値を使用し続けます。
- PHCSL[1:0] = 11_B 設定時
PHSNM[5:0] ビット (sin 側遅延挿入値)、PHCNM[5:0] (cos 側遅延挿入値) に設定された固定遅延値を適用します。

26.4.2.5 SIN、COS 角度補正機能

モータの軸に対するレゾルバの取り付け角誤差、および、レゾルバの sin,cos 直交性の誤差を補正する機能を有します。

SIN、COS-ROM テーブルへの入力 phi に固定の補正値 (SINPO[11:0]、COSPO[11:0] ビットで設定) を加算します。なお、角度変換 BIST 実行時は SIN/COS 位相補正レジスタの位相補正ビットに 0° を設定してください。

SIN 位相補正ビット SINPO[11:0] = 000_H

COS 位相補正ビット COSPO[11:0] = 000_H

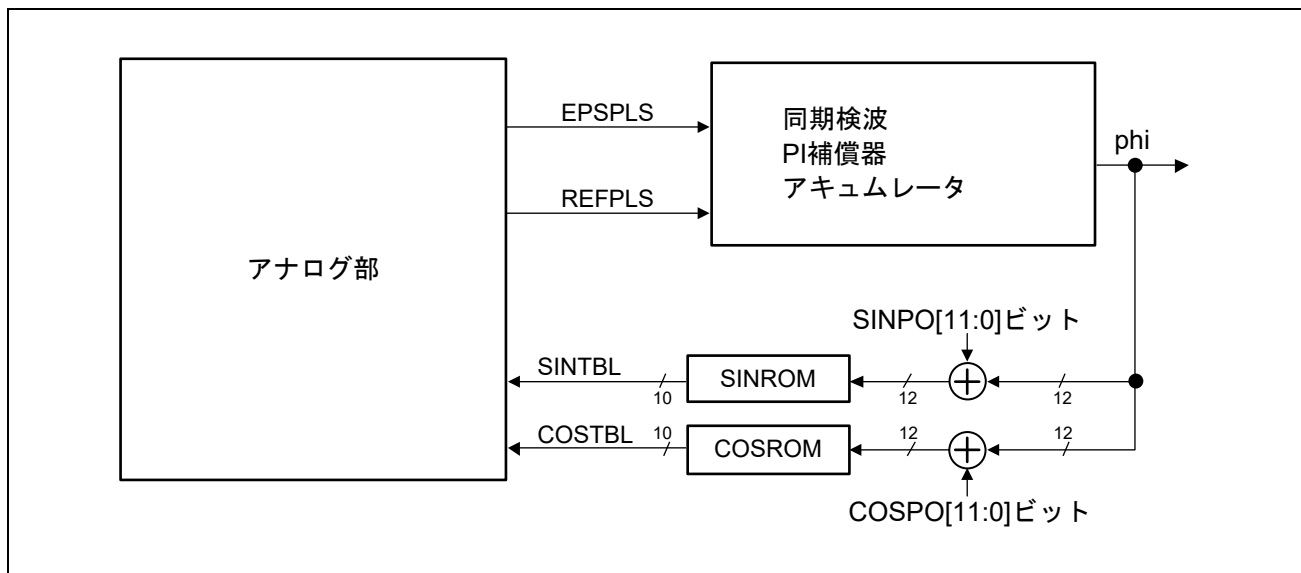


図 26.12 SIN、COS 角度補正回路構成

26.4.3 励磁信号出力

26.4.3.1 励磁信号出力 (RDC3AnRSO、RDC3AnCOM) 機能

RDC3AnRSO 端子より 7 ビット DA による正弦波電圧信号を出力します。また RDC3AnCOM 端子より RVCC/2 (2.5V) コモン電圧を出力します。RDC3AnREF レジスタの EXIO ビットを “0” (励磁信号入力) にすることで、出力はオフになり、RDC3AnRSO, RDC3AnCOM 端子は入力になります。

RDC3AnRSO 端子より出力される正弦波信号振幅は RDC3AnATMNT0 レジスタの EXOC[1:0] ビットで設定します。標準値の振幅は $0.4 \times RVCC$ [Vpp] です。

26.4.3.2 振幅自動調整機能

適正な R/D 変換精度を得るためには、レゾルバ信号入力振幅 (モニタ信号振幅) を $0.36 \times RVCC \sim 0.64 \times RVCC$ [Vpp] の範囲に収める必要があります。振幅自動調整機能は、励磁信号出力振幅および入力ゲイン抵抗値を自動で調整し、モニタ信号振幅がおおよそ $0.36 \times RVCC \sim 0.64 \times RVCC$ [Vpp] の範囲に収まるように調整します。

自動調整の対象は励磁出力振幅と入力ゲイン抵抗です。RDC3AnATMNT0 レジスタの EAAOD ビットの設定により優先順位を設定できます。また、自動調整は常時調整を続ける仕様になっていますが、RDC3AnATMNT0 レジスタの EAATSP ビットを “1” に設定することで、自動調整を停止しその時点の調整値に固定することができます。EAATSP ビットを “0” に設定すると再び自動調整を開始します。

モニタ振幅を 12bit SAR-ADC でモニタし 1 ms 間の励磁振幅二乗和積分値を基に振幅の大きさを判定し、振幅調整を行います。判定閾値の H 側は $3V_{pp}$ 程度、L 側は $2V_{pp}$ 程度になります。

自動調整の結果を使用せずにレジスタに設定した励磁出力設定、入力ゲイン抵抗値設定を固定で使用することも可能です。

26.4.4 異常検出

26.4.4.1 異常検出機能

レゾルバ信号の異常や R/D 変換動作の異常を監視／検出する機能です。表 26.63 に示す異常のいずれかを検出すると RDC 異常割り込みが発生するとともに、RDC3AnDGOUT0,1 レジスタの対応するビットが“1”になります。

以下に異常検出要因を示します。

表 26.63 検出する異常

項目	検出する要因
レゾルバ信号異常	<ul style="list-style-type: none"> 励磁ライン (RDC3AnRSO, RDC3AnCOM) の断線 (接触不良含む) 励磁信号ダウン (励磁信号出力回路ダウン、ライン間の短絡等) 信号ライン間 (RDC3AnS1-RDC3AnS3, RDC3AnS2-RDC3AnS4) の短絡 レゾルバ巻線のレアショート
レゾルバ信号断線異常	レゾルバ信号 (RDC3AnS1~RDC3AnS4) ラインの断線 (接触不良含む)
R/D 変換異常	トラッキング制御ループ (負帰還制御系) の制御偏差 (ε) 過大
2 経路比較変換異常	2 種類の角度変換ループからの角度変換結果の比較
レゾルバ信号 天絡・地絡異常	レゾルバ信号線の電源ショート (天絡異常)、グラウンドショート (地絡異常)
二乗和振幅異常	sin, cos レゾルバ入力信号振幅における変動、歪、ノイズ等の発生

26.4.4.2 レゾルバ信号異常検出機能

レゾルバに入力される励磁信号の異常によって起こるレゾルバ信号のバランスの乱れを検出します。レゾルバ信号異常が検出されると、RDC 異常割り込み要求信号が“H”になります。

モニタ出力 (RDC3AnSINMNT、RDC3AnCOSMNT) が閾値を下回った状態が約 220 μ s 継続した場合にレゾルバ信号異常と判定します。

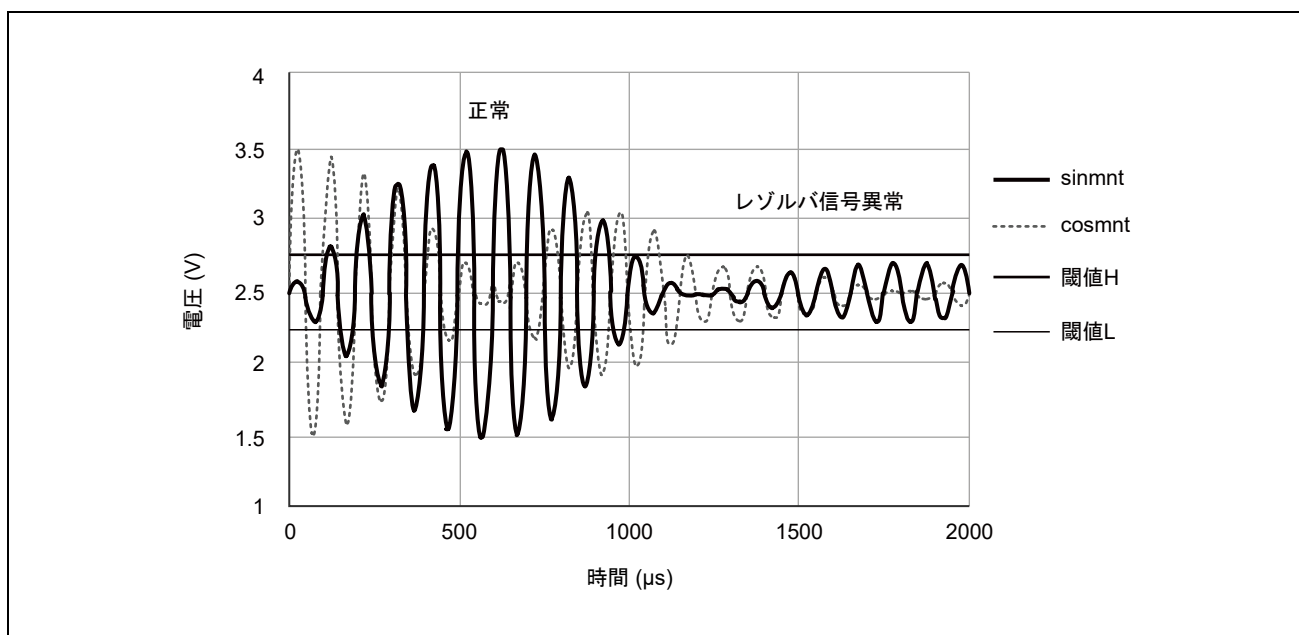


図 26.13 レゾルバ信号異常時のモニター信号波形

26.4.4.3 レゾルバ信号断線異常検出機能

レゾルバ信号 (RDC3AnS1~RDC3AnS4) ラインの断線 (接触不良含む) を検出します。レゾルバ信号断線異常が検出されると、RDC 異常割り込み要求信号が“H”になります。

モニタ出力 (RDC3AnSINMNT, RDC3AnCOSMNT) の DC レベル変動が設定した閾値より高くなった場合、レゾルバ信号断線異常と判定します。レジスタ値と閾値の関係は「**39.5.3 異常検出の特性**」を参照してください。

VR レゾルバ設定 (EXIO = 1, SENS = 0 設定以外の場合) を選択している場合、モニター信号のコモンレベルが閾値を超えているかを検出します。デフォルト設定において 2.9V を閾値とし、この閾値を超えた場合に断線異常として検出されます。閾値は SGBTH[7:0] ビット設定により変更可能です。

DC レゾルバ設定 (EXIO = 1, SENS = 0 設定時) を選択している場合、モニター信号の DC レベルが閾値を超えているかを検出します。デフォルト設定において 4.25V を閾値とし、この閾値を超えた場合に断線異常として検出されます。閾値は SGBDTH[7:0] ビット設定により変更可能です。

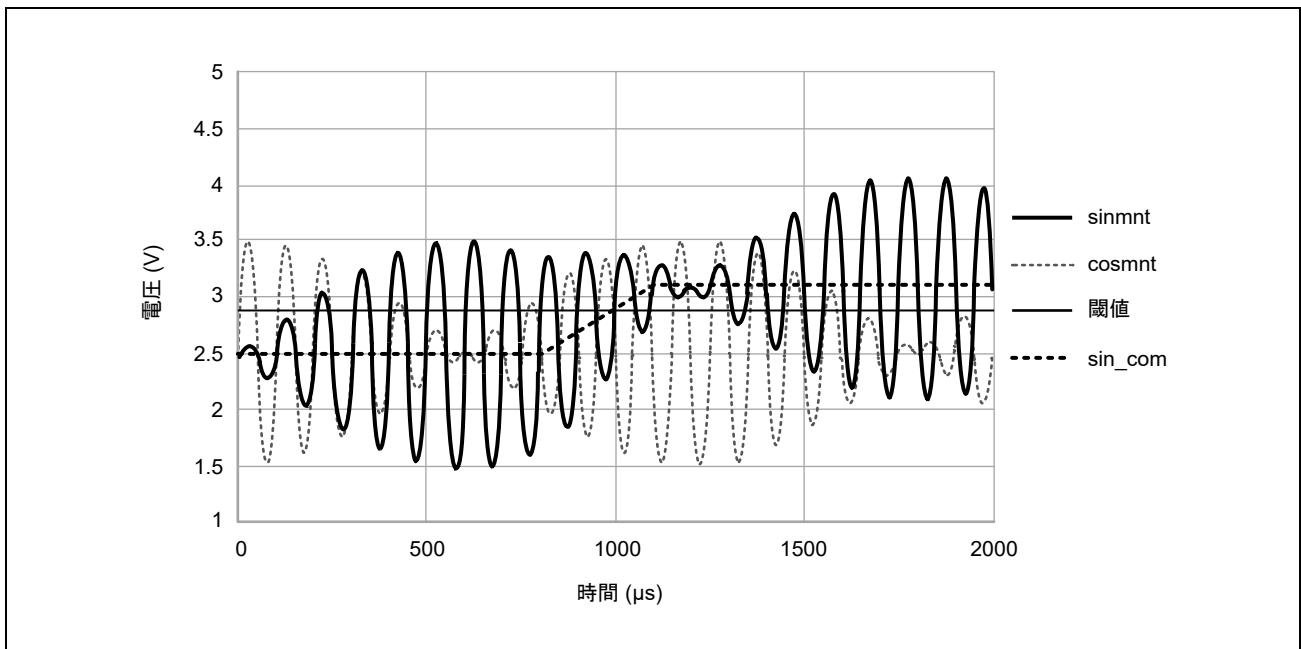


図 26.14 VR レゾルバにおいて sin 側が断線したときのモニター信号波形

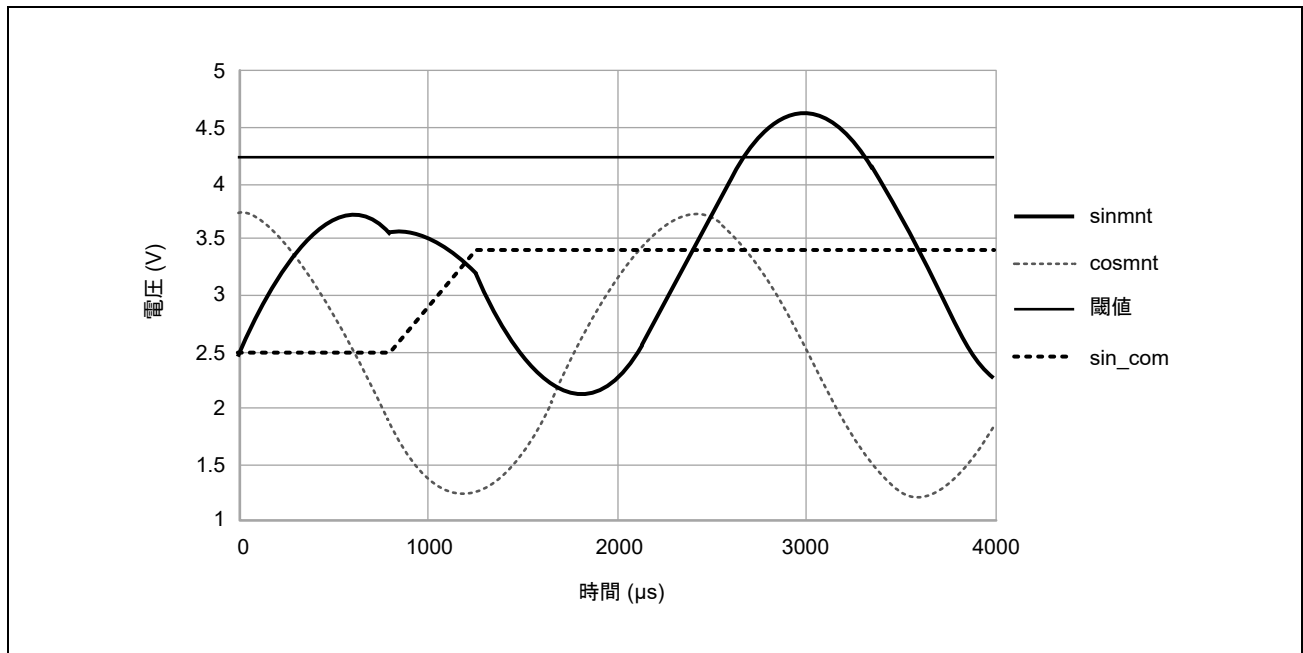


図 26.15 DC レゾルバにおいて sin 側が断線したときのモニター信号波形

26.4.4.4 R/D 変換異常検出機能

R/D 変換ループの制御偏差を監視し、R/D 変換機能の動作異常を検出します。R/D 変換異常が検出されると、RDC 異常割り込み要求信号が“H”になります。

R/D 変換異常検出は、内部制御偏差 (ε) が設定した閾値を上回る、または下回ると制御偏差過大と認識します。レジスタ値と閾値の関係は「**39.5.3 異常検出の特性**」を参照してください。制御偏差過大状態が、RDC3AnDIAG1 レジスタの EDPS[1:0] ビットで設定した判定時間の 50% を超えた場合に R/D 変換異常と判定します。

R/D 変換異常検出回路には、レゾルバ高速回転に対応できる回路と未対応の回路があり、RDC3AnDIAG1 レジスタの CVEDS ビットで選択できます。

CVEDS = “0”：高速回転対応回路を選択。ただし励磁周波数設定 22kHz 以上に設定しているときは本設定は使用禁止。

本設定選択時は EDPS[1:0] は 10 もしくは 11 に設定してください。

CVEDS = “1”：高速回転未対応回路を選択。

26.4.4.5 2 経路比較変換異常検出機能

2 種類の角度変換ループからの角度変換結果を比較することで、変換異常、回路内の故障を検出します。角度変換モード 0 選択時 (ADRD = 0) は、角度変換モード 0 経路の phi 角度出力と角度変換モード 1 経路の phi 角度出力を比較し、両者の差が閾値よりも大きい場合、2 経路比較変換異常と判定します。閾値は P2ANT[1:0] ビットで設定可能です。

また、角度変換モード 1 選択時 (ADRD = 1) は、角度変換モード 0 とは別形式の検出回路において ± 1 LSB の誤差で検出する機能を持っています。

26.4.4.6 レゾルバ信号 天絡・地絡異常検出機能

RDC3AnRSO、RDC3AnCOM、RDC3AnS1、RDC3AnS2、RDC3AnS3、RDC3AnS4 のレゾルバ信号線について、天絡異常（電源ショート）、地絡異常（グラウンドショート）を検出します。ただし、内部励磁使用時（EXIO = 1、SENS = 1）はショートした電源あるいはグラウンドと励磁バッファ出力が衝突するため RDC3AnRSO、RDC3AnCOM 端子の異常を正しく検出できません。

外部励磁使用時（EXIO = 0）、RDC3AnRSO、RDC3AnCOM 端子の異常を検出可能です。

天絡地絡検出は角度変換中も実施可能です。天絡地絡検出実行中（78 μ s 間）も角度追従を維持します。

天絡地絡検出の開始は VGASL[1:0] ビット設定により以下のように選択可能です。

- VGASL[1:0] = 00（デフォルト）設定時
天絡地絡検出は開始されません。
- VGASL[1:0] = 01 設定時
VGST ビットに 1 を書き込んだときに開始します。
- VGASL[1:0] = 10 設定時
10 ms 間隔にて自動で常時実施します。
本設定選択時は CVEDS ビット = 1 に設定して高速回転未対応回路を選択してください。
- VGASL[1:0] = 11 設定時
天絡地絡検出は開始されません。

天絡・地絡異常検出が開始されますと、以下の回路の動作が自動で実行されます。

【動作シーケンス】

1. RDC3AnS1、RDC3AnS2、RDC3AnS3、RDC3AnS4 端子を PGA 入力から切り離す。(図 26.16)
2. RDC3AnCOM、RDC3AnRSO、RDC3AnS1、RDC3AnS2、RDC3AnS3、RDC3AnS4 の 6 本のレゾルバ信号線を、 $13\ \mu\text{s}$ ^{注1}ずつ巡回しながら、天絡、地絡異常を検査し、 $78\ \mu\text{s}$ で終了する。
3. RDC3AnS1、RDC3AnS2、RDC3AnS3、RDC3AnS4 端子を PGA 入力に接続する。
4. 強制ゲイン制御状態 (約 5 ms 間) になり角度追従する。
(SAGD ビット = 1 に設定している場合は強制ゲイン状態になりません。)

注1. タイミング値は、CCLK 40MHz 動作時の値です。

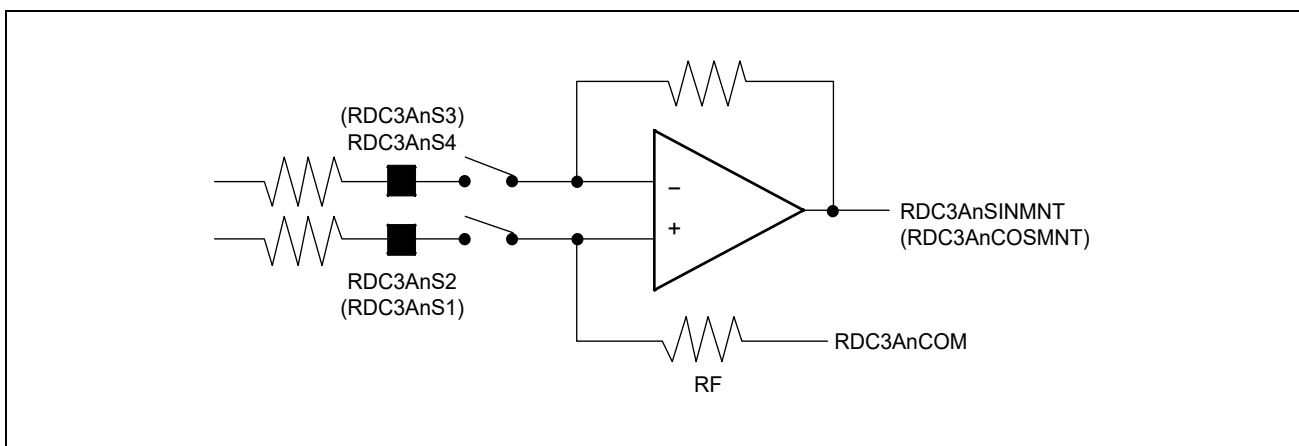


図 26.16 天絡地絡検出時の RDC3AnS1, RDC3AnS2, RDC3AnS3, RDC3AnS4 端子

天絡地絡検出実行中 ($78\ \mu\text{s}$) は RDC3AnS1, RDC3AnS2, RDC3AnS3, RDC3AnS4 端子は PGA 入力と切り離されます。

26.4.4.7 二乗和振幅異常検出機能

sin,cos レゾルバ入力信号振幅に変動、歪、ノイズ等が発生したことを検出する機能です。

本異常検出機能は励磁成分のあるレゾルバ入力信号において使用可能で、励磁信号のない DC レゾルバ入力信号の場合は使用できません。

モニタ信号 (SINMNT, COSMNT) を R/D 内蔵の ADC で取得した値を二乗和し、その二乗和値を励磁周期内で積分します。励磁周期で積分した二乗和値に対して H 側閾値、L 側閾値を設定し、所定の振幅範囲から外れた場合に閾値を超えます。次にこの閾値を超えた励磁周期の回数をカウントします。このカウント値がカウント閾値以上になると二乗和振幅異常として出力されます。この一連の検出動作は自動で実施しており、ユーザーは二乗和積分値の H 側、L 側閾値の設定 (SQHTH, SQLTH ビット)、カウント閾値の設定 (SQCTH ビット) を行います。また任意のタイミングでカウント中の異常カウント数をクリアすることが可能です (SQERST)。

ERSQS ビットに 0 を設定することで二乗和振幅異常検出機能が有効になりますが、ERSQS ビットを 0 にする時は、その直後に SQERST ビットを 1 にしてカウント値をクリアしてください。

天絡・地絡検知を実施すると 78us 間 励磁振幅が無くなるため、二乗和振幅異常検出において 1 回カウントされることとなります。

VGASL[1:0] = 01 設定で VGST ビット書き込みにより天絡地絡検知を実施する場合は、その間 ERSQS ビット = 1 に設定して二乗和振幅異常検知を OFF にしてください。

VGASL[1:0] = 10 設定により 10ms 間隔で自動で天絡地絡検知を実施する場合は少なくとも 10ms に一回以上の割合で SQERST ビットにより二乗和振幅異常カウントをクリアしてください。

天絡地絡検知を実施したいが二乗和振幅異常を検知する必要がない場合は ERSQS ビットを 1 に設定したままにしておいてください。

図 26.17 にレゾルバ入力振幅が減衰し、励磁周期 3 回分の異常カウントが発生し、二乗和振幅異常が発生した場合の波形例を示します。

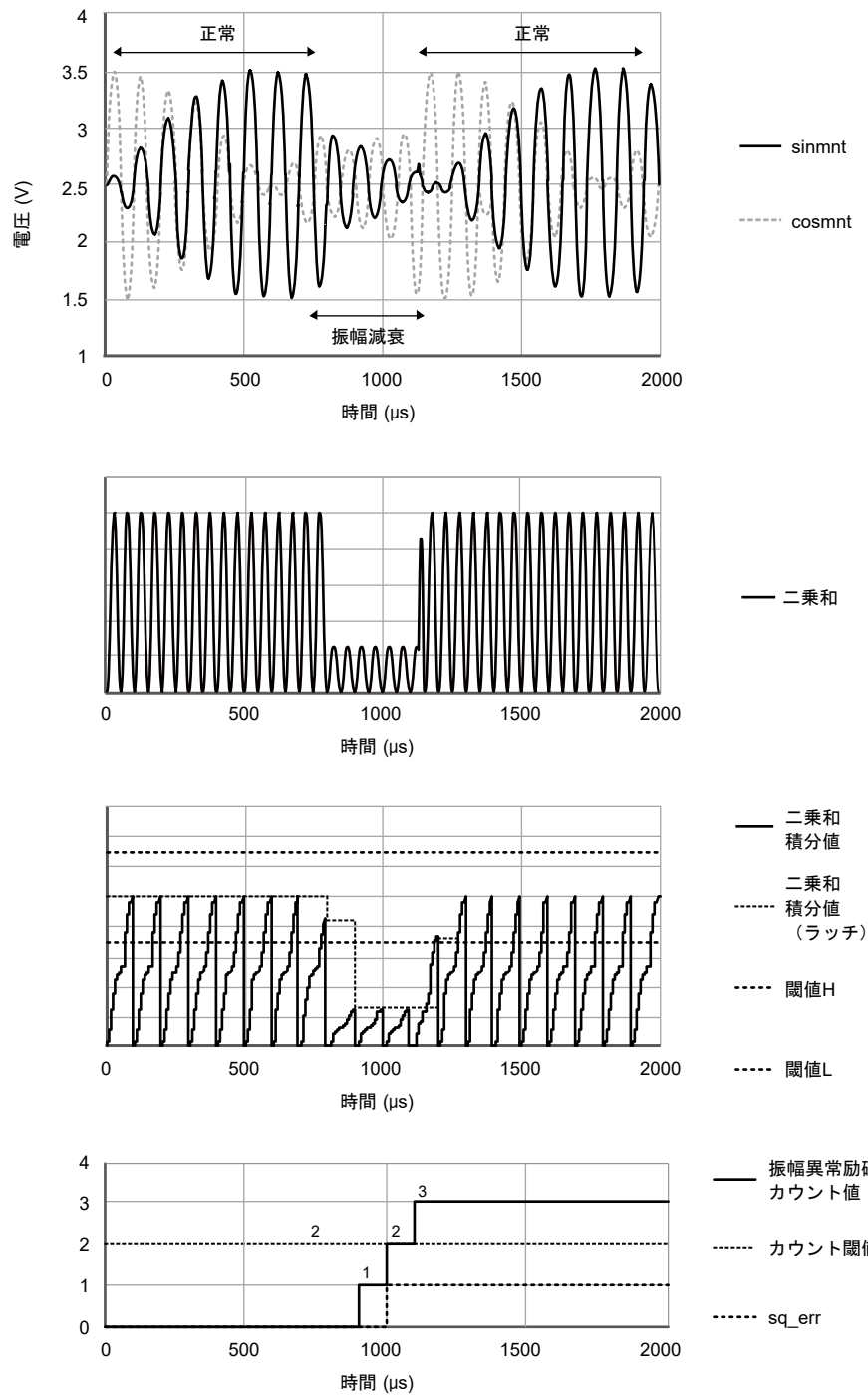


図 26.17 二乗和異常発生時の波形例

26.4.5 自己診断

26.4.5.1 自己診断 (Built-In Self Test) 機能

自己診断 (Built-In Self Test) 機能は、RDC3AnBIST1 レジスタで BIST 指令を設定することにより RDC 内部において、みずから意図した模擬信号入力を発生させ、その模擬信号入力に対する出力信号を監視することで動作の妥当性を判断します。表 26.64 にその診断内容を示します。

BIST 実行中の各出力は、模擬信号に対し動作します。

なお、BIST 実行時は次の設定を行ってください。

- (1) BIST 実行時は強制ゲイン制御機能を有効にしてください。(RDC3AnPI1 レジスタの AGCD ビットに“0”を設定)
- (2) BIST 終了後は、RDC3AnDIAG1 レジスタの ERRST ビットを“1”にして、異常検出エラー信号をリセットしてください。

表 26.64 BIST 指令

項目	診断内容
角度変換 BIST	R/D 変換機能を自己診断します。レゾルバ信号入力として以下の電気角を設定できます。 <ul style="list-style-type: none"> ● 指令角度 0° ● 指令角度 45° ● 指令角度 270°
異常検出 BIST	以下の異常検出機能を自己診断します。 <ul style="list-style-type: none"> ● レゾルバ信号異常検出 BIST : レゾルバ信号異常検出機能を自己診断 ● レゾルバ信号断線検出 BIST : レゾルバ信号断線検出機能を自己診断 ● 変換異常 BIST : R/D 変換異常検出機能を自己診断 ● 天絡異常、地絡異常 BIST : 天絡異常検出機能、地絡異常検出機能を自己診断 ● 二乗和振幅異常検出 BIST : 二乗和振幅異常検出機能を自己診断
ADBIST	12bit SAR-ADC 変換結果の正常性を診断します。 <ul style="list-style-type: none"> ● 1V、2.5V、4V の 3 種類の電圧を順次印加し、ADC 変換結果を判定 ● 判定閾値を ADB3TH[1:0] ビットで設定可能

BIST 実行中の各出力は、模擬信号に対し動作するため、BIST によっては内部が異常の状態になり RDC 異常割り込みが発生することがあります。BIST 中に RDC 異常割り込みが発生することが問題となる場合は、BIST 中は EINTEN ビットにより出力禁止設定としてください。

角度変換中に実行可能な BIST は BIST 実行中もレゾルバ入力信号への角度追従を維持します。

電源立ち上げ時にのみ実行可能な BIST は BIST 実行中はレゾルバ入力信号に一致しない角度を出力しません。

BIST により、角度変換中に実行可能な BIST (短時間で終了する BIST) と電源立ち上げ時にのみ実行可能な BIST に区別されます。(角度変換中に実行可能な BIST は電源立ち上げ時にも実施可能です。)

- 角度変換中に実行可能な BIST (短時間 BIST) : ADBIST、レゾルバ信号異常検出 BIST、レゾルバ信号断線検出 BIST、天絡 BIST、地絡 BIST、二乗和振幅異常検出 BIST (H 側)、二乗和振幅異常検出 BIST (L 側)
- 電源立ち上げ時にのみ実行可能な BIST : 角度変換 BIST、変換異常 BIST

尚、BIST 実行時は次の設定を行ってください。

- (1) BIST 実行時は強制ゲイン制御機能を有効にしてください。(AGCD ビット = 0)
- (2) 短時間 BIST を実行する場合は EINTEN ビットを 0 に設定して異常割り込みを禁止に設定してください。
- (3) BIST 実行時は VGASL[1:0] ビットを 00_B に設定してください。
- (4) VGFLG ビット (天絡地絡実行中ビット) が 0 であることを確認してください。
(1 の場合は 80 μs 程度 wait して再確認してください。)
- (5) 角度変換 BIST 実行時は SIN/COS 位相補正レジスタの位相補正ビットに 0°を設定してください。
SIN 位相補正レジスタ SINPO[11:0] ビット = 000_H
COS 位相補正レジスタ COSPO[11:0] ビット = 000_H
- (6) 変換異常 BIST 実行時は EDPS ビット = 10_B に設定してください。
- (7) BIST 実行時は入力ゲイン抵抗値をデフォルト設定値 (21 kΩ) に設定してください。
IRSS1 ビット = 0、IRSS0 ビット = 1、IRSC[3:0] ビット = 0100_B
- (8) 二乗和振幅異常検出 BIST (L 側、H 側) 実施時は SQERST ビットに 1 を設定してカウント値をクリアしてください。
- (9) BIST 終了後は、必ずエラーリセット (ERRST ビット = 1 書き込み) を実施してください。
また、(1), (2), (3), (5), (6), (7) にて設定変更したレジスタは元に戻してください。

表 26.65 に BIST 内容を示します。

表 26.65 BIST 内容

BCON[3:0]設定	BIST 内容
0000	BEXE ビット無効
0001	使用禁止
0010	二乗和振幅異常検出 BIST (L 側)
0011	二乗和振幅異常検出 BIST (H 側)
0100	ADBIST
0101	角度変換 BIST (0°)
0110	角度変換 BIST (45°)
0111	角度変換 BIST (270°)
1000	使用禁止
1001	異常検出 BIST : レゾルバ信号異常検出 BIST
1010	異常検出 BIST : レゾルバ信号断線検出 BIST (COS 側)
1011	異常検出 BIST : レゾルバ信号断線検出 BIST (SIN 側)
1100	異常検出 BIST : 変換異常 BIST
1101	異常検出 BIST : 天絡異常 BIST
1110	異常検出 BIST : 地絡異常 BIST
1111	使用禁止

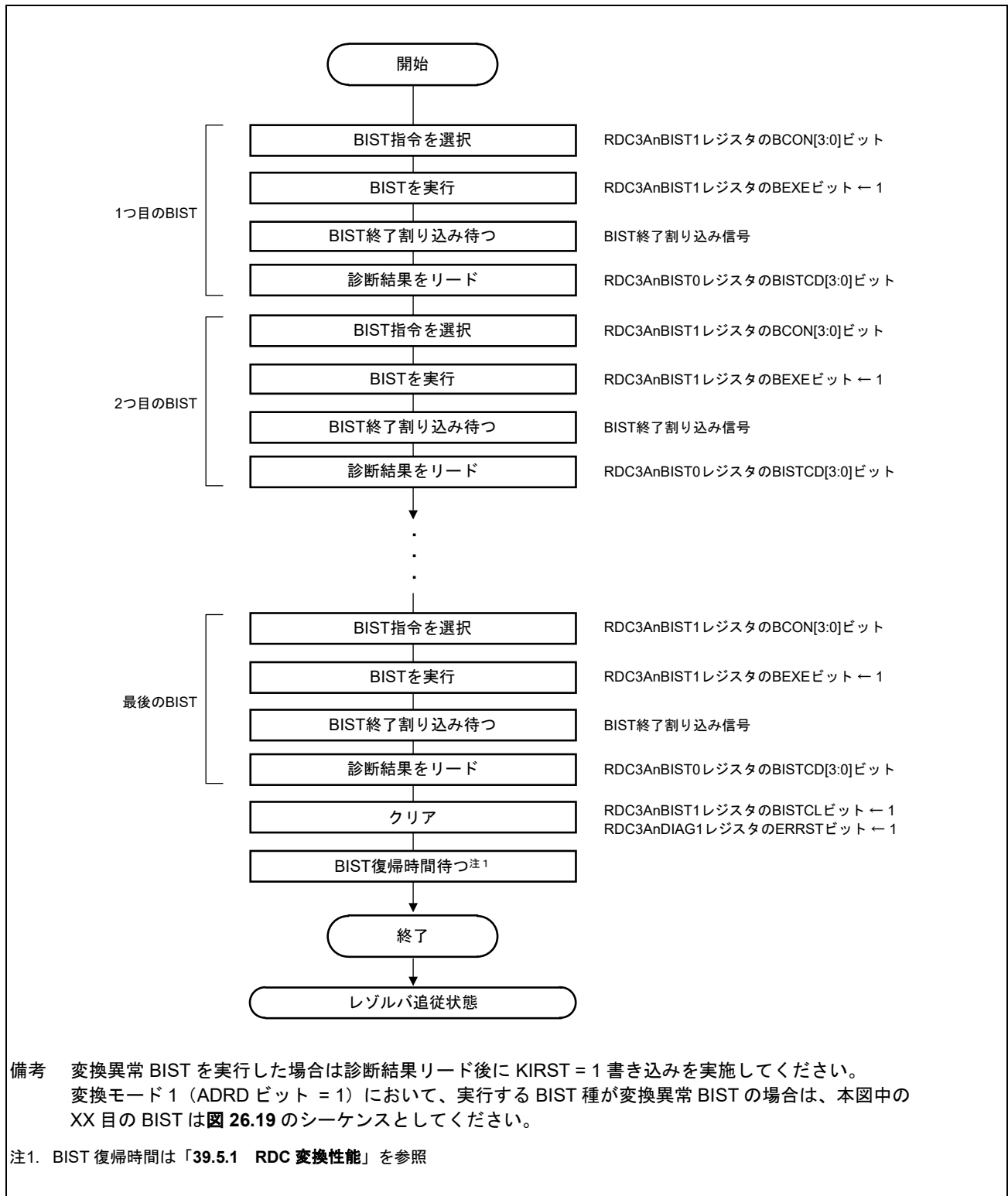


図 26.18 電源立ち上げ後の BIST 実行シーケンス

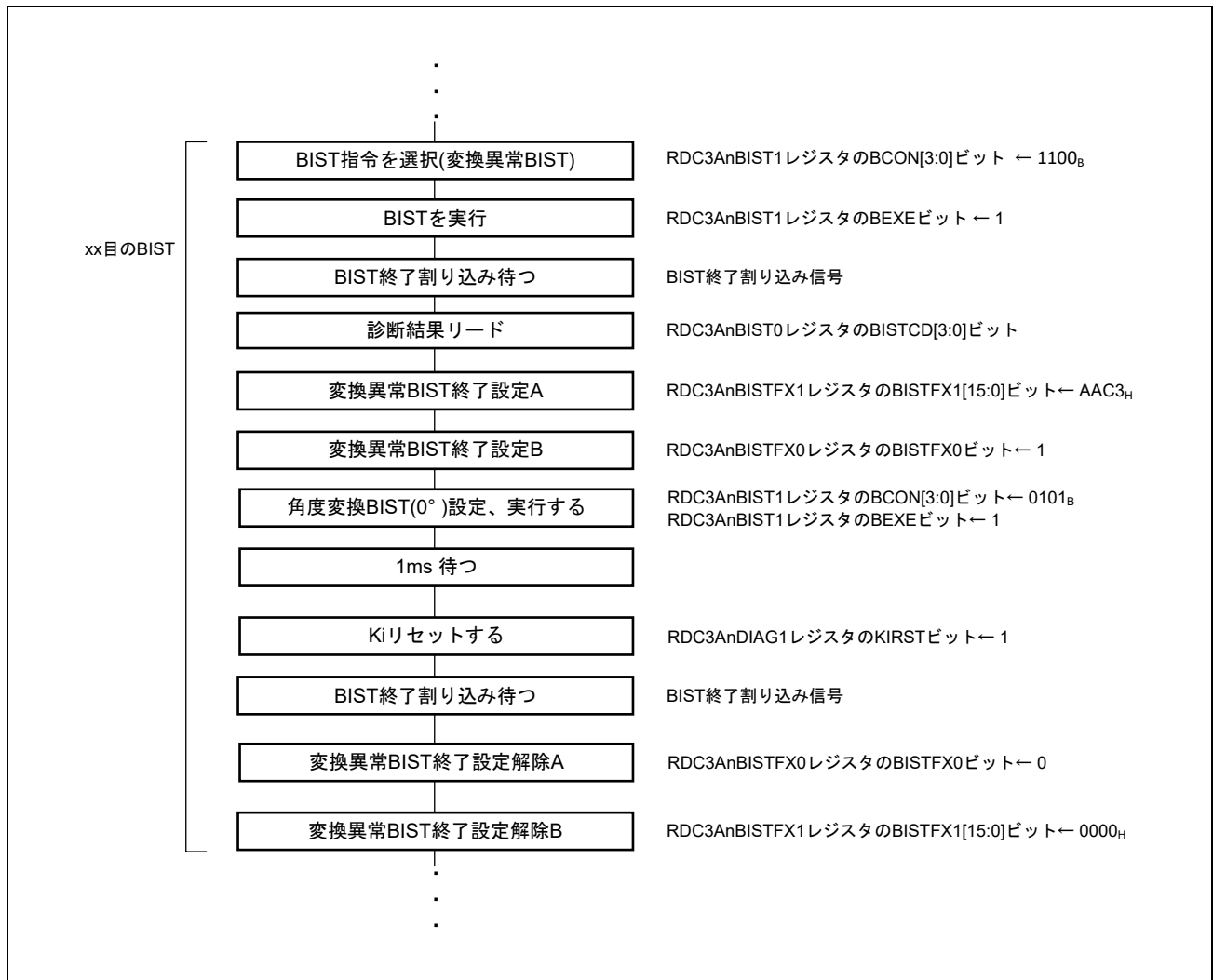


図 26.19 角度変換モード 1 における変換異常 BIST 実行時シーケンス

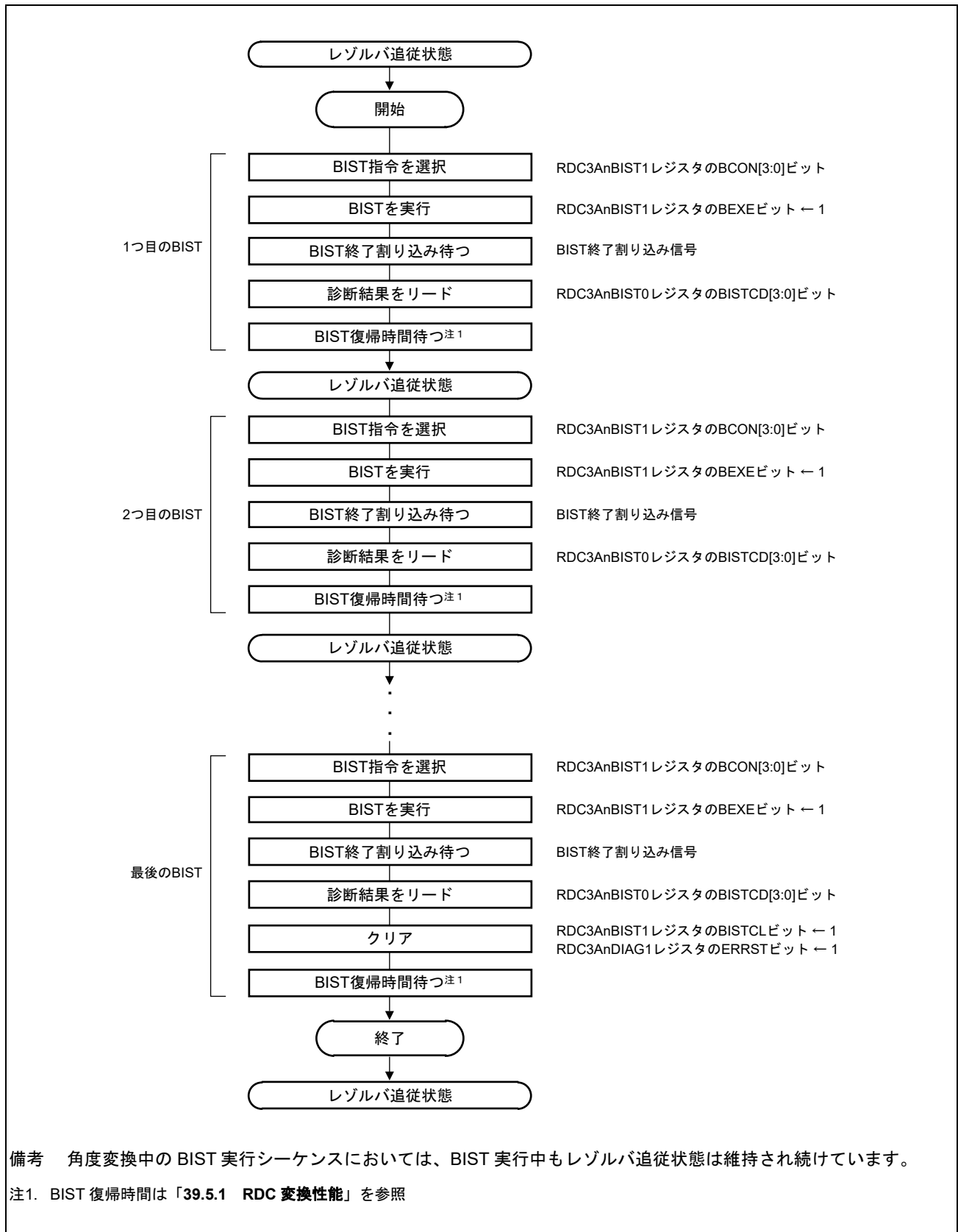


図 26.20 角度変換中の BIST 実行シーケンス

26.4.5.2 ADC ソフトウェア BIST 機能

12bit SAR-ADC 内の DAC コードをレジスタ書き込みし、その DAC コード値から得られる ADC 変換結果をレジスタ読み出しし、CPU 判定することで ADC の故障を診断することができます。書き込む DAC コードは任意ですので、12bit ADC の全 4096 コードを診断することも可能です。ADC が完全理想状態の場合、本ソフトウェア BIST により設定した DAC コード値と同じ値が ADC 変換結果としてレジスタ出力されますが、実際には ADC の非理想要因による誤差が付加された値が出力されます。従って、CPU による結果判定は、入力コードに適宜幅を持たせた判定値を用いてください ($\pm 32\text{LSB}$ 程度)。

本ソフトウェア BIST により ADC 内 DAC の全てのスイッチに組み合わせ動作の正常性を診断することが可能です。「**26.4.5.1 自己診断 (Built-In Self Test) 機能**」に示した ADBIST では ADC の入力ノードに 3 種の電位を印可して変換結果を診断します。ADBIST と本ソフトウェア BIST と併用することで 12bit ADC 内の全てのノードの故障を診断することが可能です。

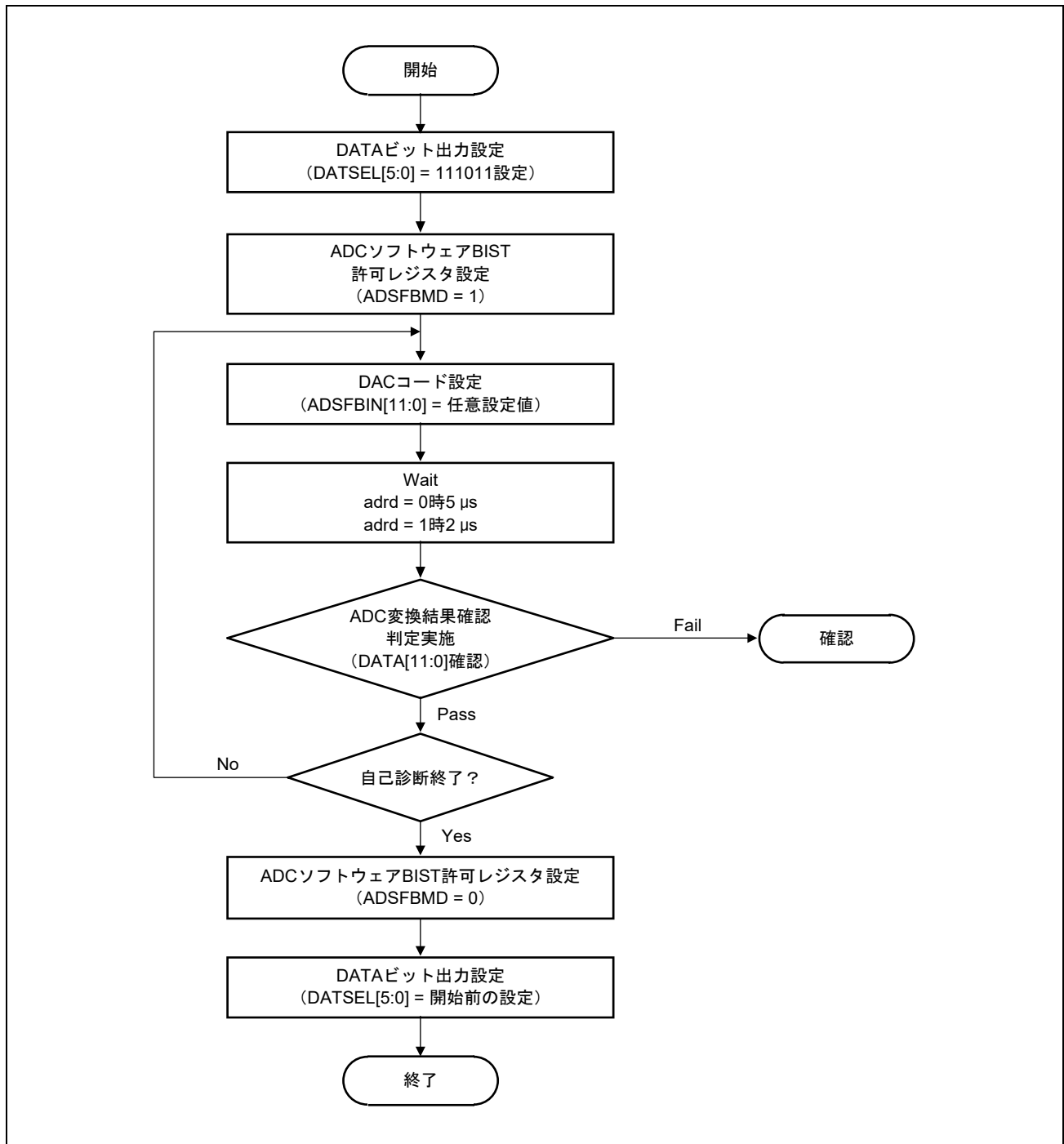


図 26.21 ADC ソフトウェア BIST 実行シーケンス

26.4.6 励磁タイマ (ET) 機能

励磁タイマは周期計測タイマとイベント生成タイマの2つの16ビットタイマで構成され、CCLK (40MHz) にてカウント動作します。図 26.22 に励磁タイマブロック図を示します。

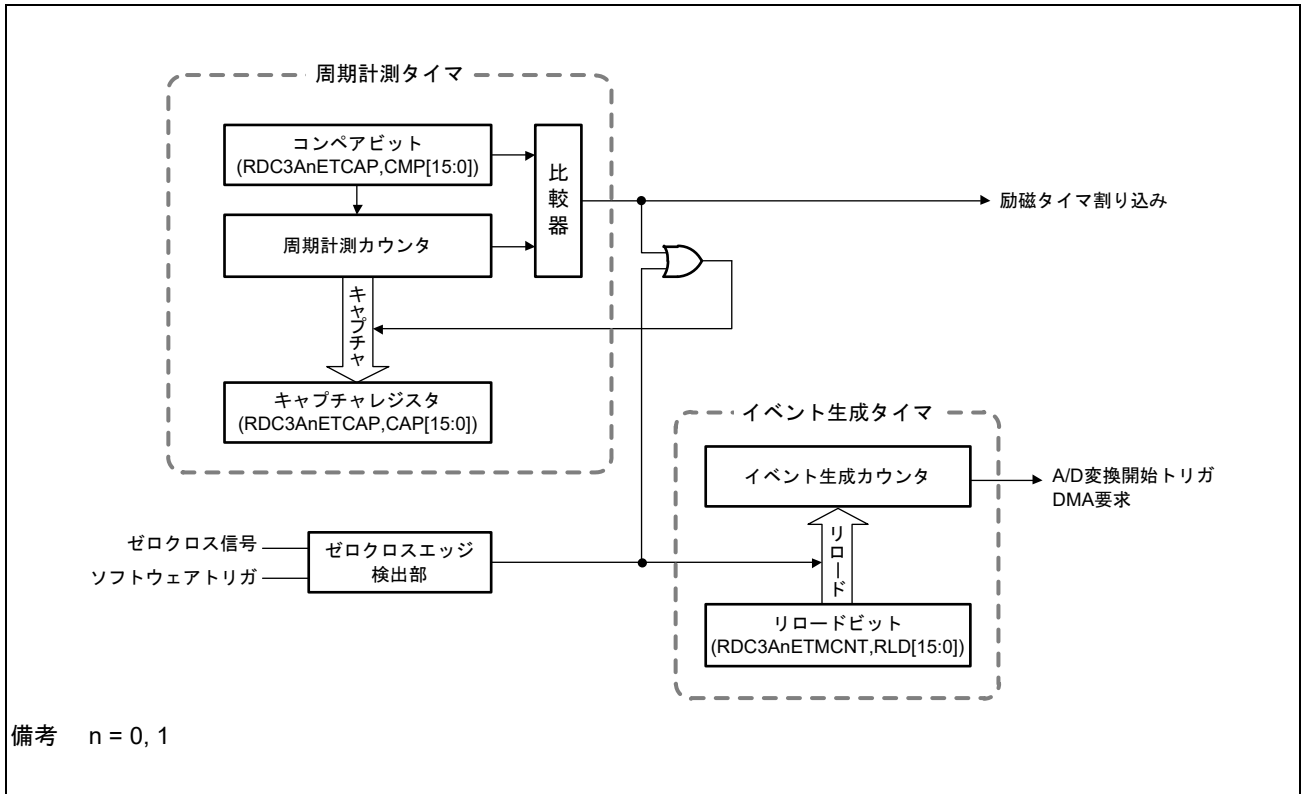


図 26.22 励磁タイマブロック図

26.4.6.1 周期計測タイマ

周期計測タイマは励磁信号（ゼロクロス信号）の周期を計測します。ゼロクロス信号のエッジ（立ち上がり／立ち下がり選択可）を検出すると周期計測カウンタの値をキャプチャし、ET キャプチャレジスタ（RDC3AnETCAP）に格納します。これにより、励磁信号の周期を計測することができます。

励磁信号の周期は、「 $(RDC3AnETCAP \text{ レジスタ値} + 1) \times CCLK \text{ 周期} (25 \text{ ns})$ 」で求められます。

また、RDC3AnETEN レジスタの IREN ビットが“1”（割り込み許可）の場合、ET キャプチャレジスタ（RDC3AnETCAP）に設定した値と周期計測カウンタを比較して、一致したときに励磁タイマ割り込み要求が発生します。励磁信号の周期異常を検出するために RDC3AnETCAP レジスタに励磁信号の周期よりも長い期間の値を設定してください。

周期計測タイマは、RDC3AnETEN レジスタの ZCSTRG ビットに“1”を書いてゼロクロス信号のトリガが発生した場合も、ゼロクロス信号エッジの場合と同様の動作をします。

図 26.23 に周期計測タイマ動作例を示します。

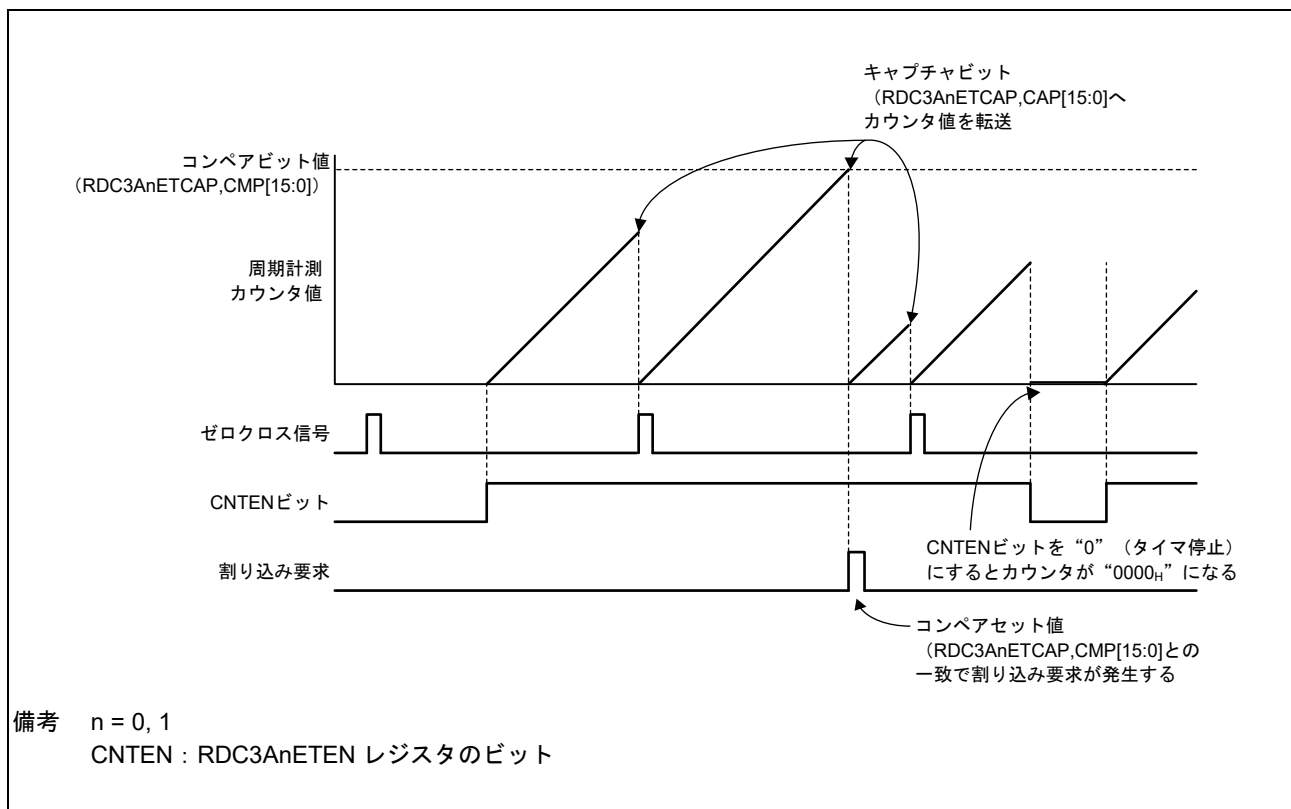


図 26.23 周期計測タイマ動作例

26.4.6.2 イベント生成タイマ

イベント生成タイマは、ゼロクロス信号のエッジから ET リロードレジスタ (RDC3AnETMCNT) で設定した時間後にトリガ信号 (A/D 変換トリガ、DMA 要求) を発生することができます。また、イベント生成タイマは、RDC3AnETEN レジスタの ZCSTRG ビットに “1” を書いてゼロクロス信号のトリガが発生した場合も、ゼロクロス信号エッジの場合と同様の動作をします。図 26.24 にイベント生成タイマ動作例を示します。

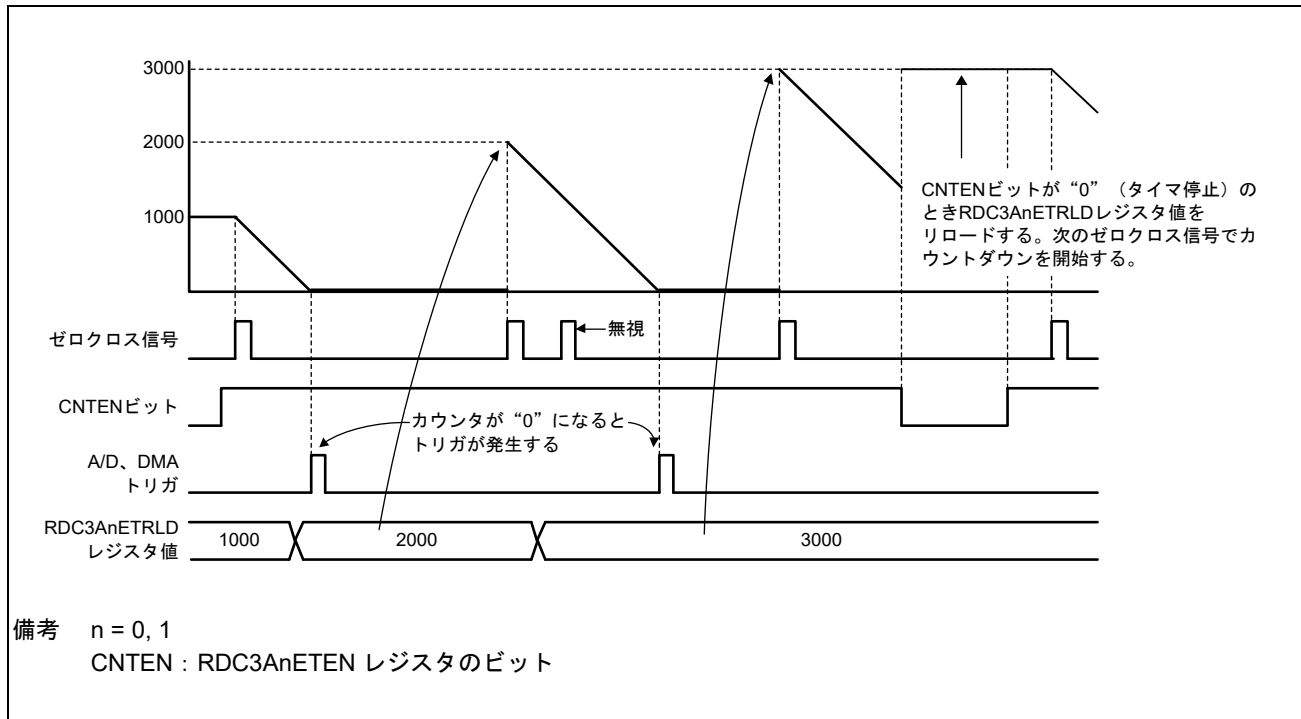


図 26.24 イベント生成タイマ動作例

26.4.6.3 励磁ゼロクロス信号

ゼロクロス信号は差動励磁信号入力のゼロクロスタイミングを示します。ゼロクロス信号は励磁タイマ回路に入力され、励磁頂点検出に使用します。

図 26.25 に差動励磁信号入力波形とゼロクロス信号の関係を示します。

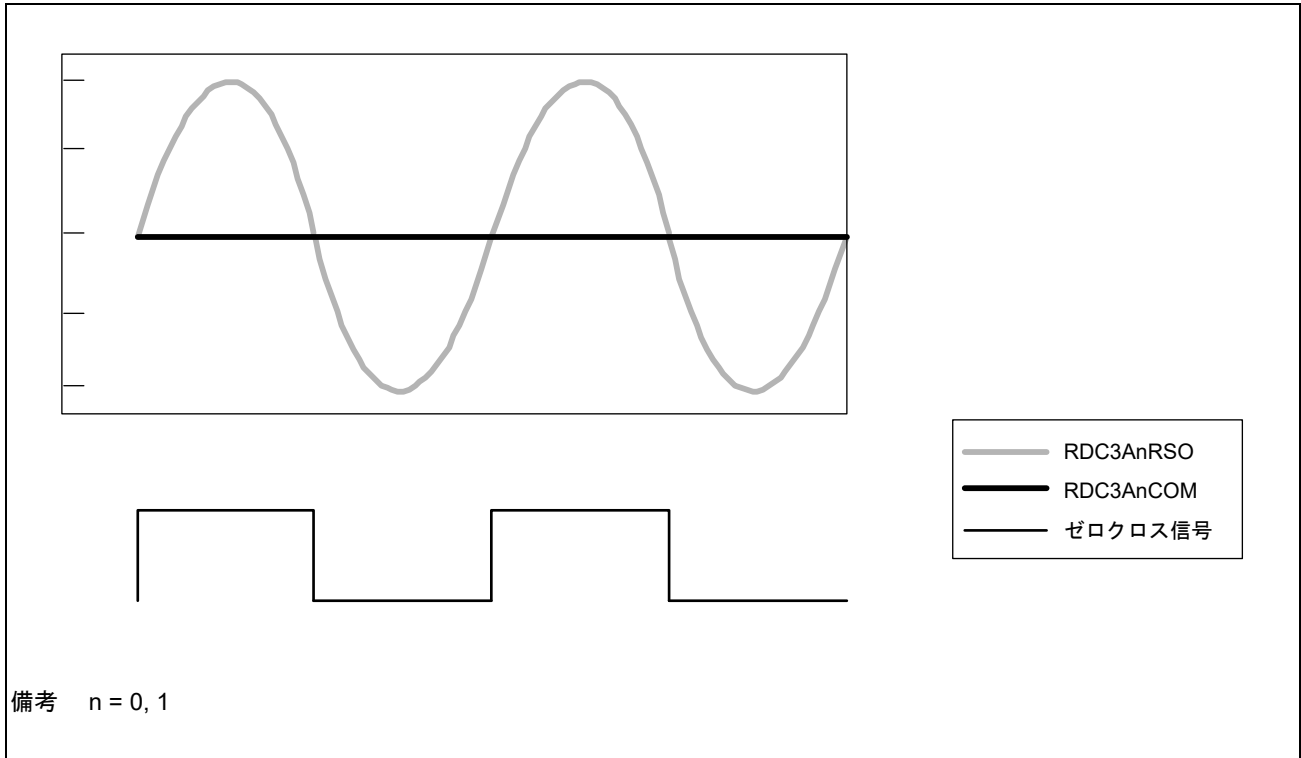


図 26.25 差動励磁信号入力 (RDC3AnRSO, RDC3AnCOM) とゼロクロス信号の関係

26.4.7 PGA 反転機能

レゾルバ角度が 135° 付近、 315° 付近の時に \sin と \cos の PGA 出力がコモン電位に対して上下反対の電位になります。このような入力電位を 12bit SAR-ADC で取得する場合、 \sin, \cos の入力電位が大きく異なるため、ADC の直線性誤差の影響を比較的大きく受けます。この影響を低減するために、 \sin と \cos が逆電位になる ϕ 出力角度範囲において PGA 出力を反転する機能 (PGA 反転機能) を有します。 ϕ 出力角度と \sin, \cos 信号の反転、非反転の関係は以下のとおりです。

- ϕ 出力角度 = $0^\circ \sim 90^\circ$: \sin 非反転、 \cos 非反転
- ϕ 出力角度 = $90^\circ \sim 180^\circ$: \sin 非反転、 \cos 反転
- ϕ 出力角度 = $180^\circ \sim 270^\circ$: \sin 反転、 \cos 反転
- ϕ 出力角度 = $270^\circ \sim 360^\circ$: \sin 反転、 \cos 比反転

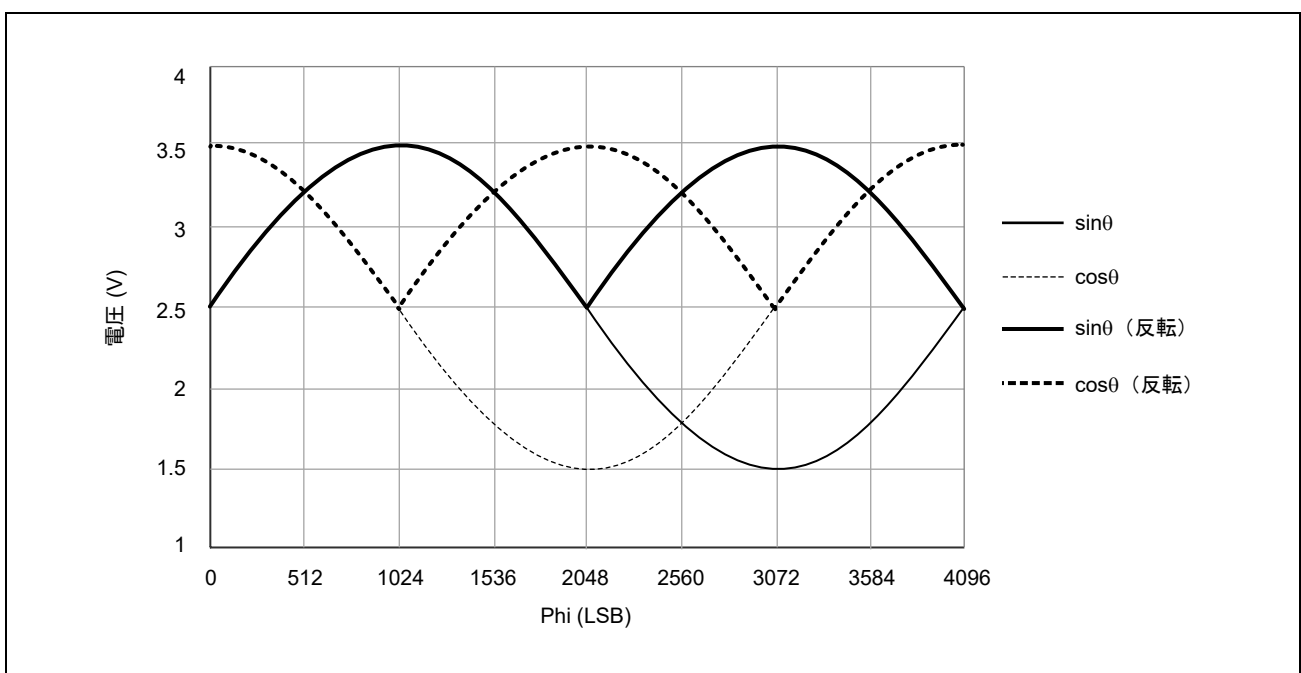


図 26.26 反転機能 ON 時の ϕ 出力角度と \sin, \cos 信号の関係

例えばレゾルバが 90° (1024LSB) 付近に固定しているような場合を想定すると、 ϕ 角度出力が 90° を上下に往復し、そのたびに \cos 側 PGA は反転、非反転を繰り返し動作が安定しないという懸念があるため、PGA 反転が発生する角度閾値にヒステリシスを設定することが可能です。

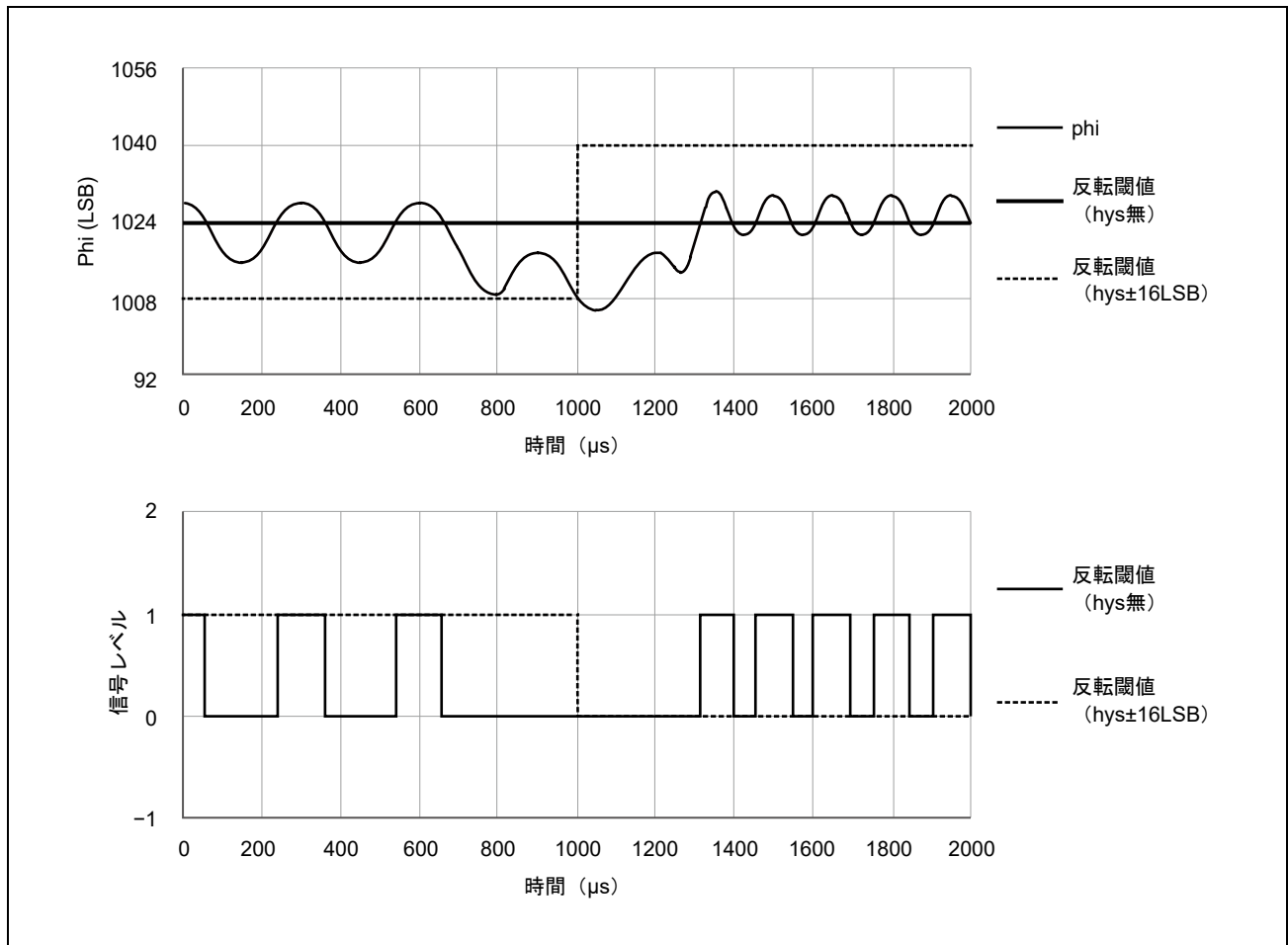


図 26.27 PGA 反転が発生する角度閾値にヒステリシスがある場合とない場合の比較

また、PGA 反転の発生タイミングを PGAIIVSL[1:0] ビットにより選択可能です。

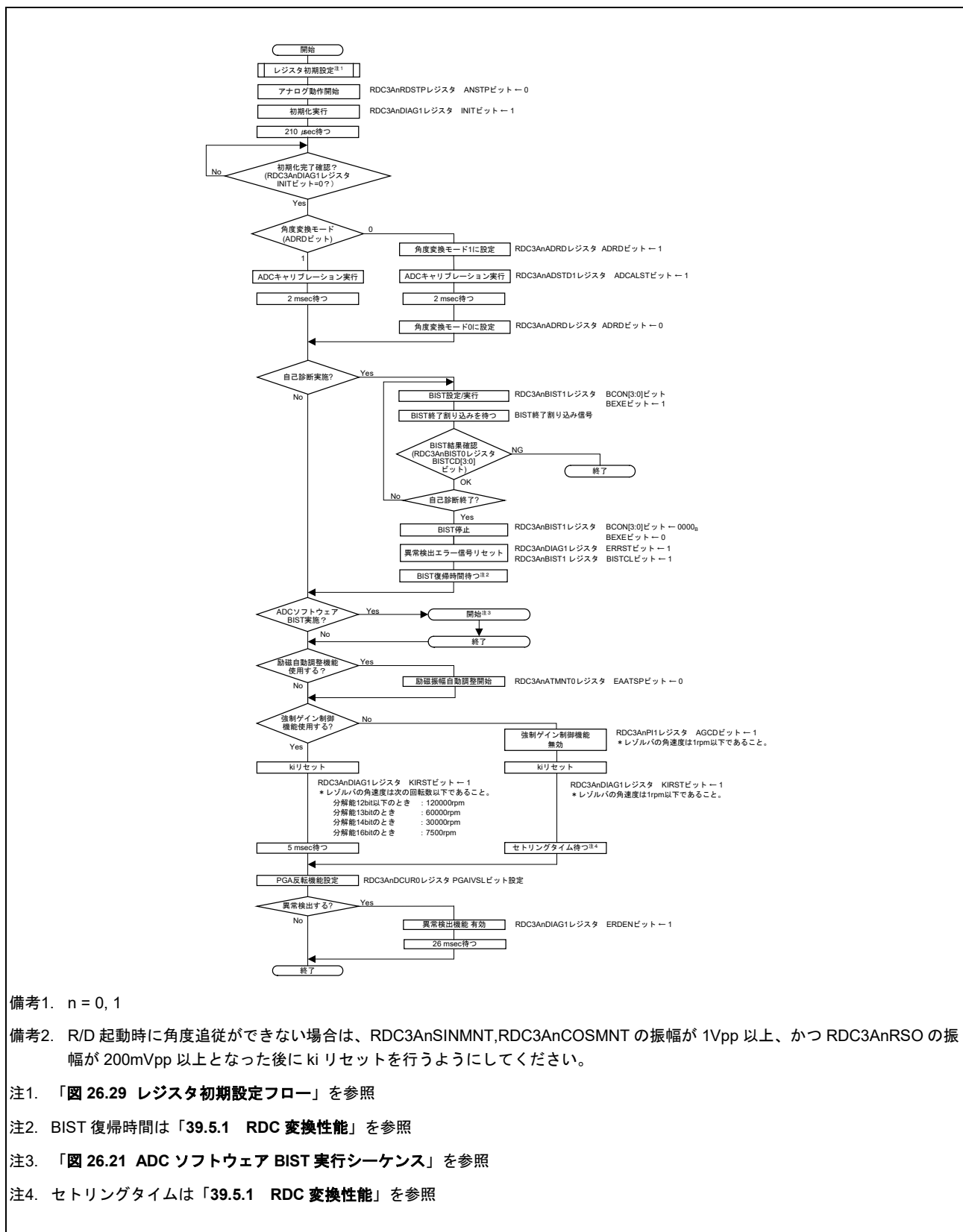
- PGAIIVSL[1:0] = 00 設定 : PGA 反転機能なし (デフォルト)
- PGAIIVSL[1:0] = 01 設定 : phi 出力が反転切り替わり閾値角度を超えた後、励磁クロスが発生した時
- PGAIIVSL[1:0] = 10 設定 : phi 出力が反転切り替わり閾値角度を超えた後、AD 入力の sin,cos 切り替えが発生した時
- PGAIIVSL[1:0] = 11 設定 : phi 出力が反転切り替わり閾値角度を超えた後、励磁クロスが発生し、さらに AD 入力の sin,cos 切り替えが発生した時

角度変換モード 0 使用時 (ADRD = 0) は PGAIIVSL[1:0] = 00 に設定してください。

角度変換モード 1 使用時 (ADRD = 1) において角度変換精度をより向上させたい場合は PGAIIVSL[1:0] を 00 以外に設定してください。

26.5 初期動作手順

図 26.28 に RDC3A 初期動作フローを、図 26.29 にレジスタ初期設定フローを示します。



備考1. n = 0, 1

備考2. R/D 起動時に角度追従ができない場合は、RDC3AnSINMNT,RDC3AnCOSMNT の振幅が 1Vpp 以上、かつ RDC3AnRSO の振幅が 200mVpp 以上となった後に ki リセットを行うようにしてください。

注1. 「図 26.29 レジスタ初期設定フロー」を参照

注2. BIST 復帰時間は「39.5.1 RDC 変換性能」を参照

注3. 「図 26.21 ADC ソフトウェア BIST 実行シーケンス」を参照

注4. セトリングタイムは「39.5.1 RDC 変換性能」を参照

図 26.28 RDC3A 初期動作フロー

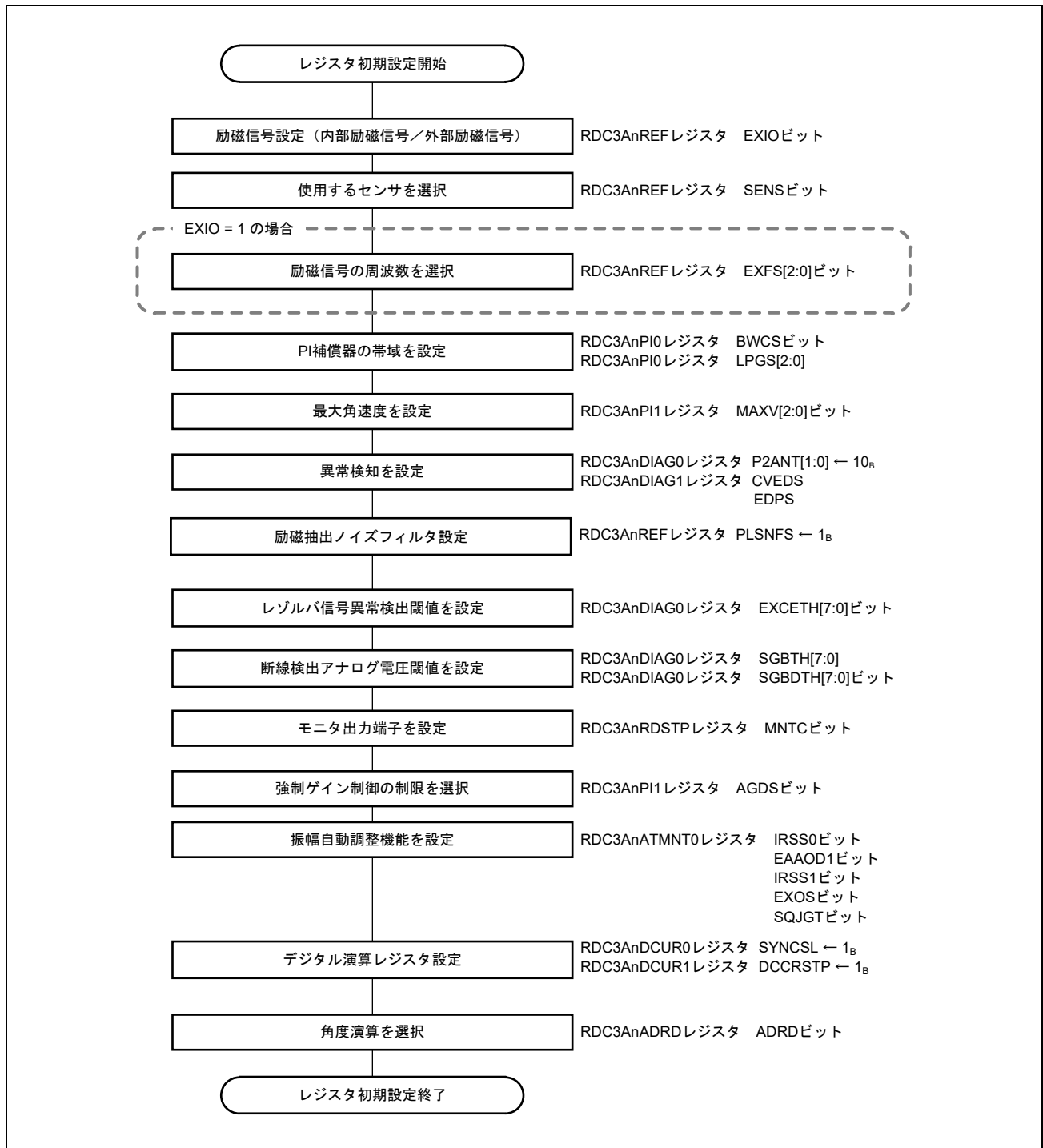


図 26.29 レジスタ初期設定フロー

26.6 レゾルバインタフェース回路

以下に具体的なインタフェース回路を参考例として示します。抵抗値等の定数決定や入出力保護回路などの付加については、各システムに合わせて判断し、十分評価してください。

26.6.1 レゾルバ信号入力（差動）回路

図 26.30 に VR レゾルバ信号入力回路およびモニタ出力の等価回路図を示します。

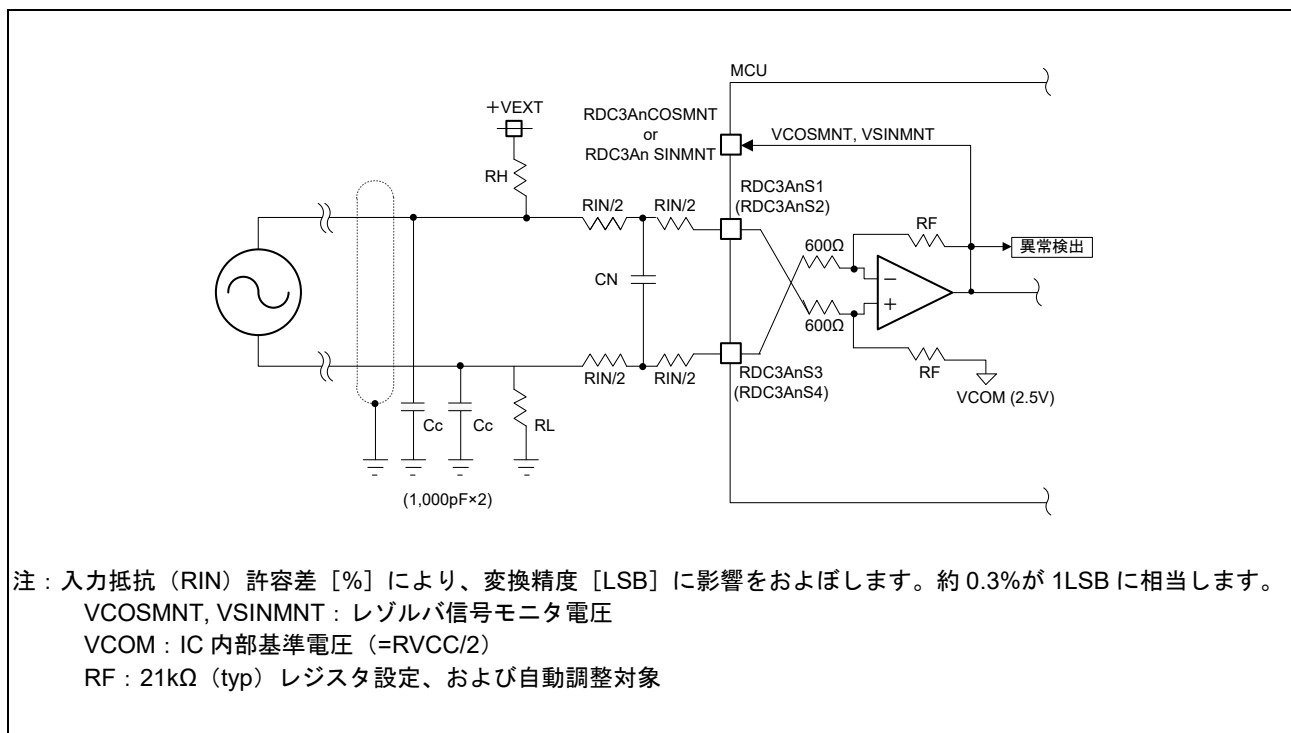


図 26.30 VR レゾルバ信号入力回路およびモニタ出力の等価回路図

- RIN：レゾルバ信号レベル

$VCOSMNT \text{ or } VSINMNT = (VIN) \times (RF / (RIN + 600\Omega))$ が $0.36 \times RVCC \sim 0.64 \times RVCC$ [Vpp] の範囲に収まるように調整してください。

ただし、VIN はレゾルバ端子間信号出力電圧[Vpp]、 $RIN \geq 2[k\Omega]$

- RH および RL：以下の計算値の 8 割～10 割の範囲で抵抗値を決定してください。

$$(1) RH \cong \{(RVCC - VCOM) / (22.0 \times 10^{-6})\} - RIN \quad \text{ただし、} VCOM = RVCC/2[V]$$

$$(2) RL \cong \{VCOM / (22.0 \times 10^{-6})\} - RIN \quad \text{ただし、} VCOM = RVCC/2[V]$$

図 26.31 に DC レゾルバ信号入力を使用する場合の等価回路を示します。

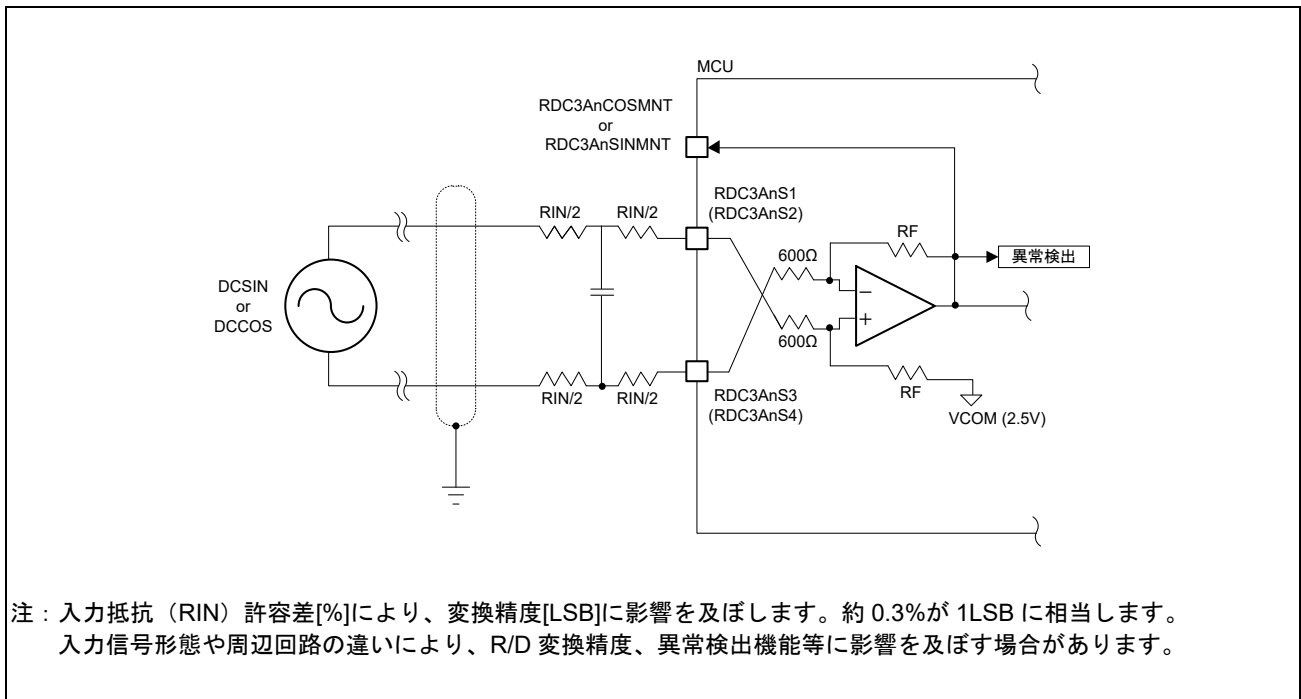


図 26.31 DC レゾルバ信号入力を使用する場合の等価回路

26.6.2 励磁電圧昇圧アンプ回路

26.6.2.1 励磁電圧昇圧アンプ回路 (単電源の場合)

図 26.32 に単電源での励磁電圧昇圧アンプ回路の等価回路を示します。

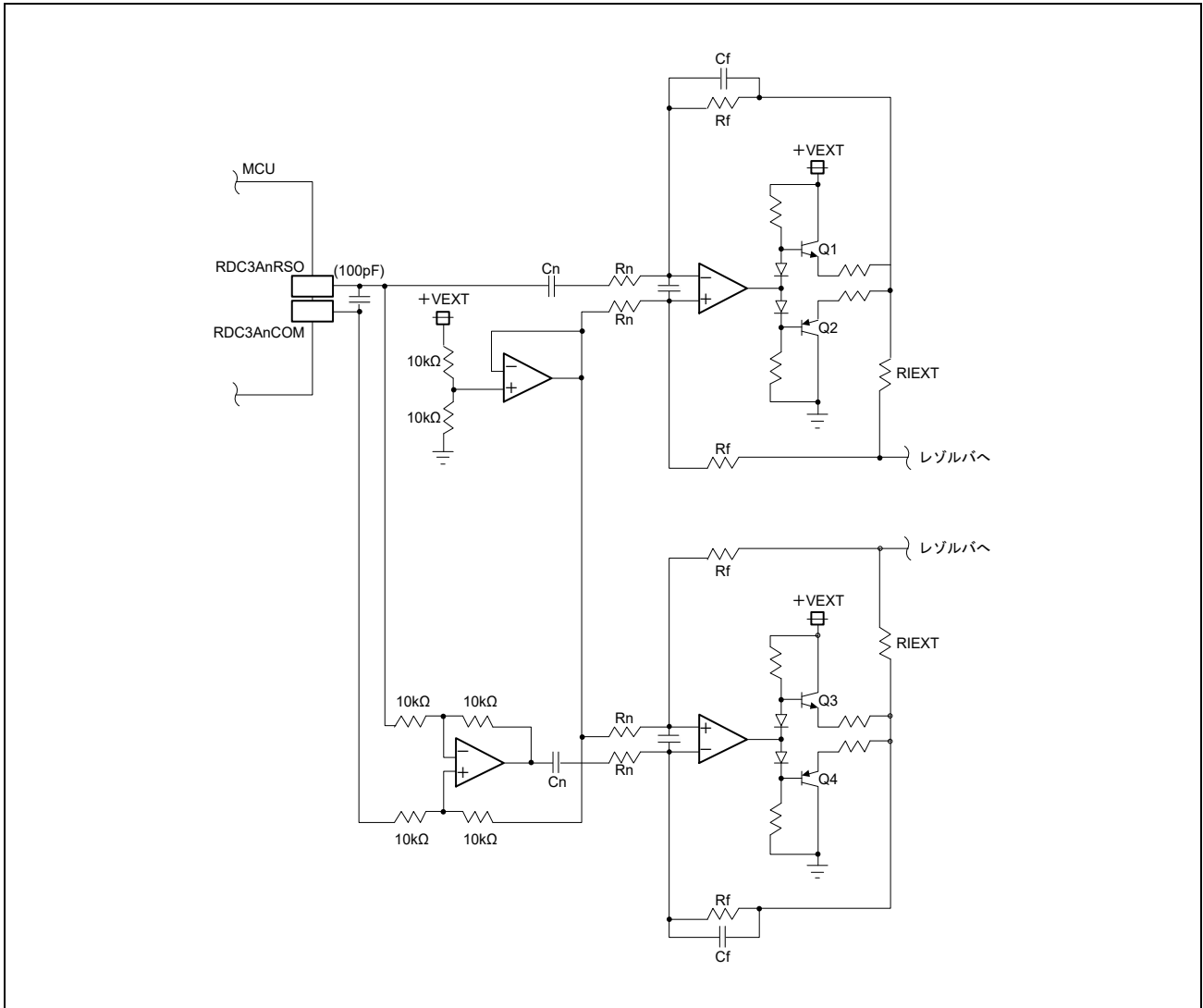


図 26.32 励磁電圧昇圧アンプ回路例 (単電源の場合)

26.6.2.2 励磁電圧昇圧アンプ回路 (両電源の場合)

図 26.33 に両電源での励磁電圧昇圧アンプ回路の等価回路を示します。

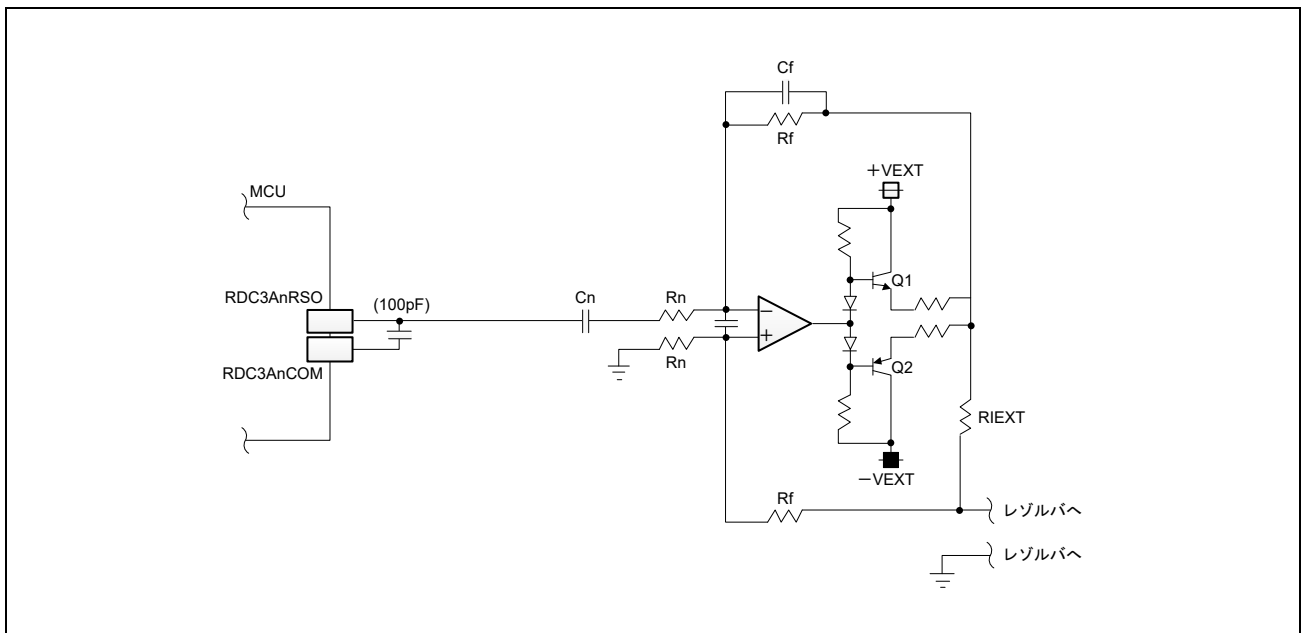


図 26.33 励磁電圧昇圧アンプ回路例 (両電源の場合)

26.6.2.3 励磁電圧昇圧アンプ回路の定数設定方法

参考にした励磁電圧昇圧アンプ回路は、いずれも電流制御方式であり、励磁ライン間の短絡事故による二次故障防止等に有効であるとともに、昇圧によりレゾルバ信号の S/N 比改善が期待できます。

手順①： 外部電源より励磁電圧設定し、励磁電流を求める。

$$V_{REF} = I_{REF} \times Z_{RO}$$

手順②： 励磁電流より回路定数を求める。

$$I_{REF} = (V_{RSO} \times R_f) / (R_{IEXT} \times R_n)$$

【記号の説明】

+VEXT、-VEXT : 外部電源 (励磁電圧昇圧アンプ回路用)

IREF : レゾルバ励磁電流

RIEXT : レゾルバ励磁電流設定用抵抗

VREF : レゾルバ励磁電圧

ZRO : レゾルバ入力インピーダンス (仕様値)

VRSO : RDC3AnRSO 端子出力電圧 (= 2Vpp)

<設定条件>

- $R_{IEXT} \leq (Z_{RO}/10) [\Omega]$
- $R_f \geq 50k\Omega$ 、 $C_n \times R_n \geq 5 \times 10^{-4}[s]$ 、 $C_f \times R_f \leq 5 \times 10^{-6}[s]$
- オペアンプ用電源は、トランジスタバッファ用電源と同じものとする。

26.6.3 レゾルバ励磁信号外部入力方法

26.6.3.1 レゾルバ励磁信号入力回路（単電源）

図 26.34 にレゾルバ励磁信号を外部から入力する場合（単電源）の等価回路を示します。表 26.66 に単電源の場合のレゾルバ励磁信号外部入力回路の付加抵抗値（参考値）を示します。

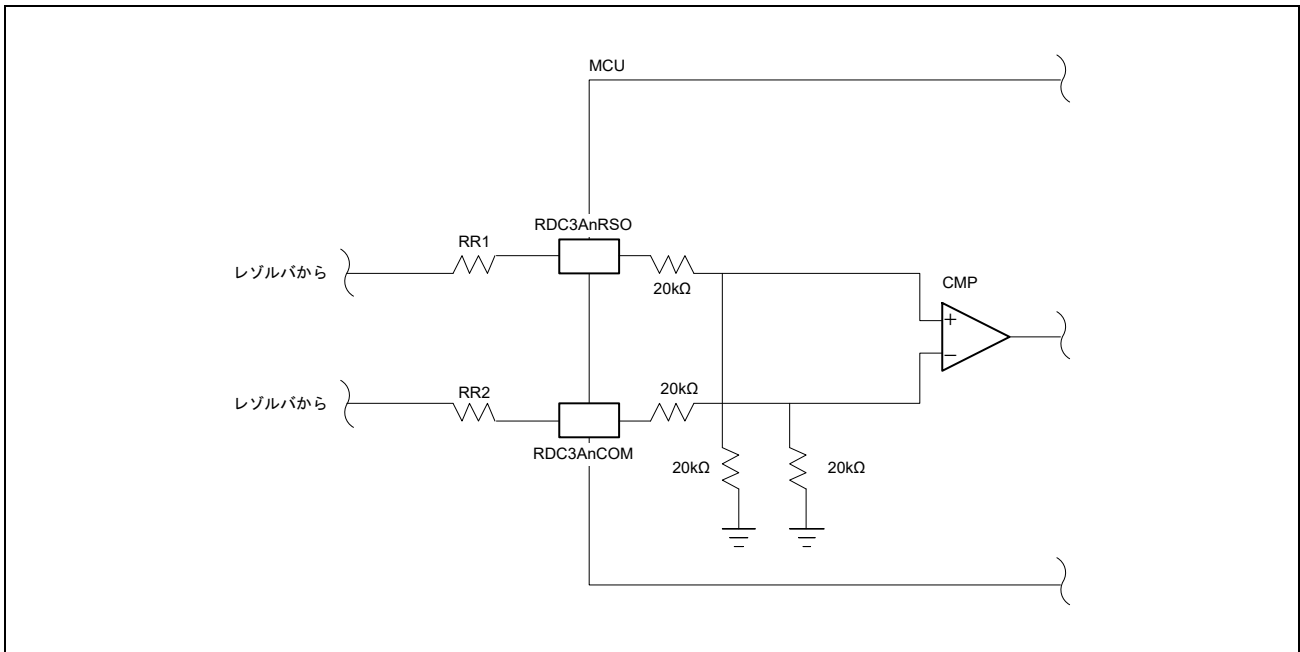


図 26.34 レゾルバ励磁信号外部入力回路（励磁回路用電源が単電源の場合）

表 26.66 レゾルバ励磁信号外部入力回路の付加抵抗値（参考値、単電源の場合）

+VEXT	RR1, RR2
5V 系	0 kΩ
12V 系	47 kΩ
24V 系	120 kΩ

26.6.3.2 レゾルバ励磁信号入力回路 (両電源)

図 26.35 にレゾルバ励磁信号を外部から入力する場合 (両電源) の等価回路を示します。

RDC3AnCOM 端子電圧が 5V を超えないように、Rn1, Rn2 を調整してください。

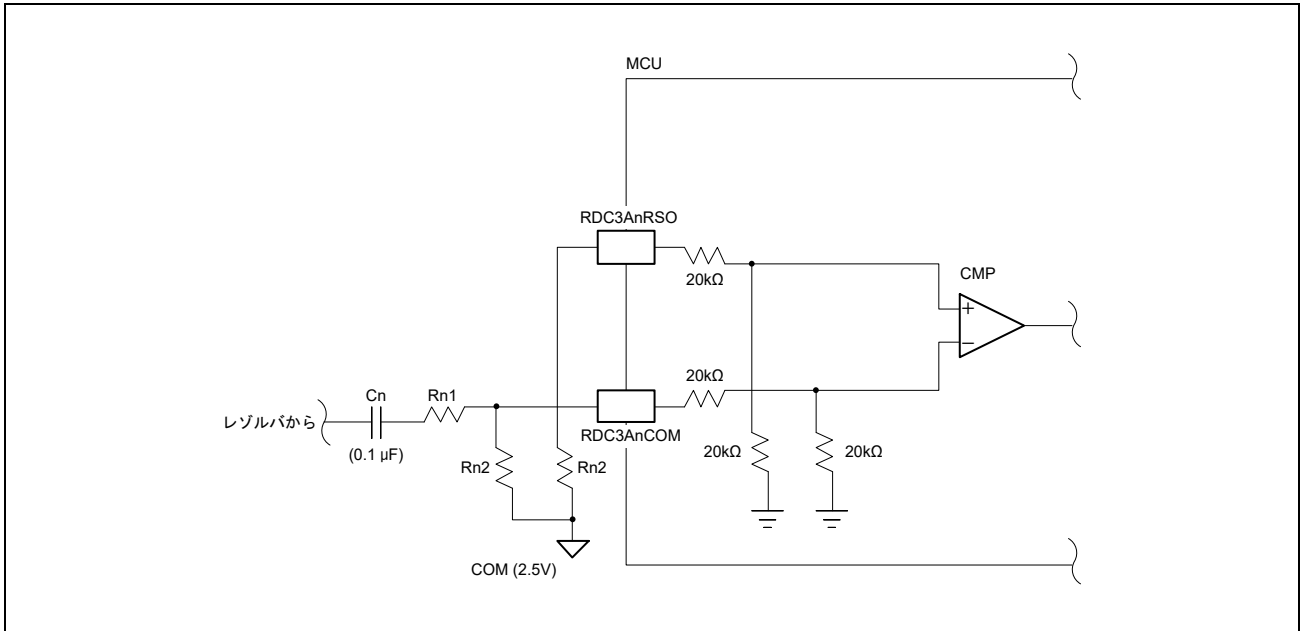


図 26.35 レゾルバ励磁信号外部入力回路 (励磁回路用電源が両電源の場合)

26.7 使用上の注意事項

モータ用のセンサとしてレゾルバを使用する場合、モータの駆動制御形態により、レゾルバ信号は様々なノイズの影響を受けます。R/D 変換を正常に行うためには、レゾルバ信号の S/N 比を十分に確保する必要があります。

本 RDC モジュールは応答性に優れた R/D 変換モジュールであり、耐ノイズ性について考慮されてはいるものの、RDC 単体ですべてのノイズ環境に適応できるものではなく、使用環境に応じて適切な周辺回路の検討が必要です。具体的なノイズ対策方法を、以下 [対策 I] ~ [対策 VIII] に参考として示します。

26.7.1 磁気的外乱ノイズへの対応

モータ漏れ磁束がレゾルバを貫通した場合は、レゾルバ信号自体があたかも角度変化を生じたようにふるまい、結果的に誤動作となります。

[対策 I]

モータとレゾルバの取り付けにおいて、構造/材質の工夫により、レゾルバを貫通する磁気ループを遮断する（磁気シールド効果）ことにより、レゾルバを貫通するモータ漏れ磁束量を最小限に抑える。

[対策 II]

モータ漏れ磁束のレゾルバ貫通が完全に回避できない場合、本来の信号に対する S/N 比を向上させるため、レゾルバ励磁電圧（電流）を上げる。

26.7.2 電気的外乱ノイズへの対応

モータの PWM ドライブにより生じる電気的外乱（スパイクノイズ等）は極めて大きく、様々な経路を経て、レゾルバの励磁/信号ラインや電源ライン等のすべての電気系に影響をおよぼします。

[対策 III]

レゾルバ励磁ラインにコモンモード/ノーマルモードフィルタを挿入し、スパイクノイズ成分を除去する。一般的には、低インピーダンスの励磁ラインにはノイズは乗りやすく、対策の必要性は低い。

[対策 IV]

レゾルバ信号ライン（RDC3AnS1-RDC3AnS3, RDC3AnS2-RDC3AnS4）にコモンモード/ノーマルモードフィルタを挿入し、スパイクノイズ成分を除去する。その際、ノイズに対してのみ有効に働くようなフィルタ時定数の選定が必要であり、本来のレゾルバ信号波形そのものに歪み等の影響をおよぼすものであってはならない。また、RVSS（グラウンド）から見た RDC3AnS1~RDC3AnS4 各端子の電気的ノイズ波形が、同相となるように考慮する。

なお、本対策後も電気的外乱ノイズによるエラーが発生する場合には、レゾルバ信号レベルを低く抑えることが有効である。

[対策 V]

電源（RVCC）ラインは、状況によりバイパスコンデンサ等を挿入する。

26.7.3 その他の一般的対応

[対策 VI]

レゾルバ配線にはツイストペア各対シールド電線を使用し、シールド末端は一括して回路側で処理する (GND (グラウンド) へ接地)。また、モータケーブルとは引き回しを分離する。

[対策 VII]

GND 系を低インピーダンスに強化し、共通インピーダンスによるノイズ低減およびシールド効果を図る。また、モータドライバ放熱器やモータケース等の電位を、制御系 GND 電位で固定するのも方策のひとつである。

[対策 VIII]

モータドライバおよびセンサ回路を物理的に引き離すとともに、個々にシールドケース等で覆う。

第27章 A/D コンバータ (ADCC)

本章では、A/D コンバータ (ADCC) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、ADCC の機能、レジスタについて説明します。

27.1 RH850/C1M-A ADCC の特長

27.1.1 ユニット数

本製品は、以下のユニット数の ADCC を搭載しています。

表 27.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	3	3
名称	ADCCn (n = 0, 1, 2)	ADCCn (n = 0, 1, 2)

表 27.2 添字

添字	意味
n	本章では、ADCC の各ユニットを「n」 (n = 0, 1, 2) で識別します。 たとえば、ADCCn ユニットの仮想チャンネルレジスタ j は ADCCnVCRj と記述します。
j	本章では、ADCC のデータレジスタ数、仮想チャンネル数を「j」 (j = 0~39) で識別します。たとえば、データレジスタ j は ADCCnDRj と記述します。
k	本章では、ADCC の T&H チャンネル番号を「k」 (k = 0~5) で識別します。
p	本章では、物理チャンネルグループを「p」 (p = 0~3) で識別します。
q	本章では、物理サブチャンネルグループを「q」 (q = 0~3) で識別します。
x	本章では、スキャングループを「x」 (x = 0~4) で識別します。
y	本章では、AD タイマ数を「y」 (y = 3~4) で識別します。

27.1.2 レジスタベースアドレス

ADCC のベースアドレスを以下の表に示します。

ADCC のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 27.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ADCC0_base>	FFF2 0000 _H
<ADCC1_base>	FF92 1000 _H
<ADCC2_base>	FFF2 2000 _H

27.1.3 クロック供給

ADCC のクロック供給を以下の表に示します。

表 27.4 クロック供給

ユニット名	ユニット クロック名	供給クロック名
ADCCn	PCLK	CLK_LSB (低速周辺クロック)
	clkad	CLKC_LSB (非変調低速周辺クロック)

27.1.4 割り込み要求

ADCC の割り込み要求を以下の表に示します。ADCCn のスキャングループ x 終了割り込みは ADInx で表します。

表 27.5 割り込み要求

割り込み名 (概要)		割り込み番号	DMA トリガ番号		DTS トリガ番号	
			1st	2nd	1st	2nd
ADCC0						
ADI00	ADCC0 スキャングループ 0 終了割り込み	243	0	—	0	—
ADI01	ADCC0 スキャングループ 1 終了割り込み	244	1	—	1	—
ADI02	ADCC0 スキャングループ 2 終了割り込み	245	2	—	2	—
ADI03	ADCC0 スキャングループ 3 終了割り込み	246	3	—	3	—
ADI04	ADCC0 スキャングループ 4 終了割り込み	247	4	—	4	—
ADE0	ADCC0 AD エラー割り込み	258	—	—	—	—
ADCC1						
ADI10	ADCC1 スキャングループ 0 終了割り込み	248	5	—	5	—
ADI11	ADCC1 スキャングループ 1 終了割り込み	249	6	—	6	—
ADI12	ADCC1 スキャングループ 2 終了割り込み	250	7	—	7	—
ADI13	ADCC1 スキャングループ 3 終了割り込み	251	8	—	8	—
ADI14	ADCC1 スキャングループ 4 終了割り込み	252	9	—	9	—
ADE1	ADCC1 AD エラー割り込み	259	—	—	—	—
ADCC2						
ADI20	ADCC2 スキャングループ 0 終了割り込み	253	10	—	10	—
ADI21	ADCC2 スキャングループ 1 終了割り込み	254	11	—	11	—
ADI22	ADCC2 スキャングループ 2 終了割り込み	255	12	—	12	—
ADI23	ADCC2 スキャングループ 3 終了割り込み	256	13	—	13	—
ADI24	ADCC2 スキャングループ 4 終了割り込み	257	14	—	14	—
ADE2	ADCC2 AD エラー割り込み	260	—	—	—	—

— : 割り当てなし

注 1. 1st : Primary Channel 、 2nd : Secondary Channel

27.1.5 リセット要因

ADCC のリセット要因を以下に示します。ADCC は以下のリセット要因で初期化されます。

表 27.6 リセット要因

ユニット名	リセット要因
ADCCn	すべてのリセット要因

27.1.6 外部入出力信号

ADCC の外部入出力信号とトラック & ホールド回路 (T&H 回路) の端子割り当てを以下の表に示します。

ADCC に外部出力信号はありません。

表 27.7 外部入出力信号 (1/2)

ユニット 信号名	概要	ポート端子 兼用信号名	T&H 回路の 割り当て	対象製品	
				C1M-A2 252 pin	C1M-A1 176 pin
AVcc0	ADCC0 電源端子	A0VCC	—	○	○
AVss0	ADCC0 グランド端子	A0VSS	—	○	○
AVcc1	ADCC1 電源端子	A1VCC	—	○	○
AVss1	ADCC1 グランド端子	A1VSS	—	○	○
AVcc2	ADCC2 電源端子	A2VCC	—	○	○
Avss2	ADCC2 グランド端子	A2VSS	—	○	○
AVREFH0	ADCC0 基準電圧端子	A0VREFH	—	○	○
AVREFH1	ADCC1 基準電圧端子	A1VREFH	—	○	○
AVREFH2	ADCC2 基準電圧端子	A2VREFH	—	○	○
AN000	アナログ入力端子 000	ADCC0I00	T&H 回路 0	○	○
AN001	アナログ入力端子 001	ADCC0I01	T&H 回路 1	○	○
AN002	アナログ入力端子 002	ADCC0I02	T&H 回路 2	○	○
AN003	アナログ入力端子 003	ADCC0I03	T&H 回路 3	○	○
AN010	アナログ入力端子 010	ADCC0I10	T&H 回路 4	○	○
AN011	アナログ入力端子 011	ADCC0I11	T&H 回路 5	○	○
AN012	アナログ入力端子 012	ADCC0I12	—	○	○
AN013	アナログ入力端子 013	ADCC0I13	—	○	○
AN020	アナログ入力端子 020	ADCC0I20	—	○	○
AN021	アナログ入力端子 021	ADCC0I21	—	○	○
AN022	アナログ入力端子 022	ADCC0I22	—	○	—
AN023	アナログ入力端子 023	ADCC0I23	—	○	—
AN030	アナログ入力端子 030	ADCC0I30	—	○	○
AN031	アナログ入力端子 031	ADCC0I31	—	○	—
AN032	アナログ入力端子 032	ADCC0I32	—	○	—
AN033	アナログ入力端子 033	ADCC0I33	—	○	—
AN100	アナログ入力端子 100	ADCC1I00	—	○	○
AN101	アナログ入力端子 101	ADCC1I01	—	○	○
AN102	アナログ入力端子 102	ADCC1I02	T&H 回路 0	○	○
AN103	アナログ入力端子 103	ADCC1I03	T&H 回路 1	○	○
AN110	アナログ入力端子 110	ADCC1I10	T&H 回路 2	○	○

表 27.7 外部入出力信号 (2/2)

ユニット 信号名	概要	ポート端子 兼用信号名	T&H 回路の 割り当て	対象製品	
				C1M-A2 252 pin	C1M-A1 176 pin
AN111	アナログ入力端子 111	ADCC1I11	T&H 回路 3	○	○
AN112	アナログ入力端子 112	ADCC1I12	T&H 回路 4	○	○
AN113	アナログ入力端子 113	ADCC1I13	T&H 回路 5	○	○
AN120	アナログ入力端子 120	ADCC1I20	—	○	○
AN121	アナログ入力端子 121	ADCC1I21	—	○	○
AN122	アナログ入力端子 122	ADCC1I22	—	○	○
AN123	アナログ入力端子 123	ADCC1I23	—	○	○
AN130	アナログ入力端子 130	ADCC1I30	—	○	—
AN131	アナログ入力端子 131	ADCC1I31	—	○	○
AN132	アナログ入力端子 132	ADCC1I32	—	○	○
AN133	アナログ入力端子 133	ADCC1I33	—	○	—
AN200	アナログ入力端子 200	ADCC2I00	T&H 回路 0	○	○
AN201	アナログ入力端子 201	ADCC2I01	T&H 回路 1	○	○
AN202	アナログ入力端子 202	ADCC2I02	T&H 回路 2	○	○
AN203	アナログ入力端子 203	ADCC2I03	T&H 回路 3	○	○
AN210	アナログ入力端子 210	ADCC2I10	—	○	○
AN211	アナログ入力端子 211	ADCC2I11	—	○	—
AN212	アナログ入力端子 212	ADCC2I12	—	○	—
AN213	アナログ入力端子 213	ADCC2I13	—	○	—
AN220	アナログ入力端子 220	ADCC2I20	—	○	—
AN221	アナログ入力端子 221	ADCC2I21	—	○	—
AN222	アナログ入力端子 222	ADCC2I22	—	○	—
AN223	アナログ入力端子 223	ADCC2I23	—	○	—
AN230	アナログ入力端子 230	ADCC2I30	—	○	—
AN231	アナログ入力端子 231	ADCC2I31	—	○	—
AN232	アナログ入力端子 232	ADCC2I32	—	○	—
AN233	アナログ入力端子 233	ADCC2I33	—	○	—

27.1.7 アナログ入力端子の命名規則

アナログ入力端子名はユニット信号名またはポート端子兼用信号名により表します。アナログ入力端子を物理チャンネルと呼び、アナログ入力端子の名称は、物理チャンネルグループ番号と物理サブチャンネル番号で表します。

アナログ入力端子のユニット信号名とポート端子兼用信号名の命名規則を以下に示します。

ユニット信号名：AN + ユニット番号 + 物理チャンネルグループ + 物理サブチャンネル

ポート端子兼用信号名：ADCC + ユニット番号 + I + 物理チャンネルグループ + 物理サブチャンネル

たとえば、AN120 (ADCC1I20) は、ADCC1、物理チャンネルグループ = 2、物理サブチャンネル = 0 となります。

27.2 概要

27.2.1 機能概要

ADCC には以下の機能があります。

表 27.8 ADCC 機能概要

項目	概要				
分解能	12 ビット				
A/D 変換方式	逐次比較方式				
変換時間	1 チャネルあたり 1.0 μ s				
仮想チャネル (仮想 ch) 数	ADCC0 : 40 チャネル (仮想 ch0~39) ADCC1 : 40 チャネル (仮想 ch0~39) ADCC2 : 40 チャネル (仮想 ch0~39)				
スキャングループ (SG) 数	ADCC0 : 5 グループ (SG0~4) ADCC1 : 5 グループ (SG0~4) ADCC2 : 5 グループ (SG0~4)				
A/D 変換モード	A/D 変換は以下の 4 種類です。 <ul style="list-style-type: none"> ● 通常 A/D 変換 ● ホールド値 A/D 変換 ● A/D 変換回路自己診断 ● 加算 A/D 変換 				
スキャンモード	スキャンモードは以下の 2 種類です。 <ul style="list-style-type: none"> ● マルチサイクルスキャンモード : 指定された回数のスキャンを実行する ● 連続スキャンモード : スキャンを無制限に繰り返し実行する 				
A/D 変換開始トリガ	A/D 変換開始トリガは以下の 3 種類です。 <ul style="list-style-type: none"> ● ハードウェアトリガ (HW トリガ) ● ソフトウェアトリガ (SW トリガ) ● AD タイマトリガ (SG3、SG4 のみ対応) 注意: 同時トラック & ホールド機能を使用する場合、AD タイマトリガは使用できません。				
スキャングループ処理の優先順位	スキャングループの処理中に別のスキャングループの処理を割り込むことができます。 優先順位は <table style="margin-left: 40px; border: none;"> <tr> <td style="text-align: center;">高い</td> <td style="text-align: center;">低い</td> </tr> <tr> <td style="text-align: center;">SG4 > SG3 > SG2 > SG1 > SG0</td> <td></td> </tr> </table> となります。	高い	低い	SG4 > SG3 > SG2 > SG1 > SG0	
高い	低い				
SG4 > SG3 > SG2 > SG1 > SG0					
サスペンド機能	サスペンド方式は以下の 3 種類です。 <ul style="list-style-type: none"> ● 同期サスペンド ● 非同期サスペンド ● 同期/非同期ミックス型サスペンド 同時トラック & ホールド機能を使用する場合、必ず非同期サスペンドを選択してください。				
割り込みと DMA, DTS 転送機能	以下の割り込みを発生させることができます。 <ul style="list-style-type: none"> ● スキャングループ x 終了割り込み ● AD エラー割り込み スキャングループ x 終了割り込み信号で、DMA, DTS 転送を起動させることができます。				
EMU への A/D 変換結果転送機能	EMU に対し、以下の信号を出力することができます。 <ul style="list-style-type: none"> ● AD 変換完了信号 (仮想 ch0~2) ● AD 変換データ (仮想 ch0~2) ● SG4 スキャン終了信号 				
自己診断機能	以下の自己診断機能を搭載しています。 <ul style="list-style-type: none"> ● A/D 変換回路自己診断 ● 端子レベル自己診断 ● 断線検出自己診断 				

27.2.2 ブロック図

ADCC0 のブロック図を **図 27.1** に、ADCC1 のブロック図を **図 27.2** に、ADCC2 のブロック図を **図 27.3** に示します。

(1) ADCC0 の構成

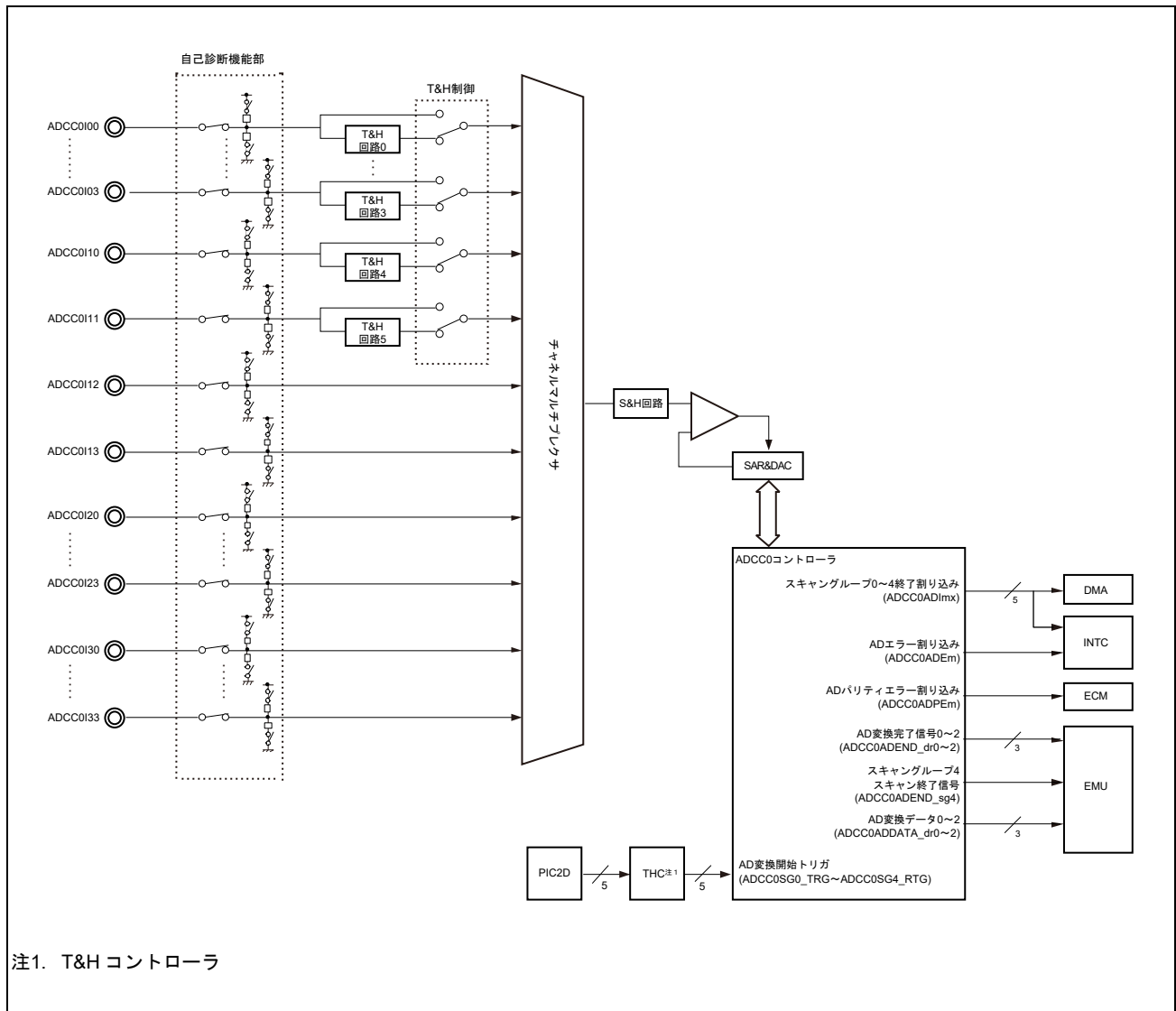
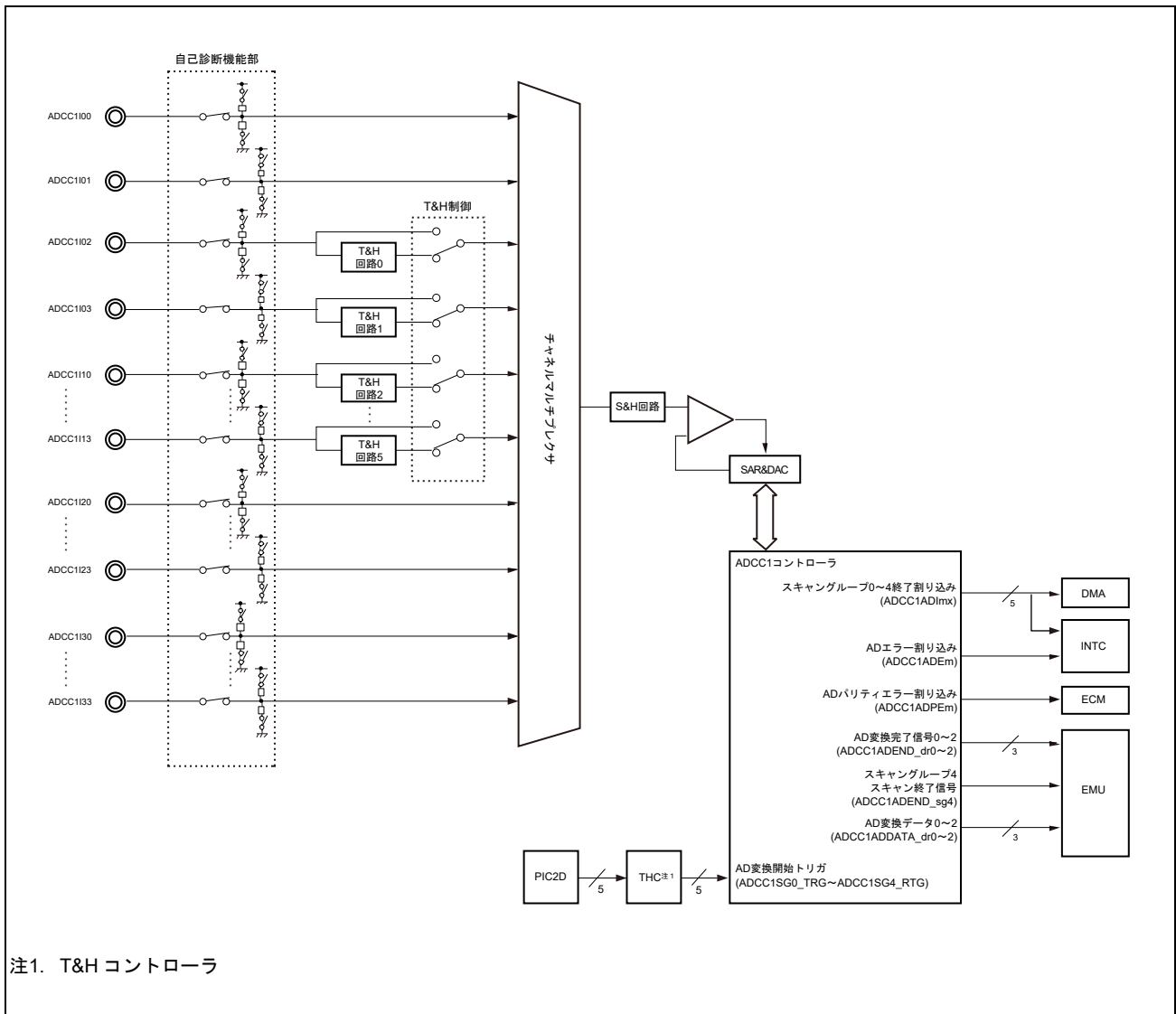


図 27.1 ADCC0 のブロック図

(2) ADCC1 の構成



注1. T&H コントローラ

図 27.2 ADCC1 のブロック図

(3) ADCC2 の構成

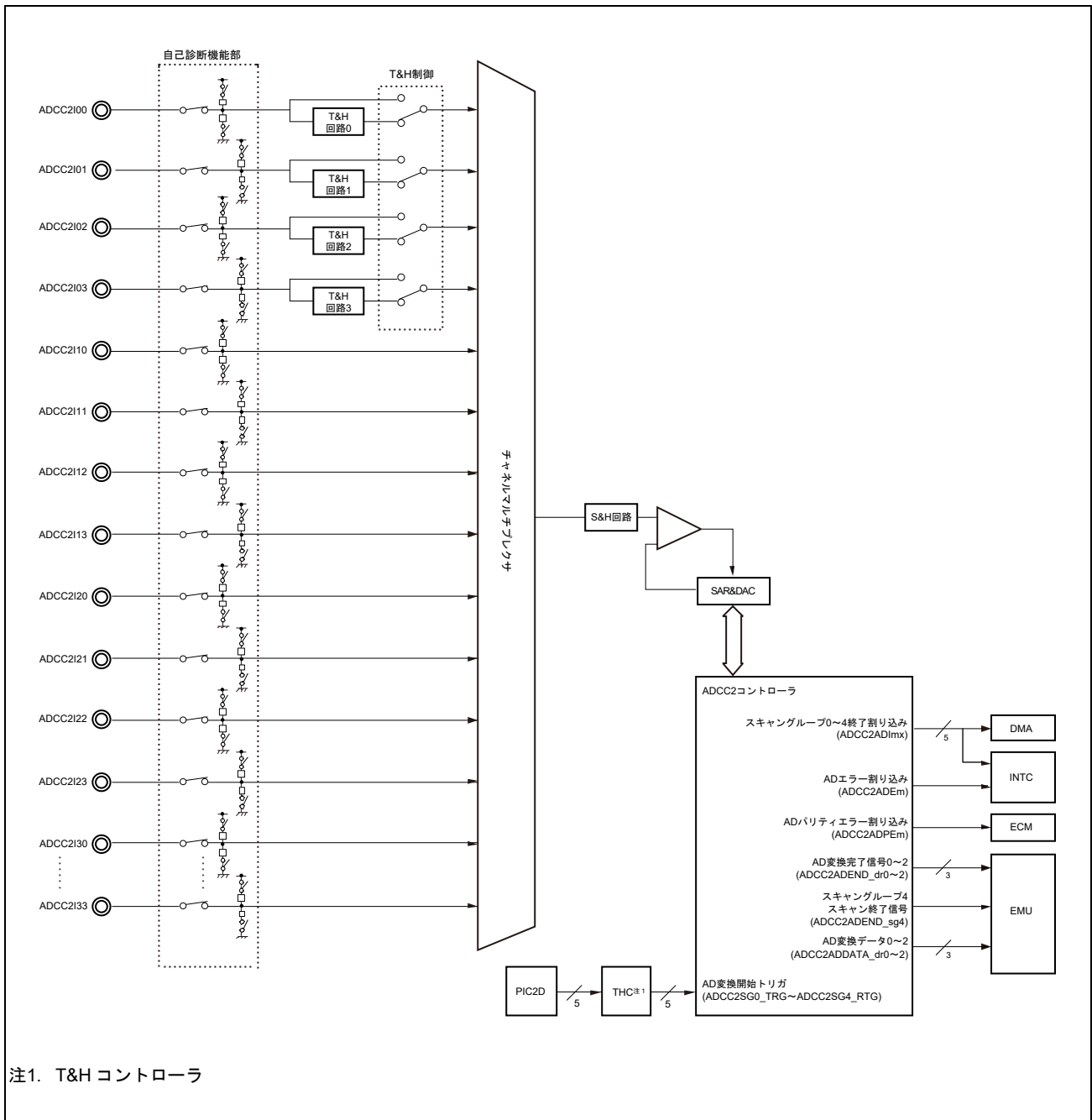


図 27.3 ADCC2 のブロック図

(4) ADCC の機能ブロック図

以下に ADCC の機能ブロック図を示します。

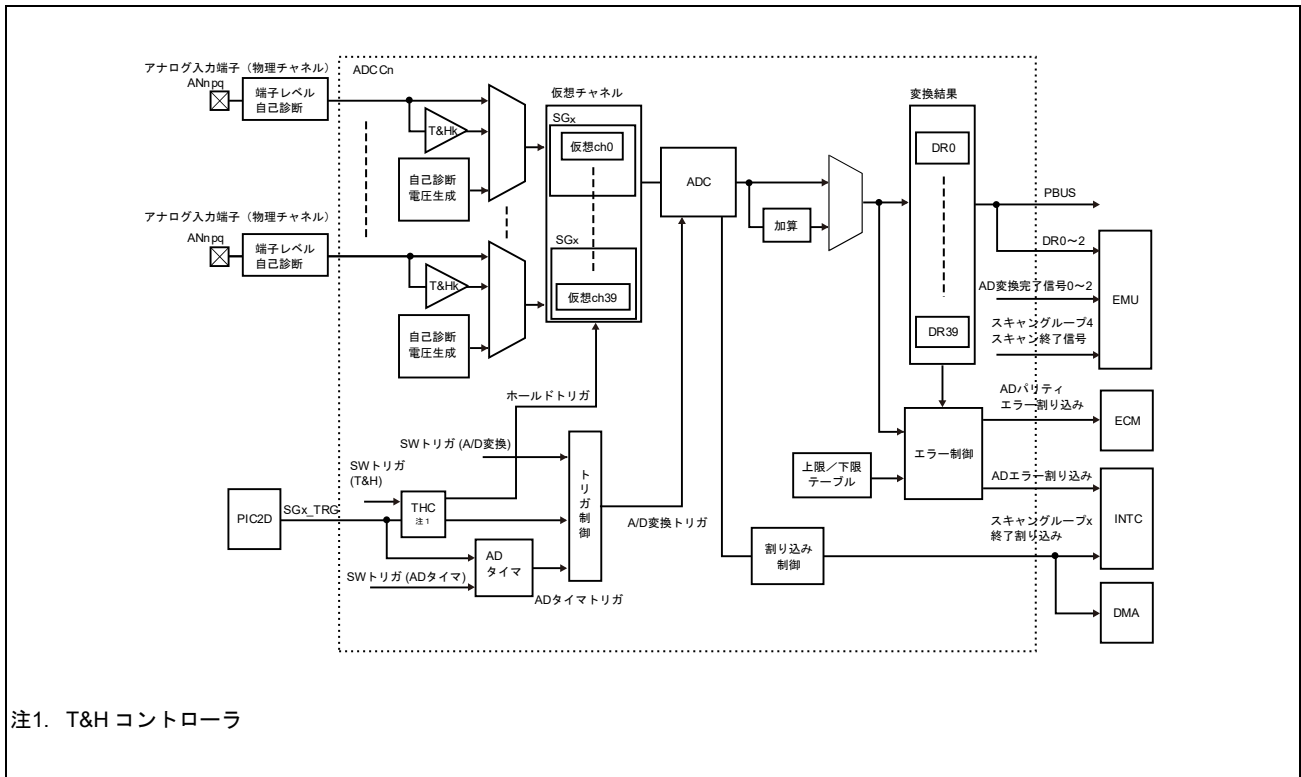


図 27.4 ADCC の機能ブロック図

27.2.3 仮想チャネル (仮想 ch)

仮想チャネルとは、アナログ入力端子 (物理チャネル)、T&Hk 回路出力、A/D 変換回路自己診断出力のいずれかを任意に選択できるアナログ入力経路のことであり、各 ADCC には 40 チャネル分の仮想チャネルがあります。A/D 変換した結果は、仮想チャネルと同番号のデータレジスタに格納されます。

以下にイメージ図を示します。

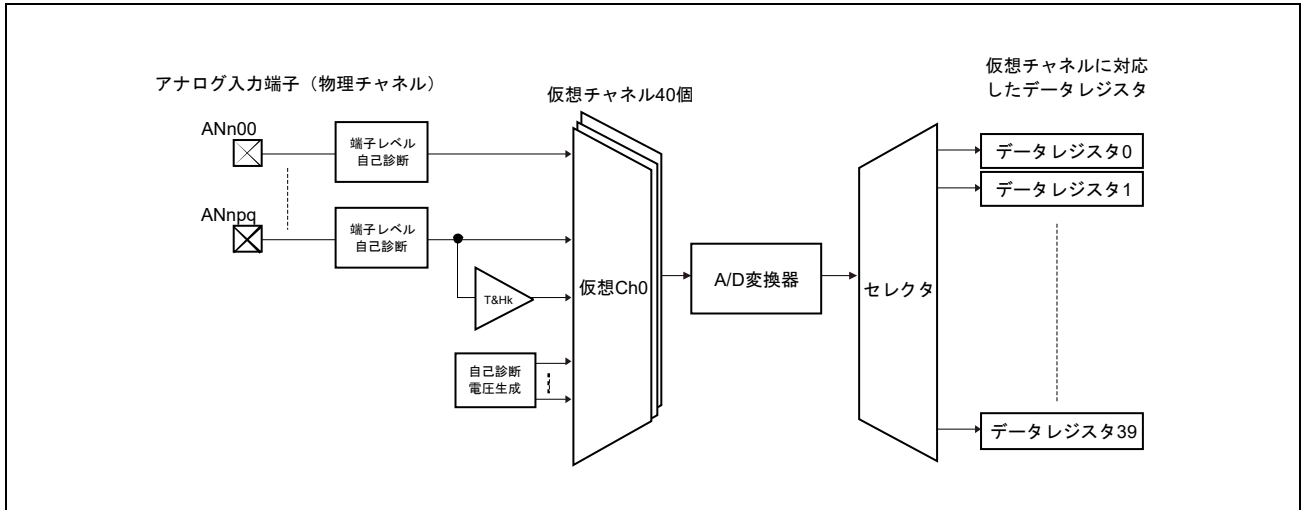


図 27.5 仮想チャネルイメージ図

27.2.4 スキャングループ (SG)

スキャングループとは、複数の仮想チャンネルをグルーピングしたものです。

ADCC には 5 つのスキャングループがあります。A/D 変換の優先順位は SG4 > SG3 > SG2 > SG1 > SG0 です。

SGx は連続した仮想チャンネルをグルーピングできます。グルーピングは、開始ポインタ (ADCCnSGVCSPx レジスタ) と終了ポインタ (ADCCnSGVCEPx レジスタ) を用いて設定します。未使用のスキャングループは A/D 変換トリガ入力を無効に設定してください。

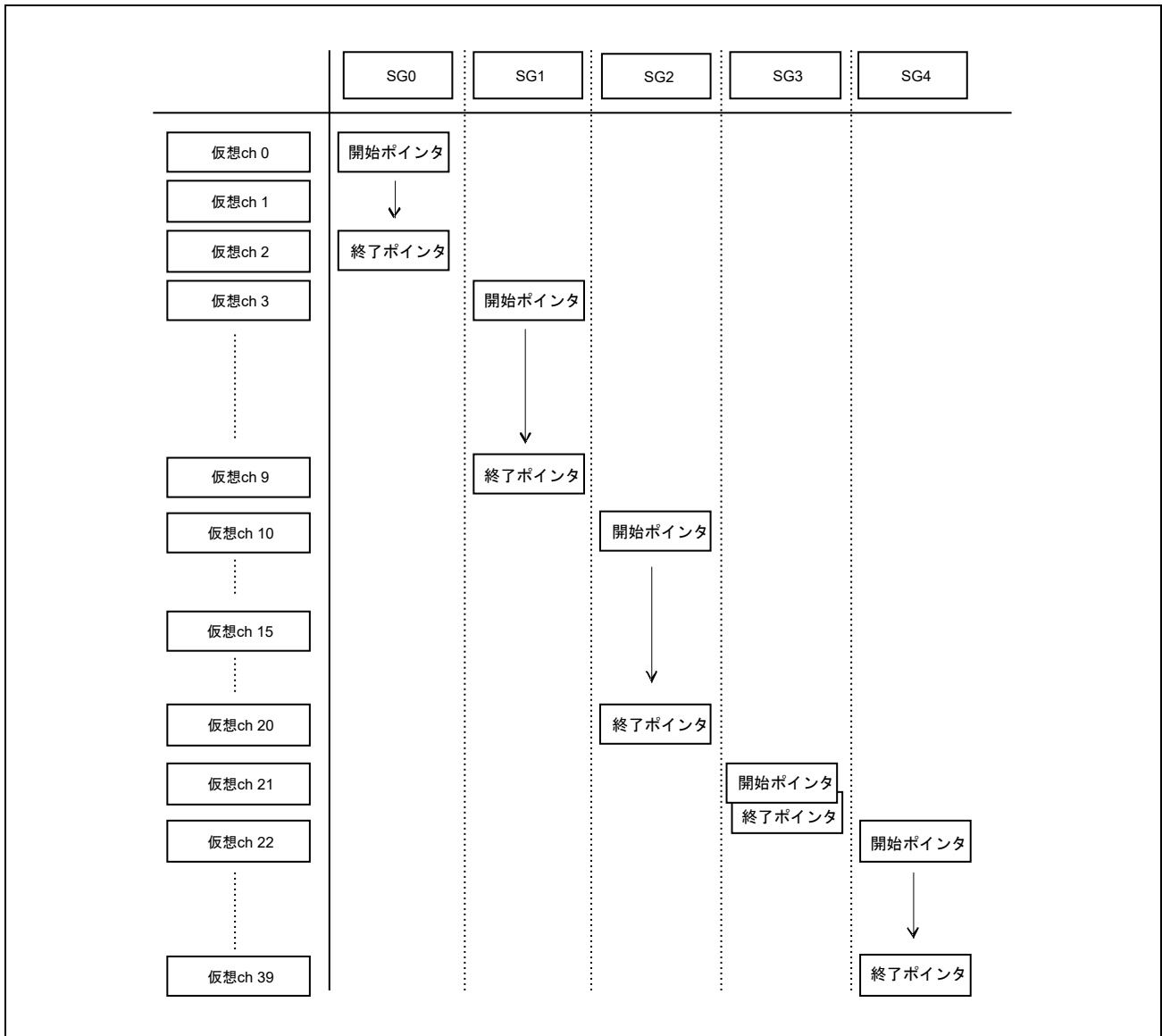


図 27.6 SG 割り当て例

27.3 レジスタ

27.3.1 レジスタ一覧

ADCC のレジスタ一覧を以下の表に示します。

<ADCC0_base>, <ADCCn_base> は「**27.1.2 レジスタベースアドレス**」を参照してください。

表 27.9 レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
ADCCn	AD 同期開始制御レジスタ	ADCC0ADSYNSTCR	<ADCC0_base> + 300 _H
ADCCn	AD タイマ同期開始制御レジスタ	ADCC0ADTSYNSTCR	<ADCC0_base> + 304 _H
ADCCn	仮想チャネルレジスタ j	ADCCnVCRj	<ADCCn_base> + j × 4 _H
ADCCn	データレジスタ j	ADCCnDRj	<ADCCn_base> + 100 _H + j × 2 _H
ADCCn	データ付帯情報レジスタ j	ADCCnDIRj	<ADCCn_base> + 200 _H + j × 4 _H
ADCCn	AD 終了レジスタ	ADCCnADHALTR	<ADCCn_base> + 380 _H
ADCCn	AD 制御レジスタ 1	ADCCnADCR1	<ADCCn_base> + 384 _H
ADCCn	AD 制御レジスタ 2	ADCCnADCR2	<ADCCn_base> + 398 _H
ADCCn	T&H サンプリング開始制御レジスタ	ADCCnTHSMPSTCR	<ADCCn_base> + 400 _H
ADCCn	T&H 停止制御レジスタ	ADCCnTHSTPCR	<ADCCn_base> + 404 _H
ADCCn	T&H 制御レジスタ	ADCCnTHCR	<ADCCn_base> + 408 _H
ADCCn	T&H グループ A ホールド開始制御レジスタ	ADCCnTHAHLSTCR	<ADCCn_base> + 410 _H
ADCCn	T&H グループ B ホールド開始制御レジスタ	ADCCnTHBHLSTCR	<ADCCn_base> + 414 _H
ADCCn	T&H グループ A 制御レジスタ	ADCCnTHACR	<ADCCn_base> + 420 _H
ADCCn	T&H グループ B 制御レジスタ	ADCCnTHBCR	<ADCCn_base> + 424 _H
ADCCn	T&H イネーブルレジスタ	ADCCnTHER	<ADCCn_base> + 430 _H
ADCCn	T&H グループ選択レジスタ	ADCCnTHGSR	<ADCCn_base> + 434 _H
ADCCn	セーフティ制御レジスタ	ADCCnSFTCR	<ADCCn_base> + 3C0 _H
ADCCn	端子レベル自己診断制御レジスタ	ADCCnTDCR	<ADCCn_base> + 3C4 _H
ADCCn	断線検出制御レジスタ	ADCCnODCR	<ADCCn_base> + 3C8 _H
ADCCn	上限/下限テーブルレジスタ 0	ADCCnULLMTBR0	<ADCCn_base> + 3CC _H
ADCCn	上限/下限テーブルレジスタ 1	ADCCnULLMTBR1	<ADCCn_base> + 3D0 _H
ADCCn	上限/下限テーブルレジスタ 2	ADCCnULLMTBR2	<ADCCn_base> + 3D4 _H
ADCCn	エラークリアレジスタ	ADCCnECR	<ADCCn_base> + 3D8 _H
ADCCn	上限/下限エラーレジスタ	ADCCnULER	<ADCCn_base> + 3DC _H
ADCCn	オーバーライトエラーレジスタ	ADCCnOWER	<ADCCn_base> + 3E0 _H
ADCCn	パリティエラーレジスタ	ADCCnPER	<ADCCn_base> + 3E4 _H
ADCCn	ID エラーレジスタ	ADCCnIDER	<ADCCn_base> + 3E8 _H
ADCCn	スキャングループ x 開始制御レジスタ	ADCCnSGSTCRx	<ADCCn_base> + x × 80 _H + 480 _H
ADCCn	AD タイマ y 開始制御レジスタ	ADCCnADTSTCRy	<ADCCn_base> + y × 80 _H + 488 _H
ADCCn	AD タイマ y 終了制御レジスタ	ADCCnADTENDCRy	<ADCCn_base> + y × 80 _H + 48C _H
ADCCn	スキャングループ x 制御レジスタ	ADCCnSGCRx	<ADCCn_base> + x × 80 _H + 490 _H
ADCCn	スキャングループ x 開始仮想チャネルポインタ	ADCCnSGVCSPx	<ADCCn_base> + x × 80 _H + 494 _H
ADCCn	スキャングループ x 終了仮想チャネルポインタ	ADCCnSGVCEPx	<ADCCn_base> + x × 80 _H + 498 _H
ADCCn	スキャングループ x マルチサイクルレジスタ	ADCCnSGMCYCRx	<ADCCn_base> + x × 80 _H + 49C _H
ADCCn	スキャングループ x 仮想チャネルポインタレジスタ	ADCCnSGVCPRx	<ADCCn_base> + x × 80 _H + 4A0 _H
ADCCn	スキャングループ x ステータスレジスタ	ADCCnSGSRx	<ADCCn_base> + x × 80 _H + 4A4 _H
ADCCn	AD タイマ初期位相レジスタ y	ADCCnADTIPRy	<ADCCn_base> + y × 80 _H + 4A8 _H

表 27.9 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
ADCCn	AD タイマ周期レジスタ y	ADCCnADTPRRy	<ADCCn_base> + y × 80 _H + 4AC _H
ADCCn	スキャングループ x 上限値/下限値テーブル選択レジスタ	ADCCnULLMSRx	<ADCCn_base> + x × 80 _H + 4B0 _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 0	ADCCnVCULLMTBR0	<ADCCn_base> + 700 _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 1	ADCCnVCULLMTBR1	<ADCCn_base> + 704 _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 2	ADCCnVCULLMTBR2	<ADCCn_base> + 708 _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 3	ADCCnVCULLMTBR3	<ADCCn_base> + 70C _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 4	ADCCnVCULLMTBR4	<ADCCn_base> + 710 _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 5	ADCCnVCULLMTBR5	<ADCCn_base> + 714 _H
ADCCn	仮想チャネルしきい値テーブルレジスタ 6	ADCCnVCULLMTBR6	<ADCCn_base> + 718 _H

27.3.2 ADCC0ADSYNSTCR — AD 同期開始制御レジスタ

ADCC0 と ADCC1 と ADCC2 のスキングループの A/D 変換を同時に開始する制御を行うためのレジスタです。本レジスタは、ADCC0 にだけあります。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCC0_base> + 300_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADSTART
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.10 ADCC0ADSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADSTART	ADCC0 と ADCC1 と ADCC2 の SG の A/D 変換を同時に開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : A/D 変換開始 A/D 変換を同時に開始させる SG の SG 同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) を有効にしてください。

27.3.3 ADCC0ADTSYNSTCR — AD タイマ同期開始制御レジスタ

ADCC0 と ADCC1 と ADCC2 の各 AD タイマのカウント動作を同時に開始する制御を行うためのレジスタです。本レジスタは、ADCC0 にだけあります。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCC0_base> + 304_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTSTART
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.11 ADCC0ADTSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADTSTART	ADCC0 と ADCC1 と ADCC2 の AD タイマのカウント動作を同時に開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : AD タイマカウント開始 AD タイマのカウント動作を同時に開始させる AD タイマ同期開始イネーブル (ADCCnSGCRx.ADTSTARTE ビット) を有効にしてください。

27.3.4 ADCCnVCRj — 仮想チャンネルレジスタ j

仮想チャンネルの設定を行うためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + j × 4H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VCULME	VCLLME	—	—	—	VCULLMTBS[2:0]			—	—	—	—	—	—	PUE	PDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNVCLS[2:0]			—	—	—	—	—	ADIE	—	GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.12 ADCCnVCRj レジスタの内容 (1/3)

ビット位置	ビット名	機能
31	VCULME	仮想チャンネル上限しきい値超過通知イネーブルビット 0: 仮想チャンネルの AD 変換結果の上限超過通知を実施しません 1: 仮想チャンネルの AD 変換結果の上限超過通知を実施します
30	VCLLME	仮想チャンネル下限しきい値未滿通知イネーブルビット 0: 仮想チャンネルの AD 変換結果の下限未滿通知を実施しません 1: 仮想チャンネルの AD 変換結果の下限未滿通知を実施します
29~27	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
26~24	VCULLMTBS[2:0]	仮想チャンネル上限/下限しきい値テーブルレジスタ選択ビット 比較対象とする仮想チャンネル上限/下限しきい値テーブルレジスタを選択します 0H: ADCCnVCULLMTBR0 を選択 1H: ADCCnVCULLMTBR1 を選択 2H: ADCCnVCULLMTBR2 を選択 3H: ADCCnVCULLMTBR3 を選択 4H: ADCCnVCULLMTBR4 を選択 5H: ADCCnVCULLMTBR5 を選択 6H: ADCCnVCULLMTBR6 を選択 7H: 設定禁止
23~18	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

表 27.12 ADCCnVCRj レジスタの内容 (2/3)

ビット位置	ビット名	機能
17	PUE	<p>物理チャンネル IO 内 Pull-Up 抵抗制御</p> <p>0_H: 対象の物理チャンネル IO に対し、Pull-Up 抵抗をオフ</p> <p>1_H: 対象の物理チャンネル IO に対し、Pull-Up 抵抗をオン</p> <p>PUE = 1 のとき、断線検出機能・断線検出自己診断機能を使用する際に、本仮想チャンネルの GCTRL[5:0] で設定した物理チャンネル IO 内の Pull-Up 抵抗をオンにします。</p> <p>PDE と PUE を同時に 1 に設定することは禁止です。</p> <p>注 1. PUE = 1 の場合、T&H は使用禁止です。</p> <p>注 2. PUE = 1 の場合、端子レベル自己診断機能は使用禁止です。</p> <p>注 3. ADCCnVCRj.PUE を 1_B に設定する場合、ADCCnTDCR.TDE = 0_B である必要があります。同様に ADCCnTDCR.TDE を 1_B に設定する場合、ADCCnTDCR.TDE = 1_B である期間に AD 変換の対象となる ADCCnVCRj の PUE = 0_B である必要があります。</p>
16	PDE	<p>物理チャンネル IO 内 Pull-Down 抵抗制御</p> <p>0_H: 対象の物理チャンネル IO に対し、Pull-Down 抵抗をオフ</p> <p>1_H: 対象の物理チャンネル IO に対し、Pull-Down 抵抗をオン</p> <p>PDE = 1 のとき、断線検出・断線検出診断機能を使用する際に、本仮想チャンネルで設定した物理チャンネル IO 内の Pull-Down 抵抗をオンにします。</p> <p>PDE と PUE を同時に 1 に設定することは禁止です。</p> <p>注 1. PDE = 1 の場合、T&H は使用禁止です。</p> <p>注 2. PDE = 1 の場合、端子レベル自己診断機能は使用禁止です。</p> <p>注 3. ADCCnVCRj.PDE を 1_B に設定する場合、ADCCnTDCR.TDE = 0_B である必要があります。同様に ADCCnTDCR.TDE を 1_B に設定する場合、ADCCnTDCR.TDE = 1_B である期間に AD 変換の対象となる ADCCnVCRj の PDE = 0_B である必要があります。</p>
15~13	CNVCLS[2:0]	<p>変換モードを設定します。</p> <p>0_H: 通常 A/D 変換</p> <p>1_H: ホールド値 A/D 変換</p> <p>3_H: A/D 変換回路自己診断</p> <p>4_H: 加算 A/D 変換</p> <p>上記以外: 設定禁止</p>
12~8	予約ビット	<p>リードした場合はリセット後の値が読めます。</p> <p>ライトする場合はリセット後の値を書いてください。</p>
7	ADIE	<p>スキャングループ x 終了割り込み信号 (ADInx) の出力許可/禁止を設定します。</p> <p>0: 出力禁止</p> <p>1: 出力許可</p>
6	予約ビット	<p>リードした場合はリセット後の値が読めます。</p> <p>ライトする場合はリセット後の値を書いてください。</p>

表 27.12 ADCCnVCRj レジスタの内容 (3/3)

ビット位置	ビット名	機能
5~0	GCTRL[5:0]	<p>各変換モードでの A/D 変換設定を行います。</p> <ul style="list-style-type: none"> • 通常 A/D 変換 (CNVCLS[2:0] = 0_H) 時 : GCTRL[5:2] : 物理チャネルグループ GCTRL[1:0] : 物理サブチャネル • ホールド値 A/D 変換 (CNVCLS[2:0] = 1_H) 時 : 00_H : T&H0 ホールド値を A/D 変換 01_H : T&H1 ホールド値を A/D 変換 02_H : T&H2 ホールド値を A/D 変換 03_H : T&H3 ホールド値を A/D 変換 04_H : T&H4 ホールド値を A/D 変換 05_H : T&H5 ホールド値を A/D 変換 上記以外 : 設定禁止 • A/D 変換回路自己診断 (CNVCLS[2:0] = 3_H) 時 : 00_H : AVREFH × 0 04_H : AVREFH × 1/4 08_H : AVREFH × 1/2 0C_H : AVREFH × 3/4 10_H : AVREFH × 1 上記以外 : 設定禁止 • 加算 A/D 変換 (CNVCLS[2:0] = 4_H) 時 : GCTRL[5:2] : 物理チャネルグループ GCTRL[1:0] : 物理サブチャネル

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.5 ADCCnDRj — データレジスタ j

A/D 変換結果データを格納するレジスタです。ADCCnDRj レジスタと ADCCnDRj + 1 レジスタが連続で配置されているため、32 ビット (ADCCnDRj と ADCCnDRj + 1) で読み出しが可能です。

リード&クリアイネーブル (ADCCnSFTCR.RDCLRE ビット) が 1 (有効) のとき、読み出しは必ず 32 ビット (ADCCnDRj_j + 1) で行ってください。レジスタの構成は図 27.7 を参照してください。

アクセス	16 ビット単位でリードのみ可能です。
アドレス	<ADCCn_base> + 100 _H + j × 2 _H
リセット後の値	0000 _H

	ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		DRj[15:0]																
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.13 ADCCnDRj レジスタの内容

ビット位置	ビット名	機能
15~0	DRj[15:0]	データレジスタ A/D 変換結果データを格納します。

注 意

ADCCnDIRj.WFLG と ADCCnDIR(j+1).WFLG は、ADCCnDRj の 16 ビット単位の読み出しでクリアされるため注意してください。

ADCCnADCR2.DFMT ビットで、符号付き固定小数点フォーマットまたは符号付き固定整数フォーマットに変更することができます。以下にフォーマットのデータ配列を示します。図中の 2 回変換、4 回変換は加算 A/D 変換時のデータフォーマットです。

- 符号付き固定小数点フォーマット (ADCCnADCR2.DFMT = 0) のとき

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1 回変換	S	A/D 変換結果													0	0	0
2 回変換	S	A/D 変換結果 (2 回加算値)													0	0	
4 回変換	S	A/D 変換結果 (4 回加算値)													0		

↑
小数点位置

- 符号付き固定整数フォーマット (ADCCnADCR2.DFMT = 1) のとき

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1 回変換	S	S	S	S	A/D 変換結果											
2 回変換	S	S	S	A/D 変換結果 (2 回加算値)												
4 回変換	S	S	A/D 変換結果 (4 回加算値)													

↑
小数点位置

S	: 符号ビット (0 固定)
0	: 0 拡張

データレジスタ j を 32 ビットで読み出す場合は、ADCCnDR j _{$j+1$} を読み出してください。ADCCnDR j _{$j+1$} のデータ配置を以下に示します。

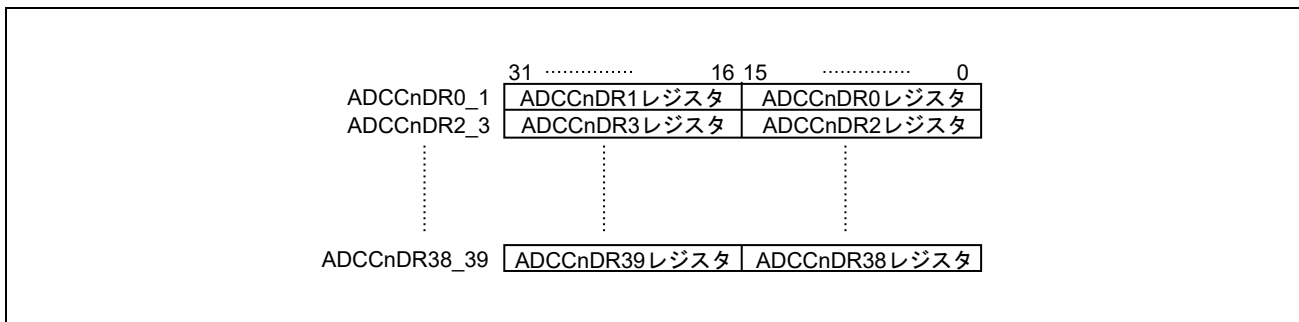


図 27.7 32 ビットリード時のデータレジスタ配置

27.3.6 ADCCnDIRj — データ付帯情報レジスタ j

データレジスタ (ADCCnDRj レジスタ) と A/D 変換値に付帯する情報を格納するレジスタです。読み出しは必ず 32 ビットで行ってください。

リード&クリア設定 (ADCCnSFTCR.RDCLRE ビット) が 1 のとき、ADCCnDRj レジスタまたは ADCCnDIRj レジスタの読み出しで ADCCnDRj レジスタと ADCCnDIRj レジスタがクリア (ALL “0”) されます。ADCCnDIRj.WFLG ビットは、リード&クリア設定 (ADCCnSFTCR.RDCLRE ビット) によらず、ADCCnDRj レジスタまたは ADCCnDIRj レジスタの読み出しでクリアされます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> +200H + j × 4H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	WFLG	PRTY	—	—	—	ID[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.14 ADCCnDIRj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31~26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ セット条件： ADCCnDRj レジスタに A/D 変換値が格納されたとき クリア条件： ADCCnDRj レジスタまたは ADCCnDIRj レジスタを読みだしたとき
24	PRTY	パリティ ADCCnDRj ビットと ADCCnDIR.ID[4:0]に対するパリティビットです。偶数パリティです。
23~21	予約ビット	リードした場合はリセット後の値が読めます。

表 27.14 ADCCnDIRj レジスタの内容 (2/2)

ビット位置	ビット名	機能
20~16	ID[4:0]	<p>ID 情報：実際に A/D 変換された物理チャネル情報を格納します。</p> <ul style="list-style-type: none"> • 通常 A/D 変換：(CNVCLS[2:0] = 0_H) のとき ID[4:2]：物理チャネルグループを意味します。 ID[1:0]：物理サブチャネルを意味します。 • ホールド値 A/D 変換：(CNVCLS[2:0] = 1_H) のとき ID[2:0]：ホールド値を A/D 変換した T&H を意味します。 0_H：T&H0 のホールド値を A/D 変換 1_H：T&H1 のホールド値を A/D 変換 2_H：T&H2 のホールド値を A/D 変換 3_H：T&H3 のホールド値を A/D 変換 4_H：T&H4 のホールド値を A/D 変換 5_H：T&H5 のホールド値を A/D 変換 上記以外の ID ビットは 0 固定です。 • ADcore 自己診断 A/D 変換：(CNVCLS[2:0] = 3_H) のとき ID[4:0]は ADcore 自己診断レベルを意味します。 10_H：AVREFH × 1 0C_H：AVREFH × 3/4 08_H：AVREFH × 1/2 04_H：AVREFH × 1/4 00_H：AVREFH × 0 • 加算モード A/D 変換 (CNVCLS[2:0] = 4_H) のとき ID[4:2]：物理チャネルグループを意味します。 ID[1:0]：物理サブチャネルを意味します。
15~0	DRj[15:0]	<p>データレジスタ A/D 変換結果データとして ADCCnDRj レジスタと同じデータが格納されます。</p>

27.3.7 ADCCnADHALTR — AD 終了レジスタ

ADCC を終了するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 380_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.15 ADCCnADHALTR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HALT	全 SG の A/D 変換および全 AD タイマを強制終了します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : 終了

27.3.8 ADCCnADCR1 — AD 制御レジスタ 1

ADCC の共通制御 (サスペンド方式) を設定するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 384_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 27.16 ADCCnADCR1 レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	SUSMTD[1:0]	サスペンド方式を選択します。 0 : 同期サスペンド 1 : 同期/非同期ミックス型サスペンド 2 : 非同期サスペンド 3 : 設定禁止

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキュングループ停止中に行ってください。

27.3.9 ADCCnADCR2 — AD 制御レジスタ 2

ADCC の共通制御（データフォーマット、加算 A/D 変換時の加算回数）を設定するためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 398_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	DFMT	—	—	—	ADDNT
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	RW	R	R	R	R/W

表 27.17 ADCCnADCR2 レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4	DFMT	ADCCnDRj レジスタと ADCCnDIRj レジスタのデータフォーマット設定です。 0 : 符号付き固定小数点フォーマット 1 : 符号付き整数フォーマット データフォーマットの詳細は、「27.3.5 ADCCnDRj — データレジスタ」を参照してください。
3~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	ADDNT	加算 A/D 変換時の加算回数を選択します。 0 : 2 回加算 1 : 4 回加算

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.10 ADCCnTHSMPSTCR — T&H サンプルング開始制御レジスタ

全 T&H のサンプルングを開始制御するレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 400_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SMPST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.18 ADCCnTHSMPSTCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SMPST	全 T&H のサンプルングを開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : サンプルング開始

27.3.11 ADCCnTHSTPCR — T&H 停止制御レジスタ

全 T&H の停止制御するレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 404_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	THSTP
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.19 ADCCnTHSTPCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	THSTP	全 T&H を停止します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : 停止

ADCCnTHSTPCR.THSTP ビットは ADCCnADHALTR レジスタにより全 SG を停止した後に使用してください。

また、ADCCnTHSTPCR.THSTP ビットによる停止後、自動サンプルング機能 (ADCCnTHCR.ASMPSK ビット) による再サンプルング動作を防止するために、ADCCnTHER.THkE をすべて 0 としてください。

27.3.12 ADCCnTHCR — T&H 制御レジスタ

T&H のサンプリングを制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 408_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ASMPMSK
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 27.20 ADCCnTHCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	ASMPMSK	ホールド値 A/D 変換が終了したときに、自動的にサンプリングを行うかを選択します。 0 : 自動サンプリングする 1 : 自動サンプリングしない

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.13 ADCCnTHAHLDDSTCR — T&H グループ A ホールド開始制御レジスタ

T&H グループ A のホールドを開始制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 410_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.21 ADCCnTHAHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ A のホールドを開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : ホールド開始

27.3.14 ADCCnTHBHLSTCR — T&H グループ B ホールド開始制御レジスタ

T&H グループ B のホールドを開始制御するためのレジスタです。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 414_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.22 ADCCnTHBHLSTCR レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ B のホールドを開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : ホールド開始

27.3.15 ADCCnTHACR — T&H グループ A 制御レジスタ

T&H グループ A を制御するためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 420_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	HLDCTE	HLDTTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	RW	RW	R	R	R/W	R/W

表 27.23 ADCCnTHACR レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	HLDCTE	ホールド制御の有効/無効を選択します。 0: 無効 1: ホールド制御を有効
4	HLDTTE	H/W トリガ信号の有効/無効を選択します。 0: 無効 1: ADCCnTHACR.SGS[1:0] ビットで選択したスキャングループの H/W トリガ信号を有効
3、2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	SGS[1:0]	T&H グループ A のスキャングループを選択します。 0: SG1 1: SG2 2: SG3 3: SG4

注 意

同時トラック&ホールド機能を H/W トリガで使用する場合、ADCCnTHACR.HLDCTE ビットと ADCCnTHACR.HLDTTE ビットを 1 に設定してください。S/W トリガで使用する場合、ADCCnTHACR.HLDCTE ビットを 1 にして、ADCCnTHACR.HLDTTE ビットを 0 に設定してください。

T&H グループ A、T&H グループ B を使用して制御を行う場合、ADCCnTHACR.SGS[1:0] ビットと ADCCnTHBCR.SGS[1:0] ビットを同じスキャングループに設定しないでください。本レジスタは、A/D 変換停止状態で、設定してください。

ADCCnTHACR.HLDCTE ビットを 1 に設定する場合、ADCCnTHACR.SGS[1:0] ビットで選択する SGx の ADCCnSGCRx.TRGMD1 ビットを 0、ADCCnSGCRx.TRGMD0 ビットを 1 に設定してください。

27.3.16 ADCCnTHBCR — T&H グループ B 制御レジスタ

T&H グループ B を制御するためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 424_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	HLDCTE	HLDTTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	RW	RW	R	R	R/W	R/W

表 27.24 ADCCnTHBCR レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5	HLDCTE	ホールド制御の有効/無効を選択します。 0: 無効 1: ホールド制御を有効
4	HLDTTE	H/W トリガ信号の有効/無効を選択します。 0: 無効 1: ADCCnTHBCR.SGS[1:0] ビットで選択したスキャングループの H/W トリガ信号を有効
3、2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	SGS[1:0]	T&H グループ B のスキャングループを選択します。 0: SG1 1: SG2 2: SG3 3: SG4

注 意

同時トラック & ホールド機能を H/W トリガで使用する場合、ADCCnTHBCR.HLDCTE ビットと ADCCnTHBCR.HLDTTE ビットを 1 に設定してください。S/W トリガで使用する場合、ADCCnTHBCR.HLDCTE ビットを 1 にして、ADCCnTHBCR.HLDTTE ビットを 0 に設定してください。

T&H グループ A、T&H グループ B を使用して制御を行う場合、ADCCnTHACR.SGS[1:0] ビットと ADCCnTHBCR.SGS[1:0] ビットを同じスキャングループに設定しないでください。本レジスタは、A/D 変換停止状態で、設定してください。

ADCCnTHBCR.HLDCTE ビットを 1 に設定する場合、ADCCnTHBCR.SGS[1:0] ビットで選択する SGx の ADCCnSGCRx.TRGMD1 ビットを 0、ADCCnSGCRx.TRGMD0 ビットを 1 に設定してください。

27.3.17 ADCCnTHER — T&H イネーブルレジスタ

各 T&H 回路の有効/無効を制御するためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 430_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	TH5E	TH4E	TH3E	TH2E	TH1E	TH0E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.25 ADCCnTHER レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5~0	THkE	T&Hk 回路のトラック & ホールド動作の有効/無効を設定します。 0 : 無効 1 : 有効

27.3.18 ADCCnTHGSR — T&H グループ選択レジスタ

各 T&H の T&H グループを選択するためのレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 434_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TH5GS	—	TH4GS	—	TH3GS	—	TH2GS	—	TH1GS	—	TH0GS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

表 27.26 ADCCnTHGSR レジスタの内容

ビット位置	ビット名	機能
15~11、9、7、5、3、1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
10、8、6、4、2、0	THkGS	T&Hk の T&H グループを選択します。 0 : T&H グループ A を選択 1 : T&H グループ B を選択

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.19 ADCCnSFTCR — セーフティ制御レジスタ

セーフティ制御に関するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 3C0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RDCLRE	ULEIE	OWEIE	PEIE	IDEIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 27.27 ADCCnSFTCR レジスタの内容

ビット位置	ビット名	機能
7~5	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4	RDCLRE	リード&クリア動作の実行/禁止を設定します。 ADCCnDRj レジスタまたは ADCCnDIRj レジスタを読みだしたとき、ADCCnDRj レジスタかつ ADCCnDIRj レジスタのクリア (ALL "0") をおこなうかどうかを設定します。 0: リード&クリアしない。 1: リード&クリアする。
3	ULEIE	上限/下限エラー割り込み許可/禁止を設定します。 0: 禁止 1: 許可
2	OWEIE	オーバーライトエラー割り込み許可/禁止を設定します。 0: 禁止 1: 許可
1	PEIE	パリティエラー許可/禁止を設定します。 0: 禁止 1: 許可
0	IDEIE	ID エラー割り込み許可/禁止を設定します。 0: 禁止 1: 許可

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.20 ADCCnTDCR — 端子レベル自己診断制御レジスタ

端子レベル自己診断を制御するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 3C4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TDE	—	—	—	—	—	TDLV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 27.28 ADCCnTDCR レジスタの内容

ビット位置	ビット名	機能
7	TDE	端子レベル自己診断の実行/禁止を設定します。 0: 端子レベル自己診断をしない 1: 端子レベル自己診断をする 1にすると、すべてのアナログ端子が入力バッファと切り離されます。
6~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1, 0	TDLV[1:0]	端子レベル自己診断時に印加する診断電圧を設定します。 0: 偶数物理サブチャネルに AVSS、奇数物理サブチャネルに AVCC を印加。 1: 偶数物理サブチャネルに AVCC、奇数物理サブチャネルに AVSS を印加。 2: 偶数物理サブチャネルに AVSS、奇数物理サブチャネルに 1/2 × AVCC を印加。 3: 偶数物理サブチャネルに 1/2 × AVCC、奇数物理サブチャネルに AVSS を印加。

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキュングループ停止中に行ってください。

27.3.21 ADCCnODCR — 断線検出制御レジスタ

断線検出を制御するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + 3C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ODDE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.29 ADCCnODCR レジスタの内容

ビット位置	ビット名	機能
31	ODDE	断線検出機能の自己診断の実行/禁止を設定します。 0: 断線検出機能の診断をしない 1: 断線検出機能の診断をする 1にすると、ADCCnのすべてのアナログ端子の断線検出機能の自己診断が有効となります。
30~0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキュングループ停止中に行ってください。

27.3.22 ADCCnULLMTBR0~2 — 上限/下限テーブルレジスタ 0~2

A/D 変換値の上限値と下限値を設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス ADCCnULLMTBR0 : <ADCCn_base> + 3CC_H

ADCCnULLMTBR1 : <ADCCn_base> + 3D0_H

ADCCnULLMTBR2 : <ADCCn_base> + 3D4_H

リセット後の値 7FFE 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[15:0]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 27.30 ADCCnULLMTBR レジスタの内容

ビット位置	ビット名	機能
31~16	ULMTB[15:0]	A/D 変換値の上限値を設定します。 設定範囲 : 0000 _H ~7FFE _H 必ず、符号付き固定小数点フォーマットで設定してください。 ULMTB[15] と ULMTB[0] は常に 0 固定です。 加算モード A/D 変換 (ADCCnVCRj.CNVCLS[2:0]ビット = 4 _H) 時は、加算合計値に対する比較値を設定します。
15~0	LLMTB[15:0]	A/D 変換値の下限値を設定します。 設定範囲 : 0000 _H ~7FFE _H 必ず、符号付き固定小数点フォーマットで設定してください。 LLMTB[15] と LLMTB[0] は常に 0 固定です。 加算モード A/D 変換 (ADCCnVCRj.CNVCLS[2:0]ビット = 4 _H) 時は、加算合計値に対する比較値を設定します。

注 意

誤動作を防ぐため、本レジスタの設定は、全スキャングループ停止中に行ってください。

27.3.23 ADCCnECR — エラークリアレジスタ

エラークリアを制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + 3D8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ULEC	OWEC	PEC	IDEC
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	W	W	W	W

表 27.31 ADCCnECR レジスタの内容

ビット位置	ビット名	機能
7~4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ULEC	上限/下限エラーのクリアビットです。 0: クリアしない 1: クリアする
2	OWEC	オーバーライトエラーのクリアビットです。 0: クリアしない 1: クリアする
1	PEC	パリティエラーのクリアビットです。 0: クリアしない 1: クリアする
0	IDEC	ID エラーのクリアビットです。 0: クリアしない 1: クリアする

27.3.24 ADCCnULER — 上限/下限エラーレジスタ

上限/下限エラーを示すレジスタです。本レジスタは上限/下限エラークリア (ADCCnECR.ULEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3DC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0	
	ULE	—	ULECAP[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	
RW	R	R	R	R	R	R	R	R	

表 27.32 ADCCnULER レジスタの内容

ビット位置	ビット名	機能
7	ULE	上限/下限エラーの有無を表します。 0 : 上限/下限エラーなし 1 : 上限/下限エラーあり
6	予約ビット	リードした場合はリセット後の値が読めます。
5~0	ULECAP[5:0]	上限/下限エラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、上限/下限エラークリア (ADCCnECR.ULEC ビット) に 1 を書き込むまで保持されます。保持されている状態で上限/下限エラーが発生した場合、新しいエラー情報は破棄されます。

27.3.25 ADCCnOWER — オーバーライトエラーレジスタ

オーバーライトエラーを示すレジスタです。オーバーライトエラークリア (ADCCnECR.OWEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3E0H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0	
	OWE	—	OWECAP[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	
RW	R	R	R	R	R	R	R	R	

表 27.33 ADCCnOWER レジスタの内容

ビット位置	ビット名	機能
7	OWE	オーバーライトエラーの有無を表します。 0 : エラーなし 1 : エラーあり
6	予約ビット	リードした場合はリセット後の値が読めます。
5~0	OWECAP[5:0]	オーバーライトエラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、オーバーライトエラークリア (ADCCnECR.OWEC ビット) に 1 を書き込むまで保持されます。保持されている状態でオーバーライトエラーが発生した場合、新しいエラー情報は破棄されます。

27.3.26 ADCCnPER — パリティエラーレジスタ

パリティエラーを示すレジスタです。パリティエラークリア (ADCCnECR.PEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3E4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PE	—	PECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 27.34 ADCCnPER レジスタの内容

ビット位置	ビット名	機能
7	PE	パリティエラーの有無を表します。 0 : エラーなし 1 : エラーあり
6	予約ビット	リードした場合はリセット後の値が読めます。
5~0	PECAP[5:0]	パリティエラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、パリティエラークリア (ADCCnECR.PEC ビット) に 1 を書き込むまで保持されます。保持されている状態でパリティエラーが発生した場合、新しいエラー情報は破棄されます。

27.3.27 ADCCnIDER — ID エラーレジスタ

ID エラーを示すレジスタです。ID エラークリア (ADCCnECR.IDEC ビット) に 1 を書き込むことによりクリアできます。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + 3E8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDE	—	IDECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 27.35 ADCCnIDER レジスタの内容

ビット位置	ビット名	機能
7	IDE	ID エラーの有無を表します。 0 : エラーなし 1 : エラーあり
6	予約ビット	リードした場合はリセット後の値が読めます。
5~0	IDECAP[5:0]	ID エラーが発生した仮想チャンネル番号を示します。

注 意

本レジスタは、ID エラークリア (ADCCnECR.IDEC ビット) に 1 を書き込むまで保持されます。保持されている状態で ID エラーが発生した場合、新しいエラー情報は破棄されます。

27.3.28 ADCCnSGSTCRx — スキャングループ x 開始制御レジスタ

SGx の A/D 変換の開始を制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + x × 80_H + 480_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.36 ADCCnSGSTCRx レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SGST	SGx の A/D 変換を開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : A/D 変換開始スキャングループステータス (ADCCnSGSRx.SGACT) = 0 の状態で、A/D 変換を開始してください。

27.3.29 ADCCnADTSTCRy — AD タイマ y 開始制御レジスタ

AD タイマ y の開始を制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + y × 80_H + 488_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTST
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.37 ADCCnADTSTCRy レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADTST	AD タイマ y を開始します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : AD タイマ開始 AD タイマステータス (ADCCnSGSRx.ADTACT) = 0 の状態で AD タイマを開始してください。

27.3.30 ADCCnADTENDCRy — AD タイマ y 終了制御レジスタ

AD タイマ y の終了を制御するためのレジスタです。

アクセス 8ビット単位でライトのみ可能です。

アドレス <ADCCn_base> + y × 80_H + 48C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTEND
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 27.38 ADCCnADTENDCRy レジスタの内容

ビット位置	ビット名	機能
7~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ADTEND	AD タイマを終了します。 0 : 何も機能しない (0 ライトは無視されます)。 1 : AD タイマ終了

27.3.31 ADCCnSGCRx — スキャングループ x 制御レジスタ

SGx を制御するためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 490_H

リセット後の値 00_H

- x = 0~2 の場合

ビット	7	6	5	4	3	2	1	0
	—	ADSTARTE	SCANMD	ADIE	—	—	—	TRGMDO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R/W

表 27.39 ADCCnSGCRx レジスタの内容 (x = 0~2 の場合)

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
6	ADSTARTE	SG の同期開始信号の有効/無効を設定します。 0: 無効 1: 有効
5	SCANMD	スキャンモードを設定します。 0: マルチサイクルスキャンモード 1: 連続スキャンモード
4	ADIE	スキャングループ x 終了割り込み信号 ADInx の出力許可/禁止を設定します。 0: 出力禁止 1: 出力許可
3~1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	TRGMDO	スキャングループ x への A/D 変換開始トリガ入力の有効/無効を設定します。 0: 無効 1: 有効

注 意

1. スキャングループ x の A/D 変換中に発生した同一スキャングループ x の A/D 変換開始トリガ入力は無視されます。
2. いずれかのスキャングループを連続スキャンモードに設定 (SCANMD = 1) した場合、それより低優先のスキャングループは動作できません。
3. 誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

- x = 3, 4 の場合

ビット	7	6	5	4	3	2	1	0
	ADTSTARTE	ADSTARTE	SCANMD	ADIE	—	—	TRGMD1	TRGMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 27.40 ADCCnSGCRx レジスタの内容 (x = 3, 4 の場合)

ビット位置	ビット名	機能
7	ADTSTARTE	AD タイマの同期開始信号の有効/無効を設定します。 0: 無効 1: 有効
6	ADSTARTE	SG の同期開始信号の有効/無効を設定します。 0: 無効 1: 有効
5	SCANMD	スキャンモードを設定します。 0: マルチサイクルスキャンモード 1: 連続スキャンモード
4	ADIE	スキャングループ x 終了割り込み信号 ADInx の出力許可/禁止を設定します。 0: 出力禁止 1: 出力許可
3、2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	TRGMD1	AD タイマへのトリガ入力の有効/無効を設定します。 0: 無効 1: 有効
0	TRGMD0	スキャングループ x への A/D 変換開始トリガ入力の有効/無効を設定します。 0: 無効 1: 有効

27.3.32 ADCCnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

仮想チャネルの開始ポインタを指定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 494_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.41 ADCCnSGVCSPx レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5~0	VCSP[5:0]	SGx の開始仮想チャネル番号を設定します。

注 意

- ADCCnSGVCSPx ≤ ADCCnSGVCEPx となるように設定してください。
- 搭載仮想チャネル数よりも大きな値を設定しないでください。
- 本レジスタは下記の通りミラー構造になっています。スキャングループ x の動作中に SGVCSP を書き換える必要がある場合は、必ずミラーレジスタを使用してください。

本レジスタ	ミラーレジスタ
SGVCSPx.VCSP[5:0]	SGVCPRx.VCSP[5:0]

- 開始/終了ポインタの設定によって、一つの仮想チャネル (VCRj) を、複数のスキャングループ x に設定することは可能です。しかし、一方のスキャングループの動作中に仮想チャネルを上書きしてしまうと、動作中のスキャングループで、所望の設定とは異なる設定での A/D 変換動作を実行してしまう恐れがあります。これを避けるため、以下に留意する必要があります。
 - システム設計時に、設定対象の複数のスキャングループ間で共通使用する VCRj 設定が、常に同一でよいことを確認してください。
 - VCRj の書き換えは、設定対象の複数のスキャングループすべてを停止してから行ってください。これらが守られない場合、A/D 変換結果を保証できませんのでご注意ください。
- 「27.3.40 ADCCnSGVCPRx — スキャングループ x 仮想チャネルポインタレジスタ」も参照してください。
- 誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.33 ADCCnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

仮想チャネルの終了ポインタを指定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 498_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	RW	RW	RW	RW	RW	RW

表 27.42 ADCCnSGVCEPx レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5~0	VCEP[5:0]	SGx の終了仮想チャネル番号を設定します。

注 意

- ADCCnSGVCSPx ≤ ADCCnSGVCEPx となるように設定してください。
- 搭載仮想チャネル数よりも大きな値を設定しないでください。
- 本レジスタは下記の通りミラー構造になっています。スキャングループ x の動作中に SGVCEP を書き換える必要がある場合は、必ずミラーレジスタを使用してください。

本レジスタ	ミラーレジスタ
SGVCEPx.VCEP[5:0]	SGVCPRx.VCEP[5:0]

- 誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

その他の注意事項は、「27.3.32 ADCCnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ」および、「27.3.40 ADCCnSGVCPRx — スキャングループ x 仮想チャネルポインタレジスタ」を参照してください。

27.3.34 ADCCnSGMCYCRx — スキャングループ x マルチサイクルレジスタ

マルチサイクルスキャンモード時の A/D 変換回数を設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 49C_H

リセット後の値 00_H

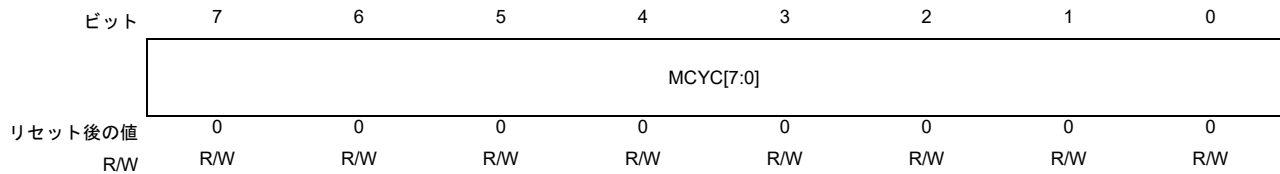


表 27.43 ADCCnSGMCYCRx レジスタの内容

ビット位置	ビット名	機能
7~0	MCYC[7:0]	マルチサイクルスキャンモード時の A/D 変換回数を設定します。 A/D 変換回数 = MCYC[7:0] + 1

27.3.35 ADCCnSGSRx — スキャングループ x ステータスレジスタ

SGx の A/D 変換動作状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ADCCn_base> + x × 80_H + 4A4_H

リセット後の値 00_H

- x = 0~2 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.44 ADCCnSGSRx レジスタの内容 (x = 0~2 の場合)

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。
1	SGACT	SGx の A/D 変換動作状態を表します。 0 : SGx の A/D 変換がアイドル状態 1 : SGx の A/D 変換中
0	予約ビット	リードした場合はリセット後の値が読めます。

- x = 3, 4 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADTACT	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.45 ADCCnSGSRx レジスタの内容 (x = 3, 4 の場合)

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。
2	ADTACT	AD タイマの動作状態を表します。 0 : AD タイマ x がアイドル状態 1 : AD タイマ x が動作中
1	SGACT	SGx の A/D 変換動作状態を表します。 0 : SGx の A/D 変換がアイドル状態 1 : SGx の A/D 変換中
0	予約ビット	リードした場合はリセット後の値が読めます。

27.3.36 ADCCnADTIPRy — AD タイマ初期位相レジスタ y

AD タイマ y の初期位相 (カウンタ初期値) を設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + y × 80_H + 4A8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTIP[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTIP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.46 ADCCnADTIPRy レジスタの内容

ビット位置	ビット名	機能
31~21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20~0	ADTIP[20:0]	AD タイマ y の初期位相 (カウンタ初期値) を設定します。 設定範囲 : 000000 _H ~1FFFFFF _H

注 意

1. 詳細は、「27.4.3.2(2) AD タイマトリガによるスキャングループの起動」を参照してください。
2. 誤動作を防ぐため、本レジスタの設定は、スキャングループ x 停止中に行ってください。

27.3.37 ADCCnADTPRRy — AD タイマ周期レジスタ y

AD タイマ y の周期を設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + y × 80_H + 4AC_H

リセット後の値 001F FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTPR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTPR[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.47 ADCCnADTPRRy レジスタの内容

ビット位置	ビット名	機能
31~21	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
20~0	ADTPR[20:0]	AD タイマ y の周期を設定します。 設定範囲 : 000000 _H ~1FFFFFF _H

注 意

1. 詳細は、「27.4.3.2(2) AD タイマトリガによるスキャングループの起動」を参照してください。
2. 誤動作を防ぐため、本レジスタの設定は、スキャングループ x 停止中に行ってください。

27.3.38 ADCCnULLMSRx — スキャングループ x 上限値/下限値テーブル選択レジスタ

SGx の上限値/下限値テーブルを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 4B0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ULS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R/W	R/W

表 27.48 ADCCnULLMSRx レジスタの内容

ビット位置	ビット名	機能
7~2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1、0	ULS[1:0]	上限値/下限値テーブルを選択します。 0 : 上限/下限チェックをしない。 1 : ADCCnULLMTBR0 レジスタで上限/下限チェックする。 2 : ADCCnULLMTBR1 レジスタで上限/下限チェックする。 3 : ADCCnULLMTBR2 レジスタで上限/下限チェックする。 A/D 変換値を DRn 格納時に、ULS[1:0]で選択した上限値/下限値テーブルを使用して上限/下限チェックします。

注 意

誤動作を防ぐため、本レジスタの設定は、設定対象スキャングループ停止中に行ってください。

27.3.39 ADCCnVCULLMTBR0~6 — 仮想チャネルしきい値テーブルレジスタ 0~6

A/D 変換値の上限しきい値と下限しきい値を設定するレジスタです。ADCCnVCRj の VCULLMTBS[2:0] で ADCCnVCULLMTBR0~6 のいずれかを選択します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス ADCCnVCULLMTBR0 : <ADCCn_base> + 700H
 ADCCnVCULLMTBR1 : <ADCCn_base> + 704H
 ADCCnVCULLMTBR2 : <ADCCn_base> + 708H
 ADCCnVCULLMTBR3 : <ADCCn_base> + 70CH
 ADCCnVCULLMTBR4 : <ADCCn_base> + 710H
 ADCCnVCULLMTBR5 : <ADCCn_base> + 714H
 ADCCnVCULLMTBR6 : <ADCCn_base> + 718H

リセット後の値 7FFE 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[15:0]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 27.49 ADCCnVCULLMTBR0~6 レジスタの内容

ビット位置	ビット名	機能
31~16	VCULMTB[15:0]	上限しきい値テーブル A/D 変換値の上限しきい値を指定します。 設定範囲 : 0000H~7FFE _H ADCCnVCRj の VCULLMTBS[2:0] ビットにより、仮想チャネル毎にしきい値テーブルレジスタ 0~6 を選択します。 VCULMTB[15:0] のフォーマットは、ADCCnDRj のフォーマットに関わらず、符号付小数点フォーマットとなります。 加算モード (CNVCLS[2:0] = 4 _H) 時は、加算合計値に対する比較値を設定します。
15~0	VCLLMTB[15:0]	下限しきい値テーブル A/D 変換値の下限しきい値を指定します。 設定範囲 : 0000H~7FFE _H ADCCnVCRj の VCULLMTBS[2:0] ビットにより、仮想チャネル毎にしきい値テーブルレジスタ 0~6 を選択します。 VCLLMTB[15:0] のフォーマットは、ADCCnDRj のフォーマットに関わらず、符号付小数点フォーマットとなります。 加算モード (CNVCLS[2:0] = 4 _H) 時は、加算合計値に対する比較値を設定します。

27.3.40 ADCCnSGVCPRx — スキャングループ x 仮想チャネルポインタレジスタ

仮想チャネルの開始/終了ポインタを指定するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCCn_base> + x × 80_H + 4A0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	VCEP[5:0]						—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.50 ADCCnSGVCPRx レジスタの内容

ビット位置	ビット名	機能
15~14	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
13~8	VCEP[5:0]	スキャングループ x 終了仮想チャネルポインタ (ADCCnSGVCEPx のミラーレジスタ)。
7~6	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
5~0	VCSP[5:0]	スキャングループ x 開始仮想チャネルポインタ (ADCCnSGVCSPx のミラーレジスタ)。

機能の詳細は、「27.3.32 ADCCnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ」、
「27.3.33 ADCCnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ」を参照してください。

27.4 機能

27.4.1 A/D 変換の方法

A/D 変換はスキヤングループ単位で行います。A/D 変換のトリガ信号はスキヤングループ分あり、トリガ信号 (SG_x_TRG) が入るとスキヤングループに割り当てられている仮想チャンネルの信号を小さい番号順で A/D 変換を行い、仮想チャンネル毎の A/D 変換が完了もしくは SG に割り当てられているすべての仮想チャンネルの A/D 変換が完了すると A/D 完了割り込み (ADIn_x) が発生します。

マルチスキャンモードは、トリガ信号が入ると指定回数分 A/D 変換を繰り返します。また、連続スキャンモードはトリガ信号が入ると無制限に A/D 変換を繰り返します。

A/D 変換のデータフォーマットは、符号付き固定小数点フォーマットと符号付き整数フォーマットから選択できます。データフォーマットのビット並びは、「**27.3.5 ADCCnDRj — データレジスタ j**」を参照してください。

以下に変換時の動作例を示します。

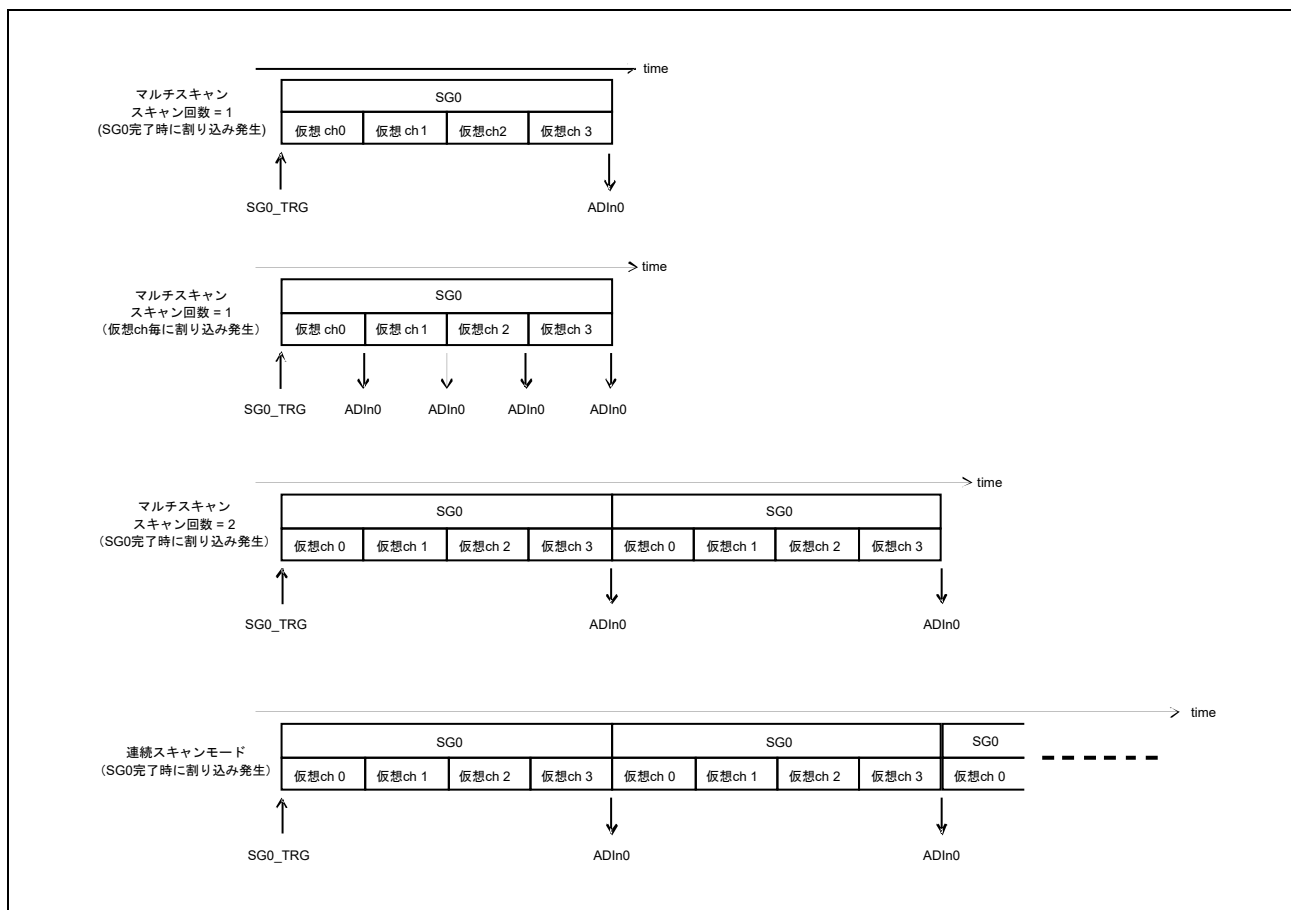


図 27.8 A/D 変換時の動作例

27.4.2 A/D 変換機能

27.4.2.1 通常 A/D 変換機能

通常 A/D 変換は、物理チャネルのアナログ信号をそのまま A/D 変換します。

27.4.2.2 同時トラック & ホールド機能

複数のアナログ信号をホールドして、A/D 変換を行います。同時にホールドするアナログ信号を T&H グループ A と B の 2 つのグループに割り当てることができ、グループごとに異なるタイミングでホールドを行うことが可能です。

T&H 回路がある物理チャネルを仮想チャネルとスキャングループに割り当て、そのスキャングループを T&H グループに割り当てます。ただし、SG0 を T&H グループに割り当ててはできません。

T&H のホールド方法に自動サンプリングモードがあります。これは、ホールドしたアナログ信号の A/D 変換が完了すると自動的にサンプリングを開始します。自動サンプリングモードに設定しない場合は、S/W でサンプリングさせる必要があります。

以下に同時トラック & ホールド機能の動作例を示します。

図 27.9 に示すように、A/D 変換中に SG2 のトリガ信号（ホールドトリガ A）が入ると、現在 A/D 変換中の仮想チャネルを強制停止します。停止し、アナログ信号が安定した時点で T&H 回路にてアナログ信号をホールドします。ホールドが完了すると、スキャングループの優先順位にしたがい、A/D 変換を再開します。

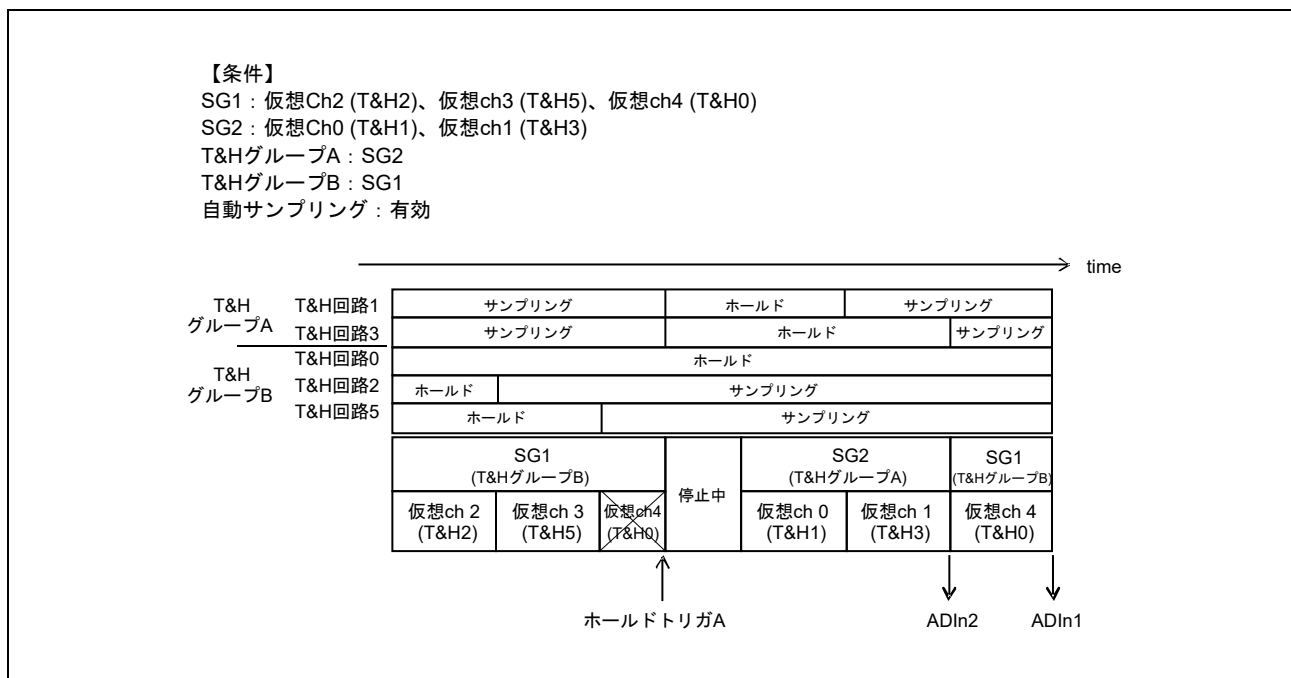


図 27.9 同時トラック & ホールド動作例（高優先 SG ホールドトリガ入力）

例えば、**図 27.10** のように強制停止した A/D 変換が SG3 の場合、SG3 の優先順位が高いため、SG3 の A/D 変換後に、SG2 の A/D 変換を行います。

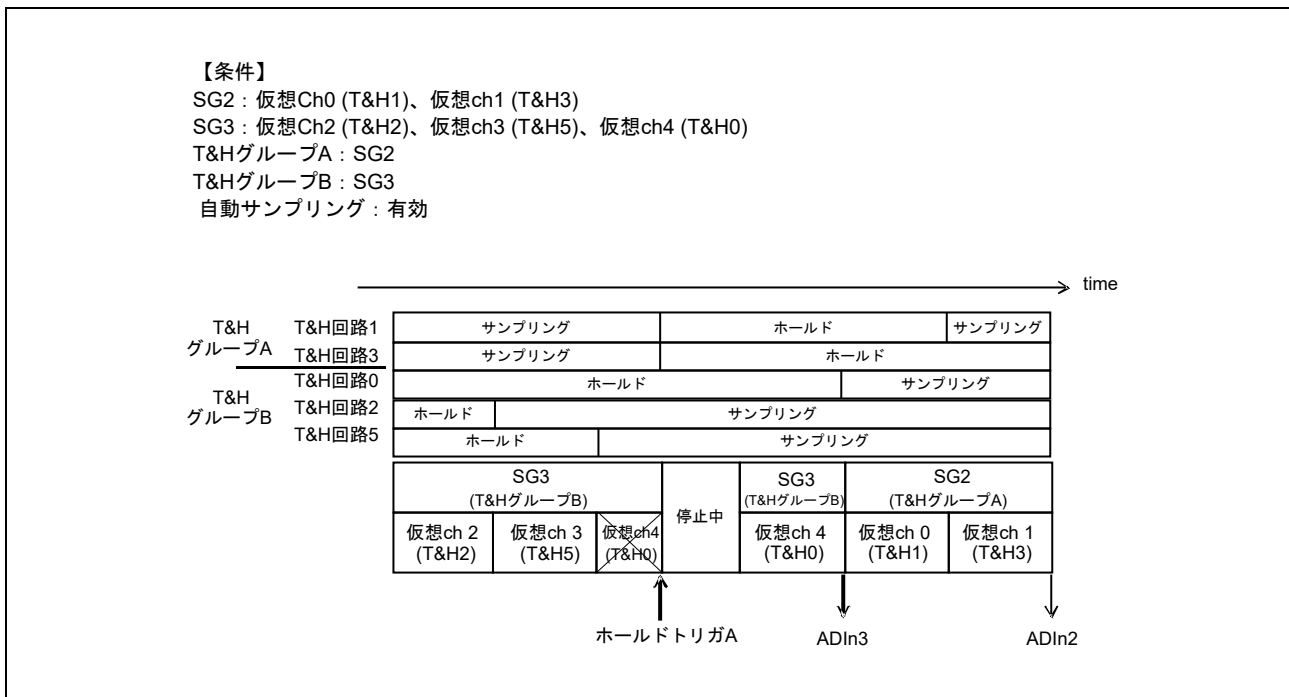


図 27.10 同時トラック&ホールド動作例 (低優先 SG ホールドトリガ入力)

また、**図 27.11** のように A/D 変換の強制停止中に新たなトリガ信号 (ホールドトリガ B) が入ると、SG1 (T&H グループ B) に割り当てられたアナログ信号をホールドするまで待つため、1つのトリガ信号が入る場合に比べ停止時間が長くなります。

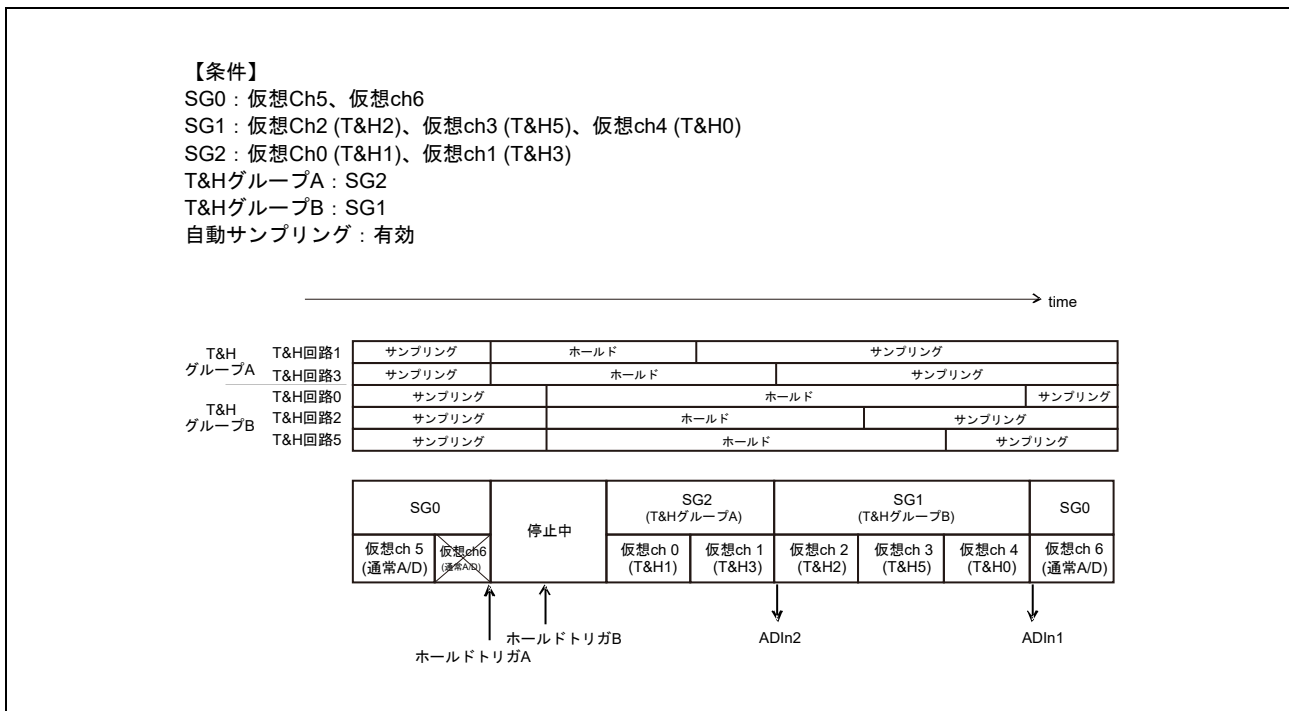


図 27.11 同時トラック&ホールド動作例 (連続ホールドトリガ入力)

27.4.2.3 加算 A/D 変換機能

加算 A/D 変換は、物理チャンネルのアナログ信号を 2 回または 4 回連続で A/D 変換を行い、加算した値をデータレジスタに格納します。加算回数 (2 回または 4 回) は、全仮想チャンネル共通になります。

27.4.2.4 マルチサイクルスキャンモード

マルチサイクルスキャンモードでは、1 回トリガが入力されると対象の SGx に割り当てた仮想チャンネルを、指定した回数 (1 回~256 回) 分 A/D 変換を繰り返し行います。

27.4.2.5 連続スキャンモード

連続スキャンモードでは、1 回トリガが入力されると対象の SGx に割り当てた仮想チャンネルを無制限に A/D 変換を繰り返し行います。

連続スキャンモードを停止する場合には、A/D 変換停止手順にしたがって、A/D 変換を停止してください。A/D 変換停止手順については、「**27.5.3 A/D 変換停止手順**」を参照してください。AD 終了レジスタ (ADCCnADHALTR レジスタ) で停止することにより、全 SGx、全 AD タイマが停止します。

連続スキャンモードに設定したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。そのため、連続スキャンモードは、もっとも優先の低い SG0 に対して設定することを想定しています。

27.4.3 トリガ機能

27.4.3.1 スキャングループのトリガ入力選択

各スキャングループの A/D 変換開始トリガとして、以下のトリガを選択することができます。未使用のスキャングループはトリガ入力を無効に設定してください。

表 27.51 トリガ対応一覧

	HW トリガ		SW トリガ		
	SGx トリガ (SGx_TRG)	AD タイマ トリガ (SGy_TRG)	A/D 変換 トリガ	ホールド トリガ	AD タイマ トリガ
SG0	○	×	○	×	×
SG1, SG2	○	×	○	○	×
SG3, SG4	○	○	○	○	○

備考 ○ : 対応、× : 非対応

27.4.3.2 HW トリガによるスキャングループの起動

HW トリガには、SGx トリガ、AD タイマトリガがあります。

(1) SGx トリガによるスキャングループの起動

SGx_TRG 信号で SGx を起動し、A/D 変換を開始することができます。同時トラック&ホールドの場合、ホールドトリガでアナログ信号をホールドしたあと、A/D 変換を行います。

SGx_TRG 信号は PIC2D から入力されます。PIC2D では、各ユニットおよび端子からのトリガ信号をマスク制御し、SGx_TRG 信号として出力しています。トリガ要因の詳細については、「**24.3.3.1 ADCC トリガ選択機能**」を参照してください。

(2) AD タイマトリガによるスキャングループの起動

SGy_TRG 信号で AD タイマ (フリーラン) が起動され、**図 27.12** のようにカウンタのアンダフローごとに AD タイマトリガ信号が出力されます。この AD タイマトリガ信号により一定のインターバルで SGy の A/D 変換を開始することができます。ただし、同時トラック&ホールド機能を使用する場合、AD タイマトリガは使用できません。

AD タイマのカウントは clkad で行います。

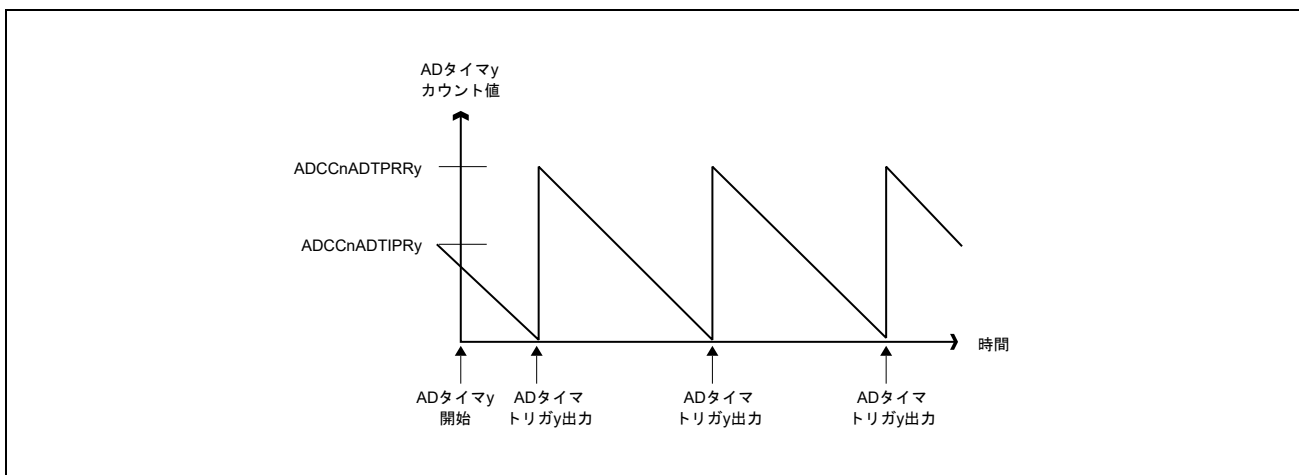


図 27.12 AD タイマ動作例

注 意

AD タイマ初期位相レジスタ (ADCCnADTIIPRy レジスタ) に 0 を設定した場合、AD タイマ起動と同時に AD タイマトリガが出力されます。また、AD タイマ周期レジスタ (ADCCnADTPRRy レジスタ) に 0 を設定した場合は、毎クロックごとに AD タイマトリガが出力されます。

27.4.3.3 SW トリガによるスキャングループの起動

SW トリガは、A/D 変換トリガ、ホールドトリガ、AD タイマトリガがあります。各トリガを有効にする前に、対象の SG トリガが無効かつスキャングループが停止していることを確認してください。

(1) A/D 変換トリガ

図 27.13 のとおり、ADCC0, ADCC1, ADCC2 の複数の SGx を同時に起動し、A/D 変換を開始することができます。また、SGx の A/D 変換を個別に開始することができます。

(2) AD タイマトリガ

図 27.13 のとおり、ADCC0, ADCC1, ADCC2 の複数の AD タイマ y を同時に起動することができます。また、AD タイマ y を個別に起動することができます。

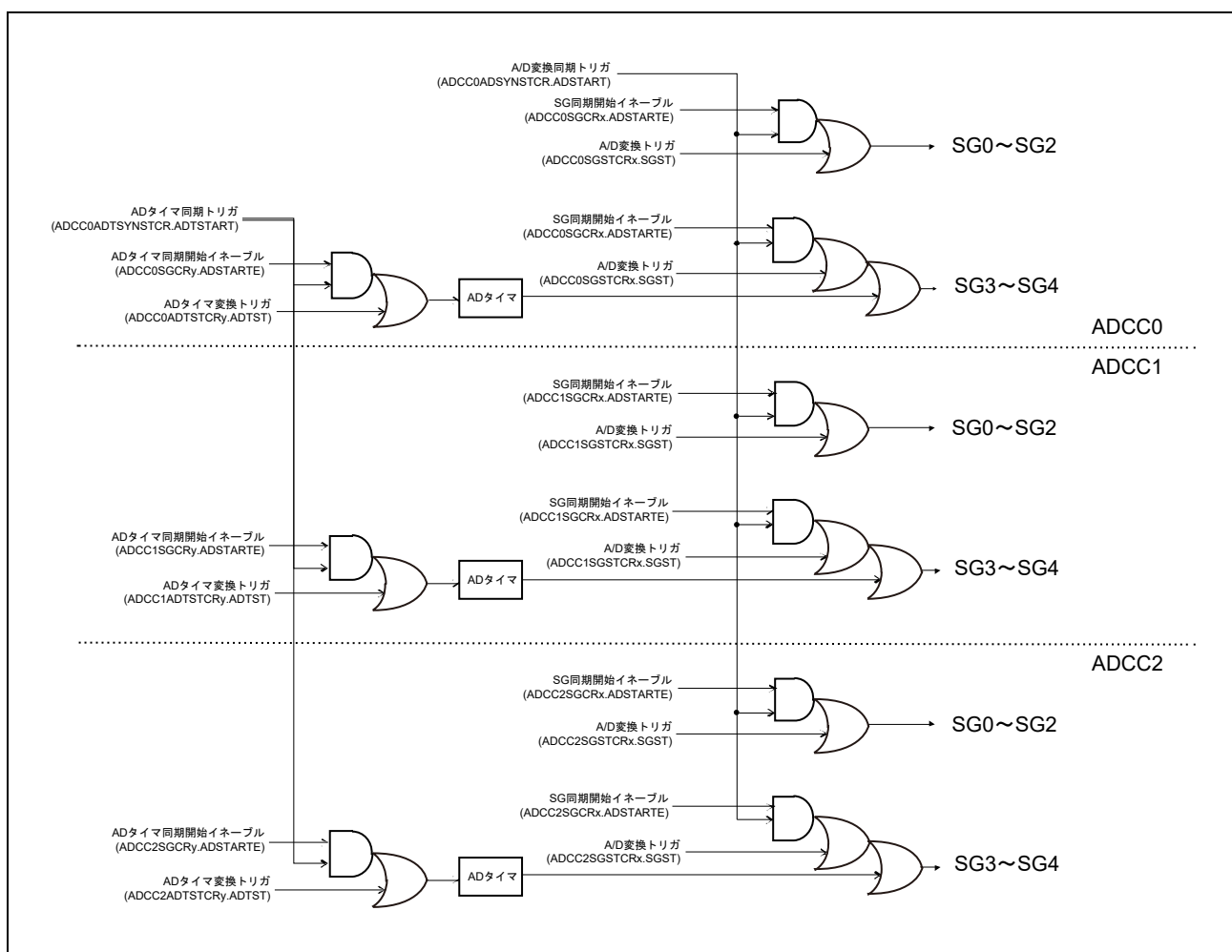


図 27.13 SW トリガ機能機能図

(3) ホールドトリガ

図 27.14 のとおり、任意のタイミングでホールドを開始することができます。ホールドを開始する前には必ず 30 clkad 以上サンプリングを行ったあと、設定してください。

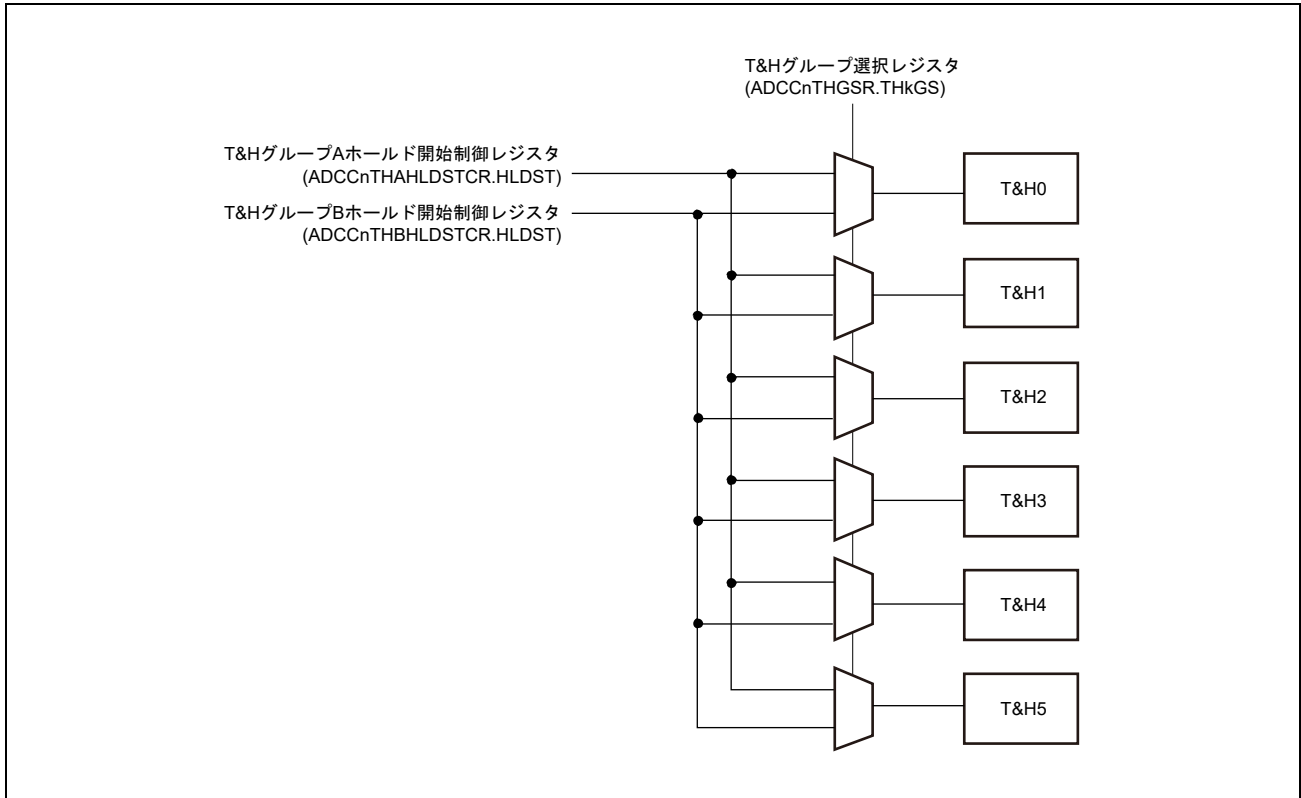


図 27.14 ホールドトリガ機能機能図

27.4.4 サスペンド機能

サスペンド機能は、低優先のスキャングループ処理中に高優先のスキャングループ要求があると、低優先の A/D 変換を中断して、高優先の A/D 変換を行う機能です。サスペンド動作は以下の 3 種類があります。

27.4.4.1 同期サスペンド動作

A/D 変換中のスキャングループよりも高優先のスキャングループの A/D 変換トリガが発生した際、A/D 変換中の仮想チャンネルの変換が終了したあとに、高優先のスキャングループの A/D 変換を行います。高優先のスキャングループの A/D 変換が完了した後、中断した仮想チャンネルから A/D 変換を再開します。

以下に例を示します。

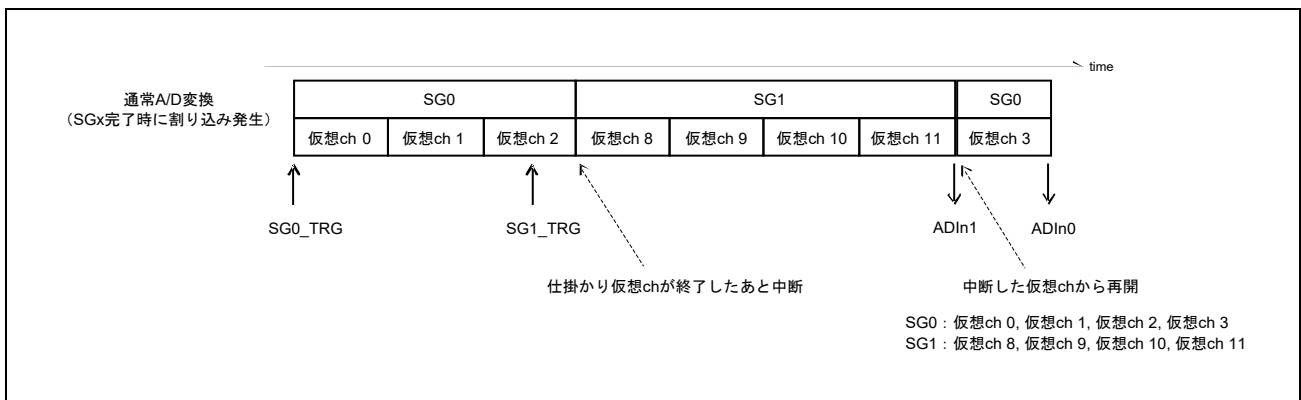


図 27.15 同期サスペンド動作例 (通常 A/D 変換)

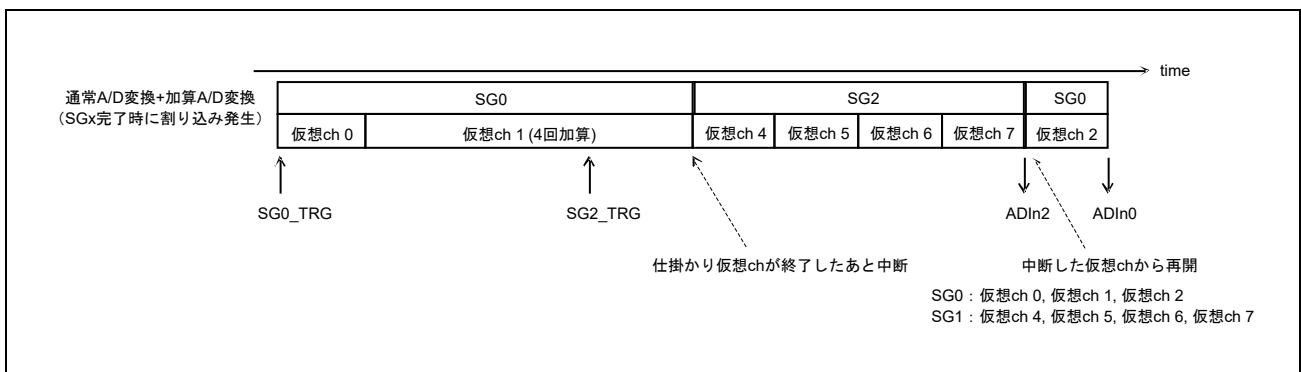


図 27.16 同期サスペンド動作例 (通常 A/D 変換+加算 A/D 変換)

27.4.4.2 非同期サスペンド動作

A/D 変換中のスキャングループよりも高優先のスキャングループの A/D 変換トリガが発生した際、A/D 変換中の仮想チャンネルの変換を即中断し、高優先のスキャングループの A/D 変換を行います。高優先のスキャングループの A/D 変換が完了したあと、中断した仮想チャンネルの A/D 変換を初めから行います。

以下に例を示します。

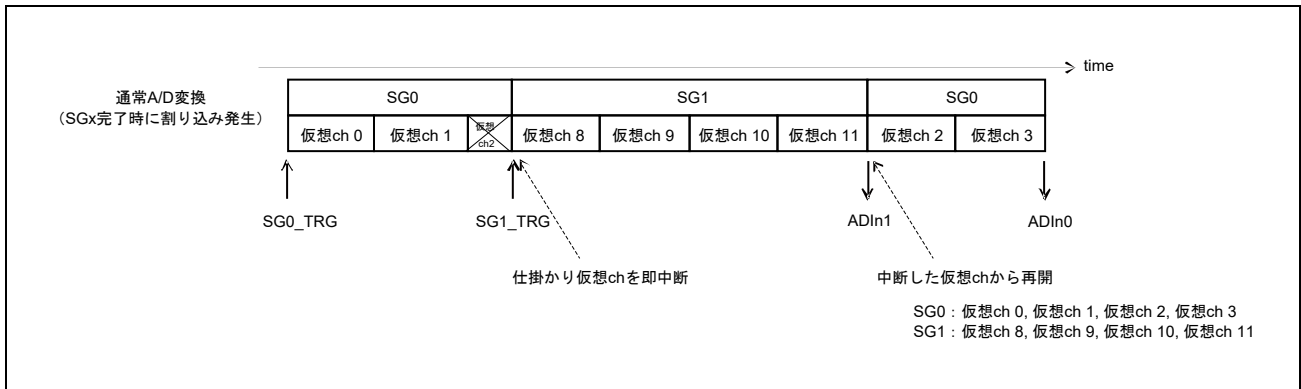


図 27.17 非同期サスペンド動作例 (通常 A/D 変換)

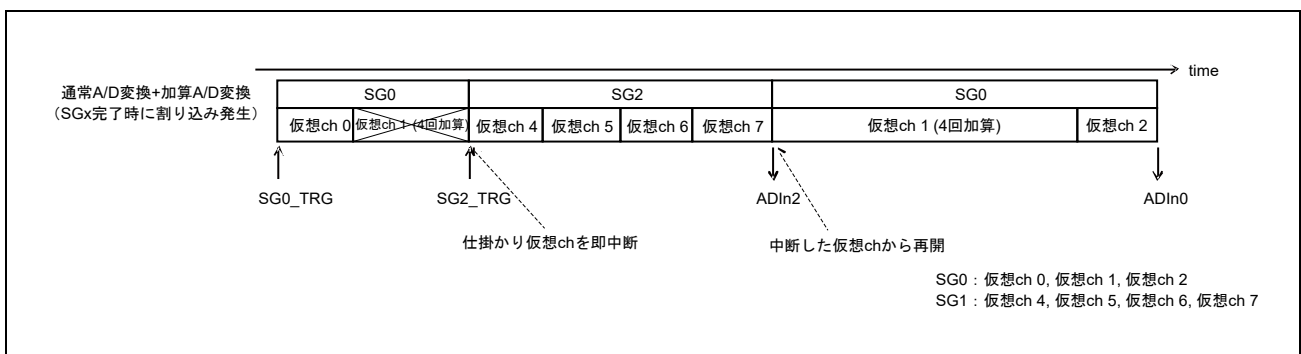


図 27.18 非同期サスペンド動作例 (通常 A/D 変換 + 加算 A/D 変換)

27.4.4.3 同期／非同期ミックス型サスペンド動作

SG0 の A/D 変換中に高優先のスキャングループの A/D 変換トリガが発生した際は非同期サスペンド動作を行い、SG0 以外のスキャングループの A/D 変換中に高優先のスキャングループの A/D 変換トリガが発生した際は同期サスペンド動作を行います。高優先のスキャングループの A/D 変換が完了したあと、中断した仮想チャンネルの A/D 変換を初めから行います。

以下に例を示します。

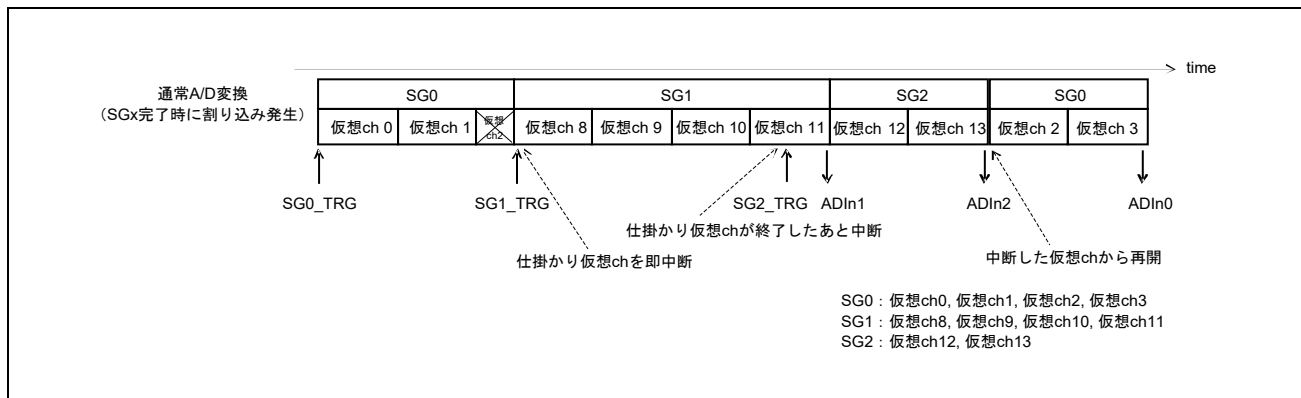


図 27.19 同期／非同期ミックス型サスペンド動作例

27.4.5 割り込み要求機能

スキャングループ x 終了割り込みと AD エラー割り込みがあります。割り込み要求信号はパルスです。スキャングループ x 終了割り込みにより、DMA/DTS を起動させることができます。

割り込み出力はマスクすることができます。マスクした場合でも、ステータスレジスタに 1 (割り込み発生) がセットされます。

27.4.5.1 スキャングループ x 終了割り込み

終了割り込みは、下記の 2 つのタイミングで発生させることができます。

1. 仮想 ch ごとに割り込み発生
1 つの仮想チャンネルの A/D 変換が完了したら、割り込みが発生します。
2. スキャングループ毎に割り込み発生
スキャングループに割り当てられているすべての仮想チャンネルの A/D 変換が完了したら、割り込みが発生します。

マルチスキャンモードの場合、1 回のスキャングループ A/D 変換ごとに割り込みが発生します。つまり、上記 2 の設定で、2 回マルチスキャンを行った場合、終了割り込みが 2 回発生します。

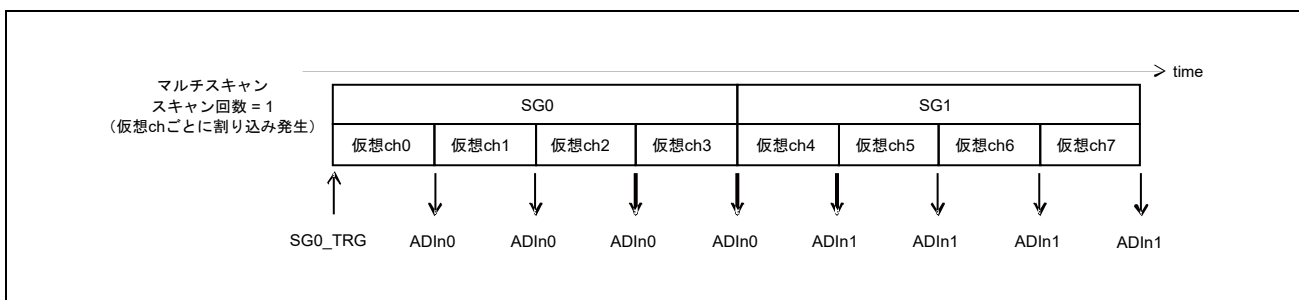


図 27.20 スキャングループ x 終了割り込み (仮想チャンネルごとに割り込み発生)

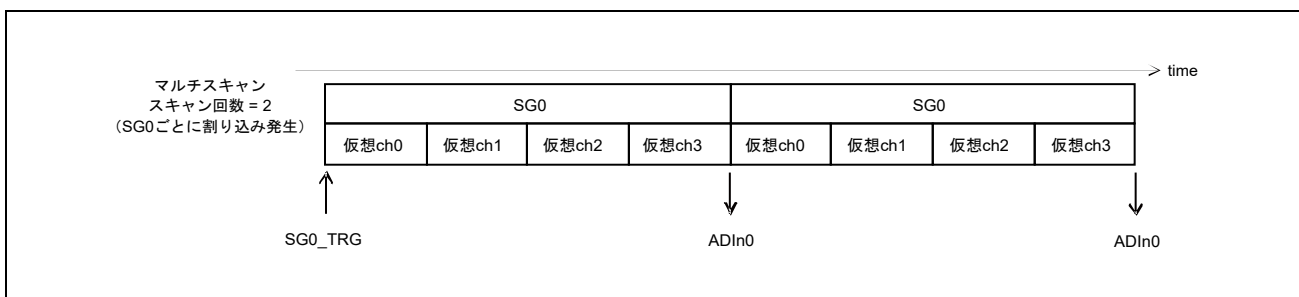


図 27.21 スキャングループ x 終了割り込み (SG ごとに割り込み発生)

27.4.5.2 AD エラー割り込み要求

下記の AD エラーが発生した場合、AD エラー割り込みを発生させることができます。AD エラー割り込み発生のタイミングは、終了割り込みと同じです。

AD エラー割り込み要求は、上限/下限エラー、オーバーライトエラー、ID エラーのいずれかが発生 (OR 条件) することにより、発生します。割り込み発生後、割り込みハンドラ内にて、エラーステータスクリアを行ってください。

1. 上限/下限エラー
2. オーバーライトエラー
3. ID エラー

(1) 上限/下限エラー

A/D 変換値が指定した上限/下限値を超えると、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnULER.ULECAP[5:0] ビット) に保持されます。上限/下限値は 3 つのテーブルから一つを選択できます。

上限/下限エラーの判定は、データレジスタに格納される加算結果で判定します。

(2) オーバーライトエラー

A/D 変換した値が読みだされていない状態 (ADCCnDIRj.WFLG ビット = 1) で、A/D 変換した値が更新 (オーバーライト) されると、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnOWER.OWECAP[5:0] ビット) に保持されます。

(3) ID エラー

仮想チャンネルで割り当てた物理チャンネルと実際に変換された物理チャンネルが不一致のとき、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnIDER.IDECAP[5:0] ビット) に保持されます。

注 意

エラークリアを行わない状態で再度同じエラーが発生した場合、後続のエラー情報は破棄されます。

27.4.5.3 AD パリティエラートリガ

パリティエラーが発生した場合、パリティエラートリガを発生させることができます。パリティエラーは、データレジスタ (ADCCnDRj レジスタ) をリードしたタイミングで発生します。

AD パリティエラートリガは、パリティエラーにより発生します。AD パリティエラートリガは ECM へ通知します。

データレジスタをリードした際に、データ付帯情報レジスタのパリティ (ADCCnDIRj.PRTY ビット) でチェックし、パリティエラーになると、エラーになります。エラーになった仮想チャンネルの番号はレジスタ (ADCCnPER.PECAP[5:0] ビット) に保持されます。

注 意

エラークリアを行わない状態で再度同じエラーが発生した場合、後続のエラー情報は破棄されます。

27.4.6 EMU への A/D 変換結果転送機能

ADCC は EMU に対し、仮想チャンネル 0, 1, 2 の A/D 変換完了信号、A/D 変換データおよび、SG4 スキャン終了信号を出力することができます。A/D 変換完了信号は、A/D 変換結果がデータレジスタに値が設定され、A/D 変換が完了したことを示す信号です。

A/D 変換データは、データレジスタ ADCCnDR0, 1, 2 に格納されたデータを出力します。ただし、出力されるデータはデータフォーマット (ADCCnADCR2.DFMT ビット) の設定によらず、上位 4 ビットは 0 固定、下位 12 ビットは A/D 変換データとなります。また、A/D 変換データは ADCCnDR0, 1, 2 レジスタと同様、リード&クリアイネーブル有効 (ADCCnSFTCR.RDCLRE ビット = 1) に設定されているときに、ADCCnDRj レジスタもしくは ADCCnDIRj レジスタの読み出しで 0000_Hにクリアされます。

注 意

本機能を使用する場合は、仮想チャンネル 0, 1, 2 を SG4 に割り当ててください。

スキャングループ終了割り込みは、スキャングループごとに割り込みが発生するように設定してください (仮想チャンネルごとに割り込みが発生する設定は禁止です)。

加算 A/D 変換設定 (ADCCnVCRj.CNVCLS[2:0] ビット = 4_H) では使用しないでください。

27.4.7 自己診断

ADCC は、以下の 3 つの自己診断機能を搭載しています。自己診断機能では、変換結果を期待値と比較し、期待値通りであるかを確認します。

- 端子レベル自己診断機能
- A/D 変換回路自己診断機能
- 断線検出自己診断回路機能

27.4.7.1 端子レベル自己診断機能

端子からの経路異常を診断する機能です。偶数物理サブチャネル、奇数物理サブチャネルを 1 セットとし、端子レベル自己診断制御レジスタ (ADCCnTDCR レジスタ) で異電源に設定し、A/D 変換を実行することで、端子からの経路異常を診断する機能です。図 27.22 のように、アナログ入力端子から切り離し、設定した電圧を印加し A/D 変換を行います。

異電源は AVSS、AVCC、 $1/2 \times AVCC$ の組み合わせが使用できます。また、診断を行う物理チャネルは任意に選択できます。

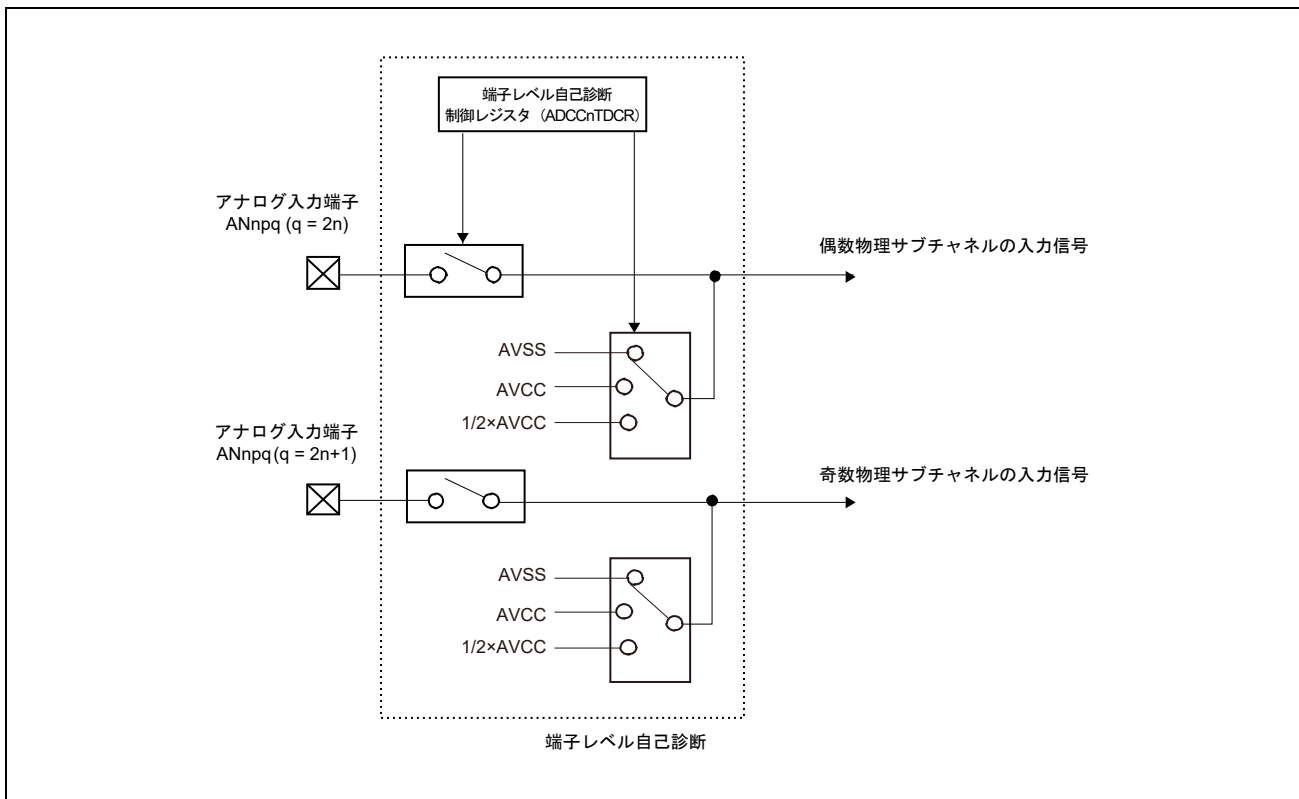


図 27.22 端子レベル自己診断機能図

27.4.7.2 A/D 変換回路自己診断機能

自己診断電圧レベルを入力し、A/D 変換の結果から A/D 変換回路を診断する機能です。

自己診断電圧レベルは、 $AVREFH \times 1$ 、 $AVREFH \times 3/4$ 、 $AVREFH \times 1/2$ 、 $AVREFH \times 1/4$ 、 $AVREFH \times 0$ から選択できます。

27.4.7.3 断線検出自己診断機能

半田はがれによる端子の断線検出を行う機能です。

断線検出制御レジスタ (ADCCnODCR レジスタ) で設定した時間分、対象のアナログ端子を放電した後、A/D 変換を行い、変換結果が 0V 近傍となった場合、断線していると判断することができます。

27.5 手順

27.5.1 A/D 変換設定手順

図 27.23 に A/D 変換設定フローを、図 27.24 に初期設定フローを示します。初期設定は、全スキュングループのトリガ要因無効かつ全スキュングループ、全 T&H が停止した状態で、設定してください。動作している場合は、A/D 変換停止設定を行ってください。

使用しない機能の設定値は、リセット後の値を設定してください。

以下の A/D 変換設定フローは、A/D 変換開始前に A/D 変換が無効状態にて端子接続の自己診断を行ったあと、A/D 変換開始設定を行うフローです。

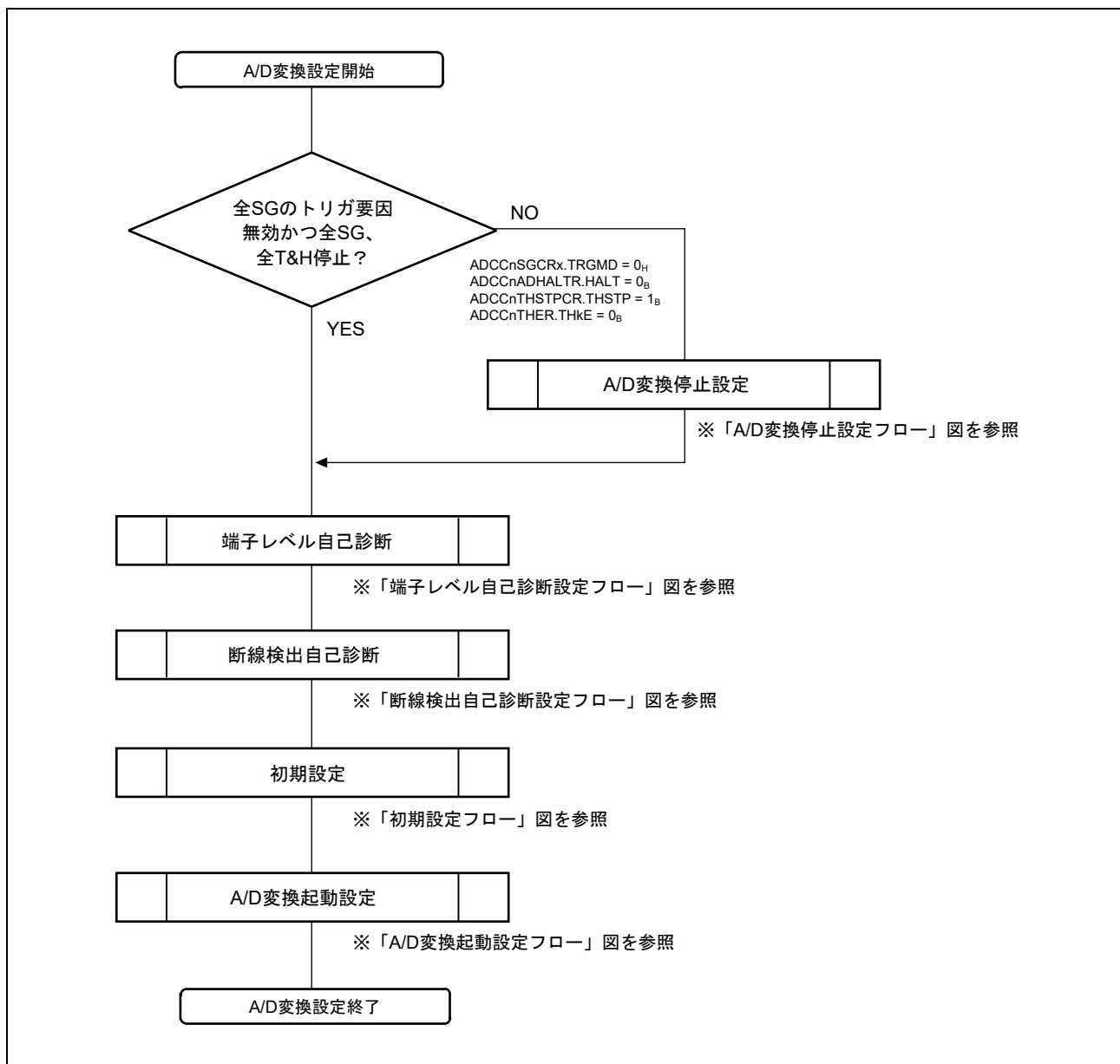


図 27.23 A/D 変換設定フロー

以下の初期設定フローは、A/D 変換モードの設定など ADCC の基本設定を行うためのフローです。

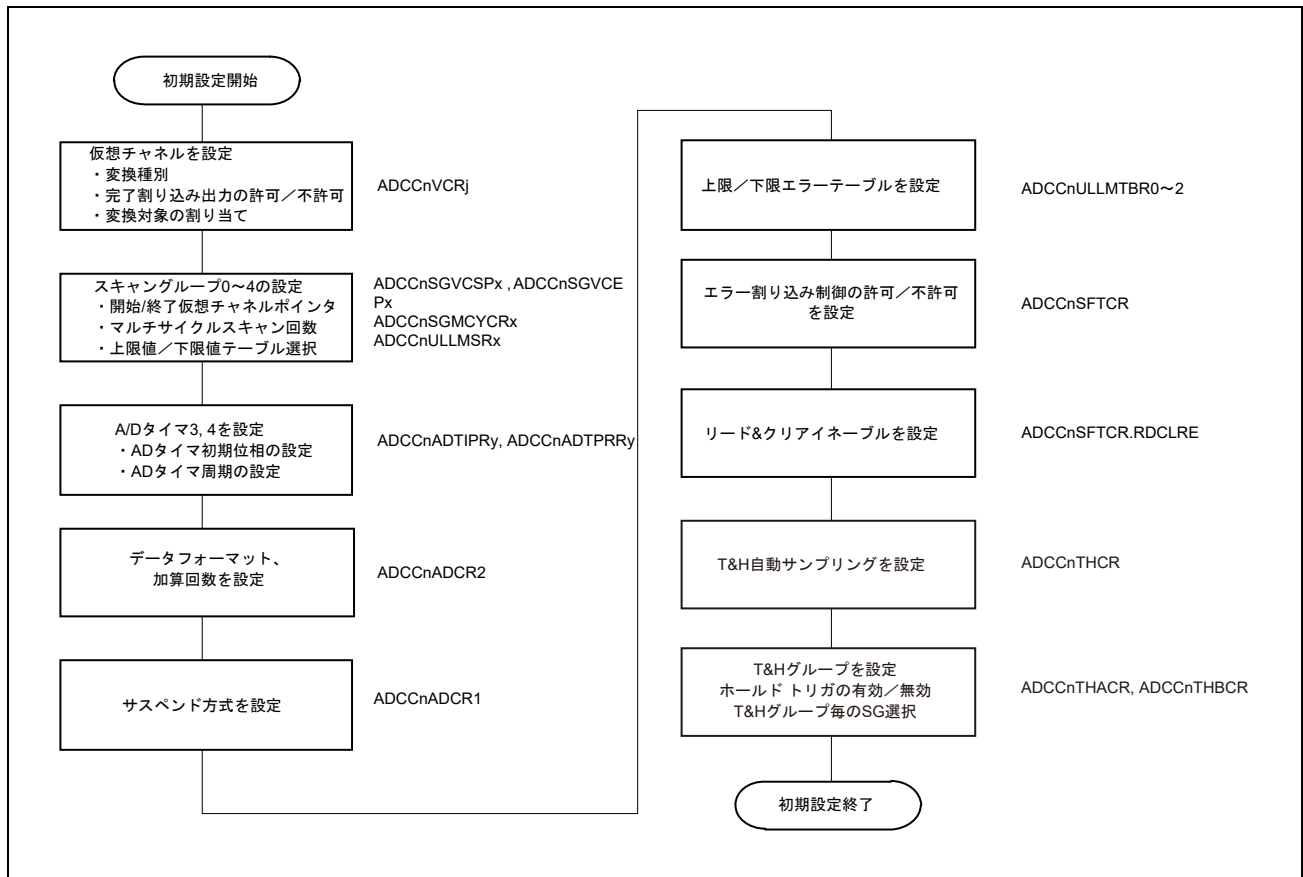


図 27.24 初期設定フロー

27.5.2 A/D 変換起動手順

図 27.25 に A/D 変換起動手順を示します。

以下の A/D 変換起動手順は、HW トリガを用い、A/D 変換動作を起動するためのフローです。同時トラック&ホールド機能を使用する場合、T&H サンプリング開始を設定した後、必ず 30 clkad 以上経過した後にホールドを行ってください。

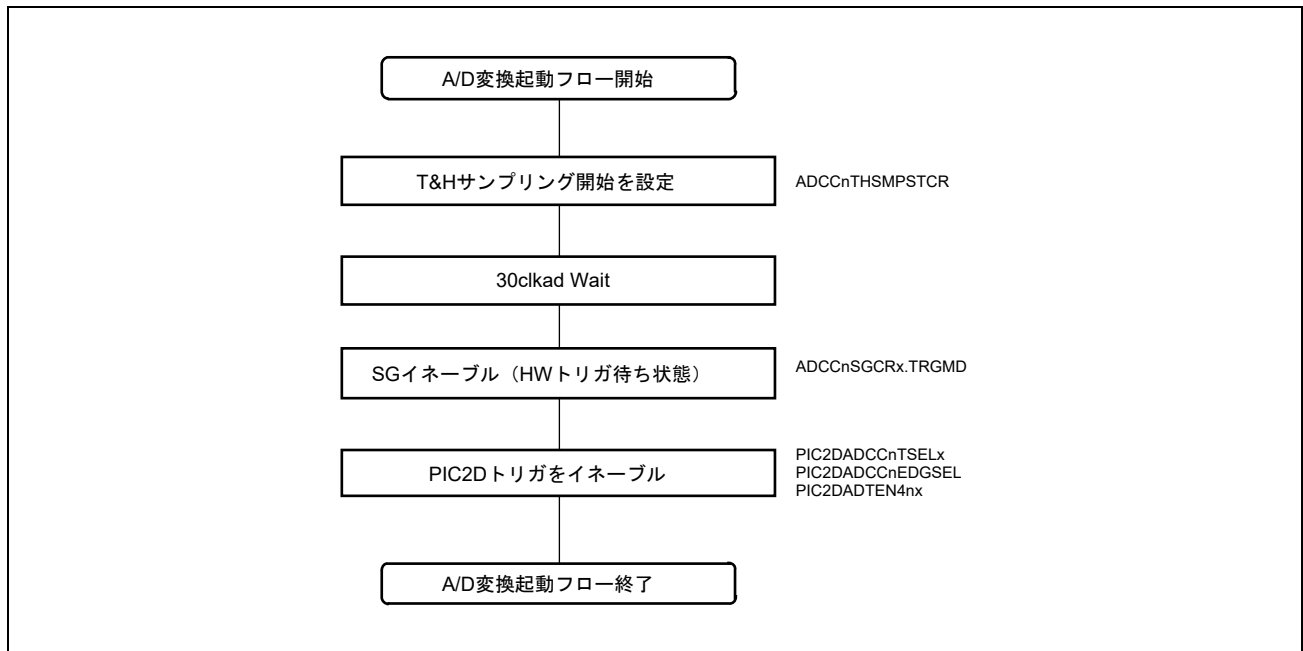


図 27.25 A/D 変換起動手順

27.5.3 A/D 変換停止手順

図 27.26 に A/D 変換停止フローを示します。

以下の A/D 変換停止フローは、全スキャングループのトリガを無効とし、全スキャングループ、全 T&H の動作を停止させることで、A/D 変換動作を停止するためのフローです。

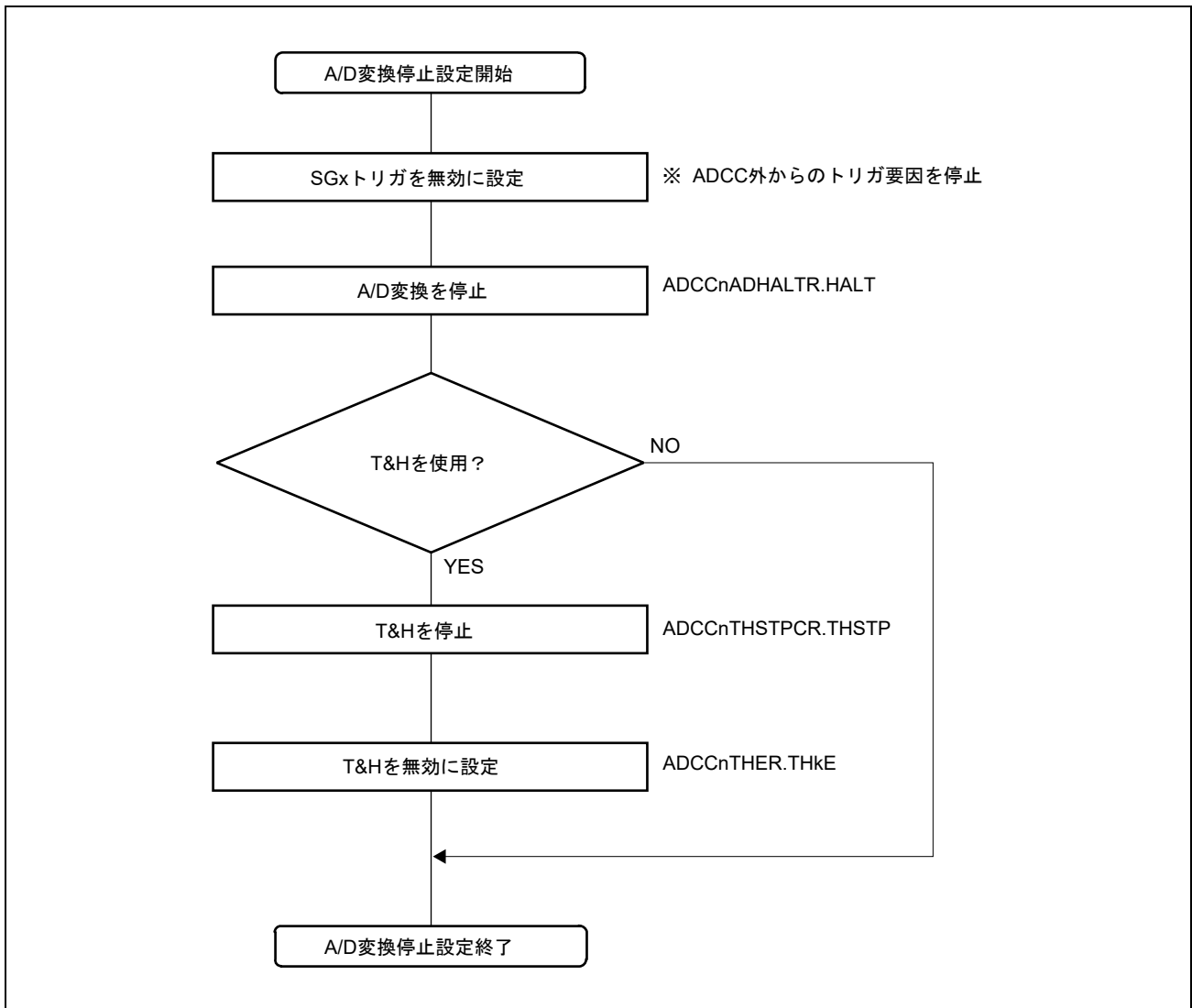


図 27.26 A/D 変換停止フロー

27.5.4 端子レベル自己診断設定手順

図 27.27 に端子レベル自己診断フローを示します。

以下の端子レベル自己診断フローは、ADCC0 の全端子を仮想チャンネルに割り当て、偶数物理サブチャンネルと奇数物理サブチャンネルへの印加電圧を切り替えて端子レベル自己診断を行った場合を例としています。また、端子レベル自己診断フローは A/D 変換起動前に行うことを想定しています。アナログ入力端子に対し、電流注入が発生している状態では自己診断を行わないでください。

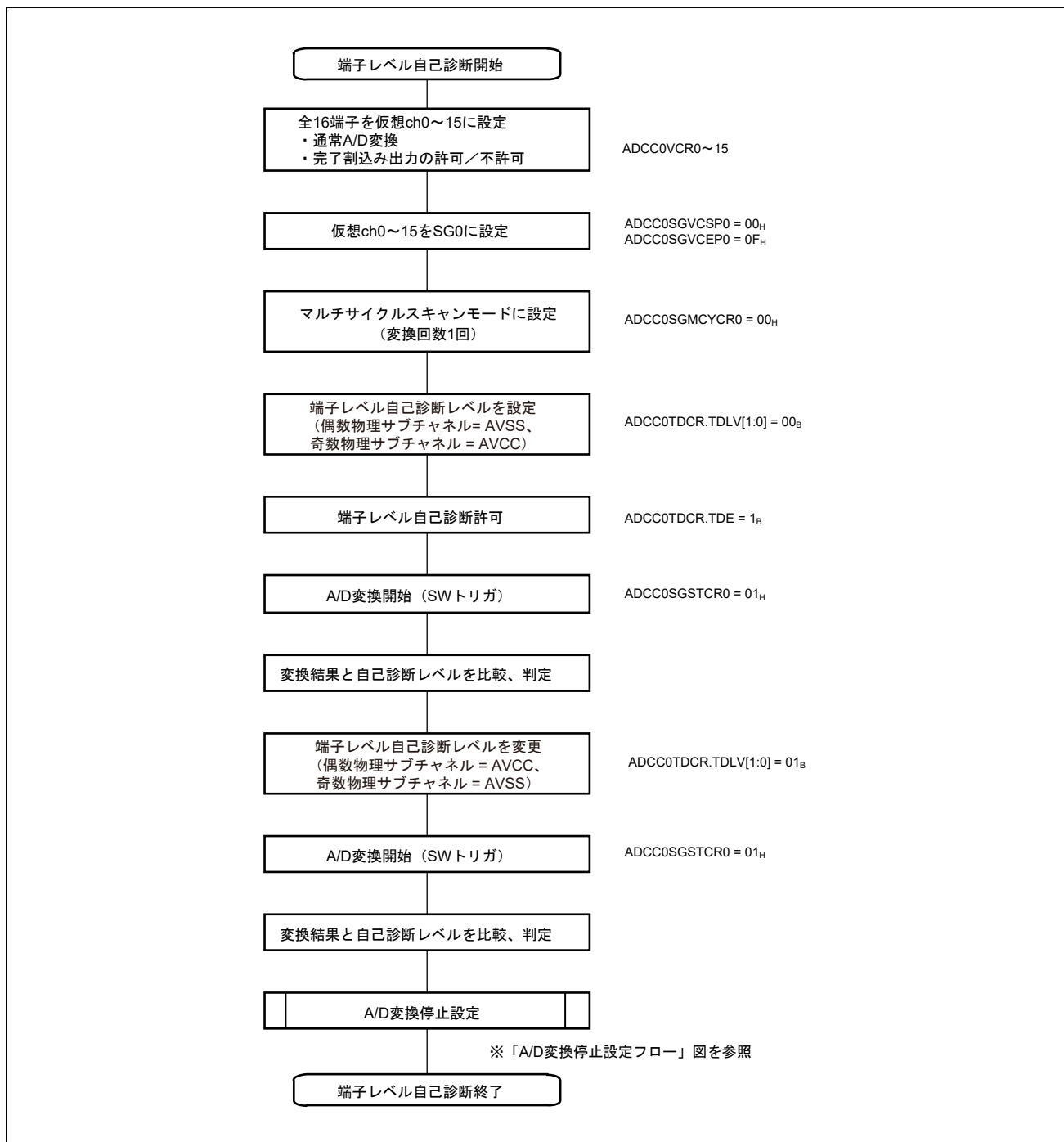


図 27.27 端子レベル自己診断フロー

27.5.5 断線検出自己診断設定手順

断線検出機能は、ANI の断線を検出するための機能です。断線検出には Pull-Down/Pull-Up 方式の両方を使用します。Pull-Down 方式のとき、断線が起こると変換結果は 0 V 近傍に減衰し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。Pull-Up 方式のとき、断線が起こると変換結果は 5 V 近傍に上昇し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。

図 27.28 に断線検出自己診断フローを示します。

以下の断線検出自己診断フローは、ADCC0 の 1 端子ごとに仮想チャンネルに割り当て、対象端子に診断電圧を印加し、断線検出自己診断を行った場合を例としています。また、断線検出自己診断フローは A/D 変換起動前に行うことを想定しています。

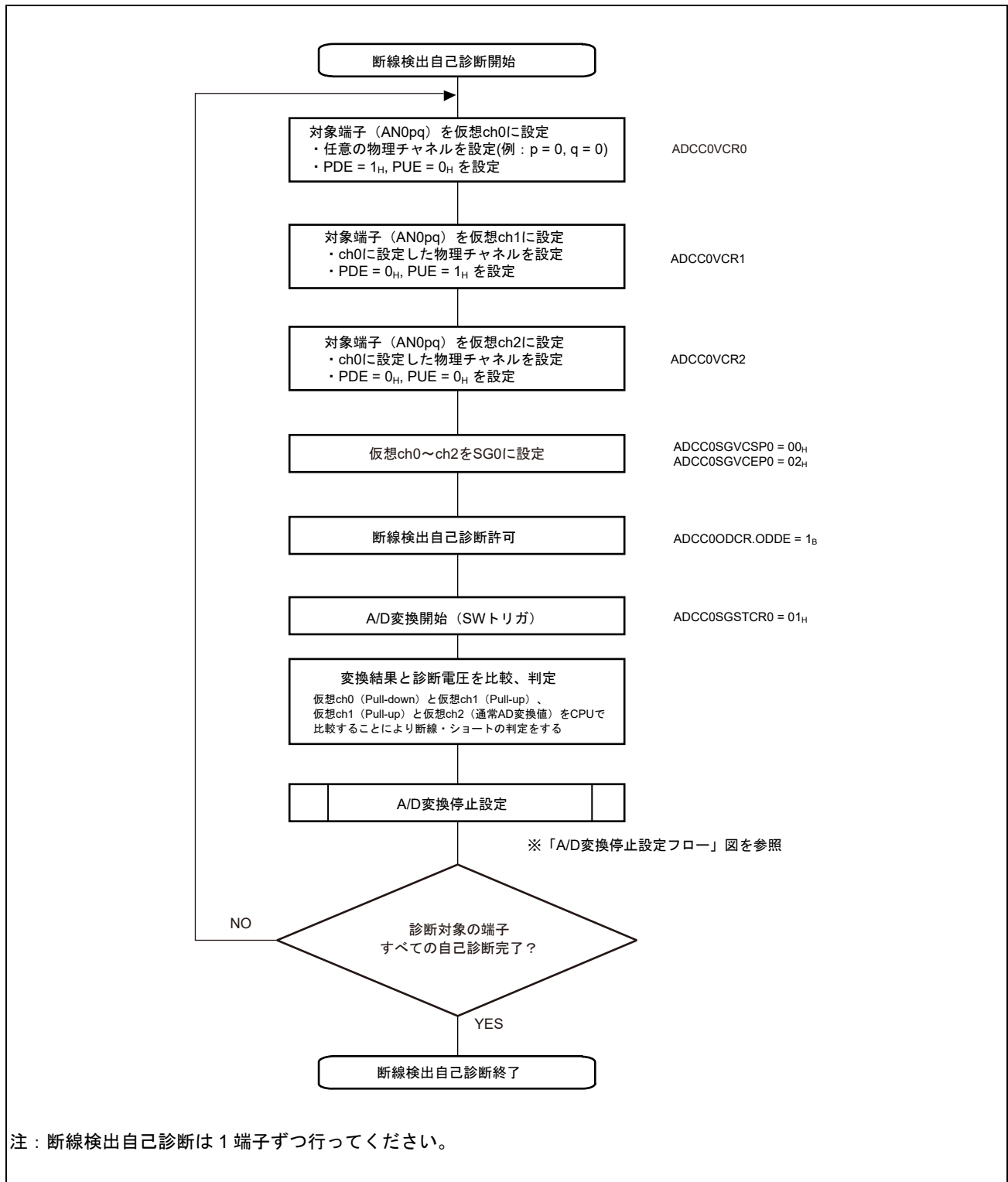


図 27.28 断線検出自己診断フロー

27.6 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる (図 27.29)。
- オフセット誤差
デジタル出力が最小電圧値 000_{H} から 001_{H} に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 27.29)。
- フルスケール誤差
デジタル出力が FFE_{H} から FFF_{H} に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 27.29)。
- DNL (微分非直線性誤差)
理想デジタル出力コード幅 (V_{q}) と実際のデジタル出力コード幅 (V_{a}) との偏差であり、 $(V_{\text{a}} - V_{\text{q}}) / V_{\text{q}}$ で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 27.29)。
- INL (積分非直線性誤差)
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、 000_{H} から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 27.29)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む (図 27.29)。

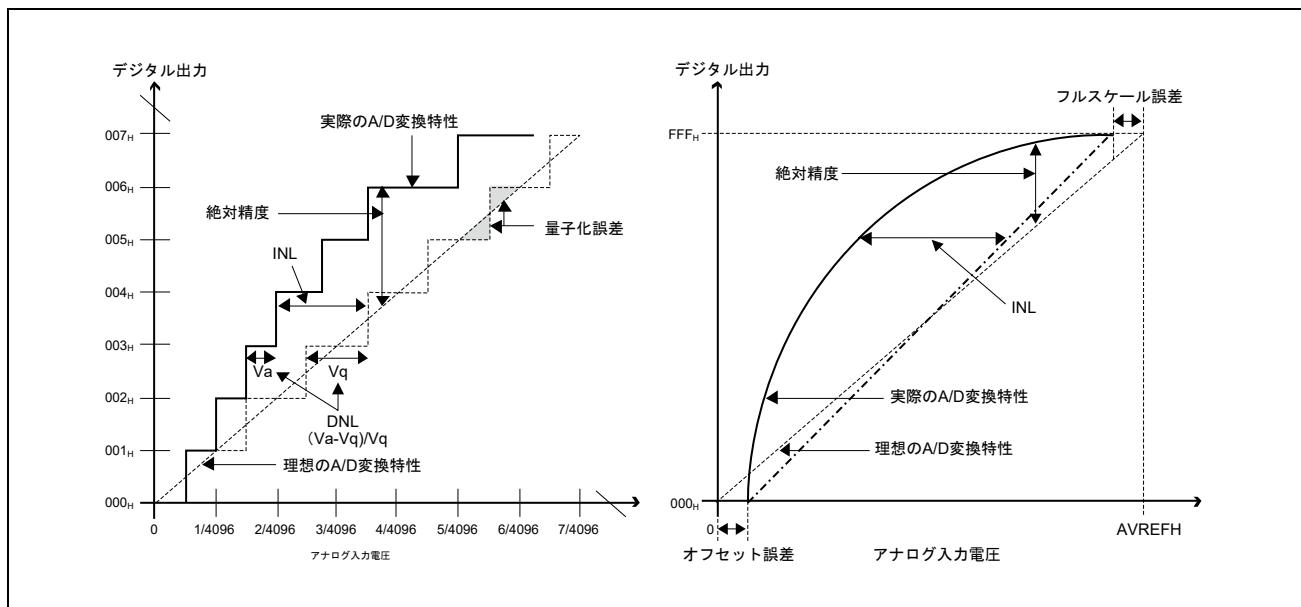


図 27.29 A/D 変換精度の定義

27.7 注意事項

27.7.1 レジスタ設定上の注意事項

1. 同時トラック&ホールド機能を使用する場合、必ず非同期サスペンドを選択してください。
2. 同時トラック&ホールド機能を使用する場合、必ずマルチサイクルスキャンモードを選択し、スキャン回数は1回にしてください。
3. 同時トラック&ホールド機能を使用する場合、必ずホールドを実行したのちに A/D 変換を行ってください。
4. 同時トラック&ホールド機能を使用する場合、必ず T&H グループ A/B で選択する SGx への AD タイマトリガ入力は無効としてください。
5. 断線検出は、同時トラック&ホールドの A/D 変換で行わないでください。また、誤動作を防ぐため、ADCCnTHER.THkE ビットを 0 もしくは、ADCCnTHSTPCR.THSTP ビットを 1 にした後、断線検出機能を使用してください。
6. アナログ入力端子に対し、電流注入が発生している状態では自己診断を行わないでください。

以下に、レジスタ設定上の注意事項を示します。

以下のレジスタは、注意手順の内容を設定/確認したあとに値を設定してください。

表 27.52 レジスタ設定上の注意事項 (1/2)

対象レジスタ	注意手順
ADCCnVCRj ADCCnADCR1 ADCCnADCR2 ADCCnSFTCR ADCCnTDCR ADCCnODCR ADCCnULLMTBR0~2	①T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ②全スキャングループのスキャングループ同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) が 0 かつ全スキャングループのトリガモード (ADCCnSGCRx.TRGMDBIT ビット) が 0 ③全スキャングループのスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前)
ADCCnTHCR ADCCnTHGSR	①T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ②T&H グループ A/B のスキャングループ選択 (ADCCnTHACR.SGS[1:0] ビットおよび ADCCnTHBCR.SGS[1:0] ビット) で指定した SGx のスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前) ③全 T&H の ADCCnTHER.THkE ビットが 0 (全 T&H 停止)
ADCCnTHACR.HLDCTE ビット、SGS[1:0] ビット ADCCnTHBCR.HLDCTE ビット、SGS[1:0] ビット	①T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0 ②全スキャングループのスキャングループ同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) が 0 かつ全スキャングループのトリガモード (ADCCnSGCRx.TRGMDBIT ビット) が 0 ③全スキャングループのスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前) ④全 T&H の ADCCnTHER.THkE ビットが 0 (全 T&H 停止)

表 27.52 レジスタ設定上の注意事項 (2/2)

対象レジスタ	注意手順
ADCCnTHER	<p>①T&H グループ A/B のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット、ADCCnTHBCR.HLDTE ビット) が 0</p> <p>②T&H グループ A/B のスキャングループ選択 (ADCCnTHACR.SGS[1:0] ビット、ADCCnTHBCR.SGS[1:0] ビット) で指定した SGx のスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前)</p>
ADCCnSGCRx.SCANMD ビット、 ADIE ビット ADCCnSGMCYCRx ADCCnULLMSRx ADCCnSGVCSPx ADCCnSGVCEPx	<p>①T&H グループ A のスキャングループ選択 (ADCCnTHACR.SGS[1:0] ビット) が SGx を選択している場合は T&H グループ A のホールドトリガイネーブル (ADCCnTHACR.HLDTE ビット) が 0</p> <p>②T&H グループ B のスキャングループ選択 (ADCCnTHBCR.SGS[1:0] ビット) が SGx を選択している場合は T&H グループ B のホールドトリガイネーブル (ADCCnTHBCR.HLDTE ビット) が 0</p> <p>③SGx のスキャングループ同期開始イネーブル (ADCCnSGCRx.ADSTARTE ビット) が 0 かつ SGx のトリガモード (ADCCnSGCRx.TRGMD ビット) が 0</p> <p>④SGx のスキャングループステータス (ADCCnSGSRx.SGACT ビット) が 0 の状態 (スキャングループ起動前)</p>
ADCCnTHCR ADCCnTHACR ADCCnTHBCR ADCCnTHER ADCCnTHGSR ADCCnSGCRx ADCCnSGVCSPx ADCCnSGVCEPx	<p>左記レジスタを設定する場合には、当該レジスタを読み出した後、書き込みを行ってください。本手順を実施しない場合には、書き込んだレジスタ値が、動作に正しく反映されない場合があります。</p>

第28章 A/D コンバータオプション (ADPA)

本章では、A/D コンバータオプション (ADPA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850 / C1M-A に固有の特長について説明します。それ以降の節では、ADPA の機能、レジスタについて説明します。

28.1 RH850 / C1M-A ADPA の特長

28.1.1 ユニット数

本製品は以下のユニット数の ADPA を搭載しています。

表 28.1 ユニット数

製品名	RH850/C1M-A2	RH850/C1M-A1
ユニット数	1	1
名称	ADPAn (n = 0)	ADPAn (n = 0)

表 28.2 添字

添字	意味
m	本章で参照される TSG3 の各ユニットを「m」 (m = 0, 1, 2) で識別します。
j	本章では ADPA に搭載されるカウンタを「j」 (j = 0~23) で識別します。
k	本章で参照される ADC の各ユニットを「k」 (k = 0, 1, 2) で識別します。
n	本章では、ADPA のユニットを「n」 (n = 0) で識別します。
q	DMA リクエスト番号を「q」 (q = 0~23) で識別します。

28.1.2 レジスタベースアドレス

ADPA のベースアドレスを以下の表に示します。

ADPA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 28.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ADPA0_base>	FFF4 0000 _H

28.1.3 クロック供給

ADPA のクロック供給を以下の表に示します。

表 28.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ADPAn	PCLK	CLK_LSB (低速周辺クロック)

28.1.4 割り込み要求

ADPA の割り込みおよび DMA 要求の一覧を以下に示します。

表 28.5 割り込み・DMA 要求一覧

ユニット割り込み信号	割り込み・DMA 要求名 (概要)	割り込み番号	DMA トリガ番号 ^{注 1}		DTS トリガ番号 ^{注 1}	
			1 st	2 nd	1 st	2 nd
INTADPA0	ADPA 制御通知割り込み 0	333	—	—	—	—
INTADPA1	ADPA 制御通知割り込み 1	334	—	—	—	—
INTADPA2	ADPA 制御通知割り込み 2	335	—	—	—	—
DRQADPA0	ADPA DMA 要求 0	—	—	19	—	19
DRQADPA1	ADPA DMA 要求 1	—	—	20	—	20
DRQADPA2	ADPA DMA 要求 2	—	—	21	—	21
DRQADPA3	ADPA DMA 要求 3	—	—	22	—	22
DRQADPA4	ADPA DMA 要求 4	—	—	23	—	23
DRQADPA5	ADPA DMA 要求 5	—	—	24	—	24
DRQADPA6	ADPA DMA 要求 6	—	—	49	—	49
DRQADPA7	ADPA DMA 要求 7	—	—	50	—	50
DRQADPA8	ADPA DMA 要求 8	—	—	53	—	53
DRQADPA9	ADPA DMA 要求 9	—	—	54	—	54
DRQADPA10	ADPA DMA 要求 10	—	—	55	—	55
DRQADPA11	ADPA DMA 要求 11	—	—	56	—	56
DRQADPA12	ADPA DMA 要求 12	—	—	57	—	57
DRQADPA13	ADPA DMA 要求 13	—	—	58	—	58
DRQADPA14	ADPA DMA 要求 14	—	—	59	—	59
DRQADPA15	ADPA DMA 要求 15	—	—	60	—	60
DRQADPA16	ADPA DMA 要求 16	—	—	68	—	68
DRQADPA17	ADPA DMA 要求 17	—	—	69	—	69
DRQADPA18	ADPA DMA 要求 18	—	—	70	—	70
DRQADPA19	ADPA DMA 要求 19	—	—	71	—	71
DRQADPA20	ADPA DMA 要求 20	—	—	103	—	103
DRQADPA21	ADPA DMA 要求 21	—	—	104	—	104
DRQADPA22	ADPA DMA 要求 22	—	—	105	—	105
DRQADPA23	ADPA DMA 要求 23	—	—	106	—	106

注 1. 1st: Primary Channel, 2nd: Secondary Channel

28.1.5 リセット要因

ADPA のリセット要因を以下に示します。ADPA は以下のリセット要因で初期化されます。

表 28.6 リセット要因

ユニット名	リセット要因
ADPAn	すべてのリセット要因

28.1.6 外部入出力信号

ADPA に外部出力信号はありません。

28.2 概要

28.2.1 機能概要

ADPA には以下の機能があります。

(1) ADC 上下限しきい値条件 Hi-Z 制御

逐次比較型 ADC の読み出し値と上限および下限しきい値設定によって生成されるしきい値判定結果をカウントし、TSG3 出力の Hi-Z 制御を行う機能です。ハードウェアのみの Hi-Z 制御開始・終了を行う場合と、ハードウェアによる制御開始・ソフトウェアによる制御終了を選択することができます。Hi-Z 制御は異常確定カウンタと正常復帰カウンタによって制御されます

(2) ADC 上下限しきい値条件カウンタ

ADPA にはしきい値条件をカウントするカウンタが 24 ケ搭載されています。各カウンタは ADCC の仮想チャンネルレジスタ (VCR0~VCR7) の変換結果に対応しています。カウンタと ADCC との対応関係は以下になります。

- カウンタ 0~7 が ADCC0.VCR0~7 に対応します。
- カウンタ 8~15 が ADCC1.VCR0~7 に対応します。
- カウンタ 16~23 が ADCC2.VCR0~7 に対応します。

TSG3 の各チャンネルを制御する条件にすべてのカウンタ出力を使用することができます。

接続関係は図 28.1 および図 28.2 を参照してください。

28.2.2 ブロック図

ADPA と ADC・TSG3 の接続関係を以下に示します。各 TSG3 の Hi-Z 制御をすべての ADC 読み出し値から制御することが可能です。なお、タイマオプション(TAPA)にて制御された場合、タイマオプション側の Hi-Z 制御が優先されます。ADC から出力される VCRn しきい値判定結果は仮想チャネルしきい値レジスタに従って AD 変換毎に出力されます。詳細は「**第 27 章 A/D コンバータ (ADCC)**」を参照ください。

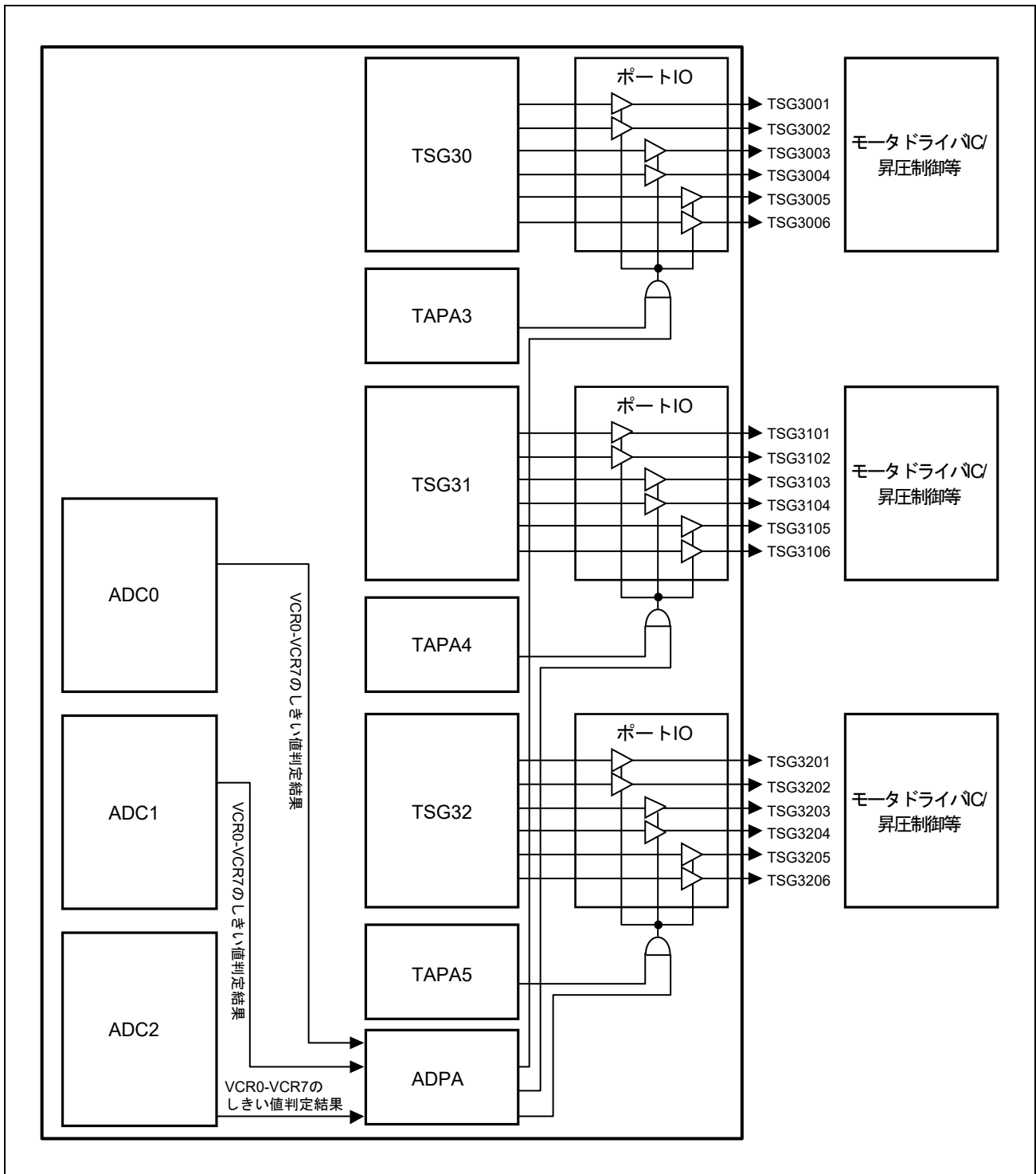


図 28.1 ブロック構成

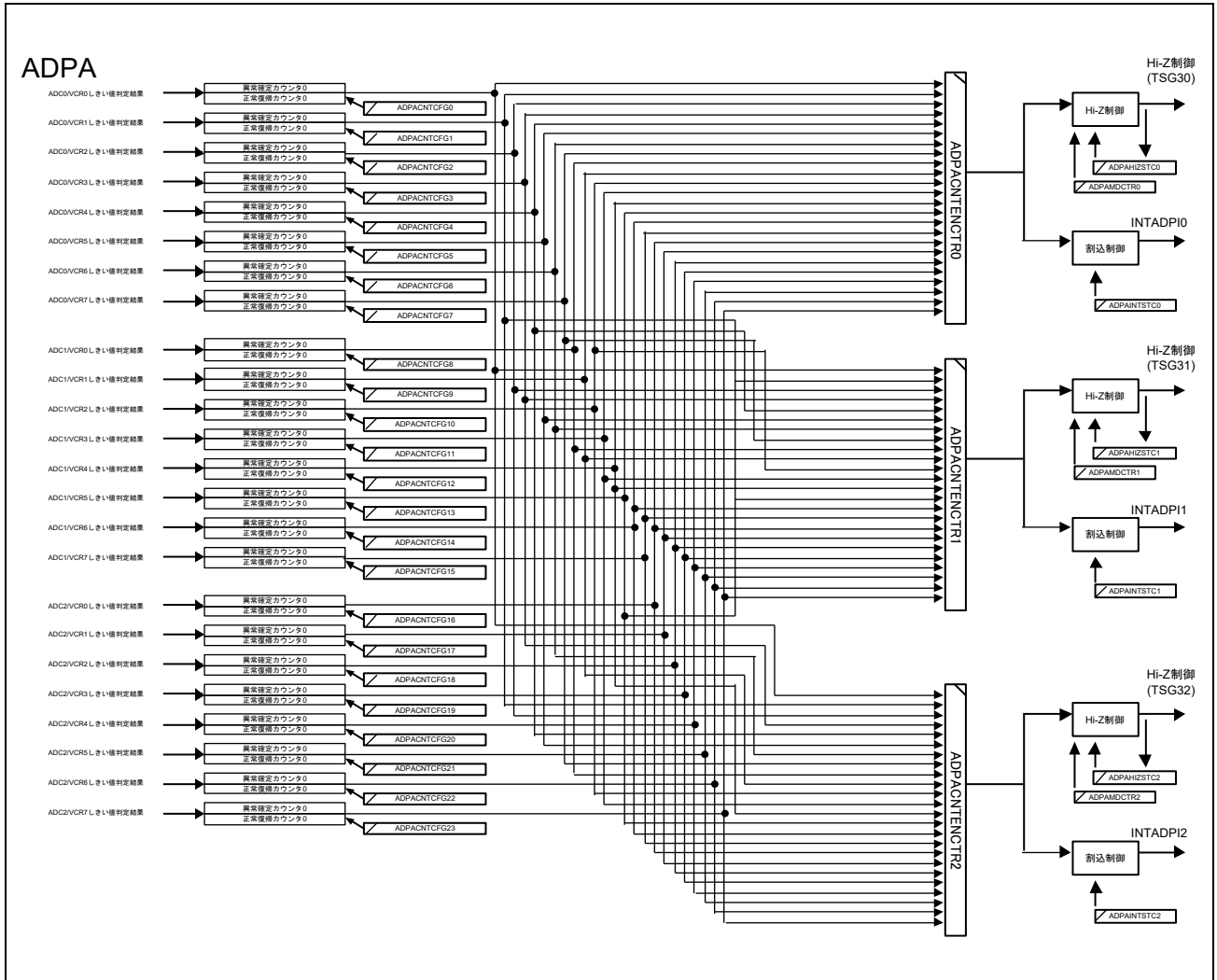


図 28.2 ADPA 内部構成

28.3 レジスタ

28.3.1 レジスタ一覧

ADPA のレジスタ一覧を以下の表に示します。

本モジュールは全レジスタ 32 ビットアクセス専用のレジスタになります。8 ビットアクセスおよび 16 ビットアクセスは行わないでください。

<ADPAn_base>はレジスタベースアドレスを参照してください。

表 28.7 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ADPA	Hi-Z 制御ステータスレジスタ m	ADPAHIZSTCm	<ADPAn_base> + 000 _H + 100 _H × m
ADPA	割り込み制御レジスタ m	ADPAINTSTCm	<ADPAn_base> + 008 _H + 100 _H × m
ADPA	カウンタステータスレジスタ m	ADPACNTSTSm	<ADPAn_base> + 010 _H + 100 _H × m
ADPA	Hi-Z 制御解除モード選択レジスタ m	ADPAMDCTRm	<ADPAn_base> + 020 _H + 100 _H × m
ADPA	カウンタイネーブルレジスタ m	ADPACNTENCTRm	<ADPAn_base> + 040 _H + 100 _H × m
ADPA	Hi-Z 制御要求ステータスレジスタ m	ADPACNTRQSTSm	<ADPAn_base> + 044 _H + 100 _H × m
ADPA	カウンタ設定レジスタ j	ADPACNTCFGj	<ADPAn_base> + 800 _H + 4 _H × j
ADPA	カウンタコントロールレジスタ j	ADPACNTCTRj	<ADPAn_base> + 900 _H + 4 _H × j
ADPA	DMA リソース選択レジスタ q	ADPADMASELq	<ADPAn_base> + C00 _H + 4 _H × q
ADPA	テストパルス注入レジスタ 0	ADPATPUL0	<ADPAn_base> + F00 _H
ADPA	テストパルス注入レジスタ 1	ADPATPUL1	<ADPAn_base> + F04 _H
ADPA	テストパルス注入レジスタ 2	ADPATPUL2	<ADPAn_base> + F08 _H

28.3.2 ADPAHIZSTCm — Hi-Z 制御ステータスレジスタ m

Hi-Z 制御の状態を示すレジスタです。モードレジスタにてソフトウェアクリアを選択した場合、Hi-Z 制御要求ステータスレジスタ (ADPACNTRQSTSm) がすべて制御要求無しの時、このレジスタに対して 1 を書き込むことにより Hi-Z 制御が解除されます。

アクセス 32 ビット単位のみでリード・ライトが可能です。

アドレス <ADPAn_base> +100_H × m

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	RW

表 28.8 ADPAHIZSTC レジスタの内容

ビット位置	ビット名	機能
31~1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STS	Hi-Z 制御ステータス Hi-Z 制御の状態を示すビットです。ソフトウェア解除モードを選択した場合はこのビットに 1 を書き込むことで Hi-Z 制御を解除することができます。 0 : TSG3m は通常状態 1 : TSG3m は Hi-Z 制御状態

28.3.3 ADPAINTSTCm — 割り込み制御レジスタ m

割り込み通知のタイミングを制御するレジスタです。

アクセス 32 ビット単位のみでリード・ライトが可能です。

アドレス <ADPAn_base> + 8 + 100_H × m

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 28.9 ADPAINTSTC レジスタの内容

ビット位置	ビット名	機能
31~2	予約ビット	ライトする場合はリセット後の値を書いてください。
1、0	INTEN	割り込み制御レジスタ 00：割り込み非通知 01：制御終了時に割り込み通知 10：制御開始時に割り込み通知 11：制御開始および終了時に割り込み通知

28.3.4 ADPACNTSTSm — カウンタステータスレジスタ m

カウンタの状況を示すレジスタです。

アクセス 32ビット単位のみでリードが可能です。

アドレス <ADPAn_base> + 10_H + 100_H × m

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CNTSTS							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTSTS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28.10 ADPACNTSTS レジスタの内容

ビット位置	ビット名	機能
31~24	予約ビット	リードした場合はリセット後の値が読めます。
23~0	CNTSTS	カウンタステータスレジスタ 対応するビットのカウンタの Hi-Z 要求状況を示します。 0 : カウンタは Hi-Z 要求なし 1 : カウンタは Hi-Z 要求中

28.3.5 ADPAMDCTRm — Hi-Z 制御解除モード選択レジスタ m

Hi-Z 制御の解除をハードウェアで行うか、ソフトウェアで行うか設定をするレジスタです。

アクセス 32 ビット単位のみでリード・ライトが可能です。

アドレス <ADPAn_base> +20_H + 100_H × m

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SFTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 28.11 ADPAMDCTR レジスタの内容

ビット位置	ビット名	機能
31~2	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SFTEN	Hi-Z 制御解除モードレジスタ Hi-Z 制御解除をハードウェアのみで行うか、ソフトウェアにて解除させるか設定を行うレジスタです。ソフトウェアモードでの Hi-Z 制御解除はすべての制御有効カウンタが要求を出力していた場合には制限解除されません。 0 : ハードウェアモード : Hi-Z 制御解除はカウンタ制御に従う 1 : ソフトウェアモード : Hi-Z 制御解除をソフトウェアにて行う

28.3.6 ADPACNTENCTRm — カウンタイネーブルレジスタ m

Hi-Z 制御要求の有効を設定するレジスタです。

アクセス 32 ビット単位のみでリード・ライトが可能です。

アドレス <ADPAn_base> + 40_H + 100_H × m

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CNTEN							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.12 ADPACNTENCTR レジスタの内容

ビット位置	ビット名	機能
31~24	予約ビット	ライトする場合はリセット後の値を書いてください。
23~0	CNTEN	Hi-Z 制御有効カウンタ設定 対応するビットのカウンタ j の Hi-Z 要求の有効を選択するレジスタです。 0 : カウンタの Hi-Z 要求が無効 1 : カウンタの Hi-Z 要求が有効

28.3.7 ADPACNTRQSTS_m —Hi-Z 制御要求ステータスレジスタ m

各カウンタの Hi-Z 制御要求を表示するレジスタです。

アクセス 32 ビット単位のみでリードが可能です。

アドレス <ADPAn_base> + 44_H + 100_H × m

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CNTRQ							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTRQ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28.13 ADPACNTRQSTS レジスタの内容

ビット位置	ビット名	機能
31~24	予約ビット	リードした場合はリセット後の値が読めます。
23~0	CNTRQ	Hi-Z 制御要求 対応するビットのカウンタ j の Hi-Z 要求を表示するレジスタです。 0 : カウンタの Hi-Z 要求なし 1 : カウンタの Hi-Z 要求あり

28.3.8 ADPACNTCFGj — カウンタ設定レジスタ j

カウンタの設定を行うレジスタです。正常復帰カウンタおよび異常確定カウンタにてノイズ除去期間を設定します。本レジスタへの書き換えで内部ダウンカウンタは設定値を再セットします。

アクセス 32ビット単位のみでリード・ライトが可能です。

アドレス <ADPAn_base> + 800H + 4H × j

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SEL	—	—	—	—	—	—	—	—	—	—	—	—	CNMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	NRMCNT				—	—	—	—	ERRCNT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 28.14 ADPACNTCFG レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	ライトする場合はリセット後の値を書いてください。
29、28	SEL	カウント選択レジスタ カウンタのカウント条件を設定するレジスタです。 00：上限・下限超過を正常範囲として扱う。 01：下限超過をカウント。上限超過は正常範囲として扱う。 10：上限超過をカウント。下限超過は正常範囲として扱う。 11：上限・下限超過をカウント
27～17	予約ビット	ライトする場合はリセット後の値を書いてください。
16	CNMD	ノイズカウンタ方式選択レジスタ 0：異常確定カウンタは閾値以内になれば設定値を再セット 1：異常確定カウンタは正常復帰カウンタが0になれば設定値を再セット
15～12	予約ビット	ライトする場合はリセット後の値を書いてください。
11～8	NRMCNT	正常復帰カウンタ設定レジスタ 正常復帰カウンタ回数を設定するレジスタです。 しきい値超過によってカウンタ値は再セットされます。 0 _H ：カウンタ無効 1 _H ：しきい値を連続 1 回下回れば Hi-Z 制御を解除 ... F _H ：しきい値を連続 15 回下回れば Hi-Z 制御を解除 カウンタ無効時は Hi-Z 制御を行いません。
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3～0	ERRCNT	異常確定カウンタ設定レジスタ 異常確定カウンタ回数を設定するレジスタです。 カウンタ値の再セットは CNMD レジスタにて制御されます。 0 _H ：カウンタ無効 1 _H ：しきい値を 1 回超過すれば Hi-Z 制御を開始 ... F _H ：しきい値を 15 回超過すれば Hi-Z 制御を開始 カウンタ無効時は Hi-Z 制御を行いません。

28.3.9 ADPACNTCTRj — カウンタコントロールレジスタ j

カウンタの初期化を行うレジスタです。

アクセス 32 ビット単位のみでライトが可能です。

アドレス <ADPAn_base> + 900_H + 4_H × j

リセット後の値 —

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 28.15 ADPACNTCTR レジスタの内容

ビット位置	ビット名	機能
31~18	予約ビット	ライトする場合は0を書いてください。
17~16	CLR	カウンタクリアレジスタ カウンタ j を初期化するレジスタです。カウンタ設定の再読み込みおよび Hi-Z 要求のクリアを行います。 00：無視されます。 11：カウンタ初期化。カウンタ設定の再読み込みと Hi-Z 要求のクリアを行います。 その他：設定禁止
15~0	予約ビット	ライトする場合は0を書いてください。

28.3.10 ADPADMASELq — DMA リソース選択レジスタ q

DMA 要因の選択を行うレジスタです。本モジュールは 24 本の DMA 要因を出力します。各要因とカウンタおよび超過種別の選択を行うレジスタです。

アクセス 32 ビット単位のみでリード・ライトが可能です。

アドレス <ADPAn_base> + C00_H + 4_H × q

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TIMSEL		—	—	—	CNTSEL				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 28.16 ADPADMASEL レジスタの内容

ビット位置	ビット名	機能
31~10	予約ビット	ライトする場合はリセット後の値を書いてください。
9、8	TIMSEL	DMA 出力タイミングセレクト DMA 要因の発行タイミングを選択します。 00: DMA リクエスト無効。 01: Hi-Z 制御解除時に DMA リクエスト発行 10: Hi-Z 制御開始時に DMA リクエスト発行 11: Hi-Z 制御開始および解除時に DMA リクエスト発行
7~5	予約ビット	ライトする場合はリセット後の値を書いてください。
4~0	CNTSEL	DMA 要因生成カウンタセレクトレジスタ DMA 要因を生成するカウンタを選択します。 00 _H : カウンタ 0 を選択 01 _H : カウンタ 1 を選択 ... 17 _H : カウンタ 23 を選択 18 _H 以上: 設定禁止

28.3.11 ADPATPUL0 — テストパルス注入レジスタ 0

テストパルスを発行するレジスタです。

アクセス 32 ビット単位のみでライトが可能です。

アドレス <ADPAn_base> + F00_H

リセット後の値 —

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TPULNRM							
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPULNRM															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 28.17 ADPATPUL0 レジスタの内容

ビット位置	ビット名	機能
31~24	予約ビット	ライトする場合は0を書いてください。
23~0	TPULNRM	通常変換パルス注入レジスタ ビットに対応したカウンタにしきい値以内を通知するパルスを注入します。カウンタ 0 に注入する場合はビット 0 に 1 書き込みを行ってください。 1 回の書き込みで 1 回のパルスを注入します。 0 書き込みは無視されます。

28.3.12 ADPATPUL1 — テストパルス注入レジスタ 1

テストパルスを発行するレジスタです。

アクセス 32 ビット単位のみでライトが可能です。

アドレス <ADPAn_base> + F04_H

リセット後の値 —

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	TPULOVR								—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TPULOVR																
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

表 28.18 ADPATPUL1 レジスタの内容

ビット位置	ビット名	機能
31~24	予約ビット	ライトする場合は0を書いてください。
23~0	TPULOVR	上限超過パルス注入レジスタ ビットに対応したカウンタに上限超過を通知するパルスを注入します。カウンタ0に注入する場合はビット0に1書き込みを行ってください。 1回の書き込みで1回のパルスを注入します。 0書き込みは無視されます。

28.3.13 ADPATPUL2 — テストパルス注入レジスタ 2

テストパルスを発行するレジスタです。

アクセス 32 ビット単位のみでライトが可能です。

アドレス <ADPAn_base> + F08_H

リセット後の値 —

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TPULUND							
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPULUND															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 28.19 ADPATPUL2 レジスタの内容

ビット位置	ビット名	機能
31~24	予約ビット	ライトする場合は0を書いてください。
23~0	TPULUND	下限超過パルス注入レジスタ ビットに対応したカウンタに下限超過を通知するパルスを注入します。カウンタ0に注入する場合はビット0に1書き込みを行ってください。 1回の書き込みで1回のパルスを注入します。 0書き込みは無視されます。

28.4 機能

28.4.1 ノイズカウント方式

本モジュールのノイズカウント方法について以下に示します。ADC の上限と下限の規定値を超過した場合、その回数をカウントして TSG3 出力を Hi-Z 制御します。カウント方法は 2 通りあり異常確定カウンタの初期化条件が変わります。

ADPACNTCFGj.CNMD = 0

ADPACNTCFGj.NRMCNT = 3

ADPACNTCFGj.ERRCNT = 3

の場合

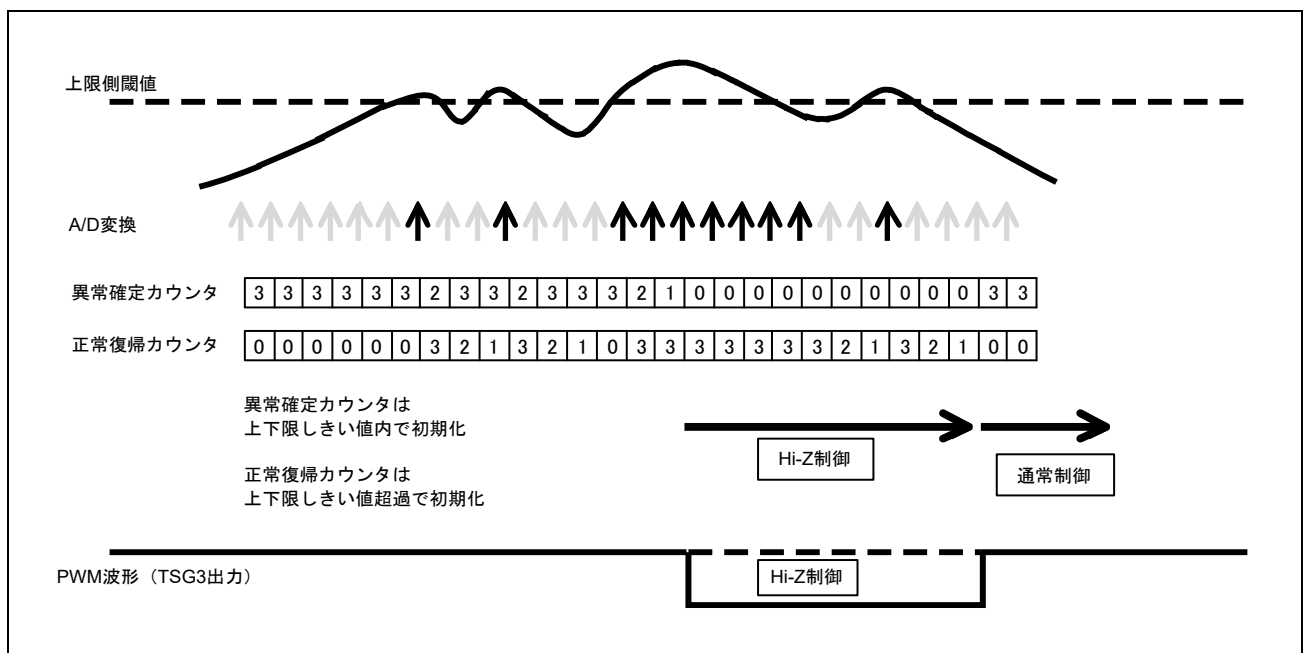


図 28.3 ノイズカウント (1)

ADPACNTCFGj.CNMD = 1
 ADPACNTCFGj.NRMCNT = 3
 ADPACNTCFGj.ERRCNT = 3
 の場合

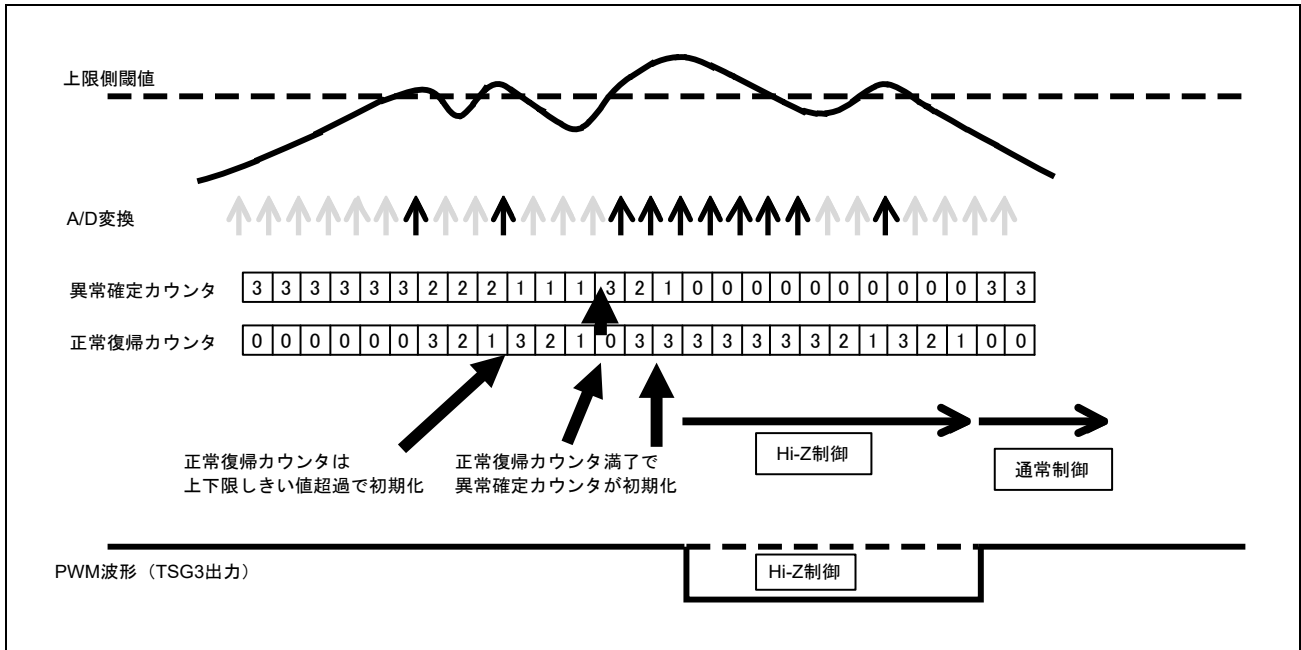


図 28.4 ノイズカウンタ (2)

28.5 手順

28.5.1 通常使用

(1) ADC の設定 (詳細は「第 27 章 A/D コンバータ (ADCC)」を参照してください。)

ADCC 仮想チャンネルレジスタ (ADCCkVCRj) の設定ビット (VCULME、VCLLME、VCULLMTBS) と仮想チャンネルしきい値設定レジスタ (ADCCkVCULLMTBR0~6) の設定を行い、しきい値判定を行ってください。

注 意

スキャングループ上限値/下限値テーブル選択レジスタとは関係がありません。

(2) TSG3 の設定

詳細は「第 20 章 モータコントロールタイマ (TSG3)」を参照してください。

(3) ADPA 設定

カウンタ設定レジスタの設定 (ADPACNTCFGj)

カウンタイネーブルレジスタの設定 (ADPACNTENCTRm)

割込み制御レジスタの設定 (ADPAINTSTCm)

Hi-Z 制御解除モード選択レジスタの設定 (ADPAMDCTRm)

(4) ADC 変換開始

ADPA の設定後に AD 変換を開始してください。ADPA カウンタ設定レジスタの設定を変更すると異常確定カウンタおよび正常復帰カウンタが設定値を再読み込みします。

28.5.2 スタートアップ診断機能

本モジュールは ADC の自己診断機能と組み合わせて使用することができます。ADC 自己診断機能については「第 27 章 A/D コンバータ (ADCC)」を参照してください。また、テストパルス注入レジスタにて任意の変換結果を注入することができます。ADC 自己診断機能またはテストパルス注入レジスタにて診断用の変換を実施し、Hi-Z 制御ステータスレジスタの確認を行うことによって Hi-Z 制御の確認を行うことができます。

第29章 ファンクショナルセーフティ

本章は RH850/C1M-A に搭載している安全機構の概要を記載しています。

本マイコンは ISO26262 における SEooC (Safety Element out of Context) として開発しております。

開発プロセスや安全機構の詳細に関しては、当社の営業窓口までお問い合わせください。

以下に本マイコンの備える故障検出機能を示します。

29.1 概要

ECC および EDC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

ロックステップ

CPU1 の故障を早期に検出します。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

MISG

CPU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いたシグネチャを生成し、生成したシグネチャ同士を自動比較します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

2 重化構成

本製品は、故障検出機能自身の故障を検出するため、以下に示す故障検出機能は、検出の為のハードウェアが 2 重化されています。いずれかの機能に故障が発生した場合は、2 重化エラーとして ECM に通知されません。

2 重化対象機能一覧	備考
ロックステップ比較器	CPU1 のロックステップ用比較器
ECC デコーダ	
アドレスパリティデコーダ	

周辺 RAM と Data Flash の ECC デコーダは、制御レジスタを含めて 2 重化されています。2 重化故障検知機能を利用する場合は、マスタ側とチェッカ側の制御レジスタに同じ値を設定してください。

その他の ECC デコーダやアドレスパリティチェッカについては、制御レジスタは 2 重化されていません。

エラーコントロールモジュール ECM

LSI 内の様々な故障検出状況を監視し、故障検出時の動作を指定します。

29.2 ECC および EDC

29.2.1 概要

29.2.1.1 ECC

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 29.1 ECC 概要

対象	対象 データ幅 [bit]	エラー検出時の動作				故障注入
		検出/訂正	ECM 通知	エラー ステータス	アドレス キャプチャ	
Code Flash	128	SEC-DED	○	○	○	○
Data Flash	32	SEC-DED	○	○	○	○
Local RAM (CPU1、CPU2、SubCPU)	32	SEC-DED	○	○	○	○
Global RAM	32	SEC-DED	○	○	○	○
命令キャッシュ (データ)	64	SEC-DED	○	○	○	○
命令キャッシュ (TAG)	16	SEC-DED	○	○	○	○
DTS 用 RAM	32	SEC-DED	○	○	○	○
周辺 RAM (32 ビット)	32	SEC-DED	○	○	○	○

- 対象データ幅

ECC エンコードの対象となるデータ幅を示します。

これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、(1) の読み出し時にも ECC はチェックされます。

- (1) 書き換え対象データを含む ECC エンコード対象データの読み出し
- (2) 書き換え対象データの入れ替え
- (3) (2) で生成したデータの書き戻し

- 検出/訂正

SEC-DED：1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED：1 ビットエラーおよび2 ビットエラーの検出が可能です。

- ECM 通知

エラー検出時に ECM に通知可能です。

- エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

- アドレスキャプチャ

エラー検出時に、エラーの発生したアドレスを保持します。

- 故障注入

意図的に ECC エラーを発生させることによって、ECC デコーダの動作を自己診断することができます。

29.2.1.2 アドレスパリティ

本製品は、以下のメモリに対してアドレスパリティを搭載しています。これによって、アドレスデコード時のエラーを検出可能です。また、パリティエンコーダとメモリ間のアドレスに生じたエラーの検出も可能です。

表 29.2 アドレスパリティ概要

対象	パリティビット	ECM 通知	エラーステータス	アドレスキャプチャ	故障注入
Code Flash	2bit ^{注 1}	○	○	○	○
Local RAM	2bit ^{注 2}	○	○	○	○
Global RAM	2bit ^{注 2}	○	○	○	○

注 1. 128 ビットのデータ毎に、アドレスパリティビットをメモリの 1 か所書き込みます。リード単位は 2 倍の 256 ビットとなる為、アドレスパリティビットは 2 ビット構成となります。書き込み時は 128 ビット毎にアドレスパリティを生成する為、リード単位の 2 ビットのアドレスパリティは常に反転した関係となります。

注 2. ライトアドレスに対応するパリティビットをメモリの 2 ヶ所に書き込みます。リードアドレスに対応するパリティビットとの比較において、メモリに格納した 2 ビットの両方にエラーを検出した場合をアドレスパリティエラー、パリティビットの一方のみエラーを検出した場合をパリティビットエラーとして区別します。

29.2.1.3 データパリティ

本製品は、特定のデータ転送に対してデータパリティを搭載しています。これにより、転送データに生じたエラーを検出可能です。詳細は、「**29.2.9 データ転送経路のデータパリティ**」を参照してください。

29.2.2 Code Flash の ECC およびアドレスパリティ

29.2.2.1 概要

Code Flash ECC の概要を以下に示します。

表 29.3 Code Flash 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行う (2 ビットエラー検出と 1 ビットエラー検出・訂正を行う) • ECC エラー検出を行う (2 ビットエラー検出と 1 ビットエラー検出を行う) <p>無効時はエラー検出・訂正を行わない</p> <p>リセット後の状態は機能有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行う。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>アドレスパリティチェックはデータリード時に行います。</p> <p>リセット後の状態は機能有効。</p>
エラー通知	<p>ECC エラー発生時、またはパリティエラー発生時に ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時にエラー通知許可/禁止を選択可 <p>リセット後の状態は、アドレスパリティエラー検出時のエラー通知許可。</p> <p>エラー通知信号は、</p> <ul style="list-style-type: none"> ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーを 1 要因 <p>として ECM に通知します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。</p> <p>エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>ROM データと、ECC ビットやアドレスパリティビットをダイレクトに読み出すことができます。</p> <p>ROM データと、ECC ビットやアドレスパリティビットに任意のデータを書き込むことができます。</p>
その他	<p>命令フェッチ時の ECC2 ビットエラー は ECM で安全状態に移行できます。</p>

ECC デコーダとアドレスパリティ生成器は Code Flash インタフェースにつながる各読み出し経路 (CPU1、CPU2、SubCPU、インターコネクタ) それぞれに対応して用意されています。アドレスパリティチェックは Code Flash のアクセスコントローラにあります。図 29.1 をご参照ください。尚、CPU1,CPU2,SubCPU のエラー情報は、命令とデータ毎に保持し、インターコネクタのエラー情報は、命令もデータも同じレジスタへ保持します。図 29.2 をご参照ください。

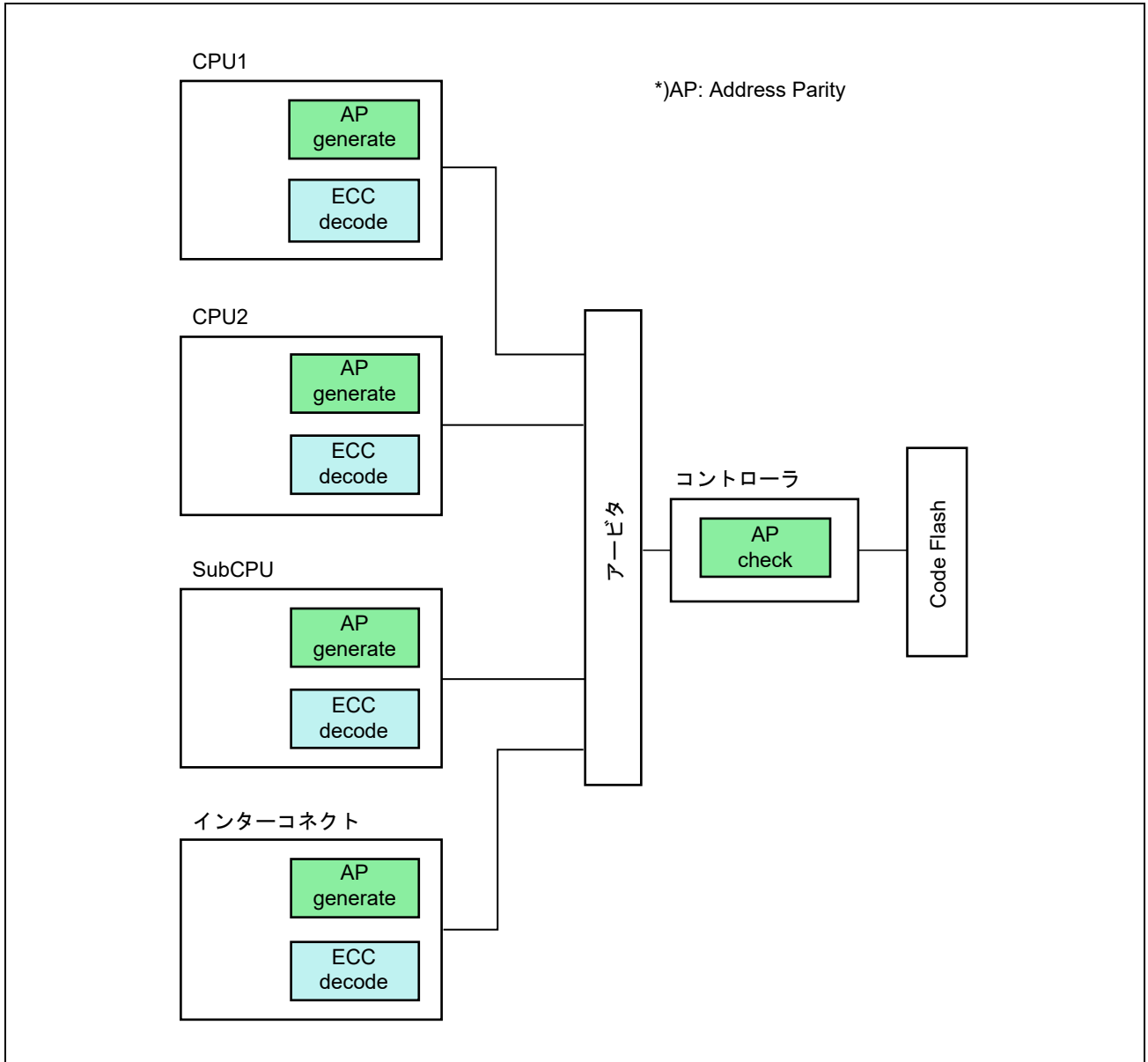


図 29.1 Code Flash の ECC とアドレスパリティ

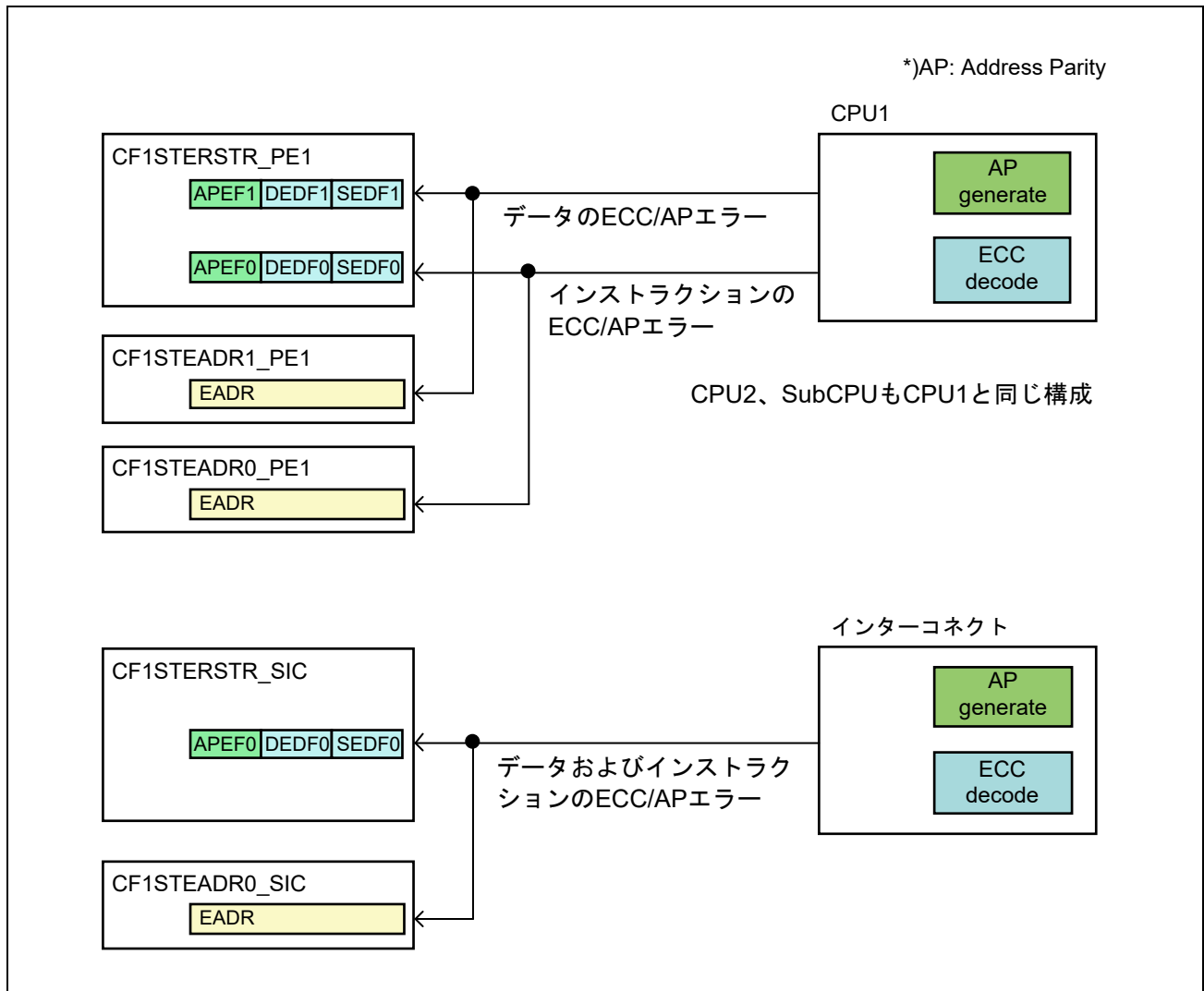


図 29.2 Code Flash のエラー情報保持構成

29.2.2.2 レジスタ一覧

表 29.4 レジスタ一覧

モジュール名	レジスタ名	略号 ^{注 1}	アドレス
ECCFLI	Code Flash アドレスパリティコントロールレジスタ	CFAPCTL	FFC6 2000 _H
ECCFLI	Code Flash ECC コントロールレジスタ (SIC)	CFECCCTL_SIC	FFC6 2200 _H
ECCFLI	Code Flash エラー情報コントロールレジスタ (SIC)	CFERRINT_SIC	FFC6 2204 _H
ECCFLI	Code Flash ステータスクリアレジスタ (SIC)	CFSTCLR_SIC	FFC6 2208 _H
ECCFLI	Code Flash エラーカウントオーバーフローステータスレジスタ (SIC)	CFOVFSTR_SIC	FFC6 220C _H
ECCFLI	Code Flash 1st エラーステータスレジスタ (SIC)	CF1STERSTR_SIC	FFC6 2210 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ (SIC)	CF1STEADR0_SIC	FFC6 2250 _H
ECCFLI	Code Flash サブテストコントロールレジスタ (SIC)	CFSTSTCTL_SIC	FFC6 2350 _H
ECCFLI	Code Flash ECC コントロールレジスタ (PE1)	CFECCCTL_PE1	FFC6 2400 _H
ECCFLI	Code Flash エラー情報コントロールレジスタ (PE1)	CFERRINT_PE1	FFC6 2404 _H
ECCFLI	Code Flash ステータスクリアレジスタ (PE1)	CFSTCLR_PE1	FFC6 2408 _H
ECCFLI	Code Flash エラーカウントオーバーフローステータスレジスタ (PE1)	CFOVFSTR_PE1	FFC6 240C _H
ECCFLI	Code Flash 1st エラーステータスレジスタ (PE1)	CF1STERSTR_PE1	FFC6 2410 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ 0 (PE1)	CF1STEADR0_PE1	FFC6 2450 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ 1 (PE1)	CF1STEADR1_PE1	FFC6 2454 _H
ECCFLI	Code Flash サブテストコントロールレジスタ (PE1)	CFSTSTCTL_PE1	FFC6 2550 _H
ECCFLI	Code Flash ECC コントロールレジスタ (PE2)	CFECCCTL_PE2	FFC6 2600 _H
ECCFLI	Code Flash エラー情報コントロールレジスタ (PE2)	CFERRINT_PE2	FFC6 2604 _H
ECCFLI	Code Flash ステータスクリアレジスタ (PE2)	CFSTCLR_PE2	FFC6 2608 _H
ECCFLI	Code Flash エラーカウントオーバーフローステータスレジスタ (PE2)	CFOVFSTR_PE2	FFC6 260C _H
ECCFLI	Code Flash 1st エラーステータスレジスタ (PE2)	CF1STERSTR_PE2	FFC6 2610 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ 0 (PE2)	CF1STEADR0_PE2	FFC6 2650 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ 1 (PE2)	CF1STEADR1_PE2	FFC6 2654 _H
ECCFLI	Code Flash サブテストコントロールレジスタ (PE2)	CFSTSTCTL_PE2	FFC6 2750 _H
ECCFLI	Code Flash ECC コントロールレジスタ (PE3)	CFECCCTL_PE3	FF75 3000 _H
ECCFLI	Code Flash エラー情報コントロールレジスタ (PE3)	CFERRINT_PE3	FF75 3004 _H
ECCFLI	Code Flash ステータスクリアレジスタ (PE3)	CFSTCLR_PE3	FF75 3008 _H
ECCFLI	Code Flash エラーカウントオーバーフローステータスレジスタ (PE3)	CFOVFSTR_PE3	FF75 300C _H
ECCFLI	Code Flash 1st エラーステータスレジスタ (PE3)	CF1STERSTR_PE3	FF75 3010 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ 0 (PE3)	CF1STEADR0_PE3	FF75 3050 _H
ECCFLI	Code Flash 1st エラーアドレスレジスタ 1 (PE3)	CF1STEADR1_PE3	FF75 3054 _H
ECCFLI	Code Flash サブテストコントロールレジスタ (PE3)	CFSTSTCTL_PE3	FF75 3150 _H

注 1. 上記において、“_SIC”、“_PE1”、“_PE2”、“_PE3”は各アクセス経路に対応する ECC コントローラ毎に用意されているレジスタとなります。“_SIC”はシステムインターコネクトから Code Flash へのアクセス用、“_PE1”は CPU1 からのアクセス用、“_PE2”は CPU2 からのアクセス用、“_PE3”は SubCPU からのアクセス用の ECC コントローラを示します。

29.2.2.3 レジスタ詳細

(1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ

CFAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス CFAPCTL レジスタは、32 ビット単位でリード/ライト可能です。

CFAPCTLL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFAPCTL : FFC6 2000_H

CFAPCTLL : FFC6 2000_H :

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 29.5 CFAPCTL レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスパリティ回路のアドレスパリティチェックの有効/無効を設定します。 0 : アドレスのパリティチェック許可 1 : アドレスのパリティチェック禁止

(2) CFEECCCTL_SIC/PE1/PE2/PE3 — Code Flash ECC コントロールレジスタ

CFEECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0]を 01_Bにして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス CFEECCCTL_SIC, CFEECCCTL_PE1, CFEECCCTL_PE2, CFEECCCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

CFEECCCTL_SICL, CFEECCCTL_PE1L, CFEECCCTL_PE2L, CFEECCCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFEECCCTL_SIC : FFC6 2200_H、CFEECCCTL_PE1 : FFC6 2400_H、
CFEECCCTL_PE2 : FFC6 2600_H、CFEECCCTL_PE3 : FF75 3000_H、
CFEECCCTL_SICL : FFC6 2200_H、CFEECCCTL_PE1L : FFC6 2400_H、
CFEECCCTL_PE2L : FFC6 2600_H、CFEECCCTL_PE3L : FF75 3000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.6 CFEECCCTL レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(3) CFERRINT_SIC/PE1/PE2/PE3 — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス CFERRINT_SIC, CFERRINT_PE1, CFERRINT_PE2, CFERRINT_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

CFERRINT_SICL, CFERRINT_PE1L, CFERRINT_PE2L, CFERRINT_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

CFERRINT_SICLL, CFERRINT_PE1LL, CFERRINT_PE2LL, CFERRINT_PE3LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス CFERRINT_SIC : FFC6 2204H、CFERRINT_PE1 : FFC6 2404H、

CFERRINT_PE2 : FFC6 2604H、CFERRINT_PE3 : FF75 3004H、

CFERRINT_SICL : FFC6 2204H、CFERRINT_PE1L : FFC6 2404H、

CFERRINT_PE2L : FFC6 2604H、CFERRINT_PE3L : FF75 3004H、

CFERRINT_SICLL : FFC6 2204H、CFERRINT_PE1LL : FFC6 2404H、

CFERRINT_PE2LL : FFC6 2604H、CFERRINT_PE3LL : FF75 3004H

リセット後の値 0000 0006H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEIE	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 29.7 CFERRINT レジスタの内容

ビット位置	ビット名	機能
31~3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0 : アドレスパリティエラー通知禁止 1 : アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(4) CFSTCLR_SIC/PE1/PE2/PE3 — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ (CF1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (CFOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (CF1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス CFSTCLR_SIC, CFSTCLR_PE1, CFSTCLR_PE2, CFSTCLR_PE3 レジスタは、32 ビット単位でライト可能です。

CFSTCLR_SICL, CFSTCLR_PE1L, CFSTCLR_PE2L, CFSTCLR_PE3L レジスタは、16 ビット単位でライト可能です。

CFSTCLR_SICLL, CFSTCLR_PE1LL, CFSTCLR_PE2LL, CFSTCLR_PE3LL レジスタは、8 ビット単位でライト可能です。

アドレス CFSTCLR_SIC : FFC6 2208_H、CFSTCLR_PE1 : FFC6 2408_H、

CFSTCLR_PE2 : FFC6 2608_H、CFSTCLR_PE3 : FF75 3008_H、

CFSTCLR_SICL : FFC6 2208_H、CFSTCLR_PE1L : FFC6 2408_H、

CFSTCLR_PE2L : FFC6 2608_H、CFSTCLR_PE3L : FF75 3004_H、

CFSTCLR_SICLL : FFC6 2208_H、CFSTCLR_PE1LL : FFC6 2408_H、

CFSTCLR_PE2LL : FFC6 2608_H、CFSTCLR_PE3LL : FF75 3008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 29.8 CFSTCLR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット (データ用) 1 書き込みで「CF1STERSTR レジスタの APEF1, DEDF1, SEDF1 フラグ」、「CFOVFSTR レジスタの ERROVF1 フラグ」および「CF1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット (命令用、SIC 用) 1 書き込みで「CF1STERSTR レジスタの APEF0, DEDF0, SEDF0 フラグ」、「CFOVFSTR レジスタの ERROVF0 フラグ」および「CF1STEADR0 レジスタ」をクリアします。

(5) CFOVFSTR_SIC/PE1/PE2/PE3 — Code Flash エラーカウントオーバーフローステータスレジスタ

CFOVFSTR レジスタは、エラーカウントオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または、CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス CFOVFSTR_SIC, CFOVFSTR_PE1, CFOVFSTR_PE2, CFOVFSTR_PE3 レジスタは、32 ビット単位でリード可能です。

CFOVFSTR_SICL, CFOVFSTR_PE1L, CFOVFSTR_PE2L, CFOVFSTR_PE3L レジスタは、16 ビット単位でリード可能です。

CFOVFSTR_SICLL, CFOVFSTR_PE1LL, CFOVFSTR_PE2LL, CFOVFSTR_PE3LL レジスタは、8 ビット単位でリード可能です。

アドレス CFOVFSTR_SIC : FFC6 220CH、CFOVFSTR_PE1 : FFC6 240CH、
CFOVFSTR_PE2 : FFC6 260CH、CFOVFSTR_PE3 : FF75 300CH、
CFOVFSTR_SICL : FFC6 220CH、CFOVFSTR_PE1L : FFC6 240CH、
CFOVFSTR_PE2L : FFC6 260CH、CFOVFSTR_PE3L : FF75 300CH、
CFOVFSTR_SICLL : FFC6 220CH、CFOVFSTR_PE1LL : FFC6 240CH、
CFOVFSTR_PE2LL : FFC6 260CH、CFOVFSTR_PE3LL : FF75 300CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.9 CFOVFSTR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバーフローフラグ（データ用） エラーステータスレジスタのいずれかのエラーフラグ（APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバーフローフラグ（命令用、SIC 用） エラーステータスレジスタのいずれかのエラーフラグ（APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(6) CF1STERSTR_SIC/PE1/PE2/PE3 — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。

CF1STERSTR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス CF1STERSTR_SIC, CF1STERSTR_PE1, CF1STERSTR_PE2, CF1STERSTR_PE3 レジスタは、32 ビット単位でリード可能です。

CF1STERSTR_SICL, CF1STERSTR_PE1L, CF1STERSTR_PE2L, CF1STERSTR_PE3L レジスタは、16 ビット単位でリード可能です。

CF1STERSTR_SICLL, CF1STERSTR_SICLH, CF1STERSTR_PE1LL, CF1STERSTR_PE1LH, CF1STERSTR_PE2LL, CF1STERSTR_PE2LH, CF1STERSTR_PE3LL, CF1STERSTR_PE3LH レジスタは、8 ビット単位でリード可能です。

アドレス CF1STERSTR_SIC : FFC6 2210H、CF1STERSTR_PE1 : FFC6 2410H、

CF1STERSTR_PE2 : FFC6 2610H、CF1STERSTR_PE3 : FF75 3010H、

CF1STERSTR_(SIC/PE1/PE2/PE3)L : CF1STERSTR_(SIC/PE1/PE2/PE3) + 00H、

CF1STERSTR_(SIC/PE1/PE2/PE3)LL : CF1STERSTR_(SIC/PE1/PE2/PE3) + 00H、

CF1STERSTR_(SIC/PE1/PE2/PE3)LH : CF1STERSTR_(SIC/PE1/PE2/PE3) + 01H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	APEF1 注 1	DEDF1 注 1	SEDF1 注 1	—	—	—	—	—	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. CF1STERSTR_SIC レジスタではリザーブです。読み出すと常に 0 が読み出されます。

書き込む値も常に 0 にしてください。

表 29.10 CF1STERSTR レジスタの内容

ビット位置	ビット名	機能
31~11、 7~3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 + 8n	APEFn	アドレスパリティエラーモニタフラグ クリア条件：リセットまたは CFSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態でアドレスパリティエラー発生
1 + 8n	DEDFn	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは CFSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0 + 8n	SEDFn	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは CFSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/SEDFn/APEFn のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生

備考 SIC:n = 0

PE1/PE2/PE3: n = 0: 命令用 n = 1: データ用

(7) CF1STEADR_n_SIC/PE1/PE2/PE3 — Code Flash 1st エラーアドレスレジスタ n SIC:n = 0, PE1/PE2/PE3:n = 0, 1

CF1STEADR レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[27:5]は実アドレスの[27:5]が対応します。上位アドレス[31:28]をベースアドレスとして加算することにより実アドレスが計算できます。CF1STEADR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス CF1STEADR0_SIC, CF1STEADR_n_PE1, CF1STEADR_n_PE2, CF1STEADR_n_PE3 レジスタは、32 ビット単位でリード可能です。

CF1STEADR_n_(SIC/PE1/PE2/PE3)_(L/H) レジスタは、16 ビット単位でリード可能です。

CF1STEADR_n_(SIC/PE1/PE2/PE3)_(LL/LH/HL/HH) レジスタは、8 ビット単位でリード可能です。

アドレス CF1STEADR0_SIC : FFC6 2250_H、

CF1STEADR0_PE1 : FFC6 2450_H、CF1STEADR1_PE1 : FFC6 2454_H、

CF1STEADR0_PE2 : FFC6 2650_H、CF1STEADR1_PE2 : FFC6 2654_H、

CF1STEADR0_PE3 : FF75 3050_H、CF1STEADR1_PE3 : FF75 3054_H、

CF1STEADR0_(SIC/PE1/PE2/PE3)_L : CF1STEADR0_(SIC/PE1/PE2/PE3) + 00_H、

CF1STEADR0_(SIC/PE1/PE2/PE3)_H : CF1STEADR0_(SIC/PE1/PE2/PE3) + 02_H、

CF1STEADR0_(SIC/PE1/PE2/PE3)_LL : CF1STEADR0_(SIC/PE1/PE2/PE3) + 00_H、

CF1STEADR0_(SIC/PE1/PE2/PE3)_LH : CF1STEADR0_(SIC/PE1/PE2/PE3) + 01_H、

CF1STEADR0_(SIC/PE1/PE2/PE3)_HL : CF1STEADR0_(SIC/PE1/PE2/PE3) + 02_H、

CF1STEADR0_(SIC/PE1/PE2/PE3)_HH : CF1STEADR0_(SIC/PE1/PE2/PE3) + 03_H、

CF1STEADR1_(SIC/PE1/PE2/PE3)_L : CF1STEADR1_(SIC/PE1/PE2/PE3) + 00_H、

CF1STEADR1_(SIC/PE1/PE2/PE3)_H : CF1STEADR1_(SIC/PE1/PE2/PE3) + 02_H、

CF1STEADR1_(SIC/PE1/PE2/PE3)_LL : CF1STEADR1_(SIC/PE1/PE2/PE3) + 00_H、

CF1STEADR1_(SIC/PE1/PE2/PE3)_LH : CF1STEADR1_(SIC/PE1/PE2/PE3) + 01_H、

CF1STEADR1_(SIC/PE1/PE2/PE3)_HL : CF1STEADR1_(SIC/PE1/PE2/PE3) + 02_H、

CF1STEADR1_(SIC/PE1/PE2/PE3)_HH : CF1STEADR1_(SIC/PE1/PE2/PE3) + 03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	EADR[27:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	EADR[15:5]												—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

表 29.11 CF1STEADRn レジスタの内容

ビット位置	ビット名	機能
31~28	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~5	EADR[27:5]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
4~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

備考 SIC:n = 0

PE1/PE2/PE3: n = 0: 命令用 n = 1: データ用

(8) CFSTSTCTL_SIC/PE1/PE2/PE3 — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用する、Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

アクセス CFSTSTCTL_SIC, CFSTSTCTL_PE1, CFSTSTCTL_PE2, CFSTSTCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

CFSTSTCTL_SICL, CFSTSTCTL_PE1L, CFSTSTCTL_PE2L, CFSTSTCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFSTSTCTL_SIC : FFC6 2350_H、CFSTSTCTL_PE1 : FFC6 2550_H、

CFSTSTCTL_PE2 : FFC6 2750_H、CFSTSTCTL_PE3 : FF75 3150_H、

CFSTSTCTL_SICL : FFC6 2350_H、CFSTSTCTL_PE1L : FFC6 2550_H、

CFSTSTCTL_PE2L : FFC6 2750_H、CFSTSTCTL_PE3L : FF75 3150_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 29.12 CFSTSTCTL_SIC/PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

ECC テストモード (ECCTST = 1) に設定した Code Flash アクセス経路からは正しい命令を読み出せません。CPU のアクセス経路をテストモードに設定中は (ECCTST ビットの操作中も含まれます)、CPU は Local RAM や Global RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。これらのバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、「**第 3 章 CPU システム**」の章をご参照ください。ECC テストモードに設定した Code Flash アクセス経路からは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 29.13 Code Flash の読み出し結果

ビット番号	意味
bit[31:10]	all-0
bit[9]	アドレスパリティビット
bit[8:0]	ECC ビット

29.2.2.4 テスト機能

レジスタ設定により、Code Flash、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) Code Flash データ読み出し

1. CFEECCCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。
2. ECCDIS = 1 のとき、Code Flash 読み出し時にエラー検出・訂正を行いませんので Code Flash からのデータがそのまま読みだされます。

本テストモードからの抜け方：

3. CFEECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC ビット、アドレスパリティビット読み出し

1. CFEECCCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。
2. CFSTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。
3. Code Flash の読み出しを実行すると、Code Flash データ部分の代わりに ECC ビットとアドレスパリティビットが読みだされます。

本テストモードからの抜け方：

4. CFEECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
5. CFSTSTCTL レジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Code Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読み出すことによって各アクセス経路の ECC デコーダやアドレスパリティデコーダを自己診断することができます。一旦正しい ECC ビットやアドレスパリティビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラー、アドレスパリティエラーの故障を注入することができます。尚、アドレスパリティを書き込む場合は、128 ビット単位のアドレスでパリティビットを生成する為、リード時の 256 ビット単位に対する 2 ビットのアドレスパリティは、故障注入時においても常に反転した値で書き込んでください。

Code Flash 書き込み方法の詳細は、「RH850/C1M-A フラッシュメモリ ユーザーズマニュアルハードウェア インタフェース編」をご参照ください。

29.2.3 Data Flash の ECC

29.2.3.1 概要

Data Flash ECC の概要を以下に示します。

表 29.14 Data Flash 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> ● ECC エラー検出・訂正を行います（2 ビットエラー検出と 1 ビットエラー検出・訂正を行います）。 ● ECC エラー検出を行います（2 ビットエラー検出と 1 ビットエラー検出を行います）。 <p>無効時はエラー検出・訂正を行いません。</p> <p>リセット後の状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p>
エラー通知	<p>ECC エラー発生時に ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> ● ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 ● ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>エラー通知信号は、</p> <ul style="list-style-type: none"> ● ECC 2 ビットエラーを 1 要因 ● ECC 1 ビットエラーを 1 要因 <p>として出力します。</p> <p>Data Flash の ECC エラーは、LSU のシステムエラー例外（SYSERR 例外）の要因に含まれます。システムエラー例外についての詳細は、「第 3 章 CPU システム」を参照して下さい。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。</p> <p>エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>ROM データと、ECC ビットをダイレクトに読みだすことができます。</p> <p>ROM データと、ECC ビットに任意のデータを書き込むことができます。</p>

29.2.3.2 レジスタ一覧

(1) ECC モジュール一覧

表 29.15 モジュール一覧

ECC モジュール名とレジスタベースアドレス			
マスタ側 ^{注 1}		チェッカ側 ^{注 1}	
モジュール名	ベースアドレス <Base_addr>	モジュール名	ベースアドレス <Base_addr>
ECCEEP	FFC6 2C00 _H	ECCEEPC	FFC6 2E00 _H

注 1. 2重化構成としているため、マスタ側とチェッカ側の 2 モジュールが存在します。

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 29.16 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ECCEEP	Data Flash ECC コントロールレジスタ	DFECCCTL	<Base_addr>
ECCEEP	Data Flash エラーステータスレジスタ	DFERSTR	<Base_addr> + 04 _H
ECCEEP	Data Flash エラーステータスクリアレジスタ	DFERSTC	<Base_addr> + 08 _H
ECCEEP	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	<Base_addr> + 0C _H
ECCEEP	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	<Base_addr> + 10 _H
ECCEEP	Data Flash エラー通知コントロールレジスタ	DFERRINT	<Base_addr> + 14 _H
ECCEEP	Data Flash 1st エラーアドレスレジスタ	DFEADR	<Base_addr> + 18 _H
ECCEEP	Data Flash テストコントロールレジスタ	DFTSTCTL	<Base_addr> + 1C _H

29.2.3.3 レジスタ詳細

(1) DFECCTL — Data Flash ECC コントロールレジスタ

DFECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。DFECCTL レジスタは内部リセットまたは、外部リセットによって初期化されます。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

アクセス DFECCTL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス DFECCTL : <Base_addr>

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.17 DFECCTL レジスタの内容

ビット位置	ビット名	機能
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正します 1 : 1 ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 初期状態は ECC エラー検出・訂正機能が有効です。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

DFERSTR は内部リセットまたは、外部リセット、Data Flash エラーステータスクリアレジスタのクリアビットセットによって初期化されます。

ECC エラー検出・訂正有効時に、ECC 1 ビットエラーが検出されると SEDF ビットがセットされ、ECC 2 ビットエラーが検出されると DEDF ビットがセットされます。

アクセス DFERSTR レジスタは、8 ビット単位でリード可能です。

アドレス DFERSTR : <Base_addr> + 04H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 29.18 DFERSTR レジスタの内容

ビット位置	ビット名	機能
7~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF	ECC 2 ビットエラーモニタフラグ SEDF、DEDF がすべて 0 の状態で、ECC 2 ビットエラーが発生するとセットされます。 クリア条件： リセットまたは、DFERSTC レジスタの ERRCLR ビットへ 1 をセット セット条件： SEDF、DEDF のすべてのエラーフラグが 0 の状態で、ECC 2 ビットエラー発生
0	SEDF	ECC 1 ビットエラーモニタフラグ SEDF、DEDF がすべて 0 の状態で、ECC 1 ビットエラーが発生するとセットされます。 クリア条件： リセットまたは、DFERSTC レジスタの ERRCLR ビットへ 1 をセット Data Flash エラーステータスクリアレジスタの ERRCLR ビットのセット セット条件： SEDF、DEDF のすべてのエラーフラグが 0 の状態で、ECC 1 ビットエラー発生

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで、読み出し値は常に 0 です。

アクセス DFERSTC レジスタは、8 ビット単位でライト可能です。

アドレス DFERSTC : <Base_addr> + 08H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 29.19 DFERSTC レジスタの内容

ビット位置	ビット名	機能
7~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERRCLR	SEDF/DEDF フラグクリアビット 1 書き込みで SEDF/DEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーパフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーパフロー発生を監視するためのレジスタです。ERROVF フラグは内部リセットまたは、外部リセット、DFOVFSTC レジスタの ERROVFCLR ビットへ 1 をセットすることでクリアされます。

アクセス DFOVFSTR レジスタは、8 ビット単位でリード可能です。

アドレス DFOVFSTR : <Base_addr> + 0CH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 29.20 DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF	エラーオーパフローフラグ エラーアドレスレジスタがフルの状態では ECC エラーが発生するとセットされます。

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。ERROVFCLR ビットへ 1 をセットすることでクリアされます。

アクセス DFOVFSTC レジスタは、8 ビット単位でライト可能です。

アドレス DFOVFSTC : <Base_addr> + 10H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	W

表 29.21 DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 1 書き込みで ERROVF フラグをクリアします。 常に 0 が読み出されます。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効/無効を設定するためのレジスタです。

アクセス DFERRINT レジスタは、8 ビット単位でリード/ライト可能です。

アドレス DFERRINT : <Base_addr> + 14H

リセット後の値 02H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
RW	R	R	R	R	R	R	R/W	R/W

表 29.22 DFERRINT レジスタの内容

ビット位置	ビット名	機能
7~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC 2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(7) DFEADR — Data Flash 1st エラーアドレスレジスタ

Data Flash エラーステータスレジスタの SEDF、DEDF がすべて 0 の状態で発生した ECC エラーの発生アドレスを DFEADR に保持します。

アクセス DFEADR レジスタは、32 ビット単位でリード可能です。

アドレス DFEADR : <Base_addr> + 18H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.23 DFEADR レジスタの内容

ビット位置	ビット名	機能
31~21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~2	DFEADR[20:2]	ECC エラー発生アドレス ECC エラーの発生したアドレスをモニタするための読み出し専用レジスタです。 本レジスタには内部アドレスが保持されますので、Data Flash のベースアドレス (FF20 0000 _H) を加算して実アドレスに変換してください。
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード (ECCTST = 1) 設定後、ECC ビットのデータを読み出すことができます。

本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

アクセス DFTSTCTL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス DFTSTCTL : <Base_addr> + 1CH

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 29.24 DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCTST	ECC テストビット ECC テストモードに設定します。

29.2.3.4 テスト機能

Data Flash テストコントロールレジスタ (DFTSTCTL) の設定により、ROM データ、ECC ビットを読み出すことができます。

(1) ROM データの読み出し

1. DFECCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
2. ECCDIS = 1 のとき、Data Flash 読み出し時にエラー検出、訂正を行いませんので、DataFlash からの出力データがそのまま読みだされます。

本テストモードからの抜け方：

3. DFECCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC データの読み出し

1. DFECCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
2. DFTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。
3. Data Flash の読み出しを実行するとリードデータの下位 7 ビットが ECC データとして読み出されます。

本テストモードからの抜け方：

4. DFECCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
5. DFTSTCTL レジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Data Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読み出すことによって ECC デコードを自己診断することができます。一旦正しい ECC ビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラーの故障を注入することができます。

Data Flash 書き込み方法の詳細は、「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」をご参照ください。

29.2.4 Local RAM (CPU1、CPU2、SubCPU) の ECC およびアドレスパリティ

29.2.4.1 概要

CPU1 および CPU2、SubCPU の Local RAM 用 ECC の仕様概要を以下に示します。

表 29.25 CPU1、CPU2、Sub CPU の Local RAM 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> ● ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 ● ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。</p> <p>リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>ライト時は、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、同じパリティビットが RAM の 2 か所に書き込まれます。リード時は、リードアドレスから生成したパリティビットと、RAM から読みだしたパリティビット 2 ビットが比較されます。この時のエラーデコード仕様は「表 29.26 アドレスパリティ定義」のようになります。</p> <p>リセット後の状態は機能有効です。</p>
エラー通知	<p>ECC エラー発生時、またはアドレスのパリティエラー発生時に ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> ● ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 ● ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> ● アドレスパリティエラー検出時のエラー通知許可/禁止を選択可 ● パリティビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、アドレスパリティエラー通知許可、パリティビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーとパリティビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。</p> <p>エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。</p> <p>RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。</p>

リードアクセス時のアドレスパリティエラーの定義は以下の通りとします。

表 29.26 アドレスパリティ定義

RAM マクロアドレス パリティビット 1	RAM マクロアドレス パリティビット 2	リードアドレス パリティ	エラー判定と エラー名称
0	0	0	エラーでない
0	0	1	アドレスパリティエラー
0	1	0	パリティビットエラー
0	1	1	パリティビットエラー
1	0	0	パリティビットエラー
1	0	1	パリティビットエラー
1	1	0	アドレスパリティエラー
1	1	1	エラーでない

CPU1 および CPU2、SubCPU の Local RAM は、最大で 128 ビットのデータを同時にリード/ライト可能な構成となっています。一方で、ECC やアドレスパリティは 32 ビットのデータ毎に用意されており、各 32 ビットデータを Word0~3 と称しています。アドレスと Word 番号の関係は以下の通りです。

表 29.27 アドレスと Word 番号の関係

アドレスの下位 4 ビット (16 進表記)	F _H ~C _H	B _H ~8 _H	7 _H ~4 _H	3 _H ~0 _H
Word 番号	Word3	Word2	Word1	Word0

尚、CPU1, CPU2, SubCPU のエラー情報は、命令とデータ毎に保持します。

29.2.4.2 レジスタ一覧

表 29.28 レジスタ一覧

モジュール名	レジスタ名	略号 ^{注 1}	アドレス
ECCCPU1	Local RAM アドレスパリティコントロールレジスタ (PE1)	LRAPCTL_PE1	FFC6 5000 _H
ECCCPU1	Local RAM テストコントロールレジスタ (PE1)	LRTSTCTL_PE1	FFC6 5004 _H
ECCCPU1	Local RAM テストデータリードバッファ 0 (PE1)	LRTDATBF0_PE1	FFC6 5008 _H
ECCCPU1	Local RAM テストデータリードバッファ 1 (PE1)	LRTDATBF1_PE1	FFC6 500C _H
ECCCPU2	Local RAM アドレスパリティコントロールレジスタ (PE2)	LRAPCTL_PE2	FFC6 5020 _H
ECCCPU2	Local RAM テストコントロールレジスタ (PE2)	LRTSTCTL_PE2	FFC6 5024 _H
ECCCPU2	Local RAM テストデータリードバッファ 0 (PE2)	LRTDATBF0_PE2	FFC6 5028 _H
ECCCPU2	Local RAM テストデータリードバッファ 1 (PE2)	LRTDATBF1_PE2	FFC6 502C _H
ECCCPU1	Local RAM ECC コントロールレジスタ (PE1)	LRECCCTL_PE1	FFC6 5400 _H
ECCCPU1	Local RAM エラー情報コントロールレジスタ (PE1)	LRERRINT_PE1	FFC6 5404 _H
ECCCPU1	Local RAM ステータスクリアレジスタ (PE1)	LRSTCLR_PE1	FFC6 5408 _H
ECCCPU1	Local RAM エラーカウントオーバフローズステータスレジスタ (PE1)	LROVFSTR_PE1	FFC6 540C _H
ECCCPU1	Local RAM 1st エラーステータスレジスタ (PE1)	LR1STERSTR_PE1	FFC6 5410 _H
ECCCPU1	Local RAM 1st エラーアドレスレジスタ 0 (PE1)	LR1STEADR0_PE1	FFC6 5450 _H
ECCCPU1	Local RAM 1st エラーアドレスレジスタ 1 (PE1)	LR1STEADR1_PE1	FFC6 5454 _H
ECCCPU2	Local RAM ECC コントロールレジスタ (PE2)	LRECCCTL_PE2	FFC6 5600 _H
ECCCPU2	Local RAM エラー情報コントロールレジスタ (PE2)	LRERRINT_PE2	FFC6 5604 _H
ECCCPU2	Local RAM ステータスクリアレジスタ (PE2)	LRSTCLR_PE2	FFC6 5608 _H
ECCCPU2	Local RAM エラーカウントオーバフローズステータスレジスタ (PE2)	LROVFSTR_PE2	FFC6 560C _H
ECCCPU2	Local RAM 1st エラーステータスレジスタ (PE2)	LR1STERSTR_PE2	FFC6 5610 _H
ECCCPU2	Local RAM 1st エラーアドレスレジスタ 0 (PE2)	LR1STEADR0_PE2	FFC6 5650 _H
ECCCPU2	Local RAM 1st エラーアドレスレジスタ 1 (PE2)	LR1STEADR1_PE2	FFC6 5654 _H
ECCCPU3	Local RAM アドレスパリティコントロールレジスタ (PE3)	LRAPCTL_PE3	FF75 4000 _H
ECCCPU3	Local RAM テストコントロールレジスタ (PE3)	LRTSTCTL_PE3	FF75 4004 _H
ECCCPU3	Local RAM テストデータリードバッファ 0 (PE3)	LRTDATBF0_PE3	FF75 4008 _H
ECCCPU3	Local RAM テストデータリードバッファ 1 (PE3)	LRTDATBF1_PE3	FF75 400C _H
ECCCPU3	Local RAM ECC コントロールレジスタ (PE3)	LRECCCTL_PE3	FF75 5000 _H
ECCCPU3	Local RAM エラー情報コントロールレジスタ (PE3)	LRERRINT_PE3	FF75 5004 _H
ECCCPU3	Local RAM ステータスクリアレジスタ (PE3)	LRSTCLR_PE3	FF75 5008 _H
ECCCPU3	Local RAM エラーカウントオーバフローズステータスレジスタ (PE3)	LROVFSTR_PE3	FF75 500C _H
ECCCPU3	Local RAM 1st エラーステータスレジスタ (PE3)	LR1STERSTR_PE3	FF75 5010 _H
ECCCPU3	Local RAM 1st エラーアドレスレジスタ 0 (PE3)	LR1STEADR0_PE3	FF75 5050 _H
ECCCPU3	Local RAM 1st エラーアドレスレジスタ 1 (PE3)	LR1STEADR1_PE3	FF75 5054 _H

注 1. レジスタシンボルにおいて、“_PE1”は CPU1 の Local RAM へのアクセス用、“_PE2”は CPU2 の Local RAM へのアクセス用、“_PE3”は SubCPU の Local RAM へのアクセス用の制御レジスタです。

29.2.4.3 レジスタ詳細

(1) LRAPCTL_PE1/PE2/PE3 — Local RAM アドレスパリティコントロールレジスタ

LRAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス LRAPCTL_PE1, LRAPCTL_PE2, LRAPCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。
LRAPCTL_PE1L, LRAPCTL_PE2L, LRAPCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス LRAPCTL_PE1 : FFC6 5000_H、LRAPCTL_PE2 : FFC6 5020_H、LRAPCTL_PE3 : FF75 4000_H、
LRAPCTL_PE1L : FFC6 5000_H、LRAPCTL_PE2L : FFC6 5020_H、LRAPCTL_PE3L : FF75 4000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 29.29 LRAPCTL レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APARIDIS	アドレスパリティチェックディスエーブルビット 全アドレスパリティ回路 (Word0~Word3) のアドレスパリティチェックの有効/無効を設定します。 0 : アドレスのパリティチェック許可 1 : アドレスのパリティチェック禁止

(2) LRTSTCTL_PE1/PE2/PE3 — Local RAM テストコントロールレジスタ

ECC テスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST=1）設定後、ECC ビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAM データ、ECC ビット、アドレスパリティビットの選択は DATSEL ビットで行います。

アドレスパリティテストモード（APTEST_i=1、i=0, 1, 2, 3）設定により、アドレスパリティチェッカに入力するパリティが反転します。本レジスタへの書き込みは PROT[1:0]を 01_Bにして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

アクセス LRTSTCTL_PE1, LRTSTCTL_PE2, LRTSTCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

LRTSTCTL_PE1L, LRTSTCTL_PE2L, LRTSTCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス LRTSTCTL_PE1 : FFC6 5004_H、LRTSTCTL_PE2 : FFC6 5024_H、LRTSTCTL_PE3 : FF75 4004_H、
LRTSTCTL_PE1L : FFC6 5004_H、LRTSTCTL_PE2L : FFC6 5024_H、LRTSTCTL_PE3L : FF75 4004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	APTES T3	APTES T2	APTES T1	APTES T0	ECCTS T	DATSE L
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 29.30 LRTSTCTL_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	APTEST3	アドレスパリティチェッカ (Word3) テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST3 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
4	APTEST2	アドレスパリティチェッカ (Word2) テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST2 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
3	APTEST1	アドレスパリティチェッカ (Word1) テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST1 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
2	APTEST0	アドレスパリティチェッカ (Word0) テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST0 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
1	ECCTST	ECC テストビット ECC テストモード (ECCTST = 1) に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0 : RAM データ選択 1 : ECC ビットとアドレスパリティビット選択

注 意

Local RAM の ECC テストモードを有効 (ECCTST = 1) にした場合、Local RAM へのアクセスは 4 バイトアクセスで実施してください。

(3) LRTDATBF_n_PE1/PE2/PE3 — Local RAM テストデータリードバッファ n (n = 0, 1)

ECC テスト（自己診断）時、ECC ビットとアドレスパリティビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットとアドレスパリティビットが読み出され、本バッファに保持されます。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

アクセス LRTDATBF_n_(PE1/PE2/PE3) レジスタは、32 ビット単位でリード可能です。
LRTDATBF_n_(PE1/PE2/PE3)(L/H) レジスタは、16 ビット単位でリード可能です。
LRTDATBF_n_(PE1/PE2/PE3)(LL/LH/HL/HH) レジスタは、8 ビット単位でリード可能です。

アドレス LRTDATBF0_PE1 : FFC6 5008_H、LRTDATBF1_PE1 : FFC6 500C_H、
LRTDATBF0_PE2 : FFC6 5028_H、LRTDATBF1_PE2 : FFC6 502C_H、
LRTDATBF0_PE3 : FF75 4008_H、LRTDATBF1_PE3 : FF75 400C_H、
LRTDATBF_n_(PE1/PE2/PE3)L : LRTDATBF_n_(PE1/PE2/PE3)+00_H、
LRTDATBF_n_(PE1/PE2/PE3)H : LRTDATBF_n_(PE1/PE2/PE3)+02_H、
LRTDATBF_n_(PE1/PE2/PE3)LL : LRTDATBF_n_(PE1/PE2/PE3)+00_H、
LRTDATBF_n_(PE1/PE2/PE3)LH : LRTDATBF_n_(PE1/PE2/PE3)+01_H、
LRTDATBF_n_(PE1/PE2/PE3)HL : LRTDATBF_n_(PE1/PE2/PE3)+02_H、
LRTDATBF_n_(PE1/PE2/PE3)HH : LRTDATBF_n_(PE1/PE2/PE3)+03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	LRDATABF										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	LRDATABF										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

表 29.31 LRDATBF_n_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31~25	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24~16	LRDATABF	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。Local RAM の対応する Word 読み出し時に Local RAM（Word (2n + 1)）の ECC ビットが LRDATABF[22:16]に、アドレスパリティビットが LRDATABF[24:23]に格納されます。
15~9	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8~0	LRDATABF	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。Local RAM の対応する Word 読み出し時に Local RAM（Word (2n)）の ECC ビットが LRDATABF[6:0]に、アドレスパリティビットが LRDATABF[8:7]に格納されます。

(4) LRECCCTL_PE1/PE2/PE3 — Local RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0]を 01_Bにして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス LRECCCTL_PE1, LRECCCTL_PE2, LRECCCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

LRECCCTL_PE1L, LRECCCTL_PE2L, LRECCCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス LRECCCTL_PE1 : FFC6 5400_H、LRECCCTL_PE2 : FFC6 5600_H、LRECCCTL_PE3 : FF75 5000_H、
LRECCCTL_PE1L : FFC6 5400_H、LRECCCTL_PE2L : FFC6 5600_H、LRECCCTL_PE3L : FF75 5000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.32 LRECCCTL レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(5) LRERRINT_PE1/PE2/PE3 — Local RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時、パリティビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス LRERRINT_PE1, LRERRINT_PE2, LRERRINT_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

LRERRINT_PE1L, LRERRINT_PE2L, LRERRINT_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

LRERRINT_PE1LL, LRERRINT_PE2LL, LRERRINT_PE3LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス LRERRINT_PE1 : FFC6 5404_H、LRERRINT_PE2 : FFC6 5604_H、LRERRINT_PE3 : FF75 5004_H、

LRERRINT_PE1L : FFC6 5404_H、LRERRINT_PE2L : FFC6 5604_H、LRERRINT_PE3L : FF75 5004_H、

LRERRINT_PE1LL : FFC6 5404_H、LRERRINT_PE2LL : FFC6 5604_H、LRERRINT_PE3LL : FF75 5004_H

リセット後の値 0000 0006_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PBEIE	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.33 LRERRINT レジスタの内容

ビット位置	ビット名	機能
31~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PBEIE	パリティビットエラー通知許可ビット アドレスパリティチェック許可時に、パリティビットエラー検出時のエラー通知発生を制御するビットです。 0 : パリティビットエラー通知禁止 1 : パリティビットエラー通知許可
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0 : アドレスパリティエラー通知禁止 1 : アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(6) LRSTCLR_PE1/PE2/PE3 — Local RAM ステータスクリアレジスタ

LRSTCLR レジスタは、エラーステータスレジスタ (LR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (LROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (LR1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス LRSTCLR_PE1, LRSTCLR_PE2, LRSTCLR_PE3 レジスタは、32 ビット単位でライト可能です。

LRSTCLR_PE1L, LRSTCLR_PE2L, LRSTCLR_PE3L レジスタは、16 ビット単位でライト可能です。

LRSTCLR_PE1LL, LRSTCLR_PE2LL, LRSTCLR_PE3LL レジスタは、8 ビット単位でライト可能です。

アドレス LRSTCLR_PE1 : FFC6 5408_H、LRSTCLR_PE2 : FFC6 5608_H、LRSTCLR_PE3 : FF75 5008_H、

LRSTCLR_PE1L : FFC6 5408_H、LRSTCLR_PE2L : FFC6 5608_H、LRSTCLR_PE3L : FF75 5008_H、

LRSTCLR_PE1LL : FFC6 5408_H、LRSTCLR_PE2LL : FFC6 5608_H、LRSTCLR_PE3LL : FF75 5008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 29.34 LRSTCLR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット (データ用) 1 書き込みで「LR1STERSTR レジスタの PBEF1, APEF1, DEDF1, SEDF1 フラグ」、 「LROVFSTR レジスタの ERROVF1 フラグ」および「LR1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット (命令用) 1 書き込みで「LR1STERSTR レジスタの PBEF0, APEF0, DEDF0, SEDF0 フラグ」、 「LROVFSTR レジスタの ERROVF0 フラグ」および「LR1STEADR0 レジスタ」をクリアします。

(7) LROVFSTR_PE1/PE2/PE3 — Local RAM エラーカウントオーバフローステータスレジスタ

LROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス LROVFSTR_PE1, LROVFSTR_PE2, LROVFSTR_PE3 レジスタは、32 ビット単位でリード可能です。
LROVFSTR_PE1L, LROVFSTR_PE2L, LROVFSTR_PE3L レジスタは、16 ビット単位でリード可能です。
LROVFSTR_PE1LL, LROVFSTR_PE2LL, LROVFSTR_PE3LL レジスタは、8 ビット単位でリード可能です。

アドレス LROVFSTR_PE1 : FFC6 540CH、LROVFSTR_PE2 : FFC6 560CH、LROVFSTR_PE3 : FF75 500CH、
LROVFSTR_PE1L : FFC6 540CH、LROVFSTR_PE2L : FFC6 560CH、LROVFSTR_PE3L : FF75 500CH、
LROVFSTR_PE1LL : FFC6 540CH、LROVFSTR_PE2LL : FFC6 560CH、
LROVFSTR_PE3LL : FF75 500CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.35 LROVFSTR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（データ用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされません。
0	ERROVF0	エラーオーバフローフラグ（命令用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされません。

(8) LR1STERSTR_PE1/PE2/PE3 — Local RAM 1st エラーステータスレジスタ

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットエラー、またはパリティビットエラーのフラグがセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。

LR1STERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス LR1STERSTR_PE1, LR1STERSTR_PE2, LR1STERSTR_PE3 レジスタは、32 ビット単位でリード可能です。

LR1STERSTR_PE1L, LR1STERSTR_PE2L, LR1STERSTR_PE3L レジスタは、16 ビット単位でリード可能です。

LR1STERSTR_PE1LL, LR1STERSTR_PE1LH, LR1STERSTR_PE2LL, LR1STERSTR_PE2LH, LR1STERSTR_PE3LL, LR1STERSTR_PE3LH レジスタは、8 ビット単位でリード可能です。

アドレス LR1STERSTR_PE1 : FFC6 5410_H、LR1STERSTR_PE2 : FFC6 5610_H、

LR1STERSTR_PE3 : FF75 5010_H、

LR1STERSTR_PE1L : FFC6 5410_H、LR1STERSTR_PE2L : FFC6 5610_H、

LR1STERSTR_PE3L : FF75 5010_H、

LR1STERSTR_PE1LL : FFC6 5410_H、LR1STERSTR_PE1LH : FFC6 5411_H、

LR1STERSTR_PE2LL : FFC6 5610_H、LR1STERSTR_PE2LH : FFC6 5611_H

LR1STERSTR_PE3LL : FF75 5010_H、LR1STERSTR_PE3LH : FF75 5011_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PBEF1	APEF1	DEDF1	SEDF1	—	—	—	—	PBEF0	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.36 LR1STERSTR レジスタの内容

ビット位置	ビット名	機能
31~12 7~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3+8n	PBEFn	パリティビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態でパリティビットエラー発生
2+8n	APEFn	アドレスパリティエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態でアドレスパリティエラー発生 Read/Write の発生要因の区別なく同一フラグとしてセットします。
1+8n	DEDFn	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生

備考 n = 0: 命令でのエラー検知 n = 1: データでのエラー検知

(9) LR1STEADR_n_PE1/PE2/PE3 — Local RAM 1st エラーアドレスレジスタ n (n = 0、1)

LR1STEADR_n レジスタは、エラー発生時のアドレスを保持するためのレジスタです。LR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラー、またはパリティビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[22:2]は実アドレスの[22:2]が対応します。上位アドレス[31:23]をベースアドレスとして加算することにより実アドレスが計算できます。LR1STEADR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス LR1STEADR_n_(PE1/PE2/PE3) レジスタは、32 ビット単位でリード可能です。
LR1STEADR_n_(PE1/PE2/PE3)(L/H) レジスタは、16 ビット単位でリード可能です。
LR1STEADR_n_(PE1/PE2/PE3)(LL/LH/HL/HH) レジスタは、8 ビット単位でリード可能です。

アドレス LR1STEADR0_PE1 : FFC6 5450_H、LR1STEADR1_PE1 : FFC6 5454_H、
LR1STEADR0_PE2 : FFC6 5650_H、LR1STEADR1_PE2 : FFC6 5654_H、
LR1STEADR0_PE3 : FF75 5050_H、LR1STEADR1_PE3 : FF75 5054_H、
LR1STEADR_n_(PE1/PE2/PE3)L : LR1STEADR_n_(PE1/PE2/PE3) +00_H、
LR1STEADR_n_(PE1/PE2/PE3)H : LR1STEADR_n_(PE1/PE2/PE3) +02_H、
LR1STEADR_n_(PE1/PE2/PE3)LL : LR1STEADR_n_(PE1/PE2/PE3) +00_H、
LR1STEADR_n_(PE1/PE2/PE3)LH : LR1STEADR_n_(PE1/PE2/PE3) +01_H、
LR1STEADR_n_(PE1/PE2/PE3)HL : LR1STEADR_n_(PE1/PE2/PE3) +02_H、
LR1STEADR_n_(PE1/PE2/PE3)HH : LR1STEADR_n_(PE1/PE2/PE3) +03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	EADR[22:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.37 LR1STEADRn レジスタの内容

ビット位置	ビット名	機能
31~23	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~2	EADR[22:2]	1st エラー発生アドレス (Wordn 用) 1st エラー発生時のアドレスをモニタするためのレジスタです。 LR1STERSTR レジスタの Wordn 用のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラー、またはパリティビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
1~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

備考 n = 0: 命令用 n = 1: データ用

以下のレジスタに関しては、2bit 目は常に “0” となります。

LR1STEADR0_PE1

LR1STEADR0_PE2

LR1STEADR0_PE3

例えば、上記のレジスタに対して、FEF0 0000_H がエラーアドレスとして格納された場合、FEF0 0000_H、または、FEF0 0004_H のアドレスで故障が発生したことを意味します。

29.2.4.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) RAM データの書き込み

1. LRTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。
2. LRTSTCTL レジスタの DATSEL ビットを 0 にして、書き込み対象に RAM データを選択します。
3. Local RAM ヘデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

4. LRTSTCTL レジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

1. LRECCCTL レジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。
2. Local RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

3. LRECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

1. LRTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。
2. LRTSTCTL レジスタの DATSEL を 1 にして、書き込み時のアクセスビットに ECC ビットとアドレスパリティビットを選択します。
3. Local RAM ヘデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。この時、32 ビットのライトデータの bit[6:0]が ECC ビットに書き込まれ、bit[8:7]がアドレスパリティビットに書き込まれます。

本テストモードからの抜け方：

4. LRTSTCTL レジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

1. LRTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。
2. Local RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、Local RAM テストデータ読み出しバッファ 0 または Local RAM テストデータ読み出しバッファ 1 の対応する Word 位置に格納されます。

本テストモードからの抜け方：

3. LRTSTCTL レジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。このため、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で通常モードで Local RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって自己診断が可能です。

1. LRTSTCTL レジスタの APTEST_i ($i=0, 1, 2, 3$) を 1 に設定すると、対応する Word のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Local RAM の対応する Word に書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。
2. 上記 (4) に記載する手順で、アドレスパリティビットに任意のデータを書き込むことが可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに 1 ビットまたは 2 ビットの故障を注入することができます。その後で通常モードで Local RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

29.2.5 Global RAM の ECC およびアドレスパリティ

29.2.5.1 概要

Global RAM 用 ECC の仕様概要を以下に示します。

表 29.38 Global RAM 用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> ● ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います) ● ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います) <p>無効時はエラー検出・訂正を行いません</p> <p>リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>ライト時には、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、パリティビットは RAM の 2 か所にも書き込まれます。</p> <p>メモリリード時には、リードアドレスから生成したパリティビットと、メモリから読みだしたパリティビット 2 ビットが比較されます。この時のエラーデコード仕様は「表 29.39 アドレスパリティ定義」のようになります。</p> <p>リセット後の状態は機能有効です。</p>
エラー通知	<p>ECC エラー発生時、またはアドレスのパリティエラー発生時に ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> ● ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 ● ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> ● アドレスパリティエラー検出時のエラー通知許可/禁止を選択可 ● パリティビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、アドレスパリティエラー通知許可、パリティビットエラー通知禁止。</p> <p>エラー通知信号は、</p> <ul style="list-style-type: none"> ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーとパリティビットエラーを 1 要因 <p>として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。</p> <p>エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。</p> <p>RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。</p>

リードアクセス時のアドレスパリティエラーの定義は以下の通りとします。

表 29.39 アドレスパリティ定義

アドレスパリティビット		リードアドレス パリティ	エラー判定とエラー名称
0	0	0	エラーでない
0	0	1	アドレスパリティエラー
0	1	0	パリティビットエラー
0	1	1	パリティビットエラー
1	0	0	パリティビットエラー
1	0	1	パリティビットエラー
1	1	0	アドレスパリティエラー
1	1	1	エラーでない

ECC エンコーダおよびデコーダ、アドレスパリティ生成器は Global RAM につながる各アクセス経路（CPU1、CPU2、インターコネクト）それぞれに対応して用意されています。アドレスパリティチェックは Global RAM の Bank A と Bank B に対応して用意されています。また、RMW 処理に対応した ECC デコーダおよび ECC エンコーダも Bank A/B 毎に用意されています。なお、SubCPU から Global RAM へのアクセスはインターコネクト経由となります。図 29.3 をご参照ください。

- RMW 処理

ビット操作命令や、2 バイトライト、1 バイトライトは、①32 ビットデータのリード、②所定データのリプレースによるライトデータの生成（モディファイ）、③32 ビットデータのライト、の 3 ステップで実行されます。本節では、これをリード・モディファイ・ライト（RMW）処理と称します。Global RAM における RMW 処理は、各 Bank に対応したコントローラ内で行われます。

RMW 処理では、①のリードに対応して ECC デコードが行われ、③のライトに対応して ECC エンコードが行われます。RMW 用 ECC の構成については図 29.4 をご参照ください。②のライトデータに対応する更新データ用 ECC デコーダは、任意の値を設定可能なレジスタとの切替により、ECC デコーダに対する故障注入が可能です。故障注入の方法に関しては、「29.2.5.4 テスト機能」をご参照ください。

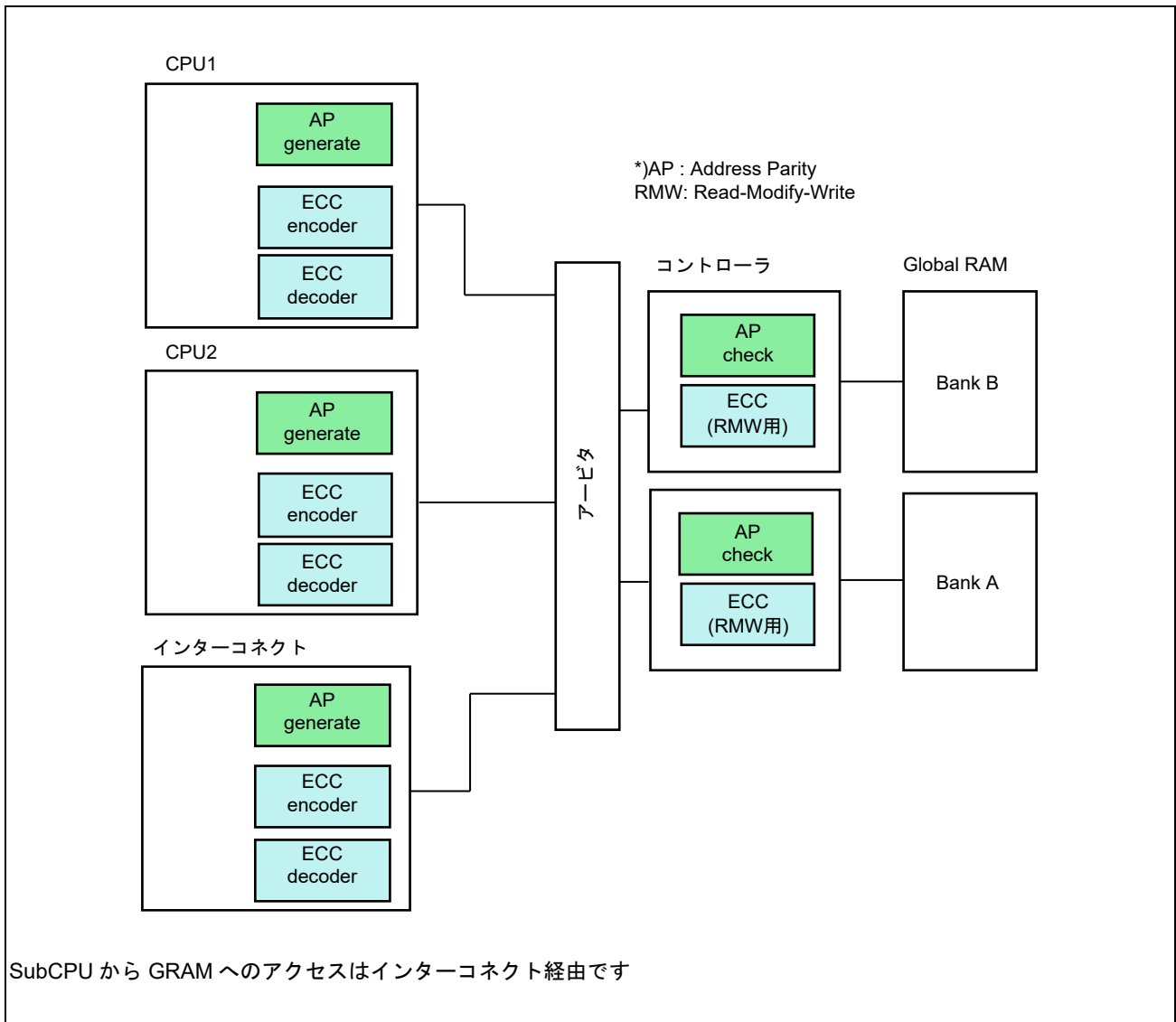


図 29.3 Global RAM の ECC とアドレスパリティ

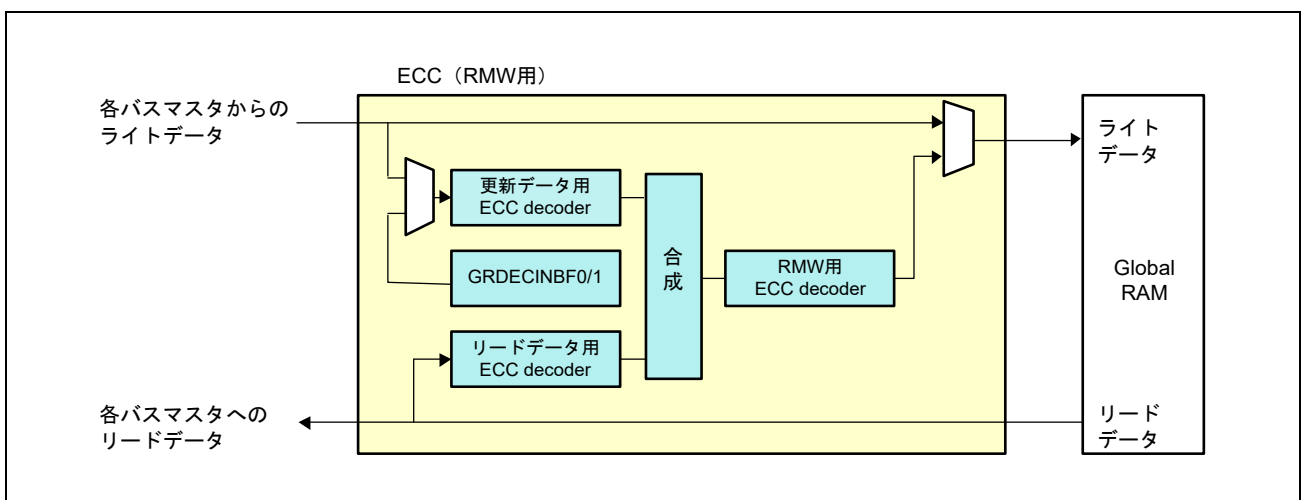


図 29.4 Global RAM の RMW 用 ECC の構成

Global RAM は、最大で 64 ビットのデータを同時にリード/ライト可能な構成となっており、各バスマスタ（CPU1、CPU2 インターコネクト）は 64 ビットのデータバスに対し、コントローラ側は BankA と Bank B 毎に 128 ビットのデータバス構成になります。一方で、ECC やアドレスパリティは 32 ビットのデータ毎に用意されています。つまり、**図 29.4** の ECC decoder と ECC encoder、ECC（RMW 用）、アドレスパリティチェッカは、バスマスタ側は上位 32 ビットデータ用と、下位 32 ビットデータ用に 2 つずつ用意されており、コントローラ側は、128 ビットを分割した Word0～3 用に 4 つずつ用意されています。Word0～3 は Bank A と Bank B の中でさらに細かく分かれた単位になります。

表 29.40 アドレスと対応する ECC 回路

アドレスの下位 4 ビット（16 進表記）	F _H ～C _H	B _H ～8 _H	7 _H ～4 _H	3 _H ～0 _H
対応する ECC 回路（バスマスタ側）	上位 32 ビット	下位 32 ビット	上位 32 ビット	下位 32 ビット
対応する ECC 回路（コントローラ側）	Word3	Word2	Word1	Word0

注 意

Global RAM はアドレス FEF 0000_H を境界として Bank A と Bank B に分かれます。

尚、CPU1、CPU2 のエラー情報は、命令とデータ毎に保持し、インターコネクトのエラー情報は、上位データ、下位データ毎に保持します。**図 29.5** をご参照ください。

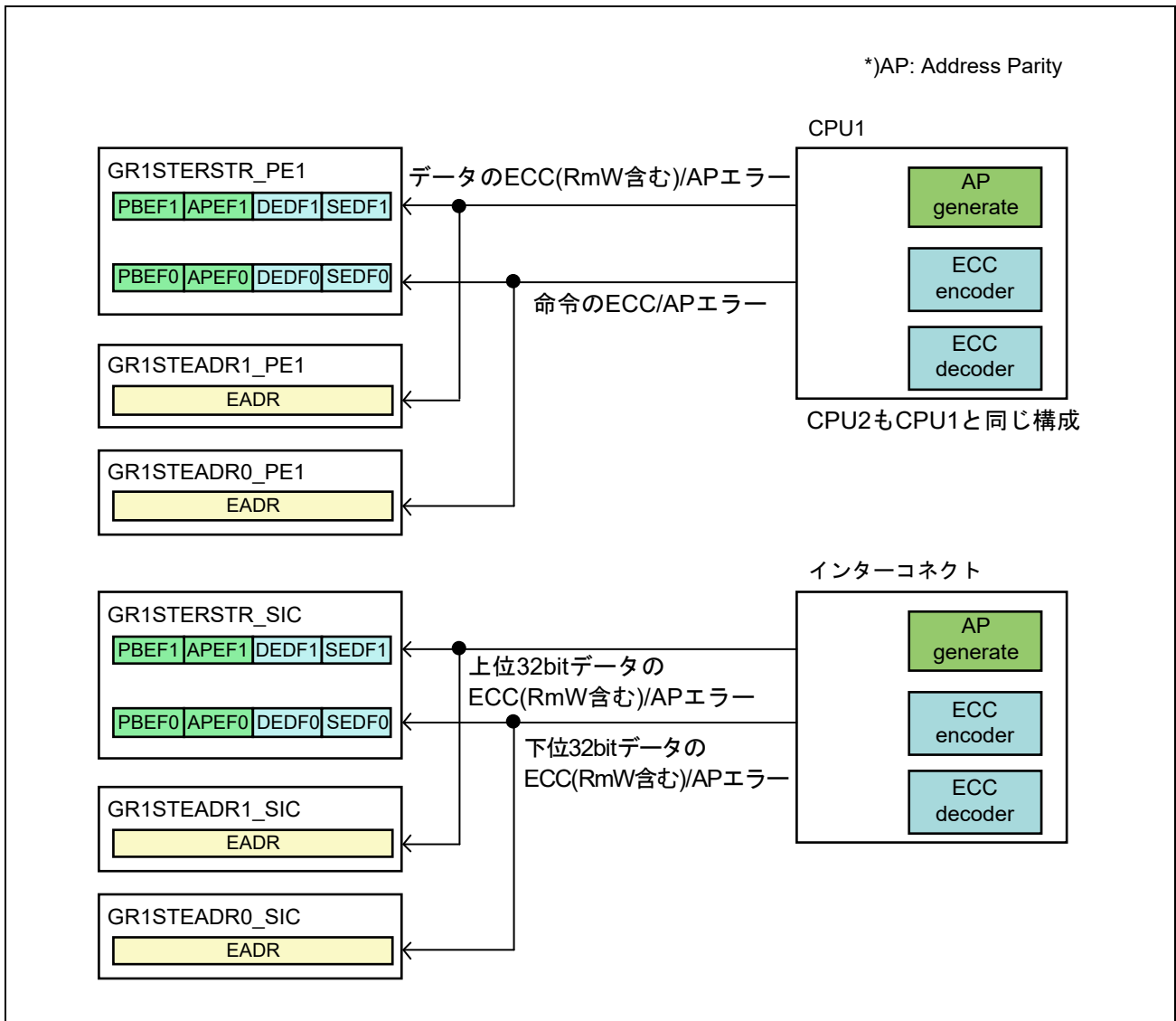


図 29.5 Global RAM のエラー情報保持構成

29.2.5.2 レジスタ一覧

表 29.41 レジスタ一覧

モジュール名	レジスタ名	略号 ^{注 1}	アドレス
ECCGRAM	Global RAM ECC コントロールレジスタ (GRAMC)	GRECCCTL_GRAMC	FFC6 4000 _H
ECCGRAM	Global RAM テストコントロールレジスタ	GRTSTCTL	FFC6 4180 _H
ECCGRAM	Global RAM テストデータリードバッファ	GRTDATBF	FFC6 4184 _H
ECCGRAM	Global RAM ECC デコーダ入力データバッファ 0	GRDECINBF0	FFC6 4188 _H
ECCGRAM	Global RAM ECC デコーダ入力データバッファ 1	GRDECINBF1	FFC6 418C _H
ECCGRAM	Global RAM エラー情報コントロールレジスタ (SIC)	GRERRINT_SIC	FFC6 4204 _H
ECCGRAM	Global RAM ステータスクリアレジスタ (SIC)	GRSTCLR_SIC	FFC6 4208 _H
ECCGRAM	Global RAM エラーカウントオーバーフローステータスレジスタ (SIC)	GROVFSTR_SIC	FFC6 420C _H
ECCGRAM	Global RAM 1st エラーステータスレジスタ (SIC)	GR1STERSTR_SIC	FFC6 4210 _H
ECCGRAM	Global RAM 1st エラー (下位 32 ビットデータ) アドレスレジスタ (SIC)	GR1STEADR0_SIC	FFC6 4250 _H
ECCGRAM	Global RAM 1st エラー (上位 32 ビットデータ) アドレスレジスタ (SIC)	GR1STEADR1_SIC	FFC6 4254 _H
ECCGRAM	Global RAM エラー情報コントロールレジスタ (PE1)	GRERRINT_PE1	FFC6 4404 _H
ECCGRAM	Global RAM ステータスクリアレジスタ (PE1)	GRSTCLR_PE1	FFC6 4408 _H
ECCGRAM	Global RAM エラーカウントオーバーフローステータスレジスタ (PE1)	GROVFSTR_PE1	FFC6 440C _H
ECCGRAM	Global RAM 1st エラーステータスレジスタ (PE1)	GR1STERSTR_PE1	FFC6 4410 _H
ECCGRAM	Global RAM 1st エラー (命令) アドレスレジスタ (PE1)	GR1STEADR0_PE1	FFC6 4450 _H
ECCGRAM	Global RAM 1st エラー (データ) アドレスレジスタ (PE1)	GR1STEADR1_PE1	FFC6 4454 _H
ECCGRAM	Global RAM エラー情報コントロールレジスタ (PE2)	GRERRINT_PE2	FFC6 4604 _H
ECCGRAM	Global RAM ステータスクリアレジスタ (PE2)	GRSTCLR_PE2	FFC6 4608 _H
ECCGRAM	Global RAM エラーカウントオーバーフローステータスレジスタ (PE2)	GROVFSTR_PE2	FFC6 460C _H
ECCGRAM	Global RAM 1st エラーステータスレジスタ (PE2)	GR1STERSTR_PE2	FFC6 4610 _H
ECCGRAM	Global RAM 1st エラー (命令) アドレスレジスタ (PE2)	GR1STEADR0_PE2	FFC6 4650 _H
ECCGRAM	Global RAM 1st エラー (データ) アドレスレジスタ (PE2)	GR1STEADR1_PE2	FFC6 4654 _H

注 1. レジスタシンボルにおいて、“_SIC”、“_PE1”、“_PE2”は各アクセス経路の ECC コントローラ毎に用意されているレジスタとなります。“_SIC”はシステムインターコネクトから Global RAM へのアクセス用、“_PE1”は CPU1 から Global RAM へのアクセス用、“_PE2”は CPU2 から Global RAM へのアクセス用の制御レジスタです。“_GRAMC”は全アクセス経路に共通の制御レジスタです。

29.2.5.3 レジスタ詳細

(1) GRECCCTL_GRAMC — Global RAM ECC コントロールレジスタ

Global RAM 共通の ECC およびアドレスパリティコントロールレジスタです。アドレスパリティチェックの有効/無効、ECC 処理の内容を指定します。本レジスタへの書き込みは、PROT[1:0]を 01_Bにして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

アクセス GRECCCTL_GRAMC レジスタは、32 ビット単位でリード/ライト可能です。

GRECCCTL_GRAMCL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス GRECCCTL_GRAMC : FFC6 4000_H、

GRECCCTL_GRAMCL : FFC6 4000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	APARIDIS	SECDIS	ECCDIS	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	RW	RW	RW

表 29.42 GRECCCTL_GRAMC レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます
13~3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスのパリティチェックの許可/禁止を設定できます。初期状態はパリティチェックが許可されています。 0 : アドレスのパリティチェック許可 1 : アドレスのパリティチェック禁止
1	SECDIS	ECC1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。初期状態は ECC エラー検出・訂正機能が有効です。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効 注意: エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。

(2) GRTSTCTL — Global RAM テストコントロールレジスタ

ECC テスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。テスト機能設定（TESTEN=1）後、ECC ビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAM データ、ECC ビット、アドレスパリティビットの選択は DATSEL ビットで行います。また、Global RAM コントローラ内の ECC デコーダの入出力を制御し、テスト（自己診断）することが可能です。

アドレスパリティテストモード（MAPTEST=1、BAPTEST=1）設定により、アドレスパリティチェッカに入力するパリティが反転します。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス GRTSTCTL レジスタは、32 ビット単位でリード/ライト可能です。

アドレス GRTSTCTL : FFC6 4180_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	MAPBIT[1:0]		MAPTEST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAPTEST[7:0]							—	RAMSEL[2:0]		DATSEL[1:0]		DECIN EN	TESTEN		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.43 GRTSTCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。 読み出すと常に 0 が読み出されます。
29~26	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~24	MAPBIT[1:0]	メモリアドレスパリティビットの設定を行います。 メモリアドレスパリティは、リード時のアドレスパリティチェックに使用します。このビットの設定は TESTEN = 1、MAPTEST[7:0] = 00 _H 以外の時のみ有効です。 MAPBIT = 1 の時、対象となるメモリアドレスパリティビットを反転します。 MAPBIT[1:0] と対応するメモリアドレスパリティビットとの関係は以下のようになります。 MAPBIT[0] : 下位のアドレスパリティビット MAPBIT[1] : 上位のアドレスパリティビット このビットの設定は全ての Word、Bank に適用されます。
23~16	MAPTEST[7:0]	メモリアドレスパリティチェッカをテストモードに設定します。 MAPTEST = 1 のとき、MAPBIT[1:0] の設定が有効になります。 このビットの設定は TESTEN = 1 の時のみ有効です。 MAPTEST [0] : BankA Word0 MAPTEST [1] : BankA Word1 MAPTEST [2] : BankA Word2 MAPTEST [3] : BankA Word3 MAPTEST [4] : BankB Word0 MAPTEST [5] : BankB Word1 MAPTEST [6] : BankB Word2 MAPTEST [7] : BankB Word3

表 29.43 GRTSTCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
15~8	BAPTEST[7:0]	<p>バスアドレスパリティチェッカをテストモードに設定します。 バスアドレスパリティは、ライト時のアドレスパリティチェックに使用します。 BAPTEST = 1 のとき、バスアドレスパリティ生成部で生成したパリティを反転します。 このビットの設定は TESTEN = 1 の時のみ有効です。</p> <p>BAPTEST [0] : BankA Word0 BAPTEST [1] : BankA Word1 BAPTEST [2] : BankA Word2 BAPTEST [3] : BankA Word3 BAPTEST [4] : BankB Word0 BAPTEST [5] : BankB Word1 BAPTEST [6] : BankB Word2 BAPTEST [7] : BankB Word3</p>
7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	RAMSEL[2:0]	<p>GRTDATBF レジスタへ読みこむ対象の Global RAM の Bank と Word を選択します。</p> <p>000_B : BankA Word0 001_B : BankA Word1 010_B : BankA Word2 011_B : BankA Word3 100_B : BankB Word0 101_B : BankB Word1 110_B : BankB Word2 111_B : BankB Word3</p> <p>このビットの設定は TESTEN = 1 の時のみ有効です。</p>
3、2	DATSEL[1:0]	<p>RAM へのライトデータと GRTDATBF でのリードデータを選択します。 このビットの設定は TESTEN = 1 の時のみ有効です。</p> <p>00_B : <ul style="list-style-type: none"> ● GRTDATBF : RAM リード時に RAM のデータが格納されます。 ● Global RAM : RAM ライト時に RAM のデータ領域のみを更新します。ECC ビットとアドレスパリティビットは更新されません。 </p> <p>01_B : <ul style="list-style-type: none"> ● GRTDATBF : RAM リード時に ECC ビットとアドレスパリティビットが格納されます。 ● Global RAM : RAM ライト時に ECC ビットとアドレスパリティビットのみを更新します。RAM のデータ領域は更新されません。 </p> <p>1x_B : リザーブ (設定禁止)</p>
1	DECINEN	<p>RMW 用 ECC デコーダエラー注入許可ビット TESTEN = 1 のときに有効です。ECC デコーダ入力バッファレジスタのデータを RMW 時の更新データ用の ECC デコーダへ入力することを許可します。</p> <p>0 : ECC デコーダ入力バッファのデータが入力されない 1 : ECC デコーダ入力バッファのデータが入力される</p>
0	TESTEN	<p>ECC テストビット ECC テストモード (TESTEN = 1) に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。</p>

(3) GRTDATBF — Global RAM テストデータリードバッファ

本レジスタで RAM データと ECC ビット、およびアドレスパリティビットを読み出すことができます。GRTSTCTL レジスタの DATSEL1, 0 ビットで選択したデータが、RAM を読み出すと本バッファに格納されます。

アクセス GRTDATBF レジスタは、32 ビット単位でリード可能です。

GRTDATBFL, GRTDATBFH レジスタは、16 ビット単位でリード可能です。

GRTDATBFLL, GRTDATBFLH, GRTDATBFHL, GRTDATBFHH レジスタは、8 ビット単位でリード可能です。

アドレス GRTDATBF : FFC6 4184_H、

GRTDATBFL : FFC6 4184_H、GRTDATBFH : FFC6 4186_H、

GRTDATBFLL : FFC6 4184_H、GRTDATBFLH : FFC6 4185_H、

GRTDATBFHL : FFC6 4186_H、GRTDATBFHH : FF75 4187_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRTDATBF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRTDATBF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.44 GRTDATBF レジスタの内容

ビット位置	ビット名	機能
31~0	GRTDATBF	<p>GRTSTCTL レジスタによって設定されたテストデータを保持するためのバッファです。保持対象となる GRAM の Bank と Word は GRTSTCTL.RAMSEL ビットで選択され、データは GRTSTCTL.DATSEL ビットで選択されます。これらのビットは TESTEN = 1 の時のみ有効です。</p> <p>GRTSTCTL.TESEN = 0 のとき、このレジスタに値は保持されません。</p> <p>GRTSTCTL.TESEN = 1 のとき、GRTSTCTL.DATSEL に応じたデータが保持されます。</p> <p>(DATSEL1, DATSEL0) = (0, 0) のとき Global RAM 読み出し時に RAM のデータが GRTDATBF [31:0] に格納されます。</p> <p>(DATSEL1, DATSEL0) = (0, 1) のとき Global RAM 読み出し時に、ECC ビットが GRTDATBF [6:0] に、アドレスパリティビットが GRTDATBF [8:7] に格納されます。GRTDATBF [31:9] には 0 が格納されます。</p> <p>(DATSEL1, DATSEL0) = (1, x) のとき このレジスタに値は保持されません。</p>

(4) GRDECINBF0 — Global RAM ECC デコーダ入力データバッファ 0

RMW 時更新データ用の ECC デコーダへ入力する、32 ビットの RAM データを任意に設定するレジスタです。本レジスタを用いる事で、RMW 時の更新データ用 ECC デコーダの自己診断が可能となります。

アクセス GRDECINBF0 レジスタは、32 ビット単位でリード/ライト可能です。
 GRDECINBF0L, GRDECINBF0H レジスタは、16 ビット単位でリード/ライト可能です。
 GRDECINBF0LL, GRDECINBF0LH, GRDECINBF0HL, GRDECINBF0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス GRDECINBF0 : FFC6 4188_H、
 GRDECINBF0L : FFC6 4188_H、GRDECINBF0H : FFC6 418A_H、
 GRDECINBF0LL : FFC6 4188_H、GRDECINBF0LH : FFC6 4189_H、
 GRDECINBF0HL : FFC6 418A_H、GRDECINBF0HH : FFC6 418B_H

リセット後の値 0000 0000_H

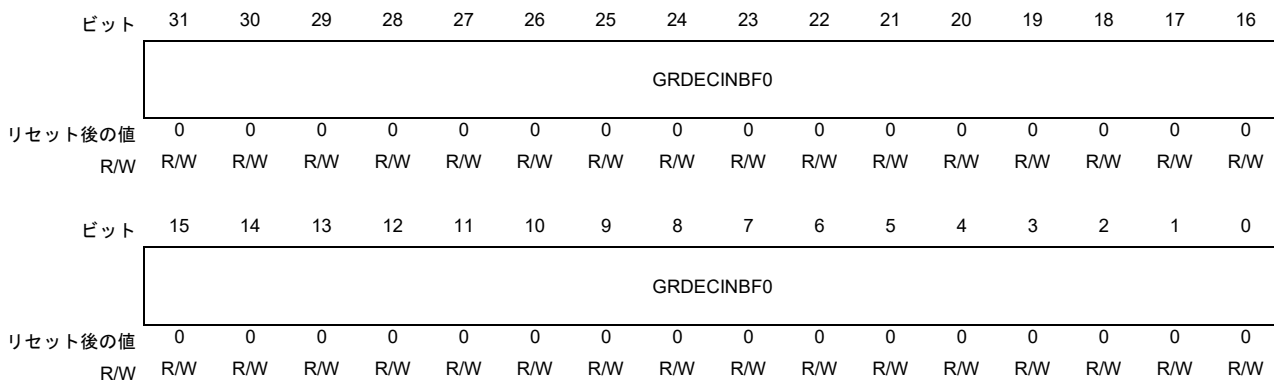


表 29.45 GRDECINBF00 レジスタの内容

ビット位置	ビット名	機能
31~0	GRDECINBF0	GRTSTCTL レジスタの TESTEN = 1 (テストモード) 時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 32 ビットの RAM データとして、更新データ用の ECC デコーダへ入力します。 バンク A/B、上位下位データ、Word0~3 に対して共用レジスタです。

(5) GRDECINBF1 — Global RAM ECC デコーダ入力データバッファ 1

RMW 時更新データ用の ECC デコーダへ入力する、7 ビットの ECC エンコードデータを任意に設定するレジスタです。本レジスタを用いる事で、RMW 時の更新データ用 ECC デコーダの自己診断が可能となります。

アクセス GRDECINBF1 レジスタは、32 ビット単位でリード/ライト可能です。

GRDECINBF1L レジスタは、16 ビット単位でリード/ライト可能です。

GRDECINBF1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス GRDECINBF1 : FFC6 418CH、

GRDECINBF1L : FFC6 418CH、

GRDECINBF1LL : FFC6 418CH

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GRDECINBF1						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.46 GRDECINBF1 レジスタの内容

ビット位置	ビット名	機能
31~7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	GRDECINBF1	GRTSTCTL レジスタの TESTEN = 1 (テストモード) 時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 7 ビットの ECC データとして、更新データ用の ECC デコーダへ入力します。 バンク A/B、上位下位データ、Word0~3 に対して共用レジスタです。

(6) GRERRINT_SIC/PE1/PE2 — Global RAM エラー情報コントロールレジスタ

GRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス GRERRINT_SIC, GRERRINT_PE1, GRERRINT_PE2 レジスタは、32 ビット単位でリード/ライト可能です。

GRERRINT_SICL, GRERRINT_PE1L, GRERRINT_PE2L レジスタは、16 ビット単位でリード/ライト可能です。

GRERRINT_SICLL, GRERRINT_PE1LL, GRERRINT_PE2LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス GRERRINT_SIC : FFC6 4204H、GRERRINT_PE1 : FFC6 4404H、GRERRINT_PE2 : FFC6 4604H、

GRERRINT_SICL : FFC6 4204H、GRERRINT_PE1L : FFC6 4404H、GRERRINT_PE2L : FFC6 4604H、

GRERRINT_SICLL : FFC6 4204H、GRERRINT_PE1LL : FFC6 4404H、GRERRINT_PE2LL : FFC6 4604H

リセット後の値 0000 0006H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PBEIE	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.47 GRERRINT レジスタの内容

ビット位置	ビット名	機能
31~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PBEIE	パリティビットエラー通知許可ビット アドレスパリティチェック許可時に、パリティビットエラー検出時のエラー通知発生を制御するビットです。 0 : パリティビットエラー通知禁止 1 : パリティビットエラー通知許可
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0 : アドレスパリティエラー通知禁止 1 : アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(7) GRSTCLR_SIC/PE1/PE2 — Global RAM ステータスクリアレジスタ

GRSTCLR レジスタは、エラーステータスレジスタ (GR1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (GROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (GR1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

アクセス GRSTCLR_SIC, GRSTCLR_PE1, GRSTCLR_PE2 レジスタは、32 ビット単位でライト可能です。
GRSTCLR_SICL, GRSTCLR_PE1L, GRSTCLR_PE2L レジスタは、16 ビット単位でライト可能です。
GRSTCLR_SICLL, GRSTCLR_PE1LL, GRSTCLR_PE2LL レジスタは、8 ビット単位でライト可能です。

アドレス GRSTCLR_SIC : FFC6 4208H、GRSTCLR_PE1 : FFC6 4408H、GRSTCLR_PE2 : FFC6 4608H、
GRSTCLR_SICL : FFC6 4208H、GRSTCLR_PE1L : FFC6 4408H、GRSTCLR_PE2L : FFC6 4608H、
GRSTCLR_SICLL : FFC6 4208H、GRSTCLR_PE1LL : FFC6 4408H、GRSTCLR_PE2LL : FFC6 4608H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 29.48 GRSTCLR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット (PE1/2 = データ用、RMW 用、SIC = 上位 32 ビット用、RMW 用) 1 書き込みで「GR1STERSTR レジスタの PBEF1, APEF1, DEDF1, SEDF1 フラグ」、 「GROVFSTR レジスタの ERROVF1 フラグ」および「GR1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット (PE1/2 = 命令用、SIC = 下位 32 ビット用、RMW 用) 1 書き込みで「GR1STERSTR レジスタの PBEF0, APEF0, DEDF0, SEDF0 フラグ」、 「GROVFSTR レジスタの ERROVF0 フラグ」および「GR1STEADR0 レジスタ」をクリアします。

(8) GROVFSTR_SIC/PE1/PE2 — Global RAM エラーカウントオーバフローステータスレジスタ

GROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

アクセス GROVFSTR_SIC, GROVFSTR_PE1, GROVFSTR_PE2 レジスタは、32 ビット単位でリード可能です。
GROVFSTR_SICL, GROVFSTR_PE1L, GROVFSTR_PE2L レジスタは、16 ビット単位でリード可能です。
GROVFSTR_SICLL, GROVFSTR_PE1LL, GROVFSTR_PE2LL レジスタは、8 ビット単位でリード可能です。

アドレス GROVFSTR_SIC : FFC6 420CH、GROVFSTR_PE1 : FFC6 440CH、GROVFSTR_PE2 : FFC6 460CH、
GROVFSTR_SICL : FFC6 420CH、GROVFSTR_PE1L : FFC6 440CH、
GROVFSTR_PE2L : FFC6 460CH、
GROVFSTR_SICLL : FFC6 420CH、GROVFSTR_PE1LL : FFC6 440CH、
GROVFSTR_PE2LL : FFC6 460CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.49 GROVFSTR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（PE1/2 = データ用、RMW 用、SIC = 上位 32 ビット用、RMW 用）エラーステータスレジスタのいずれかのエラーフラグ（PBEF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ（PE1/2 = 命令用、SIC = 下位 32 ビット用、RMW 用）エラーステータスレジスタのいずれかのエラーフラグ（PBEF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(9) GR1STERSTR_SIC/PE1/PE2 — Global RAM 1st エラーステータスレジスタ

GR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットエラーのフラグまたはパリティビットエラーのフラグ、もしくはその両方がセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。

GR1STERSTR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

アクセス GR1STERSTR_SIC, GR1STERSTR_PE1, GR1STERSTR_PE2 レジスタは、32 ビット単位でリード可能です。

GR1STERSTR_SICL, GR1STERSTR_PE1L, GR1STERSTR_PE2L レジスタは、16 ビット単位でリード可能です。

GR1STERSTR_SICLL, GR1STERSTR_SICLH, GR1STERSTR_PE1LL, GR1STERSTR_PE1LH, GR1STERSTR_PE2LL, GR1STERSTR_PE2LH レジスタは、8 ビット単位でリード可能です。

アドレス GR1STERSTR_SIC : FFC6 4210H、GR1STERSTR_PE1 : FFC6 4410H、

GR1STERSTR_PE2 : FFC6 4610H、

GR1STERSTR_SICL : FFC6 4210H、GR1STERSTR_PE1L : FFC6 4410H、

GR1STERSTR_PE2L : FFC6 4610H、

GR1STERSTR_SICLL : FFC6 4210H、GR1STERSTR_SICLH : FFC6 4211H、

GR1STERSTR_PE1LL : FFC6 4410H、GR1STERSTR_PE1LH : FFC6 4411H、

GR1STERSTR_PE2LL : FFC6 4610H、GR1STERSTR_PE2LH : FFC6 4611H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PBEF1	APEF1	DEDF1	SEDF1	—	—	—	—	PBEF0	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.50 GR1STERSTR レジスタの内容

ビット位置	ビット名	機能
31~12 7~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3+8n	PBEFn	パリティビットエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態でパリティビットエラー発生
2+8n	APEFn	アドレスパリティエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：APEFn/DEDFn のエラーフラグが 0 の状態でアドレスパリティエラー発生 注意： Read/Write の発生要因の区別なく同一フラグとしてセットします。
1+8n	DEDFn	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：APEFn/DEDFn のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生

備 考

SIC: n = 0: 下位 32 ビットでのエラー検知、RMW n = 1: 上位 32 ビット、RMW でのエラー検知

PE1/PE2: n = 0: 命令でのエラー検知 n = 1: データ、RMW でのエラー検知

(10) GR1STEADR_n_SIC/PE1/PE2 — Global RAM 1st エラーアドレスレジスタ n (n = 0, 1)

GR1STEADR_n レジスタは、エラー発生時のアドレスを保持するためのレジスタです。GR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、ECC 1 ビットエラーのフラグまたはパリティビットエラーのフラグ、もしくはその両方がセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、アドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[20:2]は実アドレスの[20 : 2]が対応します。上位アドレス[31 : 21]をベースアドレスとして加算することにより実アドレスが計算できます。GR1STEADR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。下位 32 ビットデータアクセス時には GR1STEADR₀ にアドレスは保持されます。上位 32 ビットデータアクセス時には GR1STEADR₁ にアドレスは保持されます。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

アクセス GR1STEADR_n_(SIC/PE1/PE2) レジスタは、32 ビット単位でリード可能です。
 GR1STEADR_n_(SIC/PE1/PE2)(L/H) レジスタは、16 ビット単位でリード可能です。
 GR1STEADR_n_(SIC/PE1/PE2)(LL/LH/HL/HH) レジスタは、8 ビット単位でリード可能です。

アドレス GR1STEADR₀_SIC : FFC6 4250_H、GR1STEADR₁_SIC : FFC6 4254_H、
 GR1STEADR₀_PE1 : FFC6 4450_H、GR1STEADR₁_PE1 : FFC6 4454_H、
 GR1STEADR₀_PE2 : FFC6 4650_H、GR1STEADR₁_PE2 : FFC6 4654_H、
 GR1STEADR_n_(SIC/PE1/PE2)L : GR1STEADR_n_(SIC/PE1/PE2) + 00_H
 GR1STEADR_n_(SIC/PE1/PE2)H : GR1STEADR_n_(SIC/PE1/PE2) + 02_H
 GR1STEADR_n_(SIC/PE1/PE2)LL : GR1STEADR_n_(SIC/PE1/PE2) + 00_H
 GR1STEADR_n_(SIC/PE1/PE2)LH : GR1STEADR_n_(SIC/PE1/PE2) + 01_H
 GR1STEADR_n_(SIC/PE1/PE2)HL : GR1STEADR_n_(SIC/PE1/PE2) + 02_H
 GR1STEADR_n_(SIC/PE1/PE2)HH : GR1STEADR_n_(SIC/PE1/PE2) + 03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	EADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.51 GR1STEADRn レジスタの内容

ビット位置	ビット名	機能
31~21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~2	EADR[20:2]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
1~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

備 考

SIC: n = 0: 下位 32 ビットでのエラー検知、RMW n = 1: 上位 32 ビット、RMW でのエラー検知

PE1/PE2: n = 0: 命令でのエラー検知 n = 1: データ、RMW でのエラー検知

以下のレジスタに関しては、2bit 目は常に “0” となります。

GR1STEADR0_PE1

GR1STEADR0_PE2

例えば、上記のレジスタに対して、FEF0 0000_H がエラーアドレスとして格納された場合、FEF0 0000_H、または、FEF0 0004_H のアドレスで故障が発生したことを意味します。

29.2.5.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビット、RMW 用 ECC デコーダ出力データを読み出すことができます。RMW 用 ECC デコーダには、任意のデータを入力することができます。

(1) RAM データの書き込み

1. GRTSTCTL レジスタの TESTEN ビットを 1 にして、テストモードに設定します。
2. GRTSTCTL レジスタの (DATSEL1, DATSEL0) = (0, 0) に設定して書き込み対象に RAM データを選択します。
3. Global RAM ヘデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

4. GRTSTCTL レジスタの TESTEN ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

1. GRECCCTL_GRAMC レジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。
2. Global RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

3. GRECCCTL_GRAMC レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

1. GRTSTCTL レジスタの TESTEN ビットを 1 にして、テストモードに設定します。
2. GRTSTCTL レジスタの (DATSEL1, DATSEL0) = (0, 1) に設定して書き込み対象に ECC ビットとアドレスパリティビットを選択します。
3. Global RAM ヘデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。この時、32 ビットのライトデータの bit[6:0]が ECC ビットに書き込まれ、bit[8:7]がアドレスパリティビットに書き込まれます。

注 意

RAM データとアドレスパリティビットの両方に任意の値を書き込む場合は、①RAM データの書き込み、②アドレスパリティビットの書き込み、の順に書き込んでください。RAM データと ECC ビットの両方に任意の値を書き込む場合は、RAM データと ECC ビットのどちらを先に書き込んでもかまいません。

本テストモードからの抜け方：

4. GRTSTCTL レジスタの TESTEN ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

1. GRTSTCTL レジスタの TESTEN ビットを 1 にして、テストモードに設定します。
2. GRTSTCTL レジスタの (DATSEL1, DATSEL0) = (0, 1) に設定して読み出し対象に ECC ビットとアドレスパリティビットを選択します。
データを読み出す Global RAM のアドレスに応じて、GRTSTCTL レジスタの RAMSEL ビットの設定をします。
3. Global RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、GRDATBF レジスタに格納されます。

本テストモードからの抜け方：

4. GRTSTCTL レジスタの TESTEN ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) 各アクセス経路の ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。これによって、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で通常モードで Global RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって、ライト側とリード側のアドレスパリティチェック機能の自己診断が可能です。

- (1) ライトアクセス時は、GRTSTCTL レジスタの BAPTEST[7:0]を 1 に設定すると、対応するバンク (Bank A/B) の対応するデータ領域 (Word0~3) のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Global RAM の対応するバンクの対応するデータ領域に書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。
- (2) リードアクセス時は、GRTSTCTL レジスタの MAPTEST[7:0]を 1 に設定すると、対応するバンク (Bank A/B) の対応するデータ領域 (Word0~3) のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Global RAM の対応するバンクの対応するデータ領域の読み出しを行うと、MAPBIT[1:0]の設定に応じたアドレスパリティエラーが通知されます。このパリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。または、上記 (3) (4) に記載する手順で、アドレスパリティビットに、任意のデータを書き込んで行う自己診断方法も可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに 1 ビットまたは 2 ビットの故障を注入することができます。その後で通常モードで Global RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

(7) RMW 時リードデータ用 ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。これによって、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で RMW 処理を実行し、エラー訂正やエラー検出結果を確認することで、RMW 時リードデータ用 ECC デコーダの自己診断が可能です。

(8) RMW 時更新データ用 ECC デコーダの自己診断

GRTSTCTL レジスタの DECINEN = 1 に設定することで、RMW 時更新データ ECC デコーダの入力は、各アクセス経路から送られるライトデータから、Global RAM ECC デコーダ入力データバッファ 0, 1

(GRDECINBF0, 1) に切り替わります。このため、RMW 更新 ECC デコーダ入力バッファレジスタ 0, 1 に適当な値を設定することで、適当な故障を注入することができます。その後で RMW 処理を実行し、エラー訂正やエラー検出結果を確認することで、RMW 時リードデータ用 ECC デコーダの自己診断が可能です。

29.2.6 命令キャッシュの ECC および EDC

29.2.6.1 概要

命令キャッシュ用 ECC の仕様概要を以下に示します。

表 29.52 命令キャッシュ用 ECC の概要

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います) • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います) <p>無効時はエラー検出・訂正を行いません</p> <p>リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。</p>
アドレスパリティ	なし
エラー通知	<p>ECC エラー発生時に ECM にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>リセット後の状態は、2 ビットエラー通知禁止、1 ビットエラー通知禁止。</p> <p>エラー通知信号は、</p> <ul style="list-style-type: none"> ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 <p>として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。</p> <p>エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>
自己診断	<p>キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込むことができます。同じく RAM データと ECC ビットをダイレクトに読み出すことができます。</p> <p>上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。</p>

29.2.6.2 レジスタ一覧

表 29.53 レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
ECCIC1	命令キャッシュデータ RAM ECC コントロールレジスタ (PE1)	IDECCTL_PE1	FFC6 0400 _H
ECCIC1	命令キャッシュデータ RAM エラー情報コントロールレジスタ (PE1)	IDERRINT_PE1	FFC6 0404 _H
ECCIC1	命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE1)	IDSTCLR_PE1	FFC6 0408 _H
ECCIC1	命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ (PE1)	IDOVFSTR_PE1	FFC6 040C _H
ECCIC1	命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE1)	ID1STERSTR_PE1	FFC6 0410 _H
ECCIC1	命令キャッシュデータ RAM 1st エラーアドレスレジスタ (PE1)	ID1STEADR0_PE1	FFC6 0450 _H
ECCIC2	命令キャッシュデータ RAM ECC コントロールレジスタ (PE2)	IDECCTL_PE2	FFC6 0600 _H
ECCIC2	命令キャッシュデータ RAM エラー情報コントロールレジスタ (PE2)	IDERRINT_PE2	FFC6 0604 _H
ECCIC2	命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE2)	IDSTCLR_PE2	FFC6 0608 _H
ECCIC2	命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ (PE2)	IDOVFSTR_PE2	FFC6 060C _H
ECCIC2	命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE2)	ID1STERSTR_PE2	FFC6 0610 _H
ECCIC2	命令キャッシュデータ RAM 1st エラーアドレスレジスタ (PE2)	ID1STEADR0_PE2	FFC6 0650 _H
ECCIC1	命令キャッシュタグ RAM ECC コントロールレジスタ (PE1)	ITECCCTL_PE1	FFC6 1400 _H
ECCIC1	命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE1)	ITERRINT_PE1	FFC6 1404 _H
ECCIC1	命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE1)	ITSTCLR_PE1	FFC6 1408 _H
ECCIC1	命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ (PE1)	ITOVFSTR_PE1	FFC6 140C _H
ECCIC1	命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE1)	IT1STERSTR_PE1	FFC6 1410 _H
ECCIC1	命令キャッシュタグ RAM 1st エラーアドレスレジスタ (PE1)	IT1STEADR0_PE1	FFC6 1450 _H
ECCIC2	命令キャッシュタグ RAM ECC コントロールレジスタ (PE2)	ITECCCTL_PE2	FFC6 1600 _H
ECCIC2	命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE2)	ITERRINT_PE2	FFC6 1604 _H
ECCIC2	命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE2)	ITSTCLR_PE2	FFC6 1608 _H
ECCIC2	命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ (PE2)	ITOVFSTR_PE2	FFC6 160C _H
ECCIC2	命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE2)	IT1STERSTR_PE2	FFC6 1610 _H
ECCIC2	命令キャッシュタグ RAM 1st エラーアドレスレジスタ (PE2)	IT1STEADR0_PE2	FFC6 1650 _H

表 29.53 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
ECCIC3	命令キャッシュデータ RAM ECC コントロールレジスタ (PE3)	IDCCCTL_PE3	FF75 1000 _H
ECCIC3	命令キャッシュデータ RAM エラー情報コントロールレジスタ (PE3)	IDERRINT_PE3	FF75 1004 _H
ECCIC3	命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE3)	IDSTCLR_PE3	FF75 1008 _H
ECCIC3	命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ (PE3)	IDOVFSTR_PE3	FF75 100C _H
ECCIC3	命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE3)	ID1STERSTR_PE3	FF75 1010 _H
ECCIC3	命令キャッシュデータ RAM 1st エラーアドレスレジスタ (PE3)	ID1STEADR0_PE3	FF75 1050 _H
ECCIC3	命令キャッシュタグ RAM ECC コントロールレジスタ (PE3)	ITCCCTL_PE3	FF75 2000 _H
ECCIC3	命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE3)	ITERRINT_PE3	FF75 2004 _H
ECCIC3	命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE3)	ITSTCLR_PE3	FF75 2008 _H
ECCIC3	命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ (PE3)	ITOVFSTR_PE3	FF75 200C _H
ECCIC3	命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE3)	IT1STERSTR_PE3	FF75 2010 _H
ECCIC3	命令キャッシュタグ RAM 1st エラーアドレスレジスタ (PE3)	IT1STEADR0_PE3	FF75 2050 _H

29.2.6.3 レジスタ詳細

(1) IDECCCTL_PE1/PE2/PE3 — 命令キャッシュデータ RAM ECC コントロールレジスタ

IDECCCTL レジスタは、キャッシュデータ RAM の ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス IDECCCTL_PE1, IDECCCTL_PE2, IDECCCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

IDECCCTL_PE1L, IDECCCTL_PE2L, IDECCCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス IDECCCTL_PE1 : FFC6 0400_H、IDECCCTL_PE2 : FFC6 0600_H、IDECCCTL_PE3 : FF75 1000_H、

IDECCCTL_PE1L : FFC6 0400_H、IDECCCTL_PE2L : FFC6 0600_H、IDECCCTL_PE3L : FF75 1000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.54 IDECCCTL レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) IDERRINT_PE1/PE2/PE3 — 命令キャッシュデータ RAM エラー情報コントロールレジスタ

IDERRINT レジスタは、キャッシュデータ RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス IDERRINT_PE1, IDERRINT_PE2, IDERRINT_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

IDERRINT_PE1L, IDERRINT_PE2L, IDERRINT_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

IDERRINT_PE1LL, IDERRINT_PE2LL, IDERRINT_PE3LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス IDERRINT_PE1 : FFC6 0404_H、IDERRINT_PE2 : FFC6 0604_H、IDERRINT_PE3 : FF75 1004_H、

IDERRINT_PE1L : FFC6 0404_H、IDERRINT_PE2L : FFC6 0604_H、IDERRINT_PE3L : FF75 1004_H、

IDERRINT_PE1LL : FFC6 0404_H、IDERRINT_PE2LL : FFC6 0604_H、IDERRINT_PE3LL : FF75 1004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.55 IDERRINT レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(3) IDSTCLR_PE1/PE2/PE3 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ

IDSTCLR レジスタは、エラーステータスレジスタ (ID1STERSTR) のエラーフラグ、エラーカウントオーバフローステータスレジスタ (IDOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (ID1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス IDSTCLR_PE1, IDSTCLR_PE2, IDSTCLR_PE3 レジスタは、32 ビット単位でライト可能です。

IDSTCLR_PE1L, IDSTCLR_PE2L, IDSTCLR_PE3L レジスタは、16 ビット単位でライト可能です。

IDSTCLR_PE1LL, IDSTCLR_PE2LL, IDSTCLR_PE3LL レジスタは、8 ビット単位でライト可能です。

アドレス IDSTCLR_PE1 : FFC6 0408_H、IDSTCLR_PE2 : FFC6 0608_H、IDSTCLR_PE3 : FF75 1008_H、

IDSTCLR_PE1L : FFC6 0408_H、IDSTCLR_PE2L : FFC6 0608_H、IDSTCLR_PE3L : FF75 1008_H、

IDSTCLR_PE1LL : FFC6 0408_H、IDSTCLR_PE2LL : FFC6 0608_H、IDSTCLR_PE3LL : FF75 1008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 29.56 IDSTCLR レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STCLR0	エラーオーバフローフラグクリアビット 1 書き込みで「ID1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「IDOVFSTR レジスタの ERROVF0 フラグ」および「ID1STEADR0 レジスタ」をクリアします。

(4) IDOVFSTR_PE1/PE2/PE3 — 命令キャッシュデータ RAM エラーカウントオーバーフローステータスレジスタ

IDOVFSTR レジスタは、キャッシュデータ RAM のエラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス IDOVFSTR_PE1, IDOVFSTR_PE2, IDOVFSTR_PE3 レジスタは、32 ビット単位でリード可能です。
 IDOVFSTR_PE1L, IDOVFSTR_PE2L, IDOVFSTR_PE3L レジスタは、16 ビット単位でリード可能です。
 IDOVFSTR_PE1LL, IDOVFSTR_PE2LL, IDOVFSTR_PE3LL レジスタは、8 ビット単位でリード可能です。

アドレス IDOVFSTR_PE1 : FFC6 040CH、IDOVFSTR_PE2 : FFC6 060CH、IDOVFSTR_PE3 : FF75 100CH、
 IDOVFSTR_PE1L : FFC6 040CH、IDOVFSTR_PE2L : FFC6 060CH、IDOVFSTR_PE3L : FF75 100CH、
 IDOVFSTR_PE1LL : FFC6 040CH、IDOVFSTR_PE2LL : FFC6 060CH、IDOVFSTR_PE3LL : FF75 100CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.57 IDOVFSTR レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF0	エラーオーバーフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDFO, SEDFO）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(5) ID1STERSTR_PE1/PE2/PE3 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ

ID1STERSTR レジスタは、キャッシュデータ RAM の最初に発生したエラーをモニタするためのレジスタです。該当するバンクのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされ、ECC1 ビットエラーフラグは変更されません。

一方、ECC2 ビットエラーフラグがセットされている状態で ECC1 ビットエラーが発生した場合には、該当するエラーフラグはセットされません。

なお、各バンクにおいて、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。ID1STERSTR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス ID1STERSTR_PE1, ID1STERSTR_PE2, ID1STERSTR_PE3 レジスタは、32 ビット単位でリード可能です。

ID1STERSTR_PE1L, ID1STERSTR_PE2L, ID1STERSTR_PE3L レジスタは、16 ビット単位でリード可能です。

ID1STERSTR_PE1LL, ID1STERSTR_PE2LL, ID1STERSTR_PE3LL レジスタは、8 ビット単位でリード可能です。

アドレス ID1STERSTR_PE1 : FFC6 0410_H、ID1STERSTR_PE2 : FFC6 0610_H、

ID1STERSTR_PE3 : FF75 1010_H、

ID1STERSTR_PE1L : FFC6 0410_H、ID1STERSTR_PE2L : FFC6 0610_H、

ID1STERSTR_PE3L : FF75 1010_H、

ID1STERSTR_PE1LL : FFC6 0410_H、ID1STERSTR_PE2LL : FFC6 0610_H、

ID1STERSTR_PE3LL : FF75 1010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.58 ID1STERSTR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF0	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは IDSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは IDSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0/SEDF0 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生

(6) ID1STEADR0_PE1/PE2/PE3 — 命令キャッシュデータ RAM 1st エラーアドレスレジスタ

ID1STEADR レジスタは、キャッシュデータ RAM のエラー発生時のアドレスを保持するためのレジスタです。ID1STERSTR レジスタの該当するバンクのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビット エラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。キャッシュされたデータのデータ RAM、タグ RAM 格納先アドレスは Code Flash アドレスから一意に決まります。本レジスタにはキャッシュ元の Code Flash アドレスが保持されます。Code Flash アドレスと命令キャッシュのデータ RAM、タグ RAM の関係については「**3.2.2 命令キャッシュ、データバッファ**」をご参照ください。ID1STEADR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス ID1STEADR0_(PE1/PE2/PE3) レジスタは、32 ビット単位でリード可能です。
 ID1STEADR0_(PE1/PE2/PE3)(L/H) レジスタは、16 ビット単位でリード可能です。
 ID1STEADR0_(PE1/PE2/PE3)(LL/LH/HL/HH) レジスタは、8 ビット単位でリード可能です。

アドレス ID1STEADR0_PE1 : FFC6 0450_H、ID1STEADR0_PE2 : FFC6 0650_H、ID1STEADR0_PE3 : FF75 1050_H、
 ID1STEADR0_(PE1/PE2/PE3)L : ID1STEADR0_(PE1/PE2/PE3) + 00_H、
 ID1STEADR0_(PE1/PE2/PE3)H : ID1STEADR0_(PE1/PE2/PE3) + 02_H、
 ID1STEADR0_(PE1/PE2/PE3)LL : ID1STEADR0_(PE1/PE2/PE3) + 00_H、
 ID1STEADR0_(PE1/PE2/PE3)LH : ID1STEADR0_(PE1/PE2/PE3) + 01_H、
 ID1STEADR0_(PE1/PE2/PE3)HL : ID1STEADR0_(PE1/PE2/PE3) + 02_H、
 ID1STEADR0_(PE1/PE2/PE3)HH : ID1STEADR0_(PE1/PE2/PE3) + 03_H。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	—	—	—	—	—	—	—	EADR0[24:16]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	EADR0[15:3]													—	—	—			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			

表 29.59 ID1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31~25	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24~3	EADR0[24:3]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 ID1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。
2~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) ITECCCTL_PE1/PE2/PE3 — 命令キャッシュタグ RAM ECC コントロールレジスタ

ITECCCTL レジスタは、キャッシュ TAG RAM の ECC エラー検出の有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス ITECCCTL_PE1, ITECCCTL_PE2, ITECCCTL_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

ITECCCTL_PE1L, ITECCCTL_PE2L, ITECCCTL_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス ITECCCTL_PE1 : FFC6 1400H、ITECCCTL_PE2 : FFC6 1600H、ITECCCTL_PE3 : FF75 2000H、

ITECCCTL_PE1L : FFC6 1400H、ITECCCTL_PE2L : FFC6 1600H、ITECCCTL_PE3L : FF75 2000H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 29.60 ECCCTL レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出機能の有効/無効を設定できます。 0 : ECC エラー検出機能が有効 1 : ECC エラー検出機能が無効

(8) ITERRINT_PE1/PE2/PE3 — 命令キャッシュタグ RAM エラー情報コントロールレジスタ

ITERRINT レジスタは、キャッシュ TAG RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

アクセス ITERRINT_PE1, ITERRINT_PE2, ITERRINT_PE3 レジスタは、32 ビット単位でリード/ライト可能です。
ITERRINT_PE1L, ITERRINT_PE2L, ITERRINT_PE3L レジスタは、16 ビット単位でリード/ライト可能です。

ITERRINT_PE1LL, ITERRINT_PE2LL, ITERRINT_PE3LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス ITERRINT_PE1: FFC6 1404H、ITERRINT_PE2: FFC6 1604H、ITERRINT_PE3: FF75 2004H、
ITERRINT_PE1L: FFC6 1404H、ITERRINT_PE2L: FFC6 1604H、ITERRINT_PE3L: FF75 2004H、
ITERRINT_PE1LL: FFC6 1404H、ITERRINT_PE2LL: FFC6 1604H、ITERRINT_PE3LL: FF75 2004H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.61 ERRINT レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(9) ITSTCLR_PE1/PE2/PE3 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ

ITSTCLR レジスタは、エラーステータスレジスタ (IT1STERSTR) のエラーフラグ、エラーカウントオーバーフローステータスレジスタ (ITOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (IT1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス ITSTCLR_PE1, ITSTCLR_PE2, ITSTCLR_PE3 レジスタは、32 ビット単位でライト可能です。
ITSTCLR_PE1L, ITSTCLR_PE2L, ITSTCLR_PE3L レジスタは、16 ビット単位でライト可能です。
ITSTCLR_PE1LL, ITSTCLR_PE2LL, ITSTCLR_PE3LL レジスタは、8 ビット単位でライト可能です。

アドレス ITSTCLR_PE1 : FFC6 1408_H、ITSTCLR_PE2 : FFC6 1608_H、ITSTCLR_PE3 : FF75 2008_H、
ITSTCLR_PE1L : FFC6 1408_H、ITSTCLR_PE2L : FFC6 1608_H、ITSTCLR_PE3L : FF75 2008_H、
ITSTCLR_PE1LL : FFC6 1408_H、ITSTCLR_PE2LL : FFC6 1608_H、ITSTCLR_PE3LL : FF75 2008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 29.62 STCLR レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STCLR0	エラーオーバーフローフラグクリアビット 1 書き込みで「IT1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「ITOVFSTR レジスタの ERROVF0 フラグ」および「IT1STEADR0 レジスタ」をクリアします。

(10) ITOVFSTR_PE1/PE2/PE3 — 命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ

ITOVFSTR レジスタは、キャッシュ TAG RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス ITOVFSTR_PE1, ITOVFSTR_PE2, ITOVFSTR_PE3 レジスタは、32 ビット単位でリード可能です。
 ITOVFSTR_PE1L, ITOVFSTR_PE2L, ITOVFSTR_PE3L レジスタは、16 ビット単位でリード可能です。
 ITOVFSTR_PE1LL, ITOVFSTR_PE2LL, ITOVFSTR_PE3LL レジスタは、8 ビット単位でリード可能です。

アドレス ITOVFSTR_PE1 : FFC6 140CH、ITOVFSTR_PE2 : FFC6 160CH、ITOVFSTR_PE3 : FF75 200CH、
 ITOVFSTR_PE1L : FFC6 140CH、ITOVFSTR_PE2L : FFC6 160CH、ITOVFSTR_PE3L : FF75 200CH、
 ITOVFSTR_PE1LL : FFC6 140CH、ITOVFSTR_PE2LL : FFC6 160CH、ITOVFSTR_PE3LL : FF75 200CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.63 ITOVFSTR レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDFO, SEDFO）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(11) IT1STERSTR_PE1/PE2/PE3 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ

IT1STERSTR レジスタはキャッシュ TAG RAM の最初に発生したエラーをモニタするためのレジスタです。

すべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーフラグがセットされます。

また、ECC 1 ビットエラーのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされ、ECC1 ビットエラーフラグは変更されません。

一方、ECC2 ビットエラーフラグがセットされている状態で ECC1 ビットエラーが発生した場合には、該当するエラーフラグはセットされません。

なお、本レジスタでは、エラーが発生した Way を特定することはできません。

IT1STERSTR レジスタは内部リセット、外部リセット、又は、ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス IT1STERSTR_PE1, IT1STERSTR_PE2, IT1STERSTR_PE3 レジスタは、32 ビット単位でリード可能です。

IT1STERSTR_PE1L, IT1STERSTR_PE2L, IT1STERSTR_PE3L レジスタは、16 ビット単位でリード可能です。

IT1STERSTR_PE1LL, IT1STERSTR_PE2LL, IT1STERSTR_PE3LL レジスタは、8 ビット単位でリード可能です。

アドレス IT1STERSTR_PE1 : FFC6 1410_H、IT1STERSTR_PE2 : FFC6 1610_H、

IT1STERSTR_PE3 : FF75 2010_H、

IT1STERSTR_PE1L : FFC6 1410_H、IT1STERSTR_PE2L : FFC6 1610_H、

IT1STERSTR_PE3L : FF75 2010_H、

IT1STERSTR_PE1LL : FFC6 1410_H、IT1STERSTR_PE2LL : FFC6 1610_H、

IT1STERSTR_PE3LL : FF75 2010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.64 IT1STERSTR レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF0	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは ITSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0 のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは ITSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0/SEDF0 の全てのエラーフラグが 0 の状態で ECC1 ビットエラー発生

(12) IT1STEADR0_PE1/PE2/PE3 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ

IT1STEADR レジスタは、キャッシュ TAG RAM のエラー発生時のアドレスを保持するためのレジスタです。IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。キャッシュされたデータのデータ RAM、タグ RAM 格納先アドレスは Code Flash アドレスから一意に決まりますが、本レジスタにはキャッシュ元の Code Flash アドレスが保持されます。Code Flash アドレスと命令キャッシュのデータ RAM、タグ RAM の関係については「**3.2.2 命令キャッシュ、データバッファ**」をご参照ください。IT1STEADR レジスタは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス IT1STEADR0_(PE1/PE2/PE3) レジスタは、32 ビット単位でリード可能です。
IT1STEADR0_(PE1/PE2/PE3)(L/H)レジスタは、16 ビット単位でリード可能です。
IT1STEADR0_(PE1/PE2/PE3) (LL/LH/HL/HH)レジスタは、8 ビット単位でリード可能です。

アドレス IT1STEADR0_PE1 : FFC6 1450_H、IT1STEADR0_PE2 : FFC6 1650_H、IT1STEADR0_PE3 : FF75 2050_H、
IT1STEADR0_(PE1/PE2/PE3)L : IT1STEADR0_(PE1/PE2/PE3) + 00_H、
IT1STEADR0_(PE1/PE2/PE3)H : IT1STEADR0_(PE1/PE2/PE3) + 02_H、
IT1STEADR0_(PE1/PE2/PE3)LL : IT1STEADR0_(PE1/PE2/PE3) + 00_H、
IT1STEADR0_(PE1/PE2/PE3)LH : IT1STEADR0_(PE1/PE2/PE3) + 01_H、
IT1STEADR0_(PE1/PE2/PE3)HL : IT1STEADR0_(PE1/PE2/PE3) + 02_H、
IT1STEADR0_(PE1/PE2/PE3)HH : IT1STEADR0_(PE1/PE2/PE3) + 03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	EADR[24:16]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	EADR[15:5]												—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

表 29.65 IT1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31~25	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24~5	EADR[24:5]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。
4~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

29.2.6.4 テスト機能

キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込んだり、RAM データと ECC ビットをダイレクトに読み出したりすることができます。

上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。

詳細は「*RH850 ファミリ ユーザーズマニュアル ソフトウェア編*」をご参照ください。

29.2.7 DTS 用 RAM の ECC

「第 7 章 DMA 機能」をご参照ください。

29.2.8 周辺 RAM (32 ビット) の ECC

29.2.8.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

RS-CANFD、CSIH

誤り検出・訂正

32 ビットの RAM データに対して、7 ビットの ECC データを付加します。

本 ECC モジュールは ECC2 ビットエラー検出と ECC1 ビットエラー検出・訂正機能を持っています。

注 意

3 ビット以上のビットエラーは、本モジュールでは正しく検出できません。

3 ビット以上のビットエラーがある場合、本モジュールの動作としては、1 ビットエラーまたは 2 ビットエラーとして検出する場合とエラー検出をしない場合があります。

また、設定によっては反転していないビットを訂正することがあります。

ECC のエラー検出・訂正の有効/無効

- ECC エラー検出の有効/無効を選択可能です。
- ECC1 ビットエラー訂正の有効/無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には ECC2 ビットエラーとして検出されます。

エラー通知

- ECC2 ビットエラー検出時に ECM にエラーを通知します。(有効/無効選択可)
- ECC1 ビットエラー検出時に ECM にエラーを通知します。(有効/無効選択可)
- ECM にエラーを通知した後、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- ECC2 ビットエラー検出と ECC1 ビットエラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- ECC2 ビットエラーまたは ECC1 ビットエラーを検出時、要因となるアドレスをキャプチャします。フラグクリア後、最初のエラー検出時のみキャプチャします。

テスト機能（エラー注入）

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に ECEDB[31:0]ビットの値を RAM データ部へ、ECERDB[6:0]ビットの値を ECC 冗長ビット部へ書き込み可能です。
- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット（エンコード回路）およびシンドロームコード（デコード回路）を確認できます。

29.2.8.2 レジスタ一覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 29.66 ECC モジュール一覧

対応する周辺機能		ECC モジュール名とレジスタベースアドレス			
		マスタ側 ^{注1}		チェッカ側 ^{注1}	
		モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>
RS-CANFD	メッセージバッファ RAM (MB RAM)	E7RC1M	FFC7 1000 _H	E7RC1C	FFC7 1200 _H
	アクセプタンスフィルタリスト RAM (AFL RAM)	E7RC2M	FFC7 1400 _H	E7RC2C	FFC7 1600 _H
CSIH	CSIH0	E7CS0M	FFC7 0000 _H	E7CS0C	FFC7 0200 _H
	CSIH1	E7CS1M	FFC7 0400 _H	E7CS1C	FFC7 0600 _H
	CSIH2	E7CS2M	FFC7 0800 _H	E7CS1C	FFC7 0A00 _H

注 1. 2重化構成としているため、マスタ側とチェッカ側の 2 モジュールが存在します。

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 29.67 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
注 1	ECC コントロールレジスタ ^{注 2}	E710CTL	<base_addr>+00 _H
注 1	ECC テストモードコントロールレジスタ	E710TMC	<base_addr>+04 _H
注 1	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	<base_addr>+08 _H
注 1	ECC エンコード・デコードデータテストレジスタ	E710TED	<base_addr>+0C _H
注 1	ECC エラーアドレスレジスタ	E710EAD	<base_addr>+10 _H

注 1. 各 ECC モジュールのモジュール名は「表 29.66 ECC モジュール一覧」を参照ください。

注 2. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

(3) レジスタマップ

表 29.68 レジスタマップ

略 称	31	24	23	16	15	8	7	0	オフセット アドレス
E710CTL	— (00 _H)		— (00 _H)		ECCTL[15:8]		ECCTL[7:0]		00 _H
E710TMC	— (00 _H)		— (00 _H)		ECTMC[15:8]		ECTMC[7:0]		04 _H
E710TRC	ECSYND[7:0]		ECHORD[7:0]		ECECRD[7:0]		ECERDB[7:0]		08 _H
E710TED	ECEDB[31:24]		ECEDB[23:16]		ECEDB[15:8]		ECEDB[7:0]		0C _H
E710EAD	ECEAD[31:24]		ECEAD[23:16]		ECEAD[15:8]		ECEAD[7:0]		10 _H

29.2.8.3 レジスタ詳細

(1) E710CTL — ECC コントロールレジスタ

ECC モジュールのステータスコントロールおよびモード制御するレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

ただし、ビット 7 への書き込みは 16 ビット操作命令のみ有効です。

アクセス E710CTL レジスタは、16 ビット単位でリード/ライト可能です。

E710CTL, E710CTLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス E710CTL : <base_addr> + 00H、

E710CTL : <base_addr> + 00H、

E710CTLH : <base_addr> + 01H

リセット後の値 001XH

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA[1:0]	—	—	ECOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	W ^{注1}	W ^{注1}	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード時は常に“0”が読み出されます。

表 29.69 E710CTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15, 14	EMCA[1:0]	ECC モード選択ビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガリザーブビットであり、読み出し値は常に“0”です。
13, 12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ECOVFF	エラーオーバーフロー検出フラグ エラーステータスレジスタのいずれかのエラーフラグ (ECER2F、ECER1F) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 本フラグは、内部リセット、外部リセット、スルーモード許可選択時 (ECTHM = 1)、または ECER2C と ECER1C へ 1 を書き込むことでクリアされます。
10	ECER2C	ECC2 ビットエラー検出フラグクリアビット 本ビットはビット 2 【ECER2F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても内部状態は変化しません。 “1”書き込みとビット 2 のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER2F】ビットがセットされている際に、本ビットに“1”書き込みを行うことで ECER2F ビットがクリアされます。
9	ECER1C	ECC1 ビットエラー検出訂正累積フラグクリアビット 本ビットはビット 1 【ECER1F】のステータスフラグをクリアするためのビットです。 読み出し値は常に“0”であり、“0”書き込みを行っても内部状態は変化しません。 “1”書き込みとビット 1 のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER1F】ビットがセットされている際に、本ビットに“1”書き込みを行うことで ECER1F ビットがクリアされます。
8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 29.69 E710CTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	ECTHM	ECC 機能ディスエーブルビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。 ただし、本ビットへのライトアクセスは上位 15、14 ビットを 01 _B にしてアクセスする必要があります。したがって本ビットへのアクセスは 16 ビット操作命令のみ有効です。本ビットに“1”をセットすることでエラー判定ならびにビット訂正を行いません。周辺モジュールへの出力データはエラーがあってもビット訂正を行わないデータが出力されます。エンコーダ側には影響を与えません。 0: ECC 検出・訂正機能が有効 1: ECC 検出・訂正機能が無効
6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 0: 1 ビットエラー検出時にエラー訂正を行います 1: 1 ビットエラー検出時にエラー訂正を行いません
4	EC2EDIC	2 ビットエラー検出通知許可制御ビット 0: 2 ビットエラー検出時に ECM へ通知しません 1: 2 ビットエラー検出時に ECM へ通知します
3	EC1EDIC	1 ビットエラー検出通知許可制御ビット 0: 1 ビットエラー検出時に ECM へ通知しません 1: 1 ビットエラー検出時に ECM へ通知します
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM のリードデータビット 0 からビット 38 に対して 2 カ所のビットエラーが検出されたことを示すフラグです。 本ビットはリード専用です。 0: 本ビットクリア後、2 ビットエラーは発生していません。 1: 2 ビットエラーが発生しました。 クリア条件 (1) リセット時 (2) ECER2C = 1 ライト (3) ECC 検出・訂正機能無効時 (ECTHM = 1)
1	ECER1F	ECC1 ビットエラー検出・訂正フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM リードデータビット 0 からビット 38 に対して 1 箇所のビットエラーが検出されたことを示すフラグです。本ビットがセットされることで割り込み信号は発生しません。 本ビットはリード専用です。 0: 1 ビットエラーは発生していません 1: 1 ビットエラーが発生しました。 クリア条件 (1) リセット時 (2) ECER1C = 1 ライト (3) ECC 検出・訂正機能無効時 (ECTHM = 1)
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。 本ビットは RAM 出力データ毎に更新されます。 RAM のリセット後の値が不定であるため、エラーと判定され、本ビットがセットされる可能性があります。よって本ビットのリセット後の値は不定とします。 0: 現在の RAM 出力データには、ビットエラーが存在していません 1: 現在の RAM 出力データでは、ビットエラーが存在します クリア条件 (1) ECC 検出・訂正機能無効時 (ECTHM = 1) (2) デコード回路入力データに 1 ビットエラーがないとき。 エラー判定許可な状態で RAM の出力データにビットエラーのある RAM データが出力されている間セットされます。

(2) E710TMC — ECC テストモードコントロールレジスタ

テストモードへの切り替えおよびテストモード制御のための 16 ビットレジスタです。

16 ビット、8 ビット操作命令でリード/ライト可能です。

ただし、ビット 7 への書き込みは 16 ビット操作命令のみ有効です。

アクセス E710TMC レジスタは、16 ビット単位でリード/ライト可能です。

E710TMCL, E710TMCH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス E710TMC: <base_addr> + 04_H .

E710TMCL : <base_addr> + 04_H .

E710TMCH : <base_addr> + 05_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード時は常に“0”が読み出されます。

表 29.70 E710TMC レジスタの内容

ビット位置	ビット名	機能
15、14	ETMA[1:0]	ECC テストモードビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガリザーブビットであり、読み出し値は常に“0”です。
13~8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。ただし、本ビットのアクセスは上位 15、14 ビットを 10 _B にしてアクセスする必要があります。 0: テストレジスタおよびテスト制御ビットに対するアクセスを禁止します 1: テストレジスタおよびテスト制御ビットに対するアクセスを許可します
6、5	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは RAM リードステータスを E710TED レジスタのリードにより発生させる事を許可したり、E710TRC.ECERDB[7:0]ビットと E710TED レジスタのリード値を RAM 出力データの値に切り替えるためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます(同期クリア) 0: E710TED をリードしても、テスト用 RAM リードステータスは発生しません 1: E710TED レジスタをリードした際に、テスト用 RAM リードステータスを生成します E710TRC.ECERDB[7:0]および E710TED レジスタの読み出し値は、RAM 出力データ端子の値が読み出されます。
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは ECC 冗長ビット出力に ECC エンコーダ出力データまたは ECERDB レジスタ値のいずれを出力するか選択するためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます(同期クリア) 0: ECC 冗長ビット出力にはエンコード結果を出力します 1: ECC 冗長ビット出力には E710TRC.ECERDB[6:0]を出力します
2	ECENS	ECC エンコード入力選択ビット 本ビットはエンコード処理される入力信号に周辺モジュールからのデータ値または内部テストレジスタ (E710TED.ECEDB[31:0]) 値のいずれを入力するか選択するビットです。なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます(同期クリア) 0: ECC エンコード入力データには周辺モジュールからの RAM へのライトデータを入力します 1: ECC エンコード入力データには E710TED.ECEDB[31:0]を入力します
1	ECDCS	ECC デコード入力選択ビット 本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 32 ビットデータ値または内部テストレジスタ (E710TED.ECEDB[31:0]) 値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます(同期クリア) 0: デコード回路へのデータ領域(下位 32 ビット)には RAM 出力データの下位 32 ビットを入力します 1: デコード回路へのデータ領域には E710TED.ECEDB[31:0]を入力します
0	ECREIS	ECC 冗長ビット入力データ選択ビット 本ビットはデコード処理される入力信号の上位 7 ビットデータに RAM からの上位 7 ビット(冗長ビット領域)データ値または内部テストレジスタ (E710TRC.ECERDB[6:0]ビット) 値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます(同期クリア) 0: デコード回路への ECC 冗長ビット領域には RAM 出力データの上位 7 ビットを入力します 1: デコード回路への ECC 冗長ビット領域には E710TRC.ECERDB[6:0]を入力します

(3) E710TED — ECC エンコード・デコードデータテストレジスタ

ECC エンコード/デコード用 32 ビットデータのテストレジスタです。

ECTMCE = 1 のとき、32 ビット操作命令でリード/ライト可能です。

ECTMCE = 0 のときは常に“0”です。

テストモードにおいて本レジスタの値をエンコード回路、デコード回路の入力データとして使用します。

アクセス E710TED レジスタは、32 ビット単位でリード/ライト可能です。

アドレス E710TED: <base_addr> + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>	<small>注 1</small>

注 1. ECTMCE = 0 のときは読み出すと 0 が読み出されます。書き込む値も 0 にしてください。

備 考

ECTMCE = 1→0 では同期リセットとなります。

E710TMC : ECENS = 1 において本レジスタの値がエンコード回路への入力データとなり、RAM へ供給されます。

E710TMC : ECDCS = 1 において本レジスタの値がデコード回路への入力データ 31-0 ビット目のデータとなります。

また、E710TMC : ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(4) E710TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対する 32 ビットのテストレジスタで、ECSYND、ECHORD、ECECRD、ECERDB の 4 フィールドで構成されています。各フィールドは同じ名前の 8 ビットレジスタとしてもアクセス可能です。各フィールドの詳細は、これら 4 レジスタの説明を参照してください。

アクセス E710TRC レジスタは、32 ビット単位で ECSYND、ECHORD、ECECRD、ECERDB レジスタに一度にアクセスが可能です。

アドレス E710TRC: <base_addr> + 08_H

リセット後の値 ECSYND、ECHORD、ECECRD、ECERDB レジスタの説明を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECSYND								ECHORD							
リセット後の値	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 2	注 2	注 2	注 2	注 2	注 2	注 2	注 2
R/W	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 2	注 2	注 2	注 2	注 2	注 2	注 2	注 2
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECECRD								ECERDB							
リセット後の値	注 3	注 3	注 3	注 3	注 3	注 3	注 3	注 3	注 4	注 4	注 4	注 4	注 4	注 4	注 4	注 4
R/W	注 3	注 3	注 3	注 3	注 3	注 3	注 3	注 3	注 4	注 4	注 4	注 4	注 4	注 4	注 4	注 4

注 1. ECSYND レジスタの説明を参照してください。

注 2. ECHORD レジスタの説明を参照してください。

注 3. ECECRD レジスタの説明を参照してください。

注 4. ECERDB レジスタの説明を参照してください。

備 考

ECTMCE = 1→0 では同期リセットとなります。

(5) ECSYND — ECC デコード・シンドロームデータレジスタ

テストモード (ECTMCE = 1) 時にデコード回路で生成されるシンドロームコードを確認するのに使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。

アクセス E710TRC (.ECSYND) レジスタは、32 ビット単位でリード/ライト可能です。

(ECSYND レジスタ自体は、8 ビット単位でリード可能です。)

アドレス E710TRC (.ECSYND): <base_addr> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24
	—	SYND[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

本レジスタビットは、デコード回路の入力データを基に生成されるシンドロームコードの値 (synd[6:0]) が読み出されます。

本レジスタビットは保持回路ではありません。

したがって、入力信号が変化すると本レジスタ値も変化します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で、ECTMCE = 0 では常に 00_H です。

ビット 31 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(6) ECHORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM へのリードアクセスした際に周辺モジュールでは確認できない ECC7 ビット冗長ビット領域 (RAM データの上位 7 ビット) を格納するレジスタです。

アクセス E710TRC (.ECHORD) レジスタは、32 ビット単位でリード/ライト可能です。
(ECHORD レジスタ自体は、8 ビット単位でリード可能です。)

アドレス E710TRC (.ECHORD): <base_addr> + 08_H

リセット後の値 0000 0000_H

ビット	23	22	21	20	19	18	17	16
	—	HORD[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは、テストモード (ECTMCE = 1) 時に周辺モジュールからの RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 7 ビット分のデータを格納します。

また、E710TMC.ECTRRS = 1 のときに ECEDB[15:0] ビットをリードした際にも次の動作クロックの立ち上がりで RAM 出力データ上位 7 ビット分のデータを格納します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 23 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) ECECRD — ECC エンコードテストレジスタ

テストモード (ECTMCE = 1) 時においてエンコード回路により生成される 7 ビット冗長ビット部を読み出すリード専用レジスタです。

アクセス E710TRC (.ECECRD) レジスタは、32 ビット単位でリード/ライト可能です。
(ECECRD レジスタ自体は、8 ビット単位でリード可能です。)

アドレス E710TRC (.ECECRD): <base_addr> + 08_H

リセット後の値 0000 0000_H

ビット	15	14	13	12	11	10	9	8
	—	ECRD[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

周辺モジュールからの入力データにより生成される冗長ビットを確認するために使用します。

ここで読み出されるデータはエンコード結果 (ecc[6:0]) であり、出力値ではありません。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 15 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) ECERDB — ECC 冗長ビット入出力代替バッファレジスタ

テストモード (ECTMCE = 1) 時に ECC7 ビット冗長ビットデータ領域に対する入出力データの代替データのためのバッファレジスタです。

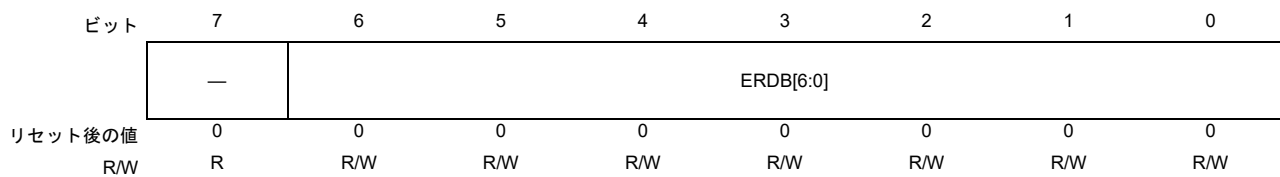
ECTMCE = 1 (ECC テストモード) のときリード/ライト可能です。

アクセス E710TRC (.ECERDB) レジスタは、32 ビット単位でリード/ライト可能です。

(ECERDB レジスタ自体は、8 ビット単位でリード/ライト可能です。)

アドレス E710TRC (.ECERDB): <base_addr> + 08_H

リセット後の値 0000 0000_H



ECREOS = 1 において、エンコード回路で生成される 7 ビットの冗長ビットに替わり、本レジスタの値が端子に出力され、RAM へ供給されます。

ECREIS = 1 において、デコード回路への入力されるデータの上位 7 ビットに替わり本レジスタの値がデコード回路で扱われます。

また、ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値ではなく、RAM へ供給される信号の値が読み出されます。

ビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(9) E710EAD — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。

どのエラーステータスもセットされていない状態で最初に発生した ECC エラー発生時に保持します。

ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。

保持できるのは 1 アドレスです。

アクセス E710EAD レジスタは、32 ビット単位でリード可能です。

アドレス E710EAD: <base_addr> + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

29.2.8.4 ECM への通知

本モジュールでは、設定により 2 つのエラー検出が可能であり、検出されたエラーは ECM に通知されません。

- 1 ビットエラー通知

1 ビットエラー通知制御が許可【EC1EDIC = 1_B】設定で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 1 箇所のビットエラーを検出すると、1 ビットエラーを通知します。ただし、ECER1F および ECER2F が既にセットされている場合は通知されません。

- 2 ビットエラー通知

2 ビットエラー通知制御が許可【EC2EDIC = 1_B】設定で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 2 箇所のビットエラーを検出すると 2 ビットエラーを通知します。ただし、ECER2F が既にセットされている場合は通知されません。

29.2.8.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

1. E710CTL レジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。
2. 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方：

3. E710CTL レジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

1. E710TMC レジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
2. ECC ビットに書き込む値を E710TRC.ECERDB[6:0]に書き込みます。
3. E710TMC レジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に E710TRC.ECERDB[6:0]を選択します。
4. 周辺 RAM へデータ書き込みを実行すると、ECC ビットに E710TRC.ECERDB[6:0]が書き込まれます。

本テストモードからの抜け方：

5. E710TMC レジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

1. E710TMC レジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
2. 周辺 RAM の読み出しを実行すると、ECC ビットが E710TRC.ECHORD[6:0]に格納されます。

本テストモードからの抜け方

3. E710TMC レジスタの ECTMCE ビットを 0 にして、通常モードにします。

29.2.9 データ転送経路のデータパリティ

以下に、データパリティの対象となる転送経路を示します。以下に示すアクセス元からアクセス先への転送にはデータパリティによるエラーの検出が可能です。いずれかの転送経路でパリティエラーを検出すると、ECM に通知します。

表 29.71 データパリティの対象となる転送経路

アクセス元 (マスター)	アクセス先 (スレーブ)
CPU1、CPU2、SubCPU、DMAC、DTS	INTC2、INTIF、EINT、EMUEINT、DMAC、DTS、CSIH、ADCC、RDC3A、ポートグループ、DNF、RSENT
DMAC、DTS	CPU1、CPU2、SubCPU の Local RAM 及び Global RAM
CPU1、CPU2、SubCPU	他コアの Local RAM
SubCPU	Global RAM

なお、リード時にデータパリティエラーが発生した際、各マスターへはエラーデータがそのまま返されます。また、ライト時にデータパリティエラーが発生した際は、スレーブが INTC2、INTIF、EINT、EMUEINT、ADC、RDC3A、DNF、RSENT であればライトはキャンセルされます。

パリティ対象モジュールの幾つかはパリティコントローラ (エンコーダおよびデコーダ) に制御レジスタを持っており、エラー検出時のステータス保持などが可能です。これらのモジュールでパリティエラーが検出された場合は、エラーとなったアクセスを特定することが可能です。

制御レジスタを持たないパリティコントローラは、必ずパリティを検出します。これらのコントローラ自身はエラー検出時のステータスは保持しませんが、エラー検出の有無は ECM に保持されます。

29.2.9.1 レジスタ一覧

表 29.72 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
APDP	P-Bus データパリティステータスレジスタ xx	APDPERRST_xx	<base_addr> + 0 _H
APDP	P-Bus データパリティステータスクリアレジスタ xx	APDPERRSTC_xx	<base_addr> + 4 _H
APDP	P-Bus データパリティテストモードコントロールレジスタ xx	APDPTMC_xx	<base_addr> + 8 _H
APDP	P-Bus データパリティエラーアドレスレジスタ xx	APDPERRADR_xx	<base_addr> + C _H

上記における、“xx” はこれら制御レジスタが対応するパリティ対象モジュールを示します。以下にパリティ対象モジュールと、そのベースアドレス <base_addr>の一覧を示します。

表 29.73 データパリティ制御モジュール一覧

xx	対象モジュール名	ベースアドレス <base_addr>
INTC2	INTC2	FFC6 8800 _H
EINT	EINT	FFC8 6000 _H
EMUEINT	EMUEINT	FFC8 6020 _H
INTIF	INTIF	FFF9 9000 _H
PDMA	DMA_DTS	FFC6 8900 _H
SNT0	RSENT0	FFDC_2100 _H
SNT1	RSENT1	FF7C_2120 _H
SNT2	RSENT2	FFDC_2140 _H
SNT3	RSENT3	FF7C_2160 _H
CS0A	CSIH0 (グループ A) 注 1	FFF9 6000 _H
CS0B	CSIH0 (グループ B) 注 1	FFF9 6020 _H
CS1A	CSIH1 (グループ A) 注 1	FFF9 6040 _H
CS1B	CSIH1 (グループ B) 注 1	FFF9 6060 _H
CS2A	CSIH2 (グループ A) 注 1	FFF9 6080 _H
CS2B	CSIH2 (グループ B) 注 1	FFF9 60A0 _H
ADC0	ADCC0	FFC8 8000 _H
ADC1	ADCC1	FF68 8020 _H
ADC2	ADCC2	FFC8 8040 _H
PT	ポートグループ	FFC8 5000 _H
DNF0	DNF0	FFC8 50C0 _H
DNF1	DNF1	FFC8 50E0 _H
DNF2	DNF2	FFC8 5100 _H
DNF3	DNF3	FFC8 5120 _H
DNF4	DNF4	FFC8 5140 _H
DNF5	DNF5	FFC8 5160 _H
DNF6	DNF6	FFC8 5180 _H
DNF7	DNF7	FFC8 51A0 _H
DNF8	DNF8	FFC8 51C0 _H
RDC3A0	RDC3A0	FFFA 2000 _H
RDC3A1	RDC3A1	FFFA 2020 _H

注 1. CSIHx のレジスタは以下の 2 グループに分けて制御されます。

グループ A : CSIHnCTL0~2, CSIHnSTR0, CSIHnSTCR0

グループ B : 上記以外

29.2.9.2 レジスタ詳細

(1) APDPERRST_XX — P-Bus データパリティステータスレジスタ

XX は、「表 29.73 データパリティ制御モジュール一覧」を参照してください。

アクセス APDPERRST_XX レジスタは、32 ビット単位でリード可能です。

APDPERRST_XXL レジスタは、16 ビット単位でリード可能です。

APDPERRST_XXLL レジスタは、8 ビット単位でリード可能です。

アドレス <base_addr> + 00H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.74 APDPERRST レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APDPERR	データパリティエラーモニタフラグ パリティエラーが発生したことを示すフラグです。 データパリティエラーモニタフラグクリアビット (APDPERRC) に 1 をセットすることでクリアされます。 0: パリティエラーは発生していない 1: パリティエラーが発生した

(2) APDPERRSTC_xx — P-Bus データパリティステータスクリアレジスタ

xx は、「表 29.73 データパリティ制御モジュール一覧」を参照してください。

アクセス APDPERRSTC_xx レジスタは、32 ビット単位でライト可能です。

APDPERRSTC_xxL レジスタは、16 ビット単位でライト可能です。

APDPERRSTC_xxLL レジスタは、8 ビット単位でライト可能です。

アドレス <base_addr> + 04_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPE RRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 29.75 APDPERRSTC レジスタの内容

ビット位置	ビット名	機能
31~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APDPERRC	本ビットは、データパリティエラーモニタフラグ (APDPERR) をクリアするためのビットです。 APDPERR がセットされた状態で、本ビットに “1” を書き込むと APDPERR はクリアされません。 読み出し値は常に “0” です。

(3) APDPTMC_xx — P-Bus データパリティテストモードコントロールレジスタ

本レジスタへの書き込みは APDPTMC [1:0] ビットを 01_B にして実行してください。

xx は、「表 29.73 データパリティ制御モジュール一覧」を参照してください。

アクセス APDPTMC_xx レジスタは、32 ビット単位でリード/ライト可能です。

APDPTMC_xxl レジスタは、16 ビット単位でリード/ライト可能です。

アドレス <base_addr> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	APDPTMC[1:0]	—	—	—	—	—	—	—	—	—	—	—	APDPEIC3	APDPEIC2	APDPEIC1	APDPEIC0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.76 APDPTMC レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	APDPTMC[1:0]	データパリティテストモードコントロールビット 本ビットのデータが 01 _B のときにエラー注入制御ビット (APDPEIC3~0) にライトアクセスが可能になります。 01 _B 以外で APDPEIC3~0 にライトアクセスしても値は書き込まれません。 読み出し値は常に "0" です。
13~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	APDPEIC3	バイトレーン 3 エラー注入制御ビット バイトレーン 3 (ビット 31~24) に対応するパリティビット生成・チェックを奇数パリティに変更します。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)
2	APDPEIC2	バイトレーン 2 エラー注入制御ビット バイトレーン 2 (ビット 23~16) に対応するパリティビット生成・チェックを奇数パリティに変更します。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)
1	APDPEIC1	バイトレーン 1 エラー注入制御ビット バイトレーン 1 (ビット 15~8) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)
0	APDPEIC0	バイトレーン 0 エラー注入制御ビット バイトレーン 0 (ビット 7~0) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01 _B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)

(4) APDPERRADR_xx — P-Bus データパリティエラーアドレスレジスタ

xx は、「表 29.73 データパリティ制御モジュール一覧」を参照してください。

アクセス APDPERRADR_xx レジスタは、32 ビット単位でリード可能です。

アドレス <base_addr> + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	APDPERRADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPERRADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.77 APDPERRADR レジスタの内容

ビット位置	ビット名	機能
31~0	APDPERRADR [31:0]	データパリティエラーアドレス データパリティエラーモニタフラグ (APDPAERR) がセットされていない状態で、最初にパリティエラーが発生したアドレスを保持します。DPAERR がセットされた状態で再度パリティエラーが発生しても保持情報は更新されません。

29.3 ロックステップ

本製品は、CPU の故障を特別なソフトウェアを使わずに、かつ速やかに検出するために、CPU1 にロックステップ機能を搭載しています。CPU1 におけるプログラム実行は異なる 2 つの回路であるマスタコアとチェックコアによって処理され、両者の実行結果は常時比較されます。比較結果が一致しなかった場合、いずれかの回路にエラーが生じたものとして ECM にロックステップエラーを通知します。比較対象となるバス出力は、CPU1 の Local RAM、Global RAM、CPU Peripheral、インターコネク、P-Bus、Code Flash、命令キャッシュのタグ RAM、命令キャッシュのデータ RAM への出力です。

CPU1 のロックステップ機能は故障注入機能を備えており、意図的にエラーを発生させることによってロックステップ機能の動作を自己診断することができます。また、ロックステップエラーが発生した時のアドレスとデータは、レジスタへキャプチャすることができます。

29.3.1 レジスタ一覧

表 29.78 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TESTCOMP	比較器テストレジスタ 0	TESTCOMPREG0	FFFE ED00 _H
TESTCOMP	比較器テストレジスタ 1	TESTCOMPREG1	FFFE ED04 _H
TESTCOMP	ロックステップエラーコントロールレジスタ	LS_ERR_CNT	FFFE EE00 _H
TESTCOMP	ロックステップエラーステータスレジスタ	LS_ERR_ST	FFFE EE04 _H
TESTCOMP	ロックステップエラーアドレスレジスタ	LS_ERR_ADDRESS	FFFE EE10 _H
TESTCOMP	ロックステップエラーデータレジスタ	LS_ERR_DATA	FFFE EE14 _H

これらのレジスタは、CPU1 の CPU Peripheral に配置されています。これらのレジスタは CPU1 からしかアクセスすることができません。

29.3.2 レジスタ詳細

29.3.2.1 TESTCOMPREG0 — 比較器テストレジスタ 0

CPU1 のロックステップ機能用のテストレジスタ 0 です。

本レジスタと TESTCOMPREG1 を組み合わせることによってロックステップ機能の自己診断を行うことができます。以下に、自己診断方法の一例を示します。

- (1) TESTCOMPREG0 に任意の値を書き込みます。
- (2) TESTCOMPREG1 に TESTCOMPREG0 とは異なる任意の値を書き込みます。
- (3) TESTCOMPREG0 を読み出します。マスタコアとチェッカコアには、異なる値が読み出されます。
- (4) この読み出した値を使用して、診断を行いたい比較器を動作させます。

アクセス TESTCOMPREG0 レジスタは、32 ビット単位でリード/ライト可能です。
TESTCOMPREG0L、TESTCOMPREG0H レジスタは、16 ビット単位でリード/ライト可能です。
TESTCOMPREG0LL、TESTCOMPREG0LH、TESTCOMPREG0HL、TESTCOMPREG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス TESTCOMPREG0 : FFFE ED00_H、
TESTCOMPREG0L : FFFE ED00_H、TESTCOMPREG0H : FFFE ED02_H、
TESTCOMPREG0LL : FFFE ED00_H、TESTCOMPREG0LH : FFFE ED01_H、
TESTCOMPREG0HL : FFFE ED02_H、TESTCOMPREG0HH : FFFE ED03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG0[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.79 TESTCOMPREG0 レジスタの内容

ビット位置	ビット名	機能
31~0	TESTCOMPREG0 [31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1: TESTCOMPREG0[31:0]の値が読めます。 PE1C: TESTCOMPREG1[31:0]の値が読めます。

29.3.2.2 TESTCOMPREG1 — 比較器テストレジスタ 1

CPU1 のロックステップ機能用のテストレジスタ 1 です。

本レジスタと TESTCOMPREG0 を組み合わせることによってロックステップ機能の自己診断を行うことができます。

アクセス TESTCOMPREG1 レジスタは、32 ビット単位でリード/ライト可能です。
TESTCOMPREG1L、TESTCOMPREG1H レジスタは、16 ビット単位でリード/ライト可能です。
TESTCOMPREG1LL、TESTCOMPREG1LH、TESTCOMPREG1HL、TESTCOMPREG1HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス TESTCOMPREG1: FFFE ED04_H、
TESTCOMPREG1L: FFFE ED04_H、TESTCOMPREG1H: FFFE ED06_H、
TESTCOMPREG1LL: FFFE ED04_H、TESTCOMPREG1LH: FFFE ED05_H、
TESTCOMPREG1HL: FFFE ED06_H、TESTCOMPREG1HH: FFFE ED07_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG1[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.80 TESTCOMPREG1 レジスタの内容

ビット位置	ビット名	機能
31~0	TESTCOMPREG1 [31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1: TESTCOMPREG1[31:0]の値が読めます。 PE1C: TESTCOMPREG0[31:0]の値が読めます。

29.3.2.3 LS_ERR_CNT — ロックステップエラーコントロールレジスタ

LS_ERR_CNT レジスタは、アドレスとデータに対するロックステップエラーが発生した時に、該当するアクセス先アドレスとデータに対し、キャプチャの有効/無効を設定するレジスタです。

アクセス LS_ERR_CNT レジスタは、32 ビット単位でリード/ライト可能です。

アドレス LS_ERR_CNT : FFFE EE00_H

リセット後の値 0000 000F_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	L1RAM	L2RAM	GAPB	LAPB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.81 LS_ERR_CNT レジスタの内容

ビット位置	ビット名	機能
31~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	L1RAM	Local RAM へのアクセスにおいて、ロックステップエラーが発生した際の、アドレス、データのキャプチャ有効/無効を設定します。 0 : キャプチャ無効 1 : キャプチャ有効
2	L2RAM	Global RAM へのアクセスにおいて、ロックステップエラーが発生した際の、アドレス、データのキャプチャ有効/無効を設定します。 0 : キャプチャ無効 1 : キャプチャ有効
1	GAPB	P-bus ^{注1} へのアクセスにおいて、ロックステップエラーが発生した際の、アドレス、データのキャプチャ有効/無効を設定します。 0 : キャプチャ無効 1 : キャプチャ有効
0	LAPB	IPIR, MEV ^{注1} へのアクセスにおいて、ロックステップエラーが発生した際の、アドレス、データのキャプチャ有効/無効を設定します。 0 : キャプチャ無効 1 : キャプチャ有効

注 1. P-bus アクセスと IPIR,MEV アクセスへの構成は「第 3 章 CPU システム」をご参照ください。

29.3.2.4 LS_ERR_ST — ロックステップエラーステータスレジスタ

LS_ERR_ST レジスタは、最初に発生した該当ロックステップエラーを監視するレジスタです。最初に発生したエラーフラグをクリアするまでは、以降で発生したエラーフラグは 1 にセットされません。また、各エラー要因が競合した場合は、L1RAMW0~3→L2RAMP0~1→GAPB→LAPB の優先順位でフラグがセットされます。各フラグは、内部リセット、または外部リセット、本レジスタへ 1 をライトすることでクリアされます。

アクセス LS_ERR_ST レジスタは、32 ビット単位でリード/ライト可能です。

アドレス LS_ERR_ST : FFFE EE04_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	L1RAM W0	L1RAM W1	L1RAM W2	L1RAM W3	L2RAM P0	L2RAM P1	GAPB	LAPB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.82 LS_ERR_ST レジスタの内容

ビット位置	ビット名	機能
31~8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	L1RAMW0	Local RAM の Word0 のロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
6	L1RAMW1	Local RAM の Word1 のロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
5	L1RAMW2	Local RAM の Word2 のロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
4	L1RAMW3	Local RAM の Word3 のロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
3	L2RAMP0	Global RAM の下位データのロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
2	L2RAMP1	Global RAM の上位データのロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
1	GAPB	P-bus アクセス ^{注 1} のロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり
0	LAPB	IPIR, MEV アクセス ^{注 1} のロックステップエラーアドレス/データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0 : キャプチャなし 1 : キャプチャあり

注 1. P-bus アクセスと IPIR,MEV アクセスへの構成は「第 3 章 CPU システム」をご参照ください。

29.3.2.5 LS_ERR_ADDRESS — ロックステップエラーアドレスレジスタ

LS_ERR_ADDRESS レジスタは、エラー発生時のアドレスを保持するレジスタです。LS_ERR_ST で発生した、各エラー要因のフラグに該当するアドレスを保持します。

アクセス LS_ERR_ADDRESS レジスタは、32 ビット単位でリード可能です。

アドレス LS_ERR_ADDRESS : FFFE EE10_H

リセット後の値 — (保持)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Address[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Address[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.83 LS_ERR_ADDRESS レジスタの内容

ビット位置	ビット名	機能
31~0	Address[31:0]	<p>ロックステップエラーが発生時のアドレスをモニタするためのレジスタです。 アドレスキャプチャ時の有効ビットは以下ようになります。無効ビットには全て 0 が格納されます。尚、LS_ERR_ST の各エラーフラグのアドレスを実アドレスに変換するには、以下のようになります。</p> <p>L1RAMW0 : Local RAM base_address + (Address [14:0]<<4) L1RAMW1 : Local RAM base_address + (Address [14:0]<<4) + 4_H L1RAMW2 : Local RAM base_address + (Address [14:0]<<4) + 8_H L1RAMW3 : Local RAM base_address + (Address [14:0]<<4) + C_H L2RAMP0 : Global RAM_base_address + Address [20:0] L2RAMP1 : Global RAM_base_address + Address [20:0] + 4_H GAPB : Address [31:0] LAPB : FF00 0000_H + Address [23:0]</p>

29.3.2.6 LS_ERR_DATA — ロックステップエラーデータレジスタ

LS_ERR_DATA_L レジスタは、エラー発生時のデータを保持するレジスタです。LS_ERR_ST の各エラー要因に該当するデータを保持します。

アクセス LS_ERR_DATA レジスタは、32 ビット単位でリード可能です。

アドレス LS_ERR_DATA : FFFE EE14H

リセット後の値 — (保持)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA [31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA [15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.84 LS_ERR_DATA レジスタの内容

ビット位置	ビット名	機能
31~0	DATA [31:0]	ロックステップエラーが発生時のデータ[31:0]をモニタするためのレジスタです。

29.4 メモリ保護

29.4.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU： CPU1、CPU2、SubCPU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU1、CPU2、SubCPU から発行されることはありません。詳細は、「**RH850 ファミリ ユーザーズマニュアル ソフトウェア編**」をご参照ください。
- スレーブガード： あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。
 - PEG： Local RAM を不正なアクセスから保護します。ただし、Local RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内の Local RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は、「**第 3 章 CPU システム**」の章をご参照ください。
 - IPG (Internal Peripheral device Guard)： CPU 固有周辺を不正なアクセスから保護します。詳細は、「**第 3 章 CPU システム**」の章をご参照ください。
 - GRG： Global RAM を不正なアクセスから保護します。
 - PBG： 周辺回路の制御レジスタやメモリを不正なアクセスから保護します。詳細は、「**29.4.3 PBG**」をご参照ください。

29.4.1.1 スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 29.85 識別子一覧

識別子	機能
UM	<p>CPU のアクセス時に、その CPU の動作モードを示します。</p> <p>0 : スーパバイザモード 1 : ユーザモード</p> <p>DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 0 となります。</p>
SPID	<p>CPU のアクセス時に、その CPU に設定されたシステム保護識別子 SPID の値を示します。</p> <p>DMAC/DTS のアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 00_B となります。</p>
PEID	<p>アクセス元のバスマスタを示します。</p> <p>000_B : リザーブ 001_B : CPU1 010_B : CPU2 011_B : SubCPU 100_B : リザーブ 101_B : リザーブ 110_B : リザーブ 111_B : DMAC/DTS</p>

29.4.2 GRG (Global RAM Guard)

本製品は、8 チャンネルの GRG を実装しています。以下に GRG の詳細を記します。

29.4.2.1 レジスタ一覧

表 29.86 レジスタ一覧 (1/2)

モジュール名	レジスタ名	略号	アドレス
MGDGR	GRG コントロールレジスタ (SIC)	MGDGRSCTL_SIC	FFC4 9100 _H
MGDGR	GRG エラーステータスレジスタ (SIC)	MGDGRSSTAT_SIC	FFC4 9104 _H
MGDGR	GRG エラーアドレスレジスタ (SIC)	MGDGRSAD_SIC	FFC4 9108 _H
MGDGR	GRG エラーアクセスタイプレジスタ (SIC)	MGDGRSTYPE_SIC	FFC4 910C _H
MGDGR	GRG コントロールレジスタ (PE1)	MGDGRSCTL_PE1	FFC4 9200 _H
MGDGR	GRG エラーステータスレジスタ (PE1)	MGDGRSSTAT_PE1	FFC4 9204 _H
MGDGR	GRG エラーアドレスレジスタ (PE1)	MGDGRSAD_PE1	FFC4 9208 _H
MGDGR	GRG エラーアクセスタイプレジスタ (PE1)	MGDGRSTYPE_PE1	FFC4 920C _H
MGDGR	GRG コントロールレジスタ (PE2)	MGDGRSCTL_PE2	FFC4 9300 _H
MGDGR	GRG エラーステータスレジスタ (PE2)	MGDGRSSTAT_PE2	FFC4 9304 _H
MGDGR	GRG エラーアドレスレジスタ (PE2)	MGDGRSAD_PE2	FFC4 9308 _H
MGDGR	GRG エラーアクセスタイプレジスタ (PE2)	MGDGRSTYPE_PE2	FFC4 930C _H
MGDGR	GRG プロテクション設定レジスタ 0	MGDGRPROT0	FFC4 9400 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 0	MGDGRSPID0	FFC4 9404 _H
MGDGR	GRG コンペアベースアドレスレジスタ 0	MGDGRBAD0	FFC4 9408 _H
MGDGR	GRG コンペアアドレス有効レジスタ 0	MGDGRADV0	FFC4 940C _H
MGDGR	GRG プロテクション設定レジスタ 1	MGDGRPROT1	FFC4 9410 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 1	MGDGRSPID1	FFC4 9414 _H
MGDGR	GRG コンペアベースアドレスレジスタ 1	MGDGRBAD1	FFC4 9418 _H
MGDGR	GRG コンペアアドレス有効レジスタ 1	MGDGRADV1	FFC4 941C _H

表 29.86 レジスタ一覧 (2/2)

モジュール名	レジスタ名	略号	アドレス
MGDGR	GRG プロテクション設定レジスタ 2	MGDGRPROT2	FFC4 9420 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 2	MGDGRSPID2	FFC4 9424 _H
MGDGR	GRG コンペアベースアドレスレジスタ 2	MGDGRBAD2	FFC4 9428 _H
MGDGR	GRG コンペアアドレス有効レジスタ 2	MGDGRADV2	FFC4 942C _H
MGDGR	GRG プロテクション設定レジスタ 3	MGDGRPROT3	FFC4 9430 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 3	MGDGRSPID3	FFC4 9434 _H
MGDGR	GRG コンペアベースアドレスレジスタ 3	MGDGRBAD3	FFC4 9438 _H
MGDGR	GRG コンペアアドレス有効レジスタ 3	MGDGRADV3	FFC4 943C _H
MGDGR	GRG プロテクション設定レジスタ 4	MGDGRPROT4	FFC4 9440 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 4	MGDGRSPID4	FFC4 9444 _H
MGDGR	GRG コンペアベースアドレスレジスタ 4	MGDGRBAD4	FFC4 9448 _H
MGDGR	GRG コンペアアドレス有効レジスタ 4	MGDGRADV4	FFC4 944C _H
MGDGR	GRG プロテクション設定レジスタ 5	MGDGRPROT5	FFC4 9450 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 5	MGDGRSPID5	FFC4 9454 _H
MGDGR	GRG コンペアベースアドレスレジスタ 5	MGDGRBAD5	FFC4 9458 _H
MGDGR	GRG コンペアアドレス有効レジスタ 5	MGDGRADV5	FFC4 945C _H
MGDGR	GRG プロテクション設定レジスタ 6	MGDGRPROT6	FFC4 9460 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 6	MGDGRSPID6	FFC4 9464 _H
MGDGR	GRG コンペアベースアドレスレジスタ 6	MGDGRBAD6	FFC4 9468 _H
MGDGR	GRG コンペアアドレス有効レジスタ 6	MGDGRADV6	FFC4 946C _H
MGDGR	GRG プロテクション設定レジスタ 7	MGDGRPROT7	FFC4 9470 _H
MGDGR	GRG プロテクション SPID 設定レジスタ 7	MGDGRSPID7	FFC4 9474 _H
MGDGR	GRG コンペアベースアドレスレジスタ 7	MGDGRBAD7	FFC4 9478 _H
MGDGR	GRG コンペアアドレス有効レジスタ 7	MGDGRADV7	FFC4 947C _H

- MGDGRPROT_n、MGDGRSPID_n、MGDGRBAD_n、MGDGRADV_n は、各チャンネルの保護内容を設定します。(n: 0~7)
- MGDGRSCTL_*、MGDGRSSTAT_*、MGDGRSAD_*、MGDGRSTYPE_*は、各アクセス経路におけるエラー情報を示します。“_SIC”はシステムインターコネクタから Global RAM へのアクセス、“_PE1”は CPU1 から Global RAM へのアクセス、“_PE2”は CPU2 から Global RAM へのアクセスを示します。なお、SubCPU から Global RAM へのアクセスはシステムインターコネクタを経由します。
- 以下の予約エリアへアクセスした場合、エラーを通知して、MGDGRSSTAT_*の ERR ビットが 1 にセットされ、MGDGRSAD_*の GRIFA にアクセスしたアドレスが保持されます。

C1M-A2 : FEE0 0000_H~FEEE FFFF_H と FEF1 0000_H~FEFF FFFF_H

C1M-A1 : FEE0 0000_H~FEEE FFFF_H と FEF0 0000_H~FEFF FFFF_H

29.4.2.2 レジスタ詳細

(1) MGDGRSCTL_SIC/PE1/PE2 — GRG コントロールレジスタ

アクセス MGDGRSCTL_SIC, MGDGRSCTL_PE1, MGDGRSCTL_PE2 レジスタは、32 ビット単位でリード/ライト可能です。

MGDGRSCTL_SICL, MGDGRSCTL_PE1L, MGDGRSCTL_PE2L レジスタは、16 ビット単位でリード/ライト可能です。

MGDGRSCTL_SICLL, MGDGRSCTL_PE1LL, MGDGRSCTL_PE2LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MGDGRSCTL_SIC : FFC4 9100H、MGDGRSCTL_PE1 : FFC4 9200H、

MGDGRSCTL_PE2 : FFC4 9300H、

MGDGRSCTL_SICL : FFC4 9100H、MGDGRSCTL_PE1L : FFC4 9200H、

MGDGRSCTL_PE2L : FFC4 9300H、

MGDGRSCTL_SICLL : FFC4 9100H、MGDGRSCTL_PE1LL : FFC4 9200H、

MGDGRSCTL_PE2LL : FFC4 9300H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRCLO	ERRCLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.87 MGDGRSCTL_SIC/PE1/PE2

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERRCLO	エラーエントリオーバーフローフラグクリア 0 : 動作しません。 1 : オーバフローフラグをクリアします。
0	ERRCLE	エラー検出フラグクリア 0 : 動作しません。 1 : エラー検出フラグをクリアします。 ただし、下表に示す通り ERRCLO と同時にセットしてください。

表 29.88 ERRCLO と ERRCLE の組み合わせ

ERRCLO	ERRCLE	機能
0	0	いずれのビットもクリアしません。
0	1	いずれのビットもクリアしません（この設定は無視されます）。
1	0	OVF ビットをクリアします。
1	1	OVF ビットと ERR ビットの両方をクリアします。

(2) MGDGRSSTAT_SIC/PE1/PE2 — GRG エラーステータスレジスタ

アクセス MGDGRSSTAT_SIC, MGDGRSSTAT_PE1, MGDGRSSTAT_PE2 レジスタは、32 ビット単位でリード可能です。

MGDGRSSTAT_SICL, MGDGRSSTAT_PE1L, MGDGRSSTAT_PE2L レジスタは、16 ビット単位でリード可能です。

MGDGRSSTAT_SICLL, MGDGRSSTAT_PE1LL, MGDGRSSTAT_PE2LL レジスタは、8 ビット単位でリード可能です。

アドレス MGDGRSSTAT_SIC : FFC4 9104_H、MGDGRSSTAT_PE1 : FFC4 9204_H、

MGDGRSSTAT_PE2 : FFC4 9304_H、

MGDGRSSTAT_SICL : FFC4 9104_H、MGDGRSSTAT_PE1L : FFC4 9204_H、

MGDGRSSTAT_PE2L : FFC4 9304_H、

MGDGRSSTAT_SICLL : FFC4 9104_H、MGDGRSSTAT_PE1LL : FFC4 9204_H、

MGDGRSSTAT_PE2LL : FFC4 9304_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.89 MGDGRSSTAT_SIC/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OVF	エラーエントリオーバーフローフラグ 0 : オーバフローなし 1 : オーバフロー発生 GRG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバーフローし、本フラグがセットされます。 なお、オーバーフロー時も ECM には通知されません。 またオーバーフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラー検出フラグ 0 : エラーなし 1 : エラー

注 意

以下の予約エリアへアクセスした場合においても、エラーを検出して、ERR ビットが 1 にセットされます。

C1M-A2 : FEE0 0000_H~FEEE FFFF_H と FEF1 0000_H~FEFF FFFF_H

C1M-A1 : FEE0 0000_H~FEEE FFFF_H と FEF0 0000_H~FEFF FFFF_H

(3) MGDGRSAD_SIC/PE1/PE2 — GRG エラーアドレスレジスタ

アクセス MGDGRSAD_SIC, MGDGRSAD_PE1, MGDGRSAD_PE2 レジスタは、32 ビット単位でリード可能です。

MGDGRSAD_SICL, MGDGRSAD_PE1L, MGDGRSAD_PE2L レジスタは、16 ビット単位でリード可能です。

MGDGRSAD_SICLL, MGDGRSAD_PE1LL, MGDGRSAD_PE2LL レジスタは、8 ビット単位でリード可能です。

アドレス MGDGRSAD_SIC : FFC4 9108_H、MGDGRSAD_PE1 : FFC4 9208_H、

MGDGRSAD_PE2 : FFC4 9308_H、

MGDGRSAD_SICL : FFC4 9108_H、MGDGRSAD_PE1L : FFC4 9208_H、

MGDGRSAD_PE2L : FFC4 9308_H、

MGDGRSAD_SICLL : FFC4 9108_H、MGDGRSAD_PE1LL : FFC4 9208_H、

MGDGRSAD_PE2LL : FFC4 9308_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	GRIFA[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRIFA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.90 MGDGRSAD_SIC/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31~21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~0	GRIFA[20:0]	エラー発生時のアドレス

注 意

以下の予約エリアへアクセスした場合においても、エラーを検出して、GRIFA にアクセスしたアドレスが保持されません。

C1M-A2 : FEE0 0000_H~FEEE FFFF_H と FEF1 0000_H~FEFF FFFF_H

C1M-A1 : FEE0 0000_H~FEEE FFFF_H と FEF0 0000_H~FEFF FFFF_H

(4) MGDGRSTYPE_SIC/PE1/PE2 — GRG エラーアクセスタイプレジスタ

アクセス MGDGRSTYPE_SIC, MGDGRSTYPE_PE1, MGDGRSTYPE_PE2 レジスタは、32 ビット単位でリード可能です。

MGDGRSTYPE_SICL, MGDGRSTYPE_PE1L, MGDGRSTYPE_PE2L レジスタは、16 ビット単位でリード可能です。

MGDGRSTYPE_SICLL, MGDGRSTYPE_SICLH, MGDGRSTYPE_PE1LL, MGDGRSTYPE_PE1LH, MGDGRSTYPE_PE2LL, MGDGRSTYPE_PE2LH レジスタは、8 ビット単位でリード可能です。

アドレス MGDGRSTYPE_SIC : FFC4 910CH、MGDGRSTYPE_PE1 : FFC4 920CH、

MGDGRSTYPE_PE2 : FFC4 930CH、

MGDGRSTYPE_SICL : FFC4 910CH、MGDGRSTYPE_PE1L : FFC4 920CH、

MGDGRSTYPE_PE2L : FFC4 930CH、

MGDGRSTYPE_SICLL : FFC4 910CH、MGDGRSTYPE_SICLH : FFC4 910DH、

MGDGRSTYPE_PE1LL : FFC4 920CH、MGDGRSTYPE_PE1LH : FFC4 920DH、

MGDGRSTYPE_PE2LL : FFC4 930CH、MGDGRSTYPE_PE2LH : FFC4 930DH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—			SPID[1:0]		—	UM	—	TYPE[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.91 MGDGRSTYPE_SIC/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~13	PEID[2:0]	エラー発生時の PEID
12~10	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	SPID[1:0]	エラー発生時の SPID
7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	UM	エラー発生時の UM
5	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	TYPE[4:0]	エラーが発生した時の転送タイプ（内部バス、インターコネクットの信号であり参考情報）

(5) MGDGRPROTn — GRG プロテクション設定レジスタ n (n = 0~7)

アクセス MGDGRPROT0, MGDGRPROT1, MGDGRPROT2, MGDGRPROT3, MGDGRPROT4, MGDGRPROT5, MGDGRPROT6, MGDGRPROT7 レジスタは、32 ビット単位でリード/ライト可能です。

MGDGRPROT0H, MGDGRPROT1H, MGDGRPROT2H, MGDGRPROT3H, MGDGRPROT4H, MGDGRPROT5H, MGDGRPROT6H, MGDGRPROT7H レジスタは、16 ビット単位でリード/ライト可能です。

MGDGRPROT0HL, MGDGRPROT0HH, MGDGRPROT1HL, MGDGRPROT1HH, MGDGRPROT2HL, MGDGRPROT2HH, MGDGRPROT3HL, MGDGRPROT3HH, MGDGRPROT4HL, MGDGRPROT4HH, MGDGRPROT5HL, MGDGRPROT5HH, MGDGRPROT6HL, MGDGRPROT6HH, MGDGRPROT7HL, MGDGRPROT7HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MGDGRPROT0 : FFC4 9400_H、MGDGRPROT1 : FFC4 9410_H、MGDGRPROT2 : FFC4 9420_H、
 MGDGRPROT3 : FFC4 9430_H、MGDGRPROT4 : FFC4 9440_H、MGDGRPROT5 : FFC4 9450_H、
 MGDGRPROT6 : FFC4 9460_H、MGDGRPROT7 : FFC4 9470_H、
 MGDGRPROT0H : FFC4 9402_H、MGDGRPROT1H : FFC4 9412_H、MGDGRPROT2H : FFC4 9422_H、
 MGDGRPROT3H : FFC4 9432_H、MGDGRPROT4H : FFC4 9442_H、MGDGRPROT5H : FFC4 9452_H、
 MGDGRPROT6H : FFC4 9462_H、MGDGRPROT7H : FFC4 9472_H、
 MGDGRPROT0HL : FFC4 9402_H、MGDGRPROT0HH : FFC4 9403_H、
 MGDGRPROT1HL : FFC4 9412_H、MGDGRPROT1HH : FFC4 9413_H、
 MGDGRPROT2HL : FFC4 9422_H、MGDGRPROT2HH : FFC4 9423_H、
 MGDGRPROT3HL : FFC4 9432_H、MGDGRPROT3HH : FFC4 9433_H、
 MGDGRPROT4HL : FFC4 9442_H、MGDGRPROT4HH : FFC4 9443_H、
 MGDGRPROT5HL : FFC4 9452_H、MGDGRPROT5HH : FFC4 9453_H、
 MGDGRPROT6HL : FFC4 9462_H、MGDGRPROT6HH : FFC4 9463_H、
 MGDGRPROT7HL : FFC4 9472_H、MGDGRPROT7HH : FFC4 9473_H

リセット後の値 07FF 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	EN	—	—	—	UM	DEB	PEID[7:0]								
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.92 MGDGRPROTn レジスタの内容

ビット位置	ビット名	機能
31	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	EN	保護イネーブル 0 : 保護しません。 1 : 保護をします。 本レジスタで許可したアクセスのみ可能です。
29~27	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	—	リザーブです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25	UM	ユーザーモードでのアクセス 0 : スーパーバイザモードでのアクセスを許可します。 1 : ユーザーモードとスーパーバイザモードでのアクセスを許可します。
24	DEB	デバッグアクセス 0 : デバッグマスタからのアクセスを許可しません。 1 : デバッグマスタからのアクセスを許可します。 本ビットには必ず“1”を設定してください。もしも“0”を設定した場合、デバッガや RAM モニタツールが正しく動作しない可能性があります。
23~16	PEID[7:0]	PEID によるアクセス PEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。複数のビットを設定することによって同時に複数のパーチャルプロセッサの ID 値を許可します。たとえば PEID を 0101 _B に設定すれば PEID = 0 および PEID = 2 でのアクセスを許可します。 0 : PEID = n でのアクセスを許可しません。 1 : PEID = n でのアクセスを許可します。
15~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(6) MGDGRSPIDn — GRG プロテクション SPID 設定レジスタ n (n = 0~7)

アクセス MGDGRSPIDn レジスタは、32 ビット単位でリード/ライト可能です。

MGDGRSPIDnL レジスタは、16 ビット単位でリード/ライト可能です。

MGDGRSPIDnLL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MGDGRSPID0 : FFC4 9404_H、MGDGRSPID1 : FFC4 9414_H、MGDGRSPID2 : FFC4 9424_H、
MGDGRSPID3 : FFC4 9434_H、MGDGRSPID4 : FFC4 9444_H、MGDGRSPID5 : FFC4 9454_H、
MGDGRSPID6 : FFC4 9464_H、MGDGRSPID7 : FFC4 9474_H、
MGDGRSPID0L : FFC4 9404_H、MGDGRSPID1L : FFC4 9414_H、MGDGRSPID2L : FFC4 9424_H、
MGDGRSPID3L : FFC4 9434_H、MGDGRSPID4L : FFC4 9444_H、MGDGRSPID5L : FFC4 9454_H、
MGDGRSPID6L : FFC4 9464_H、MGDGRSPID7L : FFC4 9474_H、
MGDGRSPID0LL : FFC4 9404_H、MGDGRSPID1LL : FFC4 9414_H、MGDGRSPID2LL : FFC4 9424_H、
MGDGRSPID3LL : FFC4 9434_H、MGDGRSPID4LL : FFC4 9444_H、MGDGRSPID5LL : FFC4 9454_H、
MGDGRSPID6LL : FFC4 9464_H、MGDGRSPID7LL : FFC4 9474_H

リセット後の値 FFFF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SPID [3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 29.93 MGDGRSPIDn レジスタの内容

ビット位置	ビット名	機能
31~4	—	リザーブです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3~0	SPID[3:0]	SPID によるアクセス SPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。複数のビットを設定することによって同時に複数の SPID 値を許可します。たとえば SPID を 010 _{1B} に設定すれば SPID = 0 および SPID = 2 でのアクセスを許可します。 0 : SPID = n でのアクセスを許可しません。 1 : SPID = n でのアクセスを許可します。

(7) MGDGRBADn — GRG コンペアベースアドレスレジスタ n (n = 0~7)

アクセス MGDGRBADn レジスタは、32 ビット単位でリード/ライト可能です。

MGDGRBADn(L/H) レジスタは、16 ビット単位でリード/ライト可能です。

MGDGRBADn(LH/HL) レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MGDGRBAD0 : FFC4 9408_H、MGDGRBAD1 : FFC4 9418_H、MGDGRBAD2 : FFC4 9428_H、

MGDGRBAD3 : FFC4 9438_H、MGDGRBAD4 : FFC4 9448_H、MGDGRBAD5 : FFC4 9458_H、

MGDGRBAD6 : FFC4 9468_H、MGDGRBAD7 : FFC4 9478_H、

MGDGRBADnL : MGDGRBADn + 00_H、

MGDGRBADnH : MGDGRBADn + 02_H、

MGDGRBADnLH : MGDGRBADn + 01_H、

MGDGRBADnHL : MGDGRBADn + 02_H、

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	AD[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[15:9]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 29.94 MGDGRBAD n レジスタの内容

ビット位置	ビット名	機能
31~21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~9	AD[20:9]	コンペアベースアドレス
8~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) MGDGRADV_n — GRG コンペアアドレス有効レジスタ n (n = 0~7)

アクセス MGDGRADV_n レジスタは、32 ビット単位でリード/ライト可能です。

MGDGRADV_n(L/H) レジスタは、16 ビット単位でリード/ライト可能です。

MGDGRADV_n(LH/HL) レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MGDGRADV0 : FFC4 940CH、MGDGRADV1 : FFC4 941CH、MGDGRADV2 : FFC4 942CH、

MGDGRADV3 : FFC4 943CH、MGDGRADV4 : FFC4 944CH、MGDGRADV5 : FFC4 945CH、

MGDGRADV6 : FFC4 946CH、MGDGRADV7 : FFC4 947CH、

MGDGRADV_nL : MGDGRADV_n + 00H、

MGDGRADV_nH : MGDGRADV_n + 02H、

MGDGRADV_nLH : MGDGRADV_n + 01H、

MGDGRADV_nHL : MGDGRADV_n + 02H、

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADV[15:9]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 29.95 MGDGRADV_n レジスタの内容

ビット位置	ビット名	機能
31~21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~9	ADV[20:9]	MGDGRADV _n [20:9] = 1 のビットはアドレスコンペアを実行します。 MGDGRADV _n [20:9] が全て 1 の場合は MGDGRBAD _n で指定されたアドレスをベースに最小単位である 512 バイトが保護対象となります。ただし、MGDGRADV _n [20:9] が全て 0 の場合は Global RAM 全域が保護対象となります。
8~0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

設定例 : MGDGRBAD_n[20:9] = 800H、MGDGRADV_n[20:9] = FF7H に設定した場合、Global RAM ガード保護領域 n は FEF0 0000H ~ FEF0 01FFH と FEF0 1000H ~ FEF0 11FFH になります。

考え方 : MGDGRBAD_n[20:9] = 800H をセットするとベースアドレスは FEF0 0000H となり設定可能範囲を【】で示すと

```

1111 1110 111 【1 0000 0000 000】 0 0000 0000
F     E     F     0     0     0     0     0

```

MGDGRADV_n[20:9] = FF7_H の場合、0 をセットしたビットと下位 9 ビットは見ないので

1111	1110	111	【1	0000	000x	000】	x	xxxx	xxxx
F	E	F	0	0	0	0	0	0	~
F	E	F	0	0	1	F	F		

および

F	E	F	0	1	0	0	0	~
F	E	F	0	1	1	F	F	

の各 512 バイト、計 1K バイトを保護します。

29.4.3 PBG

PBG モジュールは複数の PBG グループに分かれており、各 PBG グループは最大 16 個の保護チャンネルを備えています。一つの PBG チャンネルが 1 つの周辺回路に対してプロテクトすべきアクセスを指定することができます。また PBG グループ毎に、プロテクトしたアクセスの情報を保持することができます。

以下に、保護対象の周辺回路モジュールの一覧と、対応する PBG グループ名、PBG チャンネル番号を示します。

表 29.96 保護対象の周辺回路モジュール一覧 (1/4)

PBG グループ	PBG チャンネル番号	保護対象モジュール	備考
PBG0	0	INTC2	
	1	DMA_DTS	
PBG1	4	GRG (制御レジスタ)	
	5	GRG ステータス (SIC)	
	6	GRG ステータス (PE1)	
	7	GRG ステータス (PE2)	
PBG2	0	PBG2 自身	
	1	SCI30	
	2	SCI32	
	3	OSTM0	
	4	OSTM2	
	5	WDTA0	
	6	SENT0	
	7	DataParity (SENT0)	
	8	SENT2	
	9	DataParity (SENT2)	
PBG3	0	PBG3 自身	
	1	SCI31	
	2	OSTM1	
	3	OSTM3	
	4	WDTA1	
	5	SENT1	
	6	DataParity (SENT1)	
	7	SENT3	
	8	DataParity (SENT3)	

表 29.96 保護対象の周辺回路モジュール一覧 (2/4)

PBG グループ	PBG チャンネル番号	保護対象モジュール	備考
PBG4	0	PBG4 自身	
	1	PIC1B0	
	2	PIC2D	
	3	TAUD0	
	4	TAUD2	
	5	TAUD3	
	6	TAUJ0	
	7	TSG30	
	8	TSG32	
	9	ENCA0	
	10	TAPA0	
	11	TAPA2	
	12	TAPA3	
	13	TAPA5	
	14	TPBA0	
PBG5	0	PBG5 自身	
	1	PIC1B1	
	2	TAUD1	
	3	TAUJ1	
	4	TSG31	
	5	ENCA1	
	6	TAPA1	
	7	TAPA4	
	8	TPBA1	
PBG6	0	PBG6 自身	
	1	RS-CANFD	
	2	ECC (RS-CANFD MB)	
	3	ECC (RS-CANFD AFL)	
	4	DTSTRGSEL	
	5	DMATRGSEL	
	6	INTIF	
	7	DataParity (INTIF)	
	8	RDC3A0	
	9	DataParity (RDC3A0)	
	10	RDC3A1	
	11	DataParity (RDC3A1)	
PBG7	0	PBG7 自身	
	1	CSIH0 (グループ A) 注 1	
	2	CSIH0 (グループ B) 注 1	
	3	DataParity (CSIH0 グループ A)	
	4	DataParity (CSIH0 グループ B)	
	5	ECC (CSIH0)	
	6	CSIH1 (グループ A) 注 1	

表 29.96 保護対象の周辺回路モジュール一覧 (3/4)

PBG グループ	PBG チャンネル番号	保護対象モジュール	備考
PBG7	7	CSIH1 (グループ B) 注 1	
	8	DataParity (CSIH1 グループ A)	
	9	DataParity (CSIH1 グループ B)	
	10	ECC (CSIH1)	
	11	CSIH2 (グループ A) 注 1	
	12	CSIH2 (グループ B) 注 1	
	13	DataParity (CSIH2 グループ A)	
	14	DataParity (CSIH2 グループ B)	
	15	ECC (CSIH2)	
PBG8	0	PBG8 自身	
	1	EMU3 ch0 注 2	
	2	EMU3 ch1 注 2	
	3	EMU3 共通レジスタ注 2	
	4	MISR (SubCPU)	
	5	ECC (EMU3 命令キャッシュデータ)	
	6	ECC (EMU3 命令キャッシュタグ)	
	7	ECC (EMU3 コードフラッシュ)	
	8	ECC (EMU3 local RAM)	
PBG9	0	PBG9 自身	
	1	RLIN30	
	2	RLIN32	
	3	ADCC0	
	4	DataParity (ADCC0)	
	5	ADCC2	
	6	DataParity (ADCC2)	
	7	ADPA	
	8	DCRA0	
	9	ECM (マスタレジスタ)	
	10	ECM (チェッカレジスタ)	
	11	ECM (共通レジスタ)	
	12	EINT	
	13	DataParity (EINT)	
	14	EMUEINT	
15	DataParity (EMUEINT)		
PBG10	0	PBG10 自身	
	2	FLSCI	
	4	ポートグループ	
	5	DataParity (ポートグループ)	
	6	DNF0	

表 29.96 保護対象の周辺回路モジュール一覧 (4/4)

PBG グループ	PBG チャンネル番号	保護対象モジュール	備考
PBG10	7	DataParity (DNF0)	
	8	DNF1	
	9	DataParity (DNF1)	
	10	DNF2	
	11	DataParity (DNF2)	
	12	DNF3	
	13	DataParity (DNF3)	
	14	DNF4	
	15	DataParity (DNF4)	
PBG11	0	PBG11 自身	
	1	DNF5	
	2	DataParity (DNF5)	
	3	DNF6	
	4	DataParity (DNF6)	
	5	DNF7	
	6	DataParity (DNF7)	
	7	DNF8	
	8	DataParity (DNF8)	
PBG12	0	PBG12 自身	
	1	RLIN31	
	2	ADCC1	
	3	DataParity (ADCC1)	
	4	DCRA1	
PBG13	0	PBG13 自身	
	1	システムコントロール (グループ A) 注 3	
	2	システムコントロール (グループ B) 注 3	

注 1. CSIHx のレジスタは以下の 2 グループに分けて制御されます。

グループ A : CSIHnCTL0~2、CSIHnSTR0、CSIHnSTCR0

グループ B : 上記以外

注 2. SubCPU から EMU3 のレジスタへのアクセスは専用のバスを使用するため、PBG でガードされません。SubCPU から EMU3 のレジスタへのアクセスをガードする場合には、MPU を使用してください。MPU の詳細については「3.2.1. コア機能」を参照ください。

注 3. システムコントロールのレジスタは以下の 2 グループに分けて制御されます。

グループ A : RESF、RESFC、PLL0CLKS、PLL0CLKC1、CKSC0CTL、CKSC0ACT、CLKD0DIV、CLKD0STAT、
CKSC1CTL、CKSC1ACT、CLMAAnCTL0 (n = 0~3)、CLMAAnCMPL (n = 0~3)、CLMAAnCMPH (n = 0~3)、
CLMAAnPCMD (n = 0~3)、CLMAAnPS (n = 0~3)、CLMATEST、CLMATESTS、FHVE3、FHVE15

グループ B : SWRESA、PROT1PHCMD、PROT1PS

29.4.3.1 レジスタ一覧

以下に PBG チャンネル毎に実装されるレジスタを示します。

表 29.97 PBG チャンネル毎に実装されるレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
PBG	PBGxx プロテクションレジスタ n	FSGDxxDPROTn	<base_addr0> + 4*n

以下に PBG グループ毎に実装されるレジスタを示します。

表 29.98 PBG グループ毎に実装されるレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
PBG	PBGxx エラーコントロールレジスタ	ERRSLVxxCTL	<base_addr1> + 0 _H
PBG	PBGxx エラーステータスレジスタ	ERRSLVxxSTAT	<base_addr1> + 4 _H
PBG	PBGxx エラーアドレスレジスタ	ERRSLVxxADDR	<base_addr1> + 8 _H
PBG	PBGxx エラータイプレジスタ	ERRSLVxxTYPE	<base_addr1> + C _H

ここで、レジスタ名やレジスタシンボルの“xx”は PBG グループ番号を、“n”は PBG チャンネル番号を示します。各 PBG グループ番号や PBG チャンネル番号に対応したベースアドレス値<base_addr0>と<base_addr1>の値は以下のとおりです。

表 29.99 ベースアドレス一覧

PBG グループ	PBG グループ番号 xx	PBG チャンネル番号 n	<base_addr0>	<base_addr1>
PBG0	0	0、1	FFC4 C000 _H	FFC4 C800 _H
PBG1	1	4~7	FFC4 C100 _H	FFC4 C900 _H
PBG2	2	0~9	FFDC 0000 _H	FFDC 0200 _H
PBG3	3	0~8	FF7C 0800 _H	FF7C 0A00 _H
PBG4	4	0~14	FFDD D000 _H	FFDD D200 _H
PBG5	5	0~8	FF7D D800 _H	FF7D DA00 _H
PBG6	6	0~11	FFF9 4000 _H	FFF9 4200 _H
PBG7	7	0~15	FFF9 4400 _H	FFF9 4600 _H
PBG8	8	0~8	FFF9 4800 _H	FFF9 4A00 _H
PBG9	9	0~15	FFC4 0000 _H	FFC4 0200 _H
PBG10	10	0、2、4~15	FFC4 0400 _H	FFC4 0600 _H
PBG11	11	0~8	FFC4 0800 _H	FFC4 0A00 _H
PBG12	12	0~4	FF67 8000 _H	FF67 8200 _H
PBG13	13	0~2	FFF9 0000 _H	FFF9 0200 _H

29.4.3.2 レジスタ詳細

(1) FSGDxxDPROTn — PBGxx プロテクションレジスタ n

保護対象である周辺回路モジュールの制御レジスタやRAMに対して、プロテクトするアクセスを指定します。いずれかの識別子で禁止されたアクセスは不正アクセスとしてプロテクトされます。

アクセス FSGDxxDPROTn レジスタは、32 ビット単位でリード/ライト可能です。
 FSGDxxDPROTn(L/H) レジスタは、16 ビット単位でリード/ライト可能です。
 FSGDxxDPROTn(LL/LH/HL/HH) レジスタは、8 ビット単位でリード/ライト可能です。

アドレス FSGDxxDPROTn : <base_addr0> + 4 × n
 FSGDxxDPROTnL : FSGDxxDPROTn + 00H
 FSGDxxDPROTnH : FSGDxxDPROTn + 02H
 FSGDxxDPROTnLL : FSGDxxDPROTn + 00H
 FSGDxxDPROTnLH : FSGDxxDPROTn + 01H
 FSGDxxDPROTnHL : FSGDxxDPROTn + 02H
 FSGDxxDPROTnHH : FSGDxxDPROTn + 03H

リセット後の値 07FF FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PROTUM	PROTPEID[7:0]							—	
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]				PROTEB	PROTRPDEF	PROTRD	PROTRD	PROTRD
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.100 FSGDxxDPROTn レジスタの内容

ビット位置	ビット名	機能
31~27	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	—	リザーブです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25	PROTUM	ユーザーモードでのアクセス 0 : スーパーバイザモードでのアクセスを許可します。 1 : ユーザーモードとスーパーバイザモードでのアクセスを許可します。
24~17	PROTPEID[7:0]	PEID によるアクセス PROTnPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。複数のビットを設定することによって同時に複数のバーチャルプロセッサの ID 値を許可します。たとえば PROTnPEID を 0101 _B に設定すれば PEID = 0 および PEID = 2 でのアクセスを許可します。 0 : PEID = n でのアクセスを許可しません。 1 : PEID = n でのアクセスを許可します。
16~9	—	リザーブです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
8~5	PROTSPID[3:0]	SPID によるアクセス PROTnSPID は各ビットがそれぞれ 1 つの SPID 値を表すビットの一覧です。複数のビットを設定することによって同時に複数の SPID 値を許可します。たとえば PROTnSPID を 0101 _B に設定すれば SPID = 0 および SPID = 2 でのアクセスを許可します。 0 : SPID = n でのアクセスを許可しません。 1 : SPID = n でのアクセスを許可します。
4	PROTDEB	デバッグアクセス 0 : デバッグマスタからのアクセスを許可しません。 1 : デバッグマスタからのアクセスを許可します。 本ビットには必ず “1” を設定してください。もしも “0” を設定した場合、デバッガや RAM モニタツールが正しく動作しない可能性があります。
3	PROTRDPDEF	デフォルトリード保護 0 : いずれのマスタもリードアクセスを実行することができます。 1 : アクセスを許可されたマスタによるリードだけを許可します。
2	PROTWRPDEF	デフォルトライト保護 0 : いずれのマスタもライトアクセスを実行することができます。 1 : アクセスを許可されたマスタによるライトだけを許可します。
1	PROTRD	リード許可 0 : いずれのマスタもリードアクセスは許可しません。 1 : アクセスを許可されたマスタによるリードアクセスだけを許可します。 ただし、PROTRDPDEF、PROTRD の両方に 0 を設定した場合は PROTRDPDEF = 0 の設定が優先され、いずれのマスタもリードアクセス可能となります。
0	PROTWR	ライト許可 0 : いずれのマスタもライトアクセスは許可しません。 1 : アクセスを許可されたマスタによるライトアクセスだけを許可します。 ただし、PROTWRPDEF、PROTWR の両方に 0 を設定した場合は PROTWRPDEF = 0 の設定が優先され、いずれのマスタもライトアクセス可能となります。

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

PBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス ERRSLVxxCTL レジスタは、32 ビット単位でライト可能です。
 ERRSLVxxCTL(L/H) レジスタは、16 ビット単位でライト可能です。
 ERRSLVxxCTL(LL/HH/HL/HH) レジスタは、8 ビット単位でライト可能です。

アドレス ERRSLVxxCTL : <base_addr1>、
 ERRSLVxxCTL : ERRSLVxxCTL + 00H、
 ERRSLVxxCTLH : ERRSLVxxCTL + 02H、
 ERRSLVxxCTLLL : ERRSLVxxCTL + 00H、
 ERRSLVxxCTLLH : ERRSLVxxCTL + 01H、
 ERRSLVxxCTLHL : ERRSLVxxCTL + 02H、
 ERRSLVxxCTLHH : ERRSLVxxCTL + 03H、

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 29.101 ERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CLRO	エラーエントリオーバーフローフラグクリア 0 : 動作しません。 1 : オーバフローフラグをクリアします。
0	CLRE	エラー検出フラグクリア 0 : 動作しません。 1 : エラー検出フラグをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

PBGxx が検知した不正アクセスのステータスを保持するためのレジスタです。

アクセス ERRSLVxxSTAT レジスタは、32 ビット単位でリード可能です。
 ERRSLVxxSTAT(L/H)レジスタは、16 ビット単位でリード可能です。
 ERRSLVxxSTAT(LL/LH/HL/HH)レジスタは、8 ビット単位でリード可能です。

アドレス ERRSLVxxSTAT : <base_addr1> + 04_H、
 ERRSLVxxSTATL : ERRSLVxxSTAT + 00_H、
 ERRSLVxxSTATH : ERRSLVxxSTAT + 02_H、
 ERRSLVxxSTATLL : ERRSLVxxSTAT + 00_H、
 ERRSLVxxSTATLH : ERRSLVxxSTAT + 01_H、
 ERRSLVxxSTATHL : ERRSLVxxSTAT + 02_H、
 ERRSLVxxSTATHH : ERRSLVxxSTAT + 03_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.102 ERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OVF	エラーエントリオーバーフローフラグ 0 : オーバフローなし 1 : オーバフロー発生 PBG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバーフローし、本フラグがセットされます。 なお、オーバーフローは ECM には通知されません。 またオーバーフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラー検出フラグ 0 : エラーなし 1 : エラー発生

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ

PBGxx が検知した不正アクセスのアドレスを保持するためのレジスタです。

アクセス ERRSLVxxADDR レジスタは、32 ビット単位でリード可能です。

アドレス ERRSLVxxADDR : <base_addr1> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.103 ERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31~0	ADDR[31:0]	エラー発生時のアドレス。 ADDR[1:0]は 0 固定です

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ

PBGxx が検知した不正アクセスのアクセスタイプを保持するためのレジスタです。

アクセス ERRSLVxxTYPE レジスタは、32 ビット単位でリード可能です。

ERRSLVxxTYPE(L/H) レジスタは、16 ビット単位でリード可能です。

アドレス ERRSLVxxTYPE : <base_addr1> + 0C_H、

ERRSLVxxTYPEEL : ERRSLVxxTYPE + 00_H、

ERRSLVxxTYPEEH : ERRSLVxxTYPE + 02_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	STRB[3:0]			WRITE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.104 ERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31~16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~13	PEID[2:0]	エラー発生時の PEID
12~10	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	SPID[1:0]	エラー発生時の SPID
7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	UM	エラー発生時の UM
5	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~1	STRB[3:0]	エラー発生時のストローブ信号（内部バス、インターコネクトの信号であり参考情報）
0	WRITE	エラー発生時のライト信号（内部バス、インターコネクトの信号であり参考情報）

29.5 マルチインプットシグネチャジェネレータ MISG

29.5.1 概要

本 LSI は、CPU 部の自己診断などを目的として、マルチインプットシグネチャジェネレータ (MISG) を搭載しています。

MISG の仕様概要を以下に示します。

表 29.105 MISG 概要

項目	説明
生成多項式	<p>2 種類の生成多項式を用いてシグネチャを生成することができます。</p> <ul style="list-style-type: none"> MISR1: $G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ MISR2: $G(x) = x^{32} + x^{22} + x^2 + x + 1$ <p>64 ビットデータに対するシグネチャの生成に対応するために、各 CPU に MISR1 (MISR2) を 2 つ搭載した MISG を接続します。</p>
シグネチャの生成	<p>シグネチャ生成の許可/禁止を設定できます。</p> <ul style="list-style-type: none"> MISR1 でのシグネチャ生成の許可/禁止 MISR2 でのシグネチャ生成の許可/禁止 <p>シグネチャ生成条件として、下記 2 条件を選択できます。</p> <ul style="list-style-type: none"> レジスタ書き込み MISR1 カルキュレーションレジスタ (MISRCDR_*) への書き込みによってシグネチャを生成します。 ライト監視 CPU によるライトアクセスを監視し、特定の監視アドレス領域へのライトアクセスが発生するとシグネチャを生成します。監視対象となる特定の監視アドレス領域は、監視領域ベースアドレスレジスタと監視領域アドレスマスクレジスタで指定します。
シグネチャ自動比較機能	<p>3 つのシグネチャ生成部のうち、2 つのシグネチャ生成部を選択してシグネチャを比較します。</p> <p>各シグネチャ生成部にデータカウンタを搭載し、比較対象に選択した MISG に搭載したデータカウンタのカウンタ値が一致した場合に比較を実施します。データカウンタは MISRCDR_* レジスタ、または監視するアドレス領域へのライトアクセスの回数をカウントします。</p>
エラー通知	<p>シグネチャの比較で不一致になった場合、ECM にエラー通知します。ECM へのエラー通知の許可/禁止を選択できます。</p> <p>直接 INTC への割り込み要求は行いません。</p>

本章での、MISRCDR_*, MISR1_*, MISR2_* の “*” は PE1、PE2、PE3 を意味します。

29.5.2 ブロック図

29.5.2.1 MISG

MISG のブロック図を以下に示します。MISG は、3 つのシグネチャ生成部とシグネチャ比較部で構成されます。

シグネチャ生成条件のライト監視モード (**29.5.3.1(2)**参照) は、対応するシグネチャ生成部と CPU 間でのみ実現可能です。このため各シグネチャ生成部には、CPU 番号に対応した名称がつけられています

(MISG_PE1、MISG_PE2、MISG_PE3)。MISG_PE1 は CPU1 のライトアクセスを監視し、MISG_PE2 は CPU2 のライトアクセスを監視、MISG_PE3 は SubCPU のライトアクセスを監視できます。

シグネチャ生成条件のレジスタライトモードでは、各 CPU とシグネチャ生成部の間に対応関係はありません。全ての CPU は全てのシグネチャ生成部でシグネチャを生成することができます。

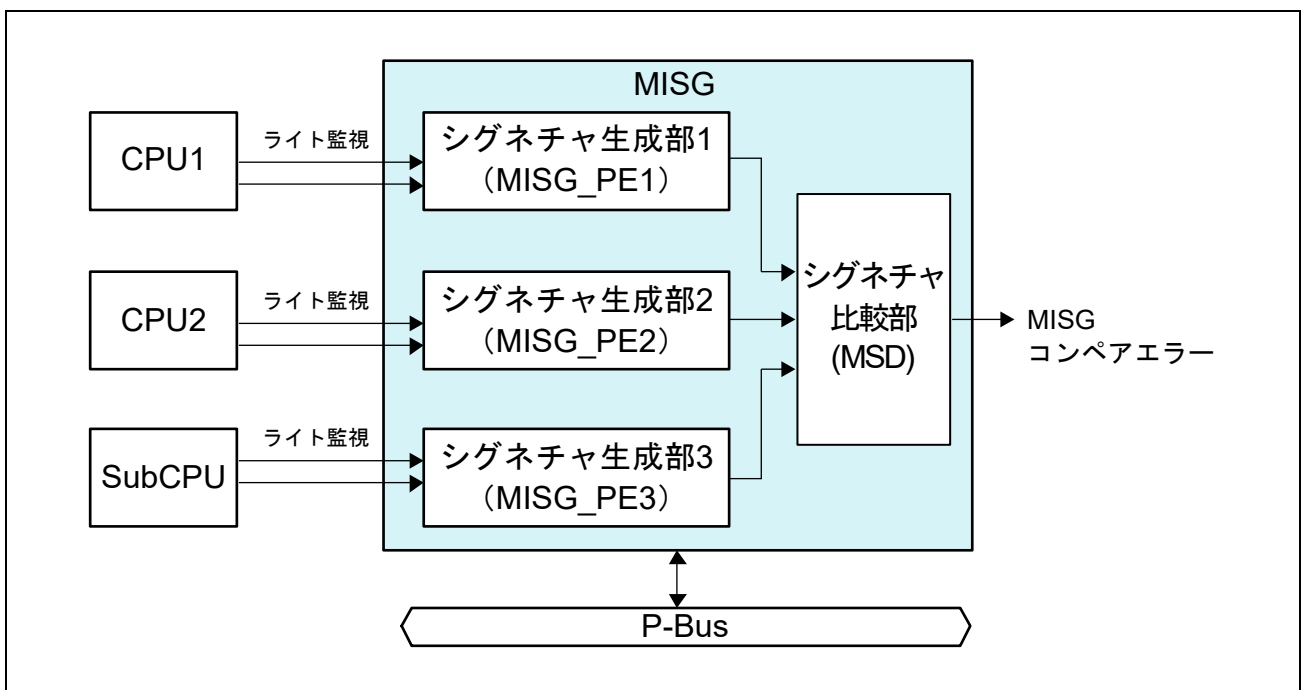


図 29.6 MISG ブロック図 (マルチコア用)

29.5.2.2 シグネチャ生成

以下にシグネチャ生成におけるデータの流れを示します。シグネチャ生成部は 32 ビットのシグネチャ生成器 2 つ (MISR1_*, MISR2_*) から構成されます。MISR1_*と MISR2_*は、監視対象 CPU のライトデータに対し、64 ビットデータからシグネチャを生成し、または MISRCDR_*へのライトデータからもシグネチャを生成できます。

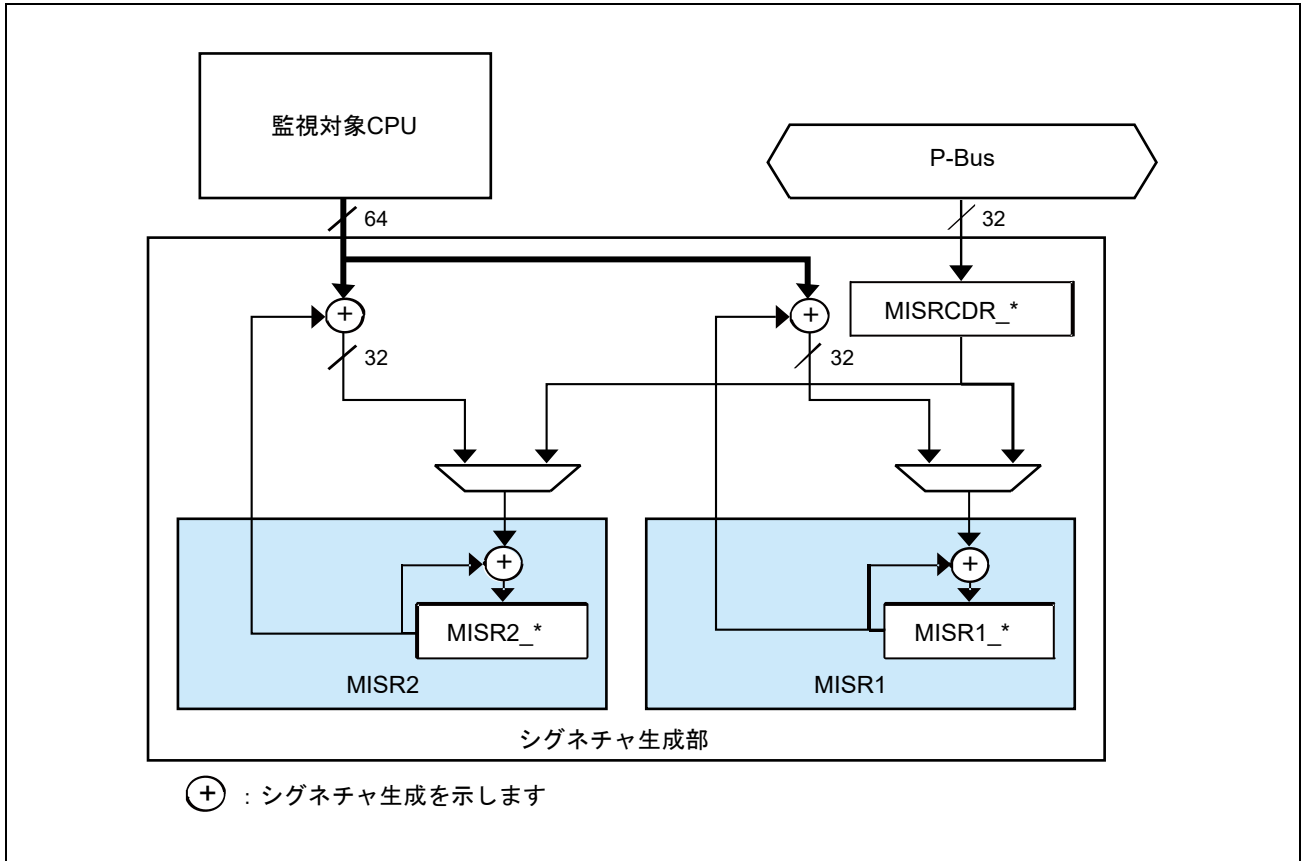


図 29.7 シグネチャ生成部

以下に MISR1_*のシグネチャ生成のブロック図と生成多項式を示します。

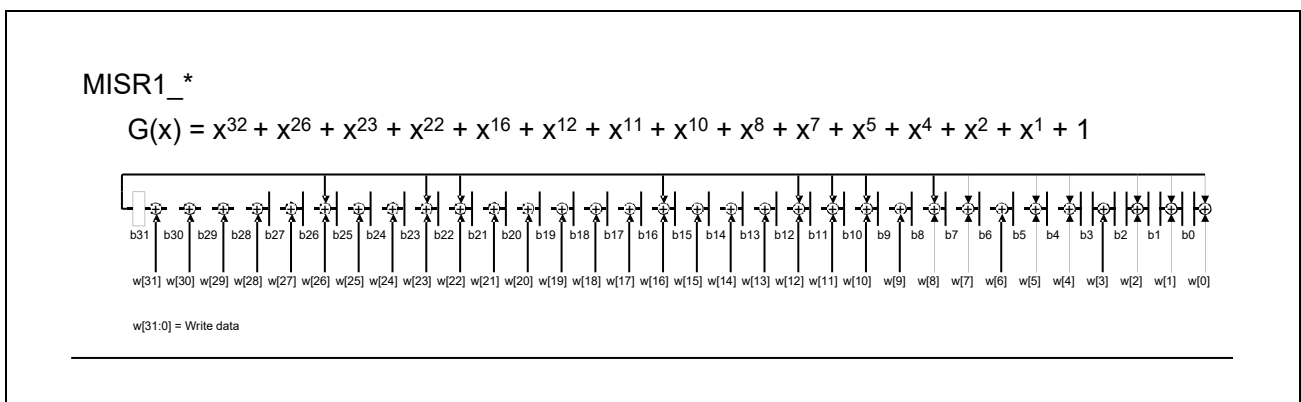


図 29.8 MISR1_*のシグネチャ生成のブロック図

以下に MISR2_* のシグネチャ生成のブロック図と生成多項式を示します。

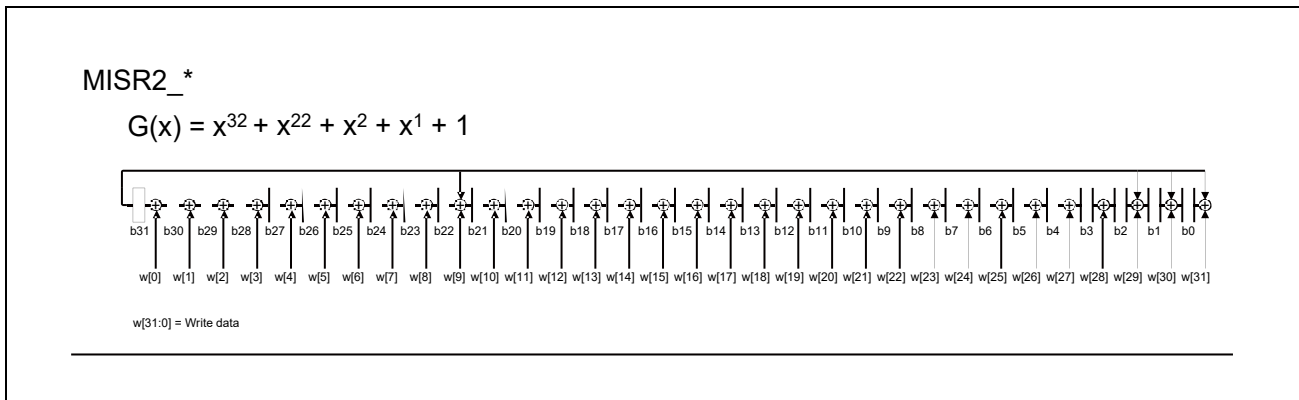


図 29.9 MISR2_* のシグネチャ生成のブロック図

29.5.3 機能仕様

29.5.3.1 シグネチャ生成条件

MISR1 および MISR2 のシグネチャ生成条件は、MISR コントロールレジスタ (MISRCR) の設定によって選択することができます。

表 29.106 シグネチャ生成条件

MISRi のシグネチャ生成条件 (i = 1, 2)

MISRCR. MISRiEN	MISRCR. MISRCND	シグネチャ生成条件
0	—	MISRi はシグネチャを生成しません
1	0	レジスタ書き込みモード MISRi は、MISRCDR_* レジスタへの書き込みが行われるとシグネチャを生成します
1	1	ライト監視モード MISRi は、対応する CPU が特定の監視アドレスへのライトアクセスを実行するとシグネチャを生成します

(1) レジスタ書き込みモード

MISR1 がレジスタ書き込みモードのときに MISR カルキュレーションレジスタ (MISRCDR_*) への書き込みが実行されると、MISR1 はマルチインプットシグネチャレジスタ 1 (MISR1_*) に保持している値と MISRCDR_* へのライトデータから 32 ビットのシグネチャを生成し、MISR1_* に保持します。同様に、MISR2 がレジスタ書き込みモードのときに MISRCDR_* への書き込みが実行されると、MISR2 はマルチインプットシグネチャレジスタ 2 (MISR2_*) に保持している値と MISRCDR_* へのライトデータから 32 ビットのシグネチャを生成し、MISR2_* に保持します。

MISRCDR_* への書き込みは 8/16/32 ビット単位で実行可能で、書き込みが行われないビットは“0”として扱います。例えば、MISRCDR_* の下位 16 ビットにのみ書き込みを行った場合、ライトデータの上位 16 ビットは“0”としてシグネチャが生成されます。同じく、MISRCDR_* の上位 16 ビットにのみ書き込みを行った場合、ライトデータの下部 16 ビットは“0”としてシグネチャが生成されます（ただし、IO ヘッドファイルを使ったアクセスではこのような状況は起こらない）。

MISR1 および MISR2 は、MISRCDR_* への書き込みを行うバスマスタを区別しません。CPU、DMAC、デバッグマスタ、などいかなるバスマスタからの書き込みによってもシグネチャを生成します。

(2) ライト監視モード

MISR1 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR1 は MISR1_* に保持している値と、CPU の 64 ビットのライトデータから 32 ビットへ圧縮したシグネチャを生成し、32 ビットへ圧縮したデータに再度 MISR1_* に保持している値とシグネチャを生成して MISR1_* に保持します。同様に、MISR2 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR2 は MISR2_* に保持している値と CPU の 64 ビットのライトデータから 32 ビットへ圧縮したシグネチャを生成し、32 ビットへ圧縮したデータに再度 MISR2_* に保持している値とシグネチャを生成して MISR2_* に保持します。

シグネチャ生成の対象となる特定の監視アドレス領域は、MISR 監視領域ベースアドレスレジスタ (MISRBASEADR) と MISR 監視領域アドレスマスクレジスタ (MISRADRMSK) で設定します。CPU のライトアドレスが特定の監視アドレス領域内であれば、シグネチャが生成されます。

ライト監視モードでは、対応する CPU の 8/16/32/64 ビット単位でのライトアクセスを監視します。8/16 ビット単位での書き込みの場合、書き込みが行われない残りのビットは“0”として扱い、常に 64 ビットのデータから 32 ビットへ圧縮されたデータが MISR1 および MISR2 へ入力されます。アクセス先のアドレスに関わらず、ライトデータは下位側に配置されます。例えば、4N+2 番地への 16 ビットライトの場合も、16 ビットのライトデータは下位側に配置され、上位 16 ビットのライトデータは“0”としてシグネチャが生成されます。

MISR1 および MISR2 が監視できる CPU のライトアクセス先は下記の通りです。

- Local-RAM、Global-RAM
- CPU Peripheral (ローカル APB)
- インターコネクタまたは P-Bus に接続された周辺回路

以下に示すストア動作には、以下の使用制限があります。(1) スレーブ応答時にライトデータが判明する命令 : BitOp、CAXI、STC.W 等のストア動作は、監視対象外です。(2) 64bit を超えるデータを扱うスタック退避命令 (PREPARE 系、PUSHSP) は、割り込みによる中断によって、各マスタ間のシグネチャ値が不一致となる可能性があります。従って、本命令で使用する領域は監視対象外とするか、または、割り込みによる動作の中断が発生しないようにしてください。

ライト監視モードは、特定のシグネチャ生成部と対応する CPU の間でのみ実行可能です。本製品では、以下の監視が可能です。

シグネチャ生成部 1 による CPU1 のライトアクセス監視

シグネチャ生成部 2 による CPU2 のライトアクセス監視

シグネチャ生成部 3 による SubCPU のライトアクセス監視

ライト監視モードに対応していないシグネチャ生成部でライト監視モードを設定した場合、シグネチャは生成されません。この時、MISRBASEADR と MISRADRMSK の値はどこからも参照されません。

29.5.3.2 シグネチャ自動比較機能

シグネチャ生成部のうち、コンパレータコントロールレジスタ (MISRCMPCTL) の MISRCMPEN_i ビット、MISR2CMPEN_i ビット (i=0, 1, 2) で、2 つ、もしくは 3 つのシグネチャ生成部を選択してシグネチャを比較します。各シグネチャ生成部にはデータカウンタを搭載しており、比較対象に選択した 2 つのシグネチャ生成部に搭載したデータカウンタのカウント値が一致した場合にシグネチャを比較します。

2 つのシグネチャを比較する場合、MISRCMPCTL レジスタの MISRCMPEN_i/MISR2CMPEN_i (i = 0, 1, 2) で 2 つのシグネチャ生成部でのシグネチャ比較を許可してください。また、3 つのシグネチャを比較する場合、MISRCMPEN_i/MISR2CMPEN_i のいずれか 2 ビットまたは、3 ビットをシグネチャ比較許可に設定してください。

29.5.3.3 データカウンタ

MISR データカウンタレジスタ (MISRDCNT) は、MISRCDR_* への書き込み回数、または BASEADR と ADRMSK で設定されたアドレス範囲へのライトアクセスの回数をカウントします。データカウンタコントロールレジスタ (MISRDCNTCTL) の CNTSTA ビット=1、CNTTRG ビット=0 のとき、MISRDCNT は MISRCDR_* へのライトアクセスの回数をカウントします。MISRDCNTCTL の CNTSTA ビット=1、CNTTRG ビット=1 のとき、MISRDCNT は MISRBASEADR と MISRADRMSK で設定された監視アドレス範囲への対応する CPU のライトアクセスの回数をカウントします。

MISR1 や MISR2 のシグネチャ生成条件を MISRDCNT のカウントアップトリガに設定することで、MISRDCNT は MISR1 や MISR2 のどちらか一方または両方のシグネチャ生成回数をカウントすることができます。ただし、MISR1 と MISR2 のシグネチャ生成条件とデータカウンタのカウントアップトリガが整合していない場合、MISRDCNT の値とシグネチャ生成回数と一致しませんので注意してください。

注 意

1. MISRCR レジスタの MISR1EN および MISR2EN がともに 0 の場合には、MISRCDR_* への書き込みおよび MISRBASEADR と MISRADRMSK で設定されたアドレス範囲へのライトが行われても MISRDCNT のカウントはインクリメントされません。
2. ライト監視モードに対応していないシグネチャ生成部において、データカウンタのカウントアップトリガを監視アドレス領域への CPU ライトアクセスに設定した場合、MISRDCNT のカウントはインクリメントされません。

29.5.3.4 エラー通知

エラー通知コントロールレジスタ (MISRERRCTL) の CMPERREN ビット=1 のとき、シグネチャの比較不一致で ECM ヘエラーを通知します。同時にコンペアエラーステータスレジスタのエラーフラグをセットします。

INTC への割り込み要求発生は行いません。

29.5.4 レジスタ仕様

29.5.4.1 レジスタマップ

シグネチャ生成部のレジスタ一覧を下記に示します。

末尾に “_PE1” と記したレジスタはシグネチャ生成部 1 (MISG_PE1) に搭載されています。

末尾に “_PE2” と記したレジスタはシグネチャ生成部 2 (MISG_PE2) に搭載されています。

末尾に “_PE3” と記したレジスタはシグネチャ生成部 3 (MISG_PE3) に搭載されています。

尚、本省の説明において、シグネチャ生成部 1、2、3 を区別する必要がない場合は、レジスタシンボル末尾の “_PE1”、“_PE2”、“_PE3” を省略します。

MISG_PE1_base = FFC5 1000_H

MISG_PE2_base = FFC5 2000_H

MISG_PE3_base = FF75 0000_H

表 29.107 シグネチャ生成部のレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
MISG	マルチインプットシグネチャレジスタ 1 (PE1)	MISR1_PE1	<MISG_PE1_base> + 000 _H
MISG	マルチインプットシグネチャレジスタ 2 (PE1)	MISR2_PE1	<MISG_PE1_base> + 008 _H
MISG	MISR カルキュレーションデータレジスタ (PE1)	MISRCDR_PE1	<MISG_PE1_base> + 010 _H
MISG	MISR コントロールレジスタ (PE1)	MISRRCR_PE1	<MISG_PE1_base> + 018 _H
MISG	MISR 監視領域ベースアドレスレジスタ (PE1)	MISRBASEADR_PE1	<MISG_PE1_base> + 01C _H
MISG	MISR 監視領域アドレスマスクレジスタ (PE1)	MISRADRMSK_PE1	<MISG_PE1_base> + 020 _H
MISG	MISR データカウントコントロールレジスタ (PE1)	MISRDCNTCTL_PE1	<MISG_PE1_base> + 024 _H
MISG	MISR データカウントレジスタ (PE1)	MISRDCNT_PE1	<MISG_PE1_base> + 028 _H
MISG	マルチインプットシグネチャレジスタ 1 (PE2)	MISR1_PE2	<MISG_PE2_base> + 000 _H
MISG	マルチインプットシグネチャレジスタ 2 (PE2)	MISR2_PE2	<MISG_PE2_base> + 008 _H
MISG	MISR カルキュレーションデータレジスタ (PE2)	MISRCDR_PE2	<MISG_PE2_base> + 010 _H
MISG	MISR コントロールレジスタ (PE2)	MISRRCR_PE2	<MISG_PE2_base> + 018 _H
MISG	MISR 監視領域ベースアドレスレジスタ (PE2)	MISRBASEADR_PE2	<MISG_PE2_base> + 01C _H
MISG	MISR 監視領域アドレスマスクレジスタ (PE2)	MISRADRMSK_PE2	<MISG_PE2_base> + 020 _H
MISG	MISR データカウントコントロールレジスタ (PE2)	MISRDCNTCTL_PE2	<MISG_PE2_base> + 024 _H
MISG	MISR データカウントレジスタ (PE2)	MISRDCNT_PE2	<MISG_PE2_base> + 028 _H
MISG	マルチインプットシグネチャレジスタ 1 (PE3)	MISR1_PE3	<MISG_PE3_base> + 000 _H
MISG	マルチインプットシグネチャレジスタ 2 (PE3)	MISR2_PE3	<MISG_PE3_base> + 008 _H
MISG	MISR カルキュレーションデータレジスタ (PE3)	MISRCDR_PE3	<MISG_PE3_base> + 010 _H
MISG	MISR コントロールレジスタ (PE3)	MISRRCR_PE3	<MISG_PE3_base> + 018 _H
MISG	MISR 監視領域ベースアドレスレジスタ (PE3)	MISRBASEADR_PE3	<MISG_PE3_base> + 01C _H
MISG	MISR 監視領域アドレスマスクレジスタ (PE3)	MISRADRMSK_PE3	<MISG_PE3_base> + 020 _H
MISG	MISR データカウントコントロールレジスタ (PE3)	MISRDCNTCTL_PE3	<MISG_PE3_base> + 024 _H
MISG	MISR データカウントレジスタ (PE3)	MISRDCNT_PE3	<MISG_PE3_base> + 028 _H

シグネチャ比較部 (MSD サブブロック) のレジスタ一覧を下記に示します。

MSD_base = FFC5 0000_H

表 29.108 シグネチャ比較部 (MSD サブブロック) のレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
MISG	MISR コンパレータコントロールレジスタ	MISRCMPCTL	<MSD_base> + 00 _H
MISG	MISR コンペアエラーステータスレジスタ	MISRCMPERSTR	<MSD_base> + 04 _H
MISG	MISR コンペアエラーステータスクリアレジスタ	MISRCMPERRSTC	<MSD_base> + 08 _H
MISG	MISR エラー通知コントロールレジスタ	MISRERRCTL	<MSD_base> + 0C _H

注： 実体が 32bit 未満のレジスタに対するアクセスで、未実装 (未定義) のビットに対するアクセスは、ライトアクセスは無視し、リードアクセスでは 0 を返します。

以下、シグネチャ生成部に搭載する制御レジスタについて記載します。

29.5.4.2 MISRCRDR_PE1/PE2/PE3 — MISR カルキュレーションデータレジスタ

MISR カルキュレーションデータレジスタは書き込み専用の 32 ビットレジスタです。

シグネチャ生成条件がレジスタライトモードの時、本レジスタへの書き込みによって MISR1 や MISR2 でシグネチャが生成されます。本レジスタへ書き込んだデータは、マルチインプットシグネチャレジスタ 1 (MISR1_*)、マルチインプットシグネチャレジスタ 2 (MISR2_*) の入力データになります。シグネチャ生成条件については、「29.5.3.1 シグネチャ生成条件」を参照してください。

本レジスタへの書き込みは 8/16/32 ビット単位で実行可能です。8/16 ビット単位での書き込みの場合、書き込みが行われない残りのビットは“0”として扱い、常に 32 ビットのデータが MISR1_*、MISR2_*へ入力されます。

アクセス MISRCRDR_(PE1/PE2/PE3) レジスタは、32 ビット単位でライト可能です。

MISRCRDR_(PE1/PE2/PE3)(L/H) レジスタは、16 ビット単位でライト可能です。

MISRCRDR_(PE1/PE2/PE3)(LL/LH/HL/HH) レジスタは、8 ビット単位でライト可能です。

アドレス MISRCRDR_PE1 : <MISG_PE1_base> + 010_H、MISRCRDR_PE2 : <MISG_PE2_base> + 010_H、

MISRCRDR_PE3 : <MISG_PE3_base> + 010_H、

MISRCRDR_(PE1/PE2/PE3)L : MISRCRDR_(PE1/PE2/PE3) + 00_H、

MISRCRDR_(PE1/PE2/PE3)H : MISRCRDR_(PE1/PE2/PE3) + 02_H、

MISRCRDR_(PE1/PE2/PE3)LL : MISRCRDR_(PE1/PE2/PE3) + 00_H、

MISRCRDR_(PE1/PE2/PE3)LH : MISRCRDR_(PE1/PE2/PE3) + 01_H、

MISRCRDR_(PE1/PE2/PE3)HL : MISRCRDR_(PE1/PE2/PE3) + 02_H、

MISRCRDR_(PE1/PE2/PE3)HH : MISRCRDR_(PE1/PE2/PE3) + 03_H

リセット後の値 ---- (不定)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISRCRDR [31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISRCRDR [15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 29.109 MISRCRDR_PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
31~0	MISRCRDR31~MISRCRDR0	カルキュレーションデータ MISR1 または MISR2 への入力データ。 MISRCR レジスタの MISR1EN ビット=1 かつ MISR1CND = 0 のとき、または MISR2EN = 1 かつ MISR2CND = 0 のとき、MISRCRDR レジスタへの書き込みが行われるたびに新たなシグネチャが生成され、MISR1 または MISR2 に保持されます。

29.5.4.3 MISR1_PE1/PE2/PE3 — マルチインプットシグネチャレジスタ 1

マルチインプットシグネチャレジスタは読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

アクセス MISR1_PE1, MISR1_PE2, MISR1_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

アドレス MISR1_PE1: <MISG_PE1_base> + 000H、
MISR1_PE2: <MISG_PE2_base> + 000H、
MISR1_PE3: <MISG_PE3_base> + 000H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR1 [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR1 [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.110 MISR1_PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
31~0	MISR131~ MISR10	マルチインプットシグネチャレジスタ 1 読み出すと、常に最新のシグネチャが読み出されます。

29.5.4.4 MISR2_PE1/PE2/ PE3 — マルチインプットシグネチャレジスタ 2

マルチインプットシグネチャレジスタ 2 は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{22} + x^2 + x + 1$$

アクセス MISR2_PE1, MISR2_PE2, MISR2_PE3 レジスタは、32 ビット単位でリード/ライト可能です。

アドレス MISR2_PE1: <MISG_PE1_base> + 008H、

MISR2_PE2: <MISG_PE2_base> + 008H、

MISR2_PE3: <MISG_PE3_base> + 008H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR2 [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR2 [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.111 MISR2_PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
31~0	MISR231~ MISR20	マルチインプットシグネチャレジスタ 2 読み出すと、常に最新のシグネチャが読み出されます。

29.5.4.5 MISRCR_PE1/PE2/ PE3 — MISR コントロールレジスタ

MISR コントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR1EN ビット、MISR2EN ビットで MISR1、MISR2 のシグネチャ生成の許可/禁止を設定します。

MISR1EN ビット、MISR2EN ビットが “1” のとき、MISR1、MISR2 はシグネチャを生成し、保持します。

MISR1EN ビット、MISR2EN ビットが “0” のとき、MISR1、MISR2 はシグネチャを生成せず、これらレジスタの値は更新されません。

MISR1EN ビット、MISR2EN ビットが 1 の時、MISR1CND ビット、MISR2CND ビットで MISR1、MISR2 のシグネチャ生成条件を選択します。MISR1CND ビット、MISR2CND ビットが “0” のとき、MISR1、MISR2 のシグネチャ生成条件はレジスタ書き込みモードとなり、MISRCDR_*への書き込みによってシグネチャを生成します。MISR1CND ビット、MISR2CND ビットが “1” のとき、MISR1、MISR2 のシグネチャ生成条件はライト監視モードとなり、MISRBASEADR レジスタ、MISRADRMSK レジスタで設定されたアドレス範囲への対応する CPU のライトアクセスによってシグネチャを生成します。シグネチャ生成条件は「29.5.3.1 シグネチャ生成条件」をご参照ください。

アクセス MISRCR_PE1, MISRCR_PE2, MISRCR_PE3 レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRCR_PE1: <MISG_PE1_base> + 018H、

MISRCR_PE2: <MISG_PE2_base> + 018H、

MISRCR_PE3: <MISG_PE3_base> + 018H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MISR2CND	MISR1CND	MISR2EN	MISR1EN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 29.112 MISRCR_PE1/PE2/ PE3 レジスタの内容

ビット位置	ビット名	機能
7~4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MISR2CND	MISR2 シグネチャ書き込み制御ビット MISR2EN ビット=1 のときの MISR2 でのシグネチャ生成条件を設定します。 0: レジスタ書き込みモード 1: ライト監視モード
2	MISR1CND	MISR1 シグネチャ書き込み制御ビット MISR1EN ビット=1 のときの MISR1 でのシグネチャ生成条件を設定します。 0: レジスタ書き込みモード 1: ライト監視モード
1	MISR2EN	MISR2 イネーブルビット 0: MISR2 はシグネチャを生成しません 1: MISR2 はシグネチャを生成し、MISR2H/MISR2_*の値が更新されます。
0	MISR1EN	MISR1 イネーブルビット 0: MISR1 はシグネチャを生成しません 1: MISR1 はシグネチャを生成し、MISR1H/MISR1_*の値が更新されます。

29.5.4.6 MISRBASEADR_PE1/PE2/ PE3 — MISR 監視領域ベースアドレスレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域マスクアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」をご参照ください。

アクセス MISRBASEADR_(PE1/PE2/PE3) レジスタは、32 ビット単位でリード/ライト可能です。
MISRBASEADR_(PE1/PE2/PE3)(L/H) レジスタは、16 ビット単位でリード/ライト可能です。
MISRBASEADR_(PE1/PE2/PE3)(LL/LH/HL/HH) レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRBASEADR_PE1 : <MISG_PE1_base> + 01CH、
MISRBASEADR_PE2 : <MISG_PE2_base> + 01CH、
MISRBASEADR_PE3 : <MISG_PE3_base> + 01CH、
MISRBASEADR_(PE1/PE2/PE3)L : MISRBASEADR_(PE1/PE2/PE3) + 00H、
MISRBASEADR_(PE1/PE2/PE3)H : MISRBASEADR_(PE1/PE2/PE3) + 02H、
MISRBASEADR_(PE1/PE2/PE3)LL : MISRBASEADR_(PE1/PE2/PE3) + 00H、
MISRBASEADR_(PE1/PE2/PE3)LH : MISRBASEADR_(PE1/PE2/PE3) + 01H、
MISRBASEADR_(PE1/PE2/PE3)HL : MISRBASEADR_(PE1/PE2/PE3) + 02H、
MISRBASEADR_(PE1/PE2/PE3)HH : MISRBASEADR_(PE1/PE2/PE3) + 03H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASEADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASEADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.113 MISRBASEADR_PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
31~0	BASEADR31~BASEADR0	監視領域ベースアドレスレジスタ

監視領域へのアクセスを判定する仕組みについては、「**29.5.4.7 MISRADRMSK_PE1/PE2/PE3 — MISR 監視領域アドレスマスクレジスタ**」を参照してください。

29.5.4.7 MISRADRMSK_PE1/PE2/PE3 — MISR 監視領域アドレスマスクレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域ベースアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「**29.5.3.1 シグネチャ生成条件**」を参照してください。

アクセス MISRADRMSK_(PE1/PE2/PE3) レジスタは、32 ビット単位でリード/ライト可能です。
MISRADRMSK_(PE1/PE2/PE3)(L/H) レジスタは、16 ビット単位でリード/ライト可能です。
MISRADRMSK_(PE1/PE2/PE3)(LL/LH/HL/HH) レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRADRMSK_PE1 : <MISG_PE1_base> + 020h、
MISRADRMSK_PE2 : <MISG_PE2_base> + 020h、
MISRADRMSK_PE3 : <MISG_PE3_base> + 020h、
MISRADRMSK_(PE1/PE2/PE3)L : MISRADRMSK_(PE1/PE2/PE3) + 00h、
MISRADRMSK_(PE1/PE2/PE3)H : MISRADRMSK_(PE1/PE2/PE3) + 02h、
MISRADRMSK_(PE1/PE2/PE3)LL : MISRADRMSK_(PE1/PE2/PE3) + 00h、
MISRADRMSK_(PE1/PE2/PE3)LH : MISRADRMSK_(PE1/PE2/PE3) + 01h、
MISRADRMSK_(PE1/PE2/PE3)HL : MISRADRMSK_(PE1/PE2/PE3) + 02h、
MISRADRMSK_(PE1/PE2/PE3)HH : MISRADRMSK_(PE1/PE2/PE3) + 03h

リセット後の値 0000 0000h

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRMSK[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRMSK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.114 MISRADRMSK_PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
31~0	ADRMSK31~ADRMSK0	監視領域マスクアドレスレジスタ

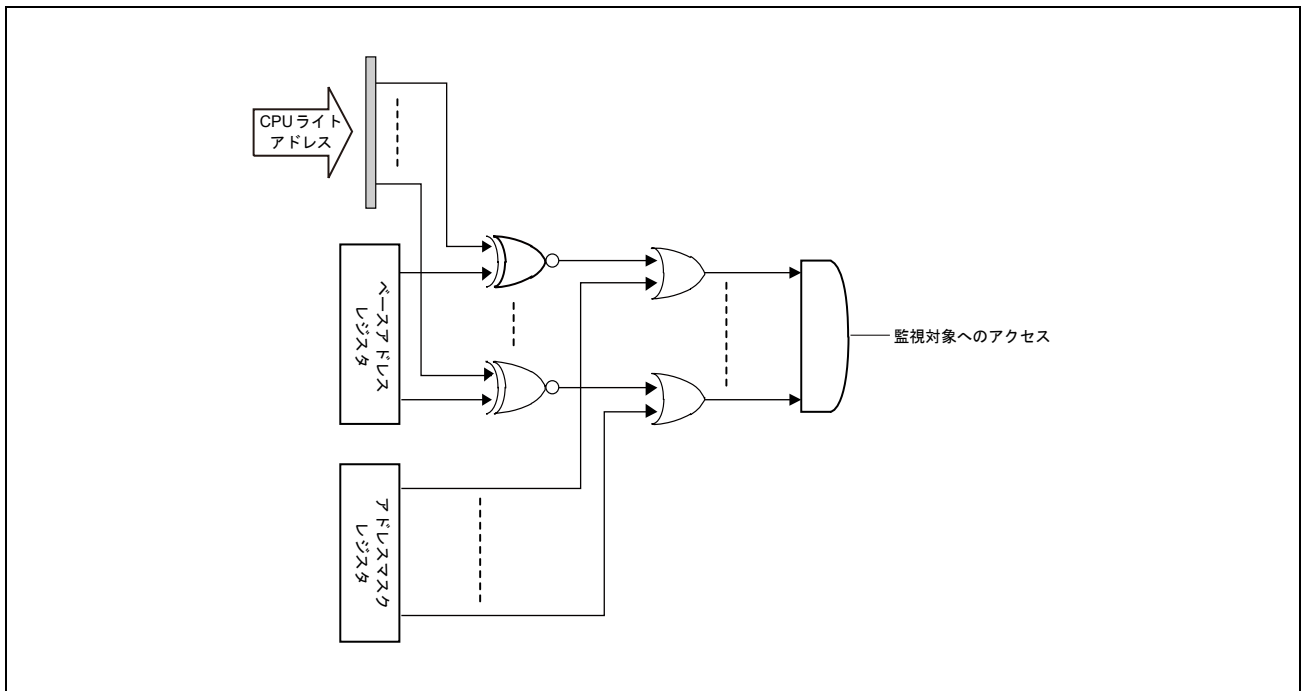


図 29.10 監視領域へのアクセスを判定する仕組み

29.5.4.8 MISRDCNTCTL_PE1/PE2/ PE3 — MISR データカウンタコントロールレジスタ

MISR データカウンタコントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR データカウンタレジスタの動作を制御します。CNTSTA ビット=1 のとき、CNTTRG ビットで選択したイベントが発生するとデータカウンタがインクリメントされます。データカウンタの動作については「29.5.3.3 データカウンタ」を参照してください。

アクセス MISRDCNTCTL_PE1, MISRDCNTCTL_PE2, MISRDCNTCTL_PE3 レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRDCNTCTL_PE1 : <MISG_PE1_base> + 024_H、
MISRDCNTCTL_PE2 : <MISG_PE2_base> + 024_H、
MISRDCNTCTL_PE3 : <MISG_PE3_base> + 024_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CNTTRG	CNTSTA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 29.115 MISRDCNTCTL_PE1/PE2/ PE3 レジスタの内容

ビット位置	ビット名	機能
7~2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CNTTRG	カウントアップトリガ選択ビット データカウンタのカウントアップトリガを選択します。 0 : MISRCDR_*レジスタへのライトアクセス 1 : MISRBASEADR レジスタと MISRADRMSK レジスタで指定したアドレス領域へのライトアクセス
0	CNTSTA	データカウンタスタートビット データカウンタのイネーブルビットです。CNTSTA = 1 のとき、CNTTRG ビットで選択したイベントが発生すると、データカウンタがインクリメントされます。 0 : データカウンタ停止 1 : データカウンタ動作

29.5.4.9 MISRDCNT_PE1/PE2/ PE3 — MISR データカウンタレジスタ

データカウンタは読み出し、書き込み可能な 16 ビットレジスタです。

比較対象の各シグネチャ生成部のデータカウンタ値が一致した時、シグネチャの自動比較が実行されます。

データカウンタコントロールレジスタの CNTTRG ビット = 0 のとき、MISR カルキュレーションデータレジスタへのライトアクセス発生でインクリメントされます。データカウンタコントロールレジスタの CNTTRG ビット = 1 のとき、MISRBASEADR レジスタと MISRADDRMSK レジスタで指定したアドレス領域への対応 CPU のライトアクセス発生でインクリメントされます。データカウンタの動作については「29.5.3.3 データカウンタ」を参照してください。

アクセス MISRDCNT_PE1, MISRDCNT_PE2, MISRDCNT_PE3 レジスタは、16 ビット単位でリード/ライト可能です。

MISRDCNT_PE1L, MISRDCNT_PE1H, MISRDCNT_PE2L, MISRDCNT_PE2H,
MISRDCNT_PE3L, MISRDCNT_PE3H レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRDCNT_PE1 : <MISG_PE1_base> + 028H ,
MISRDCNT_PE2 : <MISG_PE2_base> + 028H ,
MISRDCNT_PE3 : <MISG_PE3_base> + 028H ,
MISRDCNT_PE1L : <MISG_PE1_base> + 028H , MISRDCNT_PE1H : <MISG_PE1_base> + 02AH ,
MISRDCNT_PE2L : <MISG_PE2_base> + 028H , MISRDCNT_PE2H : <MISG_PE2_base> + 02AH ,
MISRDCNT_PE3L : <MISG_PE3_base> + 028H , MISRDCNT_PE3H : <MISG_PE3_base> + 02AH

リセット後の値 0000H

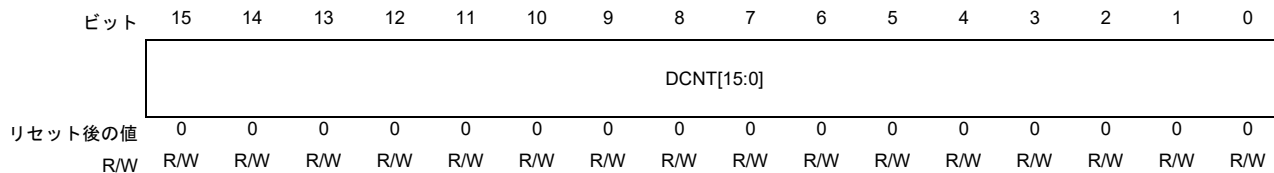


表 29.116 MISRDCNT_PE1/PE2/PE3 レジスタの内容

ビット位置	ビット名	機能
15~0	DCNT15~DCNT0	データカウンタレジスタ

以下、MSD 部（シグネチャ比較部）で搭載する制御レジスタについて記載します。

29.5.4.10 MISRCMPCTL — MISR コンパレータコントロールレジスタ

コンパレータコントロールレジスタは読み出し、書き込み可能な 16 ビットレジスタです。

シグネチャ自動比較機能において、各シグネチャ生成部で生成されたシグネチャを比較するコンパレータを制御します。シグネチャ自動比較機能については「**29.5.3.2 シグネチャ自動比較機能**」を参照してください。

アクセス MISRCMPCTL レジスタは、16 ビット単位でリード/ライト可能です。

MISRCMPCTL, MISRCMPCTLH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRCMPCTL : <MSD_base> + 00H、

MISRCMPCTLH : <MSD_base> + 01H

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MISR2 CMPEN 2	MISR2 CMPEN 1	MISR2 CMPEN 0	MISR1 CMPEN 2	MISR1 CMPEN 1	MISR1 CMPEN 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 29.117 MISRCMPCTL レジスタの内容

ビット位置	ビット名	機能
15~6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MISR2CMPEN2	MISR2 シグネチャコンペア許可ビット 2 MISG_PE3 と MISG_PE1 の MISR2 に保持しているシグネチャの比較を制御するビットです。 0 : 比較禁止 1 : 比較許可
4	MISR2CMPEN1	MISR2 シグネチャコンペア許可ビット 1 MISG_PE2 と MISG_PE3 の MISR2 に保持しているシグネチャの比較を制御するビットです。 0 : 比較禁止 1 : 比較許可
3	MISR2CMPEN0	MISR2 シグネチャコンペア許可ビット 0 MISG_PE1 と MISG_PE2 の MISR2 に保持しているシグネチャの比較を制御するビットです。 0 : 比較禁止 1 : 比較許可
2	MISR1CMPEN2	MISR1 シグネチャコンペア許可ビット 2 MISG_PE3 と MISG_PE1 の MISR1 に保持しているシグネチャの比較を制御するビットです。 0 : 比較禁止 1 : 比較許可
1	MISR1CMPEN1	MISR1 シグネチャコンペア許可ビット 1 MISG_PE2 と MISG_PE3 の MISR1 に保持しているシグネチャの比較を制御するビットです。 0 : 比較禁止 1 : 比較許可
0	MISR1CMPEN0	MISR1 シグネチャコンペア許可ビット 0 MISG_PE1 と MISG_PE2 の MISR1 に保持しているシグネチャの比較を制御するビットです。 0 : 比較禁止 1 : 比較許可

29.5.4.11 MISRCMPERSTR — MISR コンペアエラーステータスレジスタ

コンペアエラーステータスレジスタは読み出し可能な 8 ビットレジスタです。

コンパレータコントロールレジスタで許可したシグネチャ比較で不一致が発生すると対応するエラーフラグがセットされます。

エラーフラグのクリアはコンペアエラーステータスクリアレジスタの対応するクリアビットへの“1”書き込みで行います。リセットでもクリアされます。

アクセス MISRCMPERSTR レジスタは、8 ビット単位でリード可能です。

アドレス MISRCMPERSTR: <MSD_base> + 04H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	MISR2ERR2	MISR2ERR1	MISR2ERR0	MISR1ERR2	MISR1ERR1	MISR1ERR0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 29.118 MISRCMPERSTR レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MISR2ERR2	MISR2 シグネチャコンペアエラーフラグ 2 MISG_PE1 と MISG_PE3 の MISR2 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0: シグネチャ比較で不一致は発生していない 1: シグネチャ比較で不一致が発生した
4	MISR2ERR1	MISR2 シグネチャコンペアエラーフラグ 1 MISG_PE2 と MISG_PE3 の MISR2 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0: シグネチャ比較で不一致は発生していない 1: シグネチャ比較で不一致が発生した
3	MISR2ERR0	MISR2 シグネチャコンペアエラーフラグ 0 MISG_PE1 と MISG_PE2 の MISR2 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0: シグネチャ比較で不一致は発生していない 1: シグネチャ比較で不一致が発生した
2	MISR1ERR2	MISR1 シグネチャコンペアエラーフラグ 2 MISG_PE1 と MISG_PE3 の MISR1 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0: シグネチャ比較で不一致は発生していない 1: シグネチャ比較で不一致が発生した
1	MISR1ERR1	MISR1 シグネチャコンペアエラーフラグ 1 MISG_PE2 と MISG_PE3 の MISR1 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0: シグネチャ比較で不一致は発生していない 1: シグネチャ比較で不一致が発生した
0	MISR1ERR0	MISR1 シグネチャコンペアエラーフラグ 0 MISG_PE1 と MISG_PE2 の MISR1 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0: シグネチャ比較で不一致は発生していない 1: シグネチャ比較で不一致が発生した

29.5.4.12 MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ

コンペアエラーステータスクリアレジスタは書き込み専用の 8 ビットレジスタです。

コンペアエラーステータスレジスタの各エラーフラグが“1”のとき、対応するクリアビットに“1”を書き込むことでエラーフラグがクリアされます。MISR コンペアエラーステータスレジスタをリードして、“1”になっているフラグのクリアビットに“1”を書き込んでください。

アクセス MISRCMPERRSTC レジスタは、8 ビット単位でライト可能です。

アドレス MISRCMPERRSTC : <MSD_base> + 08H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	MISR2CLR2	MISR2CLR1	MISR2CLR0	MISR1CLR2	MISR1CLR1	MISR1CLR0
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	W	W	W	W	W	W

表 29.119 MISRCMPERRSTC レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MISR2CLR2	MISR2 シグネチャコンペアエラークリアビット 2 “1” 書き込みで MISRCMPERSTR レジスタの MISR2ERR2 ビットをクリアします。
4	MISR2CLR1	MISR2 シグネチャコンペアエラークリアビット 1 “1” 書き込みで MISRCMPERSTR レジスタの MISR2ERR1 ビットをクリアします。
3	MISR2CLR0	MISR2 シグネチャコンペアエラークリアビット 0 “1” 書き込みで MISRCMPERSTR レジスタの MISR2ERR0 ビットをクリアします。
2	MISR1CLR2	MISR1 シグネチャコンペアエラークリアビット 2 “1” 書き込みで MISRCMPERSTR レジスタの MISR1ERR2 ビットをクリアします。
1	MISR1CLR1	MISR1 シグネチャコンペアエラークリアビット 1 “1” 書き込みで MISRCMPERSTR レジスタの MISR1ERR1 ビットをクリアします。
0	MISR1CLR0	MISR1 シグネチャコンペアエラークリアビット 0 “1” 書き込みで MISRCMPERSTR レジスタの MISR1ERR0 ビットをクリアします。

29.5.4.13 MISRERRCTL — MISR エラー通知コントロールレジスタ

エラー通知コントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

シグネチャ自動比較機能におけるシグネチャのコンペア不一致発生時のエラー通知許可/禁止を設定します。シグネチャ自動比較機能とエラー通知については「**29.5.3.2 シグネチャ自動比較機能**」と「**29.5.3.4 エラー通知**」を参照してください。

アクセス MISRERRCTL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス MISRERRCTL : <MSD_base> + 0CH

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CMPPEREN
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R/W

表 29.120 MISRERRCTL レジスタの内容

ビット位置	ビット名	機能
7~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CMPPEREN	コンペアエラー通知許可ビット シグネチャのコンペア不一致発生でエラー通知の許可/禁止を選択します。 0 : シグネチャのコンペア不一致が発生してもエラー通知しない 1 : シグネチャのコンペア不一致が発生すればエラー通知する

29.5.5 使用例

29.5.5.1 使用例 1

自己診断プログラムによる診断を容易化します。自己診断プログラムの途中経過を MISG で圧縮することにより、全ての途中結果の保存や比較が不要となります。プログラム終了後に MISG の圧縮結果を期待値と比較することで、途中経過を含めた自己診断結果を判定することができます。

→これによってメモリ容量や比較処理時間の削減の効果が見込めます（CRC での代替も可能）。

設定例（PE1 で自己診断プログラムを実行する場合）

下記記載の MISG のレジスタは、PE1 に対応するシグネチャ生成部 1（MISG_PE1）のレジスタが対象です。

- (1) マルチインプットシグネチャレジスタ 1（MISR1_*）、マルチインプットシグネチャレジスタ 2（MISR2_*）、データカウンタレジスタ（MISRDCNT）を初期化します。
- (2) MISR コントロールレジスタ（MISRCR）の MISR1CND/MISR2CND ビットを“1”にして、MISR1/MISR2 のシグネチャ生成条件をライト監視モードに設定します。
- (3) MISR 監視領域ベースアドレスレジスタ（MISRBASEADR）、MISR 監視領域アドレスマスクレジスタ（MISRADRMSK）で監視対象アドレス領域を設定します。
- (4) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを“1”にして、MISR1/MISR2 でのシグネチャ生成を許可します。
- (5) PE1 で自己診断プログラムを実行します。
- (6) 自己診断プログラムの実行完了後、MISR1_*、MISR2_*のデータを FLASH に格納した期待値と比較します。

29.5.5.2 使用例 2

複数プロセッサで、同じ処理（自己診断プログラムを含む）を実行して、結果が正しいことを確認してください。違うハードウェアの実行結果を比較することで、信頼性が向上します。

設定例（PE1、PE3 で同じタスクを実行する場合）

下記記載の MISG のレジスタは、PE1、PE3 に搭載する MISG のレジスタが対象です。

- (1) マルチインプットシグネチャレジスタ 1 (MISR1_*)、マルチインプットシグネチャレジスタ 2 (MISR2_*)、データカウンタレジスタ (MISRDCNT) を初期化します。
- (2) MISR コントロールレジスタ (MISRCR) の MISR1CND/MISR2CND ビットを“0”にして、MISR1/MISR2 のシグネチャ生成条件をレジスタ書き込みモードに設定します。
- (3) MISR コンパレータコントロールレジスタ (MISRCMPCTL) の MISR1CMPEN1/MISR2CMPEN1 を“1”に設定し、コンパレータでのシグネチャ比較を許可します。
- (4) MISR エラー通知コントロールレジスタの CMPERREN を“1”にして、ECM へのエラー通知を許可します。
- (5) MISR データカウンタコントロールレジスタ (MISRDCNTCTL) の CNTTRG を“0”にして、データカウンタのカウントアップトリガを MISRCDR_* への書き込みに設定します。CNTSTA を“1”にして、データカウンタの動作を許可します。
- (6) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを“1”にして、MISR1/MISR2 でのシグネチャ生成を許可します。
- (7) 各 CPU で自己診断プログラムを実行します。
- (8) 自己診断プログラムは、プログラム実行の途中でプログラム実行経過を対応するシグネチャ生成部の MISRCDR_* に格納します。シグネチャ比較部は、MISG_PE1 と MISG_PE3 のデータカウンタレジスタ (MISRDCNT) の値が一致するたびに、MISG_PE1 と MISG_PE3 の MISR1/MISR2 のシグネチャが比較します。
- (9) コンペアエラーの有無はコンペアエラーステータスレジスタで確認してください。

29.6 クロックモニタ

29.6.1 概要

本製品は、クロックの動作を監視するためのクロックモニタを搭載します。

クロックモニタは、モニタ対象クロックの周波数異常を検出します。クロックモニタは下記機能を持ちます。

- クロックモニタは、モニタクロックの周波数が特定の範囲にあることを監視します。サンプリングクロックを使用して、モニタクロックの周波数が特定の範囲内にあることを確認します。
- クロックの異常検知後、クロックモニタは ECM へエラー通知を行います。

クロックモニタのモニタクロックとサンプリングクロックを以下の表に示します。

表 29.121 各クロックモニタのモニタクロック、サンプリングクロック一覧

クロックモニタチャンネル	モニタクロック	サンプリングクロック
CLMA0	低速周辺クロック (40MHz SSG)	非変調低速周辺クロック (40MHz clean)
CLMA1	非変調低速周辺クロック (40MHz clean)	10MHz (メイン OSC の 1/2)
CLMA2	WDTA カウントクロック (Main OSC の 1/80 または LS IntOSC) ^{注 1}	LS IntOSC (WDTA カウントクロックが Main OSC の 1/80 の時) または Main OSC の 1/80 (WDTA カウントクロックが LS IntOSC の時)
CLMA3	LS IntOSC (WDTA カウントクロックが Main OSC の 1/80 の時) または Main OSC の 1/80 (WDTA カウントクロックが LS IntOSC の時)	WDTA カウントクロック (Main OSC の 1/80 または LS IntOSC) ^{注 1}

注 1. WDTA のカウントクロック切り替えに関しては「10章 クロックコントローラ」を参照ください。

29.6.2 レジスタ一覧

29.6.2.1 クロックモニタチャネルレジスタ

表 29.122 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CLMA _n	CLMA _n 制御レジスタ 0	CLMA _n CTL0	<Base_addr> + 00 _H
CLMA _n	CLMA _n 比較レジスタ L	CLMA _n CMPL	<Base_addr> + 08 _H
CLMA _n	CLMA _n 比較レジスタ H	CLMA _n CMPH	<Base_addr> + 0C _H
CLMA _n	CLMA _n 保護命令レジスタ	CLMA _n PCMD	<Base_addr> + 10 _H
CLMA _n	CLMA _n 保護ステータスレジスタ	CLMA _n PS	<Base_addr> + 14 _H

レジスタベースアドレスは下記のとおりです。

表 29.123 レジスタベースアドレス一覧

クロックモニタチャネル	<Base_addr>
CLMA0	FFF8 8400 _H
CLMA1	FFF8 8420 _H
CLMA2	FFF8 8440 _H
CLMA3	FFF8 8460 _H

29.6.2.2 共通レジスタ

表 29.124 共通レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	保護
CLMAC	CLMA セルフテストレジスタ	CLMATEST	FFF8 8204 _H	PROT1PHCMD 注 1
CLMAC	CLMA セルフテストステータスレジスタ	CLMATESTS	FFF8 8208 _H	

注 1. 本レジスタについては「第 10 章 クロックコントローラ」をご参照ください。

29.6.3 レジスタ詳細

29.6.3.1 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ機能の動作を制御するレジスタです。

CLMAnPCMD レジスタにより保護されます。

外部および内部リセットどちらからでもリセット可能です。

アクセス CLMAnCTL0 レジスタは、8 ビット単位でリード/ライト可能です。

アドレス CLMAnCTL0 : <Base_adr> + 00H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W ^{注 1}

注 1. レジスタはリセットでクリア可能です。0 の書き込みは、無視されます。

表 29.125 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7~1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	CLMAnCLME	クロックモニタ機能の動作 0 : 動作を禁止 1 : 動作を許可

29.6.3.2 CLMAnCMPL — CLMAn 比較レジスタ L

正常な周波数範囲と比較するための下限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

アクセス CLMAnCMPL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CLMAnCMPL : <Base_adr> + 08H

リセット後の値 0001H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.126 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15~12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CLMAnCMPL [11:0]	正常な周波数範囲と比較するための下限値 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

29.6.3.3 CLMAnCMPH — CLMAn 比較レジスタ H

正常な周波数範囲と比較するための上限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

アクセス CLMAnCMPH レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CLMAnCMPH : <Base_adr> + 0CH

リセット後の値 03FFH

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPH[11:0]											
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.127 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15~12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CLMAnCMPH [11:0]	正常な周波数範囲と比較するための上限値です。 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

29.6.3.4 CLMAnPCMD — CLMAn 保護命令レジスタ

CLMAnCTL0 レジスタのための特別なシーケンスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

アクセス CLMAnPCMD レジスタは、8 ビット単位でライト可能です。

アドレス CLMAnPCMD : <Base_adr> + 10H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	CLMAnPCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
RW	W	W	W	W	W	W	W	W

この保護方式の詳細については、「**29.6.6.1 保護レジスタへの書き込み**」をご参照ください。

29.6.3.5 CLMAnPS — CLMAn 保護命令ステータスレジスタ

CLMAnCTL0 レジスタのための特別なシーケンスステータスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

アクセス CLMAnPS レジスタは、8 ビット単位でリード可能です。

アドレス CLMAnPS : <Base_adr> + 14H

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 29.128 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7~1	—	リザーブです。読み出すと常に 0 が読み出されます。
0	CLMAnPRERR	保護エラーの検出 0 : 保護エラー発生なし 1 : 保護エラー発生

CLMAnPRERR ビットの動作条件

セット条件 : CLMAnPCMD でプロテクションの対象となっている CLMAnCTL0 に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件 : CLMAnPCMD レジスタに A5H を書き込んだ場合 (プロテクト解除シーケンスのステップ 1)。

29.6.3.6 CLMATEST — CLMA セルフテストレジスタ

CLMA3~0 の自己診断を行うためのレジスタです。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

アクセス CLMATEST レジスタは、32 ビット単位でリード/ライト可能です。

アドレス CLMATEST : FFF8 8204H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CLMA3 TESTE N	CLMA2 TESTE N	CLMA1 TESTE N	CLMA0 TESTE N	ERRMS K	MONCL KMSK	RESCL M
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.129 CLMATEST レジスタの内容

ビット位置	ビット名	機能
31~7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6~3	CLMA3TESTEN CLMA2TESTEN CLMA1TESTEN CLMA0TESTEN	CLMA3~0 のセルフテストの有効/無効を指定します。 0 : 対応する CLMA _n のセルフテストは無効です 1 : 対応する CLMA _n のセルフテストは有効です
2	ERRMSK	CLMA _n によるエラー検出結果の ECM への通知を無効化します。本ビットをセットされた CLMA _n は、エラーを検出しても ECM に通知しません。本ビットの設定は、CLMA _n TESTEN (n = 0~3) が 1 にセットされている CLMA _n に対して有効です。 0 : ECM へのエラー通知を無効化しません 1 : ECM へのエラー通知を無効化します
1	MONCLKMSK	CLMA _n に対するモニタ対象クロックの入力をロウレベルに固定します。本ビットの設定は、CLMA _n TESTEN (n = 0~3) が 1 にセットされている CLMA _n に対して有効です。 0 : CLMA _n へのモニタクロック入力をロウレベルに固定しません 1 : CLMA _n へのモニタクロック入力をロウレベルに固定します
0	RESCLM	CLMA _n を強制的に初期化します。本ビットの設定は、CLMA _n TESTEN (n = 0~3) が 1 にセットされている CLMA _n に対して有効です。 0 : CLMA _n を初期化しません 1 : CLMA _n を初期化します

29.6.3.7 CLMATESTS — CLMA セルフテストステータスレジスタ

CLMA3~0 の自己診断結果を確認するためのレジスタです。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

アクセス CLMATESTS レジスタは、32 ビット単位でリード可能です。

アドレス CLMATESTS : FFF8 8208H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CLMA3 ERRS	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.130 CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31~4	—	リザーブです。読み出すと常に 0 が読み出されます。
3~0	CLMA3ERRS CLMA2ERRS CLMA1ERRS CLMA0ERRS	CLMA3~0 におけるエラー検出の有無を示します。本ビットは、CLMATEST.ERRMSK の影響を受けません。 0 : 対応する CLMA _n はエラーを検出していません 1 : 対応する CLMA _n はエラーを検出しています

29.6.4 異常クロック周波数の検出

- CLMAn はサンプリングクロックの 16 サイクル内でモニタクロックの立ち上がりエッジをカウントし、このカウント値と設定したしきい値を比較します。
 - CLMAnCMPL レジスタの CLMAnCMPL[11:0] は下限しきい値を指定します。
 - CLMAnCMPH レジスタの CLMAnCMPH[11:0] は上限しきい値を指定します。
- モニタクロックの周波数が低く^{注1}、カウント値が CLMAnCMPL レジスタの CLMAnCMPL[11:0] の設定を下回った場合にクロック異常を ECM へ通知します。また、モニタクロックの周波数が高く、カウント値が CLMAnCMPH レジスタの CLMAnCMPH[11:0] の設定値を上回った場合、クロック異常を ECM へ通知します。

ただし、サンプリング期間内でモニタクロック周波数が変動しても、検出エッジ数が規定範囲内に収まった場合は、エラー通知しません。

注1. モニタクロックが完全に停止する場合は異常を検知できない場合があります。

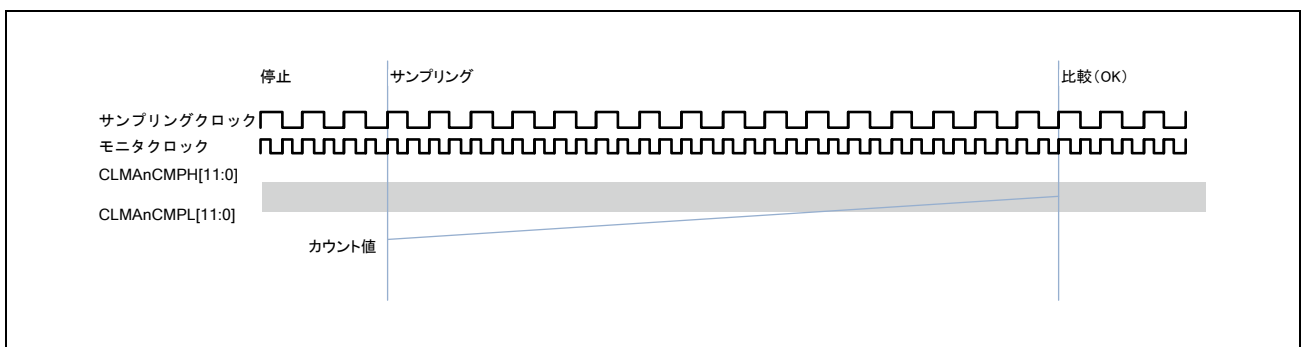


図 29.11 クロック周波数が特定範囲内にある場合

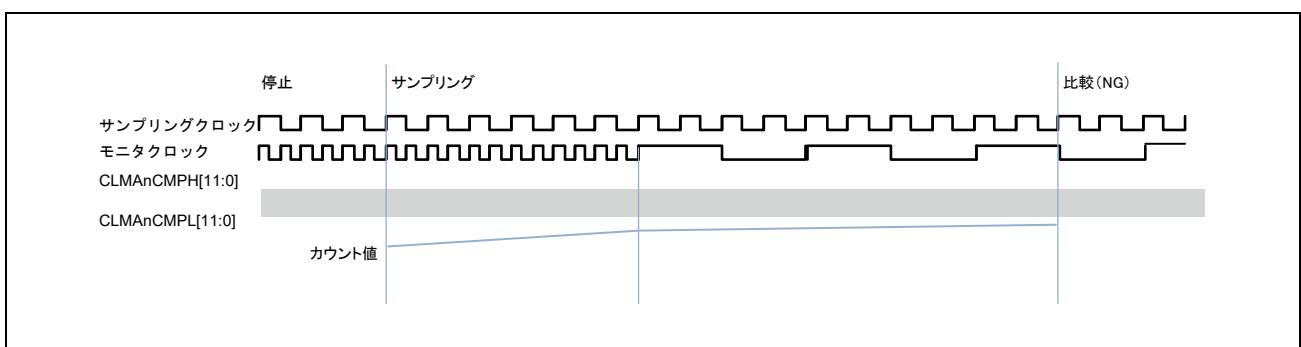


図 29.12 クロック周波数が特定範囲内を下回る場合

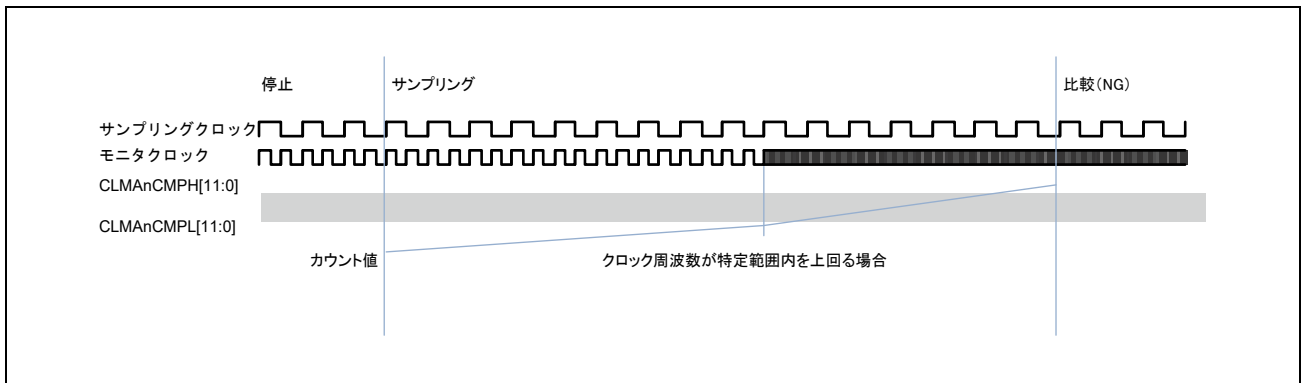


図 29.13 クロック周波数が特定範囲内を上回る場合

(1) しきい値 CLMAncMPL.CLMAncMPL[11:0]と CLMAncMPH.CLMAncMPH[11:0]の算出方法

コンペアレジスタ CLMAncMPL と CLMAncMPH には、サンプリングクロック CLMATSMP の 16 サイクル内で有効と想定されるモニタクロック CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{\text{CLMATSMP}}} = \frac{N}{f_{\text{CLMATMON}}}$$

$$N = \frac{f_{\text{CLMATMON}}}{f_{\text{CLMATSMP}}} \times 16$$

CLMATMON と CLMATSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

下限しきい値 = N_{\min}

$$= \frac{f_{\text{CLMATMON}(\min)}}{f_{\text{CLMATSMP}(\max)}} \times 16 - 1$$

上限しきい値 = N_{\max}

$$= \frac{f_{\text{CLMATMON}(\max)}}{f_{\text{CLMATSMP}(\min)}} \times 16 + 1$$

備 考

PLL のジッタは計算式の「+1」と「-1」によってカバーされています。

例

$f_{\text{CLMATSMPL}} = 240 \text{ kHz}$ ($\pm 8\%$) および $f_{\text{CLMATMON}} = 16 \text{ MHz}$ ($\pm 5\%$) の場合、推奨されるしきい値は次のようになります。

$$\begin{aligned} N_{\min} &= 15,200 / 259.2 \times 16 - 1 \\ &= 937.27 \\ \text{CLMAAnCMPL} &= 937 = 03A9_{\text{H}} \end{aligned}$$

$$\begin{aligned} N_{\max} &= 16,800 / 220.8 \times 16 + 1 \\ &= 1,218.39 \\ \text{CLMAAnCMPH} &= 1,219 = 04C3_{\text{H}} \end{aligned}$$

最小しきい値

次の制限事項を考慮する必要があります。

- $\text{CLMAAnCMPL} \geq 0001_{\text{H}}$
- $\text{CLMAAnCMPH} \geq \text{CLMAAnCMPL} + 0003_{\text{H}}$

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタの初期値／リセット値は次のようになります。

- $\text{CLMAAnCMPL} [11:0] = 001_{\text{H}}$
- $\text{CLMAAnCMPH} [11:0] = 3FF_{\text{H}}$

29.6.5 自己診断

以下に示すようにクロックモニタの自己診断を実施可能です。

- (1) 診断対象のクロックモニタの閾値設定 (CLMAnCMPL/CLMAnCMPH 設定) を行います。
このとき、閾値は必ずエラーが出る状態に設定します。
- (2) 診断対象のクロックモニタを指定します。
CLMATEST.CLMAnTESEN ビットに 1 をセットすることで、対応するクロックモニタを診断対象に指定できます。
- (3) 自己診断による ECM へのエラー通知を避けたい場合は、上記(2)と同時に CLMATEST.ERRMSKL をセットします。
- (4) CLMAnCTL0.CLMAnCLME ビットに 1 をセットして、クロックモニタの動作を許可します。
- (5) エラーが発生するのに十分な時間を待ってから CLMATESTS レジスタをリードし、診断対象のクロックモニタのエラー有無を確認します。
自己診断の開始からエラー発生までの時間は、サンプリング期間に依存します。
最大でサンプリング期間 2 周期分の時間を待つ必要があります。
- (6) 自己診断によって発生したエラーをクリアします。
CLMATEST.RESCLM に 1 をセットすることで診断対象のクロックモニタを初期化することができます。
- (7) 自己診断を終了します。
CLMATEST に all-0 をセットすることで、自己診断を終了することができます。

自己診断を行ったクロックモニタの動作を再開するには、改めてレジスタの設定を行ってください。

29.6.6 レジスタ設定時の注意事項

29.6.6.1 保護レジスタへの書き込み

各クロックモニタの CLMAnCTL0 レジスタ ($n=0, 1, 2, 3$) への書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

- 手順 1. CLMAnPCMD レジスタに固定値 A5_H を書き込みます。
- 手順 2. CLMAnCTL0 レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。
- 手順 3. CLMAnCTL0 レジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。
- 手順 4. CLMAnCTL0 レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、CLMAnPS レジスタの CLMAnPRERR ビットが 1 にセットされます。(必須ではありませんが、手順 4 の後、CLMAnPS レジスタの CLMAnPRERR ビットの値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。)

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注1}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、CLMAnPS レジスタの CLMAnPRERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

また、CLMATEST への書き込みについては、PROT1PHCMD レジスタの説明を参照してください。

注1. “同一モジュール内の別のレジスタ”とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、「29.6.2 レジスタ一覧」を参照してください。

29.6.6.2 CLMAnCMPL/CLMAnCMPH レジスタの設定

CLMAnCMPL/CLMAnCMPH レジスタの設定値は以下の条件を満たすこと。以下の条件を満足しない状態でクロックモニタを使用した場合は動作の保証はできません。

- $1 \leq \text{CLMAnCMPL}$
- $\text{CLMAnCMPL} + 3 \leq \text{CLMAnCMPH}$ ($n=0, 1, 2, 3$)

29.7 ECM

ECM は、チップ内における様々な故障検出状況を監視し、故障検出時の動作を指定するための機能です。ECM については、「**第 30 章 エラーコントロールモジュール (ECM)**」をご参照ください。

第30章 エラーコントロールモジュール (ECM)

本章では、エラーコントロールモジュール (ECM) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。それ以降の節では、ECM の機能、レジスタについて説明します。

30.1 RH850/C1M-A ECM の特長

30.1.1 ユニット数

本製品は、以下のユニット数の ECM を搭載しています。

表 30.1 ユニット数

製品名	RH850/C1M-A
ユニット数	1
名称	ECM

30.1.2 レジスタベースアドレス

ECM のベースアドレスを以下の表に示します。

ECM のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 30.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
ECM マスタ<ECMM_base>	FFCB 0000 _H
ECM チェッカ<ECMC_base>	FFCB 1000 _H
ECM 共通部<ECM_base>	FFCB 2000 _H

30.1.3 クロック供給

ECM のクロック供給を以下の表に示します。

表 30.3 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ECM	PCLK	CLK_LSB (低速周辺クロック)

30.1.4 割り込みと DMA/DTS

ECM の割り込み要求を以下の表に示します。

表 30.4 割り込み要求

割り込み名	割り込み番号	DMA トリガ番号		DTS トリガ番号	
		1st	2nd	1st	2nd
エラーコントロールモジュール NMI 割り込み	(FEINT)	—	—	—	—
エラーコントロールモジュール割り込み	8	—	—	—	—

備考 ECM に DMA/DTS トリガ要因はありません。

30.1.5 リセット要因

ECM のリセット要因を以下に示します。ECM は以下のリセット要因で初期化されます。

ただし、ECM マスタ/チェッカエラーソースステータスレジスタに関しては外部リセットでのみ初期化されます。詳細は、「**30.3 レジスタ (30.3.4、30.3.5)**」を参照してください。

表 30.5 リセット要因

ユニット名	リセット要因
ECM	すべてのリセット要因

30.1.6 外部入出力信号

ECM の外部入出力信号を以下の表に示します。

表 30.6 外部入出力信号

ユニット信号名	概要	端子信号名
ERROROUT_M	ERROROUT 端子 (マスタ)	ERROROUT_M
ERROROUT_C	ERROROUT 端子 (チェッカ)	ERROROUT_C

30.2 概要

30.2.1 機能概要

ECM (Error Control Module) にはさまざまなエラーソースやモニタ回路で発生するエラー信号が入力され、ERROROUT 端子 (ERROROUT_M / ERROROUT_C) からエラー信号を出力したり、割り込みや内部リセット信号を発生します。ECM の機能一覧を表 30.7 に示します。

表 30.7 機能一覧

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、下記処理を行うことができます。 <ul style="list-style-type: none"> ● エラーフラグセット ● マスカブル割り込み発生 エラーごとのマスカブル割り込み発生制御 (許可/禁止) 可能です。 ● FE レベル割り込み発生 エラーごとの FE レベル割り込み発生制御 (許可/禁止) 可能です。 ● 内部リセット発生 エラーごとの内部リセット発生制御 (許可/禁止) 可能です。 ● ERROROUT 出力 エラーごとの端子出力マスク制御 (許可/禁止) 可能です。 タイマ入力によるトルグル出力、またはレベル固定出力が可能です。
エラーステータス	ECM マスタ/チェッカエラーソースステータスレジスタを搭載し、エラーフラグからエラー状態を確認することができます。 エラーフラグは、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラーフラグは保持され、リセット後に ECM マスタ/チェッカエラーソースステータスレジスタを読み出すことでリセット発生要因を確認することができます。
デバッグ、自己診断	デバッグ、自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。ERROROUT 出力のマスクや割り込み、内部リセットの設定はすべて反映されます。 <ul style="list-style-type: none"> ● ERROROUT 端子までのバスの診断のために、ERROROUT 出力のループバック機能を搭載します。 ERROROUT 端子の状態が ECM マスタ/チェッカエラーソースステータスレジスタに反映され、レジスタを読み出すことで ERROROUT 端子の状態を確認することができます。
タイムアウト機能	割り込み発生と同時にディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値が ECM ディレイタイマコンペアレジスタと一致した場合に ERROROUT 出力、または内部リセットを発生する機能を搭載します。ディレイタイマカウント値は、低速周辺クロックの周波数でカウントされます。
レジスタ保護	不正な書き込みからレジスタを保護するために、特定シーケンスによるレジスタの書き込み保護を行います。
その他	ECM は 2 重化します。 ERROROUT 端子をマスタ端子とチェッカ端子の 2 端子搭載します。 ECM マスタと ECM チェッカの ERROROUT 出力を常時比較し、不一致の場合 ECM コンペアエラー (エラー要因 26) が発生します。

30.2.2 ブロック図

ECM のブロック図を図 30.1 に示します。

ERROROUT 出力、内部リセット、ERROROUTZ 信号はアクティブロウ、マスカブル割り込みと FE レベル割り込みはアクティブハイの信号です。

なお、ECM をダイナミックモードに設定しても、PIC1B への ERROROUTZ 信号はトグルしません。

PIC の詳細については「**第 24 章 ペリフェラルインタコネクション (PIC)**」をご参照ください。

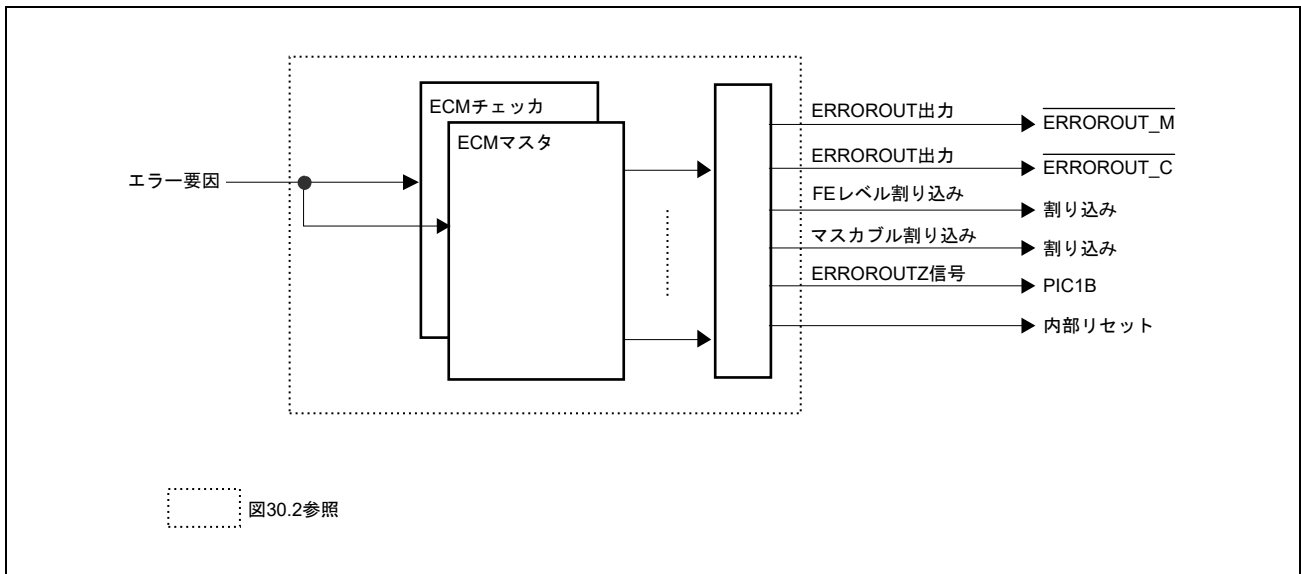


図 30.1 ECM の概要

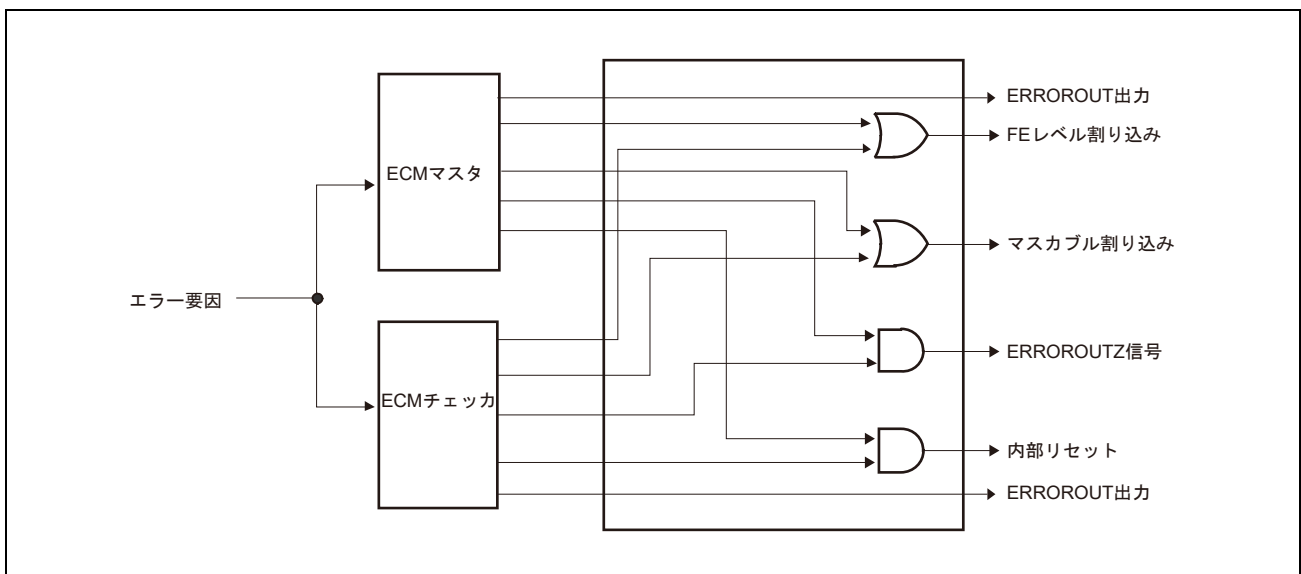


図 30.2 ECM の接続図

30.2.3 エラー要因とセーフティ処理

RH850/C1M-A の ECM のエラー要因とセーフティ処理を表 30.8 に示します。

表 30.8 エラー要因とセーフティ処理一覧 (1/2)

(○ : 対応 - : 非対応)

エラー 要因 No.	モジュール	エラー要因	エラー フラグ セット	マスクابل 割り込み	FE レベル 割り込み	内部 リセット	ERROR OUT 出力	ディレイ タイマ スタート
0	WDTA	WDTA エラー ^{注 2}	○	○	○	○ ^{注 1}	○	○
1	SWDTA0	SWDTA エラー	○	○	○	○ ^{注 1}	○	○
2	SWDTA1	SWDTA エラー	○	○	○	○ ^{注 1}	○	○
3	予約		—	—	—	—	—	—
4	ロックステップ	ロックステップコンペアエラー ^{注 3}	○	○	○	○	○	○
5	MISG	MISG コンペアエラー ^{注 3}	○	○	○	○	○	○
6	RAM	Local RAM (CPU1、CPU2) の ECC 2 ビットエラーおよび Local RAM (CPU1、CPU2) の アドレスパリティエラー ^{注 3}	○	○	○	○	○	○
7		Local RAM (CPU1、CPU2) の ECC 1 ビットエラーおよび Local RAM (CPU1、CPU2) の パリティビットエラー ^{注 3}	○	○	○	○	○	○
8		Global RAM の ECC 2 ビット エラーおよびアドレスパリティ エラー ^{注 3}	○	○	○	○	○	○
9		Global RAM の ECC 1 ビット エラー ^{注 3}	○	○	○	○	○	○
10		周辺 RAM (CAN、CSIH、DTS) ECC 2 ビットエラー ^{注 3}	○	○	○	○	○	○
11		周辺 RAM (CAN、CSIH、DTS) ECC 1 ビットエラー ^{注 3}	○	○	○	○	○	○
12	コード フラッシュ	コードフラッシュ ECC 2 ビット エラーおよびアドレスパリティ エラー ^{注 3}	○	○	○	○	○	○
13		コードフラッシュ ECC 1 ビット エラー ^{注 3}	○	○	○	○	○	○
14	命令キャッシュ	命令キャッシュデータ (CPU1、 CPU2) ECC 2 ビットエラー ^{注 3}	○	○	○	○	○	○
15		命令キャッシュデータ (CPU1、 CPU2) ECC 1 ビットエラー ^{注 3}	○	○	○	○	○	○
16		命令キャッシュタグ (CPU1、 CPU2) ECC 2 ビットエラー ^{注 3}	○	○	○	○	○	○
17		命令キャッシュタグ (CPU1、 CPU2) ECC 1 ビットエラー ^{注 3}	○	○	○	○	○	○
18	データ フラッシュ	データフラッシュ ECC 2 ビット エラー ^{注 3}	○	○	○	○	○	○
19		データフラッシュ ECC 1 ビット エラー ^{注 3}	○	○	○	○	○	○
20	PE ガード機能 (PEG)	PEG エラー (CPU1、CPU2、SubCPU) ^{注 4}	○	○	○	○	○	○
21	GRG (Global RAM Guard)	GRG エラー ^{注 3}	○	○	○	○	○	○
22	PBG	PBG エラー ^{注 3}	○	○	○	○	○	○
23	予約		—	—	—	—	—	—

表 30.8 エラー要因とセーフティ処理一覧 (2/2)

(○ : 対応 - : 非対応)

エラー 要因 No.	モジュール	エラー要因	エラー フラグ セット	マスカブル 割り込み	FE レベル 割り込み	内部 リセット	ERROR OUT 出力	ディレイ タイマ スタート
24	予約		—	—	—	—	—	—
25	データパリティ	データパリティエラー ^{注 3}	○	○	○	○	○	○
26	ECM	ECM コンペアエラー ^{注 5}	○	○	○	○	○	○
27	クロックモニタ	クロックモニタエラー (PLL0 (SSCG)) ^{注 3}	○	○	○	○	○	○
28		クロックモニタエラー (PLL1 (clean)) ^{注 3}	○	○	○	○	○	○
29		クロックモニタエラー (WDTA クロック (メイン OSC /LS IntOSC)) ^{注 3}	○	○	○	○	○	○
30		クロックモニタエラー (LS IntOSC/メイン OSC) ^{注 3}	○	○	○	○	○	○
31	SubCPU RAM	SubCPU RAM ECC 2 ビット エラー	○	○	○	○	○	○
32		SubCPU RAM ECC 1 ビット エラー	○	○	○	○	○	○
33	Sub CPU コード フラッシュ	SubCPU コードフラッシュ ECC 2 ビットエラーおよび アドレスパリティエラー ^{注 3}	○	○	○	○	○	○
34		SubCPU コードフラッシュ ECC 1 ビットエラー ^{注 3}	○	○	○	○	○	○
35	予約		—	—	—	—	—	—
36			—	—	—	—	—	—
37	ADCC	AD パリティエラー ^{注 6}	○	○	○	○	○	○
38	Flash	フラッシュアクセスエラー ^{注 7}	○	○	○	○	○	○
39		FACI リセット転送エラー ^{注 7 注 13}	○	—	—	—	○	—
40	EMU3	EMU3 エラー信号 ^{注 11}	○	○	○	○	○	○
41	DMAC	DTS RAM Data ECC 2 ビットエ ラー、1 ビットエラー ^{注 8}	○	○	○	○	○	○
42	2 重化回路	内蔵自己診断 (2 重化) 回路に よるエラー検出 ^{注 3}	○	○	○	○	○	○
43	DMAC	DMA 違反アクセス通知 ^{注 8}	○	○	○	○	○	○
44	OSTM	OSTM1 割り込み ^{注 9}	○	○	○	○	○	○
45	OSTM	OSTM3 割り込み ^{注 9}	○	○	○	○	○	○
46	TSG3	TSG3 エラー信号 (INTTSG3nIER) ^{注 10}	○	○	○	○	○	○
47	RDC3A	RDC3A 異常検出信号 ^{注 12}	○	○	○	○	○	○
48~60	予約		—	—	—	—	—	—
61	ECM	ECM ディレイタイマの タイムアウト機能 ^{注 5}	○	—	—	○	○	—
62		ECMmESET によるエラーセット ^{注 5}	○	—	—	—	—	—
63		エラー出カループバック状態 ^{注 5}	○	—	—	—	—	—

- 注 1. 初期状態では内部リセット発生を許可しています。
- 注 2. エラー内容については「第 16 章 ウインドウウォッチドッグタイマ (WDTA)」をご参照ください。
- 注 3. エラー内容については「第 29 章 ファンクショナルセーフティ」をご参照ください。
- 注 4. エラー内容については「第 3 章 CPU システム」をご参照ください。
- 注 5. エラー内容については「表 30.7 機能一覧」をご参照ください。
- 注 6. エラー内容については「第 27 章 A/D コンバータ (ADCC)」をご参照ください。
- 注 7. No.38/39 のエラー内容については、「RH850/C1M-A フラッシュメモリユーザーズマニュアル ハードウェアインタフェース編」をご参照ください。
- 注 8. エラー内容については「第 7 章 DMA 機能」をご参照ください。
- 注 9. エラー内容については「第 17 章 OS タイマ (OSTM)」をご参照ください。
- 注 10. エラー内容については「第 20 章 モータコントロールタイマ (TSG3)」をご参照ください。
- 注 11. エラー内容については「第 25 章 エンハンスドモータコントロールユニット (EMU3)」をご参照ください。
- 注 12. エラー内容については「第 26 章 R/D コンバータ (RDC3A)」をご参照ください。
- 注 13. FACL リセット転送エラー発生時のデバイスの動作は保証できません。リセット解除後、ERROROUT 端子のエラー出力をクリアする際、再度エラー状態にならないことで FACL リセット転送エラーが発生していないことを確認してください。

表 30.9 のとおり、エラー要因を集約します。

表 30.9 エラー要因集約 (1/2)

エラー要因 No.	モジュール	エラー要因	備考
0	WDTA	WDTA エラー (WDTA0、1)	WDTA0、1 のエラーを集約する。 初期状態では内部リセット発生を許可していません。
6	RAM	Local RAM (CPU1、CPU2) の ECC 2 ビットエラーおよび Local RAM (CPU1、CPU2) のアドレスパリティエラー	CPU1、CPU2 の Local RAM の、ECC 2 ビットエラーおよびアドレスパリティエラーを集約する。
7		Local RAM (CPU1、CPU2) の ECC 1 ビットエラーおよび Local RAM (CPU1、CPU2) のパリティビットエラー	CPU1、CPU2 の Local RAM の、ECC 1 ビットエラーおよびパリティビットエラーを集約する。
8		Global RAM の ECC 2 ビットエラーおよびアドレスパリティエラー	各マスタから Global RAM をアクセスした際の ECC 2 ビットエラーおよびアドレスパリティエラーを集約する。
9		Global RAM の ECC 1 ビットエラーおよびパリティビットエラー	各マスタから Global RAM をアクセスした際の ECC 1 ビットエラーおよびパリティビットエラーを集約する。
10		周辺 RAM (CAN、CSIH、DTS) ECC 2 ビットエラー	各周辺回路用 RAM の ECC 2 ビットエラーを集約する。
11		周辺 RAM (CAN、CSIH、DTS) ECC 1 ビットエラー	各周辺回路用 RAM の ECC 1 ビットエラーを集約する。
12	コードフラッシュ	コードフラッシュ ECC 2 ビットエラー コードフラッシュアドレスパリティエラー	CPU1、CPU2 からコードフラッシュをアクセスした際の ECC 2 ビットエラーを集約する。
13		コードフラッシュ ECC 1 ビットエラー	CPU1、CPU2 からコードフラッシュをアクセスした際の ECC 1 ビットエラーを集約する。
14	命令キャッシュ	命令キャッシュデータ (CPU1、CPU2) ECC 2 ビットエラー	PE1、PE2 のキャッシュデータアレイの ECC 2 ビットエラーを集約する。
15		命令キャッシュデータ (CPU1、CPU2) ECC 1 ビットエラー	PE1、PE2 のキャッシュデータアレイの ECC 1 ビットエラーを集約する。
16		命令キャッシュタグ (CPU1、CPU2) ECC 2 ビットエラー	PE1、PE2 のキャッシュデータアレイの ECC 2 ビットエラーを集約する。
17		命令キャッシュタグ (CPU1、CPU2) ECC 1 ビットエラー	PE1、PE2 のキャッシュタグアレイの ECC 1 ビットエラーを集約する。
20	PE ガード機能 (PEG)	PEG エラー (CPU1、CPU2、SubCPU)	CPU1 と CPU2、SubCPU の PEG エラーを集約する。
21	GRG (Global RAM Guard)	GRG エラー	CPU1 と CPU2 と DMA の各アクセス経路の GRG エラーを集約する。

表 30.9 エラー要因集約 (2/2)

エラー要因 No.	モジュール	エラー要因	備考
22	PBG	PBG エラー	各周辺回路用の PBG エラーを集約する。
25	データパリティ	データパリティエラー	各アクセス経路のデータパリティエラーを集約する。
31	SubCPU RAM ECC 2 ビットエラー	Local RAM (SubCPU) の ECC 2 ビットエラーと Local RAM (SubCPU) のアドレスパリティエラーおよび、命令キャッシュデータ (SubCPU) ECC 2 ビットエラーと命令キャッシュタグ (SubCPU) ECC 2 ビットエラー	SubCPU の Local RAM の、ECC 2 ビットエラー、アドレスパリティエラーおよびキャッシュデータアレイの ECC 2 ビットエラー、キャッシュデータアレイの ECC 2 ビットエラーを集約する。
32	SubCPU RAM ECC 1 ビットエラー	Local RAM (SubCPU) の ECC 1 ビットエラーと Local RAM (SubCPU) のパリティビットエラーおよび、命令キャッシュデータ (SubCPU) ECC 1 ビットエラーと命令キャッシュタグ (SubCPU) ECC 1 ビットエラー	SubCPU の Local RAM の、ECC 1 ビットエラー、パリティビットエラーおよびキャッシュデータアレイの ECC 1 ビットエラー、キャッシュデータアレイの ECC 1 ビットエラーを集約する。
33	Sub CPU コードフラッシュ	コードフラッシュ ECC 2 ビットエラー コードフラッシュアドレスパリティエラー	SubCPU からコードフラッシュをアクセスした際の ECC 2 ビットエラーを集約する。
34		コードフラッシュ ECC 1 ビットエラー	SubCPU からコードフラッシュをアクセスした際の ECC 1 ビットエラーを集約する。
37	ADCC	AD パリティエラー	ADCC0、1、2 の AD パリティエラーを集約する。
40	EMU3	EMU3 エラー信号	EMU30 割り込み 7 と EMU31 割り込み 7 を集約する。
41	DMA	DTS RAM Data ECC 2 ビットエラー、1 ビットエラー	DTS RAM の ECC 2 ビットエラーと 1 ビットエラーを集約する。
42	2 重化	内蔵自己診断 (BIST2 重化) 回路によるエラー検出	各種自己診断回路のエラーを集約する。
46	TSG3	TSG3 エラー (INTTSG3nIER)	TSG30、TSG31、TSG32 のエラーを集約する。
47	RDC3A	RDC3A 異常検出	RDC3A0、RDC3A1 のエラーを集約する。

備考 表 30.9 がないエラー要因は、集約しません。

30.3 レジスタ

30.3.1 レジスタ一覧

ECM のレジスタは ECM 共通レジスタ、ECM マスタレジスタ、ECM チェッカレジスタの 3 つのアドレス領域に分かれます。ECM 共通レジスタはマスタとチェッカで共通のレジスタ領域です。共通領域のレジスタへの書き込みはマスタチェッカで同時にそれぞれ実行されます。共通領域の読み出しは、マスタのレジスタの値が読み出されます。ECM マスタレジスタと ECM チェッカレジスタは個別に書き込み可能です。

ECM マスタレジスタのレジスタ一覧を以下の表に示します。

<ECMM_base>、<ECMC_base>、<ECM_base>は「**30.1.2 レジスタベースアドレス**」を参照してください。

表 30.10 レジスタ一覧 (ECM マスタ)

モジュール名	レジスタ名	略号	シーケンスによる保護	アドレス
ECMM	ECM マスタエラーセットトリガレジスタ	ECMMESSET	あり	<ECMM_base> + 00 _H
ECMM	ECM マスタエラークリアトリガレジスタ	ECMMECLR	あり	<ECMM_base> + 04 _H
ECMM	ECM マスタエラーソースステータスレジスタ 0	ECMMESSTR0	なし	<ECMM_base> + 08 _H
ECMM	ECM マスタエラーソースステータスレジスタ 1	ECMMESSTR1	なし	<ECMM_base> + 0C _H
ECMM	ECM マスタ保護コマンドレジスタ	ECMMPCMD0	なし	<ECMM_base> + 10 _H

ECM チェッカレジスタのレジスタ一覧を以下の表に示します。

表 30.11 レジスタ一覧 (ECM チェッカ)

モジュール名	レジスタ名	略号	シーケンスによる保護	アドレス
ECMC	ECM チェッカエラーセットトリガレジスタ	ECMCESSET	あり	<ECMC_base> + 00 _H
ECMC	ECM チェッカエラークリアトリガレジスタ	ECMCECLR	あり	<ECMC_base> + 04 _H
ECMC	ECM チェッカエラーソースステータスレジスタ 0	ECMCESSTR0	なし	<ECMC_base> + 08 _H
ECMC	ECM チェッカエラーソースステータスレジスタ 1	ECMCESSTR1	なし	<ECMC_base> + 0C _H
ECMC	ECM チェッカ保護コマンドレジスタ	ECMCPCMD0	なし	<ECMC_base> + 10 _H

ECM 共通部のレジスタ一覧を以下の表に示します。

表 30.12 レジスタ一覧 (ECM 共通)

モジュール名	レジスタ名	略号	シーケンスによる保護	アドレス
ECM	ECM エラーパルスコンフィグレーションレジスタ	ECMEPCFG	あり	<ECM_base> + 00 _H
ECM	ECM マスカブル割り込みコンフィグレーションレジスタ 0	ECMMICFG0	あり	<ECM_base> + 04 _H
ECM	ECM マスカブル割り込みコンフィグレーションレジスタ 1	ECMMICFG1	あり	<ECM_base> + 08 _H
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 0	ECMNMICFG0	あり	<ECM_base> + 0C _H
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 1	ECMNMICFG1	あり	<ECM_base> + 10 _H
ECM	ECM 内部リセットコンフィグレーションレジスタ 0	ECMIRCFG0	あり	<ECM_base> + 14 _H
ECM	ECM 内部リセットコンフィグレーションレジスタ 1	ECMIRCFG1	あり	<ECM_base> + 18 _H
ECM	ECM エラーマスクレジスタ 0	ECMEMK0	あり	<ECM_base> + 1C _H
ECM	ECM エラーマスクレジスタ 1	ECMEMK1	あり	<ECM_base> + 20 _H
ECM	ECM エラーソースステータスクリアトリガレジスタ 0	ECMESSTC0	あり	<ECM_base> + 24 _H
ECM	ECM エラーソースステータスクリアトリガレジスタ 1	ECMESSTC1	あり	<ECM_base> + 28 _H
ECM	ECM 保護コマンドレジスタ	ECMPCMD1	なし	<ECM_base> + 2C _H
ECM	ECM 保護ステータスレジスタ	ECMPS	なし	<ECM_base> + 30 _H
ECM	ECM 疑似エラートリガレジスタ 0	ECMPE0	あり	<ECM_base> + 34 _H
ECM	ECM 疑似エラートリガレジスタ 1	ECMPE1	あり	<ECM_base> + 38 _H
ECM	ECM ディレイタイマコントロールレジスタ	ECMDTMCTL	あり	<ECM_base> + 3C _H
ECM	ECM ディレイタイマレジスタ	ECMDTMR	なし	<ECM_base> + 40 _H
ECM	ECM ディレイタイマコンペアレジスタ	ECMDTMCMP	あり	<ECM_base> + 44 _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 0	ECMDTMCFG0	あり	<ECM_base> + 48 _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 1	ECMDTMCFG1	あり	<ECM_base> + 4C _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 2	ECMDTMCFG2	あり	<ECM_base> + 50 _H
ECM	ECM ディレイタイマコンフィグレーションレジスタ 3	ECMDTMCFG3	あり	<ECM_base> + 54 _H

30.3.2 ECMmESET (m = M/C) — ECM マスタ/チェッカエラーセットトリガレジスタ

ECM マスタ/チェッカエラーセットトリガレジスタは ERROROUT 端子から出力するエラー信号をエラー出力に設定するためのレジスタです。ECMmEST ビットに 1 をセットされると ERROROUT 端子からはただちにエラー出力が出力されます。出力をマスクすることはできません。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「30.4.5 書き込み保護レジスタ」を参照してください。このレジスタの読み出し値は常に 00_Hです。

アクセス 8 ビット単位でライト可能です。

アドレス <ECMM_base>
<ECMC_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmEST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.13 ECMmESET レジスタの内容

ビット位置	ビット名	機能
7~1	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMmEST	エラーセットトリガビット 0: 0 書き込みは無効。 1: ERROROUT 端子からの出力レベルをエラー出力に設定します。

注 意

ECMmESET レジスタで ERROROUT 端子からの ERROROUT 出力のセットを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmESET レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
- 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
- ECMmESET レジスタで ERROROUT 出力のセットを行います。
- ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子出力から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
 - 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

30.3.3 ECMmECLR (m = M/C) — ECM マスタ/チェッカエラークリアトリガレジスタ

ECM マスタ/チェッカエラークリアトリガレジスタは ERROROUT 端子から出力するエラー信号を正常出力に設定するためのレジスタです。ECMmECT ビットに 1 をセットされると他に ERROROUT 端子をエラー出力にする要因がない場合には、ERROROUT 端子からはただちに正常出力が出力されます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「30.4.5 書き込み保護レジスタ」を参照してください。このレジスタの読み出し値は常に 00_Hです。

アクセス 8ビット単位でライト可能です。

アドレス <ECMM_base> + 04_H
<ECMC_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmECT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.14 ECMmECLR レジスタの内容

ビット位置	ビット名	機能
7~1	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMmECT	エラークリアトリガビット 0: 0 書き込みは無効。 1: ERROROUT 端子からの出力レベルを正常出力に設定します。

注 意

ERROROUT 出力のクリアは、ECMEMK0/1 によってマスクされていないすべてのエラーが、あらかじめクリアされている場合にのみ可能です。

ECMmECLR レジスタで ERROROUT 出力のクリアを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmECLR レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
- 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
- ECMmECLR レジスタで ERROROUT 出力クリアを行います。
- ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
 - 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

30.3.4 ECMmESSTR0 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 0

ECM マスタ/チェッカエラーソースステータスレジスタ 0 は個々のエラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 0 の対応するビットに 1 を書き込むか外部リセットでのみ実行できます。内部リセットが発生してもこのレジスタに影響はありません。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 08_H
<ECMC_base> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE031	ECMmSSE030	ECMmSSE029	ECMmSSE028	ECMmSSE027	ECMmSSE026	ECMmSSE025	—	—	ECMmSSE022	ECMmSSE021	ECMmSSE020	ECMmSSE019	ECMmSSE018	ECMmSSE017	ECMmSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMmSSE015	ECMmSSE014	ECMmSSE013	ECMmSSE012	ECMmSSE011	ECMmSSE010	ECMmSSE009	ECMmSSE008	ECMmSSE007	ECMmSSE006	ECMmSSE005	ECMmSSE004	—	ECMmSSE002	ECMmSSE001	ECMmSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.15 ECMmESSTR0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMmSSE031~ ECMmSSE025	エラー要因ステータスビット ECMmSSE031~ECMmSSE025 がエラー要因 31~25 に対応します。 0 : エラー未発生 1 : エラー発生
24, 23	—	予約ビット (リードした場合は不定値が読めます。)
22~4	ECMmSSE022~ ECMmSSE004	エラー要因ステータスビット ECMmSSE022~ECMmSSE004 がエラー要因 22~4 に対応します。 0 : エラー未発生 1 : エラー発生
3	—	予約ビット (リードした場合は不定値が読めます。)
2~0	ECMmSSE002~ ECMmSSE000	エラー要因ステータスビット ECMmSSE000 がエラー要因 2~0 に対応します。 0 : エラー未発生 1 : エラー発生

30.3.5 ECMmESSTR1 (m = M/C) — ECM マスタ/チェッカエラーソースステータスレジスタ 1

ECM マスタ/チェッカエラーソースステータスレジスタ 1 は個々のエラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 1 の対応するビットに 1 を書き込むか外部リセットでのみ実行できます。内部リセットが発生してもこのレジスタに影響はありません。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 0C_H
<ECMC_base> + 0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE131	ECMmSSE130	ECMmSSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMmSSE115	ECMmSSE114	ECMmSSE113	ECMmSSE112	ECMmSSE111	ECMmSSE110	ECMmSSE109	ECMmSSE108	ECMmSSE107	ECMmSSE106	ECMmSSE105	—	—	ECMmSSE102	ECMmSSE101	ECMmSSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.16 ECMmESSTR1 レジスタの内容

ビット位置	ビット名	機能
31	ECMmSSE131	ERRORROUT 出カループバック状態を示します。 0: ERRORROUT 出力はエラー出力 1: ERRORROUT 出力は正常出力
30	ECMmSSE130	ECMmESET の書き込みステータスを示します。 0: エラーなし 1: ECMmESET レジスタの ECMmEST ビットでエラー設定された
29	ECMmSSE129	ディレイタイマオーバフロー有無を示します。 0: ディレイタイマオーバフローなし 1: ディレイタイマオーバフローあり
28~16	—	予約ビット (リードした場合は不定値が読めます。)
15~5	ECMmSSE115~ ECMmSSE105	エラー要因ステータスビット ECMmSSE115~ECMmSSE105 は、エラー要因 47~37 に対応します。 0: エラー未発生 1: エラー発生
4, 3	—	予約ビット (リードした場合は不定値が読めます。)
2~0	ECMmSSE102~ ECMmSSE100	エラー要因ステータスビット ECMmSSE102~ECMmSSE100 は、エラー要因 34~32 に対応します。 0: エラー未発生 1: エラー発生

30.3.6 ECMmPCMD0 (m = M/C) — ECM マスタ/チェッカ保護コマンドレジスタ

ECM マスタ/チェッカ保護コマンドレジスタは、保護対象のレジスタへの誤ったプログラム動作などによる不正なライトアクセスから保護するレジスタです。

ECM マスタ/チェッカ保護コマンドレジスタによる保護対象のレジスタは「**30.3.1 レジスタ一覧**」を参照してください。

保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECMM_base> + 10_H
<ECMC_base> + 10_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMmREG0[7:0]							
リセット後の値	不定															
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 30.17 ECMmPCMD0 レジスタの内容

ビット位置	ビット名	機能
31~8	—	予約ビット 書き込む場合は"0"をライトしてください。
7~0	ECMmREG0[7:0]	書き込み保護された ECMm レジスタへの書き込みを有効にする保護コマンド 固定値 0000 00A5 _H

30.3.7 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ

ECM エラーパルスコンフィグレーションレジスタは、ERROROUT 端子の ERROROUT 出力動作を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ECM_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMSL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.18 ECMEPCFG レジスタの内容

ビット位置	ビット名	機能
7~1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMSL0	ERROROUT 端子動作設定ビット ERROROUT 端子の ERROROUT 出力動作の設定 0: ノンダイナミックモード 1: ダイナミックモード

30.3.8 ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0

ECM マスカブル割り込みコンフィグレーションレジスタ 0 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 04_H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMMI E031	ECMMI E030	ECMMI E029	ECMMI E028	ECMMI E027	ECMMI E026	ECMMI E025	—	—	ECMMI E022	ECMMI E021	ECMMI E020	ECMMI E019	ECMMI E018	ECMMI E017	ECMMI E016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMMI E015	ECMMI E014	ECMMI E013	ECMMI E012	ECMMI E011	ECMMI E010	ECMMI E009	ECMMI E008	ECMMI E007	ECMMI E006	ECMMI E005	ECMMI E004	—	ECMMI E002	ECMMI E001	ECMMI E000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 30.19 ECMMICFG0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMMIE031~ ECMMIE025	ECM マスカブル割り込み発生制御ビット ECMMIE031~ECMMIE025 がエラー要因 31~25 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMMIE022~ ECMMIE004	ECM マスカブル割り込み発生制御ビット ECMMIE022~ECMMIE004 がエラー要因 22~4 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMMIE002~ ECMMIE000	ECM マスカブル割り込み発生制御ビット ECMMIE002~ECMMIE000 がエラー要因 2~0 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

30.3.9 ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1

ECM マスカブル割り込みコンフィグレーションレジスタ 1 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能ですが、このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMMIE115	ECMMIE114	ECMMIE113	ECMMIE112	ECMMIE111	ECMMIE110	ECMMIE109	ECMMIE108	—	ECMMIE106	ECMMIE105	—	—	ECMMIE102	ECMMIE101	ECMMIE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 30.20 ECMMICFG1 レジスタの内容

ビット位置	ビット名	機能
31~16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15~8	ECMMIE115~ ECMMIE108	ECM マスカブル割り込み発生制御ビット ECMMIE115~ECMMIE108 は、エラー要因 47~40 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMMIE106、 ECMMIE105	ECM マスカブル割り込み発生制御ビット ECMMIE106、ECMMIE105 は、エラー要因 38、37 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
4, 3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMMIE102~ ECMMIE100	ECM マスカブル割り込み発生制御ビット ECMMIE102~ECMMIE100 は、エラー要因 34~32 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

30.3.10 ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0

ECM FE レベル割り込みコンフィグレーションレジスタ 0 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 0CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMN MIE031	ECMN MIE030	ECMN MIE029	ECMN MIE028	ECMN MIE027	ECMN MIE026	ECMN MIE025	—	—	ECMN MIE022	ECMN MIE021	ECMN MIE020	ECMN MIE019	ECMN MIE018	ECMN MIE017	ECMN MIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMN MIE015	ECMN MIE014	ECMN MIE013	ECMN MIE012	ECMN MIE011	ECMN MIE010	ECMN MIE009	ECMN MIE008	ECMN MIE007	ECMN MIE006	ECMN MIE005	ECMN MIE004	—	ECMN MIE002	ECMN MIE001	ECMN MIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 30.21 ECMNMICFG0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMNMIE031~ ECMNMIE025	ECM FE レベル割り込み発生制御ビット ECMNMIE031~ECMNMIE025 がエラー要因 31~25 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMNMIE022~ ECMNMIE004	ECM FE レベル割り込み発生制御ビット ECMNMIE022~ECMNMIE004 がエラー要因 22~4 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMNMIE002~ ECMNMIE000	ECM FE レベル割り込み発生制御ビット ECMNMIE002~ECMNMIE000 がエラー要因 0 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

30.3.11 ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1

ECM FE レベル割り込みコンフィグレーションレジスタ 1 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMN MIE115	ECMN MIE114	ECMN MIE113	ECMN MIE112	ECMN MIE111	ECMN MIE110	ECMN MIE109	ECMN MIE108	—	ECMN MIE106	ECMN MIE105	—	—	ECMN MIE102	ECMN MIE101	ECMN MIE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 30.22 ECMNMICFG1 レジスタの内容

ビット位置	ビット名	機能
31~16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15~8	ECMNMIE115~ ECMNMIE108	ECM FE レベル割り込み発生制御ビット ECMNMIE115~ECMNMIE108 は、エラー要因 47~40 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMNMIE106、 ECMNMIE105	ECM FE レベル割り込み発生制御ビット ECMNMIE106、ECMNMIE105 は、エラー要因 38、37 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
4, 3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMNMIE102~ ECMNMIE100	ECM FE レベル割り込み発生制御ビット ECMNMIE102~ECMNMIE100 は、エラー要因 34~32 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

30.3.12 ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0

ECM 内部リセットコンフィグレーションレジスタ 0 は、エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 14_H

リセット後の値 0000 000F_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMIR E031	ECMIR E030	ECMIR E029	ECMIR E028	ECMIR E027	ECMIR E026	ECMIR E025	—	—	ECMIR E022	ECMIR E021	ECMIR E020	ECMIR E019	ECMIR E018	ECMIR E017	ECMIR E016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMIR E015	ECMIR E014	ECMIR E013	ECMIR E012	ECMIR E011	ECMIR E010	ECMIR E009	ECMIR E008	ECMIR E007	ECMIR E006	ECMIR E005	ECMIR E004	—	ECMIR E002	ECMIR E001	ECMIR E000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 30.23 ECMIRCFG0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMIRE031~ ECMIRE025	ECM 内部リセット発生制御ビット ECMIRE031~ECMIRE025 がエラー要因 31~25 に対応します。 0 : 内部リセット発生禁止 1 : 内部リセット発生許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMIRE022~ ECMIRE004	ECM 内部リセット発生制御ビット ECMIRE022~ECMIRE004 がエラー要因 22~4 に対応します。 0 : 内部リセット発生禁止 1 : 内部リセット発生許可
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMIRE002~ ECMIRE000	ECM 内部リセット発生制御ビット ECMIRE002~ECMIRE000 がエラー要因 2~0 に対応します。 0 : 内部リセット発生禁止 1 : 内部リセット発生許可

30.3.13 ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1

ECM 内部リセットコンフィグレーションレジスタ 1 は、エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 18_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMIR E129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMIR E115	ECMIR E114	ECMIR E113	ECMIR E112	ECMIR E111	ECMIR E110	ECMIR E109	ECMIR E108	—	ECMIR E106	ECMIR E105	—	—	ECMIR E102	ECMIR E101	ECMIR E100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 30.24 ECMIRCFG1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMIRE129	ECM 内部リセット発生制御ビット ディレイタイマオーバフローに対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
28～16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15～8	ECMIRE115～ ECMIRE108	ECM 内部リセット発生制御ビット ECMIRE115～ECMIRE108 は、エラー要因 47～40 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6、5	ECMIRE106、 ECMIRE105	ECM 内部リセット発生制御ビット ECMIRE106、ECMIRE105 は、エラー要因 38、37 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
4、3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2～0	ECMIRE102～ ECMIRE100	ECM 内部リセット発生制御ビット ECMIRE102～ECMIRE100 は、エラー要因 34～32 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可

30.3.14 ECMEMK0 — ECM エラーマスクレジスタ 0

ECM エラーマスクレジスタ 0 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 1CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMEMK031	ECMEMK030	ECMEMK029	ECMEMK028	ECMEMK027	ECMEMK026	ECMEMK025	—	—	ECMEMK022	ECMEMK021	ECMEMK020	ECMEMK019	ECMEMK018	ECMEMK017	ECMEMK016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMEMK015	ECMEMK014	ECMEMK013	ECMEMK012	ECMEMK011	ECMEMK010	ECMEMK009	ECMEMK008	ECMEMK007	ECMEMK006	ECMEMK005	ECMEMK004	—	ECMEMK002	ECMEMK001	ECMEMK000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 30.25 ECMEMK0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMEMK031~ECMEMK025	ECM ERROROUT 出力マスク制御ビット ECMEMK031~ECMEMK025 がエラー要因 31~25 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
24, 23	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1 をライトしてください。
22~4	ECMEMK022~ECMEMK004	ECMERROROUT 出力信号マスク制御ビット ECMEMK022~ECMEMK004 がエラー要因 22~4 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
3	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1 をライトしてください。
2~0	ECMEMK002~ECMEMK000	ECMERROROUT 出力信号マスク制御ビット ECMEMK002~ECMEMK000 がエラー要因 2~0 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする

30.3.15 ECMEMK1 — ECM エラーマスクレジスタ 1

ECM エラーマスクレジスタ 1 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 20h

リセット後の値 0000 0000h

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMEMK129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMEMK115	ECMEMK114	ECMEMK113	ECMEMK112	ECMEMK111	ECMEMK110	ECMEMK109	ECMEMK108	ECMEMK107	ECMEMK106	ECMEMK105	—	—	ECMEMK102	ECMEMK101	ECMEMK100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

表 30.26 ECMEMK1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
29	ECMEMK129	ディレイタイマオーバーフローに対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
28~16	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
15~5	ECMEMK115~ ECMEMK105	ECM ERROROUT 出力マスク制御ビット ECMEMK115~ECMEMK105 は、エラー要因 47~37 に対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
4、3	—	予約ビット 読み出す場合は不定値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、1をライトしてください。
2~0	ECMEMK102~ ECMEMK100	ECM ERROROUT 出力マスク制御ビット ECMEMK102~ECMEMK100 は、エラー要因 34~32 に対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする

30.3.16 ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0

ECM エラーソースステータスクリアトリガレジスタ 0 は、ECM マスタ/チェッカエラーソースステータスレジスタ 0 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。

このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 24_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMCLSSE031	ECMCLSSE030	ECMCLSSE029	ECMCLSSE028	ECMCLSSE027	ECMCLSSE026	ECMCLSSE025	—	—	ECMCLSSE022	ECMCLSSE021	ECMCLSSE020	ECMCLSSE019	ECMCLSSE018	ECMCLSSE017	ECMCLSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	R	R	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMCLSSE015	ECMCLSSE014	ECMCLSSE013	ECMCLSSE012	ECMCLSSE011	ECMCLSSE010	ECMCLSSE009	ECMCLSSE008	ECMCLSSE007	ECMCLSSE006	ECMCLSSE005	ECMCLSSE004	—	ECMCLSSE002	ECMCLSSE001	ECMCLSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	R	W	W	W

表 30.27 ECMESSTC0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMCLSSE031~ ECMCLSSE025	ECM エラー状態クリアビット ECMCLSSE031~ECMCLSSE025 がエラー要因 31~25 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMCLSSE022~ ECMCLSSE004	ECM エラー状態クリアビット ECMCLSSE022~ECMCLSSE004 がエラー要因 22~4 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMCLSSE002~ ECMCLSSE000	ECM エラー状態クリアビット ECMCLSSE002~ECMCLSSE000 がエラー要因 2~0 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする

30.3.17 ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1

ECM エラーソースステータスクリアトリガレジスタ 1 は、ECM マスタ/チェッカエラーソースステータスレジスタ 1 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。

このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 28_H

リセット後の値 00000000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECMCL SSE130	ECMCL SSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	R	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMCL SSE115	ECMCL SSE114	ECMCL SSE113	ECMCL SSE112	ECMCL SSE111	ECMCL SSE110	ECMCL SSE109	ECMCL SSE108	ECMCL SSE107	ECMCL SSE106	ECMCL SSE105	—	—	ECMCL SSE102	ECMCL SSE101	ECMCL SSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RW	W	W	W	W	W	W	W	W	W	W	W	R	R	W	W	W

表 30.28 ECMESSTC1 レジスタの内容

ビット位置	ビット名	機能
31	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
30, 29	ECMCLSSE130、 ECMCLSSE129	ECM エラー状態クリアビット ECMCLSSE130、ECMCLSSE129 は ECMmESET の書き込みステータス、ディレイタイマオーバーフローに対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
28~16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15~5	ECMCLSSE115~ ECMCLSSE105	ECM エラー状態クリアビット ECMCLSSE115~ECMCLSSE105 は、エラー要因 47~37 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
4, 3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMCLSSE102~ ECMCLSSE100	ECM エラー状態クリアビット ECMCLSSE102~ECMCLSSE100 は、エラー要因 34~32 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする

30.3.18 ECMPCMD1 — ECM 保護コマンドレジスタ

ECM 保護コマンドレジスタの保護対象のレジスタは「[30.3.1 レジスタ一覧](#)」を参照してください。保護解除シーケンスの詳細は「[30.4.5 書き込み保護レジスタ](#)」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 2C_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
RW	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMREG1[7:0]							
リセット後の値	不定															
RW	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 30.29 ECMPCMD1 レジスタの内容

ビット位置	ビット名	機能
31~8	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7~0	ECMREG17~ ECMREG10	書き込み保護された ECM レジスタへの書き込みを有効にする保護コマンド 固定値 0000 00A5 _H

30.3.19 ECMP5 — ECM 保護ステータスレジスタ

ECM 保護ステータスレジスタは書き込み保護レジスタが正常に書き込まれたかどうかを示します。詳細は「30.4.5 書き込み保護レジスタ」を参照してください。

アクセス 8ビット単位でリード可能です。

アドレス <ECM_base> + 30_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMP5ERR
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	R	R

表 30.30 ECMP5 レジスタの内容

ビット位置	ビット名	機能
7~1	—	予約ビット 読み出す場合はリセット後の値が読めます。
0	ECMP5ERR	ECM 保護ステータスビット 書き込み保護レジスタへ正常に書き込まれたかどうかを表示します。 0: 書き込み成功 1: 書き込み失敗

30.3.20 ECMPE0 — ECM 擬似エラートリガレジスタ 0

ECM 擬似エラートリガレジスタ 0 は、テスト用の擬似エラーを発生させるときに使用するレジスタです。擬似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 34_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMPE031	ECMPE030	ECMPE029	ECMPE028	ECMPE027	ECMPE026	ECMPE025	—	—	ECMPE022	ECMPE021	ECMPE020	ECMPE019	ECMPE018	ECMPE017	ECMPE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	R	R	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMPE015	ECMPE014	ECMPE013	ECMPE012	ECMPE011	ECMPE010	ECMPE009	ECMPE008	ECMPE007	ECMPE006	ECMPE005	ECMPE004	—	ECMPE002	ECMPE001	ECMPE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	R	W	W	W

表 30.31 ECMPE0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMPE031~ ECMPE025	ECM 擬似エラートリガビット ECMPE031~ECMPE025 がエラー要因 31~25 に対応します。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMPE022~ ECMPE004	ECM 擬似エラートリガビット ECMPE022~ECMPE004 がエラー要因 22~4 に対応します。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMPE002~ ECMPE000	ECM 擬似エラートリガビット ECMPE002~ECMPE000 がエラー要因 2~0 に対応します。 0: 擬似エラーを発生しない 1: 対応するエラーを擬似的に発生する

30.3.21 ECMPE1 — ECM 擬似エラートリガレジスタ 1

ECM 擬似エラートリガレジスタ 1 は、テスト用の擬似エラーを発生させるときに使用するレジスタです。擬似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 38_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMPE 129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMPE 115	ECMPE 114	ECMPE 113	ECMPE 112	ECMPE 111	ECMPE 110	ECMPE 109	ECMPE 108	ECMPE 107	ECMPE 106	ECMPE 105	—	—	ECMPE 102	ECMPE 101	ECMPE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	R	R	W	W	W

表 30.32 ECMPE1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMPE129	ECM 擬似エラートリガビット ディレイタイマオーバフローに対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する
28～16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15～5	ECMPE115～ ECMPE105	ECM 擬似エラートリガビット ECMPE115～ECMPE105 は、エラー要因 47～37 に対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する
4、3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2～0	ECMPE102～ ECMPE100	ECM 擬似エラートリガビット ECMPE102～ECMPE100 は、エラー要因 34～32 に対応します。 0：擬似エラーを発生しない 1：対応するエラーを擬似的に発生する

30.3.22 ECMDTMCTL — ECM ディレイタイマコントロールレジスタ

ECM ディレイタイマコントロールレジスタはディレイタイマを制御するレジスタです。

このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でライト可能です。

アドレス <ECM_base> + 3C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ECMSTP	ECMSTA
リセット後の値	0	0	0	0	0	0	0	0
RW	R	R	R	R	R	R	W	W

表 30.33 ECMDTMCTL レジスタの内容

ビット位置	ビット名	機能
7~2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	ECMSTP	ディレイタイマストップビット このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時にECMSTAビットは0になります。
0	ECMSTA	ディレイタイマスタートビット 割り込み発生時のディレイタイマの動作を設定します。 このビットへ1を書き込むとディレイタイマカウンタが初期化され、タイマ動作を開始します。 このビットへ0を書き込むとディレイタイマカウンタが初期化されて停止します。 0: タイマ停止 1: タイマ動作

30.3.23 ECMDTMR — ECM ディレイタイマレジスタ

ECM ディレイタイマレジスタはディレイタイマカウンタ値を示します。ECM ディレイタイマコントロールレジスタ (ECMDTMCTL) の ECMSTP ビットへ 1 を書き込むか ECMSTA ビットへ 0 を書き込むことで、ディレイタイマカウンタは初期化されます。

アクセス 16 ビット単位でリード可能です。

アドレス <ECM_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

30.3.24 ECMDTMCMP — ECM ディレイタイマコンペアレジスタ

ECM ディレイタイマコンペアレジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバーフロー信号が発生し、ECMmSSE129_n ビットがセットされます。本レジスタへのデータ書き込みはディレイタイマ停止中に行ってください。

このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「[30.4.5 書き込み保護レジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 44_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

30.3.25 ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0

ECM ディレイタイマコンフィグレーションレジスタ 0 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 48_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMTE031	ECMTE030	ECMTE029	ECMTE028	ECMTE027	ECMTE026	ECMTE025	—	—	ECMTE022	ECMTE021	ECMTE020	ECMTE019	ECMTE018	ECMTE017	ECMTE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE015	ECMTE014	ECMTE013	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	—	ECMTE002	ECMTE001	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 30.34 ECMDTMCFG0 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMTE031~ ECMTE025	ECM ディレイタイマスタート制御ビット ECMTE031~ECMTE025 がエラー要因 31~25 によって発生するマスカブル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMTE022~ ECMTE004	ECM ディレイタイマスタート制御ビット ECMTE022~ECMTE004 がエラー要因 22~4 によって発生するマスカブル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMTE002~ ECMTE000	ECM ディレイタイマスタート制御ビット ECMTE002~ECMTE000 がエラー要因 2~0 によって発生するマスカブル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可

30.3.26 ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1

ECM ディレイタイマコンフィグレーションレジスタ 1 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 4CH

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE115	ECMTE114	ECMTE113	ECMTE112	ECMTE111	ECMTE110	ECMTE109	ECMTE108	—	ECMTE106	ECMTE105	—	—	ECMTE102	ECMTE101	ECMTE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 30.35 ECMDTMCFG1 レジスタの内容

ビット位置	ビット名	機能
31~16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15~8	ECMTE115~ ECMTE108	ECM ディレイタイマスタート制御ビット ECMTE115~ECMTE108 は、エラー要因 47~40 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMTE106、 ECMTE105	ECM ディレイタイマスタート制御ビット ECMTE106、ECMTE105 は、エラー要因 38、37 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
4, 3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMTE102~ ECMTE100	ECM ディレイタイマスタート制御ビット ECMTE102~ECMTE100 は、エラー要因 34~32 によって発生するマスカブル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可

30.3.27 ECMDTMCFG2 — ECM ディレイタイマコンフィグレーションレジスタ 2

ECM ディレイタイマコンフィグレーションレジスタ 2 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 50_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMTE 231	ECMTE 230	ECMTE 229	ECMTE 228	ECMTE 227	ECMTE 226	ECMTE 225	—	—	ECMTE 222	ECMTE 221	ECMTE 220	ECMTE 219	ECMTE 218	ECMTE 217	ECMTE 216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE 215	ECMTE 214	ECMTE 213	ECMTE 212	ECMTE 211	ECMTE 210	ECMTE 209	ECMTE 208	ECMTE 207	ECMTE 206	ECMTE 205	ECMTE 204	—	ECMTE 202	ECMTE 201	ECMTE 200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 30.36 ECMDTMCFG2 レジスタの内容

ビット位置	ビット名	機能
31~25	ECMTE231~ ECMTE225	ECM ディレイタイマスタート制御ビット ECMTE231~ECMTE225 がエラー要因 31~25 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
24, 23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22~4	ECMTE222~ ECMTE204	ECM ディレイタイマスタート制御ビット ECMTE222~ECMTE204 がエラー要因 22~4 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMTE203~ ECMTE200	ECM ディレイタイマスタート制御ビット ECMTE202~ECMTE200 がエラー要因 3~0 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可

30.3.28 ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3

ECM ディレイタイマコンフィグレーションレジスタ 3 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は「**30.4.5 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base> + 54_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE315	ECMTE314	ECMTE313	ECMTE312	ECMTE311	ECMTE310	ECMTE309	ECMTE308	—	ECMTE306	ECMTE305	—	—	ECMTE302	ECMTE301	ECMTE300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 30.37 ECMDTMCFG3 レジスタの内容

ビット位置	ビット名	機能
31~16	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
15~8	ECMTE315~ ECMTE308	ECM ディレイタイマスタート制御ビット ECMTE315~ECMTE308 は、エラー要因 47~40 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6, 5	ECMTE306、 ECMTE305	ECM ディレイタイマスタート制御ビット ECMTE306、ECMTE305 は、エラー要因 38、37 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
4, 3	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2~0	ECMTE302~ ECMTE300	ECM ディレイタイマスタート制御ビット ECMTE302~ECMTE300 は、エラー要因 34~32 によって発生する FE レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可

30.4 機能

30.4.1 ERROROUT 出力動作

リセット中およびリセット解除後、ERROROUT_M 端子の状態はエラー出力をしています。「**30.3.3 ECMmECLR (m = M/C) — ECM マスタ/チェッカエラークリアトリガレジスタ**」の ECMmECT ビットに 1 をセットしてエラー出力をクリアしてから使用してください。また、ERROROUT_C 端子は汎用ポートや他機能との兼用ポートですので、ERROROUT_C 機能を選択して使用してください。設定方法は「**第 2 章 端子**」を参照してください。

ERROROUT 出力はノンダイナミックモードとダイナミックモードの 2 つの動作モードを設定できます。また、ERROROUT 出力は、ダイナミックモードのパルス周期にかかわらず、エラー要因発生タイミングで端子状態をエラー出力とします。

表 30.38 ERROROUT 出力動作

エラー状態 ECMmSSE031~ECMmSSE000 ECMmSSE115~ECMmSSE100	動作モード ECMSL0 ビット	ERROROUT 出力の 動作モード	ERROROUT 出力レベル
0 (正常)	0	ノンダイナミック	ハイレベル
	1	ダイナミック	トグル ^{注1} (タイマ入力による ^{注2})
1 (エラー)	0	ノンダイナミック	ロウレベル
	1	ダイナミック	ロウレベル

注 1. PIC1B への ERROROUTZ 信号はトグルしません。

注 2. 詳細は「**第 17 章 OS タイマ (OSTM)**」をご参照ください。

30.4.1.1 ダイナミックモード

ダイナミックモードを有効にする

- OSTM0 を初期化する。
- ECM マスタ/チェッカエラークリアトリガレジスタの ECMmECT (m = M/C) ビットを 1 に設定して ERROROUT 出力を正常出力にします。
- ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
- OSTM0 を起動します。

30.4.1.2 ノンダイナミックモード

ダイナミックモードを無効にする

- ECM マスタ/チェッカエラーセットトリガレジスタの ECMmEST (m = M/C) ビットを 1 に設定して ERROROUT 出力をエラー出力にします。
- OSTM0 を停止します。
- ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

30.4.2 ループバック機能

ERROROUT 端子までの経路を確認するためにループバック機能を搭載します。ERROROUT 端子の出力レベルを ECM マスタ/チェッカエラーソースステータスレジスタ 1 の ECMmSSE131 (m = M/C) ビットで確認できます。

30.4.3 疑似エラー発生

テストまたはデバッグ用にエラーを疑似的に発生する機能を搭載しています。疑似エラーを挿入するときの ECM の動作は実際のエラー発生時と同じです。エラーマスク、割り込み、内部リセット、ディレイタイムに対する設定はすべて ECM 動作に反映されます。

30.4.4 エラー状態

エラー状態は ECM マスタ/チェッカエラーソースステータスレジスタ 0 と ECM マスタ/チェッカエラーソースステータスレジスタ 1 で表示されます。エラー状態は、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラー状態は保持され、リセット解除後に ECM マスタ/チェッカエラーソースステータスレジスタ 0 と ECM マスタ/チェッカエラーソースステータスレジスタ 1 を読み出すことでリセット要因となったエラーを確認できます。

30.4.5 書き込み保護レジスタ

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

30.4.5.1 書き込み保護されたレジスタへの書き込みシーケンス

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

- 手順 1. ECM 保護コマンドレジスタ ECMPCMD1、ECM マスタ/チェッカ保護コマンドレジスタ ECMmPCMD0 に固定値 0000 00A5_H を書き込みます。
- 手順 2. ECM、ECMm の保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値^{注1}を書き込みます。
- 手順 3. 手順 2. と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値^{注1}のビット反転値を書き込みます。
- 手順 4. 手順 2. と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値^{注1}を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

注1. ECMEMK0 と ECMEMK1 レジスタの予約ビットについては、手順 2. と手順 4. では 1、手順 3. では 0 を書き込んでください。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、ECM 保護ステータスレジスタ ECMPMS の ECMPRERR ビットが 1 にセットされます（必須ではありませんが、手順 4.の後、ECM 保護ステータスレジスタ ECMPMS の ECMPRERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます）。

保護解除シーケンスに失敗した場合は、手順 1.から保護解除シーケンスを再実行してください。

また、上記手順 1.から手順 4.までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ^{注2}へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、保護ステータスレジスタの保護ステータスビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注2. ECM では「**30.3.1 レジスタ一覧**」に記載されているレジスタが、全て“同一モジュール内の別のレジスタ”として扱われます。

30.4.6 割り込み処理のタイムアウト機能

割り込み要求発生と同時に ECM に搭載するディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウンタ値と ECM ディレイタイマコンペアレジスタの値が一致した場合に、ERROROUT 出力、または内部リセットを発生する機能を搭載します。デバックのブレーク発生時はタイマカウンタを停止しません。

エラーが発生したとき、ディレイタイマのカウンタは常に 0 から開始します。ECM ディレイタイマコンペアレジスタの設定値で内部リセットまたは、ERROROUT 出力が発生するまでの時間を決定してください。

「**30.3.24 ECMDTMCMP — ECM ディレイタイマコンペアレジスタ**」に時間を設定します。

ディレイタイマ動作中に、ディレイタイマをスタートに設定した新たなエラー要因が発生した場合、現在動作しているディレイタイマのカウンタ値はリセットされず動作を継続します。

第31章 データ CRC (DCRA)

本章では、データ CRC 機能 A (DCRA) 全般について説明します。

最初の節では、ユニット、レジスタベースアドレスなど、RH850/C1M-A に固有の特長について説明します。

それ以降の節では、DCRA の機能、レジスタについて説明します。

31.1 RH850/C1M-A DCRA の特長

31.1.1 ユニット数

本製品は以下のユニット数の DCRA を搭載しています。

表 31.1 ユニット数

製品名	RH850/C1M-A
ユニット数	2
名称	DCRAn (n = 0, 1)

表 31.2 添字

添字	意味
n	本章では、DCRA の各ユニットを「n」 (n = 0, 1) で識別します。たとえば、DCRAn 制御レジスタ (DCRAnCTL) のように記述しています。

31.1.2 レジスタベースアドレス

DCRA のベースアドレスを以下の表に示します。

DCRA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 31.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DCRA0_base>	FFF7 0000 _H
<DCRA1_base>	FF97 1000 _H

31.1.3 クロック供給

DCRA のクロック供給を以下の表に示します。

表 31.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
DCRAn	PCLK	CLK_LSB (低速周辺クロック)

31.1.4 リセット要因

DCRA のリセット要因を以下に示します。DCRA は以下のリセット要因で初期化されます。

表 31.5 リセット要因

ユニット名	リセット要因
DCRAn	全リセット要因でリセット

31.2 概要

31.2.1 機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとはさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 32 ビットイーサネット CRC
 $(X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X^1 + 1)$
- 16 ビット CCITT CRC
 $(X^{16} + X^{12} + X^5 + 1)$
- 任意のデータブロック長の CRC を生成できます。
- CRC データレジスタが初期化されると、CRC 入力レジスタへの書き込みアクセスを行うたびに、選択されている多項式にしたがって新しい CRC が生成され、その結果が CRC データレジスタに格納されます。

31.2.2 ブロック図

以下の図は、データ CRC 機能 A のブロック図を示しています。

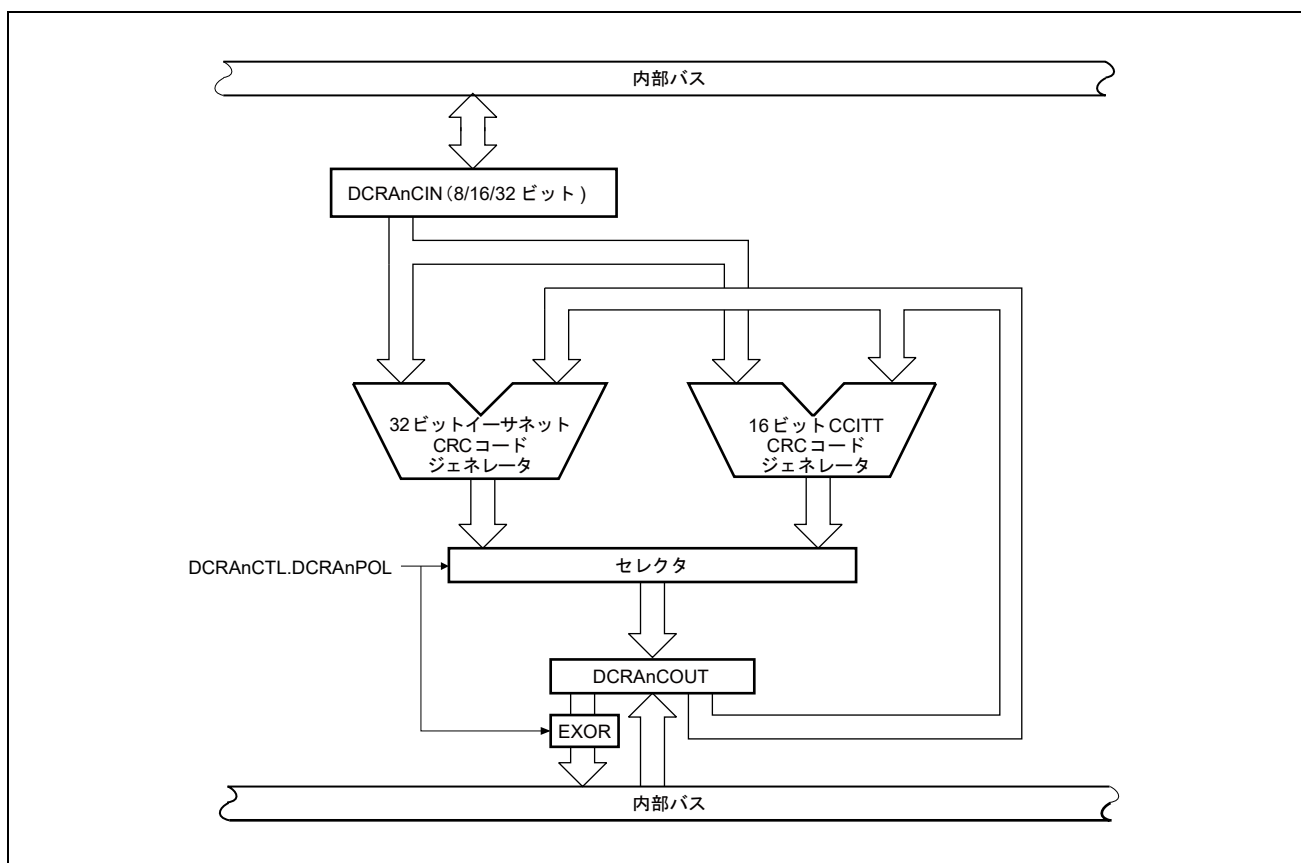
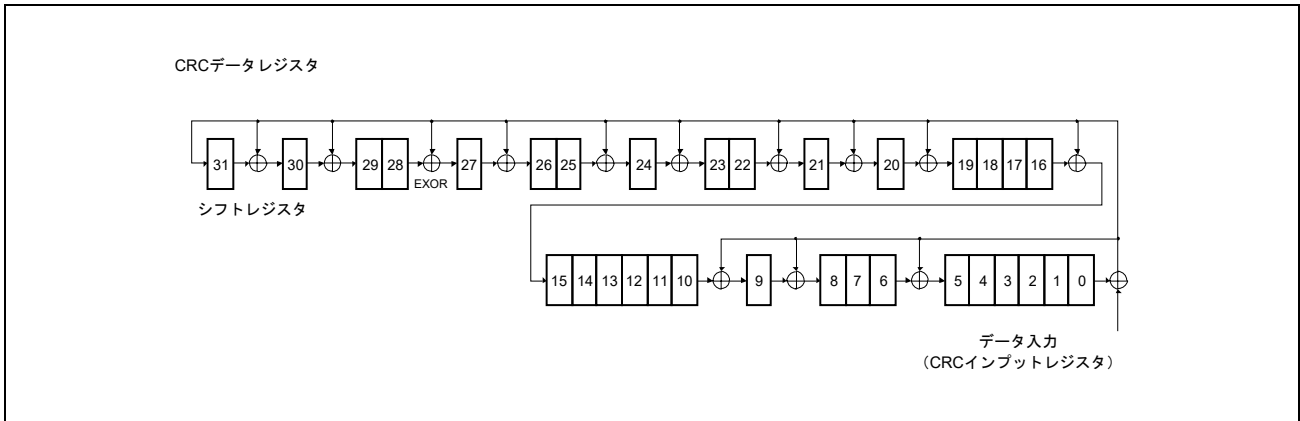


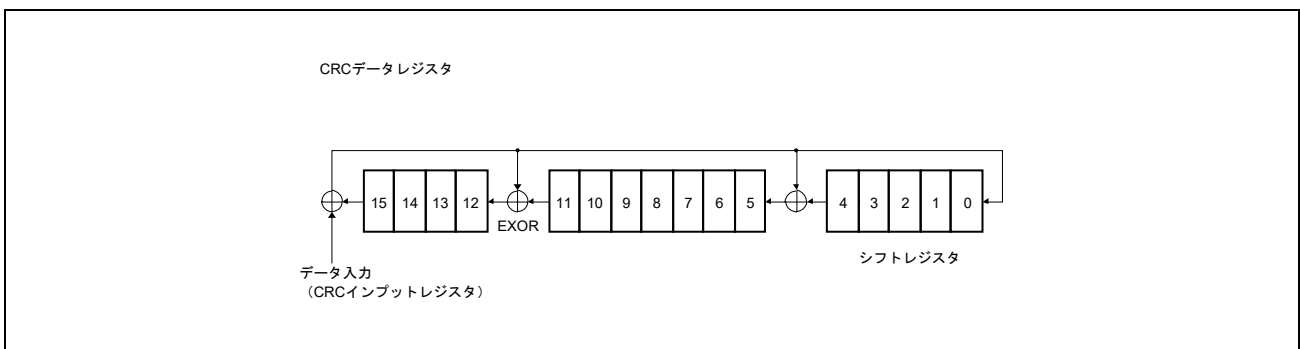
図 31.1 データ CRC 機能 A のブロック図

31.2.3 演算回路

- 32 ビットイーサネット



- 16 ビット CCITT



31.3 レジスタ

31.3.1 レジスタ一覧

DCRA のレジスタ一覧を以下の表に示します。

<DCRAn_base>は「**31.1.2 レジスタベースアドレス**」を参照してください。

表 31.6 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
DCRAn	CRC 入力レジスタ	DCRAnCIN	<DCRAn_base> + 00 _H
DCRAn	CRC データレジスタ	DCRAnCOUT	<DCRAn_base> + 04 _H
DCRAn	CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20 _H

31.3.2 DCRAnCIN — CRC 入力レジスタ

本レジスタには CRC 計算用の入力データが格納されます。CRC 計算に使われる有効ビット幅を DCRAnCTL.DCRAnISZ[1:0]で設定する必要があります。

本レジスタにデータを書き込むと、CRC コードが生成されます。

DCRAnCIN への書き込みが行われると、ただちに CRC の計算が開始されます。データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、DCRAnCOUT レジスタを初期開始値で初期化する必要があります。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <DCRAn_base>

リセット後の値 0000 0000_H

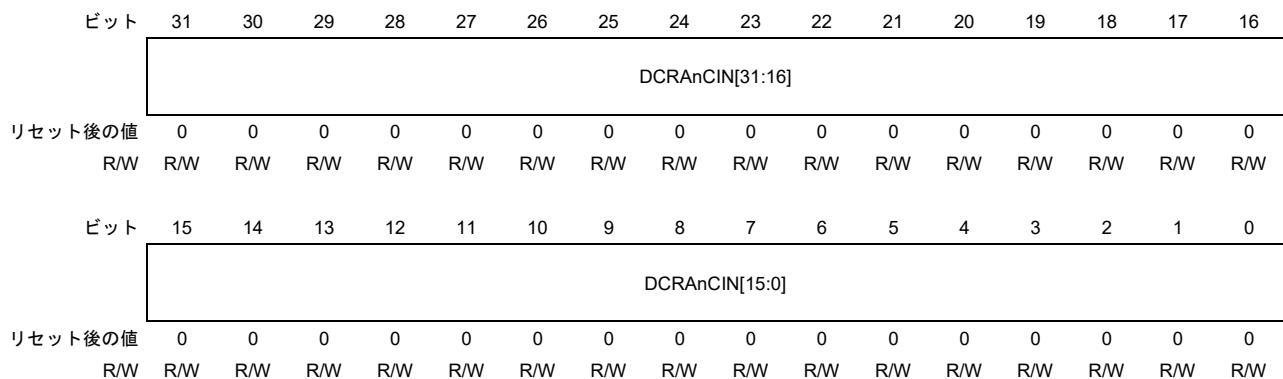


表 31.7 DCRAnCIN レジスタの内容

ビット位置	ビット名	機能
31~0	DCRAnCIN [31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 <ul style="list-style-type: none"> 有効ビット幅 32 ビット : DCRAnCIN[31:0] 有効ビット幅 16 ビット : DCRAnCIN[15:0] 有効ビット幅 8 ビット : DCRAnCIN[7:0]

31.3.3 DCRAncOUT — CRC データレジスタ

本レジスタには 32 ビットイーサネット多項式または 16 ビット CCITT 多項式によって生成された CRC コードの結果が格納されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <DCRAnc_base> + 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAncOUT[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ^{注1}	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAncOUT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ^{注1}	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、0000 0000_Hになります。

表 31.8 DCRAncOUT レジスタの内容

ビット位置	ビット名	機能
31~0	DCRAncOUT [31:0]	<p>CRC コード生成の結果</p> <p>16 ビット CCITT 多項式を有効にした場合は、ビット 15~0 が CRC の結果を示します。ビット 31~16 は不定になります。</p> <p>本レジスタのリード値は、以下の値と EXOR 演算された値となります。</p> <ul style="list-style-type: none"> ● 32 ビットイーサネット多項式の場合：FFFF FFFF_H ● 16 ビット CCITT 多項式の場合：0000_H <p>例えば、32 ビットイーサネット多項式で、DCRAncOUT = 5555 5555_H のとき AAAA AAAA_H がリードされます。</p>

注 意

データブロックの最初のデータを DCRAncCIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

31.3.4 DCRAnCTL — CRC 制御レジスタ

本レジスタは CRC 生成プロセスを制御します。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <DCRAn_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DCRAnISZ[1:0]		DCRAnPOL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 31.9 DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
7~3	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書き込んでください。
2, 1	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00 : 32 ビット (DCRAnCIN[31:0]) 01 : 16 ビット (DCRAnCIN[15:0]) 10 : 8 ビット (DCRAnCIN[7:0]) 11 : 設定禁止
0	DCRAnPOL	CRC 生成方式を指定します。 0 : 32 ビットイーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB (最下位ビット) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0]=10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 0 (LSB) が入力データの先頭ビットになります。 1 : 16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB (最上位ビット) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0]=10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 7 (MSB) が入力データの先頭ビットになります。

注 意

- CRC 生成方式 (DCRAnCTL.DCRAnPOL) を変更した場合は、DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。
- データブロックのビット幅に合わせて CRC 入力ビット幅 (DCRAnCTL.DCRAnISZ[1:0]) を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています (データブロックの構成単位は N バイト、ハーフワードまたは 1 ワードです)。DCRAnCOUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。

31.4 機能

データ CRC 機能 A は任意のデータブロック長の CRC (巡回冗長検査) を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ (DCRAnCIN) への最初の書き込みアクセスを行う前に、DCRAnCOUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

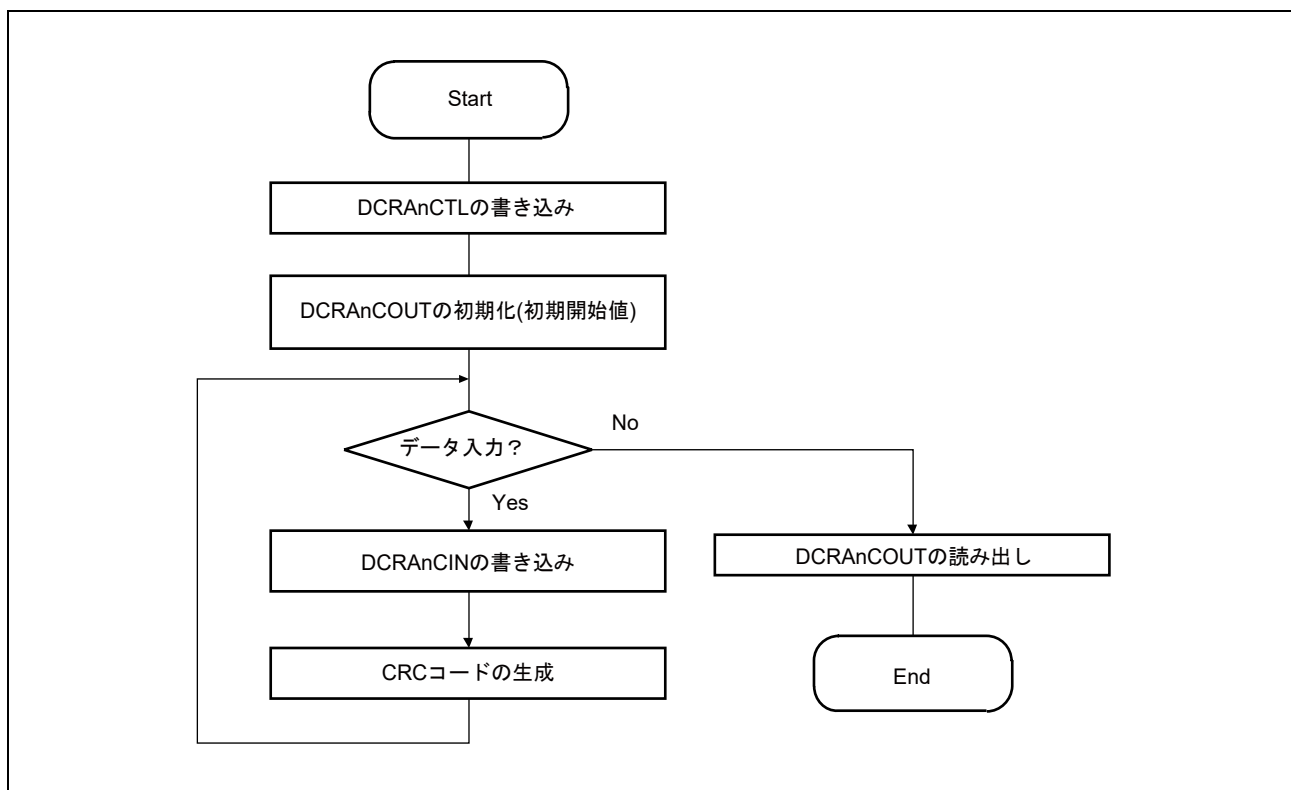


図 31.2 データ CRC 機能 A のフロー図

備 考

1. 最初のデータを DCRAnCIN に書き込む前に、CRC 出力レジスタ DCRAnCOUT を初期化 (初期開始値を設定) する必要があります。
2. DCRAnCTL.DCRAnPOL を変更することによって多項式を変更した場合は、DCRAnCOUT を再初期化 (初期開始値を設定) する必要があります。
3. 各多項式の初期開始値の設定例
以下に設定例を示します。

表 31.10 初期開始値の設定例 (リセット時にリードした場合の例)

	初期開始値	EXOR 値	DCRAnCOUT リード値
32 ビットイーサネット	FFFF FFFF _H	FFFF FFFF _H	0000 0000 _H
16 ビット CCITT	XXXX FFFF _H	XXXX 0000 _H	XXXX FFFF _H

第32章 インテリジェントクリプトグラフィックユニット E (ICUSE)

ICUSE (Intelligent Cryptographic Unit (Slave type) E) に関しては、別冊のドキュメントを用意しています。

詳細に関しては弊社営業窓口までお問い合わせください。

第33章 セキュアウォッチドッグタイマ A (SWDTA)

SWDTA に関しては、別冊のドキュメントを用意しています。

詳細に関しては弊社営業窓口までお問い合わせください。

第34章 オンチップデバッグユニット (OCD)

34.1 デバッグ機能

本製品には、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

注 意

この章で説明するデバッグ機能は、マイクロコントローラではサポートされませんが、使用できるかどうかはデバッグによって決まります。デバッグの詳細はデバッグのユーザーズマニュアルを参照してください。

(1) デバッグインタフェース

デバッグインタフェースとして、“NEXUS JTAG Interface”、“Low Pin Debug Interface (4-pin) (以下、LPD (4-pin) と記載)”をサポートします。また、内蔵 RAM データ・周辺レジスタ等のモニタリング/チューニングなどを目的として、AUD-RAM モニタを搭載し、AUD-RAM モニタインタフェースをサポートします。AUD-RAM モニタについては、「**34.4 AUD-RAM モニタ (AUDR)**」を参照してください。

(2) デバッグモニタ機能

デバッグモード中、デバッグ専用領域でモニタプログラムを実行します。

モニタプログラムを実行することで、次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- ユーザプログラムの中断中に、ユーザリソース (メモリ、レジスタなど) のリード/ライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブレーク機能

CPU ごとに 12 本のブレークポイントを搭載。内、4 本は任意のアクセス (アクセスアドレス、アクセスデータ) を指定可能。

(4) ソフトウェアブレーク機能

任意のアドレスにソフトウェアブレークポイントを指定できます。

(5) 強制ブレーク機能

ユーザプログラムの実行を強制的に中断可能です。

(6) 強制リセット機能

マイクロコントローラ (本製品) を強制的にリセット可能です。

(7) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(8) ダイナミックメモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

(10) マスク機能

リセット要因（外部リセット、ソフトウェアリセット、ECM リセット）をマスクすることが可能です。

(11) イベント検出機能

実行アドレス/アクセスアドレス/アクセスデータ/範囲（大小比較）/シーケンシャル実行によるイベント検出が可能です。

(12) ホットプラグイン機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

(13) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コード (OCD_ID) をマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

(14) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

詳細は、「**34.2 トレースコントロール機能**」を参照してください。

(15) マルチコアデバッグ機能

CPU1、CPU2^{注1}、SubCPU を対象としたマルチコアデバッグとして、以下の機能をサポート

- 同期機能（リセット、実行、ブレーク）
- 同期設定
- 複数コア同時トレース

注1. C1M-A1 では対応していません。

34.2 トレースコントロール機能

本製品は、CPU の分岐 PC トレース、データトレース、および DMA のデータトレースを行うトレース機能を提供します。

(1) トレース RAM

本製品は、トレース RAM として、32KB を搭載します。

トレース RAM 内のトレース情報は、デバッグインタフェース (NEXUS/LPD (4-pin)) にて、アクセス可能です。

(2) ソフトトレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することでできます。

ソフトトレース情報は、デバッグインタフェース (LPD (4-pin)) を介して、出力可能です。

34.3 ペリフェラルブレークの制御

34.3.1 概要

ペリフェラルブレークは、ユーザプログラムが停止した場合（ブレークポイントなどで）に、周辺モジュールを停止させる機能です。

ペリフェラルブレーク時の内蔵モジュールの動作は以下のようになります。

(1) 無条件で停止するモジュール

WDTA0、WDTA1^{注1}、SWDTA0、SWDTA1^{注1}

(2) 機能停止・継続を選択できるモジュール^{注2}

OSTM0、OSTM1、OSTM2、OSTM3^{注1}、TAPA0、TAPA1、TAPA2^{注1}、TAPA3、TAPA4、TAPA5^{注1}、TSG30、TSG31、TSG32^{注1}、CSIH0、CSIH1、CSIH2、TAUJ0、TAUJ1^{注1}、TAUD0、TAUD1、TAUD2^{注1}、TAUD3^{注1}、ENCA0、ENCA1、TPBA0、TPBA1^{注1}

注1. RH850/C1M-A1 では対応していません。

注2. TAPAn ではペリフェラルブレークによる機能停止時に、TAUDn、TSG3n の出力端子を強制的に Hi-Z 状態にします。また、TAPAnFLG レジスタの TAPAnHOF[10:8]ビットの値が 111_Bになります。

該当の出力端子は以下です。

TAPAnUN、TAPAnUP、TAPAnVN、TAPAnVP、TAPAnWN、TAPAnWP
TSG3nO1~6

34.4 AUD-RAM モニタ (AUDR)

34.4.1 概要

本製品は、システムに実装された状態でユーザプログラムのデバッグ支援を行う機能として、AUD (Advanced User Debugger)-RAM モニタ (AUDR) を備えています。AUDR は、LSI が動作中に内蔵メモリや周辺レジスタ等メモリ空間にマッピングされたリソースの読み出しや書き込みを行う機能です。

表 34.1 に AUDR の概要を示します。また、図 34.1 に AUDR のブロック図を示します。

表 34.1 AUDR の概要

項目	概要
転送方式	クロック同期型パラレルインタフェース (4 ビット)
転送クロックの発生	外部ホスト (RAM モニタツール) 側が発生
転送クロック周波数	最大 20 MHz
アクセス領域	システムバス上の物理アドレス領域
アクセスデータサイズ	8/16/32/64 ビット
アクセスアドレス入力ビット幅	8/16/24/32 ビット 入力されないアクセスアドレスの上位ビットは前回のアクセスアドレスと同じ値が使用され ます。
データ転送方法	<ul style="list-style-type: none"> ● 単一転送 入力したアクセスアドレスに対して一つのデータを転送します。 ● 連続転送 入力したアクセスアドレスから最大 16 個のデータを連続的に転送します。 アクセスアドレスはデータサイズに応じて自動的にインクリメントされます。
入出力端子	7 本 ($\overline{\text{AUDRST}}$ 、AUDCK、 $\overline{\text{AUDSYNC}}$ 、AUDATA3~AUDATA0)
機能	<ul style="list-style-type: none"> ● RAM モニタ機能 システムバスよりアクセス可能な物理アドレス領域に対して読み出し/書き込みを行う機能 です。本機能により内蔵メモリや周辺レジスタ等の参照、変更ができます。 ● Configuration 情報保持 (startup communication) 機能 内部リセット解除時の AUDATA3~AUDATA0 端子の値を保持する機能です。RAM モニタ ツールとの通信に使用します。 ● 同期通信 (メッセージボード) 機能 CPU で動作するファームウェアが、RAM モニタツールと通信するために利用するフラグレ ジスタです。

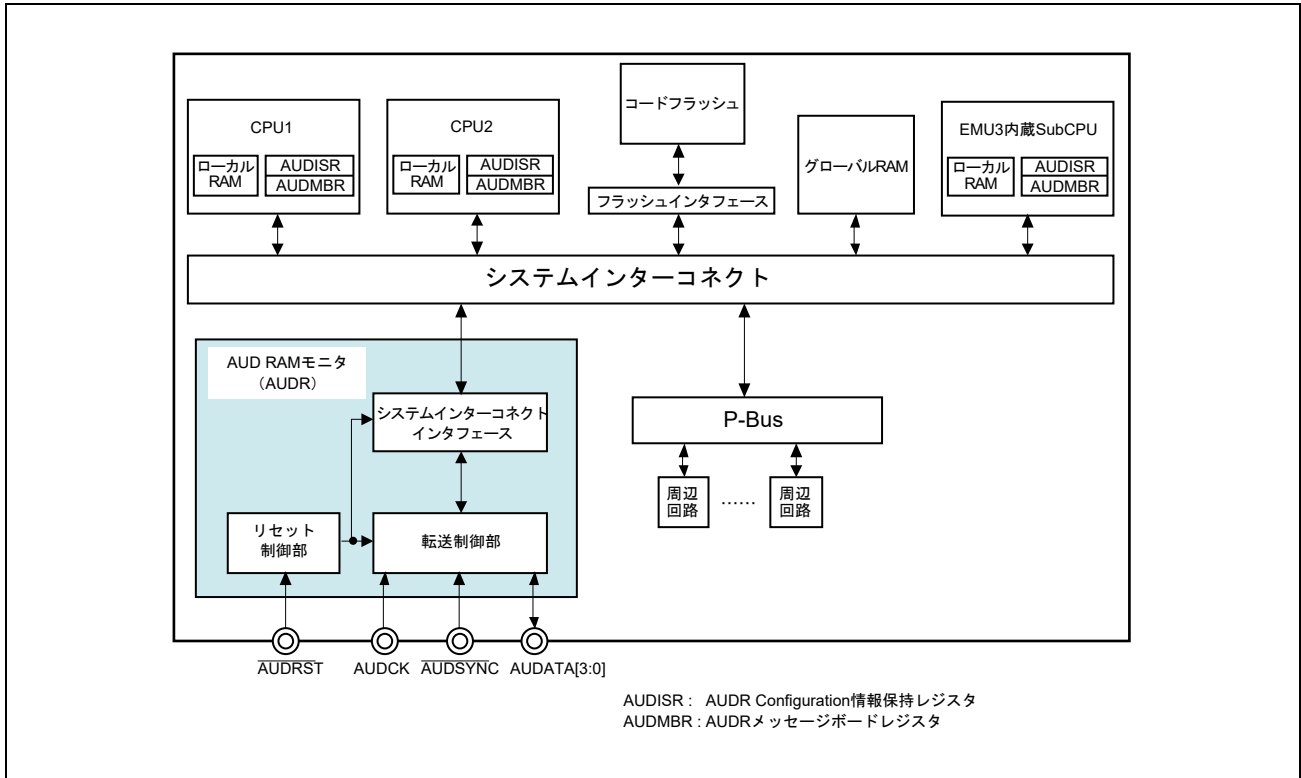


図 34.1 AUDR のブロック図

34.4.2 入出力端子

表 34.2 に AUDR の端子構成を示します。

表 34.2 端子構成

端子名	入出力	機能
AUDRST	入力	本端子は AUDR リセット入力端子です。 本端子に L を入力すると AUDR がリセット状態となります。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。 また、何も接続しないときは内部でプルダウンします。
AUDCK	入力	本端子は外部クロック入力端子です。 入力できるクロックの周波数は 20 MHz 以下です。 また、何も接続しないときは内部でプルアップします。
AUDSYNC	入力	タイミング制御信号入力端子です。 L: コマンド、アドレス、書き込みデータを入力、状態フラグを出力 H: 読み出しデータを出力、アイドル状態 また、何も接続しないときは内部でプルアップします。 注意: 本端子は外部から AUDATA にコマンド等を入力して、レディ状態になるまでネゲート (ハイレベルに) しないでください。詳細は後述のプロトコルを参照してください。
AUDATA3~ AUDATA0	入出力	4 ビットの平行データ入出力端子です。 下記情報が時分割で入出力されます。 <ul style="list-style-type: none"> • コマンド (入力) • アドレス (入力) • ライトデータ (入力) / リードデータ (出力) • 状態フラグ (出力) また、何も接続しないときは内部でプルアップします。

34.4.3 レジスタの説明

表 34.3 に AUDR 関連のレジスタ構成を示します。

表 34.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	R/W	アドレス	アクセスサイズ	詳細解説
AUDR Configuration 情報保持レジスタ	AUDISR	000X _H 注 1	R	FA00 5000 _H (CPU) 注 4 F900 5000 _H (AUDR) 注 4 F800 5000 _H (AUDR) 注 4 F700 5000 _H (AUDR) 注 4	16 注 5	34.4.3.1
AUDR メッセージボードレジスタ	AUDMBR	0000 _H	R/W 注 2	FA00 5004 _H (CPU) 注 4 F900 5004 _H (AUDR) 注 4 F800 5004 _H (AUDR) 注 4 F700 5004 _H (AUDR) 注 4	16 注 5	34.4.3.2
	AUDMBRC		R/W 注 2, 注 3	FA00 5008 _H (CPU) 注 4 F900 5008 _H (AUDR) 注 4 F800 5008 _H (AUDR) 注 4 F700 5008 _H (AUDR) 注 4		

注 1. ビット 3~0 に内部リセット解除時の AUDATA3~AUDATA0 端子の値を保持します。

注 2. 値が 0 のビットへの 1 書き込みのみ可能です。値が 1 のビットへの 0 書き込みはできません。

注 3. 読み出し後すべてのビットが 0 にクリアされます。

注 4. AUDISR と AUDMBR/AUDMBRC は CPU からアクセスするときのアドレスと AUDR からアクセスするときのアドレスが異なります。CPU からアクセスするときのアドレスは FA00 500X_H を使用してください。AUDR から CPU1 のレジスタにアクセスするときのアドレスは F9000 500X_H を使用してください。AUDR から CPU2 のレジスタにアクセスするときのアドレスは F800 500X_H を使用してください。AUDR から EMU3 内蔵 SubCPU のレジスタにアクセスするときのアドレスは F700 500X_H を使用してください。上記レジスタのアドレスは「予約エリア」領域ですが、AUDR ツールと通信用に本アドレスはアクセス可能です。

注 5. 16 ビット (ハーフワード) 以外のサイズでアクセスした場合の動作は保証しません。

34.4.3.1 AUDISR — AUDR Configuration 情報保持レジスタ

AUDISR は、読み出し専用の 16 ビットのレジスタです。CPU および AUDR による読み出しが可能です。

CPU から AUDISR をアクセスするときのアドレスは、FA00 5000_H を使用してください。

AUDR から CPU1 の AUDISR をアクセスするときのアドレスは、F900 5000_H を使用してください。

AUDR から CPU2 の AUDISR をアクセスするときのアドレスは、F800 5000_H を使用してください。

AUDR から EMU3 内蔵 SubCPU の AUDISR をアクセスするときのアドレスは、F700 5000_H を使用してください。

AUDISR は、AUDR リセットによって初期化されません。AUDR リセット中も CPU から AUDISR の読み出しは可能です。

AUDISR の想定使用用途は以下の通りです。

- Configuration 情報保持機能

内部リセット解除時の AUDATA3～AUDATA0 端子の値を保持します。エミュレータの構成を AUDATA3～AUDATA0 端子に設定することにより、CPU でエミュレータの接続構成を判定することが出来ます。

AUD RAM モニタ関連端子に何も接続されていない状態では、AUDATA3～AUDATA0 端子はプルアップされており、000F_H が読み出されます。AUD RAM モニタツールが接続された状態では、AUDATA3～AUDATA0 端子は 000F_H 以外の値に設定された後、CPU から AUDISR を読み出すことによってツールが接続されたことを判定できます。

また、AUDATA3～AUDATA0 端子の値によって、どのツールベンダのツールが接続されたのかを判別することが可能です。

アクセスサイズ、アドレス、リセット後の値については、「表 34.3 レジスタ構成」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	DATA			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	AUDATA3～AUDATA0 端子の値			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 34.4 AUDISR レジスタの内容

ビット位置	ビット名	機能
15～4	—	予約ビット 読み出すと常に“0”が読み出されます。書き込む値も常に“0”にしてください。
3～0	DATA	内部リセット解除時の AUDATA3～AUDATA0 端子の値を保持します。

34.4.3.2 AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ

AUDMBR/AUDMBRC は、読み出し／書き込み可能な 16 ビットのレジスタです。CPU および AUDR ツールによる読み出し／書き込みが可能です。

CPU から AUDMBR/AUDMBRC をアクセスするときのアドレスは、FA005004_H、FA005008_Hを使用してください。AUDR から CPU1 の AUDMBR/AUDMBRC をアクセスするときのアドレスは、F9005004_H、F9005008_Hを使用してください。AUDR から CPU2 の AUDMBR/AUDMBRC をアクセスするときのアドレスは、F8005004_H、F8005008_Hを使用してください。AUDR から EMU3 内蔵 SubCPU の AUDMBR/AUDMBRC をアクセスするときのアドレスは、F7005004_H、F7005008_Hを使用してください。

CPU が FA005008_H 番地から AUDMBRC を読み出すと、読み出し後に AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。CPU が FA005004_H 番地から AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。

AUDR が F9005008_H 番地の CPU1 の AUDMBRC を読み出すと、読み出し後に CPU1 の AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。AUDR ツールが F9005004_H 番地の CPU1 の AUDMBR を読み出した場合は、CPU1 の AUDMBR/AUDMBRC のビットはクリアされません。CPU2 および EMU3 内蔵 SubCPU の AUDMBR/AUDMBRC についても同様です。

CPU および AUDR はそれぞれ上記のアドレスから AUDMBR/AUDMBRC への書き込みが可能です。ただし、値が 1 のビットへの 0 の書き込みは無視されます (1 セットのみ可能)。

表 34.6 に AUDMBR/AUDMBRC の推奨アクセス方法を示します。

AUDMBR/AUDMBRC は、AUDR リセットによって初期化されません。AUDR リセット中も CPU から AUDMBR/AUDMBRC の読み出し／書き込みは可能です。

AUDMBR/AUDMBRC の想定使用用途は以下の通りです。

- 同期通信 (メッセージボード) 機能
CPU で動作するファームウェア (プログラム) が、エミュレータと通信するために利用するフラグレジスタとして、AUDMBR/AUDMBRC を使用し、RAM モニタ機能で読み出すことにより、ファームウェア (プログラム) の動作状況をエミュレータが知ることができます。
アクセスサイズ、アドレス、リセット後の値については、「表 34.3 レジスタ構成」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AUDMBR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.5 AUDMBR/AUDMBRC レジスタの内容

ビット位置	ビット名	機能
15~0	AUDMBR	AUDR、CPU 間通信フラグ

表 34.6 AUDMBR/AUDMBRC の推奨アクセス方法

アクセス元	アドレス	アクセス方向	アクセス可否	備考
CPU	FA00 5004 _H (AUDMBR)	ライト	“1”のみ書き込み可能 “0”の書き込みは無視	—
		リード	リード可	読み出し後のクリア動作なし
AUDR	AUDMBR (CPU1) : F900 5008 _H AUDMBR (CPU2) : F800 5008 _H AUDMBR (EMU3 内蔵 SubCPU) : F700 5008 _H (AUDMBRC)	ライト	“1”のみ書き込み可能 “0”の書き込みは無視	—
		リード	リード可	読み出し後に全ビットが“0” にクリアされる

34.4.4 RAM モニタ機能

34.4.4.1 通信プロトコル

AUDATA 端子に入力するコマンド、カウント値、アドレス、データは、**図 34.2** に示すフォーマットで入力してください。詳細については「**34.4.4.2 動作説明**」を参照してください。

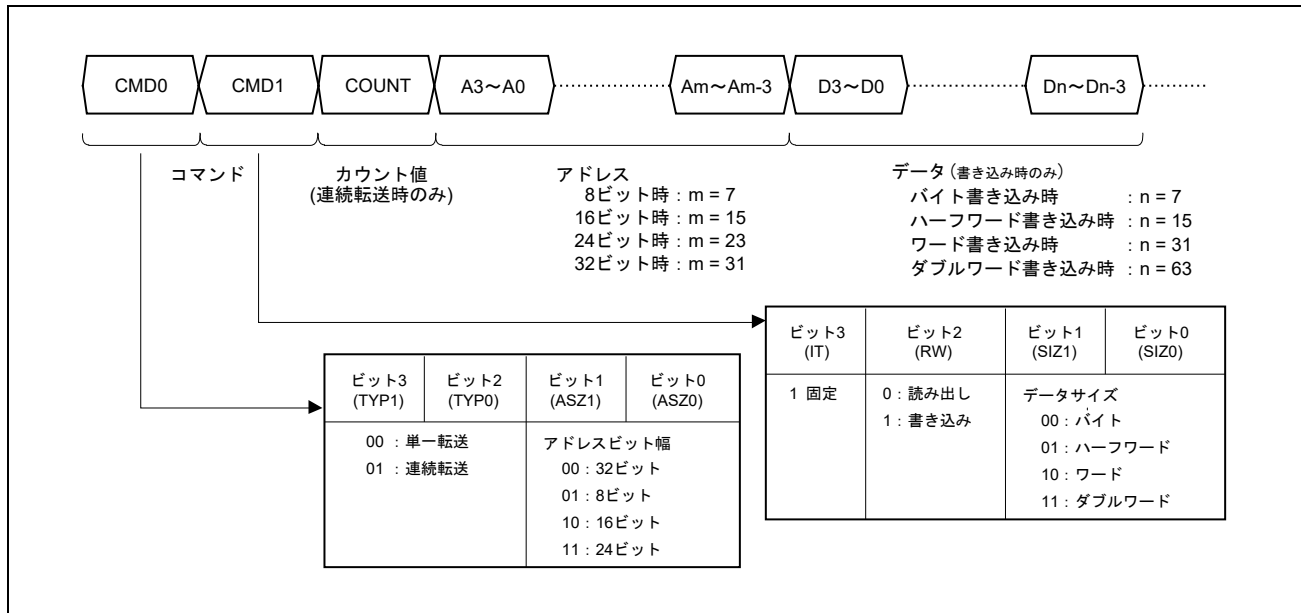


図 34.2 AUDATA 端子入力フォーマット

34.4.4.2 動作説明

(1) 単一転送

単一転送は、入力したアクセスアドレスに対して一つのデータを転送する転送方法です。**図 34.3** に単一転送時のリード動作の例、**図 34.4** に単一転送時のライト動作の例を示します。

AUDSYNC 端子がアサートされ、**図 34.2** に示すフォーマットで AUDATA 端子にコマンド、アドレス、データ（書き込み時のみ）が入力されると、AUDR は指定されたアドレスの読み出し／書き込み動作を開始します。内部実行中 AUDR は Not Ready フラグ（“0000”）を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ（“0001”）を AUDATA 端子に出力します（**図 34.3**、**図 34.4**）。

読み出し時は Ready フラグの出力後、AUDSYNC 端子がネゲートされると AUDATA 端子から読み出しデータを出力します（**図 34.3**）。

リードデータ出力後、次のコマンドを入力するまでには、端子の入出力状態を切り替えるために、最低 1 AUDCK サイクル間隔を空ける必要があります。

また、ライト完了後、AUDSYNC 端子をネゲートした後に、次のコマンドを入力する場合も、端子の入出力状態を切り替えるために、最低 1 AUDCK サイクル間隔を空ける必要があります。つまり、AUDSYNC 端子のネゲート期間は、2AUDCK サイクルです。

CMD0、CMD1 に**図 34.2** に示すコマンド以外が入力された場合、AUDR はコマンドエラーとして処理を無効にし、Ready フラグ内の CFLG ビットを“1”にセットします。また、内部実行でバスエラーとなった場

合、処理を無効にし Ready フラグ内の BFLG ビットを“1”にセットします (図 34.5)。エラー検出時は、リードデータの出力は行われません。

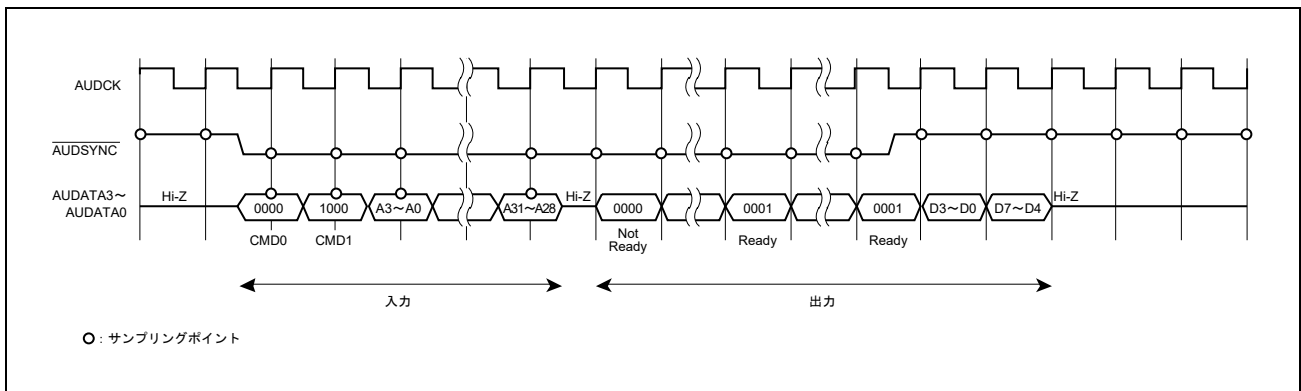


図 34.3 単一転送リード動作例 (アドレス 32 ビット、バイトリード)

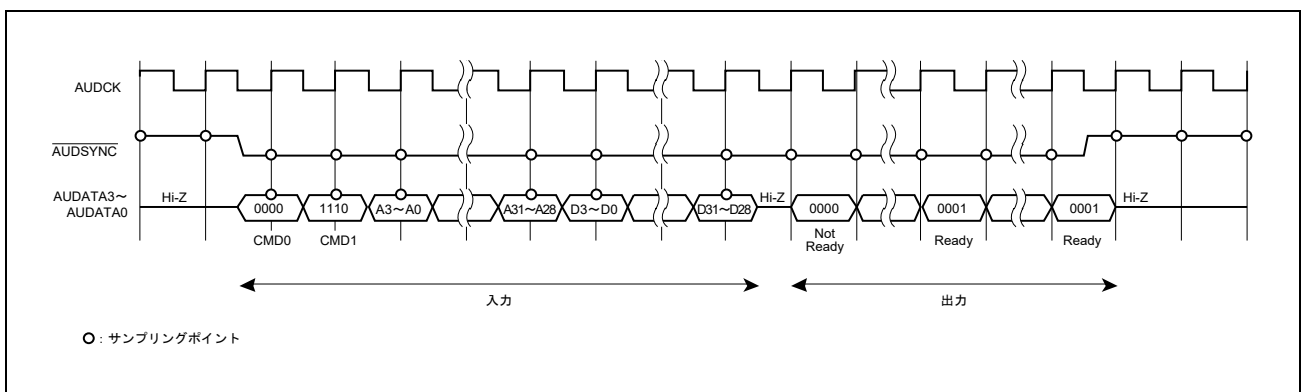


図 34.4 単一転送ライト動作例 (アドレス 32 ビット、ワードライト)

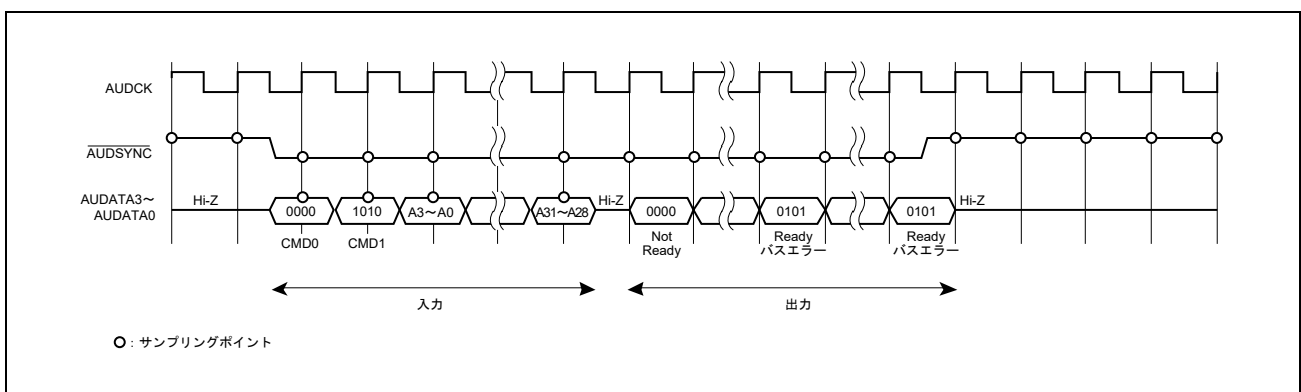


図 34.5 単一転送エラー発生例 (アドレス 32 ビット、ワードリード)

(2) 連続転送

連続転送は入力したアドレスから最大 16 個のデータを連続的に転送する転送方法です。アクセスアドレスは 1 回のデータ転送が完了するたびに、データサイズに応じて自動的にインクリメントされます。図 34.6 に連続転送時のリード動作の例、図 34.7 に連続転送時のライト動作の例を示します。

初回のデータ転送は、図 34.2 に示す COUNT (カウント値) を入力する必要がある点を除いて、単一転送と同一です。COUNT には転送するデータの個数-1 を入力します。

2 回目以降のデータ転送は CMD0、CMD1、COUNT、アドレスの入力は省略されます。リード動作、ライト動作それぞれの 2 回目以降のデータ転送は以下のように行われます。

リード動作の場合、前回のデータ転送完了後、 $\overline{\text{AUDSYNC}}$ 端子がアサートされると、内部実行中 AUDR は Not Ready フラグ (“0000”) を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ (“0001”) を AUDATA 端子に出力します。その後、 $\overline{\text{AUDSYNC}}$ 端子がネゲートされると AUDATA 端子から読み出しデータを出力します。以降、COUNT で指定された個数のデータを読み出すまでこの動作を繰り返します (図 34.6)。

ライト動作の場合、前回のデータ転送完了後、 $\overline{\text{AUDSYNC}}$ 端子がアサートされると AUDR は AUDATA 端子から書き込みデータを入力します。書き込みデータの入力後、AUDR は内部実行を開始します。内部実行中 AUDR は Not Ready フラグ (“0000”) を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ (“0001”) を AUDATA 端子に出力します。以降、COUNT で指定された個数のデータを書き込むまでこの動作を繰り返します (図 34.7)。次の書き込みデータを入力するため $\overline{\text{AUDSYNC}}$ を再アサートしますが、 $\overline{\text{AUDSYNC}}$ のネゲート期間は最小 2AUDCK サイクル必要です。

また、内部実行でバスエラーとなった場合、以降のデータ転送を中断し、Ready フラグ内の BFLG ビットを “1” にセットします (図 34.8)。

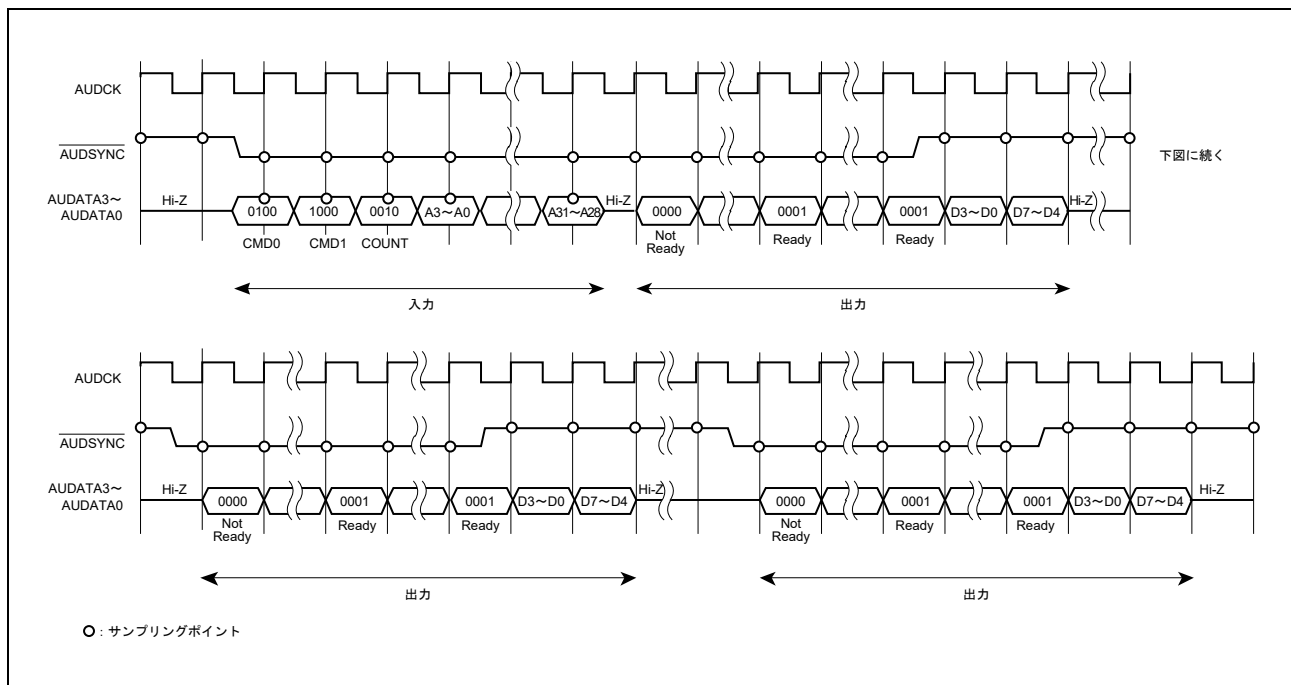


図 34.6 連続転送リード動作例 (アドレス 32 ビット、バイトリード × 3 データ)

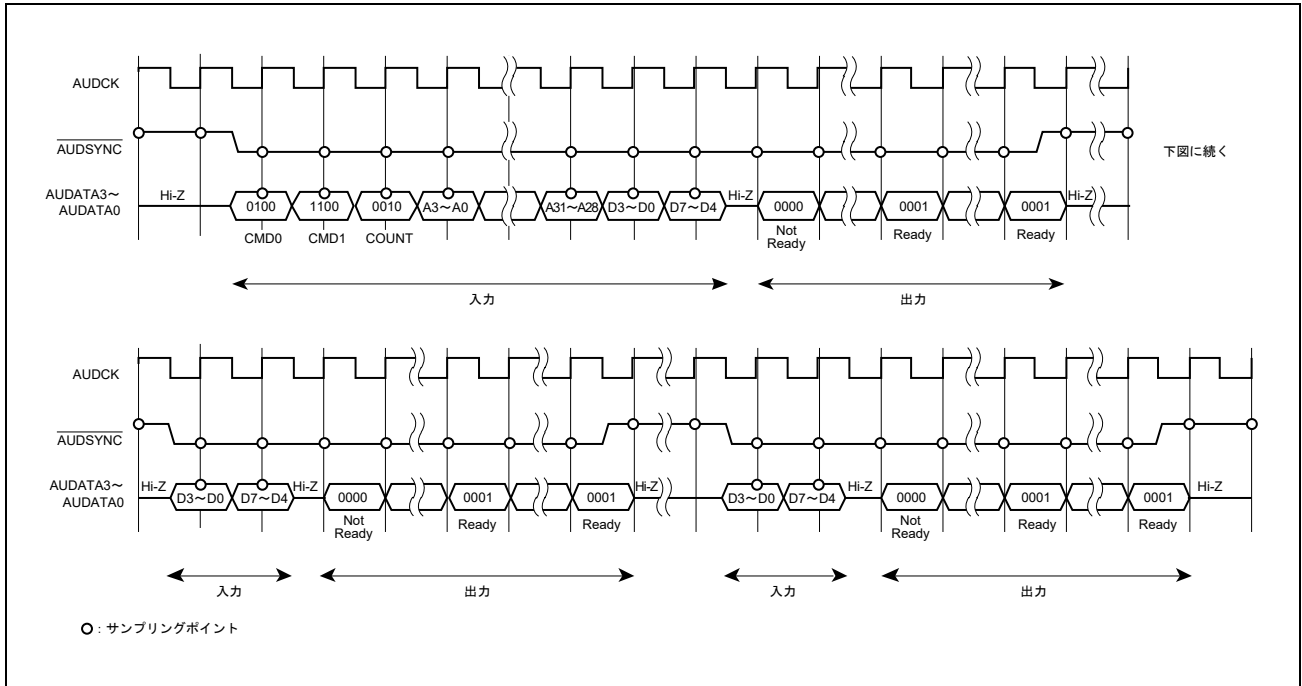


図 34.7 連続転送ライト動作例 (アドレス 32 ビット、バイトライト × 3 データ)

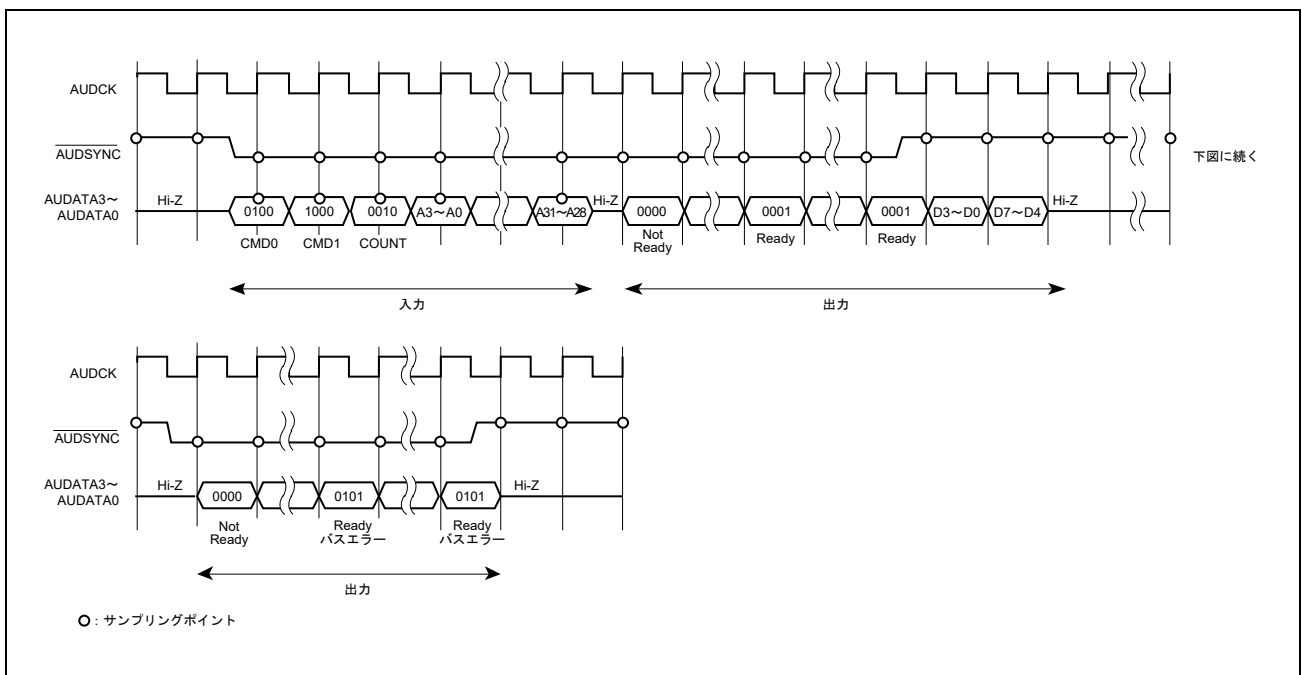


図 34.8 連続転送エラー発生例 (アドレス 32 ビット、バイトリード × 3 データ)

(3) コマンドエラー条件

表 34.7 コマンド (CMD0) エラー条件

ビット 3 (TYP1)	ビット 2 (TYP0)	ビット 1 (ASZ1)	ビット 0 (ASZ0)	内容
0	0	0	0	単一転送 アドレスビット幅 32 ビット
0	0	0	1	単一転送 アドレスビット幅 8 ビット
0	0	1	0	単一転送 アドレスビット幅 16 ビット
0	0	1	1	単一転送 アドレスビット幅 24 ビット
0	1	0	0	連続転送 アドレスビット幅 32 ビット
0	1	0	1	連続転送 アドレスビット幅 8 ビット
0	1	1	0	連続転送 アドレスビット幅 16 ビット
0	1	1	1	連続転送 アドレスビット幅 24 ビット
1	x	x	x	コマンドエラー

表 34.8 コマンド (CMD1) エラー条件

ビット 3 (IT)	ビット 2 (RW)	ビット 1 (SIZ1)	ビット 0 (SIZ0)	内容
0	x	x	x	コマンドエラー
1	0	0	0	リード バイト
1	0	0	1	リード ハーフワード
1	0	1	0	リード ワード
1	0	1	1	リード ダブルワード
1	1	0	0	ライト バイト
1	1	0	1	ライト ハーフワード
1	1	1	0	ライト ワード
1	1	1	1	ライト ダブルワード

(4) バスエラー条件

- $4n+1$ 、 $4n+3$ 番地にハーフワードアクセス
- $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にワードアクセス
- $8n+1$ 、 $8n+2$ 、 $8n+3$ 、 $8n+4$ 、 $8n+5$ 、 $8n+6$ 、 $8n+7$ 番地にダブルワードアクセス
- システムバスからエラーレスポンスを受信

(5) AUDATA 端子入力フォーマット

表 34.9 入力フォーマットのビット配置

入力順	フォーマット名	ビット配置				○：必要、—：不要			
		AUDATA3	AUDATA2	AUDATA1	AUDATA0				
先 ↓ 後	CMD0	TYP1	TYP0	ASZ1	ASZ0	○			
	CMD1	IT	RW	SIZ1	SIZ0	○			
	COUNT	C3	C2	C1	C0	—：単一転送時、○：連続転送時			
	アドレス					8ビット	16ビット	24ビット	32ビット
		A3	A2	A1	A0	○	○	○	○
		A7	A6	A5	A4	○	○	○	○
		A11	A10	A9	A8	—	○	○	○
		A15	A14	A13	A12	—	○	○	○
		A19	A18	A17	A16	—	—	○	○
		A23	A22	A21	A20	—	—	○	○
		A27	A26	A25	A24	—	—	—	○
	A31	A30	A29	A28	—	—	—	○	
	データ (ライト時のみ)					バイト ライト時	ハーフ ワード ライト時	ワード ライト時	ダブル ワード ライト時
		D3	D2	D1	D0	○	○	○	○
		D7	D6	D5	D4	○	○	○	○
		D11	D10	D9	D8	—	○	○	○
		D15	D14	D13	D12	—	○	○	○
		D19	D18	D17	D16	—	—	○	○
		D23	D22	D21	D20	—	—	○	○
		D27	D26	D25	D24	—	—	○	○
D31		D30	D29	D28	—	—	○	○	
D35		D34	D33	D32	—	—	—	○	
D39		D38	D37	D36	—	—	—	○	
D43		D42	D41	D40	—	—	—	○	
D47	D46	D45	D44	—	—	—	○		
D51	D50	D49	D48	—	—	—	○		
D55	D54	D53	D52	—	—	—	○		
D59	D58	D57	D56	—	—	—	○		
D63	D62	D61	D60	—	—	—	○		

表 34.10 CMD0 フォーマット

ビット名	機能	内容
TYP[1:0]	転送タイプ	00 : 単一転送 01 : 連続転送
ASZ[1:0]	アドレスビット幅を指定	AUDATA 端子から入力するアドレスのビット幅を指定します。 8、16、24 ビットを指定した場合、AUDATA 端子から入力されないアドレスの上位ビットは、前回のアクセスアドレスと同じ値が使用されます。 リセット解除後や、コマンドエラー／バスエラー発生後の最初のアクセスは、32 ビットのアドレスを入力してください。 00 : 32 ビット 01 : 8 ビット 10 : 16 ビット 11 : 24 ビット

表 34.11 CMD1 フォーマット

ビット名	機能	内容
IT	アクセス空間を指定	“1” に設定してください。
RW	リード／ライトを指定	0 : リード 1 : ライト
SIZ[1:0]	データサイズを指定	アクセスするデータのサイズを指定します。 00 : バイト (8 ビット) 01 : ハーフワード (16 ビット) 10 : ワード (32 ビット) 11 : ダブルワード (64 ビット)

表 34.12 COUNT フォーマット

ビット名	機能	内容
C3~C0	転送データ数を指定	連続転送時の転送データ数を指定します。 0000 : 1 データ 0001 : 2 データ 0010 : 3 データ 0011 : 4 データ 0100 : 5 データ 0101 : 6 データ 0110 : 7 データ 0111 : 8 データ 1000 : 9 データ 1001 : 10 データ 1010 : 11 データ 1011 : 12 データ 1100 : 13 データ 1101 : 14 データ 1110 : 15 データ 1111 : 16 データ

表 34.13 アドレスフォーマット

ビット名	機能	内容
A31~A0	アドレスを指定	アクセス先のアドレスを指定します。 CMD0 の ASZ[1:0] ビットの指定により必要なビット数が増減します (詳細は表 34.9 を参照してください)。

表 34.14 ライトデータフォーマット

ビット名	機能	内容
D63~D0	ライトデータを指定	ライトデータを指定します。 CMD1 の SIZ[1:0]ビットの指定により必要なビット数が増減します (詳細は表 34.9 を参照してください)。

(6) AUDATA 端子出力フォーマット

表 34.15 Ready フラグフォーマット

ビット配置	ビット名	機能	内容
AUDATA3	0	—	—
AUDATA2	BFLG	バスエラーの発生を示します。	0 : 正常 1 : バスエラー発生
AUDATA1	CFLG	コマンドエラーの発生を示します。	0 : 正常 1 : コマンドエラー発生
AUDATA0	RFLG	AUDR の動作完了を示します。	0 : Not Ready 1 : Ready

表 34.16 リードデータのビット配置

出力順	ビット配置				○ : 必要、— : 不要			
	AUDATA3	AUDATA2	AUDATA1	AUDATA0	バイト リード時	ハーフワード リード時	ワード リード時	ダブルワード リード時
先 ↓ 後	D3	D2	D1	D0	○	○	○	○
	D7	D6	D5	D4	○	○	○	○
	D11	D10	D9	D8	—	○	○	○
	D15	D14	D13	D12	—	○	○	○
	D19	D18	D17	D16	—	—	○	○
	D23	D22	D21	D20	—	—	○	○
	D27	D26	D25	D24	—	—	○	○
	D31	D30	D29	D28	—	—	○	○
	D35	D34	D33	D32	—	—	—	○
	D39	D38	D37	D36	—	—	—	○
	D43	D42	D41	D40	—	—	—	○
	D47	D46	D45	D44	—	—	—	○
	D51	D50	D49	D48	—	—	—	○
	D55	D54	D53	D52	—	—	—	○
	D59	D58	D57	D56	—	—	—	○
	D63	D62	D61	D60	—	—	—	○

表 34.17 リードデータフォーマット

ビット名	機能	内容
D63~D0	リードデータ出力	CMD1 の SIZ[1:0]ビットの指定により出力されるビット数が増減します (詳細は表 34.16 を参照してください)。

34.4.4.3 AUDR 機能に関する使用上の注意事項

- AUDSYNC 端子は AUDATA 端子にコマンドが入力されて、Ready 返却後の 1AUDCK 期間までネゲートしないでください。
- 未初期化のメモリへ AUDR でアクセスした場合、ECC エラーの検出によりバスエラーとなる場合があります。

34.4.4.4 RAM モニタ機能の有効/無効設定

AUDR はオプションバイト (AUDREN) によって有効/無効の指定が可能です。

AUDREN : AUDR のイネーブルビット

オプションバイトの設定方法に関しては「**第 35 章 フラッシュメモリ**」を参照してください。

備 考

シリアルプログラミングモード時は、本設定に関係なく AUDR は無効となります。

34.5 オンチップデバッグ使用上の注意

(1) デバッグに使用したデバイスの処理

デバッグに使用したデバイスを量産製品に搭載しないで下さい。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書換え回数を保証できません。

(2) ホットプラグアウト機能

本製品は、デバッグモード中にデバッグツールの電源 OFF (コネクタ抜去含む) に対応する、ホットプラグアウト機能をサポートしていません。デバッグモード中に NEXUS ツールの電源 OFF (コネクタ抜去含む) を行わないでください。

(3) オンチップデバッグ終了時の処理

オンチップデバッグを終了する際は、DCUTRST 端子と外部リセット端子をロウレベルにしてください。

(4) デバッグ使用時の注意

デバッグを使用する際、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンに書き込まれているプログラムがリセットベクタから動作します。このため、お客様の意図せず動作することがあるため、注意が必要です。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。

第35章 フラッシュメモリ

本章では、RH850/C1M-A に搭載するフラッシュメモリの特長、メモリマップ、フラッシュメモリプログラミングなどについて説明します。

35.1 特長

- Code Flash メモリ容量：
 - ユーザ領域 C1M-A2 : 4 M バイト (2BANK 構成)
C1M-A1 : 2 M バイト (1BANK 構成)
 - ユーザブート領域 32 K バイト
- Data Flash メモリ容量：
 - データ領域 64 K バイト
- 書き換え方式
 - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介した書き換え (シリアルプログラミング)
 - ユーザプログラムによるフラッシュメモリの書き換え (セルフプログラミング)
- フラッシュメモリの不正改ざん/不正読み出しを防止するセキュリティ機能をサポート
- フラッシュメモリの誤書き換えを防止するプロテクション機能をサポート
- フラッシュメモリの誤り検出/訂正機能をサポート
- BGO (Back Ground Operation) 機能をサポート
 - Data Flash メモリ書き換え中の Code Flash メモリ読み出しが可能
- 本製品の初期設定を、フラッシュメモリの拡張領域 (オプションバイト) に設定可能

35.2 メモリ構成

図 35.1 に C1M-A2、図 35.2 に C1M-A1 の Code Flash メモリマッピングを示します。本製品の Code Flash メモリのユーザ領域は 8 KB または 32 KB のブロックに分割されており、各ブロック単位で消去可能です。ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

セルフプログラミングでは書き換えられない保護領域として、32 KB のユーザブート領域を 1 ブロック内蔵しています。ユーザブート領域は、ユーザ任意のインタフェースを使用した Code Flash メモリ書き換え用ブートプログラムなど、ユーザプログラム動作時の書き換えを禁止したいブートプログラム等の格納領域として利用可能です。

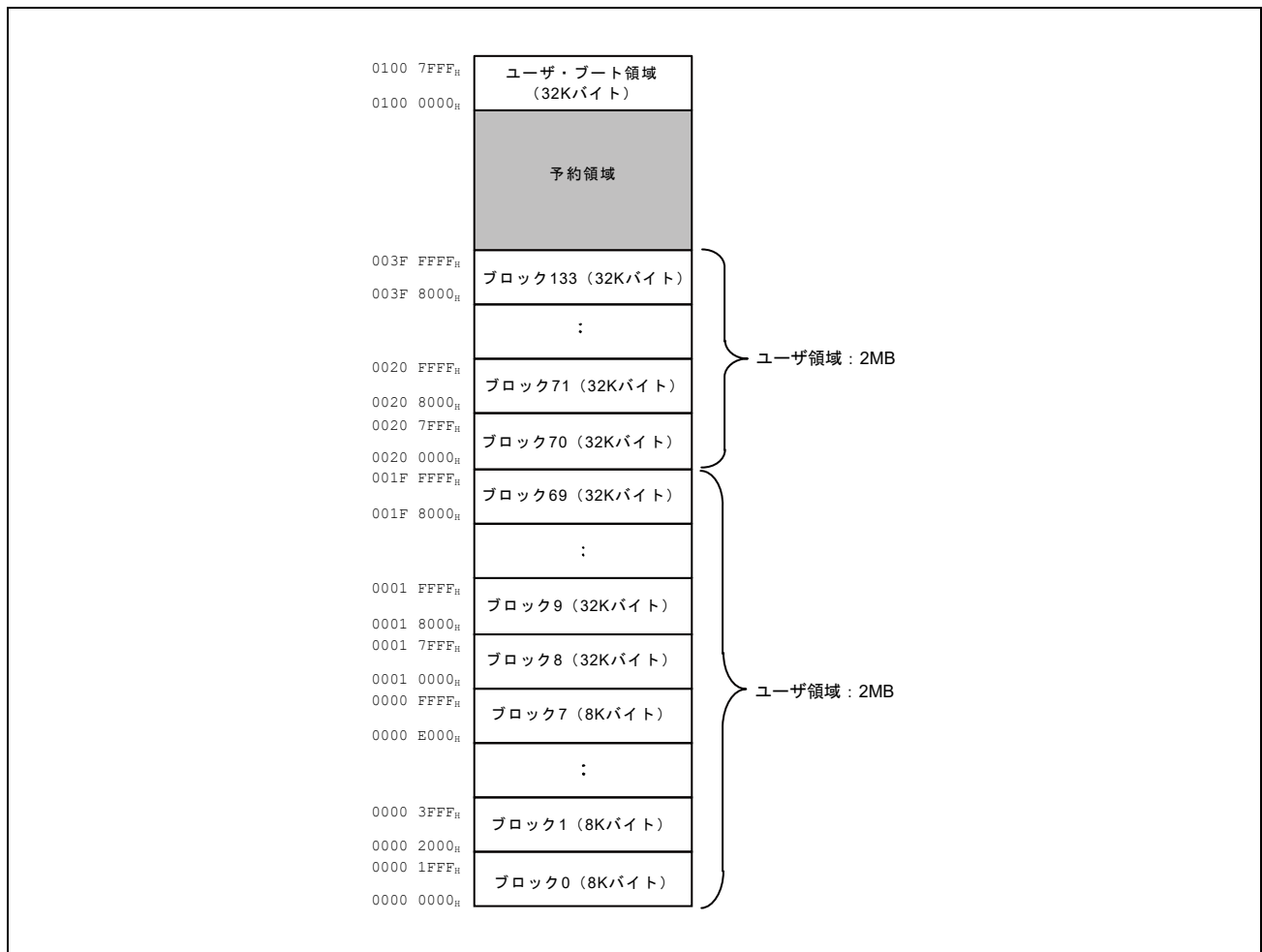


図 35.1 Code Flash メモリマッピング (8 KB×8+32 KB×126 構成) C1M-A2

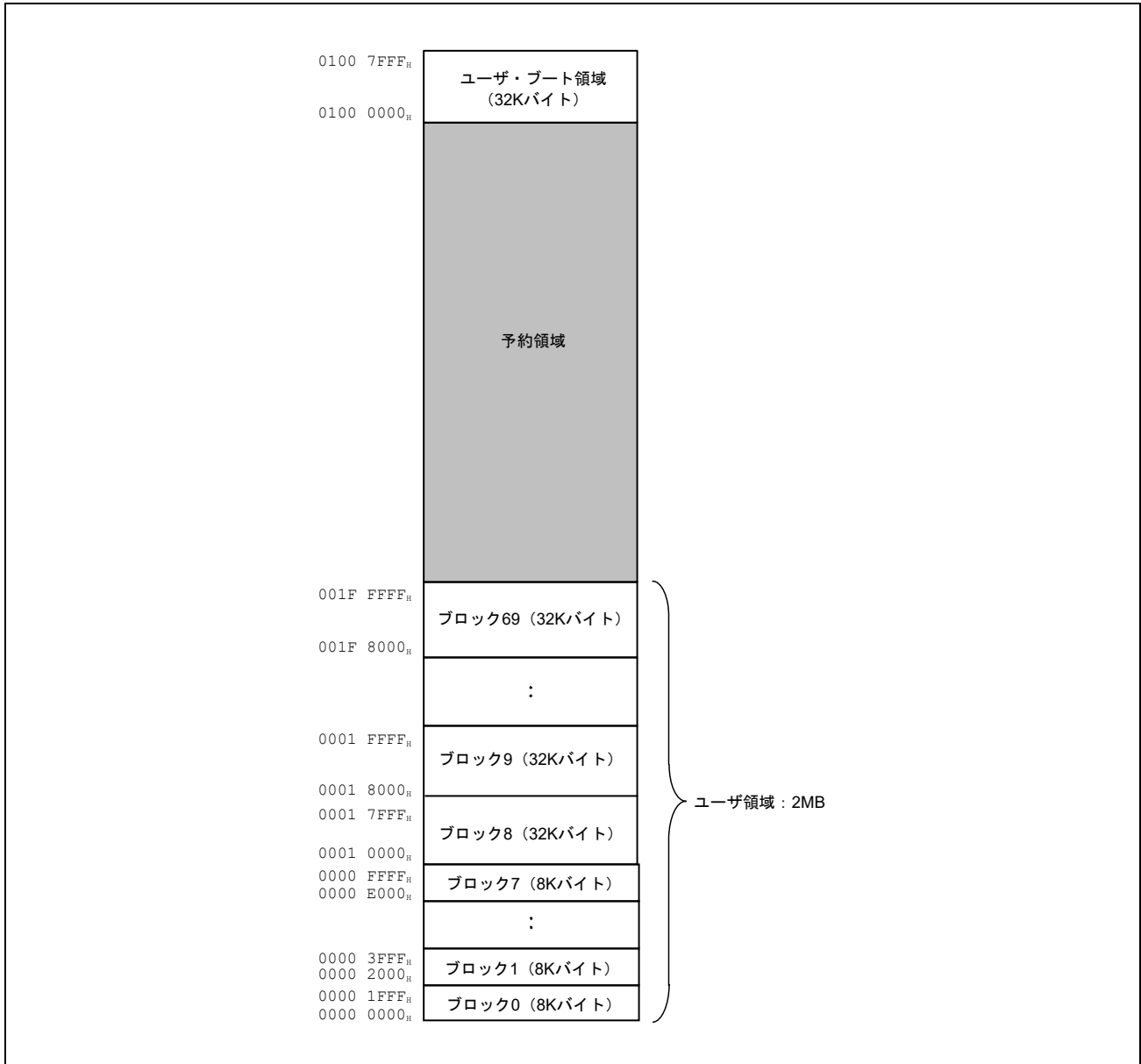


図 35.2 Code Flash メモリマッピング (8 KB×8+32 KB×62 構成) C1M-A1

本製品の Data Flash メモリのデータ領域は 64 B のブロックに分割されており、各ブロック単位で消去可能です。図 35.3 に、Data Flash メモリマッピングを示します。

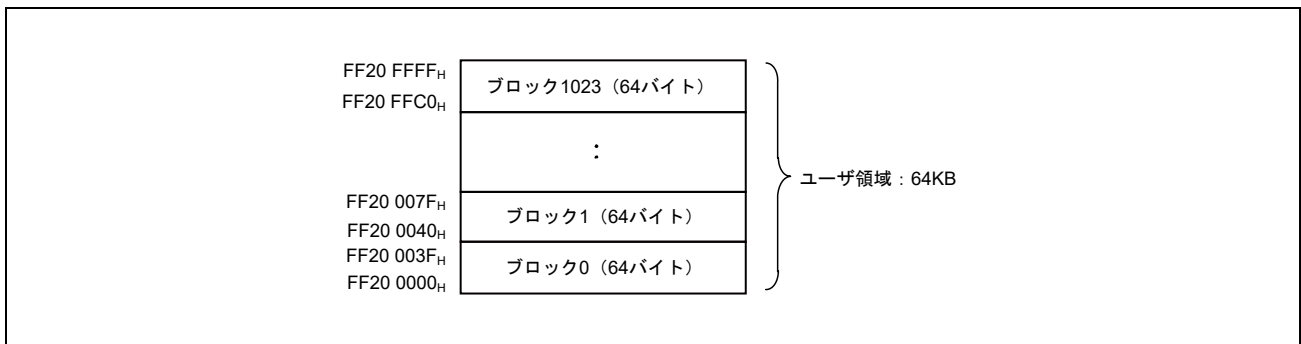


図 35.3 Data Flash メモリマッピング (64 B × 1024 構成)

35.3 フラッシュメモリ関連の動作モード

図 35.4 にフラッシュメモリに関するモードの遷移図を示します。モード設定の方法については「第 5 章 動作モード」を参照してください。

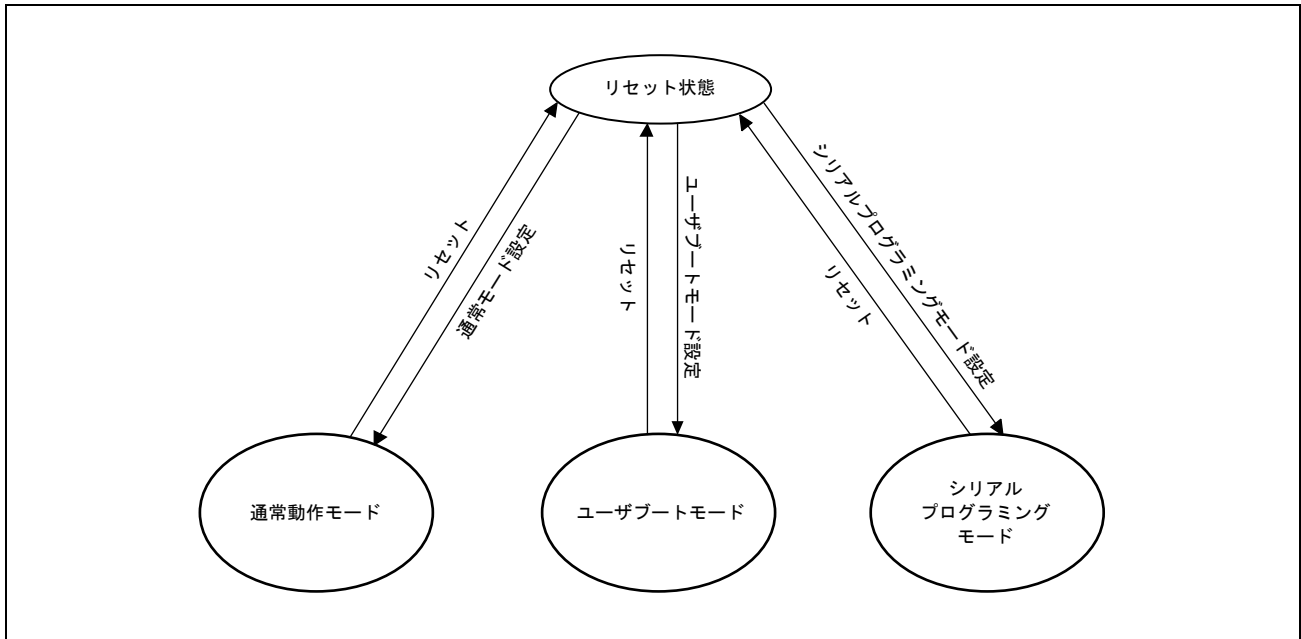


図 35.4 フラッシュメモリに関するモード遷移図

各モードで書き込み／消去が可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 35.1 にまとめます。

表 35.1 各モードの相違点

項目	通常動作モード ^{注 1}	ユーザブートモード	シリアルプログラミングモード
書き込み／消去が可能な領域	<ul style="list-style-type: none"> ユーザ領域 データ領域 	<ul style="list-style-type: none"> ユーザ領域 データ領域 	<ul style="list-style-type: none"> ユーザ領域 ユーザブート領域 データ領域
リセット時の起動プログラム	ユーザ領域のプログラム	ユーザブート領域のプログラム	シリアルプログラミング用組み込みプログラム

注 1. 通常動作モードとは、起動領域がユーザ領域であるユーザブートモードのことを指しています。

35.4 機能概要

本製品の内蔵フラッシュメモリは、専用フラッシュメモリプログラマによるシリアルインタフェース通信を介した書き換え（シリアルプログラミング）により、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です。

また、内蔵フラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザプログラムによる書き換え機能（セルフプログラミング）は、ターゲットシステムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

各書き換え方式の概要と対応する動作モードを、表 35.2 に示します。

表 35.2 書き換え方法

書き換え方法	機能概要	動作モード
シリアルプログラミング	専用フラッシュメモリプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	専用フラッシュメモリプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングにより Code Flash メモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。 セルフプログラミングによる Data Flash メモリの書き換え時には、BGO 機能により Code Flash メモリからの命令フェッチおよびデータの読み出しが可能です。このため、Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。 セルフプログラミングによる Code Flash メモリの書き換え時には、Code Flash メモリからの命令フェッチおよびデータアクセスはできません。Local RAM または Global RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード ユーザブートモード

セルフプログラミングを実施する場合には、本製品の対象となる「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」のユーザーズマニュアルを参照してください。

内蔵フラッシュメモリの機能一覧を表 35.3 に示します。シリアルプログラミングにおける各機能は、専用フラッシュメモリプログラマのコマンドで実現されます。セルフプログラミングにおける各機能は、フラッシュメモリのハードウェアインタフェース操作、またはユーザプログラムによる内蔵フラッシュメモリの読み出しで実現されます。

表 35.3 基本機能一覧

機能	機能概要	サポートの有無 (○：サポート、△：条件付サポート×：未サポート)	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態の Code Flash メモリと Data Flash メモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランクチェックを使用してください。	○	○
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ペリファイ／チェックサム	フラッシュメモリから読み出したデータと、フラッシュメモリプログラマから転送されたデータの比較を行います。	○	○
リード	フラッシュメモリに書き込まれたデータの読み出しを行います。	○	○
OTP (One Time Programming) 設定	指定した Code Flash メモリのブロックに対する OTP の設定を行います (OTP を設定することのみ可能、解除は不可能)。	○	○
ID 設定	シリアルプログラミング時の専用フラッシュメモリプログラマ接続制御、セルフプログラミングによる Code Flash メモリ書き込みの有効化に使用する ID の設定を行います。	○	○
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	○	△ (設定を許可から禁止にする場合のみ可能)
プロテクション設定	Code Flash メモリの各ブロックのロックビットの設定を行います。	○	○
オプションバイト設定	オプションバイトの設定を行い、本製品の初期設定を変更します。	○	○
コンフィグレーションクリア	ID 設定、セキュリティ設定、プロテクション設定、オプションバイト設定を初期化します。	○	×

シリアルプログラミングの詳細については、「PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル」、「Renesas Flash Programmer フラッシュ書き込み ソフトウェア ユーザーズマニュアル」を参照してください。

セルフプログラミングの詳細につきましては、本製品の対象となる「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」のユーザーズマニュアルをご参照ください。

内蔵フラッシュメモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアルプログラミングおよびセルフプログラミングともに使用できるセキュリティ機能です。

シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止 (ブロック消去コマンド禁止/プログラムコマンド禁止/リードコマンド禁止) のいずれかのセキュリティ機能を使用可能です。

内蔵フラッシュメモリでサポートされるセキュリティ機能を表 35.4 に、セキュリティ設定時の動作を表 35.5 に示します。

表 35.4 セキュリティ機能一覧

機能	機能概要
OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能で ず。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止と なり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、 コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変 更できなくなります。
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。ま た、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。
専用フラッシュメモリ プログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモ リプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキ ュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止 すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から 許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。 ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。 コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマ ンドの実行によってのみ、禁止設定の初期化が可能です。

表 35.5 セキュリティ設定時の動作

機能	各セキュリティ設定時の消去／書き込み／読み出し動作 (○：実行可能、×：実行不可、—：未サポート)		セキュリティ設定 注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
OTP	<ul style="list-style-type: none"> OTP 設定された領域 ブロック消去コマンド：× プログラムコマンド：× リードコマンド：○ OTP 設定されていない領域 ブロック消去コマンド：○ プログラムコマンド：○ リードコマンド：○ 	<ul style="list-style-type: none"> OTP 設定された領域 ブロック消去：× 書き込み：× 読み出し：○ OTP 設定されていない領域 ブロック消去：○ 書き込み：○ 読み出し：○ 	OTP 設定の解除が不可能 コンフィグレーション リアコマンドの実行が不 可能	OTP 設定の解除が 不可能
ID 認証	<ul style="list-style-type: none"> ID が不一致の場合 ブロック消去コマンド：× プログラムコマンド：× リードコマンド：× ID が一致した場合 ブロック消去コマンド：○ プログラムコマンド：○ リードコマンド：○ 	<ul style="list-style-type: none"> ID が不一致の場合 <ul style="list-style-type: none"> Code Flash メモリ ブロック消去：× 書き込み：× 読み出し：○ Data Flash メモリ ブロック消去：○ 書き込み：○ 読み出し：○ ID が一致した場合 ブロック消去：○ 書き込み：○ 読み出し：○ 	コンフィグレーションク リアコマンドによる禁止 設定の初期化が可能 ブロック消去コマンド禁 止の設定が不可能 プログラムコマンド禁止 の設定が不可能 リードコマンド禁止の 設定が不可能	ID 認証機能は常に有効
専用フラッシュ メモリプログラ マ接続禁止	ブロック消去コマンド：× プログラムコマンド：× リードコマンド：×	ブロック消去：○ 書き込み：○ 読み出し：○	コンフィグレーションク リアコマンドの実行が禁 止されるため、禁止設定 の初期化が不可能	コンフィグレーション クリアコマンドが未サ ポートのため、禁止設 定の初期化が不可能
ブロック消去 コマンド禁止	ブロック消去コマンド：× プログラムコマンド：○ リードコマンド：○	ブロック消去：○ 書き込み：○ 読み出し：○	コンフィグレーションク リアコマンドの実行が禁 止されるため、禁止設定 の初期化が不可能 シリアルプログラミング 用の ID 認証機能の有効設 定が不可能	コンフィグレーション クリアコマンドが未サ ポートのため、禁止設 定の初期化が不可能
プログラム コマンド禁止	ブロック消去コマンド：× ^{注1} プログラムコマンド：× リードコマンド：○	ブロック消去：○ 書き込み：○ 読み出し：○	コンフィグレーションク リアコマンドによる禁止 設定の初期化が可能	コンフィグレーション クリアコマンドが未サ ポートのため、禁止設 定の初期化が不可能
リード コマンド禁止	ブロック消去コマンド：○ プログラムコマンド：○ リードコマンド：×	ブロック消去：○ 書き込み：○ 読み出し：○	シリアルプログラミング 用の ID 認証機能の有効設 定が不可能	

注 1. ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロッ
ク 0 から順番に全領域消去する使用方法でのみ実行可能です。

内蔵フラッシュメモリは、各種のプロテクション機能をサポートしています。内蔵フラッシュメモリでサポートされるプロテクション機能を表 35.6 に示します。

表 35.6 プロテクション機能一覧

機能	機能概要
ブロック保護	Code Flash メモリのユーザ領域の各ブロックに対して、個別に書き込み／消去の有効／無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフプログラミングで書き込み／消去禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み／消去を実施することも可能です。Code Flash メモリをブロック消去すると、該当ブロックのロックビットも消去されます。
ユーザブート保護	ユーザブート領域は、セルフプログラミングでは書き込み／消去禁止です。 シリアルプログラミングでは、ユーザブート領域を書き込み／消去することが可能です。

35.5 シリアルプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリの書き込みを行うことができます。

シリアルプログラミング

シリアルプログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはターゲットマイクロコントローラに書き込みを行うことができます。

35.5.1 プログラミング環境

マイクロコントローラのフラッシュメモリにデータを書き込むための推奨される環境を次に示します。

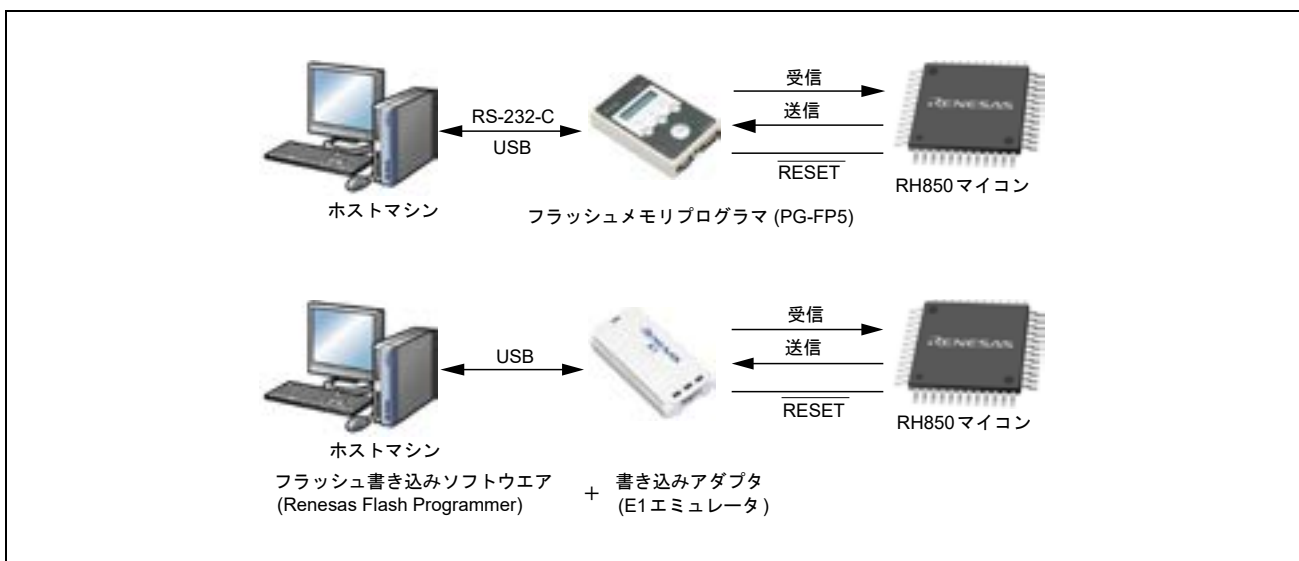


図 35.5 フラッシュメモリにプログラムを書き込むための環境

フラッシュメモリプログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer (ホストマシンで動作) と E1 エミュレータを書き込みアダプタとして使用することで、ルネサスエレクトロニクス製のフラッシュメモリ内蔵マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュメモリプログラマ PG-FP5 は、ホストマシンからの書き込み操作、または、スタンドアロンモードでの書き込み操作が可能です。

フラッシュ書き込みソフトウェア (Renesas Flash Programmer) は、ホストマシンから書き込み操作が可能です。

備 考

PG-FP5 の詳細は「PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル」を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は「Renesas Flash Programmer フラッシュ書き込み ソフトウェア ユーザーズマニュアル」を参照してください。

35.5.2 通信方式の選択

本製品では、FLMODE 端子によりシリアル通信の方式を、2 線 UART 方式とクロック同期方式のどちらかを選択することが可能です。FLMODE 端子設定方法の詳細は「**第 5 章 動作モード**」を参照してください。各通信方式に沿ったプログラミング環境の設定方法は、「*PG-FP5* フラッシュメモリプログラマ ユーザーズマニュアル」および、「*Renesas Flash Programmer* フラッシュ書き込み ソフトウェア ユーザーズマニュアル」を参照してください。

35.6 セルフプログラミング

35.6.1 概要

本製品は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。フラッシュメモリ書き換え用のハードウェアインタフェースであるフラッシュアプリケーションコマンドインタフェース (FACI) のコマンドをユーザプログラムで使用することにより、Code Flash メモリと Data Flash メモリを書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

Data Flash メモリの書き換え時には、BGO 機能を利用して Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。また、あらかじめ Local RAM または Global RAM に転送した書き換え用のプログラムを実行して、Data Flash メモリを書き換えることもできます。

フラッシュセルフプログラミングに関する包括的な情報は、本製品の対象となる「コード・フラッシュ・ライブラリ」、「データ・フラッシュ・ライブラリ」、「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」のユーザーズマニュアルを参照してください。

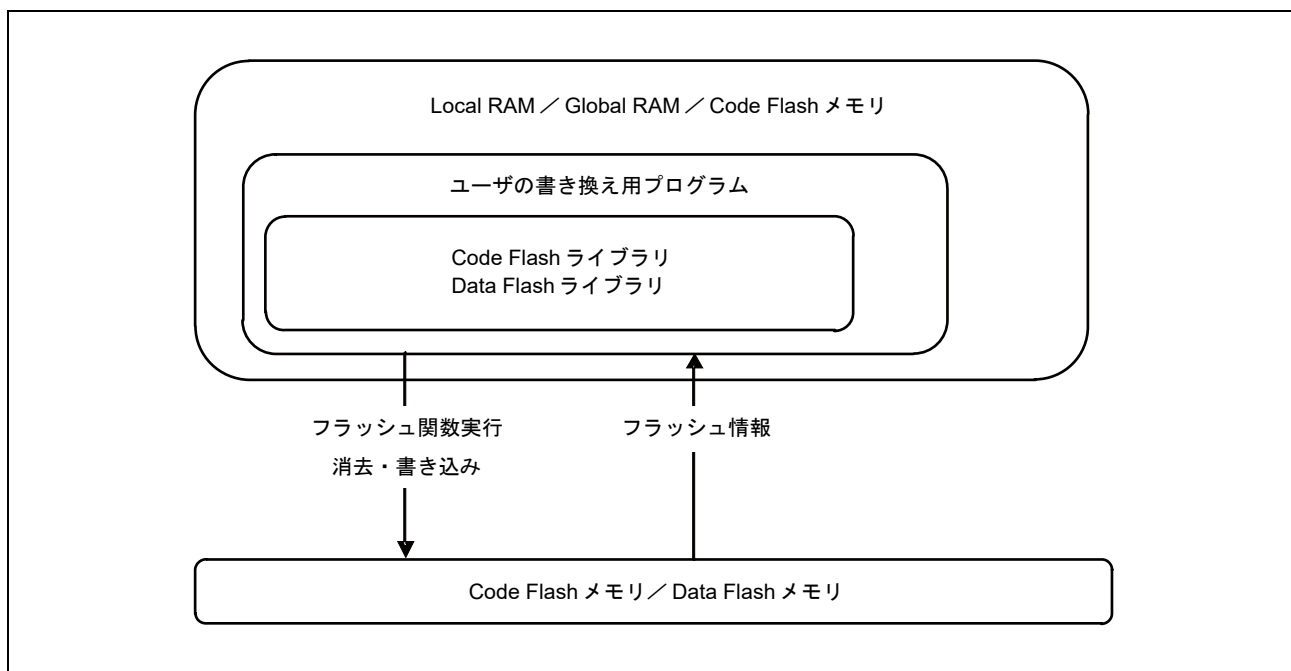


図 35.6 セルフプログラミング概念

35.6.2 BGO 機能

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表 35.7 BGO 機能を利用可能な条件

書き換え対象領域	読み出し対象領域
Data Flash メモリ	Code Flash メモリ

35.7 フラッシュメモリの読み出し

35.7.1 Code Flash メモリの読み出し

通常モードおよびユーザブートモードの Code Flash メモリの読み出し時には、特別な設定は必要ありません。Code Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリを読み出すと、ECC エラーが検出されて例外が発生しますのでご注意ください。また、ECC エラーが発生した場合のデータ値は保証できないため、未書き込み状態の確認には、ブランクチェック機能を使用してください。ECC 機能の詳細は「**第 29 章 ファンクショナルセーフティ**」を参照してください。

35.7.2 Data Flash メモリの読み出し

通常モードおよびユーザブートモードの Data Flash メモリの読み出し時には、事前に FRDCYCLD レジスタに Data Flash メモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後に Data Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Data Flash メモリの値は不定です。未書き込み状態の確認には、ブランクチェック機能を使用してください。

35.8 レジスタの説明

35.8.1 Data Flash メモリ関連のレジスタ

表 35.8 に、Data Flash メモリ関連のレジスタ一覧を示します。

表 35.8 Data Flash メモリ関連のレジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセス サイズ
FLASH	Data Flash メモリ 読み出しサイクル 設定レジスタ	FRDCYCLD	R/W	0F _H	FFC5 9810 _H	8

35.8.1.1 FRDCYCLD — Data Flash メモリ読み出しサイクル設定レジスタ

本レジスタは、Data Flash メモリの読み出しサイクルを設定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC5 9810_H

リセット後の値 0F_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FRDCYCLD[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 35.9 FRDCYCLD レジスタの内容

ビット位置	ビット名	機能
7~4	—	予約ビット
3~0	FRDCYCLD [3:0]	Data Flash メモリ読み出しサイクル数 設定値+1サイクルで、Data Flash メモリを読み出します。 0 _H -2 _H : 設定禁止 3 _H : リードサイクル 4 4 _H : リードサイクル 5 5 _H : リードサイクル 6 6 _H : リードサイクル 7 7 _H : リードサイクル 8 8 _H : リードサイクル 9 9 _H -F _H : リードサイクル 10

注: 1 リードサイクルは、CLK_LSB です。

35.8.2 フラッシュメモリ書き込み消去プロテクト関連レジスタ

表 35.10 に、フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧を示します。

表 35.10 フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
FLASH	FHVE15 コントロールレジスタ	FHVE15	R/W	0000 0000 _H	FFF8 A430 _H	32
FLASH	FHVE3 コントロールレジスタ	FHVE3	R/W	0000 0000 _H	FFF8 2410 _H	32

35.8.2.1 FHVE15 — FHVE15 コントロールレジスタ

FHVE15 レジスタは、フラッシュ書き込み/消去/ブランクチェック実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去/ブランクチェックのためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去/ブランクチェック可能な状態 (0000 0001_H) に設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 A430_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE 15CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 35.11 FHVE15 レジスタの内容

ビット位置	ビット名	機能
31~1	—	予約ビット
0	FHVE15CNT	0 : 書き込み/消去/ブランクチェック不可能 1 : 書き込み/消去/ブランクチェック可能

35.8.2.2 FHVE3 — FHVE3 コントロールレジスタ

FHVE3 レジスタは、フラッシュ書き込み/消去/ブランクチェック実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去/ブランクチェックのためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去/ブランクチェック可能な状態 (0000 0001_H) に設定してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2410_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE3 CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 35.12 FHVE3 レジスタの内容

ビット位置	ビット名	機能
31~1	—	予約ビット
0	FHVE3CNT	0 : 書き込み/消去/ブランクチェック不可能 1 : 書き込み/消去/ブランクチェック可能

35.8.3 製品情報関連レジスタ

フラッシュ・メモリには、製品名や搭載メモリサイズなど製品情報を保持する拡張領域があります。この拡張領域に格納された値が、リセット時に製品情報レジスタに転送されます。

表 35.13 に、製品情報関連のレジスタ一覧を示します。

表 35.13 製品情報関連のレジスタ一覧

モジュール名	レジスタ名	略称	R/W	リセット後の値	アドレス	アクセス サイズ
FLASH	製品名格納レジスタ (1)	PRDNAME1	R	表 35.14 を参照	FFCD 00D0 _H	32
FLASH	製品名格納レジスタ (2)	PRDNAME2	R	表 35.14 を参照	FFCD 00D4 _H	32
FLASH	製品名格納レジスタ (3)	PRDNAME3	R	表 35.14 を参照	FFCD 00D8 _H	32
FLASH	製品名格納レジスタ (4)	PRDNAME4	R	表 35.14 を参照	FFCD 00DC _H	32

表 35.14 製品名と PRDNAME 初期値 (リセット後の値) の関係

製品グループ名	製品型名	PRDNAME4	PRDNAME3	PRDNAME2	PRDNAME1
C1M-A2	R7F701275	2020 2020 _H	2020 2035 _H	3732 3130 _H	3746 3752 _H
C1M-A1	R7F701278	2020 2020 _H	2020 2038 _H	3732 3130 _H	3746 3752 _H

35.8.3.1 PRDNAME_n (n = 1~4) — 製品名格納レジスタ

製品名を格納するレジスタです。製品型名が 16 バイトの ASCII コードで格納され、PRDNAME1, PRDNAME2, PRDNAME3, PRDNAME4 は、それぞれ、製品型名の 4~1 バイト目、8~5 バイト目、12~9 バイト目、16~13 バイト目に該当します。

アクセス 32 ビット単位でリード可能です。

アドレス PRDNAME1 : FFCD 00D0_H
 PRDNAME2 : FFCD 00D4_H
 PRDNAME3 : FFCD 00D8_H
 PRDNAME4 : FFCD 00DC_H

リセット後の値 C1M-A 製品名 初期値 (PRDNAME_n, n = 1~4)

「表 35.14 製品名と PRDNAME 初期値 (リセット後の値) の関係」を参照して下さい。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRDNAME _n															
リセット後の値 注 1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRDNAME _n															
リセット後の値 注 1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 「表 35.14 製品名と PRDNAME 初期値 (リセット後の値) の関係」に示す値となります。

表 35.15 製品情報関連のレジスタ一覧

ビット位置	ビット名	機能
31~0	PRDNAME _n [31:0]	製品名 16 バイトの ASCII コードで製品型名を示します。 PRDNAME1[31:0] : 製品型名の 4~1 バイト目 PRDNAME2[31:0] : 製品型名の 8~5 バイト目 PRDNAME3[31:0] : 製品型名の 12~9 バイト目 PRDNAME4[31:0] : 製品型名の 16~13 バイト目

35.9 オプションバイト

フラッシュメモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（オプションバイト）があります。オプション・バイトの設定領域を表 35.16 に示します。予約領域は常に 1 が読み出せません。設定値も常に 1 にしてください。オプションバイト設定による周辺機能の初期設定等の変更は、リセット解除後に有効になります。オプションバイトの設定と読み出し方法は、「PG-FP5 フラッシュメモリプログラム ユーザーズマニュアル」および、「Renesas Flash Programmer フラッシュ書き込み ソフトウェア ユーザーズマニュアル」または、「RH850/C1M-A フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編」のユーザーズマニュアルを参照してください。

表 35.16 オプション・バイト設定の領域

オプション・バイト領域 (各 8 ビット×32 = 計 256 ビット)	オプション・バイト レジスタ	設定有効領域	出荷時の初期状態 ^{注 1}
オプション・バイト 4~1	OPBT0	有効	7FFF FFFE _H
オプション・バイト 8~5	—	予約	FFFF FFFF _H
オプション・バイト 12~9	OPBT2	有効	FFFF FFFF _H
オプション・バイト 16~13	OPBT3	有効	7FFF FFFF _H
オプション・バイト 20~17	OPBT4	有効	7FFF FFFF _H
オプション・バイト 24~21	—	予約	FFFF FFFF _H
オプション・バイト 28~25	OPBT6	有効	FFFF FFFA _H
オプション・バイト 32~29	—	予約	FFFF FFFF _H

注 1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

35.9.1 OPBT0 — オプションバイト 0 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32 ビット単位でリード/ライト可能です。

アドレス FFCD 0030_H

リセット後の値 ユーザ定義（出荷時は 7FFF FFFE_Hになっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPWD RUN	OPWD INT	OPWD WS1	OPWD WS0	OPWD OVF2	OPWD OVF1	OPWD OVF0	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AUDRE N	—	—	STMSE L1	STMSE L0
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1. 本レジスタに対応するオプションバイト領域と出荷時の初期状態は表 35.16 を参照して下さい。FACI コマンドを使った場合と、フラッシュメモリプログラム PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、オプションバイト領域の読み出しと設定（R/W）が可能です。

表 35.17 OPBT0 レジスタの内容

ビット位置	ビット名	機能																																				
31	OPWDRUN	WDTA0 のスタートモードを選択します。 0 : WDTA0 ソフトウェアトリガスタートモード 1 : WDTA0 デフォルトスタートモード																																				
30	OPWDINT	WDTA0 の 75% 割り込み要求 WDTA0TIT の有効/無効を設定します。 0 : WDTA0TIT 無効 1 : WDTA0TIT 有効																																				
29、28	OPWDWS1, OPWDWS0	WDTA0 のウインドウオープン期間を選択します。 <table border="1"> <thead> <tr> <th>OPWDWS1</th> <th>OPWDWS0</th> <th>起動領域</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> <tr> <td>1</td> <td>1</td> <td>100%</td> </tr> </tbody> </table>	OPWDWS1	OPWDWS0	起動領域	0	0	25%	0	1	50%	1	0	75%	1	1	100%																					
OPWDWS1	OPWDWS0	起動領域																																				
0	0	25%																																				
0	1	50%																																				
1	0	75%																																				
1	1	100%																																				
27~25	OPWDOVF2 ~ OPWDOVF0	WDTA0 のオーバフローインターバル時間を選択します。 <table border="1"> <thead> <tr> <th>OPWDOVF2</th> <th>OPWDOVF1</th> <th>OPWDOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹/WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰/WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹/WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹²/WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³/WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴/WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵/WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶/WDTATCKI</td> </tr> </tbody> </table>	OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ /WDTATCKI	0	0	1	2 ¹⁰ /WDTATCKI	0	1	0	2 ¹¹ /WDTATCKI	0	1	1	2 ¹² /WDTATCKI	1	0	0	2 ¹³ /WDTATCKI	1	0	1	2 ¹⁴ /WDTATCKI	1	1	0	2 ¹⁵ /WDTATCKI	1	1	1	2 ¹⁶ /WDTATCKI
OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフローインターバル時間																																			
0	0	0	2 ⁹ /WDTATCKI																																			
0	0	1	2 ¹⁰ /WDTATCKI																																			
0	1	0	2 ¹¹ /WDTATCKI																																			
0	1	1	2 ¹² /WDTATCKI																																			
1	0	0	2 ¹³ /WDTATCKI																																			
1	0	1	2 ¹⁴ /WDTATCKI																																			
1	1	0	2 ¹⁵ /WDTATCKI																																			
1	1	1	2 ¹⁶ /WDTATCKI																																			
24~5	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。																																				
4	AUDREN	AUDRAM モニタのイネーブルビット 0 : AUDRAM モニタ無効 1 : AUDRAM モニタ有効																																				
3、2	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。																																				
1、0	STMSEL1, STMSEL0	動作モード起動領域を選択します。 端子 MD0、MD1、FLMODE がすべて 0 のとき、STMSEL1、STMSEL0 の値の組み合わせによって、動作モード起動領域を選択できます。詳細は、「第 5 章 動作モード」を参照ください。 <table border="1"> <thead> <tr> <th>STMSEL1</th> <th>STMSEL0</th> <th>動作モード</th> <th>起動領域</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ユーザブートモード</td> <td>ユーザ領域</td> </tr> <tr> <td>0</td> <td>1</td> <td>ユーザブートモード</td> <td>ユーザブート領域</td> </tr> <tr> <td>1</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> </tr> </tbody> </table> X : Don't care	STMSEL1	STMSEL0	動作モード	起動領域	0	0	ユーザブートモード	ユーザ領域	0	1	ユーザブートモード	ユーザブート領域	1	X	シリアルプログラミングモード	ブート領域																				
STMSEL1	STMSEL0	動作モード	起動領域																																			
0	0	ユーザブートモード	ユーザ領域																																			
0	1	ユーザブートモード	ユーザブート領域																																			
1	X	シリアルプログラミングモード	ブート領域																																			

35.9.2 OPBT2 — オプションバイト 2 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32 ビット単位でリード/ライト可能です。

アドレス FFCD 0038_H

リセット後の値 ユーザ定義（出荷時は FFFF FFFF_Hになっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG1	OPJTAG0	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1. 本レジスタに対応するオプションバイト領域と出荷時の初期状態は表 35.16 を参照して下さい。FACI コマンドを使った場合と、フラッシュメモリプログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、オプションバイト領域の読み出しと設定（R/W）が可能です。

表 35.18 OPBT2 レジスタの内容

ビット位置	ビット名	機能															
31	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。															
30、29	OPJTAG1, OPJTAG0	デバッグインタフェース切り替え (OPJTAG1、OPJTAG0) の値の組み合わせにより、以下のデバッグインタフェースが選択されます。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>OPJTAG1</th> <th>OPJTAG0</th> <th>デバッグインタフェース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FLSCI3 (ライター I/F)</td> </tr> <tr> <td>0</td> <td>1</td> <td>LPD (4pin)</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>Nexus (JTAG)</td> </tr> </tbody> </table>	OPJTAG1	OPJTAG0	デバッグインタフェース	0	0	FLSCI3 (ライター I/F)	0	1	LPD (4pin)	1	0	設定禁止	1	1	Nexus (JTAG)
OPJTAG1	OPJTAG0	デバッグインタフェース															
0	0	FLSCI3 (ライター I/F)															
0	1	LPD (4pin)															
1	0	設定禁止															
1	1	Nexus (JTAG)															
28~0	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。															

35.9.3 OPBT3 — オプションバイト 3 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32 ビット単位でリード/ライト可能です。

アドレス FFCD 003C_H

リセット後の値 ユーザ定義（出荷時は 7FFF FFFF_Hになっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SWDT0_OPRUN	SWDT0_OPWDOVF2	SWDT0_OPWDOVF1	SWDT0_OPWDOVF0	—	—	—	—	—	SWDT0_SADU22	SWDT0_SADU21	SWDT0_SADU20	SWDT0_SADU19	SWDT0_SADU18	SWDT0_SADU17	SWDT0_SADU16
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SWDT0_SADU15	SWDT0_SADU14	SWDT0_SADU13	SWDT0_SADU12	SWDT0_SADU11	SWDT0_SADU10	SWDT0_SADU9	SWDT0_SADU8	SWDT0_SADU7	SWDT0_SADU6	SWDT0_SADU5	SWDT0_SADU4	SWDT0_SADU3	SWDT0_SADU2	SWDT0_SADU1	SWDT0_SADU0
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1. 本レジスタに対応するオプションバイト領域と出荷時の初期状態は表 35.16 を参照して下さい。FACI コマンドを使った場合と、フラッシュメモリプログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、オプションバイト領域の読み出しと設定（R/W）が可能です。

表 35.19 OPBT3 レジスタの内容

ビット位置	ビット名	機能																																				
31	SWDT0_OPRUN	SWDTA0 のオートスタート有効/無効を設定します。 0 : SWDTA0 オートスタート無効 1 : SWDTA0 オートスタート有効 SWDTA0 を使用しない場合には本ビットに 0 を設定し、オートスタート機能を無効にしてください。																																				
30~28	SWDT0_OPWDOVF2 ~ SWDT0_OPWDOVF0	SWDTA0 のオーバフロー時間を選択します。 <table border="1"> <thead> <tr> <th>SWDT0_OPWDOVF2</th> <th>SWDT0_OPWDOVF1</th> <th>SWDT0_OPWDOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table>	SWDT0_OPWDOVF2	SWDT0_OPWDOVF1	SWDT0_OPWDOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
SWDT0_OPWDOVF2	SWDT0_OPWDOVF1	SWDT0_OPWDOVF0	オーバフローインターバル時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
27~23	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書き込んでください。																																				
22~0	SWDT0_SADU22 ~ SWDT0_SADU0	SWDTA0 の比較アドレスを設定します。 アドレスのビット 23~31 は 0 で拡張されます。 0000_0000 _H ~007F_FFFF _H までの任意の Code Flash 領域を設定可能です。																																				

35.9.4 OPBT4 — オプションバイト 4 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32 ビット単位でリード/ライト可能です。

アドレス FFCD 0040_H

リセット後の値 ユーザ定義（出荷時は 7FFF FFFF_Hになっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SWDT1_ OPRUN 注2	SWDT1_ OPWDOVF 2注2	SWDT1_ OPWDOVF 1注2	SWDT1_ OPWDOVF 0注2	—	—	—	—	—	SWDT1_ SADU22 注2	SWDT1_ SADU21 注2	SWDT1_ SADU20 注2	SWDT1_ SADU19 注2	SWDT1_ SADU18 注2	SWDT1_ SADU17 注2	SWDT1_ SADU16 注2
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SWDT1_ SADU15 注2	SWDT1_ SADU14 注2	SWDT1_ SADU13 注2	SWDT1_ SADU12 注2	SWDT1_ SADU11 注2	SWDT1_ SADU10 注2	SWDT1_ SADU9 注2	SWDT1_ SADU8 注2	SWDT1_ SADU7 注2	SWDT1_ SADU6 注2	SWDT1_ SADU5 注2	SWDT1_ SADU4 注2	SWDT1_ SADU3 注2	SWDT1_ SADU2 注2	SWDT1_ SADU1 注2	SWDT1_ SADU0 注2
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注 1. 本レジスタに対応するオプションバイト領域と出荷時の初期状態は表 35.16 を参照して下さい。FACI コマンドを使った場合と、フラッシュメモリプログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、オプションバイト領域の読み出しと設定（R/W）が可能です。

注 2. C1M-A2 のみ存在するビットです。C1M-A1 では SWDTA1 は非搭載の為、書き換え時には出荷時の値を書き込んでください。

表 35.20 OPBT4 レジスタの内容

ビット位置	ビット名	機能																																				
31	SWDT1_OPRUN	<ul style="list-style-type: none"> • C1M-A2 の場合 SWDTA1 のオートスタート有効/無効を設定します。 0 : SWDTA1 オートスタート無効 1 : SWDTA1 オートスタート有効 • C1M-A1 の場合 SWDTA1 は非搭載です。 予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。 SWDTA1 を使用しない場合には本ビットに 0 を設定し、オートスタート機能を無効にしてください。																																				
30~28	SWDT1_OPWDOVF2 ~ SWDT1_OPWDOVF0	<ul style="list-style-type: none"> • C1M-A2 の場合 SWDTA1 のオーバフロー時間を選択します。 <table border="1"> <thead> <tr> <th>SWDT1_ OPWDOVF2</th> <th>SWDT1_ OPWDOVF1</th> <th>SWDT1_ OPWDOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table> <ul style="list-style-type: none"> • C1M-A1 の場合 SWDTA1 は非搭載です。 予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。	SWDT1_ OPWDOVF2	SWDT1_ OPWDOVF1	SWDT1_ OPWDOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
SWDT1_ OPWDOVF2	SWDT1_ OPWDOVF1	SWDT1_ OPWDOVF0	オーバフローインターバル時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
27~23	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。																																				
22~0	SWDT1_SADU22 ~ SWDT1_SADU0	<ul style="list-style-type: none"> • C1M-A2 の場合 SWDTA1 の比較アドレスを設定します。 アドレスのビット 23~31 は 0 で拡張されます。 0000_0000_H~007F_FFFF_Hまでの任意の Code Flash 領域を設定可能です。 • C1M-A1 の場合 SWDTA1 は非搭載です。 予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。																																				

35.9.5 OPBT6 — オプションバイト 6 レジスタ

アクセス オンチップデバッグ機能を使用時のみ、32 ビット単位でリード/ライト可能です。

アドレス FFCD 0048_H

リセット後の値 ユーザ定義（出荷時は FFFF FFFA_Hになっています）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	WDTCLK SEL	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	STARTU PPE	—	—	—	—	—	—	—	—	—
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1. 本レジスタに対応するオプションバイト領域と出荷時の初期状態は表 35.16 を参照して下さい。FACI コマンドを使った場合と、フラッシュメモリプログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、オプションバイト領域の読み出しと設定（R/W）が可能です。

表 35.21 OPBT6 レジスタの内容

ビット位置	ビット名	機能
31~21	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。
20	WDTCLKSEL	WDTA、および SWDTA のカウンタクロック（WDTATCKI）のクロックを選択します。 0：LS IntOSC（240 kHz） 1：メイン OSC x1/80（250 kHz）
19~10	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。
9	STARTUPPE	<ul style="list-style-type: none"> • C1M-A2 の場合 CPU の起動モードを選択します。 0：リセット解除後、CPU1 のみ起動します。CPU2 は停止状態です。 1：リセット解除後、CPU1 と CPU2 が同時に起動します。 • C1M-A1 の場合 予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。
8~0	—	予約ビット リードした場合はリセット後の値が読めます。 ライトする場合はリードした値を書いてください。

35.10 注意事項

(1) 書き込み／消去を中断した領域の読み出し

書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。

(2) 消去後に書き込んでいない状態の Code Flash メモリの読み出し

消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリ領域を読み出すと、ECC エラーが検出して例外が発生しますので注意してください。未書き込み状態の確認には、ブランクチェック機能を使用してください。

(3) 追加書き込みの禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。

(4) 書き込み／消去中のリセット

書き込み／消去中に外部リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、リセットパルスの min 幅以上のリセット入力期間のあとにリセット解除してください。

(5) 書き込み／消去中の割り込み／例外ベクタの配置

FCU ファーム転送中、または CodeFlash の書き込み／消去中に割り込み／例外が発生する場合は、事前に割り込み／例外をマスクするか、割り込みハンドラアドレステーブル^{注1}と例外ハンドラを CodeFlash 以外の命令フェッチ可能空間に配置して下さい。

注1. 割り込みハンドラアドレスの選択方式としてテーブル参照方式を使用する場合に該当します。

詳細は「RH850G3MH ソフトウェア編」をご参照下さい。

(6) 書き込み／消去中の異常終了

外部リセットや電源瞬断などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュメモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランクチェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にしたあとにご使用ください。Code Flash メモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、該当ブロックの消去を実施して、ロックビットを消去してください。

(7) 書き込み／消去中の禁止事項

フラッシュメモリの書き込み／消去中は、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする
- FHVE15 および FHVE3 の値を更新する
- 周辺クロックの動作周波数を変更する

(8) クロックギアアップシーケンス完了前のフラッシュメモリの各種コマンド実行禁止

シリアルプログラミングおよびセルフプログラミングにおける各種コマンドの実行は、クロックギアアップシーケンスを完了させたあとに実施してください。クロックギアアップシーケンスの詳細については、「**第 10 章 クロックコントローラ**」を参照してください。

(9) 命令キャッシュとデータバッファのコヒーレンシ確保

Code Flash メモリの書き込み／消去終了後は、命令キャッシュとデータバッファのコヒーレンシを確保するため、リセットまたは命令キャッシュとデータバッファのクリアが必要となります。命令キャッシュとデータバッファの詳細は、「**第 3 章 CPU システム**」を参照してください。

第36章 フラッシュセキュリティ

本製品は、コードフラッシュおよびデータフラッシュ、ID コードを保護するために、「第 35 章 フラッシュメモリ」に示したセキュリティ機能と本章で追加説明するデバッグインターフェースの接続制限機能を搭載しています。

シリアルプログラミングモード時のセキュリティ機能およびフラッシュメモリの書き換え方法の詳細な説明につきましては、「第 35 章 フラッシュメモリ」をご参照ください。

また、本章では、オンチップデバッグ機能で使用するインターフェース（NEXUS および LPD 4pin）を共通してデバッグインターフェースと略して記載しています。ユーザブートモード時のコードフラッシュおよびデータフラッシュ、ID コードの保護を実施している ID 認証を SELF ID 認証、オンチップデバッグ機能の保護を実施している ID 認証を OCD ID 認証と略して記載しています。尚、SELF ID 認証および OCD ID 認証、更に、シリアルプログラミングモード時の ID 認証モードにおける ID コードは、データ長 128 ビットで全て共通です。また、出荷品の初期状態では、ID コードは、FFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF_H となっています。

36.1 特長

36.1.1 コードフラッシュおよびデータフラッシュ、ID コード保護

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、ユーザブートモードおよびシリアルプログラミングモードにおいて、以下のセキュリティ機能を搭載しています。

36.1.1.1 ユーザブートモード固有機能

SELF ID 認証によるコードフラッシュの書き込み／消去、オプションバイト書き換え、ID コード書き換え／読み出し保護機能を搭載しています。

セキュリティ状態

本モードでは、2 種類のセキュリティ設定状態が存在します。各状態間は、SELF ID 認証および ID コード変更にて遷移します。

- プロテクトアンロック状態：
SELF ID 認証により、セキュリティ機能が解除され、コードフラッシュの書き込み／消去、オプションバイト書き換え、および ID コード書き換え／読み出しが保護されていない状態。
- プロテクトロック状態：
SELF ID 認証により、セキュリティ機能が有効となり、コードフラッシュの書き込み／消去、オプションバイト書き換え、および ID コード書き換え／読み出しが保護されている状態。

36.1.1.2 シリアルプログラミングモード固有機能

シリアルプログラミングモードでの固有セキュリティ機能として、下記、3 つの機能が搭載されております。これらのセキュリティ機能を併用することはできません。

(1) ID 認証機能：

ID コードを用いて ID 認証を実施することでコードフラッシュおよびデータフラッシュを保護します。ID 認証が成功した場合、コードフラッシュおよびデータフラッシュの書き込み／消去／読み出しが実施できます。

- (2) プログラムコマンド/ブロック消去コマンド/リードコマンド禁止機能：
コードフラッシュおよびデータフラッシュへの書き込み/消去/読み出しコマンド発行を個別に禁止/許可を設定することができます。出荷品の初期状態では、本セキュリティ機能が選択されており、各コマンドの禁止設定は、全て許可となっています。
- (3) シリアルプログラマ接続禁止機能：
シリアルプログラミングモードにてコードフラッシュおよびデータフラッシュの書き込み/消去/読み出しコマンド発行を禁止することができます。本機能を設定した場合、本機能以外のセキュリティ機能に変更することはできません。

36.1.1.3 ユーザブートモードおよびシリアルプログラミングモード共通機能

OTP (One Time Programming) 機能

OTP 機能が設定された領域に対して、コードフラッシュの書き込み/消去を保護します。詳細な設定方法については、「第 35 章 フラッシュメモリ」をご参照ください。

36.1.2 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェース経由での不正アクセス防止機能を搭載しており、2 種類のセキュリティレベルがあります。

- セキュリティレベル 1：
デバッグインターフェースが使用可能な状態になります。本レベルでは、オンチップデバッグ機能を OCD ID 認証で保護しています。オンチップデバッグ機能を使用する際は、OCD ID 認証を解除する必要があります。
- セキュリティレベル 2：
デバッグインターフェースが使用できない状態になります。

上記に説明した通り、各モードでコードフラッシュおよびデータフラッシュ、ID コード保護およびデバッグインターフェースの接続制限が異なります。各モードのセキュリティ機能を表 36.1 にまとめます。

表 36.1 各モードのセキュリティ機能

動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制限機能
ユーザブートモード	<ul style="list-style-type: none"> ● SELF ID 認証 ● OTP (併用可能) 	<ul style="list-style-type: none"> ● セキュリティレベル 1 (OCD ID 認証) ● セキュリティレベル 2 (デバッグインターフェース接続禁止設定)
シリアルプログラミングモード	<ul style="list-style-type: none"> ● ID 認証 ● プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 ● シリアルプログラマ接続禁止 (上記 3 つは併用できません) ● OTP (併用可能) 	<ul style="list-style-type: none"> ● 機能なし (常にデバッグインターフェース接続禁止)

36.2 ユーザブートモード時のセキュリティ機能

36.2.1 SELF ID 認証

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、コードフラッシュの書き込み/消去、オプションバイト書き換えおよび ID コード書き換え/読み出しについて、有効/無効を切り替えるセキュリティ機能を搭載しています。本保護機能の有効/無効設定は、ユーザが設定した ID コードを期待値として、SELF ID 認証を実施することで、切り替えることができます。

36.2.2 SELF ID 認証とセキュリティ状態

SELF ID 認証によるセキュリティ状態および遷移条件を表 36.2、図 36.1 に示します。

表 36.2 SELF ID 認証によるセキュリティ設定状態

状態名	SELF ID 認証	コードフラッシュ書き込み/消去、オプションバイト書き換え および ID コード書き換え/読み出し、保護状態
プロテクトアンロック	解除状態	保護されていない状態
プロテクトロック	ロック状態	保護状態

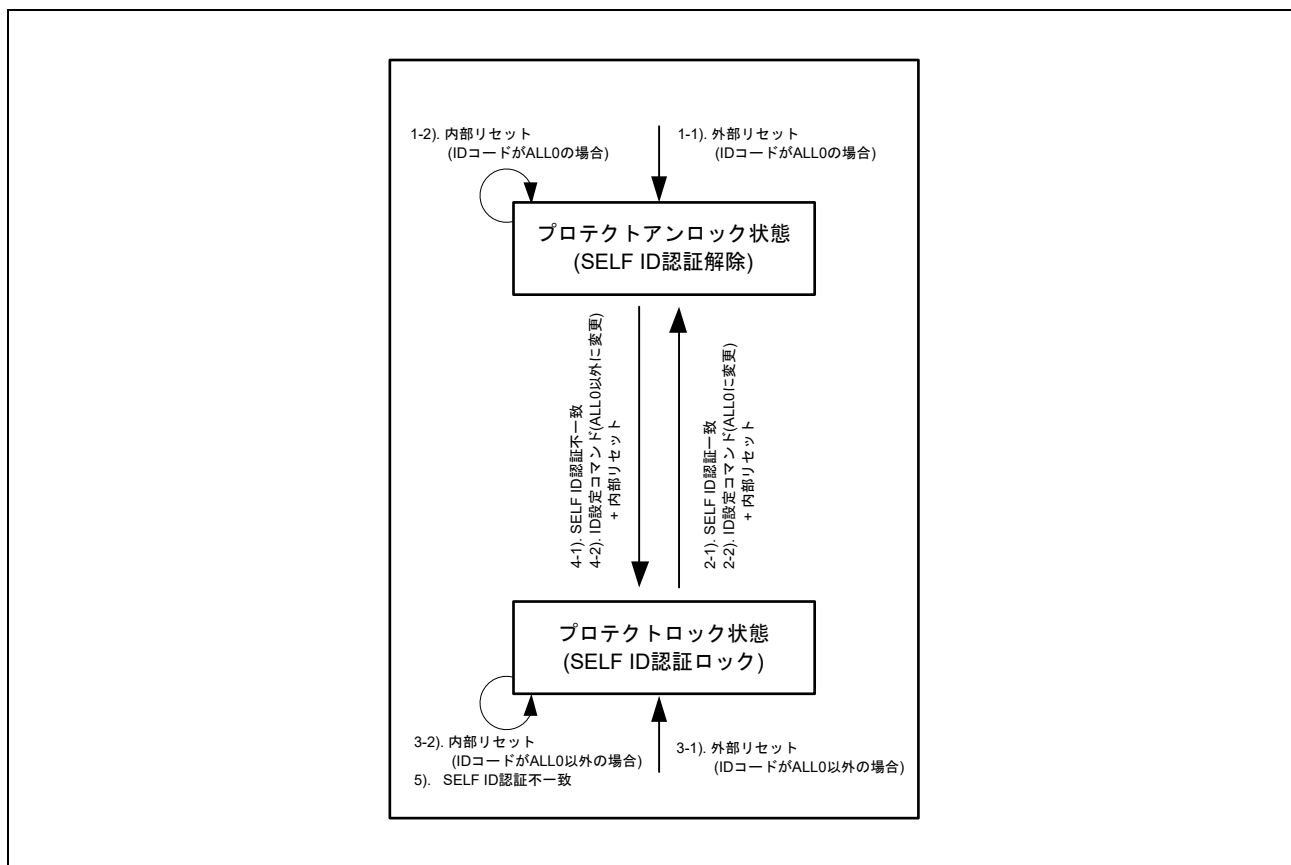


図 36.1 SELF ID 認証によるセキュリティ設定状態遷移

図 36.1 に示した各セキュリティ状態への遷移条件を以下に説明します。

- プロテクトアンロック状態への遷移条件
 - 1). プロテクトアンロック状態での起動
 - 1-1). “ID コードが ALL0” の状態で外部リセットを実施した場合、プロテクトアンロック状態で起動します。
 - 1-2). “ID コードが ALL0” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトアンロック状態で起動します。
 - 2). プロテクトロック状態からプロテクトアンロック状態への遷移
 - 2-1). SELF ID 認証が一致の場合、プロテクトアンロック状態に遷移します。
 - 2-2). “ID コードを ALL0 以外から ALL0 の状態に変更” し、内部リセットを実施した場合、プロテクトアンロック状態で起動します。

- プロテクトロック状態への遷移条件
 - 3). プロテクトロック状態での起動
 - 3-1). “ID コードが ALL0 以外” の状態で、外部リセットを実施した場合、プロテクトロック状態で起動します。
 - 3-2). “ID コードが ALL0 以外” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトロック状態で起動します。
 - 4). プロテクトアンロック状態からプロテクトロック状態への遷移
 - 4-1). SELF ID 認証が不一致の場合、プロテクトロック状態に遷移します。
 - 4-2). “ID コードを ALL0 から ALL0 以外の状態に変更” し、内部リセットを実施した場合、プロテクトロック状態で起動します。
 - 5). プロテクトロック状態維持

SELF ID 認証が不一致の場合、プロテクトロック状態を維持します。

36.3 シリアルプログラミングモード時のセキュリティ機能

シリアルプログラミングモード時のセキュリティ機能の詳細については、「**第 35 章 フラッシュメモリ**」をご参照ください。

36.4 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェースを経由した不正アクセスを防ぐために、デバッグインターフェースの接続制限機能を搭載しており、2種類のレベルがあります。

セキュリティレベル1：OCD ID 認証によるオンチップデバッグ機能へのアクセス制限

セキュリティレベル2：デバッグインターフェースの接続を禁止

これらのセキュリティレベルは、フラッシュメモリの拡張領域にあるオプションバイト2のビット30,29 (OPJTAG1, OPJTAG0) で変更する事ができます。本章では、これらの OPJTAG0、OPJTAG1 について、OPJTAG ビットと略して記載しています。

36.4.1 セキュリティレベルとデバッグインターフェースの接続制限状態

各セキュリティレベルとセキュリティ状態および遷移条件を表 36.3、図 36.2 に示します。

表 36.3 セキュリティレベルとデバッグインターフェースの接続制限状態

状態名	OCD ID 認証	OPJTAG ビット ^{注1}	デバッグインターフェース 接続制限
セキュリティレベル1	解除状態	00 _B 以外	デバッグインターフェース経由 のアクセス制限解除
	ロック状態	00 _B 以外	デバッグインターフェース経由 のアクセス制限有効
セキュリティレベル2	—	00 _B	デバッグインターフェース接続 禁止

注1. OPJTAG ビットの詳細説明については、「第 35 章 フラッシュメモリ」をご参照ください。

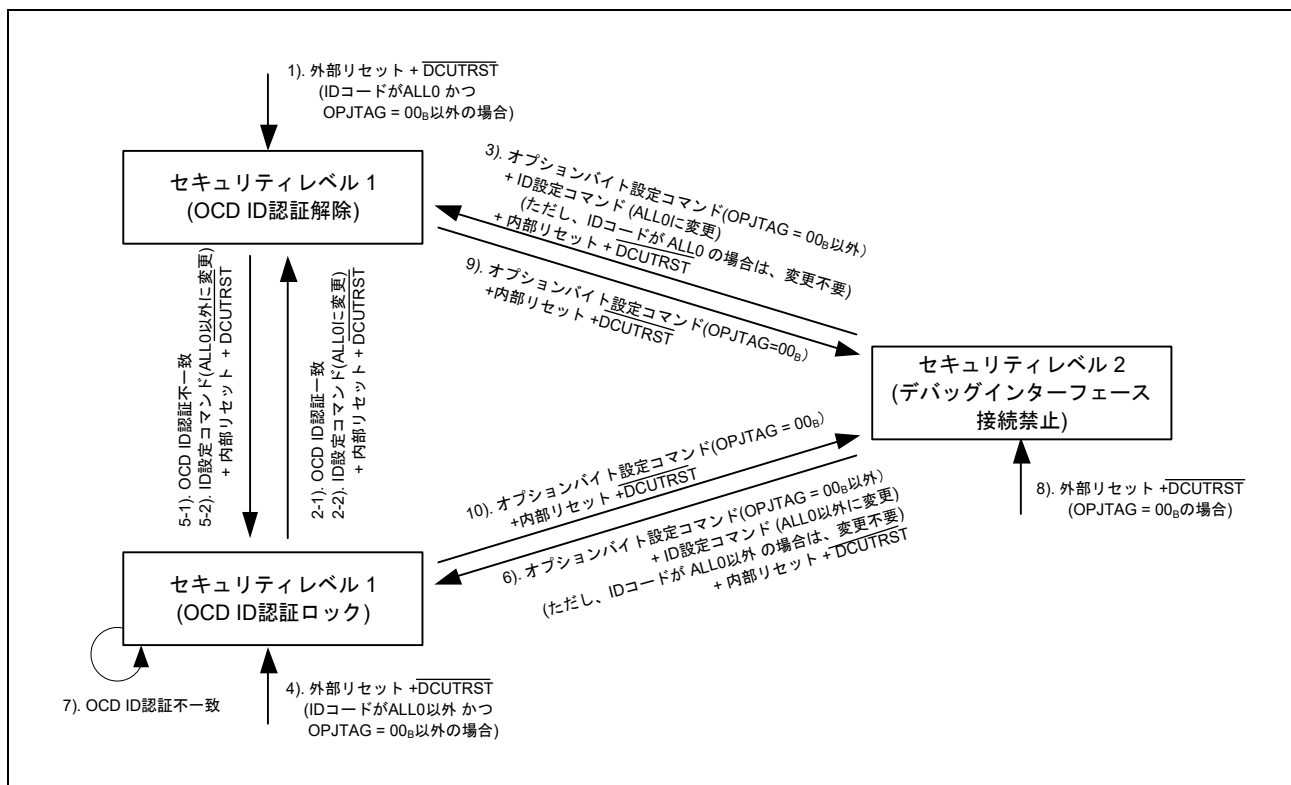


図 36.2 セキュリティレベル状態遷移

図 36.2 に示した各セキュリティレベルへの遷移条件を以下に説明します。

- セキュリティレベル 1 (OCD ID 認証解除) 状態への遷移条件
 - 1). セキュリティレベル 1 (OCD ID 認証解除) 状態での起動

“ID コードが ALL0 かつ OPJTAG が 00_B 以外” の状態で外部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) 状態にて起動します。
 - 2). セキュリティレベル 1 (OCD ID 認証ロック) 状態からセキュリティレベル 1 (OCD ID 認証解除) 状態への遷移
 - 2-1). OCD ID 認証が一致の場合、セキュリティレベル 1 (OCD ID 認証解除) 状態に遷移します。
 - 2-2). “ID コードを ALL0 に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) で起動します。
 - 3). セキュリティレベル 2 状態からセキュリティレベル 1 (OCD ID 認証解除) 状態への遷移

“ID コードを ALL0 かつ OPJTAG を 00_B 以外に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証解除) 状態にて起動します。
- セキュリティレベル 1 (OCD ID 認証ロック) 状態への遷移条件
 - 4). セキュリティレベル 1 (OCD ID 認証ロック) 状態での起動

“ID コードが ALL0 以外かつ OPJTAG が 00_B 以外” の状態で外部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態にて起動します。
 - 5). セキュリティレベル 1 (OCD ID 認証解除) 状態からセキュリティレベル 1 (OCD ID 認証ロック) 状態への遷移
 - 5-1). OCD ID 認証が不一致の場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態に遷移します。
 - 5-2). “ID コードを ALL0 以外に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態で起動します。
 - 6). セキュリティレベル 2 からセキュリティレベル 1 (OCD ID 認証ロック) への遷移

“ID コードを ALL0 以外かつ OPJTAG = 00_B 以外に変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態にて起動します。
 - 7). セキュリティレベル 1 (OCD ID 認証ロック) 状態維持

OCD ID 認証が不一致の場合、セキュリティレベル 1 (OCD ID 認証ロック) 状態を維持します。

- セキュリティレベル 2 への遷移条件

- 8). セキュリティレベル 2 状態での起動

“OPJTAG が 00_B” の状態で外部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

- 9). セキュリティレベル 1 (OCD ID 認証解除) 状態からセキュリティレベル 2 状態への遷移

“OPJTAG を 00_Bに変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

- 10). セキュリティレベル 1 (OCD ID 認証ロック) 状態からセキュリティレベル 2 状態への遷移

“OPJTAG を 00_Bに変更” し、内部リセットおよび $\overline{\text{DCUTRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

第37章 RAM

37.1 搭載 RAM 一覧

RH850/C1M-A では、以下の RAM を搭載します。

- Local RAM (CPU1) 64 KB
- Local RAM (CPU2) 64 KB (C1M-A2)
- Local RAM (EMU) 64 KB
- Global RAM 最大 128 KB ^{注1}

注1. 各製品ごとの搭載容量については、「表 1.1 製品概要」を参照してください。

37.2 特長

アクセス

CPU1、CPU2、EMU3 内蔵 SubCPU、DMAC からは、Local RAM (CPU1、CPU2、EMU3 内蔵 SubCPU) と Global RAM へアクセスできます。

アドレスマップやアクセスの可否の詳細については、「第 4 章 アドレス空間」を参照してください。

ECC

Local RAM (CPU1)、Local RAM (CPU2)、Local RAM (EMU3 内蔵 SubCPU)、Global RAM は ECC およびアドレスパリティを搭載しています。

詳細は「第 29 章 ファンクショナルセーフティ」を参照してください。

37.3 注意事項

(1) Local RAM、Global RAM は、アクセスサイズの最大ビット長で初期化してから使用してください。

初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。

(2) 以下の RAM と CPU の間には高速アクセス用のバッファが存在します。

- Local RAM (CPU1)、Local RAM (CPU2)、Local RAM (EMU)

ライト命令を行った後に同一アドレスからリード命令による読み出しを行うと、RAM ではなくバッファからデータが読み出される場合があります。

確実に RAM からデータを読み出すためには、以下のような方法があります。

1. 32 バイトを超えるデータをライト後、最初にライトしたデータをリードする
2. ライト命令と同一アドレスからのリード命令の間に SYNCM 命令を実行する

第38章 バウンダリスキャン

本章では、バウンダリスキャン全般について説明します。

RH850/C1M-A は JTAG インタフェースを内蔵し、バウンダリスキャン機能を提供します。

38.1 概要

バウンダリスキャンは IEEE 標準 1149.1 で定義されたテスト方式です。プリント基板に搭載されたデバイス間の接続テストに使用します。RH850/C1M-A のバウンダリスキャンは IEEE Std 1149.1-2001 に準拠します。

38.2 特長

- 5本のテスト信号 (DCUTCK、DCUTDI、DCUTDO、DCUTMS、および $\overline{\text{DCUTRST}}$)
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは 6 つのコマンドを備えています。

- BYPASS モード
IEEE 1149.1 に対応したテストモード
- EXTEST モード
IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD モード
IEEE 1149.1 に対応したテストモード
- CLAMP モード
IEEE 1149.1 に対応したテストモード
- HIGHZ モード
IEEE 1149.1 に対応したテストモード
- IDCODE モード
IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を図 38.1 に示します。

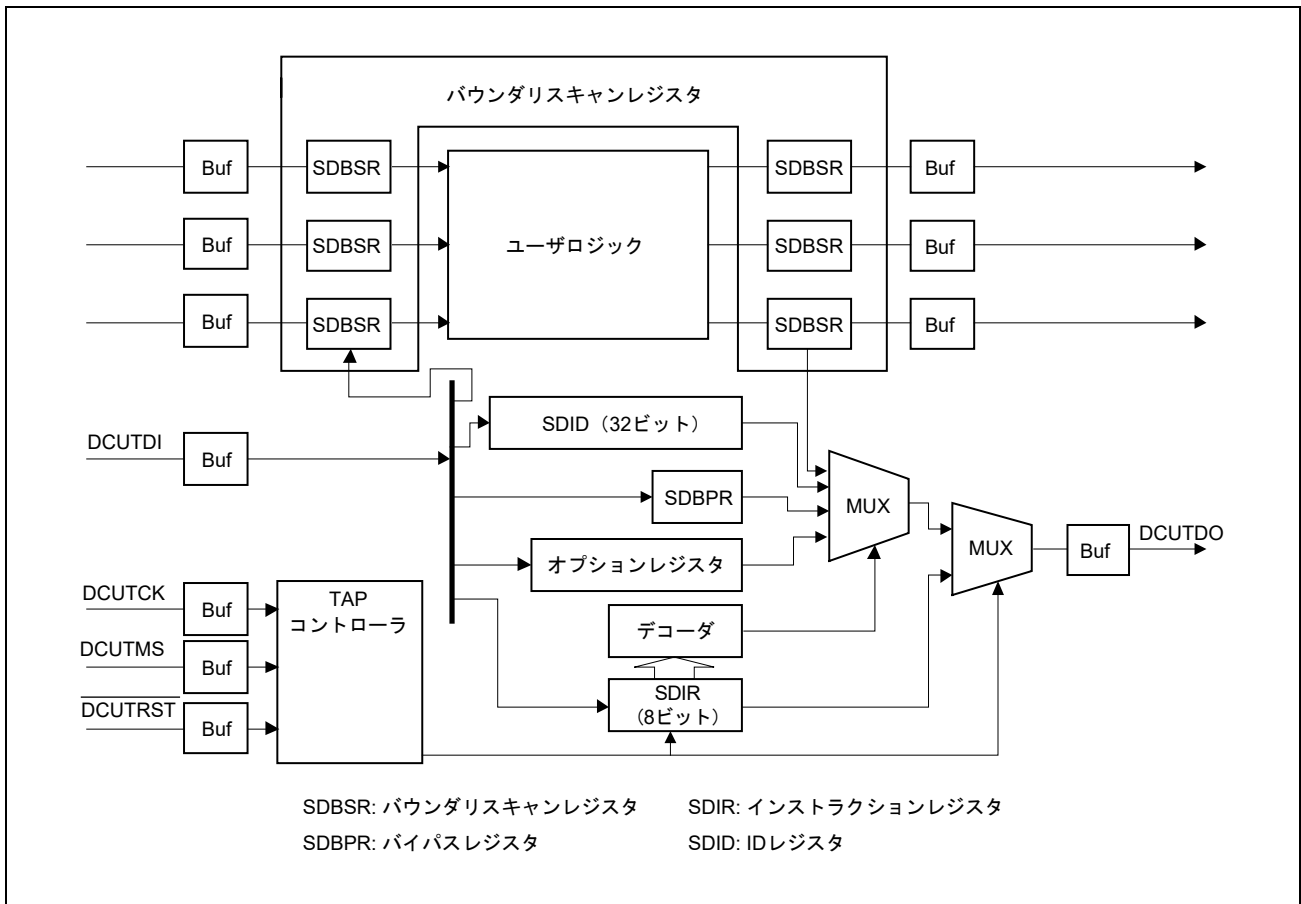


図 38.1 JTAG インタフェースブロック図

38.3 入出力端子

JTAG の制御信号には DCUTCK、DCUTDI、DCUTMS、DCUTDO、 $\overline{\text{DCUTRST}}$ の 5 本があります。

表 38.1 に端子構成を示します。

表 38.1 端子構成

名称	説明
DCUTCK	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (DCUTDI) から供給され、データ出力端子 (DCUTDO) から出力されます。
DCUTMS	モードセレクト入力端子 DCUTCK に同期してこの信号を変化させることによって TAP コントローラの状態が決まります。プロトコルは「 図 38.2 TAP コントローラ状態遷移図 」を参照してください。
$\overline{\text{DCUTRST}}$	リセット入力端子 DCUTCK とは非同期で入力を受け付けロウレベルで JTAG インタフェースをリセットします。JTAG インタフェースの機能の利用の有無にかかわらず、電源投入時に $\overline{\text{DCUTRST}}$ を一定期間ロウレベルにしなければなりません。
DCUTDI	シリアルデータ入力端子 DCUTCK に同期してこの端子を変化させることによって JTAG インタフェースにデータを送ります。
DCUTDO	シリアルデータ出力端子 DCUTCK に同期してこの端子を読み出すことによって JTAG インタフェースからデータを読み取ります。

38.4 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR : インストラクションレジスタ
- SDID : ID レジスタ
- SDBPR : バイパスレジスタ
- SDBSR : バウンダリスキャンレジスタ

表 38.2 レジスタ構成

レジスタ名	略称	アクセスサイズ	リセット後の値 ^{注 1}
インストラクションレジスタ	SDIR	8	55 _H
ID レジスタ	SDID	32	1832 B447 _H (C1M-A2) 1832 D447 _H (C1M-A1)
バイパスレジスタ	SDBPR	1	不定
バウンダリスキャンレジスタ	SDBSR	—	不定

注 1. (DCUTRST[−] 端子が 0、または TAP が Test-Logic-Reset 状態) で初期化。

コマンドは、シリアルデータ入力端子 (DCUTDI) からシリアル転送によりインストラクションレジスタ (SDIR) へ入力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、DCUTDI と DCUTDO はこのレジスタに接続されます。また、バウンダリスキャンレジスタ (SDBSR) は SAMPLE/PRELOAD モード、および EXTEST モード時 DCUTDI と DCUTDO はこのレジスタに接続されます。ID レジスタ (SDID) は 32 ビットのレジスタで IDCODE モード時、DCUTDO を通じて固定コードが出力できます。

表 38.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 38.3 バウンダリスキャンレジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可 ^{注 1}
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

注 1. 固定値が読み出されます。

38.4.1 インストラクションレジスタ (SDIR)

インストラクションレジスタ (SDIR) はバウンダリスキャンのコマンドを保持する 8 ビットのレジスタです。 $\overline{\text{DCUTRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

表 38.4 バウンダリスキャンコマンド

IRコード								説明
0	0	0	0	0	0	0	0	JTAG EXTEST
0	1	0	0	0	0	0	0	JTAG SAMPLE/PRELOAD
1	1	0	1	0	0	0	0	JTAG CLAMP
1	0	0	0	0	0	0	0	JTAG HIGHZ
0	1	0	1	0	1	0	1	JTAG IDCODE (リセット後の値)
1	1	1	1	1	1	1	1	JTAG BYPASS
上記以外								予約

38.4.2 ID レジスタ (SDID)

ID レジスタ (SDID) は、32 ビットのレジスタで、LSI 固有の ID を持ちます。

JTAG インタフェースの端子側からは IDCODE のコマンドがセットされたときに読み出し可能で、書き込みはできません。

読み出される値は、「表 38.2 レジスタ構成」を参照してください。

38.4.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 DCUTDI と DCUTDO の間に接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のアサートでも初期化されません。

38.4.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタです。SDIR に “SAMPLE/PRELOAD”、“EXTEST” コマンドがセットされると、端子 DCUTDI と DCUTDO の間に SDBSR が接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のアサートでも初期化されません。

38.5 動作説明

38.5.1 TAP コントローラ

図 38.2 に TAP コントローラの内部状態を示します。

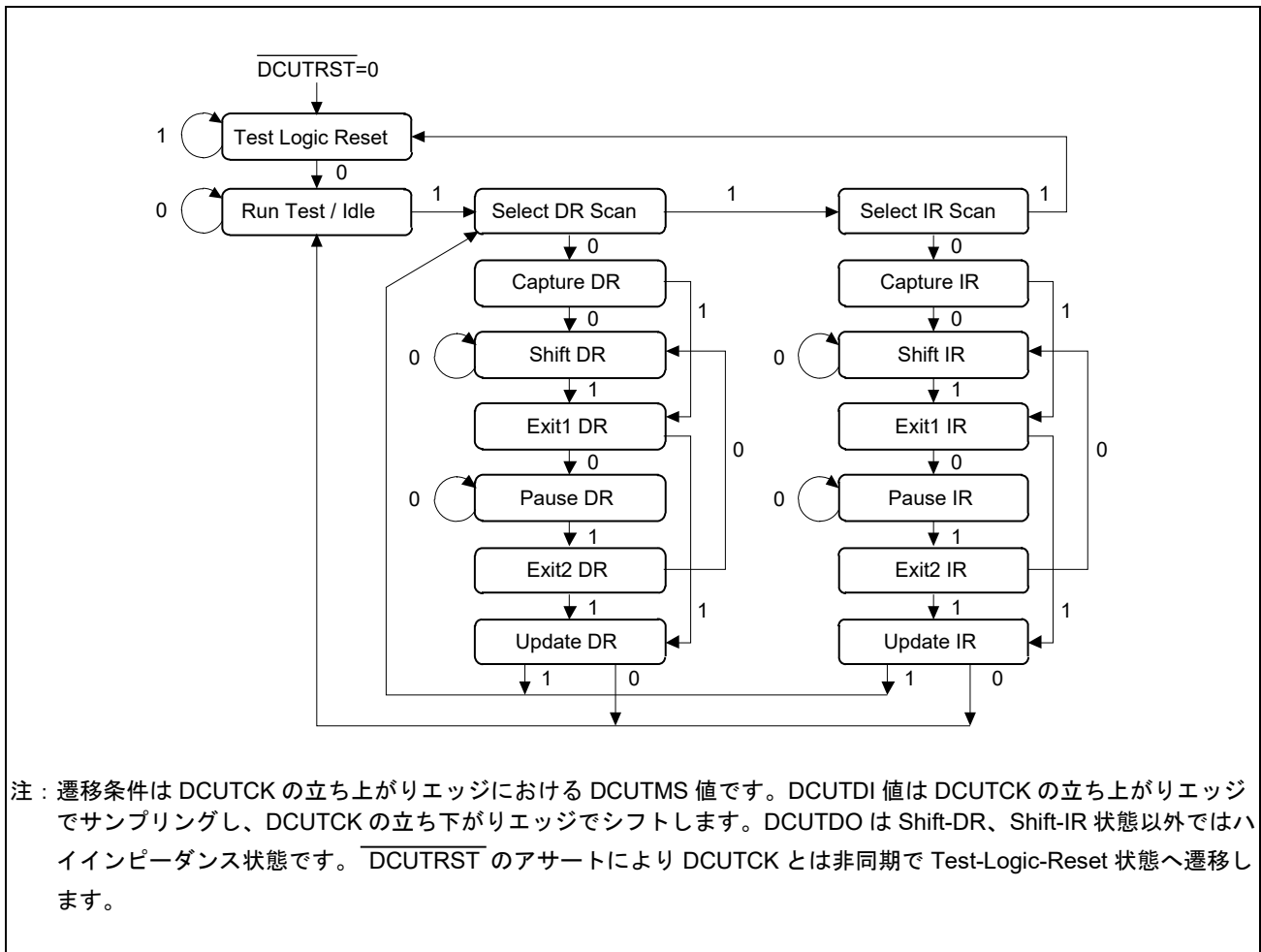


図 38.2 TAP コントローラ状態遷移図

38.5.2 サポートするコマンド

38.5.2.1 BYPASS

BYPASS コマンドは、バイパスレジスタを動作させる必須の標準コマンドです。このコマンドはシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。このコマンドの実行中、テスト回路はシステム回路に何も影響を与えません。

38.5.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD コマンドは本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするコマンドです。本コマンド実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本コマンドの実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST コマンドに先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチにリセット後の値を設定します。PRELOAD 動作がないと、EXTEST コマンドを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST コマンドでは出力ピンに常に平行出力ラッチを出力する）こととなります。

38.5.2.3 EXTEST

本コマンドでは、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本コマンドの実行時、出力ピンはバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD コマンドすでに設定されています）をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST コマンドを N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本コマンドの Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません（シフト動作で入れ替えます）。

38.5.2.4 CLAMP

CLAMP コマンドが選択されると、出力ピンはあらかじめ SAMPLE/PRELOAD コマンドによって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

DCUTDI、DCUTDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

38.5.2.5 HIGHZ

HIGHZ コマンドが選択されると、すべての出力ピンはハイインピーダンス状態となります。HIGHZ コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

DCUTDI、DCUTDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

38.5.2.6 IDCODE

JTAG インタフェースの端子を JTAG で規定されている“IDCODE”モードに設定できます。JTAG インタフェースを初期化した場合（ $\overline{\text{DCUTRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする）、“IDCODE”モードになります。

38.5.3 注意事項

JTAG インタフェースには以下のような制限があります。

- 電源/GND 端子はバウンダリスキャンの対象外です。
- A/D コンバータのリファレンス電圧端子（A0VREFH、A1VREFH、A2VREFH）はバウンダリスキャンの対象外です。
- NC 端子はバウンダリスキャンの対象外です。
- バウンダリスキャンの対象外の端子を表 38.5 に示します。

表 38.5 バウンダリスキャン対象外の端子

分類	端子
アナログ入力	ADCC0I00, ADCC0I01, ADCC0I02, ADCC0I03, ADCC0I10, ADCC0I11, ADCC0I12, ADCC0I13, ADCC0I20, ADCC0I21, ADCC0I22, ADCC0I23, ADCC0I30, ADCC0I31, ADCC0I32, ADCC0I33, ADCC1I00, ADCC1I01, ADCC1I02, ADCC1I03, ADCC1I10, ADCC1I11, ADCC1I12, ADCC1I13, ADCC1I20, ADCC1I21, ADCC1I22, ADCC1I23, ADCC1I30, ADCC1I31, ADCC1I32, ADCC1I33, ADCC2I00, ADCC2I01, ADCC2I02, ADCC2I03, ADCC2I10, ADCC2I11, ADCC2I12, ADCC2I13, ADCC2I20, ADCC2I21, ADCC2I22, ADCC2I23, ADCC2I30, ADCC2I31, ADCC2I32, ADCC2I33, RDC3A0COM, RDC3A1COM, RDC3A0RSO, RDC3A1RSO, RDC3A0S1, RDC3A0S2, RDC3A0S3, RDC3A0S4, RDC3A1S1, RDC3A1S2, RDC3A1S3, RDC3A1S4
汎用入力	P7_8
デバッグ系	AUDCK, $\overline{\text{DCURDY}}$, DCUTCK, DCUTDI, DCUTDO, DCUTMS, $\overline{\text{DCUTRST}}$
モード設定	MD0, MD1, FLMODE
クロックリセット	X1, X2, $\overline{\text{RESET}}$
エラー出力	$\overline{\text{ERROROUT_M}}$

- PullDown される端子に対する HIGHZ コマンドは無効です。

38.6 使用上の注意

1. コマンドは、いったんセットされると他のコマンドが再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASS モード等) をいったん設定してから再度コマンドを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、 $\overline{\text{RESET}}$ がハイレベルの状態では $\overline{\text{DCUTRST}}$ を解除してください。
3. DCUTCK に入力可能な最大周波数は「**第 39 章 電気的特性**」を参照してください。
4. DCUTDI、DCUTDO 間に接続されるレジスタのビット数を超過してシリアル転送した場合、レジスタのビット数を超過して DCUTDO から出力されるシリアルデータは、DCUTDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{DCUTRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
6. DCUTDO の出力タイミングは DCUTCK の立ち下がりからになります。
7. デバッグ容易化のため、 $\overline{\text{DCUTRST}}$ の基板上の配線はパターンカットが容易なように配慮してください。

第39章 電気的特性

39.1 絶対最大定格

絶対最大定格を示します。

表 39.1 絶対最大定格

項目		略号	定格値	単位	備考
電源電圧 ^{注1}	SYSVCC, VCC	VCC	-0.3~+6.5	V	
	VDD	VDD	-0.3~+1.8	V	
入力電圧	SYSVCC 電源関連端子	Vin	-0.3~SYSVCC+0.3	V	対象の端子名は表 39.2 を参照してください。
	VCC 電源関連端子	Vin	-0.3~VCC+0.3	V	
アナログ電源電圧	A0VCC, A1VCC, A2VCC		-0.3~+6.5	V	
	RVCC		-0.3~+6.5	V	
アナログ基準電圧	A0VREFH		-0.3~A0VCC+0.3	V	
	A1VREFH		-0.3~A1VCC+0.3	V	
	A2VREFH		-0.3~A2VCC+0.3	V	
アナログ入力電圧	VAIN		-0.3~A0VCC+0.3 -0.3~A1VCC+0.3 -0.3~A2VCC+0.3	V	
	VRIN		-0.3~RVCC+0.3	V	
VSS 差動電圧 (条件 : VSS, A0VSS, A1VSS, A2VSS RVSS のうちの任意の 2 つの VSS 間)			-0.1~+0.1	V	
最大入力電流 (1 端子当たり)	デジタル入力端子	I _{max}	-25~+25	mA	同時に 1 端子のみ
	アナログ入力端子	I _{max}	-25~+25	mA	
ジャンクション温度 ^{注1}		T _j	-40~+150	°C	
保存温度		T _{stg}	-55~+150	°C	実装後

注 1. この LSI を T_j = 125°C 以上、T_j = 150°C までの範囲で動作させる場合は、累積動作時間を 3,000 時間以内にしてください。

備 考

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

複数の電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。

入力電圧、アナログ基準電圧、アナログ入力電圧は 6.5 V を超えないようにしてください。

39.2 DC 特性

39.2.1 電源名と端子の関係

電源名と端子の関係を表 39.2 に示します。

表 39.2 電源名と端子の関係

端子名 (リセット後の値)	回路電源名	I/O	入力バッファタイプ	備考
Px_x	VCC	I/O	シュミット B	ドライバピリティ変更可
P7_8	YSVCC	I	シュミット A	
ADCC0lxx	A0VCC	I ^{注 1}	アナログ (ADC)	
ADCC1lxx	A1VCC	I	アナログ (ADC)	
ADCC2lxx	A2VCC	I	アナログ (ADC)	
RDC3AnSx ^{注 2}	RVCC	I	アナログ (RDC)	
RDC3AnRSO ^{注 2}	RVCC	IO	—	
RDC3AnCOM ^{注 2}	RVCC	IO	—	
$\overline{\text{RESET}}$	YSVCC	I	シュミット A	
FLMODE	YSVCC	I	シュミット A	
MD0	YSVCC	I	シュミット A	
MD1	YSVCC	I	シュミット A	
$\overline{\text{ERROROUT_M}}$	VCC	O	—	
X1	VCC	I	CMOS	
X2	VCC	O	—	
$\overline{\text{AUDRST}}$	VCC	I	シュミット A	
AUDCK	VCC	I	CMOS	
AUDSYNC	VCC	I	CMOS	
AUDATAx	VCC	I/O	CMOS	
$\overline{\text{DCUTRST}} / \overline{\text{LPDTRST}}$	VCC	I	シュミット A	
DCUTDO/LPDO	VCC	O	—	
DCUTMS	VCC	I	CMOS	
DCUTCK/LPDCLK	VCC	I	CMOS	
DCUTDI/LPDI	VCC	I	CMOS	
$\overline{\text{DCURDY}} / \overline{\text{LPDCLKOUT}}$	VCC	O	—	

注 1. 一部 RDC3A 端子との兼用があります。以下の端子は I/O となります。

ADCC1I00/RDC3A0SINMNT, ADCC1I01/RDC3A0COSMNT, ADCC0I12/RDC3A1SINMNT, ADCC0I13/RDC3A1COSMNT

注 2. C1M-A2 : n = 0, 1、C1M-A1 : n = 0

備 考

入力バッファタイプがシュミットバッファ (シュミット A, B) であっても、DC 的に中間電位が印加された場合、端子内で貫通電流が発生することがあります。

39.2.2 推奨動作条件

表 39.3 推奨動作条件

記号	Min.	Typ.	Max.	単位	備考
SYSVCC	4.5	5.0	5.5	V	
VCC	4.5	5.0	5.5		
VDD	1.15	1.25	1.35		
A0VCC, A1VCC, A2VCC 注 1	4.5	5.0	5.5		
RVCC 注 1	4.5	5.0	5.5		
A0VREFH, A1VREFH, A2VREFH 注 2	4.5	5.0	5.5		

注： VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V でご使用ください。

注 1. A0VCC と A1VCC、A2VCC、RVCC は同電位になるように接続してください。

注 2. A0VCC、A1VCC、A2VCC を超えない値を設定してください。

39.2.3 入力電圧特性

表 39.4 DC 特性 (入力電圧)

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目	記号	Min.	Typ.	Max.	単位	測定条件	
シュミットトリガ入力電圧 (バッファタイプ A)	SYSVCC VCC	V_T^+ (V_{IH})	SYSVCC × 0.75 VCC × 0.75	—	SYSVCC + 0.3 VCC + 0.3	V	表 39.2 参照 (入力バッファタイプがシュミット A の項目)
		V_T^- (V_{IL})	-0.3	—	SYSVCC × 0.25 VCC × 0.25		
		V_{HS}	SYSVCC × 0.2 VCC × 0.2	—	—		
シュミットトリガ入力電圧 (バッファタイプ B)	VCC	V_T^+ (V_{IH})	VCC × 0.7	—	VCC + 0.3	V	表 39.2 参照 (入力バッファタイプがシュミット B の項目)
		V_T^- (V_{IL})	-0.3	—	VCC × 0.42		
		V_{HS}	VCC × 0.082	—	—		
CMOS 入力電圧	VCC	V_{IH}	VCC × 0.7	—	VCC + 0.3	V	表 39.2 (入力バッファタイプが CMOS の項目)
		V_{IL}	-0.3	—	VCC × 0.2		

39.2.4 入力リーク電流特性

表 39.5 DC 特性（入力リーク電流）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流	A/D ポート R/D ポート 以外 ^{注1}	I _{lin}	—	—	1	μA	V _{in} = 0 V~SYSVCC V _{in} = 0 V~VCC
	A/D ポート	I _{lin}	—	—	0.1	μA	V _{in} = 0 V~A0VCC, A1VCC, A2VCC
	R/D ポート	I _{lin}	—	—	0.3	μA	V _{in} = 0 V~RVCC かつ RDC3A 停止時

注1. X1 端子は対象外です。また、各端子におけるプルアップ/プルダウン時も対象外です。

39.2.5 プルアップ/プルダウン MOS 電流特性

表 39.6 DC 特性（プルアップ/プルダウン MOS 電流）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS 電流	DCUTMS, DCUTCK, DCUTDI	I _{pu}	—	—	350	μA	V _{in} = 0 V VCC = 4.5~5.5 V
	AUDCK, $\overline{\text{AUDSYNC}}$, AUDATA3~0 ^{注1}		—	—	350	μA	V _{in} = 0 V VCC = 4.5~5.5 V
	汎用ポート		—	—	350	μA	V _{in} = 0 V, VCC = 4.5~5.5 V
入力プルダウン MOS 電流	$\overline{\text{RESET}}$	I _{pd}	25	160	350	μA	V _{in} = SYSVCC = 4.5~5.5 V
	$\overline{\text{DCUTRST}}$		—	—	350	μA	V _{in} = SYSVCC = 4.5~5.5 V
	FLMODE, MD0, MD1		15	—	350	μA	V _{in} = SYSVCC = 4.5~5.5 V
	$\overline{\text{AUDRST}}$		—	—	350	μA	V _{in} = VCC = 4.5~5.5 V
	汎用ポート		—	—	350	μA	V _{in} = VCC = 4.5~5.5 V

注1. AUDATA3~0 のプルアップは、入力時だけでなく出力時にも有効です。

39.2.6 出力電圧特性

表 39.7 DC 特性（出力電圧）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目	記号	Min.	Typ.	Max.	単位	測定条件	
出力ハイレベル電圧	VCC 電源系端子	V _{OH}	VCC - 0.5	—	—	V	I _{OH} = 200 μA VCC = 4.5~5.5 V
			VCC - 1.0	—	—	V	I _{OH} = 1 mA VCC = 4.5~5.5 V
出力ローレベル電圧	VCC 電源系端子	V _{OL}	—	—	0.4	V	I _{OL} = 1.6 mA VCC = 4.5~5.5 V
			—	—	1.2	V	I _{OL} = 4 mA VCC = 4.5~5.5 V

39.2.7 許容出力電流

表 39.8 DC 特性（許容出力電流）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目	記号	Min.	Typ.	Max.	単位	測定条件
出力ローレベル許容電流 (1 端子当たり)	I _{OL}	—	—	4.0	mA	
出力ローレベル許容電流 (総和)	ΣI _{OL}	—	—	80.0	mA	
出力ハイレベル許容電流 (1 端子当たり)	I _{OH}	—	—	2.0	mA	
出力ハイレベル許容電流 (総和)	ΣI _{OH}	—	—	25.0	mA	

本項目はチップの発熱量や Tj に影響します。本制約のほかに、熱設計についても考慮をお願いします。

39.2.8 注入電流

表 39.9 DC 特性（注入電流）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目		記号	Min.	Typ.	Max.	単位
DC 注入電流（1 端子当たり）	ロジック端子	IIC	-2.0	—	2.0	mA
	アナログ端子 ^{注 1}		-3.0	—	3.0	mA
DC 注入電流（総和）		$\Sigma IIC $	-50.0	—	50.0	mA

本項目はチップの発熱量や Tj に影響します。本制約の他に、熱設計についても考慮をお願いします。

注 1. ADCCn 端子が対象です。ただし、以下の端子は除きます。
 ADCC1I00, ADCC1I01, ADCC0I12, ADCC0I13

39.2.9 入力容量

表 39.10 DC 特性（入力容量）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力容量	全ての端子	Cin	—	10	20	pF	Vin = 0 V, f = 1 MHz Tj = 25°C

39.2.10 消費電流特性

表 39.11 DC 特性（消費電流：C1M-A2）

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
コア消費電流 (VDD 電源)	通常動作	I_{dd}	—	—	730	mA	
	リセット時電流	I_{ddrst}	—	—	335	mA	
VCC 電源消費電流	通常動作 (CodeFlash 消去動作時を除く)	I_{CC}	—	—	25	mA	I/O 電流除く
	CodeFlash 消去動作時	$I_{CC_cferase}$	—	—	60	mA	I/O 電流除く, 注 1
	リセット時電流	I_{Ccrst}	—	—	15	mA	
システム系の消費電流 (SYSVCC 電源)	通常動作	I_{SYS}	—	—	7	mA	PLL 電流含む
	リセット時電流	I_{sysrst}	—	—	3	mA	
アナログ電源電流 (A0VCC, A1VCC, A2VCC 電源)		I_{AVCC}	—	—	30	mA	
アナログ電源電流 (RVCC 電源)		I_{RVCC}	—	—	20	mA	
ADC 基準電源電流 (A0VREFH, A1VREFH, A2VREFH)		I_{AVREF}	—	—	0.5	mA	

注 1. 消去中は大きな電流変動が発生します。平均電流は 15mA となります。

注 意

- A/D 変換器を使用しないとき、および A/D 変換器がスタンバイのとき、A0VCC, A1VCC, A2VCC, A0VREFH, A1VREFH, A2VREFH, A0VSS, A1VSS, A2VSS 端子を開放しないでください。
- 消費電流値は、すべての出力端子を無負荷状態で、 $V_{IHmin} = VCC - 0.5 V$, $V_{IL} = 0.5 V$ のときの値です。

表 39.12 DC 特性 (消費電流 : C1M-A1)

条件 : SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
コア消費電流 (VDD 電源)	通常動作	I_{dd}	—	—	540	mA	
	リセット時電流	I_{ddrst}	—	—	335	mA	
VCC 電源消費電流	通常動作 (CodeFlash 消去動作時を除く)	I_{CC}	—	—	25	mA	I/O 電流除く
	CodeFlash 消去動作時	$I_{CC_cferase}$	—	—	60	mA	I/O 電流除く, 注 1
	リセット時電流	I_{ccrst}	—	—	15	mA	
システム系の消費電流 (SYSVCC 電源)	通常動作	I_{SYS}	—	—	7	mA	PLL 電流含む
	リセット時電流	I_{sysrst}	—	—	3	mA	
アナログ電源電流 (A0VCC, A1VCC, A2VCC 電源)		I_{AVCC}	—	—	30	mA	
アナログ電源電流 (RVCC 電源)		I_{RVCC}	—	—	10	mA	
ADC 基準電源電流 (A0VREFH, A1VREFH, A2VREFH)		I_{AVREF}	—	—	0.5	mA	

注 1. 消去中は大きな電流変動が発生します。平均電流は 15mA となります。

注 意

- A/D 変換器を使用しないとき、および A/D 変換器がスタンバイのとき、A0VCC, A1VCC, A2VCC, A0VREFH, A1VREFH, A2VREFH, A0VSS, A1VSS, A2VSS 端子を開放しないでください。
- 消費電流値は、すべての出力端子を無負荷状態で、 $V_{IHmin} = VCC - 0.5 V$, $V_{IL} = 0.5 V$ のときの値です。

39.3 AC 特性

タイミング条件について、特に記載がない場合は、下記条件を適用します。

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

- ポートコントロールレジスタにおいて、出力端子のドライバビリティ選択ができるものについては、同一チャンネルで使用するモジュールの出力端子をすべて同じドライバビリティに設定した条件を適用します。特に指定のない限り、すべてのドライバビリティ設定を含みます。
- AC 測定条件は、特に記載がないものは、下図に従います。

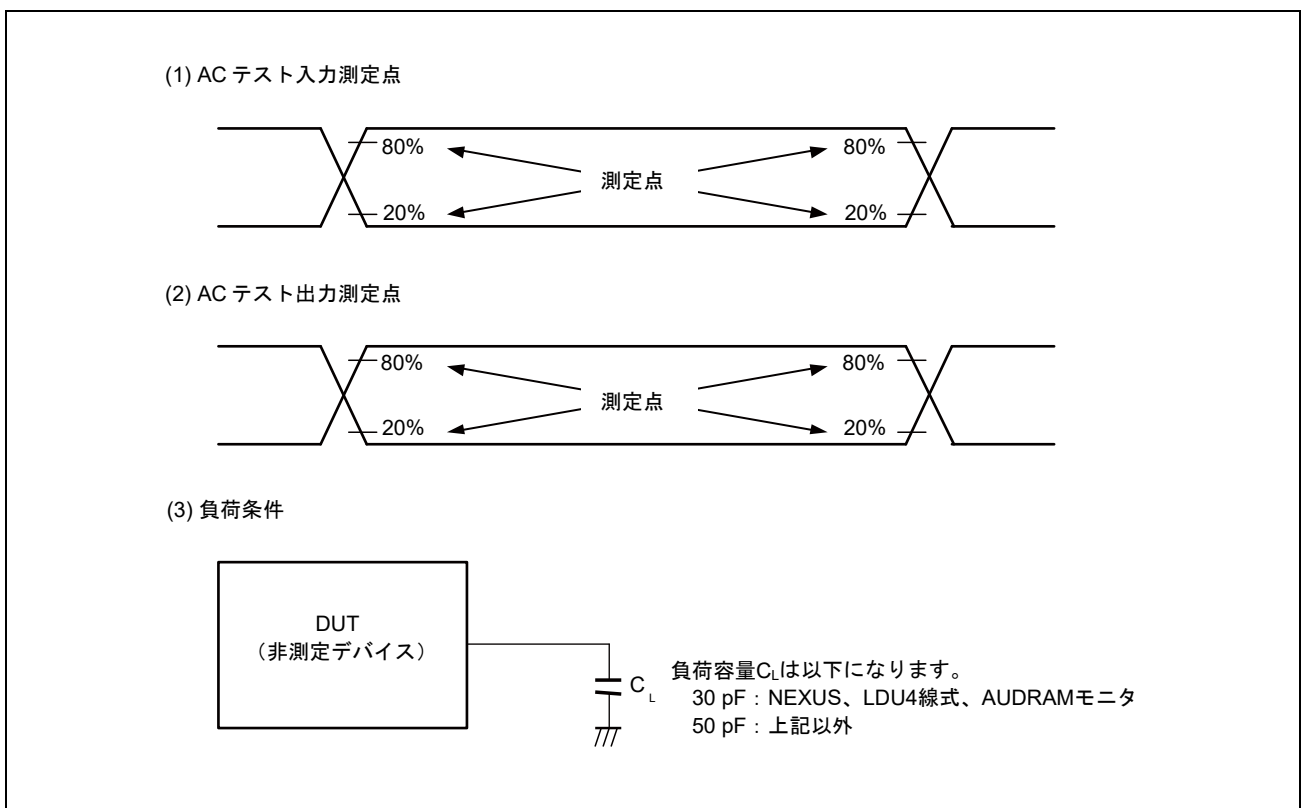


図 39.1 AC 測定条件

39.3.1 電源投入／切断タイミング

表 39.13 電源投入／切断タイミング

項目	略号	Min.	Max.	単位	備考
電源立ち上げ時の端子リセットL期間	tRESW1	10	—	ms	注 1
電源立ち下げ時の端子リセットL期間	tRESW2	0	—	μs	注 2
PLL1 ロックアップ時間	tPLL1L0	—	1	ms	注 3

注 1. tRESW1 は、全電源が立ち上がり内部クロック安定供給に必要なリセット期間を示します。

注 2. tRESW2 は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。

注 3. tPLL1L0 は、MOSC (メイン OSC) が発振安定してから PLL1 がロックアップするのに必要な時間を示します。

注 意

- 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2 μs) の期間は、I/O 端子状態はリセットされません。
- フラッシュメモリの書き込み／消去中に電源遮断を行った場合は、書き込み／消去した領域のフラッシュのデータは保証できません。

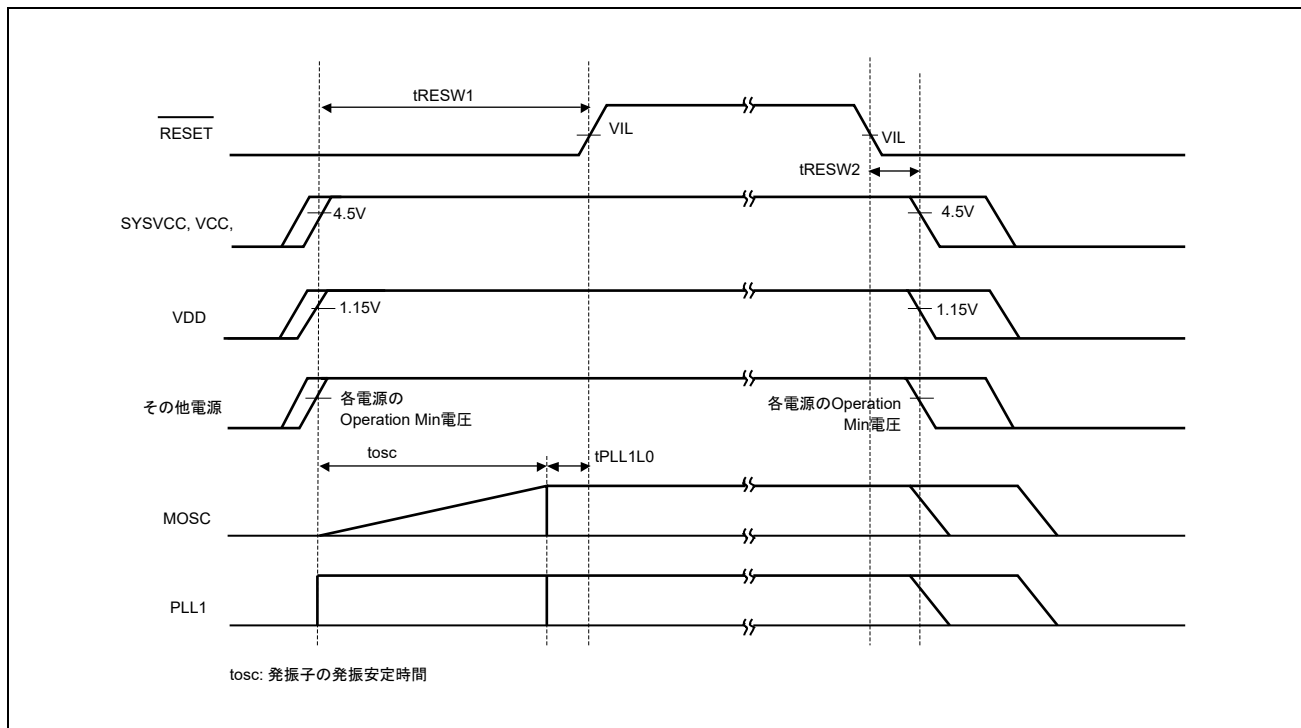


図 39.2 電源投入／切断タイミング

39.3.2 クロックタイミング

39.3.2.1 スペクトラム拡散クロックジェネレータ

表 39.14 SSCG タイミング

項目	記号	Min.	Typ.	Max.	単位
変調周波数 ^{注 1}	f _{mod}	20	—	100	kHz
周波数ディザ範囲 ^{注 1}	f _{dit}	4.1	—	—	%
発振安定時間 (OFF→ON)		—	—	1.6	ms

注 1. 変調方式はダウン拡散のみ。

39.3.2.2 オンチップオシレータ発振周波数精度

表 39.15 オンチップオシレータ発振周波数精度

項目	記号	Min.	Typ.	Max.	単位
CLK_LIOSC 発振周波	fLIOSC	160	240	360	kHz

39.3.3 出力スルーレート

VCC 電源系端子

表 39.16 ドライバビリティ選択 = High

項目	記号	条件	Min.	Typ.	Max.	単位
出力立ち上がり／立ち下がり時間 スルーレート	tR、tF	CL = 25 pF	—	4	6	ns
		CL = 50 pF	—	6	12	ns
		CL = 75 pF	—	8	16	ns
		CL = 100 pF	—	10	20	ns

表 39.17 ドライバビリティ選択 = Mid

項目	記号	条件	Min.	Typ.	Max.	単位
出力立ち上がり／立ち下がり時間 スルーレート	tR、tF	CL = 25 pF	—	8	15	ns
		CL = 50 pF	—	15	30	ns
		CL = 75 pF	—	23	45	ns
		CL = 100 pF	—	30	60	ns

表 39.18 ドライバビリティ選択 = Low

項目	記号	条件	Min.	Typ.	Max.	単位
出力立ち上がり／立ち下がり時間 スルーレート	tR、tF	CL = 25 pF		25	50	ns
		CL = 50 pF		50	100	ns
		CL = 75 pF		70	120	ns
		CL = 100 pF		85	150	ns

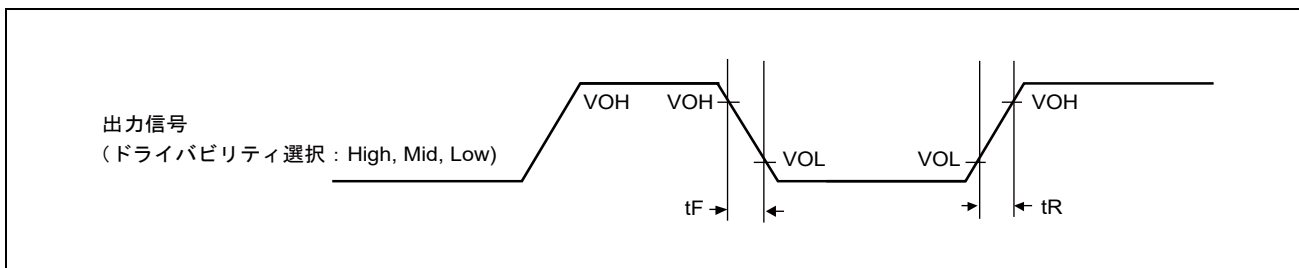


図 39.3 出力信号タイミング

39.3.4 制御信号タイミング

表 39.19 制御信号

項目	記号	Min.	Typ.	Max.	単位
リセットパルス幅 ^{注1}	tRESW3	1.5	—	—	μs
リセットノイズキャンセル幅	tRESNCW	0.2	0.4	1.2	μs
IRQ パルス幅 ^{注2}	tIRQ	50	—	—	ns
動作モードセットアップ時間	tMDS	1	—	—	ms
動作モードホールド時間	tMDH	1	—	—	ms

注 1. リセットパルス幅は必ず tRESW3 の min 値以上入れてください。

リセットパルス幅がリセットノイズキャンセル幅の min 値未満なら、リセットを受け付けません。

注 2. DNF にてノイズ除去禁止の場合。

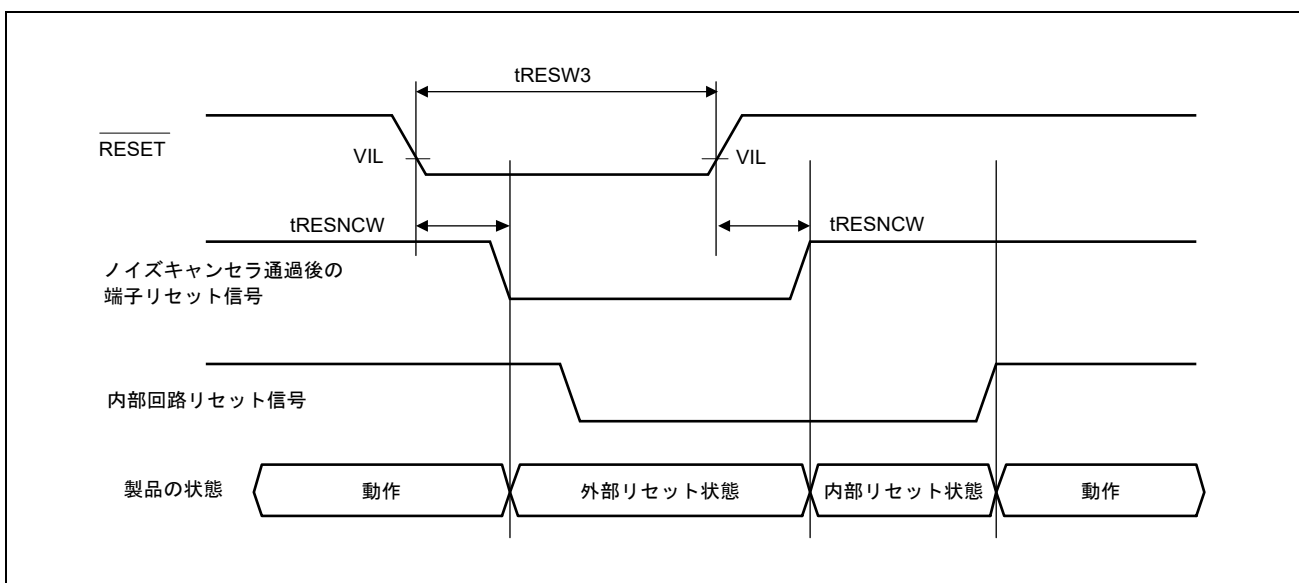


図 39.4 リセットタイミング

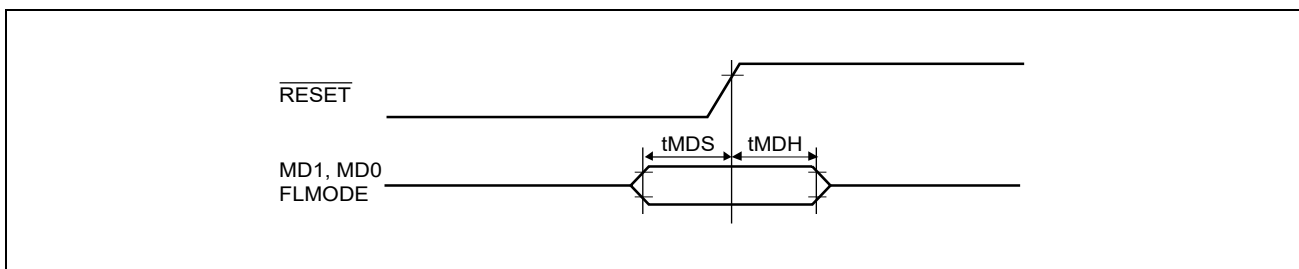


図 39.5 制御信号タイミング

39.3.5 CSIH タイミング

39.3.5.1 マスタモード

表 39.20 CSIH タイミング (マスタモード時)

条件: CL = 50 pF、ドライバピリティ選択 = High

項目	略号	条件	Min.	Max.	単位
CSIHnSC 周期	tKCYM		100	—	ns
CSIHnSC 出力ハイレベル幅	tKWHM		$(tKCYM/2) - 20$	—	ns
CSIHnSC 出力ロウレベル幅	tKWLM		$(tKCYM/2) - 20$	—	ns
CSIHnSI 入力セットアップ時間	tSSIM		18	—	ns
CSIHnSI 入力ホールド時間	tHSIM		10	—	ns
CSIHnSO 出力遅延時間	tDSOM		—	10	ns
CSIHnSO 出力ホールド時間 (対 CSIHnSC)	tHSOM		$tKWHM - 10$	—	ns
CSIHnRYI セットアップ時間	tSRYI	HSE = 1	$(2 \times tPAck) + 30$	—	ns
CSIHnCSSx インアクティブレベル幅	tWCSB	注 1	$(CSidle + 0.5) \times tKCYM - 20$	—	ns
		上記以外	$CSidle \times tKCYM - 20$	—	ns
CSIHnCSSx セットアップ時間	tSSCSB0	DAP = 0	$CSsetup \times tKCYM - 10$	—	ns
	tSSCSB1	DAP = 1	$(CSsetup + 0.5) \times tKCYM - 10$	—	ns
CSIHnCSSx ホールド時間	tHSCSB0	SIT = 0	$CShold \times tKCYM - 10$	—	ns
	tHSCSB1	SIT = 1	$(CShold + 0.5) \times tKCYM - 10$	—	ns

注 1. 通信中にシリアルクロックのレベルが変更された場合、かつ IDLE 設定が 0.5 送信クロックの場合。

備考 tPAck は CSIH の動作クロック周期を表します。(80-MHz SSCG)

n = 0~2, x = 0~3

CSsetup : CSIHnCFGx.CSIH0SPx3-0 設定値

CShold : CSIHnCFGx.CSIH0HDx3-0 設定値

CSidle : CSIHnCFGx.CSIHnDx2-0 設定値

DAP : CSIHnCFGx.CSIHnDAPx ビット

SIT : CSIHnCTL1.CSIHnSIT ビット

HSE : CSIHnCTL1.CSIHnHSE ビット

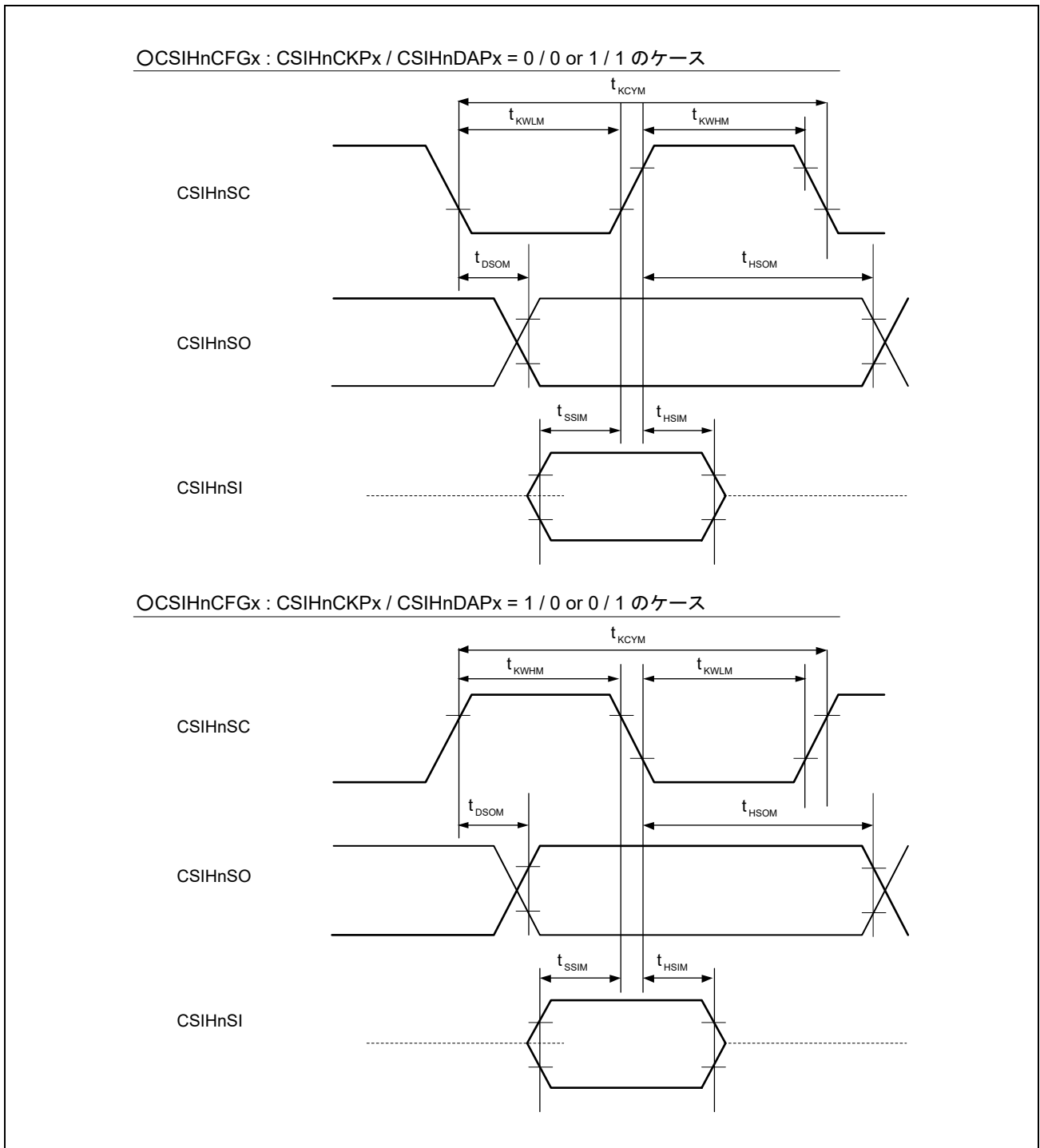


図 39.6 CSH タイミング (マスターモード) (1/4)

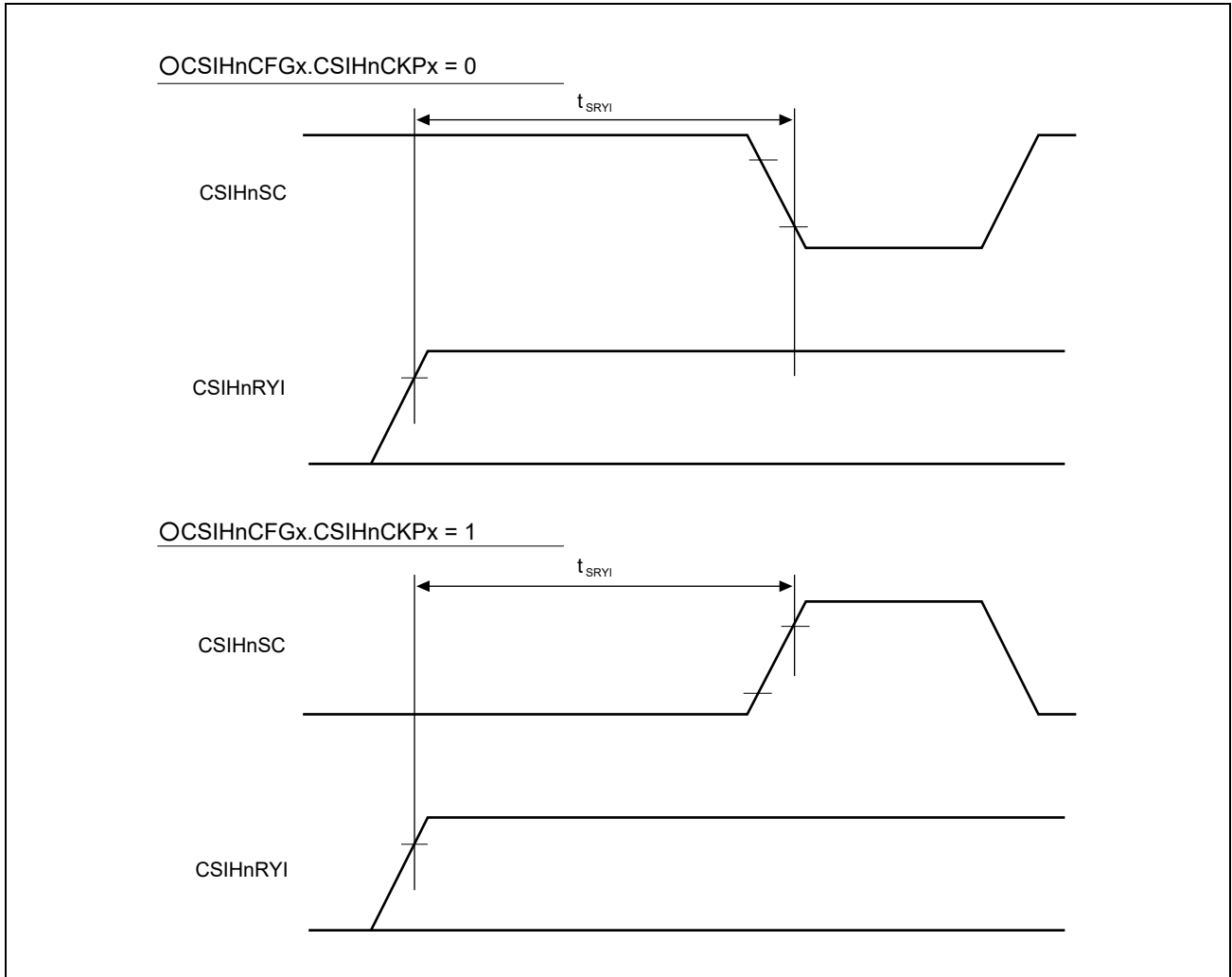


図 39.6 CSIH タイミング (マスターモード) (2/4)

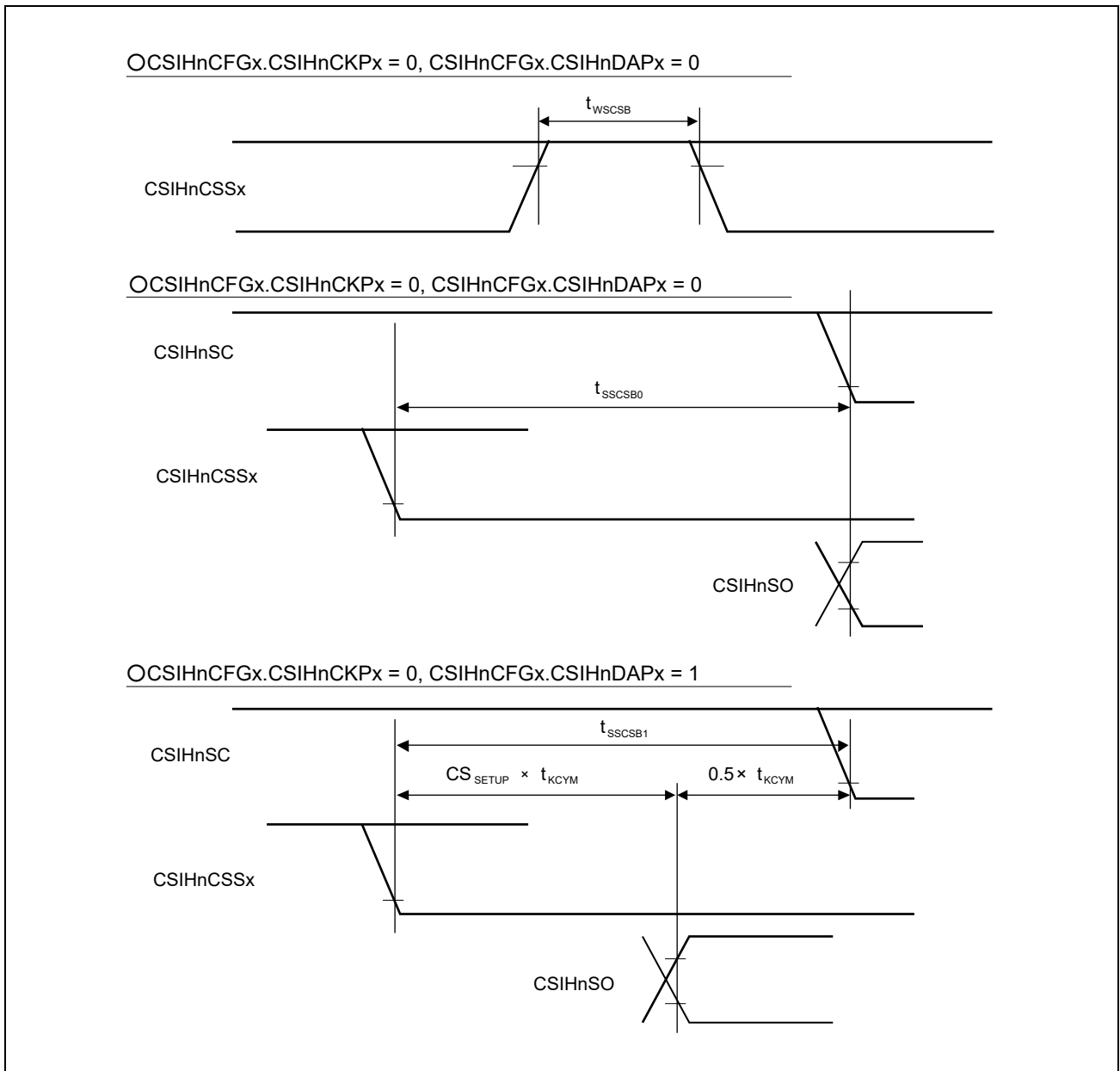


図 39.6 CSIH タイミング (マスターモード) (3/4)

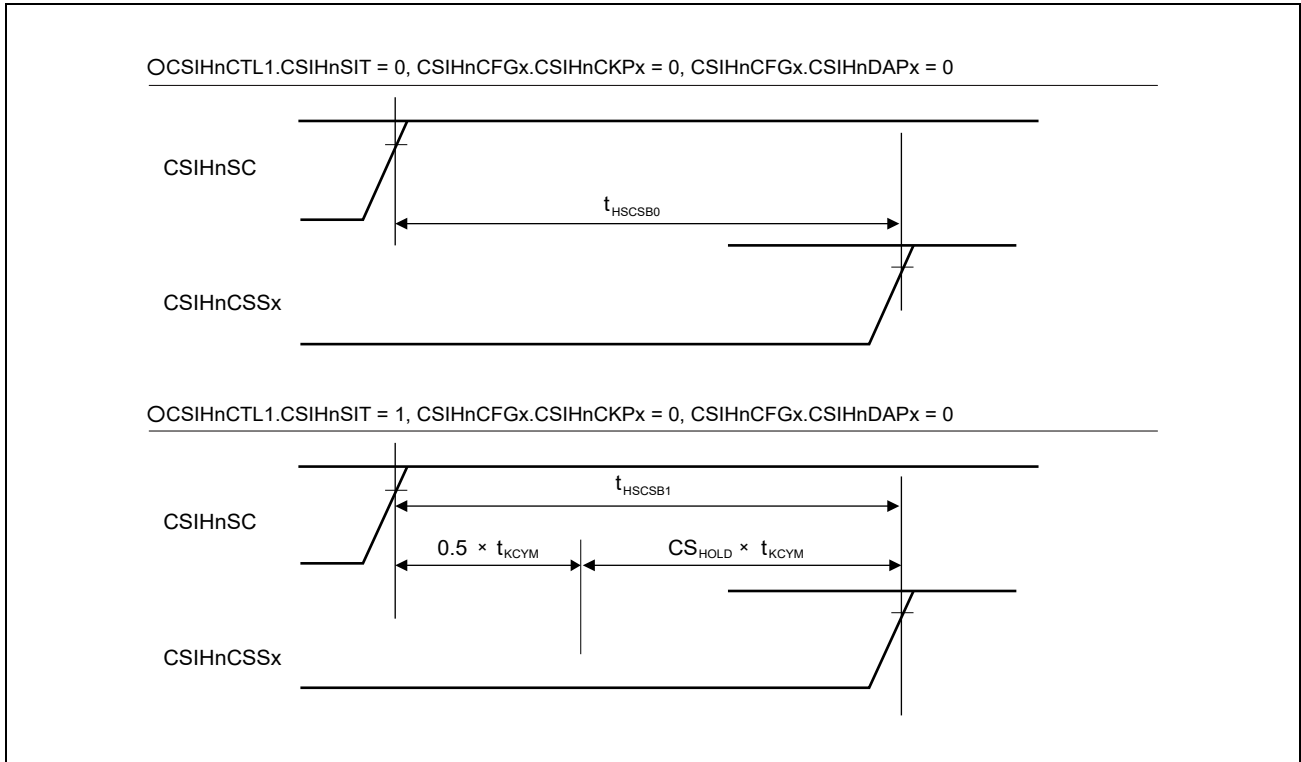


図 39.6 CSIH タイミング (マスターモード) (4/4)

39.3.5.2 スレーブモード

表 39.21 CSIH タイミング (スレーブモード時)

条件: CL = 50 pF、ドライバビリティ選択 = High

項目	略号	条件	Min.	Max.	単位
CSIHnSC 周期	tKCYS		200	—	ns
CSIHnSC 入力ハイレベル幅	tKWHS		(tKCYS/2) – 30	—	ns
CSIHnSC 入力ロウレベル幅	tKWLS		(tKCYS/2) – 30	—	ns
CSIHnSI 入力セットアップ時間	tSSIS		15	—	ns
CSIHnSI 入力ホールド時間	tHSIS		tPAck + 15	—	ns
CSIHnSO 出力遅延時間	tDSOS		—	30	ns
CSIHnSO 出力ホールド時間 (対 CSIHnSC)	tHSOS		tKWHS	—	ns
CSIHnRYO 出力遅延時間	tSRYO		—	30	ns
CSIHnSSI セットアップ時間	tSSSIS		0.5 × tKCYS	—	ns
CSIHnSSI ホールド時間	tHSSIS		tPAck + 30	—	ns
スレーブ出力解放時間	tREL		—	100	ns

備考 tPAck は CSIH の動作クロック周期を表します。(80-MHz SSCG)

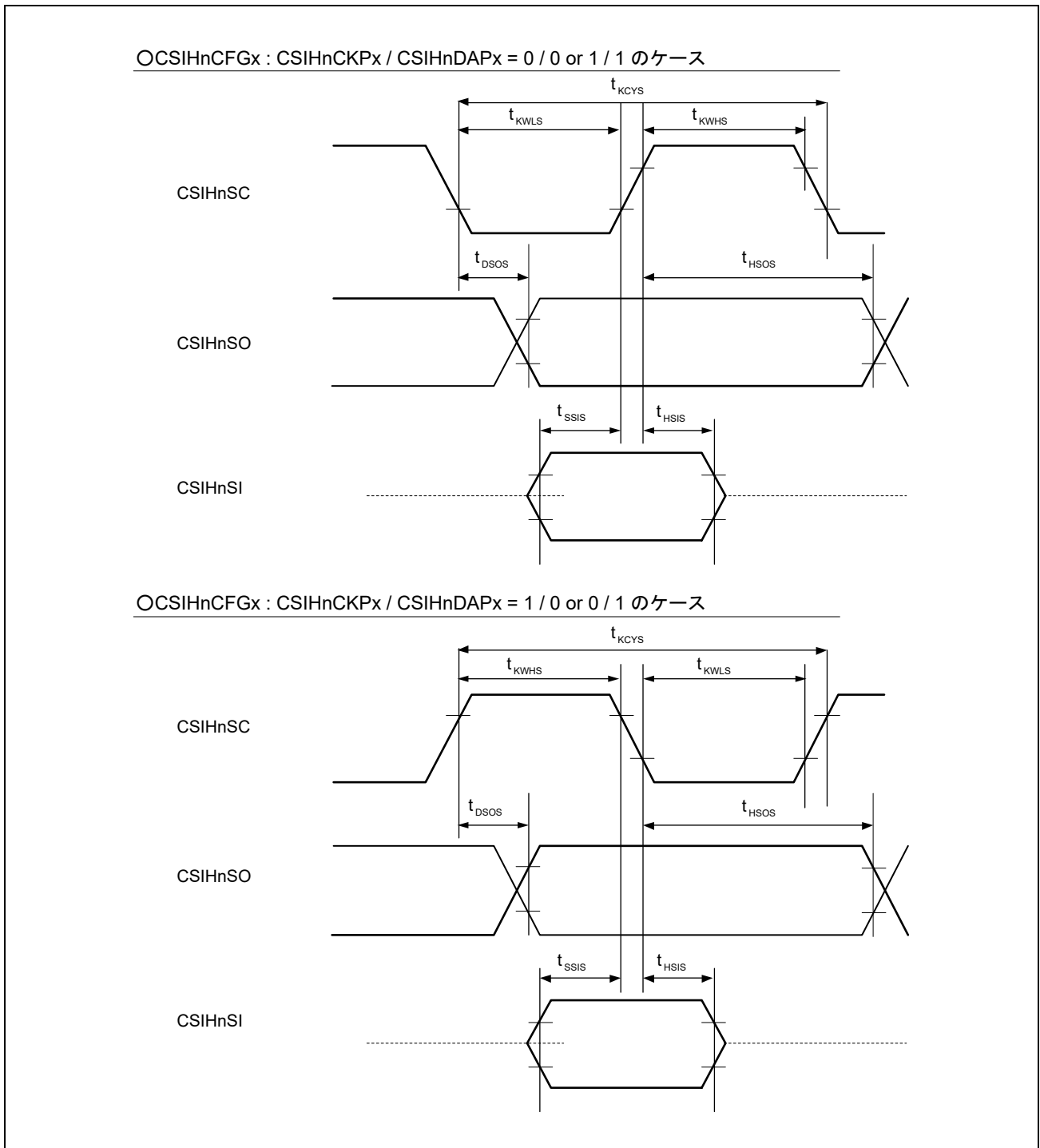


図 39.7 CSIH タイミング (スレーブモード) (1/3)

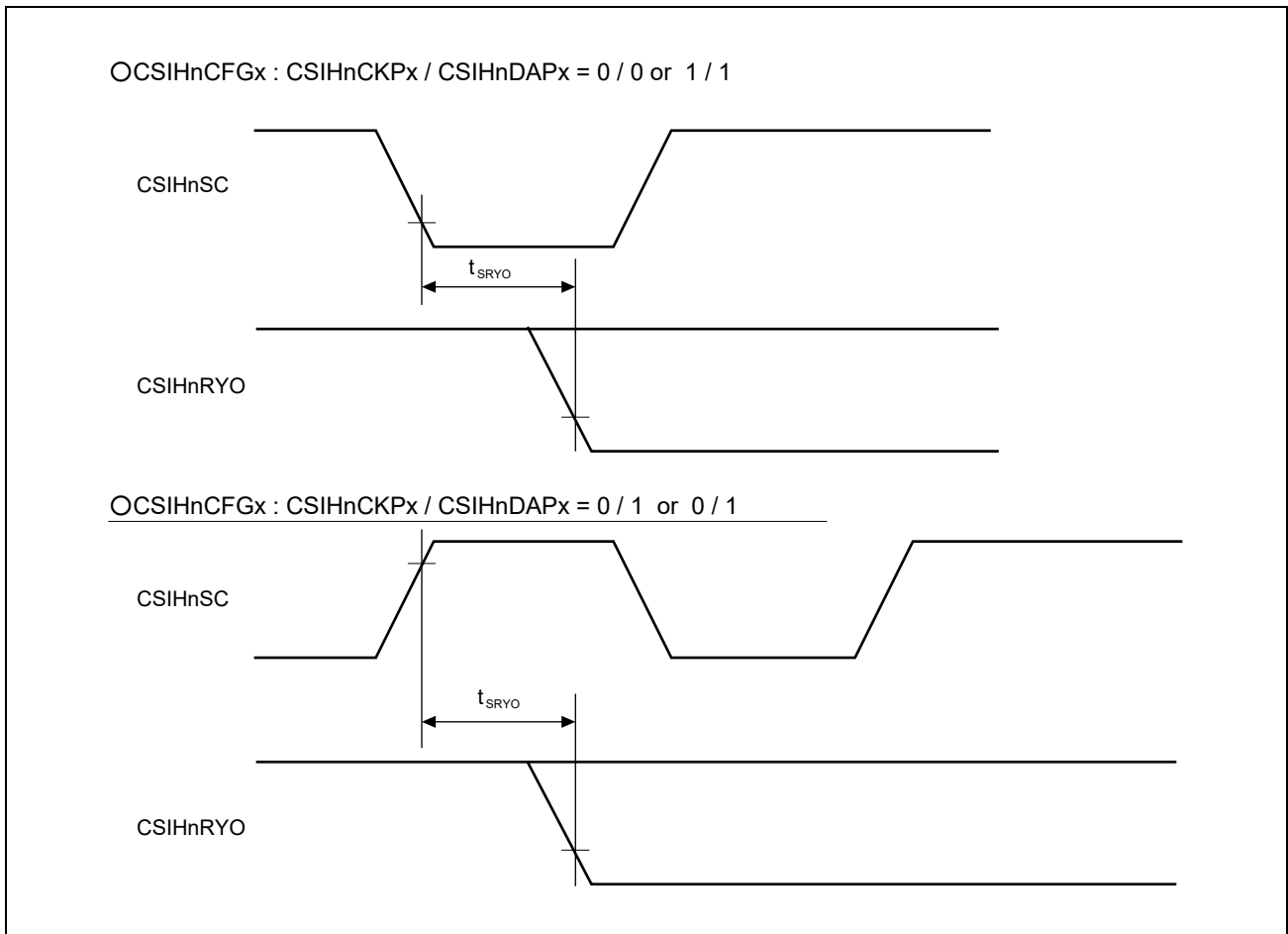


図 39.7 CSIH タイミング (スレーブモード) (2/3)

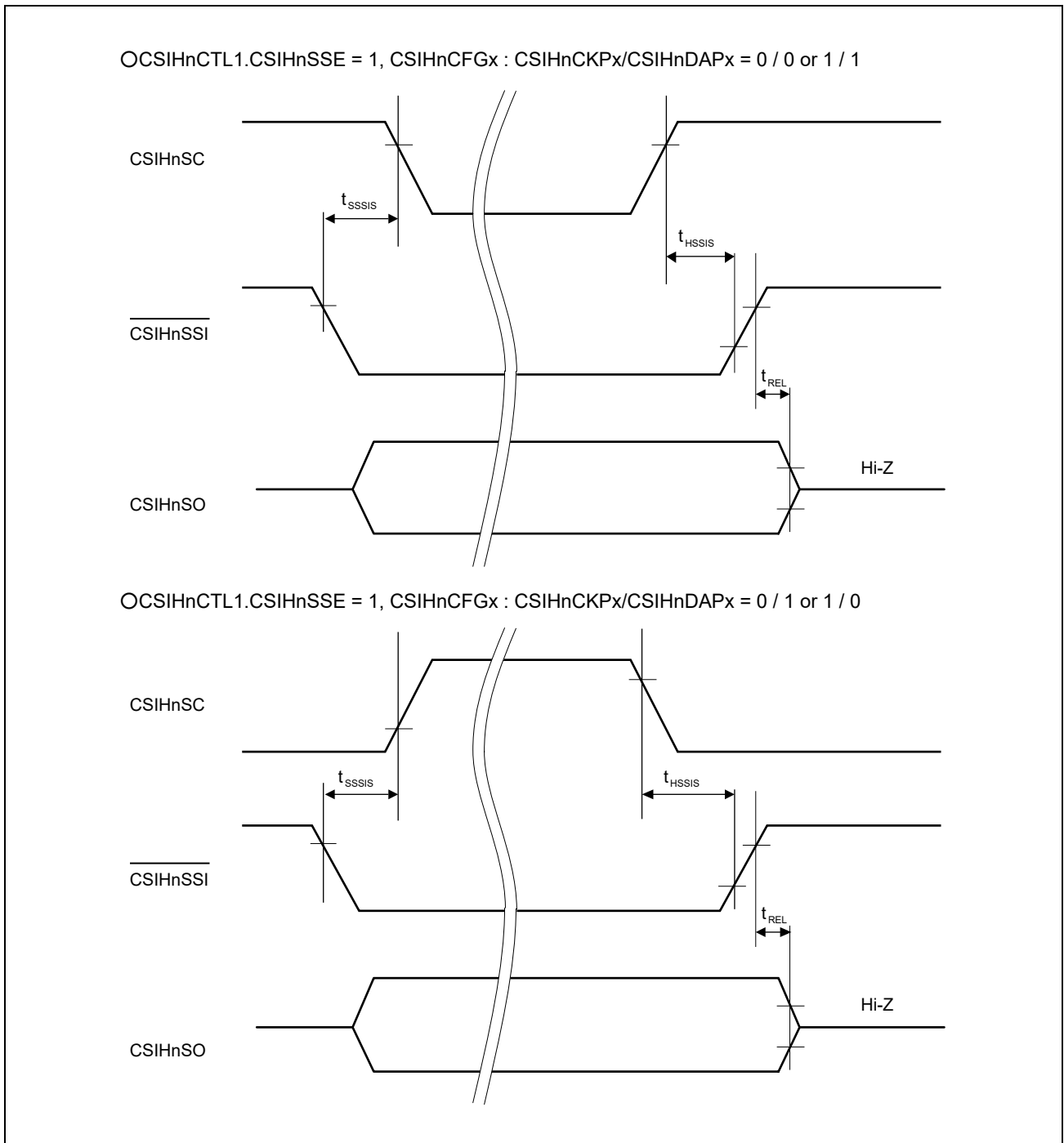


図 39.7 CSH タイミング (スレーブモード) (3/3)

39.3.6 SCI/FLSCI タイミング

表 39.22 SCI3 タイミング (マスタモード時)

条件: CL = 50 pF、ドライバピリティ選択 = High

項目	略号	条件	Min.	Max.	単位
出カクロックサイクル	tScyc	調歩同期	$8 \times tPck$	—	ns
		クロック同期	$8 \times tPck$	—	ns
出カクロックパルス幅	tSCKW		$0.4 \times tScyc$	$0.6 \times tScyc$	ns
送信データ遅延時間	tTXD	クロック同期	—	40	ns
受信データセットアップ時間	tRXS	クロック同期	$2 \times tPck$	—	ns
受信データホールド時間	tRXH	クロック同期	$2 \times tPck$	—	ns

備考 tPck は SCI の動作クロック周期を表します。(40-MHz CleanClock)

注 意

FLSCI ではマスタモードは非対応です。

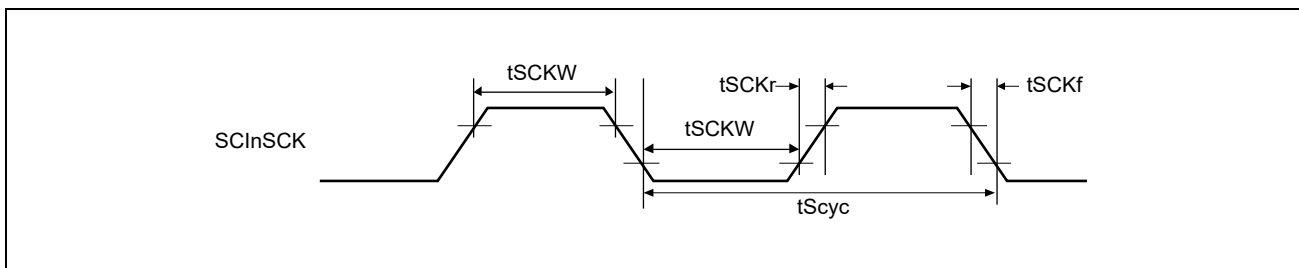


図 39.8 SCI クロック入出力タイミング

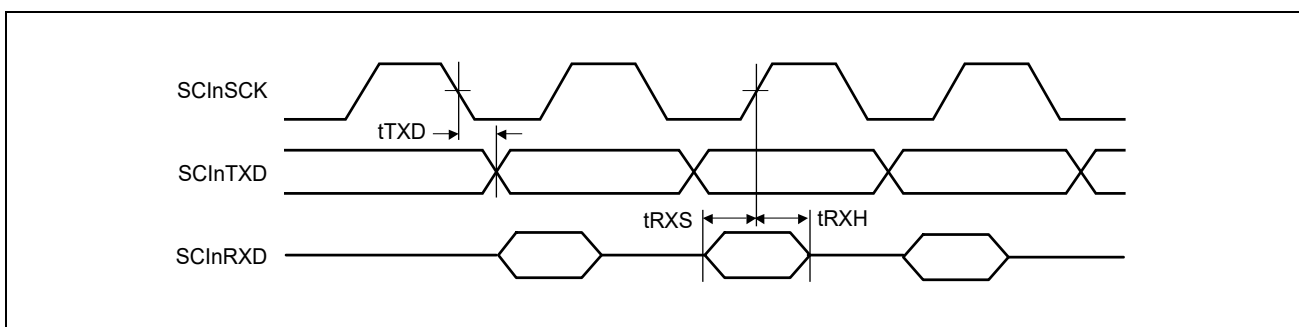


図 39.9 SCI 入出力タイミング/クロック同期式モード

表 39.23 SCI3 タイミング (スレーブモード時)

条件: CL = 50 pF、ドライバリティ選択 = High

項目	略号	Min.	Typ.	Max.	単位
入カロックサイクル	tScyc	$12 \times tPck$	—	—	ns
入カロックパルス幅	tSCKW	$0.4 \times tScyc$	—	$0.6 \times tScyc$	ns
入カロック立ち上がり時間	tSCKr	—	—	20	ns
入カロック立ち下がり時間	tSCKf	—	—	20	ns
送信データ遅延時間 ^{注 1}	tTXD	$2 \times tPck$	—	$50 + 3 \times tPck$	ns
受信データセットアップ時間	tRXS	$2 \times tPck$	—	—	ns
受信データホールド時間	tRXH	$2 \times tPck$	—	—	ns

注 1. “連続転送でない Data0 (1st bit)” 以外が対象です。“連続転送でない Data0 (1st bit)” の送信は TDRE=0 と同時に開始されます。

備考 tPck は SCI の動作クロック周期を表します。(40-MHz CleanClock)
調歩同期のクロック入力モードは未サポートです。

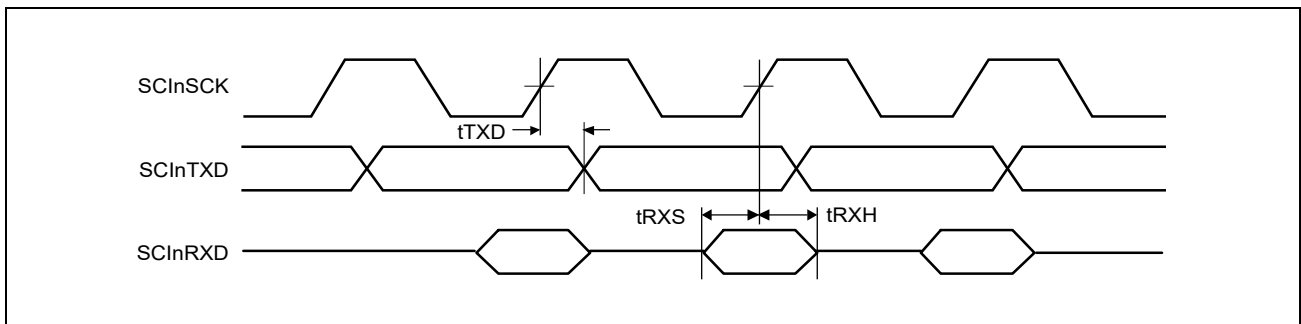


図 39.10 SCI 入出力タイミング/クロック同期式モード (スレーブモード時)

39.3.7 RS-CANFD タイミング

表 39.24 RS-CANFD タイミング

条件： CL = 50 pF、ドライバビリティ選択 = High

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			—	—	5	Mbps
内部遅延時間	t_{NODE}		—	—	50	ns

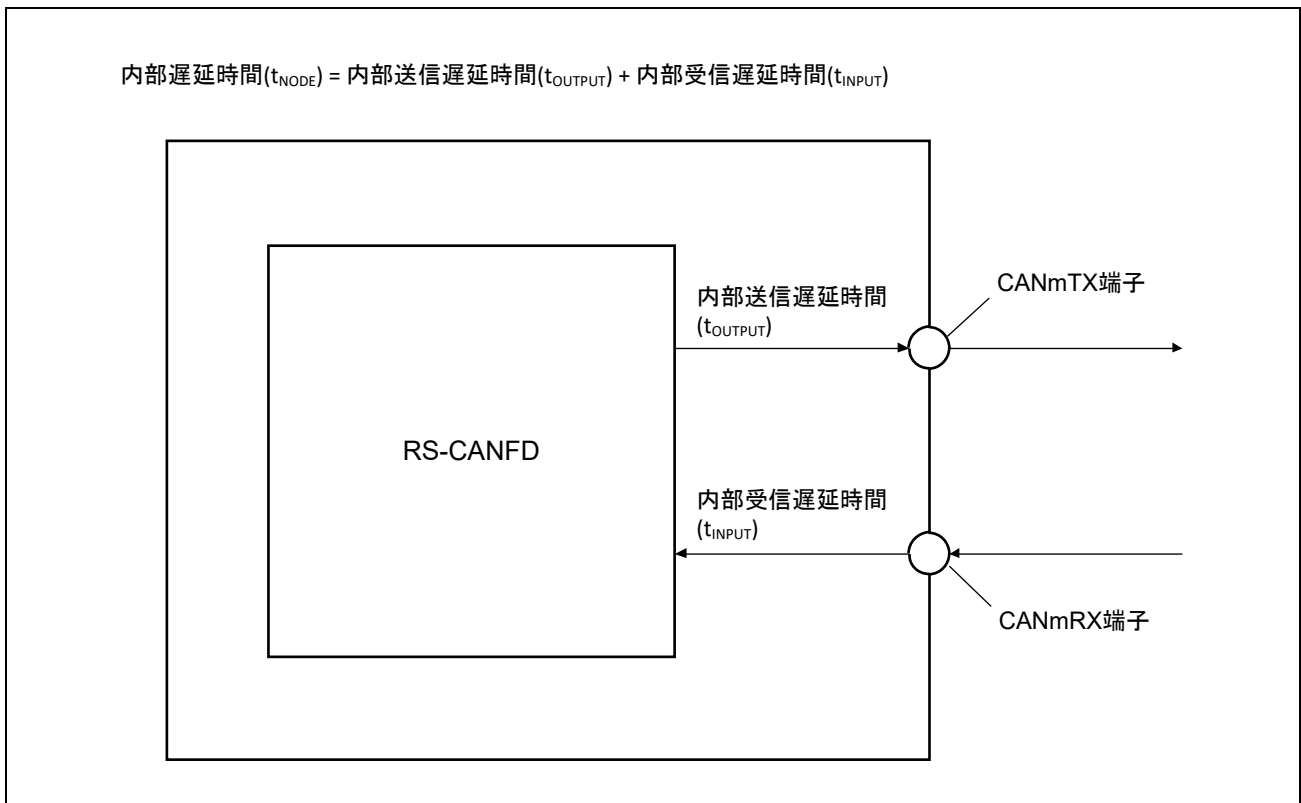


図 39.11 RS-CANFD タイミング

RS-CANFD の内部遅延時間の定義

$$\text{内部遅延時間 (} t_{\text{NODE}} \text{)} = t_{\text{OUTPUT}} + t_{\text{INPUT}}$$

39.3.8 RLIN3 タイミング

表 39.25 RLIN3 タイミング

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		LIN 機能	—	—	20	kbps
		UART 機能	—	—	1.5	Mbps

39.3.9 モータ制御信号タイミング

表 39.26 モータ制御信号タイミング

項目	略号	条件	Min.	Max.	単位
入力ハイレベル幅	tTIH	ENCAAnE0-1, ENCAAnEC 注 1, TAPAnESO	$1.5 \times tPck$	—	ns
入力ロウレベル幅	tTIL	ENCAAnE0-1, ENCAAnEC 注 1, TAPAnESO	$1.5 \times tPck$	—	ns

注：DNF にてノイズ除去禁止の場合。

注 1. TSG3n のホールセンサ入力 (TSG3nPTSI0-I2) として使用する場合。

備考 tPck は TSG3 が動作するクロック周期を示します。(80-MHz CleanClock)

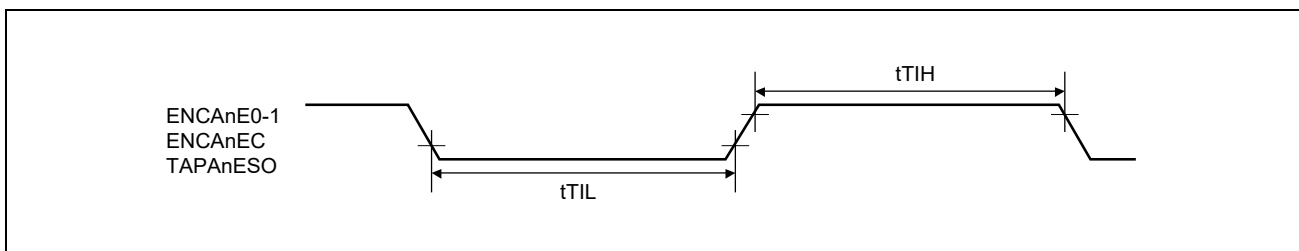


図 39.12 モータ制御信号タイミング

39.3.10 タイマタイミング

表 39.27 タイマタイミング

項目	略号	条件	Min.	Max.	単位
入力ハイレベル幅	tTIH	TAUDnI0-15, TAUJnI0-3, ENCAAnI0-1, ENCAAnE0-1, ENCAAnEC	$1.5 \times tPck$	—	ns
入力ロウレベル幅	tTIL	TAUDnI0-15, TAUJnI0-3, ENCAAnI0-1, ENCAAnE0-1, ENCAAnEC	$1.5 \times tPck$	—	ns

注： DNF にてノイズ除去禁止の場合

備考 tPck はタイマが動作するクロック周期を示します。(80-MHz CleanClock)

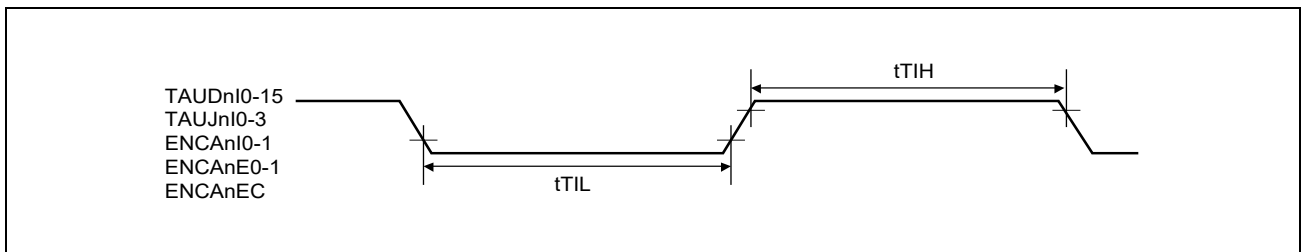


図 39.13 タイマタイミング

39.3.11 JTAG, NEXUS タイミング

表 39.28 JTAG, NEXUS タイミング

条件: CL = 30 pF

項目	略号	条件	Min.	Max.	単位
DCUTCK 周期	tTCKW		50	—	ns
DCUTCK ハイレベル幅	tTCKWH		21	—	ns
DCUTCK ロウレベル幅	tTCKWL		21	—	ns
DCUTMS, DCUTDI セットアップ時間 (対 DCUTCK ↑)	tTISU		12	—	ns
DCUTMS, DCUTDI ホールド時間 (対 DCUTCK ↑)	tTIH		12	—	ns
DCUTDO 出力遅延時間 (対 DCUTCK ↓)	tTDOD		—	tTCKW-20	ns
$\overline{\text{DCURDY}}$ 出力遅延時間 (対 DCUTCK ↓)	tRDYD		—	tTCKW-20	ns
$\overline{\text{DCUTRST}}$ ロウレベル幅	tTRSTWL		1200	—	ns
$\overline{\text{DCUTRST}}$, DCUTCK, DCUTMS, DCUTDI 入力立ち上がり時間	tTIR		—	12	ns
$\overline{\text{DCUTRST}}$, DCUTCK, DCUTMS, DCUTDI 入力立ち下がり時間	tTIF		—	12	ns

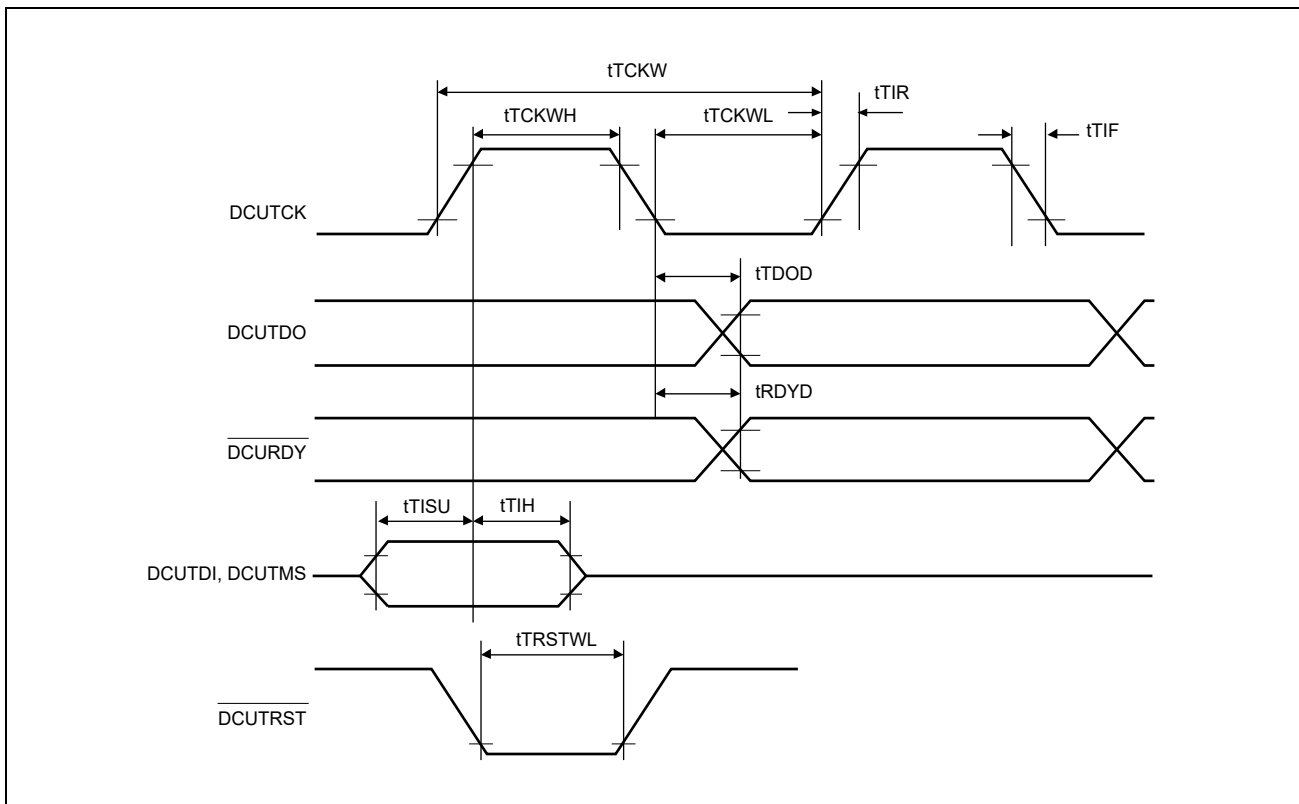


図 39.14 JTAG, NEXUS タイミング

39.3.12 LPD (4-pin) タイミング

表 39.29 LPD (4-pin) タイミング

条件: $T_j = -40^\circ\text{C} \sim 150^\circ\text{C}$ 、 $CL = 30\text{ pF}$

項目	略号	条件	Min.	Max.	単位
LPDCLK 周期	tLPDCKW		25	—	ns
LPDCLK ハイレベル幅	tLPDCKWH		4.5	—	ns
LPDCLK ロウレベル幅	tLPDCKWL		4.5	—	ns
LPDCLK 入力立ち上がり時間	tLPDCKR		—	8	ns
LPDCLK 入力立ち下がり時間	tLPDCKF		—	8	ns
LPDI セットアップ時間 (対 LPDCLK ↑)	tLPDSU		2	—	ns
LPDI ホールド時間 (対 LPDCLK ↑)	tLPDH		2	—	ns
LPDCLKOUT 周期	tLPDCKOW		25	—	ns
LPDCLKOUT ハイレベル幅	tLPDCKOWH		4.5	—	ns
LPDCLKOUT ロウレベル幅	tLPDCKOWL		4.5	—	ns
LPDCLKOUT 入力立ち上がり時間	tLPDCKOR		—	8	ns
LPDCLKOUT 入力立ち下がり時間	tLPDCKOF		—	8	ns
LPDO 出力遅延時間 (対 LPDCLKOUT ↑)	tLPDOD		0	12	ns

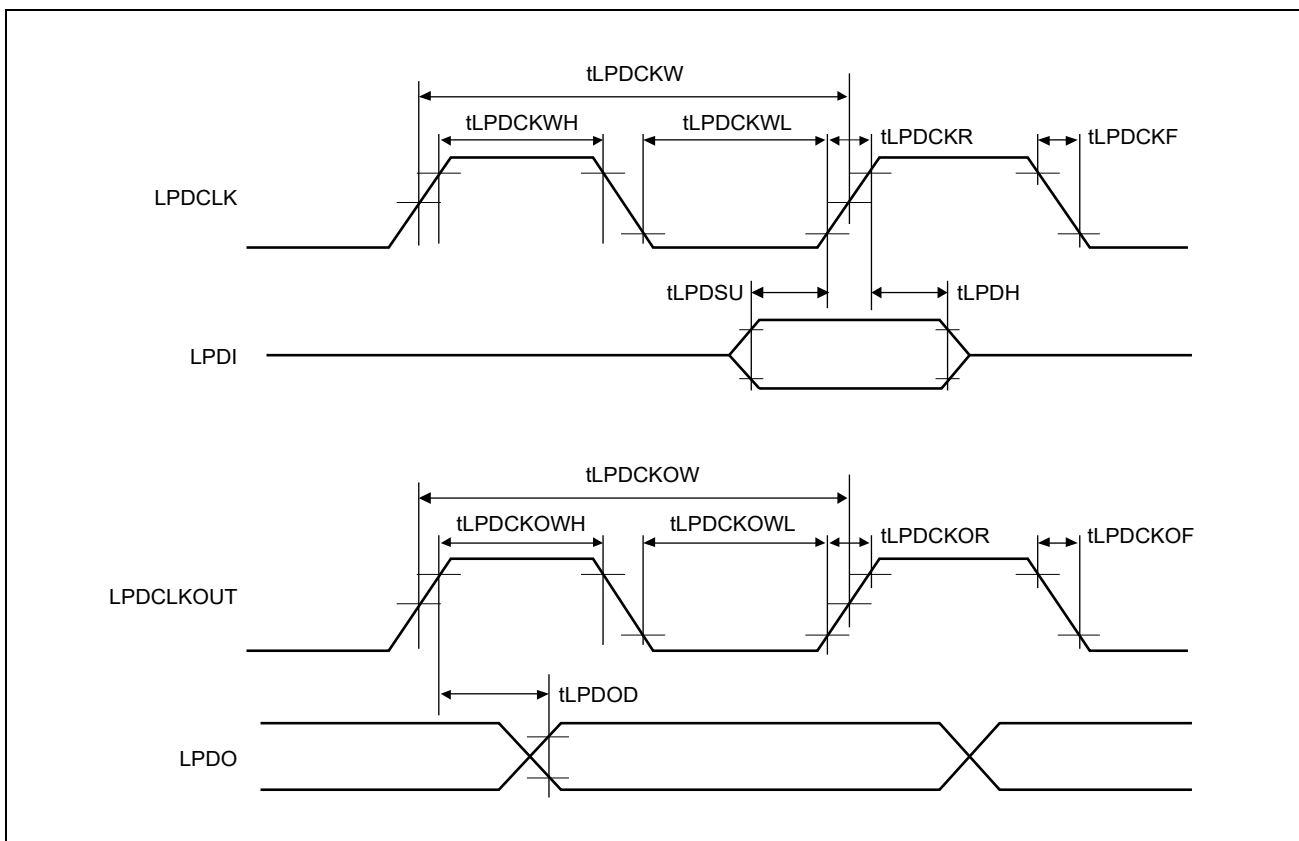


図 39.15 LDU4 線式タイミング

39.3.13 AUD RAM モニタ

表 39.30 AUD RAM モニタタイミング

条件: $T_j = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $CL = 30 \text{ pF}$

項目	略号	Min.	Max.	単位
AUDCK 周期 (モニタモード)	tAUCKMcy	50	—	ns
AUDCK ハイレベル幅 (モニタモード)	tAUCKMH	$0.4 \times \text{tAUCKMcy}$	—	ns
AUDCK ロウレベル幅 (モニタモード)	tAUCKML	$0.4 \times \text{tAUCKMcy}$	—	ns
AUDRST セットアップ時間 (モニタモード、対 AUDCK↑)	tAURSTMS	30	—	ns
AUDRST 入力パルス幅 (モニタモード)	tAURSTMW	$5 \times \text{tAUCKMcy}$	—	ns
モニタデータ出力遅延時間 (対 AUDCK↑)	tAUDTMD	—	35	ns
モニタデータ入力セットアップ時間 (対 AUDCK↑)	tAUDTMS	15	—	ns
モニタデータ入力ホールド時間 (対 AUDCK↑)	tAUDTMH	5	—	ns
AUDSYNC 入力セットアップ時間 (対 AUDCK↑)	tAUDSYS	15	—	ns
AUDSYNC 入力ホールド時間 (対 AUDCK↑)	tAUDSYH	5	—	ns

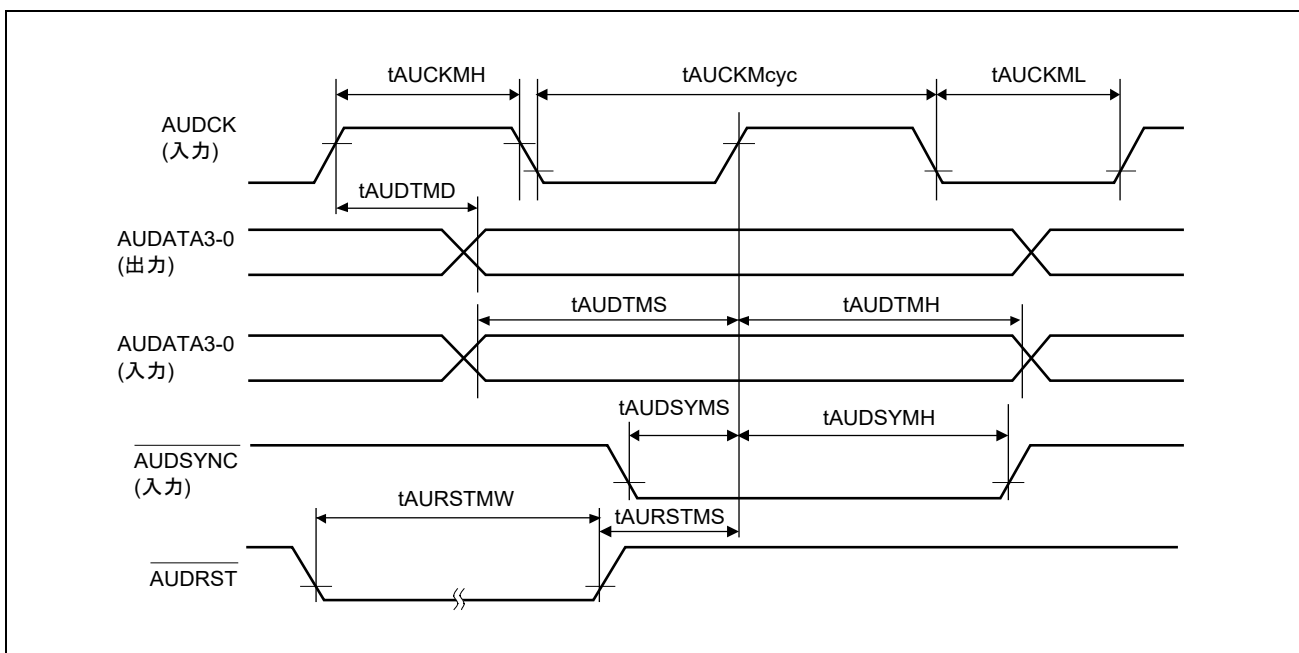


図 39.16 AUD RAM モニタタイミング

39.4 A/D 変換器特性

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

表 39.31 A/D 変換器特性

項目	略号	条件	Min.	Typ.	Max.	単位
デジタル分解能	—	—	—	12	—	bit
A/D 変換時間 ^{注 1}	—	—	—	1	—	μs
積分非直線性	—	T&H アンプ使用時	—	—	±4	LSB
オフセット誤差	—	T&H アンプ使用時	—	—	±7.5	LSB
フルスケール誤差	—	T&H アンプ使用時	—	—	±7.5	LSB
量子化誤差	—	—	—	—	±0.5	LSB
絶対誤差	—	—	—	—	±8.0	LSB
自己診断時の絶対誤差	—	A/D 変換回路自己診断時	—	—	±8.0	LSB
	—	端子レベル自己診断時	—	—	±80	LSB
アナログ入力容量	—	待機中	—	—	10	pF
	—	サンプリング中	—	—	20	pF
許容アナログ信号源 インピーダンス	—	—	—	—	3	kΩ
チャンネル T&H 保持時間 ^{注 2}	—	—	—	—	10	μs
T&H サンプリング時間	—	—	—	—	0.45	μs
A/D 断線検出用プルアップ抵抗	—	AnVCC = 4.5V~5.5V, ADCCnlpq = AnVSS	10	20	40	kΩ
A/D 断線検出用プルダウン抵抗	—	AnVCC = 4.5V~5.5V, ADCCnlpq = AnVCC	10	20	40	kΩ
入力電圧範囲	—	T&H アンプ未使用時	0	—	A0VREFH A1VREFH A2VREFH	V
	—	T&H アンプ使用時	0.2	—	A0VREFH-0.2 A1VREFH-0.2 A2VREFH-0.2	V

注 1. 1 チャンネルあたりの変換時間であり、T&H 時間は含みません。

注 2. T&H 回路を使用した場合、Max. 値以内で A/D 変換を行ってください。

- A/D 変換器の外付け回路による誤差について

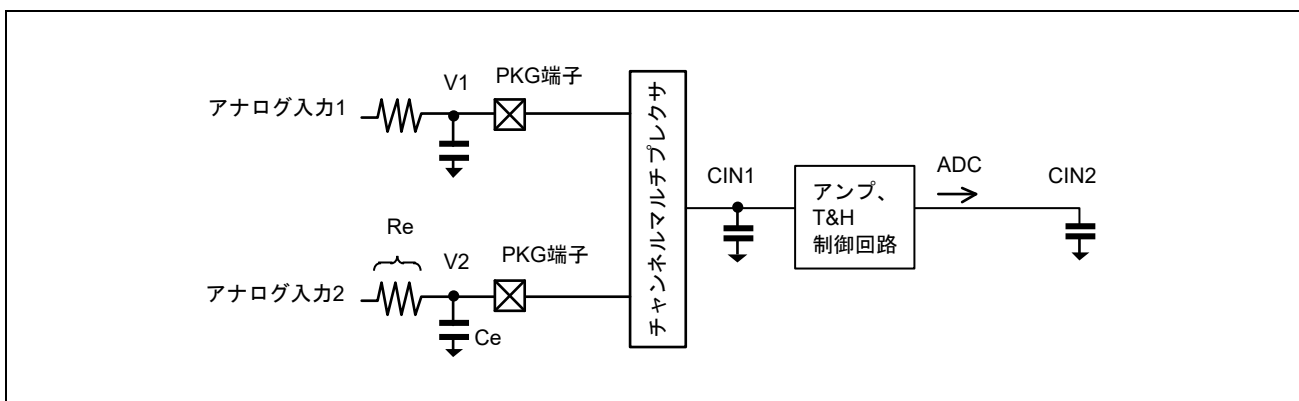
サンプリング誤差は入力回路、変換周期に依存します。誤差式は LSI 内部の寄生容量、AMP オフセット、信号源抵抗、変換周期を考慮してサンプリング誤差を計算するための簡易式です。誤差式を利用することで、信号源抵抗、変換周期がサンプリング誤差に与える影響が計算できます。

下図においてアナログ入力 1, 2 の順で A/D 変換を行った際のアナログ入力 2 の誤差式は下記の通りです。

$$\text{変換誤差(}LSB\text{)} = \left[\left(\frac{|V2 - V1| \times CIN1}{Ce + CIN1} + \frac{|Vvfaerr| \times CIN2}{Ce + CIN2} \right) \times \frac{1}{1 - e^{-T1/(Re \times Ce)}} + \left(\frac{1}{T1} \times C1 \times V3 \times Re \right) \right] \times \frac{4096}{Vavrefh}$$

表 39.32 C1M-A のパラメータ

項目	記号	参考値	単位
チャンネルマルチプレクサ後段の共通容量	CIN1	1.6	pF
アンプ、T&H 制御回路後段の共通容量	CIN2	10	pF
アナログ入力端子の外付け容量	Ce	ユーザ基板依存	uF
信号源インピーダンス	Re		kΩ
変換端子の変換周期	T1		ms
AnVREFH 電圧 (n = 0, 1, 2)	Vavrefh		V
V1, V2 電位差	V2 - V1	5	V
アンプ、T&H 制御回路のオフセット電圧	Vvfaerr	50	mV
チャンネルマルチプレクサ内の寄生容量	C1	2	pF
AnVCC 電圧 / 2.5 - 測定端子電圧 (n = 0, 1, 2)	V3	ユーザ基板依存	V



- 本誤差式で算出される値は、A/D 変換器特性で規定される誤差（絶対誤差等）は含みません。
- 本誤差式は、机上で算出される理論式であり、信号源抵抗が極端に高い場合や、変換周期が短い場合については実測値と乖離する場合があります。（本誤差式の適用範囲は、 $Re < 1.5M\Omega$ かつ $T1 \geq 10\mu s$ 、または $1.5M\Omega \leq Re \leq 2M\Omega$ かつ $T1 \geq 512\mu s$ ）したが、実際に発生する誤差は、ご使用される容量、抵抗、基板配線上の容量、抵抗にも依存するため、ユーザ基板での評価確認をお願いいたします。

39.5 R/D 変換器特性

条件： SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

39.5.1 RDC 変換性能

表 39.33 RDC 変換性能 (1/2)

項目	条件		Min.	Typ.	Max.	単位
分解能 ^{注1}			—	—	16	bit
変換精度 ^{注2}	電気角に対する静止時絶対誤差 (12ビット分解能時)	角度変換モード0	—	—	±4	LSB
		角度変換モード1	—	—	±4	
セトリングタイム (電気角 180°入カステップ応答)	整定範囲±8LSB 以内	帯域 800 Hz	—	53	—	ms
		帯域 1500 Hz	—	31	—	
		帯域 1000 Hz	—	43	—	
		帯域 500 Hz	—	85	—	
		帯域 200 Hz	—	211	—	
		自動調整	—	1.9	—	
最大角速度 ^{注3} ()内の数値は帯域設定が自動調整の場合)	16ビット分解能		15000 (7500)	—	—	min ⁻¹
	14ビット分解能		60000 (30000)	—	—	
	13ビット分解能		120000 (60000)	—	—	
	12ビット分解能		240000 (120000)	—	—	
	11ビット分解能		480000 (240000)	—	—	
	10ビット分解能		960000 (480000)	—	—	
最大角加速度 追従可能な角加速度範囲 (電気角)	帯域 800 Hz		—	146000	—	rad/s ²
	帯域 1500 Hz		—	513000	—	
	帯域 1000 Hz		—	183000	—	
	帯域 500 Hz		—	46000	—	
	帯域 200 Hz		—	5000	—	
	自動調整		—	3000000	—	
応答遅延 ^{注4}	一定角速度における電気角出力応答遅延	角度変換モード0	-0.2	—	0.20	°/10000 min ⁻¹
		角度変換モード1	-0.2	—	0.20	

表 39.33 RDC 変換性能 (2/2)

項目	条件	Min.	Typ.	Max.	単位
BIST 判定時間 ^{注 5}	二乗和振幅異常検知 BIST(L 側)	—	—	1	ms
	二乗和振幅異常検知 BIST(H 側)	—	—	1	ms
	ADBIST	—	—	32	μs
	角度変換 BIST (角度判定閾値 ±8LSB 以内)	—	—	10	ms
	レゾルバ信号異常検出 BIST	—	—	0.5	ms
	レゾルバ信号断線検出 BIST	—	—	1	ms
	変換異常 BIST	—	—	10	ms
	天絡異常 BIST	—	—	80	μs
	地絡異常 BIST	—	—	80	μs
BIST 復帰時間 ^{注 6}	全 BIST 種	—	—	10	ms

- 注 1. RDC3An 制御ゲイン選択レジスタ 1 の最大角速度選択ビット設定により分解能は変化します。レジスタアクセスにより最大 16 bit 幅で角度を読み出し可能です。
- 注 2. RDC へのアナログ入力信号波形が完全な理想正弦波形の場合の実力値になります。アナログ入力信号、電源電圧に歪み、ずれ等があれば、それに応じて R/D 変換結果はレゾルバ機械角からずれを生じます。
- 注 3. 追従可能な角速度範囲 (レゾルバ電気角)。RDC3An 制御ゲイン選択レジスタ 1 の最大角速度選択ビット設定により変わります。
- 注 4. 実際に RDC から出力される PHI 角度出力は、この応答遅れにアナログ回路で発生する精度誤差が足された値になります。また、PHI 角度出力レジスタ値をバスアクセスにて読み出す場合はアクセス時間がかかります。PHI コンペア信号を使用する場合は、アクセス時間は発生しません。
- 注 5. BIST 判定結果が安定するまでの時間を記載。
- 注 6. BIST 動作状態から通常動作状態に復帰するまでの時間。
励磁周波数が 9 kHz 未満の場合、BIST 復帰時間は最大 15 ms になります。
変換異常判定時間を 10 ms 以上に設定した場合は、BIST 復帰時間も設定値以上 (10 ms 以上) の値になります。

39.5.2 RDC アナログ端子

表 39.34 RDC アナログ端子の特性

信号	略号	項目	Min.	Typ.	Max.	単位
レゾルバ励磁電源用 信号源出力 ^{注 1}	RSO	周波数	5	—	40	kHz
		出力電圧 ^{注 2}	$0.38 \times RVCC$	$0.4 \times RVCC$	$0.42 \times RVCC$	VP-P
		負荷インピーダンス	10	—	—	kΩ
		出力切替 ^{注 3}	-40	±0	+20	%
レゾルバ励磁電源用 コモン電圧出力	COM	出力電圧	$0.475 \times RVCC$	$0.5 \times RVCC$	$0.525 \times RVCC$	V
		負荷インピーダンス	10	—	—	kΩ
レゾルバ励磁信号 外部入力	R1E, R2E	周波数 ^{注 4, 注 10}	5	—	40	kHz
		入力電圧範囲	0	—	RVCC	V
		入力電圧差動振幅	2	—	—	VP-P
		入力インピーダンス ^{注 11}	32	40	48	kΩ
レゾルバ信号入力	S1, S2, S3, S4	周波数 ^{注 10}	5	—	40	kHz
		入力電圧範囲 ^{注 5}	—	—	—	V
		入力インピーダンス ^{注 6}	16.2	21	25.8	kΩ
		入力インピーダンス切替 ^{注 7}	-40	±0	+40	%
レゾルバ信号 モニタ出力	COSMNT, SINMNT	周波数 ^{注 8}	5	—	40	kHz
		出力電圧 ^{注 9}	$0.36 \times RVCC$	—	$0.64 \times RVCC$	VP-P
		負荷インピーダンス	100	—	—	kΩ

注 1. 擬似正弦波出力で、7 ビットの D/A 出力です。

注 2. COM 電圧を中心に振幅します。記載されている値は、出力調整デフォルト (±0%) 設定時の値です。

注 3. 調整機能により、-40, -20, ±0, +20%の 4 段階で出力電圧を調整可能です。

注 4. レゾルバ励磁信号の外部入力 (RDC3AnREF.EXIO = 0_B 設定) 時において、励磁周波数 22 kHz 以上の周波数で入力する場合は、RDC3AnDIAG1.CVEDS = 1_Bとし、RD 変換異常検出回路 (高速回転対応) を使用しない設定にしてください。

注 5. 外付け回路によります。

COSMNT, SINMNT = $0.36 \times RVCC \sim 0.64 \times RVCC$ (VP-P) になるように入力電圧を調整してください。

注 6. 内蔵帰還抵抗による入力インピーダンスです。デフォルト設定 (±0%) 時の値です。

注 7. 調整機能により、-40%から+40%まで 10%刻みで調整可能です。

注 8. レゾルバ信号入力の入力周波数と同じです。

注 9. 角度変換精度を得るために、この範囲内に調整してください。

注 10. レゾルバ励磁信号外部入力とレゾルバ信号入力の励磁成分位相誤差は 45°以内にしてください。

注 11. RDC3AnREF.EXIO = 0_B (外部励磁信号入力設定) 時は RSO (R1E)、COM (R2E) 端子は本インピーダンスで RVSS にプルダウンされます。

39.5.3 異常検出の特性

表 39.35 異常検出の特性

異常検出内容		設定閾値 (default 設定)	検出時間
レゾルバ信号異常 モニター出力振幅電圧 ^{注 1}	設定レジスタ RDC3AnDIAG0.EXCETH[7:0]	$0.102 \times (RVCC \pm 5\%) [Vp-p]$	220 [μ s] (typ.), 2 [ms] (max.)
レゾルバ信号断線 (直流バイアス印加法) VSINMNT-VCOM または VCOSMNT-VCOM ^{注 2}	DC レゾルバ選択時設定レジスタ RDC3AnDIAG0.SGBDTH[7:0]	$COM + 0.35 \times (RVCC \pm 5\%) [VDC]$	10 [ms] (max.)
	VR レゾルバ選択時設定レジスタ RDC3AnDIAG0.SGBTH[7:0]	$COM + 0.08 \times (RVCC \pm 5\%) [VDC]$	
R/D 変換異常 (制御偏差過大) 内部制御偏差 (ϵ) 過大認識 レベル ^{注 3}	ハイ側	00CA8 _H	注 4
	ロウ側	1FFF3 _H	
レゾルバ信号天絡異常	S1, S2, S3, S4 端子	$0.9 \times (RVCC \pm 5\%) [VDC]$	0.08 [ms] (max.)
	RSO, COM 端子	$0.8 \times (RVCC \pm 5\%) [VDC]$	
レゾルバ信号地絡異常	S1, S2, S3, S4 端子	$0.1 \times (RVCC \pm 5\%) [VDC]$	0.08 [ms] (max.)
	RSO, COM 端子	$0.2 \times (RVCC \pm 5\%) [VDC]$	
二乗和振幅異常 モニター出力振幅電圧 (sin, cos) の二乗和の励磁周期内積分値	ハイ側	$0.8 \times (RVCC \pm 5\%) [Vp-p]$	注 5
	ロウ側	$0.2 \times (RVCC \pm 5\%) [Vp-p]$	

注 1. SINMNT, COSMNT ともに閾値を下回ると、異常と判定します。

注 2. DC レベル変動が閾値を上回ると、異常と判定します。

注 3. 制御偏差がハイ側閾値以上、またはロウ側閾値以下で、過大と判定します。

注 4. レジスタ RDC3AnDIAG1.EDPS[1:0]ビットで設定した期間 (デフォルト設定 = 約 7.4 ms) の平均値として、制御偏差過大認識率 50%を越えた場合に、異常と判定します。異常継続時間が検出時間より短い場合は、検出されない可能性があります。

注 5. 励磁周波数及び、異常判定する振幅異常励磁周期カウント数設定によります。

39.6 Code Flash 特性

表 39.36 Code Flash 基本特性

項目	略号	条件	Min.	Typ.	Max.	単位
書き換え回数 ^{注 1}	CWRT	保持 20 年 ^{注 2}	1000	—	—	回
プログラミング温度	TPRG	Tj	-40	—	+150	°C
読み出し温度	TREAD	Tj	-40	—	+150	°C

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、32 KB のブロックについて、それぞれ異なる番地に 256 バイトの書き込みを 128 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 平均 Ta = 85°C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間。

表 39.37 Code Flash プログラミング特性

条件: SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目	条件	ブロックサイズ	Min.	Typ.	Max.	単位
書き込み時間	書き替え回数 < 100 回	256 B	—	0.4 ^{注 1}	6 ^{注 1}	ms
		32 KB	—	80	360	ms
	書き替え回数 ≥ 100 回	256 B	—	0.5 ^{注 1}	7.2 ^{注 1}	ms
		32 KB	—	96	432	ms
消去時間 ^{注 1}	書き替え回数 < 100 回	8 KB	—	39	120	ms
		32 KB	—	141	480	ms
	書き替え回数 ≥ 100 回	8 KB	—	47	144	ms
		32 KB	—	169	576	ms

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

39.7 Data Flash 特性

表 39.38 Data Flash 基本特性

項目	略号	条件	Min.	Typ.	Max.	単位
書き換え回数 ^{注 1}	CWRT	保持 20 年 ^{注 2}	125000	—	—	回
		保持 3 年 ^{注 2}	250000	—	—	回
プログラミング温度	TPRG	Tj	- 40	—	+150	°C
読み出し温度	TREAD	Tj	- 40	—	+150	°C

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 125000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 B のブロックについて、それぞれ異なる番地に 4 バイトの書き込みを 16 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 平均 Ta = 85°C での保持期間。データフラッシュメモリの消去が正常に完了した時点からの保持期間。

表 39.39 Data Flash プログラミング特性

条件 : SYSVCC = VCC = 4.5 V~5.5 V, VDD = 1.15 V~1.35 V
 A0VCC, A1VCC, A2VCC = 4.5 V~5.5 V, A0VREFH = 4.5 V~A0VCC, A1VREFH = 4.5 V~A1VCC,
 A2VREFH = 4.5 V~A2VCC, RVCC = 4.5 V~5.5 V
 VSS = A0VSS = A1VSS = A2VSS = RVSS = 0 V
 Tj = -40°C~150°C

項目	ブロックサイズ	Min.	Typ.	Max.	単位
書き込み時間 ^{注 1}	4 B	—	0.16	1.7	ms
消去時間 ^{注 1}	64 B	—	1.7	10	ms
ブランクチェック時間 ^{注 1}	4 B	—	—	30	μs
	64 B	—	—	100	μs

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

39.8 熱特性

39.8.1 パラメータ

表 39.40 RH850/C1M-A での熱抵抗

パッケージ	パラメータ	見積もり値	単位	備考
FPBGA1717-252	θ_{ja}	20.6	°C/W	JESD51-9 準拠 (4 layers)
	Ψ_{jb}	14.0	°C/W	JESD51-9 準拠 (4 layers)
	Tb_inc	6.7	°C/W	JESD51-9 準拠 (4 layers)
	Ψ_{jt}	0.22	°C/W	JESD51-9 準拠 (4 layers)
LQFP2424-176	θ_{ja}	30.0	°C/W	JESD51-7 準拠 (4 layers)
	Ψ_{jb}	22.8	°C/W	JESD51-7 準拠 (4 layers)
	Tb_inc	7.3	°C/W	JESD51-7 準拠 (4 layers)
	Ψ_{jt}	0.34	°C/W	JESD51-7 準拠 (4 layers)

注： 熱抵抗、熱特性パラメータの数値は使用環境により変化します。

39.8.2 想定基板

表 39.41 JESD51-9 準拠 (4 layers)

パッケージ	基板サイズ (mm)		面積 (mm ²)
	X	Y	
L 基板	101.6	114.3	11612.88
残銅率		導体厚	
50-95-95-50%		70-35-35-70 μ m	

表 39.42 JESD51-7 準拠 (4 layers)

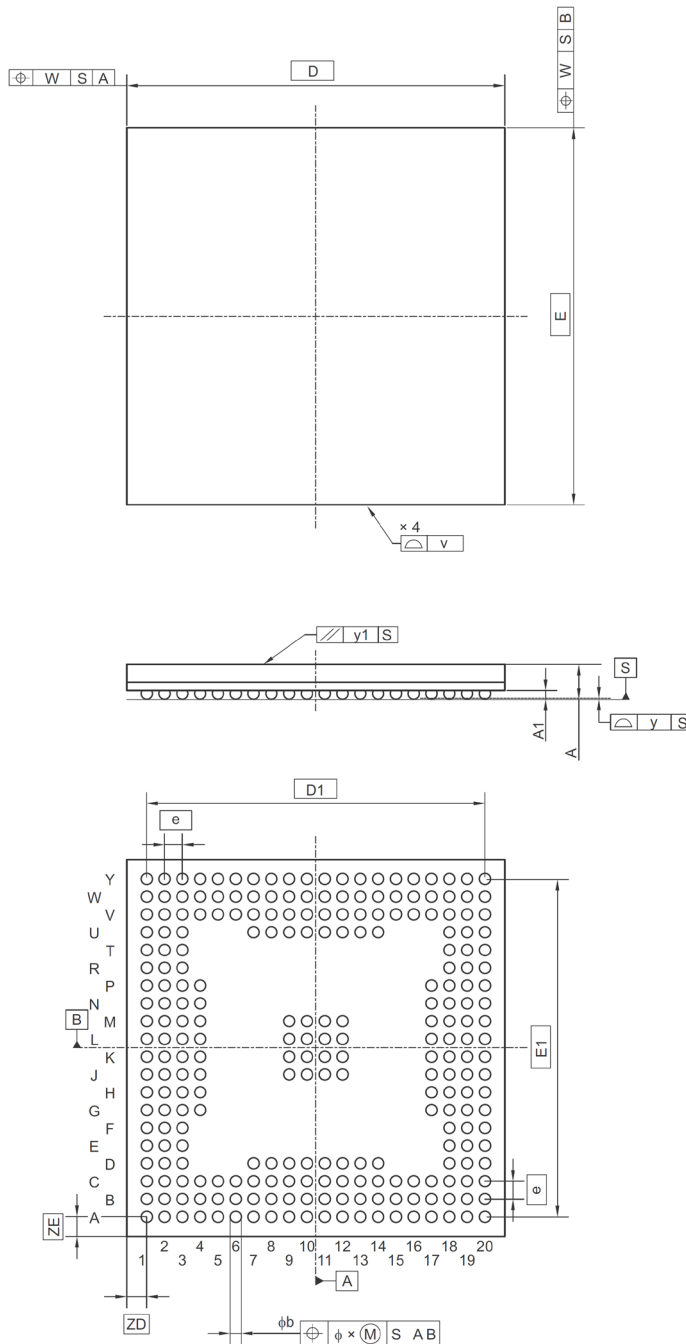
パッケージ	基板サイズ (mm)		面積 (mm ²)
	X	Y	
L 基板	76.2	114.3	8709.66
残銅率		導体厚	
50-95-95-50%		70-35-35-70 μ m	

付録A 外形寸法図

- BGA252

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-FBGA252-17x17-0.80	PRBG0252GB-A	—	0.90

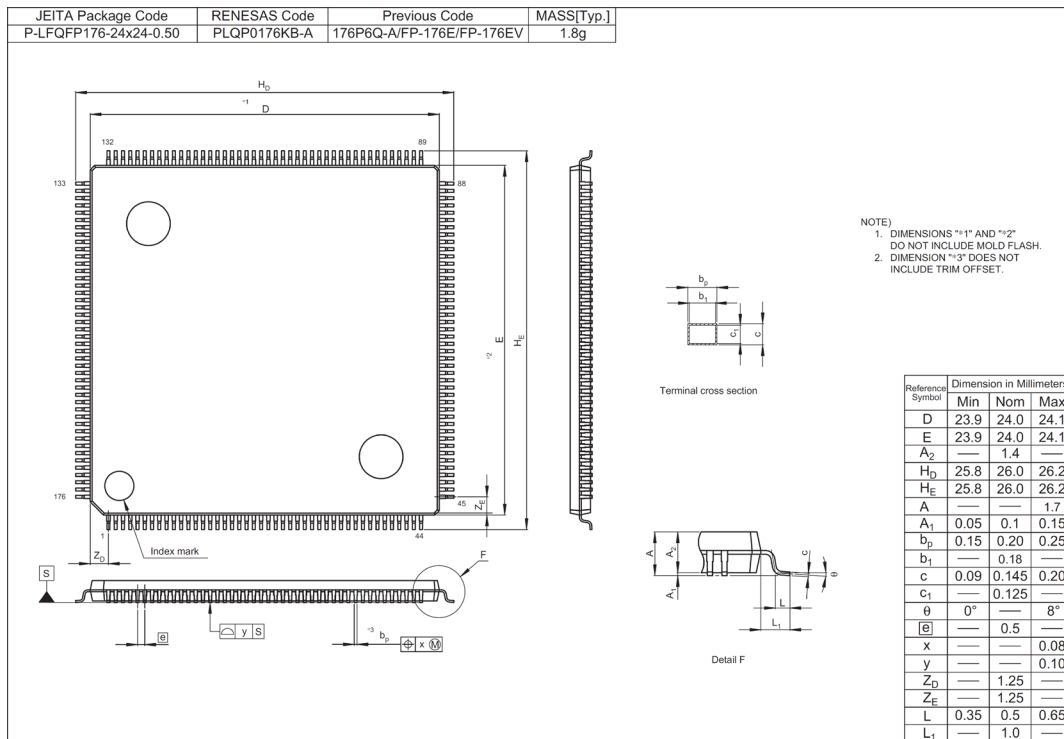
Unit: mm



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	—	17.00	—
D1	—	15.20	—
E	—	17.00	—
E1	—	15.20	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.58	2.00
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	0.90	—
ZE	—	0.90	—

© 2014 Renesas Electronics Corporation. All rights reserved.

• QFP176



RH850/C1M-A1, RH850/C1M-A2 ユーザーズマニュアル
ハードウェア編

発行年月日 2016年01月29日 Rev.0.50
2018年05月31日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>

RH850/C1M-A1
RH850/C1M-A2